

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD78064, 78064Yサブシリーズ
8ビット・シングルチップ・マイクロコンピュータ

μ PD78062
 μ PD78063
 μ PD78064
 μ PD78P064
 μ PD78062Y
 μ PD78063Y
 μ PD78064Y
 μ PD78P064Y

概 説(μ PD78064サブシリーズ)	1
概 説(μ PD78064Yサブシリーズ)	2
端子機能(μ PD78064サブシリーズ)	3
端子機能(μ PD78064Yサブシリーズ)	4
CPUアーキテクチャ	5
ポート機能	6
クロック発生回路	7
16ビット・タイマ/イベント・カウンタ	8
8ビット・タイマ/イベント・カウンタ	9
時計用タイマ	10
ウォッチドッグ・タイマ	11
クロック出力制御回路	12
ブザー出力制御回路	13
A/Dコンバータ	14
シリアル・インタフェース・チャンネル0 (μ PD78064サブシリーズ)	15
シリアル・インタフェース・チャンネル0 (μ PD78064Yサブシリーズ)	16
シリアル・インタフェース・チャンネル2	17
LCDコントローラ/ドライバ	18
割り込み機能とテスト機能	19
スタンバイ機能	20
リセット機能	21
μ PD78P064, 78P064Y	22
命令セットの概要	23
付 録	付

CMOSデバイスの一般的注意事項

①静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBus, QTOPは、日本電気株式会社の商標です。

MS-DOS, Windowsは、米国マイクロソフト社の商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品： μ PD78P064KL-T, 78P064YKL-T

ユーザ判定品： μ PD78062GC-XXX-7EA, 78062YGC-XXX-7EA,

μ PD78062GF-XXX-3BA, 78062YGF-XXX-3BA,

μ PD78063GC-XXX-7EA, 78063YGC-XXX-7EA,

μ PD78063GF-XXX-3BA, 78063YGF-XXX-3BA,

μ PD78064GC-XXX-7EA, 78064YGC-XXX-7EA,

μ PD78064GF-XXX-3BA, 78064YGF-XXX-3BA,

μ PD78P064GC-7EA, 78P064YGC-7EA,

μ PD78P064GF-3BA, 78P064YGF-3BA

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

注意： μ PD78064YサブシリーズはI²Cバス・インタフェース回路を内蔵しています。

I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることとなります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

- 本資料の内容は、後日変更する場合があります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所 (1/2)

箇 所	内 容
全 般	対象製品に μ PD78064Yサブシリーズを追加
p. 8	1.5 78K/0シリーズの展開を変更
p. 36	表3-1 各端子の入出力回路タイプ <ul style="list-style-type: none"> ・次の端子の未使用時の推奨接続方法を修正 P07/XT1, P110-P117, V_{PP}端子 ・次の端子の入出力回路タイプを修正 P110-P117端子
p. 110	図6-17 ポート・モード・レジスタのフォーマットのPM2を修正
p. 119	図7-4 発振モード選択レジスタのフォーマットの注意事項を修正、追加
p. 120	図7-6 メイン・システム・クロック発振回路の外付け回路の注意事項を修正
p. 124	7.4.4 サブシステム・クロックを使用しない場合 XT1端子の処置方法を修正：V _{SS} に接続→V _{DD} に接続
p. 199	図10-1 時計用タイマのブロック図を修正
p. 223	図14-2 A/Dコンバータ・モード・レジスタのフォーマットを修正
p. 233	14.5(7) AV _{DD} 端子についてを修正し、図14-12 AV _{DD} 端子の処理を追加
p. 243	図15-4 シリアル動作モード・レジスタ0のフォーマットを修正
p. 261	図15-18 アクノリッジ信号を修正
p. 267	図15-21 RELD, CMDDの動作(スレーブ)を修正
p. 285	15.4.4(1)(c) 割り込みタイミング指定レジスタ(SINT)を修正
p. 288	図15-34 SCK0/P27端子の構成を修正
p. 345	図17-1 シリアル・インタフェース・チャンネル2のブロック図を修正
p. 355, 364	メイン・システム・クロックによって生成できるボー・レート用送受信クロックの範囲を変更：75 bps~38400 bps→75 bps~76800 bps
p. 437	表20-1 HALTモード時の動作状態をメイン・システム・クロック動作中とサブシステム・クロック動作中に分けて記載するように変更
p. 440	20.2.2(1) STOPモードの設定および動作状態の注意事項を変更
p. 440	表20-3 STOPモード時の動作状態をメイン・システム・クロック動作中とサブシステム・クロック動作中に分けて記載するように変更
p. 456	22.5 ワン・タイムPROM製品のスクリーニングについてにQTOPマイコンについての記述を追加
p. 475, 483	付録A 開発ツール, 付録B 組み込み用ソフトウェアのホスト・マシンにHP9000シリーズ700を追加

本版で改訂された主な箇所(2/2)

箇所	内容
p. 478	付録A 開発ツールにシステム・シミュレータ(SM78K0)を追加
p. 479	A.4 IBM PC用のOSについてを追加
p. 484	付録B 組み込み用ソフトウェアにOS(MX78K0)を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD78064, 78064Yサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す μ PD78064サブシリーズ, 78064Yサブシリーズの各製品です。

- μ PD78064サブシリーズ : μ PD78062, 78063, 78064, 78P064
- μ PD78064Yサブシリーズ : μ PD78062Y, 78063Y, 78064Y, 78P064Y^注

注 開発中

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD78064, 78064Yサブシリーズのマニュアルは、このマニュアルと命令編(78K/0シリーズ共通)の2種類に分かれています。

μ PD78064, 78064Yサブシリーズ
ユーザズ・マニュアル

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能

78K/0シリーズ
ユーザズ・マニュアル
命令編

- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。

レジスタ・フォーマットの見方

→ビット番号を○で囲んでいるものは、そのビット名称がRA78K/0では予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっていて、レジスタの詳細を確認するとき

→付録C レジスタ索引を利用してください。

μ PD78064, 78064Yサブシリーズの命令機能の詳細を知りたいとき

→別冊の78K/0シリーズ ユーザズ・マニュアル 命令編(IEU-849)を参照してください。

μ PD78064, 78064Yサブシリーズの電気的特性を知りたいとき

→別冊の μ PD78062, 78063, 78064 データ・シート (IC-8632)

μ PD78P064 データ・シート (IC-8636)

μ PD78062Y, 78063Y, 78064Y データ・シート (IC-8704)

を参照してください。

μ PD78064, 78064Yサブシリーズの各種機能の応用例を知りたいとき

→別冊の78K/0シリーズ アプリケーション・ノート 基礎編(Ⅲ) (IEA-767)

78K/0シリーズ アプリケーション・ノート 浮動小数点演算プログラム編(IEA-718)

を参照してください。

章 構成 このマニュアルは、 μ PD78064サブシリーズと μ PD78064Yサブシリーズで機能の異なる箇所については、章を分けて記載しています。各サブシリーズに対応する章は次のとおりです。それぞれのサブシリーズのマニュアルとしてお使いの場合は、○印の章のみお読みください。

章	μ PD78064サブシリーズ	μ PD78064Yサブシリーズ
第1章 概 説(μ PD78064サブシリーズ)	○	—
第2章 概 説(μ PD78064Yサブシリーズ)	—	○
第3章 端子機能(μ PD78064サブシリーズ)	○	—
第4章 端子機能(μ PD78064Yサブシリーズ)	—	○
第5章 CPUアーキテクチャ	○	○
第6章 ポート機能	○	○
第7章 クロック発生回路	○	○
第8章 16ビット・タイマ/イベント・カウンタ	○	○
第9章 8ビット・タイマ/イベント・カウンタ	○	○
第10章 時計用タイマ	○	○
第11章 ウォッチドッグ・タイマ	○	○
第12章 クロック出力制御回路	○	○
第13章 ブザー出力制御回路	○	○
第14章 A/Dコンバータ	○	○
第15章 シリアル・インタフェース・チャンネル0 (μ PD78064サブシリーズ)	○	—
第16章 シリアル・インタフェース・チャンネル0 (μ PD78064Yサブシリーズ)	—	○
第17章 シリアル・インタフェース・チャンネル2	○	○
第18章 LCDコントローラ/ドライバ	○	○
第19章 割り込み機能とテスト機能	○	○
第20章 スタンバイ機能	○	○
第21章 リセット機能	○	○
第22章 μ PD78P064, 78P064Y	○	○
第23章 命令セットの概要	○	○

μPD78064サブシリーズとμPD78064Yサブシリーズの違い

μPD78064サブシリーズとμPD78064Yサブシリーズは、シリアル・インタフェース・チャンネル0の機能の一部が異なります。

シリアル・インタフェース・チャンネル0のモード	μPD78064サブシリーズ	μPD78064Yサブシリーズ
3線式シリアルI/Oモード	○	○
2線式シリアルI/Oモード	○	○
SBI(シリアル・バス・インタフェース)モード	○	—
I ² C(Inter IC)バス・モード	—	○

○：対応可

—：対応不可

- 凡 例**
- データ表記の重み ：左が上位桁、右が下位桁
 - アクティブ・ロウの表記 ：XXXX(端子、信号名称に上線)
 - 注 ：本文中につけた注の説明
 - 注意 ：気をつけて読んでいただきたい内容
 - 備考 ：本文の補足説明
 - 数の表記 ：2進数…XXXXまたはXXXXB
 10進数…XXXX
 16進数…XXXXH

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

● μ PD78064サブシリーズの資料

資料名	資料番号		
	和文	英文	
μ PD78062, 78063, 78064 データ・シート	IC-8632	IC-3244	
μ PD78P064 データ・シート	IC-8636	IC-3224	
μ PD78064, 78064Yサブシリーズ ユーザーズ・マニュアル	このマニュアル	IEU-1364	
78K/0シリーズ ユーザーズ・マニュアル 命令編	IEU-849	IEU-1372	
78K/0シリーズ インストラクション活用表	IEM-5522	—	
78K/0シリーズ インストラクション・セット	IEM-5521	—	
μ PD78064サブシリーズ 特殊機能レジスタ活用表	IEM-5568	—	
78K/0シリーズ アプリケーション・ノート	基礎編(III)	IEA-767	作成中
	浮動小数点演算プログラム編	IEA-718	IEA-1289

● μ PD78064Yサブシリーズの資料

資料名	資料番号		
	和文	英文	
μ PD78062Y, 78063Y, 78064Y データ・シート	IC-8704	IC-3235	
μ PD78P064Y ベーバ・マシン	IP-8703	IP-3236	
μ PD78064, 78064Yサブシリーズ ユーザーズ・マニュアル	このマニュアル	IEU-1364	
78K/0シリーズ ユーザーズ・マニュアル 命令編	IEU-849	IEU-1372	
78K/0シリーズ インストラクション活用表	IEM-5522	—	
78K/0シリーズ インストラクション・セット	IEM-5521	—	
μ PD78064Yサブシリーズ 特殊機能レジスタ活用表	IEM-5583	—	
78K/0シリーズ アプリケーション・ノート	基礎編(III)	IEA-767	作成中
	浮動小数点演算プログラム編	IEA-718	IEA-1289

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

●開発ツールの資料(ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
	言語編	EEU-815	EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817	EEU-1402
CC78Kシリーズ Cコンパイラ	操作編	EEU-656	EEU-1280
	言語編	EEU-655	EEU-1284
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ノウハウ編	EEA-618	作成予定
CC78Kシリーズ ライブラリ・ソース・ファイル		EEU-777	—
PG-1500 PROMプログラマ		EEU-651	EEU-1335
PG-1500コントローラ PC-9800シリーズ(MS-DOS™)ベース		EEU-704	作成予定
PG-1500コントローラ IBM PCシリーズ(PC DOS™)ベース		EEU-5008	EEU-1291
IE-78000-R		EEU-810	EEU-1398
IE-78000-R-BK		EEU-867	EEU-1427
IE-78064-R-EM		EEU-905	EEU-1443
EP-78064		EEU-934	EEU-1469
SM78K0 システム・シミュレータ	レファレンス編	EEU-5002	作成予定
SD78K/0 スクリーン・ディバग्ガ	入門編	EEU-852	—
PC-9800シリーズ(MS-DOS)ベース	レファレンス編	EEU-816	—
SD78K/0 スクリーン・ディバग्ガ	入門編	EEU-5024	EEU-1414
IBM PC/AT™(PC DOS)ベース	レファレンス編	EEU-993	EEU-1413

●組み込み用ソフトウェアの資料(ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	EEU-912	—
	インストール編	EEU-911	—
	テクニカル編	EEU-913	—
78K/0シリーズ用OS MX78K0	基礎編	EEU-5010	—
ファジィ知識データ作成ツール		EEU-829	EEU-1438
78K/0, 78K/II, 87ADシリーズ ファジィ推論開発支援システム トランスレータ		EEU-862	EEU-1444
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール		EEU-858	EEU-1441
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論ディバग्ガ		EEU-921	EEU-1458

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

●その他の資料

資料名	資料番号	
	和文	英文
パッケージマニュアル	IEI-635	IEI-1213
半導体デバイス 実装マニュアル	IEI-616	IEI-1207
NEC半導体デバイスの品質水準	IEI-620	IEI-1209
NEC半導体デバイスの信頼性品質管理	IEM-5068	—
静電気放電(ESD)試験について	MEM-539	—
半導体デバイスの品質保証ガイド	MEI-603	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編	MEI-604	—

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説(μPD78064サブシリーズ) … 1

- 1.1 特 徴 … 1
- 1.2 用 途 … 2
- 1.3 オーダ情報 … 2
- 1.4 端子接続図(Top View) … 3
- 1.5 78K/0シリーズの展開 … 8
- 1.6 ブロック図 … 10
- 1.7 機能概要 … 11
- 1.8 マスク・オプションについて … 12

★

第2章 概 説(μPD78064Yサブシリーズ) … 13

★

- 2.1 特 徴 … 13
- 2.2 用 途 … 14
- 2.3 オーダ情報 … 14
- 2.4 端子接続図(Top View) … 15
- 2.5 78K/0シリーズの展開 … 20
- 2.6 ブロック図 … 22
- 2.7 機能概要 … 23
- 2.8 マスク・オプションについて … 24

第3章 端子機能(μPD78064サブシリーズ) … 25

- 3.1 端子機能一覧 … 25
 - 3.1.1 通常動作モード時の端子 … 25
 - 3.1.2 PROMプログラミング・モード時の端子(μPD78P064のみ) … 28
- 3.2 端子機能の説明 … 29
 - 3.2.1 P00-P05, P07(Port0) … 29
 - 3.2.2 P10-P17(Port1) … 30
 - 3.2.3 P25-P27(Port2) … 30
 - 3.2.4 P30-P37(Port3) … 31
 - 3.2.5 P70-P72(Port7) … 32
 - 3.2.6 P80-P87(Port8) … 33
 - 3.2.7 P90-P97(Port9) … 33
 - 3.2.8 P100-P103(Port10) … 33
 - 3.2.9 P110-P117(Port11) … 33
 - 3.2.10 COM0-COM3 … 34
 - 3.2.11 VLC0-VLC2 … 34
 - 3.2.12 BIAS … 34
 - 3.2.13 AVREF … 34
 - 3.2.14 AVDD … 34
 - 3.2.15 AVSS … 34

3.2.16	$\overline{\text{RESET}}$...	34
3.2.17	X1, X2	...	34
3.2.18	XT1, XT2	...	34
3.2.19	V _{DD}	...	35
3.2.20	V _{SS}	...	35
3.2.21	V _{PP} (μ PD78P064のみ)	...	35
3.2.22	IC(マスクROM製品のみ)	...	35
3.3	端子の入出力回路と未使用端子の処理	...	36

★ 第4章 端子機能(μ PD78064Yサブシリーズ) ... 41

4.1	端子機能一覧	...	41
4.1.1	通常動作モード時の端子	...	41
4.1.2	PROMプログラミング・モード時の端子(μ PD78P064Yのみ)	...	44
4.2	端子機能の説明	...	45
4.2.1	P00-P05, P07(Port0)	...	45
4.2.2	P10-P17(Port1)	...	46
4.2.3	P25-P27(Port2)	...	46
4.2.4	P30-P37(Port3)	...	47
4.2.5	P70-P72(Port7)	...	48
4.2.6	P80-P87(Port8)	...	49
4.2.7	P90-P97(Port9)	...	49
4.2.8	P100-P103(Port10)	...	49
4.2.9	P110-P117(Port11)	...	49
4.2.10	COM0-COM3	...	50
4.2.11	V _{LC0} -V _{LC2}	...	50
4.2.12	BIAS	...	50
4.2.13	AV _{REF}	...	50
4.2.14	AV _{DD}	...	50
4.2.15	AV _{SS}	...	50
4.2.16	$\overline{\text{RESET}}$...	50
4.2.17	X1, X2	...	50
4.2.18	XT1, XT2	...	50
4.2.19	V _{DD}	...	51
4.2.20	V _{SS}	...	51
4.2.21	V _{PP} (μ PD78P064Yのみ)	...	51
4.2.22	IC(マスクROM製品のみ)	...	51
4.3	端子の入出力回路と未使用端子の処理	...	52

第5章 CPUアーキテクチャ ... 57

5.1	メモリ空間	...	57
5.1.1	内部プログラム・メモリ空間	...	61
5.1.2	内部データ・メモリ空間	...	62
5.1.3	特殊機能レジスタ(SFR: Special Function Register)領域	...	62
5.1.4	データ・メモリ・アドレッシング	...	63
5.2	プロセッサ・レジスタ	...	67
5.2.1	制御レジスタ	...	67

5.2.2	汎用レジスタ	…	70
5.2.3	特殊機能レジスタ(SFR : Special Function Register)	…	72
5.3	命令アドレスのアドレッシング	…	76
5.3.1	レラティブ・アドレッシング	…	76
5.3.2	イミディエト・アドレッシング	…	77
5.3.3	テーブル・インダイレクト・アドレッシング	…	78
5.3.4	レジスタ・アドレッシング	…	79
5.4	オペランド・アドレスのアドレッシング	…	80
5.4.1	インプライド・アドレッシング	…	80
5.4.2	レジスタ・アドレッシング	…	81
5.4.3	ダイレクト・アドレッシング	…	82
5.4.4	ショート・ダイレクト・アドレッシング	…	83
5.4.5	特殊機能レジスタ(SFR)アドレッシング	…	85
5.4.6	レジスタ・インダイレクト・アドレッシング	…	86
5.4.7	ベースト・アドレッシング	…	87
5.4.8	ベースト・インデクスト・アドレッシング	…	88
5.4.9	スタック・アドレッシング	…	88

第6章 ポート機能 … 89

6.1	ポートの機能	…	89
6.2	ポートの構成	…	94
6.2.1	ポート0	…	94
6.2.2	ポート1	…	96
6.2.3	ポート2 (μ PD78064サブシリーズ)	…	97
6.2.4	ポート2 (μ PD78064Yサブシリーズ)	…	99
6.2.5	ポート3	…	101
6.2.6	ポート7	…	102
6.2.7	ポート8	…	104
6.2.8	ポート9	…	105
6.2.9	ポート10	…	106
6.2.10	ポート11	…	107
6.3	ポート機能を制御するレジスタ	…	108
6.4	ポート機能の動作	…	113
6.4.1	入出力ポートへの書き込み	…	113
6.4.2	入出力ポートからの読み出し	…	113
6.4.3	入出力ポートでの演算	…	114

第7章 クロック発生回路 … 115

7.1	クロック発生回路の機能	…	115
7.2	クロック発生回路の構成	…	115
7.3	クロック発生回路を制御するレジスタ	…	117
7.4	システム・クロック発振回路	…	120
7.4.1	メイン・システム・クロック発振回路	…	120
7.4.2	サブシステム・クロック発振回路	…	121
7.4.3	分周回路	…	124
7.4.4	サブシステム・クロックを使用しない場合	…	124

7.5	クロック発生回路の動作	...	125
7.5.1	メイン・システム・クロックの動作	...	126
7.5.2	サブシステム・クロックの動作	...	127
7.6	システム・クロックとCPUクロックの設定の変更	...	128
7.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	128
7.6.2	システム・クロックとCPUクロックの切り替え手順	...	129
第8章 16ビット・タイマ/イベント・カウンタ ... 131			
8.1	16ビット・タイマ/イベント・カウンタの機能	...	132
8.2	16ビット・タイマ/イベント・カウンタの構成	...	134
8.3	16ビット・タイマ/イベント・カウンタを制御するレジスタ	...	138
8.4	16ビット・タイマ/イベント・カウンタの動作	...	148
8.4.1	インターバル・タイマとしての動作	...	148
8.4.2	PWM出力としての動作	...	150
8.4.3	PPG出力としての動作	...	153
8.4.4	パルス幅測定としての動作	...	154
8.4.5	外部イベント・カウンタとしての動作	...	161
8.4.6	方形波出力としての動作	...	163
8.4.7	ワンショット・パルス出力としての動作	...	165
8.5	16ビット・タイマ/イベント・カウンタの注意事項	...	170
第9章 8ビット・タイマ/イベント・カウンタ ... 173			
9.1	8ビット・タイマ/イベント・カウンタの機能	...	173
9.1.1	8ビット・タイマ/イベント・カウンタ・モード	...	173
9.1.2	16ビット・タイマ/イベント・カウンタ・モード	...	176
9.2	8ビット・タイマ/イベント・カウンタの構成	...	178
9.3	8ビット・タイマ/イベント・カウンタを制御するレジスタ	...	181
9.4	8ビット・タイマ/イベント・カウンタの動作	...	186
9.4.1	8ビット・タイマ/イベント・カウンタ・モード	...	186
9.4.2	16ビット・タイマ/イベント・カウンタ・モード	...	191
9.5	8ビット・タイマ/イベント・カウンタの注意事項	...	195
第10章 時計用タイマ ... 197			
10.1	時計用タイマの機能	...	197
10.2	時計用タイマの構成	...	198
10.3	時計用タイマを制御するレジスタ	...	198
10.4	時計用タイマの動作	...	202
10.4.1	時計用タイマとしての動作	...	202
10.4.2	インターバル・タイマとしての動作	...	202
第11章 ウォッチドッグ・タイマ ... 203			
11.1	ウォッチドッグ・タイマの機能	...	203
11.2	ウォッチドッグ・タイマの構成	...	204

11.3	ウォッチドッグ・タイマを制御するレジスタ	…	206
11.4	ウォッチドッグ・タイマの動作	…	209
11.4.1	ウォッチドッグ・タイマとしての動作	…	209
11.4.2	インターバル・タイマとしての動作	…	210
第12章 クロック出力制御回路 … 211			
12.1	クロック出力制御回路の機能	…	211
12.2	クロック出力制御回路の構成	…	212
12.3	クロック出力機能を制御するレジスタ	…	212
第13章 ブザー出力制御回路 … 215			
13.1	ブザー出力制御回路の機能	…	215
13.2	ブザー出力制御回路の構成	…	215
13.3	ブザー出力機能を制御するレジスタ	…	216
第14章 A/Dコンバータ … 219			
14.1	A/Dコンバータの機能	…	219
14.2	A/Dコンバータの構成	…	219
14.3	A/Dコンバータを制御するレジスタ	…	222
14.4	A/Dコンバータの動作	…	226
14.4.1	A/Dコンバータの基本動作	…	226
14.4.2	入力電圧と変換結果	…	228
14.4.3	A/Dコンバータの動作モード	…	229
14.5	A/Dコンバータの注意事項	…	231
第15章 シリアル・インタフェース・チャンネル0 (μ PD78064サブシリーズ) … 235			
15.1	シリアル・インタフェース・チャンネル0の機能	…	236
15.2	シリアル・インタフェース・チャンネル0の構成	…	238
15.3	シリアル・インタフェース・チャンネル0を制御するレジスタ	…	242
15.4	シリアル・インタフェース・チャンネル0の動作	…	248
15.4.1	動作停止モード	…	248
15.4.2	3線式シリアルI/Oモードの動作	…	249
15.4.3	SBIモードの動作	…	254
15.4.4	2線式シリアルI/Oモードの動作	…	283
15.4.5	$\overline{\text{SCK0}}$ /P27端子出力の操作	…	288
第16章 シリアル・インタフェース・チャンネル0 (μ PD78064Yサブシリーズ) … 289			
16.1	シリアル・インタフェース・チャンネル0の機能	…	290
16.2	シリアル・インタフェース・チャンネル0の構成	…	292
16.3	シリアル・インタフェース・チャンネル0を制御するレジスタ	…	297
16.4	シリアル・インタフェース・チャンネル0の動作	…	304

★

16.4.1	動作停止モード	…	304
16.4.2	3線式シリアルI/Oモードの動作	…	305
16.4.3	2線式シリアルI/Oモードの動作	…	311
16.4.4	I ² Cバス・モードの動作	…	316
16.4.5	I ² Cバス・モード使用時の注意事項	…	338
16.4.6	SCK0/SCL/P27端子出力の操作	…	341
第17章	シリアル・インタフェース・チャンネル2	…	343
17.1	シリアル・インタフェース・チャンネル2の機能	…	343
17.2	シリアル・インタフェース・チャンネル2の構成	…	344
17.3	シリアル・インタフェース・チャンネル2を制御するレジスタ	…	348
17.4	シリアル・インタフェース・チャンネル2の動作	…	357
17.4.1	動作停止モード	…	357
17.4.2	アシンクロナス・シリアル・インタフェース(UART)モード	…	359
17.4.3	3線式シリアルI/Oモード	…	372
第18章	LCDコントローラ/ドライバ	…	379
18.1	LCDコントローラ/ドライバの機能	…	379
18.2	LCDコントローラ/ドライバの構成	…	380
18.3	LCDコントローラ/ドライバを制御するレジスタ	…	383
18.4	LCDコントローラ/ドライバの設定	…	386
18.5	LCD表示データ・メモリ	…	386
18.6	コモン信号とセグメント信号	…	387
18.7	LCD駆動電圧V _{LC0} , V _{LC1} , V _{LC2} の供給	…	391
18.8	表示モード	…	395
18.8.1	スタティック表示例	…	395
18.8.2	2時分割表示例	…	398
18.8.3	3時分割表示例	…	401
18.8.4	4時分割表示例	…	405
第19章	割り込み機能とテスト機能	…	409
19.1	割り込み機能の種類	…	409
19.2	割り込み要因と構成	…	409
19.3	割り込み機能を制御するレジスタ	…	413
19.4	割り込み処理動作	…	422
19.4.1	ノンマスカブル割り込みの受け付け動作	…	422
19.4.2	マスカブル割り込みの受け付け動作	…	425
19.4.3	ソフトウェア割り込みの受け付け動作	…	428
19.4.4	多重割り込み処理	…	428
19.4.5	割り込みの保留	…	430
19.5	テスト機能	…	431
19.5.1	テスト機能を制御するレジスタ	…	431
19.5.2	テスト入力信号の受け付け動作	…	433

第20章	スタンバイ機能	…	435
20.1	スタンバイ機能と構成	…	435
20.1.1	スタンバイ機能	…	435
20.1.2	スタンバイ機能を制御するレジスタ	…	436
20.2	スタンバイ機能の動作	…	437
20.2.1	HALTモード	…	437
20.2.2	STOPモード	…	440
第21章	リセット機能	…	443
21.1	リセット機能	…	443
第22章	μPD78P064, 78P064Y	…	447
22.1	メモリ・サイズ切り替えレジスタ	…	448
22.2	PROMプログラミング	…	449
22.2.1	動作モード	…	449
22.2.2	PROM書き込みの手順	…	451
22.2.3	PROM読み出しの手順	…	455
22.3	消去方法(μPD78P064KL-T, 78P064YKL-Tのみ)	…	456
22.4	消去用窓のシールについて(μPD78P064KL-T, 78P064YKL-Tのみ)	…	456
22.5	ワン・タイムPROM製品のスクリーニングについて	…	456
第23章	命令セットの概要	…	457
23.1	凡例	…	458
23.1.1	オペランドの表現形式と記述方法	…	458
23.1.2	オペレーション欄の説明	…	459
23.1.3	フラグ動作欄の説明	…	459
23.2	オペレーション一覧	…	460
23.3	アドレッシング別命令一覧	…	469
付録A	開発ツール	…	473
A.1	言語処理用ソフトウェア	…	475
A.2	PROM書き込み用ツール	…	476
A.3	デバッグ用ツール	…	477
A.3.1	ハードウェア	…	477
A.3.2	ソフトウェア	…	478
A.4	IBM PC用のOSについて	…	479
付録B	組み込み用ソフトウェア	…	483
B.1	リアルタイムOS	…	483
B.2	ファジィ推論開発支援システム	…	485

★

付録C レジスタ索引 … 487

C.1 レジスタ索引(50音順) … 487

C.2 レジスタ索引(アルファベット順) … 490

付録D 改版履歴 … 493

図の目次(1/8)

図番号	タイトル, ページ
3-1	端子の入出力回路一覧 … 38
4-1	端子の入出力回路一覧 … 54
5-1	メモリ・マップ(μ PD78062, 78062Y) … 57
5-2	メモリ・マップ(μ PD78063, 78063Y) … 58
5-3	メモリ・マップ(μ PD78064, 78064Y) … 59
5-4	メモリ・マップ(μ PD78P064, 78P064Y) … 60
5-5	データ・メモリのアドレッシング(μ PD78062, 78062Y) … 63
5-6	データ・メモリのアドレッシング(μ PD78063, 78063Y) … 64
5-7	データ・メモリのアドレッシング(μ PD78064, 78064Y) … 65
5-8	データ・メモリのアドレッシング(μ PD78P064, 78P064Y) … 66
5-9	プログラム・カウンタの構成 … 67
5-10	プログラム・ステータス・ワードの構成 … 67
5-11	スタック・ポインタの構成 … 69
5-12	スタック・メモリへ退避されるデータ … 69
5-13	スタック・メモリから復帰されるデータ … 70
5-14	汎用レジスタの構成 … 71
6-1	ポートの種類 … 89
6-2	P00, P07の構成 … 95
6-3	P01-P05の構成 … 95
6-4	P10-P17の構成 … 96
6-5	P25, P26の構成(μ PD78064サブシリーズ) … 97
6-6	P27の構成(μ PD78064サブシリーズ) … 98
6-7	P25, P26の構成(μ PD78064Yサブシリーズ) … 99
6-8	P27の構成(μ PD78064Yサブシリーズ) … 100
6-9	P30-P37の構成 … 101
6-10	P70の構成 … 102
6-11	P71, P72の構成 … 103
6-12	P80-P87の構成 … 104
6-13	P90-P97の構成 … 105
6-14	P100-P103の構成 … 106
6-15	P110-P117の構成 … 107
6-16	立ち下がりエッジ検出回路のブロック図 … 107
6-17	ポート・モード・レジスタのフォーマット … 110
6-18	プルアップ抵抗オプション・レジスタのフォーマット … 111

図の目次(2/8)

図番号	タイトル, ページ
6-19	キー・リターン・モード・レジスタのフォーマット … 112
7-1	クロック発生回路のブロック図 … 116
7-2	サブシステム・クロックのフィードバック抵抗 … 117
7-3	プロセッサ・クロック・コントロール・レジスタのフォーマット … 118
7-4	発振モード選択レジスタのフォーマット … 119
7-5	OSMS書き込み時のメイン・システム・クロック … 119
7-6	メイン・システム・クロック発振回路の外付け回路 … 120
7-7	サブシステム・クロック発振回路の外付け回路 … 121
7-8	発振子の接続の悪い例 … 122
7-9	メイン・システム・クロックの停止機能 … 126
7-10	システム・クロックとCPUクロックの切り替え … 129
8-1	16ビット・タイマ/イベント・カウンタのブロック図 … 135
8-2	16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図 … 136
8-3	タイマ・クロック選択レジスタ0のフォーマット … 139
8-4	16ビット・タイマ・モード・コントロール・レジスタのフォーマット … 141
8-5	キャプチャ/コンペア・コントロール・レジスタ0のフォーマット … 142
8-6	16ビット・タイマ出力コントロール・レジスタのフォーマット … 144
8-7	ポート・モード・レジスタ3のフォーマット … 145
8-8	外部割り込みモード・レジスタ0のフォーマット … 146
8-9	サンプリング・クロック選択レジスタのフォーマット … 147
8-10	インターバル・タイマ動作時の制御レジスタ設定内容 … 148
8-11	インターバル・タイマの構成図 … 149
8-12	インターバル・タイマ動作のタイミング … 149
8-13	PWM出力動作時の制御レジスタ設定内容 … 151
8-14	PWM出力によるD/Aコンバータ構成例 … 152
8-15	TVチューナへの応用回路例 … 152
8-16	PPG出力動作時の制御レジスタ設定内容 … 153
8-17	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 … 154
8-18	フリーランニング・カウンタによるパルス幅測定の構成図 … 155
8-19	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング(両エッジ指定時) … 155
8-20	フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 … 156
8-21	フリーランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時) … 157
8-22	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 … 158

図の目次(3/8)

図番号	タイトル, ページ
8-23	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) … 159
8-24	リスタートによるパルス幅測定時の制御レジスタ設定内容 … 160
8-25	リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) … 161
8-26	外部イベント・カウンタ・モード時の制御レジスタ設定内容 … 162
8-27	外部イベント・カウンタの構成図 … 162
8-28	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 163
8-29	方形波出力モード時の制御レジスタ設定内容 … 164
8-30	方形波出力動作のタイミング … 164
8-31	ソフトウエア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 … 166
8-32	ソフトウエア・トリガによるワンショット・パルス出力動作のタイミング … 167
8-33	外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 … 168
8-34	外部トリガによるワンショット・パルス出力動作のタイミング(立ち上がりエッジ指定時) … 169
8-35	16ビット・タイマ・レジスタのスタート・タイミング … 170
8-36	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 170
8-37	キャプチャ・レジスタのデータ保持タイミング … 171
8-38	OVF0フラグの動作のタイミング … 172
9-1	8ビット・タイマ/イベント・カウンタのブロック図 … 179
9-2	8ビット・タイマ/イベント・カウンタ出力制御回路1のブロック図 … 180
9-3	8ビット・タイマ/イベント・カウンタ出力制御回路2のブロック図 … 180
9-4	タイマ・クロック選択レジスタ1のフォーマット … 182
9-5	8ビット・タイマ・モード・コントロール・レジスタのフォーマット … 183
9-6	8ビット・タイマ出力コントロール・レジスタのフォーマット … 184
9-7	ポート・モード・レジスタ3のフォーマット … 185
9-8	インターバル・タイマ動作のタイミング … 186
9-9	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 189
9-10	インターバル・タイマ動作のタイミング … 191
9-11	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 193
9-12	8ビット・タイマ・レジスタのスタート・タイミング … 195
9-13	外部イベント・カウンタとして動作時のタイミング … 195
9-14	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 196
10-1	時計用タイマのブロック図 … 199
10-2	タイマ・クロック選択レジスタ2のフォーマット … 200
10-3	時計用タイマ・モード・コントロール・レジスタのフォーマット … 201

図の目次(4/8)

図番号	タイトル, ページ
11-1	ウォッチドッグ・タイマのブロック図 … 205
11-2	タイマ・クロック選択レジスタ2のフォーマット … 207
11-3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット … 208
12-1	リモコン出力応用例 … 211
12-2	クロック出力制御回路のブロック図 … 212
12-3	タイマ・クロック選択レジスタ0のフォーマット … 213
12-4	ポート・モード・レジスタ3のフォーマット … 214
13-1	ブザー出力制御回路のブロック図 … 215
13-2	タイマ・クロック選択レジスタ2のフォーマット … 217
13-3	ポート・モード・レジスタ3のフォーマット … 218
14-1	A/Dコンバータのブロック図 … 220
14-2	A/Dコンバータ・モード・レジスタのフォーマット … 223
14-3	A/Dコンバータ入力選択レジスタのフォーマット … 224
14-4	外部割り込みモード・レジスタ1のフォーマット … 225
14-5	A/Dコンバータの基本動作 … 227
14-6	アナログ入力電圧とA/D変換結果の関係 … 228
14-7	ハードウェア・スタートによるA/D変換動作 … 229
14-8	ソフトウェア・スタートによるA/D変換動作 … 230
14-9	スタンバイ・モード時の消費電流を低減させる方法例 … 231
14-10	アナログ入力端子の処理 … 232
14-11	A/D変換終了割り込み発生タイミング … 233
14-12	AV _{DD} 端子の処理 … 233
15-1	シリアル・バス・インタフェース(SBI)のシステム構成例 … 237
15-2	シリアル・インタフェース・チャンネル0のブロック図 … 239
15-3	タイマ・クロック選択レジスタ3のフォーマット … 242
15-4	シリアル動作モード・レジスタ0のフォーマット … 243
15-5	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット … 245
15-6	割り込みタイミング指定レジスタのフォーマット … 247
15-7	3線式シリアルI/Oモードのタイミング … 252
15-8	RELT, CMDTの動作 … 253
15-9	転送ビット順切り替え回路 … 253
15-10	SBIによるシリアル・バス構成例 … 255
15-11	SBI転送のタイミング … 257

図の目次(5/8)

図番号	タイトル, ページ
15-12	バス・リリース信号 … 258
15-13	コマンド信号 … 258
15-14	アドレス … 259
15-15	アドレスによるスレーブの選択 … 259
15-16	コマンド … 260
15-17	データ … 260
15-18	アクノリッジ信号 … 261
15-19	ビジィ信号, レディ信号 … 262
15-20	RELT, CMDT, RELD, CMDDDの動作(マスタ) … 267
15-21	RELD, CMDDDの動作(スレーブ) … 267
15-22	ACKTの動作 … 268
15-23	ACKEの動作 … 269
15-24	ACKDの動作 … 270
15-25	BSYEの動作 … 271
15-26	端子構成図 … 274
15-27	マスタ・デバイスからスレーブ・デバイス(WUP = 1)へのアドレス送信動作 … 277
15-28	マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 … 278
15-29	マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 … 279
15-30	スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 … 280
15-31	2線式シリアルI/Oによるシリアル・バス構成例 … 283
15-32	2線式シリアルI/Oモードのタイミング … 286
15-33	RELT, CMDTの動作 … 287
15-34	$\overline{SCK0}$ /P27端子の構成 … 288
16-1	PCバスによるシリアル・バス構成例 … 291
16-2	シリアル・インタフェース・チャンネル0のブロック図 … 293
16-3	タイマ・クロック選択レジスタ3のフォーマット … 298
16-4	シリアル動作モード・レジスタ0のフォーマット … 299
16-5	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット … 300
16-6	割り込みタイミング指定レジスタのフォーマット … 302
16-7	3線式シリアルI/Oモードのタイミング … 308
16-8	RELT, CMDTの動作 … 309
16-9	転送ビット順切り替え回路 … 309
16-10	2線式シリアルI/Oによるシリアル・バス構成例 … 311
16-11	2線式シリアルI/Oモードのタイミング … 314
16-12	RELT, CMDTの動作 … 315
16-13	PCバスによるシリアル・バス構成例 … 316

図の目次(6/8)

図番号	タイトル, ページ
16-14	PCバスのシリアル・データ転送タイミング … 317
16-15	スタート・コンディション … 318
16-16	アドレス … 319
16-17	転送方向指定 … 319
16-18	アクリッジ信号 … 320
16-19	ストップ・コンディション … 320
16-20	ウエイト信号 … 321
16-21	端子構成図 … 329
16-22	マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時) … 331
16-23	スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウエイト選択時) … 334
16-24	スタート・コンディションの出力 … 338
16-25	スレーブのウエイト解除(送信時) … 339
16-26	スレーブのウエイト解除(受信時) … 340
16-27	$\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子の構成 … 341
16-28	$\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子の構成 … 342
16-29	SCL信号の論理回路 … 342
17-1	シリアル・インタフェース・チャンネル2のブロック図 … 345
17-2	ポー・レート・ジェネレータのブロック図 … 346
17-3	シリアル動作モード・レジスタ2のフォーマット … 348
17-4	アシンクロナス・シリアル・インタフェース・モード・レジスタのフォーマット … 349
17-5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット … 352
17-6	ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット … 353
17-7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 366
17-8	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 368
17-9	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 369
17-10	受信エラー・タイミング … 370
17-11	3線式シリアルI/Oモードのタイミング … 377
18-1	LCDコントローラ/ドライバのブロック図 … 381
18-2	LCDクロック選択回路のブロック図 … 382
18-3	LCD表示モード・レジスタのフォーマット … 383
18-4	LCD表示コントロール・レジスタのフォーマット … 385
18-5	LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 … 386
18-6	コモン信号波形 … 389
18-7	コモン信号とセグメント信号の電圧と位相 … 390
18-8	LCD駆動用電源の接続例(分割抵抗内蔵時) … 392

図の目次(7/8)

図番号	タイトル, ページ
18-9	LCD駆動用電源の接続例(分割抵抗外付け時) … 393
18-10	外部からのLCD駆動用電源の接続例 … 394
18-11	スタティックLCDの表示パターンと電極結線 … 395
18-12	スタティックLCDパネルの結線例 … 396
18-13	スタティックLCD駆動波形例 … 397
18-14	2時分割LCD表示パターンと電極結線 … 398
18-15	2時分割LCDパネルの結線例 … 399
18-16	2時分割LCD駆動波形例(1/2バイアス法) … 400
18-17	3時分割LCD表示パターンと電極結線 … 401
18-18	3時分割LCDパネルの結線例 … 402
18-19	3時分割LCD駆動波形例(1/2バイアス法) … 403
18-20	3時分割LCD駆動波形例(1/3バイアス法) … 404
18-21	4時分割LCD表示パターンと電極結線 … 405
18-22	4時分割LCDパネルの結線例 … 406
18-23	4時分割LCD駆動波形例(1/3バイアス法) … 407
19-1	割り込み機能の基本構成 … 411
19-2	割り込み要求フラグ・レジスタのフォーマット … 414
19-3	割り込みマスク・フラグ・レジスタのフォーマット … 415
19-4	優先順位指定フラグ・レジスタのフォーマット … 416
19-5	外部割り込みモード・レジスタ0のフォーマット … 417
19-6	外部割り込みモード・レジスタ1のフォーマット … 418
19-7	サンプリング・クロック選択レジスタのフォーマット … 419
19-8	ノイズ除去回路の入出力タイミング(立ち上がりエッジ検出時) … 420
19-9	プログラム・ステータス・ワードの構成 … 421
19-10	ノンマスクブル割り込みの受け付けフロー・チャート … 423
19-11	ノンマスクブル割り込みの受け付けタイミング … 423
19-12	ノンマスクブル割り込み要求の受け付け動作 … 424
19-13	割り込み受け付け処理アルゴリズム … 426
19-14	割り込みの受け付けタイミング(最小時間) … 427
19-15	割り込みの受け付けタイミング(最大時間) … 427
19-16	多重割り込みの例 … 429
19-17	割り込み要求の保留 … 430
19-18	テスト機能の基本構成 … 431
19-19	割り込み要求フラグ・レジスタ1Lのフォーマット … 432
19-20	割り込みマスク・フラグ・レジスタ1Lのフォーマット … 432
19-21	キー・リターン・モード・レジスタのフォーマット … 433

図の目次(8/8)

図番号	タイトル, ページ
20-1	発振安定時間選択レジスタのフォーマット … 436
20-2	HALTモードの割り込み発生による解除 … 438
20-3	HALTモードの $\overline{\text{RESET}}$ 入力による解除 … 439
20-4	STOPモードの割り込み発生による解除 … 441
20-5	STOPモードの $\overline{\text{RESET}}$ 入力による解除 … 442
21-1	リセット機能のブロック図 … 443
21-2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング … 444
21-3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング … 444
21-4	STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング … 444
22-1	メモリ・サイズ切り替えレジスタのフォーマット … 448
22-2	ページ・プログラム・モード・フロー・チャート … 451
22-3	ページ・プログラム・モード・タイミング … 452
22-4	バイト・プログラム・モード・フロー・チャート … 453
22-5	バイト・プログラム・モード・タイミング … 454
22-6	PROMの読み出しタイミング … 455
A-1	開発ツール構成 … 474
A-2	変換アダプタ(EV-9500GC-100) 外形図(参考)(単位:mm) … 480
A-3	変換ソケット(EV-9200GF-100) 外形図(参考)(単位:mm) … 481
A-4	変換ソケット(EV-9200GF-100) 基板取り付け推奨パターン(参考)(単位:mm) … 482

表の目次(1/3)

表番号	タイトル, ページ
1-1	マスクROM製品のマスク・オプション … 12
2-1	マスクROM製品のマスク・オプション … 24
3-1	各端子の入出力回路タイプ … 36
4-1	各端子の入出力回路タイプ … 52
5-1	内部ROM容量 … 61
5-2	ベクタ・テーブル … 61
5-3	内部高速RAM容量 … 62
5-4	特殊機能レジスタ一覧 … 73
6-1	ポートの機能(μ PD78064サブシリーズ) … 90
6-2	ポートの機能(μ PD78064Yサブシリーズ) … 92
6-3	ポートの構成 … 94
6-4	兼用機能使用時のポート・モード・レジスタ, 出カラッチの設定 … 109
7-1	クロック発生回路の構成 … 115
7-2	CPUクロックの切り替えに要する最大時間 … 128
8-1	タイマ/イベント・カウンタの種類と機能 … 132
8-2	16ビット・タイマ/イベント・カウンタのインターバル時間 … 133
8-3	16ビット・タイマ/イベント・カウンタの方形波出力範囲 … 134
8-4	16ビット・タイマ/イベント・カウンタの構成 … 134
8-5	INTP0/TI00端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ … 137
8-6	16ビット・タイマ/イベント・カウンタのインターバル時間 … 150
8-7	16ビット・タイマ/イベント・カウンタの方形波出力範囲 … 165
9-1	8ビット・タイマ/イベント・カウンタのインターバル時間 … 174
9-2	8ビット・タイマ/イベント・カウンタの方形波出力範囲 … 175
9-3	8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間 … 176
9-4	8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲 … 177
9-5	8ビット・タイマ/イベント・カウンタの構成 … 178
9-6	8ビット・タイマ/イベント・カウンタ1のインターバル時間 … 187
9-7	8ビット・タイマ/イベント・カウンタ2のインターバル時間 … 188

表の目次(2/3)

表番号	タイトル, ページ
9-8	8ビット・タイマ/イベント・カウンタの方形波出力範囲 … 190
9-9	2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間 … 192
9-10	2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲 … 194
10-1	インターバル・タイマのインターバル時間 … 197
10-2	時計用タイマの構成 … 198
10-3	インターバル・タイマのインターバル時間 … 202
11-1	ウォッチドッグ・タイマの暴走検出時間 … 203
11-2	インターバル時間 … 204
11-3	ウォッチドッグ・タイマの構成 … 204
11-4	ウォッチドッグ・タイマの暴走検出時間 … 209
11-5	インターバル・タイマのインターバル時間 … 210
12-1	クロック出力制御回路の構成 … 212
13-1	ブザー出力制御回路の構成 … 215
14-1	A/Dコンバータの構成 … 219
15-1	チャンネル0とチャンネル2の違い … 235
15-2	シリアル・インタフェース・チャンネル0の構成 … 238
15-3	SBIモードにおける各種の信号 … 272
16-1	チャンネル0とチャンネル2の違い … 289
16-2	シリアル・インタフェース・チャンネル0の構成 … 292
16-3	シリアル・インタフェース・チャンネル0の割り込み要求信号の発生 … 296
16-4	I ² Cバス・モードにおける各種の信号 … 328
17-1	シリアル・インタフェース・チャンネル2の構成 … 344
17-2	シリアル・インタフェース・チャンネル2の動作モードの設定一覧 … 351
17-3	メイン・システム・クロックとポー・レートの関係 … 355
17-4	ASCK端子入力周波数とポー・レートの関係(BRGC = 00H設定時) … 356
17-5	メイン・システム・クロックとポー・レートの関係 … 364
17-6	ASCK端子入力周波数とポー・レートの関係(BRGC = 00H設定時) … 365
17-7	受信エラーの要因 … 370

表の目次(3/3)

表番号	タイトル, ページ
18-1	最大表示画素数 … 379
18-2	LCDコントローラ/ドライバの構成 … 380
18-3	フレーム周波数(Hz) … 384
18-4	COM信号 … 387
18-5	LCD駆動電圧 … 388
18-6	LCD駆動電圧(分割抵抗内蔵時) … 391
18-7	選択, 非選択電圧(COM0) … 395
18-8	選択, 非選択電圧(COM0, COM1) … 398
18-9	選択, 非選択電圧(COM0-COM2) … 401
18-10	選択, 非選択電圧(COM0-COM3) … 405
19-1	割り込み要因一覧 … 410
19-2	割り込み要求ソースに対する各種フラグ … 413
19-3	マスクブル割り込み要求発生から処理までの時間 … 425
19-4	割り込み処理中に多重割り込み可能な割り込み要求 … 428
19-5	テスト入力要因一覧 … 431
19-6	テスト入力信号に対する各種フラグ … 431
20-1	HALTモード時の動作状態 … 437
20-2	HALTモードの解除後の動作 … 439
20-3	STOPモード時の動作状態 … 440
20-4	STOPモードの解除後の動作 … 442
21-1	各ハードウェアのリセット後の状態 … 445
22-1	μ PD78P064, 78P064YとマスクROM製品の違い … 447
22-2	メモリ・サイズ切り替えレジスタの設定値 … 448
22-3	PROMプログラミングの動作モード … 449
23-1	オペランドの表現形式と記述方法 … 458

[X 毛]

第1章 概 説(μPD78064サブシリーズ)

1.1 特 徴

○大容量ROM, RAM内蔵

品名	項目 プログラム・メモリ (ROM)	データ・メモリ	
		内部高速RAM	LCD表示用RAM
μPD78062	16 Kバイト	512バイト	40×4ビット
μPD78063	24 Kバイト	1024バイト	
μPD78064	32 Kバイト		
μPD78P064	32 Kバイト ^注	1024バイト ^注	

注 メモリ・サイズ切り替えレジスタにより、内部PROM, 内部高速RAM容量の変更可能。

- 高速(0.4 μs:メイン・システム・クロック5.0 MHz動作時)から超低速(122 μs:サブシステム・クロック32.768 kHz動作時)まで命令実行時間変更可能
- システム制御に適した命令セット
 - ・全アドレス空間でビット処理可能
 - ・乗除算命令内蔵
- I/Oポート:57本(セグメント信号出力兼用端子を含む)
- LCDコントローラ/ドライバ
 - ・セグメント信号出力:最大40本
 - ・コモン信号出力 :最大4本
 - ・バイアス :1/2, 1/3バイアス切り替え可能
 - ・電源電圧 $V_{DD}=2.0\sim6.0\text{ V}$ (スタティック表示モード)
 $V_{DD}=2.5\sim6.0\text{ V}$ (1/3バイアス法)
 $V_{DD}=2.7\sim6.0\text{ V}$ (1/2バイアス法)
- 8ビット分解能A/Dコンバータ:8チャンネル
- シリアル・インタフェース:2チャンネル
 - ・3線式/SBI/2線式モード :1チャンネル
 - ・3線式/UARTモード :1チャンネル
- タイマ:5チャンネル
 - ・16ビット・タイマ/イベント・カウンタ:1チャンネル
 - ・8ビット・タイマ/イベント・カウンタ:2チャンネル
 - ・時計用タイマ :1チャンネル
 - ・ウォッチドッグ・タイマ :1チャンネル

- ベクタ割り込み：20本
- テスト入力：2本
- 2種類のクロック発振回路内蔵(メイン・システム・クロックとサブシステム・クロック)
- 電源電圧： $V_{DD} = 2.0 \sim 6.0 V$

1.2 用 途

携帯電話、CDプレーヤ、カメラなど

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD78062GC-XXX-7EA	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	マスクROM
μPD78062GF-XXX-3BA	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78063GC-XXX-7EA	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	◇
μPD78063GF-XXX-3BA	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78064GC-XXX-7EA	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	◇
μPD78064GF-XXX-3BA	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78P064GC-7EA	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	ワン・タイムPROM
μPD78P064GF-3BA	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78P064KL-T ^注	100ピン・セラミックWQFN	EPROM

注 開発中

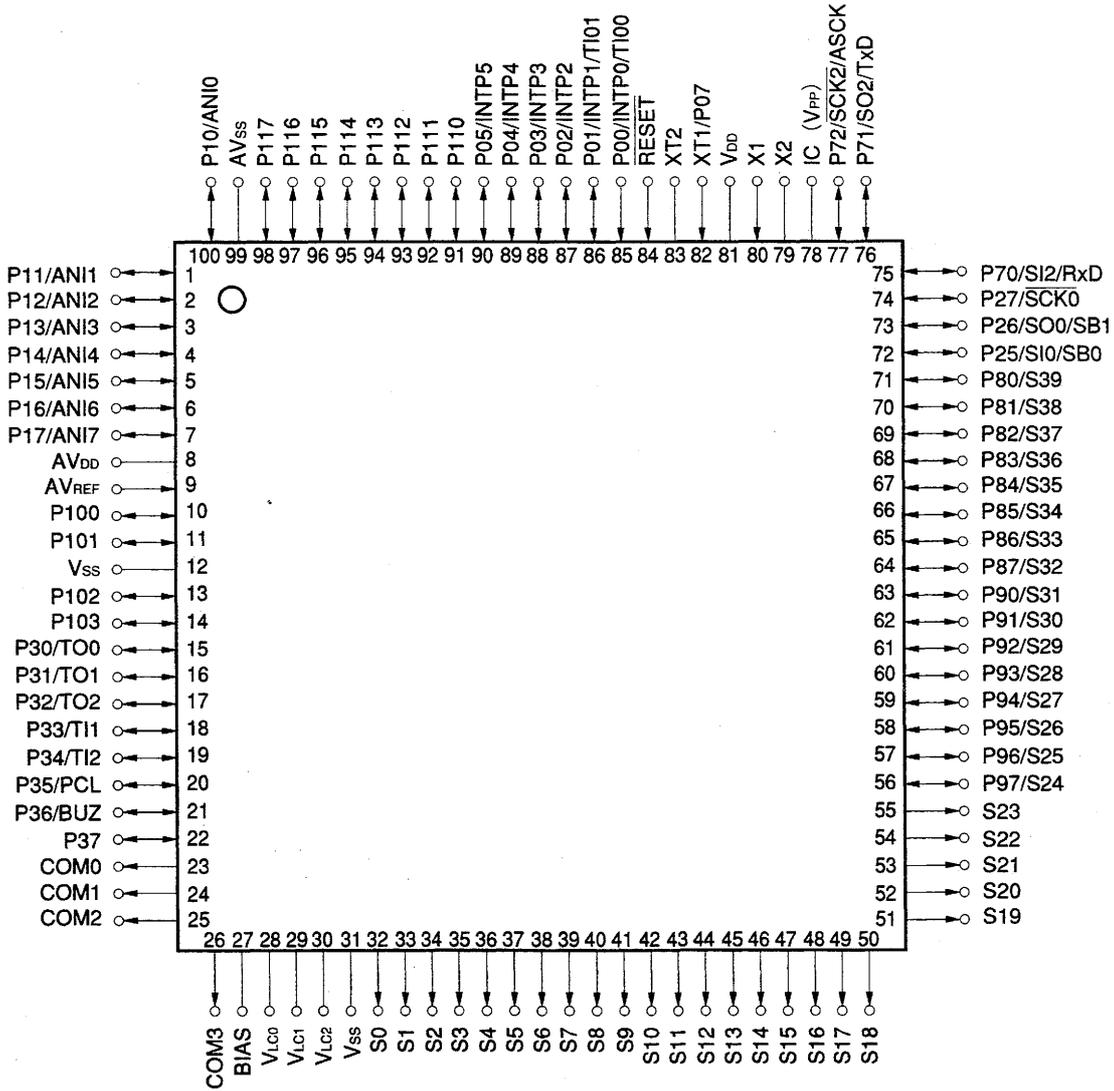
備考 XXXはROMコード番号です。

1.4 端子接続図(Top View)

(1) 通常動作モード

・100ピン・プラスチックQFP(ファインピッチ)(□14mm)

μPD78062GC-XXX-7EA, 78063GC-XXX-7EA, 78064GC-XXX-7EA, 78P064GC-7EA



注意1. IC(Internally Connected)端子はV_{SS}に直接接続してください。

2. AV_{DD}端子はV_{DD}に接続してください。

3. AV_{SS}端子はV_{SS}に接続してください。

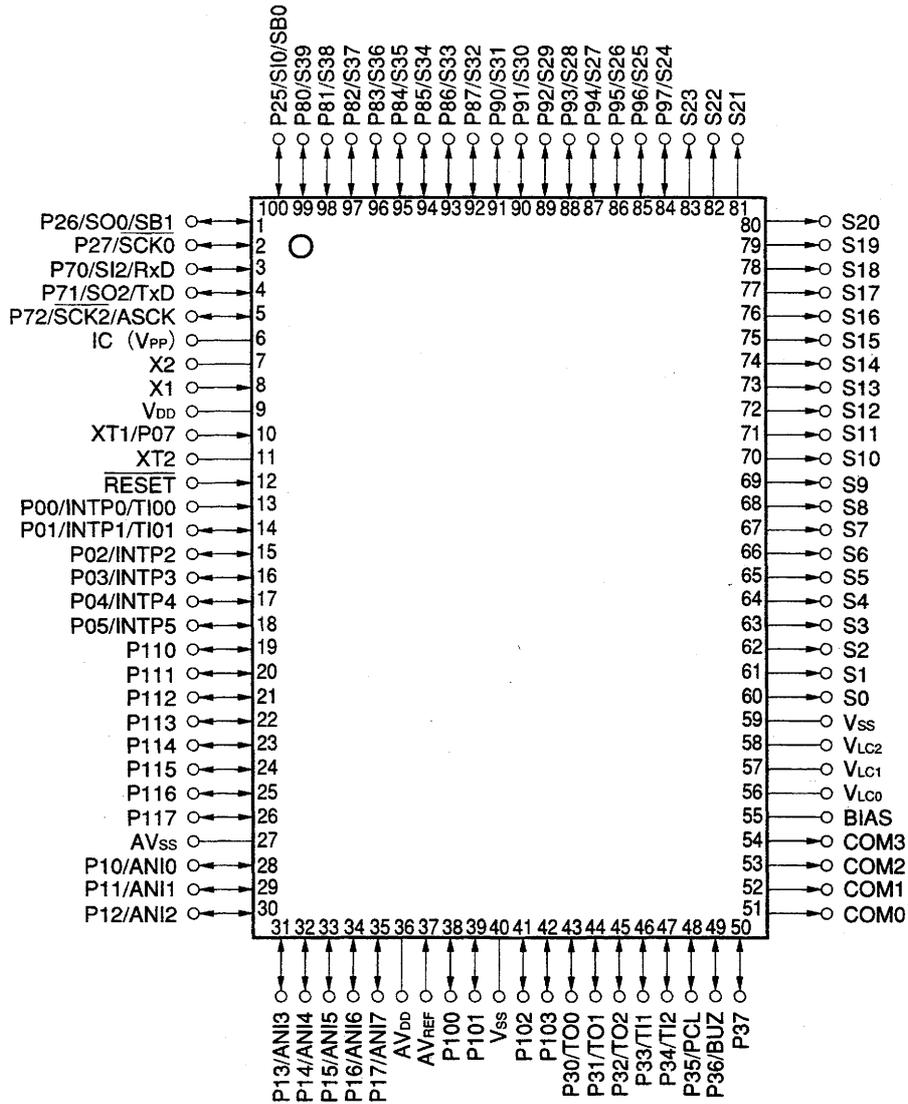
備考 ()内はμPD78P064のとき。

- 100ピン・プラスチックQFP(14×20 mm)

μPD78062GF-XXX-3BA, 78063GF-XXX-3BA, 78064GF-XXX-3BA, 78P064GF-3BA

- 100ピン・セラミックWQFN

μPD78P064KL-T^注



注 開発中

注意 1. IC(Internally Connected)端子はVssに直接接続してください。

2. AVDD端子はVDDに接続してください。

3. AVSS端子はVssに接続してください。

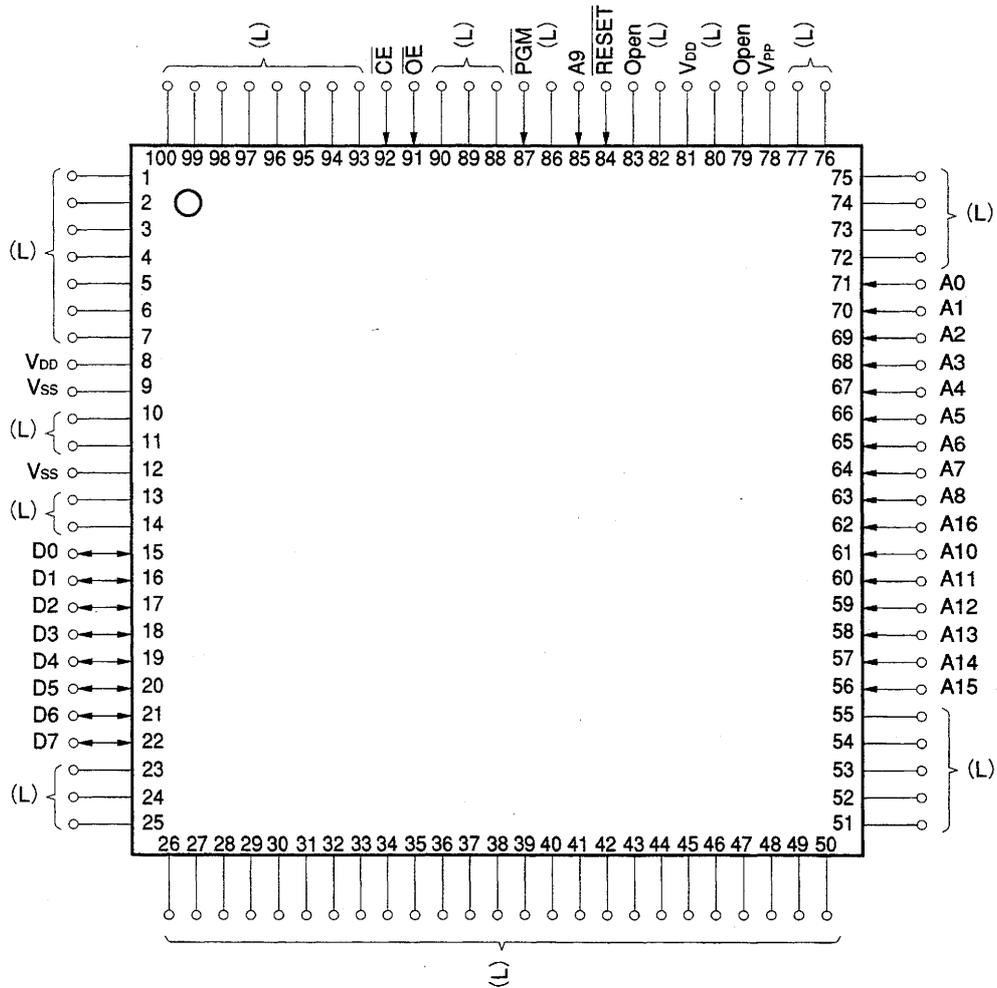
備考 ()内はμPD78P064のとき。

P00-P05, P07	: Port0	ASCK	: Asynchronous Serial Clock
P10-P17	: Port1	PCL	: Programmable Clock
P25-P27	: Port2	BUZ	: Buzzer Clock
P30-P37	: Port3	S0-S39	: Segment Output
P70-P72	: Port7	COM0-COM3	: Common Output
P80-P87	: Port8	V _{LC0-V_{LC2}}	: LCD Power Supply
P90-P97	: Port9	BIAS	: LCD Power Supply Bias Control
P100-P103	: Port10	X1, X2	: Crystal (Main System Clock)
P110-P117	: Port11	XT1, XT2	: Crystal (Subsystem Clock)
INTP0-INTP5	: Interrupt from Peripherals	$\overline{\text{RESET}}$: Reset
TI00, TI01	: Timer Input	ANI0-ANI7	: Analog Input
TI1, TI2	: Timer Input	AV _{DD}	: Analog Power Supply
TO0-TO2	: Timer Output	AV _{SS}	: Analog Ground
SB0, SB1	: Serial Bus	AV _{REF}	: Analog Reference Voltage
SI0, SI2	: Serial Input	V _{DD}	: Power Supply
SO0, SO2	: Serial Output	V _{PP}	: Programming Power Supply
$\overline{\text{SCK0}}, \overline{\text{SCK2}}$: Serial Clock	V _{SS}	: Ground
RxD	: Receive Data	IC	: Internally Connected
TxD	: Transmit Data		

(2) PROMプログラミング・モード

・100ピン・プラスチックQFP(ファインピッチ)(□14 mm)

μPD78P064GC-7EA



注意1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。

2. V_{SS} : グランドに接続してください。

3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。

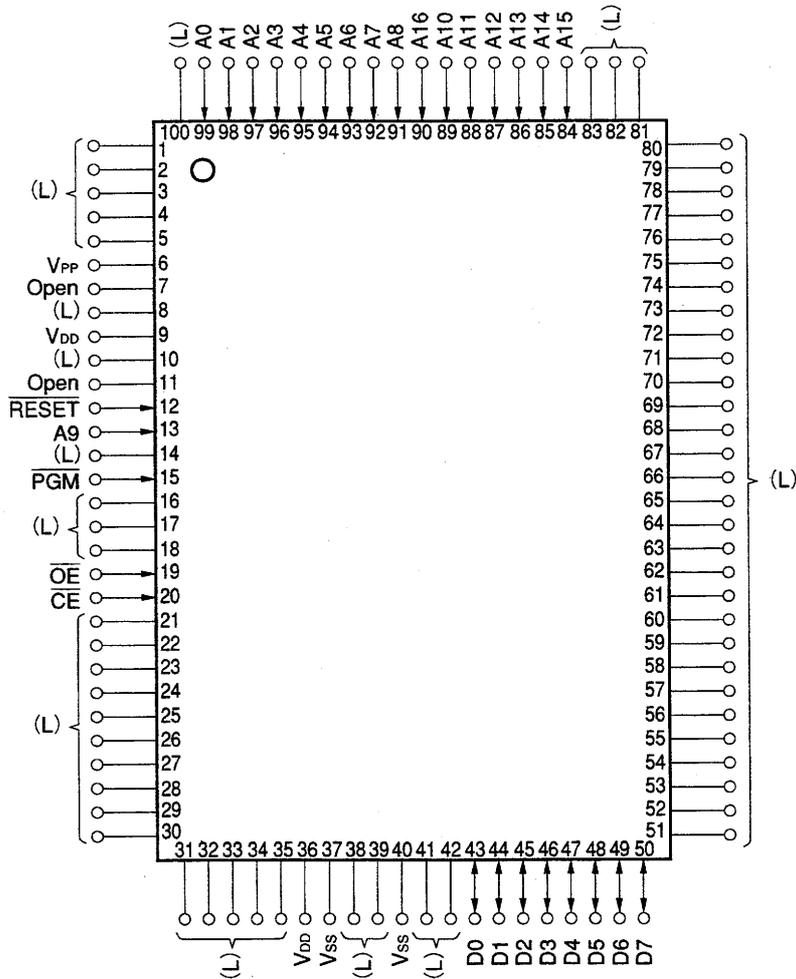
4. Open : 何も接続しないでください。

・100ピン・プラスチックQFP(14×20 mm)

μPD78P064GF-3BA

・100ピン・セラミックWQFN

μPD78P064KL-T^注



注 開発中

注意1. (L) : 個別にプルダウン抵抗を介してVssに接続してください。

2. Vss : グランドに接続してください。

3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。

4. Open : 何も接続しないでください。

A0-A16 : Address Bus

D0-D7 : Data Bus

$\overline{\text{CE}}$: Chip Enable

$\overline{\text{OE}}$: Output Enable

$\overline{\text{PGM}}$: Program

$\overline{\text{RESET}}$: Reset

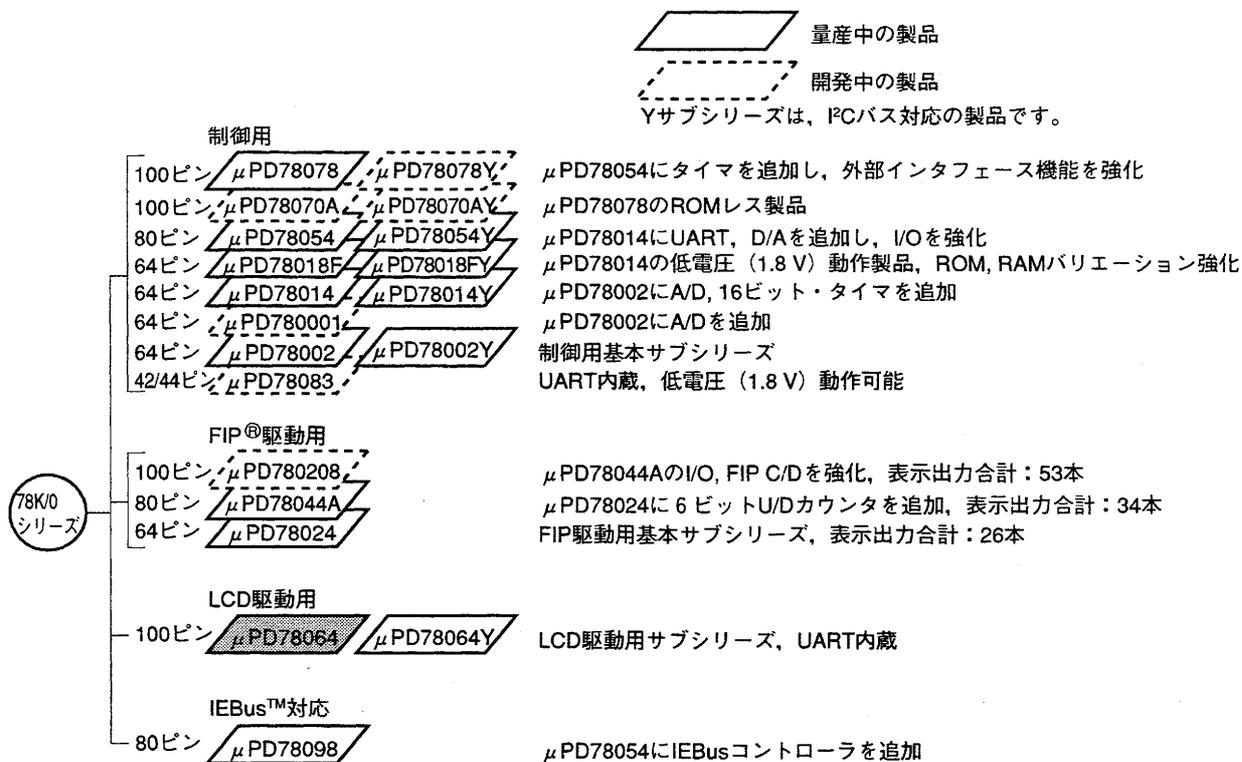
VDD : Power Supply

VPP : Programming Power Supply

VSS : Ground

★ 1.5 78K/0シリーズの展開

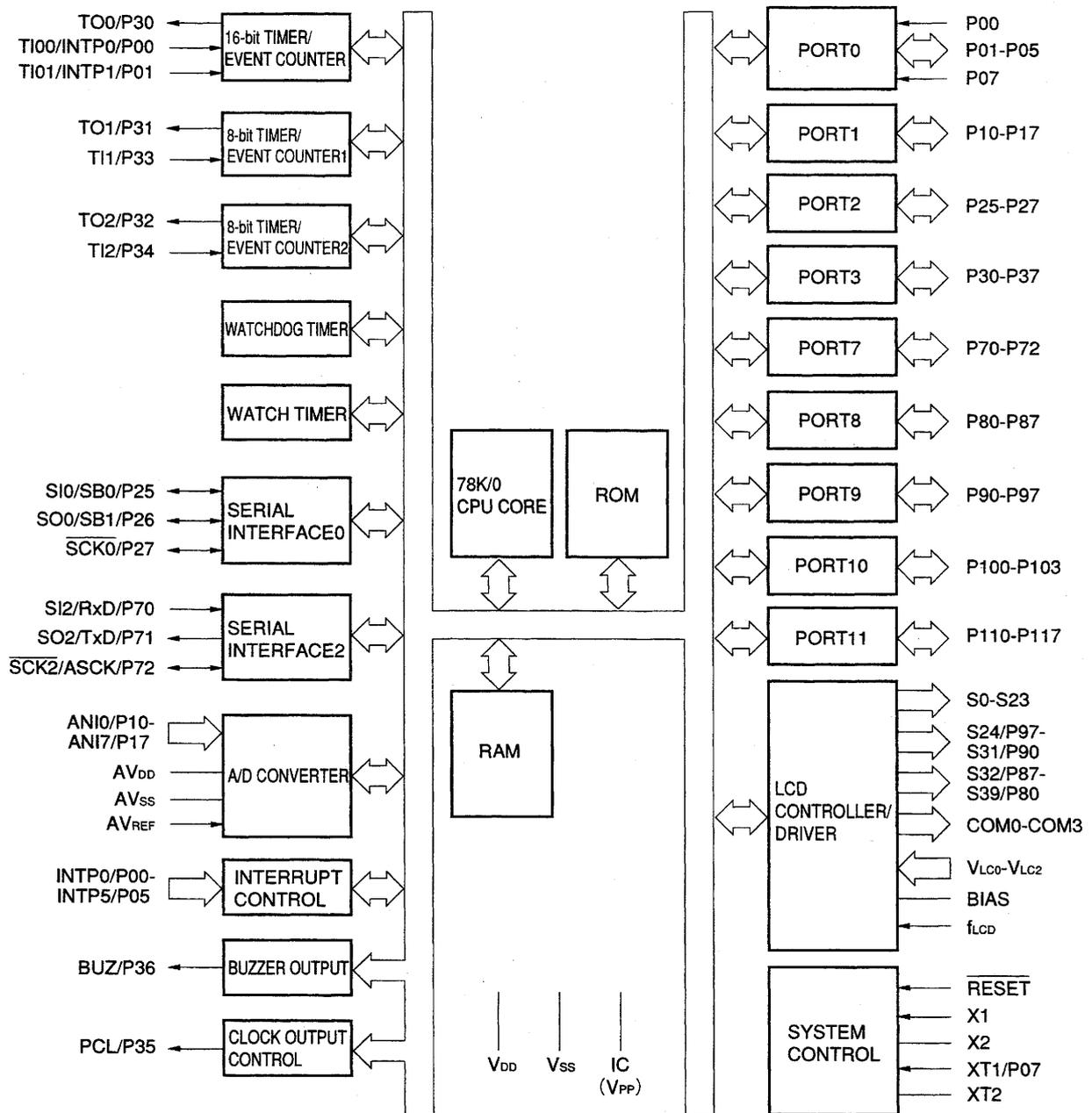
78K/0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



各サブシリーズ間の主な機能の違いを次に示します。

サブシリーズ名	機能	ROM容量	タイマ				8-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	D/A				
制御用	μPD78078	32 K-60 K	4ch	1ch	1ch	1ch	8ch	2ch	3ch(UART : 1ch)	88本	1.8 V	○
	μPD78070A	—								61本	2.7 V	
	μPD78054	16 K-60 K	2ch	69本	2.0 V							
	μPD78018F	8 K-48 K		—	2ch	53本	1.8 V					
	μPD78014	8 K-32 K	—			1ch	39本	2.7 V				
	μPD780001	8 K		—	1ch		53本	—				
	μPD78002	8 K-16 K	—			1ch	—	—				
	μPD78083	—		—	—		8ch	1ch(UART : 1ch)	33本	1.8 V	—	
FIP 駆動用	μPD780208	32 K-40 K	2ch	1ch	1ch	1ch	8ch	—	2ch	74本	2.7 V	—
	μPD78044A	16 K-40 K								68本		
	μPD78024	24 K-32 K								54本		
LCD 駆動用	μPD78064	16 K-32 K	2ch	1ch	1ch	1ch	8ch	—	2ch(UART : 1ch)	57本	2.0 V	—
IEBus 対応	μPD78098	32 K-60 K	2ch	1ch	1ch	1ch	8ch	2ch	3ch(UART : 1ch)	69本	2.7 V	○

1.6 ブロック図



備考1. 内部ROM, RAM容量は製品によって異なります。

2. ()内はμPD78P064のとき。

1.7 機能概要

品 名		μPD78062	μPD78063	μPD78064	μPD78P064
内部メモリ	ROM	マスクROM			PROM
		16 Kバイト	24 Kバイト	32 Kバイト	32 Kバイト注
	内部高速RAM	512バイト	1024バイト		1024バイト注
	LCD表示用RAM	40×4ビット			
汎用レジスタ		8ビット×8×4バンク			
インストラクション・サイクル	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs(5.0 MHz動作時)			
	サブシステム・クロック選択時	122 μs(32.768 kHz動作時)			
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, ブール演算) ・BCD補正 など 			
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・合計 : 57本 ・CMOS入力 : 2本 ・CMOS入出力 : 55本 			
A/Dコンバータ		8ビット分解能×8チャンネル			
LCDコントローラ/ ドライバ		<ul style="list-style-type: none"> ・セグメント信号出力: 最大40本 ・コモン信号出力 : 最大4本 ・バイアス : 1/2, 1/3バイアス切り替え可能 			
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式/SBI/2線式モード選択可能 : 1チャンネル ・3線式/UARTモード選択可能 : 1チャンネル 			
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 			
タイマ出力		3本(14ビットPWM出力可能: 1本)			
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック5.0 MHz動作時) 32.768 kHz(サブシステム・クロック32.768 kHz動作時)			

注 メモリ・サイズ切り替えレジスタにより、内部PROM, 内部高速RAM容量の変更可能。

品 名		μPD78062	μPD78063	μPD78064	μPD78P064
項目					
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz(メイン・システム・クロック5.0 MHz動作時)			
ベクタ 割り込み	マスカブル 割り込み	内部：12本, 外部：6本			
	ノンマスカブル 割り込み	内部：1本			
	ソフトウェア 割り込み	内部：1本			
テスト入力		内部：1本, 外部：1本			
電源電圧		V _{DD} = 2.0~6.0 V			
動作周囲温度		T _A = -40~+85 °C			
パッケージ		<ul style="list-style-type: none"> ・100ピン・プラスチックQFP(ファインピッチ)(□14 mm) ・100ピン・プラスチックQFP(14×20 mm) ・100ピン・セラミックWQFN^注(μPD78P064のみ) 			

注 開発中。

★ 1.8 マスク・オプションについて

マスクROM製品(μPD78062, 78063, 78064)には、マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより、表1-1に示すLCD駆動電圧を作るための分割抵抗を内蔵することができます。外付け分割抵抗なしで各バイアス法に応じたLCD駆動電圧を作ることができるため、部品点数の削減と実装面積の縮小を図ることができます。

μPD78064サブシリーズで用意されているマスク・オプションを表1-1に示します。

表1-1 マスクROM製品のマスク・オプション

端子名	マスク・オプション
V _{LC0} -V _{LC2}	分割抵抗を内蔵できます。

第2章 概 説(μPD78064Yサブシリーズ)

★

2

2.1 特 徴

○大容量ROM, RAM内蔵

品名	項目 プログラム・メモリ (ROM)	データ・メモリ	
		内部高速RAM	LCD表示用RAM
μPD78062Y	16 Kバイト	512バイト	40×4ビット
μPD78063Y	24 Kバイト	1024バイト	
μPD78064Y	32 Kバイト		
μPD78P064Y	32 Kバイト ^注	1024バイト ^注	

注 メモリ・サイズ切り替えレジスタにより、内部PROM, 内部高速RAM容量の変更可能。

- 高速(0.4 μs:メイン・システム・クロック5.0 MHz動作時)から超低速(122 μs:サブシステム・クロック32.768 kHz動作時)まで命令実行時間変更可能
- システム制御に適した命令セット
 - ・全アドレス空間でビット処理可能
 - ・乗除算命令内蔵
- I/Oポート:57本(セグメント信号出力兼用端子を含む)
- LCDコントローラ/ドライバ
 - ・セグメント信号出力:最大40本
 - ・コモン信号出力 :最大4本
 - ・バイアス :1/2, 1/3バイアス切り替え可能
 - ・電源電圧 $V_{DD}=2.0\sim6.0V$ (スタティック表示モード)
 $V_{DD}=2.5\sim6.0V$ (1/3バイアス法)
 $V_{DD}=2.7\sim6.0V$ (1/2バイアス法)
- 8ビット分解能A/Dコンバータ:8チャンネル
- シリアル・インタフェース:2チャンネル
 - ・3線式/2線式/I²Cバス・モード :1チャンネル
 - ・3線式/UARTモード :1チャンネル
- タイマ:5チャンネル
 - ・16ビット・タイマ/イベント・カウンタ:1チャンネル
 - ・8ビット・タイマ/イベント・カウンタ:2チャンネル
 - ・時計用タイマ :1チャンネル
 - ・ウォッチドッグ・タイマ :1チャンネル

- ベクタ割り込み：20本
- テスト入力：2本
- 2種類のクロック発振回路内蔵(メイン・システム・クロックとサブシステム・クロック)
- 電源電圧： $V_{DD} = 2.0 \sim 6.0 \text{ V}$

2.2 用 途

携帯電話、CDプレーヤ、カメラ、オーディオ製品など

2.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD78062YGC-XXX-7EA	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	マスクROM
μPD78062YGF-XXX-3BA	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78063YGC-XXX-7EA	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	◇
μPD78063YGF-XXX-3BA	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78064YGC-XXX-7EA	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	◇
μPD78064YGF-XXX-3BA	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78P064YGC-7EA ^注	100ピン・プラスチックQFP(ファインピッチ)(□14 mm)	ワン・タイムPROM
μPD78P064YGF-3BA ^注	100ピン・プラスチックQFP(14×20 mm)	◇
μPD78P064YKL-T ^注	100ピン・セラミックWQFN	EPROM

注 開発中

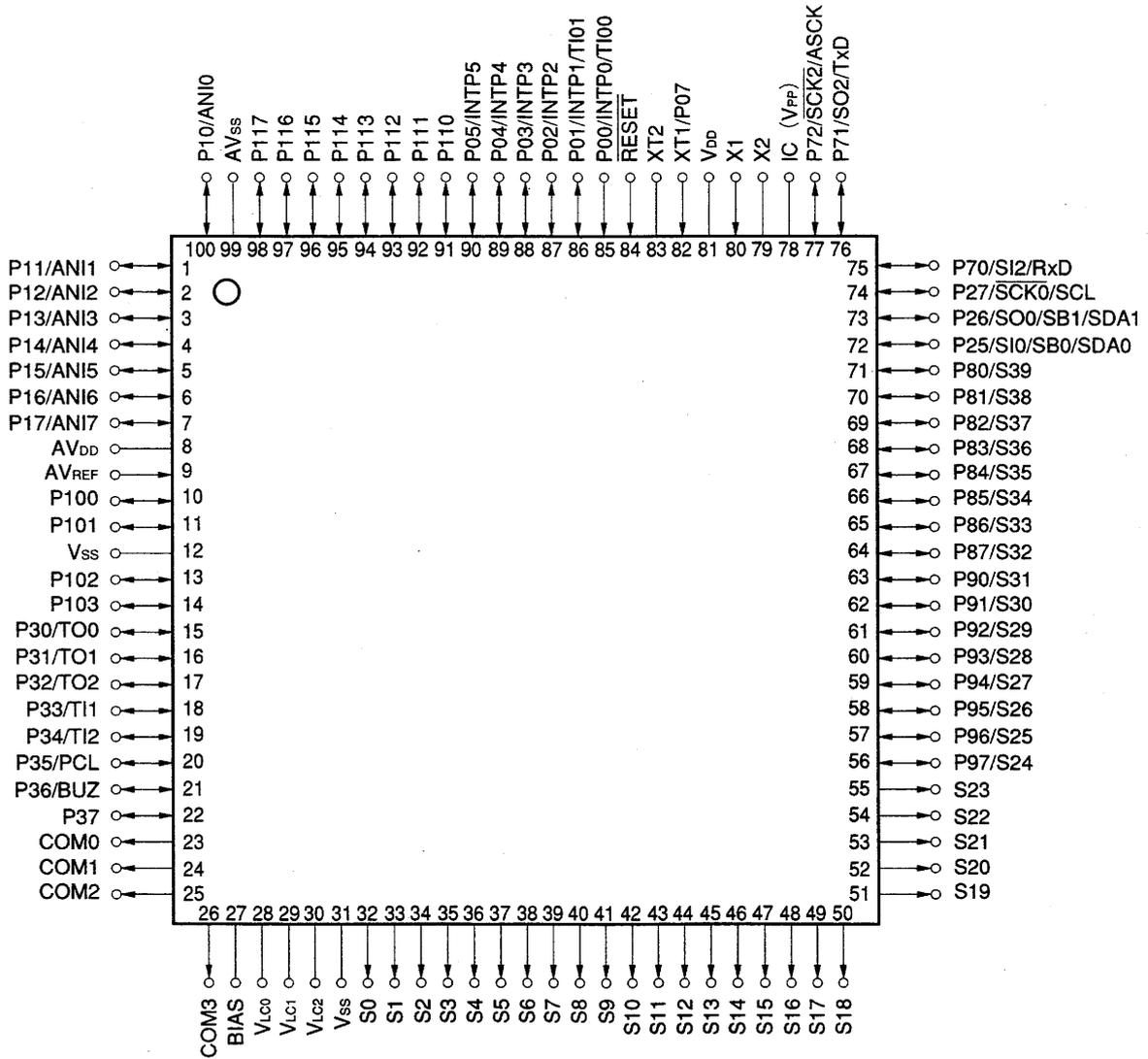
備考 XXXはROMコード番号です。

2.4 端子接続図(Top View)

(1) 通常動作モード

・100ピン・プラスチックQFP(ファインピッチ)(□14mm)

μPD78062YGC-XXX-7EA, 78063YGC-XXX-7EA, 78064YGC-XXX-7EA, 78P064YGC-7EA[※]



注 開発中

注意1. IC(Internally Connected)端子はV_{SS}に直接接続してください。

2. AV_{DD}端子はV_{DD}に接続してください。

3. AV_{SS}端子はV_{SS}に接続してください。

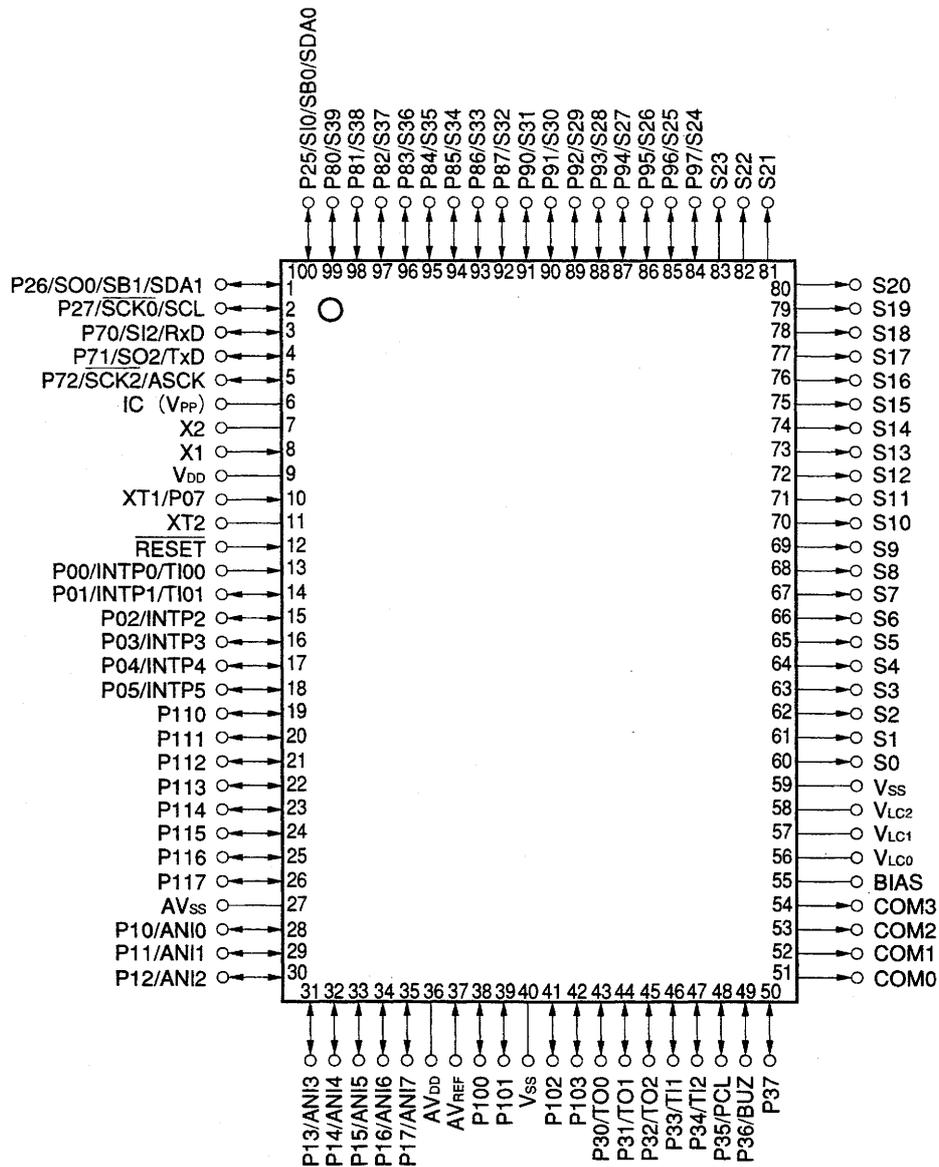
備考 ()内はμPD78P064Yのとき。

- 100ピン・プラスチックQFP(14×20 mm)

μPD78062YGF-XXX-3BA, 78063YGF-XXX-3BA, 78064YGF-XXX-3BA, 78P064YGF-3BA^注

- 100ピン・セラミックWQFN

μPD78P064YKL-T^注



注 開発中

注意 1. IC(Internally Connected)端子はVssに直接接続してください。

2. AVDD端子はVDDに接続してください。

3. AVSS端子はVSSに接続してください。

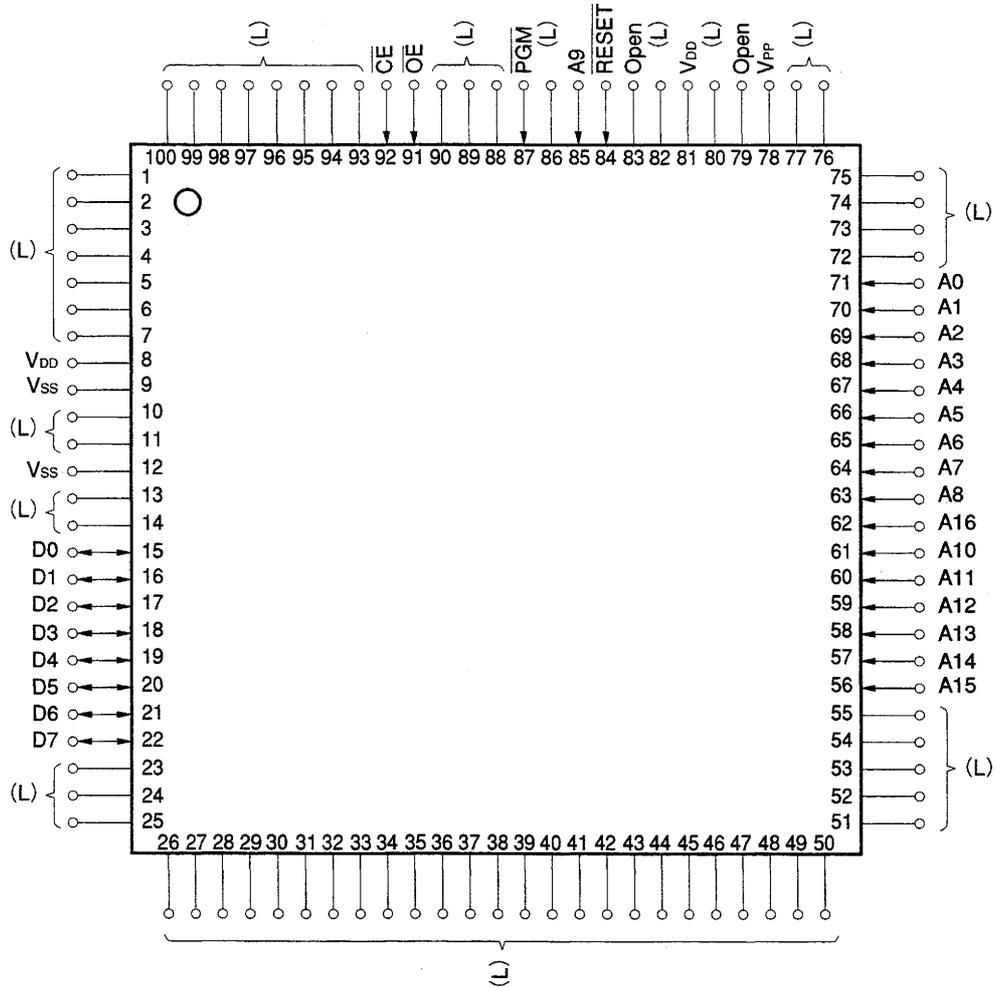
備考 ()内はμPD78P064Yのとき。

P00-P05, P07	: Port0	TxD	: Transmit Data
P10-P17	: Port1	ASCK	: Asynchronous Serial Clock
P25-P27	: Port2	PCL	: Programmable Clock
P30-P37	: Port3	BUZ	: Buzzer Clock
P70-P72	: Port7	S0-S39	: Segment Output
P80-P87	: Port8	COM0-COM3	: Common Output
P90-P97	: Port9	V _{LC0-V_{LC2}}	: LCD Power Supply
P100-P103	: Port10	BIAS	: LCD Power Supply Bias Control
P110-P117	: Port11	X1, X2	: Crystal (Main System Clock)
INTP0-INTP5	: Interrupt from Peripherals	XT1, XT2	: Crystal (Subsystem Clock)
TI00, TI01	: Timer Input	RESET	: Reset
TI1, TI2	: Timer Input	ANI0-ANI7	: Analog Input
TO0-TO2	: Timer Output	AV _{DD}	: Analog Power Supply
SB0, SB1	: Serial Bus	AV _{SS}	: Analog Ground
SI0, SI2	: Serial Input	AV _{REF}	: Analog Reference Voltage
SO0, SO2	: Serial Output	V _{DD}	: Power Supply
SCK0, SCK2	: Serial Clock	V _{FP}	: Programming Power Supply
SDA0, SDA1	: Serial Data	V _{SS}	: Ground
SCL	: Serial Clock	IC	: Internally Connected
RxD	: Receive Data		

(2) PROMプログラミング・モード

・100ピン・プラスチックQFP(ファインピッチ)(□14 mm)

μPD78P064YGC-7EA^注



注 開発中

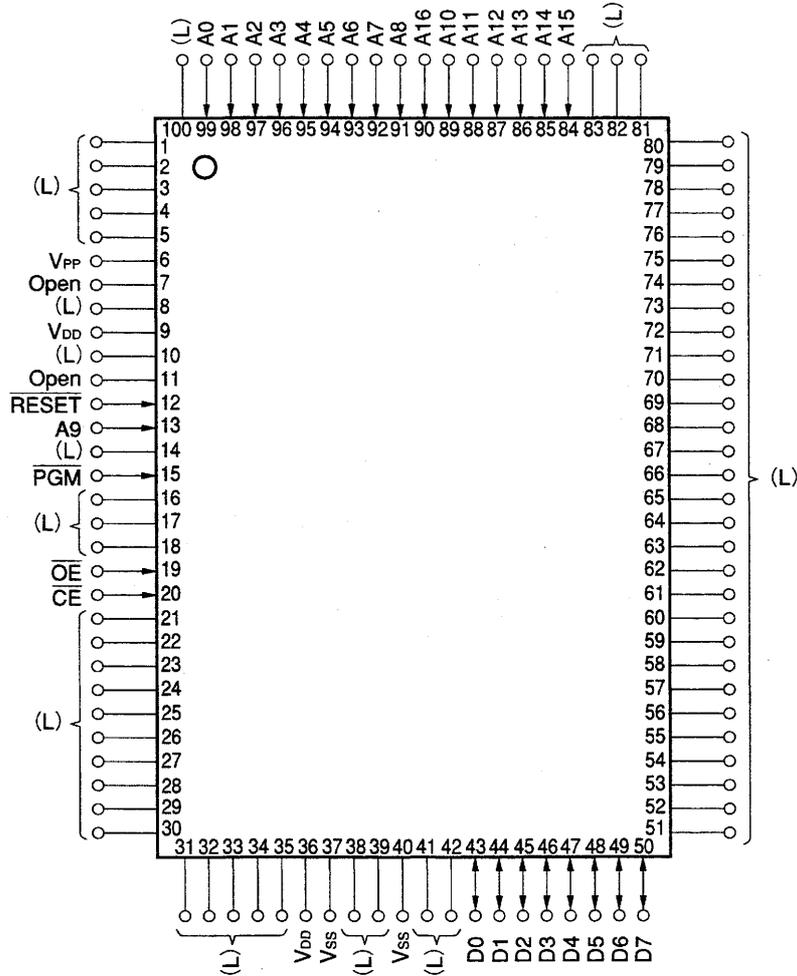
- 注意1. (L) : 個別にプルダウン抵抗を介してVssに接続してください。
- 2. Vss : グランドに接続してください。
- 3. RESET : ロウ・レベルにしてください。
- 4. Open : 何も接続しないでください。

・100ピン・プラスチックQFP(14×20 mm)

μPD78P064YGF-3BA^注

・100ピン・セラミックWQFN

μPD78P064YKL-T^注



注 開発中

注意 1. (L) : 個別にプルダウン抵抗を介してV_{SS}に接続してください。

2. V_{SS} : グランドに接続してください。

3. $\overline{\text{RESET}}$: ロウ・レベルにしてください。

4. Open : 何も接続しないでください。

A0-A16 : Address Bus

D0-D7 : Data Bus

$\overline{\text{CE}}$: Chip Enable

$\overline{\text{OE}}$: Output Enable

$\overline{\text{PGM}}$: Program

$\overline{\text{RESET}}$: Reset

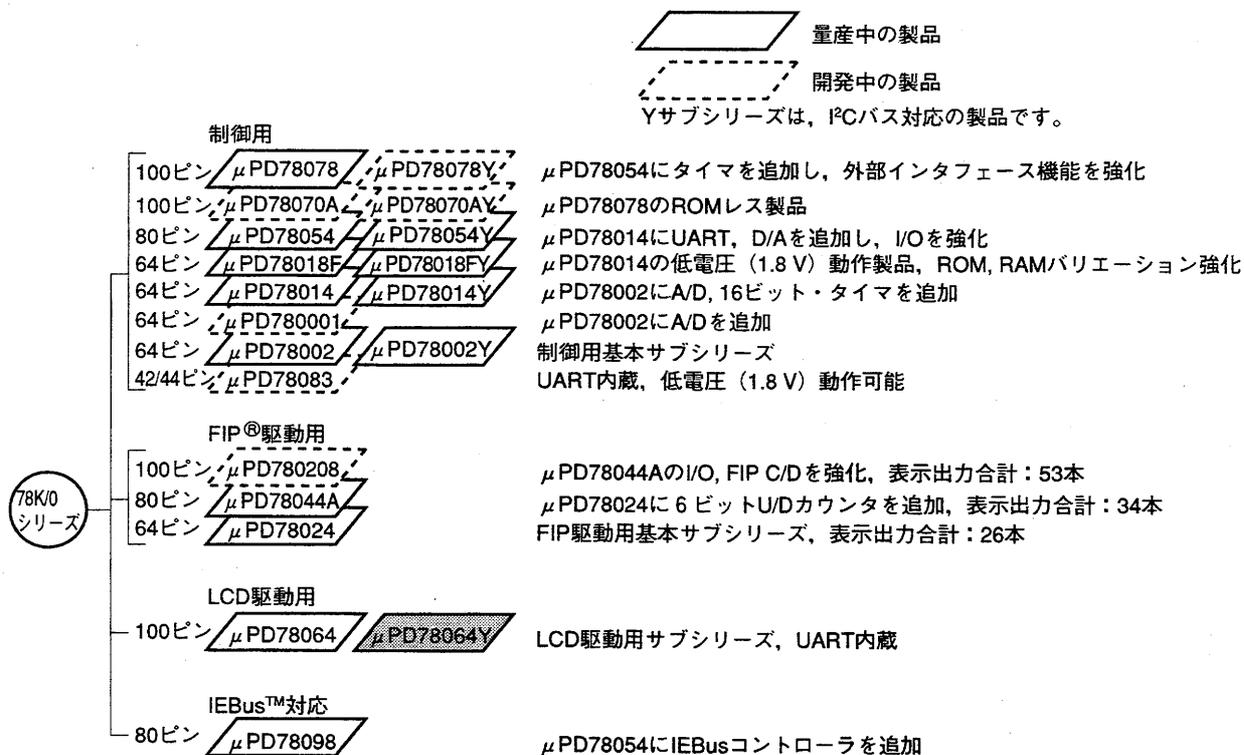
V_{DD} : Power Supply

V_{PP} : Programming Power Supply

V_{SS} : Ground

2.5 78K/0シリーズの展開

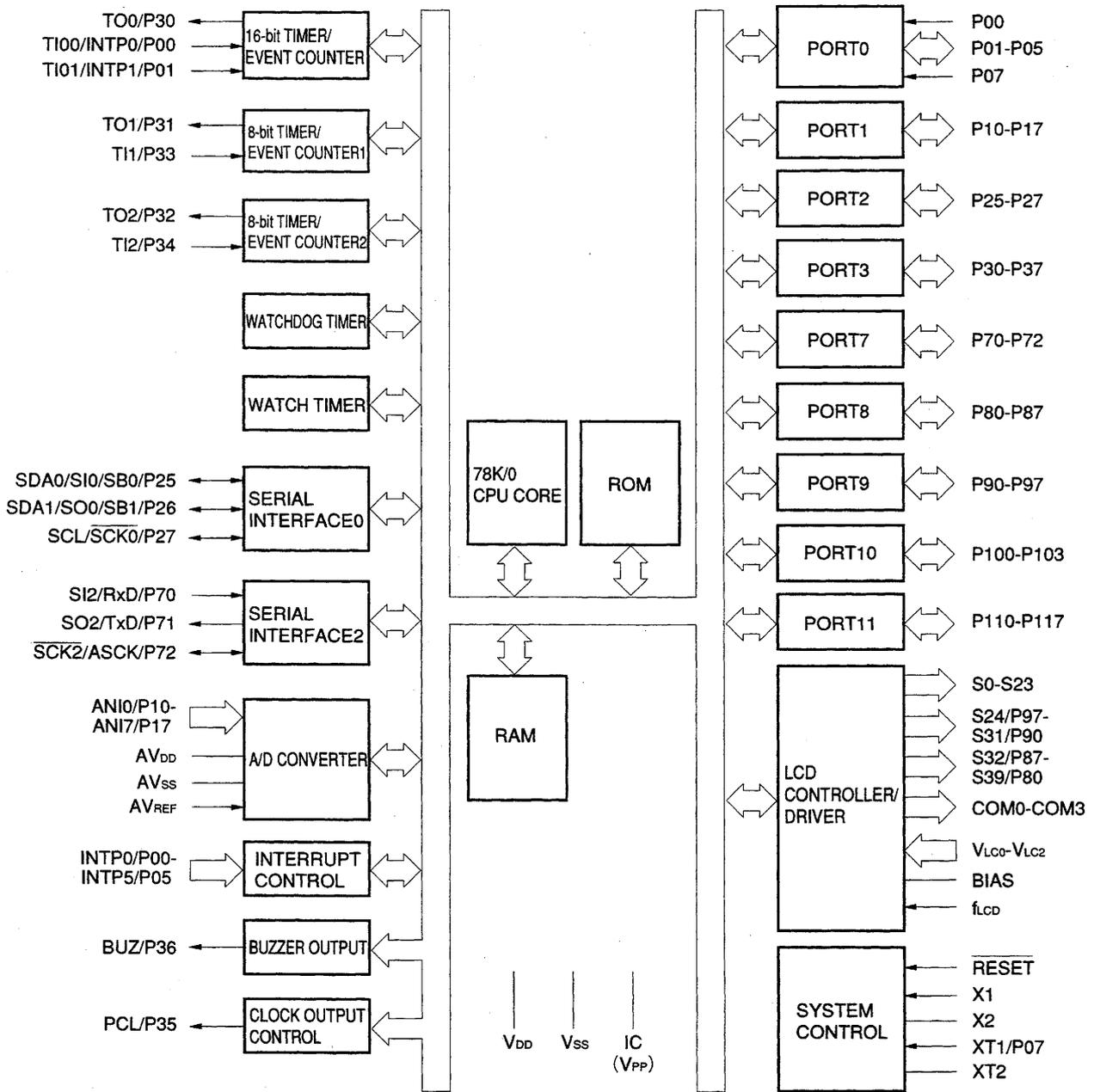
78K/0シリーズの製品展開を示します。枠内はサブシリーズ名称です。



各サブシリーズ間の主な機能の違いを次に示します。

サブシリーズ名	機能	ROM容量	タイマ				8-bit	8-bit	シリアル・ インタフェース	I/O	V _{DD} MIN.値	外部 拡張
			8-bit	16-bit	時計	WDT	A/D	D/A				
制御用	μPD78078	32 K-60 K	4ch	1ch	1ch	1ch	8ch	2ch	3ch(UART : 1ch)	88本	1.8 V	○
	μPD78070A	—								61本	2.7 V	
	μPD78054	16 K-60 K	2ch	69本	2.0 V							
	μPD78018F	8 K-48 K			53本	1.8 V						
	μPD78014	8 K-32 K		53本		2.7 V						
	μPD780001	8 K			39本	—						
	μPD78002	8 K-16 K		53本		—						
	μPD78083		8ch		1ch(UART : 1ch)	33本	1.8 V	—				
FIP 駆動用	μPD780208	32 K-40 K	2ch	1ch	1ch	1ch	8ch	—	2ch	74本	2.7 V	—
	μPD78044A	16 K-40 K								68本		
	μPD78024	24 K-32 K								54本		
LCD 駆動用	μPD78064	16 K-32 K	2ch	1ch	1ch	1ch	8ch	—	2ch(UART : 1ch)	57本	2.0 V	—
IEBus 対応	μPD78098	32 K-60 K	2ch	1ch	1ch	1ch	8ch	2ch	3ch(UART : 1ch)	69本	2.7 V	○

2.6 ブロック図



備考1. 内部ROM, RAM容量は製品によって異なります。

2. ()内はμPD78P064Yのとき。

2.7 機能概要

品 名		μPD78062Y	μPD78063Y	μPD78064Y	μPD78P064Y ^{注1}
内部メモリ	ROM	マスクROM			PROM
		16 Kバイト	24 Kバイト	32 Kバイト	32 Kバイト ^{注2}
	内部高速RAM	512バイト	1024バイト		1024バイト ^{注2}
	LCD表示用RAM	40×4ビット			
汎用レジスタ		8ビット×8×4バンク			
インストラクション・サイクル	メイン・システム・クロック選択時	0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs/12.8 μs(5.0 MHz動作時)			
	サブシステム・クロック選択時	122 μs(32.768 kHz動作時)			
命令セット		<ul style="list-style-type: none"> ・16ビット演算 ・乗除算(8ビット×8ビット, 16ビット÷8ビット) ・ビット操作(セット, リセット, テスト, ブール演算) ・BCD補正 など 			
I/Oポート (セグメント信号出力兼用端子を含む)		<ul style="list-style-type: none"> ・合計 : 57本 ・CMOS入力 : 2本 ・CMOS入出力 : 55本 			
A/Dコンバータ		8ビット分解能×8チャンネル			
LCDコントローラ/ ドライバ		<ul style="list-style-type: none"> ・セグメント信号出力: 最大40本 ・コモン信号出力 : 最大4本 ・バイアス : 1/2, 1/3バイアス切り替え可能 			
シリアル・インタフェース		<ul style="list-style-type: none"> ・3線式/2線式/I²Cバス・モード選択可能 : 1チャンネル ・3線式/UARTモード選択可能 : 1チャンネル 			
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ/イベント・カウンタ : 1チャンネル ・8ビット・タイマ/イベント・カウンタ : 2チャンネル ・時計用タイマ : 1チャンネル ・ウォッチドッグ・タイマ : 1チャンネル 			
タイマ出力		3本(14ビットPWM出力可能: 1本)			
クロック出力		19.5 kHz, 39.1 kHz, 78.1 kHz, 156 kHz, 313 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5.0 MHz (メイン・システム・クロック5.0 MHz動作時) 32.768 kHz(サブシステム・クロック32.768 kHz動作時)			

注1. 開発中。

2. メモリ・サイズ切り替えレジスタにより, 内部PROM, 内部高速RAM容量の変更可能。

品 名		μPD78062Y	μPD78063Y	μPD78064Y	μPD78P064Y ^注
項 目					
ブザー出力		1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHz(メイン・システム・クロック5.0 MHz動作時)			
ベクタ 割り込み	マスカブル 割り込み	内部：12本, 外部：6本			
	ノンマスカブル 割り込み	内部：1本			
	ソフトウェア 割り込み	内部：1本			
テスト入力		内部：1本, 外部：1本			
電源電圧		V _{DD} = 2.0~6.0 V			
動作周囲温度		T _A = -40~+85 °C			
パッケージ		<ul style="list-style-type: none"> ・100ピン・プラスチックQFP(ファインピッチ)(□14 mm) ・100ピン・プラスチックQFP(14×20 mm) ・100ピン・セラミックWQFN(μPD78P064Yのみ) 			

注 開発中。

2.8 マスク・オプションについて

マスクROM製品(μPD78062Y, 78063Y, 78064Y)には、マスク・オプションがあります。オーダの際にマスク・オプションを指定することにより、表2-1に示すLCD駆動電圧を作るための分割抵抗を内蔵することができます。外付け分割抵抗なしで各バイアス法に応じたLCD駆動電圧を作ることができるため、部品点数の削減と実装面積の縮小を図ることができます。

μPD78064Yサブシリーズで用意されているマスク・オプションを表2-1に示します。

表2-1 マスクROM製品のマスク・オプション

端子名	マスク・オプション
V _{LC0} -V _{LC2}	分割抵抗を内蔵できます。

第3章 端子機能(μPD78064サブシリーズ)

3.1 端子機能一覧

3.1.1 通常動作モード時の端子

(1) ポート端子(1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 ^{注2}		入力	ANI0-ANI7
P25	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		入力	SI0/SB0
P26					SO0/SB1
P27					SCK0
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—

注1. P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタのビット6 (FRC)に1を設定してください(サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。

2. P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用するときは、プルアップ抵抗が自動的に使用されなくなります。

(1) ポート端子(2/2)

端子名称	入出力	機能	リセット時	兼用端子
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。	入力	SI2/RxD
P71				SO2/TxD
P72				SCK2/ASCK
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LCDコントロール・レジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。	入力	S39-S32
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LCDコントロール・レジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。	入力	S31-S24
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LEDを直接駆動可能。	入力	—
P110-P117	入出力	ポート11。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 立ち下がりエッジ検出可能。	入力	—

(2) ポート以外の端子(1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P25/SI0
SB1				P26/SO0
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P27
SCK2				P72/ASCK
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/SCK2
TI00	入力	16ビット・タイマ(TM0)への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ(TM1)への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ(TM2)への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ出力(14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ出力。		P31
TO2				P32
PCL	出力	クロック出力(メイン・システム・クロック, サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
S0-S23	出力	LCDコントローラ/ドライバのセグメント信号出力。	出力	—
S24-S31			入力	P97-P90
S32-S39			入力	P87-P80
COM0-COM3	出力	LCDコントローラ/ドライバの共通信号出力。	出力	—
V _{LC0} -V _{LC2}	—	LCD駆動用電圧(マスクROM製品は, マスク・オプションにより, 分割抵抗の内蔵が可能)。	—	—
BIAS	—	LCD駆動用電源供給。	—	—
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AV _{REF}	入力	A/Dコンバータの基準電圧入力。	—	—
AV _{DD}	—	A/Dコンバータのアナログ電源。V _{DD} に接続。	—	—

(2) ポート以外の端子(2/2)

端子名称	入出力	機能	リセット時	兼用端子
AVss	—	A/Dコンバータのグランド電位。Vssに接続。	—	—
RESET	入力	システム・リセット入力。	—	—
X1	入力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	—		—	—
VDD	—	正電源。	—	—
VPP	—	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、Vssに直接接続。	—	—
Vss	—	グランド電位。	—	—
IC	—	内部接続。Vssに直接接続。	—	—

★

3.1.2 PROMプログラミング・モード時の端子(μPD78P064のみ)

端子名称	入出力	機能
RESET	入力	PROMプログラミング・モード設定。 VPP端子に+5Vまたは+12.5V、RESET端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。
VPP	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入力	PROMイネーブル入力/プログラム・パルス入力。
OE	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム/プログラム・インヒビット入力。
VDD	—	正電源。
Vss	—	グランド電位。

3.2 端子機能の説明

3.2.1 P00-P05, P07 (Port0)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00, P07は入力専用ポート, P01-P05は入出力ポートとして機能します。

P01-P05はポート・モード・レジスタ0により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

外部割り込み入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続として機能します。

(a) INTPO-INTP5

INTP0-INTP5は、有効エッジ(立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み入力端子です。また、INTP0, INTP1は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。

(b) TI00

16ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(c) TI01

16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力端子です。

(d) XT1

サブシステム・クロック発振用クリスタル接続端子です。

3.2.2 P10-P17(Port1)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子(AN10-AN17)として機能します。アナログ入力として指定した端子は、プルアップ抵抗が自動的に使用されなくなります。

3.2.3 P25-P27(Port2)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ2により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI0, SO0

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) SCK0

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) SB0, SB1

NEC標準シリアル・バス・インタフェース用入出力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図15-4 シリアル動作モード・レジスタ0のフォーマットを参照してください。

3.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI1, TI2

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

(b) TO0-TO2

タイマ出力端子です。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

3.2.5 P70-P72(Port7)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ7により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI2, SO2

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK2}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

★ **注意** シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

3.2.6 P80-P87 (Port8)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子(S32-S39)として機能します。

3.2.7 P90-P97 (Port9)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子(S24-S31)として機能します。

3.2.8 P100-P103 (Port10)

4ビットの入出力ポートです。ポート・モード・レジスタ10により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

LEDを直接駆動可能です。

3.2.9 P110-P117 (Port11)

8ビットの入出力ポートです。ポート・モード・レジスタ11により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。

3.2.10 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。スタティック(COM0-COM3出力)、1/2バイアス法の2時分割駆動時(COM0, COM1出力)または3時分割駆動時(COM0-COM2出力)、1/3バイアス法の3時分割駆動時(COM0-COM2出力)または4時分割駆動時(COM0-COM3出力)にコモン信号を出力します。

3.2.11 VLCO-VLC2

LCD駆動用電圧端子です。マスクROM製品は、VLCO-VLC2端子の内部に各バイアスに応じたLCD駆動用電圧を外付け分割抵抗なしで供給できるように、マスク・オプションにより分割抵抗を内蔵することができます。

3.2.12 BIAS

LCD駆動用電源供給端子です。各種のLCD駆動電圧に対応するためにVLCO端子と接続し、抵抗分割比率を変えたり、VLCO-VLC2端子やVSS端子とともに外部に抵抗を接続し、LCD駆動電源電圧値の微調整を行うために使用します。

3.2.13 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合はVSSに接続してください。

3.2.14 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にVDD端子と同電位で使用してください。

3.2.15 AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にVSS端子と同電位で使用してください。

3.2.16 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

3.2.17 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

3.2.18 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

3.2.19 VDD

正電源供給端子です。

3.2.20 Vss

グラウンド電位端子です。

3.2.21 VPP(μPD78P064のみ)

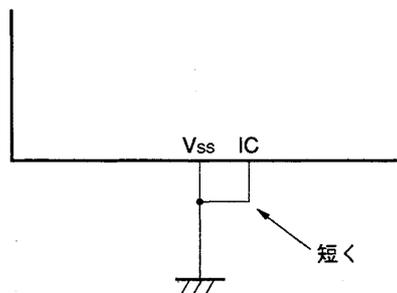
PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。通常動作モード時は、Vssに直接接続してください。

3.2.22 IC(マスクROM製品のみ)

IC(Internally Connected)端子は、当社出荷時にμPD78064サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をVss端子に直接接続し、その配線長を極力短くしてください。

IC端子とVss端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVss端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をVss端子に直接接続してください。



3.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表3-1に示します。

また、各タイプの入出力回路の構成は、図3-1を参照してください。

表3-1 各端子の入出力回路タイプ(1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/INTP0/TI00	2	入力	V _{SS} に接続		
P01/INTP1/TI01	8-A	入出力	個別に抵抗を介してV _{SS} に接続		
P02/INTP2					
P03/INTP3					
P04/INTP4					
P05/INTP5					
P07/XT1	16	入力	V _{DD} に接続		
P10/ANI0-P17/ANI7	11	入出力	個別に抵抗を介してV _{DD} またはV _{SS} に接続		
P25/SI0/SB0	10-A				
P26/SO0/SB1					
P27/SCK0					
P30/TO0	5-A				
P31/TO1					
P32/TO2					
P33/TI1	8-A				
P34/TI2					
P35/PCL	5-A				
P36/BUZ					
P37					
P70/SI2/RxD	8-A				
P71/SO2/TxD	5-A				
P72/SCK2/ASCK	8-A				
P80/S39-P87/S32	17-A				
P90/S31-P97/S24					
P100-P103	5-A				
P110-P117	8-A			個別に抵抗を介してV _{DD} に接続	
S0-S23	17			出力	オープン
COM0-COM3	18				
V _{LC0} -V _{LC2}	—				
BIAS	—				
RESET	2	入力	—		
XT2	16	—	オープン		

表3-1 各端子の入出力回路タイプ(2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
AVREF	—	—	Vssに接続
AVDD			VDDに接続
AVSS			Vssに接続
IC(マスクROM製品)			Vssに直接接続
VPP(μPD78P064)			

図3-1 端子の入出力回路一覧(1/2)

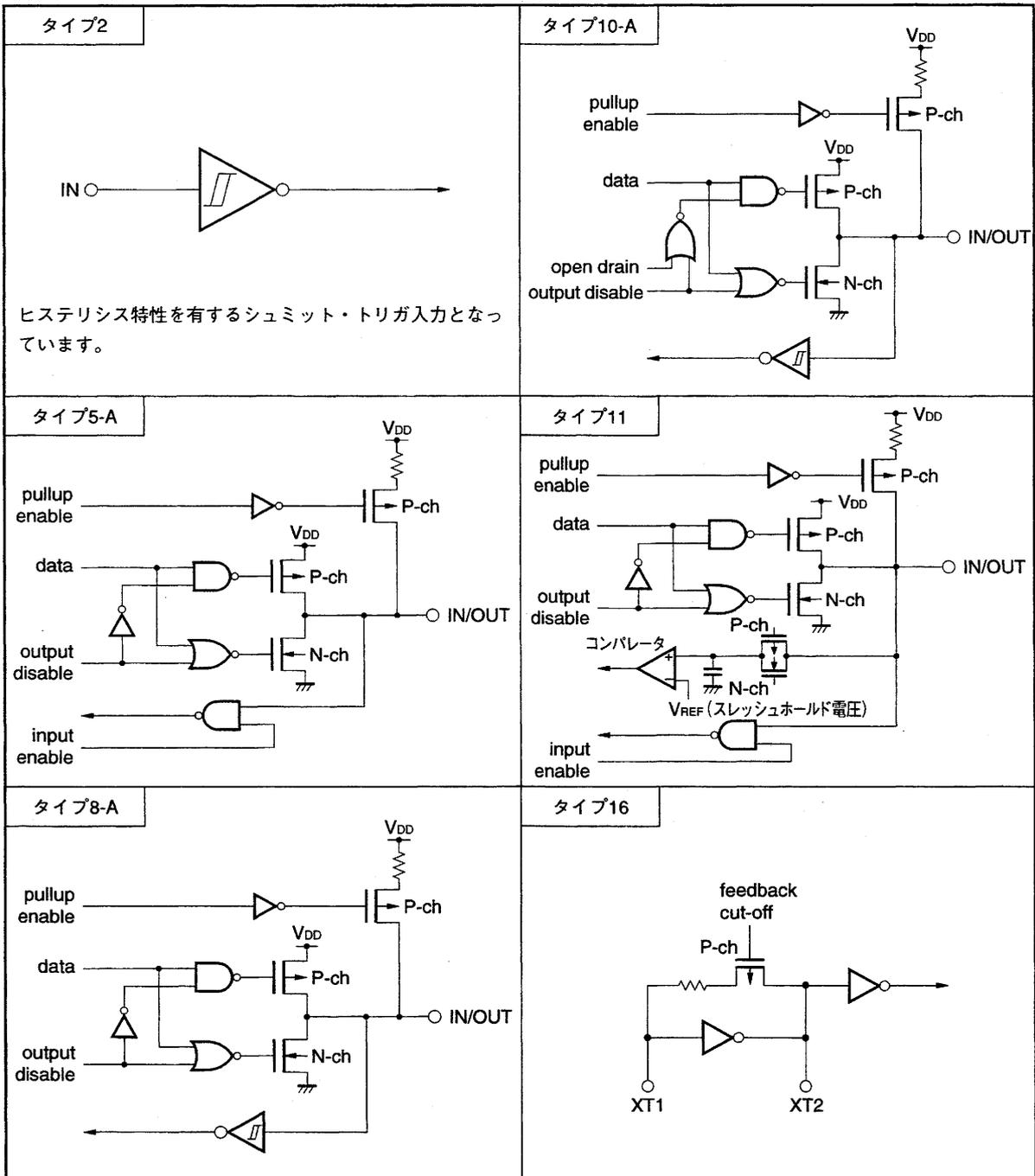
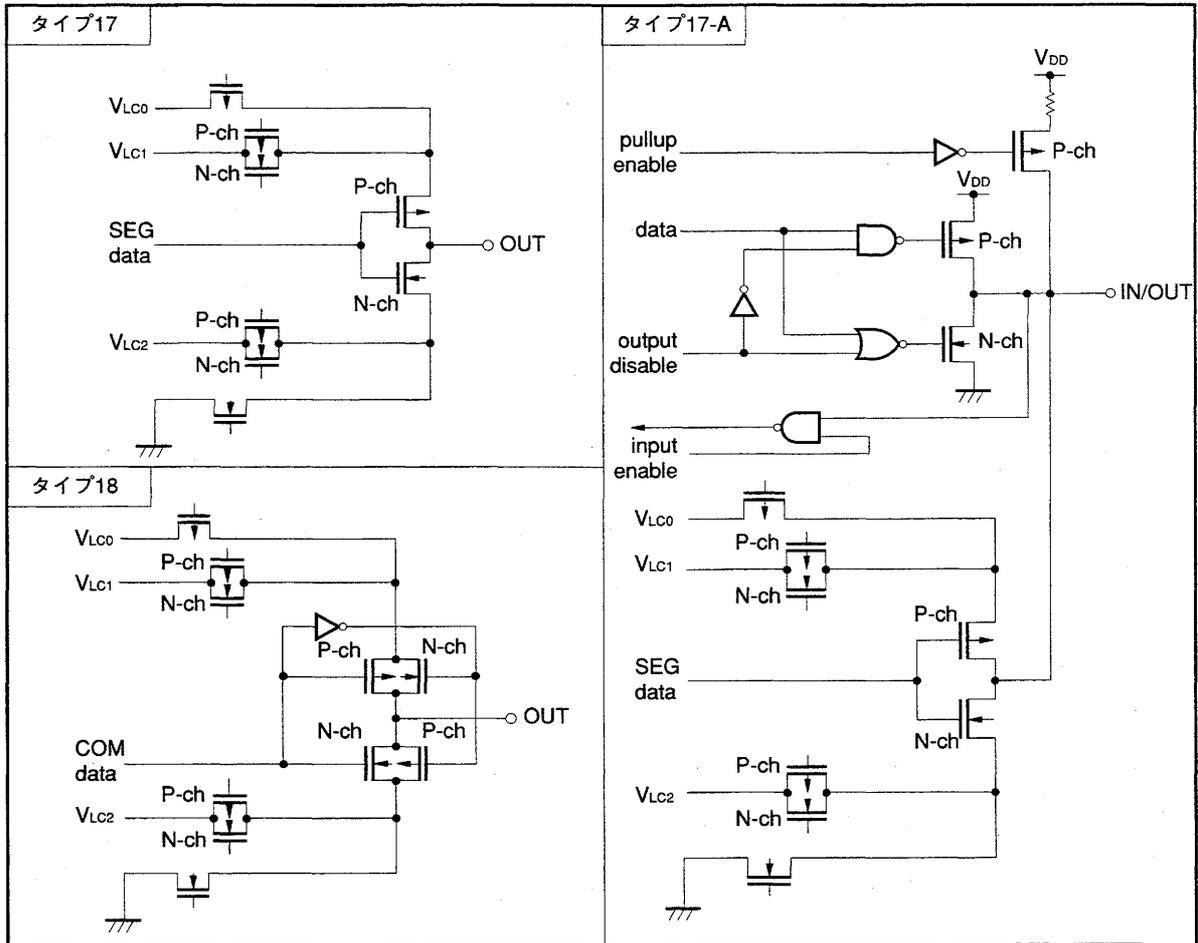


図3-1 端子の入出力回路一覧(2/2)



[x 屯]

第4章 端子機能(μPD78064Yサブシリーズ)

★

4

4.1 端子機能一覧

4.1.1 通常動作モード時の端子

(1) ポート端子(1/2)

端子名称	入出力	機能		リセット時	兼用端子
P00	入力	ポート0。	入力専用。	入力	INTP0/TI00
P01	入出力	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。	入力	INTP1/TI01
P02					INTP2
P03					INTP3
P04					INTP4
P05					INTP5
P07 ^{注1}	入力		入力専用。	入力	XT1
P10-P17	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 ^{注2}		入力	ANI0-ANI7
P25	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		入力	SI0/SB0/SDA0
P26					SO0/SB1/SDA1
P27					SCK0/SCL
P30	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		入力	TO0
P31					TO1
P32					TO2
P33					TI1
P34					TI2
P35					PCL
P36					BUZ
P37					—

注1. P07/XT1端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタのビット6 (FRC)に1を設定してください(サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。

2. P10/ANI0-P17/ANI7端子をA/Dコンバータのアナログ入力として使用する時、プルアップ抵抗が自動的に使用されなくなります。

(1) ポート端子(2/2)

端子名称	入出力	機能	リセット時	兼用端子
P70	入出力	ポート7。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。	入力	SI2/RxD
P71				SO2/TxD
P72				SCK2/ASCK
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LCDコントロールレジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。	入力	S39-S32
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LCDコントロールレジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。	入力	S31-S24
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LEDを直接駆動可能。	入力	—
P110-P117	入出力	ポート11。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 立ち下がりエッジ検出可能。	入力	—

(2) ポート以外の端子(1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み入力。	入力	P00/TI00
INTP1				P01/TI01
INTP2				P02
INTP3				P03
INTP4				P04
INTP5				P05
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0/SDA0
SI2				P70/RxD
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1/SDA1
SO2				P71/TxD
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P25/SI0/SDA0
SB1				P26/SO0/SDA1
SDA0				P25/SI0/SB0
SDA1				P26/SO0/SB1
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P27/SCL
SCK2				P72/ASCK
SCL				P27/SCK0
RxD	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力。	入力	P70/SI2
TxD	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力。	入力	P71/SO2
ASCK	入力	アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。	入力	P72/SCK2
TI00	入力	16ビット・タイマ(TM0)への外部カウント・クロック入力。	入力	P00/INTP0
TI01		キャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力。		P01/INTP1
TI1		8ビット・タイマ(TM1)への外部カウント・クロック入力。		P33
TI2		8ビット・タイマ(TM2)への外部カウント・クロック入力。		P34
TO0	出力	16ビット・タイマ出力(14ビットPWM出力と兼用)。	入力	P30
TO1		8ビット・タイマ出力。		P31
TO2				P32
PCL	出力	クロック出力(メイン・システム・クロック、サブシステム・クロックのトリミング用)。	入力	P35
BUZ	出力	ブザー出力。	入力	P36
S0-S23	出力	LCDコントローラ/ドライバのセグメント信号出力。	出力	—
S24-S31			入力	P97-P90
S32-S39				P87-P80
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力。	出力	—
V _{Lc0} -V _{Lc2}	—	LCD駆動用電圧(マスクROM製品は、マスク・オプションにより、分割抵抗の内蔵が可能)。	—	—
BIAS	—	LCD駆動用電源供給。	—	—

(2) ポート以外の端子(2/2)

端子名称	入出力	機 能	リセット時	兼用端子
ANI0-ANI7	入力	A/Dコンバータのアナログ入力。	入力	P10-P17
AVREF	入力	A/Dコンバータの基準電圧入力。	—	—
AVDD	—	A/Dコンバータのアナログ電源。V _{DD} に接続。	—	—
AVSS	—	A/Dコンバータのグランド電位。V _{SS} に接続。	—	—
RESET	入力	システム・リセット入力。	—	—
X1	入力	メイン・システム・クロック発振用クリスタル接続。	—	—
X2	—		—	—
XT1	入力	サブシステム・クロック発振用クリスタル接続。	入力	P07
XT2	—		—	—
V _{DD}	—	正電源。	—	—
V _{PP}	—	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、V _{SS} に直接接続。	—	—
V _{SS}	—	グランド電位。	—	—
IC	—	内部接続。V _{SS} に直接接続。	—	—

4.1.2 PROMプログラミング・モード時の端子(μPD78P064Yのみ)

端子名称	入出力	機 能
RESET	入力	PROMプログラミング・モード設定。 V _{PP} 端子に+5Vまたは+12.5V, RESET端子にロウ・レベルを印加すると, PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入力	PROMイネーブル入力/プログラム・パルス入力。
OE	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム/プログラム・インヒビット入力。
V _{DD}	—	正電源。
V _{SS}	—	グランド電位。

4.2 端子機能の説明

4.2.1 P00-P05, P07 (Port0)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00, P07は入力専用ポート、P01-P05は入出力ポートとして機能します。

P01-P05はポート・モード・レジスタ0により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

外部割り込み入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続として機能します。

(a) INTP0-INTP5

INTP0-INTP5は、有効エッジ(立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がり)の両エッジ)指定可能な外部割り込み入力端子です。また、INTP0, INTP1は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。

(b) TI00

16ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

(c) TI01

16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ(CR00)へのキャプチャ・トリガ信号入力端子です。

(d) XT1

サブシステム・クロック発振用クリスタル接続端子です。

4.2.2 P10-P17(Port1)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子(ANI0-ANI7)として機能します。アナログ入力として指定した端子は、プルアップ抵抗が自動的に使用されなくなります。

4.2.3 P25-P27(Port2)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ2により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI0, SO0, SB0, SB1, SDA0, SDA1

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) SCK0, SCL

シリアル・インタフェースのシリアル・クロックの入出力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図16-4 シリアル動作モード・レジスタ0のフォーマットを参照してください。

4.2.4 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、クロック出力、ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

タイマの入出力、クロック出力、ブザー出力として機能します。

(a) TI1, TI2

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

(b) TO0-TO2

タイマ出力端子です。

(c) PCL

クロック出力端子です。

(d) BUZ

ブザー出力端子です。

4.2.5 P70-P72(Port7)

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ7により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SI2, SO2

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK2}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD, TxD

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

(d) ASCK

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

4.2.6 P80-P87 (Port8)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子(S32-S39)として機能します。

4.2.7 P90-P97 (Port9)

8ビットの入出力ポートです。入出力ポートのほかにLCDコントローラ/ドライバのセグメント信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力端子(S24-S31)として機能します。

4.2.8 P100-P103 (Port10)

4ビットの入出力ポートです。ポート・モード・レジスタ10により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

LEDを直接駆動可能です。

4.2.9 P110-P117 (Port11)

8ビットの入出力ポートです。ポート・モード・レジスタ11により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。

4.2.10 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。スタティック(COM0-COM3出力)、1/2バイアス法の2時分割駆動時(COM0, COM1出力)または3時分割駆動時(COM0-COM2出力)、1/3バイアス法の3時分割駆動時(COM0-COM2出力)または4時分割駆動時(COM0-COM3出力)にコモン信号を出力します。

4.2.11 VLC0-VLC2

LCD駆動用電圧端子です。マスクROM製品は、VLC0-VLC2端子の内部に各バイアスに応じたLCD駆動用電圧を外付け分割抵抗なしで供給できるように、マスク・オプションにより、分割抵抗を内蔵することができます。

4.2.12 BIAS

LCD駆動用電源供給端子です。各種のLCD駆動電圧に対応するためにVLC0端子と接続し、抵抗分割比率を変えたり、VLC0-VLC2端子やVSS端子とともに外部に抵抗を接続し、LCD駆動電源電圧値の微調整を行うために使用します。

4.2.13 AVREF

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合はVSSに接続してください。

4.2.14 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にVDD端子と同電位で使用してください。

4.2.15 AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にVSS端子と同電位で使用してください。

4.2.16 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

4.2.17 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

4.2.18 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

4.2.19 VDD

正電源供給端子です。

4.2.20 Vss

グラウンド電位端子です。

4.2.21 VPP(μPD78P064Yのみ)

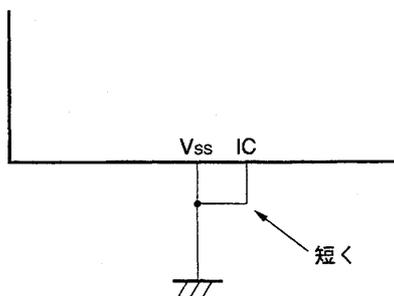
PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。通常動作モード時は、Vssに直接接続してください。

4.2.22 IC(マスクROM製品のみ)

IC(Internally Connected)端子は、当社出荷時にμPD78064Yサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をVss端子に直接接続し、その配線長を極力短くしてください。

IC端子とVss端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とVss端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC端子をVss端子に直接接続してください。



4.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表4-1に示します。

また、各タイプの入出力回路の構成は、図4-1を参照してください。

表4-1 各端子の入出力回路タイプ(1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法		
P00/INTP0/TI00	2	入力	V _{SS} に接続		
P01/INTP1/TI01	8-A	入出力	個別に抵抗を介してV _{SS} に接続		
P02/INTP2					
P03/INTP3					
P04/INTP4					
P05/INTP5					
P07/XT1	16	入力	V _{DD} に接続		
P10/ANI0-P17/ANI7	11	入出力	個別に抵抗を介してV _{DD} またはV _{SS} に接続		
P25/SI0/SB0/SDA0	10-A				
P26/SO0/SB1/SDA1					
P27/SCK0/SCL					
P30/TO0	5-A				
P31/TO1					
P32/TO2					
P33/TI1	8-A				
P34/TI2					
P35/PCL	5-A				
P36/BUZ					
P37					
P70/SI2/RxD	8-A				
P71/SO2/TxD	5-A				
P72/SCK2/ASCK	8-A				
P80/S39-P87/S32	17-A				
P90/S31-P97/S24					
P100-P103	5-A				
P110-P117	8-A			個別に抵抗を介してV _{DD} に接続	
S0-S23	17			出力	オープン
COM0-COM3	18				
V _{LC0} -V _{LC2}	—				
BIAS	—				
RESET	2			入力	—
XT2	16			—	オープン

★

表4-1 各端子の入出力回路タイプ(2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
AV _{REF}	—	—	V _{SS} に接続
AV _{DD}			V _{DD} に接続
AV _{SS}			V _{SS} に接続
IC(マスクROM製品)			V _{SS} に直接接続
V _{PP} (μPD78P064Y)			

図4-1 端子の入出力回路一覧(1/2)

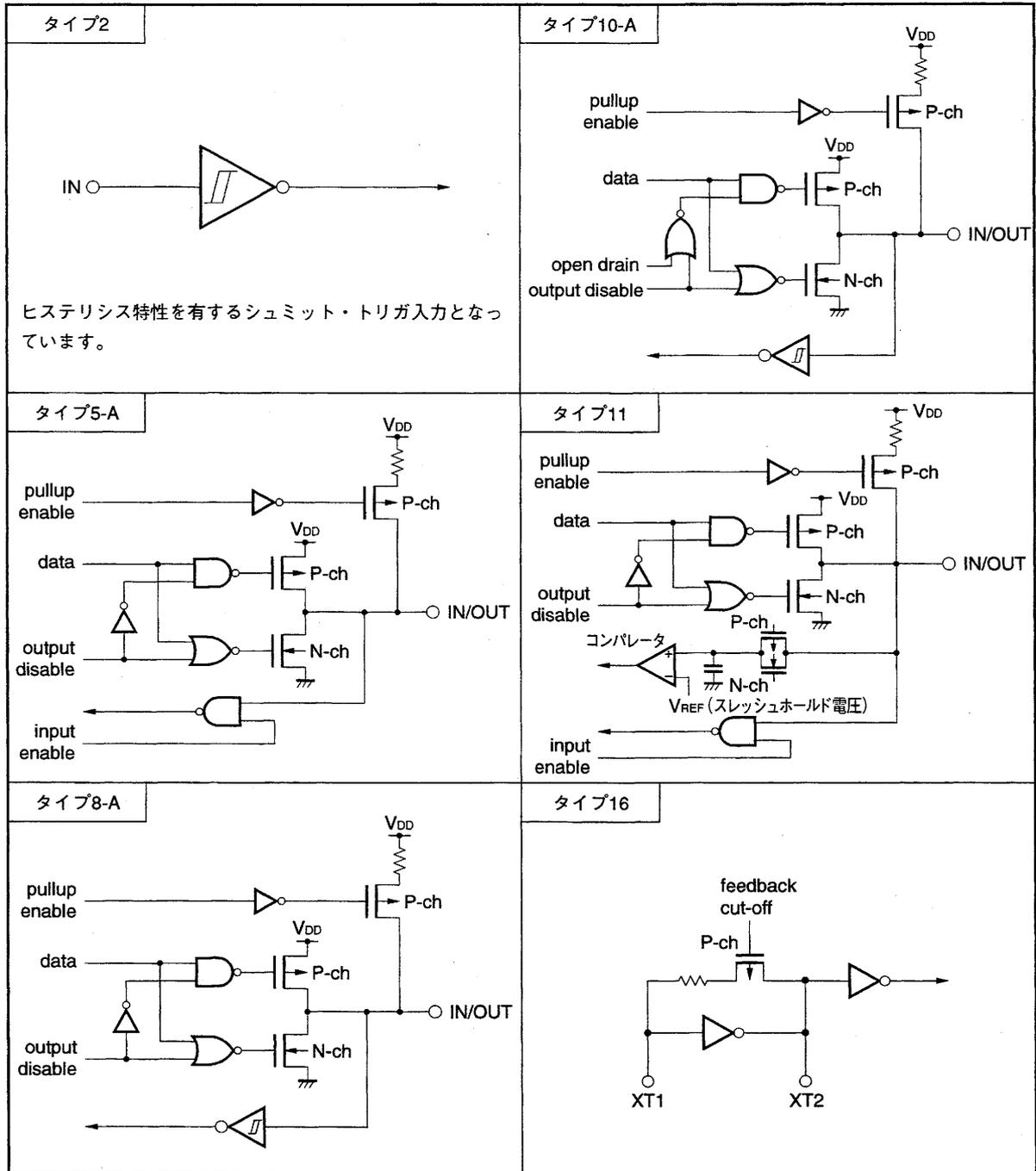
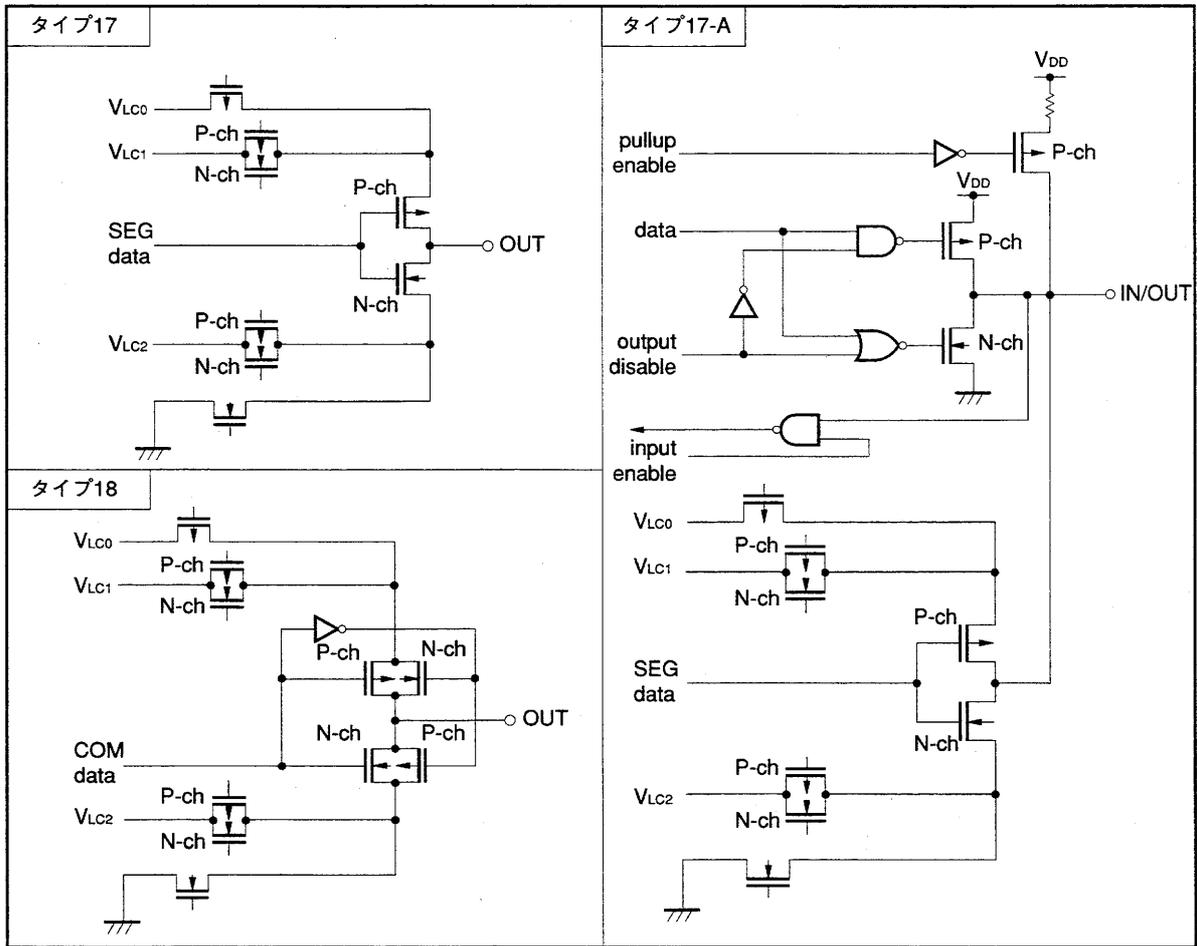


図4-1 端子の入出力回路一覧(2/2)



[× ㄷ]

第5章 CPUアーキテクチャ

5.1 メモリ空間

図5-1から図5-4に、メモリ・マップを示します。

図5-1 メモリ・マップ(μPD78062, 78062Y)

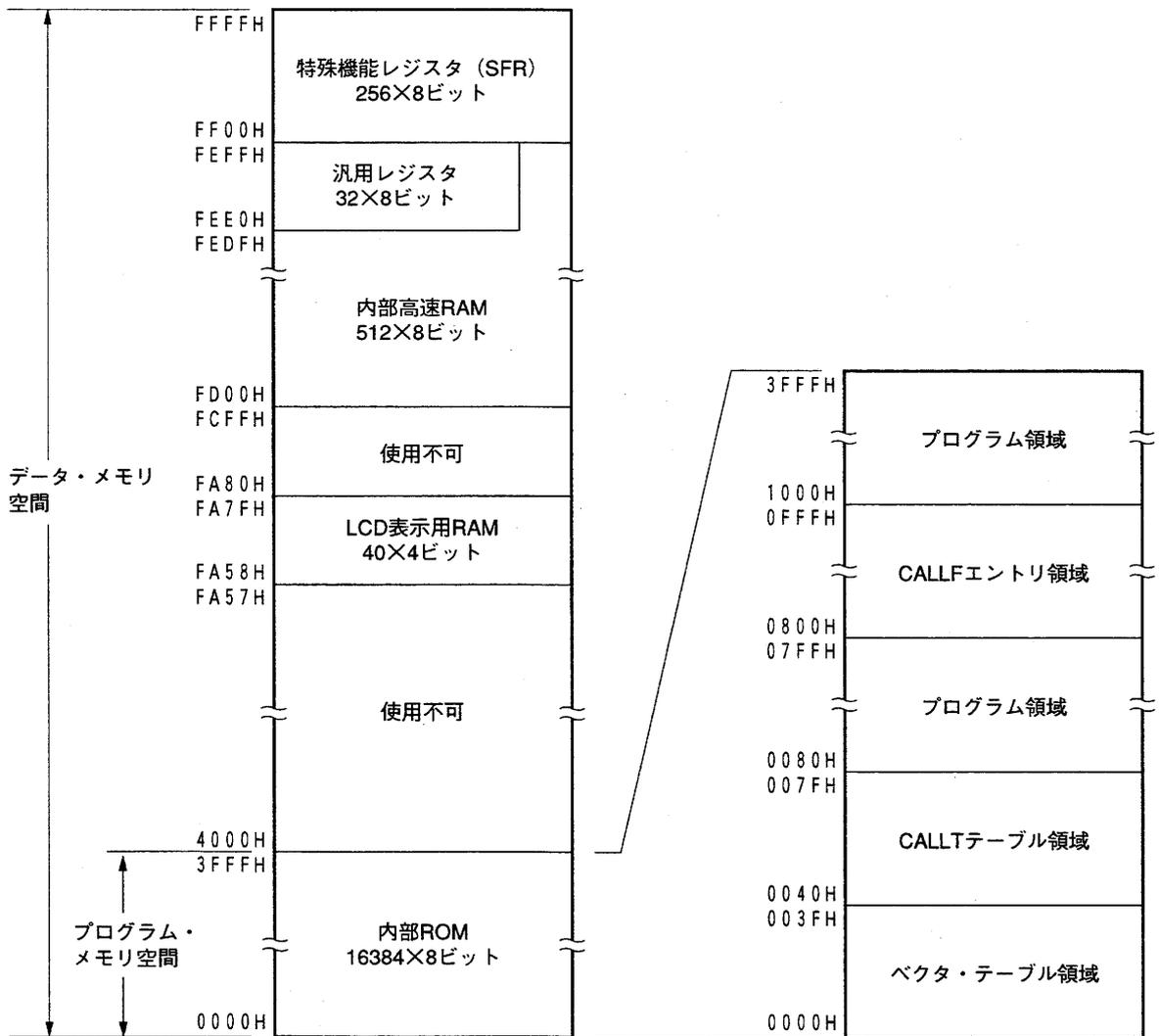


図5-2 メモリ・マップ(μPD78063, 78063Y)

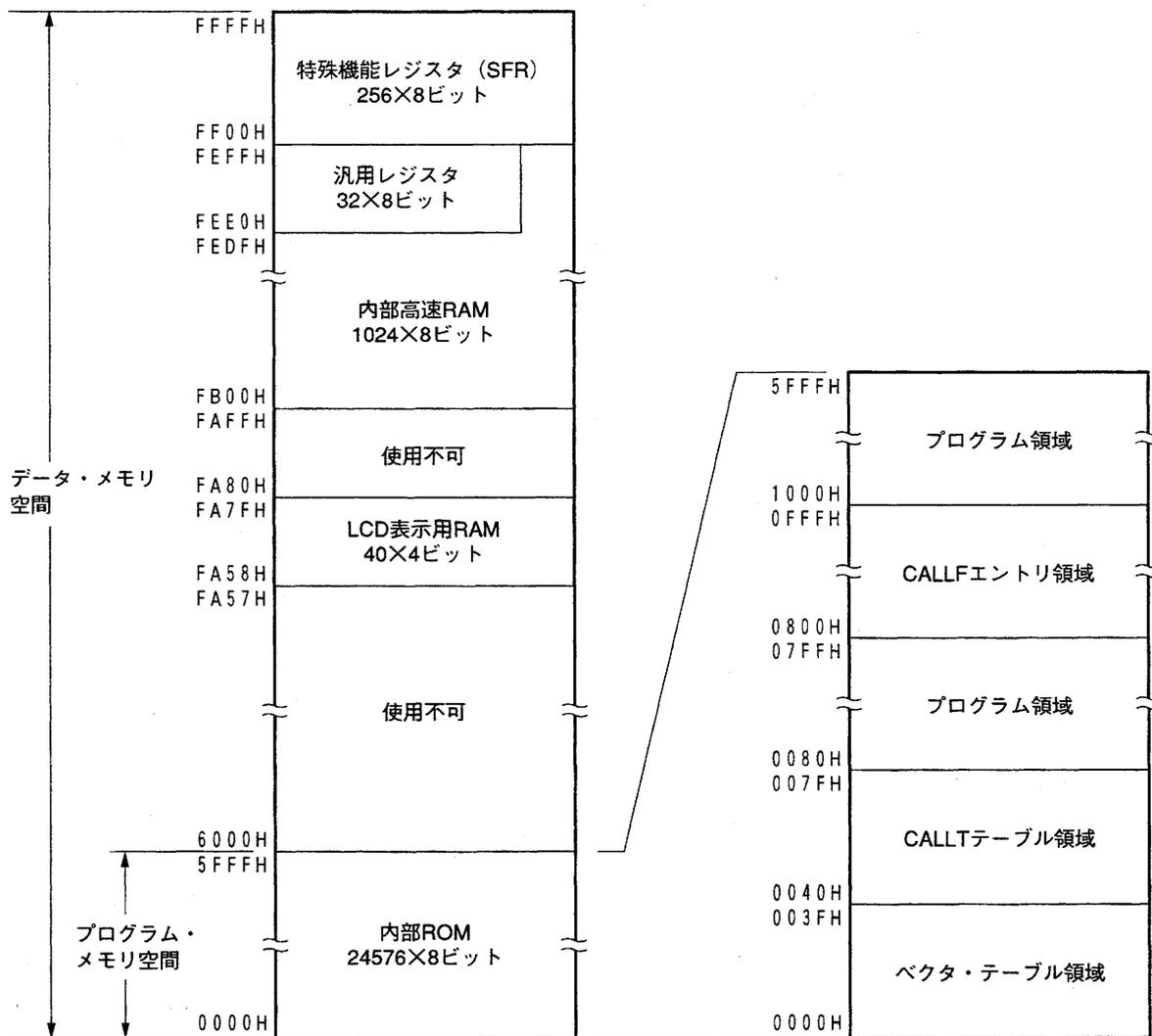


図5-3 メモリ・マップ(μPD78064, 78064Y)

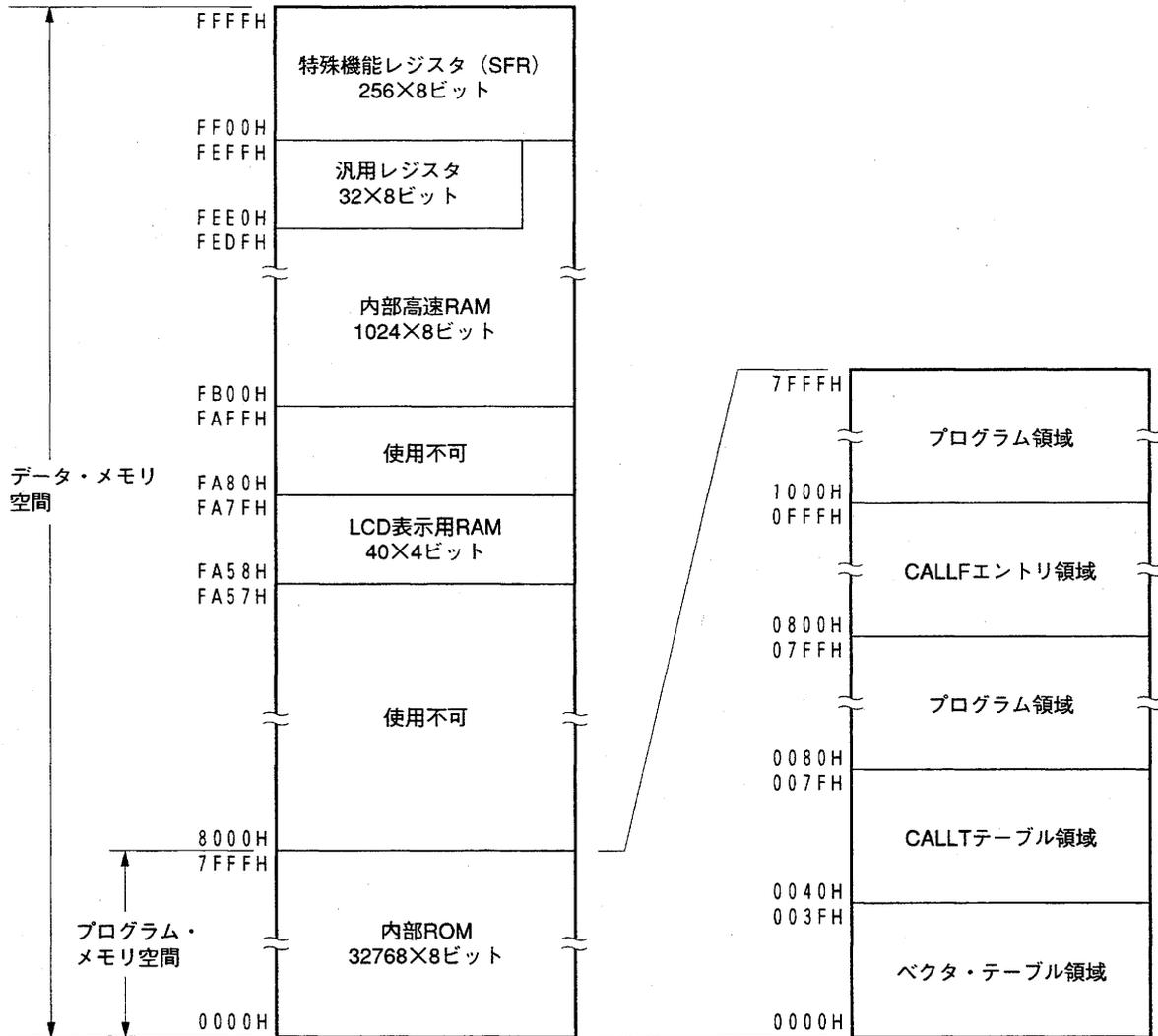
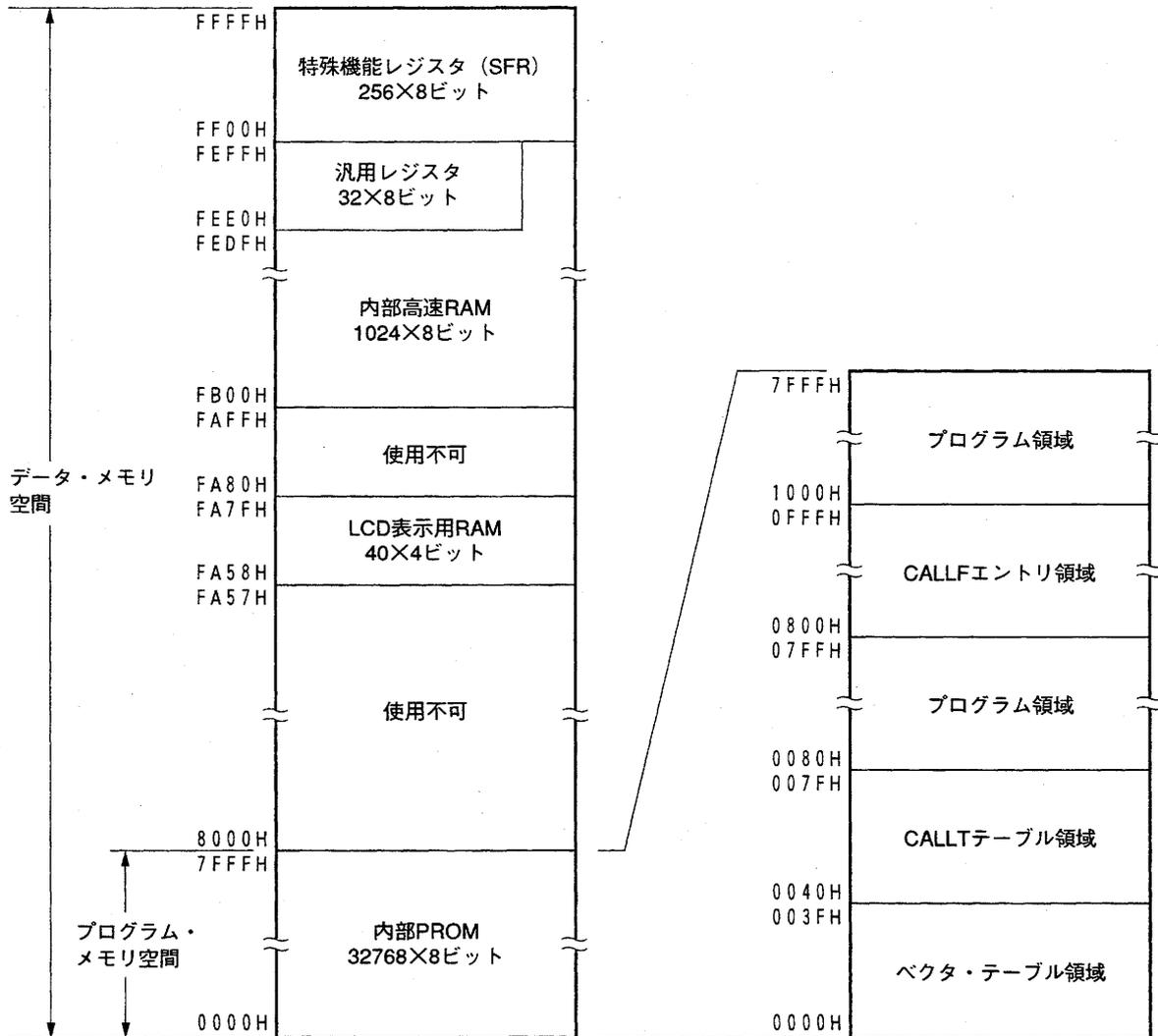


図5-4 メモリ・マップ(μPD78P064, 78P064Y)



5.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ(PC)でアクセスします。

μPD78064, 78064Yサブシリーズでは、各製品ごとに次の容量の内部ROM(またはPROM)を内蔵しています。

表5-1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD78062, 78062Y	マスクROM	16384×8ビット
μPD78063, 78063Y		24576×8ビット
μPD78064, 78064Y		32768×8ビット
μPD78P064, 78P064Y	PROM	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$ 入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表5-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	$\overline{\text{RESET}}$ 入力	001AH	INTSR/INTCSI2
0004H	INTWDT	001CH	INTST
0006H	INTP0	001EH	INTTM3
0008H	INTP1	0020H	INTTM00
000AH	INTP2	0022H	INTTM01
000CH	INTP3	0024H	INTTM1
000EH	INTP4	0026H	INTTM2
0010H	INTP5	0028H	INTAD
0014H	INTCSI0	003EH	BRK
0018H	INTSER		

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。

(3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令(CALLF)で直接サブルーチン・コールすることができます。

5.1.2 内部データ・メモリ空間

μPD78064, 78064Yサブシリーズには、次に示すRAMを内蔵しています。

(1) 内部高速RAM

μPD78064, 78064Yサブシリーズには、各製品ごとに次の容量の内部高速RAMを内蔵しています。

表5-3 内部高速RAM容量

品名	内部高速RAM容量
μPD78062, 78062Y	512×8ビット
μPD78063, 78063Y	1024×8ビット
μPD78064, 78064Y	
μPD78P064, 78P064Y	

このうちFEE0H-FEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

また、内部高速RAMはスタックとしても使用できます。

(2) LCD表示用RAM

FA58H-FA7FHの40×4ビットの領域には、LCD表示用RAMが割り付けられています。LCD表示用RAMは、通常のRAMとしても使用できます。

5.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ(SFR)が割り付けられています(表5-4参照)。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

5.1.4 データ・メモリ・アドレッシング

μPD78064, 78064Yサブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域(μPD78062, 78062YではFD00H-FFFFH, それ以外の製品ではFB00H-FFFFH)では、特殊機能レジスタ(SFR)や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図5-5から図5-8にデータ・メモリのアドレッシングを示します。

図5-5 データ・メモリのアドレッシング(μPD78062, 78062Y)

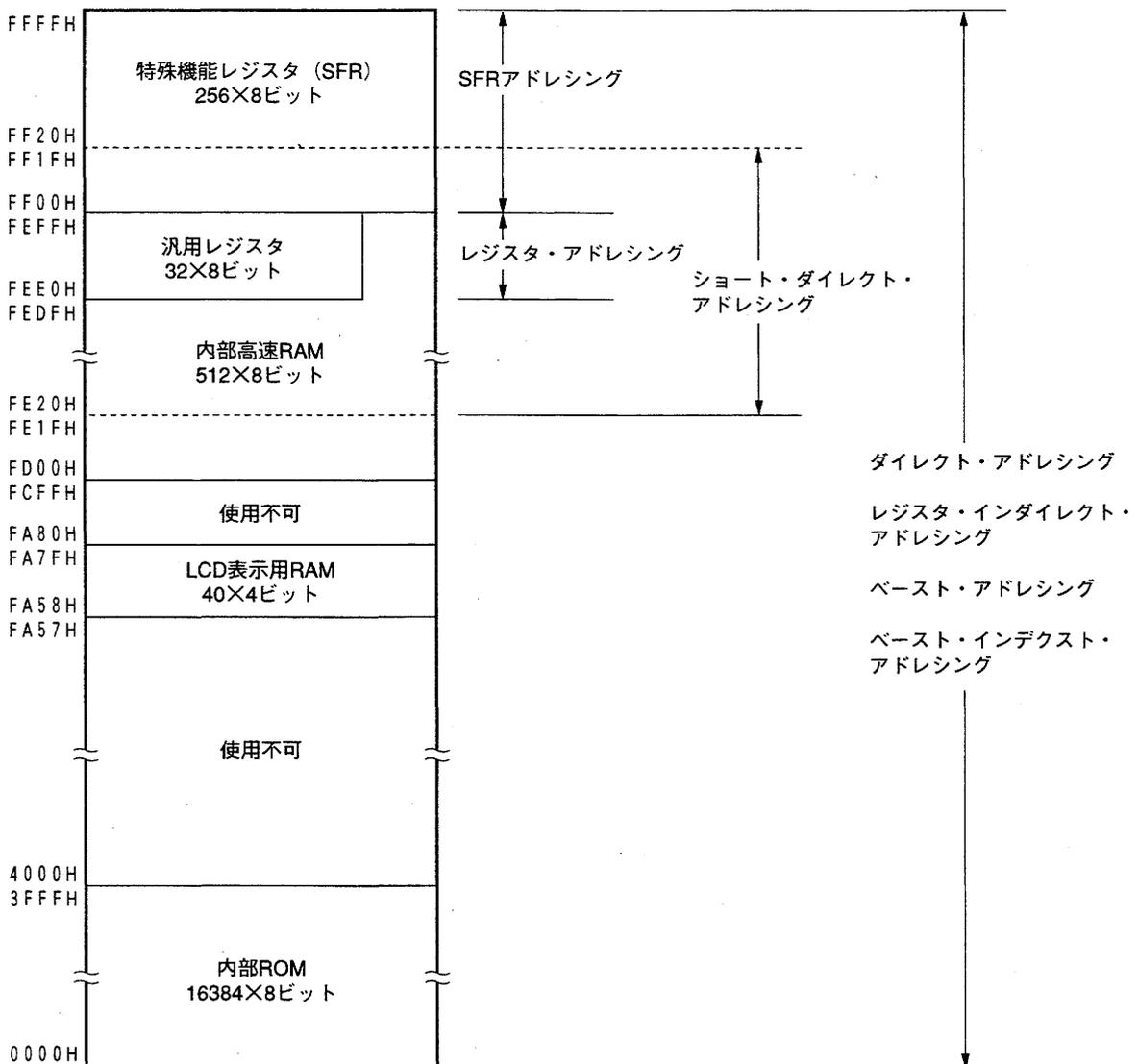


図5-6 データ・メモリのアドレッシング(μ PD78063, 78063Y)

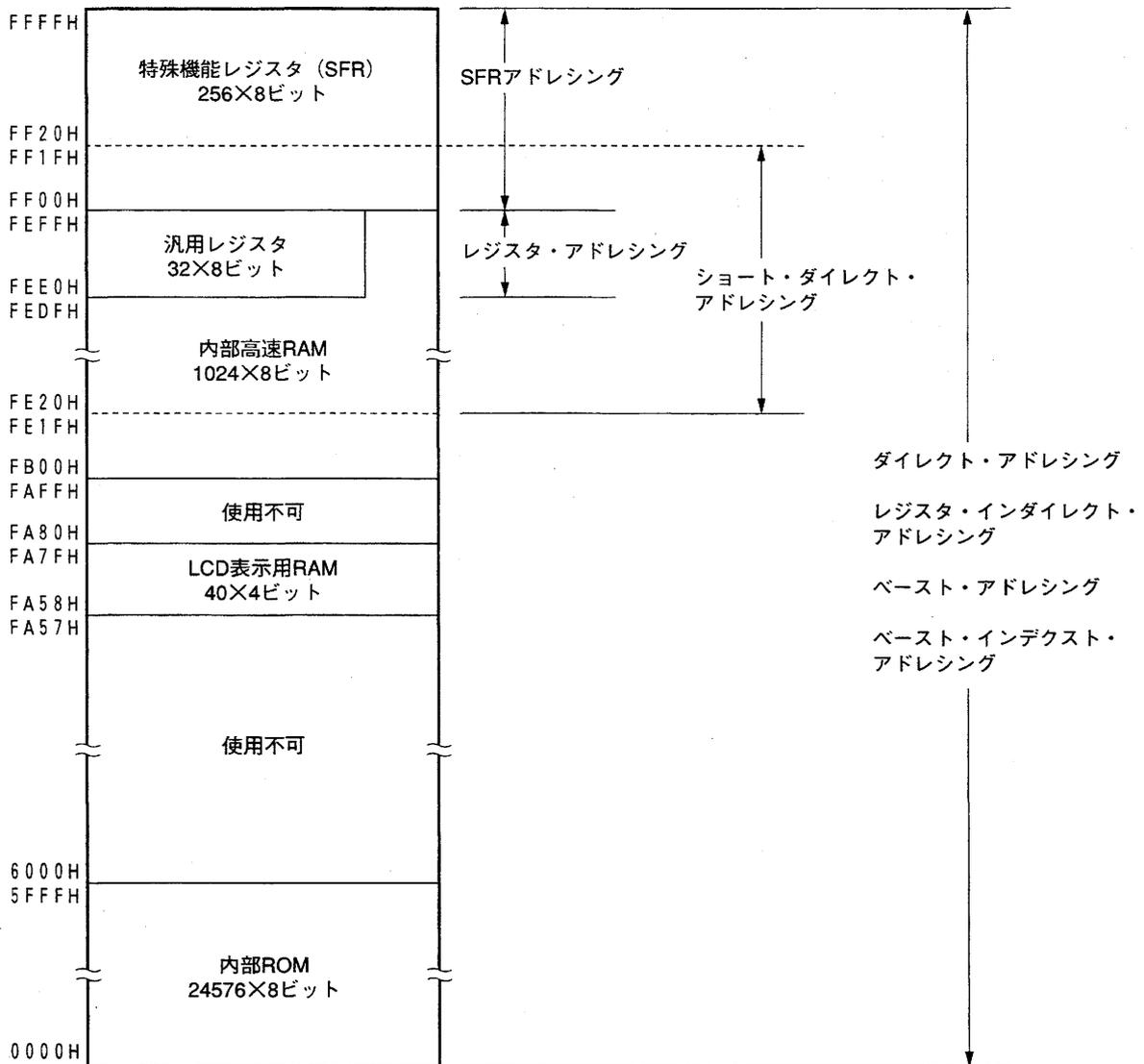


図5-7 データ・メモリのアドレッシング(μ PD78064, 78064Y)

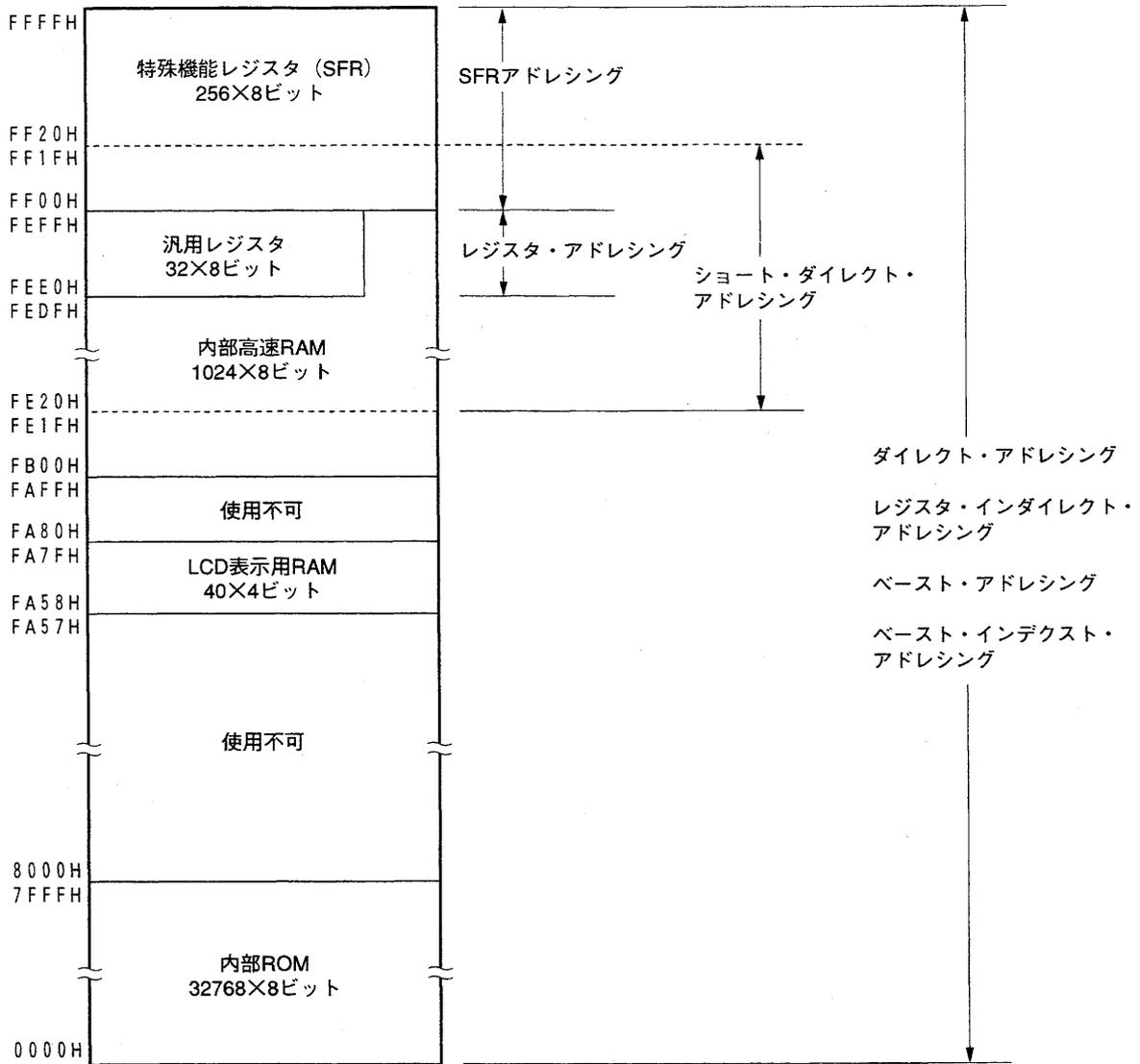
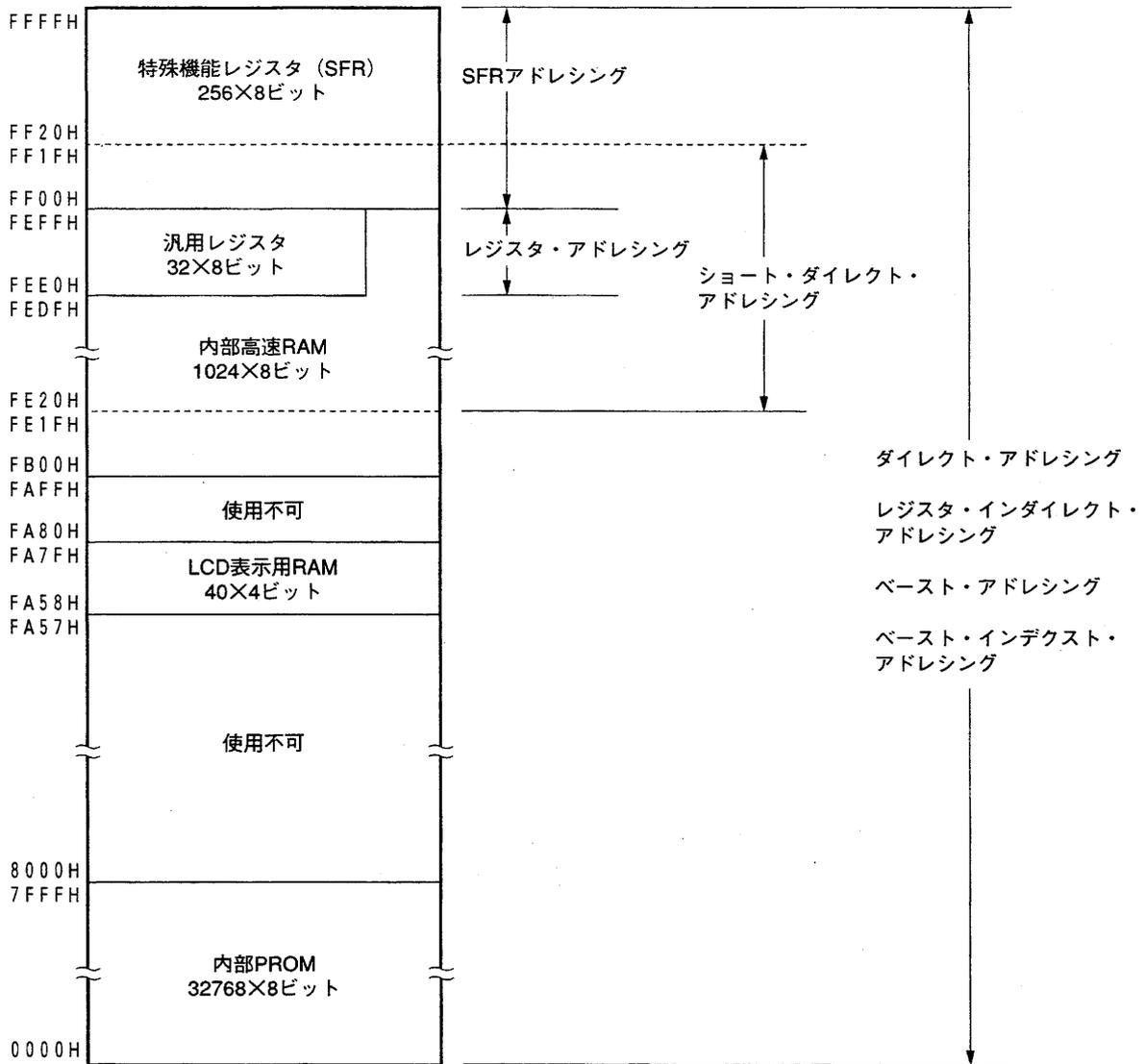


図5-8 データ・メモリのアドレッシング(μPD78P064, 78P064Y)



5.2 プロセッサ・レジスタ

μPD78064, 78064Yサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

5.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

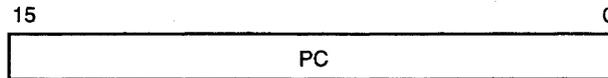
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図5-9 プログラム・カウンタの構成



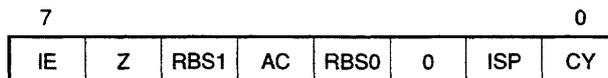
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図5-10 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

0のときはDI状態となり、ノンマスクابل割り込みのみ受け付け可能となります。それ以外はすべて禁止されます。

1のときはEI状態となり、割り込み要求受け付けの許可は、インサービス・プライオリティ・フラグ(ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

DI命令実行または割り込みの受け付けでリセット(0)され、EI命令実行によりセット(1)されま

す。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサービス・プライオリティ・フラグ(ISP)

受け付け可能なマスクابل・ベクタ割り込みの優先順位を管理するフラグです。このフラグが0のときは優先順位指定フラグ・レジスタ(PR)で指定した低位のベクタ割り込み受け付け禁止状態で、1のときは割り込みの優先順位にかかわらず、受け付け可能な状態を示します。なお、実際の受け付けは、割り込み許可フラグ(IE)の状態で制御されます。

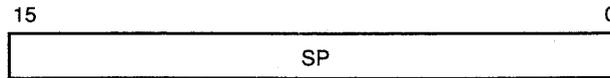
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域(μ PD78062, 78062YではFD00H-FEFFFH, それ以外の製品ではFB00H-FEFFFH)のみ設定可能です。

図5-11 スタック・ポインタの構成



スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

各スタック動作によって退避/復帰されるデータは図5-12, 5-13のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図5-12 スタック・メモリへ退避されるデータ

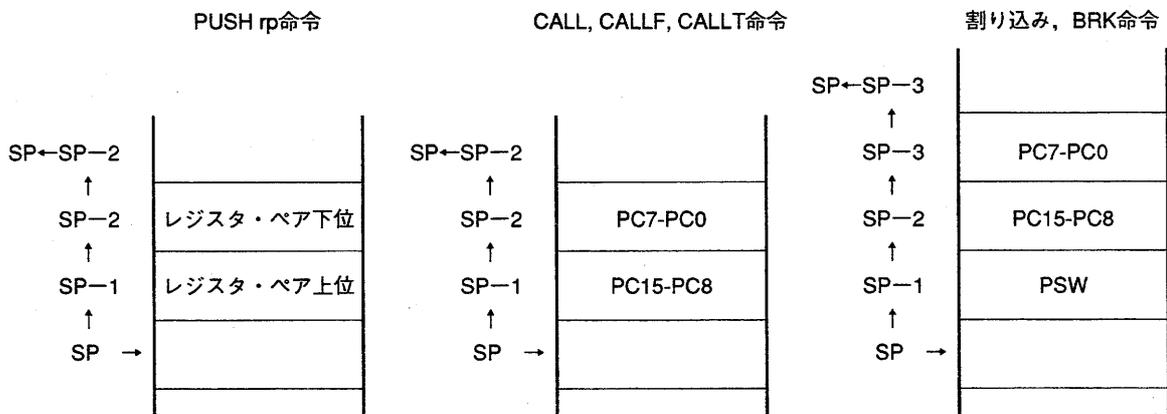
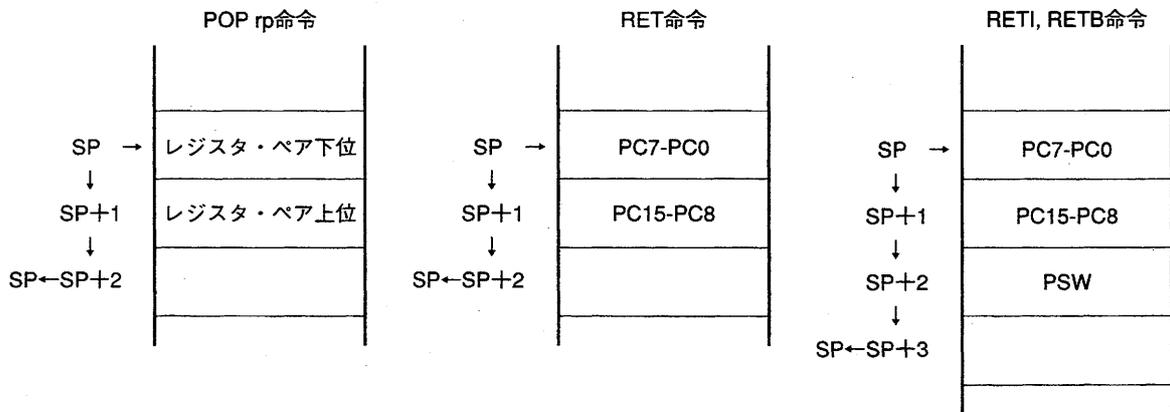


図5-13 スタック・メモリから復帰されるデータ



5.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地(FEE0H-FEFFFH)にマッピングされており、8ビット・レジスタ8個(X, A, C, B, E, D, L, H)を1バンクとして4バンクのレジスタで構成されています。

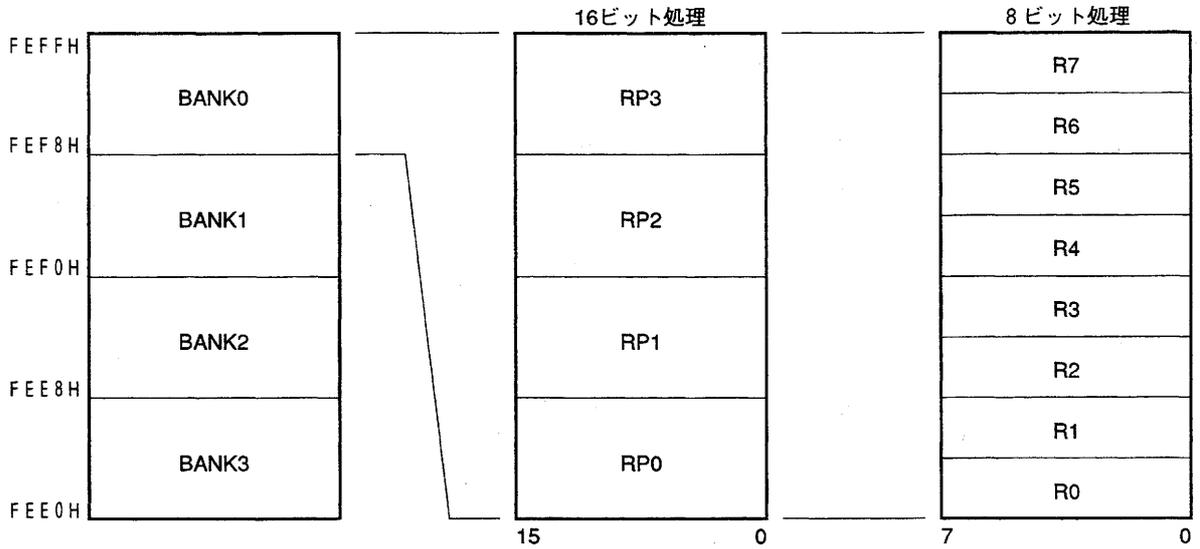
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます(AX, BC, DE, HL)。

また、機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほか、絶対名称(R0-R7, RP0-RP3)でも記述できます。

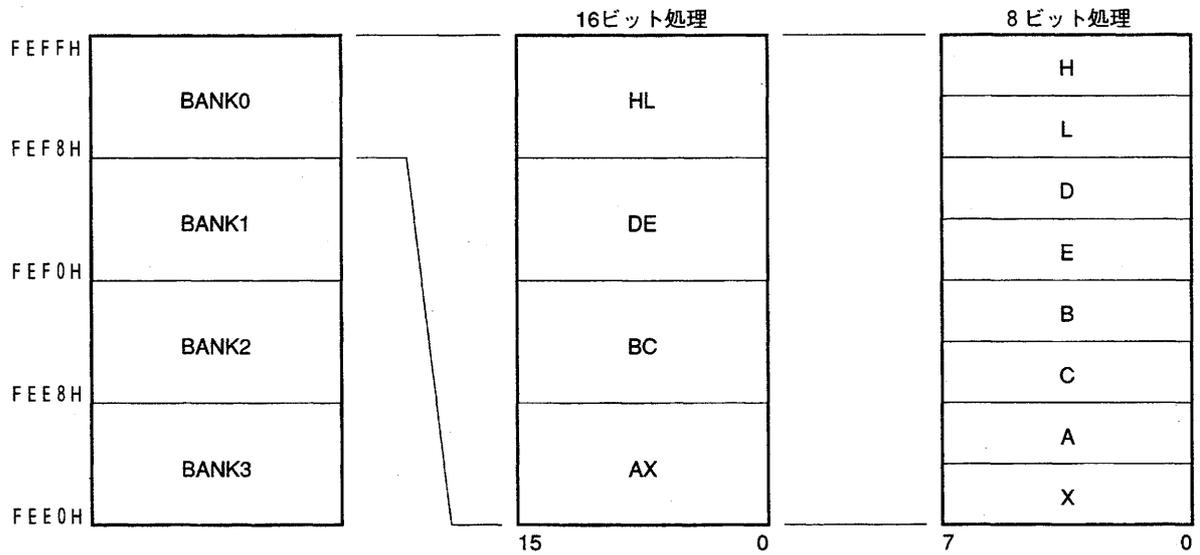
命令実行時に使用するレジスタ・バンクは、CPU制御命令(SEL RBn)によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図5-14 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



5.2.3 特殊機能レジスタ(SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表5-4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

内蔵された特殊機能レジスタのアドレスを示すアセンブラ(RA78K0)で使用する略号です。命令のオペランドとして記述できます。

- RW

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

RW : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を示します。

- リセット時

RESET入力時の各レジスタの状態を示します。

表5-4 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF00H	ポート0	P0		R/W	○	○	—	00H	
FF01H	ポート1	P1			○	○	—		
FF02H	ポート2	P2			○	○	—		
FF03H	ポート3	P3			○	○	—		
FF07H	ポート7	P7			○	○	—		
FF08H	ポート8	P8			○	○	—		
FF09H	ポート9	P9			○	○	—		
FF0AH	ポート10	P10			○	○	—		
FF0BH	ポート11	P11			○	○	—		
FF10H FF11H	キャプチャ/コンペア・レジスタ00	CR00			—	—	○		不定
FF12H FF13H	キャプチャ/コンペア・レジスタ01	CR01		—	—	○			
FF14H FF15H	16ビット・タイマ・レジスタ	TM0		R	—	—	○	00H	
FF16H	コンペア・レジスタ10	CR10		R/W	—	○	—	不定	
FF17H	コンペア・レジスタ20	CR20			—	○	—		
FF18H	8ビット・タイマ・レジスタ1	TMS	TM1	R	—	○	○	00H	
FF19H	8ビット・タイマ・レジスタ2		TM2		—	○	—		
FF1AH	シリアルI/Oシフト・レジスタ0	SIO0		R/W	—	○	—	不定	
FF1FH	A/D変換結果レジスタ	ADCR		R	—	○	—		
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	—	FFH	
FF21H	ポート・モード・レジスタ1	PM1			○	○	—		
FF22H	ポート・モード・レジスタ2	PM2			○	○	—		
FF23H	ポート・モード・レジスタ3	PM3			○	○	—		
FF27H	ポート・モード・レジスタ7	PM7			○	○	—		
FF28H	ポート・モード・レジスタ8	PM8			○	○	—		
FF29H	ポート・モード・レジスタ9	PM9			○	○	—		
FF2AH	ポート・モード・レジスタ10	PM10			○	○	—		
FF2BH	ポート・モード・レジスタ11	PM11			○	○	—		
FF40H	タイマ・クロック選択レジスタ0	TCL0			○	○	—		00H
FF41H	タイマ・クロック選択レジスタ1	TCL1			—	○	—		
FF42H	タイマ・クロック選択レジスタ2	TCL2		—	○	—			
FF43H	タイマ・クロック選択レジスタ3	TCL3		—	○	—	88H		
FF47H	サンプリング・クロック選択レジスタ	SCS		—	○	—	00H		
FF48H	16ビット・タイマ・モード・コントロール・レジスタ	TMC0		○	○	—			

表5-4 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
FF49H	8ビット・タイマ・モード・コントロール・レジスタ	TMC1		R/W	○	○	—	00H	
FF4AH	時計用タイマ・モード・コントロール・レジスタ	TMC2			○	○	—		
FF4CH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0			○	○	—		04H
FF4EH	16ビット・タイマ出力コントロール・レジスタ	TOC0			○	○	—		
FF4FH	8ビット・タイマ出力コントロール・レジスタ	TOC1			○	○	—		00H
FF60H	シリアル動作モード・レジスタ0	CSIM0			○	○	—		
FF61H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC			○	○	—		
FF62H	スレーブ・アドレス・レジスタ	SVA			—	○	—		
FF63H	割り込みタイミング指定レジスタ	SINT			○	○	—		00H
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM			○	○	—		
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS		R	○	○	—		
FF72H	シリアル動作モード・レジスタ2	CSIM2		R/W	○	○	—	00H	
FF73H	ポーレート・ジェネレータ・コントロール・レジスタ	BRGC			—	○	—		
FF74H	送信シフト・レジスタ	TXS	SIO2	W	—	○	—	FFH	
	受信バッファ・レジスタ	RXB		R	—	○	—		
FF80H	A/Dコンバータ・モード・レジスタ	ADM		R/W	○	○	—	01H	
FF84H	A/Dコンバータ入力選択レジスタ	ADIS			—	○	—		
FFB0H	LCD表示モード・レジスタ	LCDM			○	○	—		
FFB2H	LCD表示コントロール・レジスタ	LCDC			○	○	—		
FFB8H	キー・リターン・モード・レジスタ	KRM			○	○	—		02H
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L		○	○	○		
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H		○	○			00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L			○	○	—		
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L		○	○	○		FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H		○	○			
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L		○	○	—			
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	○	○	○			
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	○	○		00H		
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L		○	○	—			
FFECH	外部割り込みモード・レジスタ0	INTM0		—	○	—			
FFEDH	外部割り込みモード・レジスタ1	INTM1		—	○	—	注		
FFF0H	メモリ・サイズ切り替えレジスタ	IMS		—	○	—			
FFF2H	発振モード選択レジスタ	OSMS		W	—	○	00H		
FFF3H	ブルアップ抵抗オプション・レジスタH	PUOH		R/W	○	○			

注 リセット時の値は製品により異なります。

μPD78062, 78062Y : 44H, μPD78063, 78063Y : C6H, μPD78064, 78064Y : C8H,

μPD78P064, 78P064Y : C8H

表5-4 特殊機能レジスタ一覧(3/3)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFF7H	ブルアップ抵抗オプション・レジスタL	PUOL	R/W	○	○	—	00H
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM		○	○	—	
FFFAH	発振安定時間選択レジスタ	OSTS		—	○	—	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		○	○	—	

5.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ(PC)の内容によって決定され、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント(1バイトに対して+1)されますが、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します(各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編(IEU-849)を参照してください)。

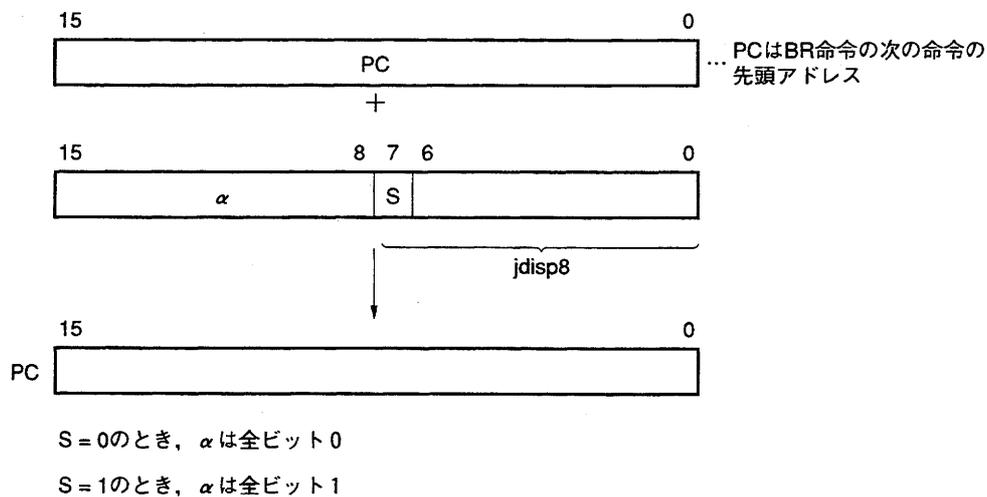
5.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ(ディスプレイメント値: $jdisp8$)を加算した値が、プログラム・カウンタ(PC)に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ(-128~+127)として扱われ、ビット7が符号ビットとなります。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



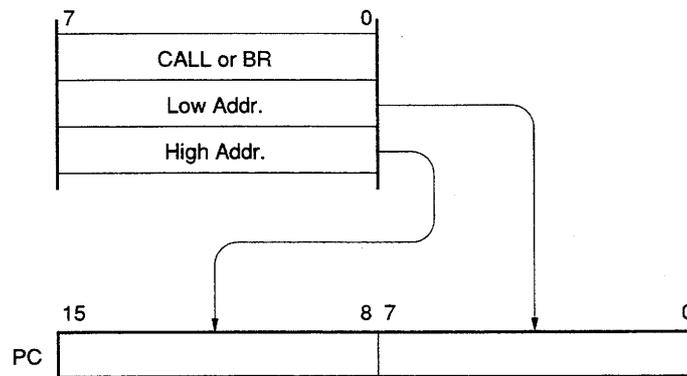
5.3.2 イミューディエト・アドレッシング

【機能】

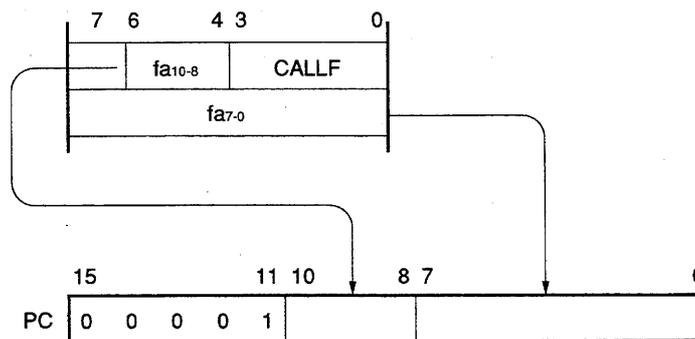
命令語中のイミューディエト・データがプログラム・カウンタ(PC)に転送され、分岐します。
CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



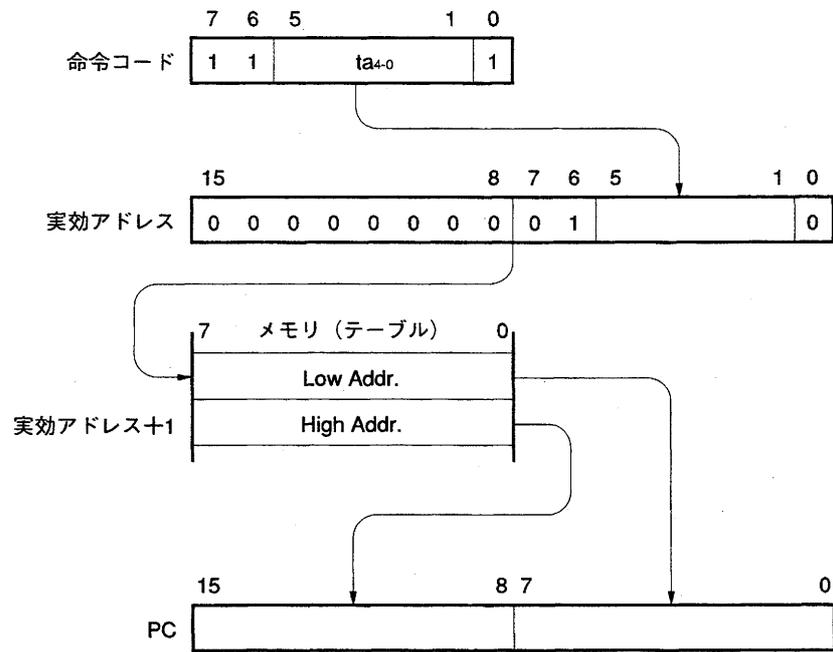
5.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエイト・データによりアドレスされる特定ロケーションのテーブルの内容(分岐先アドレス)がプログラム・カウンタ(PC)に転送され、分岐します。

CALLT [addr5]命令を実行する際に行われます。

【図解】



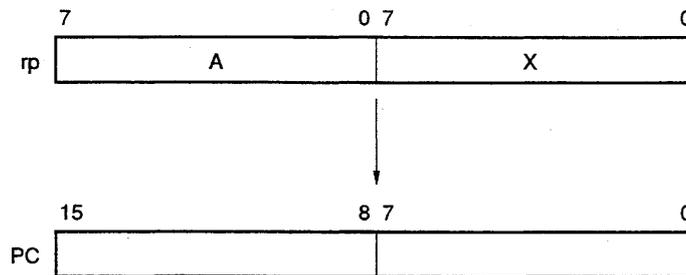
5.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア(AX)の内容がプログラム・カウンタ(PC)に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



5.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法(アドレッシング)として次に示すいくつかの方法があります。

5.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ(A, AX)として機能するレジスタを自動的にアドレスするアドレッシングです。

μPD78064, 78064Yサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ、積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

5.4.2 レジスタ・アドレッシング

【機能】

レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中の、命令語中のレジスタ指定コード(Rn, RPn)により、指定される汎用レジスタをオペランドとしてアクセスするアドレッシングです。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

r, rpは、機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほかに絶対名称(R0-R7, RP0-RP3)で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合

命令コード

0	1	1	0	0	0	1	0
---	---	---	---	---	---	---	---

INCW DE ; rpにDEレジスタ・ペアを選択する場合

命令コード

1	0	0	0	0	1	0	0
---	---	---	---	---	---	---	---

5.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなって操作対象となるメモリをアドレスするアドレッシングです。

【オペランド形式】

表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合

命令コード	1 0 0 0 1 1 1 0
	0 0 0 0 0 0 0 0
	1 1 1 1 1 1 1 0

5.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用されるのはFE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ(SFR)がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域(FF00H-FF1FH)には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

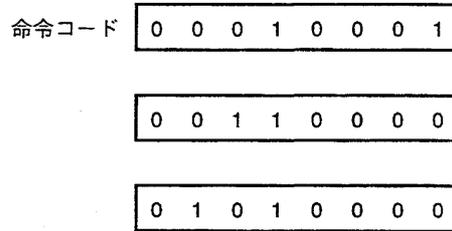
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。

【オペランド形式】

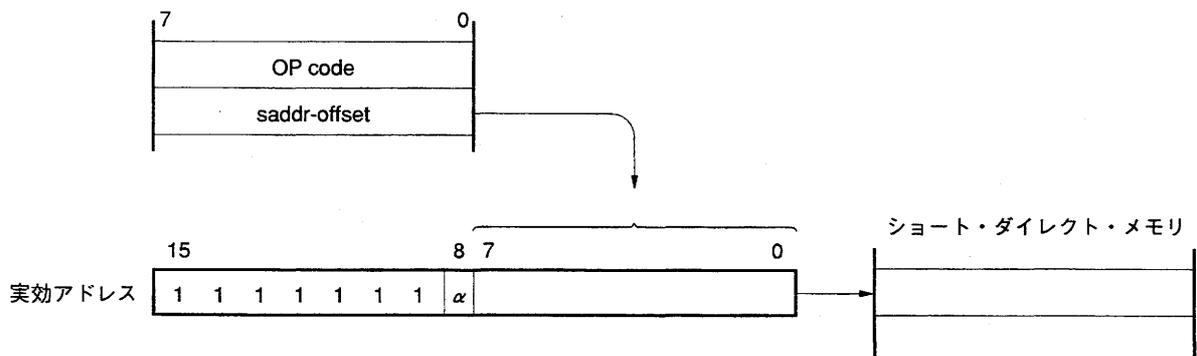
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ(偶数アドレスのみ)

【記述例】

MOV FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき, $\alpha=0$

8ビット・イミディエト・データが00H-1FHのとき, $\alpha=1$

5.4.5 特殊機能レジスタ(SFR)アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ(SFR)をアドレスするアドレッシングです。

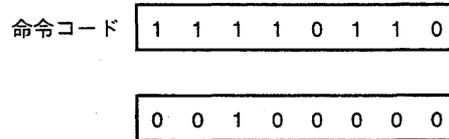
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし、FF00H-FF1FHにマッピングされているSFRは、ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

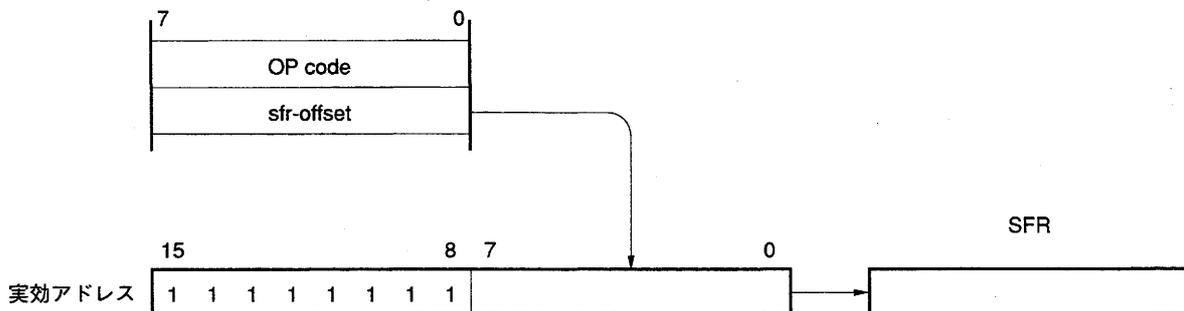
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名(偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



5.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中の、命令語中のレジスタ・ペア指定コードで指定されるレジスタ・ペアの内容がオペランド・アドレスとなって操作対象となるメモリをアドレスするアドレッシングです。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL]

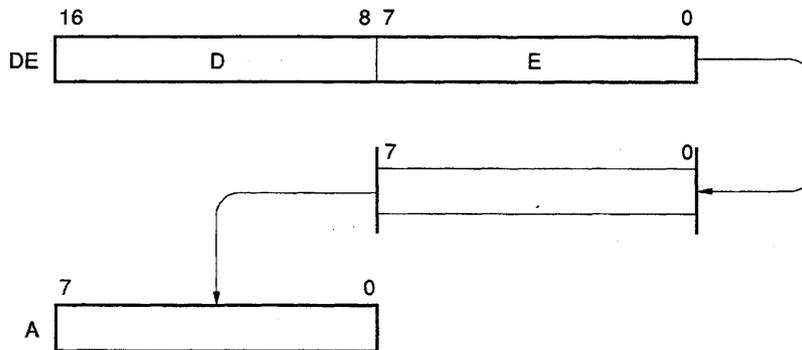
【記述例】

MOV A, [DE] ; レジスタ・ペアに[DE]を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



5.4.7 ベースト・アドレッシング

【機能】

レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中の、命令語中のHLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データをオフセット・データとして加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+byte]

【記述例】

MOV A, [HL+10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

5.4.8 ベース・インデクスト・アドレッシング

【機能】

レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中の、命令語中のHLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C]

【記述例】

MOV A, [HL+B]の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

5.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール、リターン命令の実行時および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

第6章 ポート機能

6.1 ポートの機能

μPD78064, 78064Yサブシリーズは、2本の入力ポートと55本の入出力ポートを内蔵しています。図6-1にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

6

図6-1 ポートの種類

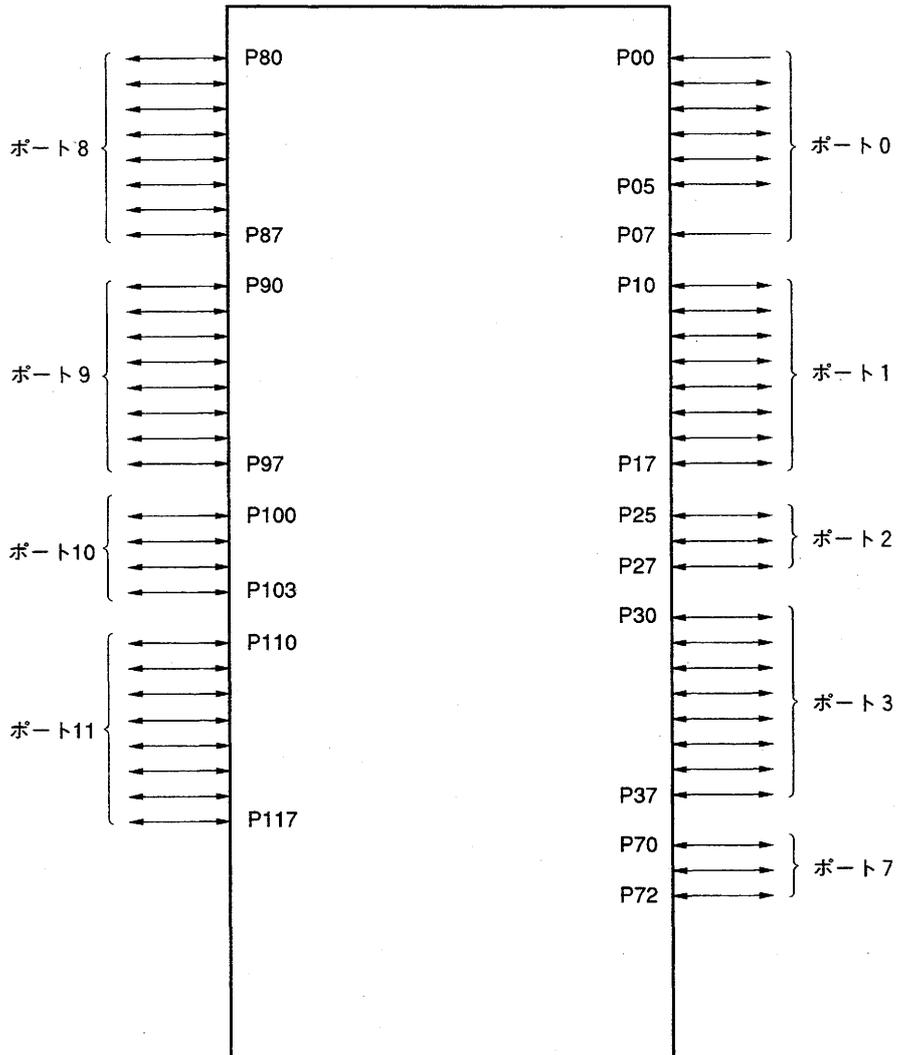


表6-1 ポートの機能(μPD78064サブシリーズ)(1/2)

端子名称	機 能		兼用端子
P00	ポート0。	入力専用。	INTP0/TI00
P01	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。	INTP1/TI01
P02		入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。	INTP2
P03			INTP3
P04			INTP4
P05			INTP5
P07		入力専用。	XT1
P10-P17	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		ANI0-ANI7
P25	ポート2。		SI0/SB0
P26	3ビット入出力ポート。		SO0/SB1
P27	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		SCK0
P30	ポート3。		TO0
P31	8ビット入出力ポート。		TO1
P32	1ビット単位で入力/出力の指定可能。		TO2
P33	入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		TI1
P34		TI2	
P35		PCL	
P36		BUZ	
P37		—	
P70	ポート7。		SI2/RxD
P71	3ビット入出力ポート。		SO2/TxD
P72	1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		SCK2/ASCK
P80-P87	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LCDコントロール・レジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。		S39-S32

表6-1 ポートの機能(μPD78064サブシリーズ)(2/2)

端子名称	機 能	兼用端子
P90-P97	<p>ポート9。</p> <p>8ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。</p> <p>LCDコントロール・レジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。</p>	S31-S24
P100-P103	<p>ポート10。</p> <p>4ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。</p> <p>LEDを直接駆動可能。</p>	—
P110-P117	<p>ポート11。</p> <p>8ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。</p> <p>立ち下がリエッジ検出可能。</p>	—

表6-2 ポートの機能(μPD78064Yサブシリーズ)(1/2)

端子名称	機 能		兼用端子
P00	ポート0。	入力専用。	INTP0/TI00
P01	7ビット入出力ポート。	1ビット単位で入力/出力の指定可能。	INTP1/TI01
P02		入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。	INTP2
P03			INTP3
P04			INTP4
P05			INTP5
P07		入力専用。	XT1
P10-P17	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		ANI0-ANI7
P25	ポート2。		SI0/SB0/SDA0
P26	3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		SO0/SB1/SDA1
P27	入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		SCK0/SCL
P30	ポート3。		TO0
P31	8ビット入出力ポート。		TO1
P32	1ビット単位で入力/出力の指定可能。		TO2
P33	入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		TI1
P34		TI2	
P35		PCL	
P36		BUZ	
P37		—	
P70	ポート7。		SI2/RxD
P71	3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。		SO2/TxD
P72	入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。		SCK2/ASCK
P80-P87	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 LCDコントロール・レジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。		S39-S32

表6-2 ポートの機能(μPD78064Yサブシリーズ)(2/2)

端子名称	機 能	兼用端子
P90-P97	<p>ポート9。</p> <p>8ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。</p> <p>LCDコントロール・レジスタにより、2ビット単位で入出力ポート/セグメント信号出力機能の指定可能。</p>	S31-S24
P100-P103	<p>ポート10。</p> <p>4ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。</p> <p>LEDを直接駆動可能。</p>	—
P110-P117	<p>ポート11。</p> <p>8ビット入出力ポート。</p> <p>1ビット単位で入力/出力の指定可能。</p> <p>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。</p> <p>立ち下がりエッジ検出可能。</p>	—

6.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表6-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-3, 7-11) プルアップ抵抗オプション・レジスタ (PUOH, PUOL) キー・リターン・モード・レジスタ (KRM)
ポート	合計：57本(入力：2本, 入出力：55本)
プルアップ抵抗	合計：55本(ソフトウェア制御：55本)

6.2.1 ポート0

出力ラッチ付き7ビット入出力ポートです。P01-P05端子は、ポート・モード・レジスタ0により、1ビット単位で入力モード/出力モードの指定ができます。P00, P07端子は、入力専用ポートです。P01-P05端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、5ビット単位でプルアップ抵抗を接続できます。

また、兼用機能として外部割り込み入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続があります。

RESET入力により、入力モードになります。

図6-2, 6-3にポート0のブロック図を示します。

注意 ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図6-2 P00, P07の構成

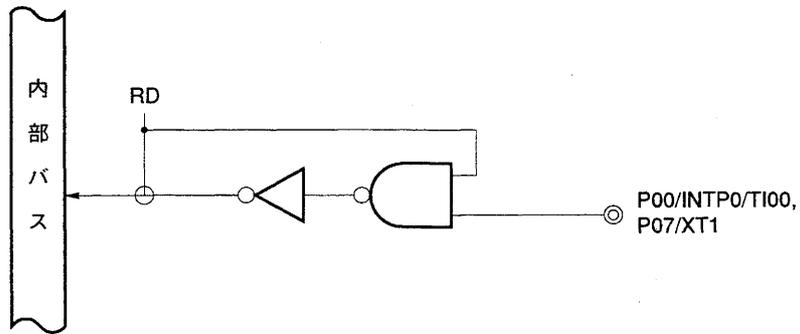
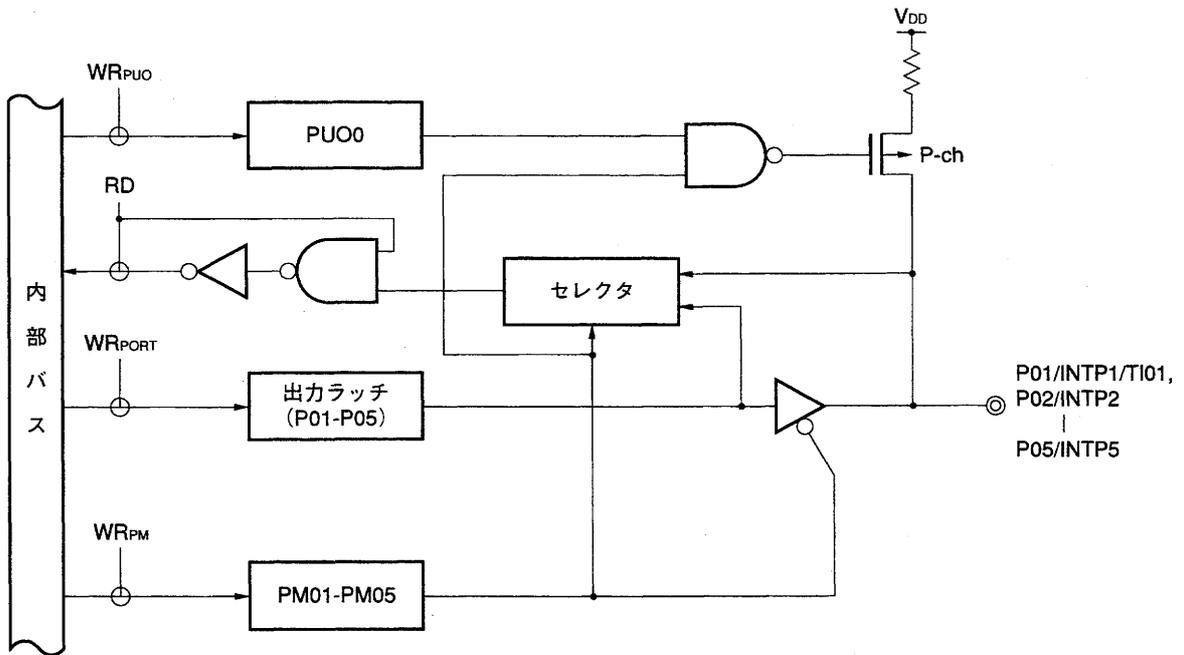


図6-3 P01-P05の構成



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

6.2.2 ポート1

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ1により、1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、8ビット単位でプルアップ抵抗を接続できます。

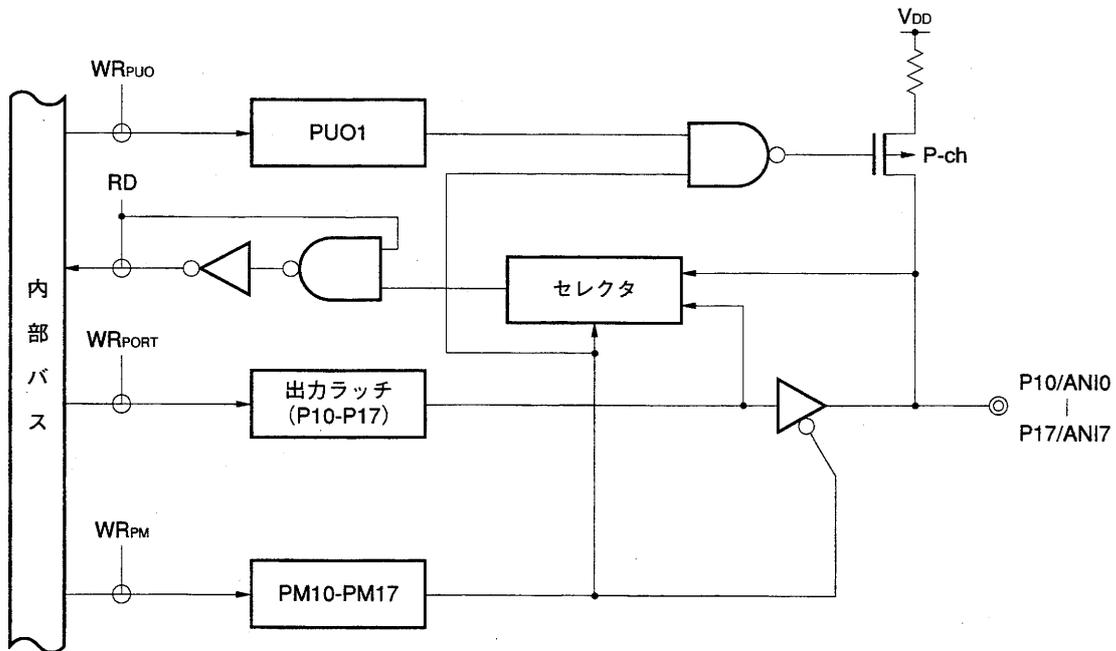
また、兼用機能としてA/Dコンバータのアナログ入力があります。

RESET入力により、入力モードになります。

図6-4にポート1のブロック図を示します。

注意 A/Dコンバータのアナログ入力として使用する端子には、内蔵プルアップ抵抗は使用できません。

図6-4 P10-P17の構成



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

6.2.3 ポート2 (μPD78064サブシリーズ)

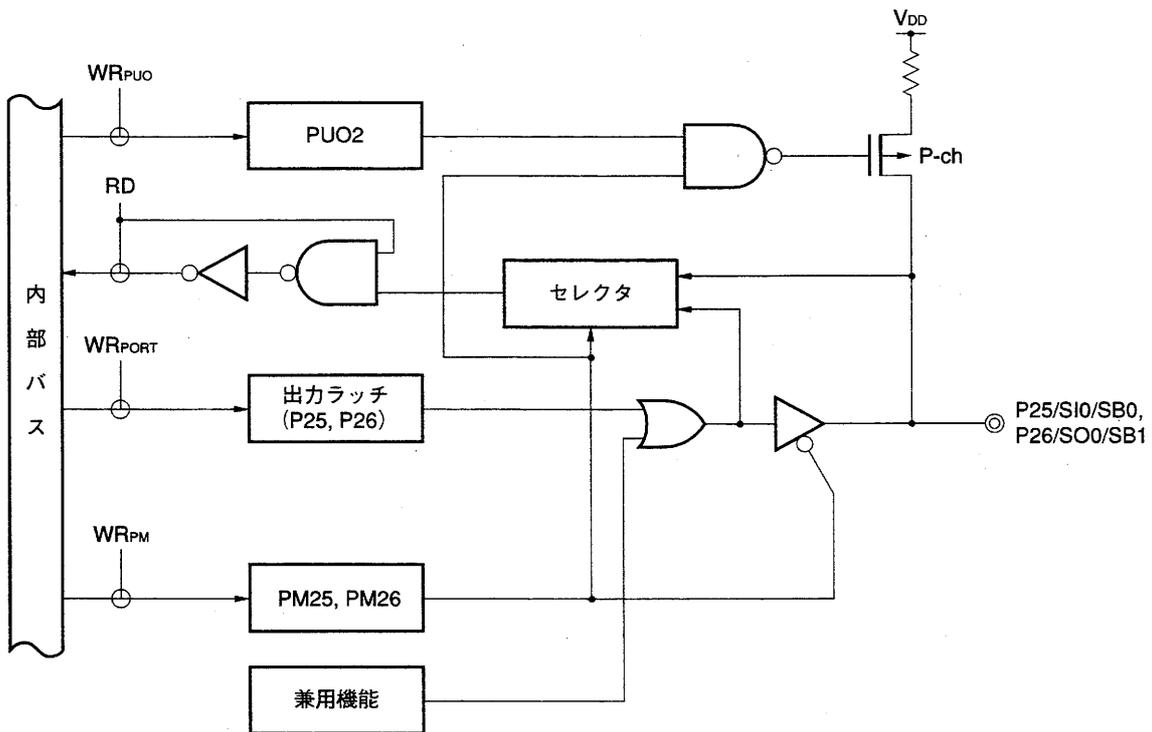
出力ラッチ付き3ビット入出力ポートです。P25-P27端子は、ポート・モード・レジスタ2により、1ビット単位で入力モード/出力モードの指定ができます。P25-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、3ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。
RESET入力により、入力モードになります。

図6-5、6-6にポート2のブロック図を示します。

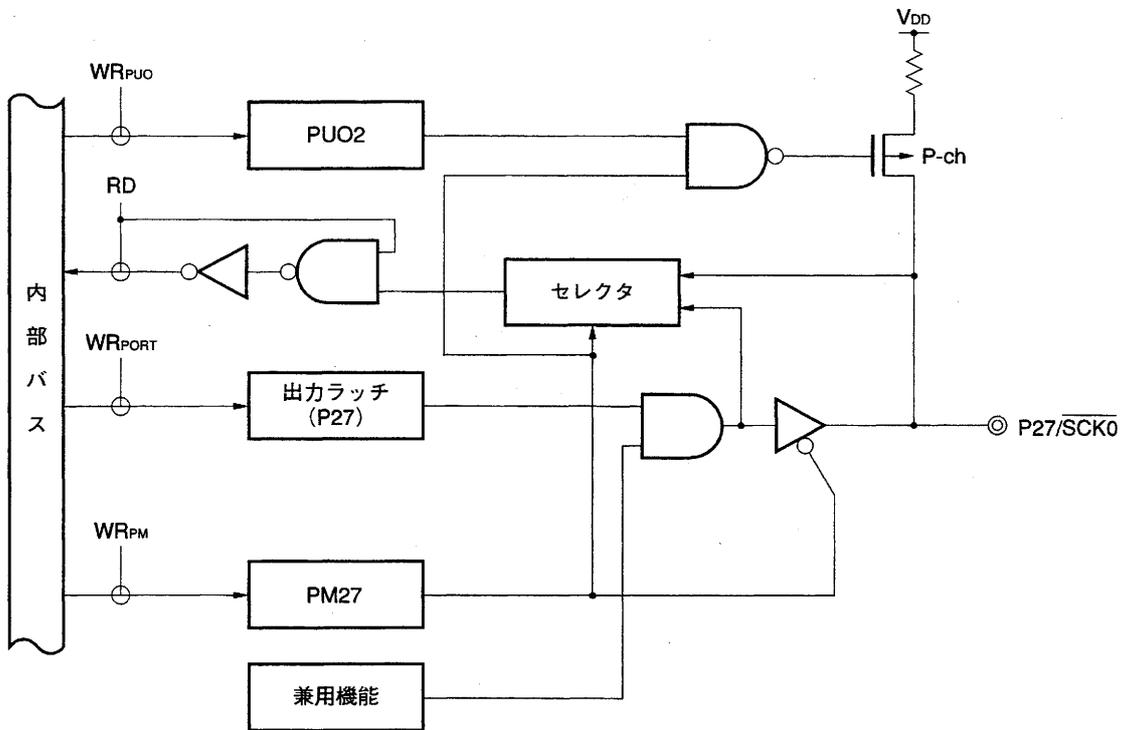
- 注意1. シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図15-4 シリアル動作モード・レジスタ0のフォーマットを参照してください。
2. SBIモード時で、端子の状態を読み出すときは、PM2nに1を設定してください (n=5, 6) (15.4.3 (10) SBIモードの注意事項の(e)を参照)。

図6-5 P25, P26の構成(μPD78064サブシリーズ)



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

図6-6 P27の構成(μPD78064サブシリーズ)



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

6.2.4 ポート2 (μPD78064Yサブシリーズ)

★

出力ラッチ付き3ビット入出力ポートです。P25-P27端子は、ポート・モード・レジスタ2により、1ビット単位で入力モード/出力モードの指定ができます。P25-P27端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、3ビット単位でプルアップ抵抗を接続できます。

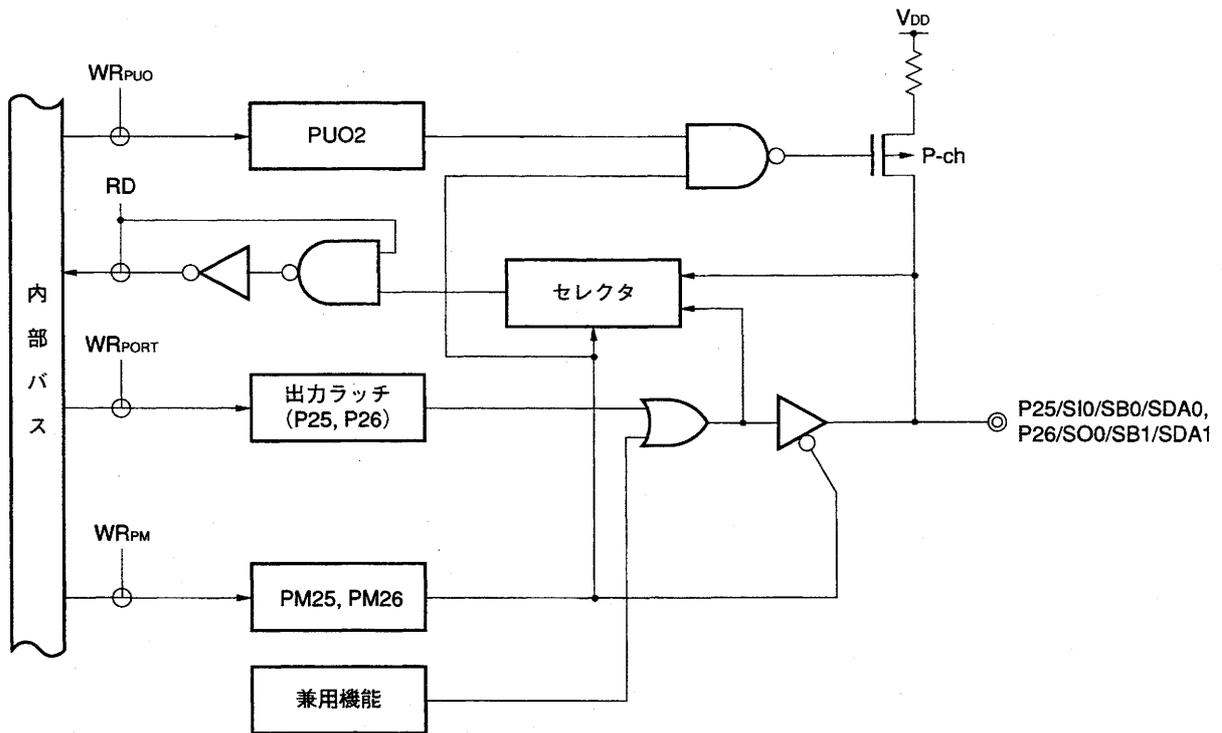
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

RESET入力により、入力モードになります。

図6-7、6-8にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図16-4 シリアル動作モード・レジスタ0のフォーマットを参照してください。

図6-7 P25, P26の構成(μPD78064Yサブシリーズ)



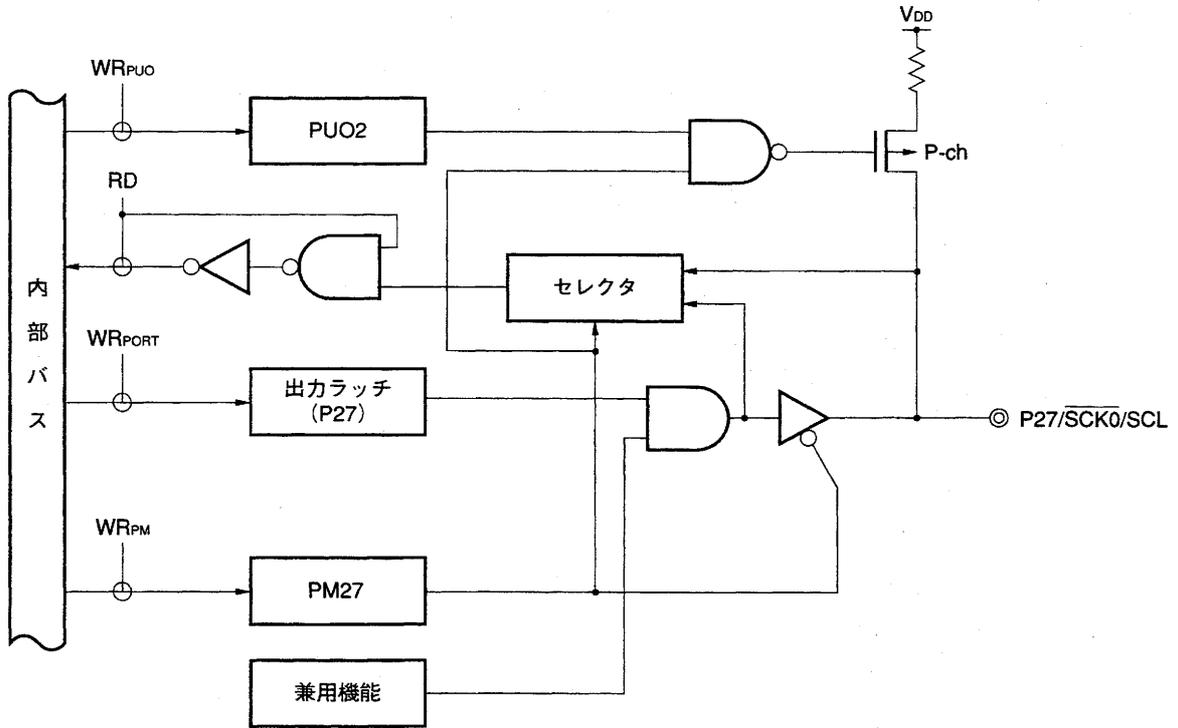
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図6-8 P27の構成(μPD78064Yサブシリーズ)



- PUO : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

6.2.5 ポート3

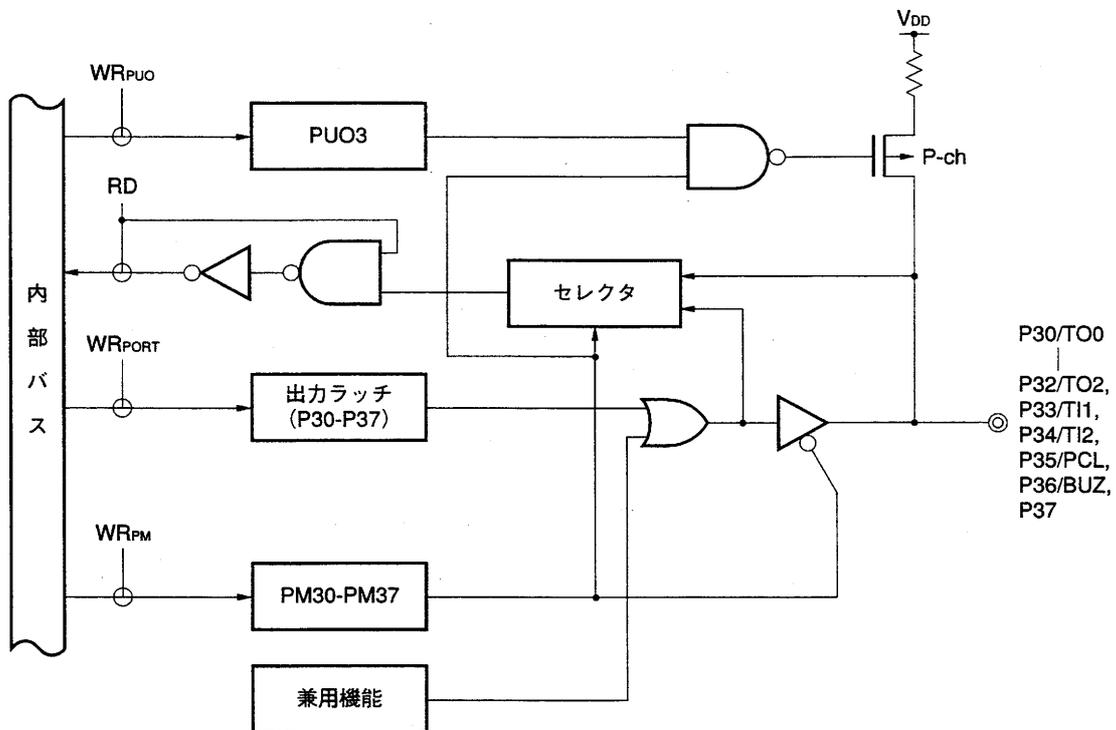
出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート・モード・レジスタ3により、1ビット単位で入力モード/出力モードの指定ができます。P30-P37端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、8ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてタイマの入出力、クロック出力、ブザー出力があります。

RESET入力により、入力モードになります。

図6-9にポート3のブロック図を示します。

図6-9 P30-P37の構成



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

6.2.6 ポート7

出力ラッチ付き3ビット入出力ポートです。ポート・モード・レジスタ7により、1ビット単位で入力モード/出力モードの指定ができます。P70-P72端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、3ビット単位でプルアップ抵抗を接続できます。

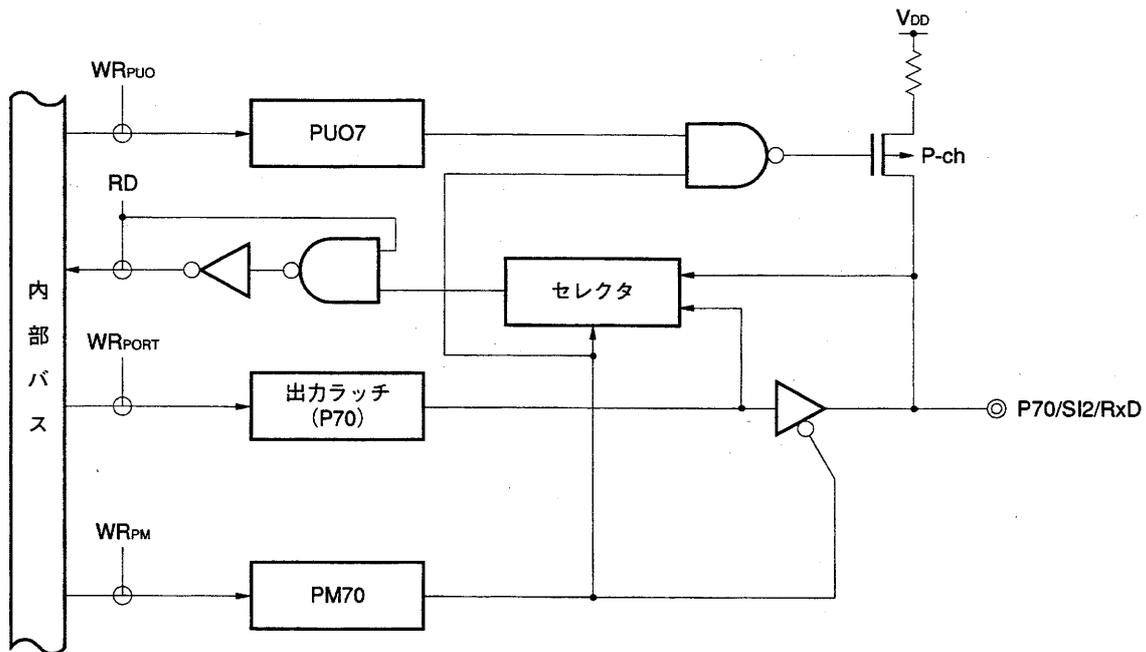
また、兼用機能としてシリアル・インタフェース・チャンネル2のデータ入出力、クロック入出力があります。

RESET入力により、入力モードになります。

図6-10, 6-11にポート7のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

図6-10 P70の構成



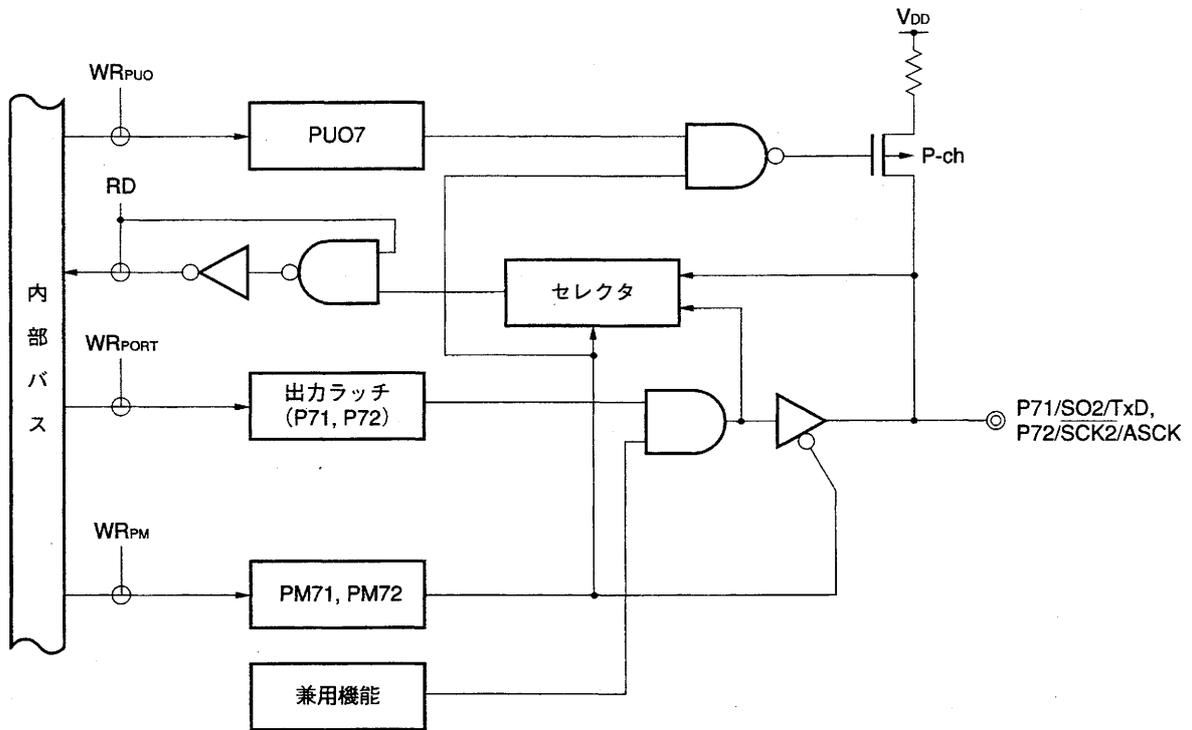
PUO：プルアップ抵抗オプション・レジスタ

PM：ポート・モード・レジスタ

RD：ポート7のリード信号

WR：ポート7のライト信号

図6-11 P71, P72の構成



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

6.2.7 ポート 8

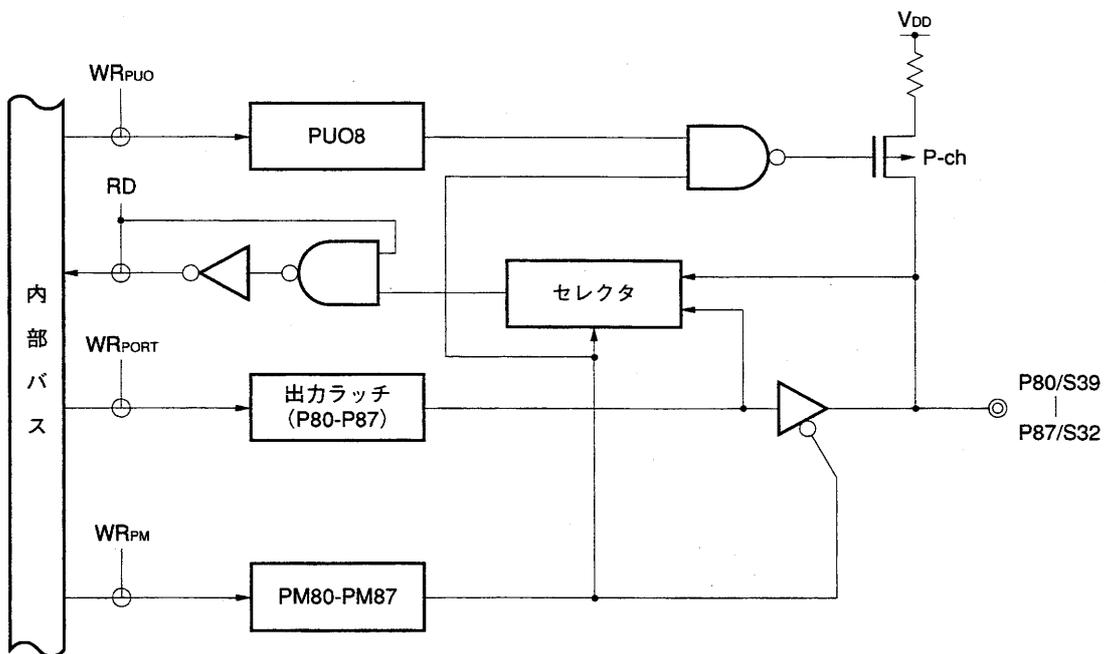
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ 8により、1ビット単位で入力モード/出力モードの指定ができます。P80-P87端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、8ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

RESET入力により、入力モードになります。

図6-12にポート8のブロック図を示します。

図6-12 P80-P87の構成



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート8のリード信号

WR : ポート8のライト信号

6.2.8 ポート9

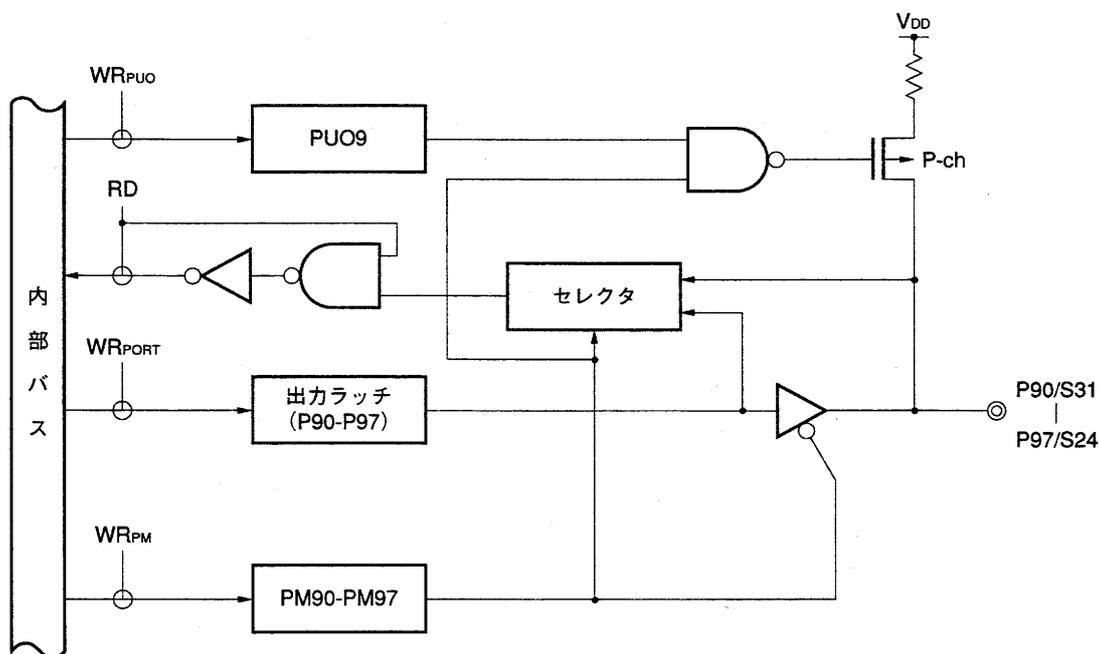
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ9により、1ビット単位で入力モード/出力モードの指定ができます。P90-P97端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、8ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

RESET入力により、入力モードになります。

図6-13にポート9のブロック図を示します。

図6-13 P90-P97の構成



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート9のリード信号

WR : ポート9のライト信号

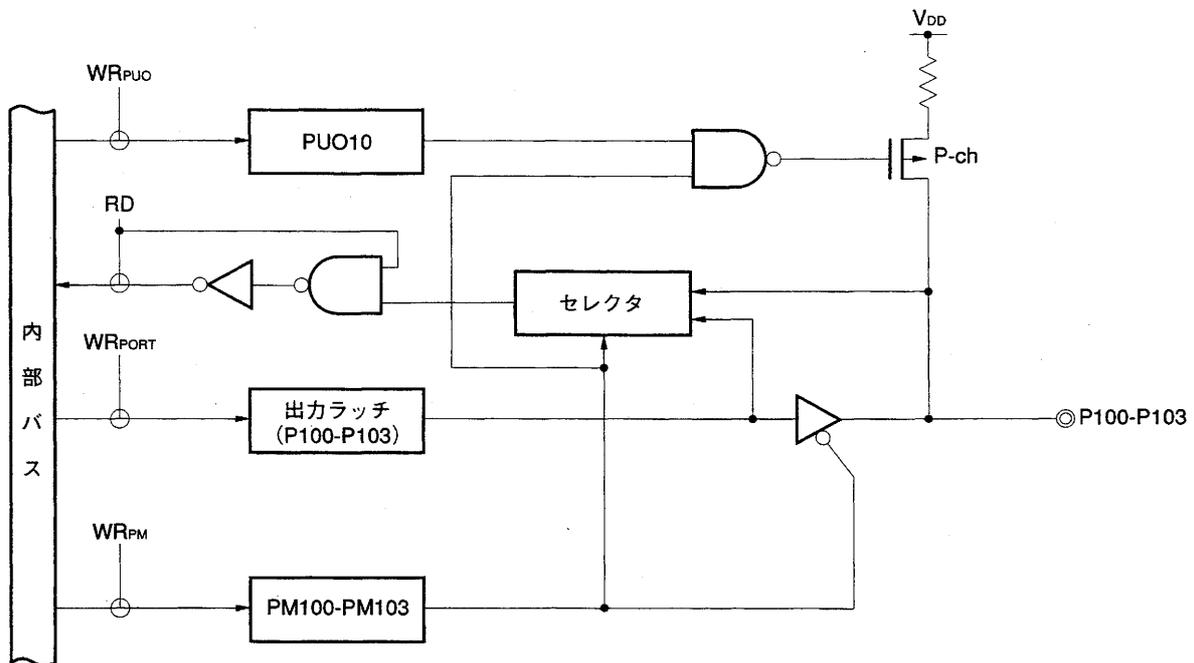
6.2.9 ポート10

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ10により、1ビット単位で入力モード/出力モードの指定ができます。P100-P103端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、4ビット単位でプルアップ抵抗を接続できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図6-14にポート10のブロック図を示します。

図6-14 P100-P103の構成



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート10のリード信号

WR : ポート10のライト信号

6.2.10 ポート11

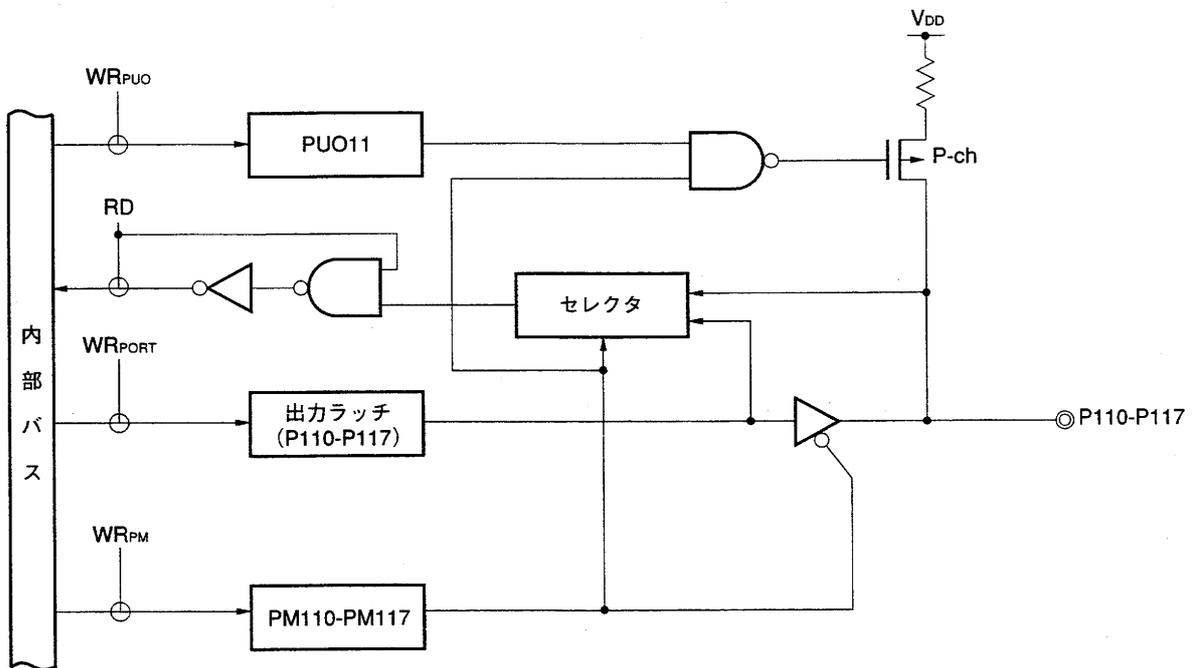
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ11により、1ビット単位で入力モード/出力モードの指定ができます。P110-P117端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、8ビット単位でプルアップ抵抗を接続できます。

立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。

RESET入力により、入力モードになります。

図6-15にポート11のブロック図、図6-16に立ち下がりエッジ検出回路のブロック図を示します。

図6-15 P110-P117の構成



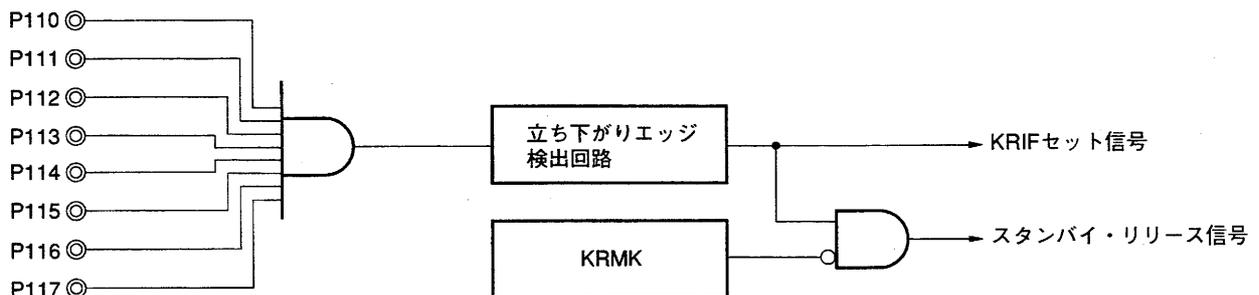
PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート11のリード信号

WR : ポート11のライト信号

図6-16 立ち下がりエッジ検出回路のブロック図



6.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3, PM7-PM11)
- ・プルアップ抵抗オプション・レジスタ (PUOH, PUOL)
- ・キー・リターン・モード・レジスタ (KRM)

(1) ポート・モード・レジスタ (PM0-PM3, PM7-PM11)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0-PM3, PM7-PM11は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表6-4のように設定してください。

注意1. P00, P07端子は、入力専用端子です。

2. ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表6-4 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定

端子名称	兼用機能		PM××	P××
	名称	入出力		
P00	INTP0	入力	1 (固定)	なし
	TI00	入力	1 (固定)	なし
P01	INTP1	入力	1	×
	TI01	入力	1	×
P02-P05	INTP2-INTP5	入力	1	×
P07 ^{注1}	XT1	入力	1 (固定)	なし
P10-P17 ^{注1}	ANI0-ANI7	入力	1	×
P30-P32	TO0-TO2	出力	0	0
P33, P34	TI1, TI2	入力	1	×
P35	PCL	出力	0	0
P36	BUZ	出力	0	0
P80-P87	S39-S32	出力	× ^{注2}	
P90-P97	S31-S24	出力	× ^{注2}	

注1. 兼用機能の端子として使用しているときに、これらのポートに対して読み出し命令を実行した場合、読み出したデータは不定になります。

2. P80-P87, P90-P97端子を兼用機能の端子として使用するときは、LCD表示コントロール・レジスタで機能を設定します。

注意 ポート2, ポート7をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図15-4 シリアル動作モード・レジスタ0のフォーマット, 図16-4 シリアル動作モード・レジスタ0のフォーマット, 表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を参照してください。

備考 × : don't care

PM××: ポート・モード・レジスタ

P××: ポートの出力ラッチ

図6-17 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	PM05	PM04	PM03	PM02	PM01	1	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
★ PM2	PM27	PM26	PM25	1	1	1	1	1	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM7	1	1	1	1	1	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM10	1	1	1	1	PM103	PM102	PM101	PM100	FF2AH	FFH	R/W
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	FF2BH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 7-11 : n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ(PUOH, PUOL)

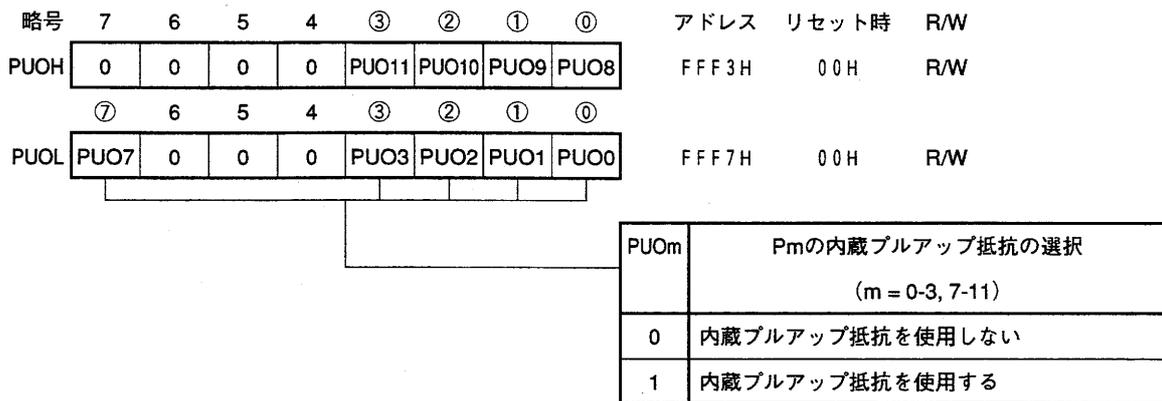
各ポートの内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PUOH, PUOLでプルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットおよびアナログ入力端子として使用するビットは、PUOH, PUOLの設定にかかわらず、プルアップ抵抗を使用できません。

PUOH, PUOLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

注意1. P00, P07端子は、プルアップ抵抗を内蔵していません。

2. ポート1, 8, 9を兼用機能の端子として使用するとき、PUOmに1を設定してもプルアップ抵抗を使用できません(m=1, 8, 9)。

図6-18 プルアップ抵抗オプション・レジスタのフォーマット



注意 PUOHのビット4-ビット7, PUOLのビット4-ビット6には、0を設定してください。

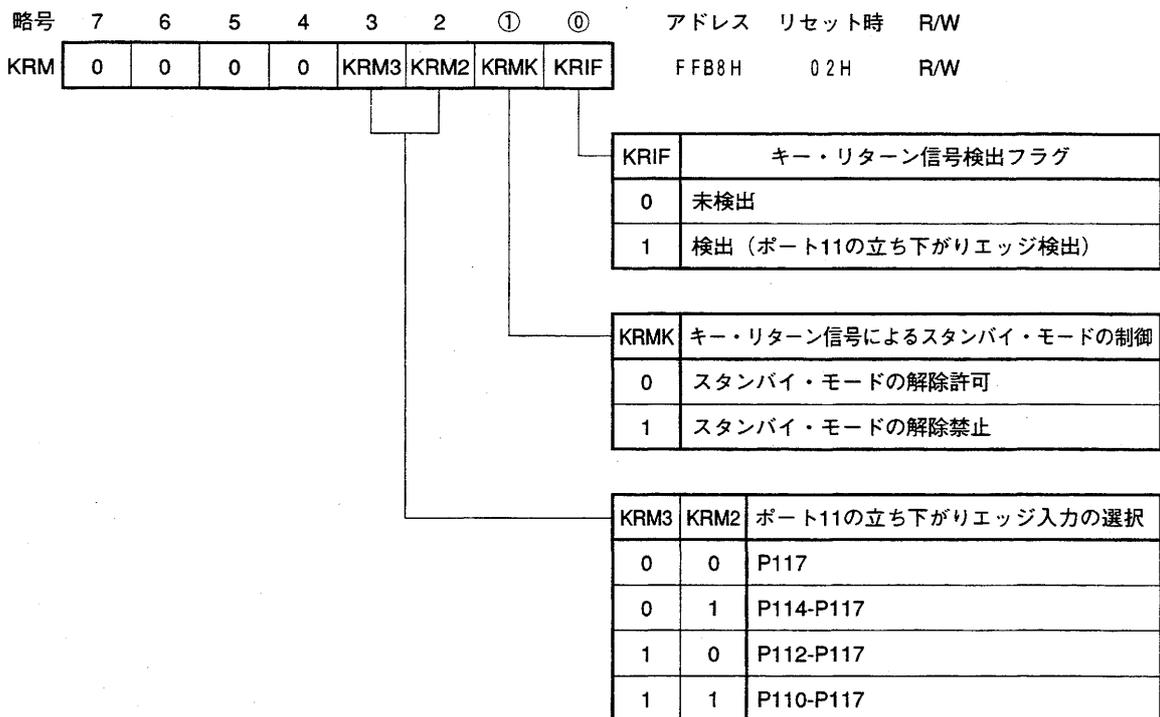
(3) キー・リターン・モード・レジスタ(KRM)

ポート11の立ち下がりエッジ入力の選択, キー・リターン信号(ポート11の立ち下がりエッジ検出)によるスタンバイ・モードの解除の許可/禁止を設定するレジスタです。

KRMは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 02Hになります。

図6-19 キー・リターン・モード・レジスタのフォーマット



注意 ポート11で立ち下がりエッジ検出を使用するとき, 必ずKRIFを0にクリアしてください (KRIFは自動的に0にクリアされません)。

6.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

6.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

6.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

6.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第7章 クロック発生回路

7.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロック発振回路には、次の2種類があります。

(1) メイン・システム・クロック発振回路

1～5.0 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタの設定により、発振を停止できます。

(2) サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタにより、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOPモード時の消費電力を低減することができます。

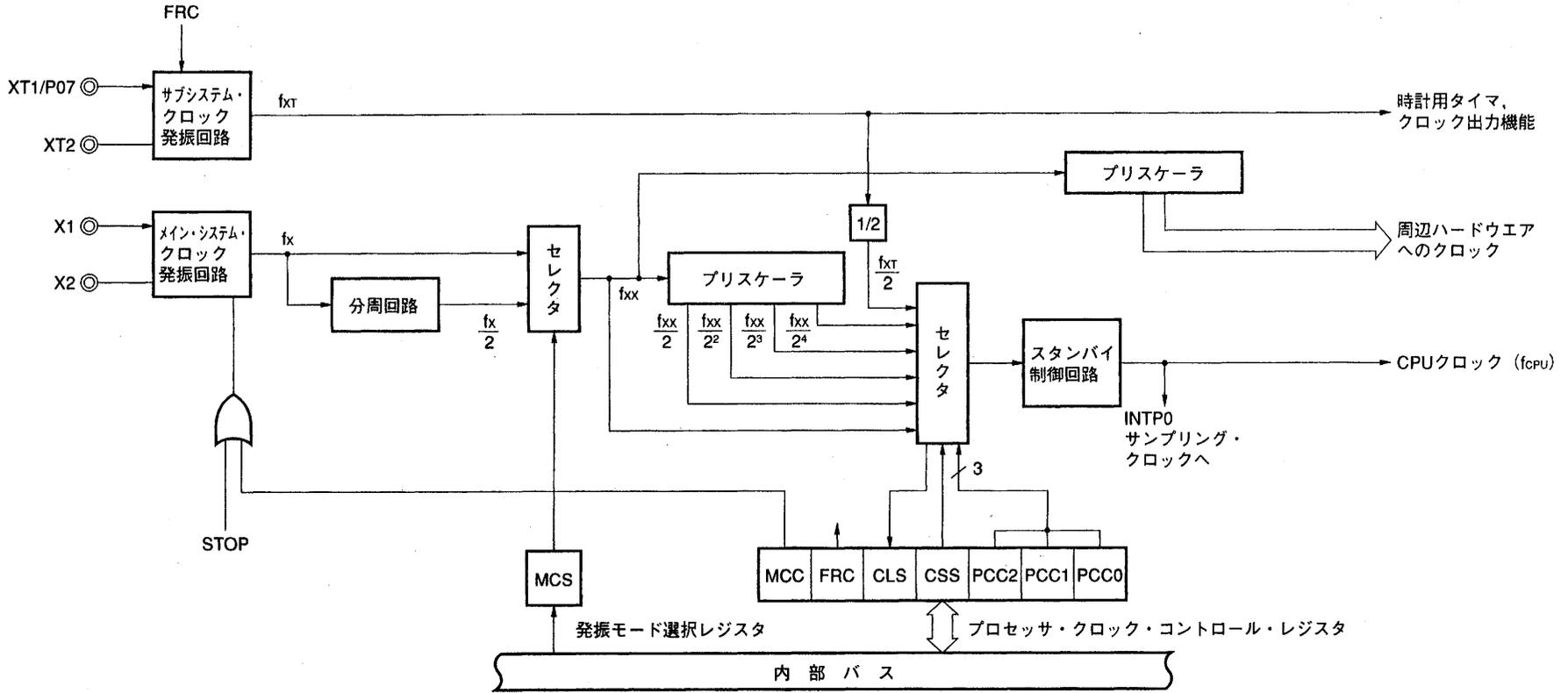
7.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表7-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ(PCC) 発振モード選択レジスタ(OSMS)
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図7-1 クロック発生回路のブロック図



7.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の2種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ(PCC)
- ・発振モード選択レジスタ(OSMS)

(1) プロセッサ・クロック・コントロール・レジスタ(PCC)

CPUクロックの選択、分周比、メイン・システム・クロック発振回路の動作/停止、サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用するか、しないかを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

図7-2 サブシステム・クロックのフィードバック抵抗

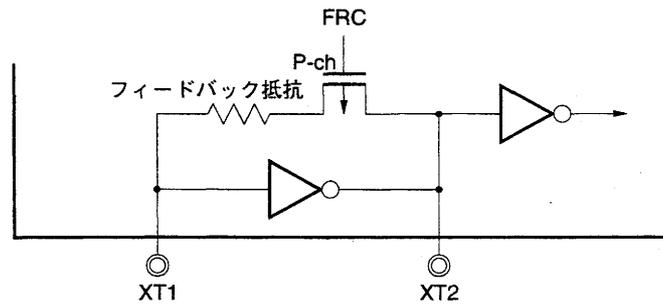


図7-3 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0	FFFBH	04H	R/W ^{注1}

R/W	CSS	PCC2	PCC1	PCC0	CPUクロック選択 (f _{cpu})		
					MCS = 1		MCS = 0
0	0	0	0	0	f _{xx}	f _x (0.4 μs)	f _x /2(0.8 μs)
	0	0	1	0	f _{xx} /2	f _x /2(0.8 μs)	f _x /2 ² (1.6 μs)
	0	1	0	0	f _{xx} /2 ²	f _x /2 ² (1.6 μs)	f _x /2 ³ (3.2 μs)
	0	1	1	0	f _{xx} /2 ³	f _x /2 ³ (3.2 μs)	f _x /2 ⁴ (6.4 μs)
	1	0	0	0	f _{xx} /2 ⁴	f _x /2 ⁴ (6.4 μs)	f _x /2 ⁵ (12.8 μs)
1	0	0	0	0	f _{xT} /2(122 μs)		
	0	0	1	0			
	0	1	0	0			
	0	1	1	0			
	1	0	0	0			
上記以外					設定禁止		

R	CLS	CPUクロックのステータス
0	0	メイン・システム・クロック
1	1	サブシステム・クロック

R/W	FRC	サブシステム・クロックのフィードバック抵抗の選択
0	0	内蔵フィードバック抵抗を使用する
1	1	内蔵フィードバック抵抗を使用しない

R/W	MCC	メイン・システム・クロックの発振の制御 ^{注2}
0	0	発振可能
1	1	発振停止

注1. ビット5は、Read Onlyです。

2. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止は、MCCを使用してください。STOP命令は使用しないでください。

注意 ビット3には、必ず0を設定してください。

備考1. f_{xx} : メイン・システム・クロック周波数(f_xまたはf_x/2)

2. f_x : メイン・システム・クロック発振周波数

3. f_{xT} : サブシステム・クロック発振周波数

4. MCS : 発振モード選択レジスタのビット0

5. ()内は、f_x = 5.0 MHzまたはf_{xT} = 32.768 kHz動作時の最小命令実行時間 : 2/f_{cpu}。

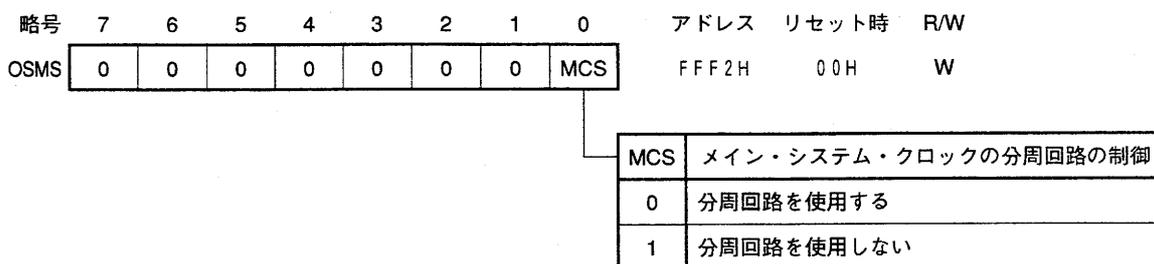
(2) 発振モード選択レジスタ(OSMS)

メイン・システム・クロック発振回路から分周回路を通さずに出力したクロックをメイン・システム・クロックとするか、分周回路を通して出力したクロックをメイン・システム・クロックとするかを設定するレジスタです。

OSMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

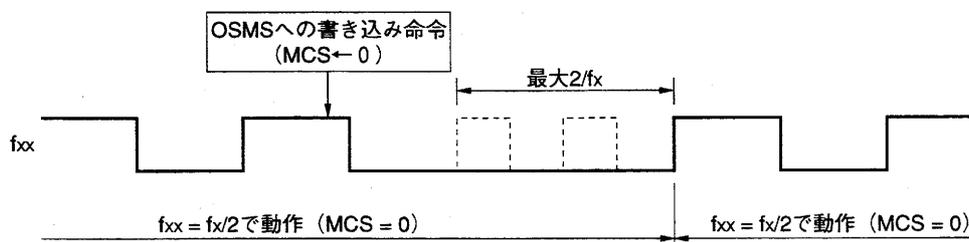
図7-4 発振モード選択レジスタのフォーマット



注意1. OSMSへの書き込み命令(同じ値を書き込む場合を含みます)を実行すると、書き込み命令実行時のみ、メイン・システム・クロック周期が最大 $2/f_x$ 長くなります(図7-5参照)。このため、周辺ハードウェアのうち、メイン・システム・クロックで動作しているハードウェアでは、タイマなどのカウント・クロック周期に一時的な誤差が生じます。また、発振モードを切り替えた場合、CPUに供給されるクロックだけでなく、周辺ハードウェアへ供給されるクロックも切り替わります。したがって、OSMSへの書き込み命令は、リセット解除後、周辺ハードウェアを動作させる前に、一度だけ実行することを推奨します。

★

図7-5 OSMS書き込み時のメイン・システム・クロック



2. MCSに1を設定する場合は、 $V_{DD} \geq 2.7V$ になってから行ってください。

備考 f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

7.4 システム・クロック発振回路

7.4.1 メイン・システム・クロック発振回路

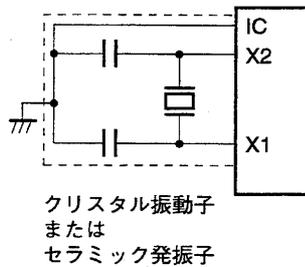
メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子(標準: 5.0 MHz)によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

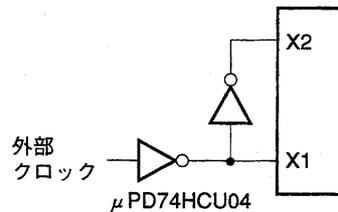
図7-6にメイン・システム・クロック発振回路の外付け回路を示します。

図7-6 メイン・システム・クロック発振回路の外付け回路

(a) クリスタル, セラミック発振



(b) 外部クロック



★

注意 外部クロックを入力しているとき、STOP命令の実行およびMCCに1を設定することはできません。これはX2端子がV_{DD}にプルアップされるためです。

7.4.2 サブシステム・クロック発振回路

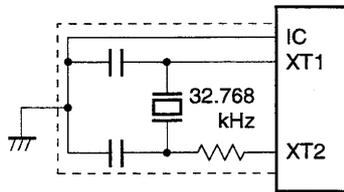
サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子(標準: 32.768 kHz)によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

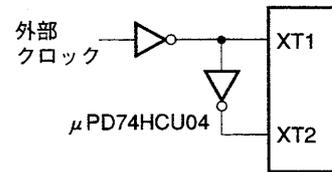
図7-7にサブシステム・クロック発振回路の外付け回路を示します。

図7-7 サブシステム・クロック発振回路の外付け回路

(a) クリスタル発振



(b) 外部クロック



注意を次ページに示します。

注意1. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図7-6、7-7の の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

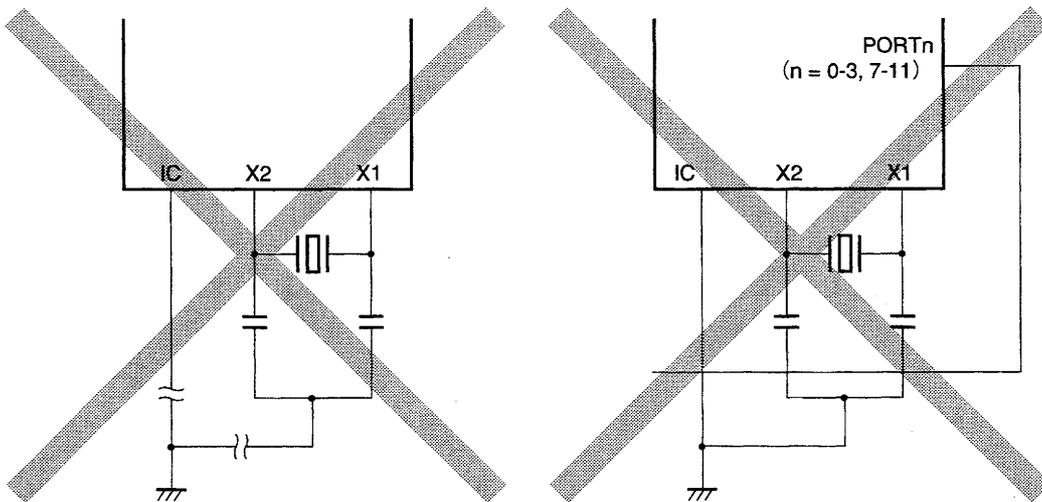
特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

図7-8に発振子の接続の悪い例を示します。

図7-8 発振子の接続の悪い例(1/2)

(a) 接続回路の配線が長い

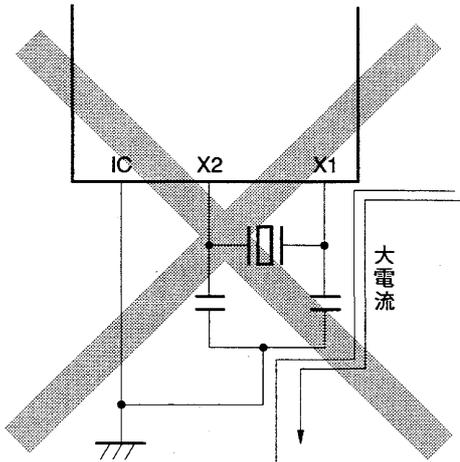
(b) 信号線が交差している



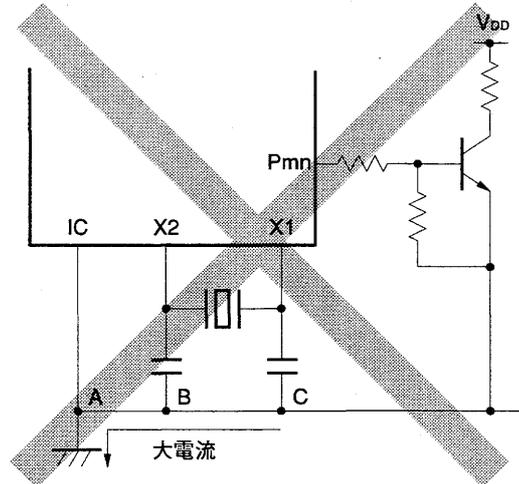
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図7-8 発振子の接続の悪い例(2/2)

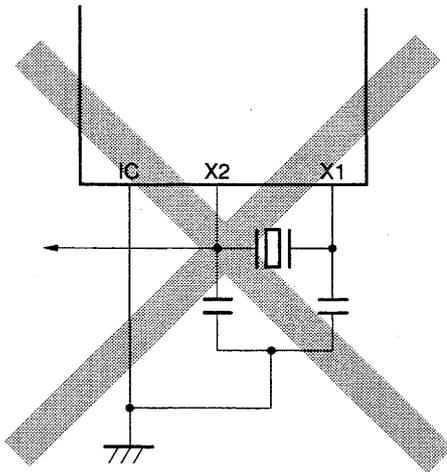
(c) 変化する大電流が信号線に近接している



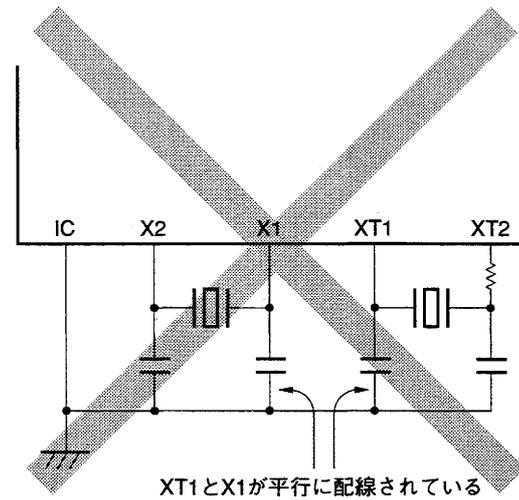
(d) 発振回路部のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)



(e) 信号を取り出している



(f) メイン・システム・クロックとサブシステム・クロックの信号線が平行でかつ隣接している。



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意2. 図7-8(f)ではXT1とX1が平行に配線されています。このためX1のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

これを避けるために、XT1とX1の配線を平行にしないように配線することを推奨します。

7.4.3 分周回路

分周回路は、メイン・システム・クロック発振回路出力(fxx)を分周して、各種クロックを生成します。

7.4.4 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

★

XT1 : V_{DD}に接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるため、プロセッサ・クロック・コントロール・レジスタのビット6 (FRC)により上述の内蔵フィードバック抵抗を取り除くことができます。このときも、XT1, XT2端子の処理は上記と同じです。

7.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_{MX}
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ(PCC)、発振モード選択レジスタ(OSMS)により決定され、次のような機能、動作となります。

- RESET信号発生によりメイン・システム・クロックの最低速モード($12.8\mu s : 5.0\text{ MHz}$ 動作時)が選択されます(PCC = 04H, OSMS = 00H)。なお、RESET端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- メイン・システム・クロックを選択した状態でPCC, OSMSの設定により6段階のCPUクロック($0.4\mu s, 0.8\mu s, 1.6\mu s, 3.2\mu s, 6.4\mu s, 12.8\mu s : 5.0\text{ MHz}$ 動作時)を選択することができます。
- メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、STOPモード時の消費電流をさらに低減するために、サブシステム・クロックの内蔵フィードバック抵抗を切断し、サブシステム・クロックを停止させることができます。
- PCCにより、サブシステム・クロックを選択し、低消費電流で動作する($122\mu s : 32.768\text{ kHz}$ 動作時)ことができます。
- サブシステム・クロックを選択した状態で、PCCによりメイン・システム・クロックの発振を停止することができます。また、HALTモードを使用することができます。しかし、STOPモードを使用することはできません(サブシステム・クロックの発振を停止させることはできません)。
- 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、16ビット・タイマ/イベント・カウンタ、時計用タイマ、クロック出力機能にのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも16ビット・タイマ/イベント・カウンタ(サブシステム・クロック動作時でカウント・クロックに時計用タイマ出力を選択したとき)、時計機能、クロック出力機能は、継続して使用することができます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します(ただし、外部からの入力クロック動作は除く)。

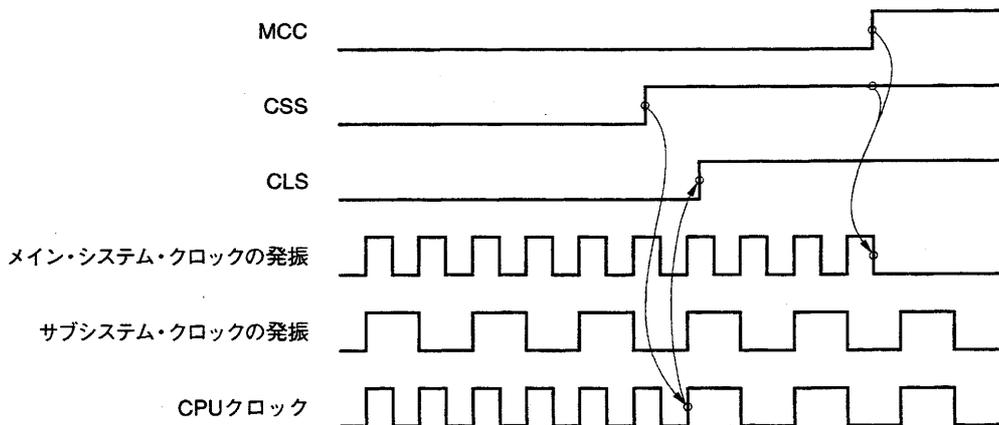
7.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット5 (CLS)が0のとき)、PCCの設定により次のように動作します。

- (a) 電源電圧により動作保証命令実行速度が異なるため、PCCのビット0-ビット2(PCC0-PCC2)により命令実行時間を変更することができます。
- (b) メイン・システム・クロックで動作しているときPCCのビット7 (MCC)を1に設定してもメイン・システム・クロックの発振は停止しません。そのあとPCCのビット4 (CSS)を1に設定し、サブシステム・クロック動作に切り替わったあと(CLS=1)、メイン・システム・クロックの発振が停止します(図7-9参照)。

図7-9 メイン・システム・クロックの停止機能(1/2)

(a) メイン・システム・クロック動作時にCSSをセットしたあと、MCCをセットしたときの動作



(b) メイン・システム・クロック動作時にMCCをセットしたときの動作

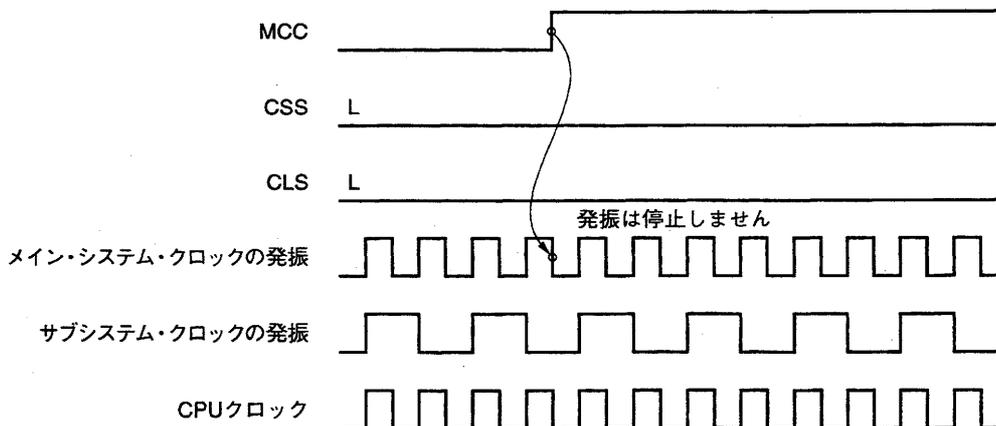
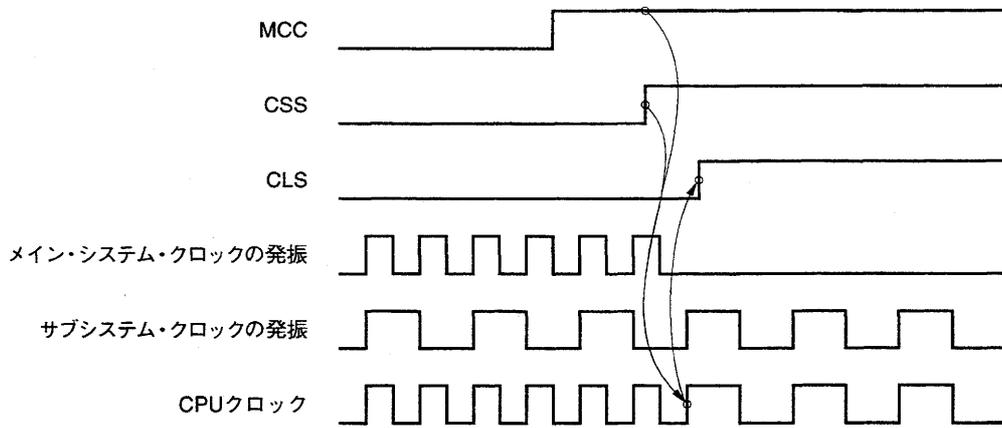


図7-9 メイン・システム・クロックの停止機能(2/2)

(c) メイン・システム・クロック動作時にMCCをセットしたあと、CSSをセットしたときの動作



7.5.2 サブシステム・クロックの動作

サブシステム・クロック動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット5 (CLS)が1のとき)、次のように動作します。

- (a) PCCのビット0-ビット2 (PCC0-PCC2)に関係なく命令実行時間は一定(122 μ s : 32.768 kHz動作時)です。
- (b) ウォッチドッグ・タイマのカウントが停止します。

注意 サブシステム・クロック動作中はSTOP命令を実行しないでください。

7.6 システム・クロックとCPUクロックの設定の変更

7.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-ビット2(PCC0-PCC2)とビット4(CSS)により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します(表7-2参照)。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかの判定は、PCCのビット5(CLS)で行えます。

表7-2 CPUクロックの切り替えに要する最大時間

切り替え後の設定値					切り替え前の設定値																																						
MCS	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0																			
					0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×															
×	0	0	0	0	8命令				4命令				2命令				1命令				1命令																						
																									0	0	1	16命令				4命令				2命令				1命令			
																									0	1	0	16命令				8命令				2命令				1命令			
																									0	1	1	16命令				8命令				4命令				1命令			
																									1	0	0	16命令				8命令				4命令				2命令			
1	1	×	×	×	fx/2fx _{XT} 命令 (77命令)				fx/4fx _{XT} 命令 (39命令)				fx/8fx _{XT} 命令 (20命令)				fx/16fx _{XT} 命令 (10命令)				fx/32fx _{XT} 命令 (5命令)				1命令																		
					fx/4fx _{XT} 命令 (39命令)				fx/8fx _{XT} 命令 (20命令)				fx/16fx _{XT} 命令 (10命令)				fx/32fx _{XT} 命令 (5命令)				fx/64fx _{XT} 命令 (3命令)																						

注意 CPUクロックの分周の選択(PCC0-PCC2)とメイン・システム・クロックからサブシステム・クロックへの切り替え(CSSを0→1)を同時に行わないでください。ただし、CPUクロックの分周の選択(PCC0-PCC2)とサブシステム・クロックからメイン・システム・クロックへの切り替え(CSSを1→0)は同時に設定可能です。

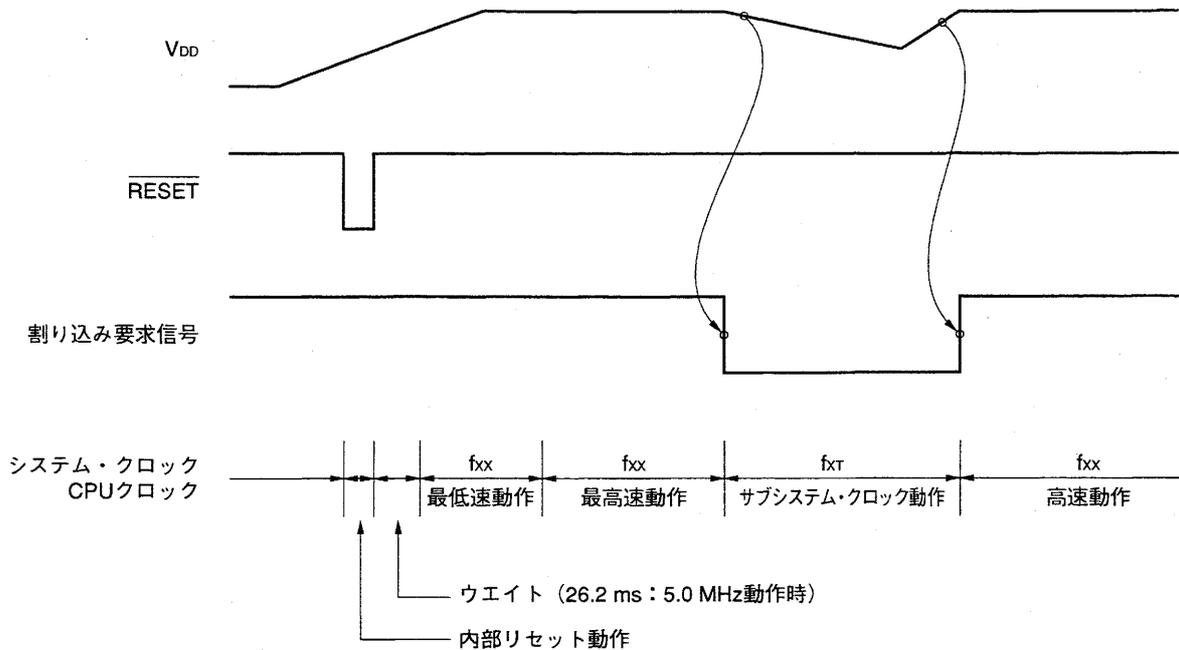
備考1. 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

2. ()内はfx = 5.0 MHz, fx_{XT} = 32.768 kHz時。

7.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図7-10 システム・クロックとCPUクロックの切り替え



- ① 電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間($2^{17}/f_x$)を確保します。
その後、CPUはメイン・システム・クロックの最低速(12.8 μs : 5.0 MHz動作時)で命令の実行を開始します。
- ② V_{DD}電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、PCC, OSMSを書き換えて最高速動作を行います。
- ③ V_{DD}電圧が低下したことを割り込みなどにより検出し、サブシステム・クロックに切り替えます(このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。
- ④ V_{DD}電圧が復帰したことを割り込みなどにより検出し、MCCに0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC, OSMSを書き換えて最高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

[× 毛]

第8章 16ビット・タイマ/イベント・カウンタ

μPD78064, 78064Yサブシリーズが内蔵しているタイマの概要を以下に示します。

(1) 16ビット・タイマ/イベント・カウンタ(TM0)

インターバル・タイマ, PWM出力, パルス幅測定(赤外線リモコン受信機能), 外部イベント・カウンタ, 任意の周波数の方形波出力, ワンショット・パルス出力などに使用することができます。

(2) 8ビット・タイマ/イベント・カウンタ(TM1, TM2)

インターバル・タイマ, 外部イベント・カウンタ, 任意の周波数の方形波出力などに使用することができます。また, 2本の8ビット・タイマ/イベント・カウンタを1本の16ビット・タイマ/イベント・カウンタとして使用することもできます(第9章 8ビット・タイマ/イベント・カウンタ参照)。

(3) 時計用タイマ(TM3)

0.5秒ごとにフラグをセット, および, あらかじめ設定した任意の時間間隔で割り込みを同時に発生することができます(第10章 時計用タイマ参照)。

(4) ウォッチドッグ・タイマ(WDTM)

ウォッチドッグ・タイマ, あるいは, あらかじめ設定した任意の時間間隔でノンマスカブル割り込み, マスカブル割り込み, $\overline{\text{RESET}}$ を発生することができます(第11章 ウォッチドッグ・タイマ参照)。

(5) クロック出力制御回路

メイン・システム・クロックを分周したクロックおよびサブシステム・クロックをほかのデバイスに供給する回路です(第12章 クロック出力制御回路参照)。

(6) ブザー出力制御回路

メイン・システム・クロックを分周したブザー周波数を出力する回路です(第13章 ブザー出力制御回路参照)。

表8-1 タイマ/イベント・カウンタの種類と機能

		16ビット・タイマ/イベント・カウンタ	8ビット・タイマ/イベント・カウンタ	時計用タイマ	ウォッチドッグ・タイマ
種類	インターバル・タイマ	2チャンネル ^{注1}	2チャンネル	1チャンネル ^{注2}	1チャンネル ^{注3}
	外部イベント・カウンタ	○	○	—	—
機能	タイマ出力	○	○	—	—
	PWM出力	○	—	—	—
	パルス幅測定	○	—	—	—
	方形波出力	○	○	—	—
	ワンショット・パルス出力	○	—	—	—
	割り込み要求	○	○	○	○
	テスト入力	—	—	○	—

注1. キャプチャ/コンペア・レジスタ00, 01(CR00, CR01)をともにコンペア・レジスタに指定したとき。

2. TM3は時計用タイマとインターバル・タイマの機能を同時に使用可能です。

3. WDTMはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

8.1 16ビット・タイマ/イベント・カウンタの機能

16ビット・タイマ/イベント・カウンタ(TM0)には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力
- ・パルス幅測定
- ・外部イベント・カウンタ
- ・方形波出力
- ・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表 8-2 16ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
—	2×1/fx (400 ns)	—	2 ¹⁶ ×1/fx (13.1 ms)	—	1/fx (200 ns)
2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考 1. fx : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット 0

3. ()内は, fx = 5.0 MHz動作時。

(2) PWM出力

14ビット分解能のPWM出力ができます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

表8-3 16ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
—	2×1/fx (400 ns)	—	2 ¹⁶ ×1/fx (13.1 ms)	—	1/fx (200 ns)
2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考1. fx :メイン・システム・クロック発振周波数

2. MCS :発振モード選択レジスタのビット0

3. ()内は、fx = 5.0 MHz動作時。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力することができます。

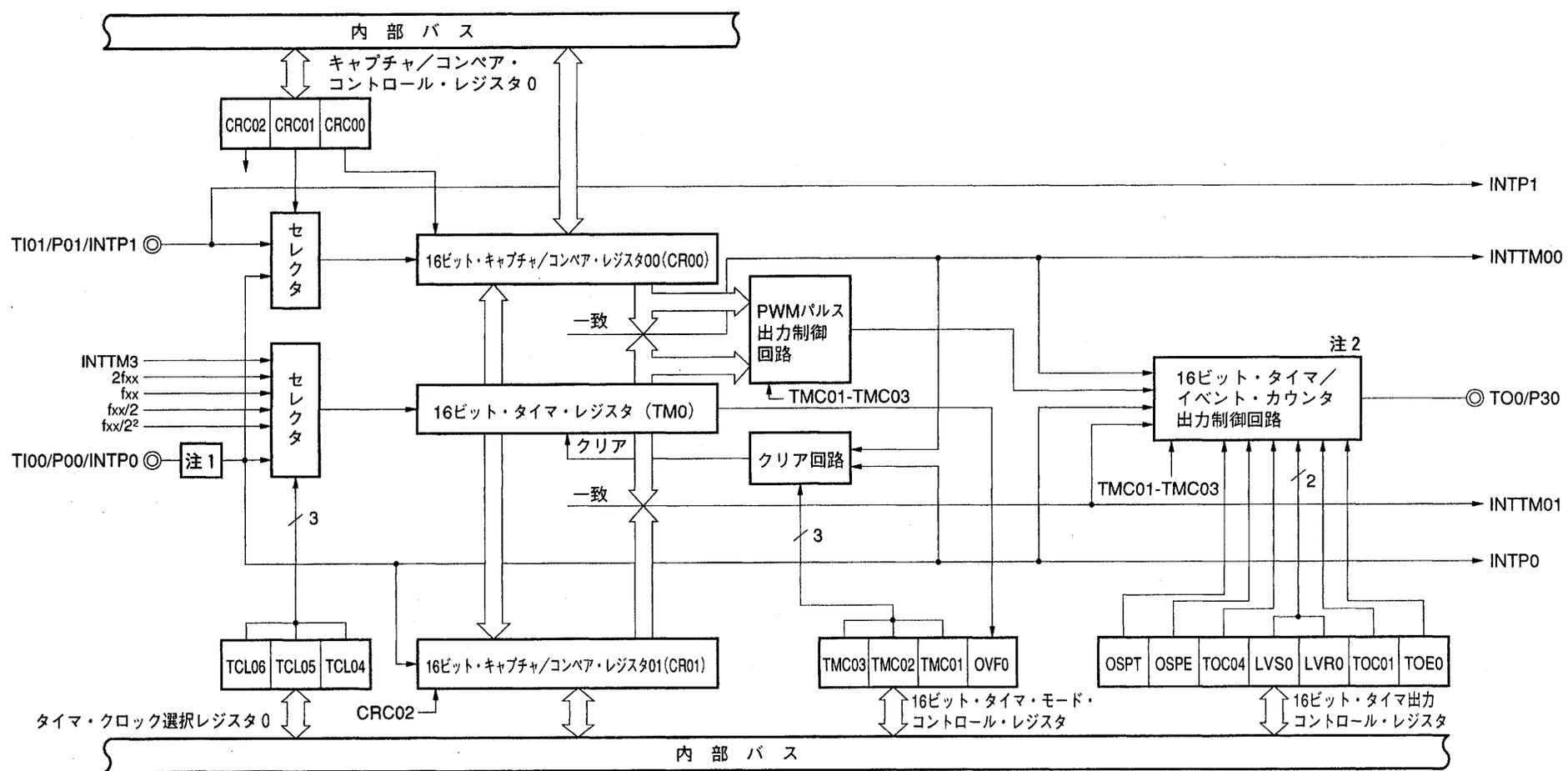
8.2 16ビット・タイマ/イベント・カウンタの構成

16ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表8-4 16ビット・タイマ/イベント・カウンタの構成

項目	構成
タイマ・レジスタ	16ビット×1本(TM0)
レジスタ	キャプチャ/コンペア・レジスタ:16ビット×2本(CR00, CR01)
タイマ出力	1本(TO0)
制御レジスタ	タイマ・クロック選択レジスタ0 (TCL0) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ(TOC0) ポート・モード・レジスタ3 (PM3) 外部割り込みモード・レジスタ0 (INTM0) サンプリング・クロック選択レジスタ(SCS)

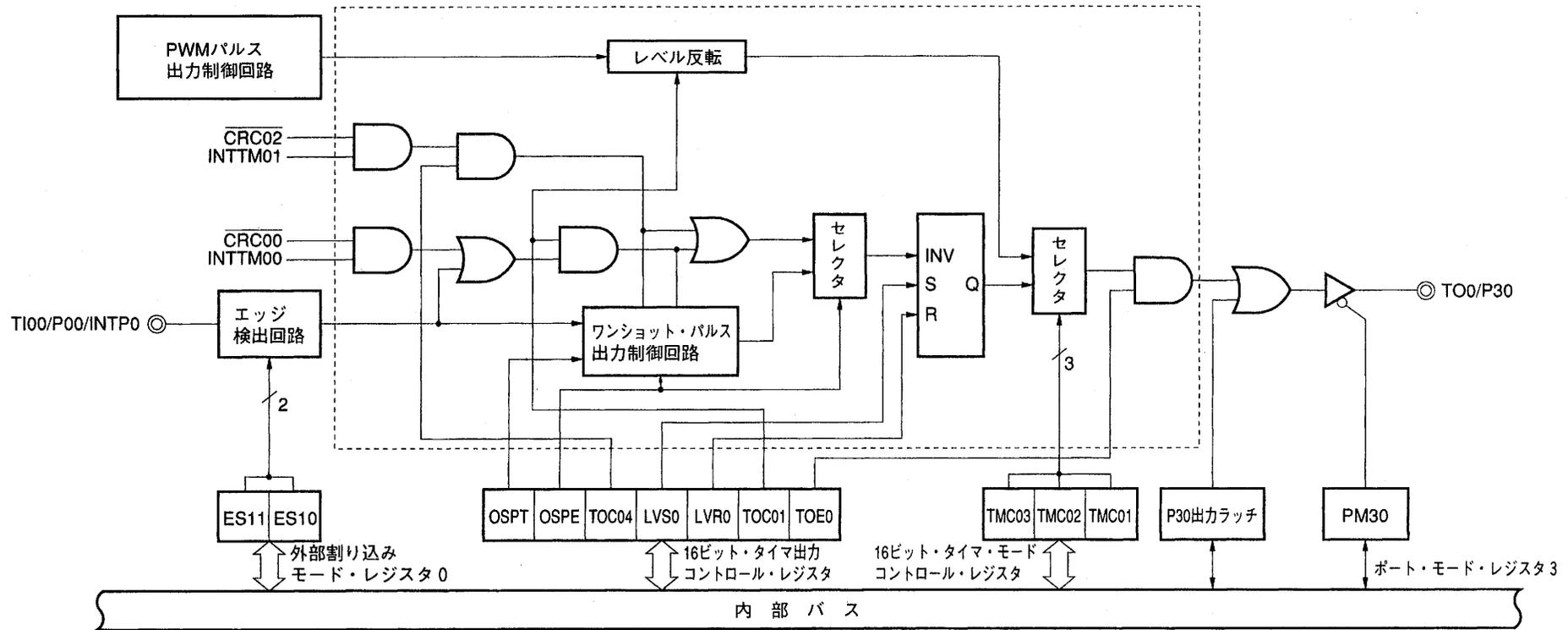
図8-1 16ビット・タイマ/イベント・カウンタのブロック図



注1. エッジ検出回路

2. 16ビット・タイマ/イベント・カウンタの出力制御回路の構成は、図8-2を参照してください。

図 8-2 16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図



備考 破線部内が出力制御回路です。

(1) キャプチャ/コンペア・レジスタ0(CR00)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0のビット0(CRC00)により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR00をコンペア・レジスタとして使用するとき、CR00に設定した値と16ビット・タイマ・レジスタ(TM0)のカウント値を常に比較し、一致したときに割り込み要求(INTTM00)を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタおよびPWM動作モード時のパルス幅を設定するレジスタとしても使用できます。

CR00をキャプチャ・レジスタとして使用するとき、キャプチャ・トリガとしてINTP0/TI00端子、またはINTP1/TI01端子の有効エッジが選択できます。INTP0/TI00, INTP1/TI01の有効エッジの設定は外部割り込みモード・レジスタ0で行います。

ただし、CR00をキャプチャ・レジスタとして指定し、キャプチャ・トリガをINTP0/TI00端子の有効エッジに指定したときは、次の表のようになります。

表8-5 INTP0/TI00端子の有効エッジとCR00のキャプチャ・トリガの有効エッジ

ES11	ES10	INTP0/TI00端子の有効エッジ	CR00のキャプチャ・トリガの有効エッジ
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	キャプチャ動作しない

CR00は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(2) キャプチャ/コンペア・レジスタ01(CR01)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0のビット2(CRC02)により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR01をコンペア・レジスタとして使用するとき、CR01に設定した値と16ビット・タイマ・レジスタ(TM0)のカウント値を常に比較し、一致したときに割り込み要求(INTTM01)を発生します。

CR01をキャプチャ・レジスタとして使用するとき、キャプチャ・トリガとしてINTP0/TI00端子の有効エッジが選択できます。INTP0/TI00の有効エッジの設定は外部割り込みモード・レジスタ0で行います。

CR01は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) 16ビット・タイマ・レジスタ(TM0)

カウント・パルスをカウントする16ビットのレジスタです。

TM0は、16ビット・メモリ操作命令で読み出します。TM0を読み出す場合にはキャプチャ/コンペア・レジスタ01(CR01)をキャプチャ・レジスタに設定したのちに行ってください。

$\overline{\text{RESET}}$ 入力により、0000Hになります。

注意 TM0の値の読み出しはCR01を介して行いますので、CR01の値を破壊します。

8.3 16ビット・タイマ/イベント・カウンタを制御するレジスタ

16ビット・タイマ/イベント・カウンタは、次の7種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ0 (TCL0)
- ・16ビット・タイマ・モード・コントロール・レジスタ(TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ(TOC0)
- ・ポート・モード・レジスタ3 (PM3)
- ・外部割り込みモード・レジスタ0 (INTM0)
- ・サンプリング・クロック選択レジスタ(SCS)

(1) タイマ・クロック選択レジスタ0 (TCL0)

16ビット・タイマ・レジスタのカウント・クロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL0は、16ビット・タイマ・レジスタのカウント・クロックの設定以外に、PCL出力のクロックを設定する機能があります。

図8-3 タイマ・クロック選択レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	f _{XT} (32.768 kHz)		
0	1	0	1	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	0	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
0	1	1	1	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	0	0	0	f _{XX} /2 ³	f _X /2 ³ (625 kHz)	f _X /2 ⁴ (313 kHz)
1	0	0	1	f _{XX} /2 ⁴	f _X /2 ⁴ (313 kHz)	f _X /2 ⁵ (156 kHz)
1	0	1	0	f _{XX} /2 ⁵	f _X /2 ⁵ (156 kHz)	f _X /2 ⁶ (78.1 kHz)
1	0	1	1	f _{XX} /2 ⁶	f _X /2 ⁶ (78.1 kHz)	f _X /2 ⁷ (39.1 kHz)
1	1	0	0	f _{XX} /2 ⁷	f _X /2 ⁷ (39.1 kHz)	f _X /2 ⁸ (19.5 kHz)
上記以外				設定禁止		

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウント・クロックの選択		
			MCS = 1		MCS = 0
0	0	0	TI00 (有効エッジ指定可能)		
0	0	1	2f _{XX}	設定禁止	f _X (5.0 MHz)
0	1	0	f _{XX}	f _X (5.0 MHz)	f _X /2 (2.5 MHz)
0	1	1	f _{XX} /2	f _X /2 (2.5 MHz)	f _X /2 ² (1.25 MHz)
1	0	0	f _{XX} /2 ²	f _X /2 ² (1.25 MHz)	f _X /2 ³ (625 kHz)
1	1	1	時計用タイマ出力 (INTTM3)		
上記以外			設定禁止		

CLOE	PCL出力の制御
0	出力禁止
1	出力許可

- 注意1. TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0で行います。また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタで行います。
2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
 3. TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、キャプチャ/コンペア・レジスタ01 (CR01) からではなく、TM0から読み出してください。
 4. TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$).
2. f_x : メイン・システム・クロック発振周波数
 3. f_{xT} : サブシステム・クロック発振周波数
 4. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 5. TM0 : 16ビット・タイマ・レジスタ
 6. MCS : 発振モード選択レジスタのビット0
 7. ()内は, $f_x = 5.0 \text{ MHz}$ または $f_{xT} = 32.768 \text{ kHz}$ 動作時。

(2) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

16ビット・タイマの動作モード, 16ビット・タイマ・レジスタのクリア・モード, 出力タイミングの設定, オーバフローを検出するレジスタです。

TMC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

注意 16ビット・タイマ・レジスタは, TMC01-TMC03に0, 0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。動作を停止させるには, TMC01-TMC03に0, 0, 0を設定してください。

図8-4 16ビット・タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC0	0	0	0	0	TMC03	TMC02	TMC01	OVF0	FF48H	00H	R/W

OVF0	16ビット・タイマ・レジスタのオーバフロー検出
0	オーバフローなし
1	オーバフローあり

TMC03	TMC02	TMC01	動作モードおよび クリア・モードの選択	TO0の出力 タイミングの選択	割り込みの発生
0	0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	0	1	PWMモード (フリーランニング)	PWMパルス出力	TM0とCR00の一致 および
0	1	0	フリーランニング・モード	TM0とCR00の一致または TM0とCR01の一致	TM0とCR01の一致 で発生
0	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	
1	0	0	TI00の有効エッジで クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	0	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	
1	1	0	TM0とCR00の一致で クリア&スタート	TM0とCR00の一致または TM0とCR01の一致	
1	1	1		TM0とCR00の一致, TM0とCR01の一致または TI00の有効エッジ	

- 注意1. クリア・モードおよびTO0の出力タイミングの切り替えは、タイマ動作を停止(TMC01-TMC03に、0,0,0を設定)させたのちに行ってください。
- TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0で行います。また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタで行います。
 - PWMモードを使用するときは、PWMモード設定後、CR00にデータを設定してください。
 - TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。

- 備考 TO0 : 16ビット・タイマ/イベント・カウンタの出力端子
 TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 TM0 : 16ビット・タイマ・レジスタ
 CR00 : コンペア・レジスタ00
 CR01 : コンペア・レジスタ01

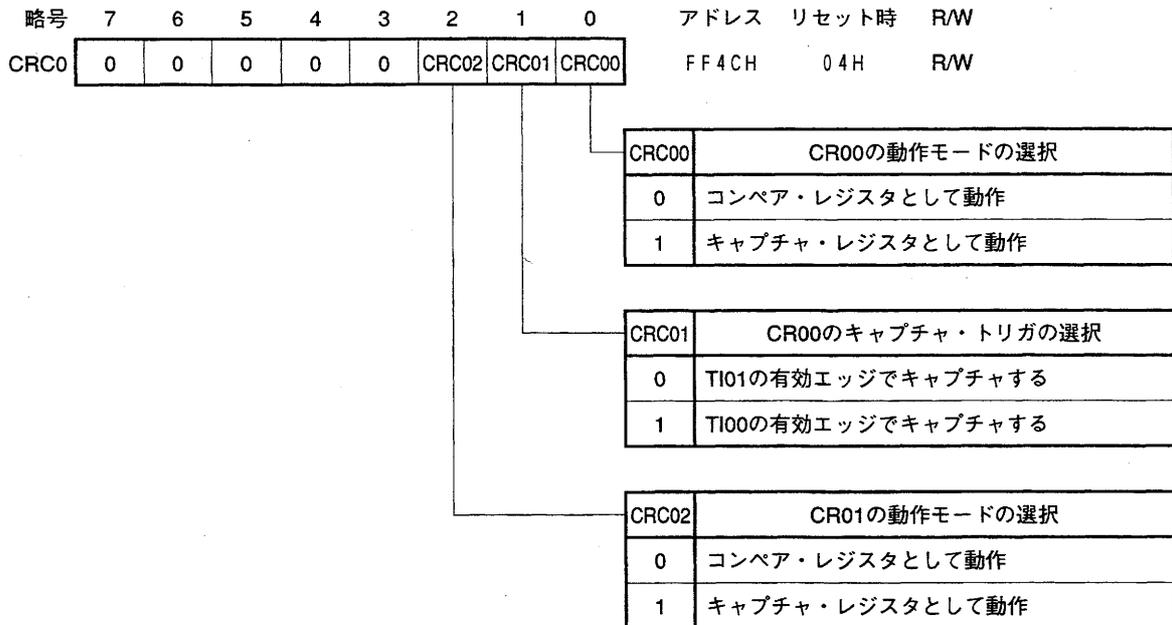
(3) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01)の動作を制御するレジスタです。

CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、04Hになります。

図8-5 キャプチャ/コンペア・コントロール・レジスタ0のフォーマット



注意1. CRC0の設定は、必ずタイマ動作を停止させたのちに行ってください。

2. 16ビット・タイマ・モード・コントロール・レジスタで、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。

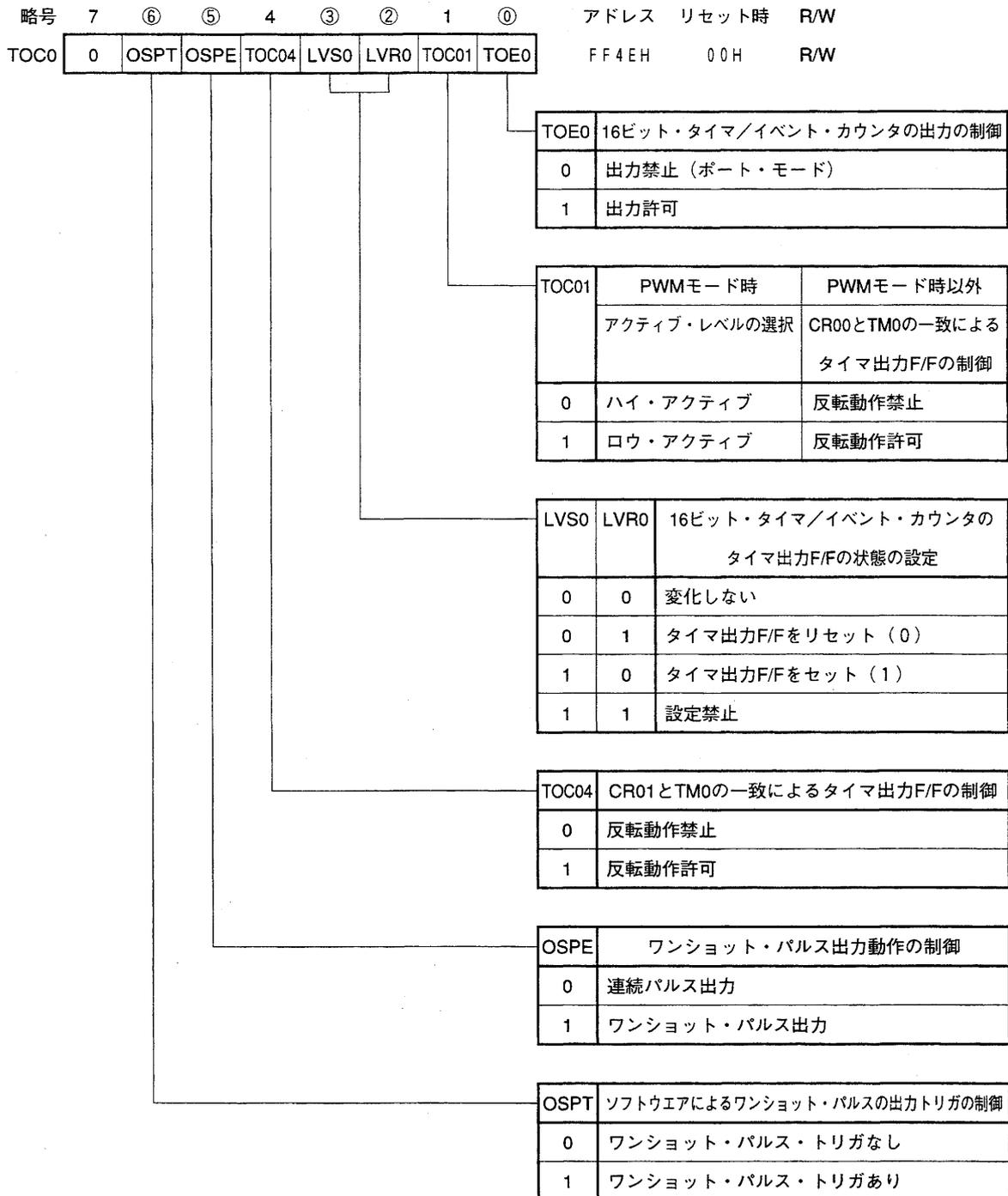
(4) 16ビット・タイマ出力コントロール・レジスタ (TOC0)

16ビット・タイマ/イベント・カウンタ出力制御回路の動作を制御するレジスタです。R-S型フリップフロップ(LV0)のセット/リセット、PWMモード時のアクティブ・レベル、PWMモード時以外での出力の反転許可/禁止、16ビット・タイマ/イベント・カウンタのタイマ出力許可/禁止、ワンショット・パルス出力動作の許可/禁止、ソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図8-6 16ビット・タイマ出力コントロール・レジスタのフォーマット



- 注意1. TOC0の設定は、必ずタイマ動作を停止させたのちに行ってください。
2. LVS0, LVR0は、データ設定後に読み出すと0になっています。
3. OSPTは、データ設定後自動的にクリアされますので、読み出すと0になっています。

(5) ポート・モード・レジスタ3 (PM3)

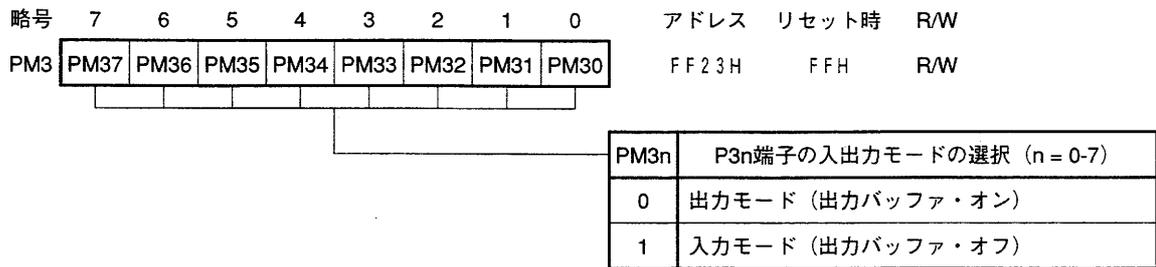
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/TO0端子をタイマ出力として使用するとき、PM30およびP30の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図8-7 ポート・モード・レジスタ3のフォーマット



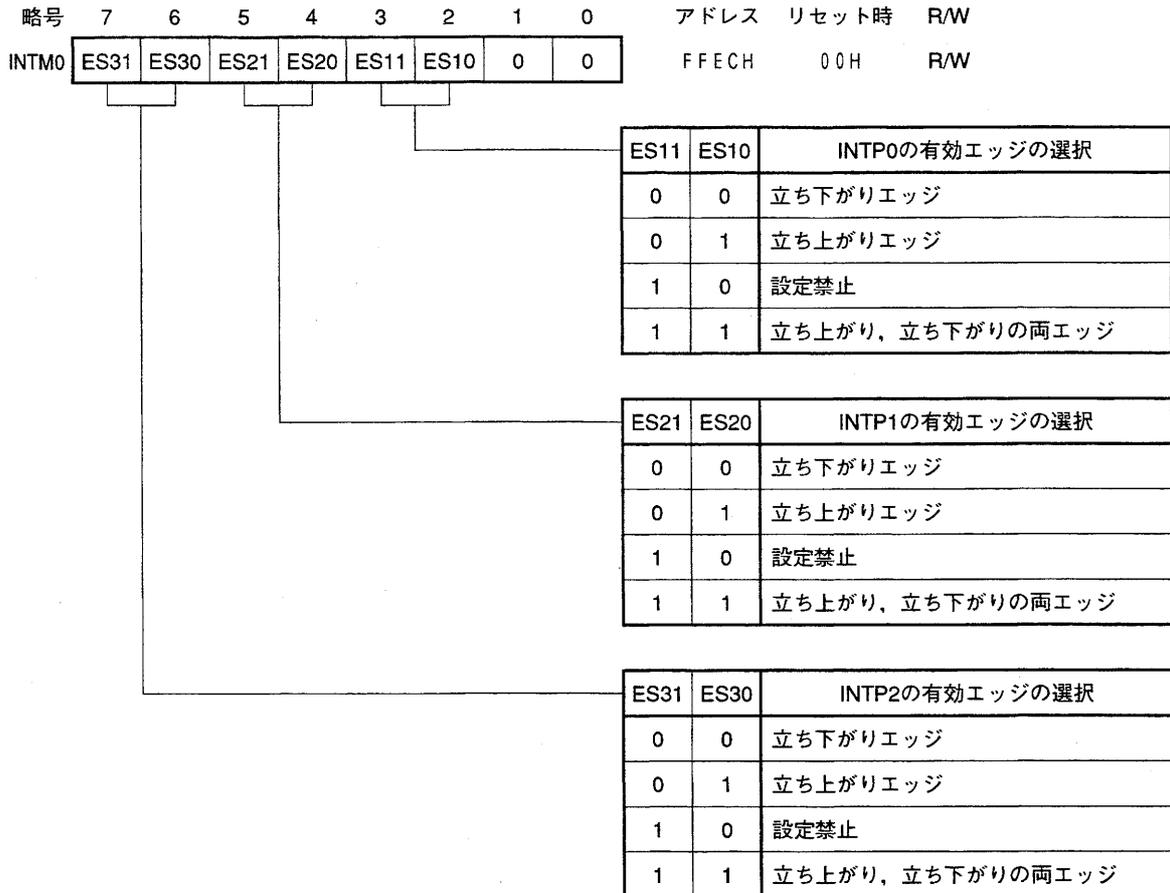
(6) 外部割り込みモード・レジスタ0 (INTM0)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図8-8 外部割り込みモード・レジスタ0のフォーマット



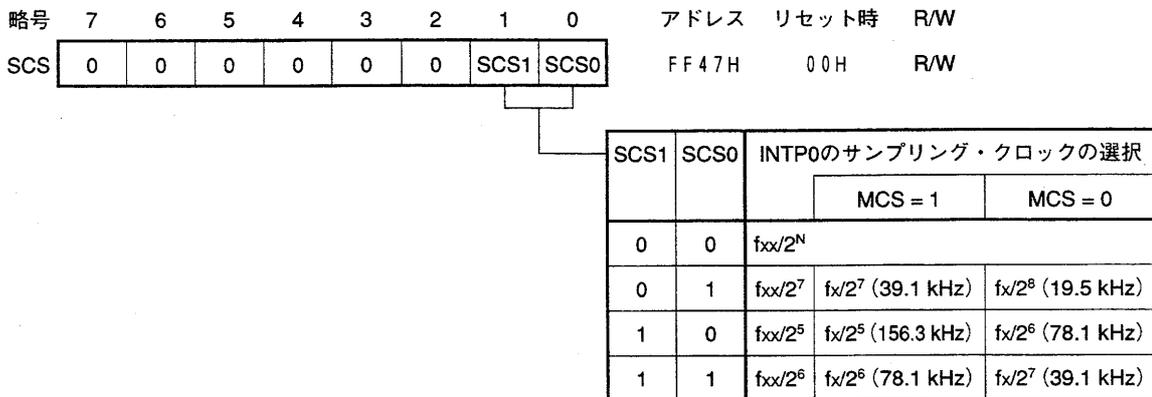
(7) サンプリング・クロック選択レジスタ(SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズの除去を行います。

SCSは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図8-9 サンプリング・クロック選択レジスタのフォーマット



注意 $f_{xx}/2^N$ はCPUへ供給されるクロック、 $f_{xx}/2^5$, $f_{xx}/2^6$, $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$ はHALTモード中は停止します。

備考1. N : プロセッサ・クロック・コントロール・レジスタのビット0-ビット2 (PCC0-PCC2) に設定した値(N = 0-4)。

- 2. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
- 3. f_x : メイン・システム・クロック発振周波数
- 4. MCS : 発振モード選択レジスタのビット0
- 5. ()内は、 $f_x = 5.0$ MHz動作時。

8.4 16ビット・タイマ/イベント・カウンタの動作

8.4.1 インターバル・タイマとしての動作

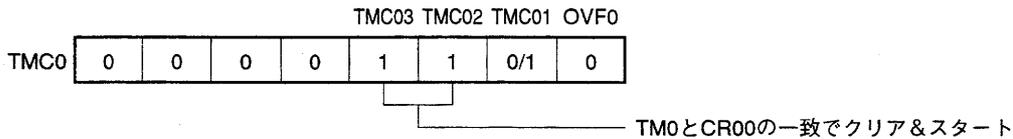
16ビット・タイマ・モード・コントロール・レジスタ(TMC0)と、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)を図8-10のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生します。

16ビット・タイマ・レジスタ(TM0)のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM00)を発生します。

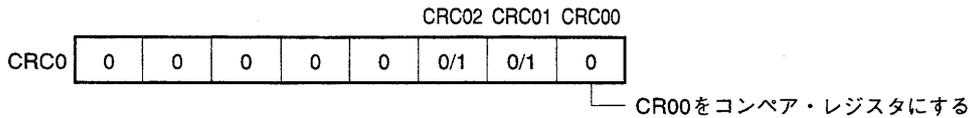
タイマ・クロック選択レジスタ0(TCL0)のビット4-ビット6(TCL04-TCL06)で16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

図8-10 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1: 0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-11 インターバル・タイマの構成図

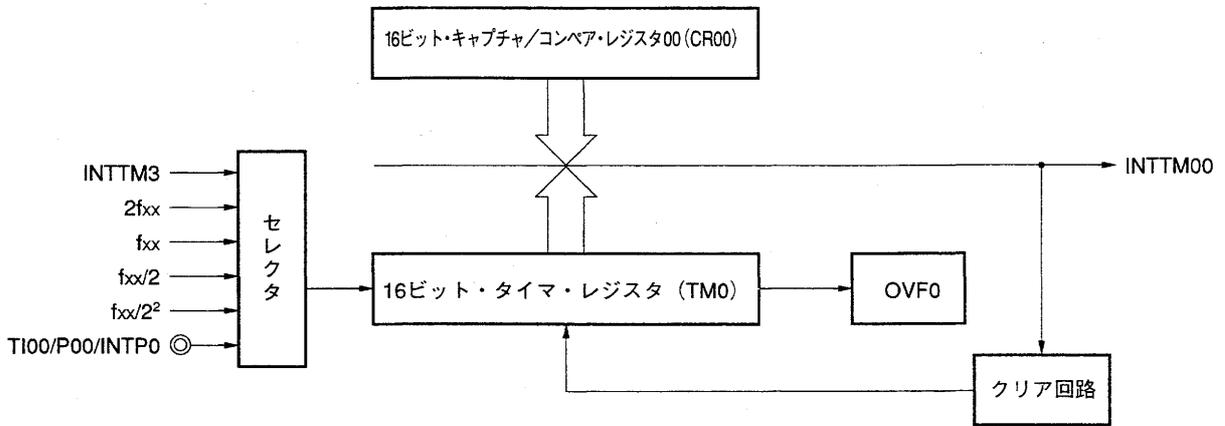
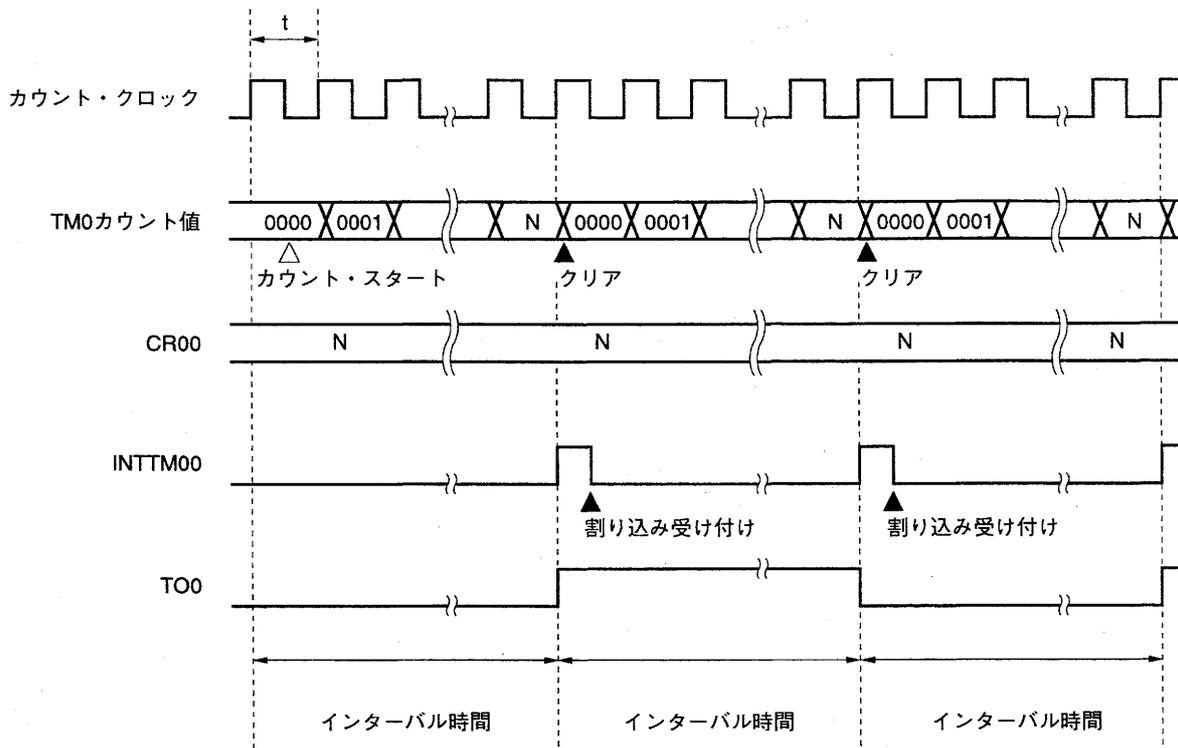


図8-12 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N+1) \times t$: $N = 0001H-FFFFH$

表8-6 16ビット・タイマ/イベント・カウンタのインターバル時間

TCL06	TCL05	TCL04	最小インターバル時間		最大インターバル時間		分解能	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
0	0	1	設定禁止	2×1/fx (400 ns)	設定禁止	2 ¹⁶ ×1/fx (13.1 ms)	設定禁止	1/fx (200 ns)
0	1	0	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
0	1	1	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
1	0	0	2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
1	1	1	2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	
上記以外			設定禁止					

備考1. fx :メイン・システム・クロック発振周波数

2. MCS :発振モード選択レジスタのビット0
3. ()内は、fx = 5.0 MHz動作時。

8.4.2 PWM出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)と、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)、16ビット・タイマ出力コントロール・レジスタ(TOC0)を図8-13のように設定することにより、PWM出力として動作します。16ビット・キャプチャ/コンペア・レジスタ00(CR00)に設定した値で決まるデューティ比のパルスを、TO0/P30端子から出力します。

PWMパルスのアクティブ・レベルの幅は、CR00の上位14ビットに設定してください。また、アクティブ・レベルは、16ビット・タイマ出力コントロール・レジスタ(TOC0)のビット1(TOC01)により選択します。

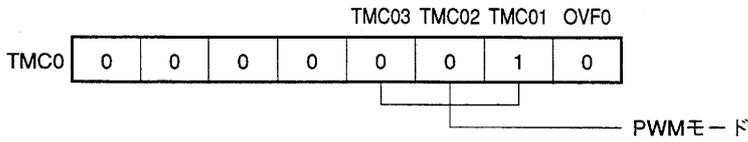
このPWMパルスは、14ビット分解能のパルスです。PWMパルスを外付けロウ・パス・フィルタ(LPF)で積分することによりアナログ電圧に変換することができます。2⁸/Φで決まる基本周期と2¹⁴/Φで決まる副周期を組み合わせて作られており、外付けのLPFの時定数を短くできるよう工夫されています。カウント・クロックΦはタイマ・クロック選択レジスタ0(TCLO)のビット4-ビット6(TCL04-TCL06)で選択できます。

TOC0のビット0(TOE0)により、PWM出力の許可/禁止が選択できます。

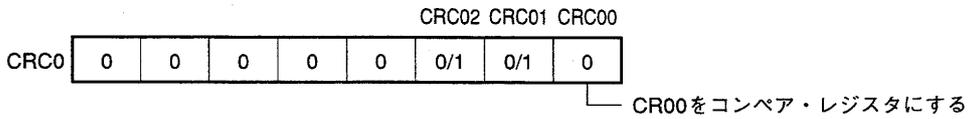
- 注意1. CR00への設定は、PWM動作モードを選択後に行ってください。
2. CR00のビット0, 1には必ず0を書き込んでください。
3. TI00/P00端子からの外部クロック入力するとき、PWM動作モードを選択しないでください。

図8-13 PWM出力動作時の制御レジスタ設定内容

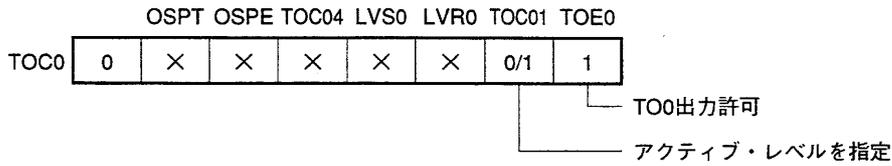
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)



備考1. 0/1 : 0 または 1 を設定することにより、PWM出力と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

2. × : don't care

14ビット分解能のPWMパルスを外付けのロウ・パス・フィルタで積分することによって、アナログ電圧に変換し、電子チューニングやD/Aコンバータなどに応用できます。

図8-14に示すような構成で、D/A変換に使用した場合のアナログ出力電圧(V_{AN})は次のようになります。

$$V_{AN} = V_{REF} \times \frac{\text{キャプチャ/コンペア・レジスタ00(CR00)の値}}{2^{16}}$$

V_{REF} : 外部スイッチング回路の基準電圧

図8-14 PWM出力によるD/Aコンバータ構成例

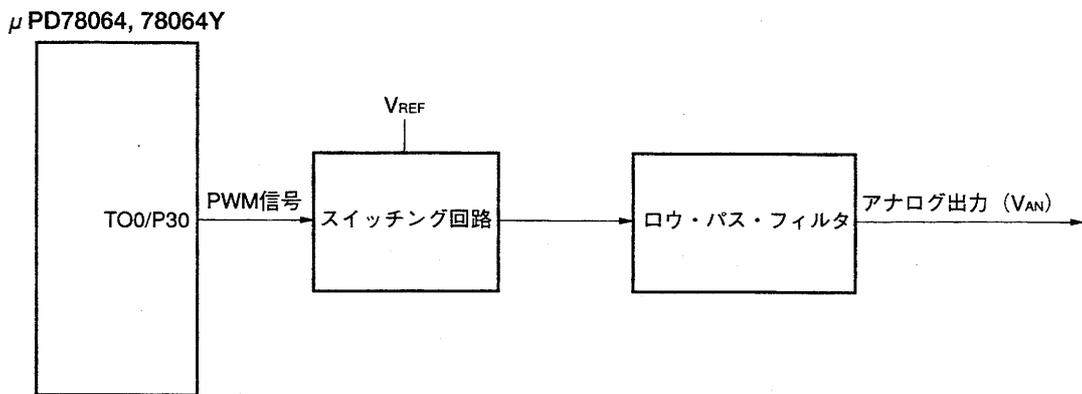
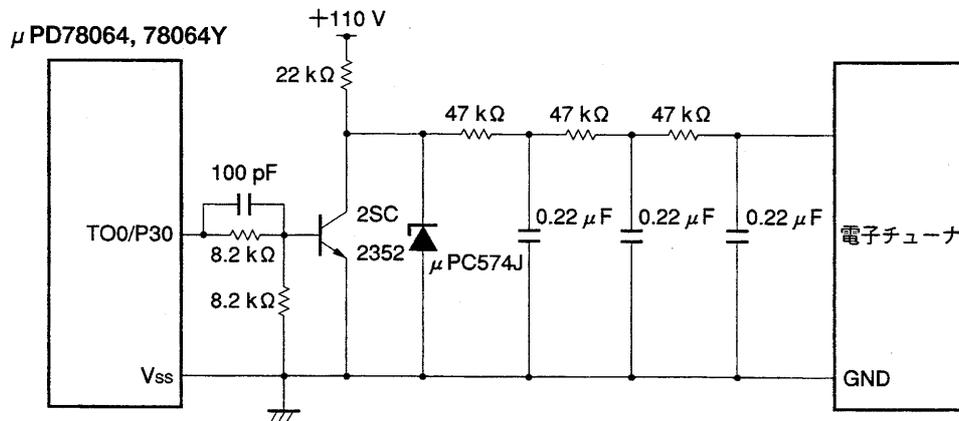


図8-15にPWM出力をアナログ電圧に変換し、ボルテージ・シンセサイザ方式のTVチューナに応用した例を示します。

図8-15 TVチューナへの応用回路例



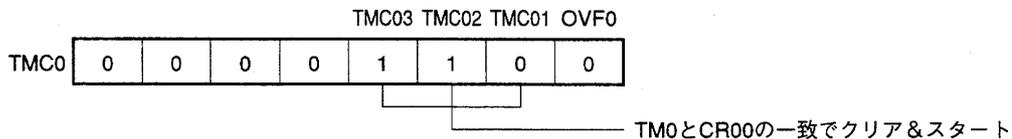
8.4.3 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)と、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)を図8-16のように設定することにより、PPG(Programmable Pulse Generator)出力として動作します。

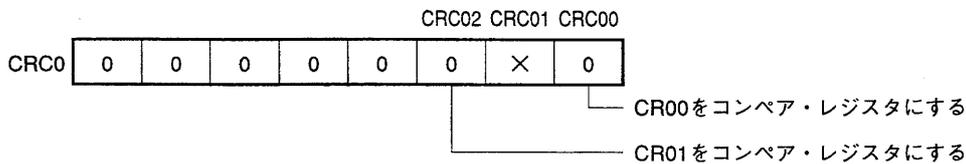
PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/P30端子から出力します。

図8-16 PPG出力動作時の制御レジスタ設定内容

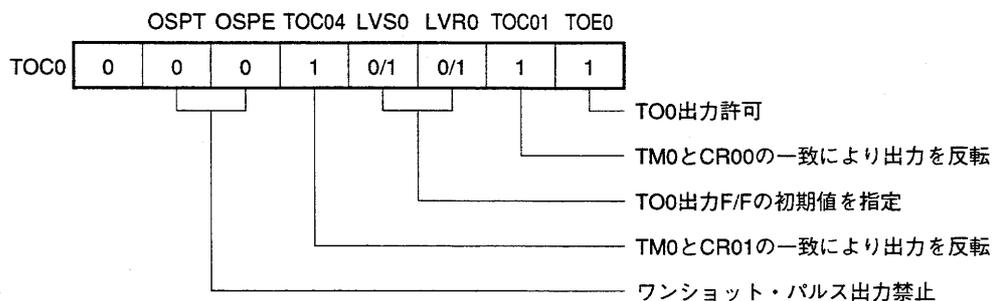
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)



注意 CR00とCR01には次の範囲の値を設定してください。

$$0000H \leq CR01 < CR00 \leq FFFFH$$

備考 X : don't care

8.4.4 パルス幅測定としての動作

16ビット・タイマ・レジスタ(TM0)を使用し、TI00/P00端子およびTI01/P01端子に入力される信号のパルス幅を測定することができます。

測定方法は、TM0をフリーランニングさせて測定する方法とTI00/P00端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

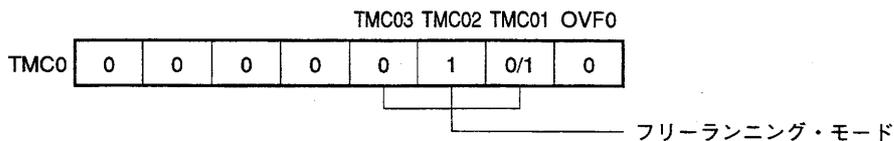
16ビット・タイマ・レジスタ(TM0)をフリーランニングで動作させているとき(図8-17のレジスタの設定参照)、TI00/P00端子に外部割り込みモード・レジスタ0(INTM0)で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01(CR01)に取り込み、外部割り込み要求信号(INTP0)をセットします。

エッジ指定はINTM0のビット2, 3(ES10, ES11)で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

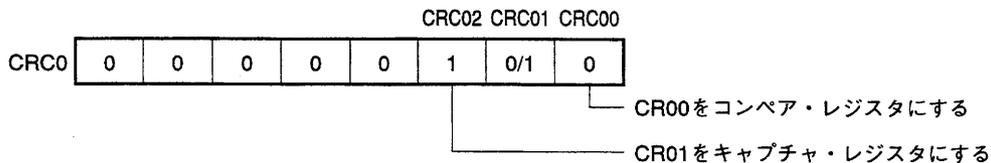
有効エッジの検出は、サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去することができます。

図8-17 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-18 フリーランニング・カウンタによるパルス幅測定構成図

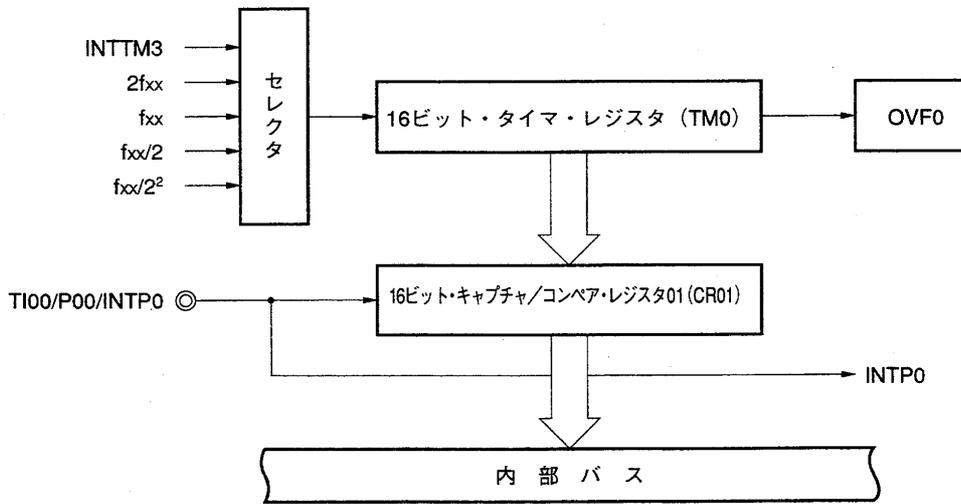
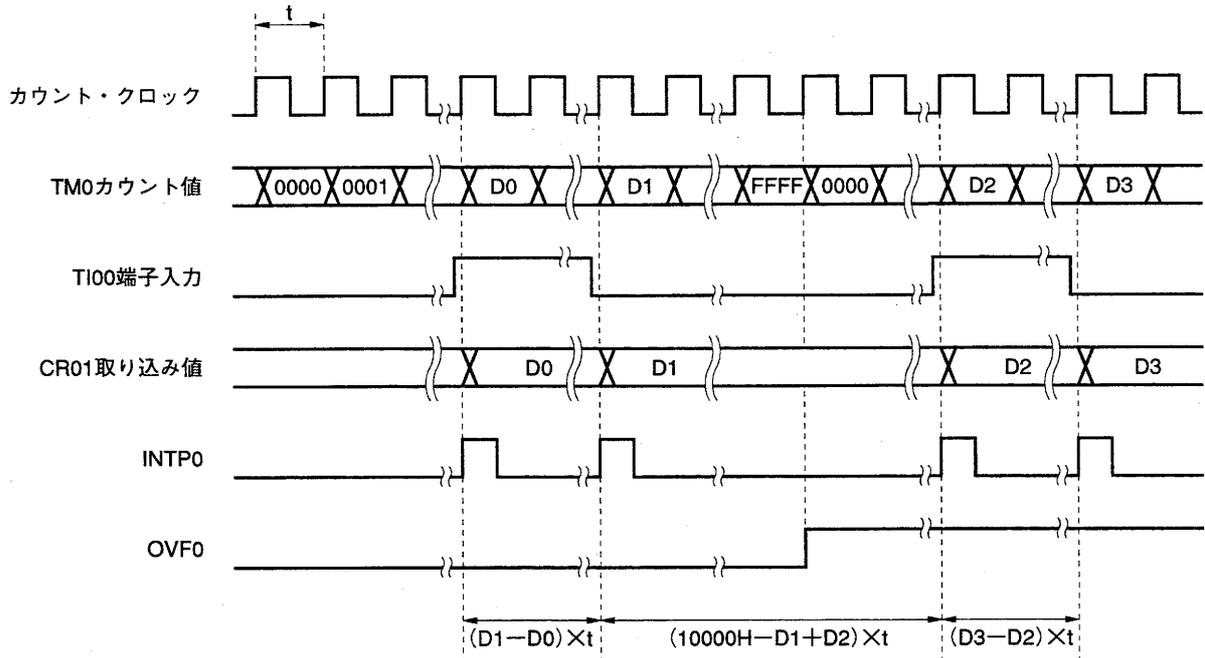


図8-19 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング(両エッジ指定時)



(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタ(TM0)をフリーランニングで動作させているとき(図8-20のレジスタの設定参照), TI00/P00端子およびTI01/P01端子に入力される2つの信号のパルス幅を同時に測定することができます。

TI00/P00端子に外部割り込みモード・レジスタ0(INTM0)のビット2, 3(ES10, ES11)で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01(CR01)に取り込み, 外部割り込み要求信号(INTP0)をセットします。

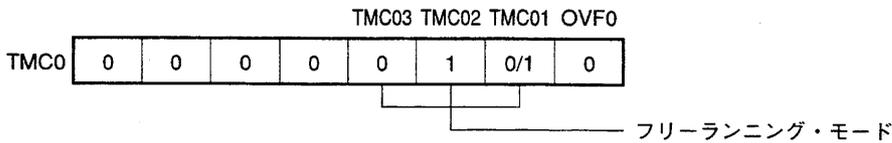
また, TI01/P01端子にINTM0のビット4, 5(ES20, ES21)で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ00(CR00)に取り込み, 外部割り込み要求信号(INTP1)をセットします。

TI00/P00端子とTI01/P01端子のエッジ指定は, INTM0のビット2, 3(ES10, ES11)およびビット4, 5(ES20, ES21)でそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

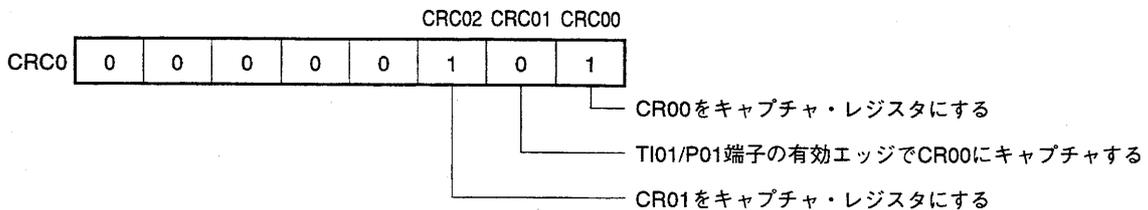
TI00/P00端子の有効エッジの検出は, サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去することができます。

図8-20 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

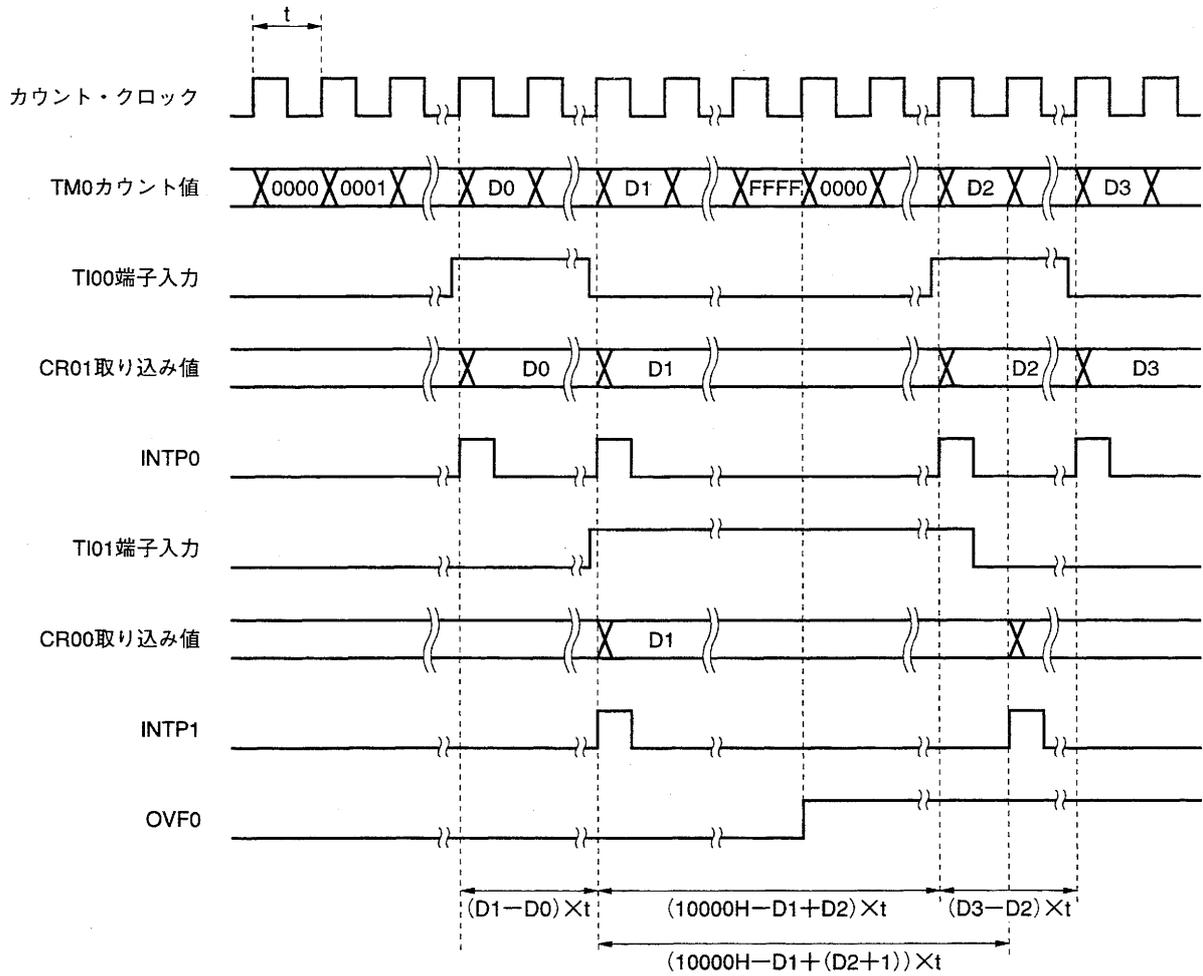


(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1 : 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用することができます。詳細は, 各制御レジスタの説明を参照してください。

図8-21 フリーランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時)



(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・レジスタ(TM0)をフリーランニングで動作させているとき(図8-22のレジスタの設定参照), TI00/P00端子に入力する信号のパルス幅を測定することができます。

TI00/P00端子に外部割り込みモード・レジスタ0(INTM0)のビット2, 3(ES10, ES11)で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01(CR01)に取り込み, 外部割り込み要求信号(INTP0)をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力でTM0の値を16ビット・キャプチャ/コンペア・レジスタ00(CR00)に取り込みます。

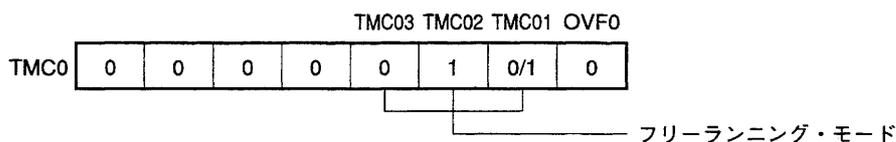
TI00/P00端子のエッジ指定は, INTM0のビット2, 3(ES10, ES11)で行い, 立ち上がり, 立ち下がりエッジの2種類の選択ができます。

TI00/P00端子の有効エッジの検出は, サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去することができます。

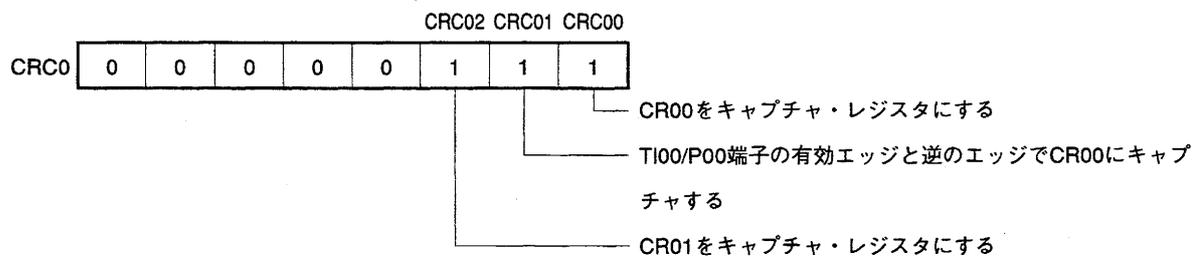
注意 TI00/P00端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, CR00はキャプチャ動作を行えません。

図8-22 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

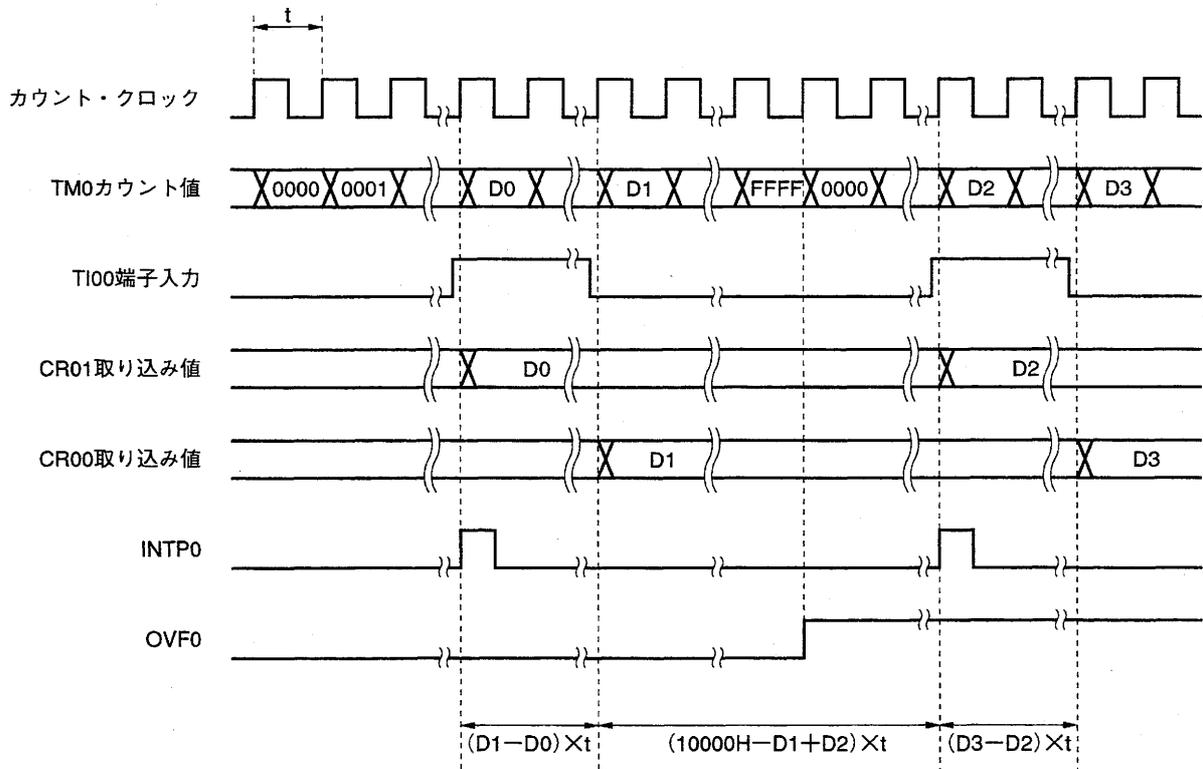


(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)



備考 0/1: 0または1を設定することにより, パルス幅測定と同時にほかの機能を使用することができます。詳細は, 各制御レジスタの説明を参照してください。

図8-23 フリーランニング・カウンタとキャプチャ・レジスタ2本による
パルス幅測定動作のタイミング(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI00/P00端子への有効エッジを検出したとき、16ビット・タイマ・レジスタ(TM0)のカウント値を16ビット・キャプチャ/コンペア・レジスタ01(CR01)に取り込んだのち、TM0をクリアしてカウントを再開することによりTI00/P00端子に入力された信号のパルス幅を測定します(図8-24のレジスタの設定参照)。

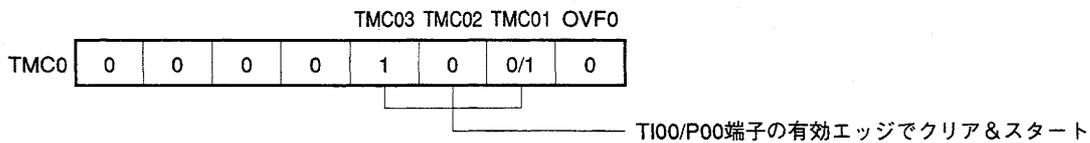
エッジ指定はINTM0のビット2, 3 (ES10, ES11)により、立ち上がり、立ち下がりエッジの2種類から選択できます。

有効エッジの検出は、サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い、2回有効レベルを検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去することができます。

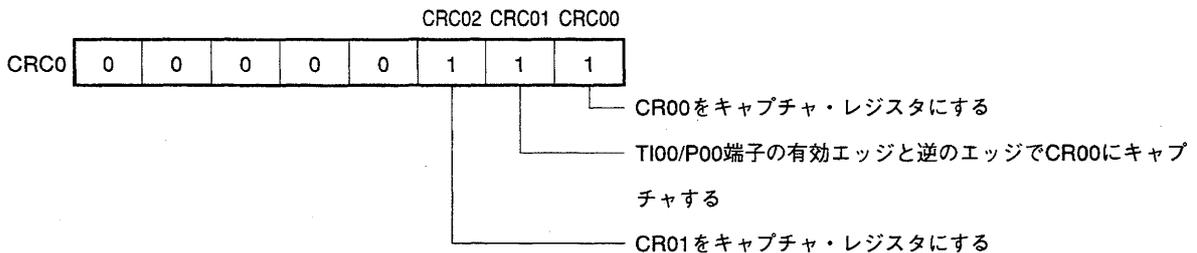
注意 TI00/P00端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、16ビット・キャプチャ/コンペア・レジスタ00(CR00)はキャプチャ動作を行えません。

図8-24 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)

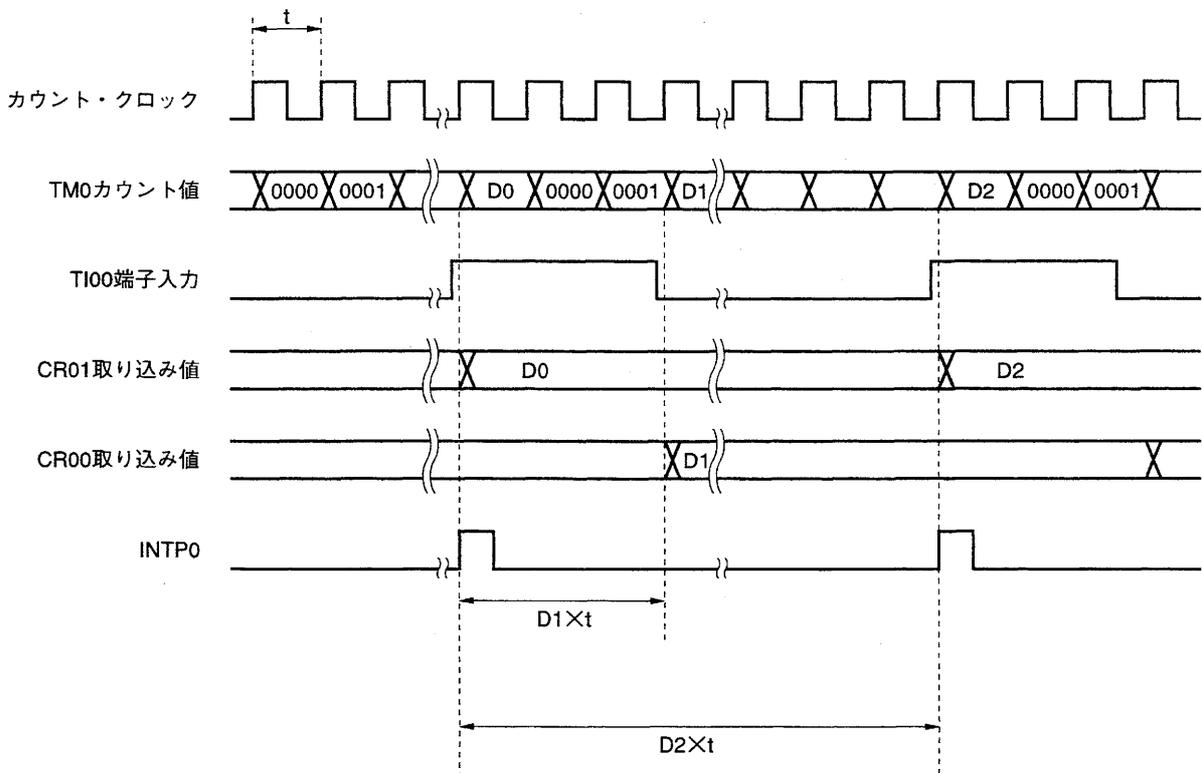


(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1: 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-25 リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時)



8.4.5 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/P00端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタ(TM0)でカウントするものです。

外部割り込みモード・レジスタ0 (INTM0)で指定した有効エッジが入力されるたびに、TM0がインクリメントされます。

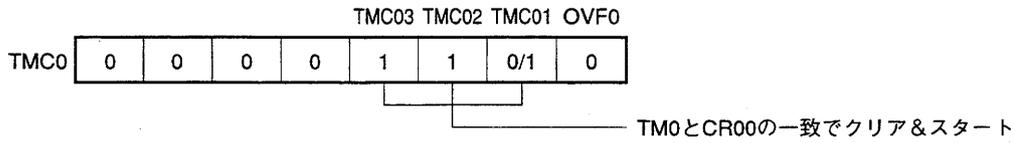
TM0の計数值が16ビット・キャプチャ/コンペア・レジスタ00(CR00)の値と一致すると、TM0は0にクリアされ、割り込み要求信号(INTTM00)が発生します。

エッジ指定はINTM0のビット2, 3 (ES10, ES11)により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

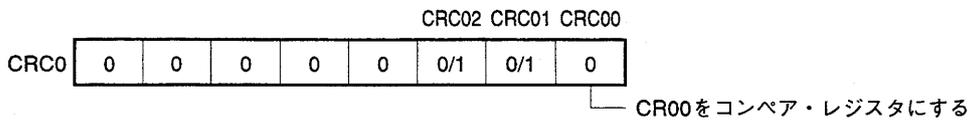
有効エッジの検出は、サンプリング・クロック選択レジスタ(SCS)で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去することができます。

図8-26 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



備考 0/1 : 0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-27 外部イベント・カウンタの構成図

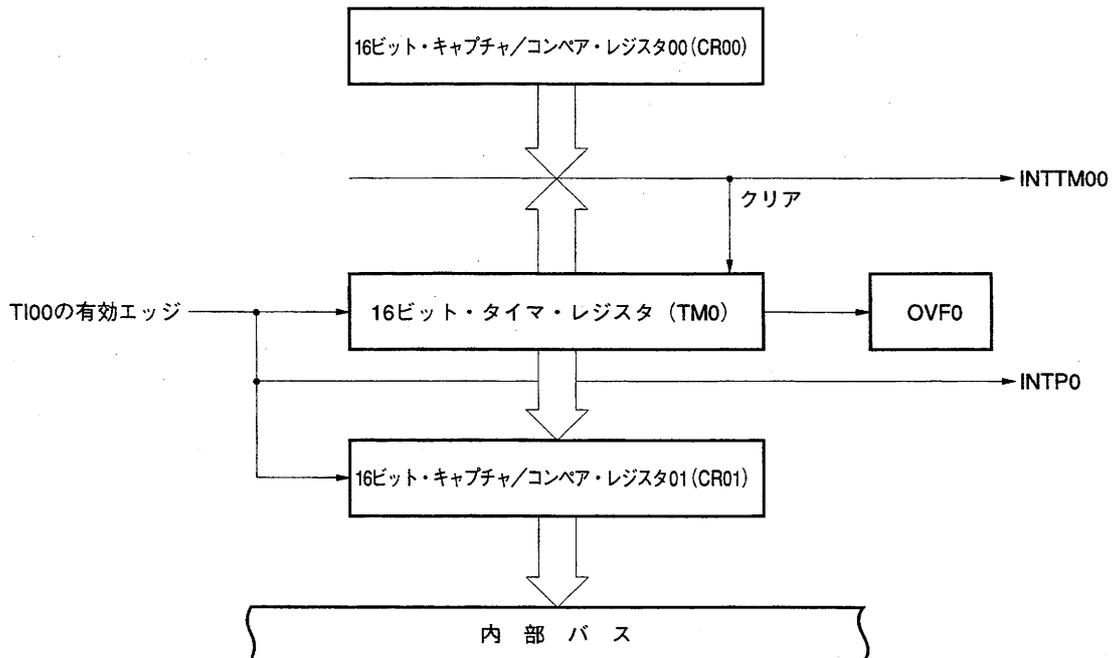
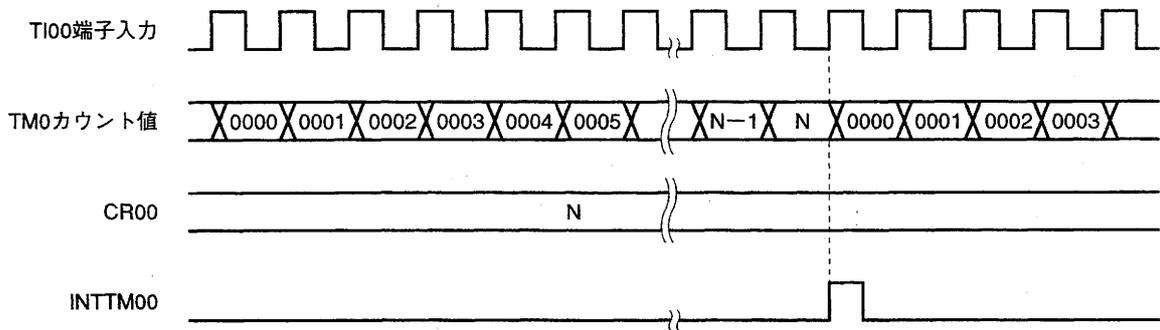


図8-28 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウント値を読み出す場合は、TM0を読み出してください。

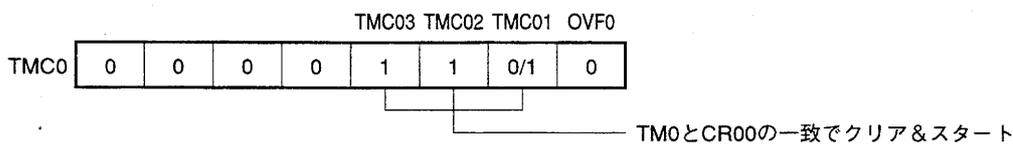
8.4.6 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力です。

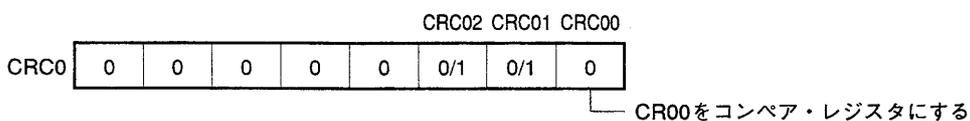
16ビット・タイマ出力コントロール・レジスタのビット0 (TOE0)とビット1 (TOC01)に1を設定することにより、CR00にあらかじめ設定したカウント値をインターバルとしてTO0/P30端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図8-29 方形波出力モード時の制御レジスタ設定内容

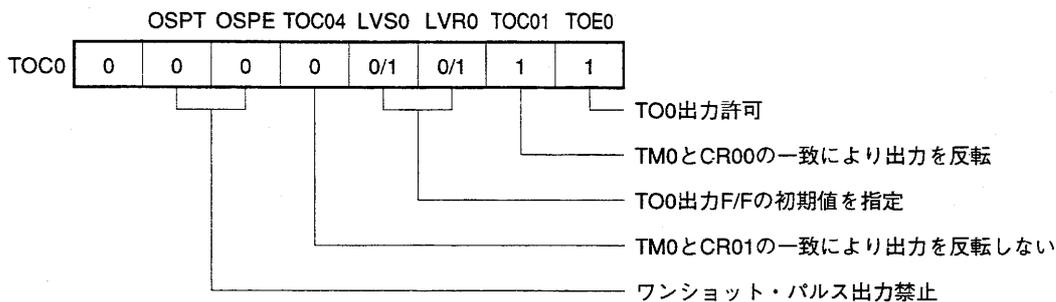
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)



備考 0/1: 0または1を設定することにより、方形波出力と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-30 方形波出力動作のタイミング

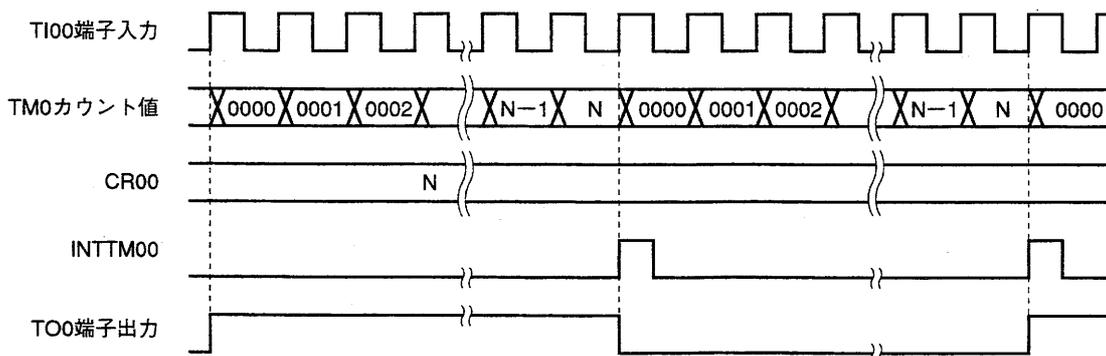


表8-7 16ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
2×TI00入力周期		2 ¹⁶ ×TI00入力周期		TI00入力エッジ周期	
—	2×1/fx (400 ns)	—	2 ¹⁶ ×1/fx (13.1 ms)	—	1/fx (200 ns)
2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁶ ×1/fx (13.1 ms)	2 ¹⁷ ×1/fx (26.2 ms)	1/fx (200 ns)	2×1/fx (400 ns)
2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
2×時計用タイマ出力周期		2 ¹⁶ ×時計用タイマ出力周期		時計用タイマ出力エッジ周期	

備考1. fx : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. ()内は、fx = 5.0 MHz動作時。

8.4.7 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ(TI00/P00端子入力)に同期したワンショット・パルスを出力することができます。

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)および16ビット・タイマ出力コントロール・レジスタ(TOC0)を図8-31のように設定し、ソフトウェアでTOC0のビット6(OSPT)を1にセットすることにより、ワンショット・パルスをTO0/P30端子から出力します。

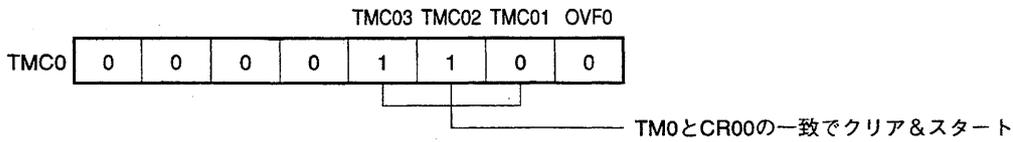
OSPTを1にセットすることにより、16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値で出力がインアクティブとなります。

ワンショット・パルス出力後も、TMOは動作を続けています。TMOを停止させるためには、TMC0に00Hを設定する必要があります。

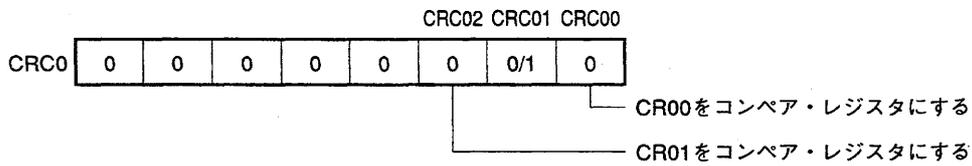
注意 ワンショット・パルスを出力しているときは、OSPTを1にセットしないでください。再度ワンショット・パルスを出力したいときは、CR00との一致割り込みであるINTTM00が発生したのちに行ってください。

図8-31 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

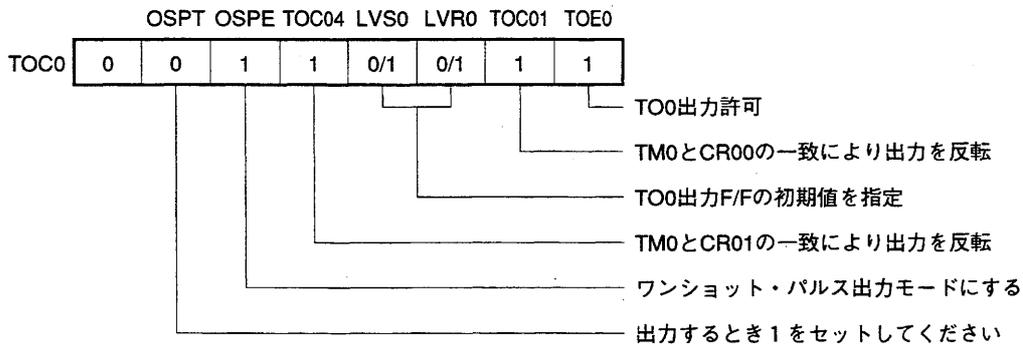
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)

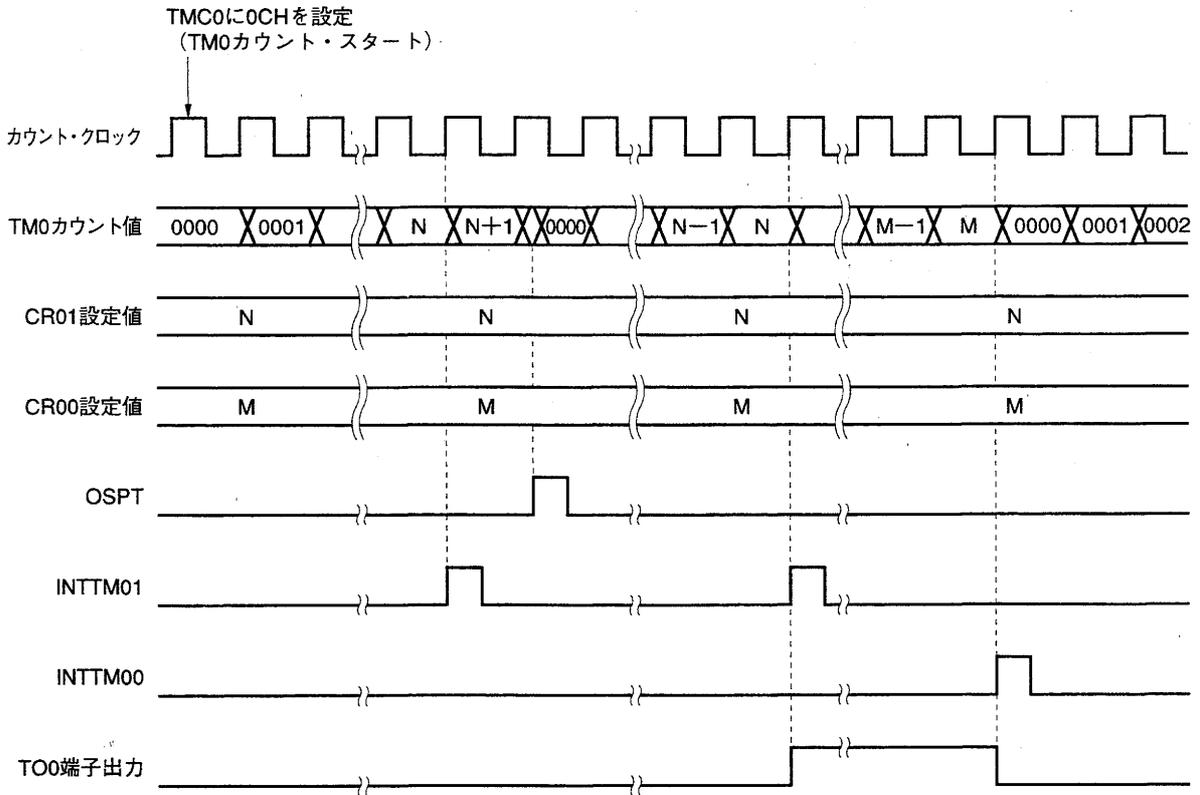


注意 CR00とCR01には次の範囲の値を設定してください。

$$0000H \leq CR01 < CR00 \leq FFFFH$$

備考 0/1: 0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)および16ビット・タイマ出力コントロール・レジスタ(TOC0)を図8-33のように設定し、TI00/P00の端子の有効エッジを外部トリガとしてワンショット・パルスを出しをTO0/P30端子から出力します。

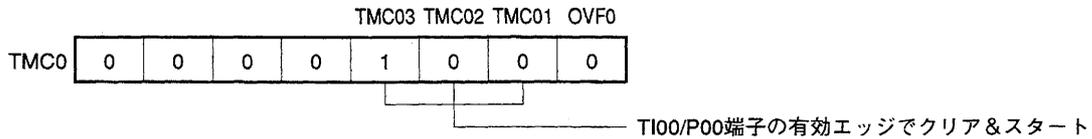
TI00/P00端子の有効エッジ指定は外部割り込みモード・レジスタ0(INTM0)のビット2, 3(ES10, ES11)で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

TI00/P00端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値で出力がインアクティブとなります。

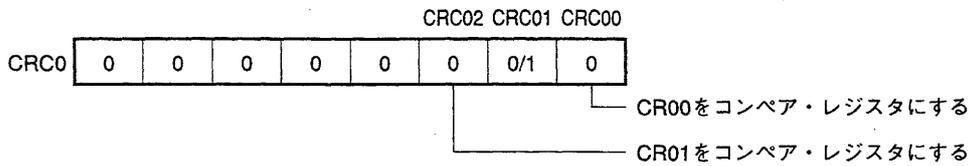
注意 ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

図8-33 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

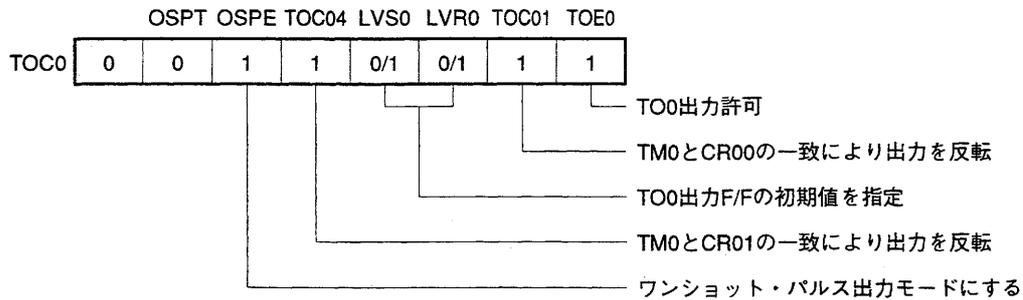
(a) 16ビット・タイマ・モード・コントロール・レジスタ(TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ(TOC0)

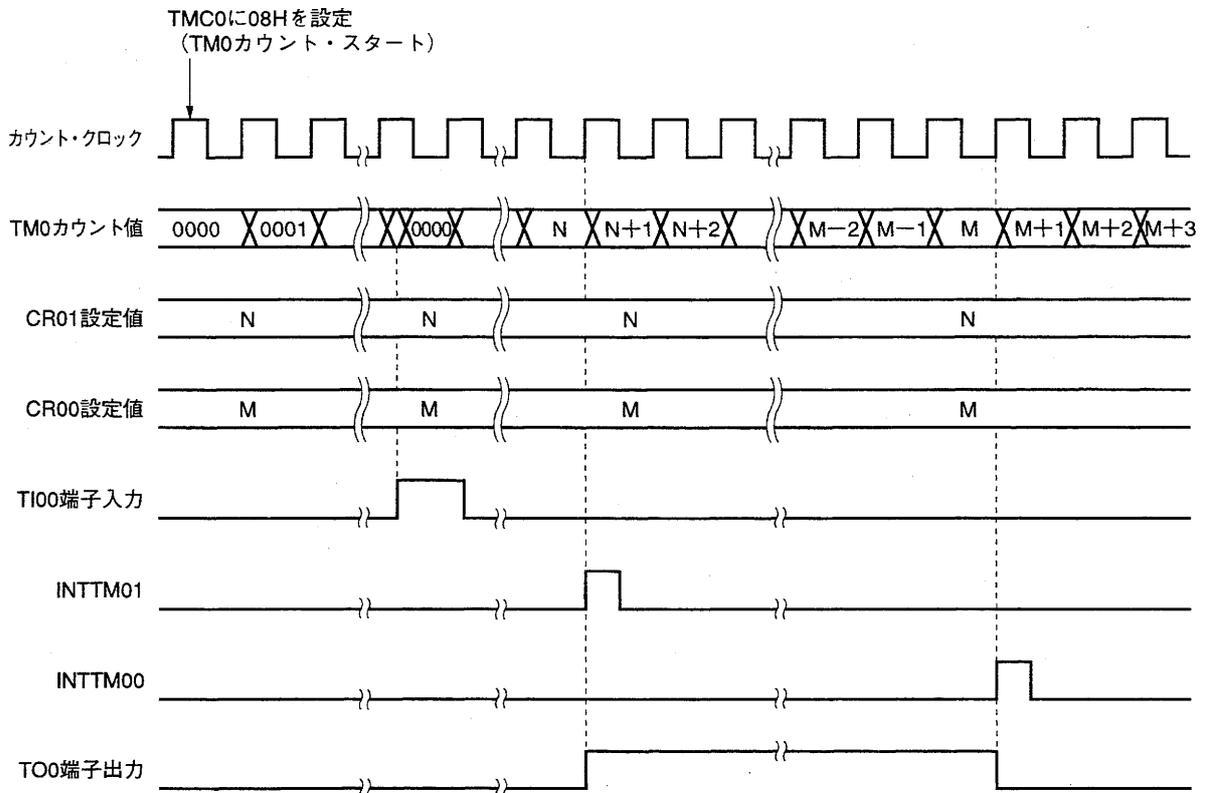


注意 CR00とCR01には次の範囲の値を設定してください。

$$0000H \leq CR01 < CR00 \leq FFFFH$$

備考 0/1: 0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図8-34 外部トリガによるワンショット・パルス出力動作のタイミング(立ち上がりエッジ指定時)



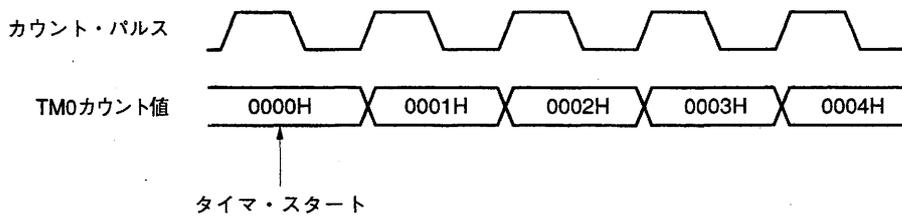
注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。

8.5 16ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・レジスタ(TM0)のスタートが非同期で行われるためです。

図8-35 16ビット・タイマ・レジスタのスタート・タイミング



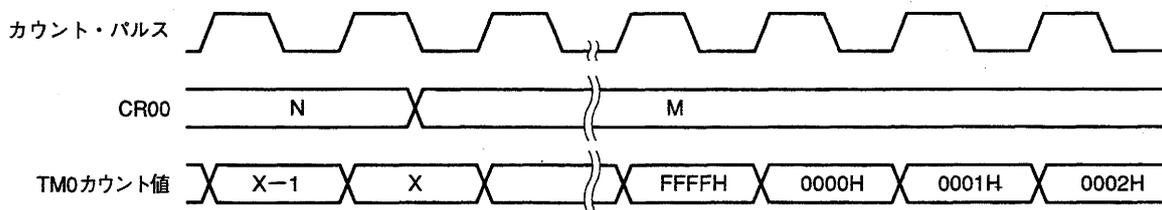
(2) 16ビット・コンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタ00(CR00)には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用时、1パルスのカウント動作はできません。

(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ00(CR00)の変更後の値が、16ビット・タイマ・レジスタ(TM0)の値よりも小さいとき、TM0はカウントを継続しオーバフローして0から再カウントします。したがって、CR00の変更後の値(M)が変更前の値(N)より小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

図8-36 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

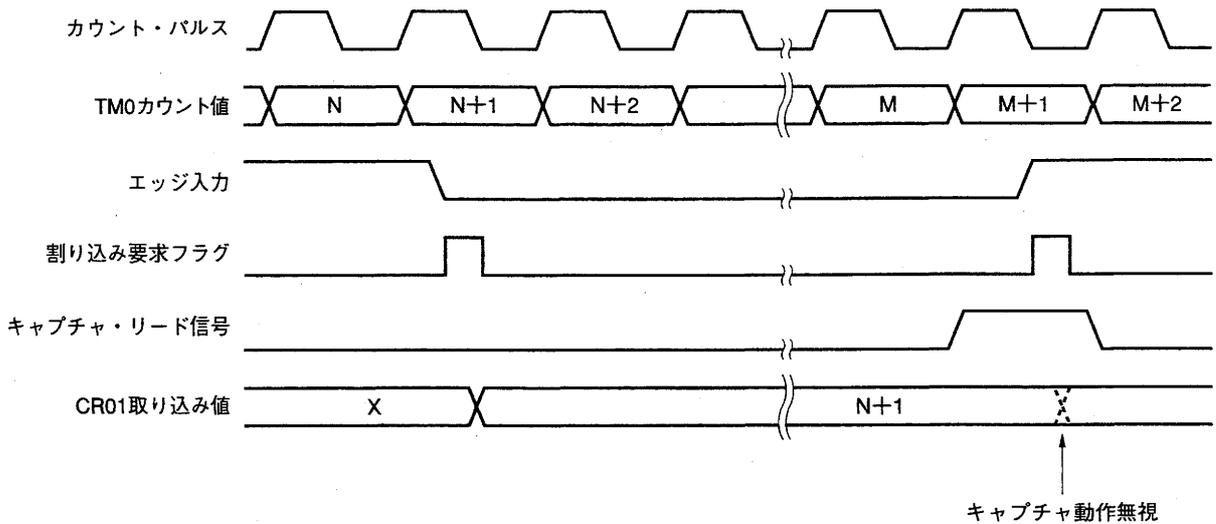


備考 $N > X > M$

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ01(CR01)の読み出し中にTI00/P00端子の有効エッジが入力したとき、CR01はキャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求フラグ(PIF0)はセットされます。

図8-37 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TI00/INTP0端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタのビット1-ビット3(TMC01-TMC03)に0,0,0を設定し、タイマ動作を停止させたのちに行ってください。有効エッジの設定は、外部割り込みモード・レジスタ0のビット2,3(ES10,ES11)で行います。

(6) ワンショット・パルスの再トリガ

(a) ソフトウェアによるワンショット・パルス出力

ワンショット・パルスを出力しているときは、OSPTを1にセットしないでください。再度ワンショット・パルスを出力したいときは、CR00との一致割り込みであるINTTM00が発生したのちに行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

(7) OVFOフラグの動作

OVFOフラグは次のとき、1に設定されます。

TM0とCR00の一致でクリア&スタートするモードを選択

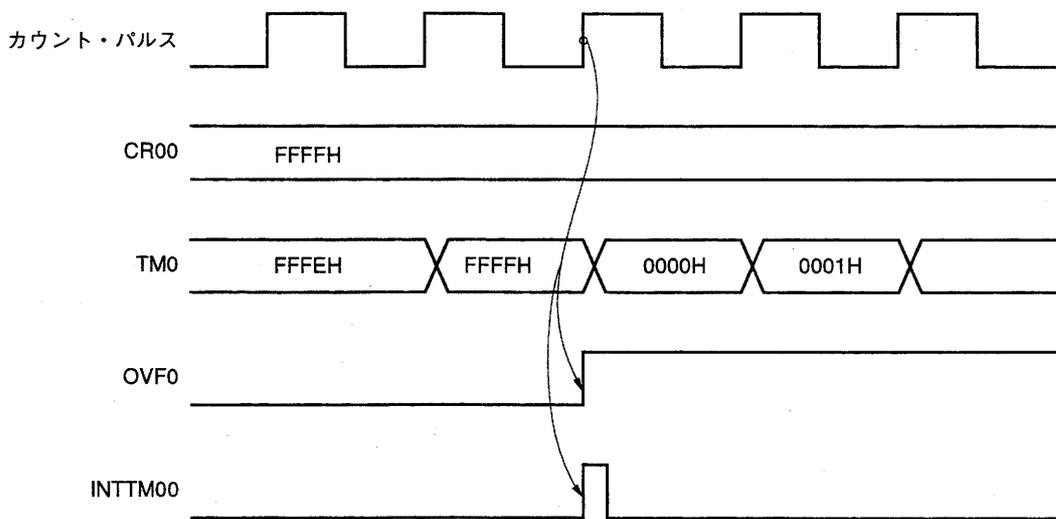


CR00をFFFFHに設定



TM0がFFFFHから0000Hにカウント・アップするとき

図8-38 OVFOフラグの動作のタイミング



第9章 8ビット・タイマ/イベント・カウンタ

9.1 8ビット・タイマ/イベント・カウンタの機能

μPD78064, 78064Yサブシリーズが内蔵している8ビット・タイマ/イベント・カウンタには、2チャンネルの8ビット・タイマ/イベント・カウンタを別個に使用するモード(8ビット・タイマ/イベント・カウンタ・モード)と、あわせて16ビット・タイマ/イベント・カウンタとして使用するモード(16ビット・タイマ/イベント・カウンタ・モード)があります。

9.1.1 8ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ/イベント・カウンタ1, 2(TM1, TM2)には、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表9-1 8ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. ()内は, $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9-2 8ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{18} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. ()内は, $f_x = 5.0$ MHz動作時。

9.1.2 16ビット・タイマ/イベント・カウンタ・モード

(1) 16ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生できます。

表9-3 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x :メイン・システム・クロック発振周波数

2. MCS :発振モード選択レジスタのビット0

3. ()内は、 $f_x = 5.0$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

任意の周波数の方形波出力が可能です。

表9-4 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. ()内は, $f_x = 5.0$ MHz動作時。

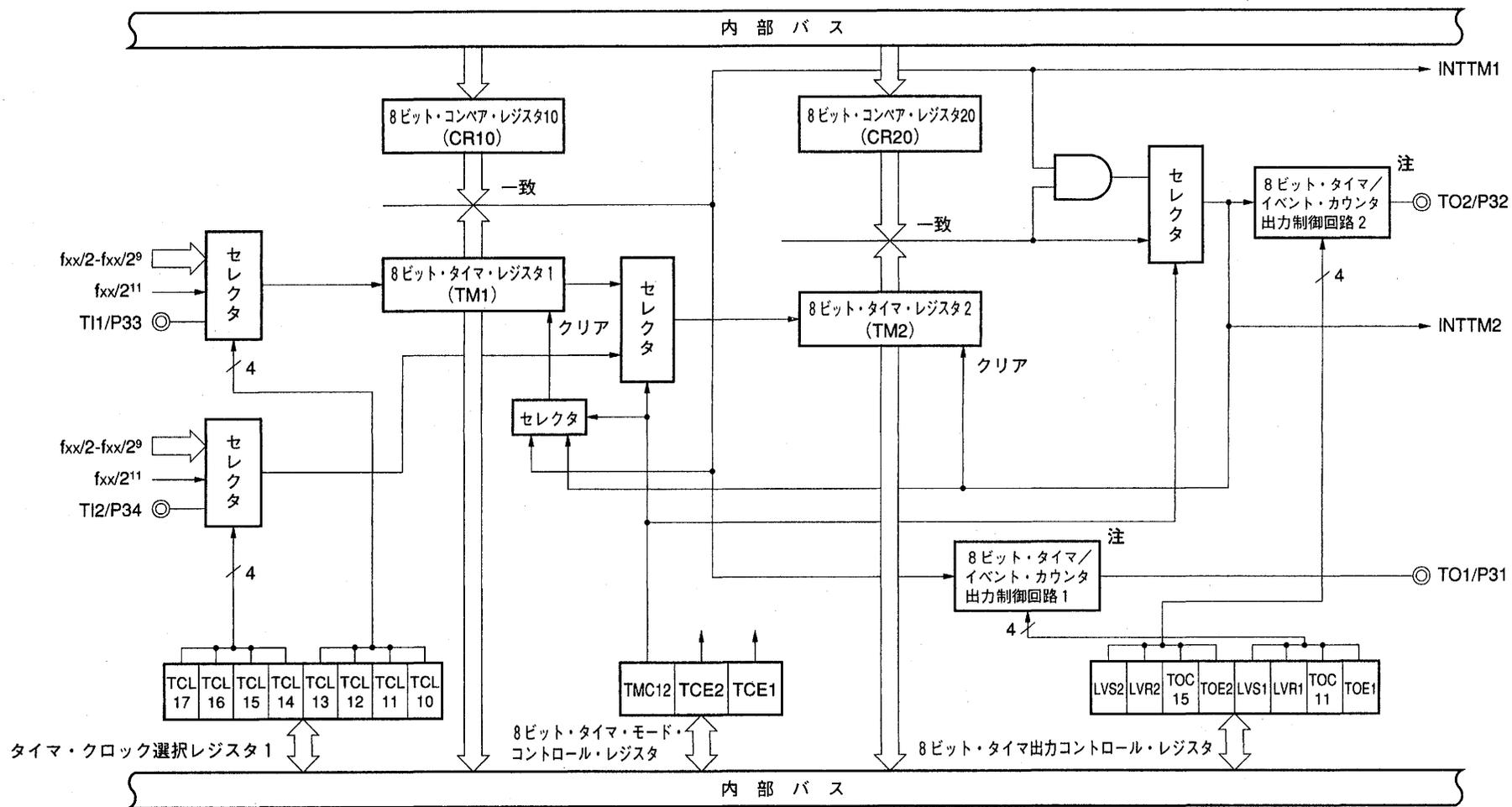
9.2 8ビット・タイマ/イベント・カウンタの構成

8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表9-5 8ビット・タイマ/イベント・カウンタの構成

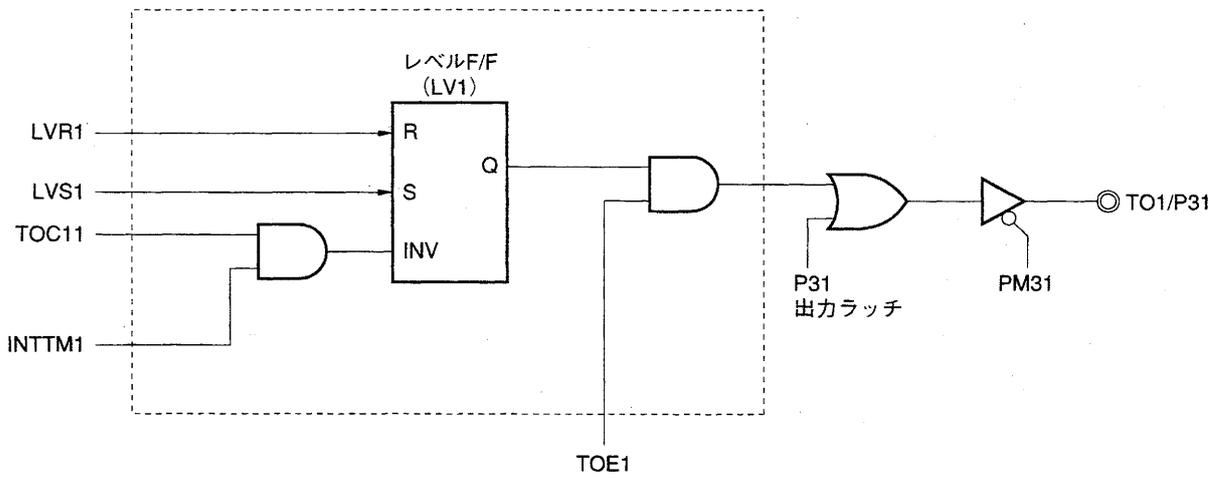
項 目	構 成
タイマ・レジスタ	8ビット×2本(TM1, TM2)
レジスタ	コンペア・レジスタ：8ビット×2本(CR10, CR20)
タイマ出力	2本(TO1, TO2)
制御レジスタ	タイマ・クロック選択レジスタ1 (TCL1) 8ビット・タイマ・モード・コントロール・レジスタ(TMC1) 8ビット・タイマ出力コントロール・レジスタ(TOC1) ポート・モード・レジスタ3 (PM3)

図9-1 8ビット・タイマ/イベント・カウンタのブロック図



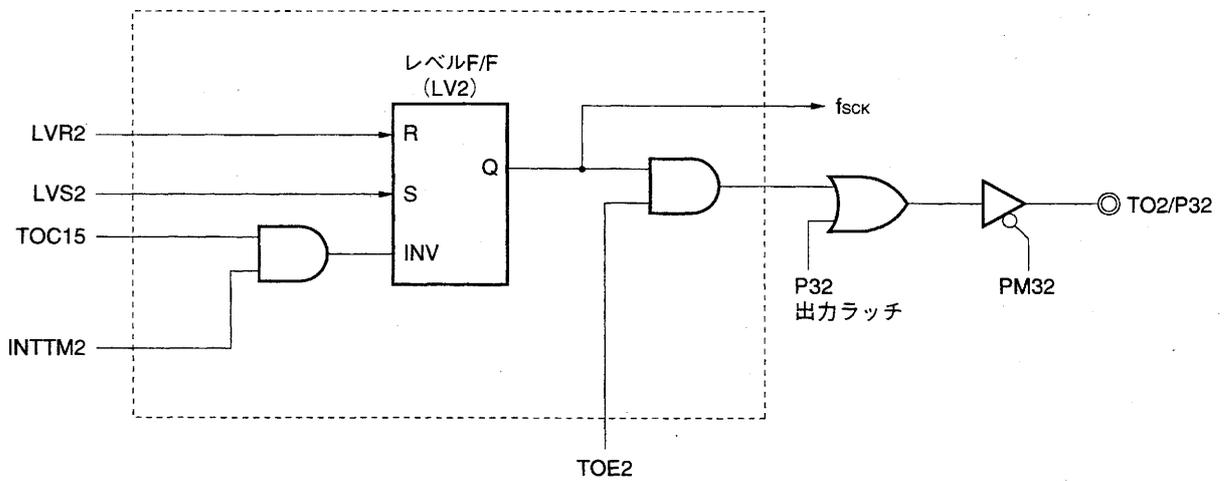
注 8ビット・タイマ/イベント・カウンタの出力制御回路1, 2の構成は、図9-2, 9-3を参照してください。

図9-2 8ビット・タイマ/イベント・カウンタ出力制御回路1のブロック図



備考 破線部内が出力制御回路です。

図9-3 8ビット・タイマ/イベント・カウンタ出力制御回路2のブロック図



備考1. 破線部内が出力制御回路です。

2. fscck : シリアル・クロック周波数

(1) コンペア・レジスタ10, 20(CR10, CR20)

CR10に設定した値と8ビット・タイマ・レジスタ1(TM1)のカウンタ値, CR20に設定した値と8ビット・タイマ・レジスタ2(TM2)のカウンタ値を常に比較し、一致したときにそれぞれ割り込み要求(INTTM1, INTTM2)を発生する8ビットのレジスタです。

CR10, CR20は、8ビット・メモリ操作命令で設定します。16ビット・メモリ操作命令では設定できません。8ビット・タイマ/イベント・カウンタとして使用時は、00H-FFHの値が、16ビット・タイマ/イベント・カウンタとして使用時は、0000H-FFFFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 16ビット・タイマ/イベント・カウンタとして使用時、データの設定は、必ずタイマ動作を停止させたのちに行ってください。

(2) 8ビット・タイマ・レジスタ1, 2(TM1, TM2)

カウンタ・パルスをカウントする8ビットのレジスタです。

TM1, TM2を8ビット・タイマ×2チャンネル・モードとして使用するとき、8ビット・メモリ操作命令で読み出します。16ビット・タイマ×1チャンネル・モードとして使用するとき、16ビット・タイマ(TMS)を16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

9.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタは、次の4種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ1(TCL1)
- ・8ビット・タイマ・モード・コントロール・レジスタ(TMC1)
- ・8ビット・タイマ出力コントロール・レジスタ(TOC1)
- ・ポート・モード・レジスタ3(PM3)

(1) タイマ・クロック選択レジスタ1(TCL1)

8ビット・タイマ・レジスタ1, 2のカウンタ・クロックを設定するレジスタです。

TCL1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-4 タイマ・クロック選択レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL1	TCL17	TCL16	TCL15	TCL14	TCL13	TCL12	TCL11	TCL10	FF41H	00H	R/W

TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウンタ・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI1の立ち下がりエッジ		
0	0	0	1	TI1の立ち上がりエッジ		
0	1	1	0	$fx/2$	$fx/2$ (2.5 MHz)	$fx/2^2$ (1.25 MHz)
0	1	1	1	$fx/2^2$	$fx/2^2$ (1.25 MHz)	$fx/2^3$ (625 kHz)
1	0	0	0	$fx/2^3$	$fx/2^3$ (625 kHz)	$fx/2^4$ (313 kHz)
1	0	0	1	$fx/2^4$	$fx/2^4$ (313 kHz)	$fx/2^5$ (156 kHz)
1	0	1	0	$fx/2^5$	$fx/2^5$ (156 kHz)	$fx/2^6$ (78.1 kHz)
1	0	1	1	$fx/2^6$	$fx/2^6$ (78.1 kHz)	$fx/2^7$ (39.1 kHz)
1	1	0	0	$fx/2^7$	$fx/2^7$ (39.1 kHz)	$fx/2^8$ (19.5 kHz)
1	1	0	1	$fx/2^8$	$fx/2^8$ (19.5 kHz)	$fx/2^9$ (9.8 kHz)
1	1	1	0	$fx/2^9$	$fx/2^9$ (9.8 kHz)	$fx/2^{10}$ (4.9 kHz)
1	1	1	1	$fx/2^{11}$	$fx/2^{11}$ (2.4 kHz)	$fx/2^{12}$ (1.2 kHz)
上記以外				設定禁止		

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウンタ・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI2の立ち下がりエッジ		
0	0	0	1	TI2の立ち上がりエッジ		
0	1	1	0	$fx/2$	$fx/2$ (2.5 MHz)	$fx/2^2$ (1.25 MHz)
0	1	1	1	$fx/2^2$	$fx/2^2$ (1.25 MHz)	$fx/2^3$ (625 kHz)
1	0	0	0	$fx/2^3$	$fx/2^3$ (625 kHz)	$fx/2^4$ (313 kHz)
1	0	0	1	$fx/2^4$	$fx/2^4$ (313 kHz)	$fx/2^5$ (156 kHz)
1	0	1	0	$fx/2^5$	$fx/2^5$ (156 kHz)	$fx/2^6$ (78.1 kHz)
1	0	1	1	$fx/2^6$	$fx/2^6$ (78.1 kHz)	$fx/2^7$ (39.1 kHz)
1	1	0	0	$fx/2^7$	$fx/2^7$ (39.1 kHz)	$fx/2^8$ (19.5 kHz)
1	1	0	1	$fx/2^8$	$fx/2^8$ (19.5 kHz)	$fx/2^9$ (9.8 kHz)
1	1	1	0	$fx/2^9$	$fx/2^9$ (9.8 kHz)	$fx/2^{10}$ (4.9 kHz)
1	1	1	1	$fx/2^{11}$	$fx/2^{11}$ (2.4 kHz)	$fx/2^{12}$ (1.2 kHz)
上記以外				設定禁止		

注意 TCL1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. TI1 : 8ビット・タイマ・レジスタ1の入力端子
 4. TI2 : 8ビット・タイマ・レジスタ2の入力端子
 5. MCS : 発振モード選択レジスタのビット0
 6. ()内は, $f_x = 5.0\text{MHz}$ 動作時。

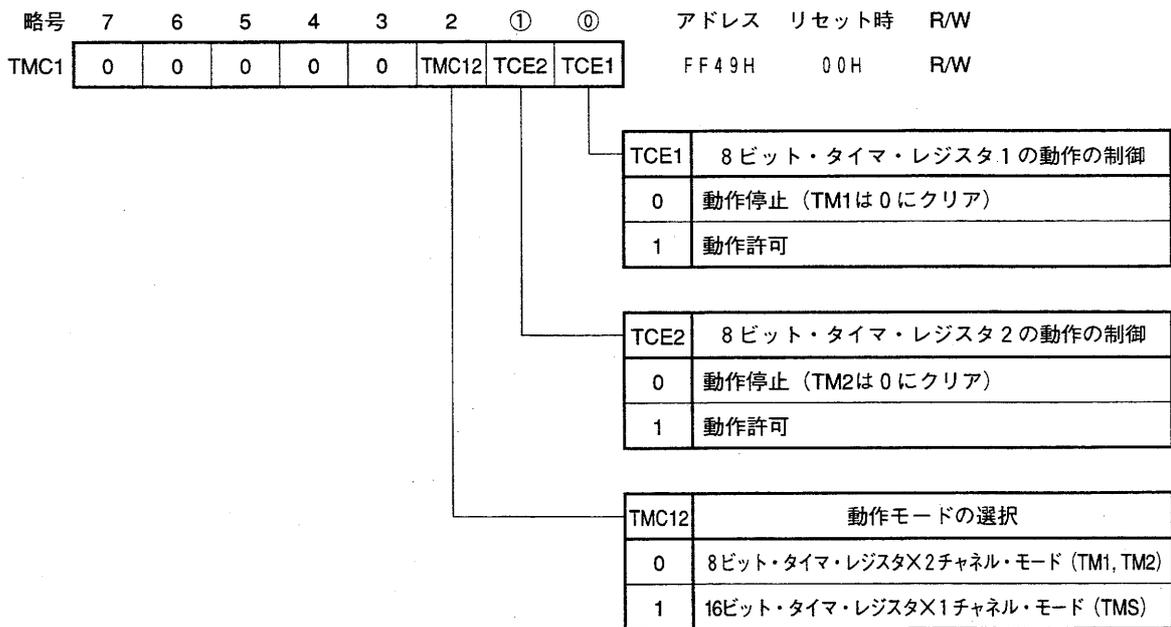
(2) 8ビット・タイマ・モード・コントロール・レジスタ(TMC1)

8ビット・タイマ・レジスタ1, 2の動作許可/停止および8ビット・タイマ・レジスタ2の動作モードを設定するレジスタです。

TMC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図9-5 8ビット・タイマ・モード・コントロール・レジスタのフォーマット



注意 1. 動作モードの切り替えは, タイマ動作を停止させたのちに行ってください。

2. 16ビット・タイマ・レジスタとして使用する場合, 動作許可/停止はTCE1で行ってください。

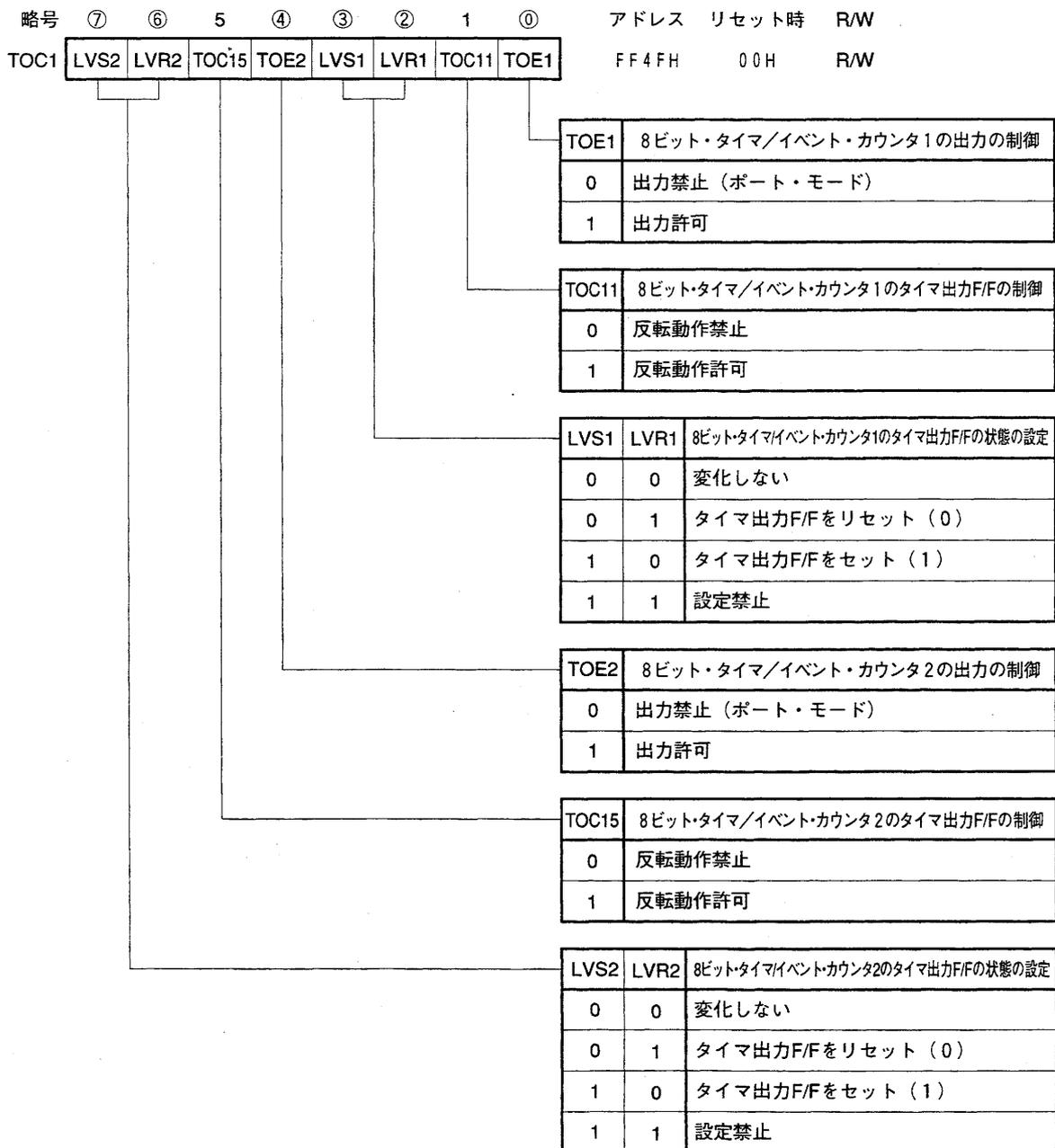
(3) 8ビット・タイマ出力コントロール・レジスタ(TOC1)

8ビット・タイマ/イベント・カウンタ出力制御回路1, 2の動作を制御するレジスタです。
R-S型フリップフロップ(LV1, LV2)のセット/リセット, 反転許可/禁止, 8ビット・タイマ・レジスタ1, 2のタイマ出力許可/禁止を設定します。

TOC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図9-6 8ビット・タイマ出力コントロール・レジスタのフォーマット



注意 1. TOC1の設定は, 必ずタイマ動作を停止させたのちに行ってください。

2. LVS1, LVS2, LVR1, LVR2は, データ設定後に読み出すと0が読み出せます。

(4) ポート・モード・レジスタ3 (PM3)

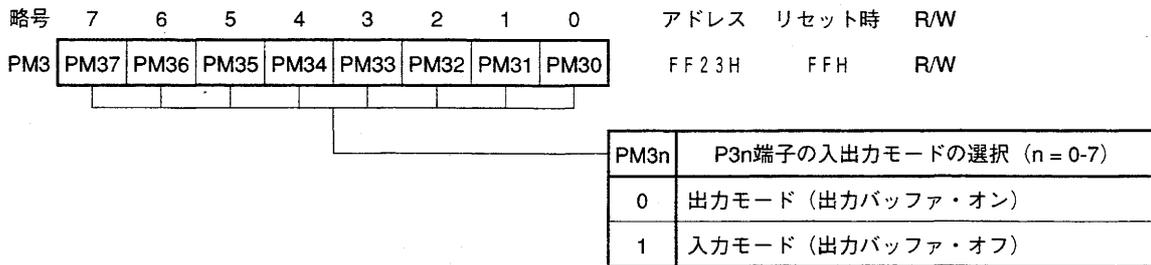
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P31/TO1, P32/TO2端子をタイマ出力として使用するとき、PM31, PM32およびP31, P32の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図9-7 ポート・モード・レジスタ3のフォーマット



9.4 8ビット・タイマ/イベント・カウンタの動作

9.4.1 8ビット・タイマ/イベント・カウンタ・モード

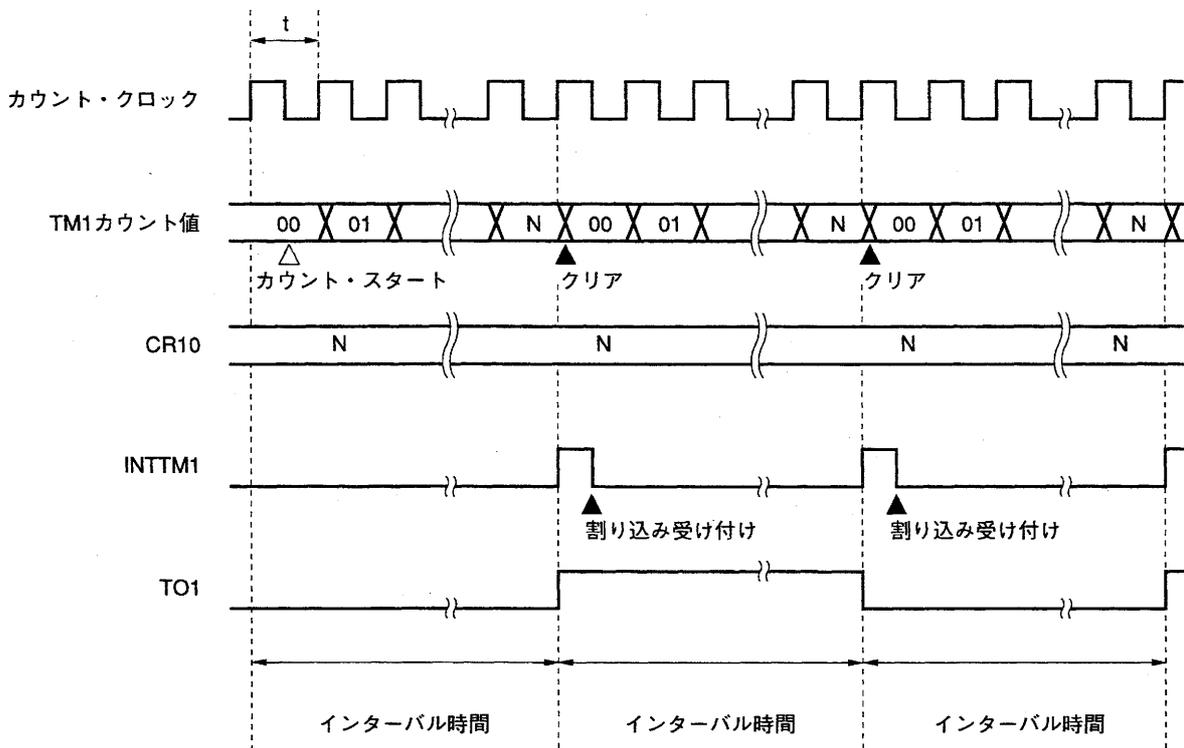
(1) インターバル・タイマとしての動作

8ビット・コンペア・レジスタ10, 20(CR10, CR20)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・タイマ・レジスタ1, 2(TM1, TM2)のカウント値がCR10, CR20に設定した値と一致したとき、TM1, TM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM1, INTTM2)を発生します。

タイマ・クロック選択レジスタ1(TCL1)のビット0-ビット3(TCL10-TCL13)で8ビット・タイマ・レジスタ1(TM1)のカウント・クロックを、またビット4-ビット7(TCL14-TCL17)で8ビット・タイマ・レジスタ2(TM2)のカウント・クロックを選択できます。

図9-8 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 00H-FFH$

表9-6 8ビット・タイマ/イベント・カウンタ1のインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	T11入力周期		2 ⁹ ×T11入力周期		T11入力エッジ周期	
0	0	0	1	T11入力周期		2 ⁹ ×T11入力周期		T11入力エッジ周期	
0	1	1	0	2 ² ×1/f _x (400 ns)	2 ² ×1/f _x (800 ns)	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁰ ×1/f _x (204.8 μs)	2 ² ×1/f _x (400 ns)	2 ² ×1/f _x (800 ns)
0	1	1	1	2 ² ×1/f _x (800 ns)	2 ³ ×1/f _x (1.6 μs)	2 ¹⁰ ×1/f _x (204.8 μs)	2 ¹¹ ×1/f _x (409.6 μs)	2 ² ×1/f _x (800 ns)	2 ³ ×1/f _x (1.6 μs)
1	0	0	0	2 ³ ×1/f _x (1.6 μs)	2 ⁴ ×1/f _x (3.2 μs)	2 ¹¹ ×1/f _x (409.6 μs)	2 ¹² ×1/f _x (819.2 μs)	2 ³ ×1/f _x (1.6 μs)	2 ⁴ ×1/f _x (3.2 μs)
1	0	0	1	2 ⁴ ×1/f _x (3.2 μs)	2 ⁵ ×1/f _x (6.4 μs)	2 ¹² ×1/f _x (819.2 μs)	2 ¹³ ×1/f _x (1.64 ms)	2 ⁴ ×1/f _x (3.2 μs)	2 ⁵ ×1/f _x (6.4 μs)
1	0	1	0	2 ⁵ ×1/f _x (6.4 μs)	2 ⁶ ×1/f _x (12.8 μs)	2 ¹³ ×1/f _x (1.64 ms)	2 ¹⁴ ×1/f _x (3.28 ms)	2 ⁵ ×1/f _x (6.4 μs)	2 ⁶ ×1/f _x (12.8 μs)
1	0	1	1	2 ⁵ ×1/f _x (12.8 μs)	2 ⁷ ×1/f _x (25.6 μs)	2 ¹⁴ ×1/f _x (3.28 ms)	2 ¹⁵ ×1/f _x (6.55 ms)	2 ⁵ ×1/f _x (12.8 μs)	2 ⁷ ×1/f _x (25.6 μs)
1	1	0	0	2 ⁷ ×1/f _x (25.6 μs)	2 ⁸ ×1/f _x (51.2 μs)	2 ¹⁵ ×1/f _x (6.55 ms)	2 ¹⁶ ×1/f _x (13.1 ms)	2 ⁷ ×1/f _x (25.6 μs)	2 ⁸ ×1/f _x (51.2 μs)
1	1	0	1	2 ⁸ ×1/f _x (51.2 μs)	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁶ ×1/f _x (13.1 ms)	2 ¹⁷ ×1/f _x (26.2 ms)	2 ⁸ ×1/f _x (51.2 μs)	2 ⁹ ×1/f _x (102.4 μs)
1	1	1	0	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁰ ×1/f _x (204.8 μs)	2 ¹⁷ ×1/f _x (26.2 ms)	2 ¹⁸ ×1/f _x (52.4 ms)	2 ⁹ ×1/f _x (102.4 μs)	2 ¹⁰ ×1/f _x (204.8 μs)
1	1	1	1	2 ¹¹ ×1/f _x (409.6 μs)	2 ¹² ×1/f _x (819.2 μs)	2 ¹⁹ ×1/f _x (104.9 ms)	2 ²⁰ ×1/f _x (209.7 ms)	2 ¹¹ ×1/f _x (409.6 μs)	2 ¹² ×1/f _x (819.2 μs)
上記以外				設定禁止					

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. ()内は, f_x = 5.0 MHz動作時。

表9-7 8ビット・タイマ/イベント・カウンタ2のインターバル時間

TCL17	TCL16	TCL15	TCL14	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI2入力周期		$2^9 \times \text{TI2}$ 入力周期		TI2入力エッジ周期	
0	0	0	1	TI2入力周期		$2^9 \times \text{TI2}$ 入力周期		TI2入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
0	1	1	1	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^3 \times 1/f_x$ (1.6 μs)	$2^4 \times 1/f_x$ (3.2 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μs)	$2^5 \times 1/f_x$ (6.4 μs)
1	0	1	0	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μs)	$2^6 \times 1/f_x$ (12.8 μs)
1	0	1	1	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μs)	$2^7 \times 1/f_x$ (25.6 μs)
1	1	0	0	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μs)	$2^8 \times 1/f_x$ (51.2 μs)
1	1	0	1	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μs)	$2^9 \times 1/f_x$ (102.4 μs)
1	1	1	0	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μs)	$2^{10} \times 1/f_x$ (204.8 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μs)	$2^{12} \times 1/f_x$ (819.2 μs)
上記以外				設定禁止					

備考1. f_x :メイン・システム・クロック発振周波数

2. MCS :発振モード選択レジスタのビット0

3. ()内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

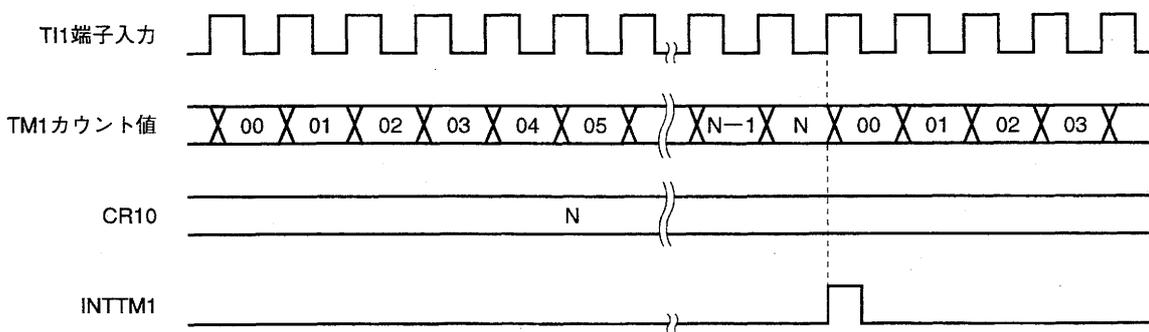
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33, TI2/P34端子に入力される外部からのクロック・パルス数を8ビット・タイマ・レジスタ1, 2 (TM1, TM2)でカウントするものです。

タイマ・クロック選択レジスタ1 (TCL1)で指定した有効エッジが入力されるたびに、TM1, TM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下りのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20 (CR10, CR20)の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM1, INTTM2)が発生します。

図9-9 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



備考 N = 00H-FFH

(3) 方形波出力

8ビット・コンペア・レジスタ10, 20(CR10, CR20)にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力です。

8ビット・タイマ出力コントロール・レジスタ(TOC1)のビット0 (TOE1), またはビット4 (TOE2)に1を設定することにより、CR10, またはCR20にあらかじめ設定したカウント値をインターバルとしてTO1/P31あるいはTO2/P32端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

表9-8 8ビット・タイマ/イベント・カウンタの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

3. ()内は、 $f_x = 5.0$ MHz動作時。

9.4.2 16ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ・モード・コントロール・レジスタ(TMC1)のビット2(TMC12)に1を設定し、16ビット・タイマ/カウンタ・モードを選択すると、8ビット・タイマ/イベント・カウンタ1(TM1)のオーバーフロー信号が8ビット・タイマ/イベント・カウンタ2(TM2)のカウント・クロックとなります。

2チャンネルの8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタ・モードで使用するとき、カウント・クロックはTCL1のビット0-ビット3(TCL10-TCL13)で選択します。また、カウント動作の禁止/許可はTMC1のビット0(TCE1)で選択します。

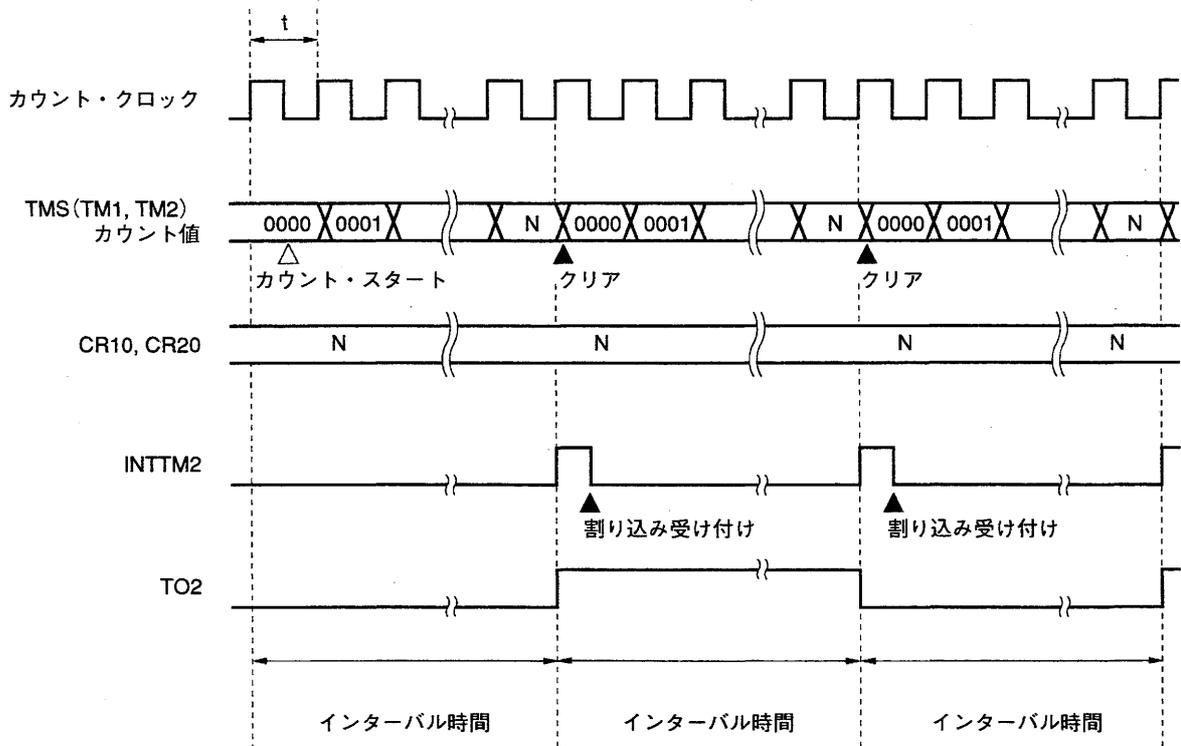
(1) インターバル・タイマ

2チャンネルの8ビット・コンペア・レジスタ10, 20(CR10, CR20)にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・タイマ・レジスタ1(TM1)とCR10が一致し、かつ8ビット・タイマ・レジスタ2(TM2)とCR20が一致したとき、TM1およびTM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号(INTTM2)を発生します。

タイマ・クロック選択レジスタ1(TCL1)のビット0-ビット3(TCL10-TCL13)でカウント・クロックを選択できます。

図9-10 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 0000H-FFFFH$

注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウンタ値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生し、8ビット・タイマ/イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウンタ値を読み出す場合には、16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出してください。

表9-9 2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	T11入力周期		2 ⁸ ×T11入力周期		T11入力エッジ周期	
0	0	0	1	T11入力周期		2 ⁸ ×T11入力周期		T11入力エッジ周期	
0	1	1	0	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)	2 ¹⁷ ×1/fx (26.2 ms)	2 ¹⁸ ×1/fx (52.4 ms)	2×1/fx (400 ns)	2 ² ×1/fx (800 ns)
0	1	1	1	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)	2 ¹⁸ ×1/fx (52.4 ms)	2 ¹⁹ ×1/fx (104.9 ms)	2 ² ×1/fx (800 ns)	2 ³ ×1/fx (1.6 μs)
1	0	0	0	2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)	2 ¹⁹ ×1/fx (104.9 ms)	2 ²⁰ ×1/fx (209.7 ms)	2 ³ ×1/fx (1.6 μs)	2 ⁴ ×1/fx (3.2 μs)
1	0	0	1	2 ⁴ ×1/fx (3.2 μs)	2 ⁵ ×1/fx (6.4 μs)	2 ²⁰ ×1/fx (209.7 ms)	2 ²¹ ×1/fx (419.4 ms)	2 ⁴ ×1/fx (3.2 μs)	2 ⁵ ×1/fx (6.4 μs)
1	0	1	0	2 ⁵ ×1/fx (6.4 μs)	2 ⁶ ×1/fx (12.8 μs)	2 ²¹ ×1/fx (419.4 ms)	2 ²² ×1/fx (838.9 ms)	2 ⁵ ×1/fx (6.4 μs)	2 ⁶ ×1/fx (12.8 μs)
1	0	1	1	2 ⁶ ×1/fx (12.8 μs)	2 ⁷ ×1/fx (25.6 μs)	2 ²² ×1/fx (838.9 ms)	2 ²³ ×1/fx (1.7 s)	2 ⁶ ×1/fx (12.8 μs)	2 ⁷ ×1/fx (25.6 μs)
1	1	0	0	2 ⁷ ×1/fx (25.6 μs)	2 ⁸ ×1/fx (51.2 μs)	2 ²³ ×1/fx (1.7 s)	2 ²⁴ ×1/fx (3.4 s)	2 ⁷ ×1/fx (25.6 μs)	2 ⁸ ×1/fx (51.2 μs)
1	1	0	1	2 ⁸ ×1/fx (51.2 μs)	2 ⁹ ×1/fx (102.4 μs)	2 ²⁴ ×1/fx (3.4 s)	2 ²⁵ ×1/fx (6.7 s)	2 ⁸ ×1/fx (51.2 μs)	2 ⁹ ×1/fx (102.4 μs)
1	1	1	0	2 ⁹ ×1/fx (102.4 μs)	2 ¹⁰ ×1/fx (204.8 μs)	2 ²⁵ ×1/fx (6.7 s)	2 ²⁶ ×1/fx (13.4 s)	2 ⁹ ×1/fx (102.4 μs)	2 ¹⁰ ×1/fx (204.8 μs)
1	1	1	1	2 ¹¹ ×1/fx (409.6 μs)	2 ¹² ×1/fx (819.2 μs)	2 ²⁷ ×1/fx (26.8 s)	2 ²⁸ ×1/fx (53.7 s)	2 ¹¹ ×1/fx (409.6 μs)	2 ¹² ×1/fx (819.2 μs)
上記以外				設定禁止					

備考1. fx :メイン・システム・クロック発振周波数

2. MCS :発振モード選択レジスタのビット0

3. ()内は、fx = 5.0 MHz動作時。

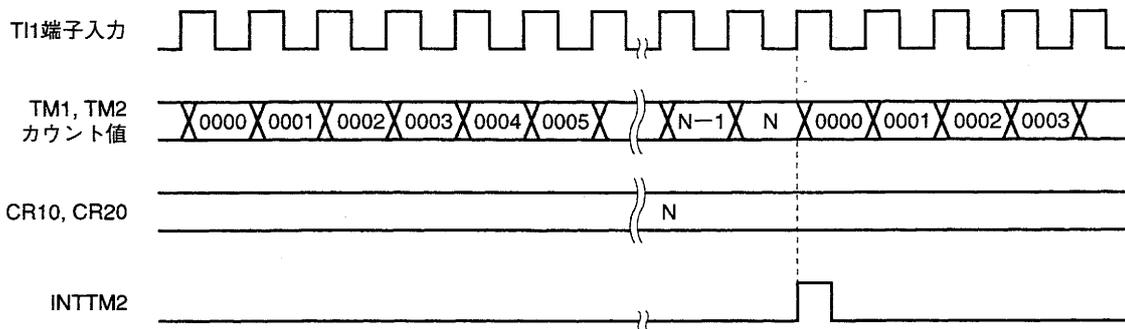
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33端子に入力される外部からのクロック・パルス数を2チャンネルの8ビット・タイマ・レジスタ1, 2 (TM1, TM2)でカウントするものです。

タイマ・クロック選択レジスタ1 (TCL1)で指定した有効エッジが入力されるたびに、TM1, TM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20 (CR10, CR20)の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号 (INTTM2)が発生します。

図9-11 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウンタ値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生し、8ビット・タイマ/イベント・カウンタ出力制御回路1のF/Fが反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウンタ値を読み出す場合には、16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出してください。

(3) 方形波出力

8ビット・コンペア・レジスタ10, 20(CR10, CR20)にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力です。

8ビット・タイマ出力コントロール・レジスタ(TOC1)のビット4 (TOE2)に1を設定することにより、CR10, CR20にあらかじめ設定したカウント値をインターバルとしてTO2/P32端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

表9-10 2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を
16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲

最小パルス幅		最大パルス幅		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)	$2 \times 1/f_x$ (400 ns)	$2^2 \times 1/f_x$ (800 ns)
$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^{18} \times 1/f_x$ (52.4 ms)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^2 \times 1/f_x$ (800 ns)	$2^3 \times 1/f_x$ (1.6 μ s)
$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^3 \times 1/f_x$ (1.6 μ s)	$2^4 \times 1/f_x$ (3.2 μ s)
$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^{20} \times 1/f_x$ (209.7 ms)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^4 \times 1/f_x$ (3.2 μ s)	$2^5 \times 1/f_x$ (6.4 μ s)
$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^{21} \times 1/f_x$ (419.4 ms)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^5 \times 1/f_x$ (6.4 μ s)	$2^6 \times 1/f_x$ (12.8 μ s)
$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^{22} \times 1/f_x$ (838.9 ms)	$2^{23} \times 1/f_x$ (1.7 s)	$2^6 \times 1/f_x$ (12.8 μ s)	$2^7 \times 1/f_x$ (25.6 μ s)
$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^{23} \times 1/f_x$ (1.7 s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^7 \times 1/f_x$ (25.6 μ s)	$2^8 \times 1/f_x$ (51.2 μ s)
$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{24} \times 1/f_x$ (3.4 s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^8 \times 1/f_x$ (51.2 μ s)	$2^9 \times 1/f_x$ (102.4 μ s)
$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)	$2^{25} \times 1/f_x$ (6.7 s)	$2^{26} \times 1/f_x$ (13.4 s)	$2^9 \times 1/f_x$ (102.4 μ s)	$2^{10} \times 1/f_x$ (204.8 μ s)
$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)	$2^{27} \times 1/f_x$ (26.8 s)	$2^{28} \times 1/f_x$ (53.7 s)	$2^{11} \times 1/f_x$ (409.6 μ s)	$2^{12} \times 1/f_x$ (819.2 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. MCS : 発振モード選択レジスタのビット0

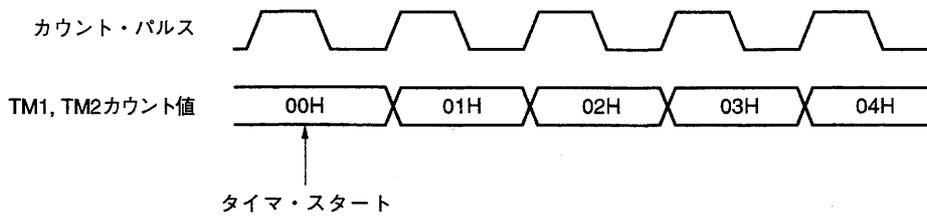
3. ()内は、 $f_x = 5.0$ MHz動作時。

9.5 8ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・レジスタ1, 2 (TM1, TM2)のスタートが非同期で行われるためです。

図9-12 8ビット・タイマ・レジスタのスタート・タイミング



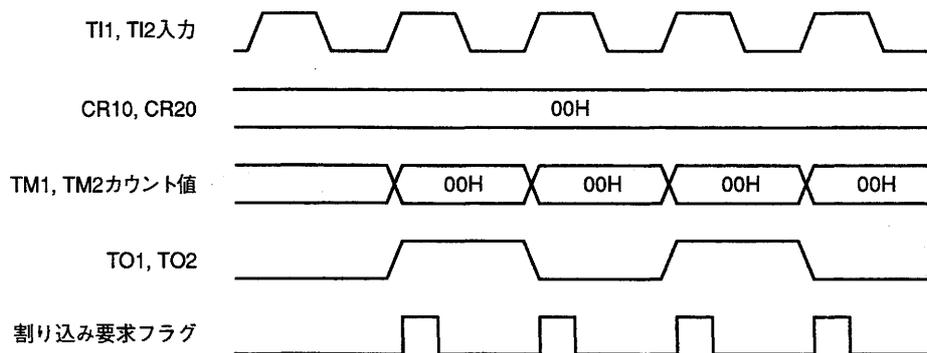
(2) 8ビット・コンペア・レジスタ10, 20の設定

8ビット・コンペア・レジスタ10, 20 (CR10, CR20)には、00Hの設定が可能です。

したがって、イベント・カウンタとして使用時、1パルスのカウント動作が可能です。

また、16ビット・タイマ/イベント・カウンタとして使用時、CR10, CR20の書き込みは、8ビット・タイマ・モード・コントロール・レジスタのビット0 (TCE1)に0を設定し、タイマ動作を停止させたのちに行ってください。

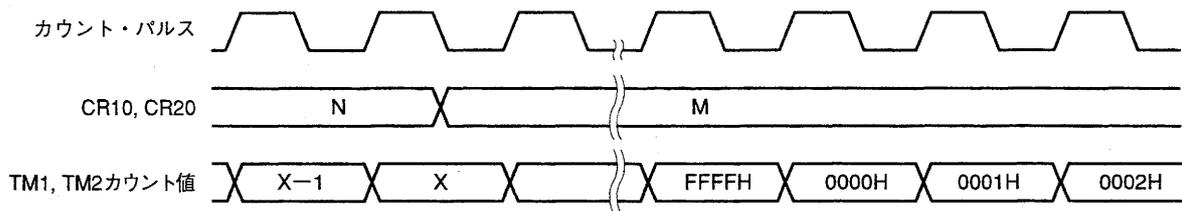
図9-13 外部イベント・カウンタとして動作時のタイミング



(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ10, 20(CR10, CR20)の変更後の値が、8ビット・タイマ・レジスタ1, 2(TM1, TM2)の値よりも小さいとき、TM1, TM2はカウントを継続しオーバーフローして0から再カウントします。したがって、CR10, CR20の変更後の値(M)が変更前の値(N)より小さいときは、CR10, CR20を変更後、タイマを再スタートさせる必要があります。

図9-14 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第10章 時計用タイマ

10.1 時計用タイマの機能

時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

(1) 時計用タイマ

32.768 kHzのサブシステム・クロックを使用することにより、0.5秒または0.25秒の時間間隔でフラグ(WTIF)をセットします。

また、4.19 MHz(標準: 4.194304 MHz)のメイン・システム・クロックを使用することにより、0.5秒または0.25秒の時間間隔でフラグ(WTIF)をセットします。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。
32.768 kHzのサブシステム・クロックに切り替え、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で割り込み要求(INTTM3)を発生します。

表10-1 インターバル・タイマのインターバル時間

インターバル時間	$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{xt} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	410 μs	488 μs	488 μs
$2^5 \times 1/f_w$	819 μs	977 μs	977 μs
$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms

備考 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{xt} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{xt})

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成しています。

表10-2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

10.3 時計用タイマを制御するレジスタ

時計用タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・時計用タイマ・モード・コントロール・レジスタ (TMC2)

(1) タイマ・クロック選択レジスタ2 (TCL2)

時計用タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 TCL2は、時計用タイマのカウント・クロックの設定以外に、ウォッチドッグ・タイマのカウント・クロックおよびブザー出力の周波数を設定する機能があります。

図10-1 時計用タイマのブロック図★

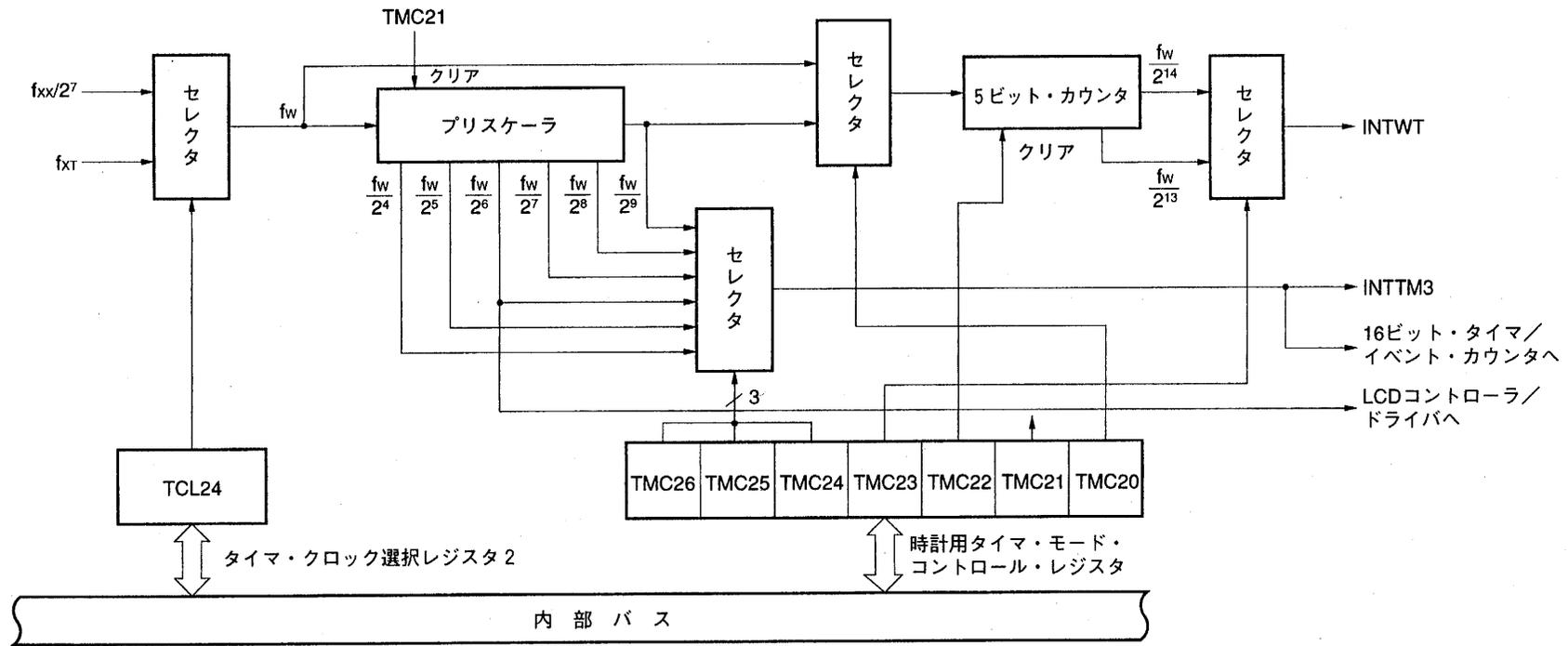


図10-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択		
		MCS = 1	MCS = 0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{xt} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
				MCS = 1	MCS = 0
0	×	×	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
3. f_{xt} : サブシステム・クロック発振周波数
4. × : don't care
5. MCS : 発振モード選択レジスタのビット0
6. ()内は、 $f_x = 5.0$ MHzまたは $f_{xt} = 32.768$ kHz動作時。

(2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

時計用タイマの動作モード、時計用フラグのセット時間、プリスケアラおよび5ビット・カウンタの動作許可/禁止、プリスケアラのインターバル時間を設定するレジスタです。

TMC2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10-3 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC2	0	TMC26	TMC25	TMC24	TMC23	TMC22	TMC21	TMC20	FF4AH	00H	R/W

TMC20	時計動作モードの選択		
0	通常動作モード ($f_w/2^{14}$ でフラグをセット)		
1	早送り動作モード ($f_w/2^5$ でフラグをセット)		

TMC21	プリスケアラの動作の制御		
0	動作停止後クリア		
1	動作許可		

TMC22	5ビット・カウンタの動作の制御		
0	動作停止後クリア		
1	動作許可		

TMC23	時計用フラグのセット時間の選択		
	$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
	0	$2^{14}/f_w$ (0.4 sec)	$2^{14}/f_w$ (0.5 sec)
1	$2^{13}/f_w$ (0.2 sec)	$2^{13}/f_w$ (0.25 sec)	$2^{13}/f_w$ (0.25 sec)

TMC26	TMC25	TMC24	プリスケアラのインターバル時間の選択		
			$f_{xx} = 5.0 \text{ MHz}$ 動作時	$f_{xx} = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4/f_w$ (410 μs)	$2^4/f_w$ (488 μs)	$2^4/f_w$ (488 μs)
0	0	1	$2^5/f_w$ (819 μs)	$2^5/f_w$ (977 μs)	$2^5/f_w$ (977 μs)
0	1	0	$2^6/f_w$ (1.64 ms)	$2^6/f_w$ (1.95 ms)	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.28 ms)	$2^7/f_w$ (3.91 ms)	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (6.55 ms)	$2^8/f_w$ (7.81 ms)	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (13.1 ms)	$2^9/f_w$ (15.6 ms)	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止		

注意 時計用タイマを使用するときは、ひんぱんにプリスケアラをクリアしないでください。

備考 f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{XT})

f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

32.768 kHzのサブシステム・クロックまたは4.19 MHzのメイン・システム・クロックを使用することで、0.5秒または0.25秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、テスト入力フラグ(WTIF)を1にセットします。WTIFが1にセットされることにより、スタンバイ状態(STOPモード/HALTモード)を解除することができます。

時計用タイマ・モード・コントロール・レジスタのビット2(TMC22)に0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させるときは、TMC22に0を設定することにより、ゼロ秒スタートができます(最大誤差26.2 ms: $f_{xx} = 5.0$ MHz動作時)。

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタのビット4-ビット6(TMC24-TMC26)により、インターバル時間を選択できます。

表10-3 インターバル・タイマのインターバル時間

TMC26	TMC25	TMC24	インターバル時間	$f_{xx} = 5.0$ MHz動作時	$f_{xx} = 4.19$ MHz動作時	$f_{xt} = 32.768$ kHz動作時
0	0	0	$2^4 \times 1/f_w$	410 μ s	488 μ s	488 μ s
0	0	1	$2^5 \times 1/f_w$	819 μ s	977 μ s	977 μ s
0	1	0	$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms
上記以外			設定禁止			

備考 f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

f_x : メイン・システム・クロック発振周波数

f_{xt} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数($f_{xx}/2^7$ または f_{xt})

第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ(WDTM)で選択してください。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたはRESETを発生することができます。

表11-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x (410 \mu s)$	$2^{12} \times 1/f_x (819 \mu s)$
$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x (819 \mu s)$	$2^{13} \times 1/f_x (1.64 ms)$
$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x (1.64 ms)$	$2^{14} \times 1/f_x (3.28 ms)$
$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x (3.28 ms)$	$2^{15} \times 1/f_x (6.55 ms)$
$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x (6.55 ms)$	$2^{16} \times 1/f_x (13.1 ms)$
$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x (13.1 ms)$	$2^{17} \times 1/f_x (26.2 ms)$
$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x (26.2 ms)$	$2^{18} \times 1/f_x (52.4 ms)$
$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x (104.9 ms)$	$2^{20} \times 1/f_x (209.7 ms)$

備考 1. f_{xx} :メイン・システム・クロック周波数(f_x または $f_x/2$)

2. f_x :メイン・システム・クロック発振周波数

3. MCS:発振モード選択レジスタのビット0

4. ()内は、 $f_x = 5.0 MHz$ 動作時。

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

表11-2 インターバル時間

インターバル時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (410 μ s)	$2^{12} \times 1/f_x$ (819 μ s)
$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (819 μ s)	$2^{13} \times 1/f_x$ (1.64 ms)
$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.64 ms)	$2^{14} \times 1/f_x$ (3.28 ms)
$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.28 ms)	$2^{15} \times 1/f_x$ (6.55 ms)
$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (6.55 ms)	$2^{16} \times 1/f_x$ (13.1 ms)
$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (13.1 ms)	$2^{17} \times 1/f_x$ (26.2 ms)
$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (26.2 ms)	$2^{18} \times 1/f_x$ (52.4 ms)
$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (104.9 ms)	$2^{20} \times 1/f_x$ (209.7 ms)

- 備考 1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. MCS: 発振モード選択レジスタのビット 0
 4. ()内は, $f_x = 5.0$ MHz動作時。

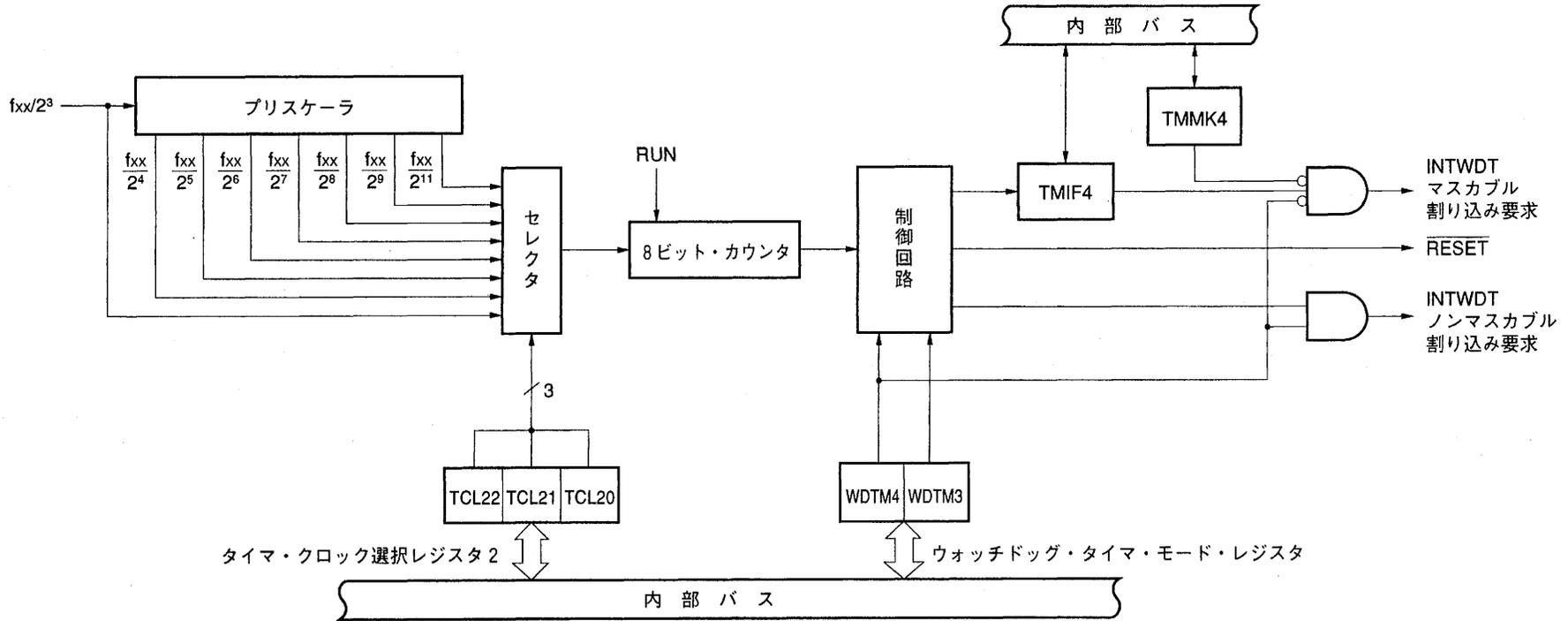
11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表11-3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ 2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図11-1 ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ウォッチドッグ・タイマのカウント・クロックの設定以外に、時計用タイマのカウント・クロックおよびブザー出力の周波数を設定する機能があります。

図11-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択		
		MCS = 1	MCS = 0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{xt} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
				MCS = 1	MCS = 0
0	×	×	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

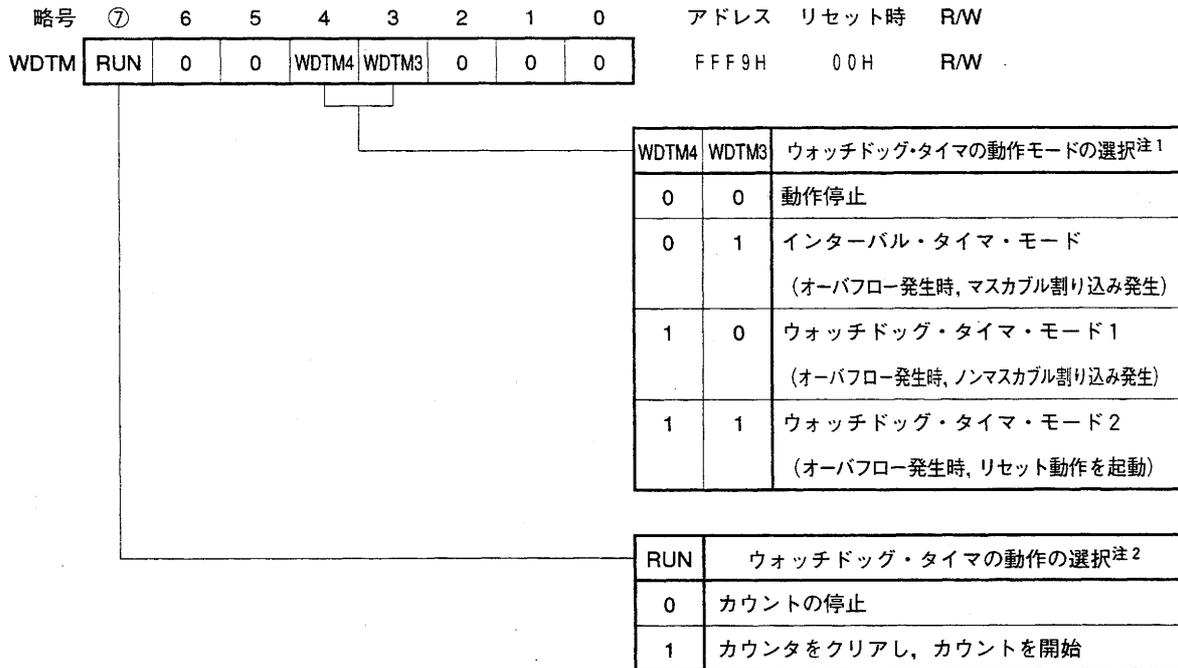
注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. f_{xt} : サブシステム・クロック発振周波数
 4. × : don't care
 5. MCS : 発振モード選択レジスタのビット0
 6. ()内は, $f_x = 5.0$ MHzまたは $f_{xt} = 32.768$ kHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。
 WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図11-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



注1. WDTM3, WDTM4は、一度1にセットされると、ソフトウェアで0にクリアすることはできません。

2. RUNは、一度1にセットされると、ソフトウェアで0にクリアすることはできません。
 したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

注意 RUNに1をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、
 タイマ・クロック選択レジスタ2で設定した時間より最大0.5%短くなります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット4(WDTM4)に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2(TCL2)のビット0-ビット2(TCL20-TCL22)でウォッチドッグ・タイマのカウント・クロック(暴走検出時間間隔)を選択できます。WDTMのビット7(RUN)に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3(WDTM3)の値により、システム・リセットまたはノンマスクابل割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1. 実際の暴走検出時間は設定時間に対して最大0.5%短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1 / f_{xx}$	$2^{11} \times 1 / f_x (410 \mu s)$	$2^{12} \times 1 / f_x (819 \mu s)$
0	0	1	$2^{12} \times 1 / f_{xx}$	$2^{12} \times 1 / f_x (819 \mu s)$	$2^{13} \times 1 / f_x (1.64 ms)$
0	1	0	$2^{13} \times 1 / f_{xx}$	$2^{13} \times 1 / f_x (1.64 ms)$	$2^{14} \times 1 / f_x (3.28 ms)$
0	1	1	$2^{14} \times 1 / f_{xx}$	$2^{14} \times 1 / f_x (3.28 ms)$	$2^{15} \times 1 / f_x (6.55 ms)$
1	0	0	$2^{15} \times 1 / f_{xx}$	$2^{15} \times 1 / f_x (6.55 ms)$	$2^{16} \times 1 / f_x (13.1 ms)$
1	0	1	$2^{16} \times 1 / f_{xx}$	$2^{16} \times 1 / f_x (13.1 ms)$	$2^{17} \times 1 / f_x (26.2 ms)$
1	1	0	$2^{17} \times 1 / f_{xx}$	$2^{17} \times 1 / f_x (26.2 ms)$	$2^{18} \times 1 / f_x (52.4 ms)$
1	1	1	$2^{19} \times 1 / f_{xx}$	$2^{19} \times 1 / f_x (104.9 ms)$	$2^{20} \times 1 / f_x (209.7 ms)$

備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

2. f_x : メイン・システム・クロック発振周波数

3. MCS : 発振モード選択レジスタのビット0

4. ()内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

11.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット3(WDTM3)に1、ビット4(WDTM4)に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ(TMMK4)と優先順位指定フラグ(TMPR4)が有効となり、マスカブル割り込み(INTWDT)を発生させることができます。INTWDTのデフォルトの優先順位は、マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意 1. 一度WDTMのビット4(WDTM4)に1をセットする(ウォッチドッグ・タイマ・モードを選択する)とRESET入力されないかぎり、インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は、設定時間に対して最大0.5%短くなる場合があります。
3. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表11-5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1 / f_{xx}$	$2^{11} \times 1 / f_x (410 \mu s)$	$2^{12} \times 1 / f_x (819 \mu s)$
0	0	1	$2^{12} \times 1 / f_{xx}$	$2^{12} \times 1 / f_x (819 \mu s)$	$2^{13} \times 1 / f_x (1.64 ms)$
0	1	0	$2^{13} \times 1 / f_{xx}$	$2^{13} \times 1 / f_x (1.64 ms)$	$2^{14} \times 1 / f_x (3.28 ms)$
0	1	1	$2^{14} \times 1 / f_{xx}$	$2^{14} \times 1 / f_x (3.28 ms)$	$2^{15} \times 1 / f_x (6.55 ms)$
1	0	0	$2^{15} \times 1 / f_{xx}$	$2^{15} \times 1 / f_x (6.55 ms)$	$2^{16} \times 1 / f_x (13.1 ms)$
1	0	1	$2^{16} \times 1 / f_{xx}$	$2^{16} \times 1 / f_x (13.1 ms)$	$2^{17} \times 1 / f_x (26.2 ms)$
1	1	0	$2^{17} \times 1 / f_{xx}$	$2^{17} \times 1 / f_x (26.2 ms)$	$2^{18} \times 1 / f_x (52.4 ms)$
1	1	1	$2^{18} \times 1 / f_{xx}$	$2^{18} \times 1 / f_x (104.9 ms)$	$2^{20} \times 1 / f_x (209.7 ms)$

備考 1. f_{xx} :メイン・システム・クロック周波数(f_x または $f_x/2$)

2. f_x :メイン・システム・クロック発振周波数

3. MCS :発振モード選択レジスタのビット0

4. ()内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

第12章 クロック出力制御回路

12.1 クロック出力制御回路の機能

リモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。タイマ・クロック選択レジスタ0 (TCL0)で選択したクロックをPCL/P35端子から出力します。

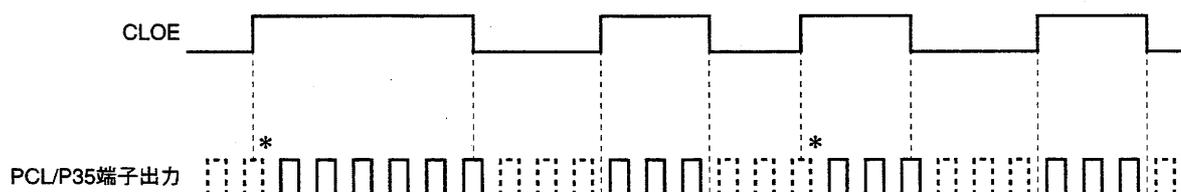
クロック・パルスを出力するときは、次の手順で行います。

- ① TCL0のビット0-ビット3 (TCL00-TCL03)でクロック・パルスの出力周波数を選択する(クロック・パルスの出力は禁止の状態)。
- ② P35の出力ラッチに0を設定する。
- ③ ポート・モード・レジスタ3のビット5 (PM35)に0を設定する(出力モードに設定)。
- ④ タイマ・クロック選択レジスタ0のビット7 (CLOE)に1を設定する。

注意 P35の出力ラッチに1を設定すると、クロック出力は使用できません。

備考 クロック出力制御回路は、クロック出力の許可/禁止の切り替えを行うときに、幅の狭いパルスは出力されないようになっています(図12-1 *印参照)。

図12-1 リモコン出力応用例



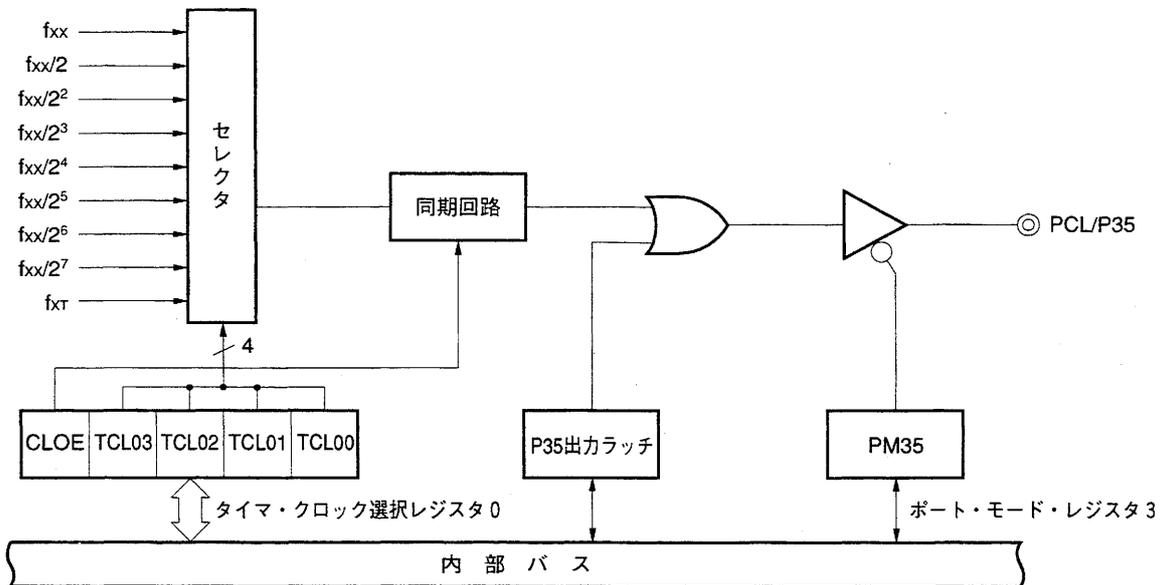
12.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成しています。

表12-1 クロック出力制御回路の構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ0 (TCL0) ポート・モード・レジスタ3 (PM3)

図12-2 クロック出力制御回路のブロック図



12.3 クロック出力機能を制御するレジスタ

クロック出力機能は、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ0 (TCL0)
- ・ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ0 (TCL0)

PCL出力のクロックを設定するレジスタです。

TCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

備考 TCL0は、PCL出力のクロックの設定以外に、16ビット・タイマ・レジスタのカウント・クロックを設定する機能があります。

図12-3 タイマ・クロック選択レジスタ0のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL0	CLOE	TCL06	TCL05	TCL04	TCL03	TCL02	TCL01	TCL00	FF40H	00H	R/W

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	fx _T (32.768 kHz)		
0	1	0	1	fx _x	fx (5.0 MHz)	fx/2 (2.5 MHz)
0	1	1	0	fx _x /2	fx/2 (2.5 MHz)	fx/2 ² (1.25 MHz)
0	1	1	1	fx _x /2 ²	fx/2 ² (1.25 MHz)	fx/2 ³ (625 kHz)
1	0	0	0	fx _x /2 ³	fx/2 ³ (625 kHz)	fx/2 ⁴ (313 kHz)
1	0	0	1	fx _x /2 ⁴	fx/2 ⁴ (313 kHz)	fx/2 ⁵ (156 kHz)
1	0	1	0	fx _x /2 ⁵	fx/2 ⁵ (156 kHz)	fx/2 ⁶ (78.1 kHz)
1	0	1	1	fx _x /2 ⁶	fx/2 ⁶ (78.1 kHz)	fx/2 ⁷ (39.1 kHz)
1	1	0	0	fx _x /2 ⁷	fx/2 ⁷ (39.1 kHz)	fx/2 ⁸ (19.5 kHz)
上記以外				設定禁止		

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウント・クロックの選択			
			MCS = 1		MCS = 0	
0	0	0	TI00 (有効エッジ指定可能)			
0	0	1	2fx _x	設定禁止		fx (5.0 MHz)
0	1	0	fx _x	fx (5.0 MHz)	fx/2 (2.5 MHz)	
0	1	1	fx _x /2	fx/2 (2.5 MHz)	fx/2 ² (1.25 MHz)	
1	0	0	fx _x /2 ²	fx/2 ² (1.25 MHz)	fx/2 ³ (625 kHz)	
1	1	1	時計用タイマ出力 (INTTM3)			
上記以外			設定禁止			

CLOE	PCL出力の制御
0	出力禁止
1	出力許可

- 注意 1. TI00/INTP0端子の有効エッジの設定は、外部割り込みモード・レジスタ0で行います。また、サンプリング・クロック周波数の選択は、サンプリング・クロック選択レジスタで行います。
2. PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
3. TM0のカウント・クロックにTI00を指定しているとき、カウント値を読み出す場合には、キャプチャ/コンペア・レジスタ01 (CR01) からではなく、TM0から読み出してください。
4. TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
2. f_x : メイン・システム・クロック発振周波数
 3. f_{xT} : サブシステム・クロック発振周波数
 4. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 5. TM0 : 16ビット・タイマ・レジスタ
 6. MCS : 発振モード選択レジスタのビット0
 7. ()内は, $f_x = 5.0 \text{ MHz}$ または $f_{xT} = 32.768 \text{ kHz}$ 動作時。

(2) ポート・モード・レジスタ3 (PM3)

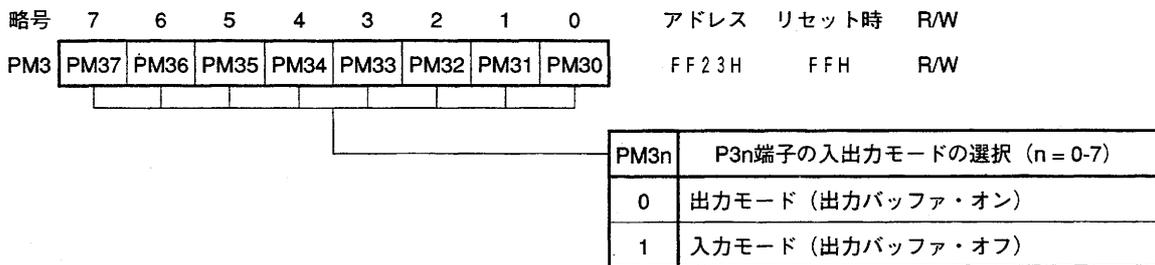
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P35/PCL端子をクロック出力機能として使用するとき、PM35およびP35の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図12-4 ポート・モード・レジスタ3のフォーマット



第13章 ブザー出力制御回路

13.1 ブザー出力制御回路の機能

1.2 kHz, 2.4 kHz, 4.9 kHz, 9.8 kHzの周波数の方形波を出力する機能です。タイマ・クロック選択レジスタ 2 (TCL2) で選択したブザー周波数をBUZ/P36端子から出力します。

ブザー周波数を出力するときは、次の手順で行います。

- ① TCL2のビット5-ビット7 (TCL25-TCL27) でブザー出力周波数を選択する。
- ② P36の出力ラッチに0を設定する。
- ③ ポート・モード・レジスタ3のビット6 (PM36) に0を設定する(出力モードに設定)。

注意 P36の出力ラッチに1を設定すると、ブザー出力は使用できません。

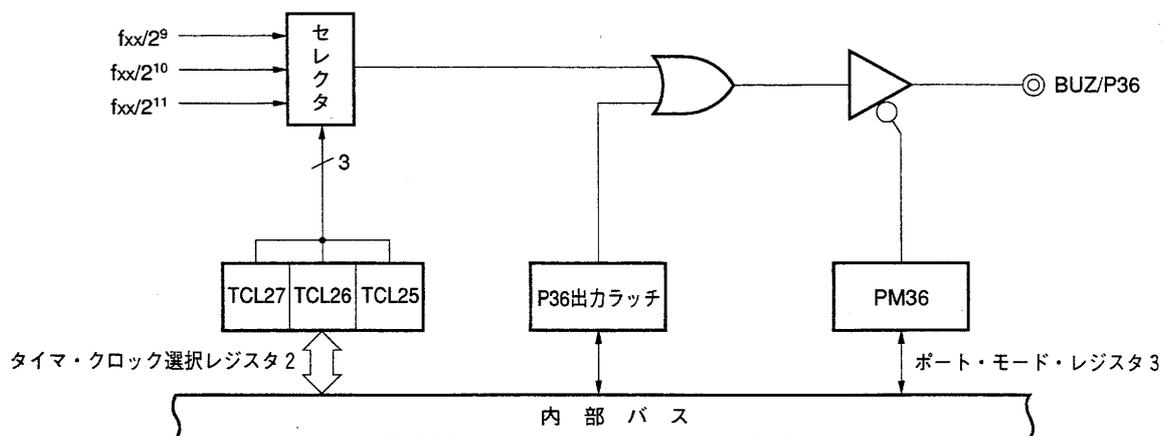
13.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成しています。

表13-1 ブザー出力制御回路の構成

項目	構成
制御レジスタ	タイマ・クロック選択レジスタ 2 (TCL2) ポート・モード・レジスタ 3 (PM3)

図13-1 ブザー出力制御回路のブロック図



13.3 ブザー出力機能を制御するレジスタ

ブザー出力機能は、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ポート・モード・レジスタ3 (PM3)

(1) タイマ・クロック選択レジスタ2 (TCL2)

ブザー出力の周波数を設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

備考 TCL2は、ブザー出力の周波数の設定以外に、時計用タイマのカウント・クロックおよびウォッチドッグ・タイマのカウント・クロックを設定する機能があります。

図13-2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
			MCS = 1		MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択		
	MCS = 1		MCS = 0
0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	f_{xt} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
			MCS = 1		MCS = 0
0	×	×	ブザー出力禁止		
1	0	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)
1	0	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)
1	1	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.4 kHz)	$f_x/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. f_{xt} : サブシステム・クロック発振周波数
 4. × : don't care
 5. MCS : 発振モード選択レジスタのビット 0
 6. () 内は, $f_x = 5.0$ MHz または $f_{xt} = 32.768$ kHz 動作時。

(2) ポート・モード・レジスタ3 (PM3)

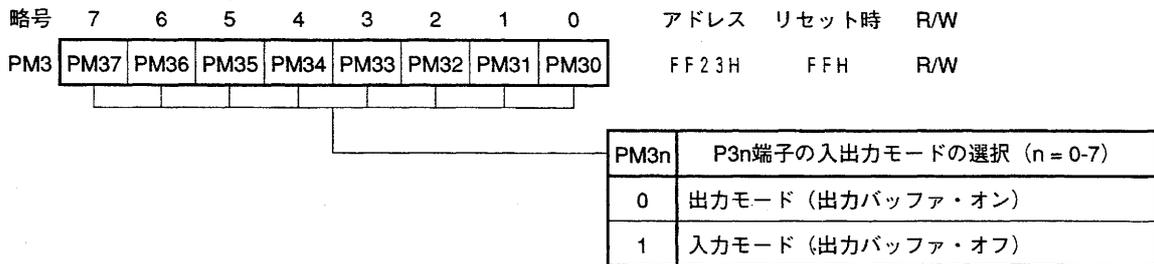
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P36/BUZ端子をブザー出力機能として使用するとき、PM36およびP36の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図13-3 ポート・モード・レジスタ3のフォーマット



第14章 A/Dコンバータ

14.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能8チャンネル(ANI0-ANI7)の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ(ADCR)に保持します。

A/D変換動作の起動には、次の2種類があります。

(1) ハードウェア・スタート

トリガ入力(INTP3)により変換開始。

(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタを設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行います。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後、変換動作を停止します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生します。

14

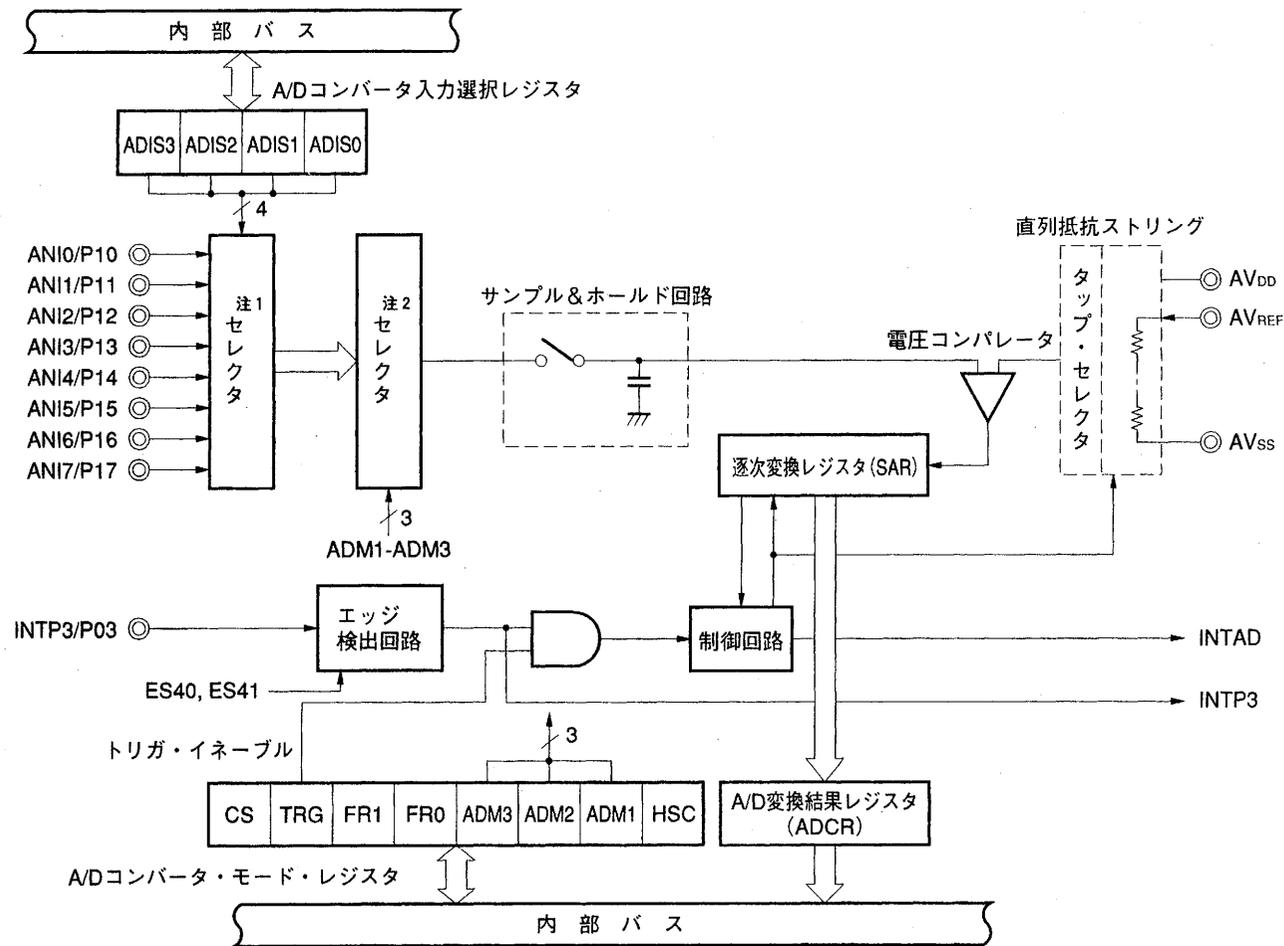
14.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表14-1 A/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル(ANI0-ANI7)
制御レジスタ	A/Dコンバータ・モード・レジスタ(ADM) A/Dコンバータ入力選択レジスタ(ADIS) 外部割り込みモード・レジスタ1(INTM1)
レジスタ	逐次変換レジスタ(SAR) A/D変換結果レジスタ(ADCR)

図14-1 A/Dコンバータのブロック図★



注1. アナログ入力として使用するチャンネル数を選択するセレクタ。

2. A/D変換するチャンネルを選択するセレクタ。

(1) 逐次変換レジスタ(SAR)

アナログ入力電圧値と直列抵抗ストリングからの電圧タップ(比較電圧)の値を比較し、その結果を最上位(MSB)から保持するレジスタです。

最下位ビット(LSB)まで設定すると(A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されます。

(2) A/D変換結果レジスタ(ADCR)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCRは、8ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは、 AV_{REF} - AV_{SS} 間に入っており、アナログ入力と比較する電圧を発生します。

(6) AN10-AN17端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。A/Dコンバータ入力選択レジスタ(ADIS)でアナログ入力として選択した端子以外は、入出力ポートとして使用できます。

注意 AN10-AN17入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{REF} 端子

A/Dコンバータの基準電圧を入力する端子です。

AV_{REF} 、 AV_{SS} 間にかかる電圧に基づいて、AN10-AN17に入力される信号をデジタル信号に変換します。

スタンバイ・モード時には、 AV_{REF} 端子に入力する電圧を AV_{SS} レベルとすることにより直列抵抗ストリングに流れる電流を低減できます。

(8) AV_{SS}端子

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(9) AV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

14.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の3種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ(ADM)
- ・A/Dコンバータ入力選択レジスタ(ADIS)
- ・外部割り込みモード・レジスタ1(INTM1)

(1) A/Dコンバータ・モード・レジスタ(ADM)

A/D変換するアナログ入力のチャンネル、変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

図14-2 A/Dコンバータ・モード・レジスタのフォーマット

★

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H	01H	R/W

ADM3	ADM2	ADM1	アナログ入力チャネルの選択
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

FR1	FR0	HSC	A/D変換時間の選択 ^{注1}			
			fx = 5.0 MHz動作時		fx = 4.19 MHz動作時	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	1	80/fx(設定禁止 ^{注2})	160/fx(32.0 μs)	80/fx(19.1 μs)	160/fx(38.1 μs)
0	1	1	40/fx(設定禁止 ^{注2})	80/fx(設定禁止 ^{注2})	40/fx(設定禁止 ^{注2})	80/fx(19.1 μs)
1	0	0	50/fx(設定禁止 ^{注2})	100/fx(20.0 μs)	50/fx(設定禁止 ^{注2})	100/fx(23.8 μs)
1	0	1	100/fx(20.0 μs)	200/fx(40.0 μs)	100/fx(23.8 μs)	200/fx(47.7 μs)
上記以外			設定禁止			

TRG	外部トリガの選択
0	外部トリガなし(ソフトウェア・スタート)
1	外部トリガにより変換開始(ハードウェア・スタート)

CS	A/D変換動作の制御
0	動作停止
1	動作開始

注1. A/D変換時間が19.1 μs以上になるように設定してください。

2. A/D変換時間が19.1 μs未満となりますので、設定禁止です。

注意1. スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには、ビット7(CS)を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

2. 停止しているA/D変換動作を再開するときは、割り込み要求フラグ(ADIF)を0にクリアしたのちにA/D変換動作を開始してください。

備考 fx : メイン・システム・クロック発振周波数

MCS : 発振モード選択レジスタのビット0

(2) A/Dコンバータ入力選択レジスタ(ADIS)

ANIO/P10-ANI7/P17端子をアナログ入力のチャンネルとして使用するか、ポートとして使用するかを設定するレジスタです。アナログ入力として選択した端子以外は、入出力ポートとして使用できません。

ADISは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意1. アナログ入力のチャンネルの設定は、次の順序で行ってください。

- ① ADISでアナログ入力のチャンネル数を設定します。
- ② ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをADMで1チャンネル選択します。

2. ADISでアナログ入力として設定したチャンネルでは、プルアップ抵抗オプション・レジスタLのビット1 (PUO1)の値にかかわらず、内蔵プルアップ抵抗が接続されません。

図14-3 A/Dコンバータ入力選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADIS	0	0	0	0	ADIS3	ADIS2	ADIS1	ADIS0	FF84H	00H	R/W

ADIS3	ADIS2	ADIS1	ADIS0	アナログ入力チャンネル数の選択
0	0	0	0	アナログ入力チャンネルなし(P10-P17)
0	0	0	1	1チャンネル(ANIO, P11-P17)
0	0	1	0	2チャンネル(ANIO, ANI1, P12-P17)
0	0	1	1	3チャンネル(ANIO-ANI2, P13-P17)
0	1	0	0	4チャンネル(ANIO-ANI3, P14-P17)
0	1	0	1	5チャンネル(ANIO-ANI4, P15-P17)
0	1	1	0	6チャンネル(ANIO-ANI5, P16, P17)
0	1	1	1	7チャンネル(ANIO-ANI6, P17)
1	0	0	0	8チャンネル(ANIO-ANI7)
上記以外				設定禁止

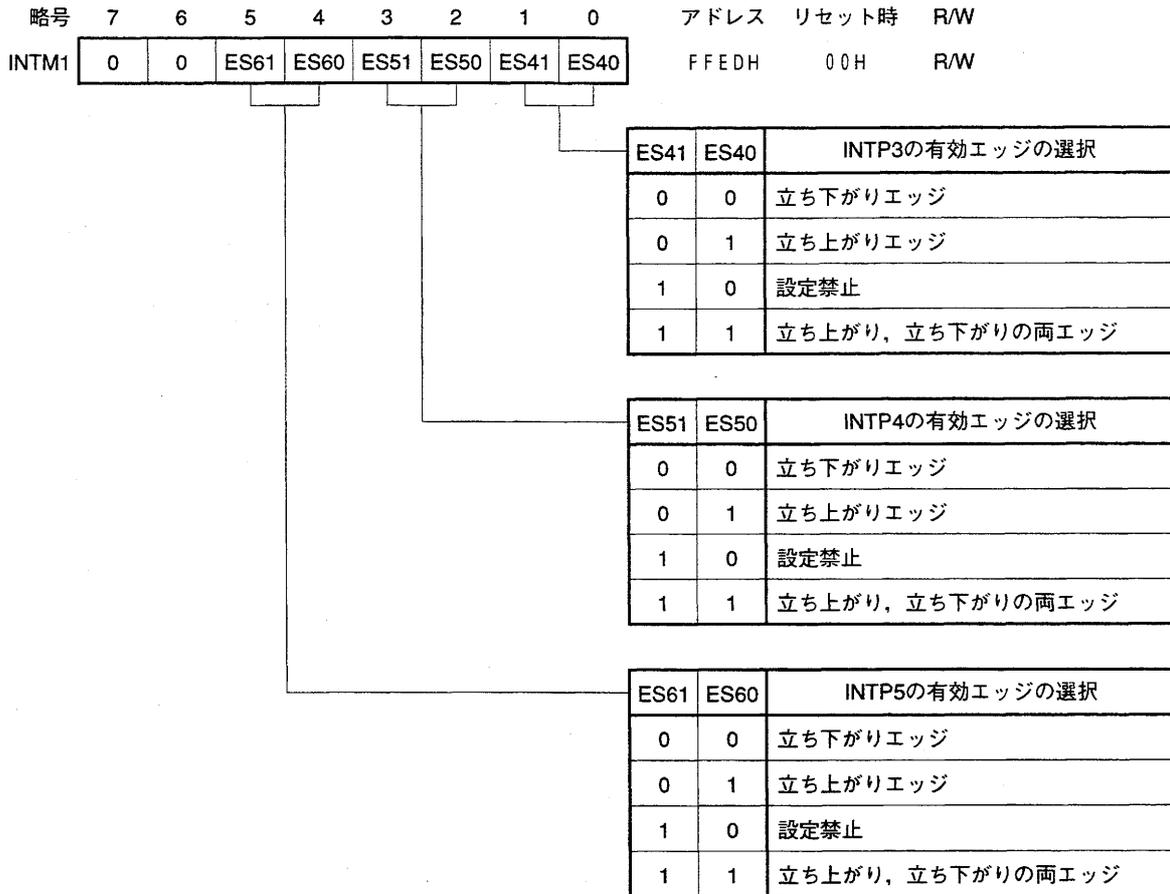
(3) 外部割り込みモード・レジスタ1 (INTM1)

INTP3-INTP5の有効エッジを設定するレジスタです。

INTM1は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14-4 外部割り込みモード・レジスタ1のフォーマット



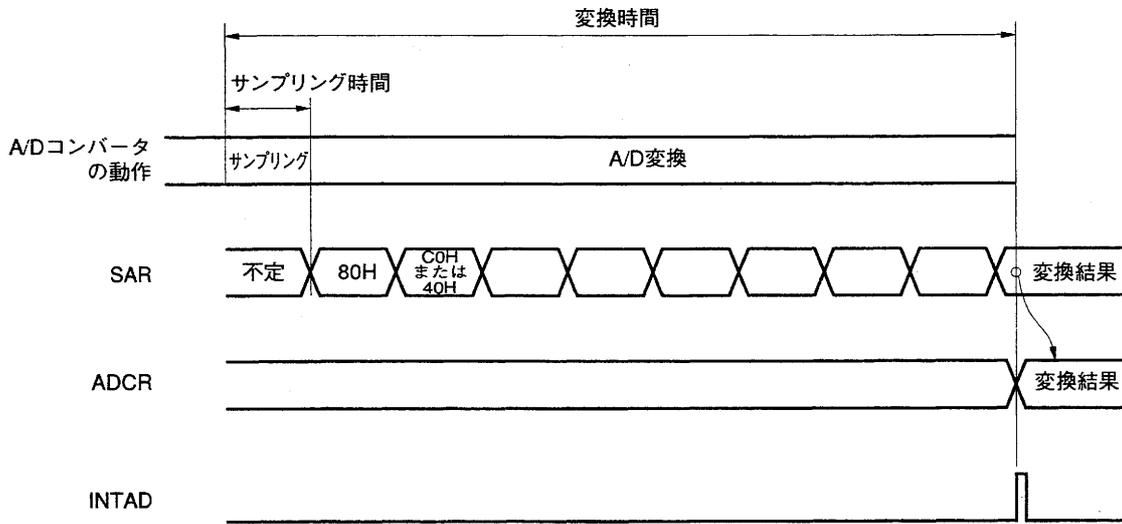
14.4 A/Dコンバータの動作

14.4.1 A/Dコンバータの基本動作

- ① A/Dコンバータ入力選択レジスタ(ADIS)でアナログ入力のチャンネル数を設定してください。
- ② ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ(ADM)で1チャンネル選択してください。
- ③ 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。
- ④ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ⑤ 逐次変換レジスタ(SAR)のビット7をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF}$ にします。
- ⑥ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力が $(1/2)AV_{REF}$ よりも大きければ、SARのMSBをセットしたままです。また、 $(1/2)AV_{REF}$ よりも小さければ、MSBをリセットします。
- ⑦ 次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット7=1： $(3/4)AV_{REF}$
 - ・ビット7=0： $(1/4)AV_{REF}$この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。
 - ・アナログ入力電圧 \geq 電圧タップ：ビット6=1
 - ・アナログ入力電圧 \leq 電圧タップ：ビット6=0
- ⑧ このような比較をSARのビット0まで続けます。
- ⑨ 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ(ADCR)に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求(INTAD)を発生させることができます。

図14-5 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりCSビットをリセット(0)するまで連続的に行われます。

A/D変換動作中に、ADMレジスタに対する書き込み操作を行うと変換動作は初期化され、CSビットがセット(1)されていれば、最初から変換を開始します。

ADCRレジスタは、RESETにより不定となります。

14.4.2 入力電圧と変換結果

アナログ入力端子(ANI0-ANI7)に入力されたアナログ入力電圧とA/D変換結果(ADCRに格納された値)には次式に示す関係があります。

$$\text{ADCR} = \text{INT}\left(\frac{V_{\text{IN}}}{AV_{\text{REF}}} \times 256 + 0.5\right)$$

または,

$$(\text{ADCR} - 0.5) \times \frac{AV_{\text{REF}}}{256} \leq V_{\text{IN}} < (\text{ADCR} + 0.5) \times \frac{AV_{\text{REF}}}{256}$$

INT() : ()内の値の整数部を返す関数

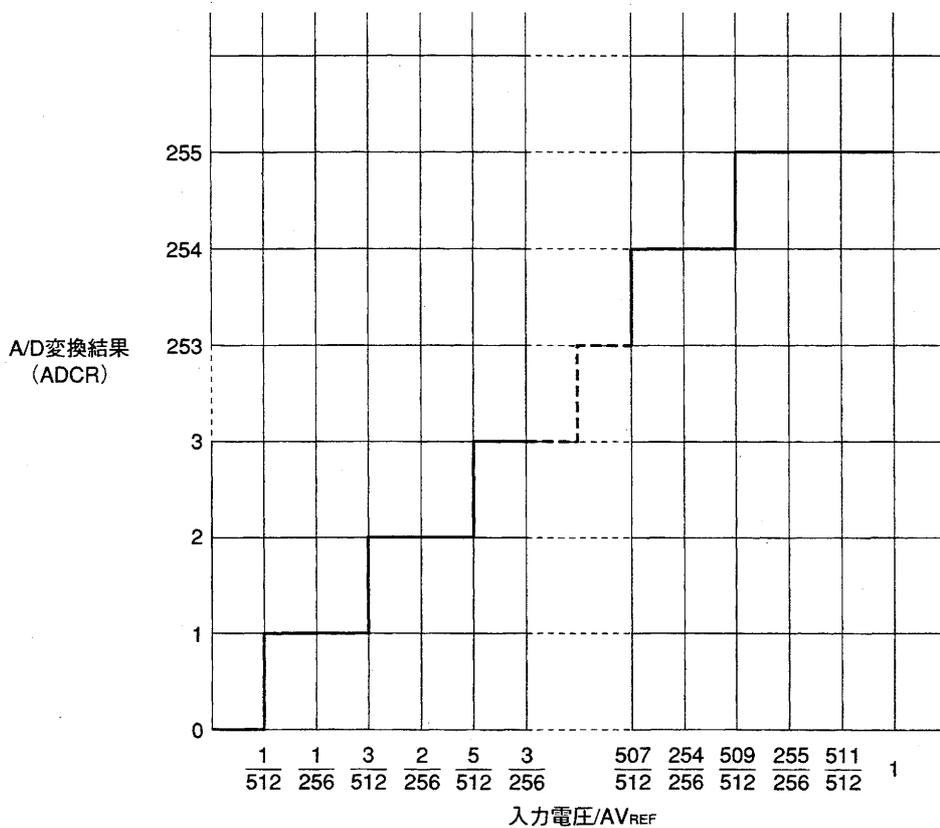
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : ADCRレジスタの値

図14-6 にアナログ入力電圧とA/D変換結果の関係を図示します。

図14-6 アナログ入力電圧とA/D変換結果の関係



14.4.3 A/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。A/Dコンバータ入力選択レジスタ(ADIS)およびA/Dコンバータ・モード・レジスタ(ADM)によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

A/D変換動作の起動には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力(INTP3)により変換開始
- ・ソフトウェア・スタート：ADMを設定することにより変換開始

また、A/D変換結果は、A/D変換結果レジスタ(ADCR)に格納され、同時に割り込み要求信号(INTAD)が発生します。

(1) ハードウェア・スタートによるA/D変換動作

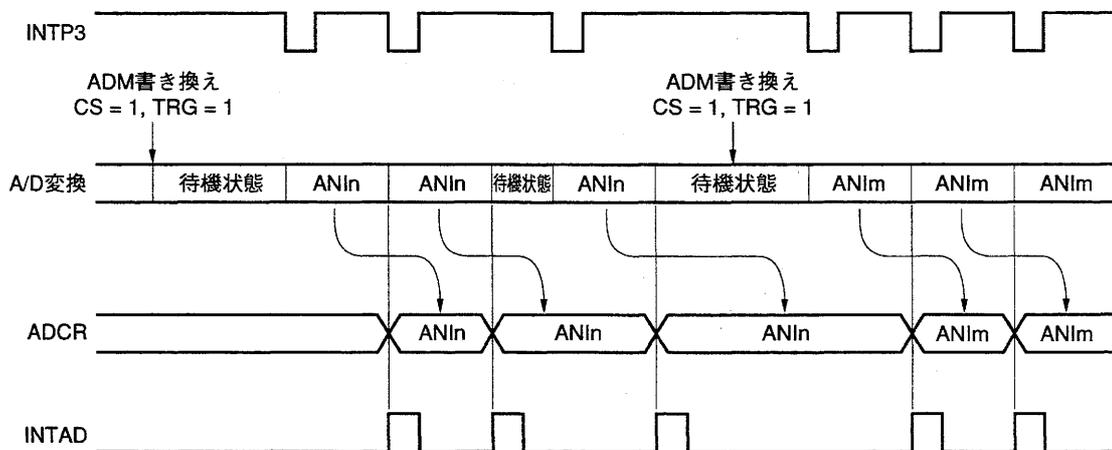
ADMのビット6(TRG)に1、ビット7(CS)に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号(INTP3)が入力されると、ADMのビット1-ビット3(ADM1-ADM3)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ(ADCR)に格納し、割り込み要求信号(INTAD)が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中に、再度CSが1であるデータをADMに書き込むと、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。

また、A/D変換動作中に、CSが0であるデータをADMに書き込むと、ただちにA/D変換動作を停止します。

図14-7 ハードウェア・スタートによるA/D変換動作



備考 n=0, 1, …, 7
m=0, 1, …, 7

(2) ソフトウェア・スタートによるA/D変換動作

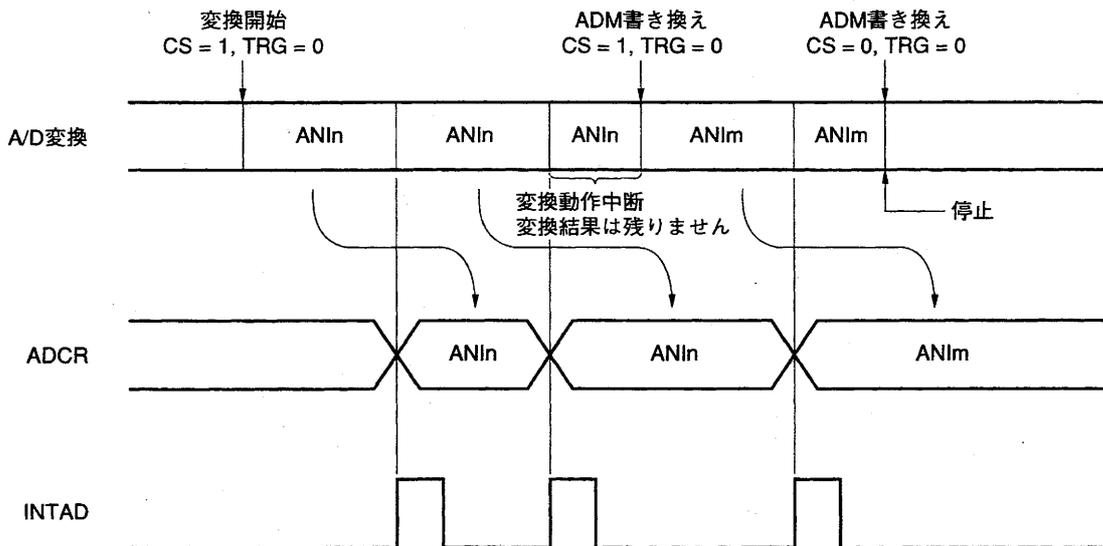
A/Dコンバータ・モード・レジスタ(ADM)のビット6 (TRG)に0, ビット7 (CS)に1を設定することにより, ADMのビット1-ビット3 (ADM1-ADM3)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ(ADCR)に格納し, 割り込み要求信号(INTAD)が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADMに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, 再度CSが1であるデータをADMに書き込むと, そのとき行っていたA/D変換動作は中断し, 新たに書き込んだデータのA/D変換動作を開始します。

また, A/D変換動作中に, CSが0であるデータをADMに書き込むと, ただちにA/D変換動作を停止します。

図14-8 ソフトウェア・スタートによるA/D変換動作



備考 n=0, 1, …, 7

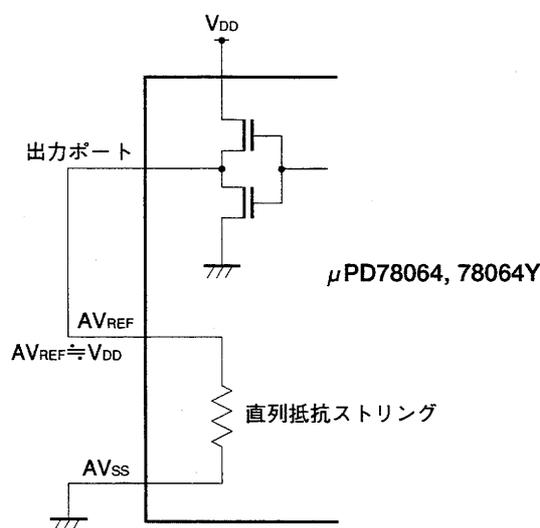
m=0, 1, …, 7

14.5 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、メイン・システム・クロックによって動作します。したがって、STOPモード、またはサブシステム・クロックでのHALTモード時には動作は停止します。このときにも、AVREF端子には電流が流れ込みますので、システム全体としての消費電力を少なくするには、この電流をカットする必要があります。図14-9の場合、スタンバイ・モード時には出力ポートにロウ・レベルを出力すれば、消費電力を小さくすることができます。ただし、実際のAVREFの電圧に精度がありませんので、変換値の値自体は精度を持たず、相対的な比較のみに使用できます。

図14-9 スタンバイ・モード時の消費電流を低減させる方法例



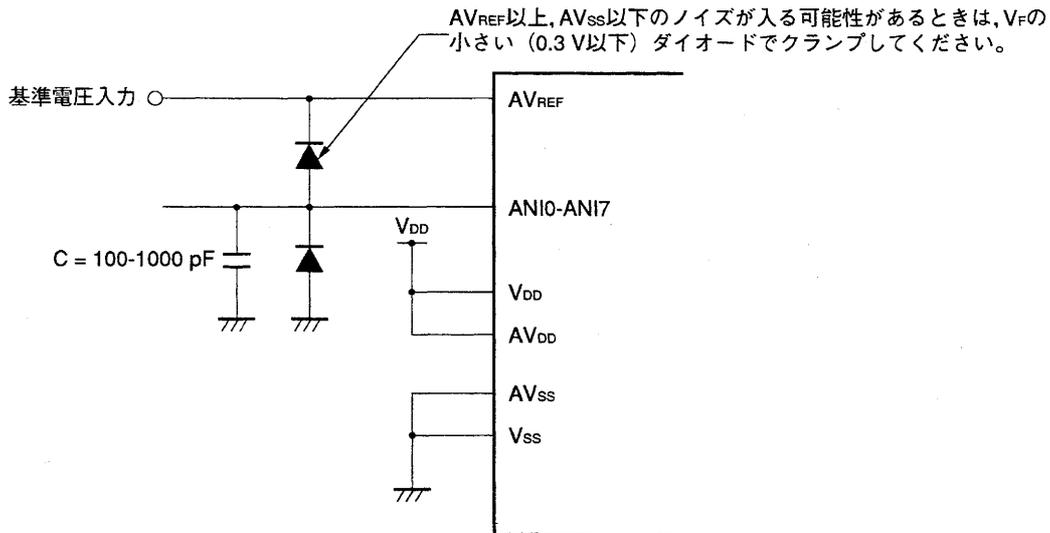
(2) AN10-AN17入力範囲について

AN10-AN17入力電圧は規格の範囲内でご使用ください。特に、AVREF以上、AVSS以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

8ビット分解能を保つためには、 AV_{REF} 、 $ANI0$ - $ANI7$ 端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-10のように、 C を外付けすることを推奨します。

図14-10 アナログ入力端子の処理



(4) $ANI0/P10$ - $ANI7/P17$

アナログ入力($ANI0$ - $ANI7$)端子は入出力ポート(PORT1)端子と兼用になっています。
 $ANI0$ - $ANI7$ のいずれかを選択してA/D変換をする場合、変換中にPORT1の入力命令は実行しないでください。変換分解能が低下することがあります。
 また、A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(5) AV_{REF} 端子の入力インピーダンスについて

AV_{REF} 端子と AV_{SS} 端子の間には約10kΩの直列抵抗ストリングが接続されています。
 したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF} 端子と AV_{SS} 端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

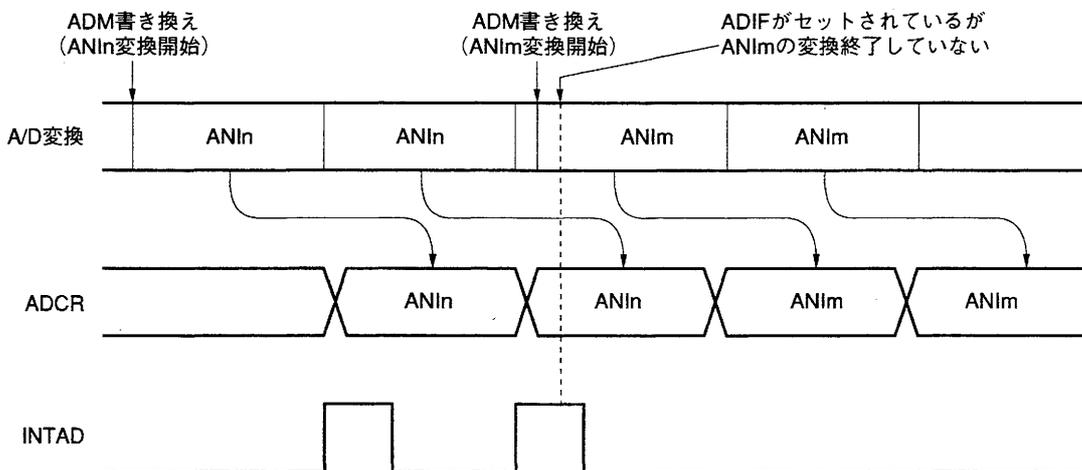
(6) 割り込み要求フラグ(ADIF)について

A/Dコンバータ・モード・レジスタ(ADM)を変更しても割り込み要求フラグ(ADIF)はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADM書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前に割り込み要求フラグ(ADIF)をクリアしてください。

図14-11 A/D変換終了割り込み発生タイミング

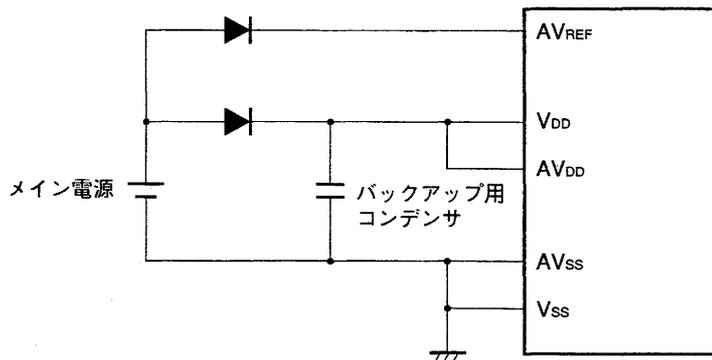


(7) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0/P10-ANI7/P17の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図14-12のように必ずV_{DD}と同レベルの電位を印加してください。

図14-12 AV_{DD}端子の処理



★

[x 毛]

第15章 シリアル・インタフェース・チャンネル0 (μ PD78064サブシリーズ)

μ PD78064サブシリーズは、シリアル・インタフェースを2チャンネル内蔵しています。チャンネル0、チャンネル2の違いは次のとおりです(シリアル・インタフェース・チャンネル2の詳細は、第17章 シリアル・インタフェース・チャンネル2を参照してください)。

表15-1 チャンネル0とチャンネル2の違い

シリアル転送モード		チャンネル0	チャンネル2
3線式シリアルI/O	クロック選択	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8,$ 外部クロック、TO2出力	外部クロック、 ポーレート・ジェネレータ出力
	転送方式	MSB先頭/LSB先頭の 切り替え可能	MSB先頭/LSB先頭の 切り替え可能
	転送終了フラグ	シリアル転送終了割り込み 要求フラグ(CSIF0)	シリアル転送終了割り込み 要求フラグ(SRIF)
SBI(シリアル・バス・インタフェース)		使用可能	なし
2線式シリアルI/O			
UART (アシンクロナス・シリアル・インタフェース)		なし	使用可能

15.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBI(シリアル・バス・インタフェース)モード
- ・2線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) 3線式シリアルI/Oモード(MSB/LSB先頭切り替え可能)

シリアル・クロック(SCK0)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75Xシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) SBI(シリアル・バス・インタフェース)モード(MSB先頭)

シリアル・クロック(SCK0)と、シリアル・データ・バス(SB0またはSB1)の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

NECシリアル・バス・フォーマットに準拠します。SBIモードでは、送信側は、シリアル・データ・バス上に、シリアル通信の対象デバイス選択のための“アドレス”、対象デバイスに対して指令を与える“コマンド”、および実際の“データ”を出力することができます。また、受信側は、受信したデータをハードウェアにより、自動的に“アドレス”、“コマンド”、“データ”に判別することができます。

この機能により、入出力ポートの有効活用ができるほか、さらに応用プログラムのシリアル・インタフェースの制御部分を簡単にすることができます。

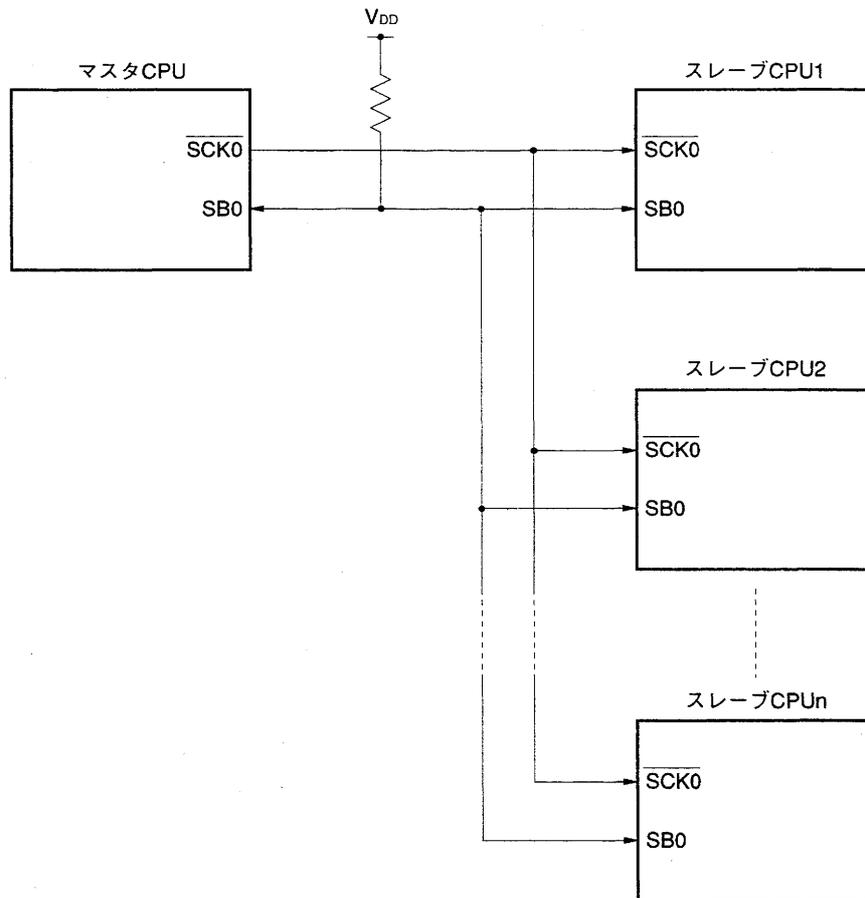
また、ハンドシェイクのためのウエイク・アップ機能、アクノリッジ信号、ビジィ信号出力機能も使用することができます。

(4) 2線式シリアルI/Oモード(MSB先頭)

シリアル・クロック(SCK0)と、シリアル・データ・バス(SB0またはSB1)の2本のラインにより、8ビット・データ転送を行うモードです。

SCK0と、SB0またはSB1の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応することができます。したがって、従来、複数デバイスを接続するときに必要なハンドシェイクのためのラインを削除することができ、入出力ポートの有効活用ができます。

図15-1 シリアル・バス・インタフェース(SBI)のシステム構成例



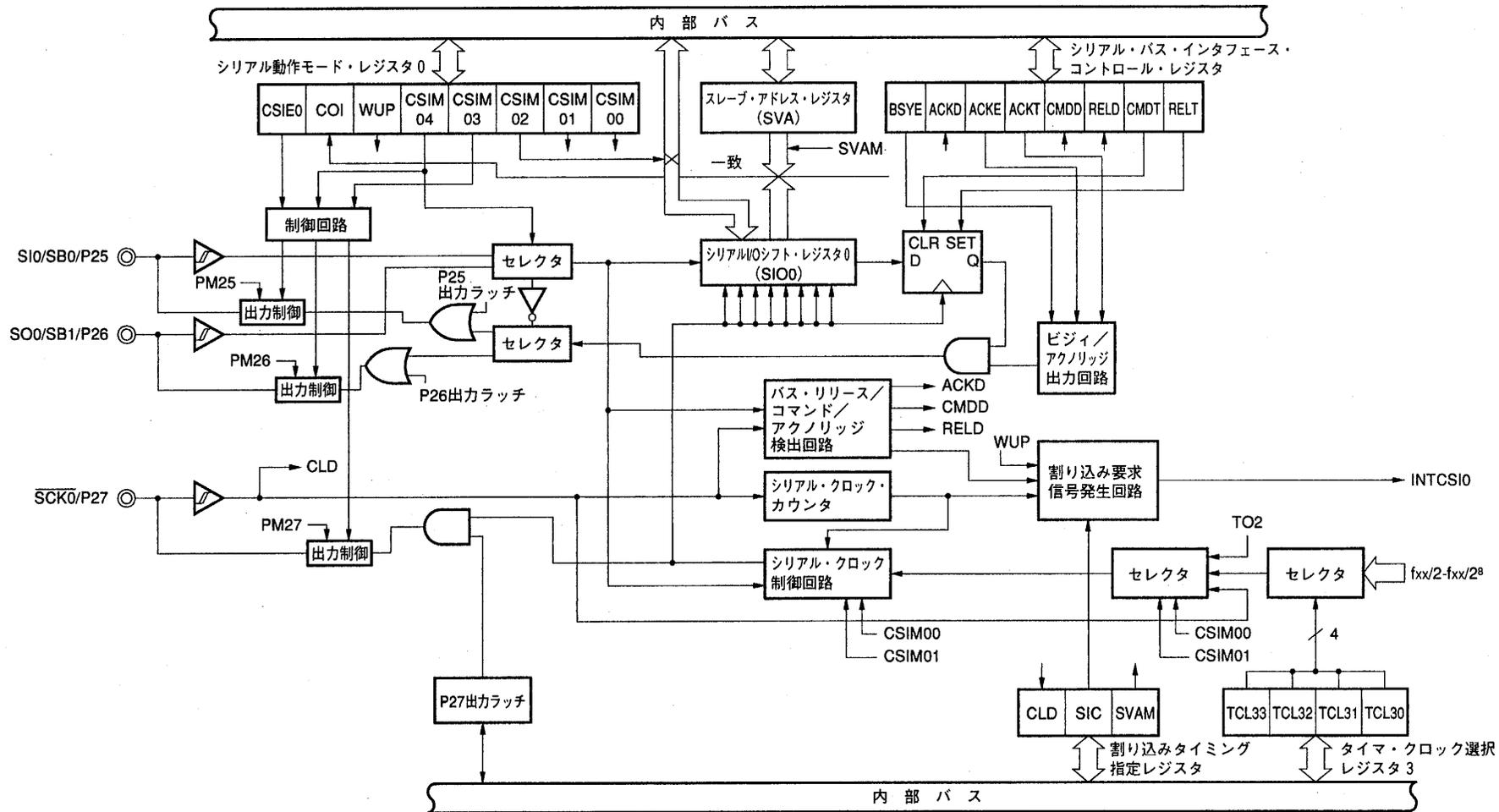
15.2 シリアル・インタフェース・チャンネル0の構成

シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表15-2 シリアル・インタフェース・チャンネル0の構成

項 目	構 成
レジスタ	シリアルI/Oソフト・レジスタ0 (SIO0) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ0 (CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 割り込みタイミング指定レジスタ (SINT) ポート・モード・レジスタ2 (PM2)

図15-2 シリアル・インタフェース・チャンネル0のブロック図



備考 出力制御は、CMOS出力にするか、N-chオープン・ドレーン出力にするかの選択を行います。

(1) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0)のビット7 (CSIE0)が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始します。

送信時は、SIO0に書き込まれたデータが、シリアル出力(SO0)またはシリアル・データ・バス(SB0/SB1)に出力されます。受信時は、データがシリアル入力(SI0)またはSB0/SB1からSIO0に読み込まれます。

なお、SBIモード、2線式シリアルI/Oモードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめSIO0にFFHを書き込んでください(ただし、CSIM0のビット5 (WUP)に1を設定してアドレス受信を行うときを除く)。

また、SBIモード時は、SIO0への書き込みにより、ビジー解除ができます。この場合、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7 (BSYE)は、0にクリアされません。

SIO0は、 $\overline{\text{RESET}}$ 入力により、不定になります。

(2) スレーブ・アドレス・レジスタ(SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ(マスタから出力されたスレーブ・アドレスとSVAの値)を比較して、一致すると、そのスレーブが選択されたこととなります。このとき、シリアル動作モード・レジスタ0 (CSIM0)のビット6 (COI)が1になります。

また、割り込みタイミング指定レジスタ(SINT)のビット4 (SVAM)により、LSBをマスクした上位7ビットのデータを、アドレス比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット2 (RELD)を0にクリアします。CSIM0のビット5 (WUP)が1のときには、一致が検出されたときのみ、割り込み要求信号(INTCSIO)が発生します。この割り込み要求によりマスタから通信要求があったことを知ることができます。

さらに、SBIモードまたは2線式シリアルI/Oモード時で、マスタまたはスレーブとして送信するとき、エラーの検出を行います。

SVAは、 $\overline{\text{RESET}}$ 入力により、不定になります。

(3) SO0ラッチ

SI0/SB0/P25, SO0/SB1/P26端子レベルを保持するラッチです。ソフトウェアにより直接制御することもできます。SBIモード時は、シリアル・クロックの8回目のクロック終了時にセットされます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(5) シリアル・クロック制御回路

シリアルI/Oシフト・レジスタ0 (SIO0)へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0}}$ /P27端子へ出力するクロックの制御も行います。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。次のときに割り込み要求信号を発生します。

・ 3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時

シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

・ SBIモード時

WUP^注が0のとき…シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

WUP^注が1のとき…アドレス受信後、シリアルI/Oシフト・レジスタ0 (SIO0)とスレーブ・アドレス・レジスタ(SVA)の値が一致したとき、割り込み要求信号を発生します。

注 WUPは、ウエイク・アップ機能指定ビット。シリアル動作モード・レジスタ0 (CSIM0)のビット5。

(7) ビジィ/アクノリッジ出力回路, バス・リリース/コマンド/アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。

3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時には、動作しません。

15.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・ タイマ・クロック選択レジスタ3 (TCL3)
- ・ シリアル動作モード・レジスタ0 (CSIM0)
- ・ シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・ 割り込みタイミング指定レジスタ (SINT)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

RESET入力により、88Hになります。

図15-3 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	1	0	0	0	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意1. ビット4-ビット6には0を、ビット7には1を設定してください。

2. TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

2. f_x : メイン・システム・クロック発振周波数

3. MCS : 発振モード選択レジスタのビット0

4. ()内は、 $f_x = 5.0$ MHz動作時。

(2) シリアル動作モード・レジスタ0 (CSIM0)

シリアル・インタフェース・チャンネル0のシリアル・クロック、動作モード、動作の許可/停止、ウェイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15-4 シリアル動作モード・レジスタ0のフォーマット(1/2)



略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCK0端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2 (TM2)の出力								
	1	1	タイマ・クロック選択レジスタ3 (TCL3)のビット0-ビット3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	×	0	注2	注2	0	0	0	1	3線式シリアル I/Oモード	MSB	SI0 ^{注2} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
			1	1	×						LSB			
	1	0	0	注3	注3	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (CMOS入出力)
			1	0	0	注3	注3	0	1			×	×	
	1	1	0	注3	注3	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ ドレイン入出力)	SCK0 (N-chオープン・ ドレイン入出力)
			1	0	0	注3	注3	0	1			×	×	

注1. ビット6 (COI)は、Read Onlyです。

2. 送信のみ使用するとき、P25 (CMOS入出力)として使用できます。

3. ポート機能として自由に使用できます。

備考 × : don't care

図15-4 シリアル動作モード・レジスタ0のフォーマット(2/2)

R/W	WUP	ウエイク・アップ機能の制御
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生
R	COI	スレーブ・アドレス比較結果フラグ ^注
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注 CSIE0 = 0のとき、COIは0になります。

(3) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(1/2)

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT			FF61H	00H	R/W注

R/W	RELT	バス・リリース信号出力のために使用する。 RELT=1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
-----	------	---

R/W	CMDT	コマンド信号出力のために使用する。 CMDT=1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
-----	------	--

R	RELD	バス・リリース検出	
		クリアされる条件(RELD=0)	セットされる条件(RELD=1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0=0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・バス・リリース信号(REL)検出時

R	CMDD	コマンド検出	
		クリアされる条件(CMDD=0)	セットされる条件(CMDD=1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・バス・リリース信号(REL)検出時 ・CSIE0=0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・コマンド信号(CMD)検出時

R/W	ACKT	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACKE=0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0=0のときもクリア(0)される。
-----	------	---

注 ビット2, 3, 6 (RELD, CMDD, ACKD)は、Read Onlyです。

備考 ビット0, 1, 4 (RELT, CMDT, ACKT)は、データ設定後に読み出すと0になっています。

図15-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (2/2)

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により, 自動出力される)。
		転送完了後	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE = 1により, 自動出力される)。ただし, アクノリッジ信号を出力後, 自動的にクリア(0)されない。

R	ACKD	アクノリッジ検出	
	クリアされる条件 (ACKD = 0)		セットされる条件 (ACKD = 1)
	<ul style="list-style-type: none"> ・転送スタート命令実行後, ビジィ・モードを解除した直後のSCK0のクロックの立ち下がり時 ・CSIE0 = 0のとき ・RESET入力時 		<ul style="list-style-type: none"> ・転送完了後のSCK0のクロックの立ち上がりエッジでアクノリッジ信号(ACK)検出時

R/W	BSYE ^注	同期ビジィ信号出力の制御	
	0	クリア(0)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した, ビジィ信号の出力を禁止する。	
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジィ信号を出力する。	

注 シリアル・インタフェースの転送開始, またはアドレス信号受信によって, ビジィ・モードを解除できます。ただし, BSYEフラグは0にクリアされません。

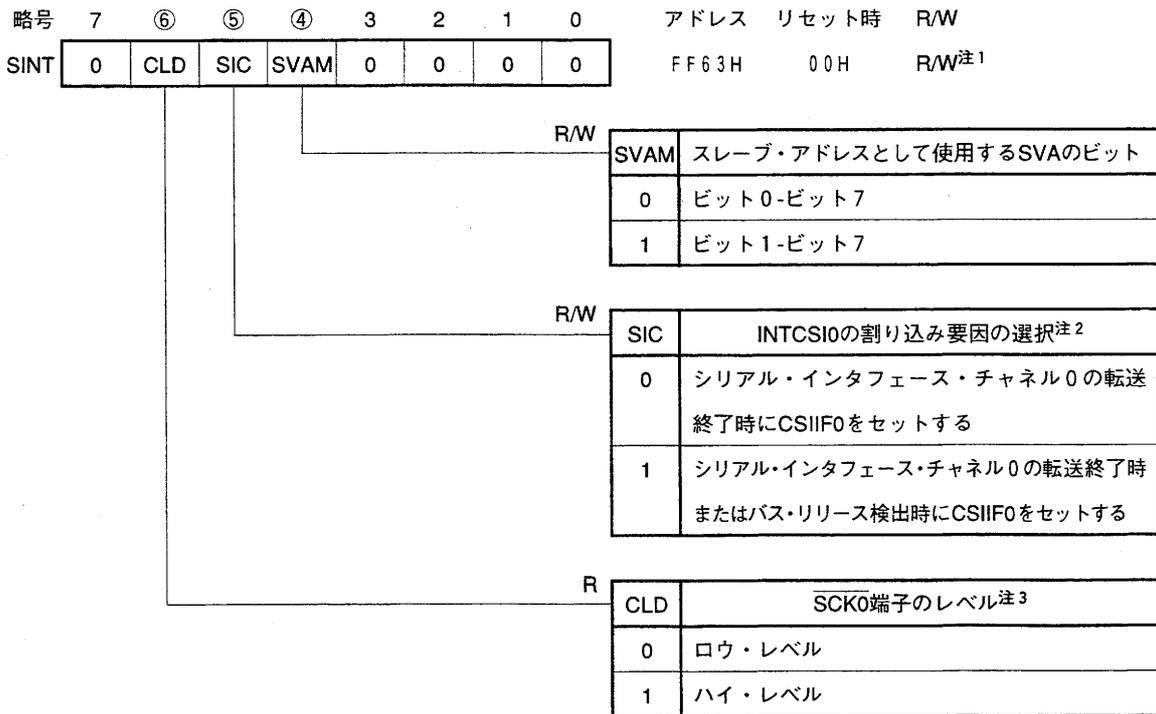
(4) 割り込みタイミング指定レジスタ(SINT)

バス・リリース割り込み、アドレス・マスク機能の設定と $\overline{SCK0}$ 端子のレベルの状態を表示するレジスタです。

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図15-6 割り込みタイミング指定レジスタのフォーマット



注1. ビット6 (CLD)は、Read Onlyです。

2. SBIモードでウェイク・アップ機能を使用するときは、SICに0を設定してください。

3. CSIE0=0のとき、CLDは0になります。

注意 ビット0-ビット3には、必ず0を設定してください。

備考 SVA:スレーブ・アドレス・レジスタ

15.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBIモード
- ・2線式シリアルI/Oモード

15.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。

また、シリアルI/Oシフト・レジスタ0 (SIO0)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用することができます。

また、動作停止モードでは、P25/SIO/SB0, P26/SO0/SB1, P27/SCK0端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ0 (CSIM0)で行います。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

 は動作停止モードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0		COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

15.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75Xシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック($\overline{\text{SCK0}}$)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

★

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

 は3線式シリアルI/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	PM25	PM26	PM26	PM27	PM27	動作モード	先頭ビット	SI0/SB0/P25 端子の機能	SO0/SB1/P26 端子の機能	SCK0/P27 端子の機能
	0	×	0	^{注2} 1	^{注2} ×	0	0	0	1	3線式シリアル	MSB	SI0 ^{注2}	SO0	SCK0
			1	1	×					I/Oモード	LSB	(入力)	(CMOS出力)	(CMOS入出力)
	1	0	SBIモード(15.4.3 SBIモードの動作参照)											
	1	1	2線式シリアルI/Oモード(15.4.4 2線式シリアルI/Oモードの動作参照)											

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1. ビット6(COI)は、Read Onlyです。

2. 送信のみ使用するときは、P25(CMOS入出力)として使用できます。

3. 3線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。

備考 ×: don't care

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

 は3線式シリアルI/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT				FF61H	00H	R/W

R/W	RELT	RELT=1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT=1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
-----	------	---

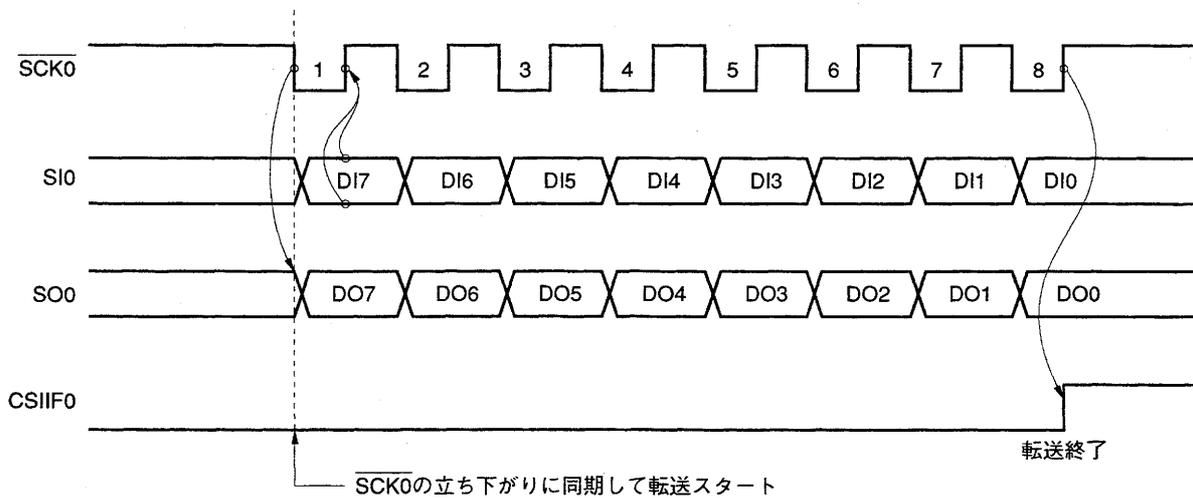
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック(SCK0)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、SCK0の立ち上がりで、SIO端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ(CSIF0)がセットされます。

図15-7 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、RELTビット、CMDTビットのセットによって、SO0端子出力状態を操作することができます。

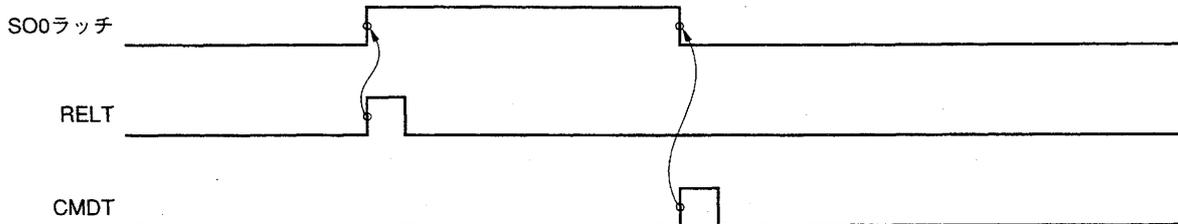
ただし、シリアル転送中にはこの操作を行わないでください。

SCK0端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(15.4.5 SCK0/P27端子出力の操作を参照)。

(3) 各種信号

図15-8にRELT, CMDTの動作を示します。

図15-8 RELT, CMDTの動作



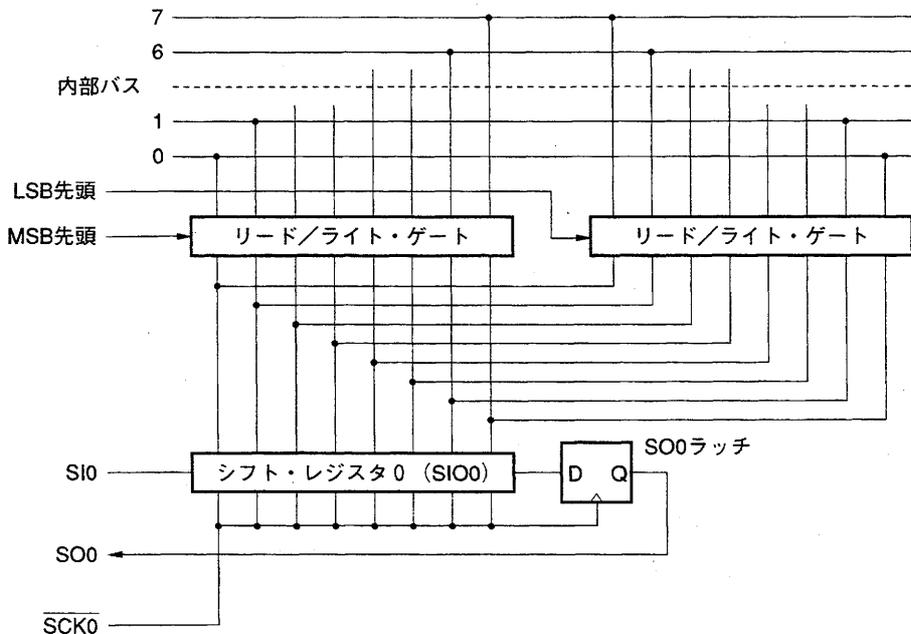
(4) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図15-9にシリアルI/Oシフト・レジスタ0 (SIO0)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ0 (CSIM0)のビット2 (CSIM02)により指定できます。

図15-9 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現されています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

15.4.3 SBIモードの動作

SBI(シリアル・バス・インタフェース)は、NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは、シングルマスタの高速シリアル・バスで、2本の信号線で複数のデバイスとの通信を行うことができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減することができます。

また、マスタは、スレーブに対してシリアル・データ・バス上に、シリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”，および実際の“データ”を出力することができます。スレーブは、受信したデータをハードウェアにより，“アドレス”，“コマンド”，“データ”に判別することができます。この機能により、応用プログラムのシリアル・インタフェース(チャンネル0)の制御部分を簡単にすることができます。

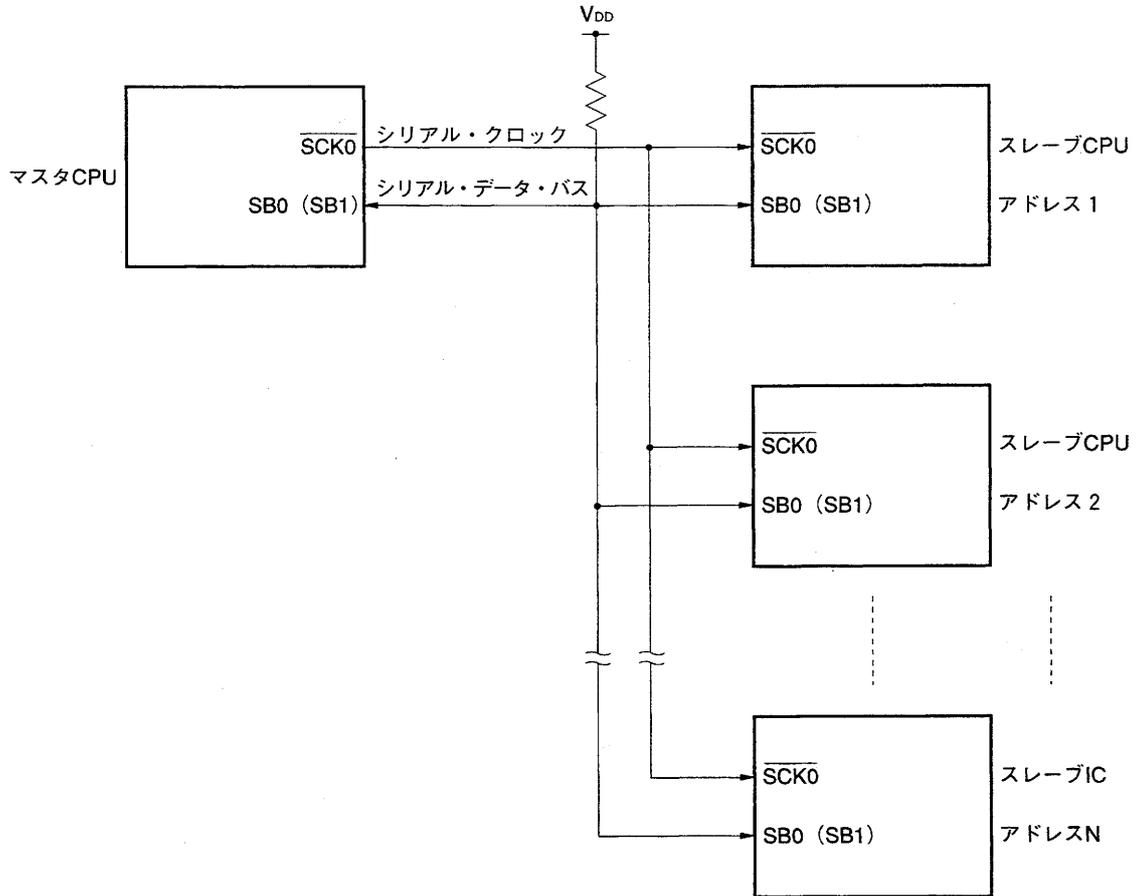
SBI機能は、「75Xシリーズ」、8、16ビット・シングルチップ・マイクロコンピュータ「78Kシリーズ」などの数種のデバイスに内蔵されています。

SBIに準拠するシリアル・インタフェースを有するCPUや、周辺ICを使用した場合のシリアル・バス構成例を図15-10に示します。

SBIでは、シリアル・データ・バス端子SB0(SB1)端子は、オープン・ドレーン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。また、シリアル・データ・バス・ラインには、プルアップ抵抗が必要です。

SBIモード使用時には、後述の(10) SBIモードの注意事項(d)を参照してください。

図15-10 SBIによるシリアル・バス構成例



注意 マスタ/スレーブの交換処理を行う場合は、シリアル・クロック・ライン($\overline{\text{SCK0}}$)の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、シリアル・クロック・ライン($\overline{\text{SCK0}}$)にもプルアップ抵抗が必要となります。

(1) SBIの機能

従来のシリアルI/O方式では、データ転送機能しか有していないために、複数のデバイスを接続してシリアル・バスを構成した場合に、チップ・セレクト信号やコマンド/データの区別、ビジー状態の判断などのため多くのポートや配線が必要となります。また、これらの制御をソフトウェアで行おうとすると、ソフトウェアの負担が大きくなってしまいます。

SBIでは、シリアル・クロック $\overline{\text{SCK0}}$ と、シリアル・データ・バスSB0(SB1)の2本の信号線でシリアル・バスを構成することができます。そのため、マイコンのポート数の削減や、基板内の配線や引き回しの減少に有効となります。

SBIの機能について次に示します。

(a) アドレス/コマンド/データの判断機能

シリアル・データを、アドレス、コマンド、およびデータの3種類に区別します。

(b) アドレスによるチップ・セレクト状態

マスタは、アドレスの送信により、スレーブのチップ・セレクト(選択)を行います。

(c) ウェイク・アップ機能

スレーブは、ウェイク・アップ機能(ソフトウェアで設定/解除が可能)により、アドレス受信の判断(チップ・セレクトの判断)を容易に行うことができます。

ウェイク・アップ機能を設定した場合、一致アドレス受信時に割り込み要求信号(INTCSIO)が発生します。

そのため、複数のデバイスと通信を行う場合も、選択されたスレーブ以外のCPUはシリアル通信に関係なく動作することができます。

(d) アクノリッジ信号($\overline{\text{ACK}}$)制御機能

シリアル・データの受信確認のための、アクノリッジ信号を制御します。

(e) ビジー信号($\overline{\text{BUSY}}$)制御機能

スレーブのビジー状態を知らせるための、ビジー信号を制御します。

(2) SBIの定義

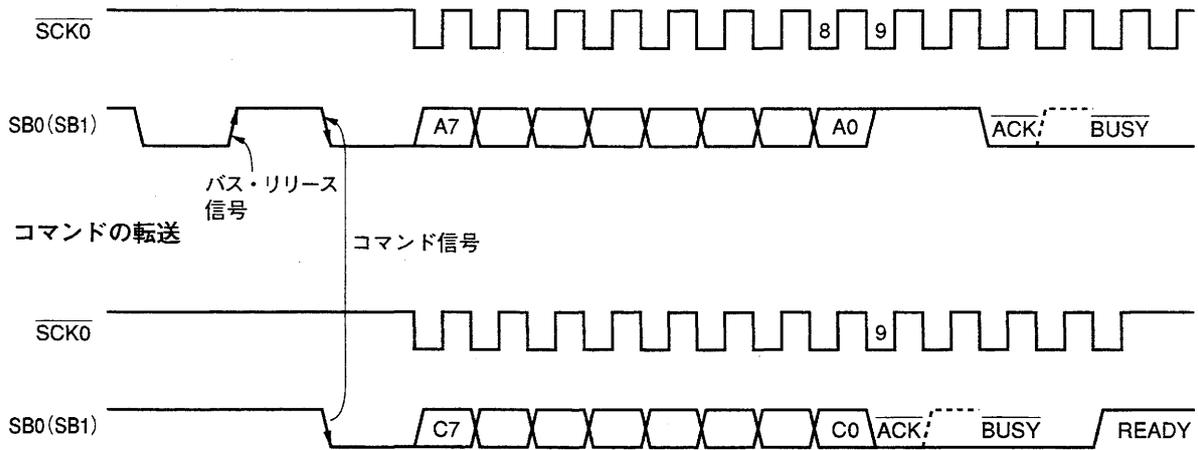
SBIのシリアル・データのフォーマットおよび、使用する信号の意味について説明します。

SBIで転送されるシリアル・データは、「アドレス」、「コマンド」、「データ」の3種類に区別されます。

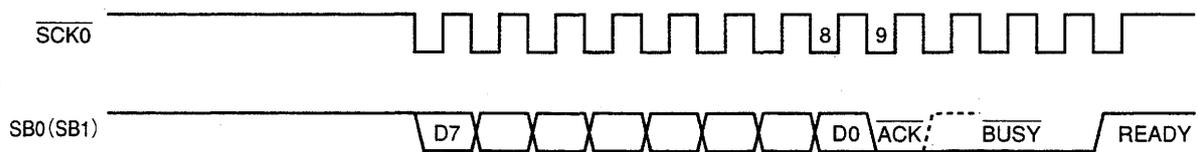
図15-11に、アドレス、コマンド、およびデータの転送タイミングを示します。

図15-11 SBI転送のタイミング

アドレスの転送



データの転送



バス・リリース信号およびコマンド信号はマスタが出力します。またBUSYはスレーブが出力します。
ACKはマスタ、スレーブのどちらでも出力できます(通常、8ビット・データの受信側が出力します)。

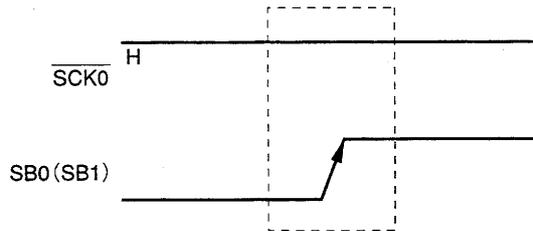
シリアル・クロックは、8ビット・データ転送開始から、BUSYが解除されるまで、マスタが出力し続けます。

(a) バス・リリース信号(REL)

バス・リリース信号は、 $\overline{\text{SCK0}}$ ラインがハイ・レベルのとき(シリアル・クロックが出力されていない場合)に、SB0(SB1)ラインがロウ・レベルからハイ・レベルに変化した信号です。

この信号は、マスタが出力します。

図15-12 バス・リリース信号

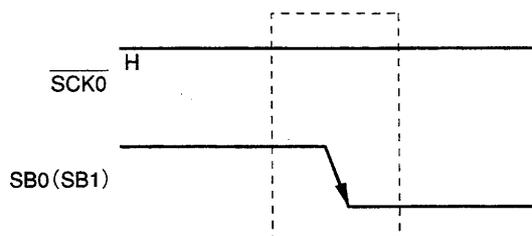


バス・リリース信号は、これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは、バス・リリース信号を検出するハードウェアを内蔵しています。

(b) コマンド信号(CMD)

コマンド信号は、 $\overline{\text{SCK0}}$ ラインが、ハイ・レベルのとき(シリアル・クロックが出力されていない場合)に、SB0(SB1)ラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は、マスタが出力します。

図15-13 コマンド信号

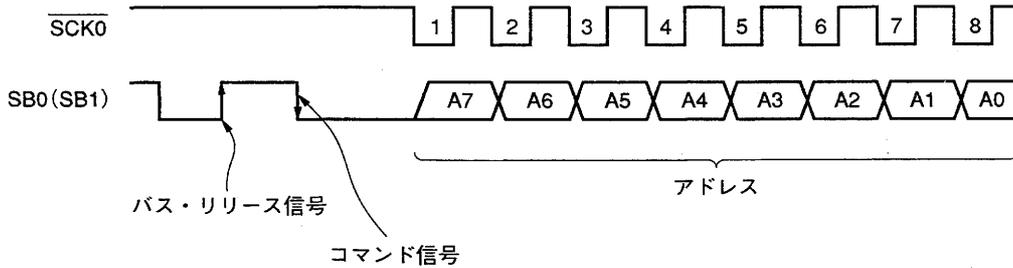


スレーブは、コマンド信号を検出するハードウェアを内蔵しています。

(c) アドレス

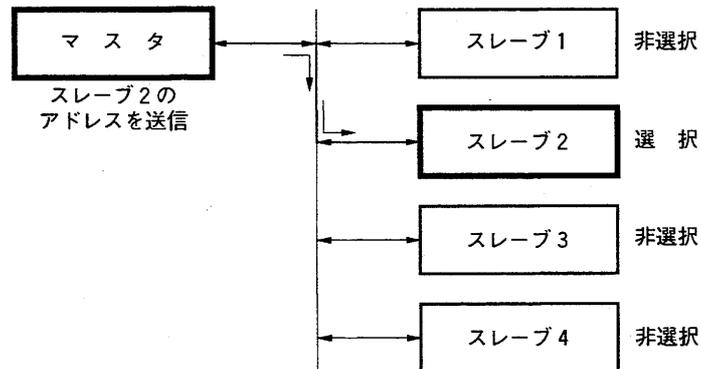
アドレスは、マスタがバス・ラインに接続されているスレーブに対して、特定のスレーブを選択するために出力する8ビット・データです。

図15-14 アドレス



バス・リリース信号、コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは、ハードウェアでこの条件を検出し、8ビット・データが自分の指定番号(スレーブ・アドレス)と一致しているかをハードウェアでチェックします。このとき、8ビット・データと、スレーブ・アドレスが一致すると、そのスレーブが選択されたことになり、以後、マスタから切り離し指示があるまで、マスタとの通信を行います。

図15-15 アドレスによるスレーブの選択



(d) コマンド, データ

アドレスの送信により選択したスレーブに対して、マスタはコマンドの送信や、データの送受信を行います。

図15-16 コマンド

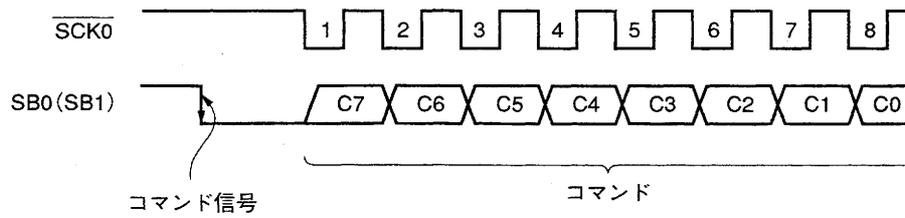
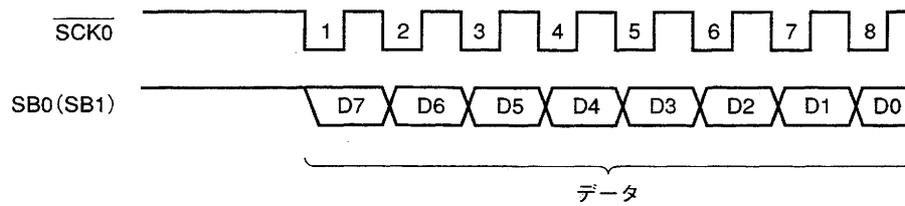


図15-17 データ



コマンド信号の次の8ビット・データはコマンドと定義されています。コマンド信号なしの8ビット・データはデータと定義されています。コマンド、データの使用方法は、通信の仕様によって任意に決定することができます。

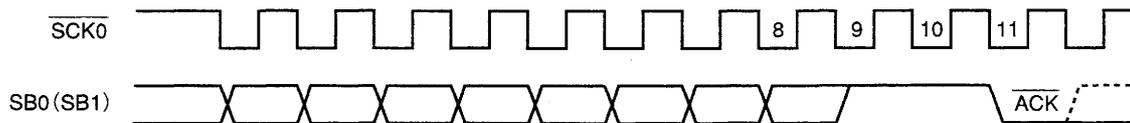
(e) アクノリッジ信号(ACK)

アクノリッジ信号は、送信側と受信側の間における、シリアル・データ受信の確認のための信号です。

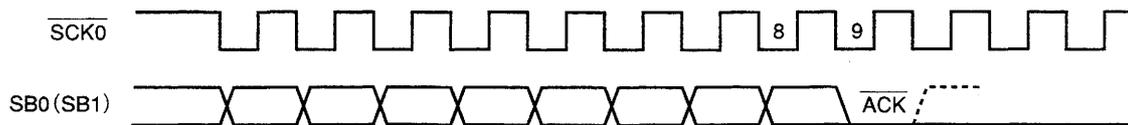
図15-18 アクノリッジ信号



[11クロック目のSCK0に同期して出力した場合]



[9クロック目のSCK0に同期して出力した場合]



アクノリッジ信号は、8ビット・データ転送後のSCK0の立ち下がりに同期したワンショット・パルスで、その位置は任意で何クロック目のSCK0に同期させてもかまいません。

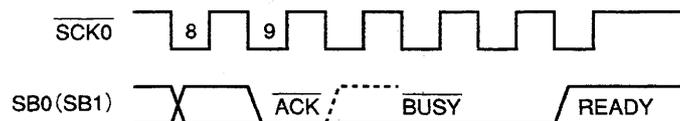
送信側は、8ビット・データ送信後、受信側がアクノリッジ信号を返したかをチェックします。データ送信後、一定時間、アクノリッジ信号が返らない場合は、受信が正しく行われなかったものと判断することができます。

(f) ビジィ信号(BUSY), レディ信号(READY)

ビジィ信号は、スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は、スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図15-19 ビジィ信号, レディ信号



SBIでは、スレーブが、SB0(SB1)ラインをロウ・レベルにすることにより、マスタにビジィ状態を知らせます。

ビジィ信号は、マスタ、またはスレーブの出力したアクノリッジ信号に引き続いて出力させます。ビジィ信号は、 $\overline{\text{SCK0}}$ の立ち下がりに同期して、設定/解除を行います。マスタは、ビジィ信号が解除されると自動的にシリアル・クロック $\overline{\text{SCK0}}$ の出力を終了します。

マスタは、ビジィ信号が解除され、レディ信号の状態になると次の転送を開始することができます。

(3) レジスタの設定

SBIモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)、割り込みタイミング指定レジスタ(SINT)で行います。

★

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

 はSBIモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2)の出力
	1	1	タイマ・クロック選択レジスタ3 (TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM	CSIM	CSIM	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25	SO0/SB1/P26	SCK0/P27
	04	03	02									端子の機能	端子の機能	端子の機能
	0	×	3線式シリアルI/Oモード(15.4.2 3線式シリアルI/Oモードの動作参照)											
	1	0	0	^{注2} ×	^{注2} ×	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 〔N-chオープン・ ドレイン入出力〕	SCK0 (CMOS入出力)
			1	0	0	^{注2} ×	^{注2} ×	0	1			SB0 〔N-chオープン・ ドレイン入出力〕	P26 (CMOS入出力)	
	1	1	2線式シリアルI/Oモード(15.4.4 2線式シリアルI/Oモードの動作参照)											

R/W	WUP	ウェイク・アップ機能の制御
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ ^{注3}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

- 注1. ビット6 (COI)は、Read Onlyです。
 2. ポート機能として自由に使用できます。
 3. CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

 はSBIモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	④	③	②	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^注

R/W	RELT	バス・リリース信号出力のために使用する。 RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	コマンド信号出力のために使用する。 CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R	RELD	バス・リリース検出	
		クリアされる条件(RELD = 0)	セットされる条件(RELD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・バス・リリース信号(REL)検出時

R	CMDD	コマンド検出	
		クリアされる条件(CMDD = 0)	セットされる条件(CMDD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・バス・リリース信号(REL)検出時 ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・コマンド信号(CMD)検出時

(続く)

注 ビット2, 3, 6 (RELD, CMDD, ACKD)は、Read Onlyです。

備考 ビット0, 1, 4 (RELT, CMDT, ACKT)はデータ設定後に読み出すと0になっています。

R/W	ACKT	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACKE=0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0=0のときもクリア(0)される。
-----	------	---

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する(ACKE=1により、自動出力される)。
		転送完了後	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する(ACKE=1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア(0)されない。

R	ACKD	アクノリッジ検出	
		クリアされる条件(ACKD=0)	セットされる条件(ACKD=1)
		<ul style="list-style-type: none"> ・転送スタート命令実行後、ビジィ・モードを解除した直後のSCK0のクロックの立ち下がり時 ・CSIE0=0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・転送完了後のSCK0のクロックの立ち上がりエッジでアクノリッジ信号(ACK)検出時

★

R/W	BSYE ^注	同期ビジィ信号出力の制御	
	0	クリア(0)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した、ビジィ信号の出力を禁止する。	
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジィ信号を出力する。	

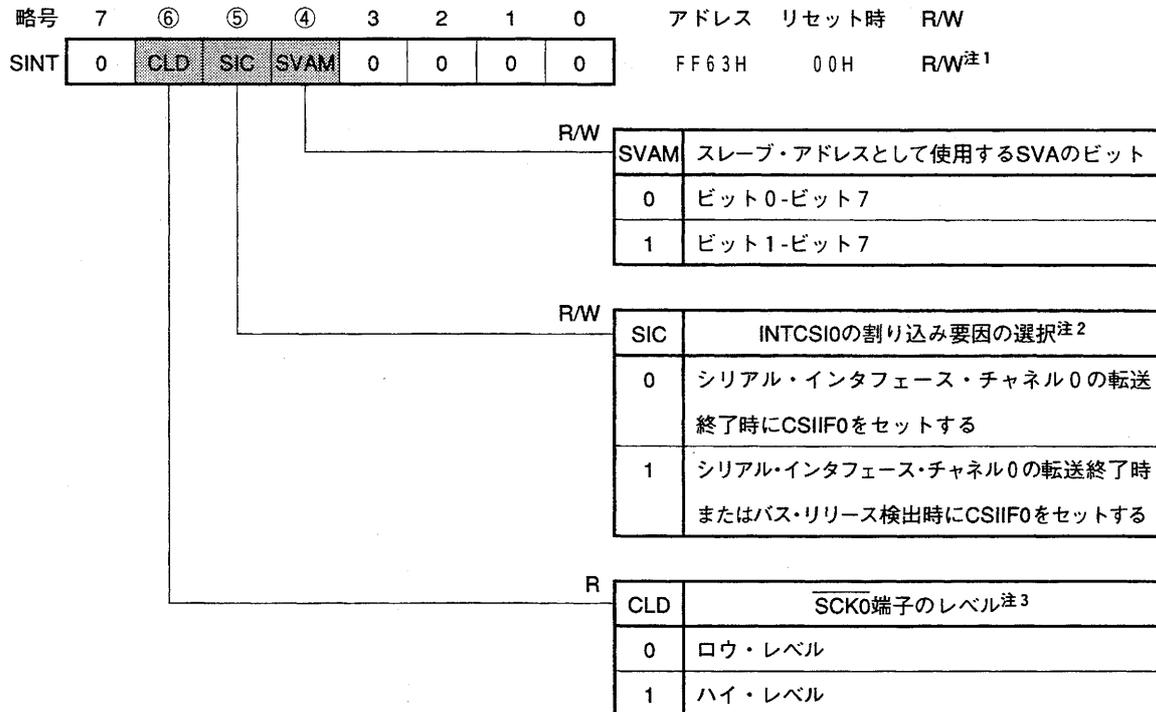
注 シリアル・インタフェースの転送開始、またはアドレス信号受信によって、ビジィ・モードを解除できません。ただし、BSYEフラグは0にクリアされません。

(c) 割り込みタイミング指定レジスタ(SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■はSBIモードにおける使用ビットを示します。



注1. ビット6 (CLD)は、Read Onlyです。

2. SBIモードでウェイク・アップ機能を使用するときは、SICに0を設定してください。

3. CSIE0 = 0のとき、CLDは0になります。

注意 ビット0-ビット3には、必ず0を設定してください。

備考 SVA:スレーブ・アドレス・レジスタ

(4) 各種信号

SBIにおける、各種の信号と、SBIC上のフラグの動作について図15-20から図15-25に示します。
 また、SBIの各種の信号の一覧を表15-3に示します。

図15-20 RELT, CMDT, RELD, CMDDの動作(マスタ)

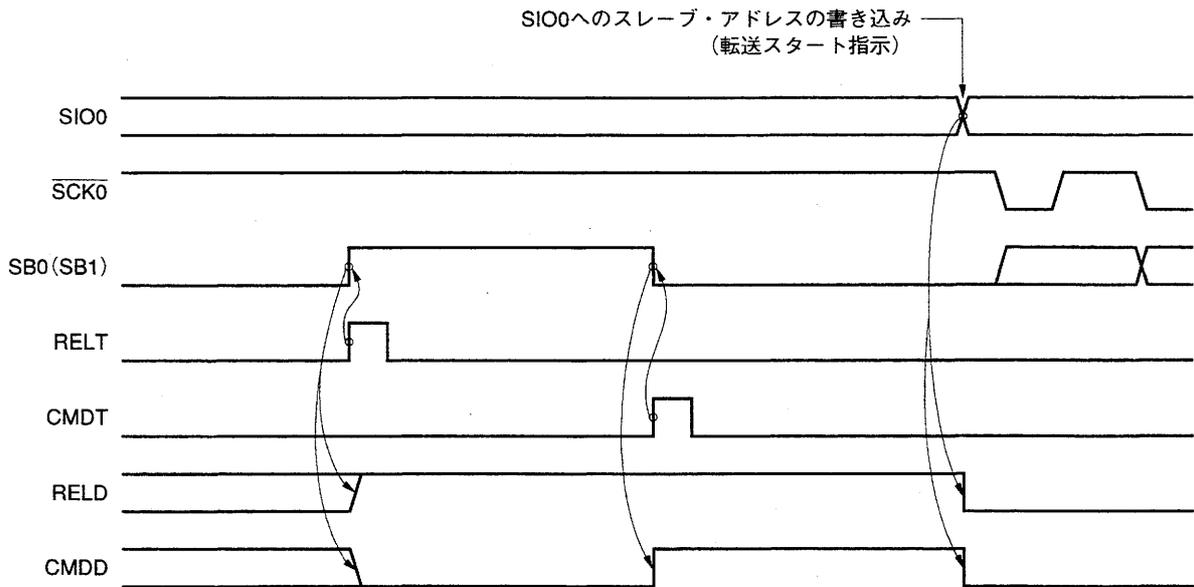


図15-21 RELD, CMDDの動作(スレーブ)

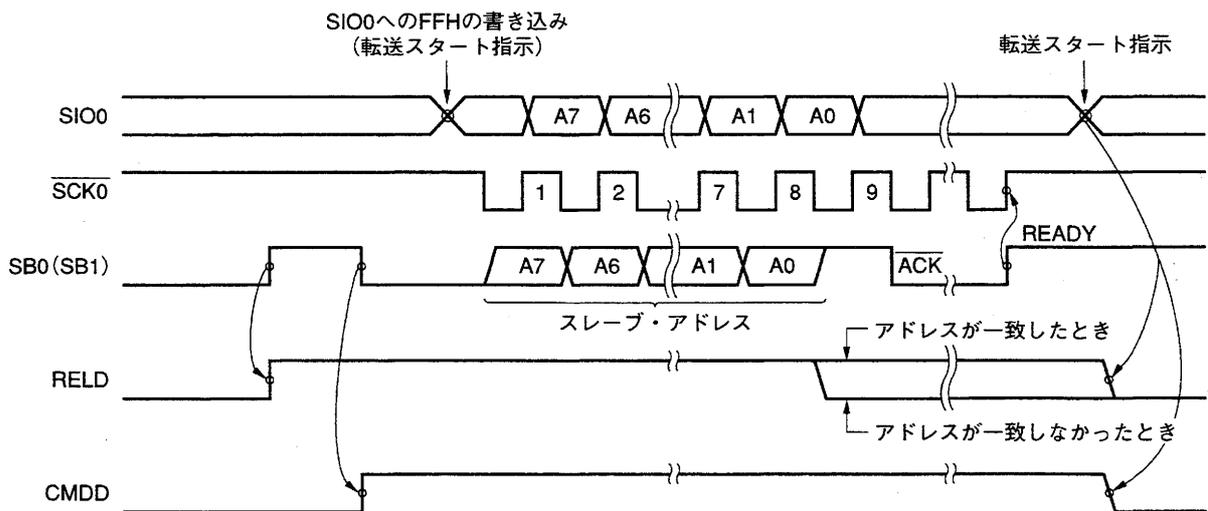
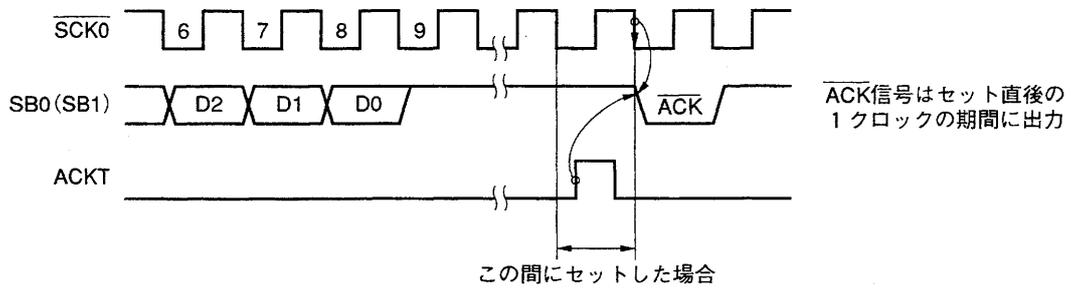


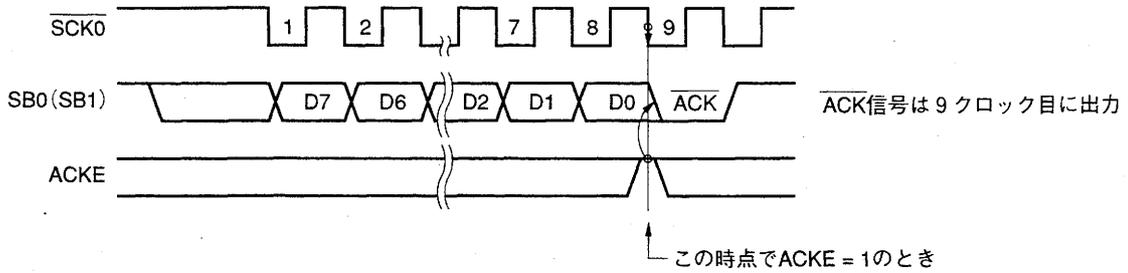
図15-22 ACKTの動作



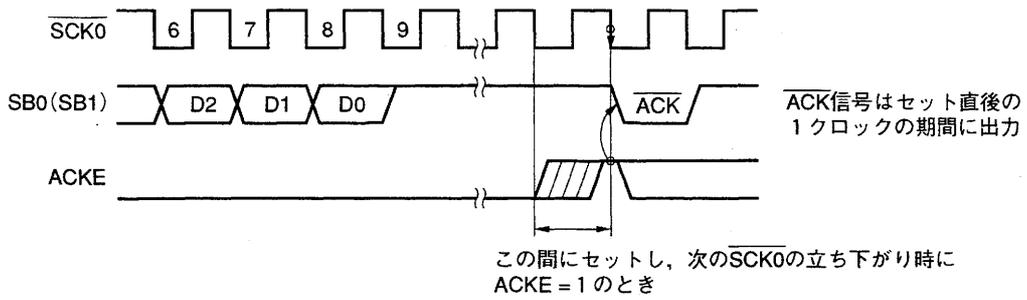
注意 ACKTは転送終了前にはセットしないでください。

図15-23 ACKEの動作

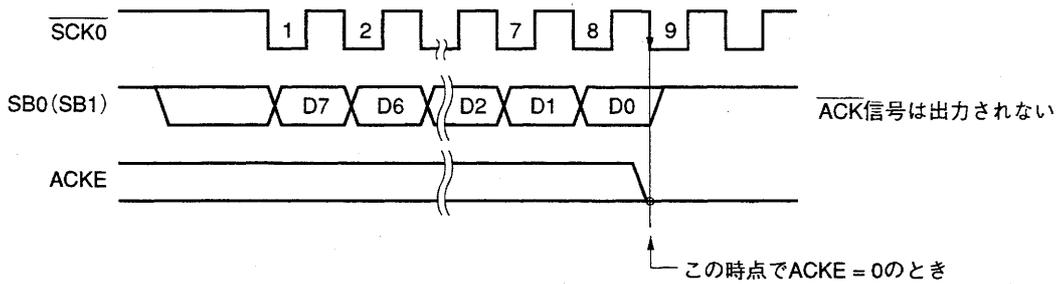
(a) 転送完了時にACKE = 1の場合



(b) 転送完了後にセットした場合



(c) 転送完了時にACKE = 0の場合



(d) ACKE = 1の期間が短い場合

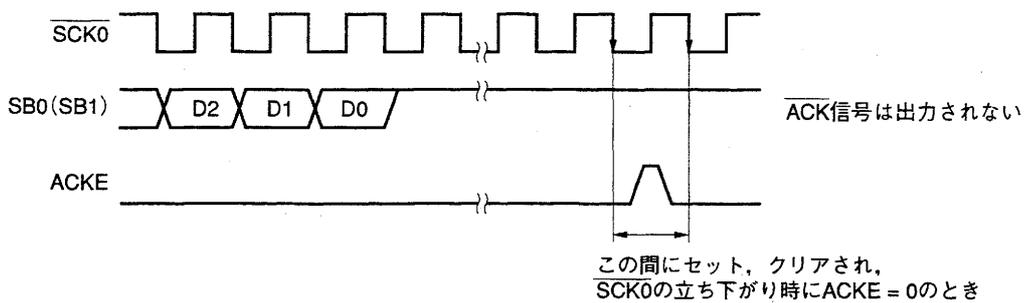
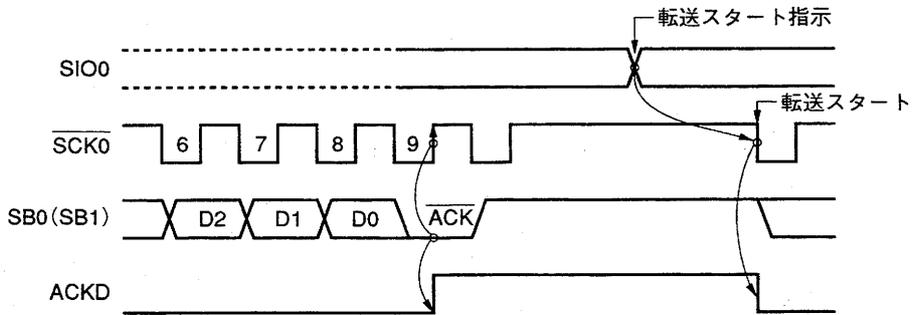
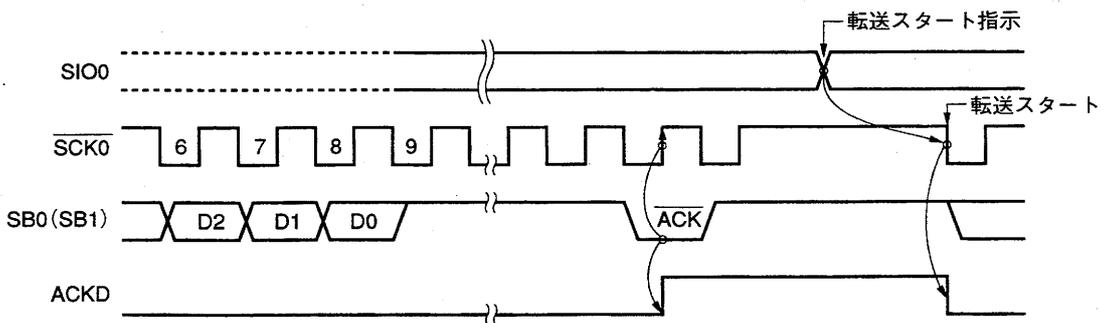


図15-24 ACKDの動作

(a) $\overline{\text{SCK0}}$ の9クロック目の期間に $\overline{\text{ACK}}$ 信号が出力された場合



(b) $\overline{\text{SCK0}}$ の9クロック目以降に $\overline{\text{ACK}}$ 信号が出力された場合



(c) BUSY中に転送スタート指示した場合のクリアのタイミング

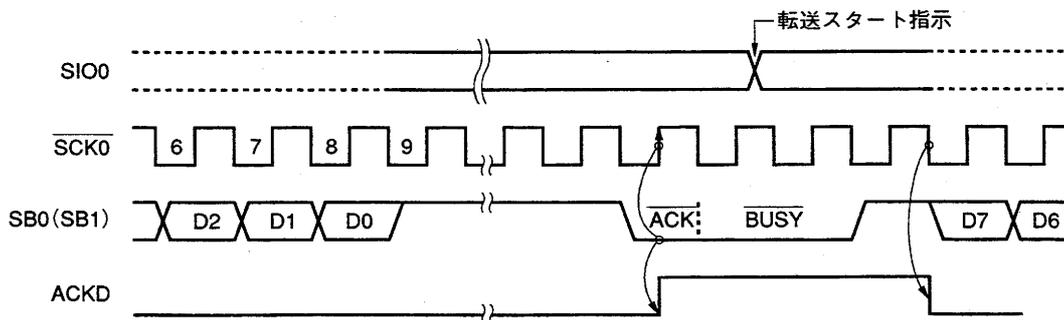


図15-25 BSYEの動作

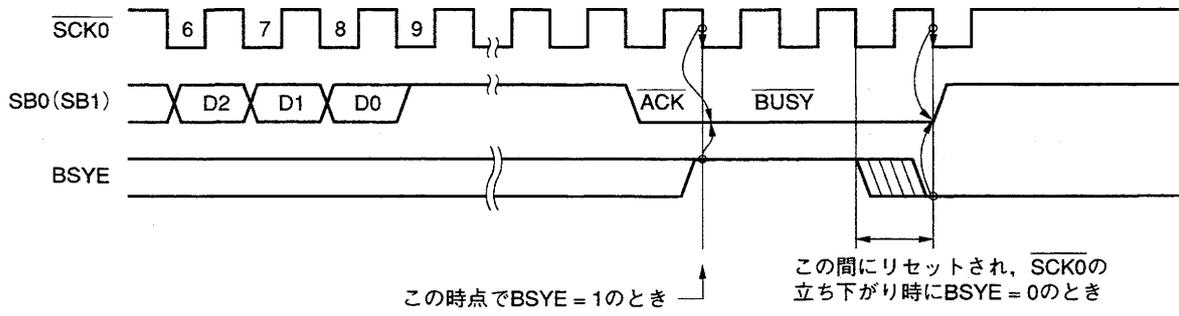


表15-3 SBIモードにおける各種の信号(1/2)

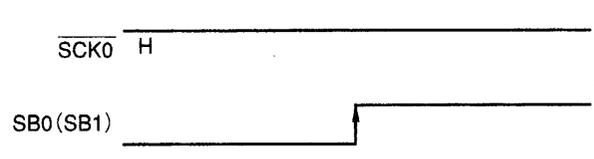
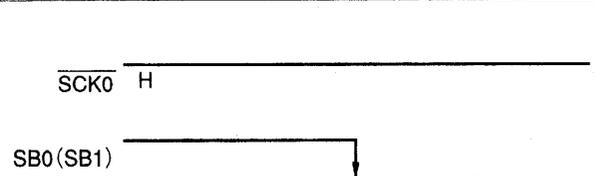
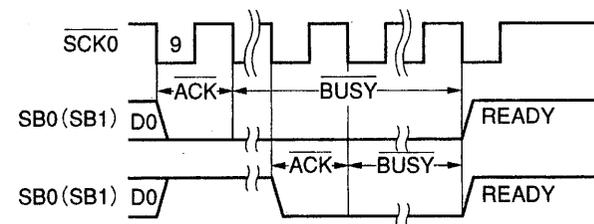
信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
バス・リリース 信号 (REL)	マスタ	$\overline{SCK0} = 1$ のときの、 SB0(SB1)の立ち上がり エッジ		・ RELDのセット	・ RELDをセット ・ CMDDをクリア	続いてCMD信号を出 力し、送信データがアド レスであることを示 す
コマンド信号 (CMD)	マスタ	$\overline{SCK0} = 1$ のときの、 SB0(SB1)の立ち下がり エッジ		・ CMDTのセット	・ CMDDをセット	i) REL信号出力後 送信データはアドレス ii) REL信号出力なし 送信データはコマ ンド
アクノリッジ 信号 (ACK)	マスタ/ スレーブ	シリアル受信完了後、 $\overline{SCK0}$ の1クロックの期間 SB0(SB1)に出力される ロウ・レベルの信号	[同期ビジー出力] 	① ACKE = 1 ② ACKTのセット	・ ACKDをセット	受信完了
ビジー信号 (BUSY)	スレーブ	[同期ビジー信号] アクノリッジ信号に続いて SB0(SB1)に出力される ロウ・レベルの信号		・ BSYE = 1	—	処理中のため、シリ アル受信不可能状態
レディ信号 (READY)	スレーブ	シリアル転送開始前、完了後 SB0(SB1)に出力される ハイ・レベルの信号		① BSYE = 0 ② SIO0へのデータ 書き込み命令実行 (転送開始指示) ③ アドレス信号受信	—	シリアル受信可能状 態

表15-3 SBIモードにおける各種の信号(2/2)

信号名称	出力するデバイス	定義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック (SCK0)	マスタ	アドレス/コマンド/データ、ACK信号、同期BUSY信号等の出力のための同期クロック。最初の8個でアドレス/コマンド/データを転送する。		CSIE0=1のときの、SIO0へのデータ書き込み命令実行(シリアル転送のスタート指示)注2	CSIF0をセット (SCK0の9クロック目の立ち上がり)注1	シリアル・データ・バスへの信号出力のタイミング
アドレス (A7-A0)	マスタ	REL信号、CMD信号出力後に、SCK0に同期して転送される8ビット・データ				シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド (C7-C0)	マスタ	REL信号は出力されず、CMD信号のみ出力されたのち、SCK0に同期して転送される8ビット・データ				スレーブ・デバイスへの指示メッセージ
データ (D7-D0)	マスタ/スレーブ	REL信号、CMD信号ともに出力されず、SCK0に同期して転送される8ビット・データ				スレーブ、またはマスタ・デバイスが処理する数値

注1. WUP=0のとき、常に9クロック目のSCK0の立ち上がりでCSIF0をセットする。

WUP=1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致したときのみ、CSIF0をセットする。

2. BUSY状態のときは、READY状態になったあと、転送スタートする。

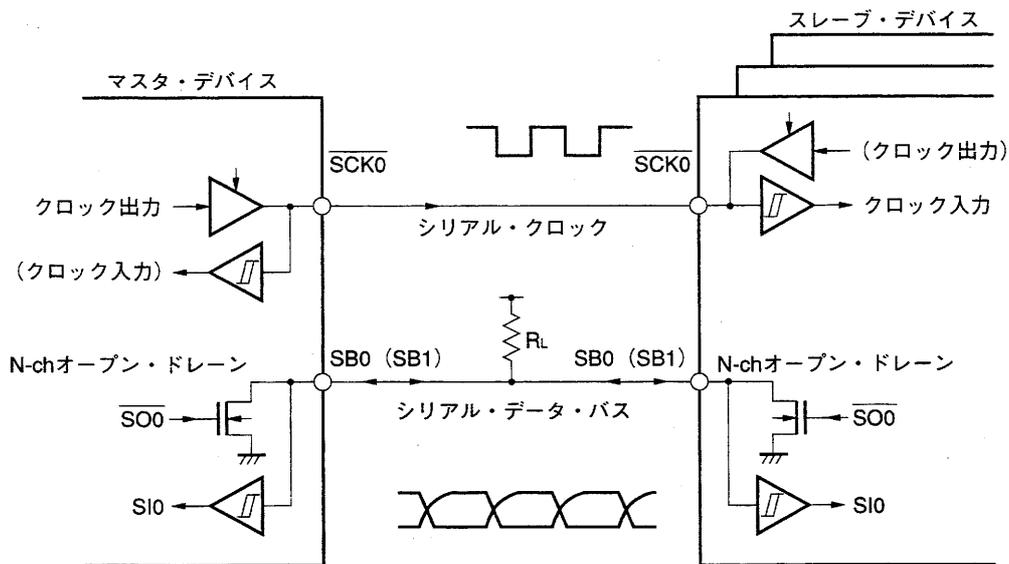
(5) 端子構成

シリアル・クロック端子(SCK0)と、シリアル・データ・バス端子SB0(SB1)の構成は、次のようになっています。

- (a) SCK0 シリアル・クロックを入出力するための端子
 - ① マスタ CMOS, プッシュプル出力
 - ② スレーブ ... シュミット入力
- (b) SB0(SB1) シリアル・データの入出力兼用端子
 - マスタ, スレーブともに出力はN-chオープン・ドレイン, 入力は, シュミット入力

シリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図15-26 端子構成図



注意 データ受信時にはN-chオープン・ドレインをオフする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。転送中は常にオフさせることができます。ただし、ウェイク・アップ機能指定ビット(WUP)=1の場合は、N-chトランジスタは常にオフとなりますので、受信前に、SIO0にFFHを書き込む必要はありません。

(6) アドレスの一致検出方法

SBIモードでは、マスタのアドレス通信より、特定のスレーブ・デバイスを選択し、通信がスタートされます。

アドレス一致の検出は、ハードウェアで行います。スレーブ・アドレス・レジスタ(SVA)を備え、ウェイク・アップ状態(WUP=1)では、マスタから送信されたアドレスとSVAに設定された値が一致したときのみ、CSIF0をセットします。

注意 1. スレーブの選択、非選択状態の検出は、バス・リリース(RELD=1の状態)のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP=1の状態が発生するアドレスの一致割り込み(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、WUP=1の状態で行ってください。

2. WUP=0で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

(7) エラーの検出

SBIモードでは、送信中のシリアル・バスSB0(SB1)の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0(SIO0)にも取り込まれるため、次の方法によって送信エラーの検出をすることができます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0(CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

(8) 通信動作

SBIモードでは、マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち、通信対象となるスレーブ・デバイスを通常1つ選択します。

通信対象デバイスを決定したのちに、マスタ・デバイスとスレーブ・デバイスとの間で、コマンド、データの送受信を行い、シリアル通信を実現します。

各データ通信のタイミング・チャートを図15-27から図15-30に示します。

シリアル・クロック($\overline{\text{SCK0}}$)の立ち下がりに同期してシフト・レジスタのシフト動作が行われ、送信データがSO0ラッチに、SB0/P25端子または、SB1/P26端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりでSB0(またはSB1)端子に入力された受信データがシフト・レジスタにラッチされます。

図15-27 マスタ・デバイスからスレーブ・デバイス(WUP=1)へのアドレス送信動作

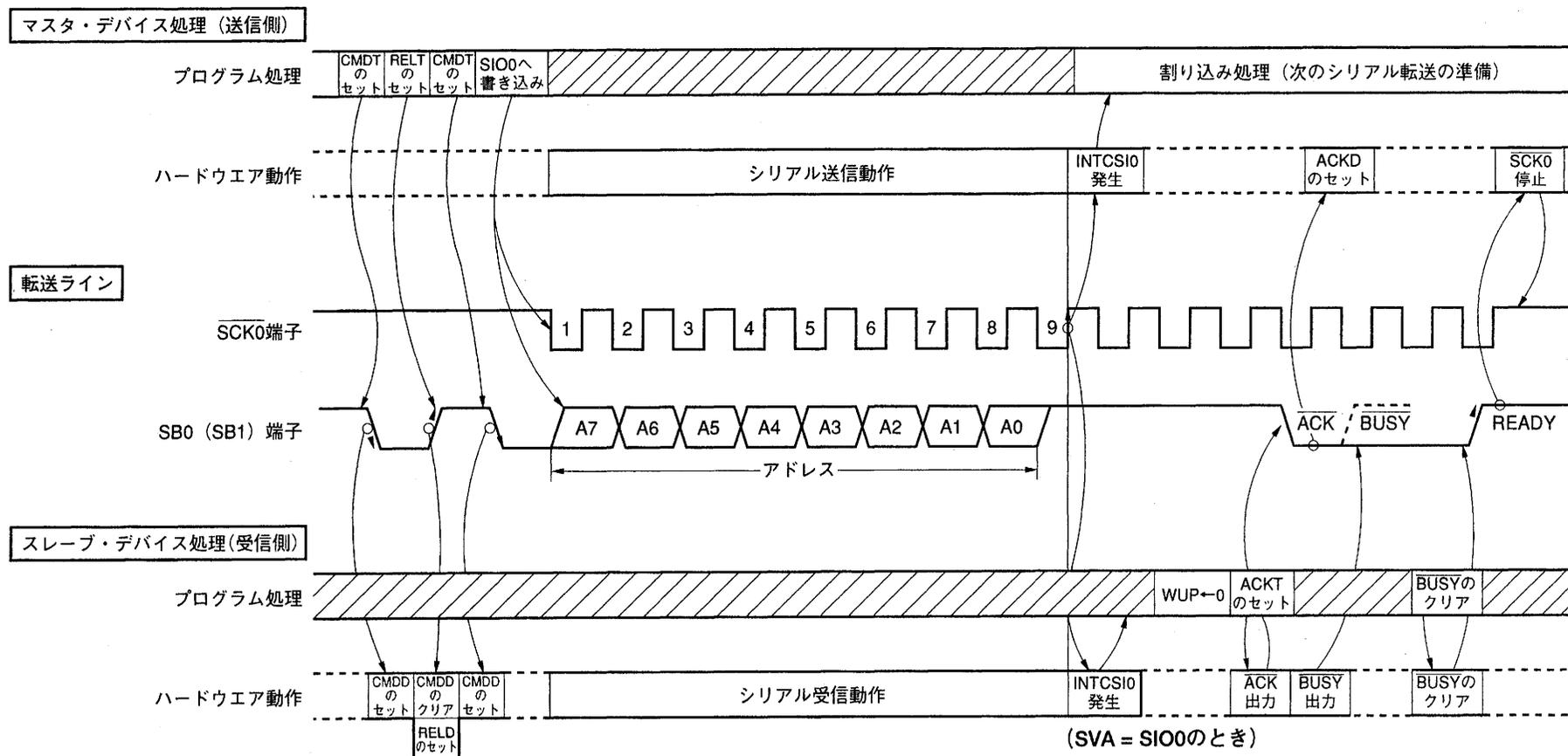


図15-28 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作

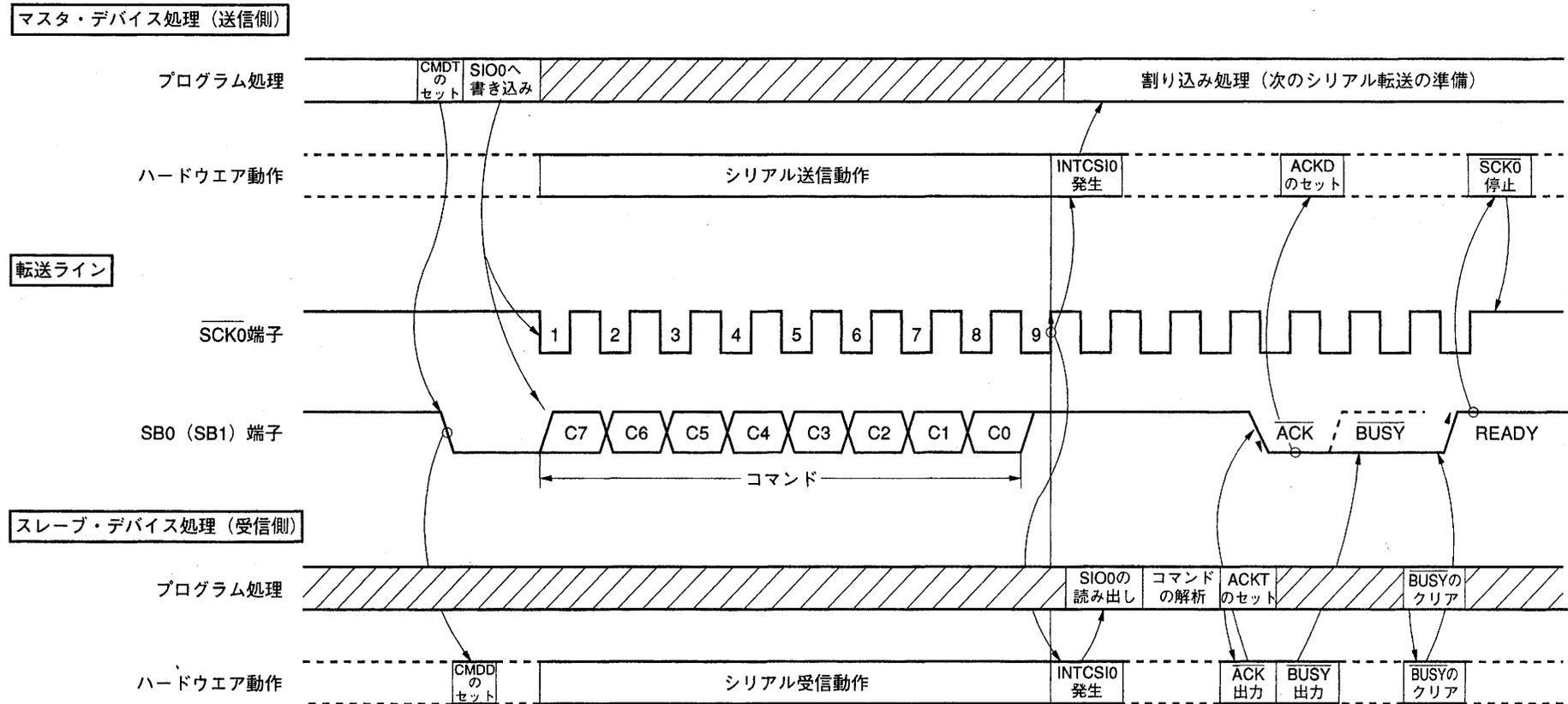


図15-29 マスタ・デバイスからスレーブ・デバイスへのデータ送信動作

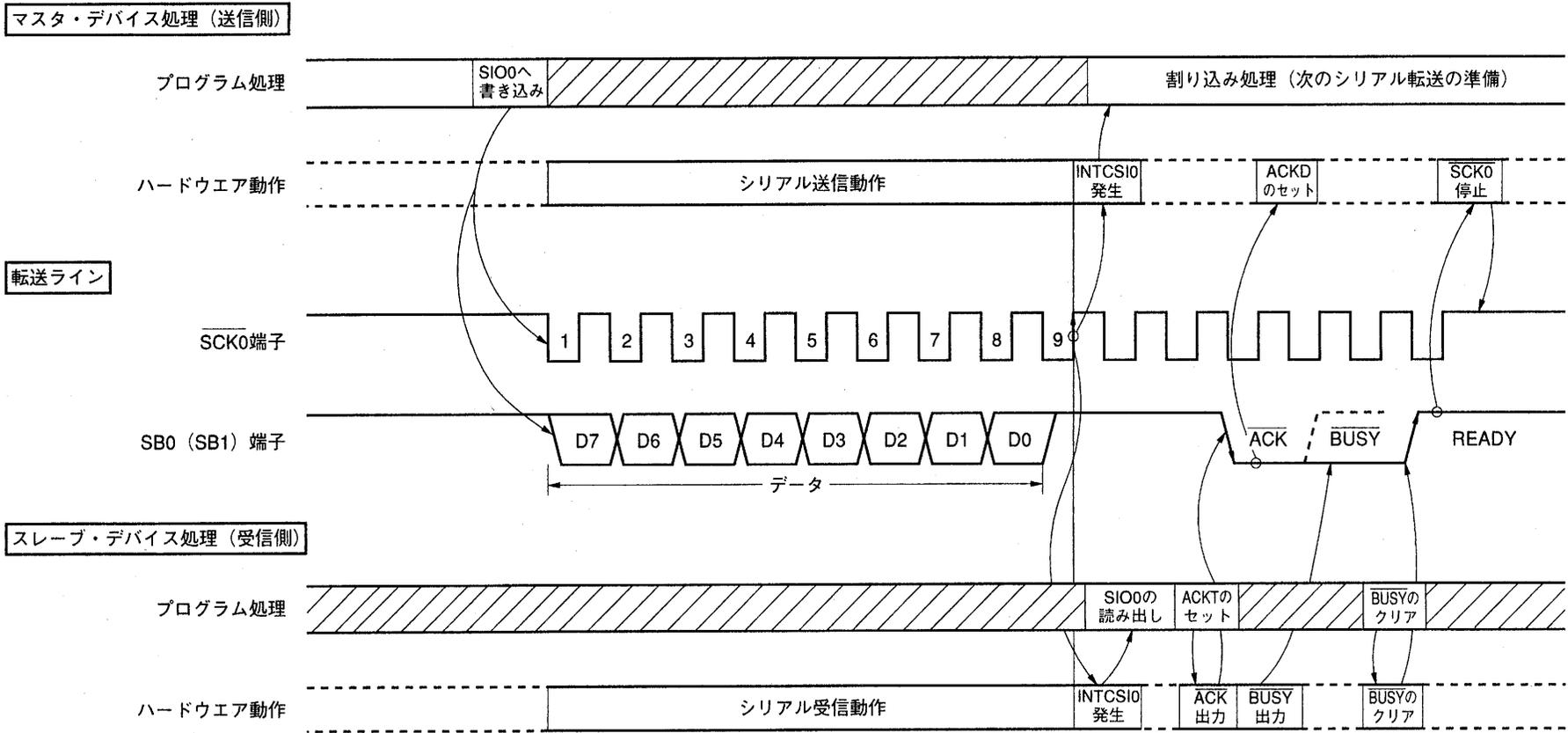


図15-30 スレーブ・デバイスからマスタ・デバイスへのデータ送信動作

マスタ・デバイス処理 (受信側)

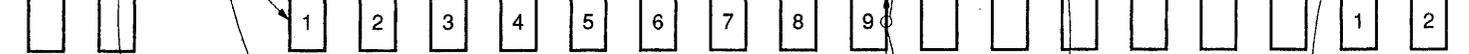


ハードウェア動作

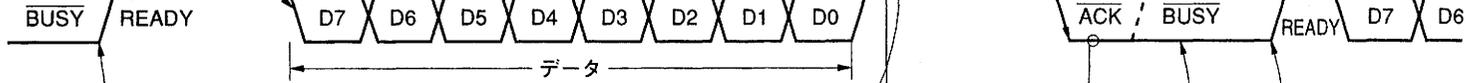


転送ライン

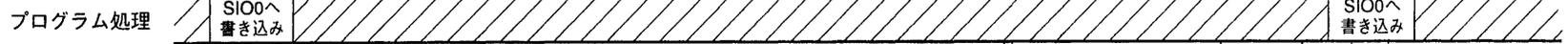
SCK0端子



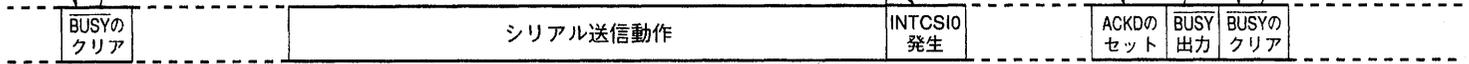
SB0 (SB1) 端子



スレーブ・デバイス処理 (送信側)



ハードウェア動作



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK0がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしてもスタートはしません。

2. データ受信時にはN-chトランジスタをオフする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能指定ビット(WUP)=1の場合は、N-chトランジスタは常にオフとなりますので、受信前に、SIO0にFFHを書き込む必要はありません。

3. スレーブがビジィ状態のときに、SIO0にデータを書き込んだ場合、そのデータは失われません。

ビジィ状態が解除されて、SB0(またはSB1)入力がハイ・レベル(レディ)状態になったときに転送がスタートします。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIIF0)をセットします。

(10) SBIモードの注意事項

(a) スレーブの選択、非選択状態の検出は、バス・リリース(RELD = 1の状態)のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP = 1の状態が発生するアドレスの一致割り込み(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、WUP = 1の状態で行ってください。

(b) WUP = 0で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

(c) $\overline{\text{BUSY}}$ 信号出力中にWUP ← 1とすると、 $\overline{\text{BUSY}}$ が解除されません。SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロック(SCK0)の立ち下がりまで $\overline{\text{BUSY}}$ 信号が出力されます。WUP ← 1とすることは、必ず $\overline{\text{BUSY}}$ を解除したのちに、SB0(SB1)端子がハイ・レベルになったことを確認してからWUP ← 1としてください。

(d) データの入出力として使用する端子には、 $\overline{\text{RESET}}$ 入力後、1バイト目のシリアル転送の前に、次の設定を必ず行ってください。

- ① P25, P26の出力ラッチに1を設定する。
- ② シリアル・バス・インタフェース・コントロール・レジスタのビット0 (RELT)に1を設定する。
- ③ 1を設定したP25, P26の出力ラッチに今度は0を設定する。

(e) デバイスがマスタ・モードのとき、スレーブがビジー状態かどうかを判断するには、次の手順で行ってください。

- ① アクノリッジ信号($\overline{\text{ACK}}$)または割り込み要求信号発生を検出する。
- ② SB0/P25(またはSB1/P26)端子のポート・モード・レジスタPM25(またはPM26)を入力モードにする。
- ③ 端子の状態を読み出す(端子の状態がハイ・レベルならば、レディ状態となっています)。

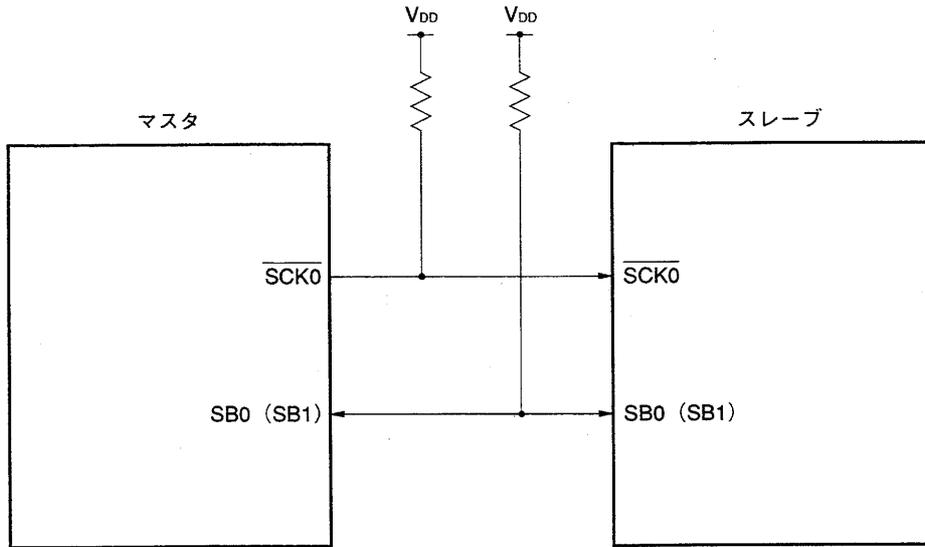
レディ状態検出後は、ポート・モード・レジスタに0を設定し、出力モードに戻してください。

15.4.4 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック(SCK0)、シリアル・データ入力/出力(SB0またはSB1)の2本のラインで通信を行います。

図15-31 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT)で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0) ★

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

は2線式シリアルI/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25	SO0/SB1/P26	SCK0/P27
	0	×	3線式シリアルI/Oモード(15.4.2 3線式シリアルI/Oモードの動作参照)											
	1	0	SBIモード(15.4.3 SBIモードの動作参照)											
	1	1	0	注2	注2	0	0	0	1	2線式シリアルI/Oモード	MSB	P25	SB1	SCK0
			×	×					(CMOS入出力)			{ N-chオープン・ドレイン入出力 }	{ N-chオープン・ドレイン入出力 }	
			1	0	0	注2	注2	0	1			SB0	P26	
						×	×					{ N-chオープン・ドレイン入出力 }	(CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

- 注1. ビット6(COI)は、Read Onlyです。
2. ポート機能として自由に使用できます。
3. 2線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。
4. CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ は2線式シリアルI/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W

R/W	RELT	RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

(c) 割り込みタイミング指定レジスタ(SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ は2線式シリアルI/Oモードにおける使用ビットを示します。

略号	7	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W ^{注1}

R/W	SIC	INTCSi0の割り込み要因の選択
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSiIF0をセットする
R	CLD	SCK0端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1. ビット6 (CLD)は、Read Onlyです。

2. CSIE0 = 0のとき、CLDは0になります。

注意 ビット0-ビット3には、必ず0を設定してください。

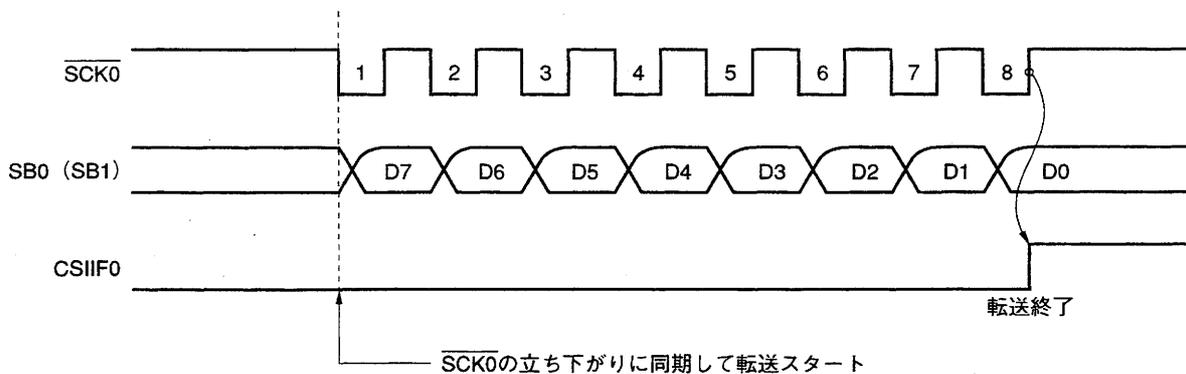
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック(SCK0)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/P25(またはSB1/P26)端子からMSBを先頭にして出力されます。また、SCK0の立ち上がりで、SB0(またはSB1)端子から入力された受信データがシフト・レジスタにラッチされます。

8ビット転送終了により、シフト・レジスタの動作は自動的に停止し、割り込み要求フラグ(CSIIF0)がセットされます。

図15-32 2線式シリアルI/Oモードのタイミング



SB0(またはSB1)端子のシリアル・データ・バスに指定された端子は、N-chオープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chトランジスタをオフさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0(またはSB1)端子は、SO0ラッチの状態を出力しますので、RELTビット、CMDTビットのセットによって、SB0(またはSB1)端子の出力状態を操作することができます。

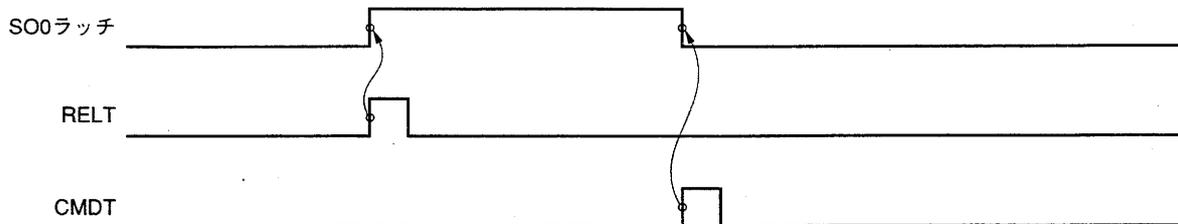
ただし、シリアル転送中にはこの操作を行わないでください。

SCK0端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(15.4.5 SCK0/P27端子出力の操作を参照)。

(3) 各種信号

図15-33にRELT, CMDTの動作を示します。

図15-33 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chトランジスタをオフする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

(5) エラーの検出

2線式シリアルI/Oモードでは、送信中のシリアル・バスSB0(SB1)の状態が送信しているデバイスのSIO0にも取り込まれるため、次の方法によって送信エラーの検出をすることができます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

15.4.5 SCK0/P27端子出力の操作

SCK0/P27端子には、出力ラッチが内蔵されているため、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力も可能です。

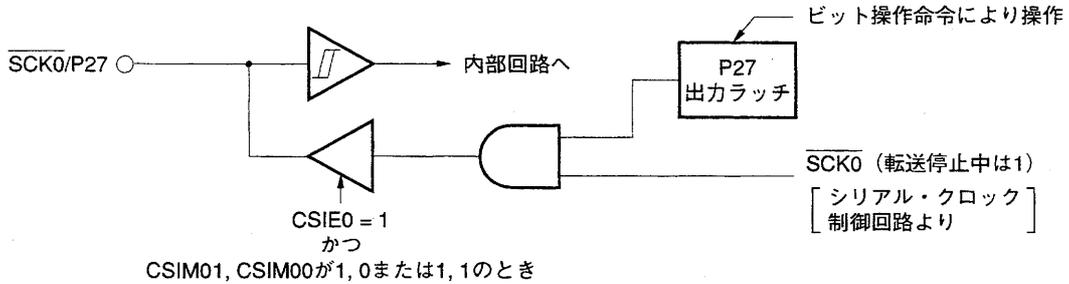
また、P27出力ラッチの操作によりSCK0の数をソフトウェアで任意に設定することができます(SI0/SB0, SO0/SB1端子の制御はSBICのRELT, CMDTビットによって行います)。

次に、SCK0/P27端子出力の操作方法を示します。

- ① シリアル動作モード・レジスタ0 (CSIM0)を設定します(SCK0端子：出力モード，シリアル動作：可能状態)。シリアル転送停止中ではSCK0 = 1となっています。
- ② P27出力ラッチを，ビット操作命令により操作します。

★

図15-34 SCK0/P27端子の構成



第16章 シリアル・インタフェース・チャンネル0 (μ PD78064Yサブシリーズ)

★

μ PD78064Yサブシリーズは、シリアル・インタフェースを2チャンネル内蔵しています。チャンネル0、チャンネル2の違いは次のとおりです(シリアル・インタフェース・チャンネル2の詳細は、第17章 シリアル・インタフェース・チャンネル2を参照してください)。

表16-1 チャンネル0とチャンネル2の違い

シリアル転送モード		チャンネル0	チャンネル2
3線式シリアルI/O	クロック選択	$fx/2$, $fx/2^2$, $fx/2^3$, $fx/2^4$, $fx/2^5$, $fx/2^6$, $fx/2^7$, $fx/2^8$, 外部クロック, TO2出力	外部クロック, ポーレート・ジェネ レータ出力
	転送方式	MSB先頭/LSB先頭の 切り替え可能	MSB先頭/LSB先頭の 切り替え可能
	転送終了フラグ	シリアル転送終了割り込 み要求フラグ(CSIF0)	シリアル転送終了割り込 み要求フラグ(SRIF)
2線式シリアルI/O		使用可能	なし
ICバス(Inter IC Bus)			
UART (アシンクロナス・シリアル・インタフェース)		なし	使用可能

16

16.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の4種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・I²C(Inter IC)バス・モード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック($\overline{\text{SCK0}}$)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75Xシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) 2線式シリアルI/Oモード (MSB先頭)

シリアル・クロック($\overline{\text{SCK0}}$)と、シリアル・データ・バス(SB0またはSB1)の2本のラインにより、8ビット・データ転送を行うモードです。

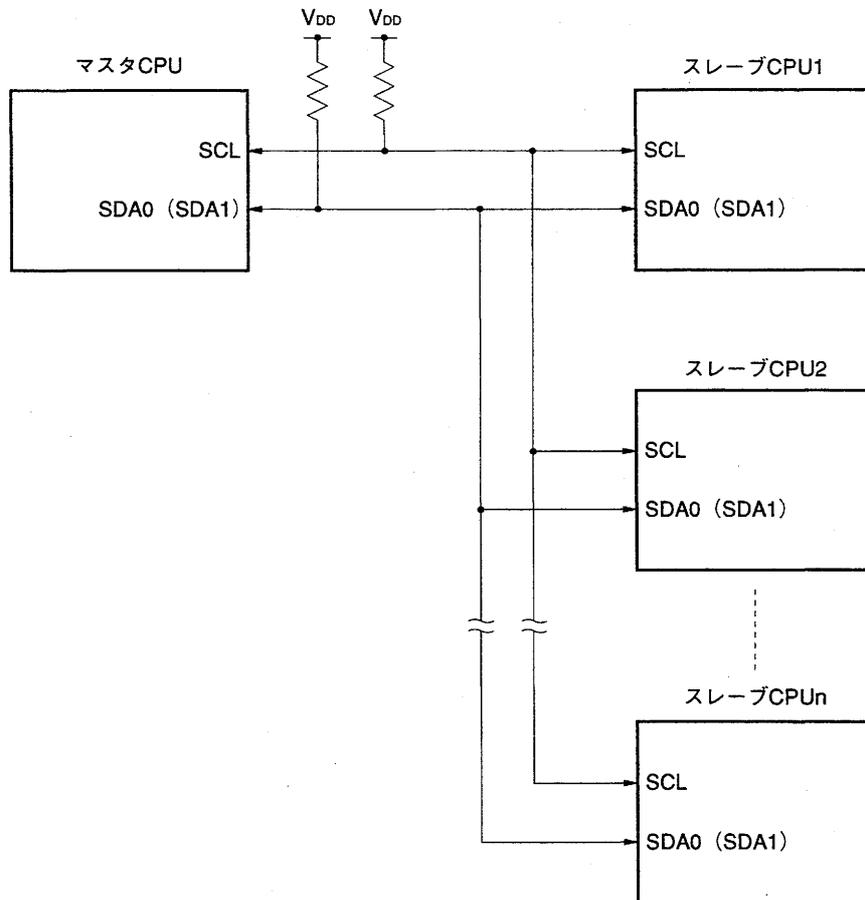
$\overline{\text{SCK0}}$ と、SB0またはSB1の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応することができます。したがって、従来、複数デバイスを接続するときに必要になったハンドシェイクのためのラインを削除することができ、入出力ポートの有効活用ができます。

(4) I²Cバス・モード (MSB先頭)

シリアル・クロック(SCL)と、シリアル・データ・バス(SDA0またはSDA1)の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力することができます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

図16-1 I²Cバスによるシリアル・バス構成例



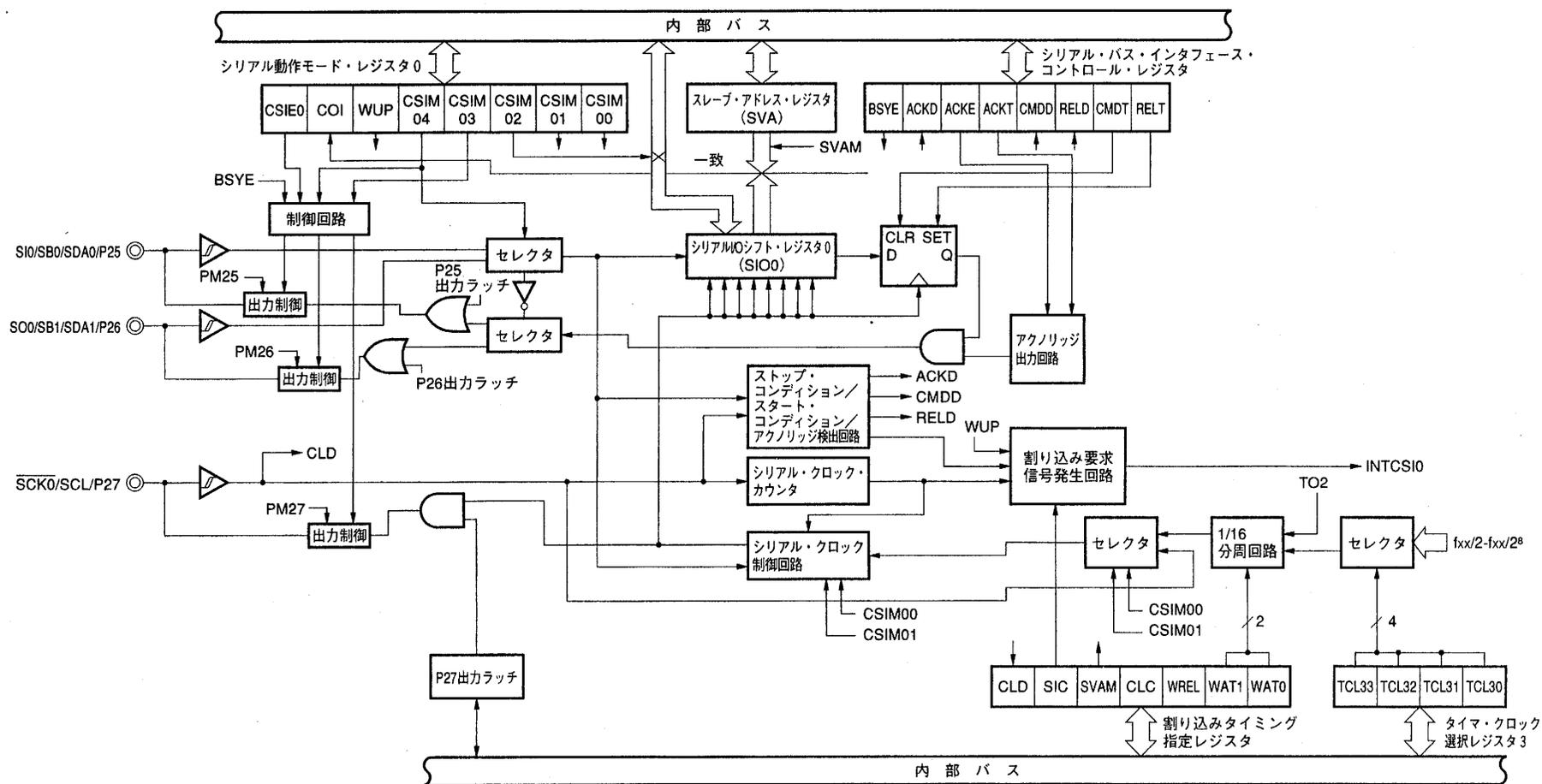
16.2 シリアル・インタフェース・チャンネル0の構成

シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表16-2 シリアル・インタフェース・チャンネル0の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ0 (SIO0) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	タイマ・クロック選択レジスタ3 (TCL3) シリアル動作モード・レジスタ0 (CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) 割り込みタイミング指定レジスタ (SINT) ポート・モード・レジスタ2 (PM2)

図16-2 シリアル・インタフェース・チャンネル0のブロック図



備考 出力制御は、CMOS出力にするか、N-chオープン・ドレイン出力にするかの選択を行います。

(1) シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0)のビット7 (CSIE0)が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始します。

送信時は、SIO0に書き込まれたデータが、シリアル出力(SO0)またはシリアル・データ・バス(SB0/SB1)に出力されます。受信時は、データがシリアル入力(SI0)またはSB0/SB1からSIO0に読み込まれます。

なお、2線式シリアルI/Oモード、 μ Cバス・モードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめ送信用N-chトランジスタをオフさせる必要があります。このため、2線式シリアルI/Oモードでは、SIO0にFFHを書き込んでおいてください。 μ Cバス・モードでは、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7 (BSYE)に1を設定し、SIO0にFFHを書き込んでおいてください。

SIO0は、 $\overline{\text{RESET}}$ 入力により、不定になります。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ(マスタから出力されたスレーブ・アドレスとSVAの値)を比較して、一致すると、そのスレーブが選択されたこととなります。このとき、シリアル動作モード・レジスタ0 (CSIM0)のビット6 (COI)が1になります。

また、割り込みタイミング指定レジスタ(SINT)のビット4 (SVAM)により、LSBをマスクした上位7ビットのデータを、アドレス比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット2 (RELD)を0にクリアします。CSIM0のビット5 (WUP)が1のときには、一致が検出されたときのみ、割り込み要求信号(INTCSIO)が発生します。この割り込み要求によりマスタから通信要求があったことを知ることができます。

さらに、2線式シリアルI/Oモード時または μ Cバス・モード時で、マスタまたはスレーブとして送信するとき、エラーの検出を行います。

SVAは、 $\overline{\text{RESET}}$ 入力により、不定になります。

(3) SO0ラッチ

SI0/SB0/SDA0/P25, SO0/SB1/SDA1/P26端子レベルを保持するラッチです。ソフトウェアにより、直接制御することもできます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(5) シリアル・クロック制御回路

シリアル/I/Oシフト・レジスタ0 (SIO0)へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0/SCL/P27}}$ 端子へ出力するクロックの制御も行います。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。割り込みタイミング指定レジスタ (SINT)のビット0, 1 (WAT0, WAT1), シリアル動作モード・レジスタ0 (CSIM0)のビット5 (WUP)の設定により、表16-3のように割り込み要求信号を発生します。

(7) アクノリッジ出力回路, ストップ・コンディション/スタート・コンディション/アクノリッジ検出回路

PCバス・モード時に各種制御信号の出力および検出を行います。

3線式シリアル/I/Oモード時および2線式シリアル/I/Oモード時には、動作しません。

表16-3 シリアル・インタフェース・チャンネル0の割り込み要求信号の発生

シリアル転送モード	BSYE	WUP	WAT1	WAT0	ACKE	説明
3線式シリアルI/Oモード または 2線式シリアルI/Oモード	0	0	0	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。
	上記以外					設定禁止
PCバス・モード(送信時)	0	0	1	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します(8クロック・ウェイト)。 通常、送信時にWAT1, WAT0 = 1, 0とする設定は使用しません。ソフトウェアで受信時と処理を体系的にそろえたい場合にのみ使用します。 ACK情報は受信側が生成するため、ACKEは0(禁止)の設定にします。
			1	1	0	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します(9クロック・ウェイト)。 ACK情報は受信側が生成するため、ACKEは0(禁止)の設定にします。
	上記以外					設定禁止
PCバス・モード(受信時)	1	0	1	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します(8クロック・ウェイト)。 ACK情報は、割り込み発生後にソフトウェアでACKTを操作して出力します。
			1	1	0/1	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します(9クロック・ウェイト)。 ACK情報を自動的に生成するため、転送開始前にACKEに1(許可)を設定しておきます。ただしマスタの場合、最後のデータを受信する前に0(禁止)にします。
	1	1	1	1	1	アドレス受信後、シリアルI/Oシフト・レジスタ0(SIO0)とスレーブ・アドレス・レジスタ(SVA)の値が一致したとき、割り込み要求信号を発生します。 ACK情報を自動的に生成するため、転送開始前にACKEを1(許可)に設定しておきます。
上記以外					設定禁止	

備考 BSYE：シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7

ACKE：シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット5

16.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ3 (TCL3)
- ・シリアル動作モード・レジスタ0 (CSIM0)
- ・シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・割り込みタイミング指定レジスタ (SINT)

(1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、88Hになります。

図16-3 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	1	0	0	0	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択					
				I ² Cバス・モード時のシリアル・クロック		3線式シリアル/I/Oモード時または2線式シリアル/I/Oモード時のシリアル・クロック			
					MCS = 1	MCS = 0		MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2^5$	設定禁止	$f_x/2^6$ (78.1 kHz)	$f_{xx}/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.77 kHz)	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.77 kHz)	$f_x/2^{10}$ (4.88 kHz)	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.88 kHz)	$f_x/2^{11}$ (2.44 kHz)	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.44 kHz)	$f_x/2^{12}$ (1.22 kHz)	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_{xx}/2^{12}$	$f_x/2^{12}$ (1.22 kHz)	$f_x/2^{13}$ (0.61 kHz)	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止					

注意1. ビット4-ビット6には0を、ビット7には1を設定してください。

2. TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

2. f_x : メイン・システム・クロック発振周波数

3. MCS: 発振モード選択レジスタのビット0

4. ()内は、 $f_x = 5.0$ MHz動作時。

(2) シリアル動作モード・レジスタ0 (CSIM0)

シリアル・インタフェース・チャンネル0のシリアル・クロック、動作モード、動作の許可/停止、ウエイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図16-4 シリアル動作モード・レジスタ0のフォーマット

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	$\overline{\text{SCK0}}$ /SCL端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2)の出力 ^{注2}
	1	1	タイマ・クロック選択レジスタ3 (TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	PM25	PM26	PM26	PM27	PM27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	$\overline{\text{SCK0}}$ /SCL/ P27端子の機能
	0	×	0	^{注3} 1	^{注3} ×	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 ^{注3} (入力)	SO0 (CMOS出力)	$\overline{\text{SCK0}}$ (CMOS入出力)
	1	1	0	^{注4} ×	^{注4} ×	0	0	0	1	2線式シリアル I/Oモード または PCバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	$\overline{\text{SCK0}}$ /SCL (N-chオープン・ ドレイン入出力)
			1	0	0	^{注4} ×	^{注4} ×	0	1	PCバス・モード		SB0/SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	PCバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ ^{注5}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1. ビット6 (COI)は、Read Onlyです。

2. PCバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。

3. 送信のみ使用するときは、P25(CMOS入出力)として使用できます。

4. ポート機能として自由に使用できます。

5. CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

(3) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。
 SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により、00Hになります。

図16-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(1/2)

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W ^注

R/W	RELT	ストップ・コンディション出力のために使用する。 RELT=1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
-----	------	--

R/W	CMDT	スタート・コンディション出力のために使用する。 CMDT=1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
-----	------	--

R	RELD	ストップ・コンディション検出	
		クリアされる条件(RELD=0)	セットされる条件(RELD=1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0=0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

R	CMDD	スタート・コンディション検出	
		クリアされる条件(CMDD=0)	セットされる条件(CMDD=1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・ストップ・コンディション検出時 ・CSIE0=0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

R/W	ACKT	セット命令(ACKT=1)実行直後から次のSCLの立ち下がりまでSDA0(SDA1)をロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアでACK信号を生成するために使用する。 シリアル・インタフェースの転送開始、CSIE0=0のときクリア(0)される。
-----	------	---

注 ビット2, 3, 6 (RELD, CMDD, ACKD) は、Read Onlyです。

図16-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(2/2)

R/W	ACKE	アクノリッジ信号の自動出力の制御 ^{注1}	
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)。 送信時または8クロック・ウェイト選択時で受信の場合に使用する。 ^{注2}	
	1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がリエッジに同期して、アクノリッジ信号を出力する(ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。 9クロック・ウェイト選択時で受信の場合に使用する。	
R	ACKD	アクノリッジ検出	
		クリアされる条件(ACKD = 0)	セットされる条件(ACKD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時
R/W	BSYE ^{注3}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注4}	
	0	出力許可(送信)	
	1	出力禁止(受信)	

注1. 転送開始前に設定してください。

2. 8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。
3. シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できません。ただし、BSYEはクリア(0)されません。
4. ウェイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

(4) 割り込みタイミング指定レジスタ (SINT)

割り込み、ウェイト、クロック・レベルの制御、アドレス・マスク機能の設定およびSCK0/SCL端子のレベルの状態を表示するレジスタです。

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図16-6 割り込みタイミング指定レジスタのフォーマット(1/2)

略号	7	⑥	⑤	④	③	②	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R/W	WAT1	WAT0	ウェイトおよび割り込みの制御
	0	0	SCK0の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	PCバス・モード時に使用する(8クロック・ウェイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。
	1	1	PCバス・モード時に使用する(9クロック・ウェイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。

R/W	WREL	ウェイト解除の制御
	0	ウェイト解除状態
	1	ウェイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウェイト状態の解除に使用する)。

R/W	CLC	クロック・レベルの制御 ^{注2}
	0	PCバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
	1	PCバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

注1. ビット6 (CLD) は、Read Onlyです。

2. PCバス・モードを使用しない場合は、CLCに0を設定してください。

図16-6 割り込みタイミング指定レジスタのフォーマット(2/2)

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-ビット7
	1	ビット1-ビット7
R/W	SIC	INTCSI0の割り込み要因の選択 ^{注1}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIF0をセット(1)する。
R	CLD	SCK0/SCL端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1. I²Cバス・モードでウエイク・アップ機能を使用するときは、SICに1を設定してください。

2. CSIE0 = 0のとき、CLDは0になります。

備考 SVA: スレーブ・アドレス・レジスタ

16.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・2線式シリアルI/Oモード
- ・I²C(Inter IC)バス・モード

16.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、シリアルI/Oシフト・レジスタ0(SIO0)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用することができます。

また、動作停止モードでは、P25/SI0/SB0/SDA0, P26/SO0/SB1/SDA1, P27/SCK0/SCL端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ0(CSIM0)で行います。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

 は動作停止モードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	 CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
0		動作停止
1		動作許可

16.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75Xシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック($\overline{\text{SCK0}}$)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

 は3線式シリアルI/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	×	0	注2 1	注2 ×	0	0	0	1	3線式シリアル	MSB	SI0 ^{注2}	SO0	SCK0
			1							I/Oモード	LSB	(入力)	(CMOS出力)	(CMOS入出力)
	1	1	2線式シリアル/I/Oモード(16.4.3 2線式シリアル/I/Oモードの動作参照) または I ² Cバス・モード(16.4.4 I ² Cバス・モードの動作参照)											

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	I ² Cバス・モード時、スタート・コンディション検出後(CMDD=1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1. ビット6(COI)は、Read Onlyです。

2. 送信のみ使用するとき、P25(CMOS入出力)として使用できます。

3. 3線式シリアル/I/Oモード使用時は必ずWUPに0を設定してください。

備考 ×: don't care

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ は3線式シリアルI/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W

R/W	RELT	RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

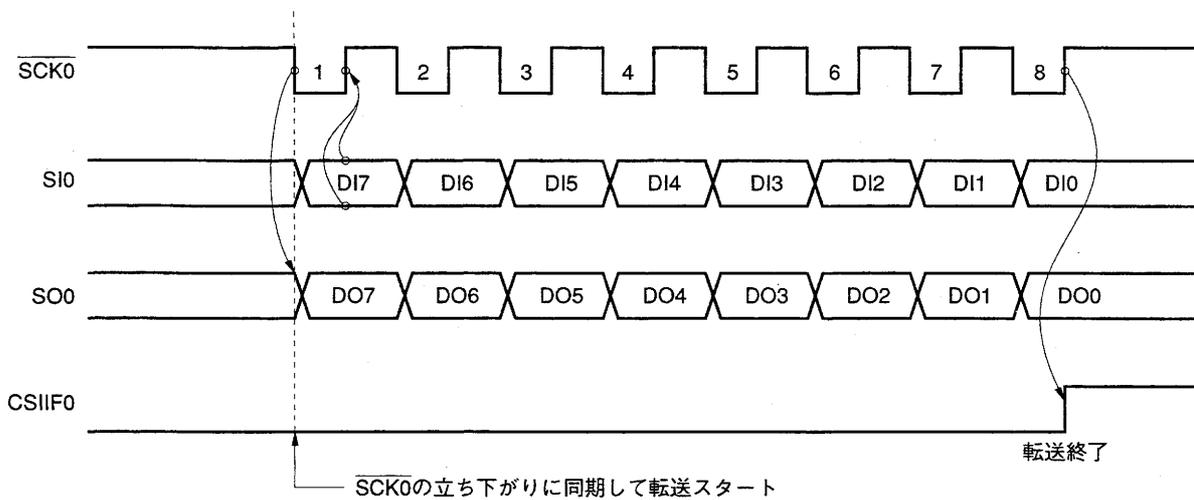
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック(SCK0)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、SCK0の立ち上がりで、SIO端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ(CSIIF0)がセットされます。

図16-7 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、RELTビット、CMDTビットのセットによって、SO0端子出力状態を操作することができます。

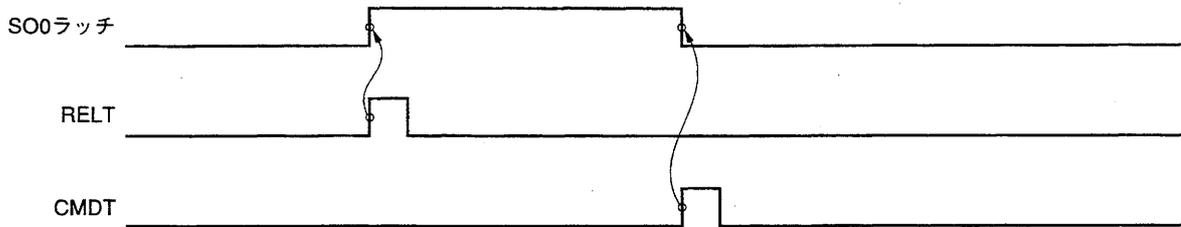
ただし、シリアル転送中にはこの操作を行わないでください。

SCK0端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(16.4.6 SCK0/SCL/P27端子出力の操作を参照)。

(3) 各種信号

図16-8にRELT, CMDTの動作を示します。

図16-8 RELT, CMDTの動作



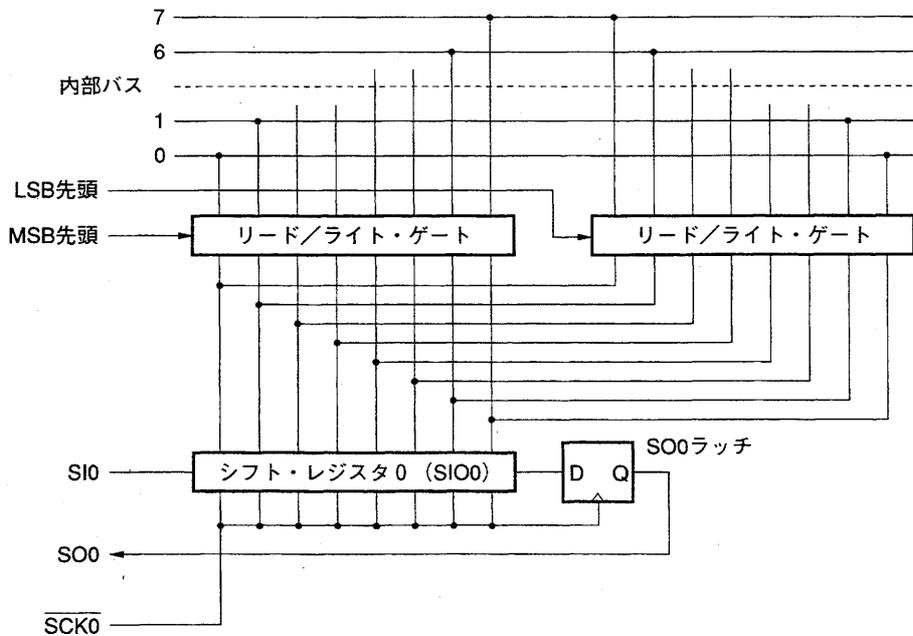
(4) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図16-9にシリアルI/Oシフト・レジスタ0 (SIO0)、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し/書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ0 (CSIM0)のビット2 (CSIM02)により指定できます。

図16-9 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現されています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

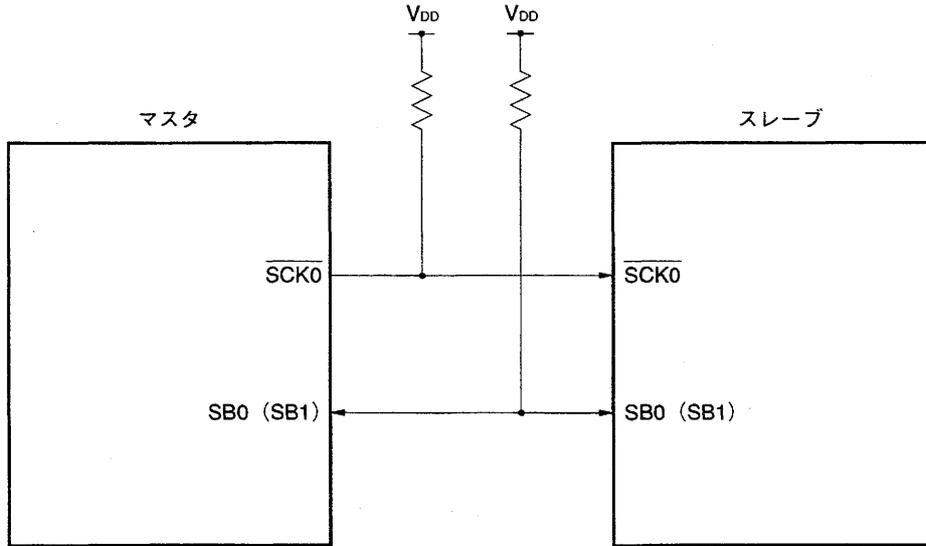
8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

16.4.3 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック(SCK0)、シリアル・データ入力/出力(SB0またはSB1)の2本のラインで通信を行います。

図16-10 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)、割り込みタイミング指定レジスタ(SINT)で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

■ は2線式シリアルI/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2(TM2)の出力
	1	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	×	3線式シリアル/Oモード(16.4.2 3線式シリアル/Oモードの動作参照)											
	1	1	0	注2 ×	注2 ×	0	0	0	1	2線式シリアル IOモード または PCバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (Nchオープン・ ドレイン入出力)	SCK0/SCL (Nchオープン・ ドレイン入出力)
			1	0	0	注2 ×	注2 ×	0	1			SB0/SDA0 (Nchオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	PCバス・モード時、スタート・コンディション検出後(CMDD=1のとき)に受信したアドレスがスレープ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R	COI	スレープ・アドレス比較結果フラグ ^{注4}
	0	スレープ・アドレス・レジスタとシリアル/Oシフト・レジスタ0のデータが一致しない
	1	スレープ・アドレス・レジスタとシリアル/Oシフト・レジスタ0のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1. ビット6(COI)は、Read Onlyです。

2. ポート機能として自由に使用できます。

3. 2線式シリアル/Oモード使用時は必ずWUPに0を設定してください。

4. CSIE0=0のとき、COIは0になります。

備考 ×: don't care

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■は2線式シリアル/I/Oモードにおける使用ビットを示します。

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT			FF61H	00H	R/W

R/W	RELT	RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■は2線式シリアル/I/Oモードにおける使用ビットを示します。

略号	7	⑥	⑤	④	③	②	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R/W	SIC	INTCSI0の割り込み要因の選択
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIF0をセット(1)する。

R	CLD	SCK0端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1. ビット6 (CLD) は、Read Onlyです。

2. CSIE0 = 0のとき、CLDは0になります。

注意 2線式シリアル/I/Oモード使用時は、必ずビット0-ビット3に0を設定してください。

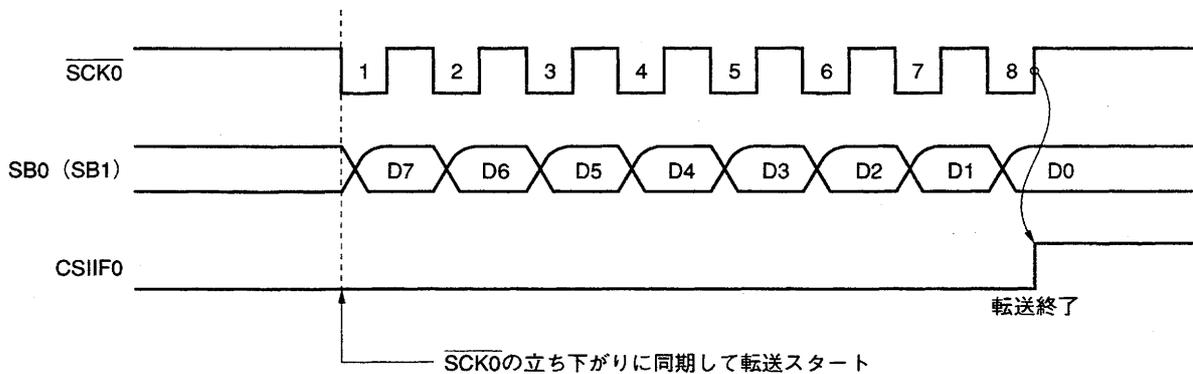
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック(SCK0)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/SDA0/P25(またはSB1/SDA1/P26)端子からMSBを先頭にして出力されます。また、SCK0の立ち上がりで、SB0(またはSB1)端子から入力された受信データがシフト・レジスタにラッチされます。

8ビット転送終了により、シフト・レジスタの動作は自動的に停止し、割り込み要求フラグ(CSIIF0)がセットされます。

図16-11 2線式シリアルI/Oモードのタイミング



SB0(またはSB1)端子のシリアル・データ・バスに指定された端子は、N-chオープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chトランジスタをオフさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0(またはSB1)端子は、SO0ラッチの状態を出力しますので、RELTビット、CMDTビットのセットによって、SB0(またはSB1)端子の出力状態を操作することができます。

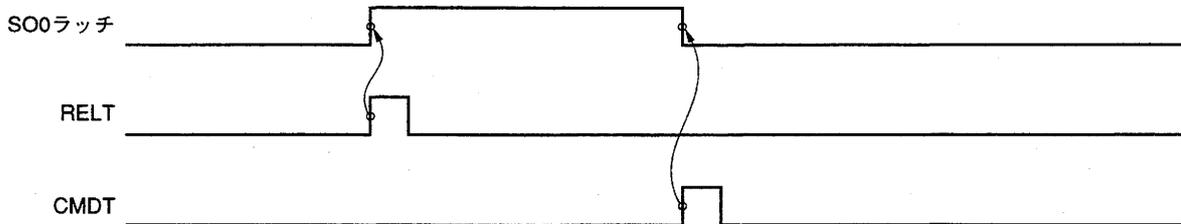
ただし、シリアル転送中にはこの操作を行わないでください。

SCK0端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(16.4.6 SCK0/SCL/P27端子出力の操作を参照)。

(3) 各種信号

図16-12にRELT, CMDTの動作を示します。

図16-12 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK0がハイ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chトランジスタをオフする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

(5) エラーの検出

2線式シリアルI/Oモードでは、送信中のシリアル・バスSB0(SB1)の状態が送信しているデバイスのSIO0にも取り込まれるため、次の方法によって送信エラーの検出をすることができます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0 (CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

16.4.4 I²Cバス・モードの動作

I²Cバス・モードは、I²Cバスのシングルマスタおよびスレーブ動作を行う場合に使用します。I²Cバス・モードは、シングルマスタのシリアル・バスで、シリアル・クロック(SCL)と、シリアル・データ・バス(SDA0またはSDA1)の2本の信号線で複数のデバイス(スレーブ)との通信を行うことができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため、複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減することができます。

マスタは、スレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力することができます。

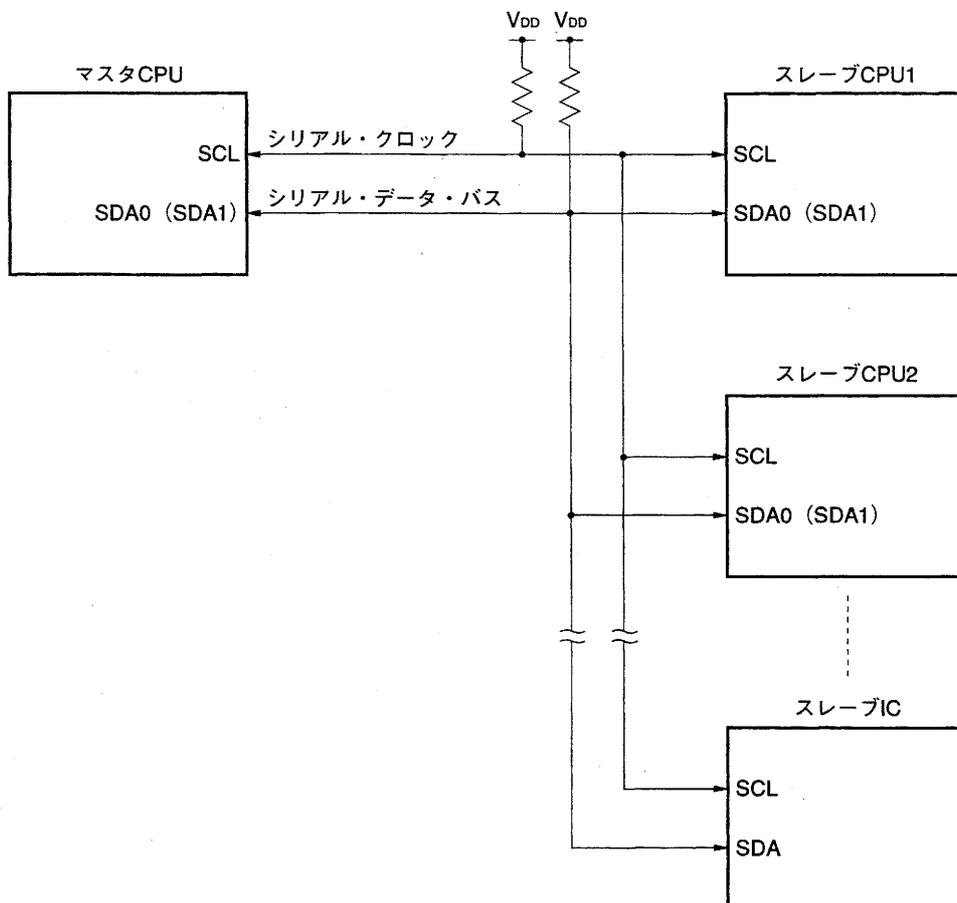
スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により、応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²Cバスに準拠するシリアル・インタフェースを持つCPUや、周辺ICを使用した場合のシリアル・バス構成例を図16-13に示します。

I²Cバスでは、シリアル・クロック端子(SCL)と、シリアル・データ・バス端子(SDA0またはSDA1)は、N-chオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

I²Cバス・モードにおける各種信号の説明の一覧が表16-4にありますので参照してください。

図16-13 I²Cバスによるシリアル・バス構成例



(1) I²Cバス・モードの機能

I²Cバス・モードの機能について次に示します。

(a) シリアル・データの自動判別機能

シリアル・データ・バス上の“スタート・コンディション”, “データ”および“ストップ・コンディション”を自動的に検出します。

(b) アドレスによるチップ・セレクト

マスタ動作時は, スレーブ・アドレスを送信することにより, I²Cバスに接続した特定のスレーブ・デバイスを選択し, 通信することができます。

(c) ウェイク・アップ機能

スレーブ動作時は, 受信したアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致した場合のみ割り込みを発生します。したがって, I²Cバス上の選択されたスレーブ以外のCPUはシリアル通信に関係なく動作することができます。

(d) アクノリッジ信号 (ACK) 制御機能

マスタ/スレーブ動作時に, シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御することができます。

(e) ウェイト信号 (WAIT) 制御機能

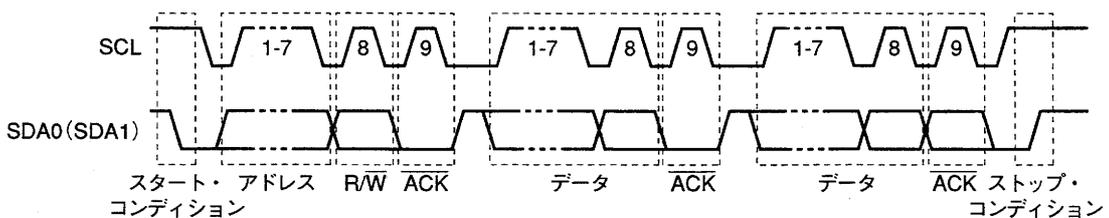
スレーブ・デバイスは, ウェイト状態を知らせるためのウェイト信号制御が行えます。

(2) I²Cバスの定義

I²Cバスのシリアル・データ通信フォーマットおよび, 使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力される“スタート・コンディション”, “データ”, および“ストップ・コンディション”の各転送タイミングを図16-14に示します。

図16-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。

アクノリッジ信号($\overline{\text{ACK}}$)は、マスタ、スレーブのどちらでも出力できます(通常、8ビット・データの受信側が出力します)。

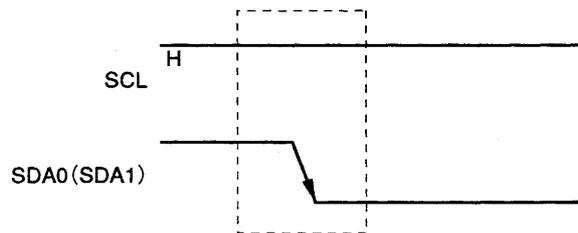
シリアル・クロック(SCL)は、マスタが出力し続けます。

(a) スタート・コンディション

SCL端子がハイ・レベルのときに、SDA0(SDA1)端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。したがって、SCL, SDA0(SDA1)端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スタート・コンディションの出力については16.4.5 I²Cバス・モード使用時の注意事項を参照してください。

スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図16-15 スタート・コンディション



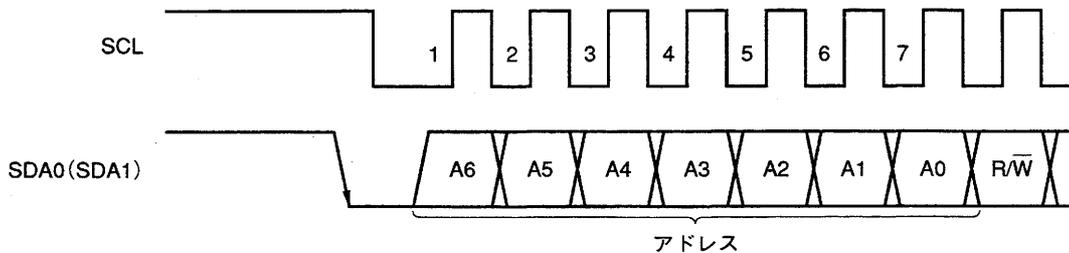
(b) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブはすべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアによってこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ(SVA)と一致しているかを調べます。このとき、7ビット・データとスレーブ・アドレス・レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図16-16 アドレス

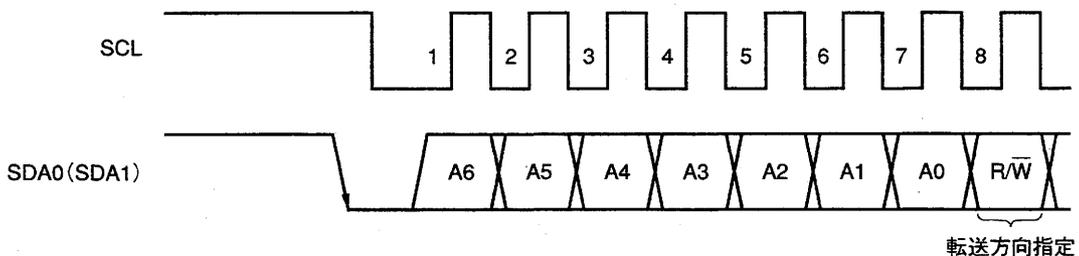


(c) 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するため1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図16-17 転送方向指定



(d) アクノリッジ信号 (ACK)

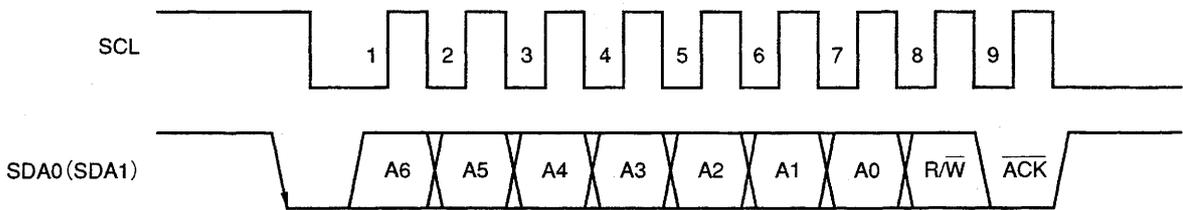
アクノリッジ信号は、送信側と受信側における、シリアル・データ受信の確認のための信号です。受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。

受信側は、通常、8ビット・データ受信後、アクノリッジ信号を出力します。

ただしマスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。

送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして次の処理を行います。また、スレーブからアクノリッジ信号が返らない場合は、受信が正しく行われないので、マスタは、ストップ・コンディションを出力し送信を中止します。

図16-18 アクノリッジ信号



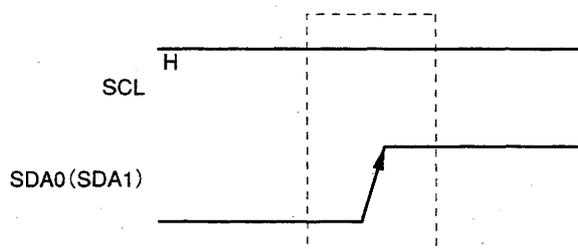
(e) ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA0(SDA1)端子がロウ・レベルからハイ・レベルに変化するとストップ・コンディションとなります。

ストップ・コンディションはマスタがスレーブに対してシリアル転送が終了したときに出力する信号です。

スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図16-19 ストップ・コンディション



(f) ウェイト信号 (WAIT)

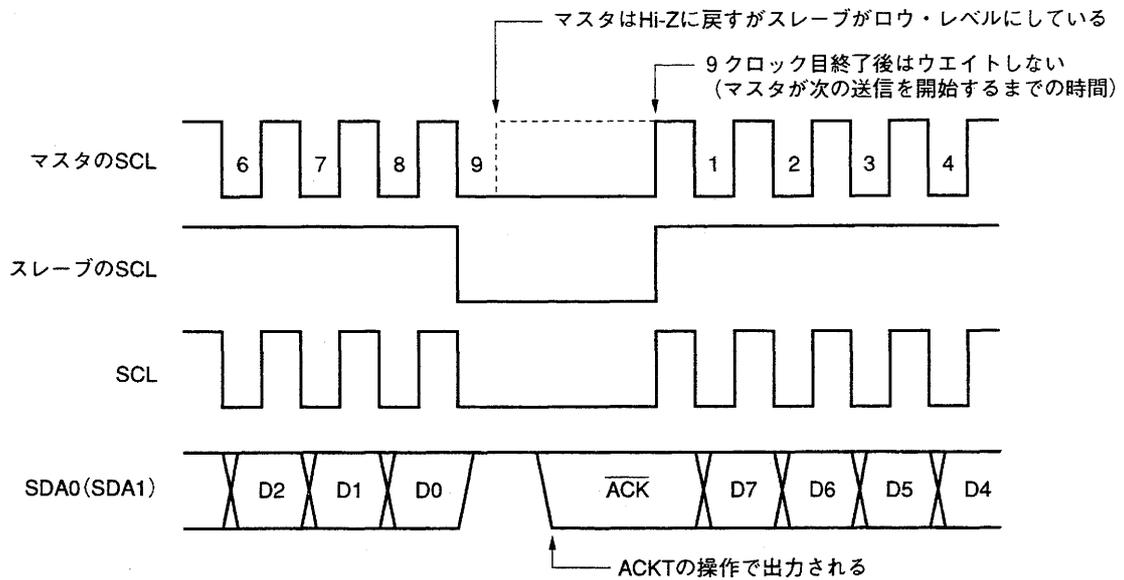
ウェイト信号は、スレーブがデータの送受信のための準備中(ウェイト状態)であることをマスタに知らせるための信号です。

スレーブは、SCL端子をロウ・レベルにすることにより、マスタにウェイト状態を知らせます。

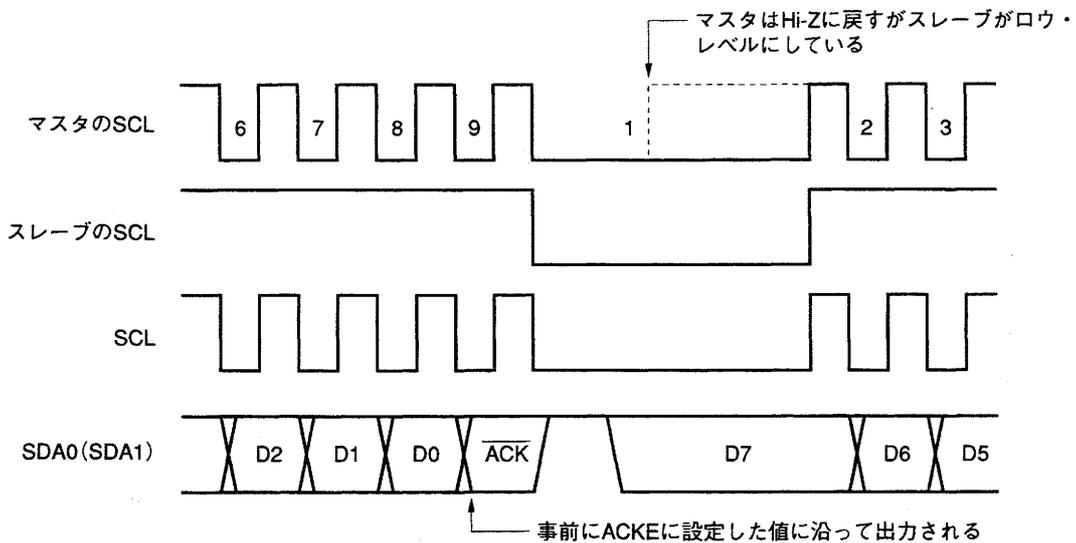
マスタは、ウェイト状態が解除されると、次の転送を開始することができます。スレーブのウェイト解除については、16.4.5 I²Cバス・モード使用時の注意事項を参照してください。

図16-20 ウェイト信号

(a) 8クロック・ウェイト時



(b) 9クロック・ウェイト時



(3) レジスタの設定

PCバス・モードの設定は、シリアル動作モード・レジスタ0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT) で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

 はPCバス・モードにおける使用ビットを示します。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	CSIM00	FF60H	00H	R/W ^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択								
	0	×	SCL端子への外部からの入力クロック								
	1	0	8ビット・タイマ・レジスタ2 (TM2)の出力 ^{注2}								
	1	1	タイマ・クロック選択レジスタ3 (TCL3)のビット0-ビット3で指定されたクロック								

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
	0	×	3線式シリアルI/Oモード(16.4.2 3線式シリアルI/Oモードの動作参照)											
	1	1	0	^{注3} ×	^{注3} ×	0	0	0	1	2線式シリアル I/Oモード または I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	SCK0/SCL (N-chオープン・ ドレイン入出力)
			1	0	0	^{注3} ×	^{注3} ×	0	1			SB0/SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御									
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生									
	1	I ² Cバス・モード時、スタート・コンディション検出後(CMDD=1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生									

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}									
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない									
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する									

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御									
	0	動作停止									
	1	動作許可									

注1. ビット6 (COI)は、Read Onlyです。

2. I²Cバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。

3. ポート機能として自由に使用できます。

4. CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ はPCバス・モードにおける使用ビットを示します。

略号	⑦	⑥	⑤	④	③	②	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^注

R/W	RELT	ストップ・コンディション出力のために使用する。 RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R/W	CMDT	スタート・コンディション出力のために使用する。 CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R	RELD	ストップ・コンディション検出	
		クリアされる条件 (RELD = 0)	セットされる条件 (RELD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

R	CMDD	スタート・コンディション検出	
		クリアされる条件 (CMDD = 0)	セットされる条件 (CMDD = 1)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・ストップ・コンディション検出時 ・CSIE0 = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

R/W	ACKT	セット命令 (ACKT = 1) 実行直後から次のSCLの立ち下がりまでSDA0(SDA1)をロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアでACK信号を生成するために使用する。 シリアル・インタフェースの転送開始、CSIE0 = 0のときクリア(0)される。
-----	------	---

(続く)

注 ビット2, 3, 6 (RELD, CMDD, ACKD)は、Read Onlyです。

R/W	ACKE	アクノリッジ信号の自動出力の制御 ^{注1}
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)。 送信時または8クロック・ウェイト選択時で受信の場合に使用する。 ^{注2}
	1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する(ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。 9クロック・ウェイト選択時で受信の場合に使用する。

R	ACKD	アクノリッジ検出
		クリアされる条件(ACKD = 0)
		<ul style="list-style-type: none"> ・転送スタート命令実行時 ・CSIE0 = 0のとき ・RESET入力時
		セットされる条件(ACKD = 1)
		・転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時

R/W	BSYE ^{注3}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注4}
	0	出力許可(送信)
	1	出力禁止(受信)

注1. 転送開始前に設定してください。

2. 8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。
3. シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できます。ただし、BSYEはクリア(0)されません。
4. ウェイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ はPCバス・モードにおける使用ビットを示します。

略号	7	⑥	⑤	④	③	②	1	0	アドレス	リセット時	R/W
SINT	0	■ CLD	■ SIC	■ SVAM	■ CLC	■ WREL	■ WAT1	■ WAT0	FF63H	00H	R/W ^{注1}

R/W	WAT1	WAT0	ウェイトおよび割り込みの制御 ^{注2}
	0	0	SCK0の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	PCバス・モード時に使用する(8クロック・ウェイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。
	1	1	PCバス・モード時に使用する(9クロック・ウェイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。

R/W	WREL	ウェイト解除の制御
	0	ウェイト解除状態
	1	ウェイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウェイト状態の解除に使用する)。

R/W	CLC	クロック・レベルの制御
	0	PCバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
	1	PCバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

(続く)

注1. ビット6 (CLD)は、Read Onlyです。

2. PCバス・モード使用時は、WAT1, WAT0に1, 0または1, 1を設定してください。

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-ビット7
	1	ビット1-ビット7

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注1}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIIF0をセット(1)する。

R	CLD	SCL端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1. I²Cバス・モードでウエイク・アップ機能を使用するときは、SICに1を設定してください。

2. CSIE0 = 0のとき、CLDは0になります。

備考 SVA: スレーブ・アドレス・レジスタ

(4) 各種信号

PCバス・モードにおける各種の信号の一覧を表16-4に示します。

表16-4 PCバス・モードにおける各種の信号

信号名称	出力するデバイス	定義	出力される条件	フラグへの影響	信号の意味
スタート・コンディション	マスタ	SCLがハイ・レベルのときのSDA0(SDA1)の立ち下がりエッジ ^{注1}	CMDTのセット	CMDDをセット	次にアドレスを送信し、シリアル通信を開始することを示す
ストップ・コンディション	マスタ	SCLがハイ・レベルのときのSDA0(SDA1)の立ち上がりエッジ ^{注1}	RELTのセット	RELDをセット CMDDをクリア	シリアル送信の終了を示す
アクノリッジ信号(ACK)	マスタ/ スレーブ	シリアル受信完了後、SCLの1クロック期間に出力されるSDA0(SDA1)のロウ・レベル信号	・ACKC=1 ・ACKTのセット	ACKDをセット	1バイトの受信が完了したことを示す
ウェイト(WAIT)	スレーブ	SCLに出力されるロウ・レベル信号	WAT1, WAT0=1X	—	シリアル受信が不可能な状態を示す
シリアル・クロック(SCL)	マスタ	各種信号出力のための同期クロック	CSIE0=1のときの、SIO0	CSIIF0をセット ^{注3}	シリアル通信の同期信号
アドレス(A6-A0)	マスタ	スタート・コンディション出力後に、SCLに同期して出力される7ビット・データ	へのデータ書き込み命令実行(シリアル		シリアル・バス上のスレーブを指定するためのアドレス値を示す
転送方向(R \bar{W})	マスタ	アドレス出力後に、SCLに同期して出力される1ビット・データ	転送のスタート指示) ^{注2}		データの送信あるいは受信のどちらを行うかを示す
データ(D7-D0)	マスタ/ スレーブ	スタート・コンディション直後でない、SCLに同期して出力される8ビット・データ			実際に通信するデータを示す

注1. シリアル・クロックのレベルは、SINTのCLCで制御することができます。

2. ウェイト状態のときは、ウェイト状態が解除されたあと、シリアル転送を開始します。

3. WUP=0で8クロック・ウェイトを選択したとき、SCLの8クロック目の立ち上がりでCSIIF0をセットします。WUP=0で9クロック・ウェイトを選択したとき、SCLの9クロック目の立ち上がりでCSIIF0をセットします。

WUP=1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致した場合のみ、CSIIF0をセットします。

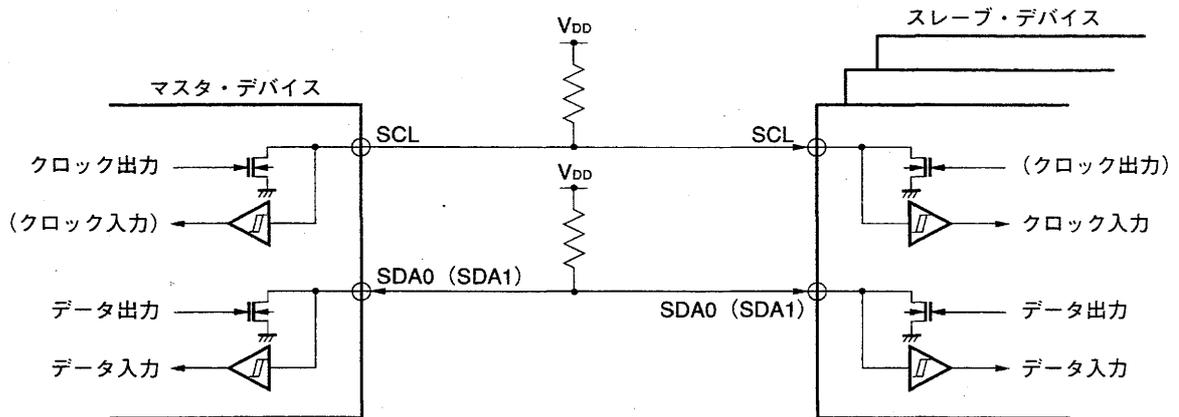
(5) 端子構成

シリアル・クロック端子(SCL)と、シリアル・データ・バス端子(SDA0, SDA1)の構成は次のようになっています。

- (a) SCL シリアル・クロックを入出力するための端子
 - ① マスタ N-chオープン・ドレイン出力
 - ② スレーブ シュミット入力
- (b) SDA0(SDA1) シリアル・データの入出力兼用端子
 - マスタ, スレーブともにN-chオープン・ドレイン出力, シュミット入力

シリアル・クロックおよびシリアル・データ・バスはともにN-chオープン・ドレインで出力されるため、外部にプルアップ抵抗が必要となります。

図16-21 端子構成図



注意 データ受信時にはN-chオープン・ドレイン出力をオフにする必要がありますので、あらかじめ、SBICのBSYEに1を設定し、SIO0にFFHを書き込んでおいてください。

(6) アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択することができます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタ(SVA)を備え、ウエイク・アップ機能指定ビット(WUP) = 1のとき、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したときのみ、CSIF0がセットされます。

注意 スレーブの選択、非選択の状態検出は、スタート・コンディションのあとに受信したデータ(アドレス)の一致検出により行います。

この一致検出は、通常WUP = 1の状態が発生するアドレスの一致検出割り込み(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出はWUP = 1の状態で行ってください。

(7) エラーの検出

I²Cバス・モードでは、送信中のシリアル・バスSDA0(SDA1)の状態が送信しているデバイスのSIO0レジスタにも取り込まれるため、次の方法によって送信エラーの検出をすることができます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を使用する方法

送信データをSIO0とSVAにセットし、送信を行います。送信終了後にシリアル動作モード・レジスタ0(CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”なら正常な送信、“0”なら送信エラーと判断します。

(8) 通信動作

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次に、データの転送方向を示すR/Wビットを送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図16-22および図16-23に示します。

シリアル・クロック(SCL)の立ち下がりに同期してシフト・レジスタ(SIO0)のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0またはSDA1端子からMSBを先頭にして出力されます。

また、SCLの立ち上がりでSDA0またはSDA1端子に入力されたデータがシフト・レジスタ(SIO0)に取り込まれます。

図16-22 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(1/3)

(a) スタート・コンディション～アドレス

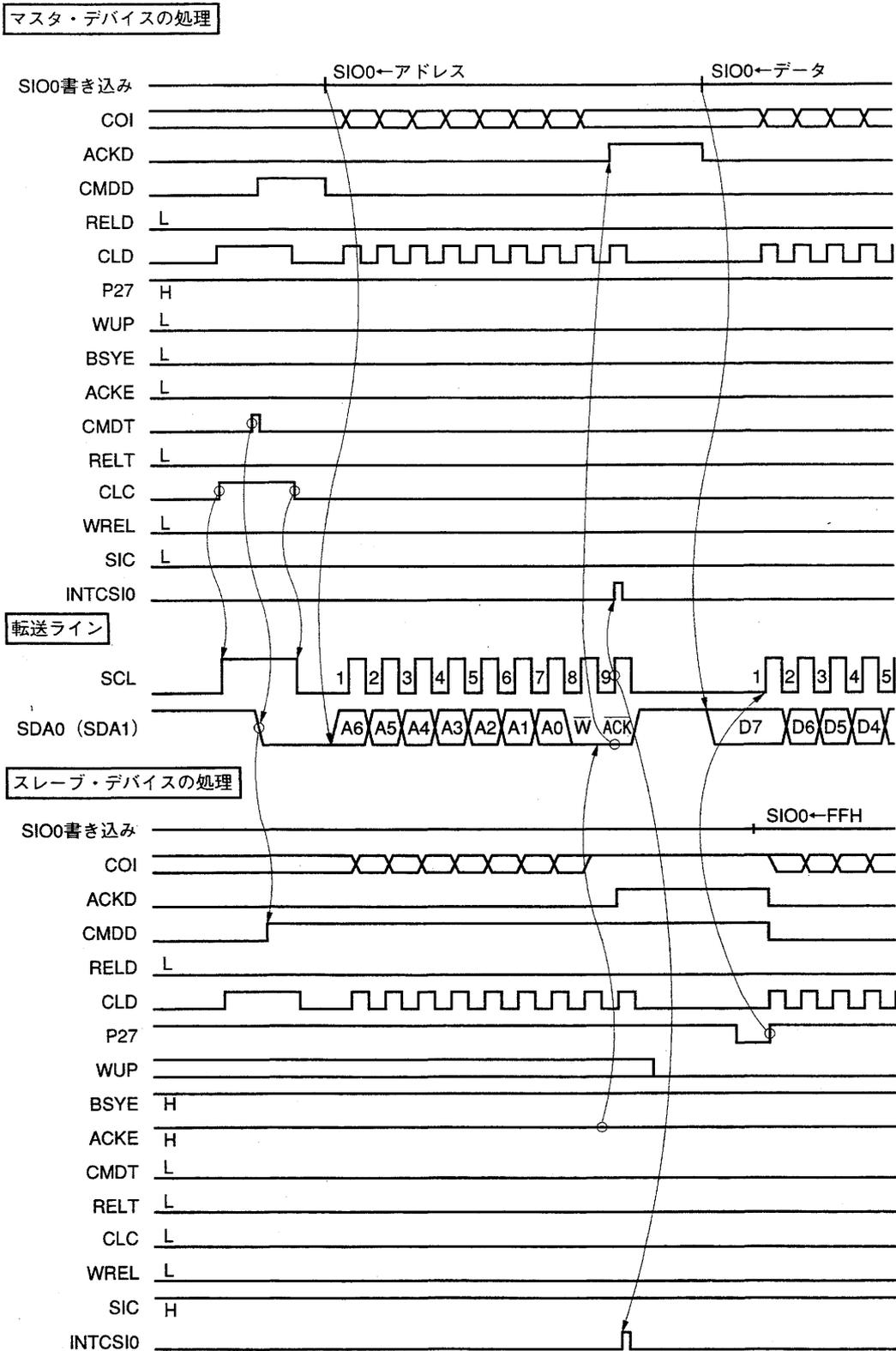


図16-22 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(2/3)

(b) データ

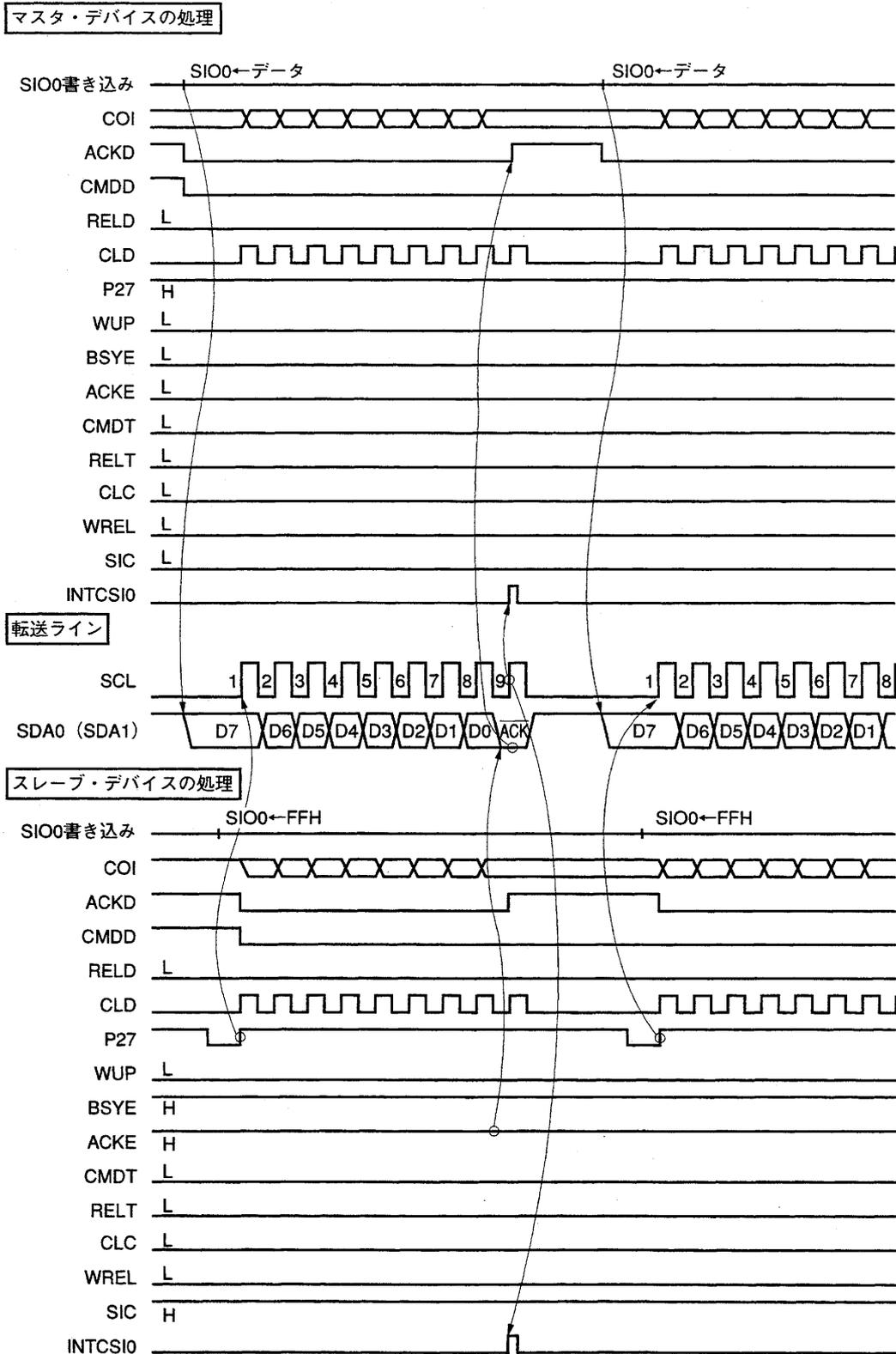


図16-22 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(c) ストップ・コンディション

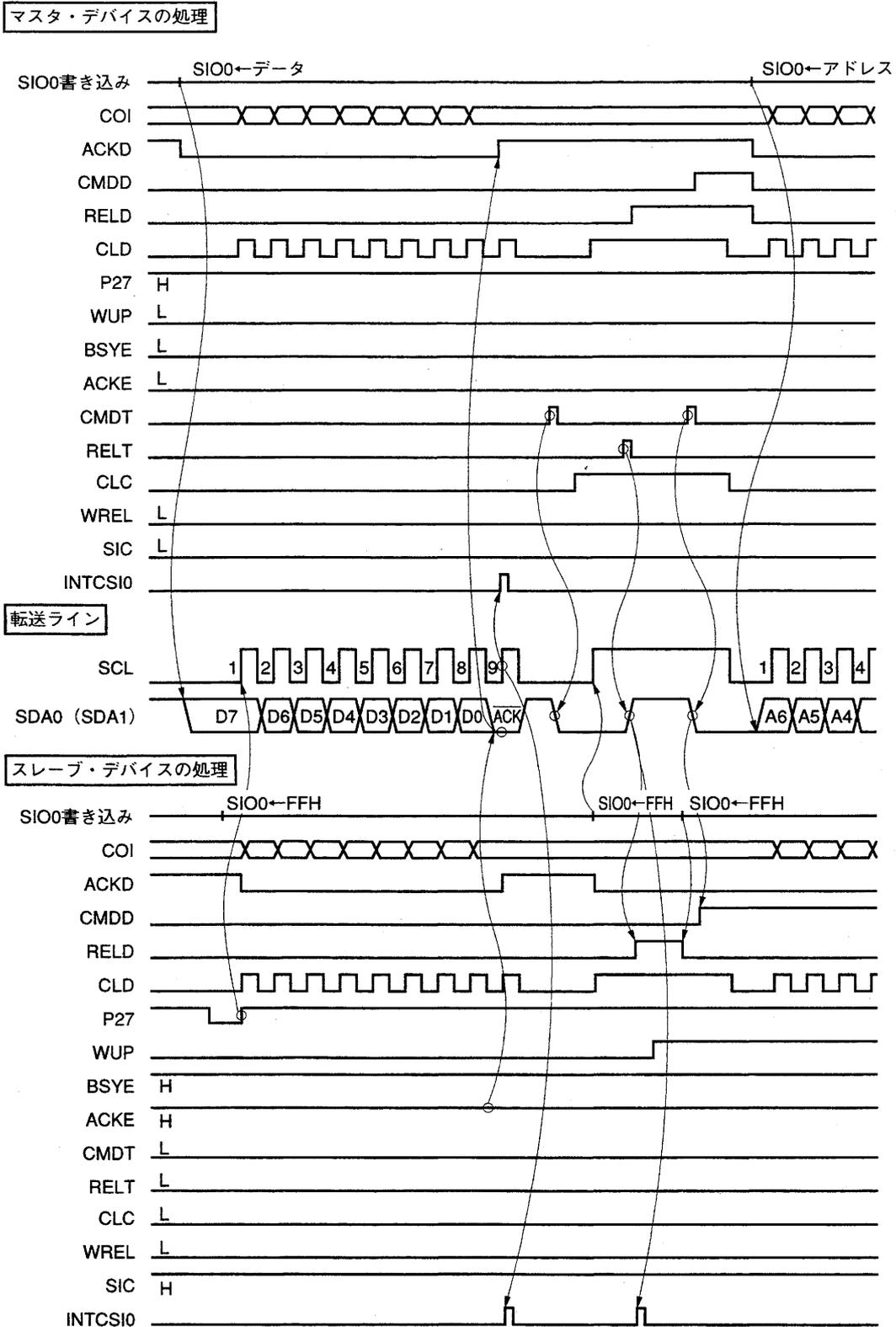


図16-23 スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(1/3)

(a) スタート・コンディション～アドレス

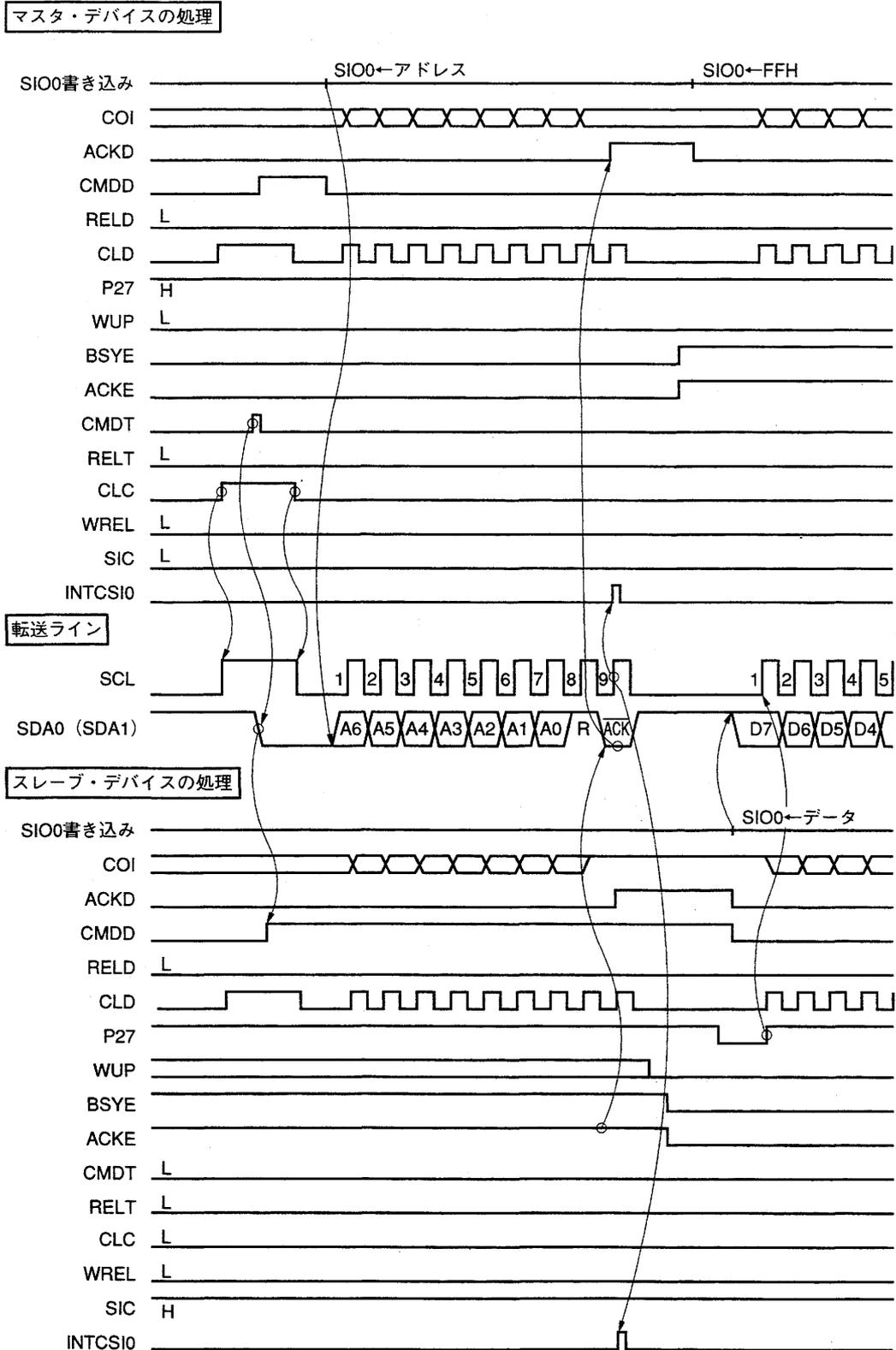


図16-23 スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(2/3)

(b) データ

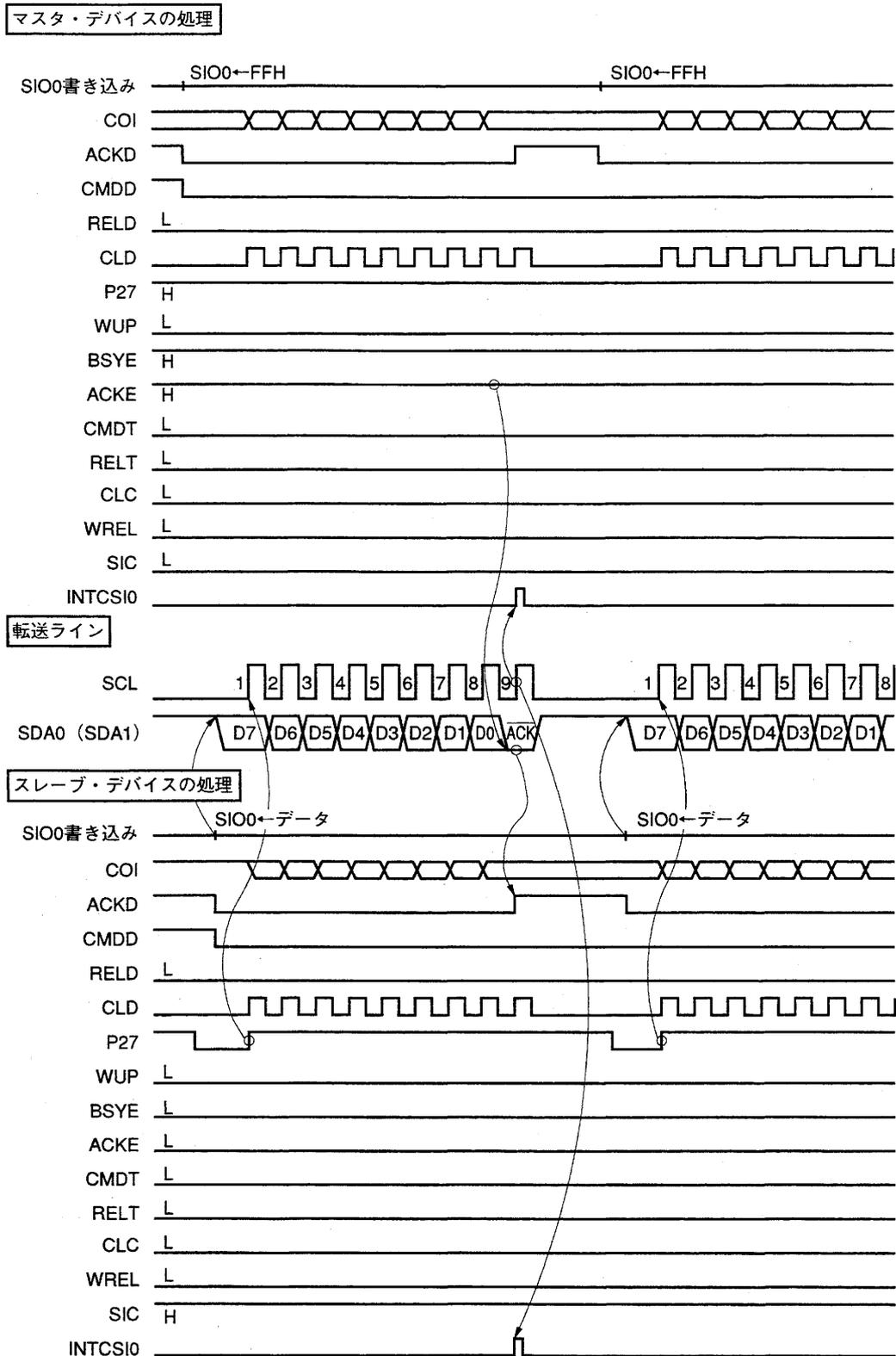
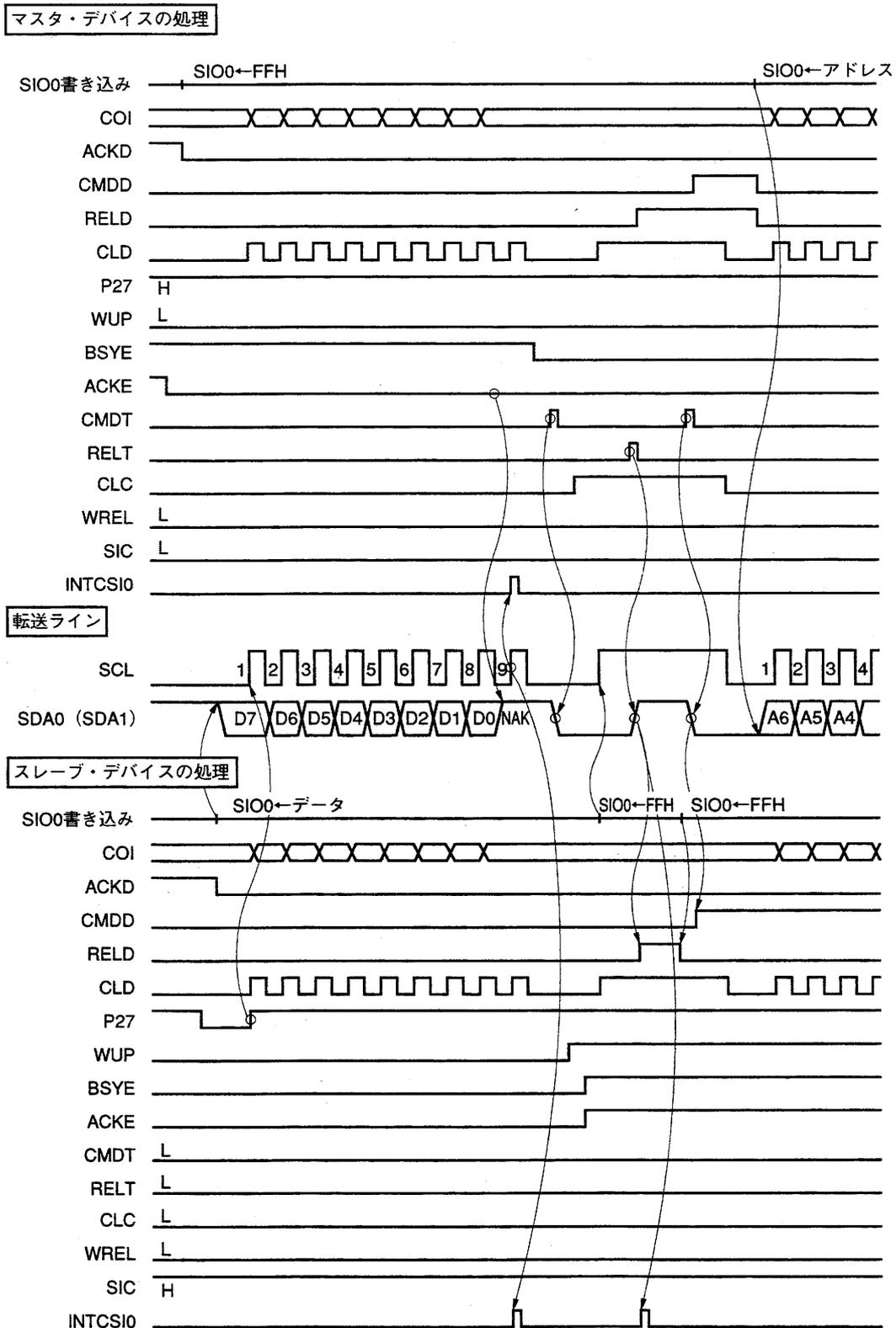


図16-23 スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(3/3)

(c) ストップ・コンディション



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、SIO0に転送データをセットすることで開始します。

- (a) シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)=1
- (b) 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCLがロウ・レベルの状態

注意1. SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

2. データ受信時にはN-chオープン・ドレイン出力をオフにする必要がありますので、あらかじめ、SBICのBSYEに1を設定し、SIO0にFFHを書き込んでおいてください。

3. スレーブがウエイト状態のときにSIO0にデータを書き込んだ場合、そのデータは失われません。ウエイト状態が解除されて、SCLが出力されたときに転送が開始します。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIIF0)をセットします。

16.4.5 I²Cバス・モード使用時の注意事項

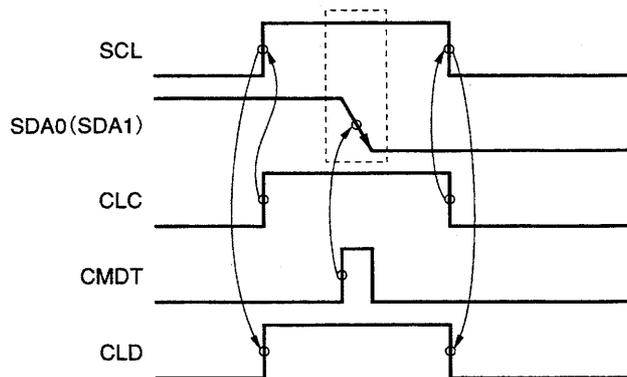
(1) スタート・コンディションの出力 (マスタ)

SCL端子は、シリアル・クロックが出力されていないときには通常、ロウ・レベルを出力しています。スタート・コンディションを出力するためには一度SCL端子をハイ・レベルに変化させる必要があります。SCL端子をハイ・レベルにするには、SINTのCLCに1を設定してください。

CLCをセットしたあとはCLCを0にクリアし、SCL端子をロウ・レベルに戻してください。CLCが1のままの場合、シリアル・クロックが出力されません。

マスタがスタート・コンディションおよびストップ・コンディションを出力する場合には、CLCに1を設定したあと、CLDが1であることを確認してから行ってください。これは、スレーブがSCLをロウ・レベル(ウエイト状態)にしている可能性があるためです。

図16-24 スタート・コンディションの出力



(2) スレーブのウェイト解除 (スレーブ送信)

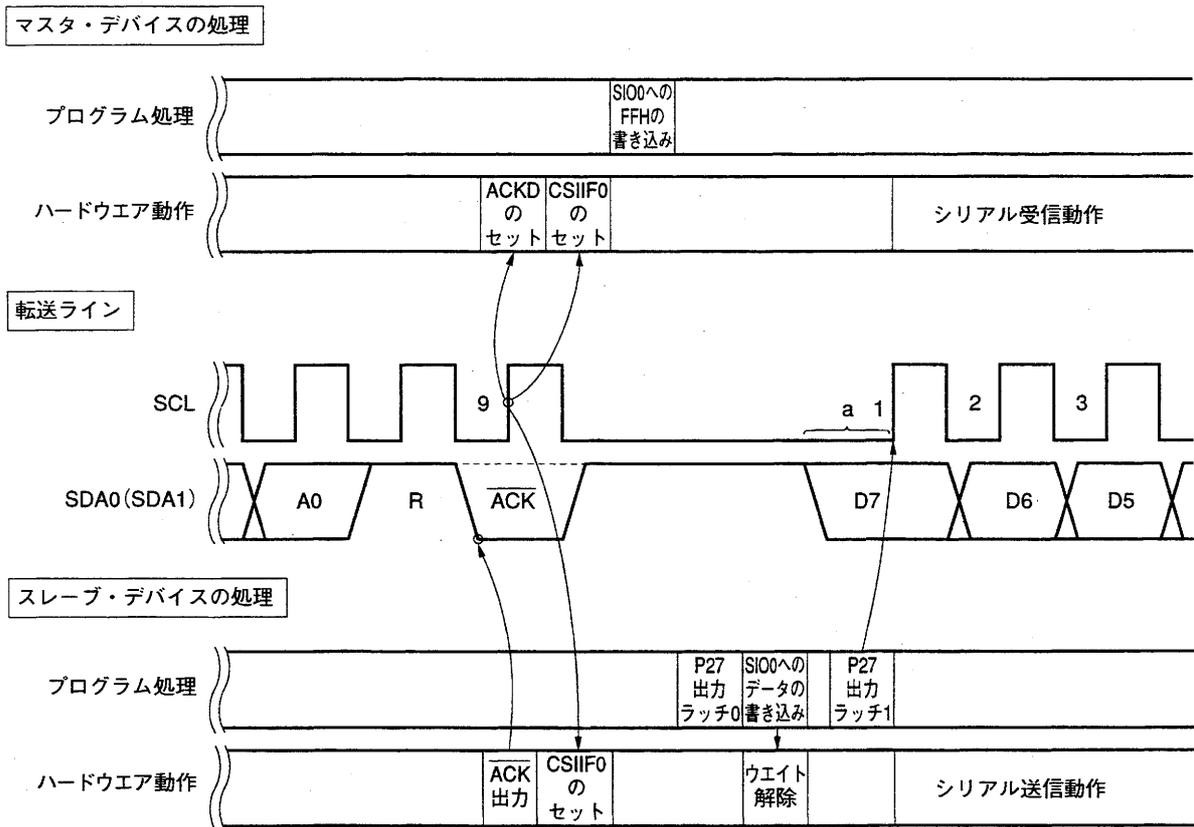
スレーブのウェイト状態は、WRELフラグ(割り込みタイミング指定レジスタ(SINT)のビット2)のセットまたは、SIO0への書き込み命令実行により解除されます。

スレーブがデータ送信をする場合、SIO0への書き込み命令実行により、すぐにウェイトが解除され、データ・ラインに先頭の送信ビットが出力されないままクロックが立ち上がってしまいます。そのため、図16-25に示すように、P27の出力ラッチをプログラムで操作することにより、データ送信をする必要があります。このとき、1回目のシリアル・クロックのロウ・レベル幅(図16-25のaの部分)は、SIO0への書き込み命令実行後のP27出力ラッチを1に設定するときのタイミングで制御してください。

また、マスタからのアクノリッジ信号が出力されなかった場合(スレーブからのデータ送信が終了した場合)は、SINTのWRELフラグに1を設定し、ウェイトを解除してください。

これらのタイミングについては、図16-23を参照してください。

図16-25 スレーブのウェイト解除(送信時)



★ (3) スレーブのウェイト解除 (スレーブ受信)

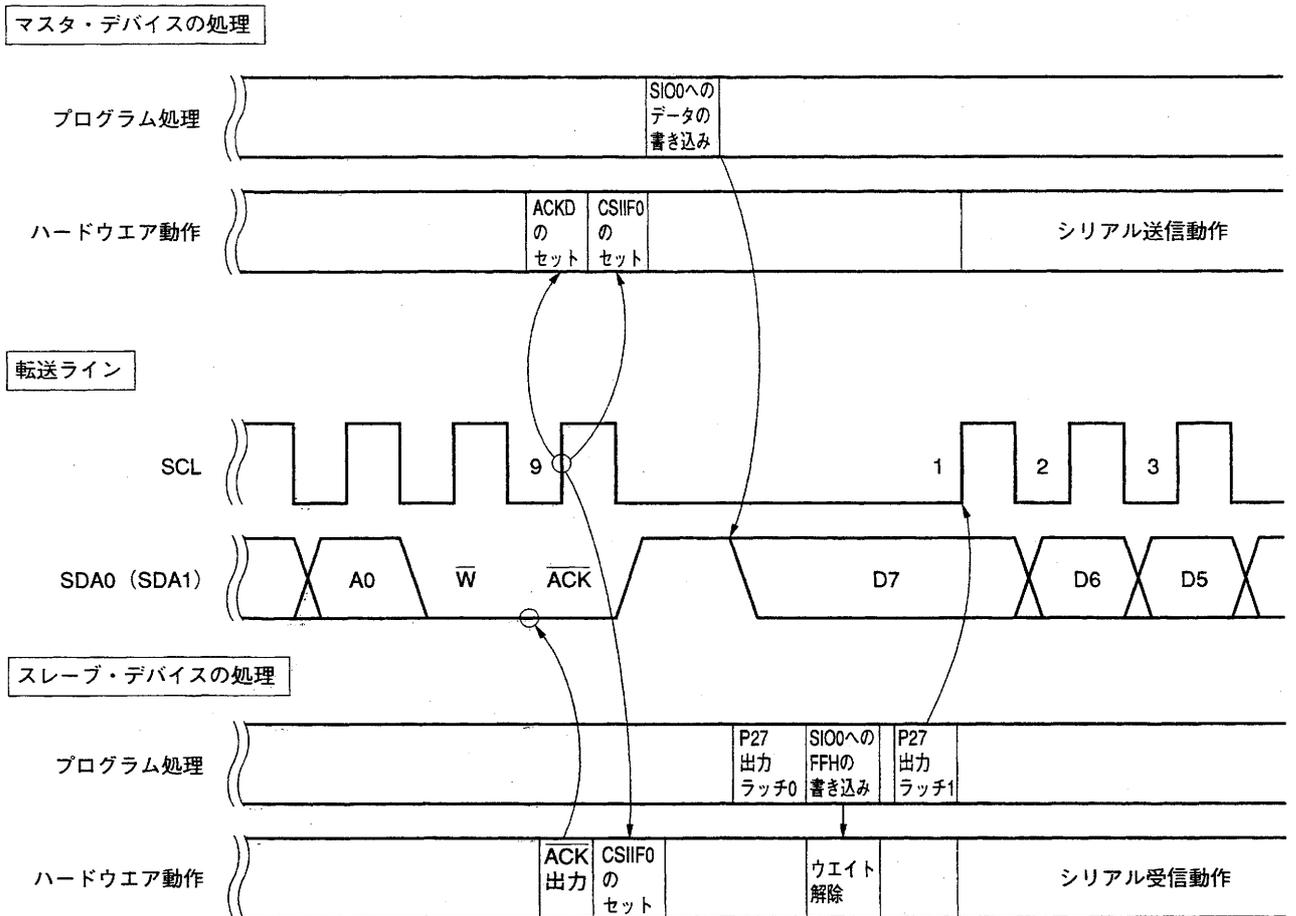
スレーブのウェイト状態は、WRELフラグ(割り込みタイミング指定レジスタ(SINT)のビット2)のセットまたは、SIO0への書き込み命令実行により解除されます。

スレーブがデータ受信をする場合、SIO0への書き込み命令実行により、すぐにSCLラインがハイ・インピーダンス状態になると、マスタからの1ビット目のデータを受信できないことがあります。これは、SIO0への書き込み命令実行中(次の命令が実行されるまでの期間)にSCLラインがハイ・インピーダンス状態になっていると、SIO0が動作を開始しないためです。

そのため、図16-26に示すように、P27の出力ラッチをプログラムで操作することにより、データ受信をしてください。

これらのタイミングについては、図16-22を参照してください。

図16-26 スレーブのウェイト解除(受信時)



(4) スレーブの受信完了処理

スレーブの受信完了処理(割り込み処理など)では、CMDDとCOI(CMDD = 1のとき)を確認するようにしてください。不特定数のデータをマスタから受信する場合、スタート・コンディションとデータのどちらが次に来るのかをスレーブが判断できず、ウエイク・アップ機能が使用できなくなるのを避けるためです。

16.4.6 SCK0/SCL/P27端子出力の操作

SCK0/SCL/P27端子には、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力が可能です。

また、シリアル・クロックの数をソフトウェアで任意に設定することができます(SI0/SB0/SDA0, SO0/SB1/SDA1端子の制御は、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のRELT, CMDTビットによって行います)。

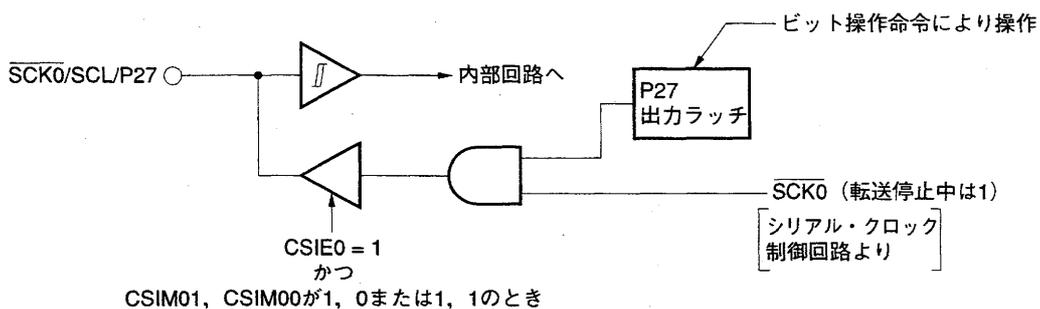
次に、SCK0/SCL/P27端子出力の操作方法を示します。

(1) 3線式シリアルI/Oモードおよび2線式シリアルI/Oモードの場合

P27出力ラッチにより、SCK0/SCL/P27端子の出力レベルを操作します。

- ① シリアル動作モード・レジスタ0(CSIM0)を設定します(SCK0端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中ではSCK0 = 1となっています。
- ② P27出力ラッチを、ビット操作命令により操作します。

図16-27 SCK0/SCL/P27端子の構成

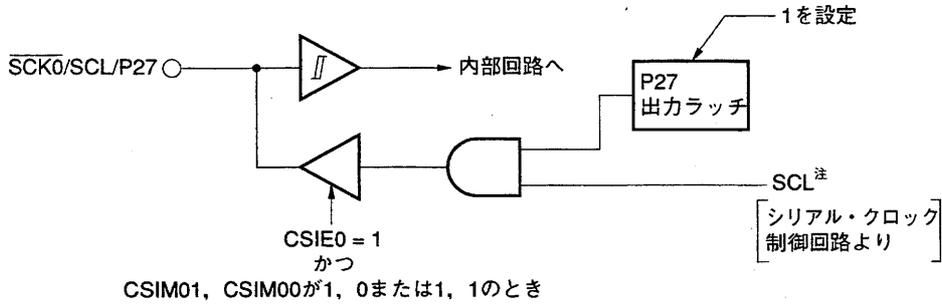


(2) I²Cバス・モードの場合

割り込みタイミング指定レジスタ(SINT)のCLCビットにより、 $\overline{\text{SCK0/SCL/P27}}$ 端子の出力レベルを操作します。

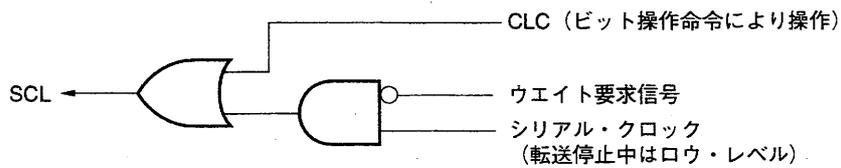
- ① シリアル動作モード・レジスタ0 (CSIM0)を設定します(SCL端子：出力モード，シリアル動作：可能状態)。P27出力ラッチには1を設定します。シリアル転送停止中ではSCL = 0となります。
- ② SINTのCLCビットを，ビット操作命令により操作します。

図16-28 $\overline{\text{SCK0/SCL/P27}}$ 端子の構成



注 SCL信号のレベルは，図16-29に示す論理回路の内容に従います。

図16-29 SCL信号の論理回路



備考1. この図は各信号の関連を示すもので，内部回路を示すものではありません。

2. CLC：割り込みタイミング指定レジスタ(SINT)のビット3

第17章 シリアル・インタフェース・チャンネル2

17.1 シリアル・インタフェース・チャンネル2の機能

シリアル・インタフェース・チャンネル2には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース(UART)モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) アシンクロナス・シリアル・インタフェース(UART)モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート(31.25 kbps)を使用することもできます。

(3) 3線式シリアルI/Oモード(MSB/LSB先頭切り替え可能)

シリアル・クロック(SCK2)と、シリアル・データ(SI2, SO2)の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75Xシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

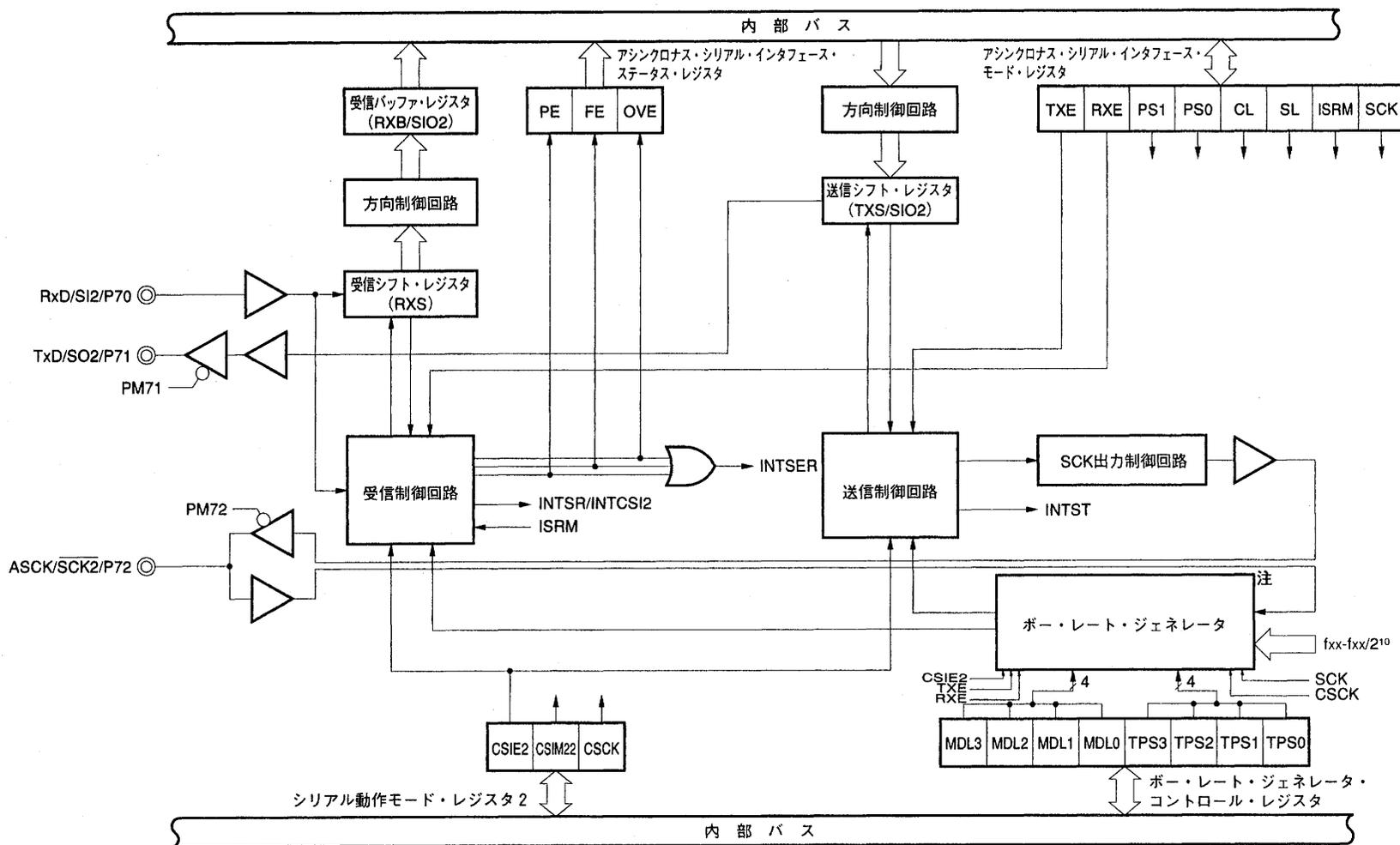
17.2 シリアル・インタフェース・チャンネル2の構成

シリアル・インタフェース・チャンネル2は、次のハードウェアで構成しています。

表17-1 シリアル・インタフェース・チャンネル2の構成

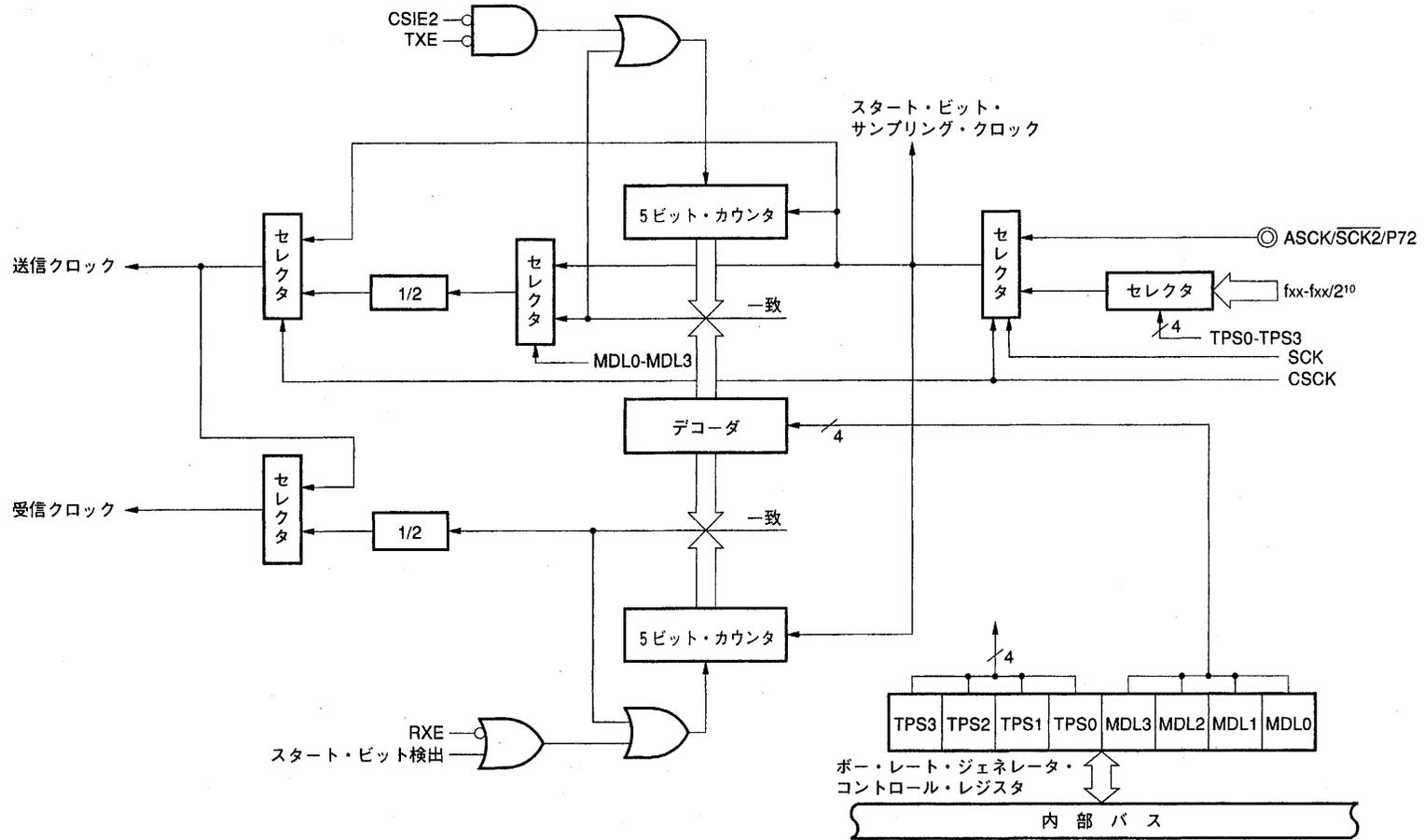
項目	構成
レジスタ	送信シフト・レジスタ(TXS) 受信シフト・レジスタ(RXS) 受信バッファ・レジスタ(RXB)
制御レジスタ	シリアル動作モード・レジスタ2(CSIM2) アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS) ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)

図17-1 シリアル・インタフェース・チャンネル2のブロック図★



注 ポー・レート・ジェネレータの構成は、図17-2を参照してください。

図17-2 ボー・レート・ジェネレータのブロック図



(1) 送信シフト・レジスタ(TXS)

送信データを設定するレジスタです。TXSに書き込まれたデータをシリアル・データとして送信します。データ長を7ビットに指定した場合、TXSに書き込んだデータのビット0-ビット6が送信データとして転送されます。TXSにデータを書き込むことにより、送信動作を開始します。TXSは、8ビット・メモリ操作命令で書き込みます。読み出しはできません。 $\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXSへの書き込みを行わないでください。

TXSと受信バッファ・レジスタ(RXB)は同一アドレスに割り当てられており、読み出しを行った場合にはRXBの値が読み出されます。

(2) 受信シフト・レジスタ(RXS)

RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ(RXB)へ転送します。RXSはプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ(RXB)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ(RXS)から新たな受信データが転送されます。データ長を7ビットに指定した場合、受信データはRXBのビット0-ビット6に転送され、RXBのMSBは必ず0になります。RXBは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。 $\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXBと送信シフト・レジスタ(TXS)は同一アドレスに割り当てられており、書き込みを行った場合にはTXSに値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)に設定された内容に従って、送信シフト・レジスタ(TXS)に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)にセットします。

17.3 シリアル・インタフェース・チャンネル2を制御するレジスタ

シリアル・インタフェース・チャンネル2は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ2 (CSIM2)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

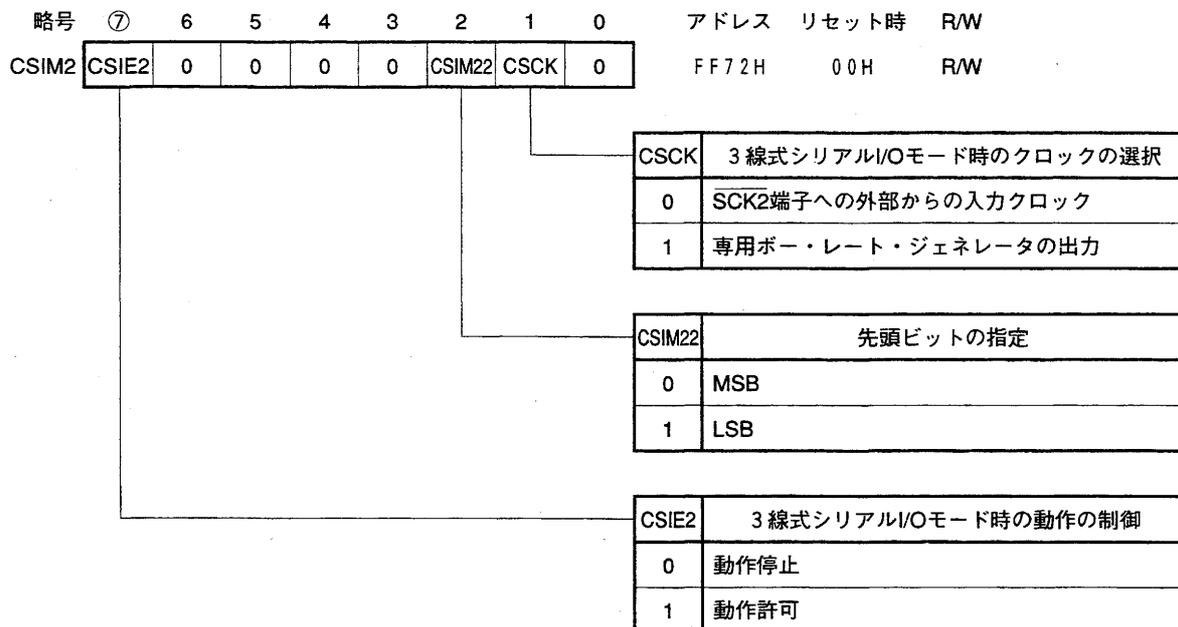
(1) シリアル動作モード・レジスタ2 (CSIM2)

シリアル・インタフェース・チャンネル2を3線式シリアルI/Oモードで使用するときには設定するレジスタです。

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図17-3 シリアル動作モード・レジスタ2のフォーマット



注意1. ビット0, ビット3-ビット6には、必ず0を設定してください。

2. UARTモード選択時は、CSIM2に00Hを設定してください。

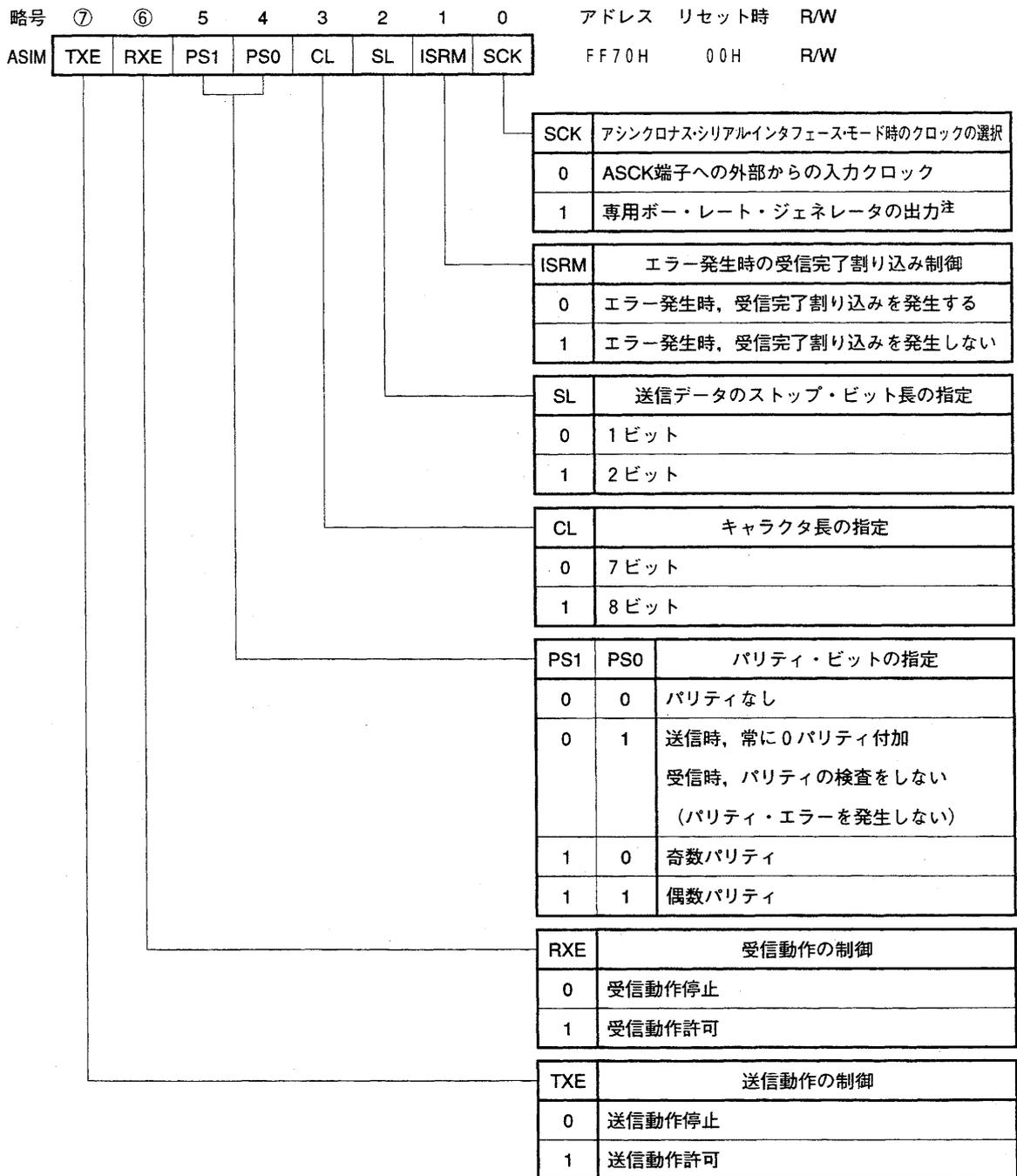
(2) アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)

シリアル・インタフェース・チャンネル2をアシクロナス・シリアル・インタフェース・モードで使用するときには設定するレジスタです。

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-4 アシクロナス・シリアル・インタフェース・モード・レジスタのフォーマット



注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき、ASCK端子は入出力ポートとして使用できます。

注意1. 3線式シリアル/I/Oモード選択時は、ASIMに00Hを設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表17-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧

(1) 動作モード

ASIM			CSIM2			PM70	P70	PM71	P71	PM72	P72	先頭	シフト・	P70/SI2/RxD	P71/SO2/TxD	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK							ビット	クロック	端子の機能	端子の機能	端子の機能
0	0	×	0	×	×	×	×	×	×	×	×	—	—	P70	P71	P72
上記以外												設定禁止				

(2) 3線式シリアルI/Oモード

ASIM			CSIM2			PM70	P70	PM71	P71	PM72	P72	先頭	シフト・	P70/SI2/RxD	P71/SO2/TxD	P72/SCK2/ASCK		
TXE	RXE	SCK	CSIE2	CSIM22	CSCK							ビット	クロック	端子の機能	端子の機能	端子の機能		
0	0	0	1	0	0	1 ^{注2}	×	0	1	1	×	MSB	外部	SI2 ^{注2}	SO2 (CMOS出力)	SCK2入力		
													クロック				SCK2出力	
													内部	0		1		内部
													クロック	1		×	LSB	外部
内部	0	1	内部	クロック	SCK2出力													
上記以外												設定禁止						

(3) アシクロナス・シリアル・インタフェース・モード

ASIM			CSIM2			PM70	P70	PM71	P71	PM72	P72	先頭	シフト・	P70/SI2/RxD	P71/SO2/TxD	P72/SCK2/ASCK
TXE	RXE	SCK	CSIE2	CSIM22	CSCK							ビット	クロック	端子の機能	端子の機能	端子の機能
1	0	0	0	0	0	×	×	0	1	1	×	LSB	外部	P70	TxD (CMOS出力)	ASCK入力
		クロック											P72			
0	1	0	0	0	0	1	×	×	×	1	×	LSB	外部	RxD	P71	ASCK入力
		クロック											P72			
1	1	0	0	0	0	1	×	0	1	1	×	LSB	外部	P70	TxD (CMOS出力)	ASCK入力
		クロック											P72			
0	1	1	0	0	0	1	×	0	1	1	×	LSB	外部	P70	TxD (CMOS出力)	ASCK入力
		クロック											P72			
上記以外												設定禁止				

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P70(CMOS入出力)として使用できます。

備考 × : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)

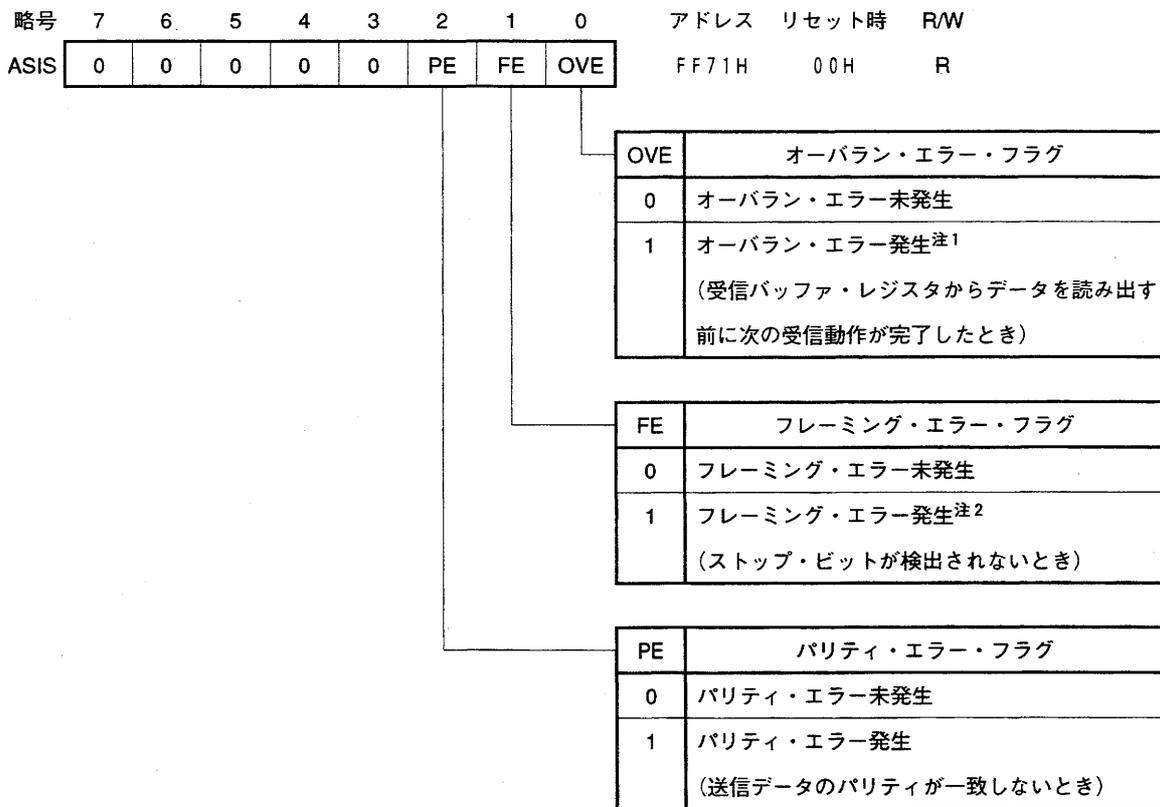
アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

3線式シリアル/Oモードでは、ASISの内容は不定となります。

RESET入力により、00Hになります。

図17-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット



- 注1. オーバラン・エラーが発生したとき、受信バッファ・レジスタ(RXB)を必ず読み出してください。
RXBを読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。
2. アシクロナス・シリアル・インタフェース・モード・レジスタのビット2 (SL)でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)

シリアル・インタフェース・チャンネル2のシリアル・クロックを設定するレジスタです。

BRGCは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17-6 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット(1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14
1	1	1	1	fscck ^注	-

注 3線式シリアルI/Oモード時にのみ使用できます。

備考 fscck : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値(0 ≤ k ≤ 14)

図17-6 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット(2/2)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
					MCS = 1	MCS = 0	
0	0	0	0	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)	11
0	1	0	1	f_{xx}	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止			

注意 通信動作中にBRGCへの書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
 3. MCS : 発振モード選択レジスタのビット 0
 4. n : TPS0-TPS3で設定した値($1 \leq n \leq 11$)
 5. ()内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK端子から入力したクロックを分周した信号になります。

(a) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times (k+16)} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

n : TPS0-TPS3で設定した値 ($1 \leq n \leq 11$)

k : MDL0-MDL3で設定した値 ($0 \leq k \leq 14$)

表17-3 メイン・システム・クロックとボー・レートの関係

ボー・レート (bps)	$f_x = 5.0 \text{ MHz}$				$f_x = 4.19 \text{ MHz}$			
	MCS = 1		MCS = 0		MCS = 1		MCS = 0	
	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)
75	—		00H	1.73	0BH	1.14	EBH	1.14
110	06H	0.88	E6H	0.88	03H	-2.01	E3H	-2.01
150	00H	1.73	E0H	1.73	EBH	1.14	DBH	1.14
300	E0H	1.73	D0H	1.73	DBH	1.14	CBH	1.14
600	D0H	1.73	C0H	1.73	CBH	1.14	BBH	1.14
1200	C0H	1.73	B0H	1.73	BBH	1.14	ABH	1.14
2400	B0H	1.73	A0H	1.73	ABH	1.14	9BH	1.14
4800	A0H	1.73	90H	1.73	9BH	1.14	8BH	1.14
9600	90H	1.73	80H	1.73	8BH	1.14	7BH	1.14
19200	80H	1.73	70H	1.73	7BH	1.14	6BH	1.14
31250	74H	0	64H	0	71H	-1.31	61H	-1.31
38400	70H	1.73	60H	1.73	6BH	1.14	5BH	1.14
76800	60H	1.73	50H	1.73	5BH	1.14	—	—

備考 MCS : 発振モード選択レジスタのビット0



(b) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k+16)} \text{ [Hz]}$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

k : MDL0-MDL3で設定した値 ($0 \leq k \leq 14$)

表17-4 ASCK端子入力周波数とボー・レートの関係(BRGC = 00H設定時)

ボー・レート(bps)	ASCK端子入力周波数
75	2.4 kHz
110	3.52 kHz
150	4.8 kHz
300	9.6 kHz
600	19.2 kHz
1200	38.4 kHz
2400	76.8 kHz
4800	153.6 kHz
9600	307.2 kHz
19200	614.4 kHz
31250	1000.0 kHz
38400	1228.8 kHz

17.4 シリアル・インタフェース・チャンネル2の動作

シリアル・インタフェース・チャンネル2は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース(UART)モード
- ・3線式シリアルI/Oモード

17.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。

また、動作停止モードでは、P70/SI2/RxD, P71/SO2/TxD, P72/SCK2/ASCK端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ2 (CSIM2)とアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

CSIE2 は動作停止モードにおける使用ビットを示します。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM2	CSIE2	0	0	0	0	CSIM22	CSCK	0	FF72H	00H	R/W

CSIE2	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

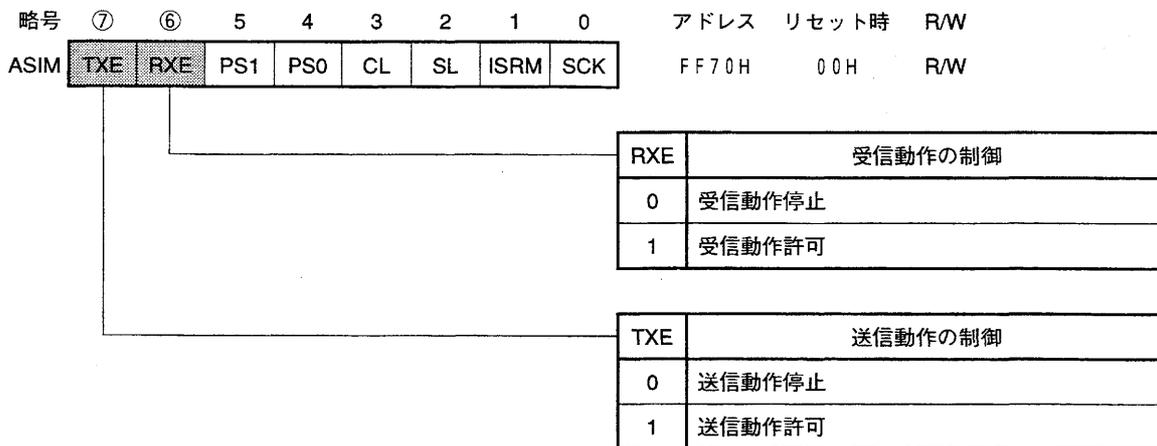
注意 ビット0, ビット3-ビット6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

は動作停止モードにおける使用ビットを示します。



17.4.2 アシクロナス・シリアル・インタフェース(UART)モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート(31.25 kbps)を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ2 (CSIM2)、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)、ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)で行います。

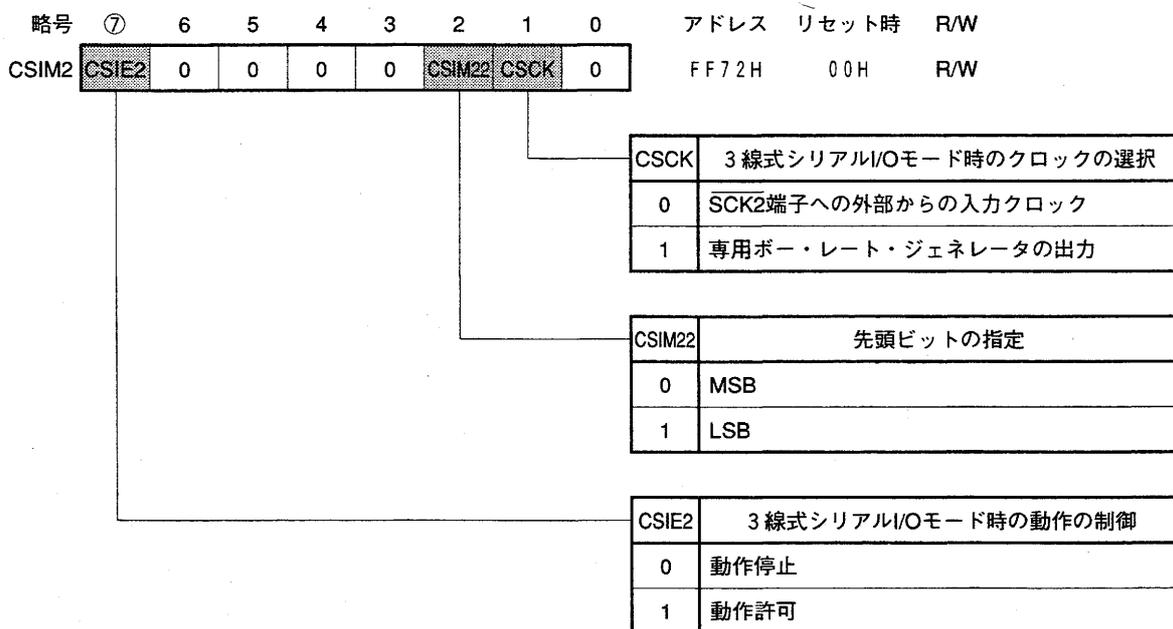
(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■はUARTモードにおける使用ビットを示します。

UARTモード選択時は、CSIM2に00Hを設定してください。



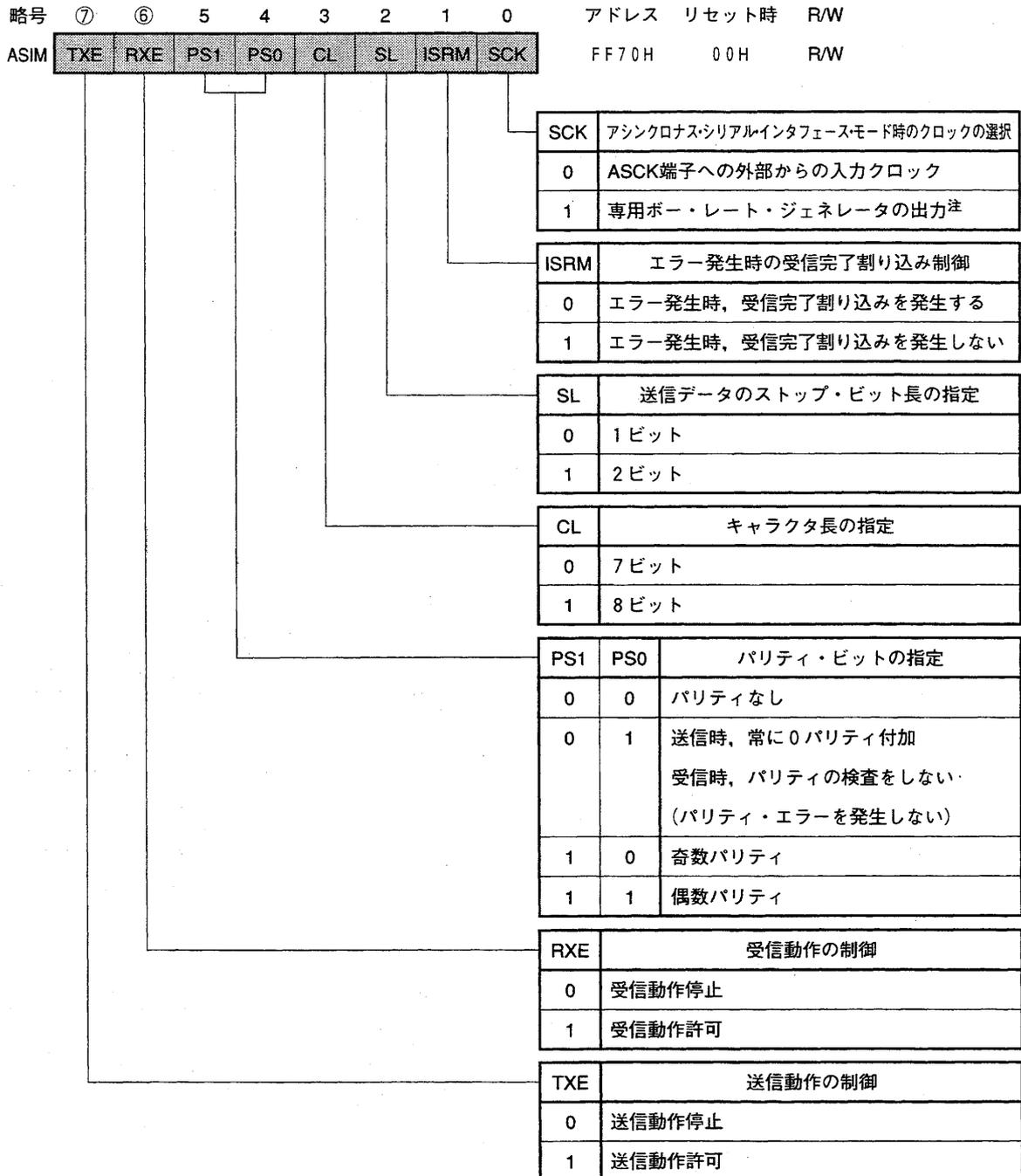
注意 ビット0、ビット3-ビット6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ はUARTモードにおける使用ビットを示します。



注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき、ASCK端子は入出力ポートとして使用できます。

注意 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)

ASISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

■はUARTモードにおける使用ビットを示します。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS	0	0	0	0	0	PE	FE	OVE	FF71H	00H	R

OVE	オーバーラン・エラー・フラグ
0	オーバーラン・エラー未発生
1	オーバーラン・エラー発生 ^{注1} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

FE	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 ^{注2} (ストップ・ビットが検出されないとき)

PE	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

- 注1. オーバーラン・エラーが発生したとき、受信バッファ・レジスタ(RXB)を必ず読み出してください。RXBを読み出すまで、データ受信のたびにオーバーラン・エラーが発生し続けます。
2. アシクロナス・シリアル・インタフェース・モード・レジスタのビット2(SL)でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)

BRGCは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

 はUARTモードにおける使用ビットを示します。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	fscck/16	0
0	0	0	1	fscck/17	1
0	0	1	0	fscck/18	2
0	0	1	1	fscck/19	3
0	1	0	0	fscck/20	4
0	1	0	1	fscck/21	5
0	1	1	0	fscck/22	6
0	1	1	1	fscck/23	7
1	0	0	0	fscck/24	8
1	0	0	1	fscck/25	9
1	0	1	0	fscck/26	10
1	0	1	1	fscck/27	11
1	1	0	0	fscck/28	12
1	1	0	1	fscck/29	13
1	1	1	0	fscck/30	14

(続く)

備考 fscck : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値(0 ≤ k ≤ 14)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
					MCS = 1	MCS = 0	
0	0	0	0	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)	11
0	1	0	1	f_{xx}	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止			

注意 通信動作中にBRGCへの書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

- 備考 1. f_x : メイン・システム・クロック発振周波数
 2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 3. MCS : 発振モード選択レジスタのビット 0
 4. n : TPS0-TPS3で設定した値 ($1 \leq n \leq 11$)
 5. ()内は、 $f_x = 5.0$ MHz動作時。

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号が、ASCK端子から入力したクロックを分周した信号になります。

(i) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^n \times (k+16)} [\text{Hz}]$$

f_x : メイン・システム・クロック発振周波数

f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)

n : TPS0-TPS3で設定した値($1 \leq n \leq 11$)

k : MDL0-MDL3で設定した値($0 \leq k \leq 14$)

表17-5 メイン・システム・クロックとボー・レートの関係

ボー・レート (bps)	$f_x = 5.0 \text{ MHz}$				$f_x = 4.19 \text{ MHz}$			
	MCS = 1		MCS = 0		MCS = 1		MCS = 0	
	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)	BRGCの設定値	誤差(%)
75	—		00H	1.73	0BH	1.14	EBH	1.14
110	06H	0.88	E6H	0.88	03H	-2.01	E3H	-2.01
150	00H	1.73	E0H	1.73	EBH	1.14	DBH	1.14
300	E0H	1.73	D0H	1.73	DBH	1.14	CBH	1.14
600	D0H	1.73	C0H	1.73	CBH	1.14	BBH	1.14
1200	C0H	1.73	B0H	1.73	BBH	1.14	ABH	1.14
2400	B0H	1.73	A0H	1.73	ABH	1.14	9BH	1.14
4800	A0H	1.73	90H	1.73	9BH	1.14	8BH	1.14
9600	90H	1.73	80H	1.73	8BH	1.14	7BH	1.14
19200	80H	1.73	70H	1.73	7BH	1.14	6BH	1.14
31250	74H	0	64H	0	71H	-1.31	61H	-1.31
38400	70H	1.73	60H	1.73	6BH	1.14	5BH	1.14
76800	60H	1.73	50H	1.73	5BH	1.14	—	—

★

備考 MCS: 発振モード選択レジスタのビット0

(ii) ASCK端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK端子から入力したクロックを分周して送受信クロックを生成します。ASCK端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k+16)} \text{ [Hz]}$$

f_{ASCK} : ASCK端子に入力したクロックの周波数

k : MDL0-MDL3で設定した値 ($0 \leq k \leq 14$)

表17-6 ASCK端子入力周波数とボー・レートの関係(BRGC = 00H設定時)

ボー・レート (bps)	ASCK端子入力周波数
75	2.4 kHz
110	3.52 kHz
150	4.8 kHz
300	9.6 kHz
600	19.2 kHz
1200	38.4 kHz
2400	76.8 kHz
4800	153.6 kHz
9600	307.2 kHz
19200	614.4 kHz
31250	1000.0 kHz
38400	1228.8 kHz

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図17-7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)によって行います。

図17-7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット……1ビット
- ・キャラクタ・ビット…7ビット/8ビット
- ・パリティ・ビット……偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット……1ビット/2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット(ビット0-ビット6)のみが有効となり、送信の場合は最上位ビット(ビット7)は無視され、受信の場合は必ず最上位ビット(ビット7)は“0”になります。

★ シリアルの転送レートの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタとポー・レート・ジェネレータ・コントロール・レジスタによって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット(奇数個)の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

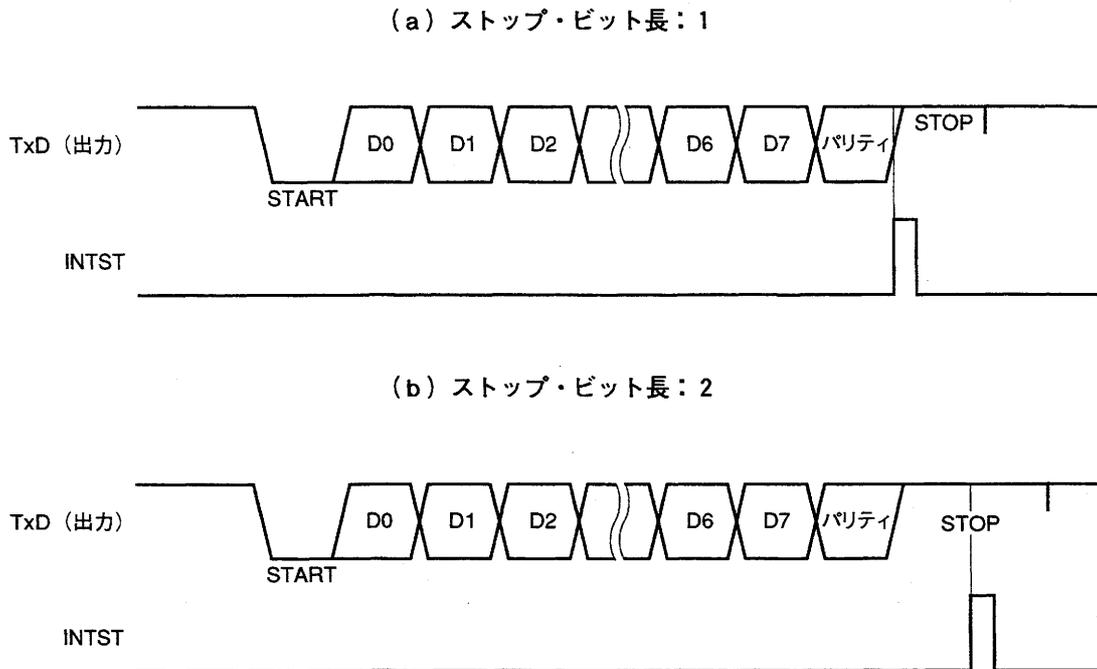
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ(TXS)に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、送信シフト・レジスタ(TXS)内のデータがシフト・アウトされ、送信シフト・レジスタ(TXS)が空になると送信完了割り込み(INTST)が発生します。

図17-8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります(RESET入力により、正常になります)。送信中かどうかは、送信完了割り込み(INTST)またはINTSTによりセットされる割り込み要求フラグ(STIF)を用いて、ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)のRXEビットがセット(1)されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMで指定したシリアル・クロックで行います。

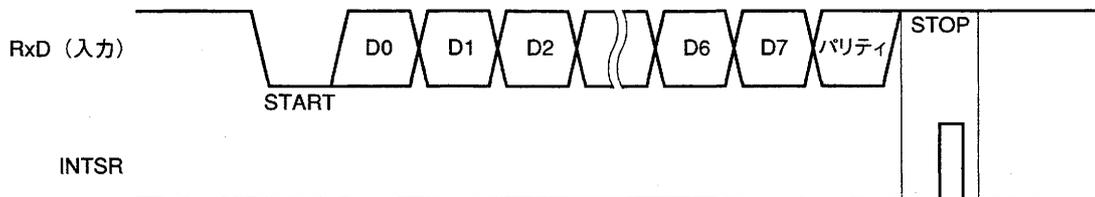
RxD端子入力がロウ・レベルになると、5ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ(RXB)に転送し、受信完了割り込み(INTSR)を発生します。

また、エラーが発生しても、RXBにエラーの発生した受信データを転送し、INTSRを発生します。

なお、受信動作中にRXEビットをリセット(0)すると、ただちに受信動作を停止します。このとき、RXBおよびASISの内容は変化せず、また、INTSR、INTSERも発生しません。

図17-9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ(RXB)は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)内に立つと同時に、受信エラー割り込み(INTSER)を発生します。受信エラーの要因を表17-7に示します。

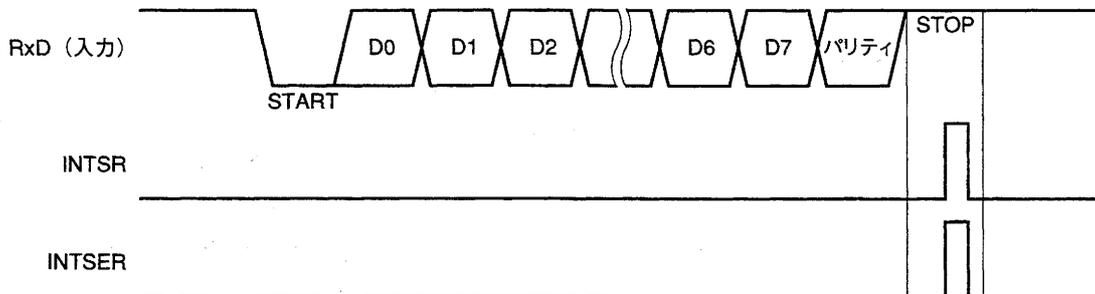
受信エラー割り込み処理(INTSER)内で、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます(図17-9, 図17-10参照)。

ASISの内容は、受信バッファ・レジスタ(RXB)を読み出すか、次のデータを受信することでリセット(0)されます(次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表17-7 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了

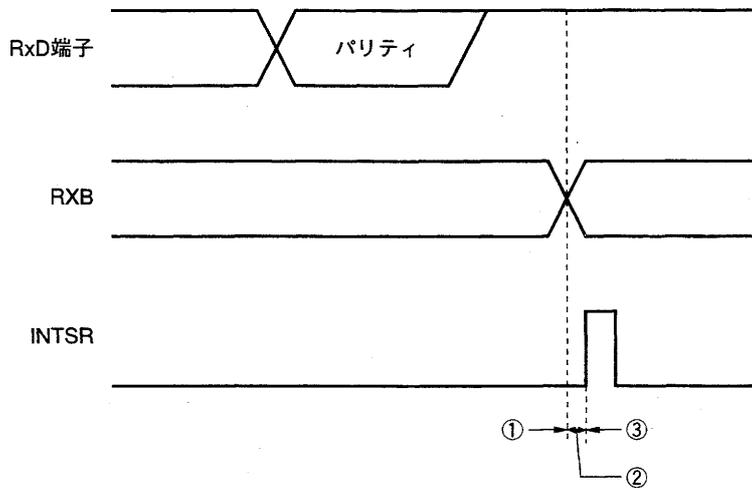
図17-10 受信エラー・タイミング



- 注意 1. ASISレジスタの内容は、受信バッファ・レジスタ(RXB)を読み出すか、次のデータを受信することにより、リセット(0)されます。エラーの内容が知りたい場合には、必ずRXBを読み出す前にASISを読み出してください。
2. 受信エラー発生時にも、受信バッファ・レジスタ(RXB)は必ず読み出してください。RXBを読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット7 (TXE) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ (TXS) にFFHを設定したのちに、TXEに1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット6 (RXE) をクリアした場合、受信バッファ・レジスタ (RXB)、受信完了割り込み (INTSR) は、次のようになります。



- ①の区間でRXEに0を設定した場合、RXBは前のデータを保持し、INTSRも発生しません。
- ②の区間でRXEに0を設定した場合、RXBはデータを更新し、INTSRは発生しません。
- ③の区間でRXEに0を設定した場合、RXBはデータを更新し、INTSRも発生します。

17.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75Xシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック(SCK2)、シリアル出力(SO2)、シリアル入力(SI2)の3本のラインで通信を行います。

(1) レジスタの設定

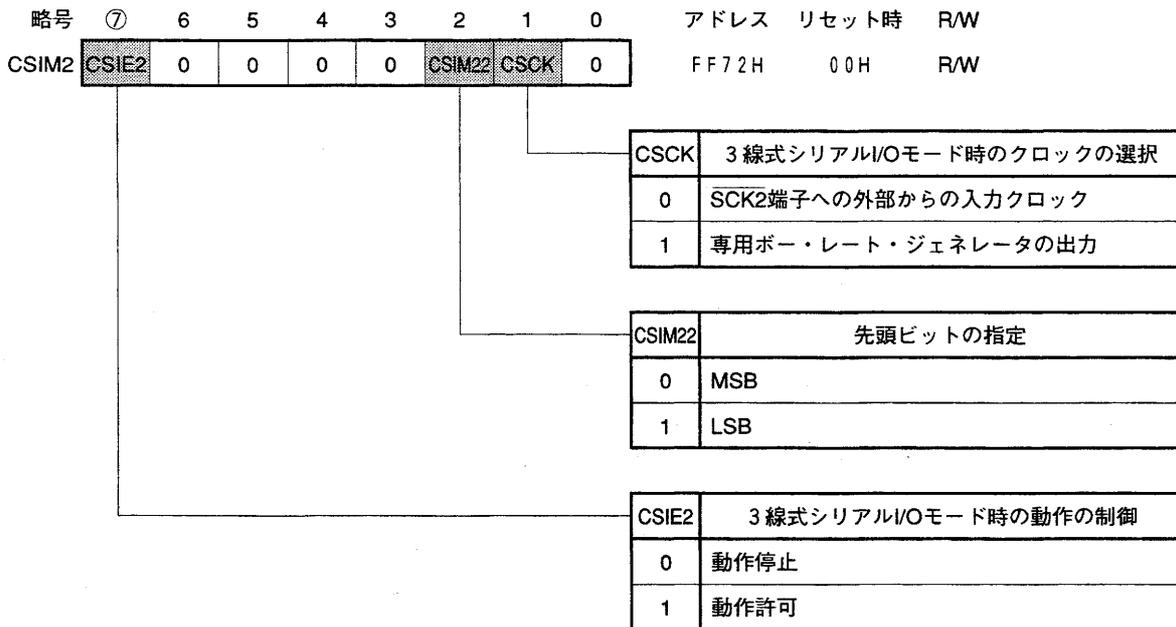
3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ2 (CSIM2)、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)で行います。

(a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

 は3線式シリアルI/Oモードにおける使用ビットを示します。



注意 ビット0、ビット3-ビット6には、必ず0を設定してください。

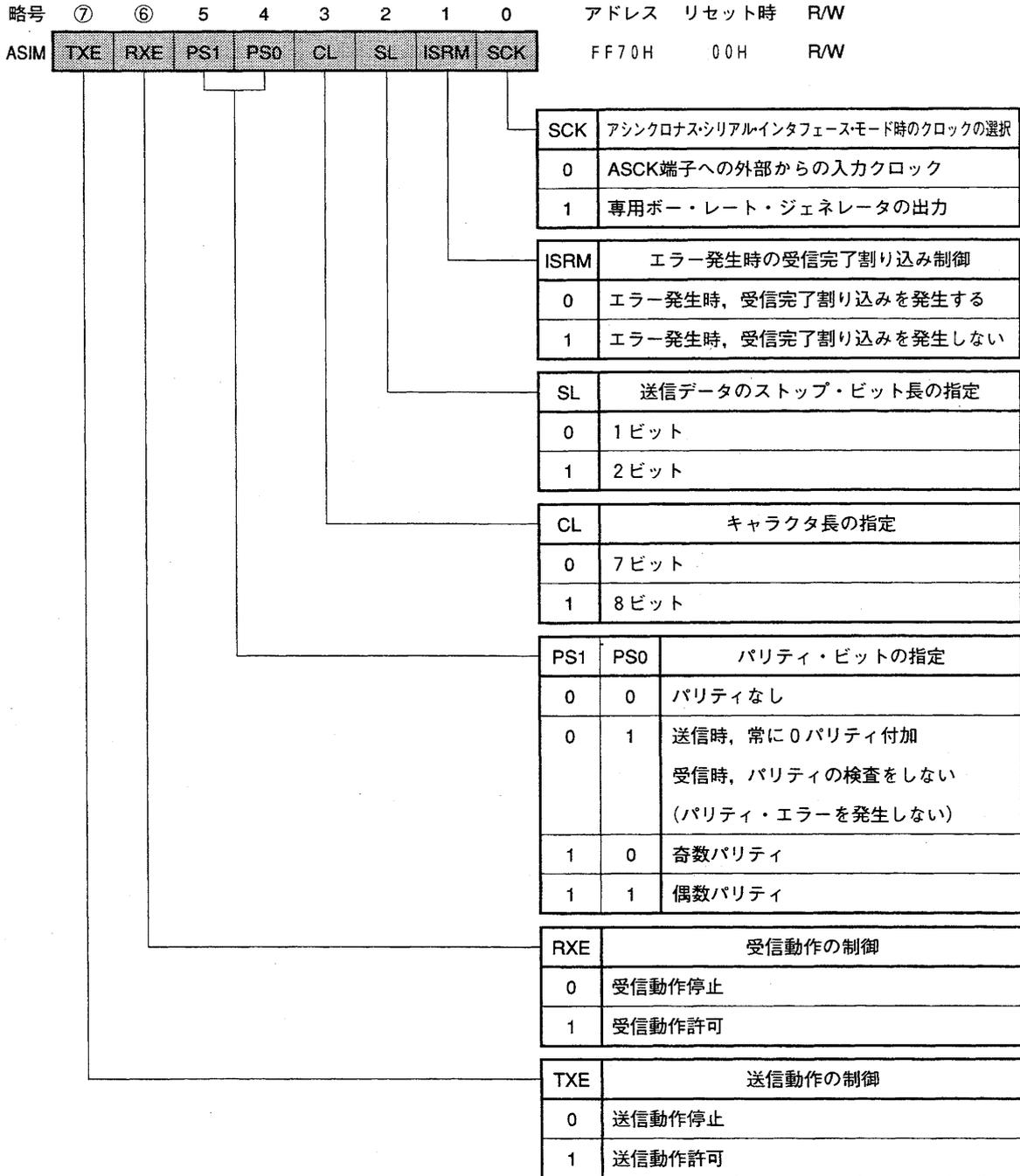
(b) アシクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ は3線式シリアルI/Oモードにおける使用ビットを示します。

3線式シリアルI/Oモード選択時は、ASIMに00Hを設定してください。



(c) ボー・レート・ジェネレータ・コントロール・レジスタ(BRGC)

BRGCは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

■ は3線式シリアル/I/Oモードにおける使用ビットを示します。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ボー・レート・ジェネレータの入カクロックの選択	k
0	0	0	0	fsck/16	0
0	0	0	1	fsck/17	1
0	0	1	0	fsck/18	2
0	0	1	1	fsck/19	3
0	1	0	0	fsck/20	4
0	1	0	1	fsck/21	5
0	1	1	0	fsck/22	6
0	1	1	1	fsck/23	7
1	0	0	0	fsck/24	8
1	0	0	1	fsck/25	9
1	0	1	0	fsck/26	10
1	0	1	1	fsck/27	11
1	1	0	0	fsck/28	12
1	1	0	1	fsck/29	13
1	1	1	0	fsck/30	14
1	1	1	1	fsck	—

(続く)

備考 fsck : 5ビット・カウンタのソース・クロック

k : MDL0-MDL3で設定した値(0 ≤ k ≤ 14)

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
					MCS = 1	MCS = 0	
0	0	0	0	$f_{xx}/2^{10}$	$f_x/2^{10}$ (4.9 kHz)	$f_x/2^{11}$ (2.4 kHz)	11
0	1	0	1	f_{xx}	f_x (5.0 MHz)	$f_x/2$ (2.5 MHz)	1
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.5 MHz)	$f_x/2^2$ (1.25 MHz)	2
0	1	1	1	$f_{xx}/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)	3
1	0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (625 kHz)	$f_x/2^4$ (313 kHz)	4
1	0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (313 kHz)	$f_x/2^5$ (156 kHz)	5
1	0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (156 kHz)	$f_x/2^6$ (78.1 kHz)	6
1	0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)	7
1	1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)	8
1	1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)	9
1	1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (9.8 kHz)	$f_x/2^{10}$ (4.9 kHz)	10
上記以外				設定禁止			

注意 通信動作中にBRGCへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

- 備考1. f_x : メイン・システム・クロック発振周波数
 2. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 3. MCS : 発振モード選択レジスタのビット0
 4. n : TPS0-TPS3で設定した値 ($1 \leq n \leq 11$)
 5. ()内は、 $f_x = 5.0$ MHz動作時。

3線式シリアル/Oモードのシリアル・クロックに内部クロックを使用する場合、BRGCの設定は次のように行ってください。外部からシリアル・クロックを入力する場合はBRGCの設定は必要ありません。

(i) ボー・レート・ジェネレータを使用しないとき

TPS0-TPS3でシリアル・クロック周波数を設定します。

MDL0-MDL3には1, 1, 1, 1を設定してください。

シリアル・クロック周波数は、5ビット・カウンタのソース・クロック周波数と同じ値になります。

(ii) ボー・レート・ジェネレータを使用するとき

MDL0-MDL3, TPS0-TPS3でシリアル・クロック周波数を設定します。

MDL0-MDL3には1, 1, 1, 1以外の値を設定してください。

シリアル・クロック周波数は、次の式によって求められます。

$$\text{シリアル・クロック周波数} = \frac{f_{xx}}{2^n \times (k+16)} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

n : TPS0-TPS3で設定した値 ($1 \leq n \leq 11$)

k : MDL0-MDL3で設定した値 ($0 \leq k \leq 14$)

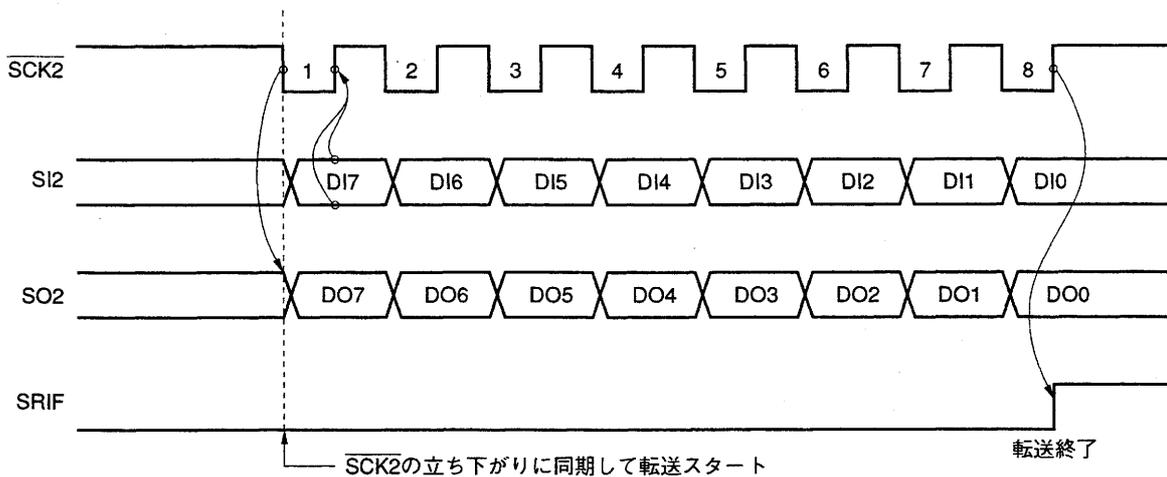
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ(TXS/SIO2)、受信シフト・レジスタ(RXS)のシフト動作は、シリアル・クロック(SCK2)の立ち下がりに同期して行われます。そして、送信データがSO2ラッチに保持され、SO2端子から出力されます。また、SCK2の立ち上がりで、SI2端子に入力された受信データが受信バッファ・レジスタ(RXB/SIO2)にラッチされます。

8ビット転送終了により、送信シフト・レジスタ(TXS/SIO2)、受信シフト・レジスタ(RXS)の動作は自動的に停止し、割り込み要求フラグ(SRIF)がセットされます。

図17-11 3線式シリアルI/Oモードのタイミング



(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ(TXS/SIO2)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル2の動作の制御ビット(CSIE2)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK2がハイ・レベルの状態

注意 TXS/SIO2にデータを書き込んだあと、CSIE2を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(SRIF)をセットします。

★

[× 毛]

第18章 LCDコントローラ／ドライバ

18.1 LCDコントローラ／ドライバの機能

μPD78064, 78064Yサブシリーズに内蔵しているLCDコントローラ／ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能。
- (2) 5種類の表示モードが選択可能。
 - ・スタティック
 - ・1/2デューティ (1/2バイアス)
 - ・1/3デューティ (1/2バイアス)
 - ・1/3デューティ (1/3バイアス)
 - ・1/4デューティ (1/3バイアス)
- (3) 各表示モードにおいて、4種類のフレーム周波数を選択可能。
- (4) セグメント信号出力は最大40本 (S0-S39)、コモン信号出力は4本 (COM0-COM3)。
セグメント信号出力のうち16本は、2本単位で入出力ポートに切り替え可能 (P80/S39-P87/S32, P90/S31-P97/S24)。
- (5) マスクROM製品は、マスク・オプションによりLCD駆動電圧発生用の分割抵抗の内蔵可能。
- (6) サブシステム・クロックによる動作も可能。

各表示モードにおける表示可能な最大画素数を表18-1に示します。

表18-1 最大表示画素数

バイアス法	時分割	使用コモン信号	最大表示画素数
—	スタティック	COM0 (COM1-COM3)	40 (40セグメント×1コモン) 注1
1/2	2	COM0, COM1	80 (40セグメント×2コモン) 注2
	3	COM0-COM2	120 (40セグメント×3コモン) 注3
1/3	3	COM0-COM2	160 (40セグメント×4コモン) 注4
	4	COM0-COM3	

- 注1. 8形のLCDパネルで8セグメント／桁のもの5桁。
 注2. 8形のLCDパネルで4セグメント／桁のもの10桁。
 注3. 8形のLCDパネルで3セグメント／桁のもの13桁。
 注4. 8形のLCDパネルで2セグメント／桁のもの20桁。

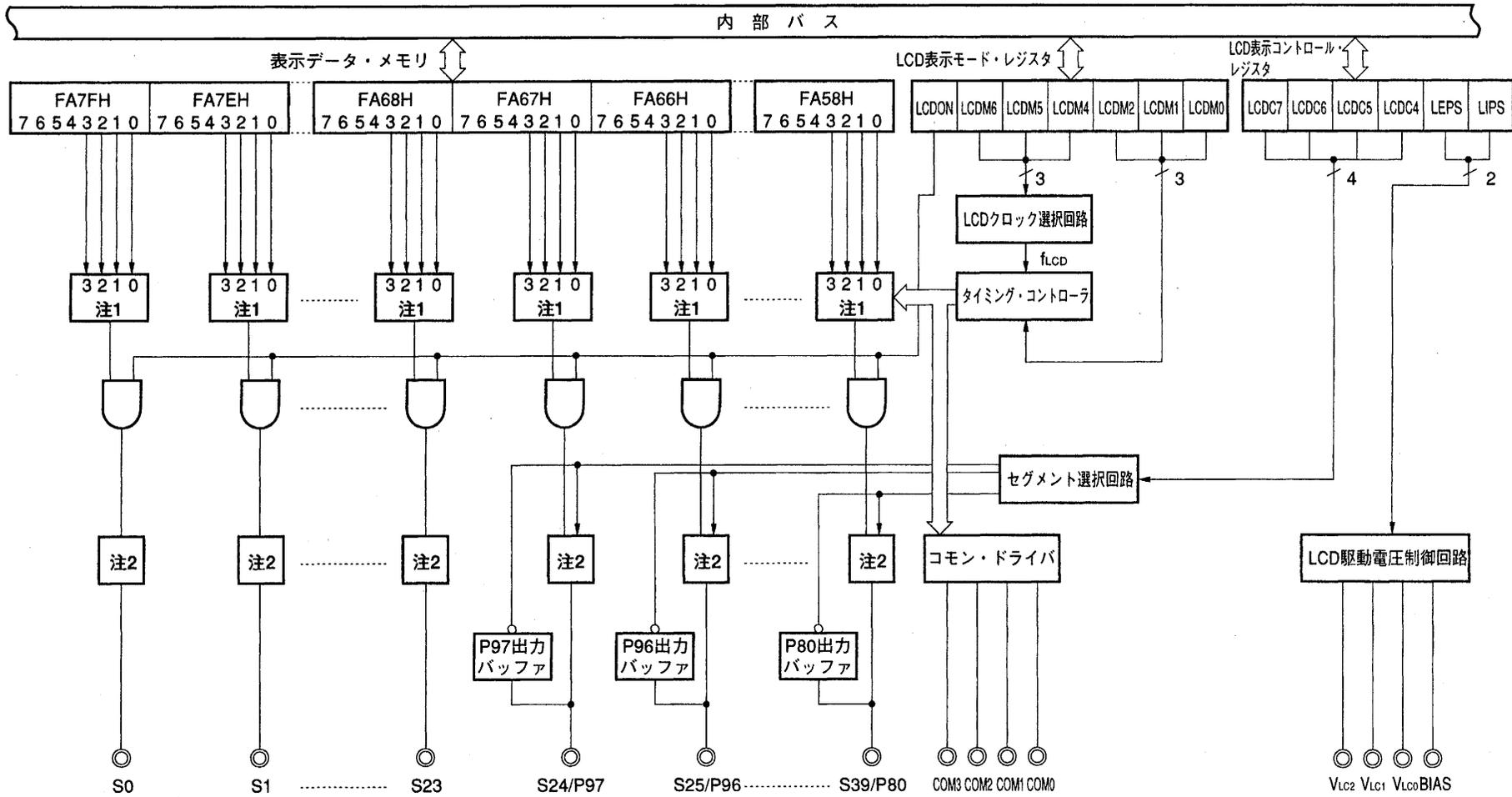
18.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表18-2 LCDコントローラ／ドライバの構成

項 目	構 成
表示出力	セグメント信号：40本 セグメント信号専用 : 24本 セグメント信号／入出力ポート兼用：16本 コモン信号 : 4本 (COM0-COM3)
制御レジスタ	LCD表示モード・レジスタ (LCDM) LCD表示コントロール・レジスタ (LCDC)

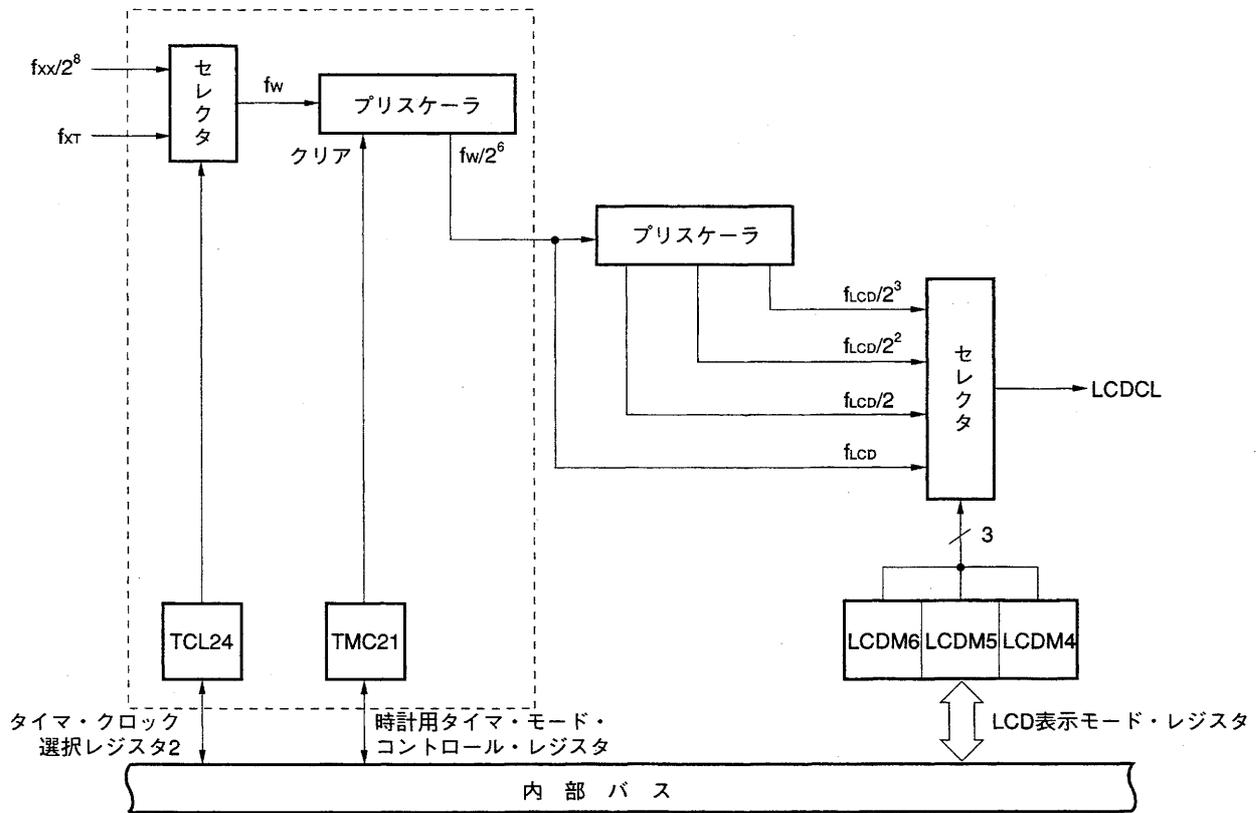
図18-1 LCDコントローラ/ドライバのブロック図



注1. セレクタ

2. セグメント・ドライバ

図18-2 LCDクロック選択回路のブロック図



備考1. 破線部内は、時計用タイマに含まれます。

2. LCDCL : LCDクロック

3. f_{LCD} : LCDクロック周波数

18.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバは、次の2種類のレジスタで制御します。

- ・LCD表示モード・レジスタ (LCDM)
- ・LCD表示コントロール・レジスタ (LCDC)

(1) LCD表示モード・レジスタ (LCDM)

表示動作の許可/禁止, LCDクロック, フレーム周波数, 表示モードの選択を設定するレジスタです。

LCDMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図18-3 LCD表示モード・レジスタのフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDM	LCDON	LCDM6	LCDM5	LCDM4	0	LCDM2	LCDM1	LCDM0	FFB0H	00H	RW

LCDM2	LCDM1	LCDM0	時分割数	バイアス法
0	0	0	4	1/3
0	0	1	3	1/3
0	1	0	2	1/2
0	1	1	3	1/2
1	0	0	スタティック	
上記以外			設定禁止	

LCDM6	LCDM5	LCDM4	LCDクロックの選択 ^注		
			f _{xx} = 5.0 MHz動作時	f _{xx} = 4.19 MHz動作時	f _{xT} = 32.768 kHz動作時
0	0	0	f _w /2 ⁹ (76 Hz)	f _w /2 ⁹ (64 Hz)	f _w /2 ⁹ (64 Hz)
0	0	1	f _w /2 ⁸ (153 Hz)	f _w /2 ⁸ (128 Hz)	f _w /2 ⁸ (128 Hz)
0	1	0	f _w /2 ⁷ (305 Hz)	f _w /2 ⁷ (256 Hz)	f _w /2 ⁷ (256 Hz)
0	1	1	f _w /2 ⁶ (610 Hz)	f _w /2 ⁶ (512 Hz)	f _w /2 ⁶ (512 Hz)
上記以外			設定禁止		

LCDON	LCD表示の許可/禁止
0	表示オフ(セグメント出力はすべて非選択信号出力)
1	表示オン

注 LCDクロックは時計用タイマから供給されています。LCD表示を行う場合には時計用タイマ・モード・コントロール・レジスタ(TMC2)のビット1 (TMC21)を1にセットしてください。

LCD表示中にTMC21を0にリセットするとLCDクロックの供給が停止し表示が乱れます。

- 備考 f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{XT})
 f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 f_x : メイン・システム・クロック発振周波数
 f_{XT} : サブシステム・クロック発振周波数

表18-3 フレーム周波数(Hz)

LCDCL 表示デューティ	$f_w/2^9$ (64 Hz)	$f_w/2^8$ (128 Hz)	$f_w/2^7$ (256 Hz)	$f_w/2^6$ (512 Hz)
スタティック	64	128	256	512
1/2	32	64	128	256
1/3	21	43	85	171
1/4	16	32	64	128

- 備考 1. () 内および表中の数値は、 $f_{xx} = 4.19$ MHz動作時または $f_{XT} = 32.768$ kHz動作時。
 2. f_w : 時計用タイマ・クロック周波数 ($f_{xx}/2^7$ または f_{XT})
 3. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 4. f_x : メイン・システム・クロック発振周波数
 5. f_{XT} : サブシステム・クロック発振周波数

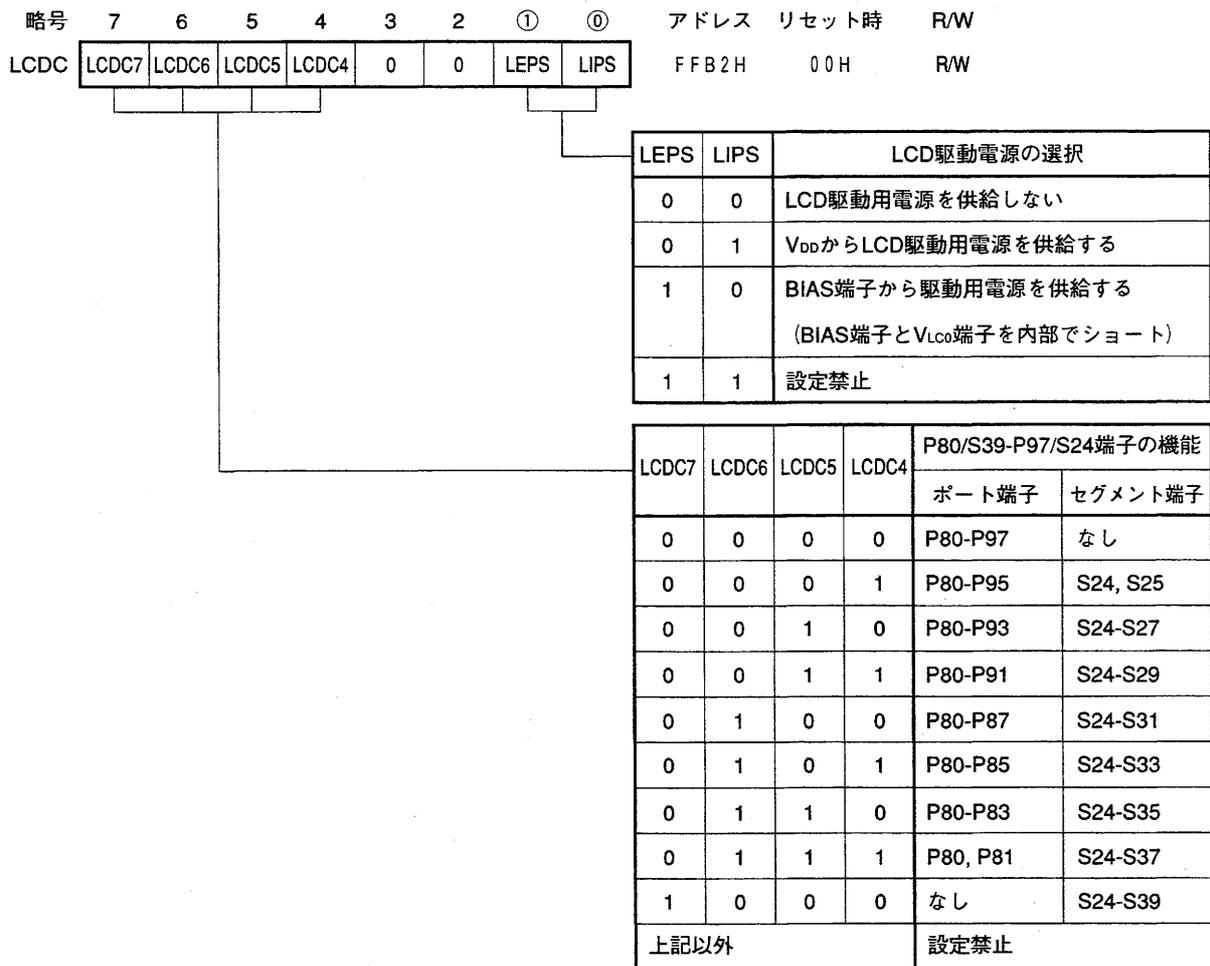
(2) LCD表示コントロール・レジスタ (LCDC)

LCD駆動電圧発生用の分割抵抗へ流れる電流のカットおよびセグメント出力と入出力ポートとの切り替えを設定するレジスタです。

LCDCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図18-4 LCD表示コントロール・レジスタのフォーマット



注意1. セグメント出力を行っている端子は、ポート・モード・レジスタに0を設定しても出力ポートとして使用できません。

2. セグメント出力を行っている端子をポートとして読み出したときは0になります。

3. LCDCでセグメント出力として設定した端子は、プルアップ抵抗オプション・レジスタHのビット0, 1 (PU08, PU09)の値にかかわらず、内蔵プルアップ抵抗が接続されません。

18.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。なお、LCDコントローラ/ドライバを使用する場合、あらかじめ時計用タイマを動作状態にしておいてください。

- ① タイマ・クロック選択レジスタ 2 (TCL2), 時計用タイマ・モード・コントロール・レジスタ (TMC2) に時計動作許可を設定する。
- ② 表示データ・メモリ (FA58H-FA7FH) に初期値を設定する。
- ③ LCD表示コントロール・レジスタ (LCDC) にセグメント出力として使用する端子を設定する。
- ④ LCD表示モード・レジスタ (LCDM) に表示モード, LCDクロックを設定する。

以後、表示内容に応じて表示データ・メモリにデータを設定してください。

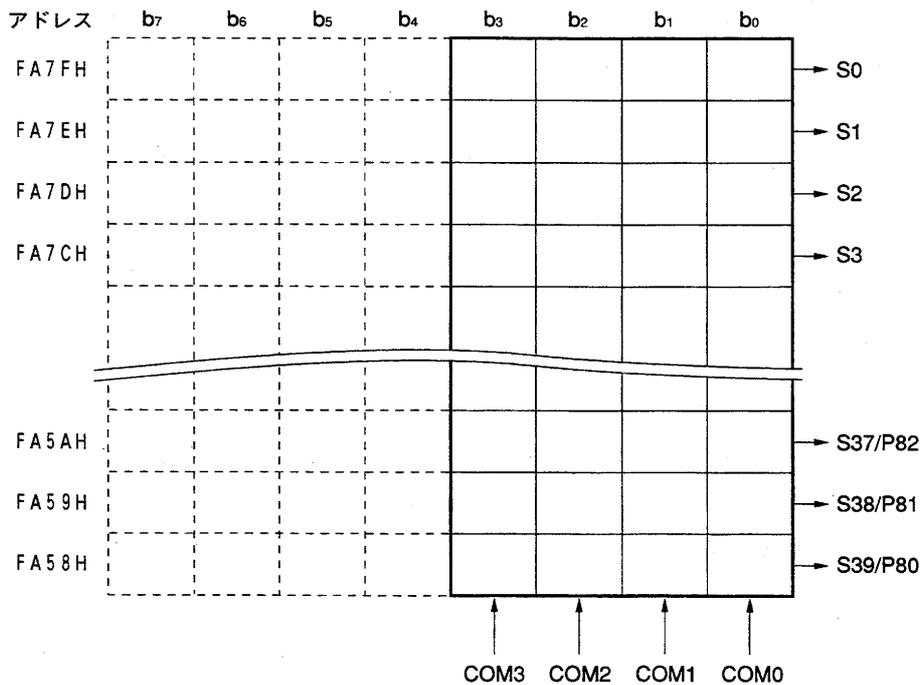
18.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA58H-FA7FH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図18-5にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図18-5 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係



注意 LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

18.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧(LCD駆動電圧 V_{LCD})以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表18-4に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

表18-4 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3
スタティック	↑	↑	↑	↑
2時分割	↑	↑	オープン	オープン
3時分割	↑	↑	↑	オープン
4時分割	↑	↑	↑	↑

(2) セグメント信号

セグメント信号は、40バイトのLCD表示データ・メモリ(FA58H-FA7FH)に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子(S0-S39)に出力されます(ただし、S24-S39は入出力ポートと兼用になっています)。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極(セグメント信号に対応)と背面電極(コモン信号に対応)がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示データ・メモリのビット1、ビット2、2時分割方式の場合のビット2、ビット3、3時分割方式の場合のビット3はLCD表示に使用しませんので、表示以外の目的に使用できません。

なお、ビット4-ビット7は0固定となっています。

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表 18-5 に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表 18-5 LCD 駆動電圧

(a) スタティック表示モード

セグメント信号 コモン信号		選択信号レベル	非選択信号レベル
		V_{SS}/V_{LC0}	V_{LC0}/V_{SS}
V_{LC0}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2 バイアス法

セグメント信号 コモン信号		選択信号レベル	非選択信号レベル
		V_{SS}/V_{LC0}	V_{LC0}/V_{SS}
選択信号レベル	V_{LC0}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	$V_{LC1} = V_{LC2}$	$-\frac{1}{2} V_{LCD}/+\frac{1}{2} V_{LCD}$	$+\frac{1}{2} V_{LCD}/-\frac{1}{2} V_{LCD}$

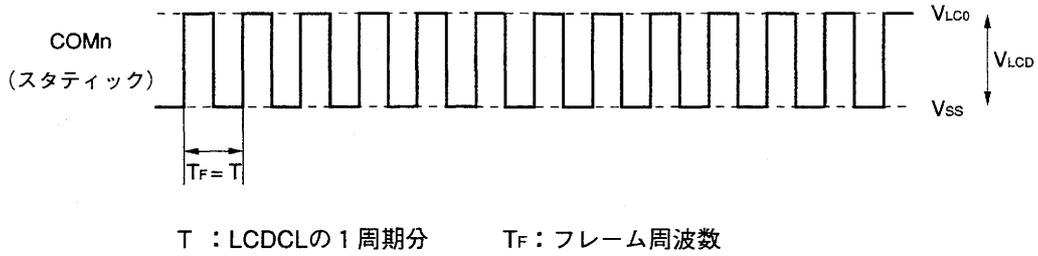
(c) 1/3 バイアス法

セグメント信号 コモン信号		選択信号レベル	非選択信号レベル
		V_{SS}/V_{LC0}	V_{LC1}/V_{LC2}
選択信号レベル	V_{LC0}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3} V_{LCD}/+\frac{1}{3} V_{LCD}$
非選択信号レベル	V_{LC2}/V_{LC1}	$-\frac{1}{3} V_{LCD}/+\frac{1}{3} V_{LCD}$	$-\frac{1}{3} V_{LCD}/+\frac{1}{3} V_{LCD}$

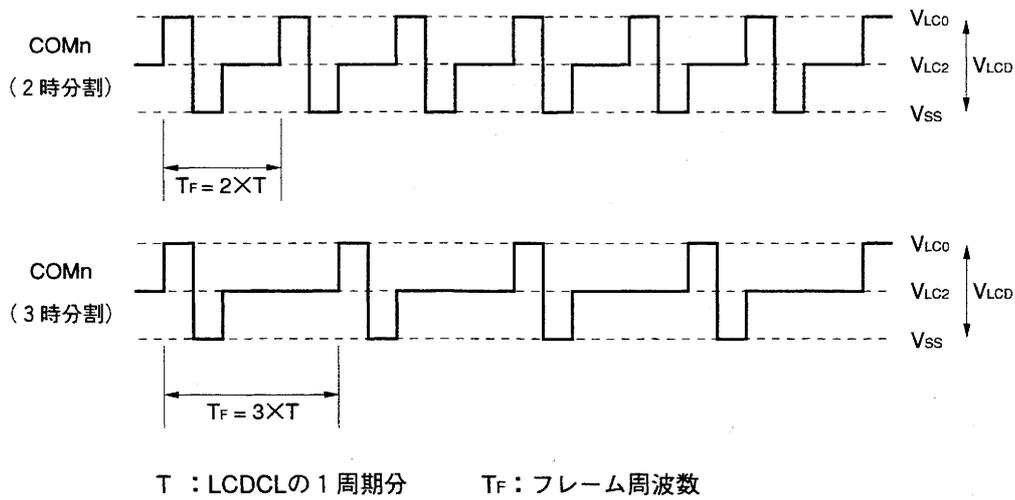
図18-6 にコモン信号波形を、図18-7 にコモン信号とセグメント信号の電圧と位相を示します。

図18-6 コモン信号波形

(a) スタティック表示モード



(b) 1/2バイアス法



(c) 1/3バイアス法

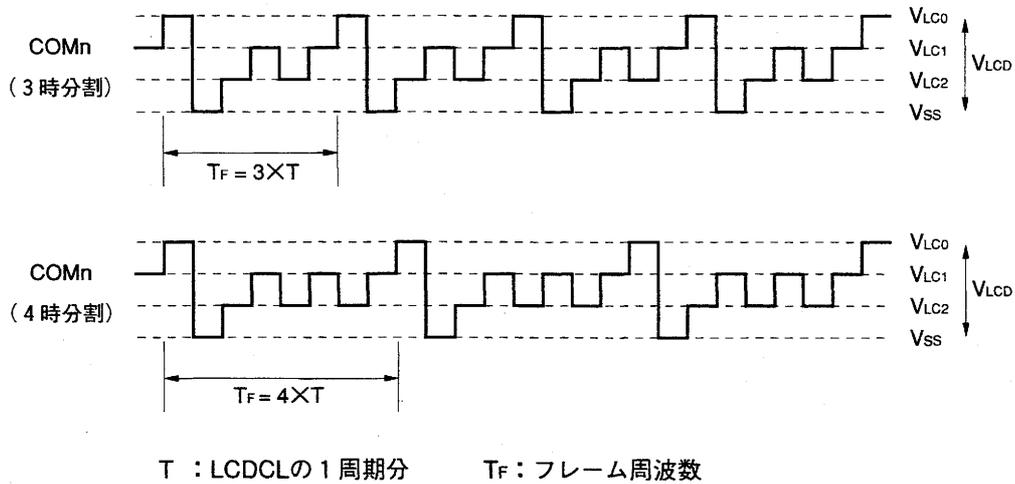
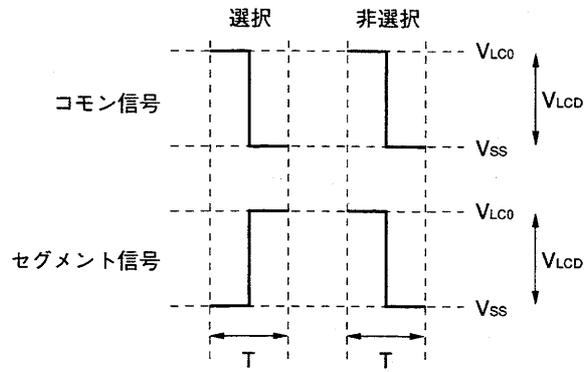


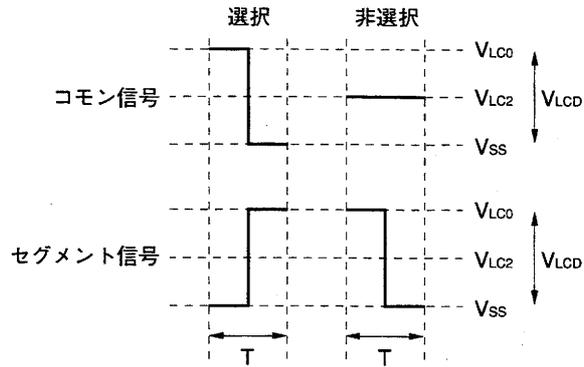
図18-7 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



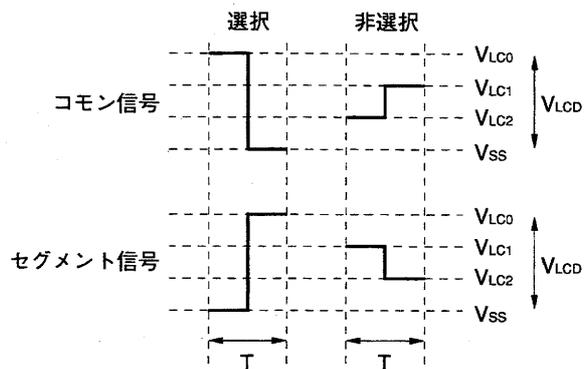
T : LCDCLの1周期分

(b) 1/2バイアス法



T : LCDCLの1周期分

(c) 1/3バイアス法



T : LCDCLの1周期分

18.7 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給

μ PD78062, 78063, 78064, 78062Y, 78063Y, 78064Yは、LCD駆動電圧を作るための分割抵抗を、マスク・オプションにより内蔵することができます (μ PD78P064, 78P064Yには、分割抵抗を内蔵していません)。分割抵抗を内蔵することにより、外付け分割抵抗なしで表18-6に示す各バイアス法に応じたLCD駆動電圧を作ることができます。

また、各種LCD駆動電圧に対応するために、BIAS端子にLCD駆動電圧を供給することができます。

表18-6 LCD駆動電圧(分割抵抗内蔵時)

バイアス法 LCD駆動電源端子	バイアスなし (スタティック)	1/2バイアス法	1/3バイアス法
V_{LC0}	V_{LCD}	V_{LCD}	V_{LCD}
V_{LC1}	$\frac{2}{3} V_{LCD}$	$\frac{1}{2} V_{LCD}$ 注	$\frac{2}{3} V_{LCD}$
V_{LC2}	$\frac{1}{3} V_{LCD}$		$\frac{1}{3} V_{LCD}$

注 1/2バイアス法の場合は、 V_{LC1} 端子と V_{LC2} 端子を外部で接続する必要があります。

備考1. BIAS端子と V_{LC0} 端子が開放時は、 $V_{LCD} = \frac{3}{5} V_{DD}$ となります(分割抵抗内蔵時)。

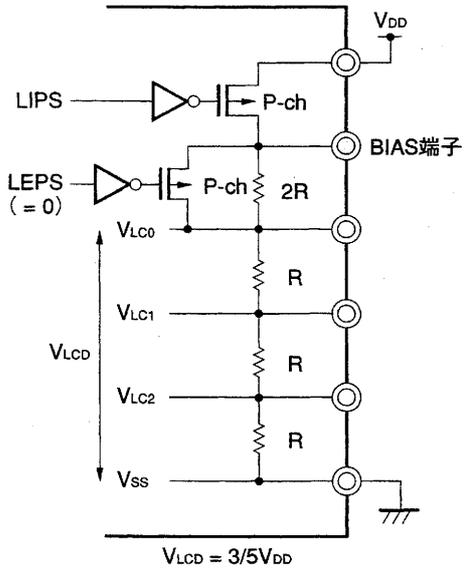
2. BIAS端子と V_{LC0} 端子が結線時は、 $V_{LCD} = V_{DD}$ となります。

表18-6に従った内部からのLCD駆動電圧の供給例を図18-8, 18-9に示します。また、外部からのLCD駆動電圧の供給例を図18-10に示します。可変抵抗 r により、段階のないLCD駆動電圧の供給ができます。

図18-8 LCD駆動用電源の接続例 (分割抵抗内蔵時)

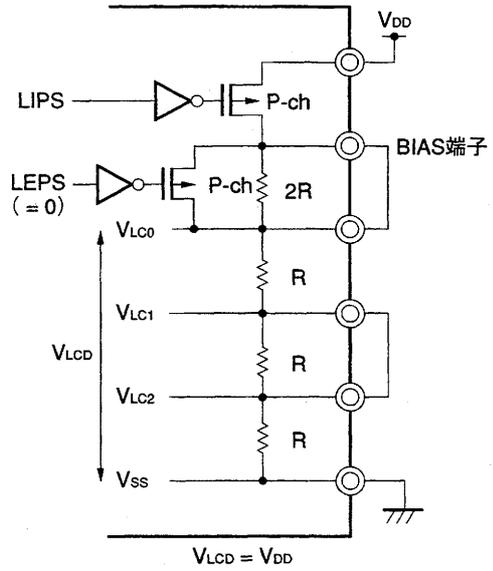
(a) 1/3バイアス法およびスタティック表示モード

($V_{DD} = 5V, V_{LCD} = 3V$ の例)



(b) 1/2バイアス法

($V_{DD} = 5V, V_{LCD} = 5V$ の例)



(c) 1/3バイアス法およびスタティック表示モード

($V_{DD} = 5V, V_{LCD} = 5V$ の例)

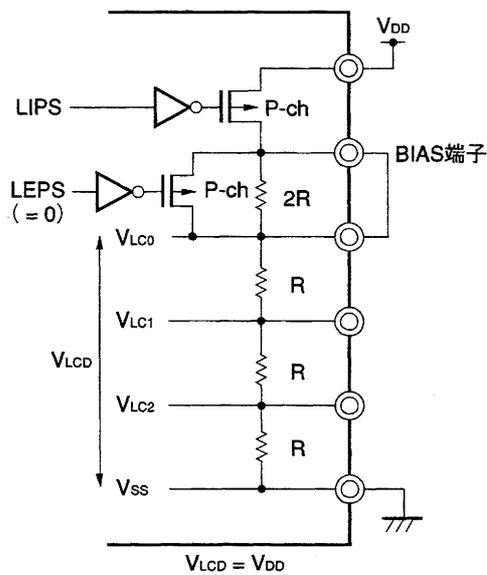
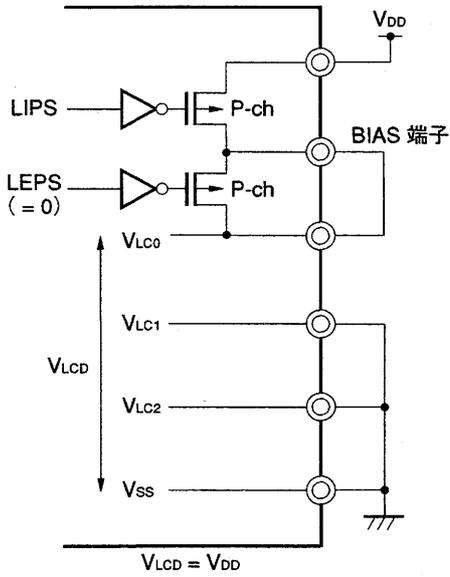
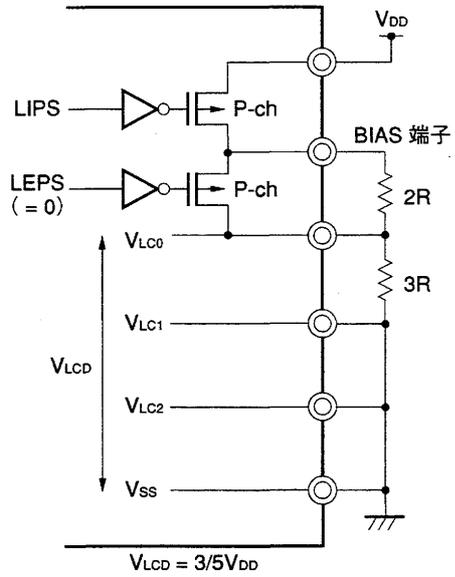


図18-9 LCD駆動用電源の接続例 (分割抵抗外付け時)

(a) スタティック表示モード^注
($V_{DD} = 5V, V_{LCD} = 5V$ の例)

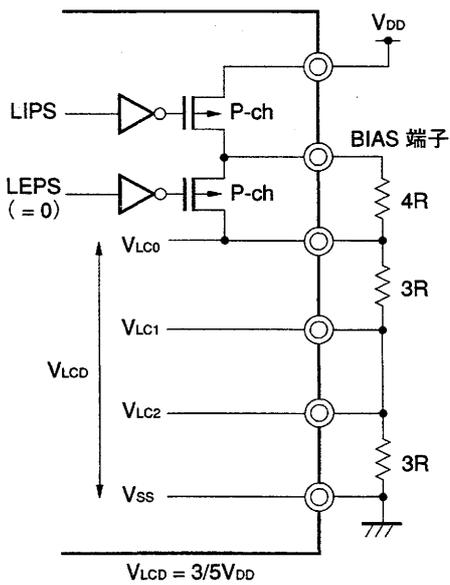


(b) スタティック表示モード
($V_{DD} = 5V, V_{LCD} = 3V$ の例)



注 LIPSは常に1に設定してください (スタンバイ・モードを含む)。

(c) 1/2バイアス法
($V_{DD} = 5V, V_{LCD} = 3V$ の例)



(d) 1/3バイアス法
($V_{DD} = 5V, V_{LCD} = 3V$ の例)

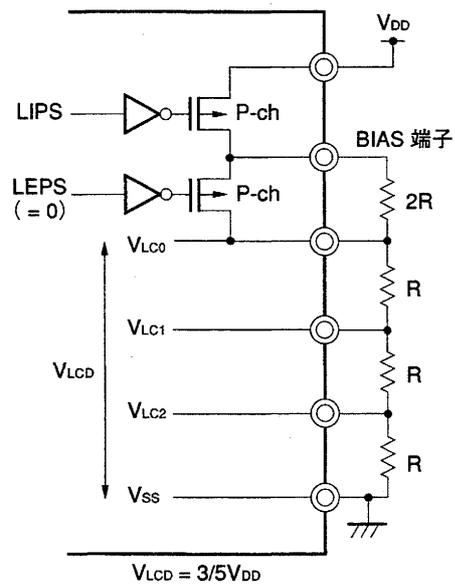
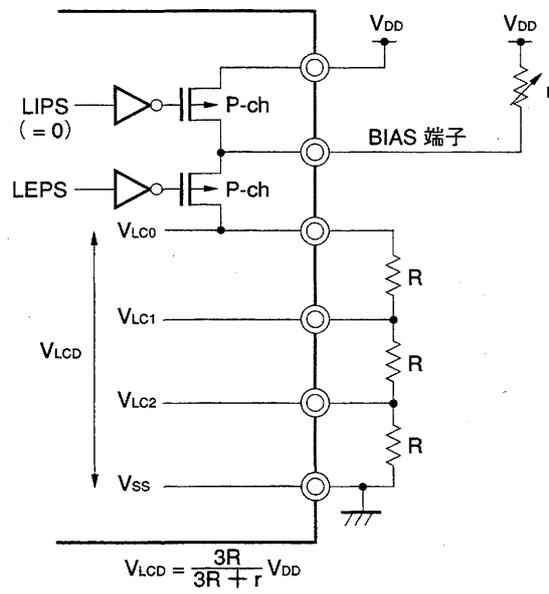


図18-10 外部からのLCD駆動用電源の接続例



18.8 表示モード

18.8.1 スタティック表示例

図18-12は、図18-11の表示パターンを持つスタティック方式の5桁のLCDパネルとμPD78064, 78064Yサブシリーズのセグメント信号(S0-S39)およびコモン信号(COM0)との接続を示します。表示例は123.45で、表示データ・メモリ(FA58H-FA7FH番地)の内容はこれに対応しています。

ここでは3桁目の3.(3.)を例にとって説明します。図18-11の表示パターンに従って、COM0のコモン信号のタイミングで表18-7に示すような選択、非選択電圧をS16-S23端子に出力する必要があります。

表18-7 選択、非選択電圧(COM0)

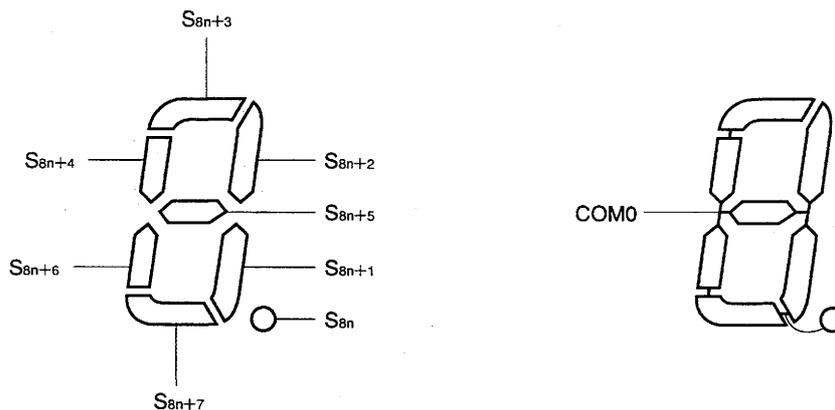
セグメント コモン	S16	S17	S18	S19	S20	S21	S22	S23
COM0	選	選	選	選	非	選	非	選

これによりS16-S23に対応する表示データ・メモリ(FA68H-FA6FH番地)のビット0には、10101111を用意すればよいことが分かります。

S19, S20とCOM0とのLCD駆動波形を図18-13に示します。COM0との選択タイミングでS19が選択電圧になるときに、LCD点灯レベルである+V_{LCD}/−V_{LCD}の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図18-11 スタティックLCDの表示パターンと電極結線



備考 n=0-4

図18-12 スタティックLCDパネルの結線例

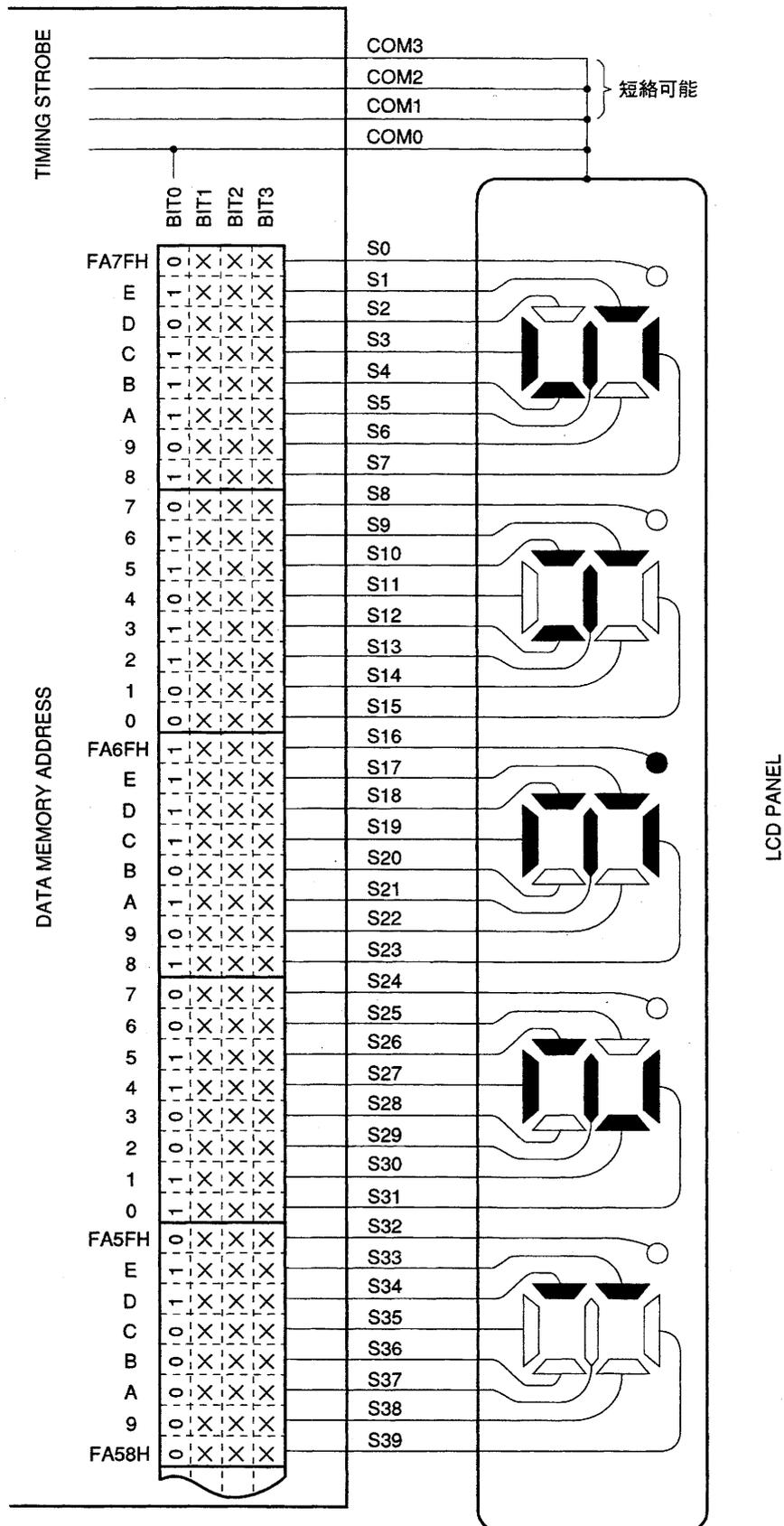
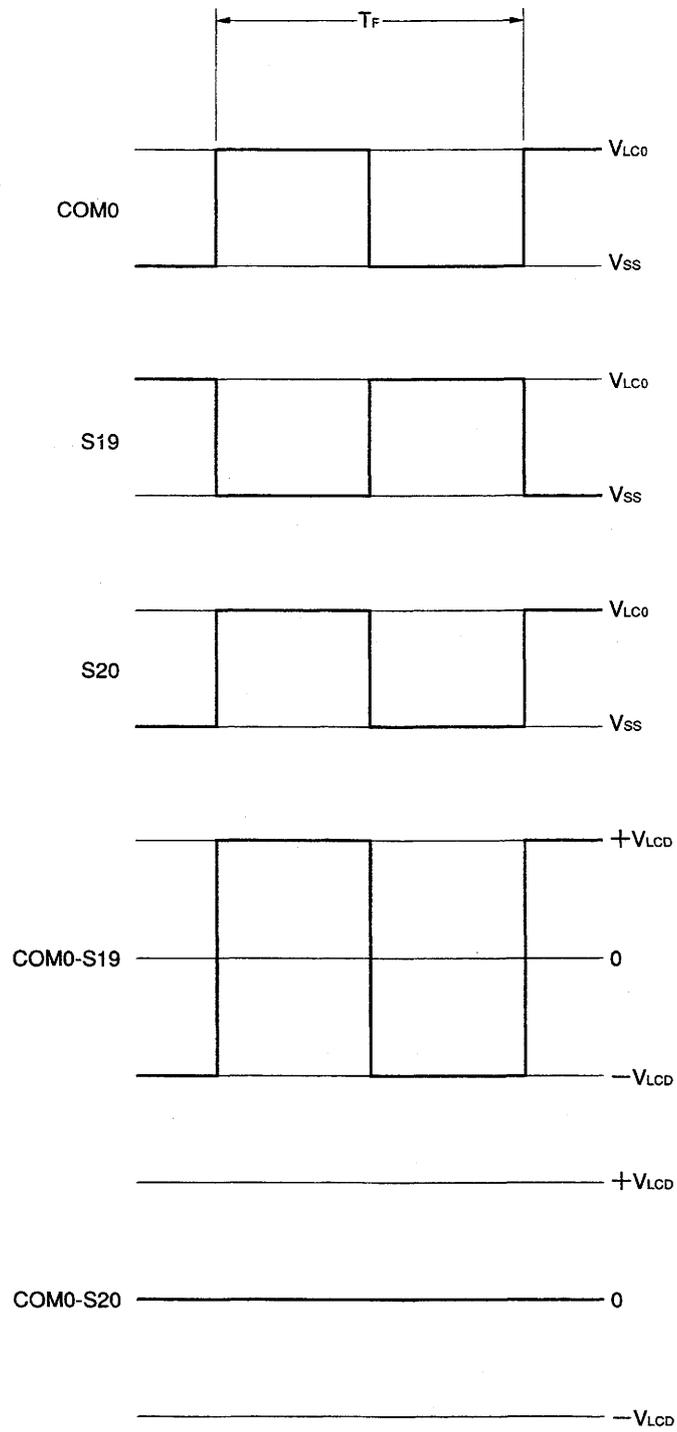


図18-13 スタティックLCD駆動波形例



18.8.2 2時分割表示例

図18-15は、図18-14の表示パターンを持つ2時分割方式の10桁LCDパネルとμPD78064, 78064Yサブシリーズのセグメント信号(S0-S39)およびコモン信号(COM0, COM1)との接続を示します。表示例は123456.7890で、表示データ・メモリ(FA58H-FA7FH番地)の内容はそれらに対応しています。

ここでは8桁目の3(ヨ)を例にとって説明します。図18-14の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表18-8に示すような選択、非選択電圧をS28-S31端子に出力する必要があります。

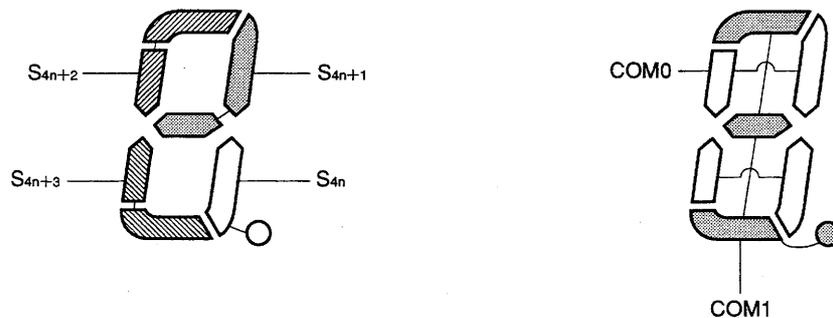
表18-8 選択、非選択電圧 (COM0, COM1)

セグメント \ コモン	S28	S29	S30	S31
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばS31に対応する表示データ・メモリ(FA80H番地)には、××10を用意すればよいことが分かります。

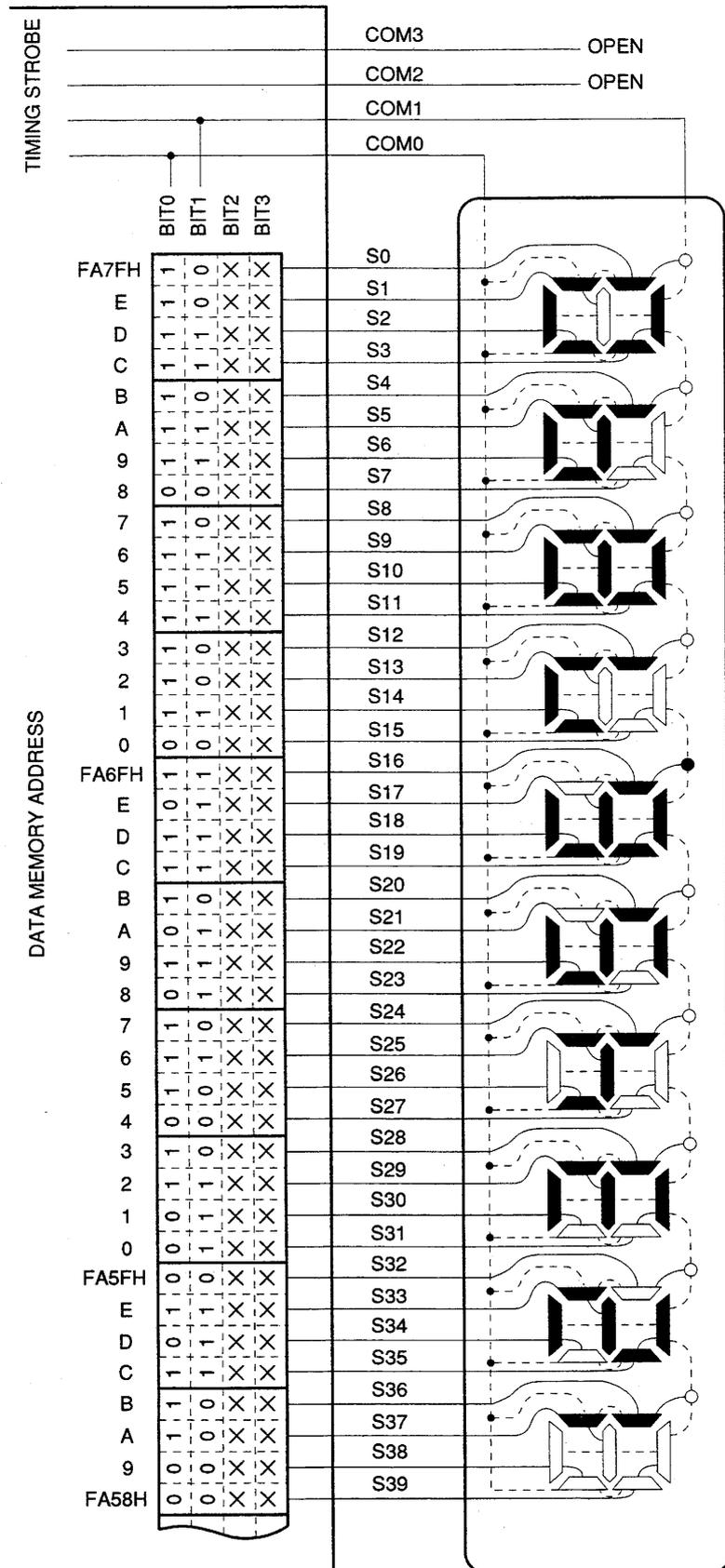
S31と各コモン信号間のLCD駆動波形例を図18-16に示します。COM1の選択タイミングでS31が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18-14 2時分割LCD表示パターンと電極結線



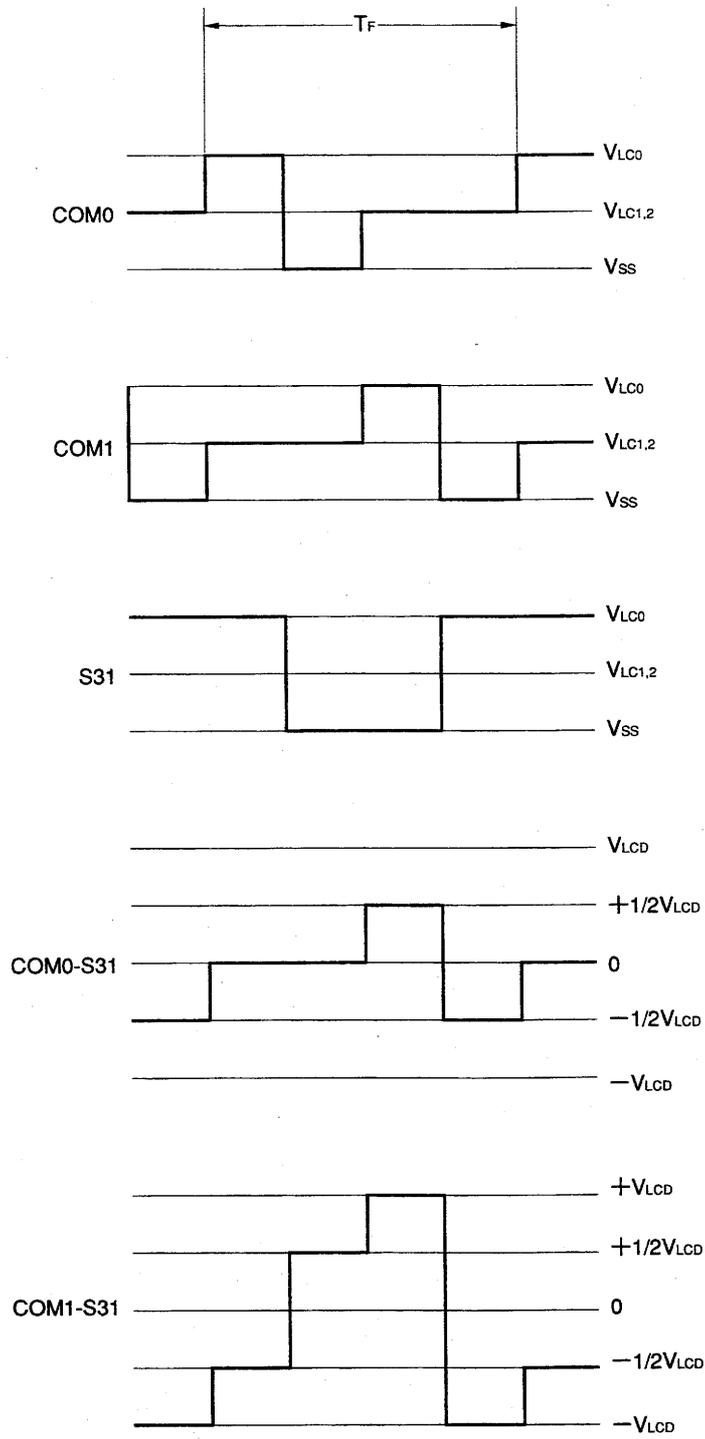
備考 n=0-9

図18-15 2時分割LCDパネルの結線例



×：2時分割表示のため、常に任意のデータをスタートを可能です。

図18-16 2時分割LCD駆動波形例 (1/2バイアス法)



18.8.3 3時分割表示例

図18-18は、図18-17の表示パターンを持つ3時分割方式の13桁LCDパネルと μ PD78064, 78064Yサブシリーズのセグメント信号(S0-S38)およびコモン信号(COM0-COM2)との接続を示します。表示例は123456.7890123で、表示データ・メモリ(FA59H-FA7FH番地)の内容はこれに対応しています。

ここでは8桁目の6.(6.)を例にとって説明します。図18-17の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表18-9に示すような選択、非選択電圧をS21-S23端子に出力する必要があります。

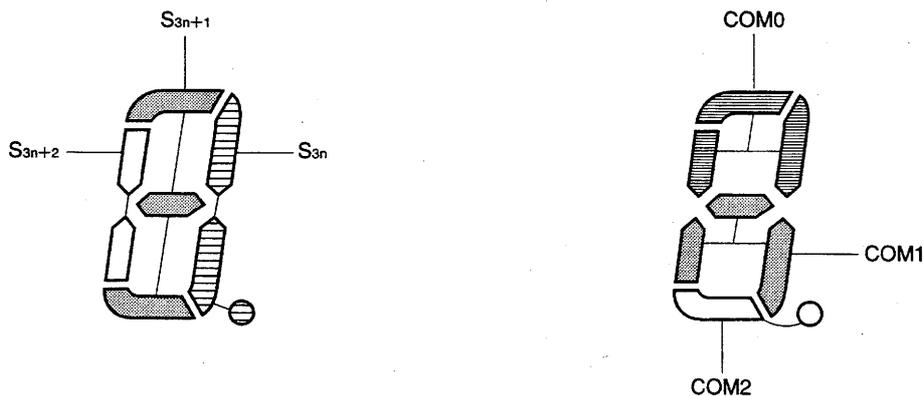
表18-9 選択、非選択電圧(COM0-COM2)

セグメント \ コモン	S21	S22	S23
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これによりS21に対応する表示データ・メモリ(FA6AH番地)には、 $\times 110$ を用意すればよいことが分かります。

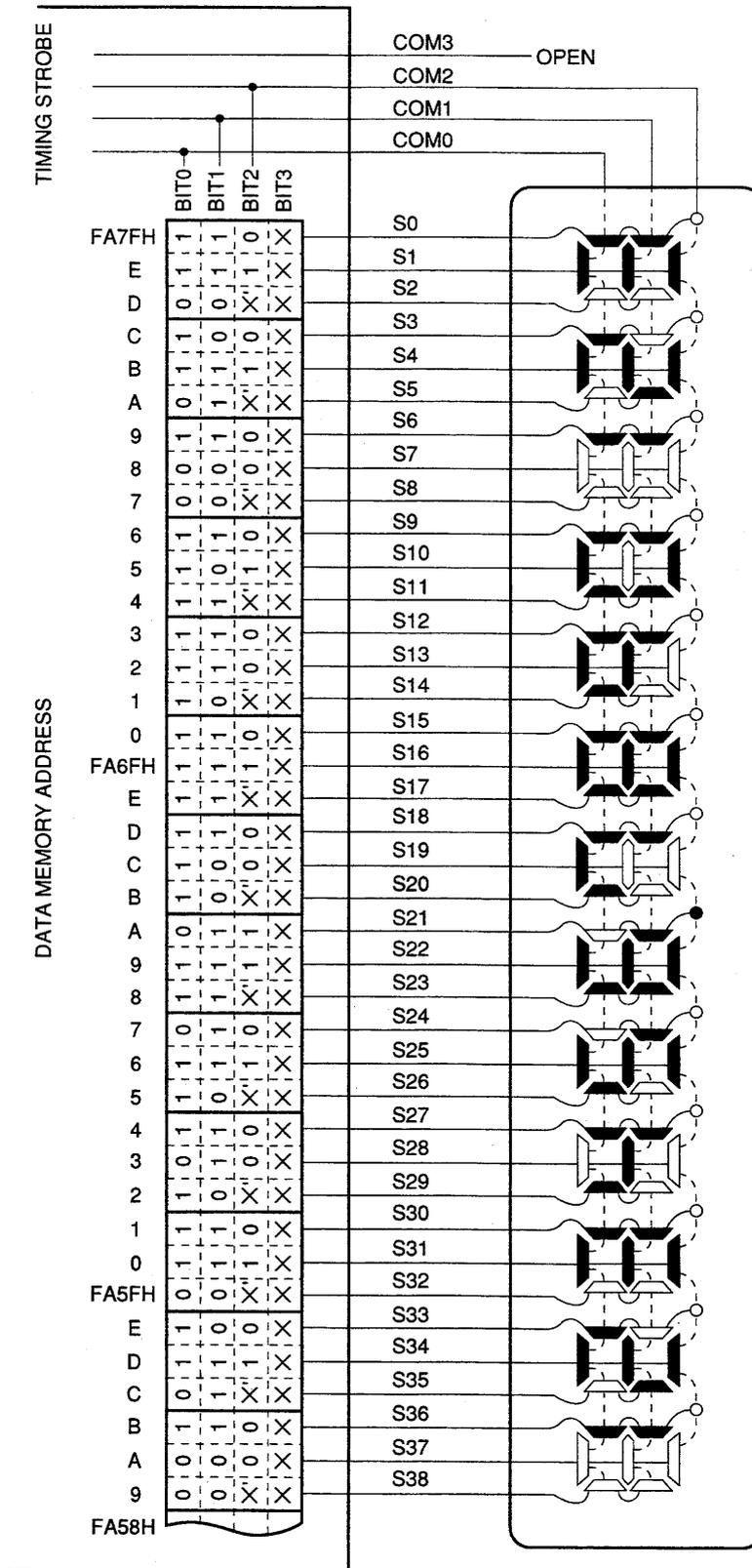
S21と各コモン信号間のLCD駆動波形例を図18-19(1/2バイアス法)、図18-20(1/3バイアス法)に示します。COM1の選択タイミングでS21が選択電圧のとき、およびCOM2の選択タイミングでS21が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18-17 3時分割LCD表示パターンと電極結線



備考 n = 0-12

図18-18 3時分割LCDパネルの結線例



LCD PANEL

X': LCDパネルに対応セグメントがないため任意データをストア可能です。
 X : 3時分割表示のため常に任意データをストア可能です。

図18-19 3時分割LCD駆動波形例(1/2バイアス法)

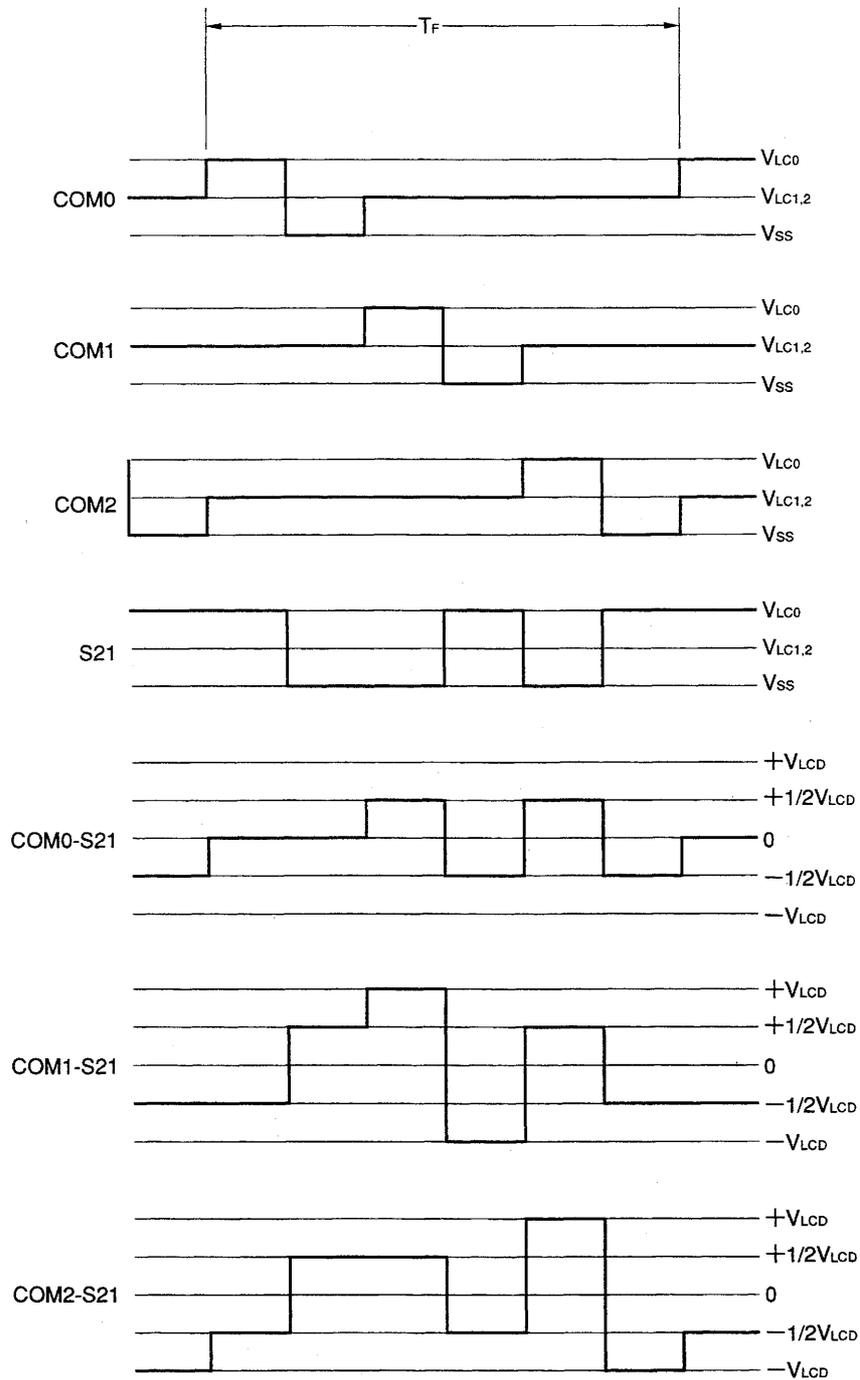
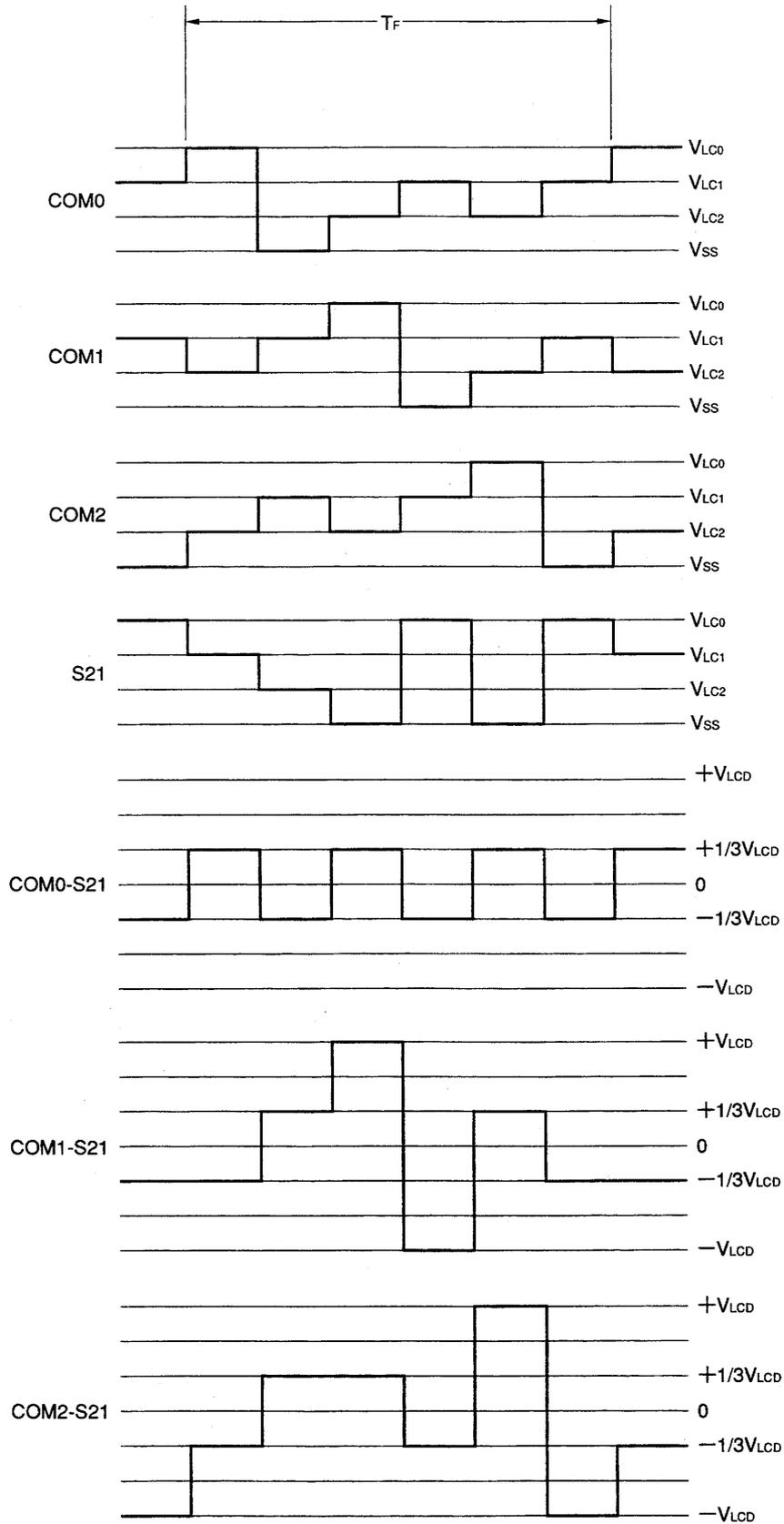


図18-20 3時分割LCD駆動波形例(1/3バイアス法)



18.8.4 4時分割表示例

図18-22は、図18-21の表示パターンを持つ4時分割方式の20桁LCDパネルとμPD78064, 78064Yサブシリーズのセグメント信号(S0-S39)およびコモン信号(COM0-COM3)との接続を示します。表示例は123456.78901234567890で、表示データ・メモリ(FA58H-FA7FH番地)の内容はこれに対応しています。

ここでは15桁目の6.(E.)を例にとって説明します。図18-21の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表18-10に示すような選択、非選択電圧をS28, S29の端子に出力する必要があります。

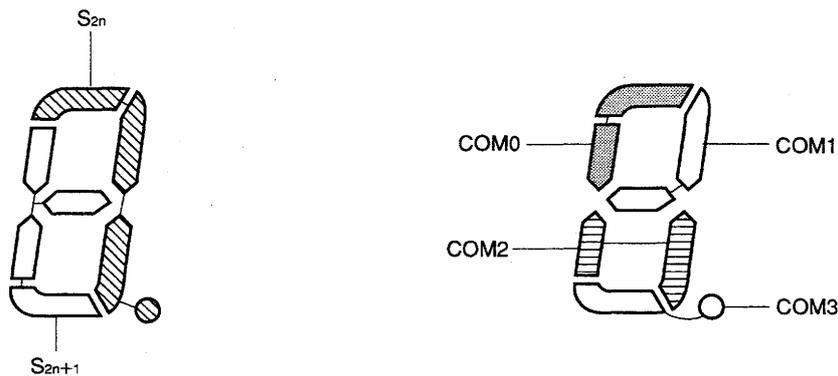
表18-10 選択, 非選択電圧 (COM0-COM3)

セグメント コモン	S28	S29
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりS28に対応する表示データ・メモリ(FA63H番地)には、1101を用意すればよいことが分かります。

S28とCOM0, COM1信号間のLCD駆動波形を図18-23に示します(図面の都合でCOM2, COM3に対する波形は省略)。COM0の選択タイミングでS28が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18-21 4時分割LCD表示パターンと電極結線



備考 n=0-18

図18-22 4時分割LCDパネルの結線例

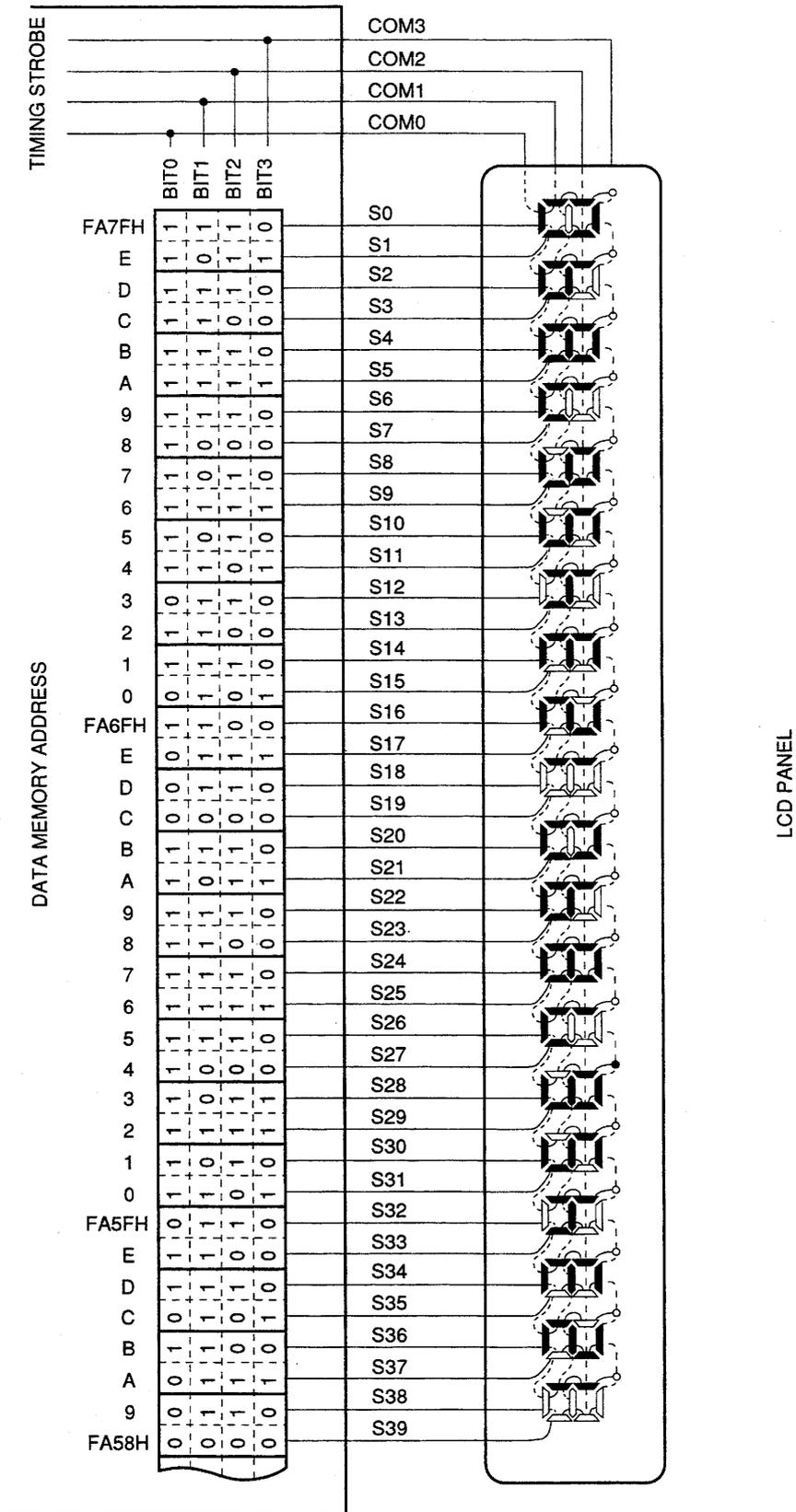
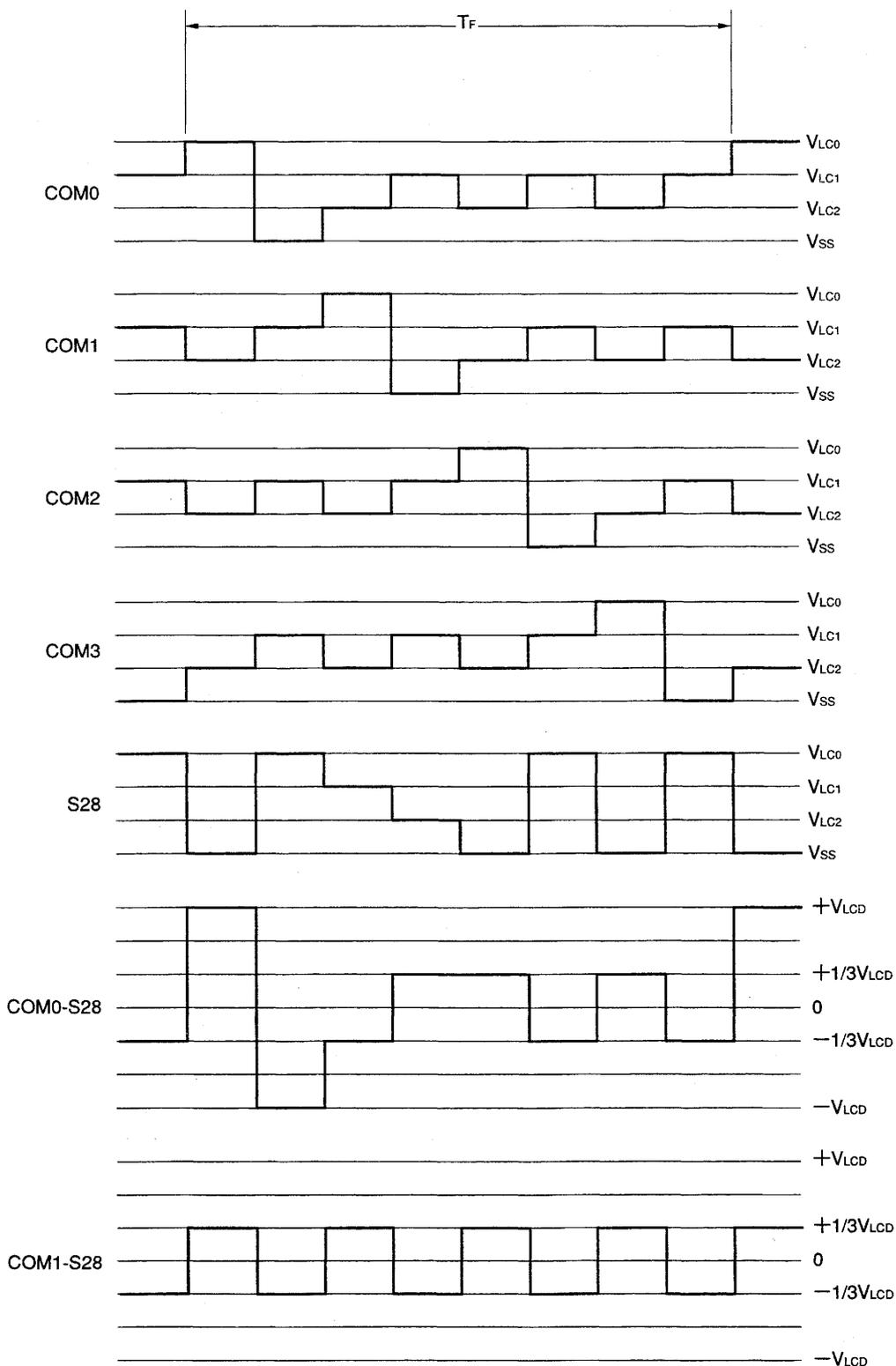


図18-23 4時分割LCD駆動波形例 (1/3バイアス法)



[x 屯]

第19章 割り込み機能とテスト機能

19.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みを1本内蔵しています。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表19-1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みを6本、内部割り込みを12本内蔵しています。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

19.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計20本内蔵しています(表19-1 参照)。

表19-1 割り込み要因一覧

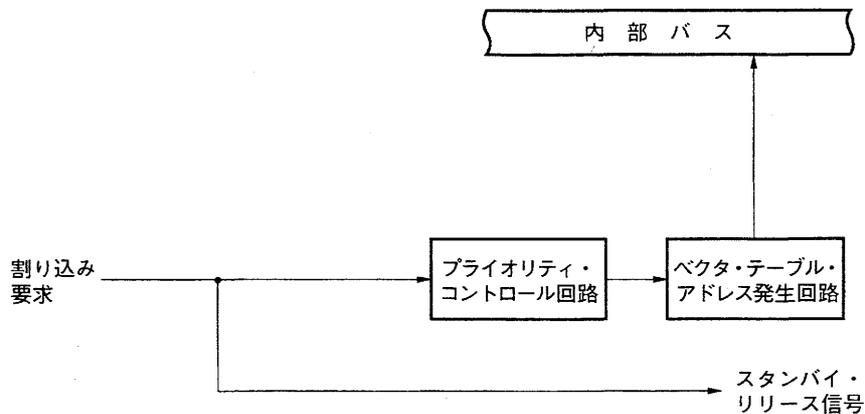
割り込み タイプ	デフォルト・注1 プライオリティ	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成注2 タイプ		
		名称	トリガ					
ノンマスクابل	—	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)		
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)					(B)
	1	INTP0	端子入力エッジ検出	外部	0006H 0008H 000AH 000CH 000EH 0010H	(C)		
	2	INTP1				(D)		
	3	INTP2						
	4	INTP3						
	5	INTP4						
	6	INTP5						
	7	INTCSI0				シリアル・インタフェース・チャンネル0の 転送終了	内部	0014H 0018H 001AH 001CH 001EH 0020H 0022H 0024H 0026H 0028H
	8	INTSER	シリアル・インタフェース・チャンネル2の UART受信エラー発生					
	9	INTSR	シリアル・インタフェース・チャンネル2の UART受信終了					
		INTCSI2	シリアル・インタフェース・チャンネル2の 3線式転送終了					
	10	INTST	シリアル・インタフェース・チャンネル2の UART送信終了					
	11	INTTM3	時計用タイマからの基準時間間隔信号					
	12	INTTM00	16ビット・タイマ・レジスタとキャプチャ/ コンペア・レジスタ00(CR00)の一致信号発生					
	13	INTTM01	16ビット・タイマ・レジスタとキャプチャ/ コンペア・レジスタ01(CR01)の一致信号発生					
	14	INTTM1	8ビット・タイマ/イベント・カウンタ1 の一致信号発生					
	15	INTTM2	8ビット・タイマ/イベント・カウンタ2 の一致信号発生					
	16	INTAD	A/Dコンバータの変換終了					
ソフトウェア	—	BRK	BRK命令の実行	内部	003EH	(E)		

注1. デフォルト・プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、16が最低順位です。

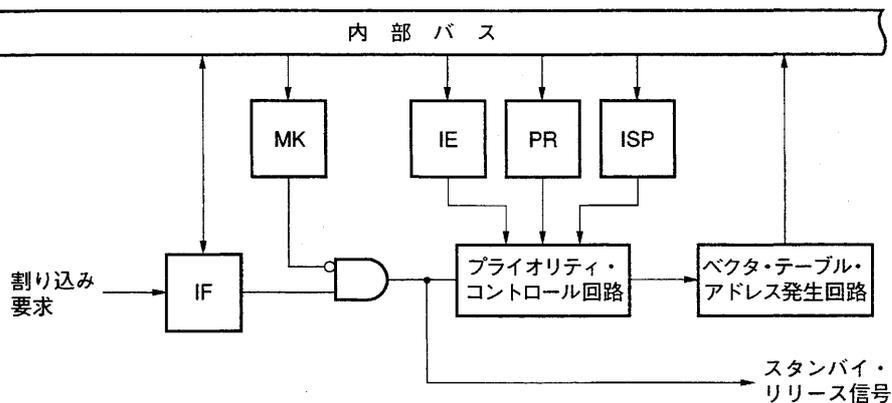
2. 基本構成タイプの(A)-(E)は、それぞれ図19-1の(A)-(E)に対応しています。

図19-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み (INTP0)

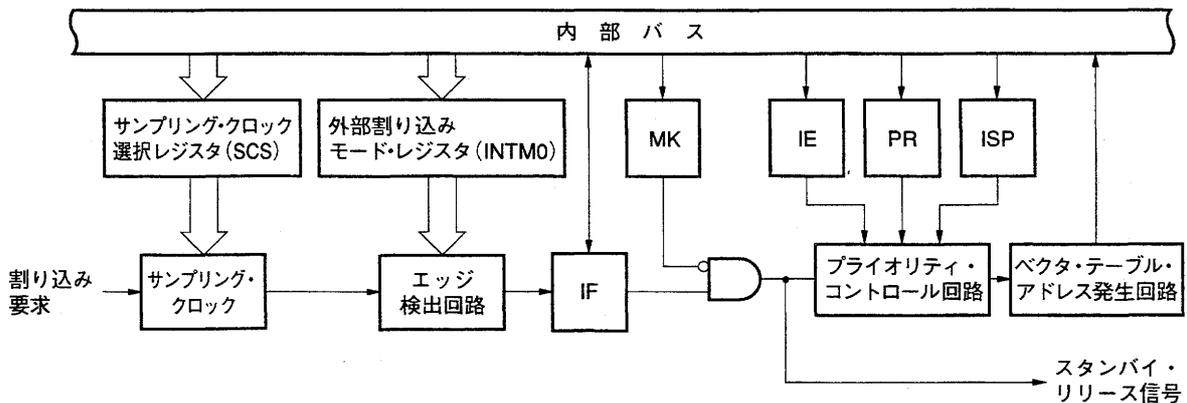
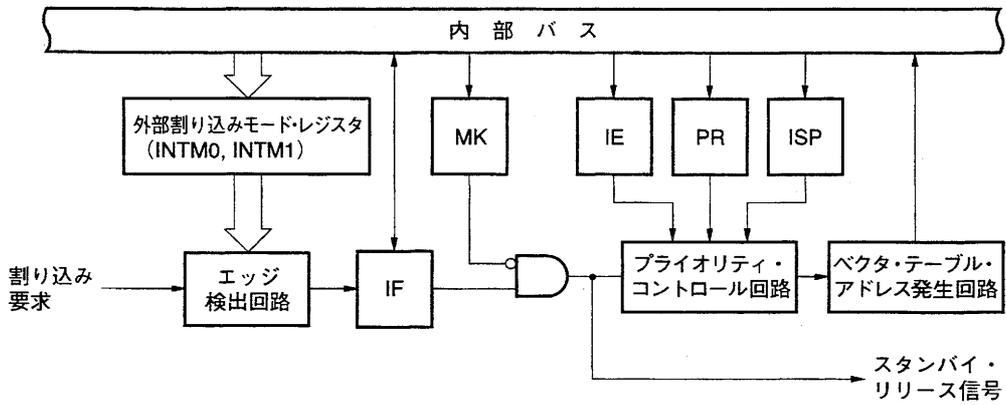
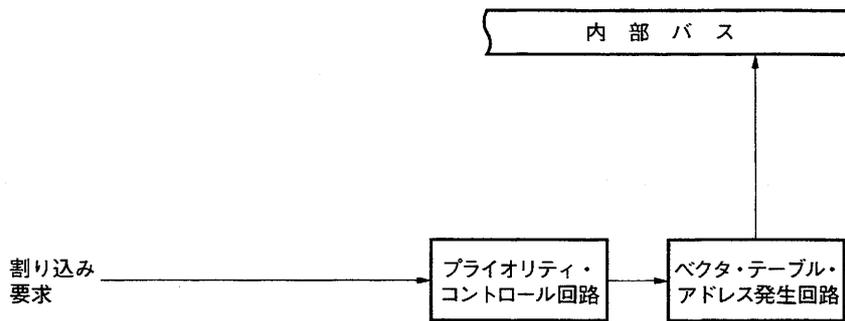


図19-1 割り込み機能の基本構成(2/2)

(D) 外部マスカブル割り込み(INTP0を除く)



(E) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサースビス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

19.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・外部割り込みモード・レジスタ (INTM0, INTM1)
- ・サンプリング・クロック選択レジスタ (SCS)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表19-2に示します。

表19-2 割り込み要求ソースに対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ	優先順位指定フラグ
INTP0	PIF0	PMK0	PPR0
INTP1	PIF1	PMK1	PPR1
INTP2	PIF2	PMK2	PPR2
INTP3	PIF3	PMK3	PPR3
INTP4	PIF4	PMK4	PPR4
INTP5	PIF5	PMK5	PPR5
INTTM00	TMIF00	TMMK00	TMPR00
INTTM01	TMIF01	TMMK01	TMPR01
INTTM1	TMIF1	TMMK1	TMPR1
INTTM2	TMIF2	TMMK2	TMPR2
INTTM3	TMIF3	TMMK3	TMPR3
INTWDT	TMIF4	TMMK4	TMPR4
INTCSI0	CSIF0	CSIMK0	CSIPR0
INTSR/INTCSI2	SRIF	SRMK	SRPR
INTSER	SERIF	SERMK	SERPR
INTST	STIF	STMK	STPR
INTAD	ADIF	ADMK	ADPR

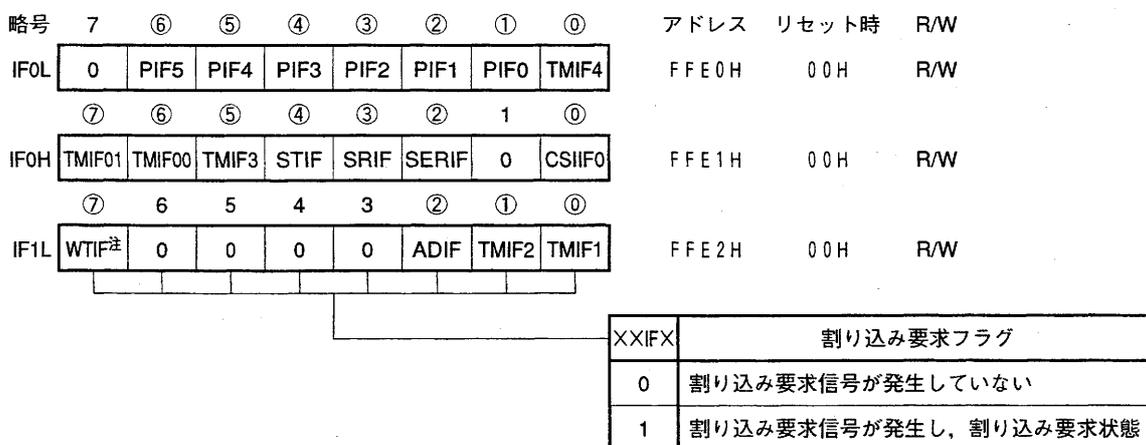
(1) 割り込み要求フラグ・レジスタ(IFOL, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、RESET入力時、命令の実行によりクリア(0)されるフラグです。

IFOL, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IFOLとIF0Hをあわせて16ビット・レジスタIF0として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図19-2 割り込み要求フラグ・レジスタのフォーマット



注 WTIFは、テスト入力フラグです。ベクタ割り込みは発生しません。

- 注意1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用しているとき、TMIF4フラグに0を設定してください。
2. ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. IFOLのビット7, IF0Hのビット1, IF1Lのビット3-ビット6には、必ず0を設定してください。

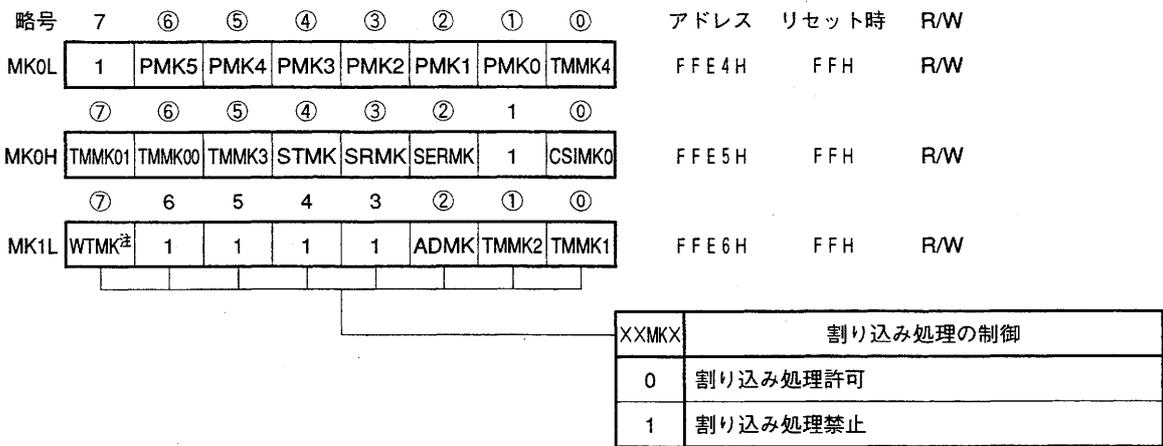
(2) 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図19-3 割り込みマスク・フラグ・レジスタのフォーマット



注 WTMKは、スタンバイ・モードの解除の許可/禁止を制御しています。

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、TMMK4フラグを読み出すと不定になっています。
2. ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. MK0Lのビット7, MK0Hのビット1, MK1Lのビット3-ビット6には、必ず1を設定してください。

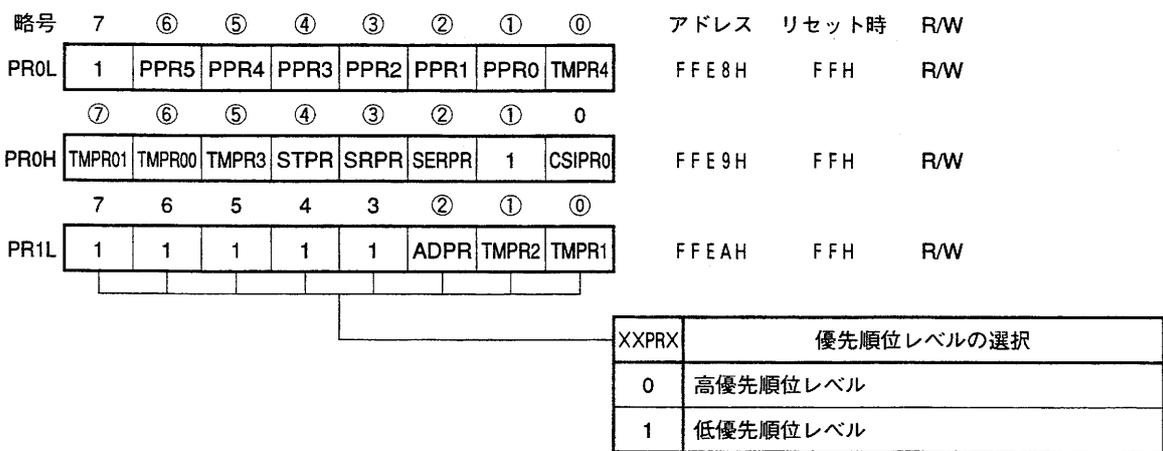
(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するとき、16ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図19-4 優先順位指定フラグ・レジスタのフォーマット



- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、TMPR4フラグに1を設定してください。
2. PR0Lのビット7, PR0Hのビット1, PR1Lのビット3-ビット7には、必ず1を設定してください。

(4) 外部割り込みモード・レジスタ(INTM0, INTM1)

INTP0-INTP5の有効エッジを設定するレジスタです。

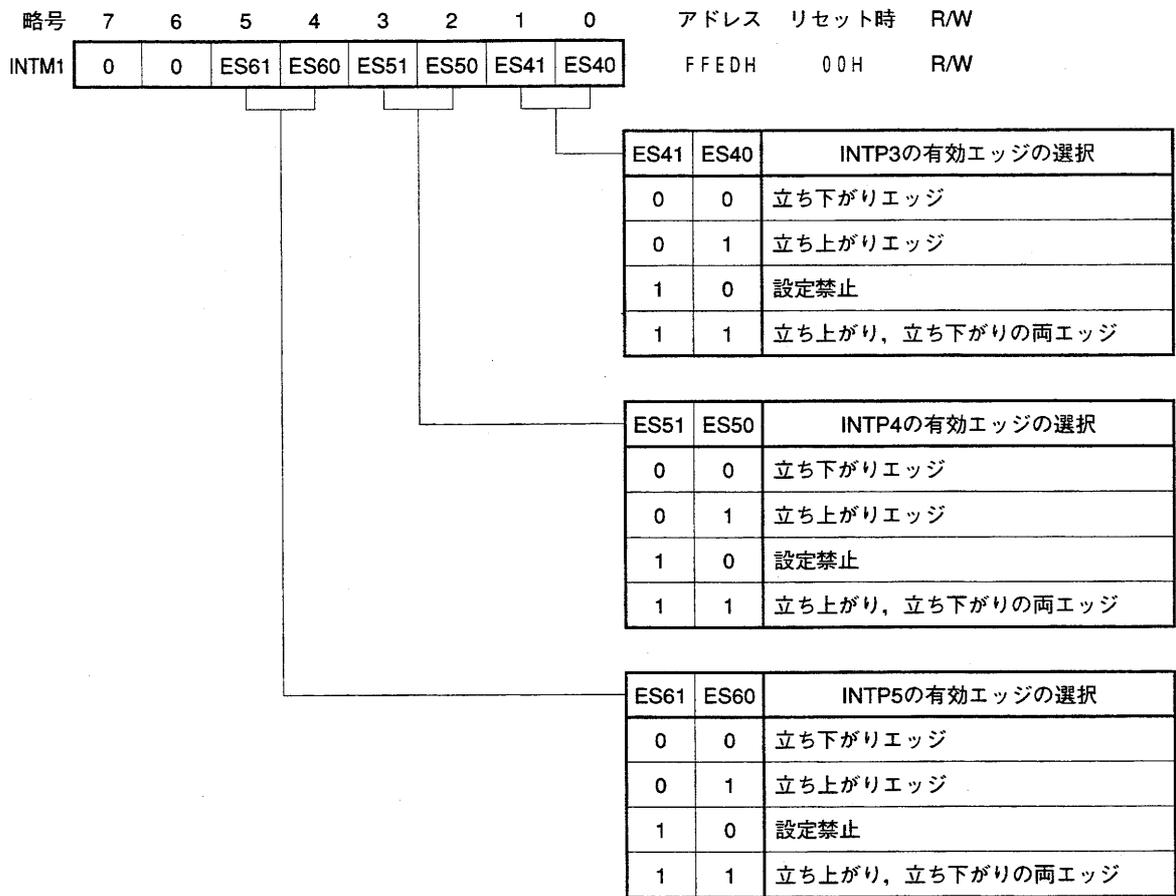
INTM0, INTM1は、それぞれ8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図19-5 外部割り込みモード・レジスタ0のフォーマット



図19-6 外部割り込みモード・レジスタ1のフォーマット



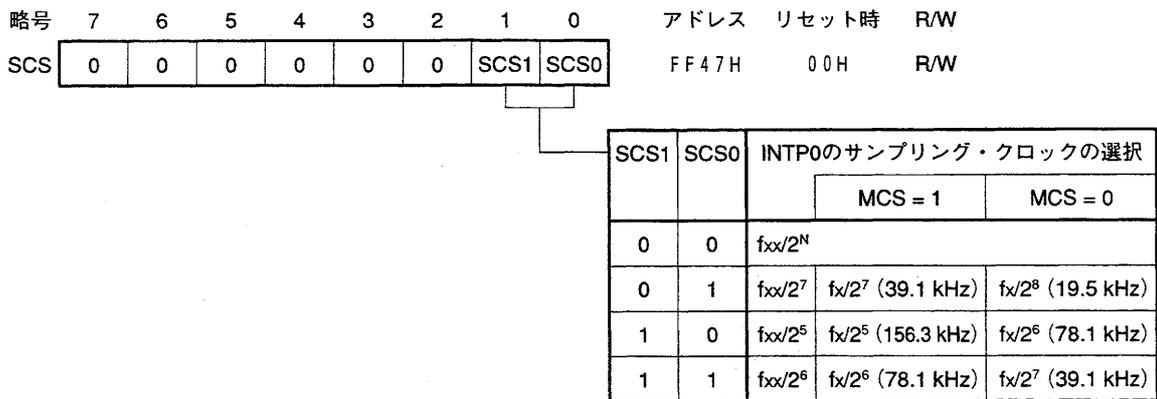
(5) サンプリング・クロック選択レジスタ(SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズの除去を行います。

SCSは、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図19-7 サンプリング・クロック選択レジスタのフォーマット



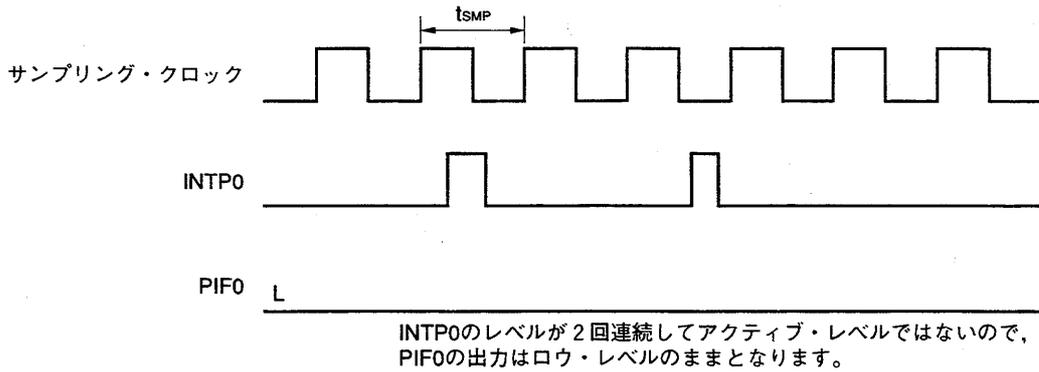
注意 $fx/2^N$ はCPUへ供給されるクロック、 $fx/2^5$ 、 $fx/2^6$ 、 $fx/2^7$ は周辺ハードウェアへ供給されるクロックです。 $fx/2^N$ はHALTモード中は停止します。

- 備考1. N : プロセッサ・クロック・コントロール・レジスタのビット0-ビット2 (PCC0-PCC2)に設定した値(N=0-4)。
2. fx : メイン・システム・クロック周波数(fx または $fx/2$)
3. fx : メイン・システム・クロック発振周波数
4. MCS : 発振モード選択レジスタのビット0
5. ()内は、 $fx = 5.0$ MHz動作時。

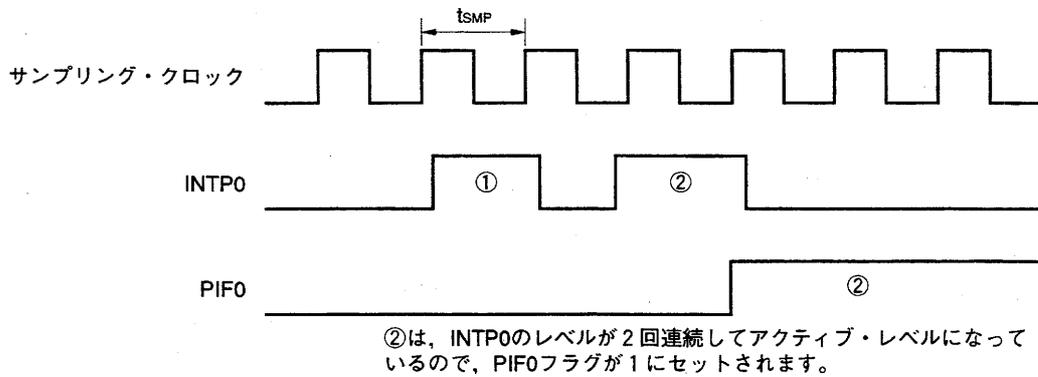
ノイズ除去回路は、INTP0の入力レベルが2回連続してアクティブ・レベルであるとき、PIF0フラグを1にセットします。

図19-8 ノイズ除去回路の入出力タイミング(立ち上がりエッジ検出時)

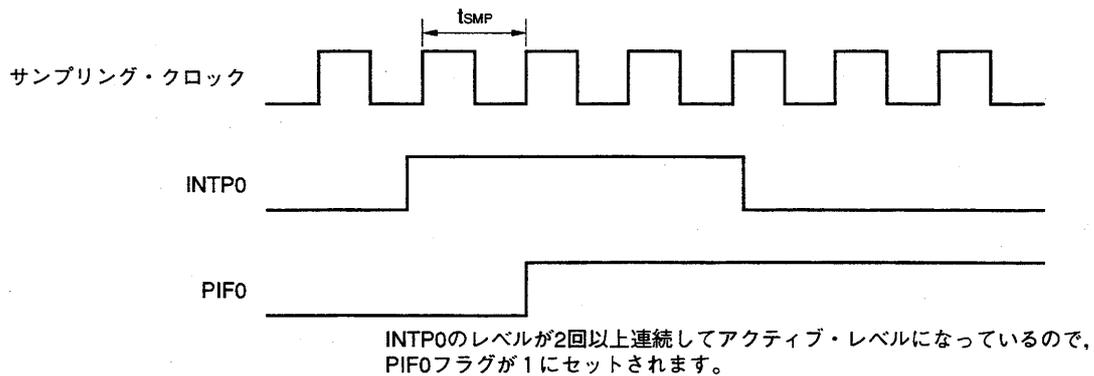
(a) 入力がサンプリング周期(t_{SMP})以下のとき



(b) 入力がサンプリング周期(t_{SMP})の1-2倍のとき



(c) 入力がサンプリング周期(t_{SMP})の2倍以上のとき



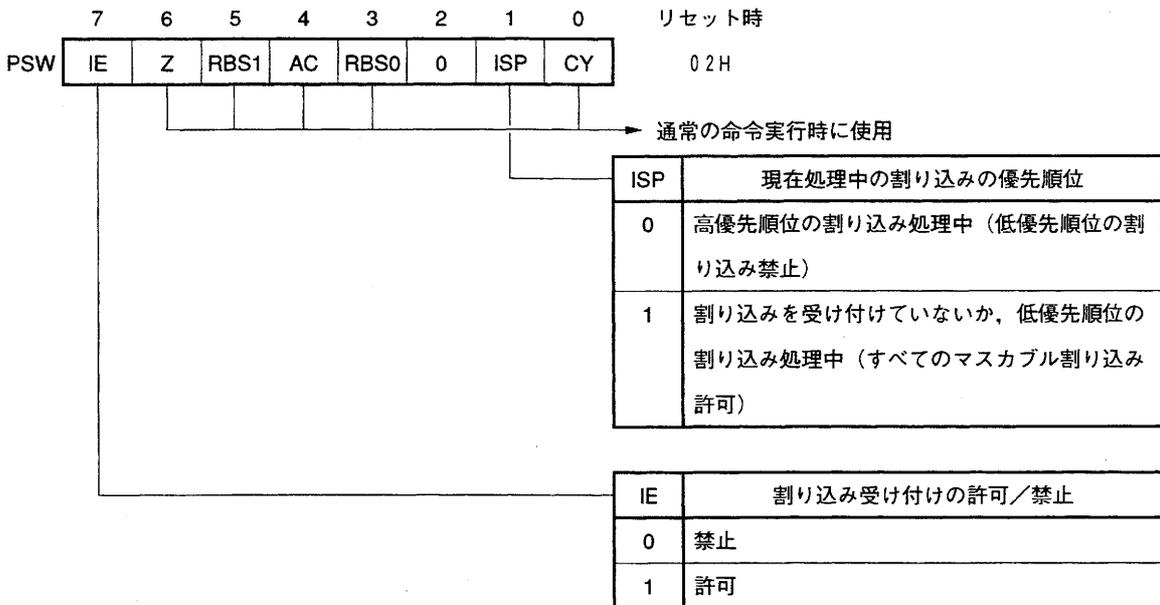
(6) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み受け付け時およびBRK命令実行時には、PSWは自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクブル割り込み受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hとなります。

図19-9 プログラム・ステータス・ワードの構成



19.4 割り込み処理動作

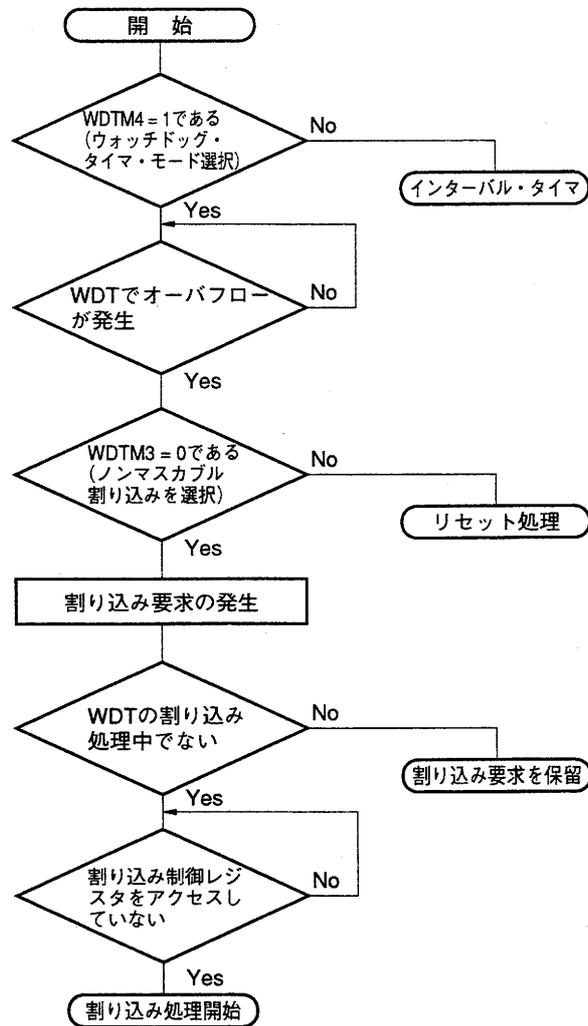
19.4.1 ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグ、ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、割り込み要求が受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

図19-10 ノンマスカブル割り込みの受け付けフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図19-11 ノンマスカブル割り込みの受け付けタイミング

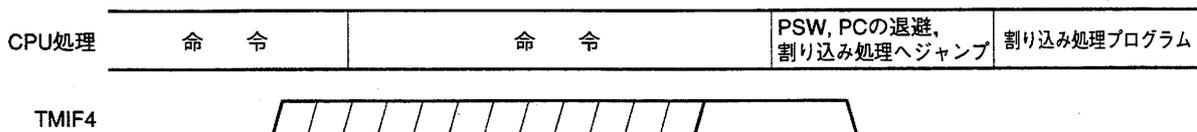
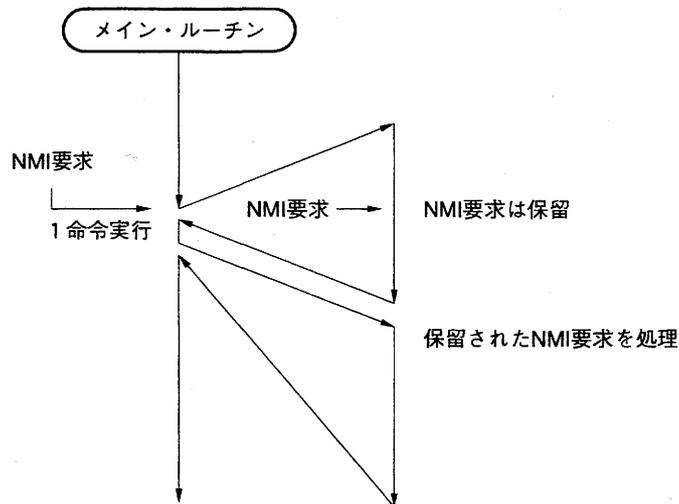
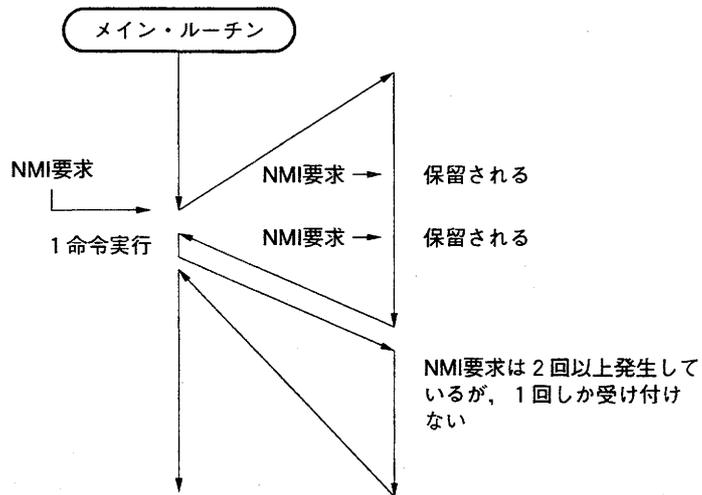


図19-12 ノンマスカブル割り込み要求の受け付け動作

(a) ノンマスカブル割り込みサービス・プログラム実行中に
新たなノンマスカブル割り込み要求が発生した場合



(b) ノンマスカブル割り込みサービス・プログラム実行中に
新たに2回のノンマスカブル割り込み要求が発生した場合



19.4.2 マスカブル割り込みの受け付け動作

マスカブル割り込みは、割り込み要求フラグがセット(1)され、その割り込みのMKフラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込みは、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込みは受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は次のようになります。

表19-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
XXPR=0のとき	7クロック	32クロック
XXPR=1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/fCPU (fCPU：CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、同一優先順位に指定されているときは、デフォルト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図19-13に示します。

マスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。

RETI命令によって、割り込みから復帰はできます。

図19-13 割り込み受け付け処理アルゴリズム

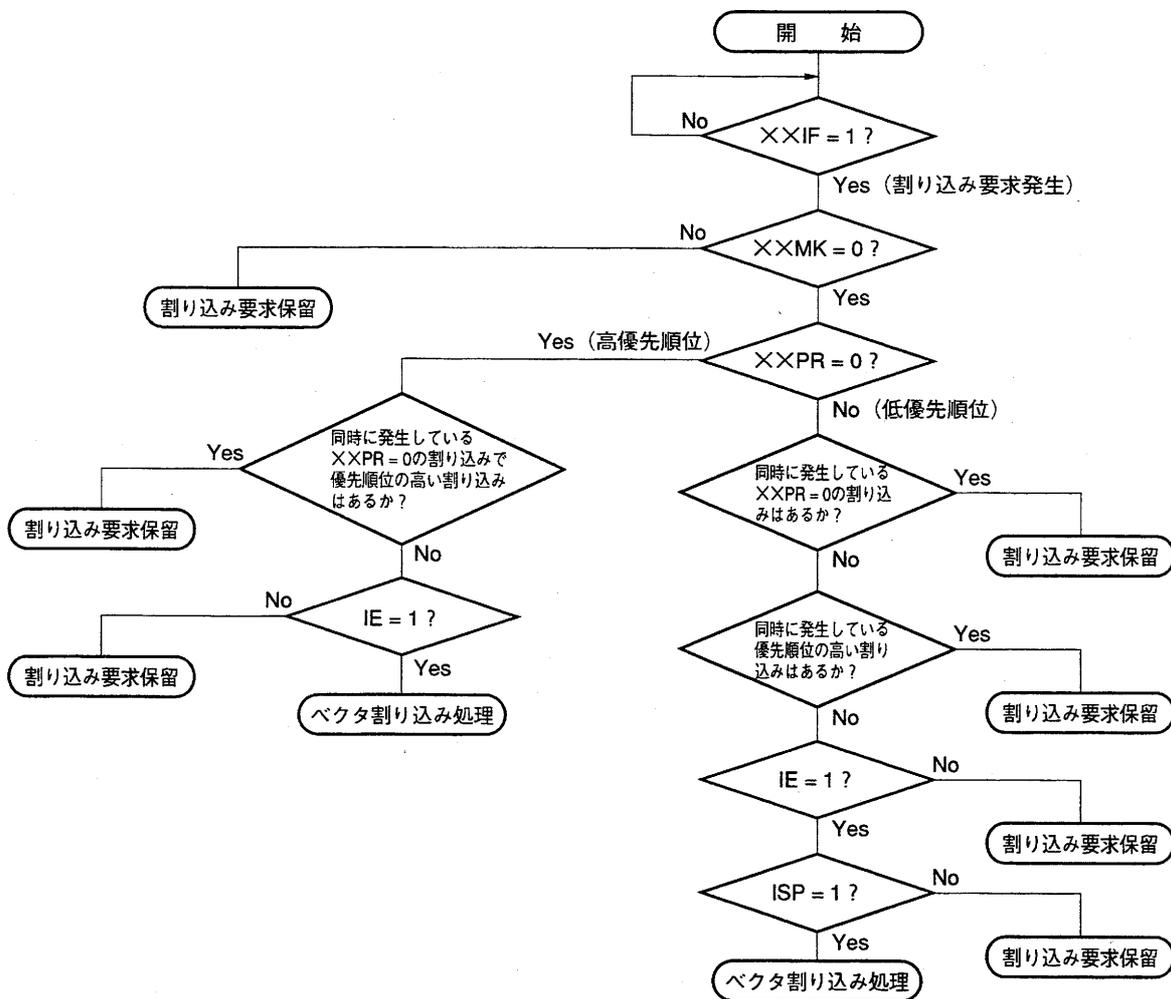
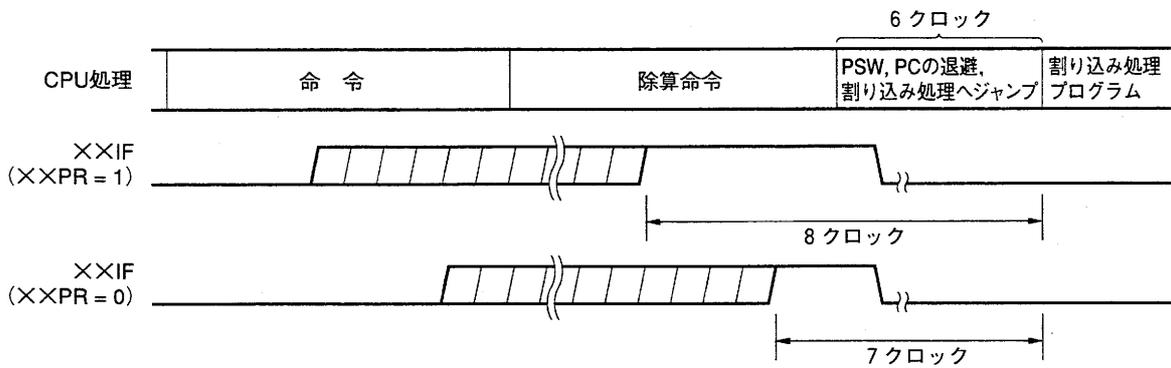
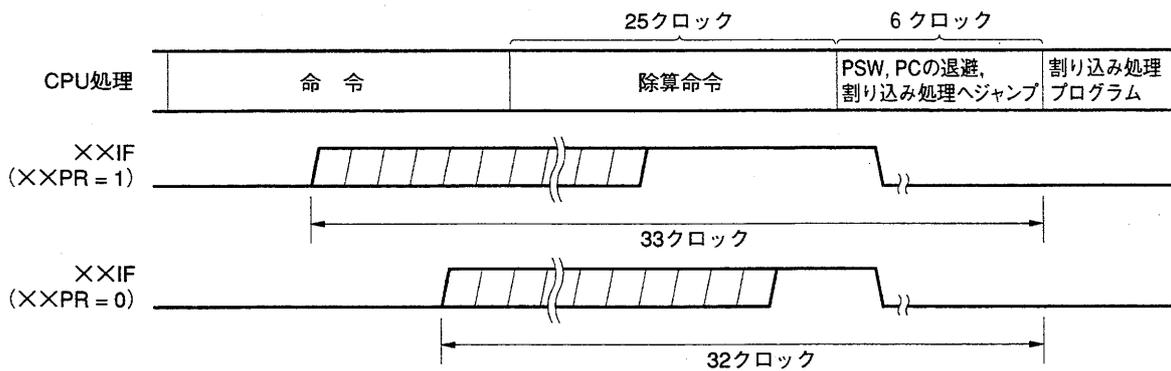


図19-14 割り込みの受け付けタイミング(最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図19-15 割り込みの受け付けタイミング(最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

19.4.3 ソフトウェア割り込みの受け付け動作

ソフトウェア割り込みはBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込みが受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

19.4.4 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって制御できます。

優先順位の制御には、デフォルト優先順位による制御と、優先順位指定フラグ・レジスタ (PROL, PROH, PR1L) の設定によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込み処理を行います (表19-1 参照)。プログラマブル優先順位制御は、各割り込み要求をPROL, PROH, PR1Lに対応するビットの設定によって、高い優先順位グループと低い優先順位グループの2グループに分けます。多重割り込み可能な割り込み要求を次に示します。

表19-4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求		ノンマスクابل 割り込み要求	マスクابل割り込み要求			
			PR=0		PR=1	
			IE=1	IE=0	IE=1	IE=0
受け付け中の割り込み						
ノンマスクابل割り込み処理中		×	×	×	×	×
マスクابل割り込み 処理中	ISP=0	○	○	×	×	×
	ISP=1	○	○	×	○	×
ソフトウェア割り込み処理中		○	○	×	○	×

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP=0：高優先順位の割り込み処理中

ISP=1：割り込みを受け付けていないか、低優先順位の割り込み処理中

IE=0：割り込み受け付け禁止

IE=1：割り込み受け付け許可

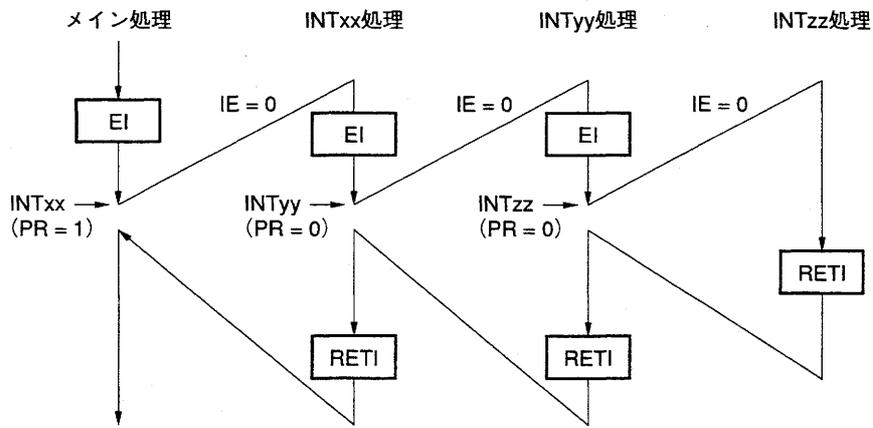
4. PRはPROL, PROH, PR1Lに含まれるフラグです。

PR=0：高優先順位レベル

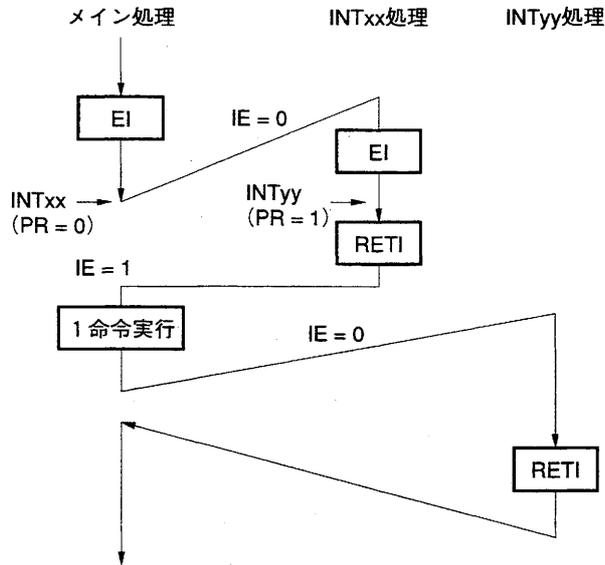
PR=1：低優先順位レベル

図19-16 多重割り込みの例

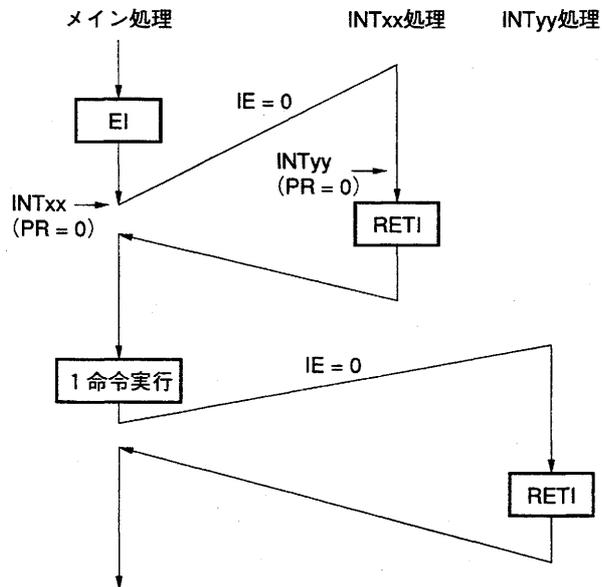
例1



例2



例3



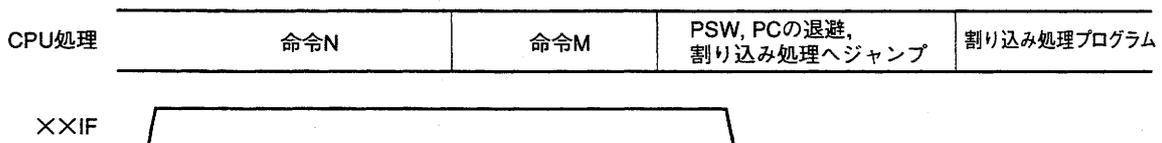
19.4.5 割り込みの保留

以下に示す命令と、その次に実行する命令の間では、割り込みの受け付けが一時的に保留されます。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, IF1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1L, INTM0, INTM1の各レジスタに対する操作命令

注意 ソフトウェア割り込み(BRK命令の実行による)では、IEフラグが0にクリアされるのでBRK命令実行中にマスクابل割り込み要求が発生しても、割り込みを受け付けません。ただし、ノンマスクابل割り込み要求は受け付けます。

図19-17 割り込み要求の保留



- 備考 1. 命令N：割り込み要求の保留命令
 2. 命令M：割り込み要求の保留命令以外の命令
 3. XXIFの動作は、XXPRの値の影響を受けません。

19.5 テスト機能

ベクタ処理を行わず、テスト入力フラグをセット(1)します。

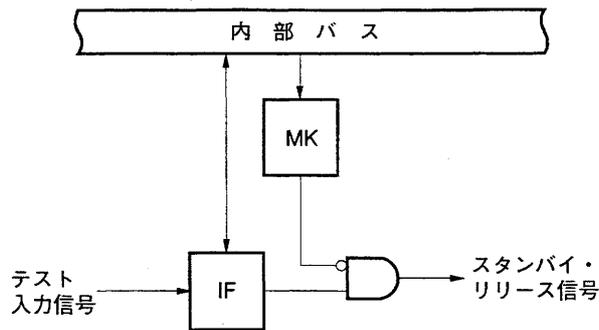
スタンバイ・リリース信号を発生します。

テスト入力要因には、表19-5に示す2本があります。また、基本構成は図19-18のようになっています。

表19-5 テスト入力要因一覧

テスト入力要因		内部/外部
名称	トリガ	
INTWT	時計用タイマのオーバーフロー	内部
INTPT11	ポート11の立ち下がりエッジ検出	外部

図19-18 テスト機能の基本構成



IF : テスト入力フラグ

MK : テスト・マスク・フラグ

19.5.1 テスト機能を制御するレジスタ

テスト機能は、次の3種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ1L (IF1L)
- ・割り込みマスク・フラグ・レジスタ1L (MK1L)
- ・キー・リターン・モード・レジスタ (KRM)

各テスト入力信号に対応するテスト入力フラグ、テスト・マスク・フラグの名称を表19-6に示します。

表19-6 テスト入力信号に対する各種フラグ

テスト入力信号名	テスト入力フラグ	テスト・マスク・フラグ
INTWT	WTIF	WTMK
INTPT11	KRIF	KRMK

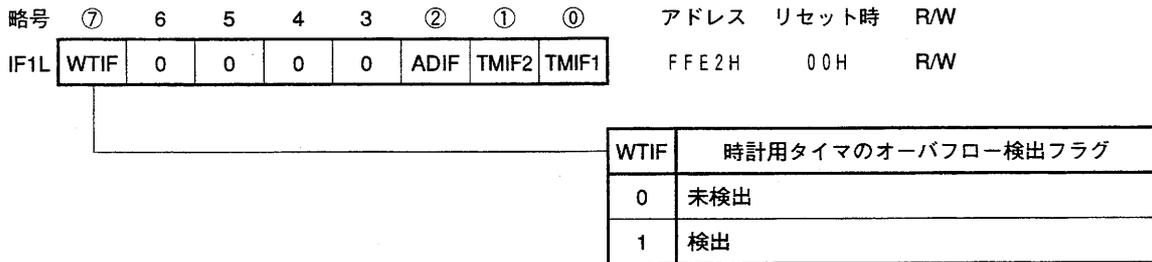
(1) 割り込み要求フラグ・レジスタ1L(IF1L)

時計用タイマのオーバーフローの検出／未検出を表示するレジスタです。

IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図19-19 割り込み要求フラグ・レジスタ1Lのフォーマット



注意 ビット3-ビット6には必ず0を設定してください。

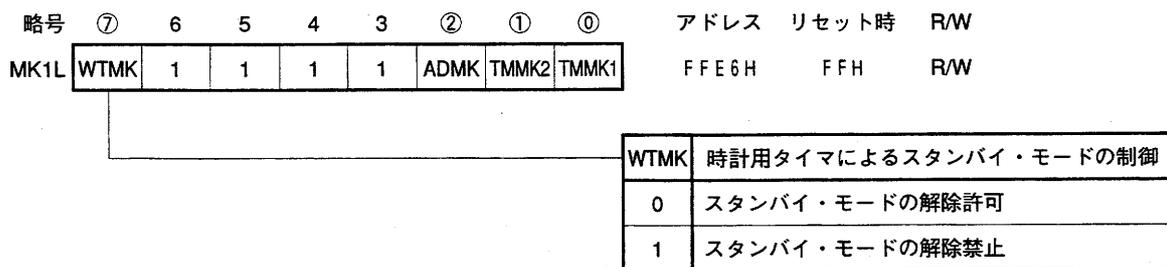
(2) 割り込みマスク・フラグ・レジスタ1L(MK1L)

時計用タイマによるスタンバイ・モードの解除の許可／禁止を設定するレジスタです。

MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図19-20 割り込みマスク・フラグ・レジスタ1Lのフォーマット



注意 ビット3-ビット6には必ず1を設定してください。

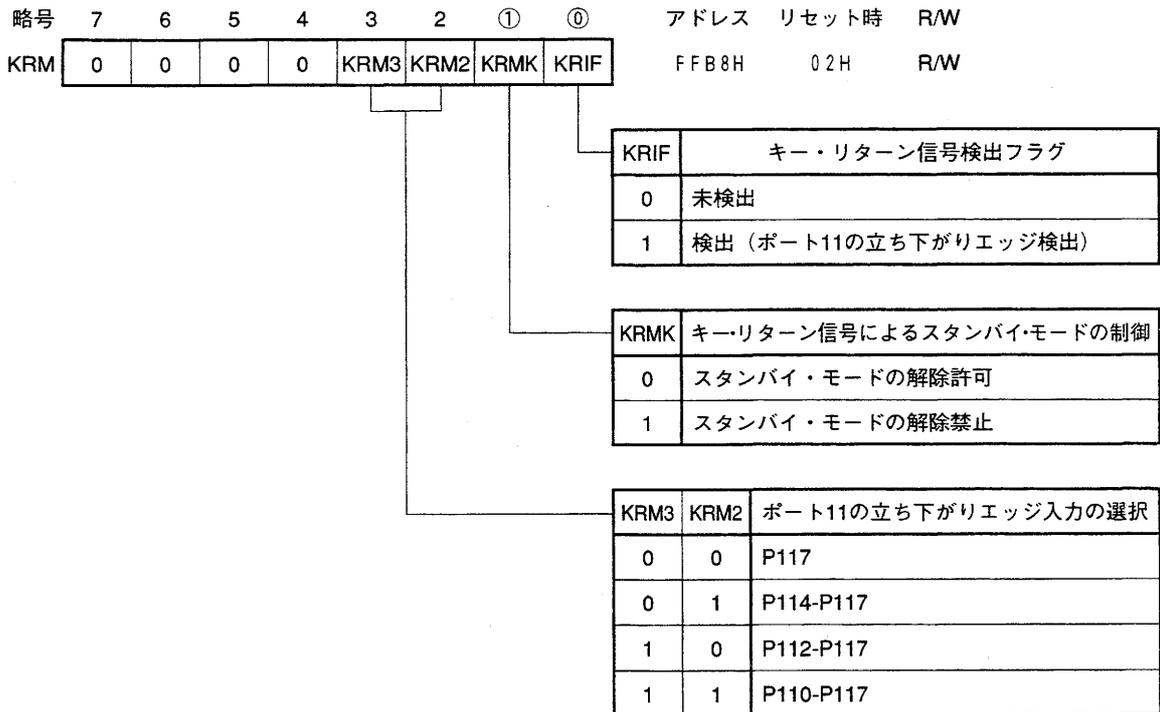
(3) キー・リターン・モード・レジスタ(KRM)

ポート11の立ち下がりエッジ入力の選択、キー・リターン信号(ポート11の立ち下がりエッジ検出)によるスタンバイ・モードの解除の許可/禁止を設定するレジスタです。

KRMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、02Hになります。

図19-21 キー・リターン・モード・レジスタのフォーマット



注意 ポート11で立ち下がりエッジ検出を使用するとき、必ずKRIFを0にクリアしてください(KRIFは自動的に0にクリアされません)。

19.5.2 テスト入力信号の受け付け動作

(1) 内部テスト入力信号

時計用タイマのオーバフローにより、WTIFフラグがセットされます。時計用タイマのオーバフロー周期より短い周期でWTIFフラグをチェックすることにより、時計機能を実現できます。

(2) 外部テスト入力信号

ポート11(P110-P117)の端子に立ち下がりエッジが入力されたとき、KRIFがセットされます。ポート11をキー・マトリックスのキー・リターン信号入力として使用することにより、キー入力の有無をKRIFの状態をチェックすることができます。

[× ㄷ]

第20章 スタンバイ機能

20.1 スタンバイ機能と構成

20.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電力の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電力を、かなり低減することができます。

また、データ・メモリの低電圧($V_{DD} = 1.8\text{ V}$ まで)保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。★

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードは、メイン・システム・クロックで動作しているときだけ使用できます(サブシステム・クロックの発振を停止させることができません)。HALTモードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。

2. STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

3. A/Dコンバータ部の消費電力を低減させるためには、ADMのビット7(CS)を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。★

20.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ(OSTS)で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

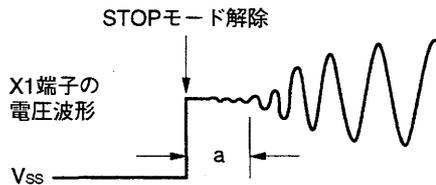
RESET入力により、04Hになります。ただし、RESET入力でSTOPモードを解除するとき、解除までの時間は $2^{18}/f_x$ ではなく、 $2^{17}/f_x$ となります。

図20-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択	
			MCS = 1	MCS = 0
0	0	0	$2^{12}/f_{xx}$	$2^{12}/f_x$ (819 μ s) $2^{13}/f_x$ (1.64 ms)
0	0	1	$2^{14}/f_{xx}$	$2^{14}/f_x$ (3.28 ms) $2^{15}/f_x$ (6.55 ms)
0	1	0	$2^{15}/f_{xx}$	$2^{15}/f_x$ (6.55 ms) $2^{16}/f_x$ (13.1 ms)
0	1	1	$2^{16}/f_{xx}$	$2^{16}/f_x$ (13.1 ms) $2^{17}/f_x$ (26.2 ms)
1	0	0	$2^{17}/f_{xx}$	$2^{17}/f_x$ (26.2 ms) $2^{18}/f_x$ (52.4 ms)
上記以外			設定禁止	

注意 STOPモード解除時のウェイト時間は、RESET入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間(下図 a)は含みません。



- 備考1. f_{xx} : メイン・システム・クロック周波数(f_x または $f_x/2$)
- 2. f_x : メイン・システム・クロック発振周波数
- 3. MCS : 発振モード選択レジスタのビット0
- 4. ()内は、 $f_x = 5.0$ MHz動作時。

20.2 スタンバイ機能の動作

20.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表20-1 HALTモード時の動作状態

HALTモードの設定		メイン・システム・クロック動作中のHALT命令実行時		サブシステム・クロック動作中のHALT命令実行時	
		サブシステム・クロックがない場合 ^{注1}	サブシステム・クロックがある場合 ^{注2}	メイン・システム・クロック発振継続時	メイン・システム・クロック発振停止時
クロック発生回路		メイン・システム・クロック、サブシステム・クロックとも発振可能。 CPUへのクロック供給が停止。			
CPU		動作停止。			
ポート(出力ラッチ)		HALTモード設定前の状態を保持。			
16ビット・タイマ/イベント・カウンタ		動作可能。		カウント・クロックに時計用タイマ出力選択時、動作可能(時計用タイマのカウント・クロックにはfxnを選択)。	
8ビット・タイマ/イベント・カウンタ		動作可能。		カウント・クロックにTI1, TI2選択時、動作可能。	
時計用タイマ		カウント・クロックにfxn/2 ⁷ 選択時、動作可能。	動作可能。		カウント・クロックにfxn選択時、動作可能。
ウォッチドッグ・タイマ		動作可能。		動作停止。	
A/Dコンバータ		動作可能。		動作停止。	
シリアル・インタフェース		動作可能。		外部SCK時は、動作可能。	
LCDコントローラ/ドライバ		カウント・クロックにfxn/2 ⁷ 選択時、動作可能。	動作可能。		カウント・クロックにfxn選択時、動作可能。
外部割り込み	INTP0	サンプリング・クロックに周辺ハードウェアへのクロック(fxx/2 ⁵ , fxx/2 ⁶ , fxx/2 ⁷)選択時、動作可能。			動作停止。
	INTP1-INTP5	動作可能。			

注1. 外部クロックを供給しない場合を含む。

2. 外部クロックを供給する場合を含む。

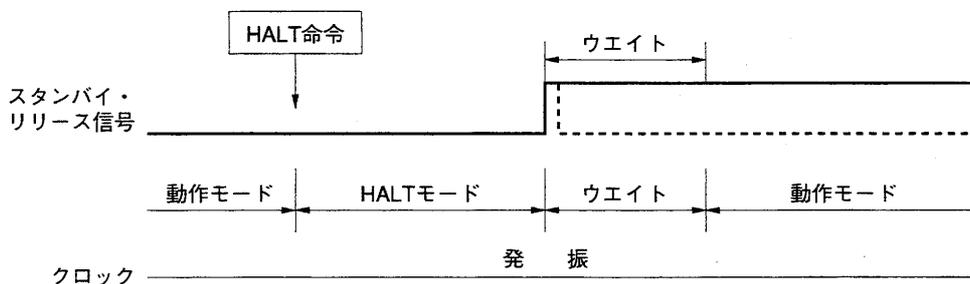
(2) HALTモードの解除

HALTモードは、次の4種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図20-2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8～9クロック
- ・ベクタ割り込み処理を行わない場合 : 2～3クロック

(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

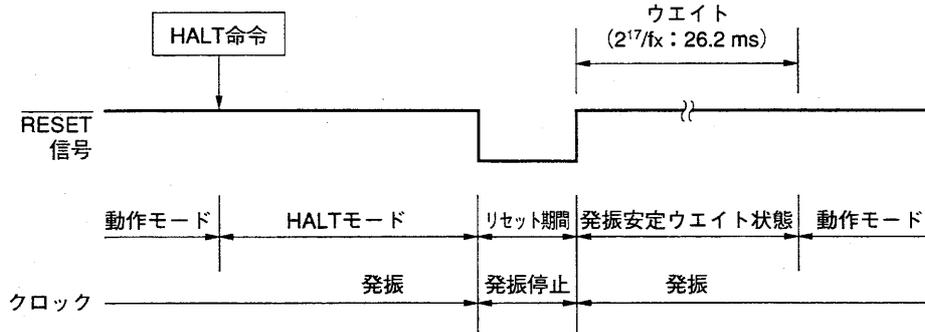
(c) マスクされていないテスト入力による解除

マスクされていないテスト入力による解除の場合、HALTモードを解除し、HALT命令の次のアドレスの命令を実行します。

(d) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図20-3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



- 備考1. f_x : メイン・システム・クロック発振周波数。
- 2. ()内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

表20-2 HALTモードの解除後の動作

解除ソース	MKXX	PRXX	IE	ISP	動作
マスクابل	0	0	0	×	次アドレス命令実行
割り込み要求	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスクابل	—	—	×	×	割り込み処理実行
テスト入力	0	—	×	×	次アドレス命令実行
	1	—	×	×	HALTモード保持
$\overline{\text{RESET}}$ 入力	—	—	×	×	リセット処理

×: don't care

20.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

- ★ 注意1. STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD}にプルアップされます。したがって、メイン・システム・クロックに外部クロックを使用するシステムでは、STOPモードは使用しないでください。
2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表20-3 STOPモード時の動作状態

STOPモードの設定		サブシステム・クロックがある場合	サブシステム・クロックがない場合
項目			
クロック発生回路		メイン・システム・クロックのみ発振停止。	
CPU		動作停止。	
ポート(出力ラッチ)		STOPモード設定前の状態を保持。	
16ビット・タイマ/イベント・カウンタ		カウント・クロックに時計用タイマ出力選択時、動作可能(時計用タイマのカウント・クロックにはfxrを選択)。	動作停止。
8ビット・タイマ/イベント・カウンタ		カウント・クロックにTI1, TI2選択時のみ動作可能。	
時計用タイマ		カウント・クロックにfxr選択時のみ、動作可能。	動作停止。
ウォッチドッグ・タイマ		動作停止。	
A/Dコンバータ		動作停止。	
シリアル・ インタフェース	UART以外	シリアル・クロックに外部からの入力クロック選択時のみ、動作可能。	
	UART	動作停止。	
LCDコントローラ/ドライバ		カウント・クロックにfxr選択時のみ、動作可能。	動作停止。
外部割り込み	INTP0	動作不可能。	
	INTP1-INTP5	動作可能。	

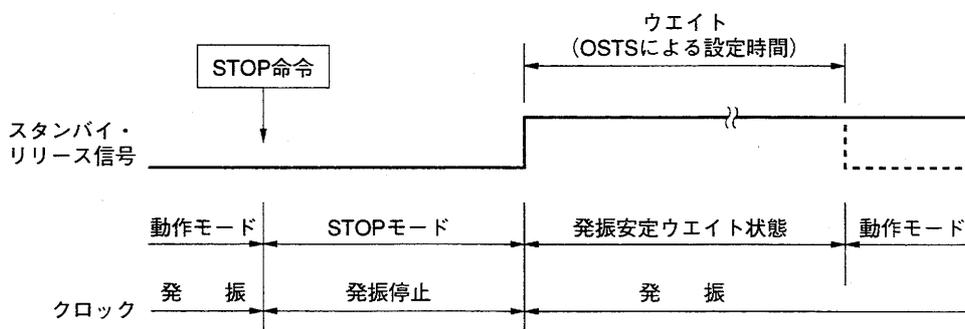
(2) STOPモードの解除

STOPモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図20-4 STOPモードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

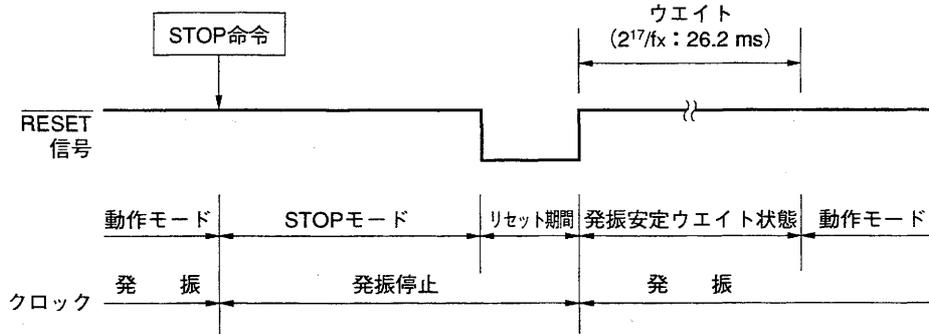
(b) マスクされていないテスト入力による解除

マスクされていないテスト入力による解除の場合、STOPモードを解除します。発振安定時間経過後、STOP命令の次のアドレスの命令を実行します。

(c) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図20-5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



- 備考1. f_x : メイン・システム・クロック発振周波数。
- 2. ()内は, $f_x = 5.0 \text{ MHz}$ 動作時。

表20-4 STOPモードの解除後の動作

解除ソース	MKXX	PRXX	IE	ISP	動作
マスクブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
テスト入力	0	—	×	×	次アドレス命令実行
	1	—	×	×	STOPモード保持
RESET入力	—	—	×	×	リセット処理

備考 ×: don't care

第21章 リセット機能

21.1 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表21-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後($2^{17}/f_x$)プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後($2^{17}/f_x$)プログラムの実行を開始します(図21-2から図21-4参照)。

- 注意 1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に $10\mu\text{s}$ 以上のロウ・レベルを入力してください。
2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図21-1 リセット機能のブロック図

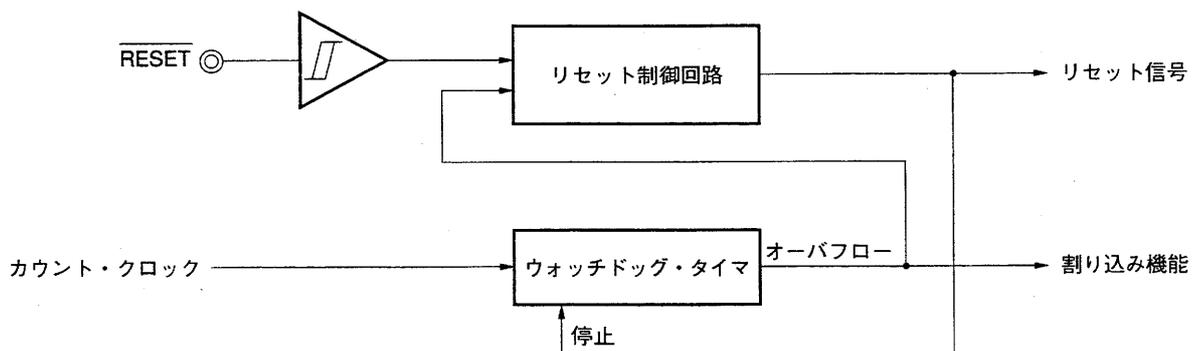


図21-2 RESET入力によるリセット・タイミング

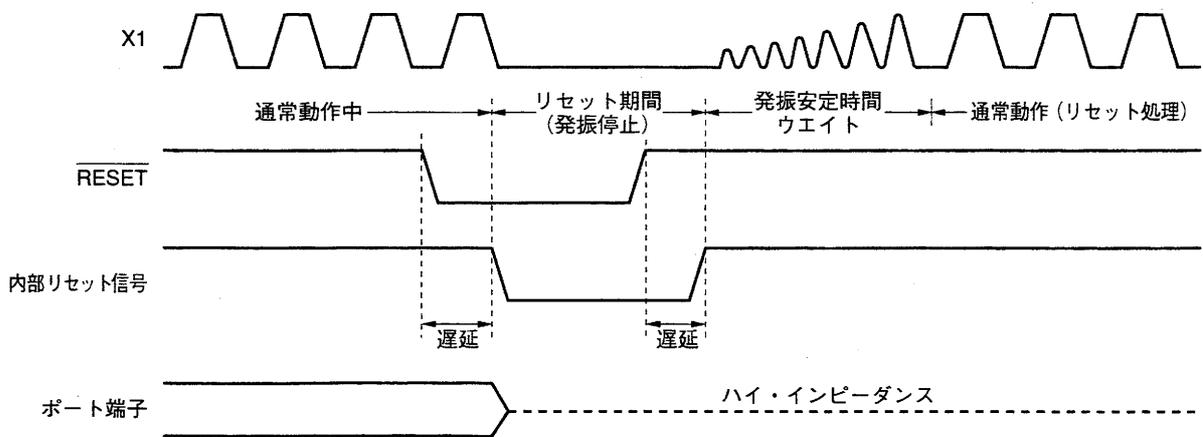


図21-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

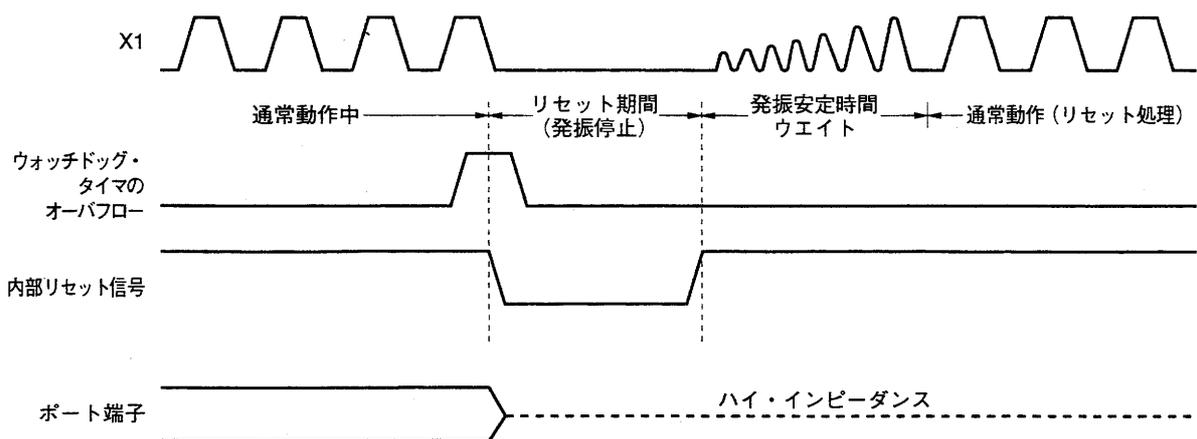


図21-4 STOPモード中のRESET入力によるリセット・タイミング

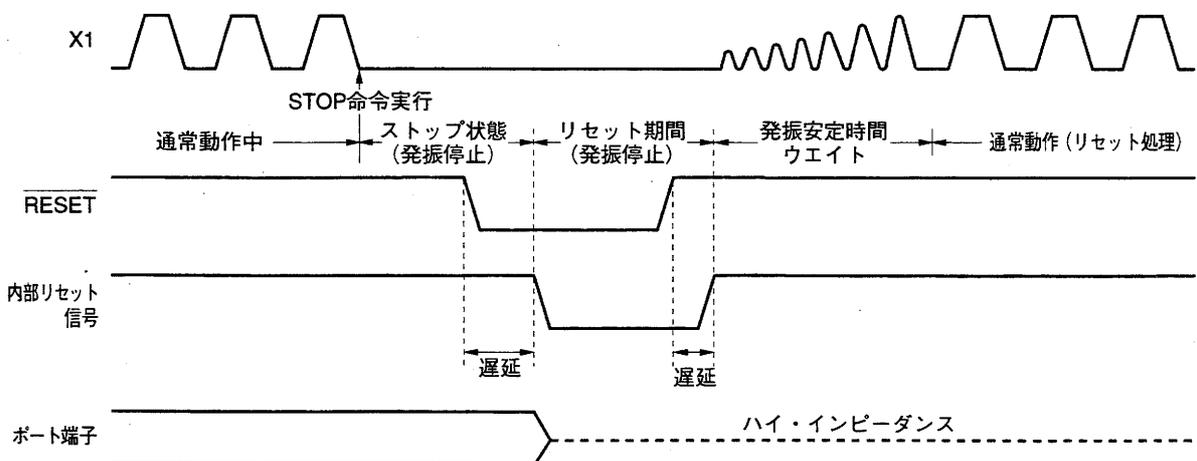


表21-1 各ハードウェアのリセット後の状態(1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ(PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H)の内容がセット される。
スタック・ポインタ(SP)		不 定
プログラム・ステータス・ワード(PSW)		02H
RAM	データ・メモリ	不 定 ^{注2}
	汎用レジスタ	不 定 ^{注2}
ポート0-ポート3, ポート7-ポート11(P0-P3, P7-P11)(出力ラッチ)		00H
ポート・モード・レジスタ(PM0-PM3, PM7-PM11)		FFH
プルアップ抵抗オプション・レジスタ(PUOH, PUOL)		00H
プロセッサ・クロック・コントロール・レジスタ(PCC)		04H
発振モード選択レジスタ(OSMS)		00H
メモリ・サイズ切り替えレジスタ(IMS)		注3
発振安定時間選択レジスタ(OSTS)		04H
16ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ(TM0)	00H
	キャプチャ/コンペア・レジスタ(CR00, CR01)	不 定
	クロック選択レジスタ(TCLO)	00H
	モード・コントロール・レジスタ(TMC0)	00H
	キャプチャ/コンペア・コントロール・レジスタ0(CRC0)	04H
	出力コントロール・レジスタ(TOC0)	00H
8ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ(TM1, TM2)	00H
	コンペア・レジスタ(CR10, CR20)	不 定
	クロック選択レジスタ(TCL1)	00H
	モード・コントロール・レジスタ(TMC1)	00H
	出力コントロール・レジスタ(TOC1)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. リセット時の値は製品により異なります。

μPD78062, 78062Y: 44H, μPD78063, 78063Y: C6H, μPD78064, 78064Y: C8H,

μPD78P064, 78P064Y: C8H

表21-1 各ハードウェアのリセット後の状態(2/2)

ハードウェア		リセット後の状態	
★ 時計用タイマ	モード・コントロール・レジスタ(TMC2)	00H	
	クロック選択レジスタ(TCL2)	00H	
ウォッチドッグ・タイマ	モード・レジスタ(WDTM)	00H	
	クロック選択レジスタ(TCL3)	88H	
シリアル・インタフェース	シフト・レジスタ(SIO0)	不 定	
	モード・レジスタ(CSIM0, CSIM2)	00H	
	シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)	00H	
	スレーブ・アドレス・レジスタ(SVA)	不 定	
	アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)	00H	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)	00H	
	ポー・レート・ジェネレータ・コントロール・レジスタ(BRGC)	00H	
	送信シフト・レジスタ(TXS)	FFH	
	受信バッファ・レジスタ(RXB)		
	割り込みタイミング指定レジスタ(SINT)	00H	
	A/Dコンバータ	モード・レジスタ(ADM)	01H
		変換結果レジスタ(ADCR)	不 定
入力選択レジスタ(ADIS)		00H	
LCDコントローラ/ドライバ	表示モード・レジスタ(LCDM)	00H	
	表示コントロール・レジスタ(LCDC)	00H	
割り込み	要求フラグ・レジスタ(IF0L, IF0H, IF1L)	00H	
	マスク・フラグ・レジスタ(MK0L, MK0H, MK1L)	FFH	
	優先順位指定フラグ・レジスタ(PROL, PROH, PR1L)	FFH	
	外部割り込みモード・レジスタ(INTM0, INTM1)	00H	
	キー・リターン・モード・レジスタ(KRM)	02H	
	サンプリング・クロック選択レジスタ(SCS)	00H	

第22章 μ PD78P064, 78P064Y

μ PD78P064, 78P064Yは、 μ PD78064, 78064Yの内蔵マスクROMを、ワン・タイムPROMまたはEPROMに置き換えた製品です。 μ PD78P064, 78P064YとマスクROM製品の違いを表22-1に示します。

表22-1 μ PD78P064, 78P064YとマスクROM製品の違い

項 目	μ PD78P064, 78P064Y	マスクROM製品
IC端子	なし	あり
V _{PP} 端子	あり	なし
LCD駆動電源供給用分割抵抗のマスク・オプション	なし	あり

22.1 メモリ・サイズ切り替えレジスタ

μ PD78P064, 78P064Yは、メモリ・サイズ切り替えレジスタ(IMS)により、内部メモリを選択することができます。IMSを設定することにより、内部メモリの異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、C8Hになります。

図22-1 メモリ・サイズ切り替えレジスタのフォーマット



マスクROM製品と同一のメモリ・マップにするIMSの設定値を表22-2に示します。

表22-2 メモリ・サイズ切り替えレジスタの設定値

対象のマスクROM製品	IMSの設定値
μ PD78062, 78062Y	44H
μ PD78063, 78063Y	C6H
μ PD78064, 78064Y	C8H

22.2 PROMプログラミング

μ PD78P064, 78P064Yは、プログラム・メモリとして、32 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、 V_{PP} 端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、1.4 (2) PROMプログラミング・モードを参照してください。

注意 プログラム書き込みは、0000H-7FFFH番地の範囲で行ってください(最終アドレス7FFFH番地を指定してください)。書き込みアドレスを指定できないPROMプログラマでは書き込みできません。

22.2.1 動作モード

V_{PP} 端子に+5 Vまたは+12.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子、 $\overline{\text{PGM}}$ 端子の設定により、表22-3のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表22-3 PROMプログラミングの動作モード

端子	$\overline{\text{RESET}}$	V_{PP}	V_{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	D0-D7
動作モード							
ページ・データ・ラッチ	L	+12.5 V	+6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				X	H	H	ハイ・インピーダンス
				X	L	L	
読み出し	+5 V	+5 V	L	L	H	データ出力	
出力ディスエーブル			L	H	X	ハイ・インピーダンス	
スタンバイ			H	X	X	ハイ・インピーダンス	

X: LまたはH

(1) 読み出しモード

$\overline{\text{CE}} = \text{L}$, $\overline{\text{OE}} = \text{L}$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{\text{OE}} = \text{H}$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数の μ PD78P064, 78P064Yを接続した場合、 $\overline{\text{OE}}$ 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 \overline{OE} の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1 ページ 4 バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより1 ページ 4 バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1 回のプログラム・パルスでプログラムされない場合にはX回($X \leq 10$)の書き込みとベリファイを繰り返して実行します。

(6) バイト書き込みモード

$\overline{CE} = L$, $\overline{OE} = H$ の状態では \overline{PGM} 端子に0.1 msのプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1 回のプログラム・パルスでプログラムされない場合にはX回($X \leq 10$)の書き込みとベリファイを繰り返して実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L$, $\overline{PGM} = H$, $\overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

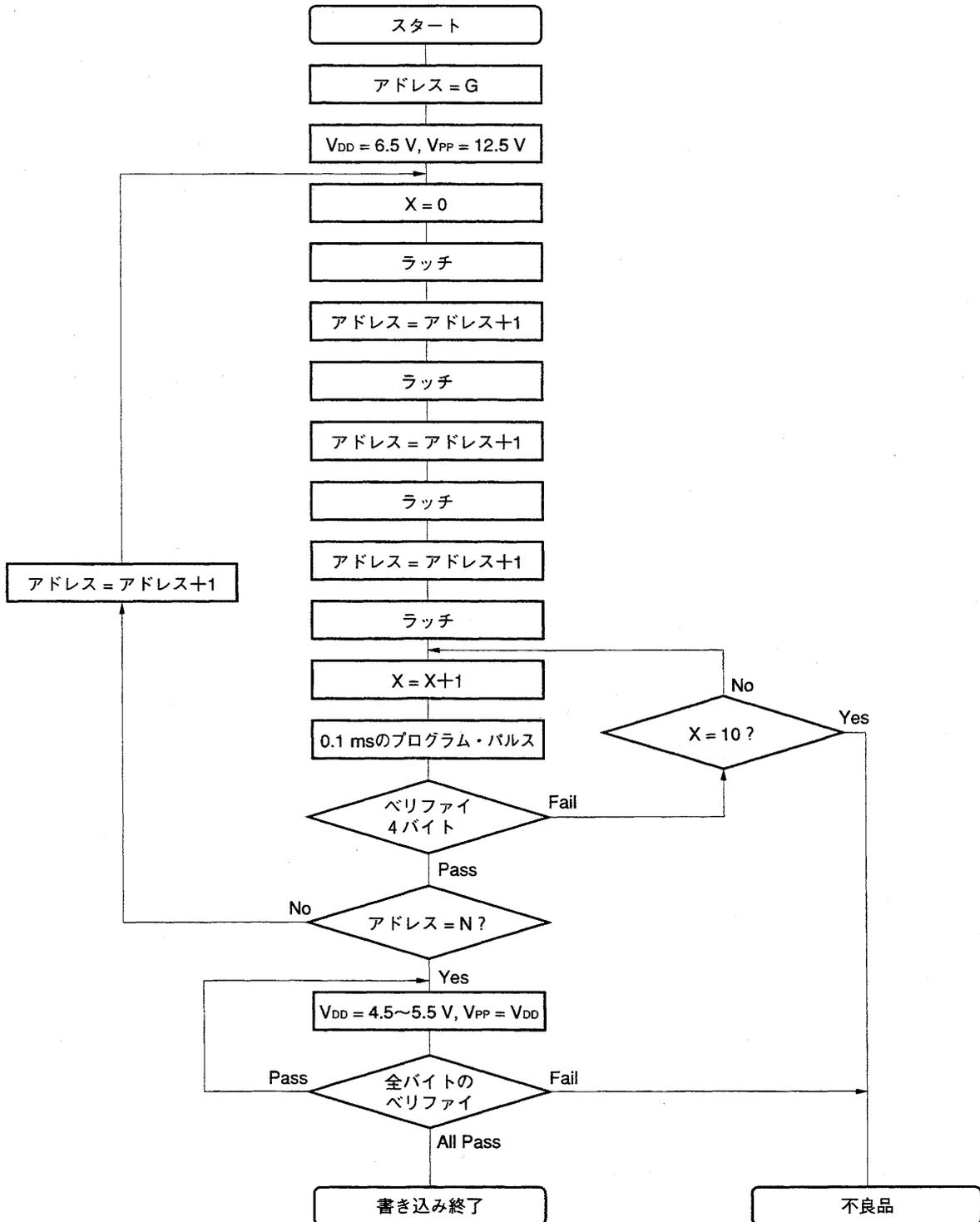
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数の μ PD78P064, 78P064Yの \overline{OE} 端子、 V_{PP} 端子、D0-D7端子がパラレルに接続されている状態でその中の1個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 \overline{PGM} 端子をハイ・レベルにしたデバイスには書き込みが行われません。

22.2.2 PROM書き込みの手順

図22-2 ページ・プログラム・モード・フロー・チャート



備考 G = 開始アドレス

N = プログラムの最終アドレス

図22-3 ページ・プログラム・モード・タイミング

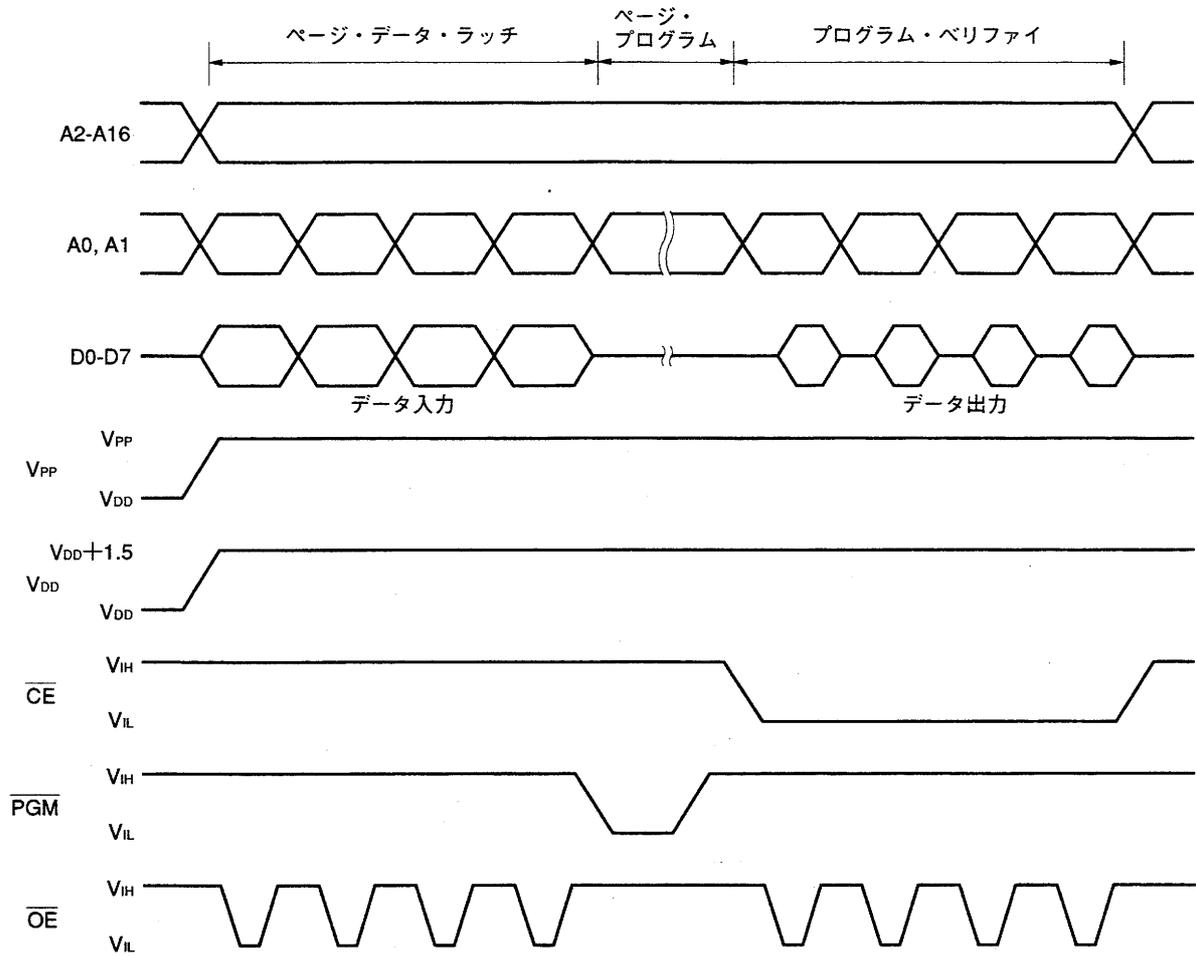
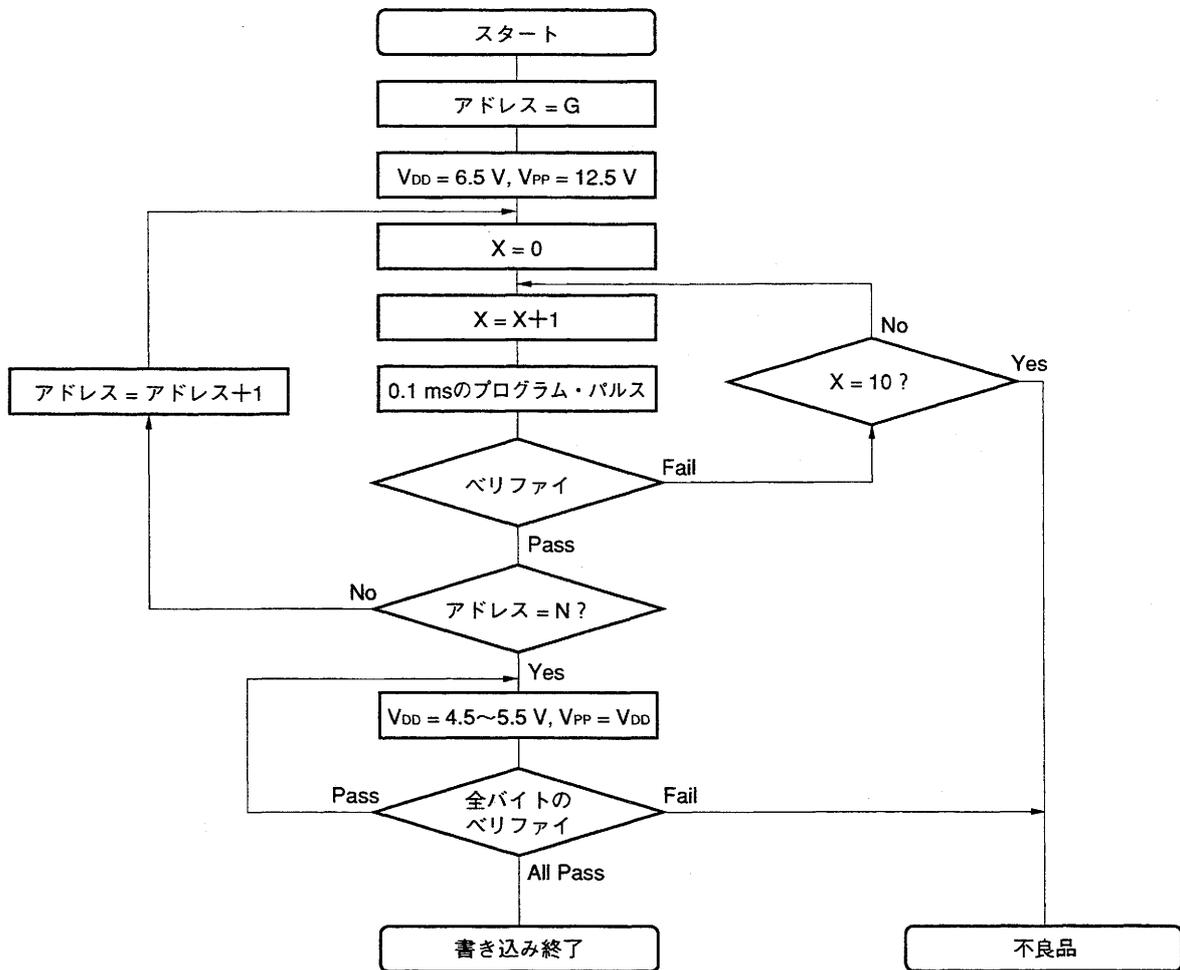


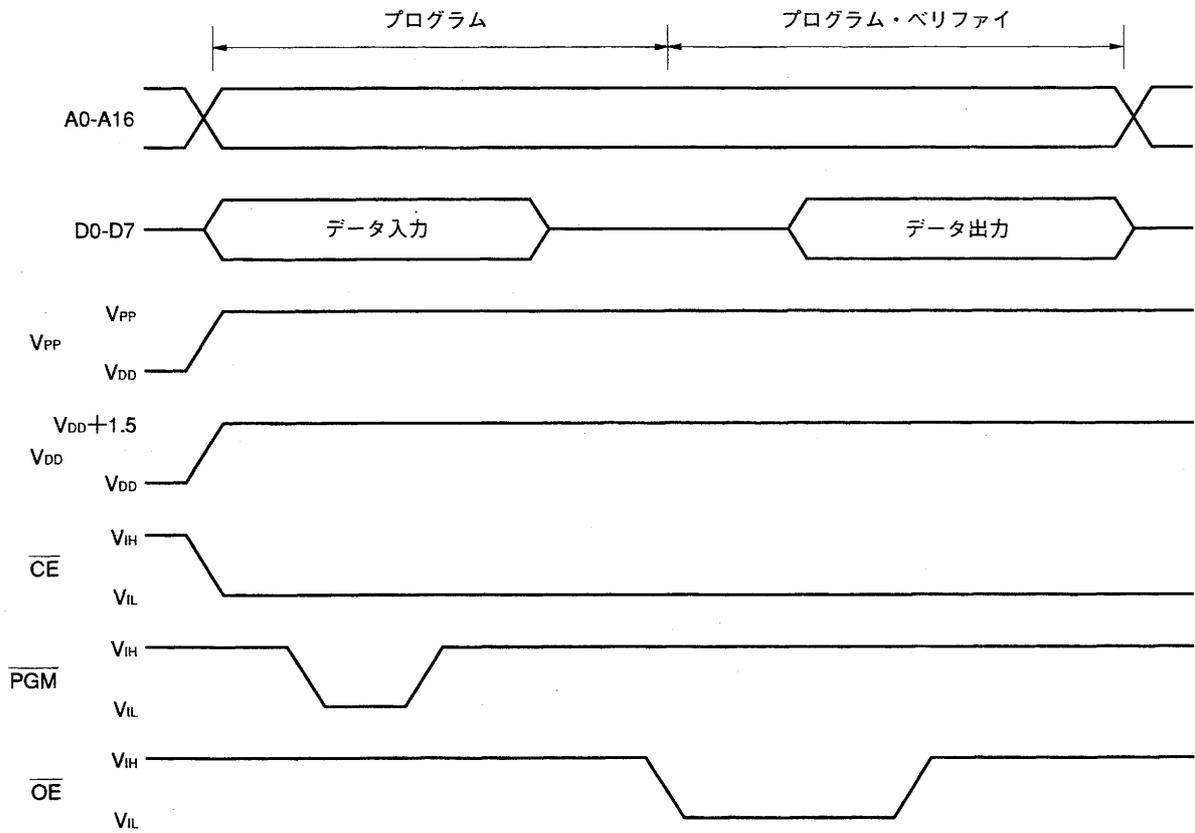
図22-4 バイト・プログラム・モード・フロー・チャート



備考 G = 開始アドレス

N = プログラムの最終アドレス

図22-5 バイト・プログラム・モード・タイミング



- 注意 1. V_{DD}はV_{PP}より前に印加し、V_{PP}のあとから切断するようにしてください。
2. V_{PP}はオーバシュートを含めて+13.5V以上にならないようにしてください。
3. V_{PP}に+12.5Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

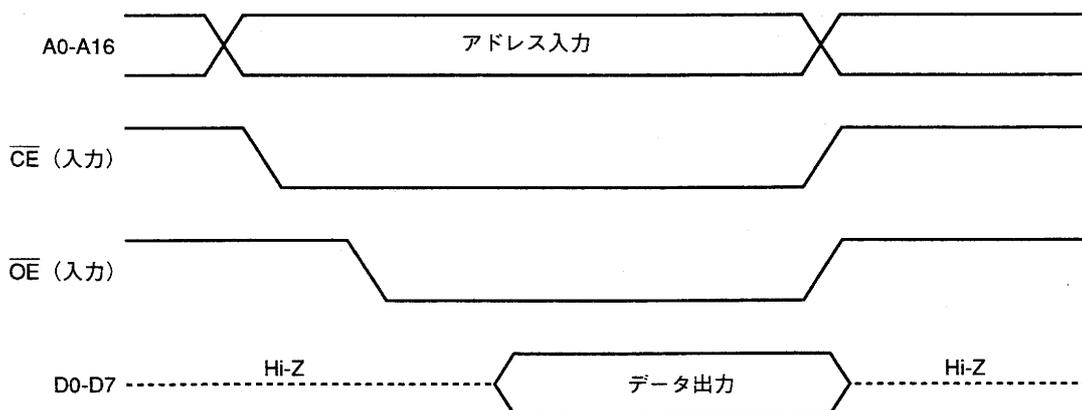
22.2.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス(D0-D7)に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定、 V_{PP} 端子に+5Vを供給、その他、使用しない端子は1.4 (2) PROMプログラミング・モードに示すように処理する。
- (2) V_{DD} , V_{PP} 端子に+5Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の(2)-(5)のタイミングを図22-6に示します。

図22-6 PROMの読み出しタイミング



22.3 消去方法 (μ PD78P064KL-T, 78P064YKL-Tのみ)

μ PD78P064KL-T, 78P064YKL-Tは、プログラム・メモリに書き込まれたデータの内容を消去 (FFH) して、再書き込みをすることができます。

データの内容を消去する場合は、約400 nmより短い波長の光を消去用窓部に照射して行います。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・紫外線強度×消去時間：15 W·s/cm²以上
- ・消去時間：15～20分 (12,000 μ W/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くなる場合があります。)

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射を行ってください。

22.4 消去用窓のシールについて (μ PD78P064KL-T, 78P064YKL-Tのみ)

EPROM内容の消去用ランプ以外の光による誤消去防止、およびEPROM以外の内部回路が光によって誤動作するのを防止するため、EPROM内容消去時以外は保護用シールを消去用窓に張っておいてください。

22.5 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品 (μ PD78P064GC-7EA, 78P064GF-3BA, 78P064YGC-7EA, 78P064YGF-3BA) は、その構造上、当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125 °C	24時間

- ★ なお、NECでは、QTOP™マイコンの名称でワン・タイムPROMの書き込みから捺印、スクリーニング、ベリファイを有料で行うサービスを実施しています。詳細につきましては、販売員にご相談ください。

第23章 命令セットの概要

μ PD78064, 78064Yサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K/0シリーズ ユーザーズ・マニュアル 命令編(IEU-849)を参照してください。

23.1 凡 例

23.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称(X、A、Cなど)、絶対名称(下表の中のカッコ内の名称、R0、R1、R2など)のいずれの形式でも記述可能です。

表23-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号(16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはレーベル
saddrp	FE20H-FF1FH イミーディエト・データまたはレーベル(偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはレーベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはレーベル
addr5	0040H-007FH イミーディエト・データまたはレーベル(偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表5-4 特殊機能レジスタ一覧を参照してください。

23.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ(ディスプレイメント値)

23.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
X	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

23.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	—	r←byte			
		saddr, #byte	3	6	7	(saddr)←byte			
		sfr, #byte	3	—	7	sfr←byte			
		A, r <small>注3</small>	1	2	—	A←r			
		r, A <small>注3</small>	1	2	—	r←A			
		A, saddr	2	4	5	A←(saddr)			
		saddr, A	2	4	5	(saddr)←A			
		A, sfr	2	—	5	A←sfr			
		sfr, A	2	—	5	sfr←A			
		A, laddr16	3	8	9	A←(addr16)			
		laddr16, A	3	8	9	(addr16)←A			
		PSW, #byte	3	—	7	PSW←byte	×	×	×
		A, PSW	2	—	5	A←PSW			
		PSW, A	2	—	5	PSW←A	×	×	×
		A, [DE]	1	4	5	A←(DE)			
		[DE], A	1	4	5	(DE)←A			
		A, [HL]	1	4	5	A←(HL)			
		[HL], A	1	4	5	(HL)←A			
		A, [HL+byte]	2	8	9	A←(HL+byte)			
		[HL+byte], A	2	8	9	(HL+byte)←A			
		A, [HL+B]	1	6	7	A←(HL+B)			
		[HL+B], A	1	6	7	(HL+B)←A			
		A, [HL+C]	1	6	7	A←(HL+C)			
[HL+C], A	1	6	7	(HL+C)←A					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r=Aを除く。

備考 命令の1クロックはPCCで選択したCPUクロック(fCPU)の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, r ^{注3}	1	2	—	A ↔ r			
		A, saddr	2	4	6	A ↔ (saddr)			
		A, sfr	2	—	6	A ↔ (sfr)			
		A, laddr16	3	8	10	A ↔ (addr16)			
		A, [DE]	1	4	6	A ↔ (DE)			
		A, [HL]	1	4	6	A ↔ (HL)			
		A, [HL+byte]	2	8	10	A ↔ (HL+byte)			
		A, [HL+B]	2	8	10	A ↔ (HL+B)			
		A, [HL+C]	2	8	10	A ↔ (HL+C)			
16ビット・データ転送	MOVW	rp, #word	3	6	—	rp ← word			
		saddrp, #word	4	8	10	(saddrp) ← word			
		sfrp, #word	4	—	10	sfrp ← word			
		AX, saddrp	2	6	8	AX ← (saddrp)			
		saddrp, AX	2	6	8	(saddrp) ← AX			
		AX, sfrp	2	—	8	AX ← sfrp			
		sfrp, AX	2	—	8	sfrp ← AX			
		AX, rp ^{注4}	1	4	—	AX ← rp			
		rp, AX ^{注4}	1	4	—	rp ← AX			
		AX, laddr16	3	10	12	AX ← (addr16)			
	laddr16, AX	3	10	12	(addr16) ← AX				
XCHW	AX, rp ^{注4}	1	4	—	AX ↔ rp				
8ビット演算	ADD	A, #byte	2	4	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY ← (saddr) + byte	×	×	×
		A, r ^{注3}	2	4	—	A, CY ← A + r	×	×	×
		r, A	2	4	—	r, CY ← r + A	×	×	×
		A, saddr	2	4	5	A, CY ← A + (saddr)	×	×	×
		A, laddr16	3	8	9	A, CY ← A + (addr16)	×	×	×
		A, [HL]	1	4	5	A, CY ← A + (HL)	×	×	×
		A, [HL+byte]	2	8	9	A, CY ← A + (HL+byte)	×	×	×
		A, [HL+B]	2	8	9	A, CY ← A + (HL+B)	×	×	×
A, [HL+C]	2	8	9	A, CY ← A + (HL+C)	×	×	×		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

4. rp = BC, DE, HLのときのみ。

備考 命令の1クロックはPCCで選択したCPUクロック (fcpu) の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	4	—	A, CY←A+byte+CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)+byte+CY	×	×	×
		A, r ^{注3}	2	4	—	A, CY←A+r+CY	×	×	×
		r, A	2	4	—	r, CY←r+A+CY	×	×	×
		A, saddr	2	4	5	A, CY←A+(saddr)+CY	×	×	×
		A, !addr16	3	8	9	A, CY←A+(addr16)+CY	×	×	×
		A, [HL]	1	4	5	A, CY←A+(HL)+CY	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A+(HL+byte)+CY	×	×	×
		A, [HL+B]	2	8	9	A, CY←A+(HL+B)+CY	×	×	×
		A, [HL+C]	2	8	9	A, CY←A+(HL+C)+CY	×	×	×
	SUB	A, #byte	2	4	—	A, CY←A-byte	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte	×	×	×
		A, r ^{注3}	2	4	—	A, CY←A-r	×	×	×
		r, A	2	4	—	r, CY←r-A	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)	×	×	×
		A, !addr16	3	8	9	A, CY←A-(addr16)	×	×	×
		A, [HL]	1	4	5	A, CY←A-(HL)	×	×	×
		A, [HL+byte]	2	8	9	A, CY←A-(HL+byte)	×	×	×
		A, [HL+B]	2	8	9	A, CY←A-(HL+B)	×	×	×
		A, [HL+C]	2	8	9	A, CY←A-(HL+C)	×	×	×
	SUBC	A, #byte	2	4	—	A, CY←A-byte-CY	×	×	×
		saddr, #byte	3	6	8	(saddr), CY←(saddr)-byte-CY	×	×	×
		A, r ^{注3}	2	4	—	A, CY←A-r-CY	×	×	×
		r, A	2	4	—	r, CY←r-A-CY	×	×	×
		A, saddr	2	4	5	A, CY←A-(saddr)-CY	×	×	×
		A, !addr16	3	8	9	A, CY←A-(addr16)-CY	×	×	×
		A, [HL]	1	4	5	A, CY←A-(HL)-CY	×	×	×
A, [HL+byte]		2	8	9	A, CY←A-(HL+byte)-CY	×	×	×	
A, [HL+B]		2	8	9	A, CY←A-(HL+B)-CY	×	×	×	
A, [HL+C]		2	8	9	A, CY←A-(HL+C)-CY	×	×	×	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r=Aを除く。

備考 命令の1クロックはPCCで選択したCPUクロック (fcpu) の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	AND	A, #byte	2	4	—	$A \leftarrow A \wedge \text{byte}$		X	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$		X	
		A, r <small>注3</small>	2	4	—	$A \leftarrow A \wedge r$		X	
		r, A	2	4	—	$r \leftarrow r \wedge A$		X	
		A, saddr	2	4	5	$A \leftarrow A \wedge (\text{saddr})$		X	
		A, laddr16	3	8	9	$A \leftarrow A \wedge (\text{addr16})$		X	
		A, [HL]	1	4	5	$A \leftarrow A \wedge (\text{HL})$		X	
		A, [HL+byte]	2	8	9	$A \leftarrow A \wedge (\text{HL}+\text{byte})$		X	
		A, [HL+B]	2	8	9	$A \leftarrow A \wedge (\text{HL}+\text{B})$		X	
		A, [HL+C]	2	8	9	$A \leftarrow A \wedge (\text{HL}+\text{C})$		X	
	OR	A, #byte	2	4	—	$A \leftarrow A \vee \text{byte}$		X	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$		X	
		A, r <small>注3</small>	2	4	—	$A \leftarrow A \vee r$		X	
		r, A	2	4	—	$r \leftarrow r \vee A$		X	
		A, saddr	2	4	5	$A \leftarrow A \vee (\text{saddr})$		X	
		A, laddr16	3	8	9	$A \leftarrow A \vee (\text{addr16})$		X	
		A, [HL]	1	4	5	$A \leftarrow A \vee (\text{HL})$		X	
		A, [HL+byte]	2	8	9	$A \leftarrow A \vee (\text{HL}+\text{byte})$		X	
		A, [HL+B]	2	8	9	$A \leftarrow A \vee (\text{HL}+\text{B})$		X	
		A, [HL+C]	2	8	9	$A \leftarrow A \vee (\text{HL}+\text{C})$		X	
	XOR	A, #byte	2	4	—	$A \leftarrow A \nabla \text{byte}$		X	
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$		X	
		A, r <small>注3</small>	2	4	—	$A \leftarrow A \nabla r$		X	
		r, A	2	4	—	$r \leftarrow r \nabla A$		X	
		A, saddr	2	4	5	$A \leftarrow A \nabla (\text{saddr})$		X	
		A, laddr16	3	8	9	$A \leftarrow A \nabla (\text{addr16})$		X	
		A, [HL]	1	4	5	$A \leftarrow A \nabla (\text{HL})$		X	
A, [HL+byte]		2	8	9	$A \leftarrow A \nabla (\text{HL}+\text{byte})$		X		
A, [HL+B]		2	8	9	$A \leftarrow A \nabla (\text{HL}+\text{B})$		X		
A, [HL+C]		2	8	9	$A \leftarrow A \nabla (\text{HL}+\text{C})$		X		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r=Aを除く。

備考 命令の1クロックはPCCで選択したCPUクロック(fcpu)の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	4	—	A-byte	×	×	×
		saddr, #byte	3	6	8	(saddr)-byte	×	×	×
		A, r ^{注3}	2	4	—	A-r	×	×	×
		r, A	2	4	—	r-A	×	×	×
		A, saddr	2	4	5	A-(saddr)	×	×	×
		A, laddr16	3	8	9	A-(addr16)	×	×	×
		A, [HL]	1	4	5	A-(HL)	×	×	×
		A, [HL+byte]	2	8	9	A-(HL+byte)	×	×	×
		A, [HL+B]	2	8	9	A-(HL+B)	×	×	×
A, [HL+C]	2	8	9	A-(HL+C)	×	×	×		
16ビット演算	ADDW	AX, #word	3	6	—	AX, CY←AX+word	×	×	×
	SUBW	AX, #word	3	6	—	AX, CY←AX-word	×	×	×
	CMPW	AX, #word	3	6	—	AX-word	×	×	×
乗除算	MULU	X	2	16	—	AX←A×X			
	DIVUW	C	2	25	—	AX(商), C(余り)←AX÷C			
増減	INC	r	1	2	—	r←r+1	×	×	
		saddr	2	4	6	(saddr)←(saddr)+1	×	×	
	DEC	r	1	2	—	r←r-1	×	×	
		saddr	2	4	6	(saddr)←(saddr)-1	×	×	
	INCW	rp	1	4	—	rp←rp+1			
DECW	rp	1	4	—	rp←rp-1				
ローテート	ROR	A, 1	1	2	—	(CY, A7←A0, Am-1←Am)×1回			×
	ROL	A, 1	1	2	—	(CY, A0←A7, Am+1←Am)×1回			×
	RORC	A, 1	1	2	—	(CY←A0, A7←CY, Am-1←Am)×1回			×
	ROLC	A, 1	1	2	—	(CY←A7, A0←CY, Am+1←Am)×1回			×
	ROR4	[HL]	2	10	12	A3-0←(HL)3-0, (HL)7-4←A3-0, (HL)3-0←(HL)7-4			
ROL4	[HL]	2	10	12	A3-0←(HL)7-4, (HL)3-0←A3-0, (HL)7-4←(HL)3-0				
BCD補正	ADJBA		2	4	—	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	—	Decimal Adjust Accumulator after Subtract	×	×	×

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r=Aを除く。

備考 命令の1クロックはPCCで選択したCPUクロック(fCPU)の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY←(saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←sfr.bit			×
		CY, A.bit	2	4	—	CY←A.bit			×
		CY, PSW.bit	3	—	7	CY←PSW.bit			×
		CY, [HL].bit	2	6	7	CY←(HL).bit			×
		saddr.bit, CY	3	6	8	(saddr.bit)←CY			
		sfr.bit, CY	3	—	8	sfr.bit←CY			
		A.bit, CY	2	4	—	A.bit←CY			
		PSW.bit, CY	3	—	8	PSW.bit←CY	×	×	
		[HL].bit, CY	2	6	8	(HL).bit←CY			
	AND1	CY, saddr.bit	3	6	7	CY←CY ∧ (saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←CY ∧ sfr.bit			×
		CY, A.bit	2	4	—	CY←CY ∧ A.bit			×
		CY, PSW.bit	3	—	7	CY←CY ∧ PSW.bit			×
		CY, [HL].bit	2	6	7	CY←CY ∧ (HL).bit			×
	OR1	CY, saddr.bit	3	6	7	CY←CY ∨ (saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←CY ∨ sfr.bit			×
		CY, A.bit	2	4	—	CY←CY ∨ A.bit			×
		CY, PSW.bit	3	—	7	CY←CY ∨ PSW.bit			×
		CY, [HL].bit	2	6	7	CY←CY ∨ (HL).bit			×
	XOR1	CY, saddr.bit	3	6	7	CY←CY ⊕ (saddr.bit)			×
		CY, sfr.bit	3	—	7	CY←CY ⊕ sfr.bit			×
		CY, A.bit	2	4	—	CY←CY ⊕ A.bit			×
		CY, PSW.bit	3	—	7	CY←CY ⊕ PSW.bit			×
		CY, [HL].bit	2	6	7	CY←CY ⊕ (HL).bit			×
	SET1	saddr.bit	2	4	6	(saddr.bit)←1			
		sfr.bit	3	—	8	sfr.bit←1			
		A.bit	2	4	—	A.bit←1			
		PSW.bit	2	—	6	PSW.bit←1	×	×	×
		[HL].bit	2	6	8	(HL).bit←1			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはPCCで選択したCPUクロック(fcpu)の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	CLR1	saddr.bit	2	4	6	(saddr.bit)←0			
		sfr.bit	3	—	8	sfr.bit←0			
		A.bit	2	4	—	A.bit←0			
		PSW.bit	2	—	6	PSW.bit←0	×	×	×
		[HL].bit	2	6	8	(HL).bit←0			
	SET1	CY	1	2	—	CY←1			1
	CLR1	CY	1	2	—	CY←0			0
NOT1	CY	1	2	—	CY← \overline{CY}			×	
コール・リターン	CALL	laddr16	3	7	—	(SP-1)←(PC+3) _H , (SP-2)←(PC+3) _L , PC←laddr16, SP←SP-2			
	CALLF	laddr11	2	5	—	(SP-1)←(PC+2) _H , (SP-2)←(PC+2) _L , PC ₁₅₋₁₁ ←00001, PC ₁₀₋₀ ←laddr11, SP←SP-2			
	CALLT	[addr5]	1	6	—	(SP-1)←(PC+1) _H , (SP-2)←(PC+1) _L , PC _H ←(00000000, addr5+1), PC _L ←(00000000, addr5), SP←SP-2			
	BRK		1	6	—	(SP-1)←PSW, (SP-2)←(PC+1) _H , (SP-3)←(PC+1) _L , PC _H ←(003FH), PC _L ←(003EH), SP←SP-3, IE←0			
	RET		1	6	—	PC _H ←(SP+1), PC _L ←(SP), SP←SP+2			
	RETI		1	6	—	PC _H ←(SP+1), PC _L ←(SP), PSW←(SP+2), SP←SP+3, NMIS←0	R	R	R
	RETB		1	6	—	PC _H ←(SP+1), PC _L ←(SP), PSW←(SP+2), SP←SP+3	R	R	R
スタック操作	PUSH	PSW	1	2	—	(SP-1)←PSW, SP←SP-1			
		rp	1	4	—	(SP-1)←rp _H , (SP-2)←rp _L , SP←SP-2			
	POP	PSW	1	2	—	PSW←(SP), SP←SP+1	R	R	R
		rp	1	4	—	rp _H ←(SP+1), rp _L ←(SP), SP←SP+2			
	MOVW	SP, #word	4	—	10	SP←word			
		SP, AX	2	—	8	SP←AX			
AX, SP		2	—	8	AX←SP				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはPCCで選択したCPUクロック(fCPU)の1クロック分です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
無条件分岐	BR	laddr16	3	6	—	PC←addr16			
		\$addr16	2	6	—	PC←PC+2+jdisp8			
		AX	2	8	—	PC _H ←A, PC _L ←X			
条件付き分岐	BC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 1			
	BNC	\$addr16	2	6	—	PC←PC+2+jdisp8 if CY = 0			
	BZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	—	PC←PC+2+jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC←PC+3+jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	—	9	PC←PC+3+jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC←PC+3+jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC←PC+4+jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	—	11	PC←PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC←PC+3+jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC←PC+4+jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	—	12	PC←PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	—	PC←PC+3+jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	—	12	PC←PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×	
[HL].bit, \$addr16		3	10	12	PC←PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはPCCで選択したCPUクロック (fcPU)の1クロック分です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	—	B←B-1, then PC←PC+2+jdisp8 if B ≠ 0			
		C, \$addr16	2	6	—	C←C-1, then PC←PC+2+jdisp8 if C ≠ 0			
		saddr, \$addr16	3	8	10	(saddr)←(saddr)-1, then PC←PC+3+jdisp8 if (saddr) ≠ 0			
CPU制御	SEL	RBn	2	4	—	RBS1, 0←n			
	NOP		1	2	—	No Operation			
	EI		2	—	6	IE←1 (Enable Interrupt)			
	DI		2	—	6	IE←0 (Disable Interrupt)			
	HALT		2	6	—	Set HALT Mode			
	STOP		2	6	—	Set STOP Mode			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考 命令の1クロックはPCCで選択したCPUクロック (fcPU) の1クロック分です。

23.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド	#byte	A	r ^注	sfr	saddr	laddr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
r1											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
laddr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
第1オペランド								
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
第1オペランド								
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド	AX	laddr16	laddr11	[addr5]	\$addr16
第1オペランド					
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

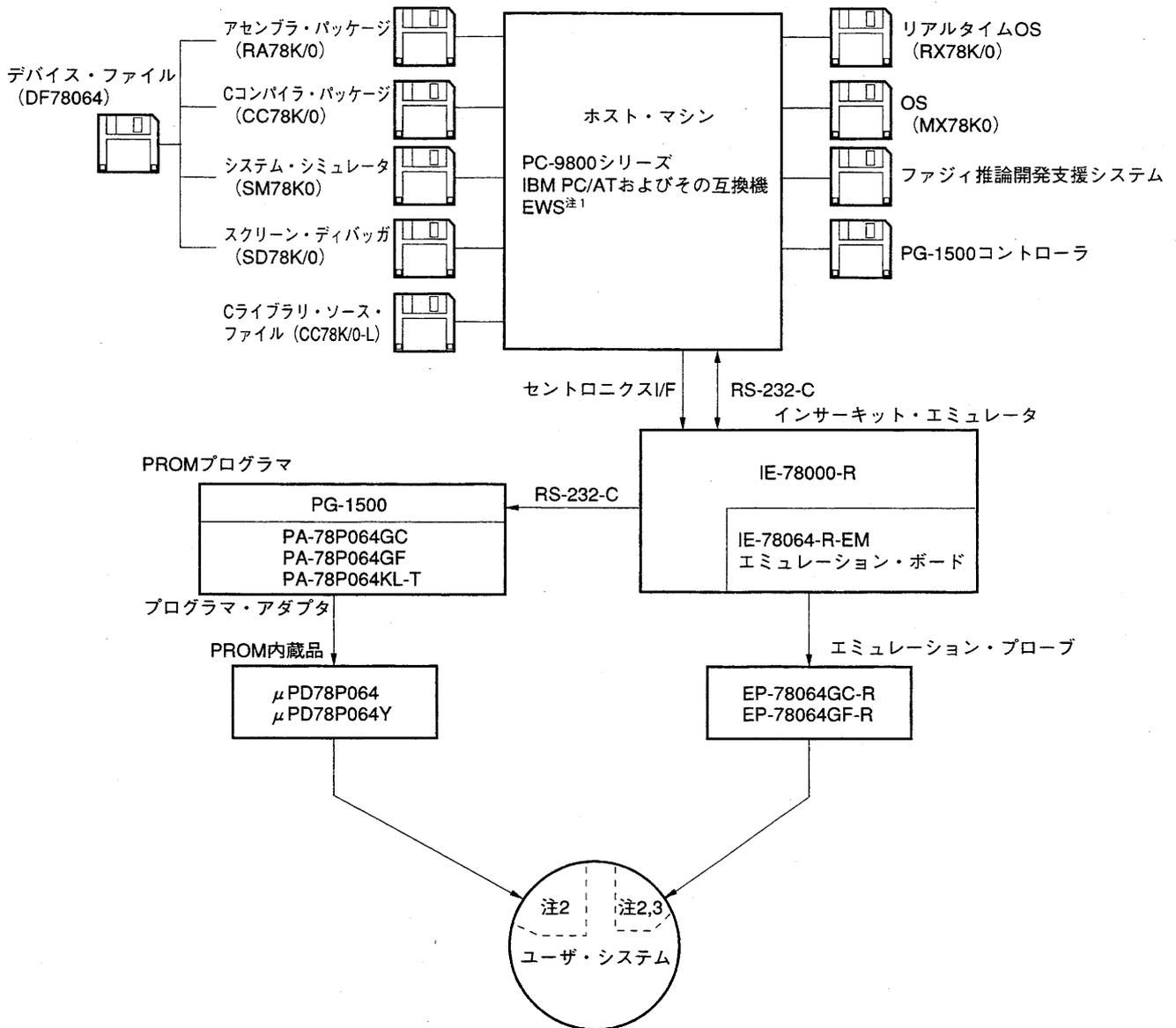
ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

付録 A 開発ツール

μ PD78064, 78064Yサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。
図A-1に開発ツール構成を示します。

★

図A-1 開発ツール構成



注1. システム・シミュレータ、スクリーン・ディバッガ、ファジィ推論開発支援システム、PG-1500コントローラを除く。

- 2. EV-9200GF-100 (EP-78064GF-Rまたは100ピン・セラミックWQFNを使用する場合)
- 3. EV-9500GC-100 (EP-78064GC-Rを使用する場合)

備考 この図では、ソフトウェアの供給媒体を3.5インチFDで代表しています。

A.1 言語処理用ソフトウェア

RA78K/0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル (DF78064) と組み合わせて使用します。 オーダ名称: μ SXXXXRA78K0
CC78K/0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K/0) およびデバイス・ファイル (DF78064) と組み合わせて使用します。 オーダ名称: μ SXXXXCC78K0
DF78064 ^注 デバイス・ファイル	μ PD78064, 78064Yサブシリーズ用のデバイス・ファイルです。 別売のRA78K/0, CC78K/0, SM78K/0, SD78K/0と組み合わせて使用します。 オーダ名称: μ SXXXXDF78064
CC78K/0-L Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージ (CC78K/0) に含まれているオブジェクト・ライブラリを構成する関数のソース・プログラムです。 CC78K/0に含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 オーダ名称: μ SXXXXCC78K0-L

注 DF78064は、RA78K/0, CC78K/0, SM78K/0, SD78K/0のすべての製品に共通に使用できます。

備考 オーダ名称のXXXXは、使用するホスト・マシン、OSにより異なります。

μ SXXXXRA78K0
 μ SXXXXCC78K0
 μ SXXXXDF78064
 μ SXXXXCC78K0-L

XXXX	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS™	3.5インチ2HD
5A10		(Ver.3.30~Ver.5.00A ^注)	5インチ2HD
7B13	IBM PC/ATおよび	A.4参照	3.5インチ2HC
7B10	その互換機		5インチ2HC
3H15	HP9000シリーズ300™	HP-UX™ (rel.7.05B)	カートリッジ・テープ(QIC-24)
3P16	HP9000シリーズ700™	HP-UX (rel.9.01)	デジタル・オーディオ・テープ(DAT)
3K15	SPARCstation™	SunOS™ (rel.4.1.1)	カートリッジ・テープ(QIC-24)
3M15	EWS-4800シリーズ(RISC)	EWS-UX/V (rel.4.0)	

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。



A.2 PROM書き込み用ツール

ハードウェア	PG-1500	付属ボードおよび別売のPROMプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。			
	PA-78P064GC PA-78P064GF PA-78P064KL-T	μ PD78P064, 78P064Y用のPROMプログラマ・アダプタで、PG-1500に接続して使用します。 PA-78P064GC : 100ピン・プラスチックQFP (□14 mm) 用 PA-78P064GF : 100ピン・プラスチックQFP (14×20 mm) 用 PA-78P064KL-T : 100ピン・セラミックWQFN (14×20 mm) 用			
ソフトウェア	PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。			
		ホスト・マシン	OS	供給媒体	オーダ名称(品名)
		PC-9800シリーズ	MS-DOS (Ver.3.30~Ver.5.00A ^注)	3.5インチ2HD	μ S5A13PG1500
				5インチ2HD	μ S5A10PG1500
		IBM PC/ATおよび その互換機	A.4 参照	3.5インチ2HC	μ S7B13PG1500
	5インチ2HC			μ S7B10PG1500	

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

A.3 ディバグ用ツール

A.3.1 ハードウェア

IE-78000-R インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。エミュレーション・プローブと組み合わせて使用します。 ホスト・マシン、PROMプログラマと接続して効率的なディバグが行えます。
IE-78064-R-EM エミュレーション・ボード	μPD78064, 78064Yサブシリーズ用のエミュレーション・ボードです（3～5.5V対応）。
EP-78064GC-R エミュレーション・プローブ	μPD78064, 78064Yサブシリーズ用のエミュレーション・プローブです。 100ピン・プラスチックQFP（□14mm）用です。 ユーザ・システムの開発を容易にする100ピン変換アダプタEV-9500GC-100が1個添付されています。
EV-9500GC-100 変換アダプタ	100ピン・プラスチックQFP（□14mm）を実装できるように作られたユーザ・システムの基板と、EP-78064GC-Rを接続するための変換アダプタです。
EP-78064GF-R エミュレーション・プローブ	μPD78064, 78064Yサブシリーズ用のエミュレーション・プローブです。 100ピン・プラスチックQFP（14×20mm）用です。 ユーザ・システムの開発を容易にする100ピン変換ソケットEV-9200GF-100が1個添付されています。
EV-9200GF-100 変換ソケット	100ピン・プラスチックQFP（14×20mm）を実装できるように作られたユーザ・システムの基板と、EP-78064GF-Rを接続するための変換ソケットです。
EV-9900	EV-9200GF-100からμPD78P064KL-T, 78P064YKL-Tを取り外す際に用いる治具です。

備考 EV-9500GC-100は1個単位で販売しています。

EV-9200GF-100は5個を1組として、1組単位で販売しています。

A.3.2 ソフトウェア

★

SM78K0 システム・シミュレータ	<p>ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。</p> <p>SM78K0はWindows™上で動作します。</p> <p>SM78K0を使用することにより、IE-78000-Rを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行うことができます。開発効率やソフトウェア品質の向上が図れます。</p> <p>別売のデバイス・ファイル (DF78064) と組み合わせて使用します。</p> <p>オーダー名称：μS××××SM78K0</p>
SD78K/0 スクリーン・ディバグ	<p>IE-78000-Rとホスト・マシンをシリアル・インタフェース (RS-232-C) で接続し、ホスト・マシン上でIE-78000-Rを制御するためのプログラムです。</p> <p>別売のデバイス・ファイル (DF78064) と組み合わせて使用します。</p> <p>オーダー名称：μS××××SD78K0</p>
DF78064 ^注 デバイス・ファイル	<p>μPD78064, 78064Yサブシリーズ用のデバイス・ファイルです。</p> <p>別売のSM78K0, SD78K/0, RA78K/0, CC78K/0と組み合わせて使用します。</p> <p>オーダー名称：μS××××DF78064</p>

注 DF78064は、RA78K/0, CC78K/0, SM78K0, SD78K/0のすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	MS-DOS (Ver.3.30~Ver.5.00A ^注) + Windows (Ver.3.0~Ver.3.1)	3.5インチ2HD
AA10			5インチ2HD
AB13	IBM PC/ATおよびその互換	A.4参照	3.5インチ2HC
AB10	機 (日本語Windows)		5インチ2HC
BB13	IBM PC/ATおよびその互換		3.5インチ2HC
BB10	機 (英語Windows)		5インチ2HC

μS××××SD78K0

μS××××DF78064

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver.3.30~Ver.5.00A ^注)	3.5インチ2HD
5A10			5インチ2HD
7B13	IBM PC/ATおよび	A.4参照	3.5インチ2HC
7B10	その互換機		5インチ2HC

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

A.4 IBM PC用のOSについて

★

IBM PC用のOSとして、次のものがサポートされています。

なお、SM78K0, FE9200 (B.2 ファジィ推論開発支援システム参照) を動作させる場合は、Windows (Ver.3.0 ~Ver.3.1) が必要です。

OS	バージョン
PC DOS	Ver.3.3~Ver.6.3
	J6.1/V ^注 ~J6.3/V ^注
IBM DOS™	J5.02/V ^注
MS-DOS	Ver.5.0~Ver.6.2
	5.0/V ^注 ~6.2/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

他のインサーキット・エミュレータからIE-78000-Rへのシステム・アップ方法

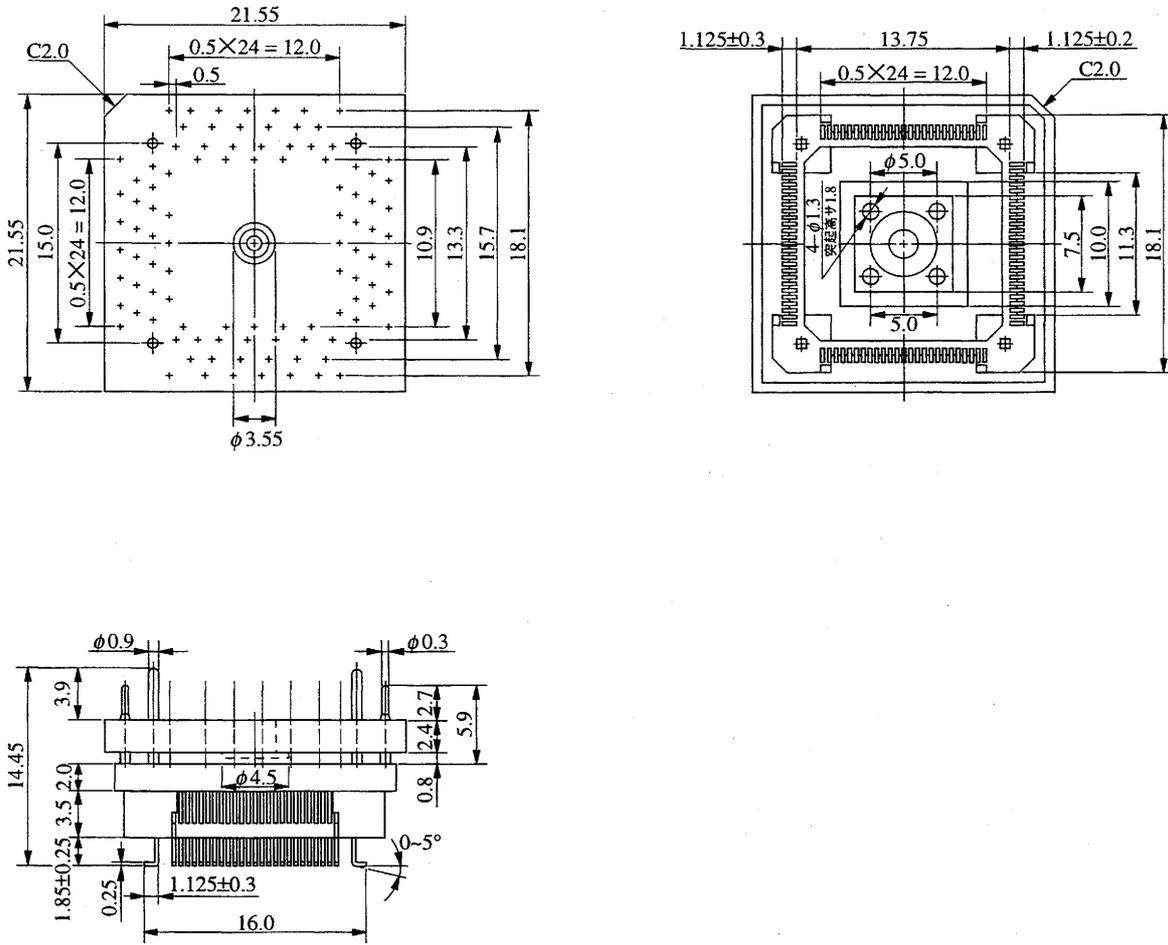
すでに78Kシリーズまたは75Xシリーズ用のインサーキット・エミュレータをお持ちの場合、本体内部のブレーク・ボードをIE-78000-R-BKに交換することにより、お持ちのインサーキット・エミュレータを78K0用のインサーキット・エミュレータIE-78000-Rと同等に使用することができます。

シリーズ名称	お持ちのインサーキット・エミュレータ	ご購入の必要なボード
75Xシリーズ	IE-75000-R ^注 , IE-75001-R	IE-78000-R-BK
78K/Iシリーズ	IE-78130-R, IE-78140-R	
78K/IIシリーズ	IE-78230-R ^注 , IE-78230-R-A	
	IE-78240-R ^注 , IE-78240-R-A	
78K/IIIシリーズ	IE-78320-R ^注 , IE-78327-R	
	IE-78330-R, IE-78350-R	

注 保守製品

変換アダプタ (EV-9500GC-100) の外形図

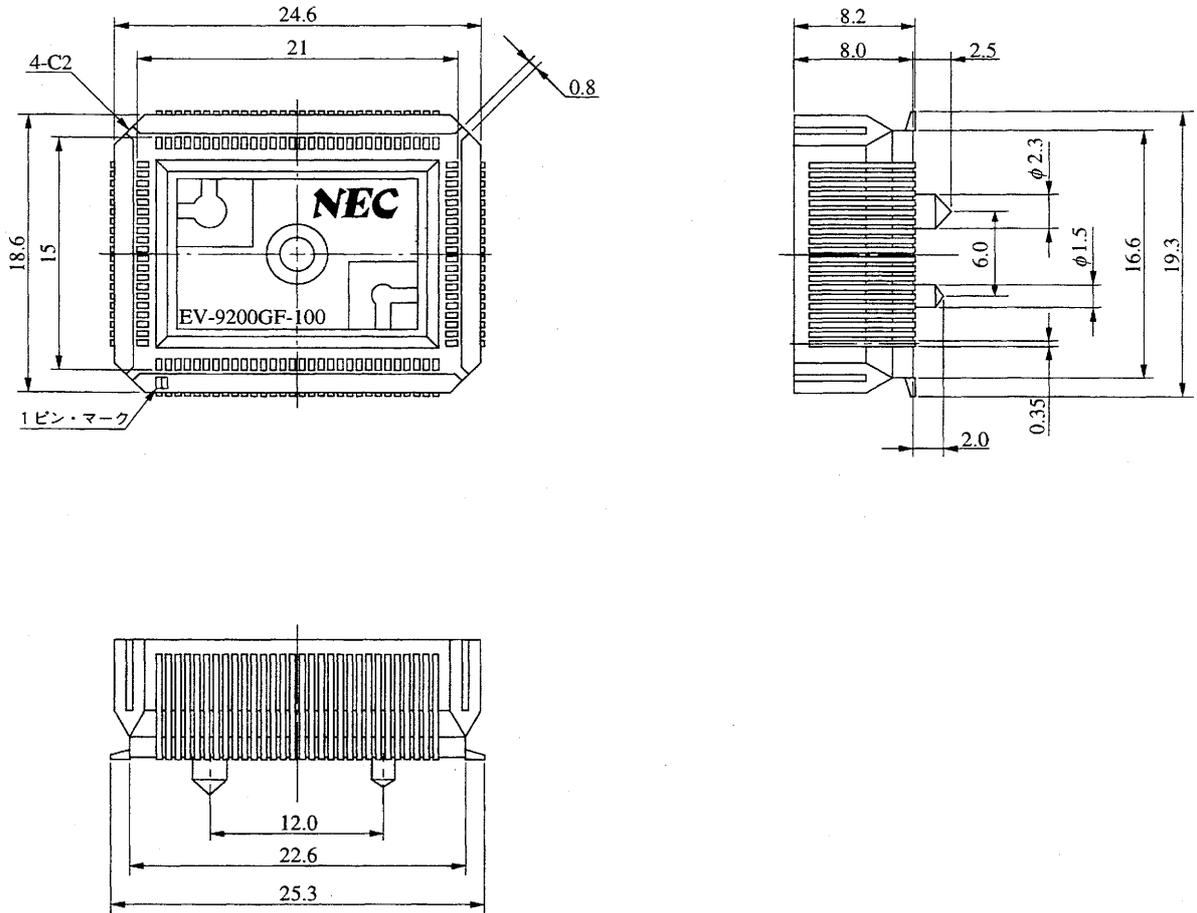
図A-2 変換アダプタ (EV-9500GC-100) 外形図 (参考) (単位: mm)



EV-9500GC-100-G0

変換ソケット (EV-9200GF-100) の外形図と基板取り付け推奨パターン

図A-3 変換ソケット (EV-9200GF-100) 外形図 (参考) (単位: mm)



EV-9200GF-100-G0

付録B 組み込み用ソフトウェア

μPD78064, 78064Yサブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

B.1 リアルタイムOS (1/2)

RX78K/0 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K/0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K/0）と組み合わせて使用します。 オーダ名称：μSXXXXRX78013-△△△△
---------------------	--

注意 RX78K/0を購入する場合、事前に購入申込書にご記入の上、使用許諾契約書を締結してください。

備考 オーダ名称のXXXXおよび△△△△は、使用するホスト・マシン、OSなどにより異なります。

μSXXXXRX78013-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

XXXX	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver.3.30~Ver.5.00A ^注)	3.5インチ2HD
5A10			5インチ2HD
7B13	IBM PC/ATおよび その互換機	A.4 参照	3.5インチ2HC
7B10			5インチ2HC
3H15	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・ テープ(QIC-24)
3P16	HP9000シリーズ700	HP-UX (rel.9.01)	デジタル・オーディ オ・テープ(DAT)
3K15	SPARCstation	SunOS (rel.4.1.1)	カートリッジ・ テープ(QIC-24)
3M15	EWS-4800シリーズ(RISC)	EWS-UX/V (rel.4.0)	

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

★ 付

B.1 リアルタイムOS (2/2)

★

MX78K0 OS	<p>μITRON仕様サブセットのOSです。MX78K0のニュークリアスを添付しています。タスク管理、イベント管理、時間管理を行います。タスク管理ではタスクの実行順序を制御し、次に実行するタスクへの切り替え処理を行います。</p> <p>オーダ名称：μSXXXXMX78K0-△△△</p>
--------------	---

備考 オーダ名称のXXXXおよび△△△は、使用するホスト・マシン、OSなどにより異なります。

μSXXXXMX78K0-△△△

△△△	製品概要	注意事項
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ、購入可能

XXXX	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS	3.5インチ2HD
5A10		(Ver.3.30~Ver.5.00A ^注)	5インチ2HD
7B13	IBM PC/ATおよび	A.4 参照	3.5インチ2HC
7B10	その互換機		5インチ2HC
3H15	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ(QIC-24)
3P16	HP9000シリーズ700	HP-UX (rel.9.01)	デジタル・オーディオ・テープ(DAT)
3K15	SPARCstation	SunOS (rel.4.1.1)	カートリッジ・テープ(QIC-24)
3M15	EWS-4800シリーズ(RISC)	EWS-UX/V (rel.4.0)	

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

B.2 ファジィ推論開発支援システム

FE9000/FE9200 ファジィ知識データ作成ツール	ファジィ知識データ（ファジィ・ルールおよびメンバシップ関数）の入力、編集（エディット）、評価（シミュレーション）を支援するプログラムです。 FE9200はWindows上で動作します。
	オーダ名称：μS××××FE9000（PC-9800シリーズ） μS××××FE9200（IBM PC/ATおよびその互換機）
FT9080/FT9085 トランスレータ	ファジィ知識データ作成ツールを用いて得たファジィ知識データを、RA78K/0用のアセンブラ・ソース・プログラムに変換するプログラムです。
	オーダ名称：μS××××FT9080（PC-9800シリーズ） μS××××FT9085（IBM PC/ATおよびその互換機）
FI78K0 ファジィ推論モジュール	ファジィ推論を実行するプログラムです。トランスレータによって変換されたファジィ知識データとリンクすることで、ファジィ推論を実行します。
	オーダ名称：μS××××FI78K0（PC-9800シリーズ、IBM PC/ATおよびその互換機）
FD78K0 ファジィ推論ディバッガ	ファジィ知識データを、インサーキット・エミュレータを使用してハードウェア・レベルで評価および調整するための支援ソフトウェアです。
	オーダ名称：μS××××FD78K0（PC-9800シリーズ、IBM PC/ATおよびその互換機）

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××FE9000
μS××××FT9080
μS××××FI78K0
μS××××FD78K0

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS	3.5インチ2HD
5A10		(Ver.3.30~Ver.5.00A ^注)	5インチ2HD

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

μS××××FE9200
μS××××FT9085
μS××××FI78K0
μS××××FD78K0

××××	ホスト・マシン	OS	供給媒体
7B13	IBM PC/ATおよび その互換機	A.4 参照	3.5インチ2HC
7B10			5インチ2HC

[x 毛]

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

[あ行]

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) …	352
アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) …	349
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) …	208
A/Dコンバータ入力選択レジスタ (ADIS) …	224
A/Dコンバータ・モード・レジスタ (ADM) …	222
A/D変換結果レジスタ (ADCR) …	221
LCD表示コントロール・レジスタ (LCDC) …	385
LCD表示モード・レジスタ (LCDM) …	383

[か行]

外部割り込みモード・レジスタ0 (INTM0) …	146, 417
外部割り込みモード・レジスタ1 (INTM1) …	225, 417
キー・リターン・モード・レジスタ (KRM) …	112, 433
キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) …	142
キャプチャ/コンペア・レジスタ00 (CR00) …	137
キャプチャ/コンペア・レジスタ01 (CR01) …	137
コンペア・レジスタ10 (CR10) …	181
コンペア・レジスタ20 (CR20) …	181

[さ行]

サンプリング・クロック選択レジスタ (SCS) …	147, 419
16ビット・タイマ出力コントロール・レジスタ (TOC0) …	143
16ビット・タイマ・モード・コントロール・レジスタ (TMC0) …	140
16ビット・タイマ・レジスタ (TM0) …	138
受信バッファ・レジスタ (RXB) …	347
シリアルI/Oシフト・レジスタ0 (SIO0) …	240, 294
シリアル動作モード・レジスタ0 (CSIM0) …	243, 298
シリアル動作モード・レジスタ2 (CSIM2) …	348
シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) …	245, 300
スレーブ・アドレス・レジスタ (SVA) …	240, 294
送信シフト・レジスタ (TXS) …	347

[た行]

タイマ・クロック選択レジスタ0 (TCL0)	…	138, 212
タイマ・クロック選択レジスタ1 (TCL1)	…	181
タイマ・クロック選択レジスタ2 (TCL2)	…	198, 206, 216
タイマ・クロック選択レジスタ3 (TCL3)	…	242, 297
時計用タイマ・モード・コントロール・レジスタ (TMC2)	…	201

[は行]

8ビット・タイマ出力コントロール・レジスタ (TOC1)	…	184
8ビット・タイマ・モード・コントロール・レジスタ (TMC1)	…	183
8ビット・タイマ・レジスタ1 (TM1)	…	181
8ビット・タイマ・レジスタ2 (TM2)	…	181
発振安定時間選択レジスタ (OSTS)	…	436
発振モード選択レジスタ (OSMS)	…	119
プルアップ抵抗オプション・レジスタH (PUOH)	…	111
プルアップ抵抗オプション・レジスタL (PUOL)	…	111
プロセッサ・クロック・コントロール・レジスタ (PCC)	…	117
ポート0 (P0)	…	94
ポート1 (P1)	…	96
ポート2 (P2)	…	97, 99
ポート3 (P3)	…	101
ポート7 (P7)	…	102
ポート8 (P8)	…	104
ポート9 (P9)	…	105
ポート10 (P10)	…	106
ポート11 (P11)	…	107
ポート・モード・レジスタ0 (PM0)	…	108
ポート・モード・レジスタ1 (PM1)	…	108
ポート・モード・レジスタ2 (PM2)	…	108
ポート・モード・レジスタ3 (PM3)	…	108, 145, 185, 214, 218
ポート・モード・レジスタ7 (PM7)	…	108
ポート・モード・レジスタ8 (PM8)	…	108
ポート・モード・レジスタ9 (PM9)	…	108
ポート・モード・レジスタ10 (PM10)	…	108
ポート・モード・レジスタ11 (PM11)	…	108
ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)	…	353

[ま行]

メモリ・サイズ切り替えレジスタ (IMS) … 448

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) … 416

優先順位指定フラグ・レジスタ0L (PR0L) … 416

優先順位指定フラグ・レジスタ1L (PR1L) … 416

[わ行]

割り込みタイミング指定レジスタ (SINT) … 247, 302

割り込みマスク・フラグ・レジスタ0H (MK0H) … 415

割り込みマスク・フラグ・レジスタ0L (MK0L) … 415

割り込みマスク・フラグ・レジスタ1L (MK1L) … 415, 432

割り込み要求フラグ・レジスタ0H (IF0H) … 414

割り込み要求フラグ・レジスタ0L (IF0L) … 414

割り込み要求フラグ・レジスタ1L (IF1L) … 414, 432

C.2 レジスタ索引 (アルファベット順)

[A]

- ADCR : A/D変換結果レジスタ ... 221
- ADIS : A/Dコンバータ入力選択レジスタ ... 224
- ADM : A/Dコンバータ・モード・レジスタ ... 222
- ASIM : アシクロナス・シリアル・インタフェース・モード・レジスタ ... 349
- ASIS : アシクロナス・シリアル・インタフェース・ステータス・レジスタ ... 352

[B]

- BRGC : ボー・レート・ジェネレータ・コントロール・レジスタ ... 353

[C]

- CR00 : キャプチャ/コンペア・レジスタ00 ... 137
- CR01 : キャプチャ/コンペア・レジスタ01 ... 137
- CR10 : コンペア・レジスタ10 ... 181
- CR20 : コンペア・レジスタ20 ... 181
- CRC0 : キャプチャ/コンペア・コントロール・レジスタ0 ... 142
- CSIM0 : シリアル動作モード・レジスタ0 ... 243, 298
- CSIM2 : シリアル動作モード・レジスタ2 ... 348

[I]

- IF0H : 割り込み要求フラグ・レジスタ0H ... 414
- IF0L : 割り込み要求フラグ・レジスタ0L ... 414
- IF1L : 割り込み要求フラグ・レジスタ1L ... 414, 432
- IMS : メモリ・サイズ切り替えレジスタ ... 448
- INTM0 : 外部割り込みモード・レジスタ0 ... 146, 417
- INTM1 : 外部割り込みモード・レジスタ1 ... 225, 417

[K]

- KRM : キー・リターン・モード・レジスタ ... 112, 433

[L]

- LCDC : LCD表示コントロール・レジスタ ... 385
- LCDM : LCD表示モード・レジスタ ... 383

[M]

- MK0H : 割り込みマスク・フラグ・レジスタ0H ... 415
MK0L : 割り込みマスク・フラグ・レジスタ0L ... 415
MK1L : 割り込みマスク・フラグ・レジスタ1L ... 415, 432

[O]

- OSMS : 発振モード選択レジスタ ... 119
OSTS : 発振安定時間選択レジスタ ... 436

[P]

- P0 : ポート0 ... 94
P1 : ポート1 ... 96
P2 : ポート2 ... 97, 99
P3 : ポート3 ... 101
P7 : ポート7 ... 102
P8 : ポート8 ... 104
P9 : ポート9 ... 105
P10 : ポート10 ... 106
P11 : ポート11 ... 107
PCC : プロセッサ・クロック・コントロール・レジスタ ... 117
PM0 : ポート・モード・レジスタ0 ... 108
PM1 : ポート・モード・レジスタ1 ... 108
PM2 : ポート・モード・レジスタ2 ... 108
PM3 : ポート・モード・レジスタ3 ... 108, 145, 185, 214, 218
PM7 : ポート・モード・レジスタ7 ... 108
PM8 : ポート・モード・レジスタ8 ... 108
PM9 : ポート・モード・レジスタ9 ... 108
PM10 : ポート・モード・レジスタ10 ... 108
PM11 : ポート・モード・レジスタ11 ... 108
PR0H : 優先順位指定フラグ・レジスタ0H ... 416
PR0L : 優先順位指定フラグ・レジスタ0L ... 416
PR1L : 優先順位指定フラグ・レジスタ1L ... 416
PUOH : プルアップ抵抗オプション・レジスタH ... 111
PUOL : プルアップ抵抗オプション・レジスタL ... 111

[R]

- RXB : 受信バッファ・レジスタ ... 347

[S]

- SBIC : シリアル・バス・インタフェース・コントロール・レジスタ … 245, 300
SCS : サンプルング・クロック選択レジスタ … 147, 419
SINT : 割り込みタイミング指定レジスタ … 247, 302
SIO0 : シリアルI/Oシフト・レジスタ0 … 240, 294
SVA : スレーブ・アドレス・レジスタ … 240, 294

[T]

- TCL0 : タイマ・クロック選択レジスタ0 … 138, 212
TCL1 : タイマ・クロック選択レジスタ1 … 181
TCL2 : タイマ・クロック選択レジスタ2 … 198, 206, 216
TCL3 : タイマ・クロック選択レジスタ3 … 242, 297
TM0 : 16ビット・タイマ・レジスタ … 138
TM1 : 8ビット・タイマ・レジスタ1 … 181
TM2 : 8ビット・タイマ・レジスタ2 … 181
TMC0 : 16ビット・タイマ・モード・コントロール・レジスタ … 140
TMC1 : 8ビット・タイマ・モード・コントロール・レジスタ … 183
TMC2 : 時計用タイマ・モード・コントロール・レジスタ … 201
TOC0 : 16ビット・タイマ出力コントロール・レジスタ … 143
TOC1 : 8ビット・タイマ出力コントロール・レジスタ … 184
TXS : 送信シフト・レジスタ … 347

[W]

- WDTM : ウォッチドッグ・タイマ・モード・レジスタ … 208

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/6)

版 数	前版からの主な改版内容	適用箇所
第2版	μ PD78063, 78064 : 開発中→開発済み	全 般
	μ PD78P064KL-T : 計画中→開発中	
	電源電圧 : 2.7~6.0 V→2.0~6.0 Vに修正	第1章 概 説
	P10/ANI0-P17/ANI7端子の入出力回路タイプ : 9-B→11に修正	第2章 端子機能
	IC端子 (マスクROM製品) の未使用時の推奨接続方法 : Vssに接続→Vssに直接接続に修正	
	図5-2 サブシステム・クロックのフィードバック抵抗を追加	第5章 クロック発生回路
	発振回路の配線図を修正	
	表6-5 INTP0/TI00端子の有効エッジとCR00のキャプチャ・トリガの有効エッジを修正	第6章 16ビット・タイマ/イベント・カウンタ
	タイマ・クロック選択レジスタ0のフォーマットに注を追加	
	16ビット・タイマ・モード・コントロール・レジスタのフォーマットに注意事項を追加	
	6.5 16ビット・タイマ/イベント・カウンタの注意事項に次の項目を追加 (6) ワンショット・パルスの再トリガ (7) OVFOフラグの動作	
	表8-1, 8-3 インターバル・タイマのインターバル時間を修正	第8章 時計用タイマ
	タイマ・クロック選択レジスタ0のフォーマットに注を追加	第10章 クロック出力制御回路
A/Dコンバータ・モード・レジスタのフォーマットに注を追加	第12章 A/Dコンバータ	

版数	前版からの主な改版内容	適用箇所
第2版	表13-2 シリアル・インタフェース・チャンネル0の構成にポート・モード・レジスタ2 (PM2) を追加	第13章 シリアル・インタフェース・チャンネル0
	シリアル・インタフェース・チャンネル0のブロック図を修正	
	シリアル動作モード・レジスタ0のフォーマットを修正	
	シリアル・バス・インタフェース・コントロール・レジスタのフォーマットを修正	
	割り込みタイミング指定レジスタのフォーマットを修正	
	図13-7 3線式シリアル/I/Oモードのタイミングを修正	
	図13-20, 13-21 RELT, CMDT, RELD, CMDDの動作 (マスタ, スレーブ) を修正	
	表13-3 SBIモードにおける各種の信号： レディ信号が出力される条件として③アドレス信号の受信を追加	
	13.4.3 SBIモードの動作 (10) SBIモードの注意事項： (e) デバイスがマスタ・モードのとき、スレーブがビジィ状態かどうかを判断する方法を追加	
	図13-31 2線式シリアル/I/Oモードのタイミングを修正	
	シリアル・インタフェース・チャンネル2のブロック図を修正	第14章 シリアル・インタフェース・チャンネル2
	シリアル動作モード・レジスタ2のフォーマットを修正	
	アシンクロナス・シリアル・インタフェース・モード・レジスタのフォーマットを修正	
	表14-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を修正	
14.4.2 アシンクロナス・シリアル・インタフェース (UART) モードに (3) UARTモードの注意事項を追加	第16章 割り込み機能	
割り込み要求フラグ・レジスタのフォーマットに注を追加		
割り込みマスク・フラグ・レジスタのフォーマットに注を追加		
表16-3 マスカブル割り込み要求発生から処理までの時間を修正		
図16-15, 16-16 割り込みの受け付けタイミング (最小時間, 最大時間) を修正		
表17-1 HALTモード時の動作状態を修正	第17章 スタンバイ機能	
図17-2 HALTモードの割り込み発生による解除に備考を追加		
表17-3 STOPモード時の動作状態を修正		

版 数	前版からの主な改版内容	適用箇所
第2版	言語処理用ソフトウェア, デバッグ用ツール, 開発ツール構成を修正	付録A 開発ツール
	他のインサーキット・エミュレータからIE-78000-Rへのシステム・アップ方法を追加	
	変換ソケット (EV-9200GF-100) の外形図と基板取り付け推奨パターンを追加	
	付録B 組み込み用ソフトウェアを追加	付録B 組み込み用ソフトウェア
第3版	次の製品は開発中→開発済み μPD78062GC, 78062GF, 78P064GC, 78P064GF	全 般
	1.6 78K/0シリーズの展開を変更	第1章 概 説
	2.2.22 IC (マスクROM製品のみ) の説明文を修正	第2章 端子機能
	4.2.3 ポート2, 4.2.5 ポート7の注意事項を修正	第4章 ポート機能
	表4-3 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定を追加	
	5.3 クロック発生回路を制御するレジスタの(2)発振モード選択レジスタ(OSMS)に注意事項を追加	第5章 クロック発生回路
	表5-2 CPUクロックの切り替えに要する最大時間を修正	
	5.6.2 システム・クロックとCPUクロックの切り替え手順に注意事項を追加	
	タイマ・クロック選択レジスタ0のフォーマットを修正	第6章 16ビット・タイマ/イベント・カウンタ
		第10章 クロック出力制御回路

版数	前版からの主な改版内容	適用箇所
第3版	表6-2, 6-6 16ビット・タイマ/イベント・カウンタのインターバル時間を修正	第6章 16ビット・タイマ/イベント・カウンタ
	表6-3, 6-7 16ビット・タイマ/イベント・カウンタの方形波出力範囲を修正	
	6.3 16ビット・タイマ/イベント・カウンタを制御するレジスタの(2) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) に注意事項を追加	
	6.4.4 パルス幅測定としての動作の次の項目に注意事項を追加 (3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定 (4) リスタートによるパルス幅測定	
	図6-32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミングを修正	
	図6-34 外部トリガによるワンショット・パルス出力動作のタイミング(立ち上がりエッジ指定時)を修正	
	タイマ・クロック選択レジスタ1のフォーマットに注意事項を追加	第7章 8ビット・タイマ/イベント・カウンタ
	表7-7 8ビット・タイマ/イベント・カウンタ2のインターバル時間を追加	
	タイマ・クロック選択レジスタ2のフォーマットを修正	第8章 時計用タイマ 第9章 ウォッチドッグ・タイマ 第11章 ブザー出力制御回路
	12.5 A/Dコンバータの注意事項を次のように変更 (6) A/D変換終了割り込み要求フラグ (INTAD) についてを (6) 割り込み要求フラグ (ADIF) についてに変更 (8) A/D変換割り込み要求フラグ (ADIF) についてを削除	第12章 A/Dコンバータ
	表13-1 チャンネル0とチャンネル2の違いから注を削除	第13章 シリアル・インタフェース・チャンネル0
	タイマ・クロック選択レジスタ3のフォーマットに注意事項を追加	
	シリアル・バス・インタフェース・コントロール・レジスタのフォーマットを修正	
	図13-21 RELT, CMDT, RELD, CMDDの動作(スレーブ)を修正	
表14-2 シリアル・インタフェース・チャンネル2の動作モードの設定一覧を修正	第14章 シリアル・インタフェース・チャンネル2	
14.4.3 3線式シリアルI/Oモードに(3)転送スタートを追加		

版 数	前版からの主な改版内容	適用箇所
第3版	LCD駆動用電源の接続例（分割抵抗内蔵時、分割抵抗外付け時）の1/2バイアス法の項目を修正	第15章 LCDコントローラ／ドライバ
	次のLCD駆動波形例を修正 スタティックLCD駆動波形例 2時分割LCD駆動波形例（1/2バイアス法） 3時分割LCD駆動波形例（1/2バイアス法） 3時分割LCD駆動波形例（1/3バイアス法） 4時分割LCD駆動波形例（1/3バイアス法）	
	第16章 割り込み機能を第16章 割り込み機能とテスト機能に変更し、16.5 テスト機能を追加	第16章 割り込み機能とテスト機能
	19.2 PROMプログラミングに書き込みアドレスの指定について注意事項を追加	第19章 μ PD78P064
	20.2 命令コード、20.3 命令の説明を削除	第20章 命令セット
	PC DOSのバージョン：Ver.3.1をVer.3.3～Ver.5.0に変更	付録A 開発ツール
	IBM PC/ATの供給媒体に3.5インチ2HCを追加	付録B 組み込み用ソフトウェア
	変換アダプタ（EV-9500GC-100）の外形図を追加	付録A 開発ツール
	ファジィ推論開発支援システムを変更	付録B 組み込み用ソフトウェア
	付録C 命令索引（アルファベット順）を削除	—
付録C レジスタ索引を追加	付録C レジスタ索引	
第4版	対象製品に μ PD78064Yサブシリーズを追加	全 般
	・次の端子の未使用時の推奨接続方法を修正 P07/XT1, P110-P117, V _{PP} 端子 ・次の端子の入出力回路タイプを修正 P110-P117端子	第3章 端子機能 （ μ PD78064サブシリーズ）
	図7-4 発振モード選択レジスタのフォーマットの注意事項を修正、追加	第7章 クロック発生回路
	図7-6 メイン・システム・クロック発振回路の外付け回路の注意事項を修正	
	図10-1 時計用タイマのブロック図を修正	第10章 時計用タイマ
	図14-2 A/Dコンバータ・モード・レジスタのフォーマットを修正	第14章 A/Dコンバータ
14.5（7）AV _{DD} 端子についてを修正し、図14-12 AV _{DD} 端子の処理を追加		

版 数	前版からの主な改版内容	適用箇所
第4版	図15-4 シリアル動作モード・レジスタ0のフォーマットを修正	第15章 シリアル・インタフェース・チャンネル0 (μPD78064サブシリーズ)
	図15-21 RELD, CMDDDの動作 (スレーブ) を修正	
	15.4.4 (c) 割り込みタイミング指定レジスタ (SINT) を修正	
	図15-34 SCK0/P27端子の構成を修正	
	図17-1 シリアル・インタフェース・チャンネル2のブロック図を修正	第17章 シリアル・インタフェース・チャンネル2
	メイン・システム・クロックによって生成できるボー・レート用送受信クロックの範囲を変更: 75 bps~38400 bps→75 bps~76800 bps	
	表20-1 HALTモード時の動作状態をメイン・システム・クロック動作中とサブシステム・クロック動作中に分けて記載するように変更	第20章 スタンバイ機能
	20.2.2 (1) STOPモードの設定および動作状態の注意事項を変更	
	表20-3 STOPモード時の動作状態をメイン・システム・クロック動作中とサブシステム・クロック動作中に分けて記載するように変更	
	22.5 ワン・タイムPROM製品のスクリーニングについてにQTOPマイコンについての記述を追加	第22章 μPD78P064, 78P064Y
	開発ツール, 組み込み用ソフトウェアのホスト・マシンにHP9000シリーズ700を追加	付録A 開発ツール
		付録B 組み込み用ソフトウェア
	開発ツールにシステム・シミュレータ (SM78K0) を追加	付録A 開発ツール
A.4 IBM PC用のOSについてを追加		
組み込み用ソフトウェアにOS (MX78K0) を追加	付録B 組み込み用ソフトウェア	

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD78064, 78064Yサブシリーズ ユーザーズ・マニュアル
(U10105JJ4V0UM00 (第4版))

[お名前など] (さしつかえのない範囲で)

御社名 (学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に○をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは

NEC販売員, 特約店販売員, NEC半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。

NEC半導体インフォメーションセンター

FAX: (044) 548-7900

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3454-1111	(大代表)			
半導体第二販売事業部								
半導体第三販売事業部								
中部支社 半導体販売部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2170				
関西支社 半導体第一販売部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3178				
半導体第二販売部			大阪	(06) 945-3200				
半導体第三販売部			大阪	(06) 945-3208				
北海道支社	札幌	(011)231-0161	小島支店	小島	(0285)24-5011	富山支店	富山	(0764)31-8461
東北支社	仙台	(022)261-5511	長松支店	長松	(0262)35-1444	三重支店	津	(0592)25-7341
岩手支店	盛岡	(0196)51-4344	上野支店	上野	(0263)35-1666	京都支社	京都	(075)344-7824
山形支店	山形	(0236)23-5511	諏訪支店	諏訪	(0266)53-5350	神戸支社	神戸	(078)333-3854
都立支店	高松	(0249)23-5511	府立支店	府立	(0552)24-4141	中野支社	中野	(082)242-5504
いわき支店	いわき	(0246)21-5511	徳川支店	徳川	(048)641-1411	中野支店	中野	(0857)27-5311
長土支店	長土	(0258)36-2155	立川支店	立川	(0425)26-5981	鳥取支店	鳥取	(086)225-4455
水戸支店	水戸	(0298)23-6161	静岡支店	静岡	(043)238-8116	高松支店	高松	(0878)36-1200
神奈川支店	横浜	(0292)26-1717	津支店	津	(054)255-2211	新潟支店	新潟	(0897)32-5001
群馬支店	高崎	(045)324-5511	沼津支店	沼津	(0559)63-4455	松山支店	松山	(0899)45-4111
太田支店	太田	(0273)26-1255	深松支店	深松	(053)452-2711	九州支店	九州	(092)271-7700
宇都宮支店	宇都宮	(0276)46-4011	北陸支店	北陸	(0762)23-1621	北九州支店	北九州	(093)541-2887
		(0286)21-2281	井支店	井	(0776)22-1866			

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210	川崎市幸区塚越三丁目484番地	川崎	(044)548-7923	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
マイクロコンピュータ技術部					
半導体販売技術本部	〒108-01	東京都港区芝五丁目7番1号 (NEC本社ビル)	東京	(03)3798-9619	
東日本販売技術部					
半導体販売技術本部	〒460	名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋	(052)222-2125	
中部販売技術部					
半導体販売技術本部	〒540	大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪	(06) 945-3383	
西日本販売技術部					