

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# μPD72187A

アドバンスト・バイレベル・イメージ・  
コンプレッション・エクスパンションLSI

概 説	1
応 用 例	2
端子機能	3
機 能	4
データの取り扱い方式	5
インタフェース	6
基本処理シーケンス	7
符号化処理シーケンス ①	7.1
復号化処理シーケンス ①	7.2
符号化処理シーケンス ②	7.3
復号化処理シーケンス ②	7.4
符号化処理シーケンス ③	7.5
復号化処理シーケンス ③	7.6
符号化処理シーケンス ④	7.7
復号化処理シーケンス ④	7.8
符号化処理シーケンス ⑤	7.9
復号化処理シーケンス ⑤	7.10
符号化処理シーケンス ⑥	7.11
復号化処理シーケンス ⑥	7.12
符号化処理シーケンス ⑦	7.13
参照ライン蓄積処理シーケンス	7.14
ST RAM 読み出し／書き込み処理シーケンス	7.15
1ストライプを複数回の DMA 転送で処理する場合	7.16
レジスタ構成	8

## CMOSデバイスの一般的注意事項

### ①静電気対策 (MOS全般)

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### ②未使用入力の処理 (CMOS特有)

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### ③初期化以前の状態 (MOS全般)

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### T.82, T.85 に関わる特許権について

ITU-T 勧告 T.82, T.85 に準拠したシステムについては、複数の特許権が存在しております。これらの特許権に関する必要な権利処理は、お客様の方にてご対応いただきますようお願いいたします。当社は、これらの特許権に関して一切責任を負いかねますのでご了承ください。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は、後日変更する場合があります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
  - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
  - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
  - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

## 本版で改訂された主な箇所

箇所	内容
p. 28	4.10.1 副走査ライン数の設定方法を追加
p. 51	第7章 基本処理シーケンスの説明を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

# はじめに

**対象者** このマニュアルは、 $\mu$ PD72187A の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

**目的** このマニュアルは、次の構成に示される $\mu$ PD72187A の持つハードウェア機能をユーザに理解していただくことを目的とします。

**構成** このマニュアルは、大きく分けて次の内容で構成されています。

- 概説
- 応用例
- 端子機能
- 機能
- データの取り扱い方式
- インタフェース
- 基本処理シーケンス
- レジスタ構成

**読み方** このマニュアルの読者は、論理回路やマイクロコンピュータに関する一般的知識が必要となります。

**凡例**

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号の名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文中の補足説明
数の表記	: 2進数... $\text{xxx}$ または $\text{xxx}$ B 10進数... $\text{xxx}$ 16進数... $\text{xxx}$ H

**関連資料** データ・シート 資料番号 S10962J

**注意** 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。



# 目 次

## 第1章 概 説 … 1

- 1.1 特 徴 … 1
- 1.2 オーダ情報 … 2
- 1.3 端子接続図 (Top View) … 3
- 1.4 ブロック図 … 5

## 第2章 応 用 例 … 7

## 第3章 端子機能 … 9

- 3.1 端子機能一覧 … 9
  - 3.1.1 ホスト・インタフェース用の端子 … 9
  - 3.1.2 画像メモリ・インタフェース用の端子 … 10
  - 3.1.3 その他の端子 … 11
  - 3.1.4 リセット後の各端子の状態 … 11

## 第4章 機 能 … 13

- 4.1 機能概要 … 13
- 4.2 リセット機能 … 14
- 4.3 二値シンボル・データ圧縮／伸長機能 … 15
  - 4.3.1 圧縮 (符号化) 機能 … 15
  - 4.3.2 伸長 (復号化) 機能 … 16
- 4.4 確率推定テーブル … 17
- 4.5 最低解像度レイヤ・モデル・テンプレート機能 … 20
- 4.6 AT (Adaptive Template) 機能 … 21
  - 4.6.1 AT機能の制御方法 … 22
- 4.7 最低解像度レイヤ TP (Typical Prediction) 機能 … 24
- 4.8 ストライプ処理機能 … 25
- 4.9 スタッフ・バイト, マーカ・コード制御機能 … 26
  - 4.9.1 マーカ・コードおよびスタッフ・バイトについて … 26
  - 4.9.2 スタッフ・バイト自動挿入, マーカ・コード付加機能 … 26
  - 4.9.3 スタッフ・バイト廃棄, マーカ・コード検出／通知機能 … 27
- 4.10 二値画像データ・サイズ … 28
  - 4.10.1 副走査ライン数の設定方法 … 28
- 4.11 画像メモリ・アクセス (画像データ転送) 機能 … 30
- 4.12 符号データ転送機能 … 31

★

4.13	状態記憶メモリ (ST RAM) 制御機能	…	32
4.13.1	ST RAM データ転送機能	…	32
4.13.2	ST RAM クリア機能	…	32
4.14	ライン・メモリ	…	33
4.14.1	参照ライン蓄積	…	33

## 第5章 データの取り扱い方式 … 35

5.1	画像バッファ	…	35
5.1.1	画像バッファと符号バッファ	…	35
5.1.2	画像バッファの構成	…	36
5.1.3	データ格納方式	…	36
5.2	符号化／復号化方式	…	39
5.2.1	符号フォーマット	…	39
5.2.2	ヘッダ BIH (Bi-level Image Header) の構成	…	39

## 第6章 インタフェース … 41

6.1	ホスト・インタフェース	…	41
6.1.1	アクセス・タイミング	…	41
6.2	画像メモリ・インタフェース	…	46
6.2.1	基本タイミング	…	46
6.2.2	バス・サイクル・モード	…	49
6.2.3	DMA ブレーク	…	49

## ★ 第7章 基本処理シーケンス … 51

7.1	符号化処理シーケンス ①	…	53
7.2	復号化処理シーケンス ①	…	65
7.3	符号化処理シーケンス ②	…	75
7.4	復号化処理シーケンス ②	…	87
7.5	符号化処理シーケンス ③	…	99
7.6	復号化処理シーケンス ③	…	109
7.7	符号化処理シーケンス ④	…	119
7.8	復号化処理シーケンス ④	…	131
7.9	符号化処理シーケンス ⑤	…	143
7.10	復号化処理シーケンス ⑤	…	155
7.11	符号化処理シーケンス ⑥	…	165
7.12	復号化処理シーケンス ⑥	…	175
7.13	符号化処理シーケンス ⑦	…	185
7.14	参照ライン蓄積処理シーケンス	…	197
7.15	ST RAM 読み出し／書き込み処理シーケンス	…	201

7.15.1	ST RAM 読み出し処理シーケンス	…	201
7.15.2	ST RAM 書き込み処理シーケンス	…	204
7.16	1 ストライプを複数回の DMA 転送で処理する場合	…	209
7.16.1	符号化処理例 ①	…	209
7.16.2	復号化処理例	…	221
7.16.3	符号化処理例 ②	…	235

## 第8章 レジスタ構成 … 247

8.1	レジスタ・マップ	…	247
8.2	各レジスタの詳細	…	249
8.2.1	コントロール・レジスタ (CTR)	…	250
8.2.2	ステータス・レジスタ (STRL, STRH)	…	251
8.2.3	モード・レジスタ (MDRL, MDRH)	…	252
8.2.4	画素数設定レジスタ (PELL, PELH)	…	254
8.2.5	ライン数設定レジスタ (LINL, LINH)	…	254
8.2.6	ビット・プレーン・ライン数設定レジスタ (LIBL, LIBH)	…	255
8.2.7	ストライプ・レジスタ (STPL, STPH)	…	255
8.2.8	ATレジスタ (ATRL, ATRH)	…	256
8.2.9	ATライン・レジスタ (ATLL, ATLH)	…	258
8.2.10	画像データ開始アドレス・レジスタ (DMSL, DMSM, DMSH)	…	259
8.2.11	画像データ終了アドレス・レジスタ (DMEL, DMEM, DMEH)	…	260
8.2.12	データ・バッファ・レジスタ (DBFL, DBFH)	…	261
8.2.13	ホスト・バス・モード・レジスタ (HSB)	…	262
8.2.14	マーカ・コード・バッファ・レジスタ (MKB)	…	263
8.2.15	マーカ・コード・ウィンドウ・レジスタ (MKWL, MKWH)	…	264
8.2.16	コマンド・レジスタ 1 (CMD1)	…	264
8.2.17	コマンド・レジスタ 2 (CMD2)	…	266
8.2.18	割り込みステータス・レジスタ 1 (IST)	…	268
8.2.19	ライン・メモリ・レジスタ (LMR)	…	268
8.2.20	マスク・レジスタ (MSK)	…	269
8.2.21	TPレジスタ (TPR)	…	270

## 図の目次 (1/2)

図番号	タイトル, ページ
1-1	端子接続図 … 3
1-2	ブロック図 … 5
2-1	システム構成例 … 7
2-2	周辺接続例 … 8
4-1	3ライン・テンプレート … 20
4-2	2ライン・テンプレート … 20
4-3	3ライン・テンプレート AT 画素可動範囲 … 21
4-4	2ライン・テンプレート AT 画素可動範囲 … 21
4-5	ストライプ単位の処理 … 25
4-6	ダミー・ライン … 33
5-1	画像メモリと画像バッファ … 35
5-2	JBIG 方式における符号データ・フォーマット … 39
5-3	T.82 で定義されている BIH フォーマット … 39
5-4	ORDER バイトのフォーマット … 40
5-5	OPTION バイトのフォーマット … 40
6-1	μPD72187A の読み出しタイミング … 44
6-2	μPD72187A の書き込みタイミング … 44
6-3	外部 DMA コントローラとの読み出し／書き込みタイミング (ワード・モード) … 45
6-4	外部 DMA コントローラとの読み出し／書き込みタイミング (バイト・モード) … 45
6-5	DMA 転送タイミング (8 ビット・バス幅) … 47
6-6	DMA 転送タイミング (16 ビット・バス幅) … 48
8-1	CTR のフォーマット … 250
8-2	STRL, STRH のフォーマット … 251
8-3	MDRL, MDRH のフォーマット … 252
8-4	PELL, PELH のフォーマット … 254
8-5	LINL, LINH のフォーマット … 254
8-6	LIBL, LIBH のフォーマット … 255
8-7	STPL, STPH のフォーマット … 255
8-8	ATRL, ATRH のフォーマット … 256
8-9	AT 画素移動値の範囲 … 257

## 図の目次 (2/2)

図番号	タイトル, ページ
8-10	ATLL, ATLH のフォーマット … 258
8-11	DMSL, DMSM, DMSH のフォーマット … 259
8-12	DMEL, DMEM, DMEH のフォーマット … 260
8-13	DBFL, DBFH のフォーマット … 261
8-14	HSB のフォーマット … 262
8-15	MKB のフォーマット … 263
8-16	MKWL, MKWH のフォーマット … 264
8-17	CMD1 のフォーマット … 264
8-18	CMD2 のフォーマット … 266
8-19	IST のフォーマット … 266
8-20	LMR のフォーマット … 268
8-21	MSK のフォーマット … 269
8-22	TPR のフォーマット … 270

# 表の目次

表番号	タイトル, ページ
3-1	ホスト・インタフェース用の端子 … 9
3-2	画像メモリ・インタフェース用の端子 … 10
3-3	その他の端子 … 11
3-4	リセット後の各端子の状態 … 11
4-1	符号化時の入力データ終了方式におけるレジスタ設定方法 … 15
4-2	確率推定ROMの内容 … 18
5-1	画像バッファ容量 … 36
5-2	画像データの表現方式 … 36
5-3	画像データの格納例 … 37
5-4	符号データの格納例 … 38
6-1	ホスト・データ・バスの状態 … 42
6-2	符号データ転送モードと制御信号の関係 … 42
7-1	基本処理シーケンスの各設定条件 … 51
8-1	レジスタ構成 … 247

# 第1章 概 説

近年、ファクシミリをはじめ、二値画像を取り扱う分野では、従来の文書やグラフとともに写真などの中間調画像を白黒二値できれいに伝送、蓄積、印刷する疑似中間調技術が導入されています。さらに、中間調画像から多値画像であるカラー画像へと取り扱うデータが変化するに従って、そのデータ量も膨大になってきました。これらのデータをそのまま伝送、蓄積しては、システム内の伝送／蓄積系部分に過大な負担がかかり、結果としてシステム全体の処理効率が大幅に低下します。

このマニュアルでは、二値画像圧縮／伸長用プロセッサμ PD72187A（アドバンスト・バイレベル・イメージ・コンプレッション・エクスパンション）について説明します。

μPD72187Aは、ITU-T（旧 CCITT）での JBIG 準 T.85（JBIG ファクシミリ・アプリケーション）に準拠した符号化／復号化を行うことができるプロセッサです。

JBIG 方式は算術符号をベースとしたエントロピ符号化方式です。従来の二値画像圧縮／伸長方式（MH, MR, MMR）に比べて圧縮効率に優れています。特に、従来方式では符号化を行うとデータ量が増えてしまうこともあったディザ画像／誤差拡散画像に対して、JBIG 方式では確実に高圧縮率を示します。また、JBIG 方式には学習機能もあるため、圧縮率をさらに改善することができます。

μPD72187Aは、このような高圧縮率符号化機能に加え、ファクシミリ・アプリケーションの JBIG 方式符号化処理シーケンスを効率よく構築する機能を提供しています。

注 JBIG : Joint Bi-level Image Coding Experts Group

## 1.1 特 徴

### ○符号化方式

- ・ ITU-T（旧 CCITT）の T.85（JBIG ファクシミリ・アプリケーション）に完全準拠
- ・ シングル・レイヤ・シーケンシャル・モードをサポート

### ○符号化／復号化処理速度：5Mbps（MAX.）

### ○画像サイズ

- ・ 主走査画素数 : 8K 画素までサポート  
(600dpi のとき約 34cm, A3 判 (297×420mm) に対応可能)
- ・ 副走査ライン数 : 64K ラインまでサポート  
(16 ビット：ただし、ホスト CPU の操作により無限長まで対応可能)

### ○ライン・メモリ内蔵 : 8K ビット×4 ライン

### ○状態記憶メモリ入れ替え機能 : ビット・プレーンの対応が可能

### ○確率推定テーブル

- ・ JBIG 標準の確率推定テーブル内蔵

### ○最低解像度レイヤのモデル・テンプレート機能

- ・ 2 または 3 ラインの 10 画素テンプレートをサポート

## ○OAT (Adaptive Template) 機能

- ・同一ライン手前 127 画素の範囲で AT 画素移動が可能
- ・1ストライプ中に複数回の AT 画素移動が可能 (マルチプル AT ムーブ機能)

## ○最低解像度レイヤの TP (Typical Prediction) 機能

## ○ストライプ処理機能

## ○スタッフ・バイト, マーカ・コード制御機能

- ・スタッフ・バイト自動挿入, マーカ・コード付加機能
- ・スタッフ・バイト廃棄, マーカ・コード検出/通知機能

## ○デュアル・バス方式

- ・画像メモリ側 : 内蔵 DMA コントローラによる DMA 転送  
8/16 ビット・データ・バス  
24 ビット・アドレス・バス
- ・ホスト CPU 側 : I/O アクセスまたは外部 DMA コントローラによる DMA 転送  
8/16 ビット・データ・バス

## ○CMOS プロセス

## ○+5V 単一電源

## ○システム・クロック : MAX. 20MHz

## 1.2 オーダ情報

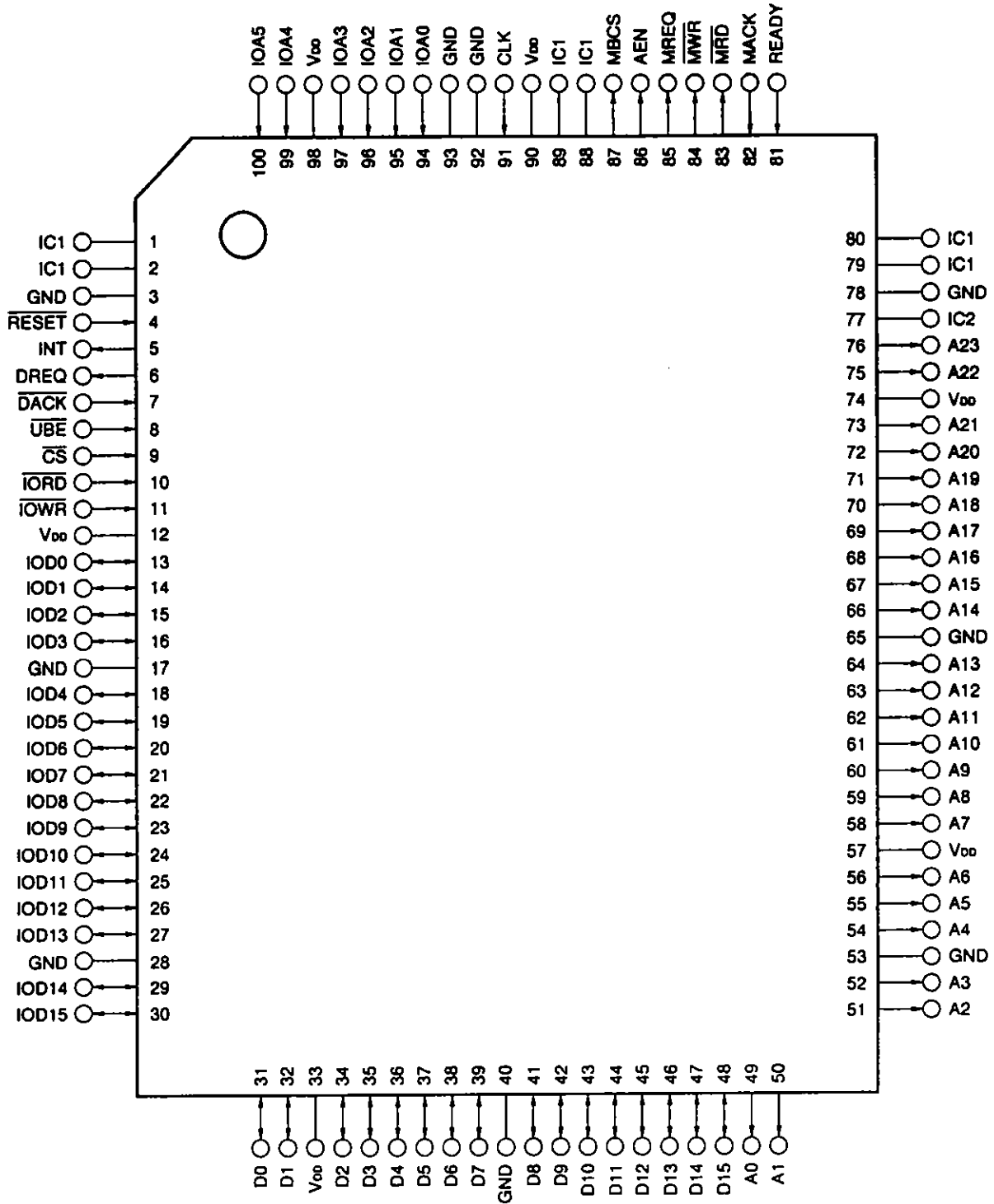
オーダ名称	パッケージ
μPD72187AGF-3BA	100ピン・プラスチック QFP (14×20mm)



### 1.3 端子接続図 (Top View)

図1-1 端子接続図

100ピン・プラスチックQFP (14×20 mm)



IC1 : Internally Connected (プルダウンしてください。)

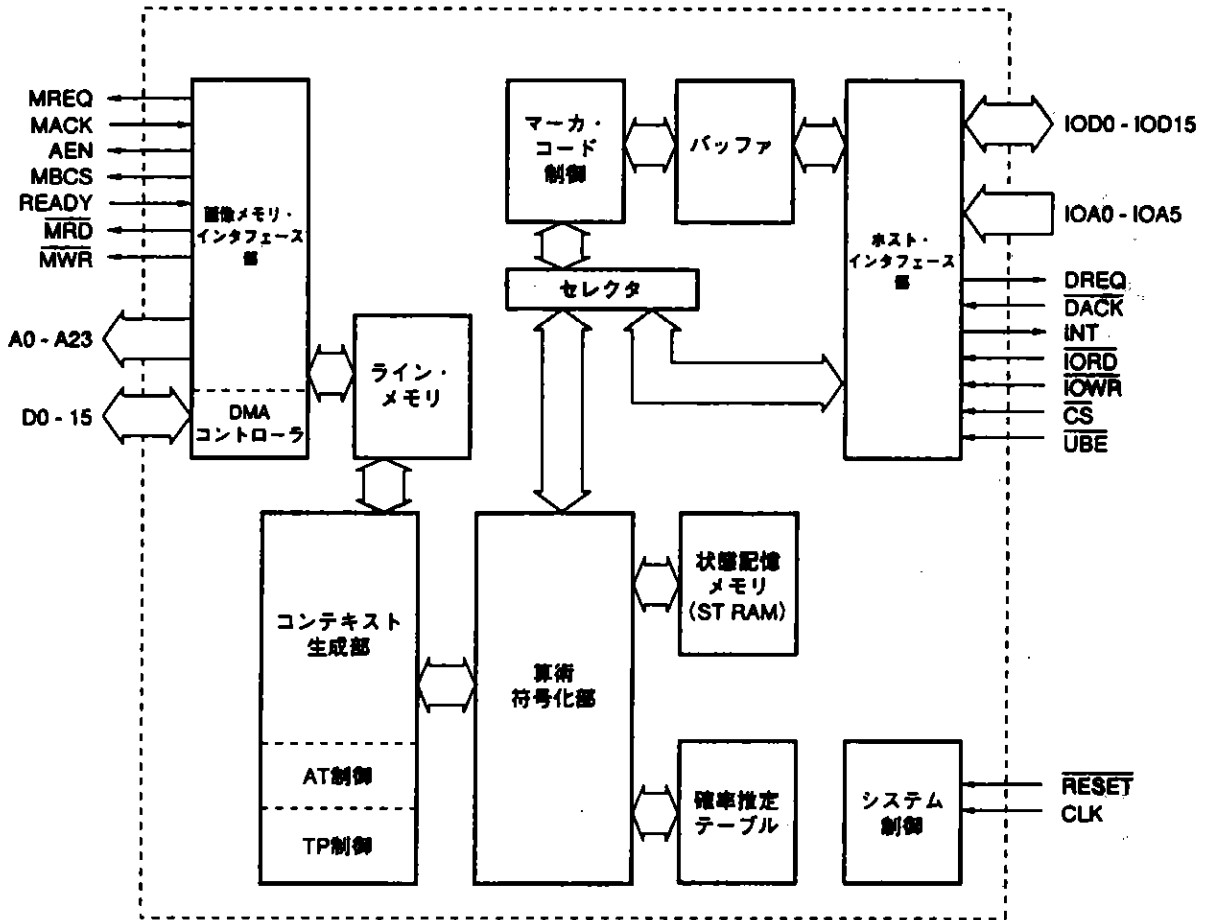
IC2 : Internally Connected (プルアップしてください。)

## 端子名称

AEN	: Address Enable
A0-A23	: Address Bus
CLK	: Clock
$\overline{\text{CS}}$	: Chip Select
$\overline{\text{DACK}}$	: DMA Acknowledge
DREQ	: DMA Request
D0-D15	: Data Bus
GND	: Ground
IC1	: Internally Connected 1
IC2	: Internally Connected 2
INT	: Interrupt
IOA0-IOA5	: I/O Address Bus
IOD0-IOD15	: I/O Data Bus
$\overline{\text{IORD}}$	: I/O Read
$\overline{\text{IOWR}}$	: I/O Write
MACK	: Memory Acknowledge
MBCS	: Memory Bus Cycle Start
MRD	: Memory Read
MREQ	: Memory Request
$\overline{\text{MWR}}$	: Memory Write
$\overline{\text{READY}}$	: Ready
$\overline{\text{RESET}}$	: Reset
$\overline{\text{UBE}}$	: Upper Byte Enable
VDD	: Power Supply

## 1.4 ブロック図

図1-2 ブロック図



## ブロックの機能説明

### ○ホスト・インタフェース部

ホスト CPU との間でコマンド/ステータスや符号データのやり取りを行う 8/16 ビットの双方向データ・バスを制御します。また、内部の状態記憶メモリ (ST RAM: State RAM) の内容も、このバスを通して転送します。I/O アクセス以外に、外部 DMA コントローラによって、符号データや状態記憶メモリ・データを DMA 転送することが可能です。

### ○画像メモリ・インタフェース部

符号化/復号化用二値画像データの入出力を行うインタフェースです。内蔵の DMA コントローラにより、画像メモリ・アドレス、メモリ・リード/ライト制御信号を生成、出力します。画像データ幅は、8 ビットまたは 16 ビットの選択が可能です。直接アクセスできるメモリ領域は、最大 32M バイトまで (16 ビット選択時) です。

### ○ライン・メモリ部

8K 画素/ラインを 4 ライン分蓄えられるメモリです。3 ラインは、符号化/復号化に用いられ、残る 1 ラインは TP 機能の処理に用いられます。

### ○コンテキスト生成部

2 ラインまたは 3 ラインの 10 画素テンプレートによって、コンテキストを生成します。

### ○算術符号化部

適応型の算術符号化/復号化演算を行います。

113 状態の確率推定テーブル ROM, ST RAM が接続されます。

## 第2章 応用例

図2-1に $\mu$ PD72187Aを用いたシステムの構成例を示します。また、図2-2には $\mu$ PD72186と併用した場合の周辺接続例を示します。

図2-1 システム構成例

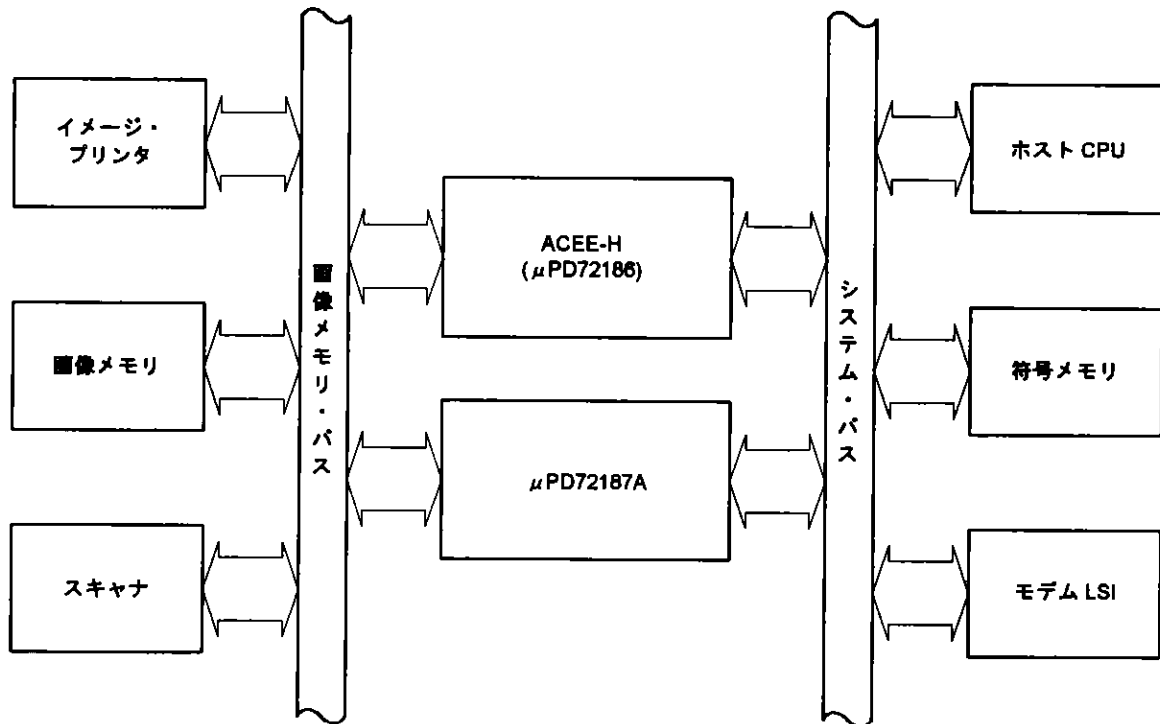
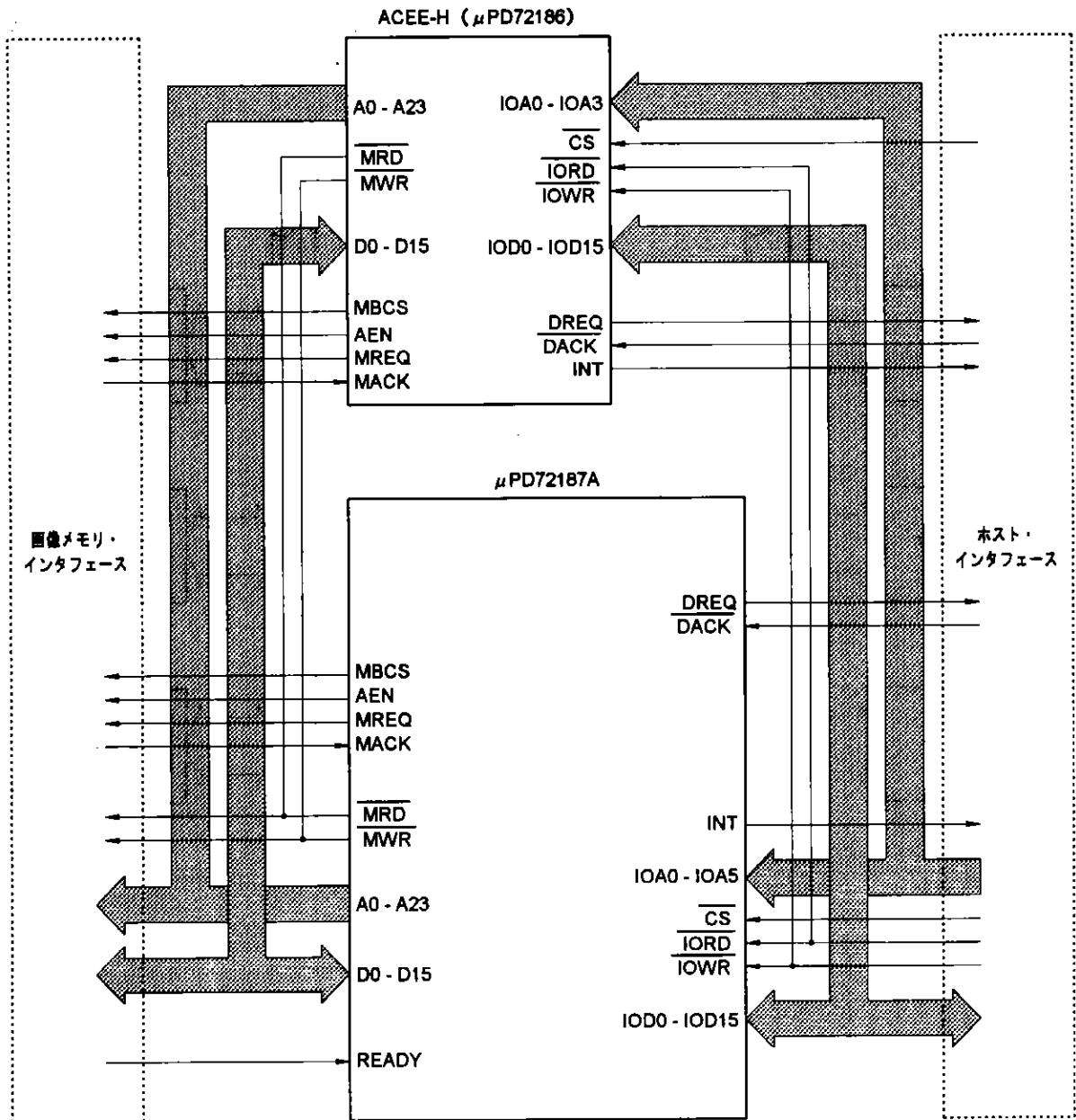


図2-2 周辺接続例



## 第3章 端子機能

### 3.1 端子機能一覧

3

μPD72187Aの端子は、機能別に次の3グループに分けられます。

- ・ホスト・インタフェース用の端子
- ・画像メモリ・インタフェース用の端子
- ・その他の端子

#### 3.1.1 ホスト・インタフェース用の端子

表3-1 ホスト・インタフェース用の端子

端子名称	端子番号	入出力	機能
IOA0-IOA5	94-97, 99, 100	入力	ホストCPUがμPD72187AをI/Oアクセスするための8ビット・アドレス・バスです。このうち、IOA0入力は $\overline{UBE}$ 入力とともに用い、データの読み出し/書き込みの単位(バイトまたはワード)を指定します。
IOD0-IOD15	13-16, 18-27, 29, 30	3ステート 入出力	16ビット双方向データ・バスです。 $\overline{UBE}$ 入力とIOA0入力を操作することで、8ビット・データ・バスとしても機能します。
$\overline{IORD}$	10	入力	ホストCPUが、μPD72187Aに対しI/Oアクセスにより読み出しを行うためのアクティブ・ロウ入力信号端子です。
$\overline{IOWR}$	11	入力	ホストCPUが、μPD72187Aに対しI/Oアクセスにより書き込みを行うためのアクティブ・ロウ入力信号端子です。
$\overline{CS}$	9	入力	ホストCPUが、μPD72187AをI/Oアクセスするために必要なアクティブ・ロウ入力信号端子です。
$\overline{UBE}$	8	入力	IOA0入力との組み合わせで使用します。ホストCPUがμPD72187AをI/Oアクセスするときデータの読み出し/書き込みの単位(バイトまたはワード)を指定します。
INT	5	出力	ホストCPUに対して出力するアクティブ・ハイの割り込み要求信号端子です。
DREQ	6	出力	外部DMAコントローラに対するDMAリクエスト信号です。μPD72187Aに読み出し可能なデータがある場合、または、書き込み可能なスペースがある場合にアクティブとなります。
$\overline{DACK}$	7	入力	外部DMAコントローラからのDMAアクノリッジ信号です。ホストCPUがμPD72187AをI/Oアクセスする場合、 $\overline{DACK}$ 入力はインアクティブである必要があります。

## 3.1.2 画像メモリ・インタフェース用の端子

表3-2 画像メモリ・インタフェース用の端子

端子名称	端子番号	入出力	機能
A0-A23	49-52, 54-56, 58-64, 66-73, 75, 76	3ステート 入出力	$\mu$ PD72187A が画像メモリに対してバス・マスタである場合は出力状態となります。画像メモリに対してバス・スレーブである場合はハイ・インピーダンスとなります。  24ビットのアドレス信号によって、データ幅8ビット設定時には最大16Mバイト、16ビット設定時には最大32Mバイトのメモリをアクセスします。
D0-D15	31, 32, 64-39, 41-48	3ステート 入出力	画像メモリとの間で画像データの入出力を行います。データ幅は、8ビットまたは16ビットの選択が可能です。
$\overline{\text{MRD}}$	83	3ステート 入出力	$\mu$ PD72187A が画像メモリに対してバス・マスタである場合に出力状態となり、画像メモリからデータを読み出すときロウ・レベルとなります。画像メモリに対してバス・スレーブである場合は、ハイ・インピーダンスとなります。
$\overline{\text{MWR}}$	84	3ステート 入出力	$\mu$ PD72187A が画像メモリに対してバス・マスタである場合に出力状態となり、画像メモリからデータを書き込むときロウ・レベルとなります。画像メモリに対してバス・スレーブである場合は、ハイ・インピーダンスとなります。
AEN	86	出力	$\mu$ PD72187A が画像メモリに対してバス・マスタである場合にアクティブになります。
MREQ	85	出力	$\mu$ PD72187A が画像メモリに対してバス・スレーブである場合に、画像メモリ・バスの使用権を要求するための信号です。画像メモリとの間でDMA転送が必要なときアクティブとなります。
MACK	82	入力	MREQ に対し、 $\mu$ PD72187A に画像メモリ・バスの使用を許可したことを示すアクティブ・ハイの入力信号です。MACK 入力により $\mu$ PD72187A はバス・マスタになります。
MBCS	87	出力	画像メモリのバス・サイクルのスタートを示す信号です（通常は使用しなくてもかまいませんが、この端子によりメモリ・アクセスの先行制御を容易にすることができます）。
READY	81	入力	画像メモリが低速のメモリ・デバイスで構成される場合に、 $\overline{\text{MRD}}$ および $\overline{\text{MWR}}$ 信号幅を引き延ばすための入力信号です。データ・シートで規定されたセットアップ/ホールド時間の間は入力レベルを変化させないでください。



## 3.1.3 その他の端子

表3-3 その他の端子

端子名称	端子番号	入出力	機能
CLK	91	入力	外部クロック入力です。
$\overline{\text{RESET}}$	4	入力	システム・リセット入力です。システム・クロック2クロック分以上の間ロウ・レベルに保持してください。リセット後、 $\mu\text{PD72187A}$ は画像メモリに対してバス・スレープとなります。
IC1	1, 2, 79, 80, 88, 89	—	テスト用端子です。通常は、プルダウン（ロウ・レベル）してください。
IC2	77	—	テスト用端子です。通常は、プルアップ（ハイ・レベル）してください。
V <sub>DD</sub>	12, 33, 57, 74, 90, 98	—	正電源供給用端子です
GND	3, 17, 28, 40, 53, 65, 78, 92, 93	—	GND 端子です。

## 3.1.4 リセット後の各端子の状態

表3-4 リセット後の各端子の状態

端子名称	端子の状態
IOD0 - IOD15	ハイ・インピーダンス
INT, DREQ	ロウ・レベル
A0-A23	ハイ・インピーダンス
D0-D15	ハイ・インピーダンス
$\overline{\text{MRD}}$ , $\overline{\text{MWR}}$	ハイ・インピーダンス
MREQ, AEN	ロウ・レベル

(メ モ)

## 第4章 機能

### 4.1 機能概要

μPD72187Aは、JBIG標準規格に基づいて、二値画像データの符号化、および符号データから二値画像への復号化を行います。JBIG標準規格内のシングル・レイヤ・シーケンシャル・モードのみをサポートします。

符号化および復号化は、ITU-T（旧CCITT）勧告T.82に規定される符号化方式に従って行います。

μPD72187Aは、ホストCPUとのインタフェース、および画像メモリとのインタフェースの2つのインタフェースを持っています。ホストCPUとのコマンド/ステータス・データのやり取りはI/Oアクセスで行います。符号メモリ（ホスト側のメモリ）との符号データの転送には、外部DMAコントローラを用いてDMA転送を行います。また、データ・バッファを介して、I/Oアクセスで行うこともできます。画像メモリとのデータのやり取りは内蔵のDMAコントローラを用いてDMA転送により行います。

次に、μPD72187Aの機能一覧を示します。

- (1) リセット機能
- (2) 二値シンボル・データ圧縮/伸長機能
  - (a) 圧縮（符号化）機能
  - (b) 伸長（復号化）機能
- (3) 確率推定テーブル
- (4) 最低解像度レイヤ・モデル・テンプレート機能
- (5) AT (Adaptive Template) 機能
- (6) 最低解像度レイヤTP (Typical Prediction) 機能
- (7) ストライプ処理機能
- (8) スタッフ・バイト、マーカ・コード制御機能
  - (a) スタッフ・バイト自動挿入、マーカ・コード付加機能
  - (b) スタッフ・バイト廃棄、マーカ・コード検出/通知機能
- (9) 二値画像データ・サイズ
- (10) 画像メモリ・アクセス（画像データ転送）機能
- (11) 符号データ転送機能
- (12) 状態記憶メモリ（ST RAM）制御機能
  - (a) ST RAM データ転送機能
  - (b) ST RAM クリア機能
- (13) ライン・メモリ

## 4.2 リセット機能

μPD72187Aには、5種類の目的別リセット機能があります。

### (1) ハードウェア・リセット (HWRST)

$\overline{\text{RESET}}$  信号により μPD72187A 全体の初期化を行います。

### (2) ソフトウェア・リセット (SFRST)

ハードウェア・リセットと同等の初期化を行い、自動解除します。

SFRST を行うには、コントロール・レジスタ (CTR) の SFRST ビットを 0 に設定します。

### (3) ページ・リセット (PGRST)

符号化／復号化処理開始の前に、ホスト CPU から設定することにより、一部のレジスタを除いて μPD72187A 全体の初期化を行い、自動解除します。

PGRST を行うには、コントロール・レジスタ (CTR) の PGRST ビットを 0 に設定します。

### (4) ストライプ・リセット (SPRST)

おのおののストライプの先頭で、必要に応じてホスト CPU から設定することにより、画像メモリ・インタフェース部とホスト・インタフェース部を除く部分の初期化を行い、自動解除します。

SPRST を行うには、コントロール・レジスタ (CTR) の SPRST ビットを 0 に設定します。

### (5) QM リセット (QMRST)

QM リセットは、ホスト CPU から設定することにより、算術符号化部の初期化を行います。

QMRST を行うには、コントロール・レジスタ (CTR) の QMRST ビットを 0 に設定します。

QM リセットは、コマンド・レジスタ 1 の QMON ビットに 1 を書き込むことにより解除されます。

これらのリセットは、上位のリセットが設定されることによっても有効になります。次に各リセット間の関係を示します。

HWRST = SFRST > PGRST > SPRST > QMRST

注意 1. SFRST や PGRST を実行した場合は、QMRST を除く下位のリセットが解除されるのを待ってから次の処理に進んでください。

2. μPD72187A の各レジスタに対してリセットを実行した場合、同一のレジスタ内にあっても、ビット単位で有効／無効が異なるものがあります。

## 4.3 二値シンボル・データ圧縮／伸長機能

### 4.3.1 圧縮（符号化）機能

μPD72187A は、画像メモリから読み込んだ画像データ（二値シンボル・データ）を JBIG 方式により符号化し、符号データを出力します。

符号化の終了方式には、次に示す 2 つがあります。

#### ・カウンタ標準方式

モード・レジスタ L (MDRL) の PENSEL ビットを 0 に設定することによりこの方式が選択されます。この方式を使用する場合は、必ず最終ストライプの処理を開始するまでに正確な副走査ライン数を設定してください。

副走査ライン数の設定は、ライン数設定レジスタ L/H (LINL/LINH) で行ってください。

#### ・フラグ・エンド方式

モード・レジスタ L (MDRL) の PENSEL ビットを 1 に設定することによりこの方式が選択されます。この方式を使用する場合は、副走査ライン数を設定する必要はありませんが、最終データを含む入力データの転送開始の際にパラメータを設定してください。

パラメータの設定は、最終データを含む入力データ転送開始の際に、コマンド・レジスタ 1 (CMD1) の PENDFG ビットを 1 に設定することにより行ってください。

これらの終了方式におけるレジスタの設定方法を表 4-1 に示します。

表 4-1 符号化時の入力データ終了方式におけるレジスタ設定方法

符号化終了方式	条 件	モード・レジスタ PENSEL	マスク・レジスタ LOMSK
カウンタ方式	副走査ライン数、またはストライプ・ライン数が 64K ライン以下	0	0
	副走査ライン数、またはストライプ・ライン数が 64K ラインを超えるもの	0	1 → 0
フラグ・エンド方式	エンド・フラグにより終了	1	1
	エンド・フラグ、またはストライプ・ライン・カウンタによって終了（ストライプ・ライン数が 64K ライン以下）	1	0
	エンド・フラグ、またはストライプ・ライン・カウンタによって終了（ストライプ・ライン数が 64K ラインを超えるもの）	1	1 → 0

符号データの終端は、次に示す JBIG 標準方式で処理します。

・ JBIG 標準方式

JBIG 標準規格で定められている方式です。「符号終端部に 00H のデータが連続しているような場合は、その 00H を削除してもよい」という規格になっています。

符号終端部の 00H のデータを削除する動作をフラッシュ動作といいます。フラッシュ動作は、ホスト CPU で行ってください。μPD72187A では、フラッシュ動作をサポートしておりません。フラッシュ動作によって終端部を削除した符号を復号化するには、必ず副走査ライン数の設定を行ってください。JBIG 標準方式の設定は、モード・レジスタ L (MDRL) の BITEND ビットと、FLSOFF ビットを 0 に設定することにより行ってください。

### 4.3.2 伸長（復号化）機能

JBIG 方式により符号化された符号入力データを復号化し、画像データを出力します。

復号化の終了方式は次に示す JBIG 標準方式で行います。

・ JBIG 標準方式

最終ストライプの処理を開始するまでに、正確な副走査ライン数の設定が必要な方式です。

副走査ライン数の設定は、ライン数設定レジスタ L/H (LINL/LINH) で行ってください。

また、複合化処理中に μPD72187A がマーカ・コードを検出したあと、最終バイト処理開始を設定することによって復号化が終了します。

マーカ・コード検出時は、割り込みステータス・レジスタ (IST) の MKDTC ビットが 1 になり、割り込みが発生します。割り込みが発生すると、端子番号 5 番の INT 端子がハイ・レベルになりますので、割り込み検出の際は、ステータス・レジスタ H (STRH) の INTR ビットか、INT 端子をポーリングしてください。

最終バイト処理開始の設定は、コマンド・レジスタ 1 (CMD1) の QMLSIN ビットを 1 に設定することにより行ってください。

備考 レジスタの詳細については、第 8 章 レジスタ構成を参照してください。

## 4.4 確率推定テーブル

μPD72187Aは、符号化／復号化処理に必要なJBIG標準の「確率推定テーブル」をROMの形で内蔵しています。テーブルの書き換え、切り替えはできません。

表4-2にテーブルのデータを示します。

表4-2 確率推定ROMの内容(1/2)

アドレス(H)	データ(H)				
	ROM1 <sup>注</sup>				ROM2
	NLPS	NMPS	SW	値	LSZ
00	01	01	1	0103	5A1D
01	0E	02	0	0E04	2586
02	10	03	0	1006	1114
03	12	04	0	1208	080B
04	14	05	0	140A	03D8
05	17	06	0	170C	01DA
06	19	07	0	190E	00E5
07	1C	08	0	1C10	006F
08	1E	09	0	1E12	0036
09	21	0A	0	2114	001A
0A	23	0B	0	2316	000D
0B	09	0C	0	0918	0006
0C	0A	0D	0	0A1A	0003
0D	0C	0D	0	0C1A	0001
0E	0F	0F	1	0F1F	5A7F
0F	24	10	0	2420	3F25
10	26	11	0	2622	2CF2
11	27	12	0	2724	207C
12	28	13	0	2826	17B9
13	2A	14	0	2A28	1182
14	2B	15	0	2B2A	0CEF
15	2D	16	0	2D2C	09A1
16	2E	17	0	2E2E	072F
17	30	18	0	3030	055C
18	31	19	0	3132	0406
19	33	1A	0	3334	0303
1A	34	1B	0	3436	0240
1B	36	1C	0	3638	01B1
1C	38	1D	0	383A	0144
1D	39	1E	0	393C	00F5
1E	3B	1F	0	3B3E	00B7

アドレス(H)	データ(H)				
	ROM1 <sup>注</sup>				ROM2
	NLPS	NMPS	SW	値	LSZ
1F	3C	20	0	3C40	008A
20	3E	21	0	3E42	0068
21	3F	22	0	3F44	004E
22	20	23	0	2046	003B
23	21	09	0	2112	002C
24	25	25	1	254B	5AE1
25	40	26	0	404C	484C
26	41	27	0	414E	3A0D
27	43	28	0	4350	2EF1
28	44	29	0	4452	261F
29	45	2A	0	4554	1F33
2A	46	2B	0	4656	19A8
2B	48	2C	0	4858	1518
2C	49	2D	0	495A	1177
2D	4A	2E	0	4A5C	0E74
2E	4B	2F	0	4B5E	0BFB
2F	4D	30	0	4D60	09F8
30	4E	31	0	4E62	0861
31	4F	32	0	4F64	0706
32	30	33	0	3066	05CD
33	32	34	0	3268	04DE
34	32	35	0	326A	040F
35	33	36	0	336C	0363
36	34	37	0	346E	02D4
37	35	38	0	3570	025C
38	36	39	0	3672	01F8
39	37	3A	0	3774	01A4
3A	38	3B	0	3876	0160
3B	39	3C	0	3978	0125
3C	3A	3D	0	3A7A	00F6
3D	3B	3E	0	3B7C	00CB

注 NLPS (7ビット), NMPS (7ビット), SWITCH (1ビット) をROMのデータとしています。



表 4-2 確率推定 ROM の内容 (2/2)

アドレス(H)	データ(H)				
	ROM1注				ROM2
	NLPS	NMPS	SW	値	LSZ
3E	3D	3F	0	3D7E	00AB
3F	3D	20	0	3D40	008F
40	41	41	1	4183	5B12
41	50	42	0	5084	4D04
42	51	43	0	5186	412C
43	52	44	0	5288	37D8
44	53	45	0	538A	2FEB
45	54	46	0	548C	293C
46	56	47	0	568E	2379
47	57	48	0	5790	1EDF
48	57	49	0	5792	1AA9
49	48	4A	0	4894	174E
4A	48	4B	0	4896	1424
4B	4A	4C	0	4A98	119C
4C	4A	4D	0	4A9A	0F6B
4D	4B	4E	0	4B9C	0D51
4E	4D	4F	0	4D9E	0BB6
4F	4D	30	0	4D60	0A40
50	50	51	1	50A3	5832
51	58	52	0	58A4	4D1C
52	59	53	0	59A6	438E
53	5A	54	0	5AA8	3BDD
54	5B	55	0	5BAA	34EE
55	5C	56	0	5CAC	2EAE
56	5D	57	0	5DAE	299A
57	56	47	0	568E	2516
58	58	59	1	58B3	5570
59	5F	5A	0	5FB4	4CA9
5A	60	5B	0	60B6	44D9
5B	61	5C	0	61B8	3E22
5C	63	5D	0	63BA	3824

アドレス(H)	データ(H)				
	ROM1注				ROM2
	NLPS	NMPS	SW	値	LSZ
5D	63	5E	0	63BC	32B4
5E	5D	56	0	5DAC	2E17
5F	5F	60	1	5FC1	56A8
60	65	61	0	65C2	4F46
61	66	62	0	66C4	47E5
62	67	63	0	67C6	41CF
63	68	64	0	68C8	3C3D
64	63	5D	0	63BA	375E
65	69	66	0	69CC	5231
66	6A	67	0	6ACE	4C0F
67	6B	68	0	6BD0	4639
68	67	63	0	67C6	415E
69	69	6A	1	69D5	5627
6A	6C	6B	0	6CD6	50E7
6B	6D	67	0	6DCE	4B85
6C	6E	6D	0	6EDA	5597
6D	6F	6B	0	6FD6	504F
6E	6E	6F	1	6EDF	5A10
6F	70	6D	0	70DA	5522
70	70	6F	1	70DF	59EB

注 NLPS (7ビット), NMPS (7ビット), SWTCH (1ビット) をROMのデータとしています。

## 4.5 最低解像度レイヤ・モデル・テンプレート機能

μPD72187Aは、JBIG (T.85) 標準機能を実現するため最低解像度レイヤのモデル・テンプレート（参照画像パターン型抜き）機能を持っています。

この機能は、ホスト CPU からの設定によりモデル・テンプレートのライン数を、3ラインまたは2ラインに切り替えることができます。設定は次のとおりです。

- ・3ライン・テンプレート：モード・レジスタ L (MDRL) の LRLTWO ビットを 0 に設定してください。
- ・2ライン・テンプレート：モード・レジスタ L (MDRL) の LRLTWO ビットを 1 に設定してください。

次にそれぞれのモデル・テンプレートを示します。■は、符号化／復号化現画素位置です。

図4-1 3ライン・テンプレート

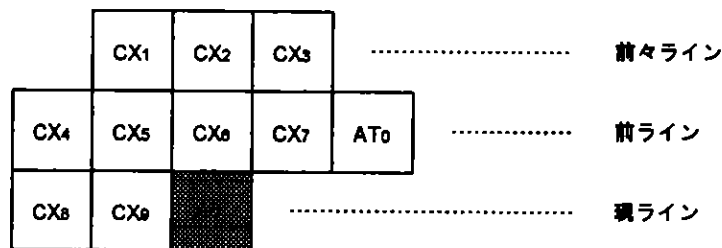
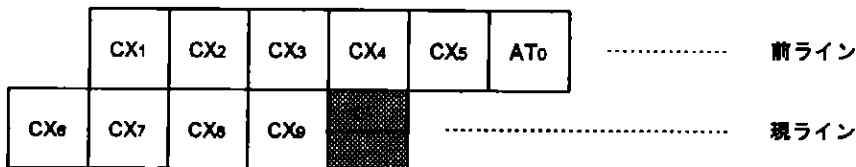


図4-2 2ライン・テンプレート



したがって、モデル・テンプレートからコンテキスト（参照画像パターン）を生成するときのデータ配列は、次のようになります。

(MSB)                      (LSB)  
 CX1 ..... CX9, AT0 (10ビット)

また、TP機能（4.7 最低解像度レイヤ TP(Typical Prediction)機能参照）を使用する場合、SLNTPを符号化／復号化する際、固定のコンテキストに自動切り替える機能があります。次に、その値を示します。

- ・3ライン・テンプレート使用時      : 0E3H
- ・2ライン・テンプレート使用時      : 18BH

## 4.6 AT (Adaptive Template) 機能

μPD72187Aには、ホストからの設定により、JBIG標準仕様に従って図中に示すAの位置を、符号化/復号化現画素の同一ライン上、手前127画素の範囲（図中点線部）で移動する機能があります。

画素Aの移動位置は、ATレジスタL/H (ATRL / ATRH) で設定します。

画素Aの移動開始ラインは、ATライン・レジスタL/H (ATLL / ATLH) で設定します。

図4-3 3ライン・テンプレートAT画素可動範囲

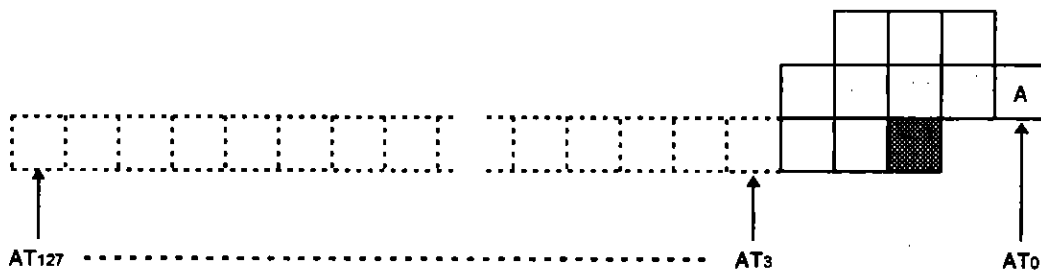
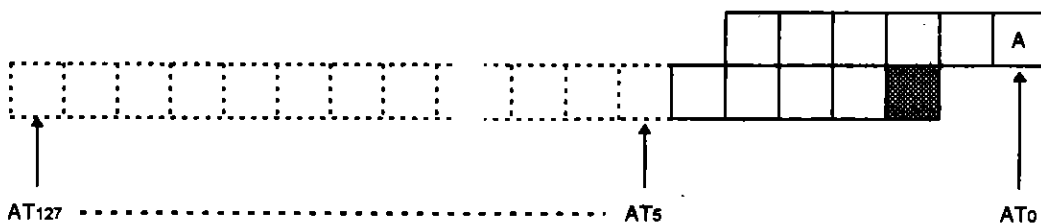


図4-4 2ライン・テンプレートAT画素可動範囲



したがって、AT機能を使用した際に生成されるコンテキストのデータ配列におけるLSBは次のようになります。

(MSB) (LSB)  
3ライン・テンプレート使用時: CX1 ..... CX9, (AT0 or AT3 ~ AT16)

(MSB) (LSB)  
2ライン・テンプレート使用時: CX1 ..... CX9, (AT0 or AT5 ~ AT16)

AT画素の移動は、1ストライプ内の任意のラインの処理開始時に複数回行うことができます。

TP機能を使用する場合、SLNTPの符号化/復号化にかぎって固定のコンテキストを使用するため、AT画素の移動位置は無効になります。

### 4.6.1 AT 機能の制御方法

(1) 1ストライプ内でAT 図素の移動位置 (IATMX) を変更しない場合

- |                                   |                              |
|-----------------------------------|------------------------------|
| ① AT ムーブを有効にする。                   | (AT レジスタの ATMOVE=1)          |
| ② AT ライン・レジスタを設定する <sup>※</sup> 。 | (AT ライン・レジスタの ATLL=ATLH=FFH) |
| ③ ATMX の初期値ロードを有効にする。             | (AT レジスタの IATMXE=1)          |
| ④ ATMX の初期値を書き込む。                 | (AT レジスタの IATM00-IATM06)     |
| ⑤ 起 動                             |                              |

注 1ストライプ内でAT 図素の移動位置 (IATMX) を変更しない場合は“FFFFH”を設定してください。

(2) AT 図素の移動位置の変更を1ストライプ内で1回だけ行う場合

(a) デフォルト値からの変更 (デフォルト値→ATMX)

- |                           |                          |
|---------------------------|--------------------------|
| ① AT ムーブを有効にする。           | (AT レジスタの ATMOVE=1)      |
| ② AT ムーブの実行開始ラインを設定する。    | (AT ライン・レジスタ)            |
| ③ AT ムーブの切り替え後の移動位置を書き込む。 | (AT レジスタの ATMX00-ATMX06) |
| ④ 起 動                     |                          |

(b) 初期値からの変更 (IATMX→ATMX)

- |                           |                          |
|---------------------------|--------------------------|
| ① AT ムーブを有効にする。           | (AT レジスタの ATMOVE=1)      |
| ② ATMX の初期値ロードを有効にする。     | (AT レジスタの IATMXE=1)      |
| ③ ATMX の初期値を書き込む。         | (AT レジスタの IATM00-IATM06) |
| ④ AT ムーブの実行開始ラインを設定する。    | (AT ライン・レジスタ)            |
| ⑤ AT ムーブの切り替え後の移動位置を書き込む。 | (AT レジスタの ATMX00-ATMX06) |
| ⑥ 起 動                     |                          |

## (3) AT 画素の移動位置の変更を1ストライプ内で複数回行う場合 (マルチ AT ムーブ機能)

## (a) デフォルト値からの変更 (デフォルト値→ATMX→ATMX…)

- ① AT ムーブを有効にする。 (AT レジスタの ATMOVE=1)
- ② AT ムーブの実行開始ラインを設定する。 (AT ライン・レジスタ)
- ③ AT ムーブの切り替え後の移動位置を書き込む。 (AT レジスタの ATMX00-ATMX06)
- ④ マルチプル AT ムーブ機能を有効にする。 (TP レジスタの MATON=1)
- ⑤ 起 動  
\*AT ムーブ実行ラインを検出し、INT を出力\*
- ⑥ INT 確認後、INT をクリア。 (割り込みステータス・レジスタの ATSTP=0)
- ⑦ AT ムーブ実行ラインの更新。 (AT ライン・レジスタ)
- ⑧ 一時停止を解除。 (コマンド・レジスタ 1 の ATPAUS=0)  
\*AT ムーブ実行ラインを検出し、INT を出力\*
- ⑨ INT 確認後、INT をクリア。 (割り込みステータス・レジスタの ATSTP=0)
- ⑩ AT ムーブ実行ラインの更新。 (AT ライン・レジスタ)
- ⑪ 一時停止を解除 (コマンド・レジスタ 1 の ATPAUS=0)

## (b) 初期値からの変更 (IATMX→ATMX→ATMX…)

- ① AT ムーブを有効にする。 (AT レジスタの ATMOVE=1)
- ② ATMX の初期値ロードを有効にする。 (AT レジスタの IATMXE=1)
- ③ ATMX の初期値を書き込む。 (AT レジスタの IATM00-IATM06)

以下、(3) (a) の③~⑪と同一の制御を実行してください。

レジスタの詳細については、第8章 レジスタ構成を参照してください。

## 4.7 最低解像度レイヤ TP (Typical Prediction) 機能

μPD72187Aは、ホスト CPU からの設定により、JBIG 標準仕様に従って、符号化／復号化しようとする現ラインが前ラインと一致しているか否かを1ビットのデータ (LNTP) で置換します。ラインが一致していたときは1ラインを一括して符号化する機能、および前ライン置換により復号化する機能があります。

TP 機能を使用するには、モード・レジスタ L (MDRL) の TPBON ビットと TPNCNT ビットをそれぞれ1に設定します。

つまり、現ラインの LNTP 値 (LNTP<sub>y</sub>) と前ラインの LNTP 値 (LNTP<sub>y-1</sub>) から作られる疑似画素 SLNTP 値を使用して、一括符号化および前ライン置換により復号化を行います。SLNTP 値は次の式で表されます。

$$SLNTP_y = \overline{LNTP_y \oplus LNTP_{y-1}}$$

⊕ : 排他的論理和

— : 論理反転

この機能を使用する場合には、符号化／復号化対象ストライプの処理を開始する前に、LNTP<sub>y-1</sub> には同一プレーン (平面) の前ストライプにおける最終ラインの LNTP 値をセットしておく必要があります。

LNTP 値は TP レジスタ (TPR) の LNTPY1 ビットで設定しますが、この値を有効にするために、TP レジスタの LNTPYE ビットも必ず1に設定してください。

LNTP<sub>y-1</sub> のリード／ライトは、算術符号部が停止している期間のみに行ってください。

各ビット・プレーンにおける第1ストライプ処理開始時は、LNTP<sub>y-1</sub> に必ず1 (not TP) を設定してください。

レジスタの詳細については、第8章 レジスタ構成を参照してください。

## 4.8 ストライプ処理機能

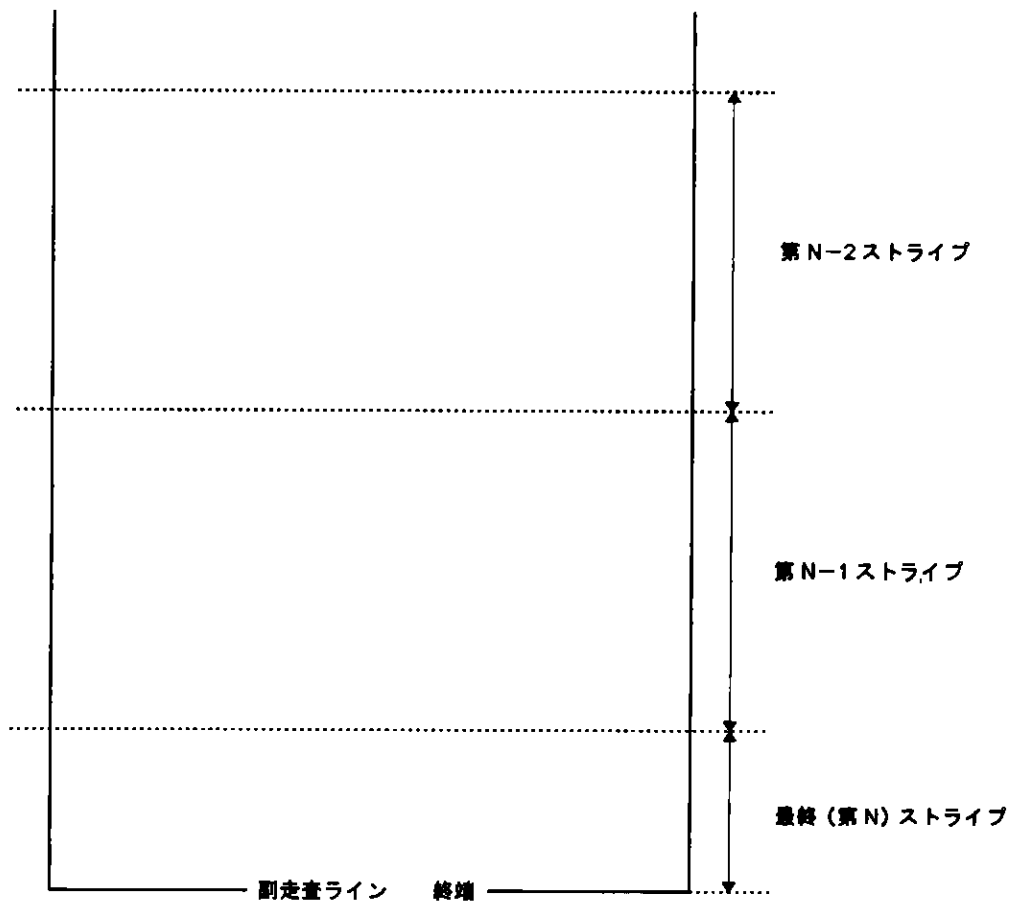
$\mu$ PD72187Aには、JBIG標準仕様に従って、ストライプを単位として符号化/復号化処理を行う機能があります。

処理可能な1ストライプのライン数は、1 (0001H) から  $2^{16}-1$  (FFFFH) ラインです。

設定は、ストライプ・レジスタ L/H (STPL/STPH) で行います。

1ページのデータは、1以上のストライプで分割されます。しかし、1ページの副走査ライン数は、ストライプ・ライン数の整数倍に一致するとはかぎりません。したがって、最終ストライプはストライプ・ライン数と一致しなくても、図4-5のように1ストライプとして扱います。

図4-5 ストライプ単位の処理



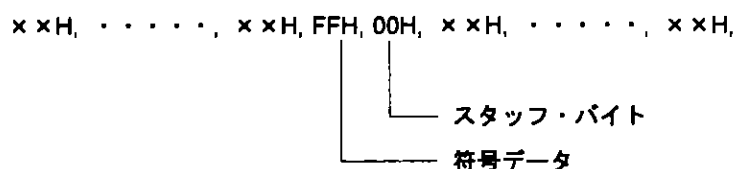
## 4.9 スタッフ・バイト，マーカ・コード制御機能

### 4.9.1 マーカ・コードおよびスタッフ・バイトについて

マーカ・コードとは、FFH+××Hで表される2バイトの制御コードとそれに付随するデータ列です。

マーカ・コード	FFH + 02H	:SDNORM (通常終端)
	FFH + 03H	:SDRST (次ストライプ前にリセットを実行する)
	FFH + 04H	:ABORT (処理の中断)
	FFH + 05H + ...	:NEW LEN (原稿の副走査長を変更できる)
	FFH + 06H + ...	:ATMOVE (AT 画素位置を変更できる)

しかし、FFH + ××Hは符号データ列中にも存在します。そこで符号データ FFHの後ろに 00Hを付加してマーカ・コードと符号データを識別します。このとき付加する 00Hがスタッフ・バイトです。



### 4.9.2 スタッフ・バイト自動挿入，マーカ・コード付加機能

μPD72187Aには、符号化動作において算術符号化部が動作していないとき、ホスト CPUからの設定によって、ホスト CPUからマーカ・コードをマーカ・コード・バッファ・レジスタ (MKB)に書き込むと、自動的にマーカ・コードを符号インタフェースに出力する機能があります。

マーカ・コードを書き込む際には、モード・レジスタ L (MDRL)の STFOFF ビットを 0、ホスト・バス・モード・レジスタ (HSB)の CODBUS ビットを 0に設定します。

算術符号化部が動作中に符号データ FFHを出力した場合は、スタッフ・バイトとして 00Hを自動挿入する機能があります。

スタッフ・バイト自動挿入を設定するには、モード・レジスタ L (MDRL)の STFOFF ビットを 0、ホスト・バス・モード・レジスタ (HSB)の CODBUS ビットを 1に設定します。

μPD72187Aの設定をスタッフ・バイト自動挿入禁止、マーカ・コード付加禁止に設定した場合は、スタッフ・バイト自動挿入およびマーカ・コードの付加は行いません。

スタッフ・バイト自動挿入禁止、マーカ・コード付加禁止を設定するには、モード・レジスタ L (MDRL)の STFOFF ビットを 1に設定します。



### 4.9.3 スタッフ・バイト廃棄，マーカ・コード検出／通知機能

μPD72187Aには、復号化動作のときホスト CPU からの設定により、入力される符号データ中のスタッフ・バイト 00H を自動廃棄する機能があります（モード・レジスタ (MDRL) :STFOFF=0, ホスト・バス・モード・レジスタ (HSB) :CODBUS=1）。

また、マーカ・コード検出機能によりマーカ・コードを検出すると、符号データ・バスをホスト CPU 側に自動的に切り替え（μPD72187A が自動的に、ホスト・バス・モード・レジスタ (HSB) の CODBUS ビットを 0 に設定します）、ホスト CPU に対して割り込みおよびステータスにより通知を行います。

割り込み発生時は、INT 端子がハイ・レベルになります。またステータスは、割り込みステータス・レジスタ (IST) の MKDIC ビットが 1 になることにより通知します。

μPD72187A をスタッフ・バイト自動挿入禁止、マーカ・コード付加禁止に設定した場合は、スタッフ・バイト廃棄、マーカ・コード検出／通知はともに行いません。

スタッフ・バイト自動挿入禁止、マーカ・コード付加禁止を設定するには、モード・レジスタ L (MDRL) の STFOFF ビットを 1 に設定します。

## 4.10 二値画像データ・サイズ

μPD72187A が符号化/復号化処理可能な画像データ・サイズを次に示します。

主走査方向：1 (0001H) ~ 2<sup>13</sup>-1 (1FFFH) ビット

8K 画素

A3 サイズ (約 34cm) , 600dpi の解像度までサポート。

副走査方向：1 (0001H) ~ 2<sup>18</sup>-1 (FFFFH) ビット

64K ライン

ただし、副走査方向については、ホスト CPU の操作により無限長まで対応することが可能です。

### ★ 4.10.1 副走査ライン数の設定方法

(1) 副走査ライン数が 65536 ラインの場合

(a) 一括で処理する場合

- ① 副走査ライン数をマスクする。 (マスク・レジスタの YDMSK=1)
- ② ストライプ・ライン数をマスクする。 (マスク・レジスタの L0MSK=1)
- ③ 副走査ライン数を "0000H" に設定する。 (ライン数設定レジスタ)
- ④ ストライプ・ライン数を "0000H" に設定する。 (ストライプ・ライン数設定レジスタ)
- ⑤ 画像データ開始アドレス・レジスタ, 画像データ  
終了アドレス・レジスタで, 65536 ライン分未満  
の画像データ DMA 転送領域を設定する。 (画像データ開始/終了アドレス・レジスタ)
- ⑥ 起 動  
\* 画像データ転送終了アドレスを検出し, INT を出力 \*
- ⑦ 副走査ライン数のマスクを解除する。 (マスク・レジスタの YDMSK=0)
- ⑧ ストライプ・ライン数のマスクを解除する。 (マスク・レジスタの L0MSK=0)
- ⑨ 画像データ開始アドレス・レジスタ, 画像データ  
終了アドレス・レジスタで, まだ処理の終わって  
いない領域を設定する。
- ⑩ 起 動

## (b) 複数のストライプに分割して処理する場合

- ① 副走査ライン数をマスクする。 (マスク・レジスタの YDMSK=1)
- ② 副走査ライン数を“0000H”に設定する。 (ライン数設定レジスタ)
- ③ ストライプ・ライン数を設定する。 (ストライプ・ライン数設定レジスタ)
- ④ 1ストライプ分の画像データ DMA 転送領域を設定する。 (画像データ開始/終了アドレス・レジスタ)
- ⑤ 起 動
  - \* ストライプ・ライン数、画像データ転送終了アドレスを検出し、INT を出力\*
  - 最後から1つ手前のストライプまで、④~⑤の処理を繰り返してください。
- ⑥ 副走査ライン数のマスクを解除する。 (マスク・レジスタの YDMSK=0)
- ⑦ 1ストライプ分の画像データ DMA 転送領域を設定する。 (画像データ開始/終了アドレス・レジスタ)
- ⑧ 起 動

## (2) 副走査ライン数が 65536 ラインを超える場合

## (a) 一括で処理する場合

- ① 副走査ライン数をマスクする。 (マスク・レジスタの YDMSK=1)
- ② ストライプ・ライン数をマスクする。 (マスク・レジスタの LOMSK=1)
- ③ 副走査ライン数に  
“(処理するライン数) - (65536 ライン)”  
の値を設定する。 (ライン数設定レジスタ)
- ④ ストライプ・ライン数に  
“(処理するライン数) - (65536 ライン)”  
の値を設定する。 (ストライプ・ライン数設定レジスタ)
- ⑤ 画像データ開始アドレス・レジスタ、画像データ  
終了アドレス・レジスタで、65536 ライン分の  
画像データ DMA 転送領域を設定する。 (画像データ開始/終了アドレス・レジスタ)
- ⑥ 起 動
  - \* 画像データ転送終了アドレスを検出し、INT を出力\*
  - 残りのライン数が 65536 未満になるまで、⑤~⑥の処理を繰り返してください。
- ⑦ 副走査ライン数のマスクを解除する。 (マスク・レジスタの YDMSK=0)
- ⑧ ストライプライン数のマスクを解除する。 (マスク・レジスタの LOMSK=0)
- ⑨ 画像データ開始アドレス・レジスタ、画像データ  
終了アドレス・レジスタで、まだ処理の終わって  
いない領域を設定する。
- ⑩ 起 動

(b) 複数のストライプに分割して処理する場合

- ① 副走査ライン数をマスクする。 (マスク・レジスタの YDMSK=1)
- ② 副走査ライン数に“(処理するライン数)を(ストライプ・ライン数)で割った余り”の値を設定する。 (ライン数設定レジスタ)
- ③ ストライプ・ライン数を設定する。 (ストライプ・ライン数設定レジスタ)
- ④ 1ストライプ分の画像データ DMA 転送領域を設定する。 (画像データ開始/終了アドレス・レジスタ)
- ⑤ 起 動
  - \* ストライプ・ライン数, 画像データ転送終了アドレスを検出し, INT を出力 \*
  - 最後から1つ手前のストライプまで, ④~⑤の処理を繰り返してください。
- ⑥ 副走査ライン数のマスクを解除する。 (マスク・レジスタの YDMSK=0)
- ⑦ 1ストライプ分の画像データ DMA 転送領域を設定する。 (画像データ開始/終了アドレス・レジスタ)
- ⑧ 起 動

## 4.11 画像メモリ・アクセス (画像データ転送) 機能

$\mu$ PD72187AはDMAコントローラを内蔵しています。このため、 $\mu$ PD72187AにはホストCPUからの設定により、アドレス管理と画像データ転送(入出力)を行い、設定された転送の終了を通知する機能があります。

処理する画像の画素数や画像メモリ上のDMA転送アドレスについては、それぞれ、画素数設定レジスタL/H(PELL/PELH)、画像データ開始アドレス・レジスタL/M/H(DMSL/DMSM/DMSH)、画像データ終了アドレス・レジスタL/M/H(DMEL/DMEM/DMEH)で設定します。また、内蔵DMAコントローラの起動は、コマンド・レジスタ1(CMD1)のIDMAONビットを1に設定して行います。

転送終了時には、INT端子がハイ・レベルとなり、割り込みステータス・レジスタ(IST)のIDMENDビットが1になることにより通知されます。

外部の動作は次のようになります。

符号化時：ブリスキャン・ラインから1バイト/1ワードの読み出し

参照ライン、符号化ラインからの読み出しは内蔵のライン・メモリから行います。

復号化時：復号化ラインへ1バイト/1ワードの書き込み

参照ラインからの読み出しは内蔵のライン・メモリから行います。

$\mu$ PD72187Aが扱うことが可能な画像データ形式は、基本的にライン単位のバイト・バウンダリで、画像メモリ上の連続空間に書き込まれたものにかぎります。

ただし、画像バス・サイズを16ビット・モードに設定した場合は、 $\mu$ PD72187Aの内蔵DMAコントローラは16ビットのバス幅で画像データを読み書きします。

## 4.12 符号データ転送機能

μPD72187AにはホストCPUからの設定により、次の処理を行って符号データ転送（入出力）する機能があります。

- ・符号データ入出力インタフェース切り替え（DMAまたはI/O）  
モード・レジスタH（MDRH）のCODOUTビットで設定します。
- ・符号データ入出力バス・サイズ切り替え（8ビットまたは16ビット）  
モード・レジスタH（MDRH）のSTORETビットで設定します。
- ・ビット反転  
モード・レジスタH（MDRH）のLMSSELビットで設定します。
- ・バイト入れ替え（UpperまたはLower）  
モード・レジスタH（MDRH）のBYTSELビットで設定します。

処理の強制中断も可能ですが、データの保証はできません。

これらの処理を行う際には、次のレジスタも設定してください。

- ・ホスト・バス・モード・レジスタ（HSB）のSTFSELビットを0に設定してください。
- ・コマンド・レジスタ1（CMD1）のHREQENビットを1に設定してください。

## 4.13 状態記憶メモリ (ST RAM) 制御機能

### 4.13.1 ST RAM データ転送機能

μPD72187Aには、ホスト CPU からの設定により、次の処理を行って ST RAM データ転送 (入出力) する機能があります。

- ・ST RAM データ入出インタフェースの切り替え (DMA または I/O) モード・レジスタ H (MDRH) の CODOUT ビットで設定します。
- ・ST RAM データ入出力バス・サイズ切り替え (16 ビット) モード・レジスタ H (MDRH) の STORET を 0 に設定してください。

処理の強制中断も可能ですが、データの保証はできません。  
この処理を行う際には、次のレジスタも設定してください。

- ・ホスト・バス・モード・レジスタ (HSB) の STFSEL ビットを 1 に設定してください。
- ・コマンド・レジスタ 1 (CMD1) の HREQEN ビットと SDTRON ビットを 1 に設定してください。

複数のビット・プレーンに対応するときは、この機能によりビット・プレーンごとに ST RAM を管理してください。

**注意** ST RAM データ転送機能は、符号データ入出力バス幅が 16 ビットのモードにしか対応していません。

この機能を使用する際には、必ず符号データ入出力バス幅を 16 ビット・モードに設定してください (モード・レジスタ H (MDRH) の STORET ビットを 0 に設定してください)。

### 4.13.2 ST RAM クリア機能

μPD72187Aには、ホスト CPU からの設定により、ST RAM を 0 クリアする機能があります。ただしこの機能は、算術符号化部が動作していないときのみ使用できます。

ST RAM クリア機能を設定するには、コマンド・レジスタ 1 (CMD1) の STCLR ビットを 1 にします。  
また、強制中断も可能です。

## 4.14 ライン・メモリ

ライン・メモリは、1Kバイト(8Kビット)×4ラインのLM(Line Memory)部と各動作モードにおけるリード/ライトの制御を行うLMC(Line Memory Controller)部で構成されます。

LMのライン数の内訳は次のとおりです。

- ・参照ライン(3ライン・テンプレート時を考慮) : 2ライン
- ・処理対象ライン(現ライン) : 1ライン
- ・ブリスキャン・ライン(TP用ライン) : 1ライン

### 4.14.1 参照ライン蓄積

参照ライン蓄積は、1ページに複数のストライプがあり、かつ、ストライプ単位にビット・プレーン切り替えが行われ、さらに同一プレーンの前のストライプのデータを参照する必要がある場合に行います。

参照ライン蓄積は、符号化/復号化の処理を行わずに、参照用のライン・メモリにデータを蓄積する処理です。ビット・プレーン切り替え後、符号化/復号化を始める前に各ビット・プレーンの先頭で行います。

蓄積データ転送は、必ずQMリセット期間中(QMON=0)に行ってください。蓄積データ転送は、蓄積データ転送モードに設定したあと、画像側DMAを起動して行いますが、このとき、画像側DMA転送のデータ量を蓄積データの大きさ(1ラインまたは2ライン分)に一致させる必要があります。

**注意** 次に示す動作条件下での参照ライン蓄積の場合は、特別な制御を必要とします。

#### <動作条件>

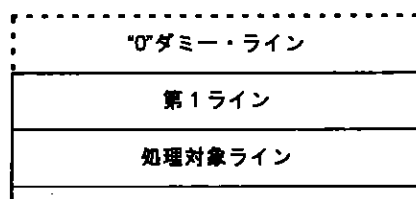
- ・3ライン・テンプレート
- ・1ストライプ=1ライン
- ・ビット・プレーンを使用する際の各ビット・プレーンの第2ストライプ処理(符号化および復号化処理)開始前の参照ライン蓄積

#### <制御>

- ・ (“0”ダミー・ライン) + (第1ライン) をDMA転送により入力する。
- ・ただし、“0”ダミー・ラインのデータ長XDUMMYは、次の式を満足しなければなりません。

$$\text{主走査画素数} \leq \text{XDUMMY} \leq \text{主走査バイト数}$$

図4-6 ダミー・ライン



[メ モ]



# 第5章 データの取り扱い方式

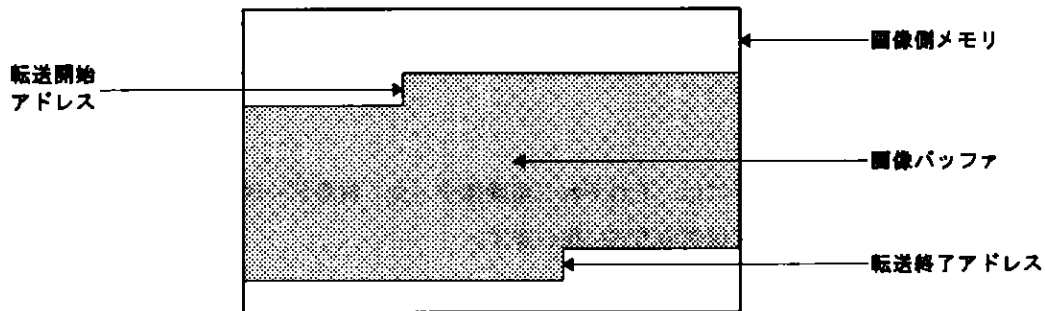
## 5.1 画像バッファ

### 5.1.1 画像バッファと符号バッファ

画像バッファは、 $\mu$ PD72187A がアクセス可能なメモリ領域を指します。画像バッファには、これから処理する原画像データ、または処理（復号化）済みの画像データを格納します。画像バッファの大きさ（主走査画素数と副走査ライン数）、および位置（転送開始アドレスと転送終了アドレス）は、ホスト CPU からのレジスタ設定で行います。

画像バッファは、データ配列として1次元配列となります。

図5-1 画像メモリと画像バッファ



符号バッファは、画像データを符号化して得られる符号データ、復号化のための符号データを格納します。

符号バッファは、 $\mu$ PD72187A からアクセスすることができません。外部の DMA コントローラ、ホスト CPU などによって管理してください。

### 5.1.2 画像バッファの構成

画像バッファの構成としては、バイト構成（8ビット単位）とワード構成（16ビット単位）の両方が可能です。バイト/ワード構成はホストCPUからのレジスタ設定で選択します。

ワード構成の場合、μPD72187Aの出力する1アドレスが1ワード分のメモリに対応します。

どちらの構成においても、μPD72187Aは内部処理を8ビット単位で行います。

μPD72187Aは画像メモリに対して24ビット幅のアドレス・バスを持っており、大容量の画像バッファをアクセスすることができます。表5-1にバイト/ワード構成時における画像バッファの容量を示します。

表5-1 画像バッファ容量

構 成	容 量 (Mバイト)	A4判 (210×297mm) 原稿換算の収容能力 〔枚：主走査方向8ドット/mm 副走査方向4ドット/mmで走査〕
バイト構成	16	64
ワード構成	32	128

### 5.1.3 データ格納方式

画像バッファおよび符号バッファには、それぞれ二値画像データ、符号データが格納されますが、二値画像データと符号データの格納に際しては次の方式に従います。

#### (1) 二値画像データの格納方式

二値画像データは表5-2のように2進数に置き換えられます。

表5-2 画像データの表現方式

レベル	2進数での表現形式
白レベル	0
黒レベル	1

二値画像データは次の方式で格納します。表5-3に、バイト/ワード構成時における画像データの格納例を示します。

- ・スキャナで最初に走査されるビットをバイト/ワードのLSB（最下位ビット）から順に格納する。
- ・スキャナで最初に走査されるバイト/ワード・データをアドレスの小さい方から順に格納する。

μPD72187Aは、符号化/復号化の処理をライン単位で行います。したがって、1ライン長がバイト/ワード（8/16ビット）単位で区切ることのできない場合には、各ラインの最終バイト/ワードの余りのビットは0で埋め、次ラインの最初のビットは、続くバイト/ワードのLSBに格納してください。

表5-3 画像データの格納例

メモリ構成	格納例																	
バイト構成		MSB								LSB								
	アドレス	7	6	5	4	3	2	1	0	(ビット)								
	0H	8	7	6	5	4	3	2	1	先頭データ								
	1H	16	15	14	13	12	11	10	9									
2H	24	23	22	21	20	19	18	17										
ワード構成		MSB								LSB								
	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	(ビット)
	0H	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	先頭データ
	1H	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	

(2) 符号データの格納方式

μPD72187Aでは、モード・レジスタH (MDRH) のBYTSEL, LMSSELの設定により、符号データの格納方式を選択できます。表5-4にバイト/ワード構成時における符号データの格納例を示します。

・ LMSSEL=0の場合

符号データをシリアルに転送する際、先に送信するビットをバイト/ワードのMSBから順に格納する。

・ LMSSEL=1の場合

符号データをシリアルに転送する際、先に送信するビットをバイト/ワードのLSBから順に格納する。

・ BYTSEL=0の場合

符号データをシリアルに転送する際、先に送信するバイト/ワード・データをアドレスの大きい方から順に格納する。

・ BYTSEL=1の場合

符号データをシリアルに転送する際、先に送信するバイト/ワード・データをアドレスの小さい方から順に格納する。

符号データは、通常バイト/ワード (8/16ビット) 単位で区切ることのできない長さとなります。このため、符号データを実際に符号バッファに送出する際、μPD72187Aはストライプやページの最終バイトに0ビットを付加することで、符号データ全体のビット長を8の倍数にそろえます。

さらに、16ビット・モードにおいて符号データ量が奇数バイトであった場合には、最終バイトに続くデータ (バイト) をホストCPUからμPD72187Aのマーカ・コード・バッファ・レジスタ (MKB) に書き込むことにより、連続したワード・データとして外部に送出します。

表6-4 符号データの格納例

メモリ構成	モード・レジスタ		格納例	
	BYTSEL	LMSSEL		
バイト構成	-	0	MSB	LSB
			アドレス	7 6 5 4 3 2 1 0 (ビット)
	0H	1 2 3 4 5 6 7 8	先頭データ	
	1H	9 10 11 12 13 14 15 16		
2H	17 18 19 20 21 22 23 24			
バイト構成	-	1	MSB	LSB
			アドレス	7 6 5 4 3 2 1 0 (ビット)
	0H	8 7 6 5 4 3 2 1	先頭データ	
	1H	16 15 14 13 12 11 10 9		
2H	24 23 22 21 20 19 18 17			
ワード構成	0	0	MSB	LSB
			アドレス	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
	0H	1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16		
	1H	17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32		
	0	1	MSB	LSB
			アドレス	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
	0H	8 7 6 5 4 3 2 1 16 15 14 13 12 11 10 9		
	1H	24 23 22 21 20 19 18 17 32 31 30 29 28 27 26 25		
1	0	MSB	LSB	
		アドレス	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
0H	9 10 11 12 13 14 15 16 1 2 3 4 5 6 7 8			
1H	25 26 27 28 29 30 31 32 17 18 19 20 21 22 23 24			
1	1	MSB	LSB	
		アドレス	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
0H	16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1			
1H	32 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17			

備考1. BYTSEL 0 : High byte first

1 : Low byte first

- : Don't care

2. LMSSEL 0 : MSB first

1 : LSB first

## 5.2 符号化／復号化方式

### 5.2.1 符号フォーマット

μPD72187A が取り扱うことのできる符号化／復号化方式は、ITU-T 勧告 T.82 標準で規定されている算術符号化方式です。

ITU-T 勧告 T.82 で定められている符号フォーマットを図5-2に示します。

図5-2 JBIG方式における符号データ・フォーマット

ヘッダ BIH	フローティング・ マーカ・コード	コード SDE	フローティング・ マーカ・コード	コード SDE	...	...	フローティング・ マーカ・コード	コード SDE
------------	---------------------	------------	---------------------	------------	-----	-----	---------------------	------------

ストライプ・データ

↓

PSCD + FF02H または FF03H (コード+マーカ・コード)

符号データ・フォーマットの中で、μPD72187A が制御を行うのは、“コード SDE”の領域です。

### 5.2.2 ヘッダ BIH (Bi-level Image Header) の構成

JBIG方式で取り扱われる符号データのヘッダ部 (BIH: Bi-level image header) は、ホスト CPU で付加、認識などの管理を行います。

T.82 で定められている BIH のフォーマットを図5-3に示します。

図5-3 T.82 で定義されている BIH フォーマット

ヘッダ BIH											
DL	D	P	fill	X <sub>D</sub>	Y <sub>D</sub>	L <sub>0</sub>	M <sub>x</sub>	M <sub>y</sub>	ORDER	OPTION	DPTABLE

DL	(1バイト)	: 送るべき解像度レイヤの値	(常に0)
D	(1バイト)	: 送るべき最終解像度レイヤの値	(常に0)
P	(1バイト)	: BID のビット・プレーン数	(常に1)
fill	(1バイト)	: 常に 00H	
X <sub>D</sub>	(4バイト)	: 最高解像度の水平方向の大きさ	(1~65535)
Y <sub>D</sub>	(4バイト)	: 最高解像度の垂直方向の大きさ	(1~65535)
L <sub>0</sub>	(4バイト)	: 最終解像度のストライプあたりのライン数	(1~Y <sub>D</sub> )
M <sub>x</sub>	(1バイト)	: AT 圖案に許される最大水平オフセット値	(0~8)
M <sub>y</sub>	(1バイト)	: AT 圖案に許される最大垂直オフセット値	(常に0)
ORDER	(1バイト)	: データがあるスプライトごとに分割されている場合の データの順序を示すもの (図5-4参照)	
OPTION	(1バイト)	: オプション・バイト (図5-5参照)	
DPTABLE		: DP テーブル	(使用しない: 常に0)

備考 ( ) 内は T.85 (JBIG FAX アプリケーション) で定義されている値

図5-4 ORDERバイトのフォーマット

MSB		ORDER				LSB	
-	-	-	-	HITOLO	SEQ	ILEAVE	SMID

- |        |        |                      |              |
|--------|--------|----------------------|--------------|
| HITOLO | (1ビット) | : 解像度の順序             | (使用しない: 常に0) |
| SEQ    | (1ビット) | : モードの順序             | (使用しない: 常に0) |
| ILEAVE | (1ビット) | : 複数ビット・プレーンの並べ替え    | (使用しない: 常に0) |
| SMID   | (1ビット) | : ストライプの指数 S が中間にあるか | (使用しない: 常に0) |

備考 ( ) 内は T.85 (JBIG FAX アプリケーション) で定義されている値

図5-5 OPTIONバイトのフォーマット

MSB	OPTION						LSB
-	LRLTWO	VLENGTH	TPDON	TPBON	DPON	DPPRIV	DPLAST

- |         |        |                        |                                      |
|---------|--------|------------------------|--------------------------------------|
| LRLTWO  | (1ビット) | : 最低解像度レイヤに用いるテンプレート選択 | (LRLTWO=0: 3ライン<br>LRLTWO=1: 2ライン)   |
| VLENGTH | (1ビット) | : NEW LEN マーカ・セグメントの使用 | (VLENGTH=0: 使用禁止<br>VLENGTH=1: 使用許可) |
| TPDON   | (1ビット) | : 差分レイヤ TP の使用         | (使用しない: 常に0)                         |
| TPBON   | (1ビット) | : 最低解像度レイヤ TP の使用      | (TPBON=0: 使用しない<br>TPBON=1: 使用する)    |
| DPON    | (1ビット) | : DP の使用               | (使用しない: 常に0)                         |
| DPPRIV  | (1ビット) | : プライベート DP の使用        | (使用しない: 常に0)                         |
| DPLAST  | (1ビット) | : プライベート DP の選択        | (使用しない: 常に0)                         |

備考 ( ) 内は T.85 (JBIG FAX アプリケーション) で定義されている値

## 第6章 インタフェース

μPD72187Aは、次の2種類のインタフェースを持っています。

- ホスト・インタフェース
- 画像メモリ・インタフェース

6

### 6.1 ホスト・インタフェース

ホスト・インタフェースは、ホスト CPU および符号メモリとのインタフェースです。

ホスト CPU とのデータのやり取りには、 $\overline{\text{TORD}}$ 、 $\overline{\text{TOWR}}$  および  $\overline{\text{CS}}$  を制御信号として用います。パラメータ、ステータスなどの受け渡しには、それぞれに対応したレジスタを使用します。符号データおよび ST RAM データは、データ・バッファを仲介して受け渡しを行います。

ホスト・バス側に DMA コントローラを接続する場合は、制御信号として DREQ および  $\overline{\text{DACK}}$  を使用し、データ・バッファをアクセスします。

実際に符号化／復号化の処理を開始させるには、次の手順で μPD72187A を操作します。

- (1) 必要なパラメータを各レジスタに書き込む。
- (2) ホスト DREQ 許可コマンド
- (3) 符号化／復号化処理の起動
- (4) 画像データ DMA 転送開始コマンド (コマンド・レジスタ 1 (CMD1) の IDMAON ビットを 1 にします。)

μPD72187A は、ホスト CPU によりコマンド・レジスタ 1 (CMD1) の IDMAON ビットがセット (=1) されると、画像データ DMA 転送を開始し、設定されている動作モードに基づいて処理を行います。

処理が終了または中断すると、次の手順でホスト CPU に対して結果を報告し、同時に IDMAON ビットは自動的にリセット (=0) されます。

- (1) 処理の結果を割り込みステータス・レジスタに書き込む。
- (2) INT 端子のレベルをハイにするとともにステータス・レジスタの INTR ビットをセット (=1) する。

μPD72187A は1つの処理を行うと、INT 端子の出力をハイ・レベルにするとともにステータス・レジスタの INTR ビットをセット (=1) して、ホスト CPU に対し処理の終了や中断を報告します。

これに対してホスト CPU は、INT 端子のレベルをサンプリングするか、あるいは INTR ビットをポーリングすることで処理の終了や中断を確認します。

#### 6.1.1 アクセス・タイミング

ホスト CPU と μPD72187A の間のパラメータやステータスのやり取りは、通常の I/O アクセスによって行います。ホスト・バスのデータ・バス幅は、モード・レジスタの STORET ビットの設定 (8 ビット・モードまたは 16 ビット・モード) とは無関係に、IOA0、 $\overline{\text{UBE}}$  の値によって決まります。

16ビット・モードの場合でも、 $\overline{\text{UBE}}$  端子と IOA0 端子を操作することで8ビットとすることもできます（表6-1 ホスト・データ・バスの状態参照）。16ビット・モード時にホスト・バス幅を常に8ビットで使用する場合は、 $\overline{\text{UBE}}$  端子をプルアップしてハイ・レベルに固定して使用してください。

表6-1 ホスト・データ・バスの状態

IOA0の値	$\overline{\text{UBE}}$ の値	IOD0-IOD7	IOD8-IOD15	備 考
0	0	有効	有効	16ビット・バス→ワード・アクセス
0	1	有効	無効	16ビット・バス→下位バイト 8ビット・バス→偶数アドレス
1	0	無効	有効	16ビット・バス→上位バイト
1	1	有効	無効	8ビット・バス→奇数アドレス

また、 $\mu\text{PD72187A}$  と外部メモリとの間の符号データおよび ST RAM データの転送は、通常、外部 DMA コントローラによる DMA 転送で行います。ただし、モード・レジスタ H (MDRH) の CODOUT ビットの設定により、I/O アクセスで行うことも可能です。

モード・レジスタで DMA 転送に設定した場合は、I/O アドレスの指定は不要になり  $\overline{\text{DACK}}=0$  により常にデータ・バッファが選ばれます。

モード・レジスタで I/O 転送に設定した場合は、IOA0、 $\overline{\text{UBE}}$ 、 $\overline{\text{CS}}$  の操作が必要です。I/O モード時は  $\overline{\text{DACK}}=1$  にしてください。

また、データ・バッファを経由する転送のバス幅（8ビット・モードまたは16ビット・モード）はモード・レジスタ H (MDRH) の STORET ビットで設定します。

8ビット・モードに設定した場合は、IOA0 をロウ・レベルにして連続的にリード/ライトします。すなわち、1AH 番地のレジスタ（データ・バッファ・レジスタ L (DBFL)）のみをアクセスします。

これらのモード設定、制御信号の関係を表6-2に示します。

表6-2 符号データ転送モードと制御信号の関係

符号データの転送モード		$\overline{\text{DACK}}$	IOA0	$\overline{\text{UBE}}$	$\overline{\text{CS}}$
I/O 入出力	バイト (8)	1	0	1	0
	ワード (16)	1	0	0	0
DMA 入出力	バイト (8)	0	-	-	-
	ワード (16)	0	-	-	-

備考 - : Don't care



## (1) I/O 入出力の場合

モード・レジスタ H (MDRH) の CODOUT ビットを 1 に設定すると、I/O 入出力モードになります。

図 6-1 に  $\mu$ PD72187A に対する読み出しタイミング、図 6-2 に書き込みタイミングをそれぞれ示します。 $\overline{CS}$ 、I/O アドレス、および  $\overline{UBE}$  で制御します。このモードでは、 $\overline{DACK}=1$  にしてください。

バイト・モード時は、 $\overline{UBE}=1$  にしてください。

データ・バッファについては、ワード・モードでのバイト・アクセスは禁止になります。

## (2) DMA 転送の場合

モード・レジスタ H (MDRH) の CODOUT ビットを 0 に設定すると、DMA 転送モードになります。

外部 DMA コントローラとのデータ転送における、ワード・モードでのタイミングを図 6-3 に、バイト・モードでのタイミングを図 6-4 に示します。バイト・モードまたはワード・モードの選択は、モード・レジスタ H (MDRH) の STORET ビットで行います。

実際にデータを転送する際には、 $\mu$ PD72187A は DREQ をアクティブにし、外部 DMA コントローラに対して DMA 転送を要求します。一方、外部 DMA コントローラは、DMA 転送が可能なかぎり  $\overline{DACK}$  信号をアクティブ (ロウ・レベル) に保持します。 $\overline{DACK}$  がロウ・レベルの間、 $\overline{CS}$  と I/O アドレス入力、および  $\overline{UBE}$  入力は無効となり、データはすべてデータ・バッファ (アドレスの 1AH 番地と 1BH 番地) を経由します。

$\mu$ PD72187A は、 $\overline{DACK}$  信号をレベルでのみ検出しているため、DMA 期間中は常にロウ・レベルにしておいてもかまいません。

図6-1  $\mu$ PD72187Aの読み出しタイミング

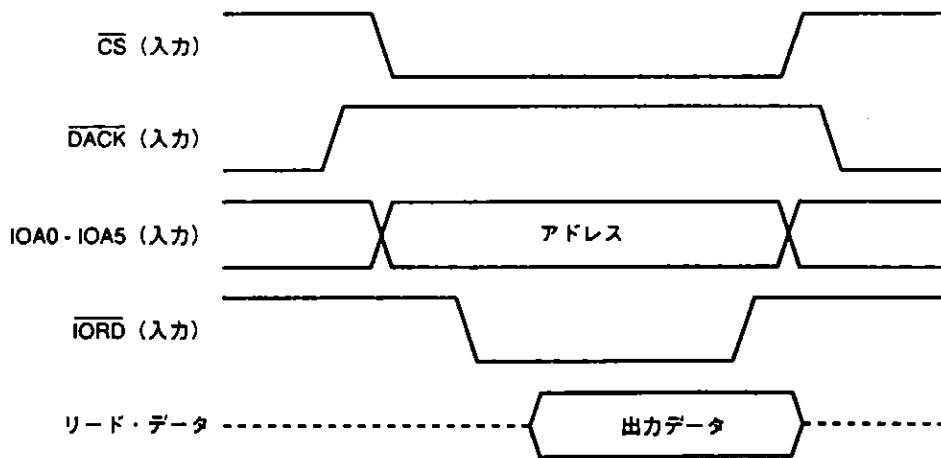
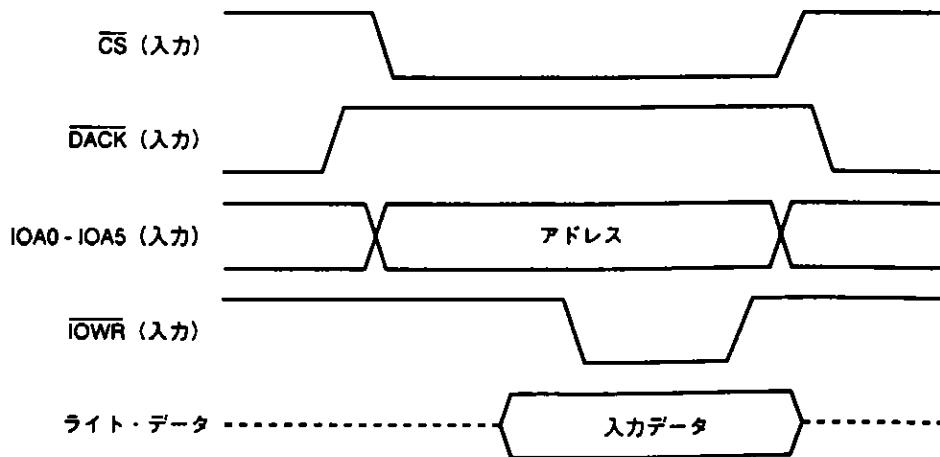


図6-2  $\mu$ PD72187Aの書き込みタイミング



備考 破線はハイ・インピーダンスを示します。

図6-3 外部DMAコントローラとの読み出し/書き込みタイミング(ワード・モード)

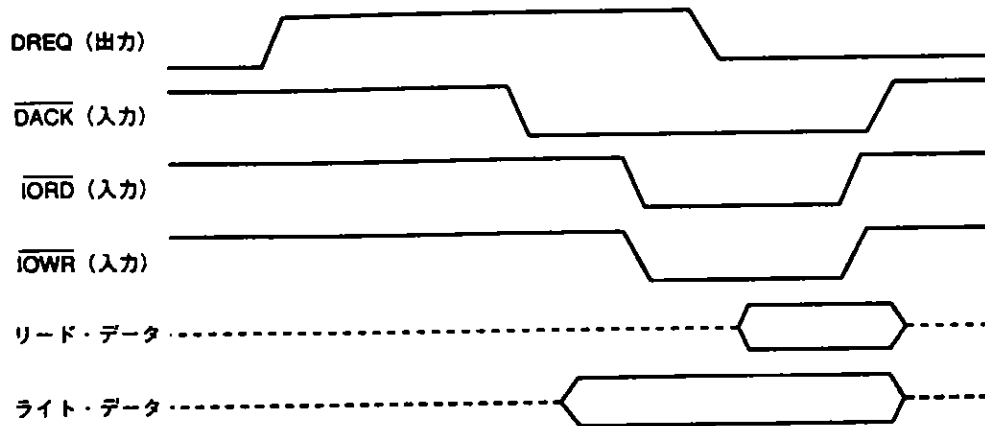
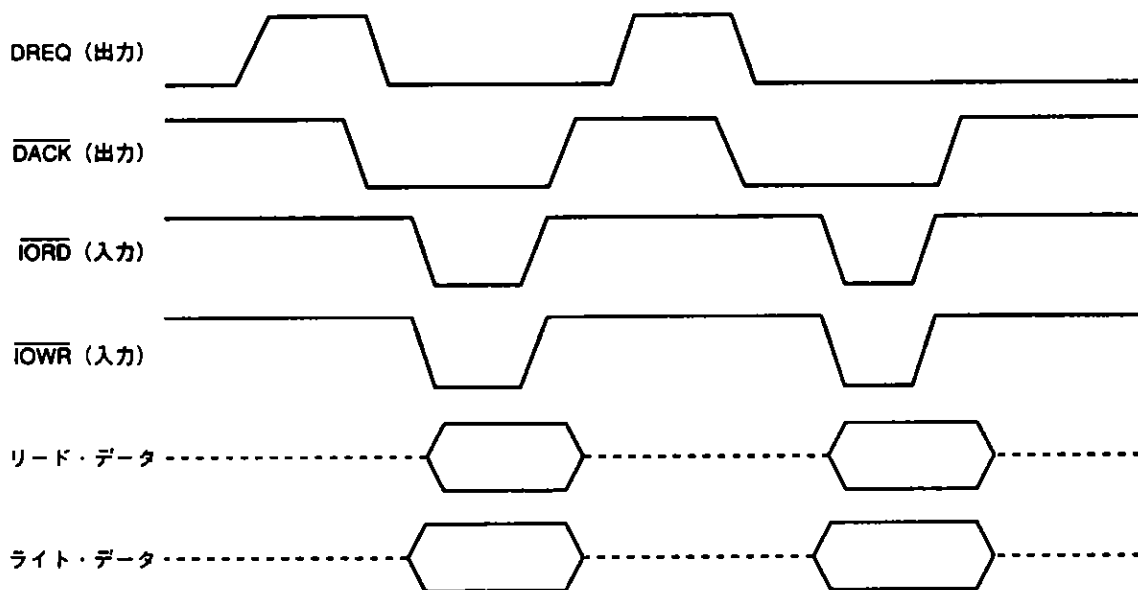


図6-4 外部DMAコントローラとの読み出し/書き込みタイミング(バイト・モード)



備考 破線はハイ・インピーダンスを示します。

## 6.2 画像メモリ・インタフェース

画像メモリ・インタフェースは、画像データを格納する画像メモリとの間のインタフェースです。画像メモリへのアクセスは、内蔵 DMA コントローラを使った DMA 転送で行い、ホスト CPU とは独立した形で  $\mu$ PD72187A が画像メモリを直接管理します。

### 6.2.1 基本タイミング

DMA 転送における基本バス・サイクルは、S1, S2, S3, S4, S5 および S6 の 6 ステートで構成されます。内蔵 DMA コントローラは CLK 入力を 2 分周したクロックで動作します。よって、1 ステートは 2 クロックになります。 $\mu$ PD72187A は、このバス・サイクル内で 1 バイト（または、1 ワード）のデータの読み出し／書き込みを行います。

図 6-5 に DMA 転送のタイミング（8 ビット・バス幅の場合）を示します。

画像メモリを構成するメモリ素子のアクセス時間が長く、基本バス・サイクル内での読み出し／書き込みが不可能な場合は、S2 と S3 との間に SW（ウェイト・ステート）を挿入し、リード／ライト・パルス幅を延長することができます。ウェイト・ステートの挿入には次の 2 つの方法があります。また、プログラマブル・ウェイトを使用する場合でも、READY 端子を用いた制御は可能です。

- READY 端子のサンプリング（S2 と SW の 1 クロック目の立ち上がり）
- モード・レジスタの設定によるプログラマブル・ウェイト（ウェイト数の指定可能）

画像メモリ・バスが 16 ビット幅に設定されている場合、1 ワードのデータの読み出し／書き込みは 1 バス・サイクルで完了しますが、 $\mu$ PD72187A の内部が 8 ビット処理であるため、画像メモリの読み出し／書き込みバス・サイクルは不連続になります。

図 6-6 に 16 ビット・バス幅の場合の DMA 転送のタイミングを示します。

図6-5 DMA 転送タイミング (8ビット・バス幅)

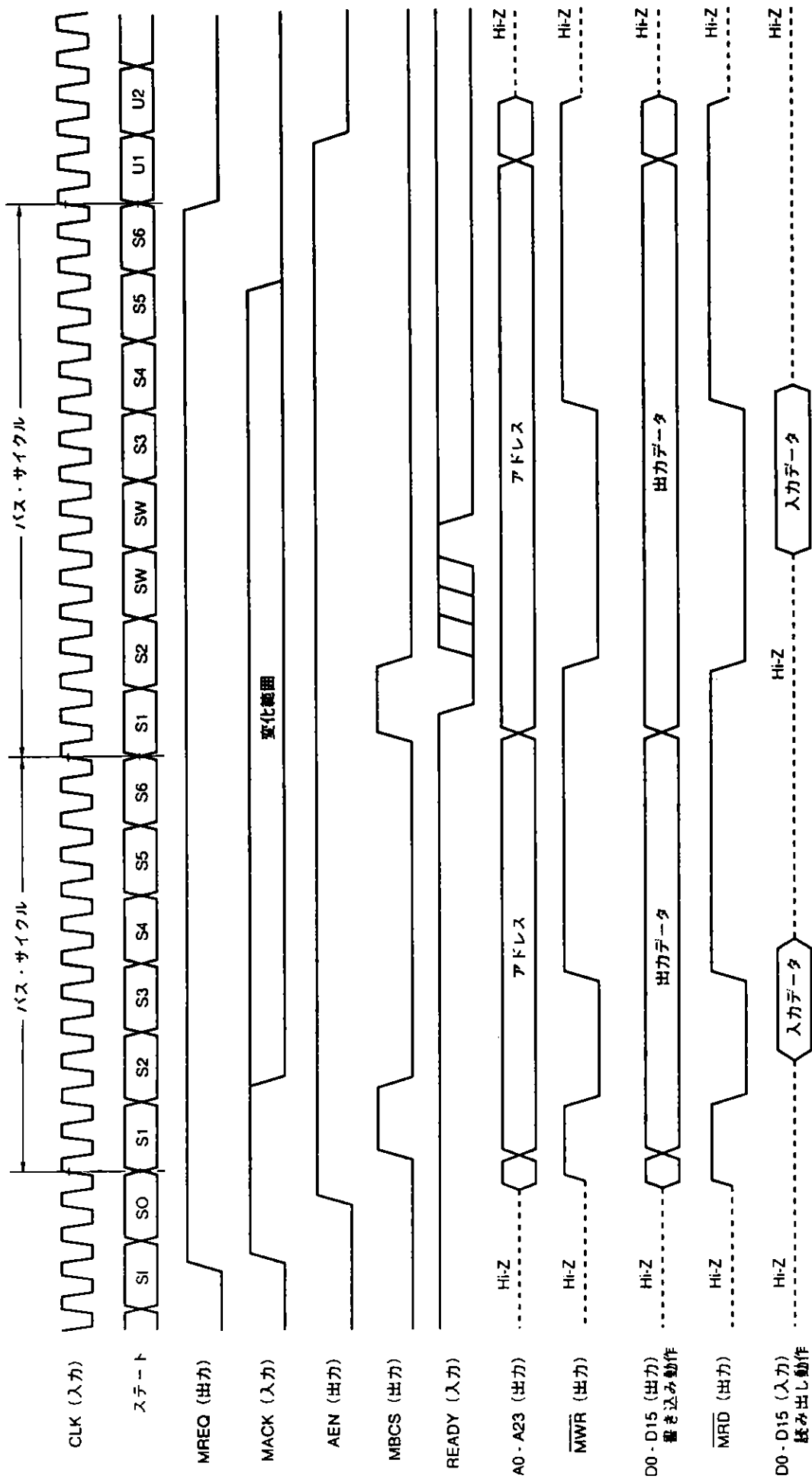
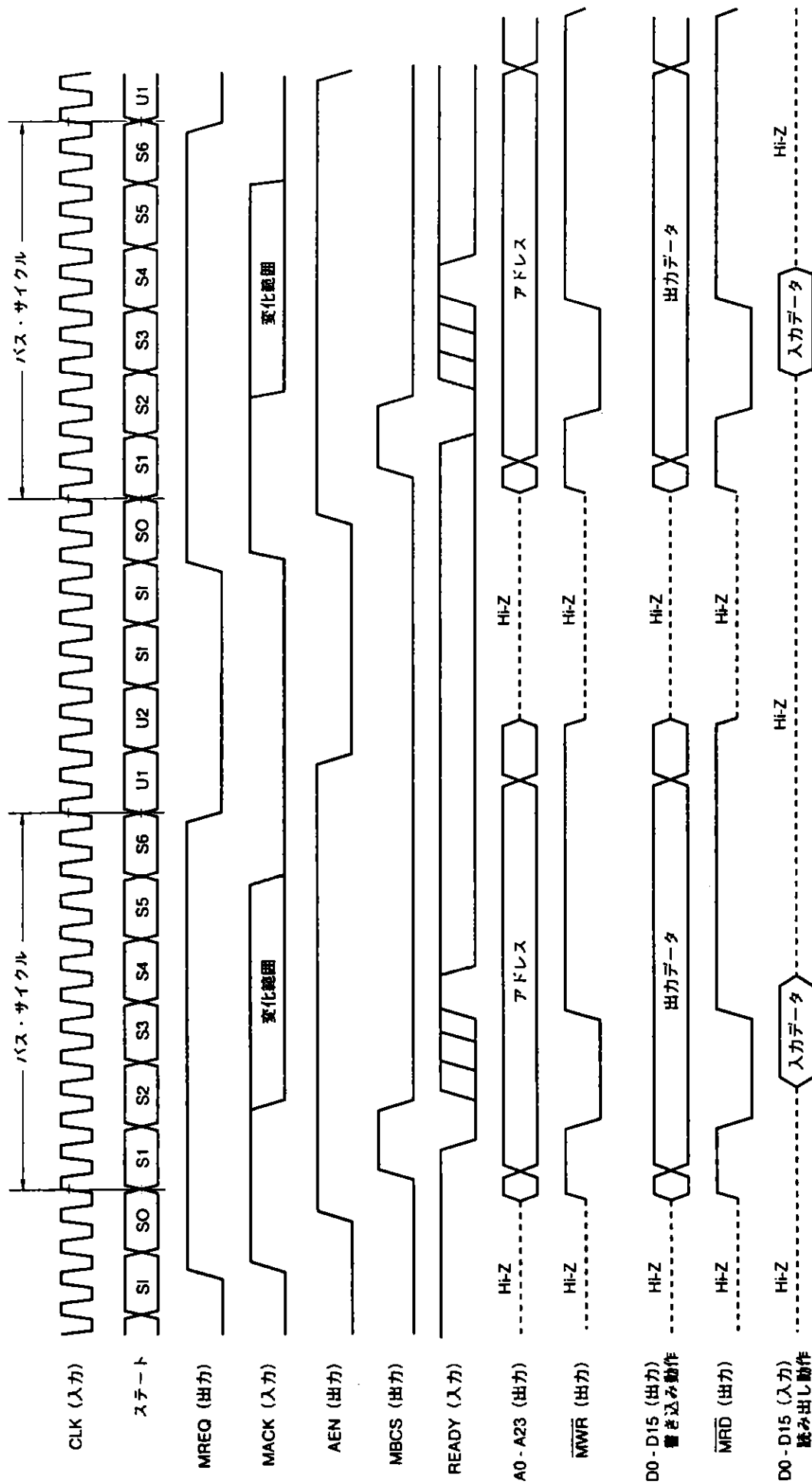


図6-6 DMA 転送タイミング (16 ビット・バス幅)



## 6.2.2 バス・サイクル・モード

画像メモリ・バスを専有する方法（バス・サイクル・モード）は、ダイヤモンド・モードです。

ダイヤモンド・モードは、いったん画像メモリ・バスの使用権を得ると、それを必要とみならず間は MREQ 信号をハイ・レベルに維持し、バスを専有します。ただし、MACK 信号がインアクティブ（ロウ・レベル）になるとバスを明け渡します。バスを専有する期間は処理するデータに依存します。

## 6.2.3 DMA ブレーク

$\mu$ PD72187A は、DMA 転送中に MACK 信号をロウ・レベルにすることにより、DMA 転送を中断することができます。この動作を DMA ブレークといいます。DMA ブレークは、DMA 転送中に画像メモリ・バスを使用したい場合に行います。

$\mu$ PD72187A は DMA 転送中、MREQ 信号をハイ・レベルにして画像メモリ・バスを専有しています。MACK 信号をハイ・レベルに維持している間は画像メモリ・バスを専有したままですが、MACK 信号をロウ・レベルにすると、 $\mu$ PD72187A は MREQ 信号をロウ・レベルにして DMA 転送を中断し画像メモリ・バスを解放します。

$\mu$ PD72187A は、MACK 信号の値を S6 の 1 クロック目の立ち上がりで内部に取り込み、S6 の 2 クロック目の立ち上がりで MREQ 信号を変化させます。

このため、MREQ 信号が実際にハイ・レベルからロウ・レベルになるには、MACK 信号が立ち下がってから最高で 1 バス・サイクル+2 クロックかかります（8 ビット・バス幅の場合）。16 ビット・バス幅の場合は、最高で 2 バス・サイクル+2 クロックかかります。また、AEN 信号がハイ・レベルからロウ・レベルになるには、さらに 2 クロックかかります。

AEN 信号の立ち下がりのあと、次の動作を行う場合は、MREQ 信号が立ち下がったことを確認してください。

また、DMA ブレークのために立ち下げた MREQ 信号は、最低 6 クロックの間、ロウ・レベルを保持してからハイ・レベルになります。DMA 転送を再開するには、MREQ 信号が再び立ち上がってから MACK 信号を立ち上げてください。

[X ㄷ]



# 第7章 基本処理シーケンス

★

μPD72187A 基本処理シーケンス例を表7-1に示します。

表7-1 基本処理シーケンスの各設定条件

項番号	処理	符号化/ 復号化	スライフ/ ページ	終了方式	I/O/ DMA	スラフ・バイト/ マカ・コード	TP	AT	行・ テンプレート	符号 バス幅	画像 バス幅
7.1	符号化①	符号化	1	加納	DMA	付加	なし	なし	35イン	16	8
7.2	復号化①	復号化		標準		検出					
7.3	符号化②	符号化		加納		付加	あり	なし			
7.4	復号化②	復号化		標準		検出					
7.5	符号化③	符号化		加納		付加	なし	あり			
7.6	復号化③	復号化		標準		検出					
7.7	符号化④	符号化		加納		付加	あり				
7.8	復号化④	復号化		標準		検出					
7.9	符号化⑤	符号化		加納	I/O	付加	なし	なし			
7.10	復号化⑤	復号化		標準		検出					
7.11	符号化⑥	符号化		加納	DMA	付加				8	16
7.12	復号化⑥	復号化		標準		検出					
7.13	符号化⑦	符号化		フラグ・エンド		付加				16	8
7.14	参照ライン 蓄積	-	-	-		-		-			
7.15.1	ST RAM 読み出し	-	-	-		-		-			
7.15.2	ST RAM 書き込み	-	-	-		-		-			
7.16.1	1スライフ	符号化①	1	加納		付加			35イン		
7.16.2	複数回	復号化		標準	検出						
7.16.3	DMA 転送	符号化②		フラグ・エンド	付加						

7

[メモ]

## 7.1 符号化処理シーケンス ①

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したリセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください (4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出カウンタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

## (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "1" →符号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は、プリスキャン動作を行う必要はありません。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

## (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入、マーカ・コード付加

スタッフ・バイトの自動挿入、マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入、マーカ・コード付加を禁止する」に設定すると、スタッフ・バイトの自動挿入が行われず、マーカ・コードの付加もできなくなりますので、通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には、必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは、符号化処理終了時に算術符号化部に残っている数ビットのデータを、算術符号化部の外に掃き出す動作をいいます。

通常は、「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します (カウンタ標準方式 またはフラグ・エンド方式)。

ここでは、カウンタ標準方式を選択した場合のシーケンスを説明していますので、カウンタ標準方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。  
ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" → 上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インターフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" → DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" → 16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" → 8 ビット (バイト) モード

(1) 画像メモリ・バス側のアクセス・サイクルに挿入するウエイト・サイクル数

μPD72187Aが画像メモリをアクセスする際に、挿入するプログラマブル・ウエイトの設定をします。

ウエイトは、0ウエイト - 3ウエイトまで設定することができます。

また、このウエイトとREADY端子を用いたウエイトを同時に設定することも可能です。

設定 : MDRLレジスタ ビット6,7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウエイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRLレジスタ = "01H"

MDRHレジスタ = "20H"

レスポンス : なし

3. パラメータ設定

(1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1画素 - 8191画素)。

設定 : PELLレジスタ = "××H" (01H - FFH)

PELHレジスタ = "××H" (00H - 1FH)

レスポンス : なし

(2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1ライン - 65535ライン)。

設定 : LINLレジスタ = "××H" (01H - FFH)

LINHレジスタ = "××H" (00H - FFH)

レスポンス : なし

(3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1ライン - 65535ライン)。

設定 : STPLレジスタ = "××H" (01H - FFH)

STPHレジスタ = "××H" (00H - FFH)

レスポンス : なし

**(4) AT 機能の設定**

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット7の ATMOVE を“1”に設定します。

設定 : ATRL レジスタ = “00H” (ATMOVE = “0”)

        ATRH レジスタ = “00H” (設定無効)

レスポンス : なし

**4. BIH, マーカ・コード・データ送**

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。

μPD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行って下さい。

**5. 符号化処理開始****(1) ホスト・バス (符号バス) の設定**

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット0 (CODBUS) = “1” →符号データおよび ST RAM データ

        HSB レジスタ ビット2 (STFSEL) = “0” →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = “01H”

レスポンス : なし

**(2) 画像側 DMA 転送アドレスの設定**

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

**(a) DMA 転送開始アドレス**

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = “x xH” (00H - FFH)

        DMSM レジスタ = “x xH” (00H - FFH)

        DMSH レジスタ = “x xH” (00H - FFH)

レスポンス : なし



## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = “x xH” ( 00H - FFH )

DMEM レジスタ = “x xH” ( 00H - FFH )

DMEH レジスタ = “x xH” ( 00H - FFH )

レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを渡します。

3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 符号化処理を実行

符号化処理を実行するために、次の 3 つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この 3 つの設定をすべて行わなければ、 $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く 2 つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = “1” →算術符号化部の起動

CMD1 レジスタ ビット 6 (IDMAON) = “1” →画像データ DMA 転送開始

CMD1 レジスタ ビット 7 (HREQEN) = “1” →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

また、発生した割り込みは、割り込みを 99 後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" → 割り込み発生  
 IST レジスタ ビット 0 (STFEND) = "1" → 符号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" → 画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" → 割り込みクリア  
 IST レジスタ ビット 0 (STFEND) = "0" → 割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" → 割り込みクリア

注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。
3. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号データ終端コード付加

### (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード」に設定します。

設定 : HSB レジスタ = "00H" (CODBUS = "0") → マーカ・コード

### (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" → マーカ・コード 書き込み可

必ず、MKRDY = "1" であることを確認してから、終端コードを付加してください。

次に、終端コードを付加します。

終端コードは 16 ビットから構成されますが、μPD72187A は 8 ビット分のインタフェースしか内蔵していませんので、8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = "FFH" → マーカ・コードの ESC CODE

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY = "1"であることを確認してから、付加してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" → マーカ・コード 書き込み可

書き込み : MKB レジスタ = "03H" → マーカ・コードの SDRST CODE

終端コードを SDRST ではなく、SDNORM にする場合は、この書き込みのところで "02H" を書き込んでください。

### (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、これらの (1)、(2) を繰り返して付加してください。

## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード (16 ビット) 単位にそろうとはかぎりません。μPD72187A 内部は 8 ビットで動作していますので、16 ビットにそろわないまま μPD72187A 内部のバッファ (データ・バッファ) にデータが残ってしまうことがあります。

このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

### (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット 1 (MRDENB) = "0"

→ データ・バッファ読み出し不可

STRL レジスタ ビット 2 (FHEN) = "1"

→ データ・バッファ下位 8 ビットにデータあり

もし、STRL レジスタのビット 2 = "0" (データ・バッファ下位 8 ビットにデータなし) だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。

また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187Aは、ワード・モードに設定されている場合、データが16ビットそろそろまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの“00H”データを書き込み、μPD72187A内部データ・バッファのデータを16ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = “00H” →ダミー・データ書き込み

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット1 (MRDENB) = “0”  
→データ・バッファ読み出し不可  
STRL レジスタ ビット2 (FHEN) = “0”  
→データ・バッファ下位8ビットにデータなし

最後に、ホスト側のHREQEN = “0”を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = “00H” (HREQEN = “0”) →ホスト側DREQ無効

## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) マーカ・コードを“FFH” + “03H” (SDRST)にした場合

マーカ・コードをSDRSTにした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット  
レスポンス : CTR レジスタ ビット2 (SPRST) = “1” →リセット解除

## (1') マーカ・コードを“FFH” + “02H” (SDNORM)にした場合

マーカ・コードをSDNORMにした場合は、処理終了後にQMリセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QMリセット  
レスポンス : なし

QMリセットは自動的に解除されません。

QMリセット実行には、10クロックかかりますので、QMリセット実行後は10クロック待機してから次の処理を行ってください。

このあと処理を行う場合は、3. パラメータ設定から繰り返してください。

- 注意** 7. バッファ内残留データ送目で付加したダミー・データは、削除してから受信側へ送信してください。
- ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

[メモ]

## 7.2 復号化処理シーケンス ①

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください (4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1”

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1”

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

### 2. BIH, マーカ・コード・データ読み出し

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号データの先頭にある BIH を読み出し、モードや、パラメータなどの設定に反映させます。

$\mu$ PD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行ってください。

## 3. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入, マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出インタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

## (a) 処理形態

符号化処理, または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "0" →復号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは, TP機能を使用する場合に必要な動作で, 処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は, プリスキャン動作を行う必要はありません。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

## (c) TP処理の有無

TP処理の設定は, モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "0" →TP処理を行わない



## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

復号化処理では, 符号データの終了方式にかかわらず, 必ず"0"を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウエイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウエイトの設定をします。

ウエイトは、0 ウエイト - 3 ウエイトまで設定することができます。

また、このウエイトと READY 端子を用いたウエイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウエイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "00H"  
MDRH レジスタ = "20H"  
レスポンス : なし

#### 4. パラメータ設定

##### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

##### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" (ATMOVE = "0" )  
ATRH レジスタ = "00H" (設定無効)  
レスポンス : なし

## 5. 復号化処理開始

## (1) ホスト・バス（符号バス）の設定

復号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号およびST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBus) = "1" →符号データおよびST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x x H" ( 00H - FFH )  
DMSM レジスタ = "x x H" ( 00H - FFH )  
DMSH レジスタ = "x x H" ( 00H - FFH )  
レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x x H" ( 00H - FFH )  
DMEM レジスタ = "x x H" ( 00H - FFH )  
DMEH レジスタ = "x x H" ( 00H - FFH )  
レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 復号化処理を実行

復号化処理を行うために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"

レスポンス: ピン番号 5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生

IST レジスタ ビット 7 (MKDTC) = "1" →マーカ・コード検出割り込み

設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット 7 (MKDTC) = "0" →割り込みクリア

注意 1. 画像データの DMA 転送量を、1 ストライブの大きさよりも小さく設定して処理をさせた場合は、この「マーカ・コード検出割り込み」よりも先に「画像データ DMA 転送終了割り込み」が発生します。

画像データの DMA 転送量を、1 ストライブの大きさよりも小さく設定する場合は、7.16 1 ストライブを複数回の DMA 転送で処理する場合を参照してください。

2. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライブ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号終端コード／マーカ・コードの読み出し

符号終端部の終端コード (SDRST または SDNORM) や、付随するマーカ・コードを読み出し、処理を続行します。

## (1) マーカ・コードの確認

マーカ・コード・ウィンドウを使って、符号終端コード／マーカ・コードを確認します。

マーカ・コード・ウィンドウを使用する場合は、必ずステータス・レジスタのビット 3 (WDRDY) の値が“1”になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(1) の処理を省略して、すぐに(2) の処理を行ってください。

確認 : STRL レジスタ ビット 3 (WDRDY) = “1”

→マーカ・コード・ウィンドウの読み出し可

確認 : MKWL, MKWH レジスタ

## (2) マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード／マーカ・コードを読み出します。マーカ・コード・バッファ・レジスタは 8 ビットのレジスタですので、16 ビットで構成される符号終端コードや 16 ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット 4 (MKRDY) の値が“1”になっていることを確認してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = “1”

→マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード／マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット 4 (MKRDY) = “1”) を行ってください。

## 7. 算術符号化部最終バイト処理

μPD72187A は、符号データの最後にある符号終端コードを発見すると、マーカ・コード検出割り込みが発生させて、処理を中断します。このとき、まだ算術符号化部に符号データが残ったままになっています。

この算術符号化部に残ったデータを、最後まで復号化するための処理を行います。

## (1) 最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出力インターフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 1 (QMLSIN) = "1" →算術符号化部最終バイト処理開始  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C2H"

レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生

IST レジスタ ビット 1 (PIXEND) = "1" →復号化終了割り込み

IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット 1 (PIXEND) = "0" →割り込みクリア

IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

最後に、ホスト側の HREQEN = "0" を設定して、復号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライブの大きさよりも小さく設定する場合は、7.16 1 ストライブを複数回の DMA 転送で処理する場合を参照してください。

2. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。

3. 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、“0”クリアされます。

#### 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

##### (1) 検出したマーカ・コードが“FFH” + “03H” (SDRST) の場合

マーカ・コードをSDRSTにした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット2 (SPRST) = “1” →リセット解除

##### (1') 検出したマーカ・コードが“FFH” + “02H” (SDNORM) の場合

マーカ・コードをSDNORMにした場合は、処理終了後にQMリセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QMリセット

レスポンス : なし

QMリセットは自動的に解除されません。

QMリセット実行には、10クロックかかりますので、QMリセット実行後は10クロック待機してから次の処理を行ってください。

このあと連続して処理を行う場合は、4. パラメータ設定から繰り返してください。



## 7.3 符号化処理シーケンス ②

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください (4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

7.3

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

### (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・ 処理形態
- ・ プリスキャン動作の有無
- ・ TP処理の有無
- ・ モデル・テンプレートのライン数
- ・ スタッフ・バイト自動挿入、マーカ・コード付加
- ・ フラッシュ動作の有無
- ・ 符号化の終了方式
- ・ 符号データのデータ配列
- ・ ホスト側入出力インタフェースの選択
- ・ 符号データ・バス幅の設定
- ・ 画像データ・バス幅の設定
- ・ 画像メモリ側のアクセス・サイクルに挿入するウェイト・サイクル数

#### (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "1" →符号化処理

#### (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用して、ストライプの先頭(第1)ラインを処理する場合は、必ずプリスキャン動作を行ってください。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "1" →プリスキャンを行う

#### (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "1" →TP処理を行う

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します (カウンタ標準方式 またはフラグ・エンド方式)。

ここでは, カウンタ標準方式を選択した場合のシーケンスを説明していますので, カウンタ標準方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "07H"  
MDRH レジスタ = "20H"  
レスポンス : なし

### 3. パラメータ設定

#### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "××H" ( 01H - FFH )  
PELH レジスタ = "××H" ( 00H - 1FH )  
レスポンス : なし

#### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "××H" ( 01H - FFH )  
LINH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

#### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "××H" ( 01H - FFH )  
STPH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

#### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" ( ATMOVE = "0" )  
ATRH レジスタ = "00H" ( 設定無効 )  
レスポンス : なし

**(5) TP 機能の設定**

TP 機能を使用する場合のみ、次の設定を行います。

LNTPY1 の値は、ページの先頭を処理するには必ず“1”を設定してください。

設定 : TP レジスタ ビット 1 (LNTPY1) = “1” →前ストライプ最終ラインの LNTPY 値  
TP レジスタ ビット 2 (LNTPYE) = “1” →LNTPY1 の書き込み有効

したがって、TP レジスタの設定は、次のようになります。

設定 : TP レジスタ = “06H”  
レスポンス : なし

**4. BIH, マーカ・コード・データ送出**

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。  
μPD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで処理を行ってください。

**5. 符号化処理開始****(1) ホスト・バス (符号バス) の設定**

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = “1” →符号データおよび ST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = “0” →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = “01H”  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

MA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = “x xH” ( 00H - FFH )

DMSM レジスタ = “x xH” ( 00H - FFH )

DMSH レジスタ = “x xH” ( 00H - FFH )

レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = “x xH” ( 00H - FFH )

DMEM レジスタ = “x xH” ( 00H - FFH )

DMEH レジスタ = “x xH” ( 00H - FFH )

レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 符号化処理を実行

符号化処理を実行するために、次の 3 つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出カインタフェースに DMA 入出力を選択した場合、この 3 つの設定をすべて行わなければ、 $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く 2 つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"

レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット7 (INTR) = "1" →割り込み発生

IST レジスタ ビット0 (STFEND) = "1" →符号化終了割り込み

IST レジスタ ビット5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット0 (STFEND) = "0" →割り込みクリア

IST レジスタ ビット5 (IDMEND) = "0" →割り込みクリア

注意1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。

3. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号データ終端コード付加

### (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード」に設定します。

設定 : HSB レジスタ = "00H" (CODBUS = "0") →マーカ・コード

### (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット4 (MKRDY) = "1" →マーカ・コード 書き込み可

必ず、MKRDY = "1" であることを確認してから、終端コードを付加してください。



次に、終端コードを付加します。

終端コードは 16 ビットから構成されますが、 $\mu$ PD72187A は 8 ビット分のインタフェースしか内蔵していませんので、8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = "FFH" → マーカ・コードの ESC CODE

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY = "1" であることを確認してから、付加してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" → マーカ・コード 書き込み可

書き込み : MKB レジスタ = "03H" → マーカ・コードの SDRST CODE

終端コードを SDRST ではなく、SDNORM にする場合は、この書き込みのところで "02H" を書き込んでください。

### (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、これらの (1)、(2) を繰り返して付加してください。

## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード (16 ビット) 単位にそろってはかぎりません。 $\mu$ PD72187A 内部は 8 ビットで動作していますので、16 ビットにそろわないまま  $\mu$ PD72187A 内部のバッファ (データ・バッファ) にデータが残ってしまうことがあります。

このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

### (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット 1 (MRDENB) = "0"

→ データ・バッファ読み出し不可

STRL レジスタ ビット 2 (FHEN) = "1"

→ データ・バッファ下位 8 ビットにデータあり

もし、STRL レジスタのビット 2 = "0" (データ・バッファ下位 8 ビットにデータなし) だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。

また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187Aは、ワード・モードに設定されている場合、データが16ビットそろそろまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの“00H”データを書き込み、μPD72187A内部データ・バッファのデータを16ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = “00H” →ダミー・データ書き込み

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット1 (MRDENB) = “0”

→データ・バッファ読み出し不可

STRL レジスタ ビット2 (FHEN) = “0”

→データ・バッファ下位8ビットにデータなし

最後に、ホスト側の HREQEN = “0” を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = “00H” (HREQEN = “0”) →ホスト側 DREQ 無効

## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) LNTPY 値読み出し

まず、TP 機能を続けて使用するために必要な、ストライプ最終ラインの LNTPY 値を読み出します。読み出した値は、次のストライプを処理するときには使用しますので、ホスト CPU などでも保存してください。

読み出し : TP レジスタ ビット1 (LNTPY1) →前ストライプ最終ラインの LNTPY 値

## (2) マーカ・コードを“FFH” + “03H” (SDRST) にした場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット2 (SPRST) = “1” →リセット解除

(2') マーカ・コードを“FFH” + “02H” (SDNORM) にした場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) → QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

注意 7. バッファ内残留データ送目で付加したダミー・データは、削除してから受信側に送信してください。ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

[メモ]

## 7.4 復号化処理シーケンス ②

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1”

#### (2) STRAM クリア

STRAM の初期化を行うために、STRAM クリアを実行します。STRAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、STRAM のクリアを開始します。

STRAM クリアは、自動的に終了しますので、STRAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1”

設定 : IST レジスタ ビット6 (STEND) = “0” → 割り込みクリア

### 2. BIH, マーカ・コード・データ読み出し

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号データの先頭にある BIH を読み出し、モードや、パラメータなどの設定に反映させます。

$\mu$ PD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行ってください。

## 3. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インターフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウェイト・サイクル数

## (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "0" →復号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用して、ストライプの先頭(第1)ラインを処理する場合は、必ずプリスキャン動作を行ってください。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "1" →プリスキャンを行う

## (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "1" →TP処理を行う

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入、マーカ・コード付加

スタッフ・バイトの自動挿入、マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入、マーカ・コード付加を禁止する」に設定すると、スタッフ・バイトの自動挿入が行われず、マーカ・コードの付加もできなくなりますので、通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には、必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは、符号化処理終了時に算術符号化部に残っている数ビットのデータを、算術符号化部の外に掃き出す動作のことをいいます。

通常は、「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

復号化処理では、符号データの終了方式にかかわらず、必ず"0"を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (l) ホスト側入出力インターフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト



したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "06H"  
MDRH レジスタ = "20H"  
レスポンス : なし

#### 4. パラメータ設定

##### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "××H" ( 01H - FFH )  
PELH レジスタ = "××H" ( 00H - 1FH )  
レスポンス : なし

##### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "××H" ( 01H - FFH )  
LINH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

##### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "××H" ( 01H - FFH )  
STPH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

##### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" (ATMOVE = "0")  
ATRH レジスタ = "00H" (設定無効)  
レスポンス : なし

## (5) TP 機能の設定

TP 機能を使用する場合のみ、次の設定を行います。

LNTPY1 の値は、ページの先頭を処理する際には必ず“1”を設定してください。

設定 : TP レジスタ ビット 1 (LNTPY1) = “1” → 前ストライプ最終ラインの LNTPY 値  
TP レジスタ ビット 2 (LNTPYE) = “1” → LNTPY1 の書き込み有効

したがって、TP レジスタの設定は、次のようになります。

設定 : TP レジスタ = “06H”  
レスポンス : なし

## 5. 復号化処理開始

## (1) ホスト・バス (符号バス) の設定

復号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = “1” → 符号データおよび ST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = “0” → 符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = “01H”  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = “x xH” ( 00H - FFH )  
DMSM レジスタ = “x xH” ( 00H - FFH )  
DMSH レジスタ = “x xH” ( 00H - FFH )

レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の3つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x x H" ( 00H - FFH )  
DMEM レジスタ = "x x H" ( 00H - FFH )  
DMEH レジスタ = "x x H" ( 00H - FFH )  
レスポンス : なし

注意1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 復号化処理を実行

復号化処理を行うために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出カウンタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット0 (QM ON) = "1" →算術符号化部の起動  
CMD1 レジスタ ビット6 (IDMAON) = "1" →画像データ DMA 転送開始  
CMD1 レジスタ ビット7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。  
発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
STRH レジスタ ビット 7 (INTR) = "1" → 割り込み発生  
IST レジスタ ビット 7 (MKDTC) = "1" → マーカ・コード検出割り込み  
設定 : STRH レジスタ ビット 7 (INTR) = "0" → 割り込みクリア  
IST レジスタ ビット 7 (MKDTC) = "0" → 割り込みクリア

注意 1. 画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定して処理をさせた場合は、この「マーカ・コード検出割り込み」よりも先に「画像データ DMA 転送終了割り込み」が発生します。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号終端コード／マーカ・コードの読み出し

符号終端部の終端コード (SDRST または SDNORM) や、付随するマーカ・コードを読み出し、処理を続行します。

### (1) マーカ・コードの確認

マーカ・コード・ウインドウを使って、符号終端コード／マーカ・コードを確認します。

マーカ・コード・ウインドウを使用する場合は、必ずステータス・レジスタのビット 3 (WDRDY) の値が "1" になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(1) の処理を省略して、すぐに (2) の処理を行ってください。

確認 : STRL レジスタ ビット 3 (WDRDY) = "1"  
→ マーカ・コード・ウインドウの読み出し可  
確認 : MKWL, MKWH レジスタ

## (2) マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード/マーカ・コードを読み出します。マーカ・コード・バッファ・レジスタは8ビットのレジスタですので、16ビットで構成される符号終端コードや16ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット4 (MKRDY) の値が“1”になっていることを確認してください。

確認 : STRL レジスタ ビット4 (MKRDY) = “1”  
→マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード/マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット4 (MKRDY) = “1”) を行ってください。

## 7. 算術符号化部最終バイト処理

μPD72187A は、符号データの最後にある符号終端コードを発見すると、マーカ・コード検出割り込みが発生させて、処理を中断します。このとき、まだ算術符号化部に符号データが残ったままになっています。この算術符号化部に残ったデータを、最後まで復号化するための処理を行います。

## (1) 最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出カインタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、μPD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット1 (QMLSIN) = “1” →算術符号化部最終バイト処理開始  
CMD1 レジスタ ビット6 (IDMAON) = “1” →画像データ DMA 転送開始  
CMD1 レジスタ ビット7 (HREQEN) = “1” →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。  
発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C2H"

レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル

STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生

IST レジスタ ビット 1 (PIXEND) = "1" →復号化終了割り込み

IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット 1 (PIXEND) = "0" →割り込みクリア

IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

最後に、ホスト側の HREQEN = "0" を設定して、復号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライブの大きさよりも小さく設定する場合は、7.16 1 ストライブを複数回の DMA 転送で処理する場合を参照してください。

2. 復号化処理の場合、先に「復号化終了割り込み」が発生し、そのあとに「画像データ転送終了割り込み」が発生します。これは、符号データの読み込みが先に終了するためです。

3. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライブ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 8. 次ストライブ前処理

次のストライブの処理を行うための処理を行います。

### (1) LNTPY 値読み出し

まず、TP 機能を続けて使用するために必要な、ストライブ最終ラインの LNTPY 値を読み出します。読み出した値は、次のストライブを処理するときを使用しますので、ホスト CPU など保存してください。

読み出し : TP レジスタ ビット 1 (LNTPY1) →前ストライブ最終ラインの LNTPY 値

(2) 検出したマーカ・コードが“FFH” + “03H” (SDRST) の場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット2 (SPRST) = “1” →リセット解除

(2') 検出したマーカ・コードが“FFH” + “02H” (SDNORM) の場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10クロックかかりますので、QM リセット実行後は10クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、4. パラメータ設定から繰り返してください。

[メモ]



## 7.5 符号化処理シーケンス ③

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

## (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "1" →符号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は、プリスキャン動作を行う必要はありません。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

## (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します(カウンタ標準方式 またはフラグ・エンド方式)。

ここでは, カウンタ標準方式を選択した場合のシーケンスを説明していますので, カウンタ標準方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" → 上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インターフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" → DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" → 16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" → 8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" → ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "01H"  
MDRH レジスタ = "20H"  
レスポンス : なし

### 3. パラメータ設定

#### (1) 主走査画素数の設定

主走査画素数を設定します。(設定範囲 : 1 画素 - 8191 画素)

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

#### (2) 副走査ライン数の設定

副走査ライン数を設定します(設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します(設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (4) AT 機能の設定

AT 機能と AT 画素移動位置についての設定を行います。

AT 画素移動位置範囲については、使用するテンプレートにより異なりますので、注意してください。

AT 機能の制御についての詳細は、4.8.1 AT 機能の制御方法を参照してください。

次に、第 1 ライン目から AT 画素を移動する場合を示します。

設定 : ATRL レジスタ = "80H" (ATMOVE = "1")  
ATLL レジスタ = "FFH"  
ATLH レジスタ = "FFH"  
ATRH レジスタ = "86H" (IATMXE = "1", ATMX のロード初期値 = "06H")  
レスポンス : なし

## 4. BIH, マーカ・コード・データ送出

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。

μPD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行って下さい。

## 5. 符号化処理開始

## (1) ホスト・バス (符号バス) の設定

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = "1" →符号データおよび ST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "××H" ( 00H - FFH )  
DMSM レジスタ = "××H" ( 00H - FFH )  
DMSH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "××H" ( 00H - FFH )  
DMEM レジスタ = "××H" ( 00H - FFH )  
DMEH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

### (3) 符号化処理を実行

符号化処理を実行するために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く2つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 0 (STFEND) = "1" →符号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 0 (STFEND) = "0" →割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。
3. 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、“0”クリアされます。

## 6. 符号データ終端コード付加

### (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード」に設定します。

設定 : HSB レジスタ = “00H” (CODBUS = “0”) →マーカ・コード

### (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット 4 (MKRDY) = “1” →マーカ・コード 書き込み可

必ず、MKRDY = “1” であることを確認してから、終端コードを付加してください。

次に、終端コードを付加します。

終端コードは 16 ビットから構成されますが、μPD72187A は 8 ビット分のインタフェースしか内蔵していませんので、8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = “FFH” →マーカ・コードの ESC CODE

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY = “1” であることを確認してから、付加してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = “1” →マーカ・コード 書き込み可

書き込み : MKB レジスタ = “03H” →マーカ・コードの SDRST CODE

終端コードを SDRST ではなく、SDNORM にする場合は、この書き込みのところで “02H” を書き込んでください。



## (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、この(1)、(2)を繰り返して付加してください。

## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード(16ビット)単位にそろってはかぎりません。μPD72187A内部は8ビットで動作していますので、16ビットにそろわないままμPD72187A内部のバッファ(データ・バッファ)にデータが残ってしまうことがあります。このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

## (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット1 (MRDENB = "0")

→データ・バッファ読み出し不可

STRL レジスタ ビット2 (FHEN) = "1"

→データ・バッファ下位8ビットにデータあり

もし、STRL レジスタのビット2 = "0" (データ・バッファ下位8ビットにデータなし)だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。

また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187Aは、ワード・モードに設定されている場合、データが16ビットそろうまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの"00H"データを書き込み、μPD72187A内部データ・バッファのデータを16ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = "00H" →ダミー・データ書き込み

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット 1 (MRDENB) = "0"

→データ・バッファ読み出し不可

STRL レジスタ ビット 2 (FHEN) = "0"

→データ・バッファ下位 8 ビットにデータなし

最後に、ホスト側の HREQEN = "0" を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

#### 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

##### (1) マーカ・コードを "FFH" + "03H" (SDRST) にした場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = "0BH" (SPRST = "0") →ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = "1" →リセット解除

##### (1') マーカ・コードを "FFH" + "02H" (SDNORM) にした場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM<sup>1</sup>リセットを実行します。

設定 : CTR レジスタ = "07H" (QMRST = "0") →QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

**注意** 7. バッファ内残留データ送出で付加したダミー・データは、削除してから受信側に送信してください。

ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

## 7.6 復号化処理シーケンス ③

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1”

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1”

設定 : IST レジスタ ビット6 (STEND) = “0” → 割り込みクリア

### 2. BIH, マーカ・コード・データ読み出し

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号データの先頭にある BIH を読み出し、モードや、パラメータなどの設定に反映させます。

$\mu$ PD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行ってください。

### 3. モード設定

#### (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

#### (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRL レジスタ ビット0 (CODDEC) = "0" →復号化処理

#### (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は、プリスキャン動作を行う必要はありません。

設定 : MDRL レジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

#### (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRL レジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

復号化処理では, 符号データの終了方式にかかわらず, 必ず"0"を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "00H"  
MDRH レジスタ = "20H"  
レスポンス : なし

#### 4. パラメータ設定

##### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "××H" ( 01H - FFH )  
PELH レジスタ = "××H" ( 00H - 1FH )  
レスポンス : なし

##### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "××H" ( 01H - FFH )  
LINH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

##### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "××H" ( 01H - FFH )  
STPH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

##### (4) AT 機能の設定

AT 機能と AT 画素移動位置についての設定を行います。

AT 画素移動位置範囲については、使用するテンプレートにより異なりますので、注意してください。

AT 機能の制御についての詳細は、4.8.1 AT 機能の制御方法を参照してください。

次に、第 1 ライン目から AT 画素を移動する場合を示します。

設定 : ATRL レジスタ = "80H" (ATMOVE = "1")  
ATLL レジスタ = "FFH"  
ATLH レジスタ = "FFH"  
ATRH レジスタ = "86H" (IATMXE = "1", ATMX のロード初期値 = "06H")  
レスポンス : なし

## 5. 復号化処理開始

## (1) ホスト・バス（符号バス）の設定

復号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号およびST RAM データ」を選択します。

設定 : HSB レジスタ ビット0 (CODBUS) = "1" →符号データおよびST RAM データ  
HSB レジスタ ビット2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
DMSM レジスタ = "x xH" ( 00H - FFH )  
DMSH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )  
DMEM レジスタ = "x xH" ( 00H - FFH )  
DMEH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。



3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

### (3) 復号化処理を実行

復号化処理を行うために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。  
 発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 7 (MKDTC) = "1" →マーカ・コード検出割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 7 (MKDTC) = "0" →割り込みクリア

注意 1. 画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定して処理をさせた場合は、この「マーカ・コード検出割り込み」よりも先に「画像データ DMA 転送終了割り込み」が発生します。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号終端コード／マーカ・コードの読み出し

符号終端部の終端コード (SDRST または SDNORM) や、付随するマーカ・コードを読み出し、処理を続行します。

### (1) マーカ・コードの確認

マーカ・コード・ウインドウを使って、符号終端コード／マーカ・コードを確認します。

マーカ・コード・ウインドウを使用する場合は、必ずステータス・レジスタのビット 3 (WDRDY) の値が "1" になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(1) の処理を省略して、すぐに (2) の処理を行ってください。

確認 : STRL レジスタ ビット 3 (WDRDY) = "1"  
→マーカ・コード・ウインドウの読み出し可

確認 : MKWL, MKWH レジスタ

### (2) マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード／マーカ・コードを読み出します。マーカ・コード・バッファ・レジスタは 8 ビットのレジスタですので、16 ビットで構成される符号終端コードや 16 ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット 4 (MKRDY) の値が "1" になっていることを確認してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1"  
→マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード／マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット 4 (MKRDY) = "1") を行ってください。

## 7. 算術符号化部最終バイト処理

μPD72187Aは、符号データの最後にある符号終端コードを発見すると、マーカ・コード検出割り込みを発生させて、処理を中断します。このとき、まだ算術符号化部に符号データが残ったままになっています。

この算術符号化部に残ったデータを、最後まで復号化するための処理を行います。

## (1) 最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出カインタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、μPD72187Aは復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 1 (QMLSIN) = "1" →算術符号化部最終バイト処理開始  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C2H"

レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生

IST レジスタ ビット 1 (PIXEND) = "1" →復号化終了割り込み

IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット 1 (PIXEND) = "0" →割り込みクリア

IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

最後に、ホスト側の HREQEN = "0" を設定して、復号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

- 注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。  
 画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。
2. 復号化処理の場合、先に「復号化終了割り込み」が発生し、そのあとに「画像データ転送終了割り込み」が発生します。これは、符号データの読み込みが先に終了するためです。
  3. 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、“0”クリアされます。

#### 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

##### (1) 検出したマーカ・コードが“FFH” + “03H” (SDRST) の場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = “1” →リセット解除

##### (1') 検出したマーカ・コードが“FFH” + “02H” (SDNORM) の場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、4. パラメータ設定から繰り返してください。

## 7.7 符号化処理シーケンス ④

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用するまえに、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

### (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出カインタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

#### (a) 処理形態

符号化処理，または復号化処理を選択します。

設定 : MDRL レジスタ ビット0 (CODDEC) = "1" →符号化処理

#### (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用して、ストライプの先頭(第1)ラインを処理する場合は、必ずプリスキャン動作を行ってください。

設定 : MDRL レジスタ ビット1 (TPNCNT) = "1" →プリスキャンを行う

#### (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRL レジスタ ビット2 (TPBON) = "1" →TP処理を行う

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

$\mu$ PD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入、マーカ・コード付加

スタッフ・バイトの自動挿入、マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入、マーカ・コード付加を禁止する」に設定すると、スタッフ・バイトの自動挿入が行われず、マーカ・コードの付加もできなくなりますので、通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には、必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは、符号化処理終了時に算術符号化部に残っている数ビットのデータを、算術符号化部の外に掃き出す動作のことをいいます。

通常は、「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します(カウンタ標準方式 またはフラグ・エンド方式)。

ここでは、カウンタ標準方式を選択した場合のシーケンスを説明していますので、カウンタ標準方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウエイト・サイクル数

$\mu$ PD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウエイトの設定をします。

ウエイトは、0 ウエイト - 3 ウエイトまで設定することができます。

また、このウエイトと READY 端子を用いたウエイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウエイト



したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "07H"  
MDRH レジスタ = "20H"  
レスポンス : なし

### 3. パラメータ設定

#### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

#### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (4) AT 機能の設定

AT 機能と AT 画素移動位置についての設定を行います。

AT 画素移動位置範囲については、使用するテンプレートにより異なりますので、注意してください。

AT 機能の制御についての詳細は、4.6.1 AT 機能の制御方法を参照してください。

次に、第1ライン目から AT 画素を移動する場合を示します。

設定 : ATRL レジスタ = "80H" (ATMOVE = "1")  
ATLL レジスタ = "FFH"  
ATLH レジスタ = "FFH"  
ATRH レジスタ = "86H" (IATMXE = "1", ATMX のロード初期値 = "06H")  
レスポンス : なし

**(5) TP 機能の設定**

TP 機能を使用する場合のみ、次の設定を行います。

LNTPY1 の値は、ページの先頭を処理する際には必ず“1”を設定してください。

設定 : TP レジスタ ビット 1 (LNTPY1) = “1” →前ストライプ最終ラインの LNTPY 値  
TP レジスタ ビット 2 (LNTPYE) = “1” →LNTPY1 の書き込み有効

したがって、TP レジスタの設定は、次のようになります。

設定 : TP レジスタ = “06H”  
レスポンス : なし

**4. BIH, マーカ・コード・データ送出**

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。

μPD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで処理を行ってください。

**5. 符号化処理開始****(1) ホスト・バス (符号バス) の設定**

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = “1” →符号データおよび ST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = “0” →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = “01H”  
レスポンス : なし

**(2) 画像側 DMA 転送アドレスの設定**

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

**(a) DMA 転送開始アドレス**

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x x H" ( 00H - FFH )

DMSM レジスタ = "x x H" ( 00H - FFH )

DMSH レジスタ = "x x H" ( 00H - FFH )

レスポンス : なし

**(b) DMA 転送終了アドレス**

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x x H" ( 00H - FFH )

DMEM レジスタ = "x x H" ( 00H - FFH )

DMEH レジスタ = "x x H" ( 00H - FFH )

レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。

3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 符号化処理を実行

符号化処理を実行するために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く2つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 0 (STFEND) = "1" →符号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 0 (STFEND) = "0" →割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。
3. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号データ終端コード付加

## (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード」に設定します。

設定 : HSB レジスタ = "00H" (CODBUS = "0") →マーカ・コード

## (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" →マーカ・コード 書き込み可

必ず、MKRDY = "1" であることを確認してから、終端コードを付加してください。

次に、終端コードを付加します。

終端コードは 16 ビットから構成されますが、μPD72187A は 8 ビット分のインタフェースしか内蔵していませんので、8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = "FFH" →マーカ・コードの ESC CODE

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY = "1" であることを確認してから、付加してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" →マーカ・コード 書き込み可

書き込み : MKB レジスタ = "03H" →マーカ・コードの SDRST CODE

終端コードを SDRST ではなく、SDNORM にする場合は、この書き込みのところで "02H" を書き込んでください

## (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、これらの (1), (2) を繰り返して付加してください。

## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード（16ビット）単位にそろうとはかぎりません。μPD72187A内部は8ビットで動作していますので、16ビットにそろわないままμPD72187A内部のバッファ（データ・バッファ）にデータが残ってしまうことがあります。

このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

## (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット1 (MRDENB) = "0"

→データ・バッファ読み出し不可

STRL レジスタ ビット2 (FHEN) = "1"

→データ・バッファ下位8ビットにデータあり

もし、STRL レジスタのビット2 = "0"（データ・バッファ下位8ビットにデータなし）だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。

また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187Aは、ワード・モードに設定されている場合、データが16ビットそろうまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの"00H"データを書き込み、μPD72187A内部データ・バッファのデータを16ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = "00H" →ダミー・データ書き込み

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット1 (MRDENB) = "0"

→データ・バッファ読み出し不可

STRL レジスタ ビット2 (FHEN) = "0"

→データ・バッファ下位8ビットにデータなし

最後に、ホスト側のHREQEN = "0"を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側DREQ無効

## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

### (1) LNTPY 値読み出し

まず、TP 機能を続けて使用するために必要な、ストライプ最終ラインの LNTPY 値を読み出します。読み出した値は、次のストライプを処理する時に使用しますので、ホスト CPU など保存してください。

読み出し : TP レジスタ ビット 1 (LNTPY1) → 前ストライプ最終ラインの LNTPY 値

### (2) マーカ・コードを“FFH” + “03H” (SDRST) にした場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) → ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = “1” → リセット解除

### (2') マーカ・コードを“FFH” + “02H” (SDNORM) にした場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) → QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

**注意** 7. バッファ内残留データ送出で付加したダミー・データは、削除してから受信側に送信してください。

ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

[メモ]



## 7.8 復号化処理シーケンス ④

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください (4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1”

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1”

設定 : IST レジスタ ビット6 (STEND) = “0” → 割り込みクリア

### 2. BIH, マーカ・コード・データ読み出し

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号データの先頭にある BIH を読み出し、モードや、パラメータなどの設定に反映させます。

$\mu$ PD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行ってください。

## 3. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入, マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

## (a) 処理形態

符号化処理, または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "0" →復号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用して、ストライプの先頭(第1)ラインを処理する場合は、必ずプリスキャン動作を行ってください。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "1" →プリスキャンを行う

## (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "1" →TP処理を行う

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

復号化処理では, 符号データの終了方式にかかわらず, 必ず"0"を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (l) ホスト側入出カインタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (i) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "06H"  
MDRH レジスタ = "20H"  
レスポンス : なし

#### 4. パラメータ設定

##### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

##### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 85535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (4) AT 機能の設定

AT 機能と AT 画素移動位置についての設定を行います。

AT 画素移動位置範囲については、使用するテンプレートにより異なりますので、注意してください。

AT 機能の制御についての詳細は、4.6.1 AT 機能の制御方法を参照してください。

次に、第 1 ライン目から AT 画素を移動する場合を示します。

設定 : ATRL レジスタ = "80H" (ATMOVE = "1")  
ATLL レジスタ = "FFH"  
ATLH レジスタ = "FFH"  
ATRH レジスタ = "86H" (IATMXE = "1", ATMX のロード初期値 = "06H")  
レスポンス : なし

## (5) TP 機能の設定

TP 機能を使用する場合のみ、次の設定を行います。

LNTPY1 の値は、ページの先頭を処理する際には必ず "1" を設定してください。

設定 : TP レジスタ ビット 1 (LNTPY1) = "1" → 前ストライプ最終ラインの LNTPY 値  
TP レジスタ ビット 2 (LNTPYE) = "1" → LNTPY1 の書き込み有効

したがって、TP レジスタの設定は、次のようになります。

設定 : TP レジスタ = "06H"  
レスポンス: なし

## 5. 復号化処理開始

## (1) ホスト・バス (符号バス) の設定

復号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = "1" → 符号データおよび ST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = "0" → 符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス: なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x x H" ( 00H - FFH )  
DMSM レジスタ = "x x H" ( 00H - FFH )  
DMSH レジスタ = "x x H" ( 00H - FFH )  
レスポンス: なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = “x x H” ( 00H - FFH )

DMEM レジスタ = “x x H” ( 00H - FFH )

DMEH レジスタ = “x x H” ( 00H - FFH )

レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。

3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 復号化処理を実行

復号化処理を行うために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = “1” →算術符号化部の起動

CMD1 レジスタ ビット 6 (IDMAON) = “1” →画像データ DMA 転送開始

CMD1 レジスタ ビット 7 (HREQEN) = “1” →ホスト側 DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。  
発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル  
STRH レジスタ ビット7 (INTR) = "1" →割り込み発生  
IST レジスタ ビット7 (MKDTC) = "1" →マーカ・コード検出割り込み  
設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア  
IST レジスタ ビット7 (MKDTC) = "0" →割り込みクリア

注意1. 画像データの DMA 転送量を、1ストライプの大きさよりも小さく設定して処理をさせた場合は、この「マーカ・コード検出割り込み」よりも先に「画像データ DMA 転送終了割り込み」が発生します。

画像データの DMA 転送量を、1ストライプの大きさよりも小さく設定する場合は、7.16 1ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 「割り込み発生」は、先に発生した割り込みと同時に「1」になり、「割り込み発生」を「0」クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、「0」クリアされます。

## 6. 符号終端コード／マーカ・コードの読み出し

符号終端部の終端コード (SDRST または SDNORM) や、付随するマーカ・コードを読み出し、処理を続行します。

### (1) マーカ・コードの確認

マーカ・コード・ウインドウを使って、符号終端コード／マーカ・コードを確認します。

マーカ・コード・ウインドウを使用する場合は、必ずステータス・レジスタのビット3 (WDRDY) の値が「1」になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(1)の処理を省略して、すぐに(2)の処理を行ってください。

確認 : STRL レジスタ ビット3 (WDRDY) = "1"  
→マーカ・コード・ウインドウの読み出し可

確認 : MKWL, MKWH レジスタ



## (2) マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード/マーカ・コードを読み出します。マーカ・コード・バッファ・レジスタは8ビットのレジスタですので、16ビットで構成される符号終端コードや16ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット4 (MKRDY) の値が“1”になっていることを確認してください。

確認 : STRL レジスタ ビット4 (MKRDY) = “1”  
→マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード/マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット4 (MKRDY) = “1”) を行ってください。

## 7. 算術符号化部最終バイト処理

μPD72187A は、符号データの最後にある符号終端コードを発見すると、マーカ・コード検出割り込みを発生させて、処理を中断します。このとき、まだ算術符号化部に符号データが残ったままになっています。

この算術符号化部に残ったデータを、最後まで復号化するための処理を行います。

## (1) 最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、μPD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット1 (QMLSIN) = “1” →算術符号化部最終バイト処理開始  
CMD1 レジスタ ビット6 (IDMAON) = “1” →画像データ DMA 転送開始  
CMD1 レジスタ ビット7 (HREQEN) = “1” →ホスト側 DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。  
発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C2H"

レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット7 (INTR) = "1" →割り込み発生

IST レジスタ ビット1 (PIXEND) = "1" →復号化終了割り込み

IST レジスタ ビット5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット1 (PIXEND) = "0" →割り込みクリア

IST レジスタ ビット5 (IDMEND) = "0" →割り込みクリア

最後に、ホスト側の HREQEN = "0" を設定して、復号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

- 注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。  
画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。
2. 復号化処理の場合、先に「復号化終了割り込み」が発生し、そのあとに「画像データ転送終了割り込み」が発生します。これは、符号データの読み込みが先に終了するためです。
  3. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) LNTPY 値読み出し

まず、TP 機能を続けて使用するために必要な、ストライプ最終ラインの LNTPY 値を読み出します。読み出した値は、次のストライプを処理するときに使用しますので、ホスト CPU などでも保存してください。

読み出し : TP レジスタ ビット 1 (LNTPY1) → 前ストライプ最終ラインの LNTPY 値

## (2) 検出したマーカ・コードが“FFH” + “03H” (SDRST) の場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) → ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = “1” → リセット解除

## (2') 検出したマーカ・コードが“FFH” + “02H” (SDNORM) の場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) → QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、4. パラメータ設定から繰り返してください。

[メモ]

## 7.9 符号化処理シーケンス ⑤

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

### (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・ 処理形態
- ・ プリスキャン動作の有無
- ・ TP 処理の有無
- ・ モデル・テンプレートのライン数
- ・ スタッフ・バイト自動挿入, マーカ・コード付加
- ・ フラッシュ動作の有無
- ・ 符号化の終了方式
- ・ 符号データのデータ配列
- ・ ホスト側入出力インタフェースの選択
- ・ 符号データ・バス幅の設定
- ・ 画像データ・バス幅の設定
- ・ 画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

#### (a) 処理形態

符号化処理, または復号化処理を選択します。

設定 : MDRL レジスタ ビット0 (CODDEC) = "1" →符号化処理

#### (b) プリスキャン動作の有無

プリスキャン動作とは, TP 機能を使用する場合に必要な動作で, 処理を行うストライプの先頭 (第1) ラインの SLNTP 値を作成します。

TP 機能を使用しない場合は, プリスキャン動作を行う必要はありません。

設定 : MDRL レジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

#### (c) TP 処理の有無

TP 処理の設定は, モード・レジスタのビット2で行います。

設定 : MDRL レジスタ ビット2 (TPBON) = "0" →TP 処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します (カウンタ標準方式 またはフラグ・エンド方式)。

ここでは, カウンタ標準方式を選択した場合のシーケンスを説明していますので, カウンタ標準方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "1" →I/O 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト



したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "01H"  
MDRH レジスタ = "24H"  
レスポンス : なし

### 3. パラメータ設定

#### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

#### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット7のATMOVEを"1"に設定します。

設定 : ATRL レジスタ = "00H" (ATMOVE = "0")  
ATRH レジスタ = "00H" (設定無効)  
レスポンス : なし

## 4. BIH, マーカ・コード・データ送出

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。  
 $\mu$ PD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行って下さい。

## 5. 符号化処理開始

## (1) ホスト・バス (符号バス) の設定

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = "1" → 符号データおよび ST RAM データ  
 HSB レジスタ ビット 2 (STFSEL) = "0" → 符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
 レスポンス: なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。  
 設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
 DMSM レジスタ = "x xH" ( 00H - FFH )  
 DMSH レジスタ = "x xH" ( 00H - FFH )  
 レスポンス: なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
 設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )  
 DMEM レジスタ = "x xH" ( 00H - FFH )  
 DMEH レジスタ = "x xH" ( 00H - FFH )  
 レスポンス: なし

- 注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。
2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
  3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

### (3) 符号化処理を実行

符号化処理を実行するために、次の2つの設定を行ってください。

- ・画像データ DMA 転送開始
- ・算術符号化部の起動

これらの2つの設定をすべて行わなければ、符号化処理を開始しません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 8 (IDMAON) = "1" →画像データ DMA 転送開始

したがって、コマンド・レジスタ 1 の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 0 (STFEND) = "1" →符号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 0 (STFEND) = "0" →割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

- 注意 1. I/O 入出力で処理を行う場合、データの読み書きはデータ・バッファ・レジスタを使用して行います。  
 その際、1アクセスごとにステータス・レジスタのビット 0 が "1" であることを確認してください。
2. また、符号バス幅を 8 ビット (バイト) モードに設定した場合は、DBFL レジスタのみをアクセスします。

確認 : STRL レジスタ ビット 0 (IORDY) = "1" →I/O 入出力待ち  
 (入出力可)

入出力 : DBFL, DBFH レジスタ

3. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。  
画像データの DMA 転送量を、1 ストライブの大きさよりも小さく設定する場合は、7.16 1 ストライブを複数回の DMA 転送で処理する場合を参照してください。
4. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。
5. 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライブ・リセット、ソフトウエア・リセットを実行することによって、“0”クリアされます。

## 6. 符号データ終端コード付加

### (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード」に設定します。

設定 : HSB レジスタ = “00H” (CODBUS = “0”) →マーカ・コード

### (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット 4 (MKRDY) = “1” →マーカ・コード 書き込み可

必ず、MKRDY = “1” であることを確認してから、終端コードを付加してください。

次に、終端コードを付加します。

終端コードは 16 ビットから構成されますが、μPD72187A は 8 ビット分のインタフェースしか内蔵していませんので、8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = “FFH” →マーカ・コードの ESC CODE

確認 : STRL レジスタ ビット 0 (IORDY) = “1” →I/O 入出力待ち (入出力可)

読み出し : DBFL, DBFH レジスタ

書き込み : 符号メモリ

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY="1"であることを確認してから、付加してください。

確認 : STRL レジスタ ビット4 (MKRDY) = "1" →マーカ・コード 書き込み可

書き込み : MKB レジスタ = "03H" →マーカ・コードの SDRST CODE

確認 : STRL レジスタ ビット0 (IORDY) = "1" →I/O 入出力待ち (入出力可)

読み出し : DBFL, DBFH レジスタ

書き込み : 符号メモリ

終端コードを SDRST ではなく、SDNORM にする場合は、この書き込みのところで "02H" を書き込んでください。

### (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、これらの(1)、(2)を繰り返して付加してください。

## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード(16ビット)単位にそろってはかぎりません。 $\mu$ PD72187A 内部は8ビットで動作していますので、16ビットにそろわないまま $\mu$ PD72187A 内部のバッファ(データ・バッファ)にデータが残ってしまうことがあります。

このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

### (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット1 (MRDENB = "0"

→データ・バッファ読み出し不可

STRL レジスタ ビット2 (FHEN) = "1"

→データ・バッファ下位8ビットにデータあり

もし、STRL レジスタのビット2 = "0" (データ・バッファ下位8ビットにデータなし) だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。

また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187Aは、ワード・モードに設定されている場合、データが16ビットそろうまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの“00H”データを書き込み、μPD72187A内部データ・バッファのデータを16ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = “00H” →ダミー・データ書き込み

確認 : STRL レジスタ ビット0 (IORDY) = “1” →I/O 入出力待ち (入出力可)

読み出し : DBFL, DBFH レジスタ

書き込み : 符号メモリ

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット1 (MRDENB) = “0”

→データ・バッファ読み出し不可

STRL レジスタ ビット2 (FHEN) = “0”

→データ・バッファ下位8ビットにデータなし

最後に、ホスト側のHREQEN = “0”を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = “00H” (HREQEN = “0”) →ホスト側DREQ無効

## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) マーカ・コードを“FFH” + “03H” (SDRST)にした場合

マーカ・コードをSDRSTにした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット2 (SPRST) = “1” →リセット解除

(1') マーカ・コードを“FFH” + “02H” (SDNORM)にした場合

マーカ・コードを SDNORMにした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) → QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10クロックかかりますので、QM リセット実行後は10クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

**注意** 7. バッファ内残留データ送出で付加したダミー・データは、削除してから受信側に送信してください。

ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

[メモ]



## 7.10 復号化処理シーケンス ⑤

### 1. $\mu$ PD72187A を初期化する

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したリセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1”

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1”

設定 : IST レジスタ ビット6 (STEND) = “0” → 割り込みクリア

### 2. BIH, マーカ・コード・データ読み出し

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号データの先頭にある BIH を読み出し、モードや、パラメータなどの設定に反映させます。

$\mu$ PD72187A は自動的にこの処理を行うことができませんので、ホスト CPU などで行ってください。

### 3. モード設定

#### (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

#### (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRL レジスタ ビット0 (CODDEC) = "0" →復号化処理

#### (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は、プリスキャン動作を行う必要はありません。

設定 : MDRL レジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

#### (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRL レジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入、マーカ・コード付加

スタッフ・バイトの自動挿入、マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入、マーカ・コード付加を禁止する」に設定すると、スタッフ・バイトの自動挿入が行われず、マーカ・コードの付加もできなくなりますので、通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には、必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは、符号化処理終了時に算術符号化部に残っている数ビットのデータを、算術符号化部の外に掃き出す動作のことをいいます。

通常は、「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

復号化処理では、符号データの終了方式にかかわらず、必ず"0"を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が、MSB FirstであるかLSB Firstであるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU などの I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "1" →I/O 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (i) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "00H"  
MDRH レジスタ = "24H"  
レスポンス : なし

#### 4. パラメータ設定

##### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

##### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" (ATMOVE = "0")  
ATRH レジスタ = "00H" (設定無効)  
レスポンス : なし

## 5. 復号化処理開始

## (1) ホスト・バス（符号バス）の設定

復号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = "1" →符号データおよび ST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス: なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
DMSM レジスタ = "x xH" ( 00H - FFH )  
DMSH レジスタ = "x xH" ( 00H - FFH )  
レスポンス: なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )  
DMEM レジスタ = "x xH" ( 00H - FFH )  
DMEH レジスタ = "x xH" ( 00H - FFH )  
レスポンス: なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ, 終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 復号化処理を実行

復号化処理を行うために、次の2つの設定を行ってください。

- ・画像データ DMA 転送開始
- ・算術符号化部の起動

I/O 入出力を選択した場合はこれらの2つの設定をすべて行わなければ、復号化処理を開始しません。

設定 : CMD1 レジスタ ビット0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット6 (IDMAON) = "1" →画像データ DMA 転送開始

したがって、コマンド・レジスタ1の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル  
 STRH レジスタ ビット7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット7 (MKDTC) = "1" →マーカ・コード検出割り込み  
 設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット7 (MKDTC) = "0" →割り込みクリア

注意 1. I/O 入出力で処理を行う場合、データの読み書きはデータ・バッファ・レジスタを使用  
 して行います。

その際、1アクセスごとにステータス・レジスタのビット0が"1"であることを確認  
 してください。

2. また、符号バス幅を8ビット(バイト)モードに設定した場合は、DBFL レジスタの  
 みをアクセスします。

確認 : STRL レジスタ ビット0 (IORDY) = "1" →I/O 入出力待ち(入出力可)

入出力 : DBFL, DBFH レジスタ

3. 画像データの DMA 転送量を、1ストライプの大きさよりも小さく設定して処理をさせ  
 た場合は、この「マーカ・コード検出割り込み」よりも先に「画像データ DMA 転送終  
 了割り込み」が発生します。

画像データの DMA 転送量を、1ストライプの大きさよりも小さく設定する場合は、7.16  
 1ストライプを複数回の DMA 転送で処理する場合を参照してください。

4. 「割り込み発生」は、先に発生した割り込みと同時に"1"になり、「割り込み発生」  
 を"0"クリア、またはストライプ・リセット、ソフトウェア・リセットを実行するこ  
 とによって、"0"クリアされます。

## 6. 符号終端コード／マーカ・コードの読み出し

符号終端部の終端コード (SDRST または SDNORM) や、付随するマーカ・コードを読み出し、処理を続行します。

## (1) マーカ・コードの確認

マーカ・コード・ウインドウを使って、符号終端コード／マーカ・コードを確認します。

マーカ・コード・ウインドウを使用する場合は、必ずステータス・レジスタのビット 3 (WDRDY) の値が“1”になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(1) の処理を省略して、すぐに(2) の処理を行ってください。

確認 : STRL レジスタ ビット 3 (WDRDY) = “1”

→マーカ・コード・ウインドウの読み出し可

確認 : MKWL, MKWH レジスタ

## (2) マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード／マーカ・コードを読み出します。マーカ・コード・バッファ・レジスタは8ビットのレジスタですので、16ビットで構成される符号終端コードや16ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット 4 (MKRDY) の値が“1”になっていることを確認してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = “1”

→マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード／マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット 4 (MKRDY) = “1”) を行ってください。



## 7. 算術符号化部最終バイト処理

μPD72187Aは、符号データの最後にある符号終端コードを発見すると、マーカ・コード検出割り込みを発生させて、処理を中断します。このとき、まだ算術符号化部に符号データが残ったままになっています。

この算術符号化部に残ったデータを、最後まで復号化するための処理を行います。

## (1) 最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください。

- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

I/O入出力を選択した場合はこれらの2つの設定をすべて行わなければ、復号化処理を開始しません。

設定 : CMD1レジスタ ビット1 (QMLSIN) = "1" →算術符号化部最終バイト処理開始  
 CMD1レジスタ ビット6 (IDMAON) = "1" →画像データ DMA 転送開始

したがって、コマンド・レジスタ1の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1レジスタ = "C2H"

レスポンス : ピン番号5 INT端子レベル=ハイ (1) レベル

STRHレジスタ ビット7 (INTR) = "1" →割り込み発生

ISTレジスタ ビット1 (PIXEND) = "1" →復号化終了割り込み

ISTレジスタ ビット5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRHレジスタ ビット7 (INTR) = "0" →割り込みクリア

ISTレジスタ ビット1 (PIXEND) = "0" →割り込みクリア

ISTレジスタ ビット5 (IDMEND) = "0" →割り込みクリア

最後に、ホスト側のHREQEN="0"を設定して、復号化処理を終了します。

設定 : CMD1レジスタ = "00H" (HREQEN="0") →ホスト側DREQ無効

注意1. I/O入出力で処理を行う場合、データの読み書きはデータ・バッファ・レジスタを使用して行います。

その際、1アクセスごとにステータス・レジスタのビット0が"1"であることを確認してください。

2. また、符号バス幅を8ビット（バイト）モードに設定した場合は、DBFLレジスタのみをアクセスします。

確認 : STRLレジスタ ビット0 (IORDY) = "1" → I/O 入出力待ち (入出力可)

読み出し : 符号メモリ

書き込み : DBFL, DBFHレジスタ

3. 復号化処理の場合、先に「復号化終了割り込み」が発生し、そのあとに「画像データ転送終了割り込み」が発生します。これは、符号データの読み込みが先に終了するためです。
4. 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、“0”クリアされます。

#### 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

##### (1) 検出したマーカ・コードが“FFH” + “03H” (SDRST) の場合

マーカ・コードをSDRSTにした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTRレジスタ = “0BH” (SPRST = “0”) → ストライプ・リセット

レスポンス : CTRレジスタ ビット2 (SPRST) = “1” → リセット解除

##### (1') 検出したマーカ・コードが“FFH” + “02H” (SDNORM) の場合

マーカ・コードをSDNORMにした場合は、処理終了後にQMリセットを実行します。

設定 : CTRレジスタ = “07H” (QMRST = “0”) → QMリセット

レスポンス : なし

QMリセットは自動的に解除されません。

QMリセット実行には、10クロックかかりますので、QMリセット実行後は10クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、4. パラメータ設定から繰り返してください。

## 7.11 符号化処理シーケンス ⑥

### 1. $\mu$ PD72187A を初期化する。

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入，マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インターフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウェイト・サイクル数

## (a) 処理形態

符号化処理，または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "1" →符号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは，TP機能を使用する場合に必要な動作で，処理を行うストライプの先頭（第1）ラインのSLNTP値を作成します。

TP機能を使用しない場合は，プリスキャン動作を行う必要はありません。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

## (c) TP処理の有無

TP処理の設定は，モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

$\mu$ PD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します (カウンタ標準方式またはフラグ・エンド方式)。

ここでは, カウンタ標準方式を選択した場合のシーケンスを説明していますので, カウンタ標準方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" → 上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" → DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "1" → 8 ビット (バイト) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "0" → 16 ビット (ワード) モード

## (1) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" → ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "01H"

MDRH レジスタ = "08H"

レスポンス : なし

## 3. パラメータ設定

## (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "××H" ( 01H - FFH )

PELH レジスタ = "××H" ( 00H - 1FH )

レスポンス : なし

## (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "××H" ( 01H - FFH )

LINH レジスタ = "××H" ( 00H - FFH )

レスポンス : なし

## (3) ストライブ・ライン数の設定

ストライブ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "××H" ( 01H - FFH )

STPH レジスタ = "××H" ( 00H - FFH )

レスポンス : なし

**(4) AT 機能の設定**

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット7の ATMOVE を“1”に設定します。

設定 : ATRL レジスタ = “00H” (ATMOVE = “0”)

        ATRH レジスタ = “00H” (設定無効)

レスポンス : なし

**4. BIH, マーカ・コード・データ送出**

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。

μPD72187A は自動的にこの処理を行うことができませんので、ホスト CPU 等で処理を行ってください。

**5. 符号化処理開始****(1) ホスト・バス (符号バス) の設定**

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット0 (CODBUS) = “1” →符号データおよび ST RAM データ

        HSB レジスタ ビット2 (STFSEL) = “0” →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = “01H”

レスポンス : なし

**(2) 画像側 DMA 転送アドレスの設定**

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

**(a) DMA 転送開始アドレス**

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = “××H” (00H - FFH)

        DMSM レジスタ = “××H” (00H - FFH)

        DMSH レジスタ = “××H” (00H - FFH)

レスポンス : なし



## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = “××H” ( 00H - FFH )  
DMEM レジスタ = “××H” ( 00H - FFH )  
DMEH レジスタ = “××H” ( 00H - FFH )

レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ, 終了アドレス・レジスタは, ワード・モードの場合は, ワード・アドレスを, バイト・モードの場合は, バイト・アドレスを表します。
3. また, 処理する画像サイズよりも大きいサイズを設定することも可能です。その際には, レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが, 処理は正常に終了します。

## (3) 符号化処理を実行

符号化処理を実行するために, 次の 3 つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合, この 3 つの設定をすべて行わなければ,  $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く 2 つの設定をすべて行わなければ, 符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = “1” →算術符号化部の起動  
CMD1 レジスタ ビット 6 (IDMAON) = “1” →画像データ DMA 転送開始  
CMD1 レジスタ ビット 7 (HREQEN) = “1” →ホスト側 DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"

レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット7 (INTR) = "1" →割り込み発生

IST レジスタ ビット0 (STFEND) = "1" →符号化終了割り込み

IST レジスタ ビット5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット0 (STFEND) = "0" →割り込みクリア

IST レジスタ ビット5 (IDMEND) = "0" →割り込みクリア

注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプ を複数回の DMA 転送で処理する場合を参照してください。

2. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。

3. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号データ終端コード付加

### (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード部」に設定します。

設定 : HSB レジスタ = "00H" (CODBUS = "0") →マーカ・コード部

## (2) 終端コード付加

$\mu$ PD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" →マーカ・コード 書き込み可

必ず, MKRDY = "1" であることを確認してから, 終端コードを付加してください。

次に, 終端コードを付加します。

終端コードは 16 ビットから構成されますが,  $\mu$ PD72187A は 8 ビット分のインタフェースしか内蔵していませんので, 8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = "FFH" →マーカ・コードの ESC CODE

次に, 続く終端コードを付加します。

このときにも, 必ず, MKRDY = "1" であることを確認してから, 付加してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" →マーカ・コード 書き込み可

書き込み : MKB レジスタ = "03H" →マーカ・コードの SDRST CODE

終端コードを SDRST ではなく, SDNORM にする場合は, この書き込みのところで "02H" を書き込んでください。

## (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は, これらの (1), (2) を繰り返して付加してください。

最後に, ホスト側の HREQEN = "0" を設定して, 符号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

## 7. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) マーカ・コードを "FFH" + "03H" (SDRST) にした場合

マーカ・コードを SDRST にした場合は, 処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = "0BH" (SPRST = "0") →ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = "1" →リセット解除

(1') マーカ・コードを“FFH” + “02H” (SDNORM) にした場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) → QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

**注意** 7. バッファ内残留データ送中で付加したダミー・データは、削除してから受信側に送信してください。

ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

## 7.12 復号化処理シーケンス ⑥

### 1. $\mu$ PD72187A を初期化する。

#### (1) ソフトウェア・リセット

$\mu$ PD72187Aの全体的な初期化を行うために、 $\mu$ PD72187Aの機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1”

#### (2) ST RAM クリア

ST RAMの初期化を行うために、ST RAM クリアを実行します。ST RAMは、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAMのクリアを開始します。

ST RAMクリアは、自動的に終了しますので、ST RAMクリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1”

設定 : IST レジスタ ビット6 (STEND) = “0” → 割り込みクリア

### 2. BIH, マーカ・コード・データ読み出し

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号データの先頭にある BIH を読み出し、モードや、パラメータ等の設定に反映させます。

$\mu$ PD72187Aは自動的にこの処理を行うことができませんので、ホスト CPU 等で処理を行ってください。

## 3. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入，マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

## (a) 処理形態

符号化処理，または復号化処理を選択します。

設定 : MDRL レジスタ ビット0 (CODDEC) = "0" →復号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは，TP機能を使用する場合に必要な動作で，処理を行うストライプの先頭（第1）ラインのSLNTP値を作成します。

TP機能を使用しない場合は，プリスキャン動作を行う必要はありません。

設定 : MDRL レジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

## (c) TP処理の有無

TP処理の設定は，モード・レジスタのビット2で行います。

設定 : MDRL レジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

$\mu$ PD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

復号化処理では, 符号データの終了方式にかかわらず, 必ず"0"を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "1" →8 ビット (バイト) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "0" →16 ビット (ワード) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウエイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウエイトの設定をします。

ウエイトは、0 ウエイト - 3 ウエイトまで設定することができます。

また、このウエイトと READY 端子を用いたウエイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウエイト



したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "00H"  
MDRH レジスタ = "08H"  
レスポンス : なし

#### 4. パラメータ設定

##### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

##### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

##### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" (ATMOVE = "0")  
ATRH レジスタ = "00H" (設定無効)  
レスポンス : なし

## 5. 復号化処理開始

## (1) ホスト・バス（符号バス）の設定

復号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号およびST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = "1" →符号データおよびST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
DMSM レジスタ = "x xH" ( 00H - FFH )  
DMSH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )  
DMEM レジスタ = "x xH" ( 00H - FFH )  
DMEH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。

## (3) 復号化処理を実行

復号化処理を行うために、次の3つの設定を行ってください。

- ・ ホスト側 DREQ 有効
- ・ 画像データ DMA 転送開始
- ・ 算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 7 (MKDTC) = "1" →マーカ・コード検出割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 7 (MKDTC) = "0" →割り込みクリア

注意 1. 画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定して処理をさせた場合は、この「マーカ・コード検出割り込み」よりも先に「画像データ DMA 転送終了割り込み」が発生します。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合を参照してください。

2. 「割り込み発生」は、先に発生した割り込みと同時に "1" になり、「割り込み発生」を "0" クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0" クリアされます。

## 6. 符号終端コード／マーカ・コードの読み出し

符号終端部の終端コード (SDRST または SDNORM) や、付随するマーカ・コードを読み出し、処理を続行します。

## (1) マーカ・コードの確認

マーカ・コード・ウィンドウを使って、符号終端コード／マーカ・コードを確認します。

マーカ・コード・ウィンドウを使用する場合は、必ずステータス・レジスタのビット 3 (WDRDY) の値が "1" になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(1) の処理を省略して、すぐに (2) の処理を行ってください。

確認 : STRL レジスタ ビット 3 (WDRDY) = "1" →マーカ・コード・ウィンドウの読み出し可

確認 : MKWL, MKWH レジスタ

## (2) マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード／マーカ・コードを読み出します。マーカ・コード・バッファ・レジスタは 8 ビットのレジスタですので、16 ビットで構成される符号終端コードや 16 ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット 4 (MKRDY) の値が "1" になっていることを確認してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" →マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード／マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット 4 (MKRDY) = "1") を行ってください。

## 7. 算術符号化部最終バイト処理

μPD72187Aは、符号データの最後にある符号終端コードを発見すると、マーカ・コード検出割り込みを発生させて、処理を中断します。このとき、まだ算術符号化部に符号データが残ったままになっています。

この算術符号化部に残ったデータを、最後まで復号化するための処理を行います。

## (1) 最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出カインタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、μPD72187Aは復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 1 (QMLSIN) = "1" →算術符号化部最終バイト処理開始  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。  
 発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C2H"  
 レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 1 (PIXEND) = "1" →復号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 1 (PIXEND) = "0" →割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

最後に、ホスト側の HREQEN = "0" を設定して、復号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

注意 1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

画像データの DMA 転送量を、1 ストライプの大きさよりも小さく設定する場合は、7.16 1 ストライプを複数回の DMA 転送で処理する場合は参照してください。

2. 復号化処理の場合、先に「復号化終了割り込み」が発生し、そのあとに「画像データ転送終了割り込み」が発生します。これは、符号データの読み込みが先に終了するためです。
3. 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、“0”クリアされます。

#### 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

##### (1) 検出したマーカ・コードが“FFH” + “03H” (SDRST) の場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = “1” →リセット解除

##### (1') 検出したマーカ・コードが“FFH” + “02H” (SDNORM) の場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、4. パラメータ設定から繰り返してください。

## 7.13 符号化処理シーケンス ⑦

### 1. $\mu$ PD72187A を初期化する。

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出力インターフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

## (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "1" →符号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は、プリスキャン動作を行う必要はありません。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

## (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "0" →TP処理を行わない



## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

$\mu$ PD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します (カウンタ標準方式またはフラグ・エンド方式)。

ここでは, フラグ・エンド方式を選択した場合のシーケンスを説明していますので, フラグ・エンド方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "1" →フラグ・エンド方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" → 上位バイトが先  
(ビッグ・エンディアン)

## (l) ホスト側入出カインタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" → DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" → 16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" → 8 ビット (バイト) モード

## (1) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

$\mu$ PD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0ウェイト - 3ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" → ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "81H"

MDRH レジスタ = "20H"

レスポンス : なし

## 3. パラメータ設定

## (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "××H" ( 01H - FFH )

PELH レジスタ = "××H" ( 00H - 1FH )

レスポンス : なし

## (2) 副走査ライン数の設定

フラグ・エンド方式では、副走査ライン数の設定は行いません。

## (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します（設定範囲：1ライン - 65535ライン）。

設定 : STPL レジスタ = "××H" (01H - FFH)

STPH レジスタ = "××H" (00H - FFH)

レスポンス：なし

## (4) AT機能の設定

AT機能についての設定を行います。

AT機能を使用する際には、このレジスタで設定します。

AT機能を有効にするには、ビット7のATMOVEを"1"に設定します。

設定 : ATRL レジスタ = "00H" (ATMOVE = "0")

ATRH レジスタ = "00H" (設定無効)

レスポンス：なし

## 4. BIH, マーカ・コード・データ送付

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだBIHを書き込みます。

μPD72187Aは自動的にこの処理を行うことができませんので、ホストCPU等で処理を行ってください。

## 5. 符号化処理開始

## (1) ホスト・バス (符号バス) の設定

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号およびST RAMデータ」を選択します。

設定 : HSB レジスタ ビット0 (CODBUS) = "1" →符号データおよびST RAMデータ

HSB レジスタ ビット2 (STFSEL) = "0" →符号データ

したがって、HSBレジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"

レスポンス：なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )

DMSM レジスタ = "x xH" ( 00H - FFH )

DMSH レジスタ = "x xH" ( 00H - FFH )

レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )

DMEM レジスタ = "x xH" ( 00H - FFH )

DMEH レジスタ = "x xH" ( 00H - FFH )

レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. フラグ・エンド方式で符号化処理を行う際には、画像データ DMA 転送量とそのストライプ (ページ) のデータ量は一致させてください。

## (3) 符号化処理を実行

符号化処理を実行するために、次の3つの設定を行ってください。

- ・ ホスト側 DREQ 有効
- ・ 画像データ DMA 転送開始
- ・ 算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く2つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

さらに、フラグ・エンド方式ですので、次の設定も同時に行ってください。

- ・ 「最終ブロックの DMA 転送開始」

ただし、1ストライプを複数回の DMA 転送で処理する場合は、7.16 1ストライプ を複数回の DMA 転送で処理する場合を参照してください。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 5 (PENDFG) = "1" →最終ブロックの DMA 転送開始  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "E1H"  
 レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 0 (STFEND) = "1" →符号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 0 (STFEND) = "0" →割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

注意1. 符号化処理の場合、先に「画像データ転送終了割り込み」が発生し、そのあとに「符号化終了割り込み」が発生します。これは、画像データの読み込みが先に終了するためです。

2. 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライブ・リセット、ソフトウェア・リセットを実行することによって、“0”クリアされます。

## 6. 符号データ終端コード付加

### (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード部」に設定します。

設定 : HSB レジスタ = “00H” (COBUS = “0”) →マーカ・コード部

### (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット 4 (MKRDY) = “1” →マーカ・コード 書き込み可

必ず、MKRDY = “1”であることを確認してから、終端コードを付加してください。

次に、終端コードを付加します。

終端コードは 16 ビットから構成されますが、μPD72187A は 8 ビット分のインタフェースしか内蔵していませんので、8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = “FFH” →マーカ・コードの ESC CODE

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY = “1”であることを確認してから、付加してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = “1” →マーカ・コード 書き込み可

書き込み : MKB レジスタ = “03H” →マーカ・コードの SDRST CODE

終端コードを SDRST ではなく、SDNORM にする場合は、この書き込みのところで “02H” を書き込んでください

## (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、これらの(1)、(2)を繰り返して付加してください。

## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード(16ビット)単位にそろってはかぎりません。μPD72187A内部は8ビットで動作していますので、16ビットにそろわないままμPD72187A内部のバッファ(データ・バッファ)にデータが残ってしまうことがあります。このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

## (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット1 (MRDENB = "0" →データ・バッファ読み出し不可  
STRL レジスタ ビット2 (FHEN) = "1"  
→データ・バッファ下位8ビットにデータあり

もし、STRL レジスタのビット2 = "0" (データ・バッファ下位8ビットにデータなし) だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187Aは、ワード・モードに設定されている場合、データが16ビットそろうまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの"00H" データを書き込み、μPD72187A内部データ・バッファのデータを16ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = "00H" →ダミー・データ書き込み

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット1 (MRDENB) = "0" →データ・バッファ読み出し不可  
STRL レジスタ ビット2 (FHEN) = "0"  
→データ・バッファ下位8ビットにデータなし

最後に、ホスト側のHREQEN = "0" を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側DREQ無効



## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) マーカ・コードを“FFH” + “03H” (SDRST) にした場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = “1” →リセット解除

## (1') マーカ・コードを“FFH” + “02H” (SDNORM) にした場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

**注意** 7. バッファ内残留データ送出にて付加したダミー・データは、削除してから受信側へ送信してください。

ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

[メモ]

## 7.14 参照ライン蓄積処理シーケンス

### 1. $\mu$ PD72187A を QM リセットする。

#### (1) QM リセットの実行

参照ライン蓄積処理を行うために、QM リセットを実行します。

参照ライン蓄積処理は、算術符号化部が動作したままでは、実行することはできません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、QM リセットは、コントロール・レジスタのビット3 (QMRST) を“0”に設定します。算術符号化部のリセット (QM リセット) は実行後、自動的に解除されません。実際に QM リセットが実行される時間は 10 クロックですので、QM リセット実行後、最低でも 10 クロック分の時間が経過してから次の処理を行ってください。

設定 : CTR レジスタ = “07H” (QMRST = “0”)

確認 : CTR レジスタ ビット3 (QMRST) = “0”

### 2. パラメータ設定

#### (1) TP 機能の設定

TP 機能を使用する場合のみ、次の設定を行います。

LNTPY1 の値は、前の処理終了時に読み出した値を設定してください。

次に LNTPY1 = “1” だった場合の例を示します。

設定 : TP レジスタ ビット1 (LNTPY1) = “1” → 前回の処理の最終ラインの LNTPY 値

TP レジスタ ビット2 (LNTPYE) = “1” → LNTPY1 の書き込み有効

したがって、TP レジスタの設定は、次のようになります。

設定 : TP レジスタ = “06H”

レスポンス : なし

### 3. 参照ライン蓄積処理開始

#### (1) ライン・メモリの設定

参照ライン蓄積処理を行う際には、必ずライン・メモリを「蓄積データ転送」に設定してください。

設定 : LMR レジスタ = “01H” (CODBUS = “1”) → 蓄積データ転送

レスポンス : なし

通常、符号化／復号化処理を行う際は、この CODBUS ビットは“0” (デフォルト値) に設定して処理を行ってください。

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )

DMSM レジスタ = "x xH" ( 00H - FFH )

DMSH レジスタ = "x xH" ( 00H - FFH )

レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )

DMEM レジスタ = "x xH" ( 00H - FFH )

DMEH レジスタ = "x xH" ( 00H - FFH )

レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。

3. また、設定するアドレス値は、必ず処理する画像サイズ (1 ラインまたは 2 ライン分) と一致するように設定してください。

## (3) 参照ライン蓄積処理を実行

参照ライン蓄積処理は、画像データ DMA 転送を開始して、処理を行います。

設定 : CMD1 レジスタ ビット 6 (IDMAON) = "1" → 画像データ DMA 転送開始

したがって、コマンド・レジスタ1の設定は次のようになります。  
発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "40H"

レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル

STRH レジスタ ビット7 (INTR) = "1" → 割り込み発生

IST レジスタ ビット5 (IDMEND) = "1" → 画像データ転送終了割り込み

設定 : STRH レジスタ ビット7 (INTR) = "0" → 割り込みクリア

IST レジスタ ビット5 (IDMEND) = "0" → 割り込みクリア

注意 「割り込み発生」は、先に発生した割り込みと同時に「1」になり、「割り込み発生」を「0」クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、「0」クリアされます。

#### 4. 参照ライン蓄積処理終了

##### (1) 参照ライン蓄積処理終了の確認

参照ライン蓄積処理が終了したことを確認します。確認は LMR レジスタのビット4で行います。

確認 : LMR レジスタ ビット4 (BLBCMP) = "1" → 参照ライン蓄積終了

必ず、参照ライン蓄積処理が終了したことを確認してから、次の処理を行ってください。

##### (2) ライン・メモリの設定

参照ライン蓄積処理を終了する際には、必ずライン・メモリを「通常データ転送」に設定してください。

通常、符号化／復号化処理を行う際は、この CODBUS ビットは "0" (デフォルト値) に設定して処理を行ってください。

設定 : LMR レジスタ = "00H" (CODBUS = "0") → 通常データ転送

レスポンス : なし

注意 次に示す動作条件下での参照ライン蓄積の場合は、特別な制御を必要とします。

<動作条件>

・ 3ライン・テンプレート

・ 1ストライプ = 1ライン

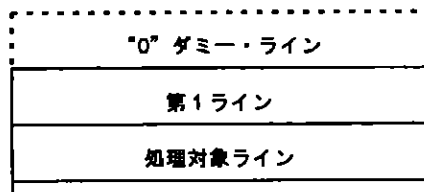
・ ビット・プレーンを使用する際の各ビット・プレーンの第2ストライプ処理 (符号化および復号化処理) 開始前の参照ライン蓄積

<制御>

- ・ (“0” ダミー・ライン) + (第1ライン) を DMA 転送により入力する。
- ・ただし, “0” ダミー・ラインのデータ長  $X_{DUMMY}$  は, 次の条件を満足しなければなりません。

$$\text{主走査画素数} \leq X_{DUMMY} \leq \text{主走査バイト数}$$

- ・ダミー・ラインは必ず “0” を設定してください。これは, JBIG 勧告にて, ページ (ストライプ) の第1ラインの手前の参照ラインは, “0” のダミー・データ (ダミー・ライン) を使用するよう定められているためです。



## 7.15 ST RAM 読み出し／書き込み処理シーケンス

### 7.15.1 ST RAM 読み出し処理シーケンス

#### 1. $\mu$ PD72187A を QM リセットする。

##### (1) QM リセットの実行

ST RAM の読み出し処理を行うために、QM リセットを実行します。

ST RAM の読み出し処理は、算術符号化部が動作したままでは、実行することはできません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、QM リセットは、コントロール・レジスタのビット3 (QMRST) を“0”に設定します。算術符号化部のリセット (QM リセット) は実行後、自動的に解除されません。実際に QM リセットが実行される時間は 10 クロックですので、QM リセット実行後、最低でも 10 クロック分の時間が経過してから次の処理を行ってください。

設定 : CTR レジスタ = “07H” (QMRST = “0”)

確認 : CTR レジスタ ビット3 (QMRST) = “0”

#### 2. モード設定

##### (1) 符号データのデータ配列

符号データのデータ配列を設定します。

##### (a) 符号データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = “0” → MSB First

##### (b) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット1 (BYTSEL) = “0” → 上位バイトが先  
(ビッグ・エンディアン)

## (2) ホスト側入出力インタフェースの選択

ホスト側（符号バス側）のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (3) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

ST RAM の読み出し処理を行う際には、データ・バス幅は必ず、16 ビットのワード・モードを選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (4) 画像データ・バス幅の設定

ST RAM の読み出し処理を行う場合には、符号（ホスト）バスのみを使用しますので、特にどちらに設定していてもかまいません。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRH レジスタ = "20H"

レスポンス : なし

注意 ST RAM 読み出し処理では、MDRL レジスタの設定は無効です。



## 3. ST RAM 読み出し処理開始

## (1) ホスト・バス（符号バス）の設定

ST RAM 読み出し処理を行う際には、必ずホスト・バスを「ST RAM データ」に設定し、マーカ・コードではなく、ST RAM データを取り扱うので「符号およびST RAM データ」を選択します。

設定 : HSB レジスタ ビット0 (CODBUS) = "1" →符号データ中の符号部  
 HSB レジスタ ビット1 (STDRW) = "0" →ST RAM データの読み出し  
 HSB レジスタ ビット2 (STFSEL) = "1" →ST RAM データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "05H"  
 レスポンス : なし

## (2) ST RAM 読み出し処理を実行

ST RAM 読み出し処理を行うために、次の設定を行ってください。

この例では、DMA 転送を使用してST RAM データを読み出しますので、ホスト側のDREQ も有効に設定してください。なお、I/O 入出力で転送を行う場合には、ホスト側DREQ 有効の設定は必要ありません。

設定 : CMD1 レジスタ ビット2 (SDTRON) = "1" →ST RAM データ転送開始  
 CMD1 レジスタ ビット7 (HREQEN) = "1" →ホスト側DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "84H"  
 レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル  
 STRH レジスタ ビット7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット6 (ST END) = "1" →ST RAM データ転送終了割り込み  
 設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット6 (ST END) = "0" →割り込みクリア

注意 「割り込み発生」は、先に発生した割り込みと同時に"1"になり、「割り込み発生」を"0"クリア、またはストライブ・リセット、ソフトウェア・リセットを実行することによって、"0"クリアされます。

**(3) ホスト・バス（符号バス）の設定**

最後にホスト・バスを「符号データ」に設定して、ST RAM データ読み出し処理を終了します。

設定 : HSB レジスタ ビット0 (CODBUS) = "1" →符号データおよび ST RAM データ  
HSB レジスタ ビット2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス：なし

**7.15.2 ST RAM 書き込み処理シーケンス****1. μPD72187A を QM リセットする。****(1) QM リセットの実行**

ST RAM の書き込み処理を行うために、QM リセットを実行します。

ST RAM の書き込み処理は、算術符号化部が動作したままでは、実行することはできません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、QM リセットは、コントロール・レジスタのビット3 (QMRST) を“0”に設定します。算術符号化部のリセット (QM リセット) は実行後、自動的に解除されません。実際に QM リセットが実行される時間は 10 クロックですので、QM リセット実行後、最低でも 10 クロック分の時間が経過してから次の処理を行ってください。

設定 : CTR レジスタ = "07H" (QMRST = "0")  
確認 : CTR レジスタ ビット3 (QMRST) = "0"

**2. モード設定****(1) 符号データのデータ配列**

符号データのデータ配列を設定します。

**(a) 符号データのビット配列**

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (b) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (2) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (3) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

ST RAM の書き込み処理を行う際には、データ・バス幅は必ず、16 ビットのワード・モードを選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (4) 画像データ・バス幅の設定

ST RAM の書き込み処理を行う場合には、符号 (ホスト) バスのみを使用しますので、特にどちらに設定していてもかまいません。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRH レジスタ = "20H"  
レスポンス: なし

注意 ST RAM 書き込み処理では、MDRL レジスタの設定は無効になります。

## 3. ST RAM 書き込み処理開始

## (1) ホスト・バス（符号バス）の設定

ST RAM 書き込み処理を行う際には、必ずホスト・バスを「ST RAM データ」に設定し、マーカ・コードではなく、ST RAM データを取り扱うので「符号およびST RAM データ」を選択します。

設定 : HSB レジスタ ビット0 (CODBUS) = "1" →符号データ中の符号部  
 HSB レジスタ ビット1 (STDRW) = "1" →ST RAM データの書き込み  
 HSB レジスタ ビット2 (STFSEL) = "1" →ST RAM データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "07H"  
 レスポンス : なし

## (2) ST RAM 書き込み処理を実行

ST RAM 書き込み処理を行うために、次の設定を行ってください。

この例では、DMA 転送を使用して ST RAM データを書き込みますので、ホスト側の DREQ も有効に設定してください。なお、I/O 入出力で転送を行う場合には、ホスト側 DREQ 有効の設定は必要ありません。

設定 : CMD1 レジスタ ビット2 (SDTRON) = "1" →ST RAM データ転送開始  
 CMD1 レジスタ ビット7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。

発生した割り込みは、確認後すみやかにクリアしてください。

設定 : CMD1 レジスタ = "84H"  
 レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル  
 STRH レジスタ ビット7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット6 (ST END) = "1" →ST RAM 転送終了割り込み  
 設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット6 (ST END) = "0" →割り込みクリア

注意 「割り込み発生」は、先に発生した割り込みと同時に"1"になり、「割り込み発生」を"0"クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0"クリアされます。

## (3) ホスト・バス（符号バス）の設定

最後にホスト・バスを「符号データ」に設定して、ST RAM データ書き込み処理を終了します。

設定 : HSB レジスタ ビット0 (CODBUS) = "1" →符号データおよび ST RAM データ  
HSB レジスタ ビット2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

[メモ]

## 7.16 1 ストライプを複数回の DMA 転送で処理する場合

### 7.16.1 符号化処理例 ①

#### 1. $\mu$ PD72187A を初期化する。

##### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

##### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : IST レジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

### (1) 各モード設定

$\mu$ PD72187A の動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP 処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入, マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出インターフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

#### (a) 処理形態

符号化処理, または復号化処理を選択します。

設定 : MDRL レジスタ ビット 0 (CODDEC) = "1" →符号化処理

#### (b) プリスキャン動作の有無

プリスキャン動作とは, TP 機能を使用する場合に必要な動作で, 処理を行うストライプの先頭 (第 1) ラインの SLNTP 値を作成します。

TP 機能を使用しない場合は, プリスキャン動作を行う必要はありません。

設定 : MDRL レジスタ ビット 1 (TPNCNT) = "0" →プリスキャンを行わない

#### (c) TP 処理の有無

TP 処理の設定は, モード・レジスタのビット 2 で行います。

設定 : MDRL レジスタ ビット 2 (TPBON) = "0" →TP 処理を行わない



## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

$\mu$ PD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には、必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは、符号化処理終了時に算術符号化部に残っている数ビットのデータを、算術符号化部の外に掃き出す動作のことをいいます。

通常は、「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します(カウンタ標準方式またはフラグ・エンド方式)。

ここでは、カウンタ標準方式を選択した場合のシーケンスを説明していますので、カウンタ標準方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト - 3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "01H"  
MDRH レジスタ = "20H"  
レスポンス : なし

### 3. パラメータ設定

#### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "x xH" ( 01H - FFH )  
PELH レジスタ = "x xH" ( 00H - 1FH )  
レスポンス : なし

#### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "x xH" ( 01H - FFH )  
LINH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "x xH" ( 01H - FFH )  
STPH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

#### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" (ATMOVE = "0")  
ATRH レジスタ = "00H" (設定無効)  
レスポンス : なし

## 4. BIH, マーカ・コード・データ送付

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。

μPD72187A は自動的にこの処理を行うことができませんので、ホスト CPU 等で処理を行ってください。

## 5. 符号化処理開始

## (1) ホスト・バス (符号バス) の設定

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号および ST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBUS) = "1" →符号データおよび ST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

1 ストライプを複数回の DMA 転送で処理する場合には、次の DMA 転送開始アドレス、終了アドレスの設定で、任意のデータ量を設定して行います。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
DMSM レジスタ = "x xH" ( 00H - FFH )  
DMSH レジスタ = "x xH" ( 00H - FFH )

レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x x H" ( 00H - FFH )  
DMEM レジスタ = "x x H" ( 00H - FFH )  
DMEH レジスタ = "x x H" ( 00H - FFH )  
レスポンス : なし

- 注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。
2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。

例 A4 サイズ 200dpi (1728 ドット×2376 ライン) の画像を、128 ライン=1 ストライプとし、64 ラインごとに処理をする場合の DMA 転送アドレス設定値。

[バイト・モード設定時]

DMA 転送開始アドレス=000000H

MA 転送終了アドレス=0035FFH (1728×64÷8=13824 バイト [3600H バイト])

[ワード・モード設定時]

DMA 転送開始アドレス=000000H

DMA 転送終了アドレス=001AFFH (1728×64÷16=6912 ワード [1B00H ワード])

## (3) 符号化処理を実行

符号化処理を実行するために、次の 3 つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この 3 つの設定をすべて行わなければ、μPD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く 2 つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号5 INT 端子レベル=ハイ (1) レベル  
           STRH レジスタ ビット7 (INTR) = "1" →割り込み発生  
           IST レジスタ ビット5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア  
           IST レジスタ ビット5 (IDMEND) = "0" →割り込みクリア

注意 「割り込み発生」は、先に発生した割り込みと同時に"1"になり、「割り込み発生」を"0"クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0"クリアされます。

この時点では、まだ1ストライプ分の符号化処理は終了していません。

このあとに現時点で行っている符号化処理以外の処理をすると、符号化処理が正常に終了しませんので、符号化以外の処理は行わないでください。

また、設定したストライプ・ライン数の処理を終了していないので、「符号化処理終了割り込み」は発生しません。

#### (4) 画像側 DMA 転送アドレスの再設定

次に、画像バス側の DMA 転送開始アドレスと終了アドレスを再設定します。

##### (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
           DMSM レジスタ = "x xH" ( 00H - FFH )  
           DMSH レジスタ = "x xH" ( 00H - FFH )  
 レスポンス : なし

##### (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )  
           DMEM レジスタ = "x xH" ( 00H - FFH )  
           DMEH レジスタ = "x xH" ( 00H - FFH )  
 レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ，終了アドレス・レジスタは，ワード・モードの場合は，ワード・アドレスを，バイト・モードの場合は，バイト・アドレスを表します。

#### (5) 符号化処理を再実行

符号化処理を再実行するために，次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・算術符号化部の起動
- ・画像データ DMA 転送開始

ホスト・バス入出カインタフェースに DMA 入出力を選択した場合，この3つの設定をすべて行わなければ， $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く2つの設定をすべて行わなければ，符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって，コマンド・レジスタ 1 の設定は次のようになります。

また，発生した割り込みは，割り込みを確認後，すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"  
 レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 0 (STFEND) = "1" →符号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 0 (STFEND) = "0" →割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

注意 「割り込み発生」は，先に発生した割り込みと同時に "1" になり，「割り込み発生」を "0" クリア，またはストライプ・リセット，ソフトウェア・リセットを実行することによって，"0" クリアされます。

符号化処理を再実行しても符号化終了割り込みが発生しない場合は，ストライプ・ライン数を全て処理していないためです。その場合には符号化処理終了割り込みが発生するまで (4) 画像側 DMA 転送アドレスの再設定から処理を繰り返してください。

## 6. 符号データ終端コード付加

## (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード部」に設定します。

設定 : HSB レジスタ = "00H" (CODBUS = "0") →マーカ・コード部

## (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" →マーカ・コード 書き込み可

必ず、MKRDY = "1" であることを確認してから、終端コードを付加してください。

次に、終端コードを付加します。

終端コードは 16 ビットから構成されますが、μPD72187A は 8 ビット分のインタフェースしか内蔵していませんので、8 ビットずつ付加していきます。

レジスタは MKB レジスタを使用します。

書き込み : MKB レジスタ = "FFH" →マーカ・コードの ESC CODE

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY = "1" であることを確認してから、付加してください。

確認 : STRL レジスタ ビット 4 (MKRDY) = "1" →マーカ・コード 書き込み可

書き込み : MKB レジスタ = "03H" →マーカ・コードの SDRST CODE

終端コードを SDRST ではなく、SDNORM にする場合は、この書き込みのところで "02H" を書き込んでください

## (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、これらの (1), (2) を繰り返して付加してください。



## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード（16ビット）単位にそろってはかぎりません。μPD72187A 内部は 8 ビットで動作していますので、16 ビットにそろわないまま μPD72187A 内部のバッファ（データ・バッファ）にデータが残ってしまうことがあります。

このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

## (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット 1 (MRDENB) = "0"

→データ・バッファ読み出し不可

STRL レジスタ ビット 2 (FHEN) = "1"

→データ・バッファ下位 8 ビットにデータあり

もし、STRL レジスタのビット 2 = "0"（データ・バッファ下位 8 ビットにデータなし）だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。

また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187A は、ワード・モードに設定されている場合、データが 16 ビットそろうまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの "00H" データを書き込み、μPD72187A 内部データ・バッファのデータを 16 ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = "00H" →ダミー・データ書き込み

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット 1 (MRDENB) = "0"

→データ・バッファ読み出し不可

STRL レジスタ ビット 2 (FHEN) = "0"

→データ・バッファ下位 8 ビットにデータなし

最後に、ホスト側の HREQEN = "0" を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) マーカ・コードを“FFH” + “03H” (SDRST) にした場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = “1” →リセット解除

## (1') マーカ・コードを“FFH” + “02H” (SDNORM) にした場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

**注意** 7. バッファ内残習データ送出にて付加したダミー・データは、削除してから受信側に送信してください。

ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

## 7.16.2 復号化処理例

### 1. $\mu$ PD72187A を初期化する。

#### (1) ソフトウェア・リセット

$\mu$ PD72187A の全体的な初期化を行うために、 $\mu$ PD72187A の機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTR レジスタ = “0EH” (SFRST = “0”)

レスポンス : CTR レジスタ ビット0 (SFRST) = “1”

#### (2) ST RAM クリア

ST RAM の初期化を行うために、ST RAM クリアを実行します。ST RAM は、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAM のクリアを開始します。

ST RAM クリアは、自動的に終了しますので、ST RAM クリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1 レジスタ = “08H” (STCLR = “1”)

レスポンス : IST レジスタ ビット6 (STEND) = “1”

設定 : IST レジスタ ビット6 (STEND) = “0” → 割り込みクリア

### 2. BIH, マーカ・コード・データ読み出し

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号データの先頭にある BIH を読み出し、モードや、パラメータ等の設定に反映させます。

$\mu$ PD72187A は自動的にこの処理を行うことができませんので、ホスト CPU 等で処理を行ってください。

## 3. モード設定

## (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・処理形態
- ・プリスキャン動作の有無
- ・TP処理の有無
- ・モデル・テンプレートのライン数
- ・スタッフ・バイト自動挿入、マーカ・コード付加
- ・フラッシュ動作の有無
- ・符号化の終了方式
- ・符号データのデータ配列
- ・ホスト側入出インタフェースの選択
- ・符号データ・バス幅の設定
- ・画像データ・バス幅の設定
- ・画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

## (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRLレジスタ ビット0 (CODDEC) = "0" →復号化処理

## (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は、プリスキャン動作を行う必要はありません。

設定 : MDRLレジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

## (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRLレジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

μPD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入, マーカ・コード付加

スタッフ・バイトの自動挿入, マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入, マーカ・コード付加を禁止する」に設定すると, スタッフ・バイトの自動挿入が行われず, マーカ・コードの付加もできなくなりますので, 通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 RL レジスタのビット5には, 必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは, 符号化処理終了時に算術符号化部に残っている数ビットのデータを, 算術符号化部の外に掃き出す動作のことをいいます。

通常は, 「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

復号化処理では, 符号データの終了方式にかかわらず, 必ず"0"を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "0" →カウンタ標準方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) データのビット配列

データのビット配列が, MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については, 5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) データのバイト配列

符号バスをワード (16 ビット) モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる (ビッグ・エンディアン) か、下位バイトが先になる (リトル・エンディアン) かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット 1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側 (符号バス側) のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット 2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16 ビットのワード・モード、8 ビットのバイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 3 (STORET) = "0" →16 ビット (ワード) モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの 2 つから選択します。

設定 : MDRH レジスタ ビット 5 (IMBUS) = "1" →8 ビット (バイト) モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0 ウェイト-3 ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット 6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "01H"  
MDRH レジスタ = "20H"  
レスポンス : なし

#### 4. パラメータ設定

##### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "××H" ( 01H - FFH )  
PELH レジスタ = "××H" ( 00H - 1FH )  
レスポンス : なし

##### (2) 副走査ライン数の設定

副走査ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : LINL レジスタ = "××H" ( 01H - FFH )  
LINH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

##### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "××H" ( 01H - FFH )  
STPH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

##### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" ( ATMOVE = "0" )  
ATRH レジスタ = "00H" ( 設定無効 )  
レスポンス : なし

## 5. 復号化処理開始

## (1) ホスト・バス（符号バス）の設定

復号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号およびST RAM データ」を選択します。

設定 : HSB レジスタ ビット 0 (CODBus) = "1" →符号データおよびST RAM データ  
HSB レジスタ ビット 2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
DMSM レジスタ = "x xH" ( 00H - FFH )  
DMSH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )  
DMEM レジスタ = "x xH" ( 00H - FFH )  
DMEH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ, 終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。
3. また、処理する画像サイズよりも大きいサイズを設定することも可能です。その際には、レスポンスとして「画像データ DMA 転送終了割り込み」が返ってこなくなりますが、処理は正常に終了します。



## (3) 復号化処理を実行

復号化処理を行うために、次の3つの設定を行ってください。

- ・ ホスト側 DREQ 有効
- ・ 画像データ DMA 転送開始
- ・ 算術符号化部の起動

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

設定 : CMD1 レジスタ = "C1H"

## (4) レスポンス

レスポンスにより処理が異なります。

## (a) 画像データ転送終了割り込みだけが発生した場合

レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生

IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

次に処理を行うデータの DMA 転送アドレスを設定して処理を続けます。

## (a) -① DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )

DMSM レジスタ = "x xH" ( 00H - FFH )

DMSH レジスタ = "x xH" ( 00H - FFH )

レスポンス : なし

## (a) -② DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の3つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = “x xH” ( 00H - FFH )  
DMEM レジスタ = “x xH” ( 00H - FFH )  
DMEH レジスタ = “x xH” ( 00H - FFH )  
レスポンス : なし

## (a) -③ 復号化処理を再実行

復号化処理を継続して行うために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出カインタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = “1” →算術符号化部の起動  
CMD1 レジスタ ビット 6 (IDMAON) = “1” →画像データ DMA 転送開始  
CMD1 レジスタ ビット 7 (HREQEN) = “1” →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

設定 : CMD1 レジスタ = “C1H”

もし、この時点でマーカ・コードを処理した後であれば、算術符号化部の起動はかけず、最終バイト処理を行ってください。マーカ・コードを処理していなければ、次の「最終バイト処理開始」の処理は必要ありません。

## (a) ④最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 1 (QMLSIN) = "1"  
→算術符号化部最終バイト処理開始  
CMD1 レジスタ ビット 6 (IDMAON) = "1"  
→画像データ DMA 転送開始  
CMD1 レジスタ ビット 7 (HREQEN) = "1"  
→ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

設定 : CMD1 レジスタ = "C2H"

このあとの処理は (4) レスポンスから繰り返します。

## (b) マーカ・コード検出割り込みだけが発生した場合

符号終端部の終端コード (SDRST または SDNORM) や、付随するマーカ・コードを読み出し、処理を続行します。

レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生

IST レジスタ ビット 7 (MKDTC) = "1" →マーカ・コード検出割り込み

設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット 7 (MKDTC) = "0" →割り込みクリア

## (b) -①マーカ・コードの確認

マーカ・コード・ウインドウを使って、符号終端コード／マーカ・コードを確認します。

マーカ・コード・ウインドウを使用する場合は、必ずステータス・レジスタのビット3(WDRDY)の値が“1”になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(1)の処理を省略して、すぐに(2)の処理を行ってください。

確認 : STRL レジスタ ビット3 (WDRDY) = “1”

→マーカ・コード・ウインドウの読み出し可

確認 : MKWL, MKWH レジスタ

## (b) -②マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード／マーカ・コードを読み出します。

マーカ・コード・バッファ・レジスタは8ビットのレジスタですので、16ビットで構成される符号終端コードや16ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット4 (MKRDY) の値が“1”になっていることを確認してください。

確認 : STRL レジスタ ビット4 (MKRDY) = “1”

→マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード／マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット4 (MKRDY) = “1”) を行ってください。

## (b) ③最終バイト処理開始

算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く2つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 1 (QMLSIN) = "1"  
→算術符号化部最終バイト処理開始  
CMD1 レジスタ ビット 6 (IDMAON) = "1"  
→画像データ DMA 転送開始  
CMD1 レジスタ ビット 7 (HREQEN) = "1"  
→ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

設定 : CMD1 レジスタ = "C2H"

このあとの処理は (4) レスポンスから繰り返します。

## (c) マーカ・コード検出割り込みと画像データ転送終了割り込みが同時に発生した場合

マーカ・コードの処理を行った後に、新たな DMA アドレスを設定して処理を続けます。

レスポンス : ピン番号 5 INT 端子レベル=ハイ (1) レベル  
STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
IST レジスタ ビット 7 (MKDTC) = "1" →マーカ・コード検出割り込み  
設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア  
IST レジスタ ビット 7 (MKDTC) = "0" →割り込みクリア

## (c) -①マーカ・コードの確認

マーカ・コード・ウィンドウを使って、符号終端コード/マーカ・コードを確認します。

マーカ・コード・ウィンドウを使用する場合は、必ずステータス・レジスタのビット3(WDRDY)の値が“1”になっていることを確認してください。

マーカ・コードの確認については、あらかじめマーカ・コードが判明している場合は、省略することも可能です。その場合は、(c) -①の処理を省略して、すぐに(c) -②の処理を行ってください。

確認 : STRL レジスタ ビット3 (WDRDY) = “1”  
→マーカ・コード・ウィンドウの読み出し可

確認 : MKWL, MKWH レジスタ

## (c) -②マーカ・コードの読み出し

マーカ・コード・バッファ・レジスタから、符号終端コード/マーカ・コードを読み出します。マーカ・コード・バッファ・レジスタは8ビットのレジスタですので、16ビットで構成される符号終端コードや16ビット以上のデータで構成されるマーカ・コードは、このレジスタを複数回読んで処理をします。

マーカ・コード・バッファ・レジスタを使用する場合は、必ずステータス・レジスタのビット4 (MKRDY) の値が“1”になっていることを確認してください。

確認 : STRL レジスタ ビット4 (MKRDY) = “1” →マーカ・コード読み出し可

読み出し : MKB レジスタ

連続して終端コード/マーカ・コードを読み出す場合は、読み出しを行うごとに、ステータス・レジスタの確認 (STRL レジスタ ビット4 (MKRDY) = “1”) を行ってください。

## (c) -③DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = “x xH” ( 00H - FFH )

DMSM レジスタ = “x xH” ( 00H - FFH )

DMSH レジスタ = “x xH” ( 00H - FFH )

レスポンス : なし

## (c) -④ DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の 3 つのレジスタで設定します。  
設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x x H" ( 00H - FFH )  
 DMEM レジスタ = "x x H" ( 00H - FFH )  
 DMEH レジスタ = "x x H" ( 00H - FFH )  
 レスポンス : なし

## (c) -⑤ 最終バイト処理開始

マーカ・コードを処理した後に復号化を再実行する場合は、必ず「最終バイト処理」を行ってください。算術符号化部最終バイトの復号化処理を開始するために、次の設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部最終バイト処理開始ビットを有効にする

ホスト・バス入出力インタフェースに DMA 入出力を選択した場合、この 3 つの設定をすべて行わなければ、 $\mu$ PD72187A は復号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト側 DREQ 有効」の設定を除く 2 つの設定をすべて行わなければ、復号化処理を開始しません。その際「ホスト側 DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 1 (QMLSIN) = "1"  
 →算術符号化部最終バイト処理開始  
 CMD1 レジスタ ビット 6 (IDMAON) = "1"  
 →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1"  
 →ホスト側 DREQ 有効

したがって、コマンド・レジスタ 1 の設定は次のようになります。

設定 : CMD1 レジスタ = "C2H"

このあとの処理は (4) レスポンスから繰り返します。

## (d) 復号化終了割り込みが発生した場合

レスポンス：ピン番号5 INT 端子レベル=ハイ (1) レベル

STRH レジスタ ビット7 (INTR) = "1" →割り込み発生

IST レジスタ ビット1 (PIXEND) = "1" →復号化終了割り込み

IST レジスタ ビット5 (IDMEND) = "1" →画像データ転送終了割り込み

設定 : STRH レジスタ ビット7 (INTR) = "0" →割り込みクリア

IST レジスタ ビット1 (PIXEND) = "0" →割り込みクリア

IST レジスタ ビット5 (IDMEND) = "0" →割り込みクリア

注意1. 「画像データ転送終了割り込み」は、DMA 転送アドレスの設定を、処理する画像データ・サイズよりも大きく設定している場合は発生しません。

2. 復号化処理の場合、先に「復号化終了割り込み」が発生し、そのあとに「画像データ転送終了割り込み」が発生します。これは、符号データの読み込みが先に終了するためです。

3. 「割り込み発生」は、先に発生した割り込みと同時に"1"になり、「割り込み発生」を"0"クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、"0"クリアされます。

## (d) -①復号化の終了

ホスト側の HREQEN = "0" を設定して、復号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

## 6. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

## (1) 検出したマーカ・コードが "FFH" + "03H" (SDRST) の場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = "0BH" (SPRST = "0") →ストライプ・リセット

レスポンス : CTR レジスタ ビット2 (SPRST) = "1" →リセット解除



## (1') 検出したマーカ・コードが“FFH” + “02H” (SDNORM) の場合

マーカ・コードをSDNORMにした場合は、処理終了後にQMリセットを実行します。

設定 : CTRレジスタ = “07H” (QMRST = “0”) →QMリセット

レスポンス : なし

QMリセットは自動的に解除されません。

QMリセット実行には、10クロックかかりますので、QMリセット実行後は10クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、4. パラメータ設定から繰り返してください。

## 7.16.3 符号化処理例 ②

1.  $\mu$ PD72187A を初期化する。

## (1) ソフトウェア・リセット

$\mu$ PD72187Aの全体的な初期化を行うために、 $\mu$ PD72187Aの機能を使用する前に、ソフトウェア・リセットを実行します。

基本的にソフトウェア・リセットは、起動直後の1回だけでかまいません。

各種リセットはコントロール・レジスタで行い、目的のリセットを行うビットのみを“0”に設定します。したがって、ソフトウェア・リセットは、コントロール・レジスタのビット0 (SFRST) を“0”に設定します。

また、算術符号化部を除く、すべてのリセットは実行後、自動的に解除されますので、実行したりセットと、下位のリセットのすべてが解除されたことを確認して、次の処理を行ってください(4.2 リセット機能参照)。

設定 : CTRレジスタ = “0EH” (SFRST = “0”)

レスポンス : CTRレジスタ ビット0 (SFRST) = “1” →ソフトウェア・リセット解除

## (2) ST RAM クリア

ST RAMの初期化を行うために、ST RAMクリアを実行します。ST RAMは、ソフトウェア・リセットを始めとするどのリセットでも、初期化を行うことはできません。

コマンド・レジスタ1のビット3を“1”にすることで、ST RAMのクリアを開始します。

ST RAMクリアは、自動的に終了しますので、ST RAMクリア実行後、動作が終了したことを確認してから、次の動作を行ってください。

また、割り込みをクリアする際には、目的のビットのみをクリアしてください。

設定 : CMD1レジスタ = “08H” (STCLR = “1”)

レスポンス : ISTレジスタ ビット6 (STEND) = “1” →ST RAM “0” クリア完了割り込み

設定 : ISTレジスタ ビット6 (STEND) = “0” →割り込みクリア

## 2. モード設定

### (1) 各モード設定

μPD72187Aの動作モードを設定します。

ここでは、モード・レジスタで次の設定を行います。

- ・ 処理形態
- ・ プリスキャン動作の有無
- ・ TP処理の有無
- ・ モデル・テンプレートのライン数
- ・ スタッフ・バイト自動挿入、マーカ・コード付加
- ・ フラッシュ動作の有無
- ・ 符号化の終了方式
- ・ 符号データのデータ配列
- ・ ホスト側入出カインタフェースの選択
- ・ 符号データ・バス幅の設定
- ・ 画像データ・バス幅の設定
- ・ 画像メモリ側のアクセス・サイクルに挿入するウエイト・サイクル数

#### (a) 処理形態

符号化処理、または復号化処理を選択します。

設定 : MDRL レジスタ ビット0 (CODDEC) = "1" →符号化処理

#### (b) プリスキャン動作の有無

プリスキャン動作とは、TP機能を使用する場合に必要な動作で、処理を行うストライプの先頭(第1)ラインのSLNTP値を作成します。

TP機能を使用しない場合は、プリスキャン動作を行う必要はありません。

設定 : MDRL レジスタ ビット1 (TPNCNT) = "0" →プリスキャンを行わない

#### (c) TP処理の有無

TP処理の設定は、モード・レジスタのビット2で行います。

設定 : MDRL レジスタ ビット2 (TPBON) = "0" →TP処理を行わない

## (d) モデル・テンプレートのライン数

T.85 で使用できるモデル・テンプレートは、2ライン・テンプレートと3ライン・テンプレートの2つがあり、適宜選択して使用します。

$\mu$ PD72187A では、デフォルトで3ライン・テンプレートに設定されています。

設定 : MDRL レジスタ ビット3 (LRLTWO) = "0" →3ライン・テンプレート

## (e) スタッフ・バイト自動挿入、マーカ・コード付加

スタッフ・バイトの自動挿入、マーカ・コードの付加の可否を設定します。

このビットで「スタッフ・バイト自動挿入、マーカ・コード付加を禁止する」に設定すると、スタッフ・バイトの自動挿入が行われず、マーカ・コードの付加もできなくなりますので、通常は「付加する」に設定して使用してください。

設定 : MDRL レジスタ ビット4 (STFOFF) = "0" →付加する

注意 MDRL レジスタのビット5には、必ず"0"を設定してください。

## (f) フラッシュ動作の有無

ここで設定する「フラッシュ動作」とは、符号化処理終了時に算術符号化部に残っている数ビットのデータを、算術符号化部の外に掃き出す動作のことをいいます。

通常は、「フラッシュ動作を行う」に設定して使用してください。

設定 : MDRL レジスタ ビット6 (FLSOFF) = "0" →フラッシュ動作を行う

## (g) 符号化終了方式

符号化処理の終了方式を選択します(カウンタ標準方式またはフラグ・エンド方式)。

ここでは、フラグ・エンド方式を選択した場合のシーケンスを説明していますので、フラグ・エンド方式を設定してください。

設定 : MDRL レジスタ ビット7 (PENSEL) = "1" →フラグ・エンド方式

## (h) 符号データのデータ配列

符号データのデータ配列を設定します。

## (i) 符号データのビット配列

データのビット配列が、MSB First であるか LSB First であるかを選択します。

ビット配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット0 (LMSSEL) = "0" → MSB First

## (ii) 符号データのバイト配列

符号バスをワード（16ビット）モードで使用する場合に有効になる設定で、データのバイト配列を上位バイトが先になる（ビッグ・エンディアン）か、下位バイトが先になる（リトル・エンディアン）かを選択します。

バイト配列の詳細については、5.1.3 データ格納方式を参照してください。

設定 : MDRH レジスタ ビット1 (BYTSEL) = "0" →上位バイトが先  
(ビッグ・エンディアン)

## (i) ホスト側入出力インタフェースの選択

ホスト側（符号バス側）のデータの入出力を、ホスト CPU 等の I/O アクセスで行うか、外部 DMA コントローラを用いて、DMA 転送で行うかを選択します。

この設定は、構築されるシステムによって変更してください。

設定 : MDRH レジスタ ビット2 (CODOUT) = "0" →DMA 入出力

## (j) 符号データ・バス幅の設定

符号バスのデータ・バス幅を設定します。

データ・バス幅は、16ビットのワード・モード、8ビットのバイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット3 (STORET) = "0" →16ビット（ワード）モード

## (k) 画像データ・バス幅の設定

画像バスのデータ・バス幅を設定します。

符号データ・バスと同様に、ワード・モード、バイト・モードの2つから選択します。

設定 : MDRH レジスタ ビット5 (IMBUS) = "1" →8ビット（バイト）モード

## (l) 画像メモリ・バス側のアクセス・サイクルに挿入するウェイト・サイクル数

μPD72187A が画像メモリをアクセスする際に、挿入するプログラマブル・ウェイトの設定をします。

ウェイトは、0ウェイト-3ウェイトまで設定することができます。

また、このウェイトと READY 端子を用いたウェイトを同時に設定することも可能です。

設定 : MDRL レジスタ ビット6, 7 (WAIT0, WAIT1) = "0, 0" →ノー (0) ウェイト

したがって、これらの設定をすべてあわせて、モード・レジスタには次のように設定します。

設定 : MDRL レジスタ = "81H"  
MDRH レジスタ = "20H"  
レスポンス : なし

### 3. パラメータ設定

#### (1) 主走査画素数の設定

主走査画素数を設定します (設定範囲 : 1 画素 - 8191 画素)。

設定 : PELL レジスタ = "××H" ( 01H - FFH )  
PELH レジスタ = "××H" ( 00H - 1FH )  
レスポンス : なし

#### (2) 副走査ライン数の設定

フラグ・エンド方式では、副走査ライン数の設定は行いません。

#### (3) ストライプ・ライン数の設定

ストライプ・ライン数を設定します (設定範囲 : 1 ライン - 65535 ライン)。

設定 : STPL レジスタ = "××H" ( 01H - FFH )  
STPH レジスタ = "××H" ( 00H - FFH )  
レスポンス : なし

#### (4) AT 機能の設定

AT 機能についての設定を行います。

AT 機能を使用する際には、このレジスタで設定します。

AT 機能を有効にするには、ビット 7 の ATMOVE を "1" に設定します。

設定 : ATRL レジスタ = "00H" ( ATMOVE = "0" )  
ATRH レジスタ = "00H" ( 設定無効 )  
レスポンス : なし

### 4. BIH, マーカ・コード・データ送出

もし、処理するページの先頭であった場合は、ここで、ヘッダ (BIH) の処理を行います。

具体的には、符号メモリの使用するメモリの先頭領域に必要な情報を盛り込んだ BIH を書き込みます。

μPD72187A は自動的にこの処理を行うことができませんので、ホスト CPU 等で処理を行ってください。

## 5. 符号化処理開始

## (1) ホスト・バス (符号バス) の設定

符号化を行う際には、必ずホスト・バスを「符号データ」に設定し、マーカ・コードではなく、符号データを取り扱うので「符号およびST RAM データ」を選択します。

設定 : HSB レジスタ ビット0 (CODBUS) = "1" →符号データおよびST RAM データ  
HSB レジスタ ビット2 (STFSEL) = "0" →符号データ

したがって、HSB レジスタの設定は次のようになります。

設定 : HSB レジスタ = "01H"  
レスポンス : なし

## (2) 画像側 DMA 転送アドレスの設定

画像バス側の DMA 転送開始アドレスと終了アドレスを設定します。

1 ストライプを複数回の DMA 転送で処理する場合には、次の DMA 転送開始アドレス、終了アドレスの設定で、任意のデータ量を設定して行います。

## (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x xH" ( 00H - FFH )  
DMSM レジスタ = "x xH" ( 00H - FFH )  
DMSH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

## (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x xH" ( 00H - FFH )  
DMEM レジスタ = "x xH" ( 00H - FFH )  
DMEH レジスタ = "x xH" ( 00H - FFH )  
レスポンス : なし

注意 1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。

例 A4 サイズ 200dpi (1728 ドット×2376 ライン) の画像を、128 ライン=1 ストライプとし、64 ラインごとに処理をする場合の DMA 転送アドレス設定値。

[バイト・モード設定時]

DMA 転送開始アドレス=000000H

DMA 転送終了アドレス=0035FFH (1728×64÷8=13824 バイト [3600H バイト])

[ワード・モード設定時]

DMA 転送開始アドレス=000000H

DMA 転送終了アドレス=001AFFH (1728×64÷16=6912 ワード [1B00H ワード])

### (3) 符号化処理を実行

符号化処理を実行するために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・画像データ DMA 転送開始
- ・算術符号化部の起動

ホスト・バス入出力インターフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く2つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

したがって、コマンド・レジスタ1の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "C1H"

レスポンス : ピン番号5 INT 端子レベル = ハイ (1) レベル

STRH レジスタ ビット7 (INTR) = "1" → 割り込み発生

IST レジスタ ビット5 (IDMEND) = "1" → 画像データ転送終了割り込み

設定 : STRH レジスタ ビット7 (INTR) = "0" → 割り込みクリア

IST レジスタ ビット5 (IDMEND) = "0" → 割り込みクリア

**注意** 「割り込み発生」は、先に発生した割り込みと同時に「1」になり、「割り込み発生」を「0」クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、「0」クリアされます。

この時点では、まだ1ストライプ分の符号化処理は終了していません。

このあとに現時点で行っている符号化処理以外の処理をすると、符号化処理が正常に終了しませんので、符号化以外の処理は行わないでください。

また、設定したストライプ・ライン数の処理を終了していないので、「符号化処理終了割り込み」は発生しません。

#### (4) 画像側 DMA 転送アドレスの再設定

次に、画像バス側の DMA 転送開始アドレスと終了アドレスを再設定します。

##### (a) DMA 転送開始アドレス

DMA 転送開始アドレスは、DMSL, DMSM, DMSH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMSL レジスタ = "x x H" ( 00H - FFH )

DMSM レジスタ = "x x H" ( 00H - FFH )

DMSH レジスタ = "x x H" ( 00H - FFH )

レスポンス : なし

##### (b) DMA 転送終了アドレス

DMA 転送終了アドレスは、DMEL, DMEM, DMEH の3つのレジスタで設定します。

設定可能なアドレスは、000000H 番地 - FFFFFFFH 番地までです。

設定 : DMEL レジスタ = "x x H" ( 00H - FFH )

DMEM レジスタ = "x x H" ( 00H - FFH )

DMEH レジスタ = "x x H" ( 00H - FFH )

レスポンス : なし



注意1. ただし、開始アドレス値 < 終了アドレス値 の関係を守ってください。

2. DMA 転送開始アドレス・レジスタ、終了アドレス・レジスタは、ワード・モードの場合は、ワード・アドレスを、バイト・モードの場合は、バイト・アドレスを表します。

#### (5) 符号化処理を再実行

符号化処理を再実行するために、次の3つの設定を行ってください。

- ・ホスト側 DREQ 有効
- ・算術符号化部の起動
- ・画像データ DMA 転送開始

ホスト・バス入出力インターフェースに DMA 入出力を選択した場合、この3つの設定をすべて行わなければ、 $\mu$ PD72187A は符号化処理を開始しません。

I/O 入出力を選択した場合は「ホスト DREQ 有効」の設定を除く2つの設定をすべて行わなければ、符号化処理を開始しません。その際「ホスト DREQ 有効」の設定は必要ありません。

設定 : CMD1 レジスタ ビット 0 (QM ON) = "1" →算術符号化部の起動  
 CMD1 レジスタ ビット 6 (IDMAON) = "1" →画像データ DMA 転送開始  
 CMD1 レジスタ ビット 7 (HREQEN) = "1" →ホスト側 DREQ 有効

ここで、この処理がストライプまたはページの最後のブロックであった場合は、次の設定も同時に行ってください。

設定 : CMD1 レジスタ ビット 5 (PENDFG) = "1" →最終ブロックの DMA 転送開始

したがって、ストライプ (ページ) の最終ブロックを処理する場合のコマンド・レジスタ 1 の設定は次のようになります。

また、発生した割り込みは、割り込みを確認後、すみやかにクリアしてください。

設定 : CMD1 レジスタ = "E1H"  
 レスポンス : ピン番号 5 INT 端子レベル = ハイ (1) レベル  
 STRH レジスタ ビット 7 (INTR) = "1" →割り込み発生  
 IST レジスタ ビット 0 (STFEND) = "1" →符号化終了割り込み  
 IST レジスタ ビット 5 (IDMEND) = "1" →画像データ転送終了割り込み  
 設定 : STRH レジスタ ビット 7 (INTR) = "0" →割り込みクリア  
 IST レジスタ ビット 0 (STFEND) = "0" →割り込みクリア  
 IST レジスタ ビット 5 (IDMEND) = "0" →割り込みクリア

注意 「割り込み発生」は、先に発生した割り込みと同時に“1”になり、「割り込み発生」を“0”クリア、またはストライプ・リセット、ソフトウェア・リセットを実行することによって、“0”クリアされます。

## 6. 符号データ終端コード付加

### (1) ホスト・バスの切り替え

終端コードもマーカ・コードの一種ですので、ホスト・バスの設定を「マーカ・コード部」に設定します。

設定 : HSB レジスタ = “00H” (CODBUS = “0”) →マーカ・コード部

### (2) 終端コード付加

μPD72187A が終端コード (マーカ・コード) を付加できる状態であることを確認します。

確認 : STRL レジスタ ビット4 (MKRDY) = “1” →マーカ・コード 書き込み可

必ず、MKRDY = “1”であることを確認してから、終端コードを付加してください。

次に、終端コードを付加します。終端コードは16ビットから構成されますが、μPD72187Aは8ビット分のインタフェースしか内蔵していませんので、8ビットずつ付加していきます。

レジスタはMKBレジスタを使用します。

書き込み : MKB レジスタ = “FFH” →マーカ・コードのESC CODE

次に、続く終端コードを付加します。

このときにも、必ず、MKRDY = “1”であることを確認してから、付加してください。

確認 : STRL レジスタ ビット4 (MKRDY) = “1” →マーカ・コード 書き込み可

書き込み : MKB レジスタ = “03H” →マーカ・コードのSDRST CODE

終端コードをSDRSTではなく、SDNORMにする場合は、この書き込みのところで“02H”を書き込んでください。

### (3) さらにマーカ・コードを付加する場合

終端コードのあとにマーカ・コードを付加する場合は、これらの(1)、(2)を繰り返して付加してください。

## 7. バッファ内残留データ送出

ワード・モードに設定して処理を行う場合、符号データがいつもワード（16ビット）単位にそろうとはかぎりません。μPD72187A 内部は 8 ビットで動作していますので、16 ビットにそろわないまま μPD72187A 内部のバッファ（データ・バッファ）にデータが残ってしまうことがあります。

このような場合には、データ・バッファ内の残留データを外部に送出する必要があります。

## (1) 残留データを確認

まず、データ・バッファに残留データがあるかどうかを確認します。

確認 : STRL レジスタ ビット 1 (MRDENB) = "0"  
→データ・バッファ読み出し不可  
STRL レジスタ ビット 2 (FHEN) = "1"  
→データ・バッファ下位 8 ビットにデータあり

もし、STRL レジスタのビット 2 = "0"（データ・バッファ下位 8 ビットにデータなし）だった場合は、「バッファ内残留データ送出」の処理は必要ありませんので、次の処理を行ってください。

また、この処理はワード・モードでのみ発生する処理です。バイト・モードに設定した場合は、このバッファ内残留データ送出処理は必要ありません。

## (2) ダミー・データ書き込み

μPD72187A は、ワード・モードに設定されている場合、データが 16 ビットそろうまでバッファにデータが書き込まれるのを待ち続けます。

そこで、ダミーの "00H" データを書き込み、μPD72187A 内部データ・バッファのデータを 16 ビット単位にそろえて、外部に送出させます。

書き込み : MKB レジスタ = "00H" →ダミー・データ書き込み

ダミー・データを書き込んだあと、データ・バッファにデータが残留していないことを確認してから、次の処理を行ってください。

確認 : STRL レジスタ ビット 1 (MRDENB) = "0"  
→データ・バッファ読み出し不可  
STRL レジスタ ビット 2 (FHEN) = "0"  
→データ・バッファ下位 8 ビットにデータなし

最後に、ホスト側の HREQEN = "0" を設定して、符号化処理を終了します。

設定 : CMD1 レジスタ = "00H" (HREQEN = "0") →ホスト側 DREQ 無効

## 8. 次ストライプ前処理

次のストライプの処理を行うための処理を行います。

### (1) マーカ・コードを“FFH” + “03H” (SDRST) にした場合

マーカ・コードを SDRST にした場合は、処理終了後にストライプ・リセットを実行します。

設定 : CTR レジスタ = “0BH” (SPRST = “0”) →ストライプ・リセット

レスポンス : CTR レジスタ ビット 2 (SPRST) = “1” →リセット解除

### (1') マーカ・コードを“FFH” + “02H” (SDNORM) にした場合

マーカ・コードを SDNORM にした場合は、処理終了後に QM リセットを実行します。

設定 : CTR レジスタ = “07H” (QMRST = “0”) →QM リセット

レスポンス : なし

QM リセットは自動的に解除されません。

QM リセット実行には、10 クロックかかりますので、QM リセット実行後は 10 クロック待機してから次の処理を行ってください。

このあと、連続して処理を行う場合は、3. パラメータ設定から繰り返してください。

**注意** 7. バッファ内残留データ送出にて付加したダミー・データは、削除してから受信側に送信してください。

ダミー・データを付加したままの符号では、正しく復号化処理を行うことができません。

## 第 8 章 レジスタ構成

表 8-1 に  $\mu$ PD72187A のレジスタ構成を示します。ホスト CPU とのやり取りは、すべてこれらのレジスタを用いて行います。

各レジスタの詳細は、8.2 各レジスタの詳細に示します。

$\mu$ PD72187A の各レジスタに対するリセットは、同一のレジスタ内にあってもビット単位で有効/無効が異なるので注意が必要です。

各レベルのリセットは、上位のレベルのリセットが設定されることによっても有効になります。次に各リセット間の関係を示します。

上位

下位

HWRST = SFRST > PGRST > SPRST > QMRST

### 8.1 レジスタ・マップ

表 8-1 に  $\mu$ PD72187A のレジスタ構成を示します。

表 8-1 レジスタ構成

(1/2)

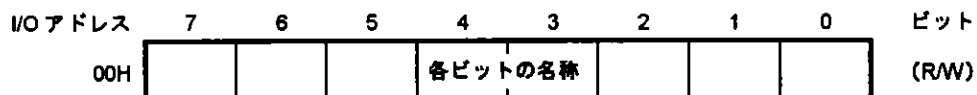
アドレス			R/W	略号	名 称	機 能	ページ
A5	A4	A3-A0					
0	0	0H	R/W	CTR	コントロール・レジスタ	リセット, 動作切り替え設定	p.250
		1H					
		2H	R	STRL	ステータス・レジスタ L	動作状態認知	p.251
		3H	R	STRH	ステータス・レジスタ H		
		4H	R/W	MDRL	モード・レジスタ L	各種動作モード設定	p.252
		5H	R/W	MDRH	モード・レジスタ H		
		6H	W	PELL	画素数設定レジスタ L	主走査画素数 (13 ビット)	p.254
		7H	W	PELH	画素数設定レジスタ H		
		8H	W	LINL	ライン数設定レジスタ L	副走査ライン数 (16 ビット)	p.254
		9H	W	LINH	ライン数設定レジスタ H		
		AH	R/W	LIBL	ビット・プレーン・ライン数設定レジスタ L	副走査ライン数 (16 ビット) (ビット・プレーン時に使用)	p.255
		BH	R/W	LIBH	ビット・プレーン・ライン数設定レジスタ H		
		CH	W	STPL	ストライプ・レジスタ L	ストライプ・ライン数 (16 ビット)	p.255
		DH	W	STPH	ストライプ・レジスタ H		
		EH	R/W	ATRL	AT レジスタ L	AT 動作モード設定	p.256
		FH	W	ATRH	AT レジスタ H		

アドレス			R/W	略号	名 称	機 能	ページ
A5	A4	A3-A0					
0	1	0H	W	ATLL	ATライン・レジスタ L	AT ムーブ実行ライン (16ビット)	p.258
		1H	W	ATLH	ATライン・レジスタ H		
		2H	W	DMSL	画像データ開始アドレス・レジスタ L	画像データ DMA 転送開始 アドレス (24ビット)	p.259
		3H	W	DMSM	画像データ開始アドレス・レジスタ M		
		4H	W	DMSH	画像データ開始アドレス・レジスタ H		
		5H					
		6H	R/W	DMEL	画像データ終了アドレス・レジスタ L	画像データ DMA 転送終了 アドレス (24ビット)	p.260
		7H	R/W	DMEM	画像データ終了アドレス・レジスタ M		
		8H	R/W	DMEH	画像データ終了アドレス・レジスタ H		
		9H					
		AH	R/W	DBFL	データ・バッファ・レジスタ L	符号データ, ST RAM データ (I/O 転送時使用バッファ)	p.261
		BH	R/W	DBFH	データ・バッファ・レジスタ H		
		CH	R/W	HSB	ホスト・バス・モード・レジスタ	ホスト・バス転送方向の切り替え, etc.	p.262
		DH					
EH	R/W	MKB	マーカ・コード・バッファ・レジスタ	マーカ・コード・リード/ライ ト	p.263		
FH							
1	0	0H	R	MKWL	マーカ・コード・ウインドウ・レジスタ L	マーカ・コード・ウインドウ	p.264
		1H	R	MKWH	マーカ・コード・ウインドウ・レジスタ H		
		2H	R/W	CMD1	コマンド・レジスタ 1	DMA 転送開始, QM 起動	p.264
		3H					
		4H	R/W	CMD2	コマンド・レジスタ 2	処理の中断	p.266
		5H					
		6H	R/W	IST	割り込みステータス・レジスタ	割り込み要因認知	p.266
		7H					
		8H	R/W	LMR	ライン・メモリ・レジスタ	ライン・メモリのモード設定, ステータス	p.268
		9H					
AH	R/W	MSK	マスク・レジスタ	ライン数検出機能のマスク	p.269		
BH							
CH	R/W	TPR	TP レジスタ	LNTPY1 値設定	p.270		
DH							

## 8.2 各レジスタの詳細

### (1) レジスタの解説

- (a) レジスタ名称
- (b) 機能概要
- (c) フォーマット



- 備考 (R/W) : リード/ライト可能
- (R) : リードのみ可能
- (W) : ライトのみ可能

なお、図8-1から図8-21のリセット欄の省略記号の意味は、次のようになります。

- HW : HWRST 以上のリセットが有効
- SF : SFRST 以上のリセットが有効
- PG : PGRST 以上のリセットが有効
- SP : SPRST 以上のリセットが有効
- QM : QMRST 以上のリセットが有効

### 8.2.1 コントロール・レジスタ (CTR)

4種類のリセットを実行します。このレジスタで実行したリセットは、QMRSTを除き自動的に解除されます。リセット期間中は、μPD72187Aに対する操作は禁止です。QMRSTは、コマンド・レジスタ1のQMONビットに1を書き込むことにより解除されます。

上位のリセットを実行すると自動的に下位のリセットが実行されます。SFRSTやPGRSTを行った場合は、QMRSTを除く下位のリセットが解除されるのを待つて次の処理に進んでください。

図8-1にCTRの構成と各ビットの機能を示します。

図8-1 CTRのフォーマット

アドレス	7	6	5	4	3	2	1	0		
CTR	00H	—	—	—	—	QMRST	SPRST	PGRST	SFRST	(RW)
(未使用)	01H	0 <sup>注1,2</sup>	0 <sup>注1,2</sup>	—	—	—	—	—	—	(RW)

QMRST	算術符号化部のリセット		リセット
0 <sup>注2</sup>	W: 算術符号化部のみ初期化	R: リセット中	HW SF
1	W: 認識せず	R: リセット解除	PG SP

SPRST	ストライプ単位のリセット		リセット
0	W: リセット (画像メモリ部, ホスト・インタフェース部を除く部分を初期化)	R: リセット中	HW SF PG
1 <sup>注2</sup>	W: 認識せず	R: リセット解除	

PGRST	ページ単位のリセット		リセット
0	W: リセット (一部のレジスタを除く部分を初期化)	R: リセット中	HW SF
1 <sup>注2</sup>	W: 認識せず	R: リセット解除	

SFRST	ソフトウェア・リセット		リセット
0	W: リセット (全体の初期化)	R: リセット中	HW
1 <sup>注2</sup>	W: 認識せず	R: リセット解除	

注1. 01H番地のビット6, ビット7には必ず0を書き込んでください。

2. リセット後のデフォルト値

備考 —: 未使用



### 8.2.2 ステータス・レジスタ (STRL, STRH)

μPD72187Aの動作状況を表します。図8-2にSTRL, STRHの構成と各ビットの機能を示します。

図8-2 STRL, STRHのフォーマット

アドレス	7	6	5	4	3	2	1	0		
STRL	02H	PCXOK	—	—	MKRDY	WDRDY	FHEN	MRDENB	IORDY	(R)
STRH	03H	INTR	—	—	—	—	—	—	—	(R)

PCXOK	TPあり(符号化)シフト・レジスタ部のストライプ単位の処理状況	リセット
0 <sup>注</sup>	動作中	QM
1	処理終了	
MKRDY	マーカ・コード書き込み(符号化時) / マーカ・コード読みとり(復号化時)の可否	リセット
0 <sup>注</sup>	リード/ライト不可	PG
1	リード/ライト可	
WDRDY	マーカ・コード・ウィンドウの読み出し可否	リセット
0 <sup>注</sup>	読み出し不可	PG
1	読み出し可	
FHEN	データ・バッファ下位8ビットのデータの有無	リセット
0 <sup>注</sup>	データなし	PG
1	データあり	
MRDENB	データ・バッファに対する読み出し(符号化時) / 書き込み(復号化時)の可否	リセット
0	リード/ライト不可	PG
1 <sup>注</sup>	リード/ライト可	
IORDY	FIFOまたはSTRAMがデータの入出力待ちであることを示す。	リセット
0	書き込み禁止	PG
1 <sup>注</sup>	入出力待ち	
INTR	割り込み要求	リセット
0 <sup>注</sup>	要求なし	PG
1	要求あり	

注 リセット後のデフォルト値

備考 — : 未使用

### 8.2.3 モード・レジスタ (MDRL, MDRH)

μPD72187A の各種操作モードを設定します。図8-3に MDRL, MDRH の構成と各ビットの機能を示します。

図8-3 MDRL, MDRH のフォーマット

	アドレス	7	6	5	4	3	2	1	0	
MDRL	04H	PENSEL	FLSOFF	0 <sup>注1, 2</sup>	STFOFF	LRLTWO	TPBON	TPNCNT	CODDEC	(R/W)
MDRH	05H	WAIT1	WAIT0	IMBUS	-	STORET	CODOUT	BYTSEL	LMSEL	(R/W)

PENSEL	符号化時のページ単位の符号化終了方式	リセット
0 <sup>注2</sup>	カウンタ方式	PG
1	フラグ方式	
FLSOFF	フラッシュ動作の設定	リセット
0 <sup>注2</sup>	フラッシュあり	PG
1	フラッシュ禁止	
STFOFF	スタッフ・バイト自動挿入, マーカ・コードの付加	リセット
0 <sup>注2</sup>	する	PG
1	しない	
LRLTWO	モデル・テンプレートのライン数	リセット
0 <sup>注2</sup>	3ライン・テンプレート	PG
1	2ライン・テンプレート	
TPBON	TPの有無	リセット
0 <sup>注2</sup>	TPなし	PG
1	TPあり	
TPNCNT	第1ライン目のプリスキャンの有無 <sup>注3</sup>	リセット
0 <sup>注2</sup>	しない	PG
1	する	

注1. 04H番地のビット5には、必ず0を書き込んでください。

2. リセット後のデフォルト値

3. TPありの場合は、原則として“プリスキャンする”に設定してください。

備考 - : 未使用

CODDEC	符号化/復号化切り替え	リセット
0 <sup>注1</sup>	復号化 (デコーダ)	PG
1	符号化 (コーダ)	

WAIT1	WAIT0 <sup>注2</sup>	メモリ・アクセス・サイクルに挿入するウエイト・サイクル数	リセット
0	0	ノー・ウエイト	QM
0	1	1ウエイト (2クロック)	
1	0	2ウエイト (4クロック)	
1	1	3ウエイト (6クロック)	

IMBUS	画像データ入出力バス幅設定	リセット
0 <sup>注1</sup>	16ビット	PG
1	8ビット	

STORET	符号データ入出力バス幅設定 <sup>注3</sup>	リセット
0 <sup>注1</sup>	16ビット (ワード・モード)	PG
1	8ビット (バイト・モード)	

CODOUT	符号データおよび ST RAM の入出力インターフェース指定	リセット
0 <sup>注1</sup>	DMA 入出力	PG
1	I/O 入出力	

BYTSEL	符号ワード・データのバイト入れ替え機能	リセット
0 <sup>注1</sup>	通常 (High byte first)	PG
1	入れ替え (Low byte first)	

LMSSEL	符号データのビットの並び反転	リセット
0 <sup>注1</sup>	通常 (MSB first)	PG
1	ビット列の並び反転 (LSB first)	

注1. リセット後のデフォルト値

2. WAIT1, WAIT0のリセット後のデフォルト値 = 0

3. ST RAM データ転送機能を使用する場合には, 16ビット・モード (STORET = 0) に設定してください。

### 8.2.4 画素数設定レジスタ (PELL, PELH)

主走査方向の画素数を設定します。図8-4にPELL, PELHの構成と各ビットの機能を示します。

図8-4 PELL, PELHのフォーマット

アドレス	7	6	5	4	3	2	1	0		
PELL	06H	XD07	XD06	XD05	XD04	XD03	XD02	XD01	XD00	(W)
PELH	07H	-	-	-	XD12	XD11	XD10	XD09	XD08	(W)

XD12 - XD00 <sup>注</sup>	主操作画素数	リセット
0000H	設定禁止	HW
0001H	1画素	SF
:	:	
1FFFH	8191画素	

注 リセット後のデフォルト値 = 0000H (必ず変更してください。)

備考 - : 未使用

### 8.2.5 ライン数設定レジスタ (LINL, LINH)

副走査方向のライン数を設定します。図8-5にLINL, LINHの構成と各ビットの機能を示します。

図8-5 LINL, LINHのフォーマット

アドレス	7	6	5	4	3	2	1	0		
LINL	08H	YD07	YD06	YD05	YD04	YD03	YD02	YD01	YD00	(W)
LINH	09H	YD15	YD14	YD13	YD12	YD11	YD10	YD09	YD08	(W)

YD15 - YD00 <sup>注1</sup>	副走査ライン数	リセット
0000H	設定禁止 <sup>注2</sup>	HW
0001H	1ライン	SF
:	:	
FFFFH	65535ライン	

注1. リセット後のデフォルト値 = 0000H (変更してください。)

2. 64Kライン (65536ライン) の処理を行う場合のみ、この値を設定してください。

備考 - : 未使用

### 8.2.6 ビット・プレーン・ライン数設定レジスタ (LIBL, LIBH)

主にビット・プレーン時に使用します。リードすることにより、現在までに処理の完了した副走査ライン数が読み出せます。また、値を書き込むことによって、そのライン数の処理を完了したのものとして処理を再開させることができます。

図8-6にLIBL, LIBHの構成と各ビットの機能を示します。

図8-6 LIBL, LIBHのフォーマット

アドレス	7	6	5	4	3	2	1	0		
LIBL	0AH	YDB07	YDB06	YDB05	YDB04	YDB03	YDB02	YDB01	YDB00	(R/W)
LIBH	0BH	YDB15	YDB14	YDB13	YDB12	YDB11	YDB10	YDB09	YDB08	(R/W)
YDB15 - YDB00 <sup>注1</sup>		ビット・プレーン時の副走査ライン数							リセット	
0000H		設定禁止 <sup>注2</sup>							SP	
0001H		1ライン								
:		:								
FFFFH		65535ライン								

注1. リセット後のデフォルト値 = 0000H (変更してください。)

2. ページの先頭のみデフォルト値 = 0000Hを設定してください。

注意 ホスト・バスを8ビット・モードに設定した場合、処理再開のためにLIBL, LIBHレジスタに値を書き込む際には、ロウ側 (LIBL:0AH), ハイ側 (LIBH:0BH) の順序で両方のレジスタに書き込んでください。

### 8.2.7 ストライプ・レジスタ (STPL, STPH)

ストライプ処理のラインを設定します。図8-7にSTPL, STPHの構成と各ビットの機能を示します。

図8-7 STPL, STPHのフォーマット

アドレス	7	6	5	4	3	2	1	0		
STPL	06H	STPL07	STPL06	STPL05	STPL04	STPL03	STPL02	STPL01	STPL00	(W)
STPH	07H	STPL15	STPL14	STPL13	STPL12	STPL11	STPL10	STPL09	STPL08	(W)
STPL15 - STPL00 <sup>注1</sup>		副走査ライン数							リセット	
0000H		設定禁止 <sup>注2</sup>							HW	
0001H		1ライン							SF	
:		:								
FFFFH		65535ライン								

注1. リセット後のデフォルト値 = 0000H (変更してください。)

2. 64Kライン (65536ライン) の処理を行う場合のみ、この値を設定してください。

### 8.2.8 AT レジスタ (ATRL, ATRH)

AT 要素の移動位置などを設定します。図 8-8 に ATRL, ATRH の構成と各ビットの機能を示します。

図 8-8 ATRL, ATRH のフォーマット

アドレス	7	6	5	4	3	2	1	0		
ATRL	0EH	ATMOVE	ATMX06	ATMX05	ATMX04	ATMX03	ATMX02	ATMX01	ATMX00	(R/W)
ATRH	0FH	IATMXE	IATM06	IATM05	IATM04	IATM03	IATM02	IATM01	IATM00	(W)

ATMOVE	AT 要素の移動	リセット
0 <sup>注1</sup>	移動なし	SP
1	移動あり	

ATMX06 - ATMX00	AT 要素の移動位置 (注目要素から前方向への距離)	リセット
0000000 <sup>注1</sup>	移動せず	SP
0000011	3 ビット <sup>注2</sup>	
:	:	
1111111	127 ビット	

IATMXE	ATMX の初期値ロードの有効/無効	リセット
0 <sup>注1</sup>	無効	SP
1	有効	

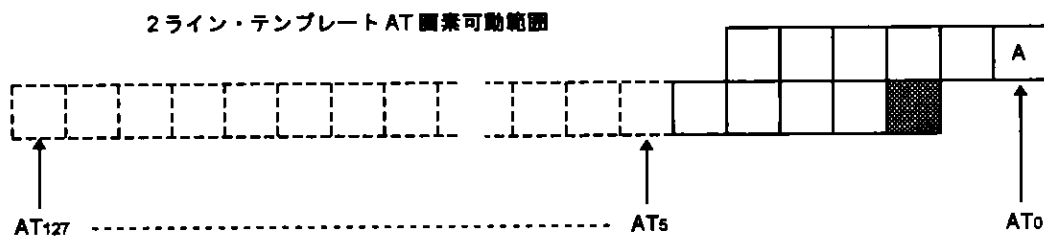
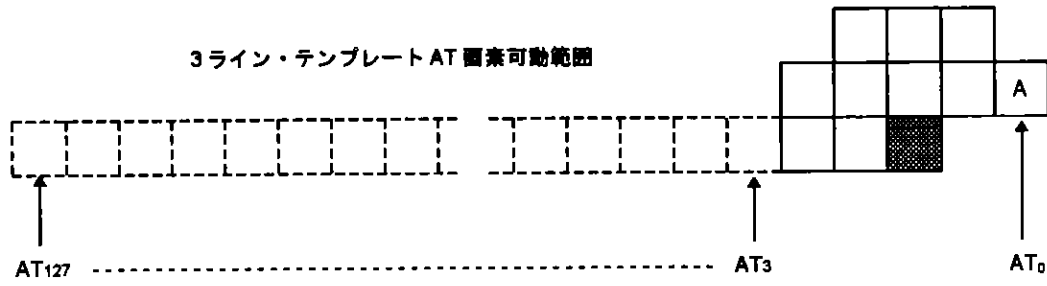
IATM06 - IATM00	ATMX のロード初期値 (P≥2 で使用)	リセット
0000000 <sup>注1</sup>	移動せず	SP
0000011	3 ビット <sup>注2</sup>	
:	:	
1111111	127 ビット	

注 1. リセット後のデフォルト値

2. 設定位置は、3 ライン・テンプレートと 2 ライン・テンプレートの場合で異なります。図 8-9 に設定値と位置の関係を示します。

3 ライン・テンプレートの場合は 1~2 ビット、2 ライン・テンプレートの場合は 1~4 ビットの設定は禁止です。

図8-9 AT画素移動値の範囲

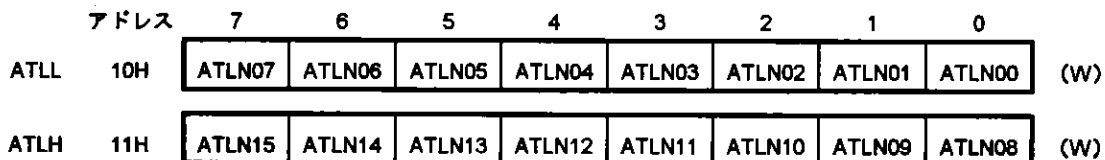


備考 ■■■ は符号化／復号化現画素位置です。

### 8.2.9 ATライン・レジスタ (ATLL, ATLH)

ATムーブの実行ラインを設定します。図8-10にATLL, ATLHの構成と各ビットの機能を示します。

図8-10 ATLL, ATLHのフォーマット



ATLN15 - ATLN00 <sup>注</sup>	ATムーブ開始ライン	リセット
0000H	設定禁止	HW
0001H	2ライン	SF
0002H	3ライン	
:	:	
FFFEH	65535ライン	
FFFFH	1ストライプ内でAT画素の移動位置を変更しない場合の設定値	

注 リセット後のデフォルト値は不定になります。

**注意** ATムーブの開始を希望するラインから、1を引いた値を設定してください。  
 1ラインからATムーブさせたい場合は、初期値をロードします。  
 また、AT機能を使用する際に、1ストライプ内でAT画素の移動位置 (IATMX) を変更しない場合はFFFFHを設定してください。



### 8.2.10 画像データ開始アドレス・レジスタ (DMSL, DMSM, DMSH)

画像データのDMA転送開始アドレスを設定します。図8-11にDMSL, DMSM, DMSHの構成と各ビットの機能を示します。

図8-11 DMSL, DMSM, DMSHのフォーマット

	アドレス	7	6	5	4	3	2	1	0	
DMSL	12H	DMS07	DMS06	DMS05	DMS04	DMS03	DMS02	DMS01	DMS00	(W)
DMSM	13H	DMS15	DMS14	DMS13	DMS12	DMS11	DMS10	DMS09	DMS08	(W)
DMSH	14H	DMS23	DMS22	DMS21	DMS20	DMS19	DMS18	DMS17	DMS16	(W)
(未使用)	15H	-	-	-	-	-	-	-	-	

DMS23 - DMS00 <sup>注</sup>	画像データのDMA転送開始アドレス	リセット
000000H : FFFFFFH	アドレス値	PG

注 リセット後のデフォルト値 = 000000H

備考 - : 未使用

### 8.2.11 画像データ終了アドレス・レジスタ (DMEL, DMEM, DMEH)

画像データの DMA 転送終了アドレスを設定します。また、リードした場合は、その時点までに DMA 転送が終了したアドレスが読み出せます。図8-12に DMEL, DMEM, DMEH の構成と各ビットの機能を示します。

図8-12 DMEL, DMEM, DMEH のフォーマット

アドレス	7	6	5	4	3	2	1	0	
DMEL 18H	DME07	DME06	DME05	DME04	DME03	DME02	DME01	DME00	(W)
DMEM 17H	DME15	DME14	DME13	DME12	DME11	DME10	DME09	DME08	(W)
DMEH 18H	DME23	DME22	DME21	DME20	DME19	DME18	DME17	DME16	(W)
(未使用) 19H	-	-	-	-	-	-	-	-	

DME23 - DME00 <sup>注</sup>	画像データの DMA 転送終了アドレス	リセット
000000H	アドレス値	PG
:		
FFFFFFH		

注 リセット後のデフォルト値 = 000000H

備考 - : 未使用

### 8.2.12 データ・バッファ・レジスタ (DBFL, DBFH)

I/O 転送時に符号データ, ST RAM データの入出力に使用します。図 8-13 に DBFL, DBFH の構成と各ビットの機能を示します。

図 8-13 DBFL, DBFH のフォーマット

アドレス	7	6	5	4	3	2	1	0		
DBFL	1AH	COD07	COD08	COD05	COD04	COD03	COD02	COD01	COD00	(W)
DBFH	1BH	COD15	COD14	COD13	COD12	COD11	COD10	COD09	COD08	(W)

COD07 - COD00 <sup>注</sup>	符号データ, ST RAM データのロウ・バイト	リセット
00H	データ	PG
:		
FFH		

COD15 - COD08 <sup>注</sup>	符号データ, ST RAM データのハイ・バイト	リセット
00H	データ	PG
:		
FFH		

注 リセット後のデフォルト値 = 00H

- 注意 1. I/O 入出力モード設定時において、このレジスタを通して符号データおよび ST RAM データを読み出し/書き込みする場合には、1 アクセスごとにステータス・レジスタの IORDY ビット (02H, ビット 0) が 1 であることを確認してください。ステータス・レジスタの IORDY ビットが 0 のときにこのレジスタを読み出し/書き込みすると、以降のデータが不正になります。
2. I/O 入出力設定時において、符号バス幅を 8 ビットに設定した場合は、IOA0 をロウ・レベルにして連続的に読み出し/書き込みます。つまり 1AH 番地のレジスタ (DBFL) のみをアクセスします。

### 8.2.13 ホスト・バス・モード・レジスタ (HSB)

ホスト・バスの動作モードを設定します。図8-14に HSB の構成と各ビットの機能を示します。

図8-14 HSB のフォーマット

アドレス	7	6	5	4	3	2	1	0	
HSB 1CH	—	—	—	—	—	STFSEL	STDRW	CODBUS	(R/W)
(未使用) 1DH	—	—	—	—	—	—	—	—	

STFSEL	符号データ/ST RAM データの切り替え <sup>注1</sup>	リセット
0 <sup>注2</sup>	符号データ	PG
1	ST RAM データ	

STDRW	ST RAM データ転送方向の切り替え	リセット
0 <sup>注2</sup>	読み出し	PG
1	書き込み	

CODBUS	マーカ・コード・データ/符号および ST RAM データの切り替え	リセット
0 <sup>注2</sup>	マーカ・コード・データ	PG
1	符号データおよび ST RAM データ	

注1. STFSEL で ST RAM データを選択した場合は、符号データ入出力バス幅を 16 ビット・モード (モード・レジスタ H (MDRH) :STORET = 0) に設定してください。

2. リセット後のデフォルト値

備考 — : 未使用

### 8.2.14 マーカ・コード・バッファ・レジスタ (MKB)

マーカ・コードのリード/ライト用のバッファです。符号化時には、このレジスタに書き込んだデータがマーカ・コードとして符号データに付加されます。また、復号化時には、マーカ・コード検出の通知を受けたあとに、このレジスタからマーカ・コードを取り出せます。

図8-15にMKBの構成と各ビットの機能を示します。

図8-15 MKBのフォーマット

アドレス	7	6	5	4	3	2	1	0	
MKB 1EH	MKD07	MKD06	MKD05	MKD04	MKD03	MKD02	MKD01	MKD00	(R/W)
(未使用) 1FH	—	—	—	—	—	—	—	—	

MKD07 - MKD00 <sup>注</sup>	マーカ・コードのリード/ライト・データ	リセット
00H	マーカ・コード・データ	PG
:		
FFH		

注 リセット後のデフォルト値 = 00H

備考 — : 未使用

### 8.2.15 マーカ・コード・ウインドウ・レジスタ (MKWL, MKWH)

復号化時に、マーカ・コード検出の通知を受けたあと、このレジスタからマーカ・コードの内容 (2 バイト) を読み出すことができます。マーカ・コードの内容によって、ホスト CPU は次の処理を決定します。

図 8-16 に MKWL, MKWH の構成と各ビットの機能を示します。

図 8-16 MKWL, MKWH のフォーマット

	アドレス	7	6	5	4	3	2	1	0	
MKWL	20H	WDL07	WDL06	WDL05	WDL04	WDL03	WDL02	WDL01	WDL00	(R)
MKWH	21H	WDH07	WDH06	WDH05	WDH04	WDH03	WDH02	WDH01	WDH00	(R)

WDL07 - WDL00 <sup>注</sup>	マーカ・コードのロウ・バイト	リセット
00H	マーカ・コード・データ	PG
:		
FFH		
WDH07 - WDH00 <sup>注</sup>	マーカ・コードのハイ・バイト	リセット
00H	マーカ・コード・データ	PG
:		
FFH		

注 リセット後のデフォルト値は不定になります。

### 8.2.16 コマンド・レジスタ 1 (CMD1)

転送、処理の開始を設定します。図 8-17 に CMD1 の構成と各ビットの機能を示します。

図 8-17 CMD1 のフォーマット

	アドレス	7	6	5	4	3	2	1	0	
CMD1	22H	HREQEN	IDMAON	PENDFG	IDMRST	STCLR	SDTRON	QMLISN	QMON	(R/W)
(未使用)	23H	—	—	—	—	—	—	—	—	

備考 — : 未使用

HREQEN	ホスト DMAREQ イネーブル	リセット
0 <sup>注1</sup>	W : OFF	R : 停止中
1	W : ON	R : 動作中
IDMAON	画像データ DMA 転送開始コマンド	リセット
0 <sup>注1</sup>	W : 無効	R : 停止中
1	W : 転送開始	R : 動作中
PENDFG	ページ最終ブロック DMA 転送開始コマンド (符号化時)	リセット
0 <sup>注1</sup>	通常 DMA	PG
1	最終 DMA	
IDMRST	画像データ DMA 部のリセット	リセット
0 <sup>注1</sup>	W : 認識せず	PG
1	W : リセット	
STCLR	ST RAM 0クリア・コマンド	リセット
0 <sup>注1</sup>	W : 中断 <sup>注2</sup>	R : 停止中
1	W : クリア	R : 動作中
SDTRON	ST RAM データ転送開始コマンド	リセット
0 <sup>注1</sup>	W : 中断 <sup>注2</sup>	R : 停止中
1	W : 転送開始	R : 動作中
QMLISN	算術符号化最終バイト処理開始	リセット
0 <sup>注1</sup>	W : 処理不可	R : 停止中
1	W : 開始	R : 動作中
QMON	算術符号化部の起動および QM リセットの解除	リセット
0 <sup>注1</sup>	W : 処理不可	R : 停止中 (QM リセット期間中)
1	W : 開始	R : 動作中

注1. リセット後のデフォルト値

2. 動作中に1を書き込むと中断しますが、再開はできません。

### 8.2.17 コマンド・レジスタ 2 (CMD2)

処理の中断を指示します。図8-18にCMD2の構成と各ビットの機能を示します。

図8-18 CMD2のフォーマット

アドレス	7	6	5	4	3	2	1	0	
CMD2	24H	—	—	—	—	—	—	ABT	(R/W)
(未使用)	25H	—	—	—	—	—	—	—	

ABT	処理の中断	リセット
0 <sup>注</sup>	W: 書き込み禁止	PG
1	W: 中断	

注 リセット後のデフォルト値

備考 —: 未使用

### 8.2.18 割り込みステータス・レジスタ 1 (IST)

割り込みの要因の報告をします。割り込み要因が存在する場合、該当するビットが1にセットされます。1にセットされたビットに対し、ホストCPUから0を書き込むことにより、該当ビットがクリアされます。

このレジスタのいずれかのビットが1である間、INT端子およびステータス・レジスタのINTRビットはアクティブになります。また、このレジスタのすべてのビットが0になると、INT端子およびステータス・レジスタのINTRビットはインアクティブになります。

図8-19にISTの構成と各ビットの機能を示します。

図8-19 ISTのフォーマット

アドレス	7	6	5	4	3	2	1	0		
IST	26H	MKDTC	STEND	IDMEND	—	ATSTP	SCERR	PIXEND	STFEND	(R/W)
(未使用)	27H	—	—	—	—	—	—	—	—	

備考 —: 未使用



MKDTC	マーカ・コード検出	リセット
0 <sup>注</sup>	割り込みクリア	PG
1	マーカ・コード検出	
STEND	ST RAM データ転送終了, または ST RAM 0 クリア終了	リセット
0 <sup>注</sup>	割り込みクリア	PG
1	転送終了	
IDMEND	画像データ DMA 転送終了	リセット
0 <sup>注</sup>	割り込みクリア	PG
1	転送終了	
ATSTP	AT ムーブ情報を設定可能な状態で一時停止	リセット
0 <sup>注</sup>	割り込みクリア	PG
1	一時停止	
SCERR	SC カウントのオーバーフロー	リセット
0	割り込みクリア	PG
1 <sup>注</sup>	SC カウント・エラー	
PIXEND	復号化時の PIX 転送終了	リセット
0	割り込みクリア	PG
1 <sup>注</sup>	転送終了	
STFEND	ストライプまたは副走査ライン数の処理終了	リセット
0 <sup>注</sup>	割り込みクリア	PG
1	転送終了	

注 リセット後のデフォルト値

**注意** 復号化でカウンタ方式の場合、PIXEND の割り込み発生後、遅れて IDMEND の割り込みが発生しますが、必ず IDMEND の割り込みを確認してから次の処理に移ってください。

### 8.2.19 ライン・メモリ・レジスタ (LMR)

ライン・メモリの動作モード設定、ライン・メモリの状態の表示をします。図8-20に LMR の構成と各ビットの機能を示します。

図8-20 LMRのフォーマット

	アドレス	7	6	5	4	3	2	1	0	
LMR	28H	—	—	—	BLBCMP	—	—	—	BLBON	(R/W)
(未使用)	29H	—	—	—	—	—	—	—	—	

BLBCMP <sup>注1</sup>	ライン・メモリへの参照ライン蓄積の終了を示す	リセット
0	蓄積終了していない	PG
1 <sup>注2</sup>	蓄積終了	
BLBON	ライン・メモリに対する参照ライン・データ蓄積の設定	リセット
0 <sup>注2</sup>	通常データ転送	PG
1	蓄積データ転送	

注1. BLBCMP は読み出しのみです。

2. リセット後のデフォルト値です。

備考 — : 未使用

### 8.2.20 マスク・レジスタ (MSK)

ライン数の検出機能のマスク設定と、AT ムーブ情報設定のための一時停止の表示および解除を行います。  
 図8-21にMSKの構成と各ビットの機能を示します。

図8-21 MSKのフォーマット

アドレス	7	6	5	4	3	2	1	0	
MSK	26H	—	—	—	ATPAUS	—	YATMSK	LOMSK	YDMSK (R/W)
(未使用)	27H	—	—	—	—	—	—	—	—

ATPAUS	AT ムーブ情報のための一時停止の表示および解除	リセット
0 <sup>位</sup>	W: 一時停止解除 R: 処理中	PG
1	W: 無効 R: 一時停止中	

YATMSK	YAT 値 (AT ムーブ・ライン) の検出機能のマスク	リセット
0 <sup>位</sup>	W: OFF	PG
1	W: ON	

LOMSK	L0 値 (ストライプ・ライン数) の検出機能のマスク	リセット
0 <sup>位</sup>	W: OFF	PG
1	W: ON	

YDMSK	YD 値 (副走査ライン数) の検出機能のマスク	リセット
0 <sup>位</sup>	W: OFF	PG
1	W: ON	

注 リセット後のデフォルト値です。

注意1. ATPAUS と YATMSK を同時に書き換えることを禁止します。

YATMSK = 1にしたあと、ATPAUS = 0で解除してください。

2. 副走査ライン数 (LINL, LINH), ストライプ・ライン数 (STPL, STPH), AT ムーブ実行ライン (ATLL, ATLH) の設定に関して、次の共通の注意事項があります。

- ・ 0ラインの設定は禁止 (マスクなしの場合)
- ・ 64Kライン (85536ライン) ちょうどの場合、マスクを設定してから 0000H を設定する (4.10.1 副走査ライン数の設定方法参照)。

備考 — : 未使用

### 8.2.21 TP レジスタ (TPR)

TP 機能使用時に前ストライプの最終ラインの LNTP 値と、マルチプル AT ムーブ機能の有効および無効の設定を行います。図 8-22 に TPR の構成と各ビットの機能を示します。

図 8-22 TPR のフォーマット

アドレス		7	6	5	4	3	2	1	0	
TPR	2CH	—	—	—	—	—	LNTPYE	LNTPY1	MATON	(R/W)
(未使用)	2DH	—	—	—	—	—	—	—	—	

LNTPYE	LNTPY1 の書き込み	リセット
0 <sup>注1</sup>	無効	SP
1	有効	

LNTPY1 <sup>注2</sup>	前ストライプの最終ラインの LNTPY	リセット
0	前ラインと一致	SP
1 <sup>注1</sup>	前ラインと不一致	

MATON	マルチプル AT ムーブ機能の有効/無効	リセット
0 <sup>注1</sup>	無効	SP
1	有効	

注1. リセット後のデフォルト値です。

2. 第1ストライプ処理開始時は、必ず LNTPY1 = 1 に設定してください。

備考 — : 未使用

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)	
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 東北支社 東手支店 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支店 群馬支店 太田支店	札幌 (011)231-0161 仙台 (022)261-5511 盛岡 (0196)51-4344 山形 (0236)23-5511 郡山 (0240)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (0292)26-1717 高崎 (045)324-5511 前橋 (0273)26-1255 太田 (0276)46-4011	宇都宮支店 (028)621-2281 小山支店 (0285)24-5011 小野支店 (026)235-1444 松本支店 (0263)35-1668 上野原支店 (0266)53-5350 甲府支店 (0552)24-4141 埼玉支店 (048)641-1411 川口支店 (0425)26-5981 立川支店 (043)238-8116 千代田支店 (054)255-2211 北千代支店 (0762)23-1621 福井支店 (0776)22-1866	富山支店 (0764)31-8461 津支店 (0592)25-7341 京都支店 (075)344-7824 神戸支店 (078)333-3854 中国支店 (082)242-5504 鳥取支店 (0857)27-5311 岡山支店 (086)225-4455 岡山支店 (0878)36-1200 新居浜支店 (0897)32-5001 松江支店 (089)945-4111 松山支店 (092)271-7700 北九州支店 (093)541-2687

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 システムマイクロ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8891	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	