

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

保守/廃止

μ PD72070

フロッピー・ディスク・コントローラ

資料番号 S12743JJ3V0UM00 (第3版)
(旧資料番号 IEU-816)
発行年月 June 1997 N

© NEC Corporation 1992, 1994

[× 毛]

目 次 要 約

第 1 章	概 要	… 1
第 2 章	端子機能	… 7
第 3 章	レジスタ構成	… 13
第 4 章	FIFO	… 29
第 5 章	パワー・ダウン機能	… 41
第 6 章	動作モード	… 43
第 7 章	ドライブ・スキャンについて	… 57
第 8 章	クロックについて	… 59
第 9 章	制 御	… 63
第10章	コマンド	… 75
第11章	スタンダード FDD モード	… 77
第12章	Apple FDD モード	… 177
第13章	JTAG バウンダリ・スキャン	… 269
第14章	アプリケーション	… 291
付 録	トラック・フォーマット	… 317

CMOSデバイスの一般的注意事項**①静電気対策 (MOS全般)**

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

PS/2, PC/AT は米国 IBM 社の商標です。

Macintosh は米国アップルコンピュータ社の商標です。

- 本資料の内容は、後日変更する場合があります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

箇所	内容
p.31	4.1.2(2) ライト・データ転送の例を修正
p.86	表 11-1 データ長に対する GSL 値 と GPL 値 の例の 8" ドライブを削除
p.97	11.3.1(2) CONFIGURE のパラメータの説明を修正
p.185	表 12-1 データ長に対する GSL 値 と GPL 値 の例の 8" ドライブを削除

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD72070 を使用してフロッピー・ディスク・システムを設計するユーザーのエンジニアを対象とします。

目的 このマニュアルは、 μ PD72070 の基本知識をユーザに理解していただくことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 基本機能（第1章から第10章）
- スタンダード FDD モード
- Apple FDD モード
- JTAG バウンダリ・スキャン
(お客様のご要求により、本機能をサポートすることができます。)
- アプリケーション

読み方 このマニュアルを読むにあたっては、電気、論理回路およびマイクロコンピュータの一通りの知識を必要とします。

μ PD72070の基本機能を理解しようとするとき

→第1章から第10章を参照してください。

スタンダード FDD をご使用になるとき

→第11章 **スタンダード FDD モード**を参照してください。

Apple FDD をご使用になるとき

→第12章 **Apple FDD モード**を参照してください。

凡例	データ表記の重み	: 左側が上位桁, 右側が下位桁
	アクティブ・ロウの表記	: $\overline{\text{XXX}}$ (端子, 信号名称の上に上線)
	端子のレベル	: “H” はハイ・レベル, “L” はロウ・レベル
	注	: 本文中につけた注の説明
	注意	: 特に気をつけていただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2進数... $\text{XXX} \times \text{B}$ または $\text{XXX} \times$ 10進数... $\text{XXX} \times$ 16進数... $\text{XXX} \times \text{H}$

関連資料 データ・シート (S12734J)
アプリケーション・ノート 1 M/2 M バイト FDD, 垂直磁化記録方式 4 M バイト FDD 編 (IEA-751)

保守 / 廃止

目 次

第1章 概 説 … 1

- 1.1 システム概要 … 1
- 1.2 システム動作概要 … 2
- 1.3 特 徴 … 3
- 1.4 オーダ情報 … 3
- 1.5 端子接続図 (Top View) … 4
- 1.6 内部ブロック図 … 6

第2章 端子機能 … 7

- 2.1 ホスト・インタフェース … 7
- 2.2 FDD インタフェース (スタンダード FDD モードを使用する場合) … 9
- 2.3 FDD インタフェース (Apple FDD モードを使用する場合) … 10
- 2.4 アナログ VFO フィルタ … 10
- 2.5 バウンダリ・スキャン … 10
- 2.6 その他の端子 … 10
- 2.7 リセット時の各端子の状態 … 11

第3章 レジスタ構成 … 13

- 3.1 ステータス・レジスタ A (SRA) … 14
- 3.2 ステータス・レジスタ B (SRB) … 15
- 3.3 デジタル・アウトプット・レジスタ (DOR) … 16
- 3.4 テープ・ドライブ・レジスタ (TDR) … 18
- 3.5 データ・レート・レジスタ (DRR) … 19
- 3.6 ステータス・レジスタ (STR) … 21
 - 3.6.1 STR (スタンダード FDD モードの場合) … 21
 - 3.6.2 STR (Apple FDD モードの場合) … 23
- 3.7 データ・レジスタ [FIFO] (DTR) … 25
- 3.8 コンフィギュレーション・コントロール・レジスタ (CCR) … 26
- 3.9 デジタル・インプット・レジスタ (DIR) … 27
 - 3.9.1 DIR (PS/2 モードの場合) … 27
 - 3.9.2 DIR (PC-AT モードの場合) … 28

第4章 FIFO … 29

- 4.1 FIFO 制御 … 29
 - 4.1.1 FIFO オペレーション … 29
 - 4.1.2 FIFO スレッシュホールド … 30
 - 4.1.3 DMA モード … 31
 - 4.1.4 Non-DMA モード … 34
- 4.2 TC 信号入力タイミングについて … 35

- 4.2.1 FIFO 未使用時のホストのサービスについて … 35
- 4.2.2 FIFO 使用時のホストのサービスについて … 38
- 4.2.3 FIFO 使用時のTC 信号入力タイミングについて (DMA モード) … 38
- 4.2.4 Non-DMA モードにおける TC 信号について … 39

第5章 パワー・ダウン機能 … 41

- 5.1 スタンバイ・イン … 41
- 5.2 スタンバイ・アウト (オート・ウェイクアップ機能) … 41

第6章 動作モード … 43

- 6.1 動作モード概要と特徴比較 … 43
 - 6.1.1 ホスト・インタフェース・モード … 43
 - 6.1.2 ドライブ・インタフェース・モード … 44
 - 6.1.3 動作モードと FDD の関係 … 45
- 6.2 ホスト・インタフェース・モード … 46
 - 6.2.1 PS/2 モード … 46
 - 6.2.2 PC-AT モード … 49
 - 6.2.3 General モード … 51
 - 6.2.4 Apple モード … 53
- 6.3 ドライブ・インタフェース・モード … 55
 - 6.3.1 スタンダード FDD モード … 55
 - 6.3.2 Apple FDD モード … 55
- 6.4 各モードの移行手順 … 56

第7章 ドライブ・スキャンについて … 57

第8章 クロックについて … 59

第9章 制 御 … 63

- 9.1 制御概要 … 63
- 9.2 ドライブの状態遷移と STEP 信号出力(ホスト・インタフェース・モードが **General, Apple** モードの場合のみ) … 67
- 9.3 状態遷移割り込みとシーク・エンド割り込み(ホスト・インタフェース・モードが **General, Apple** モードの場合のみ) … 70
- 9.4 状態遷移割り込みに関する注意事項(ホスト・インタフェース・モードが **General, Apple** モードの場合のみ) … 72

第10章 コマンド … 75

- 10.1 コマンド動作の概要 … 75
- 10.2 コマンドの種類と機能概要 … 76

第11章 スタンダード FDD モード … 77

- 11.1 スタンダード FDD モードについて … 77
- 11.2 パラメータの説明 … 81
 - 11.2.1 コマンド・バイト・パラメータ … 81
 - 11.2.2 リザルト・ステータス・バイト … 87
- 11.3 コマンドの説明 … 91
 - 11.3.1 イニシャライズ系コマンド … 92
 - 11.3.2 シーク系コマンド … 100
 - 11.3.3 リード系コマンド … 104
 - 11.3.4 ライト系コマンド … 126
 - 11.3.5 センス系コマンド … 135
 - 11.3.6 その他のコマンド … 137
- 11.4 コマンドのタイミング … 142
 - 11.4.1 ホスト・インタフェース側のタイミング … 142
 - 11.4.2 ドライブ・インタフェース側のタイミング … 155
- 11.5 コマンドのファーム・フロー … 163

第12章 Apple FDD モード … 177

- 12.1 Apple FDD モードについて … 177
- 12.2 パラメータの説明 … 180
 - 12.2.1 コマンド・バイト・パラメータ … 180
 - 12.2.2 リザルト・ステータス・バイト … 186
- 12.3 コマンドの説明 … 190
 - 12.3.1 イニシャライズ系コマンド … 191
 - 12.3.2 シーク系コマンド … 192
 - 12.3.3 リード系コマンド … 196
 - 12.3.4 ライト系コマンド … 213
 - 12.3.5 センス系コマンド … 221
 - 12.3.6 その他のコマンド … 223
- 12.4 コマンドのタイミング … 227
 - 12.4.1 ホスト・インタフェース側のタイミング … 227
 - 12.4.2 ドライブ・インタフェース側のタイミング … 232
- 12.5 コマンドのファーム・フロー … 241

第13章 JTAG バウンダリ・スキャン … 269

(お客様のご要求により、本機能をサポートすることができます。)

- 13.1 特 徴 … 269
- 13.2 バウンダリ・スキャン回路内部構成 … 269
 - 13.2.1 インストラクション・レジスタ (Instruction register) … 270
 - 13.2.2 TAP コントローラ (Test Access Port controller) … 270
 - 13.2.3 バイパス・レジスタ (Bypass register) … 270
 - 13.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register) … 270
- 13.3 端子機能 … 271
 - 13.3.1 TCK 端子 (Test Clock pin) … 271

- 13.3.2 TMS 端子 (Test Mode Select pin) … 271
- 13.3.3 TDI 端子 (Test Data Input pin) … 271
- 13.3.4 TDO 端子 (Test Data Output pin) … 271
- 13.4 動作説明 … 272**
 - 13.4.1 TAP コントローラ … 272
 - 13.4.2 TAP コントローラ状態 … 272
- 13.5 TAP コントローラ動作 … 279**
- 13.6 TAP コントローラの初期化 … 282**
- 13.7 インストラクション・レジスタ … 282**
 - 13.7.1 BYPASS 命令 … 283
 - 13.7.2 SAMPLE/PRELOAD 命令 … 283
 - 13.7.3 EXTEST 命令 … 284
 - 13.7.4 CLAMP-IO 命令 … 284
- 13.8 バウンダリ・スキャン・レジスタ … 285**

- 第14章 アプリケーション … 291**
 - 14.1 スタンダード FDD の場合の制御 … 291**
 - 14.1.1 1 M/1.6 M/2 MB FDD 使用時のコマンド実行手順 … 291
 - 14.1.2 垂直磁化記録方式 4 MB FDD 使用時のコマンド実行手順 … 295
 - 14.2 コマンド一覧 … 299**
 - 14.3 リザルト・ステータス・バイトの正常, 異常表示ビット一覧 … 308**
 - 14.3.1 スタンダード FDD モード … 308
 - 14.3.2 Apple FDD モード … 313

- 付 録 トラック・フォーマット … 317**

図 の 目 次 (1/3)

図番号	タイトル, ページ
1-1	システム構成例 … 1
1-2	システム動作フロー … 2
4-1	リード・データ転送時 DMARQ 信号がアクティブになったときの FIFO 状態 (スレッシュホールド値 (FIFOTHR+1) =DH) … 30
4-2	ライト・データ転送時 DMARQ 信号がアクティブになったときの FIFO 状態 (スレッシュホールド値 (FIFOTHR+1) =DH) … 30
4-3	シングル転送モード … 31
4-4	ダイヤモンド転送モード … 31
4-5	FIFO リード・データ転送 (ex.スレッシュホールド値 (FIFOTHR+1) =DH) … 32
4-6	FIFO ライト・データ転送 (ex.スレッシュホールド値 (FIFOTHR+1) =DH) … 33
4-7	ホスト・サービス・スペック (FIFO を使用しない場合) … 35
4-8	ホスト・サービス・スペック (FIFO を使用する場合) … 38
4-9	FIFO 使用時の TC 信号の入カタイミング … 38
9-1	FDC 制御フロー・チャート … 66
9-2	ドライブ・スキャン … 67
9-3	状態遷移チェック … 68
9-4	SRT=EH (2ms) でドライブ#1 に対する SEEK 命令を実行中の例 (500 Kbps) … 69
9-5	INT 信号の発生例 … 71
9-6	C-Phase 中の状態遷移 … 73
11-1	リザルト・ステータス・バイト 0 (ST0) … 87
11-2	リザルト・ステータス・バイト 1 (ST1) … 88
11-3	リザルト・ステータス・バイト 2 (ST2) … 89
11-4	リザルト・ステータス・バイト 3 (ST3) … 90
11-5	ヘッド・ロード時間の省略 … 93
11-6	ステップ・レートが短くなる場合 … 95
11-7	先行イレーズ・ヘッド … 98
11-8	従来のヘッド … 98
11-9	READ DATA, READ DELETED DATA, READ A TRACK, READ ID, VERIFY … 144
11-10	WRITE DATA, WRITE DELETED DATA, FORMAT A TRACK, SCAN … 146
11-11	SENSE DRIVE STATUS … 147

図 の 目 次 (2/3)

図番号	タイトル, ページ
11-12	SPECIFY ... 148
11-13	SEEK, RECALIBRATE, RELATIVE SEEK, SENSE INTERRUPT STATUS ... 149
11-14	INVALID, VERSION ... 150
11-15	REVISION ... 151
11-16	PERPENDICULAR MODE, SELECT DRIVE TYPE ... 152
11-17	CONFIGURE ... 153
11-18	DUMPREG ... 154
11-19	READ DATA, READ DELETED DATA, READ A TRACK, READ ID, SCAN ... 156
11-20	WRITE DATA, WRITE DELETED DATA ... 158
11-21	FORMAT A TRACK ... 160
11-22	SEEK, RECALIBRATE ... 161
11-23	SENSE DRIVE STATUS ... 162
12-1	リザルト・ステータス・バイト0 (ST0) ... 186
12-2	リザルト・ステータス・バイト1 (ST1) ... 187
12-3	リザルト・ステータス・バイト2 (ST2) ... 188
12-4	リザルト・ステータス・バイト3 (ST3) ... 189
12-5	INDEX address mark からのダンプで転送されたデータ ... 208
12-6	指定された ID address mark 後からのダンプで転送されたデータ ... 209
12-7	指定された DATA address mark 後からのダンプで転送されたデータ ... 211
12-8	RAW DUMP ... 228
12-9	FORMAT/WRITE ... 229
12-10	DISABLE/ENABLE DPLL, SET DRIVE MODE, SET MOTOR CONTROL, SET ENABLE CONTROL ... 230
12-11	EJECT DISK ... 231
12-12	READ DATA, READ ID, READ A TRACK, RAW DUMP ... 232
12-13	WRITE DATA ... 233
12-14	FORMAT A TRACK, FORMAT/WRITE ... 234
12-15	SEEK, RECALIBRATE ... 235
12-16	SENSE DRIVE STATUS ... 236
12-17	SENSE INTERRUPT STATUS ... 237
12-18	DISABLE/ENABLE DPLL ... 237
12-19	SET DRIVE MODE ... 238

図 の 目 次 (3/3)

図番号	タイトル, ページ
12-20	SET MOTOR CONTROL FOR MOTOR ON ... 238
12-21	EJECT DISK ... 239
12-22	SET MOTOR CONTROL FOR MOTOR OFF ... 239
12-23	SET ENABLE CONTROL ... 240
13-1	バウンダリ・スキャン回路ブロック図 ... 269
13-2	TAP コントローラの状態 ... 272
13-3	コントローラ状態での動作タイミング ... 273
13-4	テスト・ロジックの動作 (インストラクション・スキャン) ... 280
13-5	テスト・ロジックの動作 (データ・スキャン) ... 281
13-6	Iタイプのセル ... 286
13-7	Oタイプのセル ... 286
13-8	OZタイプのセル ... 287
13-9	I/Oタイプのセル ... 287
付-1	1/2 MB モード・トラック・フォーマット ... 317
付-2	4 MB モード・トラック・フォーマット ... 318
付-3	13 MB モード・トラック・フォーマット ... 318

表 の 目 次 (1/2)

表番号	タイトル, ページ
3-1	動作モードによるレジスタの選択 … 13
3-2	ドライブ選択 … 17
3-3	テープ・ドライブ番号 … 18
3-4	ライト・プリコンペーション量 … 20
3-5	リセット・デフォルトのライト・プリコンペーション量 … 20
3-6	データ転送レート (DRR) … 20
3-7	データ転送レート (CCR) … 26
5-1	データ・レート・レジスタ (DRR) … 41
5-2	スタンバイ・モードにおけるステータス・レジスタの状態 … 41
6-1	ホスト・インタフェース・モードの設定 … 43
6-2	PS/2 モードのレジスタ選択 … 46
6-3	PS/2 モード時のデータ転送レート … 47
6-4	PS/2 モード時の書き込み補償量 … 48
6-5	リセット・デフォルトの書き込み補償量 (PS/2 モード時) … 48
6-6	PC-AT モードのレジスタ選択 … 49
6-7	PC-AT モード時のデータ転送レート … 49
6-8	PC-AT モード時の書き込み補償量 … 50
6-9	リセット・デフォルトの書き込み補償量 (PC-AT モード時) … 50
6-10	General モードのレジスタ選択 … 51
6-11	General モード時のデータ転送レート … 51
6-12	General モード時の書き込み補償量 … 52
6-13	リセット・デフォルトの書き込み補償量 (General モード時) … 52
6-14	Apple モードのレジスタ選択 … 53
6-15	Apple モード時のデータ転送レート … 53
6-16	Apple モード時の書き込み補償量 … 54
6-17	リセット・デフォルトの書き込み補償量 (Apple モード時) … 54
7-1	モード別ドライブ・スキャン … 57

表 の 目 次 (2/2)

表番号	タイトル, ページ
11-1	データ長に対する GSL 値と GPL 値の例 … 86
11-2	HUT によるヘッド・アンロード時間 … 93
11-3	SRT によるステップ・パルスの間隔 … 94
11-4	HLT によるヘッド・ロード時間 … 96
11-5	READ DATA コマンドにおける正常終了時の値 … 107
11-6	VERIFY コマンドにおける正常終了時の値 … 117
11-7	VERIFY コマンドにおける R-Phase … 118
12-1	データ長に対する GSL 値と GPL 値の例 … 185
12-2	エラー条件 … 195
13-1	それぞれのコントローラ状態における動作 … 279
13-2	端子のためのセルのタイプ … 285

保守 / 廃止

第1章 概 説

1.1 システム概要

μPD72070 のシステム構成は図 1-1 のとおりです。

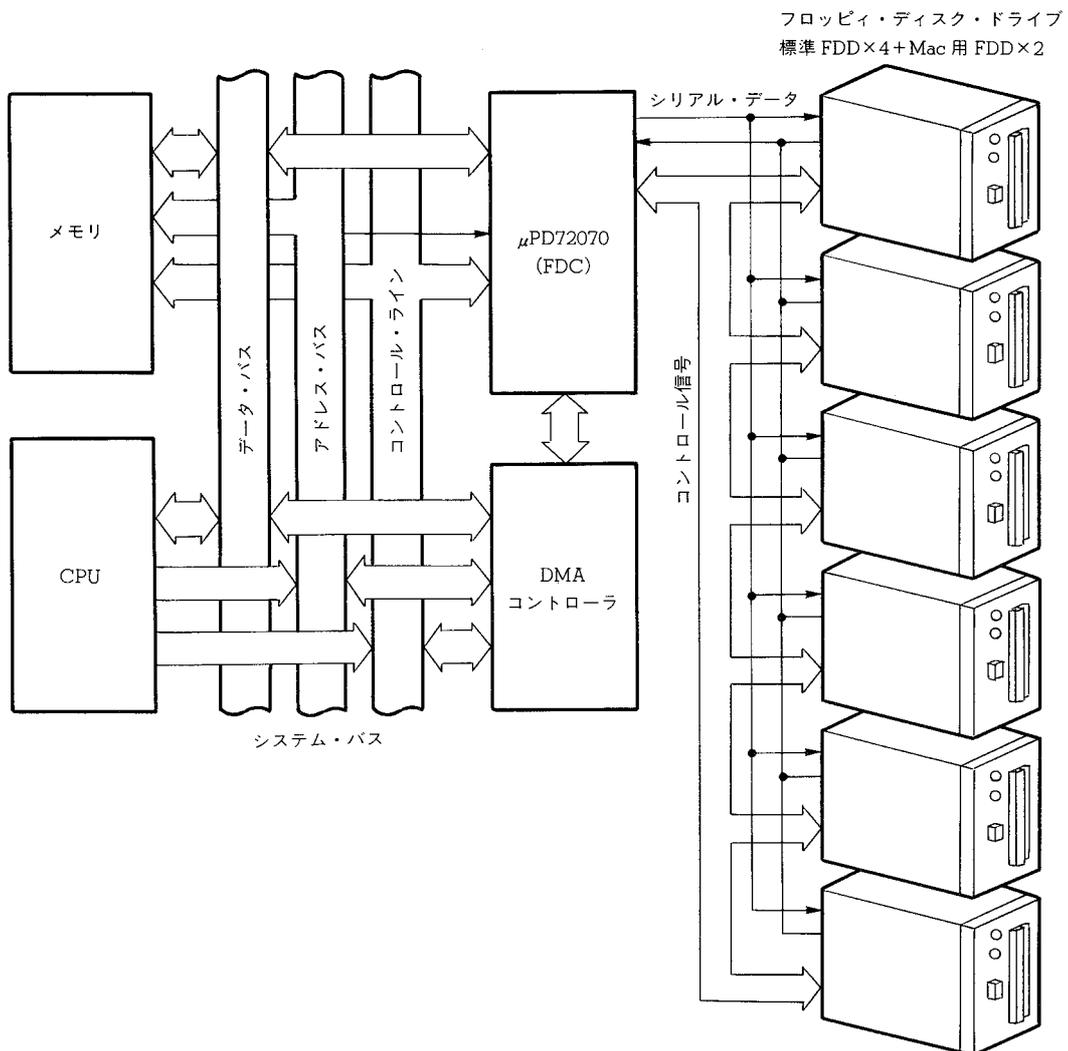
μPD72070 は次のような動作を行います。

- ① メモリからの 8 ビット・パラレル・データをシリアル変換してフロッピー・ディスクに書き込む (ライト動作)。
- ② フロッピー・ディスクから読み出したシリアル・データをパラレル・データに変換してメモリへ転送する (リード動作)。

データ転送には、DMA モードと Non-DMA モードの 2 種類があります。

なお、Non-DMA モードの場合には、DMA コントローラは不要です。

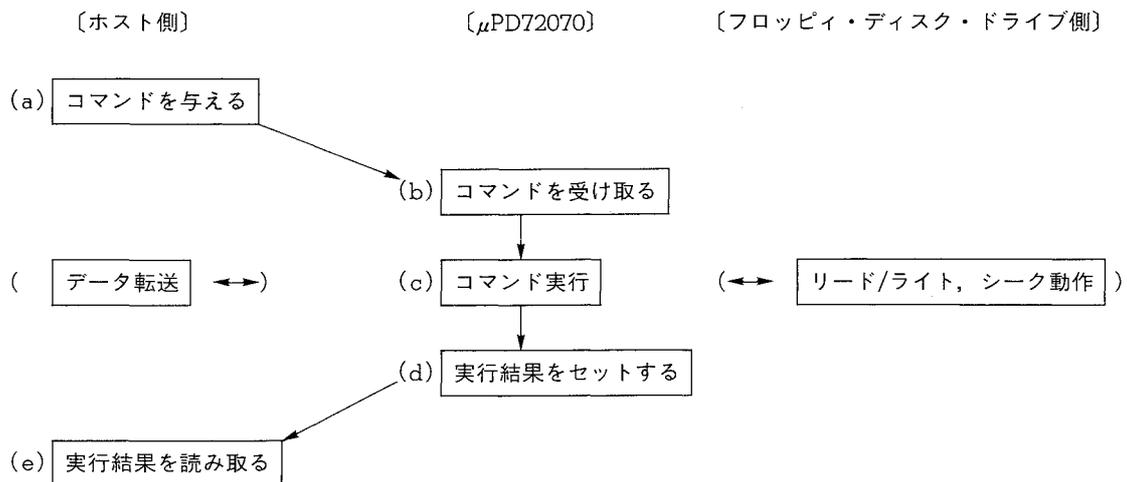
図 1-1 システム構成例



1.2 システム動作概要

μ PD72070 を使用したシステムの動作は、次の順序に従って進みます。

図 1-2 システム動作フロー



(c)において、リード/ライト系コマンドの実行時、次に示すように2つのモードにより制御が異なります。

- DMA モード時には、DMA コントローラがフロッピー・ディスク・コントローラ (FDC) とメモリとの間でデータ転送を行います。
- Non-DMA モード時には、CPU が FDC とメモリとの間でデータ転送を行います。

1.3 特 徴

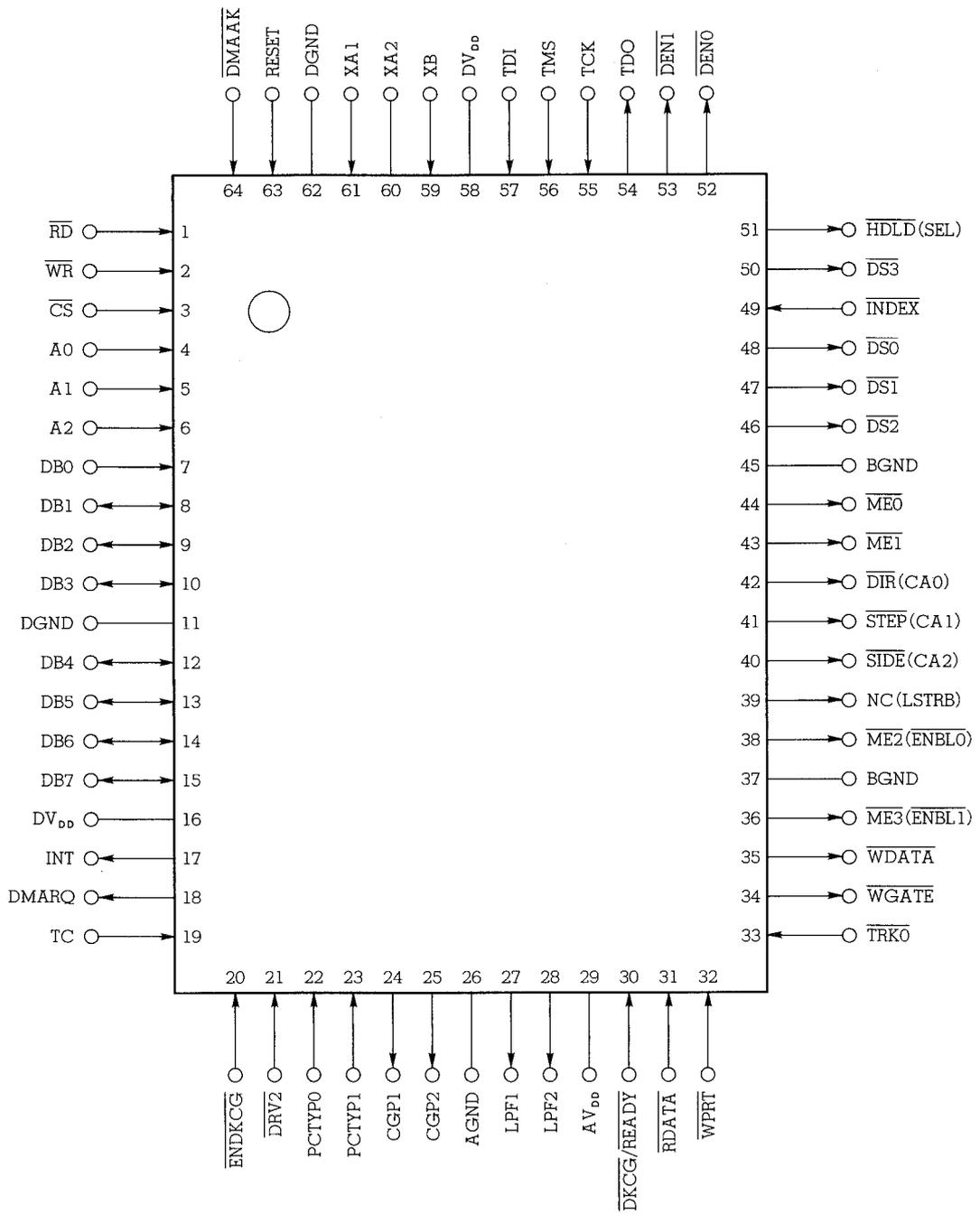
- μ PD765A とコマンド上位コンパチブル
- 16バイト・ホスト・データ・バス FIFO (DMARQ 信号出力スレッシュホールド・プログラマブル)
- データ変調方式：MFM, FM, GCR
- データ転送レート MFM：1.25, 1.0 Mbps, 500, 300, 250 Kbps
GCR：489.6 Kbps
- バウンダリ・スキャン回路内蔵 IEEE 1149.1 JTAG Boundary Scan Standard に準拠
(お客様のご要求により、本機能をサポートすることができます。)
- ホストにあわせた4種類の動作モード (レジスタ・セット)
 - ・PS/2 モード
 - ・PC-AT モード
 - ・General モード
 - ・Apple モード
- ホスト側のデータ転送は DMA と Non-DMA の両方に対応
- FDC 周辺回路の大部分を内蔵
 - ・高性能アナログ VFO (Valuable Frequency Oscillator) 内蔵 (外付けフィルタ部品が必要)
 - ・PS/2TM, PC/ATTM ホスト・インタフェース・レジスタ
 - ・2系統のシステム・クロック回路 (24 MHz, 20 または 15.6672 MHz)
 - ・ライト・プリコンペンセータ (書き込み補償回路, ソフトウェア・プログラマブル)
 - ・ドライブ・インタフェース用オープン・ドレイン・ドライバ ($I_{OL}=48\text{ mA}$)
 - ・ドライブ・インタフェース用シュミット・レシーバ
 - ・ホスト・インタフェース・ドライバ ($I_{OL}=12\text{ mA}$)
- パワー・ダウン機能 (スタンバイ・モード), およびオートマティック・ウェイクアップ機能
- CMOS フルスタティック構成 +5V 単一電源

1.4 オーダ情報

品 名	パッケージ
μ PD72070GF-3BE	64ピン・プラスチック QFP (14×20 mm)

1.5 端子接続図 (Top View)

64ピン・プラスチック QFP (14×20 mm)

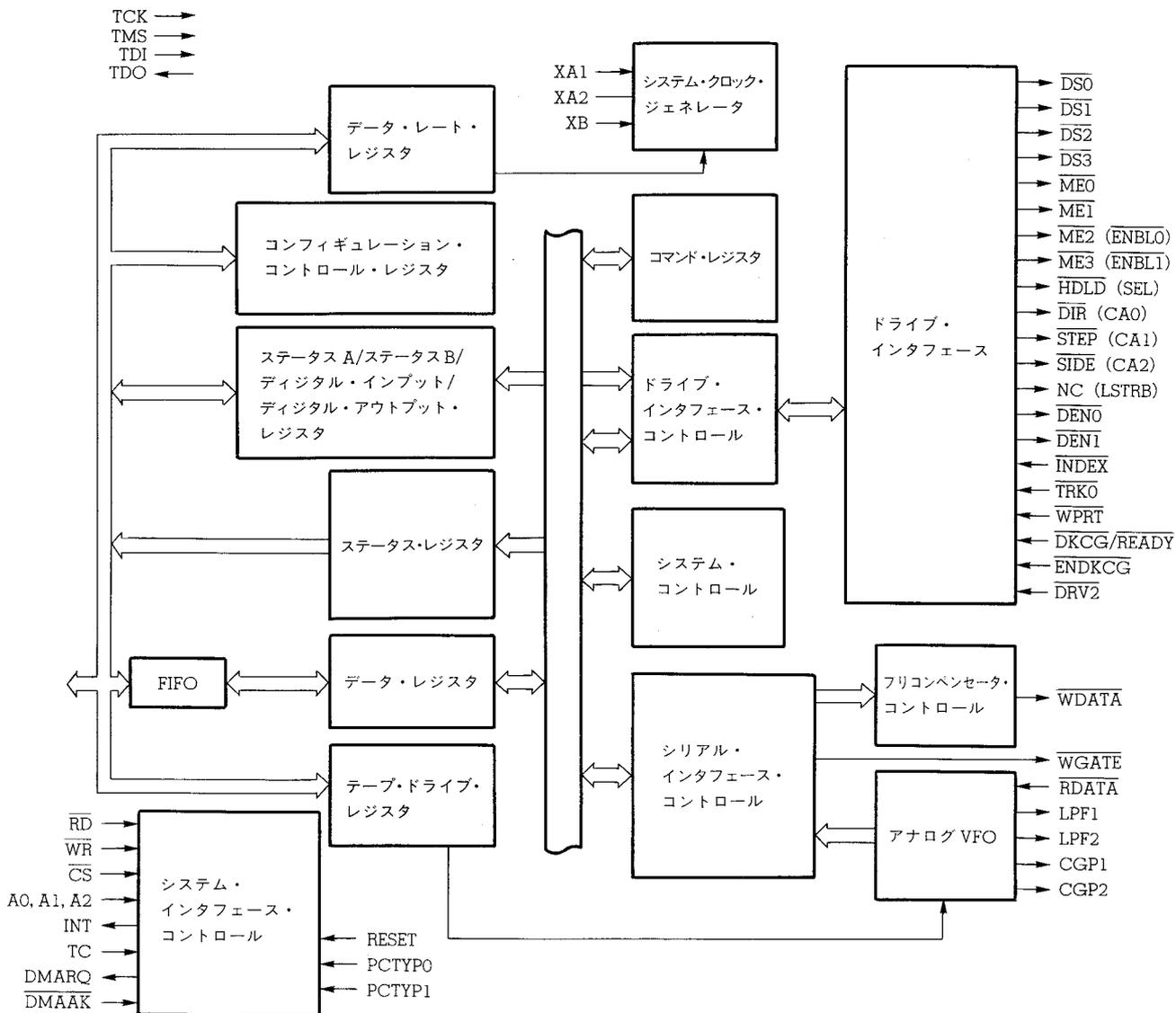


NC : No Connection

A0-A2	: Address	LPF1, LPF2	: Low Pass Filter
AGND	: Analog Ground	NC (LSTRB)	: No Connection (Line Strobe)
AV _{DD}	: Analog V _{DD}	PCTYP0, PCTYP1	: PC Type
BGND	: Buffer Ground	$\overline{\text{RDATA}}$: Read Data
CGP1, CGP2	: Charge Pump	$\overline{\text{RD}}$: Read
$\overline{\text{CS}}$: Chip Select	RESET	: Reset
DB0-DB7	: Data Bus	$\overline{\text{SIDE}}$ (CA2)	: Side (CA2)
DGND	: Digital Ground	$\overline{\text{STEP}}$ (CA1)	: Step (CA1)
$\overline{\text{DENO}}$, $\overline{\text{DEN1}}$: Density	TC	: Terminal Count
$\overline{\text{DIR}}$ (CA0)	: Direction (CA0)	TCK	: Test Clock Input
$\overline{\text{DKCG/READY}}$: Disk Change/Ready	TDI	: Test Data Input
DMARQ	: DMA Request	TDO	: Test Data Output
$\overline{\text{DMAAK}}$: DMA Acknowledge	TMS	: Test Mode Select
$\overline{\text{DRV2}}$: Drive2	$\overline{\text{TRK0}}$: Track0
$\overline{\text{DS0-DS3}}$: Drive Select	$\overline{\text{WDATA}}$: Write Data
DV _{DD}	: Digital V _{DD}	$\overline{\text{WGATE}}$: Write Gate
$\overline{\text{ENDKCG}}$: Enable Disk Change	$\overline{\text{WPRT}}$: Write Protect
$\overline{\text{HDLD}}$ (SEL)	: Head Load (SEL)	$\overline{\text{WR}}$: Write
$\overline{\text{INDEX}}$: Index Pulse	XA1, XA2	: CrystalA
INT	: Interrupt Request	XB	: CrystalB
$\overline{\text{ME0}}$, $\overline{\text{ME1}}$: Motor Enable		
$\overline{\text{ME2}}$, ($\overline{\text{ENBL0}}$)	: Motor Enable2 (Enable0)		
$\overline{\text{ME3}}$, ($\overline{\text{ENBL1}}$)	: Motor Enable3 (Enable1)		

備考 () は Apple FDD モードのみに適応

1.6 内部ブロック図



第2章 端子機能

2.1 ホスト・インタフェース

端子名	入出力	機 能																																																							
RESET	入 力	FDC をリセットします。ホスト・インタフェース・モードが Apple モード時のみアクティブ・ロウで、他のモード (PS/2, PC-AT, General) 時はアクティブ・ハイです。																																																							
\overline{CS}	入 力	FDC の \overline{RD} , \overline{WR} 信号を有効にする信号端子です。																																																							
XA1	入 力	内部発振回路を用いるときは、水晶振動子を接続します。 外部回路を用いるとき：XA1 端子に入力します (XA2 端子はオープン)。																																																							
XA2	-	また、用いる周波数は 24 MHz です。データ転送に関係なく、システム・クロックを常に供給してください。																																																							
XB	入 力	データ転送レートが 489.6 Kbps (GCR), および 1.25 Mbps (MFM) のときのクロック信号端子です。 GCR489.6 Kbps 使用時：15.6672 MHz MFM1.25 Mbps 使用時：20 MHz 未使用の場合はプルダウンしてください。																																																							
A0-A2	入 力	FDC の内部レジスタを選択する信号です。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="text-align: center;">A2</th> <th style="text-align: center;">A1</th> <th style="text-align: center;">A0</th> <th style="text-align: center;">R/W</th> <th style="text-align: center;">レジスタ</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">R</td> <td>ステータス・レジスタ A (SRA)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">R</td> <td>ステータス・レジスタ B (SRB)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">R/W</td> <td>デジタル・アウトプット・レジスタ (DOR)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">R/W</td> <td>テープ・ドライブ・レジスタ (TDR)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">R</td> <td>ステータス・レジスタ (STR)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">W</td> <td>データ・レート・レジスタ (DRR)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">R/W</td> <td>データ FIFO レジスタ (DATA)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">-</td> <td>使用禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">R</td> <td>デジタル・インプット・レジスタ (DIR)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">W</td> <td>コンフィギュレーション・コントロール・レジスタ (CCR)</td> </tr> </tbody> </table>	A2	A1	A0	R/W	レジスタ	0	0	0	R	ステータス・レジスタ A (SRA)	0	0	1	R	ステータス・レジスタ B (SRB)	0	1	0	R/W	デジタル・アウトプット・レジスタ (DOR)	0	1	1	R/W	テープ・ドライブ・レジスタ (TDR)	1	0	0	R	ステータス・レジスタ (STR)	1	0	0	W	データ・レート・レジスタ (DRR)	1	0	1	R/W	データ FIFO レジスタ (DATA)	1	1	0	-	使用禁止	1	1	1	R	デジタル・インプット・レジスタ (DIR)	1	1	1	W	コンフィギュレーション・コントロール・レジスタ (CCR)
A2	A1	A0	R/W	レジスタ																																																					
0	0	0	R	ステータス・レジスタ A (SRA)																																																					
0	0	1	R	ステータス・レジスタ B (SRB)																																																					
0	1	0	R/W	デジタル・アウトプット・レジスタ (DOR)																																																					
0	1	1	R/W	テープ・ドライブ・レジスタ (TDR)																																																					
1	0	0	R	ステータス・レジスタ (STR)																																																					
1	0	0	W	データ・レート・レジスタ (DRR)																																																					
1	0	1	R/W	データ FIFO レジスタ (DATA)																																																					
1	1	0	-	使用禁止																																																					
1	1	1	R	デジタル・インプット・レジスタ (DIR)																																																					
1	1	1	W	コンフィギュレーション・コントロール・レジスタ (CCR)																																																					
\overline{RD}	入 力	ホストが FDC からデータをデータ・バスへ読み出すための制御信号端子です。																																																							
\overline{WR}	入 力	ホストがデータ・バスのデータを FDC へ書き込むための制御信号端子です。																																																							
DB0-DB7	入出力	8 ビット双方向データ・バスです ($I_{OL} = 12 \text{ mA}$)。																																																							
DMARQ	出 力	DMA モード (SPECIFY コマンドで設定) でのデータ転送要求信号端子です。通常はアクティブ・ハイの出力ですが、ホスト・インタフェース・モードが PC-AT モードで、デジタル・アウトプット・レジスタの D3 ビットが 0 のときは、ハイ・インピーダンスになります。																																																							

端子名	入出力	機能																				
DMAAK	入力	DMA サイクルでのデータ FIFO レジスタ選択信号端子です。ホスト・インタフェース・モードが PC-AT モードで、デジタル・アウトプット・レジスタの D3 ビットが 0 のときは、この入力は無効です。																				
TC	入力	フロッピー・ディスクとのデータ転送の終了指示信号端子です。データ転送の最終バイト転送時にアクティブにします。通常は、DMA コントローラの TC 端子と接続します。なお、ホスト・インタフェース・モードが PS/2、および PC-AT モードにかぎり、この入力は DMAAK 信号端子がアクティブのときにのみ有効です。また、PC-AT モードおよび General モードでは、アクティブ・ハイ、PS/2 モードでは、アクティブ・ロウの入力になります。																				
INT	出力	ホスト・システムに割り込み要因の発生を知らせる信号端子です。通常はアクティブ・ハイの出力です。ただし、PC-AT モードで、デジタル・アウトプット・レジスタの D3 ビットが 0 のときは、ハイ・インピーダンスになります。																				
PCTYP0, PCTYP1	入力	ホスト・インタフェース・レジスタの種類を選択する信号端子です。 <table border="1" data-bbox="544 869 1366 1095"> <thead> <tr> <th>PCTYP1</th> <th>PCTYP0</th> <th>ホスト・インタフェース・モード</th> <th>使用するホスト・インタフェース・レジスタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PS/2 モード</td> <td>すべてのレジスタ</td> </tr> <tr> <td>0</td> <td>1</td> <td>PC-AT モード</td> <td>DOR, TDR, STR, DRR, DATA, CCR, DIR</td> </tr> <tr> <td>1</td> <td>0</td> <td>General モード</td> <td>DATA, STR, DRR</td> </tr> <tr> <td>1</td> <td>1</td> <td>Apple モード</td> <td>DATA, STR, DDR</td> </tr> </tbody> </table>	PCTYP1	PCTYP0	ホスト・インタフェース・モード	使用するホスト・インタフェース・レジスタ	0	0	PS/2 モード	すべてのレジスタ	0	1	PC-AT モード	DOR, TDR, STR, DRR, DATA, CCR, DIR	1	0	General モード	DATA, STR, DRR	1	1	Apple モード	DATA, STR, DDR
PCTYP1	PCTYP0	ホスト・インタフェース・モード	使用するホスト・インタフェース・レジスタ																			
0	0	PS/2 モード	すべてのレジスタ																			
0	1	PC-AT モード	DOR, TDR, STR, DRR, DATA, CCR, DIR																			
1	0	General モード	DATA, STR, DRR																			
1	1	Apple モード	DATA, STR, DDR																			

2.2 FDD インタフェース(スタンダード FDD モードを使用する場合)

端子名	入出力	機能
$\overline{DS0}$ - $\overline{DS3}$	出力	ドライブを選択する信号端子です。4台までのドライブを制御できます。
$\overline{ME0}$ - $\overline{ME3}$	出力	FDDのスピンダル・モータの ON/OFF を制御する信号端子です。ホスト・インタフェース・モードが General, Apple モードのときは使用できません。
\overline{HDL}	出力	ドライブのヘッドをロード状態にする信号端子です。
\overline{DIR}	出力	シーク動作の方向を指定する信号端子です。アクティブで求心方向を指定します。
\overline{STEP}	出力	シーク・パルスを発生する信号端子です。
\overline{SIDE}	出力	FDDのヘッドを選択する信号端子です。アクティブでヘッド1を指定します。
\overline{WGATE}	出力	FDDに対して書き込みを指示する信号端子です。
\overline{WDATA}	出力	FDDへの書き込みデータ信号端子です。
\overline{RDATA}	入力	FDDからの読み出しデータ信号端子です。
$\overline{TRK0}$	入力	FDDのヘッドが、シリンダ0に位置していることを示す信号端子です。
\overline{INDEX}	入力	ドライブのヘッドが、メディア上のトラックの物理的開始点に位置することを示す信号端子です。
\overline{WPRT}	入力	メディアが書き込み禁止状態であることを示す信号端子です。
\overline{ENDKCG}	入力	$\overline{DKCG}/\overline{READY}$ 端子をどちらの信号で使用するかを選択する信号端子です。アクティブで \overline{DKCG} 信号を指定します。
$\overline{DKCG}/\overline{READY}$	入力	使用する FDD の種類により、 \overline{ENDKCG} 端子でどちらの信号を入力するかを選択します。 \overline{DKCG} (Disk Change) (PS/2, PC-AT モード) : FDD メディアが交換されたことを示します。デジタル・インプット・レジスタの \overline{DKCG} ビットに状態が示されます。 \overline{READY} (General, Apple モード) : ドライブが動作可能であることを示します。
$\overline{DEN0}$, $\overline{DEN1}$	出力	ドライブの密度選択を行うための信号端子です。データ転送レートによって出力する値が決まります。
$\overline{DRV2}$	入力	2台目のドライブが装備されているかを示す信号端子です。ステータス・レジスタ A の $\overline{DRV2}$ ビットに状態が示されます。

備考 すべての FDD インタフェース出力端子は、 $I_{OL}=48\text{ mA}$ です。

2.3 FDD インタフェース (Apple FDD モードを使用する場合)

端子名	入出力	機能
$\overline{\text{ENBLO}}$, $\overline{\text{ENBL1}}$	出力	FDD への動作指示がすべて可能であることを示す信号端子です。
SEL , CA0-CA2	出力	読み出し動作時の $\overline{\text{RDATA}}$ 信号にマルチプレクスされた FDD ステータス取得、および FDD とのコマンド動作時の FDD アドレス・ラッチの選択に使用します。
LSTRB	出力	FDD へのコマンド送出に使用する信号端子です。
$\overline{\text{WGATE}}$	出力	FDD に対して書き込みを指示する信号端子です。
$\overline{\text{WDATA}}$	出力	FDD への書き込みデータ信号端子です。
$\overline{\text{RDATA}}$	入力	FDD からの読み出しデータ信号端子です。

注意 Apple FDD モードで使用しない FDD インタフェース入力端子は、ハイ・レベルに固定してください。

備考 すべての FDD インタフェース出力端子は、 $I_{OL}=48\text{mA}$ です。

2.4 アナログ VFO フィルタ

端子名	入出力	機能
LPF1, LPF2	出力	メイン PLL の位相補正情報出力端子です。VFO フィルタ部品を外付けします。
CGP1, CGP2	出力	サブ PLL の位相補正情報出力端子です。VFO フィルタ部品を外付けします。

2.5 バウンダリ・スキャン

端子名	入出力	機能
TCK	入力	クロック入力
TDI	入力	データ入力 (プルアップ抵抗を内蔵)
TMS	入力	バウンダリ・スキャン・テスト回路のモードを選択します (プルアップ抵抗を内蔵)。
TDO	出力	データ出力 (3 ステート型出力)

2.6 その他の端子

端子名	入出力	機能
DV_{DD}	-	デジタル系の電源供給端子です。
DGND	-	デジタル系のグラウンド端子です。
BGND	-	バッファ系 ($I_{OL}=48\text{mA}$ ドライバ) のグラウンド端子です。
AV_{DD}	-	アナログ系の電源供給端子です。
AGND	-	アナログ系のグラウンド端子です。

2.7 リセット時の各端子の状態

端 子 名	状 態
DB0-DB7	入力
DMARQ, INT	PC-AT モード : ハイ・インピーダンス その他のモード : ロー・レベル
LPF1, LPF2, CGP1, CGP2	不定
$\overline{DS0}$ - $\overline{DS3}$, $\overline{ME0}$, $\overline{ME1}$, $\overline{ME2}$ (ENBL0), $\overline{ME3}$ (ENBL1), \overline{WDATA} , \overline{WGATE} , \overline{HDLD} (SEL), \overline{DIR} (CA0), \overline{STEP} (CA1), \overline{SIDE} (CA2), (LSTRB)	ハイ・インピーダンス
$\overline{DEN0}$, $\overline{DEN1}$	データ転送レートにより異なった値になります。

備考 () は Apple FDD モードのみに適応

保守 / 廃止

第3章 レジスタ構成

次の9つのレジスタについて説明します。

- ステータス・レジスタA (SRA)
- ステータス・レジスタB (SRB)
- デジタル・アウトプット・レジスタ (DOR)
- テープ・ドライブ・レジスタ (TDR)
- データ・レート・レジスタ (DRR)
- ステータス・レジスタ (STR)
- データ・レジスタ [FIFO] (DTR)
- コンフィギュレーション・コントロール・レジスタ (CCR)
- デジタル・インプット・レジスタ (DIR)

PS/2, PC-AT, General, および Apple モードについて各モードで使用可能なレジスタを表3-1に示します。

表3-1 動作モードによるレジスタの選択

動作モード	PCTYP1	PCTYP0	CS	A2	A1	A0	R/W	レ ジ ス タ
PS/2	0	0	0	0	0	0	R	ステータス・レジスタ A
	0	0	0	0	0	1	R	ステータス・レジスタ B
	0	0	0	0	1	0	R/W	デジタル・アウトプット・レジスタ
	0	0	0	0	1	1	R/W	テープ・ドライブ・レジスタ
	0	0	0	1	0	0	W	データ・レート・レジスタ
	0	0	0	1	0	0	R	ステータス・レジスタ
	0	0	0	1	0	1	R/W	データ・レジスタ
	0	0	0	1	1	1	W	コンフィギュレーション・コントロール・レジスタ
	0	0	0	1	1	1	R	デジタル・インプット・レジスタ
PC-AT	0	1	0	0	1	0	R/W	デジタル・アウトプット・レジスタ
	0	1	0	0	1	1	R/W	テープ・ドライブ・レジスタ
	0	1	0	1	0	0	W	データ・レート・レジスタ
	0	1	0	1	0	0	R	ステータス・レジスタ
	0	1	0	1	0	1	R/W	データ・レジスタ
	0	1	0	1	1	1	W	コンフィギュレーション・コントロール・レジスタ
	0	1	0	1	1	1	R	デジタル・インプット・レジスタ
General	1	0	0	1	0	0	W	データ・レート・レジスタ
	1	0	0	1	0	0	R	ステータス・レジスタ
	1	0	0	1	0	1	R/W	データ・レジスタ
Apple	1	1	0	1	0	0	W	データ・レート・レジスタ
	1	1	0	1	0	0	R	ステータス・レジスタ
	1	1	0	1	0	1	R/W	データ・レジスタ
-	×	×	1	×	×	×	-	レジスタのリード/ライト不可

3.1 ステータス・レジスタ A (SRA) リード・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	PINT	$\overline{\text{DRV2}}$	STEP	$\overline{\text{TRK0}}$	SIDE	$\overline{\text{INDEX}}$	$\overline{\text{WPRT}}$	DIR
リセット時の状態	0	不定	0	不定	0	不定	不定	0

ステータス・レジスタ A (SRA) は、PS/2 モードで使用する読み出し専用レジスタで、PS/2 モードのときに随時読み出し可能です。SRA は、INT 端子およびドライブ・インタフェースのいくつかの端子の状態を示します。

PS/2 モード以外で SRA を読み出した場合、D7-D0 はハイ・インピーダンスになります。

D7 Pending Interrupt

アクティブ・ハイのビットです。INT 出力端子の状態を示します。

D6 Installed Drive 2

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{DRV2}}$ 入力端子の状態を示します。

D5 Step Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{\text{STEP}}$ 出力端子の状態を示します。

D4 Track 0 Signal

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{TRK0}}$ 入力端子の状態を示します。

D3 Side Select Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{\text{SIDE}}$ 出力端子の状態を示します。

D2 Index Signal

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{INDEX}}$ 入力端子の状態を示します。

D1 Write Protect Signal

アクティブ・ロウのビットです。ドライブ・インタフェースの $\overline{\text{WPRT}}$ 入力端子の状態を示します。

D0 Direction Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{\text{DIR}}$ 出力端子の状態を示します。

3.2 ステータス・レジスタ B (SRB) リード・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	1	1	DS0	WDATA	RDATA	WGATE	MO1	MO0
リセット時の状態	不定	不定	0	0	0	0	0	0

ステータス・レジスタ B (SRB) は、PS/2 モードで使用する読み出し専用レジスタで、PS/2 モードのときのみ随時読み出し可能です。SRB は、ドライブ・インタフェースのいくつかの端子の状態を示します。PS/2 モード以外で SRB を読み出した場合、D7-D0 はハイ・インピーダンスになります。

D7-D6 Reserved

PS/2 モードのときは、常に 1 です。

D5 Drive Select 0

アクティブ・ハイのビットです。デジタル・アウトプット・レジスタ (DOR) の $\overline{DS0}$ (D0 ビット) の状態を示します。

D4 Write Data Signal

\overline{WDATA} 端子信号の立ち下がリエッジをトリガとして、内部で生成されるトグル信号の状態を示します。

D3 Read Data Signal

\overline{RDATA} 端子信号の立ち下がリエッジをトリガとして、内部で生成されるトグル信号の状態を示します。

D2 Write Gate Signal

アクティブ・ハイのビットです。ドライブ・インタフェースの \overline{WGATE} 端子出力の状態を示します。

D1 Motor Enable 1

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{ME1}$ 端子出力の状態を示します。

D0 Motor Enable 0

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{ME0}$ 端子出力の状態を示します。

3.3 デジタル・アウトプット・レジスタ (DOR) リード/ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	ME3	ME2	ME1	ME0	DMAEN	FDCEN	DS1	DS0
リセット時の状態	0	0	0	0	0	0	0	0

デジタル・アウトプット・レジスタ (DOR) は、PS/2 モード、および PC-AT モードで使用するリード/ライト・レジスタです。DOR は、ドライブのモータ・オン/オフ ($\overline{\text{ME3}}$ - $\overline{\text{ME0}}$ 端子出力)、DMA 回路、ソフトウェア・リセット、ドライブ選択などを制御します。

DOR は、ハードウェア・リセットでのみ初期化されます。

D7 Motor Enable 3

DS1=1, DS0=1 のとき ($\overline{\text{DS3}}$ 端子出力がアクティブのとき)、ME3=1 を書き込むことにより $\overline{\text{ME3}}$ 端子出力をアクティブにします。

D6 Motor Enable 2

DS1=1, DS0=0 のとき ($\overline{\text{DS2}}$ 端子出力がアクティブのとき)、ME2=1 を書き込むことにより $\overline{\text{ME2}}$ 端子出力をアクティブにします。

D5 Motor Enable 1

DS1=0, DS0=1 のとき ($\overline{\text{DS1}}$ 端子出力がアクティブのとき)、ME1=1 を書き込むことにより $\overline{\text{ME1}}$ 端子出力をアクティブにします。

D4 Motor Enable 0

DS1=0, DS0=0 のとき ($\overline{\text{DS0}}$ 端子出力がアクティブのとき)、ME0=1 を書き込むことにより $\overline{\text{ME0}}$ 端子出力をアクティブにします。

D3 DMA Enable

○PS/2 モードの場合

DMAEN は、DMARQ 端子出力、 $\overline{\text{DMAAK}}$ 端子入力、TC 端子入力、INT 端子出力に影響しません。これらの端子は、常に有効です。

○PC-AT モードの場合

DMAEN=1 を書き込むことにより、DMARQ 端子出力、 $\overline{\text{DMAAK}}$ 端子入力、TC 端子入力、INT 端子出力が有効になります。DMAEN=0 のとき、DMARQ 端子出力、INT 端子出力はハイ・インピーダンス、 $\overline{\text{DMAAK}}$ 端子入力、TC 端子入力は無効になります。

D2 FDC Enable

FDCEN=0 を書き込むことにより、 μ PD72070 は初期化（ソフトウェア・リセット）状態を保ちます。ソフトウェア・リセットは、DRR, CCR, および DRR のビットに影響しません。

D1-D0 Drive Select

DS1, DS0 ビットは、最大 4 台のドライブのうち 1 台を選択するために、 $\overline{DS0}$ - $\overline{DS3}$ 出力端子の 1 つをアクティブにします。それぞれのドライブを選択した場合の DOR の値を表 3-2 に示します。

表 3-2 ドライブ選択

ドライブ番号	DOR の値 (hex)
0	1C
1	2D
2	4E
3	8F

3.4 テープ・ドライブ・レジスタ (TDR) リード/ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	TDS1	TDS0
リセット時の状態	不定	不定	不定	不定	不定	不定	0	0

テープ・ドライブ・レジスタ (TDR) は、PS/2 モードで使用するリード/ライト・レジスタです。TDR は、テープ・ドライブのために特別なドライブ番号を割り振り、アナログ VFO のモードを対応させます。ただし、 μ PD72070 はアナログ VFO のモードを変更することなしにテープ・ドライブに対応します。

TDR は、ハードウェア・リセットでのみ初期化されます。

D7-D2 Reserved

リード時は、ハイ・インピーダンスになります。ライト時は 0、または 1 のどちらを書き込んでもかまいません。

D1-D0 Tape Drive Select

TDS1, TDS0 ビットは、テープ・ドライブの論理ドライブ番号を設定します。ドライブ番号 0 は、ブート用のフロッピー・ディスク・ドライブに使用するため、テープ・ドライブを割り付けることはできません。表 3-3 に TDS1, TDS0 によるテープ・ドライブの論理ドライブ番号割り付けを示します。

表 3-3 テープ・ドライブ番号

TDS1	TDS0	論理ドライブ番号
0	0	使用不可
0	1	1
1	0	2
1	1	3

3.5 データ・レート・レジスタ (DRR) ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	S/W RST	STDBY	0	PCS2	PCS1	PCS0	DRATE1	DRATE0
リセット時の状態	0	0	0	0	0	0	1	0

データ・レート・レジスタ (DRR) は、すべての動作モードで使用することができる書き込み専用レジスタです。ただし、PS/2 および PC-AT モードのアプリケーションについては、データ転送レートの設定を CCR で行ってください。また、DRR と CCR によるデータ転送レートの設定は、最後に書き込んだレジスタの値が有効になります。

DRR は、ハードウェア・リセットでのみ初期化されます。

D7 Software Reset

S/W RST=1 を書き込むことにより、 μ PD72070 は初期化 (ソフトウェア・リセット) されます。ソフトウェア・リセットは、DOR, CCR, および DRR の D6-D0 ビットには、影響しません。また初期化動作を終了すると、自動的に S/W RST=0 になりセット状態を解除します。

D6 Standby

STDBY=1 を書き込むことにより、 μ PD72070 はスタンバイ・モード (ロウ・パワー・モード) になります。スタンバイ・モードでは、すべての内部回路の動作を停止します。スタンバイ・モードは、ハードウェア/ソフトウェア・リセットの実行、または STR/DTR へのアクセスで解除されます。

D5 Reserved

0 を書き込んでください。

D4-D2 Precompensation Set

PCS2-PCS0 ビットは、ライト・データ (WDATA) 信号のライト・プリコンペンセーション量を設定します。表 3-4 に PCS2-PCS0 ビットによるライト・プリコンペンセーション量の値、表 3-5 にリセット・デフォルトの値を示します。ライト・プリコンペンセーション量は、システムの互換性やドライブ/メディアの種類などにより異なります。リセット・デフォルトの値は、500, 250 Kbps が PC/AT のアプリケーション、1, 1.25 Mbps はドライブの仕様を考慮したものです。

D1-D0 Data Rate Set

DRATE1, DRATE0 ビットは、データ転送レートを設定します。表 3-6 に DRATE1, DRATE0 ビットによるデータ転送レートの値を示します。これらのビットは、ソフトウェア・リセットで変化しません。ハードウェア・リセットによって、DRATE1=1, DRATE0=0 になり、デフォルト値は 250 Kbps (MFMM) です。

500と489.6 Kbps, および 1 と 1.25 Mbps の切り替えは、SELECT DRIVE TYPE コマンドで行います。

表 3-4 ライト・プリコンペーション量

D4	D3	D2	ライト・プリコンペーション量(ns)	
PCS2	PCS1	PCS0	1 M/500 K/300 K/250 Kbps	1.25 Mbps
0	0	0	リセット・デフォルト	
0	0	1	41.7	50
0	1	0	83.3	100
0	1	1	125.0	150
1	0	0	166.7	200
1	0	1	208.3	250
1	1	0	250.0	300
1	1	1	0.0	0.0

表 3-5 リセット・デフォルトのライト・プリコンペーション量

データ転送レート	ライト・プリコンペーション量(ns)
1 Mbps	41.7
500 Kbps	125.0
300 Kbps	125.0
250 Kbps	125.0
1.25 Mbps	50.0

表 3-6 データ転送レート (DRR)

D1	D0	データ転送レート
DRATE1	DRATE0	
0	0	500/489.6 Kbps
0	1	300 Kbps
1	0	250 Kbps
1	1	1/1.25 Mbps

3.6 ステータス・レジスタ (STR) リード・レジスタ

ステータス・レジスタ (STR) は、 μ PD72070 の状態を示す読み出し専用レジスタです。

3.6.1 STR (スタンダード FDD モードの場合)

	D7	D6	D5	D4	D3	D2	D1	D0
	RQM	DIO	NDM	CB	D3B	D2B	D1B	DOB
リセット時の状態	0	0	0	0	0	0	0	0

D7 Request for Master

ホストに対してデータをやりとりする準備ができていることを示します。DIO ビットの状態により次の動作を行います。

DIO=0 : ホストが FDC へデータを送る

- C-Phase のコマンド待ち
- Non-DMA ライトの E-Phase
- シーク系の E-Phase

ホストが FDC にデータを書き込むと RQM=0 になります。その後 FDC がそのデータを引き取ると RQM=1 になります。

DIO=1 : FDC がホストへデータを送る

- R-Phase
- Non-DMA リードの E-Phase

FDC がデータ・レジスタにデータをセットすると RQM=1 になります。ホストがそのデータを読み取ると RQM=0 になります。

D6 Data Input/Output

ホストと FDC の間でやりとりするデータ方向を示します。

DIO=0 : ホスト → FDC の方向

DIO=1 : FDC → ホストの方向

D5 Non-DMA Mode

Non-DMA モードのデータ転送中 (E-Phase) を示します。C-Phase, R-Phase ではこのビットは 0 です。

D4 FDC Busy

C-Phase, R-Phase またはリード/ライト系コマンドの E-Phaseであることを示します(シーク系 E-Phase では CB=1 になりません)。CB=1 のときは、次のコマンド (D0-D3) を受け付けません。

D3 FDD 3 Busy

ドライブ 3 にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します (E-Phase)。このビットが 1 のとき、リード/ライト系コマンドの書き込みは禁止です。

D2 FDD 2 Busy

ドライブ 2 にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します (E-Phase)。このビットが 1 のとき、リード/ライト系コマンドの書き込みは禁止です。

D1 FDD 1 Busy

ドライブ 1 にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します (E-Phase)。このビットが 1 のとき、リード/ライト系コマンドの書き込みは禁止です。

D0 FDD 0 Busy

ドライブ 0 にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します (E-Phase)。このビットが 1 のとき、リード/ライト系コマンドの書き込みは禁止です。

3.6.2 STR (Apple FDD モードの場合)

	D7	D6	D5	D4	D3	D2	D1	D0
	RQM	DIO	NDM	CB	D1I	DOI	D1B	DOB
リセット時の状態	0	0	0	0	0	0	0	0

D7 Request for Master (スタンダード FDD モードと同じ)

ホストに対してデータをやりとりする準備ができていることを示します。DIO ビットの状態により次の動作をします。

DIO=0 : ホストが FDC ヘータを送る

- C-Phase のコマンド待ち
- Non-DMA ライトの E-Phase
- シーク系の E-Phase

ホストが FDC にデータを書き込むと RQM=0 になります。その後 FDC がそのデータを引くと RQM=1 になります。

DIO=1 : FDC がホストヘータを送る

- R-Phase
- Non-DMA モード転送の E-Phase

FDC がデータ・レジスタにデータをセットすると RQM=1 になります。ホストがそのデータを読み取ると RQM=0 になります。

D6 Data Input/Output (スタンダード FDD モードと同じ)

ホストと FDC の間でやりとりするデータ方向を示します。

DIO=0 : ホスト → FDC の方向

DIO=1 : FDC → ホストの方向

D5 Non-DMA Mode (スタンダード FDD モードと同じ)

Non-DMA モードのデータ転送中 (E-Phase) を示します。C-Phase, R-Phase ではこのビットは 0 です。

D4 FDC Busy (スタンダード FDD モードと同じ)

C-Phase, R-Phase またはリード/ライト系コマンドの E-Phase であることを示します (シーク系 E-Phase では CB=1 になりません)。CB=1 のときは、次のコマンドを受け付けません。

D3 Drive 1 Installed

ドライブ1 (2台目) が接続されていることを示します。

D2 Drive 0 Installed

ドライブ0 (1台目) が接続されていることを示します。

D1 FDD 1 Busy (スタンダード FDD モードと同じ)

ドライブ1にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します (E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。

DO FDD 0 Busy (スタンダード FDD モードと同じ)

ドライブ0にシーク動作をさせているか、またはシーク動作終了の割り込みを保留中であることを示します (E-Phase)。このビットが1のとき、リード/ライト系コマンドの書き込みは禁止です。

3.7 データ・レジスタ [FIFO] (DTR) リード/ライト・レジスタ

D7	D6	D5	D4	D3	D2	D1	D0
DATA							
FIFO ディスエーブル							

リセット時の状態

データ・レジスタ (DTR) は、すべての動作モードで使用するコマンド書き込み、データ転送、リザルト・ステータス読み出しをするためのリード/ライト・レジスタです。

ホストは、C-Phase でSTR のRQM, DIO ビットをチェックしたのち、DTR にコマンド・バイトを書き込みます。R-Phase でも STR の RQM, DIO ビットをチェックしたのち、DTR からリザルト・ステータス・バイトを読み出します。

DTR は、16バイト FIFO で構成されており、リード/ライト系コマンドの E-Phase のデータ転送を行います。DMA, Non-DMA (割り込み (INT 信号) 処理, ソフトウェアによるポーリング) とともに FIFO が使用できます。また、CONFIGURE コマンドで、DMARQ 信号、または INT 信号の出力を FIFO 内のデータのバイト数によって調整することができます。

3.8 コンフィギュレーション・コントロール・レジスタ (CCR) ライト・レジスタ

	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	0	0	0	DRATE1	DRATE0
リセット時の状態	不定	不定	不定	不定	不定	不定	1	0

コンフィギュレーション・コントロール・レジスタ (CCR) は、PS/2モード、およびPC-ATモードで使用する書き込み専用レジスタです。また、CCRとDRRによるデータ転送レートの設定は、最後に書き込んだレジスタの値が有効になります。

CCRは、ハードウェア・リセットでのみ初期化されます。

D7-D2 Reserved

0を書き込んでください。

D1-D0 Data Rate Set

DRATE1, DRATE0ビットは、データ転送レートを設定します。表3-7にDRATE1, DRATE0ビットによるデータ転送レートの値を示します。これらのビットは、ソフトウェア・リセットでは変化しません。ハードウェア・リセットによってDRATE1=1, DRATE0=0になり、デフォルト値は250 Kbps (MFM) です。

500と489.6 Kbps, および1と1.25 Mbpsの切り替えは、SELECT DRIVE TYPE コマンドで行います。

表3-7 データ転送レート (CCR)

D1	D0	データ転送レート
DRATE1	DRATE0	
0	0	500/489.6 Kbps
0	1	300 Kbps
1	0	250 Kbps
1	1	1/1.25 Mbps

3.9 デジタル・インプット・レジスタ (DIR) リード・レジスタ

デジタル・インプット・レジスタ (DIR) は、PS/2 モード、および PC-AT モードで使用する読み出し専用レジスタです。DIR は、 $\overline{\text{DKCG}}$ 端子入力の状態などを示します。

DIR は、ハードウェア・リセットでのみ初期化されます。

3.9.1 DIR (PS/2 モードの場合)

	D7	D6	D5	D4	D3	D2	D1	D0
	DSKCHG	1	1	1	1	DRATE1	DRATE0	$\overline{\text{HDEN}}$
リセット時の状態	不定	不定	不定	不定	不定	不定	不定	不定

D7 Disk Change

アクティブ・ハイのビットです。ドライブ・インタフェースの $\overline{\text{DKCG}}$ 端子入力の状態を示します。ただし、 $\overline{\text{ENDKCG}}$ 端子入力が高レベルでないときには、D7-D0 ビットがハイ・インピーダンスになります。

D6-D3 Reserved

PS/2 モードのときは、常に 1 です。

D2-D1 Date Rate Set

DRATE1, DRATE0 ビットは、DRR、または CCR で設定された DRATE1, DRATE0 ビットを示します。

D0 High Density

HDEN=0 のとき 1 Mbps, または 500 Kbps, HDEN=1 のとき 300 Kbps, または 250 Kbps のデータ転送レートを示します。

3.9.2 DIR (PC-AT モードの場合)

	D7	D6	D5	D4	D3	D2	D1	D0
リセット時の状態	不定							

D7 Disk Change

アクティブ・ハイのビットです。ドライブ・インタフェースの \overline{DKCG} 端子入力の状態を示します。D6-D0 ビットは、ハイ・インピーダンスになります。ただし、 \overline{ENDKCG} 端子入力がロウ・レベルでないときには、D7-D0 ビットがハイ・インピーダンスになります。

D6-D0 Reserved

ハイ・インピーダンスです。

第4章 FIFO

4.1 FIFO 制御

4.1.1 FIFO オペレーション

μ PD72070 は FIFO を内蔵しており、FIFO を通してデータ転送できます。FIFO は16バイトで、DMARQ 信号のスレッシュホールド値はプログラマブルです。スレッシュホールドは、1バイトから16バイトの範囲で、 μ PD72070 の要求に対し、ホストがサービスを開始するまでのバイト数として定義されます。

ユーザは、スレッシュホールド・パラメータ (FIFOTHR) を、0H から FH の範囲で設定することができます (実際よりも1つ少ない)。スレッシュホールド値と FIFOTHR パラメータの関係は、スレッシュホールド値 = FIFOTHR + 1 で表されます。 μ PD72070 は、DMA コントローラのシングルとダイヤモンド転送をサポートできます。リセット後、FIFO は無効です。このリセット後、FIFO を使用する場合は、“CONFIGURE” コマンドを発行し、新たにパラメータを設定してください。FIFO オペレーションは、スレッシュホールドをコントロールすることにより有効利用できます。

FIFO の効果：オーバラン・エラー/アンダラン・エラーを引き起こさず、システム上の DMA 転送レートを拡大

C-Phase において、ステータス・レジスタの RQM=1 と DIO=0 をチェックすることによって、コマンドとそれらのパラメータは送られます。すべてのパラメータを受けたあと、有効状態を保持するために μ PD72070 は FIFO データをクリアします。そのあと E-Phase に入ります。

E-Phase において、 μ PD72070 は DMA コントローラのシングルとダイヤモンド転送をサポートできます。また、いくつかのデータ転送レートのシステムもサポートできます。

データ転送が正常、または異常終了したとき、 μ PD72070 は R-Phase に入ります。R-Phase の最初に INT 信号が生成されます (割り込み発生)。それぞれのコマンドのために、 μ PD72070 から指定されたりザルト・バイト^注を読み出す必要があります。

注 ステータス・レジスタの RQM=1 と DIO=1 を確認したあと、 μ PD72070 から読み出します。

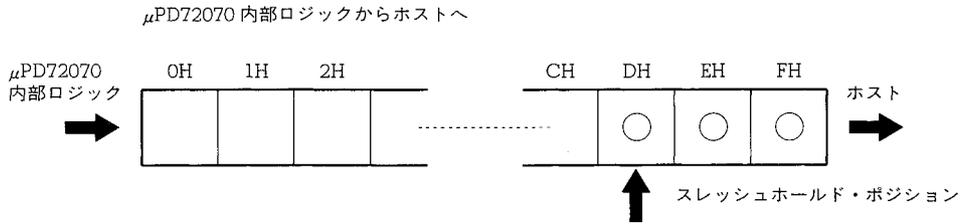
ホストがすべてのパラメータを読み出したあと、 μ PD72070 のステータス・レジスタは、RQM=1, DIO=0, CB=0 となって、R-Phase は終了します。

4.1.2 FIFO スレッシュホールド

FIFO を使用することにより、ホストはオーバラン・エラー、またはアンダラン・エラーを引き起こさずにサービス・レートを拡大することができます。ユーザは、目的にあわせてこのレートをプログラマブルに調整できます。“スレッシュホールド値 (FIFOTHR+1)” は、ホストが μ PD72070 の要求 (たとえば DMARQ 信号がアクティブ状態になるなど) により、 μ PD72070 からデータのサービス (ホストがデータ・レジスタ (FIFO) からデータをリード/ライト) を開始するまでの μ PD72070 への有効バイト数として定義されます。

(1) リード・データ転送

図 4-1 リード・データ転送時 DMARQ 信号がアクティブになったときの FIFO 状態
(スレッシュホールド値 (FIFOTHR+1) =DH)

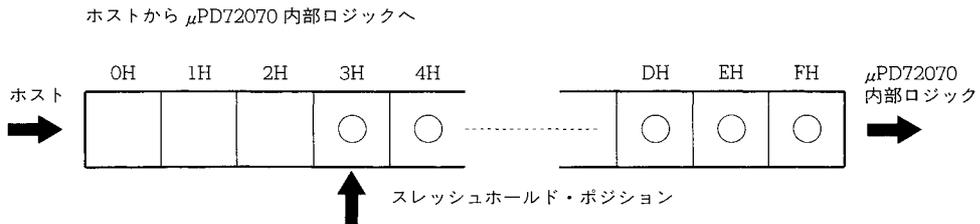


備考 ○：データが存在

μ PD72070 は FIFO にデータ・バイトを收容します。FIFO のデータの残りが3バイト (セルの空きが DH バイト) 以上のとき、 μ PD72070 は DMARQ 信号をアクティブ状態にし、ホストからのサービスを要求します。

(2) ライト・データ転送

図 4-2 ライト・データ転送時 DMARQ 信号がアクティブになったときの FIFO 状態
(スレッシュホールド値 (FIFOTHR+1) =DH)



備考 ○：データが存在

μPD72070 は FIFO からデータ・バイトを取り出します。FIFO のデータの残りが DH バイトになったとき、μPD72070 は DMARQ 信号をアクティブ状態にし、ホストからのサービスを要求します。

最大サービス遅延時間

サービス・レート (ホストから FDC へのサービス遅延時間) は、次の式によって定義されます。

$$\text{ディレイ} = \text{スレッシュホールド値} \times (8 \text{ ビット} / \text{データ・レート}) - 12 \times \text{内部クロック周期}$$

(スレッシュホールド値 = FIFOTHR + 1)

★

例 FIFOTHR=7, データ・レート=500 Kbps の場合

$$(7+1) \times (8 \text{ bit} / 0.5 \text{ Mbps}) - 12 \times 0.125 \mu\text{s} = 126.5 \mu\text{s}$$

4.1.3 DMA モード

DMA 転送モードは、2 種類あります

- シングル転送モード
- デイマンド転送モード

図 4-3 シングル転送モード

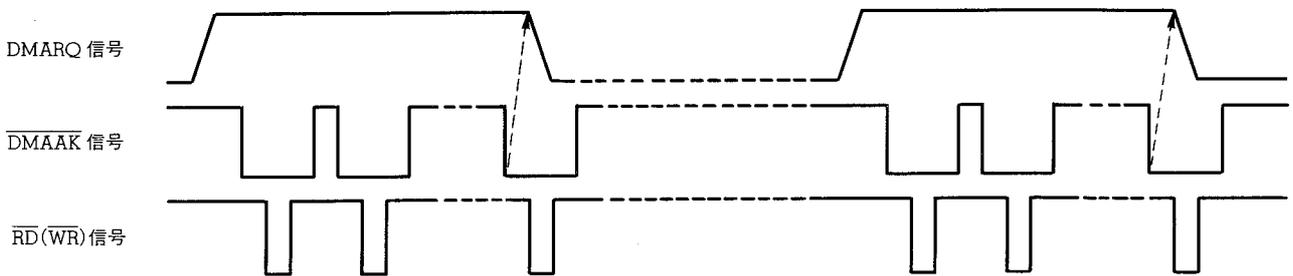


図 4-4 デイマンド転送モード

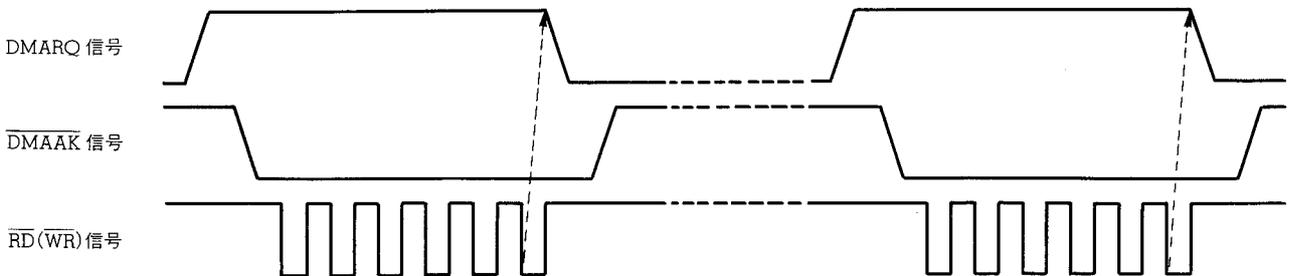


図 4-5 FIFO リード・データ転送 (ex. スレッシュホールド値 (FIFOTHR+1) = DH)

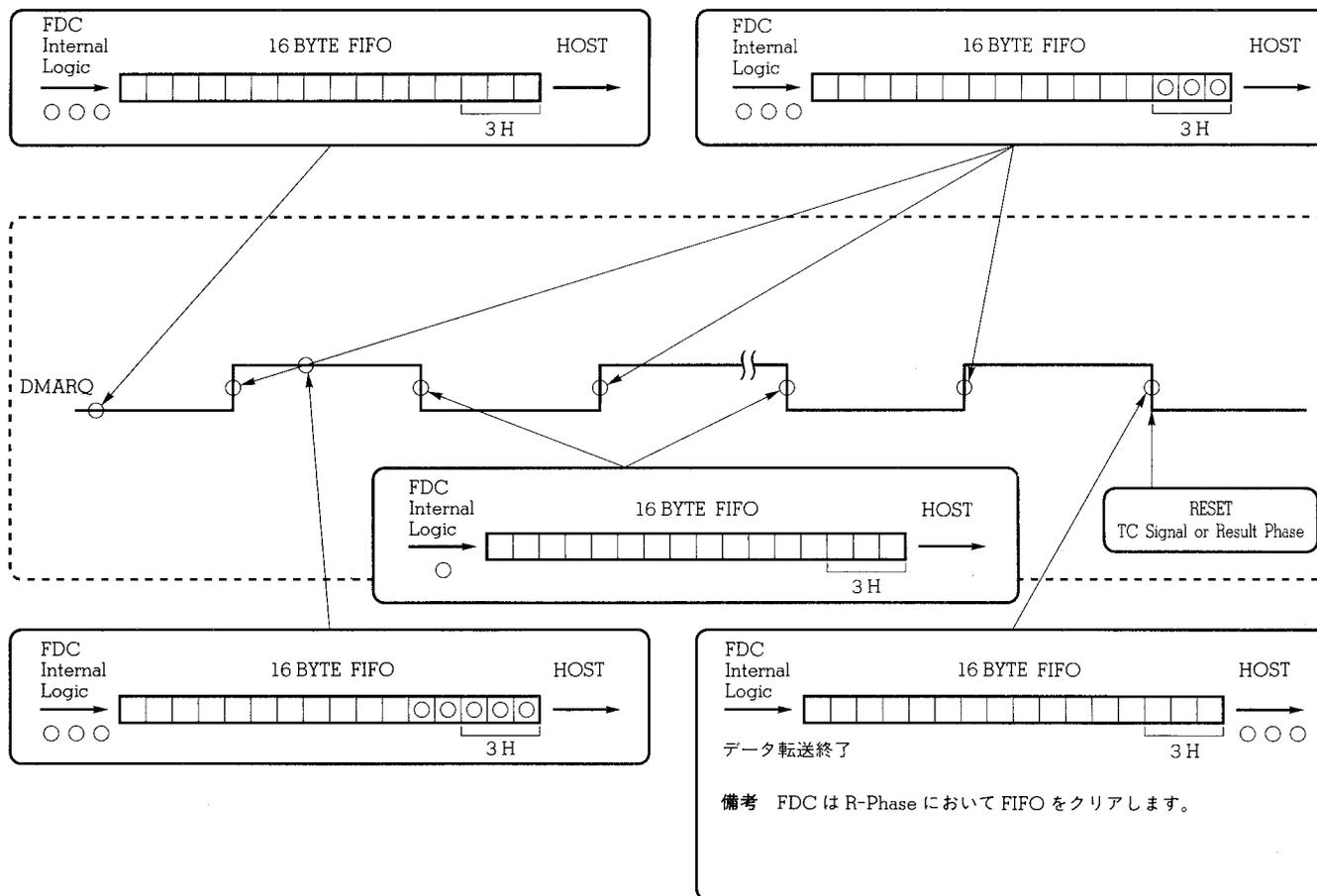
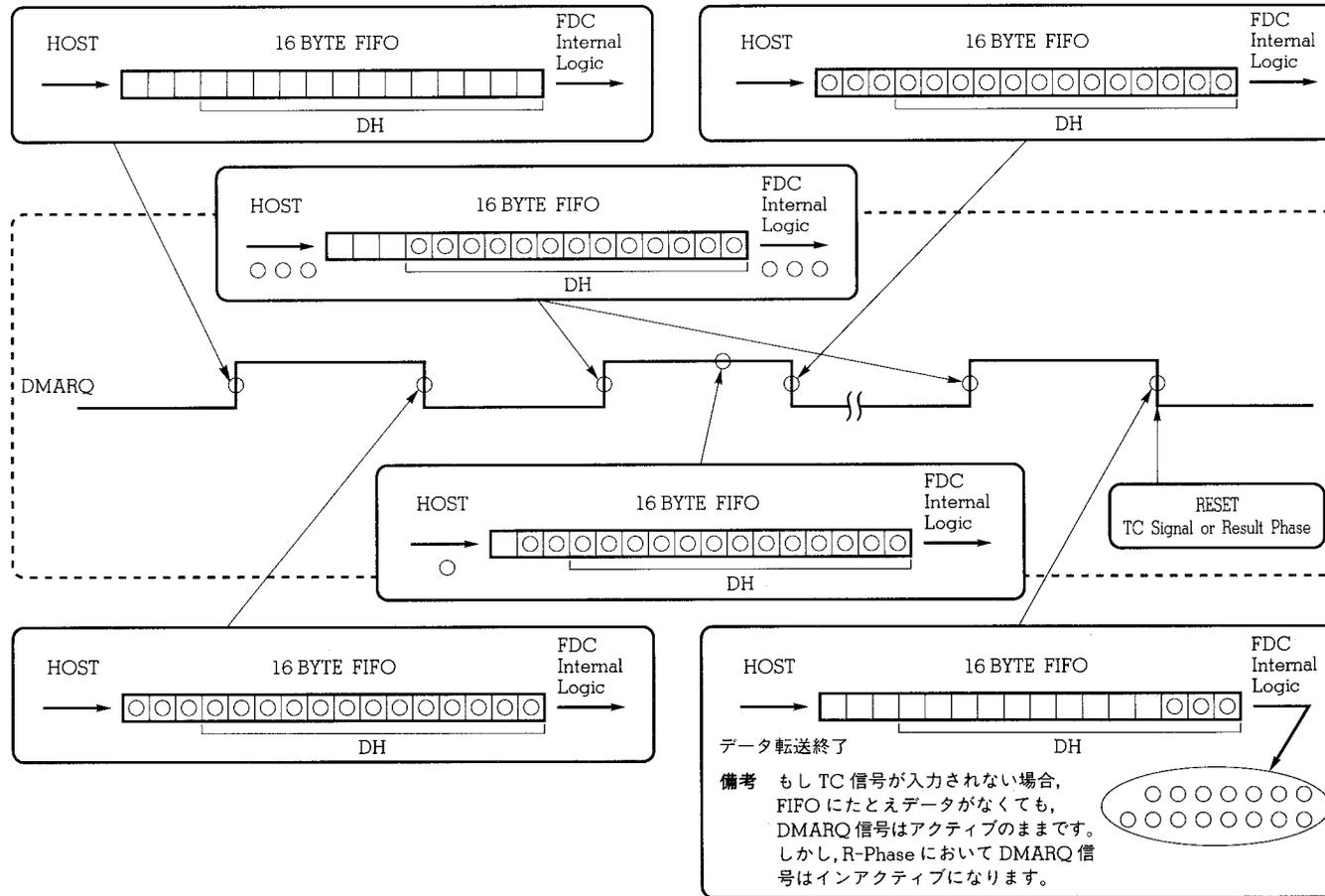


図 4-6 FIFO ライト・データ転送 (ex. スレッシュホールド値 (FIFOTHR+1) = DH)



(1) μ PD72070 からホストへのデータ転送 (リード・データ転送)

FIFO におけるバイト数が $\langle 16 - \text{FIFOTHR} \rangle$ 以上のとき

DMARQ 信号がアクティブ状態になります。 μ PD72070 のリクエストによって、DMA コントローラは FIFO からホストにデータ転送を開始します。FIFO が空になったとき、 μ PD72070 は DMARQ 信号をインアクティブ状態にします。DMA コントローラのシングル転送モードにおけるデータ転送の最後のバイトの $\overline{\text{DMAAK}}$ 信号がアクティブ状態になったあと、または DMA コントローラのデマンド転送モードにおける最後のバイトの $\overline{\text{RD}}$ 信号のアクティブ・エッジのあとに、DMARQ 信号は、インアクティブ状態になります。

(2) ホストから μ PD72070 へのデータ転送 (ライト・データ転送)

FIFO におけるバイト数が FIFOTHR 以下のとき

DMARQ 信号がアクティブ状態になります。 μ PD72070 のリクエストによって、DMA コントローラはホストから FIFO にデータ転送を開始します。FIFO がフルになったとき、 μ PD72070 は DMARQ 信号をインアクティブ状態にします。DMA コントローラのシングル転送モードにおけるデータ転送の最後のバイトの $\overline{\text{DMAAK}}$ 信号がアクティブ状態になったあと、または DMA コントローラのデマンド転送モードにおける最後のバイトの $\overline{\text{WR}}$ 信号のアクティブ・エッジのあとに、DMARQ 信号はインアクティブ状態になります。

4.1.4 Non-DMA モード**(1) μ PD72070 からホストへのデータ転送 (リード・データ転送)**

DMA モードにおける DMARQ 信号が INT 信号に変わるだけで、基本的な動作は DMA モードと同様です。

FIFO におけるバイト数が $\langle 16 - \text{スレッシュホールド値 (FIFOTHR} + 1) \rangle$ 以上のとき

INT 信号とメイン・ステータス・レジスタの RQM ビットがアクティブ状態になります。 μ PD72070 のリクエストによって、ホストは FIFO からデータ読み出しを開始する必要があります。FIFO が空になるまで、この動作は繰り返されます。FIFO が空になったとき、INT 信号と RQM ビットは、インアクティブ状態になります。

(2) ホストから μ PD72070 へのデータ転送 (ライト・データ転送)

DMA モードにおける DMARQ 信号が INT 信号に変わるだけで、基本的な動作は DMA モードと同様です。

FIFO におけるバイト数が $\langle \text{スレッシュホールド値 (FIFOTHR} + 1) \rangle$ 以下のとき

INT 信号とメイン・ステータス・レジスタの RQM ビットがアクティブ状態になります。 μ PD72070 のリクエストによって、ホストは FIFO にデータ書き込みを開始する必要があります。FIFO がフルになるまで、この動作は繰り返されます。FIFO がフルになったとき、INT 信号と RQM ビットは、インアクティブ状態になります。

4.2 TC 信号入カタイミングについて

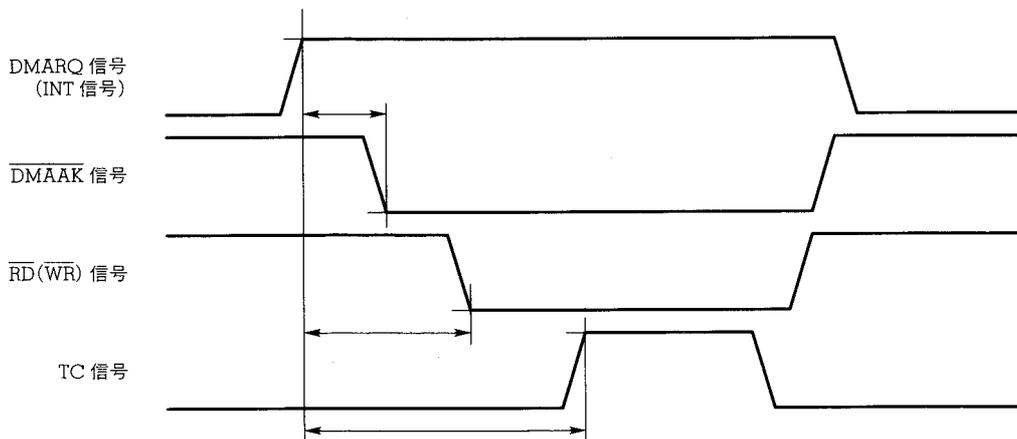
4.2.1 FIFO 未使用時のホストのサービスについて

データ転送時、INT 信号または DMARQ 信号による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は $\overline{RD}/\overline{WR}$ 信号、DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

通常、FIFO を使用しない場合には、従来どおりデータ・レジスタを 1 バイト使用してデータ転送を行います。その際のオーバーランを発生させないための各スペックは次のとおりです。

図 4-7 ホスト・サービス・スペック (FIFO を使用しない場合)



(1) READ (DELETED) DATA コマンド

データ読み出し応答最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

TC 信号入力最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	4.4 μ s
1.0 Mbps	13.5 μ s	5.5 μ s
500 Kbps	27.0 μ s	11.0 μ s
300 Kbps	45.0 μ s	18.4 μ s
250 Kbps	54.0 μ s	22.0 μ s

(2) WRITE (DELETED) DATA

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	9.0 μ s	4.5 μ s
1.0 Mbps	10.0 μ s	5.5 μ s
500 Kbps	23.0 μ s	11.0 μ s
300 Kbps	38.0 μ s	18.5 μ s
250 Kbps	46.0 μ s	22.0 μ s

TC 信号入力最大時間

	FM	MFM
1.25 Mbps	10.4 μ s	4.0 μ s
1.0 Mbps	13.0 μ s	5.0 μ s
500 Kbps	26.0 μ s	10.0 μ s
300 Kbps	43.3 μ s	16.7 μ s
250 Kbps	52.0 μ s	20.0 μ s

(3) READ A TRACK

データ読み出し応答最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

(4) SCAN EQUAL/LOW OR EQUAL/HIGH OR EQUAL

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

(5) FORMAT A TRACK

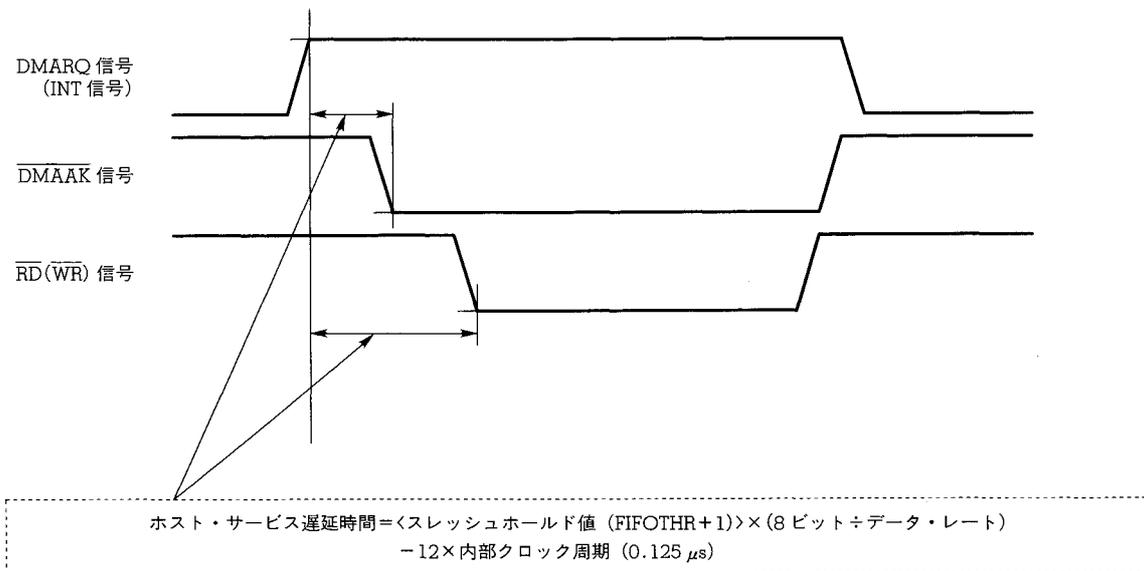
データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	9.0 μ s	4.5 μ s
1.0 Mbps	10.0 μ s	5.5 μ s
500 Kbps	23.0 μ s	11.0 μ s
300 Kbps	38.0 μ s	18.5 μ s
250 Kbps	46.0 μ s	22.0 μ s

4.2.2 FIFO 使用時のホストのサービスについて

FIFO 使用時は CONFIGURE コマンドにおける FIFOTHR パラメータにより、ホストはサービスを遅らせることができるようになります。

図 4-8 ホスト・サービス・スペック (FIFO を使用する場合)



FIFO を使用することにより、このような効果があります。

4.2.3 FIFO 使用時の TC 信号入カタイミングについて (DMA モード)

図 4-9 に FIFO 使用時の TC 信号の入カタイミングを示します。

図 4-9 FIFO 使用時の TC 信号の入カタイミング

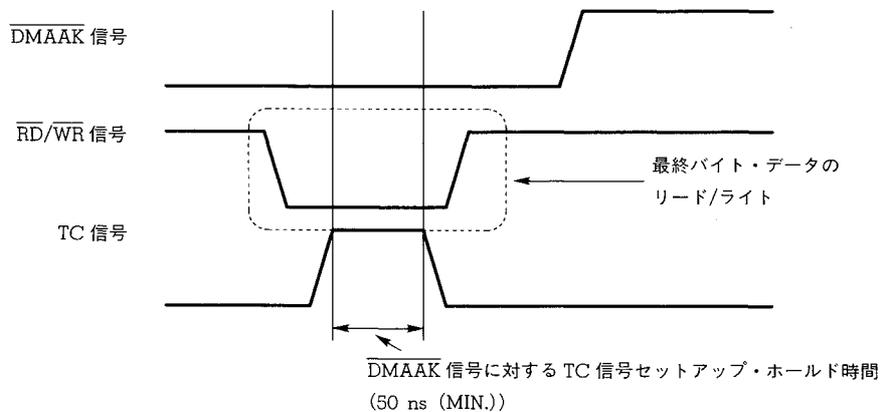


図4-9に示したように、次の条件を満たすようにしてください。

- (1) $\overline{\text{DMAAK}}$ 信号に対して、TC 信号はセットアップ・ホールド時間 50 ns (MIN.) を満たす。
- (2) ホスト・サービス遅延時間内。

4.2.4 Non-DMA モードにおける TC 信号について

ホスト・インタフェース・モードが PS/2、PC-AT モードの場合には、 $\overline{\text{DMAAK}}$ 信号がアクティブのときに TC 信号を入力してください。 $\overline{\text{DMAAK}}$ 信号が有効でないときに TC 信号を入力した場合、 $\mu\text{PD72070}$ は異常終了して EN ビットをセットし、ホストにエラーを報告します。また、通常 Non-DMA モードにおいては、 $\overline{\text{DMAAK}}$ 信号は使用しません。

保守 / 廃止

第5章 パワー・ダウン機能

5.1 スタンバイ・イン

μPD72070 は、スタンバイ・モードをサポートしています。スタンバイ・モードにおいて、μPD72070 は、内部 RAM、PORT などの情報および出力端子の状態を保持します。

μPD72070 は、データ・レート・レジスタの STDBY (D6 ビット) に “1” を書き込むことにより、スタンバイ・モードに移行します。

表 5-1 データ・レート・レジスタ (DRR)

D7	D6	D5	D4	D3	D2	D1	D0
S/W RST	STDBY	0	PCS2	PCS1	PCS0	DRATE1	DRATE0

5.2 スタンバイ・アウト (オート・ウェイクアップ機能)

次のような事項により、スタンバイ・モードを解除できます。

- (1) ハードウェア・リセット
- (2) ソフトウェア・リセット
- (3) ステータス・レジスタ (STR) へのアクセス
- (4) データ・レジスタ (DTR) へのアクセス

表 5-2 スタンバイ・モードにおけるステータス・レジスタの状態

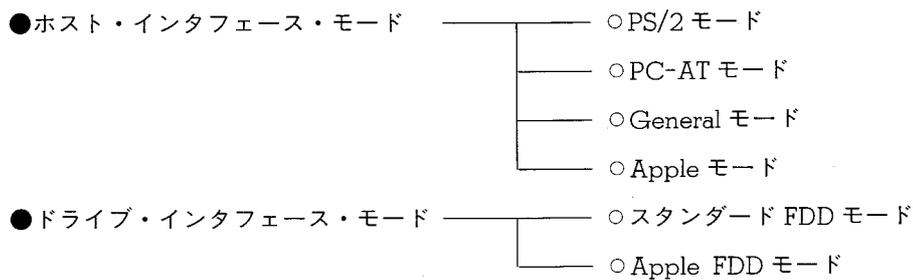
FDC の状態	スタンバイ・モード	スタンバイ・モードからウェイクアップしたとき
ステータス・レジスタ (STR)	00H	80H

保守 / 廃止

第6章 動作モード

6.1 動作モード概要と特徴比較

μPD72070 には、次の動作モードがあります。



6.1.1 ホスト・インタフェース・モード

ホスト・インタフェースにおけるモードの設定は、PCTYP1, PCTYP0 端子入力で行います。これらの端子は、ダイレクトに変化させて動作モードを切り替えることはできません。したがって、この端子は必ず固定してください。

また、それぞれのモードにより使用できるホスト・インタフェース・レジスタが異なります。

表 6-1 にホスト・インタフェース・モードの設定を示します。

表 6-1 ホスト・インタフェース・モードの設定

動作モード	PCTYP1	PCTYP0
PS/2	L	L
PC-AT	L	H
General	H	L
Apple	H	H

(1) PS/2 モード (PCTYP1=L, PCTYP0=L)

PS/2 モデル 50/60/80 に対応したホスト・インタフェース・レジスタが使用できます。また、TC 端子出力信号、および $\overline{\text{DEN0}}$ 端子出力信号がアクティブ・ロウになり、デジタル・アウトプット・レジスタの DMAEN ビットの値に関係なく、INT 端子出力信号と DMARQ 端子出力信号は常に有効です。

(2) PC-AT モード (PCTYP1=L, PCTYPO=H)

PC-AT に対応したホスト・インタフェース・レジスタを使用できます。また、TC 端子出力信号、および $\overline{\text{DEN0}}$ 端子出力信号がアクティブ・ハイになり、デジタル・アウトプット・レジスタの DMAEN ビットの値によって、INT 端子出力信号と DMARQ 端子出力信号がハイ・インピーダンスになります。

(3) General モード (PCTYP1=H, PCTYPO=L)

データ・レート・レジスタの設定（データ転送レート、プリコンペンセーション量などの設定）を追加するだけで、 μPD765A で使用していたソフトウェアを使用することができます。

(4) Apple モード (PCTYP1=H, PCTYPO=H)

ホスト・インタフェースの RESET 端子信号がアクティブ・ロウになると General モードと同じ機能になります。

6.1.2 ドライブ・インタフェース・モード

$\mu\text{PD72070}$ は、従来の FDD に加えてアップルコンピュータ社の Macintosh™ で使用される FDD (Apple FDD) が使用できます。このモードの切り替えは、SELECT DRIVE TYPE コマンドで行います。また、リセット・デフォルトは、スタンダード FDD モード (SELECT DRIVE TYPE のパラメータ D1=0, D0=0) になります。

(1) スタンダード FDD モード

リセット後、必ずこのモード (SELECT DRIVE TYPE のパラメータ D1=0, D0=0) になります。このモードは、 μPD765A のソフトウェアと上位互換であり、MFM/FM 記録方式の 13 MB FDD までサポートできます。ただし、13 MB FDD の使用の場合は、SELECT DRIVE TYPE のパラメータ D1=0, D0=1 に設定してください。

このモードで使用できる FDD

- 1 M/1.6 M/2 MB FDD (従来の FDD)
- 垂直磁化記録方式 4 MB FDD
- 13 MB FDD (例 FD1335 (NEC))

(2) Apple FDD モード

スタンダード FDD モードから、SELECT DRIVE TYPE コマンド (D1=1, D0=1) を実行することにより、このモードに移行できます。

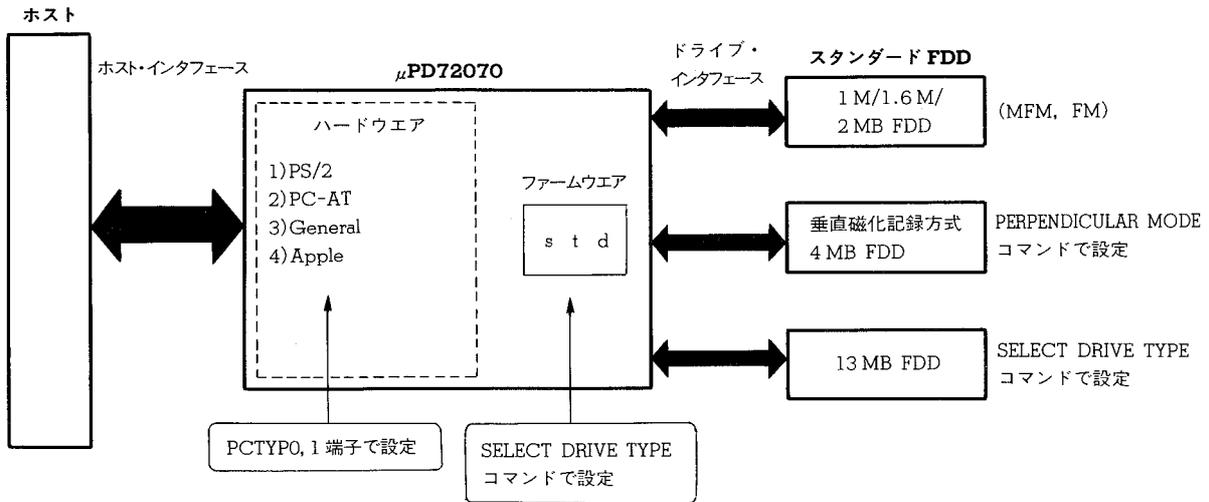
このモードでは、アップルコンピュータ社 Macintosh で使用される FDD を最大 2 台までサポートできます。また、記録方式は MFM 方式に加え GCR 方式もサポートします。

このモードで使用できる FDD

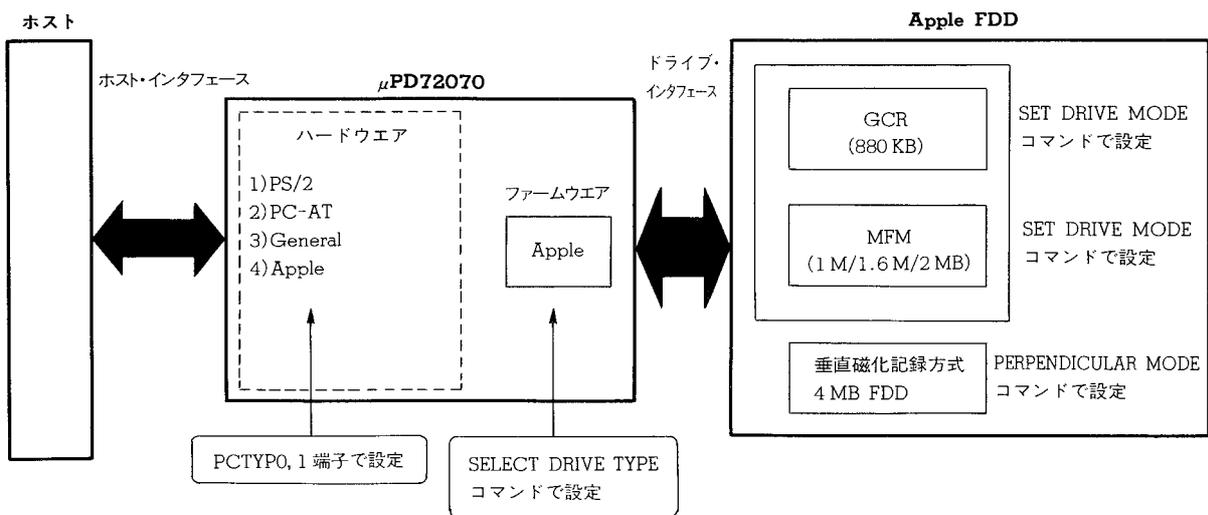
- Apple FDD
 - GCR フォーマット (800 KB)
 - MFM フォーマット (1 M/1.6 M/2 MB)
 - 垂直磁化記録方式 4 MB FDD

6.1.3 動作モードと FDD の関係

(1) スタンダード FDD モードの場合



(2) Apple FDD モードの場合



6.2 ホスト・インタフェース・モード

6.2.1 PS/2 モード

(1) PS/2 モードのレジスタ構成

PS/2 モードで使用可能なレジスタを表 6-2 に示します。

表 6-2 PS/2 モードのレジスタ選択

動作モード	PCTYP1	PCTYP0	\overline{CS}	A2	A1	A0	R/W	レ ジ ス タ
PS/2	L	L	L	L	L	L	R	ステータス・レジスタ A
	L	L	L	L	L	H	R	ステータス・レジスタ B
	L	L	L	L	H	L	R/W	デジタル・アウトプット・レジスタ
	L	L	L	L	H	H	R/W	テープ・ドライブ・レジスタ
	L	L	L	H	L	L	W	データ・レート・レジスタ
	L	L	L	H	L	L	R	ステータス・レジスタ
	L	L	L	H	L	H	R/W	データ・レジスタ
	L	L	L	H	H	H	W	コンフィギュレーション・コントロール・レジスタ
	L	L	L	H	H	H	R	デジタル・インプット・レジスタ

(2) PS/2 モード時のデータ転送レートの設定

データ転送レートの設定は、次のどちらかのレジスタで行います。

- データ・レート・レジスタ (DRR)
 - ・D1 (DRATE1) ビット
 - ・D0 (DRATE0) ビット
- コンフィギュレーション・レジスタ (CCR)
 - ・D1 (DRATE1) ビット
 - ・D0 (DRATE0) ビット

DRR と CCR によるデータ転送レートの設定は、最後に書き込んだレジスタの値が有効になります。DRR は、ハードウェア・リセットでのみ初期化されます。

表 6-3 にデータ転送レートと $\overline{\text{DEN1}}$, $\overline{\text{DEN0}}$ の関係を示します。

表 6-3 PS/2 モード時のデータ転送レート

13 MBFDD				4 MBFDD				1/2 MBFDD				データ転送レート
D1	D0	$\overline{\text{DEN1}}$	$\overline{\text{DEN0}}$	D1	D0	$\overline{\text{DEN1}}$	$\overline{\text{DEN0}}$	D1	D0	$\overline{\text{DEN1}}$	$\overline{\text{DEN0}}$	
0	0	L	L	0	0	H	L	0	0	H	L	500/489.6 Kbps
0	1	H	H	0	1	L	H	0	1	H	H	300 Kbps
1	0	H	H	1	0	L	H	1	0	H	H	250 Kbps
1	1	H	L	1	1	L	L	1	1	H	L	1/1.25 Mbps

(3) PS/2 モード時の書き込み補償量

データ・レート・レジスタ (DRR) の PCS2-PCS0 ビットにおいて、 $\overline{\text{WDATA}}$ 信号の書き込み補償量を設定します。

表 6-4 に PCS2-PCS0 ビットによる書き込み補償量の値、表 6-5 にリセット・デフォルトの値を示します。書き込み補償量は、システムの互換性やドライブ/メディアの種類などにより異なります。

表 6-4 PS/2 モード時の書き込み補償量

D4	D3	D2	書き込み補償量 (ns)	
			1M/500K/300K/250 Kbps	1.25 Mbps
0	0	0	リセット・デフォルト ^注	
0	0	1	41.7	50
0	1	0	83.3	100
0	1	1	125.0	150
1	0	0	166.7	200
1	0	1	208.3	250
1	1	0	250.0	300
1	1	1	0.0	0.0

注 リセット・デフォルトの値は、500, 250 Kbps が PC/AT のアプリケーション、1, 1.25 Mbps はドライブの仕様を考慮したものです。

表 6-5 リセット・デフォルトの書き込み補償量 (PS/2 モード時)

データ転送レート	書き込み補償量 (ns)
1 Mbps	41.7
500 Kbps	125.0
300 Kbps	125.0
250 Kbps	125.0
1.25 Mbps	50.0

6.2.2 PC-AT モード

(1) PC-AT モードのレジスタ構成

PC-AT モードで使用可能なレジスタを表 6-6 に示します。

表 6-6 PC-AT モードのレジスタ選択

動作モード	PCTYP1	PCTYP0	\overline{CS}	A2	A1	A0	R/W	レジスタ
PC-AT	L	H	L	L	H	L	R/W	デジタル・アウトプット・レジスタ
	L	H	L	L	H	H	R/W	テープ・ドライブ・レジスタ
	L	H	L	H	L	L	W	データ・レート・レジスタ
	L	H	L	H	L	L	R	ステータス・レジスタ
	L	H	L	H	L	H	R/W	データ・レジスタ
	L	H	L	H	H	H	W	コンフィギュレーション・コントロール・レジスタ
	L	H	L	H	H	H	R	デジタル・インプット・レジスタ

(2) PC-AT モード時のデータ転送レートの設定

データ転送レートの設定は、次のどちらかのレジスタで行います。

- データ・レート・レジスタ (DRR)
 - ・D1 (DRATE1) ビット
 - ・D0 (DRATE0) ビット
- コンフィギュレーション・レジスタ (CCR)
 - ・D1 (DRATE1) ビット
 - ・D0 (DRATE0) ビット

DRR と CCR によるデータ転送レートの設定は、最後に書き込んだレジスタの値が有効になります。DRR は、ハードウェア・リセットでのみ初期化されます。

表 6-7 にデータ転送レートと $\overline{DEN1}$, $\overline{DEN0}$ の関係を示します。

表 6-7 PC-AT モード時のデータ転送レート

13 MBFDD				4 MBFDD				1/2 MBFDD				データ転送レート
D1	D0	$\overline{DEN1}$	$\overline{DEN0}$	D1	D0	$\overline{DEN1}$	$\overline{DEN0}$	D1	D0	$\overline{DEN1}$	$\overline{DEN0}$	
0	0	L	L	0	0	H	L	0	0	H	H	500/489.6 Kbps
0	1	H	L	0	1	L	L	0	1	H	L	300 Kbps
1	0	H	L	1	0	L	L	1	0	H	L	250 Kbps
1	1	H	H	1	1	L	H	1	1	H	L	1/1.25 Mbps

(3) PC-AT モード時の書き込み補償量

データ・レート・レジスタ (DRR) の PCS2-PCS0 ビットにおいて、 $\overline{\text{WDATA}}$ 信号の書き込み補償量を設定します。

表 6-8 に PCS2-PCS0 ビットによる書き込み補償量の値、表 6-9 にリセット・デフォルトの値を示します。

書き込み補償量は、システムの互換性やドライブ/メディアの種類などにより異なります。

表 6-8 PC-AT モード時の書き込み補償量

D4	D3	D2	書き込み補償量 (ns)	
			1M/500K/300K/250Kbps	1.25 Mbps
0	0	0	リセット・デフォルト ^注	
0	0	1	41.7	50
0	1	0	83.3	100
0	1	1	125.0	150
1	0	0	166.7	200
1	0	1	208.3	250
1	1	0	250.0	300
1	1	1	0.0	0.0

注 リセット・デフォルトの値は、500, 250 Kbps が PC/AT のアプリケーション、1, 1.25 Mbps はドライブの仕様を考慮したものです。

表 6-9 リセット・デフォルトの書き込み補償量 (PC-AT モード時)

データ転送レート	書き込み補償量 (ns)
1 Mbps	41.7
500 Kbps	125.0
300 Kbps	125.0
250 Kbps	125.0
1.25 Mbps	50.0

6.2.3 General モード

(1) General モードのレジスタ構成

General モードで使用可能なレジスタを表 6-10 に示します。

表 6-10 General モードのレジスタ選択

動作モード	PCTYP1	PCTYP0	\overline{CS}	A2	A1	A0	R/W	レジスタ
General	H	L	L	H	L	L	W	データ・レート・レジスタ
	H	L	L	H	L	L	R	ステータス・レジスタ
	H	L	L	H	L	H	R/W	データ・レジスタ

(2) General モード時のデータ転送レートの設定

データ転送レートの設定は、次のどちらかのレジスタで行います。

○データ・レート・レジスタ (DRR)

- D1 (DRATE1) ビット
- D0 (DRATE0) ビット

DRR は、ハードウェア・リセットでのみ初期化されます。

表 6-11 にデータ転送レートと $\overline{DEN1}$ 、 $\overline{DEN0}$ の関係を示します。

表 6-11 General モード時のデータ転送レート

13 MBFDD				4 MBFDD				1/2 MBFDD				データ転送レート
D1	D0	$\overline{DEN1}$	$\overline{DEN0}$	D1	D0	$\overline{DEN1}$	$\overline{DEN0}$	D1	D0	$\overline{DEN1}$	$\overline{DEN0}$	
0	0	L	L	0	0	H	L	0	0	H	H	500/489.6 Kbps
0	1	H	L	0	1	L	L	0	1	H	L	300 Kbps
1	0	H	L	1	0	L	L	1	0	H	L	250 Kbps
1	1	H	H	1	1	L	H	1	1	H	L	1/1.25 Mbps

(3) General モード時の書き込み補償量

データ・レート・レジスタ (DRR) の PCS2-PCS0 ビットにおいて、 $\overline{\text{WDATA}}$ 信号の書き込み補償量を設定します。表 6-12 に PCS2-PCS0 ビットによる書き込み補償量の値、表 6-13 にリセット・デフォルトの値を示します。

書き込み補償量は、システムの互換性やドライブ/メディアの種類などにより異なります。

表 6-12 General モード時の書き込み補償量

D4	D3	D2	書き込み補償量 (ns)	
			1M/500K/300K/250Kbps	1.25 Mbps
0	0	0	リセット・デフォルト ^注	
0	0	1	41.7	50
0	1	0	83.3	100
0	1	1	125.0	150
1	0	0	166.7	200
1	0	1	208.3	250
1	1	0	250.0	300
1	1	1	0.0	0.0

注 リセット・デフォルトの値は、500, 250 Kbps が PC/AT のアプリケーション、1, 1.25 Mbps はドライブの仕様を考慮したものです。

表 6-13 リセット・デフォルトの書き込み補償量 (General モード時)

データ転送レート	書き込み補償量 (ns)
1 Mbps	41.7
500 Kbps	125.0
300 Kbps	125.0
250 Kbps	125.0
1.25 Mbps	50.0

6.2.4 Apple モード

(1) Apple モードのレジスタ構成

Apple モードで使用可能なレジスタを表 6-14 に示します。

表 6-14 Apple モードのレジスタ選択

動作モード	PCTYP1	PCTYP0	\overline{CS}	A2	A1	A0	R/W	レジスタ
Apple	H	H	L	H	L	L	W	データ・レート・レジスタ
	H	H	L	H	L	L	R	ステータス・レジスタ
	H	H	L	H	L	H	R/W	データ・レジスタ

(2) Apple モード時のデータ転送レートの設定

データ転送レートの設定は、次のどちらかのレジスタで行います。

○データ・レート・レジスタ (DRR)

- D1 (DRATE1) ビット
- D0 (DRATE0) ビット

DRR は、ハードウェア・リセットでのみ初期化されます。

表 6-15 にデータ転送レートと $\overline{DEN1}$ 、 \overline{DENO} の関係を示します。

表 6-15 Apple モード時のデータ転送レート

13 MBFDD				4 MBFDD				1/2 MBFDD				データ転送レート
D1	D0	$\overline{DEN1}$	\overline{DENO}	D1	D0	$\overline{DEN1}$	\overline{DENO}	D1	D0	$\overline{DEN1}$	\overline{DENO}	
0	0	L	L	0	0	H	L	0	0	H	H	500/489.6 Kbps
0	1	H	L	0	1	L	L	0	1	H	L	300 Kbps
1	0	H	L	1	0	L	L	1	0	H	L	250 Kbps
1	1	H	H	1	1	L	H	1	1	H	L	1/1.25 Mbps

(3) Apple モード時の書き込み補償量

データ・レート・レジスタ (DRR) の PCS2-PCS0 ビットにおいて、 $\overline{\text{WDATA}}$ 信号の書き込み補償量を設定します。

表 6-16 に PCS2-PCS0 ビットによる書き込み補償量の値、表 6-17 にリセット・デフォルトの値を示します。書き込み補償量は、システムの互換性やドライブ/メディアの種類などにより異なります。

表 6-16 Apple モード時の書き込み補償量

D4	D3	D2	書き込み補償量 (ns)	
			1M/500K/300K/250 Kbps	1.25 Mbps
0	0	0	リセット・デフォルト ^注	
0	0	1	41.7	50
0	1	0	83.3	100
0	1	1	125.0	150
1	0	0	166.7	200
1	0	1	208.3	250
1	1	0	250.0	300
1	1	1	0.0	0.0

注 リセット・デフォルトの値は、500, 250 Kbps が PC/AT のアプリケーション、1, 1.25 Mbps はドライブの仕様を考慮したものです。

表 6-17 リセット・デフォルトの書き込み補償量 (Apple モード時)

データ転送レート	書き込み補償量 (ns)
1 Mbps	41.7
500 Kbps	125.0
300 Kbps	125.0
250 Kbps	125.0
1.25 Mbps	50.0

6.3 ドライブ・インタフェース・モード

6.3.1 スタンダード FDD モード

従来の FDD をご使用になる場合は、このモードを使用してください。従来の FDD とは、1 M/1.6 M/2 MB FDD、垂直磁化記録方式 4 MB FDD、13 MB FDD のことを指します。

リセット後には、必ずこのドライブ・インタフェース・モードになります。このモードは、 μ PD765A のソフトウェアと上位互換であり、MFM/FM 記録方式の 13 MB FDD までサポートできます。ただし、13 MB FDD ご使用の場合は、SELECT DRIVE TYPE のパラメータを D1=0, D0=1 に設定してください。

このモードにおける詳細な説明（使用可能なコマンド、コマンド説明など）は、**第11章 スタンダード FDD モード**を参照してください。

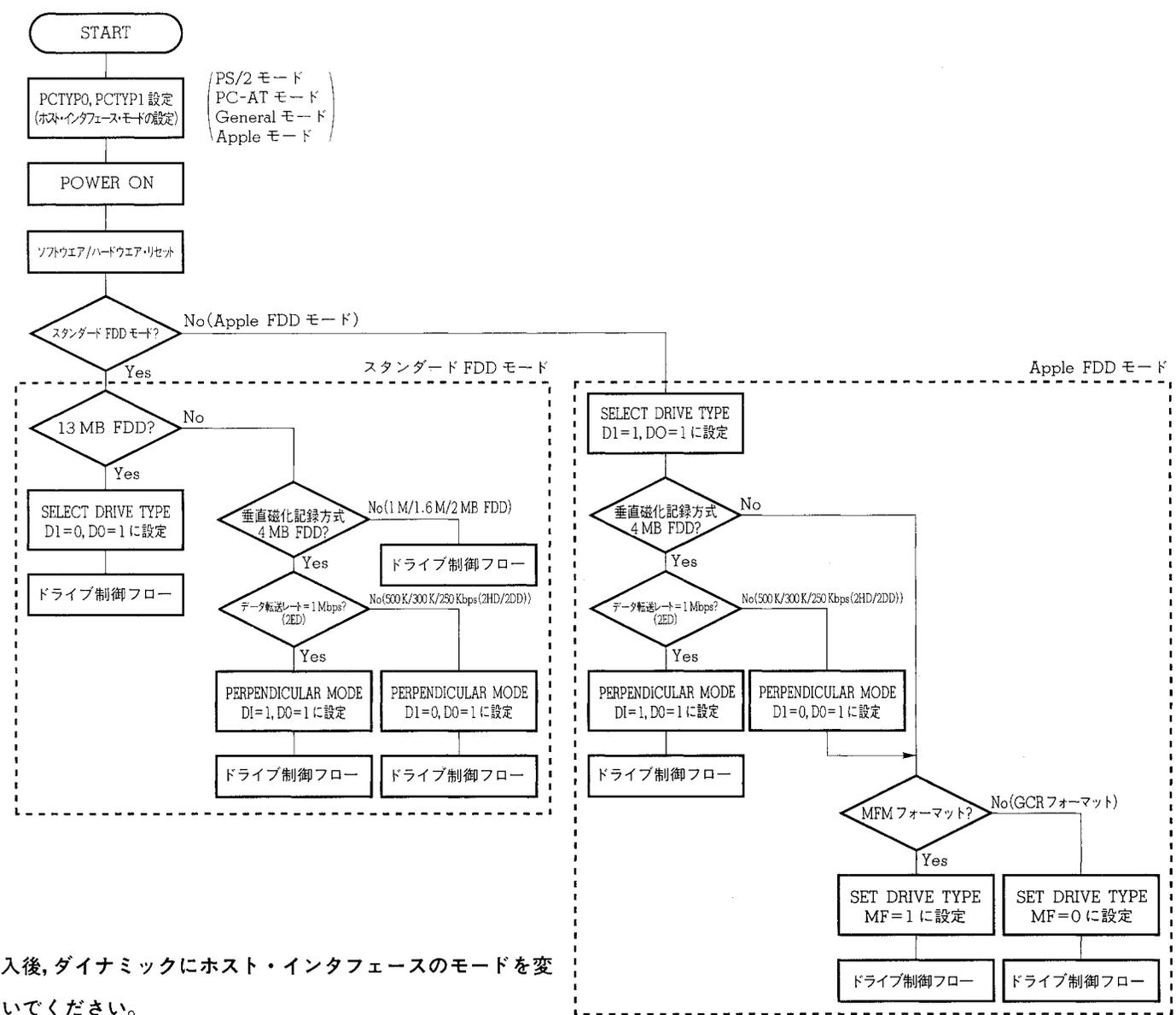
6.3.2 Apple FDD モード

Apple FDD をご使用になる場合は、このモードを使用してください。Apple FDD は、従来の FDD インタフェース、オペレーションと異なります。

スタンダード FDD モードから、SELECT DRIVE TYPE コマンド (D1=1, D0=1) を実行することにより、このモードに移行することができます。

このモードにおける詳細な説明（使用可能なコマンド、コマンド説明など）は、**第12章 Apple FDD モード**を参照してください。

6.4 各モードの移行手順



注意 電源投入後、ダイナミックにホスト・インタフェースのモードを変更しないでください。

第7章 ドライブ・スキャンについて

μ PD72070の $\overline{\text{DKCG/READY}}$ 信号は、 $\overline{\text{READY}}$ 信号、および $\overline{\text{DKCG}}$ 信号の機能をサポートしています。この信号の切り替えは $\overline{\text{ENDKCG}}$ 信号で行います。

また、従来の μ PD765A の仕様である $\overline{\text{READY}}$ 信号のドライブ・スキャンは、ホスト・インタフェース・モード (PCTYP0, PCTYP1) で設定します。表7-1を参照してください。

表7-1 モード別ドライブ・スキャン

ホスト・モード	PCTYP1	PCTYP0	ドライブ・スキャン	$\overline{\text{DKCG/READY}}$	$\overline{\text{ENDKCG}}$
PS/2	L	L	×	$\overline{\text{DKCG}}$	LOW
PC-AT	L	H			
General	H	L	○	$\overline{\text{READY}}$	HIGH
Apple	H	H			

注意 PS/2 モード, PC-AT モードで、 $\overline{\text{ENDKCG}}$ 信号をインアクティブにして $\overline{\text{DKCG/READY}}$ 信号を $\overline{\text{READY}}$ 信号として使用しないでください。また、General モード, Apple モードにおいて $\overline{\text{DKCG/READY}}$ 信号を $\overline{\text{DKCG}}$ 信号として使用しないでください。

保守 / 廃止

第8章 クロックについて

μPD72070は、システム・クロックから次の4種類の内部クロックを発生しています。

(1) 内部システム・クロック

μPD72070内部ブロックすべてを動作させるための基準クロックで、このクロックの周波数でデータ転送レートが決まります。

(2) ライト・クロック

ライト時のライト・データ転送レートの2倍の周波数になります。

(3) 書き込み補償回路クロック

書き込み補償回路が必要とするクロックです。

(4) VFOクロック

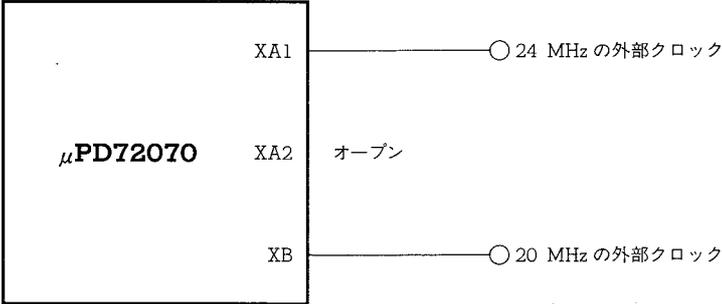
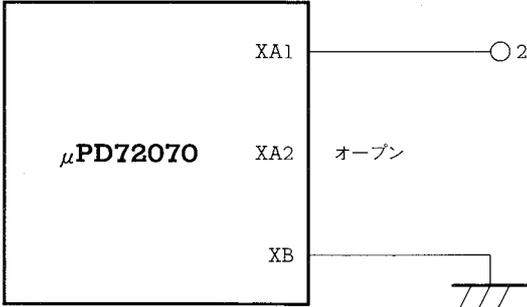
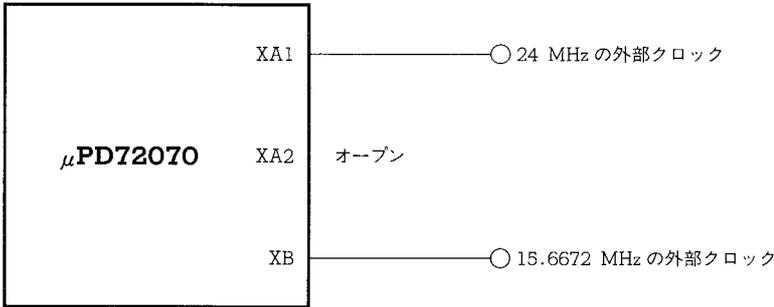
アナログ VFO が使用するクロックです。

データ転送レートによるシステム・クロックと使用端子の選択を示します。

	使用するデータ転送レート (MFM の場合) 単位 : bps					
	XA に水晶振動子を接続する場合			XA に外部クロックを入力する場合		
	1.25 M	1 M	489.6 K	1.25 M	1 M	489.6 K
	1 M	1 M	1 M	1 M	1 M	1 M
	500 K	500 K	500 K	500 K	500 K	500 K
	300 K	300 K	300 K	300 K	300 K	300 K
	250 K	250 K	250 K	250 K	250 K	250 K
図番号	①	②	③	④	⑤	⑥
XA1 XA2	24 MHz	24 MHz	24 MHz	24 MHz	24 MHz	24 MHz
XB	20 MHz	GND	15.6672 MHz	20 MHz	GND	15.6672 MHz

注意 24 MHz のシステム・クロックは、データ転送レートに関係なく XA 系側に常に供給してください。また、XB のダイレクト切り替えは絶対に行わないでください。

図番号	推奨接続方法
①	<p>① μPD72070</p> <p>XA1</p> <p>XA2</p> <p>XB</p> <p>○ 20 MHz の外部クロック</p>
②	<p>② μPD72070</p> <p>XA1</p> <p>XA2</p> <p>XB</p>
③	<p>③ μPD72070</p> <p>XA1</p> <p>XA2</p> <p>XB</p> <p>○ 15.6672 MHz の外部クロック</p>

図番号	推奨接続方法
④	 <p> XA1 ——— ○ 24 MHz の外部クロック XA2 オープン XB ——— ○ 20 MHz の外部クロック </p>
⑤	 <p> XA1 ——— ○ 24 MHz の外部クロック XA2 オープン XB ———  </p>
⑥	 <p> XA1 ——— ○ 24 MHz の外部クロック XA2 オープン XB ——— ○ 15.6672 MHz の外部クロック </p>

保守 / 廃止

第9章 制御

9.1 制御概要

図9-1は、FDCを制御するための概略フロー・チャートです。必ずこのフロー・チャートに従って制御してください。

(1) C-Phaseの制御

まずステータス・レジスタを読み出して、CB (FDC Busy) ビット=0であることを確認します。CB=1のときは、コマンドの書き込みはできません。

CB=0を確認したあと、RQM (Request for Master) ビットと DIO (Data Input/Output) ビットをチェックします。RQM=1, DIO=0のときは、FDCにコマンドを書き込むことができます。

各コマンドのコマンド・バイトまたはパラメータ・バイトを、1バイト書き込むごとに、RQM=1, DIO=0を確認して、次の1バイトを書き込みます。すべてのコマンド・バイトおよびパラメータ・バイトを書き込むとC-Phaseは終了です。

C-Phaseからあとの制御は、コマンドにより異なります。次項に各コマンドごとに、それらの制御を示します。

(2) C-Phase以降の制御

各コマンドを制御方法別 (Phaseの流れ別) に分類し、C-Phase以降の制御を示します。

○C-Phase→R-Phase→ (コマンド終了)

〈該当するコマンド〉

SENSE INTERRUPT STATUS, SENSE DRIVE STATUS, VERSION, INVALID, DUMPREG,
REVISION

これらのコマンドにはE-Phaseがありません。C-PhaseのあとはR-Phaseになります。

C-Phaseのコマンド・バイトおよびパラメータ・バイトをすべて書き込んだあと、ステータス・レジスタを読み出します。その内容がRQM=1, DIO=1であれば、リザルト・ステータス・バイトおよびパラメータ・バイトを読み出すことができます。

リザルト・ステータス・バイトまたはパラメータ・バイトを、1バイト読み出すごとに、RQM=1, DIO=1を確認して、次の1バイトを読み出します。すべてのリザルト・ステータス・バイトおよびパラメータ・バイトを読み出すとR-Phaseは終了し、コマンドが終了します。

○C-Phase→ (コマンド終了)

〈該当するコマンド〉

SPECIFY, PERPENDICULAR MODE, SELECT DRIVE TYPE, CONFIGURE

これらのコマンドには E-Phase, R-Phase がありません。C-Phase のみでコマンドが終了します。

○C-Phase→E-Phase→ (コマンド終了, INT 信号出力) → (SENSE INTERRUPT STATUS コマンド発行)

〈該当するコマンド〉

SEEK, RECALIBRATE, RELATIVE SEEK, DISABLE/ENABLE DPLL, SET DRIVE MODE, SET MOTOR CONTROL, EJECT DISK

これらのコマンドには R-Phase がありません。また, E-Phase は FDC が処理するため, ホストは C-Phase 終了のあと FDC からの INT 信号出力を待ちます。

INT 信号出力を確認したあと, SENSE INTERRUPT STATUS コマンドを発行します。そのリザルト・ステータス・バイトの内容が, SEEK, RECALIBRATE, RELATIVE SEEK コマンドの結果を示します。

○C-Phase→E-Phase→ (INT 信号出力) →R-Phase→ (コマンド終了)

〈該当するコマンド〉

コマンド : READ DATA, READ DELETED DATA, READ ID, READ A TRACK, SCAN EQUAL, SCAN LOW OR EQUAL, SCAN HIGH OR EQUAL, WRITE DATA, WRITE DELETED DATA, FORMAT A TRACK, RAW DUMP, FORMAT/ WRITE

これらのコマンドは, C-Phase が終了したあと E-Phase, R-Phase になります。

E-Phase は, SPECIFY コマンドの ND ビットの設定によって DMA モードまたは Non-DMA モードで処理します (READ ID コマンドを除く)。

●Non-DMA モードの制御

FDC は, 1 バイト転送ごとに INT 信号出力でホスト (CPU) に割り込み処理要求をします。ホストはこの INT 信号出力を確認したあと, ステータス・レジスタを読み出します。その内容が RQM=1, NDM=1 (Non-DMA Mode ビット) であれば, DIO ビットでデータの読み出しか書き込みかを判定し (DIO=1 : 読み出し, DIO=0 : 書き込み), FDC とホスト間のデータ転送を行います。

データ転送の終了時は, Non-DMA モードの場合でも, FDC に TC 信号を入力してください

い。TC 信号が入力されなかった場合、リザルト・ステータス・バイトで Over Run エラー (OR エラー) または End of Cylinder エラー (EN エラー) を報告します。

E-Phase の終了は、NDM=0で示され、E-Phase 終了の INT 信号を出力します。

●DMA モードの制御

FDC は、FIFO を使用しない場合、1 バイト転送ごとに DMARQ 信号出力でホスト (DMA コントローラ) に DMA 転送要求をします。これにより FDC とホスト間のデータ転送を DMA 処理で行います。データ転送の終了時は、FDC に TC 信号を入力してください。

E-Phase が終了すると、E-Phase 終了の INT 信号を出力します。

FDC は E-Phase 終了の INT 信号を出力したあと、R-Phase になります。ホストはその INT 信号を確認したあと、ステータス・レジスタを読み出します。その内容が RQM=1, DIO=1 であれば、リザルト・ステータス・バイトおよびパラメータ・バイトを読み出すことができます。

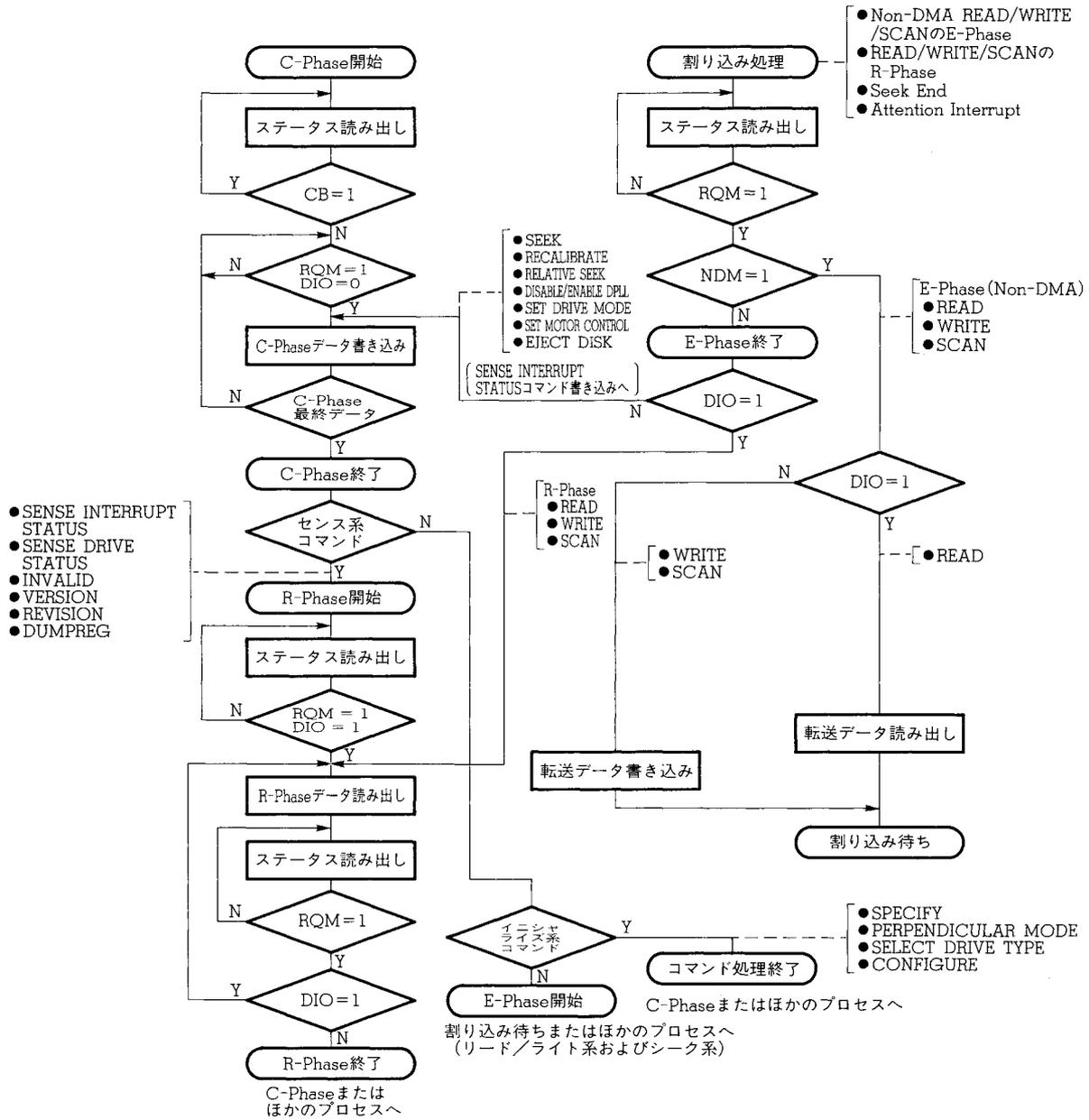
リザルト・ステータス・バイトまたはパラメータ・バイトを 1 バイト読み出すごとに、RQM=1, DIO=1 を確認して、次の 1 バイトを読み出します。すべてのリザルト・ステータス・バイトおよびパラメータ・バイトを読み出すと R-Phase は終了し、コマンドが終了します。

制御概要は以上のとおりです。また、FDC からの割り込み要求をまとめると、次の 4 種類になります。

- | |
|--|
| <p>(1) リード/ライト系コマンド (READ ID コマンドを除く) を Non-DMA モードで行うときの、E-Phase 中のデータ転送要求</p> <p>(2) リード/ライト系コマンドの E-Phase 終了によるリザルト・ステータス・バイト読み出し要求</p> <p>(3) SEEK, RECALIBRATE, RELATIVE SEEK, DISABLE/ENABLE DPLL^注, SET DRIVE MODE^注, SET MOTOR CONTROL^注, EJECT DISK^注 コマンドの E-Phase 終了による SENSE INTERRUPT STATUS コマンドの発行要求</p> <p>(4) ホスト・インタフェース・モードが General, Apple モードの場合において、ドライブの状態遷移 (READY 信号の変化) による SENSE INTERRUPT STATUS コマンドの発行要求</p> |
|--|

注 Apple FDD モード専用コマンド

図9-1 FDC制御フロー・チャート

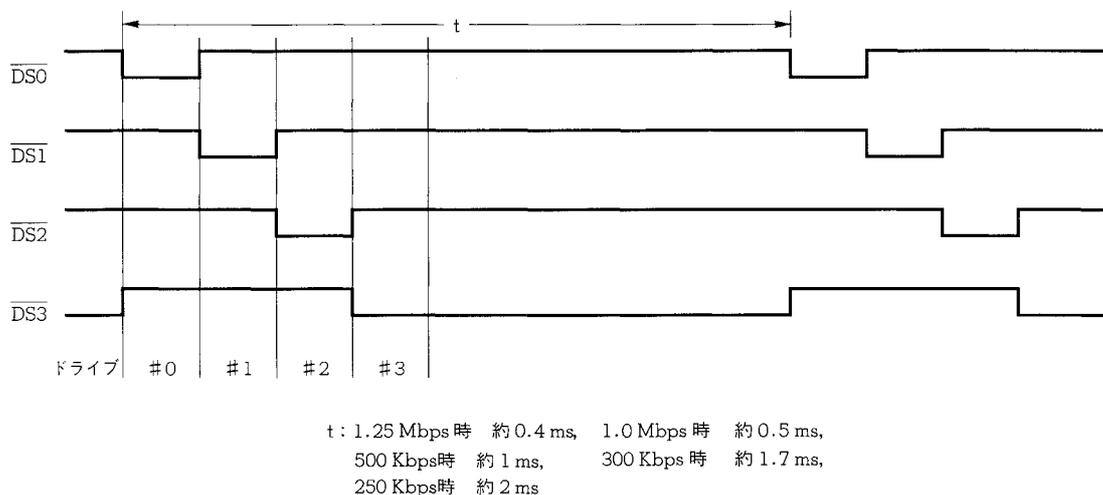


9.2 ドライブの状態遷移と STEP 信号出力(ホスト・インタフェース・モードが General, Apple モードの場合のみ)

μ PD72070はステータス・レジスタの CB ビットが0のとき(コマンド待ち状態または SEEK, RECALIBRATE コマンドの E-Phase) に、一定時間ごとにドライブ・セレクト (DS0-DS3) 信号をアクティブにします(ドライブ・スキャン)。

ただし、ホスト・インタフェース・モードが PS/2, PC-AT モードのときは、ドライブ・セレクト信号をデジタル・アウトプット・レジスタ (DOR) の D0, D1 ビットで制御するため、ドライブ・スキャンは行いません。

図 9-2 ドライブ・スキャン



μ PD72070は、General, Apple モードにおいて、このドライブ・スキャン中に次の2つのうち、どちらかの処理を行います。

(1) $\overline{\text{READY}}$ 信号の状態遷移チェック

μ PD72070は、ステータス・レジスタの CB ビットが0でコマンド待ち状態のとき(SEEK, RECALIBRATE, RELATIVE SEEK コマンドの E-Phase ではないとき)、各ドライブからの $\overline{\text{READY}}$ 信号をドライブ・スキャンごとにチェックしています。

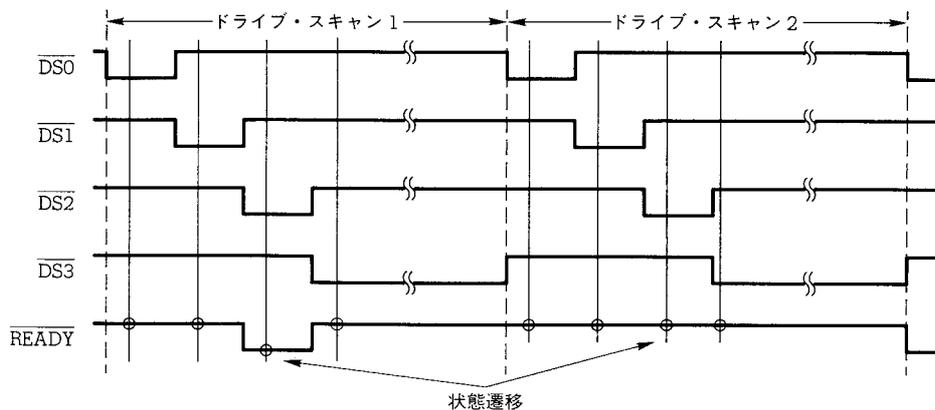
あるドライブの $\overline{\text{READY}}$ 信号をチェックし、その前のドライブ・スキャンのときと $\overline{\text{READY}}$ 信号の状態が異なっている場合、状態遷移割り込みを発生し、SENSE INTERRUPT STATUS コマンドの発行をホストに要求します。図 9-3 では、ドライブ#2の $\overline{\text{READY}}$ 信号が状態遷移しています。

また、General, Apple モードにおいて、 μ PD72070がリセット (RESET 信号、データ・レート・レジスタ (DRR) の SOFTWARE RESET ビット) されると、 μ PD72070内部の $\overline{\text{READY}}$ フラグをクリアします。このため $\overline{\text{READY}}$ 信号がアクティブのときにリセットを行うと、リセット解除後に状態

遷移割り込みを発生します。

また、 $\overline{\text{READY}}/\overline{\text{DKCG}}$ 信号を $\overline{\text{DKCG}}$ 信号として使用する場合、 $\mu\text{PD72070}$ 内部の $\overline{\text{READY}}$ 信号は内部でアクティブに固定されます。この場合も同様に、ホスト・インタフェースの全モードにおいて、 $\mu\text{PD72070}$ がリセット (RESET 信号、データ・レート・レジスタ (DRR) の SOFTWARE RESET ビット) されると、 $\mu\text{PD72070}$ 内部の $\overline{\text{READY}}$ フラグをクリアします。このため、リセット解除後に状態遷移割り込みを発生します。

図 9-3 状態遷移チェック



↓ : $\overline{\text{READY}}$ 信号の状態遷移チェック

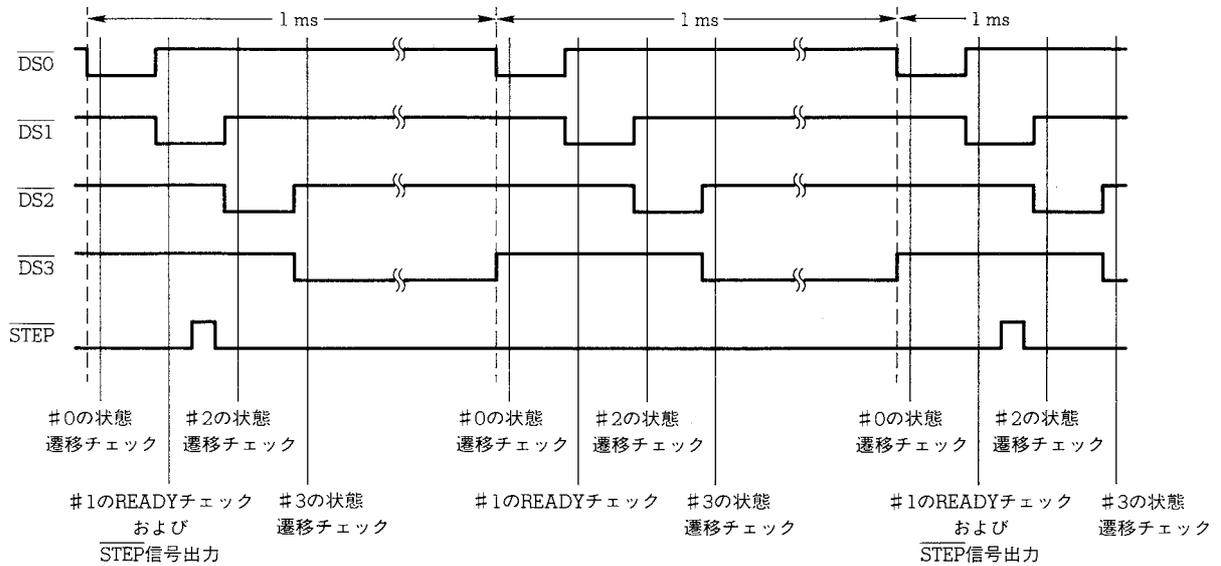
(2) SEEK, RECALIBRATE, RELATIVE SEEK の STEP 信号

$\mu\text{PD72070}$ は、General, Apple モードにおいて、SEEK, RECALIBRATE, RELATIVE SEEK コマンドの E-Phase 中 (ステータス・レジスタの CB ビットは 0) に、 $\overline{\text{STEP}}$ 信号を出力します。

各コマンドの DR1, DR0 ビットによって指定されたドライブが、 $\overline{\text{DS0}}-\overline{\text{DS3}}$ 信号によってドライブ・スキャン中に選択されたとき、 $\overline{\text{READY}}$ 信号をチェックしたあとに $\overline{\text{STEP}}$ 信号を出力します。 $\overline{\text{STEP}}$ 信号を出力しないドライブについては、 $\overline{\text{READY}}$ 信号の状態遷移をチェックします。

また $\overline{\text{STEP}}$ 信号の時間間隔は、SPECIFY コマンドの SRT パラメータで設定します。

図9-4 SRT=EH (2 ms) でドライブ#1 に対する SEEK 命令を実行中の例 (500 Kbps)



9.3 状態遷移割り込みとシーク・エンド割り込み(ホスト・インタフェース・モードが General, Apple モードの場合のみ)

データ転送中以外の μ PD72070からの割り込みは、ステータス・レジスタの内容により次の2通りに分類されます。

- | | | |
|--------|---|---------------------------------|
| ○RQM=1 | } | SENSE INTERRUPT STATUS コマンド発行要求 |
| DIO=0 | | |
| ○RQM=1 | } | R-Phase のリザルト・ステータス・バイト読み出し要求 |
| DIO=1 | | |

また、RQM=1, DIO=0の場合は SENSE INTERRUPT STATUS コマンドのリザルト・ステータス・バイトにより、その割り込みが状態遷移割り込みかシーク・エンド割り込みかを判定します。

以上の SENSE INTERRUPT STATUS コマンドを要求する割り込み要因が、2つ以上重なったときには、次の点に注意してください。

- (1) μ PD72070は SENSE INTERRUPT STATUS コマンドが発行されたとき、ドライブ番号の小さい方のリザルト・ステータス・バイトを先に出します。
- (2) 1回目の SENSE INTERRUPT STATUS コマンドで、リザルト・ステータス・バイトを出力しなかったドライブ番号の大きい方の割り込み信号を、次のように出力します。
 - 残りの割り込み要因の中にシーク・エンドがあれば、再度割り込み信号を出力します。
 - 残りの割り込み要因の中にシーク・エンドがなければ、(状態遷移のみの場合) 割り込み信号を出力しません。

ドライブ番号の大きいドライブで状態遷移が発生することを考慮すると、リザルト・ステータス・バイト (STO) が 80H (INVALID コマンド) になるまで SENSE INTERRUPT STATUS コマンドを発行してください。

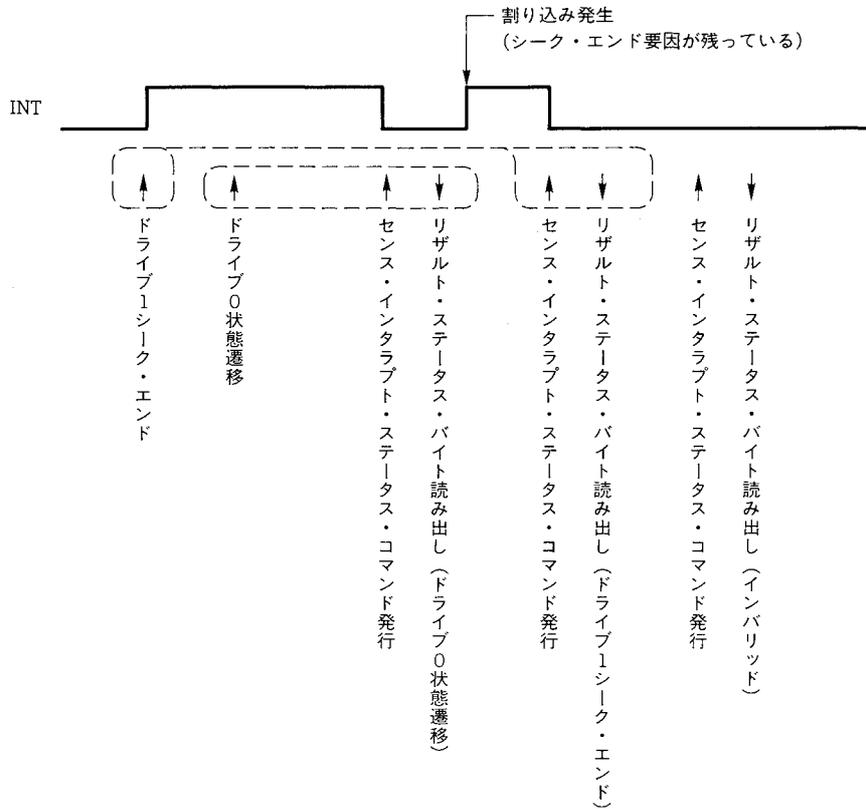
図9-5は、シーク・エンドと状態遷移の割り込みが重なったときの例です。

(a) では、ドライブ#1のシーク・エンド割り込みが先に発生していますが、その直後にドライブ番号の小さいドライブ#0の割り込みが発生しています。そのため、SENSE INTERRUPT STATUS コマンドのリザルト・ステータス・バイトで先に出すのは、ドライブ#0の状態遷移の割り込み要因です。この場合、ドライブ#1のシーク・エンドの割り込み要因が残っているため、再度割り込みが発生します。

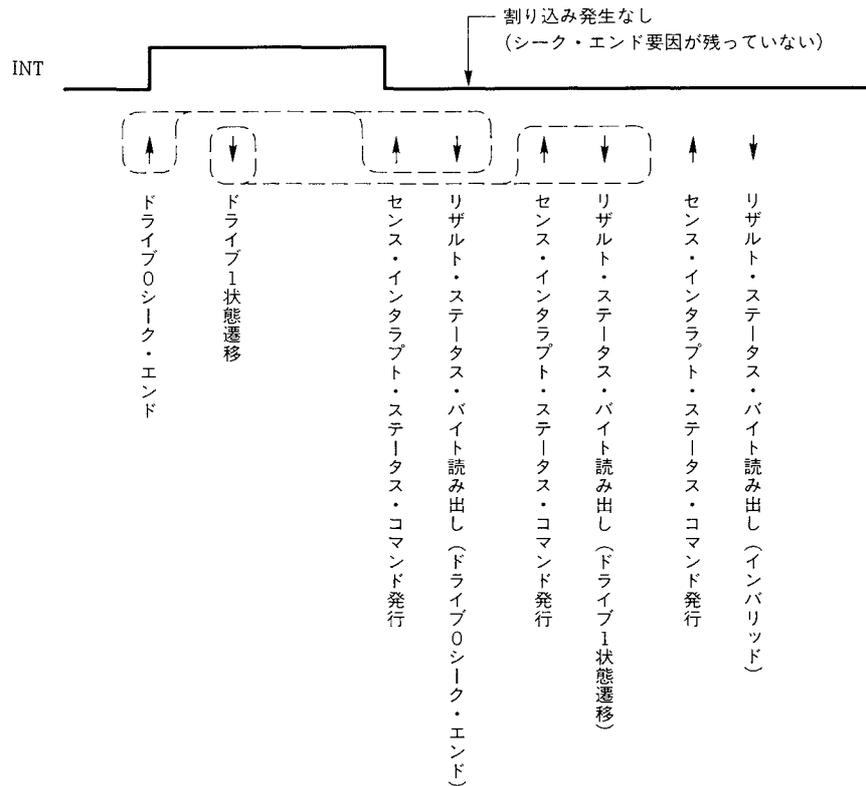
(b) では、ドライブ#0のシーク・エンド割り込みが、ドライブ#1の状態遷移割り込みより先に発生しています。SENSE INTERRUPT STATUS コマンドのリザルト・ステータス・バイトで先に出すのは、ドライブ#0のシーク・エンド割り込み要因です。この場合、ドライブ#1の割り込み要因が状態遷移のため、再度割り込みは発生しません。

図 9-5 INT 信号の発生例

(a) 番号の大きいドライブがシーク・エンドのとき



(b) 番号の小さいドライブがシーク・エンドのとき



9.4 状態遷移割り込みに関する注意事項(ホスト・インタフェース・モードが **General, Apple** モードの場合のみ)

(1) リセット時の状態遷移割り込み

状態遷移割り込みは、 $\overline{\text{READY}}$ 信号が変化した場合に発生します。ただし、 $\overline{\text{READY}}$ 信号を常時アクティブに固定してある場合でも、リセット (RESET 信号, データ・レート・レジスタ (DRR) の SOFTWARE RESET ビット) 直後に状態遷移の割り込みが発生します。これは $\overline{\text{READY}}$ 信号の状態を保持する内部フラグを、リセット時にノット・レディにするためです。

つまり、リセット時に $\overline{\text{READY}}$ 信号がアクティブの場合、必ず状態遷移の割り込みが発生します。 処理としては、通常の場合と同様に SENSE INTERRUPT STATUS コマンドをリザルト・ステータス・バイトが 80H (INVALID コマンド) になるまで発行してください。

また、PS/2, PC-AT モードにおいて $\overline{\text{READY}}/\overline{\text{DKCG}}$ 信号を $\overline{\text{DKCG}}$ 信号として使用する場合、 $\mu\text{PD72070}$ 内部の $\overline{\text{READY}}$ 信号は内部でアクティブに固定されます。この場合も同様に、 $\mu\text{PD72070}$ がリセット (RESET 信号, データ・レート・レジスタ (DRR) の SOFTWARE RESET ビット) されると、 $\mu\text{PD72070}$ 内部の READY フラグをクリアします。このため、リセット解除後に状態遷移割り込みが発生します。つまり、リセット時に必ず状態遷移の割り込みが発生します。 処理としては、通常の場合と同様に SENSE INTERRUPT STATUS コマンドをリザルト・ステータス・バイトが 80H (INVALID コマンド) になるまで発行してください。

(2) C-Phase 中の状態遷移割り込み

ドライブ・スキャンでドライブを選択している場合、 $\mu\text{PD72070}$ は内部でコマンドの実行を保留します。つまり、コマンドの 1 バイト目を書き込んだとき、ステータス・レジスタの RQM ビットは 1 から 0 に変化します。ただし、コマンドの起動を示す CB ビットはドライブ #0-#3 のドライブ・スキャンが終了するまで 1 にはなりません。

コマンドの 1 バイト目を書き込んでから、実際にコマンドが起動するまで (CB=0→CB=1) の間に $\overline{\text{READY}}$ 信号に状態遷移があった場合、状態遷移割り込みが発生します。しかし、この状態遷移割り込みは、CB=1 になる直前に $\mu\text{PD72070}$ 自身がインアクティブにしてしまいます。このため、この状態遷移割り込みは見かけ上消失します。この現象は、従来の FDC ($\mu\text{PD765A/B}$, 72065/B など) でも同じ条件で発生します。ただし、状態遷移の情報については内部レジスタに保存されているため、SENSE INTERRUPT STATUS コマンドで引き取ることが可能です。

この状態遷移割り込みに対しての割り込み処理 (SENSE INTERRUPT STATUS コマンドの発行) は、誤動作の原因になるため行わないでください。以下の場合には、 $\mu\text{PD72070}$ からの INT 信号に対する割り込み処理をマスクしてください。C-Phase 中の状態遷移を図 9-6 に示します。

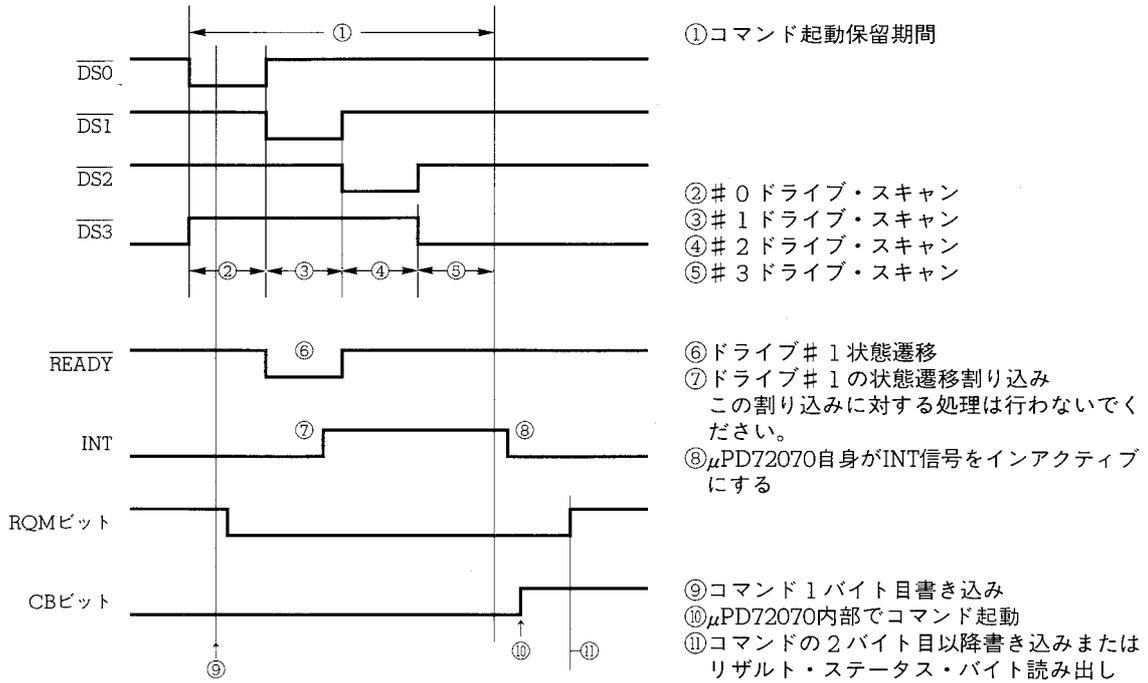
- リード/ライト、シーク系コマンド (E-Phase 終了時に割り込みを伴うもの) の場合

C-Phase の 1 バイト目を書き込む前から C-Phase の最終バイトを書き込むまで

- そのほかのコマンドの場合

C-Phase の 1 バイト目を書き込む前から、そのコマンドの終了まで

図 9-6 C-Phase 中の状態遷移



保守 / 廃止

第10章 コマンド

10.1 コマンド動作の概要

FDC はホストから与えられるコマンドを次の3つの Phase 順に実行します。

(1) Command Phase (C-Phase)

FDC は、アイドル状態 (コマンド待ち) のときにホストからコマンド・バイトと、そのコマンドの動作を規定するパラメータ・バイトを受け取ります。

ホストは、各パラメータ・バイトを指定された順に従ってすべて書き込む必要があります。

(2) Execution Phase (E-Phase)

パラメータ・バイトに従ってコマンドを実行します。

(a) リード/ライト系：ディスク装置とホスト間でデータ転送 (DMA または INT で処理) します (READ ID, VERIFY を除く)。

(b) シーク系 : シーク・パルスが発生します。

(3) Result Phase (R-Phase)

コマンドの実行結果を報告するためのリザルト・ステータス・バイトなどをデータ・レジスタにセットします。

ホストはこれらの情報をすべて読み取る必要があります。

コマンド	C-Phase	E-Phase	R-Phase	INT
イニシャライズ系	○	—	—	無
シーク系	○	○	—	有
リード/ライト系	○	○	○	有
センス系	○	—	○	無
INVALID				
その他	○	注1	注2	無

注 1. VERSION, REVISION, INVALID コマンドにはありません。

2. DISABLE/ENABLE PLL, EJECT DISK, SET ENABLE CONTROL, SET MOTOR CONTROL コマンドにはありません。

10.2 コマンドの種類と機能概要

次にコマンドの概要を示します。

分類	コマンド名	動作概要
イニシャライズ系	SPECIFY	μ PD72070の動作を定義します。
	CONFIGURE	
	PERPENDICULAR MODE	垂直磁化記録方式先行イレース・ヘッド FDD に対応するモードにします。
	SELECT DRIVE TYPE	FDDの種類を選択します。
	SET DRIVE MODE ^{注1}	GCR FDD と MFM FDD の選択をします。
シーク系	RECALIBRATE	ヘッドを最外トラック (トラック 0) へ移動させます。
	SEEK	ヘッドを指定シリンダへ移動させます。
	RELATIVE SEEK ^{注2}	
リード系	READ DATA	セクタを指定してそのデータをホストへ転送します。
	READ DELETED DATA ^{注2}	
	READ ID	1 セクタ分の ID を読み出します。
	READ A TRACK	1 トラック分のデータを読み出します。
	VERIFY ^{注2}	トラックのフォーマットをチェックします。
	SCAN EQUAL ^{注2}	1 セクタごとにデータをホストのデータと比較し、条件にあうセクタを検出します。
	SCAN HIGH OR EQUAL ^{注2}	
	SCAN LOW OR EQUAL ^{注2}	
	RAW DUMP ^{注1}	メディア上の特定の場所からデータをダンプします。
ライト系	FORMAT A TRACK	1 トラック分のフォーマットを書き込みます。
	FORMAT/WRITE ^{注1}	1 トラック分のフォーマットとデータを書き込みます。
	WRITE DATA	セクタを指定してホストからのデータを転送します。
	WRITE DELETED DATA ^{注2}	
センス系	SENSE DRIVE STATUS	FDD の状態を読み出します。
	SENSE INTERRUPT STATUS	FDC 内部の割り込み要因 (シーク・エンド, 状態遷移) を読み出します。
その他	DUMPREG ^{注2}	μ PD72070の内部レジスタの状態を示します。
	VERSION ^{注2}	B タイプの製品を識別します。
	REVISION	ハードおよびファームウェアのバージョンを示します。
	INVALID	データ・レジスタに対し未定義コマンドを発行した場合の処理をします。
	DISABLE/ENABLE PLL ^{注1}	GCR FDD に対して PLL の ON/OFF を指定します。
	EJECT DISK ^{注1}	GCR FDD に挿入されたメディアをイジェクトします。
	SET ENABLE CONTROL ^{注1}	ENBL $\bar{0}$, ENBL $\bar{1}$ 端子を制御します。
	SET MOTOR CONTROL ^{注1}	FDD のスピンドル・モータの ON/OFF を制御します。

注 1. Apple FDD モード専用のコマンドです。

2. スタンダード FDD モード専用のコマンドです。

第11章 スタンダード FDD モード

11.1 スタンダード FDD モードについて

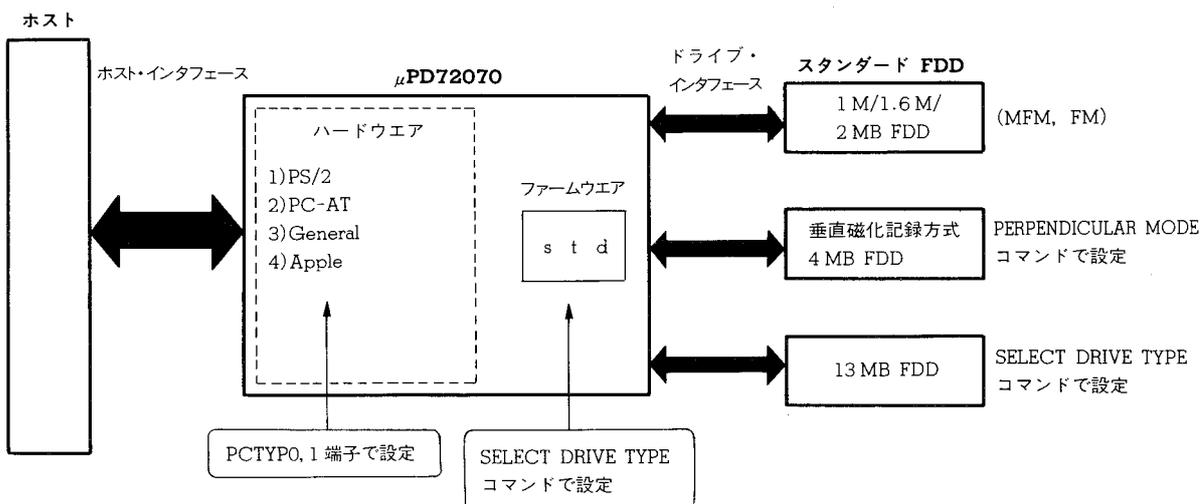
スタンダード FDD と Apple FDD では FDD インタフェースが異なります。

μ PD72070 はスタンダード FDD モードと Apple FDD モードの 2 つの FDD インタフェース・モードにより、両方の FDD をサポートしています。使用する FDD によって、FDD インタフェースを切り替えてください。

FDD インタフェース・モードの切り替えは、SELECT DRIVE TYPE コマンドで行います。

リセット・デフォルトは、スタンダード FDD モードになります。

スタンダード FDD モードの場合



スタンダード FDD モード

リセット後には、必ずこの FDD インタフェース・モードになります。この FDD インタフェース・モードは、 μ PD765A のソフトウェアと上位互換であり、MFM/FM 記録方式の 13 MB FDD^注までサポートできます。

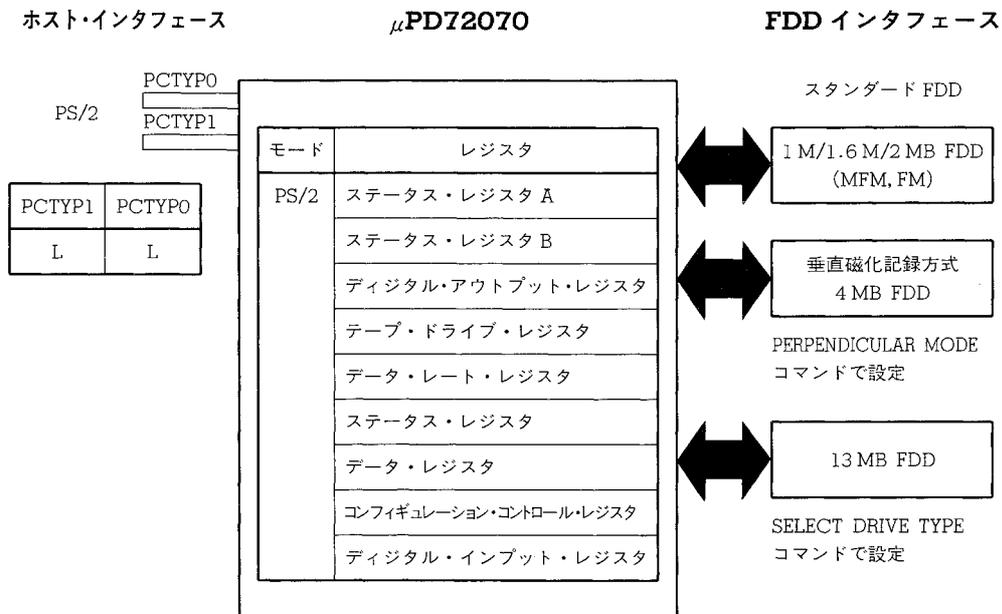
注 13 MB FDD を使用する場合は、SELECT DRIVE TYPE のパラメータを D1=0, D0=1 に設定してください。

スタンダード FDD モードは、すべてのホスト・インタフェース・モードを使用できます。次にスタンダード FDD モードにおけるホスト・インタフェース・モードと使用できる FDD の関係を示します。

		使用できる FDD			
		1 M/1.6 M/2 MB	4 MB	13 MB	Apple FDD
ホ ス ト ・ イ ン タ フ ェ ー ス ・ モ ー ド	PS/2	○	○	○	×
	PC-AT	○	○	○	×
	General	○	○	○	×
	Apple	○	○	○	×

次にインタフェースの例を示します。このようにスタンダード FDD モードは、すべてのホスト・インタフェース・モードで使用できます。ホスト・インタフェース・モードによって使用できるレジスタ・セットが異なります。

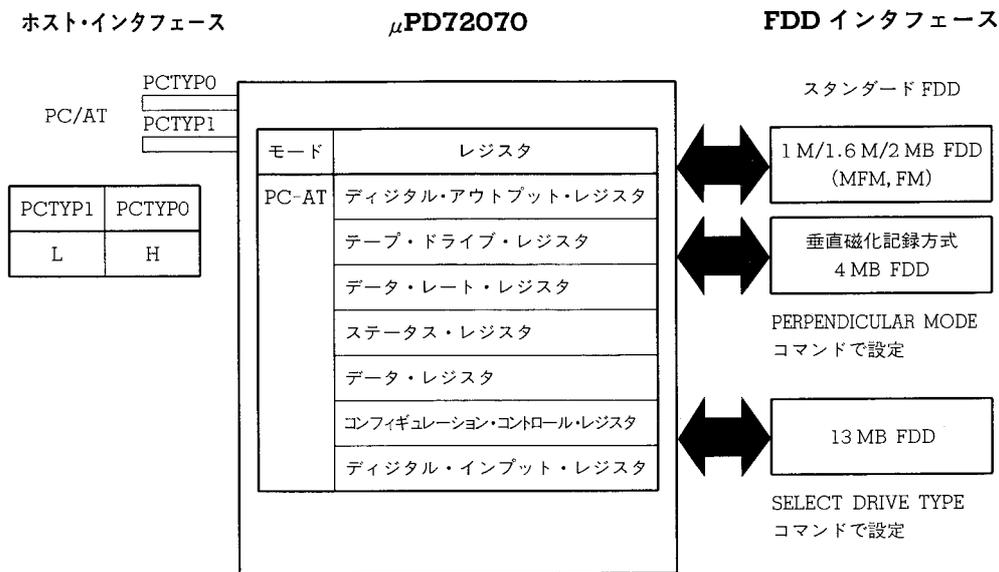
(1) PS/2 モード



備考 PS/2, あるいは PC-AT モードの場合、ドライブ・スキャンはありません。

$\overline{\text{DKCG}}/\text{READY}$ 信号は、 $\overline{\text{ENDKCG}}$ 信号をロウ・レベルにして DKCG 信号として使用してください。

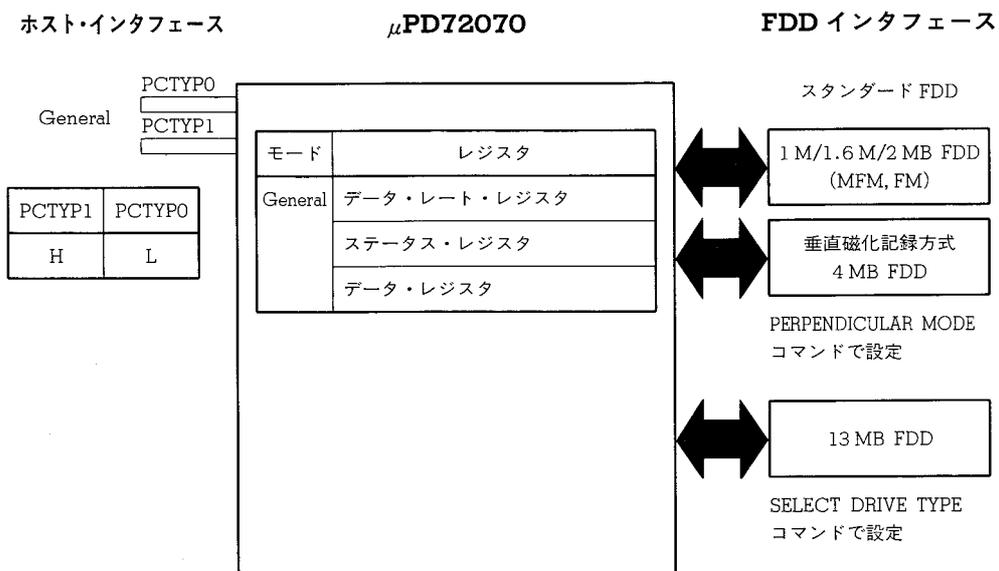
(2) PC-AT モード



備考 PS/2, あるいは PC-AT モードの場合, ドライブ・スキャンはありません。

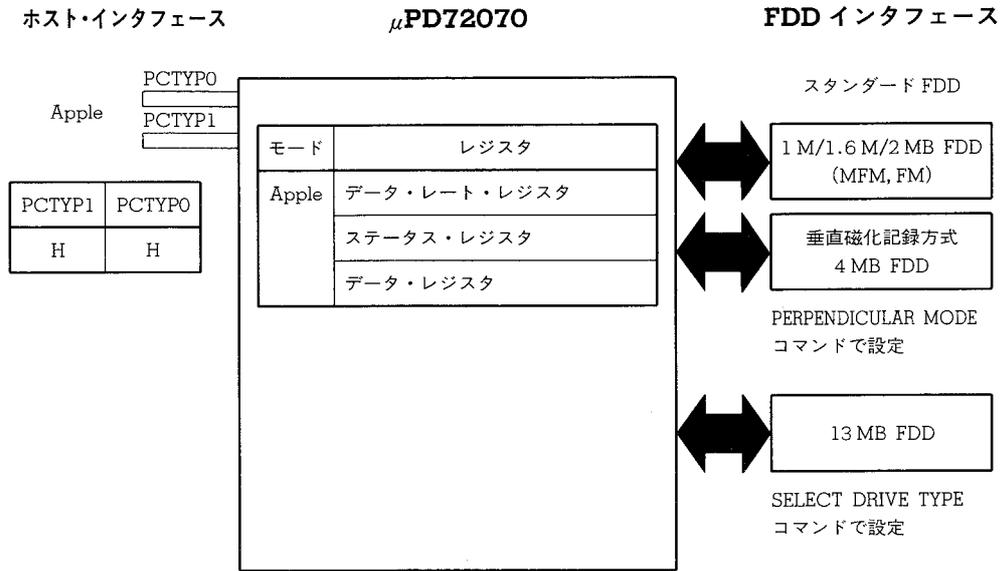
$\overline{\text{DKCG}}/\text{READY}$ 信号は, $\overline{\text{ENDKCG}}$ 信号をロウ・レベルにして DKCG 信号として使用してください。

(3) General モード



備考 $\overline{\text{DKCG}}/\text{READY}$ 信号は, $\overline{\text{ENDKCG}}$ 信号をハイ・レベルにして READY 信号として使用してください。

(4) Apple モード



備考 $\overline{\text{DKCG}}/\overline{\text{READY}}$ 信号は, $\overline{\text{ENDKCG}}$ 信号をハイ・レベルにして READY 信号として使用してください。

11.2 パラメータの説明

11.2.1 コマンド・バイト・パラメータ

μ PD72070 で使用されるコマンド・パラメータを次に説明します。

(1) MF : Recording Mode Format

MF ビットの状態	μ PD72070 の動作
1	MFM フォーマットで動作
0	FM フォーマットで動作

(2) MT : Multi Track

このビットが1のとき、読み出し/書き込み動作はマルチトラック動作を指定します (READ ID, FORMAT A TRACK, READ A TRACKを除く)。

(3) SK : SKIP

このビットが1のとき

- READ DATA コマンド動作時で DDAM を検出した場合
→そのデータ領域 (セクタ) のデータを読み飛ばします。
- READ DELETED DATA コマンド動作時で DAM を検出した場合
→そのデータ領域 (セクタ) のデータを読み飛ばします。

このビットが0のとき

→そのデータ領域のデータは、転送されます。

(4) HD : Head

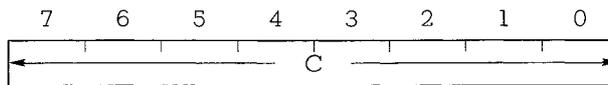
物理ヘッド番号を指定します。

HD ビットの状態	選 択
1	サイド1を選択
0	サイド0を選択

(5) DR1, DR0 : Drive Select

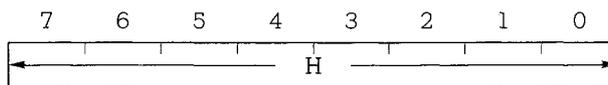
0から3のドライブ番号を指定します (ホスト・インタフェース・モードが PS/2, PC-AT モードの場合、デジタル・アウトプット・レジスタ (DOR) で設定してください)。

(6) C : Cylinder Number



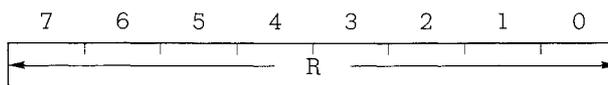
コマンド実行の対象となるセクタ，またはトラックのシリンダ番号を指定します。

(7) H : Head Number



コマンド実行の対象となるセクタ，またはトラックの論理ヘッド番号（メディア上の情報）を指定します。

(8) R : Record Number



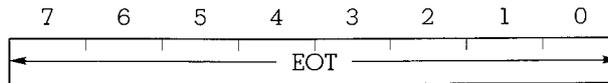
コマンド実行の対象となるセクタ番号を指定します。

(9) N

コマンド実行の対象となる 1 セクタあたりのデータ長を示します。

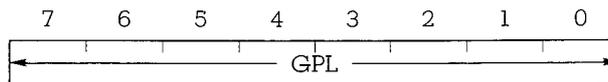
N (16)	1 セクタあたりのバイト数	
	MFM	FM
00	128	128
01	256	256
02	512	512
03	1024	1024
04	2048	2048
05	4096	4096
06	8192	8192

(10) EOT : End of Track



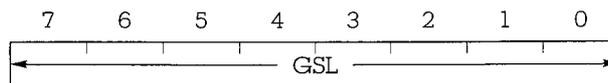
トラック上でアクセスする最終セクタ番号を指定します。

(11) GPL : Gap Length



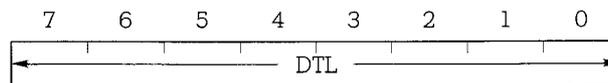
GAP3の書き込みバイト数を指定します。

(12) GSL : Gap Skip Length



GAP3の読み飛ばしバイト数を指定します。

(13) DTL : Data Length



N=00Hのとき、1セクタ当たりの処理データ長を示します。

- DTL=01Hのとき：1バイト/セクタを指定
- DTL≥80Hのとき：128バイト/セクタを指定

DTL<80Hの場合（DTLがセクタの途中までしか指定していないとき）

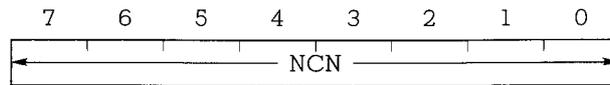
リード時：全セクタについて DTL で指定するデータよりあとのデータも読み取ります。ただし、データ・レジスタにセットしないで CRC チェックのみを行います。

ライト時：全セクタについて DTL で指定するデータに 00H を書き込みます。

使用するコマンド：READ DATA, READ DELETED DATA, WRITE DATA, WRITE DELETED DATA, READ A TRACK

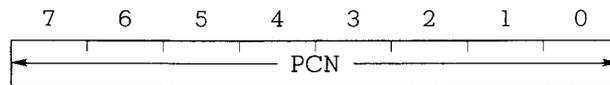
N≠00Hのとき、DTLバイトは意味をもちません。

(14) NCN : New Cylinder Number



シーク先のシリンダを指定します。

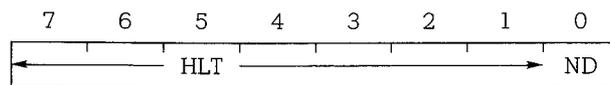
(15) PCN : Present Cylinder Number



リード/ライト・ヘッドが位置するシリンダを示します。

(16) HLT : Head Load Time

ND : Non-DMA Mode



○HLT

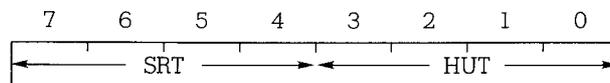
リード/ライト・ヘッドをロード後に安定させるための待ち時間を指定します。

○ND

リード/ライト系コマンドの E-Phase でのデータ転送モード(DMA または Non-DMA モード)を指定します。

(17) SRT : Step Rate Time

HUT : Head Unload Time



上位4ビットが SRT, 下位4ビットが HUT を示す1バイトのパラメータです。

使用するコマンド : SPECIFY

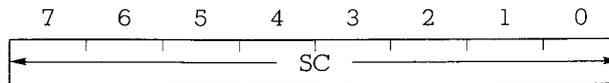
○SRT

ステップ・パルス間隔を指定します。

○HUT

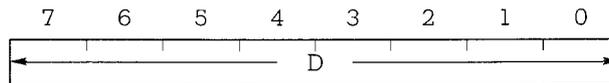
コマンドの実行終了後, リード/ライト・ヘッドをアンロード状態にするまでの時間を指定します。

(18) SC : Sector



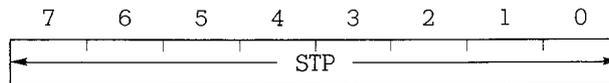
FORMAT A TRACK コマンドで作成する 1トラック当たりのセクタ数を指定します。

(19) D : Data



FORMAT A TRACK コマンドでデータ部に書き込むデータ・パターンを指定します。

(20) STP : Step



SCAN コマンド実行時、STP が 01H であれば、次のセクタを続けて処理し、02H であれば、1セクタ飛びに処理します。02H のときは、次の式を満足するようにパラメータの R バイト、および EOT バイトを設定してください。

$$R + 2(n - 1) = EOT$$

n : 処理すべきセクタ数

使用するコマンド : SCAN EQUAL, SCAN LOW OR EQUAL, SCAN HIGH OR EQUAL

★

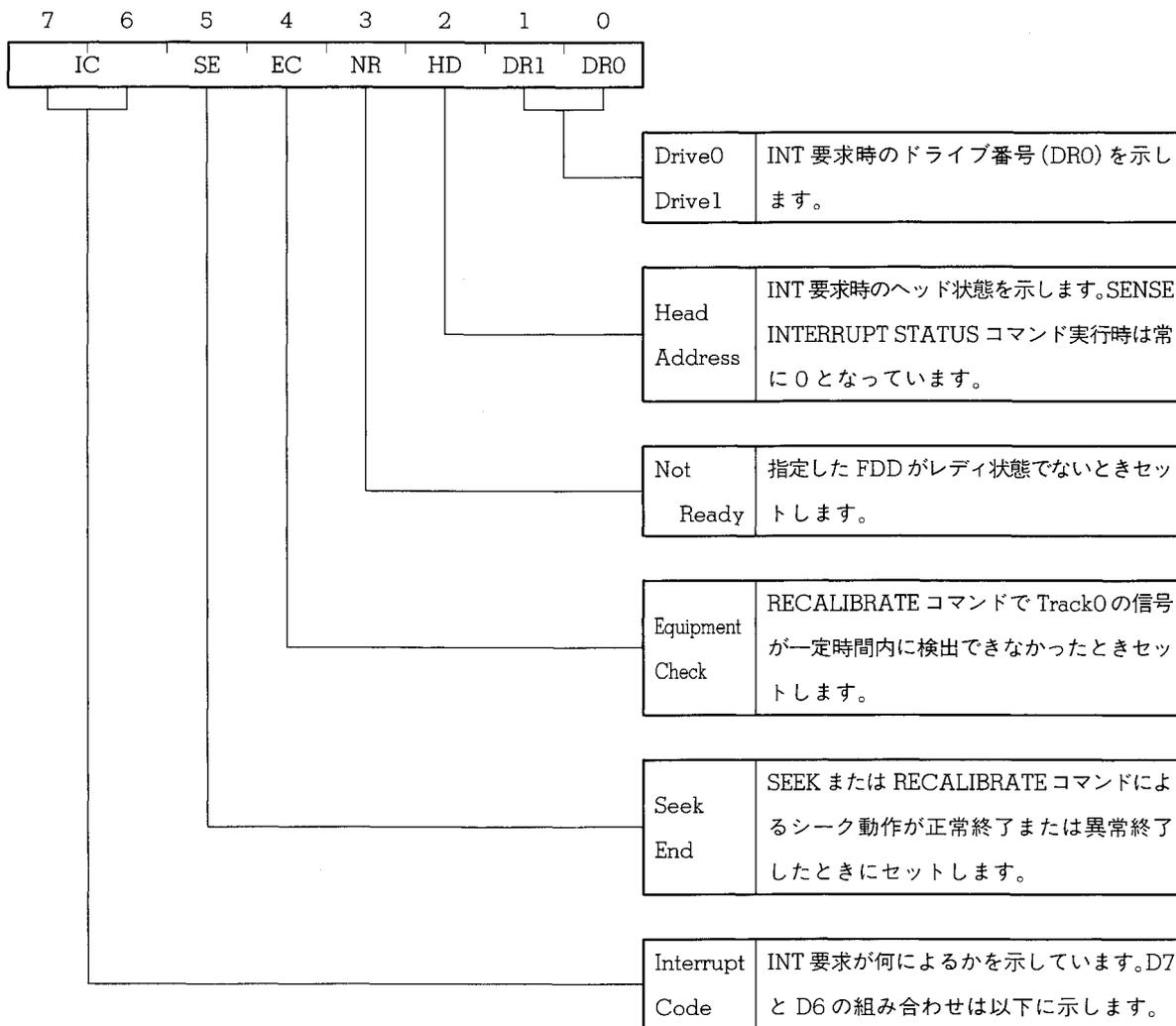
表 11-1 データ長に対する GSL 値と GPL 値の例

ドライブ	モード	パラメータ	N(16)	EOT(16)	GSL(16)	GPL(16)	備 考
		セクタ・サイズ(10)					
5"	FM	128バイト/セクタ	00H	12H	07H	09H	
		128	00H	10H	10H	19H	
		256	01H	08H	18H	30H	
		512	02H	04H	46H	87H	
		1024	03H	02H	C8H	FFH	
		2048	04H	01H	C8H	FFH	
	MFM	256バイト/セクタ	01H	12H	0AH	0CH	
		256	01H	10H	20H	32H	
		512	02H	08H	2AH	50H	
		512	02H	09H	2AH	50H	(360 KB)
		512	02H	0FH	2AH	54H	1.6 MB(AT) (1.2 MB)
		1024	03H	04H	80H	FOH	
		2048	04H	02H	C8H	FFH	
		4096	05H	01H	C8H	FFH	
3.5"	FM	128バイト/セクタ	00H	0FH	07H	1BH	
		256	01H	09H	0EH	2AH	
		512	02H	05H	1BH	3AH	
		1024	03H	04H	47H	8AH	
		2048	04H	02H	C8H	FFH	
	MFM	256バイト/セクタ	01H	0FH	0EH	36H	
		512	02H	09H	1BH	54H	1 MB (720 KB)
		512	02H	12H	1BH	54H	2 MB (1.44 MB)
		512	02H	24H	37H	53H	4 MB (2.88 MB)
		1024	03H	05H	35H	74H	
		2048	04H	04H	99H	FFH	
		4096	05H	02H	C8H	FFH	

11.2.2 リザルト・ステータス・バイト

コマンドの実行結果を報告するためのリザルト・ステータス・バイトを示します。

図 11-1 リザルト・ステータス・バイト 0 (STO)



D7	D6	略称	名 称	内 容
0	0	NT	Normal Terminate	コマンドの正常終了を示します。
0	1	AT	Abnormal Terminate	コマンドの異常終了を示します。
1	0	IC	Invalid Command	起動したコマンドが無効であったため、コマンドを実行しなかったことを示します。
1	1	AI	Attention Interrupt	FDD に状態遷移があったことを示します。

図 11-2 リザルト・ステータス・バイト 1 (ST1)

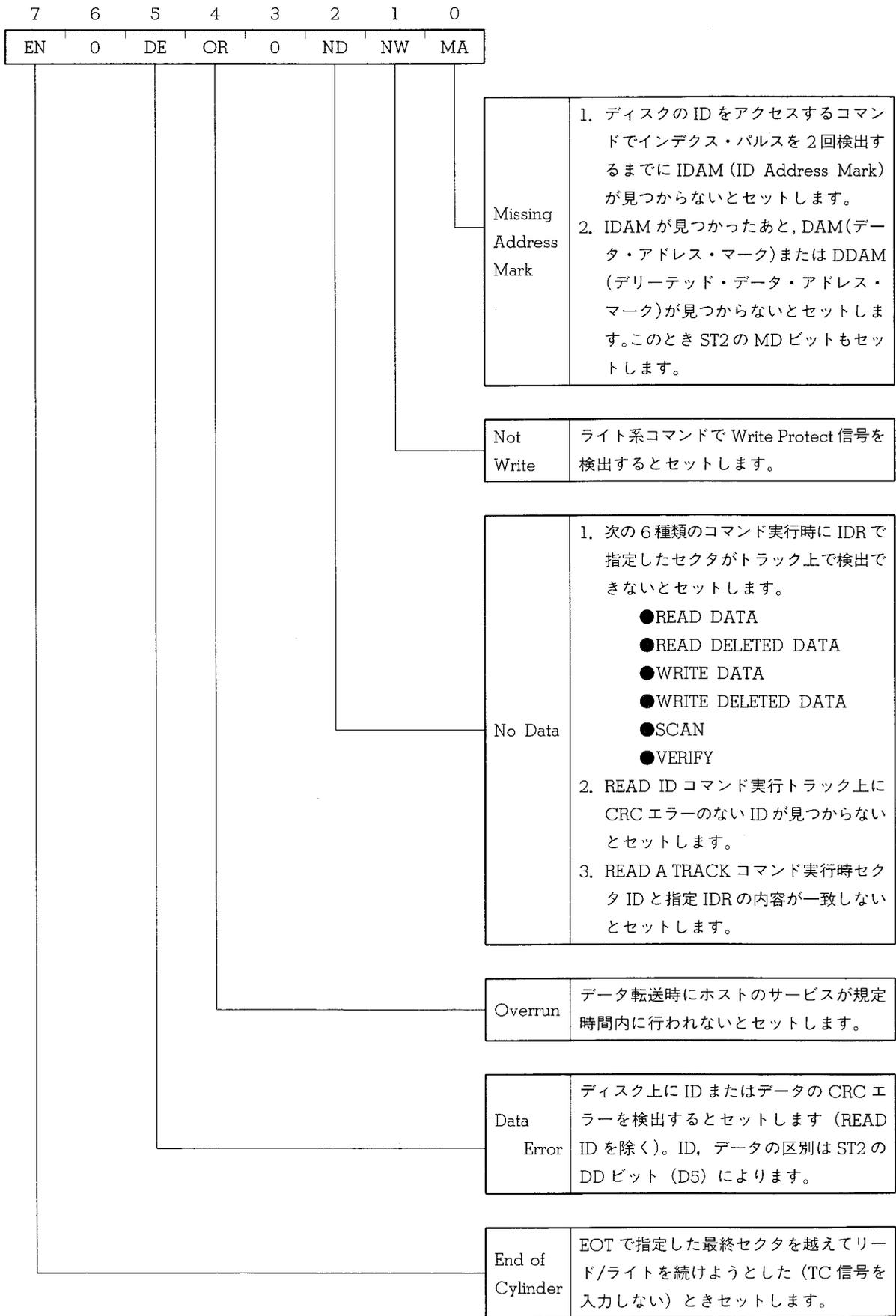


図 11-3 リザルト・ステータス・バイト 2 (ST2)

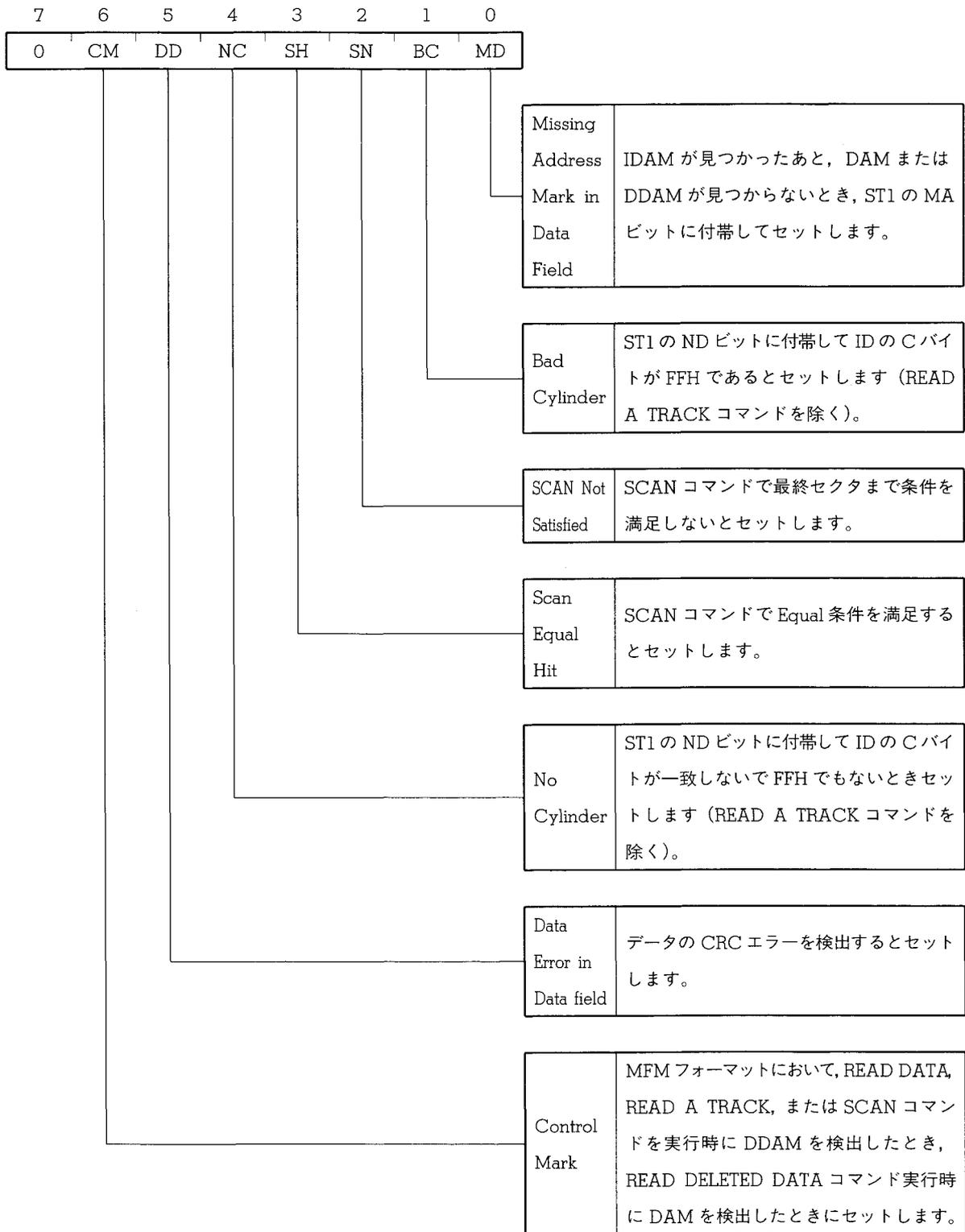
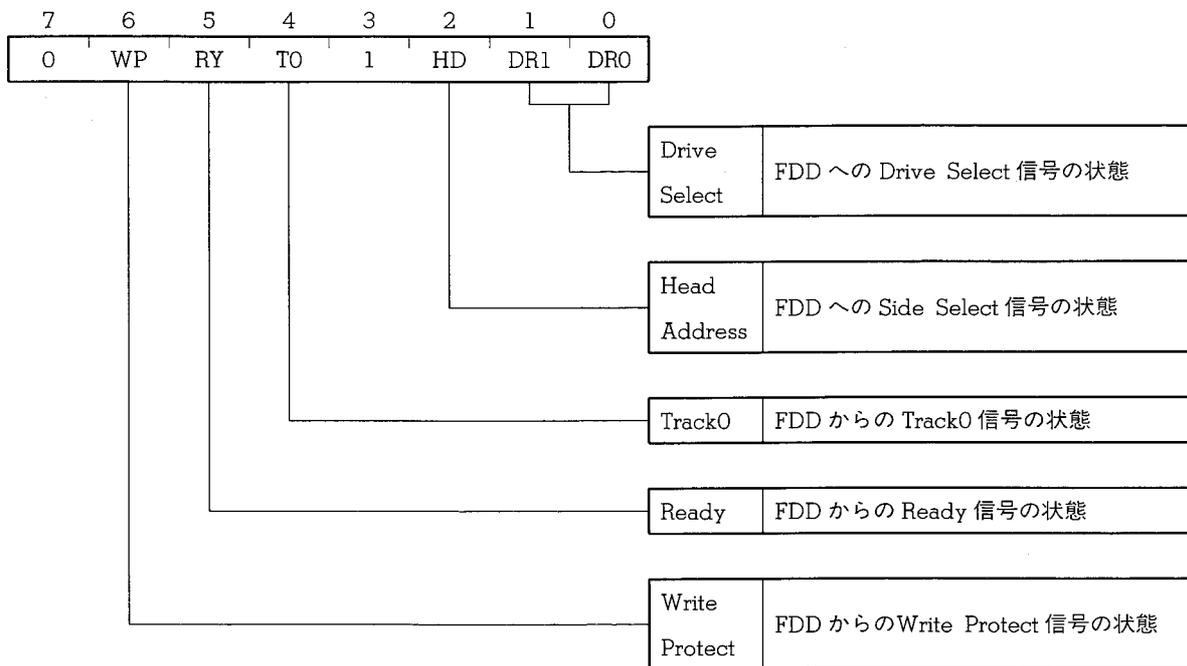


図 11-4 リザルト・ステータス・バイト 3 (ST3)



11.3 コマンドの説明

スタンダード・モードのコマンドについて説明します。

イニシャライズ系コマンド

SPECIFY ... 92
CONFIGURE ... 97
PERPENDICULAR MODE ... 98
SELECT DRIVE TYPE ... 99

シーク系コマンド

RECALIBRATE (Return to Cylinder0) ... 100
SEEK ... 101
RELATIVE SEEK ... 103

リード系コマンド

READ DATA ... 104
READ DELETED DATA ... 108
READ ID ... 111
READ A TRACK ... 113
VERIFY ... 116
SCAN EQUAL/SCAN LOW OR EQUAL/SCAN HIGH OR EQUAL ... 121

ライト系コマンド

FORMAT A TRACK ... 126
WRITE DATA ... 129
WRITE DELETED DATA ... 132

センス系コマンド

SENSE DRIVE STATUS ... 135
SENSE INTERRUPT STATUS ... 136

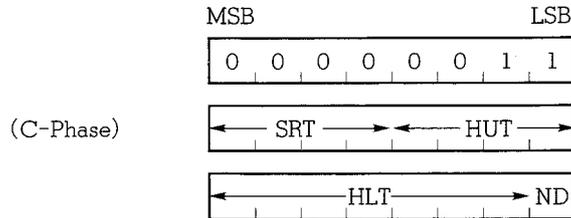
その他のコマンド

DUMPREG ... 137
VERSION ... 138
REVISION ... 140
INVALID ... 141

11.3.1 イニシャライズ系コマンド

(1) SPECIFY

各種内部タイマの初期値および動作モードを定義します。



○HUT (Head Unload Time)

HUT はリード/ライト系のコマンド実行終了後、リード/ライト・ヘッドをアンロード状態にするまでの時間を指定します。

- 1.25 Mbps 時 : 6.4~96.0 ms (6.4 ms)
- 1.0 Mbps 時 : 8.0~120 ms (8.0 ms)
- 500 Kbps 時 : 16.0~240 ms (16.0 ms)
- 300 Kbps 時 : 26.6~400 ms (26.6 ms)
- 250 Kbps 時 : 32.0~480 ms (32.0 ms)

HUT は0~F(16進数)の値で指定できます。表 11-2 にヘッド・アンロード時間を示します。

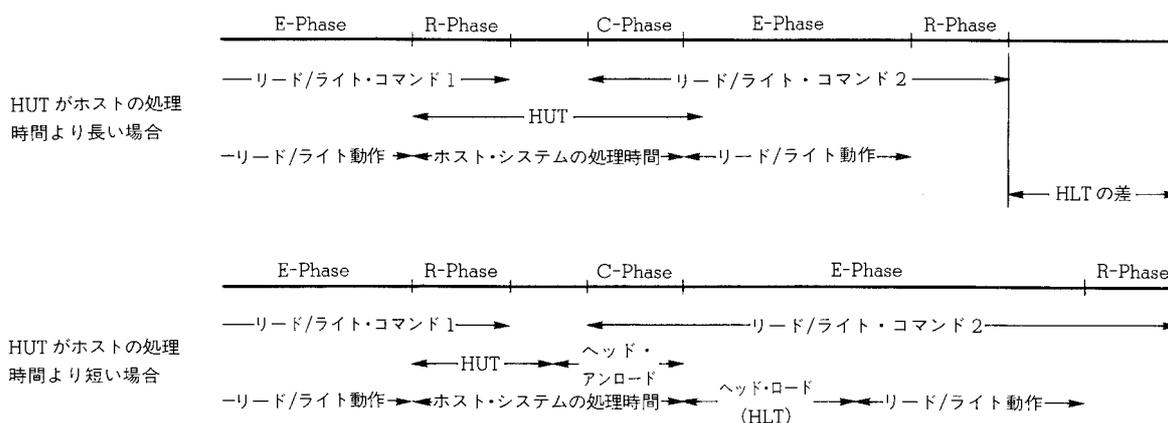
なお、データ転送レートは MFM 時の値です。

Apple FDD モードでは HUT を設定しても意味を持ちません。

表 11-2 HUT によるヘッド・アンロード時間

HUT (16)	時 間 (ms)				
	1.25 Mbps	1.0 Mbps	500 Kbps	300 Kbps	250 Kbps
0	使用禁止				
1	6.4	8.0	16.0	26.6	32.0
2	12.8	16.0	32.0	53.3	64.0
3	19.2	24.0	48.0	80.0	96.0
4	25.6	32.0	64.0	107	128
5	32.0	40.0	80.0	133	160
6	38.4	48.0	96.0	160	192
7	44.8	56.0	112	187	224
8	51.2	64.0	128	213	256
9	57.6	72.0	144	240	288
A	64.0	80.0	160	267	320
B	70.4	88.0	176	293	352
C	76.8	96.0	192	320	384
D	83.2	104	208	347	416
E	89.6	112	224	373	448
F	96.0	120	240	400	480

図 11-5 ヘッド・ロード時間の省略



○SRT (Step Rate Time)

SRT には、シーク系コマンドで発生するステップ・パルス (STEP) 間隔を設定します。

- 1.25 Mbps 時 : 0.4~6.4 ms (0.4 ms)
- 1.0 Mbps 時 : 0.5~8.0 ms (0.5 ms)
- 500 Kbps 時 : 1.0~16.0 ms (1.0 ms)

- 300 Kbps 時 : 1.7~26.7 ms (1.7 ms)
- 250 Kbps 時 : 2.0~32.0 ms (2.0 ms)

SRT は 0~F (16進数) の値で指定できます。それぞれのステップ・パルス間隔は表 11-3 のとおりです。

Apple FDD モードでは、SRT を設定しても意味を持ちません。

表 11-3 SRT によるステップ・パルスの間隔

SRT (16)	時 間 (ms)				
	1.25 Mbps	1.0 Mbps	500 Kbps	300 Kbps	250 Kbps
0	6.4	8.0	16.0	26.6	32.0
1	6.0	7.5	15.0	25.0	30.0
2	5.6	7.0	14.0	23.3	28.0
3	5.2	6.5	13.0	21.7	26.0
4	4.8	6.0	12.0	20.0	24.0
5	4.4	5.5	11.0	18.3	22.0
6	4.0	5.0	10.0	16.7	20.0
7	3.6	4.5	9.0	15.0	18.0
8	3.2	4.0	8.0	13.3	16.0
9	2.8	3.5	7.0	11.7	14.0
A	2.4	3.0	6.0	10.0	12.0
B	2.0	2.5	5.0	8.3	10.0
C	1.6	2.0	4.0	6.7	8.0
D	1.2	1.5	3.0	5.0	6.0
E	0.8	1.0	2.0	3.3	4.0
F	0.4	0.5	1.0	1.7	2.0

あるコマンドの C-Phase の期間が、シーク系コマンドの STEP 信号を発生するタイミングにかかると、その期間 STEP 信号が保留されて次の STEP 信号までの間隔が短くなります。

この現象が起こるのは、シーク系コマンドの C-Phase の期間がステップ・レート時間より長い場合とシーク系コマンドの実行中にほかのコマンドを書き込む場合です。これらの場合には該当のステップ・パルス間隔の最小値は次のとおりです。

- 1.25 Mbps 時 : 0.4 ms
- 1.0 Mbps 時 : 0.5 ms
- 500 Kbps 時 : 1.0 ms
- 300 Kbps 時 : 1.7 ms
- 250 Kbps 時 : 2.0 ms

シーク・エラーを避けるために、シーク系コマンドの C-Phase 期間、または E-Phase でほか

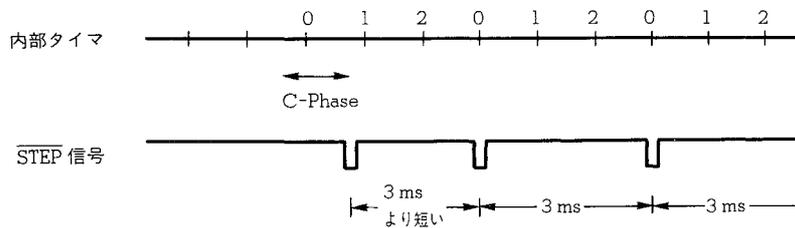
のコマンドを書き込む際の C-Phase 期間をできるだけ短くするか、ステップ・レート時間を長く設定してください。

これらの C-Phase の時間が $20 \mu\text{s} \times (\text{ステップ・レート})$ より短ければ、シーク・エラーは生じません。

たとえば、ステップ・レート時間が 3 ms ならば $60 \mu\text{s}$ 以内に C-Phase のパラメータ・バイトを書き込めばよいことになります。

図 11-6 ステップ・レートが短くなる場合

(a) 単一シーク時



(b) 同時シーク時



○ HLT (Head Load Time)

HLT は、リード/ライト系のコマンドを実行開始時、リード/ライト・ヘッドをロード後に安定させるための待ち時間を指定します (ドライブの規格にあわせて)。コマンド実行開始時にヘッドがロード状態ならば HLT は無意味です。

- 1.25 Mbps 時 : 0.8~102 ms (0.8 ms)
- 1.0 Mbps 時 : 1.0~127 ms (1.0 ms)
- 500 Kbps 時 : 2.0~254 ms (2.0 ms)
- 300 Kbps 時 : 3.3~423 ms (3.3 ms)
- 250 Kbps 時 : 4.0~508 ms (4.0 ms)

HLT は00～7F (16進数) の値で指定できます。表 11-4 にヘッド・ロード時間を示します。

なお、データ転送レートは MFM 時の値です。

Apple FDD モードでは HLT を設定しても意味を持ちません。

表 11-4 HLT によるヘッド・ロード時間

HLT (16)	時 間 (ms)				
	1.25 Mbps	1.0 Mbps	500 Kbps	300 Kbps	250 Kbps
00	使 用 禁 止				
01	0.8	1.0	2.0	3.3	4.0
02	1.6	2.0	4.0	6.7	8.0
03	2.4	3.0	6.0	10.0	12.0
04	3.2	4.0	8.0	13.3	16.0
05	4.0	5.0	10.0	16.7	20.0
06	4.8	6.0	12.0	20.0	24.0
07	5.6	7.0	14.0	23.3	28.0
08	6.4	8.0	16.0	26.7	32.0
09	7.2	9.0	18.0	30.0	36.0
0A	8.0	10.0	20.0	33.3	40.0
⋮	⋮	⋮	⋮	⋮	⋮
7D	100	125	250	417	500
7E	101	126	252	420	504
7F	102	127	254	423	508

ヘッド・ロード時間の最小値は、表の値より次のようになります。

- 1.25 Mbps 時 : 0.8 ms
- 1.0 Mbps 時 : 1.0 ms
- 500 Kbps 時 : 2.0 ms
- 300 Kbps 時 : 3.3 ms
- 250 Kbps 時 : 4.0 ms

また、ヘッド・セトリング時間はヘッド・ロード時間よりも短いので指定する必要はありません (ロード中にヘッド・セトリング完了するという前提で動作します)。

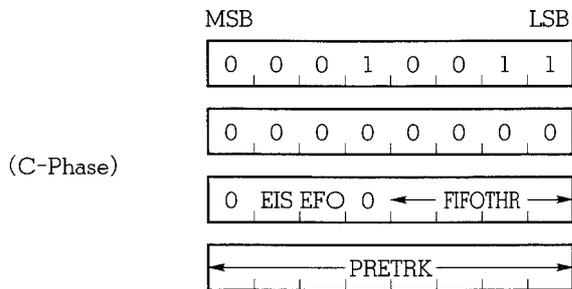
○ND (Non-DMA Mode)

ND ビットは、スタンダード FDD モード、および Apple FDD モードの両方で指定でき、リード/ライト系コマンドの E-Phase でのデータ転送モードを指定します。

- ND=1 : Non-DMA モード
- ND=0 : DMA モード

(2) CONFIGURE

いくつかの初期パラメータを設定するためにこのコマンドを使用します。



初期パラメータの設定

○パラメータの説明

- EIS μ PD72070 がリード/ライト系のコマンドを実行する前に、SEEK コマンドを発行せずに SEEK 動作を行うことができます (スタンダード FDD モードのみ)。EIS に “1” がセットされたとき、この IMPLIED SEEK 機能はアクティブになります。
- EFO EFO ビットは、 μ PD72070 におけるデータ FIFO を機能させるために使用されます。

EFO	データ FIFO
0	機能する
1	機能しない

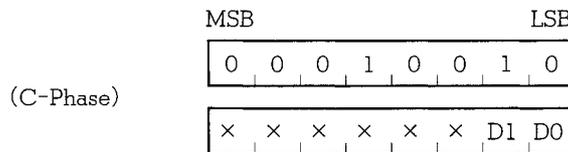
- ★ FIFOTHR いったん、EFO ビットが “0” に設定されると、FIFOTHR ビットは、 μ PD72070 の E-Phase におけるリード/ライト系コマンド実行している間のデータ FIFO のスレッシュホールドを決定するのに使用されます。このスレッシュホールドは、1 バイトから 16 バイトまでプログラムできます。
- PRETRK PRETRK ビットは、FDD ライト・データの書き込み補償量開始トラックを指定します。

○エラー条件
ありません。

(3) PERPENDICULAR MODE

垂直磁化記録方式フロッピー・ディスク・ドライブを使用する場合、READ/WRITE/FORMAT系コマンドを実行する前に必ず発行してください。

このコマンドにより、GAP2の長さや VCO のイネーブル・タイミングを、垂直磁化記録方式フロッピー・ディスク・ドライブの特有な条件にあわせて調整することができます（下図参照）。



注意 垂直磁化記録方式 FDD で使用されている先行イレース・ヘッドと、従来のヘッドでは図 11-7、図 11-8 のような構造の違いがあります。

図 11-7 先行イレース・ヘッド

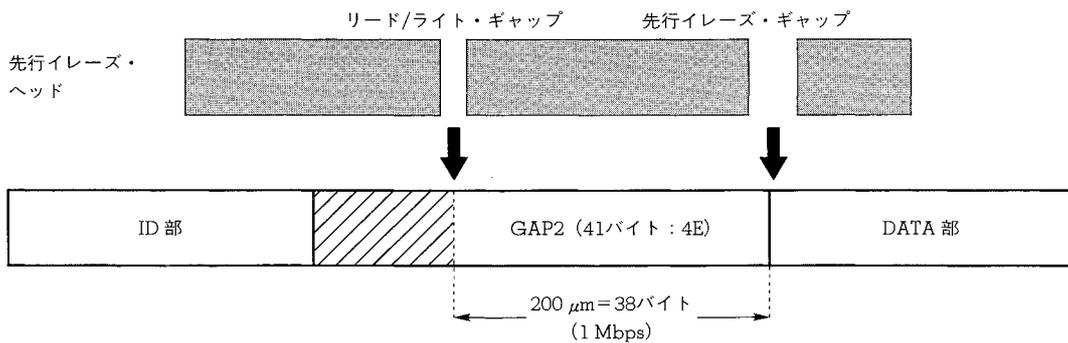
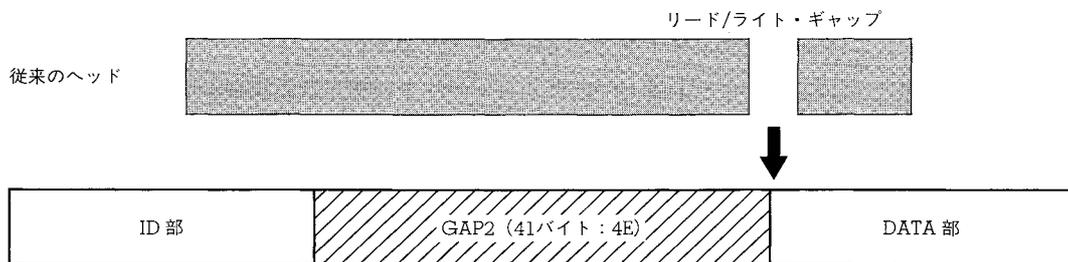


図 11-8 従来のヘッド



このコマンドを発行することにより、ライト時の GAP2 の書き込みバイト数を変更することができます。次の表を参照してください。

○パラメータの説明

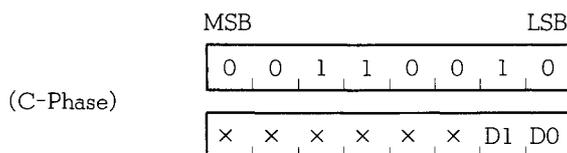
D1	D0	モード	INDEX 信号入力後の VCO ロウ時間 (読み飛ばし)	フォーマット領域の GAP2 の長さ	WRITE DATA 動作によって書き込まれる GAP2 の部分	リード動作における GAP2 の VCO ロウ時間 (読み飛ばし)	
0	0	CONVENTIONAL MODE (垂直磁化記録方式以外)	33	22	0	24	
0	1	PERPENDICULAR MODE 500 Kbps (垂直磁化記録方式 : 500 K/300 K/250 Kbps)	33	22	19	24	
1	0	未 定 義					
1	1	PERPENDICULAR MODE 1 Mbps (垂直磁化記録方式 : 1 Mbps)	18	41	38	43	

単位 : バイト

注意 PERPENDICULAR MODE におけるデータ転送レート (250, 300, 500 Kbps と 1 Mbps) の選択は、データ・レート・レジスタで確実に設定してください。このコマンドでは、データ転送レートの設定はできません。

(4) SELECT DRIVE TYPE

SELECT DRIVE TYPE コマンドは、FDD の種類を選択します。13 MB FDD, Apple FDD を使用する場合は、ほかのコマンドに先立って、必ずこのコマンドを発行してください。



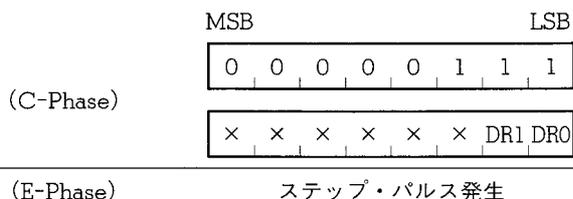
○パラメータの説明

D1	D0	選択される FDD
0	0	CONVENTIONAL FDD (リセット後のデフォルト) FDD ≤ 4 MB
0	1	13 MB FDD
1	0	未定義
1	1	Apple FDD

11.3.2 シーク系コマンド

(1) RECALIBRATE (Return to Cylinder0)

$\overline{\text{TRK0}}$ 信号が入力されるまで外周方向へヘッドを移動させます。リザルト・ステータス・バイトは、SENSE INTERRUPT STATUS コマンドで引き取ります。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

○リキャリブレート動作と終了

PCN バイトをクリアしたあと、 $\overline{\text{TRK0}}$ 信号をチェックします。 $\overline{\text{TRK0}}$ 信号がインアクティブ状態のときには、ステップ・パルスを発生します。

$\overline{\text{TRK0}}$ 信号がアクティブ状態になったとき、STO の SE ビットがセットされ、コマンド実行は正常終了します。ただし、STO の内容は、SENSE INTERRUPT STATUS コマンドで処理します。

○リザルト・ステータス・バイト正常，異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
RECALIB- RATE (SENSE INTERRUPT STATUS で引き取り)	正常終了	00		1															
	ノット・レディ		01	1		1													
	トラック 0 非検出		01	1	1														

●ノット・レディ (Not Ready Error)

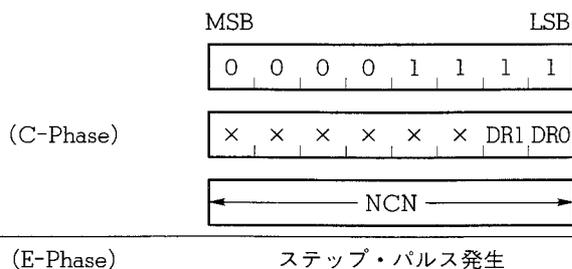
コマンド実行開始時，またはシーク動作実行中 (E-Phase)，デバイスがレディ状態でない場合にはその時点で ST0 の SE, NR ビットをセットしてコマンドの実行を異常終了します。

●トラック 0 非検出 (Equipment Check, Track0)

ステップ・パルスを80回発行しても $\overline{\text{TRK0}}$ 信号が入力されないときには、STO の SE ビットと EC ビットをセットしてコマンドの実行を異常終了します。

(2) SEEK

パラメータの NCN (New Cylinder Number) バイトをシーク先のシリンダ番号とみなして、リード/ライト・ヘッドをこのシリンダまで移動させます。リザルト・ステータス・バイトは、SENSE INTERRUPT STATUS コマンドで引き取ります。



備考 パラメータについては、**11.2.1 コマンド・バイト・パラメータ**を参照してください。

リード/ライト・ヘッドの位置するシリンダを示す PCN バイトと NCN バイトを比較します。比較結果が異なる場合、次の2つのうちどちらかの動作を行います。

- NCN > PCN の場合：DIR 信号をセットしてステップ・パルス ($\overline{\text{STEP}}$) を出力し、PCN をインクリメント ($\text{PCN} \leftarrow \text{PCN} + 1$) します。
- NCN < PCN の場合：DIR 信号をセットしてステップ・パルス ($\overline{\text{STEP}}$) を出力し、PCN をデクリメント ($\text{PCN} \leftarrow \text{PCN} - 1$) します。

その後は、SPECIFY コマンドで指定されるステップ時間ごとに上述の動作を繰り返します。

PCN = NCN となった場合、STO の SE ビットをセットしてコマンドの実行を正常終了します。ただし、STO の内容は SENSE INTERRUPT STATUS コマンドで処理します。

ホスト・インタフェース・モードが General モード、Apple モードのときは、E-Phase (FDC Busy) では、FDC はノンビジーであるため、ほかのデバイスに対する SEEK または RECALIBRATE コマンドを受け付け、同時に4台までのデバイスをシークさせることができます。

ホスト・インタフェース・モードが PS/2 モード、PC-AT モードのときは、パラレル・シークはできません。

○リザルト・ステータス・バイト正常，異常表示ビット

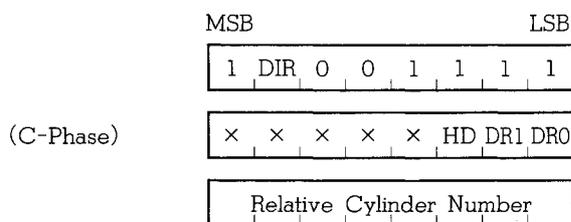
コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SEEK (SENSE INTERRUPT STATUS で引き取り)	正常終了	00		1															
	ノット・レディ		01	1		1													

●ノット・レディ (Not Ready Error)

コマンド実行開始時，またはシーク動作実行中 (E-Phase)，デバイスがレディ状態でない場合にはその時点で ST0 の SE, NR ビットをセットしてコマンドの実行を異常終了します。

(3) RELATIVE SEEK

スタンダード FDD モード専用のコマンドです。“RELATIVE CYLINDER NUMBER”の数字に従って相対的にリード/ライト・ヘッドを目的位置にシークさせます。その方向は DIR ビットによって定義されます。リザルト・ステータス・バイトは、SENSE INTERRUPT STATUS コマンドで引き取ります。



(E-Phase) ステップ・パルス発生

備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイト正常，異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
RELATIVE SEEK (SENSE INTERRUPT STATUS で引き取り)	正常終了	00		1															
	ノット・レディ		01	1	1	1													
	トラック 0 非検出後，ステップ・パルス出力要求		01	1	1														

●ノット・レディ (Not Ready Error)

コマンド実行開始時，またはシーク動作実行中 (E-Phase)，デバイスがレディ状態でない場合にはその時点で ST0 の SE，NR ビットをセットしてコマンドの実行を異常終了します。

●トラック 0 検出後のステップ・パルスを出力要求 (Equipment Check, Track0)

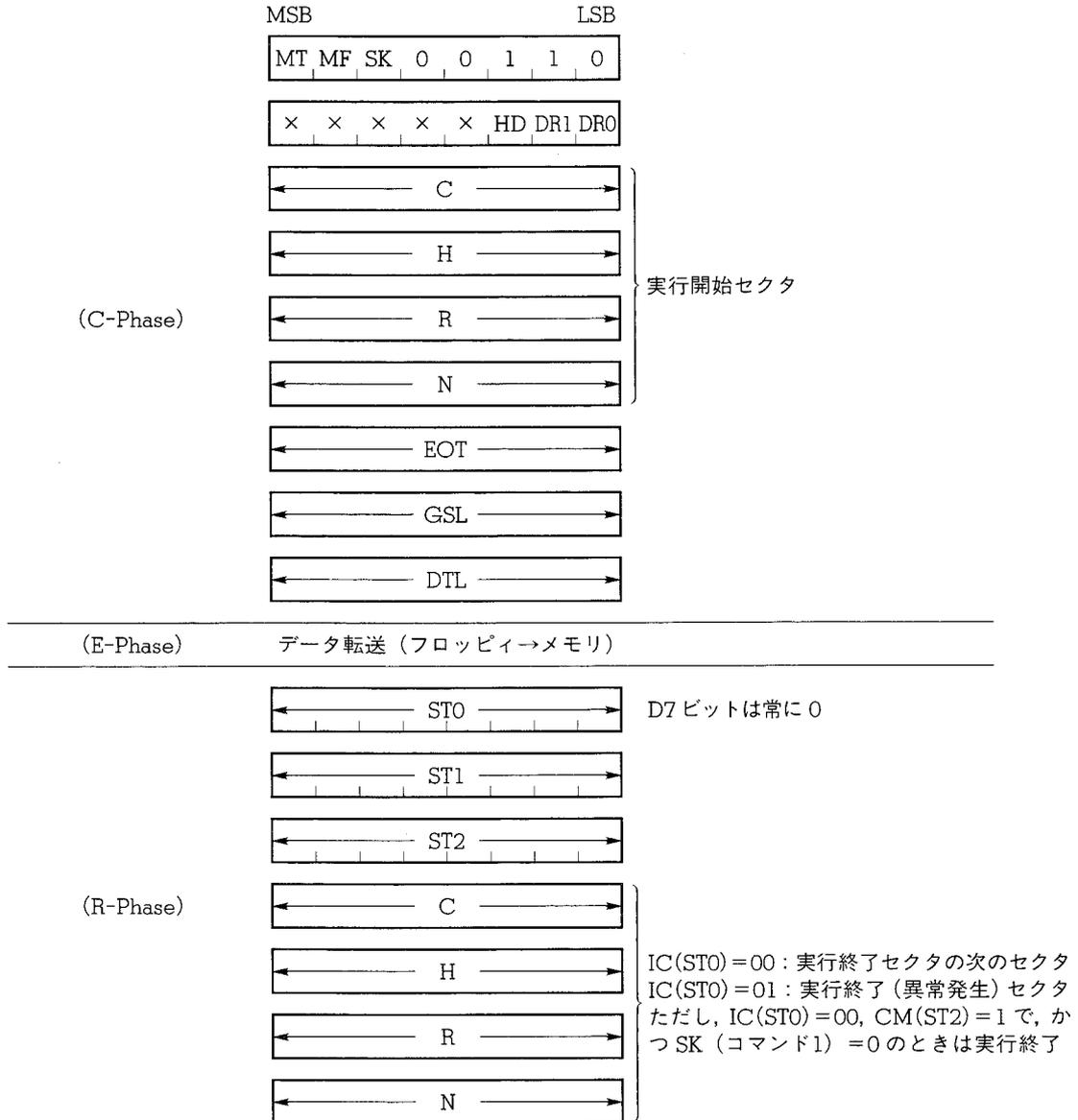
$\overline{\text{TRK0}}$ 信号が入力されたあともステップ・パルスの出力要求があった場合，ST0 の SE ビットと EC ビットをセットしてコマンドの実行を異常終了します。

例 シリンダの現在位置が 20 (D) シリンダでこのコマンドにより，遠心方向に 30 (D) シリンダ分ヘッドを移動させた場合。

11.3.3 リード系コマンド

(1) READ DATA

ホストからの ID 情報 (ID Register (IDR) : C, H, R, N バイト) で指定されたセクタのデータをディスクから読み取り, 1 バイトごとにデータ・レジスタにセットします。そしてホストはその内容を Non-DMA モード, または DMA モードで読み取ります。



備考 パラメータについては, 11.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイト正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ DATA	正常終了	00																	
	ノット・レディ		01			1													
	ID 部	IDAM 非検出		01								1							
		C 不一致(≠FFH)		01							1				1				
		C 不一致(=FFH)		01							1								1
		H 不一致		01							1								
		R 不一致(1トラック内)		01							1								
		N 不一致		01							1								
		CRC 不一致		01						1									
	デー タ 部	DAM 非検出		01									1						1
		DDAM 検出	00											1					
		CRC 不一致		01						1					1				
		オーバラン		01							1								
	最終セクタで未終了		01					1											

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

スタンダード FDD モードの MFМ, FM フォーマットにおけるインデクス・パルスが 2 回入力される前に以下のものが検出されないとき, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

- ID 部 (address header) における address mark

●セクタの不一致 (C, H, R, N バイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, N バイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき, 特に読み取った ID の C バイトについては, IDR の C バイトと一致しなかった場合, 次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット
(No Data Error with Bad Cylinder)
- 読み取った ID の C バイト ≠ FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット
(No Data Error with No Cylinder)

●CRC 不一致 (CRC Error)

ID 部またはデータ部の CRC バイトを読み取って、それと内部生成した CRC を比較して一致しないとき、ST1 の DE ビットをセットして異常終了します (CRC Error in ID Field)。

なお、データ部の CRC エラーのときは、ST1 の DE ビットと ST2 の DD ビットもセットしてコマンドを異常終了します (CRC Error in Data Field)。

●DAM 非検出 (Missing Address Mark Error in Data Field)

IDAM 検出後、IDR で指定されたセクタの DAM を検出できなかった場合、ST1 の MA ビットと ST2 の MD ビットをセットします。

●DDAM 検出 (Control Mark Detection)

DDAM を検出すると ST2 の CM ビットをセットします。

このときコマンドの SK ビットの内容により次のように処理が行われます。

- SK=0 のとき：DDAM を検出したセクタを転送したあと、コマンドの実行を正常終了します。

R-Phase の C, H, R, N バイトは DDAM を検出したときのセクタの値となります。

- SK=1 のとき：DDAM を検出したセクタをスキップして次のセクタを処理します。

●オーバラン (Overrun Error)

データ転送時、INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は \overline{RD} 信号、DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお、DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ読み出し応答最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

●最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合、ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入カタイミングについてを参照してください)。

○正常終了

このコマンドが正常終了したとき、表 11-5 の値が R-Phase で設定されます。

表 11-5 READ DATA コマンドにおける正常終了時の値

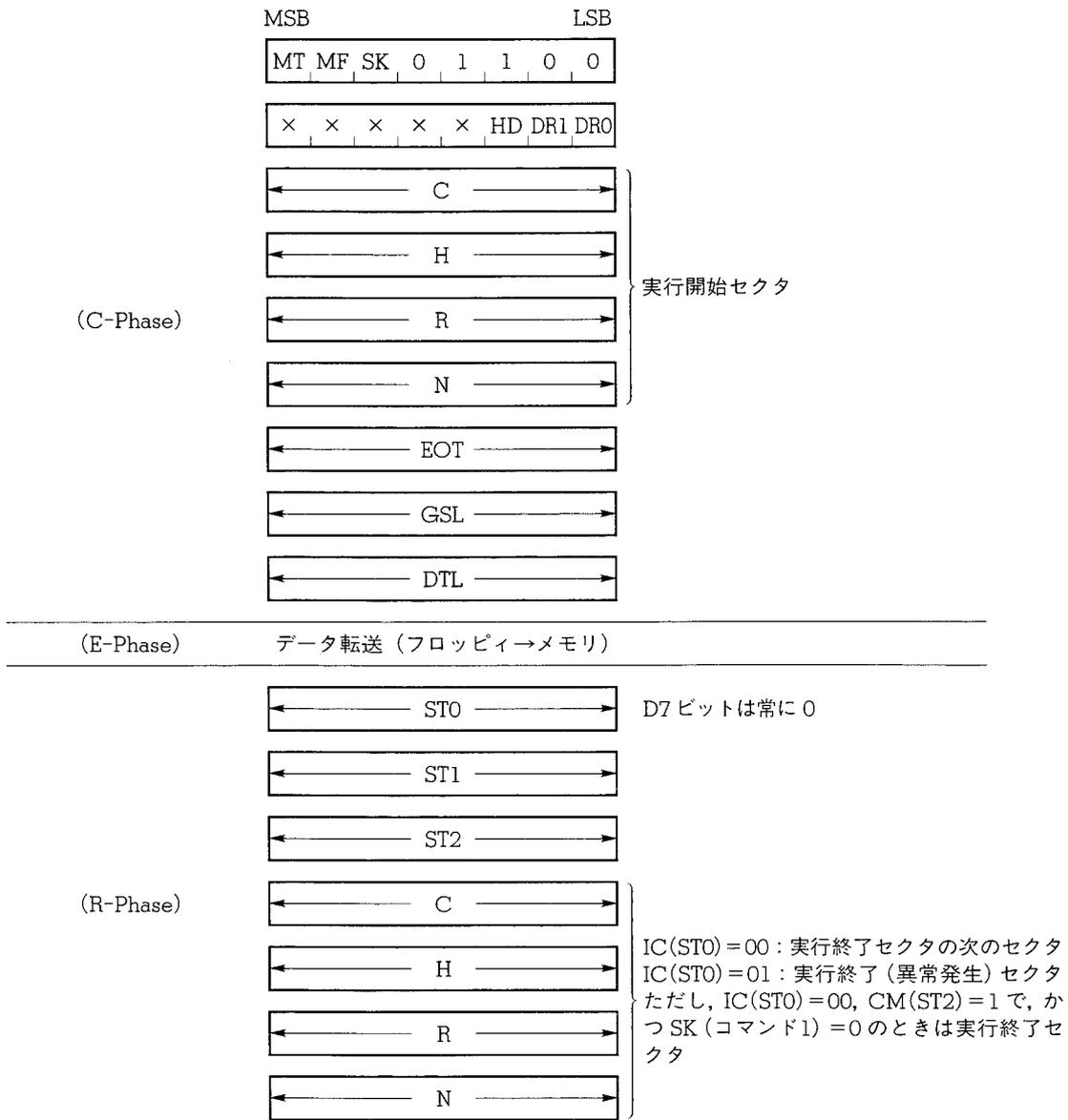
MT	ヘッド	最終セクタ	R-Phase の IDR 情報			
			C	H	R	N
0	0	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	C+1	変化しない	1	変化しない
	1	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	C+1	変化しない	1	変化しない
1	0	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	変化しない	1	1	変化しない
	1	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	C+1	0	1	変化しない

(2) READ DELETED DATA

スタンダード FDD モード専用のコマンドです。

ホストからの ID 情報 (ID Register (IDR) : C, H, R, N バイト) で指定されたセクタのデータをディスクから読み取り, 1 バイトごとにデータ・レジスタにセットします。そしてホストはその内容を Non-DMA モード, または DMA モードで読み取ります。

READ DATA コマンドは, デリートド・データ・アドレス・マーク (DDAM=FBH) を検出したとき, CM ビットをセットします。これに対し, READ DELETED DATA コマンドは, データ・アドレス・マーク (DAM=F8H) を検出したとき, CM ビットを検出します。これ以外は, READ DATA コマンドと同じ機能です。



備考 パラメータについては, 11.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイトの正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ DELETED DATA	正常終了	00																	
	ノット・レディ		01			1													
	ID 部	IDAM 非検出		01								1							
		C 不一致(≠FFH)		01						1				1					
		C 不一致(=FFH)		01						1								1	
		H 不一致		01						1									
		R 不一致(1トラック内)		01						1									
		N 不一致		01						1									
		CRC 不一致		01					1										
	デー タ 部	DDAM 非検出		01									1						1
		DAM 検出	00											1					
		CRC 不一致		01					1						1				
		オーバラン		01						1									
	最終セクタで未終了		01				1												

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

スタンダード FDD モードの MFМ, FM フォーマットにおけるインデクス・パルスが 2 回入力される前に IDAM (ID address mark) が検出されないとき, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

●セクタの不一致 (C, H, R, N バイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, N バイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき, 特に読み取った ID の C バイトについては, IDR の C バイトと一致しなかった場合, 次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット
(No Data Error with Bad Cylinder)
- 読み取った ID の C バイト ≠ FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット
(No Data Error with No Cylinder)

●CRC 不一致 (CRC Error)

ID 部またはデータ部の CRC バイトを読み取って、それと内部生成した CRC を比較して一致しないとき、ST1 の DE ビットをセットして異常終了します (CRC Error in ID Field)。

なお、データ部の CRC エラーのときは、ST1 の DE ビットと ST2 の DD ビットもセットしてコマンドを異常終了します (CRC Error in Data Field)。

●DDAM 非検出 (Missing Address Mark Error in Data Field)

IDAM 検出後、IDR で指定されたセクタの DDAM を検出できなかった場合、ST1 の MA ビットと ST2 の MD ビットをセットします。

●DDAM 検出 (Control Mark Detection)

DDAM を検出すると ST2 の CM ビットをセットします。

このときコマンドの SK ビットの内容により次のように処理が行われます。

- SK=0 のとき：DDAM を検出したセクタを転送したあと、コマンドの実行を正常終了します。

R-Phase の C, H, R, N バイトは DDAM を検出したときのセクタの値となります。

- SK=1 のとき：DDAM を検出したセクタをスキップして次のセクタを処理します。

●オーバラン (Overrun Error)

データ転送時、INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は \overline{RD} 信号、DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお、DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ読み出し応答最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

●最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合、ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入カタイミングについてを参照してください)。

(3) READ ID

ヘッド・ロード時間経過後, 最初に検出した任意のセクタの ID (address header) を R-Phase の IDR としてデータ・レジスタにセットします。



備考 パラメータについては, 11.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイトの正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ	正常終了	00																	
	ノット・レディ		01			1													
ID	IDAM 非検出		01									1							
	C, H, R, N 非検出		01							1									

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

- IDAM 非検出 (Missing Address Mark Error in ID Field)

[MFM フォーマット]

インデクス・パルスを 2 回検出するまでに IDAM (ID address mark) がまったく検出されなかった場合、ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

- C, H, R, N 非検出 (No Data Error in ID Field)

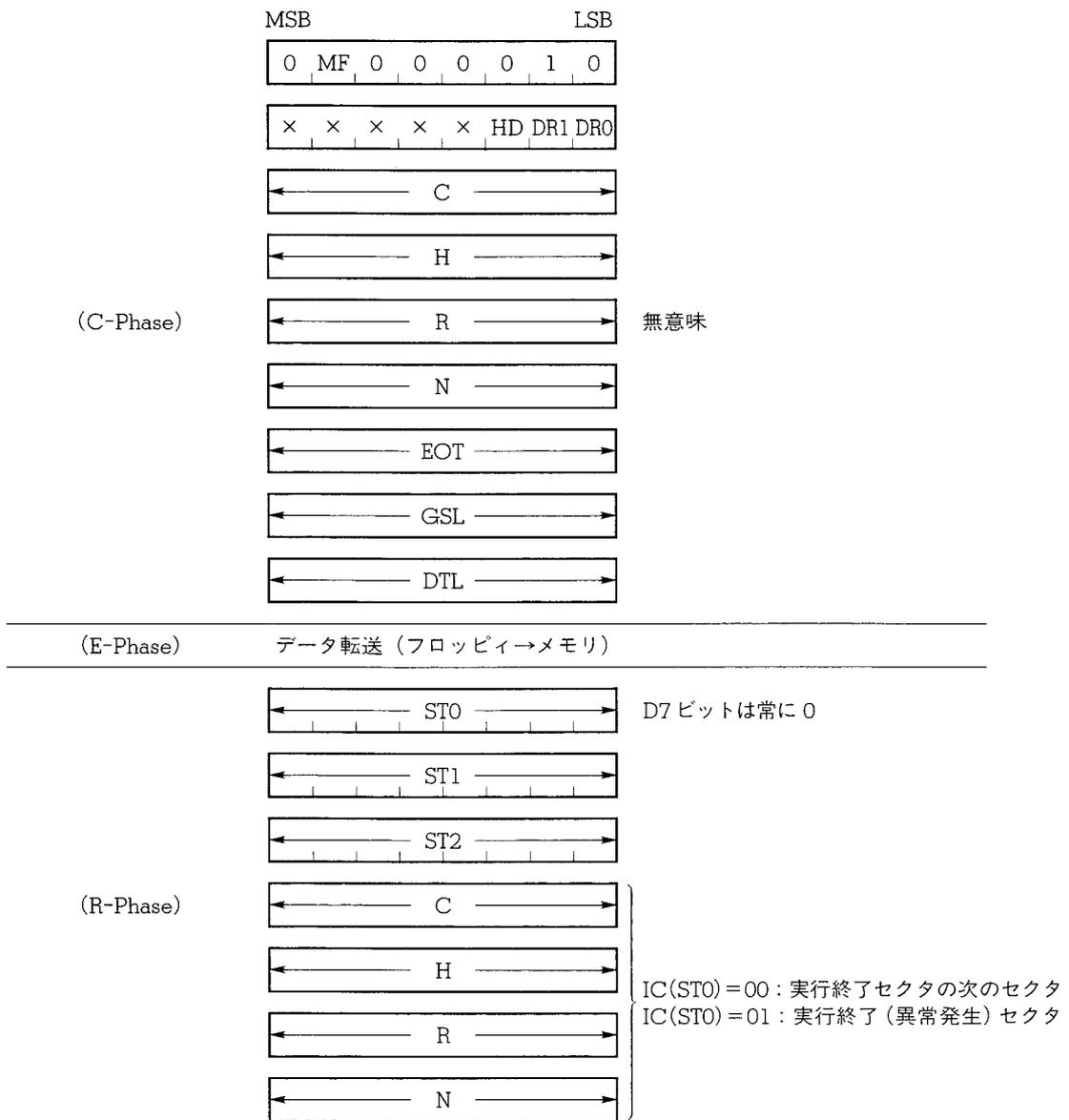
IDAM を検出してもインデクス・パルスを 2 回検出するまでに CRC エラーのない ID が検出されない場合には、ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

(4) READ A TRACK

ホストからの ID 情報で指定されたセクタのデータをディスクから読み取り1バイトごとにデータ・レジスタにセットします。ホストはその内容を Non-DAM モード、または DMA モードで読み取ります。マルチトラック・スキップの指定はありません。

また、コマンド実行時、パラメータの R バイトには内部で初期値 01H をセットして、インデクス・パルスの入力直後のセクタから処理します。

正常終了した場合、エラーが生じるとそれを累積してリザルト・ステータス・バイトに出力します。ただし、セクタを知ることはできません（リザルトの C, H, R, N バイトは実行終了セクタを更新したものです）。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイト正常, 異常表示バイト

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ A TRACK	正常終了	00																	
	ノット・レディ		01			1													
	ID部	IDAM 非検出		01								1							
		C 不一致(終了せず)	00								1								
		H 不一致(終了せず)	00								1								
		R 不一致(終了せず)	00								1								
		N 不一致(終了せず)	00								1								
		CRC 不一致(終了せず)	00						1										
	データ部	DAM 非検出		01									1						1
		DDAM 検出(終了せず)	00											1					
		CRC 不一致(終了せず)	00						1						1				
		オーバラン		01							1								
		最終セクタで未終了		01				1											

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

スタンダード FDD モードの MFM, FM フォーマットにおけるインデクス・パルスが 2 回入力される前に以下のものが検出されないとき, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

- ID 部 (address header) における address mark
- ID 部のデータ (要求された address header)

●セクタの不一致 (C, H, R, Nバイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, Nバイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

●CRC 不一致 (CRC Error)

ID 部またはデータ部の CRC バイトを読み取って, それと内部生成した CRC を比較して一致しないとき, ST1 の DE ビットをセットして異常終了します (CRC Error in ID Field)。

なお、データ部の CRC エラーのときは、ST1 の DE ビットと ST2 の DD ビットもセットしてコマンドを異常終了します (CRC Error in Data Field)。

●DAM 非検出 (Missing Address Mark Error in Data Field)

IDAM 検出後、IDR で指定されたセクタの DAM を検出できなかった場合、ST1 の MA ビットと ST2 の MD ビットをセットします。

●DDAM 検出 (Control Mark Detection)

DDAM を検出すると ST2 の CM ビットをセットします。

このときコマンドの SK ビットの内容により次のように処理が行われます。

- SK=0 のとき：DDAM を検出したセクタを転送したあと、コマンドの実行を正常終了します。
- SK=1 のとき：DDAM を検出したセクタをスキップして次のセクタを処理します。

●オーバラン (Overrun Error)

データ転送時、INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は \overline{RD} 信号、DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお、DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ書き込み応答最大時間

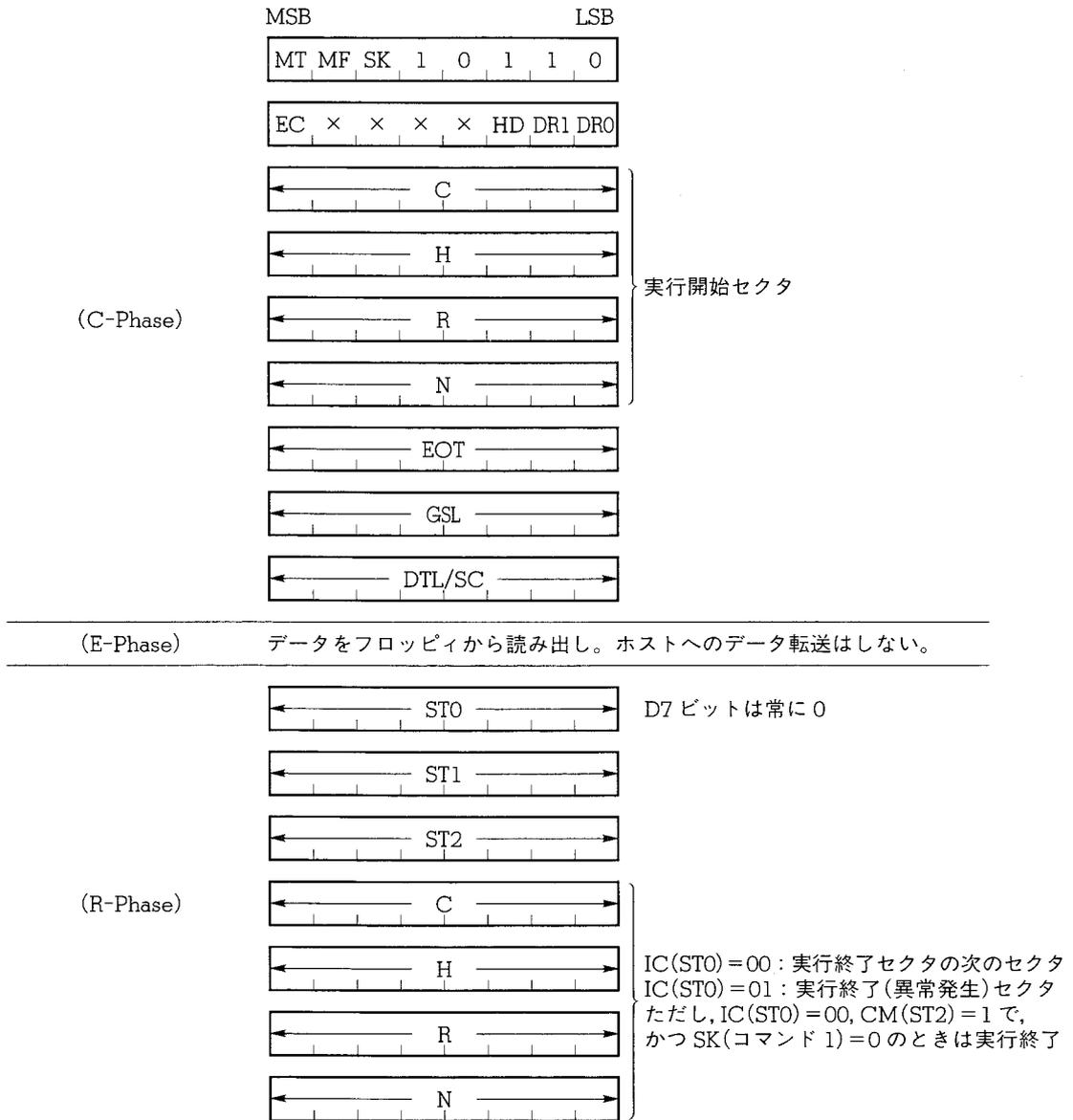
	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

●最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合、ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入カタイミングについてを参照してください)。

(5) VERIFY

スタンダード FDD モード専用のコマンドです。ホストからのサービス ($\overline{\text{DMAAK}}$, $\overline{\text{RD}}$ 信号) が不要なことを除き, READ DATA コマンドと同じ機能を持っています。



備考 パラメータについては, 11.2.1 コマンド・バイト・パラメータを参照してください。

このコマンドにおいて, データはまったく転送されません。したがって, このコマンドを終了させるために TC 信号を使用することはできません。EC ビットを “1” にセットすることにより, TC 信号の代用が可能です。この場合, SC で指定されたセクタ数の読み出しが完了したあと, このコマンドは終了します(SC=0 のときは, 256セクタ分をベリファイします)。EC=0 の場合, EOT とチェックした最終セクタが等しいときこのコマンドは終了します。この場合, DTL パラメータは FFH に設定してください。

このコマンドの正常終了時の R-Phase の値は表 11-6 に示します。また、MT ビットと EC ビットに関するリザルト・バイトの詳細を表 11-7 に示します。

表 11-6 VERIFY コマンドにおける正常終了時の値

MT	ヘッド	最終セクタ	R-Phase の IDR 情報			
			C	H	R	N
0	0	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	C+1	変化しない	1	変化しない
	1	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	C+1	変化しない	1	変化しない
1	0	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	変化しない	1	1	変化しない
	1	<EOT	変化しない	変化しない	R+1	変化しない
		=EOT	C+1	0	1	変化しない

	EOT パラメータ	DTL/SC パラメータ
EC=1	EOT	SC (リードするセクタ数指定)
EC=0	EOT (このセクタ数のみリード)	DTL (必ず FFH に設定)

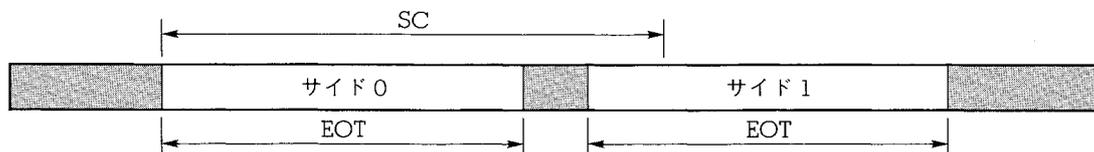
表 11-7 VERIFY コマンドにおける R-Phase

MT	EC	SC/EOT の値	終了結果
0	0	DTL を使用 (FFH に設定してください) EOT ≤ サイドあたりのセクタ数	エラーなし
		DTL を使用 (FFH に設定してください) EOT > サイドあたりのセクタ数	異常終了
	1	SC ≤ サイドあたりのセクタ数 さらに SC ≤ EOT	エラーなし
		SC > 残りのセクタ数 ^注 あるいは SC > EOT	異常終了
1	0	DTL を使用 (FFH に設定してください) EOT ≤ サイドあたりのセクタ数	エラーなし
		DTL を使用 (FFH に設定してください) EOT > サイドあたりのセクタ数	異常終了
	1	SC ≤ サイドあたりのセクタ数 さらに SC ≤ EOT	エラーなし
		SC ≤ (EOT × 2) さらに EOT ≤ サイドあたりのセクタ数	エラーなし
		SC > (EOT × 2)	異常終了

注 MT ビット = 1 の場合は、ディスクのサイド 1 を含む読み出し可能な残りのセクタ数

注意 MT=1, かつ SC の値がサイド 0 の残りのセクタ数より大きい場合、引き続きサイド 1 をベリファイします (次図参照)。

EC=1, MT=1 の場合



○リザルト・ステータス・バイトの正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
VERIFY	正常終了	00																	
	ノット・レディ		01			1													
	ID部	IDAM 非検出		01								1							
		C 不一致(≠FFH)		01						1				1					
		C 不一致(=FFH)		01						1								1	
		H 不一致		01						1									
		R 不一致(1トラック内)		01						1									
		N 不一致		01						1									
		CRC 不一致		01					1										
	データ部	DDAM 非検出		01									1						1
		DAM 検出	00											1					
		CRC 不一致		01					1						1				
	最終セクタで未終了		01				1												

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

スタンダード FDD モードの MFM, FM フォーマットにおけるインデクス・パルスが 2 回入力される前に IDAM (ID address mark) が検出されないとき, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

●セクタの不一致 (C, H, R, N バイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, N バイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき, 特に読み取った ID の C バイトについては, IDR の C バイトと一致しなかった場合, 次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット

(No Data Error with Bad Cylinder)

- 読み取った ID の C バイト ≠ FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット

(No Data Error with No Cylinder)

●CRC 不一致 (CRC Error)

ID 部またはデータ部の CRC バイトを読み取って、それと内部生成した CRC を比較して一致しないとき、ST1 の DE ビットをセットして異常終了します (CRC Error in ID Field)。

なお、データ部の CRC エラーのときは、ST1 の DE ビットと ST2 の DD ビットもセットしてコマンドを異常終了します (CRC Error in Data Field)。

●DDAM 非検出 (Missing Address Mark Error in Data Field)

IDAM 検出後、IDR で指定されたセクタの DDAM を検出できなかった場合、ST1 の MA ビットと ST2 の MD ビットをセットします。

●DDAM 検出 (Control Mark Detection)

DDAM を検出すると ST2 の CM ビットをセットします。

このときコマンドの SK ビットの内容により次のように処理が行われます。

- SK=0 のとき：DDAM を検出したセクタを転送したあと、コマンドの実行を正常終了します。

R-Phase の C, H, R, N バイトは DDAM を検出したときのセクタの値となります。

- SK=1 のとき：DDAM を検出したセクタをスキップして次のセクタを処理します。

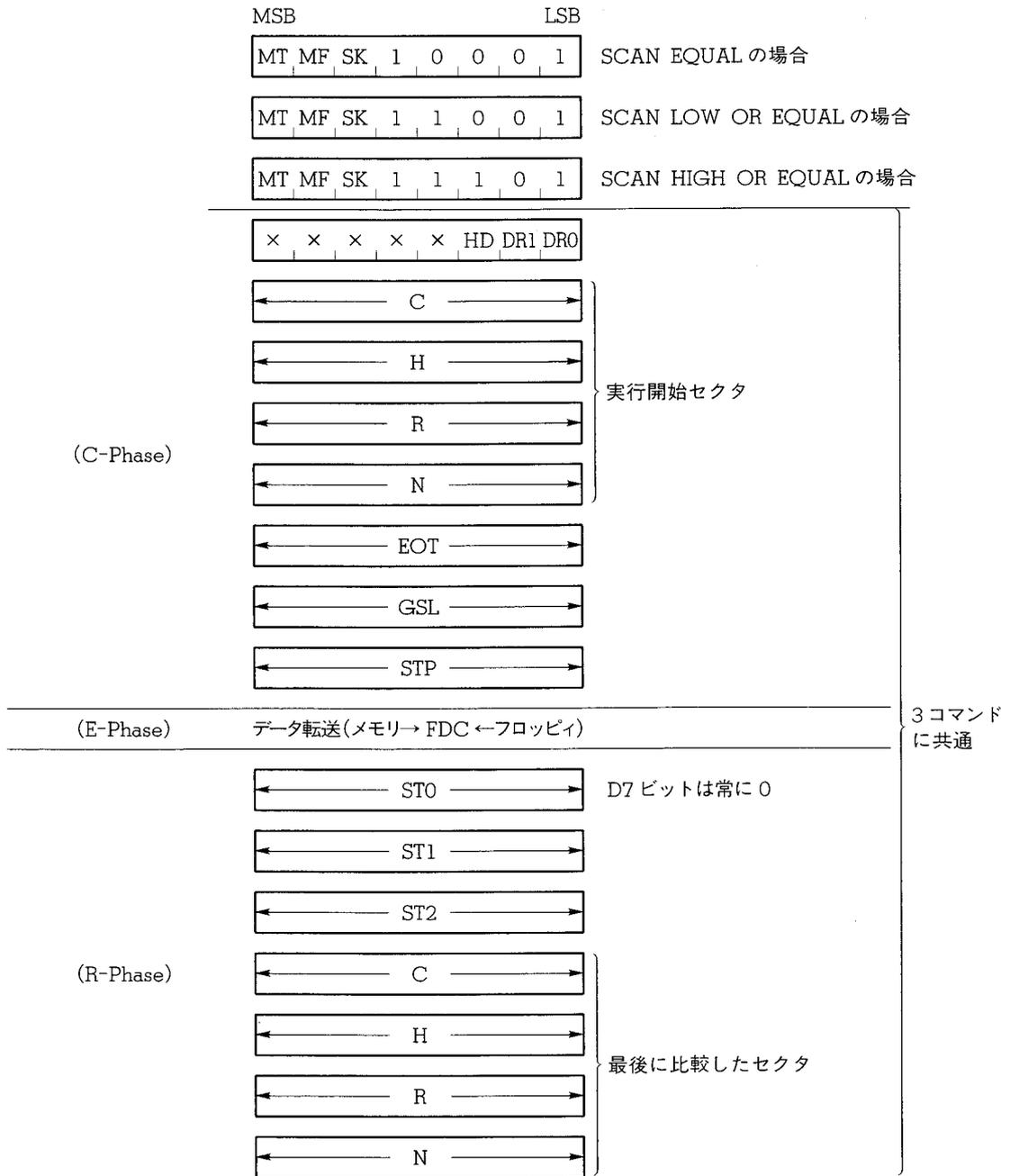
●最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) を越えて読み出そうとした場合、ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入カタイミングについてを参照してください)。

(6) SCAN EQUAL, SCAN LOW OR EQUAL, SCAN HIGH OR EQUAL

スタンダード FDD モード専用のコマンドです。

セクタ単位にホストのデータと比較し、条件（一致，大小）を満たすセクタを探します。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

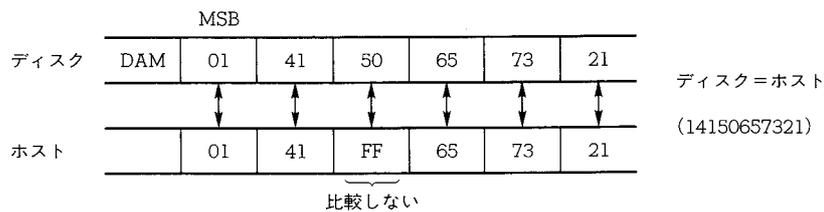
○比較方法

一致、大小の比較では、最初に比較するバイトを最上位として1セクタのデータ群を1つの数値として（ホスト側のデータ群も同じく1つのデータとして）行います。

●SCAN EQUAL

比較すべきセクタのバイト群がホストのデータ・バイト群と等しいかどうかをチェックし、等しいコマンドの実行を正常終了します。

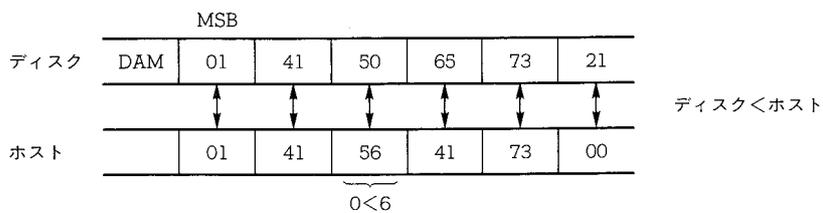
EQUAL (一致) のデータ・ストリング例



●SCAN LOW OR EQUAL

比較すべきセクタのバイト群がホストのデータ・バイト群より小さいか等しいとき、コマンドの実行を正常終了します。

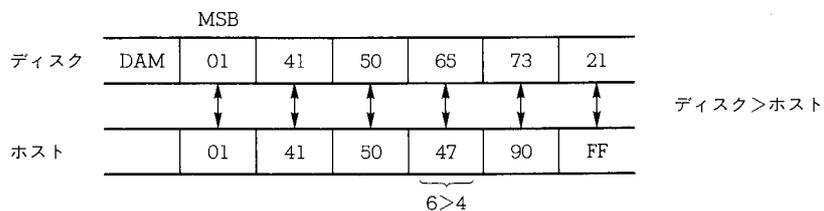
LOW (小) のデータ・ストリング例



●SCAN HIGH OR EQUAL

比較すべきセクタのバイト群がホストのデータ・バイト群より大きい等しいとき、コマンドの実行を正常終了します。

HIGH (大) のデータ・ストリング例



○比較しないデータ

ホストからのデータが FFH のとき、一致しているとみなしてそのデータを比較しません。

○実行終了

1 セクタの比較を行い、このセクタが条件を満たす場合、その時点でコマンドの実行を正常終了します。このとき EQUAL 条件を満たすと ST2 の SH ビットをセットします。

また、最終セクタまで比較しても条件を満たすセクタがないときには、ST2 の SN ビットをセットしてコマンドの実行を正常終了します。

各セクタの最終バイトを転送したときには、必ず TC 信号を入力してください(たとえば、DMA コントローラのオート・ロードによる場合など)。各セクタの全バイトを比較する必要のない場合には、セクタの途中で TC 信号を入力してください。その後のバイトを比較せず全セクタについて TC 信号入力までのデータ・バイトのみを比較します。

このコマンドにおいて TC 信号入力は、コマンド実行の終了条件にはなりません。

○リザルト・ステータス・バイト正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SCAN	LOW/HIGH 条件成立	00																	
	EQUAL 条件成立	00													1				
	条件不成立	00														1			
	ノット・レディ		01			1													
EQUAL, SCAN	IDAM 非検出	01									1								
	C 不一致(≠FFH)	01							1				1						
LOW OR EQUAL, SCAN	C 不一致(=FFH)	01							1								1		
HIGH OR EQUAL	H 不一致	01							1										
	R 不一致(1トラック内)	01							1										
OR EQUAL	N 不一致	01							1										
	CRC 不一致	01						1											
	DAM 非検出	01									1							1	
	DDAM 検出	00										1							
データ部	CRC 不一致	01						1					1						
	オーバラン	01							1										

●ノット・レディ (Not Ready Error)

コマンド実行開始時、または ID 部の SYNC バイト・サーチ時に FDD がレディ状態でない場合、ST0 の NR (Not Ready) ビットをセットして、コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

スタンダード FDD モードの MFM, FM フォーマットにおけるインデクス・パルスが 2 回入力される前に以下のものが検出されないとき, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

- ID 部 (address header) における address mark
- ID 部のデータ (要求された address header)

●セクタの不一致 (C, H, R, Nバイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, Nバイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき, 特に読み取った ID の C バイトについては, IDR の C バイトと一致しなかった場合, 次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット
(No Data Error with Bad Cylinder)
- 読み取った ID の C バイト \neq FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット
(No Data Error with No Cylinder)

●CRC 不一致 (CRC Error)

ID 部またはデータ部の CRC バイトを読み取って, それと内部生成した CRC を比較して一致しないとき, ST1 の DE ビットをセットして異常終了します (CRC Error in ID Field)。

なお, データ部の CRC エラーのときは, ST1 の DE ビット ST2 の DD ビットもセットしてコマンドの実行を異常終了します (CRC Error in Data Field)。

●DAM 非検出 (Missing Address Mark Error in Data Field)

IDAM 検出後, IDR で指定されたセクタの DAM を検出できなかった場合, ST1 の MA ビットと ST2 の MD ビットをセットします。

●DDAM 検出 (Control Mark Detection)

DDAM を検出すると ST2 の CM ビットをセットします。

このときコマンドの SK ビットの内容により次のように処理が行われます。

- SK=0 のとき: DDAM を検出したセクタを転送したあと, コマンドの実行を正常終了します。

R-Phase の C, H, R, N バイトは DDAM を検出したときのセクタの値となります。

- SK=1 のとき: DDAM を検出したセクタをスキップして次のセクタを処理します。

● オーバラン (Overrun Error)

データ転送時, INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合, そのセクタのデータを転送したあと, ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは, Non-DMA モードの場合は \overline{RD} 信号, DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお, DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

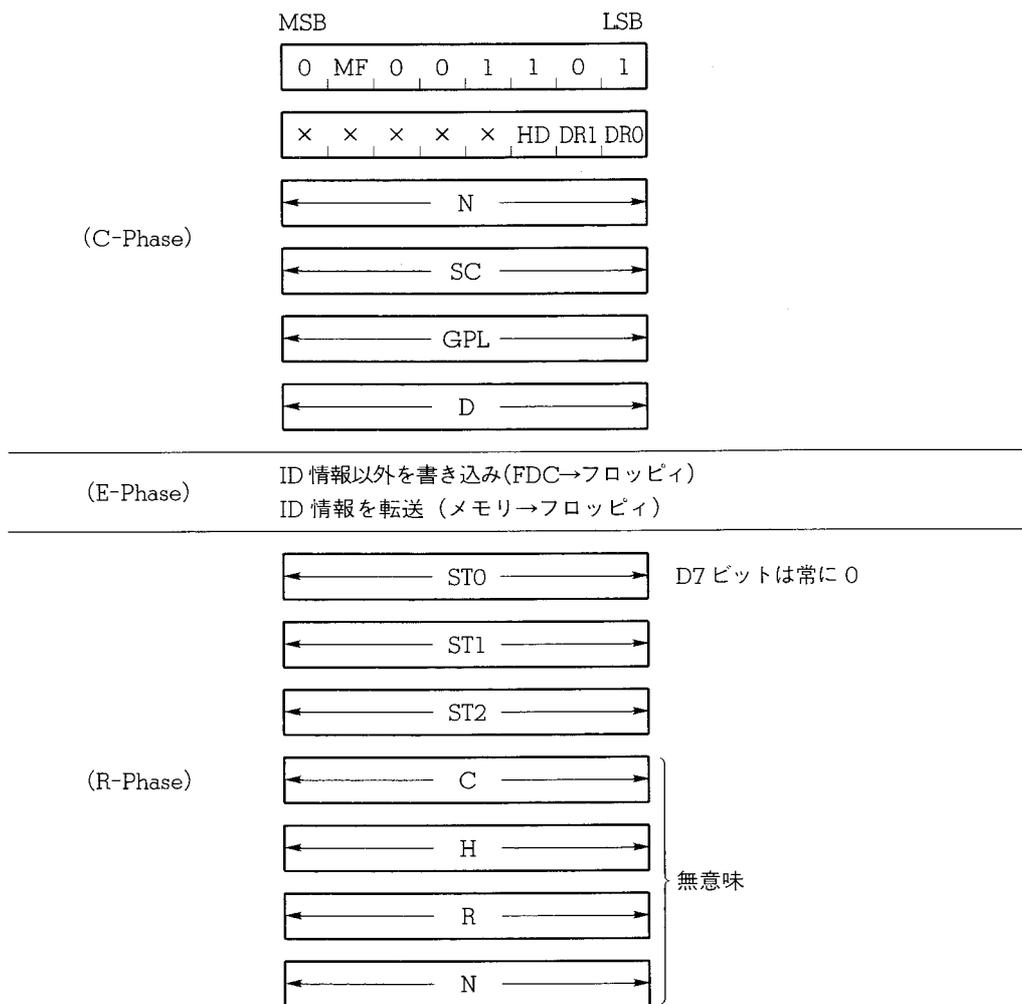
データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

11.3.4 ライト系コマンド

(1) FORMAT A TRACK

1トラック分のフォーマットの書き込みを行います。フォーマット中のID部にはホストからの情報を転送し、そのトラックすべてのセクタのデータ部にはパラメータのDバイトの値を書き込みます。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

○転送データ

1トラック分のID部の内容 $\{(C, H, R, N \text{バイト}) \times (\text{セット数})\}$ をホストから転送します。
 たとえばトラック番号00, ヘッド番号00, 1トラックのセクタ数9 (セクタ番号を1~9), 1セクタのデータ部バイト数1024 (N=03) の場合は, 以下のようなデータを転送します。
 00, 00, 01, 03, 00, 00, 02, 03, 00, 00, 03, 03, 00, 00, 04, 03, 00, 00, 05, 03,
 00, 00, 06, 03, 00, 00, 07, 03, 00, 00, 08, 03, 00, 00, 09, 03

○フォーマット

ID以外のフォーマット (Gap, Sync, Address Mark, Data, CRC) はFDCが内部で設定して書き込みます。ただし, データ長, セクタ数, ギャップ3の長さ, データ・パターンはパラメータ・バイトで設定しますのでプログラマブルです。

フォーマット書き込み開始は, コマンド実行後, インデクス・パルスが入力されると行われます。1セクタ書き込み終了後, TC信号の入力がなく, かつ処理セクタ数がパラメータ SC に等しくない場合, GAP3を書き込んで次のセクタ・フォーマットに移ります。

フォーマット書き込みが1セクタ終了したとき, すでに TC信号が入力されているか, 処理セクタ数がパラメータ SC に等しい場合, ギャップのみの書き込みに移り, その後インデクス・パルスが入力されると動作を終了します。

○リザルト・ステータス・バイトの正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2								
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD	
FORMAT A TRACK	正常終了	00																		
	ノット・レディ		01			1														
	ライト・プロテクト		01								1									
	オーバラン		01						1											

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID部の SYNCバイト・サーチ時にデバイスがレディ状態でない場合, ST0のNR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●ライト・プロテクト (Not Writable Error)

コマンド実行開始時に $\overline{\text{WPRT}}$ 信号が入力されているとき, その時点でST1のNWビットをセットしてコマンドの実行を異常終了します。

- オーバラン (Overrun Error)

データ転送時、INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は $\overline{\text{RD}}/\overline{\text{WR}}$ 信号、DMA モードの場合は $\overline{\text{DMAAK}}$ 信号の入力のことです。

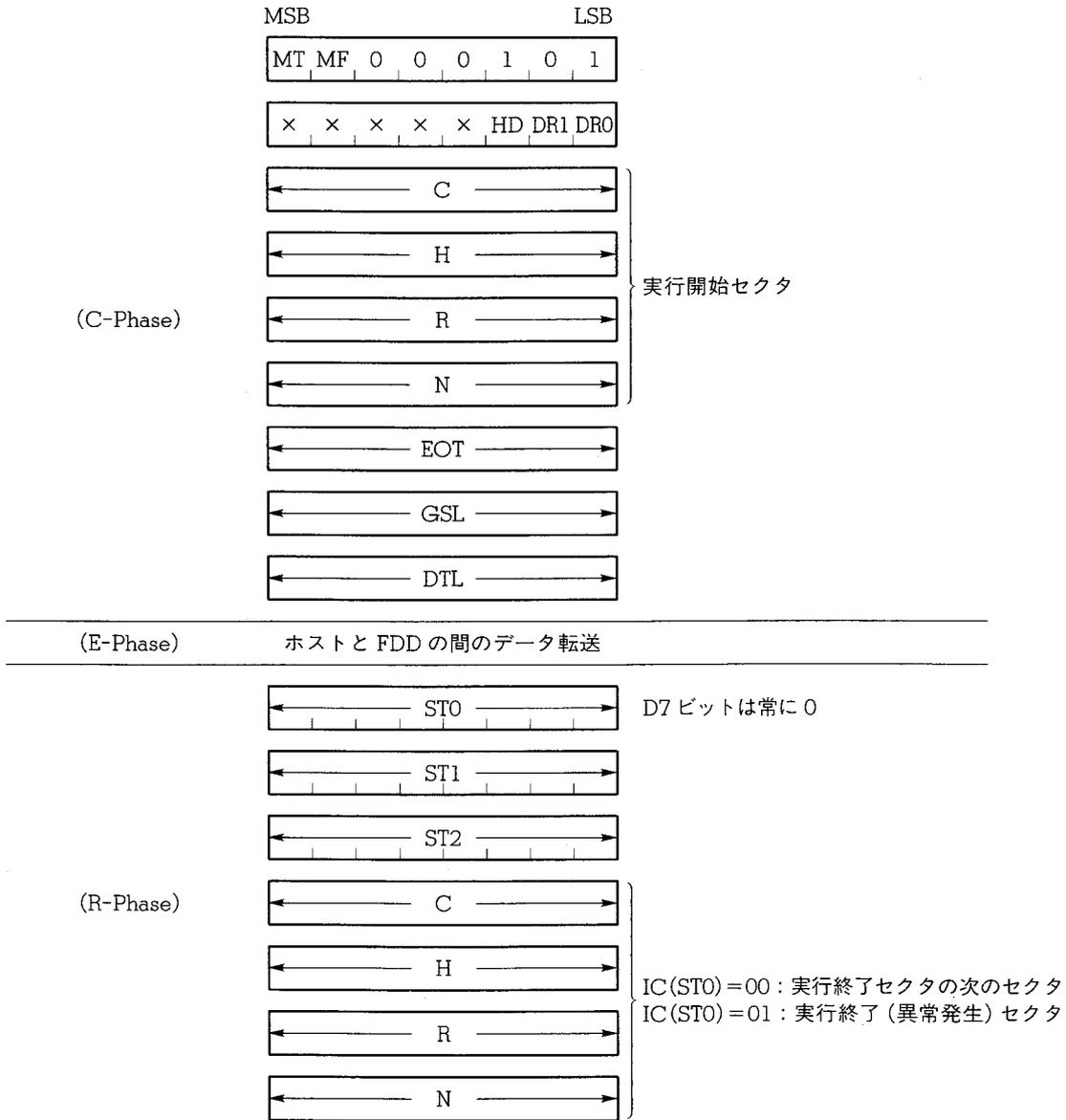
DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	9.0 μs	4.5 μs
1.0 Mbps	10.0 μs	5.5 μs
500 Kbps	23.0 μs	11.0 μs
300 Kbps	38.0 μs	18.5 μs
250 Kbps	46.0 μs	22.0 μs

(2) WRITE DATA

IDR で指定されるセクタ DAM を書き込んだあと、ホストから 1 バイトずつ転送されるデータ、および CRC バイトをそのセクタに書き込みます。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイト正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2								
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD	
WRITE DATA	正常終了	00																		
	ノット・レディ		01			1														
	ライト・プロテクト		01							1										
	ID 部	IDAM 非検出		01								1								
		C 不一致(≠FFH)		01							1				1					
		C 不一致(=FFH)		01							1								1	
		H 不一致		01							1									
		R 不一致(1トラック内)		01							1									
		N 不一致		01							1									
		CRC 不一致		01						1										
データ部	オーバーラン		01							1										
	最終セクタで未終了		01				1													

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時に FDD がレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●ライト・プロテクト (Not Writable Error)

コマンド実行開始時に FDD に挿入されているメディアが書き込み禁止状態であることを検出した場合, その時点で ST1 の NW ビットをセットしてコマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

スタンダード FDD モードの場合, インデクス・パルスを 2 回検出するまでに IDAM (ID address mark (address header の address mark)) がまったく検出されなかった場合, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

●セクタの不一致 (C, H, R, N バイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, N バイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき, 特に読み取った ID の C バイトについては, IDR の C バイトと一致しなかった場合, 次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット
(No Data Error with Bad Cylinder)
 - 読み取った ID の C バイト ≠ FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット
(No Data Error with No Cylinder)
- CRC 不一致 (CRC Error in Data Field)
- ID 部の CRC バイトを読み取り, それと内部生成した CRC を比較して一致しないとき, その時点で ST1 の DE ビットをセットして, コマンドの実行を異常終了します。
- オーバラン (Overrun Error)
- データ転送時, INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合, そのセクタのデータを転送したあと, ST1 の OR ビットをセットしてコマンドの実行を異常終了します。
- サービスとは, Non-DMA モードの場合は \overline{WR} 信号, DMA モードの場合は \overline{DMAAK} 信号の入力のことです。
- なお, DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	9.0 μ s	4.5 μ s
1.0 Mbps	10.0 μ s	5.5 μ s
500 Kbps	23.0 μ s	11.0 μ s
300 Kbps	38.0 μ s	18.5 μ s
250 Kbps	46.0 μ s	22.0 μ s

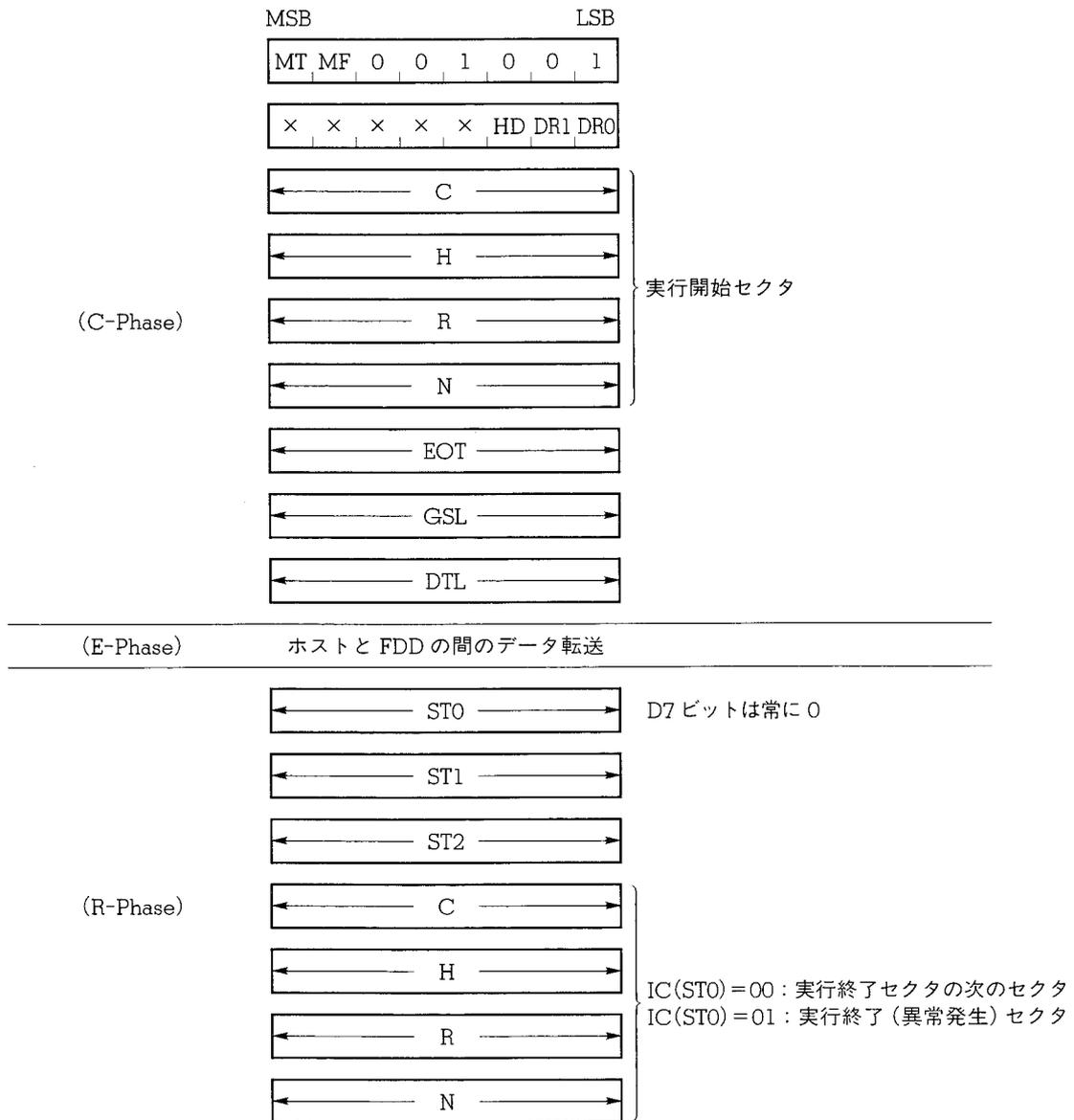
- 最終セクタで未終了 (End of Cylinder Error)
- 最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合, ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入力タイミングについてを参照してください)。

(3) WRITE DELETED DATA

スタンダード FDD モード専用のコマンドです。

IDR で指定されるセクタに DAM を書き込んだあと、ホストから 1 バイトずつ送られてくるデータをそのセクタに転送します。

データ・アドレス・マーク (DAM=FBH) の代わりにデリーテッド・データ・アドレス・マーク (DDAM=F8H) を書き込むことを除いては、WRITE DATA と同じです。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイト正常, 異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
WRITE DELETED DATA	正常終了	00																	
	ノット・レディ		01			1													
	ライト・プロテクト		01							1									
	ID 部	IDAM 非検出		01								1							
		C 不一致(≠FFH)		01						1				1					
		C 不一致(=FFH)		01						1								1	
		H 不一致		01						1									
		R 不一致(1トラック内)		01						1									
		N 不一致		01						1									
		CRC 不一致		01					1										
データ部	オーバーラン		01					1											
	最終セクタで未終了		01				1												

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時に FDD がレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●ライト・プロテクト (Not Writable Error)

コマンド実行開始時に \overline{WPRT} 信号が入力されているとき, その時点で ST1 の NW ビットをセットしてコマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

インデックス・パルスを 2 回検出するまでに IDAM (ID Address Mark) がまったく検出されなかった場合, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

●セクタの不一致 (C, H, R, N バイト) (No Data Error)

IDAM を検出してもインデックス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, N バイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき, 特に読み取った ID の C バイトについては, IDR の C バイトと一致しなかった場合, 次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット
(No Data Error with Bad Cylinder)
- 読み取った ID の C バイト ≠ FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット
(No Data Error with No Cylinder)

●CRC 不一致 (CRC Error in Data Field)

ID 部の CRC バイトを読み取り、それと内部発生した CRC とを比較して一致しないとき、その時点で ST1 の DE ビットをセットして、コマンドの実行を異常終了します。

●オーバラン (Overrun Error)

データ転送時、INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は \overline{WR} 信号、DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお、DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	9.0 μs	4.5 μs
1.0 Mbps	10.0 μs	5.5 μs
500 Kbps	23.0 μs	11.0 μs
300 Kbps	38.0 μs	18.5 μs
250 Kbps	46.0 μs	22.0 μs

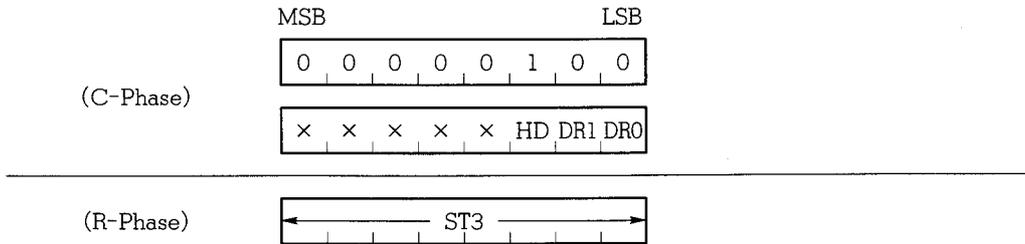
●最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合、ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入力タイミングについてを参照してください)。

11.3.5 センス系コマンド

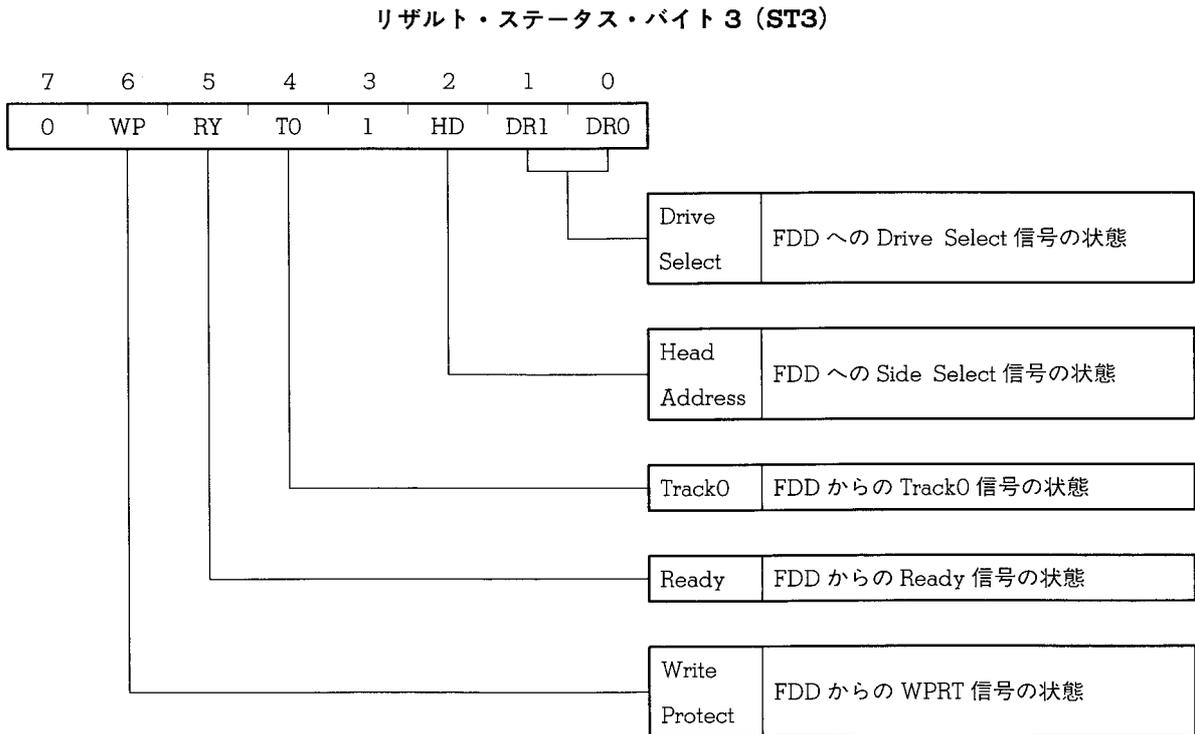
(1) SENSE DRIVE STATUS

STR3 を内部レジスタから読み出して FDD の状態を報告します。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

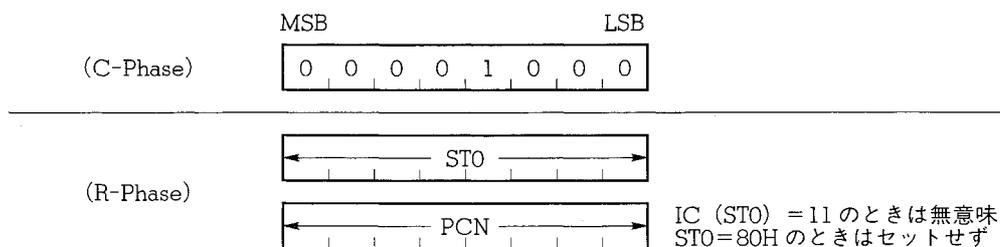
○R-Phase のパラメータ



○エラー条件
ありません。

(2) SENSE INTERRUPT STATUS

SEEK, または RECALIBRATE によるシーク動作時, またはコマンド実行中でない FDD の状態遷移 (ノット・レディからレディ, またはレディからノット・レディ) 時のリザルト・ステータス・バイトをデータ・レジスタにセットします。スタンダード FDD モードと Apple FDD モードの割り込みは, 発生条件が異なります。



備考 パラメータについては, **11.2.1 コマンド・バイト・パラメータ**を参照してください。

○Invalid

シーク動作終了, または状態遷移がどの FDD にも発生していないときには, INVALID コマンドとして処理します。

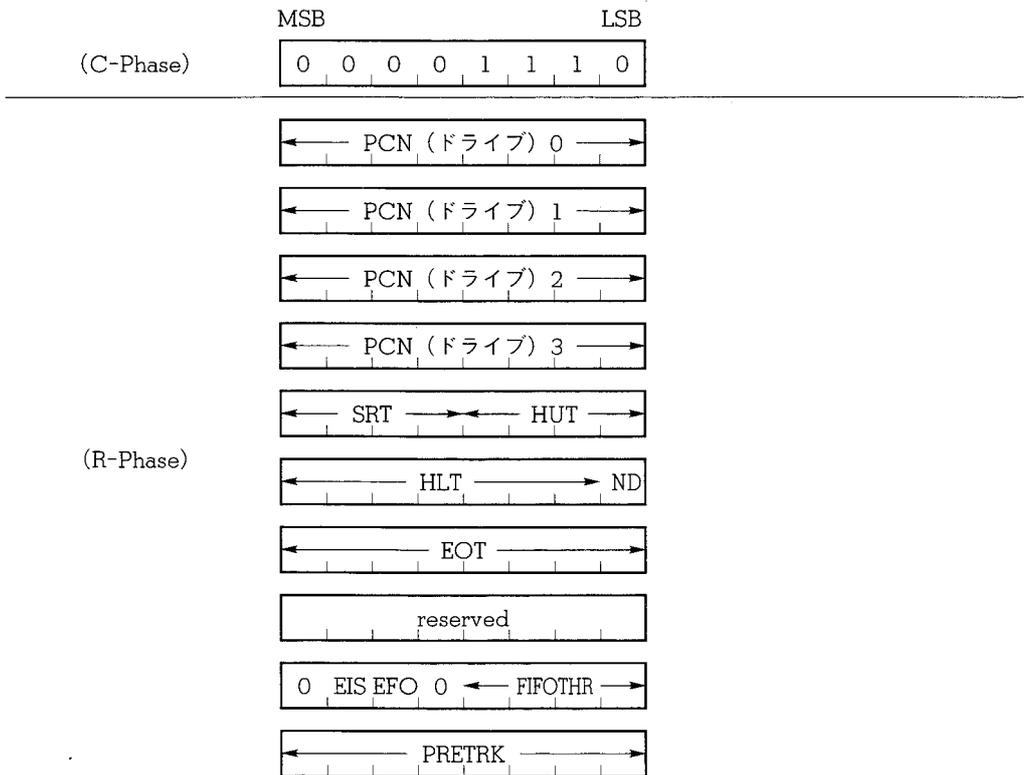
○SENSE INTERRUPT STATUS 発行要求がある割り込みの条件

- (1) ドライブの状態遷移 (READY 信号の変化) による SENSE INTERRUPT STATUS コマンドの発行要求
- (2) SEEK, RECALIBRATE, RELATIVE SEEK コマンドの E-Phase 終了による SENSE INTERRUPT STATUS コマンドの発行要求

11.3.6 その他のコマンド

(1) DUMPREG

スタンダード FDD モード専用のコマンドです。ホストは、 μ PD72070 で使用された内部パラメータの状態を知ることができます。



備考 パラメータについては、11.2.1 コマンド・バイト・パラメータを参照してください。

○エラー条件
ありません。

(2) VERSION

スタンダード FDD モード専用のコマンドです。

B タイプの製品であることを識別します。

	MSB	LSB					
(C-Phase)	× × × 1 0 0 0 0						
(R-Phase) STO	1 0 0 注 0 0 0 0						

注 μ PD72070 では 1 となります (μ PD72070 は、B タイプです)。

VERSION コマンドは、発行ののち INVALID コードとして処理され、その結果 STO には以下の値がセットされます。

製品名	STO の値
μ PD765B	90H (B タイプ)
μ PD72065B	
μ PD72067 (K 規格品を除く)	
μ PD72068/68F	
μ PD72069	
μ PD72064	
μ PD72070	80H
μ PD765A	
μ PD7265	
μ PD72066	
μ PD72067 (K 規格品)	

μ PD72070 は B タイプの製品です。B タイプの製品は、そのほかの製品に対し次の 4 点について改善されています。

項 目	B タイプの製品	B タイプ以外の製品
OR (オーバーラン) ビットのセット動作	SCAN 系と READ ID コマンド以外のリード/ライト系コマンドを実行した際、以下のようになります。	
	オーバーランが発生するといつでも OR ビットをセットします。	オーバーランがセクタの最終バイトで発生したら、OR ビットをセットしません。
オーバーラン発生における DMARQ のセット動作	R-Phase の直前でリセットされるため DMARQ は DMAAK 入力が必要としません。	DMARQ をリセットするための DMAAK 入力が必要です。 DMAAK 入力なしに FDC が R-Phase へ移行後も引き続き DMA コントローラが動作すると、FDC 内部にセットされたりザルト・ステータス・バイトを通常データと誤って転送する可能性があります。
ϕ と WCLK 間の位相関係	ϕ と WCLK の同期は必要ありません。	ϕ と WCLK の同期は必要です。
VERSION コマンド	あります (B タイプであることを識別するため)。	ありません。

(3) REVISION

コマンドの結果は、すべての FDD モードにおいて μ PD72070 にインストールされたファームウェア、およびハードウェアのリバージョン番号 (0-FF) を示します。

LSI に、インストールされたファームウェア (μ PD72070 内部で実行) の版数を、オペレーティング・システムにより容易に知ることができます。

	MSB		LSB		
(C-Phase)	0 0 1 0 0 0 0 0				
(R-Phase)	D7 D6 D5 D4 D3 D2 D1 D0				ファームウェアのリバージョン
	D7 D6 D5 D4 D3 D2 D1 D0				ハードウェアのリバージョン

- エラー条件
ありません。

(4) INVALID

次の2通りの場合、ST0のICビットに10を、そのほかのビットにはすべて0をセットし (ST0=80H)、データ・レジスタにロードします。

- 未定義のコマンド・バイトが与えられた場合
- シーク系コマンドの終了や、状態遷移による INT 要求が発生していないのに SENSE INTERRUPT STATUS コマンドを起動した場合

(C-Phase) 未定義コマンド発行

	MSB	LSB
(R-Phase)	1	0
	0	0
	0	0
	0	0
	0	0
	0	0

11.4 コマンドのタイミング

11.4.1 ホスト・インタフェース側のタイミング

ホスト側は、各 Phase ごとに次のような動作を行います。

C-Phase : ステータス・レジスタの D7, D6 (RQM, DIO) ビットをチェックします。

RQM=1, DIO=0 のとき : コマンド・バイト, パラメータ・バイトを FDC に書き込みます。

E-Phase : 与えられた命令を実行します。

R-Phase : ステータス・レジスタの D7, D6 (RQM, DIO) ビットをチェックします。

RQM=1, DIO=1 のとき : リザルト・ステータス・バイト, パラメータ・バイトを読み取ります。

各コマンドごとのホスト側インタフェースのタイミングを示します。

(1) リード系コマンドのタイミング

READ DATA, READ DELETED DATA, READ A TRACK, READ ID, VERIFY コマンドのタイミングを図 11-9 に示します。

○C-Phase

- RQM=1, DIO=0 の状態でホストからコマンド・バイトを FDC のデータ・レジスタに書き込みます。そのとき, RQM は 0 にリセットされます。

- データ・レジスタの内容を FDC 内部のコマンド・レジスタに移します。そのとき, RQM は 1 にセットされます。

- FDC は次のパラメータの書き込みをホスト側に要求します。

FDC は、この動作を繰り返して、2 バイト目のコマンド・バイトと必要なパラメータ・バイトをすべて書き込みます。書き込みが終了するまで DIO は 0 のままです。FDC は最後のパラメータ・バイトを引き取ったあとは、RQM はセットせずに E-Phase に入ります。

○E-Phase

E-Phase には、Non-DMA モード (インタラプト処理) と DMA モードがあり、処理が異なります (VERIFY コマンドではデータ転送は行いません)。

(a) Non-DMA モード (インタラプト処理)

- DIO=1 にセットし、ディスクから読み取ったデータ・フィールドの最初のデータをデータ・レジスタにセットします。

- RQM を 1 にセットして、INT 要求を出します。

- ホスト側は INT 要求を受け取ると RQM=1, DIO=1 を確認後、データ・レジスタの内容を読み取ります。そのとき, RQM を 0 にリセットします。

- 以上の動作を繰り返し、データ転送処理を行います。
- 最終データがホスト側に読み取られると、RQM を 0 にリセット後、DIO を 0 にリセットします。

(b) DMA モード

- ホスト側は、リード・コマンドの C-Phase に入る前にプログラムで DMA コントローラにデータ転送方向を指定します。
- E-Phase で FDC はディスクから読み取ったデータをデータ・レジスタにセットするごとに DMARQ 信号を出力します。
- ホスト側は、DMARQ 信号を受け付けると $\overline{\text{DMAAK}}$ 信号を返し、続いて $\overline{\text{RD}}$ 信号を出力します。そのとき、FDC は DMARQ 信号をリセットします (FIFO を使用しないときのみ。FIFO を使用した場合は **4.1.3 DMA モード** を参照してください)。
- データ・レジスタの内容を読み取りそれをメモリに書き込んだあと $\overline{\text{DMAAK}}$ 信号をオフにします。
- 最終データが転送すると E-Phase は終了します (RQM, DIO はリセットしたままです)。

E-Phase が終了すると、FDC はリザルト・ステータス・バイトとパラメータ・バイトを FDC 内部のレジスタにセットし、それらの読み取りをホスト側に要求する INT 信号を出力して、R-Phase に入ります。

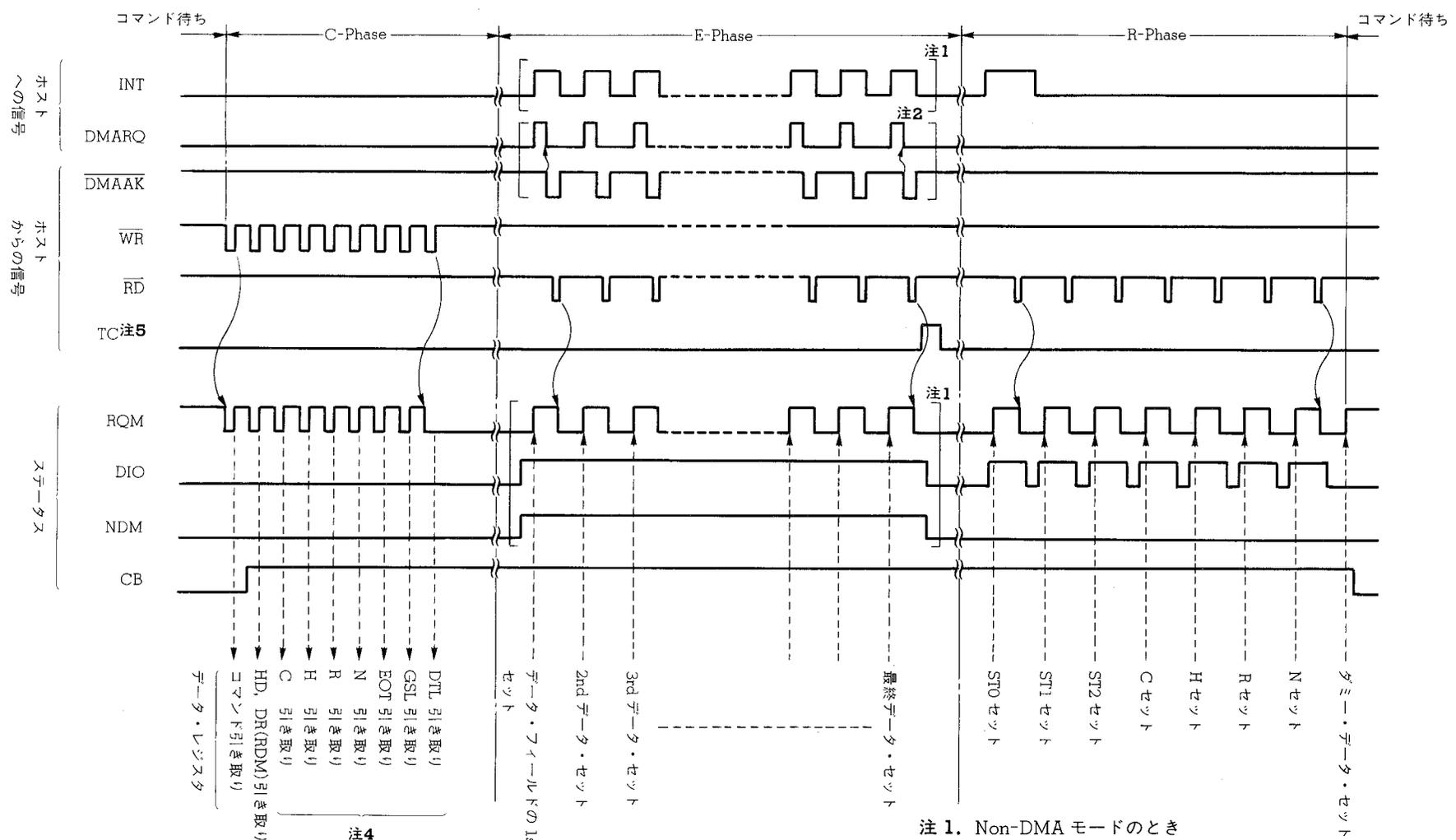
このとき、ステータス・レジスタの NDM (Non-DMA Mode) ビットを 0 にリセットします。

○R-Phase

- FDC は DIO を 1 にセットし、ST0 レジスタの内容をデータ・レジスタに移し終わると RQM をセットします。
- データ・レジスタの内容 (リザルト・ステータス・バイト 0 : ST0) の読み取りを要求する INT 信号を出力します。
- ホストは INT 信号を受け付けたら、RQM=1, DIO=1 を確認後データ・レジスタの内容 (ST0) を読み取ります。
- FDC は RQM と DIO を 0 にリセットします。また、INT 信号をロウ・レベルにします。
- ホスト側は ST0 の読み取り処理を終了すると RQM=1, DIO=1 になるのを待って、次のリザルト・ステータス・バイト 1 (ST1) を読み取ります。この動作を繰り返し必要なリザルト・ステータス・バイトとパラメータ・バイトをすべて読み取り R-Phase を終了します。

FDC はダミー・データをセットし、RQM をセットして次のコマンド待ちとなります。

図 11-9 READ DATA, READ DELETED DATA, READ A TRACK, READ ID, VERIFY



- 注 1. Non-DMA モードのとき
- 2. DMA モードのとき
- 3. READ ID, VERIFY のときはデータ転送はありません。
- 4. READ ID のときはありません。
- 5. PC-AT, General モードではアクティブ・ハイ, PS/2 モードではアクティブ・ロウになります。

注3

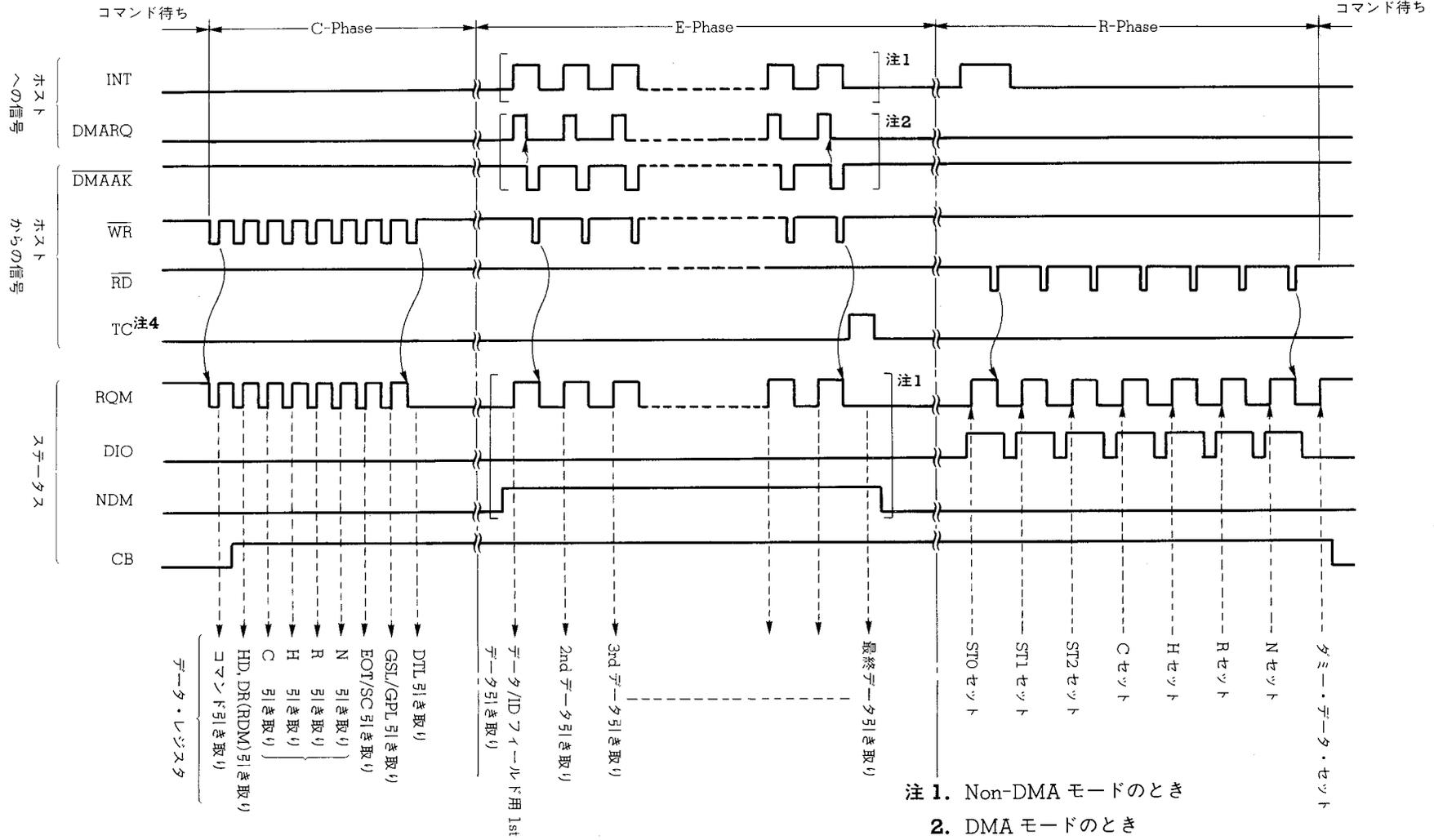
(2) ライト系コマンドのタイミング

WRITE DATA, WRITE DELETED DATA, FORMAT A TRACK, SCAN EQUAL, SCAN LOW OR EQUAL, SCAN HIGH OR EQUAL コマンドのタイミングを図 11-10 に示します。

このタイミングは、E-Phase におけるデータ転送方向が異なる (DIO=0) 点を除けば、リード系コマンドと同様です。

なお、SCAN コマンドでは、ディスクからデータを読み出しますが、それと比較するデータをホストから FDC に書き込みます。そのため、ホスト側ではライト系コマンドに入っています。

図 11-10 WRITE DATA, WRITE DELETED DATA, FORMAT A TRACK, SCAN



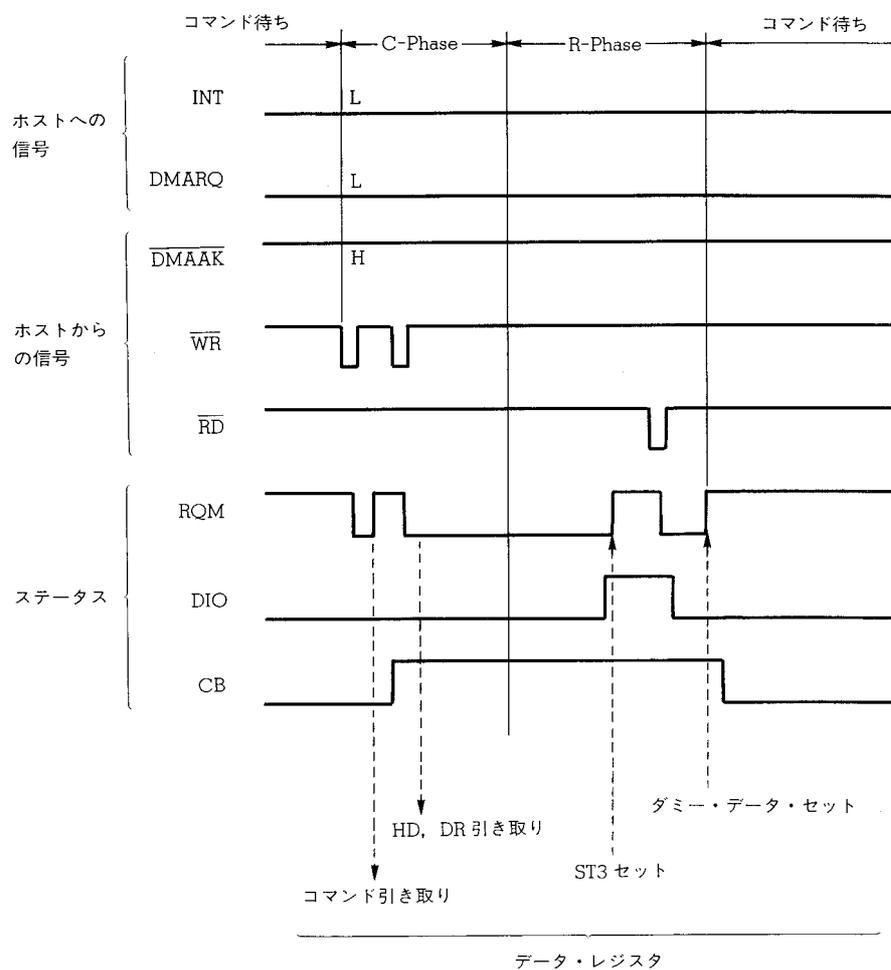
- 注 1. Non-DMA モードのとき
- 注 2. DMA モードのとき
- 注 3. FORMAT A TRACK のときはデータ転送はありません。
- 注 4. PC-AT, General モードではアクティブ・ハイ, PS/2 モードではアクティブ・ロウになります。

(3) SENSE DRIVE STATUS コマンドのタイミング

SENSE DRIVE STATUS コマンドのタイミングを示します。このコマンドの C-Phase ではコマンドと HD, DR0, DR1 (11.3.5 (1) SENSE DRIVE STATUS参照) の指定データを書き込むだけで、E-Phase ではありません。

R-Phase で FDC は INT 信号を出力しないので C-Phase 終了後、ホスト側は RQM=1, DIO=1 になるのを確認したあと、データ・レジスタにセットされた ST3 の内容を読み取ってこのコマンドを終了します。

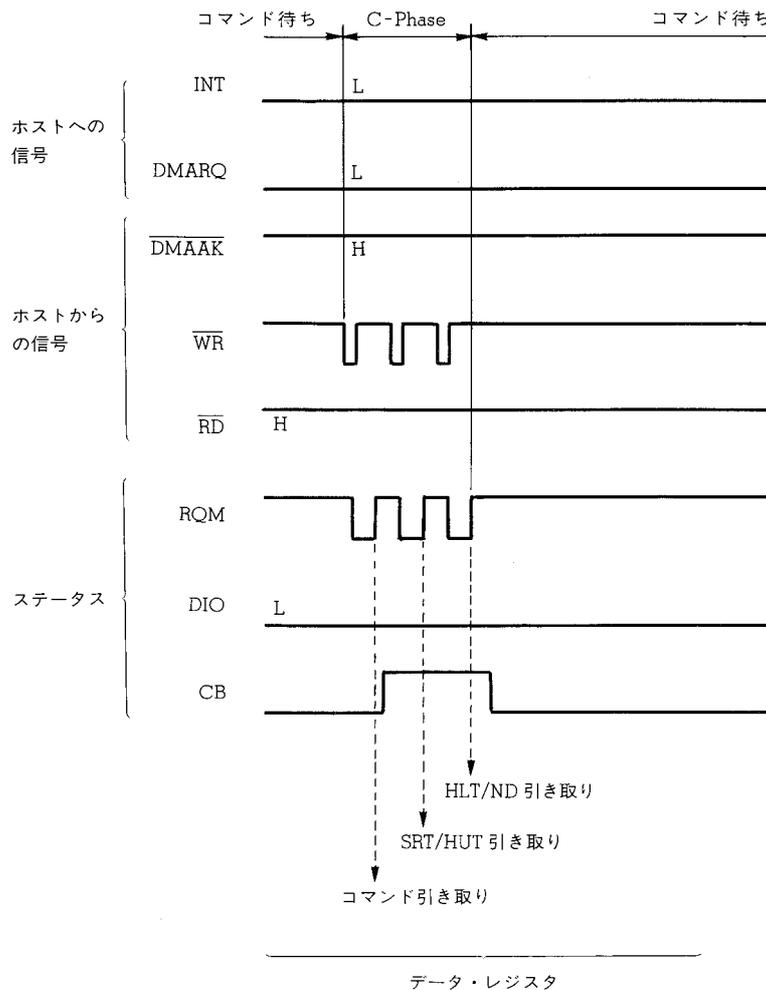
図 11-11 SENSE DRIVE STATUS



(4) SPECIFY コマンドのタイミング

SPECIFY コマンドのタイミングを示します。このコマンドでは、C-Phase のみでコマンド・バイト、SRT/HUT, HLT/ND の順 (11.3.1 (1) SPECIFY参照) で FDC に書き込みを行うコマンドの終了となります。

図 11-12 SPECIFY



(5) シーク系コマンドのタイミング

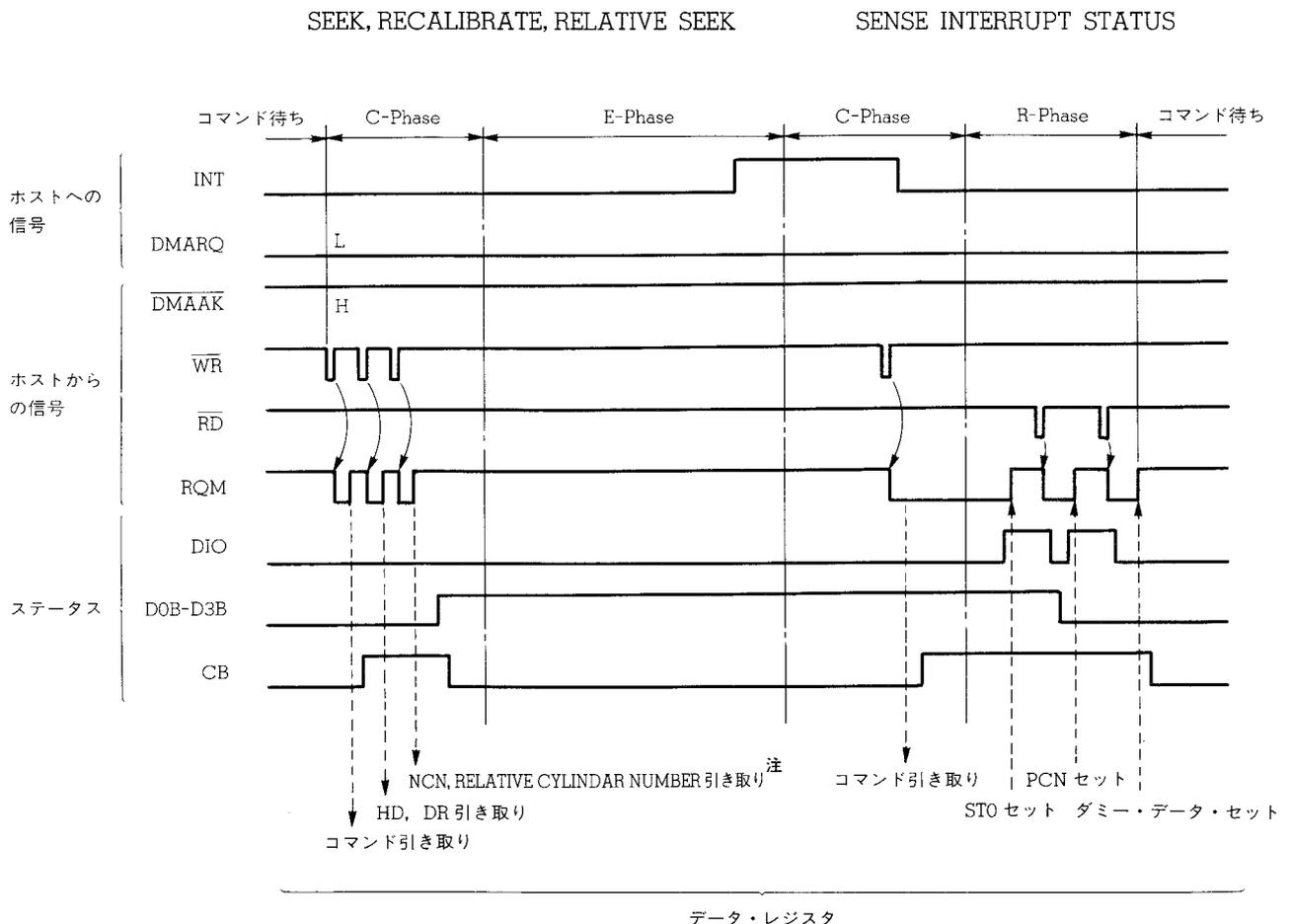
SEEK, RELATIVE SEEKと RECALIBRATE コマンドのタイミングを示します。ただし, RECALIBRATE コマンドではシーク先のシリンダ番号 (シリンダ 0) が決まっていますので, シリンダ番号を指定する NCN あるいは Relative Cylinder Number パラメータは不要です。

FDC は E-Phase で目的の位置までシーク動作が終了したことを確認すると, ホストに対して INT 信号を出力し, シーク動作の終了を知らせます。また, これらのコマンドでは R-Phase がないので, リザルト・ステータス情報は INT 信号を見て新たに与えられる SENSE INTERRUPT STATUS コマンドの R-Phase で送出されます。

(6) SENSE INTERRUPT STATUS コマンドのタイミング

SENSE INTERRUPT STATUS コマンドのタイミングを示します。このコマンドは, ステータス・レジスタの CB (FDC Busy) ビットが 0 のとき INT 信号が出力された場合, その要因がなにによるものかを調べるためのコマンドです。このコマンド・バイトが書き込まれると, FDC は RQM ビットを 0 に INT 信号を L にして R-Phase に移ります。ホストは, R-Phase で STO と PCN の内容を読み取ることで割り込み発生時点でのステータスを知ることができます。

図 11-13 SEEK, RECALIBRATE, RELATIVE SEEK, SENSE INTERRUPT STATUS

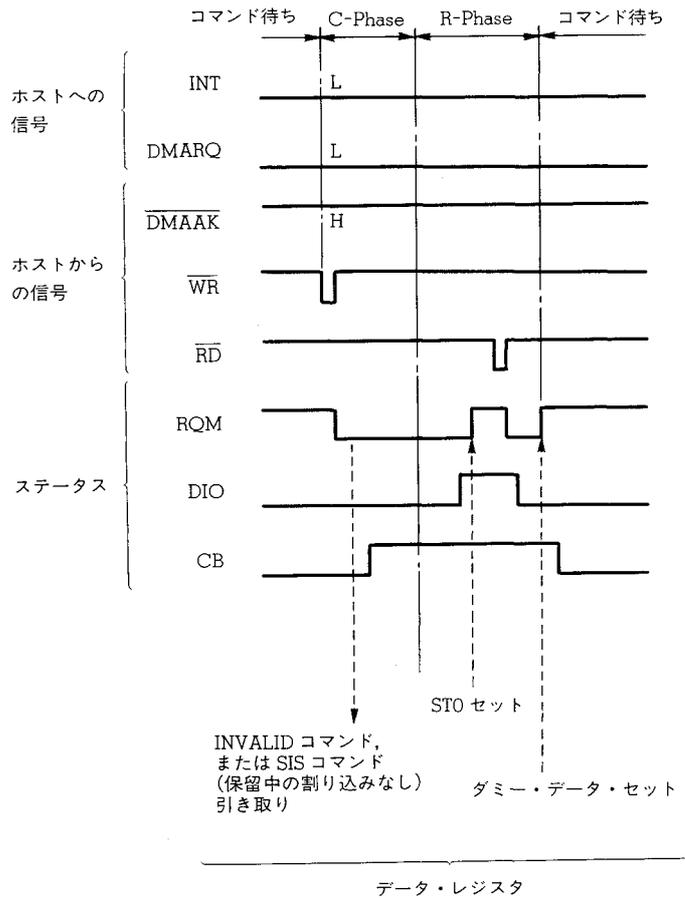


注 RECALIBRATE コマンドのときはありません。

(7) INVALID, VERSION コマンドのタイミング

- C-Phase で定義されていないコマンド・バイトが書き込まれたとき
- 割り込み要因が残っていないのに SENSE INTERRUPT STATUS コマンドのコマンド・コードが書き込まれたとき

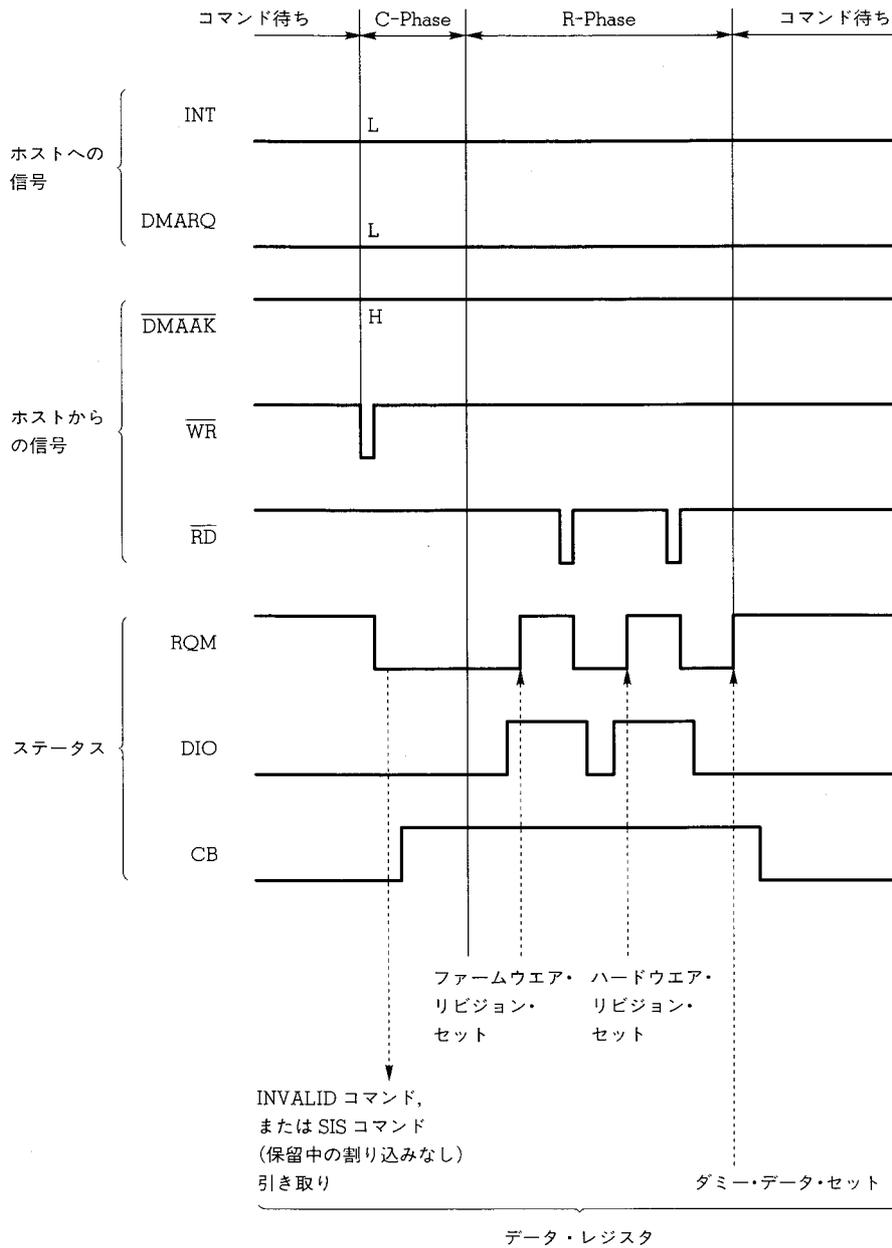
図 11-14 INVALID, VERSION



(8) REVISION コマンドのタイミング

REVISION コマンドのタイミングを示します。このコマンドでは、C-Phase でコマンド・バイトを FDC に書き込み、R-Phase でファームウェア・リビジョン、ハードウェア・リビジョンの順で、FDC から読み出したあと、コマンドの終了となります。

図 11-15 REVISION



(9) PERPENDICULAR MODE, SELECT DRIVE TYPE, CONFIGURE コマンドのタイミング

PERPENDICULAR MODE, SELECT DRIVE TYPE コマンドのタイミングを示します。このコマンドでは、C-Phase のみでコマンド・バイト、D1/D0 の順で FDC に書き込みを行うとコマンドの終了となります。

CONFIGURE コマンドも同様に、C-Phase のみでコマンド・バイト、第 2 コマンド・バイト、EIS/EFO/FIFOTHR, PRETRK の順で FDC に書き込みを行うとコマンドの終了となります。

図 11 - 16 PERPENDICULAR MODE, SELECT DRIVE TYPE

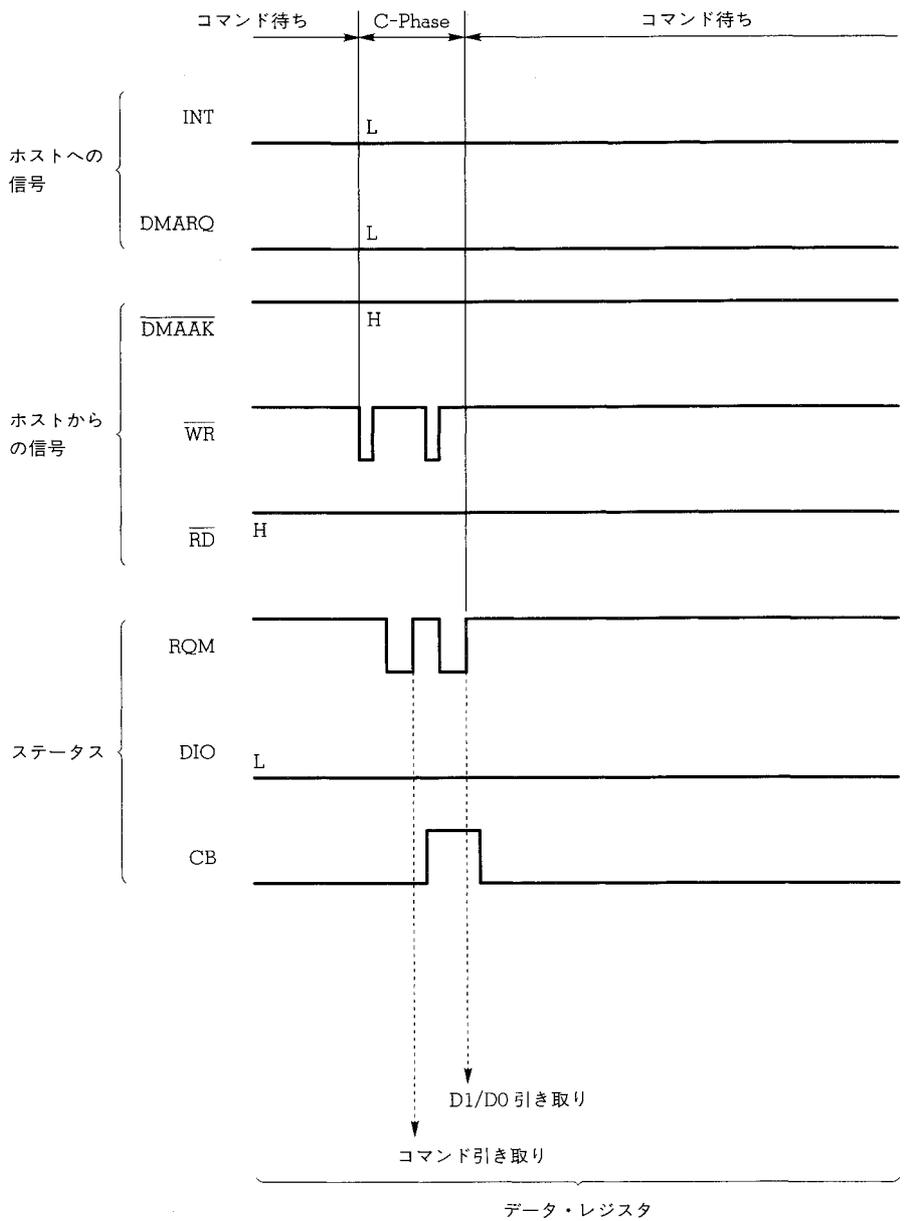
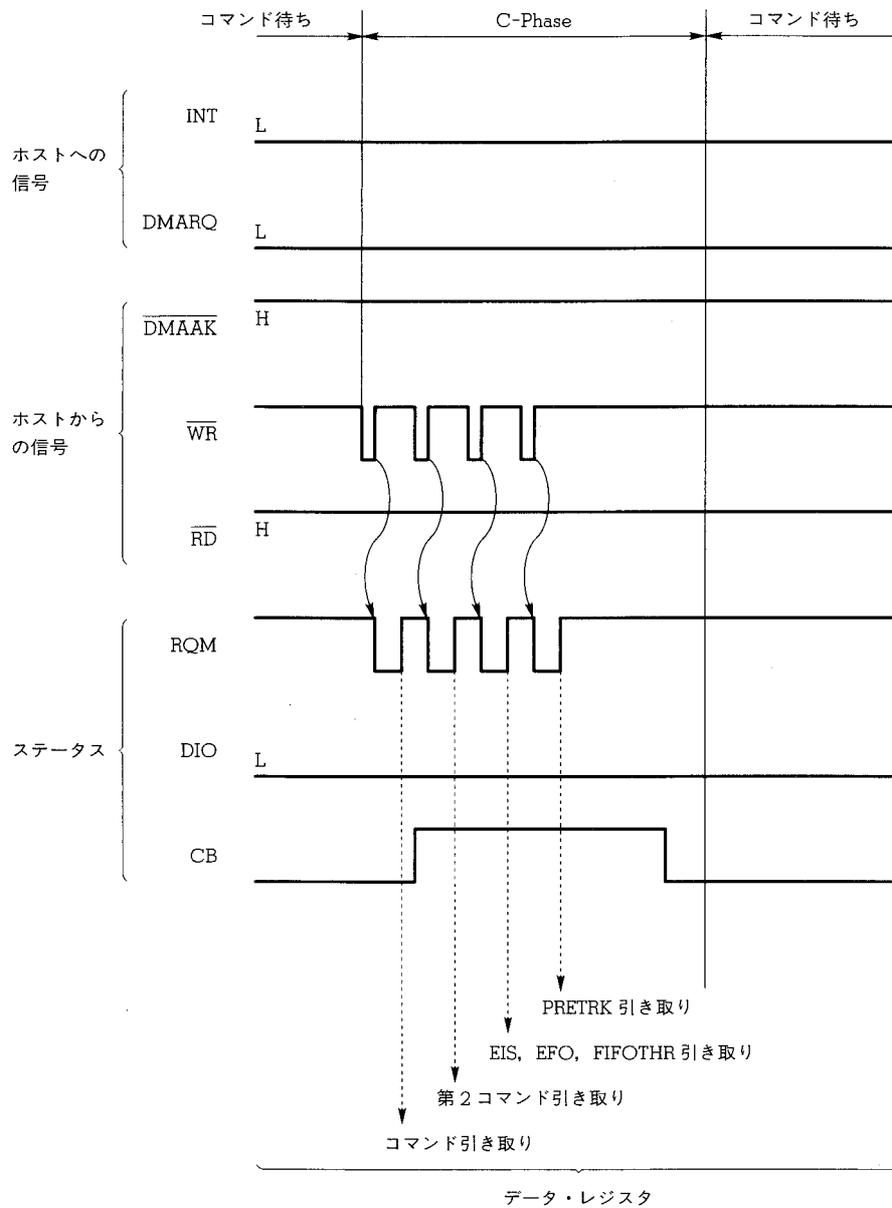
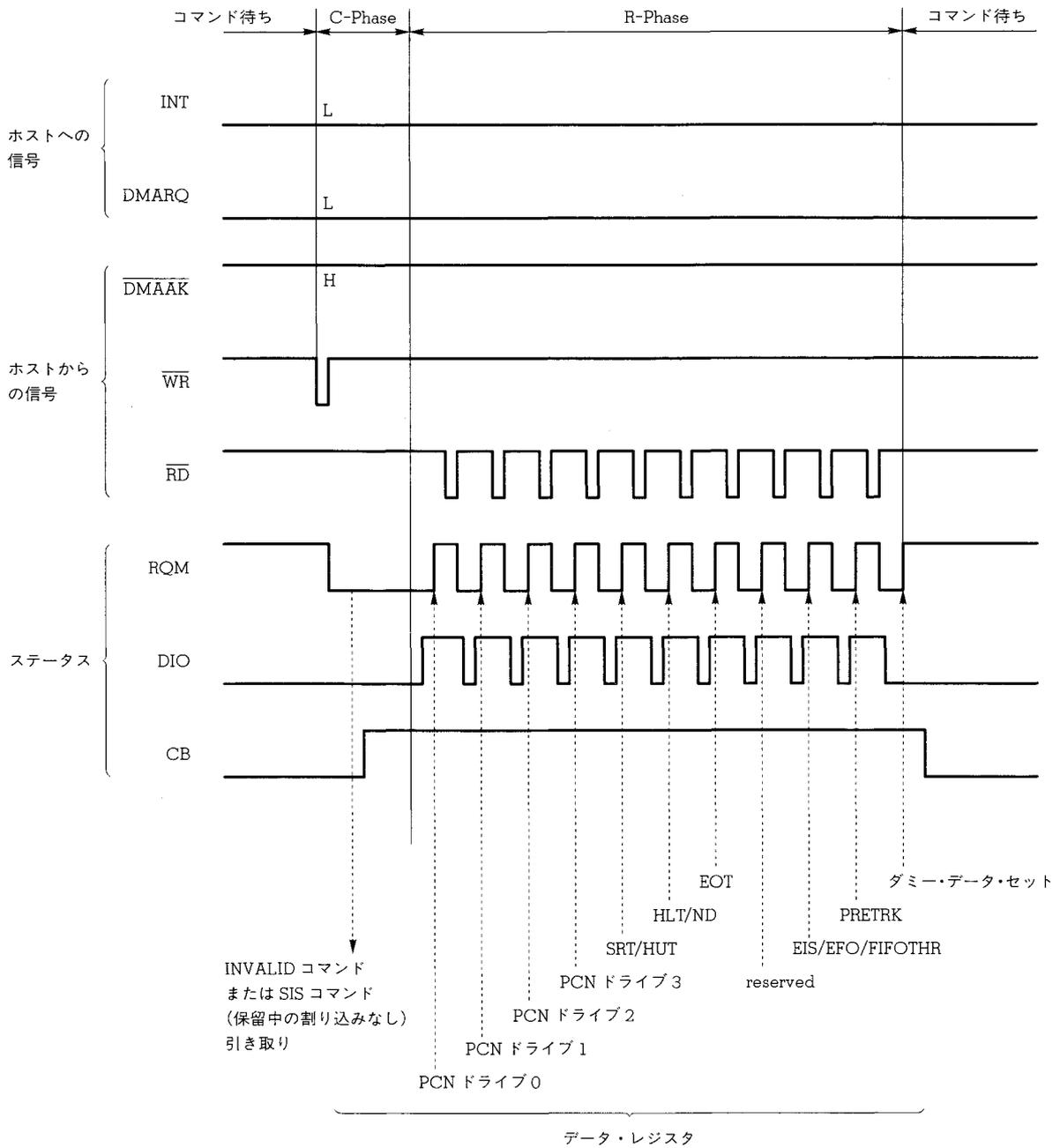


図 11-17 CONFIGURE



(10) DUMPREG コマンドのタイミング

図 11-18 DUMPREG



11.4.2 ドライブ・インタフェース側のタイミング

各コマンドごとのドライブ・インタフェース側のタイミング・チャートを示します (ACTL=L の例)。

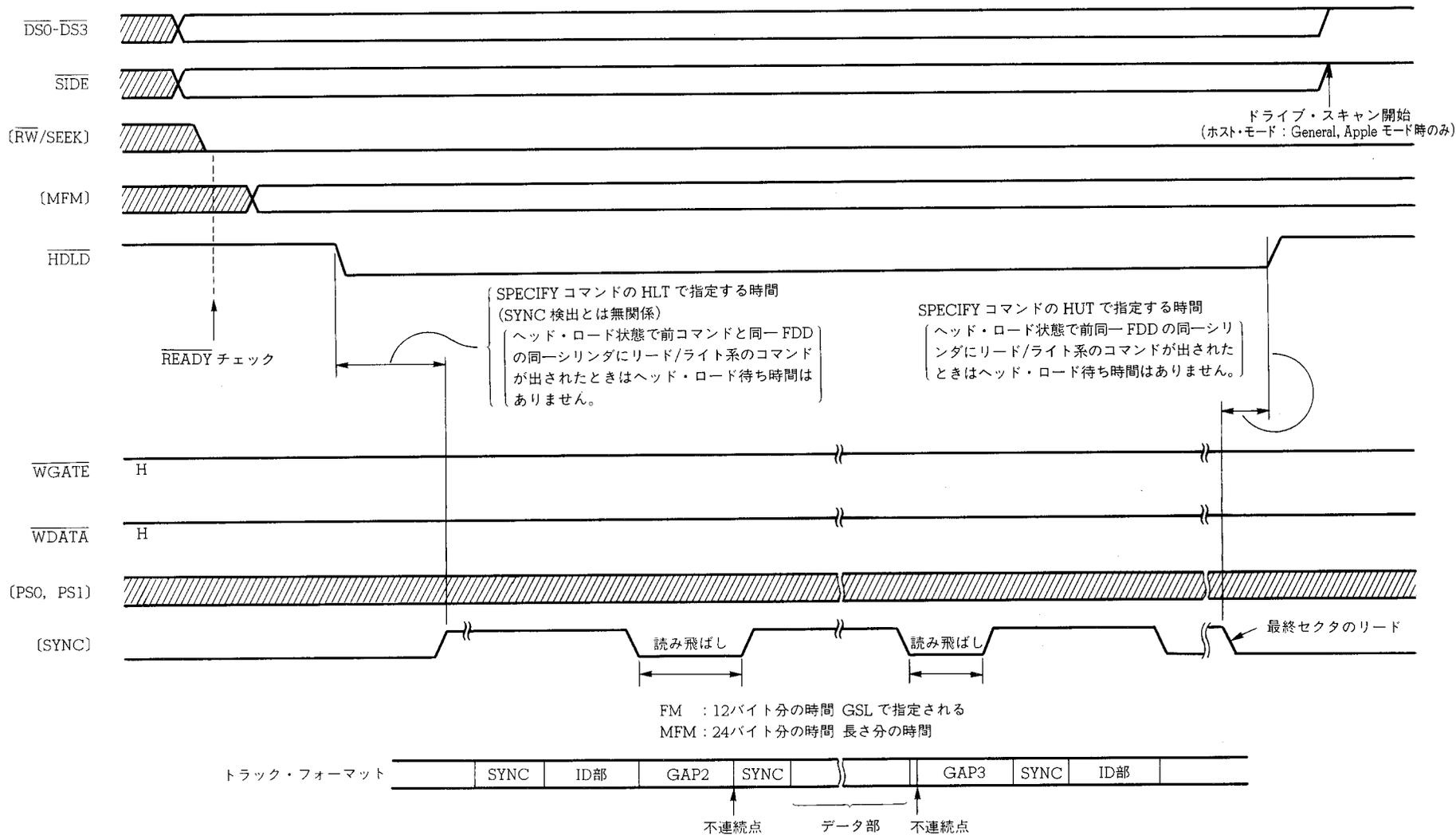
[] 内の信号は、インタフェース側 (FDD) の内部信号です。

(1) READ DATA, READ DELETED DATA, READ A TRACK, READ ID, SCAN EQUAL, SCAN LOW OR EQUAL, SCAN HIGH OR EQUAL, VERIFY コマンド

これらのコマンドのタイミングを示します。

- C-Phase の 2 バイト目までの書き込みが終了すると、 $\overline{DS0-DS3}$ 信号 (General, Apple モードのみ。PS/2, PC-AT モードは DOR で設定してください) と \overline{SIDE} 信号を出力します (信号の内容は 2 バイト目で指定された DR0, DR1, HD ビットの内容に対応しています)。
- 残りのパラメータ・バイト (READ ID コマンドにはありません) がすべて書き込まれると $\overline{[RW/SEEK]}$ 信号に 0 を出力します。
- FDD からの信号をチェックします。
- 必要に応じて $\overline{[MFM]}$ 信号をセットします。
- この時点でヘッド・ロード状態かどうかをチェックします。
 ヘッド・ロード状態 ($\overline{HDLD}=L$) : ディスクの読み取りを開始させます。
 ヘッドがロードされていない状態 : ヘッド・ロード ($\overline{HDLD}=H \rightarrow L$) します。ヘッド・ロード時間経過後、ディスクの読み取りを開始させます。
- C-Phase の IDR で指定された ID 部が検出され、ID 部最後の CRC バイトを読み取ると、FDC 内部では読み取りを禁止します (禁止区間は、FM 時では 12 バイト分、MFM 時では 24 バイト分です。これは、書き込み時の GAP2 と SYNC の境界に発生する不連続点の読み取りを避けるために設定されています)。
- 規定の読み取り禁止区間が終了すると再び読み取りを開始します (SYNC バイトを検出し、続いてデータ部の読み取りを行います)。
- データ部の CRC バイトの読み取り終了後、次の GAP3 との境界の不連続点を避けるため、FDC 内部では、読み取りを禁止します。
- GSL バイトで指定されたバイト数を経過したのち、次のセクタ ID 部の読み取りに移ります。
- 最終セクタまでの読み取りが終了すると、同一 FDD の同一シリンダに対して、ヘッド・ロード時間 (SPECIFY コマンドで指定) 以内に新たなリード/ライト系のコマンドが与えられないときは、 \overline{HDLD} 信号をリセットします。続いて \overline{SIDE} 信号をリセットします (ヘッド・ロード時間以内に同一 FDD の同一シリンダに対して新たなリード/ライト系コマンドが与えられたとき、 \overline{HDLD} 信号はセットしたままの状態ですのでヘッド・ロード時間を節約できます)。

図 11-19 READ DATA, READ DELETED DATA, READ A TRACK, READ ID, SCAN



{ }内は内部信号です。

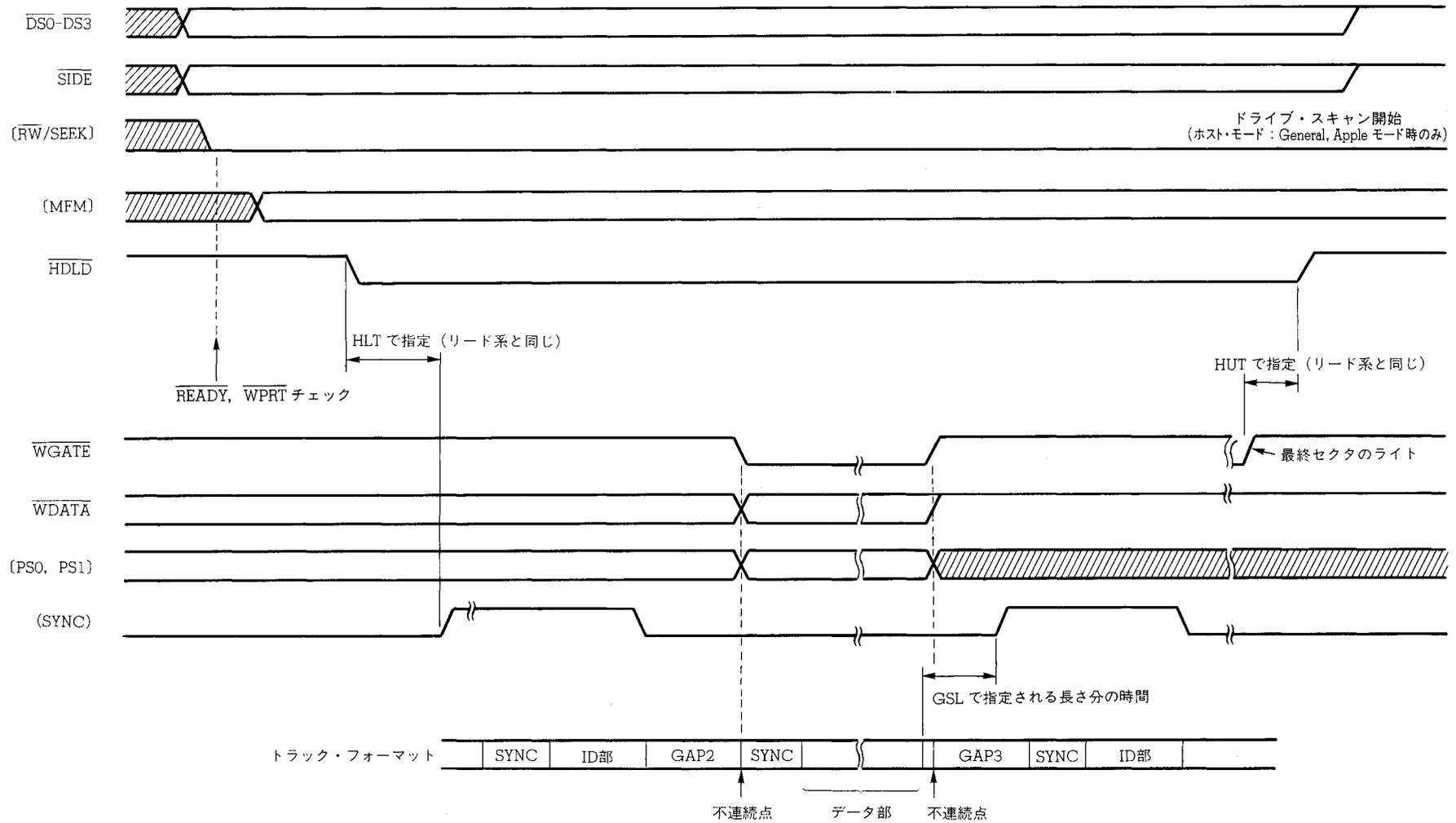
(2) WRITE DATA, WRITE DELETED DATA コマンド

これらのコマンドのタイミングを示します。

$\overline{DS0-DS3}$, \overline{SIDE} , $[\overline{RW/SEEK}]$, $[\overline{MFM}]$, \overline{HDLD} 信号の出力はリード系コマンドの場合と同様です。ただし、 \overline{READY} 信号チェック時に \overline{WPRT} 信号もチェックします。 $\overline{DKCG/READY}$ 信号を \overline{DKCG} 信号として使用する場合は、内部の \overline{READY} 信号は常にアクティブに固定されています。

- \overline{HDLD} 信号をセット後、希望のセクタ ID 部を検出し CRC バイトの読み取りを終了すると FDC 内部でのみ読み取りを禁止します（リード系コマンドと同様です）。
- $[\overline{SYNC}]$ 信号をリセット後、一定時間 (GAP2 幅) をおいて \overline{WGATE} 信号をセットし、SYNC バイト (FM 時 6 バイト, MFM 時 12 バイト) を書き込みます (ここで以前に書かれていた GAP2 と新たに書き込んだ SYNC バイトとの境界で不連続点が生じます。また、垂直磁化記録方式 FDD 使用時では、GAP2 を書き込んだあと SYNC バイトを書き込みます。詳細は 11.3.1 (3) **PERPENDICULAR MODE** を参照してください)。
- SYNC バイトに続いてデータ部の書き込みを行い、データ部の CRC バイトの書き込みが終了したあと、1 バイトの GAP を書き込んで WE 信号をリセットします (ここでも不連続点が生じます)。
- \overline{WGATE} 信号を出している間、必要に応じて書き込み補償の施された \overline{WDATA} 信号を出力します。
- データ部の CRC バイトの書き込み終了後 (GAP バイトで指定される時間をおいて)、書き込み動作の間読み取り禁止状態を解除し、次のセクタ ID 部の読み取りに移ります。

図 11-20 WRITE DATA, WRITE DELETED DATA



[]内は内部信号です。

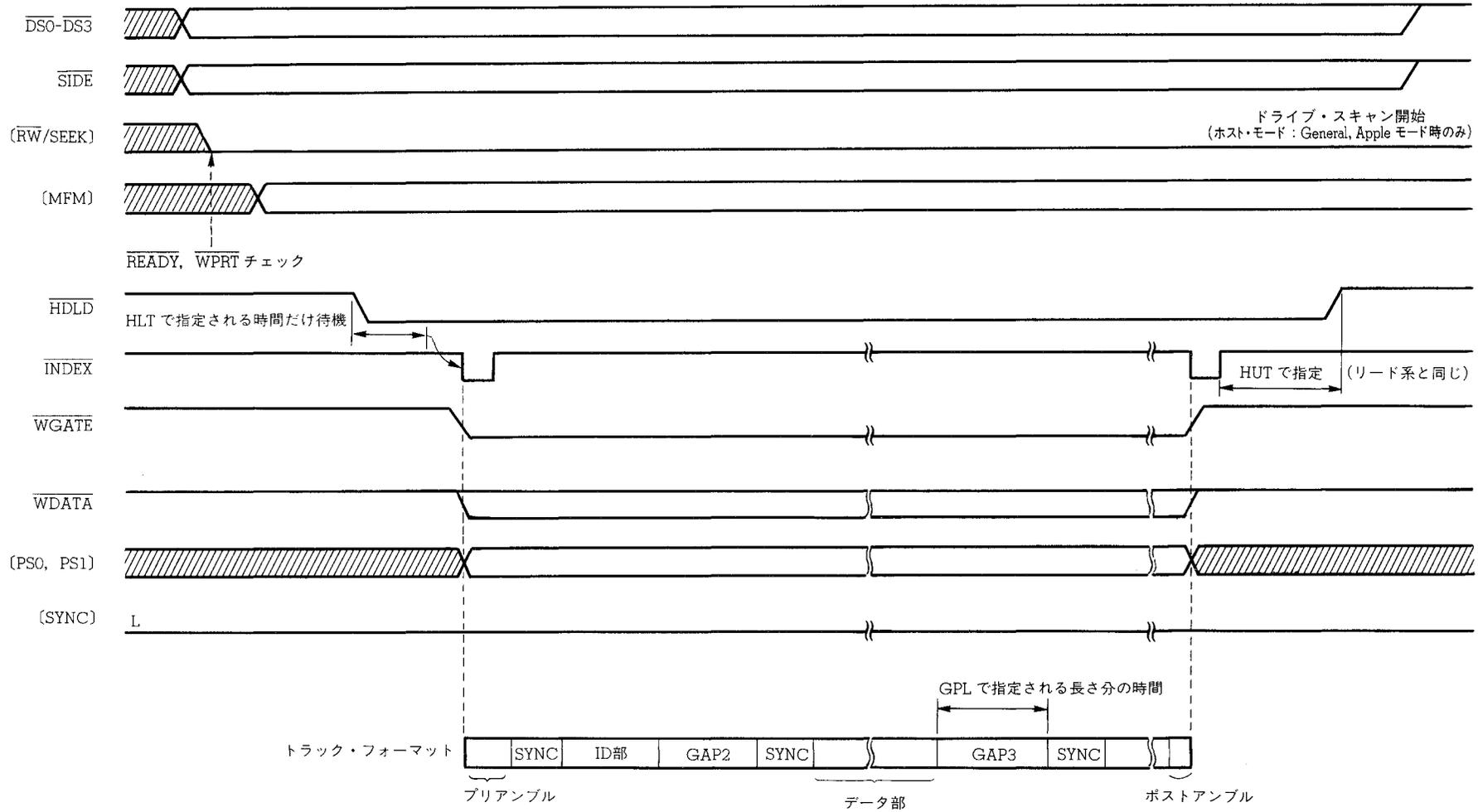
(3) FORMAT A TRACK コマンド

このコマンドのタイミングを示します。

ライト・データと異なり、セクタの指定はなく $\overline{\text{INDEX}}$ 信号を検出したあとに $\overline{\text{WGATE}}$ 信号をセットし、ただちに、トラック開始点の GAP から書き込みを開始して 1 トラック分のフォーマットをすべて書き込みます。ただし、データ部に書き込むデータは、すべてのバイトに対して D バイトで指定される内容となります。

最終セクタ (SC バイトで指定) のフォーマット書き込みを終了すると、再び $\overline{\text{INDEX}}$ 信号を検出するまで GAP を書き込みます。

図 11-21 FORMAT A TRACK



[]内は内部信号です。

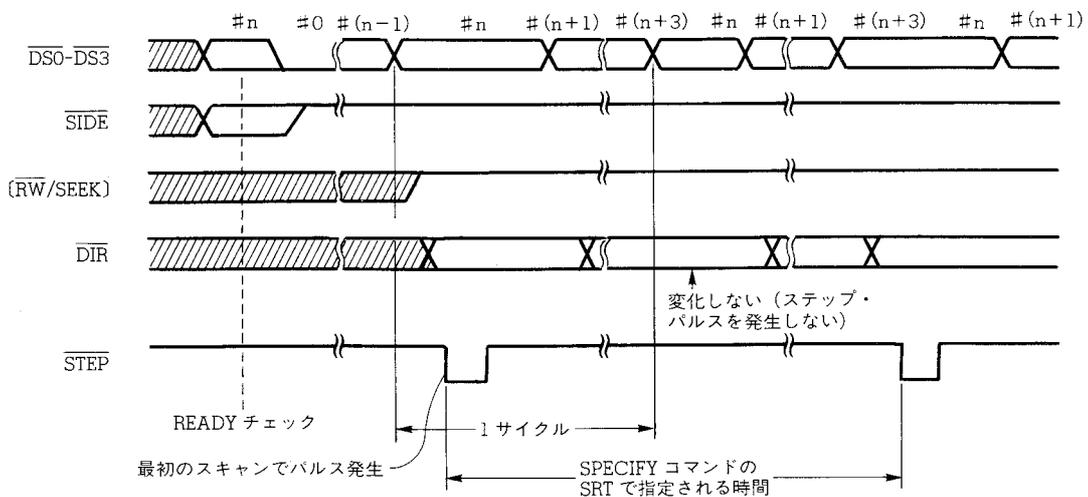
(4) SEEK, RECALIBRATE コマンド

これらのコマンドのタイミングを示します。

[RW/SEEK] 信号の出力を 1 にして、 $\overline{\text{DIR}}$ 信号と $\overline{\text{STEP}}$ 信号を出力します。1 台のフロッピー・ディスク・ドライブに対する $\overline{\text{STEP}}$ 信号を出力する周期は、SPECIFY コマンドの SRT (Step Rate Time) ビットで指定されたものとなります。

このコマンドは 4 台までの FDD を同時に処理するため、 $\overline{\text{DS0}}\text{-}\overline{\text{DS3}}$ 信号の指定を $\overline{\text{DS0}}$, $\overline{\text{DS1}}$, $\overline{\text{DS2}}$, $\overline{\text{DS3}}$ と繰り返し変更し、各ドライブに対して $\overline{\text{STEP}}$ 信号が必要かどうか判断し、それぞれに対して必要ならば $\overline{\text{STEP}}$ 信号を出力します。

図 11-22 SEEK, RECALIBRATE



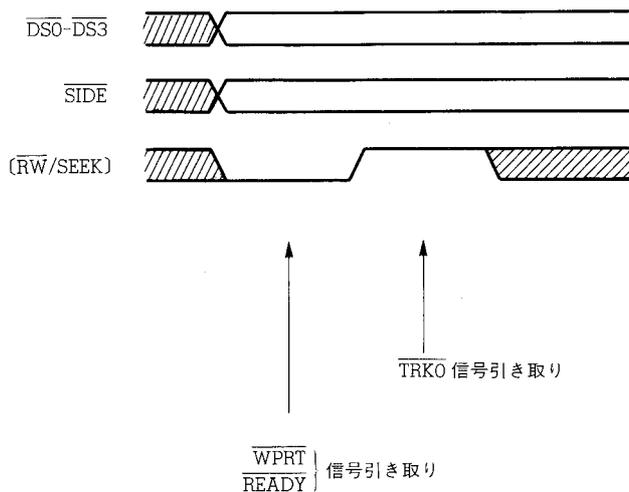
- この図は DR0, DR1 で #n を指定したものです。
(n=3 のとき, n+1=0 とし, n=0 のとき n-1=3 とします)
- DR0, DR1 で選択されるドライブに対しその期間に READY チェックします。
- [] 内は内部信号です。

(5) SENSE DRIVE STATUS コマンド

このコマンドのタイミングを示します。

C-Phase で 2 バイト目の書き込みが終了すると、 $\overline{DS0-DS3}$ 信号と \overline{SIDE} 信号を出力します。続いて、 $\overline{RW/SEEK}$ 信号に L を出力し、 \overline{READY} 信号をチェックするとともに、 \overline{WPRT} 信号をチェックします。次に $\overline{RW/SEEK}$ 信号を H にして、 \overline{TRKO} 信号をチェックします。

図 11 - 23 SENSE DRIVE STATUS



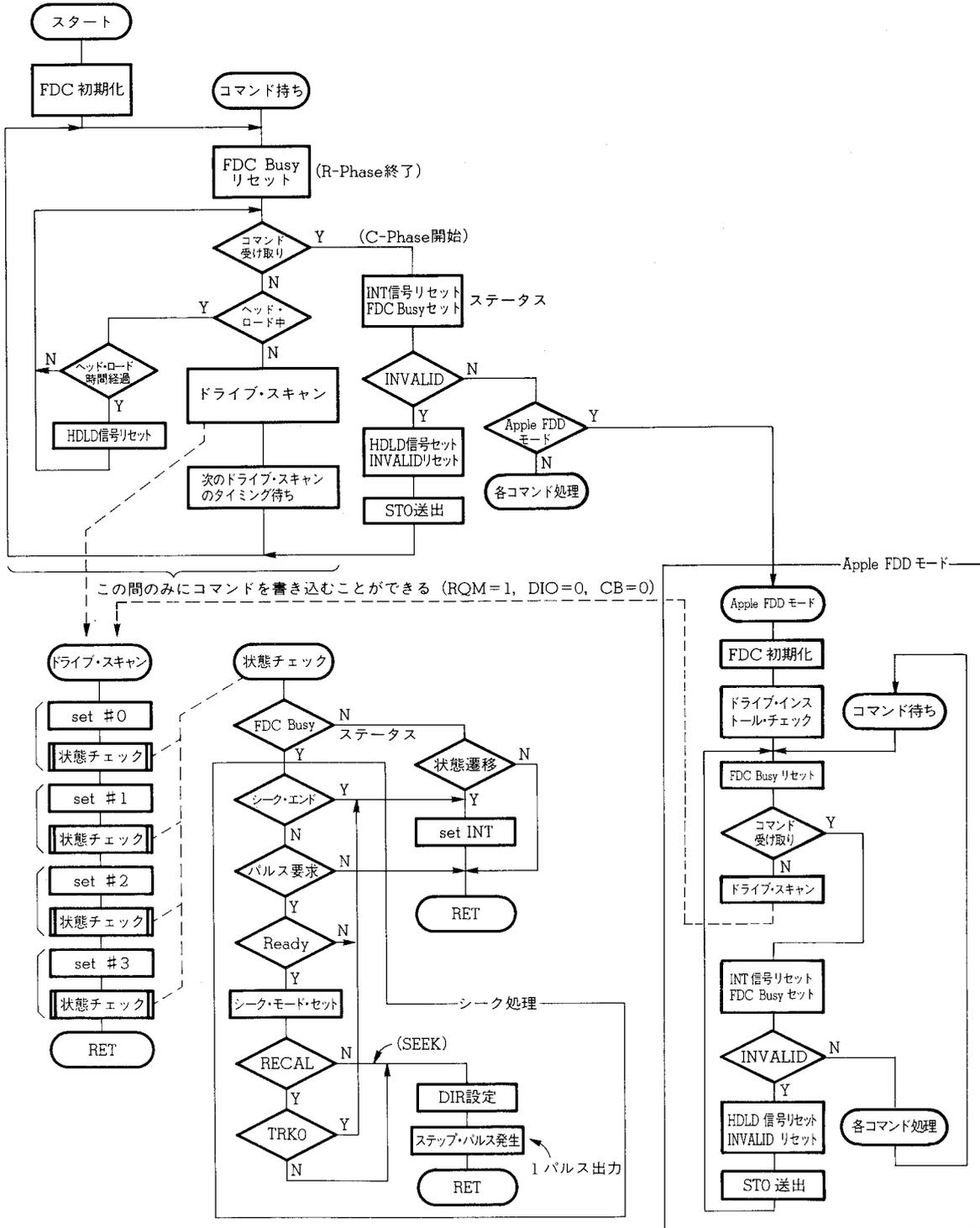
() 内は内部信号です。

11.5 コマンドのファーム・フロー

スタンダード FDD モードのコマンドのファーム・フローを示します。

- (1) コマンド待ち状態
- (2) CONFIGURE コマンド
- (3) SPECIFY コマンド
- (4) PERPENDICULAR MODE コマンド
- (5) SELECT DRIVE TYPE コマンド
- (6) シーク系コマンド
- (7) READ DATA, READ DELETED DATA コマンド
- (8) READ ID コマンド
- (9) READ A TRACK コマンド
- (10) VERIFY コマンド
- (11) SCAN 系コマンド
- (12) FORMAT A TRACK コマンド
- (13) WRITE DATA, WRITE DELETED DATA コマンド
- (14) センス系コマンド
- (15) DUMPREG, VERSION, REVISION コマンド

(1) コマンド待ち状態



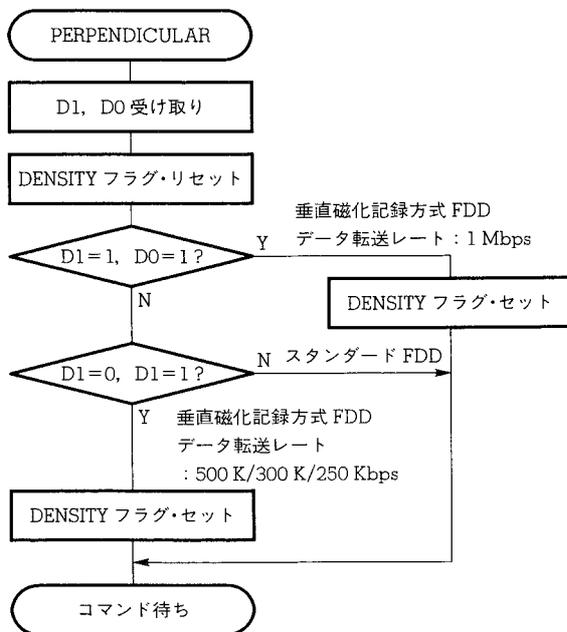
(2) CONFIGURE コマンド



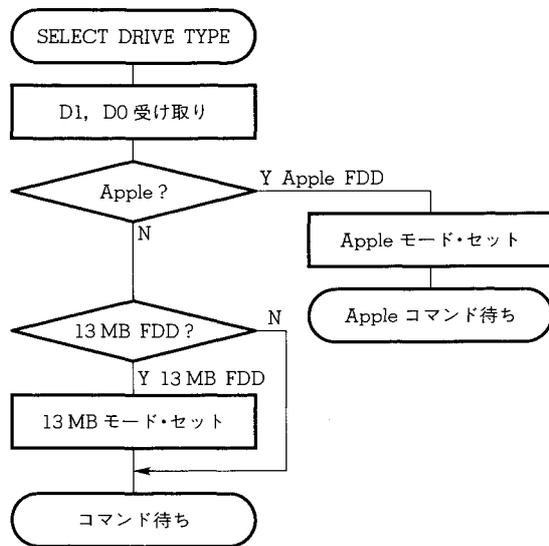
(3) SPECIFY コマンド



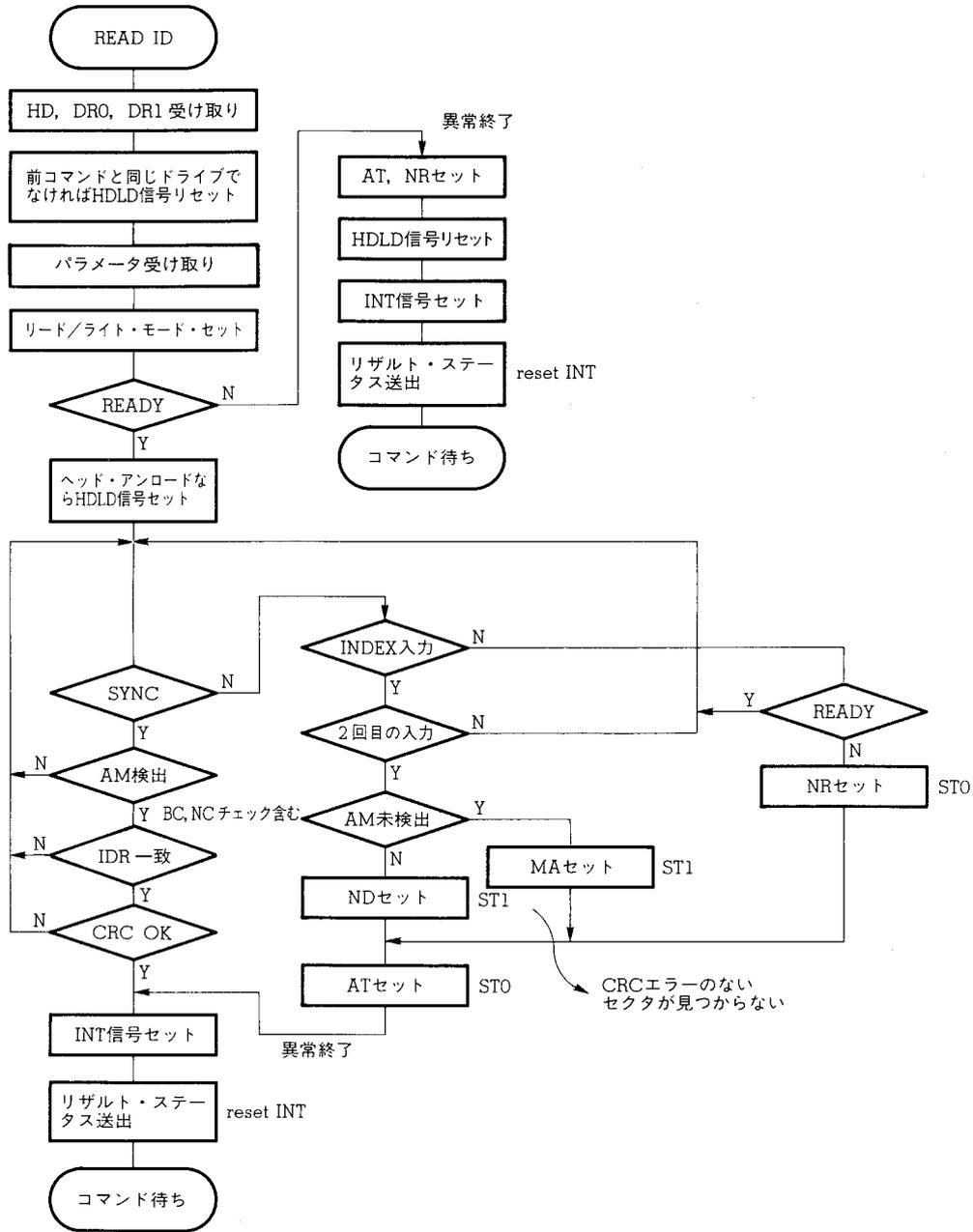
(4) PERPENDICULAR MODE コマンド



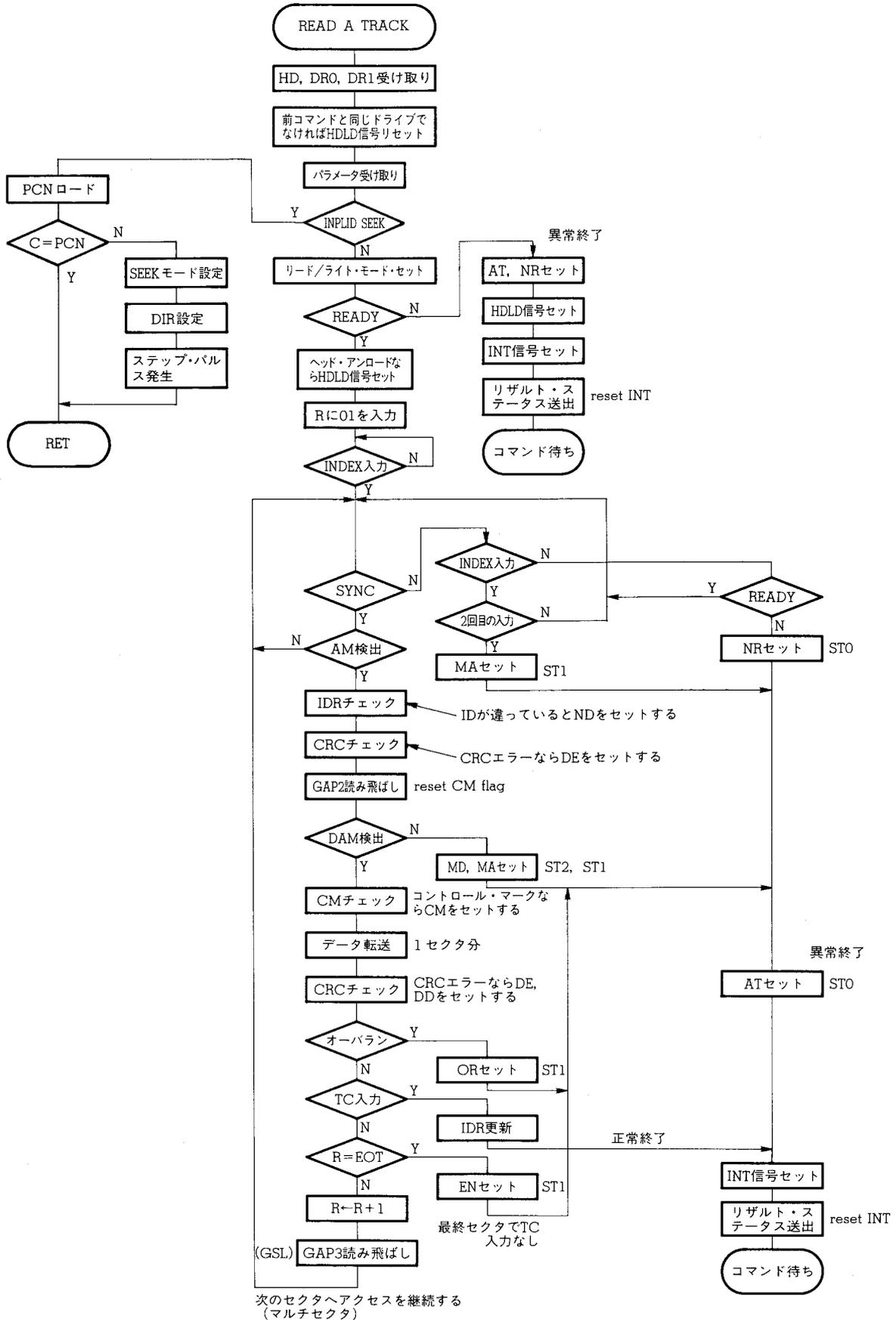
(5) SELECT DRIVE TYPE コマンド



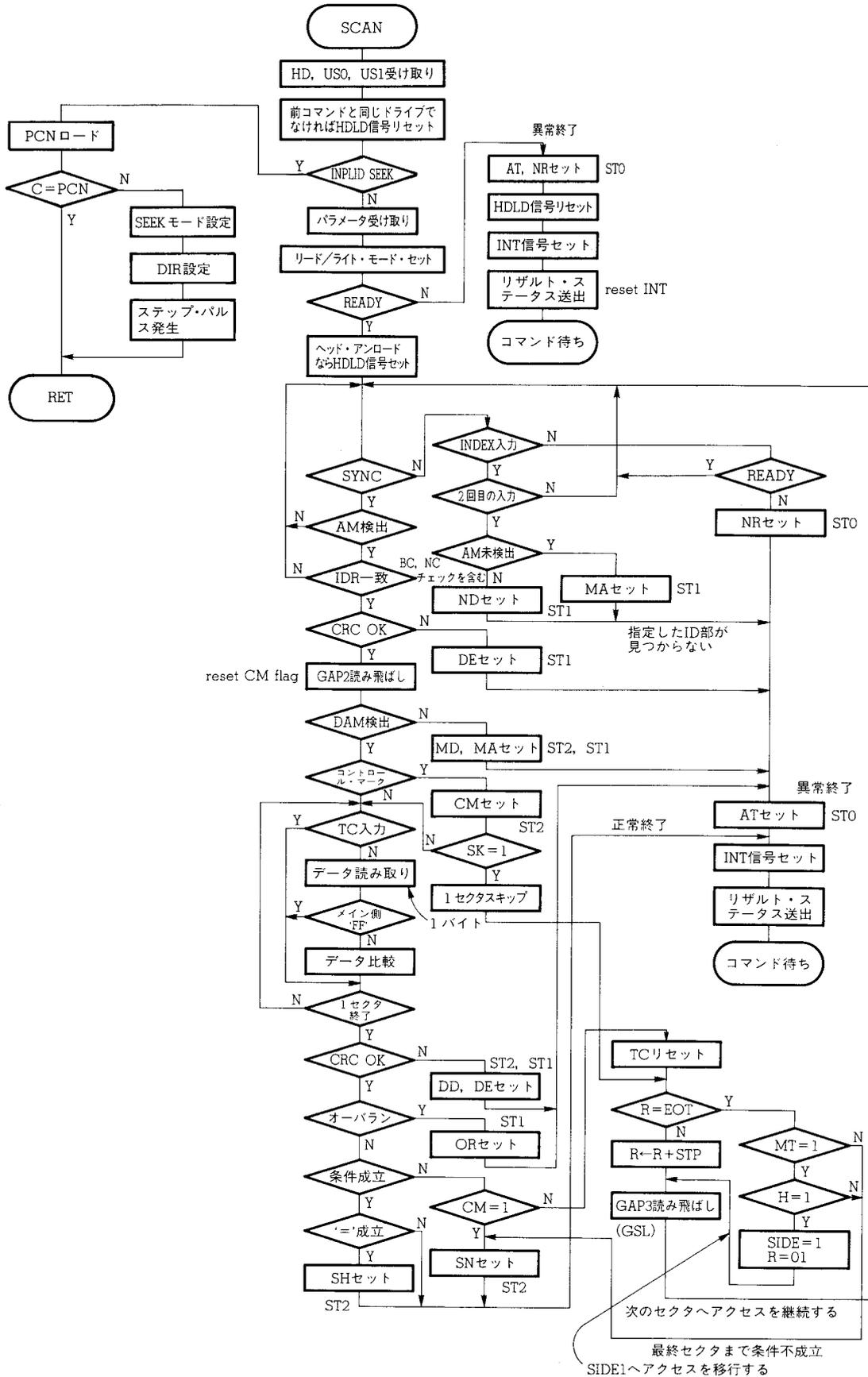
(8) READ ID コマンド



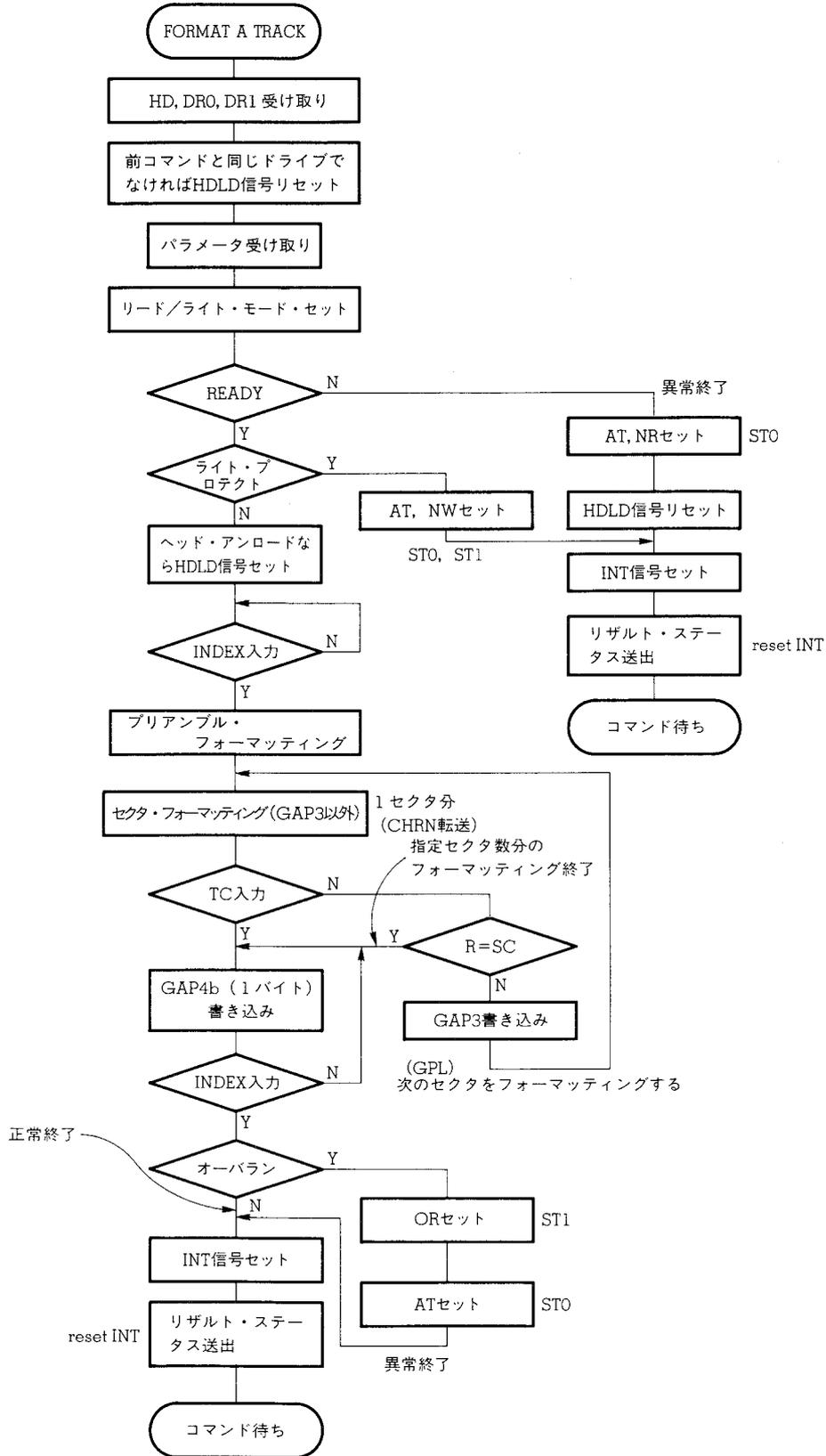
(9) READ A TRACK コマンド



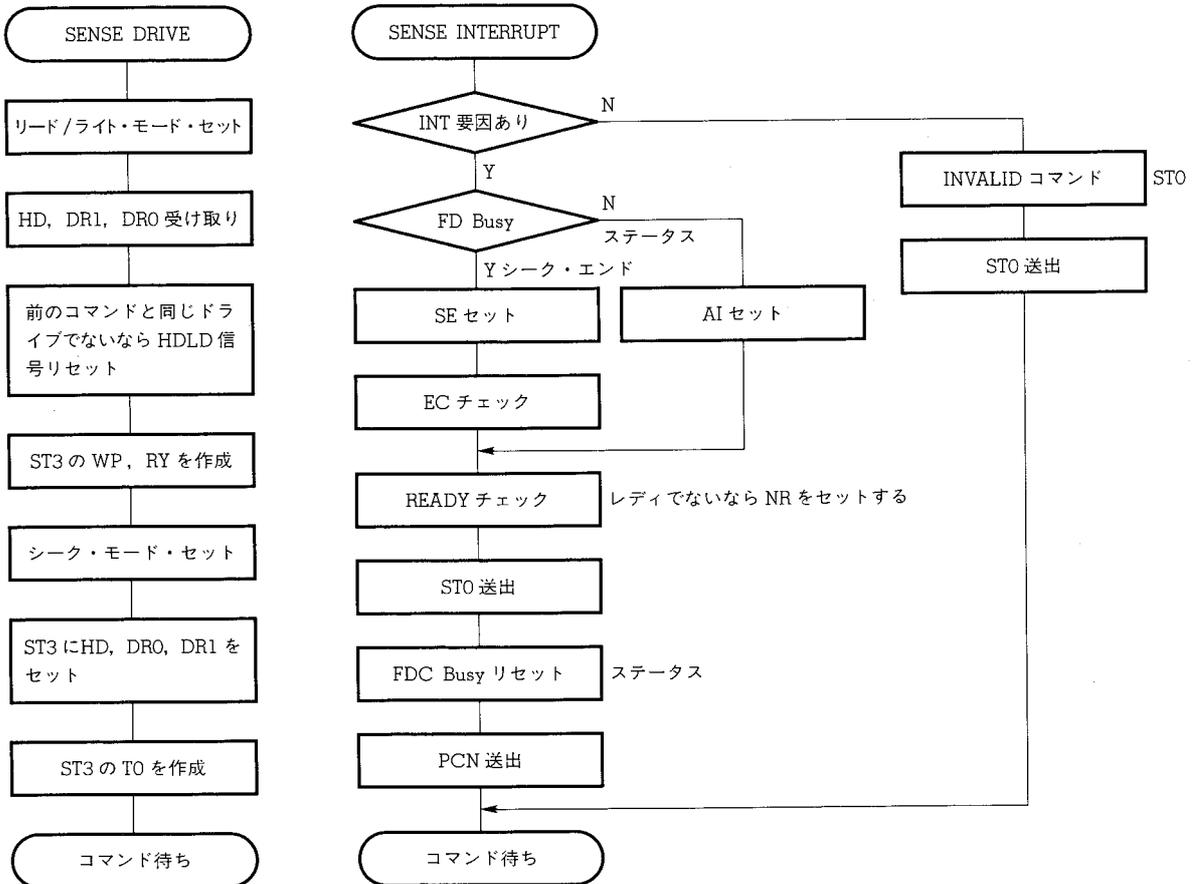
(11) SCAN 系コマンド



(12) FORMAT A TRACK コマンド



(14) センス系コマンド



(15) DUMPREG, VERSION, REVISION コマンド



保守 / 廃止

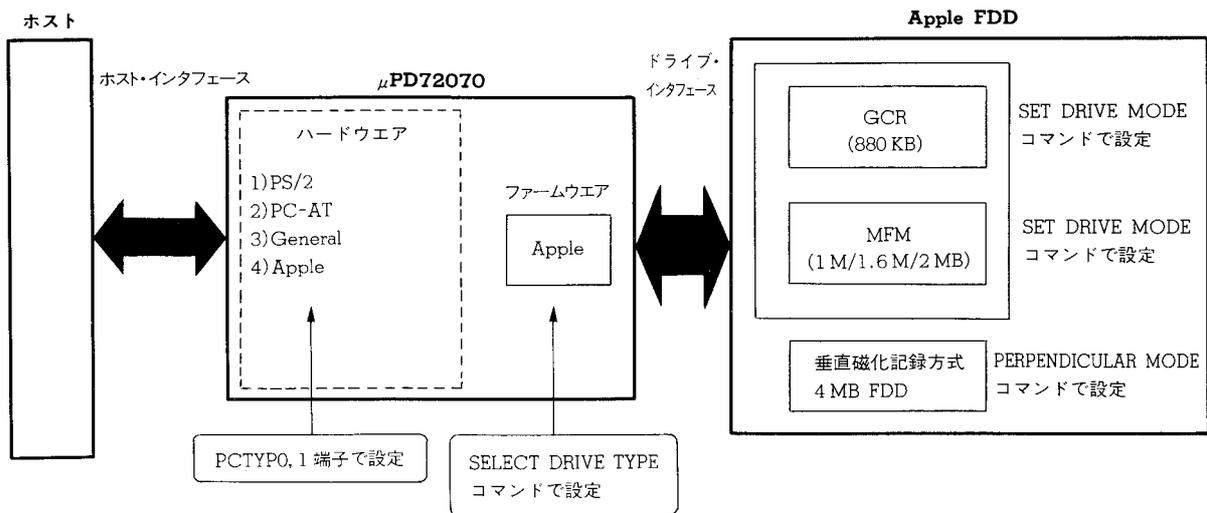
第12章 Apple FDD モード

12.1 Apple FDD モードについて

スタンダード FDD と Apple FDD では FDD インタフェースが異なります。μPD72070 は、両方の FDD をサポートしていますので、使用する FDD によって、FDD インタフェースを切り替える必要があります。μPD72070 は、スタンダード FDD モードと Apple FDD モードの2つの FDD インタフェース・モードを持っています。

FDD インタフェース・モードの切り替えは、SELECT DRIVE TYPE コマンドで移行できます。また、リセット・デフォルトは、スタンダード FDD モードになります。

Apple FDD モードの場合



Apple FDD モード

スタンダード FDD モードから、SELECT DRIVE TYPE コマンドを実行することにより、この FDD モードに移行することができます。

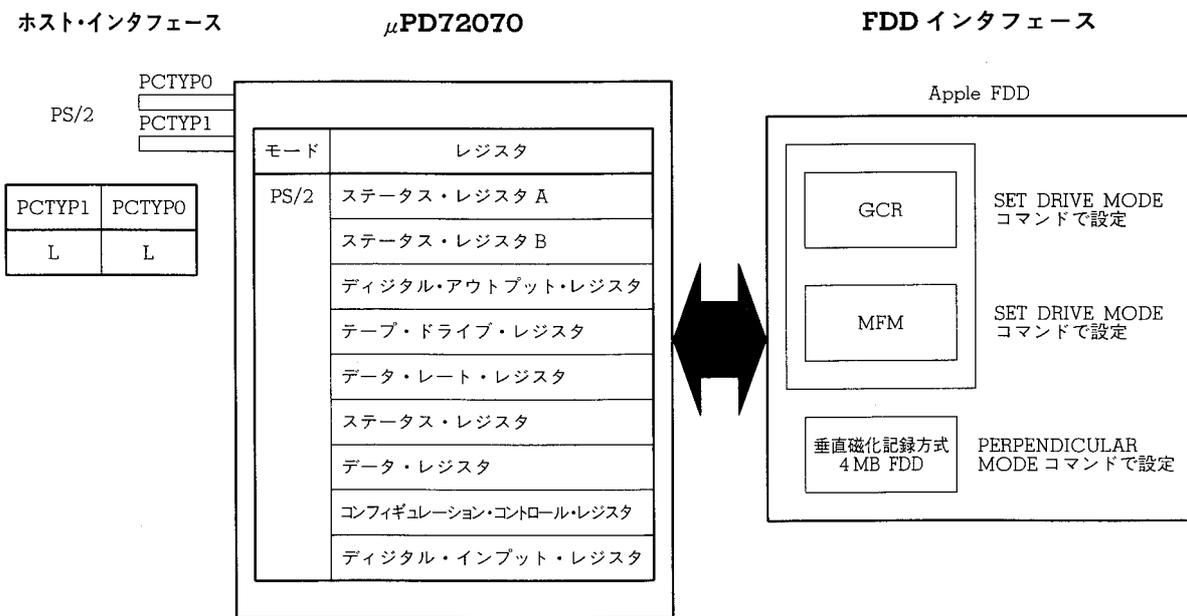
この FDD モードではアップルコンピュータ社の Macintosh で使用される FDD を最大2台までサポートでき、記録方式は、MFM 方式に加え GCR 方式もサポートします。

Apple FDD モードは、すべてのホスト・インタフェース・モードが使用できます。また、以下にスタンダード FDD モードにおけるホスト・インタフェース・モードと使用できる FDD の関係を示します。

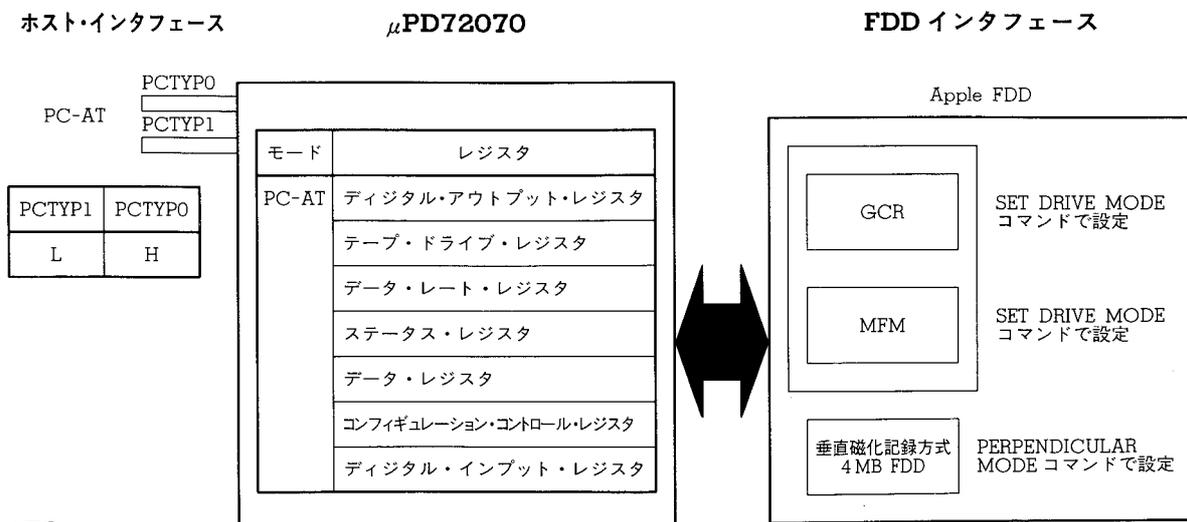
		使用できる FDD			
		1M/1.6M/2MB	4 MB	13 MB	Apple FDD
ホ ス ト ・ イ ン タ ー フ ェ ー ス	PS/2	×	×	×	○
	PC-AT	×	×	×	○
	General	×	×	×	○
	Apple	×	×	×	○

次にインタフェースの例を示します。このようにすべてのホスト・モードにおいて、Apple FDD モードは使用できます。ホスト・モードによって使用できるレジスタ・セットが異なります。

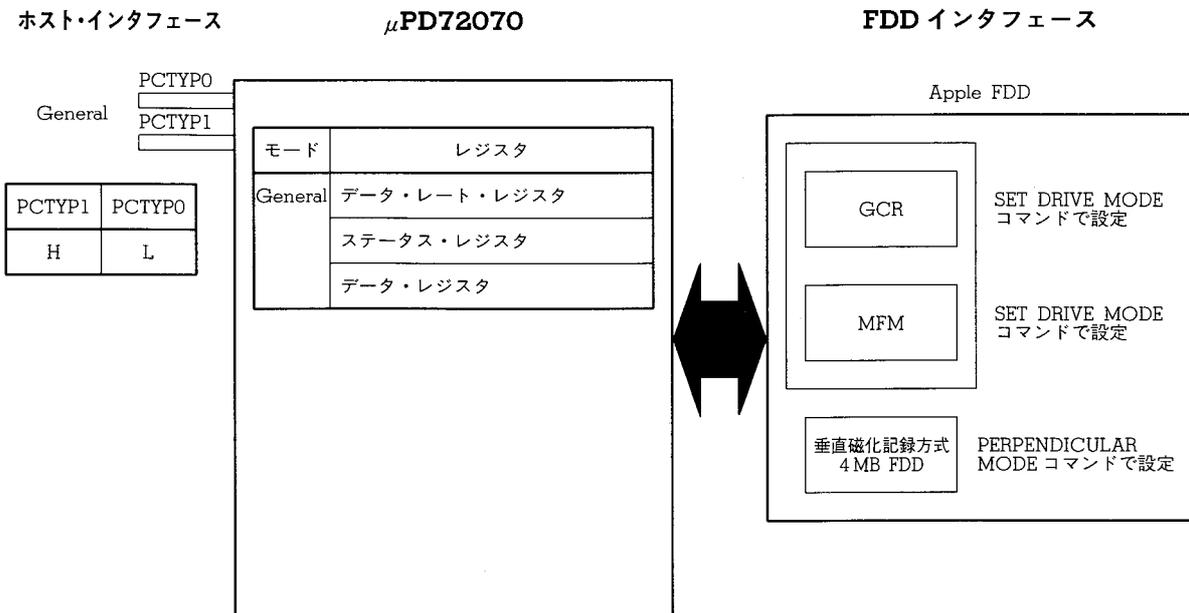
(1) PS/2 モード



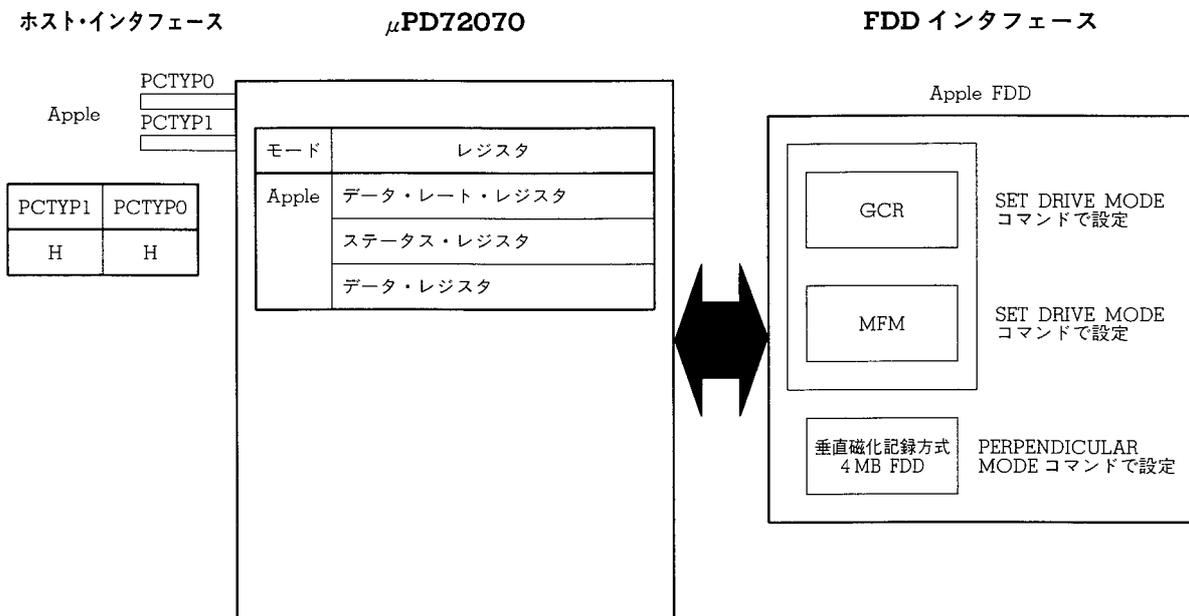
(2) PC-AT モード



(3) General モード



(4) Apple モード



12.2 パラメータの説明

12.2.1 コマンド・バイト・パラメータ

μ PD72070 で使用されるコマンド・パラメータを次に説明します。

(1) MF : Recording Mode Format

MF ビットの状態	μ PD72070 の動作
1	MFM フォーマットで動作
0	GCR フォーマットで動作

(2) MT : Multi Track

このビットが1のとき、読み出し/書き込み動作はマルチトラック動作を指定します (READ ID, FORMAT A TRACK, FORMAT/WRITE, READ A TRACKを除く)。

(3) TB : Tag Byte (GCR フォーマットのみ)

FDD にデータを書き込んでいる間、このビットが1/0のとき次のようになります。

TB ビットの状態	タグ・バイト領域データ
1	ホストから μ PD72070 へデータ転送
0	ホストからのデータ転送は不要 (自動的に“0”になる)

FDD にデータを読み出している間、このビットが1/0のとき次のようになります。

TB ビットの状態	タグ・バイト領域データ
1	μ PD72070 からホストへデータ転送
0	データ転送されません

(4) HD : Head

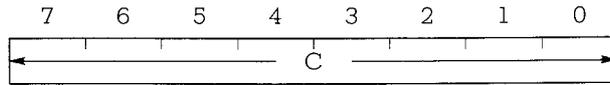
物理ヘッド番号を指定します。

HD ビットの状態	選 択
1	サイド1を選択
0	サイド0を選択

(5) DR1, DR0 : Drive Select

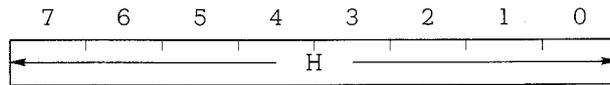
0から3のドライブ番号を指定します。

(6) C : Cylinder Number



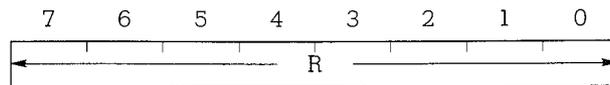
コマンド実行の対象となるセクタ，またはトラックのシリンダ番号を指定します。

(7) H : Head Number



コマンド実行の対象となるセクタ，またはトラックの論理ヘッド番号（メディア上の情報）を指定します。

(8) R : Record Number



コマンド実行の対象となるセクタ番号を指定します。

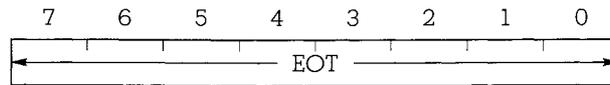
(9) N (MFM) /FORMAT BYTE (GCR)

コマンド実行の対象となる 1セクタあたりのデータ長を示すためのコード (MFM) 1セクタあたりのデータ長を示すためのコード (GCR)

N (16)	1セクタあたりのバイト数
	MFM
00	128
01	256
02	512
03	1024
04	2048
05	4096
06	8192

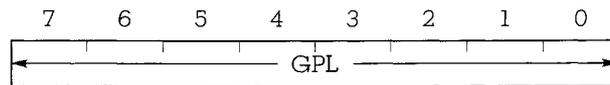
FORMAT BYTE	1セクタあたりのバイト数
	GCR
00	使用禁止
01	258
02	512
03	1024
04	2048
05	4096
06	8192

(10) EOT : End of Track



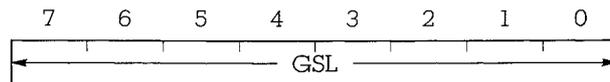
トラック上でアクセスする最終セクタ番号を指定します。

(11) GPL : Gap Length



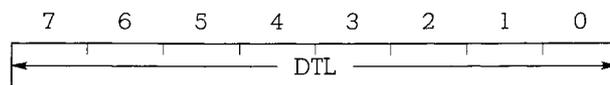
GAP3の書き込みバイト数を指定します。

(12) GSL : Gap Skip Length



GAP3の読み飛ばしバイト数を指定します。

(13) DTL : Data Length



N=00Hのとき、1セクタ当たりの処理データ長を示します。

- DTL=01Hのとき：1バイト/セクタを指定
- DTL≥80Hのとき：128バイト/セクタを指定

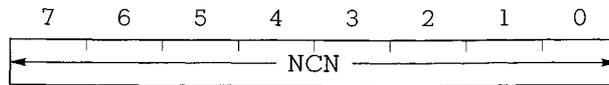
DTL<80Hの場合 (DTLがセクタの途中までしか指定していないとき)

リード時：全セクタについて DTL で指定するデータよりあとのデータも読み取ります。ただし、データ・レジスタにセットしないでCRCチェックのみを行います。

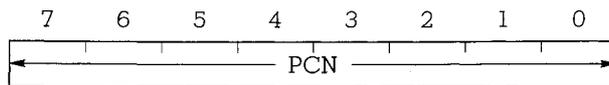
ライト時：全セクタについて DTL で指定するデータに 00H を書き込みます。

使用するコマンド：READ DATA, WRITE DATA, READ A TRACK

N≠00Hのとき、DTLバイトは意味をもちません。

(14) **NCN : New Cylinder Number**

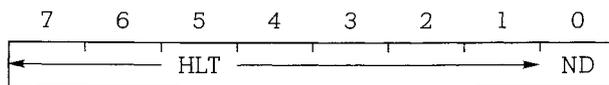
シーク先のシリンダを指定します。

(15) **PCN : Present Cylinder Number**

リード/ライト・ヘッドが位置するシリンダを示します。

(16) **HLT : Head Load Time**

ND : Non-DMA Mode



○HLT

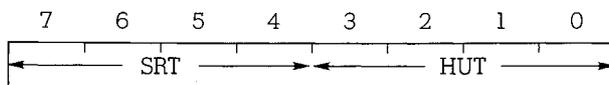
リード/ライト・ヘッドをロード後に安定させるための待ち時間を指定します。

○ND

リード/ライト系コマンドの E-Phase でのデータ転送モード(DMA または Non-DMA モード)を指定します。

(17) **SRT : Step Rate Time**

HUT : Head Unload Time



上位4ビットが SRT, 下位4ビットが HUT を示す1バイトのパラメータです。

使用するコマンド : SPECIFY

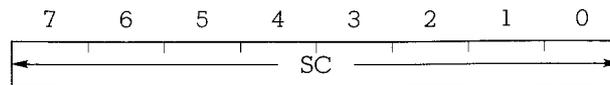
○SRT

ステップ・パルス間隔を指定します。

○HUT

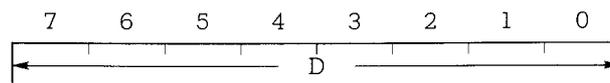
コマンドの実行終了後, リード/ライト・ヘッドをアンロード状態にするまでの時間を指定します。

(18) SC : Sector



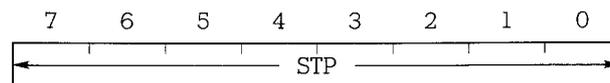
FORMAT A TRACK, FORMAT/WRITE コマンドで作成する 1トラック当たりのセクタ数を指定します。

(19) D : Data



FORMAT A TRACK コマンドでデータ部に書き込むデータ・パターンを指定します。

(20) STP : Step



SCAN コマンド実行時、STP が 01H であれば、次のセクタを続けて処理し、02H であれば、1セクタ飛びに処理します。02H のときは、次の式を満足するようにパラメータの R バイト、および EOT バイトを設定してください。

$$R+2(n-1)=EOT$$

n : 処理すべきセクタ数

使用するコマンド : SCAN EQUAL, SCAN LOW OR EQUAL, SCAN HIGH OR EQUAL

(21) SYNC GROUPS

FORMAT A TRACK コマンドにおいて、Self sync group 数を指定します。

★

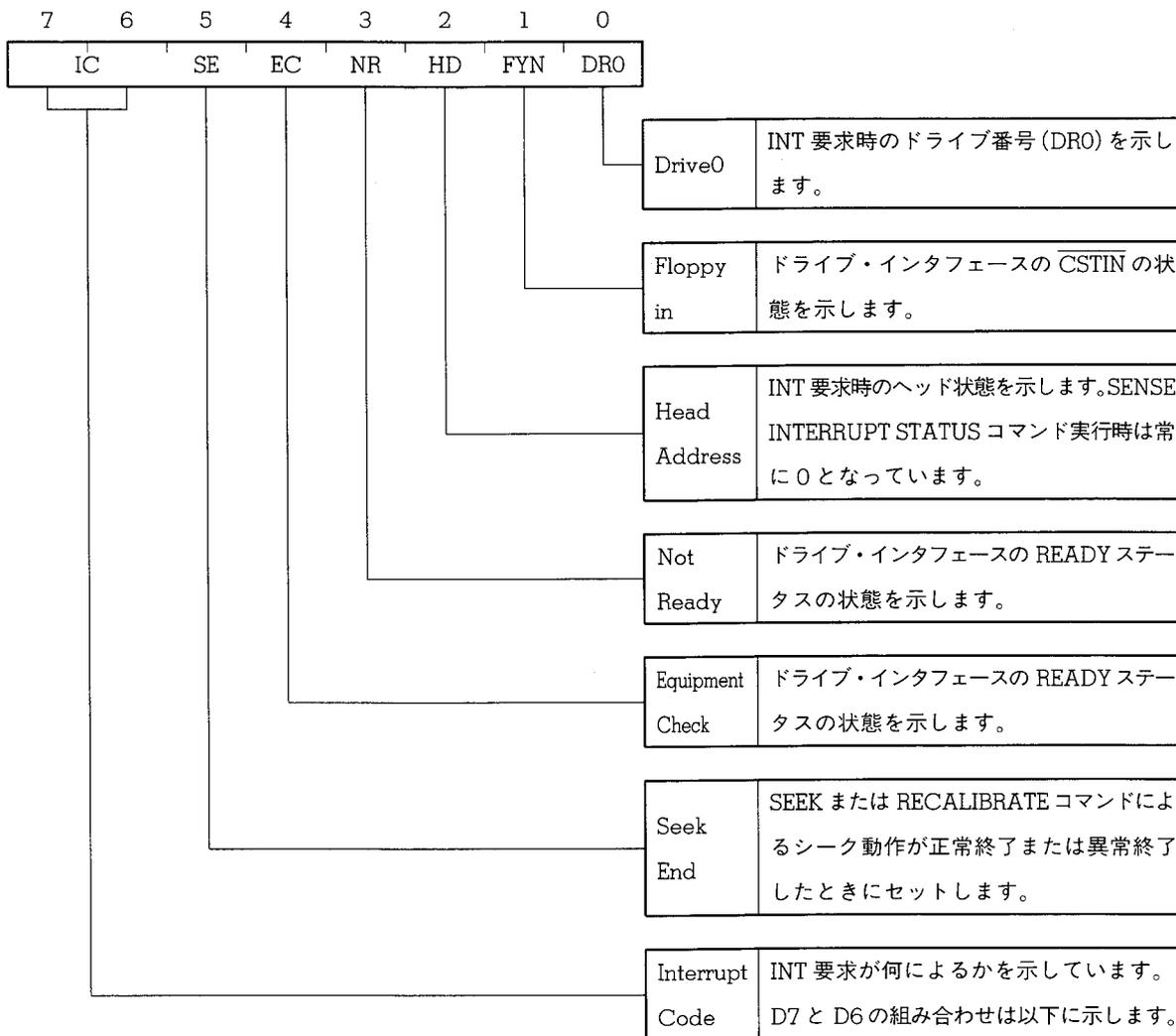
表 12-1 データ長に対する GSL 値と GPL 値の例

ドライブ	モード	パラメータ	N (16)	EOT (16)	GSL (16)	GPL (16)	備 考
		セクタ・サイズ(10)					
5"	FM	128バイト/セクタ	00H	12H	07H	09H	
		128	00H	10H	10H	19H	
		256	01H	08H	18H	30H	
		512	02H	04H	46H	87H	
		1024	03H	02H	C8H	FFH	
		2048	04H	01H	C8H	FFH	
	MFM	256バイト/セクタ	01H	12H	0AH	0CH	
		256	01H	10H	20H	32H	
		512	02H	08H	2AH	50H	
		512	02H	09H	2AH	50H	(360 KB)
		512	02H	0FH	2AH	54H	1.6 MB(AT)(1.2 MB)
		1024	03H	04H	80H	FOH	
		2048	04H	02H	C8H	FFH	
		4096	05H	01H	C8H	FFH	
3.5"	FM	128バイト/セクタ	00H	0FH	07H	1BH	
		256	01H	09H	0EH	2AH	
		512	02H	05H	1BH	3AH	
		1024	03H	04H	47H	8AH	
		2048	04H	02H	C8H	FFH	
	MFM	256バイト/セクタ	01H	0FH	0EH	36H	
		512	02H	09H	1BH	54H	1 MB(720 KB)
		512	02H	12H	1BH	54H	2 MB(1.44 MB)
		512	02H	24H	37H	53H	4 MB(2.88 MB)
		1024	03H	05H	35H	74H	
		2048	04H	04H	99H	FFH	
		4096	05H	02H	C8H	FFH	

12.2.2 リザルト・ステータス・バイト

コマンドの実行結果を報告するためのリザルト・ステータス・バイトを示します。

図 12-1 リザルト・ステータス・バイト 0 (STO)



D7	D6	略称	名 称	内 容
0	0	NT	Normal Terminate	コマンドの正常終了を示します。
0	1	AT	Abnormal Terminate	コマンドの異常終了を示します。
1	0	IC	Invalid Command	起動したコマンドが無効であったため、コマンドを実行しなかったことを示します。
1	1	AI	Attention Interrupt	フロッピー挿入, または排出があつて $\overline{\text{CSTIN}}$ の状態遷移があつたことを示します。

図 12-2 リザルト・ステータス・バイト 1 (ST1)

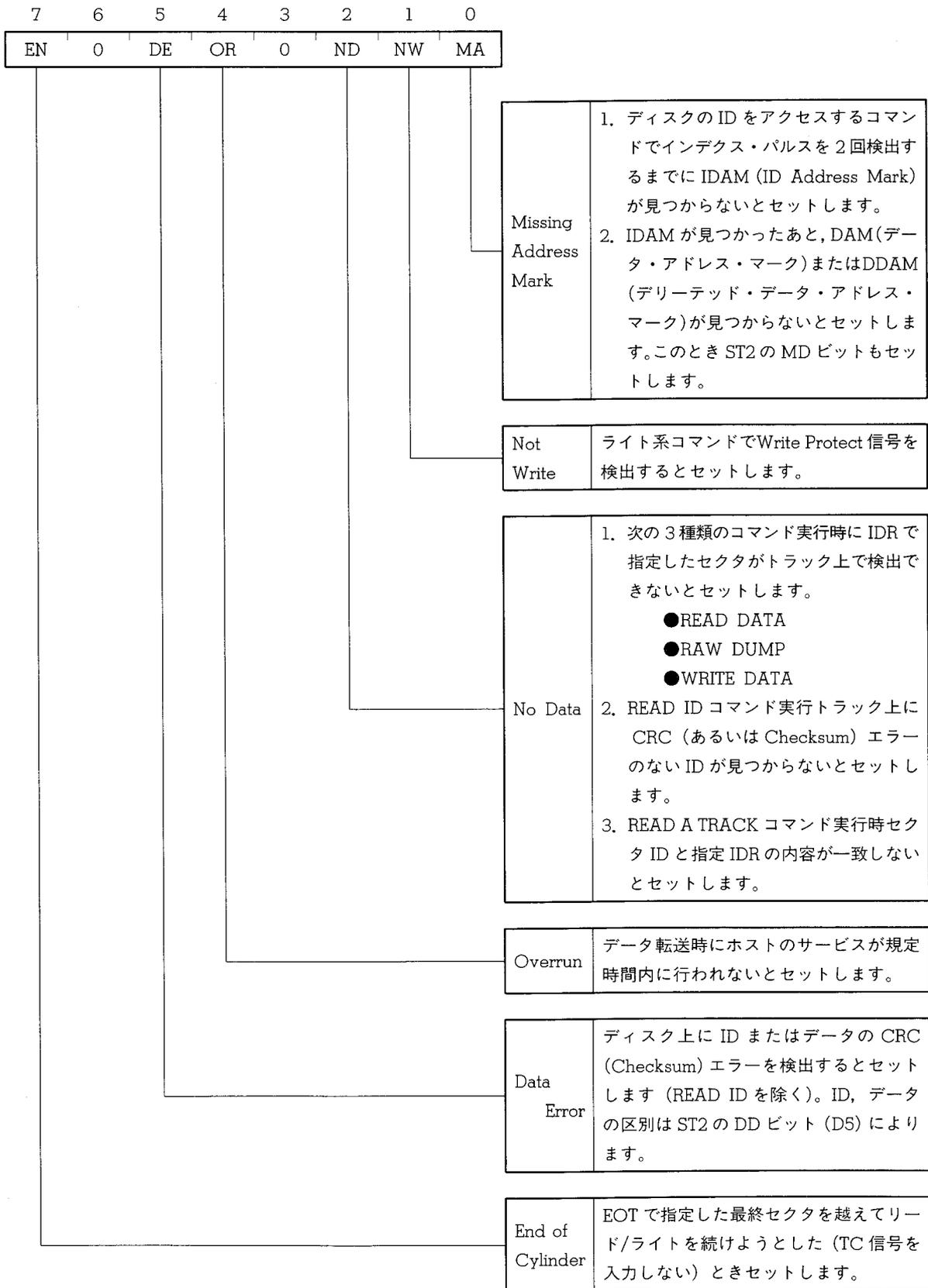


図 12-3 リザルト・ステータス・バイト 2 (ST2)

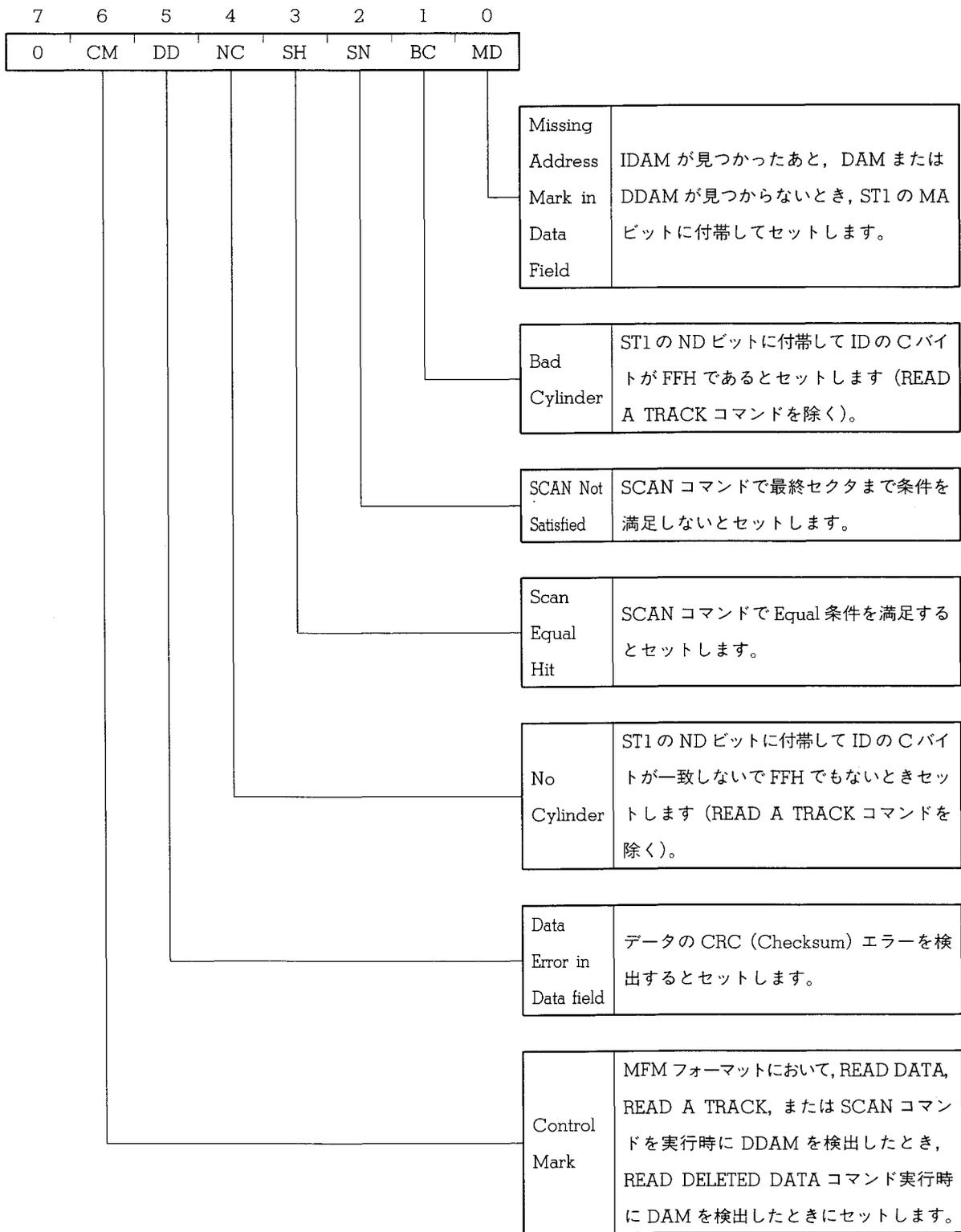
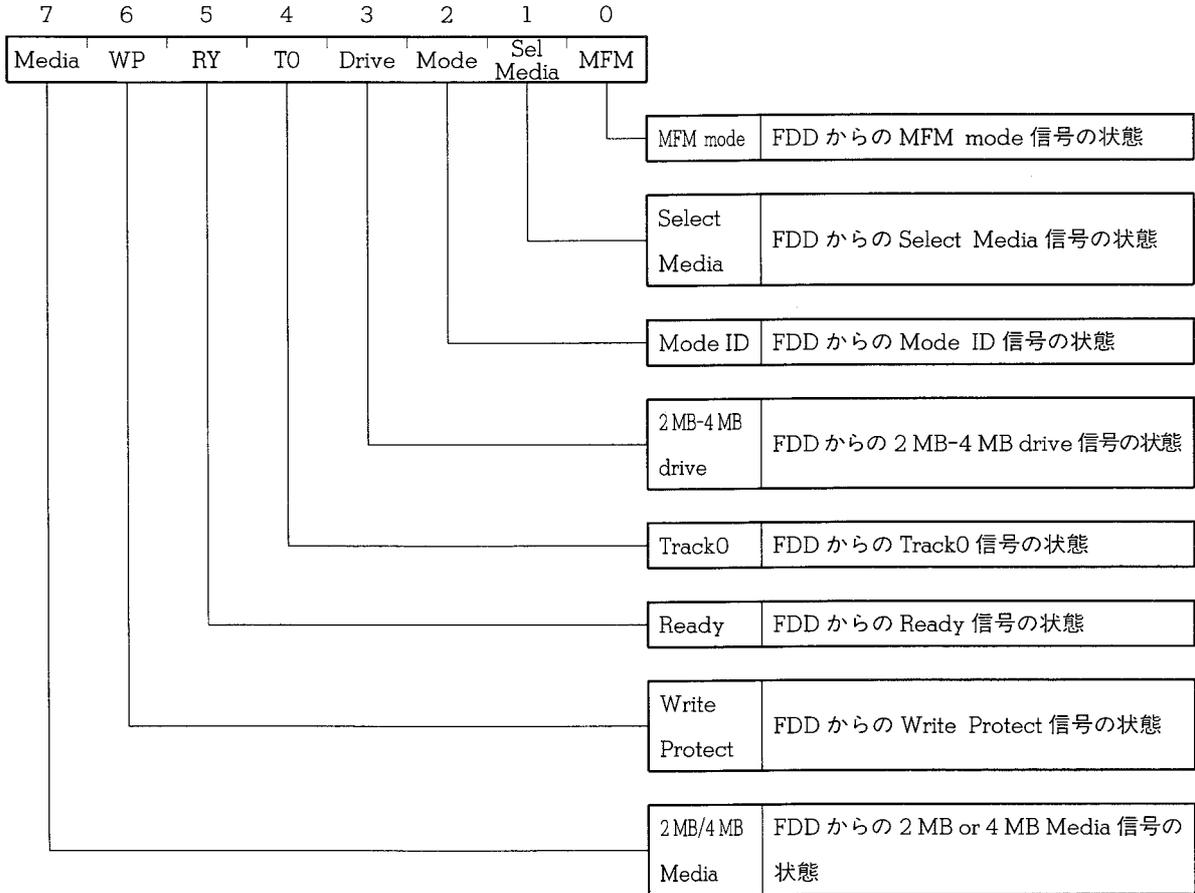


図 12-4 リザルト・ステータス・バイト 3 (ST3)



12.3 コマンドの説明

Apple FDD モードのコマンドについて説明します。

イニシャライズ系コマンド

SPECIFY … 191
CONFIGURE … 191
PERPENDICULAR MODE … 191
SELECT DRIVE TYPE … 191
SET DRIVE MODE … 191

シーク系コマンド

RECALIBRATE (Return to Cylinder0) … 192
SEEK … 194

リード系コマンド

READ DATA … 196
READ ID … 199
READ A TRACK … 200
RAW DUMP … 206

ライト系コマンド

FORMAT A TRACK … 213
FORMAT/WRITE … 216
WRITE DATA … 218

センス系コマンド

SENSE DRIVE STATUS … 221
SENSE INTERRUPT STATUS … 222

その他のコマンド

REVISION … 223
INVALID … 223
DISABLE/ENABLE DPLL … 223
EJECT DISK … 224
SET ENABLE CONTROL … 224
SET MOTOR CONTROL … 225

12.3.1 イニシャライズ系コマンド

(1) SPECIFY

11.3.1(1) SPECIFY を参照してください。

○Apple FDD モードでは ND ビット以外のパラメータを設定しても意味を持ちません。

(2) CONFIGURE

11.3.1(2) CONFIGURE を参照してください。

(3) PERPENDICULAR MODE

11.3.1(3) PERPENDICULAR MODE を参照してください。

(4) SELECT DRIVE TYPE

11.3.1(4) SELECT DRIVE TYPE を参照してください。

(5) SET DRIVE MODE

Apple FDD モード専用のコマンドで、GCR/MFM モードの設定(指定されたドライブの MFM モード・コントロール・ビットに書き込む)を行います。

μ PD72070 は FDD を指定状態に設定したあと、このコマンドが終了しているかどうかを知るために、FDD の Ready 状態をモニタします。コマンド終了時は、 μ PD72070 は、正常終了割り込みを発生します。

	MSB							LSB
(C-Phase)	0	MF	0	1	1	1	0	0
	x	x	x	x	x	x	x	DR
(E-Phase)	指定された値に従って MF \overline{M} コマンドを経由して GCR か MFM にドライブ・モードを変更							

○エラー条件

コマンド実行後、Ready ステータス・ラインをモニタした結果、800 ms 以内に FDD の Ready 状態を確認できないとき、 μ PD72070 は、そのコマンドを異常終了させ、STO の EC ビットをセットします。ホストは、SENSE INTERRUPT STATUS コマンドを発行して EC ビットを読み出してください。

備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

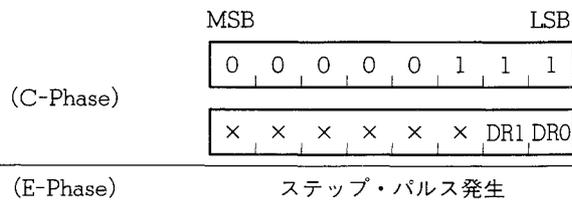
○リザルト・ステータス・バイトの正常, 異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SET DRIVE	正常終了	00																		
MODE	ノット・レディ		01		1															

12.3.2 シーク系コマンド

(1) RECALIBRATE (Return to Cylinder0)

TRKO 信号が入力されるまで外周方向へヘッドを移動させます。リザルト・ステータス・バイトは、SENSE INTERRUPT STATUS コマンドで引き取ります。



備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

○リキャリブレート動作と終了

このコマンドを受け取ったあと、PCN バイトの内部パラメータをリセットします。

- (1) STEP (80ステップ) を FDD に対して遠心方向に発行します。そのとき FDD からの TRKO 状態をチェックします。
- (2) TRKO 状態になったあと、TRKO 状態でなくなるまで、STEP を FDD に対して求心方向に発行します。
- (3) TRKO 状態でなくなったあと、STEP を FDD に外部に対して発行します。TRKO 状態がアクティブであることを確認します。
- (4) 割り込み (INT) は、このコマンドの終了をホストに知らせるためにアクティブになります。
- (5) このコマンドの結果は、ST0 に反映されます。ST0 は SENSE INTERRUPT STATUS コマンドを発行することで読み出せます。

○リザルト・ステータス・バイト正常, 異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
RECALIB- RATE (SENSE INTERRUPT STATUS で引き取り)	正常終了	00		1																
	ノット・レディ		01	1		1														
	トラック0 非検出		01	1	1															

●ノット・レディ (Not Ready Error)

コマンド実行開始時, またはシーク動作実行中 (E-Phase), デバイスがレディ状態でない場合にはその時点で ST0 の SE, NR ビットをセットしてコマンドの実行を異常終了します。

●トラック0 非検出 (Equipment Check, Track0)

ステップ・パルスを80回発行しても TRK0 信号が入力されないときには, ST0 の SE ビットと EC ビットをセットしてコマンドの実行を異常終了します。

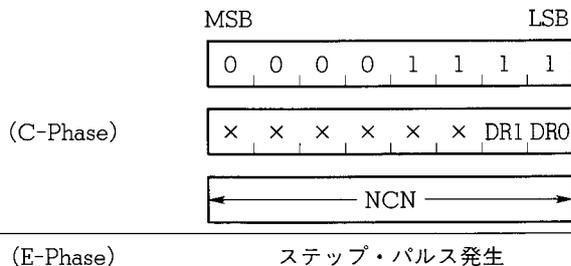
○エラー条件

R-Phase における ST0 の EC ビットをセットしたあと, INT 端子信号をアクティブにして, ホストに異常終了を知らせます

- (1) STEP (最大80ステップ) を FDD に対して遠心方向に発行します。最後の STEP が発行されたあと, 800 ms 以内に READY 状態であるかどうかを確認できない場合。
- (2) 最後の STEP コマンド発行後, 800 ms 以内に READY 状態を確認できても, TRK0 状態であるかどうかを確認できない場合。
- (3) TRK0 状態になったあと, STEP (最大80ステップ) を FDD に求心方向に発行します。そのとき, TRK0 状態であるかどうかを確認できない場合。
- (4) 以上のシーケンスで, FDD に STEP を発行したあと, 18 ms 以内に READY 状態であるかどうかを確認できない場合。
- (5) TRK0 状態になったあと, FDD に遠心方向に STEP を発行しても, TRK0 状態であるかどうかを確認できない場合。
- (6) 以上のシーケンスで, FDD に STEP を発行したあと, 18 ms 以内に READY 状態であるかどうかを確認できない場合。

(2) SEEK

パラメータの NCN (New Cylinder Number) バイトをシーク先のシリンダ番号とみなして、リード/ライト・ヘッドをこのシリンダまで移動させます。リザルト・ステータス・バイトは、SENSE INTERRUPT STATUS コマンドで引き取ります。



備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

FDD に STEP を発行することによって、このコマンドを実行します。

STEP が終了した場合、FDD から READY ステータス・ラインを読み出します。これにより、ステップ動作に必要なハンドシェークが供給できます。

このコマンドは、次の条件はサポートしません。

- メディアがドライブに挿入されていない場合のシーク
- 1 台以上の同時シーク

○リザルト・ステータス・バイト正常，異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SEEK (SENSE INTERRUPT STATUS で引き取り)	正常終了	00		1																
	ノット・レディ		01	1		1														
	STEP 非検出		01	1	1															

●ノット・レディ (Not Ready Error)

コマンド実行開始時，またはシーク動作実行中 (E-Phase)，デバイスがレディ状態でない場合にはその時点で ST0 の SE, NR ビットをセットしてコマンドの実行を異常終了します。

READY ラインがSTEP に従って、表 12-2 の条件において、800 ms 以内にアクティブにならない場合、このコマンドを終了します。終了の際に μ PD72070 は割り込みを発生し、ST0 の EC ビットをセットして異常終了を示します。すべての可能条件の最大タイム・アウト時間は、800 ms です。

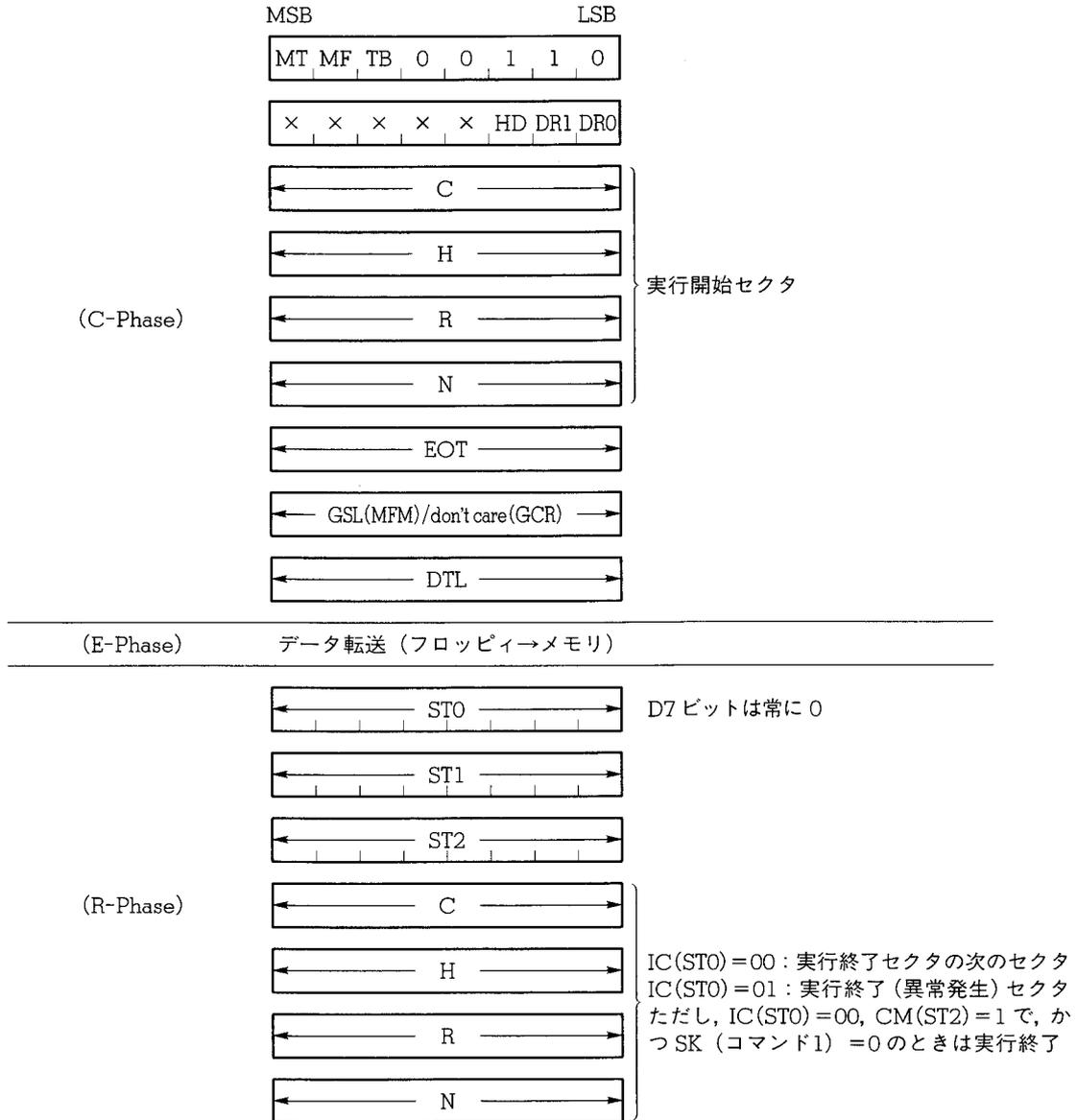
表 12-2 エラー条件

条	件
GCR と MFM フォーマットにおいて、スピード・ブロックなしで 1 トラック移動するためのシーク動作が変化したとき	
GCR モードのみでスピード・ブロックとともに 1 トラック移動するためのシーク動作が変化したとき	
GCR と MFM フォーマットにおいて、2 つ以上のスピード・ブロックとともにトラック移動するためのシーク動作が変化したとき	

12.3.3 リード系コマンド

(1) READ DATA

ホストからのID情報 (ID Register (IDR) : C, H, R, N バイト) で指定されたセクタのデータをディスクから読み取り, 1 バイトごとにデータ・レジスタにセットします。そしてホストはその内容を Non-DMA モード, または DMA モードで読み取ります。



備考 パラメータについては, 12.2.1 コマンド・バイト・パラメータを参照してください。

GCR フォーマットの TAG BYTE は、GCR フォーマットの間、 μ PD72070 の TB ビットの設定により次のようになります。

TB=0 の場合：セクタの最初で Tag byte を無視し、セクタの512バイトのみ転送します。

TB=1 の場合： μ PD72070 は、ホストに524バイト転送します。

○リザルト・ステータス・バイト正常，異常表示ビット

コマンド	実行終了条件	ST0					ST1					ST2								
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ DATA	正常終了	00																		
	ノット・レディ		01			1														
	CSTIN状態遷移		01				1					1								
	ID 部	IDAM非検出		01									1							
		C不一致(≠FFH)		01							1					1				
		C不一致(=FFH)		01							1								1	
		H不一致		01							1									
		R不一致(1トラック内)		01							1									
		N不一致		01							1									
		CRC不一致		01						1										1
		Checksum不一致		01						1										
		Bit slip byte不一致		01						1										
		データ 部	DAM非検出		01									1						
	DDAM検出		00											1						
	CRC不一致			01						1						1				
	オーバラン			01							1									
	最終セクタで未終了		01					1												

●ノット・レディ (Not Ready Error)

コマンド実行開始時，または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合，ST0 の NR (Not Ready) ビットをセットして，コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

Apple FDD モードにおいて， μ PD72070 が 400 ms 以内に以下のものが検出できない場合，ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

- ID 部 (address header) における address mark

●セクタの不一致 (C, H, R, N バイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ(C,

H, R, N バイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき, 特に読み取った ID の C バイトについては, IDR の C バイトと一致しなかった場合, 次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット
(No Data Error with Bad Cylinder)
- 読み取った ID の C バイト \neq FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット
(No Data Error with No Cylinder)

● CRC 不一致 (CRC Error)

ID 部またはデータ部の CRC (Checksum, Bit slip byte) バイトを読み取って, それと内部生成した CRC を比較して一致しないとき, ST1 の DE ビットをセットして異常終了します (CRC Error in ID Field)。

なお, データ部の CRC (Checksum Bit slip byte) エラーのときは, ST1 の DE ビットと ST2 の DD ビットもセットしてコマンドを異常終了します (CRC Error in Data Field)。

● DAM 非検出 (Missing Address Mark Error in Data Field)

IDAM 検出後, IDR で指定されたセクタの DAM を検出できなかった場合, ST1 の MA ビットと ST2 の MD ビットをセットします。

● DDAM 検出 (Control Mark Detection)

DDAM を検出すると ST2 の CM ビットをセットします。

このときコマンドの SK ビットの内容により次のように処理が行われます。

- SK=0 のとき: DDAM を検出したセクタを転送したあと, コマンドの実行を正常終了します。

R-Phase の C, H, R, N バイトは DDAM を検出したときのセクタの値となります。

- SK=1 のとき: DDAM を検出したセクタをスキップして次のセクタを処理します。

● オーバラン (Overrun Error)

データ転送時, INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合, そのセクタのデータを転送したあと, ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは, Non-DMA モードの場合は \overline{RD} 信号, DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお, DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ読み出し応答最大時間

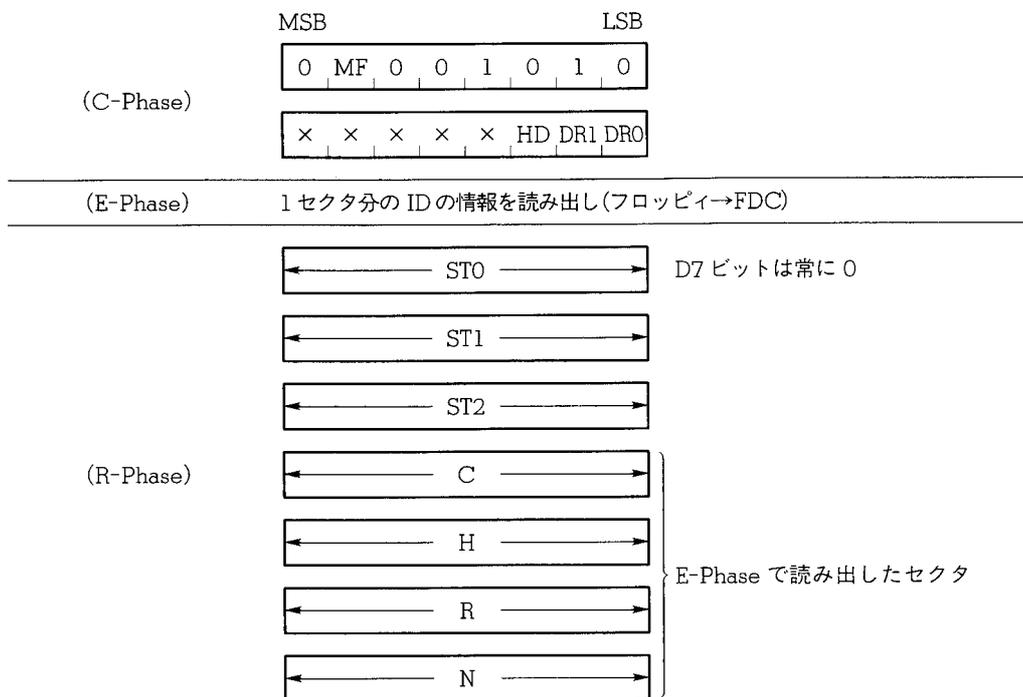
	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

●最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合, ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC信号入力タイミングについてを参照してください)。

(2) READ ID

ヘッド・ロード時間経過後, 最初に検出した任意のセクタの ID (address header) を R-Phase の IDR としてデータ・レジスタにセットします。



備考 パラメータについては, 12.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイトの正常，異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ ID	正常終了	00																		
	ノット・レディ		01			1														
	CSTIN 状態遷移		01				1					1								
	ID部 IDAM非検出		01										1							
	C,H,R,N非検出		01								1									

●ノット・レディ (Not Ready Error)

コマンド実行開始時，または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合，ST0 の NR (Not Ready) ビットをセットして，コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

[MFM フォーマット]

インデクス・パルスを 2 回検出するまでに IDAM (ID address mark) がまったく検出されなかった場合，ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

[GCR フォーマット]

400 ms 以内に address header が検出されないとき，このコマンドを終了し R-Phase のステータスを通してホストに知らせます。

●C, H, R, N 非検出 (No Data Error in ID Field)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに CRC エラーのない ID が検出されない場合には，ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

(3) READ A TRACK

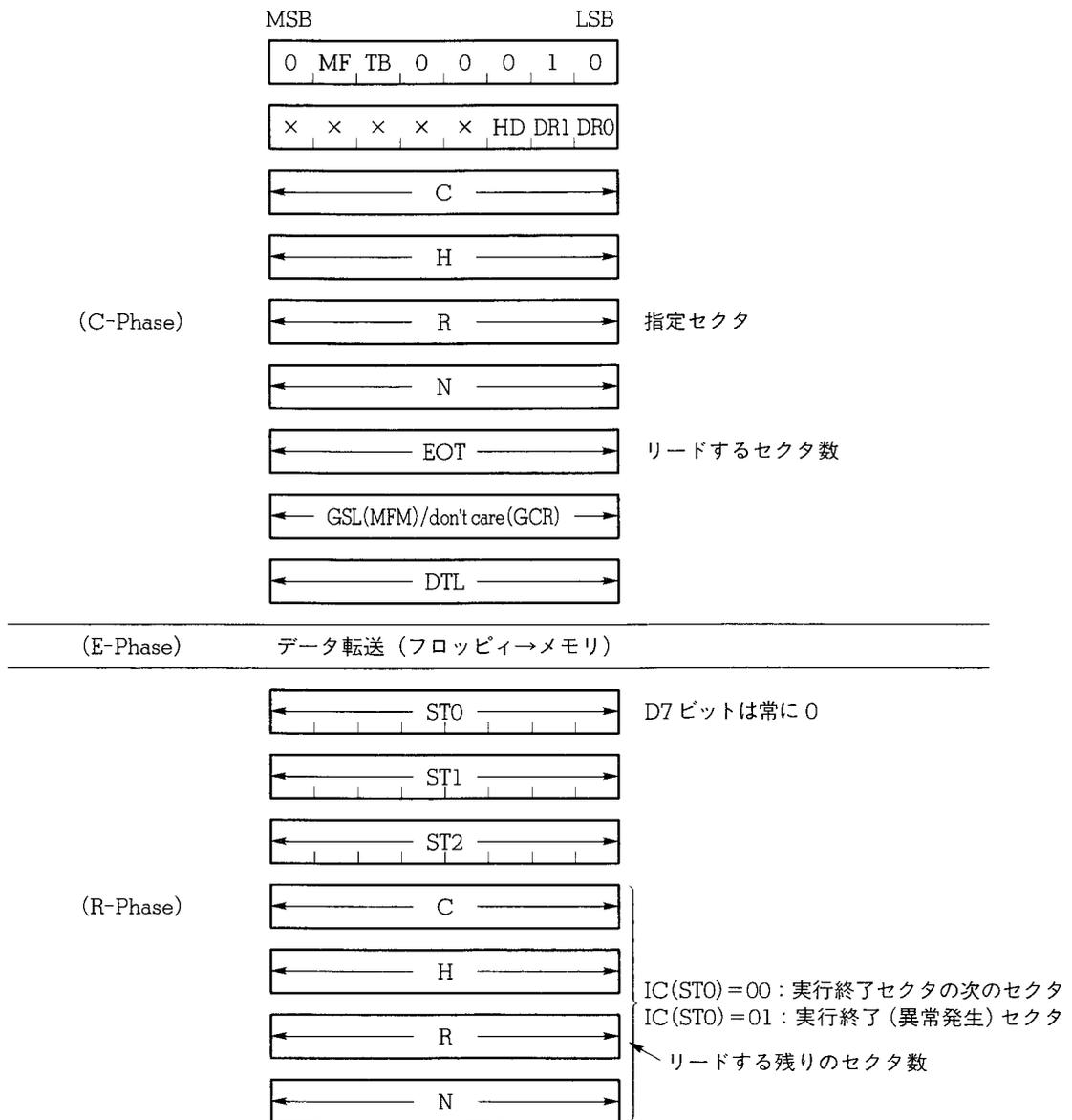
ホストからの ID 情報で指定されたセクタのデータをディスクから読み取り 1 バイトごとにデータレジスタにセットします。ホストはその内容を Non-DAM モード，または DMA モードで読み取ります。マルチトラック・スキップの指定はありません。

また，コマンド実行時，パラメータの R バイトには内部で初期値 01H をセットして，インデクス・パルスの入力直後のセクタから処理します。

正常終了した場合，エラーが生じるとそれを累積してリザルト・ステータス・バイトに出力します。ただし，セクタを知ることはできません (リザルトの C, H, R, N バイトは実行終了セクタを更新したものです)。

Apple FDDモードにおいて、データ部リードされるそれぞれのセクタにおける読み出し動作を継続して行うことを除き READ DATA コマンドと同じです。このコマンドは、READ DATA コマンドのマルチ・セクタ・リードと異なって、ディスク上で順番に遭遇するセクタを読み出します。セクタがインタリーブされていたとしても、そのセクタ番号にかかわらず、ディスク上の物理的な順番でセクタを読み出します。たとえ μ PD72070 は、Address header, または Data Checksum byte におけるエラーを検出しても、トラックからデータを読み出し続けます。しかし、R-Phase の ST0-ST2 においてエラーを示します。

このコマンドは、読み出したセクタ数と C-Phase で指定された数が等しい値になったときに終了します。特に読み出し時にセクタ ID を検出できなかった場合、ETO パラメータは残り読み出しセクタ数を表示します。



備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

READ DATA コマンドと同じです（データ部の読み出されるそれぞれのセクタにおける読み出し動作を継続して行うことを除く）。このコマンドは、READ DATA コマンドのマルチ・セクタ・リードと異なって、ディスク上のそれらが遭遇するセクタを順番に読み出します。 μ PD72070 は、ID 部のセクタの順序に関わらずセクタを読み出します。C-Phase において指定されたセクタを検出後すぐに、 μ PD72070 は、継続したブロックとしてトラック上のすべてのデータ部の読み出しを開始します。それぞれのセクタ・データ・ブロックの始まりに、セクタ番号を 1 バイト加えます。たとえ μ PD72070 は、Address header, または Data Checksum byte におけるエラーを検出しても、トラックからデータを読み出し続けます。しかし、R-Phase の ST0-ST2 においてエラーを示します。

このコマンドは、読み出したセクタ数と C-Phase で指定された数が等しい値になったときに終了します。

○R-Phase におけるパラメータ

R: Apple モードにおいて、あるエラーによって失敗したときに読み出されるセクタの残りを示します。

$$R \text{ (R-Phase)} = \text{EOT (C-Phase)} - [\text{読み出したセクタ数}]$$

たとえば、ホストは C-Phase において、EOT=5 に設定されます。

μ PD72070 が第 3 セクタを読み出しているときに、あるエラーを検出した場合（第 1, 第 2 セクタの読み出しは成功）→ μ PD72070 はこの“R”バイトに“3”（5-2）を設定し、R-Phase において報告します。

このコマンドにおけるパラメータは、READ DATA コマンドと同じです（指定されたパラメータを除く）。

○エラー条件

(1) GCR フォーマットにおいて、 μ PD72070 が 400 ms 以内に次のものが検出できない場合、または MFM, FM フォーマットにおいて、インデクス・パルスが 2 回出力される前に次のものが検出できなかった場合

- Address header (ID 部) の Address mark
- 要求された Address header (ID 部のデータ)

(2) μ PD72070 が次のときにリード・エラーを検出した場合

- CRC バイト, または Checksum バイト
- データ部の Address Mark
- Bits slip bytes (GCR フォーマットのみ)

(3) 次の条件が発生したとき

- データ転送の間、オーバラン、またはアンダランが発生
- TC 信号が規定時間内に入力されないとき
- スタンダード、Apple モードにおいて、FDD の状態がコマンド実行の前にノット・レディになったとき
- スタンダード・モードにおいて、DDAM (Deleted Data Address Mark) が検出されたとき、ST2 の CM ビットはセットされます。次の 2 つの条件の 1 つが、C-Phase における TB ビットの内容によって発生します。

(4) たとえ次のような箇所でエラーが発生したとしても、 μ PD72070 は読み出しを続けているとき

- CRC バイト、または Checksum バイト
- Bits slip bytes (GCR フォーマットのみ)

ただし、 μ PD72070 は R-Phase の ST0-ST2 においてエラーを示します。

○リザルト・ステータス・バイト正常, 異常表示バイト

コマンド	実行終了条件	ST0						ST1						ST2							
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD	
READ A TRACK	正常終了	00																			
	ノット・レディ		01			1															
	CSTIN状態遷移		01				1					1									
	ID部	IDAM非検出		01									1								
		C不一致(終了せず)	00									1									
		H不一致(終了せず)	00									1									
		R不一致(終了せず)	00									1									
		N不一致(終了せず)	00									1									
		CRC不一致(終了せず)	00							1											
		Checksum不一致(終了せず)	00								1										
		Bit slip byte 不一致(終了せず)	00								1										
	データ部	DAM非検出		01									1								1
		DDAM検出(終了せず)	00											1							
		CRC不一致(終了せず)	00							1						1					
		Checksum不一致(終了せず)	00								1										
		Bit slip byte 不一致(終了せず)	00								1										
		オーバラン		01							1										
		最終セクタで未終了		01					1												

●ノット・レディ (Not Ready Error)

コマンド実行開始時, または ID 部の SYNC バイト・サーチ時にデバイスがレディ状態でない場合, ST0 の NR (Not Ready) ビットをセットして, コマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

Apple FDD モードにおいて, μ PD72070 が 400 ms 以内に以下のものが検出できない場合, ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

- ID 部 (address header) における address mark
- ID 部のデータ (要求された address header)

●セクタの不一致 (C, H, R, Nバイト) (No Data Error)

IDAM を検出してもインデクス・パルスを 2 回検出するまでに IDR で指定されるセクタ (C, H, R, Nバイト) が検出されなかったとき, ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

●CRC 不一致 (CRC Error)

ID 部またはデータ部の CRC (Checksum) バイトを読み取って、それと内部生成した CRC を比較して一致しないとき、ST1 の DE ビットをセットして異常終了します (CRC Error in ID Field)。

なお、データ部の CRC (Checksum) エラーのときは、ST1 の DE ビットと ST2 の DD ビットもセットしてコマンドを異常終了します (CRC Error in Data Field)。

●DAM 非検出 (Missing Address Mark Error in Data Field)

IDAM 検出後、IDR で指定されたセクタの DAM を検出できなかった場合、ST1 の MA ビットと ST2 の MD ビットをセットします。

●DDAM 検出 (Control Mark Detection)

DDAM を検出すると ST2 の CM ビットをセットします。

このときコマンドの SK ビットの内容により次のように処理が行われます。

- SK=0 のとき：DDAM を検出したセクタを転送したあと、コマンドの実行を正常終了します。
- SK=1 のとき：DDAM を検出したセクタをスキップして次のセクタを処理します。

●オーバラン (Overrun Error)

データ転送時、INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は \overline{RD} 信号、DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお、DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	10.5 μ s	5.0 μ s
1.0 Mbps	13.5 μ s	6.5 μ s
500 Kbps	27.0 μ s	13.0 μ s
300 Kbps	45.0 μ s	21.5 μ s
250 Kbps	54.0 μ s	26.0 μ s

●最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合、ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入力タイミングについてを参照してください)。

(b) 出力データ

- データ・バイト
- クロック・バイト (GCR, MFM フォーマットを問わず、必ず、真のデータに対して、LSB と MSB がビット反転します)

(c) FIFO を必ずイネーブル状態にしなければ、正しく機能しません。

(d) Write Splice (書き込み不連続点) が存在する場合、正しく機能しない場合があります。

(e) 転送バイト

転送バイト数は、データ・バイトとクロック・バイトの1組を単位とします。たとえば、転送バイト数を“10”と設定した場合、20バイト(上記の組を10組)転送することになります。

(f) 不正コピーあるいは正統メディアの検出 (Mark バイトはオリジナルしか知らない点、および Write Splice がオリジナルには存在しないため)。

次にダンプ・モードの動作の説明をします。

MFM フォーマットにおいて、 μ PD72070 がデータをダンプし始める前に検出された Mark のバイトは、SYNC バイトのあとに位置しなければなりません。この Mark のデータとクロック・バイトは、データ・バイトは A1H、クロック・バイトに 0AH、またはデータ・バイトに C2H、クロック・バイトに 14H に等しい値です。

また、検出された Mark バイトも GCR フォーマットにおいて、SYNC バイトのあとに位置すると定義されます。この Mark のデータ・バイトは、address mark バイト、または data address バイトの第一のデータはどちらも D5H に等しい値です。

MFM フォーマットのみでの転送データに関しては、 μ PD72070 は、FDD からホストに1つのデータ・バイトと1つのクロック・バイトを転送します。ホストは、ホスト自身で、クロック・バイトはミッシング・クロック・ビットを持っていることをチェックする必要があります。

GCR フォーマットでは、FDD からの RAW DATA は、DENIBBLIZING なしでホストにデータ転送します。

(a) INDEX address mark からのダンプ

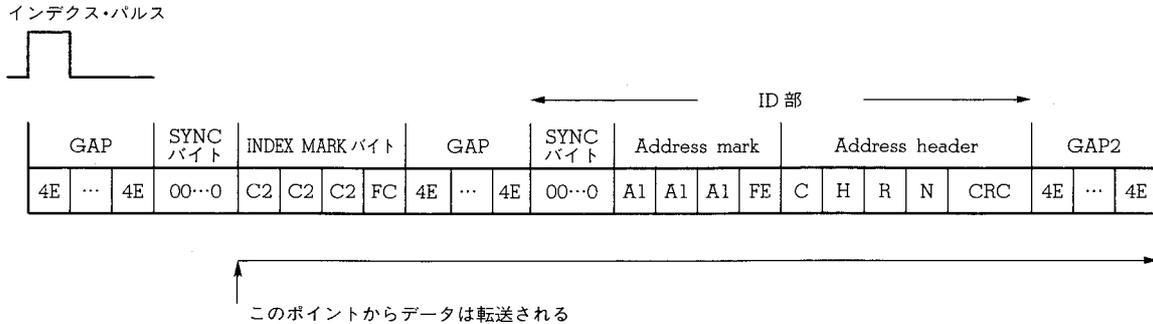
MFM フォーマットのみにおいて、RDM ビットが“00”に設定されたとき、このモードに入ることができます。

μ PD72070 に INDEX パルスが入力されてすぐに、SYNC バイトは検出され、INDEX address mark (データ・バイトが C2H、クロック・バイトが 14H の両方で構成)を検出したあと、要求されたバイト数をダンプします。ホストに転送されるデータは、INDEX address mark 自身とトラック・データを含みます。

このモードにおいて、 μ PD72070 は、第一の address mark が検出されたあと、次のエラーを無視します。

- MFM フォーマットにおける CRC リード・エラー
- データ部の address mark リード・エラー

図 12-5 INDEX address mark からのダンプで転送されたデータ



(b) 指定された ID address mark 後のダンプ

RDM ビットを“01”に設定したとき、このモードに入ることができます。
これは、指定されたトラックから要求バイト数をダンプします。

MFM フォーマットにおいて

μ PD72070 は指定された ID address mark と一番近い SYNC バイトを検出後、 μ PD72070 が SYNC バイトのあとのデータをデータ・バイトが A1H、クロック・バイトが 0AH に等しいかどうかをチェックします。

Mark バイトを検出しなかった場合： μ PD72070 はコマンドを異常終了し、この異常終了をホストに知らせるために割り込みを発生します。

GCR フォーマットにおいて

指定された ID address mark を検出したあと、 μ PD72070 は、データ・バイトが D5H の Mark バイトを検出するのを待っています。

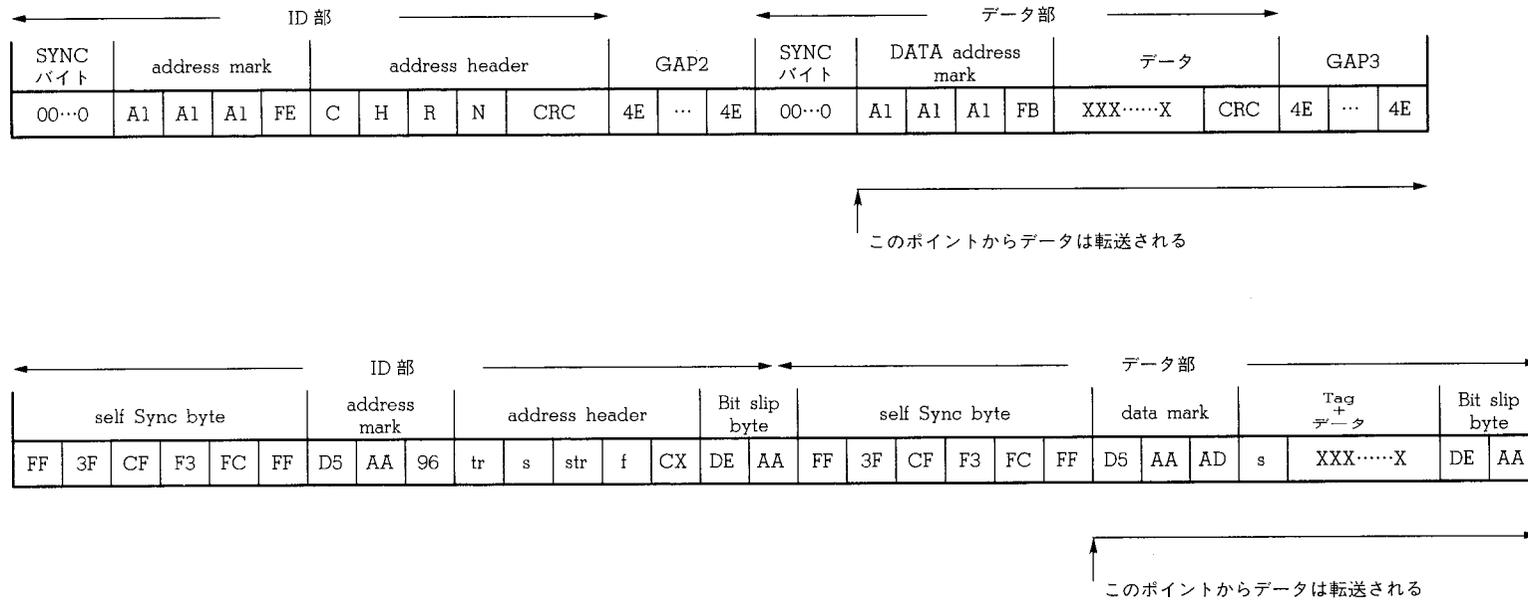
Mark バイトを検出した場合： μ PD72070 は、この Mark バイトを含んだデータから DENIBBLIZING なしでダンプをすぐに開始します。

このモードの例として、図 12-6 を参照してください。

この例において、DATA address mark は、指定された ID 部と SYNC バイトのあとに位置します。
このダンプ・モードにおいて、 μ PD72070 は、第一の address header を検出したあとに次のエラーを無視します。

- MFM フォーマットにおける CRC、または GCR フォーマットにおける checksum のリード・エラー
- GCR フォーマットにおける Bit slip byte のリード・エラー
- データ部における address mark のリード・エラー

図 12-6 指定された ID address mark 後からのダンプで転送されたデータ



(c) DATA address mark 後のダンプ

RDM ビットを“10”に設定したときに、このモードに入ることができます。

これは、指定されたトラックから要求されたバイト数をダンプします。

MFM フォーマットにおいて

μ PD72070 が指定された ID address mark と、この指定された ID 部の DATA address mark, および一番近い SYNC バイトを検出したあと、 μ PD72070 は、SYNC バイトのあとのデータをデータ・バイトが A1H, クロック・バイトが 0AH と予期する Mark バイトに等しいかどうかチェックします。

Mark をバイト検出した場合 : μ PD72070 は、この Mark バイトを含んだデータからダンプを開始します。

GCR フォーマットにおいて

μ PD72070 は、指定された ID address mark と、この指定された ID 部の Data header を検出したあと、 μ PD72070 は、データ・バイトが D5H の Mark バイトを検出するのを待っています。

Mark バイトを検出した場合 : μ PD72070 は、この Mark バイトを含んだデータから DENIBBLIZING なしでダンプをすぐに開始します。

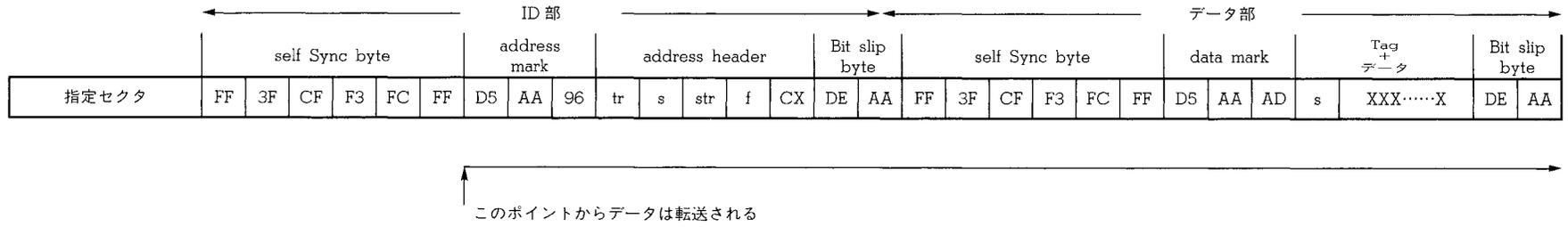
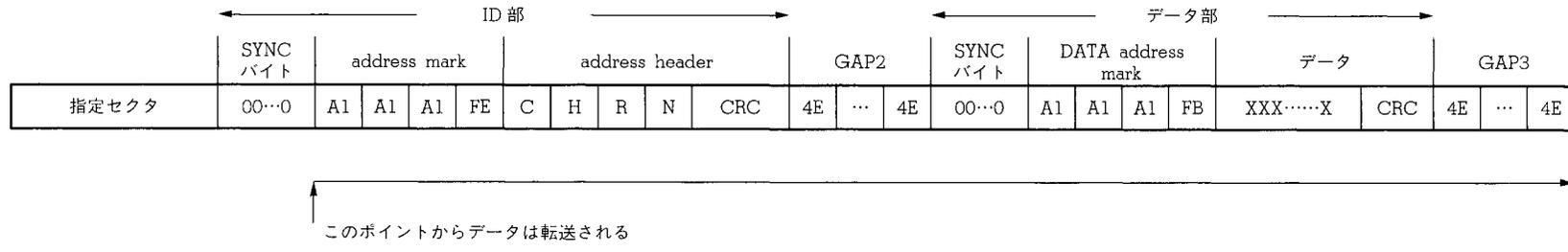
このモードの例として、図 12-7 を参照してください。

この例において、ID address mark は、指定された ID 部、Data address mark, また SYNC バイトのあとに位置します。

このダンプ・モードにおいて、 μ PD72070 は、第一の address header を検出したあとに次のエラーを無視します。

- MFM フォーマットにおける CRC, または GCR フォーマットにおける checksum のリード・エラー
- GCR フォーマットにおける Bit slip byte のリード・エラー
- データ部における address mark のリード・エラー

図 12-7 指定された DATA address mark 後からのダンプで転送されたデータ



○エラー条件

(1) ID address mark 後のダンプ

μ PD72070 が ID address mark を 400 ms 以内に検出できない場合。

(2) DATA address mark 後のダンプ

μ PD72070 が DATA address mark を 400 ms 以内に検出できない場合。

(3) 次の条件のとき

- データ転送の間にオーバラン，またはアンダランが発生した場合。
- TC 信号が規定時間に入力されない場合。
- FDD が READY 状態の場合。

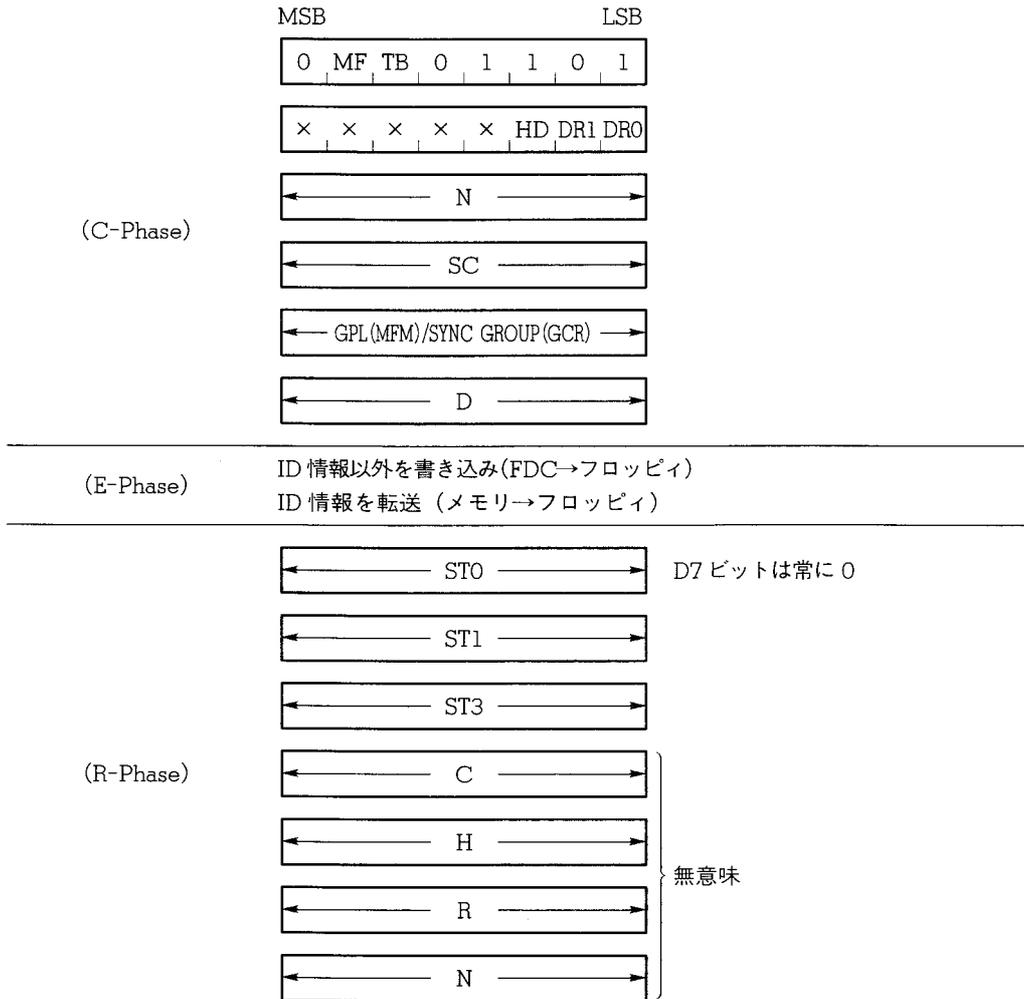
○リザルト・ステータス・バイト正常，異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
RAW DUMP	正常終了	00																		
	ノット・レディ		01			1														
	CSTIN状態遷移		01				1													
	ID部	IDAM非検出		01									1							
		C不一致		01							1									
		H不一致		01							1									
		R不一致		01							1									
		N不一致		01							1									
		Checksum不一致		01						1										
		Bit slip byte不一致		01						1										
	データ部	DAM非検出		01									1							
		DDAM非検出		01									1							
		オーバラン		01						1										
		SYNCバイト非検出		01									1	1						1
	最終セクタで未終了		01					1												

12.3.4 ライト系コマンド

(1) FORMAT A TRACK

1トラック分のフォーマットの書き込みを行います。フォーマット中のID部にはホストからの情報を転送し、そのトラックすべてのセクタのデータ部にはパラメータのDバイトの値を書き込みます。



備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

GCRフォーマットにおいては、トラック上のどこからでも書き込みが可能です。ホストは、C-Phaseの間、パスされたパラメータによってトラックのフォーマットを指定します。タグ・バイト転送は、TBパラメータによって制御されます。

○パラメータ説明

N : 1セクタにおけるデータ長の指定に使用されます。GCR フォーマットの場合、このバイトは 12H, 22H, または 24H を設定してください。すべてのこれらの値 (12H, 22H, または 24H) は、データ長が512バイト、12タグ・バイトを意味します。

○転送データ

1トラック分のID部の内容 {(C, H, R, Nバイト) × (セット数)} をホストから転送します。
 たとえばトラック番号00, ヘッド番号00, 1トラックのセクタ数9(セクタ番号を1~9), 1セクタのデータ部バイト数1024 (N=03) の場合は、以下のようなデータを転送します。
 00, 00, 01, 03, 00, 00, 02, 03, 00, 00, 03, 03, 00, 00, 04, 03, 00, 00, 05, 03,
 00, 00, 06, 03, 00, 00, 07, 03, 00, 00, 08, 03, 00, 00, 09, 03

○フォーマット

ID以外のフォーマット (Gap, Sync, Address Mark, Data, CRC) はFDCが内部で設定して書き込みます。ただし、データ長、セクタ数、ギャップ3の長さ、データ・パターンはパラメータ・バイトで設定しますのでプログラマブルです。

フォーマット書き込み開始は、コマンド実行後、インデクス・パルスが入力されると行われます。1セクタ書き込み終了後、TC信号の入力がなく、かつ処理セクタ数がパラメータSCに等しくない場合、GAP3を書き込んで次のセクタ・フォーマットに移ります。

フォーマット書き込みが1セクタ終了したとき、すでにTC信号が入力されているか、処理セクタ数がパラメータSCに等しい場合、ギャップのみの書き込みに移り、その後インデクス・パルスが入力されると動作を終了します。

○リザルト・ステータス・バイトの正常、異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
FORMAT A TRACK	正常終了	00																		
	ノット・レディ		01			1														
	CSTIN状態遷移		01				1													
	ライト・プロテクト		01								1									
	オーバラン		01						1											

●ノット・レディ (Not Ready Error)

コマンドを実行する前にFDDのメディアが挿入されていなければ、NR (Not Ready) ビットをセットして、コマンドの実行を異常終了します。

● ライト・プロテクト (Not Writable Error)

コマンド実行開始時に $\overline{\text{WPRT}}$ 信号が入力されているとき、その時点で ST1 の NW ビットをセットしてコマンドの実行を異常終了します。

● オーバラン (Overrun Error)

データ転送時、INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合、そのセクタのデータを転送したあと、OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは、Non-DMA モードの場合は $\overline{\text{RD}}/\overline{\text{WR}}$ 信号、DMA モードの場合は $\overline{\text{DMAAK}}$ 信号の入力のことです。

DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	9.0 μs	4.5 μs
1.0 Mbps	10.0 μs	5.5 μs
500 Kbps	23.0 μs	11.0 μs
300 Kbps	38.0 μs	18.5 μs
250 Kbps	46.0 μs	22.0 μs

(2) FORMAT/WRITE

Apple FDD モード専用のコマンドです。

D パラメータを指定しないことを除いて、FORMAT A TRACK と同じです。

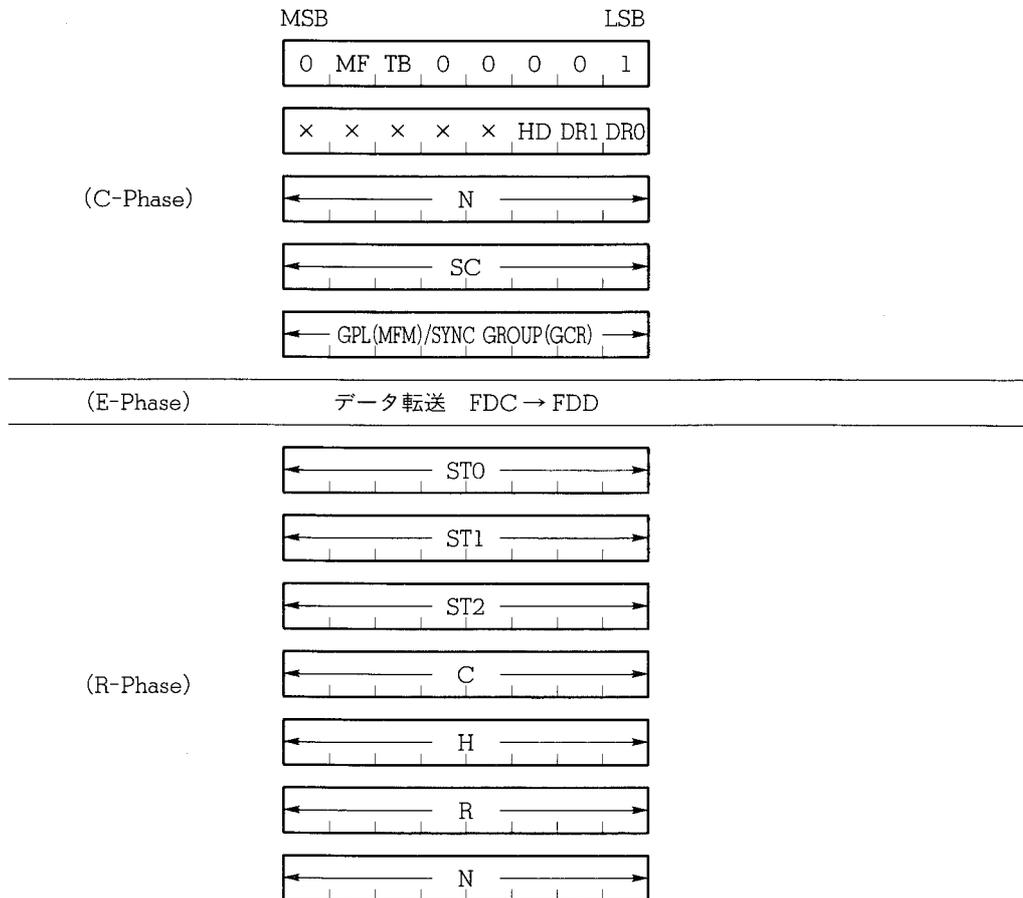
WRITE DATA コマンドによって、ホストからデータ転送してください。

この機能は、次の点のために必要です。

- データを書き込むときに効率良く使用するため
- 垂直磁化フォーマット対応 FDD 上の GCR フォーマットをサポートするため

このコマンドは 1トラックだけフォーマットできます。

ホストは、フォーマットするそれぞれのセクタのために、 μ PD72070 にシリンダ番号、ヘッド番号、セクタ数、およびデータ・バイト数の新しい値を転送する必要があります。



備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

○パラメータ説明

パラメータにおいては、FORMAT A TRACK コマンドと同じです。

○エラー条件

エラーは次のような場合に発生します。

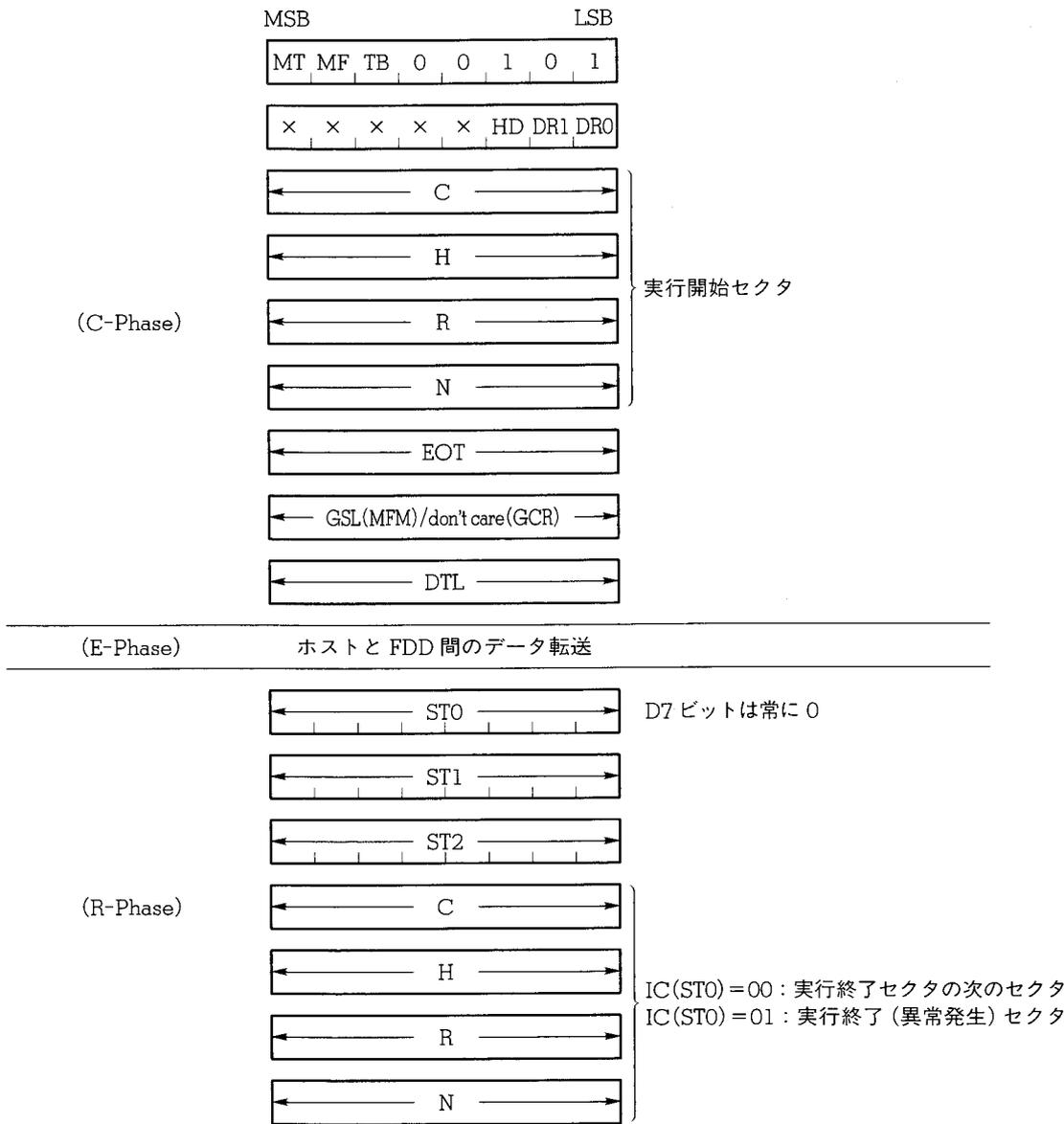
- FDD に挿入されているメディアが書き込み禁止状態の場合
- データ転送している間のオーバーラン, またはアンダランの発生
- ドライブ・インターフェースがノット・レディ・ドライブ状態である場合

○リザルト・ステータス・バイト正常, 異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
FORMAT/ WRITE	正常終了	00																		
	ノット・レディ		01			1														
	CSTIN 状態遷移		01				1													
	ライト・プロテクト		01									1								
	オーバーラン		01							1										

(3) WRITE DATA

IDR で指定されるセクタ DAM を書き込んだあと、ホストから 1 バイトずつ転送されるデータ、および CRC バイトをそのセクタに書き込みます。



備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

○リザルト・ステータス・バイト正常，異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2							
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD	
WRITE DATA	正常終了	00																			
	ノット・レディ		01			1															
	CSTIN 状態遷移		01				1					1									
	ID 部	IDAM 非検出		01									1								
		C 不一致(≠FFH)		01								1				1					
		C 不一致(=FFH)		01								1									1
		H 不一致		01								1									
		R 不一致(1トラック内)		01								1									
		N 不一致		01								1									
		CRC 不一致		01							1										1
		Checksum 不一致		01							1										
		Bit slip byte 不一致		01							1										
	データ部 オーバラン		01								1										
	最終セクタで未終了		01					1													

●ノット・レディ (Not Ready Error)

コマンド実行開始時，または ID 部の SYNC バイト・サーチ時に FDD がレディ状態でない場合，ST0 の NR (Not Ready) ビットをセットして，コマンドの実行を異常終了します。

●ライト・プロテクト (Not Writable Error)

コマンド実行開始時に FDD に挿入されているメディアが書き込み禁止状態であることを検出した場合，その時点で ST1 の NW ビットをセットしてコマンドの実行を異常終了します。

●IDAM 非検出 (Missing Address Mark Error in ID Field)

Apple FDD モードの場合，インデクス・パルス を 2 回検出 (400 ms 以内) するまでに IDAM (ID address mark (address header の address mark)) がまったく検出されなかった場合，ST1 の MA ビットをセットしてコマンドの実行を異常終了します。

●セクタの不一致 (C, H, R, N バイト) (No Data Error)

IDAM を検出してもインデクス・パルス を 2 回検出するまでに IDR で指定されるセクタ (C, H, R, N バイト) が検出されなかったとき，ST1 の ND ビットをセットしてコマンドの実行を異常終了します。

このとき，特に読み取った ID の C バイトについては，IDR の C バイトと一致しなかった場合，次のようになります。

- 読み取った ID の C バイト = FFH のとき, ST1 の ND ビットと ST2 の BC ビットをセット
(No Data Error with Bad Cylinder)
- 読み取った ID の C バイト ≠ FFH のとき, ST1 の ND ビットと ST2 の NC ビットをセット
(No Data Error with No Cylinder)

● CRC 不一致 (CRC Error in Data Field)

ID 部の CRC(Checksum, Bit slip byte) バイトを読み取り, それと内部生成した CRC(Checksum, Bit slip byte) を比較して一致しないとき, その時点で ST1 の DE ビットをセットして, コマンドの実行を異常終了します。

● オーバラン (Overrun Error)

データ転送時, INT または DMARQ による転送要求から次に示す時間以内にホストがサービスを行わない場合, そのセクタのデータを転送したあと, ST1 の OR ビットをセットしてコマンドの実行を異常終了します。

サービスとは, Non-DMA モードの場合は \overline{WR} 信号, DMA モードの場合は \overline{DMAAK} 信号の入力のことです。

なお, DMARQ 信号は R-Phase に入る直前で自動的にリセットされます。

データ書き込み応答最大時間

	FM	MFM
1.25 Mbps	9.0 μ s	4.5 μ s
1.0 Mbps	10.0 μ s	5.5 μ s
500 Kbps	23.0 μ s	11.0 μ s
300 Kbps	38.0 μ s	18.5 μ s
250 Kbps	46.0 μ s	22.0 μ s

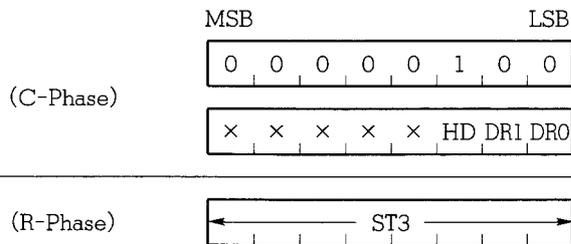
● 最終セクタで未終了 (End of Cylinder Error)

最終セクタ (R=EOT) に対するアクセスが終了しても TC 信号が入力されなかった場合, ST1 の EN ビットをセットしてコマンドの実行を異常終了します (4.2 TC 信号入力タイミングについてを参照してください)。

12.3.5 センス系コマンド

(1) SENSE DRIVE STATUS

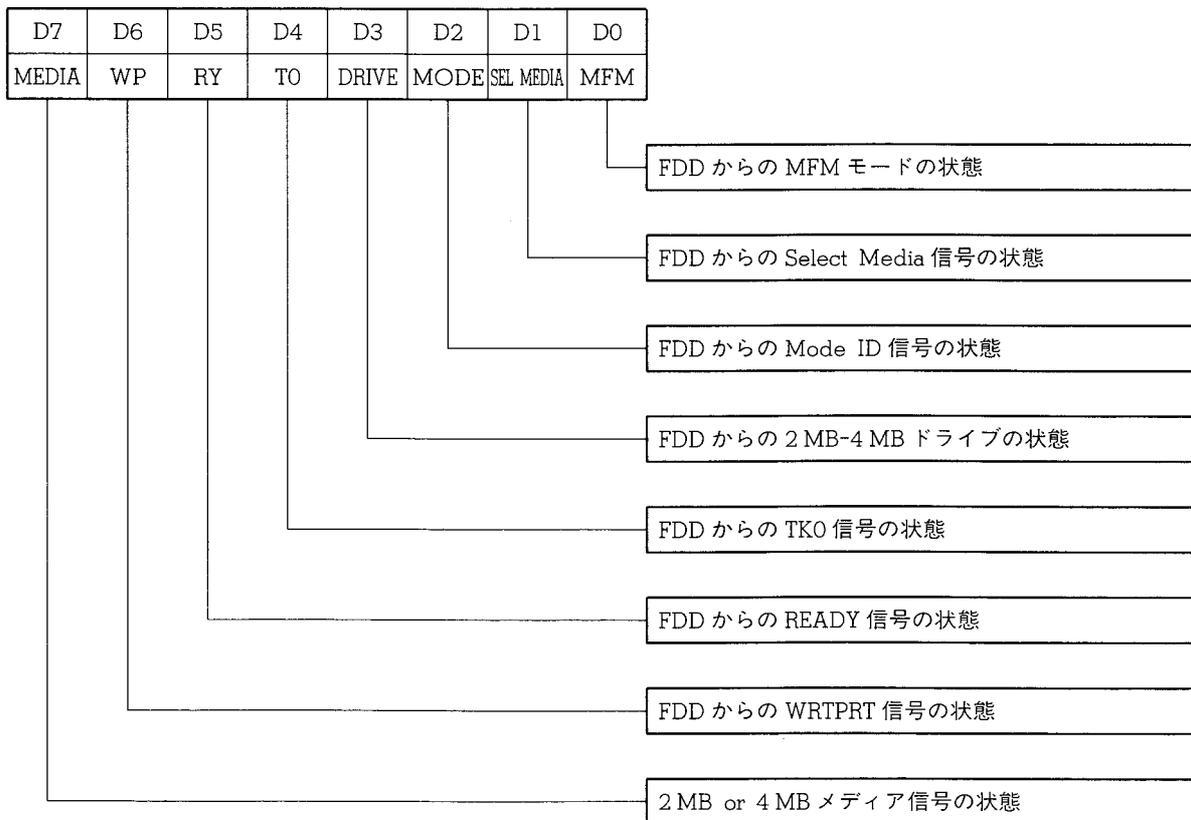
STR3 を内部レジスタから読み出して FDD の状態を報告します。



備考 パラメータについては、12.2.1 コマンド・バイト・パラメータを参照してください。

○R-Phaseのパラメータ

Apple FDD モードにおける STR3

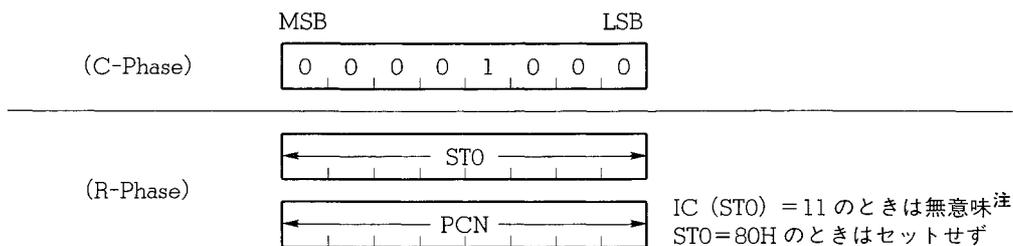


- エラー条件
ありません。

注意 Apple FDD モードでは、FDD から正確な状態を得るためには、**SET ENABLE CONTROL** コマンドが発行後のみに、このコマンドを発行してください。
 なお、このコマンドを発行したあとに、FDD のスピンドル・モータは停止します。したがって、必要に応じて **SET MOTOR CONTROL** コマンドを用いて、モータを回転させてください。

(2) SENSE INTERRUPT STATUS

SEEK, または RECALIBRATE によるシーク動作時, またはコマンド実行中でない FDD の状態遷移 (ノット・レディからレディ, またはレディからノット・レディ) 時のリザルト・ステータス・バイトをデータ・レジスタにセットします。スタンダード FDD モードと Apple FDD モードの割り込みは、発生条件が異なります。



注 Apple FDD モードでは、REVISION, DISABLE/ENABLE PLL, SET ENABLE CONTROL, SET DRIVE MODE, SET MOTOR CONTROL コマンドでは PCN バイトはありません。

備考 パラメータについては、**12.2.1 コマンド・バイト・パラメータ**を参照してください。

- Invalid
シーク動作終了, または状態遷移がどの FDD にも発生していないときには、INVALID コマンドとして処理します。
- SENSE INTERRUPT STATUS 発行要求がある割り込みの条件
 - (1) SEEK と RECALIBRATE コマンドの E-Phase 終了による SENSE INTERRUPT STATUS コマンドの発行要求
 - (2) 次のコマンドの終了
 - DISABLE/ENABLE DPLL
 - SET DRIVE MODE

(4) EJECT DISK

Apple FDD モード専用のコマンドです。選択されたドライブにおけるプログラマブルにフロッピィをイジェクトするために使用します。FDD を EJECT 状態に設定したあとすぐに、 μ PD72070 は、終了割り込みを発生します。

	MSB							LSB
(C-Phase)	0	1	0	1	0	0	1	0
(E-Phase)	×	×	×	×	×	×	×	DR

(E-Phase) FDD からフロッピィ・ディスクはイジェクトする。

○エラー条件

ありません。

μ PD72070 のポーリング・サイクル中に FDD のメディア状態が変化したことを検出し、割り込むことによって、ホストは EJECT の完了を報告します。

(5) SET ENABLE CONTROL

Apple FDD モード専用のコマンドです。指定されたドライブの $\overline{\text{ENABLE0}}$ 、 $\overline{\text{ENABLE1}}$ 端子を制御します。

	MSB							LSB
(C-Phase)	EN	0	0	1	1	0	1	1
(E-Phase)	×	×	×	×	×	×	×	DR

(E-Phase) 指定された値に従って、イネーブル端子をセット/リセット

このコマンドで $\overline{\text{ENBL}}$ 端子信号をアクティブ状態にセットすれば、 $\overline{\text{ENBL}}$ 端子信号をインアクティブ状態にするまで、 $\overline{\text{ENBL}}$ 端子は同じ状態を保持します。 $\overline{\text{ENBL}}$ 端子信号がアクティブ状態の間に $\overline{\text{ENBL}}$ 端子信号をリセット（インアクティブ）するために、このコマンドを発行したときのみ、この端子信号はリセット（インアクティブ）されます。

指定された FDD の $\overline{\text{ENBL}}$ 端子をアクティブ、またはインアクティブにした直後、 μ PD72070 はホストに正常終了割り込みを発生します。

注意 1. 2 台の FDD の $\overline{\text{ENBL}}$ 端子信号は同時にアクティブ状態にできません。

2. ホストに $\overline{\text{ENBL}}$ 端子信号のアクティブ状態を記憶させてください (μ PD72070 は、FDD のイネーブル状態をセーブできないため)。

ポーリング・シーケンスに関して、 μ PD72070 は、このコマンドを発行したあと、1つの $\overline{\text{ENBL}}$ 端子信号がアクティブ状態の間、2台の FDD の状態をポーリングすることはできません。

これは、ドライブ上の $\overline{\text{ENBL}}$ 端子信号がアクティブの間、他の FDD にメディアがインサートされたことが検出できないことを意味します。しかし、このコマンドの発行によって、 $\overline{\text{ENBL}}$ 端子信号がリセット（インアクティブ）されたあと、 μ PD72070 は、他の FDD にメディアがインサートされたことが検出できるようになります。

○パラメータの説明

EN=1 : 2 バイト目の DR ビットによって指定された FDD の $\overline{\text{ENBL}}$ 端子は、アクティブ状態にセットされます。

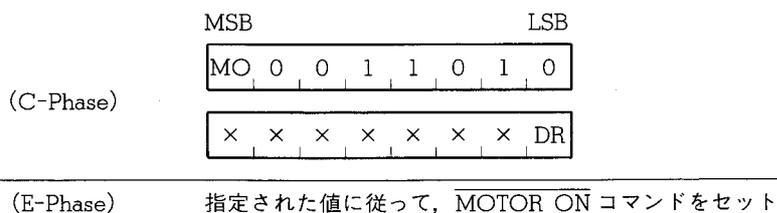
EN=0 : 2 バイト目の DR ビットによって指定された FDD の $\overline{\text{ENBL}}$ 端子は、インアクティブ状態にリセットされます。

○エラー条件

ありません。また、 μ PD72070 は、常に正常終了をホストに知らせます。

(6) SET MOTOR CONTROL

Apple FDD モード専用のコマンドです。FDD のモータの ON/OFF の切り替えを行います。 μ PD72070 は、コマンドの終了を確認するために FDD の Ready 状態をモニタします。コマンド終了時、 μ PD72070 は、正常終了割り込みを発生します。



○パラメータ説明

MO

MO	FDD のモータ
0	ON
1	OFF

○エラー条件

コマンド実行後、1s 以内に FDD が Ready 状態にならない場合、 μ PD72070 は、コマンドをアボートし、割り込みを発生します。

割り込みが発生した場合、 μ PD72070 は、そのコマンドを異常終了させ、ST0 の EC ビットをセットします。ホストは、SENSE INTERRUPT STATUS コマンドを発行して EC ビットを読み出してください。

○リザルト・ステータス・バイト正常，異常表示ビット

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SET MOTOR	正常終了	00																		
CONTROL	ノット・レディ		01		1															

12.4 コマンドのタイミング

12.4.1 ホスト・インタフェース側のタイミング

基本的な動作は、スタンダード FDD モードと同じです。**11.4.1** ホスト・インタフェース側のタイミングを参照してください。

(1) リード系コマンドのタイミング

RAW DUMP コマンドのタイミングを図 12-8 に示します。その他のコマンドについては、**11.4.1(1)** リード系コマンドのタイミングを参照してください。

(2) ライト系コマンドのタイミング

FORMAT/WRITE コマンドのタイミングを図 12-9 に示します。このタイミングは、E-Phase におけるデータ転送方向が異なる (DIO=0) 点を除けば、リード系コマンドと同様です。その他のコマンドについては、**11.4.1(2)** ライト系コマンドのタイミングを参照してください。

(3) SENSE DRIVE STATUS コマンドのタイミング

11.4.1(3) SENSE DRIVE STATUS コマンドのタイミングを参照してください。

(4) シーク系コマンドのタイミング

11.4.1(5) シーク系コマンドのタイミングを参照してください。

(5) SENSE INTERRUPT STATUS コマンドのタイミング

11.4.1(6) SENSE INTERRUPT STATUS コマンドのタイミングを参照してください。

(6) INVALID, REVISION, PERPENDICULAR MODE, SELECT DRIVE TYPE コマンドのタイミング

11.4.1(7) INVALID, VERSION コマンドのタイミング, **11.4.1(8)** REVISION コマンドのタイミング, **11.4.1(9)** PERPENDICULAR MODE, SELECT DRIVE TYPE, CONFIGURE コマンドのタイミングを参照してください。

(7) DISABLE/ENABLE DPLL, SET DRIVE MODE, SET MOTOR CONTROL, SET ENABLE CONTROL コマンドのタイミング

DISABLE/ENABLE DPLL, SET DRIVE MODE, SET MOTOR CONTROL, SET ENABLE CONTROL コマンドのタイミングを図 12-10 に示します。

図 12-8 RAW DUMP

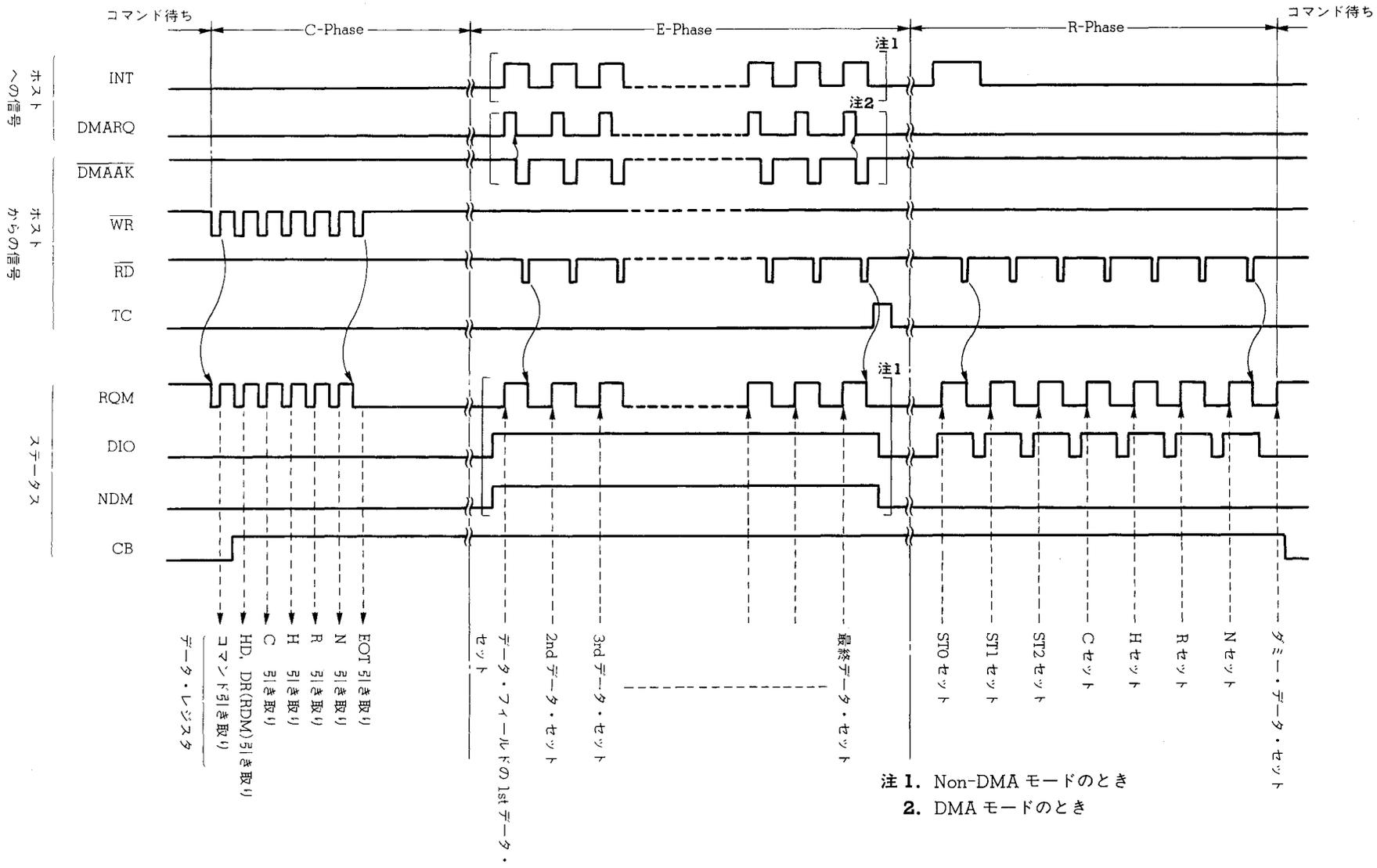
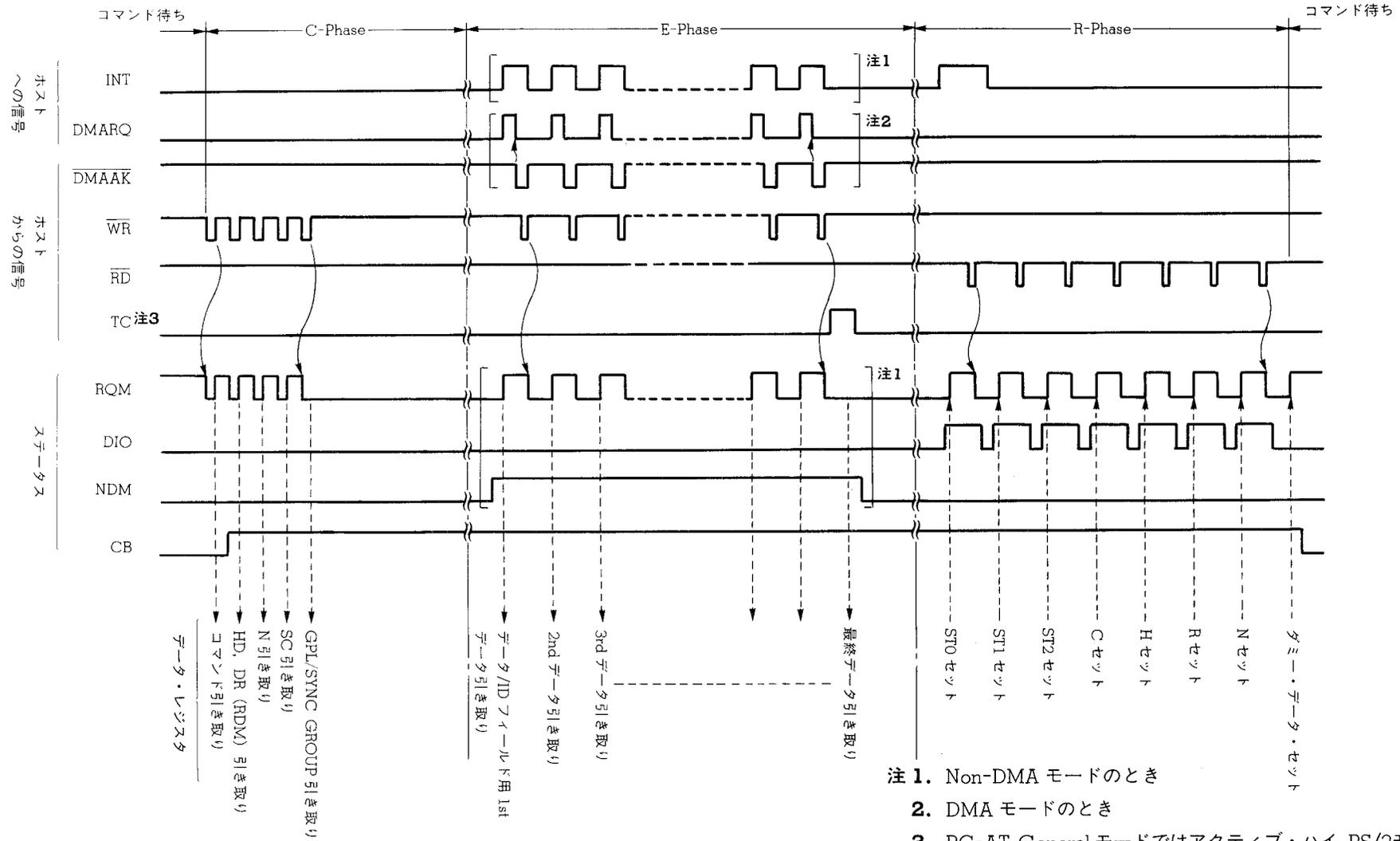


図 12-9 FORMAT/WRITE



- 注 1. Non-DMA モードのとき
- 2. DMA モードのとき
- 3. PC-AT, General モードではアクティブ・ハイ, PS/2モードではアクティブ・ロウになります。

図 12-10 DISABLE/ENABLE DPLL, SET DRIVE MODE, SET MOTOR CONTROL, SET ENABLE CONTROL

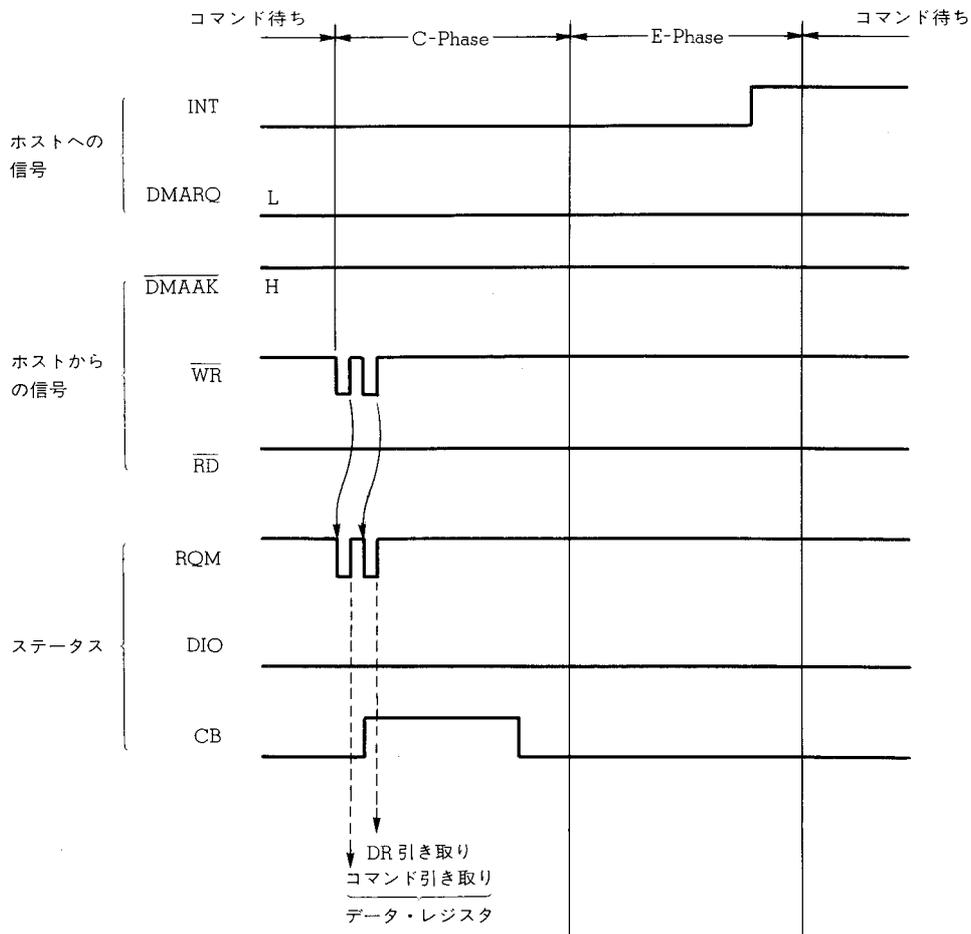
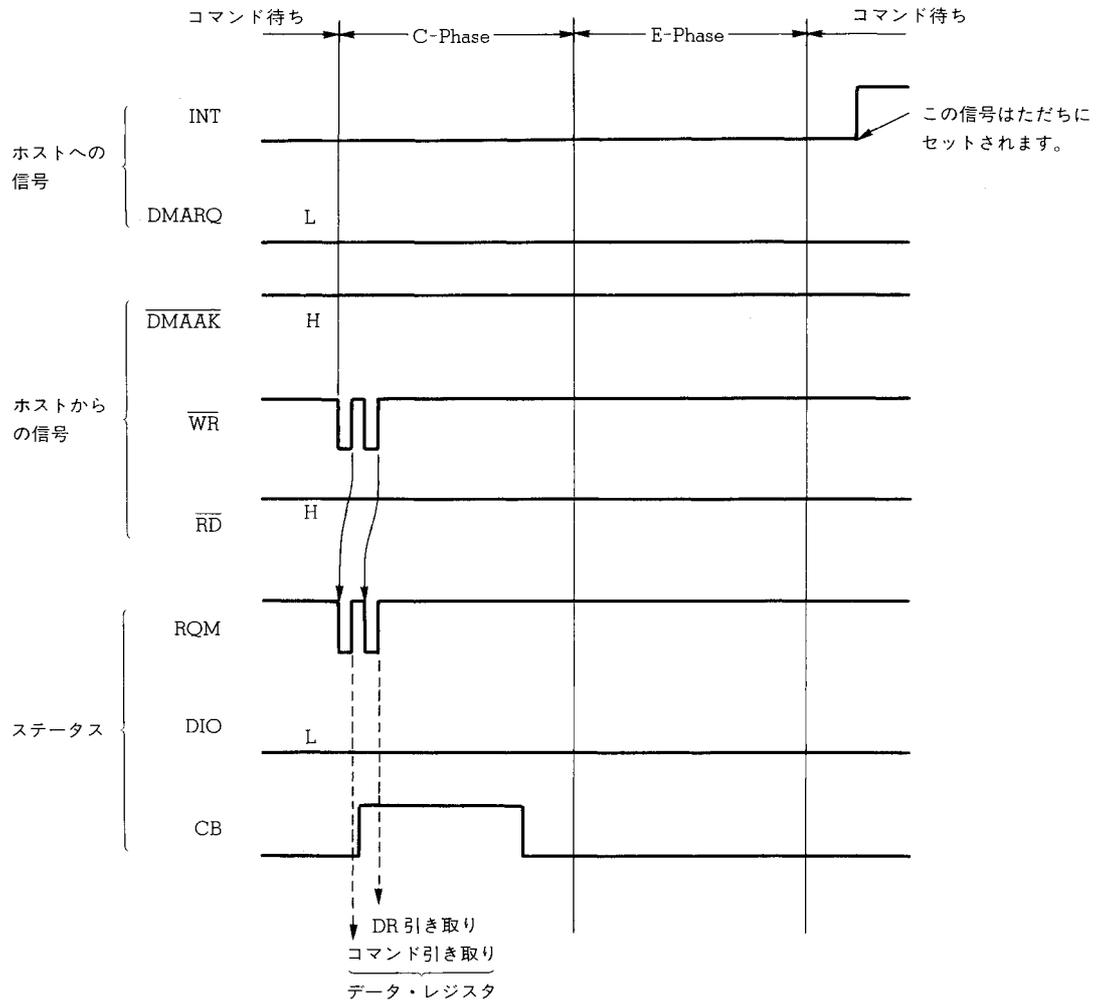
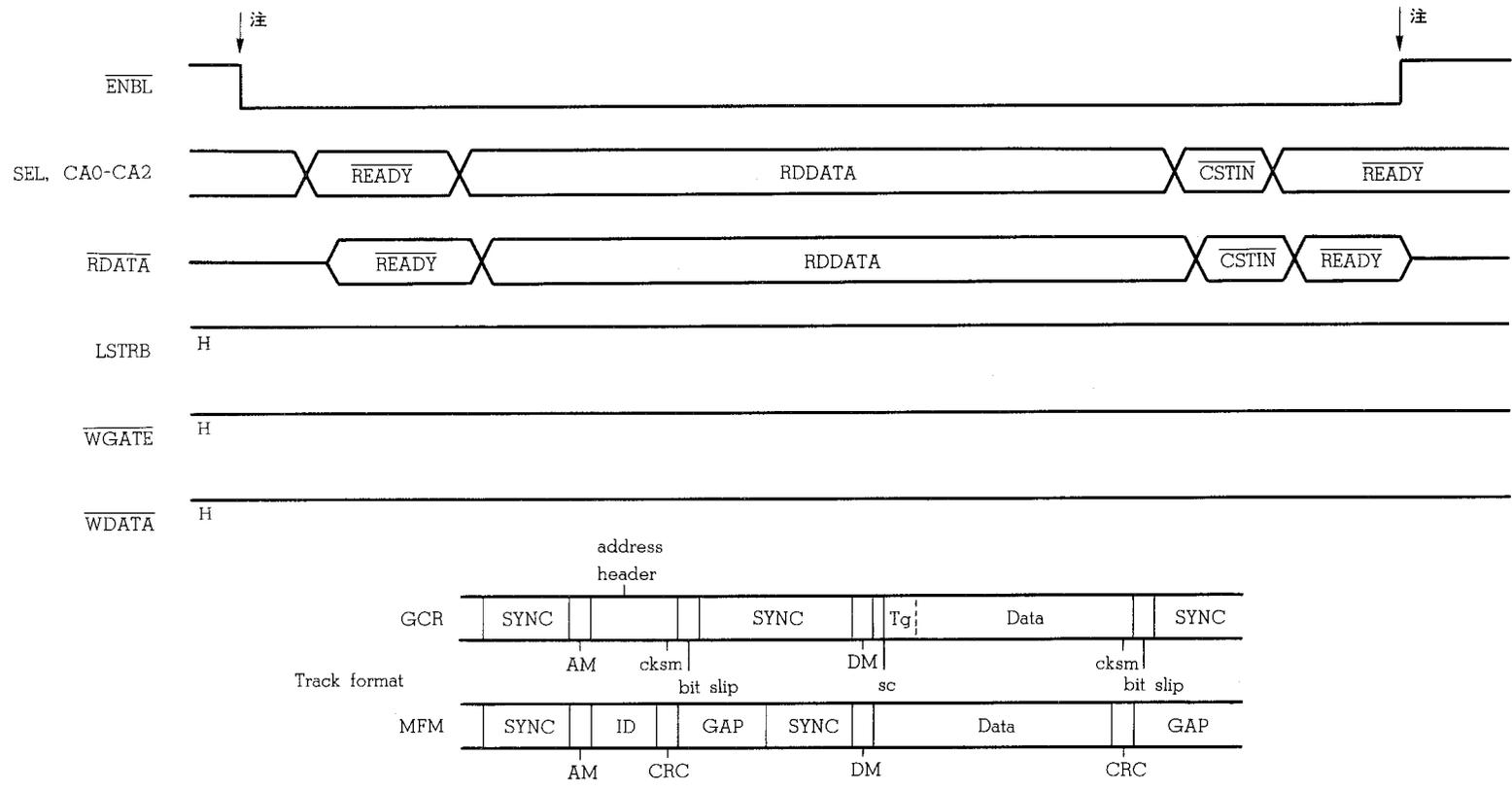


図 12-11 EJECT DISK



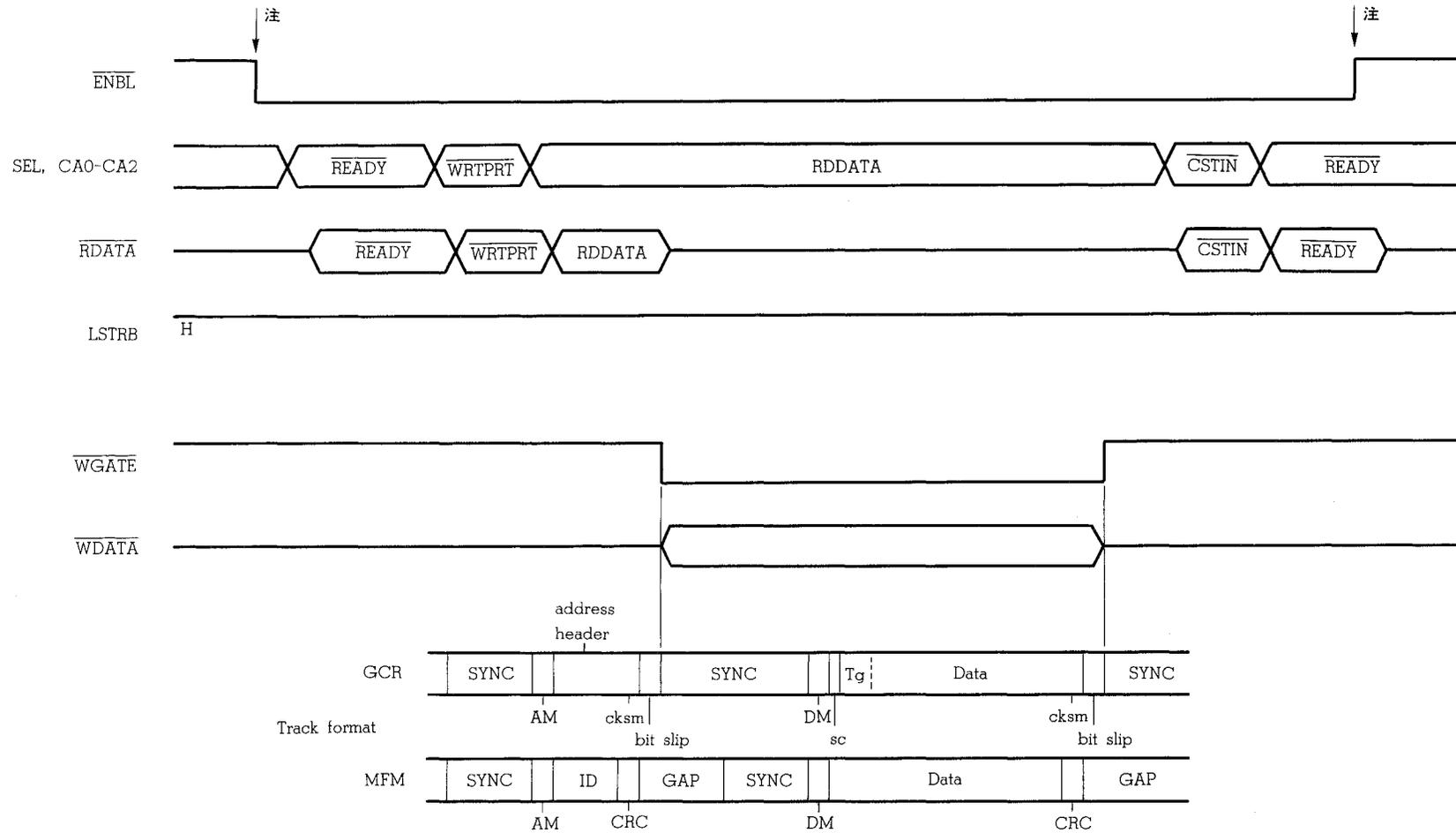
12.4.2 ドライブ・インタフェース側のタイミング

図 12-12 READ DATA, READ ID, READ A TRACK, RAW DUMP



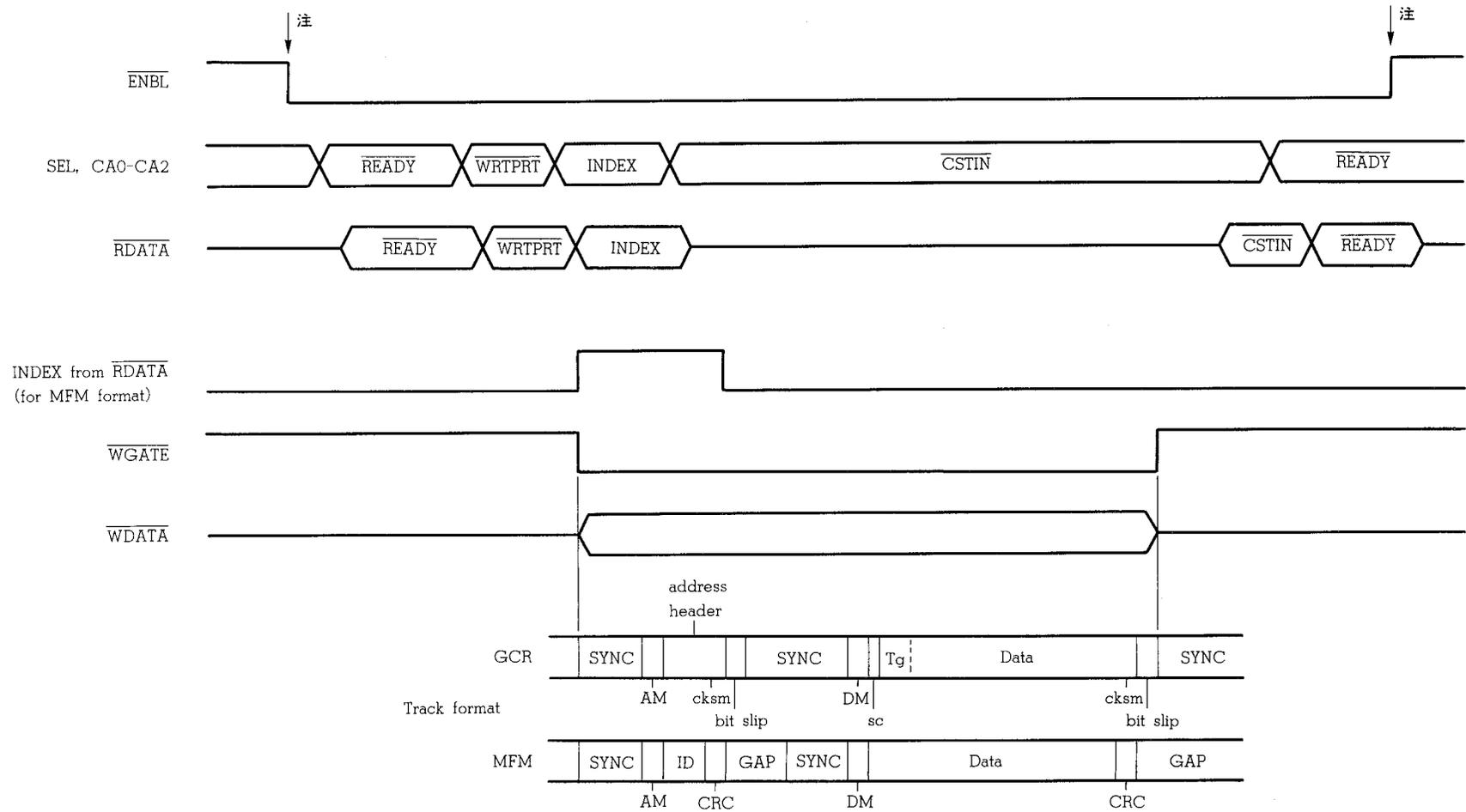
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-13 WRITE DATA



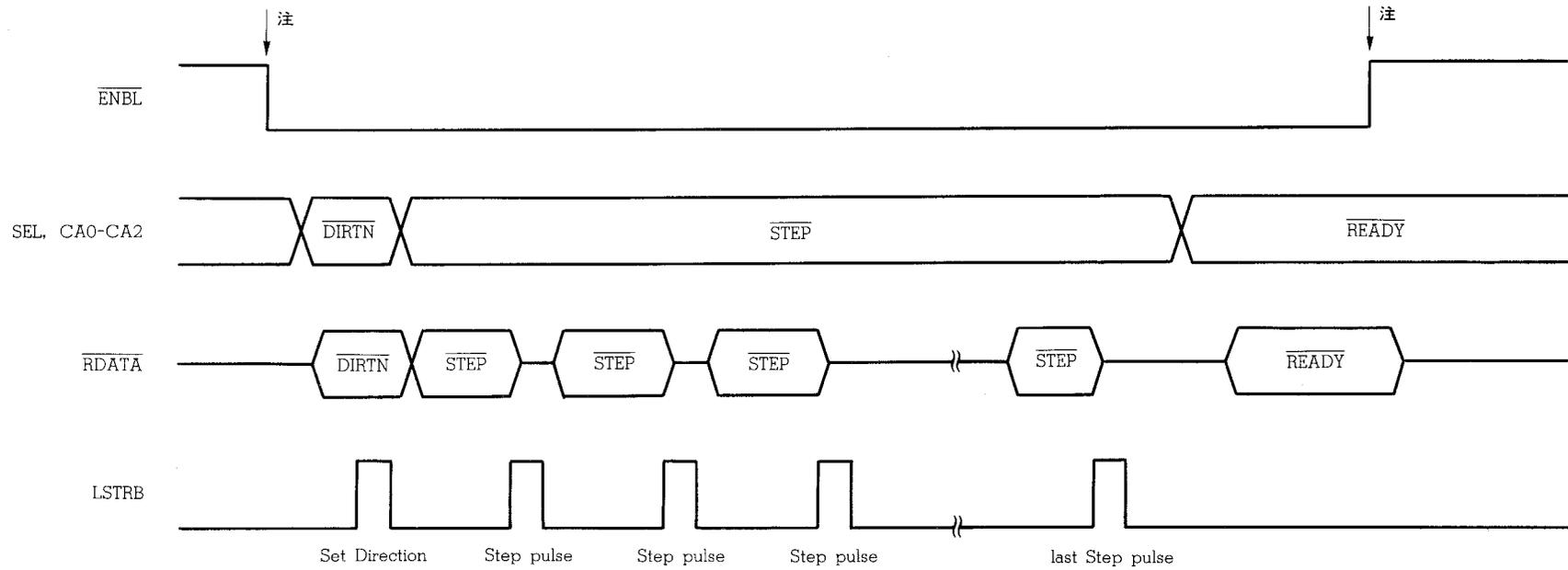
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-14 FORMAT A TRACK, FORMAT/WRITE



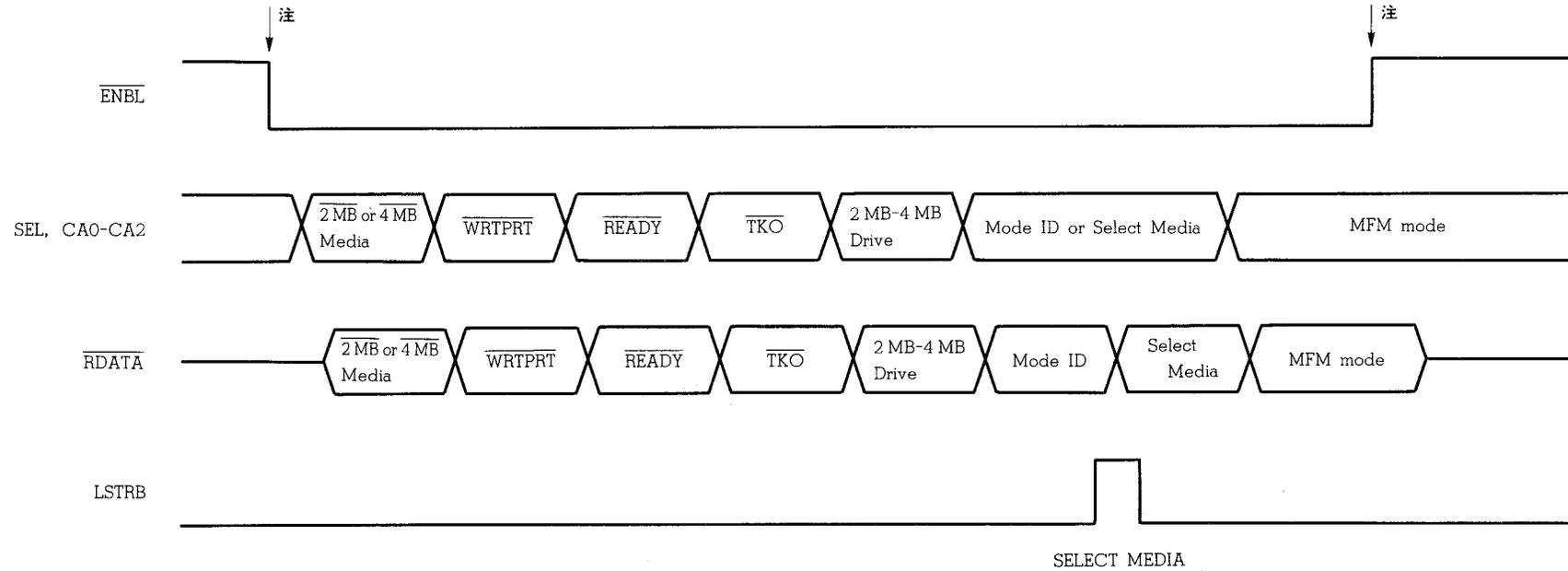
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-15 SEEK, RECALIBRATE



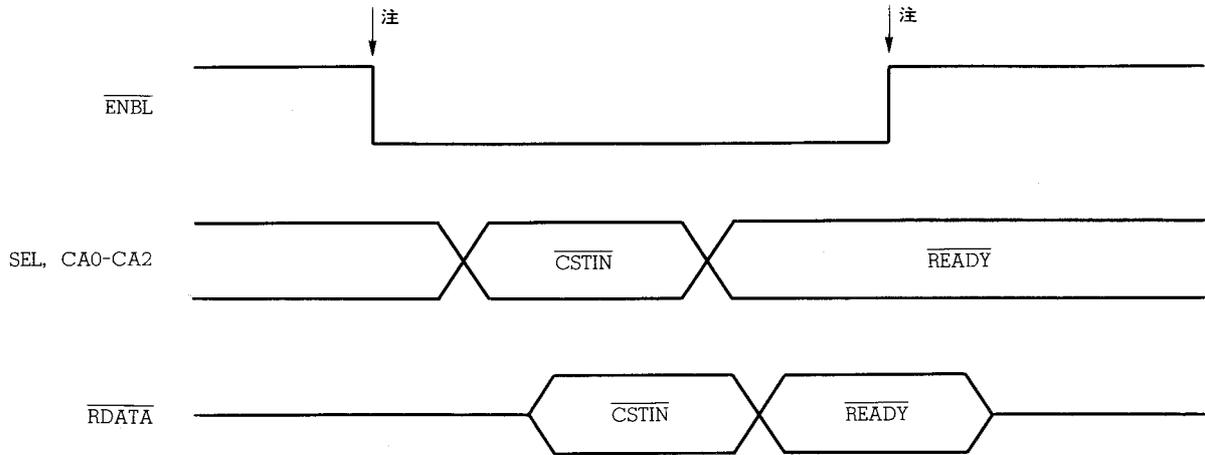
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-16 SENSE DRIVE STATUS



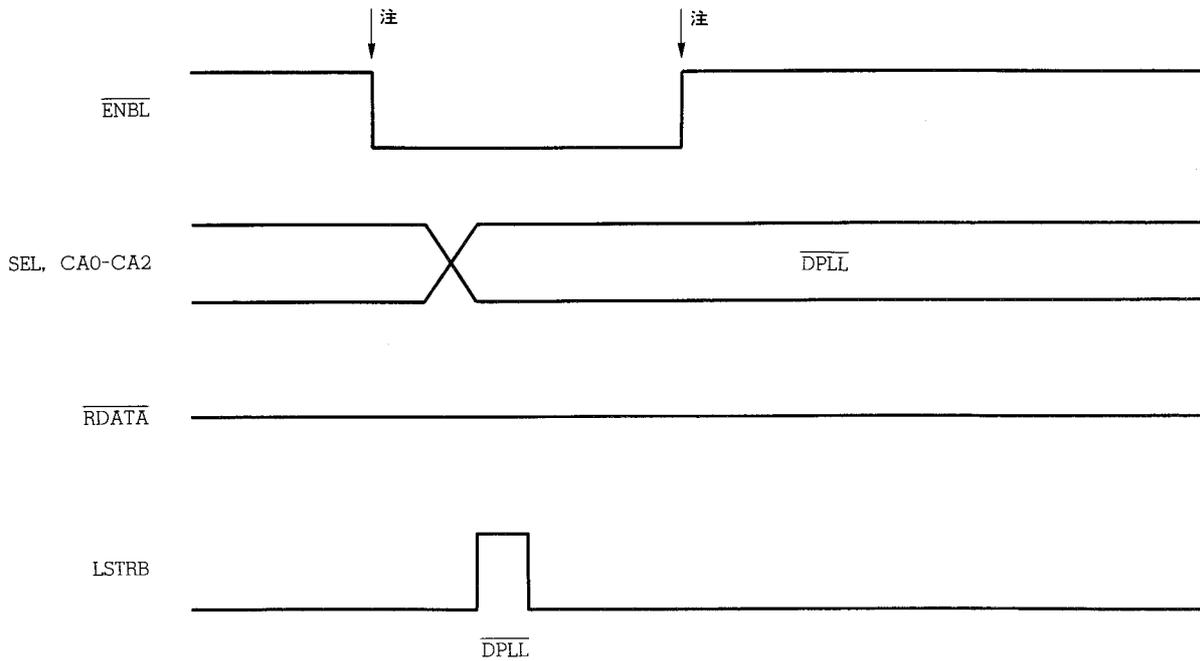
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-17 SENSE INTERRUPT STATUS



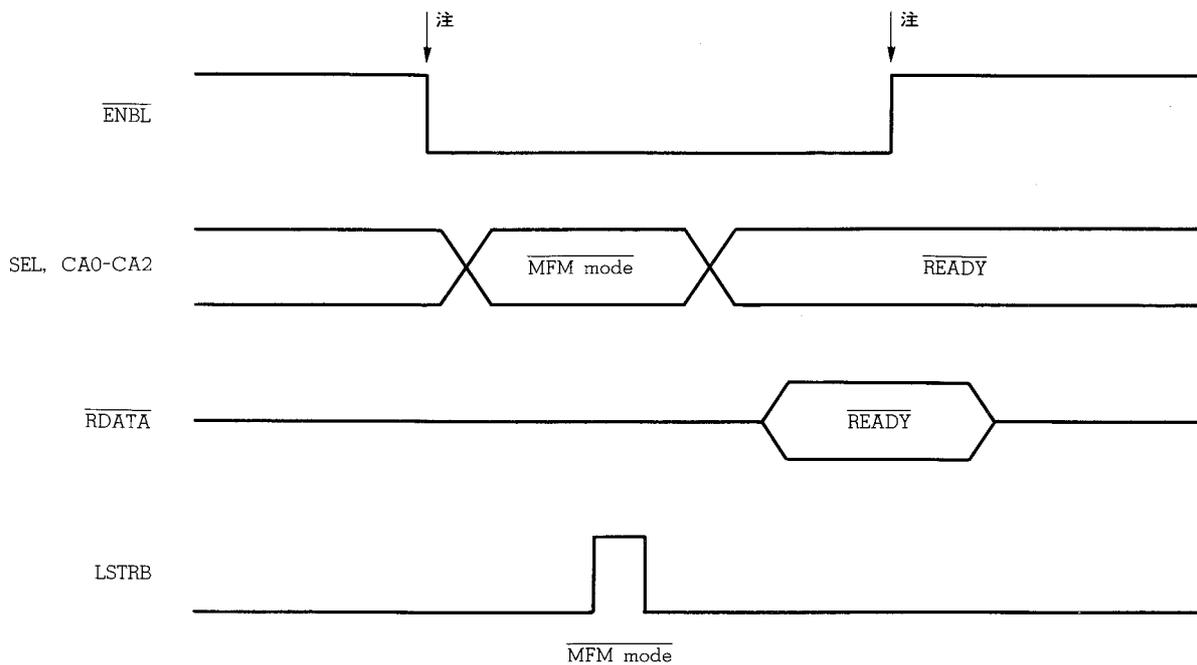
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-18 DISABLE/ENABLE DPLL



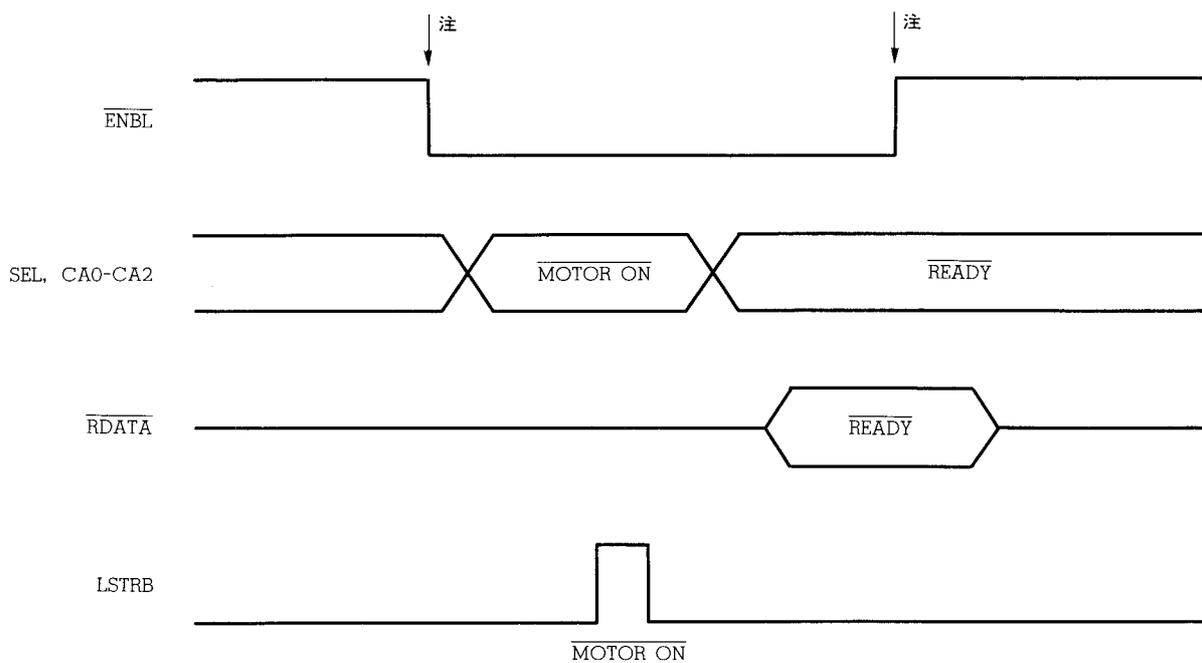
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-19 SET DRIVE MODE



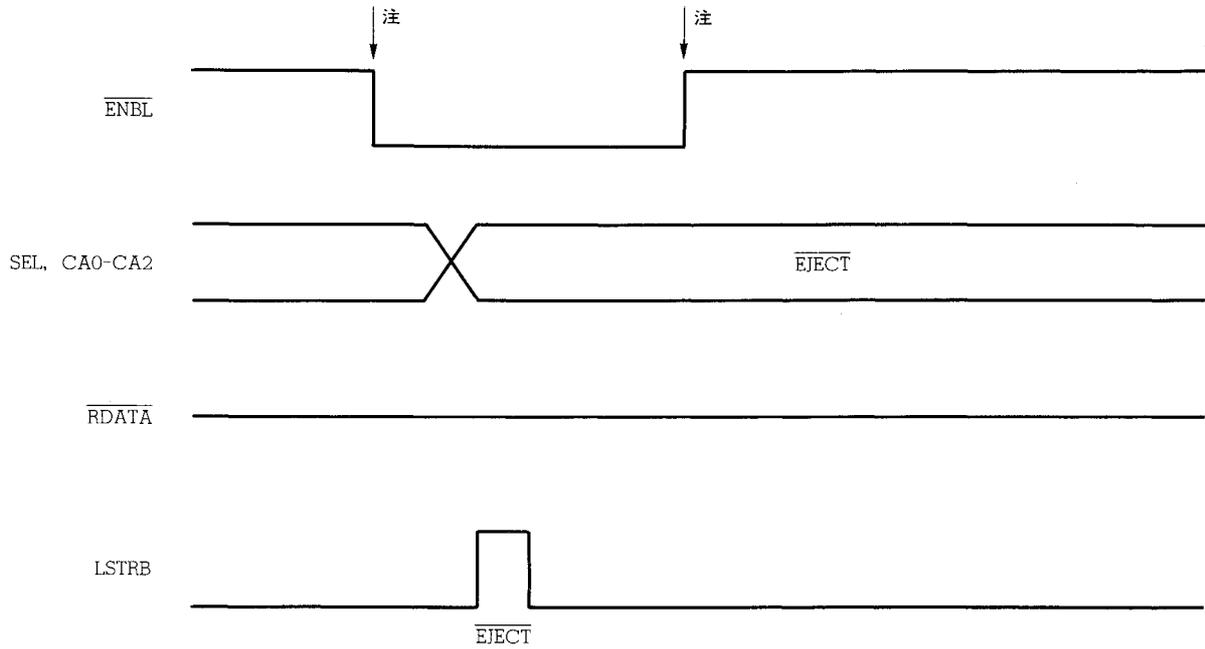
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-20 SET MOTOR CONTROL FOR MOTOR ON



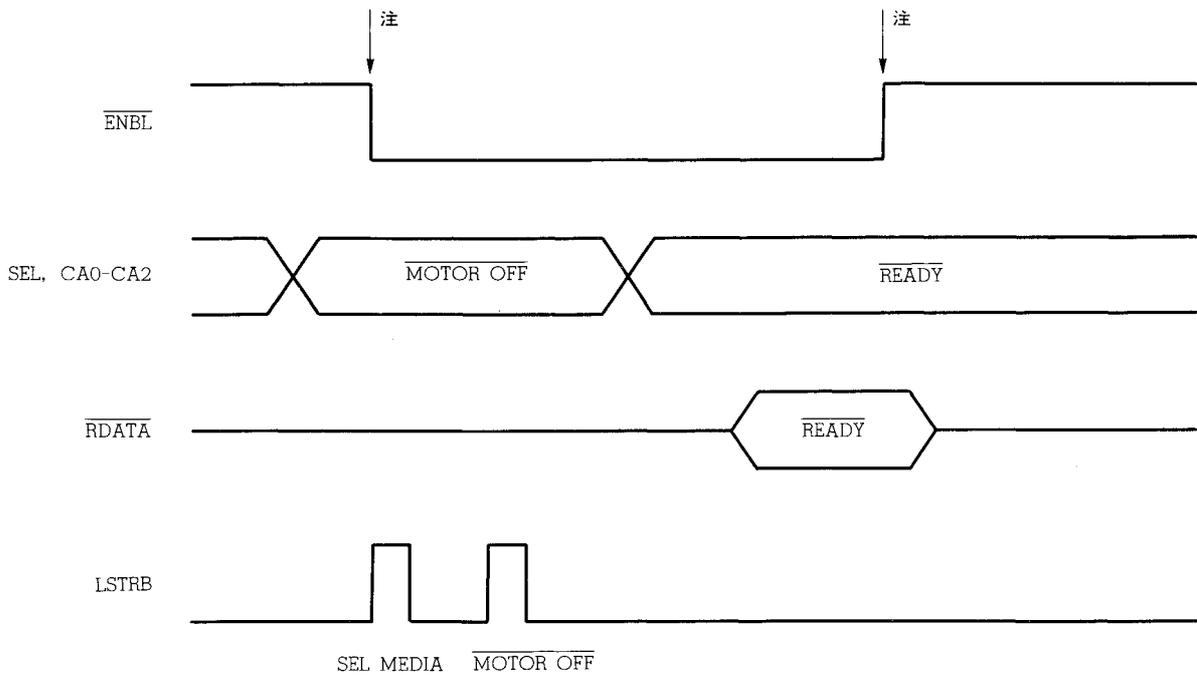
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-21 EJECT DISK



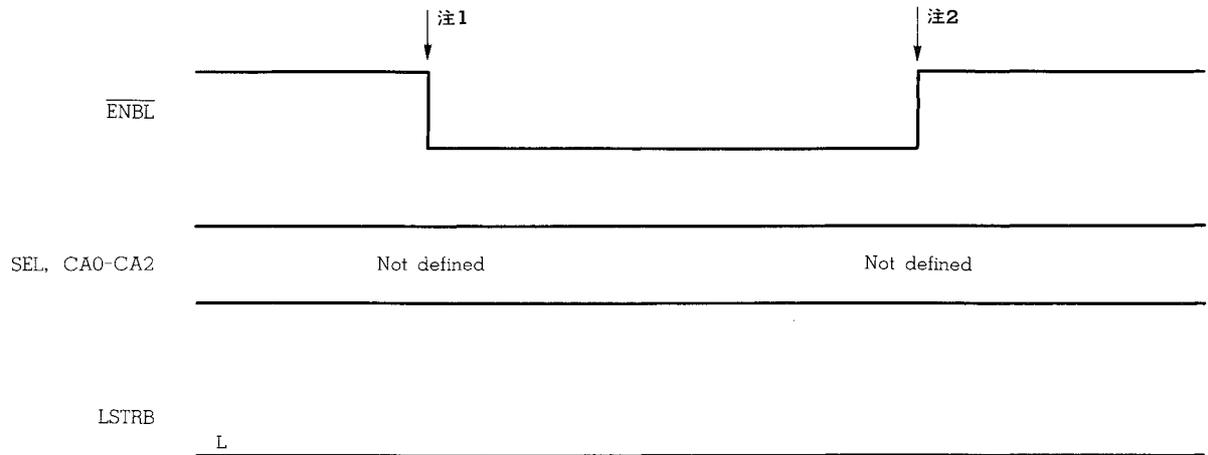
注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-22 SET MOTOR CONTROL FOR MOTOR OFF



注 この信号は、SET ENABLE CONTROL コマンドのみにセットされます。

図 12-23 SET ENABLE CONTROL



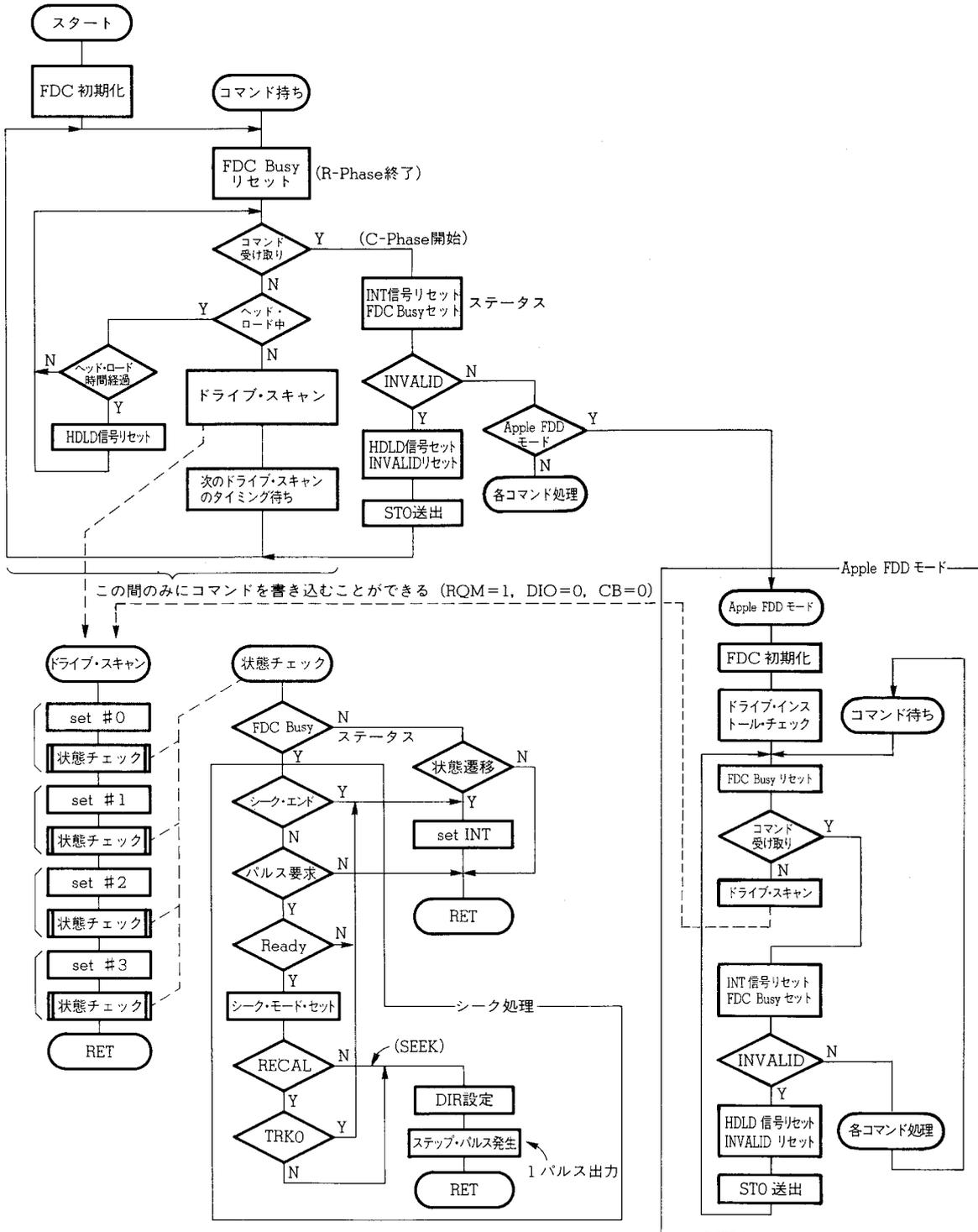
- 注 1. $\overline{\text{ENBL}}$ 信号は, SET ENABLE CONTROL コマンドにより, アクティブ状態にセットされます。
- 2. $\overline{\text{ENBL}}$ 信号は, SET ENABLE CONTROL コマンドにより, インアクティブ状態にセットされます。

12.5 コマンドのファーム・フロー

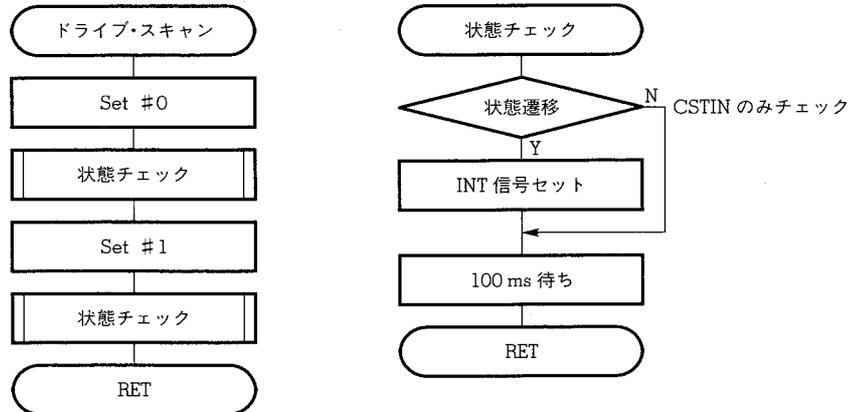
Apple FDD モードのコマンドのファーム・フローを示します。

- (1) コマンド待ち状態
- (2) ポーリング
- (3) SPECIFY コマンド
- (4) CONFIGURE コマンド
- (5) PERPENDICULAR MODE コマンド
- (6) SELECT DRIVE TYPE コマンド
- (7) SET DRIVE MODE コマンド
- (8) RECALIBRATE コマンド
- (9) SEEK コマンド
- (10) READ DATA コマンド (GCR フォーマット)
- (11) READ DATA コマンド (MFM フォーマット)
- (12) READ ID コマンド (GCR フォーマット)
- (13) READ ID コマンド (MFM フォーマット)
- (14) READ A TRACK コマンド (GCR フォーマット)
- (15) READ A TRACK コマンド (MFM フォーマット)
- (16) RAW DUMP コマンド (1)
- (17) RAW DUMP コマンド (2) (アドレス・ヘッダからのダンプ (GCR フォーマット))
- (18) RAW DUMP コマンド (3) (アドレス・ヘッダからのダンプ (MFM フォーマット))
- (19) RAW DUMP コマンド (4) (データ・ヘッダからのダンプ (GCR フォーマット))
- (20) RAW DUMP コマンド (5) (データ・ヘッダからのダンプ (MFM フォーマット))
- (21) FORMAT A TRACK コマンド (GCR フォーマット)
- (22) FORMAT A TRACK コマンド (MFM フォーマット)
- (23) FORMAT/WRITE コマンド (GCR フォーマット)
- (24) FORMAT/WRITE コマンド (MFM フォーマット)
- (25) WRITE DATA コマンド (GCR フォーマット)
- (26) WRITE DATA コマンド (MFM フォーマット)
- (27) SENSE DRIVE STATUS コマンド
- (28) SENSE INTERRUPT STATUS コマンド
- (29) REVISION コマンド
- (30) DISABLE/ENABLE DPLL コマンド
- (31) EJECT DISK コマンド
- (32) SET MOTOR CONTROL コマンド
- (33) SET ENABLE CONTROL コマンド

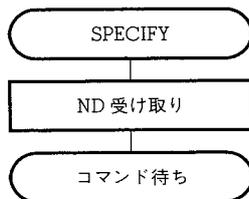
(1) コマンド待ち状態



(2) ポーリング



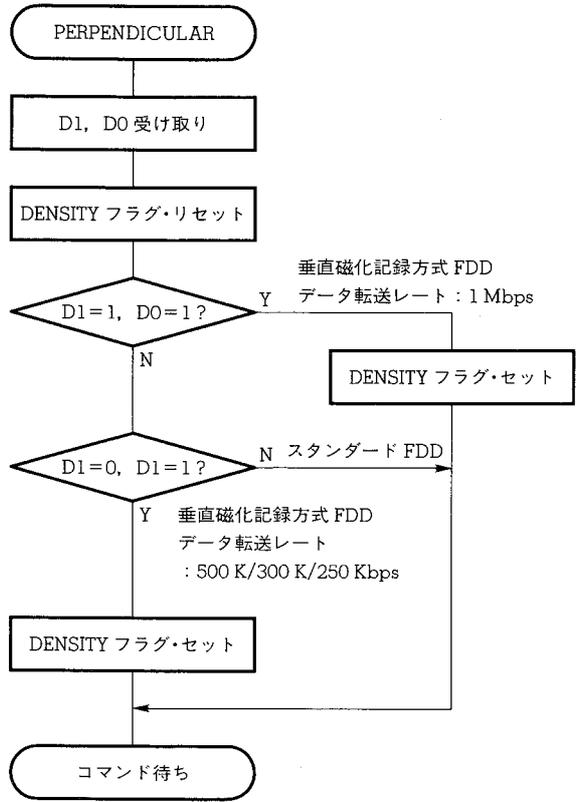
(3) SPECIFY コマンド



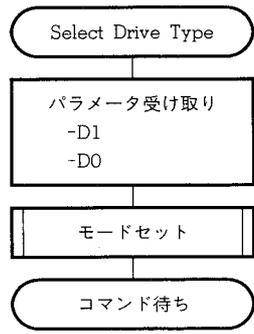
(4) CONFIGURE コマンド



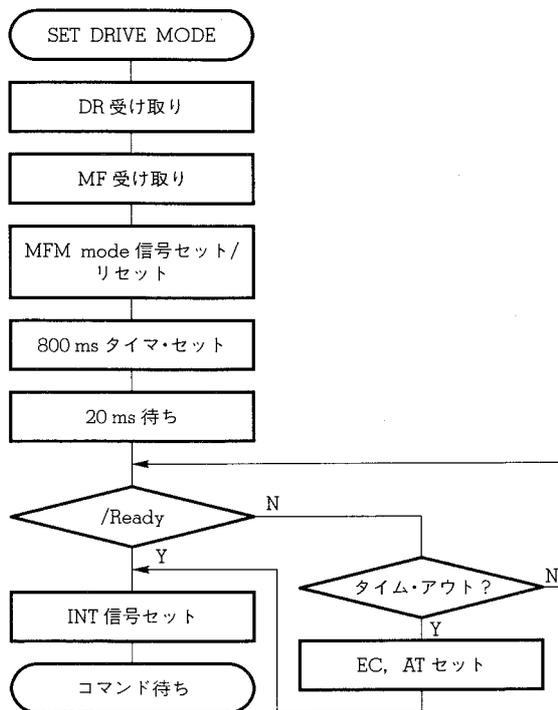
(5) PERPENDICULAR MODE コマンド



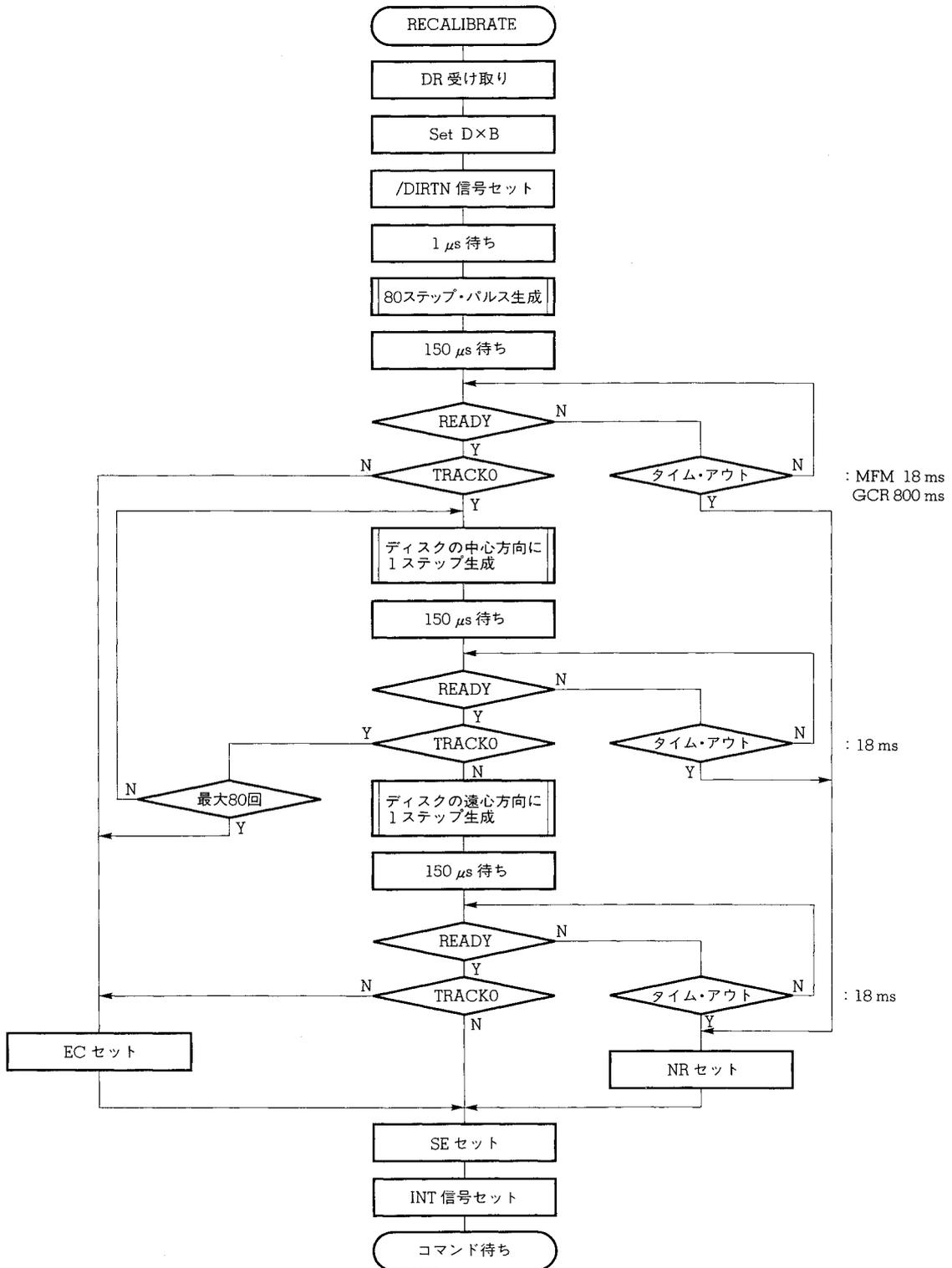
(6) SELECT DRIVE TYPE コマンド



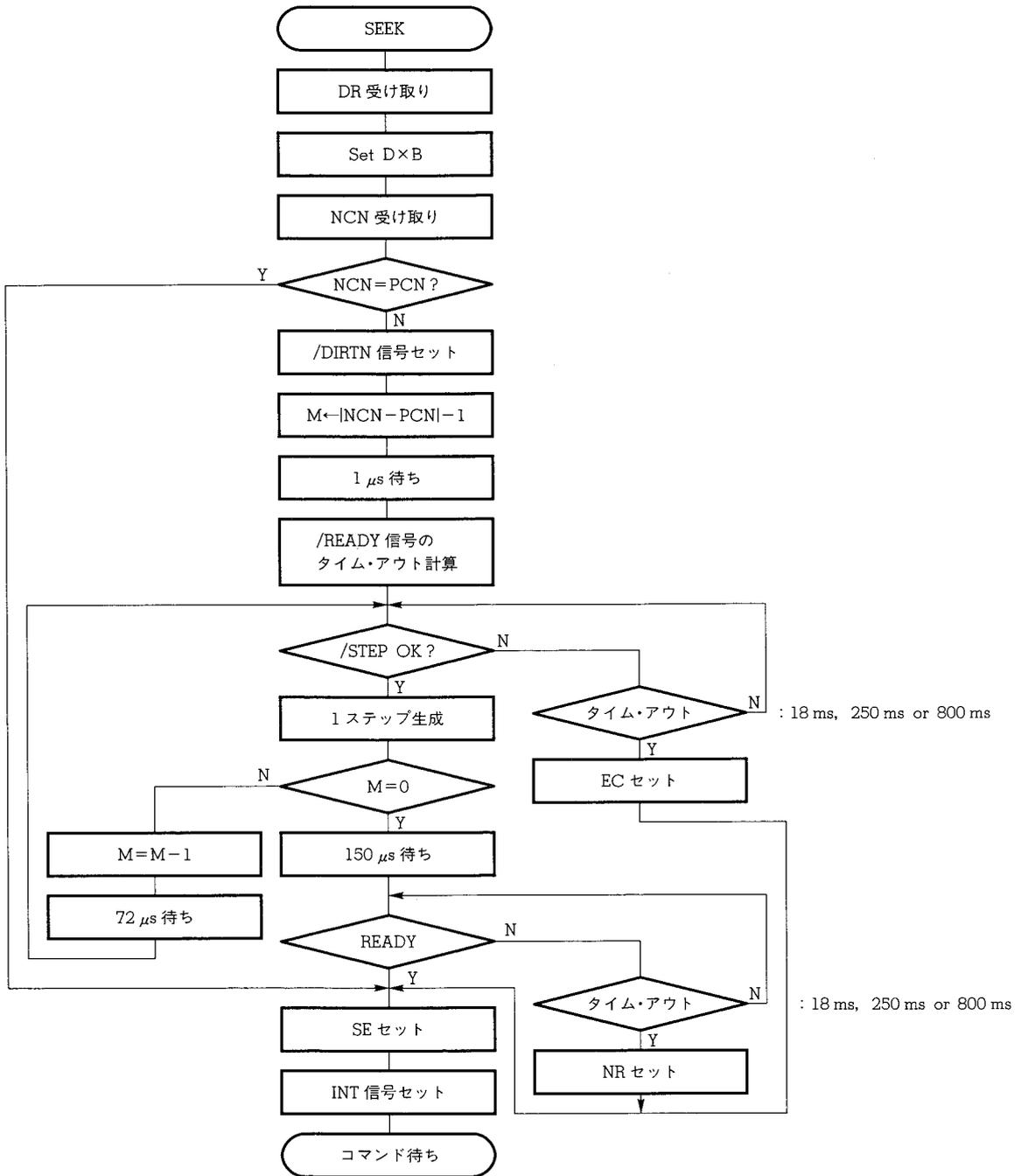
(7) SET DRIVE MODE コマンド



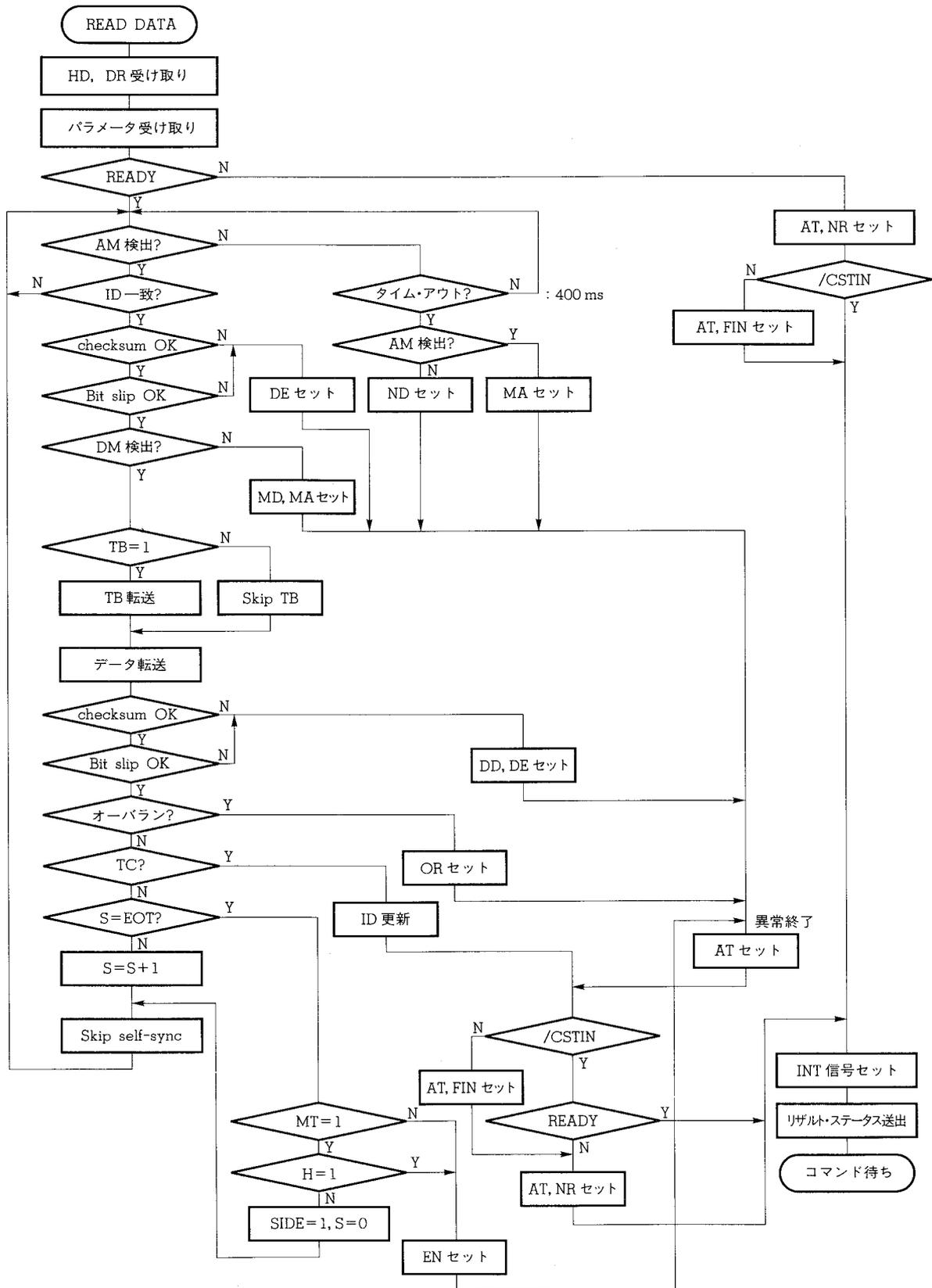
(8) RECALIBRATE コマンド



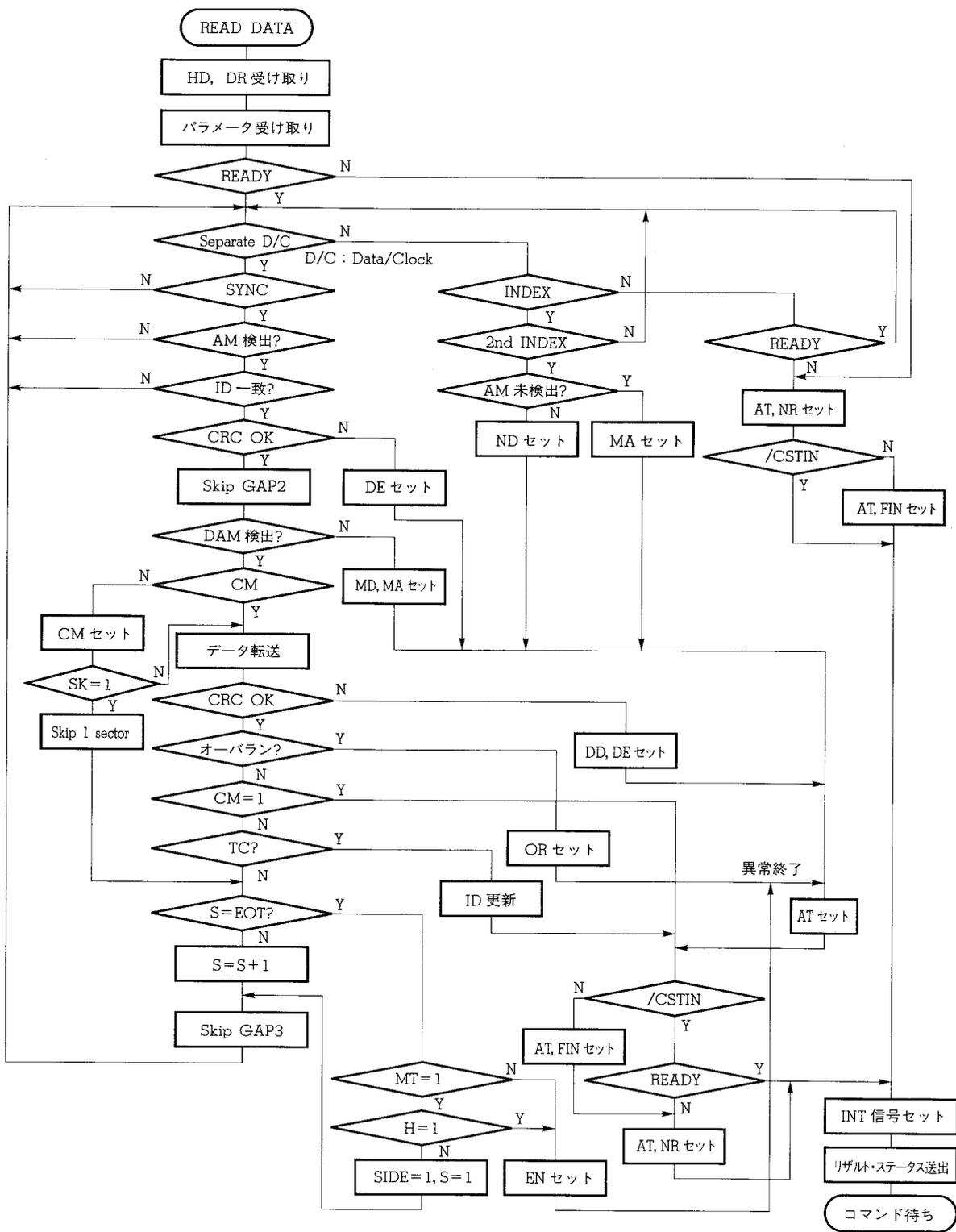
(9) SEEK コマンド



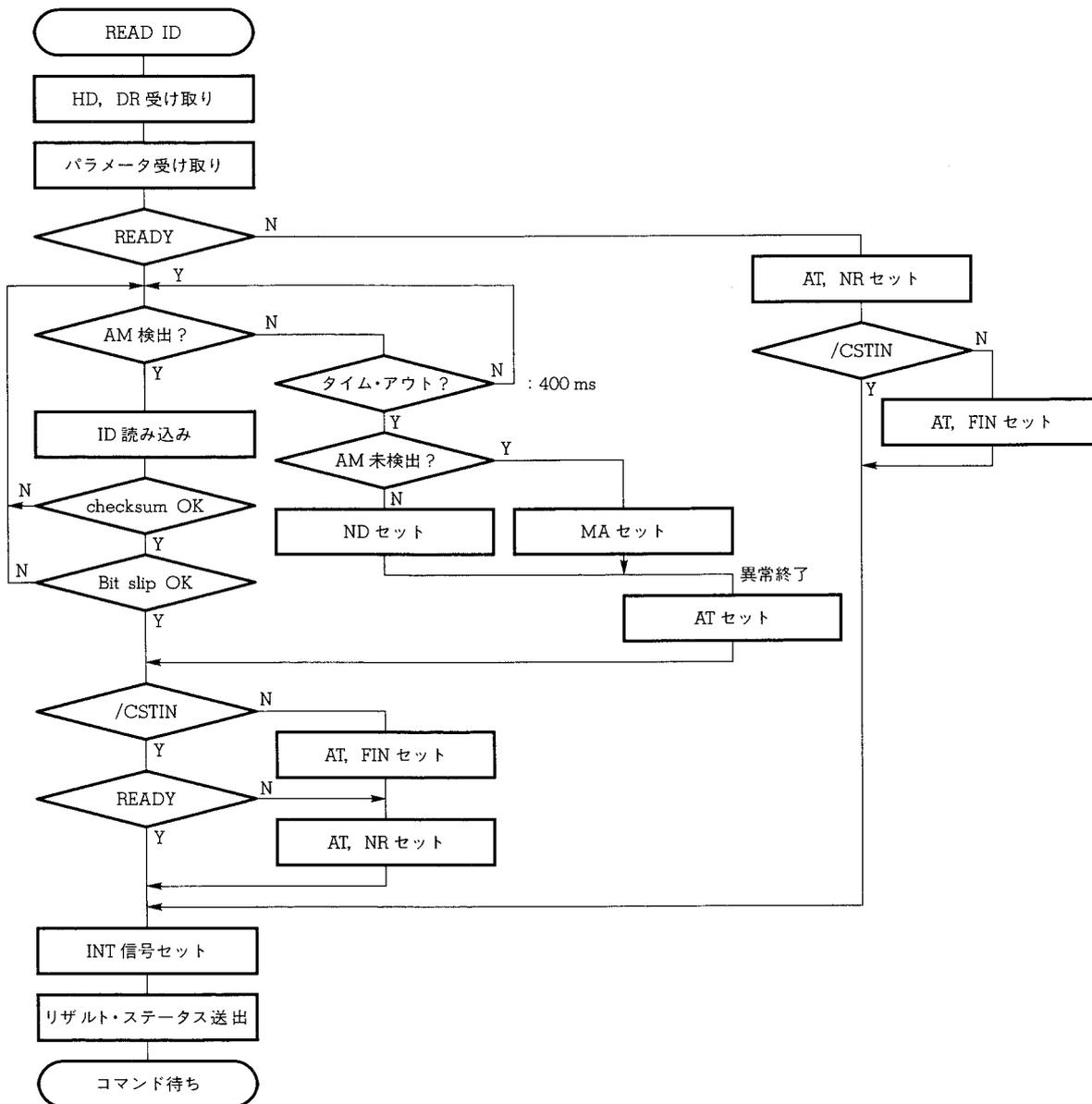
(10) READ DATA コマンド (GCR フォーマット)



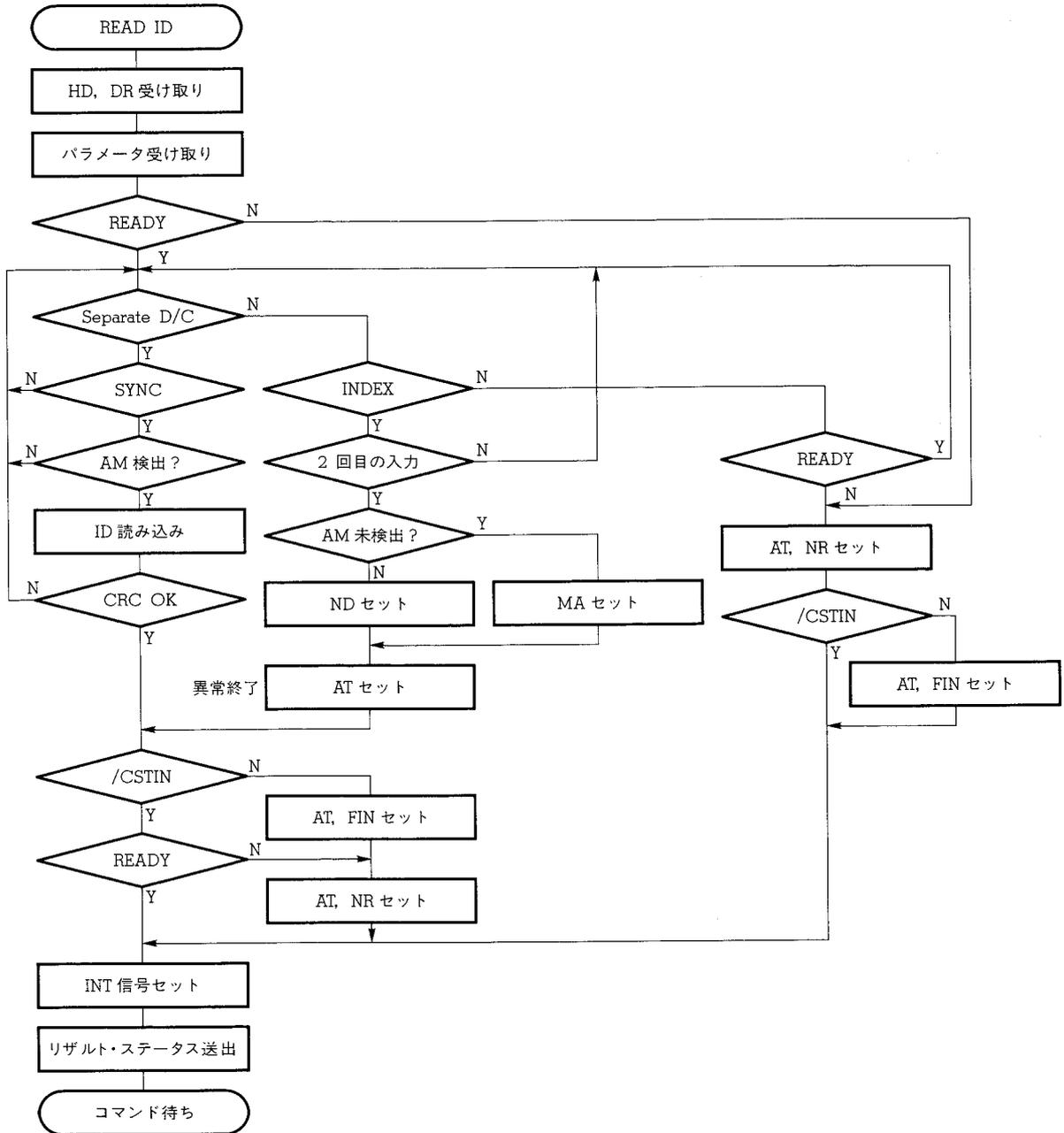
(11) READ DATA コマンド (MFM フォーマット)



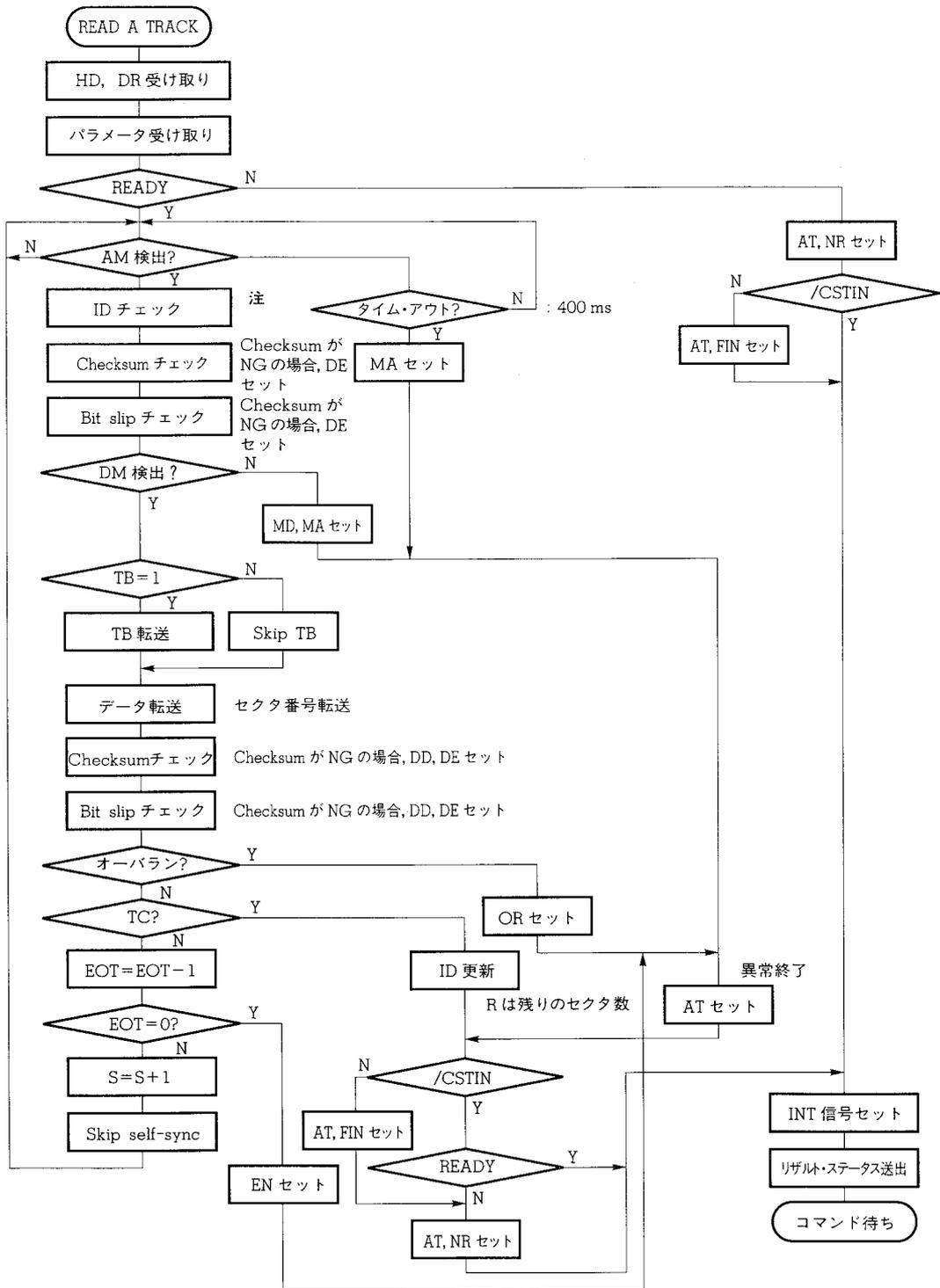
(12) READ ID コマンド (GCR フォーマット)



(13) READ ID コマンド (MFM フォーマット)

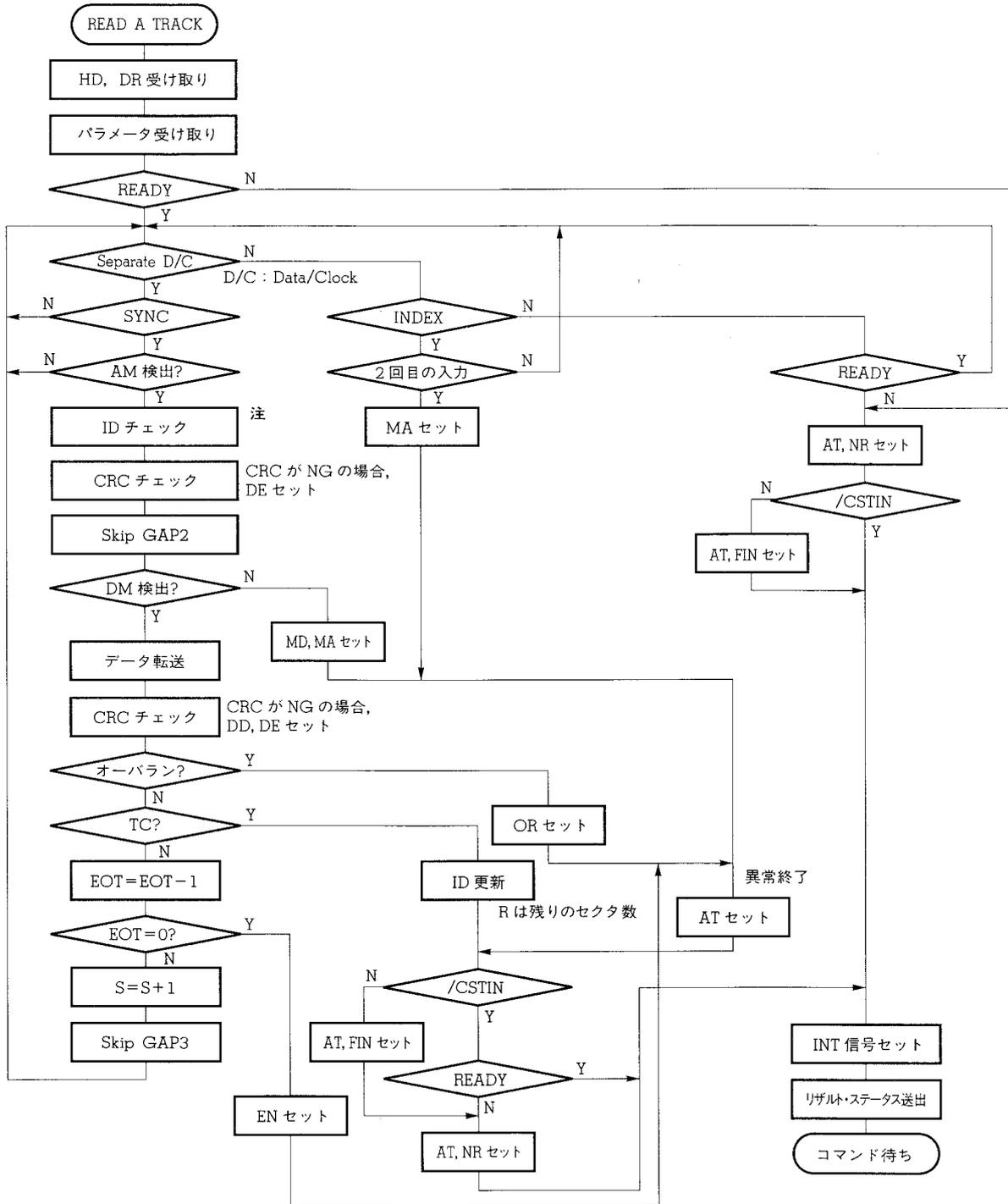


(14) READ A TRACK コマンド (GCR フォーマット)



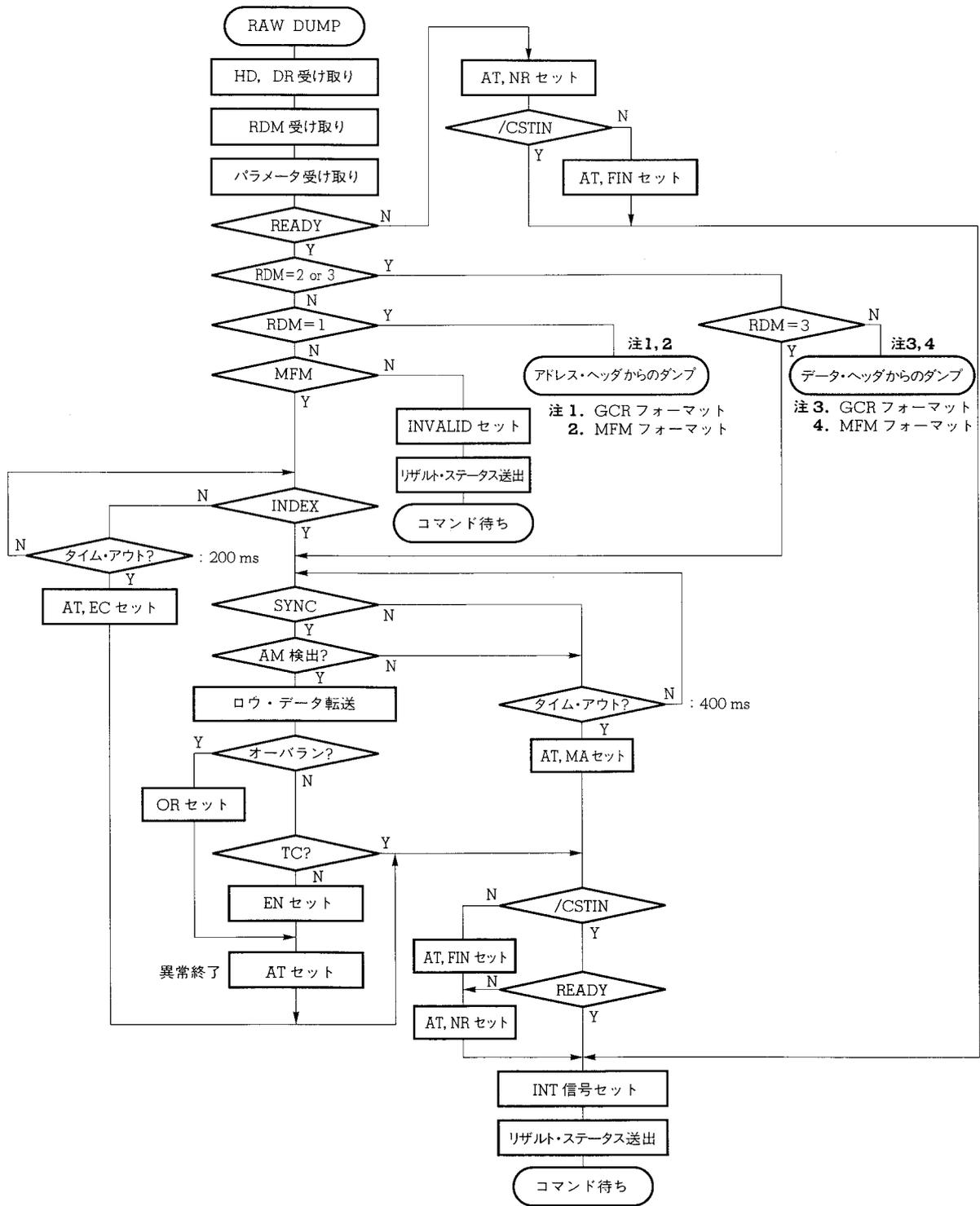
注 まず最初に、指定されたセクタを探します。もし、そのセクタが見つからずタイムアウトした場合、ND をセットして終了します。2 番目以降のセクタは ID チェックを行いません (もし、ID が NG でも、ND をセットしない)。

(15) READ A TRACK コマンド (MFM フォーマット)

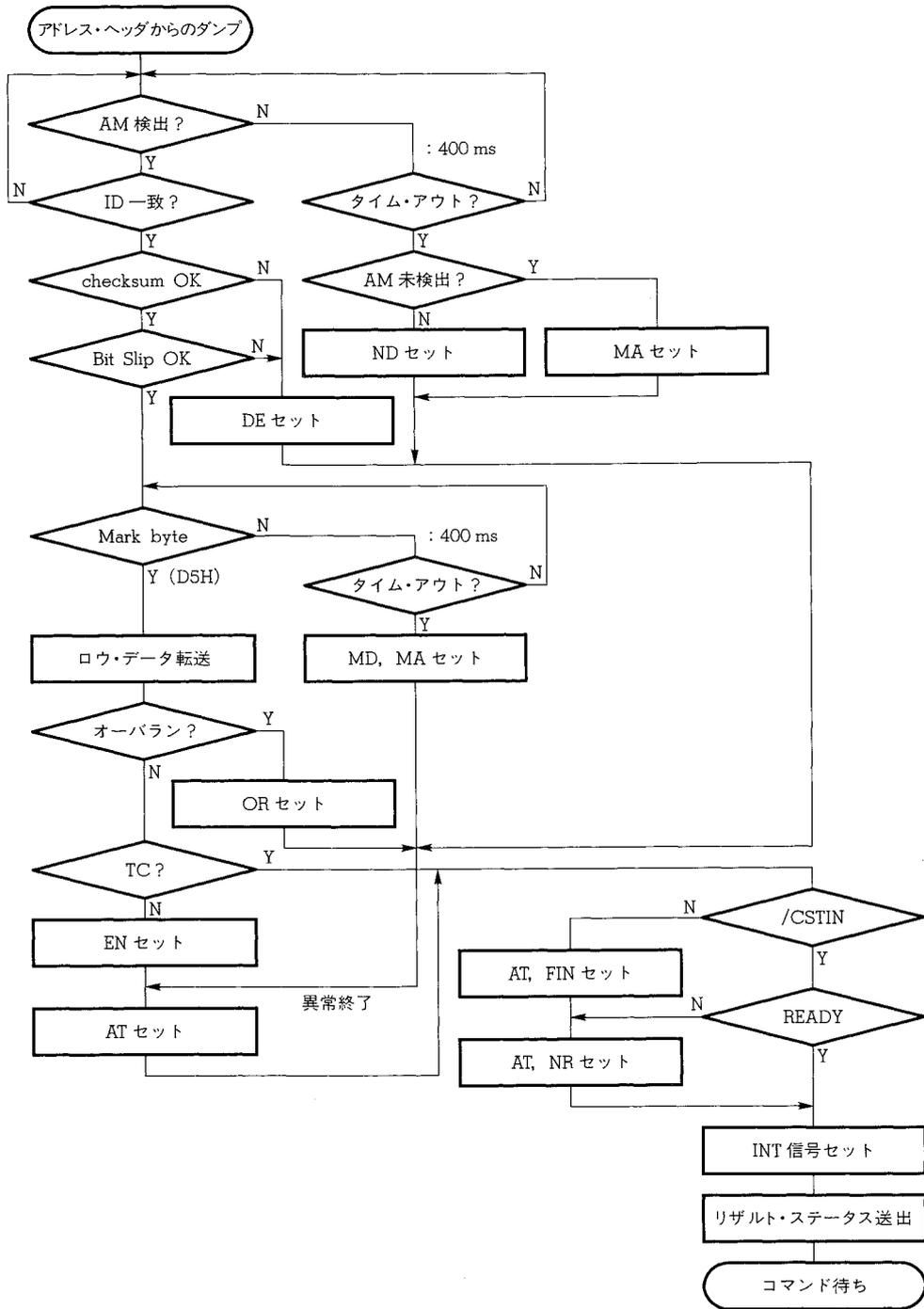


注 まず最初に、指定されたセクタを探します。もし、そのセクタが見つからずタイムアウトした場合、ND をセットして終了します。2 番目以降のセクタは ID チェックを行いません (もし、ID が NG でも、ND をセットしない)。

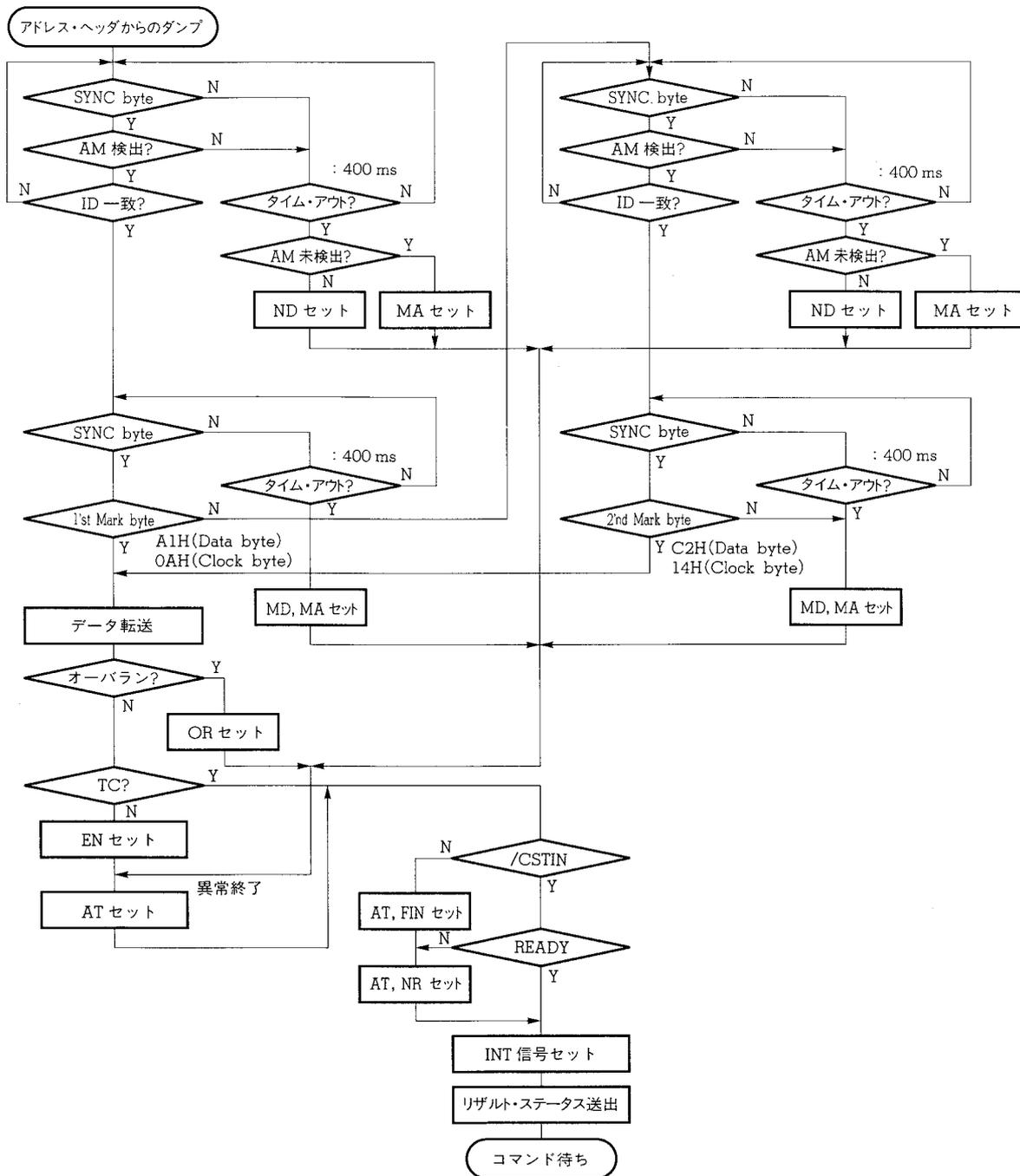
(16) RAW DUMP コマンド(1)



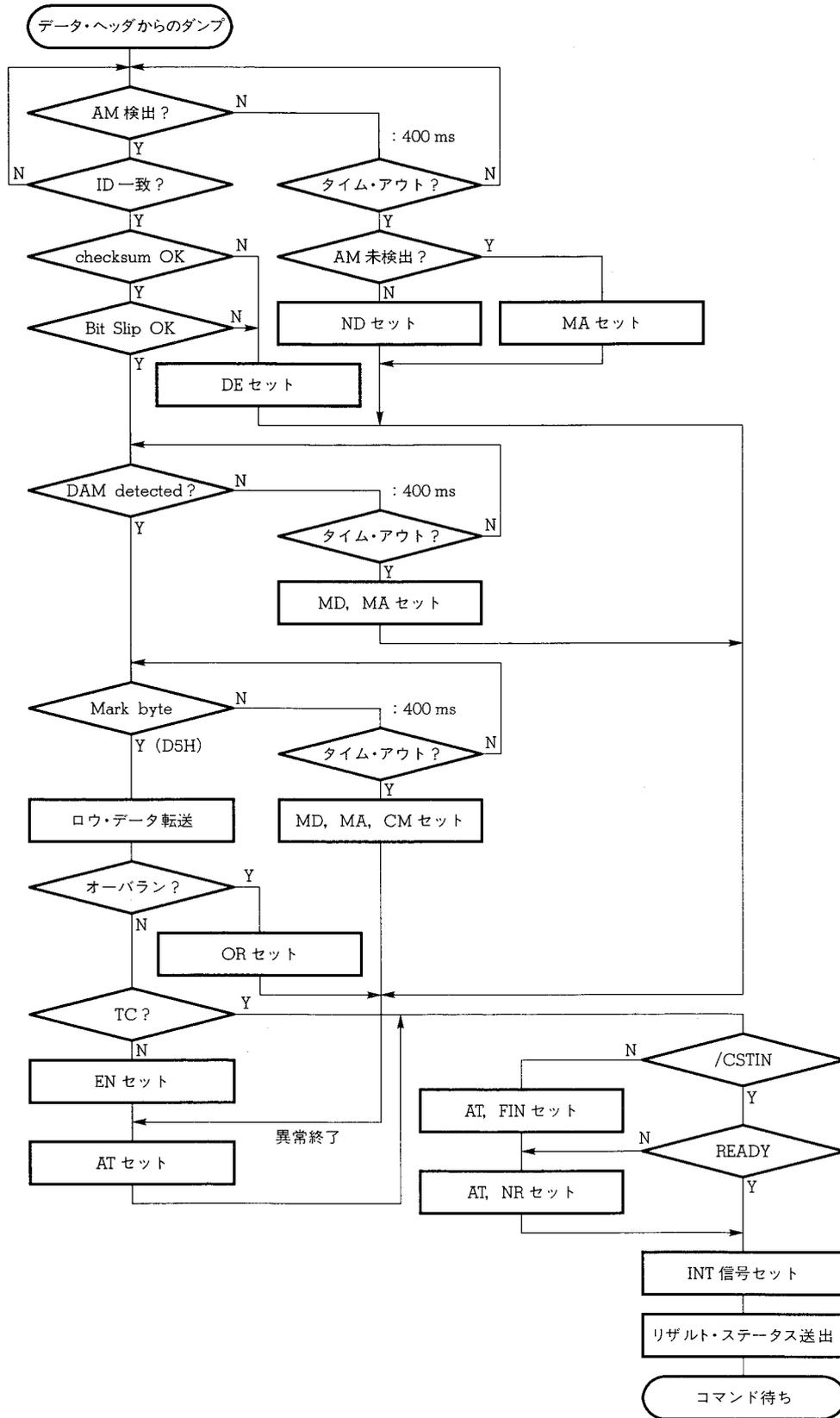
(17) RAW DUMP コマンド(2) (アドレス・ヘッダからのダンプ (GCR フォーマット))



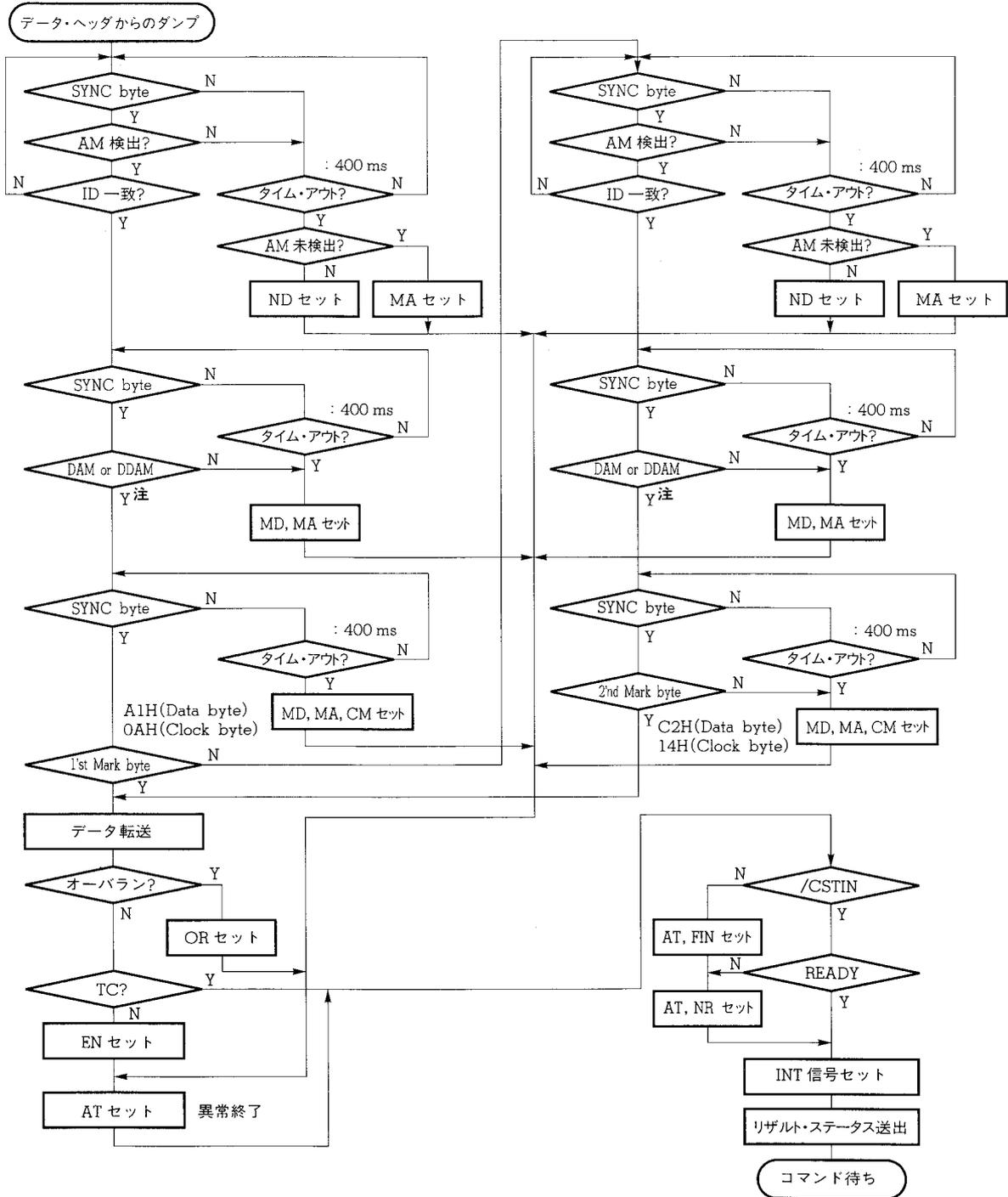
(18) RAW DUMP コマンド(3) (アドレス・ヘッダからのダンプ (MFМ フォーマット))



(19) RAW DUMP コマンド(4) (データ・ヘッダからのダンプ (GCR フォーマット))

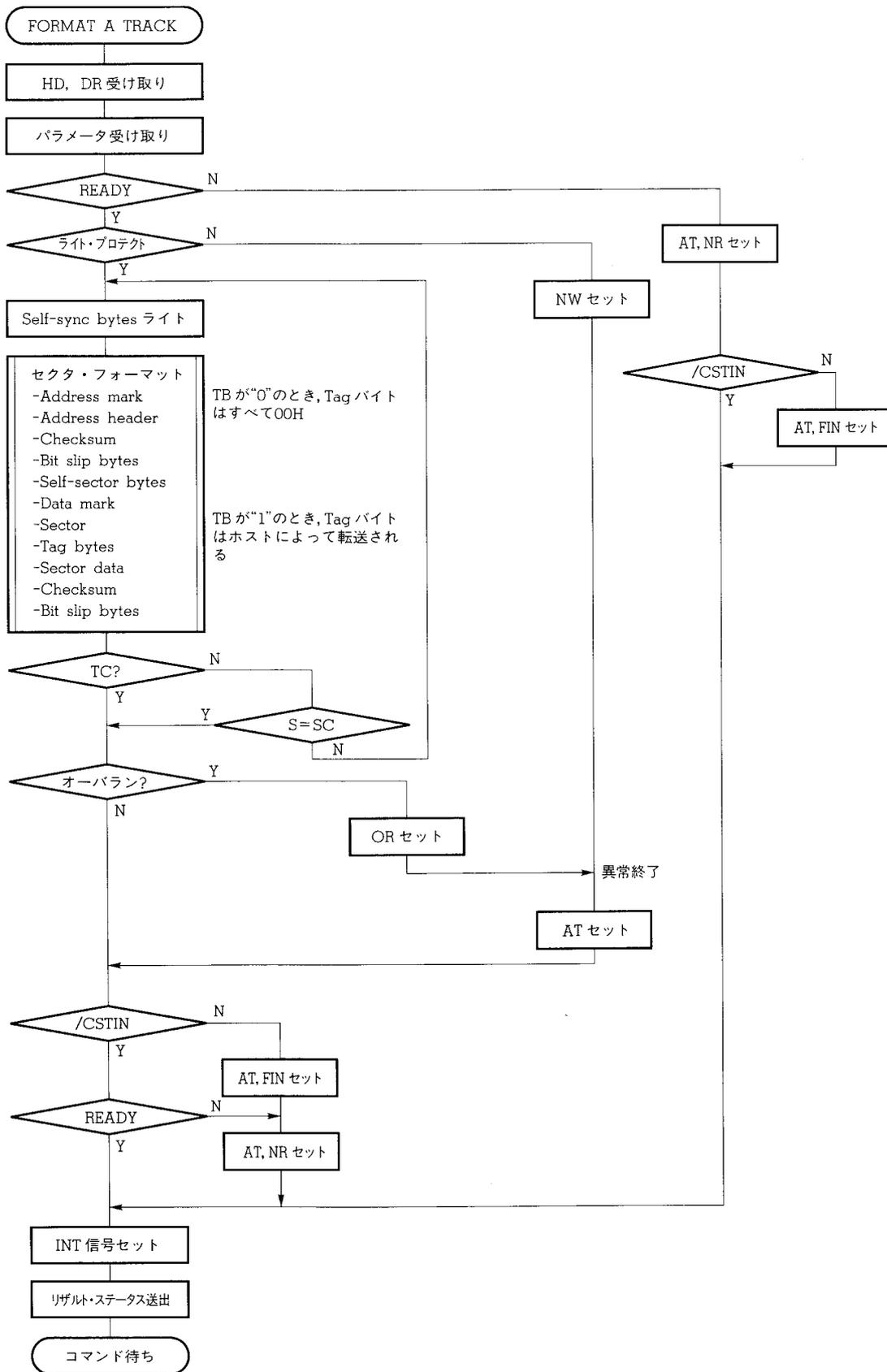


(20) RAW DUMP コマンド(5) (データ・ヘッダからのダンプ (MFM フォーマット))

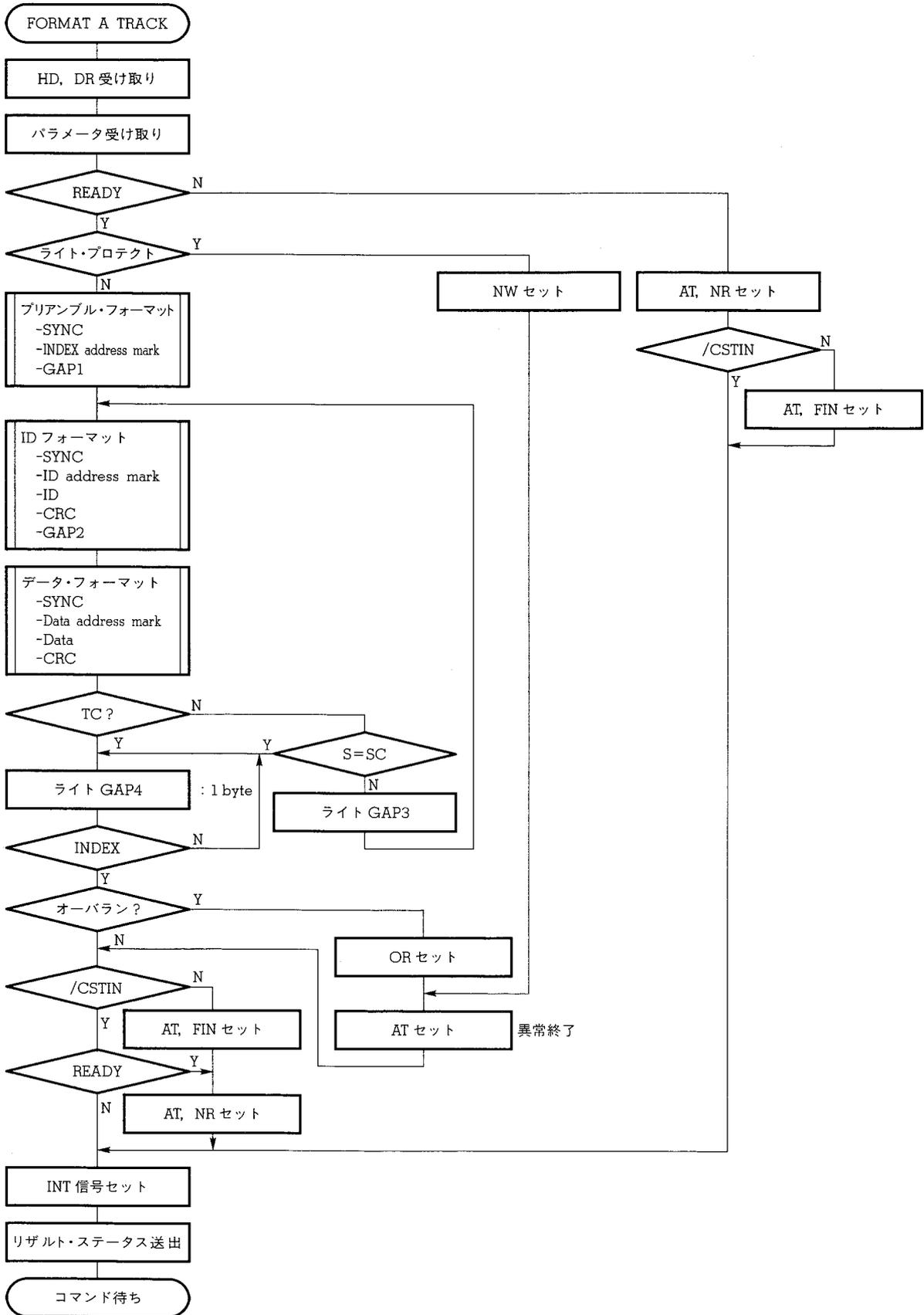


注 もし DDAM を検出したならば、CM ビットはセットしません。

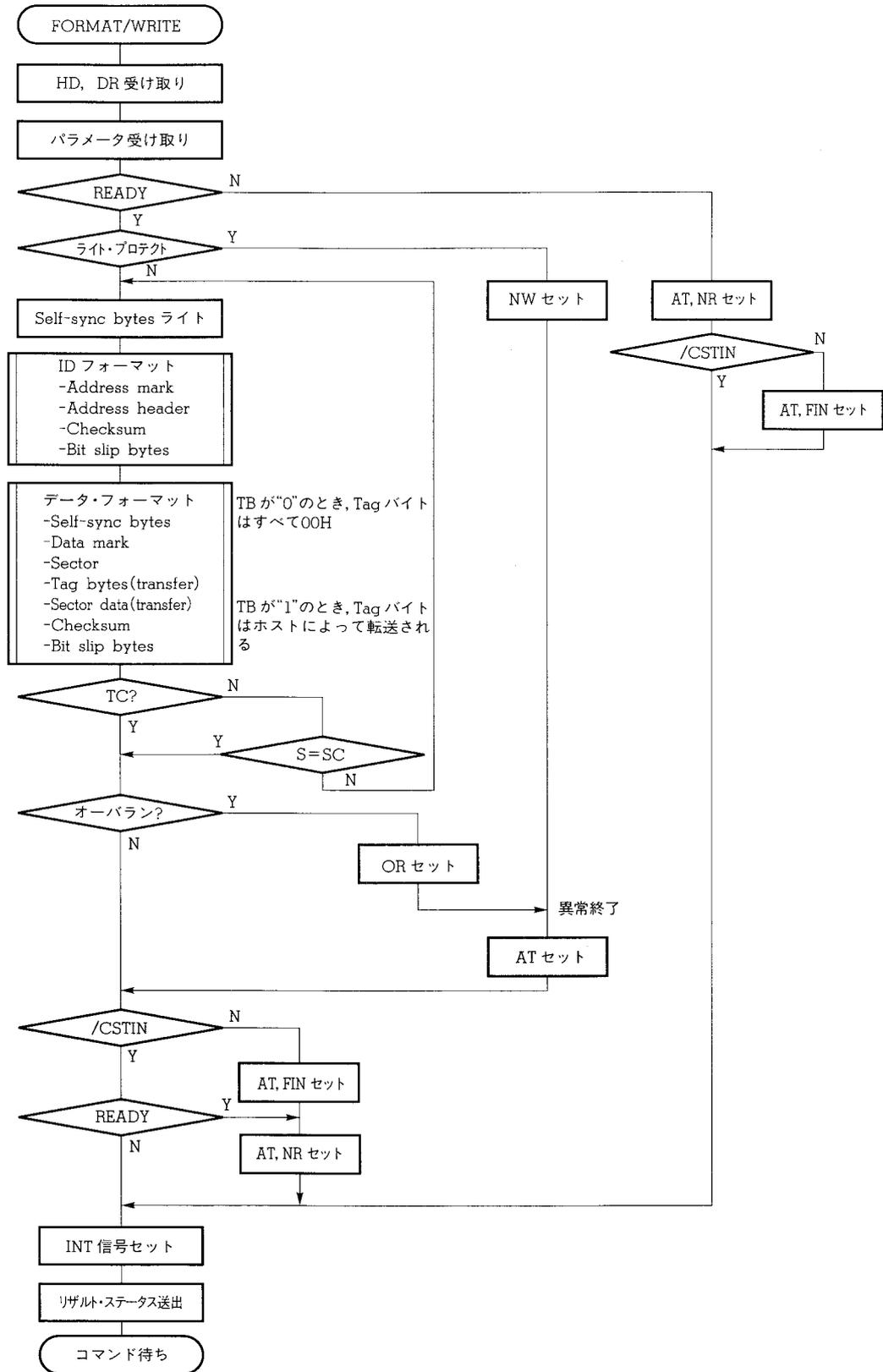
(21) FORMAT A TRACK コマンド (GCR フォーマット)



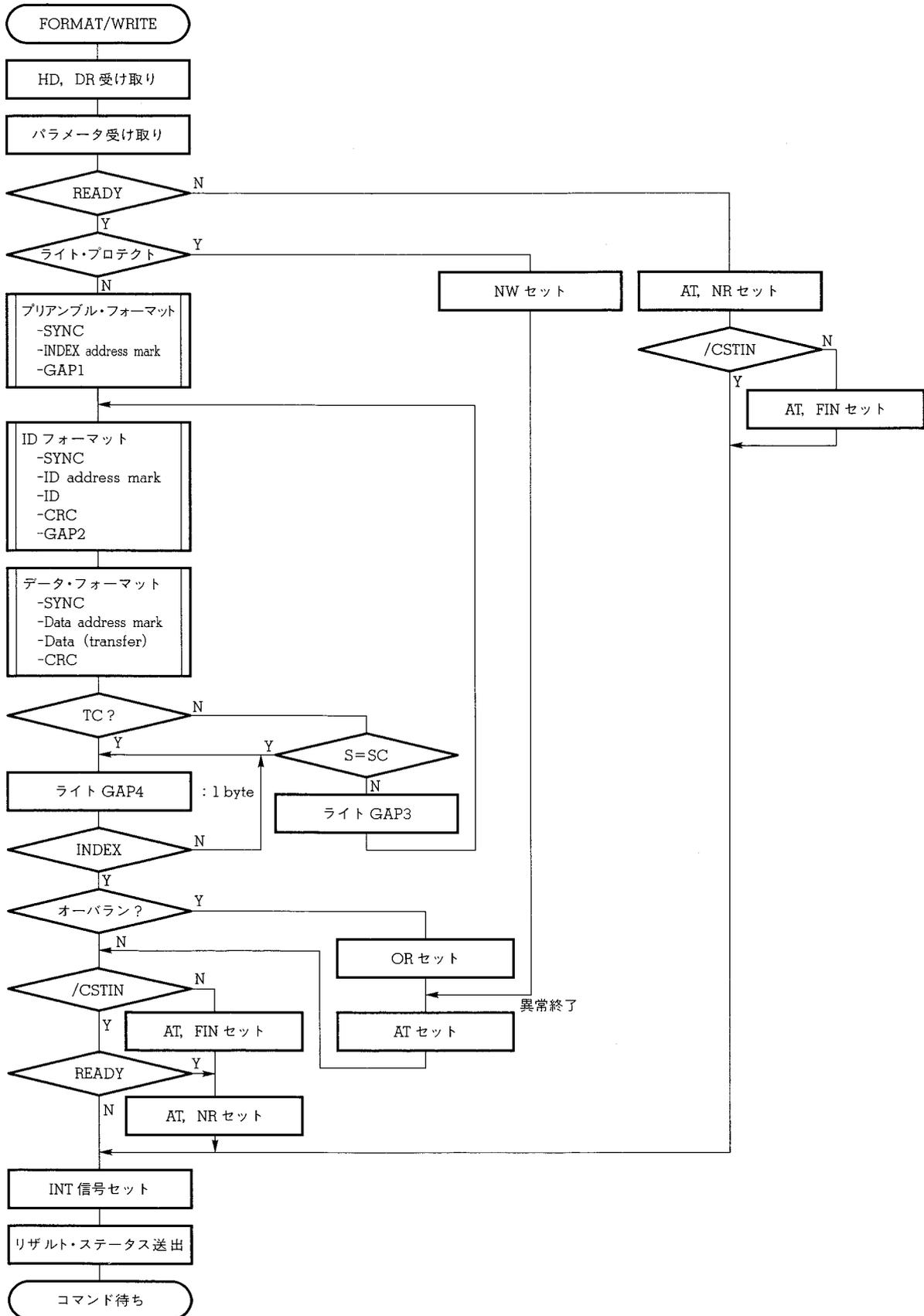
(22) FORMAT A TRACK コマンド (MFM フォーマット)



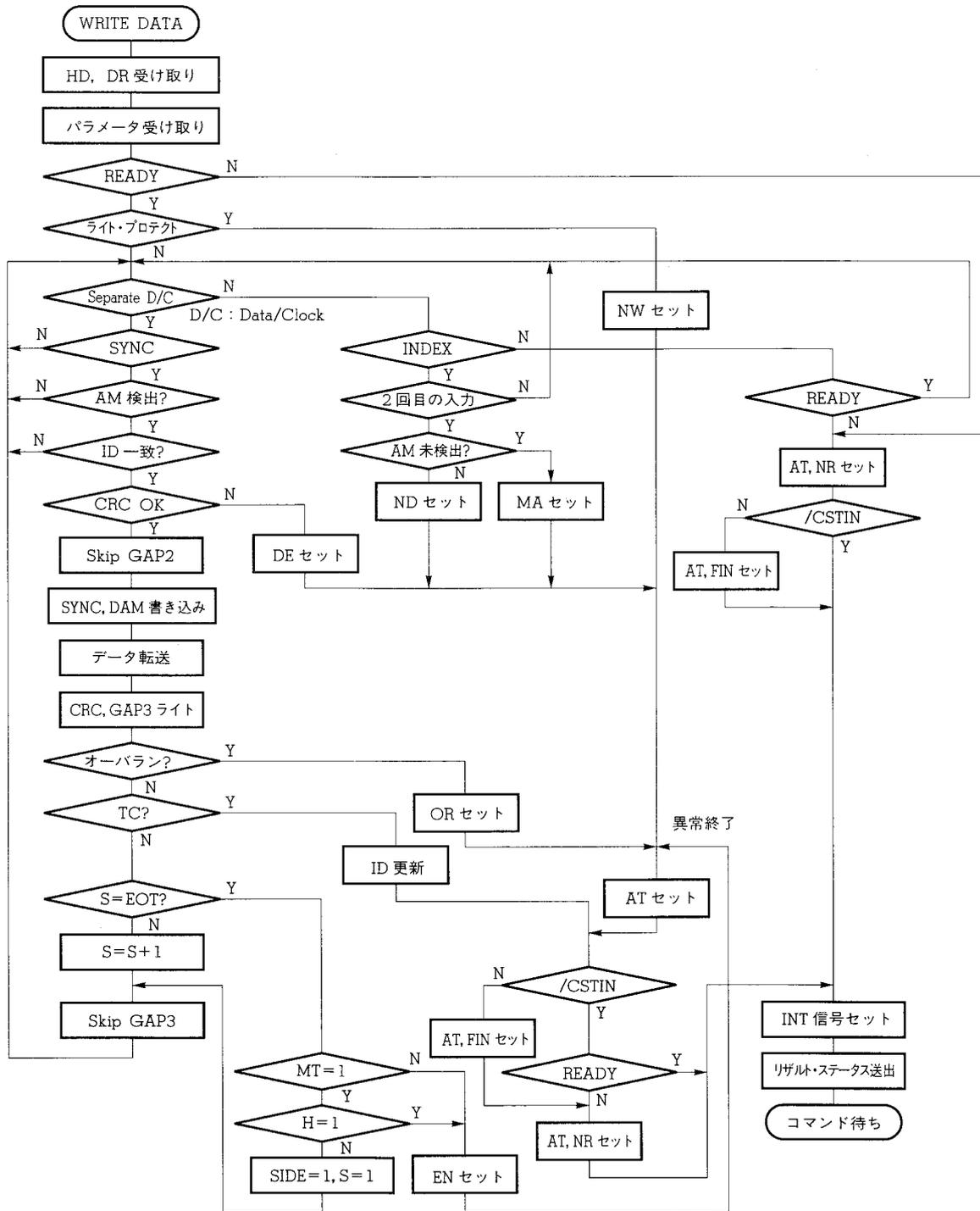
(23) FORMAT/WRITE コマンド (GCR フォーマット)



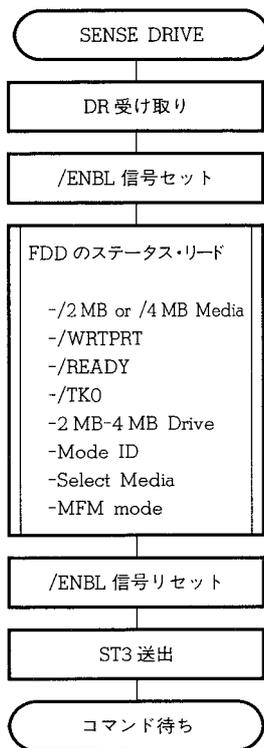
(24) FORMAT/WRITE コマンド (MFM フォーマット)



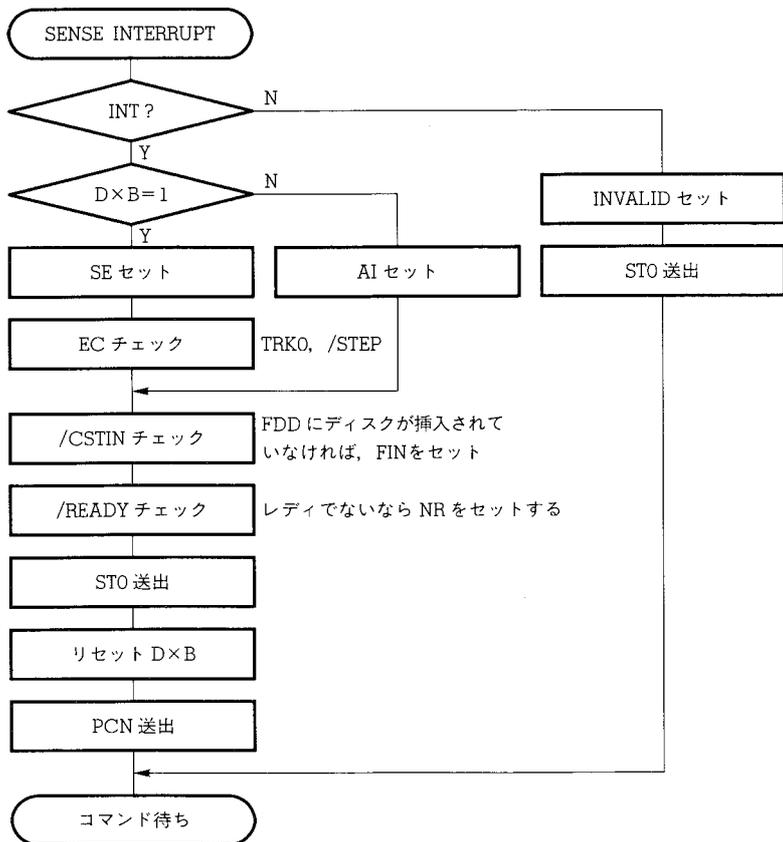
(26) WRITE DATA コマンド (MFM フォーマット)



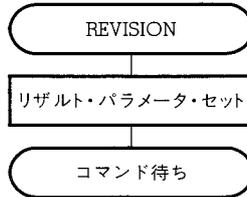
(27) SENSE DRIVE STATUS コマンド



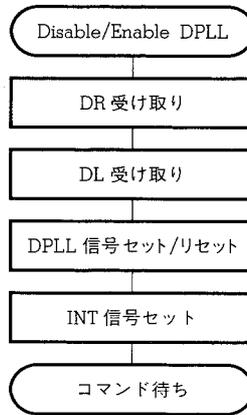
(28) SENSE INTERRUPT STATUS コマンド



(29) REVISION コマンド



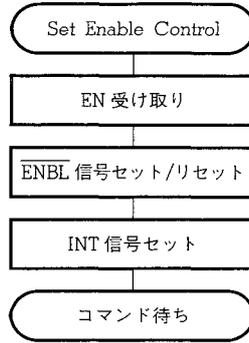
(30) DISABLE/ENABLE DPLL コマンド



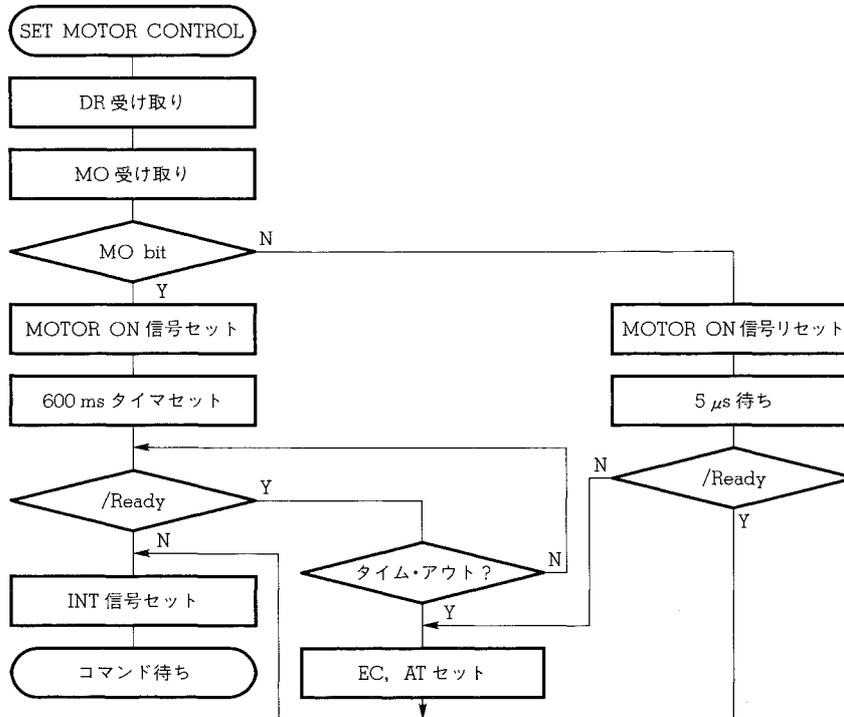
(31) EJECT DISK コマンド



(32) SET ENABLE CONTROL コマンド



(33) SET MOTOR CONTROL コマンド



保守 / 廃止

第13章 JTAG バウンダリ・スキャン (お客様のご要求により,本機能をサポートすることができます。)

μPD72070 は, JTAG バウンダリ・スキャン回路を内蔵しています。

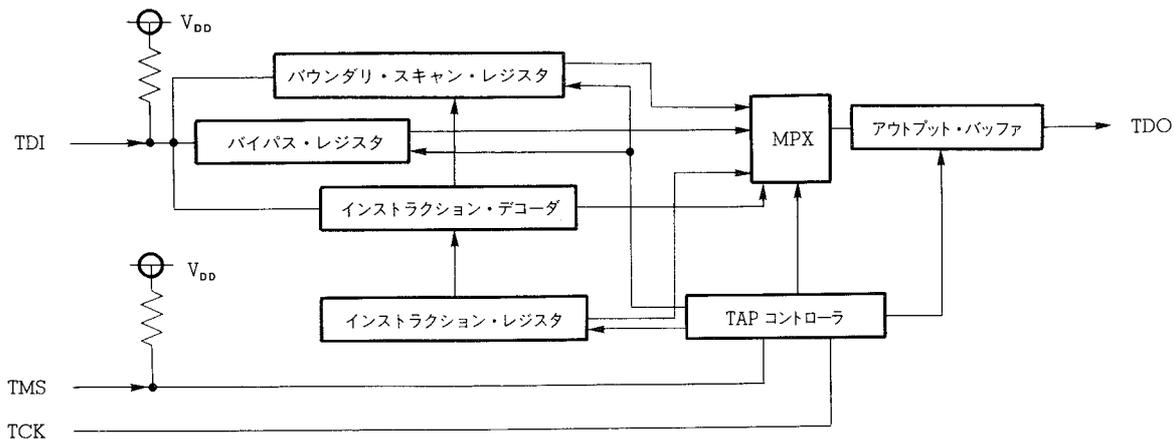
13.1 特 徴

- IEEE1149.1 JTAG Boundary Scan Standard に準拠
- バウンダリ・スキャン専用の3つのレジスタ
 - ・インストラクション・レジスタ
 - ・バイパス・レジスタ
 - ・バウンダリ・スキャン・レジスタ
- 4つの命令をサポート
 - ・BYPASS 命令
 - ・SAMPLE/PRELOAD 命令
 - ・EXTEST 命令
 - ・CLAMP-IO 命令
- バウンダリ・スキャン専用端子 (4端子)
 - ・TCK (Test Clock)
 - ・TMS (Test Mode Select)
 - ・TDI (Test Data Input)
 - ・TDO (Test Data Output)

13.2 バウンダリ・スキャン回路内部構成

図13-1は, μPD72070 に内蔵している JTAG バウンダリ・スキャン回路のブロック図です。

図13-1 バウンダリ・スキャン回路ブロック図



13.2.1 インストラクション・レジスタ (Instruction register)

インストラクション・レジスタは、3ビットのシフト・レジスタで構成されており、TDI 端子からの命令データを書き込みます。レジスタおよび命令の選択は、この命令データが決定します。

13.2.2 TAP コントローラ (Test Access Port controller)

TAP コントローラは、TCK 端子に入力されるクロックの立ち上がりで TMS 端子の信号をラッチすることにより、動作状態を変更します。

13.2.3 バイパス・レジスタ (Bypass register)

バイパス・レジスタは、TAP コントローラが Shift-DR 状態のときには、TDI 端子と TDO 端子の間で接続される 1ビットのシフト・レジスタで構成されます。TAP コントローラが Shift-DR 状態の間、このレジスタが選択されているときには、TCK 端子に入力されるクロックの立ち上がりで TDO 端子へデータをシフトします。

このレジスタが選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD72070 の動作に影響を与えません。

13.2.4 バウンダリ・スキャン・レジスタ (Boundary Scan register)

バウンダリ・スキャン・レジスタは、 μ PD72070 の外部端子と内部ロジック回路の間にあります。このレジスタが選択されたとき、TAP コントローラの命令によりデータをラッチ、またはロードします。

TAP コントローラが Shift-DR 状態の間、このレジスタが選択されている場合には、TCK 端子に入力されるクロックの立ち下がり、TDO 端子へデータを LSB から出力します。

13.3 端子機能

13.3.1 TCK 端子 (Test Clock pin)

TCK 端子は、JTAG バウンダリ・スキャン回路 (バイパス・レジスタやインストラクション・レジスタ、TAP コントローラ) へのクロック信号の供給に使用します。このクロック信号は、 μ PD72070 内部のほかの回路へは供給されないように分離しています。

13.3.2 TMS 端子 (Test Mode Select pin)

TMS 端子への入力は、TCK 端子に入力されるクロックの立ち上がりでラッチされ、TAP コントローラの動作を定義します。また、このピンは50 k Ω ~200 k Ω 程度の抵抗により μ PD72070 内部でプルアップしています。

13.3.3 TDI 端子 (Test Data Input pin)

TDI 端子は、JTAG バウンダリ・スキャン回路レジスタへデータを入力するための入力端子です。また、このピンは50 k Ω ~200 k Ω 程度の抵抗により μ PD72070 内部でプルアップしています。

13.3.4 TDO 端子 (Test Data Output pin)

TDO 端子は、JTAG バウンダリ・スキャン回路レジスタからデータを出力するための出力端子です。TCK 端子に入力されるクロックの立ち下がりで出力を変化させます。また、この出力端子は3ステート出力であり、TAP コントローラにより制御されます。

13.4 動作説明

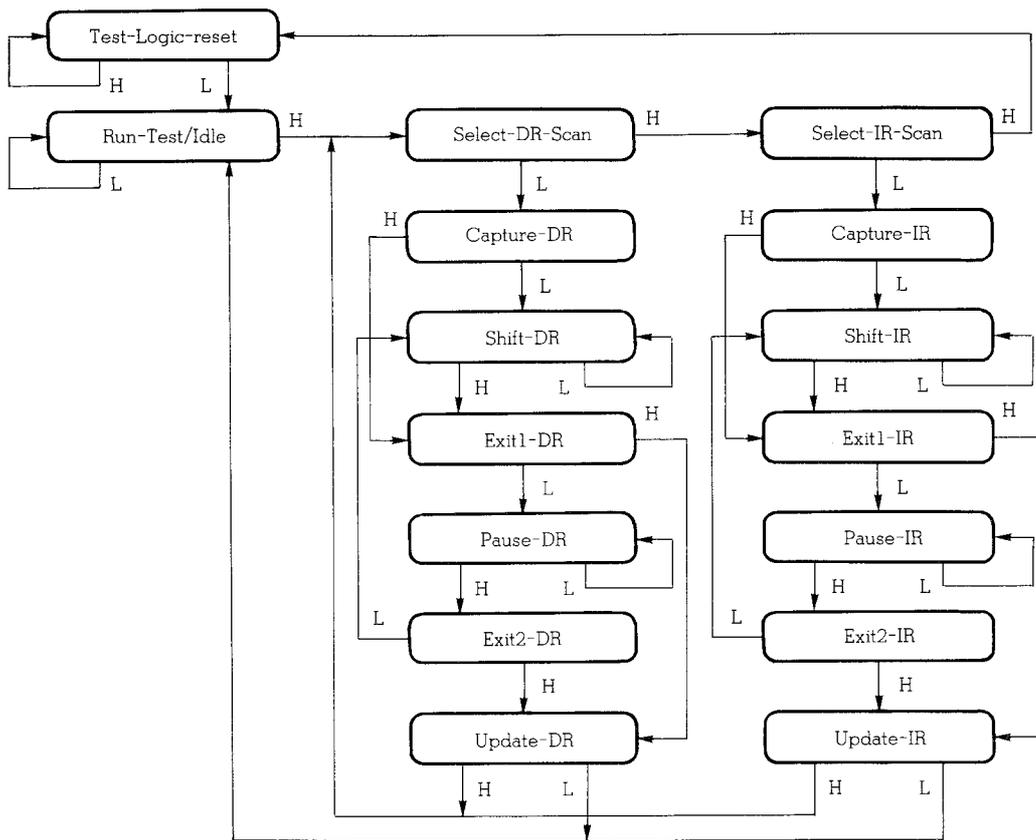
13.4.1 TAP コントローラ

TAP コントローラは、TMS 端子と TCK 端子信号の変化により同期した16個の状態をもつ回路です。動作は、IEEE standard 1149.1で規定されています。

13.4.2 TAP コントローラ状態

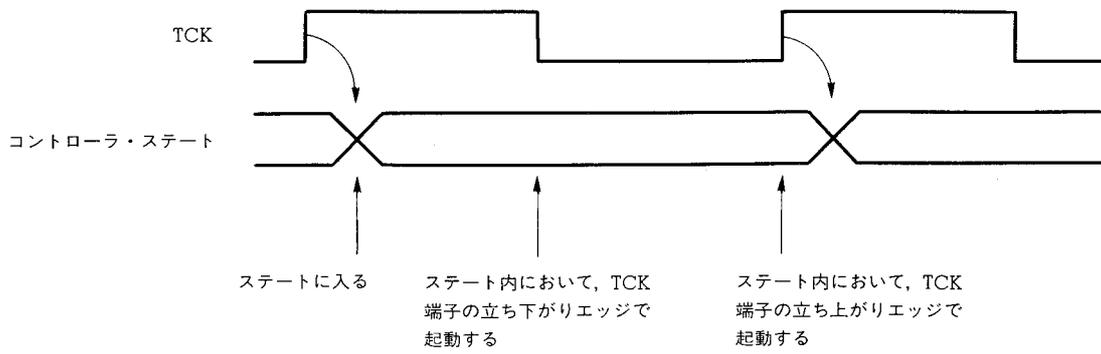
TAP コントローラの状態を図 13-2 に示します。TAP コントローラのすべての状態の変化は、TCK 端子に入力されるクロックの立ち上がりの TMS 端子信号の状態によって決まります。インストラクション・レジスタ、バウンダリ・スキャン・レジスタとバイパス・レジスタの動作は、TCK 端子に入力されるクロックの立ち上がり/立ち下がりで変化します (図 13-3 参照)。

図 13-2 TAP コントローラの状態



注意 図中の遷移を表す矢印の隣に示した“H”と“L”は、TCK 端子に入力されるクロックの立ち上がり時の TMS 端子の状態を表します。

図 13-3 コントローラ状態での動作タイミング



(1) Test-Logic-Reset

JTAG バウンダリ・スキャン回路は、 μ PD72070 に対して動作しません。したがって、 μ PD72070 のシステム・ロジックには影響しません。これは、イニシャライズ時にバイパス命令がインストラクション・レジスタに格納、実行されているからです。TAP コントローラがどの状態のときでも、TMS 端子信号が少なくとも TCK 端子信号の立ち上がり 5 回分ハイ・レベル状態を保持すれば、Test-Logic-Reset 状態になります。TAP コントローラは、この状態を TMS 端子信号がハイ・レベルの間保持します。

TAP コントローラが Test-Logic-Reset 状態になる必要があるときは、TCK 端子信号の立ち上がりで TMS 端子信号に誤ったロウ・レベル信号が 1 回入力されても(たとえば外部インタフェースの影響)、TMS 端子信号が TCK 端子信号の立ち上がりエッジの 3 回分ハイ・レベル状態を保持すれば、もとの Test-Logic-Reset 状態に戻ります。

上記のエラーによって、テスト・ロジックの動作が μ PD72070 の論理動作を妨げることはありません。

Test-Logic-Reset コントローラ状態を抜けると、TAP コントローラは、Run-Test/Idle コントローラ状態に移ります。この状態では、バイパス・レジスタの動作によりカレント命令が選択設定されていますので、どのような動作も行いません。また、この JTAG バウンダリ・スキャン回路の論理動作は、Select-DR-Scan 状態と Select-IR-Scan 状態でもインアクティブです。

(2) Run-Test/Idle

スキャン動作間 (Select-DR-Scan 状態、Select-IR-Scan 状態) の TAP コントローラ状態です。一度この状態になると、TMS 端子信号がロウ・レベルを保持している間は、TAP コントローラもこの状態を保持します。1回の TCK 端子信号の立ち上がりエッジで、TMS 端子信号がハイ・レベルを保持すれば、Select-DR-Scan 状態に移ります。

カレント命令で選択されたすべてのテスト・データ・レジスタ (バウンダリ・レジスタ、バイパス・レジスタ) には、以前の状態が保持されます (**Idle**)。TAP コントローラがこの状態の間、命令は変化しません。

(3) Select-DR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-DR 状態に移ります。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

たとえば、TCK 端子信号の立ち上がり時にハイ・レベルが保持されると、TAP コントローラは、Select-IR-Scan 状態に移ります。TAP コントローラがこの状態の間、命令は変化しません。

(4) Select-IR-Scan

バウンダリ・スキャンにおける一時的な状態です。カレント命令によって選択されたバウンダリ・スキャン・レジスタとバイパス・レジスタには、以前の状態が保持されます。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がり時にロウ・レベルが保持されると、TAP コントローラは、Capture-IR 状態に遷移します。また、選択されたレジスタへのスキャン・シーケンスが開始されます。

たとえば、TCK 端子信号の立ち上がり時に TMS 端子信号がハイ・レベル状態に保持されると、TAP コントローラは、Test-Logic-Reset 状態に戻ります。TAP コントローラがこの状態の間、命令は変化しません。

(5) Capture-DR

コントローラ状態において、データは TCK 端子信号の立ち上がりエッジで、カレント命令により選択されたバウンダリ・スキャン・レジスタにパラレル・ロード（この場合、個々のデバイスの入力ピンからそれぞれのバウンダリ・スキャン・レジスタに同時にロードすること）されます。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

TMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移

TMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態に遷移

(6) Shift-DR

このコントローラ状態では、カレント命令によって（バウンダリ・スキャン・レジスタ、またはバイパス・レジスタのどちらかで）TDI と TDO の間が接続されます。シフト・データは、TCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段ずつシフトされます。

カレント命令により選択されたバウンダリ・スキャン・レジスタ、またはバイパス・レジスタは、シリアル・バス上に位置していないとき（Shift-DR 状態でないとき）、前の状態を変化させずに保持します。TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号が立ち上がりエッジの場合、TAP コントローラの状態は次のようになります。

TMS 端子信号がハイ・レベルに保持されたとき：Exit1-DR 状態に遷移

TMS 端子信号がロウ・レベルに保持されたとき：Shift-DR 状態のまま

(7) Exit1-DR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていれば、TAP コントローラは、Update-DR 状態に遷移します。これにより、スキャン・プロセスを終了します。

たとえば、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていれば、TAP コントローラは、Pause-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(8) Pause-DR

コントローラ状態は、バイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらかで接続している TDI と TDO 間のシフトを一時的に停止させます。カレント命令で選択されたこれらのレジスタは、以前の状態が変化しないで保持されます。

TMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-DR 状態に遷移します。TAP コントローラがこの状態の間は、命令は変化しません。

(9) Exit2-DR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-DR 状態に遷移し、スキャン・プロセスを終了します。

たとえば、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-DR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、以前の状態は変化しないで保持されます。TAP コントローラがこの状態の間は、命令は変化しません。

(10) Update-DR

バウンダリ・スキャン・レジスタは、ある命令（たとえば EXTEST 命令）により、パラレル出力の変化（連結されているシフト・レジスタ・パスにシフトされている期間における）を防ぐためのパラレル出力ラッチを持っています。

Update-DR コントローラ状態において、TCK 端子信号の立ち下がりエッジで、データは、シフト・レジスタ・パスからこのレジスタのパラレル・アウトプットにラッチされます。

ラッチのためパラレル・アウトプットに保持されたデータは、このコントローラの状態により変化します（他のコントローラ状態では変化しません）。

カレント命令によって選択されたバウンダリ・スキャン・レジスタにおけるすべてのシフト・レジスタの過程は、変化のない以前の状態が保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

たとえば、TCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Run-Test/Idle 状態に移移します。

(11) Capture-IR

このコントローラ状態において、TCK 端子信号の立ち上がりエッジで、シフト・レジスタは、インストラクション・レジスタに固定論理値のパターン【001 (2進)】をロードします。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それら以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Exit1-IR 状態に移移します。

たとえば、TCK 端子信号の立ち上がりエッジでロウ・レベルが保持されると、TAP コントローラは、Shift-IR 状態に移移します。

(12) Shift-IR

このコントローラ状態において、インストラクション・レジスタ内のシフト・レジスタで TDI と TDO の間が接続されます。シフト・データは、TCK 端子信号の立ち上がりエッジごとにシリアル出力方向に一段シフトされます。

カレント命令によって選択されるバウンダリ・スキャン・レジスタか、バイパス・レジスタは、変化のないそれらの以前の状態が保持されます。

TAP コントローラがこの状態の間、命令は変化しません。

TAP コントローラがこの状態において TCK 端子信号が立ち上がりエッジで、TAP コントローラは、TMS 端子信号がハイ・レベルに保持されていると、Exit1-IR 状態になります。また、TMS 端子信号がロウ・レベルに保持されていると、Shift-IR 状態のままです。

(13) Exit1-IR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR 状態に移移します。これにより、スキャン・プロセスを終了します。

たとえば、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Pause-IR 状態に移移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態の間は、命令は変化しません。

(14) Pause-IR

このコントローラ状態は、インストラクション・レジスタのシフトを一時的に停止させます。カ

レント命令で選択されたバイパス・レジスタとバウンダリ・スキャン・レジスタは、以前の状態が変化しないで保持されます。

TAP コントローラがこの状態の間、命令は変化しません。また、インストラクション・レジスタはその状態を保持します。

TMS 端子信号がロウ・レベルの間、TAP コントローラをこの状態で保持します。TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されているときは、TAP コントローラは、Exit2-IR 状態に遷移します。

(15) Exit2-IR

一時的なコントローラ状態です。この状態において、TCK 端子信号の立ち上がりエッジで TMS 端子信号がハイ・レベルに保持されていると、TAP コントローラは、Update-IR コントローラ状態に遷移します。これにより、スキャン・プロセスを終了します。

たとえば、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されていると、TAP コントローラは、Shift-IR 状態に遷移します。

カレント命令で選択されたバイパス・レジスタと、バウンダリ・スキャン・レジスタのどちらにおいても、それらの以前の状態は変化しないで保持されます。

TAP コントローラがこの状態、またはインストラクション・レジスタにその状態が保持されている間は、命令は変化しません。

(16) Update-IR

このコントローラ状態において、インストラクション・レジスタにシフトされた命令は、TCK 端子信号の立ち下がりエッジで、シフト・レジスタ・パスからパラレル・アウトプット上にラッチされます。いったん、新しい命令がラッチされたらカレント命令となります。

カレント命令によって選択されたバイパス・レジスタ、またはバウンダリ・スキャン・レジスタのどちらも、前の状態を保持します。

TAP コントローラがこの状態で、TCK 端子信号の立ち上がりエッジでハイ・レベルが保持されると、TAP コントローラは、Select-DR-Scan 状態に遷移します。

たとえば、TCK 端子信号の立ち上がりエッジで TMS 端子信号がロウ・レベルに保持されると、TAP コントローラは、Run-Test/Idle 状態に遷移します。

Pause-DR コントローラ状態と、Pause-IR コントローラ状態は、バイパス・レジスタ、バウンダリ・スキャン・レジスタ、またはインストラクション・レジスタ内のデータのシフトを一時停止します。

13.5 TAP コントローラ動作

TAP コントローラの動作は、次のとおりです。

TAP コントローラは (1), (2) のどちらかで状態遷移を行います。

- (1) TCK 端子信号の立ち上がりエッジ
- (2) 電源投入

TAP コントローラは、この標準で定義されているバイパス・レジスタ、バウンダリ・スキャン・レジスタ、およびインストラクション・レジスタの動作を制御する信号を生成します(図 13-4, 図 13-5 参照)。

TDO 端子出力バッファと、TDO 端子に出力するレジスタを選択する周辺回路は、表 13-1 のように制御されています。

表 13-1 において定義される TDO 端子は、その状態に遷移したあと、TCK 端子信号の立ち下がりエッジで変化します。

表 13-1 それぞれのコントローラ状態における動作

コントローラ状態	TDO 端子へドライブする選択されたレジスタ	TDO 端子ドライバ
Test-Logic-Reset	未定義	ハイ・インピーダンス
Run-Test/Idle		
Select-DR-Scan		
Select-IR-Scan		
Capture-IR		
Shift-IR	インストラクション・レジスタ	アクティブ
Exit1-IR	未定義	ハイ・インピーダンス
Pause-IR		
Exit2-IR		
Update-IR		
Capture-DR		
Shift-DR	データ・レジスタ (バウンダリ・スキャン・レジスタ, バイパス・レジスタ)	アクティブ
Exit1-DR	未定義	ハイ・インピーダンス
Pause-DR		
Exit2-DR		
Update-DR		

図 13-4 テスト・ロジックの動作 (インストラクション・スキャン)

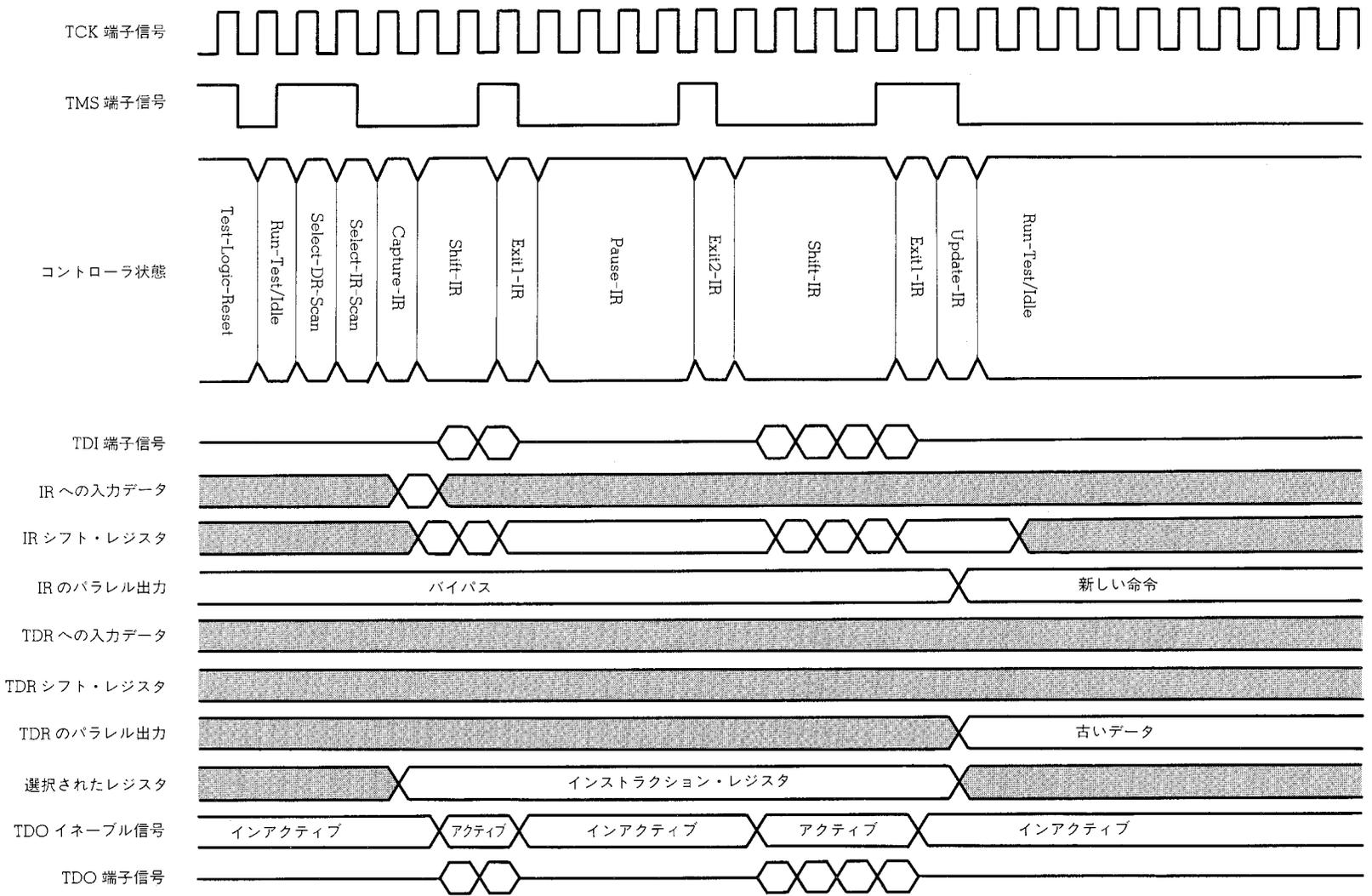


図 13-4 テスト・ロジックの動作 (インストラクション・スキャン)

Don't care, あるいは未定義

図 13-5 テスト・ロジックの動作 (データ・スキヤン)

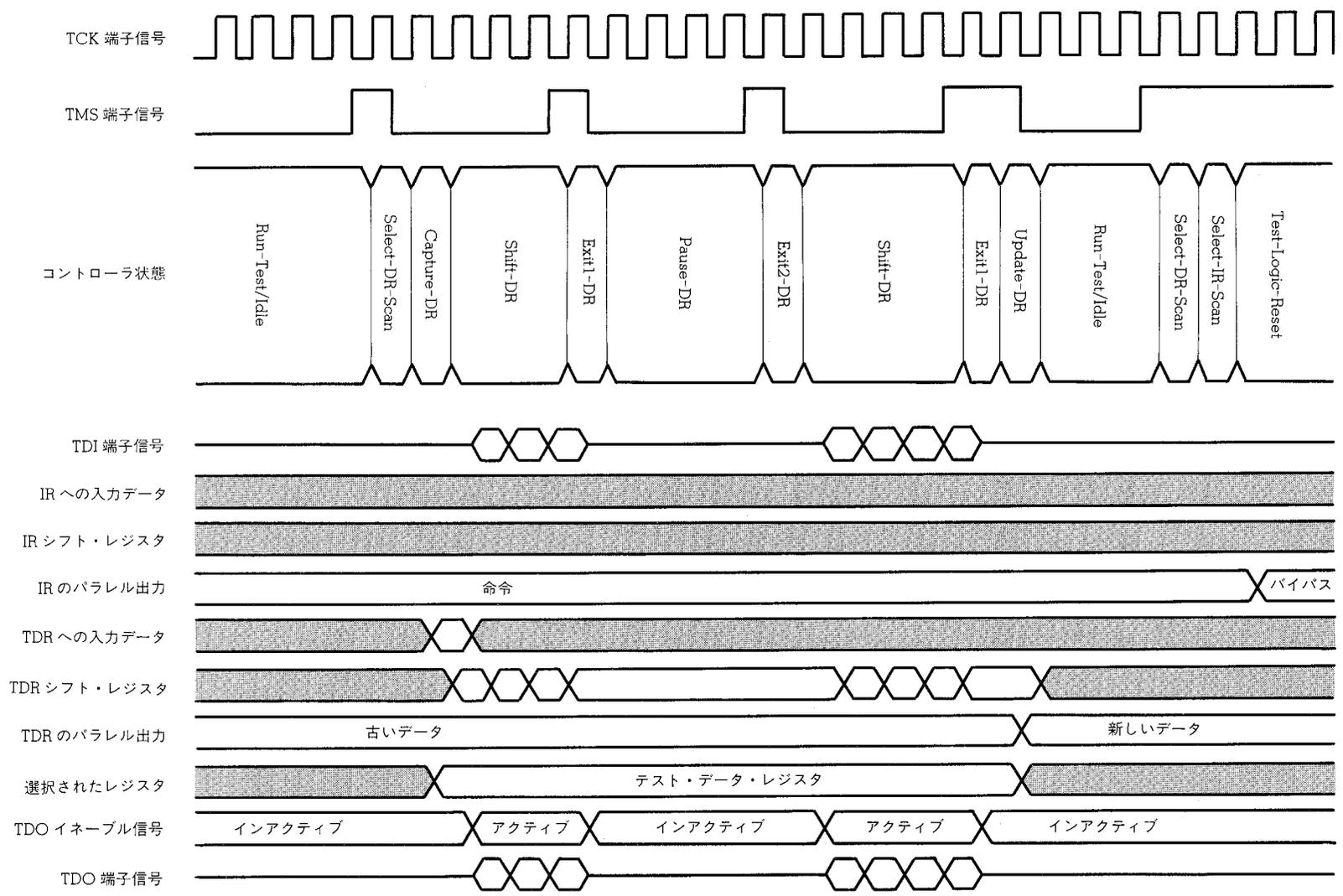


図 13-5 テスト・ロジックの動作 (データ・スキヤン)

Don't care, あるいは未定義

13.6 TAP コントローラの初期化

TAP コントローラの初期化は次のとおりです。

- (1) μ PD72070 に内蔵されているパワー・オン・リセット回路により、電源投入で TAP コントローラは、強制的に Test-Logic-Reset コントローラ状態になります。
- (2) TAP コントローラは、システム・リセットのようなシステム入力の動作によっても初期化されません。
- (3) TAP コントローラは、TCK 端子信号の立ち上がりエッジ (TMS 端子信号がハイ・レベルを保持) 5 回で、Test-Logic-Reset コントローラ状態に遷移します。

13.7 インストラクション・レジスタ

このレジスタは、次のように定義されます (13.2 バウンダリ・スキャン回路内部構成参照)。

- (1) インストラクション・レジスタにシフト入力された命令は、Update-IR コントローラ状態と、Test-Logic-Reset コントローラ状態でのみに変化するようにラッチされます。
- (2) インストラクション・レジスタのシリアル入力と、シリアル出力間のデータの反転はありません。
- (3) Capture-IR コントローラ状態において、このレジスタ・セルは、固定された 2 進の “001” パターン・データ (LSB (Least Significant Bit) が “1”) がロードされます。
- (4) Test-Logic-Reset コントローラ状態の間、このレジスタは、固定された 2 進の “001” パターン・データ (LSB (Least Significant Bit) が “1”) がセットされます。
- (5) このレジスタが読み出されているとき、TCK 端子信号の立ち下がりエッジごとに LSB を先頭にして MSB まで、TDO 端子からデータが出力されます。

μ PD72070 におけるこの JTAG バウンダリ・スキャン回路は、このインストラクション・レジスタに指定されたデータの設定によって、以下に示す 4 つの命令のみサポートすることができます。

- BYPASS 命令
- SAMPLE/PRELOAD 命令
- EXTEST 命令
- CLAMP-IO 命令

インストラクション・レジスタ			サポートする命令
D2	D1	D0	
0	0	0	EXTEST 命令
0	0	1	BYPASS 命令 (リセット後の状態) ^注
0	1	0	SAMPLE/PRELOAD 命令
0	1	1	CLAMP-IO 命令
1	0	0	未使用 (BYPASS 命令)
1	0	1	未使用 (BYPASS 命令)
1	1	0	未使用 (BYPASS 命令)
1	1	1	BYPASS 命令

注 Capture-IR での TCK の立ち上がりでラッチされます。

13.7.1 BYPASS 命令

この命令は、インストラクション・データ “1××” または、“001” (“×” は “0” または “1” のどちらでもよい) で指定されます。Shift-DR コントローラ状態において、この命令は、バイパス・レジスタ (TDI 端子と TDO 端子の間をシリアル・アクセスするためのもの)のみを選択するために使用されます。

この命令が選択されているとき、JTAG バウンダリ・スキャン回路の動作は、 μ PD72070 の動作に影響をしません。

Test-Logic-Reset コントローラ状態の間、このバイパス命令が選択されます。

13.7.2 SAMPLE/PRELOAD 命令

この命令は、インストラクション・データ “010” で指定されます。この命令は、バウンダリ・スキャン・レジスタを選択するため、および μ PD72070 の一般動作時のデータをサンプリングして評価するために使用されます。サンプリングの際のデータは、バウンダリ・スキャン・レジスタにラッチされます。

この命令が選択されたときの JTAG バウンダリ・スキャン回路動作を (1)~(3) に示します。

(1) JTAG バウンダリ・スキャン回路は、 μ PD72070 の動作、または μ PD72070 の端子とチップ上の回路の間の信号のフローに影響を与えません。

(2) Capture-DR コントローラ状態において、 μ PD72070 端子のすべての信号の状態は、TCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

この場合、ロードされたデータを、 μ PD72070 の入力端子と出力端子へロードすることはできません。Shift-DR コントローラ状態において、これらのデータは、TDO 端子の方向へシフトすることができます。

(3) バウンダリ・スキャン・レジスタの出力ビットのすべては、Update-DR コントローラ状態において、TCK 端子信号の立ち下がりエッジにより、すでにバウンダリ・スキャン・レジスタのシリアル・パスに保持されているデータで古いデータを更新しています。ただし、Shift-DR コントローラ状態において、これらのデータは、TDO 端子の方向へシフトすることができません。

13.7.3 EXTEST 命令

インストラクション・データ“000”で指定されます。Shift-DR コントローラ状態において、TDI 端子と TDO 端子の間のシリアル・アクセスのバウンダリ・スキャン・レジスタを選択するために使用されません。

この命令が選択されているとき：システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。また、Update-DR コントローラ状態において、TCK 端子信号の立ち下がりエッジでのみ変化します。システム入力端子から入力されるすべての信号の状態は、Capture-DR コントローラ状態において、TCK 端子信号の立ち上がりエッジでバウンダリ・スキャン・レジスタにロードされます。

13.7.4 CLAMP-IO 命令

インストラクション・データ“011”で指定されます。Shift-DR コントローラ状態において、TDI 端子と TDO 端子の間のシリアル・アクセスでバイパス・レジスタのみを選択するために使用されます。

この命令が選択されているとき：システム出力端子からドライブされるすべての信号の状態は、バウンダリ・スキャン・レジスタにシフトされているデータによって完全に定義されます。

システム出力端子に配置されたバウンダリ・スキャン・レジスタ・セルの状態は、CLAMP-IO 命令が選択されている間は変化しません。

13.8 バウンダリ・スキャン・レジスタ

割り当てられたビットの機能をこの項で説明します。

表 13-2 端子のためのセルのタイプ

タイプ	機 能
I	すべての入力端子のためのものです。
O	論理的にハイか、ロウで設定されるすべての出力端子のためのものです。
OZ	論理的にハイ、ロウ、またはハイ・インピーダンスで設定される DMARQ 端子と、INT 端子のみのものです。
I/O	データ・バスのためのものです。

このレジスタは、4タイプのセル (I, O, OZ, I/O) で構成されます。

以下に示す端子は、上記のようなセルを持っていません。

- デジタル電源
- アナログ電源 (V_{DD} , GND, AV_{DD} , AGND)
- クロック出力端子 (XA2)
- アナログ端子 (LPF1, LPF2, CGP1, CGP2)

電源は命令が動作できるかどうかによって、これらの端子のチェックが可能です。したがって、電源にバウンダリ・スキャン・レジスタを持たせることは無意味です。

また、アナログ端子は論理的に出力することができません。これらの端子にも、バウンダリ・スキャン・レジスタを持たせることは無意味です。

Iタイプのセル (すべての入力端子のためのセル) のバウンダリ・スキャン・レジスタは、図 13-6 に示されるような回路で構成されています。この図からわかるように、入力端子は、 μ PD72070 の内部論理回路に直接接続されています。たとえば、水晶振動子が XA1 端子と XA2 端子に接続されているときに、あるゲートがその端子と μ PD72070 の内部論理回路の間に挿入されていれば、振動子は自己振動しません。また、ほかの入力端子、特にデータ・バス端子は、入力電圧レベルが中間電圧レベルになる場合に、入力バッファで過電流から保護してください。

Oタイプのセル のバウンダリ・スキャン・レジスタは、図 13-7 に示されるような回路で構成されています。

OZタイプのセル のバウンダリ・スキャン・レジスタは、図 13-8 に示されるような回路で構成されています。このタイプのセルにおいて、2つのレジスタは、その端子から出力されるデータと、その端子の出力を有効にする信号のためにあります。これらの OZタイプのセルは、DMARQ 端子と、INT 端子のみに適用されます。

I/Oタイプのセルのバウンダリ・スキャン・レジスタは、図13-9に示されるような回路で構成されています。このタイプのセルにおいて、3つのレジスタは、その端子からμPD72070の内部回路へ出力されるデータ、その端子の出力を有効にする信号、およびその端子からμPD72070の内部回路へ入力されるデータのためです。I/Oタイプのセルは、DB0端子からDB7端子のみに適用します。

図13-6 Iタイプのセル

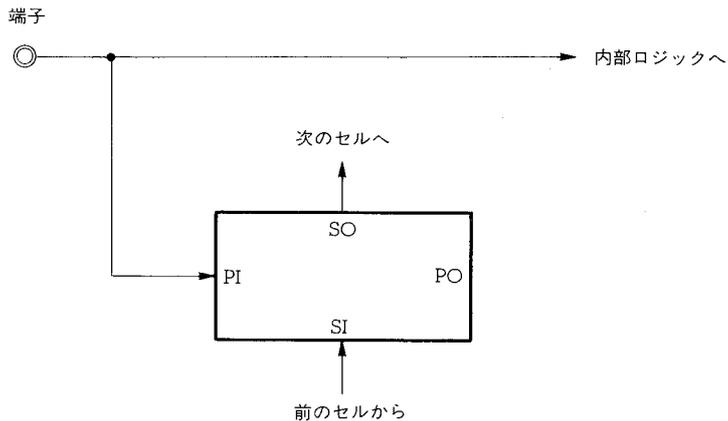


図13-7 Oタイプのセル

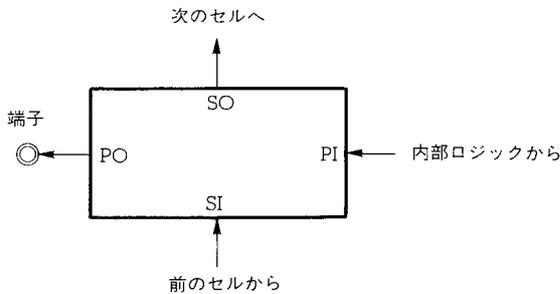


図 13-8 OZ タイプのセル

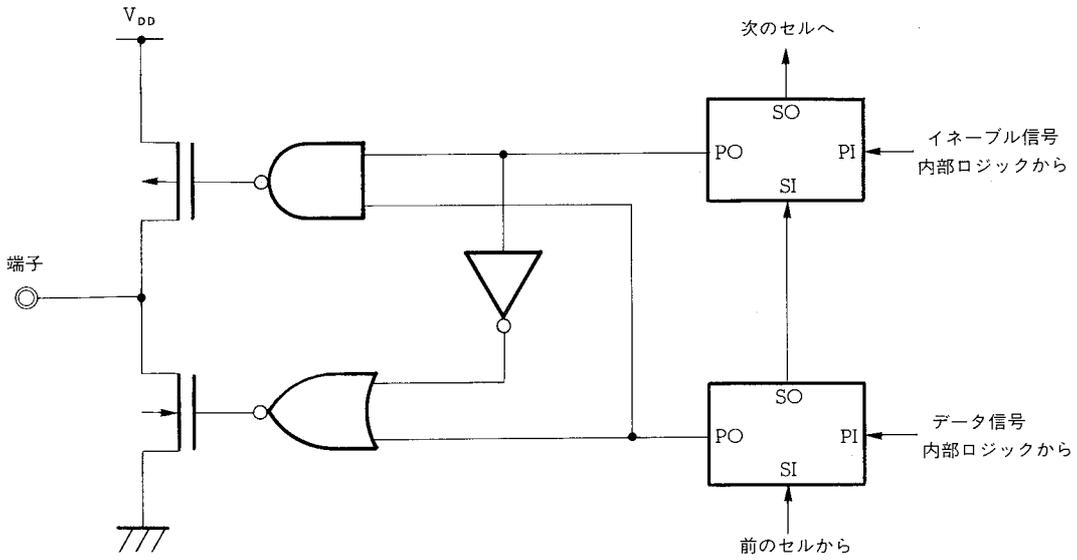
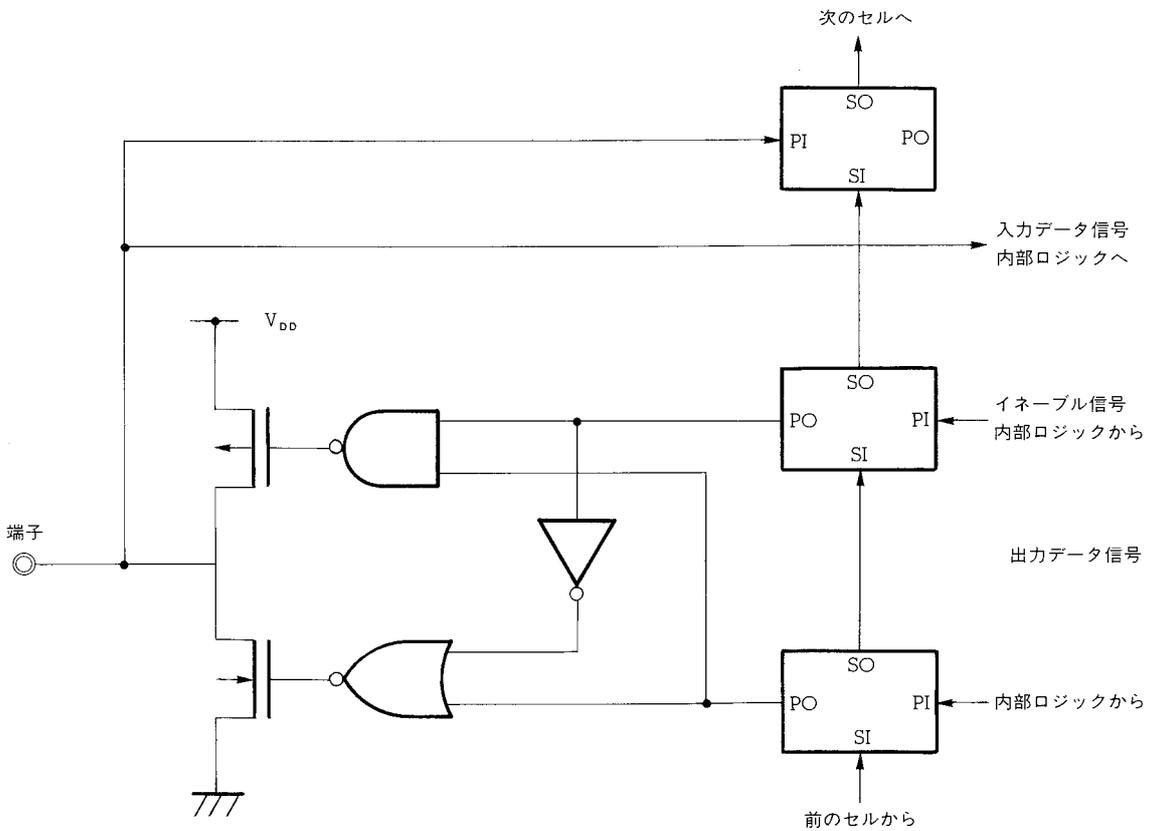


図 13-9 I/O タイプのセル



ビット	機能
D0	$\overline{\text{DEN1}}$ 端子から出力されるデータ
D1	$\overline{\text{DEN0}}$ 端子から出力されるデータ
D2	$\overline{\text{HDLD}}$ (SEL) 端子から出力されるデータ
D3	$\overline{\text{DS3}}$ 端子から出力されるデータ
D4	$\overline{\text{INDEX}}$ 端子に入力されるデータ
D5	$\overline{\text{DS0}}$ 端子から出力されるデータ
D6	$\overline{\text{DS1}}$ 端子から出力されるデータ
D7	$\overline{\text{DS2}}$ 端子から出力されるデータ
D8	$\overline{\text{ME0}}$ 端子から出力されるデータ
D9	$\overline{\text{ME1}}$ 端子から出力されるデータ
D10	$\overline{\text{DIR}}$ (CA0) 端子から出力されるデータ
D11	$\overline{\text{STEP}}$ (CA1) 端子から出力されるデータ
D12	$\overline{\text{SIDE}}$ (CA2) 端子から出力されるデータ
D13	NC (LSTRB) 端子から出力されるデータ
D14	$\overline{\text{ME2}}$ (ENBLO) 端子から出力されるデータ
D15	$\overline{\text{ME3}}$ (ENBLI) 端子から出力されるデータ
D16	$\overline{\text{WDATA}}$ 端子から出力されるデータ
D17	$\overline{\text{WGATE}}$ 端子から出力されるデータ
D18	$\overline{\text{TRK0}}$ 端子から入力されるデータ
D19	$\overline{\text{WPRT}}$ 端子から入力されるデータ
D20	$\overline{\text{RDATA}}$ 端子から入力されるデータ
D21	$\overline{\text{DKCG/READY}}$ 端子から入力されるデータ
D22	PCTYP1 端子から入力されるデータ
D23	PCTYP0 端子から入力されるデータ
D24	$\overline{\text{DRV2}}$ 端子から入力されるデータ
D25	$\overline{\text{ENDKCG}}$ 端子から入力されるデータ
D26	TC 端子から入力されるデータ
D27	DMARQ 端子を有効にするイネーブル信号
D28	DMARQ 端子から出力されるデータ
D29	INT 端子を有効にするイネーブル信号
D30	INT 端子から出力されるデータ
D31	DB7 端子から入力されるデータ
D32	DB7 端子を有効にするイネーブル信号

ビット	機能
D33	DB7 端子から出力されるデータ
D34	DB6 端子から入力されるデータ
D35	DB6 端子を有効にするイネーブル信号
D36	DB6 端子から出力されるデータ
D37	DB5 端子から入力されるデータ
D38	DB5 端子を有効にするイネーブル信号
D39	DB5 端子から出力されるデータ
D40	DB4 端子から入力されるデータ
D41	DB4 端子を有効にするイネーブル信号
D42	DB4 端子から出力されるデータ
D43	DB3 端子から入力されるデータ
D44	DB3 端子を有効にするイネーブル信号
D45	DB3 端子から出力されるデータ
D46	DB2 端子から入力されるデータ
D47	DB2 端子を有効にするイネーブル信号
D48	DB2 端子から出力されるデータ
D49	DB1 端子から入力されるデータ
D50	DB1 端子を有効にするイネーブル信号
D51	DB1 端子から出力されるデータ
D52	DB0 端子から入力されるデータ
D53	DB0 端子を有効にするイネーブル信号
D54	DB0 端子から出力されるデータ
D55	A2 端子から入力されるデータ
D56	A1 端子から入力されるデータ
D57	A0 端子から入力されるデータ
D58	\overline{CS} 端子から入力されるデータ
D59	\overline{WR} 端子から入力されるデータ
D60	\overline{RD} 端子から入力されるデータ
D61	DMAAK 端子から入力されるデータ
D62	RESET 端子から入力されるデータ
D63	XA1 端子から入力されるデータ
D64	XB 端子から入力されるデータ

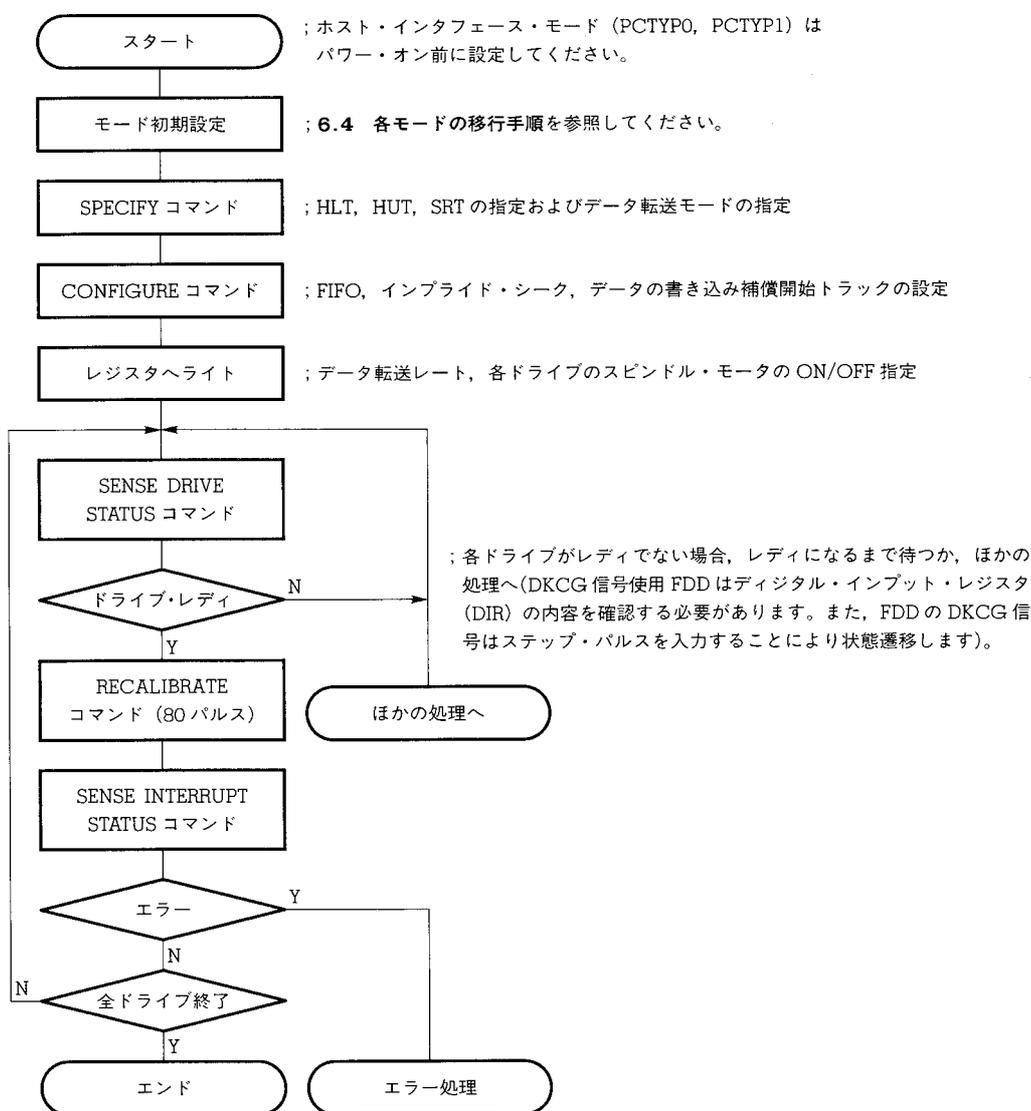
保守 / 廃止

第14章 アプリケーション

14.1 スタンド FDD の場合の制御

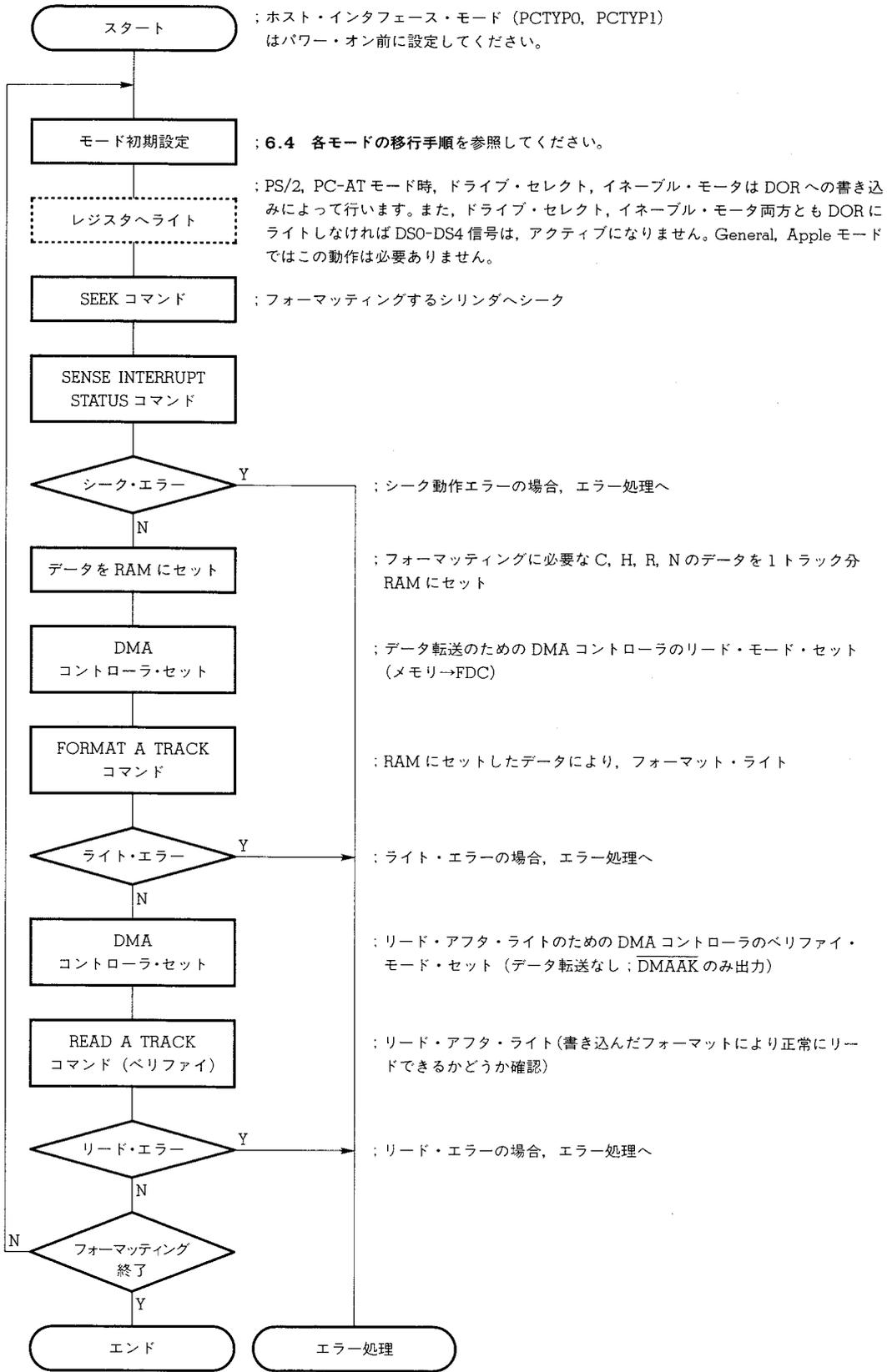
14.1.1 1 M/1.6 M/2 MB FDD 使用時のコマンド実行手順

(1) イニシャライズ手順

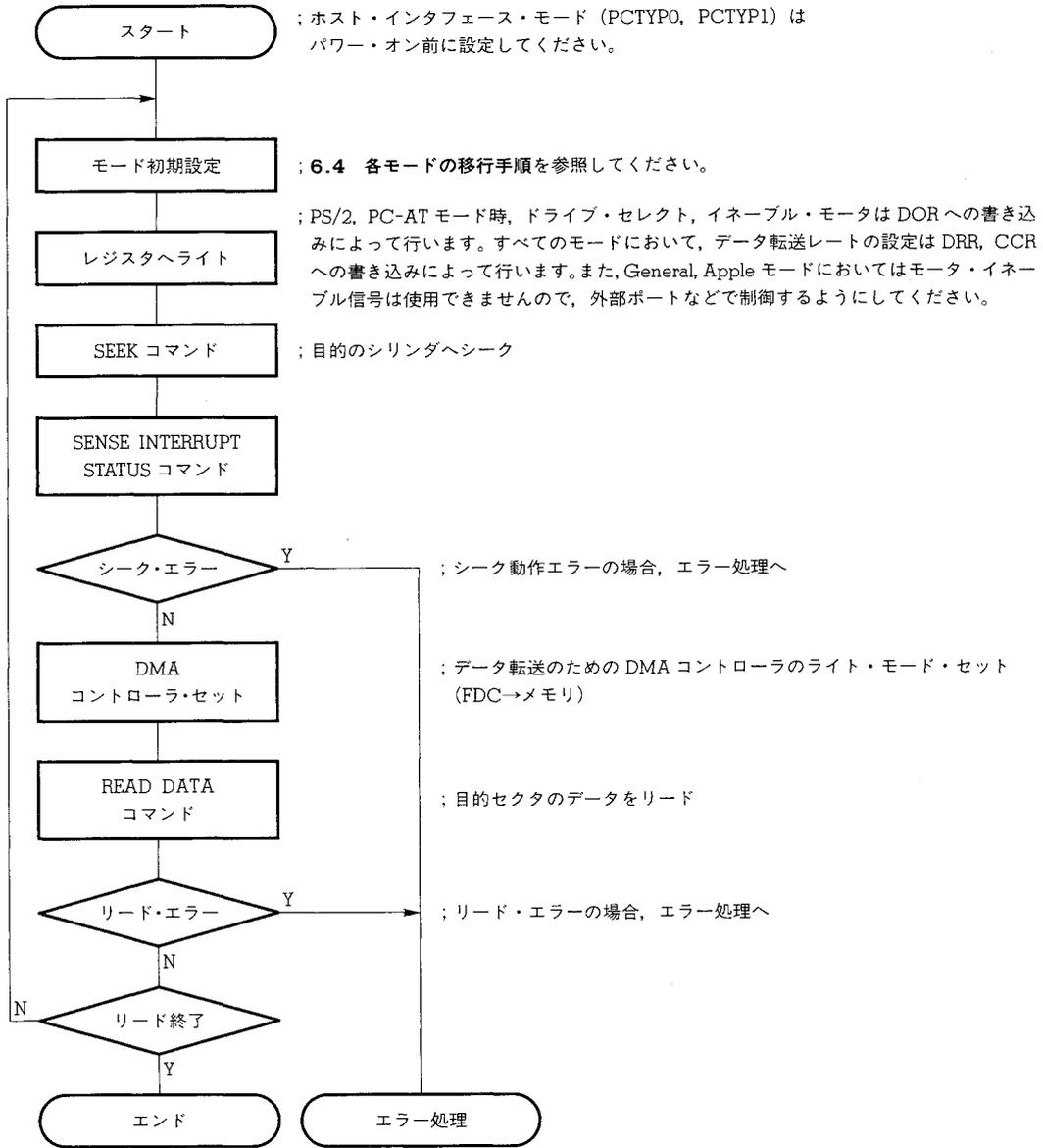


注意 SPECIFY コマンドおよび CONFIGURE コマンドはリセット後 μ PD72070 に対して最初にセットしてください。また RECALIBRATE コマンドは物理的なヘッド位置と μ PD72070 内部の PCN の値を一致させるコマンドですので, リード/ライト, シーク・コマンドに先立って実行してください。

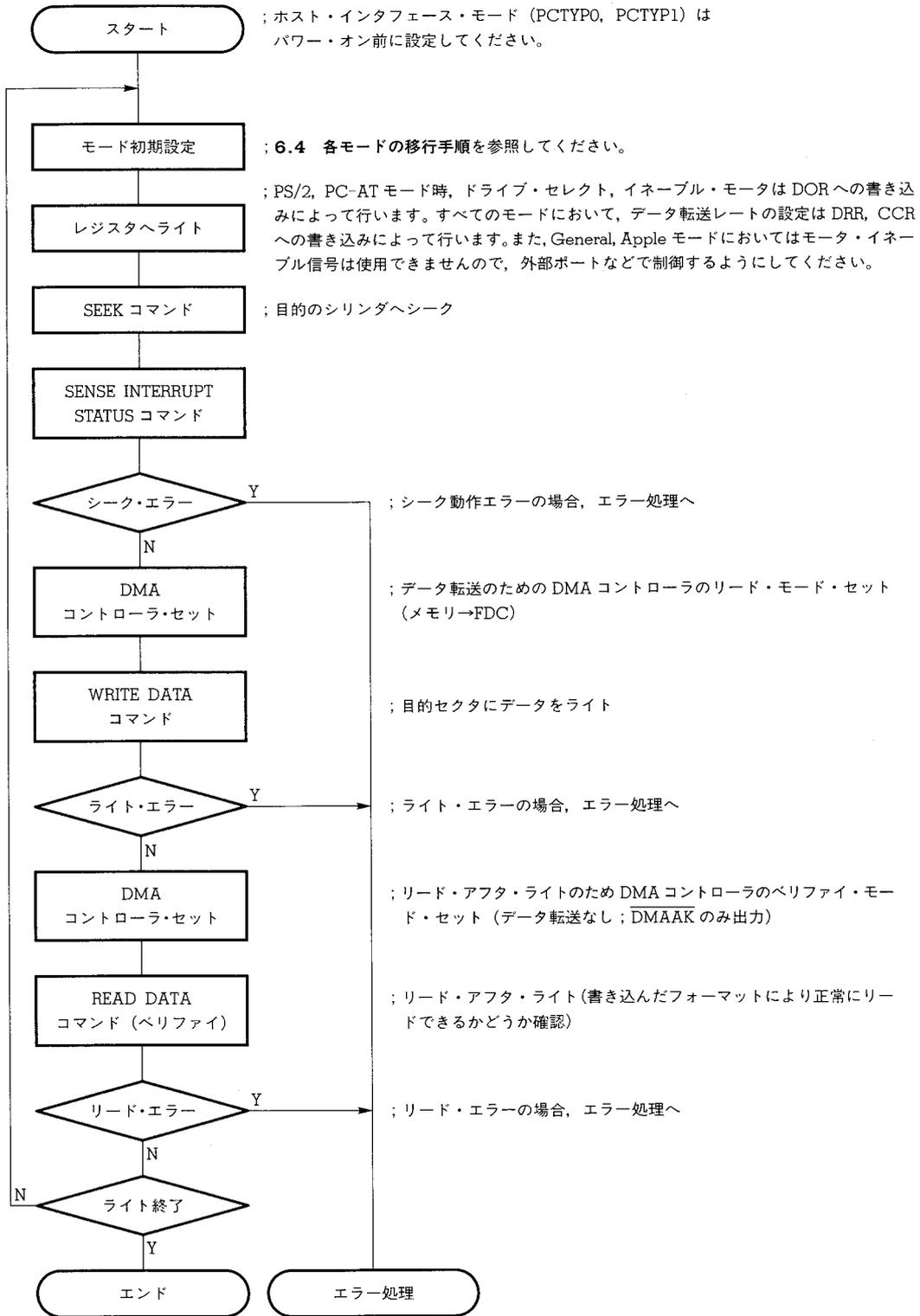
(2) フォーマッティング手順



(3) 読み出し手順

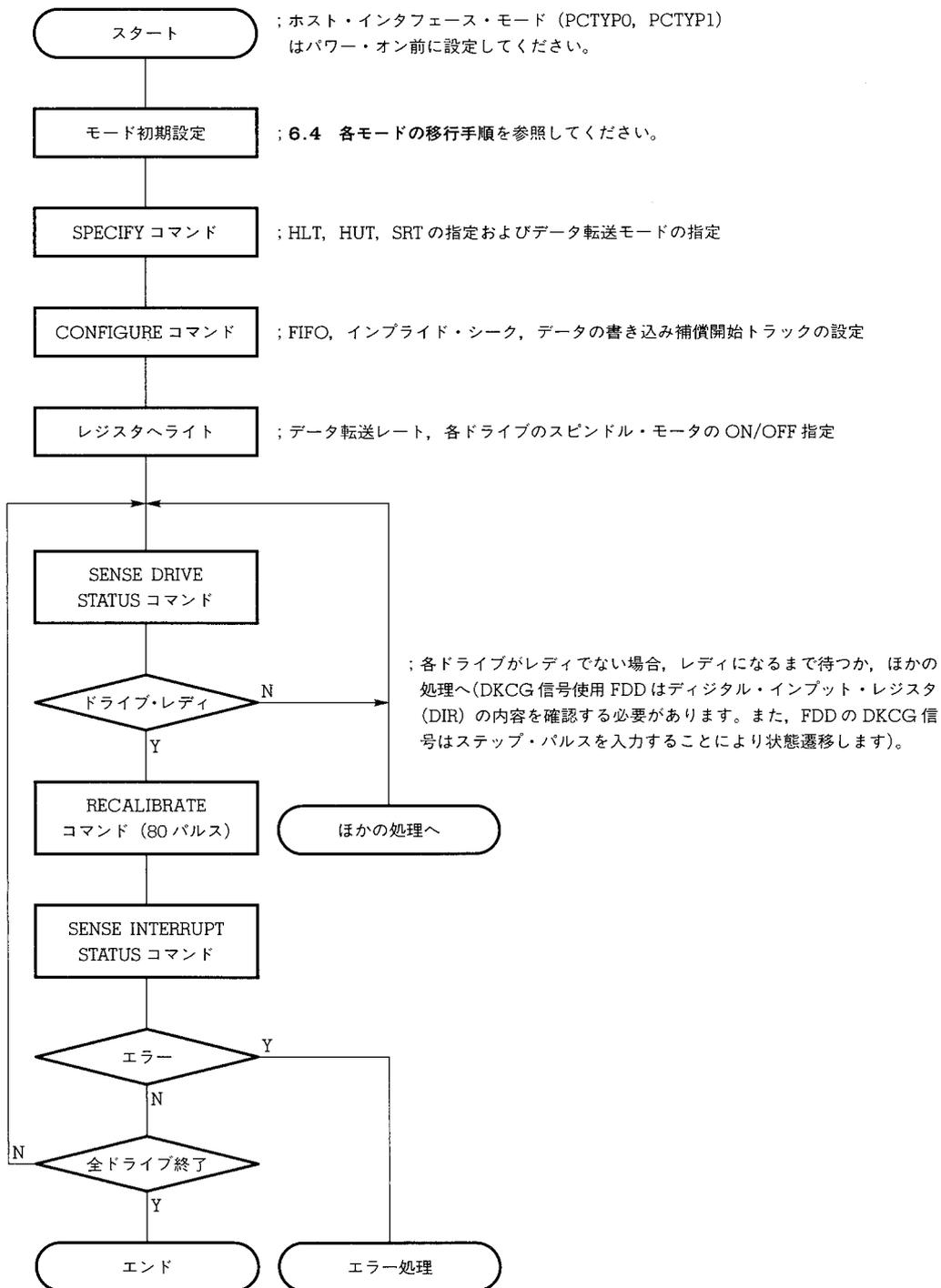


(4) 書き込み手順



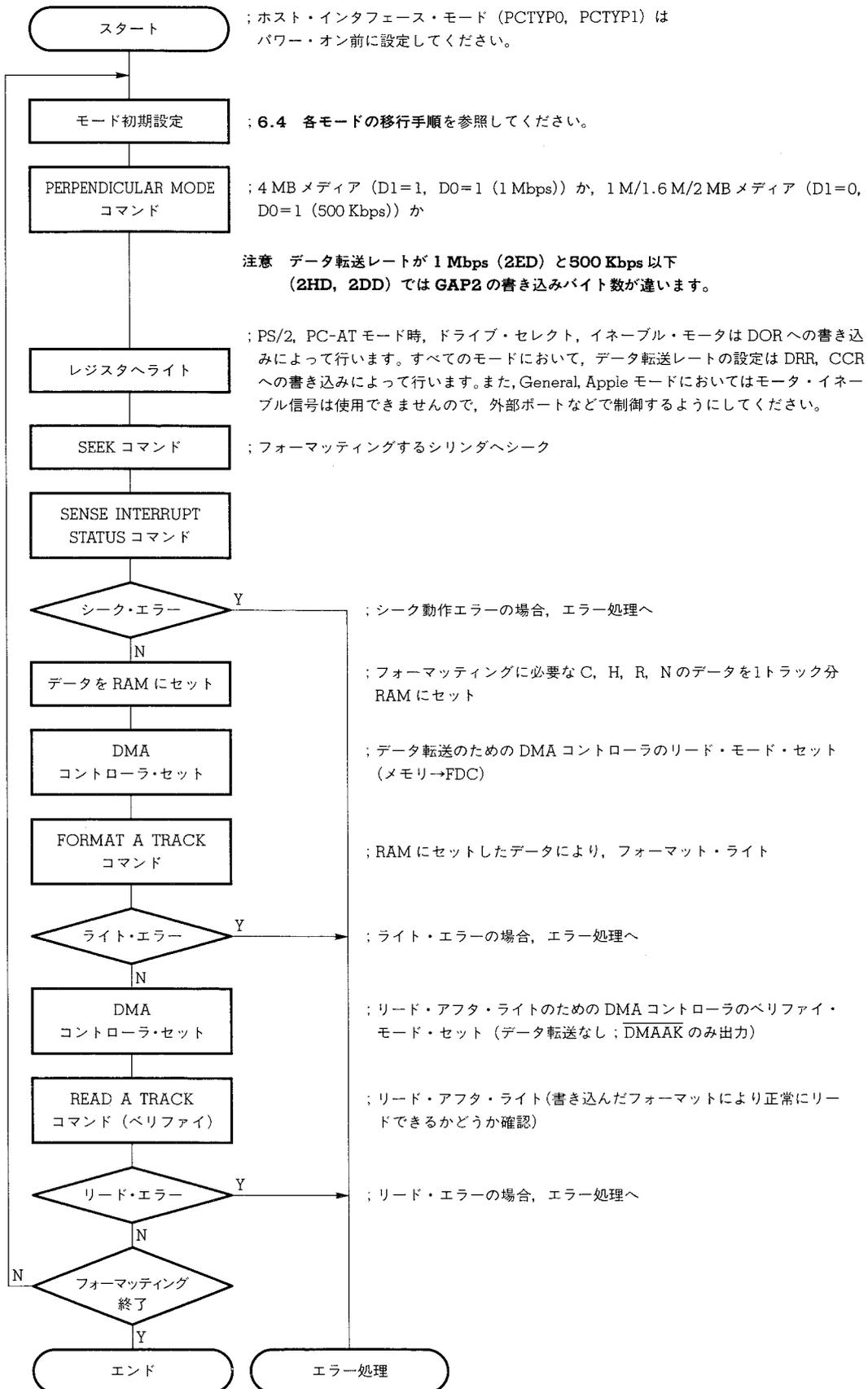
14.1.2 垂直磁化記録方式 4 MB FDD 使用時のコマンド実行手順

(1) イニシャライズ手順

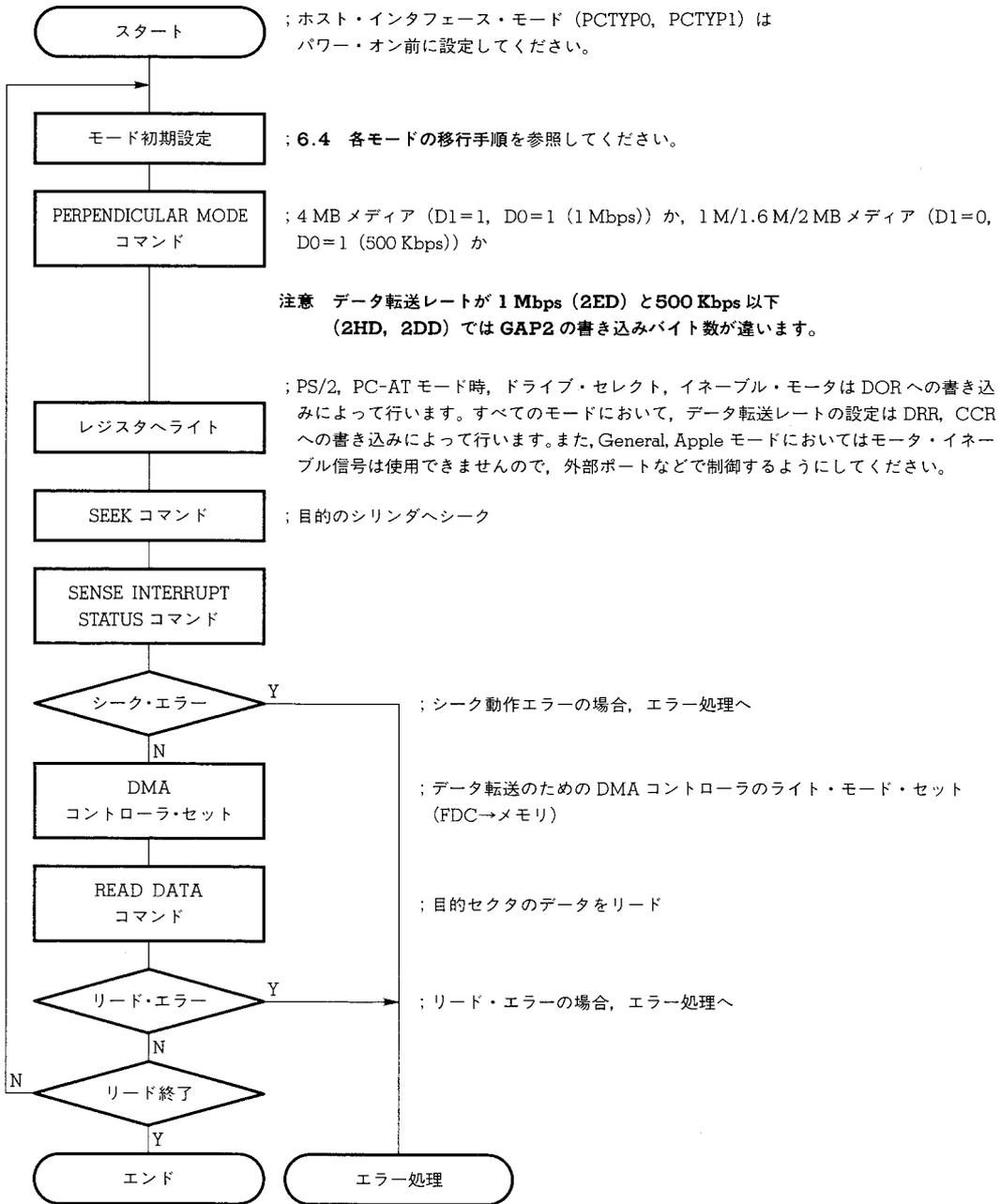


注意 SPECIFY コマンドおよび CONFIGURE コマンドはリセット後 μ PD72070 に対して最初にセットしてください。また RECALIBRATE コマンドは物理的なヘッド位置と μ PD72070 内部の PCN の値を一致させるコマンドですので、リード/ライト、シーク・コマンドに先立って実行してください。

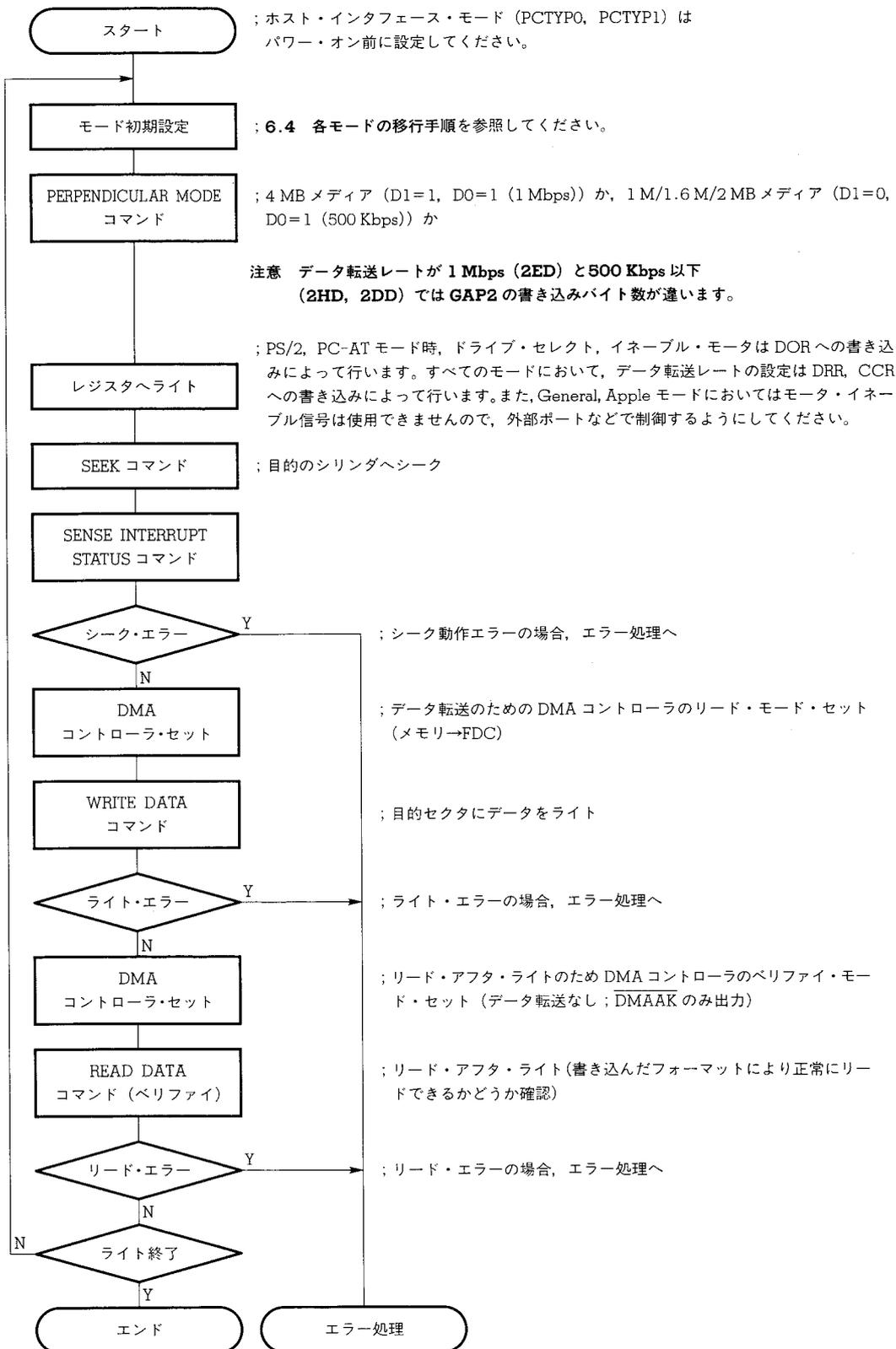
(2) フォーマッティング手順



(3) 読み出し手順



(4) 書き込み手順



14.2 コマンド一覧

(1/9)

分類	コマンド	Phase	R/W	D7 ----- DO								備考	
イニシャルイズ系	SPECIFY	C	W 1	0	0	0	0	0	0	1	1		
			W 2	SRT				HUT					
			W 3	HLT						ND			
	CONFIGURE	C	W 1	0	0	0	1	0	0	1	1		
			W 2	0	0	0	0	0	0	0	0		
			W 3	0	EIS	EFO	0	FIFOTHR					
			W 4	PRETRK									
	PERPENDICULAR MODE	C	W 1	0	0	0	1	0	0	1	0		
			W 2	×	×	×	×	×	×	D1	D0		
	SELECT DRIVE TYPE	C	W 1	0	0	1	1	0	0	1	0		
W 2			×	×	×	×	×	×	D1	D0			
SET DRIVE MODE	C	W 1	0	MF	0	1	1	1	0	0			
		W 2	×	×	×	×	×	×	×	DR			
シーク系	RECALIBRATE	C	W 1	0	0	0	0	0	1	1	1		
			W 2	×	×	×	×	×	×	DRI	DRO		
	SEEK	C	W 1	0	0	0	0	1	1	1	1		
			W 2	×	×	×	×	×	×	DRI	DRO		
			W 3	NCN									
	RELATIVE SEEK	C	W 1	1	DIR	0	0	1	1	1	1		
			W 2	×	×	×	×	×	HD	DRI	DRO		
			W 3	Relative Cylinder Number									
		E	—	—	—								リキャリプレート動作
			—	—	—								シーク動作
シーク系	SEEK	C	W 1	0	0	0	0	1	1	1	1		
			W 2	×	×	×	×	×	×	DRI	DRO		
			W 3	NCN									
	E	—	—	—								シーク動作	
		—	—	—								シーク動作	



(2/9)

分類	コマンド	Phase	R/W	D7 ————— DO								備考	
リ ー ド 系	READ DATA	C	W	1	MT	MF	SK/TB	0	0	1	1	0	} 実行開始セクタの ID 情報
			W	2	×	×	×	×	×	HD	DR1	DRO	
			W	3	C								
			W	4	H								
			W	5	R								
			W	6	N								
			W	7	EOT								
			W	8	GSL(MFM)/Don't Care(GCR)								
			W	9	DTL								
		E	R	—	転送データ								データ転送
		R	R	1	IC		0	0	NR	HD	DR1	DRO	STO(D7ビットは常に0)
			R	2	EN	0	DE	OR	0	ND	0	MA	ST1
			R	3	0	CM	DD	NC	0	0	BC	MD	ST2
			R	4	C								IC(STO)=00: 実行終了セクタの次のセクタ
			R	5	H								IC(STO)=01: 実行終了(異常発生)セクタ
			R	6	R								ただし, IC(STO)=00, CM(ST2)=1で, かつ
			R	7	N								SK(コマンド1)=0のときは実行終了
		READ DELETED DATA	C	W	1	MT	MF	SK	0	0	1	1	0
	W			2	×	×	×	×	×	HD	DR1	DRO	
	W			3	C								
	W			4	H								
	W			5	R								
	W			6	N								
	W			7	EOT								
	W			8	GSL								
	W			9	DTL								
	E		R	—	転送データ								データ転送
	R		R	1	IC		0	0	NR	HD	DR1	DRO	STO (D7ビットは常に0)
R			2	EN	0	DE	OR	0	ND	0	MA	ST1	
R			3	0	CM	DD	NC	0	0	BC	MD	ST2	
R			4	C								IC(STO)=00: 実行終了セクタの次のセクタ	
R			5	H								IC(STO)=01: 実行終了(異常発生)セクタ	
R			6	R								ただし, IC(STO)=00, CM(ST2)=1で, かつ	
R			7	N								SK(コマンド1)=0のときは実行終了	

(3/9)

分類	コマンド	Phase	R/W	D7 ————— DO								備考
リ ド 系	READ ID	C	W 1	0	MF	0	0	1	0	1	0	最初に読むエラーのない ID 情報をストアする (データ転送なし) READ DATA と同じ E-Phase で読み出した ID 情報
			W 2	×	×	×	×	×	HD	DR1	DRO	
		R	R 1	IC	0	0	NR	HD	DR1	DRO		
			R 2	EN	0	DE	OR	0	ND	0	MA	
			R 3	0	0	0	0	0	0	0	0	
			R 4	C								
			R 5	H								
			R 6	R								
			R 7	N								
		READ A TRACK	C	W 1	0	MF	0/TB	0	0	0	1	
	W 2			×	×	×	×	×	HD	DR1	DRO	
	W 3			C								
	W 4			H								
	W 5			R								
	W 6			N								
	W 7			EOT								
	W 8			GSL(MFM)/Don't Care(GCR)								
W 9	DTL											
E	R -	転送データ								データ転送		
R	R 1	IC	0	0	NR	HD	DR1	DRO				
	R 2	EN	0	DE	OR	0	ND	0	MA			
	R 3	0	CM	DD	NC	0	0	BC	MD			
	R 4	C										
	R 5	H										
	R 6	R										
	R 7	N										



(4/9)

分類	コマンド	Phase	R/W	D7 ————— D0										備考				
リ ド 系	VERIFY	C	W	1	MT	MF	SK	1	0	1	1	0					} 実行開始セクタの ID 情報	
			W	2	EC	×	×	×	×	×	HD	DR1	DR0					
			W	3	C													
			W	4	H													
			W	5	R													
			W	6	N													
			W	7	EOT													
			W	8	GSL													
			W	9	DTL/SC													
		E	R	—	転送データ										データ転送			
		R	R	1	IC		0	0	NR	HD	DR1	DR0	ST0(D7 ビットは常に 0)					
			R	2	EN	0	DE	0	0	ND	0	MA	ST1					
			R	3	0	CM	DD	NC	0	0	BC	MD	ST2					
			R	4	C										IC(ST0)=00: 実行終了セクタの次のセクタ			
			R	5	H										IC(ST0)=01: 実行終了(異常発生)セクタ			
			R	6	R										ただし, IC(ST0)=00, CM(ST2)=1 で, かつ			
			R	7	N										SK(コマンド1)=0のときは実行終了			
		SCAN EQUAL	C	W	1	MT	MF	SK	1	0	0	0	1					} READ DATA に同じ
	W			2	×	×	×	×	×	HD	DR1	DR0						
	W			3	C													
	W			4	H													
W	5			R														
W	6			N														
W	7			EOT														
W	8			GSL														
W	9			STP														
E	W		—	転送データ										データ比較				
R	R		1	IC		0	0	NR	HD	DR1	DR0					} 最終比較セクタ		
	R		2	EN	0	DE	OR	0	ND	0	MA							
	R		3	0	CM	DD	NC	SH	SN	BC	MD							
	R	4	C															
	R	5	H															
	R	6	R															
	R	7	N															

(5/9)

分類	コマンド	Phase	R/W	D7 ————— DO								備考
				D7	D6	D5	D4	D3	D2	D1	D0	
リ ド 系	SCAN LOW OR EQUAL	C	W 1	MT	MF	SK	1	1	0	0	1	READ DATA に同じ
			W 2	×	×	×	×	×	HD	DR1	DRO	
			W 3	C								
			W 4	H								
			W 5	R								
			W 6	N								
			W 7	EOT								
			W 8	GSL								
			W 9	STP								
		E	W -	転送データ								
	R	R 1	IC	0	0	NR	HD	DR1	DRO	最終比較セクタ		
		R 2	EN	0	DE	OR	0	ND	0		MA	
		R 3	0	CM	DD	NC	SH	SN	BC		MD	
		R 4	C									
		R 5	H									
		R 6	R									
		R 7	N									
	SCAN HIGH OR EQUAL	C	W 1	MT	MF	SK	1	1	1	0	1	READ DATA に同じ
			W 2	×	×	×	×	×	HD	DR1	DRO	
			W 3	C								
			W 4	H								
W 5			R									
W 6			N									
W 7			EOT									
W 8			GSL									
W 9			STP									
E		W -	転送データ								データ比較	
R	R 1	IC	0	0	NR	HD	DR1	DRO	最終比較セクタ			
	R 2	EN	0	DE	OR	0	ND	0		MA		
	R 3	0	CM	DD	NC	SH	SN	BC		MD		
	R 4	C										
	R 5	H										
	R 6	R										
	R 7	N										

(6/9)

分類	コマンド	Phase	R/W	D7 ————— DO										備考	
リ ー ド 系	RAW DUMP	C	W	1	0	MF	0	1	1	1	1	1	0		
			W	2	×	×	×	RDM	HD	DR1	DRO				
			W	3	C										
			W	4	H										
			W	5	R										
			W	6	N										
			W	7	ダンプ・バイト数 (MSB)										
			W	8	ダンプ・バイト数 (LSB)										
		E	W	-	転送データ										
		R	R	1	IC	0	0	NR	HD	FIN	DRO				
			R	2	EN	0	DE	OR	0	ND	0	MA			
			R	3	0	CM	0	0	0	0	0	MD			
			R	4	C (無関係)										
			R	5	H (無関係)										
R	6		R (無関係)												
R	7		N (無関係)												
ラ イ ト 系	WRITE DATA	C	W	1	MT	MF	0/TB	0	0	1	0	1			
			W	2	×	×	×	×	×	HD	DR1	DRO			
			W	3	C										
			W	4	H										
			W	5	R										READ DATA に同じ
			W	6	N										
			W	7	EOT										
			W	8	GSL(MFM)/Don't Care(GCR)										
			W	9	DTL										
		E	W	-	転送データ										データ転送
		R	R	1	IC	0	0	NR	HD	DR1	DRO				
			R	2	EN	0	DE	OR	0	ND	NW	MA			
			R	3	0	0	0	NC	0	0	BC	0			
			R	4				C							
R	5		H												
R	6		R												
R	7		N												

(7/9)

分類	コマンド	Phase	R/W	D7	D0							備考
ラ イ ト 系	WRITE DELETED DATA	C	W 1	MT	MF	0	0	1	0	0	1	READ DATA に同じ
			W 2	×	×	×	×	×	HD	DRI	DRO	
			W 3	C								
			W 4	H								
			W 5	R								
			W 6	N								
			W 7	EOT								
			W 8	GSL								
			W 9	DTL								
	E	W -	転送データ							データ転送		
	R	R 1	IC	0	0	NR	HD	DRI	DRO	READ DATA に同じ		
		R 2	EN	0	DE	OR	0	ND	NW		MA	
		R 3	0	0	0	NC	0	0	BC		0	
		R 4	C									
		R 5	H									
		R 6	R									
		R 7	N									
	FORMAT A TRACK	C	W 1	0	MF	0/TB	0	1	1	0	1	
			W 2	×	×	×	×	×	HD	DRI	DRO	
			W 3	N								
			W 4	SC								
W 5			GPL(MFM)/SYNC GROUP(GCR)									
W 6			D									
E		W -	転送データ							1トラック上のセクタ数分のID情報 (SC×4バイト)を転送する。		
R		R 1	IC	0	0	NR	HD	DRI	DRO	READ DATA に同じ		
		R 2	0	0	0	OR	0	0	NW		0	
		R 3	0	0	0	0	0	0	0		0	
		R 4	C									
		R 5	H									
		R 6	R									
		R 7	N									

(8/9)

分類	コマンド	Phase	R/W	D7 ————— D0										備考				
ライ イ ト 系	FORMAT/WRITE	C	W	1	0	MF	TB	0	0	0	0	0	1					
			W	2	×	×	×	×	×	HD	DR1	DRO						
			W	3	N													
			W	4	SC													
			W	5	GPL(MFM)/SYNC GROUP(GCR)													
		E	W	—	転送データ										1トラック上のセクタ数分のID情報 (SC×4バイト)を転送する。			
		R	R	1	IC	0	0	NR	HD	DR1	DRO	READ DATA に同じ						
			R	2	0	0	0	OR	0	0	NW	0	無意味 (C-Phase で指定した N バイト)					
			R	3	0	0	0	0	0	0	0	0						
			R	4	C													
			R	5	H													
			R	6	R													
			R	7	N													
セン ス 系	SENSE DRIVE STATUS	C	W	1	0	0	0	0	0	1	0	0						
			W	2	×	×	×	×	×	HD	DR1	DRO						
	R	R	1	ST3										ドライブの状態				
	SENSE INTERRUPT STATUS	C	W	1	0	0	0	0	1	0	0	0						
			R	R	1	ST0										コマンド終了時のシリンダ番号 (状 態遷移時 IC=11のときは無意味)		
R	R	2	PCN															
そ の 他	DUMPREG	R	C	W	1	0	0	0	0	1	1	1	0					
			R	1	PCN (ドライブ) 0													
			R	2	PCN (ドライブ) 1													
			R	3	PCN (ドライブ) 2													
			R	4	PCN (ドライブ) 3													
			R	5	SRT					HUT								
			R	6	HLT										ND			
			R	7	EOT													
			R	8	reserved													
			R	9	0	EIS	EFO	0	FIFOTHR									
			R	10	PRETRK													

(9/9)

分類	コマンド	Phase	R/W	D7 ————— DO								備考	
その他	VERSION	C	W	1	×	×	×	1	0	0	0	0	
		R	R	1	1	0	0	1	0	0	0	0	
	REVISION	C	W	1	0	0	1	0	0	0	0	0	
		R	R	1	ファームウェアのリビジョン								
		R	R	2	ハードウェアのリビジョン								
	DISABLE/ENABLE DPLL	C	W	1	DL	0	0	0	1	0	1	1	
		W	2	×	×	×	×	×	×	×	×	DR	
		E	-	-	-								指定された値に DPLL を設定
	EJECT DISK	C	W	1	0	1	0	1	0	0	1	0	
		W	2	×	×	×	×	×	×	×	×	DR	
		E	-	-	-								FDD からフロッピー・ディスクはイジェクトする
	SET ENABLE CONTORL	C	W	1	EN	0	0	1	1	0	1	1	
		W	2	×	×	×	×	×	×	×	×	DR	
		E	-	-	-								指定された値により, イネーブル端子をセット, リセット
	SET MOTOR CONTOROL	C	W	1	MO	0	0	1	1	0	1	0	
		W	2	×	×	×	×	×	×	×	×	DR	
		E	-	-	-								指定された値により, MOTOR ON コマンドをセット

14.3 リザルト・ステータス・バイトの正常，異常表示ビット一覧

14.3.1 スタンダード FDD モード

(1) シーク系コマンド

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
RECALIBRATE (SENSE INTERRUPT STATUSで引き取り)	正常終了	00		1															
	ノット・レディ		01	1		1													
	トラック0非検出		01	1	1														
SEEK (SENSE INTERRUPT STATUSで引き取り)	正常終了	00		1															
	ノット・レディ		01	1		1													
RELATIVE SEEK (SENSE INTERRUPT STATUSで引き取り)	正常終了	00		1															
	ノット・レディ		01	1	1	1													
	トラック0検出後，ステッ プ・パルス出力要求		01	1	1														

(2) リード系コマンド

(1/3)

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ DATA	正常終了	00																	
	ノット・レディ		01			1													
	ID部	IDAM 非検出		01								1							
		C 不一致 (≠FFH)		01							1			1					
		C 不一致 (=FFH)		01							1								1
		H 不一致		01							1								
		R 不一致(1トラック内)		01							1								
		N 不一致		01							1								
		CRC 不一致		01						1									
	データ部	DAM 非検出		01								1							1
		DDAM 検出	00										1						
		CRC 不一致		01					1					1					
		オーバラン		01						1									
	最終セクタで未終了		01				1												
READ DELETED DATA	正常終了	00																	
	ノット・レディ		01			1													
	ID部	IDAM 非検出		01								1							
		C 不一致 (≠FFH)		01							1			1					
		C 不一致 (=FFH)		01							1								1
		H 不一致		01							1								
		R 不一致(1トラック内)		01							1								
		N 不一致		01							1								
		CRC 不一致		01						1									
	データ部	DDAM 非検出		01								1							1
		DAM 検出	00										1						
		CRC 不一致		01					1					1					
		オーバラン		01						1									
	最終セクタで未終了		01				1												
READ ID	正常終了	00																	
	ノット・レディ		01			1													
	ID部	IDAM 非検出		01								1							
		C, H, R, N 非検出		01							1								

(2/3)

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MAC	CM	DD	NC	SH	SN	BC	MD
READ A TRACK	正常終了	00																	
	ノット・レディ		01			1													
	I D 部	IDAM 非検出		01								1							
		C 不一致(終了せず)	00								1								
		H 不一致(終了せず)	00								1								
		R 不一致(終了せず)	00								1								
		N 不一致(終了せず)	00								1								
		CRC 不一致(終了せず)	00						1										
	デ ー タ 部	DAM 非検出		01								1							1
		DDAM 検出(終了せず)	00										1						
		CRC 不一致(終了せず)	00						1					1					
		オーバラン		01						1									
	最終セクタで未終了		01				1												
	VERIFY	正常終了	00																
ノット・レディ			01			1													
I D 部		IDAM 非検出		01								1							
		C 不一致 (≠FFH)	01								1				1				
		C 不一致 (=FFH)	01								1								1
		H 不一致	01								1								
		R 不一致(1トラック内)	01								1								
		N 不一致	01								1								
CRC 不一致		01							1										
デ ー タ 部		DAM 非検出		01									1						1
		DDAM 検出	00											1					
		CRC 不一致		01						1					1				
最終セクタで未終了			01					1											

(3/3)

コマンド	実行終了条件	ST0					ST1					ST2							
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SCAN EQUAL, SCAN LOW OR EQUAL, SCAN HIGH OR EQUAL	LOW/HIGH 条件成立	00																	
	EQUAL 条件成立	00													1				
	条件不成立	00														1			
	ノット・レディ		01			1													
	ID 部	IDAM 非検出		01								1							
		C 不一致 (≠FFH)		01						1				1					
		C 不一致 (=FFH)		01						1								1	
		H 不一致		01						1									
		R 不一致(1トラック内)		01						1									
		N 不一致		01						1									
		CRC 不一致		01					1										
	デ ー タ 部	DAM 非検出		01									1						1
		DDAM 検出	00										1						
		CRC 不一致		01					1						1				
オーバラン			01						1										

(3) ライト系コマンド

コマンド	実行終了条件	ST0					ST1					ST2								
		NT	AT	SE	EC	NR	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD	
FORMAT A TRACK	正常終了	00																		
	ノット・レディ	01				1														
	ライト・プロテクト	01									1									
	オーバラン	01							1											
WRITE DATA	正常終了	00																		
	ノット・レディ	01				1														
	ライト・プロテクト	01									1									
	I D 部	IDAM 非検出	01									1								
		C 不一致 (≠FFH)	01								1				1					
		C 不一致 (=FFH)	01								1								1	
		H 不一致	01								1									
		R 不一致(1トラック内)	01								1									
		N 不一致	01								1									
		CRC 不一致	01							1										
	データ部 オーバラン	01								1										
最終セクタで未終了	01					1														
WRITE DELETED DATA	正常終了	00																		
	ノット・レディ	01				1														
	ライト・プロテクト	01									1									
	I D 部	IDAM 非検出	01									1								
		C 不一致 (≠FFH)	01								1				1					
		C 不一致 (=FFH)	01								1								1	
		H 不一致	01								1									
		R 不一致(1トラック内)	01								1									
		N 不一致	01								1									
		CRC 不一致	01							1										
	データ部 オーバラン	01								1										
最終セクタで未終了	01					1														

14.3.2 Apple FDD モード

(1) イニシャライズ系コマンド

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SET DRIVE	正常終了	00																		
MODE	ノット・レディ	01		1																

(2) シーク系コマンド

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
RECALIBRATE	正常終了	00		1																
INTERRUPT (STATUS で引き 取り)	ノット・レディ		01	1		1														
	トラック0非検出		01	1	1															
SEEK (SENSE	正常終了	00		1																
INTERRUPT (STATUS で引き 取り)	ノット・レディ		01	1		1														
	STEP非検出		01	1	1															

(3) リード系コマンド

(1/2)

コマンド	実行終了条件	ST0				ST1				ST2											
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD	
READ DATA	正常終了	00																			
	ノット・レディ		01			1															
	CSTIN 状態遷移		01				1					1									
	ID部	IDAM 非検出		01									1								
		C 不一致 (≠FFH)		01							1					1					
		C 不一致 (=FFH)		01							1									1	
		H 不一致		01							1										
		R 不一致(1トラック内)		01							1										
		N 不一致		01							1										
		CRC 不一致		01						1											1
		Checksum 不一致		01						1											
		Bit slip byte 不一致		01						1											
	データ部	DAM 非検出		01										1							
		DDAM 検出	00												1						
		CRC 不一致		01						1						1					
オーバラン			01							1											
	最終セクタで未終了		01					1													
READ ID	正常終了	00																			
	ノット・レディ		01			1															
	CSTIN 状態遷移		01				1					1									
	ID部	IDAM 非検出		01									1								
		C, H, R, N 非検出		01							1										

(2/2)

コマンド	実行終了条件	ST0						ST1					ST2							
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
READ A TRACK	正常終了	00																		
	ノット・レディ		01			1														
	CSTIN 状態遷移		01				1					1								
	ID 部	IDAM 非検出		01									1							
		C 不一致(終了せず)	00									1								
		H 不一致(終了せず)	00									1								
		R 不一致(終了せず)	00									1								
		N 不一致(終了せず)	00									1								
		CRC 不一致(終了せず)	00							1										
		Checksum 不一致(終了せず)	00								1									
		Bit slip byte 不一致(終了せず)	00								1									
	デー タ部	DAM 非検出		01										1						1
		DDAM 検出(終了せず)	00												1					
		CRC 不一致(終了せず)	00							1						1				
		Checksum 不一致(終了せず)	00								1									
		Bit slip byte 不一致(終了せず)	00									1								
		オーバラン		01							1									
最終セクタで未終了		01					1													
RAW DUMP	正常終了	00																		
	ノット・レディ		01			1														
	CSTIN 状態遷移		01				1													
	ID 部	IDAM 非検出		01										1						
		C 不一致	01										1							
		H 不一致	01										1							
		R 不一致	01										1							
		N 不一致	01										1							
		Checksum 不一致	01								1									
		Bit slip byte 不一致	01								1									
	デー タ部	DAM 非検出		01											1					
		DDAM 検出		01											1					
		オーバラン		01							1									
		SYNC バイト非検出		01										1	1					1
最終セクタで未終了		01					1													

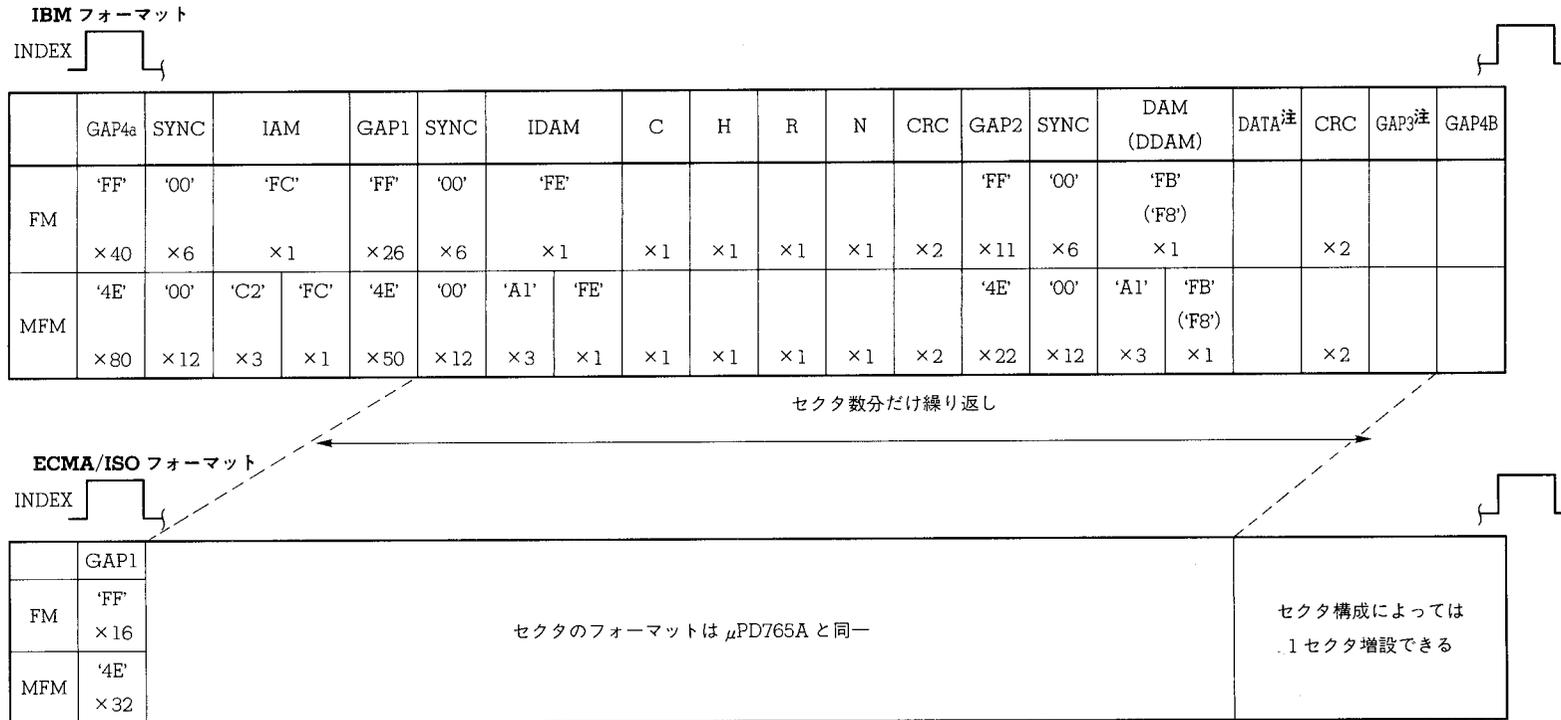
(4) ライト系コマンド

コマンド	実行終了条件	ST0						ST1						ST2							
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD	
WRITE DATA	正常終了	00																			
	ノット・レディ		01			1															
	CSTIN 状態遷移		01				1					1									
	I D 部	IDAM 非検出		01									1								
		C 不一致 (≠FFH)		01								1				1					
		C 不一致 (=FFH)		01								1								1	
		H 不一致		01								1									
		R 不一致(1トラック内)		01								1									
		N 不一致		01								1									
		CRC 不一致		01							1										1
		Checksum 不一致		01							1										
		Bit slip byte 不一致		01							1										
	データ部 オーバラン		01							1											
	最終セクタで未終了		01					1													
FORMAT A TRACK	正常終了	00																			
	ノット・レディ		01			1															
	CSTIN 状態遷移		01				1														
	ライト・プロテクト		01									1									
	オーバラン		01								1										
FORMAT/ WRITE	正常終了	00																			
	ノット・レディ		01			1															
	CSTIN 状態遷移		01				1														
	ライト・プロテクト		01									1									
	オーバラン		01									1									

(5) その他のコマンド

コマンド	実行終了条件	ST0						ST1						ST2						
		NT	AT	SE	EC	NR	FIN	EN	DE	OR	ND	NW	MA	CM	DD	NC	SH	SN	BC	MD
SET MOTOR	正常終了	00																		
CONTROL	ノット・レディ		01		1															

図付-1 1/2 MBモード・トラック・フォーマット



付録 トラック・フォーマット

Address Mark の Missing Clock 部分

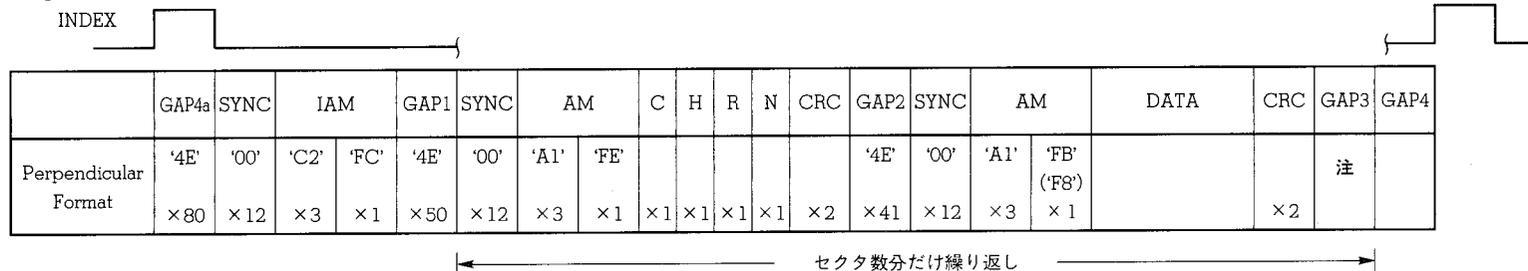
AM	FM		MFM	
	Data	Clock	Data	Clock
IAM	FC	D7	C2	14
IDAM	FE	C7	A1	0A
DAM	FB	C7	A1	0A
DDAM	F8	C7	A1	0A

- IAM : Index Address Mark
- IDAM : ID Address Mark
- DAM : Data Address Mark
- DDAM : Deleted Data Address Mark

注 この部分はプログラマブルです。
 注意 ×印とそのあとの数字はバイト数を示します。

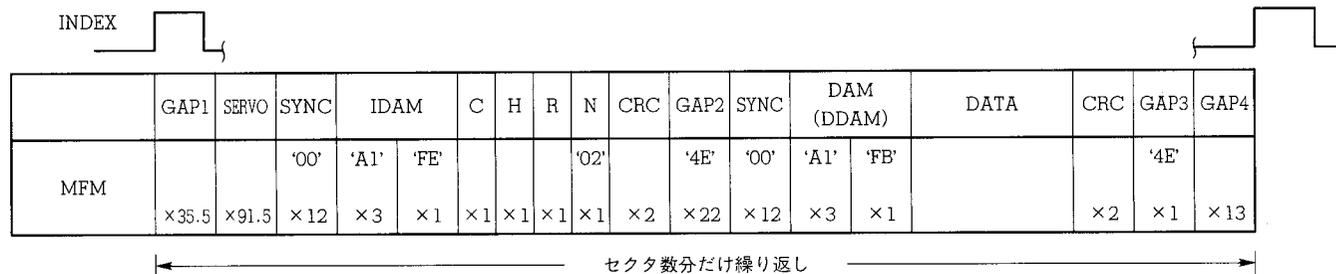
図付-2 4MBモード・トラック・フォーマット

Perpendicular フォーマット



注 この部分はプログラマブルです。

図付-3 13MBモード・トラック・フォーマット



Address Mark の Missing Clock 部分

AM	FM		MFM	
	Data	Clock	Data	Clock
IAM	FC	D7	C2	14
IDAM	FE	C7	A1	0A
DAM	FB	C7	A1	0A
DDAM	F8	C7	A1	0A

注意 ×印とそのあとの数字はバイト数を示します。

[× 毛]

— お問い合わせは、最寄りのNECへ —

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)	
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170 名古屋 (052)222-2190	
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3178 大阪 (06) 945-3200 大阪 (06) 945-3208	
北海道支社 東北支社 岩手支店 山形支店 郡山支店 いわき支店 長岡支店 土浦支店 水戸支店 神奈川支社 群馬支店	札幌 (011)231-0161 仙台 (022)267-8740 盛岡 (019)651-4344 山形 (0236)23-5511 郡山 (0249)23-5511 いわき (0246)21-5511 長岡 (0258)36-2155 土浦 (0298)23-6161 水戸 (029)226-1717 横浜 (045)324-5524 高崎 (0273)26-1255	太田支店 太田 (0276)46-4011 宇都宮支店 宇都宮 (028)621-2281 小山支店 小山 (0285)24-5011 長野支社 松本 (0263)35-1662 甲府支店 甲府 (0552)24-4141 埼玉支社 大宮 (048)641-1411 立川支社 立川 (0425)26-5981 千葉支社 千葉 (043)238-8116 静岡支社 静岡 (054)255-2211 北陸支社 金沢 (0762)23-1621 福井支店 福井 (0776)22-1866	富山支店 富山 (0764)31-8461 三重支店 津 (0592)25-7341 京都支社 京都 (075)344-7824 神戸支社 神戸 (078)333-3854 中国支社 広島 (082)242-5504 鳥取支店 鳥取 (0857)27-5311 岡山支店 岡山 (086)225-4455 四国支社 高松 (0878)36-1200 新居浜支店 新居浜 (0897)32-5001 松山支店 松山 (089)945-4149 九州支社 福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 システムマイクロ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎 (044)548-8891	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3383	

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD72070 ユーザーズ・マニュアル (S12743JJ3V0UM00 (第3版))

[お名前など] (さしつかえない範囲で)
御社名 (学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価 (各欄に○をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
そ の 他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望
[]

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, NEC 半導体ソリューション技術本部員,
その他 ()

ご協力ありがとうございました。
下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。

キ
リ
ト
リ