

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

RENESAS

保守/廃止

μPD720130

USB2.0 – IDEブリッジ



資料番号 S16412JJ3V0UM00 (第3版)
発行年月 March 2005 NS CP (N)

© NEC Electronics Corporation 2002

(メ モ)

目 次 要 約

第 1 章 概 要 ...	15
第 2 章 端子機能 ...	21
第 3 章 USB ディスクリプタ情報 ...	30
第 4 章 リクエスト・デコード対応表 ...	36
第 5 章 Stall または No Handshake ...	46
第 6 章 シリアル ROM 情報 ...	48
第 7 章 コンボ・モード ...	57
第 8 章 電源制御 ...	59
第 9 章 ボード設計上の注意 ...	62
第 10 章 電気的特性 ...	71

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の商標です。

USBロゴは、USB Implementers Forum, Inc.の商標です。

- 本資料に記載されている内容は2005年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所

ページ	内 容
p.15	第1章 概 要 1.1 オーダ情報 μ PD720130GC-9EU-SIN , μ PD720130GC-9EU-A を追加 , 備考を追加
p. 19	1.4 端子情報 1.4.1 端子接続図 (Top View) μ PD720130GC-9EU-SIN , μ PD720130GC-9EU-A を追加

本文欄外の 印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは、 μ PD720130を使用し、USB2.0 – IDEブリッジ・システムを設計するユーザを対象とします。

目的 このマニュアルは、次に示す構成で μ PD720130の機能を説明することを目的としています。

構成 このマニュアルは、次の内容で構成しています。

- ・ 概要
- ・ 端子機能
- ・ USBディスクリプタ情報
- ・ リクエスト・デコード対応表
- ・ StallまたはNo Handshake
- ・ シリアルROM情報
- ・ コンボ・モード
- ・ 電源制御
- ・ ボード設計上の注意
- ・ 電気的特性

読み方 このマニュアルの読者には、電気、論理回路、USB、USB Mass Storage クラス、およびATA Attachment with Packet Interface-6 (ATA/ATAPI-6)に関する一般知識を必要とします。

凡例 データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記：xxxB（端子，信号名称の後ろにB）
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- ・ μ PD720130データ・シート : S16302J
- ・ μ PD720130アプリケーション・ノート : S16447J
- ・ ET-0148ユーザズ・マニュアル : S16429J

なお、 μ PD720130をご使用になる際には、次のドキュメントを必ずお読みください（最新版を参照してください）。

- ・ Universal Serial Bus Specification 2.0
- ・ Universal Serial Bus Mass Storage Class Specification Overview
（Over Viewに記載されている参考ドキュメントを含みます）
- ・ AT Attachment with Packet Interface-6 (ATA/ATAPI-6)

用語

このドキュメントで使用される用語とシンボルは次のとおりです。

◆ コントロール・リード

次の構成のコントロール転送を言います

セットアップ・トークン – Inトークン – Outトークン

この構成のリクエストはデバイスからデータを読みとるので、“コントロール・リード”と呼ばれます。

例 GET_DESCRIPTOR Device

Inトークンはデータ・ステージであり、2つ以上のInトークンで構成される可能性があります。

Outトークンはステータス・ステージです。

◆ ノー・データ・コントロール

次の構成のコントロール転送を言います

セットアップ・トークン – Inトークン

この構成のリクエストはデータ・ステージがないので、“ノー・データ・コントロール”と呼ばれます。

例 SET_ADDRESS

◆ Null

“Null”は転送する、または、転送されるデータがないことを意味します。

たとえば、“Nullデータ”は“0-byteデータ”としても示されます。

目 次

第 1 章 概 要 ...	15
1.1 オータ情報	15
1.2 特 徴	16
1.2.1 フル・スピード動作からハイ・スピード動作への遷移について	17
1.3 ブロック図	18
1.4 端子情報	19
1.4.1 端子接続図 (Top View)	19
1.4.2 端子配置図	20
第 2 章 端子機能 ...	21
2.1 モード 1 設定時の端子機能 (MD0 = High, MD1 = Low)	21
2.2 モード 2 設定時の端子機能 (MD0 = Low, MD1 = High)	21
2.3 モード 2 設定での端子機能説明	22
2.4 モード 2 設定での端子の状態	28
2.5 モード 2 設定での未使用端子の処理	29
第 3 章 USB ディスクリプタ情報 ...	30
3.1 Device ディスクリプタ	30
3.2 String ディスクリプタ	31
3.2.1 String ディスクリプタ例	31
3.3 Device Qualifier ディスクリプタ	32
3.4 Configuration ディスクリプタ	32
3.5 Other_Speed_Configuration ディスクリプタ	33
3.6 Interface ディスクリプタ	34
3.7 Endpoint ディスクリプタ	35
3.7.1 Bulk In Endpoint ディスクリプタ	35
3.7.2 Bulk Out Endpoint ディスクリプタ	35
第 4 章 リクエスト・デコード対応表 ...	36
4.1 USB 標準リクエスト	36
4.2 USB Mass Storage Class リクエスト	38
4.3 USB プロトコルに対する補足事項	38
4.4 USB リクエストの処理	39
4.4.1 CLEAR_FEATURE()	39
4.4.2 GET_CONFIGURATION()	39
4.4.3 GET_DESCRIPTOR()	40
4.4.4 GET_INTERFACE()	40
4.4.5 GET_STATUS()	40

4.4.6	SET_ADDRESS() ...	41
4.4.7	SET_CONFIGURATION() ...	41
4.4.8	SET_FEATURE() (TEST_MODE 以外の場合) ...	41
4.4.9	SET_FEATURE() (TEST_MODE の場合) ...	42
4.4.10	SET_INTERFACE() ...	42
4.4.11	BULK-ONLY_MASS_STORAGE_RESET() ...	42
4.4.12	GET_MAX_LUN() ...	42
4.5	Bulk-Only Transport プロトコル ...	43
4.5.1	Command Transport ...	43
4.5.2	Data Transport (Data-In または Data-Out) ...	43
4.5.3	Status Transport ...	44
4.5.4	ホスト / デバイス・データ転送ケース ...	44
第 5 章	Stall または No Handshake ...	46
第 6 章	シリアル ROM 情報 ...	48
6.1	シリアル ROM のデータ・フォーマット ...	48
6.1.1	Flags フォーマット ...	49
6.1.2	ExPinReset フォーマット ...	50
6.1.3	ExPinSet フォーマット ...	51
6.1.4	ExPinSet または ExPinReset の設定による IDE コントローラの状態 ...	52
6.1.5	TxModeReset フォーマット ...	54
6.1.6	TxModeSet フォーマット ...	55
6.2	ExPinReset と ExPinSet の期待値と接続される IDE デバイス ...	56
6.3	シリアル ROM 情報 ...	56
第 7 章	コンボ・モード ...	57
7.1	CMB_BSY と CMB_STATE の他 IDE コントローラとの結線 ...	57
7.2	IDE バス・アービトレーション ...	58
第 8 章	電源制御 ...	59
8.1	バスパワー・モード ...	59
8.2	セルフパワー・モード ...	60
8.3	IDE デバイスの電力を制御する DPC 端子 ...	61
第 9 章	ボード設計上の注意 ...	62
9.1	USB2.0 信号線のガイドライン ...	62
9.2	アナログ V _{DD} ...	63
9.3	アナログ V _{SS} ...	63
9.4	デカップリング・コンデンサ ...	64
9.5	EMI フィルタ ...	64
9.6	ESD 保護 ...	64
9.7	USB ケーブルとレセプタクル ...	64

- 9.8 USB 部 ... 65
- 9.9 IDE 部 ... 67
- 9.10 発振回路 ... 68
- 9.11 リセット回路 ... 69
- 9.12 VBUS モニタ ... 69
- 9.13 シリアルROM 部 ... 70

第 10 章 電気的特性 ... 71

- 10.1 バッファ・リスト ... 71
- 10.2 絶対最大定格の規定 ... 72
- 10.3 推奨動作条件の規定 ... 72
- 10.4 DC 特性の規定 ... 72
- 10.5 絶対最大定格 ... 73
- 10.6 2 電源に対する制限事項 ... 73
- 10.7 推奨動作条件範囲 ... 74
- 10.8 DC 特性 ($V_{DD33} = 3.0 \sim 3.6 \text{ V}$, $V_{DD25} = 2.3 \sim 2.7 \text{ V}$, $T_A = 0 \sim +70^\circ\text{C}$) ... 75
 - 10.8.1 制御信号の DC 特性 ... 75
 - 10.8.2 USB インタフェースの DC 特性 ... 75
- 10.9 端子容量 ... 78
- 10.10 消費電力 ... 78
- 10.11 AC 特性 ($V_{DD33} = 3.0 \sim 3.6 \text{ V}$, $V_{DD25} = 2.3 \sim 2.7 \text{ V}$, $T_A = 0 \sim +70^\circ\text{C}$) ... 79
 - 10.11.1 システム・クロックの AC 特性 ... 79
 - 10.11.2 システム・リセットの AC 特性 ... 79
 - 10.11.3 USB インタフェースの AC 特性 ... 79
 - 10.11.4 IDE インタフェースの AC 特性 ... 81
 - 10.11.5 シリアルROM インタフェースの AC 特性 ... 83
- 10.12 タイミング・チャート ... 84

図の目次 (1/2)

図番号	タイトル, ページ
1-1	ブロック図 ... 18
4-1	Bulk-Only Transport プロトコル ... 43
7-1	コンボ制御信号の結線 ... 57
7-2	IDE バス・アービトレーション ... 58
8-1	バスパワー・モード ... 59
8-2	セルフパワー・モード ... 60
8-3	DPC 端子出力 ... 61
8-4	参考電源回路 ... 61
9-1	USB 差動信号配線 ... 65
9-2	USB レファレンス抵抗 ... 65
9-3	デカップリング・コンデンサ ... 66
9-4	IDE 接続 ... 67
9-5	発振回路 ... 68
9-6	リセット回路の参考回路 ... 69
9-7	VBUS モニタの参考回路 ... 69
9-8	シリアルROM 接続 ... 70
10-1	Differential Input Sensitivity Range for Low-/Full-speed ... 76
10-2	Full-speed Buffer V_{OH}/I_{OH} Characteristics for High-speed Capable Transceiver ... 76
10-3	Full-speed Buffer V_{OL}/I_{OL} Characteristics for High-speed Capable Transceiver ... 77
10-4	Receiver Sensitivity for Transceiver at DP/DM ... 77
10-5	Receiver Measurement Fixtures ... 77
10-6	Transmit Waveform for Transceiver at DP/DM ... 83
10-7	Transmitter Measurement Fixtures ... 83
10-8	System Reset Timing ... 84
10-9	USB Power-on and Connection Events ... 84
10-10	USB Differential Data Jitter for Full-speed ... 84
10-11	USB Differential-to-EOP Transition Skew and EOP Width for Full-speed ... 85
10-12	USB Receiver Jitter Tolerance for Full-speed ... 85
10-13	USB Connection Sequence on Full-speed System Bus ... 85
10-14	USB Connection Sequence on High-speed System Bus ... 85
10-15	USB Reset Sequence from Suspend State on Full-speed System Bus ... 86
10-16	USB Reset Sequence from Suspend State on High-speed System Bus ... 86

図の目次 (2/2)

図番号	タイトル, ページ
10-17	USB Suspend and Resume on Full-speed System Bus ... 86
10-18	USB Suspend and Resume on High-speed System Bus ... 86
10-19	IDE PIO Mode Timing ... 87
10-20	IDE Multi Word DMA Mode Timing ... 87
10-21	IDE Ultra DMA Mode Data-In Timing ... 87
10-22	IDE Ultra DMA Mode Data-In Stop Timing ... 88
10-23	IDE Ultra DMA Mode Data-In End Timing ... 88
10-24	IDE Ultra DMA Mode Data-Out Timing ... 88
10-25	IDE Ultra DMA Mode Data-Out Stop Timing ... 89
10-26	IDE Ultra DMA Mode Data-Out End Timing ... 89
10-27	IDE Ultra DMA Mode Data Skew Timing ... 89
10-28	Serial ROM Access Timing ... 90
10-29	Serial ROM Write Cycle Timing ... 90

表の目次

表番号	タイトル, ページ
2-1	モード 2 設定時の端子機能 ... 21
2-2	IDE コントローラの状態および端子設定 ... 27
4-1	Command Block Wrapper ... 43
4-2	Command Status Wrapper ... 44
4-3	ホスト / デバイス・データ転送マトリクス ... 44

第1章 概 要

このドキュメントではμPD720130の機能について説明しています。

このデバイスはUSB2.0とATA/ATAPIのブリッジ・チップで、CISCプロセッサ、ATA/ATAPIコントローラ、エンドポイント・コントローラ（EPC）、シリアル・インタフェース・エンジン（SIE）、USB2.0トランシーバなどをワンチップに集積しています。USB2.0（標準とクラス：Bulk-only）プロトコルはUSB2.0トランシーバ、SIE、EPCで処理され、トランスポート層は、V30MZ CISCプロセッサによって実行されます。デバイスを制御するソフトウェアは内蔵ROMに格納されており、将来的には外付けのフラッシュ・メモリまたはEEPROM™を使うことで機能のアップデートを行うこともできます。

外部端子の入力レベルによって動作モードを指定できます。μPD720130をお使いの場合にはMD1、MD0端子の入力レベルは必ず固定してください。

端子		ブート・モード	状 態
MD1	MD0		
0	0	モード0	NEC private（設定禁止）
0	1	外部ROMブート （モード1）	機能拡張用（現在使用できません）
1	0	内部ROMブート （モード2）	通常設定
1	1	デバッグ・モード （モード3）	NEC private（設定禁止）

モード2設定では、デバイスは内蔵ファームウェアで動作します。このモードは簡単に、USB 2.0-ATA/ATAPIブリッジ・システムを実現することができます。多くの場合、USB 2.0-ATA/ATAPIブリッジ・システムは、電源回路とVendor ID、Product IDなどを保持しておくシリアルROMとモード2に設定されたμPD720130、発振子などの素子で構成できます。モード1設定は、将来の拡張のために準備された機能です。モード1設定では、デバイスは外部フラッシュ・メモリまたはEEPROMに保持されるファームウェアで動作します。お客様固有の機能拡張やμPD720130の機能アップデートを行うことができます。ただし、現在は使用できません。モード0、3の設定は、デバッグ用です。使用しないでください。

1.1 オーダ情報

オーダ名称	パッケージ
μPD720130GC-9EU	100ピン・プラスチックTQFP（ファインピッチ）（14×14）
★ μPD720130GC-9EU-SIN	100ピン・プラスチックTQFP（ファインピッチ）（14×14）
★ μPD720130GC-9EU-A	100ピン・プラスチックTQFP（ファインピッチ）（14×14）

★ **備考** μPD720130GC-9EU-Aは鉛フリー製品です。

1.2 特徴

μPD720130 の主な特徴を次にまとめます。

- (1) このデバイスは、Universal Serial Bus Specification Revision 2.0 (Data Rate 12/480 Mbps) に準拠しており、12 Mbps (FS: full speed) データ・レートまたは 480 Mbps (HS: high speed) データ・レートで動作する bus/self powered high-speed capable デバイスです。μPD720130 は、USB Implementers Forum によって認証 (TID :40320125) されており、USB 2.0 high-speed Logo を使うことができます。また、評価ボード (ET-148) も認証 (TID :10330107) されています。
- (2) このデバイスは、AT Attachment with Packet Interface-6 (ATA/ATAPI-6) に準拠しています。デバイスに内蔵されている IDE コントローラは PIO Mode 0-4、Multi Word DMA Mode 0-2、Ultra DMA Mode 0-4 と LBA48 をサポートしています。IDE デバイスは、マスタに設定して使用してください。
- (3) **バスパワー USB2.0-IDE ブリッジ・システム**
このデバイスは、バスパワー動作をサポートできます。USB2.0-IDE ブリッジ・システム全体の消費電力がバスパワー・デバイスの規格を越えないかぎり、バスパワー・システムを実現することができます。μPD720130 は IDE デバイスへの電源を制御するための信号などいくつかの機能を持っています。
- (4) **コンボ・モード機能**
システムによっては、1つの IDE デバイスを2つの IDE コントローラで制御するケースがあります。このデバイスは、そうしたシステムをサポートできます。μPD720130 は他の IDE コントローラと通信することで IDE バスのアビテーションを実現するための制御信号を持っています。
- (5) **FS モード、HS モードの自動切り替え機能**
FS モード、HS モードの切り替えは Chirp シーケンスを使って自動で行います。各モードでのエンドポイントの構成は次のようになります。

- FS モード

エンドポイント構成	Setup Data		8 バイト
	Control In/Out		64 バイト / 64 バイト
	Endpoint 1	Bulk In	64 バイト × 2 (バンク構成)
	Endpoint 2	Bulk Out	64 バイト × 2 (バンク構成)

- HS モード

エンドポイント構成	Setup Data		8 バイト
	Control In/Out		64 バイト / 64 バイト
	Endpoint 1	Bulk In	512 バイト × 2 (バンク構成)
	Endpoint 2	Bulk Out	512 バイト × 2 (バンク構成)

- (6) **ハイ・スピード・データ転送**
エンドポイント・コントローラと IDE コントローラの転送レートは内部のローカル・バスを使うことで最大 120 M バイト / 秒までになります。実際の PC と USB デバイスの間の性能は PC システムに依存します。

1.2.1 フル・スピード動作からハイ・スピード動作への遷移について

ハイ・スピード (HS) デバイスは、USB1.x に準拠するホストまたはハブに接続されたとき、フル・スピード (FS) モードで動作する必要があります。このため、このチップに搭載されているエンドポイント・コントローラおよび PHY コアはシステム・リセット後、FS モードで動作します。

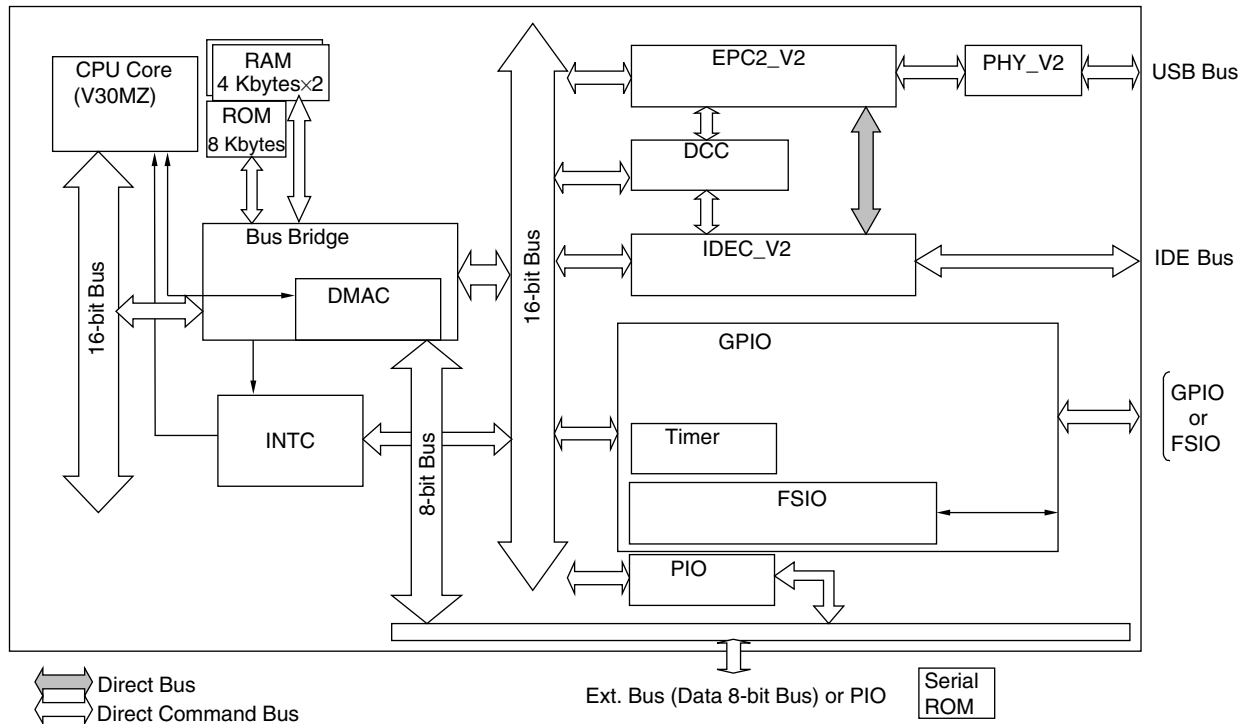
USB バス・リセット時に “Chirp handshake” と呼ばれる特別なシーケンスを実行することで、ホストまたはハブとデバイスは HS Capability の相互確認を行います。ホストまたはハブとデバイス間の Chirp handshake が成功したとき、デバイスは HS モードで動作します。もし、Chirp handshake が失敗した場合は、FS モードで動作します。

μ PD720130 はエンドポイント・バッファ・サイズ、データ送受信のプロトコル制御を自動的に切り替えるため、システムは FS モードまたは HS モードの区別を意識することなく操作可能です。

1.3 ブロック図

μPD720130 の内部構成を次にまとめます。

図 1-1 ブロック図



- V30MZ : CISC CPU Core
- RAM : 8-Kbyte Work RAM for Firmware
- ROM : 8-Kbyte ROM Area for Built-in Firmware
- PHY_V2 : USB2.0 Transceiver with Serial Interface Engine
- EPC_V2 : Endpoint Controller
- IDEC_V2 : IDE Controller
- DCC : ATA Direct Command Controller
- Bus Bridge : Internal / External Bus Controller and DMA Controller
- INTC : Interrupt Controller (82C59 like)
- GPIO : General Purpose 8-bit I/O Controller
- PIO : Multipurpose 14-bit I/O Controller
- FSIO : Flexible Serial I/O

1.4 端子情報

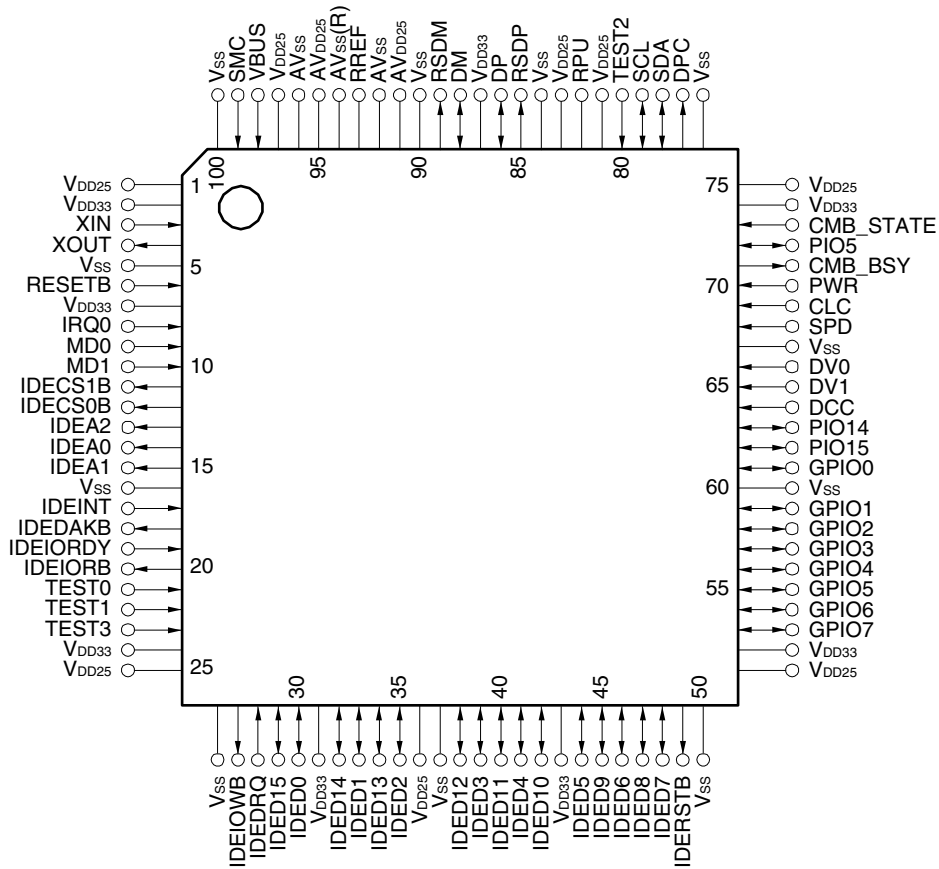
1.4.1 端子接続図 (Top View)

・ 100ピン・プラスチック TQFP (ファインピッチ) (14 × 14)

μPD720130GC-9EU

★ μPD720130GC-9EU-SIN

★ μPD720130GC-9EU-A



備考 この端子機能は、モード2設定のものです。

1.4.2 端子配置図

各ファンクション設定により，端子機能が異なります。

(1) **モード0** (MD0 = Low, MD1 = Low) または **モード3** (MD0 = High, MD1 = High)
設定禁止

(2) **モード1** (MD0 = High, MD1 = Low)
現在は使用できません。将来の拡張用です。

(3) **モード2** (MD0 = Low, MD1 = High)

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1	V _{DD25}	26	V _{SS}	51	V _{DD25}	76	V _{SS}
2	V _{DD33}	27	IDEIOWB	52	V _{DD33}	77	DPC
3	XIN	28	IDEDRQ	53	GPIO7	78	SDA
4	XOUT	29	IDED15	54	GPIO6	79	SCL
5	V _{SS}	30	IDED0	55	GPIO5	80	TEST2
6	RESETB	31	V _{DD33}	56	GPIO4	81	V _{DD25}
7	V _{DD33}	32	IDED14	57	GPIO3	82	RPU
8	IRQ0	33	IDED1	58	GPIO2	83	V _{DD25}
9	MD0	34	IDED13	59	GPIO1	84	V _{SS}
10	MD1	35	IDED2	60	V _{SS}	85	RSDP
11	IDECS1B	36	V _{DD25}	61	GPIO0	86	DP
12	IDECS0B	37	V _{SS}	62	PIO15	87	V _{DD33}
13	IDEA2	38	IDED12	63	PIO14	88	DM
14	IDEA0	39	IDED3	64	DCC	89	RSDM
15	IDEA1	40	IDED11	65	DV1	90	V _{SS}
16	V _{SS}	41	IDED4	66	DV0	91	AV _{DD25}
17	IDEINT	42	IDED10	67	V _{SS}	92	AV _{SS}
18	IDEDAKB	43	V _{DD33}	68	SPD	93	RREF
19	IDEIORDY	44	IDED5	69	CLC	94	AV _{SS} (R)
20	IDEIORB	45	IDED9	70	PWR	95	AV _{DD25}
21	TEST0	46	IDED6	71	CMB_BSY	96	AV _{SS}
22	TEST1	47	IDED8	72	PIO5	97	V _{DD25}
23	TEST3	48	IDED7	73	CMB_STATE	98	VBUS
24	V _{DD33}	49	IDERSTB	74	V _{DD33}	99	SMC
25	V _{DD25}	50	V _{SS}	75	V _{DD25}	100	V _{SS}

- 備考**
1. AV_{SS} (R)は 2.43 kΩ 1%精度のレファレンス抵抗を介して RREF へ接続してください。
 2. RSDP (RSDM) は 39 kΩ 1%精度の抵抗を介して DP (DM) へ接続してください。

第2章 端子機能

2.1 モード1 設定時の端子機能 (MD0 = High, MD1 = Low)

現在は使用できません。将来の拡張用です。

2.2 モード2 設定時の端子機能 (MD0 = Low, MD1 = High)

表 2-1 モード2 設定時の端子機能 (1/2)

端子名	入出力	バッファ・タイプ	アクティブ・レベル	機 能
XIN	I	2.5 V 入力		システム・クロック入力または発振子入力
XOUT	O	2.5 V 出力		発振子出力
RESETB	I	3.3 V Schmitt 入力	Low	非同期リセット信号
MD(1:0)	I	3.3 V 入力		機能制御
IDECS(1:0)B	O (I/O)	5 V tolerant 出力	Low	IDE ホスト・チップ・セレクト
IDEA(2:0)	O (I/O)	5 V tolerant 出力		IDE アドレス・バス
IDEINT	I (I/O)	5 V tolerant 入力	High	IDE 割り込みリクエスト(デバイスからホストへ)
IDEDAKB	O (I/O)	5 V tolerant 出力	Low	IDE DMA アクノリッジ
IDEIORDY	I (I/O)	5 V tolerant 入力	High	IDE IO チャネル・レディ
IDEIORB	O (I/O)	5 V tolerant 出力	Low	IDE IO リード・ストローブ
IDEIOWB	O (I/O)	5 V tolerant 出力	Low	IDE IO ライト・ストローブ
IDEDRQ	I (I/O)	5 V tolerant 入力	High	IDE DMA リクエスト(デバイスからホストへ)
IDED(15:0)	I/O	5 V tolerant 双方向		IDE データ・バス
IDERSTB	O (I/O)	5 V tolerant 出力	Low	IDE リセット(ホストからデバイスへ)
DCC	I (I/O)	3.3 V 入力		IDE コントローラ動作モード制御
DV(1:0)	I (I/O)	3.3 V 入力		デバイス・セレクト
CLC	I (I/O)	3.3 V 入力		システム・クロック制御端子
PWR	I (I/O)	3.3 V 入力		バスパワー/セルフパワー切り替え
CMB_BSY	O (I/O)	3.3 V 出力		コンボ IDE バス・ビジー
CMB_STATE	I (I/O)	3.3 V 入力		コンボ IDE バス・ステート
DPC	O (I/O)	3.3 V 出力		IDE デバイス用電源制御
SDA	I/O	3.3 V I/O		シリアル ROM データ信号
SCL	I/O	3.3 V I/O		シリアル ROM クロック信号
VBUS	I	5 V Schmitt 入力 [※]		VBUS モニタ

注 VBUS 端子は VBUS ラインのモニタのために使われますが、システム電源が落ちて、 V_{DD33} 、 V_{DD25} と AV_{DD25} が V_{SS} と同レベルになる場合も考えられます。このようなケースが考えられる場合、システムは VBUS 端子への入力電圧を 3.0 V 以下になるようにしてください。

表 2-1 モード2 設定時の端子機能 (2/2)

端子名	入出力	バッファ・タイプ	アクティブ・レベル	機能
DP	I/O	USB high speed D+I/O		USB ハイ・スピード D+信号
DM	I/O	USB high speed D-I/O		USB ハイ・スピード D-信号
RSDP	O	USB full speed D+ O		USB フル・スピード D+信号
RSDM	O	USB full speed D- O		USB フル・スピード D-信号
RPU	A	USB Pull-up control		USB 1.5 kΩ プルアップ抵抗制御
RREF	A	Analog		レファレンス抵抗
SPD	I (I/O)	3.3 V 入力		NEC エレクトロニクス・テスト専用
SMC	I	3.3 V 入力		スキャン・モード制御
TEST(3:0)	I	3.3 V 入力		テスト・モード制御
GPIO(7:0)	I/O	3.3 V Schmitt 双方向		汎用 IO ポート (将来の拡張のため)
PIO(15:14)	I/O	3.3 V 双方向		IO ポート (将来の拡張のため)
PIO(5)	I/O	3.3 V Schmitt 双方向		IO ポート (将来の拡張のため)
IRQ0	I	3.3 V Schmitt 入力	High	外部割り込み入力 (将来の拡張のため)
AV _{DD25}				アナログ回路用 2.5 V V _{DD}
V _{DD25}				2.5 V V _{DD}
V _{DD33}				3.3 V V _{DD}
AV _{SS}				アナログ回路用 V _{SS}
V _{SS}				V _{SS}

- 備考 1. “5 V tolerant” とは 5 V 耐量を持った 3.3 V バッファのことです。
2. 入出力カラムで“(I/O)”と示されているものは、テスト・モードでは双方向バッファとして動作します。通常でご使用の場合は考慮する必要はありません。

2.3 モード2 設定での端子機能説明

・ 電源

端子名	端子番号	方向	機能
AV _{DD25}	91, 95	Power	アナログ回路用+2.5 V V _{DD}
V _{DD25}	1, 25, 36, 51, 75, 81, 83, 97	Power	+2.5 V V _{DD}
V _{DD33}	2, 7, 24, 31, 43, 52, 74, 87	Power	+3.3 V V _{DD}
AV _{SS}	92, 94, 96	Power	アナログ回路用グラウンド
V _{SS}	5, 16, 26, 37, 50, 60, 67, 76, 84, 90, 100	Power	グラウンド

- システム・クロックおよびリセット

端子名	端子番号	方向	機能
XIN	3	I	システム・クロック入力または発振子入力 30 MHz のクロック入力または 30 MHz X'tal に接続してください。
XOUT	4	O	XIN に 30 MHz のクロック入力を供給する場合は、オープンにしてください。それ以外は、30 MHz X'tal に接続してください。
RESETB	6	I	非同期リセット信号

備考 パワーオン・リセット回路はチップには搭載されていません。

- IDE インタフェース

端子名	端子番号	方向	機能
IDECS(1:0)B	11, 12	O	IDE ホスト・チップ・セレクト
IDEA(2:0)	13, 15, 14	O	IDE アドレス・バス
IDEINT	17	I	IDE 割り込みリクエスト (デバイスからホストへ)
IDEDAKB	18	O	IDE DMA アクノリッジ
IDEIORDY	19	I	IDE IO チャンネル・レディ
IDEIORB	20	O	IDE IO リード・ストロープ
IDEIOWB	27	O	IDE IO ライト・ストロープ
IDEDRQ	28	I	IDE DMA リクエスト (デバイスからホストへ)
IDED(15:0)	29, 32, 34, 38, 40, 42, 45, 47, 48, 46, 44, 41, 39, 35, 33, 30	I/O	IDE データ・バス
IDERSTB	49	O	IDE リセット (ホストからデバイスへ)

備考 IDE の詳細な動作については、“AT Attachment with Packet Interface-6 (ATA/ATAPI-6 Specification)”を参照してください。

- USB インタフェース

端子名	端子番号	方向	機能
DP	86	I/O	USB's D+ハイ・スピード信号 DM 端子と併せて使います。
RSDP	85	O	USB's D+フル・スピード信号 39 Ω 1%精度の R _s 抵抗を介して、DP 端子と接続してください。
DM	88	I/O	USB's D-ハイ・スピード信号 DP 端子と併せて使います。
RSDM	89	O	USB's D-フル・スピード信号 39 Ω 1%精度の R _s 抵抗を介して、DM 端子と接続してください。
PRU	82	Analog	RPU 端子は 1.5 kΩ 1%精度の抵抗を介して、D+ラインと接続してください。
RREF	93	Analog	RREF 端子は 2.43 kΩ 1%精度のレファレンス抵抗を介して、ローカル・アナログ回路用グラウンドと接続してください。

・ テストおよび NEC エレクトロニクス専用

端子名	端子番号	方向	機能
TEST(3:0)	23, 80, 22, 21	I	ロウ・レベルにクランプしてください。
SMC	99	I	ロウ・レベルにクランプしてください。
SPD	68	I	ハイ・レベル (3.3V) にクランプしてください。

・ システム・インタフェース

端子名	端子番号	方向	機能																				
SDA	78	I/O	シリアル ROM データ・ライン ハイ・レベル (3.3V) に抵抗を介してクランプしてください。																				
SCL	79	I/O	シリアル ROM クロック出力 接続されるシリアル ROM の大きさをチップに知らせるために使われます 1: シリアル ROM サイズ 2K バイトならプルアップされなければなりません。 0: シリアル ROM サイズ > 2K バイトならプルダウンされなければなりません。																				
MD(1:0)	10, 9	I	デバイス・モード設定 <table border="1"> <thead> <tr> <th>MD1</th> <th>MD0</th> <th>設定</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>モード 0</td> <td>禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>モード 1</td> <td>無効 (現状)</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード 2</td> <td>使用可能</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード 3</td> <td>禁止</td> </tr> </tbody> </table>	MD1	MD0	設定	備考	0	0	モード 0	禁止	0	1	モード 1	無効 (現状)	1	0	モード 2	使用可能	1	1	モード 3	禁止
MD1	MD0	設定	備考																				
0	0	モード 0	禁止																				
0	1	モード 1	無効 (現状)																				
1	0	モード 2	使用可能																				
1	1	モード 3	禁止																				
IRQ0	8	I	機能拡張用外部割り込み入力 モード 2 設定では使用しません。 ロウ・レベルにクランプしてください。																				
GPIO(7:0)	53 - 59, 61	I/O	機能拡張用汎用 IO ポート モード 2 設定では使用しません。 ロウ・レベルにクランプしてください。																				
PIO(15:14)	62, 63	I/O	機能拡張用マルチパーパス IO ポート モード 2 設定では使用しません。 ロウ・レベルにクランプしてください。																				
PIO5	72	I/O	機能拡張用マルチパーパス IO ポート モード 2 設定では使用しません。 ロウ・レベルにクランプしてください。																				

・ ファンクション・コントロール

(1/2)

端子名	端子番号	方向	機能
VBUS	98	I	<p>VBUS モニタ</p> <p>1: VBUS は有効 0: VBUS は電源が落ちている, または開放になっている</p> <p>VBUS 端子は V_{DD33}, V_{DD25} と AV_{DD25} がオフだとしても VBUS ラインをモニタするために使われる可能性があります。その場合, システムは絶対最大定格を越えないように, VBUS 端子の入力レベルが 3.0 V 以下であることを保証する必要があります。</p>
PWR	70	I	<p>バスパワー/セルフパワー設定</p> <p>1: バスパワー 0: セルフパワー</p> <p>この設定はシリアル ROM のデータによって変更できません。</p>
DCC ^注	64	I	<p>IDE コントローラの動作モード設定</p> <p>この端子の意味は接続される IDE デバイスによって変わります。</p> <p>ATA デバイス ATA Direct Command コントローラは Multi Word DMA と Ultra DMA のプロトコル・シーケンスを処理します。ATA Direct Command コントローラが無効なら, デバイスはATA デバイスとの通信にPIOモードだけを使います。</p> <p>ATAPI デバイス ATA Direct Command コントローラは, いかなる ATAPI コマンドもサポートしません。ATA Direct Command コントローラは, ATA デバイスに対してはいつも無効です。</p> <p>1: IDE コントローラはATA デバイスと Ultra DMA Mode 4 のような最速のモードで通信します。ATAPI デバイスとは PIO Mode 4, Multi Word DMA Mode 2, Ultra DMA Mode 4 のような, PIO, Multi Word DMA, Ultra DMA のいずれか利用可能な最速のモードで通信します。</p> <p>0: IDE コントローラはATA デバイスが Multi Word DMA や Ultra DMA をサポートしていたとしても, ATA Direct Command コントローラが無効になっているため, ATA デバイスと PIO Mode 4 のような最速 PIO モードで通信します。ATAPI デバイスとは, ATAPI デバイスが Ultra DMA をサポートしていたとしても, PIO Mode 4, Multi Word DMA Mode 2 のような, PIO, Multi Word DMA のいずれか利用可能な最速のモードで通信します。</p> <p>この設定はシリアル ROM のデータによって変更できません。</p>

注 DCC 端子は CompactFlash (CF) や PCMCIA カードに内蔵されている HDD をサポートするために準備されています。CF からの動作モードの通知と実際の動作が違う場合, デバイスは実際の動作モードを知ることができず, 正しく動作できない可能性があります。そのため, エンクロージャ・システムでは, 外部スイッチでハイ/ロウが切り替えられるようにすることを推奨します。

端子名	端子番号	方向	機能
DV(1:0)	65, 66	I	<p>IDE デバイス選択</p> <p>この端子の設定は CLC 端子と PWR 端子によって変わります。端子の設定の詳細は表 2-2 を参照してください。</p> <p>接続するデバイスが決まっているなら、自動 IDE デバイス検出は使わないことを推奨します。</p> <p>この設定はシリアル ROM のデータによって変更できません。</p>
CLC	69	I	<p>システム・クロック選択</p> <p>このデバイスは2つのシステム・クロック・スピードを選択できます。一方は 7.5 MHz で、これはバスパワー・システムに最適であり、他方は 60 MHz になります。この端子の設定は DV(1:0)端子と PWR 端子によって変わります。端子の設定の詳細は表 2-2 を参照してください。</p> <p>この設定はシリアル ROM のデータによって変更できません。</p>
CMB_BSY	71	O	<p>他 IDE コントローラへの IDE バス要求</p> <p>1: このデバイスが IDE バス・アクセス権を獲得(または獲得要求)している</p> <p>0: このデバイスが IDE バス・アクセス権を獲得(または獲得要求)していない</p>
CMB_STATE	73	I	<p>他 IDE コントローラからの IDE バス要求</p> <p>1: 他 IDE コントローラが IDE バス・アクセス権を獲得(または獲得要求)している</p> <p>0: 他 IDE コントローラが IDE バス・アクセス権を獲得(または獲得要求)していない</p> <p>他の IDE コントローラがない場合は、ロウ・レベルにクランプしてください。</p>
DPC	77	O	<p>IDE デバイスへの電源制御信号</p> <p>第 8 章 電源制御を参照してください。</p>

表 2-2 IDE コントローラの状態および端子設定

No.	デバイス・ パワー	内部 クロック	ATA/ATAPI	PWR 端子	CLC 端子	DV1 端子	DV0 端子
0	バスパワー	7.5 MHz	未接続	1	1	1	1
1			ATA	1	1	1	0
2			ATAPI	1	1	0	1
3			予約	1	1	0	0
4		60 MHz	未接続	1	0	1	1
5			ATA	1	0	1	0
6			ATAPI	1	0	0	1
7			予約	1	0	0	0
8	セルフパワー	60 MHz	未接続	0	1	1	1
9			コンボ (ATA)	0	1	1	0
10			コンボ (ATAPI)	0	1	0	1
11			コンボ自動判別	0	1	0	0
12			未接続	0	0	1	1
13			ATA	0	0	1	0
14			ATAPI	0	0	0	1
15			自動判別	0	0	0	0

備考 1. No. 0, 3, 4, 7, 8, 12 の設定は禁止

2. バスパワーを選択する場合、全システムの消費電力など、検討の必要な重要事項があります。

2.4 モード2 設定での端子の状態

端子名	ハードウェア・リセット	機能設定ステート			USB Bus Reset ステート		Unconfigured ステート		Configured ステート		Suspend ステート		Combo ステート
		Bus	Self	Combo	Bus	Self / Combo	Bus	Self / Combo	Bus	Self / Combo	Bus	Self / Combo	IDE バス・リリース
XIN /XOUT	有効	←	←	←	←	←	←	←	←	←	←	←	←
RESRETB	有効	無効	←	←	←	←	←	←	←	←	←	←	←
IDECS(1:0)B	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDEA(2:0)	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDEINT	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDEDAKB	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDEIORDY	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDEIORB	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDEIOWB	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDEDRQ	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDED(15:0)	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
IDERSTB	HZ	HZ	有効	有効	HZ	有効	HZ	有効	有効	有効	HZ	有効	HZ
GPIO(7:0)	HZ	←	←	←	←	←	←	←	←	←	←	←	←
PIO(15:14)	HZ	←	←	←	←	←	←	←	←	←	←	←	←
PIO5	HZ	←	←	←	←	←	←	←	←	←	←	←	←
DCC	HZ	入力	←	←	←	←	←	←	←	←	←	←	←
DV(1:0)	HZ	入力	←	←	←	←	←	←	←	←	←	←	←
SPD	HZ	入力	←	←	←	←	←	←	←	←	←	←	←
CLC	HZ	入力	←	←	←	←	←	←	←	←	←	←	←
PWR	HZ	入力	←	←	←	←	←	←	←	←	←	←	←
CMB_BSY	HZ	HZ	HZ	出力	HZ	HZ/出力	HZ	HZ/出力	HZ	HZ/出力	HZ	HZ/出力	ロウ出力
CMB_STATE	HZ	入力	←	←	←	←	←	←	←	←	←	←	←
DPC	HZ	HZ	HZ	HZ	ハイ出力	ハイ出力	ハイ出力	ハイ出力	ロウ出力	ロウ出力	ハイ出力	ハイ出力	ロウ出力
SCL	HZ	出力	出力	出力	入力	←	←	←	←	←	←	←	←
SDA	HZ	I/O	I/O	I/O	入力	←	←	←	←	←	←	←	←

備考 1. HZ: ハイ・インピーダンス

2. IDE バス・リリースを除いたコンボ・モードでは、IDE バスはこのデバイスによって使われていると仮定しています。
3. CMB_BSY はコンボ・モードで有効です。また、通常のセルフパワーではハイ・インピーダンス出力になります。

2.5 モード2 設定での未使用端子の処理

未使用端子の処理は、次のようにしてください。

端子名	方向	結 線
GPIO(7:0)	I/O	“L” クランプ
PIO(15:14)	I/O	“L” クランプ
PIO5	I/O	“L” クランプ
IRQ0	I	“L” クランプ
TEST(3:0)	I	“L” クランプ
SMC	I	“L” クランプ
SPD	I	“H” クランプ

IDE コントローラの初期化をシリアル ROM で行う場合は、未使用端子の処理は次のようにしてください。

端子名	方向	結 線
DV(1:0)	I	“L” クランプ
CLC	I	“L” クランプ
PWR	I	“L” クランプ
DCC	I	プルアップ / プルダウンの切り替えができることが望ましい

IDE コントローラがシステムに1つだけの場合は、未使用端子の処理は次のようにしてください。

端子名	方向	結 線
CMB_BSY	O	オープン
CMB_STATE	I	“L” クランプ

システムがこのデバイスによる IDE デバイスへの電源の制御を必要としない場合は、未使用端子の処理は次のようにしてください。

端子名	方向	結 線
DPC	O	オープン

第3章 USB ディスクリプタ情報

このデバイスの標準 USB ディスクリプタを次にまとめます。

3.1 Device ディスクリプタ

Device ディスクリプタは、USB デバイスについての一般情報について示します。これは、デバイスとデバイスのコンフィグレーションに関する情報を含んでいます。

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	12H	ディスクリプタのサイズ
1	bDescriptorType	バイト	01H	Device ディスクリプタ・タイプ
2	bcdUSB	ワード	0200H	USB specification version 番号 (BCD)
4	bDeviceClass	バイト	00H	Class コード
5	bDeviceSubClass	バイト	00H	SubClass コード
6	bDeviceProtocol	バイト	00H	Protocol コード
7	bMaxPacketSize0	バイト	40H	このスピードでの Maximum packet size (64 バイト)
8	idVender	ワード	0409H	NEC の Vender ID
10	idProduct	ワード	006AH	μPD720130 の Product ID
12	bcdDevice	ワード	0000H	Device release 番号 (BCD)
14	iManufacturer	バイト	00H/01H	Manufacturer string ディスクリプタのインデクス
15	iProduct	バイト	00H/02H	Product string ディスクリプタのインデクス
16	iSerialNumber	バイト	00H/03H	Device Serial Number string ディスクリプタのインデクス
17	bNumConfigurations	バイト	01H	設定可能なコンフィグレーションの数

- 備考 1.** idVender, idProduct と bcdDevice の値はシリアル ROM からロードされます。
- 2.** iManufacturer, iProduct と iSerialNumber の値はシリアル ROM のデータによって決まります。シリアル ROM に String ディスクリプタがなければ、対象となる iManufacturer, iProduct や iSerialNumber は“ 00H ” に設定されます。

3.2 String ディスクリプタ

String ディスクリプタは、Language ID, Manufacturer, Product と Serial Number を示します。Manufacturer, Product と Serial Number の文字列はシリアル ROM に保持されます。

Language ID (String ディスクリプタ・インデクス 0)

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	4H	ディスクリプタのサイズ
1	bDescriptorType	バイト	03H	String ディスクリプタ・タイプ
2	WLANGID[0]	ワード	0409H	言語 : General (US English)

インデクス 1-インデクス 3 に対する標準 String ディスクリプタ・フォーマット

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	XH	ディスクリプタのサイズ
1	bDescriptorType	バイト	03H	String ディスクリプタ・タイプ
2	bString	N	XXXXH	UNICODE エンコード 文字列

3.2.1 String ディスクリプタ例

以下の条件の String ディスクリプタは次のようになります。

Manufacturer : NEC
 Product : uPD720130 Sample Board
 Serial Number : 1.00

Manufacturer (String ディスクリプタ・インデクス 1)

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	8H	ディスクリプタのサイズ
1	bDescriptorType	バイト	03H	String ディスクリプタ・タイプ
2	bString	N	004E 0045 0043H	

Product (String ディスクリプタ・インデクス 2)

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	2EH	ディスクリプタのサイズ
1	bDescriptorType	バイト	03H	String ディスクリプタ・タイプ
2	bString	N	0075 0050 0044 0037 0032 0030 0031 0033 0030 0020 0053 0061 006D 0070 006C 0065 0020 0042 006F 0061 0072 0064H	

Serial Number (String ディスクリプタ・インデクス 3)

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	0AH	ディスクリプタのサイズ
1	bDescriptorType	バイト	03H	String ディスクリプタ・タイプ
2	bString	N	0031 002E 0030 0030H	

3.3 Device Qualifier ディスクリプタ

デバイスが他のスピードで動作しているなら、Device Qualifier ディスクリプタは、High-speed capable デバイスについての一般情報について示します。たとえば、デバイスがフル・スピードで動作しているなら、Device Qualifier はハイ・スピードでどのように動作するかについての情報を返信します。

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	0AH	ディスクリプタのサイズ
1	bDescriptorType	バイト	06H	Device Qualifier ディスクリプタ・タイプ
2	bcdUSB	ワード	0200H	USB specification version 番号 (BCD)
4	bDeviceClass	バイト	00H	Class コード
5	bDeviceSubClass	バイト	00H	SubClass コード
6	bDeviceProtocol	バイト	00H	Protocol コード
7	bMaxPacketSize0	バイト	40H	このスピードでの Maximum packet size (64 バイト)
8	bNumConfigurations	バイト	01H	このスピードでのコンフィギュレーションの数
9	bReserved	バイト	00H	将来のために予約

3.4 Configuration ディスクリプタ

Configuration ディスクリプタは、特定のデバイス・コンフィギュレーションについて示します。ホストの要求に対して、Configuration ディスクリプタ、すべての関連する Interface ディスクリプタと Endpoint ディスクリプタが返信されます。

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	09H	ディスクリプタのサイズ
1	bDescriptorType	バイト	02H	Configuration ディスクリプタ・タイプ
2	wTotalLength	ワード	0020H	このコンフィギュレーションで返信されるデータの総数
4	bNumInterfaces	バイト	01H	このコンフィギュレーションでサポートするインタフェース数
5	bConfigurationValue	バイト	01H	このコンフィギュレーションを選択するための値
6	iConfiguration	バイト	00H	Configuration string ディスクリプタのインデクス
7	bmAttributes	バイト	C0H/80H	コンフィギュレーションの特性
8	bMaxPower	バイト	01H/FAH	デバイスが完全動作している場合の、USB デバイスのこのコンフィギュレーションでのバスからの最大消費電流。 単位は 2 mA

備考 bmAttributes と bMaxPower の値はシリアル ROM のデータによって決まります。デバイスがバスパワーに設定されるなら、bmAttributes = 80H で bMaxPower = FAH となります。一方、デバイスがセルフパワーに設定されるなら、bmAttributes = C0H で bMaxPower = 01H となります。

3.5 Other_Speed_Configuration ディスクリプタ

デバイスが他のスピードで動作しているなら、High-speed capable デバイスについてのコンフィグレーションについて示します。Other_Speed_Configuration の構成は、Configuration ディスクリプタと同じです。ホストの要求に対して、Other_Speed_Configuration ディスクリプタ、すべての関連する Interface ディスクリプタと Endpoint ディスクリプタが返信されます。

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	09H	ディスクリプタのサイズ
1	bDescriptorType	バイト	07H	Other_Speed_Configuration ディスクリプタ・タイプ
2	wTotalLength	ワード	0020H	このコンフィグレーションで返信されるデータの総数
4	bNumInterfaces	バイト	01H	このコンフィグレーションでサポートするインタフェース数
5	bConfigurationValue	バイト	01H	このコンフィグレーションを選択するための値
6	iConfiguration	バイト	00H	Configuration string ディスクリプタのインデクス
7	bmAttributes	バイト	C0H/80H	コンフィグレーションの特性
8	bMaxPower	バイト	01H/FAH	デバイスが完全動作している場合の、USB デバイスのこのコンフィグレーションでのバスからの最大消費電流。

備考 bmAttributes と bMaxPower の値はシリアル ROM のデータによって決まります。デバイスがバスパワーに設定されるなら、bmAttributes = 80H で bMaxPower = FAH となります。一方、デバイスがセルフパワーに設定されるなら、bmAttributes = C0H で bMaxPower = 01H となります。

3.6 Interface ディスクリプタ

Interface ディスクリプタは、コンフィグレーションに含まれる特定のインタフェースについて示します。Interface ディスクリプタは、常に GET_DESCRIPTOR Configuration リクエストによって返信されるコンフィグレーション情報の一部として送られます。

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	09H	ディスクリプタのサイズ
1	bDescriptorType	バイト	04H	Interface ディスクリプタ・タイプ
2	bInterfaceNumber	バイト	00H	インタフェース番号
3	bAlternateSetting	バイト	00H	この alternate setting を使うための値
4	bNumEndpoints	バイト	02H	このインタフェースで使うエンドポイントの数
5	bInterfaceClass	バイト	08H/FFH	Class コード
6	bInterfaceSubClass	バイト	05H/06H/FFH	SubClass コード
7	bInterfaceProtocol	バイト	50H	Protocol コード
8	iInterface	バイト	00H	Interface string ディスクリプタのインデクス

- 備考1. bInterfaceClass, bInterfaceSubClass と bInterfaceProtocol の値は、接続される IDE デバイスごとに次の表に示されるようになります。シリアル ROM を使うことでこれらの値を変更できます。
2. 接続されている IDE デバイスが壊れているなら、このデバイスは未接続デバイスに対する Class, SubClass と Protocol の値を使います。

デバイス・タイプ	bInterfaceClass	bInterfaceSubClass	bInterfaceProtocol
未接続	FFH	FFH	50H
ATA	08H	06H	50H
ATAPI	08H	05H	50H

3.7 Endpoint ディスクリプタ

インタフェースで使われる各エンドポイントは、それぞれディスクリプタを持っています。このディスクリプタは、エンドポイントで必要とされるバンド幅をホストが決定するための情報を含んでいます。Endpoint ディスクリプタは、常に GET_DESCRIPTOR Configuration リクエストによって返信されるコンフィグレーション情報の一部として送られます。

3.7.1 Bulk In Endpoint ディスクリプタ

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	07H	ディスクリプタのサイズ
1	bDescriptorType	バイト	05H	Endpoint ディスクリプタ・タイプ
2	bEndpointAddress	バイト	81H	In Endpoint 1
3	bmAttributes	バイト	02H	エンドポイントの特性 (Bulk)
4	wMaxPacketSize	ワード	0040H/0200H	Maximum packet size
6	bInterval	バイト	00H	データ転送のためのエンドポイント・ポーリング 間隔

備考 wMaxPacketSize の値は、デバイスの動作モードによって決定されます。デバイスが FS モード時は、wMaxPacketSize は 40H (64 バイト) になります。一方、デバイスが HS モード時は、wMaxPacketSize は 200H (512 バイト) になります。

3.7.2 Bulk Out Endpoint ディスクリプタ

オフセット	フィールド	サイズ	値	説明
0	bLength	バイト	07H	ディスクリプタのサイズ
1	bDescriptorType	バイト	05H	Endpoint ディスクリプタ・タイプ
2	bEndpointAddress	バイト	02H	Out Endpoint 2
3	bmAttributes	バイト	02H	エンドポイントの特性 (Bulk)
4	wMaxPacketSize	ワード	0040H/0200H	Maximum packet size
6	bInterval	バイト	00H	データ転送のためのエンドポイント・ポーリング 間隔

備考 wMaxPacketSize の値は、デバイスの動作モードによって決定されます。デバイスが FS モード時は、wMaxPacketSize は 40H (64 バイト) になります。一方、デバイスが HS モード時は、wMaxPacketSize は 200H (512 バイト) になります。

第4章 リクエスト・デコード対応表

コントロール転送に対するリクエスト処理を次にまとめます。

4.1 USB 標準リクエスト

(1/2)

No	Field	bmRequest Type	bRequest	wValue		wIndex		wLength		Df ^{注1}	Ad ^{注2}	Cf ^{注3}
	Offset			0	1	3	2	5	4			
1	CLEAR_FEATURE Device (HW) ^{注4}	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK
2	CLEAR_FEATURE Endpoint 0 (HW) ^{注4}	02H	01H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK
3	CLEAR_FEATURE Endpoint 1 (HW) ^{注4}	02H	01H	00H	00H	00H	81H	00H	00H	Stall	Stall	ACK NAK
4	CLEAR_FEATURE Endpoint 2 (HW) ^{注4}	02H	01H	00H	00H	00H	02H	00H	00H	Stall	Stall	ACK NAK
5	GET_CONFIGURATION (HW)	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK
6	GET_DESCRIPTOR Device (FW)	80H	06H	01H	00H	00H	00H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
7	GET_DESCRIPTOR Device Qualifier (FW)	80H	06H	06H	00H	00H	00H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
8	GET_DESCRIPTOR Configuration (FW)	80H	06H	02H	00H	00H	00H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
9	GET_DESCRIPTOR Other Speed Configuration (FW)	80H	06H	07H	00H	00H	00H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
10	GET_DESCRIPTOR String (Index = 00) (FW)	80H	06H	03H	00H	04H	09H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
11	GET_DESCRIPTOR ^{注6} String (Index = 01) (FW)	80H	06H	03H	01H	04H	09H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
12	GET_DESCRIPTOR ^{注6} String (Index = 02) (FW)	80H	06H	03H	02H	04H	09H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
13	GET_DESCRIPTOR ^{注6} String (Index = 03) (FW)	80H	06H	03H	03H	04H	09H	XX	XX ^{注5}	ACK NAK	ACK NAK	ACK NAK
14	GET_INTERFACE (HW)	81H	0AH	00H	00H	00H	00H	00H	01H	Stall	Stall	ACK NAK
15	GET_STATUS Device (HW)	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK
16	GET_STATUS Interface (FW)	81H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK
17	GET_STATUS Endpoint 0 (HW)	82H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK
18	GET_STATUS Endpoint 1 (HW)	82H	00H	00H	00H	00H	81H	00H	02H	Stall	Stall	ACK NAK
19	GET_STATUS Endpoint 2 (HW)	82H	00H	00H	00H	00H	02H	00H	02H	Stall	Stall	ACK NAK
20	SET_ADDRESS (HW) ^{注7}	00H	05H	00H	XX	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK

(2/2)

No	Field	bmRequest Type	bRequest	wValue		wIndex		wLength		Df ^{注1}	Ad ^{注2}	Cf ^{注3}
				3	2	5	4	7	6			
Offset		0	1	3	2	5	4	7	6			
21	SET_CONFIGURATION (HW)	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK
22	SET_FEATURE Device (HW) ^{注8}	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK
23	SET_FEATURE Endpoint 0 (HW) ^{注8}	02H	03H	00H	00H	00H	00H	00H	80H	ACK NAK	ACK NAK	ACK NAK
24	SET_FEATURE Endpoint 1 (HW) ^{注8}	02H	03H	00H	00H	00H	81H	00H	00H	Stall	Stall	ACK NAK
25	SET_FEATURE Endpoint 2 (HW) ^{注8}	02H	03H	00H	00H	00H	02H	00H	00H	Stall	Stall	ACK NAK
26	SET_FEATURE TEST_MODE (TEST_J) (HW)	00H	03H	00H	02H	01H	00H	00H	00H	ACK NAK	ACK ^{注9} NAK	ACK ^{注9} NAK
27	SET_FEATURE TEST_MODE (TEST_K) (HW)	00H	03H	00H	02H	02H	00H	00H	00H	ACK NAK	ACK ^{注9} NAK	ACK ^{注9} NAK
28	SET_FEATURE TEST_MODE (TEST_SE0) (HW)	00H	03H	00H	02H	03H	00H	00H	00H	ACK NAK	ACK ^{注9} NAK	ACK ^{注9} NAK
29	SET_FEATURE TEST_MODE (TEST_PRBS) (HW)	00H	03H	00H	02H	04H	00H	00H	00H	ACK NAK	ACK ^{注9} NAK	ACK ^{注9} NAK
30	SET_FEATURE TEST_MODE (TEST_FORCE) (HW)	00H	03H	00H	02H	05H	00H	00H	00H	ACK NAK	ACK ^{注9} NAK	ACK ^{注9} NAK
31	SET_INTERFACE (HW)	01H	0BH	00H	00H	00H	00H	00H	00H	Stall	Stall	ACK NAK
32	Other USB standard request	XX	XX	XX	XX	XX	XX	XX	XX	Stall	Stall	Stall

注 1. Default ステートでの応答

2. Addressed ステートでの応答

3. Configured ステートでの応答

4. CLEAR_FEATURE Endpoint 0 は、ステータス・ステージのトークン・パケットを受信したときに Endpoint 0 のステータス (Halt フィーチャ) クリアを行います。なお、その他の CLEAR_FEATURE リクエストは、ステータス・ステージでホストからの ACK を受信したときに、デバイス・ステータス (Remote wake up フィーチャ) または Endpoint 0 を除く各エンドポイントのステータス・クリアを行います。

5. このデバイスは、wLength よりディスクリプタの長さが長いなら、ディスクリプタのはじめから wLength までを返信し、wLength より Descriptor の長さが短いなら、Descriptor すべてを返信します。この場合、さらにデータ要求があると、ショート・パケットまたは Null パケットを返信することでデータの終わりを示します。

6. 要求された String ディスクリプタをサポートしないインデクス 1, 2, 3 以外なら、デバイスはデータ・ステージで Stall 応答します。

7. wValue 値 (address) が 128 以上なら、デバイスは Stall 応答します。

8. SET_FEATURE はステータス・ステージでホストからの ACK を受信したときに、デバイス・ステータスまたは各エンドポイントのステータス・セットを行います。もし、Endpoint 0 の Halt フィーチャがセットされるなら、GET_STATUS Endpoint 0 と SET_FEATURE Endpoint 0 および Mass storage class リクエスト以外のコントロール転送のデータ・ステージでデバイスは Stall 応答します。

なお、サポートしていないリクエストに関してはリクエスト・エラーとして Stall 応答します。この場合、Endpoint 0 の Halt フィーチャはセットされないため、次のセットアップ・トークンを受信した時点で Stall 応答はクリアされます。

9. HS モードで、SET_FEATURE TEST_MODE は、Default ステートのみ規定されていますが、このデバイスは Addressed, Configured ステートでも有効なリクエストとして処理します。一方、FS モードでは、Default, Addressed, Configured ステートのいずれの場合でも Stall 応答します。

4.2 USB Mass Storage Class リクエスト

No	Field	bmRequest Type	bRequest	wValue		wIndex		wLength		Df ^{注1}	Ad ^{注2}	Cf ^{注3}
				3	2	5	4	7	6			
Offset		0	1									
1	BULK-ONLY_MASS_STORAGE_RESET (FW)	41H	FFH	XX _{注4}	XX _{注4}	XX _{注4}	XX _{注4}	XX _{注4}	XX _{注4}	ACK NAK	ACK NAK	ACK NAK
2	GET_MAX_LUN (FW)	A1H	FEH	XX _{注5}	XX _{注5}	XX _{注5}	XX _{注5}	XX _{注5}	XX _{注5}	ACK NAK	ACK NAK	ACK NAK

注 1. Default ステートでの応答

2. Addressed ステートでの応答

3. Configured ステートでの応答

4. Mass storage class の仕様書では、wValue は 0000H、wIndex は 0000H、そして wLength は、0000H と規定されています。このデバイスでは、デバイス・ドライバがこの種の無効なパケットは発行しないと仮定して、wValue、wIndex と wLength はデコードしていません。

5. Mass storage class の仕様書では、wValue は 0000H、wIndex は 0000H、そして wLength は、0001H と規定されています。このデバイスでは、デバイス・ドライバがこの種の無効なパケットは発行しないと仮定して、wValue、wIndex と wLength はデコードしていません。

4.3 USB プロトコルに対する補足事項

(1) Universal Serial Bus Specification 2.0 に準拠しないコントロール転送のシーケンスの場合、次のようになります。

a: セットアップ・ステージなしに In トークンまたは Out トークンを受信した場合、または正常な処理のあとに In トークンまたは Out トークンを受信した場合

ex. Setup In Out In, Setup In Out Out^注

注 前トークンのリトライではない。つまり、前の転送は正常に行われている。

このとき、このデバイスは異常なトークンに対して無応答となります。

b: セットアップ・ステージの DATA PID が DATA0 以外の場合、このデバイスは無応答となります。

c: セットアップ・ステージで送信されてくるデータが、8 バイトでない場合はパケットが破壊されたと仮定してセットアップ・トークンに対して無応答となります。

(2) ステータス・ステージにおいてホストが 0 バイト長以外のデータを送信してきた場合でも、デバイスはステータス・ステージを正常に処理し、ACK 応答します。

(3) コントロール・リード・リクエストの wLength 値が 0x00 であった場合、ノー・データ・コントロール転送として 0 長バイトのデータを送出します。

(4) コントロール・リードにおいてホストヘショート・パケットを送信したにもかかわらず、リトライでない In トークンを受けた場合は Stall 応答します。

(5) コントロール・リードにおいてデータ・ステージで送信するデータが wMaxPacketSize の倍数であった場合で、データ・ステージの終わりを示すために 0 バイト長データを送信します。0 バイト長データを正常送信したにもかかわらず、さらに In トークンが来た場合には Stall 応答します。

(6) wLength 0 の場合、bmRequestType で示された方向とセットアップの次に来るトークンの方向が違う場合には、デバイスは Stall 応答します。

wLength = 0 の場合 (No-Data Control) は Setup の次に来るトークンが Out の場合に Stall 応答します。

4.4 USB リクエストの処理

USB リクエストに対するこのデバイスの動作をまとめます。

動作は次に示すステートによって変わります。

- Default : デフォルト・アドレスで動作するステート
- Addressed : アドレスのアサイン後のステート
- Configured : SET_CONFIGURATION wValue = 1 を正常受信後のステート

4.4.1 CLEAR_FEATURE()

CLEAR_FEATURE()を正常処理した場合は、エンドポイント・ステータスの Halt フィーチャやデバイス・ステータスの Remote wake up フィーチャはクリアされます。クリアされるフィーチャは CLEAR_FEATURE()の wIndex フィールドによって指定されます。フィーチャがクリアできない、または存在しない、対象がインタフェース、存在しないエンドポイントの場合には Stall 応答します。wLength が 0 以外の場合も、デバイスは Stall 応答します。

- Default : このリクエストを受信したとき、対象がデバイスか Endpoint 0 の場合で、フィーチャ・セレクタが有効時、正常処理を行います。対象がインタフェース、Endpoint 0 以外の場合には、ステータス・ステージで Stall 応答します。
- Addressed : このリクエストを受信したとき、対象がデバイスか Endpoint 0 の場合で、フィーチャ・セレクタが有効時、正常処理を行います。対象がインタフェース、Endpoint 0 以外の場合には、ステータス・ステージで Stall 応答します。
- Configured : このリクエストを受信したとき、対象がデバイスが存在するエンドポイントの場合で、フィーチャ・セレクタが有効時、正常処理を行います。対象がインタフェースの場合には、ステータス・ステージで Stall 応答します。

4.4.2 GET_CONFIGURATION()

GET_CONFIGURATION()を正常受信した場合は、現コンフィグレーション設定値を送信します。デバイスは、wValue、wIndex、wLength がリクエスト・デコード対応表記載以外のものなら、データ・ステージで Stall 応答します。

- Default : このリクエストを受信したとき、0 を返信します。
- Addressed : このリクエストを受信したとき、0 を返信します。
- Configured : このリクエストを受信したとき、現在設定されているコンフィグレーション値を返信します。

4.4.3 GET_DESCRIPTOR()

GET_DESCRIPTOR()を正常受信したとき、期待されるディスクリプタが返信されます。wIndex フィールドは String ディスクリプタの Language ID を示すか、ほかのディスクリプタに対しては 0 になります。デバイスは wLength よりディスクリプタの長さが長いなら、ディスクリプタの始めから wLength までを返し、wLength より Descriptor の長さが短いなら、ディスクリプタすべてを返信します。この場合、さらにデータの要求があると、ショート・パケットまたは Null パケットを返信することでデータの終わりを示します。Other_Speed_Configuration では Configuration ディスクリプタと同じ構成で他の動作スピードの情報を返信します。Configuration ディスクリプタに関するリクエストでは、Configuration ディスクリプタ、関連する Interface ディスクリプタ、関連する Endpoint ディスクリプタをまとめて返信します。Configuration ディスクリプタに続いて、Interface ディスクリプタを、それに続いて Endpoint ディスクリプタを返信します。サポートしていないディスクリプタに対するリクエストへは、データ・ステージで Stall 応答します。

Default : このリクエストを受信したとき、期待されるディスクリプタを返信します。
Addressed : このリクエストを受信したとき、期待されるディスクリプタを返信します。
Configured : このリクエストを受信したとき、期待されるディスクリプタを返信します。

4.4.4 GET_INTERFACE()

GET_INTERFACE()を正常受信した場合は、0 を送信します。デバイスは、wValue、wIndex、wLength がリクエスト・デコード対応表記載以外のものなら、データ・ステージで Stall 応答します。

Default : このリクエストを受信したとき、データ・ステージで Stall 応答します。
Addressed : このリクエストを受信したとき、データ・ステージで Stall 応答します。
Configured : このリクエストを受信したとき、0 を返信します。

4.4.5 GET_STATUS()

GET_STATUS()を正常受信した場合は、デバイス・ステータスまたはエンドポイント・ステータスを送信します。デバイスは、wValue、wIndex、wLength がリクエスト・デコード対応表記載以外のものなら、データ・ステージで Stall 応答します。なお、インタフェースに対するリクエストに対しては Stall 応答が期待されますが、このデバイスでは 00H を返信します。

Default : このリクエストを受信したとき、対象がデバイスか Endpoint 0 の場合は、期待される値を返信します。対象が Endpoint 0 以外の場合には、データ・ステージで Stall 応答します。
Addressed : このリクエストを受信したとき、対象がデバイスか Endpoint 0 の場合は、期待される値を返信します。対象が Endpoint 0 以外の場合には、データ・ステージで Stall 応答します。
Configured : このリクエストを受信したとき、対象がデバイスか存在するエンドポイントの場合は、期待される値を返信します。

4.4.6 SET_ADDRESS()

SET_ADDRESS()を正常処理した場合は、デバイスは Address ステートに入り、次に続くすべてのアクセスにデバイス・アドレスとして wValue フィールドの値を使います。デバイスはステータス・ステージが完了するまでは、デバイス・アドレスを変更しません。wIndex, wLength がリクエスト・デコード対応表記載以外のものかまたは指定されたデバイス・アドレスが 127 より大きいなら、ステータス・ステージで Stall 応答します。

- Default : このリクエストを受信したとき、指定されたアドレスが 0 以外ならデバイスは Addressed ステートに移行し、USB アドレスを変更します。一方、指定されたアドレスが 0 であれば Default ステートのままです。
- Addressed : このリクエストを受信したとき、指定されたアドレスが 0 であれば Default ステートに戻り、指定されたアドレスが 0 以外ならデバイスは Addressed ステートのままで、USB アドレスを新しいものに変更します。
- Configured : このリクエストを受信したときの動作は保証しません。

4.4.7 SET_CONFIGURATION()

SET_CONFIGURATION()を正常処理した場合は、デバイスは Configured ステートに入ります。指定されたコンフィグレーション値が、現在の設定値と同じでも、正常処理したあとにはすべてのエンドポイント・ステータスの Halt フィーチャをクリアし、データ・トグルを DATA0 に初期化します。デバイスは、wValue, wIndex, wLength がリクエスト・デコード対応表記載以外のものなら、ステータス・ステージで Stall 応答します。

- Default : このリクエストを受信したときの動作は保証しません。
- Addressed : このリクエストを受信したとき、指定されたコンフィグレーション値が 1 であれば Configured ステートに移行し、指定されたコンフィグレーション値が 0 ならデバイスは Addressed ステートのままです。
- Configured : このリクエストを受信したとき、指定されたコンフィグレーション値が 0 なら Addressed ステートに戻り、指定されたコンフィグレーション値が 1 ならデバイスは Configured ステートのままです。

4.4.8 SET_FEATURE() (TEST_MODE 以外の場合)

SET_FEATURE() (TEST_MODE 以外) を正常処理した場合は、エンドポイント・ステータスの Halt フィーチャやデバイス・ステータスの Remote wake up フィーチャはセットされます。セットされるフィーチャは SET_FEATURE()の wIndex フィールドによって指定されます。フィーチャがセットできない、または存在しない、対象がインタフェース、存在しないエンドポイントの場合には Stall 応答します。wLength が 0 以外の場合も、デバイスは Stall 応答します。

- Default : このリクエストを受信したとき、対象がデバイスか Endpoint 0 の場合で、フィーチャ・セレクトが有効時、正常処理を行います。対象がインタフェース、Endpoint 0 以外の場合には、ステータス・ステージで Stall 応答します。
- Addressed : このリクエストを受信したとき、対象がデバイスか Endpoint 0 の場合で、フィーチャ・セレクトが有効時、正常処理を行います。対象がインタフェース、Endpoint 0 以外の場合には、ステータス・ステージで Stall 応答します。
- Configured : このリクエストを受信したとき、対象がデバイスか存在するフィーチャ・の場合で、フィーチャ・セレクトが有効時、正常処理を行います。対象がインタフェースの場合には、ステータス・ステージで Stall 応答します。

4.4.9 SET_FEATURE() (TEST_MODE の場合)

HS モードで SET_FEATURE() (TEST_MODE) を正常受信した場合は、TEST_MODE で規定されたテスト動作を USB トランシーバが実行します。TEST_MODE フィーチャをセットするとデバイスのアップストリーム・ポートはテスト・モードに入ります。デバイスのアップストリーム・ポートをテスト・モードから抜くためには電源をオフしなければなりません。デバイスは、wValue, wIndex, wLength がリクエスト・デコード対応表記載以外のものなら、ステータス・ステージで Stall 応答します。FS モードで SET_FEATURE() (TEST_MODE) を正常受信した場合は、デバイスは Default, Addressed, Configured ステートのいずれの場合でも Stall 応答します。

- Default : このリクエストを受信したとき、wIndex 値により定義されたテスト・モードを実行します。ステータス・ステージ後に、アップストリーム・ポートはテスト・モードに移行します。
- 01H: TEST_J
 - 02H: TEST_K
 - 03H: TEST_SE0_NAK
 - 04H: TEST_Packet
 - 05H: TEST_Force_Enable
- Addressed : このリクエストを受信したとき、wIndex 値により定義されたテスト・モードを実行します。
- Configured : このリクエストを受信したとき、wIndex 値により定義されたテスト・モードを実行します。

4.4.10 SET_INTERFACE()

SET_INTERFACE()を正常処理した場合は、すべてのエンドポイント・ステータスの Halt フィーチャをクリアし、データ・トグルを DATA0 に初期化します。デバイスは、wValue, wIndex, wLength がリクエスト・デコード対応表記載以外のものなら、ステータス・ステージで Stall 応答します。

- Default : このリクエストを受信したとき、ステータス・ステージで Stall 応答します。
- Addressed : このリクエストを受信したとき、ステータス・ステージで Stall 応答します。
- Configured : このリクエストを受信したとき、ステータス・ステージで 0 バイト長データを返信します。

4.4.11 BULK-ONLY_MASS_STORAGE_RESET()

BULK-ONLY_MASS_STORAGE_RESET()を正常処理した場合は、すべてのエンドポイント・ステータスの halt フィーチャをクリアし、データ・トグルを DATA0 に初期化します。デバイスは、wValue, wIndex, wLength がどんな値でも、ステータス・ステージで ACK 応答します。

- Default : このリクエストを受信したとき、ステータス・ステージで 0 バイト長データを返信します。
- Addressed : このリクエストを受信したとき、ステータス・ステージで 0 バイト長データを返信します。
- Configured : このリクエストを受信したとき、ステータス・ステージで 0 バイト長データを返信します。

4.4.12 GET_MAX_LUN()

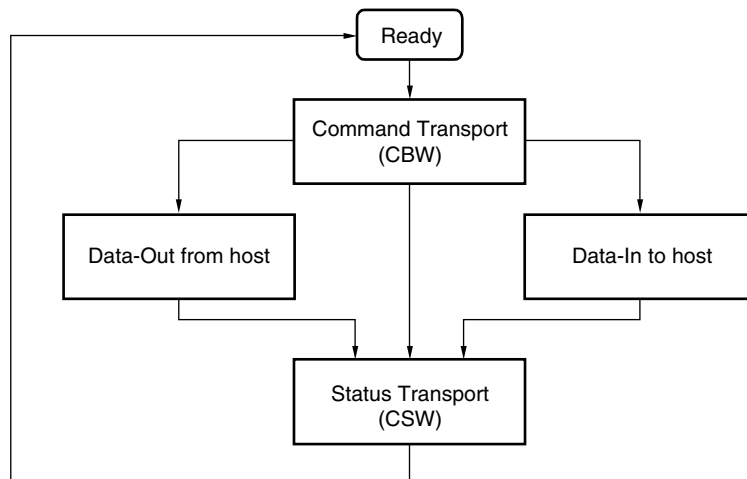
GET_MAX_LUN()を正常処理した場合は、00H を返信します。デバイスは、wValue, wIndex, wLength がどんな値でも、ステータス・ステージで 00H を返信します。

- Default : このリクエストを受信したとき、ステータス・ステージで 00H を返信します。
- Addressed : このリクエストを受信したとき、ステータス・ステージで 00H を返信します。
- Configured : このリクエストを受信したとき、ステータス・ステージで 00H を返信します。

4.5 Bulk-Only Transport プロトコル

図 4-1 に示されるように、Bulk-Only Transport プロトコルは Command Transport, Data-In, Data-Out と Status Transport で構成されます。このセクションでは、Bulk-Only transport のプロトコル・フローを説明します。

図 4-1 Bulk-Only Transport プロトコル



4.5.1 Command Transport

ホストは Command Transport として、Bulk-Out エンドポイント経由で Command Block Wrapper (CBW) をデバイスに送ります。CBW はパケット単位で始まり、31 (1FH) バイトのショート・パケットで終わります。デバイスは CBW の成功を ACK によって示します。ホストは Command Transport 中に Bulk-Out エンドポイントで Stall 応答を受けると、リセット・リカバリを行う必要があります。

表 4-1 Command Block Wrapper

Byte / bit	7	6	5	4	3	2	1	0
0-3	dCBWSignature = 43425355H (Little endian)							
4-7	dCBWTag							
8-11	dCBWDataTransferLength							
12	bmCBWFlags							
	Bit 7 方向 0: ホストからデバイスへの Data-Out 1: デバイスからホストへの Data-In							
	Bit 6:0 予約							
13	予約				bCBWLUN = 00H			
14	予約				bCBWCBLLength			
15-30	CBWCB							

4.5.2 Data Transport (Data-In または Data-Out)

すべての Data Transport は、パケット単位で始まらなければなりません。ホストは CBW の dCBWDataTransferLength と方向ビットによって指定される転送を行います。

4.5.3 Status Transport

デバイスは Status Transport として、Bulk-In エンドポイント経由で Command Status Wrapper (CSW)をホストに送ります。CBW はパケット単位で始まり、13 (D1H)バイトのショート・パケットで終わります。CSW はホストへ一致するコマンド・ブロックの実行ステータスを示します。ホストは CSW で返されるステータスが Phase error なら、リセット・リカバリを行う必要があります。

表 4-2 Command Status Wrapper

Byte / bit	7	6	5	4	3	2	1	0
0-3	dCSWSignature = 53425355H (Little endian)							
4-7	dCSWTag							
8-11	dCSWDataResidue							
12	bCSWStatus							
	Value		Description					
	00H		Command passed ("good status")					
	01H		Command failed					
	02H		Phase error					
	03H - FFH		Reserved					

4.5.4 ホスト/デバイス・データ転送ケース

このセクションでは、ホストとデバイスの動作に対する 13 種類の可能性について説明します。Case (1), (6) と (12) はホストとデバイスの転送で主に発生するケースです。転送データの量と方向がホストとデバイスで一致したケースを示します。

表 4-3 ホスト/デバイス・データ転送マトリクス

		Host		
		Hn	Hi	Ho
Device	Dn	(1) Hn = Dn	(4) Hi > Dn	(9) Ho > Dn
	Di	(2) Hn < Di	(5) Hi > Di	(10) Ho <> Di
			(6) Hi = Di	
			(7) Hi < Di	
	Do	(3) Hn < Do	(8) Hi <> Do	(11) Ho > Do
				(12) Ho = Do
			(13) Ho < Do	

- 備考** 1. ホストの期待
 Hn : ホストはデータ転送を期待しない。
 Hi : ホストはデバイスからのデータ受信を期待する。
 Ho : ホストはデバイスへのデータ送信を期待する。
2. デバイスの意図
 Dn : デバイスはデータ転送をしない。
 Di : デバイスはホストへのデータ送信をしたい。
 Do : デバイスはホストからのデータ受信をしたい。

- Case (1): デバイスがデータの受信も送信もしないなら, デバイスは bCSWStatus を 00H か 01H にセットして, dCSWDataResidue を 0 にセットします。
- Case (2): デバイスがデータを送信したいなら, デバイスは bCSWStatus を 02H にセットします。そのとき, デバイスは Endpoint 1 (Bulk In) ステータスに Halt フィーチャをセットします。
- Case (3): デバイスがデータを受信したいなら, デバイスは bCSWStatus を 02H にセットします。そのとき, デバイスは Endpoint 1 (Bulk In) ステータスに Halt フィーチャをセットします。
- Case (4): デバイスがどんなデータも送信したくないなら, デバイスは Endpoint 1 (Bulk In) ステータスに Halt フィーチャをセットします。
- Case (5): デバイスが dCBWDataTransferLength 以下のデータを送信したいなら, デバイスはショート・パケットで転送を終了します。デバイスは bCSWStatus を 00H か 01H にセットして, bCSWDataResidue に bCBWDataTransferLength と実際の転送量の差をセットします。
- Case (6): デバイスが dCBWDataTransferLength のデータを送信したいなら, デバイスは dCBWDataTransferLength バイトの転送を行います。デバイスは bCSWStatus を 00H か 01H にセットして, bCSWDataResidue を 0 にセットします。
- Case (7): デバイスが dCBWDataTransferLength 以上のデータを送信したいなら, デバイスは dCBWDataTransferLength まで転送します。そして, デバイスは bCSWStatus を 02H にセットします。そのとき, デバイスは Endpoint 1 (Bulk In) ステータスに Halt フィーチャをセットします。
- Case (8): デバイスがホストからのデータを受信したいなら, デバイスは 0 バイト長データを返信します。そして, デバイスは bCSWStatus を 02H にセットします。そのとき, デバイスは Endpoint 1 (Bulk In) ステータスに Halt フィーチャをセットします。なお, ホストが CBW により明示的に Data Transport で Data-In を宣言したにもかかわらず, Endpoint 2 へ Ping を発行した場合, Ping に対して NAK 応答を続けます。
- Case (9): デバイスはどんなデータも処理したくないけれど, デバイスはデータを受信します。デバイスは転送を終わらせるために, Endpoint 2 (Bulk Out) で Stall 応答を使います。そして, デバイスは bCSWStatus を 00H か 01H にセットして, bCSWDataResidue に bCBWDataTransferLength と実際の処理した量の差をセットします。
- Case (10): デバイスがホストへデータを送信したいが, デバイスはデータを受信します。デバイスは転送を終わらせるために, Endpoint 2 (Bulk Out) で Stall 応答を使います。そして, デバイスは bCSWStatus を 02H にセットします。そのとき, デバイスは Endpoint 1 (Bulk In) ステータスに Halt フィーチャをセットします。
- Case (11): デバイスは dCBWDataTransferLength 以下のデータを処理したいなら, デバイスはデータを受信します。デバイスは dCBWDataTransferLength のデータはすべて受け入れます。そして, デバイスは bCSWStatus を 00H か 01H にセットして, bCSWDataResidue に bCBWDataTransferLength と実際の処理した量の差をセットします。なお, ホストが dCBWDataTransferLength に達しないデータの発行で Data Transport を終了し, CSW に移行した場合は, In に対しては, NAK 応答し続けます。
- Case (12): デバイスは dCBWDataTransferLength のデータを処理したいなら, デバイスはデータを受信します。そして, デバイスは bCSWStatus を 00H か 01H にセットして, bCSWDataResidue を 0 にセットします。
- Case (13): デバイスは dCBWDataTransferLength 以上のデータを処理したいなら, デバイスは dCBWDataTransferLength までのデータを受信します。デバイスは dCBWDataTransferLength のデータはすべて受け入れます。そして, デバイスは bCSWStatus を 02H にセットします。そのとき, デバイスは Endpoint 1 (Bulk In) ステータスに Halt フィーチャをセットします。

第5章 Stall または No Handshake

μPD720130 ではエラーの取り扱いを次のように定義しています。

転送タイプ	トランザクション	パケット	エラー種類	ファンクション応答	処理
NA	NA	Token	PID チェック・エラー	無応答	特になし
NA	NA	Token	未対応 PID	無応答	特になし
Control/Bulk	In/Out/Setup	Token	未対応エンドポイント	無応答	特になし
Control/Bulk	In/Out/Setup	Token	エンドポイントに対する転送方向不一致	無応答	特になし
Control/Bulk	In/Out/Setup	Token	CRC エラー	無応答	特になし
Control/Bulk	In/Out/Setup	Token	ビット・スタッフィング・エラー	無応答	特になし
Control/Bulk	Out/Setup	Data	タイムアウト	無応答	特になし
Control/Bulk	Out/Setup	Data	PID チェック・エラー	無応答	特になし
Control/Bulk	Out/Setup	Data	未対応 PID (DATA PID 以外)	無応答	特になし
Control/Bulk	Out/Setup	Data	CRC エラー	無応答	受信データ破棄
Control/Bulk	Out/Setup	Data	ビット・スタッフィング・エラー	無応答	受信データ破棄
Control/Bulk	Out	Data	DATA PID 不一致	ACK	受信データ破棄
Control (Setup Stage)	Setup	Data	オーバラン	無応答	受信データ破棄
Control (Data Stage)	Out	Data	オーバラン	無応答 ^{注1}	受信データ破棄
Control (Status Stage)	Out	Data	オーバラン	ACK or 無応答 ^{注2}	受信データ破棄
Bulk	Out	Data	オーバラン	無応答 ^{注1}	Endpoint 1 または 2 の ステータスへ Halt フィーチャをセット
Control/Bulk	In	Handshake	PID チェック・エラー	-	送出したデータを保持 しリトライ ^{注3}
Control/Bulk	In	Handshake	未対応 PID (ACK PID 以外)	-	送出したデータを保持 しリトライ ^{注3}
Control/Bulk	In	Handshake	タイムアウト	-	送出したデータを保持 しリトライ ^{注3}

注 1. ホストのリトライ転送に対して Stall 応答します。

2. 転送データが MAX Packet Size 以下なら ACK 応答し、受信したデータは破棄します。一方、MAX Packet Size + 1 以上なら無応答となり、受信データは破棄されます。
3. コントロール転送に対して、ホストは正常に受信した最後の In (データ・ステージ) に ACK を返信します。その後、ホストは Out トークンを発行することでステータス・ステージを開始します。デバイスは最後のデータ・ステージの ACK を受信できなかったとしても、ステータス・ステージの開始によりホストがデータを正常に受信したと解釈します。

複数の条件が重なった場合の応答は、次のとおりです。

• Out に対する応答

データ・パケット・エラー (オーバーラン含)	Halt フィーチャ	DATA PID 一致	データ受付可能	ファンクション 応答
Yes	N/A	N/A	N/A	無応答
No	Set	N/A	N/A	Stall
No	Not set	No	N/A	ACK
No	Not set	Yes	Yes	ACK [※]
No	Not set	Yes	No	NAK

注 デバイスは HS 動作では ACK の代わりに NYET を使う可能性があります。

• In に対する応答

データ・パケット・エラー (オーバーラン含)	Halt フィーチャ	データ受付可能	ファンクション 応答
Yes	N/A	N/A	無応答
No	Set	N/A	Stall
No	Not set	No	NAK
No	Not set	Yes	データ・パケット発行

第6章 シリアルROM 情報

このデバイスは、初期化時にシリアルROM から Vendor ID, Product ID などの USB 関連の情報を読み込みます。この章ではシリアルROM のデータについて説明します。なお、NEC エレクトロニクスではシリアルROM のデータを作成するためのツールを準備しています。

ツールの詳細に関しては、次のアプリケーション・ノートを参照してください。シリアルROM のデータを作成する際には、アプリケーション・ノートを必ずお読みください。

μPD720130 アプリケーション・ノート : S16447J

6.1 シリアルROM のデータ・フォーマット

オフセット (H)	データ・ サイズ	項 目	説 明
+00	1 ワード	idMark	Validation Mark (Symbol : 55AAH)
+02	1 ワード	Checksum	シリアルROM のチェックサム
+04	1 ワード	Flags	ディスクリプタのオーバライトなどの制御
+06	1 バイト	ExPinReset	PWR, CLC, DCC, DV[1:0] のリセット・フィールド
+07	1 バイト	ExPinSet	PWR, CLC, DCC, DV[1:0] のセット・フィールド
+08	1 ワード	idVendor	Device ディスクリプタの idVendor フィールド
+0A	1 ワード	idProduct	Device ディスクリプタの idProduct フィールド
+0C	1 ワード	bcdDevice	Device ディスクリプタの bcdDevice フィールド
+0E	1 ワード	Reserved	予約
+10	1 バイト	MaxPower Bus	バスパワー・モードの Configuration ディスクリプタの bMaxPower フィールド
+11	1 バイト	MaxPower Self	セルフパワー・モードの Configuration ディスクリプタの bMaxPower フィールド
+12	1 バイト	bInterfaceClass	Interface ディスクリプタの bInterfaceClass フィールド
+13	1 バイト	bInterfaceSubClass	Interface ディスクリプタの bInterfaceSubClass フィールド
+14	1 バイト	bInterfaceProtocol	Interface ディスクリプタの bInterfaceProtocol フィールド
+15	1 バイト	Reserved	予約
+16	1 ワード	TxModeReset	Ultra DMA 66 のような IDE 転送タイプのリセット・フィールド
+18	1 ワード	TxModeSet	Ultra DMA 66 のような IDE 転送タイプのセット・フィールド
+1A	6 バイト	Reserved	予約
+20	32 バイト	ManufactureString	Manufacturer の String ディスクリプタ
+40	32 バイト	ProductString	Product の String ディスクリプタ
+60	32 バイト	SerialString	Device Serial Number の String ディスクリプタ

6.1.1 Flags フォーマット

Bit	15	14	13	12	11	10	9	8
Name	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
Name	FWDL_ BUS	FWDL_ SELF	STR3_ AVAIL	STR2_ AVAIL	STR1_ AVAIL	IFOR_ AVAIL	CFOR_ AVAIL	EPOR_ AVAIL

Bit	名称	説明
15 - 8	Reserved	予約
7	FWDL_ BUS	バスパスワードに対するファームウェア・パッチが有効か無効かを示します (拡張機能)。 1: ファームウェア・パッチはシリアルROM から読み込まれます (オフセット 128 バイト以降に保持)。 0: ファームウェア・パッチは使いません。
6	FWDL_ SELF	セルフパスワードに対するファームウェア・パッチが有効か無効かを示します (拡張機能)。 1: ファームウェア・パッチはシリアルROM から読み込まれます (オフセット 128 バイト以降に保持)。 0: ファームウェア・パッチは使いません。
5	STR3_ AVAIL	SerialString (Device Serial Number の String ディスクリプタ) が有効か無効かを示します。 1: SerialString フィールドの値が Device Serial Number の String ディスクリプタとして使われず。Device ディスクリプタの iSerialNumber は"03H"にセットされます。 0: Device Serial Number の String ディスクリプタはありません。iSerialNumber は"00H"にセットされます。
4	STR2_ AVAIL	ProductString (Product の String ディスクリプタ) が有効か無効かを示します。 1: ProductString フィールドの値が Product の String ディスクリプタとして使われます。Device ディスクリプタの iProduct は"02H"にセットされます。 0: Product の String ディスクリプタはありません。iProduct は"00H"にセットされます。
3	STR1_ AVAIL	ManufactureString (Manufacturer の String ディスクリプタ) が有効か無効かを示します。 1: ManufactureString フィールドの値が Manufacturer の String ディスクリプタとして使われます。Device ディスクリプタの iManufacturer は"01H"にセットされます。 0: Manufacturer の String ディスクリプタはありません。iManufacturer は"00H"にセットされます。
2	IFOR_ AVAIL	bInterfaceClass, bInterfaceSubClass と bInterfaceProtocol フィールドが有効か無効かを示します。 1: bInterfaceClass, bInterfaceSubClass と bInterfaceProtocol フィールドの値は Interface ディスクリプタの一部として使われます。 0: GET_DESCRIPTOR Configuration に対してオリジナルの Interface ディスクリプタが返信されます。
1	CFOR_ AVAIL	MaxPower Bus と MaxPower Self フィールドが有効か無効かを示します。 1: MaxPower Bus と MaxPower Self フィールドの値は Configuration ディスクリプタの一部として使われます。 0: GET_DESCRIPTOR Configuration に対してオリジナルの Configuration ディスクリプタが返信されます。
0	EPOR_ AVAIL	ExPinReset と ExPinSet フィールドが有効か無効かを示します。 1: ExPinReset と ExPinSet フィールドは外部端子設定の代わりに IDE コントローラを初期化するために使われます。 0: 外部端子設定が IDE コントローラを初期化するために使われます。

6.1.2 ExPinReset フォーマット

Bit	7	6	5	4	3	2	1	0
Name	0	0	DCC Reset	DV1 Reset	DV0 Reset	SPD Reset	CLC Reset	PWR Reset

Bit	名称	説明
7-6	Reserved	予約
5	DCC Reset	DCC 端子の代わりに ATA Direct Command コントローラなどを制御するリセット・ビット 1: ATA Direct Command コントローラはディスエーブルされ、IDE コントローラは ATA デバイスと最速の PIO で通信します。ATAPI デバイスでは、IDE コントローラは最速の PIO または Multi Word DMA で通信します。 0: DCC 端子が有効です。
4	DV1 Reset	DV1 端子の代わりに IDE コントローラを制御するリセット・ビット 1: 設定の意味は DV1 端子を“Low”にしたときと同じです。 0: DV1 端子が有効です。
3	DV0 Reset	DV0 端子の代わりに IDE コントローラを制御するリセット・ビット 1: 設定の意味は DV0 端子を“Low”にしたときと同じです。 0: DV0 端子が有効です。
2	SPD Reset	“Low”に必ず設定してください。
1	CLC Reset	CLC 端子の代わりに IDE コントローラを制御するリセット・ビット 1: 設定の意味は CLC 端子を“Low”にしたときと同じです。 0: CLC 端子が有効です。
0	PWR Reset	PWR 端子の代わりに IDE コントローラを制御するリセット・ビット 1: デバイスはセルフパワーで動作します。 0: PWR 端子が有効です。

- 備考** 1. ExPinSet および ExPinReset フィールドは外部端子の設定より優先度は高く、これらのフィールドに“High”がセットされるなら、関連する外部端子の設定は無視されます。
2. ExPinSet フィールドは ExPinReset フィールドの設定より優先度は高くなります。

6.1.3 ExPinSet フォーマット

Bit	7	6	5	4	3	2	1	0
Name	0	0	DCC Set	DV1 Set	DV0 Set	SPD Set	CLC Set	PWR Set

Bit	名称	説明
7-6	Reserved	予約
5	DCC Set	DCC 端子の代わりに ATA Direct Command コントローラなどを制御するセット・ビット 1: ATA Direct Command コントローラはイネーブルされ、IDE コントローラは ATA デバイスと最速モードで通信します。ATAPI デバイスでは、IDE コントローラは最速の PIO、Multi Word DMA または Ultra DMA で通信します。 0: DCC 端子が有効です。
4	DV1 Set	DV1 端子の代わりに IDE コントローラを制御するリセット・ビット 1: 設定の意味は DV1 端子を“High”にしたときと同じです。 0: DV1 端子が有効です。
3	DV0 Set	DV0 端子の代わりに IDE コントローラを制御するリセット・ビット 1: 設定の意味は DV0 端子を“High”にしたときと同じです。 0: DV0 端子が有効です。
2	SPD Set	“High”に必ず設定してください。
1	CLC Set	CLC 端子の代わりに IDE コントローラを制御するリセット・ビット 1: 設定の意味は CLC 端子を“High”にしたときと同じです。 0: CLC 端子が有効です。
0	PWR Set	PWR 端子の代わりに IDE コントローラを制御するリセット・ビット 1: デバイスはバスパワーで動作します。 0: PWR 端子が有効です。

- 備考** 1. ExPinSet および ExPinReset フィールドは外部端子の設定より優先度は高く、これらのフィールドに“High”がセットされるなら、関連する外部端子の設定は無視されます。
2. ExPinSet フィールドは ExPinReset フィールドの設定より優先度は高くなります。

6.1.4 ExPinSet または ExPinReset の設定による IDE コントローラの状態

DV1/DV0, CLC, PWR 設定

No.	デバイス・ パワー	内部 クロック	ATA/ATAPI	PWR	CLC	DV1	DV0
0	バスパワー	7.5 MHz	未接続	1	1	1	1
1			ATA	1	1	1	0
2			ATAPI	1	1	0	1
3		予約	1	1	0	0	
4		60 MHz	未接続	1	0	1	1
5			ATA	1	0	1	0
6			ATAPI	1	0	0	1
7	予約		1	0	0	0	
8	セルフパワー	60 MHz	未接続	0	1	1	1
9			コンボ (ATA)	0	1	1	0
10			コンボ (ATAPI)	0	1	0	1
11			コンボ自動判別	0	1	0	0
12			未接続	0	0	1	1
13			ATA	0	0	1	0
14			ATAPI	0	0	0	1
15			自動判別	0	0	0	0

備考 1. No. 0, 3, 4, 7, 8, 12 の設定は禁止

2. バスパワーを選択する場合、全システムの消費電力など、検討の必要な重要事項があります。

DV1/DV0, DCC 設定

条 件				DCC 端子設定	シリアル ROM 内の DCC 設定	説 明
DV1	DV0	モード	対象 デバイス			
1	0	ATA 固定	ATA	0	未設定	Ultra, Multi Word DMA 機能 OFF
				0	Reset	Ultra, Multi Word DMA 機能 OFF
				0	Set	Ultra, Multi Word DMA 機能 ON
				1	未設定	Ultra, Multi Word DMA 機能 ON
				1	Reset	Ultra, Multi Word DMA 機能 OFF
				1	Set	Ultra, Multi Word DMA 機能 ON
0	1	ATAPI 固定	ATAPI	0	未設定	Ultra DMA 機能のみ OFF
				0	Reset	Ultra DMA 機能のみ OFF
				0	Set	Ultra, Multi Word DMA 機能 ON
				1	未設定	Ultra, Multi Word DMA 機能 ON
				1	Reset	Ultra DMA 機能のみ OFF
				1	Set	Ultra, Multi Word DMA 機能 ON
0	0	自動判別	ATA	0	未設定	Ultra, Multi Word DMA 機能 OFF
				0	Reset	Ultra, Multi Word DMA 機能 OFF
				0	Set	Ultra, Multi Word DMA 機能 ON
				1	未設定	Ultra, Multi Word DMA 機能 ON
				1	Reset	Ultra, Multi Word DMA 機能 OFF
				1	Set	Ultra, Multi Word DMA 機能 ON
			ATAPI	0	未設定	Ultra DMA 機能のみ OFF
				0	Reset	Ultra DMA 機能のみ OFF
				0	Set	Ultra, Multi Word DMA 機能 ON
				1	未設定	Ultra, Multi Word DMA 機能 ON
				1	Reset	Ultra DMA 機能のみ OFF
				1	Set	Ultra, Multi Word DMA 機能 ON

備考 PIO Mode 0-4 は常時有効です。

6.1.5 TxModeReset フォーマット

Bit	15	14	13	12	11	10	9	8
Name	0	0	0	Ultra DMA Mode 4 Reset	Ultra DMA Mode 3 Reset	Ultra DMA Mode 2 Reset	Ultra DMA Mode 1 Reset	Ultra DMA Mode 0 Reset
Bit	7	6	5	4	3	2	1	0
Name	Multi Word DMA Mode 2 Reset	Multi Word DMA Mode 1 Reset	Multi Word DMA Mode 0 Reset	PIO Mode 4 Reset	PIO Mode 3 Reset	PIO Mode 2 Reset	PIO Mode 1 Reset	PIO Mode 0 Reset

Bit	名称	説明
15 - 13	Reserved	予約
12	Ultra DMA Mode 4 Reset	1: Ultra DMA Mode 4 は IDE デバイスがサポートしていたとしても無効になります。 0: Ultra DMA Mode 4 は IDE デバイスがサポートしていたとき、有効になります。
11	Ultra DMA Mode 3 Reset	1: Ultra DMA Mode 3 は IDE デバイスがサポートしていたとしても無効になります。 0: Ultra DMA Mode 3 は IDE デバイスがサポートしていたとき、有効になります。
10	Ultra DMA Mode 2 Reset	1: Ultra DMA Mode 2 は IDE デバイスがサポートしていたとしても無効になります。 0: Ultra DMA Mode 2 は IDE デバイスがサポートしていたとき、有効になります。
9	Ultra DMA Mode 1 Reset	1: Ultra DMA Mode 1 は IDE デバイスがサポートしていたとしても無効になります。 0: Ultra DMA Mode 1 は IDE デバイスがサポートしていたとき、有効になります。
8	Ultra DMA Mode 0 Reset	1: Ultra DMA Mode 0 は IDE デバイスがサポートしていたとしても無効になります。 0: Ultra DMA Mode 0 は IDE デバイスがサポートしていたとき、有効になります。
7	Multi Word DMA Mode 2 Reset	1: Multi Word DMA Mode 2 は IDE デバイスがサポートしていたとしても無効になります。 0: Multi Word DMA Mode 2 は IDE デバイスがサポートしていたとき、有効になります。
6	Multi Word DMA Mode 1 Reset	1: Multi Word DMA Mode 1 は IDE デバイスがサポートしていたとしても無効になります。 0: Multi Word DMA Mode 1 は IDE デバイスがサポートしていたとき、有効になります。
5	Multi Word DMA Mode 0 Reset	1: Multi Word DMA Mode 0 は IDE デバイスがサポートしていたとしても無効になります。 0: Multi Word DMA Mode 0 は IDE デバイスがサポートしていたとき、有効になります。
4	PIO Mode 4 Reset	1: PIO Mode 4 は IDE デバイスがサポートしていたとしても無効になります。 0: PIO Mode 4 は IDE デバイスがサポートしていたとき、有効になります。
3	PIO Mode 3 Reset	1: PIO Mode 3 は IDE デバイスがサポートしていたとしても無効になります。 0: PIO Mode 3 は IDE デバイスがサポートしていたとき、有効になります。
2	PIO Mode 2 Reset	1: PIO Mode 2 は IDE デバイスがサポートしていたとしても無効になります。 0: PIO Mode 2 は IDE デバイスがサポートしていたとき、有効になります。
1	PIO Mode 1 Reset	1: PIO Mode 1 は IDE デバイスがサポートしていたとしても無効になります。 0: PIO Mode 1 は IDE デバイスがサポートしていたとき、有効になります。
0	PIO Mode 0 Reset	1: PIO Mode 0 は IDE デバイスがサポートしていたとしても無効になります。 0: PIO Mode 0 は IDE デバイスがサポートしていたとき、有効になります。

備考 1. TxModeSet および TxModeReset フィールドは IDE デバイスからの情報より優先度は高く、TxModeReset フィールドのビットに“High”がセットされるなら、関連する IDE デバイスがサポートする転送モードは無効になります。

2. TxModeSet フィールドは TxModeReset フィールドの設定より優先度は高くなります。

6.1.6 TxModeSet フォーマット

ディバグ用です。通常は 00H に設定してください。

Bit	15	14	13	12	11	10	9	8
Name	0	0	0	Ultra DMA Mode 4 Set	Ultra DMA Mode 3 Set	Ultra DMA Mode 2 Set	Ultra DMA Mode 1 Set	Ultra DMA Mode 0 Set
Bit	7	6	5	4	3	2	1	0
Name	Multi Word DMA Mode 2 Set	Multi Word DMA Mode 1 Set	Multi Word DMA Mode 0 Set	PIO Mode 4 Set	PIO Mode 3 Set	PIO Mode 2 Set	PIO Mode 1 Set	PIO Mode 0 Set

Bit	名称	説明
15 – 13	Reserved	予約
12	Ultra DMA Mode 4 Set	1: Ultra DMA Mode 4 は IDE デバイスがサポートしていても有効になります。 0: Ultra DMA Mode 4 は IDE デバイスがサポートしていたとき、有効になります。
11	Ultra DMA Mode 3 Set	1: Ultra DMA Mode 3 は IDE デバイスがサポートしていても有効になります。 0: Ultra DMA Mode 3 は IDE デバイスがサポートしていたとき、有効になります。
10	Ultra DMA Mode 2 Set	1: Ultra DMA Mode 2 は IDE デバイスがサポートしていても有効になります。 0: Ultra DMA Mode 2 は IDE デバイスがサポートしていたとき、有効になります。
9	Ultra DMA Mode 1 Set	1: Ultra DMA Mode 1 は IDE デバイスがサポートしていても有効になります。 0: Ultra DMA Mode 1 は IDE デバイスがサポートしていたとき、有効になります。
8	Ultra DMA Mode 0 Set	1: Ultra DMA Mode 0 は IDE デバイスがサポートしていても有効になります。 0: Ultra DMA Mode 0 は IDE デバイスがサポートしていたとき、有効になります。
7	Multi Word DMA Mode 2 Set	1: Multi Word DMA Mode 2 は IDE デバイスがサポートしていても有効になります。 0: Multi Word DMA Mode 0 は IDE デバイスがサポートしていたとき、有効になります。
6	Multi Word DMA Mode 1 Set	1: Multi Word DMA Mode 1 は IDE デバイスがサポートしていても有効になります。 0: Multi Word DMA Mode 0 は IDE デバイスがサポートしていたとき、有効になります。
5	Multi Word DMA Mode 0 Set	1: Multi Word DMA Mode 0 は IDE デバイスがサポートしていても有効になります。 0: Multi Word DMA Mode 0 は IDE デバイスがサポートしていたとき、有効になります。
4	PIO Mode 4 Set	1: PIO Mode 4 は IDE デバイスがサポートしていても有効になります。 0: PIO Mode 4 は IDE デバイスがサポートしていたとき、有効になります。
3	PIO Mode 3 Set	1: PIO Mode 3 は IDE デバイスがサポートしていても有効になります。 0: PIO Mode 3 は IDE デバイスがサポートしていたとき、有効になります。
2	PIO Mode 2 Set	1: PIO Mode 2 は IDE デバイスがサポートしていても有効になります。 0: PIO Mode 2 は IDE デバイスがサポートしていたとき、有効になります。
1	PIO Mode 1 Set	1: PIO Mode 1 は IDE デバイスがサポートしていても有効になります。 0: PIO Mode 1 は IDE デバイスがサポートしていたとき、有効になります。
0	PIO Mode 0 Set	1: PIO Mode 0 は IDE デバイスがサポートしていても有効になります。 0: PIO Mode 0 は IDE デバイスがサポートしていたとき、有効になります。

- 備考** 1. TxModeSet および TxModeReset フィールドは IDE デバイスからの情報より優先度は高く、TxModeSet フィールドのビットに“High”がセットされるなら、関連する IDE デバイスからの情報は無視され、強制的に対象の転送モードが有効になります。
2. TxModeSet フィールドは TxModeReset フィールドの設定より優先度は高くなります。
3. TxModeSet フィールドの値が、IDE デバイスの実際の動作モードと一致しないなら、IDE ブリッジとしての動作は保証されません。通常のご使用に際しては、このフィールドのすべてのビットは 0 に設定してください。

6.2 ExPinReset と ExPinSet の期待値と接続される IDE デバイス

IDE デバイス	動作モード	ExPinReset	ExPinSet
ATA	バスパワー	0AH	35H
ATA	セルフパワー	0BH	34H
ATA	コンボ・セルフパワー	09H	36H
ATAPI	バスパワー	2DH	12H
ATAPI	セルフパワー	13H	2CH
ATAPI	コンボ・セルフパワー	31H	0EH

6.3 シリアルROM 情報

次に NEC エレクトロニクス のシステム で使用した シリアル ROM のタイプ を示します。

(1) 2 K バイト 以下の シリアル ROM ($f_{SCL} = 100 \text{ kHz}$)

No.	発売元	品 名	サイズ
1	Atmel Corporation	AT24C01-10PI-2.7	128 バイト
2	Atmel Corporation	AT24C02-10PI-2.7	256 バイト
3	Atmel Corporation	AT24C04-10PI-2.7	512 バイト
4	Atmel Corporation	AT24C08-10PI-2.7	1 K バイト
5	Atmel Corporation	AT24C16-10PI-2.7	2 K バイト
6	STMicroelectronics	M24C01-WBN6	128 バイト
7	STMicroelectronics	M24C02-WBN6	256 バイト
8	STMicroelectronics	M24C04-WBN6	512 バイト
9	STMicroelectronics	M24C08-WBN6	1 K バイト
10	STMicroelectronics	M24C16-WBN6	2 K バイト

(2) 2 K バイト 以上の シリアル ROM ($f_{SCL} = 100 \text{ kHz}$)

No.	発売元	品 名	サイズ
1	Atmel Corporation	AT24C32-10PI-2.7	4 K バイト
2	Atmel Corporation	AT24C64-10PI-2.7	8 K バイト
3	STMicroelectronics	M24C32-WBN6	4 K バイト
4	STMicroelectronics	M24C64-WBN6	8 K バイト

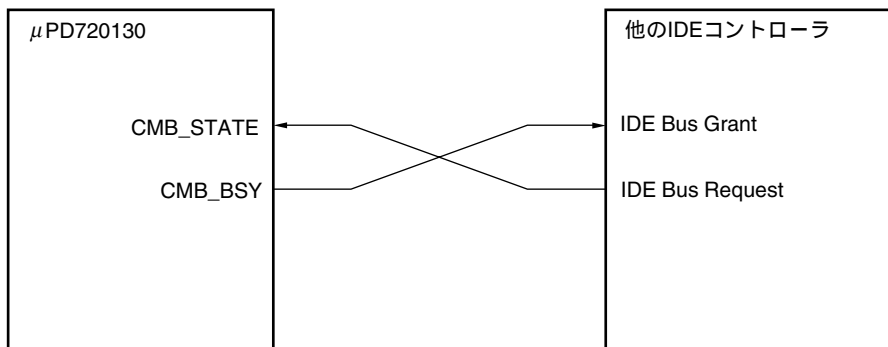
第7章 コンボ・モード

μ PD720130 は、2つの IDE コントローラが1つの IDE デバイスを制御するようなシステムも実現することができます。2つの IDE コントローラ間の IDE バス・アビトレーションを実現するため、このデバイスはコンボ制御信号 (CMB_BSY と CMB_STATE) を備えています。コンボ・モードは PWR = 0 で CLC = 1 のときに有効になります。

7.1 CMB_BSY と CMB_STATE の他 IDE コントローラとの結線

CMB_BSY と CMB_STATE は次のように結線してください。

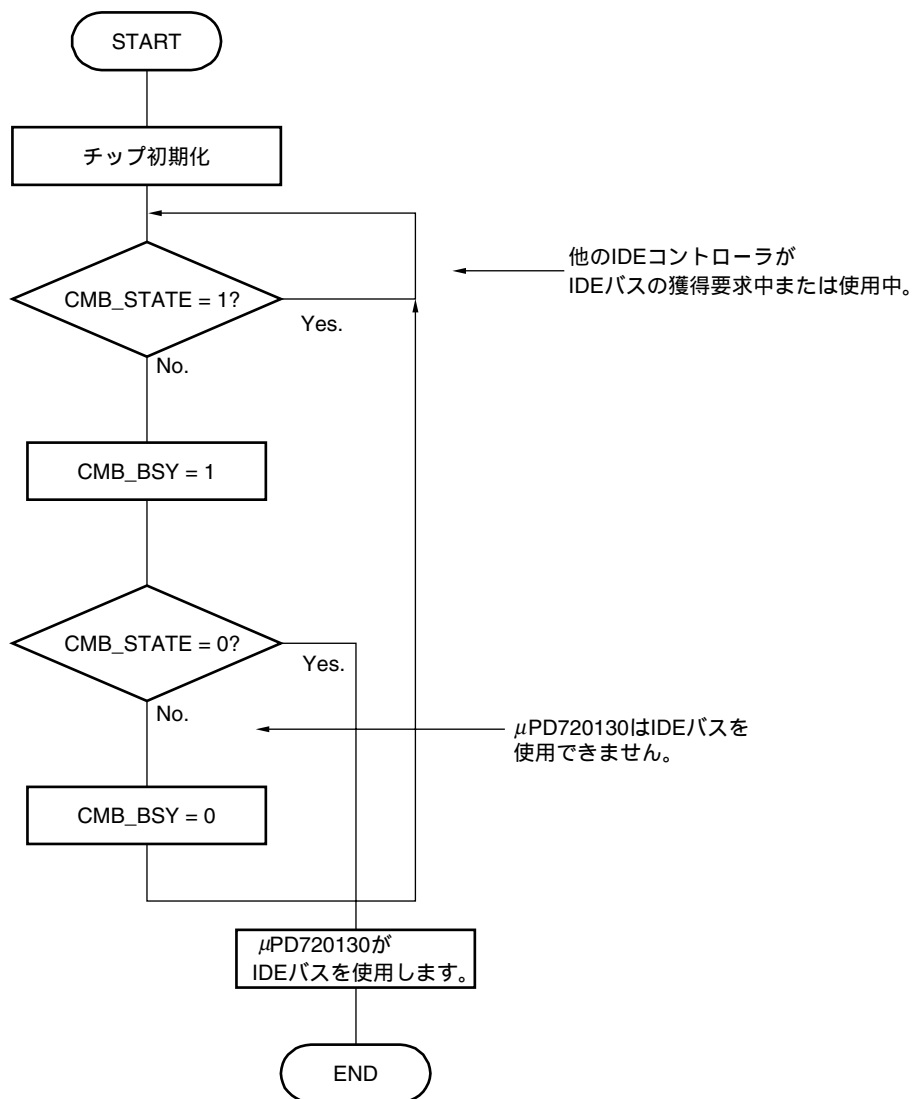
図 7-1 コンボ制御信号の結線



7.2 IDE バス・アービトレーション

IDE バス・アービトレーションは、次のシーケンスで行われます。このデバイスはまず、相手側の IDE コントローラが IDE バスを使用しておらず、獲得要求もしていないことを確認します。相手側の IDE コントローラが IDE バスを使用しておらず、獲得要求もしていないなら、このデバイスは IDE バスの獲得要求を発行します。

図 7-2 IDE バス・アービトレーション

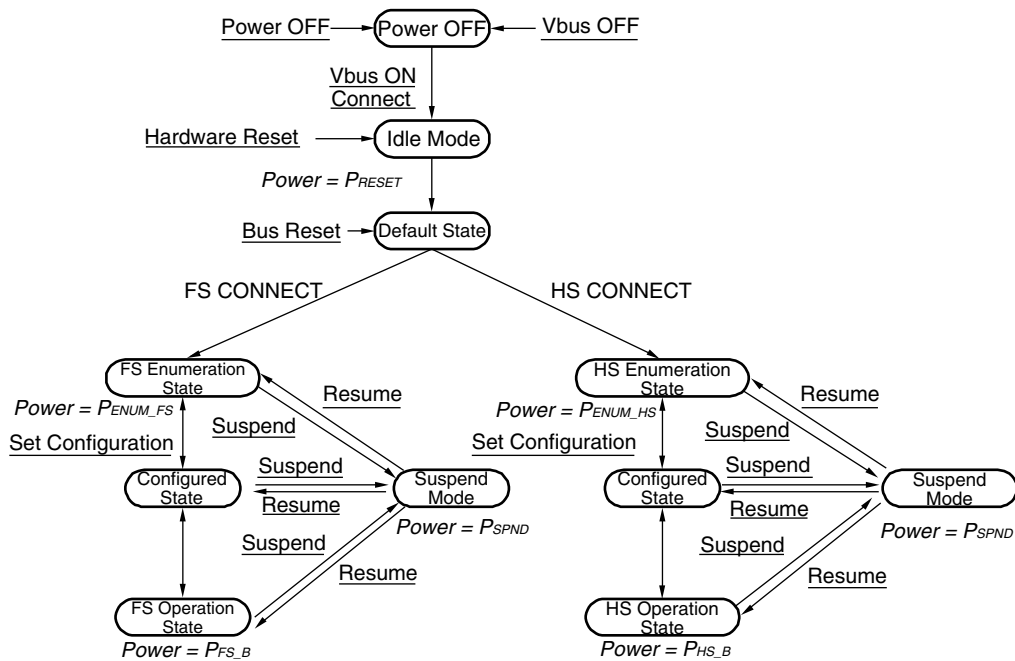


第8章 電源制御

バスパワーか高性能なセルフパワー USB2.0 – IDE ブリッジ・システムを実現するために、このデバイスは2種類の内部システム・クロックの設定を持っています(バスパワー用の7.5 MHz とセルフパワー用の60 MHz)。μPD720130 は次のようにイベントによって電力ステートを遷移します。下線付きがイベント、イタリック文字が電力ステートを示します。

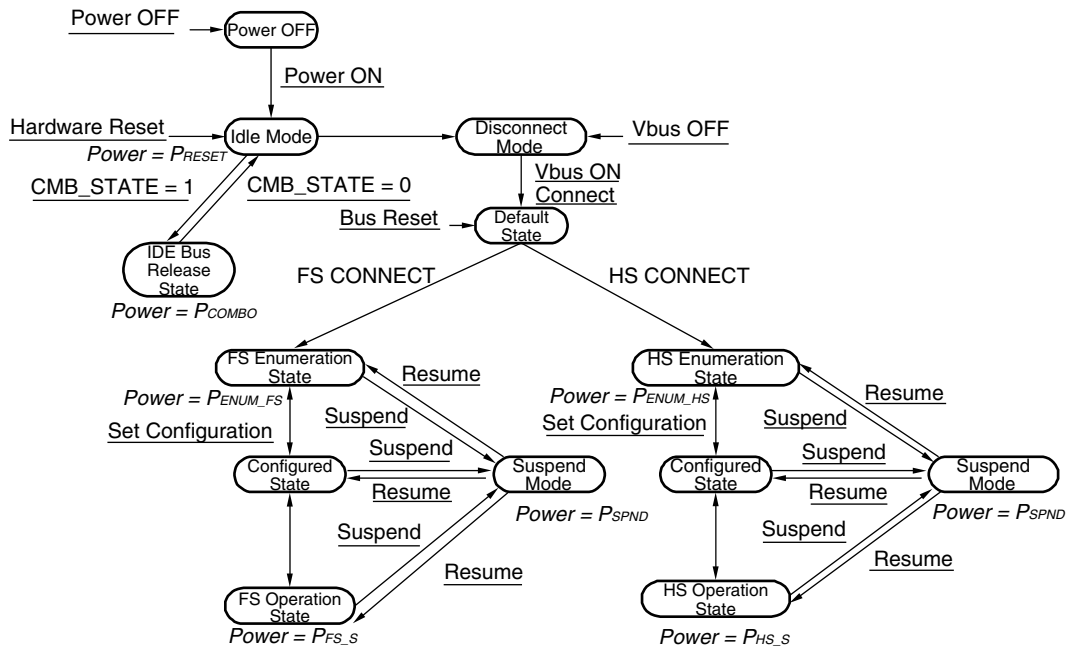
8.1 バスパワード・モード

図 8-1 バスパワード・モード



8.2 セルフパワー・モード

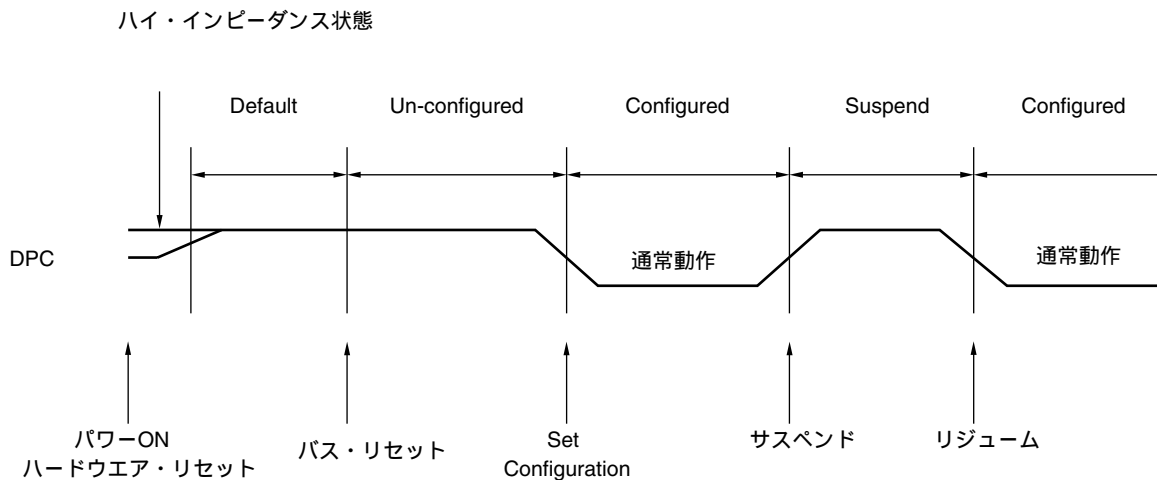
図 8-2 セルフパワー・モード



8.3 IDE デバイスの電力を制御する DPC 端子

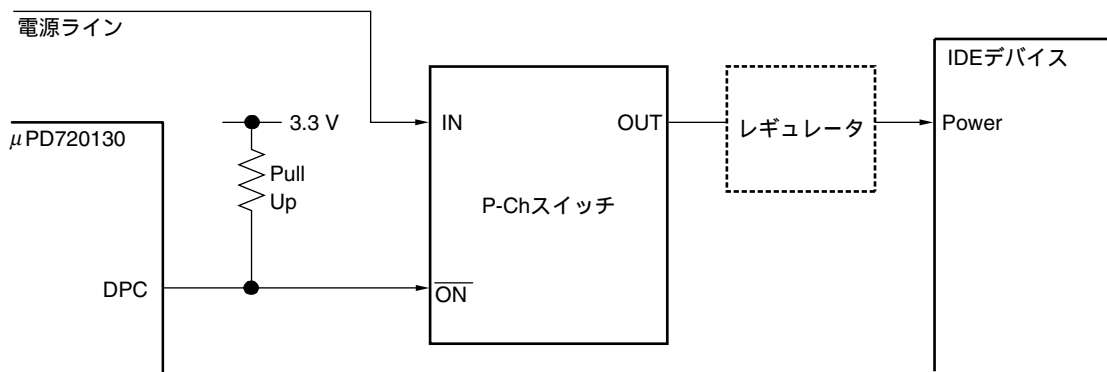
バスパワー USB2.0 - IDE ブリッジ・システムを実現するために、このデバイスの状態に合わせて IDE デバイスの消費電力を制御する必要があります。このデバイスは IDE デバイスの電源回路を制御するための端子としての DPC を備えています。DPC 端子は USB デバイス・ステートと連動して出力レベルが変わります。この端子は μ PD720130 が初期化されるまで、出力ハイ・インピーダンスとなるので、3.3 V でプルアップする必要があります。

図 8-3 DPC 端子出力



次の参考回路図では、IDE デバイスへの電源を DPC 端子により制御することで、システムの電源投入から Configured ステートに入るまでの間、IDE デバイスへの電源を OFF しておくことができます。また、USB suspend に入った場合も、IDE デバイスへの電源を OFF しておくことができます。これにより、バスパワー・デバイスに期待される消費電力の制御を実現できます。

図 8-4 参考電源回路



第9章 ボード設計上の注意

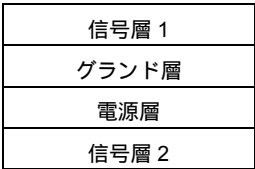
USB2.0は400 mVの差動信号で、480 Mbpsの高速な信号を取り扱う伝送路です。これらの信号を取り扱うUSBパッファ部にはアナログ回路を使用しています。そのため、ボード設計を行う場合には、USB Specification Revision 2.0に準拠したうえで、次の点に留意してください。

あわせて、USB Implementers Forumよりリリースされている「High Speed USB Platform Design guidelines」も参照してください。

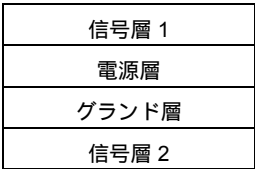
これらの項目はボード設計に対する留意事項であり、動作を保証するものではありません。最終的にシステムとしての確認はお客様で行う必要があります。

9.1 USB2.0 信号線のガイドライン

- (a) USB D+/D-のチップとレセプタクル間の配線はできるだけ短くしてください。
- (b) USB D+/D-の配線は等長にし、最大で0.5 mm程度の差に押さえてください。
- (c) 90 Ωの差動インピーダンスを実現するために、PCBの層間、USB D+/D-配線幅、USB D+/D-配線間の距離などを考慮してください。
- (d) シングル・エンドのインピーダンスは45Ωに近づけてください。
- (e) USB D+/D-のチップとレセプタクル間の配線は平行に引き回してください。
- (f) 配線は曲げ回数を極力抑えてください。また、曲げ角はできる限り小さくしてください。90度曲げるような場合は、直角に曲げるのではなく45度曲げを2回行うなどの処理をしてください。
- (g) 配線は、できる限り短くしてください。特に、**図9-1**の太線で示した部分の配線は短くしてください。
- (h) USB D+/D-が電源のスプリットを横切らないようにしてください。
- (i) USB D+/D-のチップとレセプタクル間の配線ではスルー・ホールをできるだけ避けてください。
- (j) 反射とインピーダンスの変動を抑えるため、折れ曲がりやスルー・ホールは最小限にしてください。
- (k) USB D+/D-の信号のペアは他の信号からできる限り離してください。
- (l) 他の信号がUSB D+/D-の信号のペアを横切らないようにしてください。
- (m) 次の配線層の構成を推奨します。



USB2.0 D+/D-は信号層 1 を使う



USB2.0 D+/D-は信号層 2 を使う

9.2 アナログ VDD

- (a) チップのアナログ回路専用のアナログ電源を作ってください。アナログ電源とデジタル電源は分離してください。同一配線層で分離する場合は、それぞれ島（パタン）を作り分離してください。
- (b) AV_{DD25} 端子はアナログ電源フィールドに接続してください。
- (c) アナログ電源にデジタル信号やデジタル電源からのノイズが入り込まないようにしてください。
- (d) アナログ電源とデジタル電源はインダクタ、フェライト・ビーズ、抵抗などで図 9-3 のように接続してください。この場合、フェライト・ビーズを推奨します。アナログ電源のフィルタリングのために複数のインダクタを使う場合は、それぞれを離しておいてください。またインダクタを使う場合には、共振の問題を避ける必要があります。抵抗によりアナログ電源とデジタル電源を接続する場合には、電源のドロップを避けるために 3 Ω 以下にする必要があります。

9.3 アナログ Vss

- (a) チップのアナログ回路専用のアナログ・グラウンドを作ってください。アナログ・グラウンドとデジタル・グラウンドは分離してください。同一配線層で分離する場合は、それぞれ島（パタン）を作り分離してください。
- (b) AV_{SS} 端子と RREF 抵抗（1%精度）はアナログ・グラウンド・フィールドに接続してください。
- (c) アナログ・グラウンドにデジタル信号やデジタル・グラウンドからのノイズが入り込まないようにしてください。
- (d) アナログ・グラウンドとデジタル・グラウンドを分離できない場合には、AV_{SS} 端子と RREF 抵抗（1%精度）はデジタル・グラウンド・フィールドに接続し、グラウンドからのノイズが入り込まないようにしてください。
- (e) 電流源の制御に使われる RREF 抵抗は、図 9-2 のように AV_{SS}(R)に接続してください。図 9-2 の太線はできるだけチップの近くにし、ノイズの影響を極力抑えてください。
- (f) アナログ・グラウンドとデジタル・グラウンドはインダクタ、フェライト・ビーズ、抵抗などで図 9-3 のように接続してください。この場合、フェライト・ビーズを推奨します。アナログ・グラウンドのフィルタリングのために複数のインダクタを使う場合は、それぞれを離しておいてください。またインダクタを使う場合には、共振の問題を避ける必要があります。抵抗によりアナログ・グラウンドとデジタル・グラウンドを接続する場合には、電位差を抑えるために 3 Ω 以下にする必要があります。

備考 AV_{SS} / AV_{DD25} 端子のノイズにより、内部 PLL のロックが外れるケースがあります。この結果、動作不良が起きます。USB バス上の通信エラーは、この PLL のロック外れが原因の可能性がります。このような場合は、システムのノイズを低減してください。

9.4 デカップリング・コンデンサ

デカップリング・コンデンサは、電流消費量変化による電圧変動を平滑化するためと、デジタル信号などからのノイズが電源/グランドに入り込まないようにするフィルタとして機能します。したがって、環境によって必要となるコンデンサの種類、個数が異なるため、ボードに応じて調整してください。

- (a) デジタル電源とグランド間には、十分なデカップリング・コンデンサを挿入してください。また、デカップリング・コンデンサは、チップに隣接して配置してください。隣接させるためにボード裏面に搭載すると効果があります。
- (b) 表面実装型の容量をお使いの場合には、パッドから直接スルー・ホールで電源とグランドに接続し、スルー・ホールは大きくしてください。
- (c) アナログ電源とグランド間は、少なくとも $10\ \mu\text{F}$ を 1 個と $0.1\ \mu\text{F}$, $0.01\ \mu\text{F}$ を複数個搭載してください。これらは、できるだけチップに隣接して配置してください。
- (d) デカップリング・コンデンサとしては、電解コンデンサではなく、高周波特性がよいタンタル・コンデンサまたはセラミック・コンデンサを使用してください。

9.5 EMI フィルタ

EMI 用フィルタをお使いの場合には、信号波形に悪影響を及ぼす場合も考えられますので、コモン・モード・チョーク・コイルの選択にはご注意ください。

9.6 ESD 保護

ESD 保護用部品をお使いの場合には、信号波形に悪影響を及ぼす場合も考えられますので、その選択にはご注意ください。

9.7 USB ケーブルとレセプタクル

USB レセプタクルとケーブルは必ず USB2.0 に準拠したものをご使用ください。

9.8 USB 部

図 9-1 USB 差動信号配線

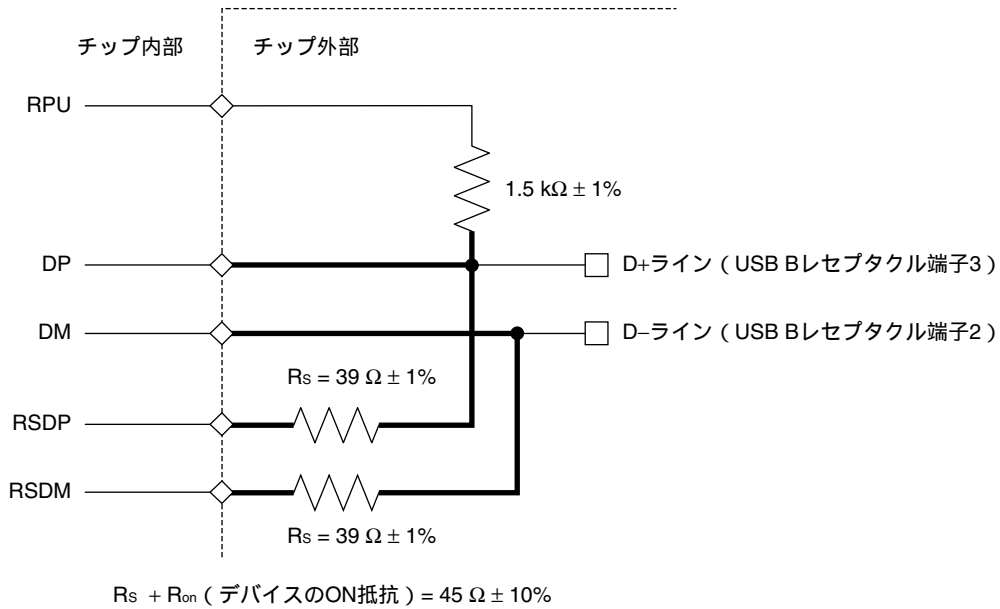


図 9-2 USB レファレンス抵抗

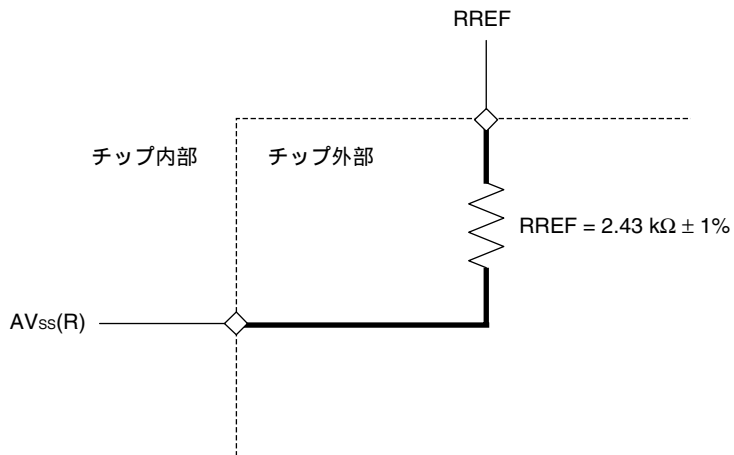
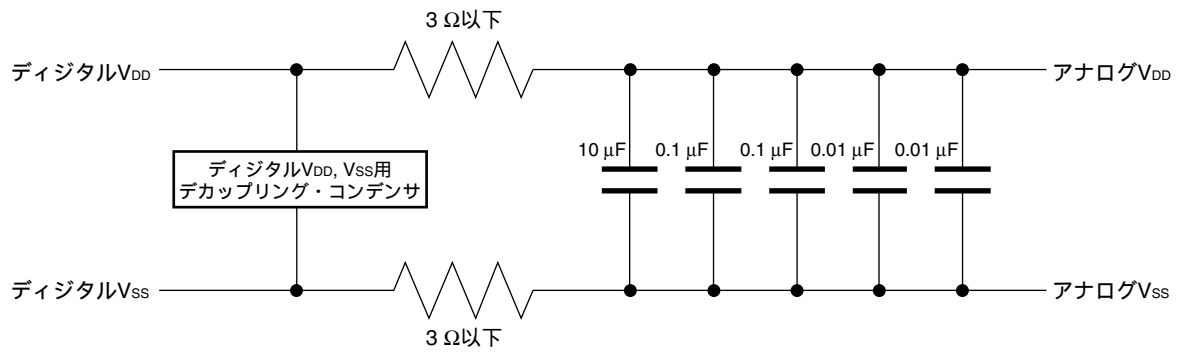
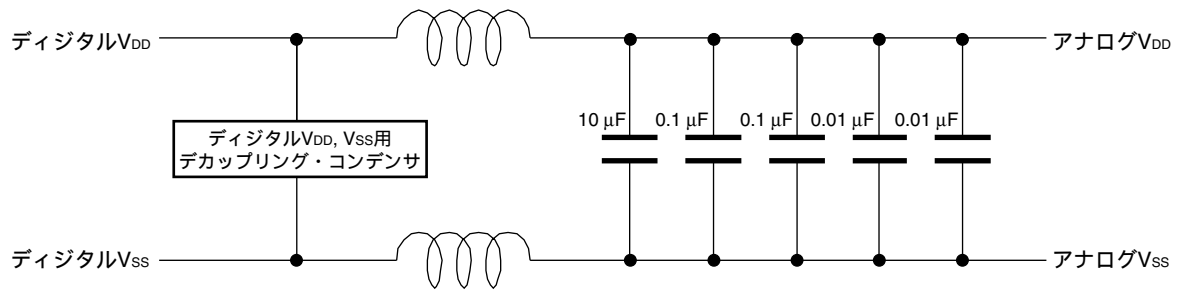


図 9-3 デカップリング・コンデンサ



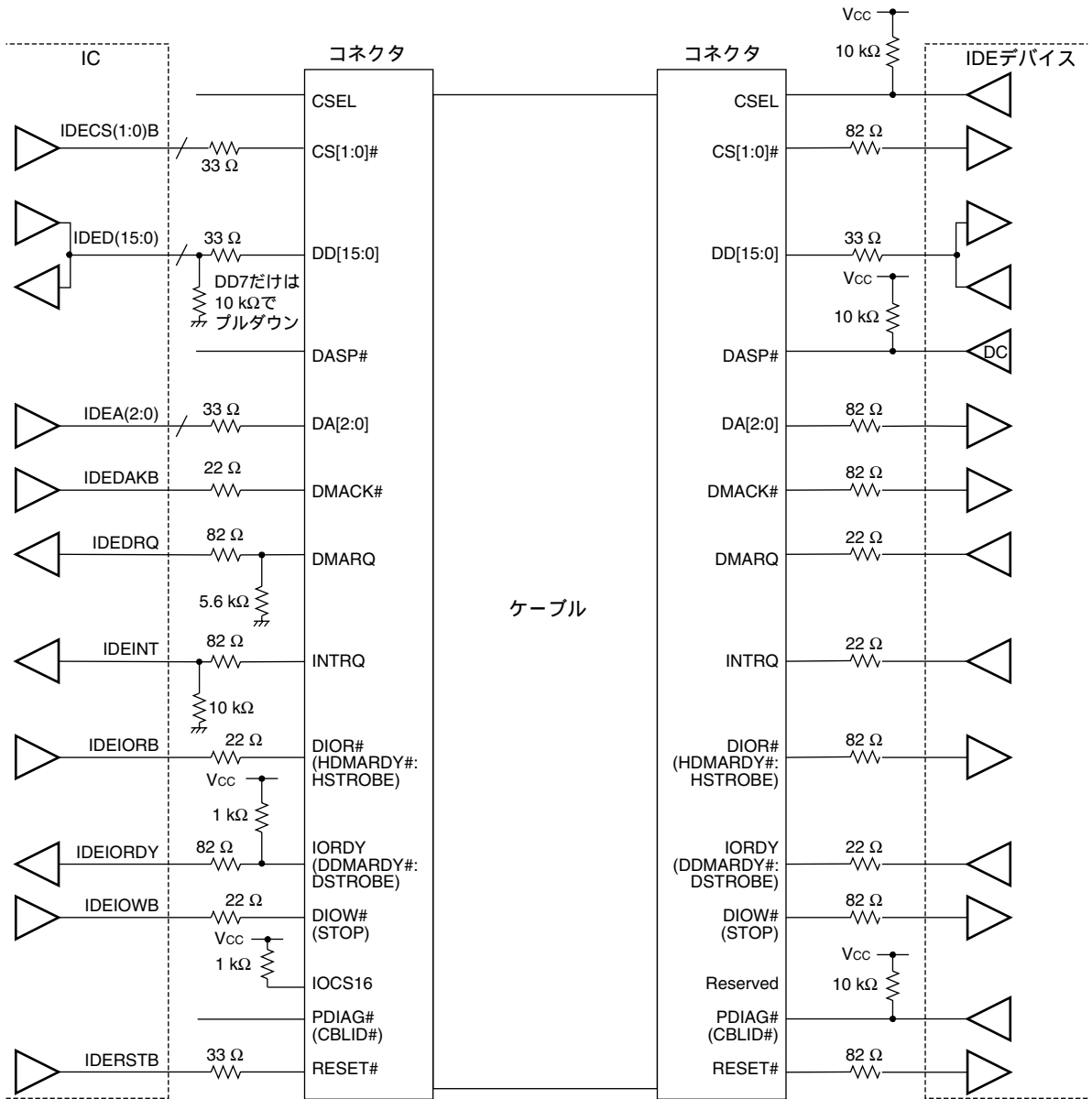
または



備考 共振に注意してください。

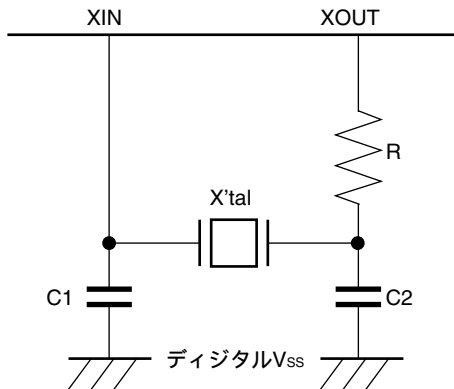
9.9 IDE 部

図 9-4 IDE 接続



9.10 発振回路

図 9-5 発振回路



ET-0148 評価ボードでは、AT-49 30 MHz を使用しています。AT-49 30 MHz の外部パラメータは、次のとおりです。

発売元	品名	R	C1	C2
KDS	AT-049 (30.000 MHz : ZB1090)	47 Ω	12 pF	12 pF

AT-49 30 MHz をお使いの場合にも、ボードでのチューニングが必要です。詳しくは、株式会社 大真空 (KDS) へお問い合わせください。

KDS's home page: <http://www.kdsj.co.jp>

AT-49 catalogue No. : 1A1300002CA

また、次の水晶振動子と外部パラメータでも動作を確認しております。

発売元	品名	R	C1	C2
NDK	AT-41, AT-41CD2, NX3225DA, NX5032GA, NX8045GB (30.000 MHz)	47 Ω	10 pF	10 pF

上記水晶振動子をお使いの場合にも、ボードでのチューニングが必要です。詳しくは、日本電波工業株式会社 (NDK) へお問い合わせください。

NDK's home page: <http://www.ndk.com>

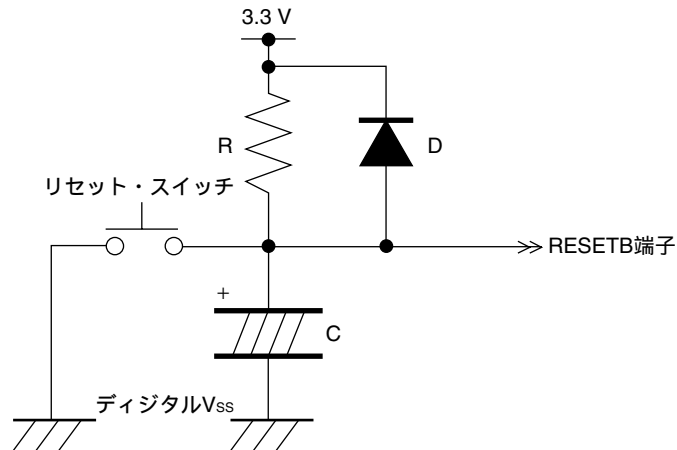
NDK catalogue No. : 02092X

注意 発振回路を使用する場合は、配線容量などの影響を避けるために、次の点にご注意ください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接続点は、常にグランドと同電位になるようにする。
- 大電流が流れるグランド・パターンには接続しない。
- 発振回路から信号を取り出さない。

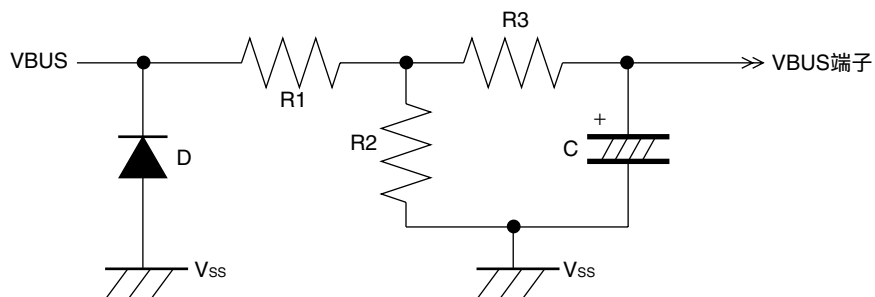
9.11 リセット回路

図 9-6 リセット回路の参考回路



9.12 VBUS モニタ

図 9-7 VBUS モニタの参考回路

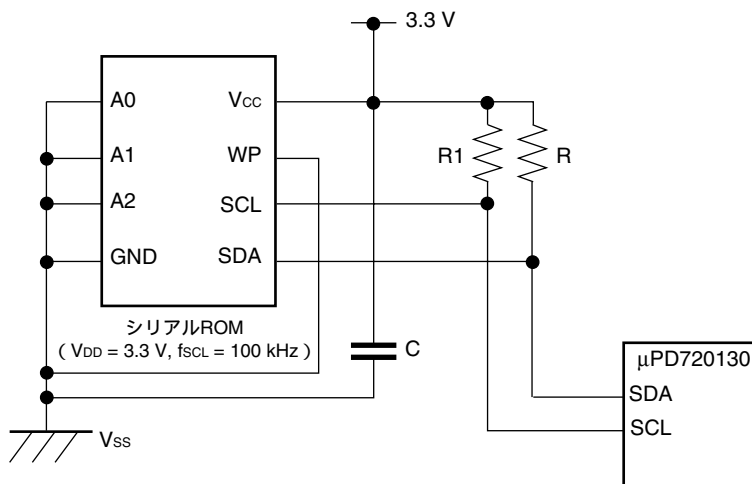


- 備考**
- VBUS 端子は、 V_{DD33} 、 V_{DD25} と AV_{DD25} がオフしているときでも VBUS をモニタしている可能性があります。絶対最大定格を越えないように、VBUS 端子への入力電圧レベルを必ず 3.0 V 以下にしてください。
 - R1, R2 と R3 の単位は k オーダにしてください。
 - バスパワー・システムには、この回路は使用できません。

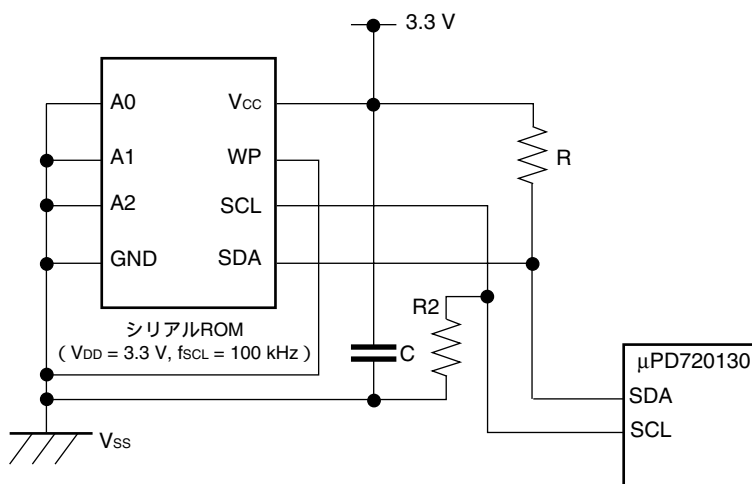
9.13 シリアルROM部

図 9-8 シリアルROM 接続

(a) シリアルROM サイズ 2 Kバイトの場合



(b) シリアルROM サイズ > 2 Kバイトの場合



第10章 電気的特性

10.1 バッファ・リスト

- 2.5 V 発振器インタフェース
XIN, XOUT
- 3.3 V 入力バッファ
MD(1:0), TEST(3:0), SMC
- 3.3 V シュミット入力バッファ
RESETB, IRQ0
- 3.3 V 制御信号付き入力バッファ (OR type)
DCC, DV(1:0), SPD, CLC, PWR, CMB_STATE
- 3.3 V $I_{OL} = 6 \text{ mA}$ 3 ステート出力バッファ
CMB_BSY, DPC
- 3.3 V $I_{OL} = 3 \text{ mA}$ 入力制御信号付き双方向シュミット・バッファ (OR type)
GPIO(7:0), PIO5, SDA, SCL
- 3.3 V $I_{OL} = 6 \text{ mA}$ 入力制御信号付き双方向バッファ (OR type)
PIO(15:14)
- 5 V シュミット入力バッファ
VBUS
- 5 V $I_{OL} = 6 \text{ mA}$ 3 ステート出力バッファ
IDEC5(1:0)B, IDEA(2:0), IDEDAKB, IDEIORB, IDEIOWB, IDERSTB
- 5 V $I_{OL} = 6 \text{ mA}$ 入力制御信号付き双方向バッファ (OR type)
IDED(15:0), IDEINT, IDEIORDY, IDEDRQ
- USB インタフェース
DP, DM, RSDP, RSDM, RREF, RPU

備考 “5 V”は5 V 耐量を持った3.3 V バッファを意味します。5 V バスに接続できますが、出力レベルは電源電圧と同じ3.3 V までになります。

10.2 絶対最大定格の規定

項 目	略号	説 明
電源電圧	V _{DD33} , V _{DD25}	V _{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
入力電圧	V _I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電圧	V _O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電流	I _O	出力端子から流れ出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容最大値を示す。
動作周囲温度	T _A	正常な論理動作をする周囲温度範囲を示す。
保存温度	T _{stg}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない阻止温度範囲を示す。

10.3 推奨動作条件の規定

項 目	略号	説 明
電源電圧	V _{DD33} , V _{DD25}	V _{SS} = 0 V とした時に正常な論理動作をする電圧範囲を示す。
ハイ・レベル入力電圧	V _{IH}	LSI の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示す。 <ul style="list-style-type: none"> MIN. 値以上の電圧を印加すれば、入力電圧がハイ・レベルであることを保証する
ロウ・レベル入力電圧	V _{IL}	LSI の入力に印加する電圧で、入力バッファが正常に動作するロウ・レベル状態の電圧を示す。 <ul style="list-style-type: none"> MAX. 値以下の電圧を印加すれば、入力電圧がロウ・レベルであることを保証する
ヒステリシス電圧	V _H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差
入力立ち上がり時間	t _{ri}	LSI の入力に印加する入力電圧が 10% から 90% に立ち上がる時間の制限値を示す。
入力立ち下がり時間	t _{fi}	LSI の入力に印加する入力電圧が 90% から 10% に立ち下がる時間の制限値を示す。

10.4 DC 特性の規定

項 目	略号	説 明
オフステート出力電流	I _{OZ}	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示す。
出力短絡電流	I _{OS}	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流。
入力リーク電流	I _I	入力端子に電圧を印加したときに、入力端子を流れる電流を示す。
ロウ・レベル出力電流	I _{OL}	規定されたロウ・レベル出力電圧において、出力端子へ流れ込む電流を示す。
ハイ・レベル出力電流	I _{OH}	規定されたハイ・レベル出力電圧において、出力端子へ流れ込む電流を示す。

10.5 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V_{DD33}	3.3 V 電源	- 0.5 ~ +4.6	V
	V_{DD25}	2.5 V 電源	- 0.5 ~ +3.6	V
入出力電圧, 5 V バッファ	V_i	3.0 V V_{DD33} 3.6 V $V_i < V_{DD33} + 3.0$ V	- 0.5 ~ +6.6	V
入出力電圧, 3.3 V バッファ	V_i	3.0 V V_{DD33} 3.6 V $V_i < V_{DD33} + 1.0$ V	- 0.5 ~ +4.6	V
入出力電圧, 2.5 V バッファ	V_i	2.3 V V_{DD25} 2.7 V $V_i < V_{DD25} + 0.9$ V	- 0.5 ~ +3.6	V
出力電圧, 5 V バッファ	V_o	3.0 V V_{DD33} 3.6 V $V_o < V_{DD33} + 3.0$ V	- 0.5 ~ +6.6	V
出力電圧, 3.3 V バッファ	V_o	3.0 V V_{DD33} 3.6 V $V_o < V_{DD33} + 1.0$ V	- 0.5 ~ +4.6	V
出力電圧, 2.5 V バッファ	V_o	2.3 V V_{DD25} 2.7 V $V_o < V_{DD25} + 0.9$ V	- 0.5 ~ +3.6	V
出力電流, 5 V バッファ	I_o	$I_{OL} = 6$ mA	20	mA
出力電流, 3.3 V バッファ	I_o	$I_{OL} = 6$ mA	20	mA
		$I_{OL} = 3$ mA	10	mA
動作周辺温度	T_A		0 ~ +70	°C
保存温度	T_{stg}		- 65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

10.6 2 電源に対する制限事項

μ PD720130 は 2.5 V と 3.3 V の 2 電源を持ちます。システムは電源が安定するまでにある程度の時間が必要ですが、このとき、2 つの電源間で安定するまでの時間にずれが生じる可能性があります。このデバイスは V_{DD33} が安定する前に V_{DD25} が安定している必要があります。電源立ち上がりでもシステムは絶対最大定格 V_i/V_o を越えないようにする必要があります。システム・リセットは V_{DD25} と V_{DD33} が安定してから、規定時間以上印加する必要があります。

10.7 推奨動作条件範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD33}	V _{DD33} 用 3.3 V 電源	3.0	3.3	3.6	V
	V _{DD25}	V _{DD25} 用 2.5 V 電源	2.3	2.5	2.7	V
	V _{DD25}	AV _{DD25} 用 2.5 V 電源	2.3	2.5	2.7	V
ハイ・レベル入力電圧	V _{IH}					
5.0 V ハイ・レベル入力電圧			2.0		5.5	V
3.3 V ハイ・レベル入力電圧			2.0		V _{DD33}	V
2.5 V ハイ・レベル入力電圧		1.7		V _{DD25}	V	
ロウ・レベル入力電圧	V _{IL}					
5.0 V ロウ・レベル入力電圧			0		0.8	V
3.3 V ロウ・レベル入力電圧			0		0.8	V
2.5 V ロウ・レベル入力電圧		0		0.7	V	
ヒステリシス電圧	V _H					
5 V ヒステリシス電圧			0.3		1.5	V
3.3 V ヒステリシス電圧			0.2		1.0	V
入力立ち上がり時間	t _{ri}					
通常バッファ			0		200	ns
シュミット・バッファ			0		10	ms
入力立ち下がり時間	t _{fi}					
通常バッファ			0		200	ns
シュミット・バッファ			0		10	ms

10. 8 DC 特性 ($V_{DD33} = 3.0 \sim 3.6 \text{ V}$, $V_{DD25} = 2.3 \sim 2.7 \text{ V}$, $T_A = 0 \sim +70^\circ\text{C}$)

10. 8. 1 制御信号の DC 特性

項 目	略号	条 件	MIN.	MAX.	単位
オフステート電流	I_{OZ}	$V_O = V_{DD33}, V_{DD25} \text{ OR } V_{SS}$		± 10	μA
出力短絡電流	$I_{OS}^{\#}$			-250	mA
ロウ・レベル出力電流	I_{OL}				
5.0 V ロウ・レベル出力電流		$V_{OL} = 0.4 \text{ V}$	6.0		mA
3.3 V ロウ・レベル出力電流		$V_{OL} = 0.4 \text{ V}$	6.0		mA
3.3 V ロウ・レベル出力電流		$V_{OL} = 0.4 \text{ V}$	3.0		mA
ハイ・レベル出力電流	I_{OH}				
5.0 V ハイ・レベル出力電流		$V_{OH} = 2.4 \text{ V}$	-2.0		mA
3.3 V ハイ・レベル出力電流		$V_{OH} = 2.4 \text{ V}$	-6.0		mA
3.3 V ハイ・レベル出力電流		$V_{OH} = 2.4 \text{ V}$	-3.0		mA
入力リーク電流	I_I				
3.3 V バッファ		$V_I = V_{DD} \text{ OR } V_{SS}$		± 10	μA
5.0 V バッファ		$V_I = V_{DD} \text{ OR } V_{SS}$		± 10	μA

注 出力短絡時間は 1 秒以下で, LSI の 1 端子のみ。

10. 8. 2 USB インタフェースの DC 特性

(1/2)

項 目	略号	条 件	MIN.	MAX.	単位
Serial Resistor between DP (DM) and RSDP (RSDM)	R_S		38.61	39.39	Ω
Output pin impedance	Z_{HSDRV}	Includes R_S resistor	40.5	49.5	Ω
Bus pull-up resistor on upstream facing port	R_{PU}	1.5 k Ω \pm 5% consists of resistance of transistor and pull-up resistor	1.485	1.515	Ω
Termination voltage for upstream facing port pull-up	V_{TERM}		3.0	3.6	V
Input Levels for Full-speed:					
High-level input voltage (drive)	V_{IH}		2.0		V
High-level input voltage (floating)	V_{IHZ}		2.7	3.6	
Low-level input voltage	V_{IL}			0.8	V
Differential input sensitivity	V_{DI}	$ (D+) - (D-) $	0.2		V
Differential common mode range	V_{CM}	Includes V_{DI} range	0.8	2.5	V
Output Levels for Full-speed:					
High-level output voltage	V_{OH}	R_L of 14.25 k Ω to V_{SS}	2.8	3.6	V
Low-level output voltage	V_{OL}	R_L of 1.425 k Ω to 3.6 V	0.0	0.3	V
SE1	V_{OSE1}		0.8		V
Output signal crossover point voltage	V_{CRS}		1.3	2.0	V

(2/2)

項目	略号	条件	MIN.	MAX.	単位
Input Levels for High-speed:					
High-speed squelch detection threshold (differential signal)	V _{HSSQ}		100	150	mV
High-speed disconnect detection threshold (differential signal)	V _{HSDSC}		525	625	mV
High-speed data signaling common mode voltage range	V _{HSCM}		-50	+500	mV
High-speed differential input signaling level	図 10-4参照				
Output Levels for High-speed:					
High-speed idle state	V _{HSOI}		-10.0	+10.0	mV
High-speed data signaling high	V _{HSOH}		360	440	mV
High-speed data signaling low	V _{HSQL}		-10.0	+10.0	mV
Chirp J level (different signal)	V _{CHIRPJ}		700	1100	mV
Chirp K level (different signal)	V _{CHIRPK}		-900	-500	mV

図10-1 Differential Input Sensitivity Range for Low-/Full-speed

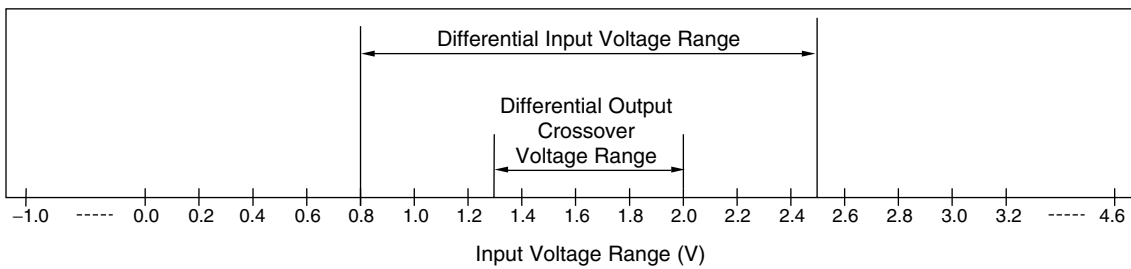


図10-2 Full-speed Buffer V_{OH}/I_{OH} Characteristics for High-speed Capable Transceiver

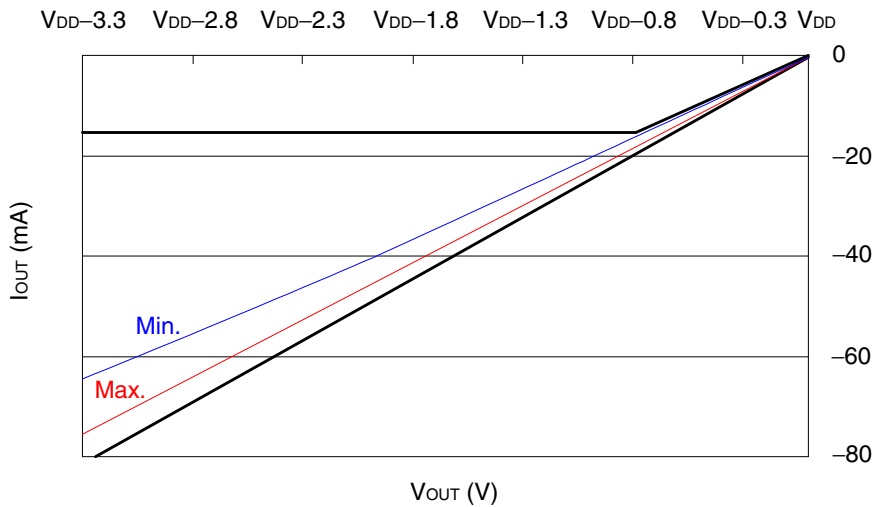


図10-3 Full-speed Buffer V_{OL}/I_{OL} Characteristics for High-speed Capable Transceiver

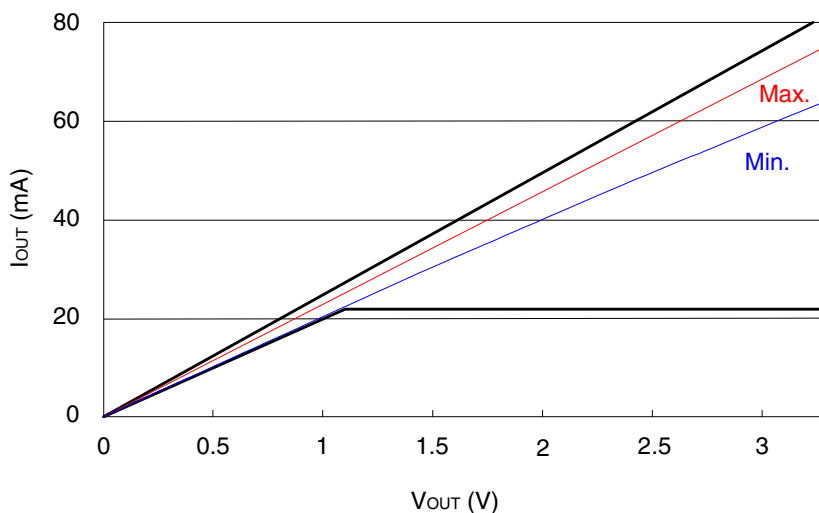


図10-4 Receiver Sensitivity for Transceiver at DP/DM

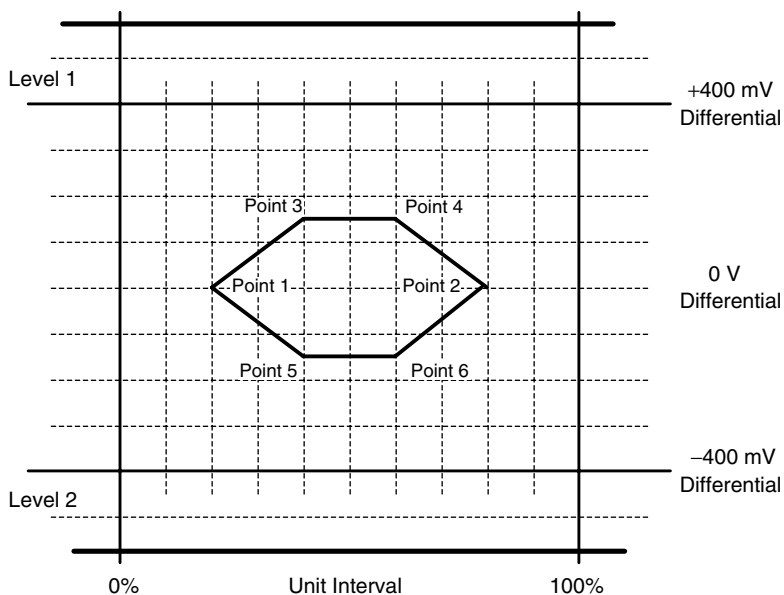
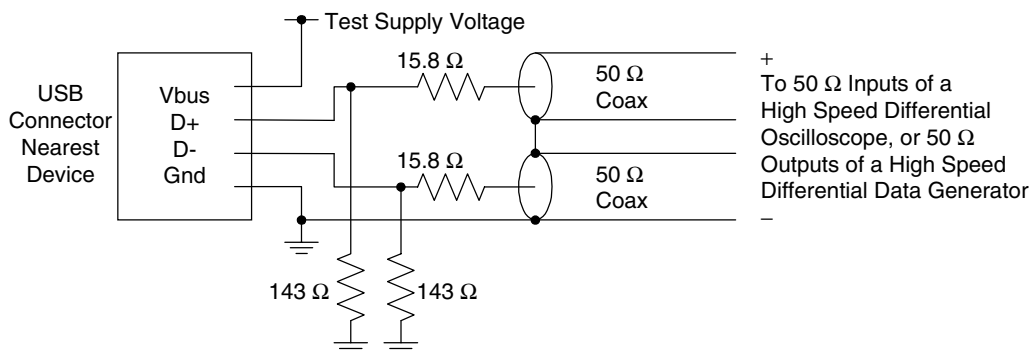


図10-5 Receiver Measurement Fixtures



10.9 端子容量

項目	略号	条件	MIN.	MAX.	単位
入力容量	C _{IN}	V _{DD} = 0 V, T _A = 25°C f _c = 1 MHz 被測定端子以外は 0 V に設定	4	6	pF
出力容量	C _{OUT}		4	6	pF
入出力容量	C _{IO}		4	6	pF

10.10 消費電力

(1) バスパワード時

略号	条件	MAX.			単位
		V _{DD25}	V _{DD33}	AV _{DD25}	
P _{ENUM-BUS}	Un-configured state 時				
	ハイ・スピードで動作	57	3	10	mA
P _{W-BUS}	データ転送時				
	ハイ・スピードで動作	110	22	10	mA
P _{W-SPD-BUS}	フル・スピードで動作	113	13	10	mA
	Suspend state 時	10	235	5	μA

(2) セルフパワード時

略号	条件	MAX.			単位
		V _{DD25}	V _{DD33}	AV _{DD25}	
P _{ENUM-SELF}	Un-configured state 時				
	ハイ・スピードで動作	85	5	10	mA
P _{W-SELF}	フル・スピードで動作	60	5	10	mA
	データ転送時				
P _{W-SPD-SELF}	ハイ・スピードで動作	120	25	10	mA
	フル・スピードで動作	113	13	10	mA
P _{W-UNP}	Suspend state 時	50	5	5	mA
P _{W-COM}	Unplug state 時	87	3	10	mA
P _{W-COM}	コンボ・モード時で、デバイスが IDE バスを開放しているとき	90	5	10	mA

10. 11 AC 特性 (VDD33 = 3.0 ~ 3.6 V, VDD25 = 2.3 ~ 2.7 V, TA = 0 ~ +70°C)

10. 11. 1 システム・クロックの AC 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
クロック周波数	f _{CLK}	振動子	-500 ppm	30	+500 ppm	MHz
		発振器	-500 ppm	30	+500 ppm	MHz
クロック・デューティ	t _{DUTY}		45	50	55	%

備考 1. クロック周波数の推奨精度は、± 100 ppm です。

2. 振動子，発振器の要求精度は部品の精度と容量や電源，温度，経年変化などによる偏差を含みます。

10. 11. 2 システム・リセットの AC 特性

項目	略号	条件	MIN.	MAX.	単位
リセット・アクティブ時間	t _{rst}		2		μs

10. 11. 3 USB インタフェースの AC 特性

(1/2)

項目	略号	条件	MIN.	MAX.	単位
Full-speed Source Electrical Characteristics					
Rise time (10% - 90%)	t _{FR}	C _L = 50 pF, R _S = 36 Ω	4	20	ns
Fall time (90% - 10%)	t _{FF}	C _L = 50 pF, R _S = 36 Ω	4	20	ns
Differential rise and fall time matching	t _{FRFM}	(t _{FR} /t _{FF})	90	111.11	%
Full-speed data rate for device which are high-speed capable	t _{FDRATHS}	Average bit rate	11.9940	12.0060	Mbps
Frame interval	t _{FRAME}		0.9995	1.0005	ms
Consecutive frame interval jitter	t _{RFI}	No clock adjustment		42	ns
Source jitter total (including frequency tolerance): To next transition For paired transitions	t _{DJ1}		-3.5	+3.5	ns
	t _{DJ2}		-4.0	+4.0	ns
Source jitter for differential transition to SE0 transition	t _{FDEOP}		-2	+5	ns
Receiver jitter: To next transition For paired transitions	t _{JR1}		-18.5	+18.5	ns
	t _{JR2}		-9	+9	ns
Source SE0 interval of EOP	t _{FEOPT}		160	175	ns
Receiver SE0 interval of EOP	t _{FEOPR}		82		ns
Width of SE0 interval during differential transition	t _{FST}			14	ns

(2/2)

項目	略号	条件	MIN.	MAX.	単位
High-speed Source Electrical Characteristics					
Rise time (10% - 90%)	t _{HSR}		500		ps
Fall time (90% - 10%)	t _{HSF}		500		ps
Driver waveform	図 10-6参照				
High-speed data rate	t _{HSDRAT}		479.760	480.240	Mbps
Microframe interval	t _{HSFRAM}		124.9375	125.0625	μs
Consecutive microframe interval difference	t _{HSRFI}			4 high-speed	Bit times
Data source jitter	図 10-6 参照				
Receiver jitter tolerance	図 10-4参照				
Device Event Timings					
Time from internal power good to device pulling D+ beyond V _{IHZ} (min.) (signaling attached)	t _{SIGATT}			100	ms
Debounce interval provided by USB system software after attach	t _{ATDDB}			100	ms
Inter-packet delay for full-speed	t _{IPD}		2		Bit times
Inter-packet delay for device response w/detachable cable for full-speed	t _{RSPIPD1}			6.5	Bit times
High-speed detection start time from suspend	t _{SCA}		2.5		μs
Sample time for suspend vs reset	t _{CSR}		100	875	μs
Time to detect bus suspend state	t _{SPD}		3.000	3.125	ms
Power down under suspend	t _{SUS}			10	ms
Reversion time from suspend to high-speed	t _{RHS}			1.333	μs
Drive Chirp K width	t _{CKO}		1		ms
Finish Chirp K assertion	t _{FCA}			7	ms
Start sequencing Chirp K-J-K-J-K-J	t _{SSC}			100	μs
Finish sequencing Chirp K-J	t _{FSC}		-500	-100	μs
Detect sequencing Chirp K-J width	t _{CSI}		2.5		μs
Sample time for sequencing Chirp	t _{SCS}		1	2.5	ms
Reversion time to high-speed	t _{RHA}			500	μs
High-speed detection start time	t _{HDS}		2.5	3000	μs
Reset completed time	t _{DRS}		10		ms

10. 11. 4 IDE インタフェースの AC 特性

(1) PIO モード

項 目	略号	Mode 0	Mode 1	Mode 2	Mode 3	Mode 4	単位
Cycle time (min.)	t ₀	600	383	240	180	120	ns
Address setup time (min.)	t ₁	70	50	30	30	25	ns
16 bits DIOR/DIOW pulse width (min.)	t ₂	165	125	100	80	70	ns
8 bits DIOR/DIOW pulse width (min.)		290	290	290	80	70	ns
DIOR/DIOW recovery time (min.)	t _{2i}	–	–	–	70	25	ns
DIOW data setup time (min.)	t ₃	60	45	30	30	20	ns
DIOW data hold time (min.)	t ₄	30	20	15	10	10	ns
DIOR data setup time (min.)	t ₅	50	35	20	20	20	ns
DIOR data hold time (min.)	t ₆	5	5	5	5	5	ns
DIOR 3-state delay time (max.)	t _{6z}	30	30	30	30	30	ns
Address hold time (min.)	t ₉	20	15	10	10	10	ns
IORDY read data valid time (min.) [※]	t _{RD}	0	0	0	0	0	ns
IORDY setup time (min.) [※]	t _A	35	35	35	35	35	ns
IORDY pulse width (max.) [※]	t _B	1250	1250	1250	1250	1250	ns
IORDY Inactive to Hi-Z time (max.) [※]	t _C	5	5	5	5	5	ns

注 IORDY は Mode 0 - 2 ではオプションです。一方, Mode 3 - 4 では必須となります。

(2) Multi Word DMA モード

項 目	略号	Mode 0	Mode 1	Mode 2	単位
Cycle time (min.)	t ₀	480	150	120	ns
DIOR/DIOW pulse width (min.)	t _b	215	80	70	ns
DIOR data access time (max.)	t _E	150	60	50	ns
DIOR data hold time (min.)	t _F	5	5	5	ns
DIOR data setup time (min.)	t _{Gr}	100	30	20	ns
DIOW data setup time (min.)	t _{Gw}	100	30	20	ns
DIOW data hold time (min.)	t _H	20	15	10	ns
DMACK data setup time (min.)	t _I	0	0	0	ns
DMACK data hold time (min.)	t _J	20	5	5	ns
DIOR negate pulse width (min.)	t _{Kr}	50	50	25	ns
DIOW negate pulse width (min.)	t _{Kw}	215	50	25	ns
DIOR-DMARQ delay time (max.)	t _{Lr}	120	40	35	ns
DIOW-DMARQ delay time (max.)	t _{Lw}	40	40	35	ns
DMACK 3-state delay time (max.)	t _Z	20	25	25	ns
CS setup time (min.)	t _M	50	30	25	ns
CS hold time (min.)	t _N	15	10	10	ns

(3) Ultra DMA モード

項 目	略号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Average cycle time for 2 cycles	t _{2CYC}	240	-	160	-	120	-	90	-	60	-	ns
Minimum cycle time for 2 cycles	t _{2CYC}	235	-	156	-	117	-	86	-	57	-	ns
Cycle time for 1 cycle	t _{CYC}	114	-	75	-	55	-	39	-	25	-	ns
Data setup time on receive side	t _{DS}	15	-	10	-	7	-	7	-	5	-	ns
Data hold time on receive side	t _{DH}	5	-	5	-	5	-	5	-	5	-	ns
Data setup time on transmit side	t _{DVS}	70	-	48	-	34	-	20	-	6	-	ns
Data hold time on transmit side	t _{DVH}	6	-	6	-	6	-	6	-	6	-	ns
First STROBE time	t _{FS}	0	230	0	200	0	170	0	130	0	120	ns
Interlock time with limitation	t _{LI}	0	150	0	150	0	150	0	100	0	100	ns
Minimum interlock time	t _{MLI}	20	-	20	-	20	-	20	-	20	-	ns
Interlock time without limitation	t _{UI}	0	-	0	-	0	-	0	-	0	-	ns
Output release time	t _{AZ}	-	10	-	10	-	10	-	10	-	10	ns
Output delay time	t _{ZAH}	20	-	20	-	20	-	20	-	20	-	ns
Output stabilization time (from release)	t _{ZAD}	0	-	0	-	0	-	0	-	0	-	ns
Envelope time	t _{ENV}	20	70	20	70	20	70	20	55	20	55	ns
STROBE DMARDY delay time	t _{SR}	-	50	-	30	-	20	-	NA	-	NA	ns
Last STROBE time	t _{RFS}	-	75	-	60	-	50	-	60	-	60	ns
Pause time	t _{RP}	160	-	125	-	100	-	100	-	100	-	ns
IORDY pull-up time	t _{IORDY}	-	20	-	20	-	20	-	20	-	20	ns
IORDY wait time	t _{ZIORD}	0	-	0	-	0	-	0	-	0	-	ns
DMACK setup/hold time	t _{ACK}	20	-	20	-	20	-	20	-	20	-	ns
STROBE STOP time	t _{SS}	50	-	50	-	50	-	50	-	50	-	ns

10. 11. 5 シリアル ROM インタフェースの AC 特性

項目	略号	条件	MIN.	MAX.	単位
Clock frequency	t_{SCL}			100	KHz
Clock pulse with low	t_{LOW}		4.7		μs
Clock pulse with high	t_{HIGH}		4.0		μs
Clock low to data valid	t_{AA}		100	4500	ns
Start hold time	$t_{HD.STA}$		4.0		μs
Start setup time	$t_{SU.STA}$		4.7		μs
Data in hold time	$t_{HD.DAT}$		0		ns
Data in setup time	$t_{SU.DAT}$		0.2		μs
Data out hold time	t_{DH}		50		ns
Stop setup time	$t_{SU.STO}$		4.7		μs
Time the bus must be free before a new transmission can start	t_{BUF}		10		μs
Write cycle time	t_{WR}		10		ms

図10-6 Transmit Waveform for Transceiver at DP/DM

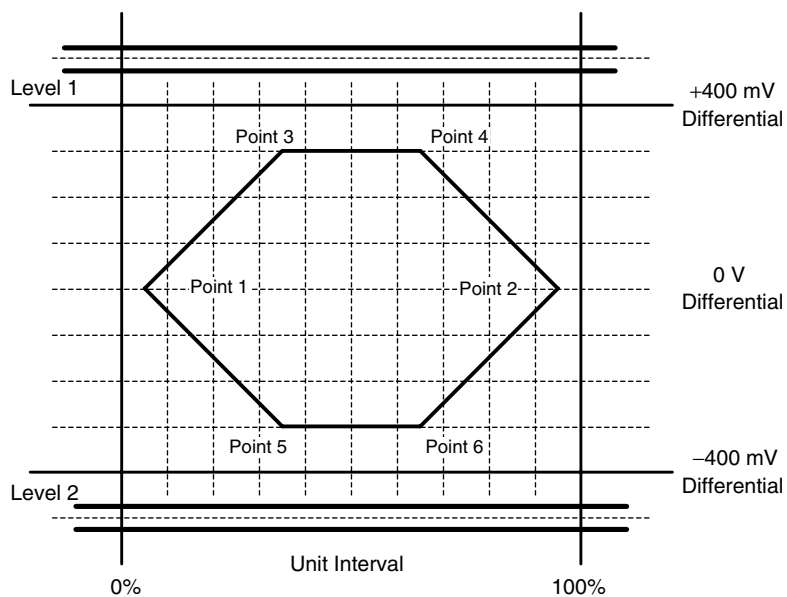
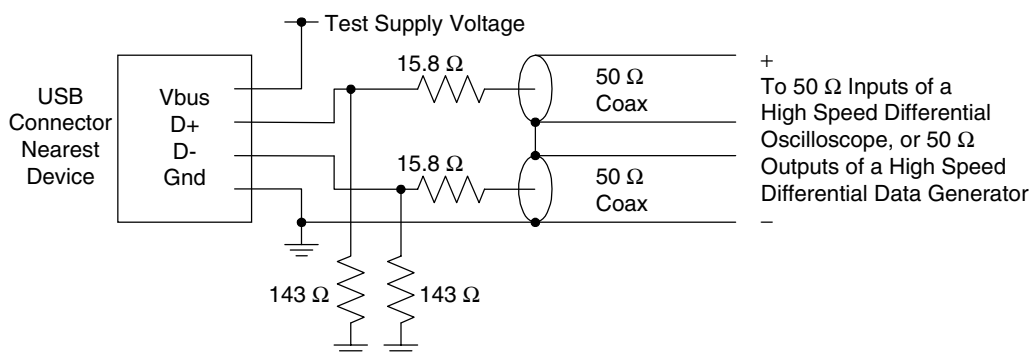
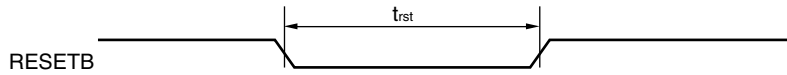


図10-7 Transmitter Measurement Fixtures



10.12 タイミング・チャート

図10-8 System Reset Timing



備考 このチップはリセット解除後、シリアルROMの読み出しを行います。シリアルROM読み出しが完了する時間内にリセットしないでください。シリアルROM読み出し時間は、次の計算式で算出してください。

$$5 + 0.1197 \times \text{バイト数} + 0.5678 \text{ (ms)}$$

例 512バイト時 66.855 ms、8 Kバイト時 986.15 ms

図10-9 USB Power-on and Connection Events

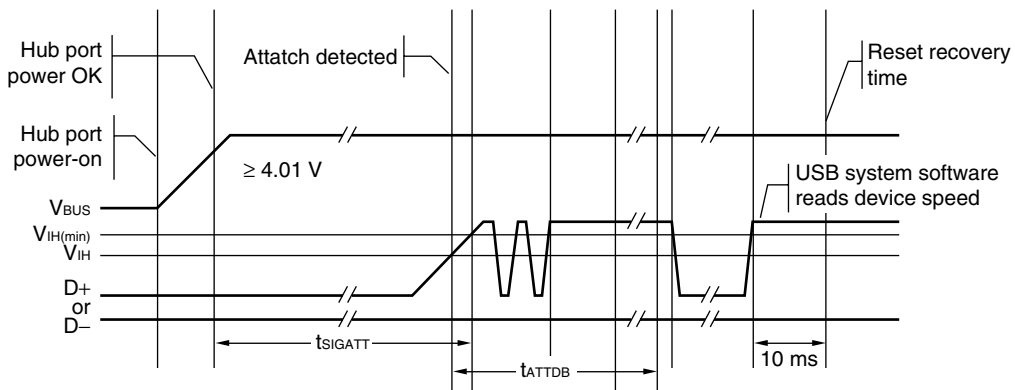


図10-10 USB Differential Data Jitter for Full-speed

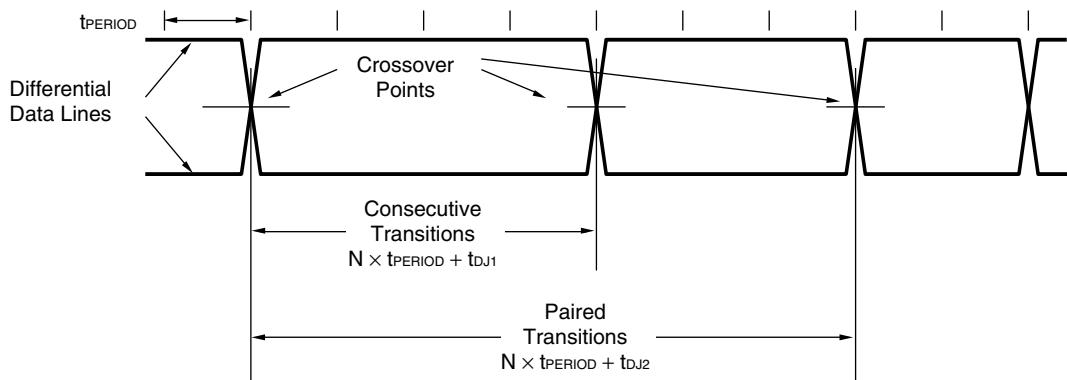


図10-11 USB Differential-to-EOP Transition Skew and EOP Width for Full-speed

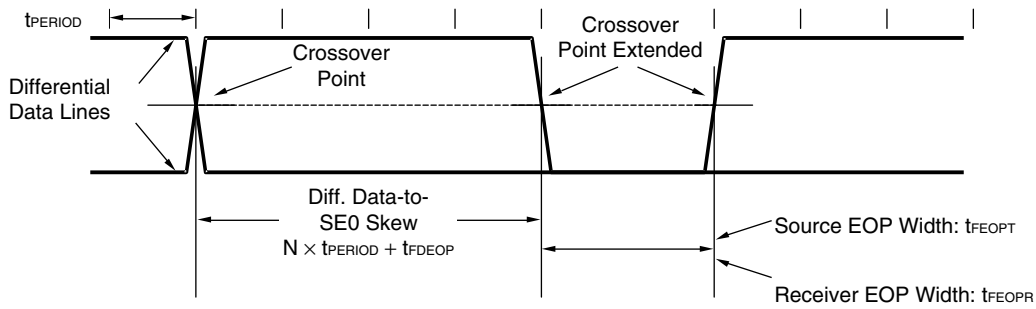


図10-12 USB Receiver Jitter Tolerance for Full-speed

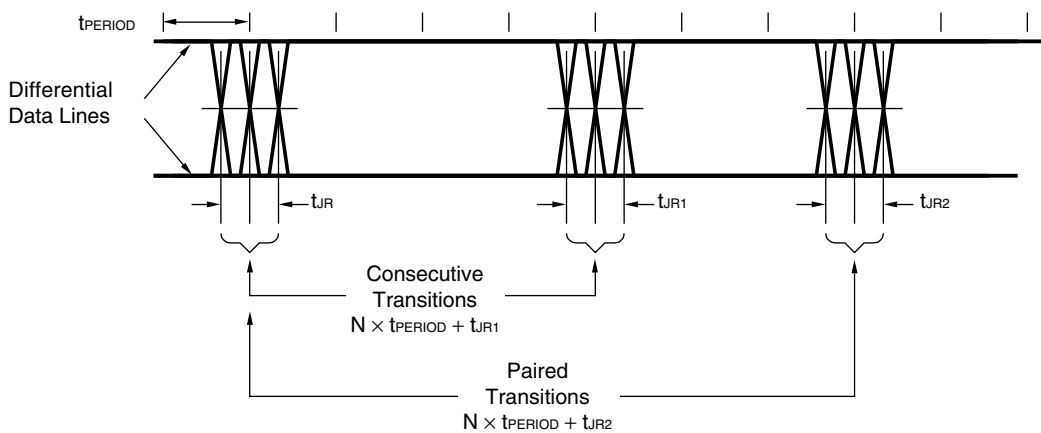


図10-13 USB Connection Sequence on Full-speed System Bus

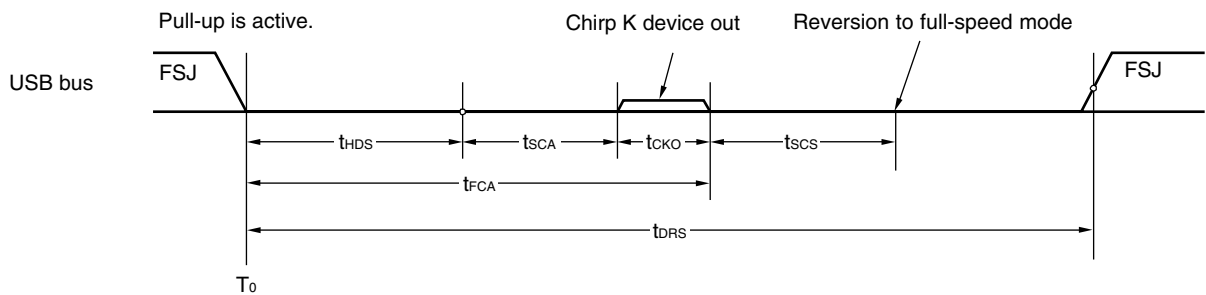


図10-14 USB Connection Sequence on High-speed System Bus

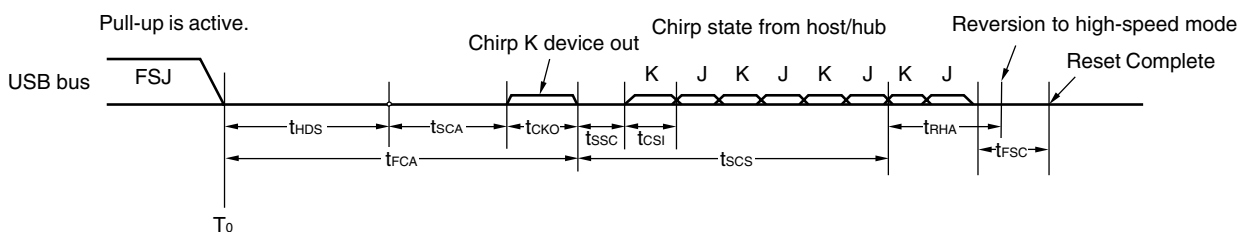


図10-15 USB Reset Sequence from Suspend State on Full-speed System Bus

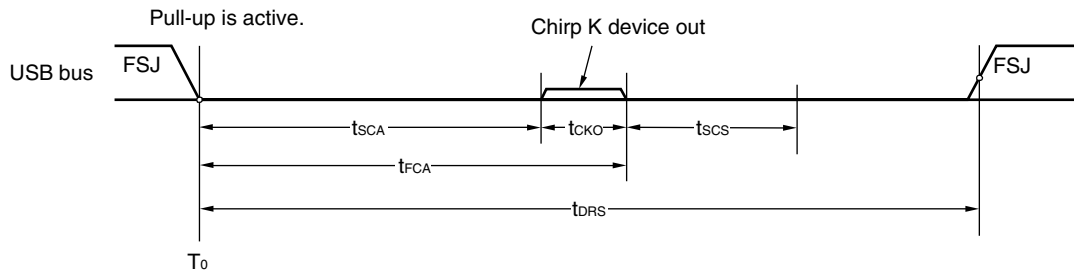


図10-16 USB Reset Sequence from Suspend State on High-speed System Bus

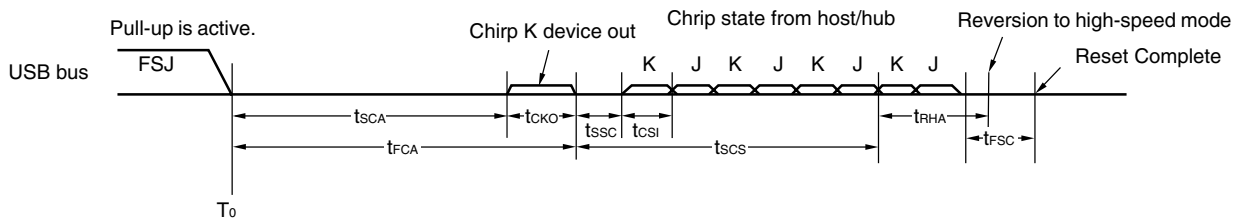


図10-17 USB Suspend and Resume on Full-speed System Bus

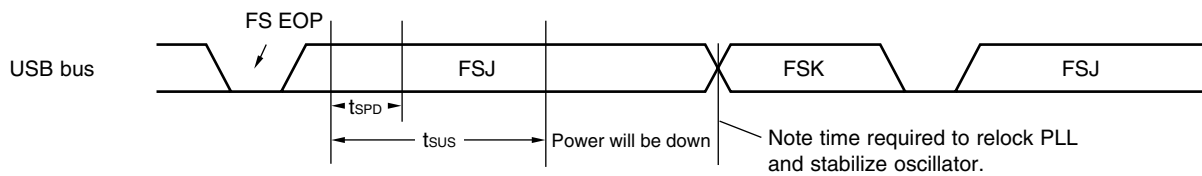


図10-18 USB Suspend and Resume on High-speed System Bus

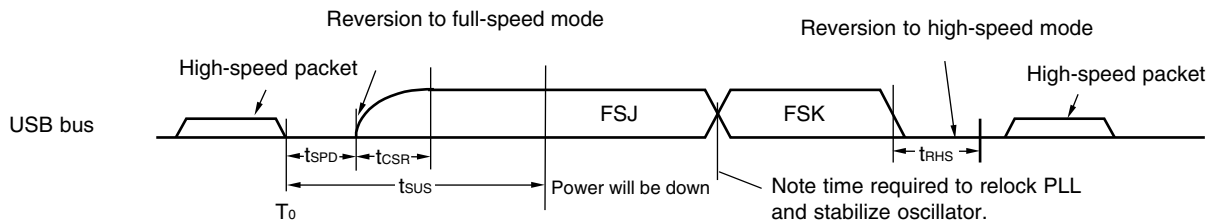


図10-19 IDE PIO Mode Timing

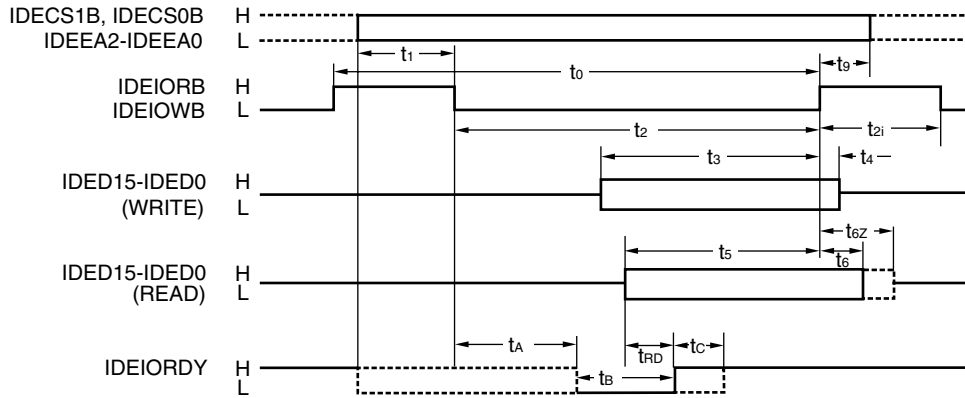


図10-20 IDE Multi Word DMA Mode Timing

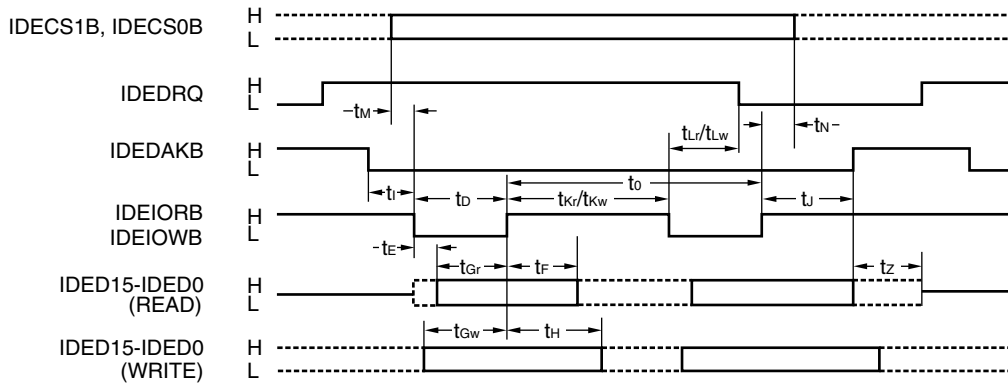


図10-21 IDE Ultra DMA Mode Data-In Timing

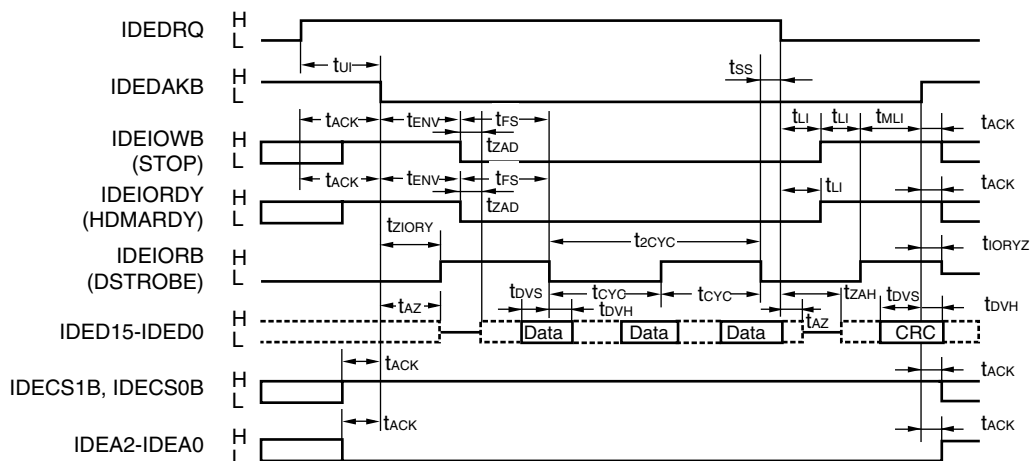


図10-22 IDE Ultra DMA Mode Data-In Stop Timing

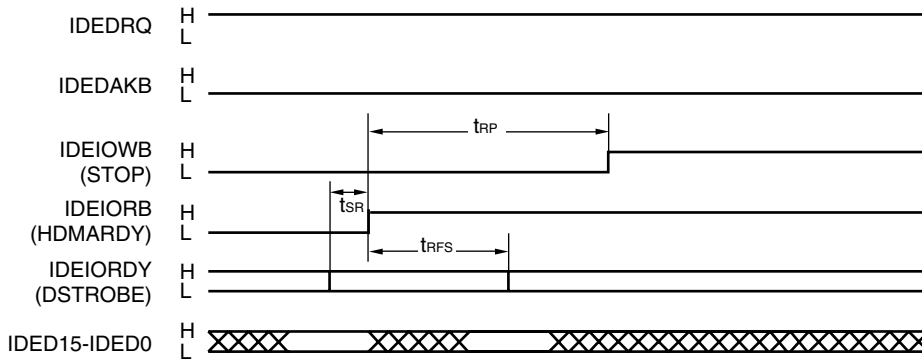


図10-23 IDE Ultra DMA Mode Data-In End Timing

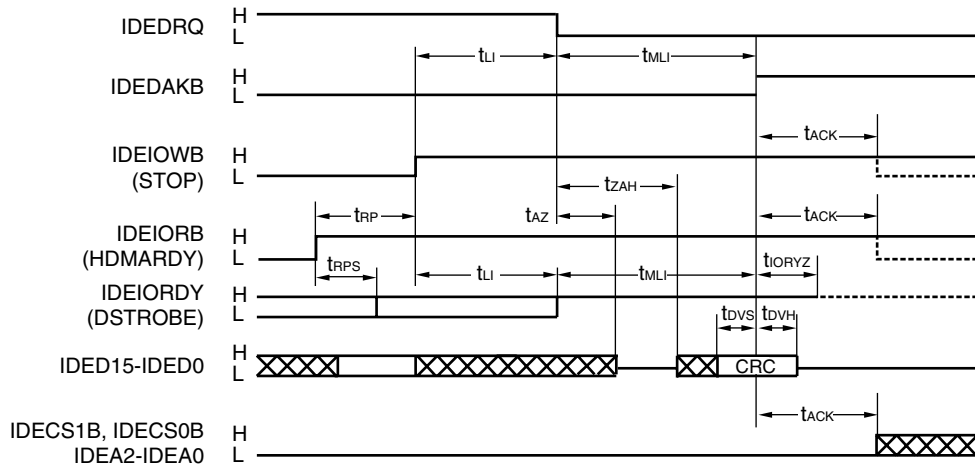


図10-24 IDE Ultra DMA Mode Data-Out Timing

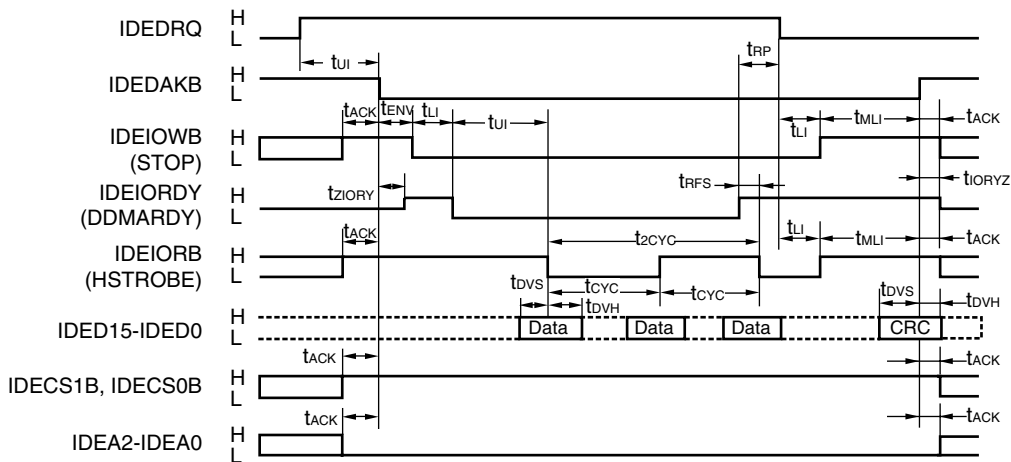


図10-25 IDE Ultra DMA Mode Data-Out Stop Timing

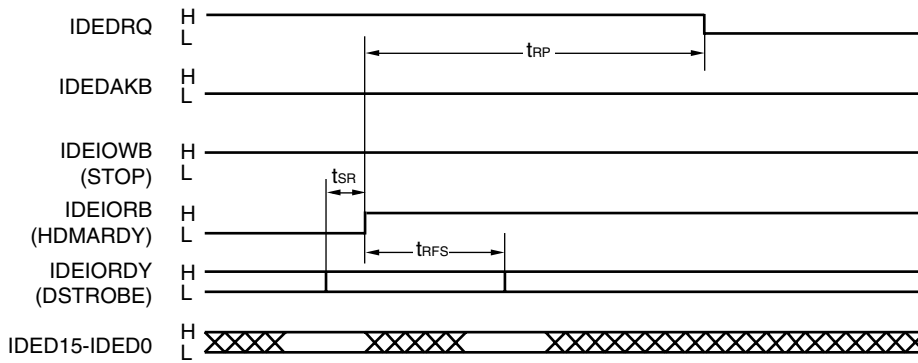


図10-26 IDE Ultra DMA Mode Data-Out End Timing

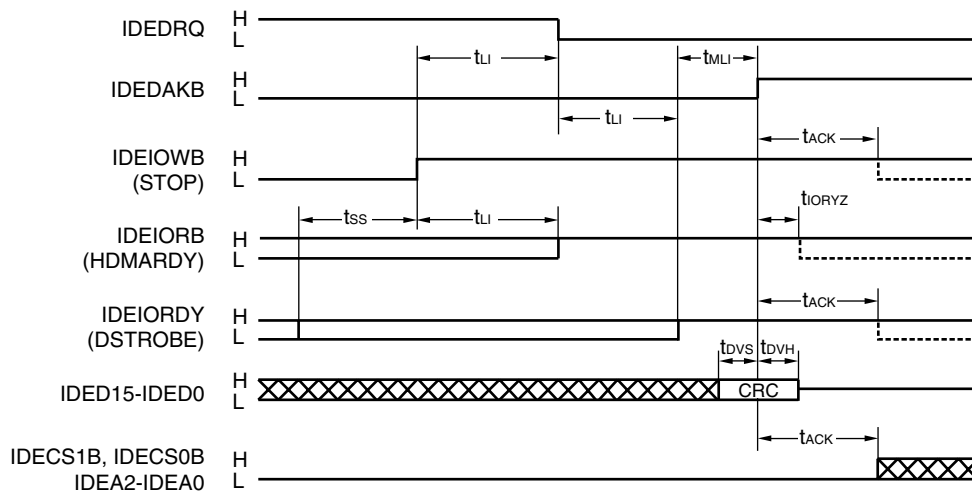


図10-27 IDE Ultra DMA Mode Data Skew Timing

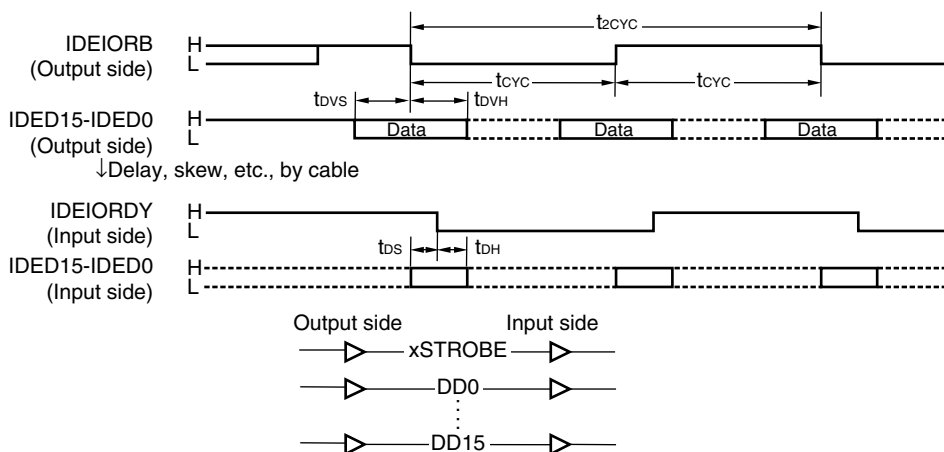


図10-28 Serial ROM Access Timing

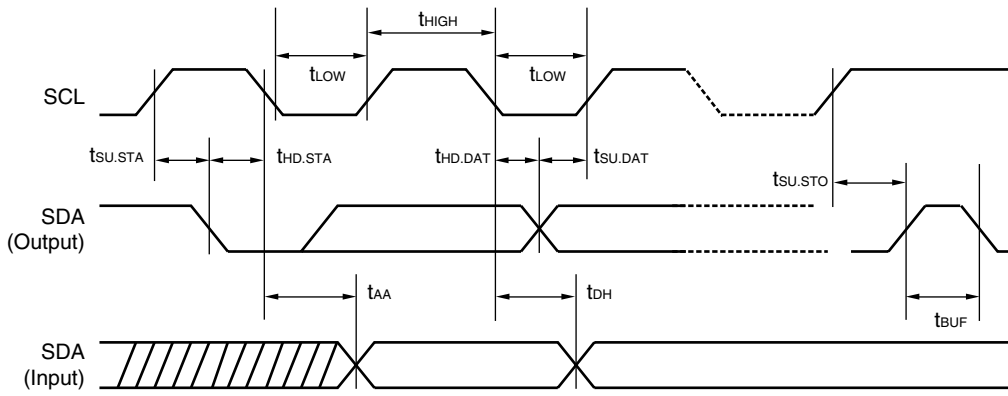
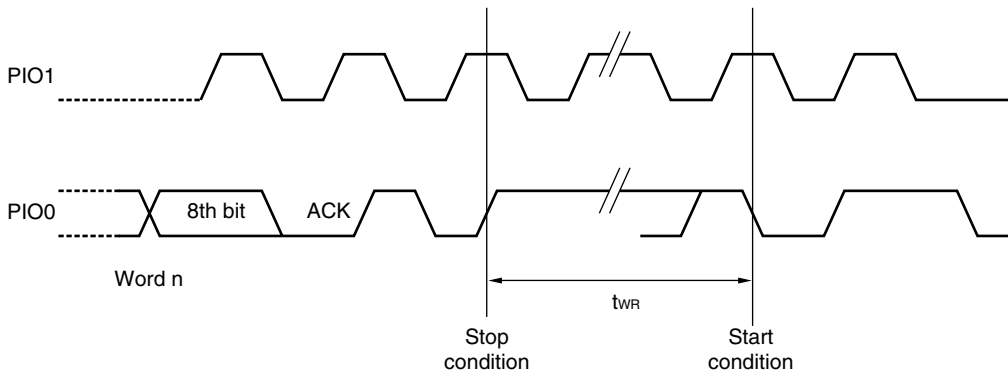


図10-29 Serial ROM Write Cycle Timing



(メ モ)

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
