

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

RENESAS

μPD720122

Function ASSP

Bulk/Interrupt Transfer **対応** EndPoint Controller **搭載**



資料番号 S15829JJ2V0UM00 (第2版)

発行年月 March 2005 NS CP (N)

© NEC Electronics Corporation 2002

(メ モ)

COL products

目 次 要 約

第 1 章	概 要	...	17
第 2 章	ブロック説明	...	53
第 3 章	リクエスト・デコード対応表	...	59
第 4 章	レジスタ構成	...	68
第 5 章	Stall または No Handshake	...	175
第 6 章	特定状態におけるレジスタ値	...	177
第 7 章	操作フロー	...	179
第 8 章	DMA 転送と BIU 動作について	...	222
第 9 章	ボード設計	...	279
第 10 章	接 続 例	...	283
第 11 章	電気的特性	...	288
第 12 章	外 形 図	...	348

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

USB ロゴは、USB Implementers Forum, Inc.の商標です。

- 本資料に記載されている内容は2005年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

本版で改訂された主な箇所

箇所	内容
全般	109ピン・プラスチックFBGA(11×11)を追加 鉛フリー製品を追加
p. 219	第7章 操作フロー 7. 1. 26 Power 最小モード フローチャートを修正

本文欄外の★印は、本版で改訂された主な箇所を示しています。

10L products

はじめに

対象者 このマニュアルは、 μ PD720122の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示す μ PD720122のハードウェア機能をユーザに理解していただくことを目的としています。

構成 このマニュアルは、次の内容で構成しています。

- ・概要
- ・ブロック説明
- ・リクエスト・デコード対応表
- ・レジスタ構成
- ・StallまたはNo Handshake
- ・特定状態におけるレジスタ値
- ・操作フロー
- ・DMA転送とBIU動作について
- ・ボード設計の注意
- ・接続例
- ・電気的特性
- ・外形図

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

凡例 データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記：xxxB（端子，信号名称の後ろにB）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- ・ μ PD720122データ・シート：S16685J

なお、 μ PD720122をご使用になる際には、次のドキュメントを必ずお読みください（最新版を参照してください）。

- ・Universal Serial Bus Specification 2.0
- ・Universal Serial Bus Device Class Definition for Printing Device
- ・Universal Serial Bus Mass Storage Class Specification Overview
(Over Viewに記載されている参考ドキュメントを含みます)

用語 このドキュメントで使用している用語に関して、次に示します。

クリア

- ・レジスタを構成するビット(フラグ)に対する動作を示し、その値を“0”または“ロウ・レベル”にすること。
- ・機能を無効にすること。

コントロール・ライト

コントロール転送において、次のシーケンスをとるリクエストを指します。

Setup token – Out token – IN token

この形態をとるリクエストは、デバイスに対して何らかのデータをライトするものです。したがって、“コントロール・ライト”としています(例: Set Descriptor Interface)。

OUT tokenはデータ・ステージで、複数存在してもよい。

IN tokenはステータス・ステージです。

コントロール・リード

コントロール転送において、次のシーケンスをとるリクエストを指します。

Setup token – IN token – Out token

この形態をとるリクエストは、デバイスから何らかのデータをリードするものです。したがって、“コントロール・リード”としています(例: Get Descriptor Device)。

IN tokenはデータ・ステージで、複数存在してもよい。

Out tokenはステータス・ステージです。

セット

- ・レジスタを構成するビット(フラグ)に対する動作を示し、その値を“1”または“ハイ・レベル”にすること。
- ・機能を有効にすること。

トグル動作

ダブル・バッファの条件が成立して、CPU側とPHY側の入れ替わる動作を指します。

トグル動作が発生する条件は、次のとおりです。

(1) EP1 (EP1 Read Buffer) のバッファ・トグル発生条件

次の2つの条件が成立したときに、バッファ・トグル(入れ替え)が発生します。

- ・EP1 Read C Buffer : バッファ内にデータがない。
- ・EP1 Read S Buffer : 正常受信完了。

(2) EP2 (EP2 Write Buffer) のバッファ・トグル発生条件

次の2つの条件が成立したときに、バッファ・トグル(入れ替え)が発生します。

- ・EP2 Write C Buffer : データ書き込み完了指示を与えた。

書き込み指示とは、次の操作を指します。

- Data End Reg. EP0W_End bitがセットされた。
- DMA Control 0 Reg. EP2_DEND_Set bitがセット (= 1) されている条件で、EP2_TCB端子がアサートされた。

- DMA Control 1 Reg. EP2_Auto_Set bitがセット (= 1) されている条件で、EP2 Write C Bufferにバッファ・サイズ分のデータ書き込みが行われた。
- EP2 Write S Buffer : 正常送信完了。

CONNECT状態 (DISCONNECT状態)

PHY CoreのUSB Busに対するモードの1つです。このモードに入ると、PHY CoreはUSBバッファ(DP, DM, RSDP, RSDM)を有効にしてBusの監視を行うとともに、必要に応じて通信を行います。

CPU側

ダブル・バッファ構成を持つ、EP1およびEP2 Bufferにおいて使用します。

CPU側とは、CPUインタフェースまたはLocal Busインタフェースと接続されている位置にあるバッファを指します。このバッファは条件が成立すると、自動的に入れ替えが発生します。

DISCONNECT状態 (CONNECT状態)

PHY CoreのUSB Busに対するモードの1つです。このモードに入ると、PHY CoreはUSBバッファ(DP, DM, RSDP, RSDM)を無効として、Busの監視を停止します(システムへのBus Statusは“Suspend”とします)。

EP

EndPoint (エンドポイント) の省略表記です。

例として、“EndPoint 1”は“EP1”と表記します。

PHY側

ダブル・バッファ構成を持つ、EP1およびEP2 Bufferにおいて使用します。

PHY側とは、PHY Coreと接続されている位置にあるバッファを指します。このバッファは条件が成立すると、自動的に入れ替えが発生します。

ファームウェア実行リクエスト、ファームウェア実行、ファームウェア処理

- コントロール転送のうち、 μ PD720122のハードウェアが自動的に実行しないリクエスト、またはその動作を指します。ファームウェア実行リクエストについては、**第3章 リクエスト・デコード対応表**を参照してください。
- μ PD720122がUSBプロトコルまたはシステム・インタフェースに応じて、システム(ファームウェア)が判断して自動的に行う処理。例として、割り込みステータス・フラグのクリアなどがあります。

ハードウェア実行リクエスト、ハードウェア実行、ハードウェア処理

- コントロール転送のうち、 μ PD720122のハードウェアが自動的に実行するリクエスト、またはその動作を指します。ハードウェア実行リクエストについては、**第3章 リクエスト・デコード対応表**を参照してください。ただし、ハードウェア実行リクエストと定義されていても、Req_Sel Control Reg.にて選択されたリクエストに関してはファームウェア実行リクエストと同様に処理をする必要があります。
- μ PD720122がUSBプロトコルまたはシステム・インタフェースに応じて、ハードウェアが判断して自動的に行う処理。例として、ステータス・フラグの自動クリアやデータ転送のリトライ処理などがあります。

Local Bus

μ PD720122には、次の2種類のLocal Busがあります。

(1) External Local Bus

BIU – 外部システム間を接続するためのバスです。

外部端子にアサインされており、データ・バスはEP1とEP2はマルチプレクスされています（制御端子は個別に存在します）。

このバスを使用するためには、次の条件がすべて成立する必要があります。

- DMA Control 1 Reg. EP2_Local_Set bit and/or EP1_Local_Set bit = 1
- DMA Control 2 Reg. EP2_DMA_Set bit and/or EP1_DMA_Set = 1
- BIU Control 0 Reg. DMABUSSEL bit = 0
- BIU Control 1 and/or 2 Reg. EP1DMAEN bit / EP2DMAEN bit = 1

(2) Internal Local Bus

BIU – EPC2 Core間を接続するためのバスです。Bulk OUT / Bulk IN転送を行う場合には必ずInternal Local Busを有効にする必要があります。

このバスを使用するためには、以下の条件がすべて成立する必要があります。

- DMA Control 1 Reg. EP2_Local_Set bit and/or EP1_Local_Set bit = 1
- DMA Control 2 Reg. EP2_DMA_Set bit and/or EP1_DMA_Set bit = 1

Noデータ・コントロール

コントロール転送において、次のシーケンスをとるリクエストを指します。

Setup – IN token

この形態をとるリクエストは、データ・ステージが存在しないものです。したがって、“Noデータ・コントロール”としています（例：Set Address）。

PIO転送

CSBをアサートおよびアドレスを指定してアクセスを行う制御方法を指します。

この転送方式は、すべてのレジスタに対して使用することが可能ですが、EP1 and/or EP2に対するDMA転送とは排他使用しかできません。

DMA転送

EP1_DRQB and/or EP2_DRQBをアサートしてアクセスを行う制御方法を指します。

この転送方式は、EP1とEP2に対してのみ使用することができます。

0バイト

USBで使用される“Null”という用語は、このマニュアルでは“0”と表記します。

例として、“Nullデータ”は“0バイト長データ”と表記します。

USB端子

USB Bus上のDP, DMラインに接続する端子です。

μPD720122は、HS用とFS用で別の端子があります（1.3 端子情報参照）。

このマニュアルでは、D+用端子をDP（HS用D+）、RSDP（FS用D+）、DM（HS用-）、RSDM（FS用D-）と表記します。

目 次

第 1 章 概 要 ... 17

- 1.1 オーダ情報 ... 17
- 1.2 特 徴 ... 18
 - 1.2.1 FS 動作から HS 動作への移行について ... 19
- 1.3 端子情報 ... 20
 - 1.3.1 端子接続図 ... 20
 - 1.3.2 端子一覧 (μ PD720122GC-9EU , 720122GC-9EU-A) ... 22
 - 1.3.3 端子一覧 (μ PD720122F1-DN2 , 720122F1-DN2-A) ... 33
 - 1.3.4 端子機能 ... 45
 - 1.3.5 特定状態の端子情報 ... 50
 - 1.3.6 インタフェース・ブロック ... 51

第 2 章 ブロック説明 ... 53

- 2.1 ブロック図 ... 53
- 2.2 レジスタ・イメージ ... 54
 - 2.2.1 制御レジスタ系 ... 54
 - 2.2.2 データ転送系 ... 54
- 2.3 特定信号接続図 ... 56
- 2.4 特定モードの対応 ... 57
 - 2.4.1 UnPlug 時 (CONNECTB ビットの操作) ... 57
 - 2.4.2 System Not Ready 時 (PUE ビットの操作) ... 57
 - 2.4.3 Suspend 時 (SPND ビット) ... 58

第 3 章 リクエスト・デコード対応表 ... 59

- 3.1 ハードウェア自動実行リクエスト ... 59
- 3.2 ファームウェア実行リクエスト ... 61
 - 3.2.1 USB Protocol に対する補足事項 ... 63
- 3.3 自動リクエストの処理 ... 64
 - 3.3.1 GET_CONFIGURATION() ... 64
 - 3.3.2 GET_INTERFACE() ... 64
 - 3.3.3 GET_STATUS() ... 64
 - 3.3.4 SET_ADDRESS() ... 65
 - 3.3.5 SET_CONFIGURATION() ... 65
 - 3.3.6 SET_FEATURE() (TEST_MODE 以外の場合) ... 66
 - 3.3.7 SET_FEATURE() (TEST_MODE の場合) ... 66
 - 3.3.8 SET_INTERFACE() ... 67
 - 3.3.9 SOFT RESET() ... 67

第4章 レジスタ構成 ... 68

- 4.1 レジスタ一覧 ... 68
 - 4.1.1 Function 1, 3 (16 bit モード) 時のレジスタ配置一覧 ... 68
 - 4.1.2 Function 2 (8 bit モード) 時のレジスタ配置一覧 ... 73
- 4.2 レジスタ詳細 ... 78
 - 4.2.1 Control Data 領域 ... 78
 - 4.2.2 Trans Data Register 領域 ... 145
 - 4.2.3 Protocol Data 領域 ... 164
 - 4.2.4 BIU Control 領域 ... 171

第5章 Stall または No Handshake ... 175

第6章 特定状態におけるレジスタ値 ... 177

第7章 操作フロー ... 179

- 7.1 操作方法 ... 179
 - 7.1.1 チップの初期化 ... 180
 - 7.1.2 USB メイン処理モジュール ... 181
 - 7.1.3 USB Bus Reset 受信時 ... 181
 - 7.1.4 Control EP に対するリクエスト処理 ... 182
 - 7.1.5 Control 転送の分岐 ... 182
 - 7.1.6 ハードウェア実行リクエスト (No Data Control) ... 183
 - 7.1.7 ハードウェア実行リクエスト (Control Read) ... 184
 - 7.1.8 ファームウェア実行リクエスト (Setup トークン解析) ... 185
 - 7.1.9 ファームウェア実行リクエスト (No Data Control) ... 186
 - 7.1.10 ファームウェア実行リクエスト (Control Write) ... 187
 - 7.1.11 ファームウェア実行リクエスト (Control Read) ... 193
 - 7.1.12 データ受信時の処理 ... 194
 - 7.1.13 データ送信時の処理 ... 194
 - 7.1.14 EP1 に対するデータ転送 (Bulk OUT) ... 195
 - 7.1.15 データ受信時の処理 ... 201
 - 7.1.16 DMA 転送時 ... 202
 - 7.1.17 EP2 に対するデータ転送 (Bulk IN 転送) ... 205
 - 7.1.18 Bulk IN データ送信方法 ... 207
 - 7.1.19 DMA 転送時 ... 208
 - 7.1.20 EP3 に対するデータ転送 (Interrupt 転送) ... 210
 - 7.1.21 INT データ送信方法 ... 211
 - 7.1.22 PING トークンに対する対応 ... 212
 - 7.1.23 OUT トークンに対する NYET 応答 ... 214
 - 7.1.24 Suspend 処理 ... 216
 - 7.1.25 Resume 処理 ... 218

- 7. 1. 26 Power 最小モード ... 219
- 7. 1. 27 Plug IN , Plug OUT 時の処理 ... 220

第 8 章 DMA 転送と BIU 動作について ... 222

- 8. 1 External Local Bus 16-bit Mode, Single Mode Transfer ... 223
 - 8. 1. 1 Bulk OUT ... 223
 - 8. 1. 2 Bulk IN ... 230
- 8. 2 External Local Bus 16-bit Mode, Demand Mode Transfer ... 237
 - 8. 2. 1 Bulk OUT ... 237
 - 8. 2. 2 Bulk IN ... 244
- 8. 3 External Local Bus 8-bit Mode, Single Mode Transfer ... 251
 - 8. 3. 1 Bulk OUT ... 251
 - 8. 3. 2 Bulk IN ... 258
- 8. 4 External Local Bus 8-bit Mode, Demand Mode Transfer ... 265
 - 8. 4. 1 Bulk OUT ... 265
 - 8. 4. 2 Bulk IN ... 272

第 9 章 ボード設計の注意 ... 279

- 9. 1 USB 差動信号配線 (チップの DP, DM, RSDP, RSDM から USB コネクタまでの配線) ... 279
- 9. 2 AV_{DD} ... 279
- 9. 3 AV_{SS} ... 280
- 9. 4 デカップリング・コンデンサ ... 280

第 10 章 接続例 ... 283

- 10. 1 接続例 ... 284
 - 10. 1. 1 CPU Bus のみに接続して使用する場合 ... 284
 - 10. 1. 2 CPU Bus と External Local Bus を分離して使用する場合 ... 285
- 10. 2 DMA コントローラ ... 286
 - 10. 2. 1 Single 転送 ... 286
 - 10. 2. 2 Demand 転送 ... 286

第 11 章 電気的特性 ... 288

- 11. 1 絶対最大定格の規定 ... 288
- 11. 2 推奨動作条件の規定 ... 288
- 11. 3 DC 特性の規定 ... 288
- 11. 4 絶対最大定格 ... 289
- 11. 5 推奨動作条件範囲 ... 289
- 11. 6 DC 特性 ... 290
 - 11. 6. 1 USB インタフェースの DC 特性 ... 290
 - 11. 6. 2 BIU の DC 特性 ... 293
 - 11. 6. 3 端子容量 ... 293
 - 11. 6. 4 消費電力 ... 294

11.7 AC 特性 (TA = 0 ~ +70°C, VDD = 3.3 V±10%)	...	295
11.7.1 全般および BIU 部の AC 特性	...	295
11.7.2 Function 1 選択時の BIU 部の AC 特性	...	296
11.7.3 Function 2, 3 選択時の BIU 部の AC 特性	...	314
11.7.4 External Local Bus	...	316
11.7.5 USB interface timing	...	340

第12章 外形図	...	348
----------	-----	-----

IOOL products

図の目次 (1/2)

図番号	タイトル, ページ
2-1	ブロック図 ... 53
2-2	レジスタ・イメージ (制御レジスタ系) ... 54
2-3	レジスタ・イメージ (データ転送系) ... 54
2-4	CLK, Suspend, Resume 関連信号接続 ... 56
4-1	SPND 動作説明 ... 90
4-2	EP0 Read16 Register ... 145
4-3	EP0 Setup16 Register (1) ... 146
4-4	EP0 Setup16 Register (2) ... 147
4-5	EP0 Write16 Register (1) ... 148
4-6	EP0 Write16 Register (2) ... 149
4-7	EP1 Read16L Register (1) ... 150
4-8	EP1 Read16L Register (2) ... 150
4-9	EP2 Write16L Register (1) ... 152
4-10	EP2 Write16L Register (2) ... 152
4-11	EP2 Write16L Register (3) ... 153
4-12	EP3 Write16 Register (1) ... 154
4-13	EP3 Write16 Register (2) ... 154
4-14	EP0 Read8 Register ... 155
4-15	EP0 Setup8 Register (1) ... 156
4-16	EP0 Setup8 Register (2) ... 157
4-17	EP0 Write8 Register (1) ... 158
4-18	EP0 Write Register (2) ... 158
4-19	EP1 Read8L Register (1) ... 159
4-20	EP1 Read8L Register (2) ... 160
4-21	EP2 Write8L Register (1) ... 161
4-22	EP2 Write8L Register (2) ... 162
4-23	EP2 Write8L Register (3) ... 162
4-24	EP3 Write8 Register (1) ... 163
4-25	EP3 Write8 Register (2) ... 163
9-1	USB 差動信号配線 ... 281
9-2	AV _{SS} 配線 ... 281
9-3	デカップリング・コンデンサ ... 282

図の目次 (2/2)

図番号	タイトル, ページ
11-1	Differential Input Sensitivity Range for Low-/Full-Speed ... 291
11-2	Full-Speed Buffer VOH/IOH Characteristics for High-Speed Capable Transceiver ... 291
11-3	Full-Speed Buffer VOL/IOL Characteristics for High-Speed Capable Transceiver ... 292
11-4	Receiver Sensitivity for Transceiver at D+/D- ... 292
11-5	Receiver Measurement Fixtures ... 293
11-6	Transmit waveform for transceiver at D+/D- ... 342
11-7	Transmitter Measurement Fixtures ... 342
11-8	Power-on and Connection Events Timing ... 342
11-9	USB Differential Data Jitter for Full-Speed ... 343
11-10	USB Differential-to-EOP Transition Skew and EOP Width for Full-Speed ... 343
11-11	USB Receiver Jitter Tolerance for Full-Speed ... 343
11-12	USB connection sequence on USB1.1 Bus ... 344
11-13	USB connection sequence on USB2.0 Bus ... 344
11-14	Bus reset sequence (1) ... 344
11-15	Bus reset sequence (2) ... 345
11-16	USB reset from suspend state (1) ... 345
11-17	USB reset from suspend state (2) ... 345
11-18	Suspend and resume on USB1.1 Bus ... 346
11-19	Suspend and resume on USB2.0 Bus ... 346
11-20	Remote wake up on USB1.1 ... 346
11-21	Remote wake up on USB2.0 ... 347

第1章 概要

μPD720122 は USB2.0 に対応した PHY, EP および CPU インタフェースを行う BIU (Bus Interface Unit) を搭載しています。

EP 部分は Bulk 転送や Interrupt 転送を使用する Printer Class や Storage Class に適した構造となっています。外部端子 (M1/M0) の設定により BIU の動作モードを設定できます。外部端子 (M1/M0) は固定して使用してください。

端子		BIU 動作モード	概要
M1	M0		
0	0	16 bit モード (Function 1)	CPU Bus 16 bit, Bulk IN/OUT にデータ転送専用の External Local Bus を準備しています。内部レジスタは 16 bit となります。
0	1	8 bit モード (Function 2)	アドレス 8 bit / データ 8 bit のマルチプレクス・バスのモードです。このモード時のみ、レジスタは 8 bit となります (バイト・アクセスのみ)。そのためアドレス空間が、他のモードとは異なります。 ACTIVE 端子により、一部の External Local Bus 制御端子のアクティブ・レベルが変更可能です。
1	0	16 bit Mix モード (Function 3)	アドレス 8 bit / データ 16 bit のマルチプレクス・バスのモードです。内部レジスタは 16 bit となります。 ACTIVE 端子により、一部の External Local Bus 制御端子のアクティブ・レベルが変更可能です。
1	1	設定禁止 (Function 4)	設定禁止です。

1.1 オーダ情報

オーダ名称	パッケージ
μPD720122GC-9EU	100 ピン・プラスチック TQFP (ファインピッチ) (14 × 14)
★ μPD720122GC-9EU-A	100 ピン・プラスチック TQFP (ファインピッチ) (14 × 14)
★ μPD720122F1-DN2	109 ピン・プラスチック FBGA (11 × 11)
★ μPD720122F1-DN2-A	109 ピン・プラスチック FBGA (11 × 11)
★ 備考	μPD720122GC-9EU-A, 720122F1-DN2-A は鉛フリー製品です。

1.2 特徴

μPD720122 の主な特徴を次にまとめます。

(1) FS モード, HS モードの自動切り替え機能 (FS : Full Speed , HS : High Speed)

FS モード, HS モードの切り替えを自動で行います。

それぞれのモードでの EP の構成を次に示します。

● FS 動作時

Control EP	Setup Data	8 Byte	
	Control IN / OUT	64 Byte / 64 Byte	
	EP1	Bulk OUT 注	64 Byte x 2 (バンク構成)
	EP2	Bulk IN	64 Byte x 2 (バンク構成)
	EP3	Interrupt IN	8 Byte

● HS 動作時

Control EP	Setup Data	8 Byte	
	Control IN / OUT	64 Byte / 64 Byte	
	EP1	Bulk OUT 注	512 Byte x 2 (バンク構成)
	EP2	Bulk IN	512 Byte x 2 (バンク構成)
	EP3	Interrupt IN	8 Byte

注 Bulk Only Protocol をサポートする機能があります。

この機能は, "Bulk Only Control Register" の設定により OFF にできます。

(2) 高速データ転送

DMA Demand モードを使用することで, データ・ライト, データ・リードの転送能力は, 約 21M Byte / sec となります (この数値は設計値です。実際には使用される環境に依存して, 低下する可能性があります)。

(3) Mass Storage Class 対応機能

- ・ Mass Storage Class の BulkOnly モードをサポートする機能を搭載しています (Bulk OUT Data 中の "CBW Signature" を検出できます)。
- ・ プリンタ・クラス・リクエスト以外に, ストレージ・クラス・リクエストの解析を追加しています。

(4) 多様な CPU Bus タイプに対応

外部端子 (M0, M1) により, 各種 CPU に対応可能です。

(5) External Local Bus 機能 (Function 3 を除きます)

EP1, EP2 の Bulk EP に専用の双方向 Bus を準備しています。

この機能により, CPU Bus を使用することなく高速データ転送が可能です。

CPU Bus から制御系のレジスタへアクセスしているときにも, External Local Bus を用いてデータ転送が可能です (ただし, 同一 EP バッファへの CPU Bus と External Local Bus の同時アクセスは禁止です)。

(6) 端子アクティブ・レベル変更機能

Function 2, 3 を選択した場合には、次の端子のアクティブ・レベルが変更可能となります。

ACTIVE = 1 のとき：次の端子がハイ・アクティブになります。

EP1_DRQB, EP1_DACKB, EP1_TCB, EP2_DRQB, EP2_DACKB, EP2_TCB

ACTIVE = 0 のとき：次の端子がロウ・アクティブになります。

EP1_DRQB, EP1_DACKB, EP1_TCB, EP2_DRQB, EP2_DACKB, EP2_TCB

ただし、ACTIVE 端子の設定によらず EP1_RDB および EP2_WRB はロウ・アクティブです。

(7) ASIC への移行が容易

μ PD720122 に使用している"EPC2 Core"および"PHY Core"は、NEC の ASIC 製品で準備されている Core とは、レジスタに互換性があります。したがって、ASIC への組み込みが容易です。

1.2.1 FS 動作から HS 動作への移行について

HS デバイスは、USB1.x のホストまたはハブに接続されたとき、FS ファンクションとして動作する必要があります。

そのため、 μ PD720122 に搭載されている EPC2 および PHY Core は MacroReset 後、FS デバイスとなります。

BusReset 時に上位ポートと HS Capability の相互確認を行い、その結果 HS または FS モードに移行します（結果は Mode Status Reg. Speed_S に表示されます）。

ハードウェアはバッファ・サイズ変更、データ送受信のプロトコル制御を自動的に切り替えるため、システムはバッファ・サイズやディスクリプタの違い（一部）以外は、FS または HS の区別を意識することなく操作可能です。

1.3 端子情報

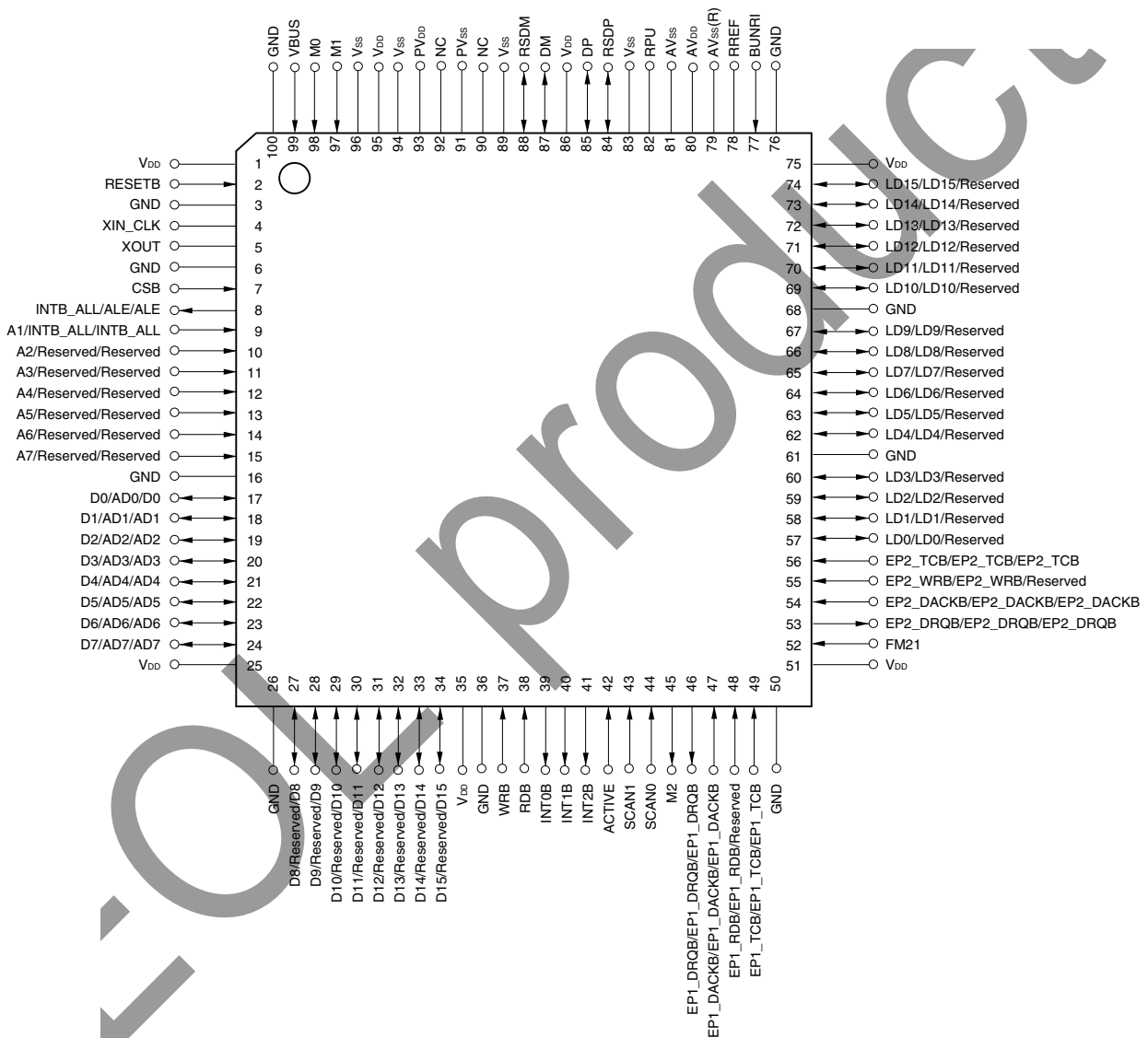
1.3.1 端子接続図

・ 100 ピン・プラスチック TQFP (ファインピッチ) (14 × 14)

μPD720122GC-9EU

★ μPD720122GC-9EU-A

Top View



備考 端子機能は、左から Function 1 / Function 2 / Function 3 となります。

★ ・109ピン・プラスチックFBGA(11×11)

μPD720122F1-DN2

μPD720122F1-DN2-A

Bottom View

23 NC	24 BUNRI	25 AV _{SS} (R)	26 AV _{SS}	27 RSDP	28 V _{DD}	29 NC	30 NC	31 V _{DD}	32 M1	33 VBUS	34 NC	12
22 LD15	63 NC	64 RREF	65 AV _{DD}	66 GND	67 RSDM	68 PV _{SS}	69 GND	70 GND	71 M0	72 NC	35 RESETB	11
21 LD13	62 LD14	95 GND	96 RPU	97 DP	98 GND	99 DM	100 PV _{DD}	101 V _{DD}	102 GND	73 GND	36 XIN_CLK	10
20 LD11	61 LD12	94 V _{DD}						103 CSB	74 XOUT	37 GND	9	
19 LD9	60 LD10	93 GND						104 A2	75 INTB_ALL	38 A1	8	
18 LD7	59 LD8	92 LD4						105 A6	76 A5	39 A3	7	
17 GND	58 LD5	91 LD6						106 A4	77 GND	40 A7	6	
16 LD2	57 LD1	90 LD3						107 D1	78 D2	41 D0	5	
15 EP2_TCB	56 EP2_WRB	89 LD0						109 GND	108 V _{DD}	79 D4	42 D3	4
14 EP2_DACKB	55 EP2_DRQB	88 GND	87 V _{DD}	86 SCAN1	85 WRB	84 INT0B	83 V _{DD}	82 D13	81 GND	80 D6	43 D5	3
13 FM21	54 NC	53 EP1_RDB	52 EP1_DRQB	51 SCAN0	50 INT2B	49 RDB	48 D14	47 D11	46 D9	45 NC	44 D7	2
12 NC	11 EP1_TCB	10 EP1_DACKB	9 M2	8 ACTIVE	7 INT1B	6 GND	5 D15	4 D12	3 D10	2 D8	1 NC	1
M	L	K	J	H	G	F	E	D	C	B	A	

備考 端子名称は、Function1 で示しています。Function2 と Function3 の端子名称は、1. 3. 3 端子一覧 (μPD720122F1-DN2, 720122F1-DN2-A) を参照してください。

1.3.2 端子一覧 (μPD720122GC-9EU, 720122GC-9EU-A)

各 Function 設定により, 端子機能が異なります。

(1) Function 1 (M0 = Low, M1 = Low)

(1/4)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
1	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
2	RESETB	FIF1	3.3 V	I	Low	チップ全体のリセット信号です。リセット期間中はクロックを入力してください。
3	GND	-	-	-	-	デジタル GND 端子
4	XIN_CLK	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には, こちらの端子を使用してください。クロック精度は 11.7 AC 特性を参照してください。
5	XOUT	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には, XIN_CLK の反転信号またはオープンにしてください。
6	GND	-	-	-	-	デジタル GND 端子
7	CSB	FIV1	3.3 V	I	Low	チップ・セレクト信号です。
8	INTB_ALL	B20C	3.3 V	O	Low	割り込み要求信号です。INT0B-INT2B までの AND 信号です。
9	A1	B20C	3.3 V	I	-	アドレス入力端子です。
10	A2	B20C	3.3 V	I	-	アドレス入力端子です。
11	A3	B20C	3.3 V	I	-	アドレス入力端子です。
12	A4	B20C	3.3 V	I	-	アドレス入力端子です。
13	A5	B20C	3.3 V	I	-	アドレス入力端子です。
14	A6	B20C	3.3 V	I	-	アドレス入力端子です。
15	A7	B20C	3.3 V	I	-	アドレス入力端子です。
16	GND	-	-	-	-	デジタル GND 端子
17	D0	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
18	D1	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
19	D2	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
20	D3	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
21	D4	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
22	D5	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
23	D6	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
24	D7	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
25	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
26	GND	-	-	-	-	デジタル GND 端子
27	D8	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
28	D9	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
29	D10	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
30	D11	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
31	D12	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
32	D13	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
33	D14	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
34	D15	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
35	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
36	GND	-	-	-	-	デジタル GND 端子
37	WRB	B20C	3.3 V	I	Low	ライト・コマンド入力端子です。
38	RDB	B20C	3.3 V	I	Low	リード・コマンド入力端子です。
39	INT0B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 0 Reg. の要因を示します。
40	INT1B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 1 Reg. の要因を示します。
41	INT2B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 2 Reg. の要因を示します。
42	ACTIVE	FIV1	3.3 V	I	-	Function1 ではこの端子は使用できません。プルダウンしてください。
43	SCAN1	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
44	SCAN0	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
45	M2	B20C	3.3 V	O	-	ステータス出力端子です。端子機能は BIU Control 0 Reg. にて設定可能です。 切り替えられる機能：VBUS, EP1_DMA_STOPB, RSUME_OUT, SP_MODE
46	EP1_DRQB	B20C	3.3 V	O	Low	EP1 (BulkOUT) の DMA 転送要求出力端子です。
47	EP1_DACKB	B20C	3.3 V	I	Low	EP1 (BulkOUT) の DMA 転送許可入力端子です。
48	EP1_RDB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のリード・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
49	EP1_TCB	B20C	3.3 V	I	Low	DMAC からの EP1 用のターミナル・カウント入力端子です。入力タイミングに制限があります。
50	GND	-	-	-	-	デジタル GND 端子
51	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
52	FM21	FM21	3.3 V	I	-	NEC テスト端子です。ロウ・レベルに固定してください。
53	EP2_DRQB	FV04	3.3 V	O	Low	EP2 (BulkIN) の DMA 転送要求出力端子です。
54	EP2_DACKB	B20C	3.3 V	I	Low	EP2 (BulkIN) の DMA 転送許可入力端子です。
55	EP2_WRB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のライト・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
56	EP2_TCB	B20C	3.3 V	I	Low	DMAC からの EP2 用のターミナル・カウント入力端子です。入力タイミングに制限があります。
57	LD0	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
58	LD1	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
59	LD2	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
60	LD3	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
61	GND	-	-	-	-	デジタル GND 端子
62	LD4	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
63	LD5	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
64	LD6	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
65	LD7	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
66	LD8	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
67	LD9	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
68	GND	-	-	-	-	デジタル GND 端子
69	LD10	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
70	LD11	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
71	LD12	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
72	LD13	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
73	LD14	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
74	LD15	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
75	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
76	GND	-	-	-	-	デジタル GND 端子
77	BUNRI	FIV1	3.3 V	I	-	NEC テスト端子です。通常はロウ・レベルに固定してください。
78	RREF	PHY	USB	-	-	PHY の RREF 端子です。外部付加回路については 第9章 ボード設計の注意 を参照してください。
79	AV _{SS} (R)	PHY	USB	-	-	PHY の AV _{SS} (R) 端子です。
80	AV _{DD}	PHY	USB	-	-	アナログ V _{DD} 端子です。
81	AV _{SS}	PHY	USB	-	-	アナログ V _{SS} (GND) 端子です。
82	RPU	PHY	USB	-	-	PHY の RPU 端子です。
83	V _{SS}	PHY	USB	-	-	デジタル V _{SS} (GND) 端子です。
84	RSDP	PHY	USB	B	-	PHY の RSDP 端子です。USB1.1 (Full Speed) の D+端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機能
85	DP	PHY	USB	B	-	PHYのDP端子です。USB2.0 (High Speed)のD+端子です。
86	V _{DD}	PHY	USB	-	-	デジタルV _{DD} (3.3V)
87	DM	PHY	USB	B	-	PHYのDM端子です。USB2.0 (High Speed)のD-端子です。
88	RSDM	PHY	USB	B	-	PHYのRSDM端子です。USB1.1 (Full Speed)のD-端子です。
89	V _{SS}	PHY	USB	-	-	デジタルV _{SS} (GND)端子です。
90	NC	PHY	USB	-	-	未使用端子 (オープンにしてください)
91	PV _{SS}	PHY	USB	-	-	アナログV _{SS} (GND)端子です。
92	NC	PHY	USB	-	-	未使用端子 (オープンにしてください)
93	PV _{DD}	PHY	USB	-	-	アナログV _{DD} (3.3V)端子です。
94	V _{SS}	PHY	USB	-	-	デジタルV _{SS} (GND)端子です。
95	V _{DD}	PHY	USB	-	-	デジタルV _{DD} (3.3V)
96	V _{SS}	PHY	USB	-	-	デジタルV _{SS} (GND)端子です。
97	M1	FIV1	3.3V	I	-	Function設定端子です。
98	M0	FIV1	3.3V	I	-	Function設定端子です。
99	VBUS	FIV1	5V Tol	I	-	VBUS観測端子です。外部回路により、入力電圧を3.0V以上にしないようにしてください。
100	GND	-	-	-	-	デジタルGND端子

(2) Function 2 (M0 = High, M1 = Low)

(1/4)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
1	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3V)
2	RESETB	FIF1	3.3 V	I	Low	チップ全体のリセット信号です。リセット期間中はクロックを入力してください。
3	GND	-	-	-	-	デジタル GND 端子
4	XIN_CLK	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、こちらの端子を使用してください。クロック精度は 11.7 AC 特性を参照してください。
5	XOUT	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、XIN_CLK の反転信号またはオープンにしてください。
6	GND	-	-	-	-	デジタル GND 端子
7	CSB	FIV1	3.3 V	I	Low	チップ・セレクト信号です。
8	ALE	B20C	3.3 V	I	High	アドレス・ストローブ信号です。この端子の立ち上がりで、アドレスをラッチします。
9	INTB_ALL	B20C	3.3 V	O	Low	割り込み要求信号です。INT0B-INT2B までの AND 信号です。
10	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
11	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
12	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
13	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
14	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
15	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
16	GND	-	-	-	-	デジタル GND 端子
17	AD0	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
18	AD1	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
19	AD2	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
20	AD3	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
21	AD4	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
22	AD5	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
23	AD6	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
24	AD7	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
25	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
26	GND	-	-	-	-	デジタル GND 端子
27	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
28	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
29	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
30	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
31	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
32	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
33	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
34	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
35	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
36	GND	-	-	-	-	デジタル GND 端子
37	WRB	B20C	3.3 V	I	Low	ライト・コマンド入力端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
38	RDB	B20C	3.3 V	I	Low	リード・コマンド入力端子です。
39	INT0B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 0 Reg. の要因を示します。
40	INT1B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 1 Reg. の要因を示します。
41	INT2B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 2 Reg. の要因を示します。
42	ACTIVE	FIV1	3.3 V	I	-	DMA 関連端子のアクティブ・レベル設定端子です。常に固定して使用してください。この端子をハイ・レベルにするとハイ・アクティブとなり、ロウ・レベルにするとロウ・アクティブとなります。 対象端子：EP1_DRQB, EP1_DACKB, EP1_TCB, EP2_DRQB, EP2_DACKB, EP2_TCB
43	SCAN1	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
44	SCAN0	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
45	M2	B20C	3.3 V	O	-	ステータス出力端子です。端子機能は BIU Control 0 Reg. にて設定可能です。 切り替えられる機能：VBUS, EP1_DMA_STOPB, RSUME_OUT, SP_MODE
46	EP1_DRQB	B20C	3.3 V	O	-	EP1 (BulkOUT) の DMA 転送要求出力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
47	EP1_DACKB	B20C	3.3 V	I	-	EP1 (BulkOUT) の DMA 転送許可入力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
48	EP1_RDB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のリード・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
49	EP1_TCB	B20C	3.3 V	I	-	DMAC からの EP1 用のターミナル・カウント入力端子です。入カタイミングに制限があります。アクティブ・レベルは、ACTIVE 端子で設定可能です。
50	GND	-	-	-	-	デジタル GND 端子
51	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
52	FM21	FM21	3.3 V	I	-	NEC テスト端子です。ロウ・レベルに固定してください。
53	EP2_DRQB	FV04	3.3 V	O	-	EP2 (BulkIN) の DMA 転送要求出力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
54	EP2_DACKB	B20C	3.3 V	I	-	EP2 (BulkIN) の DMA 転送許可入力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
55	EP2_WRB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のライト・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
56	EP2_TCB	B20C	3.3 V	I	-	DMAC からの EP2 用のターミナル・カウント入力端子です。入カタイミングに制限があります。アクティブ・レベルは、ACTIVE 端子で設定可能です。
57	LD0	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
58	LD1	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
59	LD2	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
60	LD3	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
61	GND	-	-	-	-	デジタル GND 端子
62	LD4	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
63	LD5	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
64	LD6	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
65	LD7	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
66	LD8	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
67	LD9	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
68	GND	-	-	-	-	デジタル GND 端子
69	LD10	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
70	LD11	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
71	LD12	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
72	LD13	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
73	LD14	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
74	LD15	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。 8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
75	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
76	GND	-	-	-	-	デジタル GND 端子
77	BUNRI	FIV1	3.3 V	I	-	NEC テスト端子です。通常はロウ・レベルに固定してください。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
78	RREF	PHY	USB	-	-	PHYのRREF端子です。外部付加回路については第9章 ボード設計の注意を参照してください。
79	AV _{SS} (R)	PHY	USB	-	-	PHYのAV _{SS} (R) 端子です。
80	AV _{DD}	PHY	USB	-	-	アナログV _{DD} 端子です。
81	AV _{SS}	PHY	USB	-	-	アナログV _{SS} (GND) 端子です。
82	RPU	PHY	USB	-	-	PHYのRPU端子です。
83	V _{SS}	PHY	USB	-	-	デジタルV _{SS} (GND) 端子です。
84	RSDP	PHY	USB	B	-	PHYのRSDP端子です。USB1.1 (Full Speed) のD+端子です。
85	DP	PHY	USB	B	-	PHYのDP端子です。USB2.0 (High Speed) のD+端子です。
86	V _{DD}	PHY	USB	-	-	デジタルV _{DD} (3.3 V)
87	DM	PHY	USB	B	-	PHYのDM端子です。USB2.0 (High Speed) のD-端子です。
88	RSDM	PHY	USB	B	-	PHYのRSDM端子です。USB1.1 (Full Speed) のD-端子です。
89	V _{SS}	PHY	USB	-	-	デジタルV _{SS} (GND) 端子です。
90	NC	PHY	USB	-	-	未使用端子 (オープンにしてください)
91	PV _{SS}	PHY	USB	-	-	アナログV _{SS} (GND) 端子です。
92	NC	PHY	USB	-	-	未使用端子 (オープンにしてください)
93	PV _{DD}	PHY	USB	-	-	アナログV _{DD} (3.3 V) 端子です。
94	V _{SS}	PHY	USB	-	-	デジタルV _{SS} (GND) 端子です。
95	V _{DD}	PHY	USB	-	-	デジタルV _{DD} (3.3 V)
96	V _{SS}	PHY	USB	-	-	デジタルV _{SS} (GND) 端子です。
97	M1	FIV1	3.3 V	I	-	Function 設定端子です。
98	M0	FIV1	3.3 V	I	-	Function 設定端子です。
99	VBUS	FIV1	5 V Tol	I	-	VBUS 観測端子です。外部回路により、入力電圧を3.0 V以上にしないようにしてください。
100	GND	-	-	-	-	デジタルGND端子

(3) Function 3 (M0 = Low, M1 = High)

(1/3)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
1	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
2	RESETB	FIF1	3.3 V	I	Low	チップ全体のリセット信号です。リセット期間中はクロックを入力してください。
3	GND	-	-	-	-	デジタル GND 端子
4	XIN_CLK	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、こちらの端子を使用してください。クロック精度は 11.7 AC 特性を参照してください。
5	XOUT	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、XIN_CLK の反転信号またはオープンにしてください。
6	GND	-	-	-	-	デジタル GND 端子
7	CSB	FIV1	3.3 V	I	Low	チップセレクト信号です。
8	ALE	B20C	3.3 V	I	High	アドレス・ストローブ信号です。この端子の立ち上がりで、アドレスをラッチします。
9	INTB_ALL	B20C	3.3 V	O	Low	割り込み要求信号です。INT0B-INT2B までの AND 信号です。
10	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
11	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
12	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
13	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
14	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
15	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
16	GND	-	-	-	-	デジタル GND 端子
17	D0	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
18	AD1	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
19	AD2	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
20	AD3	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
21	AD4	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
22	AD5	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
23	AD6	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
24	AD7	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
25	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
26	GND	-	-	-	-	デジタル GND 端子
27	D8	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
28	D9	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
29	D10	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
30	D11	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
31	D12	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
32	D13	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
33	D14	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
34	D15	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
35	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
36	GND	-	-	-	-	デジタル GND 端子
37	WRB	B20C	3.3 V	I	Low	ライト・コマンド入力端子です。
38	RDB	B20C	3.3 V	I	Low	リード・コマンド入力端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
39	INT0B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 0 Reg. の要因を示します。
40	INT1B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 1 Reg. の要因を示します。
41	INT2B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 2 Reg. の要因を示します。
42	ACTIVE	FIV1	3.3 V	I	-	DMA 関連端子のアクティブ・レベル設定端子です。常に固定して使用してください。この端子をハイ・レベルにするとハイ・アクティブとなり、ロウ・レベルにするとロウ・アクティブとなります。 対象端子：EP1_DRQB, EP1_DACKB, EP1_TCB, EP2_DRQB, EP2_DACKB, EP2_TCB
43	SCAN1	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
44	SCAN0	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
45	M2	B20C	3.3 V	O	-	ステータス出力端子です。端子機能は BIU Control 0 Reg. にて設定可能です。 切り替えられる機能：VBUS, EP1_DMA_STOPB, RSUME_OUT, SP_MODE
46	EP1_DRQB	B20C	3.3 V	O	-	EP1 (BulkOUT) の DMA 転送要求出力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
47	EP1_DACKB	B20C	3.3 V	I	-	EP1 (BulkOUT) の DMA 転送許可入力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
48	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
49	EP1_TCB	B20C	3.3 V	I	-	DMAC からの EP1 用のターミナル・カウント入力端子です。入力タイミングに制限があります。アクティブ・レベルは、ACTIVE 端子で設定可能です。
50	GND	-	-	-	-	デジタル GND 端子
51	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
52	FM21	FM21	3.3 V	I	-	NEC テスト端子です。ロウ・レベルに固定してください。
53	EP2_DRQB	FV04	3.3 V	O	-	EP2 (BulkIN) の DMA 転送要求出力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
54	EP2_DACKB	B20C	3.3 V	I	-	EP2 (BulkIN) の DMA 転送許可入力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
55	Reserved	B20C	3.3 V	I	Low	未使用端子（オープンにしてください）
56	EP2_TCB	B20C	3.3 V	B	-	DMAC からの EP2 用のターミナル・カウント入力端子です。入力タイミングに制限があります。アクティブ・レベルは、ACTIVE 端子で設定可能です。
57	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
58	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
59	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
60	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
61	GND	-	-	-	-	デジタル GND 端子
62	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
63	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
64	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
65	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
66	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
67	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
68	GND	-	-	-	-	デジタル GND 端子
69	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
70	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
71	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
72	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
73	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
74	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
75	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
76	GND	-	-	-	-	デジタル GND 端子
77	BUNRI	FIV1	3.3 V	I	-	NEC テスト端子です。通常はロウ・レベルに固定してください。
78	RREF	PHY	USB	-	-	PHY の RREF 端子です。外部付加回路については 第9章 ボード設計の注意を参照してください。
79	AV _{SS} (R)	PHY	USB	-	-	PHY の AV _{SS} (R) 端子です。
80	AV _{DD}	PHY	USB	-	-	アナログ V _{DD} 端子です。
81	AV _{SS}	PHY	USB	-	-	アナログ V _{SS} (GND) 端子です。
82	RPU	PHY	USB	-	-	PHY の RPU 端子です。
83	V _{SS}	PHY	USB	-	-	デジタル V _{SS} (GND) 端子です。
84	RSDP	PHY	USB	B	-	PHY の RSDP 端子です。USB1.1 (Full Speed) の D+端子です。
85	DP	PHY	USB	B	-	PHY の DP 端子です。USB2.0 (High Speed) の D+端子です。
86	V _{DD}	PHY	USB	-	-	デジタル V _{DD} (3.3 V)
87	DM	PHY	USB	B	-	PHY の DM 端子です。USB2.0 (High Speed) の D-端子です。
88	RSDM	PHY	USB	B	-	PHY の RSDM 端子です。USB1.1 (Full Speed) の D-端子です。
89	V _{SS}	PHY	USB	-	-	デジタル V _{SS} (GND) 端子です。
90	NC	PHY	USB	-	-	未使用端子 (オープンにしてください)
91	PV _{SS}	PHY	USB	-	-	アナログ V _{SS} (GND) 端子です。
92	NC	PHY	USB	-	-	未使用端子 (オープンにしてください)
93	PV _{DD}	PHY	USB	-	-	アナログ V _{DD} (3.3 V) 端子です。
94	V _{SS}	PHY	USB	-	-	デジタル V _{SS} (GND) 端子です。
95	V _{DD}	PHY	USB	-	-	デジタル V _{DD} (3.3 V)
96	V _{SS}	PHY	USB	-	-	デジタル V _{SS} (GND) 端子です。
97	M1	FIV1	3.3 V	I	-	Function 設定端子です。
98	M0	FIV1	3.3 V	I	-	Function 設定端子です。
99	VBUS	FIV1	5 V Tol	I	-	VBUS 観測端子です。外部回路により、入力電圧を 3.0 V 以上にしないようにしてください。
100	GND	-	-	-	-	デジタル GND 端子

★ 1.3.3 端子一覧 (μPD720122F1-DN2, 720122F1-DN2-A)

各 Function 設定により, 端子機能が異なります。

(1) Function 1 (M0 = Low, M1 = Low)

(1/4)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
1	NC	-	-	-	-	未使用端子 (オープンにしてください)
2	D8	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
3	D10	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
4	D12	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
5	D15	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
6	GND	-	-	-	-	デジタル GND 端子
7	INT1B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 1 Reg. の要因を示します。
8	ACTIVE	FIV1	3.3 V	I	-	プルダウンにしてください。
9	M2	B20C	3.3 V	O	-	ステータス出力端子です。端子機能は BIU Control 0 Reg. にて設定可能です。 切り替えられる機能: VBUS, EP1_DMA_STOPB, RSUME_OUT, SP_MODE
10	EP1_DACKB	B20C	3.3 V	I	Low	EP1 (BulkOUT) の DMA 転送許可入力端子です。
11	EP1_TCB	B20C	3.3 V	I	Low	DMAC からの EP1 用のターミナル・カウント入力端子です。入力タイミングに制限があります。
12	NC	-	-	-	-	未使用端子 (オープンにしてください)
13	FM21	FM21	3.3 V	I	-	NEC テスト端子です。ロウ・レベルに固定してください。
14	EP2_DACKB	B20C	3.3 V	I	Low	EP2 (BulkIN) の DMA 転送許可入力端子です。
15	EP2_TCB	B20C	3.3 V	I	Low	DMAC からの EP2 用のターミナル・カウント入力端子です。入力タイミングに制限があります。
16	LD2	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
17	GND	-	-	-	-	デジタル GND 端子
18	LD7	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
19	LD9	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
20	LD11	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
21	LD13	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
22	LD15	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
23	NC	-	-	-	-	未使用端子 (オープンにしてください)
24	BUNRI	FIV1	3.3 V	I	-	NEC テスト端子です。通常はロウ・レベルに固定してください。
25	AV _{ss} (R)	PHY	USB	-	-	PHY Core の AV _{ss} (R)端子です。
26	AV _{ss}	PHY	USB	-	-	アナログ V _{ss} (GND) 端子です。
27	RSDP	PHY	USB	B	-	PHY Core の RSDP 端子です。USB 1.1 (Full Speed) の D+端子です。
28	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
29	NC	-	-	-	-	未使用端子 (オープンにしてください)
30	NC	-	-	-	-	未使用端子 (オープンにしてください)
31	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
32	M1	FIV1	3.3 V	I	-	Function 設定端子です。
33	VBUS	FIV1	5V Tol	I	-	VBUS 観測端子です。外部回路により、入力電圧を 3 V 以上にしないようにしてください。
34	NC	-	-	-	-	未使用端子（オープンにしてください）
35	RESETB	FIF1	3.3 V	I	Low	チップ全体のリセット信号です。リセット期間中はクロックを入力してください。
36	XIN_CLK	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、こちらの端子を使用してください。クロック精度は 11.7 AC 特性を参照してください。
37	GND	-	-	-	-	デジタル GND 端子
38	A1	B20C	3.3 V	I	-	アドレス入力端子です。
39	A3	B20C	3.3 V	I	-	アドレス入力端子です。
40	A7	B20C	3.3 V	I	-	アドレス入力端子です。
41	D0	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
42	D3	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
43	D5	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
44	D7	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
45	NC	-	-	-	-	未使用端子（オープンにしてください）
46	D9	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
47	D11	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
48	D14	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
49	RDB	B20C	3.3 V	I	Low	リード・コマンド入力端子です。
50	INT2B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 2 Reg. の要因を示します。
51	SCAN0	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
52	EP1_DRQB	B20C	3.3 V	O	Low	EP1 (BulkOUT) の DMA 転送要求出力端子です。
53	EP1_RDB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のリード・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
54	NC	-	-	-	-	未使用端子（オープンにしてください）
55	EP2_DRQB	FV04	3.3 V	O	Low	EP2 (BulkIN) の DMA 転送要求出力端子です。
56	EP2_WRB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のライト・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
57	LD1	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
58	LD5	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
59	LD8	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
60	LD10	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
61	LD12	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
62	LD14	B20C	3.3 V	B	-	External Local Bus 用データ・バス（入出力）端子です。
63	NC	-	-	-	-	未使用端子（オープンにしてください）
64	RREF	PHY	USB	-	-	PHY Core の RREF 端子です。
65	AVDD	PHY	USB	-	-	アナログ VDD 端子です。
66	GND	-	-	-	-	デジタル GND 端子

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機能
67	RSDM	PHY	USB	B	-	PHY Core の RSDM 端子です。USB1.1 (Full-Speed) の D-端子です。
68	PV _{SS}	PHY	USB	-	-	アナログ V _{SS} (GND) 端子です。
69	GND	-	-	-	-	デジタル GND 端子
70	GND	-	-	-	-	デジタル GND 端子
71	M0	FIV1	3.3 V	I	-	Function 設定端子です。
72	NC	-	-	-	-	未使用端子 (オープンにしてください)
73	GND	-	-	-	-	デジタル GND 端子
74	XOUT	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、XIN_CLK の反転信号またはオープンにしてください。
75	INTB_ALL	B20C	3.3 V	O	Low	割り込み要求信号です。INT0B-INT2B までの AND 信号です。
76	A5	B20C	3.3 V	I	-	アドレス入力端子です。
77	GND	-	-	-	-	デジタル GND 端子
78	D2	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
79	D4	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
80	D6	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
81	GND	-	-	-	-	デジタル GND 端子
82	D13	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
83	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
84	INT0B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 0 Reg. の要因を示します。
85	WRB	B20C	3.3 V	I	Low	ライト・コマンド入力端子です。
86	SCAN1	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
87	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
88	GND	-	-	-	-	デジタル GND 端子
89	LD0	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
90	LD3	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
91	LD6	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
92	LD4	B20C	3.3 V	B	-	External Local Bus 用データ・バス (入出力) 端子です。
93	GND	-	-	-	-	デジタル GND 端子
94	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
95	GND	-	-	-	-	デジタル GND 端子
96	RPU	PHY	USB	-	-	PHY Core の RPU 端子です。
97	DP	PHY	USB	B	-	PHY Core の DP 端子です。USB2.0 (High Speed) の D+端子です。
98	GND	-	-	-	-	デジタル GND 端子
99	DM	PHY	USB	B	-	PHY Core の DM 端子です。USB2.0 (High-Speed) の D-端子です。
100	PV _{DD}	PHY	USB	-	-	アナログ V _{DD} (3.3 V) 端子です。
101	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
102	GND	-	-	-	-	デジタル GND 端子
103	CSB	FIV1	3.3 V	I	Low	チップ・セレクト信号です。
104	A2	B20C	3.3 V	I	-	アドレス入力端子です。
105	A6	B20C	3.3 V	I	-	アドレス入力端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機能
106	A4	B20C	3.3 V	I	-	アドレス入力端子です。
107	D1	B20C	3.3 V	B	-	データ・バス（入出力）端子です。
108	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
109	GND	-	-	-	-	デジタル GND 端子

(2) Function 2 (M0 = High, M1 = Low)

(1/4)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
1	NC	-	-	-	-	未使用端子 (オープンにしてください)
2	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
3	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
4	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
5	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
6	GND	-	-	-	-	デジタル GND 端子
7	INT1B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 1 Reg. の要因を示します。
8	ACTIVE	FIV1	3.3 V	I	-	DMA 関連端子のアクティブ・レベル設定端子です。常に固定して使用してください。この端子をハイ・レベルにするとハイ・アクティブとなり、ロウ・レベルにするとロウ・アクティブとなります。 対象端子：EP1_DRQB, EP1_DACKB, EP1_TCB, EP2_DRQB, EP2_DACKB, EP2_TCB
9	M2	B20C	3.3 V	O	-	ステータス出力端子です。端子機能は BIU Control 0 Reg. にて設定可能です。 切り替えられる機能：VBUS, EP1_DMA_STOPB, RSUME_OUT, SP_MODE
10	EP1_DACKB	B20C	3.3 V	I	-	EP1 (BulkOUT) の DMA 転送許可入力端子です。アクティブ・レベルは ACTIVE 端子で設定可能です。
11	EP1_TCB	B20C	3.3 V	I	-	DMAC からの EP1 用のターミナル・カウント入力端子です。入力タイミングに制限があります。
12	NC	-	-	-	-	未使用端子 (オープンにしてください)
13	FM21	FM21	3.3 V	I	-	NEC テスト端子です。ロウ・レベルに固定してください。
14	EP2_DACKB	B20C	3.3 V	I	-	EP2 (BulkIN) の DMA 転送許可入力端子です。アクティブ・レベルは ACTIVE 端子で設定可能です。
15	EP2_TCB	B20C	3.3 V	I	-	DMAC からの EP2 用のターミナル・カウント入力端子です。入力タイミングに制限があります。アクティブ・レベルは ACTIVE 端子で設定可能です。
16	LD2	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。
17	GND	-	-	-	-	デジタル GND 端子
18	LD7	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。
19	LD9	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
20	LD11	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
21	LD13	B20C	3.3 V	B	-	External local bus 用データ・バス(入出力)端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
22	LD15	B20C	3.3 V	B	-	External local bus 用データ・バス(入出力)端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
23	NC	-	-	-	-	未使用端子(オープンにしてください)
24	BUNRI	FIV1	3.3 V	I	-	NEC テスト端子です。通常はロウ・レベルに固定してください。
25	AV _{ss} (R)	PHY	USB	-	-	PHY Core の AV _{ss} (R)端子です。
26	AV _{ss}	PHY	USB	-	-	アナログ V _{ss} (GND) 端子です。
27	RSDP	PHY	USB	B	-	PHY Core の RSDP 端子です。USB 1.1 (Full Speed) の D+端子です。
28	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
29	NC	-	-	-	-	未使用端子(オープンにしてください)
30	NC	-	-	-	-	未使用端子(オープンにしてください)
31	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
32	M1	FIV1	3.3 V	I	-	Function 設定端子です。
33	VBUS	FIV1	5 V Tol	I	-	VBUS 観測端子です。外部回路により、入力電圧を 3 V 以上にしなないようにしてください。
34	NC	-	-	-	-	未使用端子(オープンにしてください)
35	RESETB	FIF1	3.3 V	I	Low	チップ全体のリセット信号です。リセット期間中はクロックを入力してください。
36	XIN_CLK	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、こちらの端子を使用してください。クロック精度は 11.7 AC 特性を参照してください。
37	GND	-	-	-	-	デジタル GND 端子
38	INTB_ALL	B20C	3.3 V	O	Low	割り込み要求信号です。INT0B-INT2B までの AND 信号です。
39	Reserved	B20C	3.3 V	I	-	未使用端子(オープンにしてください)
40	Reserved	B20C	3.3 V	I	-	未使用端子(オープンにしてください)
41	AD0	B20C	3.3 V	B	-	アドレス・データ兼用バス(入出力)端子です。
42	AD3	B20C	3.3 V	B	-	アドレス・データ兼用バス(入出力)端子です。
43	AD5	B20C	3.3 V	B	-	アドレス・データ兼用バス(入出力)端子です。
44	AD7	B20C	3.3 V	B	-	アドレス・データ兼用バス(入出力)端子です。
45	NC	-	-	-	-	未使用端子(オープンにしてください)
46	Reserved	B20C	3.3 V	B	-	未使用端子(オープンにしてください)
47	Reserved	B20C	3.3 V	B	-	未使用端子(オープンにしてください)
48	Reserved	B20C	3.3 V	B	-	未使用端子(オープンにしてください)
49	RDB	B20C	3.3 V	I	Low	リード・コマンド入力端子です。
50	INT2B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 2 Reg. の要因を示します。
51	SCAN0	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
52	EP1_DRQB	B20C	3.3 V	O	-	EP1 (BulkOUT) の DMA 転送要求出力端子です。アクティブ・レベルは ACTIVE 端子で設定可能です。
53	EP1_RDB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のリード・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
54	NC	-	-	-	-	未使用端子 (オープンにしてください)
55	EP2_DRQB	FV04	3.3 V	O	-	EP2 (BulkIN) の DMA 転送要求出力端子です。アクティブ・レベルは ACTIVE 端子で設定可能です。
56	EP2_WRB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のライト・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
57	LD1	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。
58	LD5	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。
59	LD8	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
60	LD10	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
61	LD12	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
62	LD14	B20C	3.3 V	B	-	External local bus 用データ・バス (入出力) 端子です。8 bit モードを選択した場合は、この端子は無効となりますが、未使用時はハイ・レベルかロウ・レベルに抵抗を介してクランプしてください。
63	NC	-	-	-	-	未使用端子 (オープンにしてください)
64	RREF	PHY	USB	-	-	PHY Core の RREF 端子です。
65	AVDD	PHY	USB	-	-	アナログ VDD 端子です。
66	GND	-	-	-	-	デジタル GND 端子
67	RSDM	PHY	USB	B	-	PHY Core の RSDM 端子です。USB1.1 (Full-Speed) の D-端子です。
68	PVSS	PHY	USB	-	-	アナログ VSS (GND) 端子です。
69	GND	-	-	-	-	デジタル GND 端子
70	GND	-	-	-	-	デジタル GND 端子
71	M0	FIV1	3.3 V	I	-	Function 設定端子です
72	NC	-	-	-	-	未使用端子 (オープンにしてください)
73	GND	-	-	-	-	デジタル GND 端子
74	XOUT	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、XIN_CLK の反転信号またはオープンにしてください。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機能
75	ALE	B20C	3.3 V	I	High	アドレス・ストロブ信号です。この端子の立ち上がりで、アドレスをラッチします。
76	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
77	GND	-	-	-	-	デジタル GND 端子
78	AD2	B20C	3.3 V	B	-	アドレス・データ兼用バス（入出力）端子です。
79	AD4	B20C	3.3 V	B	-	アドレス・データ兼用バス（入出力）端子です。
80	AD6	B20C	3.3 V	B	-	アドレス・データ兼用バス（入出力）端子です。
81	GND	-	-	-	-	デジタル GND 端子
82	Reserved	B20C	3.3 V	B	-	未使用端子（オープンにしてください）
83	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
84	INT0B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 0 Reg. の要因を示します。
85	WRB	B20C	3.3 V	I	Low	ライト・コマンド入力端子です。
86	SCAN1	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
87	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
88	GND	-	-	-	-	デジタル GND 端子
89	LD0	B20C	3.3 V	B	-	External local bus 用データ・バス（入出力）端子です。
90	LD3	B20C	3.3 V	B	-	External local bus 用データ・バス（入出力）端子です。
91	LD6	B20C	3.3 V	B	-	External local bus 用データ・バス（入出力）端子です。
92	LD4	B20C	3.3 V	B	-	External local bus 用データ・バス（入出力）端子です。
93	GND	-	-	-	-	デジタル GND 端子
94	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
95	GND	-	-	-	-	デジタル GND 端子
96	RPU	PHY	USB	-	-	PHY Core の RPU 端子です。
97	DP	PHY	USB	B	-	PHY Core の DP 端子です。USB2.0 (High Speed) の D+端子です。
98	GND	-	-	-	-	デジタル GND 端子
99	DM	PHY	USB	B	-	PHY Core の DM 端子です。USB2.0 (High-Speed) の D-端子です。
100	PV _{DD}	PHY	USB	-	-	アナログ V _{DD} (3.3 V) 端子です。
101	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
102	GND	-	-	-	-	デジタル GND 端子
103	CSB	FIV1	3.3 V	I	Low	チップ・セレクト信号です。
104	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
105	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
106	Reserved	B20C	3.3 V	I	-	未使用端子（オープンにしてください）
107	AD1	B20C	3.3 V	B	-	アドレス・データ兼用バス（入出力）端子です。
108	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
109	GND	-	-	-	-	デジタル GND 端子

(3) Function 3 (M0 = Low, M1 = High)

(1/4)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
1	NC	-	-	-	-	未使用端子 (オープンにしてください)
2	D8	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
3	D10	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
4	D12	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
5	D15	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
6	GND	-	-	-	-	デジタル GND 端子
7	INT1B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 1 Reg. の要因を示します。
8	ACTIVE	FIV1	3.3 V	I	-	DMA 関連端子のアクティブ・レベル設定端子です。常に固定して使用してください。この端子をハイ・レベルにするとハイ・アクティブとなり、ロウ・レベルにするとロウ・アクティブとなります。 対象端子: EP1_DRQB, EP1_DACKB, EP1_TCB, EP2_DRQB, EP2_DACKB, EP2_TCB
9	M2	B20C	3.3 V	O	-	ステータス出力端子です。端子機能は BIU Control 0 Reg. にて設定可能です。 切り替えられる機能: VBUS, EP1_DMA_STOPB, RSUME_OUT, SP_MODE
10	EP1_DACKB	B20C	3.3 V	I	-	EP1 (BulkOUT) の DMA 転送許可入力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
11	EP1_TCB	B20C	3.3 V	I	-	DMAC からの EP1 用のターミナル・カウント入力端子です。入力タイミングに制限があります。アクティブ・レベルは、ACTIVE 端子で設定可能です。
12	NC	-	-	-	-	未使用端子 (オープンにしてください)
13	FM21	FM21	3.3 V	I	-	NEC テスト端子です。ロウ・レベルに固定してください。
14	EP2_DACKB	B20C	3.3 V	I	-	EP2 (BulkIN) の DMA 転送許可入力端子です。アクティブ・レベルは、ACTIVE 端子で設定可能です。
15	EP2_TCB	B20C	3.3 V	I	-	DMAC からの EP2 用のターミナル・カウント入力端子です。入力タイミングに制限があります。アクティブ・レベルは、ACTIVE 端子で設定可能です。
16	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
17	GND	-	-	-	-	デジタル GND 端子
18	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
19	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
20	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
21	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
22	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
23	NC	-	-	-	-	未使用端子 (オープンにしてください)
24	BUNRI	FIV1	3.3 V	I	-	NEC テスト端子です。通常はロウ・レベルに固定してください。
25	AV _{ss} (R)	PHY	USB	-	-	PHY Core の AV _{ss} (R)端子です。
26	AV _{ss}	PHY	USB	-	-	アナログ V _{ss} (GND) 端子です。
27	RSDP	PHY	USB	B	-	PHY Core の RSDP 端子です。USB 1.1 (Full Speed) の D+ 端子です。

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
28	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
29	NC	-	-	-	-	未使用端子 (オープンにしてください)
30	NC	-	-	-	-	未使用端子 (オープンにしてください)
31	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
32	M1	FIV1	3.3 V	I	-	Function 設定端子です。
33	VBUS	FIV1	5 V Tol	I	-	VBUS 観測端子です。外部回路により、入力電圧を 3 V 以上にしないようにしてください。
34	NC	-	-	-	-	未使用端子 (オープンにしてください)
35	RESETB	FIF1	3.3 V	I	Low	チップ全体のリセット信号です。リセット期間中はクロックを入力してください。
36	XIN_CLK	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、こちらの端子を使用してください。クロック精度は 11.7 AC 特性を参照してください。
37	GND	-	-	-	-	デジタル GND 端子
38	INTB_ALL	B20C	3.3 V	O	Low	割り込み要求信号です。INT0B-INT2B までの AND 信号です。
39	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
40	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
41	D0	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
42	AD3	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
43	AD5	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
44	AD7	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
45	NC	-	-	-	-	未使用端子 (オープンにしてください)
46	D9	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
47	D11	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
48	D14	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
49	RDB	B20C	3.3 V	I	Low	リード・コマンド入力端子です。
50	INT2B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 2 Reg. の要因を示します。
51	SCAN0	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
52	EP1_DRQB	B20C	3.3 V	O	-	EP1 (BulkOUT) の DMA 転送要求出力端子です。アクティブ・レベルは ACTIVE 端子で設定可能です。
53	EP1_RDB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のリード・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
54	NC	-	-	-	-	未使用端子 (オープンにしてください)
55	EP2_DRQB	FV04	3.3 V	O	-	EP2 (BulkIN) の DMA 転送要求出力端子です。アクティブ・レベルは ACTIVE 端子で設定可能です。
56	EP2_WRB	B20C	3.3 V	I	Low	DMA 転送を External Local Bus で行う場合のライト・コマンド入力端子です。使用しない場合はハイ・レベルに固定してください。
57	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
58	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
59	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
60	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機能
61	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
62	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
63	NC	-	-	-	-	未使用端子 (オープンにしてください)
64	RREF	PHY	USB	-	-	PHY Core の RREF 端子です。
65	AV _{DD}	PHY	USB	-	-	アナログ V _{DD} 端子です。
66	GND	-	-	-	-	デジタル GND 端子
67	RSDM	PHY	USB	B	-	PHY Core の RSDM 端子です。USB1.1 (Full-Speed) の D-端子です。
68	PV _{SS}	PHY	USB	-	-	アナログ V _{SS} (GND) 端子です。
69	GND	-	-	-	-	デジタル GND 端子
70	GND	-	-	-	-	デジタル GND 端子
71	M0	FIV1	3.3 V	I	-	Function 設定端子です
72	NC	-	-	-	-	未使用端子 (オープンにしてください)
73	GND	-	-	-	-	デジタル GND 端子
74	XOUT	OSB6	3.3 V	-	-	クロック入力端子です。発振器を使用する場合には、XIN_CLK の反転信号またはオープンにしてください。
75	ALE	B20C	3.3 V	I	High	アドレス・ストロブ信号です。この端子の立ち上がりで、アドレスをラッチします。
76	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
77	GND	-	-	-	-	デジタル GND 端子
78	AD2	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
79	AD4	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
80	AD6	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
81	GND	-	-	-	-	デジタル GND 端子
82	D13	B20C	3.3 V	B	-	データ・バス (入出力) 端子です。
83	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
84	INT0B	B20C	3.3 V	O	Low	割り込み要求信号です。EPC2 Core の Interrupt Status 0 Reg. の要因を示します。
85	WRB	B20C	3.3 V	I	Low	ライト・コマンド入力端子です。
86	SCAN1	FID1	3.3 V	I	-	チップのテスト端子です。プルダウンしてください。
87	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
88	GND	-	-	-	-	デジタル GND 端子
89	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
90	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
91	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
92	Reserved	B20C	3.3 V	B	-	未使用端子 (オープンにしてください)
93	GND	-	-	-	-	デジタル GND 端子
94	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
95	GND	-	-	-	-	デジタル GND 端子
96	RPU	PHY	USB	-	-	PHY Core の RPU 端子です。
97	DP	PHY	USB	B	-	PHY Core の DP 端子です。USB2.0 (High Speed) の D+端子です。
98	GND	-	-	-	-	デジタル GND 端子

端子番号	端子名	バッファ・タイプ	耐圧	I/O	アクティブ・レベル	機 能
99	DM	PHY	USB	B	-	PHY Core の DM 端子です。USB2.0 (High-Speed) の D-端子です。
100	PV _{DD}	PHY	USB	-	-	アナログ V _{DD} (3.3 V) 端子です。
101	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
102	GND	-	-	-	-	デジタル GND 端子
103	CSB	FIV1	3.3 V	I	Low	チップ・セレクト信号です。
104	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
105	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
106	Reserved	B20C	3.3 V	I	-	未使用端子 (オープンにしてください)
107	AD1	B20C	3.3 V	B	-	アドレス・データ兼用バス (入出力) 端子です。
108	V _{DD}	-	-	-	-	デジタル V _{DD} (3.3 V)
109	GND	-	-	-	-	デジタル GND 端子

1.3.4 端子機能

(1) システム・インタフェース信号

RESETB	アクティブ・レベル 有効ファンクション 機能	: ロウ・レベル : F1, F2, F3 : ハードウェア・リセット端子です。 : 入出力属性: 入力
XIN_CLK	アクティブ・レベル 有効ファンクション 機能	: なし : F1, F2, F3 : 発振子の X1 を接続する端子です。発振器を使用する場合は、この端子に入力してください。 入出力属性 : 入力
XOUT	アクティブ・レベル 有効ファンクション 機能	: なし : F1, F2, F3 : 発振子の X2 を接続する端子です。発振器を使用する場合は、XIN_CLK の反転信号を入れることを推奨します。 入出力属性 : 入力
M0	アクティブ・レベル 有効ファンクション 機能	: なし : F1, F2, F3 : チップのファンクションを選択するための信号です。M1 端子と組み合わせて使用します。 この端子は、ハイまたはロウ・レベルに固定してください。 入出力属性 : 入力
M1	アクティブ・レベル 有効ファンクション 機能	: なし : F1, F2, F3 : チップのファンクションを選択するための信号です。M0 端子と組み合わせて使用します。 この端子は、ハイまたはロウ・レベルに固定してください。 入出力属性 : 入力
ACTIVE	アクティブ・レベル 有効ファンクション 機能	: なし : F2, F3 : 次の端子のアクティブ・レベルを設定する端子です。 この端子をハイ・レベルとすると、これらの端子はハイ・アクティブとなり、ロウ・レベルとすると、これらの端子はロウ・アクティブとなります。 対象端子: EP1_DRQB, EP1_DACKB, EP2_TCB, EP2_DRQB, EP2_DACKB, EP2_TCB 入出力属性 : 入力
M2	アクティブ・レベル 有効ファンクション 機能 入出力属性 選択可能機能	: なし : F1, F2, F3 : 内部ステータスなどの出力を行う端子です。機能設定は、BIU Control 0 Reg. M2_SEL_1 bit, M2_SEL_0 bit で行います。 : 出力 : 次の機能が選択可能です。 VBUS: VBUS 端子の値が、そのまま出力されます。内部クロックを使用していないため、発振ブロック停止時にも動作可能です。 EP1_DMA_STOPB: EP1 における DMA 転送において、最終転送時(リード信号がアサート中)にアサートされます。 RSUME_OUT: USB Bus が Resume するとアサートされます。 SP_MODE: Mode Status Reg. Speed_S bit の値が出力されます。

(2) CPU インタフェース信号

CSB	アクティブ・レベル 有効ファンクション 機能 入出力属性	: ロウ・レベル : F1, F2, F3 : チップ・セレクト信号です。DMA 転送時は無視されます。 (優先度: EP1_DRQB, EP2_DRQB > CSB) : 入力
ALE	アクティブ・レベル 有効ファンクション 機能 入出力属性	: ロウ・レベル : F2, F3 : アドレス・ラッチ信号です。 : 入力
INTB_ALL	アクティブ・レベル 有効ファンクション 機能 入出力属性	: ロウ・レベル : F1, F2, F3 : INT0B, INT1B, INT2B 信号の単純 AND 信号です。 : 出力
A7-A1	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1 : アドレス・バス信号です。 : 入力
D0	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F3 : データ・バス信号です。 : 入出力
D7-D1	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1 : データ・バス信号です。 : 入出力
D15-D8	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F3 : データ・バス信号です。 : 入出力
AD0	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F2 : アドレス・データのマルチプレクス信号です。ALE を用いてアドレスとデータの分離を行います。 : 入出力
AD7-AD1	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F2, F3 : アドレス・データのマルチプレクス信号です。 ALE を用いてアドレスとデータの分離を行います。 : 入出力
WRB	アクティブ・レベル 有効ファンクション 機能 入出力属性	: ロウ・レベル : F1, F2, F3 : ライト・コマンド信号です。 : 入力
RDB	アクティブ・レベル 有効ファンクション 機能 入出力属性	: ロウ・レベル : F1, F2, F3 : リード・コマンド信号です。 : 入力

INT2B- INT0B	アクティブ・レベル	: ロウ・レベル
	有効ファンクション	: F1, F2, F3
	機能	: 割り込み信号です。各割り込みステータス・レジスタに対応しています。
	入出力属性	: 出力

(3) 外部ローカル・バス・インタフェース

LD15- LD0	アクティブ・レベル	: なし
	有効ファンクション	: F1, F2
	機能	: External local Bus のデータ・バス端子です。
	入出力属性	: 入出力

(4) DMA コントロール信号

次の端子は、CPU インタフェースおよび External local Bus インタフェースの両方で使用可能です。

EP1_DRQB	アクティブ・レベル	: ロウ・レベル (F2, F3 では、ACTIVE 端子により変更可能です)
	有効ファンクション	: F1, F2, F3
	機能	: EP1 に対する DMAReq 信号です。
	入出力属性	: 出力
EP1_DACKB	アクティブ・レベル	: ロウ・レベル (F2, F3 では、ACTIVE 端子により変更可能です)
	有効ファンクション	: F1, F2, F3
	機能	: EP1 に対する DMAAck 信号です。
	入出力属性	: 入力
EP1_RDB	アクティブ・レベル	: ロウ・レベル
	有効ファンクション	: F1, F2
	機能	: EP1 に対するリード・コマンド信号です (DMA 転送時のみ有効です)。
	入出力属性	: 入力
EP1_TCB	アクティブ・レベル	: ロウ・レベル (F2, F3 では、ACTIVE 端子により変更可能です)
	有効ファンクション	: F1, F2, F3
	機能	: EP1 に対する DMA 転送停止指示信号です (16 bit DMA 転送時のみ有効です)。
	入出力属性	: 入力
EP2_DRQB	アクティブ・レベル	: ロウ・レベル (F2, F3 では、ACTIVE 端子により変更可能です)
	有効ファンクション	: F1, F2, F3
	機能	: EP2 に対する DMAReq 信号です。
	入出力属性	: 出力
EP2_DACKB	アクティブ・レベル	: ロウ・レベル (F2, F3 では、ACTIVE 端子により変更可能です)
	有効ファンクション	: F1, F2, F3
	機能	: EP2 に対する DMAAck 信号です。
	入出力属性	: 入力
EP2_WRB	アクティブ・レベル	: ロウ・レベル
	有効ファンクション	: F1, F2
	機能	: EP2 に対するライト・コマンド信号です (DMA 転送時のみ有効です)。
	入出力属性	: 入力
EP2_TCB	アクティブ・レベル	: ロウ・レベル (F2, F3 では、ACTIVE 端子により変更可能です)
	有効ファンクション	: F1, F2, F3
	機能	: EP2 に対する DMA 転送停止指示信号です (16 bit DMA 転送時のみ有効です)。
	入出力属性	: 入力

(5) USB インタフェース信号

RREF	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F2, F3 : PLL の基準電圧設定端子です。この端子は 9.1 kΩ (± 1%) の抵抗を介して、AGND に接続してください。 この端子に対するノイズ入力は、できるだけ押さえてください。この端子にノイズが印加されると、内部 PLL が不安定になるため内部クロックが停止する場合があります (内部クロックが停止すると、チップ全体が停止してしまいます) : なし
RPU	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F2, F3 : DP, RSDP 端子の RPU 制御端子です。この端子は 1.5 kΩ (± 1%) の抵抗を介して、D+ラインに接続してください。 : 出力
RSDP	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F2, F3 : Full Speed の D+端子です。この端子は 36 Ω (± 1%) の抵抗を介して、D+ ラインに接続してください。 : 入出力
DP	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F2, F3 : High Speed の D+端子です。この端子は D+ラインに接続してください。 : 入出力
RSDM	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F2, F3 : Full Speed の D-端子です。この端子は 36 Ω (± 1%) の抵抗を介して、D- ラインに接続してください。 : 入出力
DM	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F2, F3 : High Speed の D-端子です。この端子は D-ラインに接続してください。 : 入出力
VBUS	アクティブ・レベル 有効ファンクション 機能 入出力属性	: なし : F1, F2, F3 : USB の VBUS を入力します。ただし、チップ電源 OFF 時の VBUS 印加によるチップ破壊を防止するため、この端子に印加される電圧を 3 V 以下になるように外部回路 (抵抗分割など) を介してください。 : 入力

(6) NEC 予約信号

SCAN1, SCAN 0	ロウ・レベルに固定してください(ハイ・レベルに設定することは禁止します)。 有効ファンクション : F1, F2, F3 機能 : テスト設定端子です。 入出力属性 : 入力
FM21	ロウ・レベルに固定してください(ハイ・レベルに設定することは禁止します)。 有効ファンクション : F1, F2, F3 機能 : テスト設定端子です。 入出力属性 : 入力
BUNRI	ロウ・レベルに固定してください(ハイ・レベルに設定することは禁止します)。 有効ファンクション : F1, F2, F3 機能 : テスト設定端子です。 入出力属性 : 入力
NC	ロウ・レベルに固定することを推奨します。 有効ファンクション : F1, F2, F3 機能 : 予備端子です。特に機能は割り当てられていません。 入出力属性 : なし

(7) 電源

VDD	機能 : 3.3 V デジタル電源端子です。AVDD, PVDD と分離してください。
GND	機能 : デジタル GND 端子です。AVSS, PVSS と分離してください。
AVDD	機能 : 3.3 V アナログ電源端子です。VDD と分離してください。
AVSS	機能 : アナログ GND 端子です。GND (デジタル) と分離してください。
PVDD	機能 : PLL 用 3.3 V アナログ電源端子です。VDD と分離を行い, AVDD とも分離をすることを推奨します。
PVSS	機能 : PLL 用アナログ GND 端子です。GND (デジタル) と分離を行い, AVSS とも分離をすることを推奨します。

★ 1.3.5 特定状態の端子情報

ハードウェア・リセット時の各端子の情報と、各ファンクション時の端子情報を次にまとめます。

μ PD720122GC-9EU , 720122GC-9EU-A Pin No.	μ PD720122F1-DN2 , 720122F1-DN2-A Pin No.	Function 1	Function 2	Function 3	ハードウェア・ リセット
7	103	CSB	CSB	CSB	Input Mode (無効)
8	75	INTB_ALL	ALE	ALE	Input Mode (無効)
9	38	A1	INTB_ALL	INTB_ALL	Input Mode (無効)
10-15	104, 39, 105, 76, 106, 40	A2-A7	Reserved (Hi-Z)	Reserved (Hi-Z)	Input Mode (無効)
17	41	D0	AD0	D0	Input Mode (無効)
18-24	107, 78, 42, 79, 43, 80, 44	D1-D7	AD1-AD7	AD1-AD7	Input Mode (無効)
27-34	2, 46, 3, 47, 4, 82, 48, 5	D8-D15	Reserved (Hi-Z)	D8-D15	Input Mode (無効)
37	85	WRB	WRB	WRB	Input Mode (無効)
38	49	RDB	RDB	RDB	Input Mode (無効)
39	84	INT0B	INT0B	INT0B	High Level
40	7	INT1B	INT1B	INT1B	High Level
41	50	INT2B	INT2B	INT2B	High Level
42	8	ACTIVE	ACTIVE	ACTIVE	Input Mode (有効)
45	9	M2	M2	M2	不定
46	52	EP1_DRQB	EP1_DRQB	EP1_DRQB	High Level
47	10	EP1_DACKB	EP1_DACKB	EP1_DACKB	Input Mode (無効)
48	53	EP1_RDB	EP1_RDB	Reserved (Hi-Z)	Input Mode (無効)
49	11	EP1_TCB	EP1_TCB	EP1_TCB	Input Mode (無効)
53	55	EP2_DRQB	EP2_DRQB	EP2_DRQB	High Level
54	14	EP2_DACKB	EP2_DACKB	EP2_DACKB	Input Mode (無効)
55	56	EP2_WRB	EP2_WRB	Reserved (Hi-Z)	Input Mode (無効)
56	15	EP2_TCB	EP2_TCB	EP2_TCB	Input Mode (無効)
57-60, 62-67, 69-74	89, 57, 16, 90, 92, 58, 91, 18, 59, 19, 60, 20, 61, 21, 62, 22	LD0-LD15	LD0-LD15	Reserved (Hi-Z)	Input Mode (無効)

M2 端子の機能について

M2 端子は、BIU Control 0 Reg. M2_SEL 1 bit / M2_SEL 0 bit の設定により次の機能を選択できます。

それぞれの機能をまとめます。

VBUS : VBUS 端子に入力されている信号がそのまま出力されます。

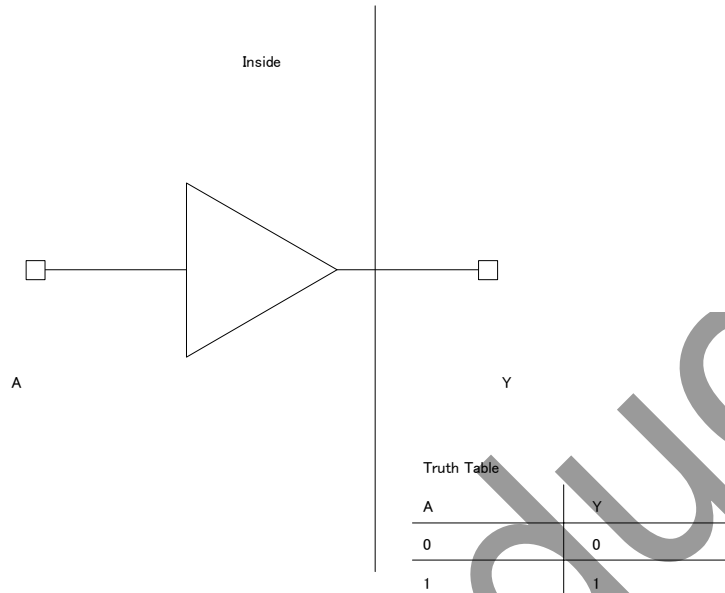
EP1_DMA_STOPB : EP1 の DMA 転送において最終サイクルが行われているときにアサートされます。
タイミングは 11.7 AC 特性を参照してください。

RSUM_OUT : PHY Core が USB Bus 上で Bus Resume を検出したことを示します(ハイ・アクティブ信号です)。

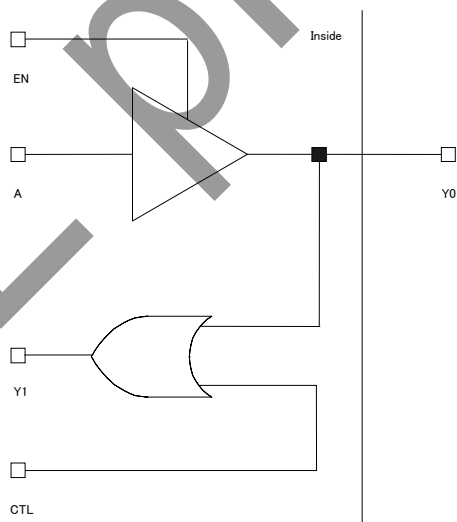
SP_MODE : USB Bus に HS が FS のどちらかで接続されたかを示します (1 : HS , 0 : FS)。

1.3.6 インタフェース・ブロック

(1) FV04 Output Buffer (5 V-TOL, $I_{OL} = 6 \text{ mA}$)



(2) B20C I/O Buffer (5 V-TOL, $I_{OL} = 6 \text{ mA}$) with CTL (OR)



Truth Table

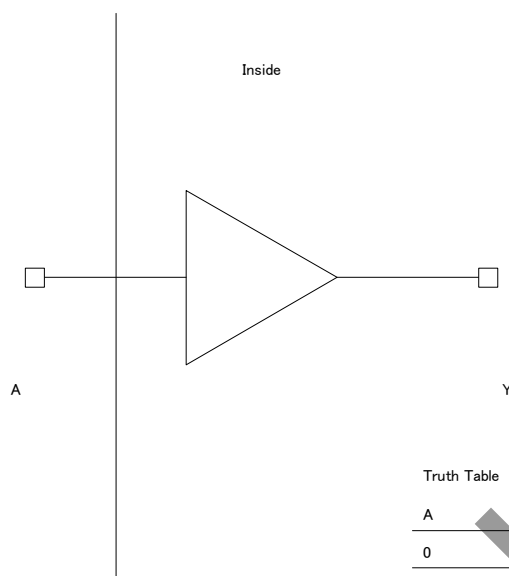
A	EN	CTL	Y0	Y0	Y1
X	0	0	0	Z	0
X	0	0	1	Z	1
X	0	1	0	Z	1
X	0	1	1	Z	1
0	1	0	-	0	0
1	1	0	-	1	1
0	1	1	-	0	1
1	1	1	-	1	1

X : Irrelevant

Z : High Impedance

(3) FIV1, FIF1 Input Buffer (5V-TOL)

備考 FIF1 はシュミット特性を持ちます。



Truth Table

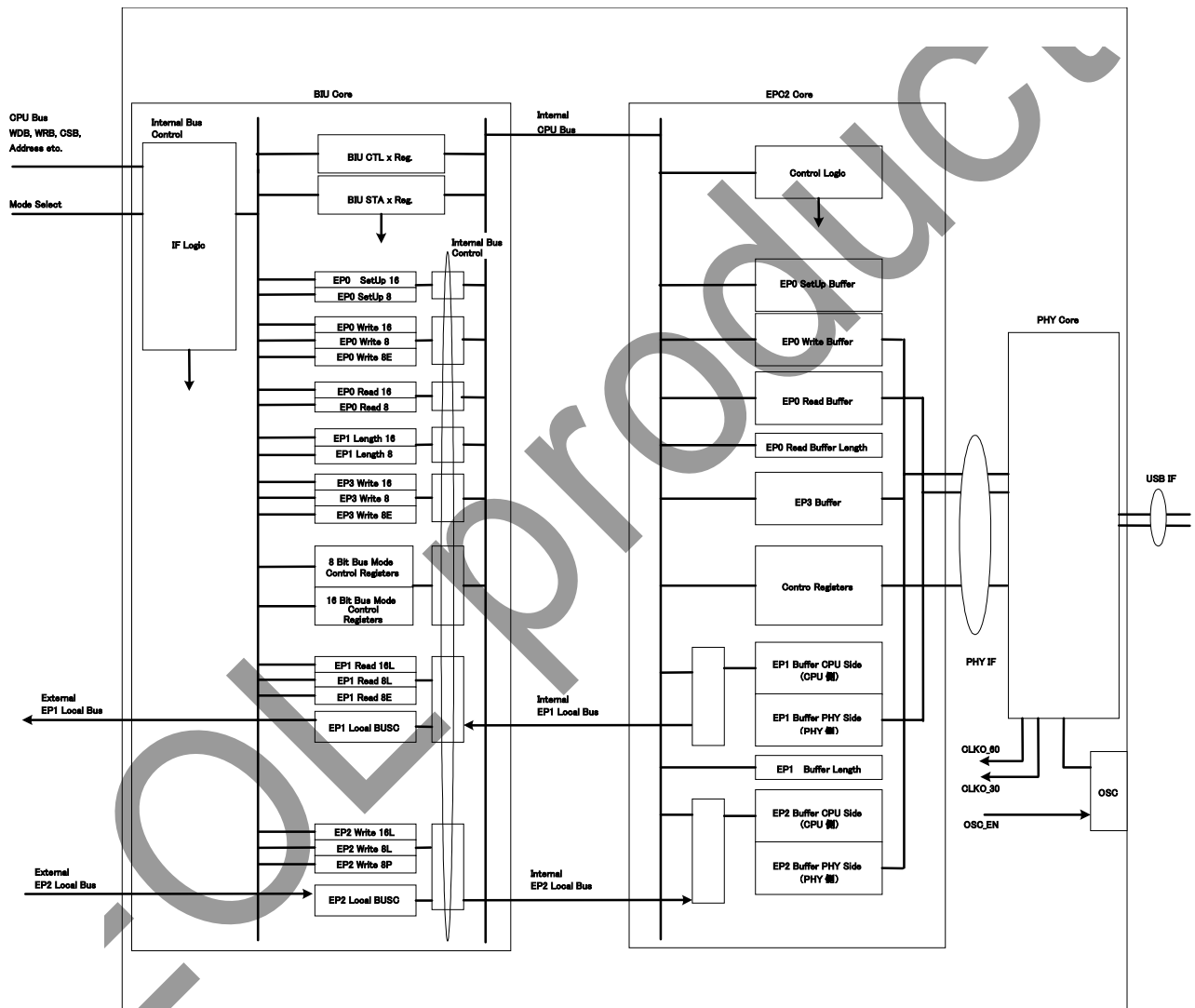
A	Y
0	0
1	1

第2章 ブロック説明

2.1 ブロック図

μPD720122 の内部構成を次にまとめます。

図 2-1 ブロック図



μPD720122 は PHY Core, EPC2 Core の外部に, BIU Core を接続しています。また, EP1 と EP2 のデータは, バイト・ワード転送の切り替えに対応するために CPU Bus ではなく, EPC2 Core の内部バスから読み出しを行い, BIU Core を中継して外部の CPU Bus や External Local Bus に接続しています。

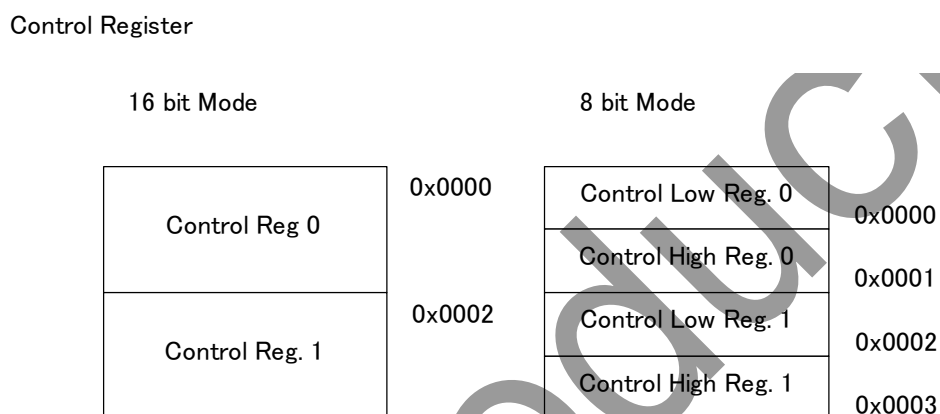
したがって, EP1, EP2 へアクセスを行う場合は PIO 転送/DMA 転送を問わず, EPC2 Core の Internal Local Bus 機能を有効にしなければなりません。

2.2 レジスタ・イメージ

2.2.1 制御レジスタ系

すべてのレジスタは次のように 16 bit (2 Byte) で定義されています。しかし、8 bit モードを選択した場合は上位バイトと下位バイトにそれぞれアドレスを割り当てることで、8 bit Bus からアクセスができるようにしています。

図 2-2 レジスタ・イメージ (制御レジスタ系)



2.2.2 データ転送系

EP のデータ・レジスタは、選択するモードによりアクセスするアドレスを変更しています。各レジスタと EP バッファの関係を示します。

図 2-3 レジスタ・イメージ (データ転送系) (1/2)

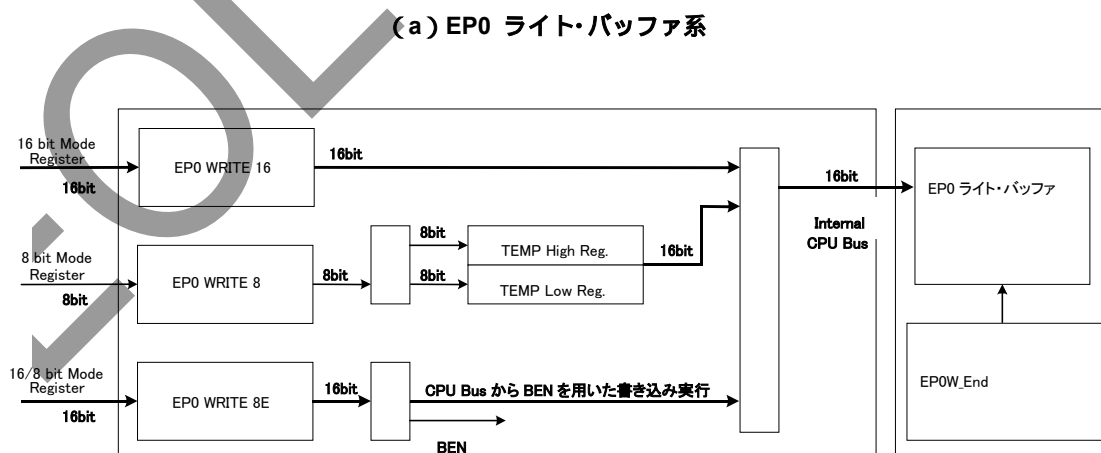
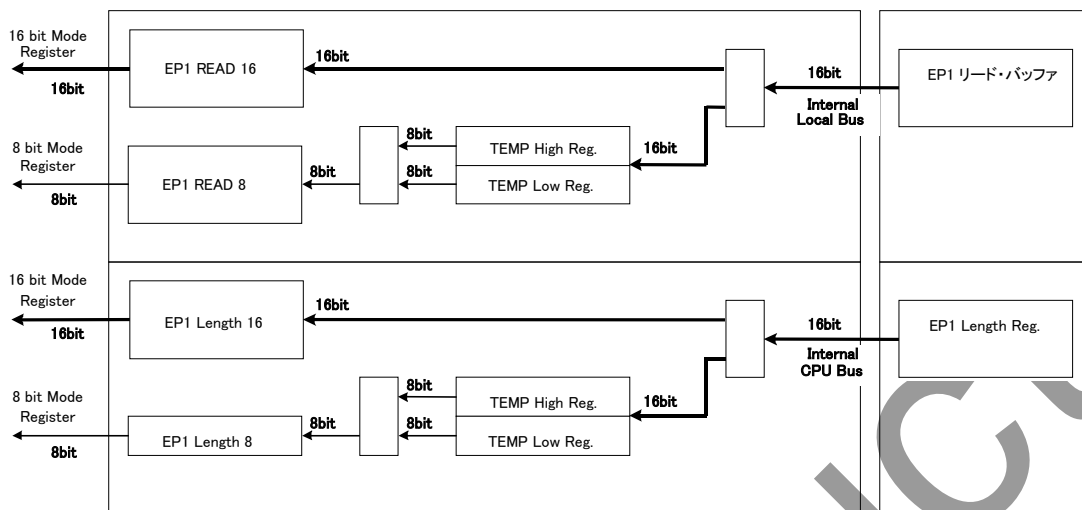
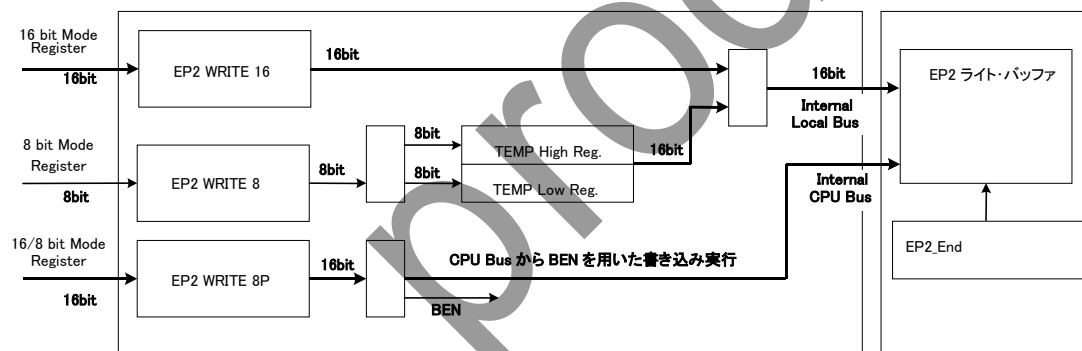


図 2-3 レジスタ・イメージ (データ転送系) (2/2)

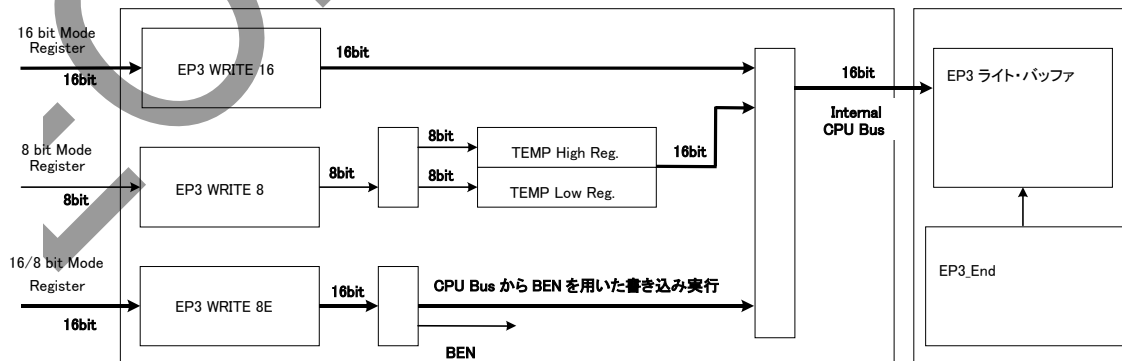
(b) EP1 リード・バッファ系



(c) EP2 ライト・バッファ系



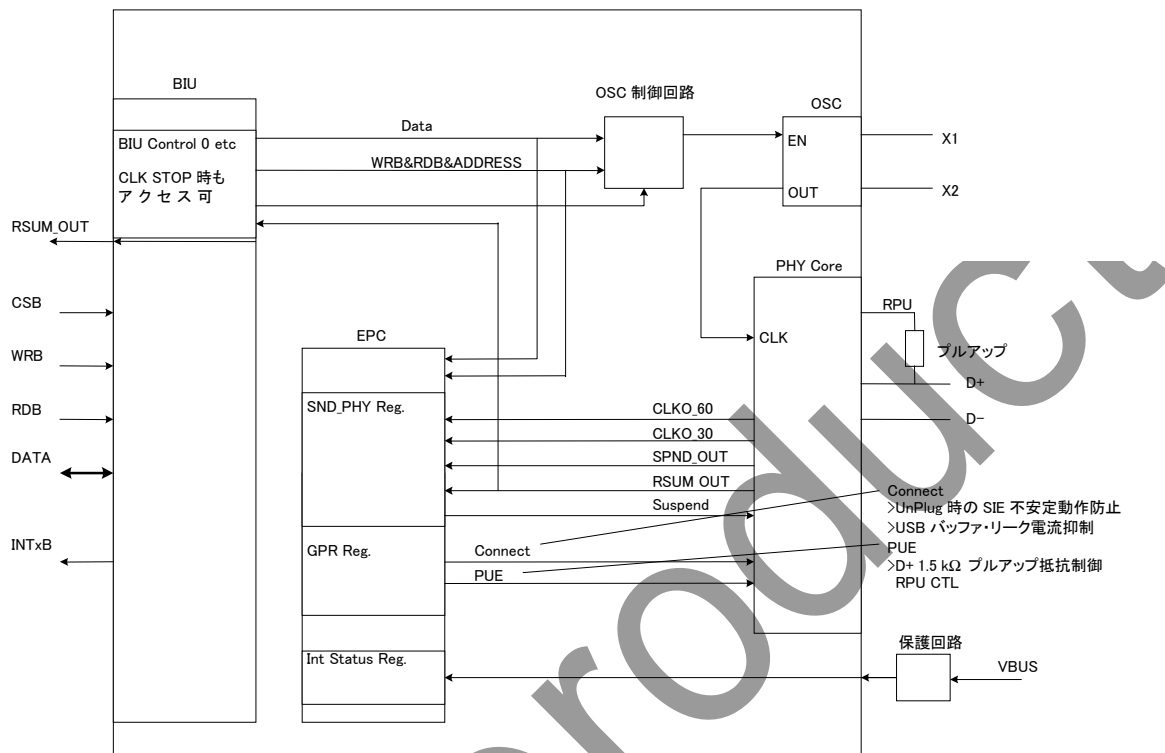
(d) EP3 ライト・バッファ系



2.3 特定信号接続図

CLK, Suspend, Resume 関連の信号を示します。

図 2-4 CLK, Suspend, Resume 関連信号接続



2.4 特定モードの対応

UnPlug 時などの特定モードにおける操作方法について説明します。

2.4.1 UnPlug 時 (CONNECTB ビットの操作)

UnPlug 時は USB バッファ端子がオープン状態となり、その状態により Bus RESET や Suspend, Resume と誤認する可能性があります。さらに、USB バッファ部分で不要なリーク電流が発生します。

このような場合、GPR Reg. CONNECTB bit を使用し、USB バッファをディスエーブルにすることでこれらの誤動作を防止できます。ただし、このビットを使用した場合、USB Bus 上の信号は一切認識できなくなります (USB Bus のステータスは、Suspend となります)。また、この状態において GPR Reg. PUE bit を ON にしないでください。

2.4.2 System Not Ready 時 (PUE ビットの操作)

Power ON 後のシステムや USB 部分の初期化を行う前、または終了する前に PlugIN されると Enumeration を正常に実行できない可能性があります。その状態を回避するために、上位ポートにデバイス接続認識を延期させる必要があります。このような場合、GPR Reg. PUE bit を使用することで、制御が可能になります。

このビットをセットすると、PHY Core は DP, RSDP の 1.5 k Ω プルアップ抵抗 (RPU を接続) を有効にします。それにより、DP, RSDP がプルアップされることになり、上位ポートはデバイスが接続されたと認識することになります。

逆に電源投入後、またはリセット後 (ハードウェア・リセットおよび EPC2 Core or PHY Core Reset 後) に GPR Reg. PUE bit をセットしなければ、上位ポートはデバイスが接続されたことを認識できません。これによって、BusReset-Enumeration 実行を延期させることができます。

PHY Core は HS モードに移行する際に、自動的に RPU は切り離します。したがって、通常動作時にはこのビットをクリアするなどの操作をする必要はありません。しかし、UnPlug 時などにファームウェアにより操作が必要な場合が発生します。

注意 System Not Ready 時において、PUE bit をセットする前に単独で GPR Reg. CONNECTB bit をセットすることはしないでください。必ず GPR Reg. CONNECTB bit および PUE bit は、同時にセットするようにしてください。

2.4.3 Suspend 時 (SPND ビット)

USB Bus が Suspend 状態になると、PHY Core が Suspend を認識し EPC2 Core から Suspend 割り込みが発生します。この状態では、EPC2 Core および PHY Core は通常状態と同じ消費電力を消費しています。

システムの要請により消費電力を削減したい場合には、次に示す処理を行うことで PHY Core 内部の通倍 PLL への CLK を停止させることが可能になります。

(A) SPND bit による消費電力削減

SND_PHY Reg. SPND bit をセットすると、PHY Core の通倍 PLL へのクロック入力が停止します。その結果、PHY Core からの CLKO_30/60 が停止します。これにより、PHY Core および EPC2 Core が停止することになるため消費電力が削減されることになります。

(B) OSC_DISEN bit による消費電力削減

BIU Control 0 Reg. OSC_DISEN bit をセット (= 1) すると、発振ブロックの Enable 信号はディアサートされます。そのため、発振ブロックが停止します。これにより発振ブロックで消費する電流も削減することが可能になります。

これらの処理を行うと PHY Core および EPC2 Core は停止します。そのため、USB Bus が Resume 状態になるまで、EPC2 Core 内部へのアクセスなどができなくなるので注意が必要です。

PHY Core が Resume を検出すると、発振ブロックの Enable 信号はアサートされ発振を開始します。

これにより PHY Core の通倍 PLL へのクロック供給も開始されるので、EPC2 Core などの内部ロジックが動作します。さらに、上記処理を行った Suspend 処理時に UnPlug または上位デバイス (ホストまたはハブ) の電源が落ちた場合などを認識するために、M2 端子の機能を VBUS に設定することを推奨します。これにより、内部クロックが停止した状態においても VBUS のハイ・レベルからロウ・レベルへの移行を認識することが可能になり、これらの状況が発生したことを把握できます。

第3章 リクエスト・デコード対応表

Control 転送に対するリクエスト処理を次にまとめます。

3.1 ハードウェア自動実行リクエスト

次に示すリクエストは、ハードウェア自動実行リクエストです。

(1/2)

項番	フィールド	BmRequest Type	BRequest	wValue		wIndex		wLength		Df ^{注1}	Ad ^{注2}	Cf ^{注3}
				3	2	5	4	7	6			
	Offset	0	1									
1	GET_INTERFACE ^{注8}	81	0A	00	00	00	0	00	01	STALL	STALL	ACK NAK
2	GET_CONFIGURATION	80	08	00	00	00	00	00	01	ACK NAK	ACK NAK	ACK NAK
3	GET_STATUS Device	80	00	00	00	00	00	00	02	ACK NAK	ACK NAK	ACK NAK
4	GET_STATUS EP0	82	00	00	00	00	80	00	02	ACK NAK	ACK NAK	ACK NAK
5	GET_STATUS EP1	82	00	00	00	00	01	00	02	STALL	STALL	ACK NAK
6	GET_STATUS EP2	82	00	00	00	00	82	00	02	STALL	STALL	ACK NAK
7	GET_STATUS EP3 ^{注5}	82	00	00	00	00	83	00	02	STALL	STALL	ACK NAK
8	CLEAR_FEATURE Device ^{注6}	00	01	00	01	00	00	00	00	ACK NAK	ACK NAK	ACK NAK
9	CLEAR_FEATURE EP0 ^{注6}	02	01	00	00	00	80	00	00	ACK NAK	ACK NAK	ACK NAK
10	CLEAR_FEATURE EP1 ^{注6}	02	01	00	00	00	01	00	00	STALL	STALL	ACK NAK
11	CLEAR_FEATURE EP2 ^{注6}	02	01	00	00	00	82	00	00	STALL	STALL	ACK NAK
12	CLEAR_FEATURE EP3 ^{注5,6}	02	01	00	00	00	83	00	00	STALL	STALL	ACK NAK
13	SET_FEATURE Device ^{注7}	00	03	00	01	00	00	00	00	ACK NAK	ACK NAK	ACK NAK
14	SET_FEATURE EP0 ^{注7}	02	03	00	00	00	80	00	00	ACK NAK	ACK NAK	ACK NAK
15	SET_FEATURE EP1 ^{注7}	02	03	00	00	00	01	00	00	STALL	STALL	ACK NAK

項番	フィールド	BmRequest	BRequest	wValue		wIndex		wLength		Df ^{注1}	Ad ^{注2}	Cf ^{注3}
		Type	1	2	3	5	4	7	6			
	Offset	0	1	2	3	5	4	7	6			
16	SET_FEATURE EP2 ^{注11}	02	03	00	00	00	82	00	00	STALL	STALL	ACK NAK
17	SET_FEATURE EP3 ^{注5,7}	02	03	00	00	00	83	00	00	STALL	STALL	ACK NAK
18	SET_INTERFACE ^{注8}	01	0B	00	00	00	0	00	00	STALL	STALL	ACK NAK
19	SET_CONFIGURATION	00	09	00	00	00	00	00	00	ACK NAK	ACK NAK	ACK NAK
20	SET_ADDRESS ^{注14}	00	05	00	XX	00	00	00	00	ACK NAK	ACK NAK	ACK NAK
21	SET_FEATURE_TEST_MODE (TEST_J) ^{注10,11}	00	03	00	02	01	00	00	00	ACK NAK	ACK ^{注12} NAK	ACK ^{注12} NAK
22	SET_FEATURE_TEST_MODE (TEST_K) ^{注10,11}	00	03	00	02	02	00	00	00	ACK NAK	ACK ^{注12} NAK	ACK ^{注12} NAK
23	SET_FEATURE_TEST_MODE (TEST_SE0) ^{注10,11}	00	03	00	02	03	00	00	00	ACK NAK	ACK ^{注12} NAK	ACK ^{注12} NAK
24	SET_FEATURE_TEST_MODE (TEST_PRBS) ^{注10,11}	00	03	00	02	04	00	00	00	ACK NAK	ACK ^{注12} NAK	ACK ^{注12} NAK
25	SET_FEATURE_TEST_MODE (TEST_Force) ^{注10,11}	00	03	00	02	05	00	00	00	ACK NAK	ACK ^{注12} NAK	ACK ^{注12} NAK
26	SOFT RESET ^{注8,10}	23 or 21	02	00	00	00	0?	00	00	ACK NAK	ACK NAK	ACK NAK

3.2 ファームウェア実行リクエスト

次に示すリクエストはファームウェア実行リクエストです。ファームウェアにて処理を行う必要があります。

項番	フィールド	BmRequest	BRequest	wValue		wIndex		wLength		処理方法
		Type		3	2	5	4	7	6	
	Offset	0	1							
1	GET_DESCRIPTOR Device ^{注10}	80	06	01	00	00	00	XX	XX ^{注4}	CPUDEC 割り込み発生
2	GET_DESCRIPTOR Device Qualifier ^{注10}	80	06	06	00	00	00	XX	XX ^{注4}	CPUDEC 割り込み発生
3	GET_DESCRIPTOR String ^{注10}	80	06	03	XX	XX	XX	XX	XX ^{注4}	CPUDEC 割り込み発生
4	GET_DESCRIPTOR Configuration ^{注10}	80	06	02	00	00	00	XX	XX ^{注4}	CPUDEC 割り込み発生
5	GET_DESCRIPTOR Other Speed Configuration ^{注10}	80	06	07	00	00	00	XX	XX ^{注4}	CPUDEC 割り込み発生
6	GET_DESCRIPTOR INTERFACE_POWER	80	06	08	00	00	00	XX	XX	CPUDEC 割り込み発生
7	SET_DESCRIPTOR XXX	00	07	XX	XX	XX	XX	XX	XX	CPUDEC 割り込み発生
8	SET_FEATURE TEST_MODE ^{注13} (wIndex = 00, 06-FF)	00	03	00	02	00, 06-FF	00	00	00	CPUDEC 割り込み発生
9	GET_STATUS Interface	81	00	00	00	XX	XX	00	02	CPUDEC 割り込み発生
10	Vendor Request	xX ^{注15}	XX	XX	XX	XX	XX	XX	XX	Vendor 割り込み発生
11	GET_DEVICE ID ^{注8,10}	A1	00	XX	XX	0?	00	XX	XX ^{注4}	CPUDEC 割り込み発生
12	GET_PORT Status ^{注8,10}	A1	01	00	00	00	0?	00	01	CPUDEC 割り込み発生
13	Accept Device-Specific Command (ADSC) ^{注9} (Storage Class Request)	21	00	00	00	XX	XX	XX	XX	Req_Sel 割り込み発生
14	BulkOnly Mass Storage Reset (Storage Class Request)	21	FF	00	00	XX	XX	00	00	Req_Sel 割り込み発生
15	Get Max LUN (Storage Class Request)	A1	FE	00	00	XX	XX	00	01	Req_Sel 割り込み発生

なお、ここに示したリクエスト（ハードウェア自動実行リクエスト、ファームウェア実行リクエスト）以外のリクエストについては、自動 Stall 応答します（SET_FEATURE : Interface, CLEAR_FEATURE : Interface に関しても自動 Stall 応答します）。

ただし、内部設定を行うことで、自動 Stall をしないようにすることも可能です。その際、動作検証を必ず行い、お客様のご判断でご使用ください。詳細は 4.2.1 (6)(b) Mode Control 0 Register を参照してください。

ハードウェア自動実行リクエストおよびファームウェア実行リクエストの補足

- 注 1. Default 状態の応答
2. Addressed 状態の応答
3. Configured 状態の応答
4. wLength 値が準備している値以下ならその値を返信し、それ以上の値なら準備している値までを返信する。
5. Mode Control 1 Reg.の設定によりリクエストの受信先である EP をサポートしない場合、これらのリクエストは自動 Stall 応答に割り当てられます。
6. Clear Feature EP0 は、ステータス・ステージの転送が正常に受信できた場合に EP0 Status Reg.のクリアを行います。なお、その他の Clear Feature リクエストもステータス・ステージで ACK を受信した場合に、Device Status, EPx Status Reg.のクリアを行います。
7. Set Feature はステータス・ステージで ACK を受信した場合に、Device Status, EPx Status Reg.のセットを行います。
EP0 の Halt ビットを設定した場合は Clear Feature EP0 を受信するまで Get Status EP0 と Set Feature EP0 および CPUDEC 割り込みの発生するリクエスト以外のコントロール転送のデータ・ステージで Stall 応答するようになっています。
なお、サポートしていないリクエストに関しての Stall 応答では EP0 の Halt ビットはセットされませんので、次の Setup トークンを受信した時点で Stall 応答はクリアされます。
8. wIndex 値が規定外の場合、自動 Stall 応答します。
μPD720122 は Interface 0 のみサポートします。そのため、次の説明文で“有効となっている Interface 番号”は“0”のみとなります。
は、Active Interface No. Reg.で有効となっている Interface 番号
? は、Active Interface No. Reg.で有効、かつ Storage Interface でない (Mode Control 1 Reg.で設定) Interface 番号
9. Accept Device-Specific Command (ADSC) は、Universal Serial Bus Mass Storage Class Control/Bulk/Interrupt (CBI) Transport Revision 1.0 に定義されています。
10. Req_Sel Control Register の該当ビットをセットするとハードウェア実行処理は行われず Req_Sel Status Register の該当ビットがセットされます。また、同時に Int Status 0 Register の Req_Sel 割り込みが発生します。
11. SET_FEATURE TEST_MODE は、Default 状態においても動作します (SET_FEATURE DEVICE と同一条件)
12. SET_FEATURE TEST_MODE は Default 状態のみで有効であると考えますが Addressed , Configured 状態でも動作します。
なお、FS 時は Default, Addressed , Configured 状態のいずれも自動 Stall 応答します。
13. SET_FEATURE TEST_MODE の wIndex が 00H および 06H-FFH の場合です。
14. wValue 値 (Address) が 128 以上の場合、自動 Stall 応答します。
15. xX="x10xxxxx"

3.2.1 USB Protocol に対する補足事項

(1) Universal Serial Bus Specification 1.1 および 2.0 で規定されているコントロール転送のシーケンスを満足しない場合

a : Setup ステージなしに IN トークンまたは OUT トークンを受信した場合、または正常な処理のあとに IN トークンまたは OUT トークンを受信した場合

例	Setup	IN	Out	IN ^{注1}	,	Setup	Out	IN	Out ^{注1}
	Setup	Out	IN	IN ^{注2}	,	Setup	IN	Out	Out ^{注2}

注 1. 前のトークンが正常に行われた場合

2. 前のトークンが正常に行われた場合（リトライではない）

このとき、このマクロは異常なトークンに対して無応答となります。

b : Setup ステージのデータ・フェーズで DPID 1 でデータを送られてきた場合はこのマクロは無応答となります。

c : Setup ステージで送信されてくるデータが、8 Byte でない場合はパケットの破壊として Setup トークンに対して無応答となります。

(2) Status ステージにおいてホストが 0 バイト長以外のデータを送信してきた場合、Mode Control 0 Reg. STATUS_SEL bit の設定により、動作が異なります。

Status_SEL bit = 1 : Status Stage で 0 バイト長以外であった場合、Stall 応答します。

Status_SEL bit = 0 : Status Stage で 0 バイト長以外であった場合でも ACK 応答します。（初期値）

(3) コントロール・リード・リクエストをハードウェア実行する場合、wLength 値が 0x00 であった場合、No Data コントロール転送として 0 長バイトのデータを自動送出します。ファームウェア実行リクエストの場合は、wLength 値の対応を含めてファームウェアで制御してください。

(4) コントロール・リードにおいてホストへショート・パケットを送信したにも関わらず、リトライでない IN トークンを受けた場合は Stall 応答します。ファームウェア実行リクエストの場合は wLength 値の対応を含めてファームウェアで制御してください。

(5) コントロール・リードにおいてデータ・ステージで送信するデータが Max Packet Size であった場合、すべてのデータが送信し終わったあとに更に IN トークンが来る場合には 0 バイト長データを送信します。0 バイト長データを正常送信したにも関わらず更に IN トークンが来た場合には Stall 返信を行う。ファームウェア実行リクエストの場合は、wLength 値の対応を含めてファームウェアで制御してください。

(6) wLength = 0 の場合 BmRequestType で示された方向と Setup の次に来るトークンの方向が違う場合には Stall 応答します。

wLength = 0 の場合（No-Data Control）は Setup の次に来るトークンが Out の場合に Stall 応答します。

3.3 自動リクエストの処理

自動実行リクエストと定義されたリクエストに対する EPC2 Core の動作をまとめます。
動作は次に示す状態によって変わります。

Default	: Default address で動作する状態
Addressed	: アドレスのアサイン後
Configured	: SET_CONFIGURATION wValue = 1 を正常受信後

3.3.1 GET_CONFIGURATION()

GET_CONFIGURATION()を正常処理した場合には、Configuration Reg.に格納している値を送信します。
wValue, wIndex, wLength がリクエスト・デコード対応表記載のもの以外の場合、データ・ステージで Stall 応答となります。

Default	: このリクエストを受信したとき、Configuration Reg.に保持されている値を返信
Addressed	: このリクエストを受信したとき、Configuration Reg.に保持されている値を返信
Configured	: このリクエストを受信したとき、Configuration Reg.に保持されている値を返信

3.3.2 GET_INTERFACE()

wValue, wLength がリクエスト・デコード対応表記載のもの以外の場合、または wIndex が 0 以外の場合はデータ・ステージで Stall 応答となります。

Default	: このリクエストを受信したとき、データ・ステージで Stall 応答
Addressed	: このリクエストを受信したとき、データ・ステージで Stall 応答
Configured	: このリクエストを受信したとき、wIndex 値に 0 を返信

3.3.3 GET_STATUS()

wValue, wIndex, wLength がリクエスト・デコード対応表記載のもの以外の場合、または対象が存在しない EP の場合もデータ・ステージで Stall 応答します。

Default	: このリクエストを受信したとき、対象がデバイスか EP0 の場合のみ対象 Protocol data 領域に保持されている値を返信
Addressed	: このリクエストを受信したとき、対象がデバイスか EP0 の場合のみ対象 Protocol data 領域に保持されている値を返信
Configured	: このリクエストを受信したとき、対象がデバイスが存在する EP の場合のみ対象 Protocol data 領域に保持されている値を返信

3.3.4 SET_ADDRESS()

wIndex, wLength がリクエスト・デコード対応表記載のもの以外の場合、または指定されたデバイス・アドレスが 127 より大きい場合はステータス・ステージで Stall 応答になります。

- Default : このリクエストを受信したとき、指定されたアドレスが 0 であれば Default ステートのまま。指定されたアドレスが 0 以外ならデバイスは Addressed ステートに入り PHY へ入力する USB Address 値を指定のアドレス値に変更。
- Addressed : このリクエストを受信したとき、指定されたアドレスが 0 ならデバイスは Default ステートに入り、PHY へ入力する USB Address 値をデフォルト・アドレスに戻す。0 以外であれば Addressed ステートのみであるが、PHY への入力する USB Address 値を指定の新しいアドレス値に変更する。
- Configured : このリクエストを受信したとき、指定されたアドレスが 0 ならデバイスは Configured ステートのみで PHY へ入力する USB Address 値をデフォルト・アドレスに戻す。この場合、EP0 以外の EP も有効のみである。0 以外であれば Configured ステートのみで PHY へ入力する USB Address 値を指定の新しいアドレス値に変更する。

SET_ADDRESS()を正常処理した場合、ステータス・ステージの正常終了時に指定されたアドレスが Address Reg.に保持され USB_ADDR[6:0]に出力されます。

3.3.5 SET_CONFIGURATION()

wValue, wIndex, wLength がリクエスト・デコード対応表記載のもの以外の場合はステータス・ステージで Stall 応答します。

- Default : このリクエストを受信したとき、指定されたコンフィギュレーション値が 1 なら Mode Status Reg. CONF_S bit と Configuration Reg.がセットされ、指定されたコンフィギュレーション値が 0 なら Mode Status Reg. CONF_S bit と Configuration Reg.がクリアされる。つまり Addressed ステートをスキップして、Default address に応答する Configured ステートに移行する。
- Addressed : このリクエストを受信したとき、指定されたコンフィギュレーション値が 1 なら Mode Status Reg. CONF_S bit と Configuration Reg.がセットされ Configured ステートに入り、指定されたコンフィギュレーション値が 0 なら Addressed ステートのみとなる。
- Configured : このリクエストを受信したとき、指定されたコンフィギュレーション値が 0 なら Mode Status Reg. CONF_S bit と Configuration Reg.がクリアされ Addressed ステートに戻り、指定されたコンフィギュレーション値が 1 なら Configured ステートのみとなる。

SET_CONFIGURATION()を正常処理したら SET Request Reg.の対象ビットがセットされ、割り込みが発行されます。

指定されたコンフィギュレーション値が、現在のコンフィギュレーション値と同じ場合でもすべての Halt フィーチャーはリクエストを完了したあとにクリアされます。

また、SET_CONFIGURATION()を正常処理した場合には、再びすべての EP のデータ・トグルは必ず DATA0 に初期化されます。

3.3.6 SET_FEATURE() (TEST_MODE 以外の場合)

SET_FEATURE() (TEST_MODE 以外) を正常処理した場合は、SET Request Reg.の対象ビットや各 EPn Status Reg. Halt bit がセットされ割り込みが発行されます。

対象が Interface、存在しない EP の場合の SET_FEATURE()リクエストはステータス・ステージで Stall 応答になります。

また、wLength 値が 0 以外の場合も Stall 応答になります。

- Default : このリクエストを受信したとき、対象がデバイスか EP0 の場合のみ正常応答する。それ以外はステータス・ステージで Stall 応答。
- Addressed : このリクエストを受信したとき、対象がデバイスか EP0 の場合のみ正常応答する。それ以外はステータス・ステージで Stall 応答。
- Configured : このリクエストを受信したとき、対象がデバイスが存在する EP の場合のみ正常応答する。それ以外はステータス・ステージで Stall 応答。

3.3.7 SET_FEATURE() (TEST_MODE の場合)

HS 時に SET_FEATURE() (TEST_MODE) を正常受信した場合には、TEST_MODE で規定された TEST 動作を PHY に指示します。

同時に SET Request Reg. SETF_TEST bit をセットします。

ただし wIndex 値が 00H および 06H-FFH の場合は INT Status 0 Reg. CPUDEC bit をセットします。

(FS 時に SET_FEATURE() (TEST_MODE) を受信した場合には、Default、Addressed、Configured とともに自動 Stall 応答します。ファームウェアにより強制的に TEST_MODE を設定した場合は、FS 動作中であっても HS モードに強制移行します)

- Default : このリクエストを受信したとき、wIndex 値により規格で定義されたテスト・モードを実行します。実行はステータス・ステージ後に行われます。
 - 00H : 通常モード
 - 01H : TEST_J
 - 02H : TEST_K
 - 03H : TEST_SE0_NAK
 - 04H : TEST_Packet
 - 05H : TEST_Force_Enable
- Addressed : このリクエストを受信したとき、wIndex 値により規格で定義されたテスト・モードを実行します。
- Configured : このリクエストを受信したとき、wIndex 値により規格で定義されたテスト・モードを実行します。

3.3.8 SET_INTERFACE()

wValue, wLength がリクエスト・デコード対応表記載のもの以外の場合と wIndex が規定されている範囲外の場合はデータ・ステージで Stall 応答します。

Default	: このリクエストを受信したとき, Status ステージで Stall 応答
Addressed	: このリクエストを受信したとき, Status ステージで Stall 応答
Configured	: このリクエストを受信したとき, Status ステージで 0 バイト長データ送信

SET_INTERFACE()を正常処理した場合に割り込みが発行されます。EP のすべての Halt フィーチャーは, リクエストを完了したあとにクリアされ, データ・トグルは再び DATA0 に初期化されます。

3.3.9 SOFT RESET()

このリクエストは自動実行も可能ですが, ファームウェア実行することを推奨します。

ファームウェアで実行する場合は, Req_Sel Control Reg.にて設定可能です。

SOFT RESET リクエストを受信すると wIndex で指定された Interface 内の EP に対してバッファ (PHY 側) のクリアを行います。更に, Halt フィーチャーをクリアして Data PID を初期化します。

USB アドレス, configuration は保持されます。

Default	: このリクエストを受信したとき, 上記に示した処理を行う
Addressed	: このリクエストを受信したとき, 上記に示した処理を行う
Configured	: このリクエストを受信したとき, 上記に示した処理を行う

実行するタイミングはステータス・ステージ完了時となります。

第4章 レジスタ構成

μPD720122 は外部端子 (M0, M1) の設定により, BIU の動作モード (Function1-Function3) を切り替えることが可能です。それぞれ選択された Function により, アドレス・マップが変更されます。

4.1 レジスタ一覧

4.1.1 Function 1, 3 (16 bit モード) 時のレジスタ配置一覧

この章は, CPU Bus のデータ・バス幅が 16 bit モードである Function 1 および Function 3 を選択した場合のレジスタ配置の説明を行います。この章で説明しているレジスタは, すべてワード・アクセスしてください。

Function 2 を選択している場合は4.1.2 Function 2 (8 bit モード) 時のレジスタ配置一覧を参照してください。

(1) Control Data 領域 (16 bit モード)

(1/2)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
EndPoint_ Control	00	EPNAK Status	EP の NAK ステータス表示を行います。	R ^{注1}	0000H
	02	EPNAK Control	EP の NAK 制御を行います。	R/W	0000H
	04	SND PHY	ロー・ハンドシェイク, ビット・スタッフィング・エラーなどの操作を行います。	R/W ^{注2}	0000H
Status	06	CLR Request	Clear Feature リクエスト解析レジスタ受信した CLEAR_FEATURE リクエストが何を対象にしたものかを示します。	R	0000H
	08	SET Request	Set xxx リクエスト解析レジスタ受信した自動処理対象 SET_XXXX リクエストが何を対象にしたものかを示します。	R	0000H
	0A	EP Status 0	EP のステータス表示レジスタ USB バス状態, レジスタのデータの有無を表示します。	R	0000H
	0C	EP Status 1	EP のステータス表示レジスタ USB バス状態, レジスタのデータの有無を表示します。	R	0000H
	0E	EP Status 2	EP のステータス表示レジスタ USB バス状態, レジスタのデータの有無を表示します。	R	0000H
	10	Device IF Status	CPU Bus および External Local Bus のステータスを示します。	R	0000H

注 1. Bit0 のみ R/W 可能 (EPNAK Status Reg.)

2. Bit1 のみ Write Only (SND PHY Reg.)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
Interrupt	12	INT Status 0	割り込み要因を格納します。このレジスタに変化があった場合は、INT0B がアクティブになります。	R	0000H
	14	INT Status 1	割り込み要因を格納します。このレジスタに変化があった場合は、INT1B がアクティブになります。	R	0000H
	16	INT Status 2	割り込み要因を格納します。このレジスタに変化があった場合は、INT2B がアクティブになります。	R	0000H
	18	INT Mask 0	割り込み要因のマスクを制御します。	R/W	0000H
	1A	INT Mask 1	割り込み要因のマスクを制御します。	R/W	0000H
	1C	INT Mask 2	割り込み要因のマスクを制御します。	R/W	0000H
	1E	INT Clear 0	割り込み要因のクリアを制御します。 ・ターゲットのビットに“0”をライトする場合のみ有効になります。 ・リードした場合は、FFFFH が読み出されます。	W	FFFFH
	20	INT Clear 1	割り込み要因のクリアを制御します。 ・ターゲットのビットに“0”をライトする場合のみ有効になります。 ・リードした場合は、FFFFH が読み出されます。	W	FFFFH
	22	INT Clear 2	割り込み要因のクリアを制御します。 ・ターゲットのビットに“0”をライトする場合のみ有効になります。 ・リードした場合は、FFFFH が読み出されます。	W	FFFFH
DMA	24	DMA Control 0	割り込みおよび DMA の設定を行うレジスタです。	R/W	0000H
	26	DMA Control 1	割り込みおよび DMA の設定を行うレジスタです。	R/W	0000H
	28	DMA Control 2	割り込みおよび DMA の設定を行うレジスタです。	R/W	0000H
	2A	DMA Status0	DMA 転送に関するステータスを表示します。	R	0000H
Buffer_ Control	2C	Buffer Clear0	バッファをクリアするためのレジスタです。 ・ターゲットのビットに“1”をライトする場合のみ有効になります。 ・リードした場合は、0000H が読み出されます。	W	0000H
	2E	Data End	送信データに対する書き込み終了を示します。 ・ターゲットのビットをセットすると、送信可能状態となります。 ・ターゲットのビットに“1”をライトする場合のみ有効になります。 ・リードした場合は、0000H が読み出されます。	W	0000H
Mode	30	GPR	EPC2 Core 内部および USB インタフェース制御のためのレジスタです。	R/W ^注	0000H
	32	Mode Control 0	EPC2 Core の動作モードを設定します。	R/W	0000H
	34	Mode Control 1	EPC2 Core の動作モードを設定します。	R/W	0000H
	36	Mode Status	EPC2 Core の動作モードを示します。	R	0000H
	38	Mode Mask	Mode Control Reg.のビット・マスクを行います。	R/W	0000H
	3A	Req_Sel Control	対応可能なリクエストをハードウェア実行または、ファームウェア実行するかを設定するレジスタです。	R/W	0000H
	3C	Req_Sel Status	Req_Sel Control Reg.で設定したリクエストを受信した場合に、そのリクエストを表示するレジスタです。	R	0000H
Class Spec	3E	BulkOnly Control	BulkOnly プロトコルのサポート機能を設定するレジスタです。	R/W	0000H
	40	BulkOnly Status	BulkOnly プロトコルの実行ステータスを示します。	R	0000H

注 Bit0 のみ Write Only (GPR Reg.)

(2) Transfer Data 領域 (16 bit モード)

μPD720122 はワード・アクセスが基本となります。

バイト・アクセスを行う場合には、専用レジスタを経由する必要があります。

データ送信用レジスタには、奇数バイト長データを送信するための専用レジスタが準備されています。

(1/2)

グループ名	アドレス (H)	レジスタ名	機 能	R/W	初期値
Transfer Data	42	EP0 Read16	<ul style="list-style-type: none"> ・コントロール転送における OUT データを格納している EP0 バッファから、データを読み出すためのレジスタです。 ・EP0 バッファは 64 バイトの容量を持ちます。 ・バッファ内のデータを廃棄する場合は、バッファ・クリアを行ってください。 	R	0000H
	44	EP0 Length16	<ul style="list-style-type: none"> ・EP0 バッファに格納されているデータ長 (バイト単位) を示すレジスタです。 	R	0000H
	46	EP0 SetUp16	<ul style="list-style-type: none"> ・コントロール転送における Setup データを収納している EP0 SetUp バッファからデータを読み出すためのレジスタです。 ・連続してデータを読み出してください。 ・SetUp token を受信すると、読み出し操作と関係なく上書きされていきます。 	R	0000H
	48	EP0 Write16	<ul style="list-style-type: none"> ・コントロール転送における IN データを EP0 バッファに書き込むためのレジスタです。 ・EP0 バッファは 64 バイトの容量を持ちます。 ・奇数バイト長のデータ送信を行う場合は、ワード単位でこのレジスタに書き込みを行い、最後のバイト (奇数バイト目) を EP0 Write8E Reg. に書き込んでください。 	W	-
	4A	EP0 Write8E	<ul style="list-style-type: none"> ・コントロール転送における IN データが、奇数バイト長である場合に使用するレジスタです。 ・最後のバイト (奇数バイト目のデータ) のみ書き込んでください。 ・ワード・アクセス・レジスタですが、下位バイトのみ有効データとなります。 	W	-
	4C	Reserved	このレジスタは、アクセス禁止です。	-	-
	4E	EP1 Read16L	<ul style="list-style-type: none"> ・EP1 (BulkOUT) へのデータを格納している、EP1 バッファからデータをワード単位で読み出すためのレジスタです。 ・EP1 バッファは、バンク構成になっています。互いにトグル動作を行い、PHY 側と CPU 側の入れ替えを繰り返します。また、FS モードと HS モードでバッファ・サイズが変わります。 	R	0000H
	50	EP1 Read8L	このレジスタは、アクセス禁止です。	R	00H
	52	EP1 Length16	<ul style="list-style-type: none"> ・EP1 バッファの CPU 側に接続されているバッファのデータ長 (バイト単位) を示すレジスタです。 	R	0000H
	54	Reserved	このレジスタは、アクセス禁止です。	-	-
56	EP2 Write8P	<ul style="list-style-type: none"> ・EP2 (BulkIN) から送信するデータが奇数バイト長である場合に使用するレジスタです。 ・最後のバイト (奇数バイト目のデータ) のみ書き込んでください。 ・ワード・アクセス・レジスタですが、下位バイトのみ有効データとなります。 	W	-	

(2/2)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
Transfer Data	58	EP2 Write16L	<ul style="list-style-type: none"> EP2 (BulkIN) から送信するデータを、ワード単位で EP2 バッファに書き込むためのレジスタです。 奇数バイト長のデータ送信を行う場合は、ワード単位でこのレジスタに書き込みを行い、最後のバイト (奇数バイト目) を EP2 Write8P Reg. に書き込んでください。 EP2 バッファは、バンク構成になっています。互いにトグル動作を行い、PHY 側と CPU 側の入れ替えを繰り返します。また、FS モードと HS モードでバッファ・サイズが変わります。 	W	-
	5A	EP2 Write8L	このレジスタは、アクセス禁止です。	W	-
	5C	EP3 Write16	<ul style="list-style-type: none"> EP3 (Interrupt IN) から送信するデータを、ワード単位で EP3 バッファに書き込むためのレジスタです。 奇数バイト長のデータを送信する場合は、ワード単位でこのレジスタに書き込みを行い、最後のバイト (奇数バイト目) を EP3 Write8E Reg. に書き込んでください。 EP3 バッファは、FS モードと HS モードでバッファ・サイズが変わります。 	W	-
	5E	EP3 Write8E	<ul style="list-style-type: none"> EP3 (Interrupt IN) から送信するデータが奇数バイト長である場合に使用するレジスタです。 最後のバイト (奇数バイト目のデータ) のみ書き込んでください。 ワード・アクセス・レジスタですが、下位バイトのみ有効データとなります。 	W	-

(3) Protocol Data 領域 (16 bit モード)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
Protocol Data	80	Device Status	GET_STATUS Device で返す値を収納するレジスタです。	R/W	0000H
	82	EP0 Status	GET_STATUS EP 0 で返す値を収納するレジスタです。	R/W	0000H
	84	EP1 Status	GET_STATUS EP 1 で返す値を収納するレジスタです。	R/W	0000H
	86	EP2 Status	GET_STATUS EP 2 で返す値を収納するレジスタです。	R/W	0000H
	88	EP3 Status	GET_STATUS EP 3 で返す値を収納するレジスタです。	R/W	0000H
	8A	Address	デバイス・アドレスを収納するレジスタです。	R/W ^{注1}	0000H
	8C	Configuration	GET_CONFIGURATION で返す値を収納するレジスタです。	R/W ^{注2}	0000H
	8E	Interface	GET_INTERFACE で返す値を収納するレジスタです。	R/W ^{注2}	0000H
	90-9E	Reserved	このレジスタは、アクセス禁止です。	-	-

注 1. Mode Control 0 Reg.CPUDEC_ALL_Set bit = 1 のときのみファームウェアによる Write が可能。

2. Mode Control 0 Reg.CPUDEC_ALL_Set bit = 1 または CPUDEC_SEL_Set bit = 1 のときのみファームウェアによる Write が可能。

(4) BIU 領域 (16 bit モード)

グループ名	アドレス (H)	レジスタ名	機 能	R/W	初期値
BIU	A0	BIU Control 0	BIU の動作モードの設定を行うレジスタです。(初期設定)	R/W	0000H
	A2	BIU Control 1	BIU の動作モードの設定を行うレジスタです。 (EP1 DMA 起動設定)	R/W	0000H
	A4	BIU Control 2	BIU の動作モードの設定を行うレジスタです。 (EP2 DMA 起動設定)	R/W	0000H
	A6-AA	Reserved	予備レジスタです。アクセスを禁止します。	-	xxxxH
	AC	BIU STA1	BIU のステータス表示レジスタです。	R/ -	0000H
	AE-BA	Reserved	予備レジスタです。アクセスを禁止します。	-	xxxxH
	BC	BIU_FWRESET	チップ内部のEPC2 CoreおよびPHY Coreをファームウェアによりリセットするためのレジスタです。	R/W	0000H
	BE-FE	Reserved	予備レジスタです。アクセスを禁止します。	-	xxxxH

4.1.2 Function 2 (8 bit モード) 時のレジスタ配置一覧

この章は CPU Bus が 8 bit である，Function 2 を選択した場合のレジスタ配置の説明を行います。

この章で説明しているレジスタは，バイト・アクセスを想定しています。

Function 1, 3 の CPU Bus 16 bit モードを選択している場合は，4.1.1 Function 1, 3 (16 bit モード) 時のレジスタ配置一覧を参照してください。

(1) Control Data 領域 (8 bit モード)

(1/2)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
EndPoint _Control	00	EPNAK Status Low	EP の NAK ステータス表示を行います。	R ^{注1}	00H
	01	EPNAK Status High		R	00H
	02	EPNAK Control Low	EP の NAK 制御を行います。	R/W	00H
	03	EPNAK Control High		R/W	00H
	04	SND PHY Low	ノー・ハンドシェーク，ビット・スタッフィング・エラーなどの操作を行います。	R/W ^{注2}	00H
	05	SND PHY High		R/W	00H
Status	06	CLR Request Low	Clear Feature リクエスト解析レジスタ受信された	R	00H
	07	CLR Request High	CLEAR_FEATURE リクエストが何を対象にしたものかを示します。	R	00H
	08	SET Request Low	Set xxx リクエスト解析レジスタ受信された自動処理対象	R	00H
	09	SET Request High	SET_XXXX リクエストが何を対象にしたものかを示します。	R	00H
	0A	EP Status 0 Low	EP のステータス表示レジスタ USB バス状態，レジスタのデータの有無を表示します。	R	00H
	0B	EP Status 0 High		R	00H
	0C	EP Status 1 Low	EP のステータス表示レジスタ USB バス状態，レジスタのデータの有無を表示します。	R	00H
	0D	EP Status 1 High		R	00H
	0E	EP Status 2 Low	EP のステータス表示レジスタ USB バス状態，レジスタのデータの有無を表示します。	R	00H
	0F	EP Status 2 High		R	00H
	10	Device IF Status Low	CPU Bus および External Local Bus のステータスを示します。	R	00H
	11	Device IF Status High		R	00H
Interrupt	12	INT Status 0 Low	割り込み要因を格納します。このレジスタに変化があった場合は，INT0B がアクティブになります。	R	00H
	13	INT Status 0 High		R	00H
	14	INT Status 1 Low	割り込み要因を格納します。このレジスタに変化があった場合は，INT1B がアクティブになります。	R	00H
	15	INT Status 1 High		R	00H
	16	INT Status 2 Low	割り込み要因を格納します。このレジスタに変化があった場合は，INT2B がアクティブになります。	R	00H
	17	INT Status 2 High		R	00H
	18	INT Mask 0 Low	割り込み要因のマスクを制御します。	R/W	00H
	19	INT Mask 0 High		R/W	00H
	1A	INT Mask 1 Low	割り込み要因のマスクを制御します。	R/W	00H
	1B	INT Mask 1 High		R/W	00H
1C	INT Mask 2 Low	割り込み要因のマスクを制御します。	R/W	00H	
1D	INT Mask 2 High		R/W	00H	

注 1. Bit0 のみ R/W 可能 (EPNAK Status Reg.)

2. Bit1 のみ Write Only (SND PHY Reg.)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
Interrupt	1E	INT Clear 0 Low	割り込み要因のクリアを制御します。	W	FFH
	1F	INT Clear 0 High	・ターゲットのビットに“0”をライトする場合のみ有効になります。 ・リードした場合は、FFFFHが読み出されます。	W	FFH
	20	INT Clear 1 Low	割り込み要因のクリアを制御します。	W	FFH
	21	INT Clear 1 High	・ターゲットのビットに“0”をライトする場合のみ有効になります。 ・リードした場合は、FFFFHが読み出されます。	W	FFH
	22	INT Clear 2 Low	割り込み要因のクリアを制御します。	W	FFH
	23	INT Clear 2 High	・ターゲットのビットに“0”をライトする場合のみ有効になります。 ・リードした場合は、FFFFHが読み出されます。	W	FFH
DMA	24	DMA Control 0 Low	割り込みおよび DMA の設定を行うレジスタです。	R/W	00H
	25	DMA Control 0 High		R/W	00H
	26	DMA Control 1 Low	割り込みおよび DMA の設定を行うレジスタです。	R/W	00H
	27	DMA Control 1 High		R/W	00H
	28	DMA Control 2 Low	割り込みおよび DMA の設定を行うレジスタです。	R/W	00H
	29	DMA Control 2 High		R/W	00H
	2A	DMA Status0 Low	DMA 転送に関するステータスを表示します。	R	00H
	2B	DMA Status0 High		R	00H
Buffer_ Control	2C	Buffer Clear0 Low	バッファをクリアするためのレジスタです。	W	00H
	2D	Buffer Clear0 High	・ターゲットのビットに“1”をライトする場合のみ有効になります。 ・リードした場合は、0000Hが読み出されます。	W	00H
	2E	Data End Low	送信データに対する書き込み終了を示します。	W	00H
	2F	Data End High	・ターゲットのビットをセットすると、送信可能状態となります。 ・ターゲットのビットに“1”をライトする場合のみ有効になります。 ・リードした場合は、0000Hが読み出されます。	W	00H
Mode	30	GPR Low	EPC2 Core および USB インタフェース制御のためのレジスタです。	R/W ^注	00H
	31	GPR High		W	00H
	32	Mode Control 0 Low	EPC2 Core の動作モードを設定します。	R/W	00H
	33	Mode Control 0 High		R/W	00H
	34	Mode Control 1 Low	EPC2 Core の動作モードを設定します。	R/W	00H
	35	Mode Control 1 High		R/W	00H
	36	Mode Status Low	EPC2 Core の動作モードを示します。	R	00H
	37	Mode Status High		R	00H
	38	Mode Mask Low	Mode Control Reg.のビット・マスクを行います。	R/W	00H
	39	Mode Mask High		R/W	00H
	3A	Req_Sel Control Low	対応可能なリクエストをハードウェア実行または、ファームウェア実行するかを設定するレジスタです。	R/W	00H
	3B	Req_Sel Control High		R/W	00H
	3C	Req_Sel Status Low	Req_Sel Control Reg.で設定したリクエストを受信した場合に、そのリクエストを表示するレジスタです。	R	00H
	3D	Req_Sel Status High		R	00H
Class_Spec	3E	BulkOnly Control Low	BulkOnly プロトコルのサポート機能を設定するレジスタです。	R/W	00H
	3F	BulkOnly Control High		R/W	00H
	40	BulkOnly Status Low	BulkOnly プロトコルの実行ステータスを示します。	R	00H
	41	BulkOnly Status High		R	00H

注 Bit0 のみ Write Only (GPR Reg.)

(2) Transfer Data 領域 (8 bit モード)

(1/2)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
Transfer Data	60 - 61	Reserved		-	-
	62	EP0 Read8	<ul style="list-style-type: none"> ・コントロール転送における OUT データを格納している EP0 バッファからデータを読み出すためのレジスタです。 ・EP0 バッファは 64 バイトの容量を持ちます。 ・バッファ内のデータを廃棄する場合は、バッファ・クリアを行ってください。 	R	00H
	63	Reserved	このレジスタは、アクセス禁止です。	-	-
	64	EP0 Length8	<ul style="list-style-type: none"> ・EP0 バッファに格納されているデータ長(バイト単位)を示すレジスタです。 ・このレジスタは 2 回必ず読み出してください(初めに下位バイトが読み出されます)。 	R	00H
	65	Reserved	このレジスタは、アクセス禁止です。	-	-
	66	EP0 Setup8	<ul style="list-style-type: none"> ・コントロール転送における Setup データを収納している EP0 Setup バッファからデータを読み出すためのレジスタです。 ・連続してデータを読み出してください。 ・Setup token を受信すると、読み出し操作と関係なく上書きされていきます。 	R	00H
	67	Reserved	このレジスタは、アクセス禁止です。	-	-
	68	EP0 Write8	<ul style="list-style-type: none"> ・コントロール転送における IN データを EP0 バッファに書き込むためのレジスタです。 ・EP0 バッファは 64 バイトの容量を持ちます。 ・奇数バイト長のデータ送信を行う場合は、このレジスタに書き込みを行い、最後のバイト(奇数バイト目)を EP0 Write8E Reg. に書き込んでください。 	W	-
	69	Reserved	このレジスタは、アクセス禁止です。	-	-
	6A	EP0 Write8E	<ul style="list-style-type: none"> ・コントロール転送における IN データが、奇数バイト長である場合に使用するレジスタです。 ・最後のバイト(奇数バイト目のデータ)のみ書き込んでください。 	W	-
	6B - 6F	Reserved	このレジスタは、アクセス禁止です。	-	-
	70	EP1 Read8L	<ul style="list-style-type: none"> ・EP1 (BulkOUT) へのデータを格納している、EP1 バッファからデータを読み出すためのレジスタです。 ・EP1 バッファは、バンク構成になっています。互いにトグル動作を行い PHY 側と CPU 側の入れ替えを繰り返します。また、FS モードと HS モードでバッファ・サイズが変わります。 	R	00H
	71	Reserved	このレジスタは、アクセス禁止です。	-	-
	72	EP1 Length8	<ul style="list-style-type: none"> ・EP1 バッファの CPU 側に接続されているバッファのデータ長(バイト単位)を示すレジスタです。 ・このレジスタは 2 回必ず読み出してください(初めに下位バイトが読み出されます)。 	R	00H
73 - 75	Reserved	このレジスタは、アクセス禁止です。	-	-	

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
Transfer Data	76	EP2 Write8P	<ul style="list-style-type: none"> EP2 (BulkIN) から送信するデータが奇数バイト長である場合に使用するレジスタです。 最後のバイト(奇数バイト目のデータ)のみ書き込んでください。 	W	-
	77 - 79	Reserved	このレジスタは、アクセス禁止です。	-	-
	7A	EP2 Write8L	<ul style="list-style-type: none"> EP2 (BulkIN) から送信するデータを、ワード単位でEP2 バッファに書き込むためのレジスタです。 奇数バイト長のデータ送信を行う場合は、このレジスタに書き込みを行い、最後のバイト(奇数バイト目)をEP2 Write8P Reg. に書き込んでください。 EP2 バッファは、バンク構成になっています。互いにトグル動作を行い、PHY 側と CPU 側の入れ替えを繰り返します。また、FS モードと HS モードでバッファ・サイズが変わります。 	W	-
	7B	Reserved	このレジスタは、アクセス禁止です。	-	-
	7C	EP3 Write8	<ul style="list-style-type: none"> EP 3 (Interrupt IN) から送信するデータを、EP3 バッファに書き込むためのレジスタです。 奇数バイト長のデータを送信する場合は、このレジスタに書き込みを行い、最後のバイト(奇数バイト目)をEP3 Write8E Reg. に書き込んでください。 EP3 バッファは、FS モードと HS モードでバッファ・サイズが変わります。 	W	-
	7D	Reserved	このレジスタは、アクセス禁止です。	-	-
	7E	EP3 Write8E	<ul style="list-style-type: none"> EP 3 (Interrupt IN) から送信するデータが奇数バイト長である場合に使用するレジスタです。 最後のバイト(奇数バイト目のデータ)のみ書き込んでください。 	W	-
	7F	Reserved	このレジスタは、アクセス禁止です。	-	-

(3) Protocol Data 領域 (8 bit モード)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
Protocol Data	80	Device Status Low	GET_STATUS Device で返す値を収納するレジスタです。	R/W	00H
	81	Device Status High	実際には使用しないレジスタです。	R	00H
	82	EP0 Status Low	GET_STATUS EP 0 で返す値を収納するレジスタです。	R/W	00H
	83	EP0 Status High	実際には使用しないレジスタです。	R	00H
	84	EP1 Status Low	GET_STATUS EP 1 で返す値を収納するレジスタです。	R/W	00H
	85	EP1 Status High	実際には使用しないレジスタです。	R	00H
	86	EP2 Status Low	GET_STATUS EP 2 で返す値を収納するレジスタです。	R/W	00H
	87	EP2 Status High	実際には使用しないレジスタです。	R	00H
	88	EP3 Status Low	GET_STATUS EP 3 で返す値を収納するレジスタです。	R/W	00H
	89	EP3 Status High	実際には使用しないレジスタです。	R	00H
	8A	Address Low	デバイス・アドレスを収納するレジスタです。	R/W ^{注1}	00H
	8B	Address High	実際には使用しないレジスタです。	R ^{注1}	00H
	8C	Configuration Low	GET_CONFIGURATION で返す値を収納するレジスタです。	R/W ^{注2}	00H
	8D	Configuration High	実際には使用しないレジスタです。	R ^{注2}	00H
	8E	Interface Low	GET_INTERFACE で返す値を収納するレジスタです。	R/W ^{注2}	00H
	8F	Interface High	実際には使用しないレジスタです。	R ^{注2}	00H
90-9F	Reserved	このレジスタは、アクセス禁止です。	-	-	

注 1. Mode Control 0 Reg.CPUDEC_ALL_Set bit = 1 のときのみファームウェアによる Write が可能。

2. Mode Control 0 Reg.CPUDEC_ALL_Set bit = 1 または CPUDEC_SEL_Set bit = 1 のときのみファームウェアによる Write が可能。

(4) BIU 領域 (8 bit モード)

グループ名	アドレス (H)	レジスタ名	機能	R/W	初期値
BIU	A0	BIU Control 0 Low	BIU の動作モードの設定を行うレジスタです。(初期設定)	R/W	00H
	A2	BIU Control 1 Low	BIU の動作モードの設定を行うレジスタです。 (EP1 DMA 起動設定)	R/W	00H
	A4	BIU Control 2 Low	BIU の動作モードの設定を行うレジスタです。 (EP2 DMA 起動設定)	R/W	00H
	A6-AA	Reserved	予備レジスタです。アクセスを禁止します。	-	xxH
	AC	BIU STA1 Low	BIU のステータス表示レジスタです。	R/ -	00H
	AE-BA	Reserved	予備レジスタです。アクセスを禁止します。	-	xxH
	BC	BIU_FWRESET Low	チップ内部の EPC2 Core および PHY Core をファームウェアによりリセットするためのレジスタです。	R/W	00H
	BE-FE	Reserved	予備レジスタです。アクセスを禁止します。	-	xxH

4.2 レジスタ詳細

この章では、各レジスタの詳細仕様について説明します。

選択されているファンクションにより、レジスタ・アドレスが変わります（Function 2 がバイト・アクセスのため）。

Transfer Data 領域以外のレジスタは、Function1, 3 のときのレジスタ名で記述しています。その中で Function2 のとき（8 bit モード）のアクセスについて記述を補足しています。

Transfer Data 領域は Function1, 3 と Function2 のレジスタ構造が大きく異なるため、それぞれのモードに分離して記述しています。

4.2.1 Control Data 領域

(1) EP_Control Register グループ

(a) EPNAK Status Register (Read Only, Bit0 のみ R/W 可能) 00H (00/01H)

各 EP の NAK 送信制御を行います。

EP2 の NAK 送信制御は、EP0NAKALL bit 以外はハードウェアが自動的に処理することが基本です。

EPNAK Status High Register (01H) (初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

EPNAK Status Low Register (00H) (初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	EP3NAK	EP2NAK	EP1NAK	EP0NAKR	EP0NAKW	EP0NAKALL

Bit15- Bit 6 : 予約 書き込み無効，読み出し不定

Bit5 (EP3NAK) : EP3 への IN トークンに対する NAK 送信を制御します。

EP3 Write Reg.の送信条件が成立すると、ハードウェアによって自動的にセットされます（送信条件成立後の EP3 に対する IN トークンに同期してデータ送信を行います）。

EP3 のデータが送信され、送信データをホストが正常受信した場合にハードウェアが自動的にクリアします（EP3 Write Reg.のデータは、このタイミングまで保持されます）。

したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。

ファームウェアに再送が行われたことは通知しないので、このビットの操作をファームウェアで行う場合は、EPNAK Control Reg. EP3NAKC bit で制御してください。

また、EP3 Write Reg.をファームウェアによりクリアした場合は、同時にこのビットもクリアされます。ただし、EPNAK Control Reg. EP3NAKC bit をセットしていない場合です。

1 : NAK を送信しない

0 : NAK を送信する（初期値）

Bit4 (EP2NAK) : EP2 への IN トークンに対する NAK 送信を制御します。

EP2 Write Reg.の送信条件が成立すると、ハードウェアによって自動的にセットされます（送信条件成立後のEP2に対するINトークンに同期してデータ送信を行います）。

EP2のデータが送信され、送信データをホストが正常受信した場合にハードウェアが自動的にクリアします（EP2 Write Reg.のデータは、このタイミングまで保持されます）。

したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。

ファームウェアに再送が行われたことを通知しないので、このビットの操作をファームウェアで行う場合は、EPNAK Control Reg. EP2NAKC bitで制御してください。

EP2 Write Reg.のPHY側バッファをクリアした場合、同時にこのビットもクリアされます。ただし、EPNAK Control Reg. EP2NAKC bitをセットしていない場合です。

1: NAKを送信しない

0: NAKを送信する（初期値）

Bit3 (EP1NAK) : EP1へのOUTトークンに対するNAK送信を制御します（HSの場合は、PINGトークンを受けた場合のNAK送信も制御します）。

EP1 Read Reg.がデータを正常受信した際に、ハードウェアによって自動的にセットされます。

EP1 Read Reg.のバッファ・トグル時にハードウェアによって自動的にクリアされます（PHY側は正常受信完了済み）。

このビットの操作をファームウェアによって行う場合は、EPNAK Control Reg. EP1NAKC bitで制御します。EP1 Read Reg.のPHY側バッファをクリアした場合には、同時にこのビットもクリアされます。ただし、EPNAK Control Reg. EP1NAKC bitをセットしていない場合です。

1: NAKを送信する

0: NAKを送信しない（初期値）

Bit2 (EP0NAKR) : EP0へのOUTトークンに対するNAK送信を制御します。ただし、自動実行リクエストを除きます（HSの場合は、PINGトークンを受けた場合のNAK送信も制御します）。

EP0 Read Reg.がデータを正常受信した際に、ハードウェアによって自動的にセットされます。

ファームウェアによってEP0 Read Reg.のデータが読み出されたときに（カウンタ値=0）、ハードウェアによって自動的にクリアされます。

このビットの操作をファームウェアで行う場合は、EPNAK Control Reg. EP0NAKRC bitで制御します。

EP0 Read Reg.をクリアした場合は、同時にこのビットもクリアされます。ただし、EPNAK Control Reg. EP0NAKRC bitをセットしていない場合です。

1: NAKを送信する

0: NAKを送信しない（初期値）

Bit1 (EP0NAKW) : EP0へのINトークンに対するNAK送信を制御します。ただし、自動実行リクエストを除きます。EP0 Write Reg.の送信条件が成立すると、ハードウェアによって自動的にセットされます。

EP0のデータが送信され、送信データをホストが正常受信した場合にハードウェアが自動的にクリアします（EP0 Write Reg.のデータは、このタイミングまで保持されます）。

したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。

データ・ステージで ACK を正常に受信できていないまま、コントロール転送がステータス・ステージに変わった場合、EP0 Write Reg. をクリアすると同時にこのビットもクリアされます。

ファームウェアに再送が行われたことを通知しないので、このビットの操作をファームウェアで行う場合は、EPNAK Control Reg. EP0NAKWC bit で制御してください。

EP0 Write Reg. をクリアした場合は、同時にこのビットもクリアされます。

ただし、EPNAK Control Reg. EP0NAKWC bit をセットしていない場合です。

1 : NAK を送信しない

0 : NAK を送信する (初期値)

Bit0 (EP0NAKALL) : EP0 への Setup トランザクション以外の NAK 送信を制御します。ただし、自動実行リクエストを含みます。

このビットのみファームウェアにより書き込みが可能です。

このレジスタは自動実行リクエストで使用するデータの変更を行う場合に、ファームウェア・ライトと PHY からのリードの競合防止を目的に準備されており、PHY からのアクセスが行われている際にはファームウェアからの書き込みの反映を保留する機能を持っています。

ファームウェアにより Protocol Data 領域の書き換えを行う際には、このビットがセットされていることを確認してから実行してください。

EP0 への In, Out 転送中は、セット/クリア共に保留され転送完了後に反映されます。

EP0 への In, Out 転送中以外は、ただちに反映されます。

1 : NAK を送信する

0 : NAK を送信しない (初期値)

EP0 に関する注意点

- (1) In トークンを伴う Setup の場合（ハードウェア自動実行するリクエストを除きます）
Setup 中の Setup トークン受信を正確に行うために、次の操作を行ってください。

ファームウェアは CPUDEC 割り込みを受け取ったあと、Setup Data を読み出す前に INT Status 0 Reg. Protect bit をクリアしてください。

次に、リクエストのデコードを行いリクエストの処理を行ってください。

IN トークンでデータを返す必要がある場合は、書き込みが終了したあとに INT Status 0 Reg. Protect bit が 0 であることを確認してから送信処理を行ってください。

INT Status 0 Reg. Protect bit が 1 の場合、リクエスト処理を行っている最中に、次の Setup トランザクションを受信したことを示します。その場合、次に受信したリクエストを処理する必要がありますが、再度 Setup 中の Setup が発生した場合にも認識できるように、INT Status 0 Reg. Protect bit をクリアしてください。

- (2) EP0 において 0 バイト長データを送信する場合

EP0 送信バッファのクリアを行ったあとに、0 バイト長データの送信操作を行ってください。

次に受け取る IN トークンに同期して 0 バイト長データの送信が行われます。

Data End Reg. EP0W_End bit をセットした場合は、EP Status 1 Reg. に 0 バイト長データでもデータありと表示されます。

EPNAK Status Reg. EP0NAKW bit をファームウェアにより 1 にした場合も、同様に 0 バイト長データを送信できますが、EP Status 1 Reg. にはデータありと表示されません。

EPNAK Status Reg. EP0NAKW bit を操作して 0 バイト長データを送信する場合は注意事項があります。

0 バイト長データ送信に関する注意事項を 0 バイト長データ送信の注意点にまとめましたので参照してください。

- (3) Out トークンを伴う Setup の場合（ハードウェア自動実行するリクエストを除きます）

Setup 中の Setup トークン受信を正確に行うために、次の操作を行ってください。

ファームウェアは CPUDEC 割り込みを受け取ったあと、Setup Data を読み出す前に INT Status 0 Reg. Protect bit をクリアしてください。

次に、リクエストのデコードを行い、リクエスト処理を行ってください。

リクエスト処理を有効にする前に、再度 INT Status 0 Reg. Protect bit が 1 でないことを確認してください。

もし INT Status 0 Reg. Protect bit が 1 ならば、次の Setup トークンを受信したことを示します。その場合、次に受信したリクエストを処理する必要があります。

再度 Setup 中の Setup が発生した場合にも認識できるように、INT Status 0 Reg. Protect bit は必ずクリアしてから処理を行ってください。

さらに、すでに送信するデータが格納されている場合は、無効なデータを送信することになるので、バッファ・クリアを行ってください。

Bulk In 転送に関する注意点

- (1) PIO モードで EP2 Write 16L Reg.にデータを書き込んでいる最中に、EP2 に対する DMA 転送許可を行うと EP2 の DMA リクエスト (EP2_DRQB のアサート) が発生します。
また、DMA モードで EP2 Write 16L Reg.にデータを書き込んだあと、PIO でデータを追加して書き込むことも可能です。
- (2) DMA モードにおいて設定されているバッファ・サイズ分のデータの書き込みを行った場合、DMA リクエストはインアクティブになります。
バッファ・トグルが発生した時点でハードウェアにより EPNAK Status Reg. EP2NAK bit がセットされ、IN トークンに同期してデータの送信が行われます。
さらに、DMA Control 0 Reg. EP2_Burst_Set bit が 1 である場合、バッファ・トグルが発生した時点で DMA リクエストは再度アクティブになります。
DMA Control 0 Reg. EP2_Burst_Set bit が 0 である場合は DMA Control 2 Reg. EP2_DMA_Set bit がクリアされ、ファームウェアにより DMA Control 2 Reg. EP2_DMA_Set bit をセットしないかぎり EP2 の DMA リクエストはアサートされません。
- (3) DMA モードにおいて TCB を受信する (EP2_TCB がアサートされる) と、EP2_DRQB はディアサートされます。
同時に DMA Control 2 Reg. EP2_DMA_Set bit がクリアされます。
バッファに書き込まれたデータを送信する場合には、ファームウェアにて Data End Reg. EP2_End bit をセットしてください。
また、再度 DMA 転送を行う場合は DMA 転送処理設定を行ってください。
- (4) EP2 において 0 バイト長データを送信するためには EP2 の PHY 側、CPU 側の両方のバッファ・クリアを行ったあと、Data End Reg. EP2_End bit をセットしてください。
次に受け取る IN トークンに同期して、0 バイト長データの送信が行われます。
CPU 側だけのバッファをクリアした場合、PHY 側に格納されていたデータは送信されます。
Data End Reg. EP2_End bit をセットした場合は、EP Status 1 Reg.に 0 バイト長データでもデータありと表示されます。
EPNAK Status Reg. EP2NAK bit をファームウェアにより 1 にした場合 (NAK を送信しない) は、上記の方法と同様に 0 バイト長データを送信することになりますが、EP Status 1 Reg.にはデータありと表示されません。
EPNAK Status Reg. EP2NAK bit を操作して 0 バイト長データを送信する場合は注意事項があります。
0 バイト長データ送信に関する注意事項を **0 バイト長データ送信の注意点**にまとめましたので参照してください。

BulkOut 転送に関する注意点

- (1) PIO モードで EP1 Read 16L Reg. からデータを読み込んでいる最中に DMA 許可を行うと、ただちに EP1_DRQB がアサートされます。
DMA モードにおいて CPU 側バッファの最終データを読み出した場合、EP1_DRQB はインアクティブになります。
- (2) DMA モードにおいて、Bulk Out 転送データがバッファ・サイズに満たないパケットを受け取った場合、そのデータを格納したバッファが CPU 側に接続されたとき(バッファ・トグルが発生したとき)、EP1_Short 割り込みが発生します。
必要に応じて DMA 転送を停止するなどの処置を行ってください。
この割り込みは DMA 転送を自動的に停止する機能ではありません(必要ない場合は、割り込みをマスクできます)。
- (3) Bulk Out 転送において、バッファ・サイズに満たないパケットを受け取り、そのデータを格納したバッファのデータ読み出しを DMA で行った場合、最終データに無効バイトが存在すると(最終-1)データの読み出し時に EP1_DMA_STOPB (M2 端子の設定が必要) がアサートされます。
同時に割り込みもアサートされます。必要に応じて、最終データを PIO で読み出すなどの処理を行ってください。
- (4) DMA モードにおいて TCB を受信する (EP1_TCB がアサートされる) と、EP1_DRQB はディアサートされます。
PHY 側のバッファにデータがある場合は次のデータの受信は行われません。
したがって、DMA Control 2 Reg. EP1_DMA_Set bit をセットするか PIO で残っているデータを読み出すなどの処置を行ってください。また、EP1 バッファのクリアを行っても、受信継続は可能です。
- (5) EPNAK Status Reg. EP1 NAK bit をファームウエアでセットすることで、EP1 Read バッファの状態によらず NAK 送信を行うことが可能です。
ファームウエアにより NAK 送信した場合は、ファームウエアでクリアを行わないかぎり NAK を送信し続けるので注意が必要です。

Interrupt In 転送に関する注意点

EP3 において 0 バイト長データを送信するためには、EP3 のバッファ・クリアを行ったあとに Data End Reg. EP3_End bit をセットしてください。

次に受け取る IN トークンに同期して、0 バイト長データの送信が行われます。

Data End Reg. EP3_End bit をセットした場合、0 バイト長データでも EP Status 1 Reg. にデータありと表示されます。

EPNAK Status Reg. EP3NAK bit をファームウェアにより 1 にした場合（NAK を送信しない）は、上記の方法と同様に 0 バイト長データを送信することになりますが、EP Status 1 Reg. にはデータありと表示されません。

EPNAK Status Reg. EP3NAK bit を操作して 0 バイト長データを送信する場合は注意事項があります。0 バイト長データ送信に関する注意事項を **0 バイト長データ送信の注意点** にまとめましたので参照してください。

0 バイト長データ送信の注意点

Control IN ,Bulk IN ,Interrupt IN 転送において ,EPNAK Status Reg. EPn(n = 2, 3)NAK bit, EP0NAKW bit をファームウェアによりセット (= 1) することで強制的に 0 バイト長データを送信することが可能になります。

ただし、通常転送から 0 バイト長データ送信へ移行するとき、0 バイト長データ送信から通常データ送信へ戻る場合に対して若干の注意事項があります。その注意事項を次に示します。

• EP0/EP3 の場合

(1) 通常送信から 0 バイト長データ送信に移行する場合の注意事項

これらの EP は、シングル・バッファ構成となっています。

0 バイト長データを送信する際には、バッファをクリアしたあとに EPNAK Control Reg. EP3NAKC bit, EP0NAKWC bit をセットしてください。ただし、バッファ・クリアから EP3NAKC bit, EP0NAKWC bit のセットまでに IN トークンを受信した場合、NAK を送信してしまいます。

さらに書き込み中のデータがバッファにある場合に、EP3NAK bit, EP0NAKW bit をセットするとバッファに書き込まれているデータがそのまま IN トークン受信の際に送信されてしまいます。

(2) 0 バイト長データ送信から通常送信に移行する場合の注意事項

0 バイト長データ送信から通常送信に移行する場合は EPNAK Control Reg. EP3NAKC bit, EP0NAKWC bit のクリアを行ったあとにデータ書き込みを行い、送信許可を与えてください。

EP3NAKC bit, EP0NAKWC bit をファームウェアによりクリアした場合は、ただちに通常送信状態に移行します。

ただし、0 バイト長データ送信から何らかのデータを送信する場合、送信許可 (EPn_End またはバッファ Full) になる前に IN トークンを受信すると、NAK を送信することになります。

• EP2 の場合

(1) 通常送信から 0 バイト長データ送信に移行する場合の注意事項

EP2 バッファはダブル・バッファ構成になっています。そのため、CPU 側と PHY 側のバッファ状態によって動作が異なるので注意が必要です。

ただし、EP0 バッファ (シングル・バッファの EP) のように書き込み中のデータが送信されることはありません。

[ケース 1] PHY 側バッファ：データあり，CPU 側バッファ：データありの場合

この状態で EPNAK Control Reg. EP2NAKC bit をセットした場合、PHY 側と CPU 側のデータが送信されたあとに 0 バイト長データが送信されます。

[ケース 2] PHY 側バッファ：データあり，CPU 側バッファ：データなしの場合

この状態で EPNAK Control Reg. EP2NAKC bit をセットした場合、PHY 側のデータが送信されたあとに 0 バイト長データが送信されます。

[ケース 3] PHY 側バッファ：データなし，CPU 側バッファ：データなしの場合

バッファのクリアを PHY 側と CPU 側同時に実行すると仮定して、バッファ・クリアと EPNAK Control Reg. EP2NAKC bit をセットするタイミングが IN トークン受信前であれば 0 バイト長データが送信されます。

バッファのクリアが IN トークンを受信前 ,EPNAK Control Reg. EP2NAKC bit のセットが IN トークンの受信後の場合は ,NAK 送信が行われます(EPNAK Status Reg. EP2NAKC bit がセットされるまで続きます)。

(2) 0 バイト長データ送信から通常送信に移行する場合の注意事項

0 バイト長データ送信から通常送信に移行する場合 ,EPNAK Control Reg. EP2NAKC bit のクリアを行ったあとに送信データの書き込みを行いデータ送信許可を与えてください。

[ケース 1] IN トークン受信前に EPNAK Control Reg. EP2NAKC bit クリアおよびデータ送信許可を与えた場合 , IN トークンに対してデータを送信します。

ただし , EPNAK Control Reg. EP2NAKC bit クリアと IN トークン受信が競合した場合は , その IN トークンに対して 0 バイト長データが送信されます。

[ケース 2] IN トークン受信前に EPNAK Control Reg. EP2NAKC bit をクリアしたが , 送信条件許可を与えなかった場合 , IN トークンに対して NAK を送信します。送信許可を与えないかぎり NAK を送信します。

(b) EPNAK Control Register (R/W)

02H (02/03H)

EPNAK Status Reg に対する書き込みを制御するレジスタです。

通常このレジスタは使用しないでください。

EPNAK Control High Register (03H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

EPNAK Control Low Register (02H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	EP3NAKC	EP2NAKC	EP1NAKC	EP0NAKRC	EP0NAKWC	x

- Bit15- Bit 6 : 予約 書き込み無効, 読み出し不定
- Bit5 (EP3NAKC) : EPNAK Status Reg. EP3NAK bit の制御を行います。
 1: EP3 への IN トークンに対して, NAK を強制的に送信しない((a)EPNAK Status Registerの0 バイト長データ送信の注意点参照)
 0: EP3 の NAK 送信をハードウェア制御にする (初期値)
- Bit4 (EP2NAKC) : EPNAK Status Reg. EP2NAK bit の制御を行います。
 1: EP2 への IN トークンに対して, NAK を強制的に送信しない((a)EPNAK Status Registerの0 バイト長データ送信の注意点参照)
 0: EP2 の NAK 送信をハードウェア制御にする (初期値)
- Bit3 (EP1NAKC) : EPNAK Status Reg. EP1NAK bit への書き込みを行います。
 1: EP1 への OUT トークンに対して, NAK を強制的に送信する
 0: EP1 の NAK 送信をハードウェア制御にする (初期値)
- Bit2 (EP0NAKRC) : EPNAK Status Reg. EP0NAKR bit への書き込みを行います。
 1: EP0 への OUT トークンに対して, NAK を強制的に送信する
 0: EP0 の OUT トークンに対する NAK 送信をハードウェア制御にする (初期値)
- Bit1 (EP0NAKWC) : EPNAK Status Reg. EP0NAKW bit への書き込みを行います。
 1: EP0 への IN トークンに対して, NAK を強制的に送信しない((a)EPNAK Status Registerの0 バイト長データ送信の注意点参照)
 0: EP0 の IN トークンに対する NAK 送信をハードウェア制御にする (初期値)
- Bit0 : 予約 書き込み無効, 読み出し不定

(c) SND PHY Register (R/W, Bit1のみ Write Only)

04H (04/05H)

このレジスタは、ファームウェアによって SND_NHSK, RSUM_IN などの制御を行います。

このレジスタは、PHY Core の端子を直接操作します。

SND PHY High Register (05H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	USB_TEST_ MODE2	USB_TEST_ MODE1	USB_TEST_ MODE0	x

SND PHY Low Register (04H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	EP0_Stall	SND_DERR	SNDNHSK	SPND	RSUMIN

Bit15- Bit 12 : 予約 0 固定

Bit11- Bit 9 (USB_TEST_MODE[2-0])

: USB2 Compliance Test のためのテスト種類指定ビットです。

このビットは、SET_FEATURE : TEST_MODE が自動実行の場合、ステータス・ステージ正常終了で自動セットします。

ファームウェア処理リクエストの場合、ステータス・ステージ終了後にファームウェアでセットしてください。

このレジスタに 0 以外の値が書き込まれると、PHY Core はテスト・モードに自動的に入りません (PHY Core はテスト・モードに遷移すると、HS モードに固定されます)。

Bit8 : 予約 書き込み無効、読み出し不定

Bit7- Bit5 : 予約 0 固定

Bit4 (EP0_Stall)

: EP0 への転送に対して Stall 応答させます。

Setup トークンを受信すると自動的にクリアされます。

このビットをセットしても EP0 Status Reg. Halt bit はセットされません。

1 : Stall ハンドシェイクを送信する

0 : Stall ハンドシェイクを送信しない (初期値)

ファームウェア実行リクエストで対応していないリクエストを受信し、Stall 応答する必要がある場合に使用します。ファームウェア実行でこのビットを使用する場合は、EP0 Write Reg. のデータ送信条件を成立させないでください。しかし、このビットをセットするタイミングによってはデータが送信されてしまいます。

更に、EP0 Write Reg. にデータがないか、データ送信条件が成立していない場合でもこのビットをセットする前に IN トークンを受信した場合は NAK 送信を行ってしまいます。

ハードウェア実行リクエストの場合にも規定外の wValue や Direction などである場合は、ハードウェアが自動的にこのビットをセットします。

Bit3 (SND_DERR) : IN トランザクションでのみ有効です。

データ・フェーズにおいて、送信中のデータ・パケットを強制的にエラー・パケットとすることでそのトランザクションを無効化します。

FS モード動作時の場合は、受信側で Bit Stuffing エラーが発生するようなデータを送信し、HS モード動作時の場合は、受信側で CRC エラーが発生するようなデータ (CRC フィールドに正しい CRC の compliment 値を設定したデータ) を送信します。

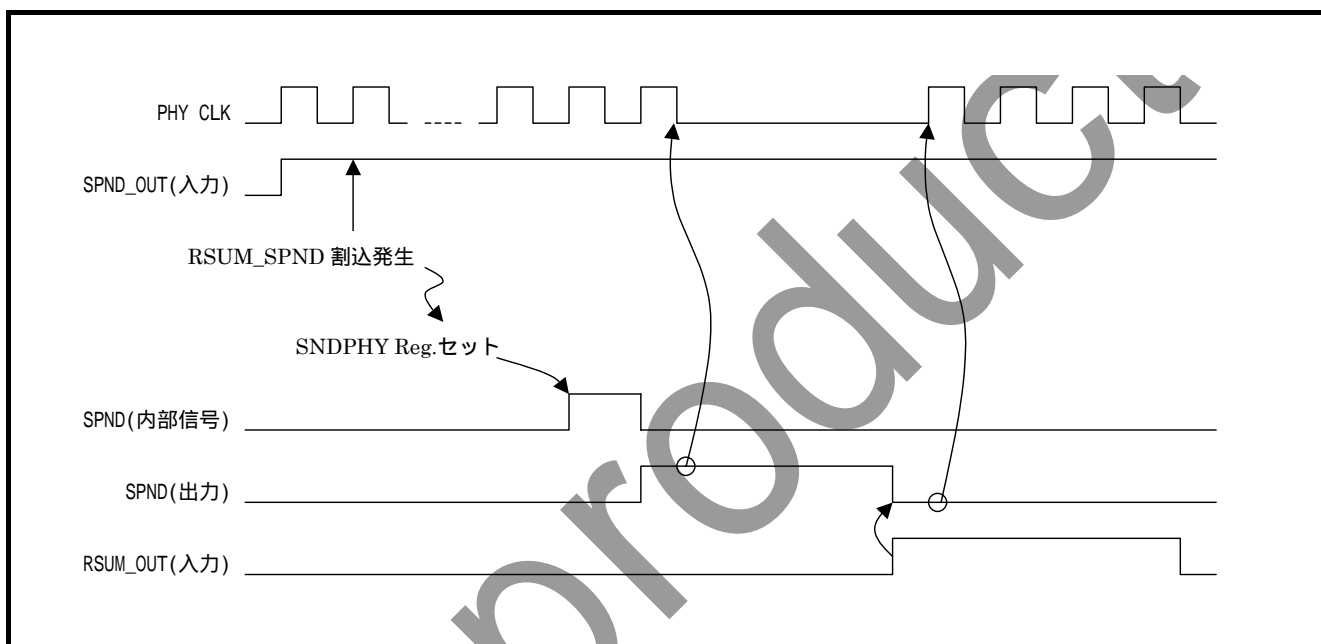
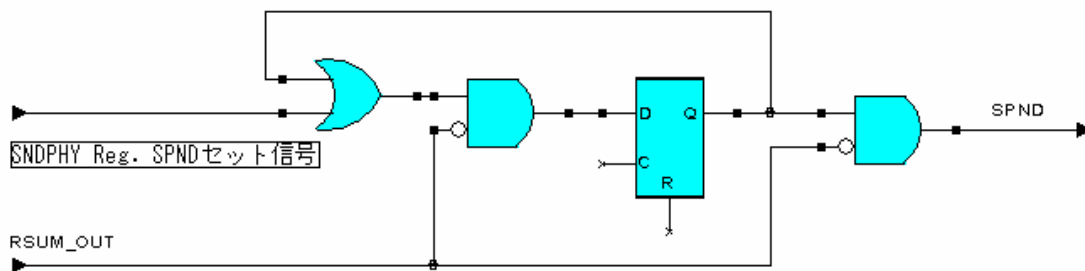
- 1: データ・フェーズでデータ・パケットを返さない
 0: データ・フェーズでデータ・パケットを返す (初期値)
- Bit2 (SNDNHSK) : OUT (Setup) トランザクションに対するハンドシェーク・フェーズで、いかなるパケットも返さないようにします。
 OUT (Setup) トランザクションのみで有効です。
 オーバラン受信時は、ハードウェアが自動的に処理するのでファームウェアでセットする必要はありません。
- 1: ハンドシェーク・フェーズでパケットを返さない
 0: ハンドシェーク・フェーズでパケットを返す (初期値)

備考 このビットはデバック用なので基本的に使用しないでください。

このビットをセットするとすべての OUT (Setup) に対して無応答となります。つまり、意図しないパケットに対しても無応答になることがあります。

- Bit1 (SPND) : このビットは、USB バスが Suspend になっている状態で操作してください。
 このビットをセットすることで、PHY は差動バッファのリーク電流を止めます。さらに内部クロックの出力を停止します。
 つまり、セットしたあとの BIU Control 0 Reg. OSC_DISEN bit および BIU_FWRESET Reg. のみがアクセスできます。
 このビットをセットすると PHY Core に対する SPND がアサートされます。SPND 信号のクリアは PHY Core の RSUM_OUT がアサートされたときです (図 4-1 SPND 動作説明図を参照)。
 μ PD720122 は、USB バスの Resume を検出すると自動的に PHY Core が復帰し、通常動作になります。ただし、BIU Control 0 Reg. OSC_DISEN bit により発振ブロックを停止した場合は、発振ブロックを復旧してから PHY Core が動作します (この状態においても Resume の検出は可能です)。
- 1: SPND 端子を 1 にする
 0: SPND 端子を 0 にする

図 4-1 SPND 動作説明図



Bit0 (RSUMIN) : USB バス上に Resume 信号を出力させます。

Device Status Reg. Remote Wakeup bit がセットされていないとこのビットへの書き込みは無効となります。

このビットがセットされている間は Resume 信号を発生し続けます。一定時間が経ったあと、ファームウェアによりクリアしてください。

内部でクロックによるサンプリングを行っているため、CLK が供給されている場合にのみ動作を保証できます。システムとして CLK を停止する場合は使用できません。

1 : Resume 信号を発生させる

0 : Resume 信号を発生させない (初期値)

(2) Status Register グループ

(a) CLR Request Register (R)

06H (06/07H)

受信した CLEAR_FEATURE リクエストを自動処理したことを示します。

このレジスタの要因がセットされると INT Status 2 Reg. CLR_RQ bit がセットされます。

このレジスタは、割り込みが発生したときにのみ意味を持ちます。

このレジスタのリード時に自動的にクリアされます (セットタイミングはステータス・ステージ終了後となります)。

CLR Request High Register (07H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

CLR Request Low Register (06H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	CLR_EP3	CLR_EP2	CLR_EP1	CLR_EP0	CLR_DEV

Bit15- Bit5 : 予約 書き込み無効, 読み出し不定

Bit4 (CLR_EP3) : CLEAR_FEATURE : EP 3 リクエストを受信して自動処理を行ったことを示します。
ただし, Mode Control 1 Reg. EP3_ON_Set bit をセットしていない場合, このビットは 0 固定となります (このリクエストを受けた場合は, Stall 応答となります)。

1 : 自動処理を行った

0 : 自動処理を行っていない (初期値)

Bit3 (CLR_EP2) : CLEAR_FEATURE : EP 2 リクエストを受信して自動処理を行ったことを示します。

1 : 自動処理を行った

0 : 自動処理を行っていない (初期値)

Bit2 (CLR_EP1) : CLEAR_FEATURE : EP 1 リクエストを受信して自動処理を行ったことを示します。

1 : 自動処理を行った

0 : 自動処理を行っていない (初期値)

Bit1 (CLR_EP0) : CLEAR_FEATURE : EP 0 リクエストを受信して自動処理を行ったことを示します。

1 : 自動処理を行った

0 : 自動処理を行っていない (初期値)

Bit0 (CLR_DEV) : CLEAR_FEATURE : Device リクエストを受信して自動処理を行ったことを示します。

1 : 自動処理を行った

0 : 自動処理を行っていない (初期値)

(b) SET Request Register (R)

08H (08/09H)

受信した SET_XXX リクエストを自動処理したことを示します (SET_INTERFACE は対象外です)。このレジスタの要因がセットされると、INT Status 2 Reg. SET_RQ bit がセットされます。このレジスタは、割り込みが発生したときのみ意味を持ちます。このレジスタのリード時に自動的にクリアされます (セットのタイミングはステータス・ステージ終了後となります)。

SET Request High Register (09H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
SET_CON	SETF_TEST	SOFT_RESET	x	x	x	x	x

SET Request Low Register (08H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	SETF_EP3	SETF_EP2	SETF_EP1	SETF_EP0	SETF_DEV

Bit15 (SET_CON) : SET_CONFIGURATION リクエストを受信して自動処理を行ったことを示します。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

Bit14 (SETF_TEST) : SET_FEATURE : TEST_MODE (wIndex 01H-05H) リクエストを受信して、自動処理を行ったことを示します。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

Bit13 (SOFT_RESET): SOFT RESET リクエストを受信して自動処理を行った事を示します。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

Bit12- Bit5 : 予約 書き込み無効, 読み出し不定

Bit4 (SETF_EP3) : SET_FEATURE : EP 3 リクエストを受信して、自動処理を行ったことを示します。ただし、Mode Control 1 Reg. EP3_ON_Set bit をセットしていない場合、このビットは0固定となります (このリクエストを受けた場合は、Stall 応答となります)。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

Bit3 (SETF_EP2) : SET_FEATURE : EP 2 リクエストを受信して、自動処理を行ったことを示します。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

Bit2 (SETF_EP1) : SET_FEATURE : EP 1 リクエストを受信して、自動処理を行ったことを示します。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

Bit1 (SETF_EP0) : SET_FEATURE : EP 0 リクエストを受信して、自動処理を行ったことを示します。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

Bit0 (SETF_DEV) : SET_FEATURE : Device リクエストを受信して、自動処理を行ったことを示します。

- 1: 自動処理を行った
- 0: 自動処理を行っていない (初期値)

(c) EP Status 0 Register (R : Bit14, Bit15のみリード・クリアです) 0AH (0A/0BH)

USB バスのステータス, EP の Halt 状況, データ格納状況を示します。

このレジスタはリード時の状態をそのまま反映します。

EP Status 0 High Register (0BH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
SPND	RSUM	Success	Stg	x	x	x	x

EP Status 0 Low Register (0AH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	EP3Halt	EP2Halt	EP1Halt	EP0Halt

- Bit15 (SPND) : このビットが変化すると, INT Status 1 Reg. RSUM_SPND bit がセットされます。
 このビットは割り込みが発生したときにのみ意味を持ちます。
 このビットはこのレジスタのリード時にクリアされます。
 1 : Suspend を検出した
 0 : Suspend を検出していない (初期値)
- Bit14 (RSUM) : このビットが変化すると, INT Status 1 Reg. RSUM_SPND bit がセットされます。
 このビットは割り込みが発生したときにのみ意味を持ちます。
 クロックにより PHY Core のステータスのサンプリングを行っているので, CLK が供給されている場合にのみ動作を保証できます。
 BIU Control 0 Reg. OSC_DISEN bit にて発振ブロックを停止していない場合は, PHY Core が自動的に復帰するので, 割り込みを受けて処理を行うことが可能です。
 しかし, 発振ブロックを停止する場合には, SP_MODE 端子に PHY Core の RSUM_OUT をアサインして, 外部で Resume が発生したことを認識させてから発振ブロックを動作させる必要があります。
 1 : Resume を検出した
 0 : Resume を検出していない (初期値)
- Bit13 (Success) : ファームウェア / ハードウェア処理リクエストのどちらかを受信し, ステータス・ステージを正常に終了したことを示します。
 セットのタイミングはステータス・ステージ終了時です。
 このビットは次の Setup トークンを受信したときにクリアされます。
 このビットがセットされると, INT Status 2 Reg. Success_int bit がセットされます。
 1 : コントロール転送を正常に処理し終わった (割り込み発生)
 0 : コントロール転送を正常に処理し終わっていない (初期値)
- Bit12 (Stg) : ファームウェア / ハードウェア実行リクエストのどちらかのコントロール転送で, ステータス・ステージが変わったときにセットされます (No-data Control でも, ステータス・ステージが変わったときにセットされます)。
 このビットは次の Setup トークンを受信したときにクリアされます。このビットがセットされると, INT Status 2 Reg. Stg_int bit がセットされます。
 Control Read 転送のデータ・ステージで ACK を正常に受信できていない状態で, コントロール転送がステータス・ステージが変わった場合でもセットされます。この場合, ファームウェアでコントロール・リード転送を処理している場合には EP0 Write Reg. と

同時に EPNAK Status Reg. EP0NAKW もクリアされます。

1 : ステータス・ステージに入った (割り込み発生)

0 : ステータス・ステージに入っていない (初期値)

Bit11- Bit4 : 予約 書き込み無効, 読み出し不定

Bit3 (EP3Halt) : EP3 が Halt 状態にあることを示します。

1 : EP3 がストールしている

0 : EP3 はストールしていない (初期値)

Bit2 (EP2Halt) : EP2 が Halt 状態にあることを示します。

1 : EP2 がストールしている

0 : EP2 はストールしていない (初期値)

Bit1 (EP1Halt) : EP1 が Halt 状態にあることを示します。

1 : EP1 がストールしている

0 : EP1 はストールしていない (初期値)

Bit0 (EP0Halt) : EP0 が Halt 状態にあることを示します。

1 : EP0 がストールしている

0 : EP0 はストールしていない (初期値)

- EP Status 0 Reg.の補足

- (1) EP1/2/3 Halt の補足

このビットはEPがHaltしていることを示すビットです。

オーバラン発生などのストール条件が成立した場合にハードウェアにて自動的にセットされます。

SET_CONFIGURATION を正常処理した場合には、wValue 値が現行の設定値と同じであったとしても、すべてのEPのHalt Feature はリクエストを処理したあとにクリアされ、このビットもクリアされます。

また、SET_INTERFACE および SOFT RESET を正常処理した場合は、wIndex 値で示される Interface 内のEP (SOFT RESET の場合はEP3を除く)のHalt Feature はリクエストを処理したあとにクリアされ、このビットもクリアされます。

- (2) EP0Halt の補足

このビットはEP0がHaltしていることを示すビットです。

オーバラン発生などのストール条件が成立した場合にハードウェアにて自動的にセットされます。

オーバラン発生 / 規定外リクエスト受信などによる EP0Halt bit のセットは、同時に SND PHY Reg. EP0Stall bit もセットします(次のSetup トークンを受信するとEP0_Stall bit は解除されこのビットもクリアされます)。

しかし、SET_FEATURE EP0によりEP0をStallさせた場合には、CLEAR_FEATURE EP0を受信するかファームウェアでHalt Feature をクリアするまでこのビットはクリアされません。

EP0のHalt Feature をセットした状態でGET_STATUS EP0, CLEAR_FEATURE EP0, SET_FEATURE EP0, またはCPUDEC 割り込みによりファームウェアで処理を行うリクエストを受信した場合、次のSetup トークンを受信するまでEP0Halt はマスクされ0になります。

EP0のHalt Feature がセットされているとSET_INTERFACE またはSET_CONFIGURATION はStall 応答されずから、EP0のHalt Feature はクリアできません。

- (3) Suspend, Resume の補足

UnPlug 時にGPR Reg. CONNECTB bit を1 (= CONNECT 状態) にしておくと、DP, RSDP/DM, RSDM 端子は解放状態となり、その値は確定しません。

そのため、PHY Core はSuspend やResume, Bus Reset が発生したと誤認する可能性があります。したがって、UnPlug 状態においては、CONNECTB bit を0 (= DISCONNECT 状態) にしてください。

CONNECTB bit = 1 としている場合は、VBUS On 前のこれら疑似ステータスは無視するなどの対処を行ってください。

CONNECTB bit = 0 としている場合は、USB バスのステータスはSuspend となっています。

(d) EP Status 1 Register (R)

0CH (0C/0DH)

EP のデータ格納状況を示します。このレジスタはリード時の状態をそのまま反映します(リード・クリアではありません)。

EP Status 1 High Register (0DH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

EP Status 1 Low Register (0CH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	EP3 Write	EP2 Write S	EP2 Write C	EP1 Read S	EP1 Read C	EP0 Write	EP0 Read

- Bit15- Bit7 : 予約 書き込み不定, 読み出し無効
- Bit6 (EP3 Write) : EP3 Write Reg.のバッファ内の有効データの有無を示します。EP3 Write バッファに書き込みを行ったタイミング(ポインタ 0)でハードウェアによりセットされます。0 バイト長データを書き込んだ場合も, Data End Reg. EP3_End bit をセットすることによりこのビットはセットされ, 正常送信完了時に自動的にクリアされます。
 1: EP3 Write Reg.のバッファにデータがある
 0: EP3 Write Reg.のバッファにデータがない(初期値)
- Bit5 (EP2 Write S) : EP2 Write Reg.のPHY 側バッファの有効データの有無を示します。バッファ・トグル発生時にセットされます。0 バイト長データ格納時もセットされます。正常送信完了時に自動的にクリアされます。
 1: EP2 Write Reg. PHY 側のバッファにデータがある
 0: EP2 Write Reg. PHY 側のバッファにデータがない(初期値)
- Bit4 (EP2 Write C) : EP2 Write Reg.のCPU 側バッファの有効データの有無を示します。EP2 Write バッファに書き込みを行ったタイミング(ポインタ 0)でハードウェアによりセットされます。0 バイト長データを書き込んだ場合も, Data End Reg. EP2_End bit をセットすることによりこのビットはセットされ, バッファ・トグル発生時にクリアされます。
 1: EP2 Write Reg. CPU 側のバッファにデータがある
 0: EP2 Write Reg. CPU 側のバッファにデータがない(初期値)
- Bit3 (EP1 Read S) : EP1 Read Reg.のPHY 側バッファ内の有効データの有無を示します。データを正常受信したときにセットされます。0 バイト長データを受信した場合にはセットされません。バッファ・トグル発生時にクリアされます。
 1: EP1 Read Reg. PHY 側のバッファにデータがある
 0: EP1 Read Reg. PHY 側のバッファにデータがない(初期値)
- Bit2 (EP1 Read C) : EP1 Read Reg.のCPU 側バッファ内の有効データの有無を示します。バッファ・トグル発生時にセットされます。バッファからすべてのデータを読み出したとき(リード・ポインタ=0)にクリアされます。
 1: EP1 Read Reg. CPU 側のバッファにデータがある
 0: EP1 Read Reg. CPU 側のバッファにデータがない(初期値)
- Bit1 (EP0 Write) : EP0 Write Reg.のバッファ内の有効データの有無を示します。EP0 Write バッファに書き込みを行ったタイミング(ポインタ 0)でハードウェアによりセットされます。0 バイト長データを書き込んだ場合も, EP0_End をセットすることによりこのビットはセッ

トされ、正常送信完了時に自動的にクリアされます。

1 : EP0 Write Reg.のバッファにデータがある

0 : EP0 Write Reg.のバッファにデータがない (初期値)

Bit0 (EP0 Read) : EP0 Read Reg.のバッファ内の有効データの有無を示します。正常受信した際にハードウェアによりセットされます。0 バイト長データを受信した場合にはセットされません。バッファからすべてのデータを読み出したとき (リード・ポインタ=0) にクリアされます。

1 : EP0 Read Reg.のバッファにデータがある

0 : EP0 Read Reg.のバッファにデータがない (初期値)

(e) EP Status 2 Register (R)

0EH (0E/0FH)

EP のデータ格納状況を示します。このレジスタはリード時の状態をそのまま反映します。

EP Status 2 High Register (0FH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	EP1_NULL	x	x	x	x	x

EP Status 2 Low Register (0EH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	x	x	x

Bit15- Bit14 : 予約 書き込み無効, 読み出し不定

Bit13 (EP1_NULL) : EP1 に 0 バイト長データを受信したことを示します。正常受信したタイミングでセットされます。

このビットはこのレジスタのリード時にクリアされます。

1 : EP1 に 0 バイト長データを受信した

0 : EP1 に 0 バイト長データを受信していない (初期値)

Bit12- Bit0 : 予約 書き込み無効, 読み出し不定

(f) Device IF Status Register (R)

10H (10/11H)

CPU Bus および External Local Bus から読み出すデータのステータスを示します。

このステータスはリード・アクセス時のみ有効で、ライト・アクセス時は無効です。

このレジスタの値は、EP0 Read Reg.の場合は正常受信時、EP1 Read Reg.の場合はバッファ・トグル時に更新されます。このレジスタはバッファから読み出す最終データの情報を示します。

Device IF Status High Register (11H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

Device IF Status Low Register (10H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	EP1LU	x	x	EP0RLU

Bit15- Bit4 : 予約 書き込み無効, 読み出し不定

Bit3 (EP1LU) : 上位バイトが無効である場合にセットされます。

このビットはこのレジスタが読み出されたときにクリアされます(ハードウェア・クリア)。

1: 読み出す最後のデータの Bit15- Bit 8 が無効である

0: 読み出す最後のデータの Bit15- Bit 8 は有効である (初期値)

Bit2- Bit1 : 予約 書き込み無効, 読み出し不定

Bit0 (EP0RLU) : 上位バイトが無効である場合にセットされます。

このビットはこのレジスタが読み出されたときにクリアされます(ハードウェア・クリア)。

1: 読み出す最後のデータの Bit 15- Bit 8 が無効である

0: 読み出す最後のデータの Bit 15- Bit 8 は有効である (初期値)

備考 このレジスタが有効となるのは Short パケットを受信したときです。

更に, EP1 は対象となるデータが CPU 側に接続された場合です。

(3) Interrupt Register グループ

(a) INT Status 0 Register (R)

12H (12/13H)

INT Status 0 Reg.は、割り込みの発生要因を示します。ファームウェアはEPC2 Core から割り込み (INT0B)がアサートされた場合、このレジスタのリードを行い割り込み要因の確認を行ってください。

ハードウェア・クリア・ビットは、クリア条件が設定されています(これらのビットをファームウェアによりクリアすることも可能です)。それ以外のビットは、INT Clear 0 Reg.の該当ビットに“0”を書き込むとクリアされます。

INT Status 0 High Register (13H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
Req_Sel	Protect	CPUDEC	Vendor	BulkOnly	x	x	x

INT Status 0 Low Register (12H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	EP3INDT	EP2INDT	EP1OUTDT	EP0INDT	EP0OUTDT

Bit15 (Req_Sel) : Req_Sel Control Reg.において選択されたリクエストを受信し、Req_Sel Status Reg.に反映されたことを示します。

1: 特定のリクエストを受信した

0: 特定のリクエストを受信していない(初期値)

μ PD720122 は Descriptor 格納メモリを持たないため、Req_Sel Control Reg.でファームウェア実行できるリクエストは、すべてファームウェア実行に設定してください。

Bit14 (Protect) : ファームウェア/ハードウェア処理リクエストのどちらかの Setup トランザクションを受信した場合に、このビットはセットされます。このビットは、EP0 Setup Reg.にデータを正常受信した際にセットされます。EP0 Setup Reg.を最初にリードアクセスする際などに、ファームウェアによってクリアしてください。ファームウェアによりクリアなかった場合、次の Setup トランザクションを正常に受け取ったことを認識できません。このビットは、Control 転送中に再度 Setup トランザクションが行われたことを確実に認識するために使用します。Control 転送中に再度 Setup トランザクションが行われ、2 番目のリクエストがハードウェア実行の場合、CPUDEC はアサートされないなのでこのビットで確認することができます。

1: Setup トークンを正常受信した

0: Setup トークンを受信していない(初期値)

Bit13 (CPUDEC) : EP0 Setup Reg.にファームウェアでデコードを行うリクエストがあることを示します。EP0 Setup Reg.の読み出し完了時にハードウェアによりクリアされます。

1: EP0 Setup Reg.にデコードすべきデータがある

0: EP0 Setup Reg.にデコードすべきデータがない(初期値)

Bit12 (Vendor) : EP0 Setup Reg.に Vendor リクエストを受信したことを示します。EP0 Setup Reg.の読み出し完了時にハードウェアによりクリアされます。

1: EP0 Setup Reg.に Vendor リクエストがある

0: EP0 Setup Reg.に Vendor リクエストがない(初期値)

Bit11 (BulkOnly) : Bulk Out EP に対して、CBW を受信したことを示します。Class_Spec グループの

BulkOnly Status Reg.を確認し、適切な処理を行ってください。このビットは BulkOnly サポート機能を ON しているときのみ有効です。BulkOnly サポート機能を OFF にしている場合は、0 固定となります。

1 : BulkOnly Status Reg.のビット 0 がセットされた

0 : BulkOnly Status Reg.のビット 0 がセットされていない (初期値)

Bit10- Bit5 : 予約 書き込み無効, 読み出し不定

Bit4 (EP3INDT) : EP3 バッファからデータが正常に送信されたことを示します。次の転送データを書き込めることを示します。EP3 から送信されたデータをホストが正常受信した場合、ハードウェアにより自動的にセットされます。Data End Reg. EP3_End bit を用いた 0 バイト長データ送信の場合でもセットされます。

このビットは EP3 バッファ Reg.への最初の書き込み時にハードウェア・クリアされます。

1 : 正常に送信が完了した

0 : 送信を完了していない (初期値)

Bit3 (EP2INDT) : EP2 バッファ Reg.からデータが正常に送信されたことを示します。次に送信するデータを書き込めることを示します。EP2 バッファの PHY 側から送信されたデータをホストが正常受信し、バッファ・トグルが発生したタイミングで自動的にセットされます。また、EP2 バッファに最初の書き込みを行ったときにハードウェア・クリアされます。Data End Reg. EP2_End bit を用いた 0 バイト長データ送信でもこのビットはセットされます (EPNAK Status Reg. EP2NAK bit を用いた 0 バイト長データ送信の場合にはセットされません)。

1 : 正常に送信が完了した

0 : 送信を完了していない (初期値)

PHY 側空, CPU 側データありのトグルでもセットされます (最初のトグル時など)。DMA Control 2 Reg. EP2_DMA_Set bit の設定により DMA での転送を選択した場合もセットされます (INT0B はアサートされません)。

Bit2 (EP1OUTDT) : EP1 バッファ (CPU 側) に正常に受信されたデータがあることを示します。このビットは EP1 バッファのトグルが発生したとき、CPU 側に接続されたバッファにデータがある場合、セットされます。0 バイト長データ受信ではセットされません (ただし、EP Status 2 Reg. EP1_NULL bit がセットされます)。このビットは EP1 バッファの CPU 側の最終データを読み出したときにハードウェア・クリアされます。

1 : 正常に受信したデータが存在する

0 : 正常に受信したデータは存在しない (初期値)

DMA Control 2 Reg. EP2_DMA_Set bit の設定により DMA での転送を選択した場合もセットされます。(INT0B はアサートされません)

Bit1 (EP0INDT) : EP0 バッファからデータが正常に送信されたことを示します。

次に送信するデータを書き込めることを示します。EP0 Write Reg.から送信されたデータをホストが正常受信した場合、ハードウェアにより自動的にセットされます。Data End Reg. EP0W_End bit を用いた 0 バイト長データ送信の場合でもセットされます。このビットは EP0 Write Reg.への最初の書き込み時にハードウェア・クリアされます。

1 : 正常に送信が完了した

0 : 送信を完了していない (初期値)

Bit0 (EP0OUTDT) : EP0 バッファに正常に受信されたデータがあることを示します。正常受信を行った場合にハードウェアにより自動的にセットされ、同時に EP Status 1 Reg. EP0 Read bit を

セットします。0 バイト長データを受信した場合はアサートされません。このビットは EP0 Read Reg.の最終データを読み出したときにハードウェア・クリアされます。

- 1 : 正常に受信したデータが存在する
- 0 : 正常に受信したデータは存在しない (初期値)

IOOL products

(b) INT Status 1 Register (R)

14H (14/15H)

INT Status 1 Reg.は割り込みの発生要因を示します。

ファームウェアはEPC2 Coreから割り込み(INT1B)が発生した場合、このレジスタのリードを行い割り込み要因の確認を行ってください。

このレジスタのビットは、INT Clear 1 Reg.の該当ビットに“0”を書き込むことで強制的にクリアされます。

INT Status 1 High Register (15H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
RSUM_SPND	BLKNULL	x	x	EP1NYET	EP0NYET	x	x

INT Status 1 Low Register (14H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	EP3IN	EP2IN	EP1OUT	EP0IN

Bit15 (RSUM_SPND) : Resume または Suspend 状態が発生したことを示します。ファームウェアで EP Status 0 Reg.を参照してください。

1 : Resume または Suspend 状態が発生した

0 : Resume または Suspend 状態が発生していない (初期値)

Bit14 (BLKNULL) : Bulk Out で 0 バイト長データを受信したことを示します。0 バイト長データを受信した EP については、EP Status 2 Reg.を参照してください。

1 : 0 バイト長データを受信した

0 : 0 バイト長データを受信していない (初期値)

Bit13-12 : 予約 書き込み無効, 読み出し不定

Bit11 (EP1NYET) : ハードウェアが自動的に NYET を送信したことを示します。HS 動作時のみ有効です。

1 : NYET を送信した

0 : NYET を送信していない (初期値)

Bit10 (EP0NYET) : ハードウェアが自動的に NYET を送信したことを示します。HS 動作時のみ有効です。

1 : NYET を送信した

0 : NYET を送信していない (初期値)

Bit9-4 : 予約 書き込み無効, 読み出し不定

Bit3 (EP3IN) : EP3 に対する IN トークンを受信して、ハードウェアが自動的に NAK を送信したことを示します。

1 : IN トークンが来て NAK を送信した

0 : IN トークンが来ていない (初期値)

Bit2 (EP2IN) : EP2 に対する IN トークンを受信して、ハードウェアが自動的に NAK を送信したことを示します。

1 : IN トークンが来て NAK を送信した

0 : IN トークンが来ていない (初期値)

Bit1 (EP1OUT) : EP1 に対する OUT トークンまたは PING トークンを受信して、ハードウェアが自動的に NAK を送信したことを示します。

1 : OUT トークンが来て NAK を送信した

0 : OUT トークンが来ていない (初期値)

Bit0 (EP0IN) : EP0 に対する IN トークンを受信して、ハードウェアが自動的に NAK を送信したことを示します。

- 1 : IN トークンが来て NAK を送信した
- 0 : IN トークンが来ていない (初期値)

IOOL products

(c) INT Status 2 Register (R)

16H (16/17H)

INT Status 2 Reg.は割り込みの発生要因を示します。ファームウェアは EPC2 Core から割り込み (INT2B)が発生した場合、このレジスタのリードを行い割り込み要因の確認を行ってください。

このレジスタのビットは、INT Clear 2 Reg.の該当ビットに“0”を書き込むことで強制的にクリアされます。

INT Status 2 High Register (17H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
VBUS	VBUS_B	SET_INT	Bus_Reset	SP_MODE	SET_RQ	CLR_RQ	EP_Halt

INT Status 2 Low Register (16H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DMA_STOP	DMA_END	x	x	EP1_Short	DeviceIF	Success_int	Stg_int

Bit15 (VBUS) : このビットは VBUS 端子の立ち上がりを検出するとセットされます。

1 : VBUS 端子の立ち上がりを検出した

0 : VBUS 端子の立ち上がりを検出していない (初期値)

注意 RST 解除時に VBUS が 1 であった場合、RST 解除と同時にこのビットがセットされ割り込みが発生します。ただし、VBUS ラインをチップの VBUS 端子にアサインすることが前提となります。また、端子には外部ノイズ対策を入れていませんので、お客様が外部に入れるか、ファームウェアで対策を行ってください。外部回路にて対策した場合は論理が変わらないようにしてください。

Bit14 (VBUS_B) : このビットは VBUS 端子の立ち下がりを検出するとセットされます。

1 : VBUS 端子の立ち下がりを検出した

0 : VBUS 端子の立ち下がりを検出していない (初期値)

注意 RST 解除時に VBUS が 0 であっても、このビットはセットされません。

Bit13 (SET_INT) : SET_INTERFACE リクエストを受信して、自動処理を行ったことを示します。

1 : 自動処理を行った

0 : 自動処理を行っていない (初期値)

Bit12 (Bus_Reset) : USB Bus Reset が行われたことを示します。

1 : USB Bus Reset を検出した

0 : USB Bus Reset を検出していない (初期値)

Bit11 (SP_MODE) : Mode Status Reg. Speed_S bit がセットされたときにこのビットはセットされます。

1 : Mode Status Reg. Speed_S bit がセットされた

0 : Mode Status Reg. Speed_S bit がセットされていない (初期値)

Bit10 (SET_RQ) : SET_INTERFACE を除く自動処理対象の SET_XXXX リクエストを受信し、自動処理を行ったことを示します。セットのタイミングはステータス・ステージ終了時です。リクエストの対象が何かは4.2.1(2)(b) SET Request Registerを参照してください。

1 : 自動処理対象の SET_XXXX リクエストを受信した

0 : 自動処理対象の SET_XXXX リクエストを受信していない (初期値)

- SET_FEATURE: EP n リクエストを受信したときは Bit 8 の EP_Halt もセットされます。
- Bit9 (CLR_RQ) : CLEAR_FEATURE リクエストを受信し、自動処理を行ったことを示します。セットのタイミングはステータス・ステージ終了時です。CLEAR_FEATURE リクエストの対象が何かは、4.2.1(2)(a) CLR Request Register を参照してください。CLR Request Reg. の読み出しを行うときにファームウェアでクリアしてください。
- 1 : CLEAR_FEATURE リクエストを受信した
0 : CLEAR_FEATURE リクエストを受信していない (初期値)
- Bit8 (EP_Halt) : EP が Halt していることを示します。Halt している EP は EP Status 0 Reg. を参照してください (EP Status 0 Reg. は、CLEAR_FEATURE EPn、SET_INTERFACE、SET_CONFIGURATION、SOFT RESET を受信するとハードウェアでクリアされます。EP0 に関しては、コントロール転送のデータ/ステータス・ステージで Overrun が発生した場合や規定外リクエストでセットされた場合に、次の Setup トークンを受信したときにもハードウェアでクリアされます)。このビットはファームウェア・クリア・ビットです。EP Status 0 Reg. にアクセスする前にファームウェアにより必ずクリアしてください。
- 1 : EP が Halt している
0 : EP が Halt していない (初期値)
- EP0 の Halt Feature がセットされてこの割り込みが発生した場合でも、SET_FEATURE : EP0、CLEAR_FEATURE : EP0、GET_STATUS : EP0 またはファームウェア処理リクエストを受信してから次の前述以外の Setup トークンを受信するまでは EP Status 0 Reg. の EP0Halt bit はマスク (=0) されます。
- Bit7 (DMA_STOP) : EP1 バッファから DMA で読み出し中に、ショート・パケットの最終データを転送し終えた、または最終データに無効バイトが含まれる場合に (最終-1) サイクルで停止したことを示します。CPU 側に接続されているバッファ内のデータがバッファ・サイズ未満 (ショート・パケット) で 2 サイクル以上のデータである場合、(最終-1) データの DMA リード・サイクル中に EP1_DMA_STOPB をアサートし、このレジスタがセットされます。ショート・パケットが 1 サイクルデータの場合は、DMA 許可中に限りバッファ・トグル時にこのレジスタがセットされ、DMA Control 2 Reg. EP1_DMA_Set bit を自動クリアします (DMA 転送を行わないため、EP1_DMA_STOPB 信号はアサートしません)。この割り込みがセットした場合は、最終データを PIO で読み出すなど、必要に応じた処理を行ってください (Device I/F Status Reg. または EP1 Length Reg. を Read することで最終データが何バイト有効であるかわかります)。DMA Status Reg. にアクセスする前に、このレジスタを必ずファームウェア・クリアしてください。
- 1 : ショート・パケットの転送を終えた、
または無効バイトを含む 1 サイクル分のデータを残して DMA が停止した
0 : ショート・パケットの DMA 転送を行っていない (初期値)
- Bit6 (DMA_END) : EPn(1 or 2)_TCB 端子がアクティブになったことを示します。対象となる DMA チャネルは、DMA Status 0 Reg. に表示されます。ファームウェアにより DMA 転送許可を行わないかぎり、EPn_DRQB はアクティブになりません。DMA Status 0 Reg. にアクセスする前に、このレジスタを必ずファームウェア・クリアしてください。
- 1 : EPn_TCB (DMAC の TCB) が入力された
0 : EPn_TCB (DMAC の TCB) が入力されていない (初期値)
- EPn_TCB は、DMA コントローラの TCB を接続し、ターミナル・カウントを EPC2 Core に伝える際に使用することを想定しています。また、接続される DMA コントローラは

μ PD71037 を想定しています。その他の DMA コントローラを接続する場合には、信号レベルおよびタイミングの違いにより使用できない可能性があります（例：DACKB Off 後に TCB が発生する DMAC）。

また、External Local Bus 8bit モードを選択している場合は、EPn_TCB は使用できません。

- Bit5- Bit4 : 予約 書き込み無効, 読み出し不定
- Bit3 (EP1_Short) : EP1 バッファにバッファ・サイズ未満のデータを受信し、バッファ・トグルにより CPU 側に接続されたときにセットされます。このビットは Bulk Only 転送モード時に CBW を受信した場合はセットされません。
- 1 : ショート・パケットを受信したバッファが CPU 側に接続された
- 0 : ショート・パケットを受信していない (初期値)
- Bit2 (DeviceIF) : Device IF Status Reg. のビットがセットされたことを示します。
- 1 : Device IF Status Reg. のビットがセットされた
- 0 : Device IF Status Reg. のビットがセットされていない (初期値)
- Bit1 (Success_int) : EP Status 0 Reg. Success bit がセットされたことを示します。
- EP Status 0 Reg. Success bit は、ハードウェアにより自動的に更新されます。したがって、このビットの割り込みを受けて、EP Status 0 Reg. を確認した場合に Success bit がクリアされている可能性があります。
- 1 : EP Status 0 Reg. Success bit がセットされた
- 0 : EP Status 0 Reg. Success bit がセットされていない (初期値)
- Bit0 (Stg_int) : EP Status 0 Reg. Stg bit がセットされたことを示します。EP Status 0 Reg. Stg bit は、ハードウェアにより自動的に更新されます。したがって、このビットの割り込みを受けて、EP Status 0 Reg. を確認した場合に Stg bit がクリアされている可能性があります。
- 1 : EP Status 0 Reg. Stg bit がセットされた
- 0 : EP Status 0 Reg. Stg bit がセットされていない (初期値)

- INT Status 2 Reg. の補足事項

このレジスタには、Success_int bit と Stg_int bit があります。これらのビットはファームウェア・クリア・ビットであり、かつ、USB バス上のステータスを EP Status 0 Reg. に表示します。しかし、これらの要因による割り込み確認をファームウェアが行う際に、タイミングによっては EP Status 0 Reg. のビットがクリアされている可能性があります。

そのため、ファームウェアが INT Status 2 Reg. をリードした際に、割り込み要因が表示されていない可能性があります。

万が一、INT Status 2 Reg. のビットがセットされているが、EP Status 0 Reg. のビットがクリアされている場合は、次の SetUp トークンを受けたと理解し処理を進めてください。

(d) INT Mask 0 Register (R/W)

18H (18/19H)

INT Mask 0 Reg.は、INT0Bの割り込みマスクを行います。

ファームウェアはこのレジスタの該当するビットに“1”を書き込むことでEPC2 Coreからの割り込み(INT0B)発生をマスクします。マスクを行った場合もステータスは反映されます。

INT Mask 0 High Register (19H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
Req_Sel_M	Protect_M	CPUDEC_M	Vendor_M	BulkOnly_M	x	x	x

INT Mask 0 Low Register (18H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	EP3INDT_M	EP2INDT_M	EP1OUTDT_M	EP0INDT_M	EP0OUTDT_M

Bit15 (Req_Sel_M) : INT Status 0 Reg. Req_Sel bit がセットされたときに、INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit14 (Protect_M) : INT Status 0 Reg. Protect bit がセットされたときに、INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit13 (CPUDEC_M) : INT Status 0 Reg. CPUDEC bit がセットされたときに、INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit12 (Vendor_M) : INT Status 0 Reg. Vender bit がセットされたときに、INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit11 (BulkOnly_M) : INT Status 0 Reg. BulkOnly bit がセットされたときに、INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit10- Bit5 : 予約 書き込み無効, 読み出し不定

Bit4 (EP3INDT_M) : INT Status 0 Reg. EP3INDT bit がセットされたときに、INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit3 (EP2INDT_M) : INT Status 0 Reg. EP2INDT bit がセットされたときに、INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit2 (EP1OUTDT_M) : INT Status 0 Reg. EP1OUTDT bit がセットされたときに、INT0B をアサートしないよう

にマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit1 (EP0INDT_M) : INT Status 0 Reg. EP0INDT bit がセットされたときに, INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit0 (EP0OUTDT_M) : INT Status 0 Reg. EP0OUTDT bit がセットされたときに, INT0B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

IOOL products

(e) INT Mask 1 Register (R/W)

1AH (1A/1BH)

INT Mask 1 Reg.は、INT1Bの割り込みマスクを行います。

ファームウェアは、このレジスタの該当するビットに“1”を書き込むことでEPC2 Coreからの割り込み(INT1B)発生をマスクします。マスクを行った場合もステータスは反映されます。

INT Mask 1 High Register (1BH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
RSUM_SPND_M	BLKNULL_M	x	x	EP1NYET_M	EP0NYET_M	x	x

INT Mask 1 Low Register (1AH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	EP3IN_M	EP2IN_M	EP1OUT_M	EP0IN_M

Bit15 (RSUM_SPND_M)

: INT Status 1 Reg. RSUM_SPND bit がセットされたときに、INT1Bをアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit14 (BLKNULL_M) : INT Status 1 Reg. BLKNULL bit がセットされたときに、INT1Bをアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit13- Bit12 : 予約 書き込み無効, 読み出し不定

Bit11 (EP1NYET_M) : INT Status 1 Reg. EP1NYET bit がセットされたときに、INT1Bをアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit10 (EP0NYET_M) : INT Status 1 Reg. EP0NYET bit がセットされたときに、INT1Bをアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit9- Bit4 : 予約 書き込み無効, 読み出し不定

Bit3 (EP3IN_M) : INT Status 1 Reg. EP3IN bit がセットされたときに、INT1Bをアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit2 (EP2IN_M) : INT Status 1 Reg. EP2IN bit がセットされたときに、INT1Bをアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit1 (EP1OUT_M) : INT Status 1 Reg. EP1OUT bit がセットされたときに、INT1Bをアサートしないようにマスクするか設定を行います。

1: マスクする
0: マスクしない (初期値)

Bit0 (EP0IN_M) : INT Status 1 Reg. EP0IN bit がセットされたときに ,INT1B をアサートしないようにマスクするか設定を行います。

1: マスクする
0: マスクしない (初期値)

ROHL products

(f) INT Mask 2 Register (R/W)

1CH (1C/1DH)

INT Mask 2 Reg.は、INT2B の割り込みマスクを行います。

ファームウェアは、このレジスタの該当するビットに“1”を書き込むことでEPC2 Coreからの割り込み(INT2B)発生をマスクします。マスクを行った場合もステータスは反映されます。

INT Mask 2 High Register (1DH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
VBUS_M	VBUS_B_M	SET_INT_M	Bus_Reset_M	SP_MODE_M	SET_RQ_M	CLR_RQ_M	EP_Halt_M

INT Mask 2 Low Register (1CH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DMA_STOP_M	DMA_END_M	x	x	EP1_Short_M	DeviceIF_M	Success_int_M	Stg_int_M

- Bit15 (VBUS_M) : INT Status 2 Reg. VBUS bit がセットされたときに、INT2B をアサートしないようにマスクするか設定を行います。
1: マスクする
0: マスクしない(初期値)
- Bit14 (VBUS_B_M) : INT Status 2 Reg. VBUS_B bit がセットされたときに、INT2B をアサートしないようにマスクするか設定を行います。
1: マスクする
0: マスクしない(初期値)
- Bit13 (SET_INT_M) : INT Status 2 Reg. SET_INT bit がセットされたときに、INT2B をアサートしないようにマスクするか設定を行います。
1: マスクする
0: マスクしない(初期値)
- Bit12 (Bus_Reset_M) : INT Status 2 Reg. Bus_Reset bit がセットされたときに、INT2B をアサートしないようにマスクするか設定を行います。
1: マスクする
0: マスクしない(初期値)
- Bit11 (SP_MODE_M) : INT Status 2 Reg. SP_MODE bit がセットされたときに、INT2B をアサートしないようにマスクするか設定を行います。
1: マスクする
0: マスクしない(初期値)
- Bit10 (SET_RQ_M) : INT Status 2 Reg. SET_RQ bit がセットされたときに、INT2B をアサートしないようにマスクするか設定を行います。
1: マスクする
0: マスクしない(初期値)
- Bit9 (CLR_RQ_M) : INT Status 2 Reg. CLR_RQ bit がセットされたときに、INT2B をアサートしないようにマスクするか設定を行います。
1: マスクする
0: マスクしない(初期値)
- Bit8 (EP_Halt_M) : INT Status 2 Reg. EP_Halt bit がセットされたときに、INT2B をアサートしないようにマ

スクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit7 (DMA_STOP_M) : INT Status 2 Reg. DMA_STOP bit がセットされたときに, INT2B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit6 (DMA_END_M) : INT Status 2 Reg. DMA_END bit がセットされたときに, INT2B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit5- Bit 4 : 予約 書き込み無効, 読み出し不定

Bit3 (EP1_Short_M) : INT Status 2 Reg. EP1_Short bit がセットされたときに, INT2B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit2 (DeviceIF_M) : INT Status 2 Reg. DeviceIF bit がセットされたときに, INT2B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit1 (Success_int_M) : INT Status 2 Reg. Success_int bit がセットされたときに, INT2B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

Bit0 (Stg_int_M) : INT Status 2 Reg. Stg_int bit がセットされたときに, INT2B をアサートしないようにマスクするか設定を行います。

1: マスクする

0: マスクしない(初期値)

(g) INT Clear 0 Register (W)

1EH (1E/1FH)

INT Clear 0 Reg.は、INT Status 0 Reg.の割り込み要因のクリアを行います。

ファームウェアはこのレジスタの該当するビットに“0”を書き込むことで割り込み要因のクリアを行います。ハードウェア・クリア・ビットでもハードウェア・クリアされる以前にファームウェア・クリア可能です。“1”を書き込んででも無効となります。このレジスタは自動セットされます。リード値はFFFFHとなります。

INT Clear 0 High Register (1FH)

(初期値 FFH)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
Req_Sel_C	Protect_C	CPUDEC_C	Vendor_C	BulkOnly_C	1	1	1

INT Clear 0 Low Register (1EH)

(初期値 FFH)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	1	1	EP3INDT_C	EP2INDT_C	EP1OUTDT_C	EP0INDT_C	EP0OUTDT_C

- Bit15 (Req_Sel_C) : このビットに“0”を書き込むと、INT Status 0 Reg. Req_Sel bit がクリアされます。
0 : INT Status 0 Reg. Req_Sel bit をクリアする。
- Bit14 (Protect_C) : このビットに“0”を書き込むと、INT Status 0 Reg. Protect bit がクリアされます。
0 : INT Status 0 Reg. Protect bit をクリアする。
- Bit13 (CPUDEC_C) : このビットに“0”を書き込むと、INT Status 0 Reg. CPUDEC bit がクリアされます。
0 : INT Status 0 Reg. CPUDEC bit をクリアする。
- Bit12 (Vendor_C) : このビットに“0”を書き込むと、INT Status 0 Reg. Vendor bit がクリアされます。
0 : INT Status 0 Reg. Vendor bit をクリアする。
- Bit11 (BulkOnly_C) : このビットに“0”を書き込むと、INT Status 0 Reg. BulkOnly bit がクリアされます。
0 : INT Status 0 Reg. BulkOnly bit をクリアする。
- Bit10- Bit5 : 予約 1 固定
- Bit4 (EP3INDT_C) : このビットに“0”を書き込むと、INT Status 0 Reg. EP3INDT bit がクリアされます。
0 : INT Status 0 Reg. EP3INDT bit をクリアする。
- Bit3 (EP2INDT_C) : このビットに“0”を書き込むと、INT Status 0 Reg. EP2INDT bit がクリアされます。
0 : INT Status 0 Reg. EP2INDT bit をクリアする。
- Bit2 (EP1OUTDT_C) : このビットに“0”を書き込むと、INT Status 0 Reg. EP1OUTDT bit がクリアされます。
0 : INT Status 0 Reg. EP1OUTDT bit をクリアする。
- Bit1 (EP0INDT_C) : このビットに“0”を書き込むと、INT Status 0 Reg. EP0INDT bit がクリアされます。
0 : INT Status 0 Reg. EP0INDT bit をクリアする。
- Bit0 (EP0OUTDT_C) : このビットに“0”を書き込むと、INT Status 0 Reg. EP0OUTDT bit がクリアされます。
0 : INT Status 0 Reg. EP0OUTDT bit をクリアする。

(h) INT Clear 1 Register (W)

20H (20/21H)

INT Clear 1 Reg.は、INT Status 1 Reg.の割り込み要因のクリアを行います。

ファームウェアはこのレジスタの該当するビットに“0”を書き込むことで割り込み要因のクリアを行います。ハードウェア・クリア・ビットでもハードウェア・クリアされる以前にファームウェア・クリア可能です。“1”を書き込んででも無効になります。このレジスタは自動セットされます。リード値はFFFFHとなります。

INT Clear 1 High Register (21H)

(初期値 FFH)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
RSUM_SPND_C	BLKNULL_C	1	1	EP1NYET_C	EP0NYET_C	1	1

INT Clear 1 Low Register (20H)

(初期値 FFH)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	1	1	1	EP3IN_C	EP2IN_C	EP1OUT_C	EP0IN_C

Bit15 (RSUM_SPND_C) : このビットに“0”を書き込むと、INT Status 1 Reg. RSUM_SPND bit がクリアされます。

0 : INT Status 1 Reg. RSUM_SPND bit をクリアする。

Bit14 (BLKNULL_C) : このビットに“0”を書き込むと、INT Status 1 Reg. BLKNULL bit がクリアされます。

0 : INT Status 1 Reg. BLKNULL bit をクリアする。

Bit13- Bit12 : 予約 1 固定

Bit11 (EP1NYET_C) : このビットに“0”を書き込むと、INT Status 1 Reg. EP1NYET bit がクリアされます。

0 : INT Status 1 Reg. EP1NYET bit をクリアする。

Bit10 (EP0NYET_C) : このビットに“0”を書き込むと、INT Status 1 Reg. EP0NYET bit がクリアされます。

0 : INT Status 1 Reg. EP0NYET bit をクリアする。

Bit9- Bit 4 : 予約 1 固定

Bit3 (EP3IN_C) : このビットに“0”を書き込むと、INT Status 1 Reg. EP3IN bit がクリアされます。

0 : INT Status 0 Reg. EP3IN bit をクリアする。

Bit2 (EP2IN_C) : このビットに“0”を書き込むと、INT Status 1 Reg. EP2IN bit がクリアされます。

0 : INT Status 1 Reg. EP2IN bit をクリアする。

Bit1 (EP1OUT_C) : このビットに“0”を書き込むと、INT Status 1 Reg. EP1OUT bit がクリアされます。

0 : INT Status 1 Reg. EP1OUT bit をクリアする。

Bit0 (EP0IN_C) : このビットに“0”を書き込むと、INT Status 1 Reg. EP0IN bit がクリアされます。

0 : INT Status 1 Reg. EP0IN bit をクリアする。

(i) INT Clear 2 Register (W)

22H (22/23FH)

INT Clear 2 Reg.は、INT Status 2 Reg.の割り込み要因のクリアを行います。

ファームウェアはこのレジスタの該当するビットに“0”を書き込むことで割り込み要因のクリアを行います。ハードウェア・クリア・ビットでもハードウェア・クリアされる以前にファームウェア・クリア可能です。“1”を書き込んででも無効になります。このレジスタは自動セットされます。リード値はFFFFHとなります。

INT Clear 2 High Register (23H)

(初期値 FFH)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
VBUS_C	VBUS_B_C	SET_INT_C	Bus_Reset_C	SP_MODE_C	SET_RQ_C	CLR_RQ_C	EP_Halt_C

INT Clear 2 Low Register (22H)

(初期値 FFH)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DMA_STOP_C	DMA_END_C	1	1	EP1_Short_C	DeviceIF_C	Success_int_C	Stg_int_C

- Bit15 (VBUS_C) : このビットに“0”を書き込むと、INT Status 2 Reg. VBUS bit がクリアされます。
0 : INT Status 2 Reg. VBUS bit をクリアする。
- Bit14 (VBUS_B_C) : このビットに“0”を書き込むと、INT Status 2 Reg. VBUS_B bit がクリアされます。
0 : INT Status 2 Reg. VBUS_B bit をクリアする。
- Bit13 (SET_INT_C) : このビットに“0”を書き込むと、INT Status 2 Reg. SET_INT bit がクリアされます。
0 : INT Status 2 Reg. SET_INT bit をクリアする。
- Bit12 (Bus_Reset_C) : このビットに“0”を書き込むと、INT Status 2 Reg. Bus_Reset bit がクリアされます。
0 : INT Status 0 Reg. Bus_Reset bit をクリアする。
- Bit11 (SP_MODE_C) : このビットに“0”を書き込むと、INT Status 2 Reg. SP_MODE bit がクリアされます。
0 : INT Status 2 Reg. SP_MODE bit をクリアする。
- Bit10 (SET_RQ_C) : このビットに“0”を書き込むと、INT Status 2 Reg. SET_RQ bit がクリアされます。
0 : INT Status 2 Reg. SET_RQ bit をクリアする。
- Bit9 (CLR_RQ_C) : このビットに“0”を書き込むと、INT Status 2 Reg. CLR_RQ bit がクリアされます。
0 : INT Status 2 Reg. CLR_RQ bit をクリアする。
- Bit8 (EP_Halt_C) : このビットに“0”を書き込むと、INT Status 2 Reg. EP_Halt bit がクリアされます。
0 : INT Status 2 Reg. EP_Halt bit をクリアする。
- Bit7 (DMA_STOP_C) : このビットに“0”を書き込むと、INT Status 2 Reg. DMA_STOP bit がクリアされます。
0 : INT Status 2 Reg. DMA_STOP bit をクリアする。
- Bit6 (DMA_END_C) : このビットに“0”を書き込むと、INT Status 2 Reg. DMA_END bit がクリアされます。
0 : INT Status 2 Reg. DMA_END bit をクリアする。
- Bit5- Bit 4 : 予約 1 固定
- Bit3 (EP1_Short_C) : このビットに“0”を書き込むと、INT Status 2 Reg. EP1_Short bit がクリアされます。
0 : INT Status 2 Reg. EP1_Short bit をクリアする。
- Bit2 (DeviceIF_C) : このビットに“0”を書き込むと、INT Status 2 Reg. DeviceIF bit がクリアされます。
0 : INT Status 2 Reg. DeviceIF bit をクリアする。
- Bit1 (Success_int_C) : このビットに“0”を書き込むと、INT Status 2 Reg. Success_int bit がクリアされます。
0 : INT Status 2 Reg. Success_int bit をクリアする。

Bit0 (Stg_int_C) : このビットに“0”を書き込むと、INT Status 2 Reg. Stg_int bit がクリアされます。
0 : INT Status 2 Reg. Stg_int bit をクリアする。

SiOL products

(4) DMA Register グループ

(a) DMA Control 0 Register (R/W)

24H (24/25H)

DMA Control 0 Reg.は、DMA の各種設定を行うレジスタです。Mode0_Set bit の設定により、DMA 転送モードが選択できます。DMA 転送を行う場合には、DMA Control 0, 1, 2 Reg.の設定後に BIU Control 0, 1, 2 Reg.の設定を行ってください(停止する場合は、その逆の順番で行ってください)。

DMA Control 0 High Register (25H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
Bus_Sel_Set	x	x	x	EP1_Short_Stop	x	x	EP2_DEND_Set

DMA Control 0 Low Register (24H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	EP2_Burst_Set	EP1_Burst_Set	x	Mode0_Set

Bit15 (Bus_Sel_Set) : このビットは初期値0ですが、必ずセット(=1)して使用してください。

Bit14- Bit12 : 予約 書き込み無効, 読み出し不定

Bit11 (EP1_Short_Stop)

: EP1 の DMA 転送時に、ショート・パケットを格納したバッファが CPU 側に接続された場合に DMA Control 2 Reg. EP1_DMA_Set bit をクリアするかしないかを設定するビットです。EP1_Burst_Set bit =1 の場合は、このビットの設定により DMA Control 2 Reg. EP1_DMA_Set bit の動作が変化します。

(1) このビットがセットされている場合

DMA Control 2 Reg. EP1_DMA_Set bit はクリアされます。DMA 転送を開始する場合には、ファームウェアにより DMA Control 2 Reg. EP1_DMA_Set bit を再セットしてください。

(2) このビットがセットされていない場合

DMA Control 2 Reg. EP1_DMA_Set bit はクリアされません。

EP1_Burst_Set bit = 0 の場合は必ず DMA Control 2 Reg. EP1_DMA_Set bit がクリアされるため、このビットの意味はなくなります。INT Status 2 Reg. EP1_Short bit のセット要因は、このビットの設定には影響されません。

1: ショート・パケットを受信したバッファが CPU 側に接続されたとき、DMA Control 2 Reg. EP1_DMA_Set bit をクリアする

0: ショート・パケットを受信したバッファが CPU 側に接続されたとき、DMA Control 2 Reg. EP1_DMA_Set bit をクリアしない(初期値)

Bit10- Bit 9 : 予約 書き込み無効, 読み出し不定

Bit8 (EP2_DEND_Set)

: EP2_TCB がアサートされたときに、Data End Reg. EP2_End bit を自動的にセットするかしないかを設定するビットです。このビットは自動的にクリアされませんので、ファームウェアによるクリアを行ってください。

1: EP2_TCB がアサートされると Data End Reg. EP2_End bit をセットする。

0: EP2_TCB がアサートされても Data End Reg. EP2_End bit をセットしない。

(初期値)

Bit7- Bit 4 : 予約 書き込み無効, 読み出し不定

Bit3 (EP2_Burst_Set) : DMA Control 2 Reg. EP2_DMA_Set bit がバッファ・トグルごとにクリアされるかされないかを設定するビットです。

1 : クリアされない

0 : クリアされる (初期値)

Bit2 (EP1_Burst_Set) : DMA Control 2 Reg. EP1_DMA_Set bit がバッファ・トグルごとにクリアされるかされないかを設定するビットです。

1 : クリアされない

0 : クリアされる (初期値)

Bit1 : 予約 書き込み無効, 読み出し不定

Bit0 (Mode0_Set) : DMA モードの選択を行います。

1 : デイマンド・モード	DRQB はデータがあるかぎりアクティブになります。データがなくなるとインアクティブになります。
0 : シングル・モード	1回のDMA転送ごとにDRQBをインアクティブにします。

(b) DMA Control 1 Register (R/W)

26H (26/27H)

DMA Control 1 Reg.は、DMA の各種設定を行うレジスタです。

Bit1, Bit0 については、必ず Internal Local Bus 設定をしてください。CPU Bus に設定した場合の動作保証はできません。

DMA Control 1 High Register (27H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	EP3_Auto_Set

DMA Control 1 Low Register (26H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EP2_Auto_Set	EP0W_Auto_Set	x	x	x	x	EP2_Local_Set	EP1_Local_Set

Bit15- Bit9 : 予約 書き込み無効, 読み出し不定

Bit8 (EP3_Auto_Set) : EP3 Write Reg.に対して、バッファ・サイズまで書き込みを行うと自動的に Data End Reg. EP3_End bit をセットするかしないかを設定するビットです。

1 : Data End Reg. EP3_End bit を自動的にセットする

0 : Data End Reg. EP3_End bit を自動的にセットしない (初期値)

Bit7 (EP2_Auto_Set) : EP2 Write Reg.に対して、バッファ・サイズまで書き込みを行うと自動的に Data End Reg. EP2_End bit をセットするかしないかを設定するビットです。このビットがセットされていると、Data End Reg. EP2_ODD_End bit は使用できません。

1 : Data End Reg. EP2_End bit を自動的にセットする

0 : Data End Reg. EP2_End bit を自動的にセットしない (初期値)

Bit6 (EP0W_Auto_Set)

: EP0 Write Reg.に対して、バッファ・サイズまで書き込みを行うと自動的に Data End Reg. EP0W_End bit をセットするかしないかを設定するビットです。

1 : Data End Reg. EP0W_End bit を自動的にセットする

0 : Data End Reg. EP0W_End bit を自動的にセットしない (初期値)

Bit5- Bit2 : 予約 書き込み無効, 読み出し不定

Bit1 (EP2_Local_Set) : EP2 の DMA 転送時に CPU Bus と Internal Local Bus のどちらが有効かを設定します。

ただし、 μ PD720122 では、DMA の使用の有無によらず必ずセット (= 1) で使用してください。クリアしている状態での動作保証は致しません。

1 : DMA 転送時に Internal Local Bus が有効となる

0 : DMA 転送時に CPU Bus が有効となる (初期値)

Bit0 (EP1_Local_Set) : EP1 の DMA 転送時に CPU Bus と Internal Local Bus のどちらが有効かを設定します。

ただし、 μ PD720122 では、DMA の使用の有無によらず必ずセット (= 1) で使用してください。クリアしている状態での動作保証は致しません。

1 : DMA 転送時に Internal Local Bus が有効となる

0 : DMA 転送時に CPU Bus が有効となる (初期値)

(c) DMA Control 2 Register (R/W)

28H (28/29H)

DMA Control 2 Reg.は、DMA の各種設定を行うレジスタです。

DMA Control 2 High Register (29H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

DMA Control 2 Low Register (28H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	x	EP2_DMA_Set	EP1_DMA_Set

Bit15- Bit2 : 予約 書き込み無効, 読み出し不定

Bit1 (EP2_DMA_Set) : このビットをセットすると、EP2 バッファにデータがない場合、INT Status 0 Reg. EP2INDT bit はセットされますが、INT0B はアサートされません。EP2_TCB がアサートされた場合 (DMAC の TCB が発生したとき) にこのビットはハードウェアにより自動的にクリアされます。DMA による転送を継続する場合は、ファームウェアでこのビットを再セットしてください。DMA Control 0 Reg. EP2_Burst_Set bit がセットされていない場合は、続けてデータが書き込める場合でもバッファ・トグルごとにこのビットはクリアされます。続けて転送する場合はファームウェアによってこのビットを再セットしてください。DMA Control 0 Reg. EP2_Burst_Set bit がセットされている場合、続けてデータが書き込める場合には、バッファ・トグル発生時に EP2_DRQB が一度ディアサートされますが、CLKO_60 の 16CLK 後に再度アサートされます。

1 : EP2_DRQB アサート許可 (INT0B アサートのマスク)

0 : EP2_DRQB アサート不許可 (初期値)

注意 このビットがセットされないと BIU から EPC2 のバッファに対してデータの書き込みができません (EP2 バッファへの書き込み DMA 転送リクエストのアサート許可を行います)。また、このビットの許可を行っても BIU Control 2 Reg.の設定を行わないと、EP2_DRQB 端子はアサートされません。

Bit0 (EP1_DMA_Set) : このビットを“1”にセットすると、データの読み出しが可能なときに INT Status 0 Reg. EP1OUTDT bit はセットされますが、INT0B はアサートされません。

EP1_TCB が入力された場合 (DMAC の TCB が発生したとき) または M2 端子^注がアサートされたときに、このビットはハードウェアにより自動的にクリアされます。なお受信したショート・パケットが1サイクル・データで無効バイトが存在する場合は、バッファ・トグルのタイミングでこのレジスタはクリアされます。DMA による転送を継続する場合は、ファームウェアでこのビットを再セットしてください。DMA Control 0 Reg. EP1_Burst_Set bit がセットされていない場合は、続けて読み出すべきデータが存在してもバッファ・トグルごとにこのビットはクリアされます。続けて転送する場合はファームウェアによってこのビットを再セットしてください。

注 M2 端子に EP1_DMA_STOPB 機能をアサインした場合

DMA Control 0 Reg. EP1_Burst_Set bit がセットされている場合、続けて読み出すべきデータが存在すると、バッファ・トグル時に EP1_DRQB は一度ディアサートされますが、CLKO_60 の 16CLK 後に再度アサートされます。また、DMA Control 0 Reg. EP1_Short_Stop bit がセットされている場合、ショート・パケットを受信しているバッファが CPU 側に接続された場合に、INT Status 2 Reg. EP1_Short bit がセットされると共にこのビットはクリアされます。

1 : EP1_DRQB アサート許可 (INT0B アサートのマスク)

0 : EP1_DRQB アサート不許可 (初期値)

注意 このビットがセットされないと EP1 バッファから BIU に対してデータの読み出しができません (EP1 バッファへの読み出し DMA 転送リクエストのアサート許可を行います)。

また、このビットの許可を行っても BIU Control 1 Reg. の設定を行わないと、EP1_DRQB はアサートされません。

- EP2_DRQB, EP1_DRQB (端子) のアサート・タイミングについて

DMA Control 0 Reg. EP2_Burst_Set bit, DMA Control 0 Reg. EP1_Burst_Set bit がセットされている場合、現在読み出しているバッファの次のバッファでも DMA サイクルが成立すると EPx_DRQB はバッファ・トグルときに 1 度ディアサートされ再度アサートされます。そのとき、ディアサート期間は CLKO_60 の 16CLK 分 (約 266 ns) となります。

(d) DMA Status 0 Register (R)

2AH (2A/2BH)

DMA Status Reg.は、DMA 状態を示します。

DMA Status 0 High Register (2BH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

DMA Status 0 Low Register (2AH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EP2_DMA_ENDB	EP1_DMA_ENDB	x	x	x	EP1_STOPB	EP2_DRQB	EP1_DRQB

Bit15- Bit8 : 予約 書き込み無効, 読み出し不定

Bit7 (EP2_DMA_ENDB)

: EP2_TCB にアクティブな信号が入力され、DMA 転送が停止したことを示します。このビットがセットされると EP2_DRQB がディアサートされます。

1: EP2_TCB (DMAC の TCB) がアサートされた

0: EP2_TCB がアサートされていない (初期値)

このビットがセットされると同時に INT Status 2 Reg. DMA_END bit もセットされます。

このビットはこのレジスタをリードしたときに自動的にクリアされます。

Bit6 (EP1_DMA_ENDB)

: EP1_TCB にアクティブな信号が入力され、DMA 転送が停止したことを示します。このビットがセットされると EP1_DRQB がディアサートされます。

1: EP1_TCB (DMAC の TCB) がアサートされた

0: EP1_TCB がアサートされていない (初期値)

このビットがセットされると同時に INT Status 2 Reg. DMA_END bit もセットされます。

このビットはこのレジスタをリードしたときに自動的にクリアされます。

Bit5- Bit3 : 予約 書き込み無効, 読み出し不定

Bit2 (EP1_STOPB)

: M2 端子にアサインされている EP1_DMA_STOPB 端子のアサート要因が発生したことを示します。M2 に EP1_DMA_STOPB がアサインされていない場合は、要因発生時にこのビットはセットされますが M2 端子はアサートされません。DMA 転送中で 1 サイクル・データに無効バイトが存在する場合は、パツファ・トグル時にもセットされます。

1: DMA 転送を停止させた

0: DMA 転送を停止させていない (初期値)

このビットがセットされると同時に INT Status 2 Reg. DMA_STOP bit もセットされます。

このビットはこのレジスタをリードしたときに自動的にクリアされます。

Bit1 (EP2_DRQB)

: BIU に対して EP2 の DMA 書き込み要求を行っていることを示します。このビットは読み出したその時点でのステータスを反映しています。

1: EP2 に対する DMA 書き込み要求を行っている

0: EP2 に対する DMA 書き込み要求を行っていない (初期値)

Bit0 (EP1_DRQB)

: BIU に対して EP1 の DMA 読み出し要求を行っていることを示します。このビットは読み出したその時点でのステータスを反映しています。

1: EP1 に対する DMA 読み出し要求を行っている

0 : EP1 に対する DMA 読み出し要求を行っていない (初期値)

Bulk OUT DMA に関する動作についての注意事項

BulkOUT データを DMA 転送する場合は、CPU Bus を使用するか External Local Bus を使用するかにより処理方法が異なります。さらに、EP1_DMA_STOPB 機能を使用する場合は、M2 端子の機能設定を行う必要があります。

EP1_DRQB および EP1_DACKB などに関するタイミングやスペックに関しては、**第11章 電気的特性**を参照してください。

● External Local Bus 8 Bit の場合

(1) ショート・パケットが1バイトの場合

	動作
Short 割り込み	発生 (バッファ・トグル時)(DMA Control 0 Reg. EP1_Short_Stop bit セット時)
Stop 割り込み	発生 (バッファ・トグル時)
EP1_DMA_STOPB 端子	アサートしない
EP1_DRQB 端子	Demand : アサートしない Single : アサートしない

(2) ショート・パケットが偶数バイトの場合

	動作
Short 割り込み	発生 (バッファ・トグル時)(DMA Control 0 Reg. EP1_Short_Stop bit セット時)
Stop 割り込み	発生 (N サイクル目に発生)
EP1_DMA_STOPB 端子	N サイクル目でアサート
EP1_DRQB 端子	Demand : N - 1 サイクル後にディアサート Single : EP1_DACKB 受信直後ディアサート

(3) ショート・パケットが奇数バイトの場合

	動作
Short 割り込み	発生 (バッファ・トグル時)(DMA Control 0 Reg. EP1_Short_Stop bit セット時)
Stop 割り込み	発生 (N-1 サイクル後に発生)
EP1_DMA_STOPB 端子	N サイクル目でアサート
EP1_DRQB 端子	Demand : N - 1 サイクル後にディアサート Single : EP1_DACKB 受信直後にディアサート

(4) フル・パケットの場合

	動作
Short 割り込み	発生しない
Stop 割り込み	発生しない
EP1_DMA_STOPB 端子	アサートしない
EP1_DRQB 端子	Demand : N - 1 サイクル後にディアサート Single : EP1_DACKB 受信直後にディアサート

- CPU Bus , External Local Bus 16 Bit の場合

(1) ショート・パケットが1バイトの場合

	動作
Short 割り込み	発生 (バッファ・トグル時) (DMA Control 0 Reg. EP1_Short_Stop bit セット時)
Stop 割り込み	発生する (バッファ・トグル時)
EP1_DMA_STOPB 端子	アサートしない
EP1_DRQB 端子	Demand : アサートしない Single : アサートしない

(2) ショート・パケットが2バイトの場合

	動作
Short 割り込み	発生 (バッファ・トグル時) (DMA Control 0 Reg. EP1_Short_Stop bit セット時)
Stop 割り込み	発生 (Stop 信号アサート時)
EP1_DMA_STOPB 端子	リード・コマンド直後にアサートする
EP1_DRQB 端子	Demand : EP1_DACKB 受信直後ディアサート Single : EP1_DACKB 受信直後ディアサート

(3) ショート・パケットが偶数バイトの場合

	動作
Short 割り込み	発生 (バッファ・トグル時) (DMA Control 0 Reg. EP1_Short_Stop bit セット時)
Stop 割り込み	発生 (Stop 信号アサート時)
EP1_DMA_STOPB 端子	N 回目でアサートする
EP1_DRQB 端子	Demand : N - 1 サイクル後にディアサート Single : EP1_DACKB 受信直後にディアサート

(4) ショート・パケットが奇数バイトの場合

	動作
Short 割り込み	発生 (バッファ・トグル時) (DMA Control 0 Reg. EP1_Short_Stop bit セット時)
Stop 割り込み	発生 (Stop 信号アサート時)
EP1_DMA_STOPB 端子	N - 1 回目でアサートする
EP1_DRQB 端子	Demand : N - 1 サイクル後にディアサート Single : EP1_DACKB 受信直後にディアサート

(5) フル・パケットの場合

	動作
Short 割り込み	発生しない
Stop 割り込み	発生しない
EP1_DMA_STOPB 端子	アサートしない
EP1_DRQB 端子	Demand : N - 1 サイクル後にディアサート もし EP1_DACKB がディアサートした場合, 自動的にアサートします。 (再送要求) その後, EP1_DACKB 受信後, ただちにディアサートします。 Single : EP1_DACKB 受信直後ディアサート

(5) Buffer Control グループ

(a) Buffer Clear 0 Register (W)

2CH (2C/2DH)

Buffer Clear 0 Reg.はEPのバッファ・クリアを制御します。このビットは自動的にクリアされます。ファームウェアは、このレジスタの該当するビットに“1”を書き込むことで対象となるバッファをクリアします。“0”を書き込んでも無効となります。リード値は0000Hとなります。バッファがクリアできたかEP Status 1 Reg.で確認を行ってください。

Buffer Clear 0 High Register (2DH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

Buffer Clear 0 Low Register (2CH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	EP3_CL	EP2S_CL	EP2C_CL	EP1S_CL	EP1C_CL	EP0W_CL	EP0R_CL

Bit15- Bit7 : 予約 書き込み無効, 読み出し不定

Bit6 (EP3_CL) : EP3 バッファ をクリアするビットです。

1: クリアする

0: クリアしない(初期値)

EP3 に対する IN トークン処理中にこのビットを書き込んでも、バッファ・クリアは無効となり、クリア操作も保留されません(送信中のデータは、そのまま送信されます)。ファームウェアにより NAK 送信に設定されている場合、このビットの書き込みの影響は受けません。ハードウェア制御の場合、このビットによりバッファをクリアされるため、次の書き込みがない場合に IN トークンを受けると NAK を自動送信します。

Bit5 (EP2S_CL) : EP2 バッファ の PHY 側に接続されているバッファをクリアするビットです。

1: クリアする

0: クリアしない(初期値)

EP2 に対する In トークンの処理中にこのビットを書き込んでも、バッファ・クリアは無効となり、クリア操作も保留されません(バッファ・トグル時も同じです)。(送信中のデータは、そのまま送信されます)PHY 側のバッファにデータがあり、IN トークンを受けるとこのビットがセットされたときのみバッファ・クリアが実行されます。ファームウェアにより NAK 送信に設定されている場合、このビットの書き込みの影響は受けません。ハードウェア制御の場合、このビットによりバッファをクリアされるため、次の書き込みがない場合に IN トークンを受けると NAK を自動送信します。

Bit4 (EP2C_CL) : EP2 バッファの CPU 側に接続されているバッファをクリアするビットです。

1: クリアする

0: クリアしない(初期値)

このビットの書き込みを行った時点でバッファのクリアは実行されます。また、EPNAK Status Reg. EP2NAK bit はバッファをクリアしても自動的にクリアされません。バッファ・トグルとの競合が発生した場合、クリアは無効となり、クリア操作も保留されません。

Bit3 (EP1S_CL) : EP1 バッファの PHY 側に接続されているバッファをクリアするビットです。

1: クリアする

0: クリアしない (初期値)

EP1 に対する OUT トークンの処理中にこのビットを書き込んでも、クリア処理は無効となり、クリア操作も保留されません (バッファ・トグル時も同じです)。ファームウェアで EP1NAK の送信設定をしている場合、このビットの書き込みをしても NAK 送信は解除されません。ハードウェア制御により NAK 送信状態にあった場合、このビットでバッファ・クリアされると NAK 送信は解除されます。

Bit2 (EP1C_CL) : EP1 バッファの CPU 側に接続されているバッファをクリアするビットです。

1: クリアする

0: クリアしない (初期値)

このビットの書き込みを行った時点でバッファのクリアは実行されます。PHY 側に接続されたバッファの状態には影響されません。また、ファームウェアで設定された NAK 送信には影響を与えません。ハードウェア制御による NAK 送信に関しては、その制御を妨げることはありません。バッファ・トグルとの競合が発生した場合クリアは無効となり、クリア操作も保留されません。

Bit1 (EP0W_CL) : EP0 バッファの送信側バッファをクリアするビットです。

1: クリアする

0: クリアしない (初期値)

EP0 に対する IN トークン処理中にこのビットを書き込んでも、バッファ・クリアは無効となり、クリア操作も保留されません (送信中のデータは、そのまま送信されます)。ファームウェアにより NAK 送信に設定されている場合、このビットの書き込みの影響は受けません。ハードウェア制御の場合、このビットによりバッファをクリアされるため、次の書き込みがない場合に IN トークンを受けると NAK を自動送信します。

Bit0 (EP0R_CL) : EP0 バッファの受信側バッファをクリアするビットです。

1: クリアする

0: クリアしない (初期値)

EP0 に対する OUT トークンの処理中にこのビットを書き込んでも、クリア処理は無効となり、クリア操作も保留されません (ファームウェアで EPNAK Status Reg. EP0NAKR bit の送信設定をしている場合、このビットの書き込みをしても NAK 送信は解除されません)。ハードウェア制御により NAK 送信状態にあった場合、このビットでバッファ・クリアされると NAK 送信は解除されます。

(b) Data End Register (W)

2EH (2E/2FH)

Data End Reg.は、データ送信処理を制御します。ファームウェアは、該当するビットに“1”を書き込むことによりデータ送信許可を与えます。

このレジスタは“0”を書き込んでも無効となります。また、このレジスタは自動クリアされリード値は0000Hとなります。

Data End High Register (2FH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	EP2_ODD_End

Data End Low Register (2EH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	EP3_End	EP2_End	EP0W_End

Bit15- Bit9 : 予約 書き込み無効, 読み出し不定

Bit8 (EP2_ODD_End) : EP2 バッファへの送信データ (奇数バイト) の DMA 書き込みが終了して、送信許可を与える場合にセットします。このビットのセットにより EPNAK Status Reg. EP2NAK bit がセットされ、IN トークンに同期してデータ転送が行われます。このレジスタは、DMA Control 0 Reg. Bus_Sel_Set bit = 1 (16 bit モード) の場合のみ有効です。また、このレジスタを使用する際には、DMA Control 1 Reg. EP2_Auto_Set bit および Data End Reg. EP2_END bit はどちらも“0”である必要があります (このビットを使用する場合は、EP2_End bit をセットする必要はありません)。

1: 奇数データ送信許可を与える

0: 奇数データ送信許可を与えない (初期値)

備考 Bit8 EP2_ODD_End bit は、奇数データを送信したい場合に使用するレジスタです。PIO 転送で EP2 Write8P Reg.を使用する場合は、最終データの書き込みを行ったあとに、Data End Reg. EP2_End bit をセットすることで送信許可を与えてください。

Bit7- Bit3 : 予約 書き込み無効, 読み出し不定

Bit2 (EP3_End) : EP3 バッファへの送信データの書き込みが終了して、送信許可を与える場合にセットします。このビットのセットにより EPNAK Status Reg. EP3NAK bit がセットされ、IN トークンに同期してデータ転送が行われます。

1: データ送信許可を与える

0: データ送信許可を与えない (初期値)

Bit1 (EP2_End) : EP2 バッファへの送信データの書き込みが終了して、送信許可を与える場合にセットします。このビットがセットされ、かつ PHY 側バッファ内のデータが正常送信完了していれば、バッファ・トグル条件が成立し EPNAK Status Reg. EP2NAK bit がセットされます。IN トークンを受信すると、IN トークンに同期してデータが送信されます。

1: データ送信許可を与える

0: データ送信許可を与えない (初期値)

Bit0 (EP0W_End) : EP0 バッファへの送信データの書き込みが終了して、送信許可を与える場合にセットし

ます。このビットのセットにより EPNAK Status Reg. EP0NAKW bit がセットされ、IN トークンに同期してデータ転送が行われます。

1：データ送信許可を与える

0：データ送信許可を与えない（初期値）

IOOL products

(6) Mode Register グループ

(a) GPR Register (R/W:ただし Bit 0 は Write Only)

30H (30/31H)

GPR Reg.は PHY Core と USB バス制御のためのレジスタです。ファームウェアはこのレジスタの F_RST bit に “1” を書き込むことで EPC2 Core のリセットを行います。“0” を書き込んで無効となり自動クリアされます。リード値は 0B となります。

GPR High Register (31H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

GPR Low Register (30H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	CONNECTB	PUE	F_RST

- Bit15- Bit3 : 予約 書き込み無効, 読み出し不定
- Bit2 (CONNECTB) : このビットは PHY Core の USB バス監視および USB バッファ(DP ,DM ,RSDP ,RSDM) の有効, 無効を制御するためのものです。
このビットは, Unplug 時の USB バッファ誤動作とリーク電流抑制を目的としたものです。
1 : μ PD720122 の USB 状態を CONNECT 状態にする
0 : μ PD720122 の USB 状態を DISCONNECT 状態にする (初期値)
このビットに “0” を書き込むと, Unplug 時の DP, RSDP/DM, RSDM 端子フローティングによる誤動作を防止することが可能となり, USB バッファ部のリーク電流をおさえることが可能となります。ただし, この状態においては, USB バス状態が一切認識できなくなるので注意が必要です。Bus Status は Suspend となります。
- Bit1 (PUE) : このビットは PHY Core の RPU 端子を制御するものです。
1 : RPU が有効 (プルアップ) となる
0 : RPU が無効 (プルアップされない) となる (初期値)
このビットに “1” を書き込むと DP, RSDP の 1.5 k Ω プルアップ抵抗 (RPU) が有効となります。“0” を書き込むとプルアップ抵抗は有効となりません。また, DP, RSDP の 1.5 k Ω プルアップ抵抗が有効の場合も, PHY Core が HS モードに移行したことを認識すると, 自動的に切り離します。
システムの初期化に時間がかかる場合は, このビットを使用することを推奨します。この場合, CONNECTB bit はセット (=1) しないでください (CONNECT 処理と RPU 接続処理は, 同時に行ってください)。
- Bit0 (F_RST) : ファームウェアにより EPC2 Core のリセットを行う場合には, このビットに 1 を書き込んでください。
1 : EPC2 Core のリセットを行う
0 : EPC2 Core のリセットは行わない (初期値)
このビットを読み出しても必ず “0” が読み出されます。このビットをセットしても PHY Core のリセットは行われません。通常は使用しないでください。

(b) Mode Control 0 Register (R/W)

32H (32/33H)

Mode Control 0 Reg.はEPC2 Core 部分の各種基本設定を行うレジスタです。このレジスタの各ビットを設定することにより、Mode Status Reg.の設定を変更できます(ただし、Bit2,1,0はMode Mask Reg.による制御が必要です)。このレジスタはR/W可能でありハードウェア・リセット時、およびGPR Reg. F_RST bit セット時のみクリアされます。それ以外のセット、リセットはファームウェアが行う必要がありますので注意が必要です。

Mode Status Reg.のビットがハードウェアにより自動的に設定されても、このレジスタで設定を行った場合はいかなる場合も優先されるので注意が必要です。

Mode Control 0 High Register (33H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	Active_Res_Set	STATUS_STL	x	x	x	x

Mode Control 0 Low Register (32H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CPUDEC_ALL_Set	CPUDEC_Sel_Set	x	x	x	Max_Pack_Set	Default_Set	CONF_Set

Bit15- Bit14 : 予約 書き込み無効, 読み出し不定

Bit13 (Active_Res_Set)

: HS モード時のみ有効です。このビットをセットすると OUT トークンおよび PING トークンに対する応答が変化します。

- 1: OUT トークンおよび PING トークンに対する応答処理を Active モードにします
- 0: OUT トークンおよび PING トークンに対する応答処理を Normal モードにします (初期値)

Active モードと Normal モードの詳細は、4.2.1(6)(e) Mode Mask Register の補足2にまとめます。

Bit12 (STATUS_STL) : このビットをセットすると Control 転送のステータス・ステージで0バイト長以外のデータを受信した場合の応答が変化します。

- 1: ステータス・ステージで0バイト長以外のデータを受信した場合に Stall 応答します
- 0: ステータス・ステージで0バイト長以外のデータを受信した場合に ACK 応答します (初期値)

Bit11- Bit8 : 予約 書き込み無効, 読み出し不定

Bit7 (CPUDEC_ALL_Set)

: このビットを使用する場合、ファームウェアによりすべてのリクエストを処理しなければなりません。

- 1: すべてのリクエストを強制的に CPUDEC 処理にする
- 0: 通常動作モード (初期値)

Bit6 (CPUDEC_Sel_Set)

: このビットは自動 Stall 応答のリクエストを CPUDEC 処理に切り替えます。Configured ステート前の CLEAR_FEATURE/SET_FEATURE/GET_STATUS (EPn)

GET/SET_INTERFACE も CPUDEC 処理に切り替わるので注意してください。

1 : 自動 Stall 応答のリクエストを強制的に CPUDEC 処理にする

0 : 自動 Stall 応答のまま (初期値)

Bit5- Bit3 : 予約 書き込み無効, 読み出し不定

Bit2 (Max_Pack_Set) : Mode Status Reg. Max_Pack_S bit の値をファームウェアによって操作するためのビットです。Mode Mask Reg. をセットしたとき, このビットの値が Mode Status Reg. に反映する値として取り込まれます。

1 : Mode Status Reg. Max_Pack_S bit を “ 1 ” に固定する。

0 : Mode Status Reg. Max_Pack_S bit を “ 0 ” に固定する。(初期値)

Bit1 (Default_Set) : Mode Status Reg. Default_S bit の値をファームウェアによって操作するためのビットです。Mode Mask Reg. をセットしたとき, このビットの値が Mode Status Reg. に反映する値として取り込まれます。

1 : Mode Status Reg. Default_S bit を “ 1 ” に固定する。

0 : Mode Status Reg. Default_S bit を “ 0 ” に固定する。(初期値)

Bit0 (CONF_Set) : Mode Status Reg. CONF_S bit の値をファームウェアによって操作するためのビットです。Mode Mask Reg. をセットしたとき, このビットの値が Mode Status Reg. に反映する値として取り込まれます。

1 : Mode Status Reg. CONF_S bit を “ 1 ” に固定する。

0 : Mode Status Reg. CONF_S bit を “ 0 ” に固定する。(初期値)

(c) Mode Control 1 Register (R/W)

34H (34/35H)

Mode Control Reg.はEPC2 Core部分の各種基本設定を行うレジスタです。このレジスタはR/W可能でありハードウェア・リセット時、およびGPR Reg. F_RST bitセット時のみクリアされます。それ以外のセット、リセットはファームウェアが行う必要があるので注意が必要です。

Mode Status Reg.のビットがハードウェアにより自動的にセットされても、このレジスタで設定を行った場合はいかなる場合も優先されるので注意が必要です。

Mode Control 1 High Register (35H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	EP3_ON_Set

Mode Control 1 Low Register (34H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	EP1_Over_ Run_Set	EP0_Over_ Run_Set	x	x	Intf0_STG_Set

Bit15- Bit9 : 予約 書き込み無効, 読み出し不定

Bit8 (EP3_ON_Set) : EP3 を有効にするか無効にするかを設定するビットです。このビットはFS動作時でもHS動作時でも有効です。このビットがクリアされていると、EP3に対するコントロール転送に対してはStall 応答となり、EP3に対するIN トークンを受けても無応答となります。

1 : EP3 を有効にする

0 : EP3 を無効にする (初期値)

Bit7- Bit5 : 予約 書き込み無効, 読み出し不定

Bit4 (EP1_Over_Run_Set)

: EP1 に対する Bulk OUT 転送において、Overrun が発生した場合に次のパケットに対して、通常のリトライ転送と同じ扱いにするかしないかを設定するビットです。

1 : Overrun 発生時に次のパケットに対して、リトライ転送として取り扱う

0 : Overrun 発生時に無応答となり、次のパケットに対して Stall 応答となる

(EP1 Status Reg. Halt bit をセットします)(初期値)

Bit3 (EP0_Over_Run_Set)

: EP0 に対する Control OUT 転送において、Overrun が発生した場合に次のパケットに対して、通常のリトライ転送と同じ扱いにするかしないかを設定するビットです。

1 : Overrun 発生時に次のパケットに対して、リトライ転送として取り扱う

0 : Overrun 発生時に無応答となり、次のパケットに対して Stall 応答となる

(SNDPHY Reg. EP0_Stall bit をセットします)(初期値)

Bit2- Bit1 : 予約 書き込み無効, 読み出し不定

Bit0 (Intf0_STG_Set) : EP1 を Storage Class として使用することを示します。このビットと BulkOnly Control Reg. EP1_CBW_ON bit は同一論理で使用してください。

1 : EP1 を Storage Class として使用する

0 : EP1 を Storage Class として使用しない (初期値)

(d) Mode Status Register (R)

36H (36/37H)

Mode Status Reg.は、EPC2 Core 部分の各種基本設定状況を示すレジスタです。

Mode Status High Register (37H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
Bus Mode_S	Speed_S	VBUS_Status_S	x	x	x	x	x

Mode Status Low Register (36H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	Max_Pack_S	Default_S	CONF_S

Bit15 (Bus Mode_S) : このビットは常にセット (= 1) されています。

Bit14 (Speed_S) : このビットは、Bus Reset 後に HS モードか FS モードのどちらになったかを示すビットです。

1: HS モードで動作している

0: FS モードで動作している

Bit13 (VBUS_Status_S)

: このビットは外部端子 VBUS のレベルを表示します。

1: VBUS が "1" である

0: VBUS が "0" である

Bit12- Bit3

: 予約 書き込み無効, 読み出し不定

Bit2 (Max_Pack_S)

: このビットがセットされていると EP0 で送信パケットサイズを 8 Byte 以外に切り替えたことを示します。このビットはハードウェアにより自動的にセットされますが、EPC2 Core が RESET されるまでクリアされません。このビットは GET_DESCRIPTOR:Device を自動処理したあとにセットされます (Status ステージ正常終了時)。USB_BUS RESET ではクリアされません。

1: 8 Byte 以外で送信を行っている

0: 8 Byte で送信を行っている (初期値)

Bit1 (Default_S)

: このビットがセットされているとデフォルト状態になっていることを示します。このビットがセットされるまで、すべての EP に対するトランザクションに 응답しません。このビットは、Bus_RESET により自動的にセットされます。

1: デフォルト状態である

0: デフォルト状態でない (初期値)

Bit0 (CONF_S)

: このビットがセットされていると SET_CONFIGURATION が完了したことを示します。SET_CONFIGURATION で Configuration 値 = 1 を受信したときにセットされます。このビットがセットされていないかぎり、EP 0 以外に対するアクセスは無視されます。

1: SET_CONFIGURATION が完了した

0: SET_CONFIGURATION が完了していない (初期値)

なお、SET_CONFIGURATION で Configuration 値 = 0 を受信したとき、このビットはクリアされます。また、USB_Bus_RESET を検出したときにクリアされます。

(e) Mode Mask Register (R/W)

38H (38/39H)

このレジスタは通常使用しないレジスタです。

Mode Mask Reg.は Mode Control Reg.の Bit のマスクを行うためのレジスタです。

このレジスタの各ビットを設定することにより, Mode Control Reg.の設定を Mode Status Reg.へ反映させることが可能です。このビットをセットすることで Mode Control Reg.の値を取り込みます。

また, 該当ビットをクリアすることにより, ファームウェア制御からハードウェア制御へ戻ります。

このレジスタは R/W 可能でありハードウェア・リセット時, および GPR Reg. F_RST bit セット時のみクリアされます。それ以外のセット, リセットはファームウェアが行う必要があるので注意してください。Mode Status Reg.のビットがハードウェアにより自動的にセットされても, このレジスタで設定を行った場合はいかなる場合も優先されるので注意が必要です。

Mode Mask High Register (39H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

Mode Mask Low Register (38H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	Max_Pack_M	Default_M	CONF_M

Bit15-3 : 予約 書き込み無効, 読み出し不定

Bit2 (Max_Pack_M) : Mode Control Reg.に設定されている値を, Mode Status Reg.に反映するためのビットです。このビットをセットしたときに値が取り込まれます。ただし, このビットのセットとハードウェアによる Mode Status Reg.へのアクセスが競合した場合, このビットの制御が優先されます。また, このビットをクリアすることによりハードウェア制御に戻ります。

1 : Mode Control Reg.の値を取り込む。

0 : Mode Status Reg. Max_Pack_S bit 制御をハードウェア制御にする。(初期値)

Bit1 (Default_M) : Mode Control Reg.に設定されている値を, Mode Status Reg.に反映するためのビットです。このビットをセットしたときに値が取り込まれます。ただし, このビットのセットとハードウェアによる Mode Status Reg.へのアクセスが競合した場合, このビットの制御が優先されます。また, このビットをクリアすることによりハードウェア制御に戻ります。

1 : Mode Control Reg.の値を取り込む。

0 : Mode Status Reg. Default_S bit 制御をハードウェア制御にする。(初期値)

Bit0 (CONF_M) : Mode Control Reg.に設定されている値を, Mode Status Reg.に反映するためのビットです。このビットをセットしたときに値が取り込まれます。ただし, このビットのセットとハードウェアによる Mode Status Reg.へのアクセスが競合した場合, このビットの制御が優先されます。また, このビットをクリアすることによりハードウェア制御に戻ります。

1 : Mode Control Reg.の値を取り込む。

0 : Mode Status Reg. CONF_S bit 制御をハードウェア制御にする。(初期値)

● Mode Reg.の補足 1

Mode Reg.は、Mode Control Reg.と Mode Status Reg.と Mode Mask Reg.があります。

EPC2のモードを決定するのは、Mode Status Reg.の設定となります。

EPC2を通常モードで使用する場合は、Mode Control Reg.を操作する必要はありません。

検証時や特殊なモードで使用する場合のみ Mode Control Reg.を用いて設定を行ってください。

● Mode Reg.の補足 2

Mode Control Reg. Active_Res_Set bit の補足を次にまとめます。

USB2.0において、OUT および PING トークンによるハンドシェイクが追加されました。その際の返信するトークンの対応について次のように定めます。

(1) Active モード

EP1 の場合の OUT または PING トークンに対する応答

	PHY 側バッファにデータなし CPU 側バッファにデータなし	PHY 側バッファにデータなし CPU 側バッファにデータあり	PHY 側バッファにデータあり CPU 側バッファにデータあり
OUT	ACK	ACK	NAK
PING	ACK	ACK	ACK

EP0 の場合の OUT または PING トークンに対する応答

	バッファにデータなし	バッファにデータあり
OUT	ACK	NAK
PING	ACK	ACK

(2) Normal モード

EP1 の場合の OUT または PING トークンに対する応答

	PHY 側バッファにデータなし CPU 側バッファにデータなし	PHY 側バッファにデータなし CPU 側バッファにデータあり	PHY 側バッファにデータあり CPU 側バッファにデータあり
OUT	ACK	NYET	NAK
PING	ACK	ACK	NAK

EP0 の場合の OUT または PING トークンに対する応答

	バッファにデータなし	バッファにデータあり
OUT	NYET	NAK
PING	ACK	NAK

(f) Req_Sel Control Register (R/W)

3AH (3A/3BH)

Req_Sel Control Reg.は、ハードウェア実行リクエストの実行状況を INT Status 0 Reg. Req_Sel bit に反映させるかしないかを設定するレジスタです。このレジスタで設定されたリクエストはファームウェア処理となります。

μPD720122 では、これらのリクエストをすべてファームウェアにて処理を行ってください。

Req_Sel Control High Register (3BH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	GetDesc Str03	GetDesc Str02	GetDesc Str01	GetDesc Str00

Req_Sel Control Low Register (3AH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SETF_TEST_MODE	GetDevID	Soft Reset	Get PSt	Get_OtherSP_Conf	Get_Device_Qualifier	Get_Des_Conf	Get_Des_Dev

Bit15- Bit12 : 予約 書き込み無効, 読み出し不定

Bit11 (GetDescStr03) : このビットをセットして使ってください。

GET_DESCRIPTOR String (Index = 03) リクエストを受信したときに INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。

ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると GET_DESCRIPTOR String (Index = 03) リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

1 : GET_DESCRIPTOR String (Index = 03) リクエストを受信したときに割り込みをセットさせる

0 : GET_DESCRIPTOR String (Index = 03) リクエストを受信したときに割り込みをセットさせない (初期値)

Bit10 (GetDescStr02) : このビットをセットして使ってください。

GET_DESCRIPTOR String (Index = 02) リクエストを受信したときに INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。

ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると GET_DESCRIPTOR String (Index = 02) リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

1 : GET_DESCRIPTOR String (Index = 02) リクエストを受信したときに割り込みをセットさせる

0 : GET_DESCRIPTOR String (Index = 02) リクエストを受信したときに割り込みをセットさせない (初期値)

Bit9 (GetDescStr01) : このビットをセットして使ってください。

GET_DESCRIPTOR String (Index = 01) リクエストを受信したときに INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。

ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると GET_DESCRIPTOR String (Index = 01) リクエスト

を受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

1: GET_DESCRIPTOR String(Index = 01)リクエストを受信したときに割り込みをセットさせる

0: GET_DESCRIPTOR String(Index = 01)リクエストを受信したときに割り込みをセットさせない(初期値)

Bit8 (GetDescStr00) : このビットをセットして使ってください。

GET_DESCRIPTOR String(Index = 00)リクエストを受信したときに INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。

ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると GET_DESCRIPTOR String (Index = 00) リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

1: GET_DESCRIPTOR String(Index = 00)リクエストを受信したときに割り込みをセットさせる

0: GET_DESCRIPTOR String(Index = 00)リクエストを受信したときに割り込みをセットさせない(初期値)

Bit7 (SETF_TEST_MODE)

: このビットをセットして使ってください。

SET_FEATURE_TEST_MODE リクエスト (wIndex = 01H-05H)を受信した場合に, INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると, SET_FEATURE_TEST_MODE リクエスト (wIndex = 01H-05H)を受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

1: SET_FEATURE_TEST_MODE リクエストを受信したときに割り込みをセットさせる

0: SET_FEATURE_TEST_MODE リクエストを受信したときに割り込みをセットさせない(初期値)

Bit6 (GetDevID) : このビットをセットして使ってください。

GET_DEVICE ID リクエストを受信した場合に, INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると GET_DEVICE ID リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

1: GET_DEVICE ID リクエストを受信したときに割り込みをセットさせる

0: GET_DEVICE ID リクエストを受信したときに割り込みをセットさせない(初期値)

Bit5 (Soft Reset) : このビットをセットして使ってください。SOFT RESET リクエストを受信した場合に, INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると SOFT RESET リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

- 1: SOFT RESET リクエストを受信したときに割り込みをセットさせる
- 0: SOFT RESET リクエストを受信したときに割り込みをセットさせない(初期値)

Bit4 (Get PSt) : このビットをセットして使ってください。

GET_PORT Status リクエストを受信した場合に、INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると GET_PORT Status リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

- 1: GET_PORT Status リクエストを受信したときに割り込みをセットさせる
- 0: GET_PORT Status リクエストを受信したときに割り込みをセットさせない(初期値)

Bit3 (Get_OtherSP_Conf)

: このビットをセットして使ってください。

GET_DESCRIPTOR Other_Speed_Configuration リクエストを受信した場合に、INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると、GET_DESCRIPTOR Other_Speed_Configuration リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

- 1: GET_DESCRIPTOR Other_Speed_Configuration リクエストを受信したときに割り込みをセットさせる
- 0: GET_DESCRIPTOR Other_Speed_Configuration リクエストを受信したときに割り込みをセットさせない(初期値)

Bit2 (Get_Device_Qualifier)

: このビットをセットして使ってください。GET_DESCRIPTOR Device_Qualifier リクエストを受信した場合に、INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると、GET_DESCRIPTOR Device_Qualifier リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

- 1: GET_DESCRIPTOR Device_Qualifier リクエストを受信したときに割り込みをセットさせる
- 0: GET_DESCRIPTOR Device_Qualifier リクエストを受信した場合に割り込みをセットさせない(初期値)

Bit1 (Get_Des_Conf) : このビットをセットして使ってください。GET_DESCRIPTOR Configuration リクエストを受信した場合に、INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると、GET_DESCRIPTOR Configuration リクエストを受信してもハードウェア自動実行を行いません。すべてのリクエスト処理をファームウェアで行ってください。

- 1: GET_DESCRIPTOR Configuration リクエストを受信したときに割り込みをセットさせる

0: GET_DESCRIPTOR Configuration リクエストを受信したときに割り込みを
セットさせない(初期値)

Bit0 (Get_Des_Dev) : このビットをセットして使ってください。

GET_DESCRIPTOR Device リクエストを受信した場合に、INT Status 0 Reg. Req_Sel bit をセットするかしないかを設定します。ファームウェアは EP0 Setup Reg. からリクエストを読み出して必要な処理を行ってください。このビットをセットすると、GET_DESCRIPTOR Device リクエストを受信してもハードウェア自動実行を行いません。すべてファームウェアで行ってください。

1: GET_DESCRIPTOR Device リクエストを受信したときに割り込みをセット
させる

0: GET_DESCRIPTOR Device リクエストを受信したときに割り込みをセット
させない(初期値)

IoT products

(g) Req_Sel Status Register (R)

3CH (3C/3DH)

Req_Sel Status Reg.は、Req_Sel Control Reg.にて選択されたリクエストを受信したことを示すレジスタです。割り込み発生時のリードのみ有効となります。このレジスタはリード・クリアされます。ここで定義されているリクエストを受信した場合には、INT Status 0 Reg. Protect Bit はセットされますが、INT Status 0 Reg. CPUDEC bit はセットされません。

また、Req_Sel Control Reg.で選択されているリクエストは、ハードウェア実行処理は行われません。必ずファームウェアで処理を行ってください。

Req_Sel Status High Register (3DH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	BOMSR_S	GMLUN_S	ADSC_S	GetDescStr03_S	GetDescStr02_S	GetDescStr01_S	GetDescStr00_S

Req_Sel Status Low Register (3CH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SETF_TEST_MODE_S	GetDevID_S	Soft Reset_S	Get PSt_S	Get_OtherSP_Conf_S	Get_Device_Qualifier_S	Get_Des_Conf_S	Get_Des_Dev_S

- Bit15 : 予約 書き込み無効, 読み出し不定
- Bit14 (BOMSR_S) : BulkOnly Mass Storage Reset リクエストを受信したことを示します。このビットがセットされた場合、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。
 - 1 : BulkOnly Mass Storage Reset リクエストを受信した
 - 0 : BulkOnly Mass Storage Reset リクエストを受信していない (初期値)
- Bit13 (GMLUN_S) : Get Max LUN リクエストを受信したことを示します。このビットがセットされた場合、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。
 - 1 : Get Max LUN リクエストを受信した
 - 0 : Get Max LUN リクエストを受信していない (初期値)
- Bit12 (ADSC_S) : Accept Device-Specific Command リクエストを受信したことを示します。このビットがセットされた場合、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。
 - 1 : Accept Device-Specific Command リクエストを受信した
 - 0 : Accept Device-Specific Command リクエストを受信していない (初期値)
- Bit11 (GetDescStr03_S) : GET_DESCRIPTOR String (Index = 03) リクエストを受信したことを示します。このビットがセットされた場合、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。
 - 1 : GET_DESCRIPTOR String (Index = 03) リクエストを受信した
 - 0 : GET_DESCRIPTOR String (Index = 03) リクエストを受信していない (初期値)
- Bit10 (GetDescStr02_S) : GET_DESCRIPTOR String (Index = 02) リクエストを受信したことを示します。このビットがセットされた場合、EP0 Setup Reg.からリクエストを読み出して必要な処理を行っ

てください。

- 1 : GET_DESCRIPTOR String (Index = 02) リクエストを受信した
- 0 : GET_DESCRIPTOR String (Index = 02) リクエストを受信していない
(初期値)

Bit9 (GetDescStr01_S)

: GET_DESCRIPTOR String(Index = 01)リクエストを受信したことを示します。このビットがセットされた場合、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

- 1 : GET_DESCRIPTOR String (Index = 01) リクエストを受信した
- 0 : GET_DESCRIPTOR String (Index = 01) リクエストを受信していない
(初期値)

Bit8 (GetDescStr00_S)

: GET_DESCRIPTOR String(Index = 00)リクエストを受信したことを示します。このビットがセットされた場合、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

- 1 : GET_DESCRIPTOR String (Index = 00) リクエストを受信した
- 0 : GET_DESCRIPTOR String (Index = 00) リクエストを受信していない
(初期値)

Bit7 (SETF_TEST_MODE_S)

: SET_FEATURE_TEST_MODE リクエスト (wIndex = 01H-05H) を受信したことを示します。このビットがセットされた場合は、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

- 1 : SETF_TEST_MODE リクエストを受信した
- 0 : SETF_TEST_MODE リクエストを受信していない (初期値)

Bit6 (GetDevID_S)

: GET_DEVICE ID リクエストを受信したことを示します。このビットがセットされた場合は EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

- 1 : GET_DEVICE ID リクエストを受信した
- 0 : GET_DEVICE ID リクエストを受信していない (初期値)

Bit5 (Soft Reset_S)

: SOFT RESET リクエストを受信したことを示します。このビットがセットされた場合は EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

- 1 : SOFT RESET リクエストを受信した
- 0 : SOFT RESET リクエストを受信していない (初期値)

Bit4 (Get_PSt_S)

: GET_PORT Status リクエストを受信したことを示します。このビットがセットされた場合は EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

- 1 : GET_PORT Status リクエストを受信した
- 0 : GET_PORT Status リクエストを受信していない (初期値)

Bit3 (Get_OtherSP_Conf_S)

: GET_DESCRIPTOR Other_Speed_Configuration リクエストを受信したことを示します。このビットがセットされた場合は、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

- 1 : GET_DESCRIPTOR Other_Speed_Configuration リクエストを受信した
- 0 : GET_DESCRIPTOR Other_Speed_Configuration リクエストを受信していない (初期値)

Bit2 (Get_Device_Qualifier_S)

: GET_DESCRIPTOR Device_Qualifier リクエストを受信したことを示します。このビットがセットされた場合は、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

1 : GET_DESCRIPTOR Device_Qualifier リクエストを受信した

0 : GET_DESCRIPTOR Device_Qualifier リクエストを受信していない

(初期値)

Bit1 (Get_Des_Conf_S)

: GET_DESCRIPTOR Configuration リクエストを受信したことを示します。このビットがセットされた場合は、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

1 : GET_DESCRIPTOR Configuration リクエストを受信した

0 : GET_DESCRIPTOR Configuration リクエストを受信していない (初期値)

Bit0 (Get_Des_Dev_S)

: GET_DESCRIPTOR Device リクエストを受信したことを示します。このビットがセットされた場合は、EP0 Setup Reg.からリクエストを読み出して必要な処理を行ってください。

1 : GET_DESCRIPTOR Device リクエストを受信した

0 : GET_DESCRIPTOR Device リクエストを受信していない (初期値)

(7) Class_Spec Register グループ

(a) BulkOnly Control Register (R/W)

3EH (3E/3FH)

Mass Storage Class BulkOnly 転送の機能のサポート設定を行うレジスタです。

BulkOnly Control High Register (3FH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

BulkOnly Control Low Register (3EH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	x	x	EP1_CBW_ON

Bit15- Bit1 : 予約 書き込み無効, 読み出し不定

Bit0 (EP1_CBW_ON) : EP1 が CBW Signature 受信したときに INT Status 0 Reg. BulkOnly bit をセットします。

1 : INT Status 0 Reg. BulkOnly bit をセットする

0 : INT Status 0 Reg. BulkOnly bit をセットしない (初期値)

このビットは, Mode Control 0 Reg. Intf0_STG_Set bit と同時に操作してください。

備考 μ PD720122 を BulkOnly Protocol で使用する場合は, CBW 受信までは DMA 転送を許可しないことを推奨します。DMA 転送が許可されている場合は EP1_CBW_ON bit がセット (= 1) されても DMA 転送が行われます (ショート・パケットと同様になります)。

ただし, DMA 転送先で BulkOnly Protocol を制御する回路がある場合は, その限りではありません。

(b) BulkOnly Status Register (R)

40H (40/41H)

EP1 に CBW signature を受信したかを表示するレジスタです。このレジスタはリード・クリアされま
す。

BulkOnly Status High Register (41H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
x	x	x	x	x	x	x	x

BulkOnly Status Low Register (40H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
x	x	x	x	x	x	x	EP1 CBW

Bit15-1 : 予約 書き込み無効, 読み出し不定

Bit0 (EP1 CBW) : EP1 (Bulk OUT) に CBW パケットを受信したことを示します。

Bulk Only Control Reg. EP1_CBW_ON bit が “0” のときはセットされません。

このビットは, CBW パケットを格納したバッファが読み出せる状態 (CPU 側に接続された) になったときにセットされます。

1 : CBW 受信した

0 : CBW 受信していない (初期値)

4.2.2 Trans Data Register 領域

Function 1, 3 (16 bit CPU Bus モード) を選択した場合と、Function 2 (8 bit CPU Bus モード) を選択した場合で、Trans Data Reg. のアドレッシングが異なっています (他のレジスタは同じアドレス)。

また、アクセス手順も異なるので注意が必要です。

- (1) EP0 Read16 Register - (13) EP3 Write8E Register : Function 1, 3 用
- (14) EP0 Read8 Register - (24) EP3 Write8E Register : Function 2 用

使用する Function により、選択して参照してください。

(1) EP0 Read16 Register (R) (Function 1, 3 専用レジスタ)

42H

EP0 Read16 Reg. はコントロール転送のデータ・ステージでホストから送られてきたデータを EP0 Read Buffer から読み出すためのレジスタです。

ハードウェアはホストからのデータを受信すると EP0 Read Buffer に自動的に転送を行います。

データを正常受信すると INT Status 0 Reg. EP0OUTDT bit をセットして割り込み INT0B を発行します。

EP0 Length16 Reg. はデータ受信時、常時受信データ長の更新を行っています。

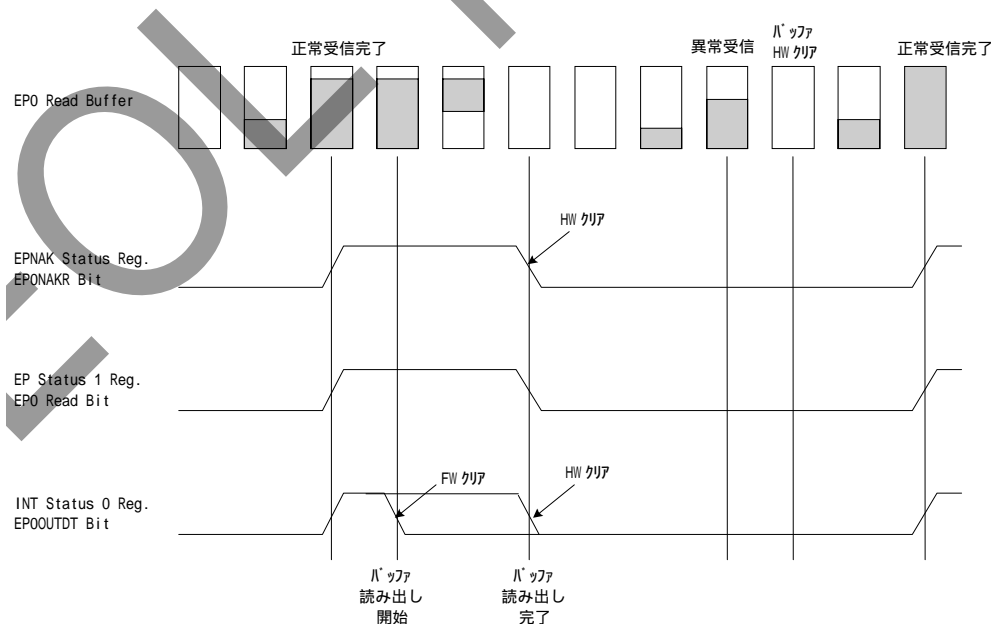
最終的に転送が異常の場合には EP0 Length16 Reg. は 0000H にクリアされ、割り込みも発生しません。

EP0 Read Buffer は、バッファ構造となっており 64 バイトの容量を持ちます。

保持しているデータの読み出しは、EP0 Length16 Reg. に示されているバイト数だけファームウェアでこのレジスタをアクセスして読み出しを行うことで実現できます。

全データの読み出しが完了したか否かは EP Status 1 Reg. EP0 Read bit が “0” になったか否かでも確認できます。EP0 Length16 Reg. の値が 0000H になると EPNAK Status Reg. EP0NAKR bit がクリアされ受信可能状態になります。

図 4-2 EP0 Read16 Register



(2) EP0 Length16 Register (R)(Function 1, 3 専用レジスタ)

44H

EP0 Length16 Reg.は、コントロール転送のデータ・ステージでホストから送られてきたデータ量（表示される値の単位は、バイトです）を保持するためのレジスタです。

EP0 Length16 Reg.は受信中、常時受信データ長の更新を行っています。

最終的に転送が異常の場合にはEP0 Length16 Reg.は0000Hにクリアされ割り込みは発生しません。

このレジスタはEP0 Read16 Reg.をリードするたびにデクリメントされます。

(3) EP0 Setup16 Register (R)(Function 1, 3 専用レジスタ)

46H

EP0 Setup 16 Reg.は、ホストから送られてきた Setup トランザクション内のリクエストを保持している SetUp Data Buffer からデータを読み出すためのレジスタです。

SetUp Data Buffer は、Setup トランザクションを受信すると常にデータの書き込みを行います。

ハードウェアは Setup トランザクションを正常受信したとき、INT Status 0 Reg. Protect bit とファームウェア処理のリクエストなら INT Status 0 Reg. CPUDEC bit または INT Status 0 Reg. Req_Sel bit をセットし、割り込み INT0B を発行します。また、Vender リクエストなら INT Status 0 Reg. Vendor bit をセットし、割り込み INT0B を発行します。

ファームウェアは必ず8バイトまとめてリードを行ってください。まとめてリードを行わなかった場合、以降のリクエストを正常にデコードできなくなる可能性があります。

1つのコントロール転送中に複数回のセットアップ・トークン（Setup 中の Setup）を受信した場合、ファームウェアによりリクエストのデコードを行いEP0 Read16 Reg.の読み出し、または、EP0 Write16 Reg.またはEP0 Write8E Reg.の書き込みを行う際、INT Status 0 Reg. Protect bit を必ずチェックしてください。

セットされているなら複数回 Setup トランザクションを受信（Setup 中の Setup が発生）しているのでEP0 Setup16 Reg.を再度読み出してください。

Set Up Data Buffer は二重化しておらず、常に書き込みを許可しているので、データ・リード中に Setup トランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。

図 4-3 EP0 Setup16 Register (1)

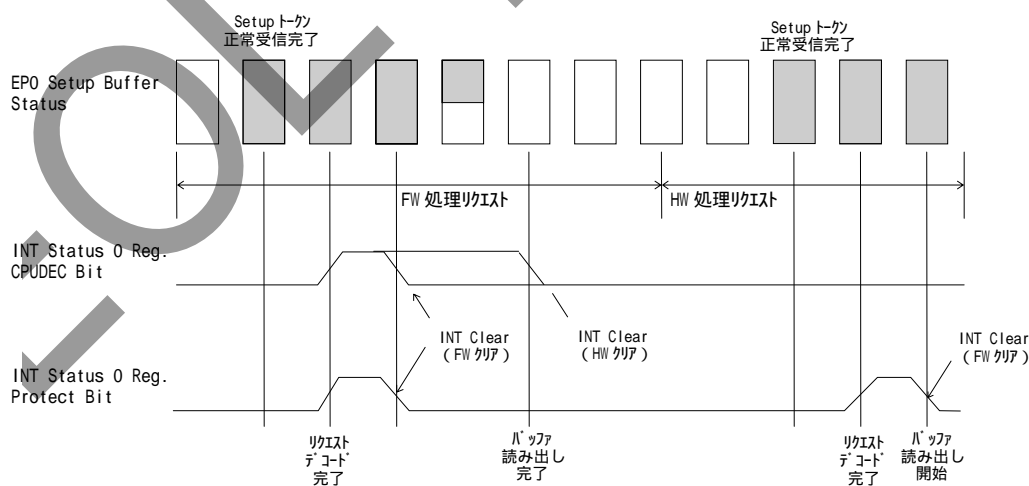
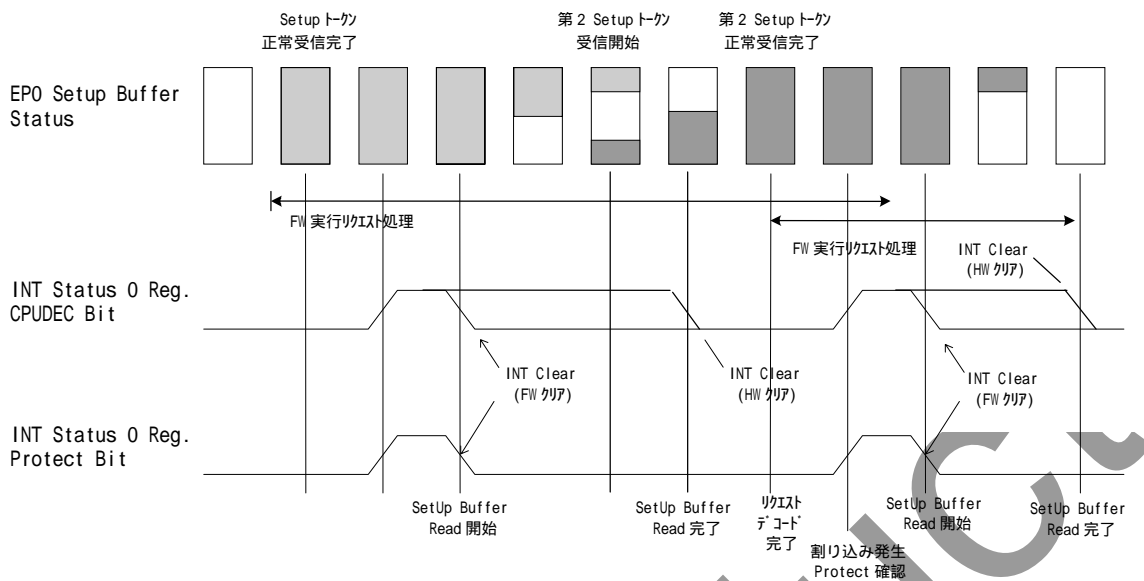
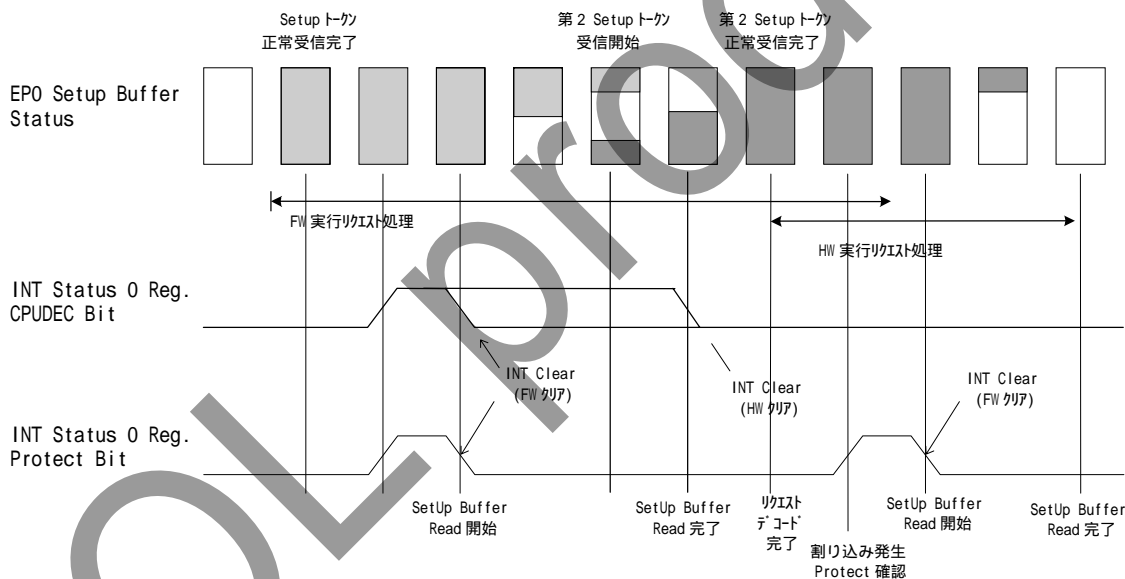


図 4-4 EP0 Setup16 Register (2)

(a) 複数回の Setup トランザクション (後続リクエストがファームウェア実行リクエスト (CPUDEC) の場合)



(b) 複数回の Setup トランザクション (後続リクエストがハードウェア実行リクエストの場合)



(4) EP0 Write16 Register (W) (Function 1, 3 専用レジスタ)

48H

EP0 Write16 Reg.は、Control IN 用のデータを EP0 Write Buffer に引き渡すためのレジスタです。

このレジスタは Word 単位でのみ書き込みが可能です。奇数バイト長のデータを送信する場合には、Word 単位でこのレジスタにデータの書き込みを行い、最後のバイト (奇数バイト) を EP0 Write8E Reg. に書き込んでください。

ハードウェアは EPNAK Status Reg. EP0NAKW bit がセットされている場合に限り IN トークンに同期して USB バスへのデータの送信を行います。

データが送信されホストが正常受信した場合、EPNAK Status Reg. EP0NAKW bit がハードウェアによって自動的にクリアされます。

偶数バイト長のショート・パケットを送信する際は、このレジスタにデータを書き込み Data End Reg. EP0W_End bit をセットすることにより送信が行われます (EP Status 1 Reg.にはデータありと表示され

ます。

奇数バイト長のショート・パケットを送信する場合は、最後の奇数バイト目を EP0 Write8E Reg. に書き込んで、Data End Reg. EP0W_End bit をセットすることにより送信が行われます。

さらに、データ長 0 のパケットを送信する際は、EP0 Write バッファのクリアを行い Data End Reg. EP0W_End bit をセットすることにより送信が行われます (EP Status 1 Reg. にはデータありと表示されます)。

また、送信が完了していない状態で、次の Setup トークンを受信したときには自動的にクリアされます。

また、Control Read 転送においてデータ・ステージで ACK を正常に受信できていない状態で、ステータス・ステージに切り替わった場合、このレジスタは自動的にクリアされます。同時に EPNAK Status Reg. EP0NAKW bit がセットされている場合にもクリアされます。

図 4-5 EP0 Write16 Register (1)

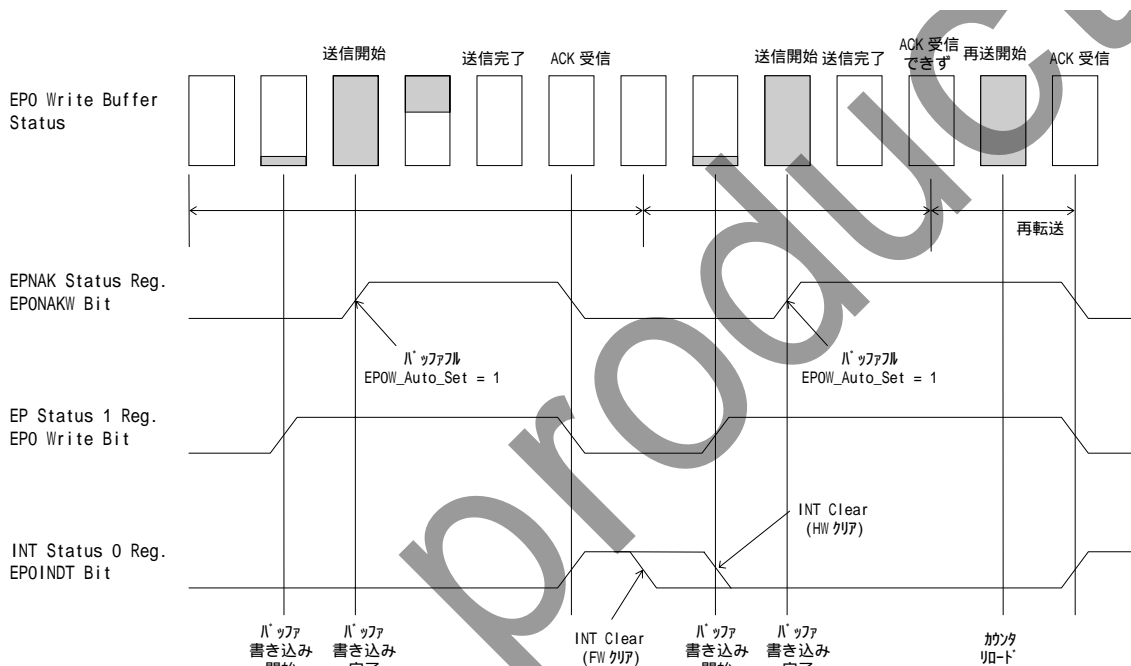
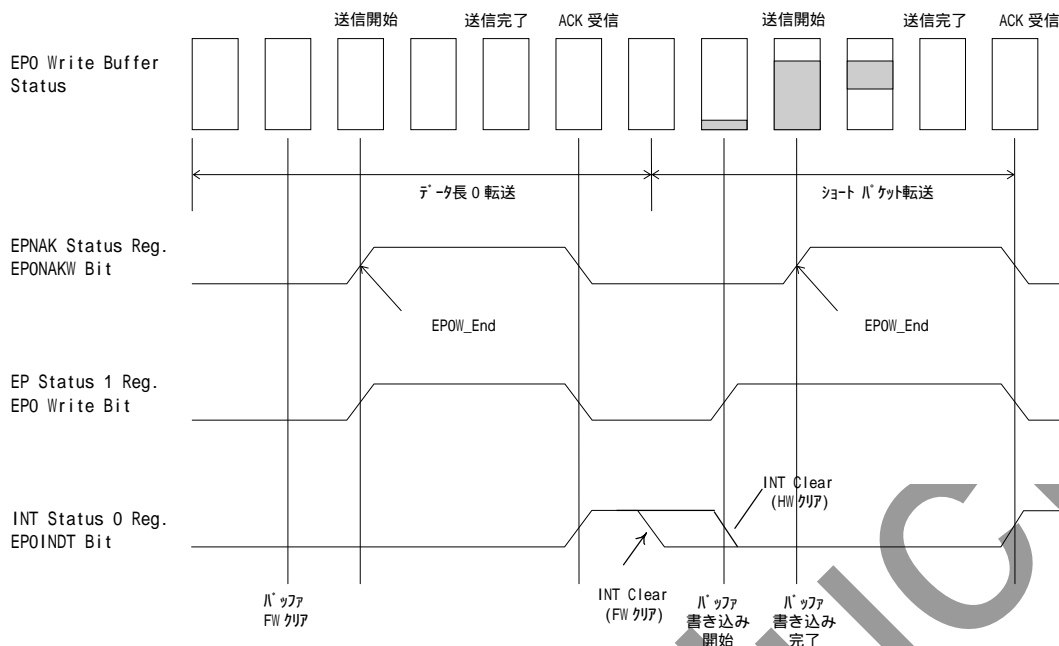


図 4-6 EP0 Write16 Register (2)



(5) EP0 Write 8E Register (W)(Function 1, 3 専用レジスタ)

4AH

EP0 Write 8E Reg.は、奇数バイト長のデータを送信する場合の最後のバイト（奇数バイト）を書き込むためのレジスタです。

このレジスタに書き込んだあとに Data End Reg. EP0W_End bit をセットしてください。その後、IN トークンに同期してデータが送信されます。

(6) EP1 Read16L Register (R)(Function 1, 3 専用レジスタ)

4EH

EP1 Read16L Reg.は、ホストから送られてくるデータを保持している EP1 Buffer からデータを読み出すためのレジスタです。このレジスタは Word 単位で読み出すためのレジスタです。

ハードウェアはホストから EP1 に対するデータを受信すると、EP1 Buffer に自動的に転送を行います。

EP1 Buffer はダブル・バッファ構造となっており、そのサイズは FS 動作時と HS 動作時によって異なります。

データを正常受信するとバッファ・トグル動作が起こり INT Status 0 Reg. EP1OUTDT bit をセットし、EP1 Length16 Reg. に受信したデータ量を保持すると共に、割り込みまたは DMA 要求を発行します。この割り込みと DMA 要求の切り替えは DMA Control 2 Reg. EP1_DMA_Set bit によって選択が可能です。

保持しているデータの読み出しは、EP1 Length16 Reg. に示されているバイト数だけ読み出しを行うことで実現できます。

PHY 側バッファに正常な受信データが保持されており、EP1 Length16 Reg. の値が 0000H になるとバッファのトグル動作が発生して EPNAK Status Reg. EP1NAK bit は自動的にクリアされます。なお、EP1 Length16 Reg. の値以上のデータを読み出した場合にバッファのトグル条件が成立すると、バッファの切り換えが起こり、結果として次のパケットを誤って読み出してしまふ可能性があります。また、トグル条件が成立しない場合には、読み出しを続けると先頭データを繰り返し読み出すことになるのでご注意ください。

図 4-7 EP1 Read16L Register (1)

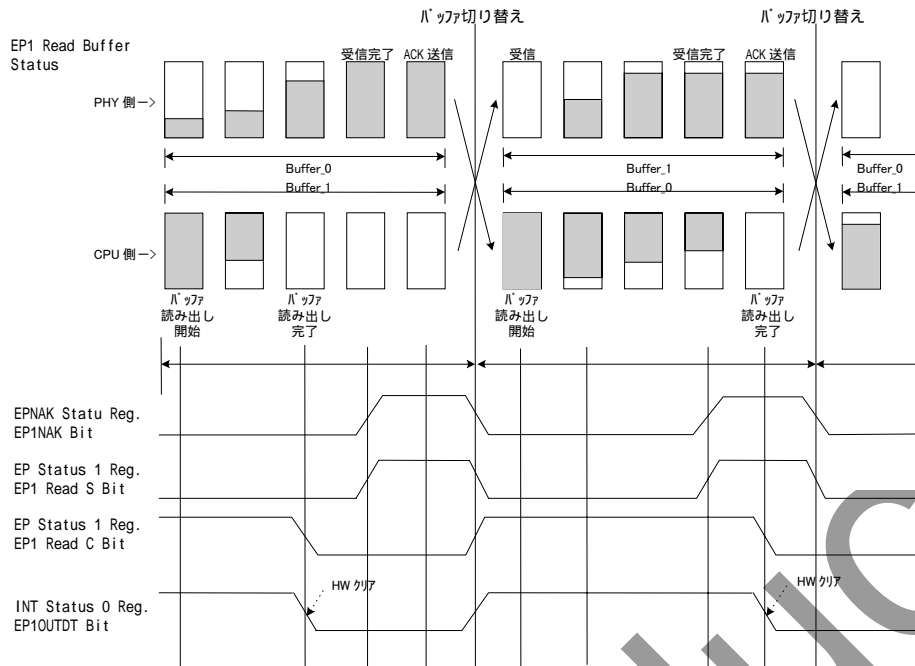
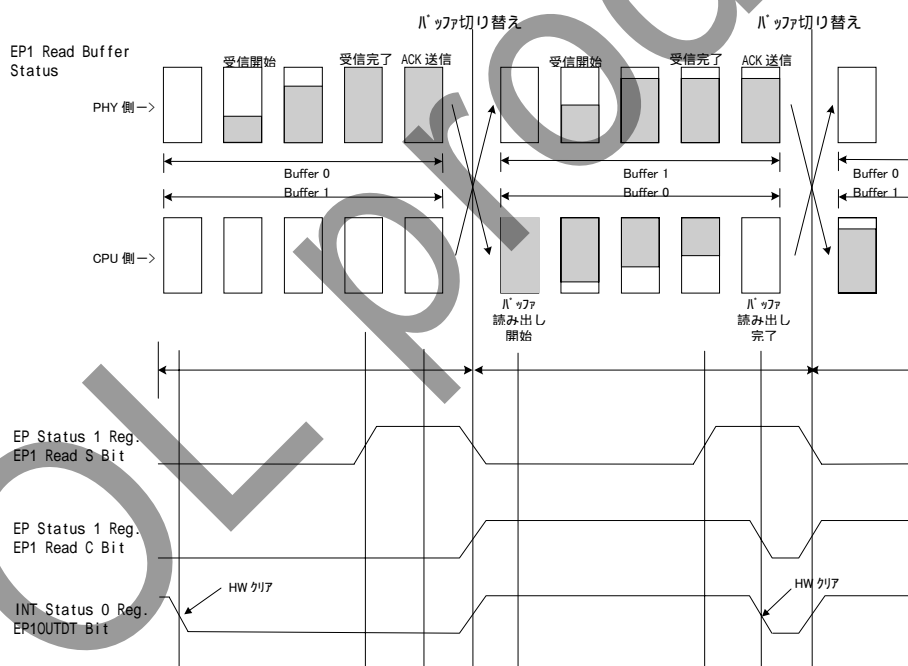


図 4-8 EP1 Read16L Register (2)



(7) EP1 Read8L Register (R)(Function 1, 3 専用レジスタ)

50H

このレジスタは通常は使用しないでください。

(8) EP1 Length16 Register (R)(Function 1, 3 専用レジスタ)

52H

EP1 Length16 Reg.は、ホストから EP1 に送られてきたデータ量(表示される値の単位は、バイトです)を保持するためのレジスタです。

EP1 Length16 Reg.は、正常受信後のバッファ・トグル発生タイミングで更新されます。また、同時に割り込みがアサートされます。

ファームウェアはこのレジスタを読み、示されているバイト数だけ EP1 Read16L Reg.または EP1 Read8L Reg.から読み出してください。

このレジスタは、これらのレジスタをリードするたびにデクリメントされます。

(9) EP2 Write8P Register (W)(Function 1, 3 専用レジスタ) 56H

EP2 Write8P Reg.は、EP2 Buffer に奇数バイト・データを書き込む際に使用するレジスタです。

最後の奇数バイトをこのレジスタに書き込んでください。書き込み完了後は、Data End Reg. EP2_End bit をセット (= 1) してください。

(10) EP2 Write16L Register (W)(Function 1, 3 専用レジスタ) 58H

EP2 Write16L Reg.は EP2 に対するデータを EP2 Buffer に渡すために使用するレジスタです。このレジスタはワード単位でアクセスが可能です。

ハードウェアは EPNACK Status Reg. EP2NAK bit がセットされている場合に限り、EP2 に対する IN トークンに同期して USB バスへのデータの送信を行います。EP2 Buffer の容量は FS 動作時および HS 動作時によって変わります。

EP2 Buffer はバンク構成となっており CPU 側からの書き込みおよび PHY 側からの読み出しのアドレスをハードウェアにて管理しているため、ファームウェアはこのレジスタにホストに送信するデータを順番に書き込むだけで送信が可能です。

偶数バイト長のショート・パケットを送信する際は、このレジスタにデータを書き込み、Data End Reg. EP2_End bit をセットすることにより送信が可能です(EP Status 1 Reg. EP2 Write C/S bit にはデータありと表示されます)。ただし、奇数バイト長のデータを送信する場合には、最終の奇数バイト・データを EP2 Write8P Reg.から書き込む必要があります。さらに、データ長 0 のパケットを送信する際は、このレジスタのクリアを行い Data End Reg. EP2_End bit をセットすることにより送信が行われます(EP Status 1 Reg. EP2 Write C/S bit にはデータありと表示されます)。

データ送信完了通知(次のデータを書き込めるタイミングの通知)は、割り込みと DMA 要求を選択できます。切り替えは DMA Control 2 Reg. EP2_DMA_Set bit によって設定が可能です。

図 4-9 EP2 Write16L Register (1)

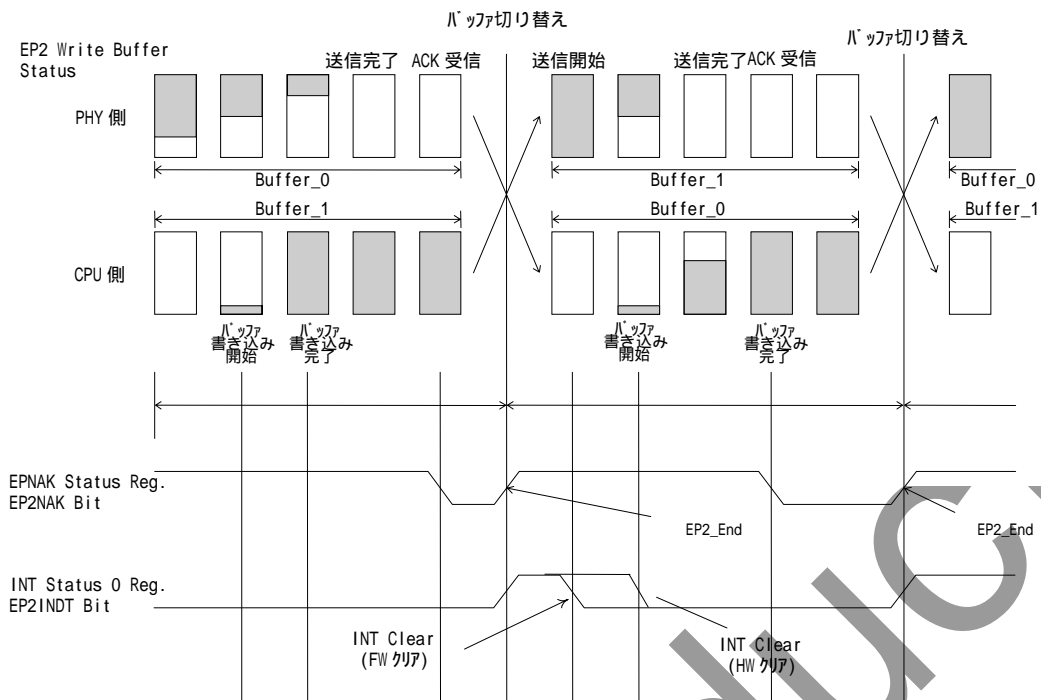


図 4-10 EP2 Write16L Register (2)

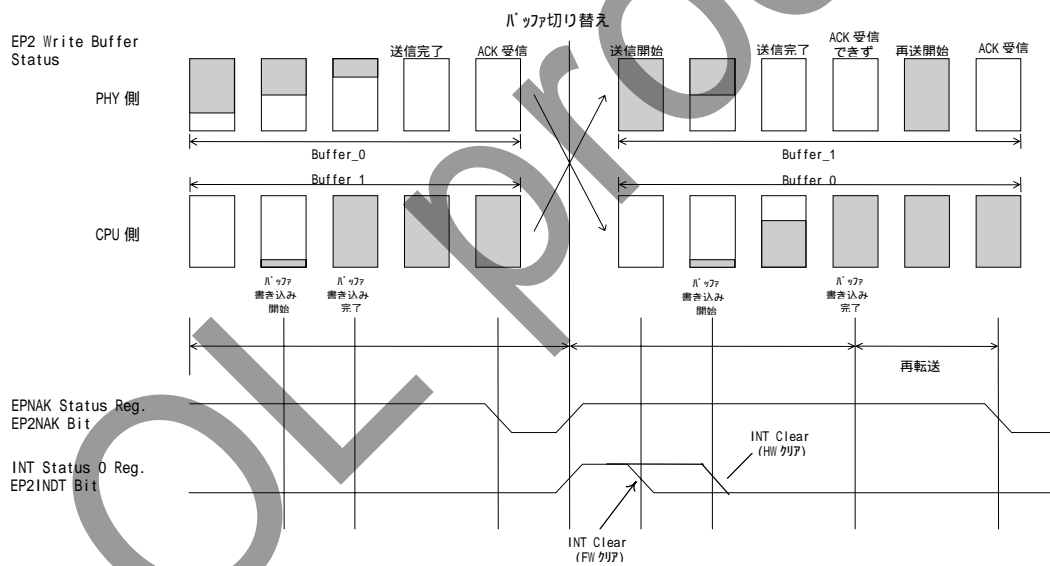
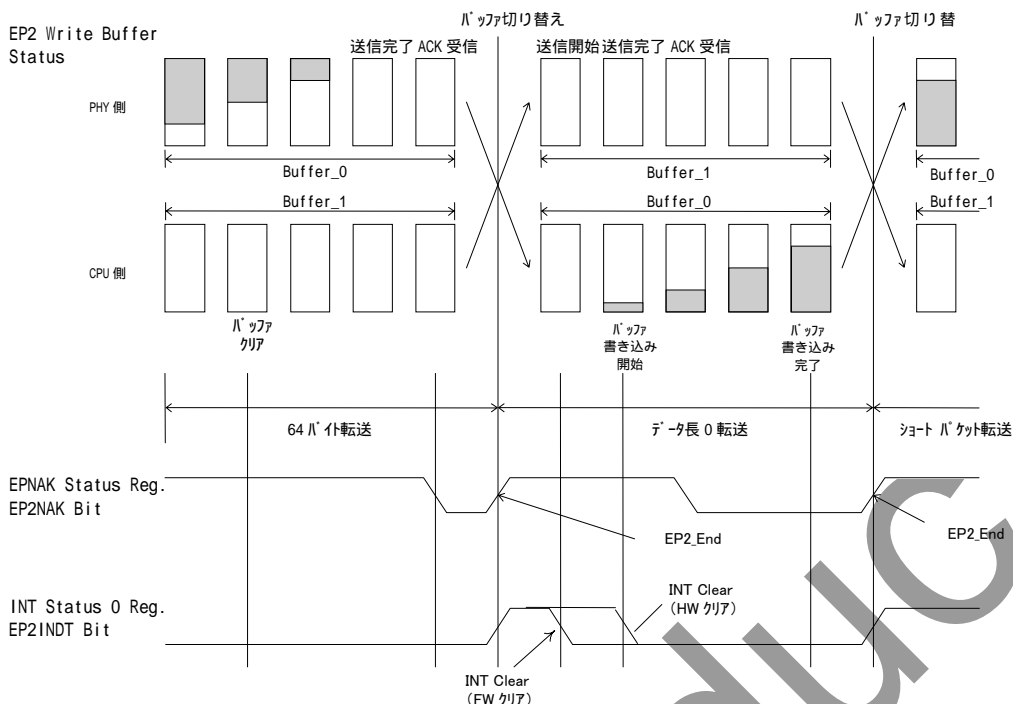


図 4-11 EP2 Write16L Register (3)



(11) EP2 Write8L Register (W) (Function 1, 3 専用レジスタ) 5AH

このレジスタは基本的に使用しないでください。

(12) EP3 Write16 Register (W) (Function 1, 3 専用レジスタ) 5CH

EP3 Write16 Reg.は、EP3 Buffer にワード単位でデータを引き渡すためのレジスタです。

ハードウェアはEPNAK Status Reg. EP3NAK bit がセットされている場合に限り、EP3 に対する IN トークンに同期して USB バスへのデータの送信を行います。

データが送信され、ホストが正常受信した場合、EPNAK Status Reg. EP3NAK bit がハードウェアによって自動的にクリアされます。

偶数長のショート・パケットを送信するには、このレジスタにデータを書き込み、Data End Reg. EP3_End bit をセットすることにより送信が行われます (EP Status 1 Reg.にはデータありと表示されます)。

また、奇数長のショート・パケットを送信する場合は、このレジスタに偶数長で書き込み、最終の奇数バイト・データを EP3 Write8E Reg.に書き込んだあと、Data End Reg. EP3_End bit をセットすることにより送信が行われます。さらに、データ長 0 のパケットを送信する際は、このレジスタのクリアを行い Data End Reg. EP3_End bit をセットすることにより送信が行われます (EP Status 1 Reg.にはデータありと表示されます)。

図 4-12 EP3 Write16 Register (1)

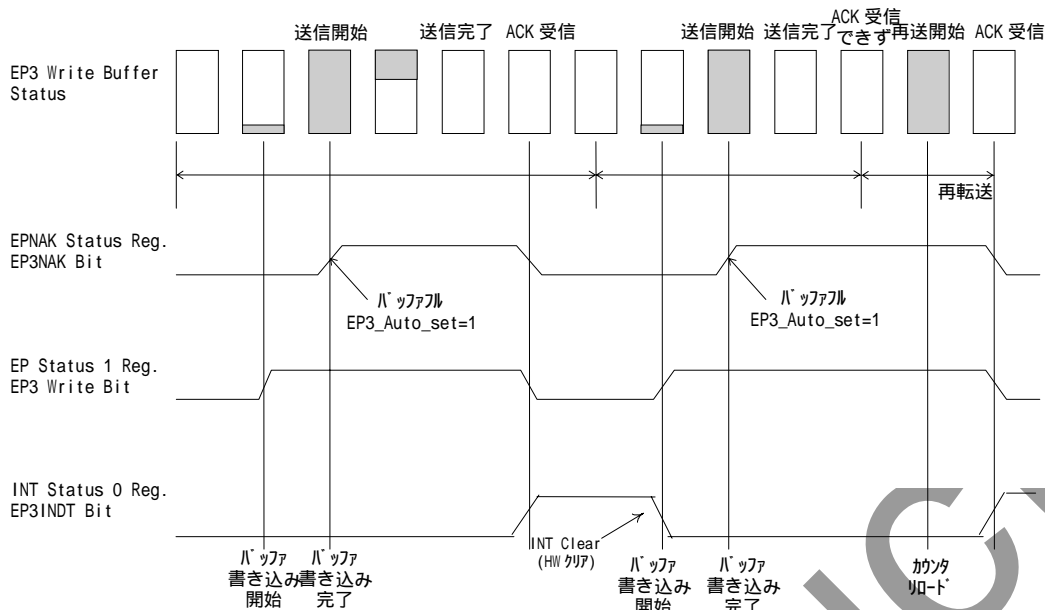
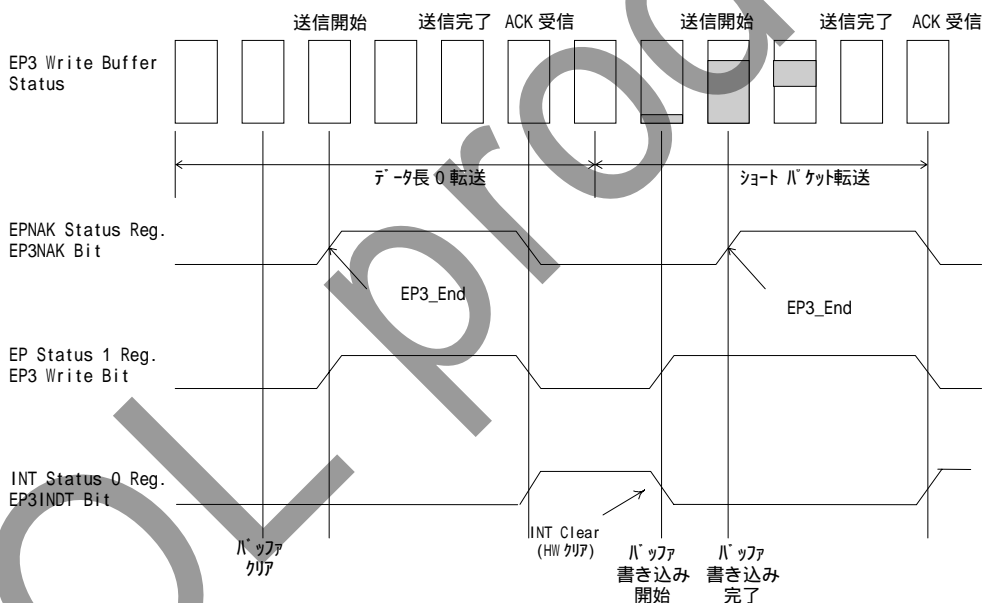


図 4-13 EP3 Write16 Register (2)



(13) EP3 Write8E Register (W) (Function 1, 3 専用レジスタ) 5EH

EP3 Write8E Reg.は、EP3 Buffer に奇数バイト・データを書き込む際に使用するレジスタです。
最後の奇数バイトをこのレジスタに書き込んでください。書き込み完了後は、Data End Reg. EP3_End bit をセット (= 1) してください。

(14) EP0 Read8 Register (R) (Function 2 専用レジスタ) 62H

EP0 Read8 Reg.は、コントロール転送のデータ・ステージでホストから送られ、EP0 Read Buffer に保持されているデータを読み出すためのレジスタです。Function 1, 3 を選択している場合は、アクセスしないでください。

ハードウェアはホストからのデータを受信すると EP0 Read Buffer に自動的に転送を行います。

データを正常受信すると INT Status 0 Reg. EP0OUTDT bit をセットして割り込み INT0B を発行します。
EP0 Length8 Reg. はデータ受信時、常時受信データ長の更新を行っています。最終的に転送が異常の場合には EP0 Length8 Reg. は 0000H にクリアされ割り込みも発生しません。

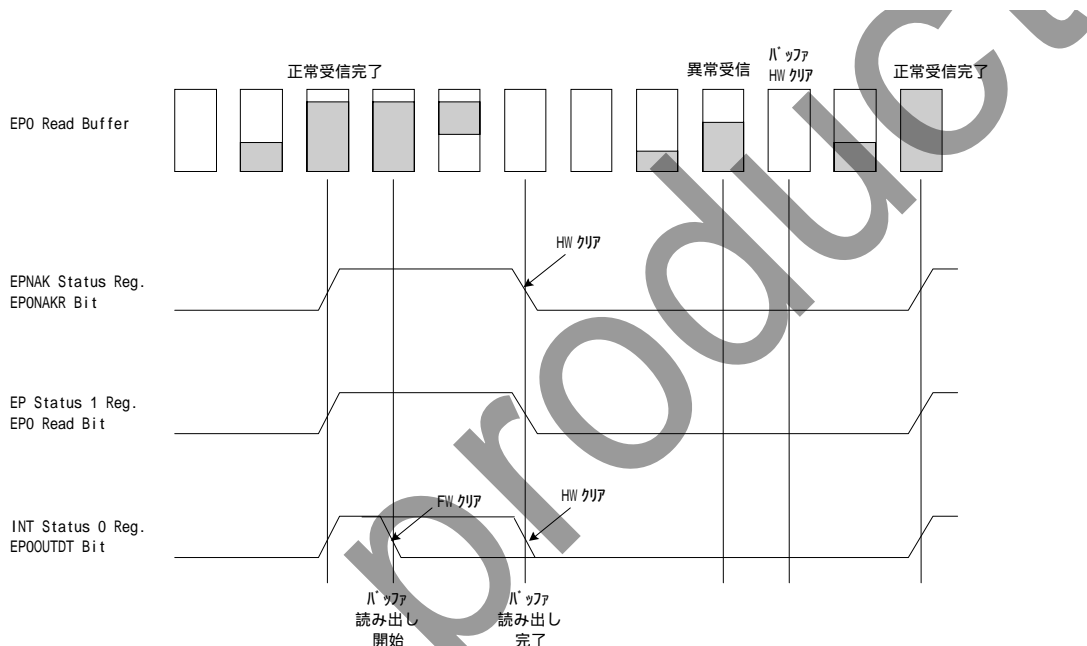
EP0 Read Buffer は、バッファ構造となっており 64 バイトの容量を持ちます。

保持しているデータの読み出しは、EP0 Length8 Reg. に示されているバイト数だけ、読み出しを行うことで実現できます。

全データの読み出しが完了したか否かは EP Status 1 Reg. EP0 Read bit が “0” になったか否かでも確認できます。

EP0 Length8 Reg. の値が 0000H になると EPNAK Status Reg. EP0NAKR bit がクリアされ受信可能状態になります。

図 4-14 EP0 Read8 Register



(15) EP0 Length8 Register (R)(Function 2 専用レジスタ)

64H

EP0 Length8 Reg. は、コントロール転送のデータ・ステージでホストから送られてきたデータ量(表示される値の単位は、バイトです)を保持するためのレジスタです。

EP0 Length8 Reg. は受信時、常時受信データ長の更新を行っています。最終的に転送が異常の場合には、EP0 Length8 Reg. は 0000H にクリアされ割り込みは発生しません。

このレジスタは EP0 Read8 Reg. をリードするたびにデクリメントされます。

このレジスタは 2 バイトであるため、必ず 2 回連続でリードを行ってください(下位バイトから読み出されます)。

(16) EP0 Setup8 Register (R)(Function 2 専用レジスタ)

66H

EP0 Setup8 Reg. は、ホストから送られてきた Setup トランザクション内のリクエストを保持している SetUp Data Buffer からデータを読み出すためのレジスタです。

SetUp Data Buffer は、Setup トランザクションを受信すると常にデータの書き込みを行います。

ハードウェアは Setup トランザクションを正常受信したとき、INT Status 0 Reg. Protect bit とファーム

ウェア処理のリクエストなら INT Status 0 Reg. CPUDEC bit または INT Status 0 Reg. Req_Sel bit をセットし、割り込み INT0B を発行します。また、Vendor リクエストなら INT Status 0 Reg. Vendor bit をセットし割り込み INT0B を発行します。

ファームウェアは必ず8バイトまとめてリードを行ってください。まとめてリードを行わなかった場合、以降のリクエストを正常にデコードできなくなる可能性があります。

1つのコントロール転送中に複数回のセットアップ・トークン (Setup 中の Setup) を受信した場合、ファームウェアによりリクエストのデコードを行い、EP0 Read8 Reg.の読み出し、または、EP0 Write8 Reg.の書き込みを行う際、INT Status 0 Reg. Protect bit を必ずチェックしてください。セットされているなら複数回 Setup トランザクションを受信 (Setup 中の Setup が発生) しているので EP0 Setup8 Reg. を再度読み出ししてください。

Setup Data Buffer は二重化しておらず、常に書き込みを許可しているので、データ・リード中に Setup トランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。

図 4-15 EP0 Setup8 Register (1)

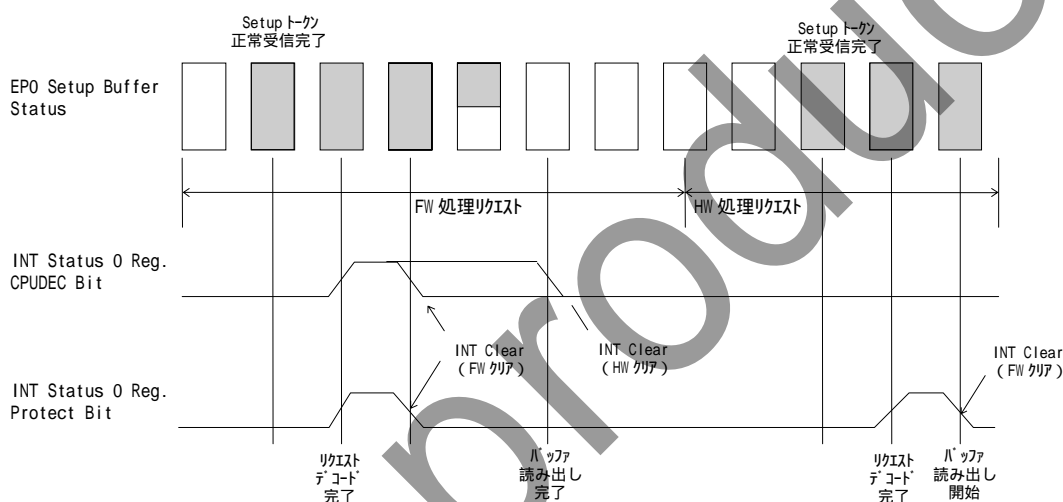
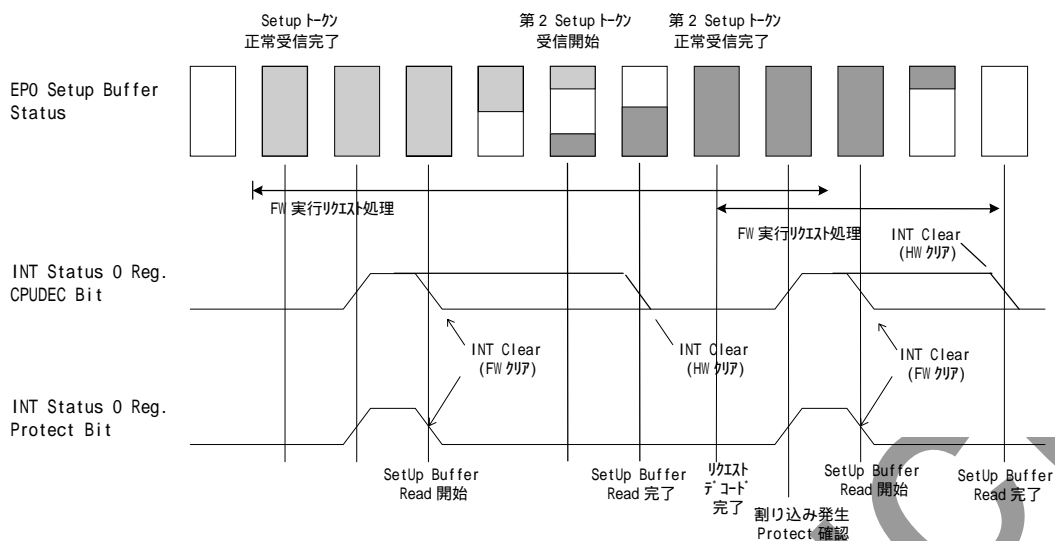
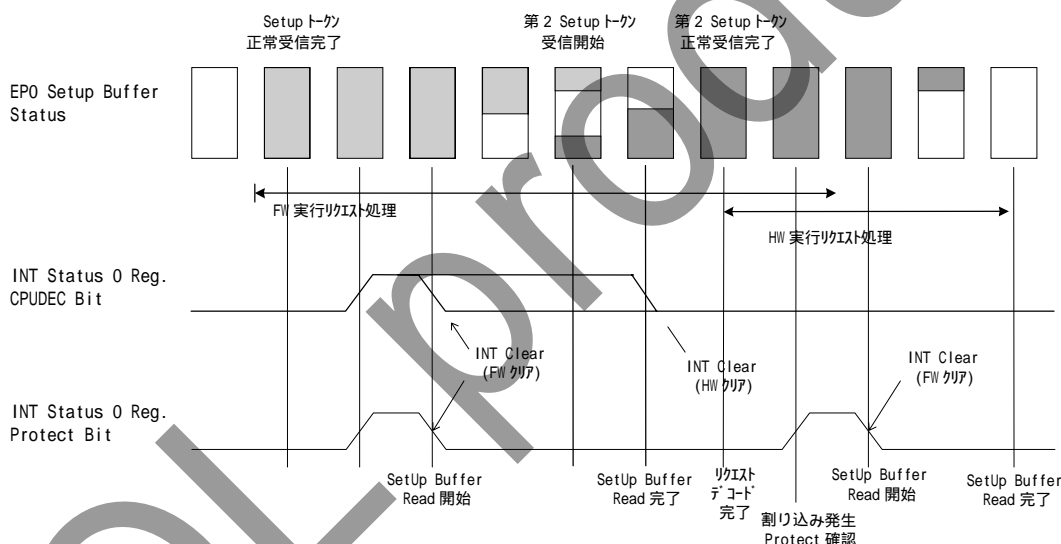


図 4-16 EP0 Setup8 Register (2)

(a) 複数回の Setup トランザクション (後続リクエストがファームウェア実行リクエスト (CPUDEC) の場合)



(b) 複数回の Setup トランザクション (後続リクエストがハードウェア実行リクエストの場合)



(17) EP0 Write8 Register (W) (Function 2 専用レジスタ)

68H

EP0 Write8 Reg.は、BulkIN データを EP0 Write Buffer に引き渡すためのレジスタです。このレジスタはバイト単位でのみ書き込みが可能です。

奇数バイト長のデータを送信する場合には、このレジスタでデータの書き込みを行い、最後のバイト(奇数バイト)を EP0 Write8E Reg.に書き込んでください。

ハードウェアはEPNAK Status Reg. EP0NAKW bitがセットされている場合に限り IN トークンに同期して USB バスへのデータの送信を行います。

データが送信され、ホストが正常受信した場合、EPNAK Status Reg. EP0NAKW bit がハードウェアによって自動的にクリアされます。

ショート・パケットを送信する際は、このレジスタにデータを書き込み Data End Reg. EP0W_End bit をセットすることにより送信が行われます (EP Status 1 Reg.にはデータありと表示されます)。

また、データ長 0 のパケットを送信する際は、EP0 Write バッファのクリアを行い Data End Reg.

EP0W_End bit をセットすることにより送信が行われます (EP Status 1 Reg.にはデータありと表示されます)

送信が完了していない場合でも次のコントロール転送 (Setup token) を受信したときにクリアされます。

Control Read 転送において、データ・ステージで ACK を正常に受信できていない状態でステータス・ステージに切り替わった場合、このレジスタは自動的にクリアされ、同時に EPNAK Status Reg. EP0NAKW bit がセットされている場合にもクリアされます。

図 4-17 EP0 Write8 Register (1)

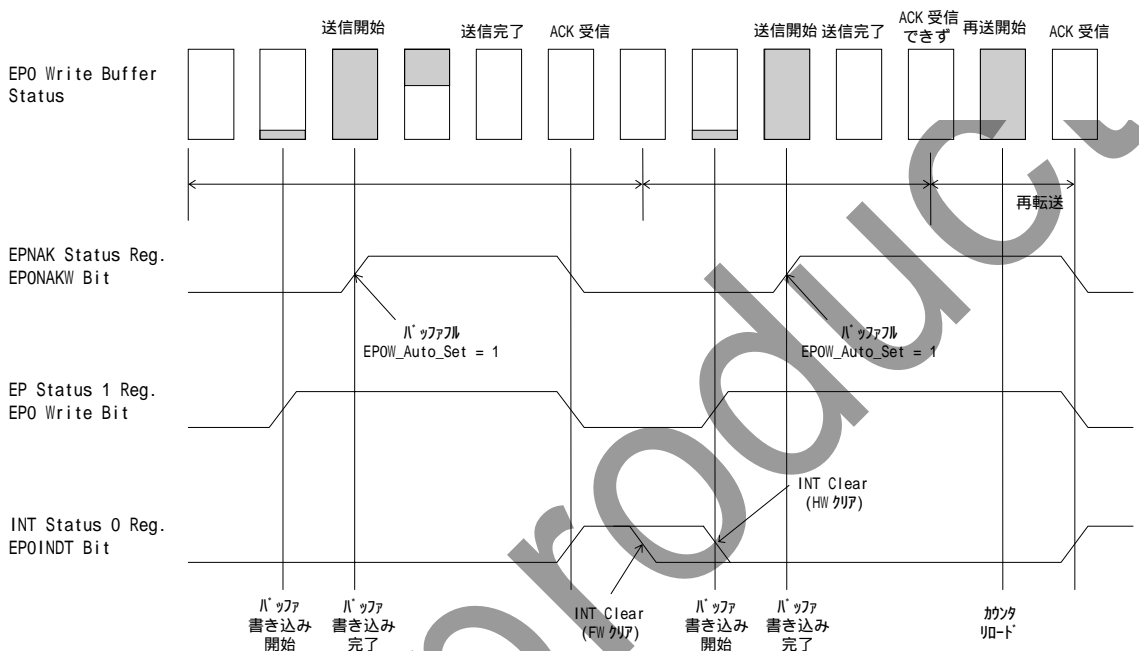
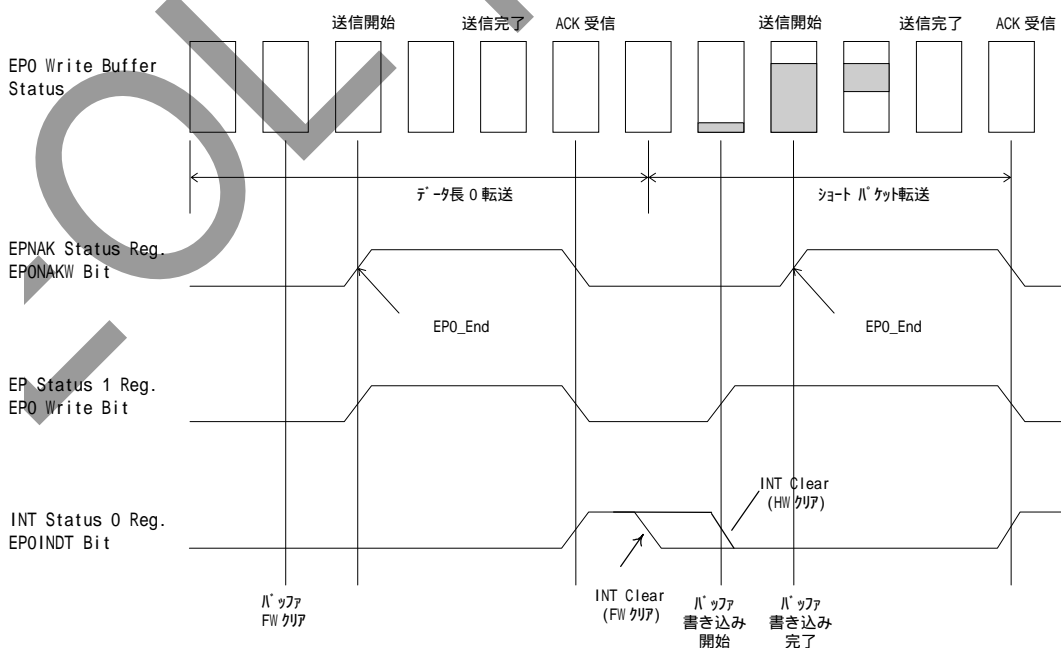


図 4-18 EP0 Write Register (2)



(18) EP0 Write8E Register (W)(Function 2 専用レジスタ)

6AH

EP0 Write8E Reg.は、奇数バイト長のデータを送信する場合の最後のバイト(奇数バイト)を書き込むためのレジスタです。

このレジスタに書き込んだあとに、Data End Reg. EP0W_End bit をセットしてください。その後、IN トークンに同期してデータが送信されます。

(19) EP1 Read8L Register (R)(Function 2 専用レジスタ)

70H

EP1 Read8L Reg.はホストから送られてくるデータを保持している EP1 Buffer からデータを読み出すためのレジスタです。

ハードウェアはホストからのEP1 に対するデータを受信すると EP1 Buffer に自動的に転送を行います。

EP1 Buffer はダブル・バッファ構造となっており、そのサイズは FS 動作時と HS 動作時によって異なります。

データを正常受信するとバッファ・トグル動作が起こり INT Status 0 Reg. EP1OUTDT bit をセットし、EP1 Length8 Reg.に受信したデータ量を保持すると共に CPU に対して割り込みまたは DMA 要求を発行します。この割り込みと DMA 要求の切り替えは DMA Control 2 Reg. EP1_DMA_Set bit によって選択が可能です。

保持しているデータの読み出しは、EP1 Length8 Reg.に示されているバイト数だけファームウェアでこのレジスタの読み出しを行なうことで実現できます。

PHY 側バッファに正常な受信データが保持されており、EP1 Length8 Reg.の値が 0000H になるとバッファのトグル動作が発生して EPNAK Status Reg. EP1NAK bit は自動的にクリアされます。なお、EP1 Length8 Reg.の値以上のデータを読み出した場合にバッファのトグル条件が成立すると、バッファの切り換えが起こり、結果として次のパケットを誤って読み出してしまう可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出すことになるのでご注意ください。

図 4-19 EP1 Read8L Register (1)

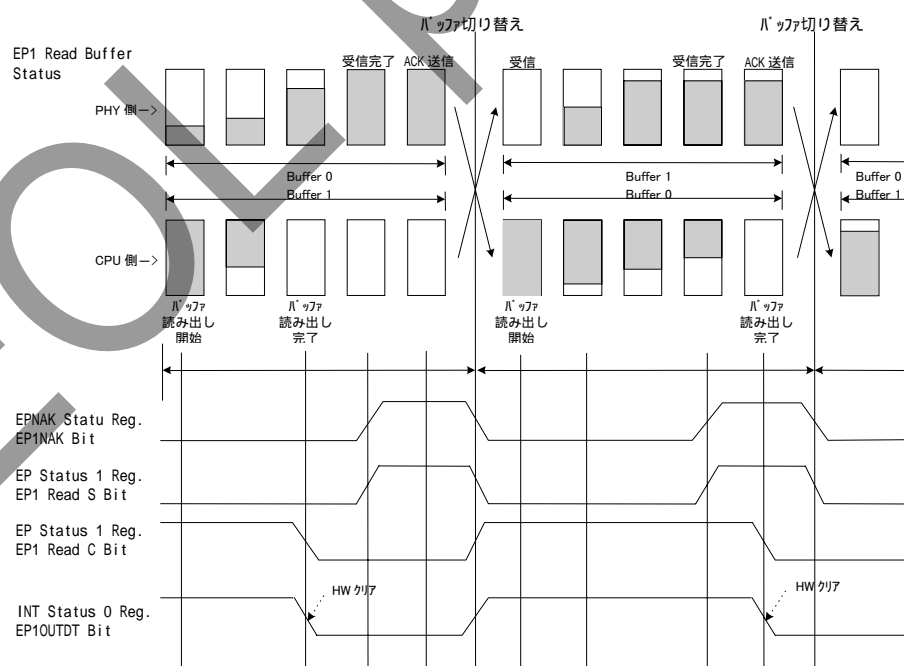
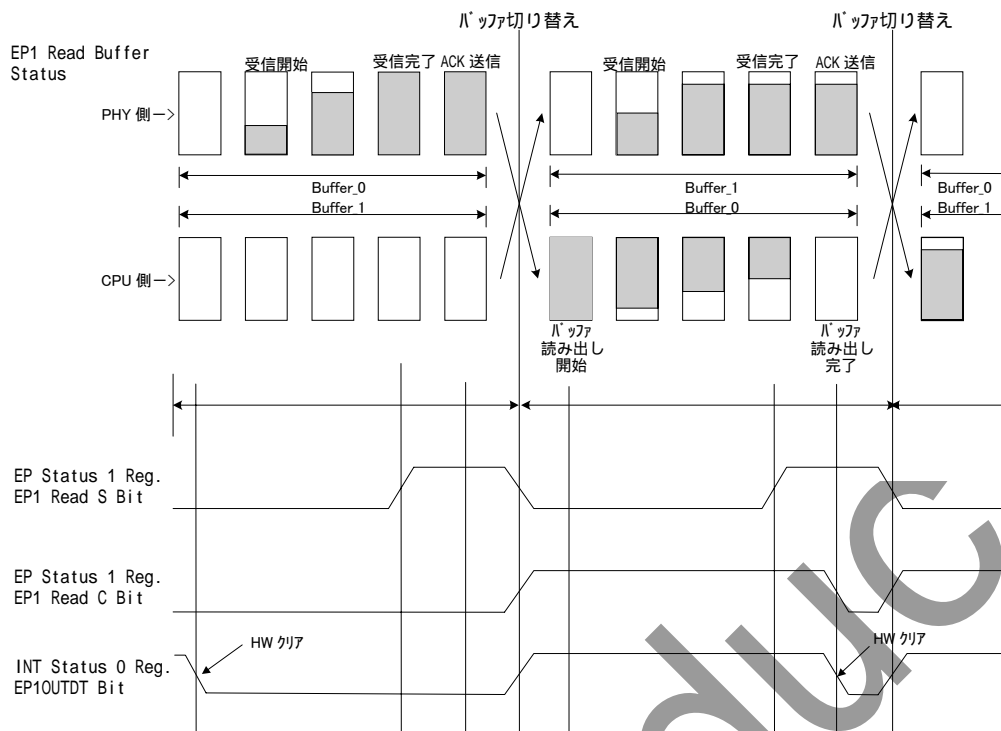


図 4-20 EP1 Read8L Register (2)



(20) EP1 Length8 Register (R) (Function 2 専用レジスタ)

72H

EP1 Length8 Reg.は、ホストから EP1 に送られてきたデータ量（表示される値の単位は、バイトです）を保持するためのレジスタです。

EP1 Length8 Reg.は正常受信後のバッファ・トグル時に更新されます。同時に割り込みがアサートされます。

ファームウェアはこのレジスタに示されている回数だけ、EP1 Read8L Reg.から読み出してください。このレジスタはこれらのレジスタをリードするたびにデクリメントされます。

本来2バイトの値を持つので、このレジスタは2回必ず読み出してください（下位バイトを先に読み出してください）。

(21) EP2 Write8P Register (W) (Function 2 専用レジスタ)

76H

EP2 Write8P Reg.は、EP2 に対するデータを EP2 Buffer に渡すために使用するレジスタです。

このレジスタは、最終の奇数バイト長のデータを書き込むために使用するレジスタです。

(22) EP2 Write8L Register (W) (Function 2 専用レジスタ)

7AH

EP2 Write8L Reg.は、EP2 に対するデータを EP2 Buffer に渡すために使用するレジスタです。

ハードウェアはEPNAK Status Reg. EP2NAK bit がセットされている場合に限り EP2 に対する IN トークンに同期して USB バスへのデータの送信を行います。

EP2 Buffer の容量は FS 動作時および HS 動作時によって変わります。

EP2 Buffer はバンク構成となっており CPU 側からの書き込みおよび PHY 側からの読み出しのアドレスをハードウェアにて管理しているため、ファームウェアはこのレジスタへホストに送信するデータを順番に書き込むだけで送信が可能です。

偶数バイト長のショート・パケットを送信する際は、このレジスタにデータを書き込み Data End Reg.

EP2_End bit をセットすることにより送信が可能です (EP Status 1 Reg. EP2 Write C/S bit にはデータありと表示されます)。ただし、奇数バイト長のデータを送信する場合には、最終の奇数バイト・データを EP2 Write8P Reg. に書き込む必要があります。

さらに、データ長 0 のパケットを送信する際は、このレジスタのクリアを行い Data End Reg. EP2_End bit をセットすることにより送信が行われます (EP Status 1 Reg. EP2 Write C/S bit にはデータありと表示されます)。

データ送信完了通知 (次のデータを書き込めるタイミングの通知) は、割り込みと DMA 要求を選択できます。切り替えは DMA Control 2 Reg. EP2_DMA_Set bit によって設定が可能です。

図 4-21 EP2 Write8L Register (1)

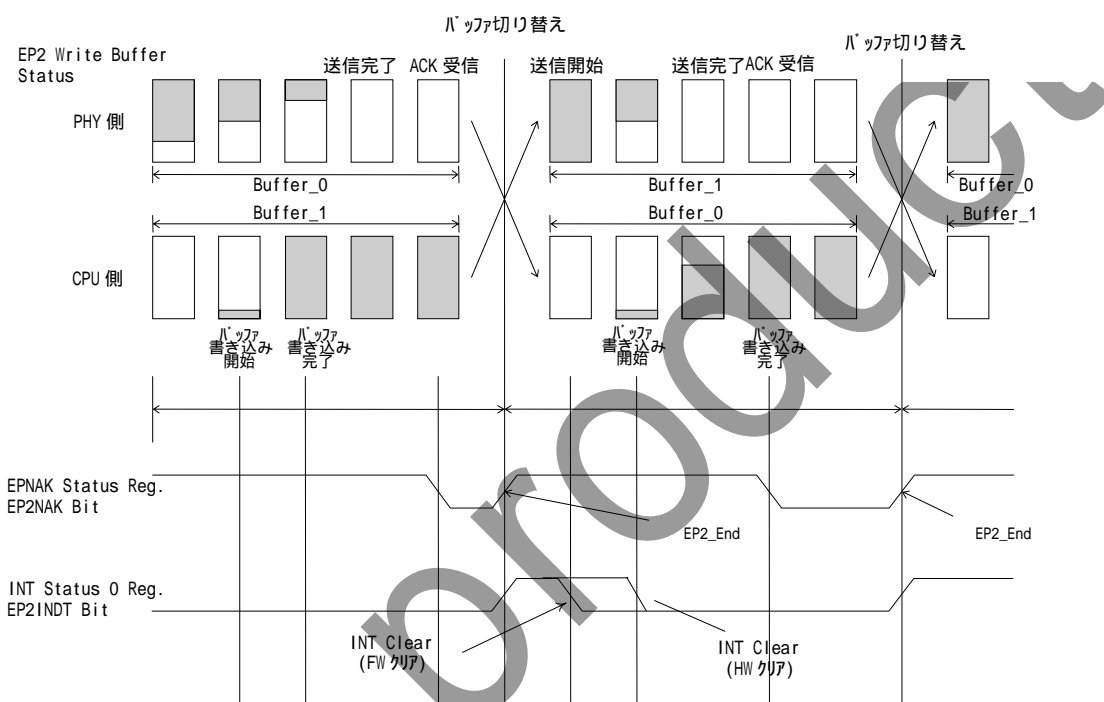


図 4-22 EP2 Write8L Register (2)

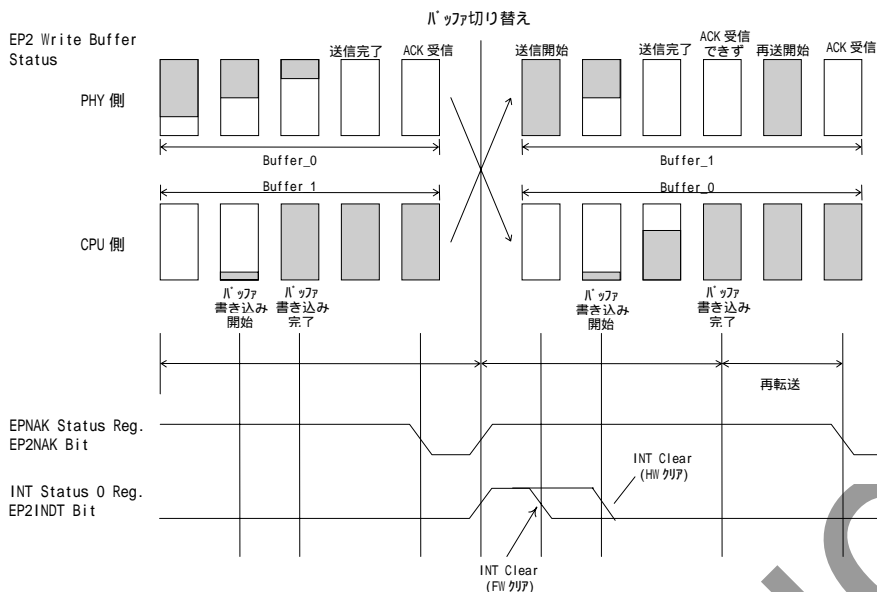
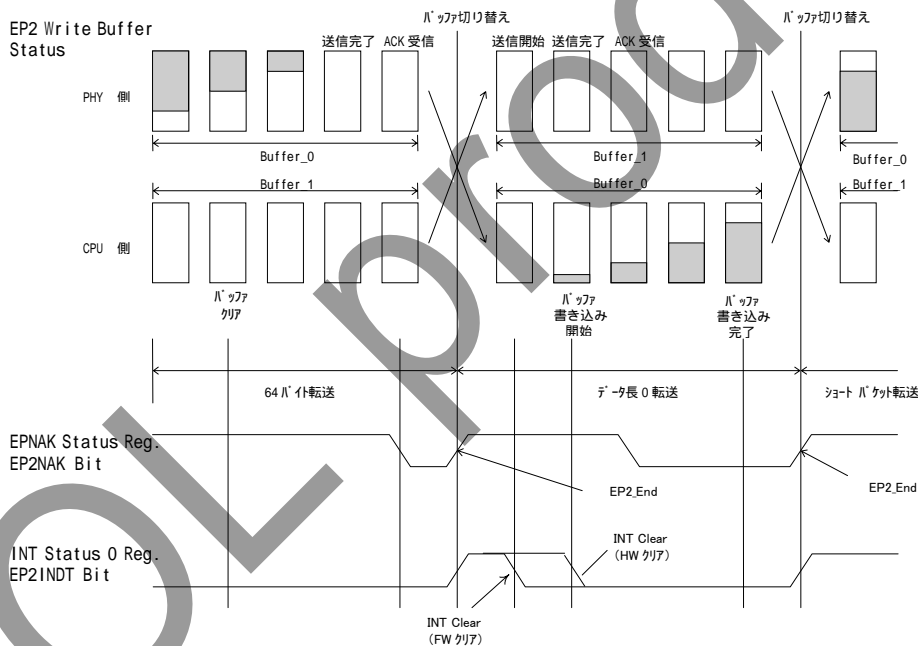


図 4-23 EP2 Write8L Register (3)



(23) EP3 Write8 Register (W)(Function 2 専用レジスタ)

7CH

EP3 Write8 Reg.は、EP3 に対するデータを EP3 Buffer に引き渡すためのレジスタです。
 ハードウェアは EPNAK Status Reg. EP3NAK bit がセットされている場合に限り、EP3 に対する IN トークンに同期して USB バスへのデータの送信を行います。
 データが送信されホストが正常受信した場合、EPNAK Status Reg. EP3NAK bit がハードウェアによって自動的にクリアされます。
 偶数バイト長のショート・パケットを送信する際は、このレジスタにデータを書き込み Data End Reg. EP3_End bit をセットすることにより送信が行われます (EP Status 1 Reg.にはデータありと表示されず)。

奇数バイト長のショート・パケットを送信する際には、偶数バイトをこのレジスタに書き込み、最終の奇数バイトを EP3 Write8E Reg. に書き込んでください。その後、Data End Reg. EP3_End bit をセットすることにより送信が行われます。

また、データ長0のパケットを送信するには、このレジスタのクリアを行い Data End Reg. EP3_End bit をセットすることにより送信が行われます（EP Status 1 Reg. にはデータありと表示されます）。

図 4-24 EP3 Write8 Register (1)

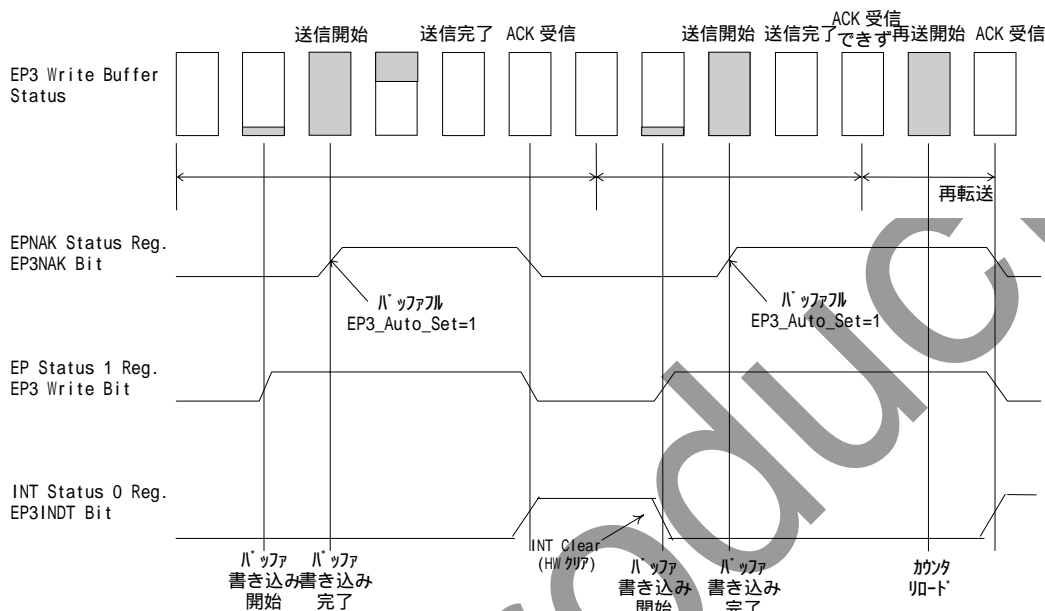
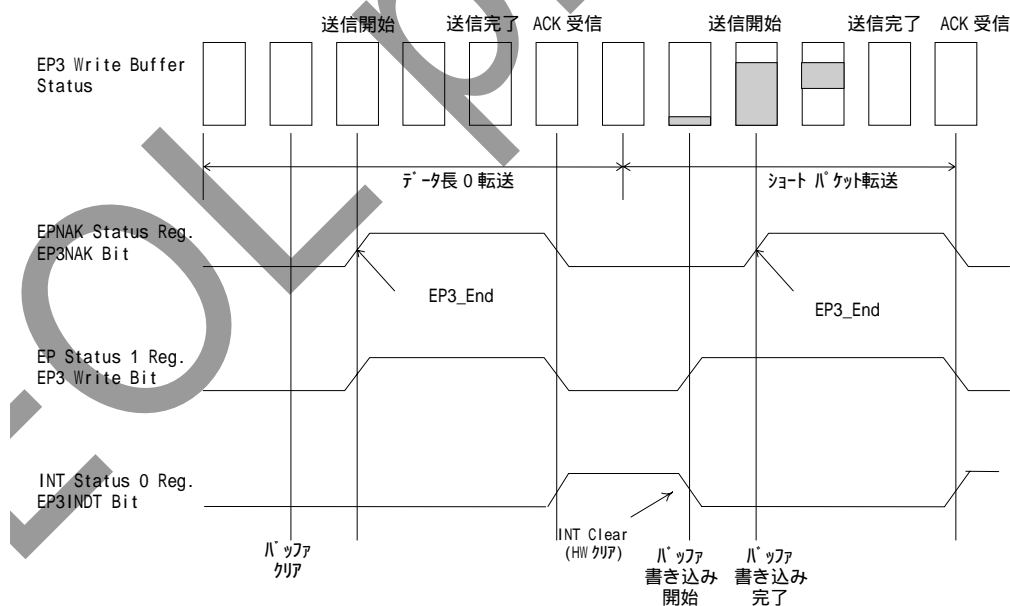


図 4-25 EP3 Write8 Register (2)



(24) EP3 Write8E Register (W)(Function 2 専用レジスタ)

7EH

EP3 Write8E Reg. は、EP3 に対する奇数バイト長のデータを EP3 Buffer に引き渡すためのレジスタです。

このレジスタは最終の奇数バイト長のデータを書き込むために使用するレジスタです。

4.2.3 Protocol Data 領域

(1) Device Status Register (R/W)

80H

Device Status Register は GET_STATUS Device リクエストに対して返信するデータを保持します。
ファームウェアは電源投入後のイニシャライズ時に値をセットしてください。

ハードウェアは GET_STATUS Device リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

Device Status High Register (81H) (8 bit Bus モード時のみ Read Only) (初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

Device Status Low Register (80H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	Remote Wakeup	Self Powered

Bit15- Bit2 : 予約 0 固定

Bit1 (Remote Wakeup)

: USB デバイスによるリモート・ウエイクアップの要求が有効になっているかどうかを示します。

1: リモート・ウエイクアップ機能イネーブル

0: リモート・ウエイクアップ機能ディスエーブル (初期値)

デバイスがリモート・ウエイクアップ機能をサポートするなら、SET_FEATURE Device リクエストを受信したとき、ハードウェアによりセットされ、CLEAR_FEATURE Device リクエストを受信したとき、ハードウェアによりクリアされます(このチップではサポートする場合を前提にしているため Remote Wakeup のセットが行えます。リモート・ウエイクアップをサポートしない場合にはホストから SET_FEATURE Device リクエストを発行しないようにしてください)。このビットをセットしないと、SNDPHY Reg. RSUMIN bit が無効となります。

Bit0 (Self Powered) : デバイスが Self Powered であるか Bus Powered であるかを示します。

1: Self Powered Device

0: Bus Powered Device (初期値)

このレジスタを書き換える場合は、リードとライト競合を防止するために、EPNAK Status Reg. EPONAKALL bit のセットをし、再度読み出しセットを確認してから行ってください。

(2) EP0 Status Register (R/W)

82H

EP0 Status Register は GET_STATUS EP0 リクエストに対して返信するデータを保持します。

ファームウエアで電源投入後のイニシャライズ時に所望の状態にレジスタをセットしてください。また、USB デバイス自身のエラー発生の場合もファームウエアによってセットしてください。

EP0 に USB からアクセスを受けている期間の書き込みは保留されます。

ファームウエアでセットする場合、コントロール転送が SET_FEATURE (EP0), CLEAR_FEATURE (EP0), GET_STATUS (EP0) またはファームウエア処理のリクエストの場合には、次の Setup トークンを受信するまで反映されません。

ハードウエアは GET_STATUS EP0 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

EP0 が Halt した場合には EP0 Write Reg. と EP0 Read Reg. がクリアされ、EPNAK Status Reg. EP0NAKW bit と EPNAK Status Reg. EP0NAKR bit がクリアされます。

EP0 Status High Register (83H) (8 bit Bus モード時のみ Read Only)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

EP0 Status Low Register (82H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	0	Halt

Bit15 - Bit1 : 予約 0 固定

Bit0 (Halt) : EP0 の状態を示します。SET_FEATURE EP0 リクエストを受信したとき、ハードウエアによりセットされ CLEAR_FEATURE EP0 リクエストを受信したときにハードウエアによりクリアされます。また、DATA PID は DATA0 に初期化されます。

1 : Halt している

0 : Halt していない (初期値)

このレジスタを書き換える場合は、リードとライト競合を防止するために、EPNAK Status Reg. EP0NAKALL bit をセットし再度読み出し、セットを確認してから行ってください。EP0 に対する転送を行っているときは書き込みをマスクするので、書き換えが行われたか、必ず確認を行ってください。

(3) EP1 Status Register (R/W)

84H

EP1 Status Reg.は GET_STATUS EP1 リクエストに対して返信するデータを保持します。

ファームウェアで電源投入後のイニシャライズ時に所望の状態にレジスタをセットしてください。また、EP のエラーの発生によりホストにエラーを通知する場合は、ファームウェアでこのビットをセットしてください。

EP1 への USB 側アクセスを受けている最中の書き込みは保留されます。

ハードウェアは GET_STATUS EP1 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

EP1 が Halt した場合には EP1 Read Reg. (PHY 側) がクリアされ、EPNAK Status Reg. EP1NAK bit がクリアされます。

EP1 Status High Register (85H) (8 bit Bus モード時のみ Read Only)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

EP1 Status Low Register (84H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	0	Halt

Bit15- Bit1 : 予約 0 固定

Bit0 (Halt) : EP1 の状態を示します。SET_FEATURE EP1 リクエストを受信したとき、ハードウェアによりセットされ、CLEAR_FEATURE EP1 リクエストを受信したときにハードウェアによりクリアされます。また、DATA PID は DATA0 に初期化されます。なお、SET_CONFIGURATION、SET_INTERFACE、SOFT RESET リクエストを受信したときにもクリアされます。

1 : Halt している

0 : Halt していない (初期値)

(4) EP2 Status Register (R/W)

86H

EP2 Status Reg.は GET_STATUS EP2 リクエストに対して返信するデータを保持します。

ファームウェアで電源投入後のイニシャライズ時に所望の状態にレジスタをセットしてください。また、EP のエラーの発生によりホストにエラーを通知する場合はファームウェアでこのビットをセットしてください。

EP2 への USB 側アクセスを受けている最中の書き込みは保留されます。ハードウェアは GET_STATUS EP2 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

EP2 が Halt した場合には EP2 Write Reg. (PHY 側) がクリアされ、EPNAK Status Reg. EP2NAK bit がクリアされます。

EP2 Status High Register (87H) (8 bit Bus モード時のみ Read Only)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

EP2 Status Low Register (86H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	0	Halt

Bit15- Bit1 : 予約 0 固定

Bit0 (Halt) : EP2 の状態を示します。SET_FEATURE EP2 リクエストを受信したとき、ハードウェアによりセットされ、CLEAR_FEATURE EP2 リクエストを受信したときにハードウェアによりクリアされます。また DATA PID は DATA0 に初期化されます。なお、SET_CONFIGURATION, SET_INTERFACE, SOFT RESET リクエストを受信したときにもクリアされます。

1 : Halt している

0 : Halt していない (初期値)

(5) EP3 Status Register (R/W)

88H

EP3 Status Reg.は GET_STATUS EP3 リクエストに対して返信するデータを保持します。

ファームウェアで電源投入後のイニシャライズ時に所望の状態にレジスタをセットしてください。また、EP のエラーの発生によりホストにエラーを通知する場合はファームウェアでこのビットをセットしてください。

EP3 への USB 側アクセスを受けている最中の書き込みは保留されます。

ハードウェアは GET_STATUS EP3 リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

EP3 が Halt した場合には EP3 Write Reg.がクリアされ、EPNAK Status Reg. EP3NAK bit がクリアされます。

Mode Control 1 Reg.にて EP3 がサポートされていない状態にある場合、このビットの設定は無効となります。

EP3 Status High Register (89H) (8 bit Bus モード時のみ Read Only)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

EP3 Status Low Register (88H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	0	Halt

Bit15- Bit1 : 予約 0 固定

Bit0 (Halt) : EP3 の状態を示します。SET_FEATURE EP3 リクエストを受信したとき、ハードウェアによりセットされ、CLEAR_FEATURE EP3 リクエストを受信したときにハードウェアによりクリアされます。また DATA PID は DATA0 に初期化されます。なお、SET_CONFIGURATION、SET_INTERFACE リクエストを受信したときにもクリアされます (EP3 は SOFT RESET 対象外)。

1 : Halt している

0 : Halt していない (初期値)

(6) Address Register (R/W)**8AH**

Address Reg.はデバイス・アドレスとして PHY Core に入力する値を格納するレジスタです。

ハードウェアは SET_ADDRESS リクエストにより送られてくるデバイス・アドレスを解析し、自動的にこのレジスタに書き込みます (Mode Control 0 Reg. CPUDEC_ALL_Set bit = 1 のときのみファームウェアによる Write が可能になります)。

Address High Register (8BH) (8 bit Bus モード時のみ Read Only)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

Address Low Register (8AH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	Address6	Address5	Address4	Address3	Address2	Address1	Address0

Bit15- Bit7 : 予約 0 固定

Bit6- Bit0 (Address6-0): PHY の USB_ADDR[6-0]信号に渡すデータを保持します。

(7) Configuration Register (R/W)**8CH**

Configuration Reg.は、GET_CONFIGURATION リクエストに対して返信するデータを保持します。

SET_CONFIGURATION リクエストを受信したとき、ハードウェアでその wValue 値を書き込みます (Mode Control 0 Reg. CPUDEC_ALL_Set bit または CPUDEC_Sel_Set bit = 1 のときのみファームウェアによる Write 可能)。

Configuration High Register (8DH) (8 bit Bus モード時のみ Read Only)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

Configuration Low Register (8CH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	Conf1	Conf0

Bit15- Bit2 : 予約 0 固定

Bit1- Bit0 (Conf1-0) : GET_CONFIGURATION リクエストに対して返信するデータを保持します。

(8) Interface Register (R/W)

8EH

Interface Register は、GET_INTERFACE リクエストに対して返信するデータを保持します。

SET_INTERFACE リクエストを受信したとき、ハードウェアでその wValue を書き込みます。

(Mode Control 0 Reg. CPUDEC_ALL_Set Bit または CPUDEC_Sel_Set bit = 1 のときのみファームウェアによる Write 可能)

Interface High Register (8FH) (8 bit Bus モード時のみ Read Only)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

Interface Low Register (8EH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	0	Interface

Bit15- Bit1 : 予約 0 固定

Bit0 (Interface) : GET_INTERFACE リクエストに対して返信するデータを保持します。

4.2.4 BIU Control 領域

(1) BIU Control 0 Register (R/W)

A0H

BIU Control 0 Reg. は、 μ PD720122 の BIU Core の動作を制御するレジスタです。

BIU Control 0 High Register (A1H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

BIU Control 0 Low Register (A0H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OSC_DISEN	INT_SEL	M2_SEL 1	M2_SEL 0	LBUS8BIT	0	1	DMABUSSEL

Bit15- Bit8 : 予約 初期値 0, 読み出し無効, 書き込み不可

Bit7 (OSC_DISEN) : チップに搭載されている発振ブロックの制御を行うビットです。このビットはクロック停止時もアクセス可能です。

- 1 : 発振停止
- 0 : 発振許可 (初期値)

Bit6 (INT_SEL) : 割り込み端子の動作モードを設定します。

- 1 : エッジ割り込み
- 0 : レベル割り込み (初期値)

Bit5- Bit4 (M2_SEL 1/0)

: M2 端子の機能を設定するためのビットです。

M2_SEL1	M2_SEL0		
1	1	VBUS	VBUS 端子の値
1	0	EP1_DMA_STOPB	EPC2 Core からの信号
0	1	RSUME_OUT	PHY Core からの信号
0	0	SP_MODE	PHY Core からの信号 (初期値)

Bit3 (LBUS8BIT) : External Local Bus のデータ幅を設定するビットです。このビットは初期化を行うときのみ設定可能です。それ以外のタイミングで切り替えを行った場合は、動作の保証はできません (EP1, EP2 共通に設定されます)。

- 1 : 8 bit 幅
- 0 : 16 bit 幅 (初期値)

Bit2 : 予約 0 固定 (操作禁止)

Bit1 : 予約 1 固定

このビットは初期値 0 のため、初期化時に必ずセット (= 1) にしてください。

Bit0 (DMABUSSEL) : DMA 転送を行う場合のバス (CPU Bus or External Local Bus) を選択するビットです。

- 1 : CPU Bus
- 0 : External Local Bus (初期値)

注意 Function 3 の場合は、CPU Bus (= 1) に設定してください。

(2) BIU Control 1 Register (R/W)

A2H

BIU Control 1 Reg. は、 μ PD720122 の BIU Core の動作を制御するレジスタです。
EPC2 CORE 内部の GPR Reg. とは異なります。

BIU Control 1 High Register (A3H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

BIU Control 1 Low Register (A2H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	0	EP1DMAEN

Bit15- Bit1 : 予約 初期値 0, 読み出し無効, 書き込み不可

Bit0 (EP1DMAEN) : 外部バス (CPU Bus, External Local Bus) への EP1 DMA 転送の許可・不許可設定ビットです。

1 : DMA を許可する

0 : DMA を許可しない (初期値)

(3) BIU Control 2 Register (R/W)

A4H

BIU Control 2 Reg. は、 μ PD720122 の BIU Core の動作を制御するレジスタです。
EPC2 CORE 内部の GPR Reg. とは異なります。

BIU Control 2 High Register (A5H)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

BIU Control 2 Low Register (A4H)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	0	0	EP2DMAEN

Bit15- Bit1 : 予約 初期値 0, 読み出し無効, 書き込み不可

Bit0 (EP2DMAEN) : 外部バス (CPU Bus, External Local Bus) への EP2DMA 転送の許可 / 不許可設定ビットです。

1 : DMA を許可する

0 : DMA を許可しない (初期値)

(4) BIU STA 1 Register (R)

ACH

BIU STA 1 Reg.は、BIU Core の状態を示すレジスタです。

BIU STA 1 High Reg. (ADH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

BIU STA 1 Low Reg. (ACH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	EP2DATALEFT	EP1DATALEFT	EPC2EP2DRQ	EPC2EP1DRQ

Bit15- Bit4 : 予約 書き込み禁止, 読み出し無効

Bit3 (EP2DATALEFT) : BIU 内部に EP2 へのライトデータが1バイト残っていることを示します。

1 : 1バイト 残りあり

0 : 残りなし (初期値)

Bit2 (EP1DATALEFT) : BIU 内部に EP1 からのライトデータが1バイト残っていることを示します。

1 : 1バイト残りあり

0 : 残りなし (初期値)

Bit1 (EPC2EP2DRQ) : BIU が EPC2 から EP2 の DMA 転送要求を受けていることを示します。

1 : DMA 要求あり

0 : DMA 要求なし (初期値)

Bit0 (EPC2EP1DRQ) : BIU が EPC2 から EP1 の DMA 転送要求を受けていることを示します。

1 : DMA 要求あり

0 : DMA 要求なし (初期値)

(5) BIU_FWRESET Register (R/W)

BCH

チップ内部の EPC2 Core および PHY Core をファームウェアによりリセットするためのレジスタです。

BIU_FWRESET High Reg. (BDH)

(初期値 00H)

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8
0	0	0	0	0	0	0	0

BIU_FWRESET Low Reg. (BCH)

(初期値 00H)

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	0	SPNDCNT	PHYRST	EPC2RST

- Bit15- Bit3 : 初期値 0, 読み出し無効, 書き込み不可
- Bit2 (SPNDCNT) : EPC2 Core から PHY Core への Suspend 指示を制御するビットです。このビットをセット (= 1) すると, EPC2 Core の SND PHY Reg. SPND bit の指示は無視され, 強制的に 0 になります。これにより, PHY は CLK の出力を開始します。
このビットはクロック停止時もアクセス可能です。
1 : PHY Core への Suspend 指示をマスクして 0 固定にする
0 : PHY Core への Suspend 指示をマスクしない (初期値)
- Bit1 (PHYRST) : PHY のハードウェア・リセット。このビットはクロック停止時もアクセス可能です。
1 : PHY Core のハードウェア・リセットを有効にする
0 : PHY Core のハードウェア・リセットを有効にしない (初期値)
このビットは, PHY Core をファームウェアによりリセットする場合に使用します。ただし, 自動的にクリアされる機能はありませんので, ファームウェアにより書き換えをしなければなりません。
- Bit0 (EPC2RST) : EPC2 のハードウェア・リセット。このビットはクロック停止時もアクセス可能です。
1 : EPC2 Core のハードウェア・リセットを有効にする
0 : EPC2 Core のハードウェア・リセットを有効にしない (初期値)
このビットは, EPC2 Core をファームウェアによりリセットする場合に使用します。ただし, 自動的にクリアされる機能はありませんので, ファームウェアにより書き換えをしなければなりません。
このビットをセットすると GPR Reg. CONNECTB bit や PUE bit もクリアされるので, USB BUS から強制的に切り離されます。

第5章 Stall または No Handshake

μPD720122 ではエラーの取り扱いを次のように定義しています。

転送タイプ ^{注1}	トランザクション	対象 パケット	エラー種類	ファンクション 応答	ハードウェア処理
NA	NA	Token	PID Check エラー	無応答	特になし
NA	NA	Token	未対応 PID	無応答	特になし
Control/Bulk/Interrupt	In/Out /Setup	Token	EP 未対応	無応答	特になし
Control/Bulk/Interrupt	In/Out /Setup	Token	EP に対する転送方向 不一致	無応答	特になし
Control/Bulk/Interrupt	In/Out /Setup	Token	CRC エラー	無応答	特になし
Control/Bulk/Interrupt	In/Out /Setup	Token	Bit Stuffing エラー	無応答	特になし
Control/Bulk	Out/Setup	DATA	タイムアウト	無応答	特になし
Control/Bulk	Out/Setup	DATA	PID Check エラー	無応答	特になし
Control/Bulk	Out/Setup	DATA	未対応 PID (DATA PID 以外)	無応答	特になし
Control/Bulk	Out/Setup	DATA	CRC エラー	無応答	受信データ破棄
Control/Bulk	Out/Setup	DATA	Bit Stuffing エラー	無応答	受信データ破棄
Control/Bulk	Out	DATA	DATA PID 不一致	ACK	受信データ破棄
Control (Setup Stage)	Setup	DATA	Overrun	無応答	受信データ破棄
Control (Data Stage)	Out	DATA	Overrun	無応答 ^{注3}	EP0_Stall をセット, 受信データ破棄
Control (Status Stage)	Out	DATA	Overrun	ACK or 無応答 ^{注2}	EP0_Stall をセット, 受信データ破棄
Bulk	Out	DATA	Overrun	無応答 ^{注3}	EPn Status に Halt セット
Control/Bulk/Interrupt	In	Handshake	PID Check エラー	-	送出したデータを保持しリトライ ^{注4}
Control/Bulk/Interrupt	In	Handshake	未対応 PID (ACK PID 以外)	-	送出したデータを保持しリトライ ^{注4}
Control/Bulk/Interrupt	In	Handshake	タイムアウト	-	送出したデータを保持しリトライ ^{注4}

注 1. Mode Control 1 Reg. EP3_ON_Set bit に設定されている対象エンドポイントが有効か否かは判定されません。

2. 転送データが MAX Packet Size 以下なら ACK 応答し, ファームウェア・リクエストの場合はデータを受信します (ハードウェア・リクエストの場合は破棄)。

一方, MAX PACKET Size+1 以上なら無応答となり (ハードウェア / ファームウェア・リクエスト共に), SNDPHY Reg. EP0_Stall bit がセットされ受信データは破棄されます (ただし, Mode Control 1 Reg. EP0_Over_Run_Set bit = 1 の場合は SNDPHY Reg. EP0_Stall bit はセットされません)。

3. ホストのリトライ転送に対して Stall 応答します (ただし, Mode Control 1 Reg. EP0_Over_Run_Set bit = 1 の場合は通常応答)。

4. Control 転送の次の状態は対象外で, 正常受信完了と判断します。

DATA Stage から Status Stage への変化を示す Out トランザクションを受信した場合。

複数の条件が重なった場合の応答は、次のとおりです。

OUT に対する応答

データ・パケット・エラー (オーバーラン含)	Halt Feature	DATA PID 一致	データ受付可能	ファンクション応答	マクロ処理
Yes	N/A	N/A	N/A	無応答	受信データ破棄
No	Set	N/A	N/A	STALL	SND_RES_PID="1110"
No	Not Set	No	N/A	ACK	SND_RES_PID="0010"
No	Not Set	Yes	Yes	ACK ^注	SND_RES_PID="0010"
No	Not Set	Yes	No	NAK	SND_RES_PID="1010"

注 HS 時には NYET 応答 (SND_RES_PID="0110") となる場合あり

IN に対する応答

データ・パケット・エラー (オーバーラン含)	Halt Feature	データ受付可能	ファンクション応答	マクロ処理
Yes	N/A	N/A	無応答	特になし
No	Set	N/A	STALL	SND_RES_PID="1110"
No	Not Set	No	NAK	SND_RES_PID="1010"
No	Not Set	Yes	データ・パケット発行	TX_DIN 出力

第6章 特定状態におけるレジスタ値

(1/2)

グループ名	レジスタ名	ハードウェア・リセット時	USB Bus Reset 時
EP_Control	EPNAK Status High / Low		×
	EPNAK Control High / Low		×
	SNDPHY High / Low		×
Status	CLR Request High / Low		×
	SET Request High / Low		×
	EP Status 0 High / Low		×
	EP Status 1 High / Low		×
	EP Status 2 High / Low		×
	Device IF Status High / Low		×
Interrupt	INT Status 0 High / Low		×
	INT Status 1 High / Low		×
	INT Status 2 High / Low		×
	INT MASK 0 High / Low		×
	INT MASK 1 High / Low		×
	INT MASK 2 High / Low		×
	INT Clear 0 High / Low	(FFH)	×
	INT Clear 1 High / Low	(FFH)	×
	INT Clear 2 High / Low	(FFH)	×
DMA	DMA Control 0 High / Low		×
	DMA Control 1 High / Low		×
	DMA Control 2 High / Low		×
	DMA Status 0 High / Low		×
Buffer_Control	Buffer Clear 0 High / Low		×
	Data End High / Low		×
Mode	GPR High / Low		×
	Mode Control 0 High / Low		×
	Mode Control 1 High / Low		×
	Mode Status High / Low		Default セット
	Mode Mask High / Low		×
	Req_Sel Control High / Low		×
	Req_Sel Status High / Low		×
Class_Spec	BulkOnly Control High / Low		×
	BulkOnly Status High / Low		×

グループ名	レジスタ名	ハードウェア・リセット時	USB Bus Reset時
Transfer Data	EP0 Read	注	×
	EP0 Length		×
	EP0 Setup		
	EP0 Write	注	×
	EP1 Read	注	×
	EP1 Length		×
	EP2 Write	注	×
	EP3 Write	注	×
Protocol Data	Device Status High / Low		
	EP0 Status High / Low		
	EP1 Status High / Low		
	EP2 Status High / Low		
	EP3 Status High / Low		
	Address High / Low		
	Configuration High / Low		
	Interface High / Low		
BIU Control	BIU Control 0 High / Low		×
	BIU Control 1 High / Low		×
	BIU Control 2 High / Low		×
	BIU Control 3 High / Low		×
	BIU Control 4 High / Low		×
	BIU Control 5 High / Low		×
	BIU STA 1 High / Low		×
	EP2 LDATA High / Low		×
	EP1DAL High / Low		×
	EP1DAH High / Low		×
	EP2SAL High / Low		×
	EP2SAH High / Low		×
	EP2DMACT High / Low		×
	BIU_FWRESET High / Low		×
	BIU_DEB High / Low		×

注 各レジスタはRAMに割り当てられているが、バッファ制御のためRSTによってクリアできます。

Buffer Clear 0 Reg.でのクリアと同様にRSTがアクティブになると、Writeポインタ、カウンタ、Readポインタすべてを0にクリアするため。

備考 ✓ : ハードウェアによりクリアされます(値については、各レジスタの項を参照してください)

× : ハードウェア・クリアされません。

第7章 操作フロー

7.1 操作方法

この章では、 μ PD720122 の操作フローを説明します。

ここで説明している操作フローは基本例であり、実際にお客様のシステムに組み込む際は必ず検証を行ってください。また、使用するファンクションによって、レジスタ名が異なります。

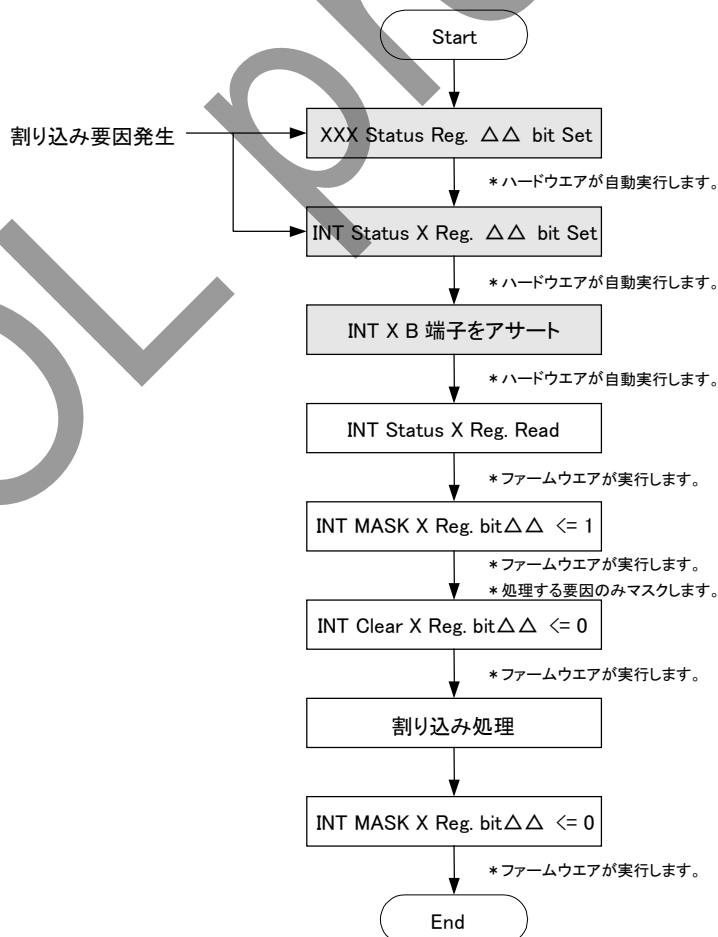
特に断りのない場合は、Function1 で表記しています。

8 bit モード (Function2) の場合は、レジスタが上位と下位に分割され、また EP バッファのレジスタ名が異なるので読み替えてください。

フローチャートにおいて はハードウェアが自動で行う処理、または判断するものです。

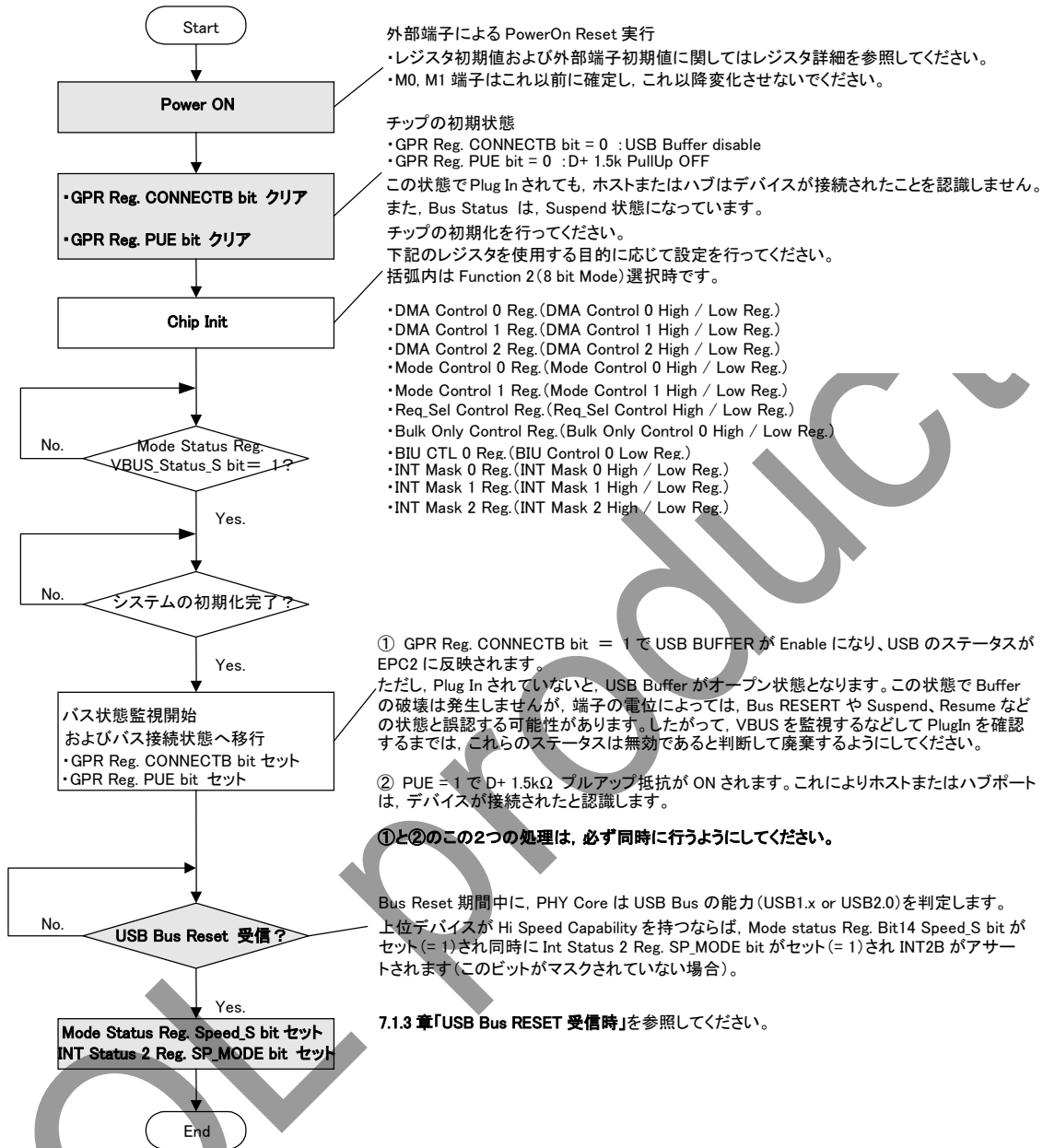
また、 はファームウェアが処理またはお客様のシステムが判断するものです。

注意 割り込み要因のマスク、クリア処理はシステムに応じて異なります。このマニュアルでは次に示すフローを代表例としています。マスク、クリア処理に関しては、お客様のシステムに応じて変更してください。



7.1.1 チップの初期化

電源投入時の処理



7.1.2 USB メイン処理モジュール

USB メイン処理モジュールは USB トランザクションに対する処理を行います。

対象となるトランザクションのタイプは次のとおりです。

さらに使用する Function モードによってアクセスするレジスタが異なるので注意が必要です。

EP0 に対する自動処理リクエスト

EP0 に対するファームウェア実行リクエスト

EP1 (Bulk OUT) に対する処理

EP2 (Bulk IN) に対する処理

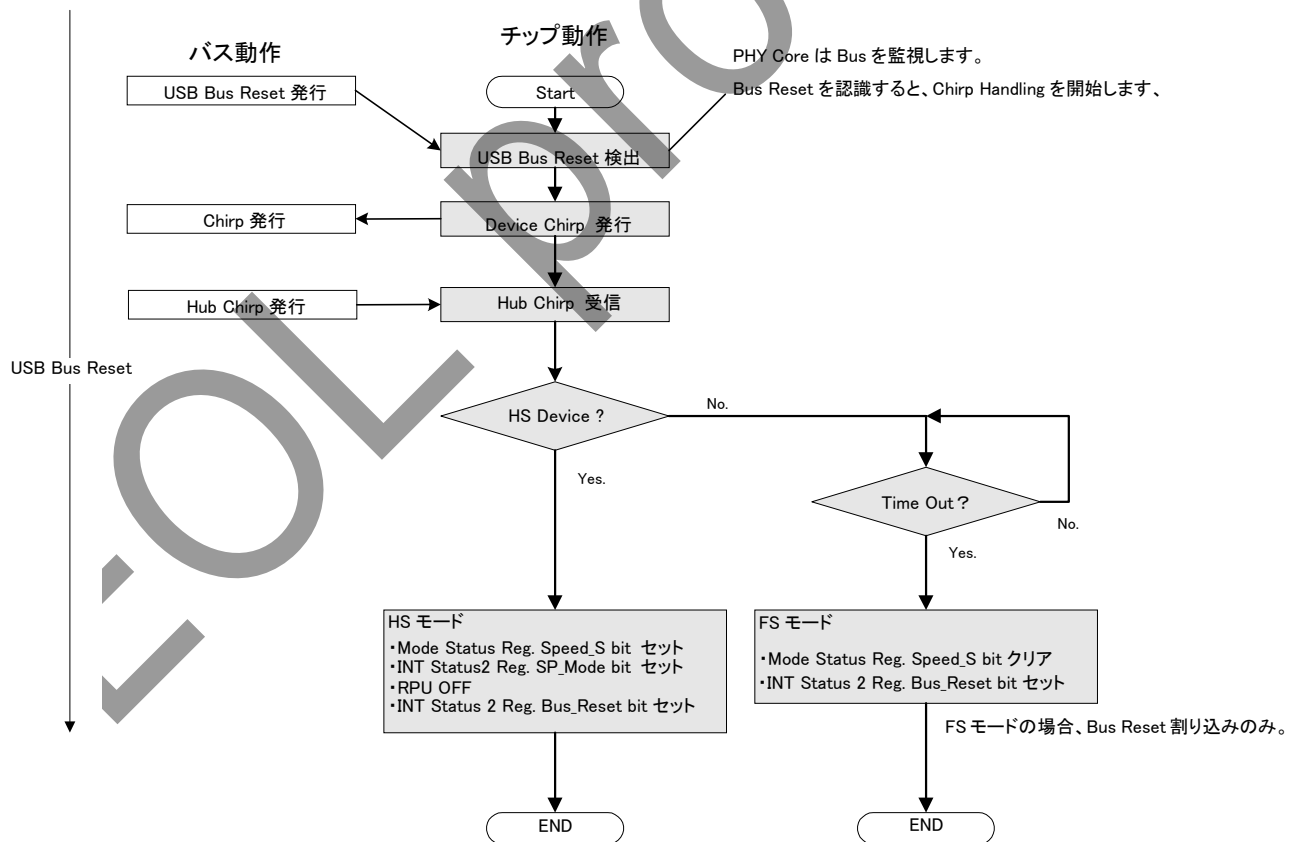
EP3 (Interrupt IN) に対する処理

7.1.3 USB Bus Reset 受信時

HS モード または FS モードの切り替えは、Bus Reset 割り込みを認識したときに、Mode Status Reg. Speed_S bit を読み出すことで把握できます。

Bus Reset はどんな場合にも認識できなければなりません。プログラムを作成する際には留意してください。

USB Bus Reset 時の動作



7.1.4 Control EP に対するリクエスト処理

リクエストを正常に受信したとき、 μ PD720122 の EPC2 Core は、定義されているリクエスト・デコード表に従って処理を行います (Mode Control 0 Reg.および Req_Sel Control Reg.の設定に従って、ハードウェア実行やファームウェア実行の分類を行います)。

ベンダ定義のリクエストはファームウェア実行リクエストとして処理してください (専用の割り込みがアサインされています)。

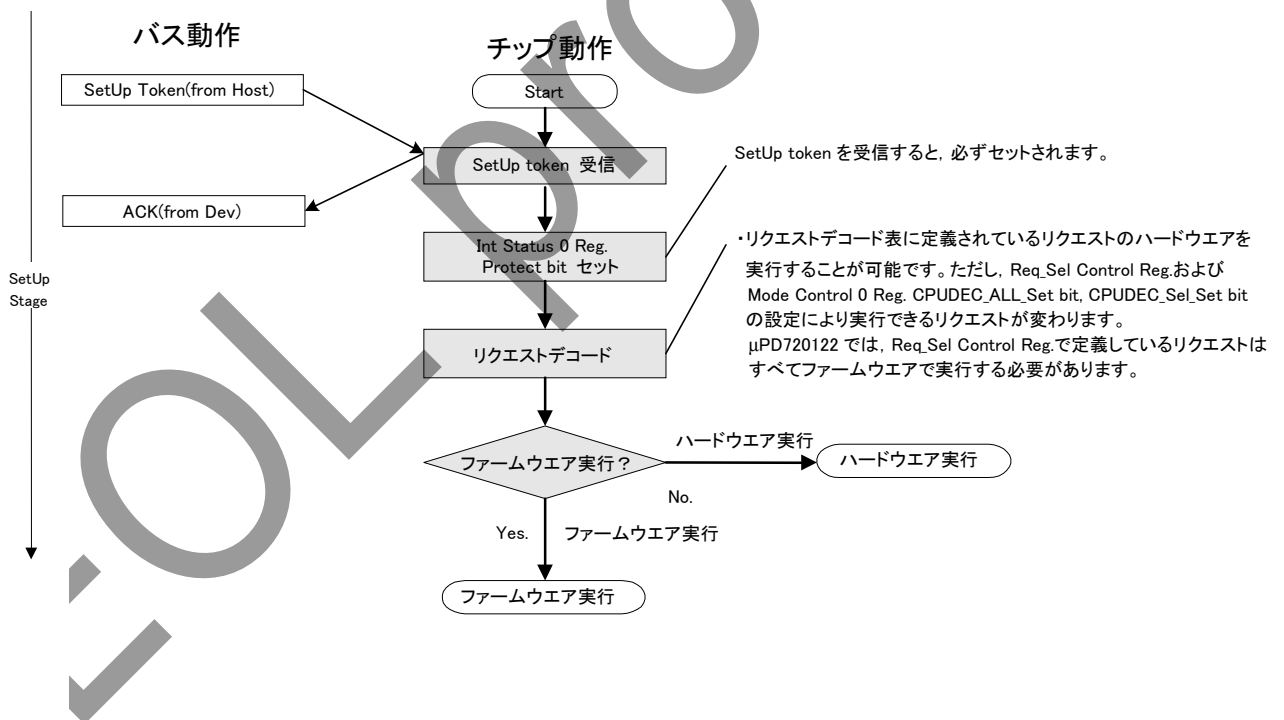
さらに、クラス・リクエストに関しても、ベンダ・リクエストと同様に専用の割り込みをアサインしているので、その割り込みを用いてファームウェア実行リクエストと同様に処理を行ってください。

フローチャートにおいて特に断りがない場合は、レジスタ名を Function 1, 3 (16 bit Bus モード) で記述しています。Function 2 (8 bit Bus モード) で使用する場合は、対応するビットにより上位レジスタと下位レジスタに分かれるので読み替えてください。

7.1.5 Control 転送の分岐

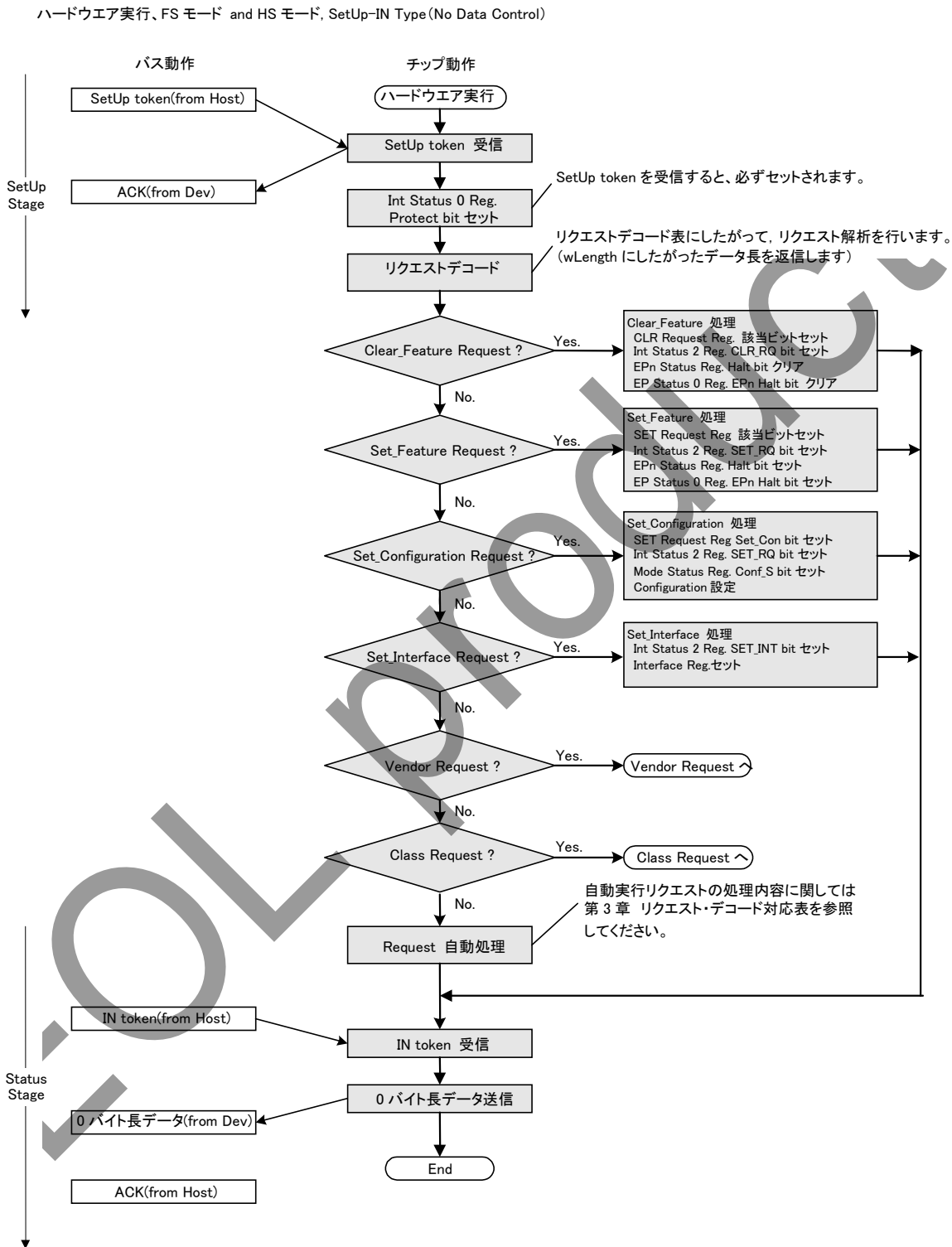
Control EP に送信されてきたリクエストは、次のフローで分類されます。

Control EP SetUp Token 受信時



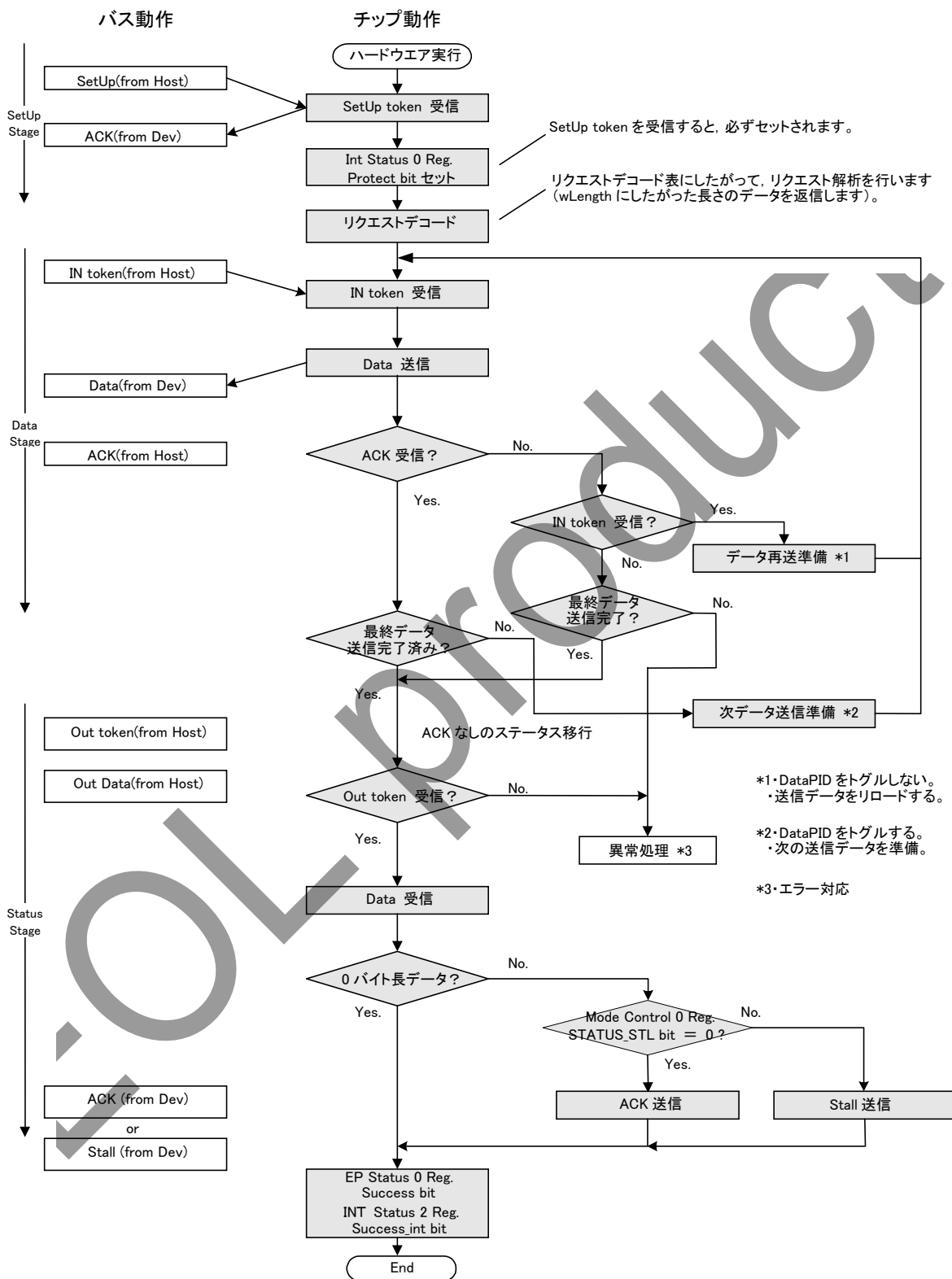
7.1.6 ハードウェア実行リクエスト (No Data Control)

ハードウェア実行リクエスト分類された中で、No Data Control タイプのリクエストに対する処理をまとめます。



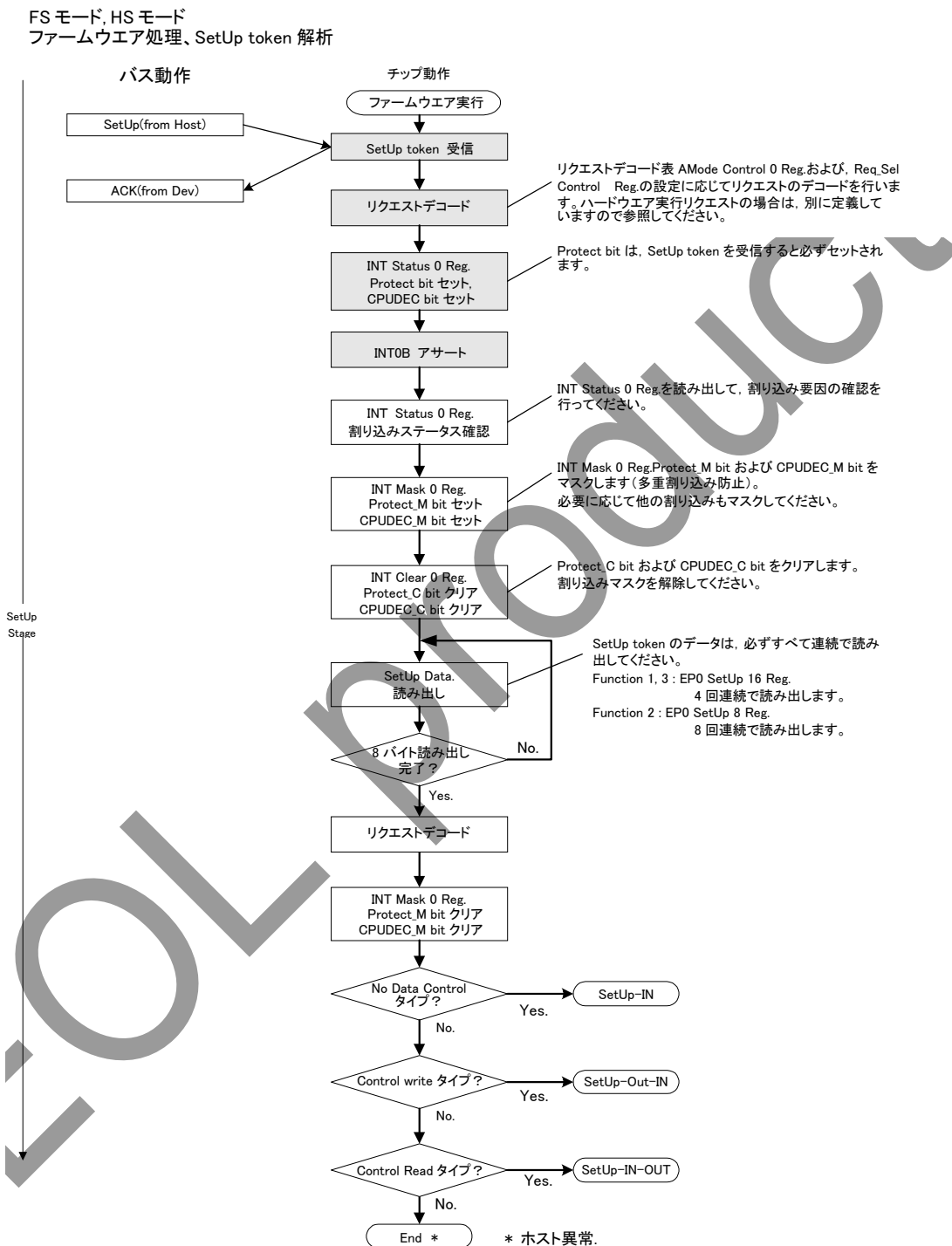
7.1.7 ハードウェア実行リクエスト (Control Read)

ハードウェア処理, FS SetUp-IN-OUT Type (Control Read)



7.1.8 ファームウェア実行リクエスト (Setup トークン解析)

ファームウェア実行リクエストの場合は CPUDEC/Protect 割り込みがセットされるので、割り込みを検出したら EP0 Setup Reg.を読み出してリクエストの解析を行ってください。ファームウェア実行リクエストの場合は、ハンドシェイク・ステージにおける 0 バイト長データ送受信もファームウェアで行う必要があります。

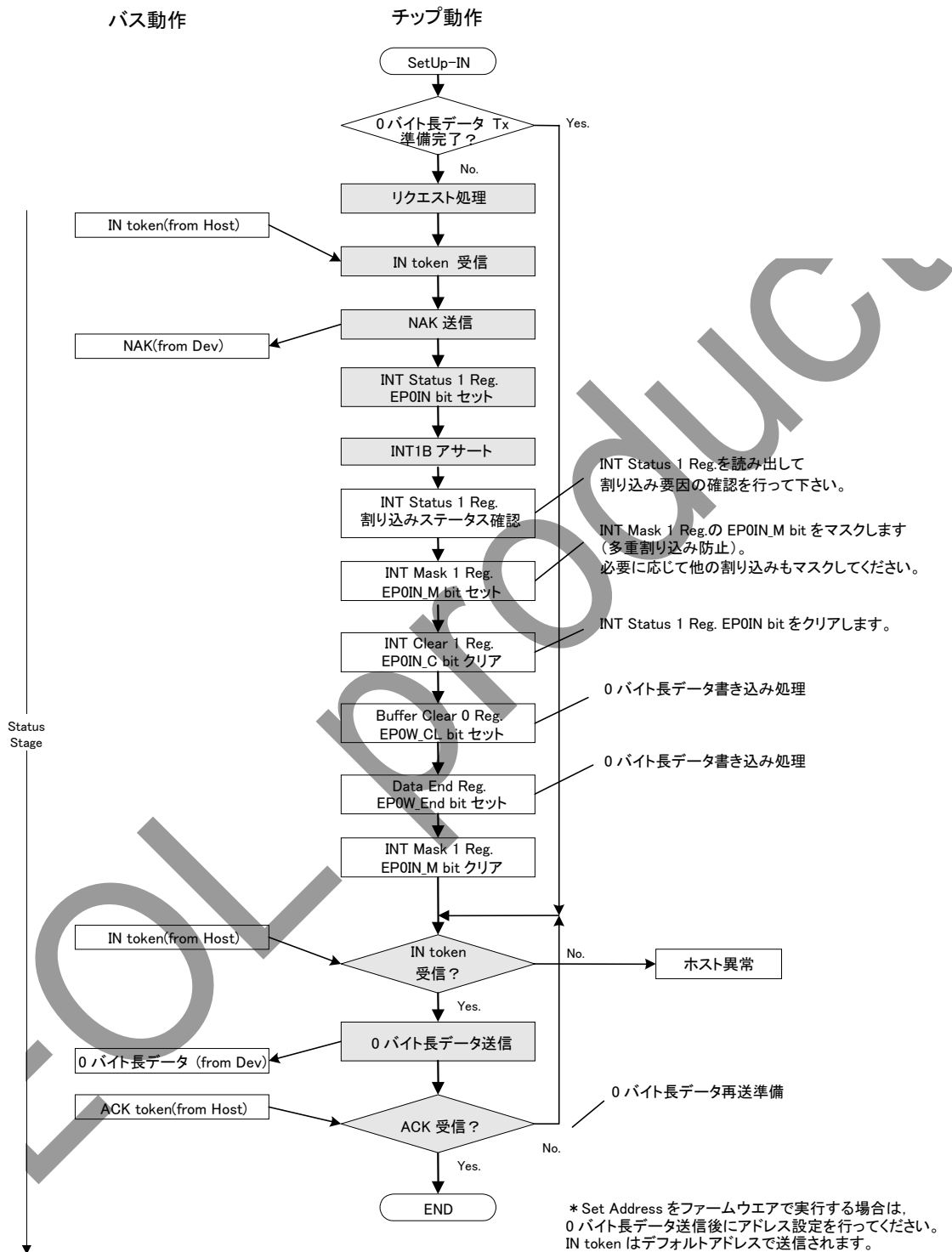


注意 Req_Sel Status Reg.で表示されるリクエストは CPUDEC 割り込みの代わりに INT Status 0 Reg.Req_Sel bit 割り込みが発生し、INT0B がアサートされます。処理手順は以降のファームウェア処理と同様となります。

7.1.9 ファームウェア実行リクエスト (No Data Control)

ファームウェア実行リクエストに分類された中で、No Data Control タイプに対する処理を次にまとめます。

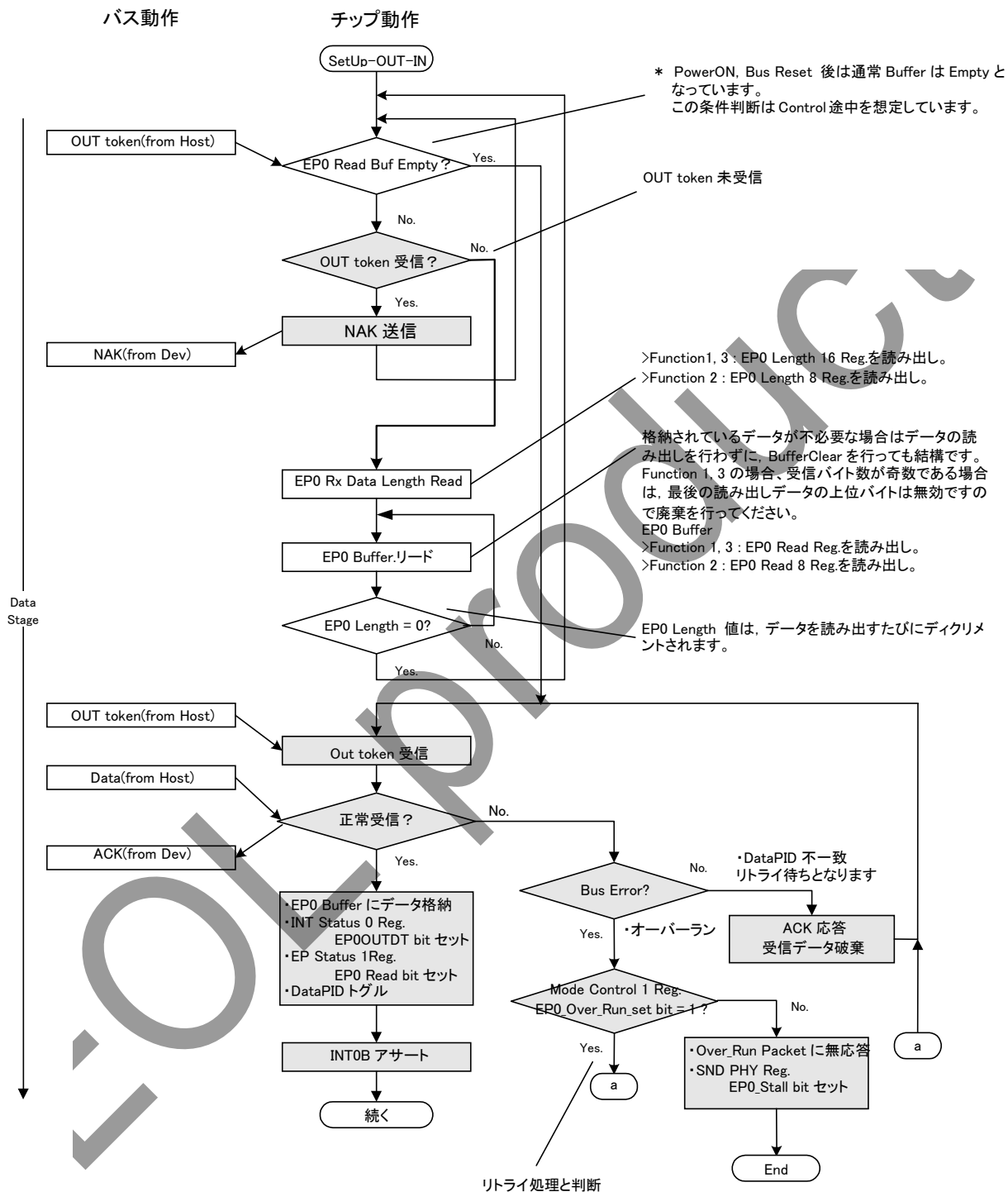
FS モード, HS モード ファームウェア処理 (No Data Control)



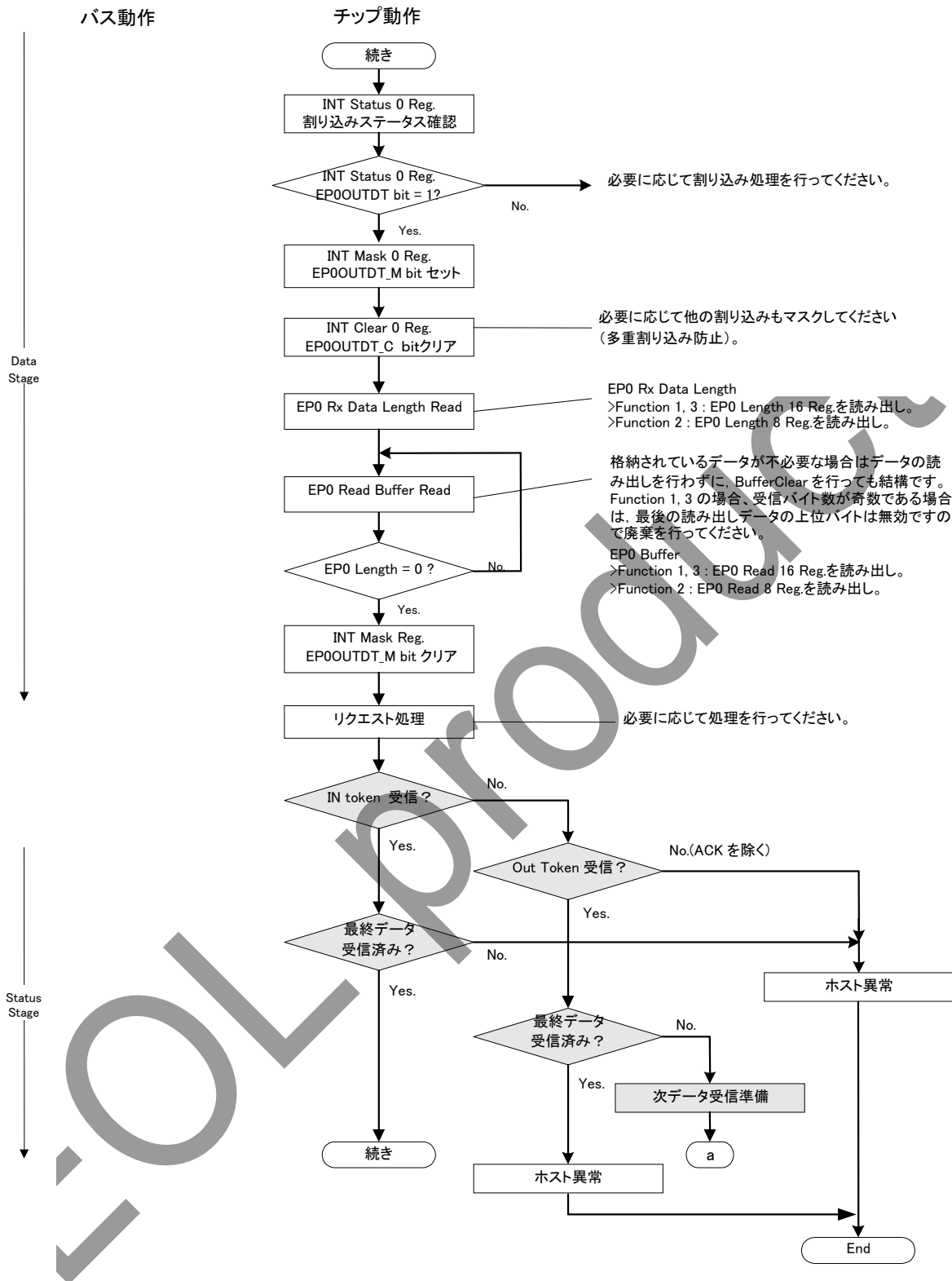
7.1.10 ファームウェア実行リクエスト (Control Write)

ファームウェア実行リクエストに分類された中で、Control Write タイプに対する処理を次にまとめます。

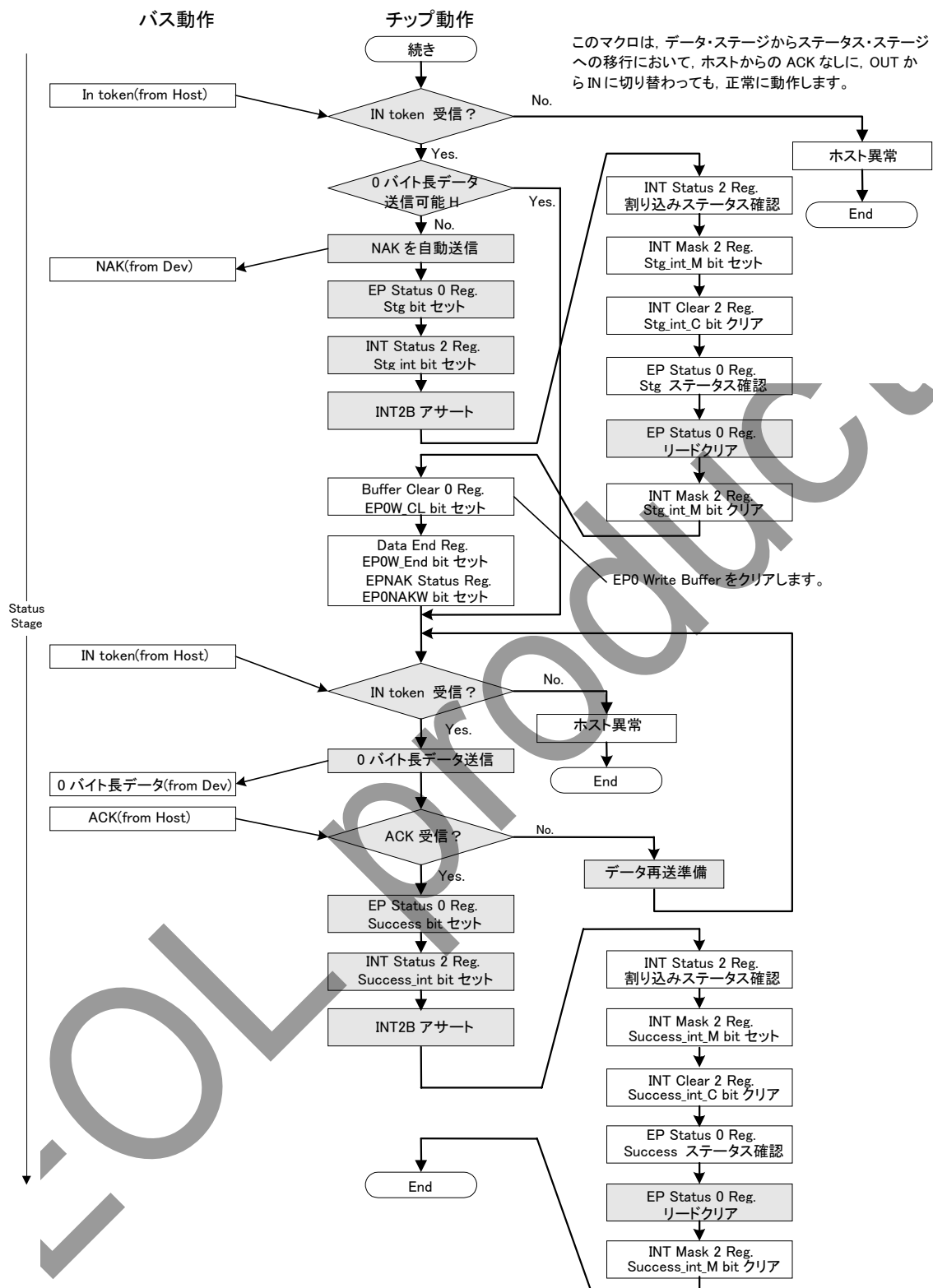
FS モード ファームウェア処理 (Control Write) (1/3)



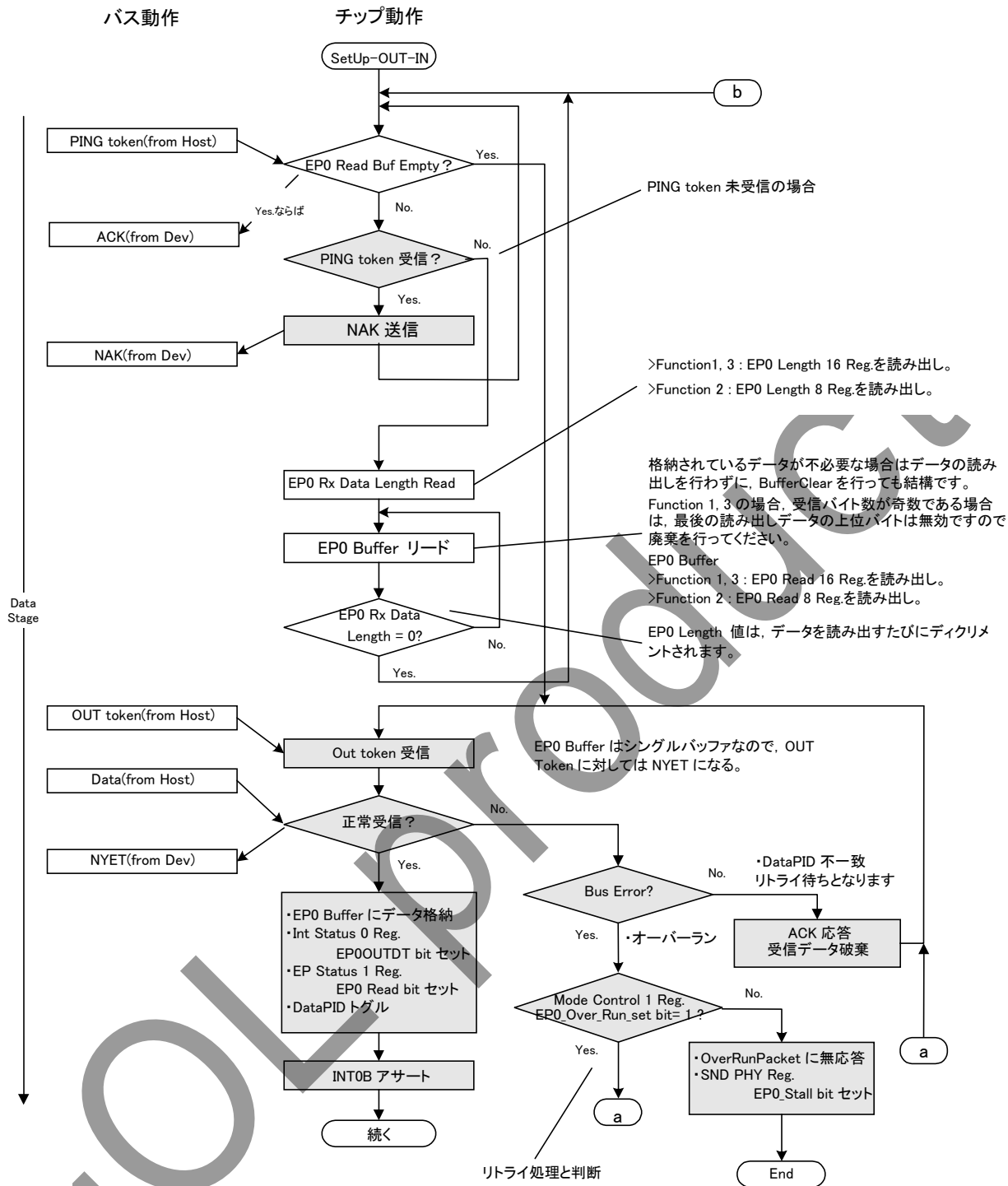
FS モード ファームウェア処理(Control Write) (2/3)



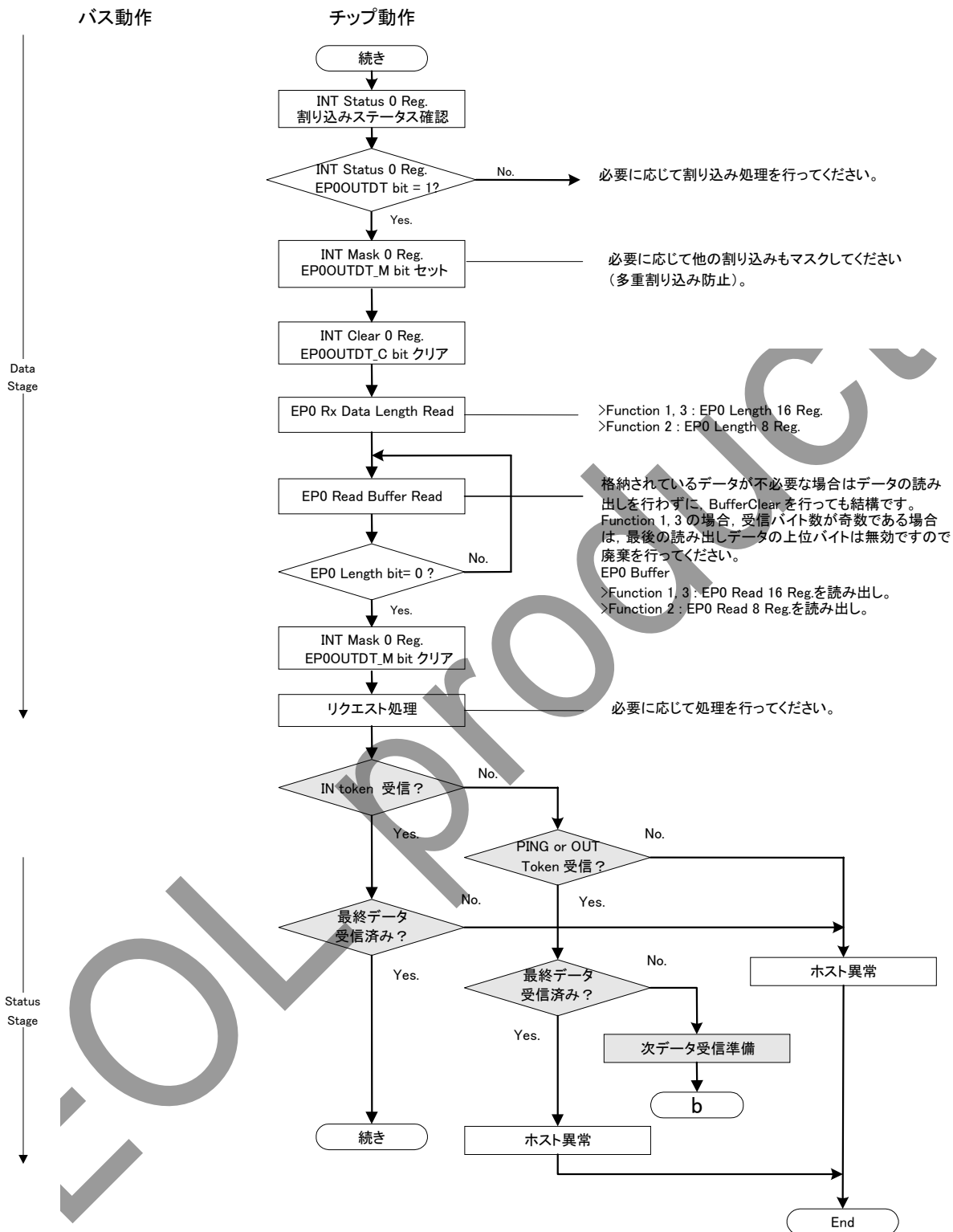
FS モード, HS モード共通ファームウェア処理 (Control Write)(3/3)



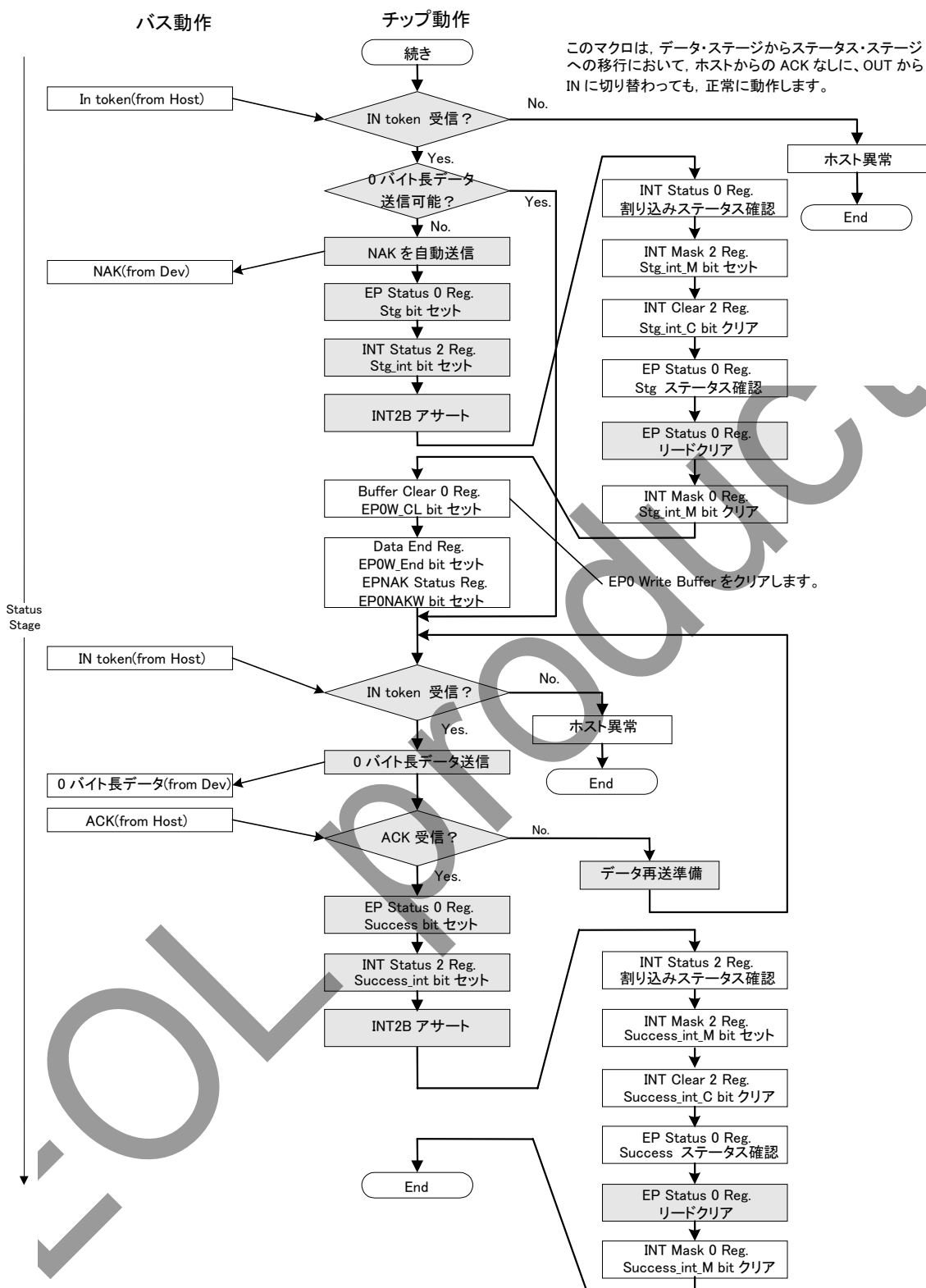
HS モード ファームウェア処理 (Control Write) (1/3)



HSモード ファームウェア処理 (Control Write) (2/3)

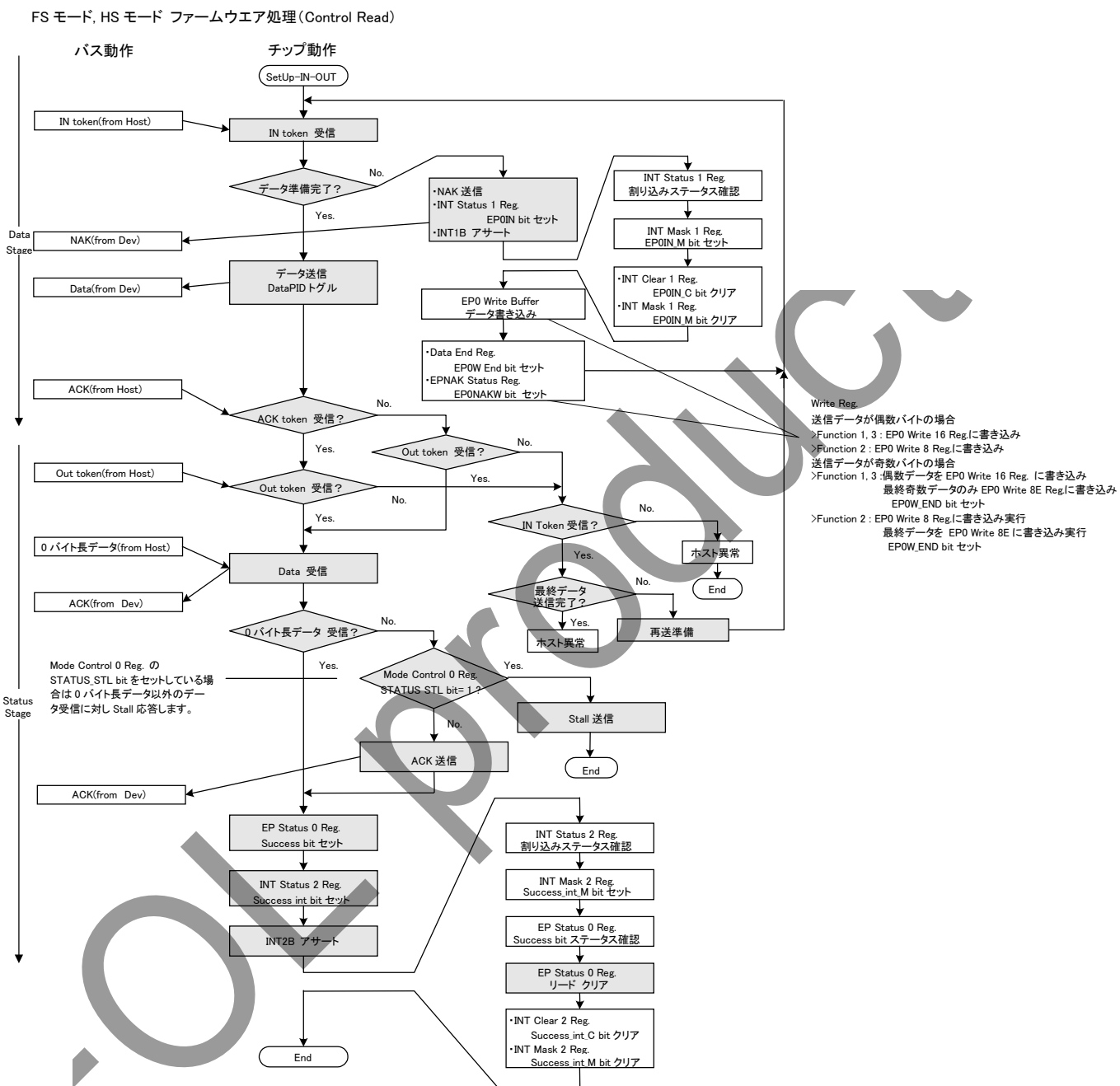


FS モード, HS モード共通ファームウェア処理 (Control Write)(3/3)



7.1.11 ファームウェア実行リクエスト (Control Read)

ファームウェア実行リクエストに分類された中で Control Read タイプに対する処理を次にまとめます。



7.1.12 データ受信時の処理

(1) 16 bit モード PIO 転送時 (Function 1, 3 のとき)

受信データ長は, EP0 Length16 Reg.から読み出してください。

- 受信データが偶数である場合
すべてのデータは, EP0 Read16 Reg.から読み出してください。
- 受信データが奇数である場合
すべてのデータは, EP0 Read16 Reg.から読み出してください。
ただし, 最終読み出しデータの上位バイトが無効データなので, 廃棄してください。
μPD720122 はワード・アクセスのみサポートしています。

(2) 8 bit モード PIO 転送時 (Function 2 のとき)

受信データ長は, EP0 Length8 Reg.を 2 回連続で読み出してください。

1 回目のリードで下位バイトが出力され, 2 回目のリードで上位バイトがリードできます。
受信データの奇数 / 偶数にかかわらず, すべて EP0 Read8 Reg.から読み出してください。

7.1.13 データ送信時の処理

(1) 16 bit モード PIO 転送時 (Function 1, 3 のとき)

- 送信データが偶数である場合
すべてのデータは, EP0 Write16 Reg.から書き込んでください。
- 送信データが奇数である場合
偶数 (ワード) 書き込みができるデータまで, EP0 Write16 Reg から書き込んでください。
最終書き込み (下位バイトのみ有効) の書き込みのみ, EP0 Write8E Reg.に書き込んでください。
EP0 Write8E Reg.はワード・レジスタですが, 下位バイトのみ EP0 バッファに書き込みを行います。
書き込み後に, EP0W_END bit をセットしてください。

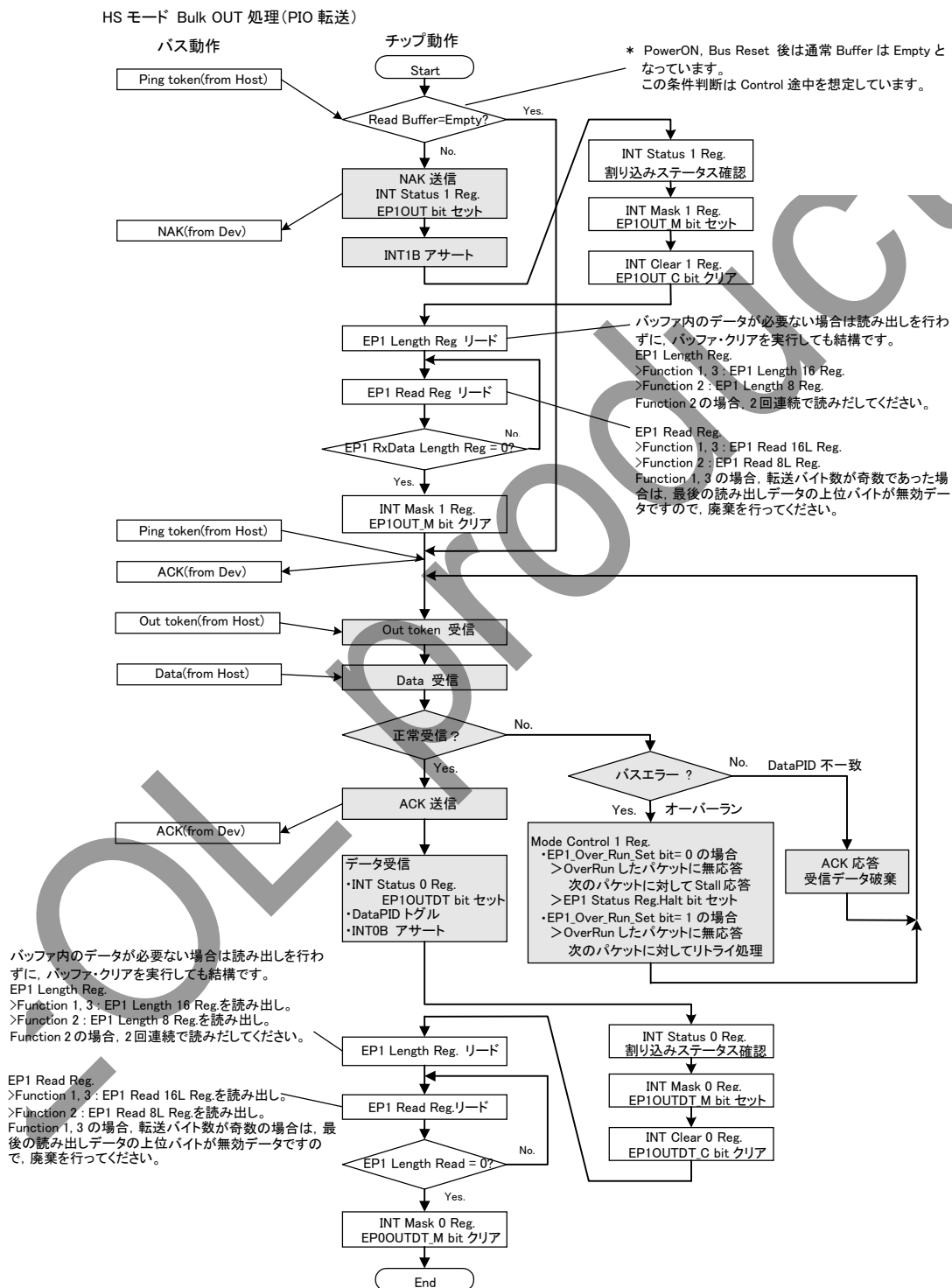
(2) 8 bit モード PIO 転送時 (Function 2 のとき)

- 送信データが偶数である場合
すべてのデータは, EP0 Write8 Reg.から書き込んでください。
- 送信データが奇数である場合
最終書き込み (奇数バイト目) 以外は, EP0 Write8 Reg.から書き込んでください
(EP0 Write8 Reg.は, 内部で書き込みデータを 16 bit 化して EP0 バッファに書き込んでいます)。
ただし, 最終書き込み (奇数バイト目) は, 必ず EP0 Write8E Reg.に書き込んでください。
書き込み後に, EP0W_END bit をセットしてください。

7.1.14 EP1 に対するデータ転送 (Bulk OUT)

EP1 における Bulk OUT 転送の方法について次にまとめます。EP1 は PIO および DMA を用いた転送が可能です。また、設定している Function によりアクセスするレジスタが異なります。

(1) HS モード PIO 転送



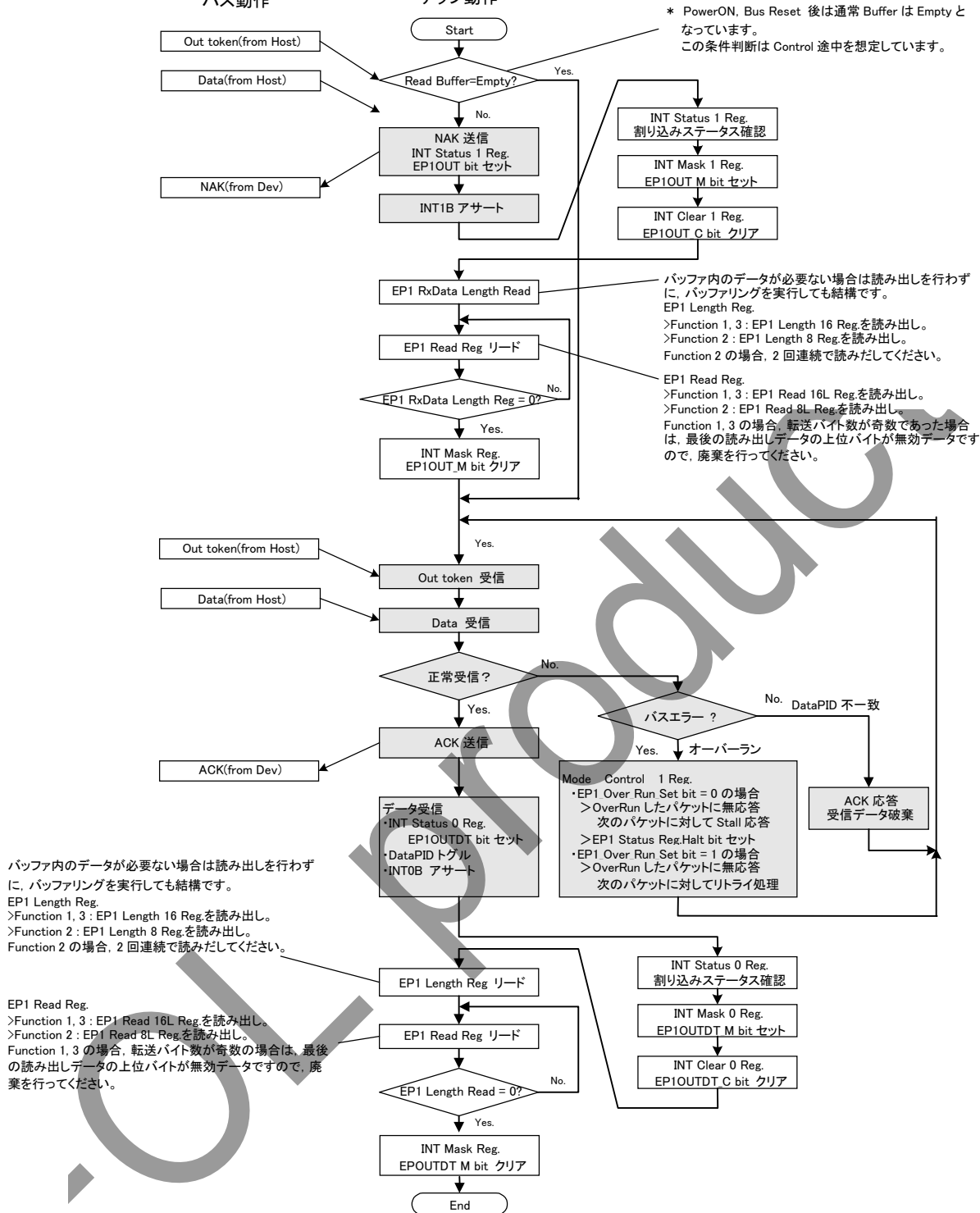
(2) FS モード PIO 転送

FS モード Bulk OUT 処理(PIO 転送)

バス動作

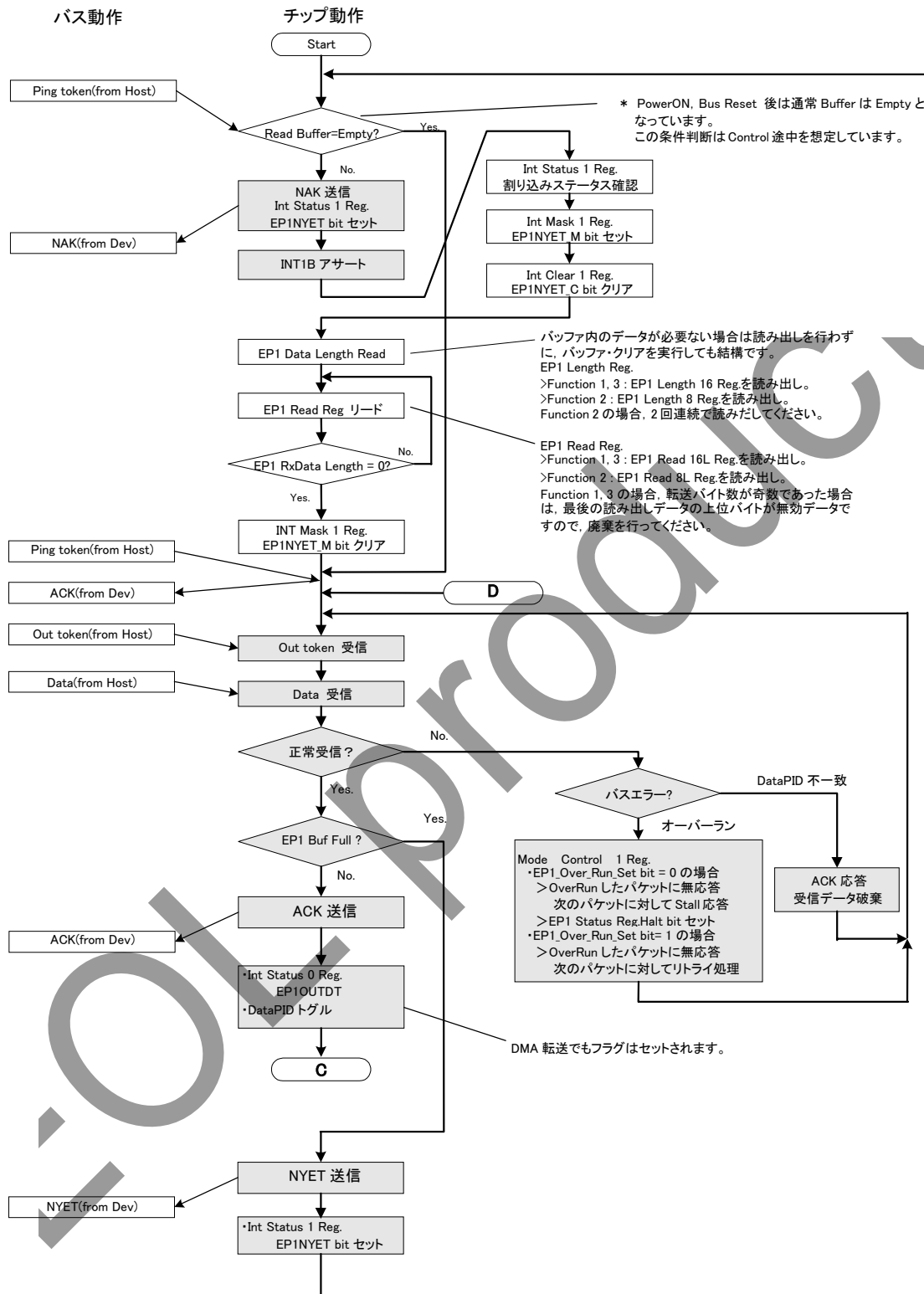
チップ動作

* PowerON, Bus Reset 後は通常 Buffer は Empty となっています。
この条件判断は Control 途中を想定しています。

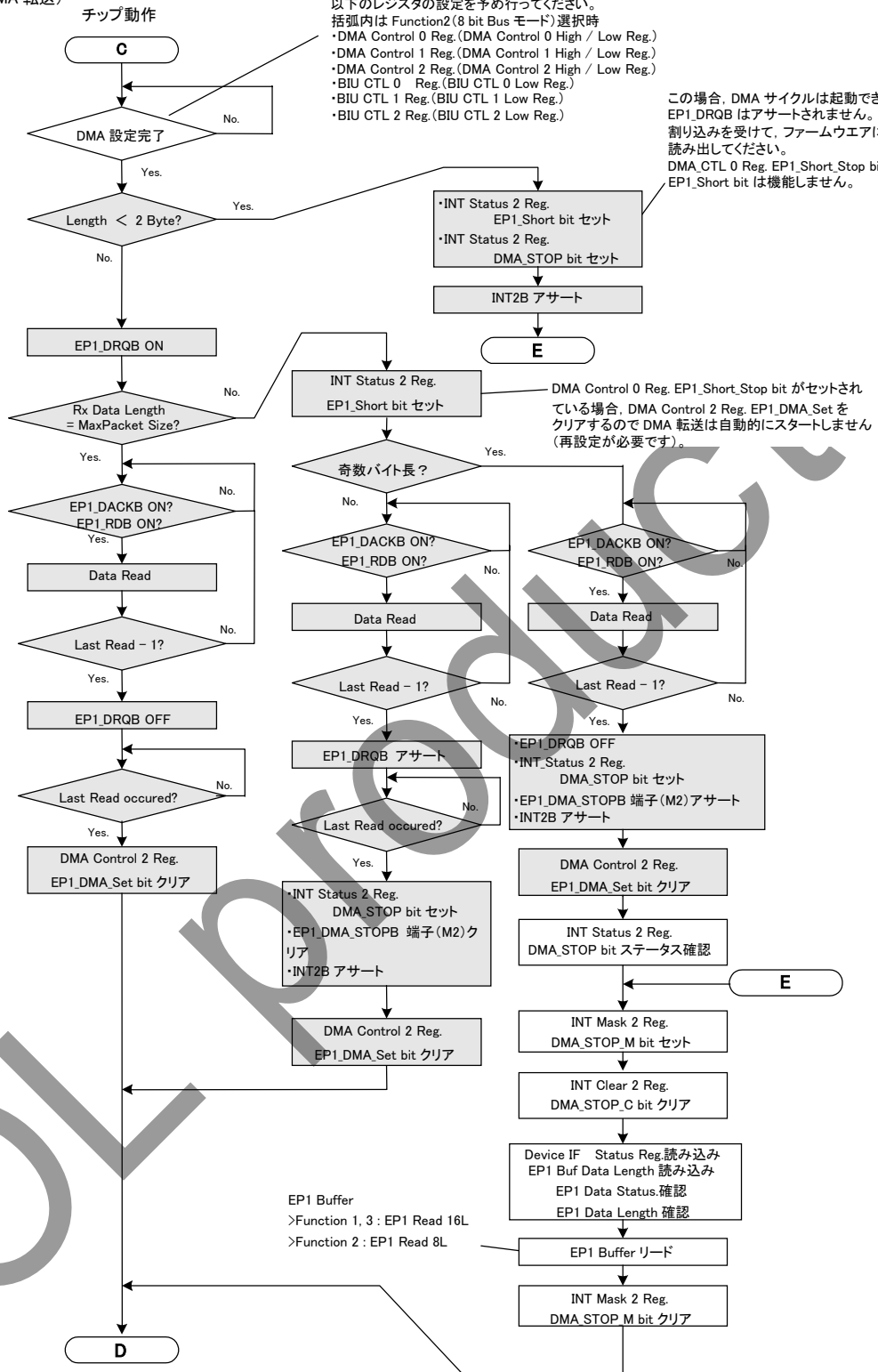


(3) HS モード DMA 転送

HS モード Bulk OUT 処理(DMA 転送)

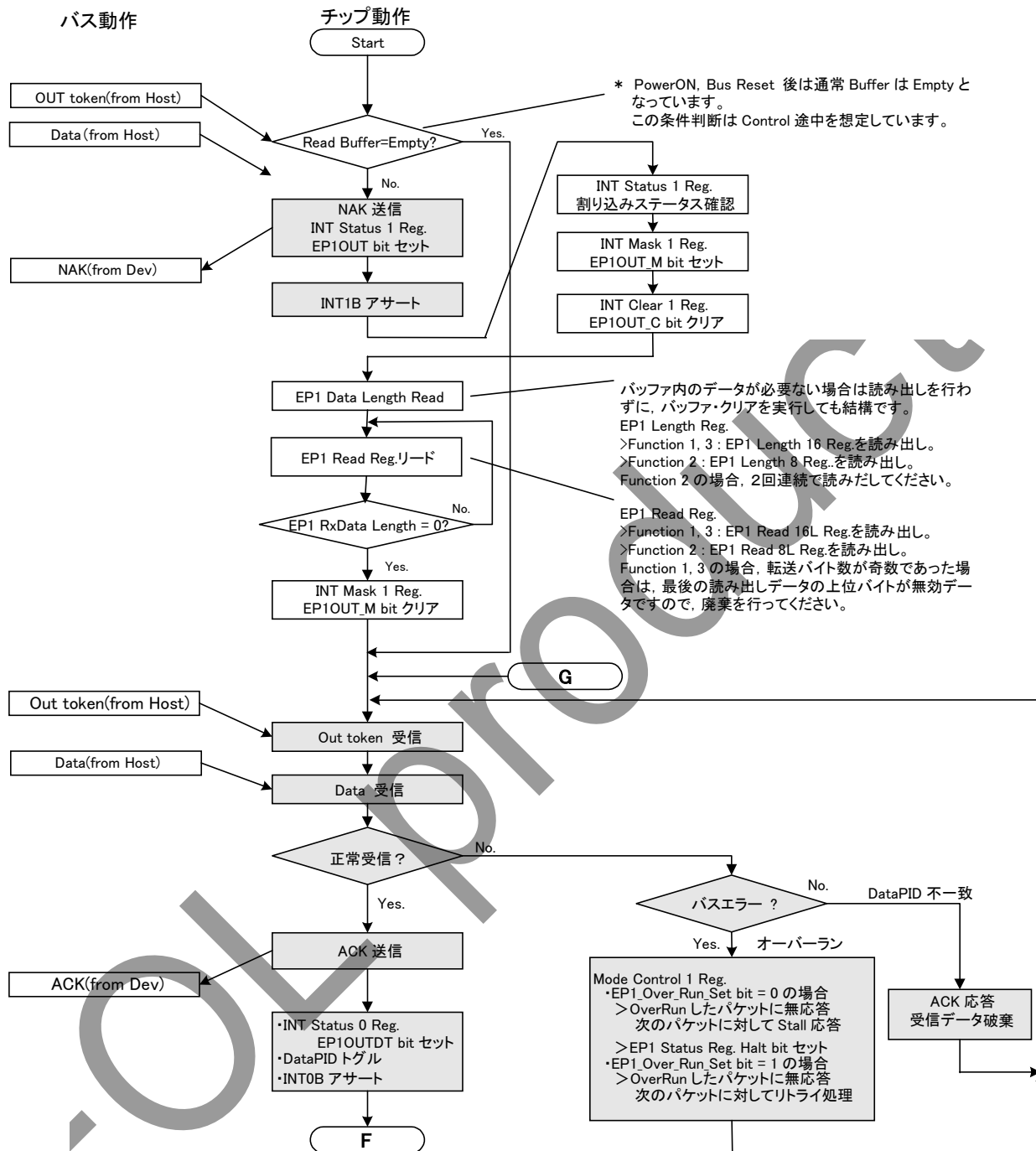


HS モード Bulk OUT 処理 (DMA 転送)
バス動作

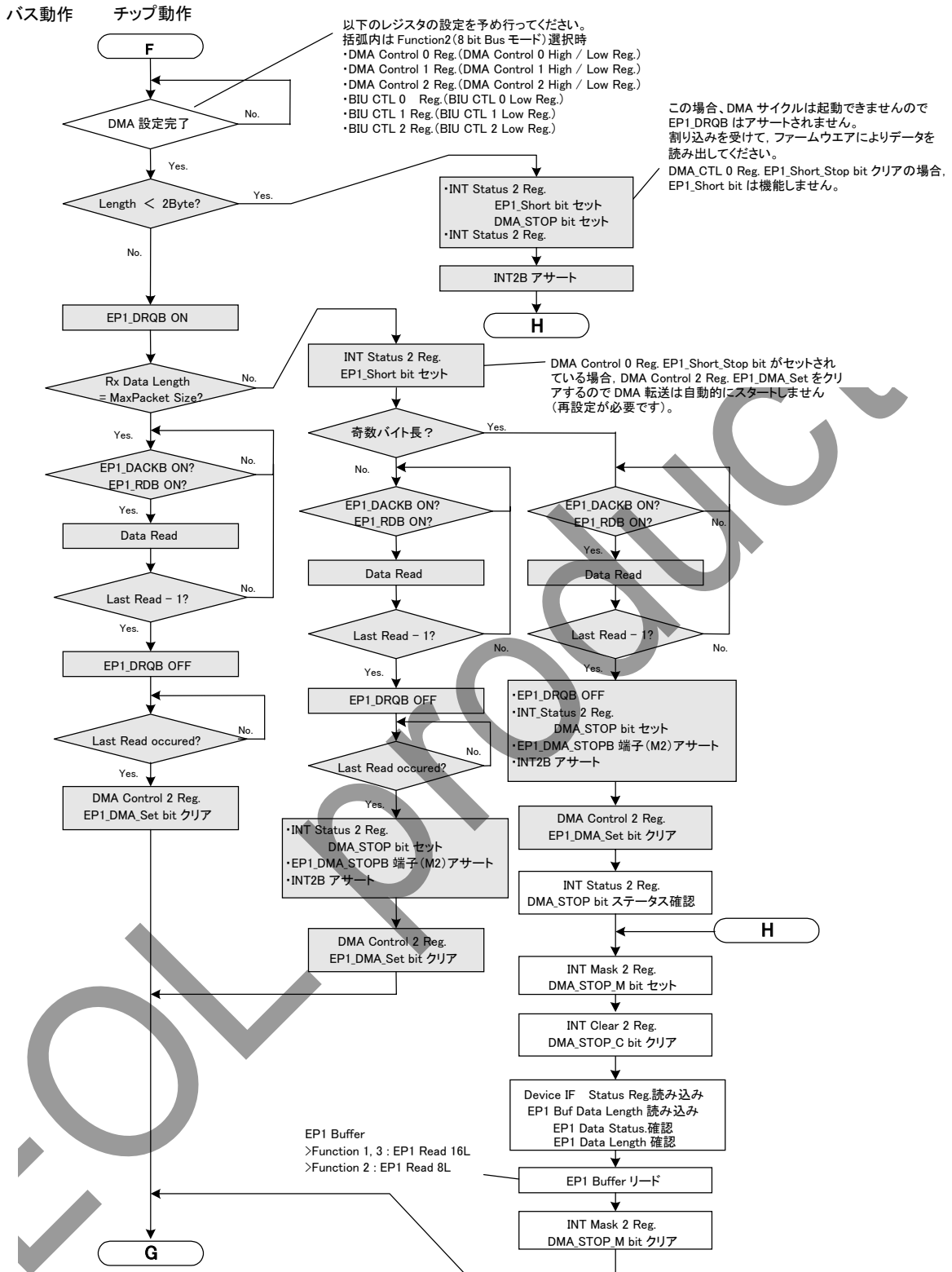


(4) FSモード DMA転送

FSモード Bulk OUT 処理(DMA転送)



FS モード Bulk OUT 処理(DMA 転送)



7.1.15 データ受信時の処理

PIO 転送, DMA 転送ともに, 次の設定を行った状態でのみ, BulkOUT データの読み出しが可能となります。

PIO の場合

- ・ Internal Local Bus 使用 (DMA Control 1 Reg. EP1_Local_Set bit = 1)
- ・ Single Mode 使用 (DMA Control 0 Reg. Mode0_Set bit = 0)

DMA Single の場合

- ・ Internal Local Bus 使用 (DMA Control 1 Reg. EP1_Local_Set bit = 1)
- ・ Single Mode 使用 (DMA Control 0 Reg. Mode0_Set bit = 0)

DMA Demand の場合

- ・ Internal Local Bus 使用 (DMA Control 1 Reg. EP1_Local_Set bit = 1)
- ・ Demand 使用 (DMA Control 0 Reg. Mode0_Set bit = 1)

(1) 16 bit モード PIO 転送時

受信データ長は, EP1 Length16 Reg.から読み出してください。

- 受信データが偶数である場合
すべてのデータは, EP1 Read16 Reg.から読み出してください。
- 受信データが奇数である場合
偶数で読み出せるところまでを, EP1 Read16 Reg.から読み出してください。
残りの奇数バイト (1 バイト) も, EP1 Read16 Reg.から読み出してください。ただし, 上位バイトは無効データなので, 廃棄してください。

(2) 8 bit モード PIO 転送時

受信データ長は, EP1 Length8 Reg.を 2 回連続で読み出してください

(Length Reg.は, 16 bit 幅を持ちます。 1 回目のアクセスで下位バイトが読み出されます)

1 回目のリードで下位バイトが出力され, 2 回目のリードで上位バイトが出力できます。

すべてのデータを EP1 Read8L Reg.から読み出してください

(EP1 Read8L Reg.は 16 bit レジスタですが, 下位バイトのみ有効です)

7.1.16 DMA 転送時

(1) External Local Bus 16 bit 設定時

CPU Bus 側で DMA 転送を行う場合も、External Local Bus 16 bit 設定時と同様になります
(ただし、CPU Bus 側で DMA 転送を行う場合は、8 bit 設定はできません)。

(a) 受信データが偶数である場合 (2 バイトを除く)

フル・パケットである場合は、最終データの転送前の EP1_RDB のディアサート後に EP1_DRQB がディアサートされます。フル・パケットの場合、EP1_DMA_STOPB はアサートされません。

ショート・パケットである場合は、ショート・パケットを格納しているバッファが読み出し可能 (バッファ・トグル発生時) になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生します。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して DMAC の転送回数を再設定して DMA で読み出しをするか、PIO にて読み出ししてください。

DMA で読み出した場合、最終データの読み出し中 (EP1_RDB がアクティブ時) に EP1_DMA_STOPB がアサートされるので、必要に応じて DMA 転送停止に使用してください (M2 端子に EP1_DMA_STOPB 機能をアサインした場合)。

(b) 受信データが奇数である場合 (1 バイトを除く)

この場合は必ずショート・パケットになるため、ショート・パケットを格納しているバッファが読み出し可能 (バッファ・トグル発生時) になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生します。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して DMAC の転送回数を再設定するか、PIO にて読み出ししてください。

DMA で読み出した場合、最終データの 1 つ前の読み出し中 (EP1_RDB がアクティブ時) に EP1_DMA_STOPB がアサートされるので、必要に応じて DMA 転送停止に使用してください (M2 端子に EP1_DMA_STOPB 機能をアサインした場合)。

最終のデータは PIO で読み出しを行う必要があります。

(c) 2 バイト受信の場合

この場合は必ずショート・パケットになるため、ショート・パケットを格納しているバッファが読み出し可能 (バッファ・トグル発生時) になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生します。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して DMAC の転送回数を再設定するか、PIO にて読み出ししてください。

DMA で読み出した場合、読み出し中 (EP1_RDB がアクティブ時) に EP1_DMA_STOPB がアサートされるので、必要に応じて DMA 転送停止に使用してください (M2 端子に EP1_DMA_STOPB 機能をアサインした場合)。

(d) 1バイト受信の場合

この場合は必ずショート・パケットになるため、ショート・パケットを格納しているバッファが読み出し可能（バッファ・トグル発生時）になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生しません。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して PIO にて読み出してください。

DMA を設定した場合でも EP1_DRQB 端子はアサートされませんので、DMA 転送はできません。

(2) External Local Bus 8bit 設定時**(a) 受信データが偶数である場合（2バイトを除く）**

フル・パケットである場合は、最終データの転送前の EP1_RDB のディアサート後に EP1_DRQB がディアサートされます。フル・パケットの場合、EP1_DMA_STOPB はアサートされません。

ショート・パケットである場合は、ショート・パケットを格納しているバッファが読み出し可能（バッファ・トグル発生時）になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生します。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して DMAC の転送回数を再設定するか、PIO にて読み出してください。

DMA で読み出した場合、最終データの 1 つ前の読み出し中（EP1_RDB がアクティブ時）に EP1_DMA_STOPB がアサートされるので、必要に応じて DMA 転送停止に使用してください（M2 端子に EP1_DMA_STOPB 機能をアサインした場合）。

(b) 受信データが奇数である場合（1バイトを除く）

この場合は必ずショート・パケットになるため、ショート・パケットを格納しているバッファが読み出し可能（バッファ・トグル発生時）になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生しません。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して DMAC の転送回数を再設定するか、PIO にて読み出してください。

(c) 2バイト受信の場合

この場合は必ずショート・パケットになるため、ショート・パケットを格納しているバッファが読み出し可能（バッファ・トグル発生時）になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生しません。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して DMAC の転送回数を再設定するか、PIO にて読み出してください。

DMA で読み出した場合、最終データの 1 つ前の読み出し中（EP1_RDB がアクティブ時）に EP1_DMA_STOPB がアサートされるので、必要に応じて DMA 転送停止に使用してください。（M2 端子に EP1_DMA_STOPB 機能をアサインした場合）

(d) 1バイト受信の場合

この場合は必ずショート・パケットになるため、ショート・パケットを格納しているバッファが読み出し可能（バッファ・トグル発生時）になる際に、INT Status 2 Reg. EP1_Short bit 割り込みが発生しません。

ショート・パケット受信時は EP1_Short bit 割り込みを認識して、パケット長を確認して PIO にて読み出ししてください。DMA を設定した場合でも EP1_DRQB 端子はアサートされませんので、DMA 転送できません。

(3) External Local Bus 8 bit かつ、Demand モード設定時の注意点

8 bit モードを選択した場合、最終読み出し - 1 (N - 1) のタイミングで EP1_DRQB がディアサートします。

何らかの理由により DAMC が EP1_DRQB ディアサート後に DMA サイクルを止めた場合 (EP1_DACKB をディアサート) に、 μ PD720122 は、再度 EP1_DRQB をアサートしないので、注意してください (再送要求をしません)。

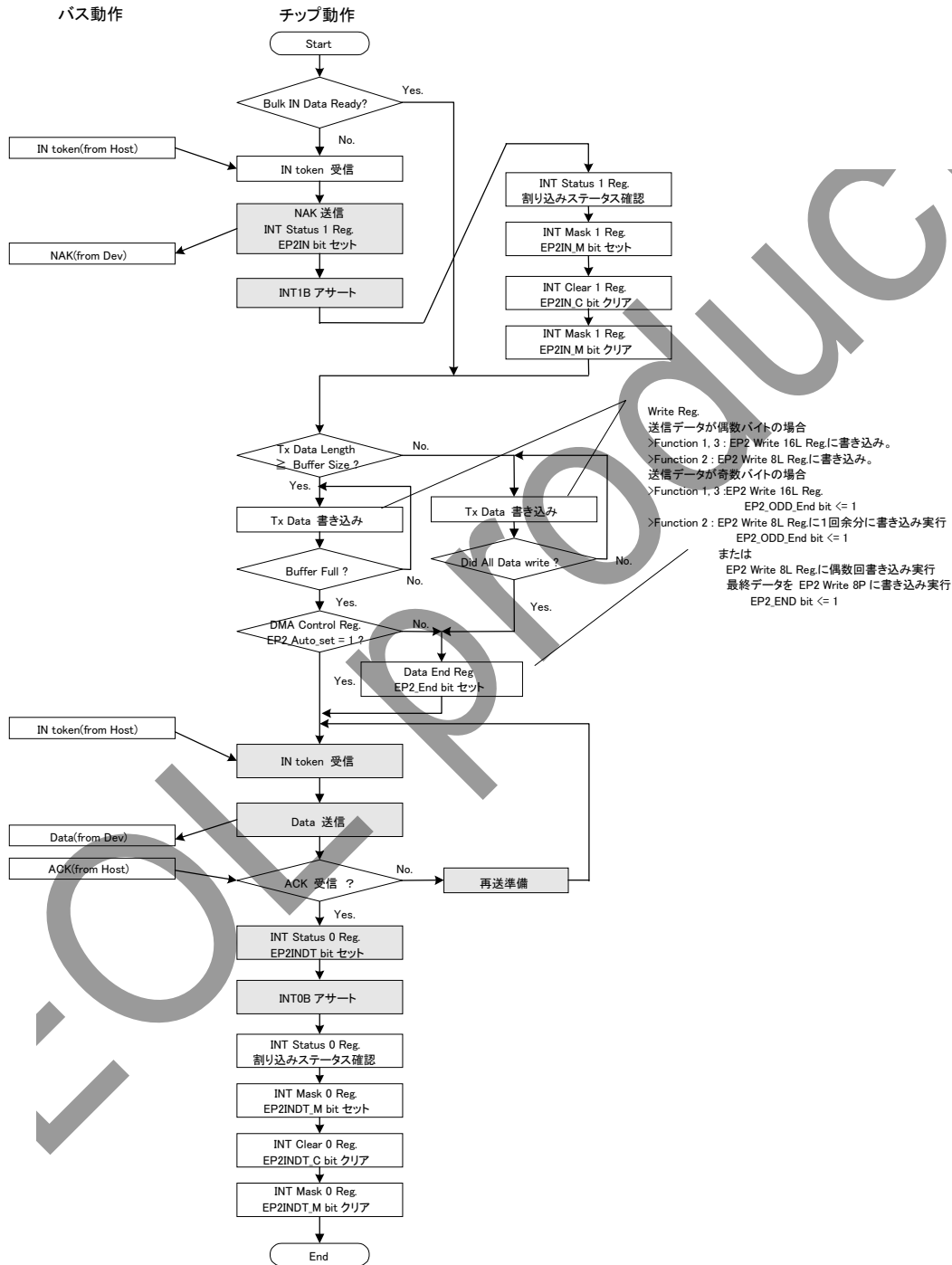
ただし、16 bit Demand モードにおいては、再送要求を行うことが可能です。

7.1.17 EP2 に対するデータ転送 (Bulk IN 転送)

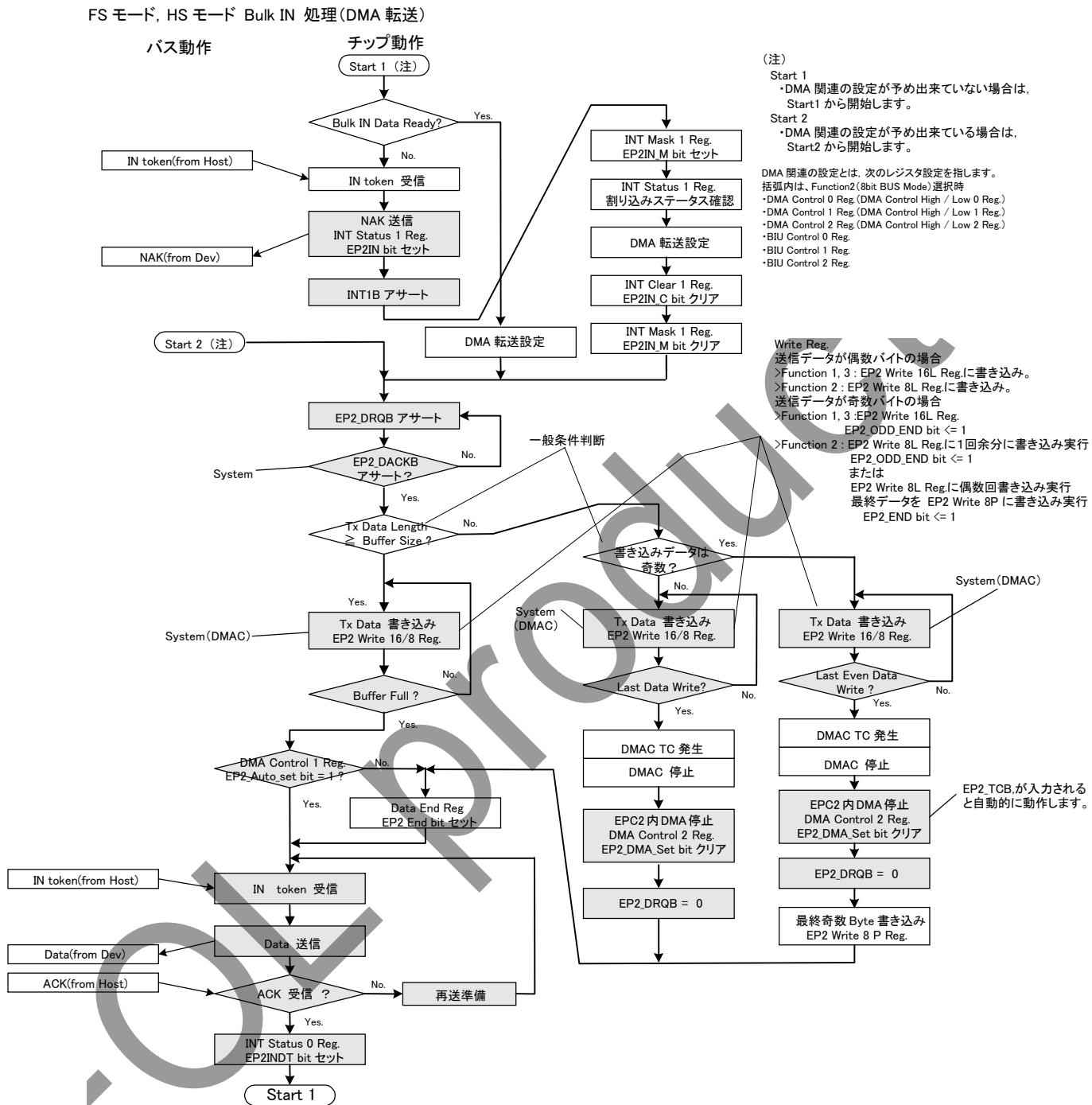
EP2 における Bulk IN 転送の方法について次にまとめます。EP2 は PIO および DMA を用いた転送が可能です。ただし、設定している Function によりアクセスするレジスタが異なります。

(1) FS モード, HS モード PIO 転送

FS モード, HS モード Bulk IN 処理(PIO 転送)



(2) FSモード, HSモード DMA転送



7.1.18 Bulk IN データ送信方法

PIO 転送, DMA 転送ともに, EPC2 Core の DMA 転送設定を行った状態でのみ読み出しが可能となります。
EPC2 Core の設定は次のように行ってください。

PIO の場合

- Internal Local Bus 使用 (DMA Control 1 Reg. EP2_Local_Set bit = 1)
- Single Mode 使用 (DMA Control 0 Reg. Mode0_Set bit = 0)

DMA Single の場合

- Internal Local Bus 使用 (DMA Control 1 Reg. EP2_Local_Set bit = 1)
- Single Mode 使用 (DMA Control 0 Reg. Mode0_Set bit = 0)

DMA Demand の場合

- Internal Local Bus 使用 (DMA Control 1 Reg. EP2_Local_Set bit = 1)
- Demand 使用 (DMA Control 0 Reg. Mode0_Set bit = 1)

(1) 16 bit モード PIO 転送時

- 送信データが偶数である場合
すべてのデータは, EP2 Write16L Reg. から書き込んでください。
書き込み後に, Data End Reg. EP2_End bit をセットしてください。
- 送信データが奇数である場合
すべての偶数データを EP2 Write16L Reg. から書き込んでください。
最後の奇数データ (下位バイトのみ有効) を EP2 Write 8P Reg. に書き込んでください。
書き込み後に, Data End Reg. EP2_End bit をセットしてください。
これにより, 最後の書き込みデータの上位バイトを破棄してホストに送信されます。

(2) 8 bit モード PIO 転送時

- 送信データが偶数である場合
すべてのデータは, EP2 Write8L Reg. から書き込んでください。
書き込み後に, Data End Reg. EP2_End bit をセットしてください。
- 送信データが奇数である場合
偶数で書き込めるところまでを, EP2 Write8L Reg. から書き込んでください。
残りの奇数バイト (1 バイト) は, EP2 Write8P Reg. で書き込んでください。
書き込み後に, Data End Reg. EP2_End bit をセットしてください。

7.1.19 DMA 転送時

(1) External Local Bus 16 bit 設定時

CPU Bus 側で DMA 転送を行う場合も、External Local Bus 16 bit 設定時と同様になります
(ただし、CPU Bus 側で DMA 転送を行う場合は、8 bit 設定はできません)。

- 送信データが偶数である場合

DMA Control 1 Reg. EP2_Auto_Set bit = 1 の場合、ショート・パケット以外は自動的にデータ書き込み完了指示が出され、ホストにデータが送信されます

(EP2_Auto_Set bit = 0 の場合、バッファ・サイズのデータを送信する場合でも必ずファームウェアにより Data End Reg. EP2_End bit をセットしなければなりません)。

ショート・パケットを送信する場合には、DMA 停止後(TC 発生, EP2_DRQB = off)に、DMA Control 2 Reg. EP2_DMA_Set bit を Clear (= 0) にして EPC2 Core の DMA 転送モードを解除してください。その後ファームウェアにより Data End Reg. EP2_End bit をセットしてください。

- 送信データが奇数である場合

DMA 停止後(TC 発生, EP2_DRQB = off)に、DMA Control 2 Reg. EP2_DMA_Set bit を Clear (= 0) にして EPC2 Core の DMA 転送モードを解除してください。その後ファームウェアにより Data End Reg. EP2_End bit をセットしてください。

奇数バイトを書き込む前に DMA が停止して、奇数バイトをファームウェアにより書き込む場合は PIO 転送と同様にしてください。

奇数バイトを書き込んで DMA が停止した場合は、最後のデータの上位バイトは無効なため、Data End Reg. EP2_ODD_End bit をセットしてください。最終データの上位バイトを破棄してホストに送信します。

(2) External Local Bus 8 bit 設定時

- 送信データが偶数である場合

DMA Control 1 Reg. EP2_Auto_Set bit = 1 の場合、ショート・パケット以外は自動的にデータ書き込み完了指示が出され、ホストにデータが送信されます

(EP2_Auto_Set bit = 0 の場合、バッファ・サイズのデータを送信する場合でも必ずファームウェアにより Data End Reg. EP2_End bit をセットしなければなりません)。

ショート・パケットを送信する場合には、DMA 停止後に、DMA Control 2 Reg. EP2_DMA_Set bit を Clear (= 0) にして EPC2 Core の DMA 転送モードを解除してください。

その後ファームウェアにより Data End Reg. EP2_End bit をセットしてください。

8 bit モードにおいて、EP2_TCB を使用することは禁止です。

- 送信データが奇数である場合

必ず偶数バイトになるようにして、DMA を停止してください。

したがって、奇数バイト+1バイト(ダミー・ライト)で DMA が停止した場合は、最後のデータは無効なため Data End Reg. EP2_ODD_END bit をセットしてください。最終データを廃棄してホス

トに送信します。しかし、EP2_ODD_End bit は、DMA Control 1 Reg. EP2_Auto_Set bit がクリア (=0) でないと有効にならないので、注意してください。

最後の奇数バイトを残して、偶数回で DMA を停止した場合は、最終バイトを EP2_Write8P Reg. から書き込んで、Data End Reg. EP2_End bit をセットしてください。

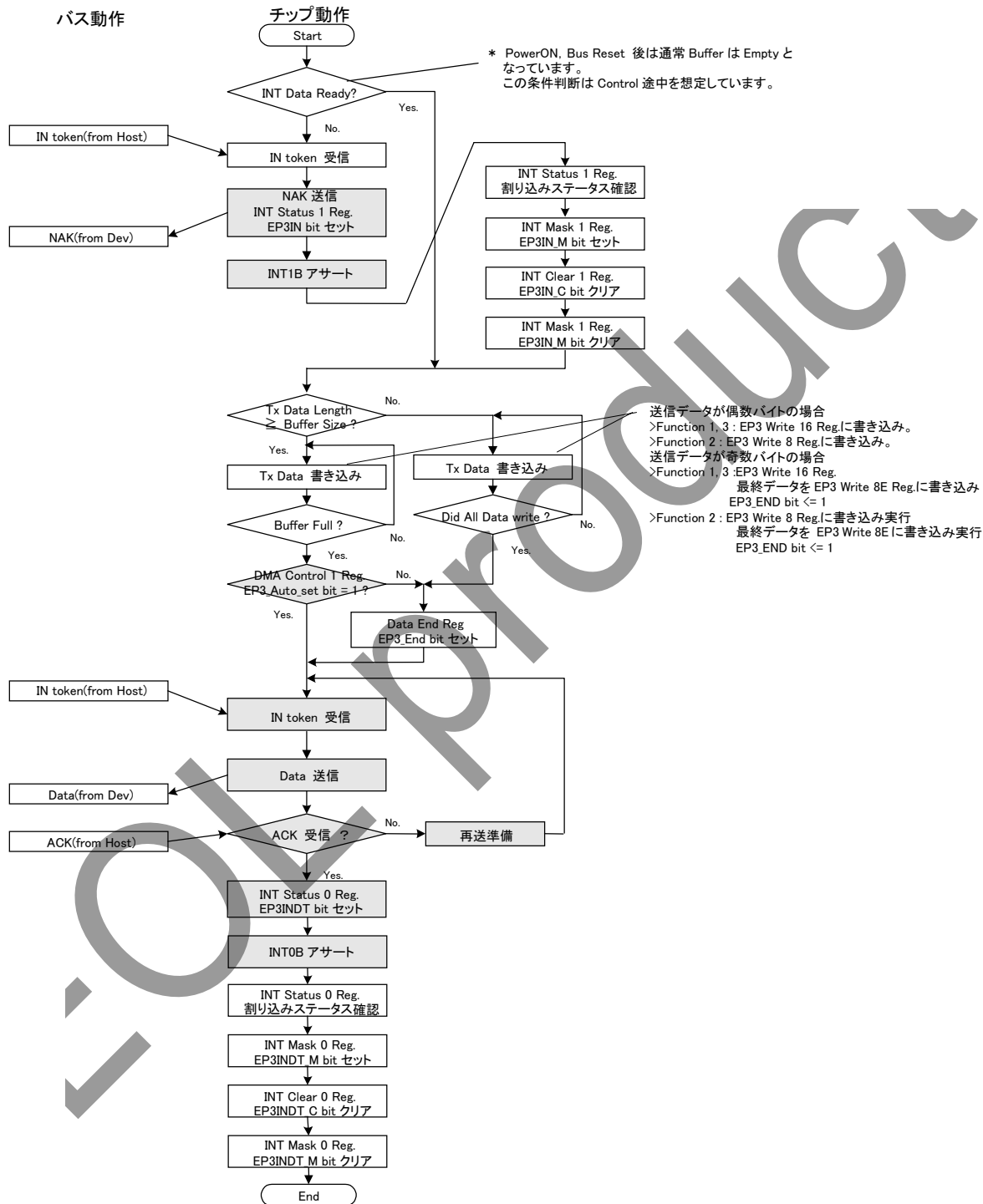
IOZ products

7.1.20 EP3 に対するデータ転送 (Interrupt 転送)

EP3 における Interrupt 転送の方法について次にまとめます。

EP3 は PIO でのみ書き込みが可能です。選択した Function によりアクセスするレジスタが異なります。

FS モード、HS モード Interrupt IN 処理 (PIO 転送)



7. 1. 21 INT データ送信方法

(1) 16 bit モード PIO 転送時

- 送信データが偶数である場合
すべてのデータは、EP3 Write16 Reg.から書き込んでください。
書き込み後に、Data End Reg. EP3_End bit をセットしてください。
- 送信データが奇数である場合
偶数で書き込めるところまでを、EP3 Write16 Reg.から書き込んでください。
残りの奇数バイト(1バイト)は、EP3 Write8E Reg.で書き込んでください。
書き込み後に、Data End Reg. EP3_End bit をセットしてください。

(2) 8 bit モード PIO 転送時

- 送信データが偶数である場合
すべてのデータは、EP3 Write8 Reg.から書き込んでください。
書き込み後に、Data End Reg. EP3_End bit をセットしてください。
- 送信データが奇数である場合
偶数で書き込めるところまでを、EP3 Write8 Reg.から書き込んでください。
残りの奇数バイト(1バイト)は、EP3 Write8E Reg.で書き込んでください。
書き込み後に、Data End Reg. EP3_End bit をセットしてください。

7.1.22 PING トークンに対する対応

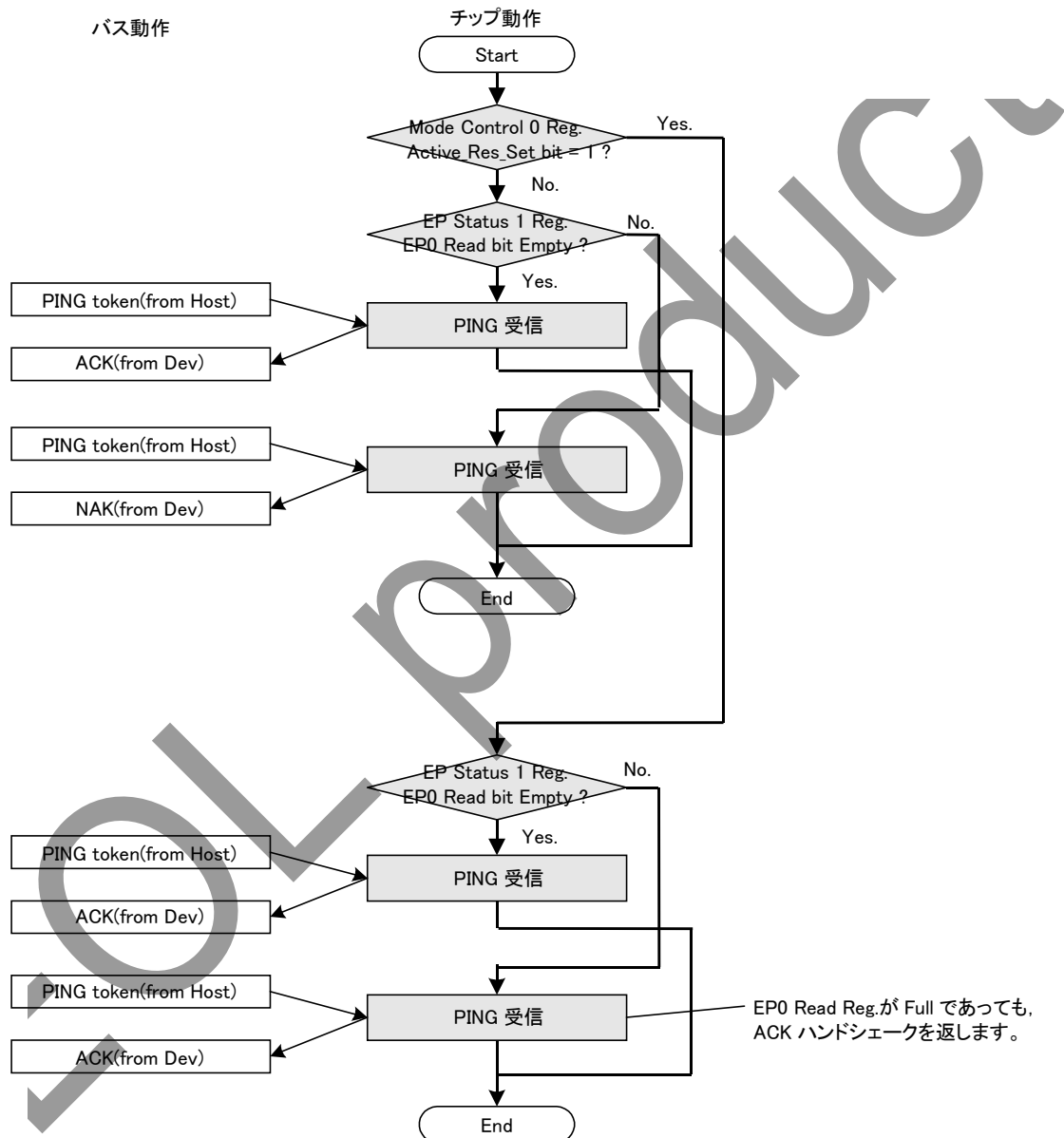
μPD720122 は Mode Control 0 Reg. Active_Res_Set bit の設定により ,PING トークンに対する応答を変更できます。

次にその対応についてまとめます。この機能は HS モード時のみ有効です。

(1) EP0 に対する PING トークン

EP0 OUT 処理(PING token)

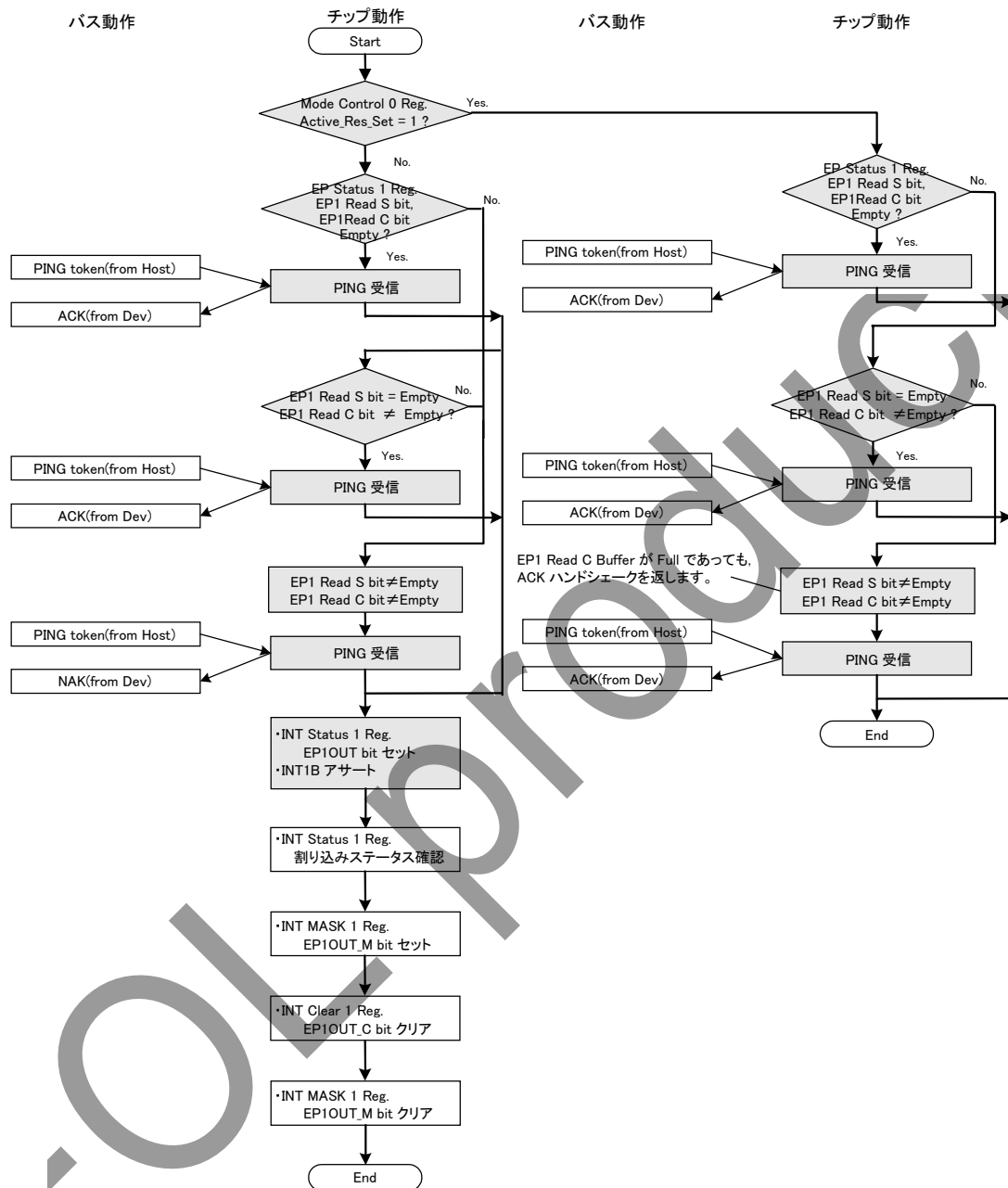
バス動作



(2) EP1 に対する PING トークン

OUT 処理 (PING token)

Bulk OUT 処理 (PING token)

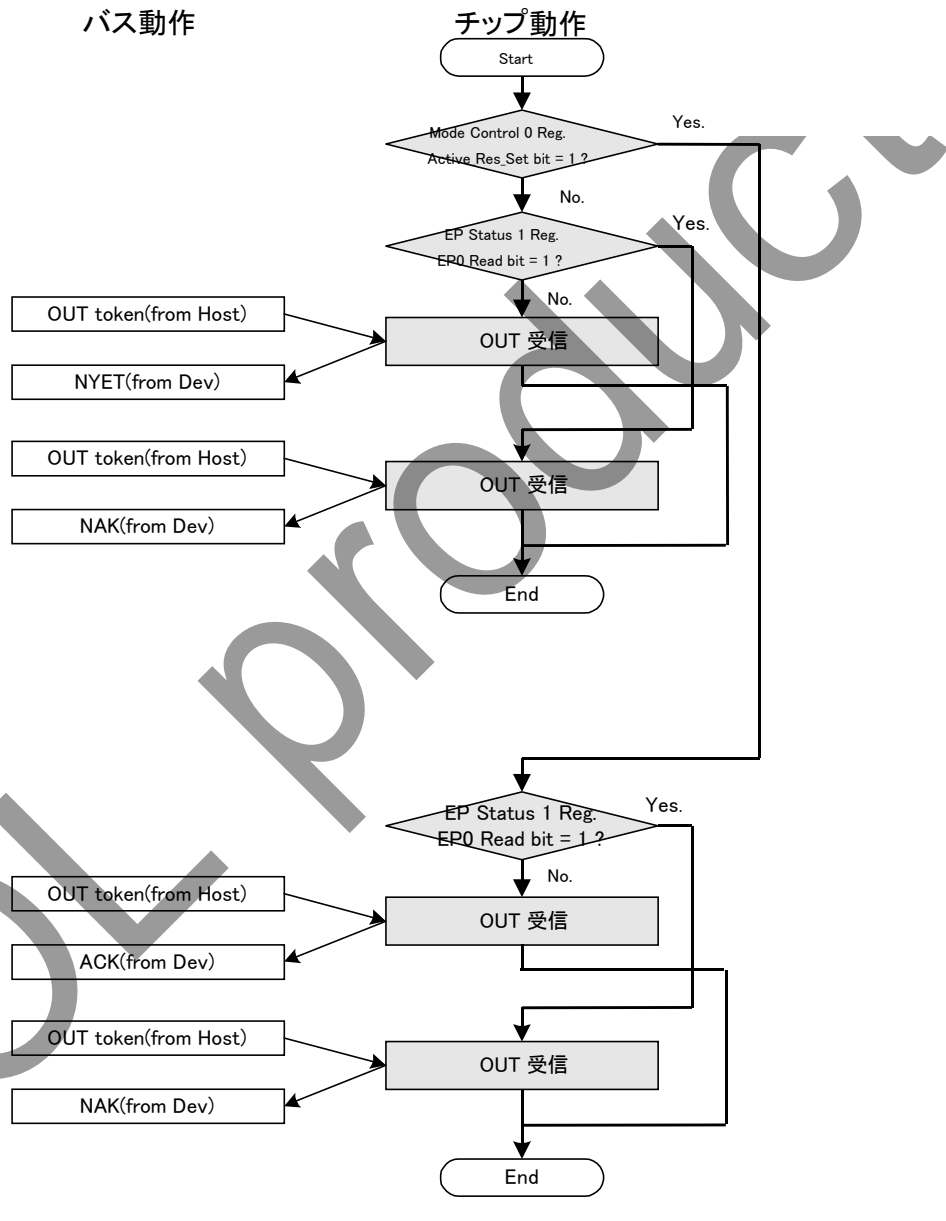


7.1.23 OUT トークンに対する NYET 応答

μPD720122 は Mode Control 0 Reg.Bit13 (Active_Res_Set) の設定により ,OUT トークン受信時の動作を変更できます。その動作を次にまとめます。この機能は HS モード時のみ有効です。

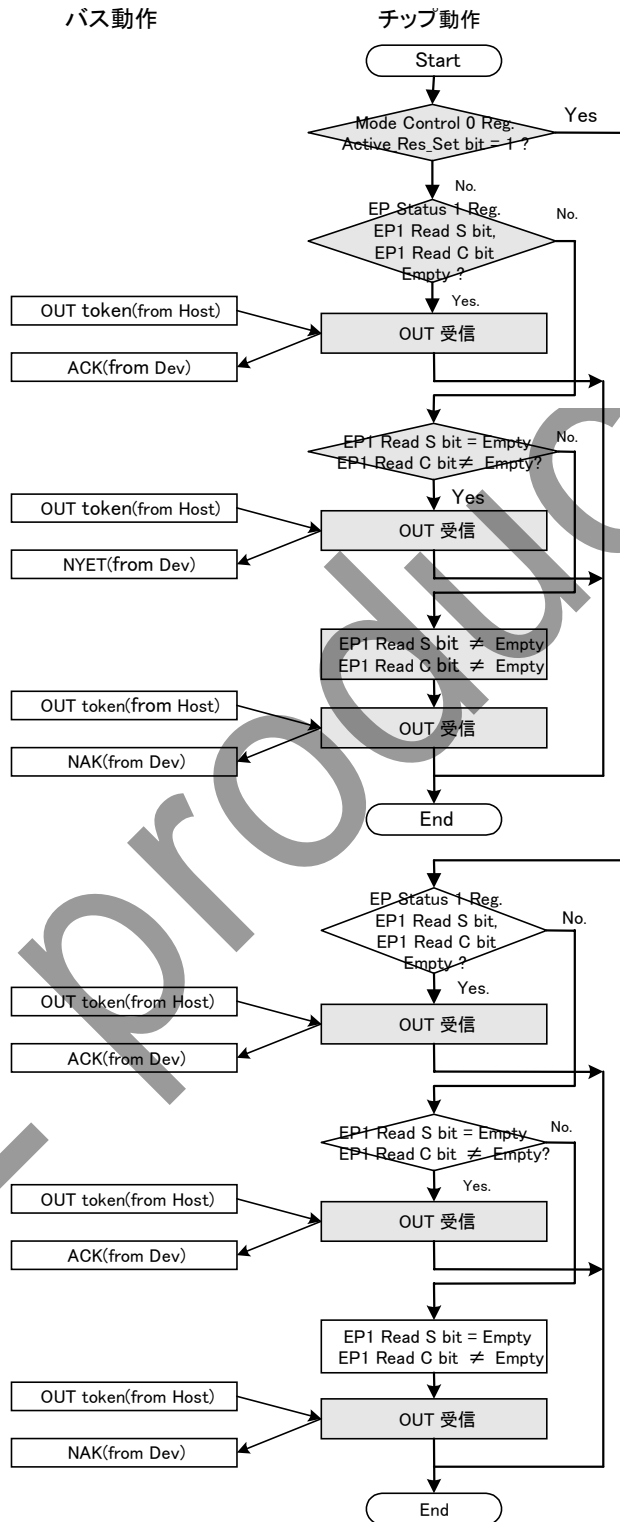
(1) EP0 における NYET 応答

EP0 OUT 処理(OUT token)



(2) EP1 における NYET 応答

Bulk OUT 処理 (OUT token)

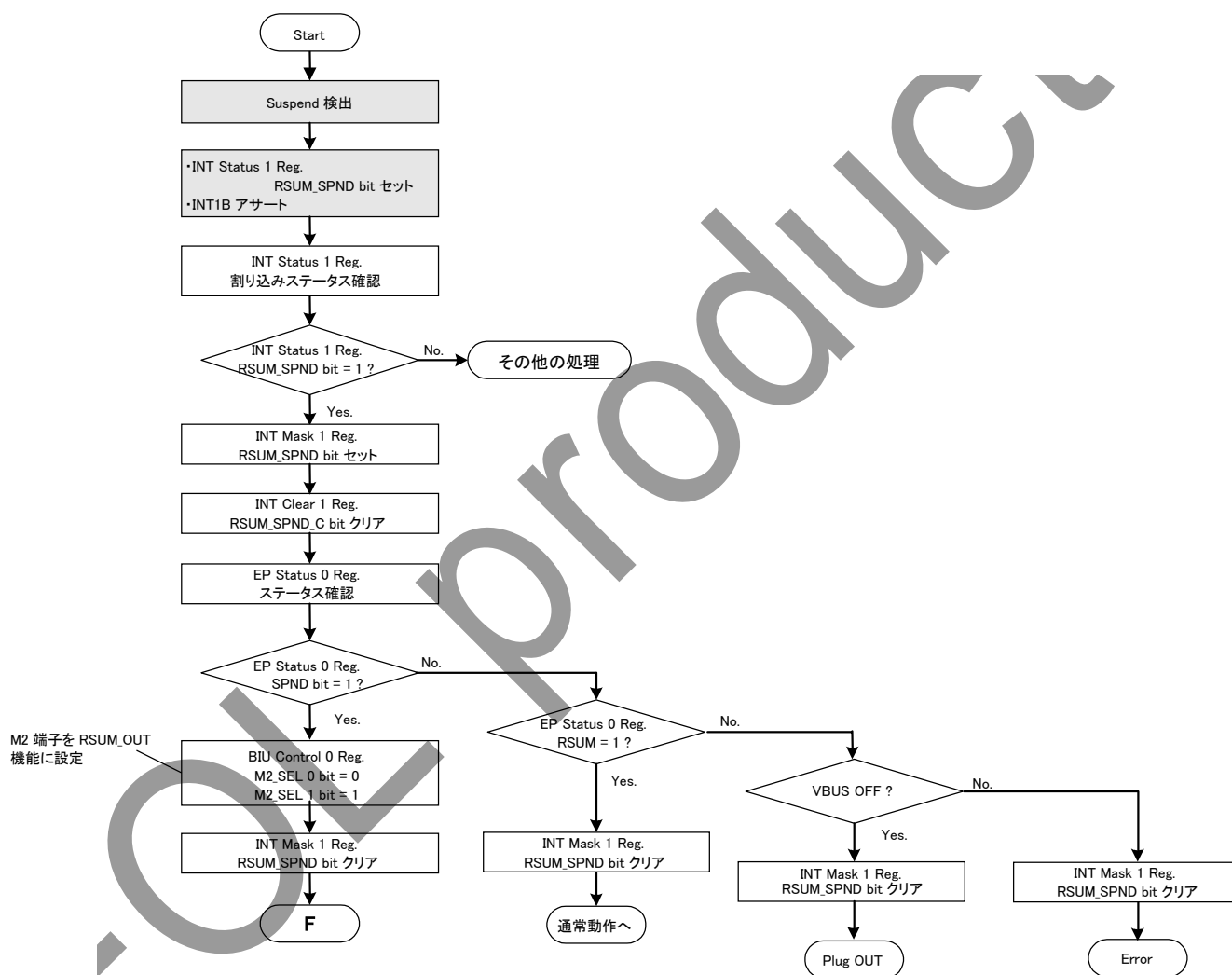


7.1.24 Suspend 処理

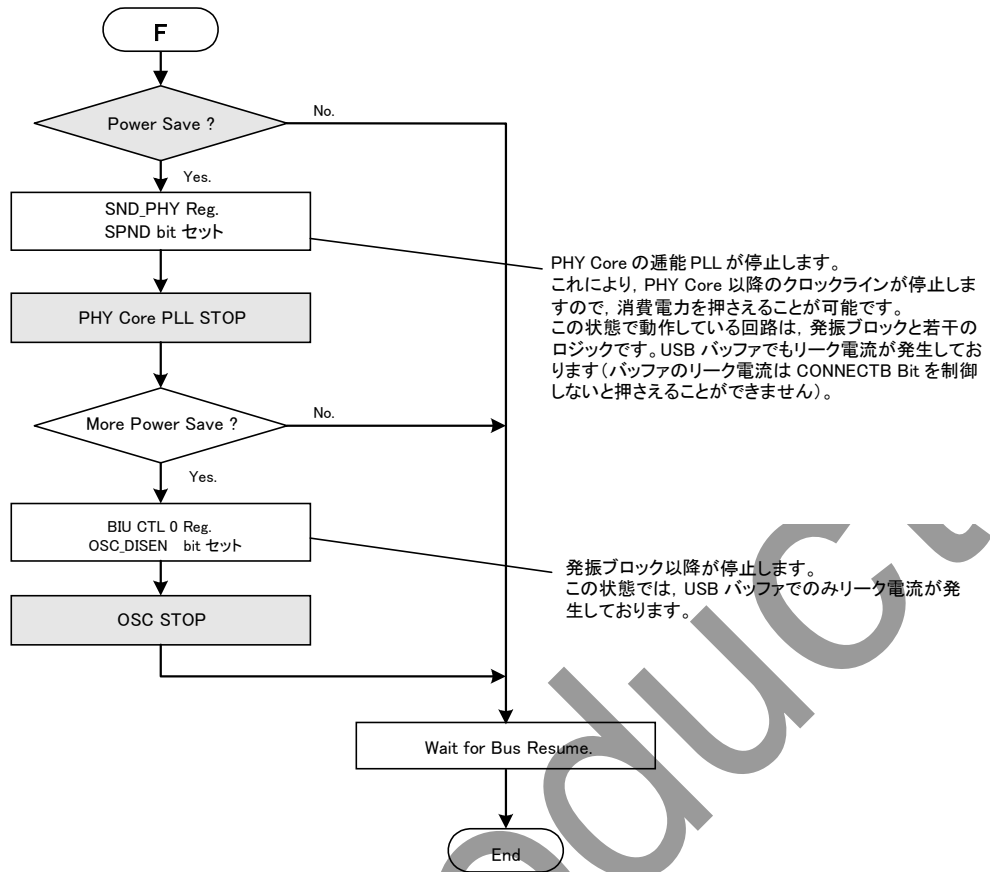
次に Suspend 時の動作をまとめます。

選択する Function によりアクセスするレジスタが異なります。次のフローチャートで M2 端子の機能を RESUM_OUT に設定していますが、Suspend 時に CLK を停止したりする場合には、VBUS に設定することを推奨します。これは Suspend 中に VBUS Off の状況 (UnPlug or 上位システム off など) になった場合に、この状況を認識できないためです。ただし、システムとして VBUS を観測できる場合は、その限りではありません。

Suspend



Suspend

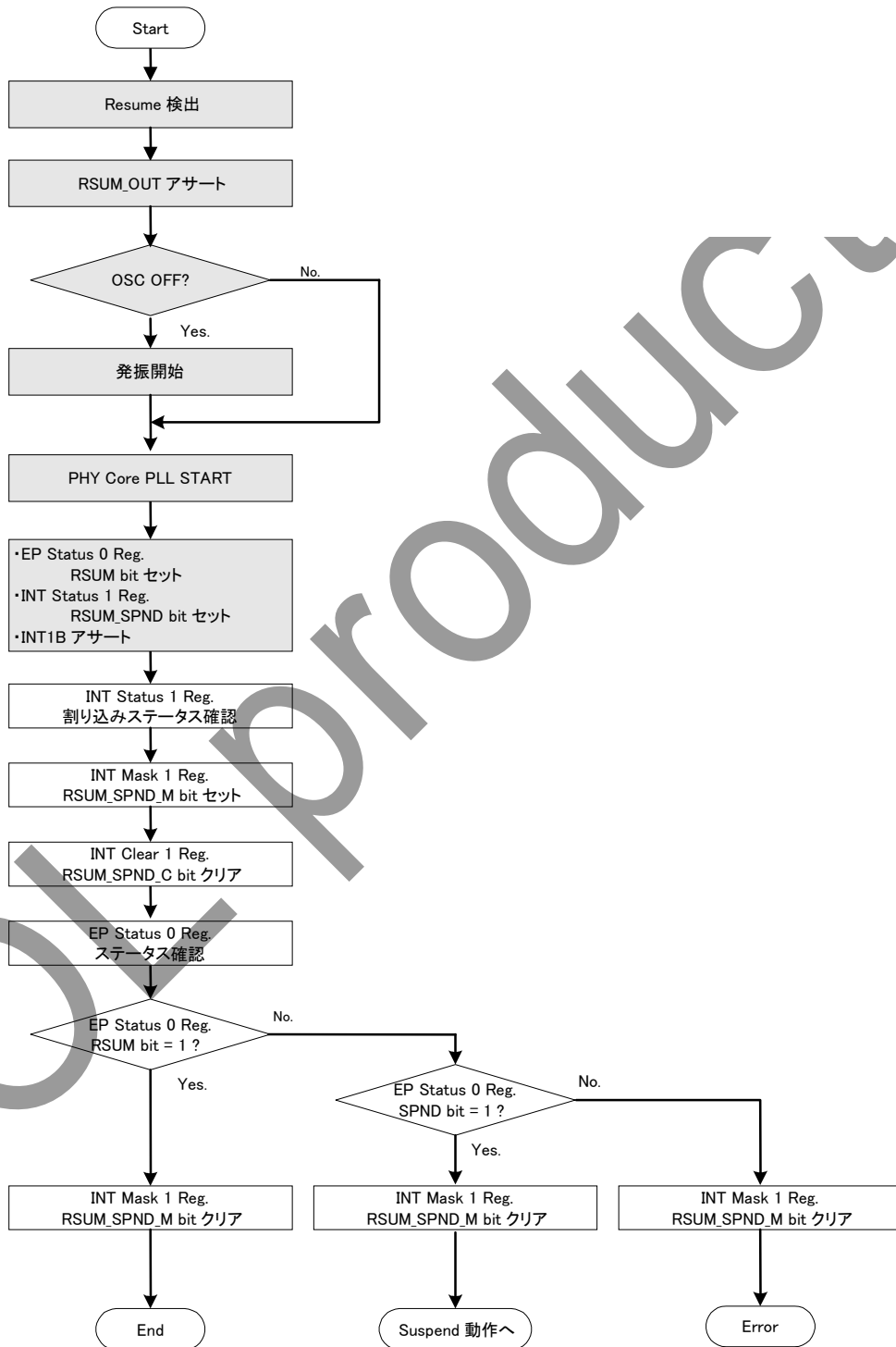


7.1.25 Resume 処理

Suspend 処理 (7.1.24 Suspend 処理参照) からのみ復帰できます。

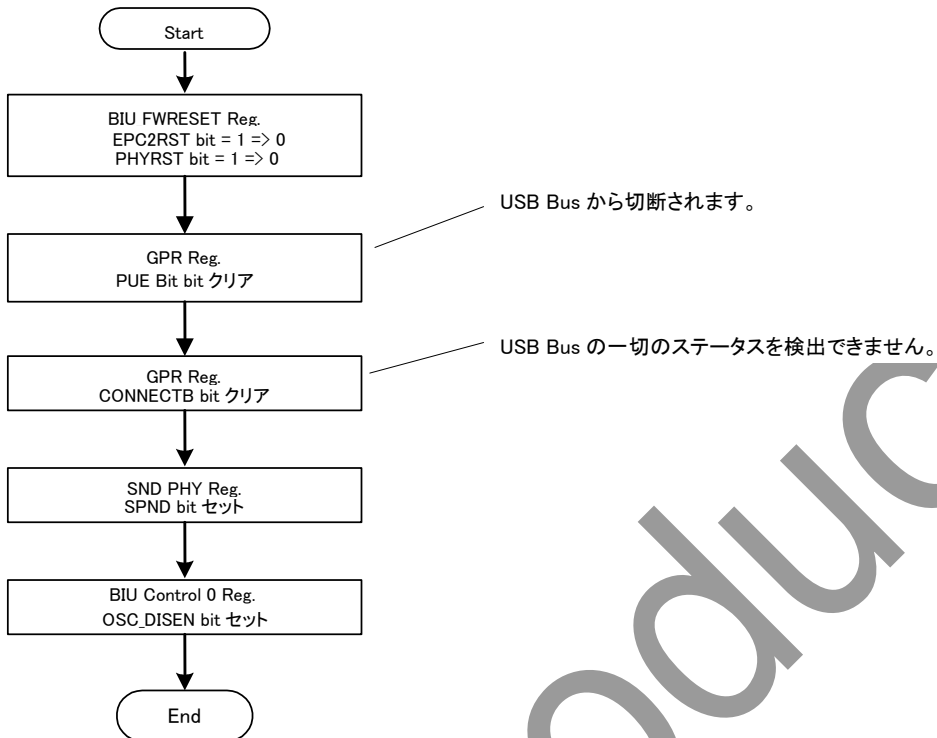
次に Resume 検出時の動作をまとめます。

Resume



7.1.26 Power 最小モード

この処理を行うと USB Bus のイベントからは復帰もできません。

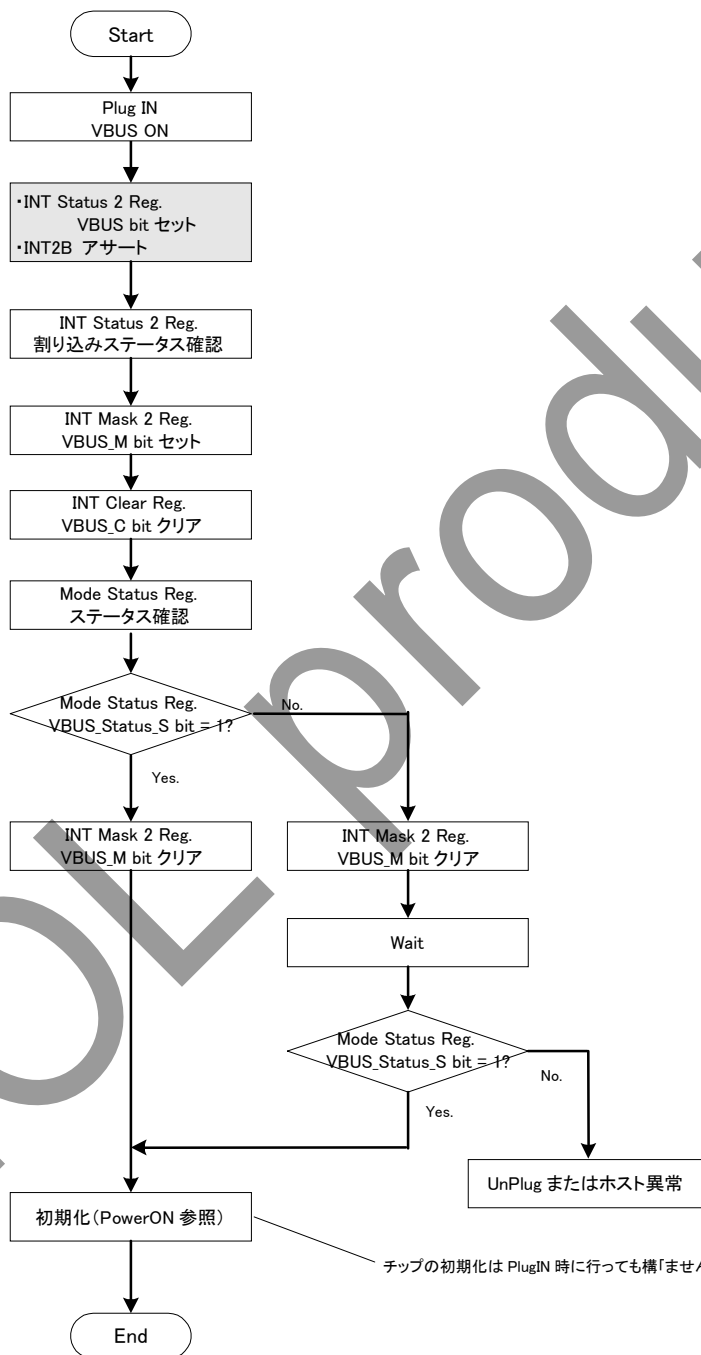


7. 1. 27 Plug IN , Plug OUT 時の処理

μPD720122 を使用したシステムが UnPlug された場合の処理を次にまとめます。上位ポートのシステムが停止（電源 Off）した場合も同様です。選択している Function によりアクセスするレジスタが異なります。

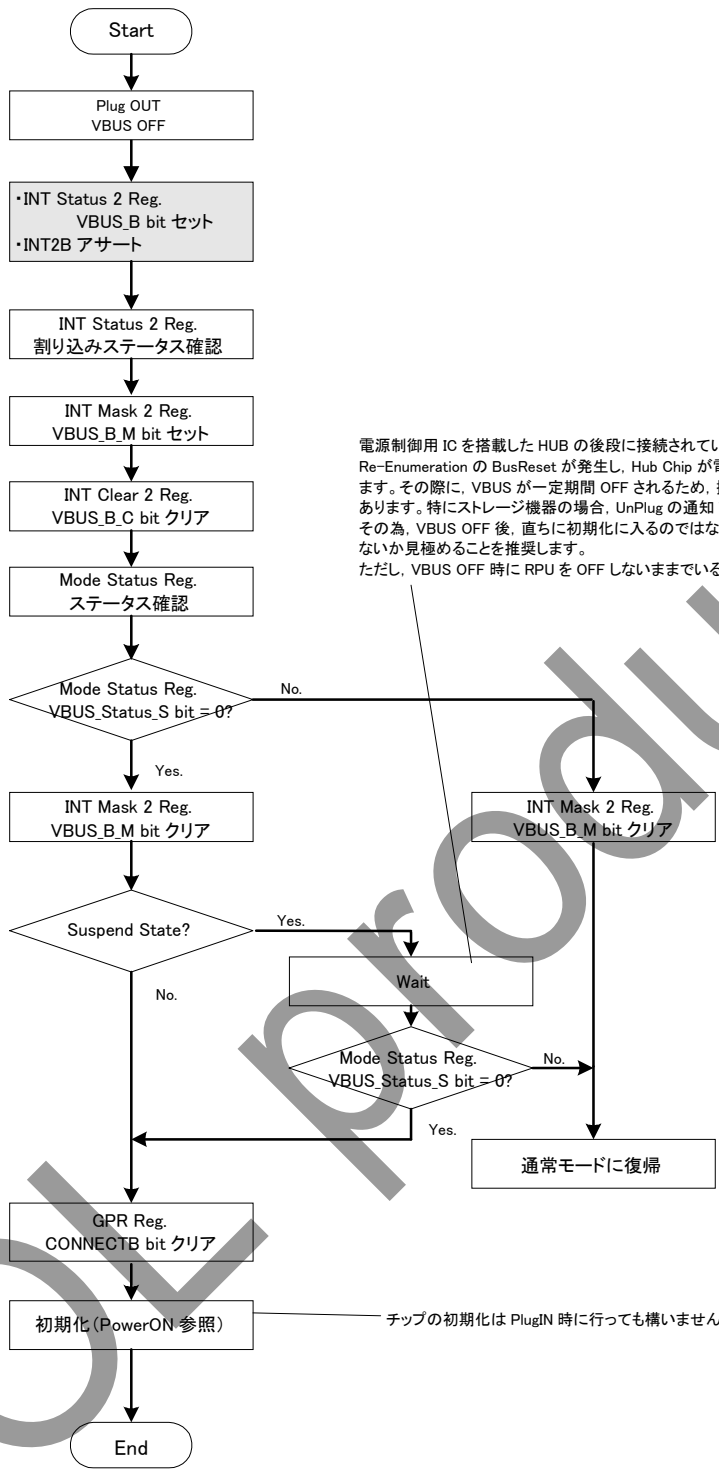
注意 Un Plug 時の PUE ON は行わないでください。また、この PUE OFF 時は、CONNECTB bit も OFF（Un Connect 状態）にしてください。

Plug IN



チップの初期化は PlugIN 時に行っても構いませんが、UnPlug 時に行うことを推奨します。

Plug OUT



電源制御 IC を搭載した HUB の後段に接続されている場合、Resume 時の Re-Enumeration の BusReset が発生し、Hub Chip が電源制御 IC を初期化する可能性があります。その際に、VBUS が一定期間 OFF されるため、擬似的に UnPlug 状態になる可能性があります。特にストレージ機器の場合、UnPlug の通知 Window がでることがあります。その為、VBUS OFF 後、直ちに初期化に入るのではなく、VBUS をポーリングして疑似 UnPlug でないか見極めることを推奨します。ただし、VBUS OFF 時に RPU を OFF しないままであることは、Compliance に違反します。

チップの初期化は PlugIN 時に行っても構いませんが、UnPlug 時に行うことを推奨します。

第8章 DMA 転送と BIU 動作について

μPD720122 の EP バッファは 16 bit で構成されています。そのため、奇数バイトの取り扱いには特別に準備したバイト・アクセス・レジスタを使用する必要があります。

CPU Bus の PIO アクセスについては、これまでの章で説明しました。

この章では DMA 転送における処理方法について、内部の EP バッファのステータスとあわせて説明します。

説明は次の分類で行います。

- External Local Bus 16-bit Mode Single Mode Transfer. Bulk IN / Bulk OUT
- External Local Bus 16-bit Mode Demand Mode Transfer. Bulk IN / Bulk OUT
- External Local Bus 8-bit Mode Single Mode Transfer. Bulk IN / Bulk OUT
- External Local Bus 8-bit Mode Demand Mode Transfer. Bulk IN / Bulk OUT

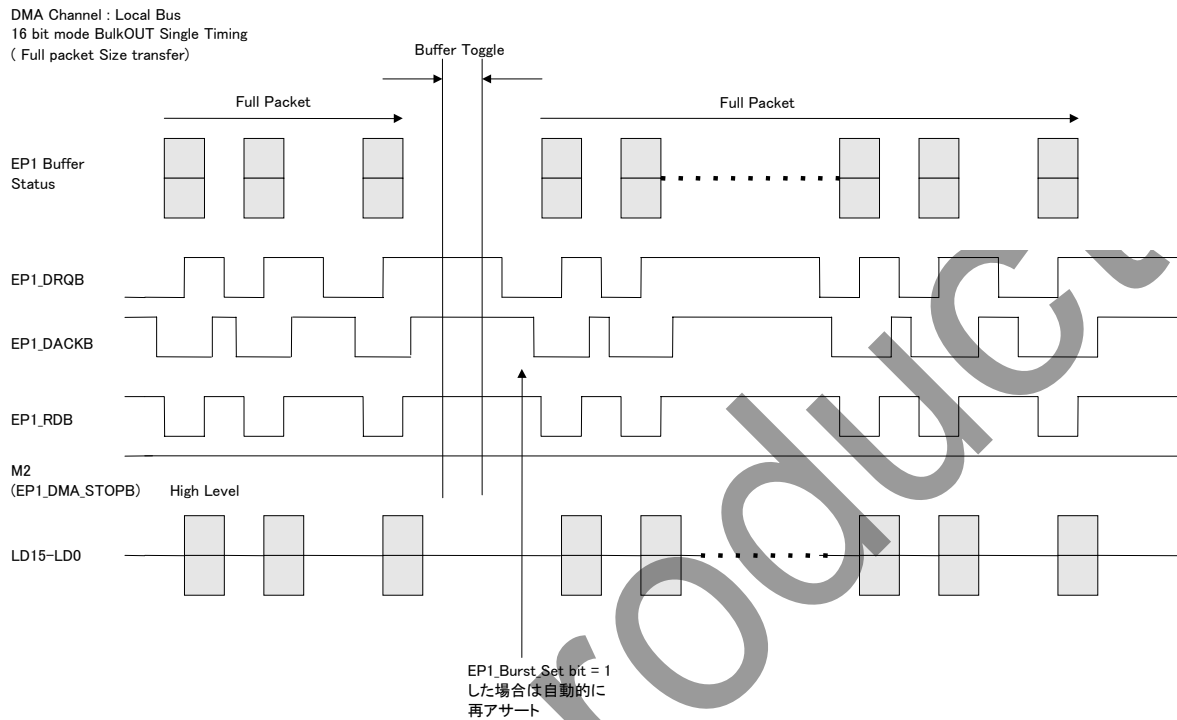
CPU Bus での DMA 転送は 16 bit モードでのみ可能であるため、8. 1、8. 2の説明において制御端子を次のように読み替えばよいため省略します。

External Local Bus		CPU Bus
EP1_RDB	>>	RDB
EP2_WRB	>>	WRB

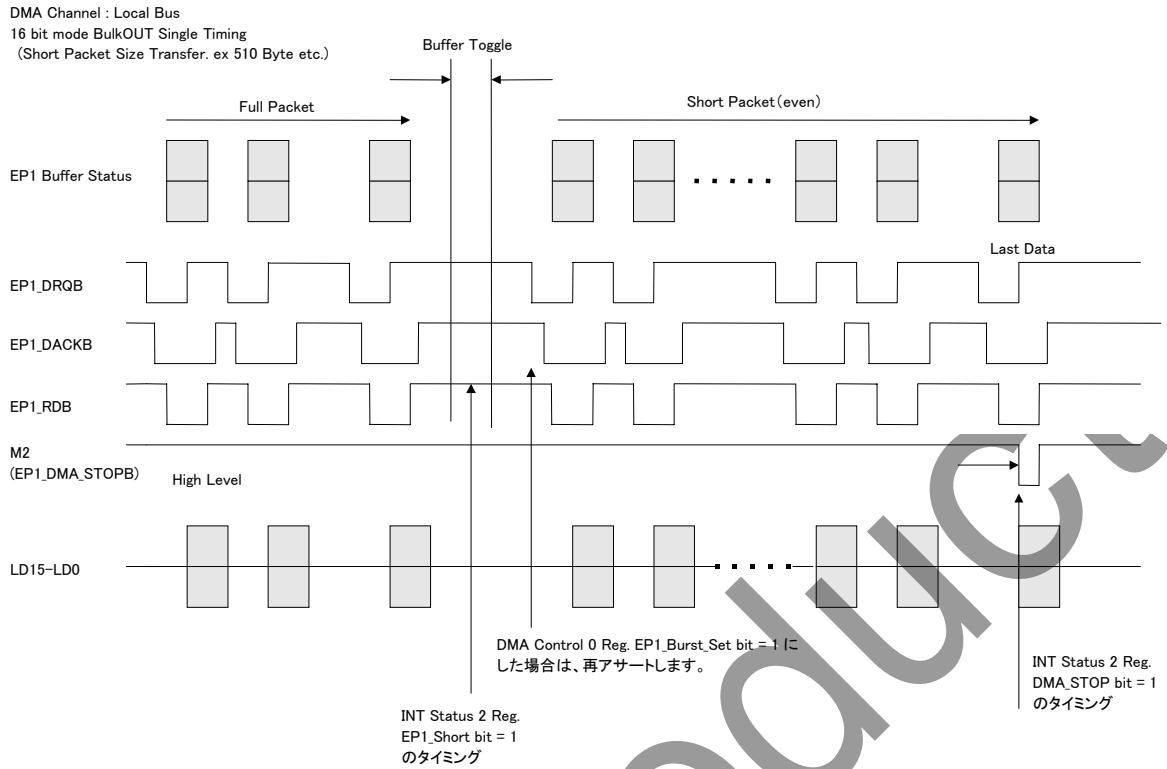
8.1 External Local Bus 16-bit Mode, Single Mode Transfer

8.1.1 Bulk OUT

(1) Max Packet Size 受信時

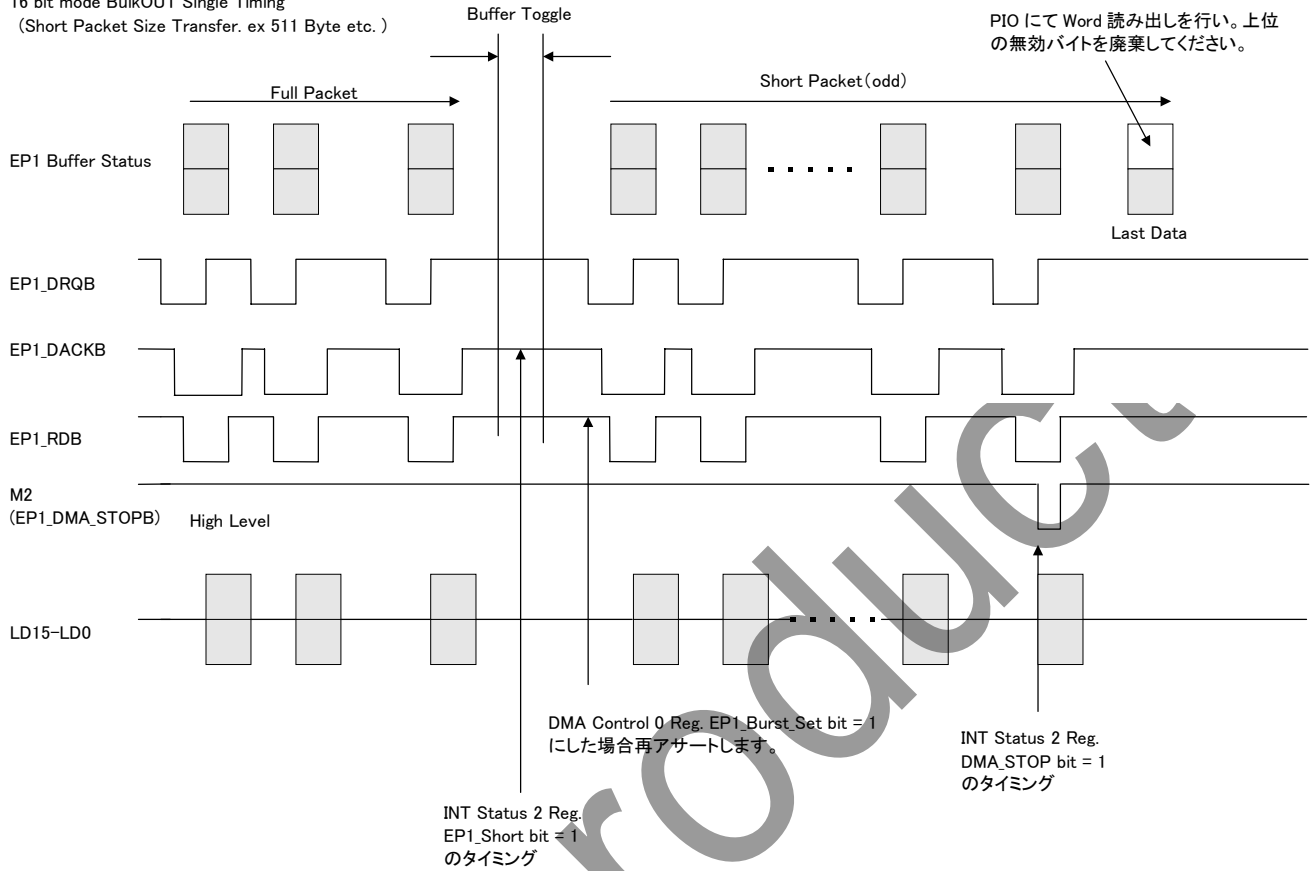


(2) ショート・パケット受信時 (偶数バイト)

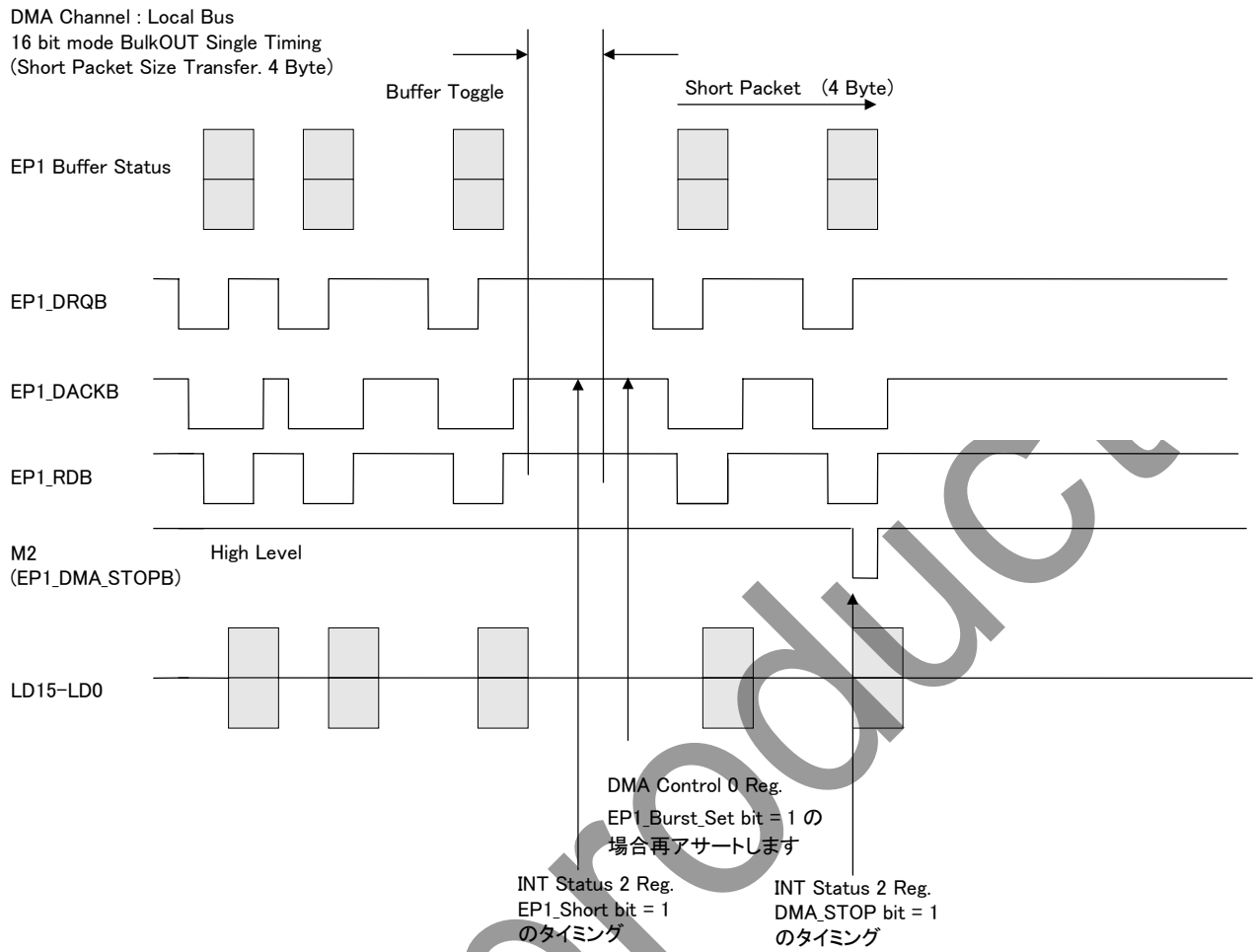


(3) ショート・パケット受信 (奇数バイト)

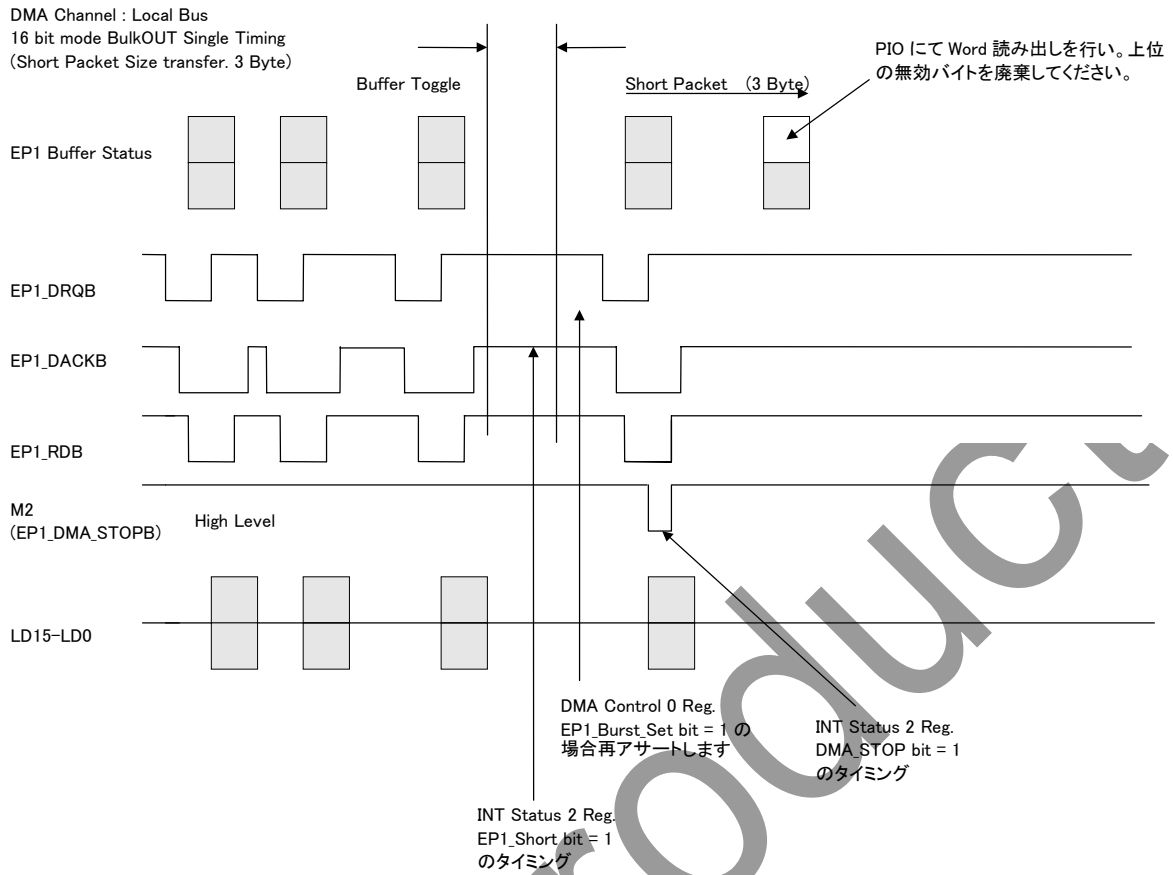
DMA Channel : Local Bus
 16 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer. ex 511 Byte etc.)



(4) ショート・パケット (4 バイト受信時)

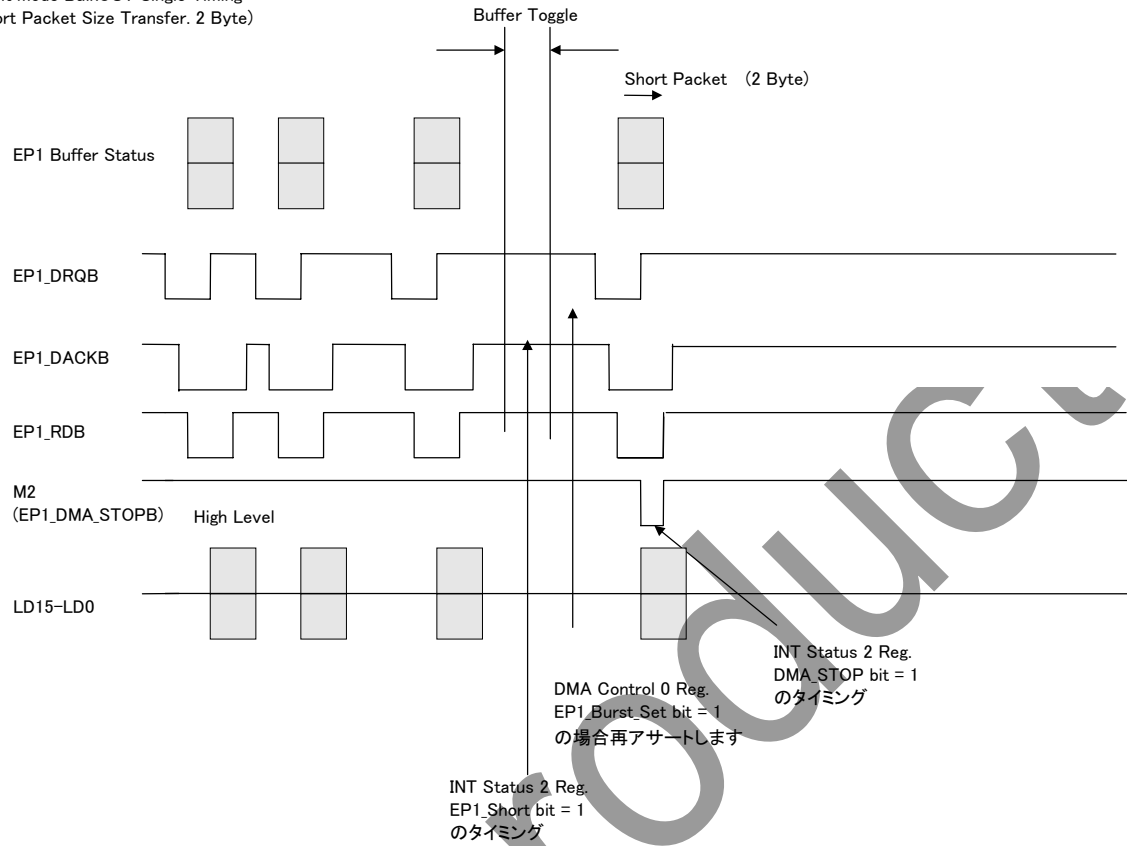


(5) ショート・パケット受信時 (3 バイト)

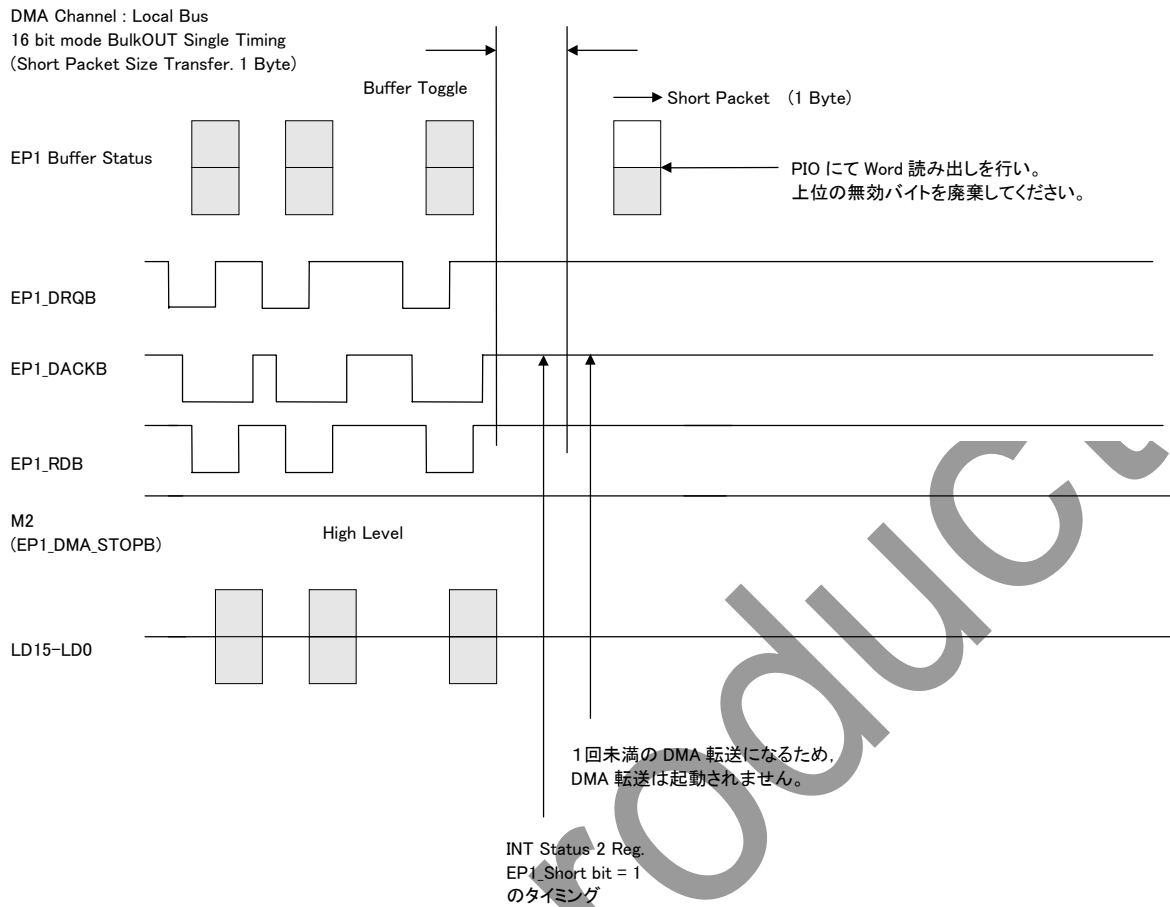


(6) ショート・パケット受信時 (2 バイト受信時)

DMA Channel : Local Bus
 16 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer. 2 Byte)



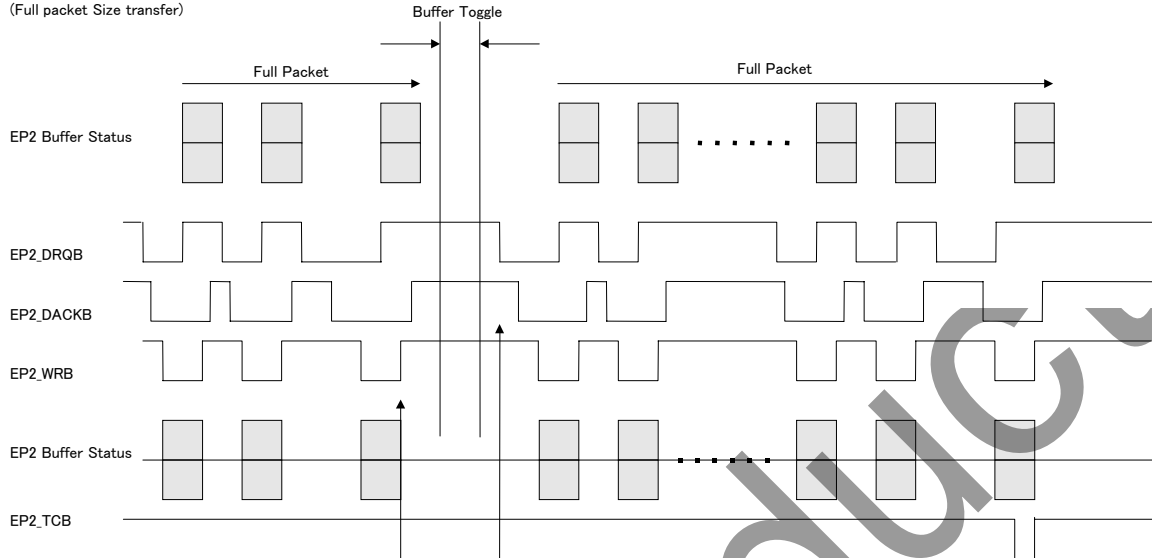
(7) ショート・パケット受信時 (1 バイト受信時)



8. 1. 2 Bulk IN

(1) Max Packet Size 送信時

DMA Channel : Local Bus
16 bit mode BulkIN Single Timing
(Full packet Size transfer)

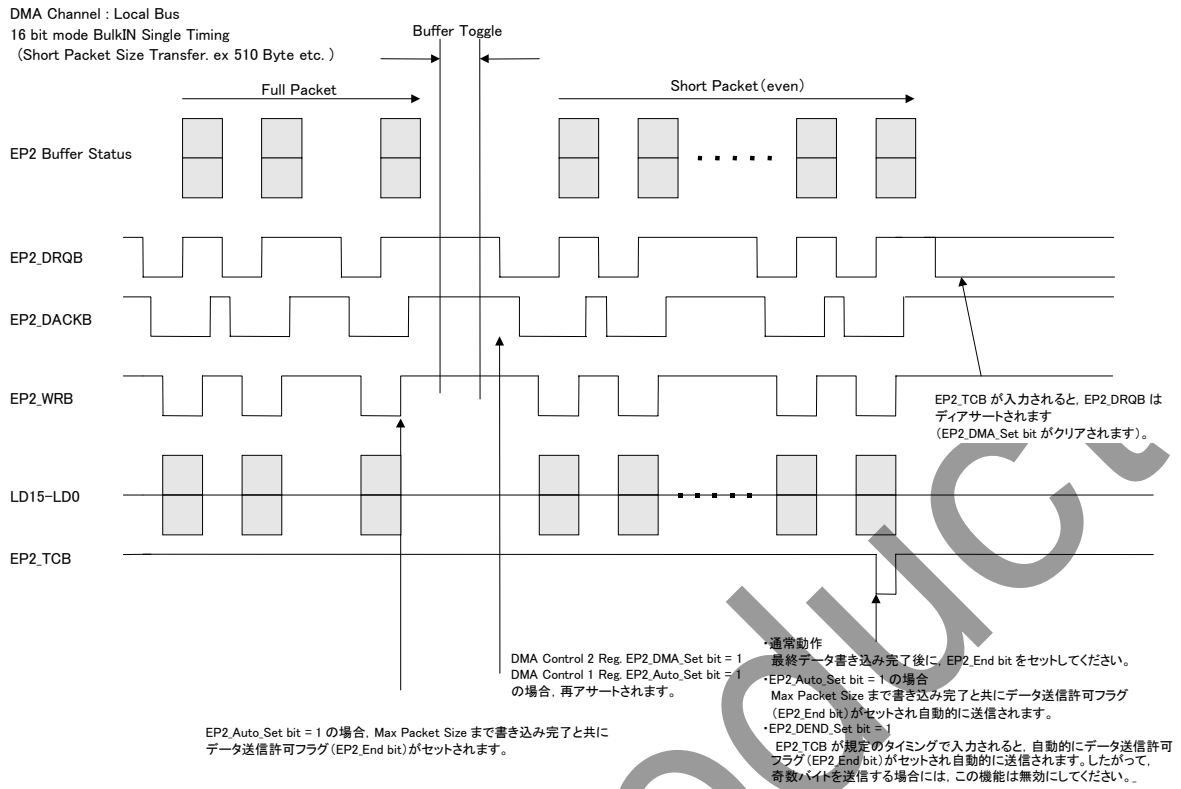


DMA Control 0 Reg.
EP2_Burst_Set bit = 1
の場合再アサートします。

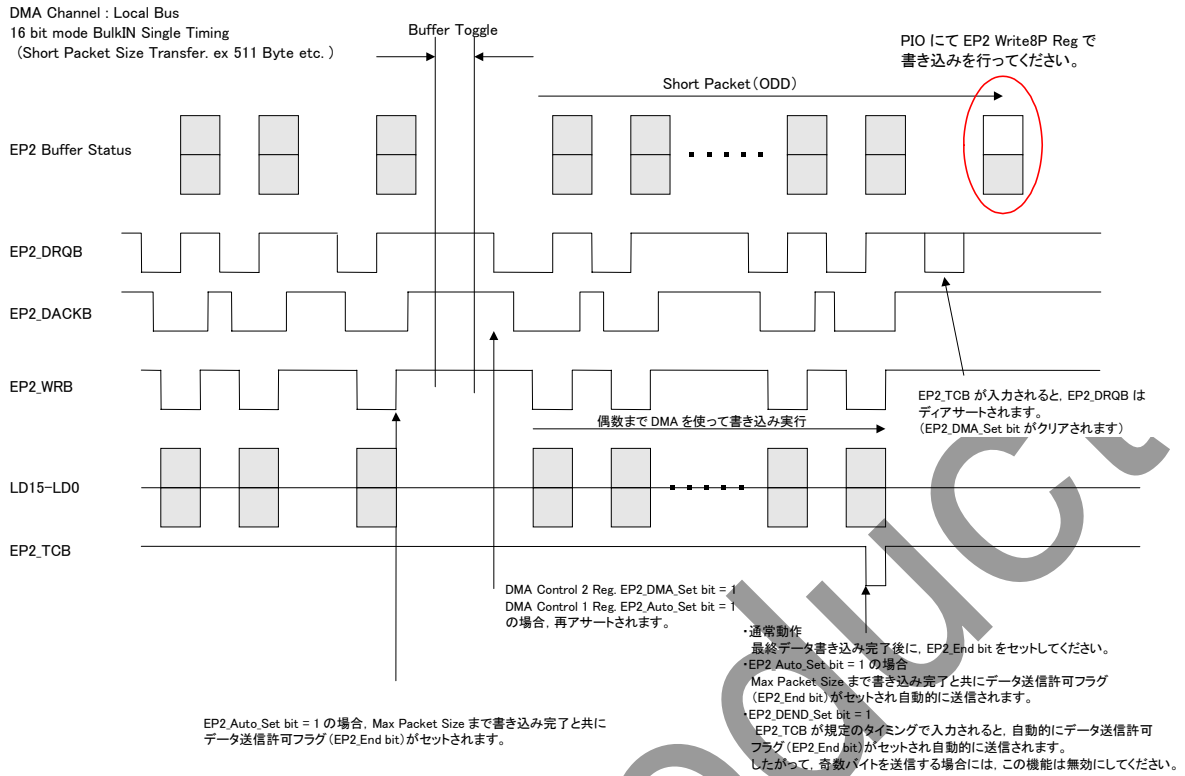
DMA Control 1 Reg. EP2_Auto_set bit = 1 の場合、Max Packet Size まで書き込み
完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

- ・通常動作
最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_set bit = 1 の場合
Max Packet Size まで書き込み完了と共にデータ送信許可フラグ
(EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND_Set bit = 1
EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可
フラグ (EP2_End bit) がセットされ自動的に送信されます。

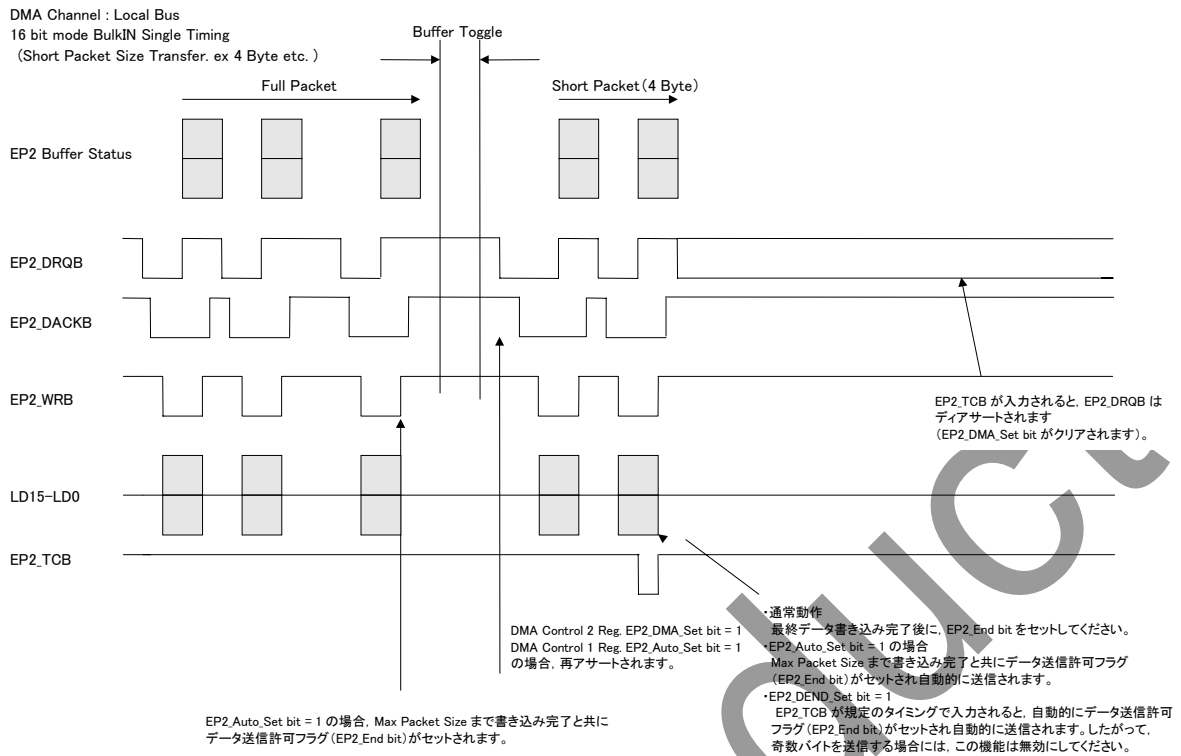
(2) ショート・パケット送信時 (偶数バイト)



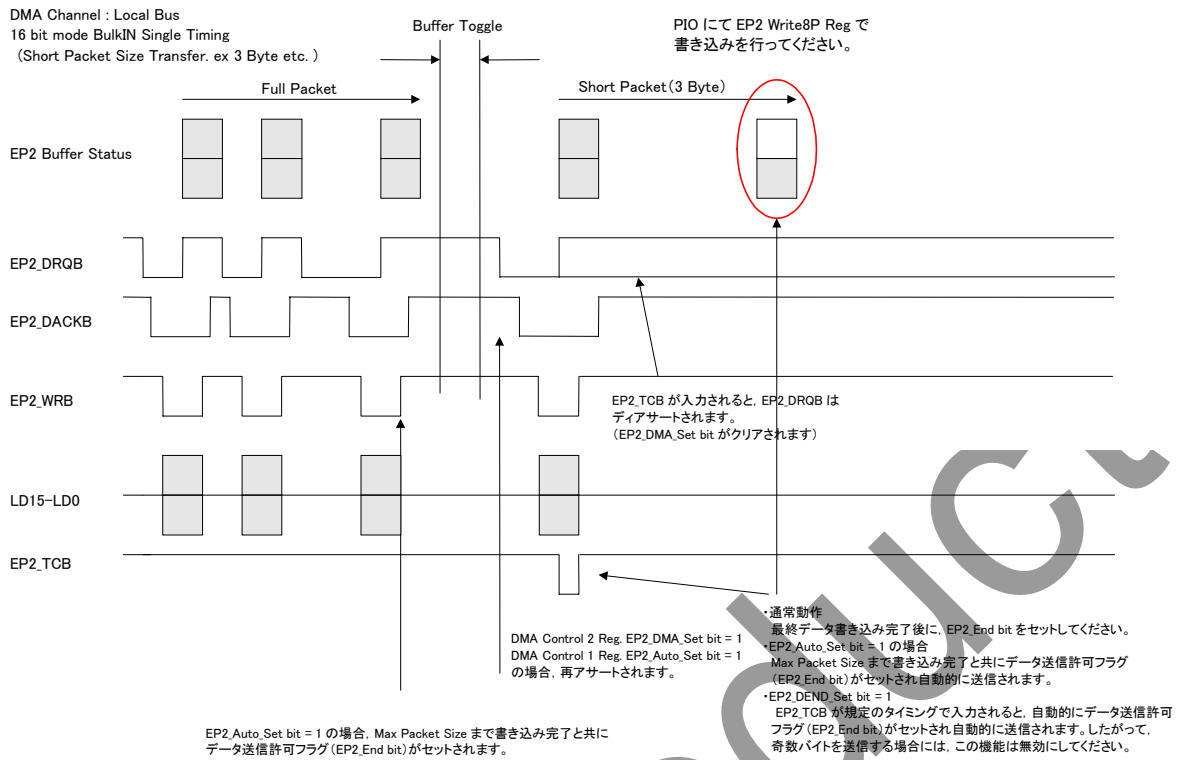
(3) ショート・パケット送信時 (奇数バイト)



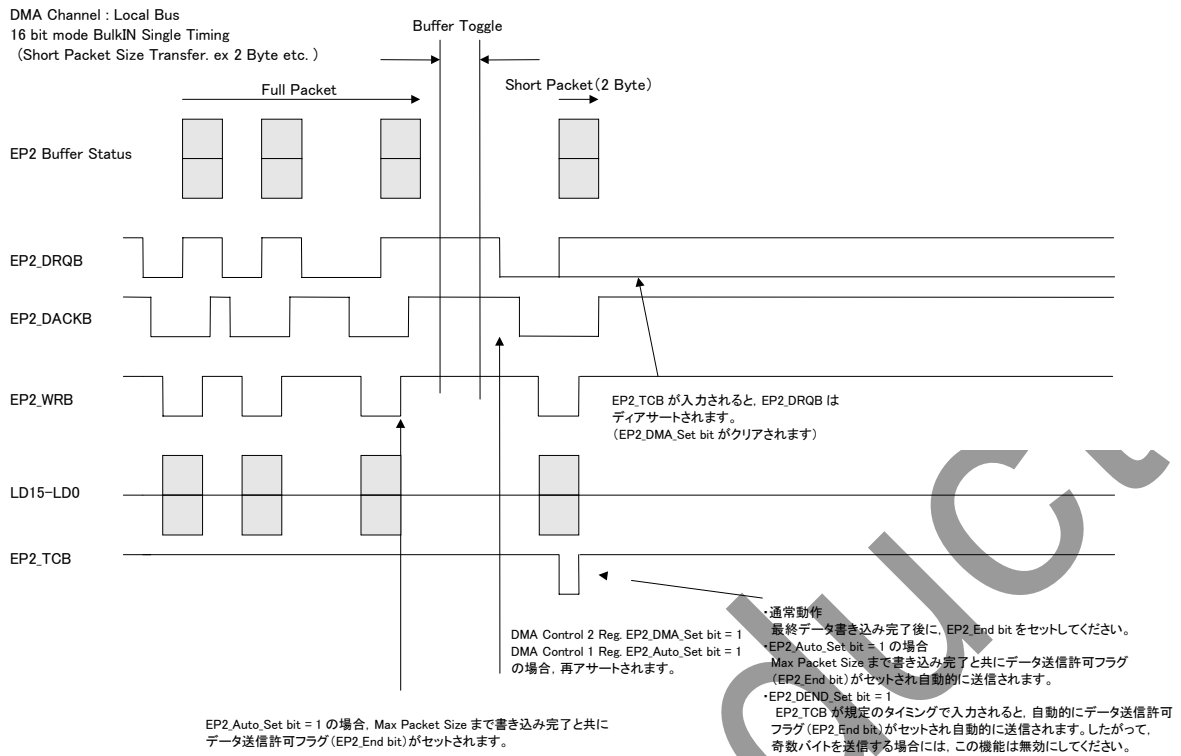
(4) ショート・パケット送信時 (4 バイト)



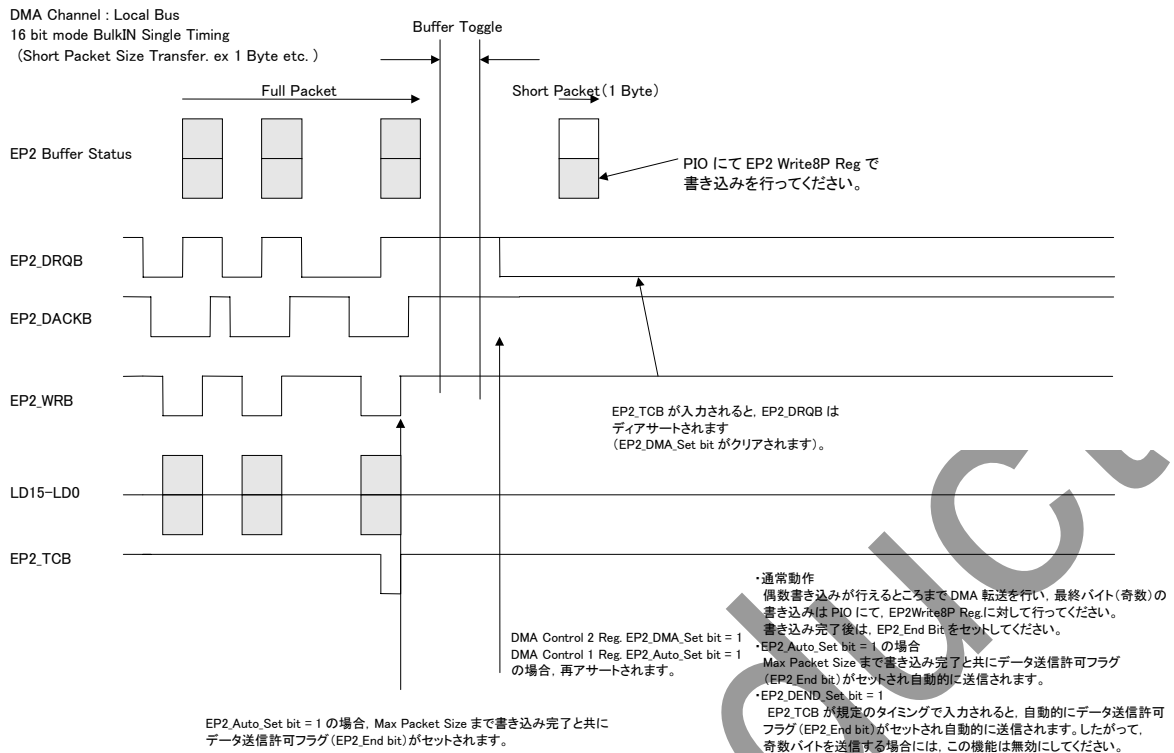
(5) ショート・パケット送信時 (3 バイト)



(6) ショート・パケット送信時 (2 バイト)



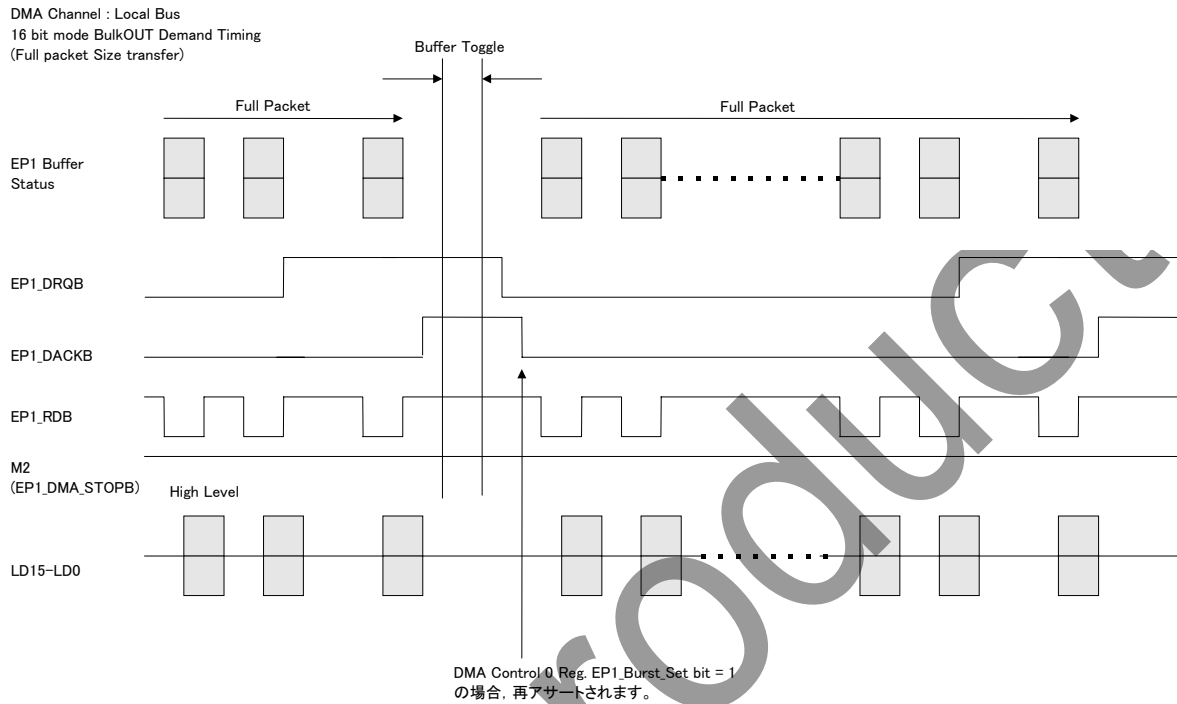
(7) ショート・パケット送信時 (1 バイト)



8.2 External Local Bus 16-bit Mode, Demand Mode Transfer

8.2.1 Bulk OUT

(1) Max Packet Size 受信時

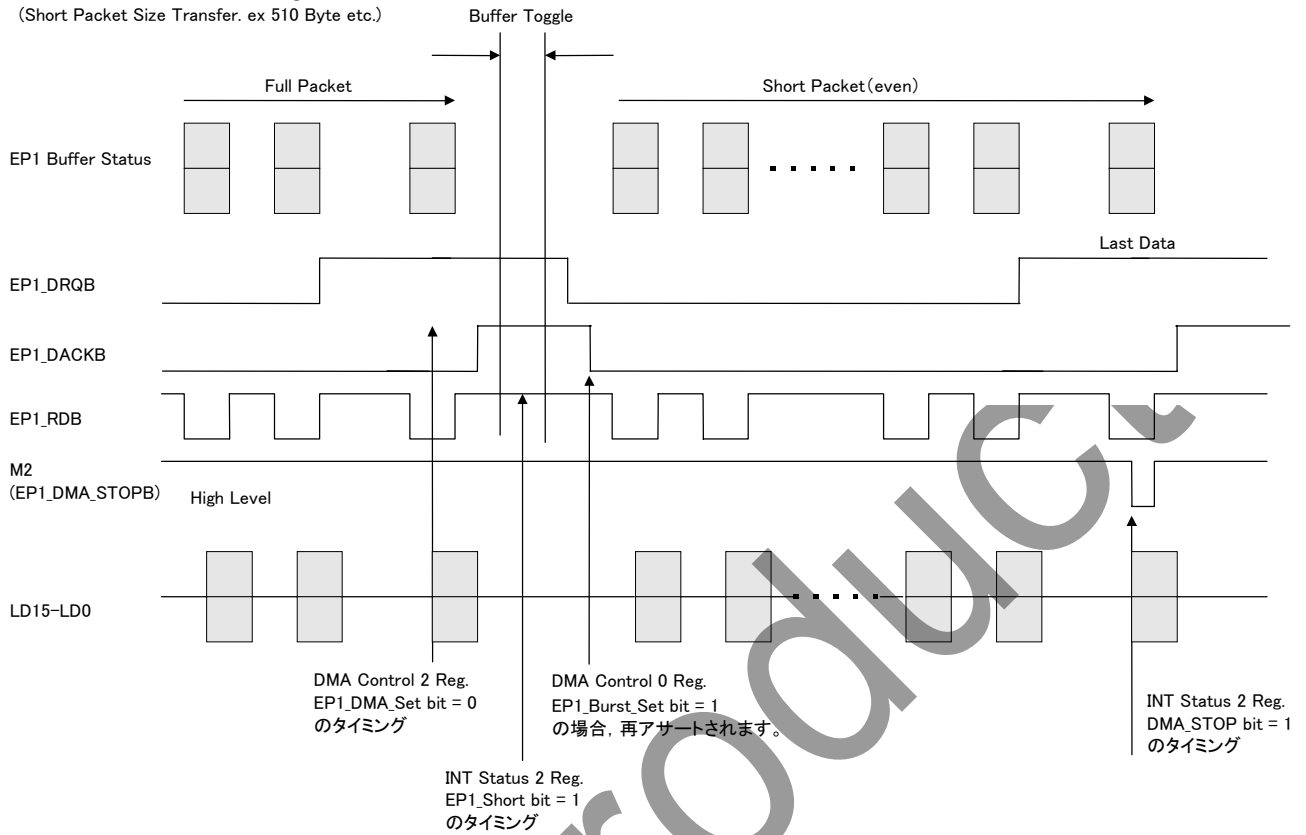


(2) ショート・パケット受信時 (偶数バイト)

DMA Channel : Local Bus

16 bit mode BulkOUT Demand Timing

(Short Packet Size Transfer. ex 510 Byte etc.)

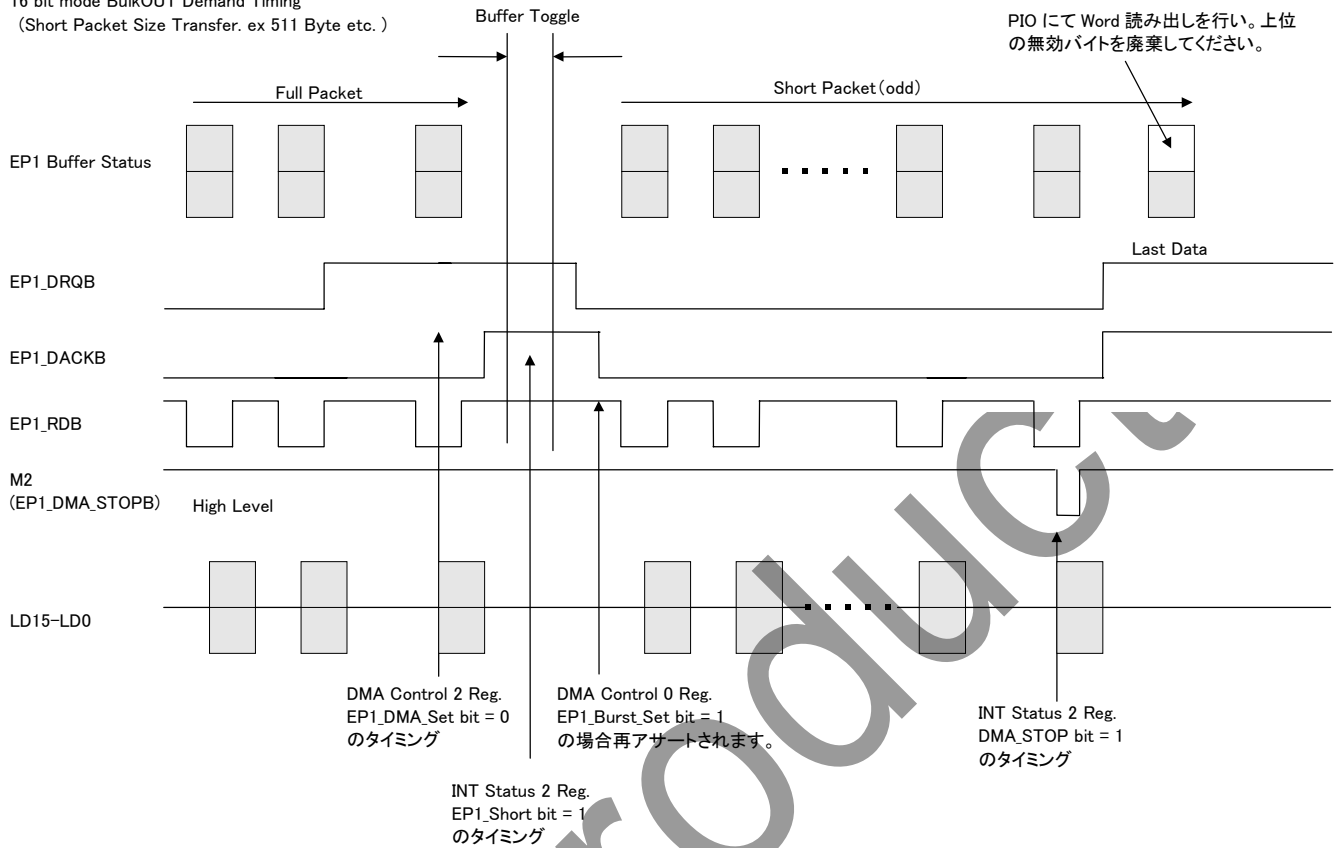


(3) ショート・パケット受信時 (奇数バイト)

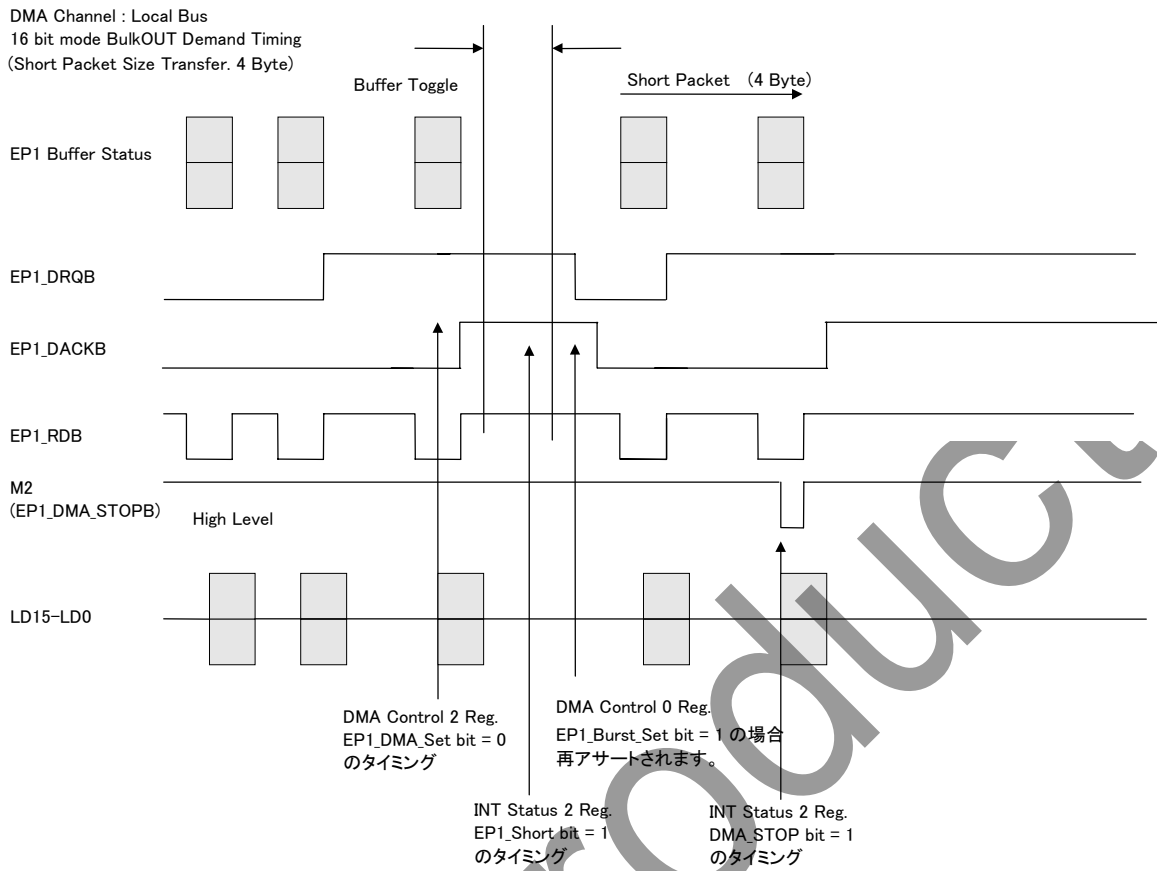
DMA Channel : Local Bus

16 bit mode BulkOUT Demand Timing

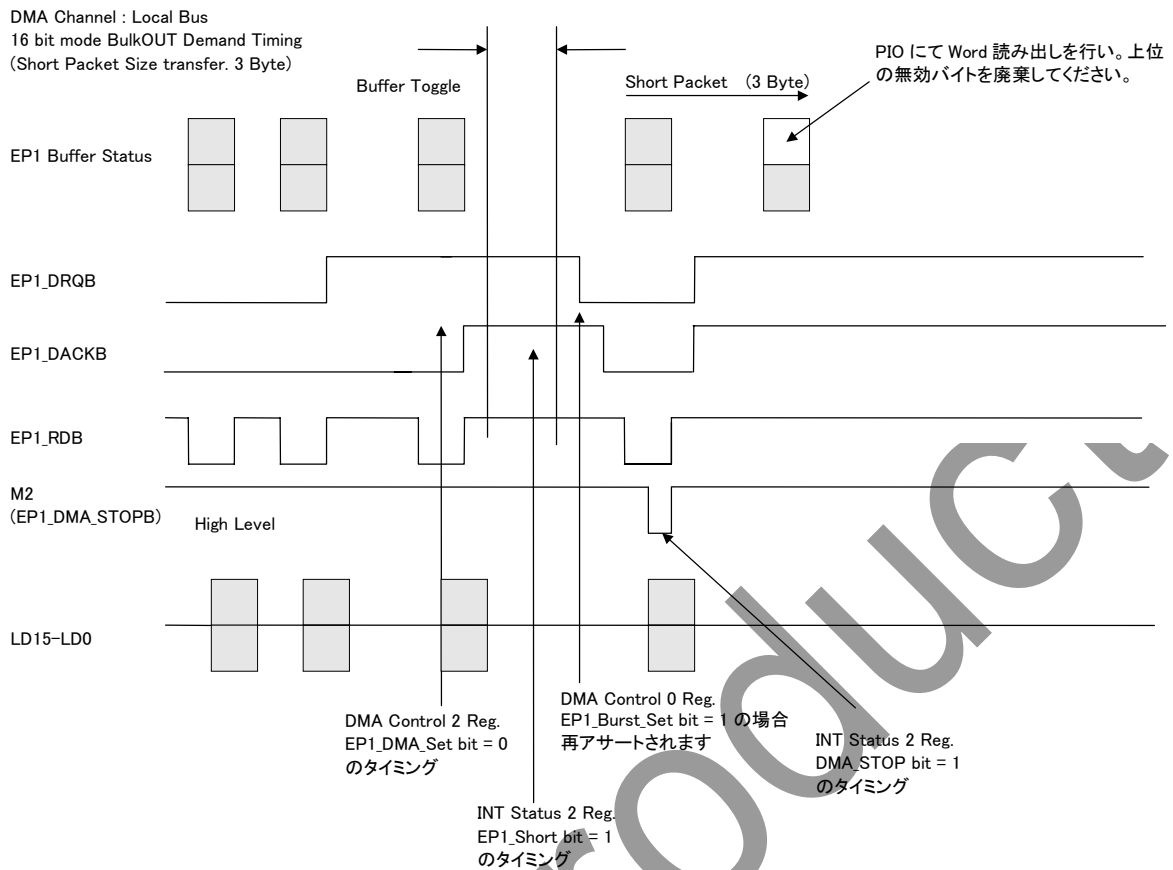
(Short Packet Size Transfer. ex 511 Byte etc.)



(4) ショート・パケット受信 (4 バイト)

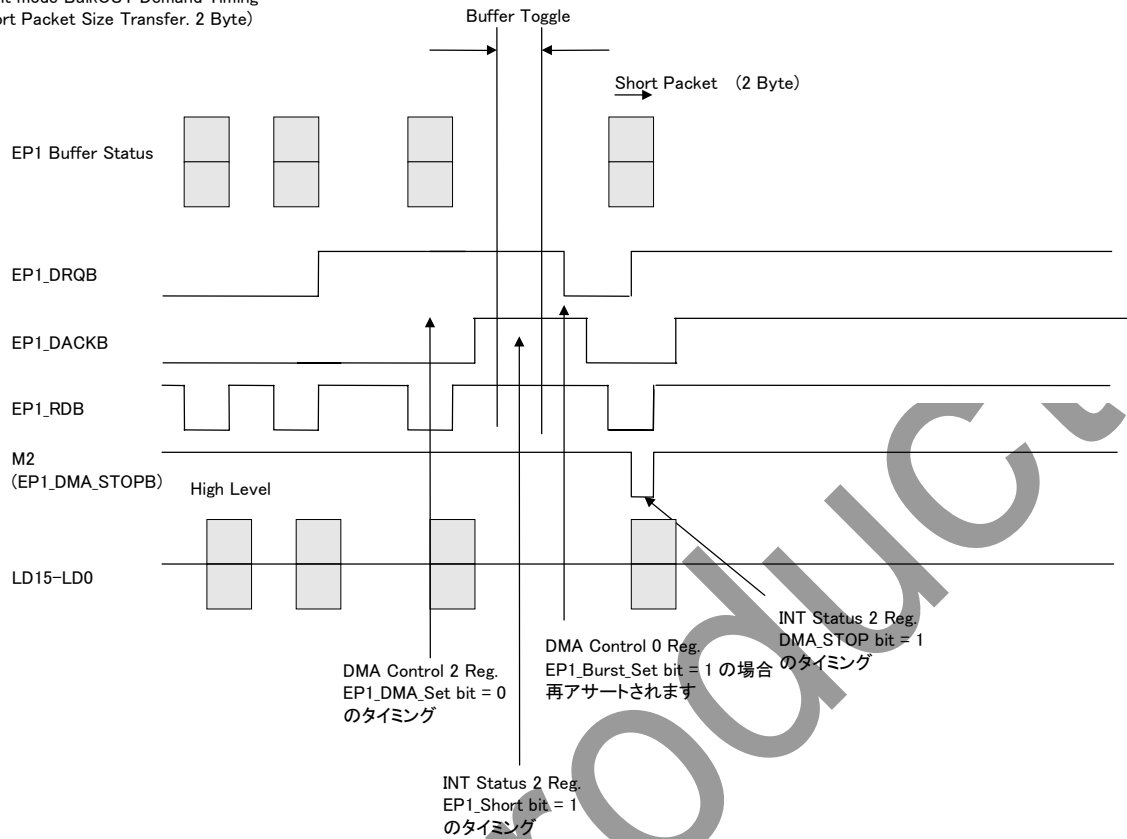


(5) ショート・パケット受信 (3 バイト)

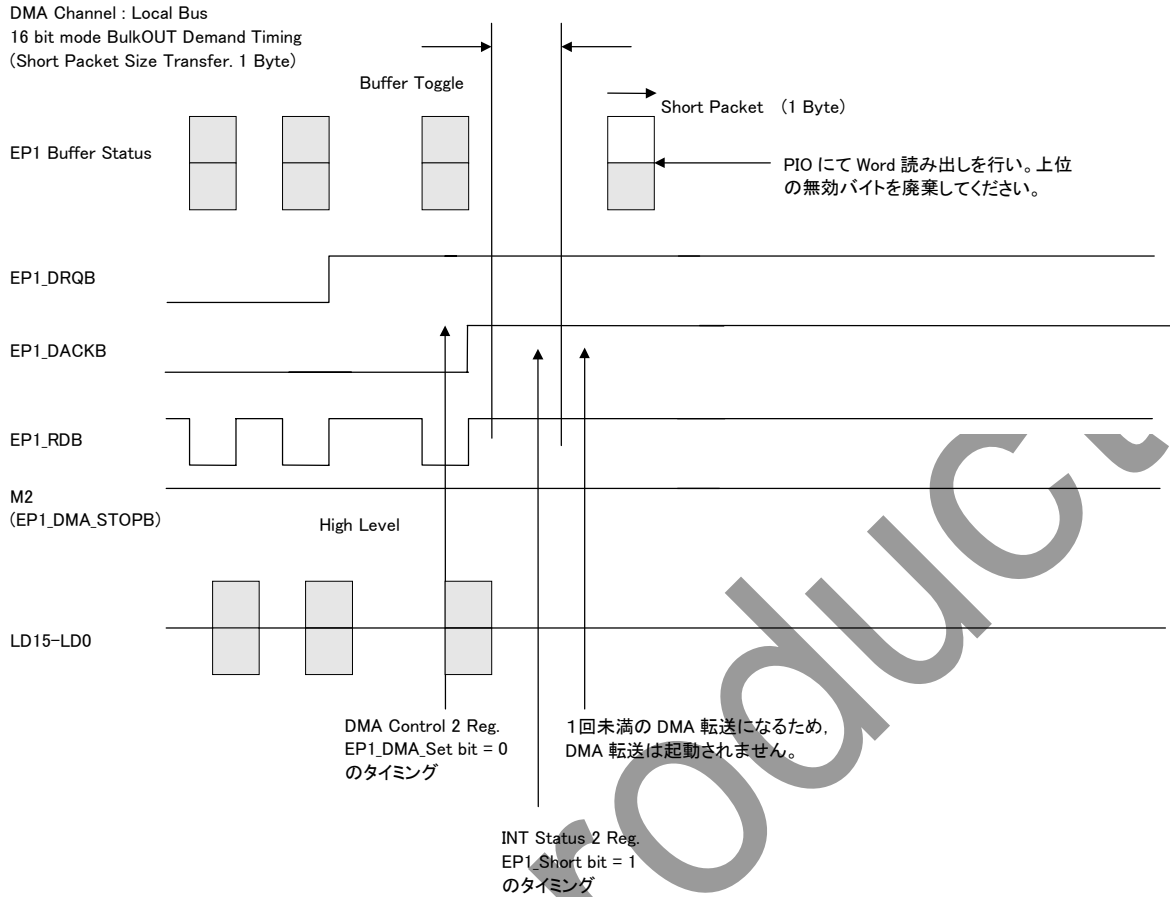


(6) ショート・パケット受信 (2 バイト)

DMA Channel : Local Bus
 16 bit mode BulkOUT Demand Timing
 (Short Packet Size Transfer. 2 Byte)



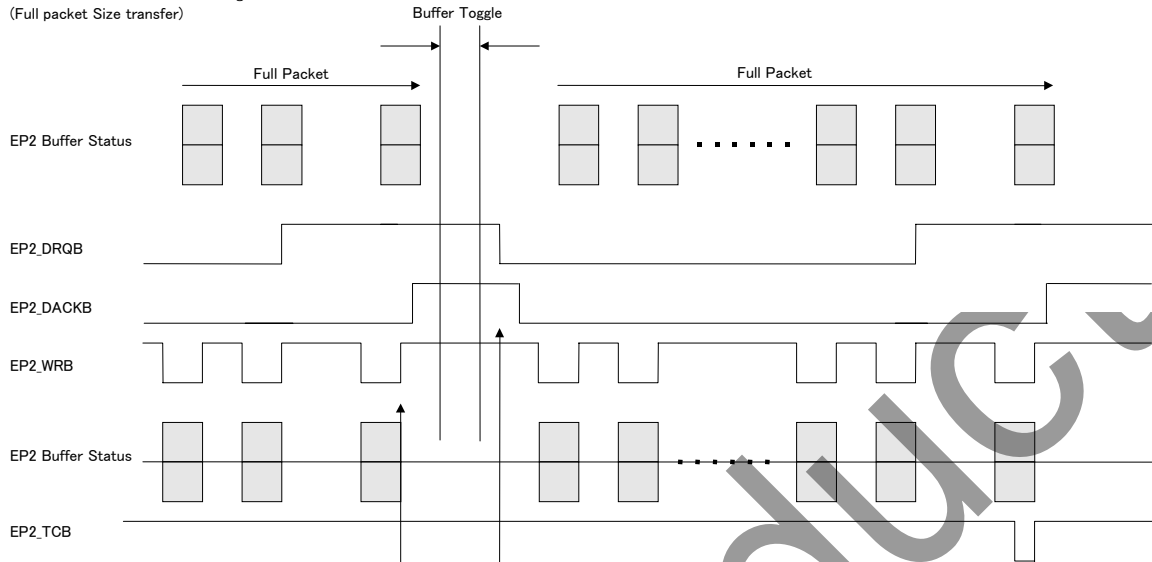
(7) ショート・パケット受信時 (1 バイト)



8. 2. 2 Bulk IN

(1) Max Packet Size 送信時

DMA Channel : Local Bus
16 bit mode BulkIN Demand Timing
(Full packet Size transfer)

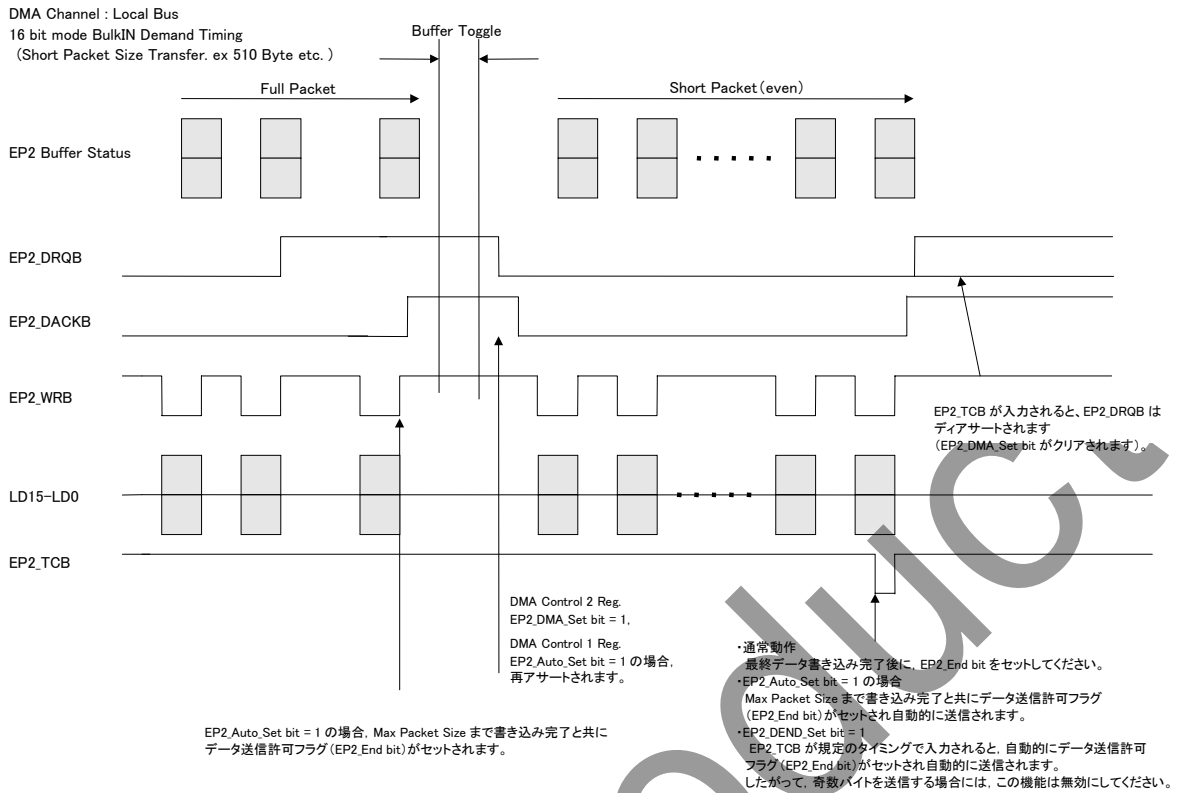


DMA Control 0 Reg.
EP2_Burst_Set bit = 1
の場合、再アサートされます

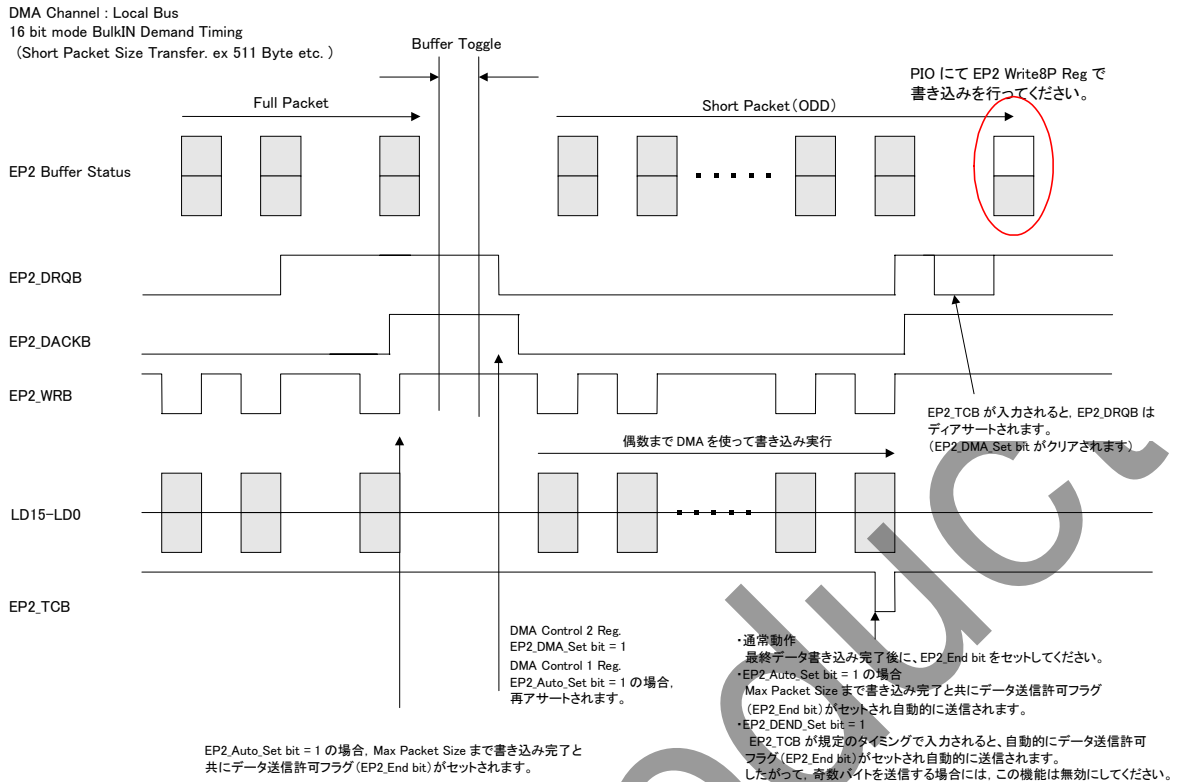
EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End) がセットされます。

- ・通常動作
最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND_Set bit = 1
EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。

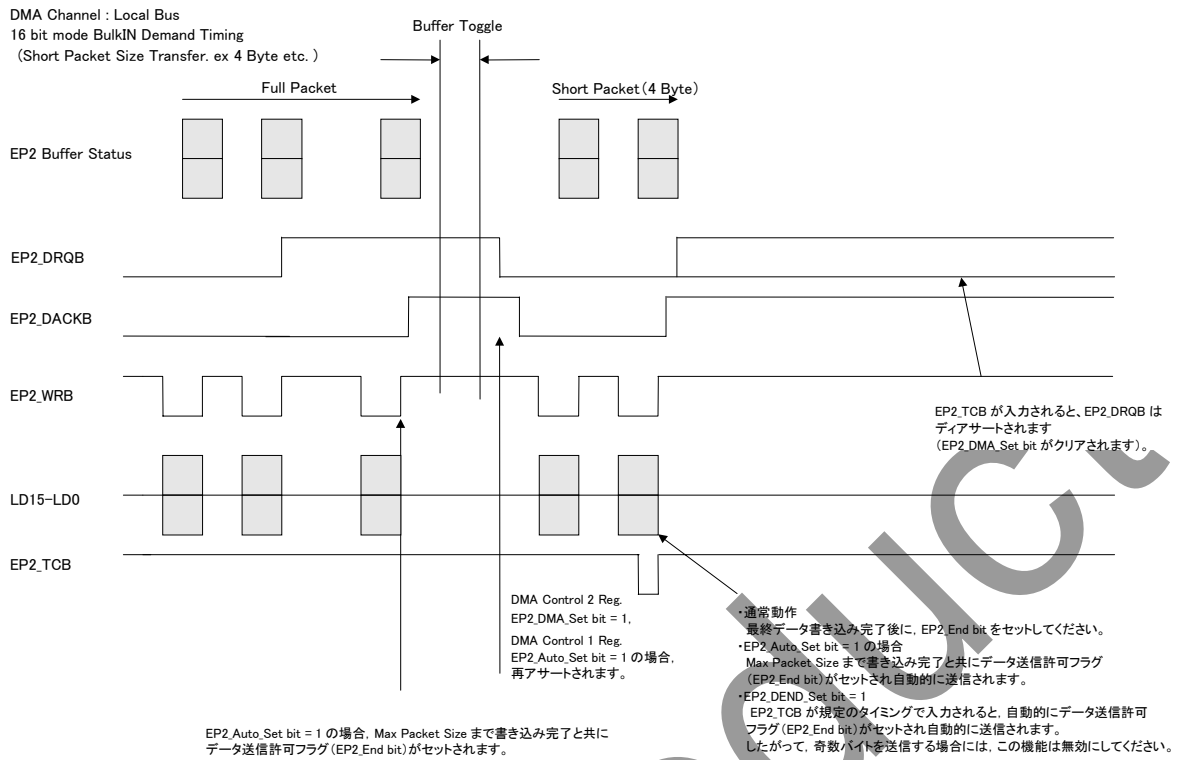
(2) ショート・パケット送信時 (偶数バイト)



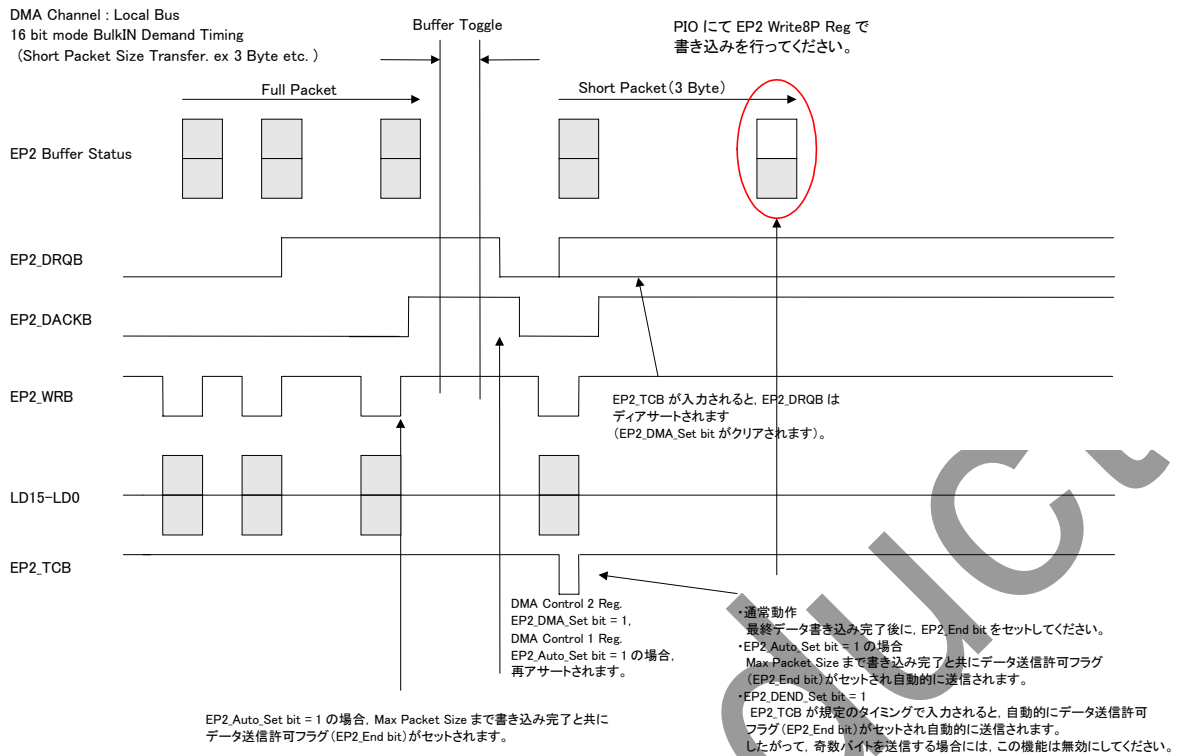
(3) ショート・パケット送信時 (奇数バイト)



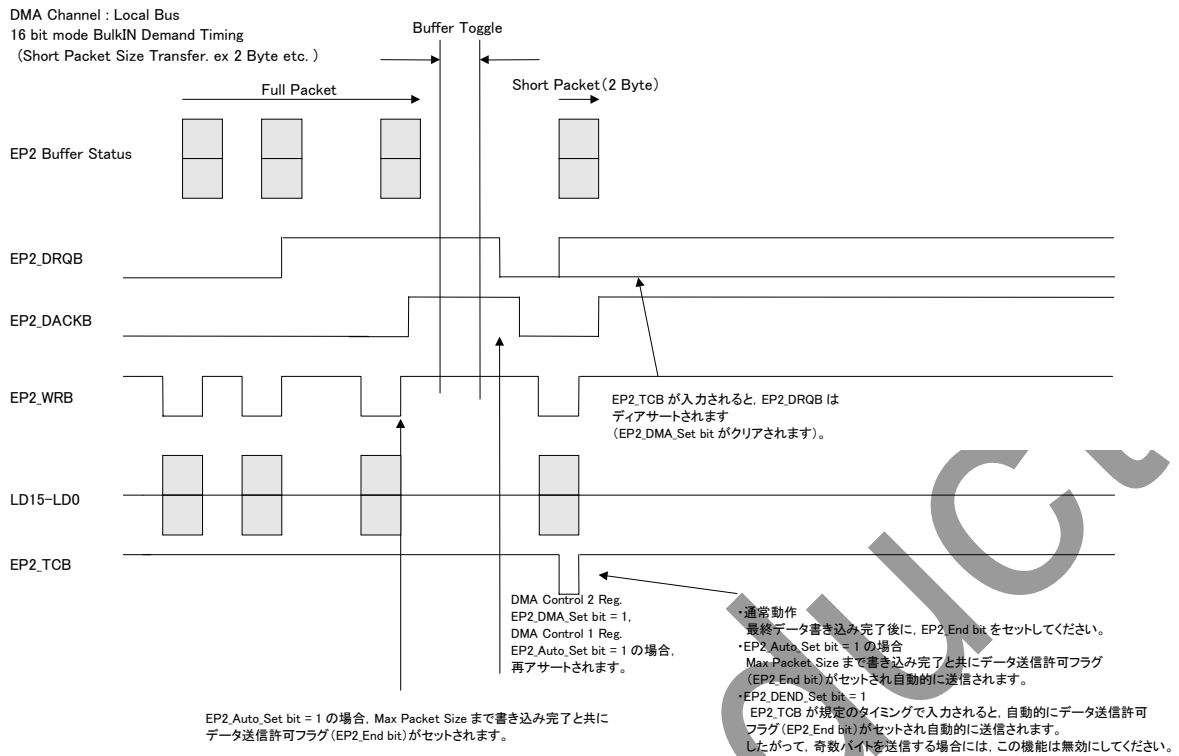
(4) ショート・パケット送信時 (4 バイト)



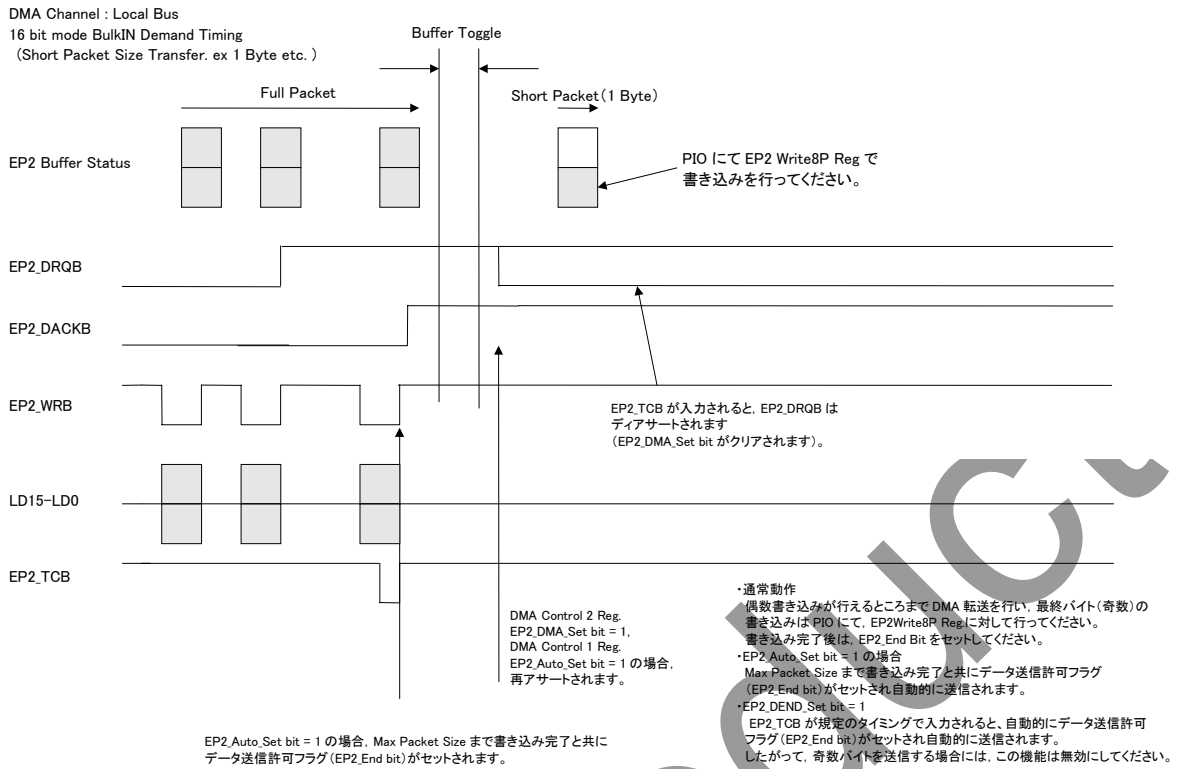
(5) ショート・パケット送信時 (3 バイト)



(6) ショート・パケット送信時 (2 バイト)



(7) ショート・パケット送信時 (1 バイト)

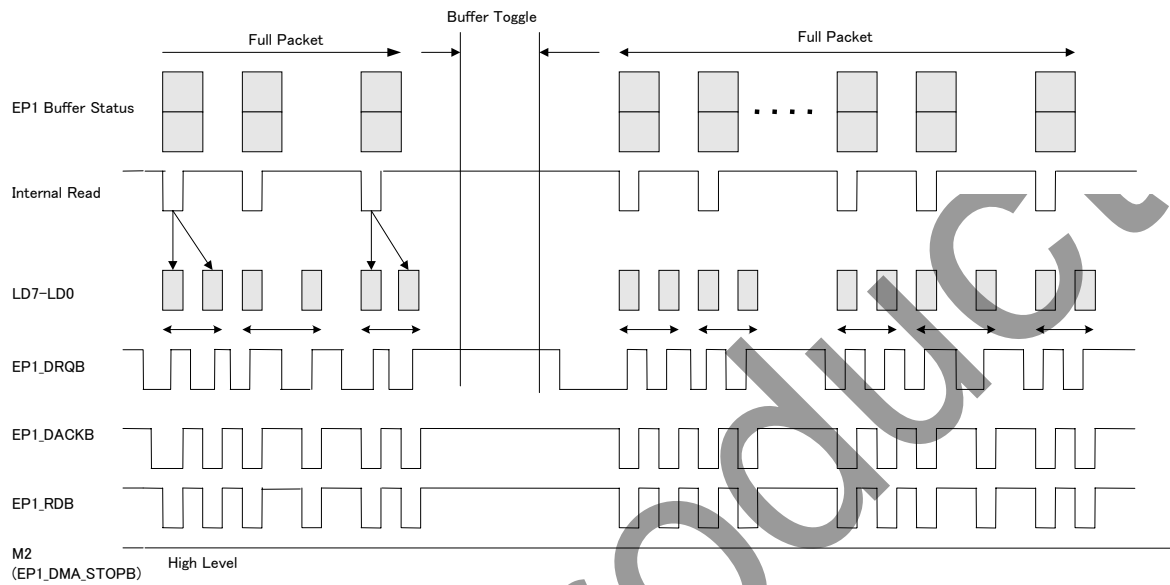


8.3 External Local Bus 8-bit Mode, Single Mode Transfer

8.3.1 Bulk OUT

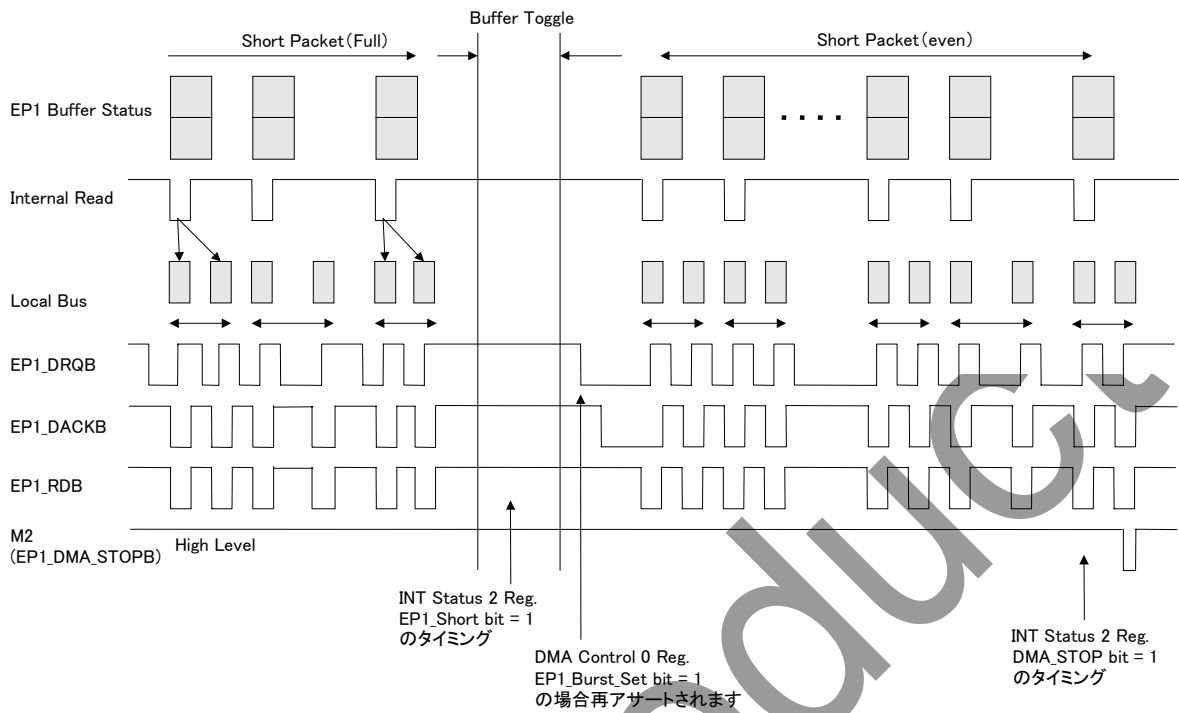
(1) Max Packet Size 受信時

DMA Channel : Local Bus
 8 bit mode BulkOUT Single Timing
 (Full Packet Size)



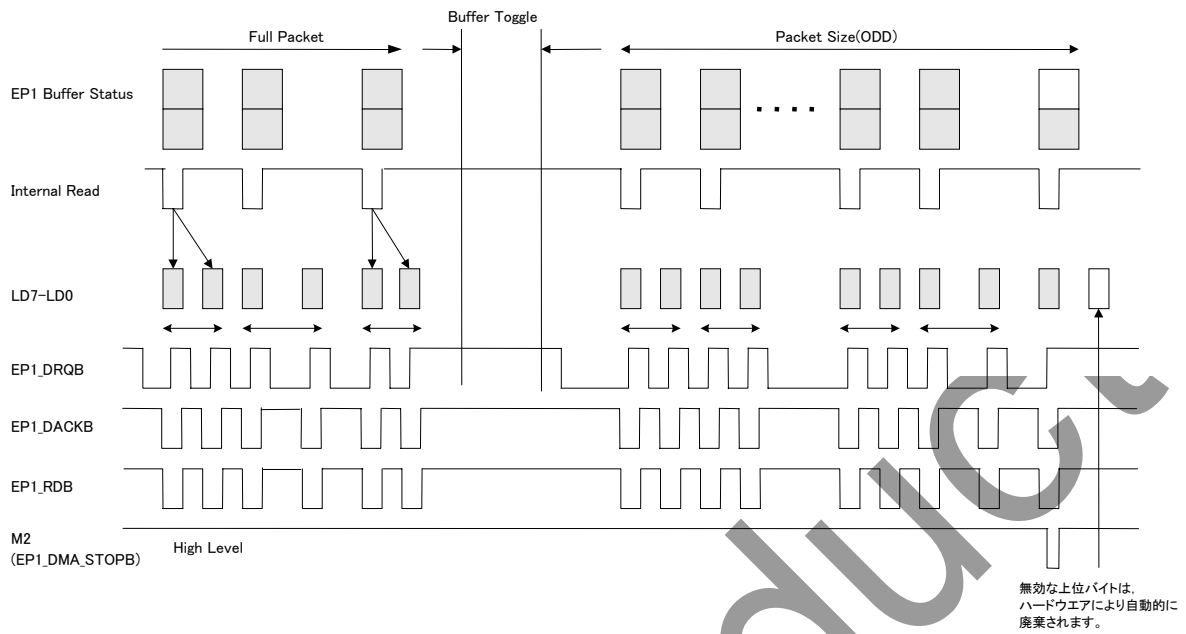
(2) ショート・パケット受信時 (偶数バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer. ex. 510 Byte etc.)



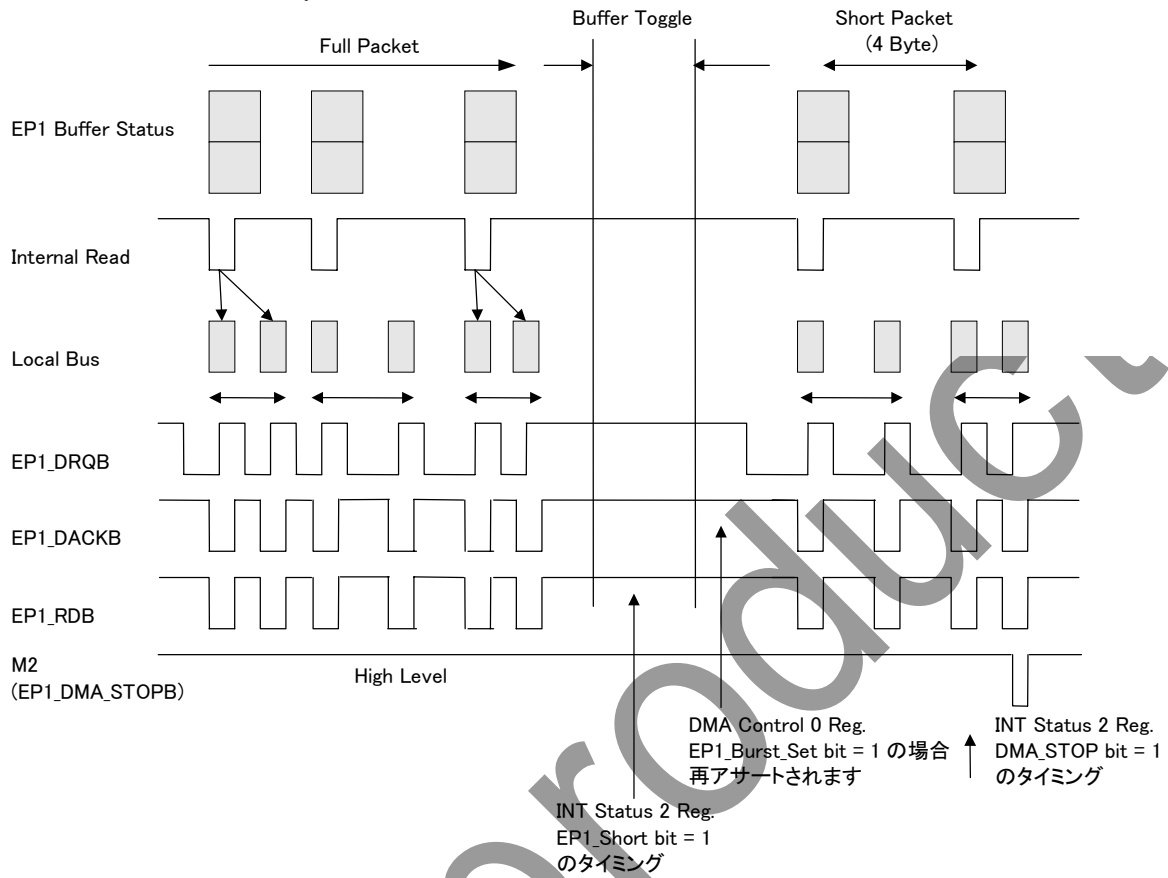
(3) ショート・パケット受信時 (奇数バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer. ex. 511 Byte)



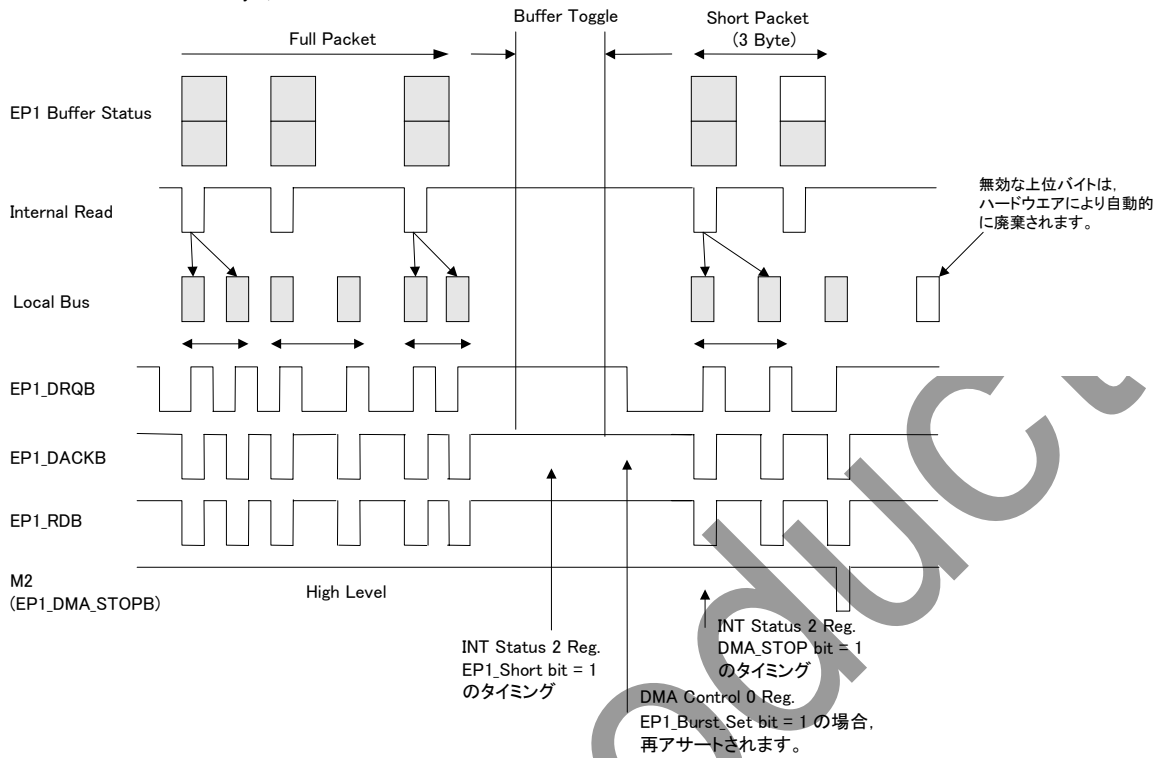
(4) ショート・パケット受信時 (4 バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer. 4 Byte)



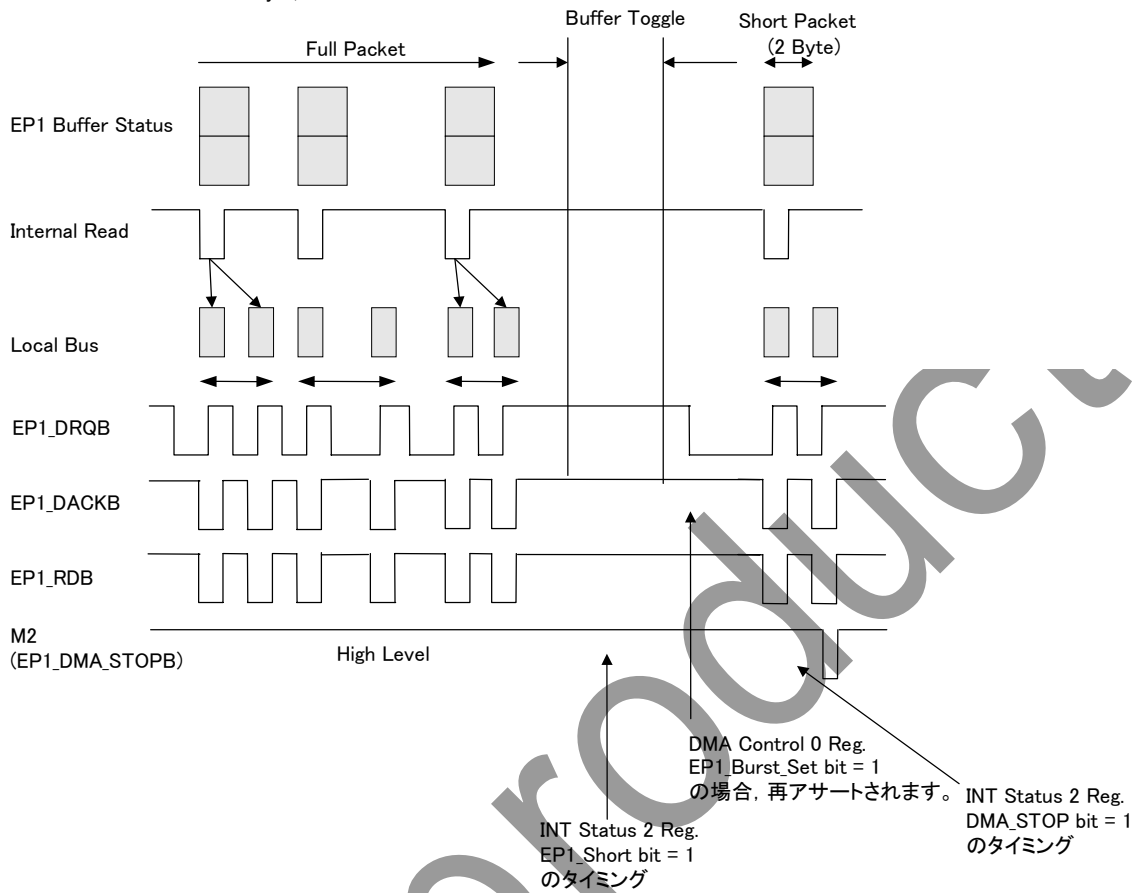
(5) ショート・パケット受信時 (3 バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer: 3 Byte)



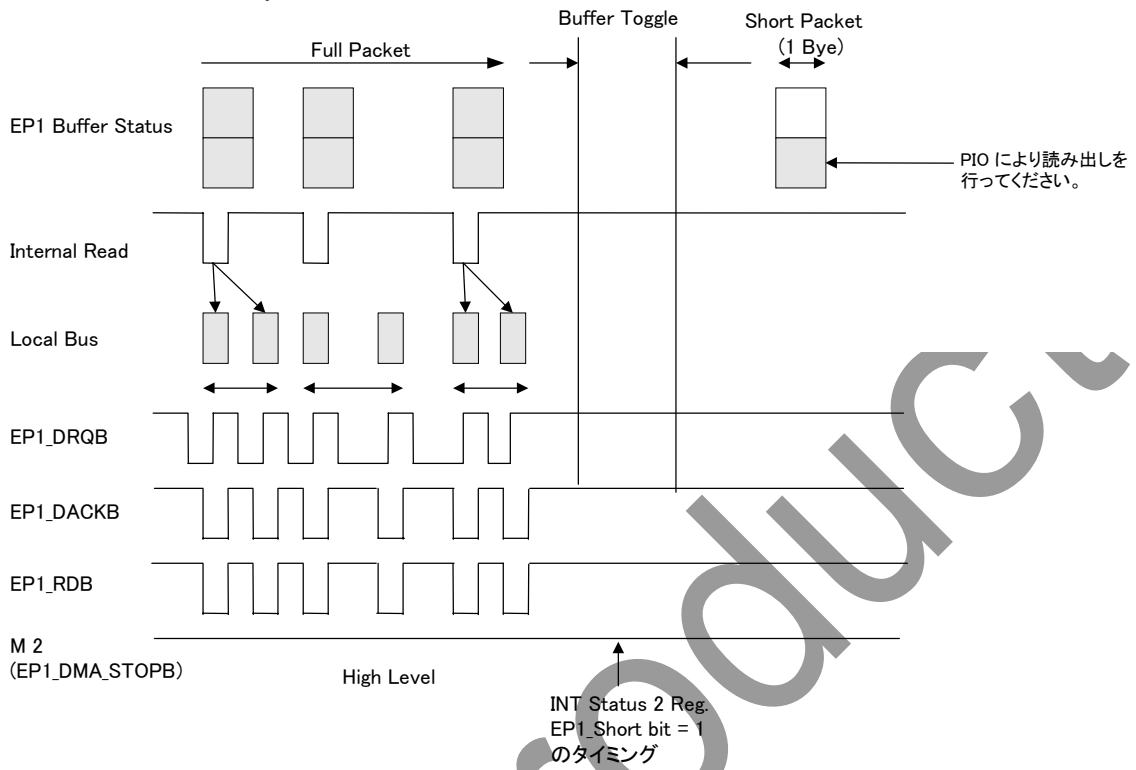
(6) ショート・パケット受信時 (2 バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer. 2 Byte)



(7) ショート・パケット受信時 (1 バイト)

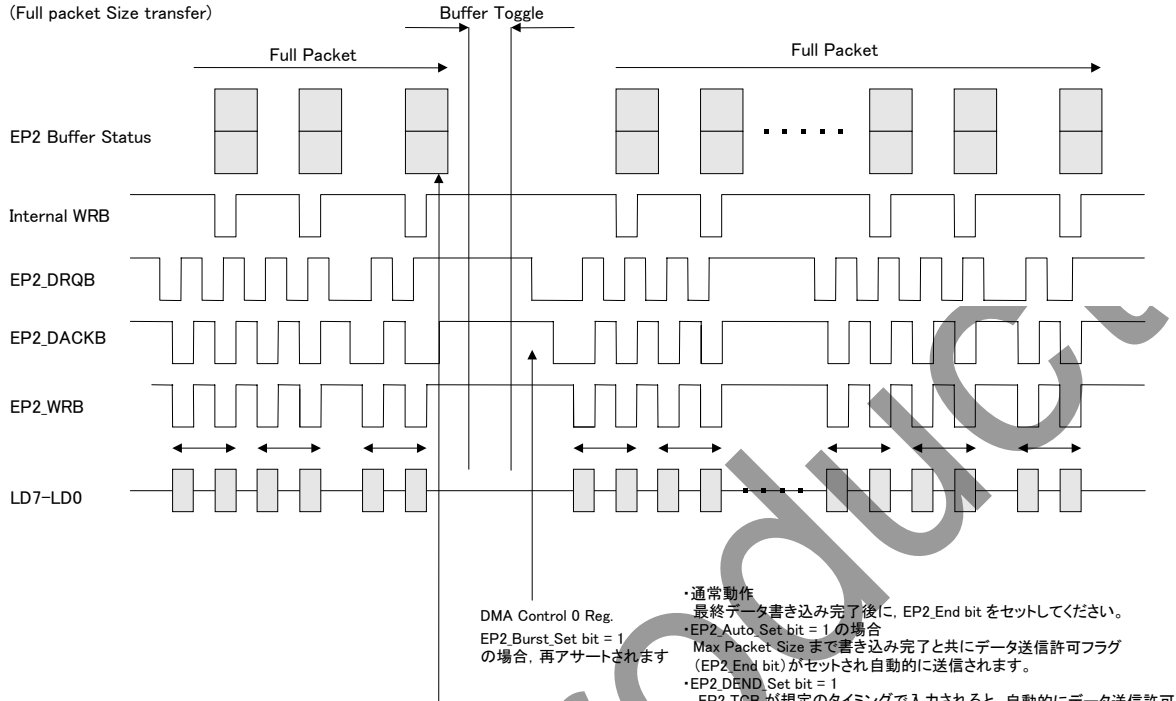
DMA Channel : Local Bus
 8 bit mode BulkOUT Single Timing
 (Short Packet Size Transfer. 1 Byte)



8.3.2 Bulk IN

(1) Max Packet Size 送信時

DMA Channel : Local Bus
8 bit mode BulkIN Single Timing
(Full packet Size transfer)



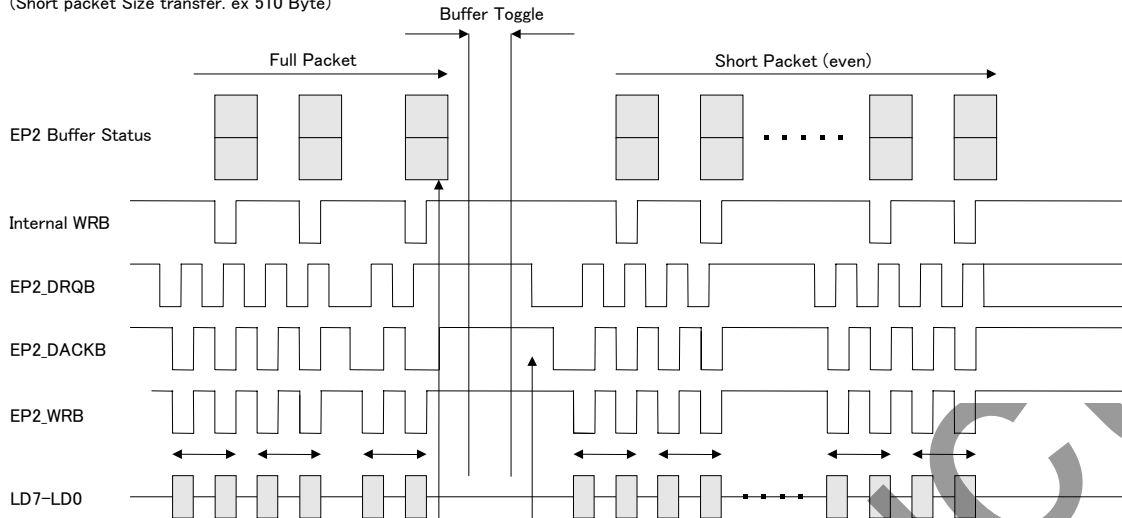
DMA Control 0 Reg.
EP2_Burst_Set bit = 1
の場合、再アサートされます

- ・通常動作
最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND_Set bit = 1
EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信する機能がありますが、8 bit Mode では EP2_TCB 信号は使用禁止です。

EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

(2) ショート・パケット送信時 (偶数バイト)

DMA Channel : Local Bus
 8 bit mode BulkIN Single Timing
 (Short packet Size transfer. ex 510 Byte)



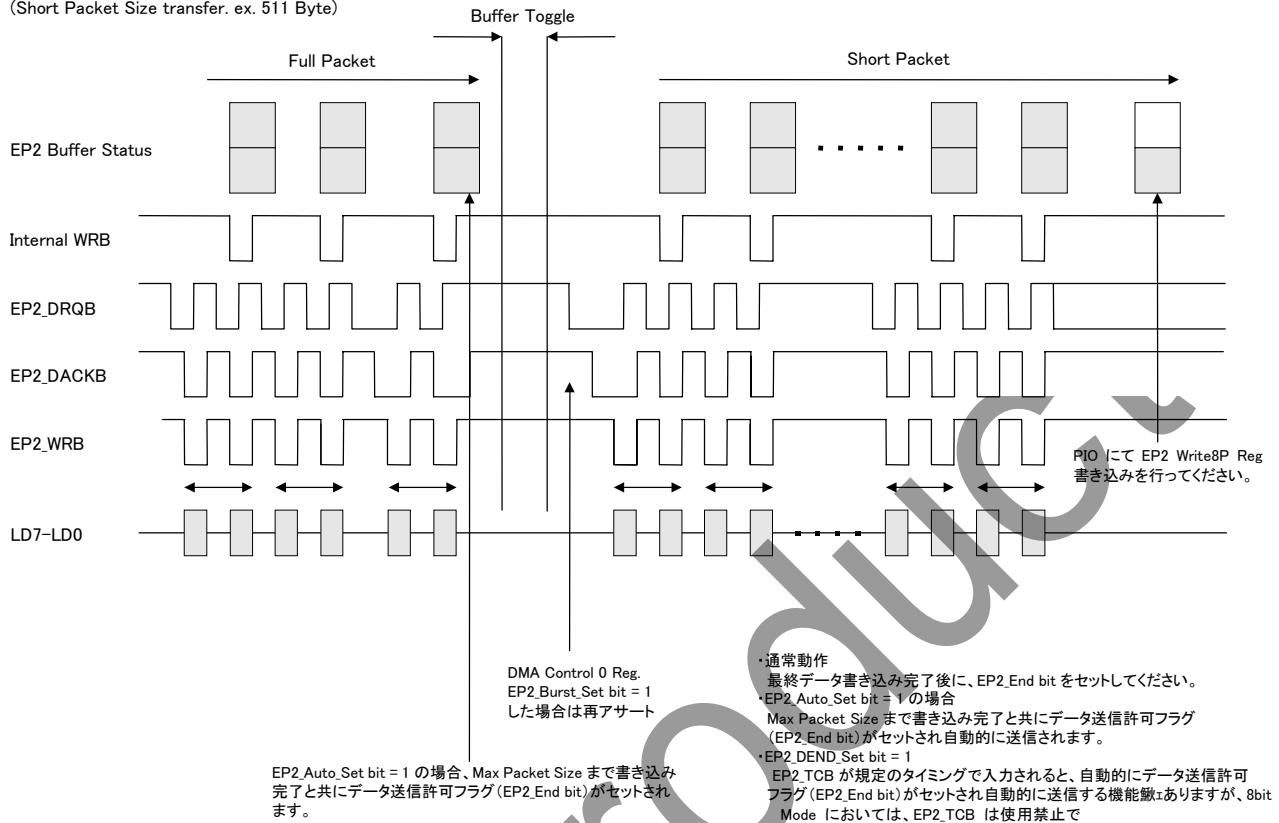
DMA Control 0 Reg.
 EP2_Burst_Set bit = 1
 の場合、再アサートされます

- ・通常動作
 最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
 Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND Set bit = 1
 EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信する機能がありますが、8 bit Mode では、EP2_TCB 端子は使用禁止です。

EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

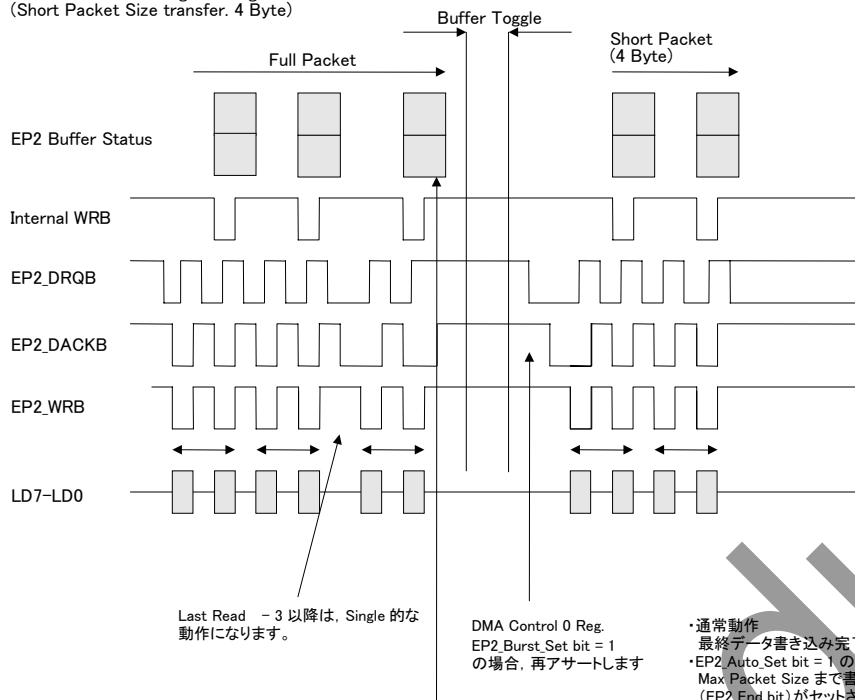
(3) ショート・パケット送信時 (奇数バイト)

DMA Channel : Local BUS
 8bit mode BulkIN Single Timing
 (Short Packet Size transfer. ex. 511 Byte)



(4) ショート・パケット送信時 (4 バイト)

DMA Channel : Local Bus
8 bit mode BulkIN Single Timing
(Short Packet Size transfer. 4 Byte)



Last Read - 3 以降は、Single 的な動作になります。

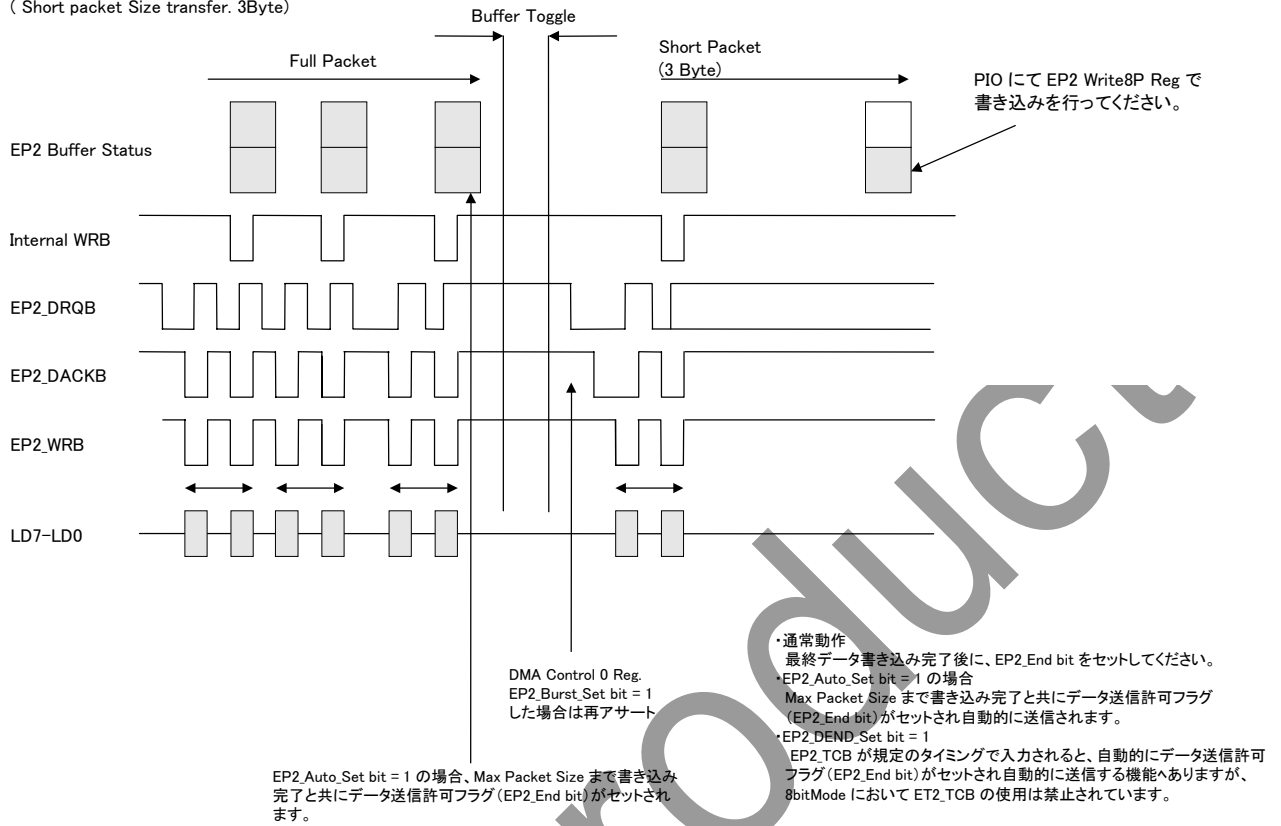
DMA Control 0 Reg.
EP2_Burst_Set bit = 1
の場合、再アサートします

EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

- ・通常動作
最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND Set bit = 1
EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信する機能があります。
8 bit Mode においては、EP2_TCB は使用禁止です。

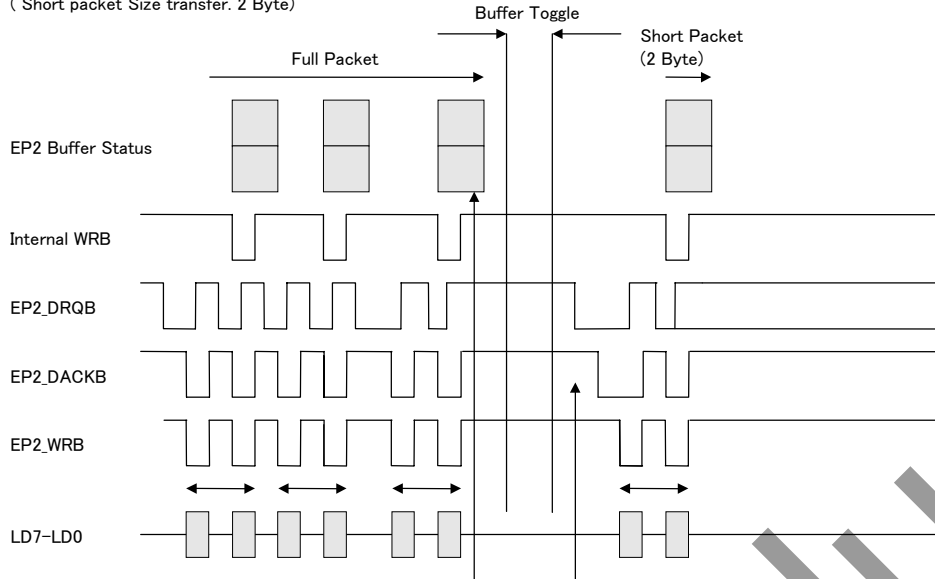
(5) ショート・パケット送信時 (3 バイト)

DMA Channel : Local BUS
 8bit mode BulkIN Single Timing
 (Short packet Size transfer. 3Byte)



(6) ショート・パケット送信時 (2 バイト)

DMA Channel : Local BUS
 8bit mode BulkIN Single Timing
 (Short packet Size transfer. 2 Byte)



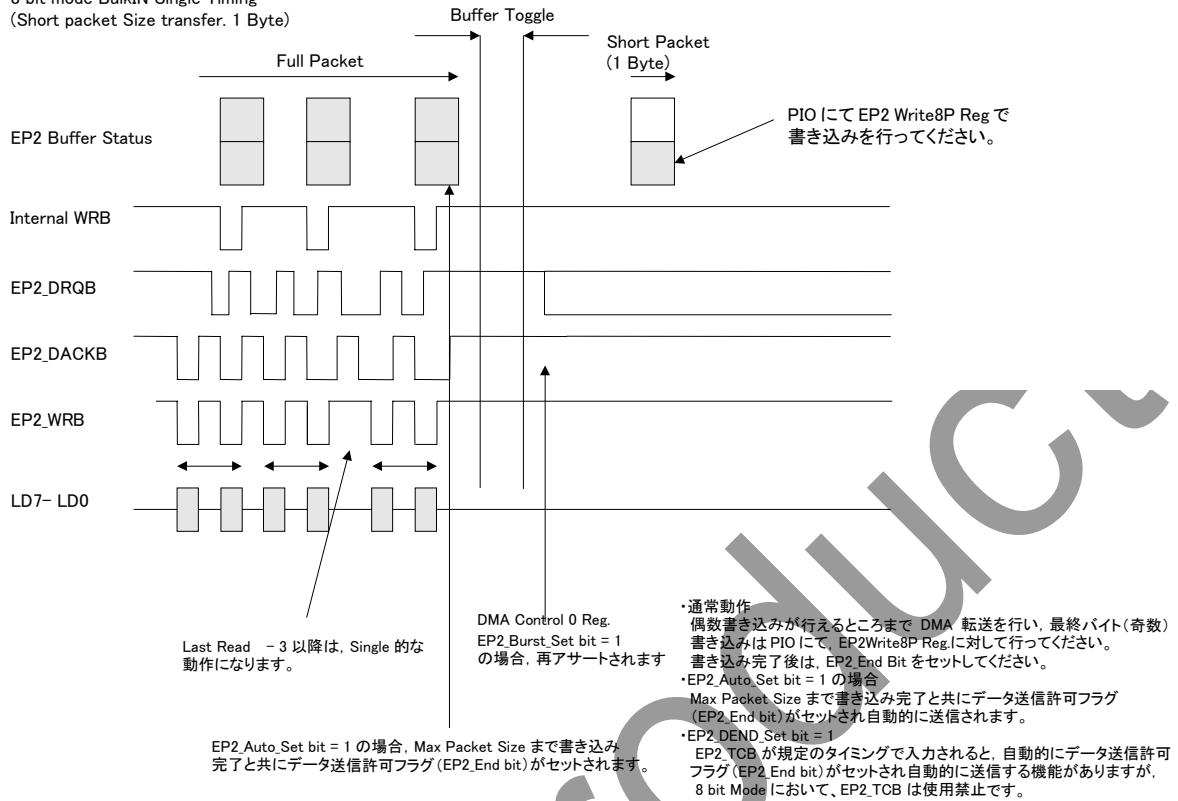
DMA Control 0 Reg.
 EP2_Burst_Set bit = 1
 した場合は再アサート

EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

- ・通常動作
最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND_Set bit = 1
EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信する機能があります。しかし 8bit Mode において、EP2_TCB は使用禁止です。

(7) ショート・パケット送信時 (1 バイト)

DMA Channel : Local Bus
8 bit mode BulkIN Single Timing
(Short packet Size transfer, 1 Byte)

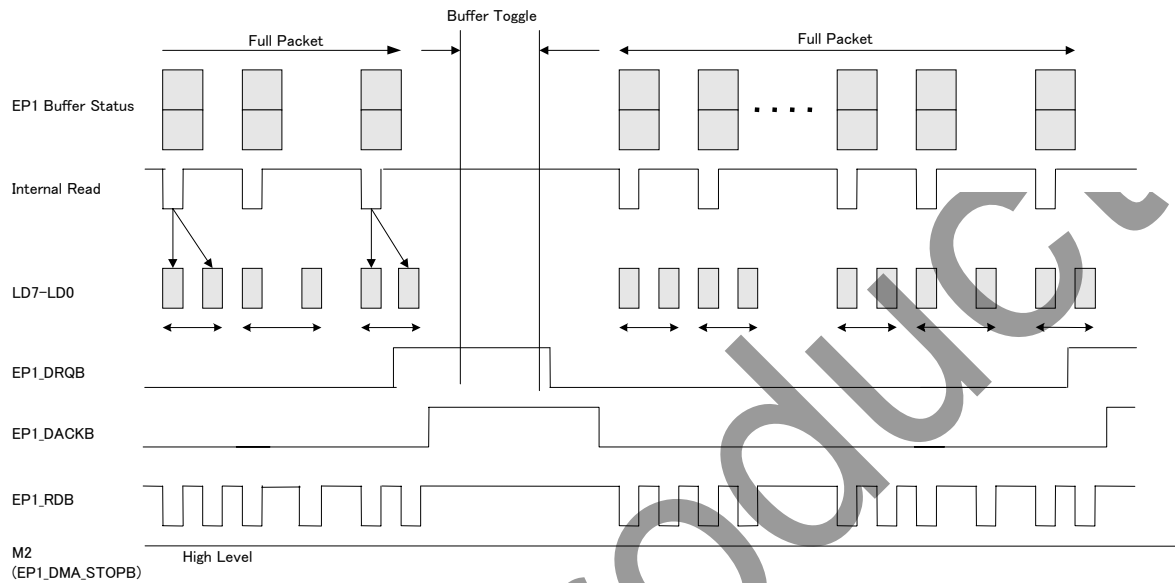


8.4 External Local Bus 8-bit Mode, Demand Mode Transfer

8.4.1 Bulk OUT

(1) Max Packet Size 受信時

DMA Channel : Local Bus
8 bit mode BulkOUT Demand Timing
(Full Packet Size)

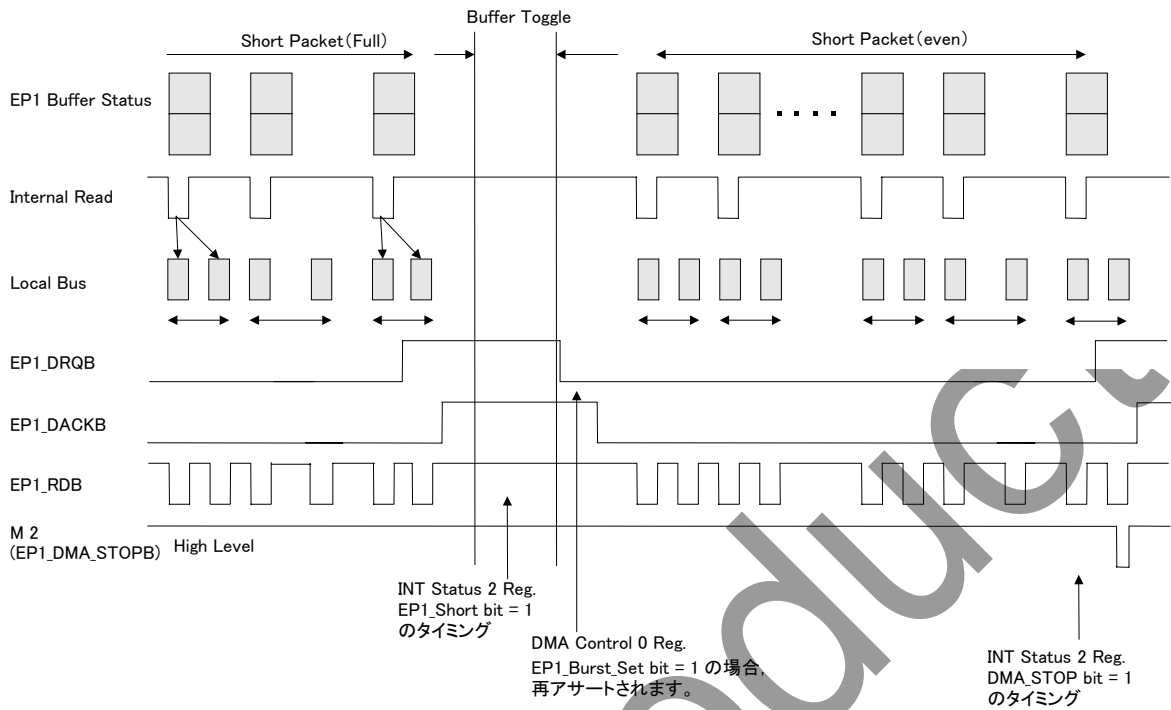


8 bit モードを選択した場合、最終読み出し - 1 (N - 1) のタイミングで EP1_DRQB がディアサートします。

このとき、何らかの理由により DAMC が DMA サイクルをやめた場合 (EP1_DACKB をディアサート) に、 μ PD720122 は、再度 EP1_DRQB をアサートしないので、注意してください (再送要求をしません)。ただし、16 bit モードにおいては、再送要求を行うことが可能です。

(2) ショート・パケット受信時 (偶数バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Demand Timing
 (Short Packet Size Transfer. ex. 510 Byte etc.)

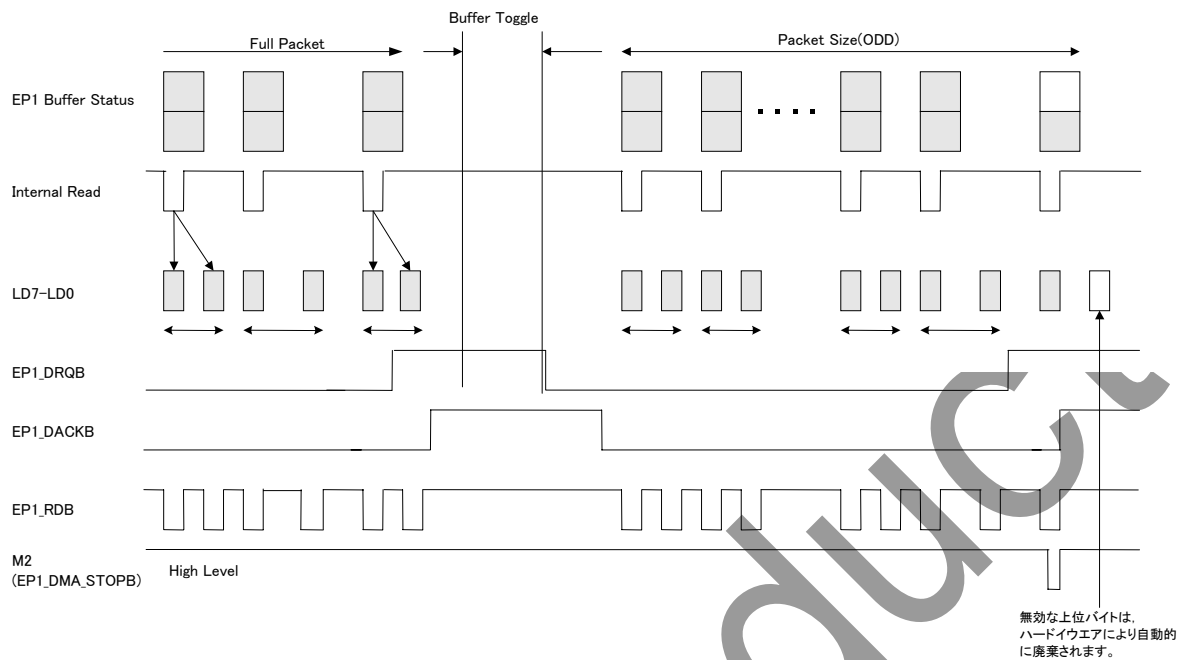


8 bit モードを選択した場合、最終読み出し - 1 (N - 1) のタイミングで EP1_DRQB がディアサートします。

このとき、何らかの理由により DAMC が DMA サイクルをやめた場合 (EP1_DACKB をディアサート) に、 μ PD720122 は、再度 EP1_DRQB をアサートしないので、注意してください (再送要求をしません)。ただし、16 bit モードにおいては、再送要求を行うことが可能です。

(3) ショート・パケット受信時 (奇数バイト)

DMA Channel : Local Bus
8 bit mode BulkOUT Demand Timing
(Short Packet Size Transfer. ex. 511 Byte)

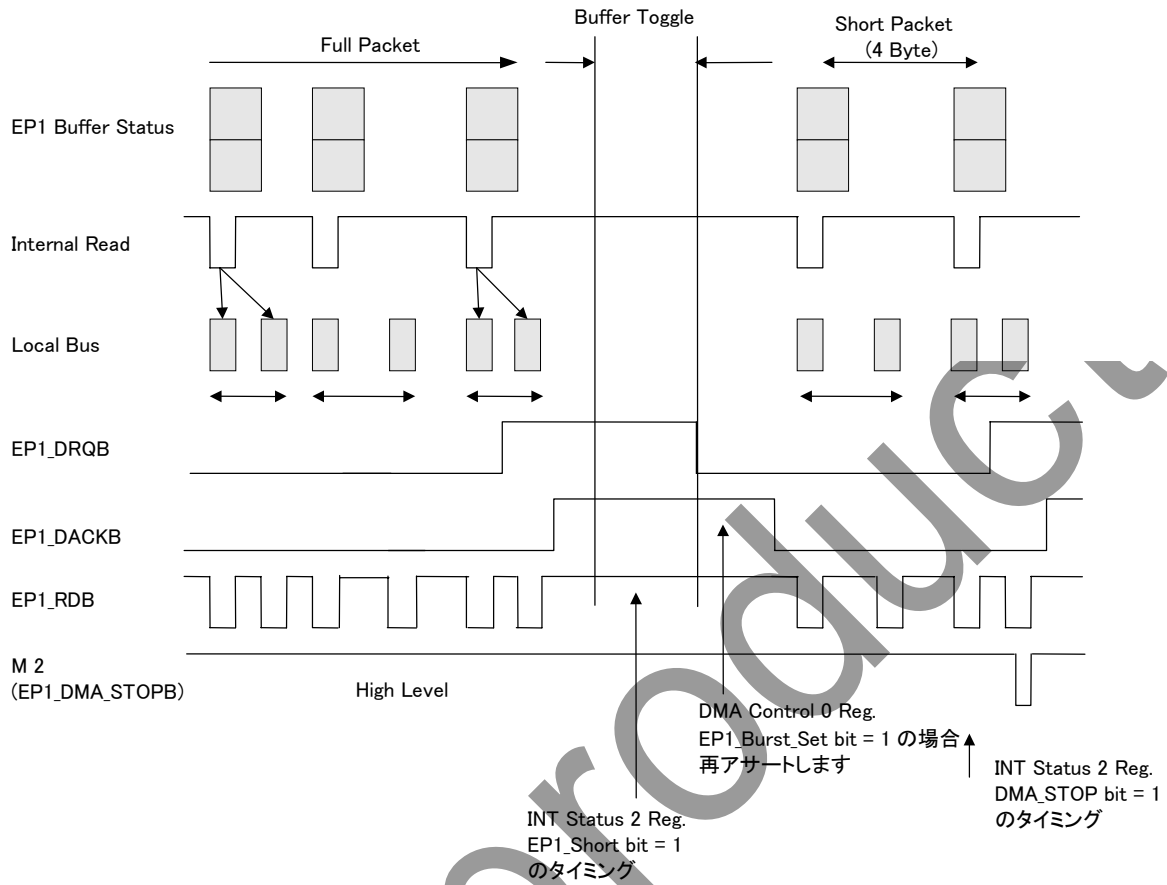


8 bit モードを選択した場合、最終読み出し - 1 (N - 1) のタイミングで EP1_DRQB がディアサートします。

このとき、何らかの理由により DAMC が DMA サイクルをやめた場合 (EP1_DACKB をディアサート) に、 μ PD720122 は、再度 EP1_DRQB をアサートしないので、注意してください (再送要求をしません)。ただし、16 bit モードにおいては、再送要求を行うことが可能です。

(4) ショート・パケット受信時 (4 バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Demand Timing
 (Short Packet Size Transfer. 4 Byte)

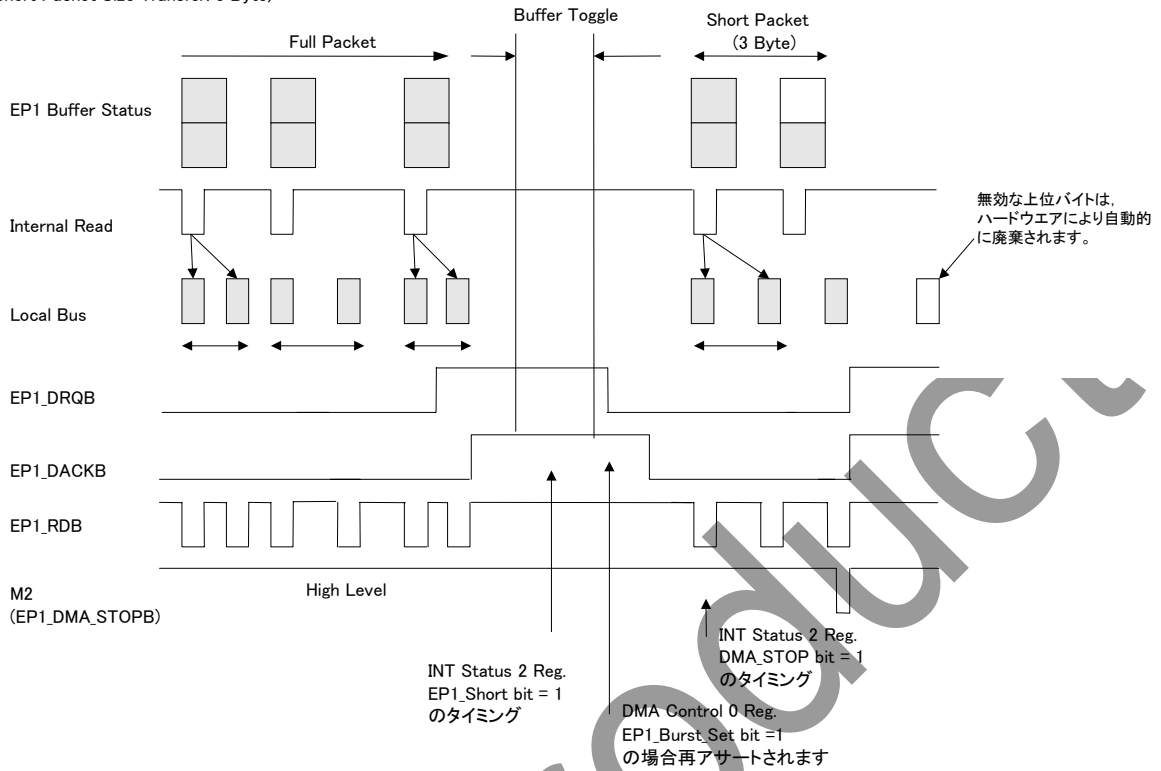


8 bit モードを選択した場合、最終読み出し - 1 (N - 1) のタイミングで EP1_DRQB がディアサートします。

このとき、何らかの理由により DAMC が DMA サイクルをやめた場合 (EP1_DACKB をディアサート) に、 μ PD720122 は、再度 EP1_DRQB をアサートしないので、注意してください (再送要求をしません)。ただし、16 bit モードにおいては、再送要求を行うことが可能です。

(5) ショート・パケット受信時 (3 バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Demand Timing
 (Short Packet Size Transfer. 3 Byte)

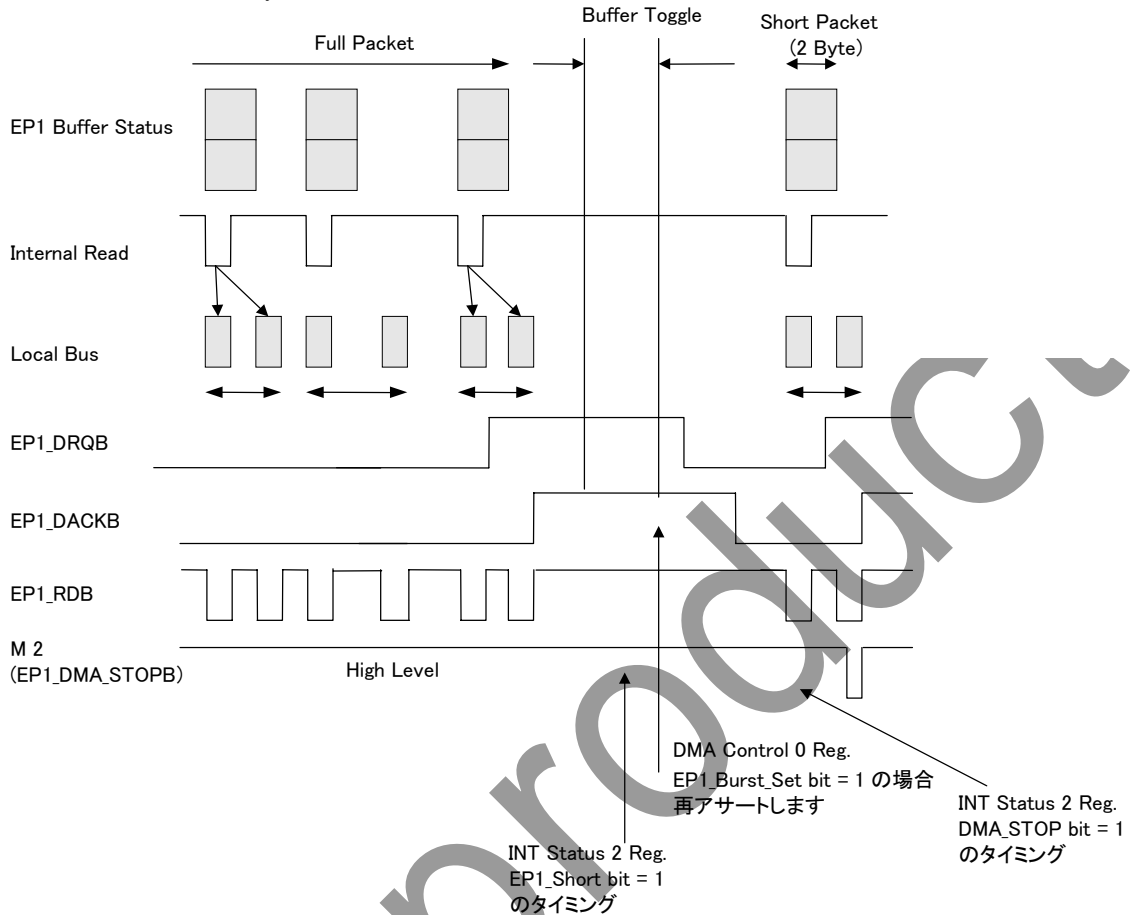


8 bit モードを選択した場合、最終読み出し - 1 (N - 1) のタイミングで EP1_DRQB がディアサートします。

このとき、何らかの理由により DAMC が DMA サイクルをやめた場合 (EP1_DACKB をディアサート) に、 μ PD720122 は、再度 EP1_DRQB をアサートしないので、注意してください (再送要求をしません)。ただし、16 bit モードにおいては、再送要求を行うことが可能です。

(6) ショート・パケット受信時 (2 バイト)

DMA Channel : Local Bus
 8 bit mode BulkOUT Demand Timing
 (Short Packet Size Transfer. 2 Byte)

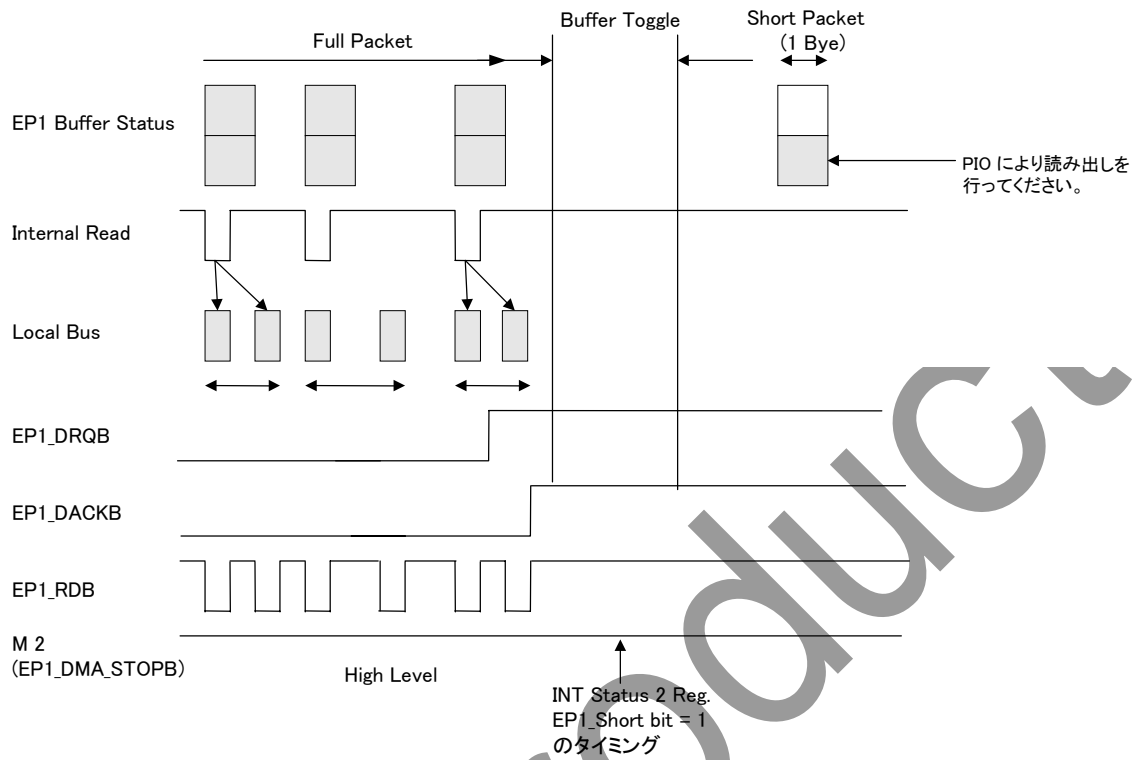


8 bit モードを選択した場合、最終読み出し - 1 (N - 1) のタイミングで EP1_DRQB がディアサートします。

このとき、何らかの理由により DAMC が DMA サイクルをやめた場合 (EP1_DACKB をディアサート) に、 μ PD720122 は、再度 EP1_DRQB をアサートしないので、注意してください (再送要求をしません)。ただし、16 bit モードにおいては、再送要求を行うことが可能です。

(7) ショート・パケット受信時 (1 バイト)

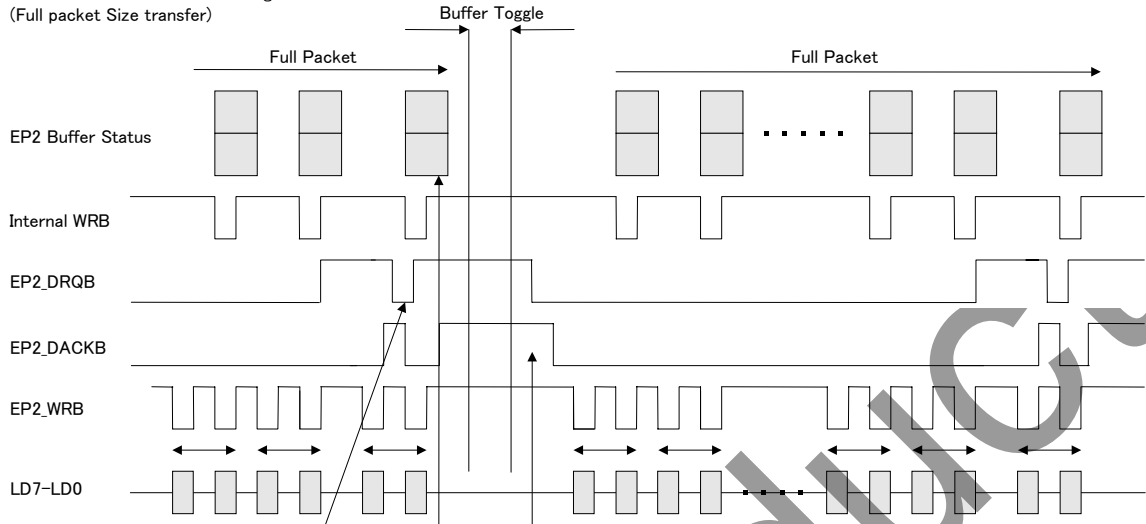
DMA Channel : Local Bus
 8 bit mode BulkOUT Demand Timing
 (Short Packet Size Transfer. 1 Byte)



8.4.2 Bulk IN

(1) Max Packet Size 送信時

DMA Channel : Local Bus
8 bit mode BulkIN Demand Timing
(Full packet Size transfer)



Single 的な動作になります。

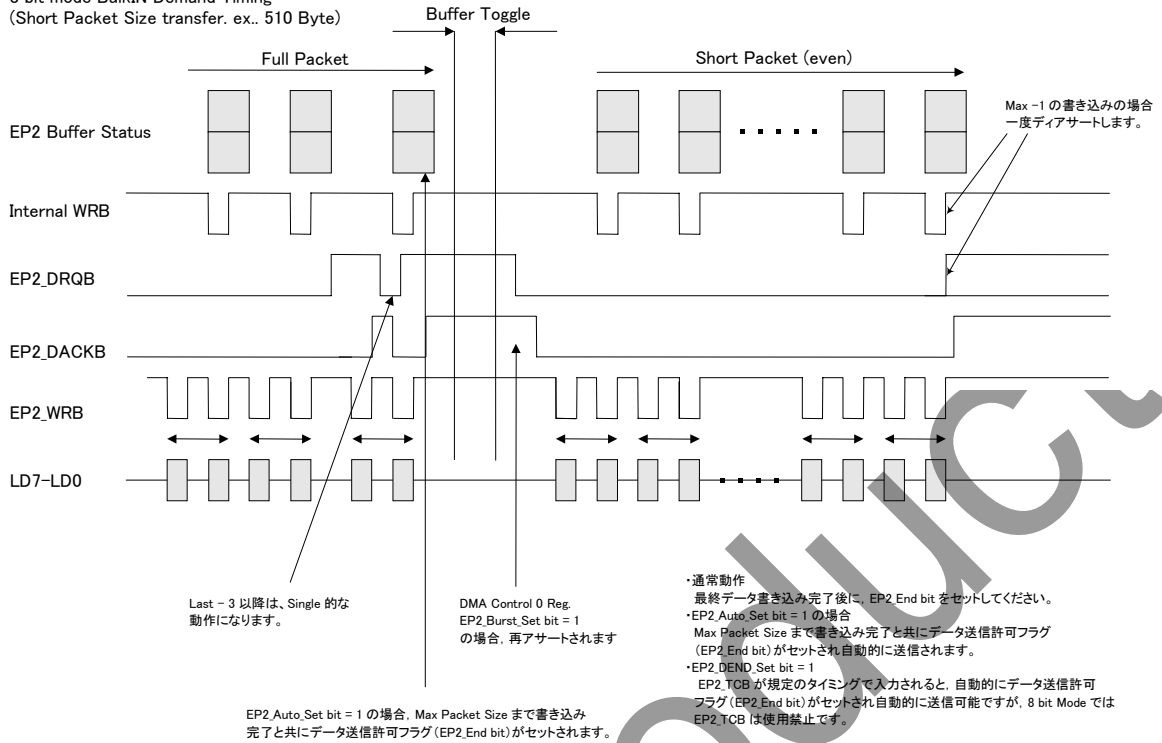
DMA Control 0 Reg.
EP2_Burst_Set bit = 1
の場合、再アサートされます

EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

- ・通常動作
最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND Set bit = 1
EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信可能ですが、8 bit Mode において EP2_TCB は使用禁止です。

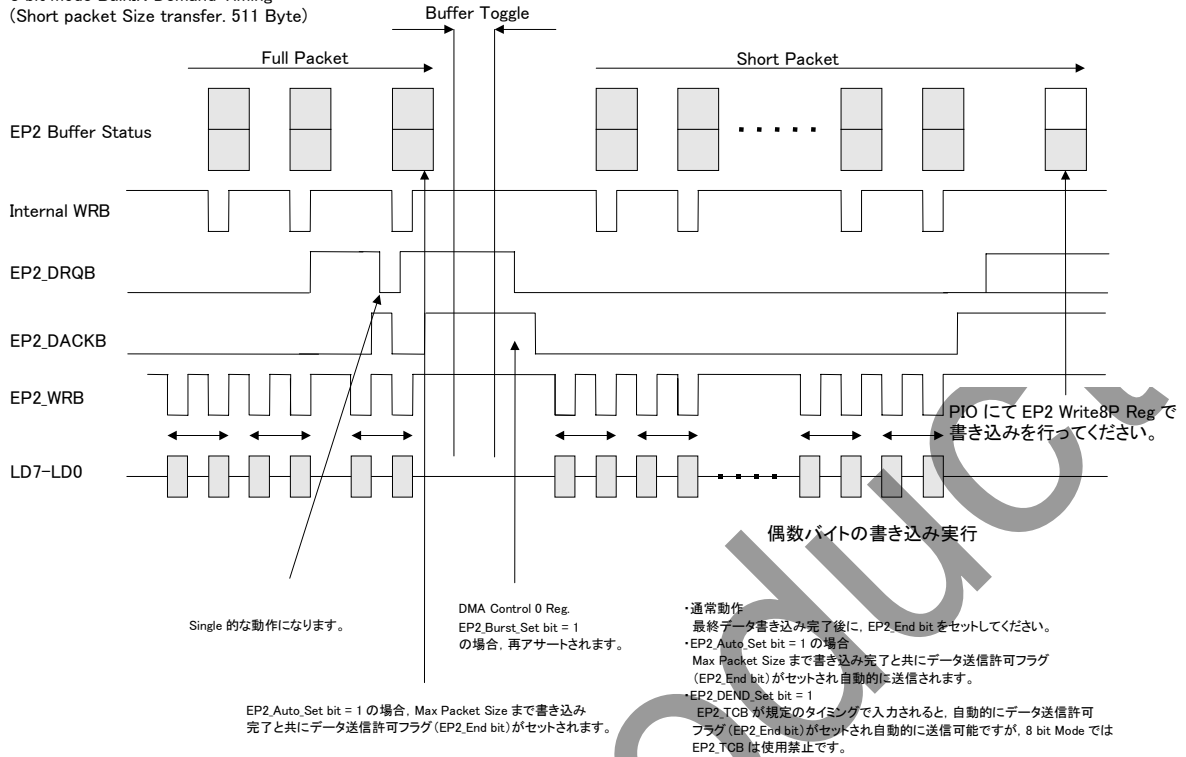
(2) ショート・パケット送信時 (偶数バイト)

DMA Channel : Local Bus
 8 bit mode BulkIN Demand Timing
 (Short Packet Size transfer, ex.. 510 Byte)



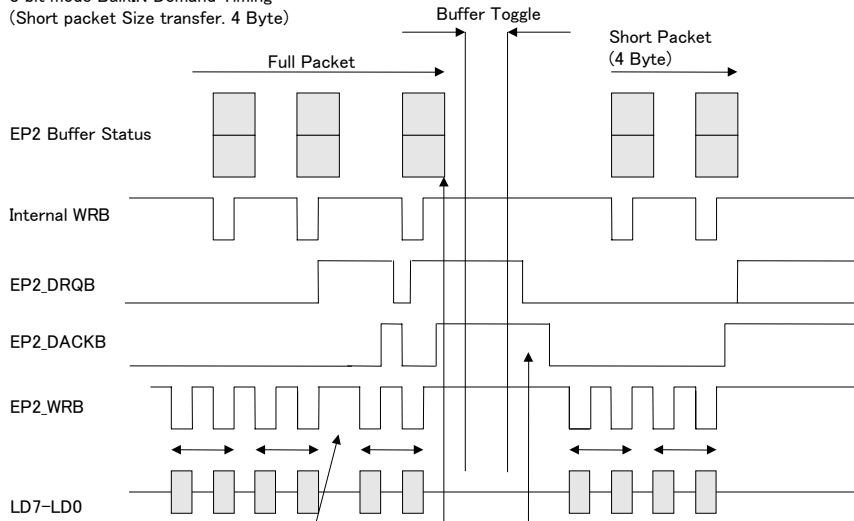
(3) ショート・パケット送信時 (奇数バイト)

DMA Channel : Local Bus
8 bit mode BulkIN Demand Timing
(Short packet Size transfer. 511 Byte)



(4) ショート・パケット送信時 (4 バイト)

DMA Channel : Local Bus
8 bit mode BulkIN Demand Timing
(Short packet Size transfer: 4 Byte)



Last Read - 3 以降は、Single 的な動作になります。

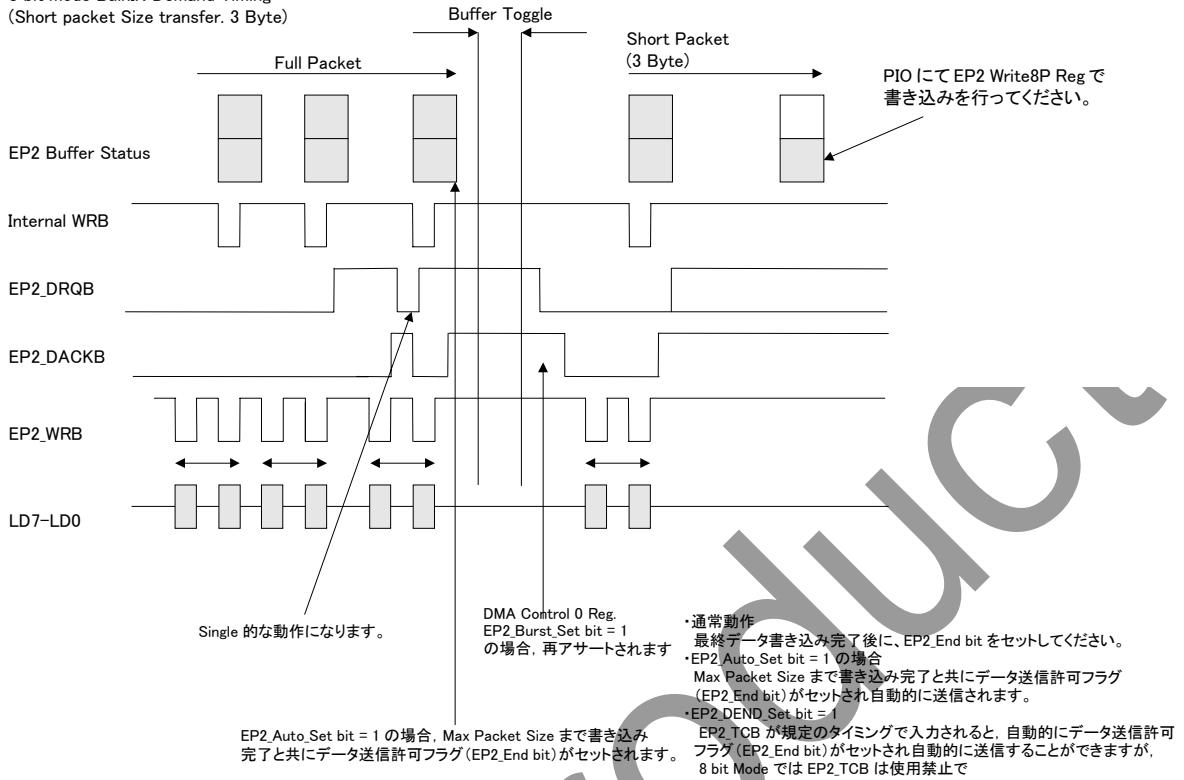
DMA Control 0 Reg.
EP2_Burst_Set bit = 1
の場合、再アサートされます

EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

- ・通常動作
最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND Set bit = 1
EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信することが可能ですが、8 bit Mode では EP2_TCB は使用禁止です。

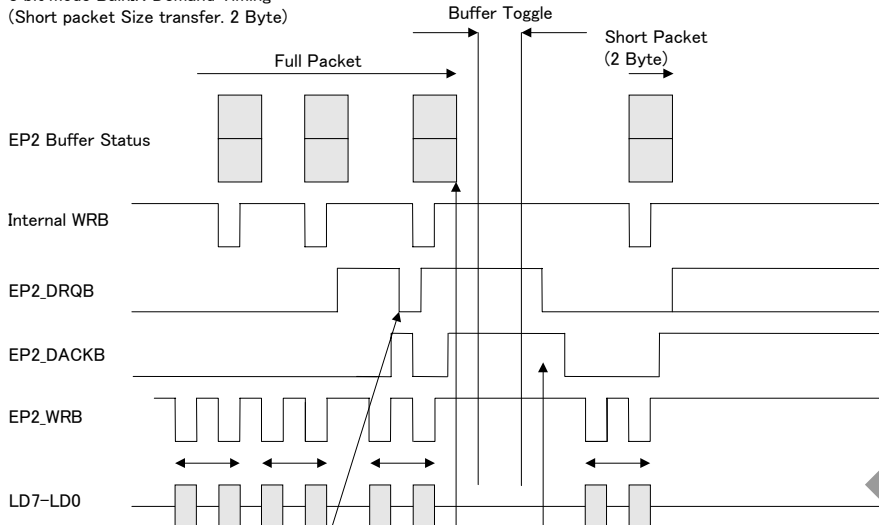
(5) ショート・パケット送信時 (3 バイト)

DMA Channel : Local Bus
 8 bit mode BulkIN Demand Timing
 (Short packet Size transfer. 3 Byte)



(6) ショート・パケット送信時 (2 バイト)

DMA Channel : Local Bus
 8 bit mode BulkIN Demand Timing
 (Short packet Size transfer. 2 Byte)



Single 的な動作になります。

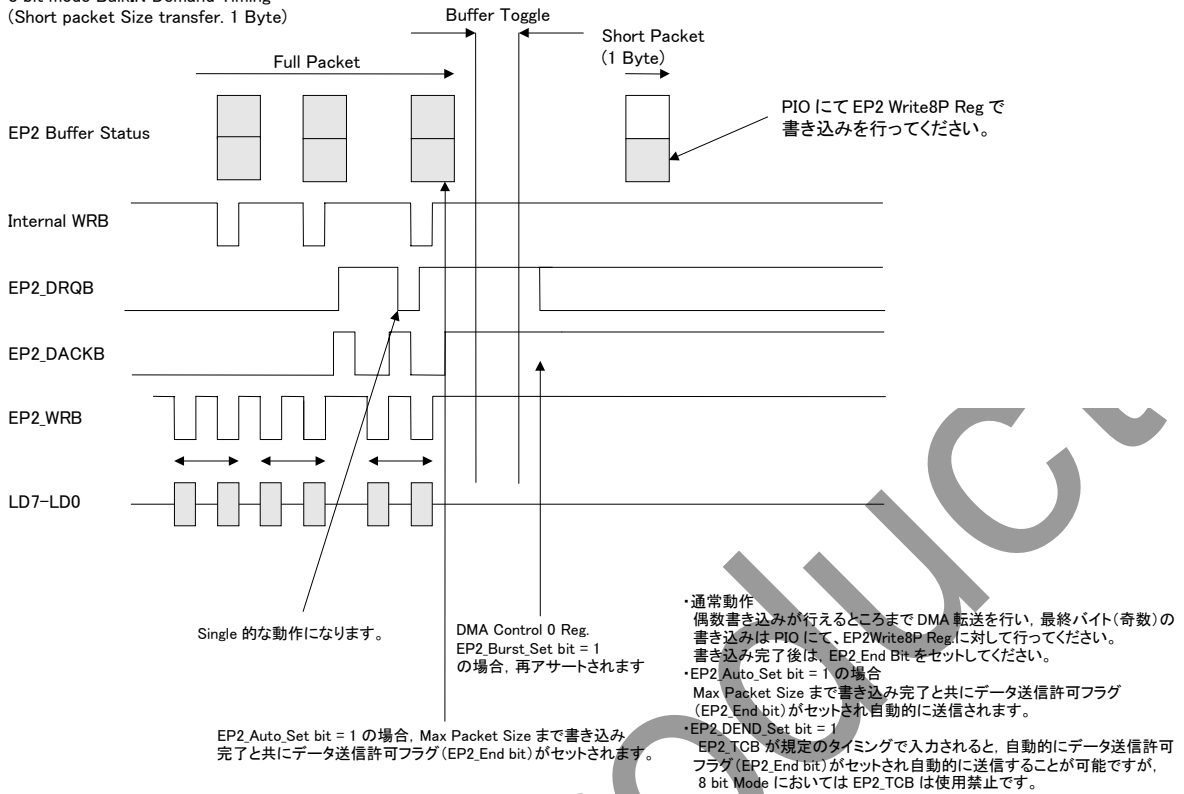
DMA Control 0 Reg.
 EP2_Burst_Set bit = 1
 の場合、再アサートされます

EP2_Auto_Set bit = 1 の場合、Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされます。

- ・通常動作
 最終データ書き込み完了後に、EP2_End bit をセットしてください。
- ・EP2_Auto_Set bit = 1 の場合
 Max Packet Size まで書き込み完了と共にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信されます。
- ・EP2_DEND_Set bit = 1
 EP2_TCB が規定のタイミングで入力されると、自動的にデータ送信許可フラグ (EP2_End bit) がセットされ自動的に送信することができますが、8 bit Mode では EP2_TCB は使用禁止です。

(7) ショート・パケット送信時 (1 バイト)

DMA Channel : Local Bus
8 bit mode BulkIN Demand Timing
(Short packet Size transfer. 1 Byte)




第9章 ボード設計の注意

USB2.0 は 480 Mbps の高速な信号であると共に、400 mV の差動信号などを使う伝送路です。これらの信号を取り扱う USB バッファ部にはアナログ回路を使用しています。そのため、ボード設計を行う場合には、USB Specification Revision 2.0 に準拠した上で、次の点に留意してください。

あわせて、USB Implementers Forum よりリリースされている「High Speed USB Platform Design guidelines」も参照してください。

これらの項目はボード設計に対する留意事項であり、動作を保証するものではありません。最終的にシステムとしての確認は、お客様で行う必要があります。

9.1 USB 差動信号配線 (チップの DP, DM, RSDP, RSDM から USB コネクタまでの配線)

- (a) 配線は等長、平行、等幅にしてください。
- (b) 配線は曲げ回数を極力抑えてください。また、曲げ角はできる限り小さくしてください。90 度曲げるような場合は、直角に曲げるのではなく 45 度曲げを 2 回行うなどの処理をしてください。
- (c) 配線は、できる限り短くしてください。特に、 9-1 の太線で示した部分の配線は短くしてください。
- (d) 他の信号配線が、USB 差動信号配線を横切らないようにしてください。
- (e) 配線パターン中に穴を作らないようにしてください。
- (f) 配線は同一層を使用してください。
- (g) 配線は GND でシールドをして、他の信号の影響を受けにくくしてください。

9.2 AVDD

- (a) チップのアナログ電源 (AVDD, PVDD) 専用の AVDD を作ってください。
- (b) AVDD は DVDD と分離してください。同一配線層で分離する場合は、AVDD と DVDD のそれぞれ島 (パターン) を作り分離してください。
- (c) AVDD にデジタル信号や DVDD からのノイズが、入り込まないようにしてください。
- (d) AVDD - DVDD 間は 3 Ω 抵抗で接続すると、効果がある場合があります。ただし、ボードによって抵抗値の変更が必要になる可能性があります。

備考 NEC の評価ボードでは 0 Ω 抵抗を使っています (AVDD - DVDD 間は、0 Ω 抵抗で一点接地)。また、抵抗ではなくコイルを使用して、安定している例もあります。

9.3 AVss

- (a) チップのアナログ GND (AVss, PVss) 専用の AVss を作ってください。
- (b) AVss は、DGND と分離してください。同一配線層で分離する場合はそれぞれの島を作り分離してください。
- (c) AVss にデジタル信号や DGND からノイズが、入り込まないようにしてください。
- (d) RREF 端子は 9.1 K Ω (1 %) 抵抗を介して、AVss に接続してください。
- (e) AVss - DGND 間は 3 Ω 抵抗で接続すると、効果がある場合があります。ただし、ボードによって抵抗値を変更を要する可能性があります。

- 備考 1.** NEC の評価ボードでは 0 Ω 抵抗を使っています (AVss - DGND 間は、0 Ω 抵抗で一点接地)。また、抵抗ではなくコイルを使用して、安定している例もあります。
- 2.** チップの動作不良の 1 つに、内蔵 PLL が停止する場合があります。この動作不良の原因の 1 つとして、AVss のノイズがあります。これは、次にあげるデカップリング・コンデンサにより、ノイズを低減し回避できた例があります。

9.4 デカップリング・コンデンサ

デカップリング・コンデンサは、電流消費量変化による電圧変動を平滑化するためと、デジタル信号などからのノイズが電源 / GND に入り込まないようにするフィルタです。したがって、環境によって必要となるコンデンサの種類、個数が異なるため、ボードに応じて調整してください。

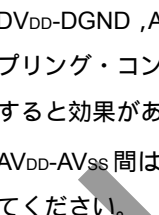
- (a) DVDD-DGND, AVDD-AVss 間は、十分なデカップリング・コンデンサを挿入してください。また、デカップリング・コンデンサは、チップに隣接して配置してください。隣接させるためにボード裏面に搭載すると効果があります。
- (b) AVDD-AVss 間は、 9-3 に示すように (少なくとも) 10 μF を 1 個と 0.1 μF , 0.01 μF を複数個搭載してください。
- (c) デカップリング・コンデンサの種類として、電解コンデンサを使用しないでください。高周波特性がよいタンタル・コンデンサまたはセラミック・コンデンサを使用してください。

図 9-1 USB 差動信号配線

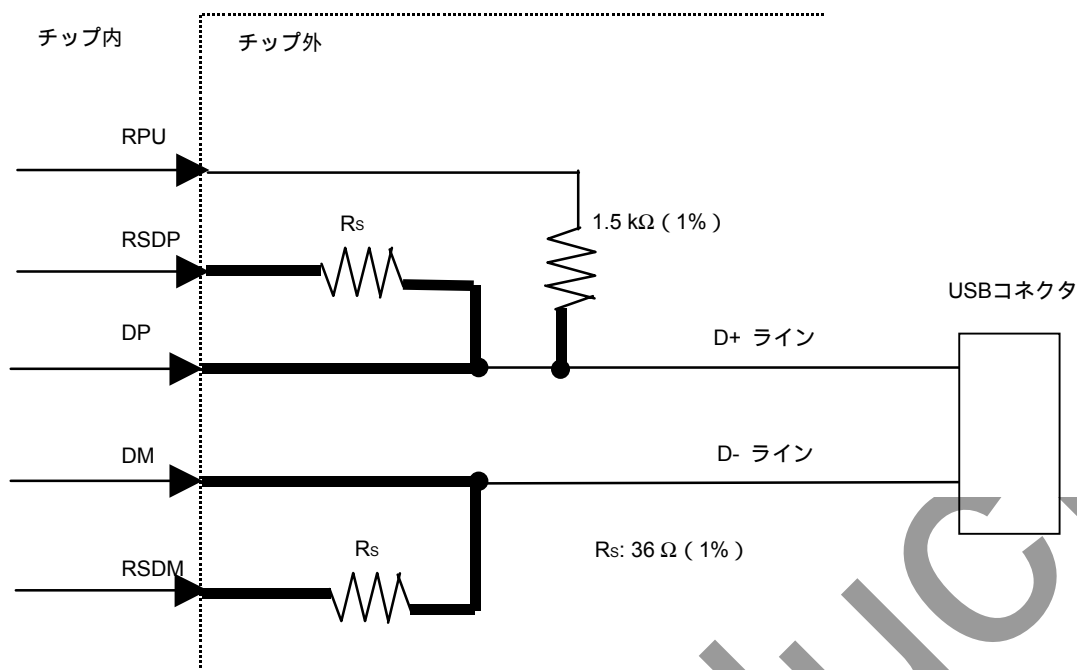
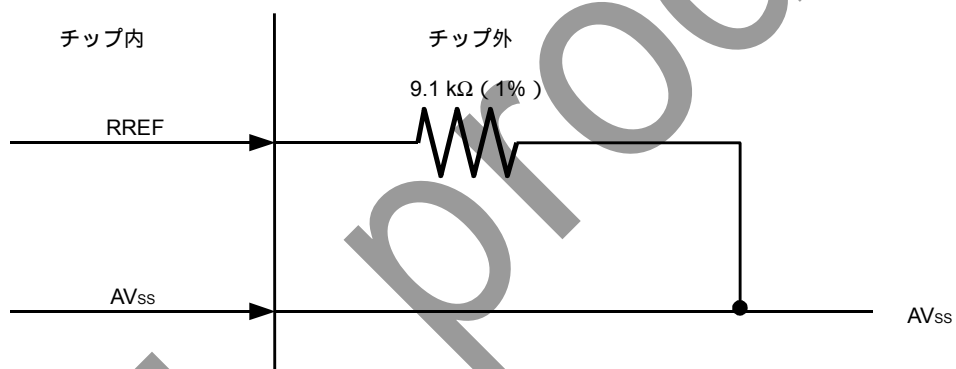
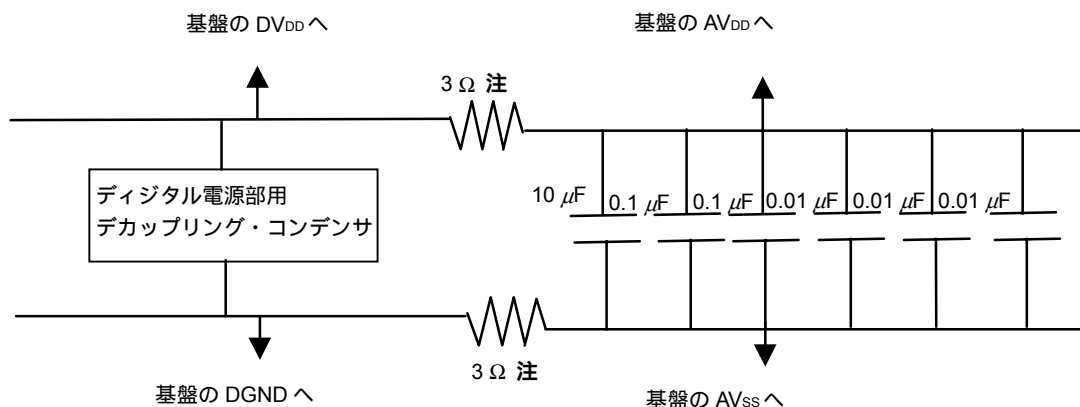


図 9-2 AV_{ss} 配線



備考 RREF 近傍はできる限りノイズが入らないようにしてください。

図 9-3 デカップリング・コンデンサ



注 ボードにより対策は異なります。NECのテストでは0Ωまたは3Ωを用いることで安定しています。また、コイルを使用しても効果が出る場合があります。コイルを使用する場合は、デジタル系とアナログ系のノイズ周波数差により、発振して誤動作の原因となった例があります。ご注意願います。

第10章 接続例

CPU Bus と External Local Bus の使用条件を次にまとめます。

CPU Bus と External Local Bus で同時に DMA 機能を使用することはできません。

また、Function 3 は LD15- LD0 がありませんので、CPU Bus 経由の DMA 転送のみ可能です。

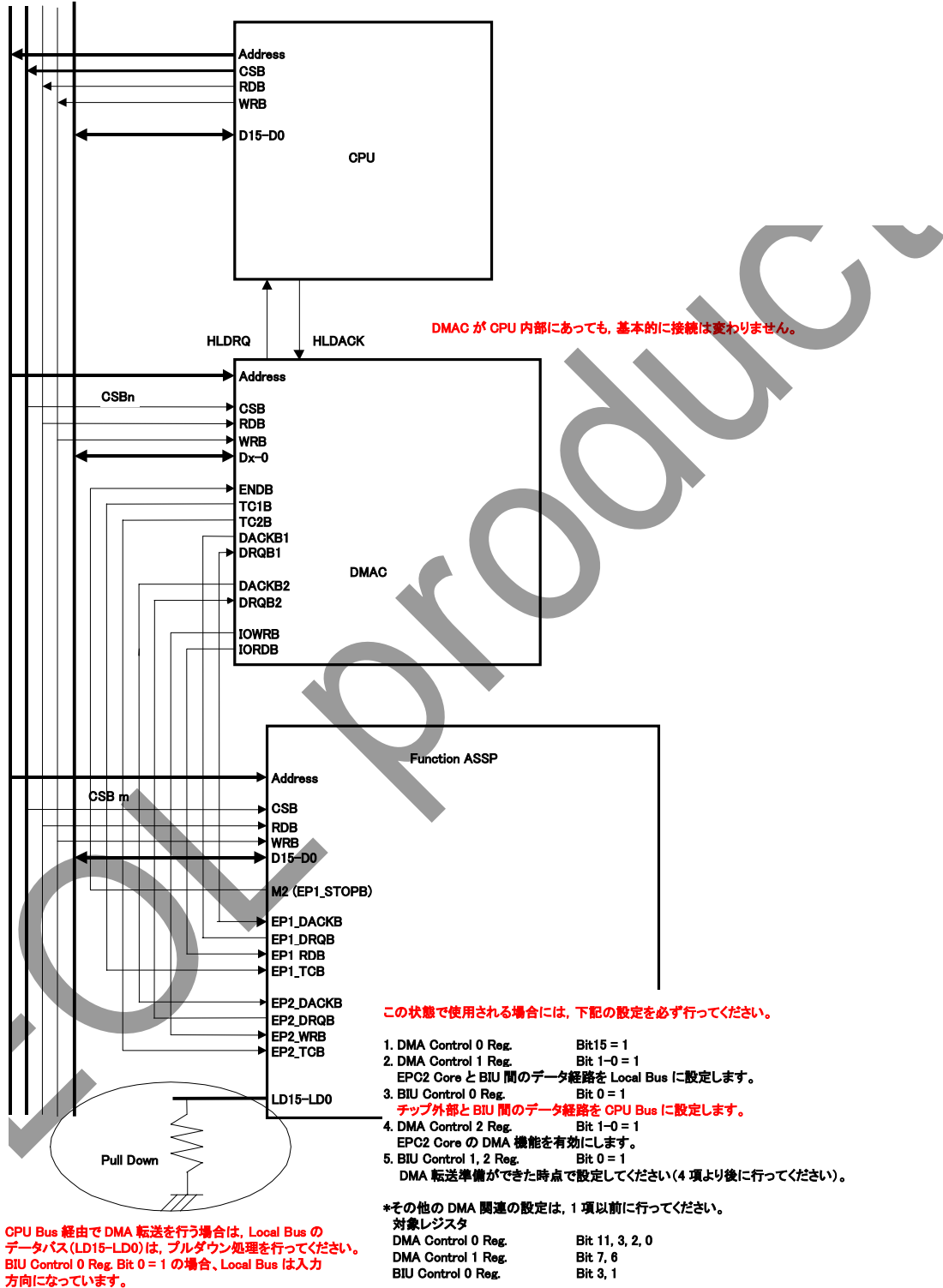
		External Local Bus		
		未使用	DMA Single	DMA Demand
CPU Bus	PIO	OK	OK	OK
	DMA Single	OK	NG	NG
	DMA Demand	OK	NG	NG

10. 1に μ PD720122 とシステムとの接続例をまとめました。10. 1. 1は External Local Bus を使用しない方法を示しています。

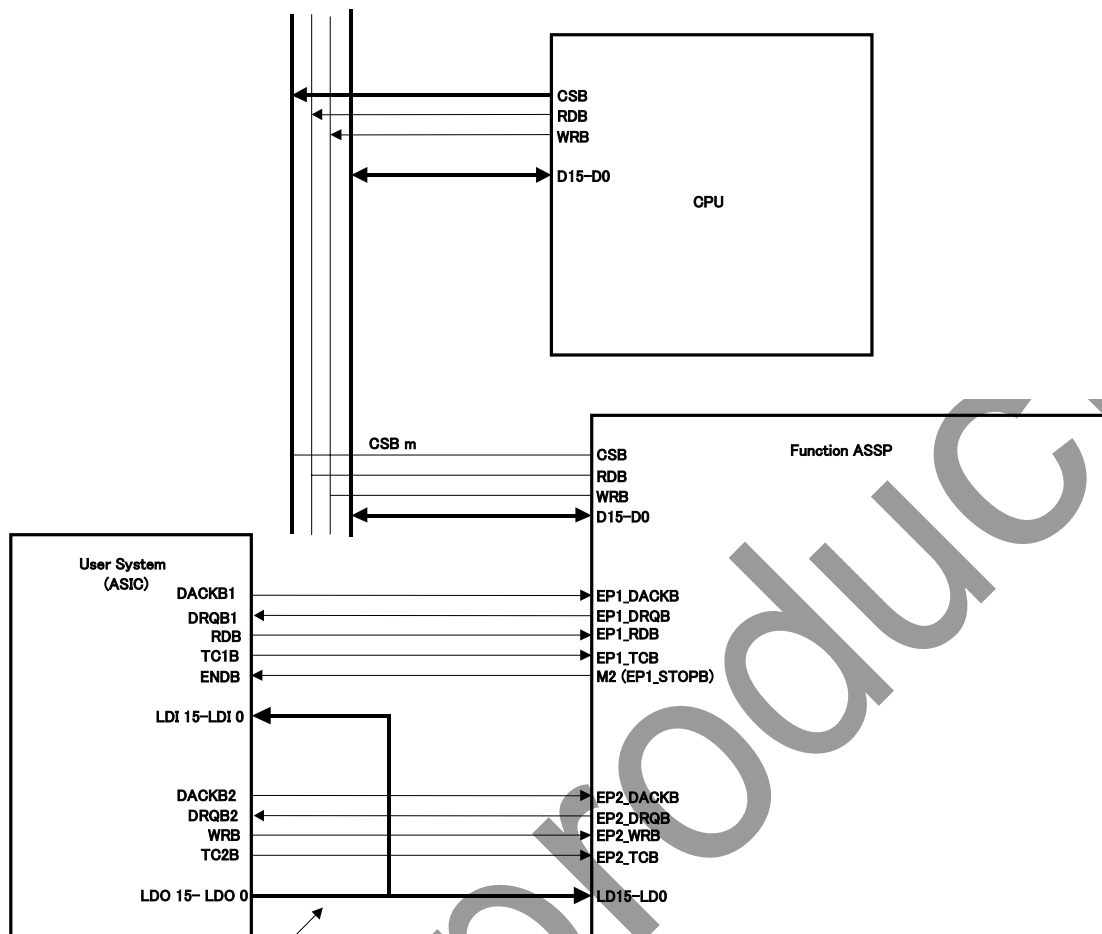
μ PD720122 の機能として、External Local Bus を CPU Bus に接続して、External Local Bus を経由して DMA 転送を行うことが可能ですが、10. 1. 1の方法を推奨します（Bus の効率が変わらないことと、Bus 上の負荷容量が増加するため）。

10.1 接続例

10.1.1 CPU Bus のみに接続して使用する場合



10.1.2 CPU Bus と External Local Bus を分離して使用する場合



この状態で使用される場合には、下記の設定を必ず行ってください。

1. DMA Control 0 Reg. Bit15 = 1
2. DMA Control 1 Reg. Bit 1-0 = 1
EPC2 Core と BIU 間のデータ経路を Local Bus に設定します。
3. BIU Control 0 Reg. Bit 0 = 0
チップ外部と BIU 間のデータ経路を Local Bus に設定します。
4. DMA Control 2 Reg. Bit 1-0 = 1
EPC2 Core の DMA 機能を有効にします。
5. BIU Control 1, 2 Reg. Bit 0 = 1
DMA 転送準備ができた時点で設定してください(4 項より後に行ってください)。

*その他の DMA 関連の設定は、1 項以前に行ってください。

対象レジスタ

- | | |
|--------------------|-----------------|
| DMA Control 0 Reg. | Bit 11, 3, 2, 0 |
| DMA Control 1 Reg. | Bit 7, 6 |
| BIU Control 0 Reg. | Bit 3, 1 |

Local Bus の注意点

BIU control 0 Reg. Bit 3 = 1 に設定した場合は
上位バイトをブルアップ処理をしてください。

10.2 DMA コントローラ

μPD720122 が対応できる DMA 転送ハンドシェイクを次にまとめます。

ここでの図に使用している端子名は、次のとおりです。

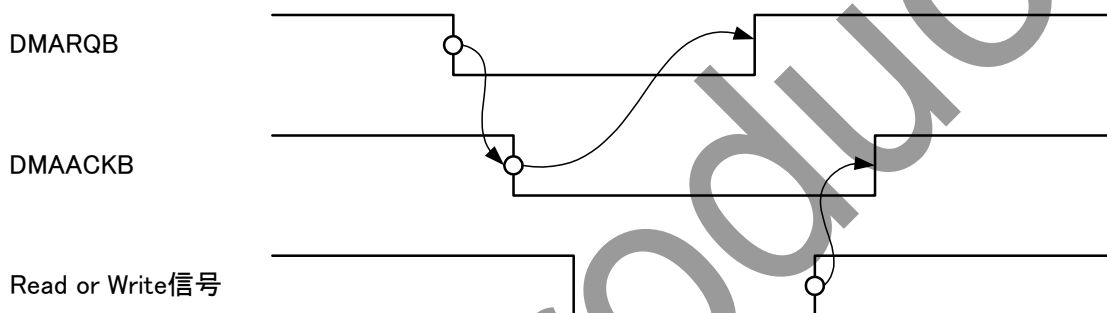
DMARQB : EP1_DRQB , EP2_DRQB

DMAACKB : EP1_DACKB , EP2_DACKB

Read : RDB , EP1_RDB

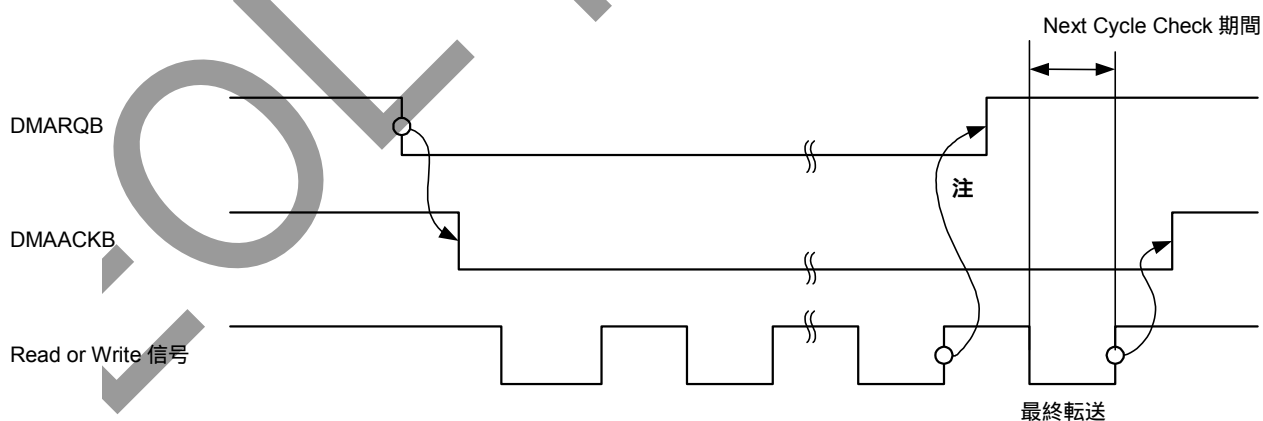
Write : WRB , EP2_WRB

10.2.1 Single 転送



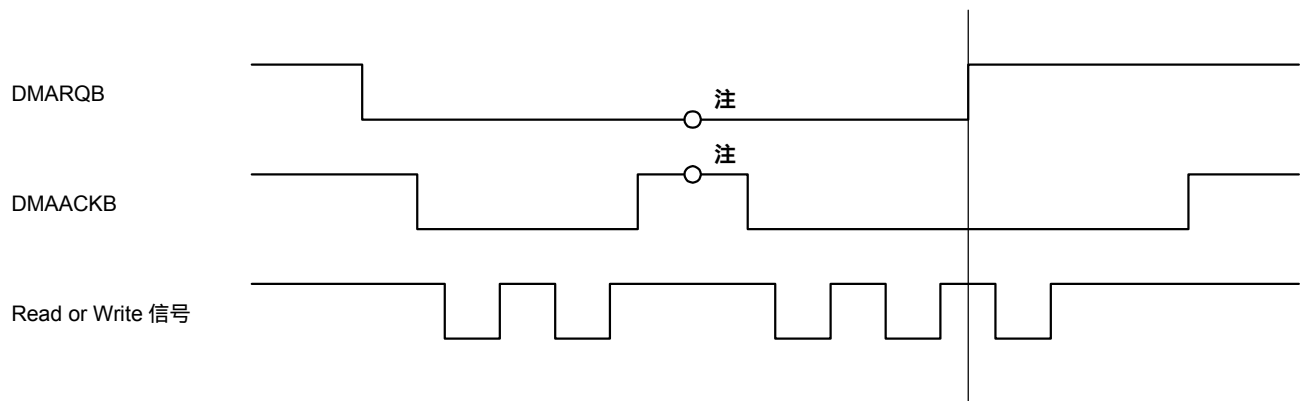
10.2.2 Demand 転送

- Demand1 (基本タイミング)



注 μPD720122 は、最終転送の 1 サイクル前で、DMARQB をディアサートします (ディアサート後、もう 1 サイクルアクセスされることを期待しています)。

- Demand2 (DMA 中断)



注 DMA 転送停止期間

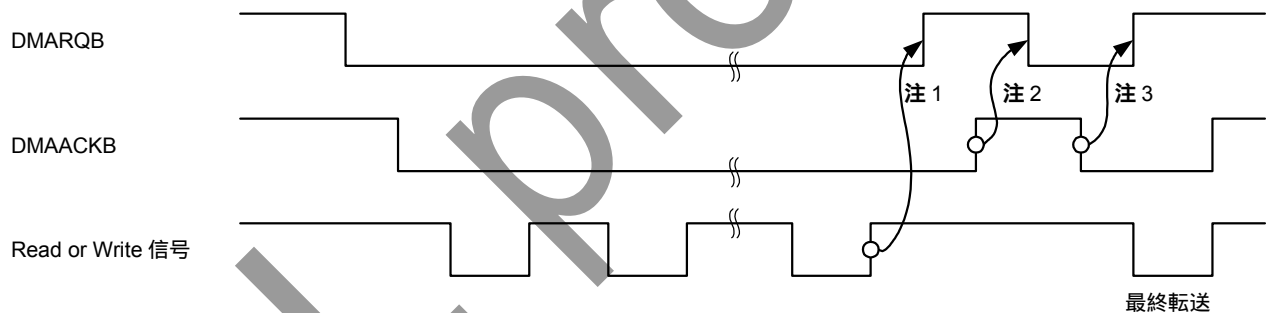
DMA 転送を継続できる場合、 μ PD720122 は DMARQB をアサートし続けます。

- Demand3 (再送タイミング)

μ PD720122 は最終転送の 1 つ手前で DMARQB をディアサートします (Demand1 を参照)。

しかし、DMAACKB が何らかの要因によりディアサートされてしまったときに、最終転送が消失することを防止するために DMARQB を再度アサートする動作およびタイミングを指します。

再送動作が発生するかどうかは、お客様のシステムに依存します。



- 注 1.** μ PD720122 は最終転送の 1 サイクル前で DMARQB をディアサートします。
- 2.** 何らかの要因により、このタイミングで DMA 転送が停止した場合は、 μ PD720122 は最終転送を起動するために、DMARQB を再アサートします。この動作を再送動作 (再送タイミング) と規定します。
- 3.** 再送動作において、DMA 転送を余分に起動しないために、 μ PD720122 は DMAACKB のアサートを確認したあと、直ちに DMARQB をディアサートします。

第11章 電気的特性

11.1 絶対最大定格の規定

項目	略号	意味
電源電圧	V _{DD}	V _{DD} 端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
入力電圧	V _I	入力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電圧	V _O	出力端子に印加しても、破壊や信頼性低下を生じない電圧範囲を示す。
出力電流	I _O	出力端子から流し出しても、また流し込んでも、破壊や信頼性低下を生じない DC 電流の許容絶対値を示す。
動作周囲温度	T _A	正常な論理動作をする周囲温度範囲を示す。
保存温度	T _{stg}	電圧、電流を印加しない状態で、破壊や信頼性低下を生じない素子温度範囲を示す。

11.2 推奨動作条件の規定

項目	略号	意味
電源電圧	V _{DD}	V _{SS} = 0 V としたときに、正常な論理動作をする電圧範囲を示す。
ハイ・レベル入力電圧	V _{IH}	セルベース IC の入力に印加する電圧で、入力バッファが正常に動作するハイ・レベル状態の電圧を示す。 * MIN. 値以上の電圧を印加すれば、入力電圧はハイ・レベルであることを保証する。
ロウ・レベル入力電圧	V _{IL}	セルベース IC の入力に印加する電圧で、入力バッファが正常に動作するロウ・レベル状態の電圧を示す。 * MAX. 値以下の電圧を印加すれば、入力電圧がロウ・レベルであることを保証する。
ヒステリシス電圧	V _H	ポジティブ・トリガ電圧とネガティブ・トリガ電圧の差

11.3 DC 特性の規定

項目	略号	意味
オフステート出力電流	I _{OZ}	3 ステート出力で出力がハイ・インピーダンスのとき、規定された電圧において出力端子を流れる電流を示す。
出力短絡電流	I _{OS}	出力ハイ・レベルのときに、出力端子を GND と短絡した場合に流れ出す電流を示す。
ロウ・レベル出力電流	I _{OL}	規定されたロウ・レベル出力電圧において、出力端子へ流れ込む電流を示す。
ハイ・レベル出力電流	I _{OH}	規定されたハイ・レベル出力電圧において、出力端子から流れ出す電流を示す。

11.4 絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.6	V
入出力電圧	V _I /V _O	V _I /V _O < V _{DD} + 3.0 V, 注 1	- 0.5 ~ + 6.6	V
		V _I /V _O < V _{DD} + 0.3 V, 注 2	- 0.5 ~ + 4.6	V
		V _I /V _O < V _{DD} + 0.3 V, 注 4	11.6.1参照	
出力電流	I _O	I _{OL} = 6 mA, 注 3	6	mA
		注 4	11.6.1参照	
動作周囲温度	T _A		0 ~ + 70	
保存温度	T _{stg}		- 65 ~ + 150	

- 注 1. B20C を使用する端子
 2. B40C, FI01, FIS1 を使用する端子
 3. B40C, B20C を使用する端子
 4. USB インタフェース RSDP, RSDM, DP, DM

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

11.5 推奨動作条件範囲

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	3.3 V 電源	3.0	3.3	3.6	V
ネガティブ・トリガ電圧	V _N		0.6		1.8	V
ポジティブ・トリガ電圧	V _P		1.2		2.4	V
ヒステリシス電圧	V _H		0.3		1.5	V
ロウ・レベル入力電圧	V _{IL}		0		0.8	V
ハイ・レベル入力電圧	V _{IH}	FI01, FIS1, B40C	2.0		V _{DD}	V
		B20C	2.0		5.5	V
入力立ち上がり/立ち下がり時間	t _r /t _f		0		200	ns

11.6 DC 特性

DC 特性は USB インタフェースと BIU 部分に分類されます。

11.6.1 USB インタフェースの DC 特性

項 目	略 号	条 件	MIN.	MAX.	単位
D+ (D-) /RSDP (RSDM) 出力シリアル抵抗	R _S		35.64	36.36	Ω
出力端子インピーダンス	Z _{HSDRV}	R _S 抵抗を含む	40.5	49.5	Ω
D+へのプルアップ抵抗	R _{PU}		1.425	1.575	Ω
アップストリーム終端電圧 (フルスピード)	V _{TERM}		3.0	3.6	V
フルスピード入力レベル					
ハイ・レベル入力電圧	V _{IH}		2.0		V
ハイ・レベル入力電圧 (フローティング)	V _{IHZ}		2.7	3.6	V
ロウ・レベル入力電圧	V _{IL}			0.8	V
差動入力感度	V _{DI}	(D+) - (D-)	0.2		V
差動コモン・モード電圧	V _{CM}	Includes VDI range	0.8	2.5	V
フルスピード出力レベル					
ハイ・レベル出力電圧	V _{OH}	R _L of 14.25 kΩ to V _{SS}	2.8	3.6	V
ロウ・レベル出力電圧	V _{OL}	R _L of 1.425 kΩ to 3.6 V	0.0	0.3	V
SE1	V _{OSE1}		0.8		V
出力信号クロス・ポイント電圧	V _{CRS}		1.3	2.0	V
ハイ・スピード入力レベル					
スケルチ検出レベル	V _{HSSQ}		100	150	mV
デバイス・ディスコネクト検出レベル	V _{HSDSC}		525	625	mV
差動コモン・モード電圧	V _{HSCM}		- 50	500	mV
ハイ・スピード差動入力信号レベル	図 11-4参照				
ハイ・スピード出力レベル					
アイドル・レベル	V _{HSOI}		- 10.0	10	mV
ハイ・レベル出力電圧	V _{HSOH}		360	440	mV
ロウ・レベル出力電圧	V _{H SOL}		- 10.0	10	mV
チャープJレベル (差動電圧)	V _{CHIRPJ}		700	1100	mV
チャープKレベル (差動電圧)	V _{CHIRPK}		- 900	- 500	mV

図 11-1 Differential Input Sensitivity Range for Low-/Full-Speed

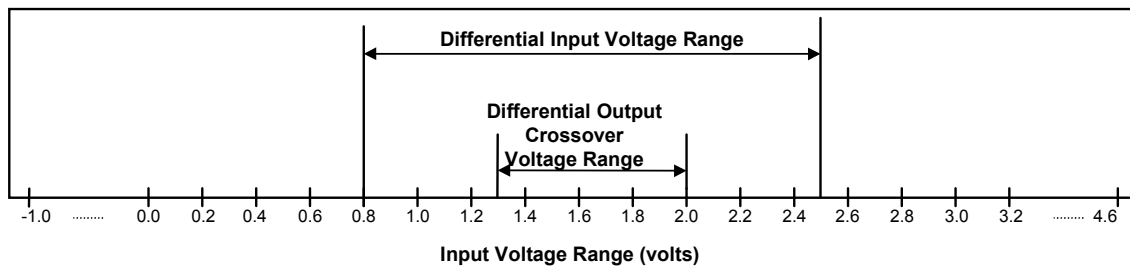


図 11-2 Full-Speed Buffer V_{OH}/I_{OH} Characteristics for High-Speed Capable Transceiver

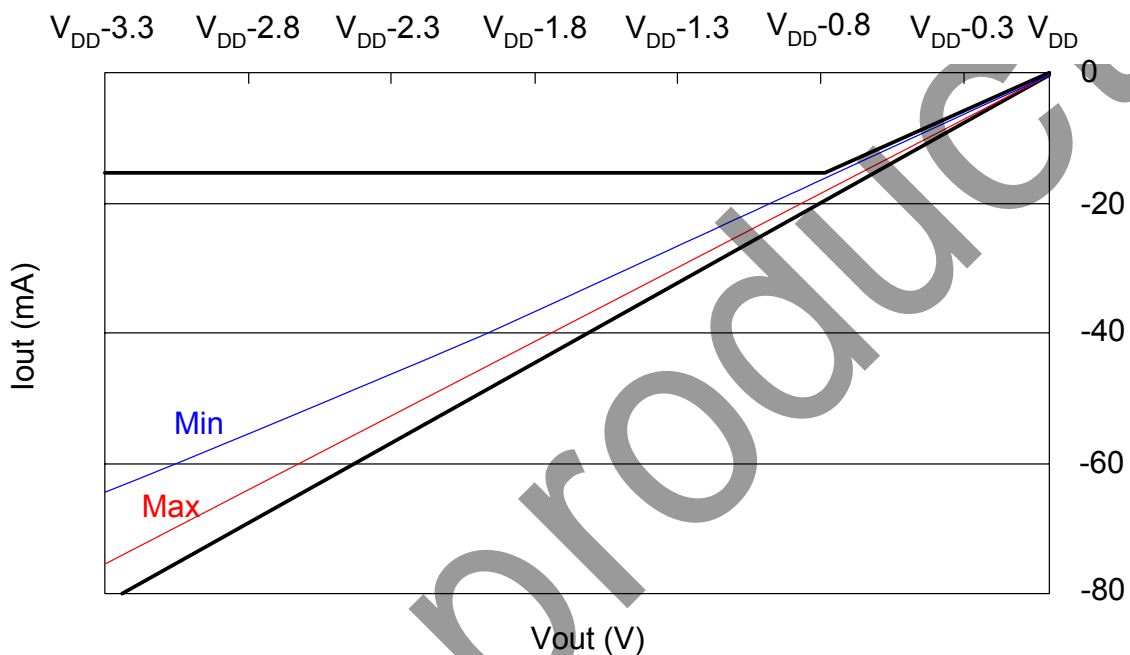


図 11-3 Full-Speed Buffer V_{OL}/I_{OL} Characteristics for High-Speed Capable Transceiver

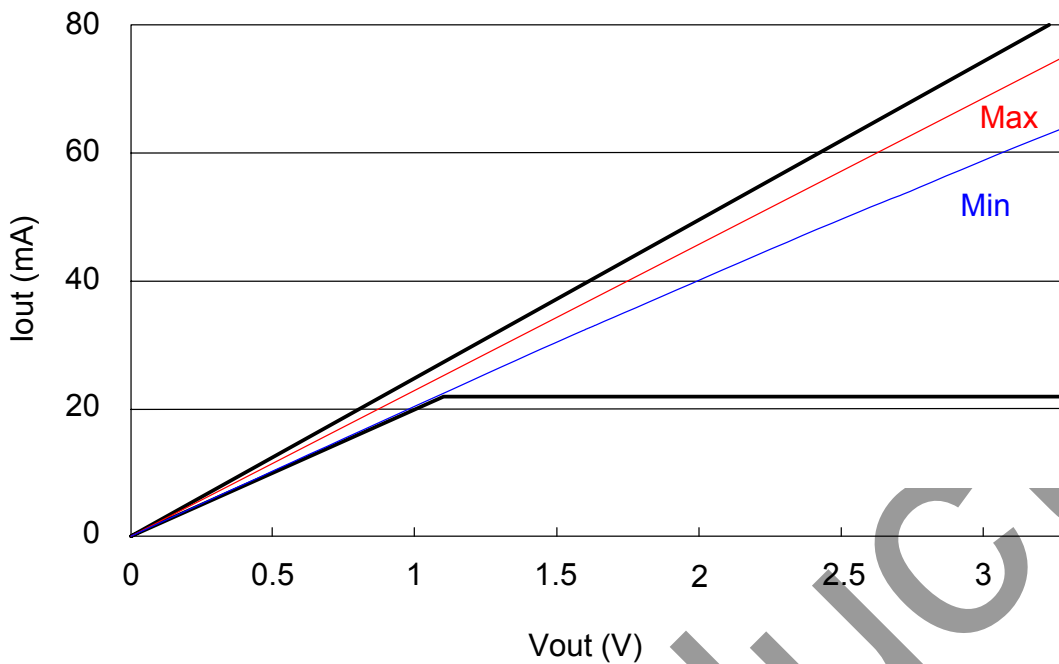


図 11-4 Receiver Sensitivity for Transceiver at D+/D-

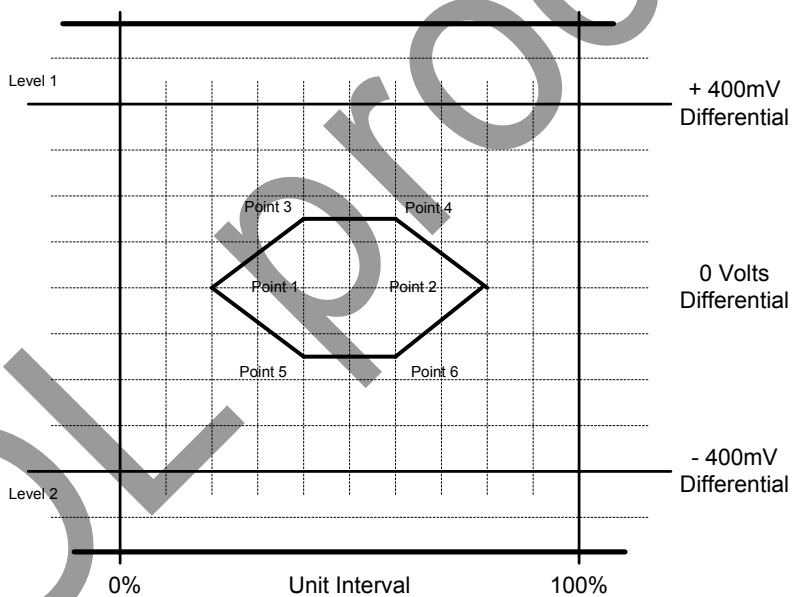
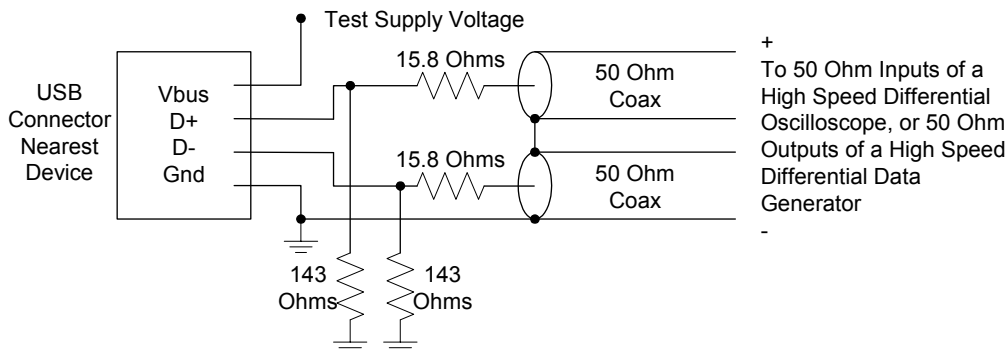


図 11-5 Receiver Measurement Fixtures



11.6.2 BIU の DC 特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
オフステート出力電流	I_{OZ}	$V_O = V_{DD}$ or GND			± 10	μA
出力短絡電流	I_{OS}				- 250	mA
入力リーク電流	I_I	$V_I = V_{DD}$ or GND		$\pm 10^{-5}$		μA
ロウ・レベル出力電流	I_{OL}	$V_{OL} = 0.4 V$ 注	6			mA
ハイ・レベル出力電流	I_{OH}	$V_{OH} = 2.4 V$	- 2			mA
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 0 mA$			0.1	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = 0 mA$	$V_{DD} - 0.2$			V

注 B20C, BW0C, FV04

11.6.3 端子容量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力端子容量	C_{IN}		4.5		6.5	pF
出力端子容量	C_{OUT}		8.5		11	pF

備考 これらは評価値です。

11.6.4 消費電力

項目	略号	条件	MIN.	TYP.	MAX.	単位	
消費電力	P _H	HS モード	V _{DD}		195	273	mA
			AV _{DD}		12	17	mA
	P _F	FS モード	V _{DD}		120	168	mA
			AV _{DD}		12	17	mA
	P _{S1}	Suspend モード 1 注 ¹	V _{DD}		1.5	2.2	mA
			AV _{DD}		0.1	0.2	μA
	P _{S2}	Suspend モード 2 注 ²	V _{DD}		370	520	μA
			AV _{DD}		0.1	0.2	μA

注 1. SND PHY Reg. SPND bit = 1

2. SND PHY Reg. SPND bit = 1

GPR Reg. CONNECTB bit = 0

GPR Reg. PUE bit = 0

BIU Control 0 Reg. OSC_DISCON bit = 1

11.7 AC 特性 (TA = 0 ~ +70°C, VDD = 3.3 V±10%)

AC 特性は USB インタフェース部と BIU 部に分かれます。

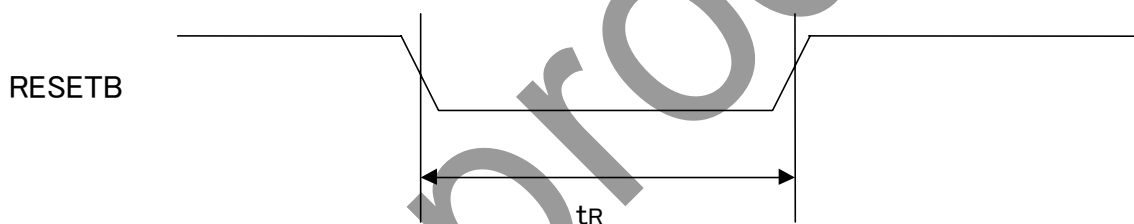
11.7.1 全般および BIU 部の AC 特性

(1) クロック規定

項 目	略 号	定 格
Clock	CLK	30 MHz
Jitter	TJTA	± 500 ppm
Duty	TDUTY	50% ± 10% (40% ~ 60%)

(2) リセット規定

略号	項 目	MIN.	TYP.	MAX.	単位
t _R	リセット幅	2			μs



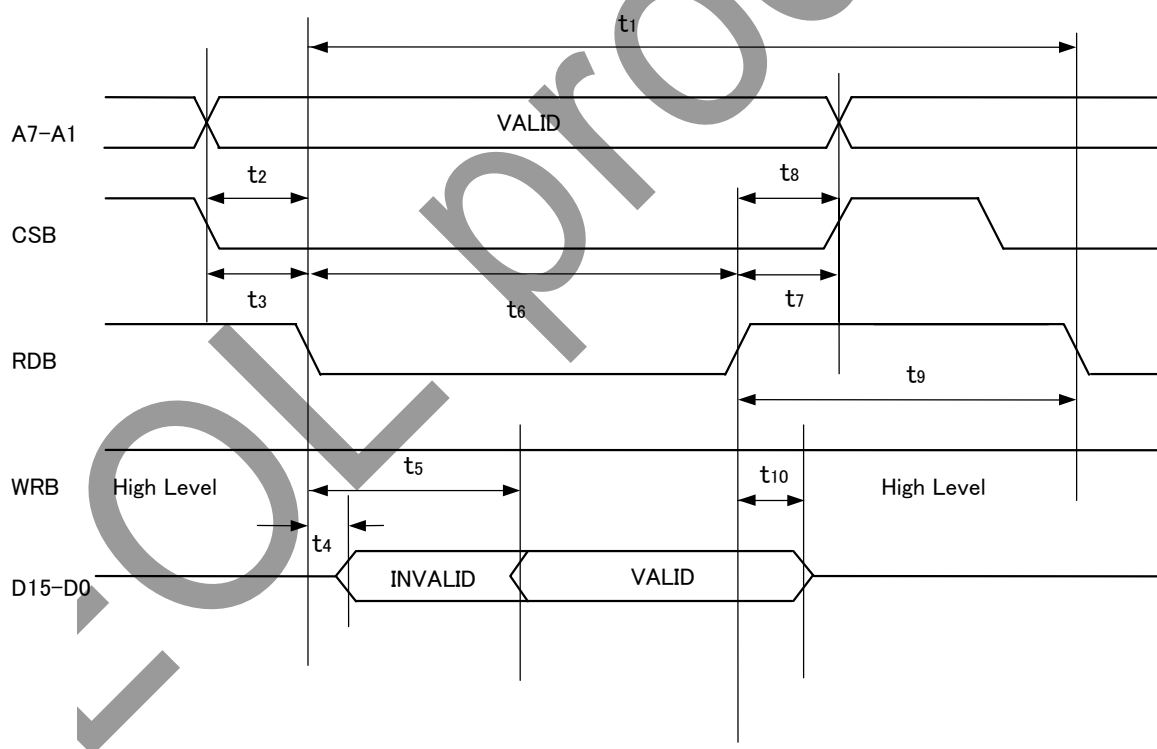
11.7.2 Function 1 選択時の BIU 部の AC 特性

(1) CPU Bus リード動作

略号	項目	MIN.	TYP.	MAX.	単位
t ₁	リード・サイクル時間	91			ns
t ₂	アドレス・セットアップ時間 (RDB)	5			ns
t ₃	チップ・セレクト・セットアップ時間 (RDB)	5			ns
t ₄	バッファ方向変更時間 (RDB)	-		14	ns
t ₅	出力データ遅延時間 (RDB)	-		57	ns
t ₆	リード・コマンド幅	57			ns
t ₇	チップ・セレクト・ホールド時間 (RDB)	5			ns
t ₈	アドレス・ホールド時間 (RDB)	5			ns
t ₉	RDB インアクティブ時間	34			ns
t ₁₀	出力データ・ホールド時間 (RDB)	4		-	ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

CPU Bus リード・タイミング

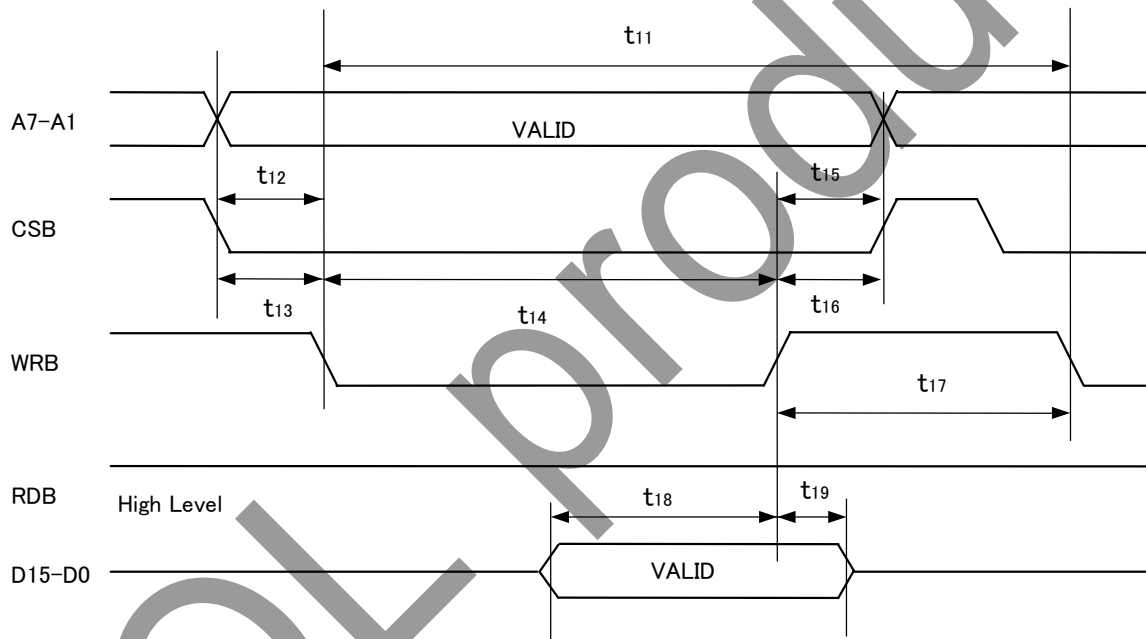


(2) CPU Bus ライト動作

略号	項目	MIN.	TYP.	MAX.	単位
t ₁₁	ライト・サイクル時間	68			ns
t ₁₂	アドレス・セットアップ時間 (WRB)	5			ns
t ₁₃	チップ・セレクト・セットアップ時間 (WRB)	5			ns
t ₁₄	ライト・コマンド幅	34			ns
t ₁₅	アドレス・ホールド時間 (WRB)	5			ns
t ₁₆	チップ・セレクト・ホールド時間 (WRB)	5			ns
t ₁₇	WRB インアクティブ時間	34			ns
t ₁₈	入力データ・セットアップ時間	10			ns
t ₁₉	入力データ・ホールド時間	0			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

CPU Bus ライト・タイミング

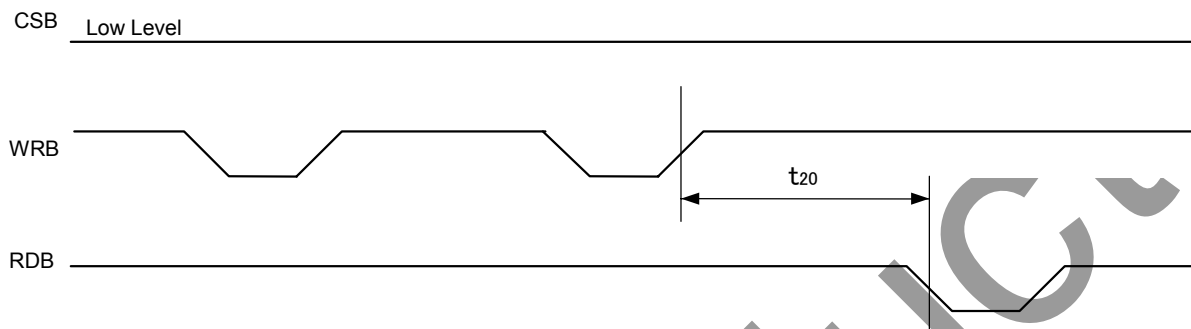


(3) CPU Bus RDB vs. WRB タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t ₂₀	WRB vs. RDB インアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

CPU Bus リード vs. ライト変更タイミング



(4) CPU Bus DMA 転送

CPU Bus DMA モード時の注意点を、次に示します。

- (a) BIU Control 0 Reg. の設定により、DMA 転送を External Local Bus 側端子でなく、CPU Data 側端子にアサインできます。CPU Bus 側にアサインした場合、EP1_RDB と EP2_WRB でなく RDB と WRB 信号を使用することになります。また、CPU Bus 側を選択した場合には、External Local Bus 側信号はインアクティブ方向に抵抗を介して固定してください。CPU Bus を使った DMA 転送の場合は、データ・バス幅を 8 bit に設定することは禁止します。
- (b) CPU Bus と External Local Bus を使用して、EP1_RDB と RDB および EP2_WRB と WRB をそれぞれ共通で使用する場合は、次のように制御するようにしてください。

CPU Bus アクセス時

CSB = Low, Address = Valid, EP1_DACKB and EP2_DACKB = High (Inactive)

External Local Bus アクセス時

CSB = High, Address = Unknown, EP1_DACKB and EP2_DACKB = Low

- (c) DMA 転送においてダイヤモンド・モードを選択する場合は、EP1_DRQB および EP2_DRQB のディアサート・タイミングに注意してください。特に、EP1 の BulkOUT DMA 転送においてショート・パケットを転送する場合、 μ PD720122 は EP1_STOPB を使用して DMAC を停止できます。
- (d) BulkOUT 転送においてショート・パケットを転送する可能性がある場合は、DMA Control 0 Reg. EP1_Short_Stop Bit をセット (= 1) してください。この設定によりショート・パケット受信時には DMA 転送がクリアされます。その際に格納バイト数を確認し DMAC の再設定を行いデータを引き取ってください (PIO にて引き取りをしても結構です)。
この処理は、EP1_DRQB のディアサート・タイミングなどにより、転送バイト数不一致などの動作不良を発生させないための予防措置です。

- (e) DMA 転送の設定順序

DMA 転送を行う場合の設定は、どのような場合も次の順序で行ってください。

EPC2 Core の DMA Control Reg. の設定

(DMA Control 2 Reg. EP1_DMA_Set bit, EP2_DMA_Set bit を除く)

BIU Core の BIU Control 0 Reg. の設定

(BIU Control 1 Reg. EP1DMAEN bit, BIU Control 2 Reg. EP2DMAEN bit を除く)

EPC2 Core の DMA Control 2 Reg. EP1_DMA_Set bit および EP2_DMA_Set bit の設定

(EPC2 Core と BIU Core 間の DMA Request 信号がアサートされます)

BIU Control 1 Reg. EP1DMAEN bit または、BIU Control 2 Reg. EP2DMAEN bit の設定

(LSI 外部に DMA Request 信号がアサートされます)

DMA 転送を停止する場合には、逆の順序 () で停止させてください。

これは、DMA 転送が自動的に停止した場合も転送開始設定順序を の順で再設定を行う必要があるためです。

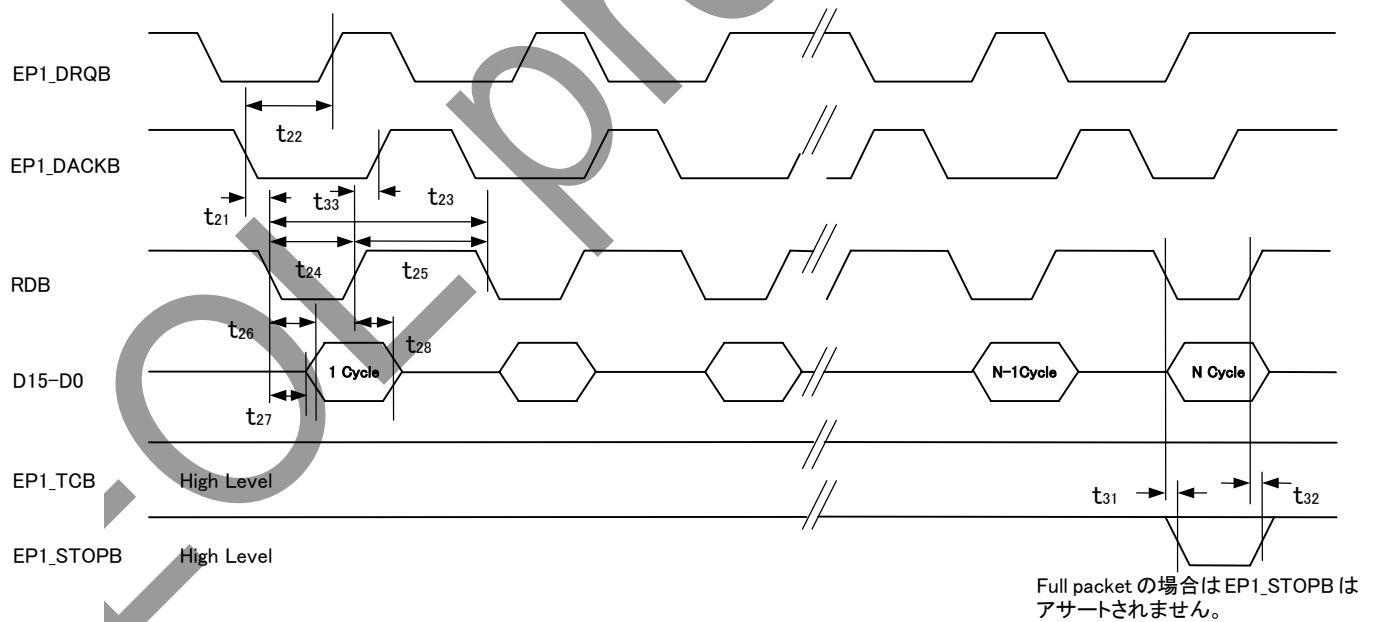
(a) CPU Bus DMA シングル・モード・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t ₂₁	DMA リクエスト・アクノリッジ・セットアップ時間 (RDB)	0			ns
t ₂₂	DMA リクエスト OFF 時間 (EP1_DACKB)	-		54	ns
t ₂₃	DMA シングル・モード・リード転送サイクル時間	91			ns
t ₂₄	リード・コマンド幅	57			ns
t ₂₅	リード・コマンド・インアクティブ時間	34			ns
t ₂₆	リード・データ遅延時間 (RDB)	-		57	ns
t ₂₇	バッファ方向変更時間 (RDB)	-		14	ns
t ₂₈	リード・データ・ホールド時間 (RDB)	4		-	ns
t ₂₉	EP1_TCB セットアップ時間 (RDB)	0		注	ns
t ₃₀	EP1_TCB ホールド時間 (RDB)	17			ns
t ₃₁	EP1_STOPB 遅延時間 (RDB)	-		15	ns
t ₃₂	EP1_STOPB 遅延時間 (RDB)	3		-	ns
t ₃₃	DMA リクエスト・アクノリッジ・ホールド時間 (RDB)	0			ns
t ₃₄	未定義	-		-	ns

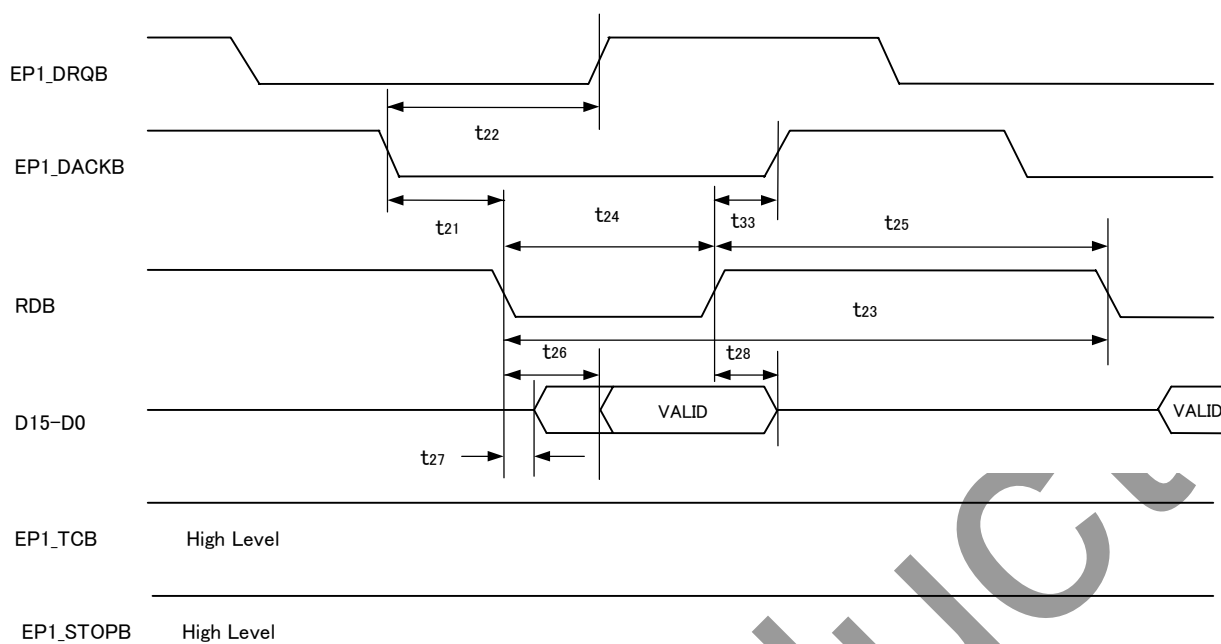
注 1 つ前の RDB 以降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

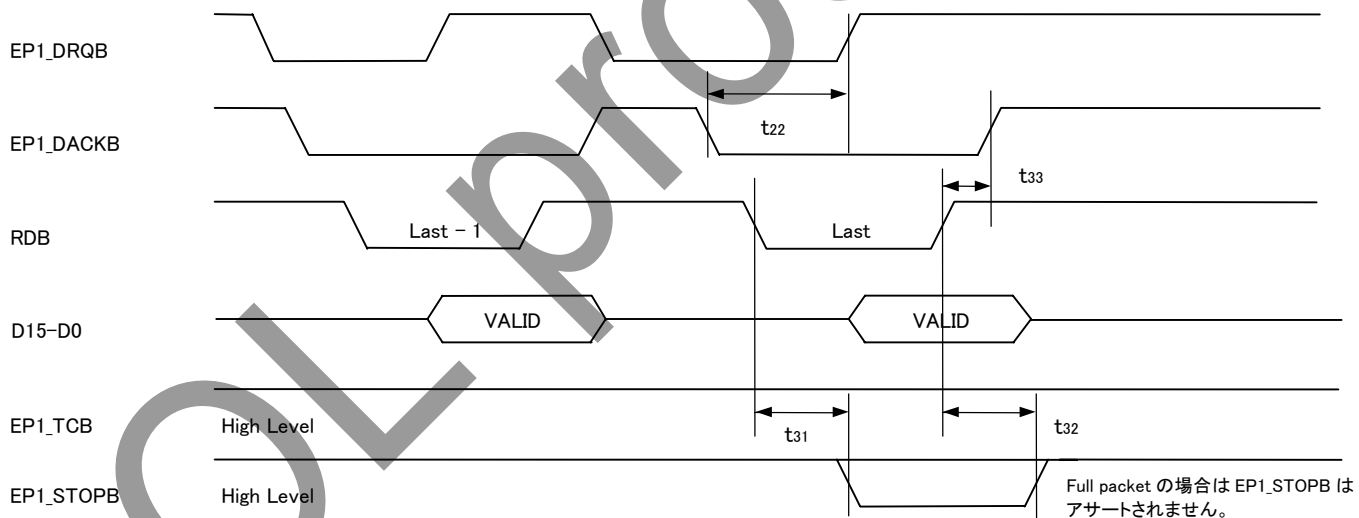
(全 体)



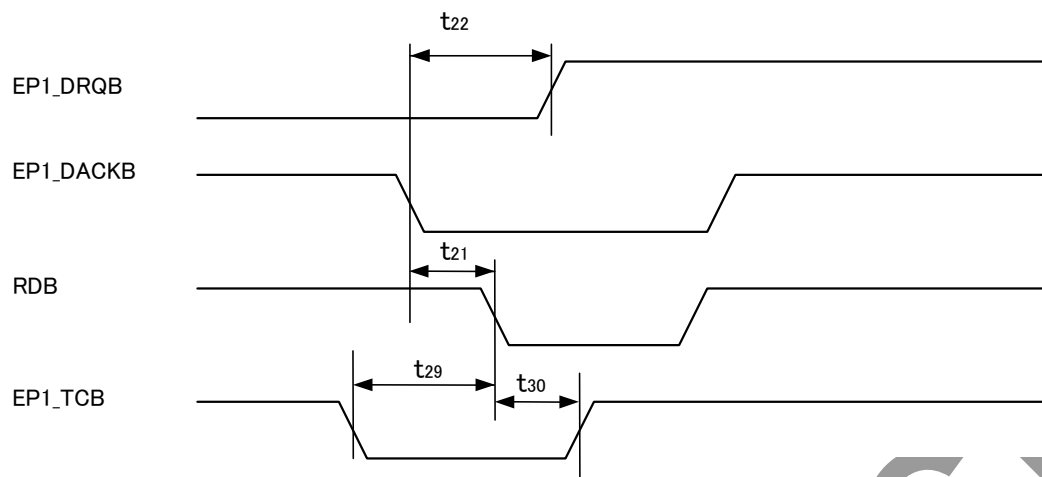
(スタート・タイミング)



(エンド・タイミング)



(TCB タイミング)



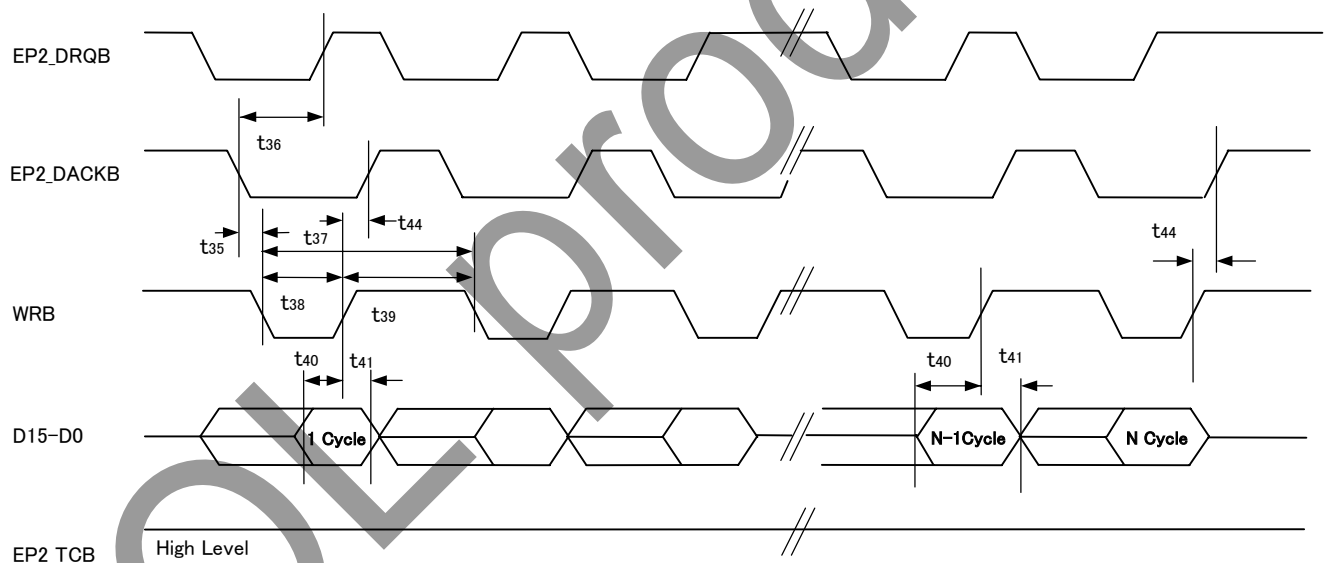
(b) CPU Bus DMA シングル・モード・ライト転送

略号	項目	MIN.	TYP.	MAX.	単位
t ₃₅	DMA リクエスト・アクノリッジ・セットアップ時間 (WRB)	0			ns
t ₃₆	DMA リクエスト OFF 時間 (EP2_DACKB)	-		54	ns
t ₃₇	DMA シングル・モード・ライト転送サイクル時間	88			ns
t ₃₈	ライト・コマンド幅	54			ns
t ₃₉	ライト・コマンド・インアクティブ時間	34			ns
t ₄₀	ライト・データ・セットアップ時間 (WRB)	10			ns
t ₄₁	ライト・データ・ホールド時間 (WRB)	0			ns
t ₄₂	EP2_TCB セットアップ時間 (WRB)	0		注	ns
t ₄₃	EP2_TCB ホールド時間 (WRB)	17			ns
t ₄₄	DMA リクエスト・アクノリッジ・ホールド時間 (WRB)	0			ns

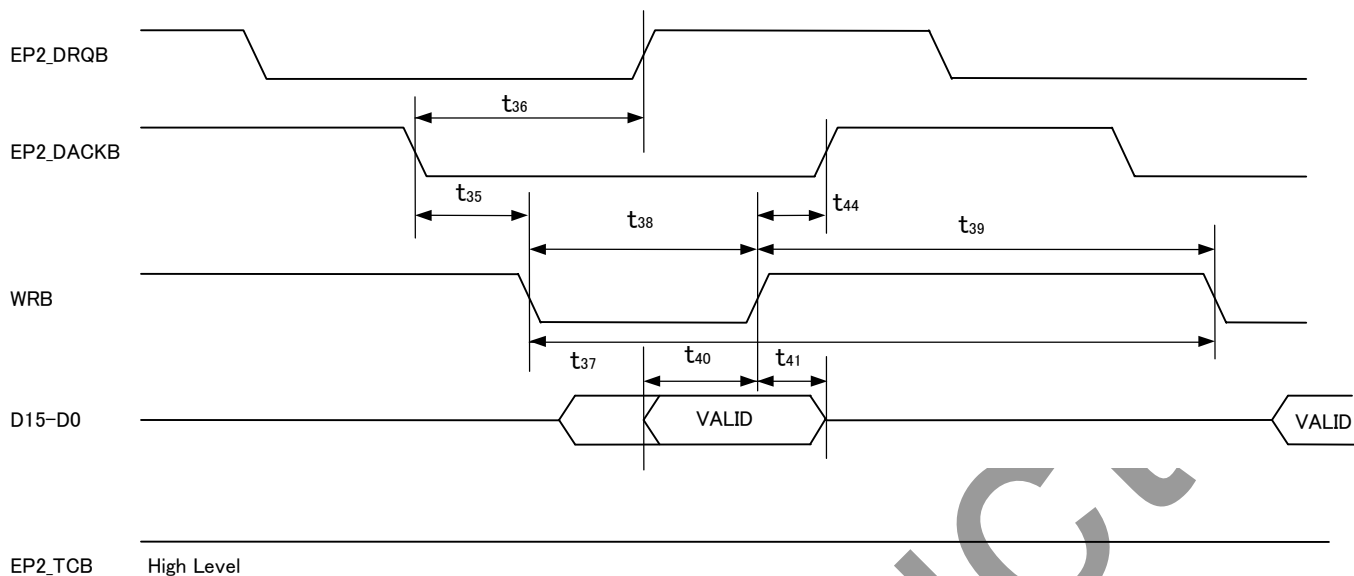
注 1 つ前の WRB で降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

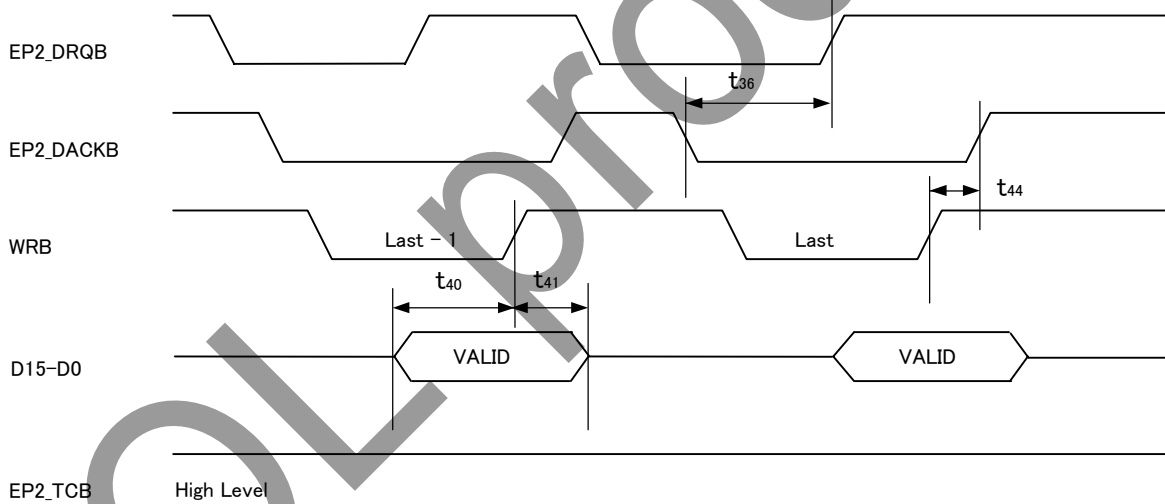
(全 体)



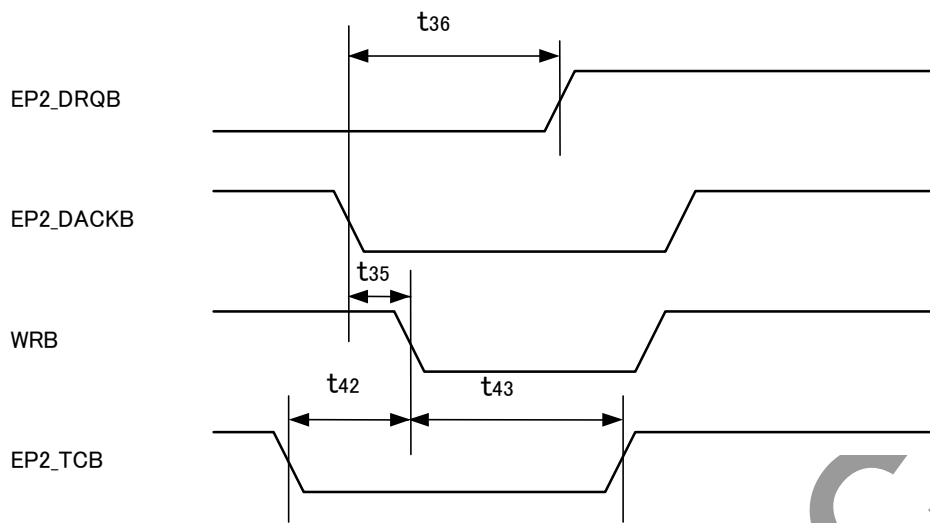
(スタート・タイミング)



(エンド・タイミング)



(TCB タイミング)



100% product

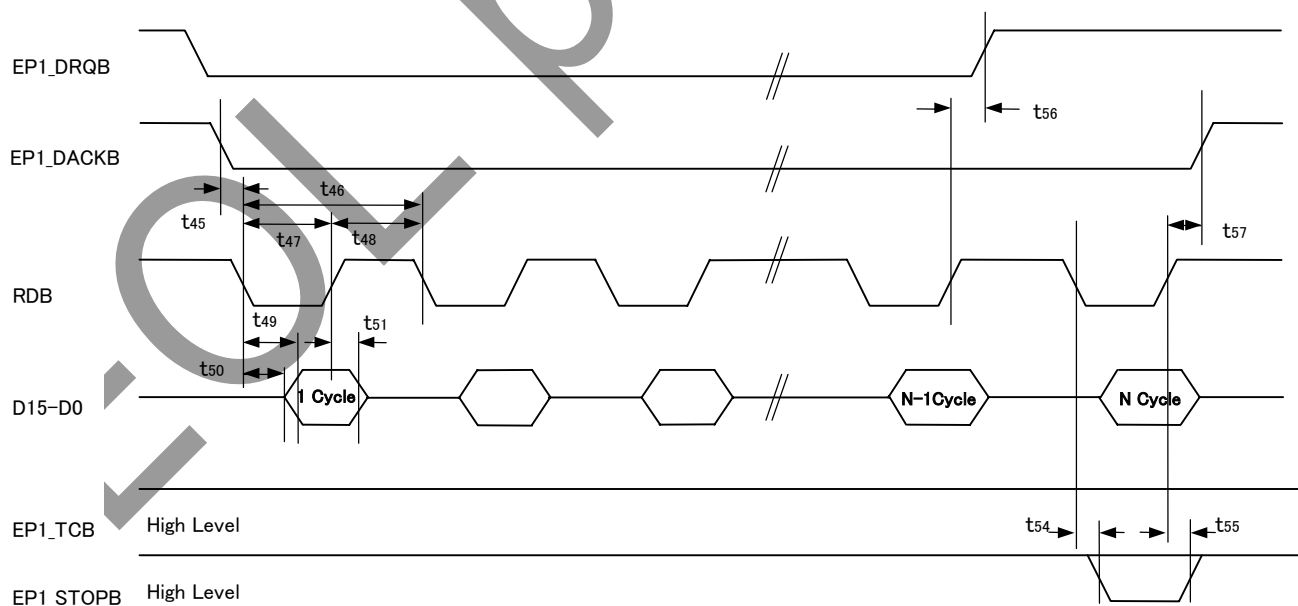
(c) CPU Bus DMA ディマンド・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t45	DMA リクエスト・アクノリッジ・セットアップ時間 (RDB)	0			ns
t46	DMA ディマンド・モード・リード転送サイクル時間	91			ns
t47	リード・コマンド幅	57			ns
t48	リード・コマンド・インアクティブ時間	34			ns
t49	リード・データ遅延時間 (RDB)	-		57	ns
t50	バッファ方向変更時間 (RDB)	-		14	ns
t51	リード・データ・ホールド時間 (RDB)	4		-	ns
t52	EP1_TCB セットアップ時間 (RDB)	0		注	ns
t53	EP1_TCB ホールド時間 (RDB)	17			ns
t54	EP1_STOPB 遅延時間 (RDB)	-		15	ns
t55	EP1_STOPB 遅延時間 (RDB)	3		-	ns
t56	DMA リクエスト OFF 時間 (RDB)	-		59	ns
t57	DMA リクエスト・アクノリッジ・ホールド時間 (RDB)	0			ns
t69	DMA リクエスト OFF 時間 (EP1_DACKB)	-		38	ns
t71	DMA リクエスト OFF 時間 (EP1_DACKB) 1 サイクル転送	-		38	ns
t72	DMA リクエスト ON 時間 (EP1_DACKB)	-		88	ns
t74	DMA リクエスト OFF 時間 (RDB)	-		60	ns

注 1 つ前の RDB で降入力可能

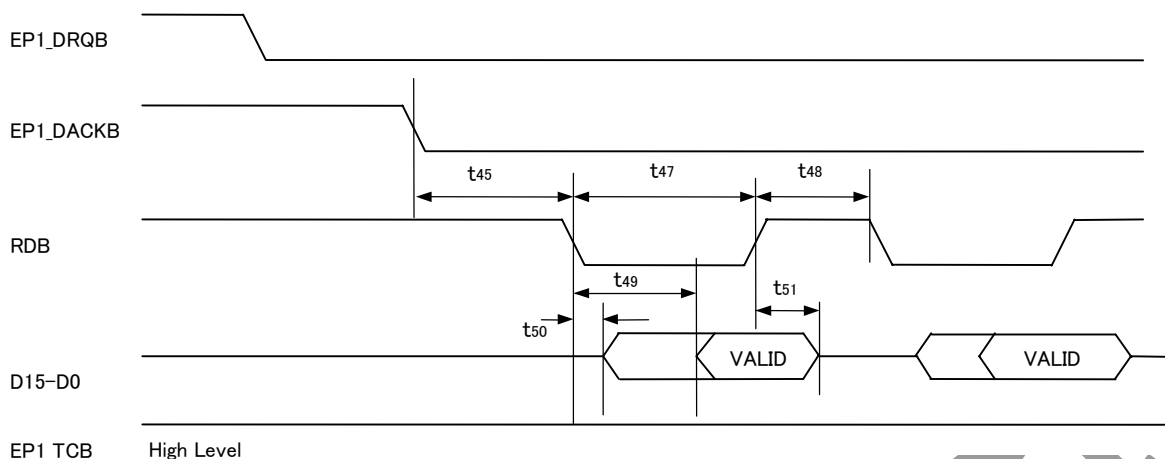
備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

(全 体)

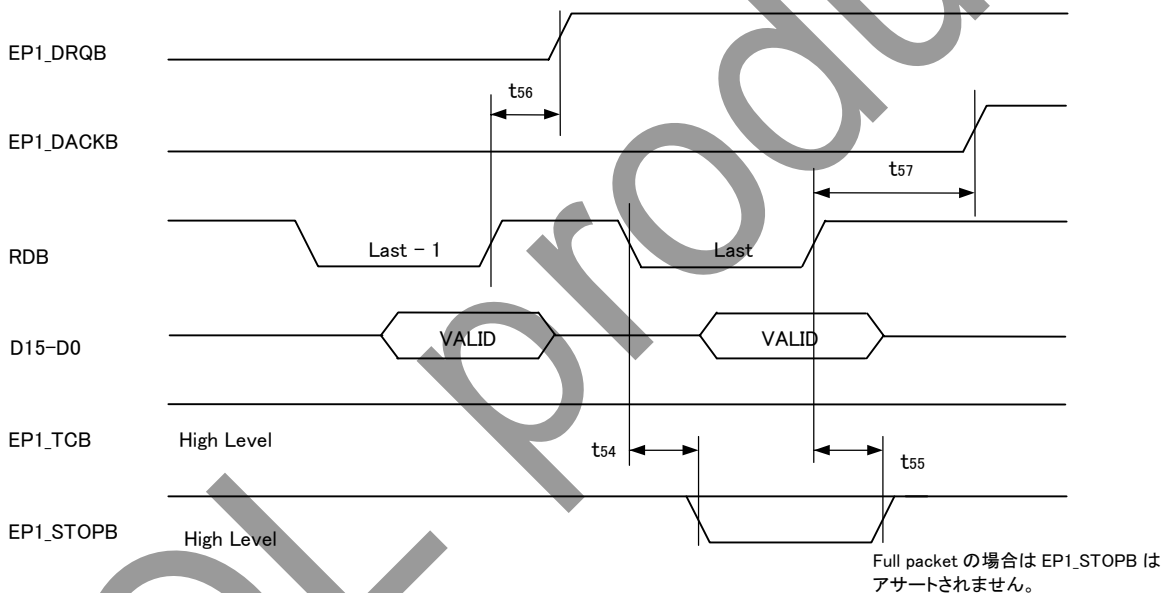


Full packet の場合は EP1_STOPB はアサートされません。

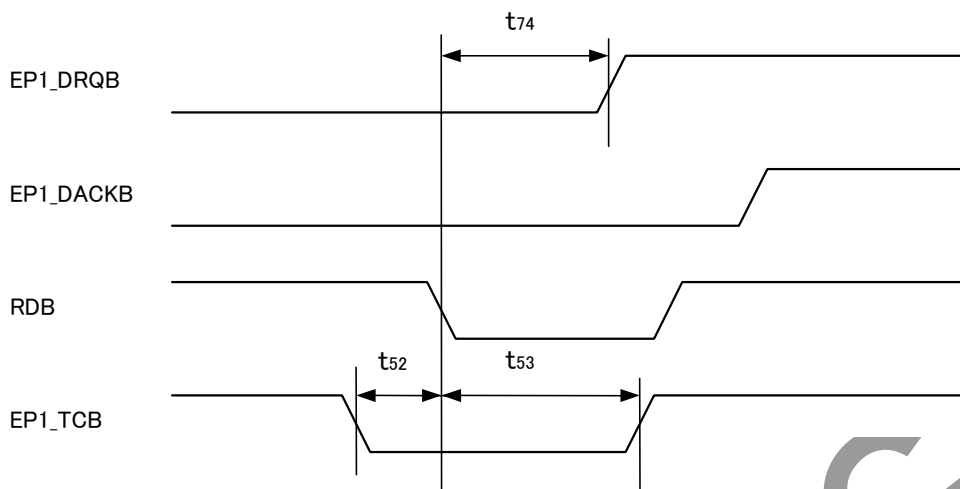
(スタート・タイミング)



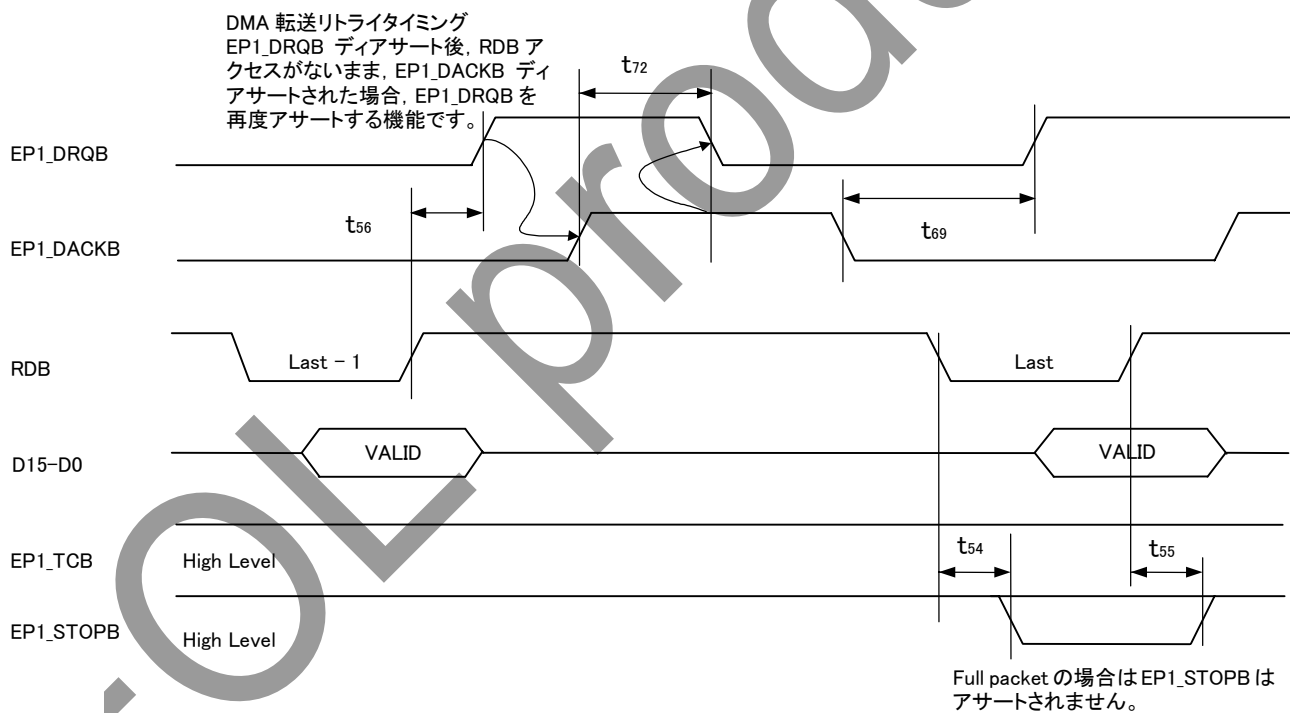
(エンド・タイミング)



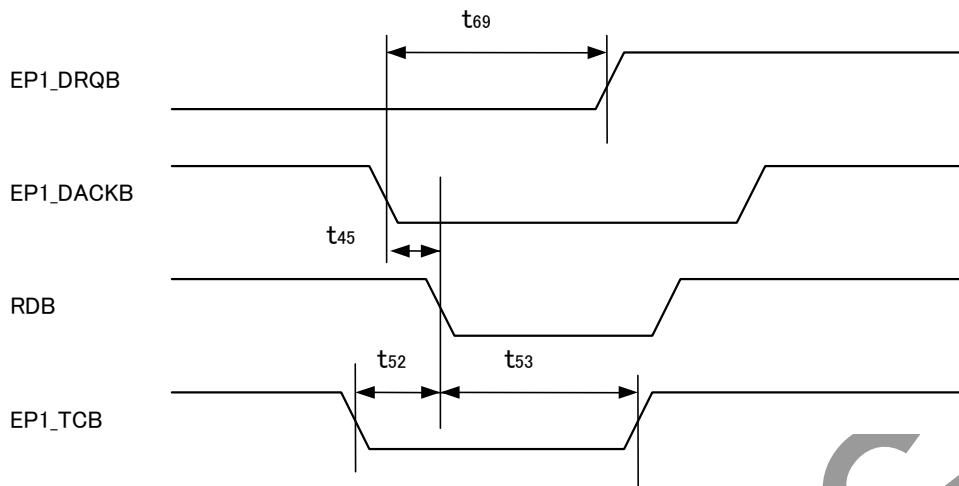
(TCB タイミング)



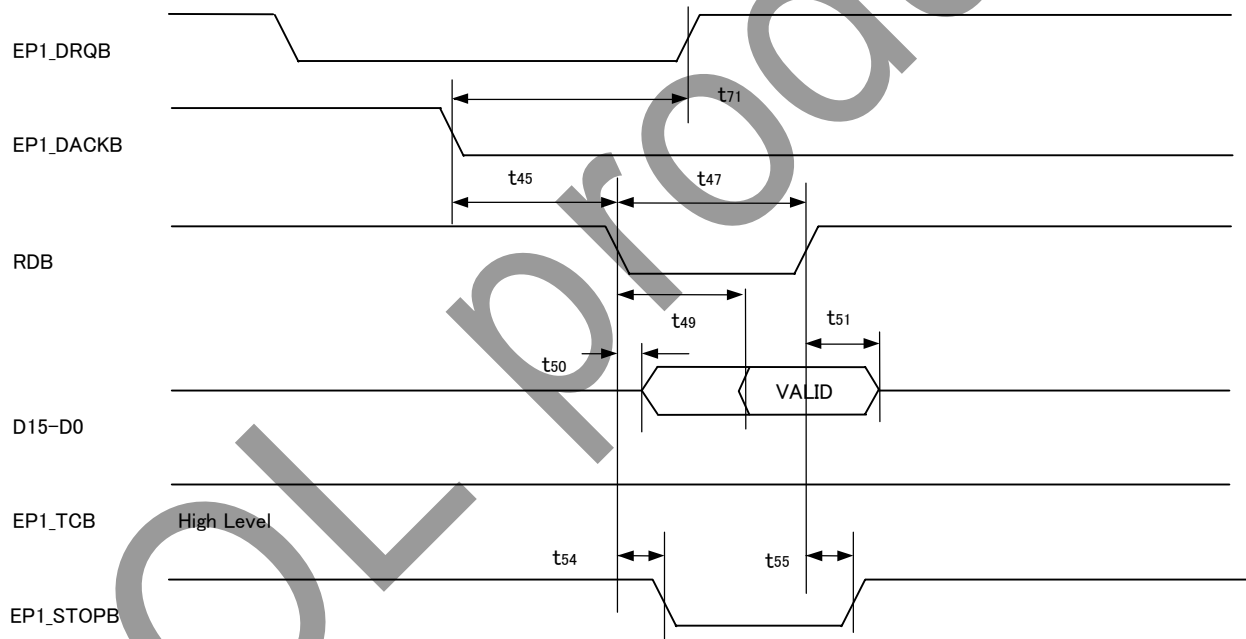
(再送タイミング)



(再送タイミング時に EP1_TCB が入力された場合)



(1 サイクル転送時)



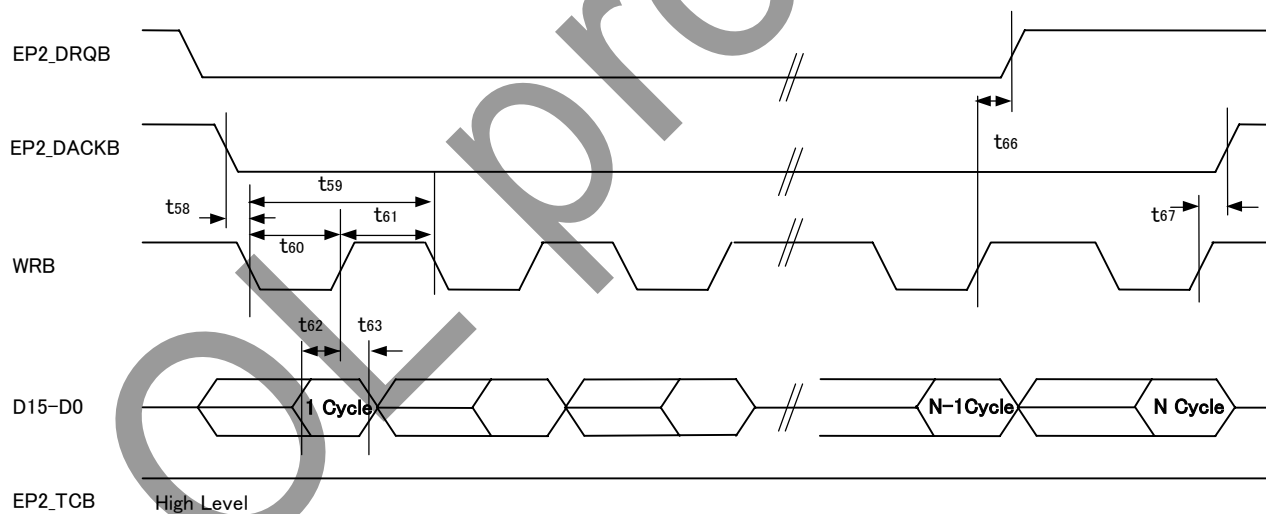
(d) CPU Bus DMA ディマンド・ライト転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t ₅₈	DMA リクエスト・アクノリッジ・セットアップ時間 (WRB)	0			ns
t ₅₉	DMA ディマンド・モード・ライト転送サイクル時間	72			ns
t ₆₀	ライト・コマンド幅	38			ns
t ₆₁	ライト・コマンド・インアクティブ時間	34			ns
t ₆₂	ライト・データ・セットアップ時間 (WRB)	10			ns
t ₆₃	ライト・データ・ホールド時間 (WRB)	0			ns
t ₆₄	EP2_TCB セットアップ時間 (WRB)	0		注	ns
t ₆₅	EP2_TCB ホールド時間 (WRB)	17			ns
t ₆₆	DMA リクエスト OFF 時間 (WRB)	-		60	ns
t ₆₇	DMA リクエスト・アクノリッジ・ホールド時間 (WRB)	0			ns
t ₇₀	DMA リクエスト OFF 時間 (EP2_DACKB)	-		38	ns
t ₇₃	DMA リクエスト ON 時間 (EP2_DACKB)	-		88	ns
t ₇₅	DMA リクエスト OFF 時間 (WRB)	-		60	ns

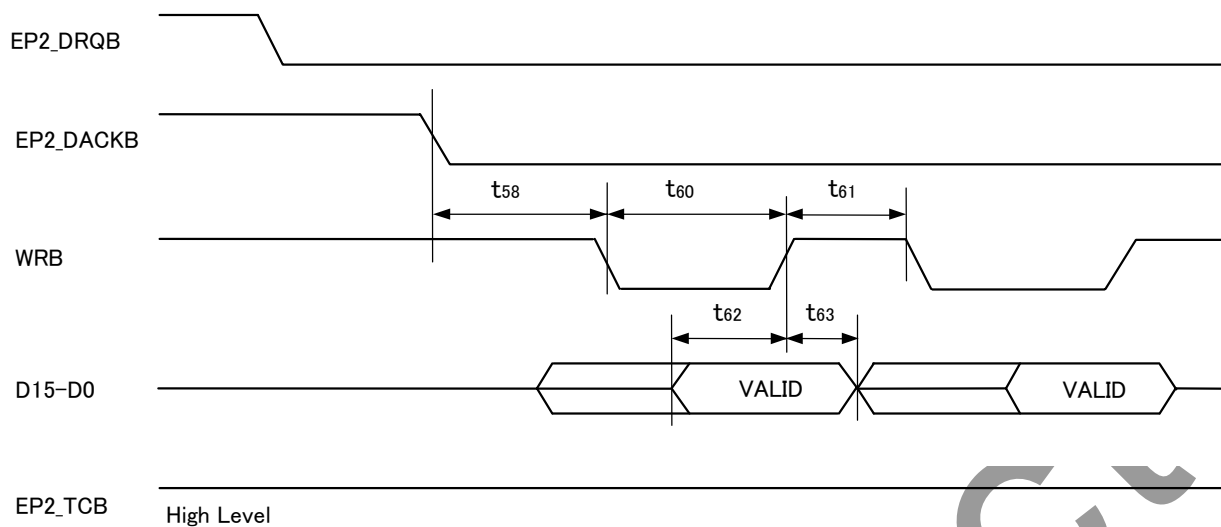
注 1 つ前の WRB で降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

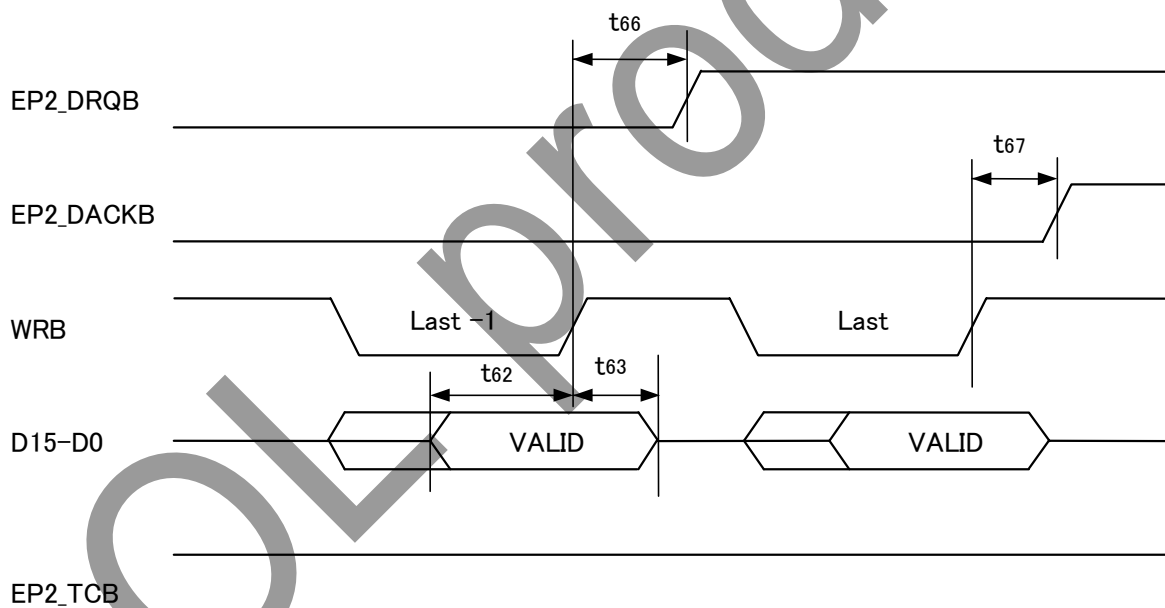
(全 体)



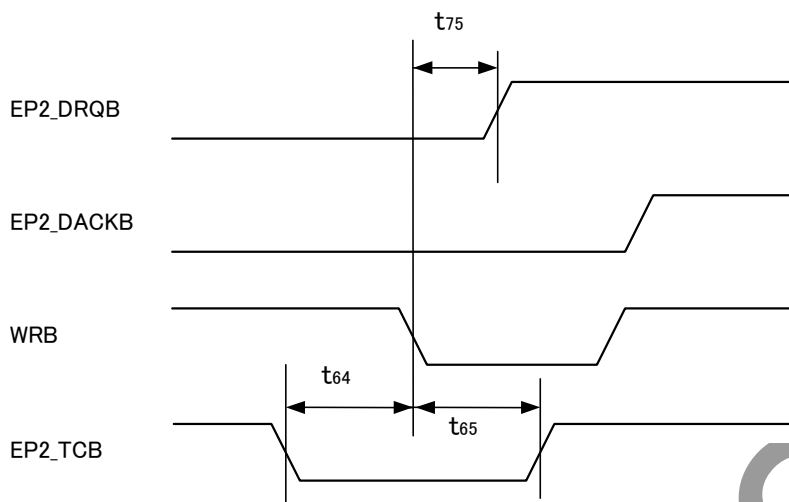
(スタート・タイミング)



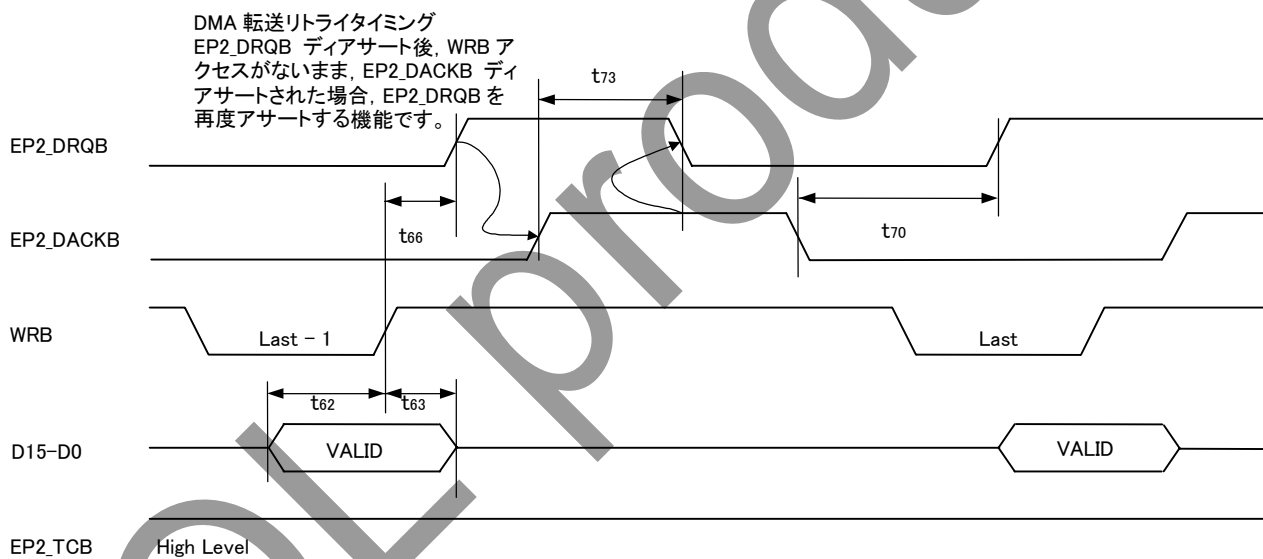
(エンド・タイミング)



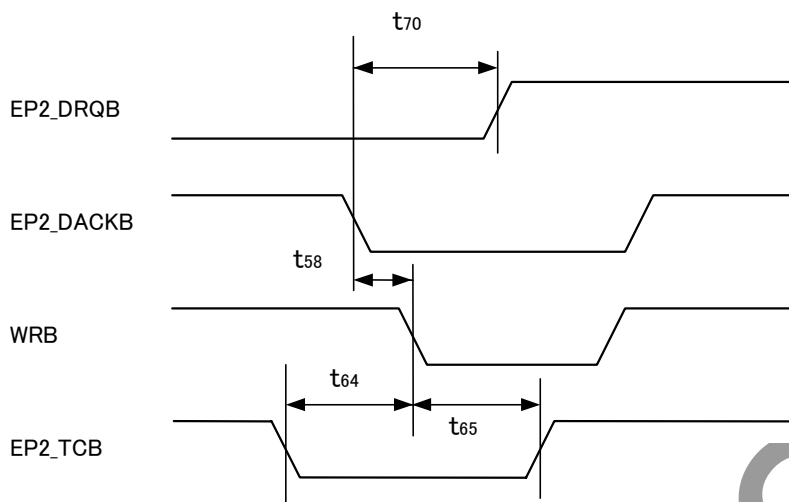
(TCB タイミング)



(再送タイミング)



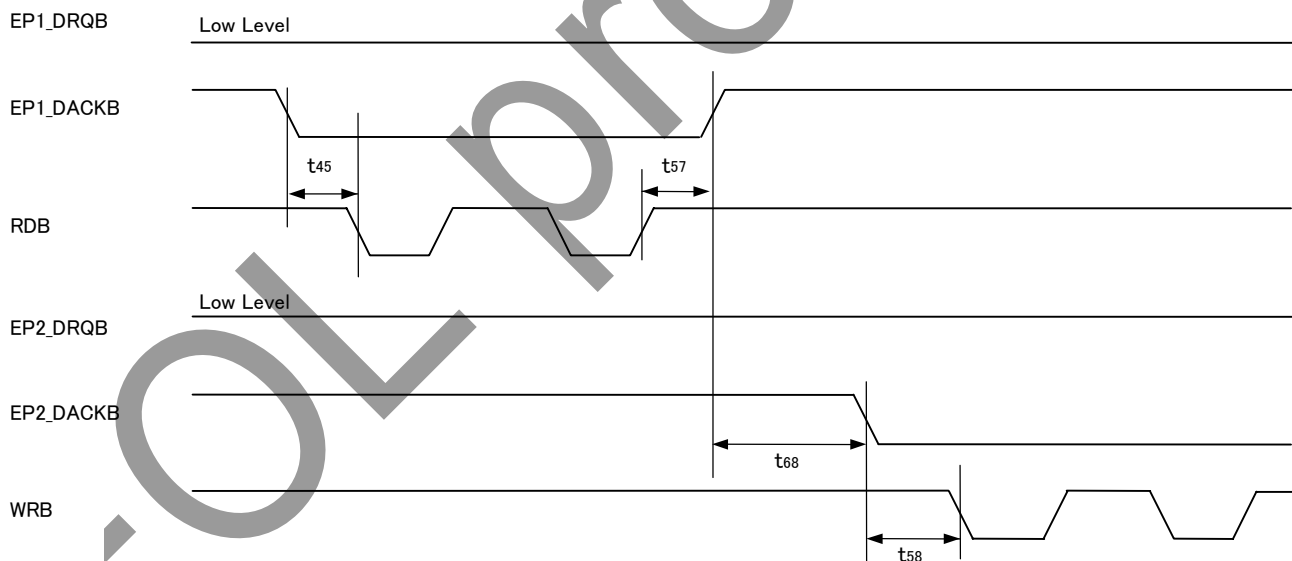
(再送タイミング時に EP1_TCB が入力された場合)



(e) CPU Bus DMA リード転送 vs. ライト転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
t68	RDB vs. WRB コマンド・インアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。



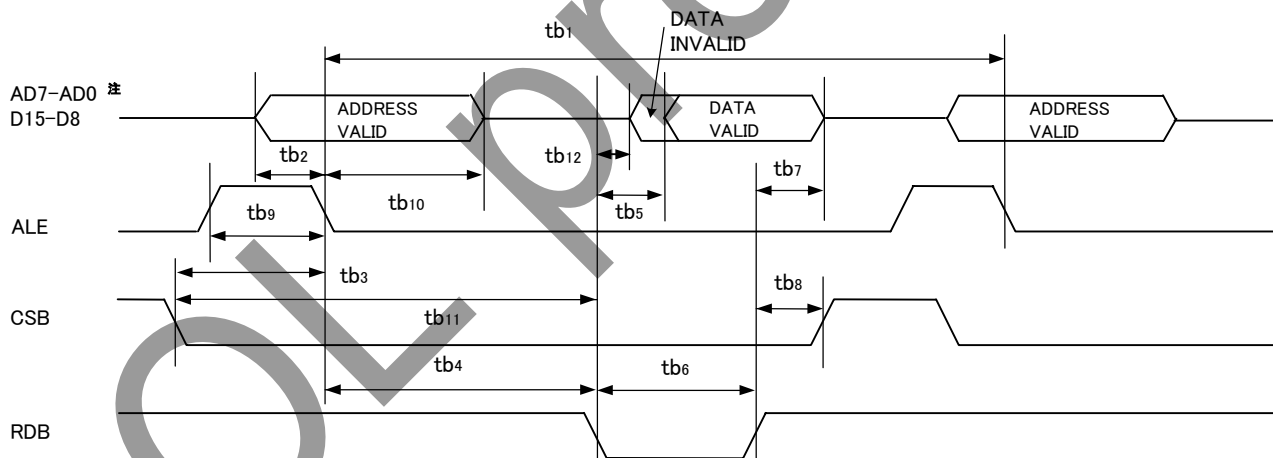
11.7.3 Function 2, 3 選択時の BIU 部の AC 特性

(1) CPU Bus リード動作

略号	項目	MIN.	TYP.	MAX.	単位
tb ₁	リード・サイクル時間	86			ns
tb ₂	アドレス・セットアップ時間 (ALE)	10			ns
tb ₃	チップ・セレクト・セットアップ時間 (ALE)	17			ns
tb ₄	リード・コマンド遅延時間 (ALE)	7			ns
tb ₅	出力データ遅延時間 (RDB)	-		57	ns
tb ₆	リード・コマンド幅	57			ns
tb ₇	出力データ・ホールド時間 (RDB)	4		-	ns
tb ₈	チップ・セレクト・ホールド時間 (RDB)	5			ns
tb ₉	ALE 幅	10			ns
tb ₁₀	アドレス・ホールド時間 (ALE)	0			ns
tb ₁₁	チップ・セレクト・セットアップ時間 (RDB)	5			ns
tb ₁₂	バッファ方向変更時間 (RDB)	-		14	ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

CPU Bus リード・タイミング



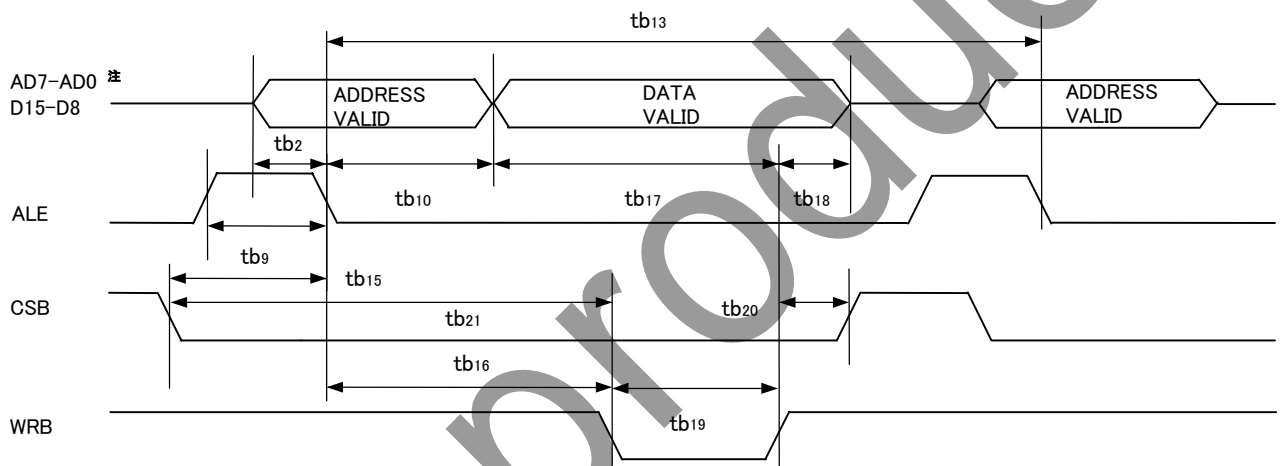
注 Function 2 の場合は D7-D0 となります。

(2) CPU Bus ライト動作

略号	項目	MIN.	TYP.	MAX.	単位
tb13	ライト・サイクル時間	58			ns
tb15	チップ・セレクト・セットアップ時間 (ALE)	17			ns
tb16	ライト・コマンド遅延時間 (ALE)	7			ns
tb17	入力データ・セットアップ時間 (WRB)	10			ns
tb18	入力データ・ホールド時間 (WRB)	0			ns
tb19	ライト・コマンド幅	34			ns
tb20	チップ・セレクト・ホールド時間 (WRB)	0			ns
tb21	チップ・セレクト・セットアップ時間 (WRB)	5			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

CPU Bus ライト・タイミング



注 Function 2 の場合は D7-D0 となります。

11.7.4 External Local Bus

External Local Bus DMA モード時の注意点を次に示します。

- (1) External Local Bus を 8 bit 幅で使用する場合、タイミングや一部端子の動作が異なるので注意してください。
- (2) External Local Bus の EP1_RDB と CPU Bus の RDB、External Local Bus の EP2_WRB と CPU Bus の WRB を共通にして、CSB と DACKB 信号で制御を行う場合、EP1_STOPB に次の仕様制限があります。
仕様制限： EP1_STOPB の制御回路は、EP1_RDB 信号を使用して生成しているため、Last Byte の 1 つ前で RDB をアサートした場合、EP1_RDB も同時にアサートされてしまうために Last Byte アクセスが発生したと誤認してしまい、EP1_STOPB が出力されてしまいます。
- (3) Function 3 では、External Local Bus を使えません。
- (4) BIU Control 0 Reg. の設定により、DMA 転送を CPU Bus 側端子でなく、External Local Bus 端子にアサインできます。External Local Bus 側にアサインした場合、RDB と WRB 信号ではなく、EP1_RDB と EP2_WRB を使用することになります。
- (5) DMA 転送において Demand モードを選択する場合、EP1_DRQB および EP2_DRQB のディアサート・タイミングに注意してください。特に、EP1 の BulkOUT DMA 転送においてショート・パケットを転送する場合、 μ PD720122 は EP1_STOPB を使用して DMAC を停止させることが可能です。
- (6) BulkOUT 転送においてショート・パケットを転送する可能性がある場合は、DMA Control 0 Reg. EP1_Short_Stop Bit をセット (= 1) してください。この設定によりショート・パケット受信時には DMA 転送が一時停止します。その際に格納バイト数を確認し DMAC の再設定を行いデータを引き取ってください (PIO にて引き取りをしても結構です)。
この処理は、EP1_DRQB のディアサート・タイミングなどにより、転送バイト数不一致などの動作不良を発生させないための予防措置です。
- (7) DMA 転送の設定順序
DMA 転送を行う場合の設定は、どのような場合も次の順序で行ってください。
EPC2 Core の DMA Control Reg. の設定
(DMA Control 2 Reg. EP1_DMA_Set bit、EP2_DMA_Set bit を除く)
BIU Core の BIU Control 0 Reg. の設定
(BIU Control 1 Reg. EP1DMAEN bit、BIU Control 2 Reg. EP2DMAEN bit を除く)
EPC2 Core の DMA Control 2 Reg. EP1_DMA_Set bit および EP2_DMA_Set bit の設定
(EPC2 Core と BIU Core 間の DMA Request 信号がアサートされます)
BIU Control 1 Reg. EP1DMAEN bit または、BIU Control 2 Reg. EP2DMAEN bit の設定
(LSI 外部に DMA Request 信号がアサートされます)
DMA 転送を停止する場合には、逆の順序 () で停止させてください。
これは、DMA 転送が自動的に停止した場合も転送開始設定順序を の順で再設定を行う必要があるためです。
- (8) External Local Bus を 8 bit Demand モードで使用する場合、次の制約事項があります。
8 bit Demand モードでは、最終転送-1 タイミング後の再送動作がありません
(16 bit Demand モードでは動作します)
ショート・パケット送受信を行う場合、3 バイト以下の転送では DMA 転送を使用しないでください。必ず PIO 転送を使用してください。
同一パケットに対して (バッファ・トグル間)、DMA 転送と PIO 転送を混在しないでください。

(1) External Local Bus 16 bit モード

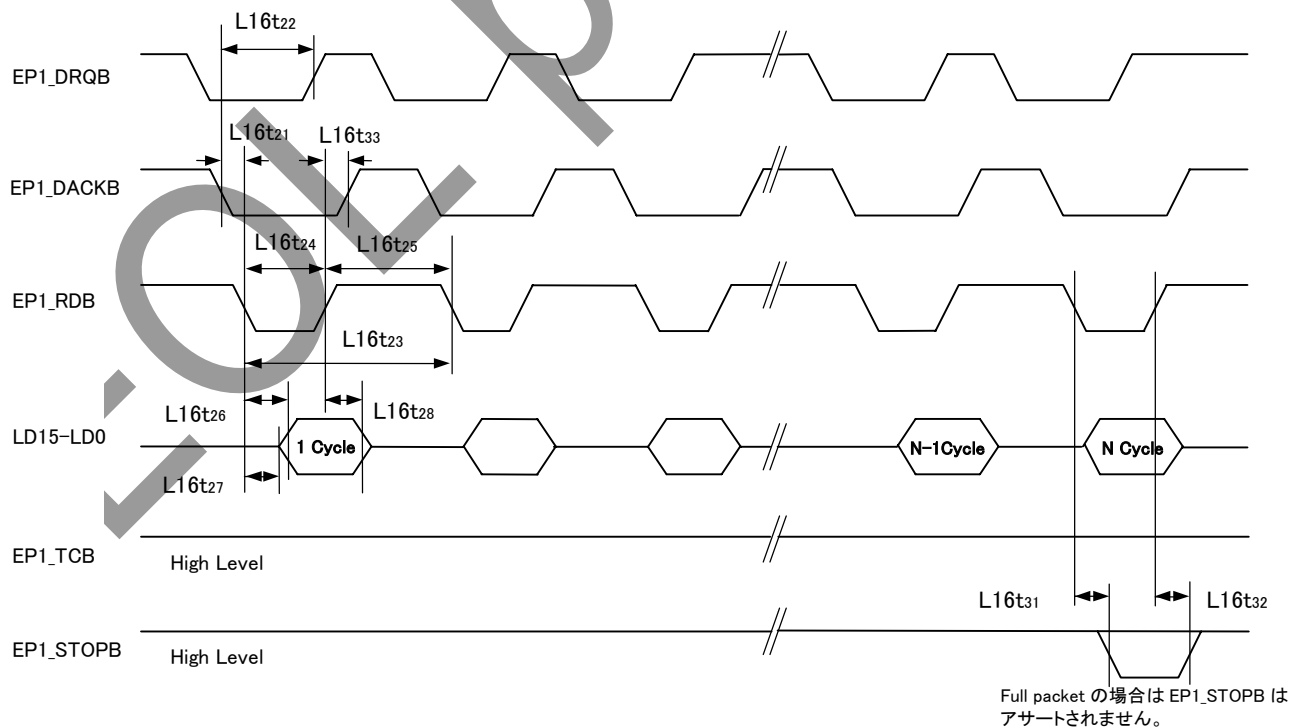
(a) External Local Bus 16 bit モード DMA シングル・モード・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t21	DMA リクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L16t22	DMA リクエスト OFF 時間 (EP1_DACKB)	-		54	ns
L16t23	DMA シングル・モード・リード転送サイクル時間	91			ns
L16t24	リード・コマンド幅	57			ns
L16t25	リード・コマンド・インアクティブ時間	34			ns
L16t26	リード・データ遅延時間 (EP1_RDB)	-		57	ns
L16t27	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L16t28	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L16t29	EP1_TCB セットアップ時間 (EP1_RDB)	0		注	ns
L16t30	EP1_TCB ホールド時間 (EP1_RDB)	17			ns
L16t31	EP1_STOPB 遅延時間 (EP1_RDB)	-		15	ns
L16t32	EP1_STOPB 遅延時間 (EP1_RDB)	3		-	ns
L16t33	DMA リクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns
L16t34	未定義	-		-	ns

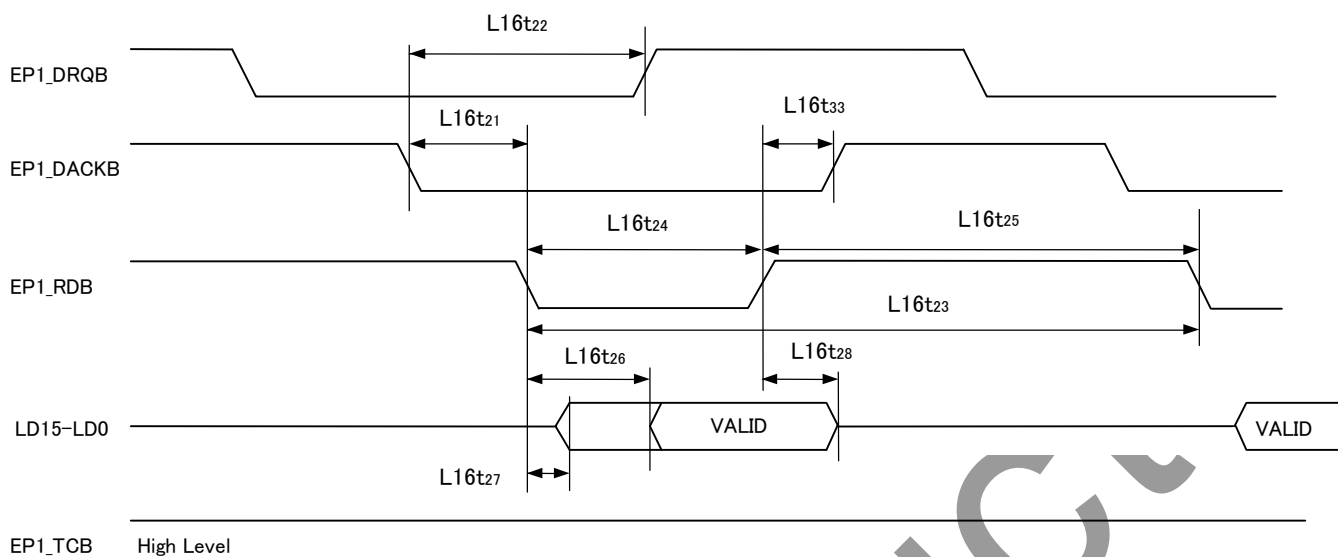
注 1 つ前の EP1_RDB 以降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

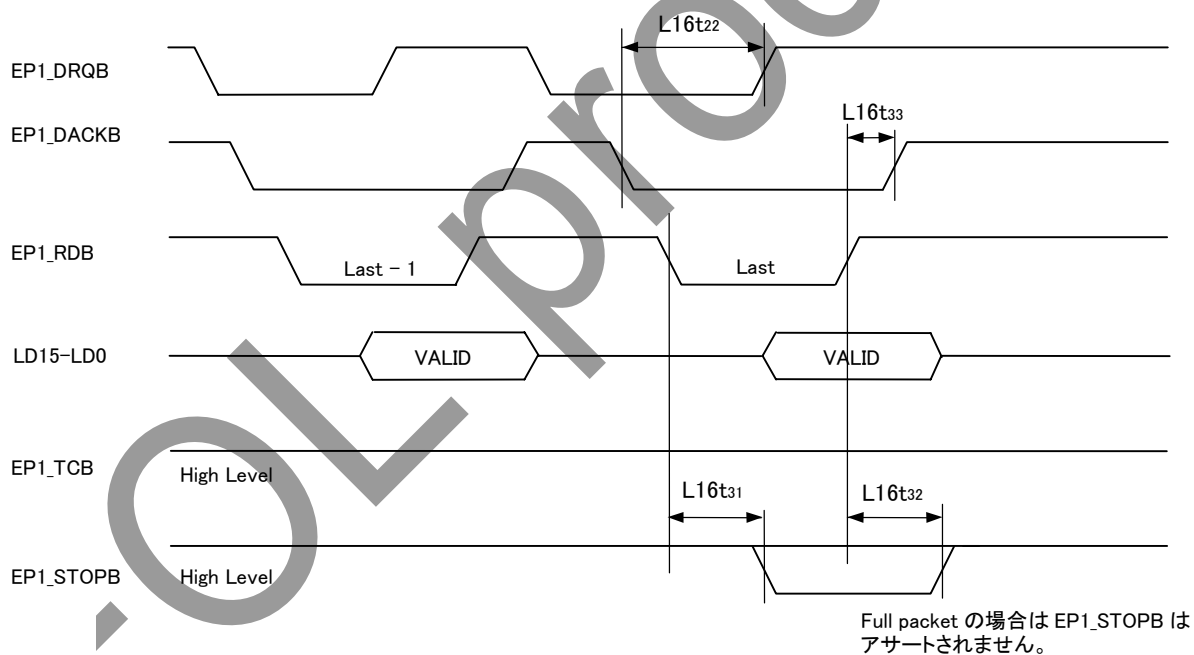
(全 体)



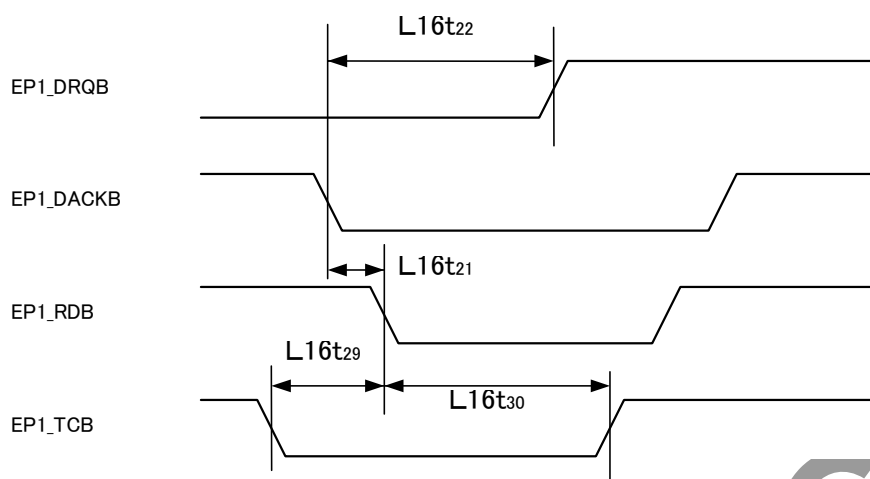
(スタート・タイミング)



(エンド・タイミング)



(TCB タイミング)



IOOL products

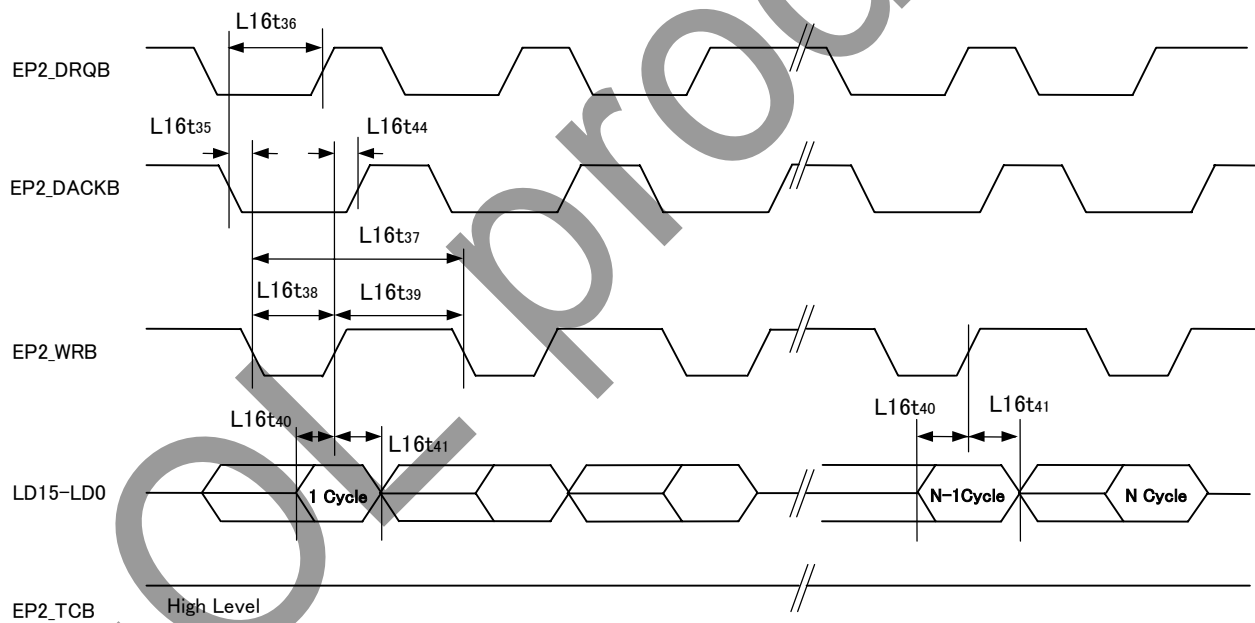
(b) External Local Bus 16 bit モード DMA シングル・モード・ライト転送

略号	項目	MIN.	TYP.	MAX.	単位
L16t35	DMA リクエスト・アクノリッジ・セットアップ時間 (EP2_WRB)	0			ns
L16t36	DMA リクエスト OFF 時間 (EP2_DACKB)	-		54	ns
L16t37	DMA シングル・モード・ライト転送サイクル時間	88			ns
L16t38	ライト・コマンド幅	54			ns
L16t39	ライト・コマンド・インアクティブ時間	34			ns
L16t40	ライト・データ・セットアップ時間 (EP2_WRB)	10			ns
L16t41	ライト・データ・ホールド時間 (EP2_WRB)	0			ns
L16t42	EP2_TCB セットアップ時間 (EP2_WRB)	0		注	ns
L16t43	EP2_TCB ホールド時間 (EP2_WRB)	17			ns
L16t44	DMA リクエスト・アクノリッジ・ホールド時間 (EP2_WRB)	0			ns

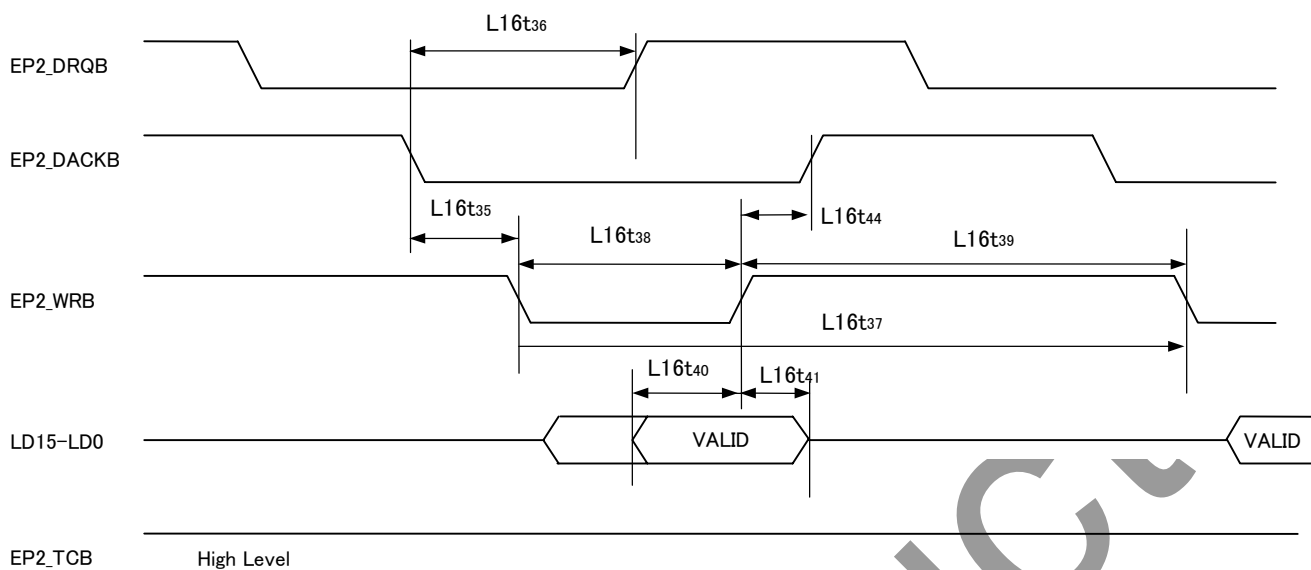
注 1 つ前の EP2_WRB で降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)

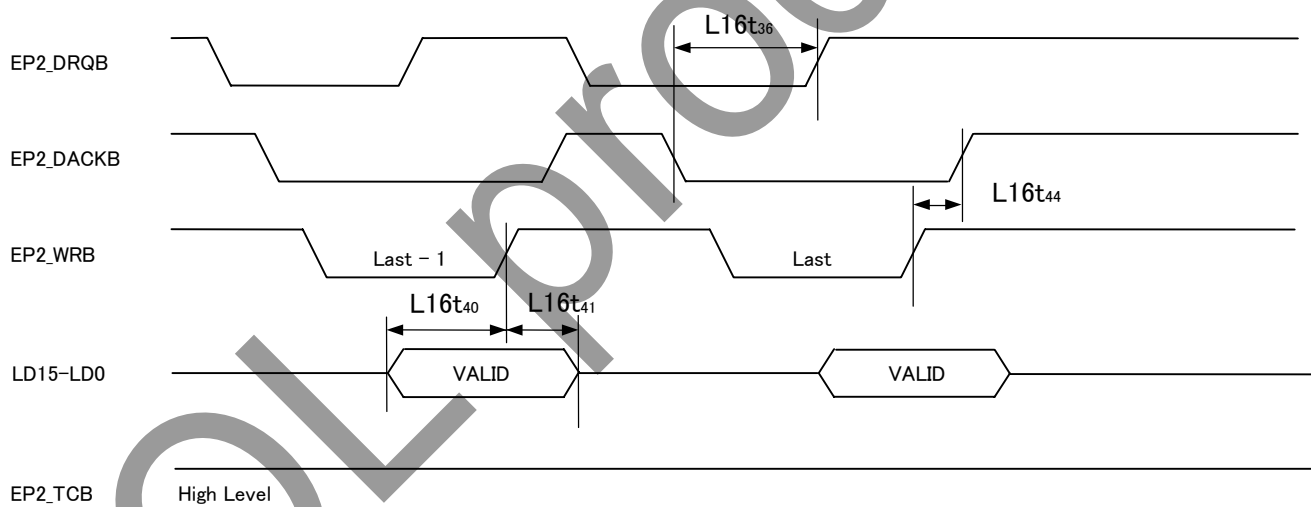
(全 体)



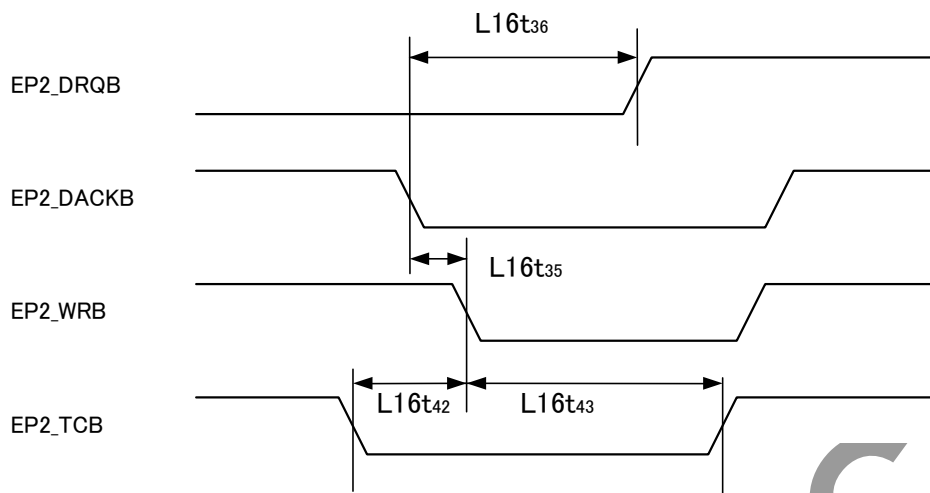
(スタート・タイミング)



(エンド・タイミング)



(TCB タイミング)



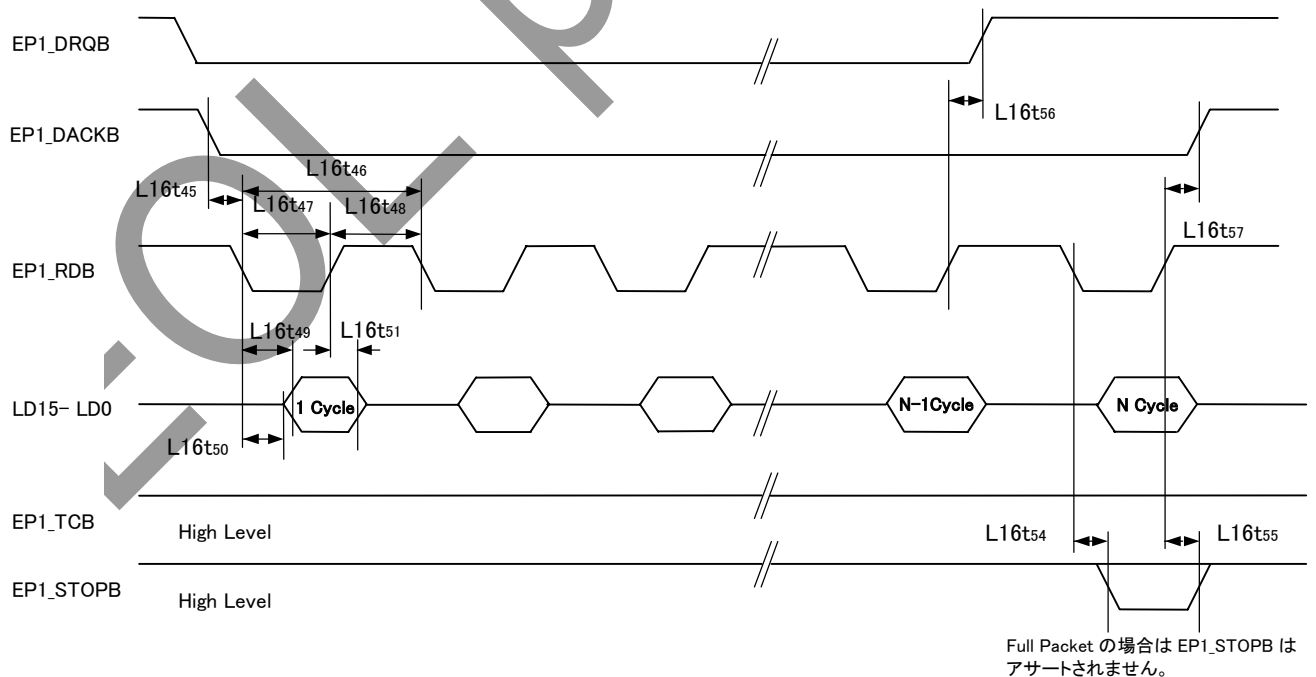
(c) External Local Bus 16 bit モード DMA ディマンド・リード転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t45	DMA リクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L16t46	DMA ディマンド・モード・リード転送サイクル時間	91			ns
L16t47	リード・コマンド幅	57			ns
L16t48	リード・コマンド・インアクティブ時間	34			ns
L16t49	リード・データ遅延時間 (EP1_RDB)	-		57	ns
L16t50	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L16t51	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L16t52	EP1_TCB セットアップ時間 (EP1_RDB)	0		注	ns
L16t53	EP1_TCB ホールド時間 (EP1_RDB)	17			ns
L16t54	EP1_STOPB 遅延時間 (EP1_RDB)	-		15	ns
L16t55	EP1_STOPB 遅延時間 (EP1_RDB)	3		-	ns
L16t56	DMA リクエスト OFF 時間 (EP1_RDB)	-		59	ns
L16t57	DMA リクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns
L16t69	DMA リクエスト OFF 時間 (EP1_DACKB)	-		38	ns
L16t71	DMA リクエスト OFF 時間 (EP1_DACKB) 1 サイクル転送	-		38	ns
L16t72	DMA リクエスト ON 時間 (EP1_DACKB)	-		88	ns
L16t74	DMA リクエスト OFF 時間 (EP1_RDB)	-		60	ns

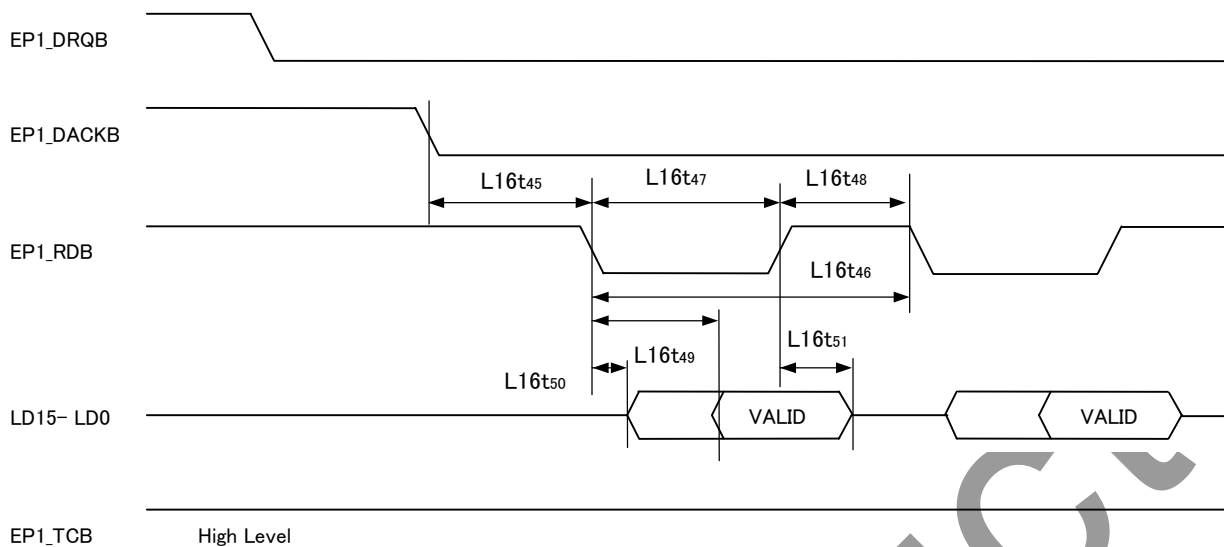
注 1 つ前の EP1_RDB で降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

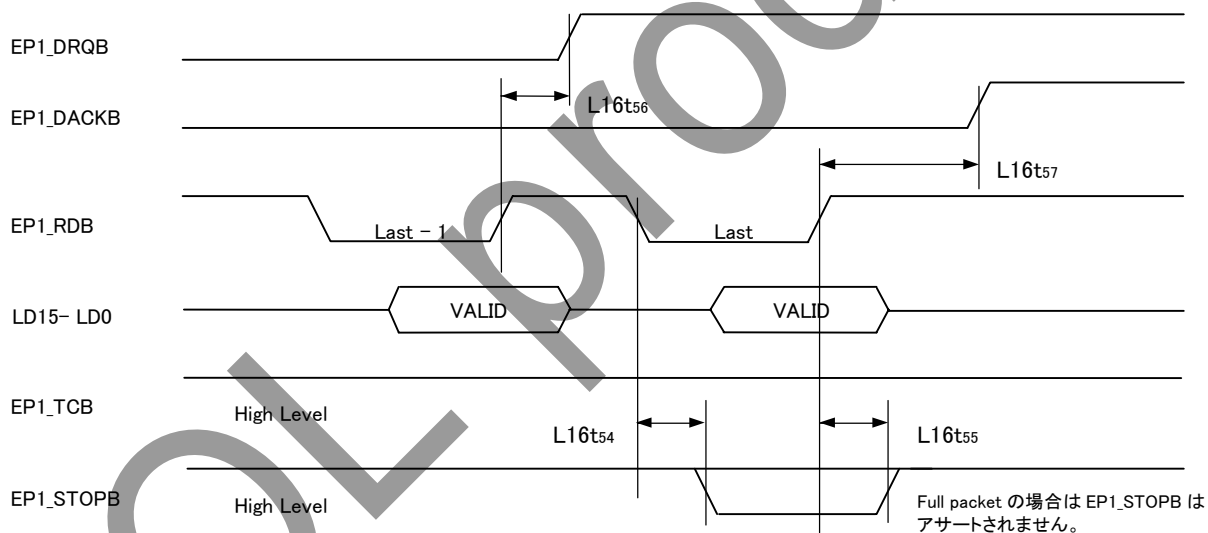
(全 体)



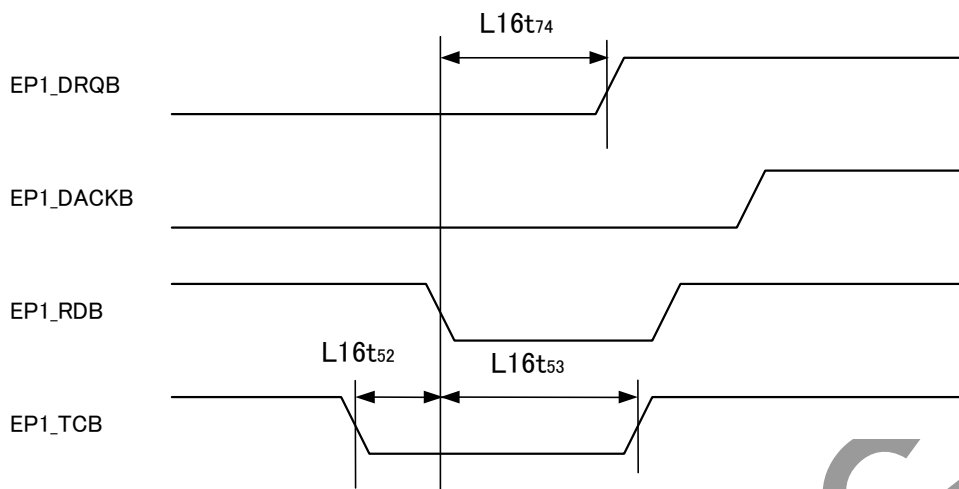
(スタート・タイミング)



(エンド・タイミング)

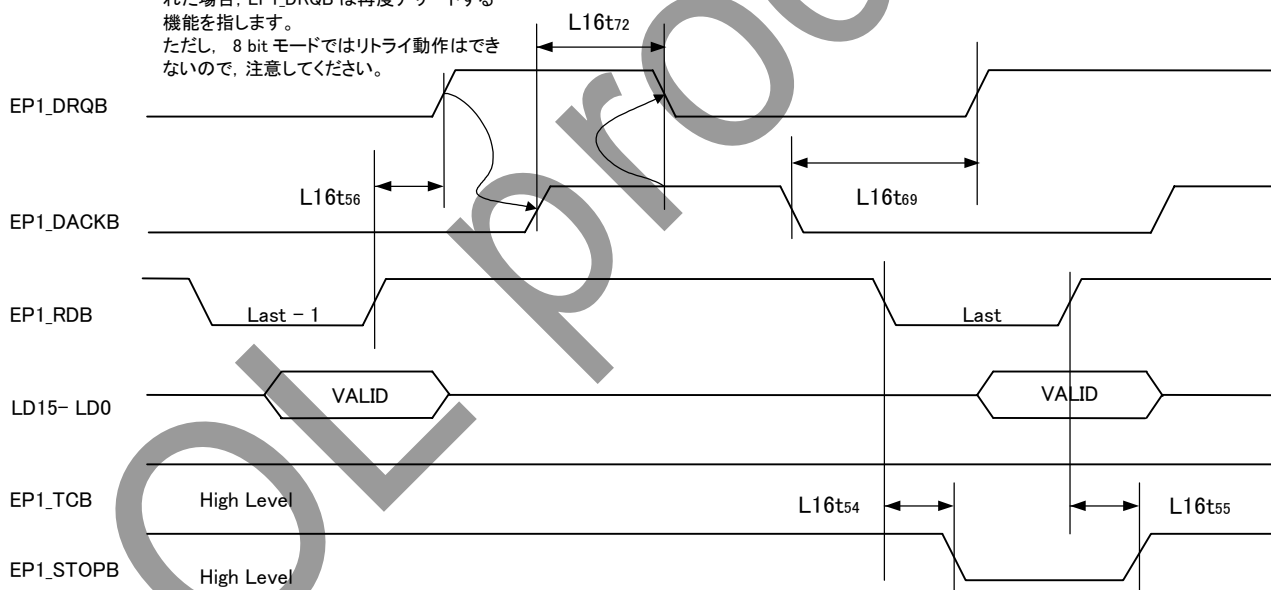


(TCB タイミング)



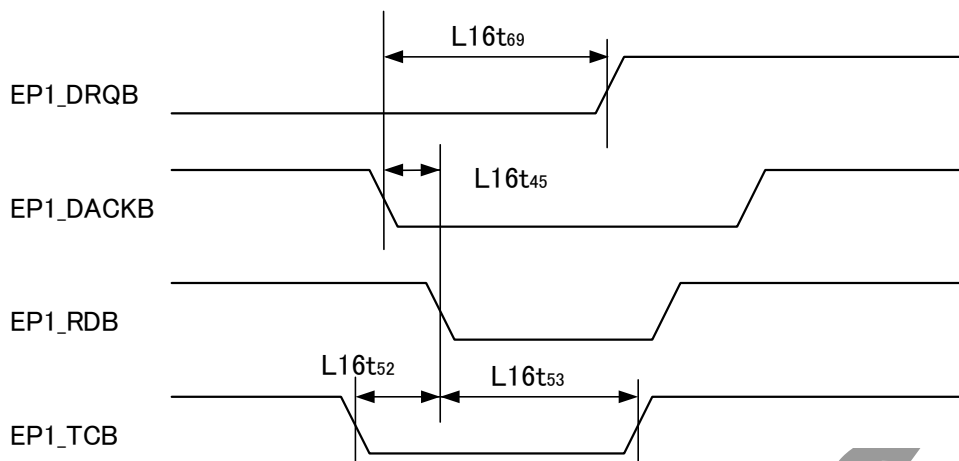
(再送タイミング)

DMA 転送リトライ・タイミング
 EP1_DRQB デアサート後, EP1_RDB アクセ
 スがないまま, EP1_DACKB デアサートさ
 れた場合, EP1_DRQB は再度アサートする
 機能を指します。
 ただし, 8 bit モードではリトライ動作はでき
 ないので, 注意してください。

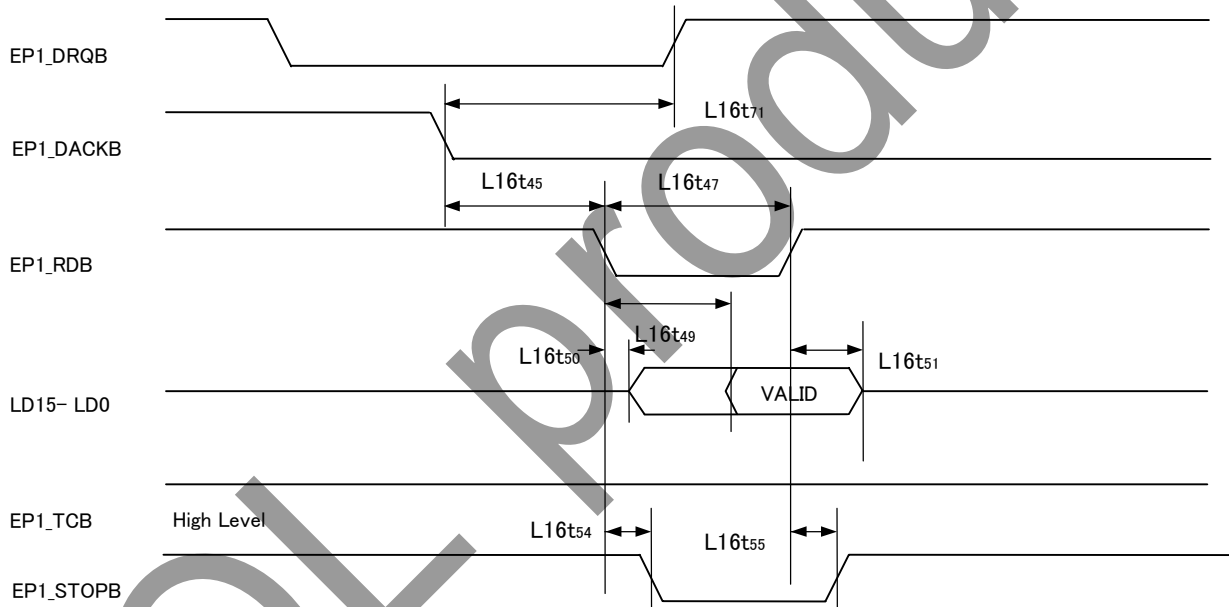


Full packet の場合は EP1_STOPB は
 アサートされません。

(再送タイミング時に EP1_TCB が入力された場合)



(1 サイクル転送時)



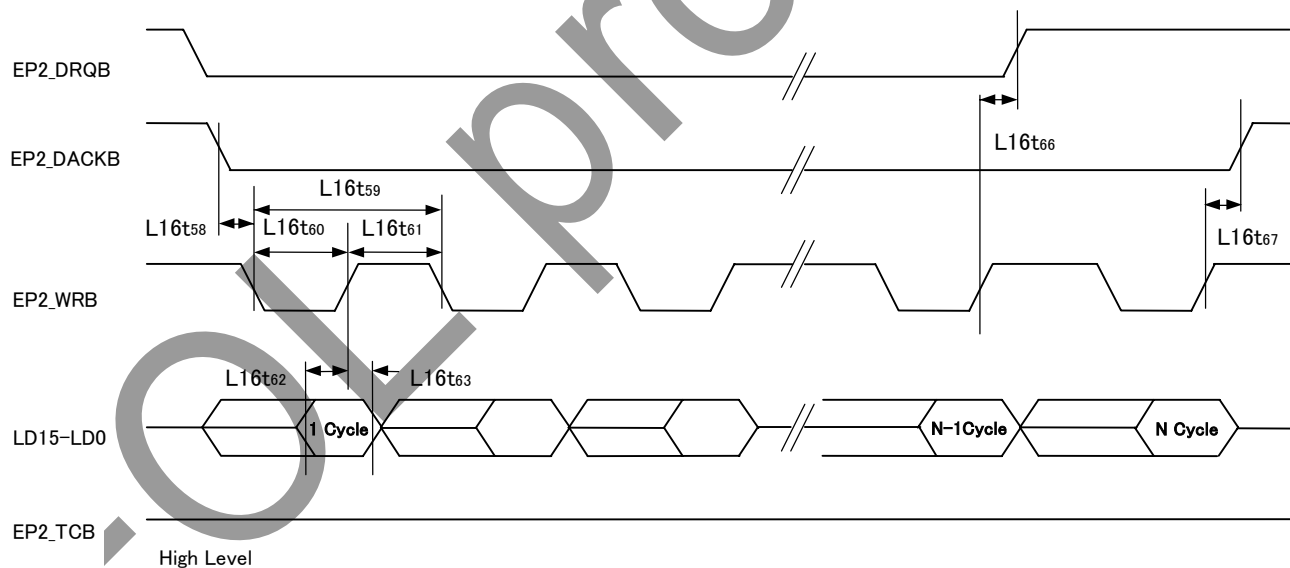
(d) External Local Bus 16 bit モード DMA ディマンド・ライト転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t58	DMA リクエスト・アクノリッジ・セットアップ時間 (EP2_WRB)	0			ns
L16t59	DMA ディマンド・モード・ライト転送サイクル時間	72			ns
L16t60	ライト・コマンド幅	38			ns
L16t61	ライト・コマンド・インアクティブ時間	34			ns
L16t62	ライト・データ・セットアップ時間 (EP2_WRB)	10			ns
L16t63	ライト・データ・ホールド時間 (EP2_WRB)	0			ns
L16t64	EP2_TCB セットアップ時間 (EP2_WRB)	0		注	ns
L16t65	EP2_TCB ホールド時間 (EP2_WRB)	17			ns
L16t66	DMA リクエスト OFF 時間 (EP2_WRB)	-		60	ns
L16t67	DMA リクエスト・アクノリッジ・ホールド時間 (EP2_WRB)	0			ns
L16t70	DMA リクエスト OFF 時間 (EP2_DACKB)	-		38	ns
L16t73	DMA リクエスト ON 時間 (EP2_DACKB)	-		88	ns
L16t75	DMA リクエスト OFF 時間 (EP2_WRB)	-		60	ns

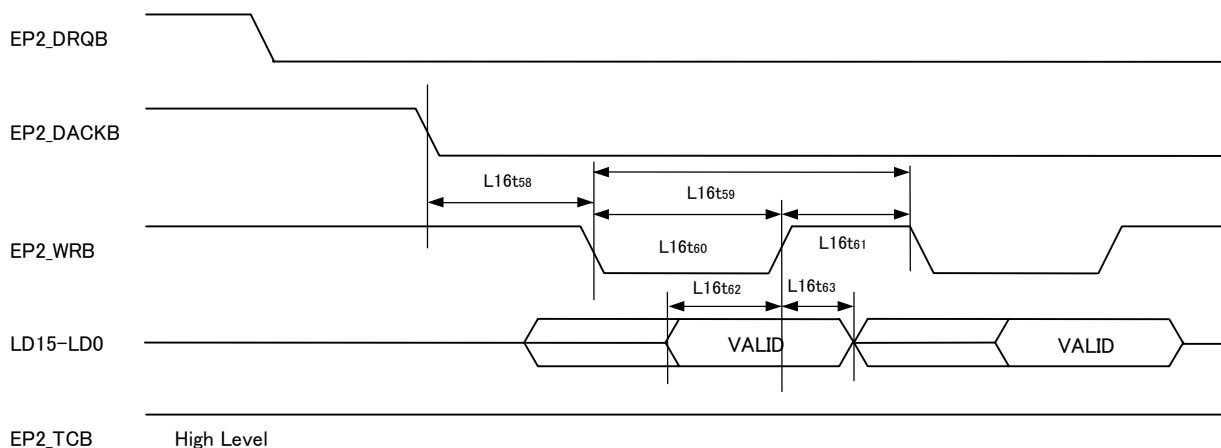
注 1 つ前の EP2_WRB で降入力可能

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

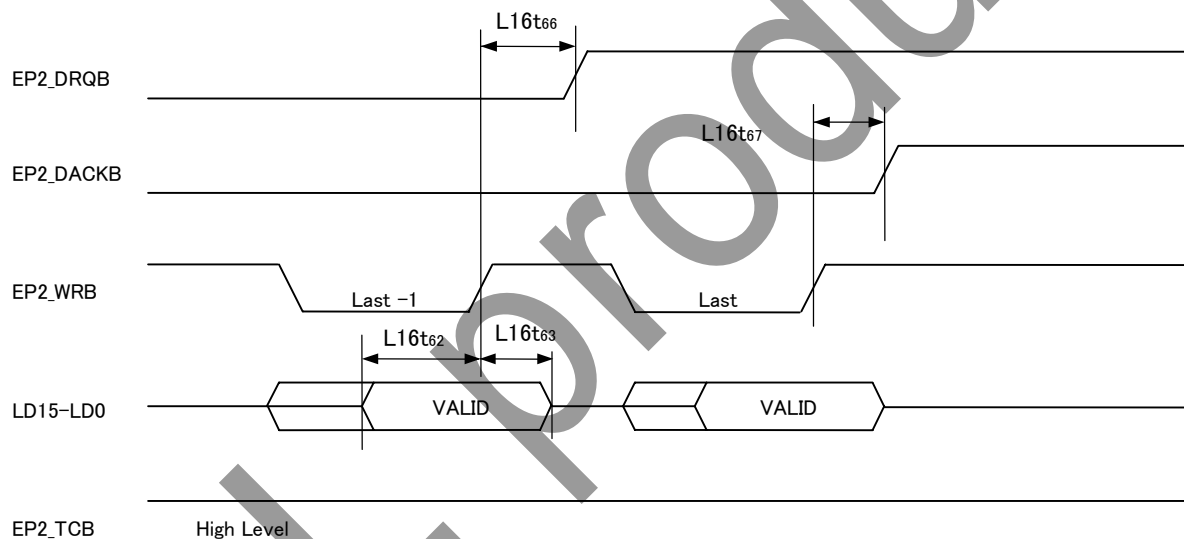
(全 体)



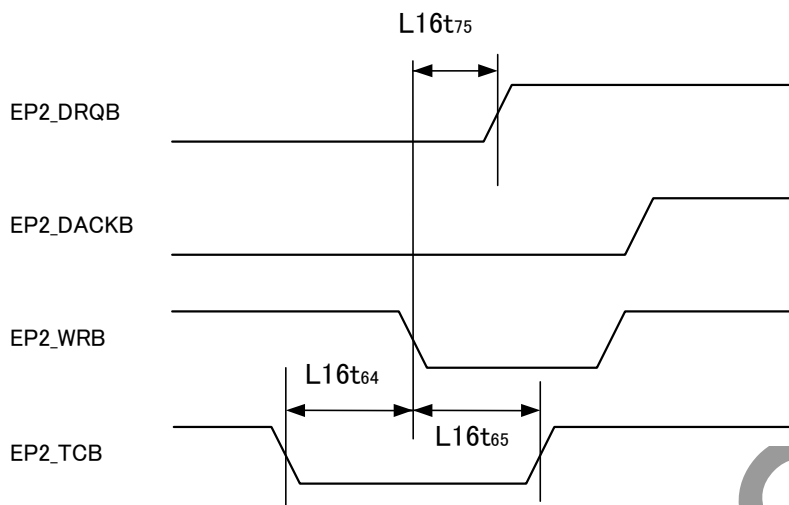
(スタート・タイミング)



(エンド・タイミング)

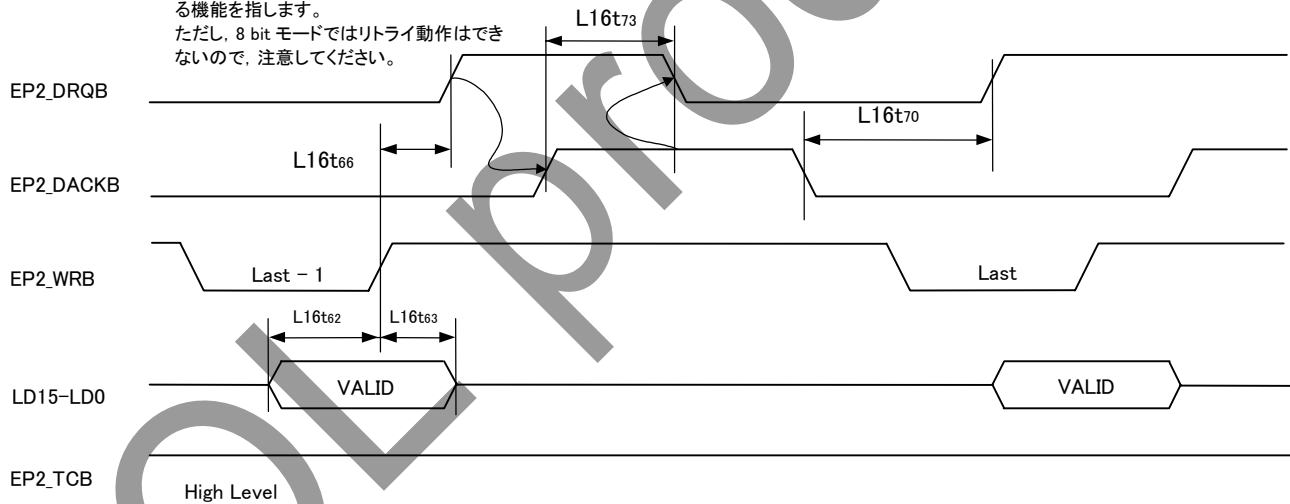


(TCB タイミング)

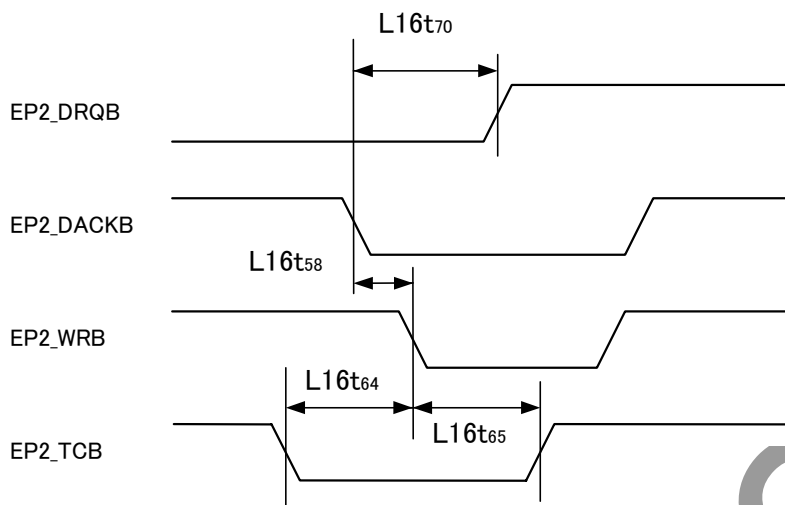


(再送タイミング)

DMA 転送リトライ・タイミング
 EP1_DRQB デアサート後, EP2_WRB アクセ
 セスがないまま, EP1_DACKB デアサート
 された場合, EP1_DRQB は再度アサートす
 る機能を指します。
 ただし, 8 bit モードではリトライ動作はでき
 ないので, 注意してください。



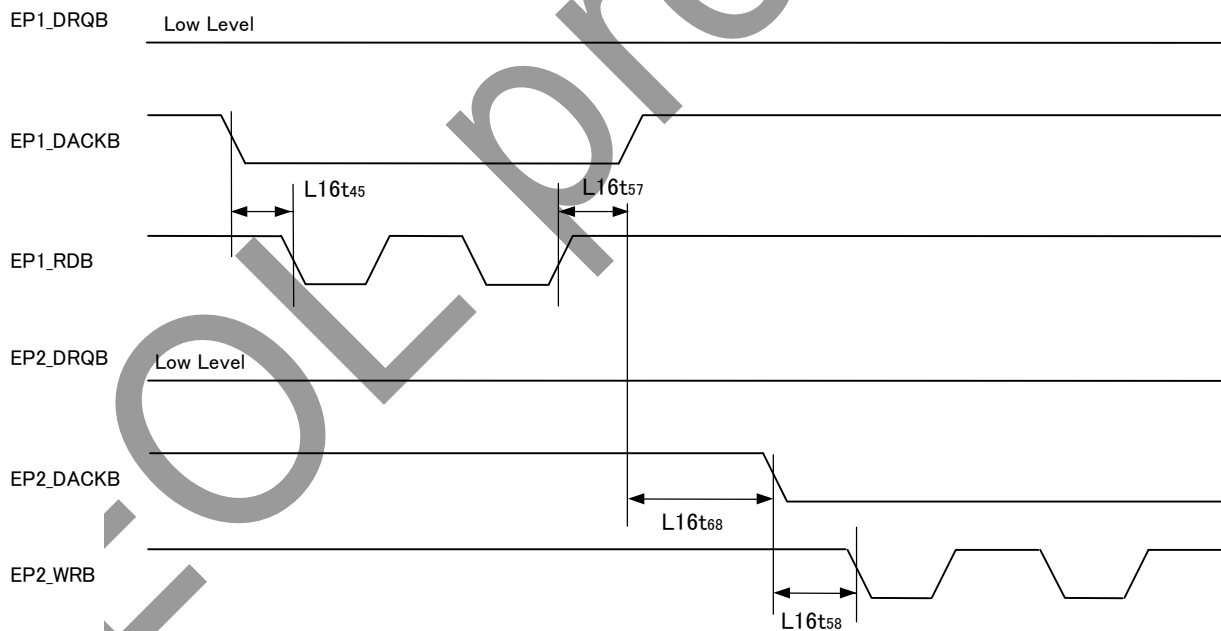
(再送タイミング時に EP1_TCB が入力された場合)



(e) External Local Bus 16 bit モード DMA EP1_Read 転送 vs. EP2_Write 転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L16t68	EP1_RDB vs. EP2_WRB コマンド・インアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。



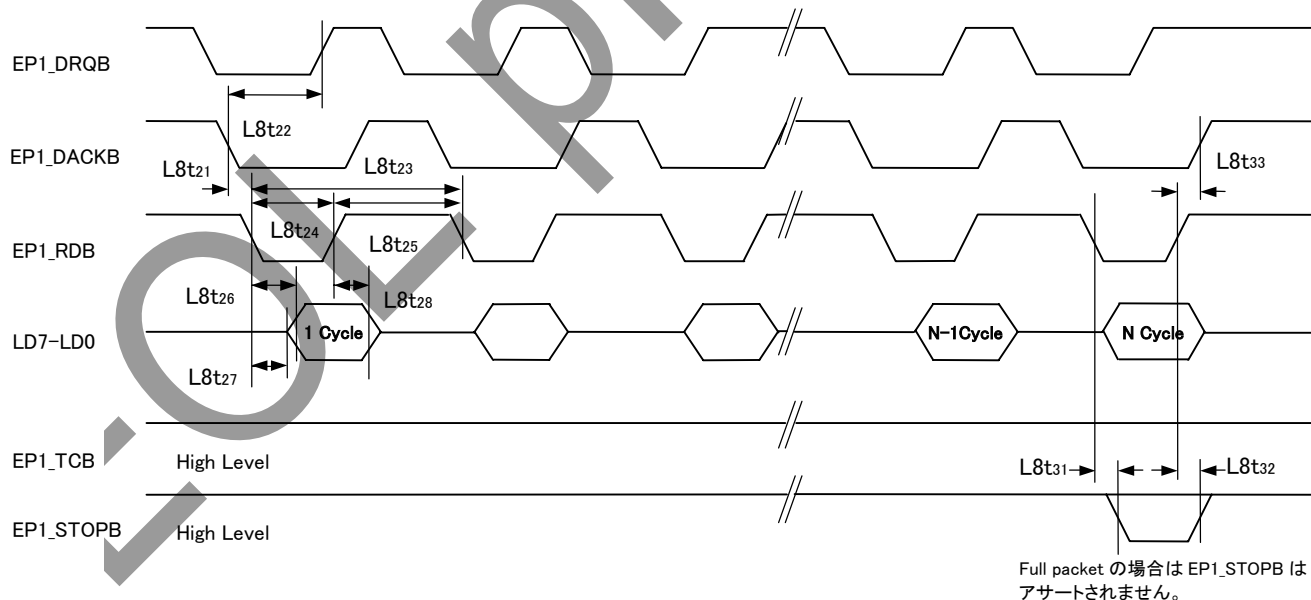
(2) External Local Bus 8 bit モード

(a) External Local Bus 8 bit モード DMA シングル・モード・リード転送タイミング

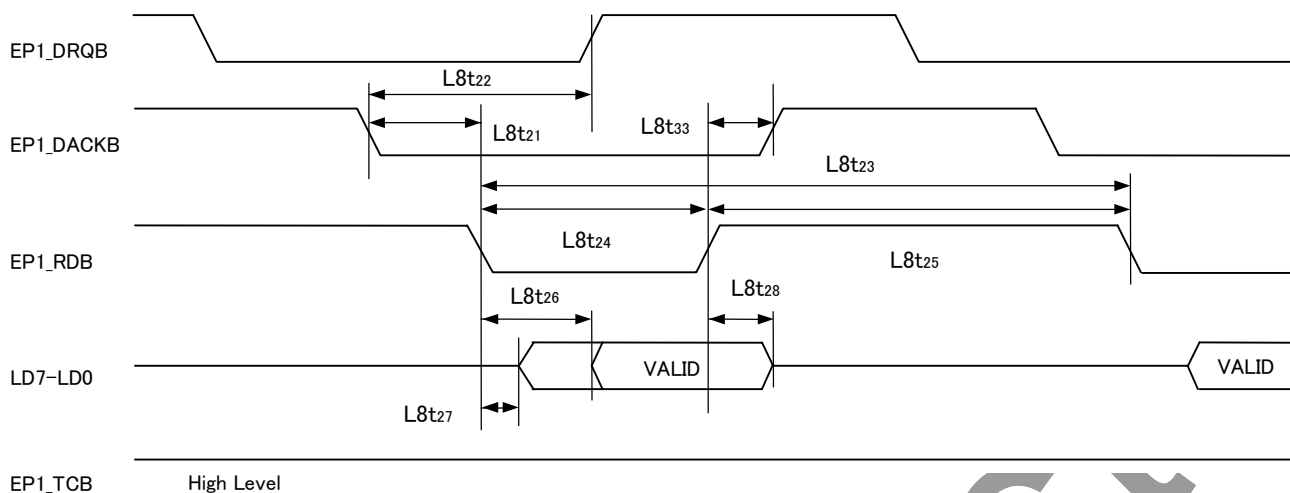
略号	項目	MIN.	TYP.	MAX.	単位
L8t21	DMA リクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L8t22	DMA リクエスト OFF 時間 (EP1_DACKB)	-		10	ns
L8t23	DMA シングル・モード・リード転送サイクル時間	91			ns
L8t24	リード・コマンド幅	57			ns
L8t25	リード・コマンド・インアクティブ時間	34			ns
L8t26	リード・データ遅延時間 (EP1_RDB)	-		57	ns
L8t27	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L8t28	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L8t31	EP1_STOPB 遅延時間 (EP1_RDB)	-		15	ns
L8t32	EP1_STOPB 遅延時間 (EP1_RDB)	3		-	ns
L8t33	DMA リクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns
L8t34	未定義	-		-	ns

- 備考 1. External Local Bus 8 bit モードでは, EP1_TCB は使用禁止です。インアクティブ状態にクランプしてください。
2. External Local Bus 8 bit モードでは ,LD15-LD8 は不定となります(入力時は無効,出力時は不定です)。
3. 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

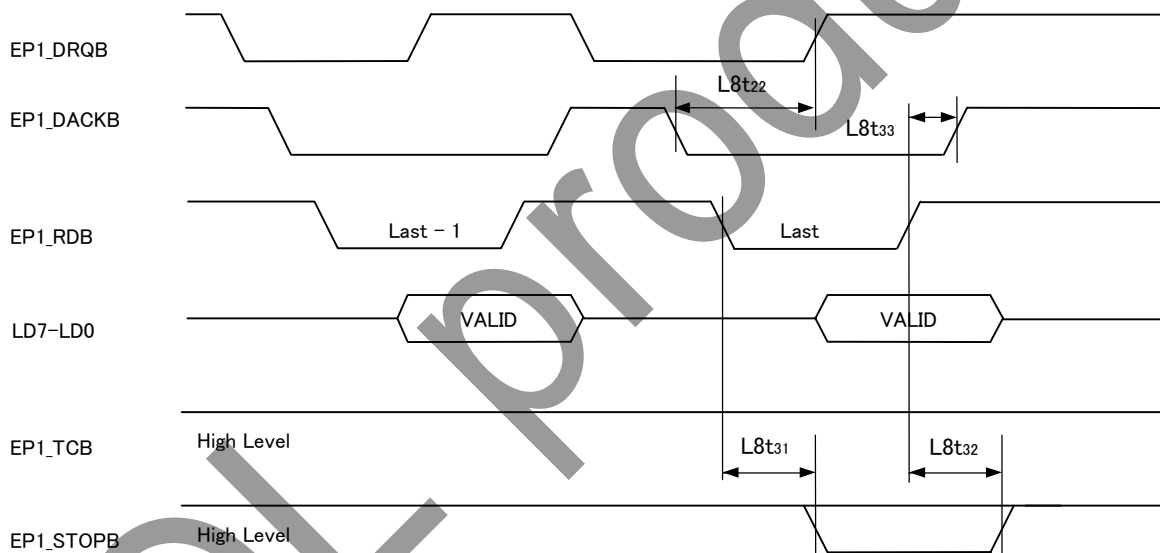
(全 体)



(スタート・タイミング)



(エンド・タイミング)



Full packet の場合は EP1_STOPB はアサートされません。

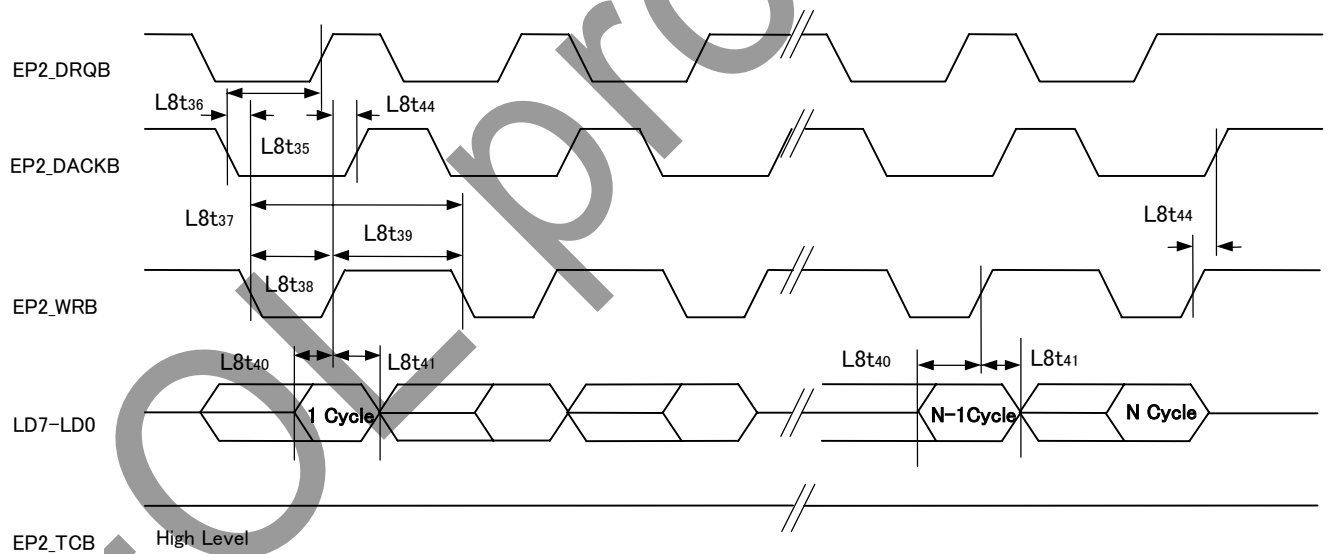
(b) External Local Bus 8 bit モード DMA シングル・モード・ライト転送

略号	項目	MIN.	TYP.	MAX.	単位
L8t35	DMA リクエスト・アクノリッジ・セットアップ時間 (EP2_WRB)	0			ns
L8t36	DMA リクエスト OFF 時間 (EP2_DACKB)	-		54 注	ns
L8t37	DMA シングル・モード・ライト転送サイクル時間	88			ns
L8t38	ライト・コマンド幅	54			ns
L8t39	ライト・コマンド・インアクティブ時間	34			ns
L8t40	ライト・データ・セットアップ時間 (EP2_WRB)	10			ns
L8t41	ライト・データ・ホールド時間 (EP2_WRB)	0			ns
L8t44	DMA リクエスト・アクノリッジ・ホールド時間 (EP2_WRB)	0			ns

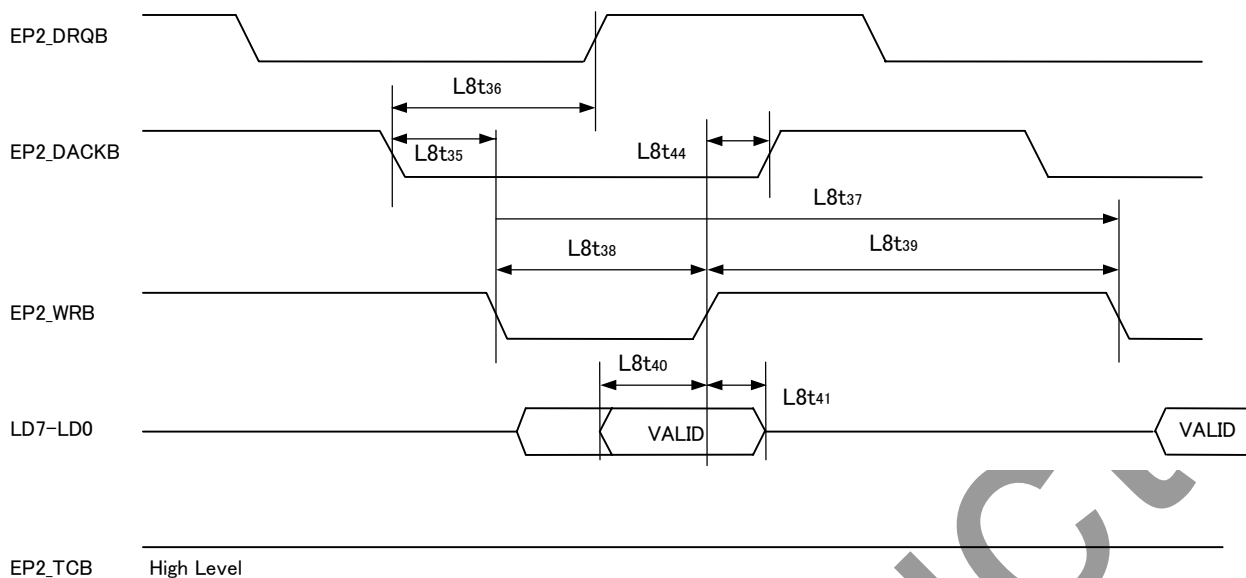
注 L8t22 と比較したときスペック値に差が出るのは ,EP1 のときは BIU Core 処理で ,EP2 のときは EPC2 Core で処理されるためです。

- 備考 1. External Local Bus 8 bit モードでは ,EP1_TCB は使用禁止です。インアクティブにクランプしてください。
2. External Local Bus 8 bit モードでは ,LD15-LD8 は不定となります(入力時は無効 ,出力時は不定です)。
3. 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

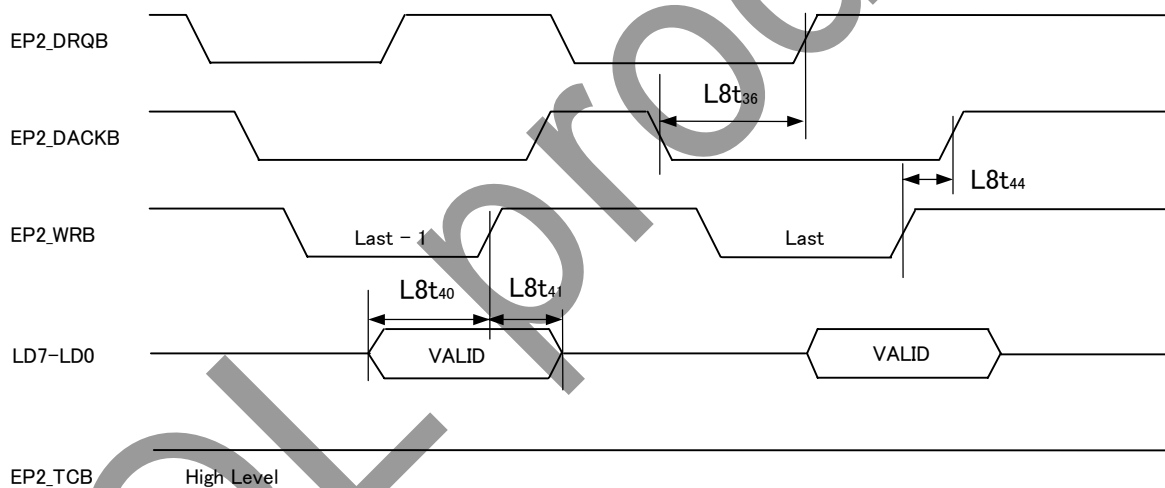
(全 体)



(スタート・タイミング)



(エンド・タイミング)

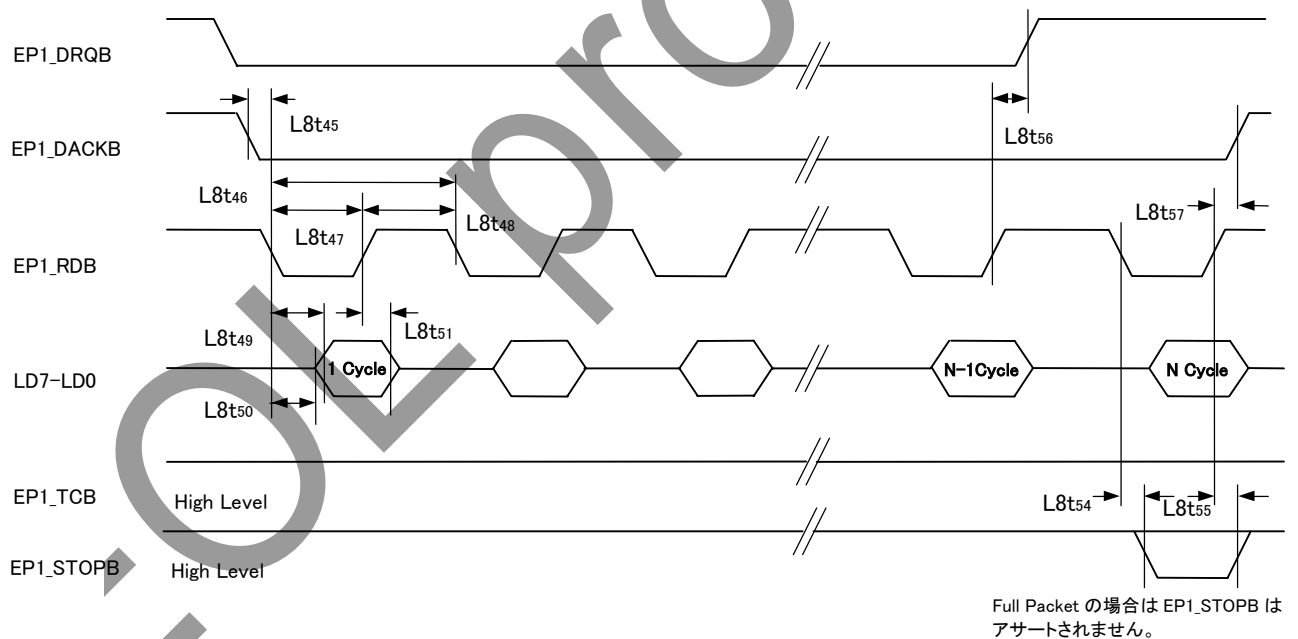


(c) External Local Bus 8 bit モード DMA ディマンド・リード転送タイミング

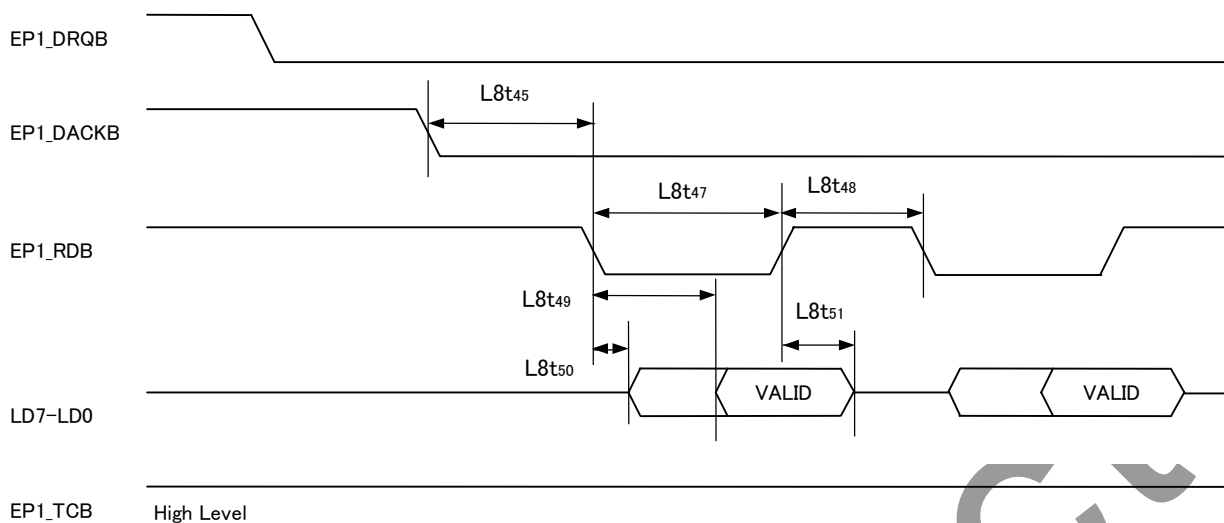
略号	項目	MIN.	TYP.	MAX.	単位
L8t45	DMA リクエスト・アクノリッジ・セットアップ時間 (EP1_RDB)	0			ns
L8t46	DMA ディマンド・モード・リード転送サイクル時間	90			ns
L8t47	リード・コマンド幅	56			ns
L8t48	リード・コマンド・インアクティブ時間	34			ns
L8t49	リード・データ遅延時間 (EP1_RDB)	-		56	ns
L8t50	バッファ方向変更時間 (EP1_RDB)	-		14	ns
L8t51	リード・データ・ホールド時間 (EP1_RDB)	4		-	ns
L8t54	EP1_STOPB 遅延時間 (EP1_RDB)	-		15	ns
L8t55	EP1_STOPB 遅延時間 (EP1_RDB)	3		-	ns
L8t56	DMA リクエスト OFF 時間 (EP1_RDB)	-		60	ns
L8t57	DMA リクエスト・アクノリッジ・ホールド時間 (EP1_RDB)	0			ns

- 備考 1. External Local Bus 8 bit モードでは, EP1_TCB は使用禁止です。インアクティブにクランプしてください。
2. External Local Bus 8 bit モードでは ,LD15-LD8 は不定となります(入力時は無効,出力時は不定です)。
3. 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。

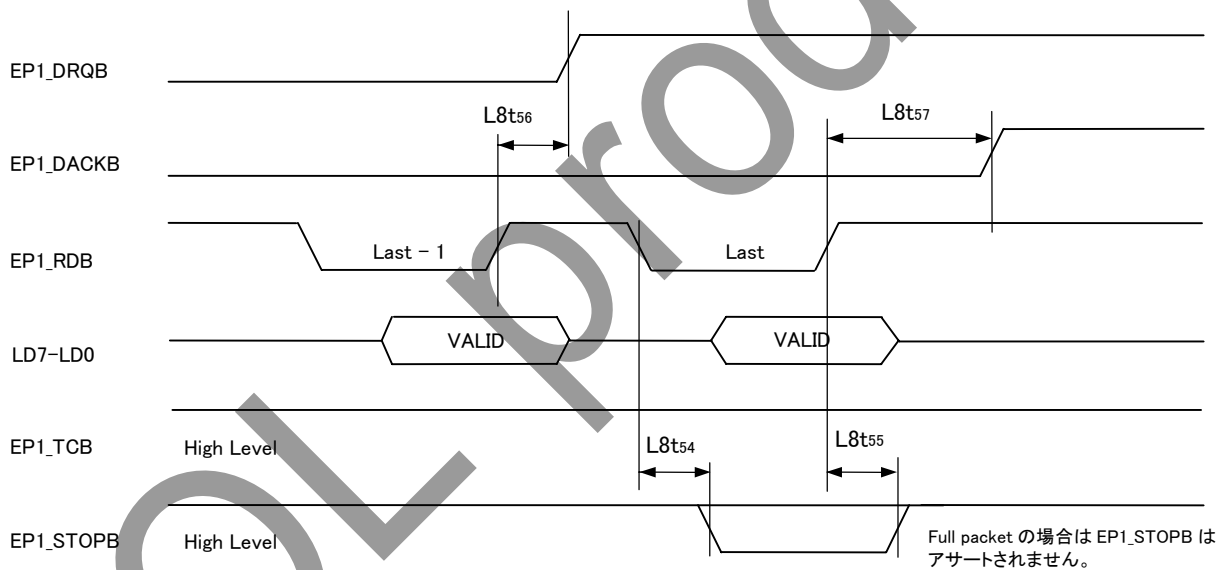
(全 体)



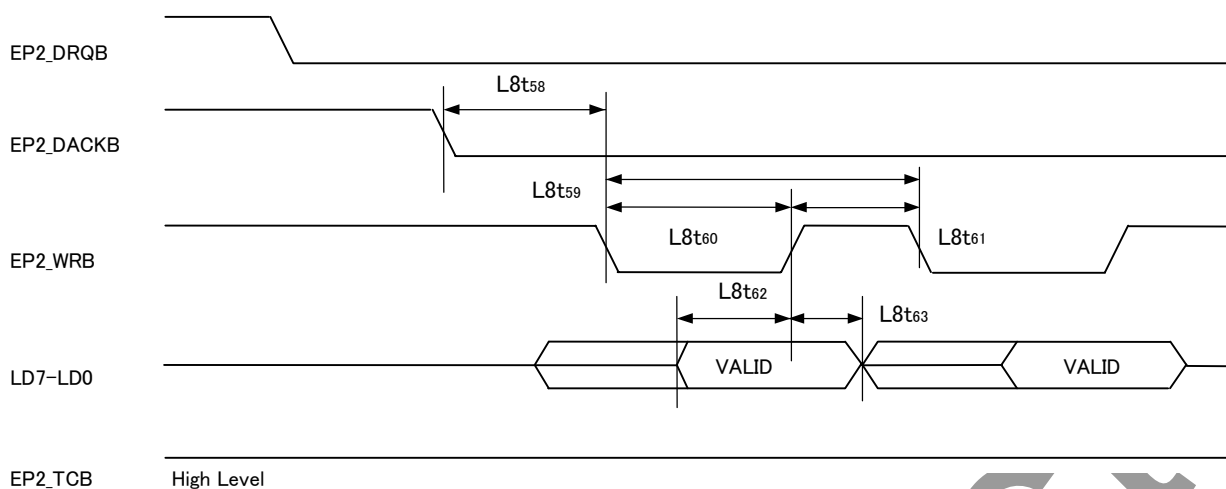
(スタート・タイミング)



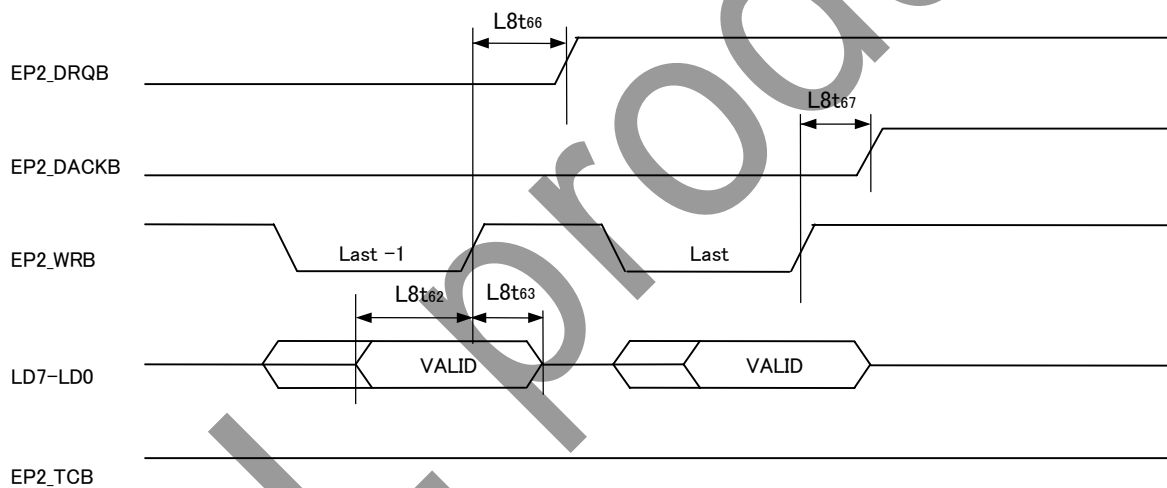
(エンド・タイミング)



(スタート・タイミング)



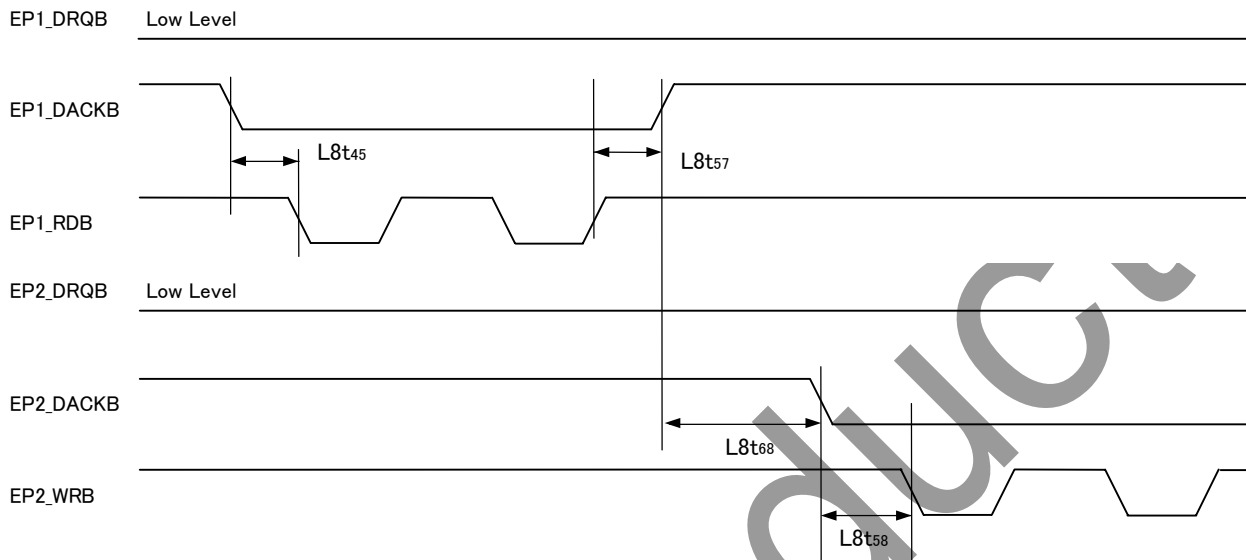
(エンド・タイミング)



(e) External Local Bus 8 bit モード DMA EP1_Read 転送 vs. EP2_Write 転送タイミング

略号	項目	MIN.	TYP.	MAX.	単位
L8t68	EP1_RDB vs. EP2_WRB コマンド・インアクティブ時間	34			ns

備考 外部端子容量は 15 pF を想定しています (データ・バスは 50 pF)。



11. 7. 5 USB interface timing

項目	略号	条件	MIN.	MAX.	単位
Full-speed Source Electrical Characteristics					
Rise time	t _{FR}	C _L = 50 pF, R _S = 36 Ω	4	20	ns
Fall time	t _{FF}	C _L = 50 pF, R _S = 36 Ω	4	20	ns
Differential rise and fall time matching	t _{FRFM}	(t _{FR} /t _{FF})	90	111.11	%
Full-speed data rate for hubs and devices which are high-speed capable	t _{FDRATHS}	Average bit rate	11.9940	12.0060	Mbps
Frame Interval	t _{FRAME}		0.9995	1.0005	ms
Consecutive frame interval jitter	t _{RFI}	No clock adjustment		42	ns
Source jitter total (including frequency tolerance):					
To next transition	t _{DJ1}		- 3.5	+ 3.5	ns
For paired transitions	t _{DJ2}		- 4.0	+ 4.0	ns
Source jitter for differential transition to SE0 transition	t _{FDEOP}		- 2	+ 5	ns
Receiver jitter:					
To next transition	t _{JR1}		- 18.5	+ 18.5	ns
For paired transitions	t _{JR2}		- 9	+ 9	ns
Source SE0 interval of EOP	t _{FEOPT}		160	175	ns
Receiver SE0 interval of EOP	t _{FEOPR}		82		ns
Width of SE0 interval during differential transition	t _{FST}			14	ns
High-speed Source Electrical Characteristics					
Rise time (10% - 90%)	t _{HSR}		500		ps
Fall time (10% - 90%)	t _{HSF}		500		ps
Driver waveform	☒ 11-6参照				
High-speed data rate	t _{HSDRAT}		479.760	480.240	Mbps
Microframe interval	t _{HSFRAM}		124.9375	125.0625	μs
Consecutive microframe interval difference	t _{HSRFI}			4 high-speed	Bit times
Data source jitter	☒ 11-9参照				
Receiver jitter tolerance	☒ 11-11参照				

項目	略号	条件	MIN.	MAX.	単位
Device Event Timings					
Time from internal power good to device pulling D+/D- beyond V_{IHZ} (min.) (signaling attach)	t_{SIGATT}			100	ms
Debounce interval provided by USB system software after attach	t_{ATTDB}			100	ms
Inter-packet delay (for low-/full-speed)	t_{IPD}		2		Bit times
Inter-packet delay for device response w/detachable cable for low-/full-speed	$t_{RSPIPD1}$			6.5	Bit times
High-speed detection start time from suspend	t_{SCA}		2.5		μs
Sample time for suspend vs reset	t_{CSR}		100	875	μs
Power down under suspend	t_{SUS}			10	ms
SUSPEND set time (SPNDOUT)	t_{SSP}		0	-	
SUSPEND clear time (RSUMOUT)	t_{CSP}		0	-	
Reversion time from suspend to high-speed	t_{RHS}			1.333	μs
SUSPEND setup time (RSUMIN)	t_{SRW}		0	-	
RSUMIN active pulse width	t_{RWP}		1	15	ms
Drive Chirp K width	t_{CKO}		1		ms
Finish Chirp K assertion	t_{FCA}			7	ms
Start sequencing Chirp K-J-K-J-K-J	t_{SSC}			100	μs
Finish sequencing Chirp K-J	t_{FSC}		- 500	- 100	μs
Detect sequencing Chirp K-J width	t_{CSI}		2.5		μs
Sample time for sequencing Chirp	t_{SCS}		1.0	2.5	ms
Reversion time to high-speed	t_{RHA}			500	μs
High-speed detection start time	t_{HDS}		2.5	3000	μs
Reset completed time	t_{DRS}		10		ms

図 11-6 Transmit waveform for transceiver at D+/D-

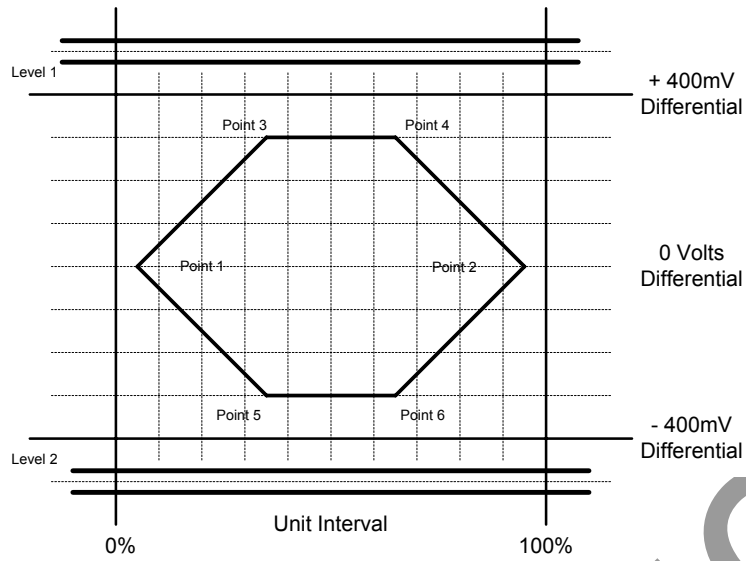
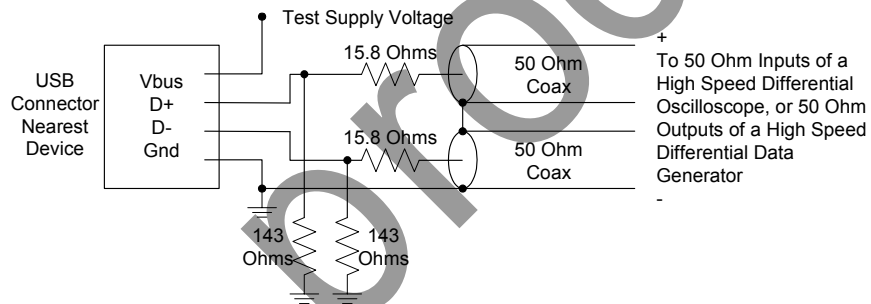
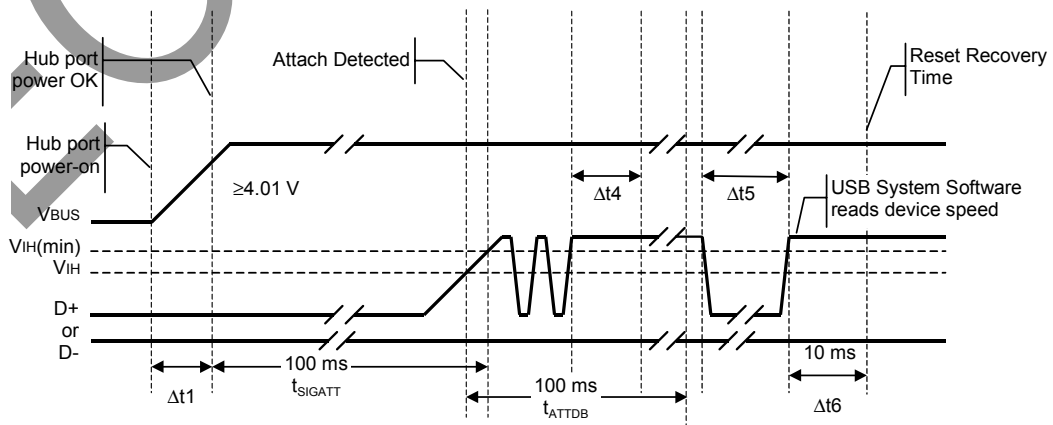


図 11-7 Transmitter Measurement Fixtures



(1) Power-on and Connection Events

図 11-8 Power-on and Connection Events Timing



(2) USB signals

図 11-9 USB Differential Data Jitter for Full-Speed

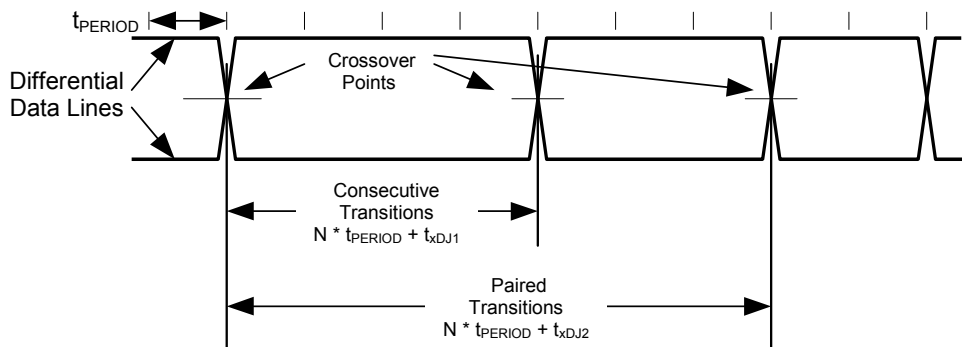


図 11-10 USB Differential-to-EOP Transition Skew and EOP Width for Full-Speed

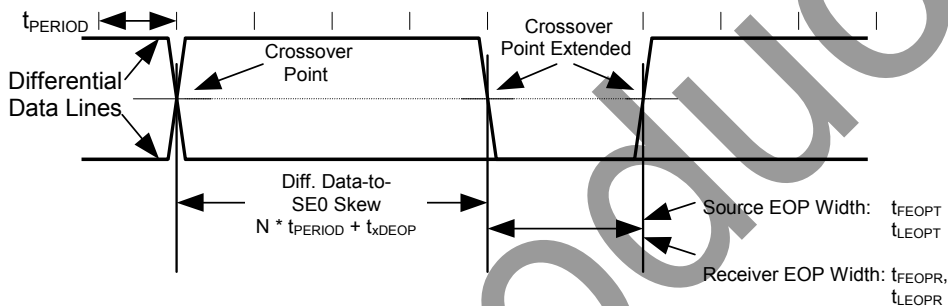
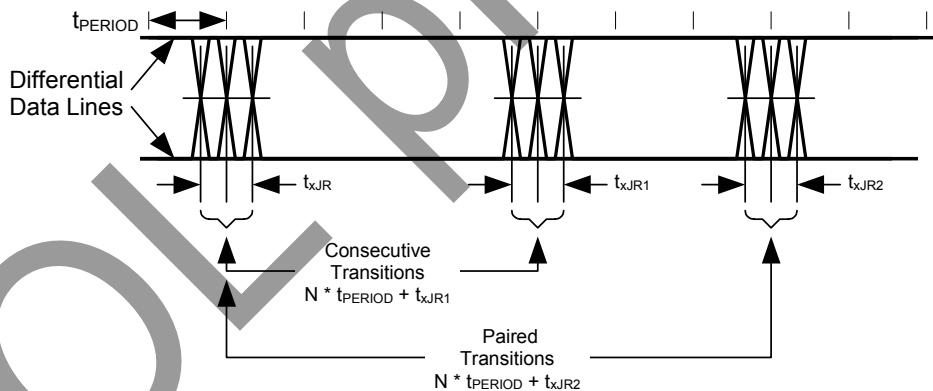


図 11-11 USB Receiver Jitter Tolerance for Full-Speed

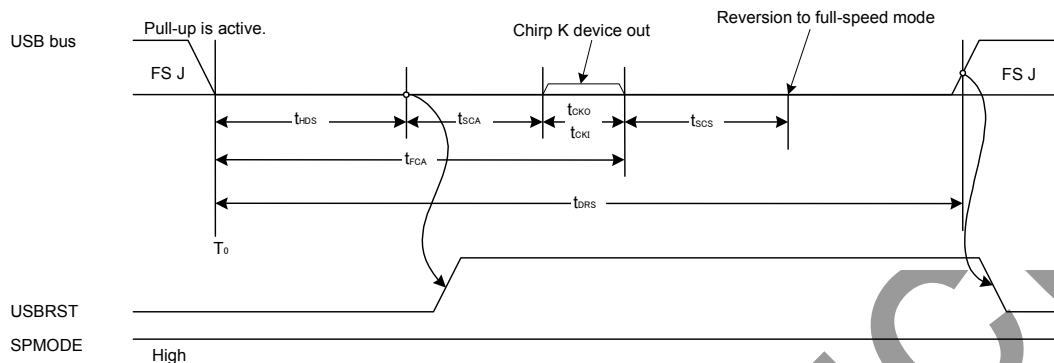


(3) USB connection sequence on USB1.1 Bus

The PHY Core implemented on the μ PD720122 automatically determines the Up port.

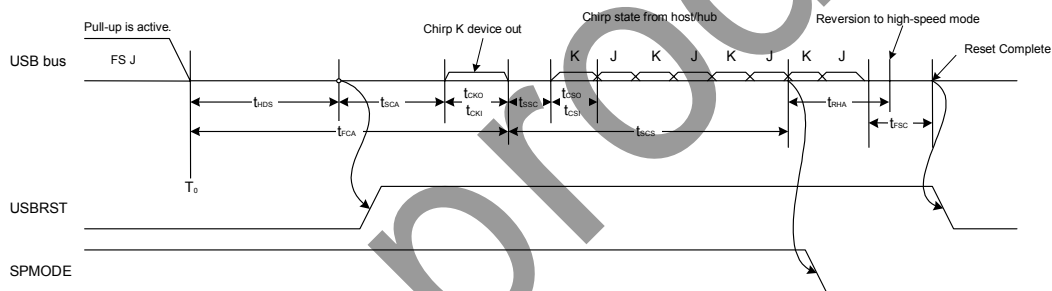
Check SP MODE bit of the Int Status 2 register after an EPC2_STG bus reset interrupt has occurred to determine whether the USB is connected to FS or HS.

図 11-12 USB connection sequence on USB1.1 Bus



(4) USB connection sequence on USB2.0 Bus

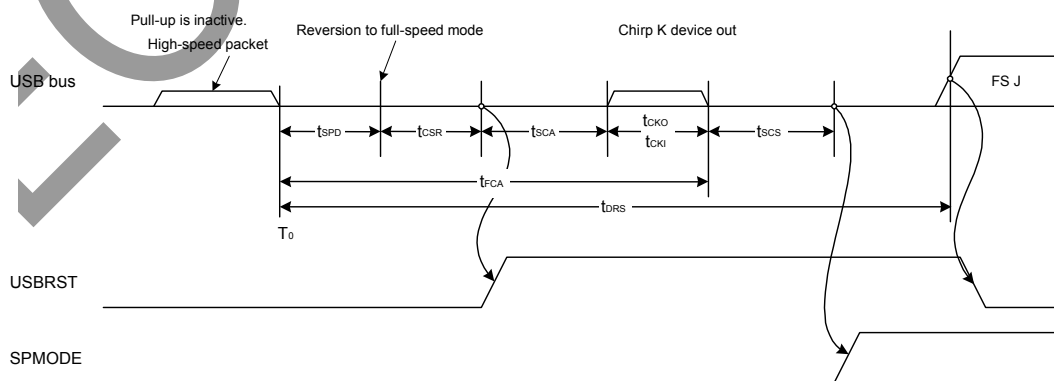
図 11-13 USB connection sequence on USB2.0 Bus



(5) Bus reset sequence (1)

The bus reset sequence when connected to a USB1.1 Bus is shown below.

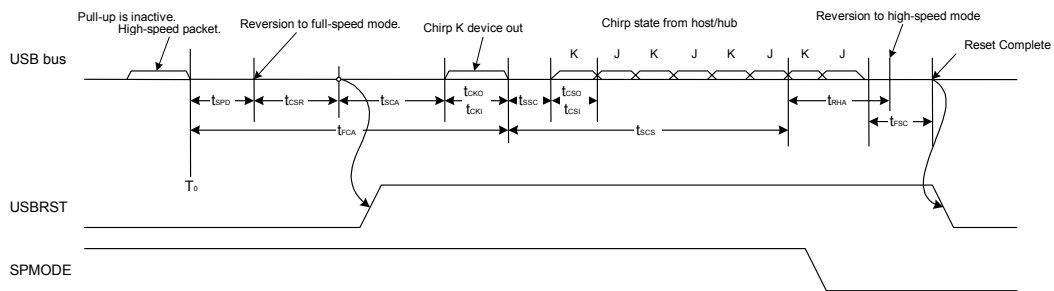
図 11-14 Bus reset sequence (1)



(6) Bus reset sequence (2)

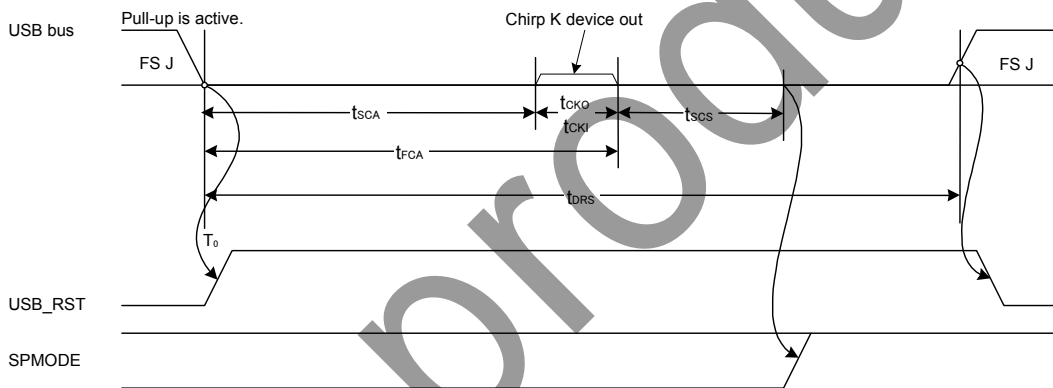
The bus reset sequence when connected to a USB2.0 Bus is shown below.

図 11-15 Bus reset sequence (2)



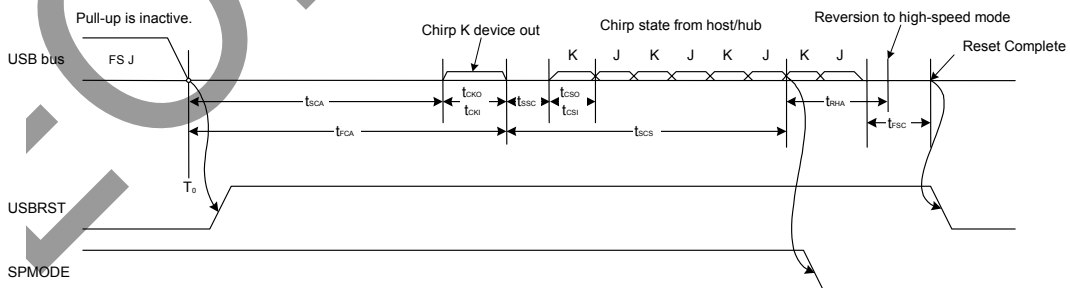
(7) USB reset from suspend state (1)

図 11-16 USB reset from suspend state (1)



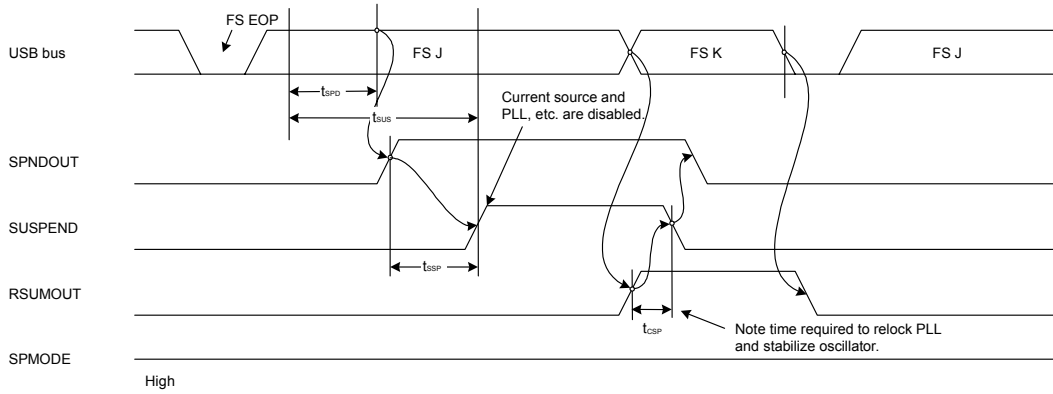
(8) USB reset from suspend state (2)

図 11-17 USB reset from suspend state (2)



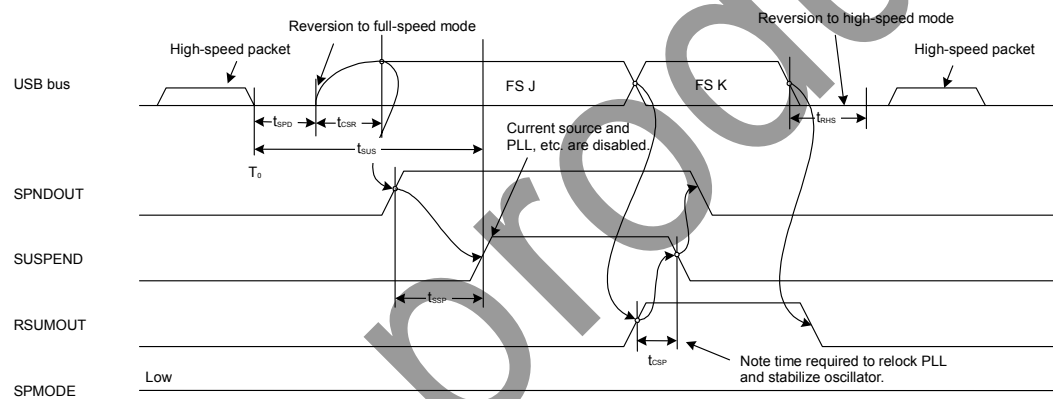
(9) Suspend and resume on USB1.1 Bus

図 11-18 Suspend and resume on USB1.1 Bus



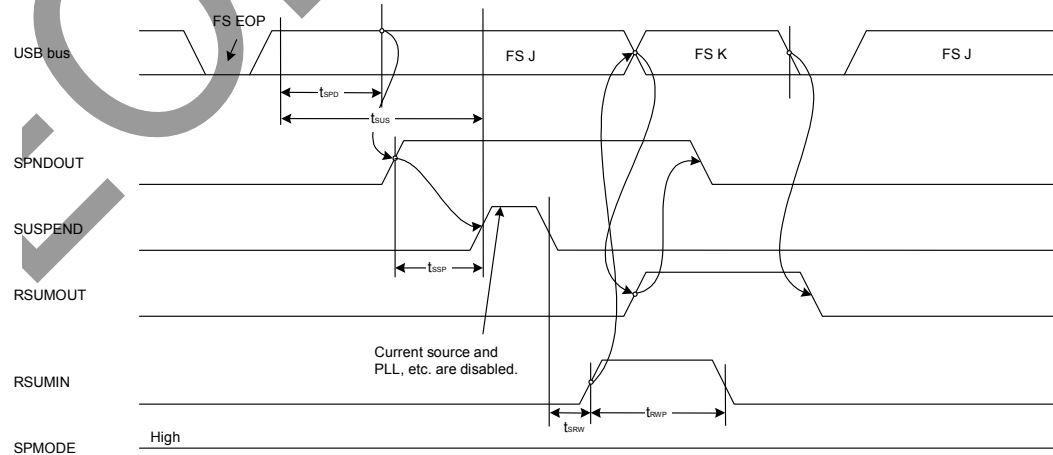
(10) Suspend and resume on USB2.0 Bus

図 11-19 Suspend and resume on USB2.0 Bus



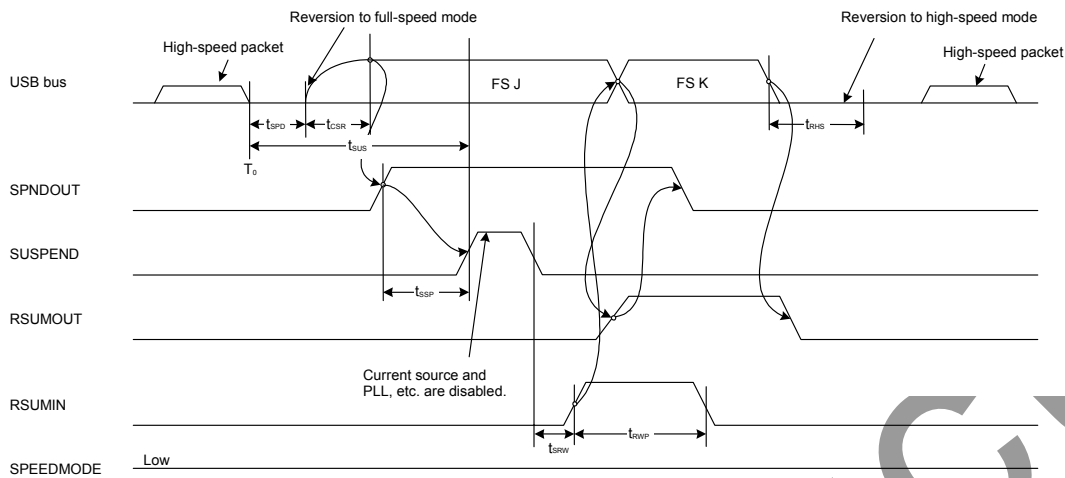
(11) Remote wake up on USB1.1

図 11-20 Remote wake up on USB1.1



(12) Remote wake up on USB2.0

図 11-21 Remote wake up on USB2.0

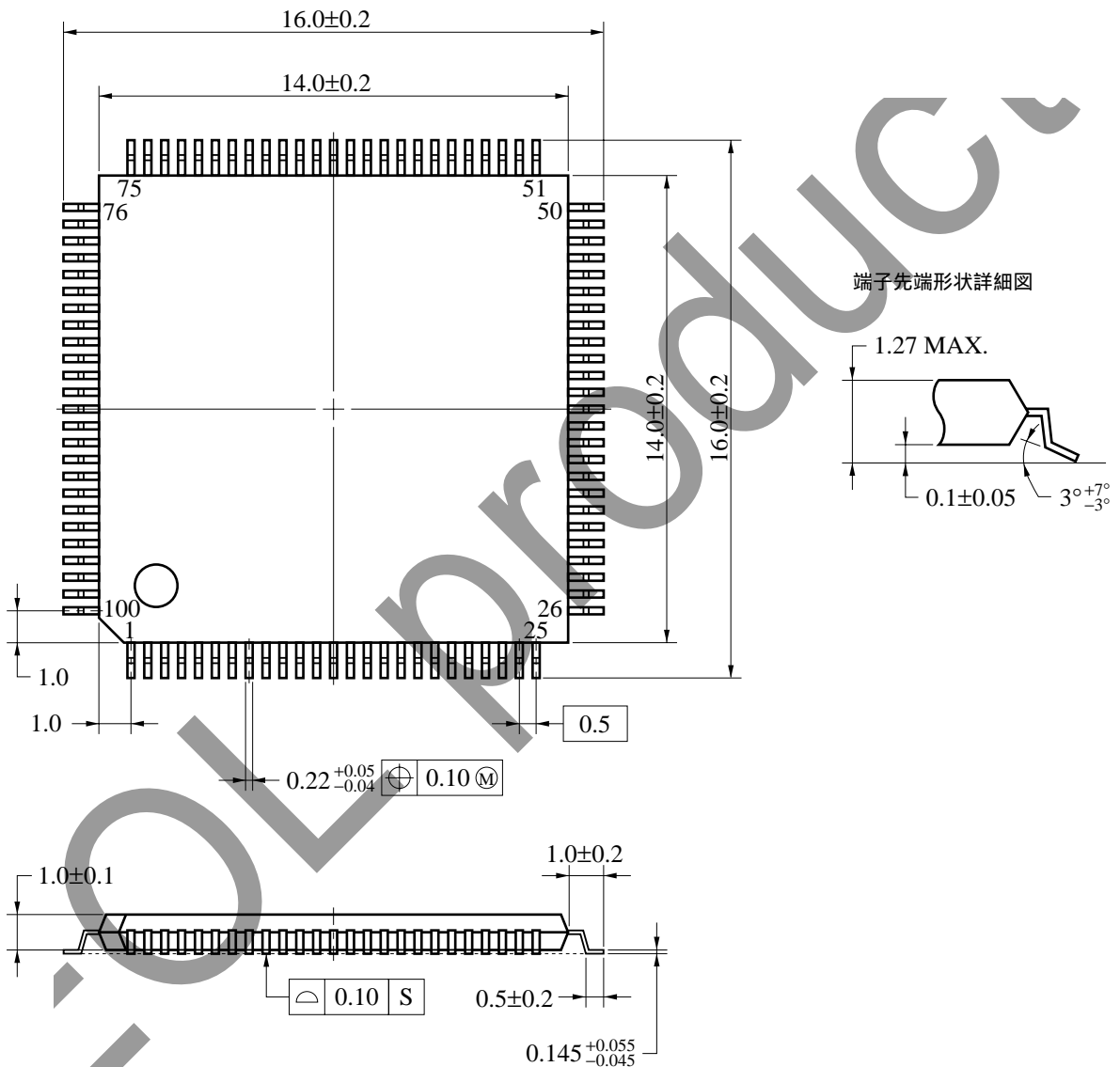


第12章 外形図

・ μ PD720122GC-9EU

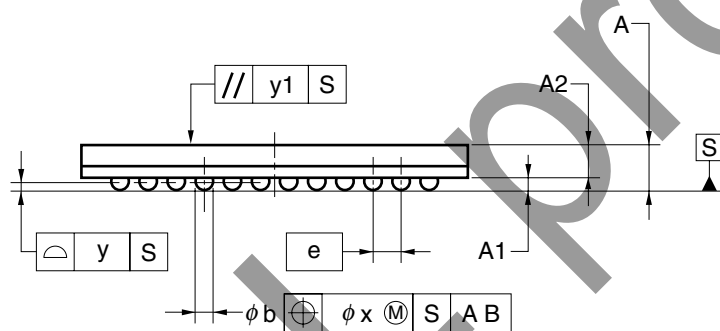
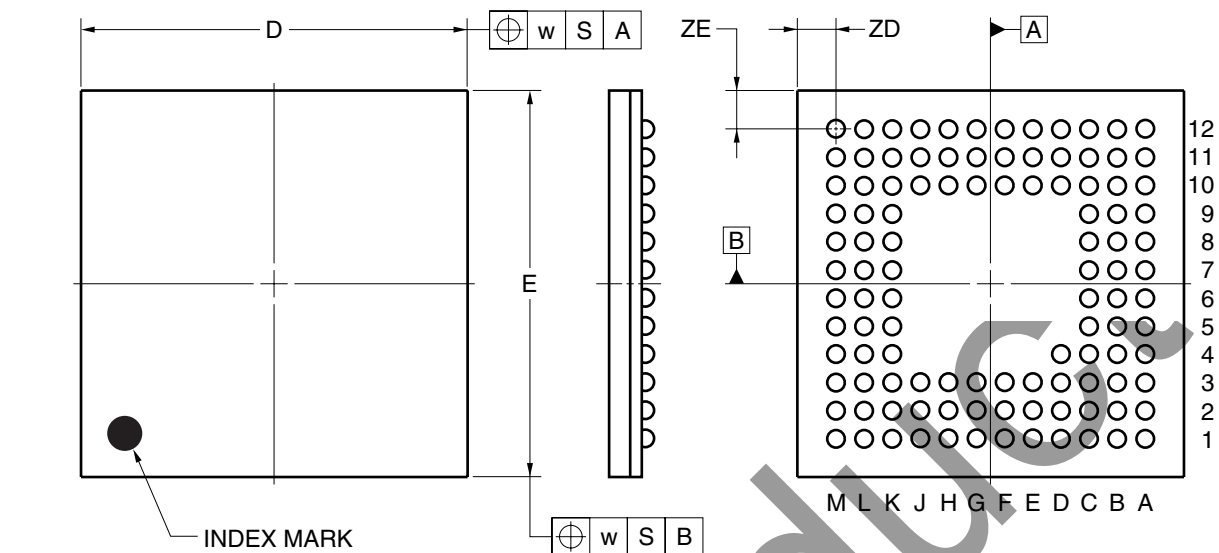
★ ・ μ PD720122GC-9EU-A

100ピン・プラスチック TQFP (ファインピッチ) (14x14) 外形図 (単位: mm)



S100GC-50-9EU-2

- ★ ・μ PD720122F1-DN2
- ★ ・μ PD720122F1-DN2-A
- ★ 109ピン・プラスチック FBGA (11x11) 外形図



(UNIT:mm)

ITEM	DIMENSIONS
D	11.00±0.10
E	11.00±0.10
w	0.20
A	1.28±0.10
A1	0.35±0.06
A2	0.93
e	0.80
b	0.50 ^{+0.05} _{-0.10}
x	0.08
y	0.10
y1	0.20
ZD	1.10
ZE	1.10

P109F1-80-DN2

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
