

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル（暫定

RENESAS

μPD6750(A)

ETC 車載器 DSRC 無線制御用 LSI

資料番号 S14919JJ1V0UM00 (第1版)
発行年月 July 2000 NS CP (K)

© NEC Corporation 2000

〔メモ〕

目 次 要 約

第 1 章 概 説 ...	11
第 2 章 端子機能 ...	17
第 3 章 機能説明 ...	19

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M5 98.8

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、 μ PD6750(A) (ETC 車載器用 DSRC 無線制御用 LSI) の機能を理解し、それを用いたアプリケーション・システムを設計しようとするエンジニアを対象としています。

このマニュアルを読むには、電気、論理回路の一般知識が必要です。

目的 このマニュアルは、 μ PD6750(A)の機能を理解していただくことを目的としています。

構成 このマニュアルは、次の内容で構成しています。

概 説

端子機能

機能説明

凡 例

データ表記の重み：左側が上位桁，右側が下位桁

アクティブ・ロウの表記： $\overline{\text{XXXX}}$ (端子名称，信号名称の上側に線)

メモリ・マップのアドレス：上部 - 下位，下部 - 上位

注：本文中につけた注の意味

注意：特に注意して読んでいただきたい内容

備考：本文中の補足説明

数の表記：2進数 ... xxxx または xxxxB
10進数 ... xxxx
16進数 ... xxxxH

関連資料 次の資料と併せてご利用ください。
関連資料は暫定版の場合がありますが，この資料では「暫定」の表記をしておりません。あらかじめご了承ください。

資料名	資料番号
ペーパー・マシン	S14829J
アプリケーション・ノート	作成予定

〔メモ〕

目 次

第 1 章 概 説 ... 11

- 1.1 概 要 ... 11
- 1.2 特 徴 ... 11
- 1.3 オーダ情報 ... 12
- 1.4 ブロック図 ... 13
- 1.5 端子接続図 (Top View) ... 14

第 2 章 端子機能 ... 17

第 3 章 機能説明 ... 19

- 3.1 クロック再生, マンチェスタ復号化, スロット同期 ... 19
 - 3.1.1 クロック再生, マンチェスタ復号化 ... 19
 - 3.1.2 スロット同期 ... 19
- 3.2 割り込み制御 ... 21
 - 3.2.1 INTSLOT 出力 (スロット割り込み) ... 21
 - 3.2.2 受信レベル監視 ... 21
 - 3.2.3 PLL アラーム処理 ... 22
- 3.3 受信ブロック, 受信コントロール ... 23
 - 3.3.1 FCMC 受信 ... 23
 - 3.3.2 MDC, ACKC 受信 ... 23
 - 3.3.3 受信側 DPRAM, メモリ・マップト I/O ... 24
- 3.4 送信ブロック, 送信コントロール ... 25
 - 3.4.1 送信条件制御 ... 25
 - 3.4.2 送信 MDC 生成 ... 25
 - 3.4.3 送信 ACKC 生成 ... 26
 - 3.4.4 送信 ACTC 生成 ... 26
 - 3.4.5 送信 WCNC 生成 ... 26
 - 3.4.6 送信側 DPRAM, メモリ・マップト I/O ... 27
- 3.5 RF モジュール・コントロール ... 28
 - 3.5.1 周波数サーチ機能 ... 28
 - 3.5.2 送受 1 系統 RF モジュール用アンテナ切り替え制御 ... 29
- 3.6 メモリ・マップト I/O, DPRAM インタフェース ... 32
 - 3.6.1 メモリ・マップト I/O インタフェース ... 32
 - 3.6.2 DPRAM ... 38
- 3.7 試験機能 ... 52

図の目次

図番号	タイトル, ページ
1 - 1	路車間情報交換概要 ... 11
3 - 1	クロック再生ブロック ... 19
3 - 2	UW 検出ブロック ... 19
3 - 3	スロット割り込みの出力 ... 21
3 - 4	MDS 受信制御 ... 30
3 - 5	MDS 送信制御 ... 30
3 - 6	ACTC 送信制御 ... 31
3 - 7	WCNC 送信制御 ... 31

表の目次

表番号	タイトル, ページ
3 - 1	送信 I/O 空間周波数サーチ・モード設定部 ... 29

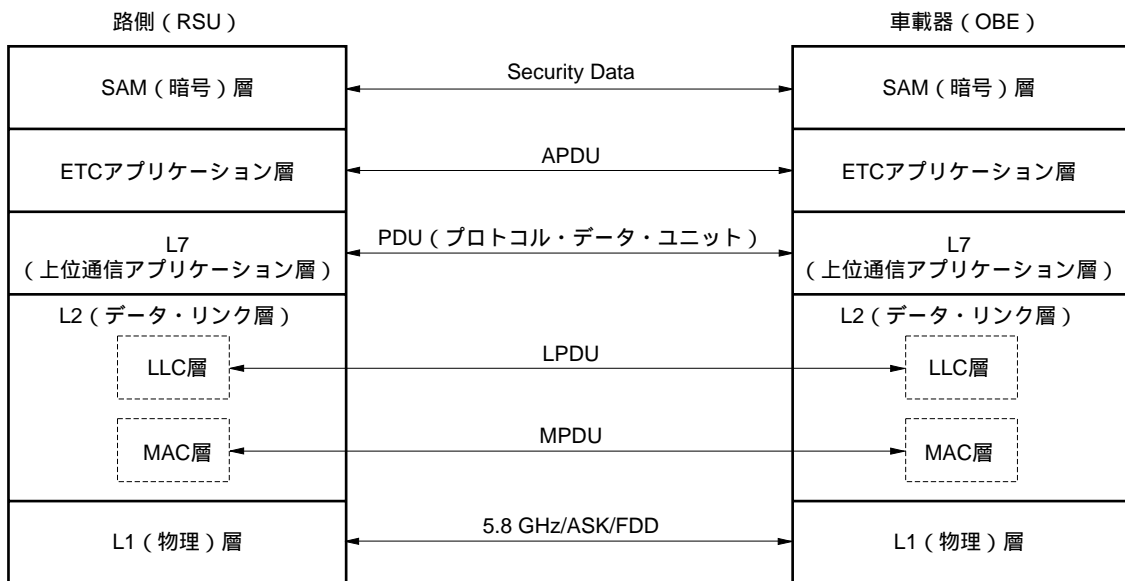
第1章 概 説

1.1 概 要

μ PD6750(A)は、ETC（ノンストップ自動料金収受システム）の車載器において DSRC（狭域通信）の L2 層である MAC 副層の機能を行うことを目的とした CMOS LSI です。 μ PD6750(A)は、DSRC 下位の L1 層（物理層）である RF モジュールと、上位 L2-LLC 副層 / L7 層および ETC アプリケーション層として機能するコントロール CPU との間において通信 / 制御情報のインタフェースを行います。無線通信方式は TDMA/FDD 方式とし、キャリア周波数間隔は 10 MHz、変調方式は ASK、伝送速度は 1.024 Mbps、符号化方式はマンチェスタ符号を用います。

ETC アプリケーションの層構成と路車間における各層の情報交換の概要を図 1 - 1 に示します。

図 1 - 1 路車間情報交換概要



1.2 特 徴

低電圧動作，低消費電力：Vcc = 3.3 V，40 mW

車載器仕様

デジタル PLL 回路内蔵

汎用 RF モジュール・インタフェース：送受 2 系統および送受 1 系統切り替え式 RF モジュールと接続可能

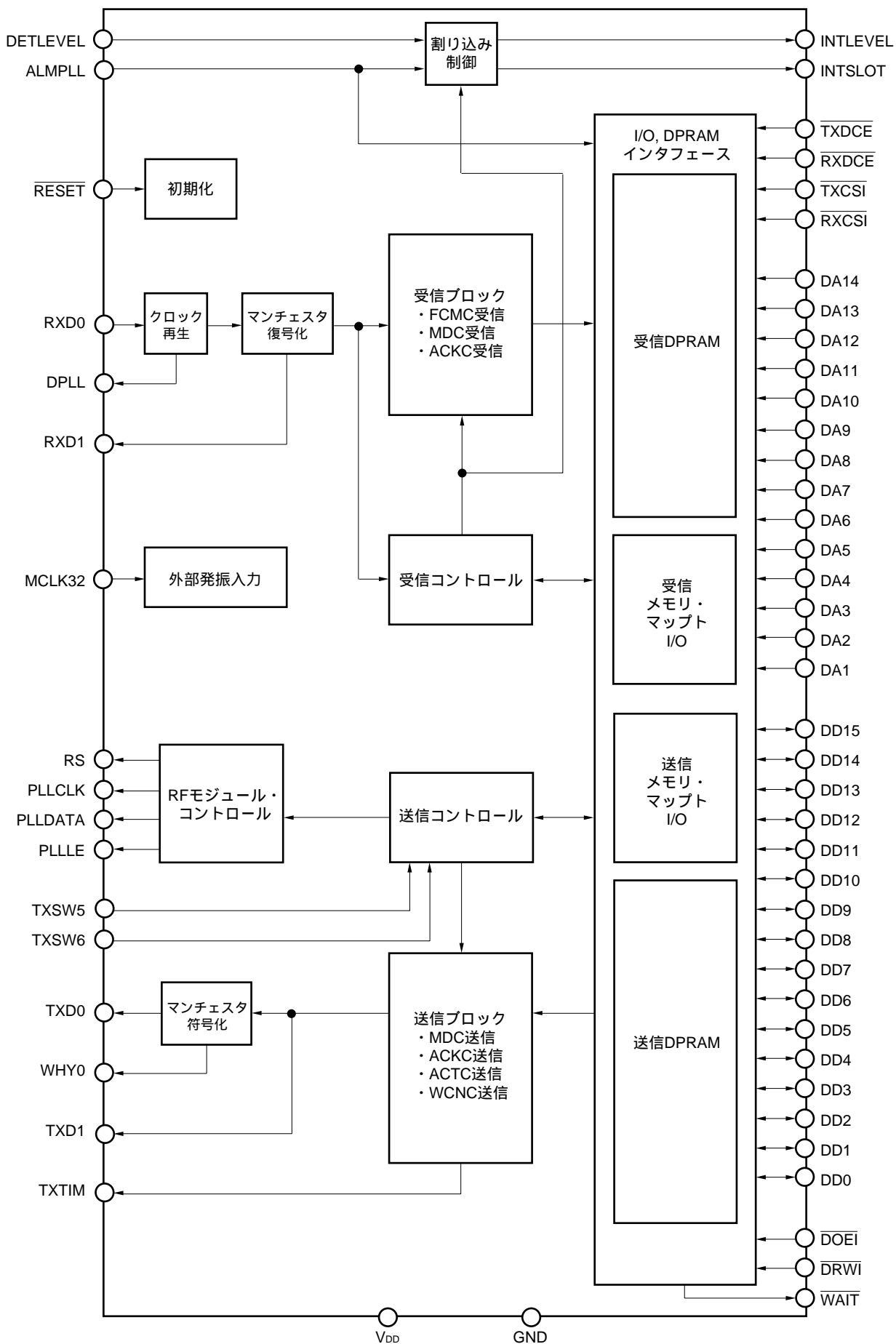
汎用 CPU インタフェース：内蔵 DPRAM およびメモリ・マップト I/O

1.3 オーダ情報

オーダ名称	パッケージ	品質水準
μ PD6750GC(A)-3B9	80 ピン・プラスチック QFP (14 × 14)	特別 (高信頼性電子機器用)

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

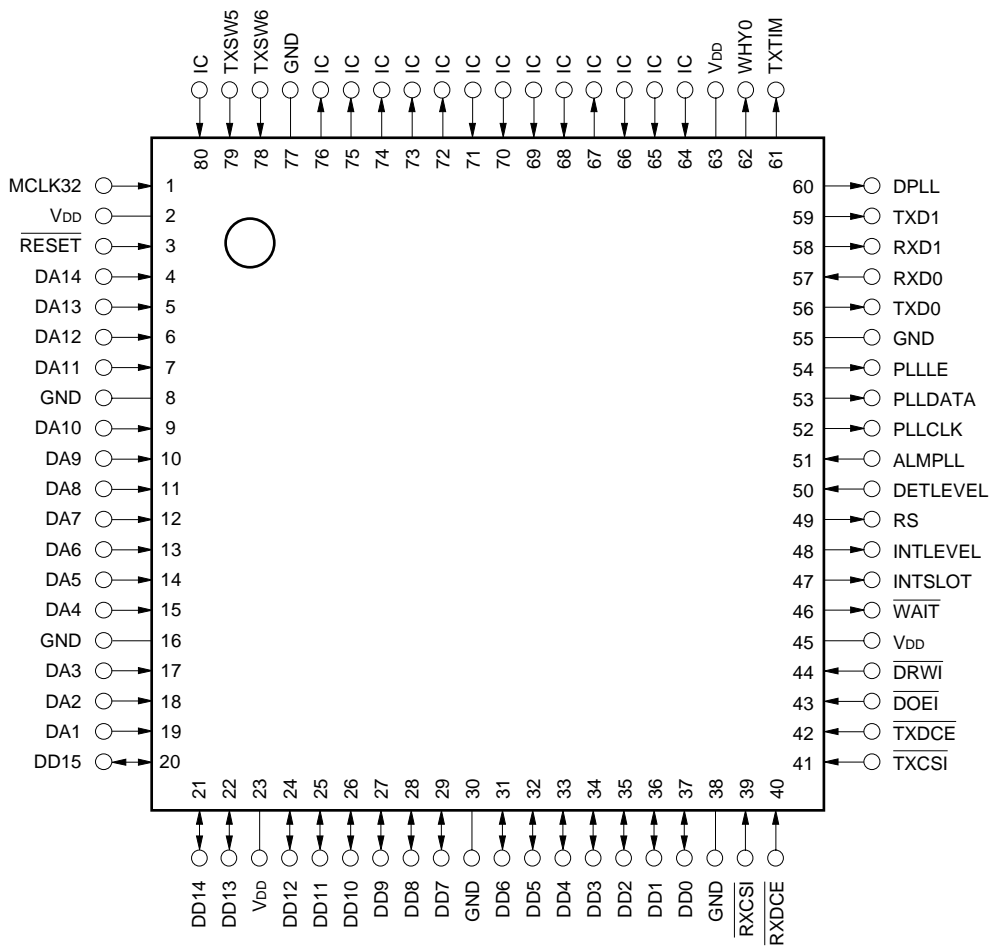
1.4 ブロック図



1.5 端子接続図 (Top View)

・ 80 ピン・プラスチック QFP (14 × 14)

μ PD6750GC(A)-3B9



ALMPLL	: PLL Synthesizer Alarm
DA1-DA14	: Address
DD0-DD15	: Data
DETLEVEL	: Field Detect
$\overline{\text{DOEI}}$: Output Enable
DPLL	: Recovery Clock
$\overline{\text{DRWI}}$: Write
GND	: Ground
IC	: Internally Connected
INTLEVEL	: Level Interrupt
INTSLOT	: Slot Interrupt
MCLK32	: System Clock
PLLCLK	: PLL Synthesizer Clock
PLLDATA	: PLL Synthesizer Data
PLLLE	: PLL Synthesizer Load Enable
$\overline{\text{RESET}}$: Reset
RS	: Receive/Transmit Select
$\overline{\text{RXCSI}}$: Receive I/O Select
RXD0, RXD1	: Receive Data
$\overline{\text{RXDCE}}$: Receive DPRAM Select
$\overline{\text{TXCSI}}$: Transmit I/O Select
TXD0, TXD1	: Transmit Data
$\overline{\text{TXDCE}}$: Transmit DPRAM Select
TXSW5	: All 1 Output
TXSW6	: PN Output
TXTIM	: Transmit Frame Pulse
VDD	: Power Supply
$\overline{\text{WAIT}}$: Wait
WHY0	: Transmit Clock

[メモ]

第2章 端子機能

端子番号	端子名	入出力	機 能	入出力形式	リセット時
1	MCLK32	入力	システム・クロック (32.768 MHz)	CMOS 入力	入力
2	V _{DD}	-	正電源供給	-	-
3	RESET	入力	ハードウェア・リセット	CMOS 入力	入力
4	DA14	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
5	DA13	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
6	DA12	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
7	DA11	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
8	GND	-	グラウンド	-	-
9	DA10	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
10	DA9	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
11	DA8	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
12	DA7	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
13	DA6	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
14	DA5	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
15	DA4	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
16	GND	-	グラウンド	-	-
17	DA3	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
18	DA2	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
19	DA1	入力	DPRAM/メモリ・マップト I/O アドレス・バス	CMOS 入力	入力
20	DD15	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
21	DD14	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
22	DD13	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
23	V _{DD}	-	正電源供給	-	-
24	DD12	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
25	DD11	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
26	DD10	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
27	DD9	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
28	DD8	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
29	DD7	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
30	GND	-	グラウンド	-	-
31	DD6	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
32	DD5	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
33	DD4	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
34	DD3	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
35	DD2	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
36	DD1	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
37	DD0	入出力	DPRAM/メモリ・マップト I/O データ・バス	CMOS 入出力	入力
38	GND	-	グラウンド	-	-
39	RXC _{SI}	入力	受信側メモリ・マップト I/O セレクト	CMOS 入力	入力
40	RXD _{CE}	入力	受信側 DPRAM セレクト	CMOS 入力	入力

端子番号	端子名	入出力	機能	入出力形式	リセット時
41	$\overline{\text{TXCSI}}$	入力	送信側メモリ・マップト I/O セレクト	CMOS 入力	入力
42	$\overline{\text{TXDCE}}$	入力	送信側 DPRAM セレクト	CMOS 入力	入力
43	$\overline{\text{DOEI}}$	入力	DPRAM/メモリ・マップト I/O アウトプット・イネーブル	CMOS 入力	入力
44	$\overline{\text{DRWI}}$	入力	DPRAM/メモリ・マップト I/O ライト	CMOS 入力	入力
45	V _{DD}	-	正電源供給	-	-
46	$\overline{\text{WAIT}}$	出力	CPU WAIT 信号	CMOS 出力	ハイ・レベル
47	INTSLOT	出力	CPU スロット割り込み	CMOS 出力	ロウ・レベル
48	INTLEVEL	出力	RSSI レベル割り込み	CMOS 出力	ロウ・レベル
49	RS	出力	RF モジュール送受切り替え信号	CMOS 出力	ロウ・レベル
50	DETLEVEL	入力	RF モジュール電界検出入力 (シュミット)	CMOS 入力	入力
51	ALMPLL	入力	RF モジュール PLL シンセサイザ・アラーム	CMOS 入力	入力
52	PLLCLK	出力	RF モジュール PLL シンセサイザ・クロック	CMOS 出力	ロウ・レベル
53	PLLDATA	出力	RF モジュール PLL シンセサイザ・データ	CMOS 出力	ロウ・レベル
54	PLLLE	出力	RF モジュール PLL シンセサイザ・ロード・イネーブル	CMOS 出力	ロウ・レベル
55	GND	-	グラウンド	-	-
56	TXD0	出力	マンチェスタ符号化 2 Mbps 送信データ	CMOS 出力	ロウ・レベル
57	RXD0	入力	マンチェスタ符号化 2 Mbps 受信データ	CMOS 入力	入力
58	RXD1	出力	1 Mbps 受信データ (マンチェスタ復号化後)	CMOS 出力	ロウ・レベル
59	TXD1	出力	1 Mbps 送信データ (マンチェスタ符号化前)	CMOS 出力	ロウ・レベル
60	DPLL	出力	リカバリ・クロック出力 (1.024 MHz)	CMOS 出力	ロウ・レベル
61	TXTIM	出力	送信フレーム・パルス	CMOS 出力	ロウ・レベル
62	WHY0	出力	送信側 1.024 MHz クロック出力	CMOS 出力	ロウ・レベル
63	V _{DD}	-	正電源供給	-	-
64	IC	入力	(プルダウン)	-	-
65	IC	入力	(プルダウン)	-	-
66	IC	入力	(プルダウン)	-	-
67	IC	出力	(オープン)	-	-
68	IC	入力	(プルダウン)	-	-
69	IC	入力	(ロウ・レベル固定)	-	-
70	IC	入力	(ロウ・レベル固定)	-	-
71	IC	入力	(ロウ・レベル固定)	-	-
72	IC	出力	(オープン)	O.D.	Hi-Z
73	IC	出力	(オープン)	O.D.	Hi-Z
74	IC	出力	(オープン)	O.D.	Hi-Z
75	IC	出力	(オープン)	O.D.	Hi-Z
76	IC	出力	(オープン)	O.D.	Hi-Z
77	GND	-	グラウンド	-	-
78	TXSW6	入力	L: 通常動作, H: PN 出力	CMOS 入力	入力
79	TXSW5	入力	L: 通常動作, H: ALL 1 出力	CMOS 入力	入力
80	IC	入力	(ハイ・レベルまたはロウ・レベル固定)	CMOS 入力	入力

備考 O.D. : オープン・ドレーン

Hi-Z : ハイ・インピーダンス

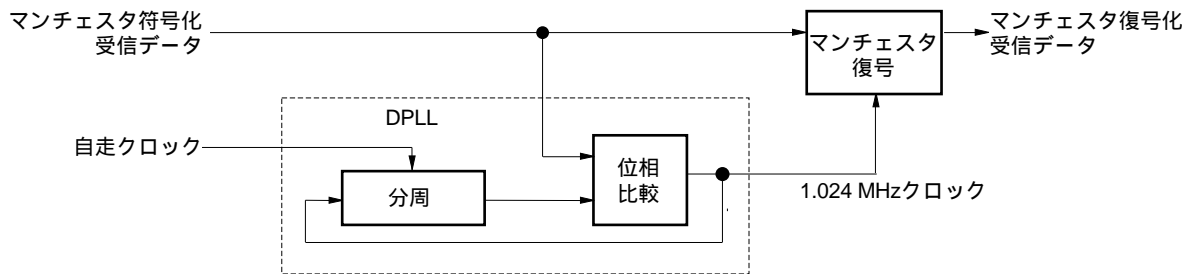
第3章 機能説明

3.1 クロック再生，マンチェスタ復号化，スロット同期

3.1.1 クロック再生，マンチェスタ復号化

受信データに同期した 1.024 MHz クロックを生成し，内部自走 1.024 MHz クロックの位相を同期させます。受信データのマンチェスタ復号を行います。

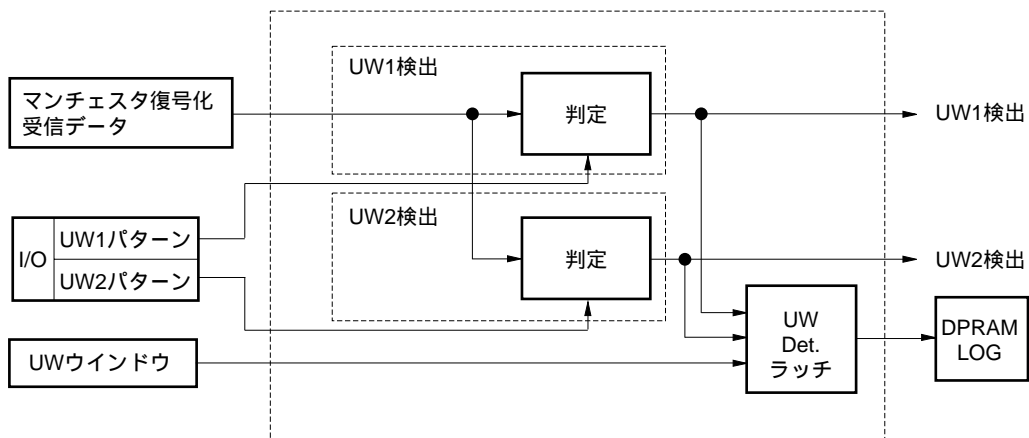
図 3-1 クロック再生ブロック



3.1.2 スロット同期

受信データから UW パターンを検出して UW 検出信号を出力し，スロット同期をとります。検出条件は全ビット一致です。

図 3-2 UW 検出ブロック



UW1を検知すると、 μ PD6750(A)は次に示す処理を行います。

- ・ 周波数サーチ制御を停止し、キャリア周波数を固定する。
- ・ 受信 FCMC データを受信 DPRAM の FCMC データ領域に書き込む。
- ・ FCMC データの CRC チェックを行う。
- ・ UW1 検出結果および CRC 判定結果を受信 DPRAM の LOG 領域に書き込む。
- ・ 受信メモリ・マップト I/O の「シーケンシャル番号」を更新する。
- ・ コントロール CPU にスロット割り込み信号を出力する。

3.2 割り込み制御

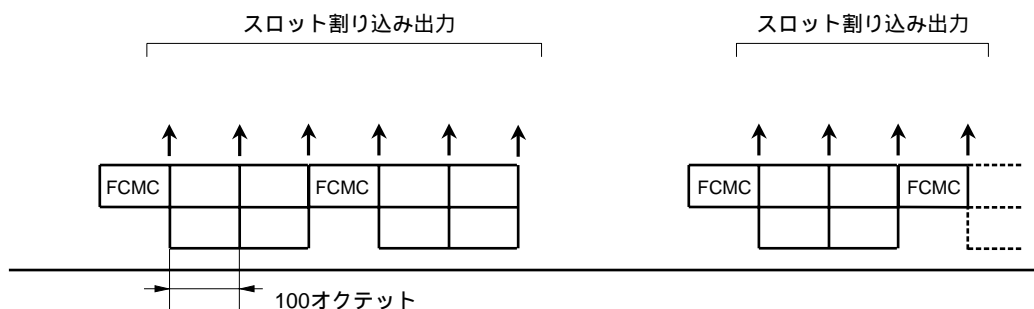
3.2.1 INTSLOT 出力 (スロット割り込み)

メモリ・マップト I/O に対し、外部より送 / 受信 STOP 送 / 受信 START を設定すると、最初に正常受信した FCMC およびそれに続く各スロットの終わりのタイミングでスロット割り込みを出力します。以後、FCMC を受信することにビット同期を取り、FCMC および後続スロットの最後でスロット割り込みを出力します。

通信制御の途中で任意のフレームの FCMC が正常に受信されなかった場合は、1 つ前に正常受信したフレームの FCMC を基点にして 100 オクテット (= 1 スロット) ごとにスロット出力を続けます (自走スロット割り込み)。

メモリ・マップト I/O に送 / 受信 STOP を書き込むとスロット割り込みは停止します。

図 3-3 スロット割り込みの出力



送 / 受信 STOP 送 / 受信 START 書き込み

第 1FCMC 正常受信の終わり

同一フレーム内の後続スロットの終わり

第 2FCMC 正常受信の終わり (正常受信できなかった場合は、 を基点として 100 オクテットごとにスロット割り込み出力を続ける)

後続スロットの終わり

送 / 受信 STOP を設定、以後スロット割り込み停止

送 / 受信 START 書き込み

第 1FCMC 正常受信の終わり

同一フレーム内の後続スロットの終わり

第 2FCMC 正常受信の終わり

3.2.2 受信レベル監視

RF モジュールが路側無線装置のビーコン信号電界レベルを検知し、レベル検知信号 (RSSI) を出力する場合は、 μ PD6750(A)はシュミット・バッファにて受信し、受信メモリ・マップト I/O の「PLL アラーム/RSSI レベル検出」の D4 ビットをセットし、コントロール CPU にレベル割り込みを出力します。

3.2.3 PLL アラーム処理

RF モジュールから PLL アラームを受信すると μ PD6750(A)は受信メモリ・マップト I/O の「PLL アラーム/RSSI レベル検出」の D0 ビットをセットし、PLL アラーム・マスク時間経過後にコントロール CPU にスロット割り込みを出力します。

次に PLL アラーム発生時の μ PD6750(A)の動作を示します。

- PLL アラームを ALMPLL 端子にて検出。
- 送信データをロウ・レベル固定にして送信を停止。
- 受信メモリ・マップト I/O の「PLL アラーム/RSSI レベル検出」の D0 ビットをセット。
- PLL アラーム・マスク時間経過後にスロット割り込みを外部 CPU などに出力。

備考 DETLEVEL (RSSI) 入力および ALMPLL (PLL アラーム) 入力は、2 値化信号入力に対応します。

3.3 受信ブロック，受信コントロール

3.3.1 FCMC 受信

- ・ 受信した FCMC の内容を解析し，フレーム長 / スロット種別の判定を行う。
- ・ 自局の LID と受信データの LID を比較する。
- ・ FCMC 受信データを受信 DPRAM の FCMC データ領域に書き込む。
- ・ FCMC 受信データの CRC チェックを行う。結果を受信 DPRAM の LOG 領域に書き込む。
- ・ 受信メモリ・マップト I/O の「シーケンシャル番号」を更新する。
- ・ 受信 FCMC 内のデータ [TRI], [TDI], [CM], [SLN], [CI], [LID] を抽出し，FCMC 受信ブロック内部レジスタに保持する。

3.3.2 MDC, ACKC 受信

受信した FCMC データを解析し，自局の LID と同一のダウンリンク MDS データが存在する場合は，この MDC データにデスクランブル，CRC チェック，ACK/NAK 判定処理を行います。

- ・ デスクランブル

LID の下位 16 ビットのビット反転パターンを初期値とし，かつ生成多項式 $1 + X + X^3 + X^{12} + X^{16}$ により符号化されたデータとみなして復号化する。

- ・ CRC チェック

受信 MDC データに対する CRC チェックを行い，結果を受信 DPRAM の LOG 領域に書き込む。かつ受信メモリ・マップト I/O の「シーケンシャル番号」を更新する。

- ・ ACK/NAK 判定

内部 ACK/NAK フラグを次に示す条件に基づいて設定する。

ACK 条件 = 条件 かつ かつ かつ

条件 1 : 受信 FCMC の該当する [CI] 内の ST が 111 (通常) または 000 (優先) であること。

条件 2 : 受信 MDC 内の FRG および C/L の関係が次の組み合わせであること。

FRG	C/L	結果
0	0	ACK
0	1	ACK
1	0	ACK
1	1	NAK

条件 3 : 受信 MDC 内の LI が 1 以上 65 以下の値であること。

条件 4 : 受信 MDC の CRC チェック結果が正常であること。

受信 MDC データを MPDU フォーマットで受信 DPRAM の MDC 領域にセットします。内部の DPRAM アクセスは LSB ファーストです。

自局の LID と同一のダウンリンク MDS 内の ACKC を受信し，CRC チェックを行い，結果を ACK/NAK 受信結果とともに受信 DPRAM の LOG 領域に書き込みます。

3.3.3 受信側 DPRAM, メモリ・マップト I/O

- ・ スロットごとの受信データを受信 DPRAM にセットする。DPRAM アクセスは LSB ファースト。
- ・ LOG 領域データ・セットの際, LOG アドレスを受信メモリ・マップト I/O の「シーケンシャル番号」に出力する。
- ・ 受信メモリ・マップト I/O に外部設定されたフラグに基づき, 受信制御を行う。

3.4 送信ブロック, 送信コントロール

車載器側が同期状態となり, 外部から受信メモリ・マップト I/O に「SYNC」フラグをセットすることにより送信制御を開始します。

3.4.1 送信条件制御

時分割対応の送信タイミング制御を行います。受信 FCMS からスロット情報を解読して MDS, ACTS および WCNS の送信タイミングを生成します。

(1) MDS 送信タイミング生成

受信 FCMS 内のスロット情報 [CI] を解読して次の条件に該当するスロット情報を検出し, かつそのリンク・アドレス LID が自局の LID と同一であるとき, MDS 送信制御を行います。

条件 : SI ビット= 00 (MDS として割り付け)

条件 : ST ビット= 111 (通常), 000 (優先) または 100 (アイドル)

条件 : DR ビット= 1 (アップリンク)

(2) ACTS 送信タイミング生成

受信 FCMS 内のスロット情報 [CI] を解読して次の条件に該当するスロット情報を検出したとき, ACTS 送信制御を行います。

条件 : SI ビット= 11 (ACTS として割り付け)

条件 : ACPI ビット= 1 (送信許可)

(3) WCNS 送信タイミング生成

受信 FCMS 内のスロット情報 [CI] を解読して次の条件に該当するスロット情報を検出し, かつそのリンク・アドレス LID が自局の LID と同一であるとき, WCNS 送信制御を行います。

条件 : SI ビット= 10 (WCNS として割り付け)

条件 : ST ビット= 111 (通常) または 000 (優先)

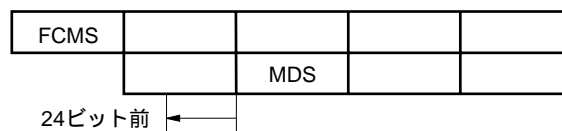
条件 : DR ビット= 1 (アップリンク)

3.4.2 送信 MDC 生成

コントロール CPU は μ PD6750(A) の初期設定時に UW2 ビット・パターンを送信メモリ・マップト I/O に書き込みます。

また 送信データを MPDU (MAC 制御フィールド + LPDU) 形式にて送信 DPRAM の MDC データ領域 (MDC#0) に書き込み, 送信メモリ・マップト I/O の「MDC 送信許可」の MDC#0 フラグ (D0) をセットします。

送信データおよび送信許可フラグを設定するタイミングは, MDS スロット送信開始の 24 ビット前までです。



このとき μ PD6750(A)は、次に示す手順により MDC データを構成、出力します。

- ・ 送信 DPRAM から送信用 MPDU データを読み出し、CRC 計算を行って結果を MPDU の後ろに付加する。DPRAM アクセスは LSB ファースト。
- ・ LPDU + CRC 部に対しデータ・スクランブル処理を行う。
- ・ PR とともに PR + UW2 + MAC + (LPDU + CRC) スクランブル化として配列して送信用 MDC シリアル・データとして出力する。送信履歴は、送信 DPRAM の LOG 領域に書き込まれる。

3.4.3 送信 ACKC 生成

受信側 ACK/NAK フラグの設定により ACK または NAK データを選択し、PR, UW を付加したあと、CRC を計算して結果を付加し、ACKC 送信データを生成します。

送信メモリ・マップト I/O の「ACKC 送信」フラグがセットされているとき、次に示す処理を行って ACKC を出力します。

- ・ 送信メモリ・マップト I/O の「UW2」より UW2 パターンを読み出す。
- ・ MDC 受信ブロック内の [ACK/NAK フラグ] の状態により、次の ACKC 送信データを生成する。

[ACK/NAK フラグ] セット時： PR + UW2 + ACK パターン + CRC_{ACK}

[ACK/NAK フラグ] リセット時： PR + UW2 + NAK パターン + CRC_{NAK}

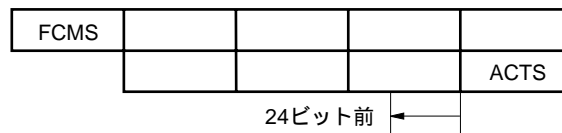
送信履歴は、送信 DPRAM の LOG 領域に書き込まれる。

3.4.4 送信 ACTC 生成

コントロール CPU から次に示すデータを設定します。

- 初期設定により送信メモリ・マップト I/O に UW2 パターンを書き込む。
- ACTC 送信用データとして FID, LID, LRI をこの順序で配列し、送信 DPRAM の ACTC データ領域に書き込む。
- ACTC 送信用ウインドウ選択情報を送信メモリ・マップト I/O に書き込む。

ここで (b)(c) を書き込むタイミングは、ACTC スロット送信開始の 24 ビット前までです。



ACTC 送信タイミングにより送信 DPRAM より ACTC データを読み出して PR, UW2 を付加したあと、CRC を計算/付加し、ACTC 送信データを生成、送信します。送信履歴は、送信 DPRAM の LOG 領域に書き込まれます。

3.4.5 送信 WCNC 生成

外部から WCNC 送信データを送信 DPRAM の WCNC データ領域に書き込みます。WCNC 送信タイミングにより送信 DPRAM から WCNC データを読み出し、PR, UW3 を付加して WCNC 送信データを生成します。UW3 は外部より送信メモリ・マップト I/O の「UW3」に書き込まれます。送信履歴は、送信 DPRAM の LOG 領域に

書き込まれます。

3.4.6 送信側 DPRAM, メモリ・マップト I/O

- ・ スロットごとの送信データを送信 DPRAM から読み出す。DPRAM アクセスは LSB ファースト。
- ・ LOG 領域データ・セットの際, LOG アドレスを受信メモリ・マップト I/O の「シーケンシャル番号」に出力する。
- ・ 送信メモリ・マップト I/O に外部設定されたフラグに基づき, 送信制御を行う。

3.5 RF モジュール・コントロール

3.5.1 周波数サーチ機能

送信メモリ・マップト I/O のアドレス 00H D7 の値により、通常モードとディバグ・モードを切り替えます。

通常モード (00H D7 = 0)

2 種類の周波数 (F0/F1) を交互に RF モジュールの PLL シンセサイザ IC に設定します。切り替え周期は、送信メモリ・マップト I/O の設定により 4, 6, 8, 10, 12, 14 および 16 ms のいずれかを選定可能です。

ディバグ・モード (00H D7 = 1)

送信メモリ・マップト I/O の設定により、16 種類の周波数データ (F0-F15) から選択された周波数データを 1 回だけ RF モジュールの PLL シンセサイザ IC に設定します。

周波数データの設定は、次のとおりです。

送信および受信メモリ・マップト I/O への開始タイミング設定(送 / 受信 STOP 送 / 受信 START 書き込み)により送信 DPRAM より周波数データを読み出してデータ出力 (PLL-DATA), データ・クロック (PLL-CLK), ロード・イネーブル (PLL-LE) を生成して 3 線式にて RF モジュールの PLL シンセサイザ IC に転送します。

PLL データ・フォーマットは富士通製 MB15E06, MB15E07, MB15E07SL に準拠します。このとき MB15E06, MB15E07 と MB15E07SL はデータ・フォーマットが異なるため、送信メモリ・マップト I/O の「PLL-IC 設定」フラグ (アドレス : 1DH, D7) を次のように設定してください。

1 : MB15E06, MB15E07 フォーマット・データ設定モード

0 : MB15E07SL フォーマット・データ設定モード

データ送出速度は 10 μ s / 1 クロックです。

表 3 - 1 送信 I/O 空間周波数サーチ・モード設定部

アドレス	名称	D7	D6 D5 D4	D3 D2 D1 D0
00H	FREQ_DATA_0	周波数設定切り替え 0 : 通常モード 1 : ディバグ・モード	周波数切り替え時間設定 110 : 4 ms 101 : 6 ms 100 : 8 ms 011 : 10 ms 010 : 12 ms 001 : 14 ms 000 : 16 ms	FREQ_03 FREQ_02 FREQ_01 FREQ_00 0000 : F0 (Aモード) 0001 : F1 (Bモード) 0010 : F2 0011 : F3 0100 : F4 0101 : F5 0110 : F6 0111 : F7 1000 : F8 1001 : F9 1010 : F10 1011 : F11 1100 : F12 1101 : F13 1110 : F14 1111 : F15
18H	FREQ_SET	内容任意		

3.5.2 送受1系統 RF モジュール用アンテナ切り替え制御

送受1系統 RF モジュール用アンテナ切り替え信号 (RS) は出力端子において受信時 : L / 送信時 : H となり、電源立ち上がり時などの過渡期および送信時以外は受信モード (L 出力) となります。

アンテナはデフォルトで受信側に設定され、データ送信時のみ送信側に切り替わります。

車載器側からデータを送信するのは、次の4つの場合です。

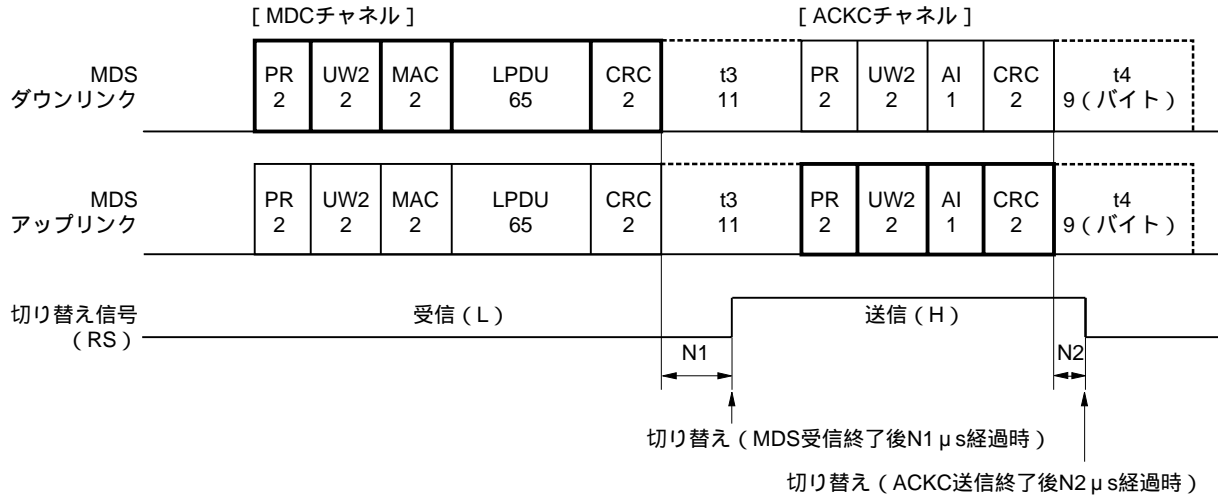
- ・ MDS スロット受信時の ACKC チャンネル送信
- ・ MDS スロット送信時の MDC チャンネル送信
- ・ ACTC スロット送信
- ・ WCNC スロット送信

次に各場合の端子位置での出力タイミングを示します。

(1) MDS スロット受信時 (ACKC チャンネル返信)

- ・送信側への切り替えタイミング：ダウンリンク MDC チャンネル受信終了から $N1 \mu s$ 経過時。
- ・受信側への切り替えタイミング：アップリンク ACKC チャンネル送信終了から $N2 \mu s$ 経過時。

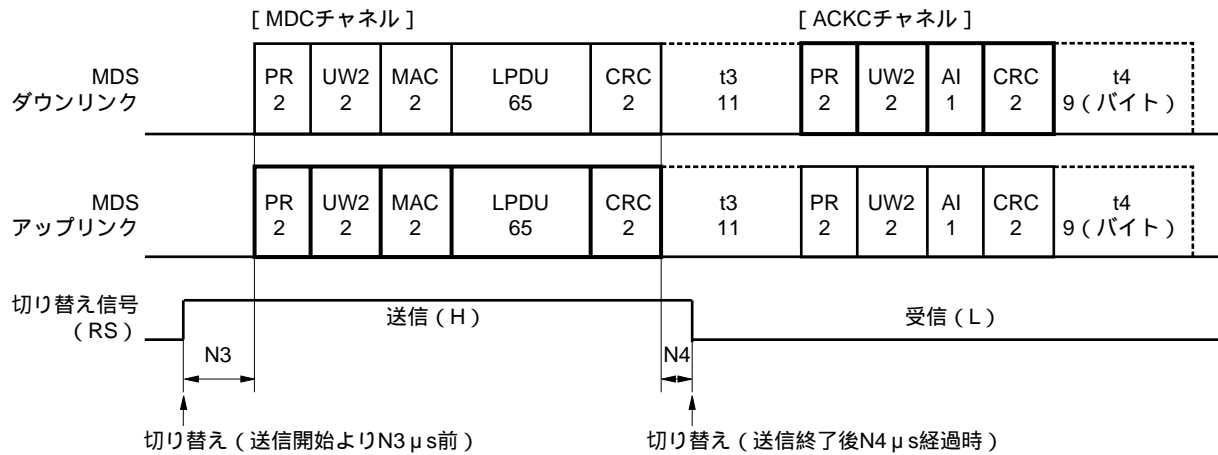
図 3-4 MDS 受信制御



(2) MDS スロット送信時

- ・送信側への切り替えタイミング：MDC チャンネル送信開始の $N3 \mu s$ 前。
- ・受信側への切り替えタイミング：MDC チャンネル送信終了から $N4 \mu s$ 経過後。

図 3-5 MDS 送信制御

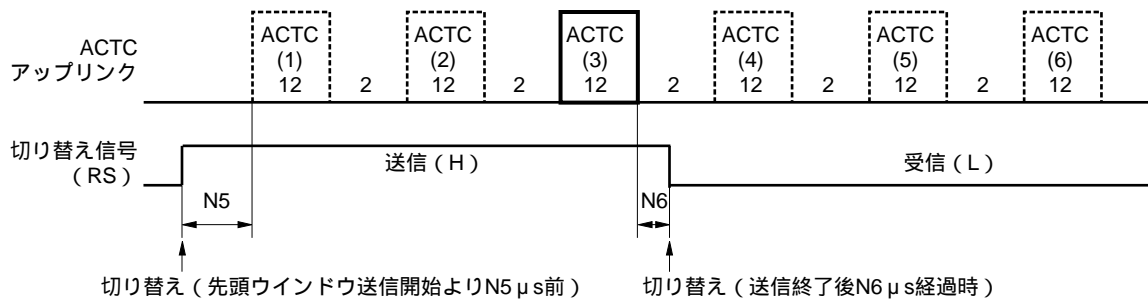


(3) ACTC スロット送信時

- ・送信側への切り替えタイミング：全 ACTC 送信ウィンドウの先頭より $N5 \mu s$ 前。
- ・受信側への切り替えタイミング：選択された ACTC 送信ウィンドウの終了から $N6 \mu s$ 経過後。

図 3-6 に、第 3 ウィンドウが選択された場合の切り替え制御を示します。

図 3 - 6 ACTC 送信制御

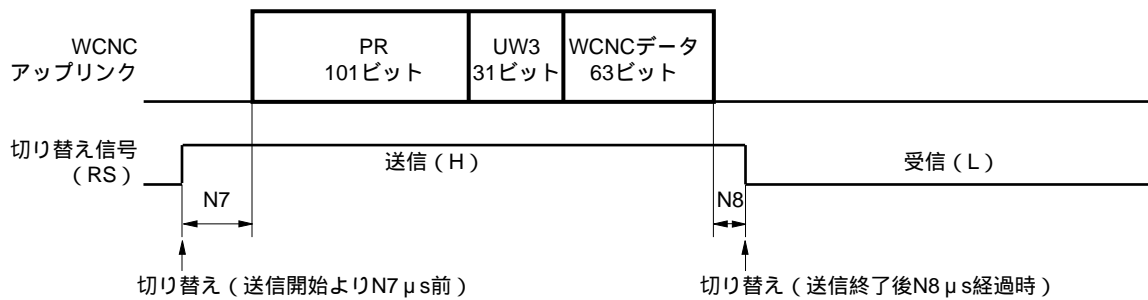


なお、ACTC が路側無線装置側で受信され、その LID が FCMC に登録されたあとの通信トランザクションにおいてダウンリンク MDS 受信とアップリンク ACTC 送信が同時に発生した場合は、MDS 受信を優先し、(1) の MDS スロット受信制御を行います。

(4) WCNC スロット送信時

- ・送信側への切り替えタイミング：WCNC 送信開始の N7 μs 前。
- ・受信側への切り替えタイミング：WCNC 送信終了から N8 μs 経過後。

図 3 - 7 WCNC 送信制御



なお、ダウンリンク MDS 受信とアップリンク WCNC 送信が同時に発生した場合は、MDS 受信を優先し、(1) の MDS スロット受信制御を行います。

図 3 - 4-図 3 - 7 における切り替え時間 N1-N8 の値は次のとおりです。

- N1 = 9
- N2 = 1
- N3 = 8
- N4 = 1
- N5 = 8
- N6 = 1
- N7 = 209
- N8 = 1

3.6 メモリ・マップト I/O, DPRAM インタフェース

3.6.1 メモリ・マップト I/O インタフェース

(1) 受信メモリ・マップト I/O

受信用 I/O 空間先頭アドレス : DA[14, 13, 12-1] = 0, 0, 000H

	名 称	D7	D6	D5	D4	D3	D2	D1	D0
00H									
01H									
02H	UW1_0 (W)	UW1_07	UW1_06	UW1_05	UW1_04	UW1_03	UW1_02	UW1_01	UW1_00
03H	UW1_1 (W)	UW1_15	UW1_14	UW1_13	UW1_12	UW1_11	UW1_10	UW1_09	UW1_08
04H	UW1_2 (W)	UW1_23	UW1_22	UW1_21	UW1_20	UW1_19	UW1_18	UW1_17	UW1_16
05H	UW1_3 (W)	UW1_31	UW1_30	UW1_29	UW1_28	UW1_27	UW1_26	UW1_25	UW1_24
06H	UW2_0 (W)	UW2_07	UW2_06	UW2_05	UW2_04	UW2_03	UW2_02	UW2_01	UW2_00
07H	UW2_1 (W)	UW2_15	UW2_14	UW2_13	UW2_12	UW2_11	UW2_10	UW2_09	UW2_08
08H									
09H									
0AH									
0BH									
0CH									
0DH									
10H									
11H									
12H									
13H									
14H	受信 LOG シーケンシャル番号 (R)				D_4	D_3	D_2	D_1	D_0
15H									
16H	シーケンシャル番号リセット (W)								1: リセット 0: 解除
17H	PLL アラーム/RSSI レベル検出 (R)				LEV_DET				PLL_ALM
18H									
19H	受信 START/受信 STOP (W)								1: START 0: STOP
1AH	SYNC/UNSYNC (W)								1: SYNC 0: UNSYNC
1BH									

備考 1. この I/O 領域は、ワード・アクセス専用かつワード・データの低位 8 ビットのみ有効です。

- W: コントロール CPU から μ PD6750(A) への書き込み
R: μ PD6750(A) から コントロール CPU へのデータ読み出し
- SYNC は受信 STOP の書き込みによりクリア (UNSYNC) されます。
- 指示のないビットは 0 を設定してください。

受信メモリ・マップト I/O 内容

- ・ UW1 パターン・データ (W)(アドレス : 02H-05H)
受信 FCMS 検出用 UW1 を設定します。ARIB STD-T-55 に従い, UW1 ビット・パターンをコントロール CPU から書き込みます。
- ・ UW2 パターン・データ (W)(アドレス : 06H, 07H)
受信 MDS 検出用 UW2 を設定します。ARIB STD-T-55 に従い, UW2 ビット・パターンをコントロール CPU から書き込みます。
- ・ 受信 LOG シーケンシャル番号 (R)(アドレス : 14H)
最新スロット受信結果を格納している受信 DPRAM 内 LOG 領域のシーケンシャル番号 n ($n = 0-31$) を表示します。
- ・ シーケンシャル番号リセット (W)(アドレス : 16H)
受信 LOG シーケンシャル番号カウンタ・リセット (0), リセット解除 (1)。
- ・ PLL アラーム/RSSI レベル検出 (R)(アドレス : 17H)
D4 : RF モジュール電界レベル出力
D0 : PLL シンセサイザ・アラーム出力
- ・ 受信 START/受信 STOP (W)(アドレス : 19H)
受信 STOP (0) : 受信制御リセット。
受信 START (1) : 受信制御開始かつ同期確立/UW1 検出が可能。
受信 START/STOP は送信 START/STOP と同期して設定してください。
- ・ SYNC/UNSYNC (W)(アドレス : 1AH)
UNSYNC (0) : フレーム同期逸脱状態。
SYNC (1) : フレーム同期確立状態かつ UW1, UW2 検出および通常の送受信制御が可能。
受信 STOP を設定した場合, このフラグも自動的に UNSYNC 状態になります。

(2) 送信メモリ・マップ I/O

送信用 I/O 空間先頭アドレス : DA[14, 13, 12-1] = 0, 0, 000H

	名称	D7	D6	D5	D4	D3	D2	D1	D0
00H	FREQ_DATA_0 (W/R)	通常 / デバッグ	周波数切り替え時間設定			FREQ_03	FREQ_02	FREQ_01	FREQ_00
01H									
02H									
03H									
04H									
05H									
06H	UW2_0 (W)	UW2_07	UW2_06	UW2_05	UW2_04	UW2_03	UW2_02	UW2_01	UW2_00
07H	UW2_1 (W)	UW2_15	UW2_14	UW2_13	UW2_12	UW2_11	UW2_10	UW2_09	UW2_08
08H	UW3_0 (W)	UW3_07	UW3_06	UW3_05	UW3_04	UW3_03	UW3_02	UW3_01	UW3_00
09H	UW3_1 (W)	UW3_15	UW3_14	UW3_13	UW3_12	UW3_11	UW3_10	UW3_09	UW3_08
0AH	UW3_2 (W)	UW3_23	UW3_22	UW3_21	UW3_20	UW3_19	UW3_18	UW3_17	UW3_16
0BH	UW3_3 (W)	UW3_31	UW3_30	UW3_29	UW3_28	UW3_27	UW3_26	UW3_25	UW3_24
0CH	DIP-SW 端子モニタ (R)		SW6	SW5					
0DH									
10H	MDC 送信許可 (W)	MDC7	MDC6	MDC5	MDC4	MDC3	MDC2	MDC1	MDC0
	MDC 送信不許可 (R)	MDC7	MDC6	MDC5	MDC4	MDC3	MDC2	MDC1	MDC0
11H	ACTC 送信管理スロット#0 (W)			CH5	CH4	CH3	CH2	CH1	CH0
12H	ACTC 送信管理スロット#1 (W)			CH5	CH4	CH3	CH2	CH1	CH0
13H	ACTC 送信管理スロット#2 (W)			CH5	CH4	CH3	CH2	CH1	CH0
14H	送信 LOG シーケンシャル番号 (R)				D_4	D_3	D_2	D_1	D_0
15H									
16H	シーケンシャル番号リセット (W)								1: リセット 0: 解除
17H									
18H	FREQ_SET (W)	(内容任意)							
19H	送信 START/送信 STOP (W)	WCNC 送信 0: 許可 1: 不許可	ACKC 送信 0: 許可 1: 不許可						RESET 1: START 0: STOP
1AH									
1BH	第2ピーコン周波数ホールド/ 出力設定 (W)		FREQ-HOLD 0: サーチ 1: ホールド	PN パターン 送出 0: 通常 1: PN	ALL CLK (1 MHz) 0: 通常 1: CLK	ALL"1"出力 0: 通常 1: ALL 1	ALL"0"出力 0: 通常 1: ALL 0		
1CH									
1DH	PLL-IC/PLL アラーム・ホールド 時間選択 (W)	0: E07SL 1: E06, 07							00: 1 s 01: 120 ms 10: 8 ms 11: 1 ms

- 備考 1. この I/O 領域は、ワード・アクセス専用かつワード・データの下位 8 ビットのみ有効です。
2. W: コントロール CPU から μ PD6750(A) への書き込み
R: μ PD6750(A) から コントロール CPU へのデータ読み出し
3. MDC 送信許可ビット, ACTC 送信管理スロット・ビットは送信後 μ PD6750(A) 内部にてクリアされます。
4. 指示のないビットは 0 を設定してください。

送信メモリ・マップト I/O 内容

- ・ **FREQ_DATA_0 (W/R)**(アドレス: 00H)
周波数切り替え制御データを設定します(3.5.1 **周波数サーチ機能参照**)。
- ・ **UW2 パターン・データ (W)**(アドレス: 06H, 07H)
MDS および ACTS 送信用 UW2 を設定します。ARIB STD-T-55 に従い, UW2 ビット・パターンをコントロール CPU から書き込みます。
- ・ **UW3 パターン・データ (W)**(アドレス: 08H-0BH)
WCNS 送信用 UW3 を設定します。ARIB STD-T-55 に従い, UW3 ビット・パターンをコントロール CPU から書き込みます。
- ・ **DIP-SW 端子モニタ (R)**(アドレス: 0CH)
D6: TXSW6 端子の外部設定状態をモニタします(0: 通常動作, 1: ALL"1"出力)
D5: TXSW5 端子の外部設定状態をモニタします(0: 通常動作, 1: PN 出力)
- ・ **MDC 送信許可 (W) /MDC 送信不許可 (R)**(アドレス: 10H)(3.4.2 **送信 MDC 生成参照**)
コントロール CPU は, 送信データを送信 DPRAM の MDC#0 に書き込んだあと, この I/O アドレスの D0 ビットをセットし, μ PD6750(A)に送信データの存在を指示します。このビットがセットされているかぎり, MDC#0 領域はコントロール CPU から見て上書き禁止状態となります。
 μ PD6750(A)はこのビットのセットを検知すると, 内部送信ブロックに MDC 送信データを読み込んで PR, UW, CRC を付加して MDS 送信スロットを生成し, 簡易スクランブル処理のあと RF モジュールに出力します。MDS スロット送信後, μ PD6750(A)はこのアドレスの D0 ビットを内部からリセットして上書き禁止を解除し, 次の送信データの書き込みが OK であることをコントロール CPU に指示します。

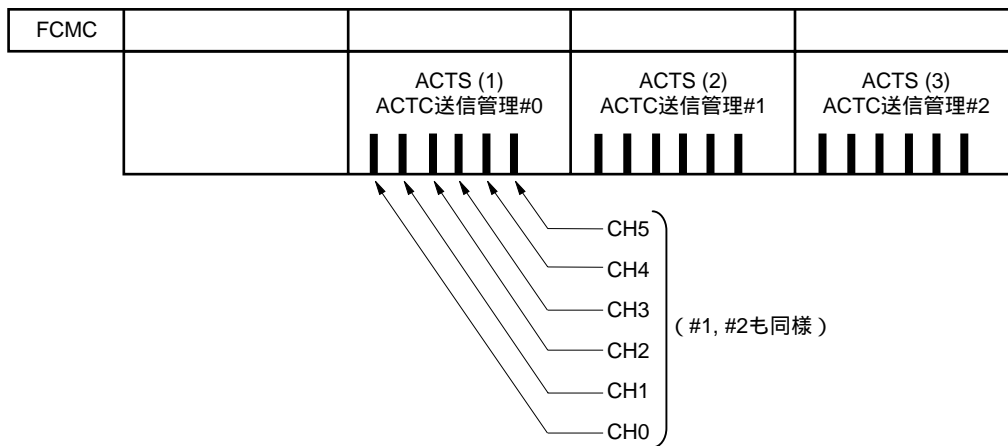
- ・ ACTC 送信管理スロット#0-#2 (W)(アドレス：11H-13H)

この I/O の各ビットは、それぞれ ACTC スロット内の 6 個の送信ウィンドウに対応します。

全二重、半二重ともに FCMC に最も近い ACTC 送信スロットにて ACTC を送信する場合に、ACTC 送信管理#0 のフラグをセットします。

特に 1 つのフレームに ACTC スロットが複数割り付けられている場合、FCMC に最も近いスロットにて ACTC を送信する場合は上記のとおり ACTC 送信管理#0 を使用し、以下 FCMC 側から 2 番目のスロットで送信する場合は ACTC 送信管理#1、3 番目のスロットを使用する場合は ACTC 送信管理#2 を使用します。

次に、フレームが全二重構成かつ ACTC 送信スロットが 3 スロット存在する場合の送信スロットと送信管理#番号の対応、およびスロット内送信ウィンドウ位置とこのビットの対応を示します。



コントロール CPU は、ACTC を送信するスロットのウィンドウに対応するフラグをセットします。

μ PD6750(A)内部の ACTC 送信制御は、3.4.1 送信制御条件および 3.4.4 送信 ACTC 生成によります。

ACTC 送信が終了すると、 μ PD6750(A)は内部から送信管理フラグをリセットします。

- ・ 送信 LOG シーケンシャル番号 (R)(アドレス：14H)

最新スロット送信結果を格納している送信 DPRAM 内 LOG 領域のシーケンシャル番号 n ($n=0-31$) を表示します。

- ・ シーケンシャル番号リセット (W)(アドレス：16H)

送信 LOG シーケンシャル番号カウンタ・リセット (0), リセット解除 (1)

- ・ FREQ_SET (W/R)(アドレス：18H)

送信メモリ・マップト I/O 内の FREQ_DATA_0 において周波数設定をディバグ・モードとした場合、この I/O に任意値を書き込むことにより周波数設定を行います (3.5.1 周波数サーチ機能参照)。

・ 送信 START/送信 STOP (W)(アドレス: 19H)

D7: WCNC 送信許可 / 不許可。このビットがセットされているとき, WCNC 送信を行いません。

D6: ACKC 送信許可 / 不許可。このビットがセットされているとき, ACKC 送信を行いません。

D0: 送信制御リセット / リセット解除。

送信 STOP (0): 送信制御リセット (ただし DPRAM 上の送信データはリセットされません)。

送信 START (1): 送信リセット解除かつ周波数サーチ制御開始。

送信 START/送信 STOP は, 受信 START/受信 STOP と同期して設定してください。

・ 第2 ビーコン周波数ホールド / 出力設定 (W)(アドレス: 1BH)

D6: 第2 ビーコン周波数ホールド設定。このビットがセットされている期間, 周波数切り替え制御が停止し, ローカル周波数が現状値に固定されます。

D5: PN パターン出力 / 通常動作。PN パターン出力を選択すると, PN パターンがマンチェスタ符号化されて連続出力されます。

D4: ALL CLK (1 MHz)。ALL CLK を選択すると1連続パターンがマンチェスタ符号化されて連続出力されます。

D3: ALL "1"出力 / 通常動作。ALL "1"出力を選択すると CW 送信モードとなり, 1 連続パターンがマンチェスタ符号化されずに連続送信されます。

D2: ALL "0"出力 / 通常動作。ALL "0"出力を選択するとキャリア・マスク・モードになり, 0 連続パターンがマンチェスタ符号化されずに連続送信されます。

・ PLL-IC/PLL アラーム・ホールド時間選択 (W)(アドレス: 1DH)

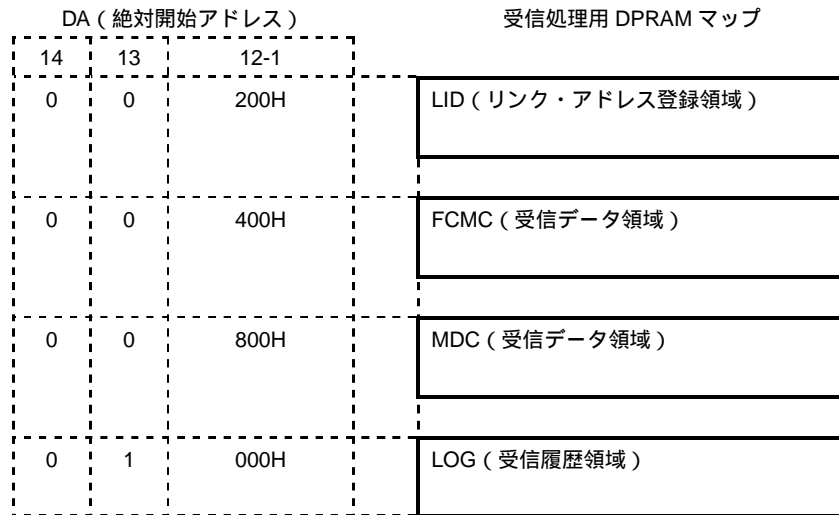
D7: PLL-IC 設定。RF モジュール内 PLL シンセサイザ IC の種類を設定します (3.5.1 周波数サーチ機能参照)。

D1, D0: PLL アラーム・マスク時間設定。RF モジュールから PLL アラーム信号が入力されたとき, このビットで設定された時間, コントロール CPU への PLL アラーム出力をマスクします。設定時間内に RF モジュールからの PLL アラーム信号が OFF になった場合は, コントロール CPU への PLL アラーム出力は行いません。

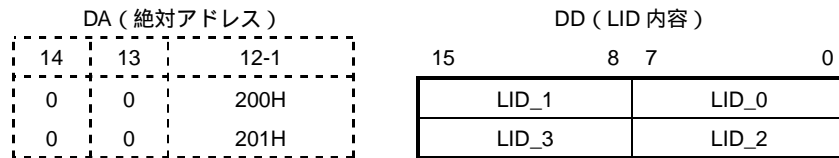
3.6.2 DPRAM

(1) 受信 DPRAM マップ

受信 DPRAM 内の領域割り付けを次に示します。各領域への μ PD6750(A)内部アクセスは LSB ファーストです。



・ LID 領域



・FCMC 領域

DA (絶対アドレス)			DD (FCMC 受信データ領域)			
14	13	12-1	15	8	7	0
0	0	400H	SIG_1		SIG_0	
0	0	401H	FSI		FID	
0	0	402H	SC_0		RLT	
0	0	403H	SC_2		SC_1	
0	0	404H	SC_4		SC_3	
0	0	405H	SC_6		SC_5	
0	0	406H	LID(0)_0		CI(0)	
0	0	407H	LID(0)_2		LID(0)_1	
0	0	408H	CI(1)		LID(0)_3	
0	0	409H	LID(1)_1		LID(1)_0	
0	0	40AH	LID(1)_3		LID(1)_2	
0	0	40BH	LID(2)_0		CI(2)	
0	0	40CH	LID(2)_2		LID(2)_1	
0	0	40DH	CI(3)		LID(2)_3	
0	0	40EH	LID(3)_1		LID(3)_0	
0	0	40FH	LID(3)_3		LID(3)_2	
0	0	410H	LID(4)_0		CI(4)	
0	0	411H	LID(4)_2		LID(4)_1	
0	0	412H	CI(5)		LID(4)_3	
0	0	413H	LID(5)_1		LID(5)_0	
0	0	414H	LID(5)_3		LID(5)_2	
0	0	415H	LID(6)_0		CI(6)	
0	0	416H	LID(6)_2		LID(6)_1	
0	0	417H	CI(7)		LID(6)_3	
0	0	418H	LID(7)_1		LID(7)_0	
0	0	419H	LID(7)_3		LID(7)_2	

・MDC 領域

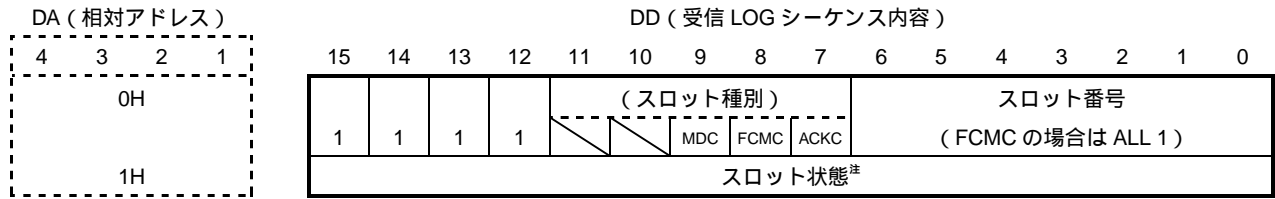
DA (絶対開始アドレス)			DD (MDC 領域)			
14	13	12-1	15	0		
0	0	800H	MDC#0			
0	0	840H	MDC#1			
0	0	880H	MDC#2			
0	0	8C0H	MDC#3			
0	0	900H	MDC#4			
0	0	940H	MDC#5			
0	0	980H	MDC#6			
0	0	9C0H	MDC#7			

DA (相対アドレス)		DD (MDC 内容)	
8-1		15	8 7 0
00H		MAC_1	MAC_0
01H		LPDU_1	LPDU_0
02H		LPDU_3	LPDU_2
03H		LPDU_5	LPDU_4
04H		LPDU_7	LPDU_6
05H		LPDU_9	LPDU_8
06H		LPDU_11	LPDU_10
07H		LPDU_13	LPDU_12
08H		LPDU_15	LPDU_14
09H		LPDU_17	LPDU_16
0AH		LPDU_19	LPDU_18
0BH		LPDU_21	LPDU_20
0CH		LPDU_23	LPDU_22
0DH		LPDU_25	LPDU_24
0EH		LPDU_27	LPDU_26
0FH		LPDU_29	LPDU_28
10H		LPDU_31	LPDU_30
11H		LPDU_33	LPDU_32
12H		LPDU_35	LPDU_34
13H		LPDU_37	LPDU_36
14H		LPDU_39	LPDU_38
15H		LPDU_41	LPDU_40
16H		LPDU_43	LPDU_42
17H		LPDU_45	LPDU_44
18H		LPDU_47	LPDU_46
19H		LPDU_49	LPDU_48
1AH		LPDU_51	LPDU_50
1BH		LPDU_53	LPDU_52
1CH		LPDU_55	LPDU_54
1DH		LPDU_57	LPDU_56
1EH		LPDU_59	LPDU_58
1FH		LPDU_61	LPDU_60
20H		LPDU_63	LPDU_62
21H			LPDU_64

・受信側 LOG 領域

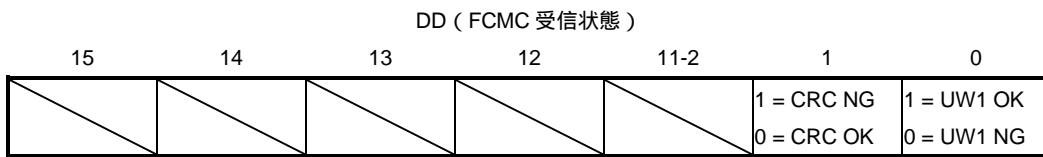
DA (絶対アドレス)			DD (LOG 領域)	
14	13	12-1	15	0
0	1	000H		シーケンス#0
0	1	002H		シーケンス#1
0	1	004H		シーケンス#2
0	1	006H		シーケンス#3
0	1	008H		シーケンス#4
0	1	00AH		シーケンス#5
0	1	00CH		シーケンス#6
0	1	00EH		シーケンス#7
0	1	010H		シーケンス#8
0	1	012H		シーケンス#9
0	1	014H		シーケンス#10
0	1	016H		シーケンス#11
0	1	018H		シーケンス#12
0	1	01AH		シーケンス#13
0	1	01CH		シーケンス#14
0	1	01EH		シーケンス#15
0	1	020H		シーケンス#16
0	1	022H		シーケンス#17
0	1	024H		シーケンス#18
0	1	026H		シーケンス#19
0	1	028H		シーケンス#20
0	1	02AH		シーケンス#21
0	1	02CH		シーケンス#22
0	1	02EH		シーケンス#23
0	1	030H		シーケンス#24
0	1	032H		シーケンス#25
0	1	034H		シーケンス#26
0	1	036H		シーケンス#27
0	1	038H		シーケンス#28
0	1	03AH		シーケンス#29
0	1	03CH		シーケンス#30
0	1	03EH		シーケンス#31

受信 LOG シーケンス# (n): (n = 0-31) の内容を次に示します。

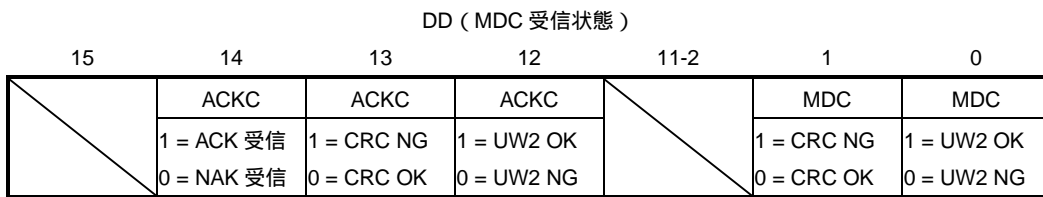


注 スロット状態の詳細

- ・スロット=受信 FCMC のとき



- ・スロット=受信 MDC のとき



(2) 送信 DPRAM マップ

送信 DPRAM 内の領域割り付けを次に示します。各領域へのμ PD6750(A)内部アクセスは LSB ファーストです。

DA (絶対開始アドレス)			送信処理用 DPRAM マップ
14	13	12-1	
0	0	000H	FREQ (周波数データ領域)
0	0	200H	LID (リンク・アドレス登録領域)
0	0	800H	MDC (送信データ領域)
0	0	C00H	ACTC (送信データ領域)
0	0	E00H	WCNC (送信データ領域)
0	1	000H	LOG (送信履歴領域)

・周波数データ領域

DA (絶対開始アドレス)			DD (周波数データ領域)	
14	13	12-1	15	0
0	0	000H	FREQ#0 (Aモード周波数)	
0	0	004H	FREQ#1 (Bモード周波数)	
0	0	008H	FREQ#2	
0	0	00CH	FREQ#3	
0	0	010H	FREQ#4	
0	0	014H	FREQ#5	
0	0	018H	FREQ#6	
0	0	01CH	FREQ#7	
0	0	020H	FREQ#8	
0	0	024H	FREQ#9	
0	0	028H	FREQ#10	
0	0	02CH	FREQ#11	
0	0	030H	FREQ#12	
0	0	034H	FREQ#13	
0	0	038H	FREQ#14	
0	0	03CH	FREQ#15	

DA (相対アドレス)		DD (周波数データ内容)			
8-1		15	8	7	0
00H		FREQ_1		FREQ_0	
01H		FREQ_3		FREQ_2	
02H		FREQ_5		FREQ_4	
03H		FREQ_7		FREQ_6	

周波数データの設定フォーマットを示します。接続するRFモジュール内PLLシンセサイザICに対応して、次のように設定します。

・MB15E07SL の場合

FREQ_1

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
CS	LDS	FC	SW	R14	R13	R12	R11

FREQ_0

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
R10	R9	R8	R7	R6	R5	R4	R3

FREQ_3

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
R2	R1	CNT	(0)	(0)	(0)	(0)	(0)

FREQ_2

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
N11	N10	N9	N8	N7	N6	N5	N4

FREQ_5

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
N3	N2	N1	A7	A6	A5	A4	A3

FREQ_4

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
A2	A1	CNT	(0)	(0)	(0)	(0)	(0)

FREQ_6, FREQ_7 には 0 を設定。

・MB15E06, MB15E07 の場合

FREQ_1

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
LDS	FC	SW	R14	R13	R12	R11	R10

FREQ_0

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
R9	R8	R7	R6	R5	R4	R3	R2

FREQ_3

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
R1	CNT	(0)	(0)	(0)	(0)	(0)	(0)

FREQ_2

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
N11	N10	N9	N8	N7	N6	N5	N4

FREQ_5

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
N3	N2	N1	A7	A6	A5	A4	A3

FREQ_4

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
A2	A1	CNT	(0)	(0)	(0)	(0)	(0)

FREQ_6, FREQ_7 には 0 を設定。

・ LID 領域

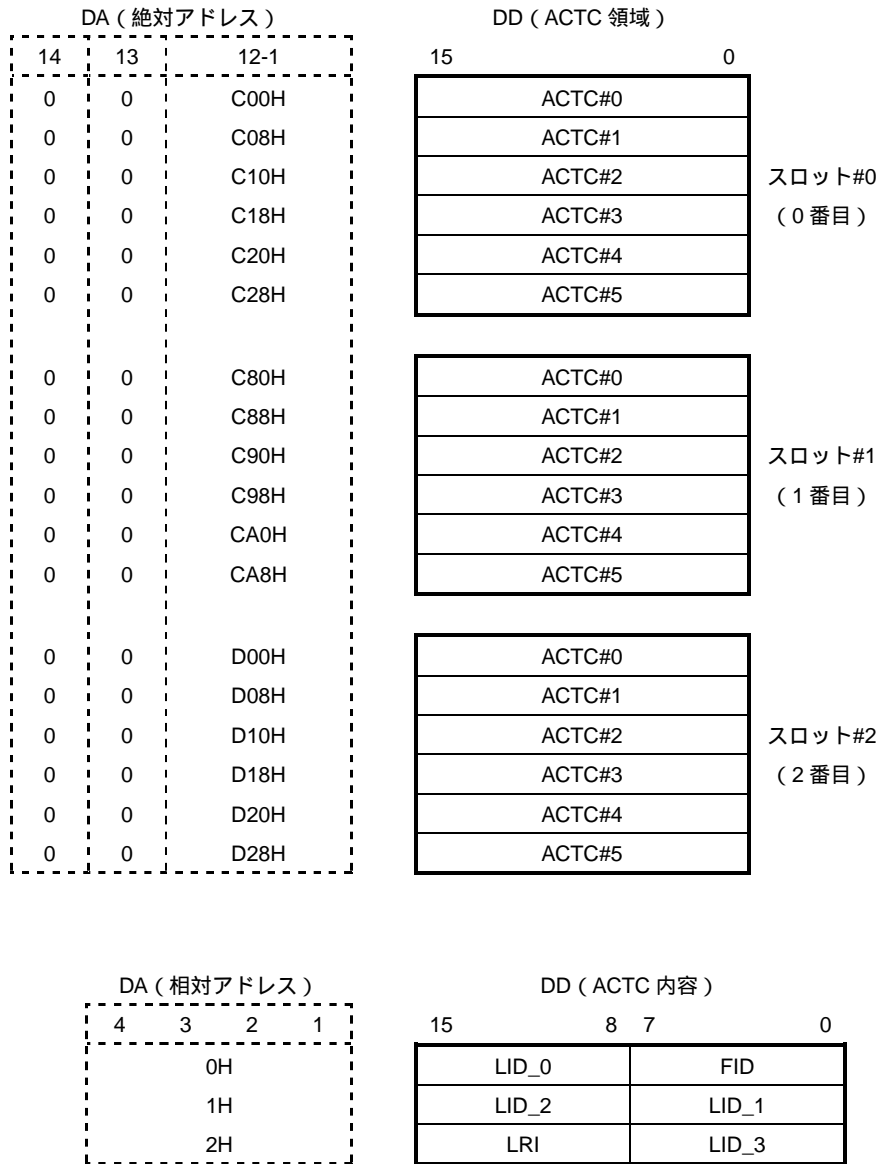
DA (絶対アドレス)			DD (LID 内容)			
14	13	12-1	15	8	7	0
0	0	200H	LID_1		LID_0	
0	0	201H	LID_3		LID_2	

・ MDC 領域

DA (絶対開始アドレス)			DD (MDC 送信データ領域)			
14	13	12-1	15	0		
0	0	800H	MDC#0			
0	0	840H	MDC#1			
0	0	880H	MDC#2			
0	0	8C0H	MDC#3			
0	0	900H	MDC#4			
0	0	940H	MDC#5			
0	0	980H	MDC#6			
0	0	9C0H	MDC#7			

DA (相対アドレス)		DD (MDC 内容)	
8-1		15	8 7 0
00H		MAC_1	MAC_0
01H		LPDU_1	LPDU_0
02H		LPDU_3	LPDU_2
03H		LPDU_5	LPDU_4
04H		LPDU_7	LPDU_6
05H		LPDU_9	LPDU_8
06H		LPDU_11	LPDU_10
07H		LPDU_13	LPDU_12
08H		LPDU_15	LPDU_14
09H		LPDU_17	LPDU_16
0AH		LPDU_19	LPDU_18
0BH		LPDU_21	LPDU_20
0CH		LPDU_23	LPDU_22
0DH		LPDU_25	LPDU_24
0EH		LPDU_27	LPDU_26
0FH		LPDU_29	LPDU_28
10H		LPDU_31	LPDU_30
11H		LPDU_33	LPDU_32
12H		LPDU_35	LPDU_34
13H		LPDU_37	LPDU_36
14H		LPDU_39	LPDU_38
15H		LPDU_41	LPDU_40
16H		LPDU_43	LPDU_42
17H		LPDU_45	LPDU_44
18H		LPDU_47	LPDU_46
19H		LPDU_49	LPDU_48
1AH		LPDU_51	LPDU_50
1BH		LPDU_53	LPDU_52
1CH		LPDU_55	LPDU_54
1DH		LPDU_57	LPDU_56
1EH		LPDU_59	LPDU_58
1FH		LPDU_61	LPDU_60
20H		LPDU_63	LPDU_62
21H			LPDU_64

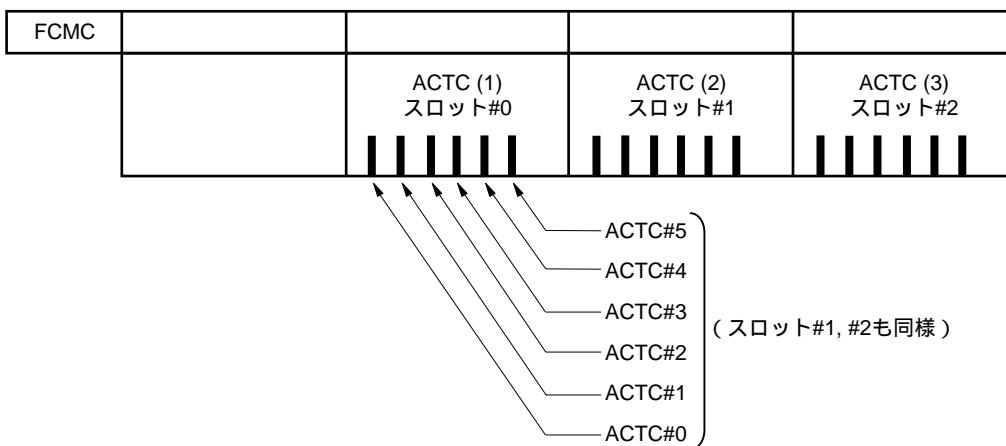
・ ACTC 領域



全二重,半二重ともに FCMC に最も近い ACTC 送信スロットにて ACTC を送信する場合に,スロット #0 領域にデータを書き込みます。

特に1つのフレームに ACTC スロットが複数割り付けられている場合,FCMC に最も近いスロットにて ACTC を送信する場合は上記のとおりスロット#0 領域にデータを書き込み,FCMC 側から 2 番目のスロットで送信する場合はスロット#1, 3 番目のスロットで送信する場合はスロット#2 にデータを書き込みます。

次に、フレームが全二重構成かつ ACTC 送信スロットが 3 スロット存在する場合の送信スロットと送信 DPRAM の ACTC 領域の対応、およびスロット内送信ウィンドウ位置とこの領域の内部との対応を示します。



・ WCNC 領域

DA (絶対アドレス)

14	13	12-1
0	0	E00H
0	0	E01H
0	0	E02H
0	0	E03H

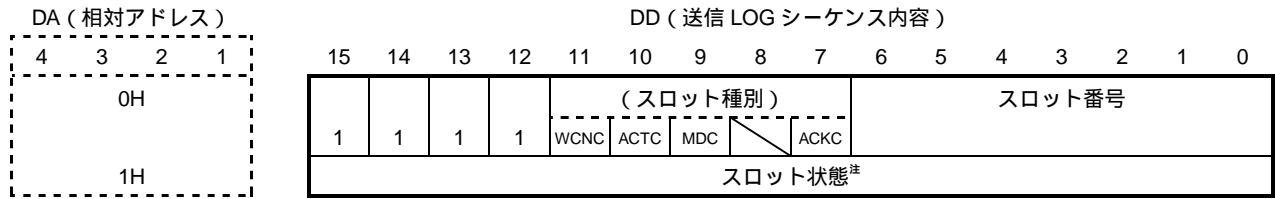
DD (WCNC 内容)

15	8	7	0
WCNC_1	WCNC_0		
WCNC_3	WCNC_2		
WCNC_5	WCNC_4		
WCNC_7	WCNC_6		

・送信側 LOG 領域

DA (絶対アドレス)			DD (LOG 領域)	
14	13	12-1	15	0
0	1	000H		シーケンス#0
0	1	002H		シーケンス#1
0	1	004H		シーケンス#2
0	1	006H		シーケンス#3
0	1	008H		シーケンス#4
0	1	00AH		シーケンス#5
0	1	00CH		シーケンス#6
0	1	00EH		シーケンス#7
0	1	010H		シーケンス#8
0	1	012H		シーケンス#9
0	1	014H		シーケンス#10
0	1	016H		シーケンス#11
0	1	018H		シーケンス#12
0	1	01AH		シーケンス#13
0	1	01CH		シーケンス#14
0	1	01EH		シーケンス#15
0	1	020H		シーケンス#16
0	1	022H		シーケンス#17
0	1	024H		シーケンス#18
0	1	026H		シーケンス#19
0	1	028H		シーケンス#20
0	1	02AH		シーケンス#21
0	1	02CH		シーケンス#22
0	1	02EH		シーケンス#23
0	1	030H		シーケンス#24
0	1	032H		シーケンス#25
0	1	034H		シーケンス#26
0	1	036H		シーケンス#27
0	1	038H		シーケンス#28
0	1	03AH		シーケンス#29
0	1	03CH		シーケンス#30
0	1	03EH		シーケンス#31

送信 LOG シーケンス# (n): (n = 0-31) の内容を次に示します。



注 スロット状態の詳細

- ・スロット=送信 MDC のとき

DD (MDC 送信状態)			
15-10	9	8	7-1
1 = ACK 送信 0 = NAK 送信	1 = ACKC 送信あり 0 = ACKC 送信なし	1 = MDC 送信あり 0 = MDC 送信なし	1 = MDC 送信あり 0 = MDC 送信なし

- ・スロット=送信 ACTC のとき

DD (ACTC 送信状態)									
15-10	9	8	7, 6	5	4	3	2	1	0
ACKC 送信			ACTC_CH5		ACTC_CH4	ACTC_CH3	ACTC_CH2	ACTC_CH1	ACTC_CH0
1 = ACK 送信 0 = NAK 送信			1 = 送信あり 0 = 送信なし		1 = 送信あり 0 = 送信なし	1 = 送信あり 0 = 送信なし	1 = 送信あり 0 = 送信なし	1 = 送信あり 0 = 送信なし	1 = 送信あり 0 = 送信なし

- ・スロット=送信 WCNC のとき

DD (WCNC 送信状態)			
15-10	9	8	7-1
1 = ACK 送信 0 = NAK 送信	1 = ACKC 送信あり 0 = ACKC 送信なし	1 = WCNC 送信あり 0 = WCNC 送信なし	1 = WCNC 送信あり 0 = WCNC 送信なし

3.7 試験機能

(1) PN 出力

ITU-T 勧告 O.151 による 15 段 PN 符号発生回路を内蔵し、外部設定または I/O 設定により通常データ送信と PN パターン送信を切り替えます。

(2) ALL “1”出力

外部設定または I/O 設定により、通常データ送信と ALL “1”データ送信を切り替えます。

(3) モニタ

BER 測定用にマンチェスタ復号化 1.024 Mbps データ (RXD1) およびリカバリ・クロック (DPLL) を外部端子に出力します。

[メモ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話：044-435-9494
FAX：044-435-9608
E-mail：s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108
名古屋 (052)222-2375
大阪 (06)6945-3178, 3200,
3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
高崎 (027)326-1303
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD6750(A) ユーザーズ・マニュアル(暫定)

(S14919JJ1V0UM00(第1版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC 販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。

日本電気(株) NEC エレクトロニクス
半導体テクニカルホットライン
FAX : (044) 435-9608

2000.6