

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

# μPD178024 サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

---

μPD178022

μPD178023

μPD178024

μPD178F124

[メモ]

## 目次要約

第1章	概説	...	25
第2章	端子機能	...	35
第3章	CPUアーキテクチャ	...	45
第4章	ポート機能	...	79
第5章	クロック発生回路	...	99
第6章	8ビット・タイマ/イベント・カウンタ	...	107
第7章	ベーシック・タイマ	...	127
第8章	ウォッチドッグ・タイマ	...	129
第9章	ブザー出力制御回路	...	137
第10章	A/Dコンバータ	...	139
第11章	シリアル・インタフェース (IIC0)	...	159
第12章	シリアル・インタフェース (SIO3)	...	219
第13章	シリアル・インタフェース (UART0)	...	227
第14章	割り込み機能	...	247
第15章	PLL周波数シンセサイザ	...	269
第16章	周波数カウンタ	...	287
第17章	スタンバイ機能	...	297
第18章	リセット機能	...	305
第19章	$\mu$ PD178F124	...	313
第20章	命令セットの概要	...	321
付録A	開発ツール	...	337
付録B	組み込み用ソフトウェア	...	351
付録C	レジスタ索引	...	353
付録D	改版履歴	...	359

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

EEPROM, IEBusは、日本電気株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

イーサネットは、米国ゼロックス社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

OSF/Motifは、Open Software Foundation, Inc.の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品：μPD178F124GF-3B9, 178F124GC-8BT

ユーザ判定品：μPD178022GF-xxx-3B9, 178022GC-xxx-8BT, 178023GF-xxx-3B9,  
μPD178023GC-xxx-8BT, 178024GF-xxx-3B9, 178024GC-xxx-8BT

**注意：**μPD178024サブシリーズはI<sup>2</sup>Cバス・インタフェース回路を内蔵しています。

I<sup>2</sup>Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI<sup>2</sup>Cバス対応部品をご購入いただくことにより、これらの部品をI<sup>2</sup>Cシステムに使用する実施権がフィリップス社I<sup>2</sup>C特許に基づき許諾されることとなります。ただし、これらのI<sup>2</sup>Cシステムはフィリップス社によって設定されたI<sup>2</sup>C標準規格に合致しているものとします。

Purchase of NEC I<sup>2</sup>C components conveys a license under the Philips I<sup>2</sup>C Patent Rights to use these components in an I<sup>2</sup>C system, provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.

● **本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。**

● 文書による当社の承諾なしに本資料の転載複製を禁じます。

● 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

● 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

● 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

● 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

## 本版で改訂された主な箇所

箇所	内容
全般	<p>μ PD178124サブシリーズ( μ PD178122, 178123, 178124 )の削除</p> <p>UART0を μ PD178024サブシリーズすべての製品( μ PD178022, 178023, 178024, 178F124 )に内蔵</p> <p>μ PD178F124のEEPROM™を削除</p>
p.26, 33, 247-254	割り込み機能の本数を変更( μ PD178022, 178023, 178024にINTSER0, INTSR0, INTST0を追加, μ PD178F124からINTEEを削除 )
p.28	80ピン・プラスチックQFP( GF-3B9タイプ )の端子接続図を修正
p.29	80ピン・プラスチックQFP( GC-8BTタイプ )の端子接続図を修正
p.34, 297, 302, 306, 308	STOPモード時のPOC電圧を2.2 Vに変更
p.38, 85, 95	ポート 4( P40-P47 )を入力 / 出力時ともにプルアップ抵抗を使用可能に訂正
p.42, 43	P76/SDA0, P77/SCL0の入出力回路タイプを訂正
p.62	POCSを「 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定 」に訂正
p.64	IMS, IXSを「 8 ビット・メモリ操作命令で設定 」に訂正
p.145	PFM3を「 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定 」に訂正

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。



# はじめに

**対象者** このマニュアルは、 $\mu$ PD178024サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成**  $\mu$ PD178024サブシリーズのマニュアルは、このマニュアルと命令編(78K/0シリーズ共通)の2冊に分かれています。

$\mu$ PD178024サブシリーズ ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

$\mu$ PD178024サブシリーズの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がDF178124, RA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

$\mu$ PD178024サブシリーズの電気的特性を知りたいとき

別冊のデータ・シートを参照してください。

- 凡 例**
- データ表記の重み : 左が上位桁, 右が下位桁
  - アクティブ・ロウの表記 :  $\overline{x \times x}$ ( 端子, 信号名称に上線 )
  - 注 : 本文中につけた注の説明
  - 注意 : 気をつけて読んでいただきたい内容
  - 備考 : 本文の補足説明
  - 数の表記 : 2進数...  $x \times x \times x$  または  $x \times x \times x \text{ B}$   
 10進数...  $x \times x \times x$   
 16進数...  $x \times x \times x \text{ H}$

**関連資料** 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

### デバイスの関連資料

#### μPD178024サブシリーズの関連資料

資料名	資料番号	
	和文	英文
μPD178022, 178023, 178024 ペーパー・マシン	U14126J	作成予定
μPD178F124 ペーパー・マシン	作成予定	作成予定
μPD178024サブシリーズ ユーザーズ・マニュアル	このマニュアル	U13915E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K/0シリーズ インストラクション活用表	U10903J	-
78K/0シリーズ インストラクション・セット	U10904J	-
78K/0シリーズ アプリケーション・ノート	基礎編	U12704J
		U12704E

### 開発ツールの関連資料(ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		U12323J	EEU-1402
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
IE-78001-R-A		作成予定	作成予定
IE-78K0-NS		U13731J	作成予定
IE-178134-NS-EM1		作成予定	作成予定
EP-78130		-	EEU-1470
EP-78230		EEU-985	EEU-1515
ID78K0-NS 統合デバッグ Windows™ベース	レファレンス編	U12900J	U12900E
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0 統合デバッグ EWSベース	レファレンス編	U11151J	-
ID78K0 統合デバッグ PCベース	レファレンス編	U11539J	U11539E
ID78K0 統合デバッグ Windowsベース	ガイド編	U11649J	U11649E

### 組み込み用ソフトウェアの関連資料(ユーザーズ・マニュアル)

資料名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

### その他の関連資料

資料名		資料番号	
		和文	英文
SEMICONDUCTORS SELECTION GUIDE Products & Packages( CD-ROM )		X13769X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電(ESD)破壊対策ガイド		C11892J	C11892E
半導体 品質/信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

[メモ]

# 目 次

## 第1章 概 説 ... 25

- 1.1 特 徴 ... 25
- 1.2 応用分野 ... 26
- 1.3 オータ情報 ... 27
- 1.4 端子接続図(Top View) ... 28
- 1.5 8ビットDTSシリーズの展開 ... 31
- 1.6 ブロック図 ... 32
- 1.7 機能概要 ... 33

## 第2章 端子機能 ... 35

- 2.1 端子機能一覧 ... 35
- 2.2 端子機能の説明 ... 37
  - 2.2.1 P00-P06( Port0 ) ... 37
  - 2.2.2 P10-P15( Port1 ) ... 37
  - 2.2.3 P30-P37( Port3 ) ... 37
  - 2.2.4 P40-P47( Port4 ) ... 38
  - 2.2.5 P50-P57( Port5 ) ... 38
  - 2.2.6 P60-P67( Port6 ) ... 38
  - 2.2.7 P70-P77( Port7 ) ... 38
  - 2.2.8 P120-P125( Port12 ) ... 38
  - 2.2.9 P130-P132( Port13 ) ... 39
  - 2.2.10 EO0, EO1 ... 39
  - 2.2.11 VCOL, VCOH ... 39
  - 2.2.12 AMIFC ... 39
  - 2.2.13 FMIFC ... 39
  - 2.2.14  $\overline{\text{RESET}}$  ... 40
  - 2.2.15 X1, X2 ... 40
  - 2.2.16 REGOSC ... 40
  - 2.2.17 REGCPU ... 40
  - 2.2.18 V<sub>DD</sub> ... 40
  - 2.2.19 GND ... 40
  - 2.2.20 V<sub>DD</sub>PORT ... 40
  - 2.2.21 GNDPORT ... 40
  - 2.2.22 V<sub>DD</sub>PLL ... 40
  - 2.2.23 GNDPLL ... 40
  - 2.2.24 V<sub>PR</sub>(  $\mu$ PD178F124のみ ) ... 40
  - 2.2.25 IQ( マスクROM製品のみ ) ... 41
- 2.3 端子の入出力回路と未使用端子の処理 ... 42

## 第3章 CPUアーキテクチャ ... 45

- 3.1 メモリ空間 ... 45
  - 3.1.1 内部プログラム・メモリ空間 ... 50
  - 3.1.2 内部データ・メモリ空間 ... 51
  - 3.1.3 特殊機能レジスタ(SFR : Special Function Register)領域 ... 51

3.1.4	データ・メモリ・アドレッシング	...	52
<b>3.2</b>	<b>プロセッサ・レジスタ</b>	...	56
3.2.1	制御レジスタ	...	56
3.2.2	汎用レジスタ	...	59
3.2.3	特殊機能レジスタ( SFR : Special Function Register )	...	61
<b>3.3</b>	<b>命令アドレスのアドレッシング</b>	...	65
3.3.1	レラティブ・アドレッシング	...	65
3.3.2	イミューディエト・アドレッシング	...	66
3.3.3	テーブル・インダイレクト・アドレッシング	...	67
3.3.4	レジスタ・アドレッシング	...	68
<b>3.4</b>	<b>オペランド・アドレスのアドレッシング</b>	...	69
3.4.1	インプライド・アドレッシング	...	69
3.4.2	レジスタ・アドレッシング	...	70
3.4.3	ダイレクト・アドレッシング	...	71
3.4.4	ショート・ダイレクト・アドレッシング	...	72
3.4.5	特殊機能レジスタ( SFR )アドレッシング	...	74
3.4.6	レジスタ・インダイレクト・アドレッシング	...	75
3.4.7	ベースト・アドレッシング	...	76
3.4.8	ベースト・インデクスト・アドレッシング	...	77
3.4.9	スタック・アドレッシング	...	77

## 第4章 ポート機能 ... 79

<b>4.1</b>	<b>ポートの機能</b>	...	79
<b>4.2</b>	<b>ポートの構成</b>	...	81
4.2.1	ポート0	...	81
4.2.2	ポート1	...	82
4.2.3	ポート3	...	83
4.2.4	ポート4	...	85
4.2.5	ポート5	...	86
4.2.6	ポート6	...	87
4.2.7	ポート7	...	88
4.2.8	ポート12	...	90
4.2.9	ポート13	...	91
<b>4.3</b>	<b>ポート機能を制御するレジスタ</b>	...	92
<b>4.4</b>	<b>ポート機能の動作</b>	...	96
4.4.1	入出力ポートへの書き込み	...	96
4.4.2	入出力ポートからの読み出し	...	96
4.4.3	入出力ポートでの演算	...	97

## 第5章 クロック発生回路 ... 99

<b>5.1</b>	<b>クロック発生回路の機能</b>	...	99
<b>5.2</b>	<b>クロック発生回路の構成</b>	...	100
<b>5.3</b>	<b>クロック発生回路を制御するレジスタ</b>	...	101
<b>5.4</b>	<b>システム・クロック発振回路</b>	...	102
5.4.1	システム・クロック発振回路	...	102
5.4.2	分周回路	...	104
<b>5.5</b>	<b>クロック発生回路の動作</b>	...	105
<b>5.6</b>	<b>システム・クロックとCPUクロックの設定の変更</b>	...	106
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	106

<b>第6章</b>	<b>8ビット・タイマ/イベント・カウンタ</b>	...	107
6.1	8ビット・タイマ/イベント・カウンタの機能	...	107
6.2	8ビット・タイマ/イベント・カウンタの構成	...	109
6.3	8ビット・タイマ/イベント・カウンタを制御するレジスタ	...	110
6.4	8ビット・タイマ/イベント・カウンタの動作	...	114
6.4.1	インターバル・タイマ(8ビット)としての動作	...	114
6.4.2	外部イベント・カウンタとしての動作	...	118
6.4.3	方形波出力(8ビット分解能)としての動作	...	119
6.4.4	8ビットPWM出力としての動作	...	120
6.4.5	インターバル・タイマ(16ビット)としての動作	...	123
6.5	8ビット・タイマ/イベント・カウンタの注意事項	...	124
<b>第7章</b>	<b>ベーシック・タイマ</b>	...	127
7.1	ベーシック・タイマの機能	...	127
7.2	ベーシック・タイマの構成	...	127
7.3	ベーシック・タイマの動作	...	128
<b>第8章</b>	<b>ウォッチドッグ・タイマ</b>	...	129
8.1	ウォッチドッグ・タイマの機能	...	129
8.2	ウォッチドッグ・タイマの構成	...	131
8.3	ウォッチドッグ・タイマを制御するレジスタ	...	131
8.4	ウォッチドッグ・タイマの動作	...	135
8.4.1	ウォッチドッグ・タイマとしての動作	...	135
8.4.2	インターバル・タイマとしての動作	...	136
<b>第9章</b>	<b>ブザー出力制御回路</b>	...	137
9.1	ブザー出力制御回路の機能	...	137
9.2	ブザー出力制御回路の構成	...	137
9.3	ブザー出力制御回路を制御するレジスタ	...	138
9.4	ブザー出力制御回路の動作	...	138
<b>第10章</b>	<b>A/Dコンバータ</b>	...	139
10.1	A/Dコンバータの機能	...	139
10.2	A/Dコンバータの構成	...	139
10.3	A/Dコンバータを制御するレジスタ	...	142
10.4	A/Dコンバータの動作	...	146
10.4.1	A/Dコンバータの基本動作	...	146
10.4.2	入力電圧と変換結果	...	148
10.4.3	A/Dコンバータの動作モード	...	149
10.5	A/Dコンバータの注意事項	...	155
<b>第11章</b>	<b>シリアル・インタフェース(IIC0)</b>	...	159
11.1	シリアル・インタフェース(IIC0)の機能	...	159
11.2	シリアル・インタフェース(IIC0)の構成	...	162
11.3	シリアル・インタフェース(IIC0)を制御するレジスタ	...	164
11.4	I <sup>2</sup> Cバス・モードの機能	...	174

11.4.1	端子構成	...	174
<b>11.5</b>	<b>I<sup>2</sup>Cバスの定義および制御方法</b>	...	<b>175</b>
11.5.1	スタート・コンディション	...	175
11.5.2	アドレス	...	176
11.5.3	転送方向指定	...	176
11.5.4	アクノリッジ信号 (ACK)	...	177
11.5.5	ストップ・コンディション	...	178
11.5.6	ウエイト信号 (WAIT)	...	179
11.5.7	I <sup>2</sup> C割り込み要求 (INTIIC0)	...	181
11.5.8	割り込み要求 (INTIIC0) 発生タイミングおよびウエイト制御	...	201
11.5.9	アドレスの一致検出方法	...	202
11.5.10	エラーの検出	...	202
11.5.11	拡張コード	...	203
11.5.12	アービトレーション	...	204
11.5.13	ウエイク・アップ機能	...	206
11.5.14	通信予約	...	206
11.5.15	その他の注意事項	...	208
11.5.16	通信動作	...	209
<b>11.6</b>	<b>タイミング・チャート</b>	...	<b>211</b>
<b>第12章</b>	<b>シリアル・インタフェース(SIO3)</b>	...	<b>219</b>
12.1	シリアル・インタフェース(SIO3)の機能	...	219
12.2	シリアル・インタフェース(SIO3)の構成	...	220
12.3	シリアル・インタフェース(SIO3)を制御するレジスタ	...	221
12.4	シリアル・インタフェース(SIO3)の動作	...	223
12.4.1	動作停止モード	...	223
12.4.2	3線式シリアルI/Oモード	...	224
<b>第13章</b>	<b>シリアル・インタフェース(UART0)</b>	...	<b>227</b>
13.1	シリアル・インタフェース(UART0)の機能	...	227
13.2	シリアル・インタフェース(UART0)の構成	...	228
13.3	シリアル・インタフェース(UART0)を制御するレジスタ	...	230
13.4	シリアル・インタフェース(UART0)の動作	...	234
13.4.1	動作停止モード	...	234
13.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	235
<b>第14章</b>	<b>割り込み機能</b>	...	<b>247</b>
14.1	割り込み機能の種類	...	247
14.2	割り込み要因と構成	...	247
14.3	割り込み機能を制御するレジスタ	...	251
14.4	割り込み処理動作	...	257
14.4.1	ノンマスカブル割り込み要求の受け付け動作	...	257
14.4.2	マスカブル割り込み要求の受け付け動作	...	260
14.4.3	ソフトウェア割り込み要求の受け付け動作	...	263
14.4.4	多重割り込み処理	...	264
14.4.5	割り込み要求の保留	...	267



<b>第15章</b>	<b>PLL周波数シンセサイザ</b>	...	269
15.1	PLL周波数シンセサイザの機能	...	269
15.2	PLL周波数シンセサイザの構成	...	271
15.3	PLL周波数シンセサイザを制御するレジスタ	...	273
15.4	PLL周波数シンセサイザの動作	...	277
15.4.1	PLL周波数シンセサイザの各ブロックの動作	...	277
15.4.2	PLL周波数シンセサイザのN値の設定動作	...	281
15.5	PLLディスエーブル状態	...	286
15.6	PLL周波数シンセサイザの注意事項	...	286
<b>第16章</b>	<b>周波数カウンタ</b>	...	287
16.1	周波数カウンタの機能	...	287
16.2	周波数カウンタの構成	...	287
16.3	周波数カウンタを制御するレジスタ	...	289
16.4	周波数カウンタの動作	...	291
16.5	周波数カウンタの注意事項	...	294
<b>第17章</b>	<b>スタンバイ機能</b>	...	297
17.1	スタンバイ機能と構成	...	297
17.1.1	スタンバイ機能	...	297
17.1.2	スタンバイ機能を制御するレジスタ	...	298
17.2	スタンバイ機能の動作	...	299
17.2.1	HALTモード	...	299
17.2.2	STOPモード	...	302
<b>第18章</b>	<b>リセット機能</b>	...	305
18.1	リセット機能	...	305
18.2	停電検出機能	...	311
18.3	4.5V電源検出機能	...	312
<b>第19章</b>	<b>μPD178F124</b>	...	313
19.1	メモリ・サイズ切り替えレジスタ(IMS)	...	314
19.2	内部拡張RAMサイズ切り替えレジスタ(IXS)	...	315
19.3	フラッシュ・メモリ・プログラミング	...	316
19.3.1	通信方式の選択	...	316
19.3.2	フラッシュ・メモリ・プログラミングの機能	...	317
19.3.3	Flashpro の接続	...	317
19.3.4	Flashpro (PG-FP3)での設定例	...	319
<b>第20章</b>	<b>命令セットの概要</b>	...	321
20.1	凡 例	...	322
20.1.1	オペランドの表現形式と記述方法	...	322
20.1.2	オペレーション欄の説明	...	323
20.1.3	フラグ動作欄の説明	...	323
20.2	オペレーション一覧	...	324
20.3	アドレッシング別命令一覧	...	333

**付録A 開発ツール ... 337**

A.1 言語処理用ソフトウェア ... 340

A.2 フラッシュ・メモリ書き込み用ツール ... 341

A.3 デバッグ用ツール ... 342

A.3.1 ハードウェア ... 342

A.3.2 ソフトウェア ... 344

A.4 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 ... 346

**付録B 組み込み用ソフトウェア ... 351**

**付録C レジスタ索引 ... 353**

C.1 レジスタ索引 (50音順) ... 353

C.2 レジスタ索引 (アルファベット順) ... 356

**★ 付録D 改版履歴 ... 359**

## 図の目次(1/5)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 43
3 - 1	メモリ・マップ(μPD178022) ... 46
3 - 2	メモリ・マップ(μPD178023) ... 47
3 - 3	メモリ・マップ(μPD178024) ... 48
3 - 4	メモリ・マップ(μPD178F124) ... 49
3 - 5	データ・メモリのアドレッシング(μPD178022) ... 52
3 - 6	データ・メモリのアドレッシング(μPD178023) ... 53
3 - 7	データ・メモリのアドレッシング(μPD178024) ... 54
3 - 8	データ・メモリのアドレッシング(μPD178F124) ... 55
3 - 9	プログラム・カウンタの構成 ... 56
3 - 10	プログラム・ステータス・ワードの構成 ... 56
3 - 11	スタック・ポインタの構成 ... 58
3 - 12	スタック・メモリへ退避されるデータ ... 58
3 - 13	スタック・メモリから復帰されるデータ ... 59
3 - 14	汎用レジスタの構成 ... 60
4 - 1	ポートの種類 ... 79
4 - 2	P00-P06のブロック図 ... 81
4 - 3	P10-P15のブロック図 ... 82
4 - 4	P33, P34, P36のブロック図 ... 83
4 - 5	P30-P32, P35, P37のブロック図 ... 84
4 - 6	P40-P47のブロック図 ... 85
4 - 7	キー入力検出回路のブロック図 ... 85
4 - 8	P50-P57のブロック図 ... 86
4 - 9	P60-P67のブロック図 ... 87
4 - 10	P70-P72, P74-P77のブロック図 ... 88
4 - 11	P73のブロック図 ... 89
4 - 12	P120-P125のブロック図 ... 90
4 - 13	P130, P131のブロック図 ... 91
4 - 14	P132のブロック図 ... 91
4 - 15	ポート・モード・レジスタのフォーマット ... 94
4 - 16	プルアップ抵抗オプション・レジスタ 4(PU4)のフォーマット ... 95
5 - 1	DTシステム・クロック選択レジスタ(DTSCK)のフォーマット ... 99
5 - 2	クロック発生回路のブロック図 ... 100
5 - 3	プロセッサ・クロック・コントロール・レジスタ(PCC)のフォーマット ... 101
5 - 4	システム・クロック発振回路の外付け回路 ... 102
5 - 5	発振子の接続の悪い例 ... 103

## 図の目次(2/5)

図番号	タイトル, ページ
6 - 1	8ビット・タイマ/イベント・カウンタ50のブロック図 ... 108
6 - 2	8ビット・タイマ/イベント・カウンタ51のブロック図 ... 108
6 - 3	タイマ・クロック選択レジスタ50(TCL50)のフォーマット ... 110
6 - 4	タイマ・クロック選択レジスタ51(TCL51)のフォーマット ... 111
6 - 5	8ビット・タイマ・モード・コントロール・レジスタ50(TMC50)のフォーマット ... 112
6 - 6	8ビット・タイマ・モード・コントロール・レジスタ51(TMC51)のフォーマット ... 113
6 - 7	インターバル・タイマ動作のタイミング ... 115
6 - 8	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) ... 118
6 - 9	方形波出力動作のタイミング ... 119
6 - 10	PWM出力の動作タイミング ... 121
6 - 11	CR5n変更による動作のタイミング ... 122
6 - 12	16ビット分解能カスケード接続モード ... 124
6 - 13	8ビット・タイマ・カウンタのスタート・タイミング ... 124
6 - 14	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 125
7 - 1	ベーシック・タイマのブロック図 ... 127
7 - 2	ベーシック・タイマ動作のタイミング ... 128
7 - 3	BTMIF0フラグをポーリングする場合の動作タイミング ... 128
8 - 1	ウォッチドッグ・タイマのブロック図 ... 129
8 - 2	ウォッチドッグ・タイマ・クロック選択レジスタ(WDCS)のフォーマット ... 132
8 - 3	ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット ... 133
8 - 4	発振安定時間選択レジスタ(OSTS)のフォーマット ... 134
9 - 1	ブザー出力制御回路のブロック図 ... 137
9 - 2	BEEPクロック選択レジスタ0(BEEPCL0)のフォーマット ... 138
10 - 1	A/Dコンバータのブロック図 ... 140
10 - 2	A/Dコンバータ・モード・レジスタ3(ADM3)のフォーマット ... 143
10 - 3	アナログ入力チャネル指定レジスタ3(ADS3)のフォーマット ... 144
10 - 4	パワー・フェイル比較モード・レジスタ3(PFM3)のフォーマット ... 145
10 - 5	A/Dコンバータの基本動作 ... 147
10 - 6	アナログ入力電圧とA/D変換結果の関係 ... 148
10 - 7	A/D変換動作 ... 150
10 - 8	パワー・フェイル比較しきい値レジスタ3(PFT3) ... 151
10 - 9	パワー・フェイル比較モードによるA/D変換動作 ... 152
10 - 10	スタンバイ・モード時の消費電流を低減させる方法例 ... 155
10 - 11	A/D変換終了割り込み要求発生タイミング ... 156
11 - 1	シリアル・インタフェース(IIC0)のブロック図 ... 160

## 図の目次(3/5)

図番号	タイトル, ページ
11 - 2	I <sup>2</sup> Cバスによるシリアル・バス構成例 ... 161
11 - 3	IICコントロール・レジスタ0 (IICC0)のフォーマット ... 165
11 - 4	IIC状態レジスタ0 (IICS0)のフォーマット ... 169
11 - 5	IIC転送クロック選択レジスタ0 (IICCL0)のフォーマット ... 172
11 - 6	端子構成図 ... 174
11 - 7	I <sup>2</sup> Cバスのシリアル・データ転送タイミング ... 175
11 - 8	スタート・コンディション ... 175
11 - 9	アドレス ... 176
11 - 10	転送方向指定 ... 176
11 - 11	アクノリッジ信号 ... 177
11 - 12	ストップ・コンディション ... 178
11 - 13	ウエイト信号 ... 179
11 - 14	アービトレーション・タイミング例 ... 204
11 - 15	通信予約のタイミング ... 207
11 - 16	通信予約受け付けタイミング ... 207
11 - 17	通信予約の手順 ... 208
11 - 18	マスタ動作手順 ... 209
11 - 19	スレーブ動作手順 ... 210
11 - 20	マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 212
11 - 21	スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 215
12 - 1	シリアル・インタフェース(SIO3)のブロック図 ... 219
12 - 2	シリアル動作モード・レジスタ3(CSIM3)のフォーマット ... 221
12 - 3	3線式シリアルI/Oモードのタイミング ... 225
13 - 1	シリアル・インタフェース(UART0)のブロック図 ... 227
13 - 2	アシンクロナス・シリアル・インタフェース・モード・レジスタ0(ASIM0)のフォーマット ... 231
13 - 3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0(ASIS0)のフォーマット ... 232
13 - 4	ポー・レート・ジェネレータ・コントロール・レジスタ0(BRGC0)のフォーマット ... 233
13 - 5	サンプリング誤差を考慮したポー・レートの許容誤差(k=0の場合) ... 240
13 - 6	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 241
13 - 7	アシンクロナス・シリアル・インタフェース送信完了割り込み要求発生タイミング ... 243
13 - 8	アシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミング ... 244
13 - 9	受信エラー・タイミング ... 245
14 - 1	割り込み機能の基本構成 ... 249
14 - 2	割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L)のフォーマット ... 252
14 - 3	割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L)のフォーマット ... 253
14 - 4	優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)のフォーマット ... 254

## 図の目次(4/5)

図番号	タイトル, ページ
14 - 5	外部割り込み立ち上がりエッジ許可レジスタ(EGP), 外部割り込み立ち下がりエッジ許可レジスタ(EGN)のフォーマット ... 255
14 - 6	プログラム・ステータス・ワード(PSW)の構成 ... 256
14 - 7	ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート ... 258
14 - 8	ノンマスカブル割り込み要求の受け付けタイミング ... 258
14 - 9	ノンマスカブル割り込み要求の受け付け動作 ... 259
14 - 10	割り込み要求受け付け処理アルゴリズム ... 261
14 - 11	割り込み要求の受け付けタイミング(最小時間) ... 262
14 - 12	割り込み要求の受け付けタイミング(最大時間) ... 262
14 - 13	多重割り込みの例 ... 265
14 - 14	割り込み要求の保留 ... 267
15 - 1	PLL周波数シンセサイザのブロック図 ... 271
15 - 2	PLLモード・セレクト・レジスタ(PLLMD)のフォーマット ... 273
15 - 3	PLLレファレンス・モード・レジスタ(PLLRF)のフォーマット ... 274
15 - 4	PLLアンロックF/Fジャッジ・レジスタ(PLLUL)のフォーマット ... 275
15 - 5	PLLデータ転送レジスタ(PLLNS)のフォーマット ... 276
15 - 6	入力切り替えブロックおよびプログラマブル・ディバイダの構成 ... 277
15 - 7	基準周波数発生器の構成 ... 278
15 - 8	位相比較器, チャージ・ポンプおよびアンロックF/Fの構成 ... 278
15 - 9	$f_r$ , $f_n$ , $\overline{UP}$ , $\overline{DW}$ 信号の関係 ... 279
15 - 10	エラー・アウト出力の構成 ... 280
16 - 1	周波数カウンタのブロック図 ... 288
16 - 2	IFカウンタ・モード・セレクト・レジスタ(IFCMD)のフォーマット ... 289
16 - 3	IFカウンタ・コントロール・レジスタ(IFCCR)のフォーマット ... 290
16 - 4	IFカウンタ・ゲート・ジャッジ・レジスタ(IFCJG)のフォーマット ... 291
16 - 5	入力端子, モードの選択ブロック図 ... 292
16 - 6	周波数カウンタのゲート・タイミング ... 293
16 - 7	周波数カウンタ入力端子回路 ... 294
16 - 8	HALT命令を実行したときのゲート状態 ... 295
17 - 1	発振安定時間選択レジスタ(OSTS)のフォーマット ... 298
17 - 2	HALTモードの割り込み要求発生による解除 ... 300
17 - 3	HALTモードの $\overline{RESET}$ 入力による解除 ... 301
17 - 4	STOPモードの割り込み要求発生による解除 ... 303
17 - 5	STOPモードの $\overline{RESET}$ 入力による解除 ... 304
18 - 1	リセット機能のブロック図 ... 306
18 - 2	$\overline{RESET}$ 入力によるリセット・タイミング ... 307

## 図の目次(5/5)

図番号	タイトル, ページ
18 - 3	ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング ... 307
18 - 4	パワーオン・クリアによるリセット・タイミング ... 308
18 - 5	POCステータス・レジスタ(POCS)のフォーマット ... 311
18 - 6	POCステータス・レジスタ(POCS)のフォーマット ... 312
19 - 1	メモリ・サイズ切り替えレジスタ(IMS)のフォーマット ... 314
19 - 2	内部拡張RAMサイズ切り替えレジスタ(IXS)のフォーマット ... 315
19 - 3	通信方式選択フォーマット ... 316
19 - 4	3線式シリアルI/O方式でのFlashpro の接続 ... 317
19 - 5	IIC0方式でのFlashpro の接続 ... 318
19 - 6	UART0方式でのFlashpro の接続 ... 318
A - 1	開発ツール構成 ... 338
A - 2	EV-9200G-80 外形図(参考) (単位: mm) ... 347
A - 3	EV-9200G-80 基盤取り付け推奨パターン(参考) (単位: mm) ... 348
A - 4	EV-9200GC-80 外形図(参考) (単位: mm) ... 349
A - 5	EV-9200GC-80 基盤取り付け推奨パターン(参考) (単位: mm) ... 350

# 表の目次(1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 42
3 - 1	内部メモリ容量 ... 50
3 - 2	ベクタ・テーブル ... 50
3 - 3	汎用レジスタの絶対アドレス対照表 ... 59
3 - 4	特殊機能レジスタ一覧 ... 62
4 - 1	ポートの機能 ... 80
4 - 2	ポートの構成 ... 81
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 93
5 - 1	クロック発生回路の構成 ... 100
5 - 2	CPUクロックの切り替えに要する最大時間 ... 106
6 - 1	8ビット・タイマ/イベント・カウンタの構成 ... 109
8 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 130
8 - 2	インターバル時間 ... 130
8 - 3	ウォッチドッグ・タイマの構成 ... 131
8 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 135
8 - 5	インターバル・タイマのインターバル時間 ... 136
9 - 1	ブザー出力制御回路の構成 ... 137
10 - 1	A/Dコンバータの構成 ... 139
11 - 1	シリアル・インタフェース (IIC0) の構成 ... 162
11 - 2	INTIIC0発生タイミングおよびウェイト制御 ... 201
11 - 3	拡張コードのビットの定義 ... 203
11 - 4	アービトレーション発生時の状態と割り込み要求発生タイミング ... 205
11 - 5	ウェイト時間 ... 206
12 - 1	シリアル・インタフェース(SIO3)の構成 ... 220
13 - 1	シリアル・インタフェース(UART0)の構成 ... 228
13 - 2	5ビット・カウンタのソース・クロックとnの値との関係 ... 239
13 - 3	システム・クロックとボー・レートの関係 ... 240
13 - 4	受信エラーの要因 ... 245
14 - 1	割り込み要因一覧 ... 248



## 表の目次(2/2)

表番号	タイトル, ページ
14 - 2	割り込み要求ソースに対する各種フラグ ... 251
14 - 3	マスカブル割り込み要求発生から処理までの時間 ... 260
14 - 4	割り込み処理中に多重割り込み可能な割り込み要求 ... 264
15 - 1	分周方式, 入力端子および分周値 ... 270
15 - 2	PLL周波数シンセサイザの構成 ... 271
15 - 3	エラー・アウト出力信号 ... 280
15 - 4	PLLディスエーブル時の各ブロックの動作およびレジスタの状態 ... 286
16 - 1	周波数カウンタの構成 ... 287
17 - 1	HALTモード時の動作状態 ... 299
17 - 2	HALTモードの解除後の動作 ... 301
17 - 3	STOPモード時の動作状態 ... 302
17 - 4	STOPモードの解除後の動作 ... 304
18 - 1	各ハードウェアのリセット後の状態 ... 309
19 - 1	μPD178F124とマスクROM製品の違い ... 313
19 - 2	メモリ・サイズ切り替えレジスタの設定値 ... 314
19 - 3	内部拡張RAMサイズ切り替えレジスタの設定値 ... 315
19 - 4	通信方式一覧 ... 316
19 - 5	フラッシュ・メモリ・プログラミングの主な機能 ... 317
19 - 6	Flashpro (PG-FP3)での設定例 ... 319
20 - 1	オペランドの表現形式と記述方法 ... 322
A - 1	78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法 ... 346

[メモ]

# 第1章 概 説

## 1.1 特 徴

ROM, RAM内蔵

品 名	項 目	プログラム・メモリ		データ・メモリ	
				内部高速RAM	EEPROM
μ PD178022	ROM	16 Kバイト	512バイト	-	
μ PD178023		24 Kバイト	1024バイト		
μ PD178024		32 Kバイト			
μ PD178F124 <sup>注</sup>	フラッシュ・メモリ	32 Kバイト			

注 開発中

システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令機能

汎用入出力ポート：62本

PLL周波数シンセサイザ用ハードウェア内蔵

- ・デュアル・モジュラス・プリスケアラ（160 MHz MAX.）
- ・プログラマブル・ディバイダ
- ・位相比較器
- ・チャージ・ポンプ

周波数カウンタ内蔵

8ビット分解能A/Dコンバータ：6チャンネル

- ★ シリアル・インタフェース：3チャンネル
  - ・I<sup>2</sup>Cバス・モード<sup>注</sup>：1チャンネル
  - ・3線式シリアルI/Oモード：1チャンネル
- ★ ・UARTモード：1チャンネル

注 I<sup>2</sup>Cバス・モードを使用した場合（周辺ハードウェアを使用せず、プログラムで実現した場合も含む）、マ  
スク発注時に当社販売員に連絡してください。

タイマ：4チャンネル

- ・ベーシック・タイマ (タイマ・キャリーFF) : 1チャンネル
- ・8ビット・タイマ/イベント・カウンタ : 2チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

ブザー出力内蔵

★ ベクタ割り込み

品 名	項 目	ノンマスクابل 割り込み <sup>注</sup>	マスクابل割り込み <sup>注</sup>		ソフトウェア 割り込み
			外部	内部	
μPD178022, 178023, 178024, μPD178F124		1本	5本	11本	1本

注 ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスクابل割り込みとマスクابل割り込み (内部) があり、どちらか1種類のみ選択できます。

テスト入力：1本

インストラクション・サイクル：0.45/0.89/1.78/3.56/7.11 μs (4.5 MHz水晶振動子使用)

電源電圧：V<sub>DD</sub> = 4.5 ~ 5.5 V (CPU, PLL動作時)

V<sub>DD</sub> = 3.5 ~ 5.5 V (CPU動作時)

パワーオン・クリア回路内蔵

## 1.2 応用分野

カー・ステレオ

## ★ 1.3 オーダ情報

オーダ名称	パッケージ
μ PD178022GF- x x x -3B9	80ピン・プラスチックQFP ( 14 x 20 mm, 0.8 mmピッチ )
μ PD178022GC- x x x -8BT	80ピン・プラスチックQFP ( 14 x 14 mm, 0.65 mmピッチ )
μ PD178023GF- x x x -3B9	80ピン・プラスチックQFP ( 14 x 20 mm, 0.8 mmピッチ )
μ PD178023GC- x x x -8BT	80ピン・プラスチックQFP ( 14 x 14 mm, 0.65 mmピッチ )
μ PD178024GF- x x x -3B9	80ピン・プラスチックQFP ( 14 x 20 mm, 0.8 mmピッチ )
μ PD178024GC- x x x -8BT	80ピン・プラスチックQFP ( 14 x 14 mm, 0.65 mmピッチ )
μ PD178F124GF-3B9 <sup>注</sup>	80ピン・プラスチックQFP ( 14 x 20 mm, 0.8 mmピッチ )
μ PD178F124GC-8BT <sup>注</sup>	80ピン・プラスチックQFP ( 14 x 14 mm, 0.65 mmピッチ )

注 開発中

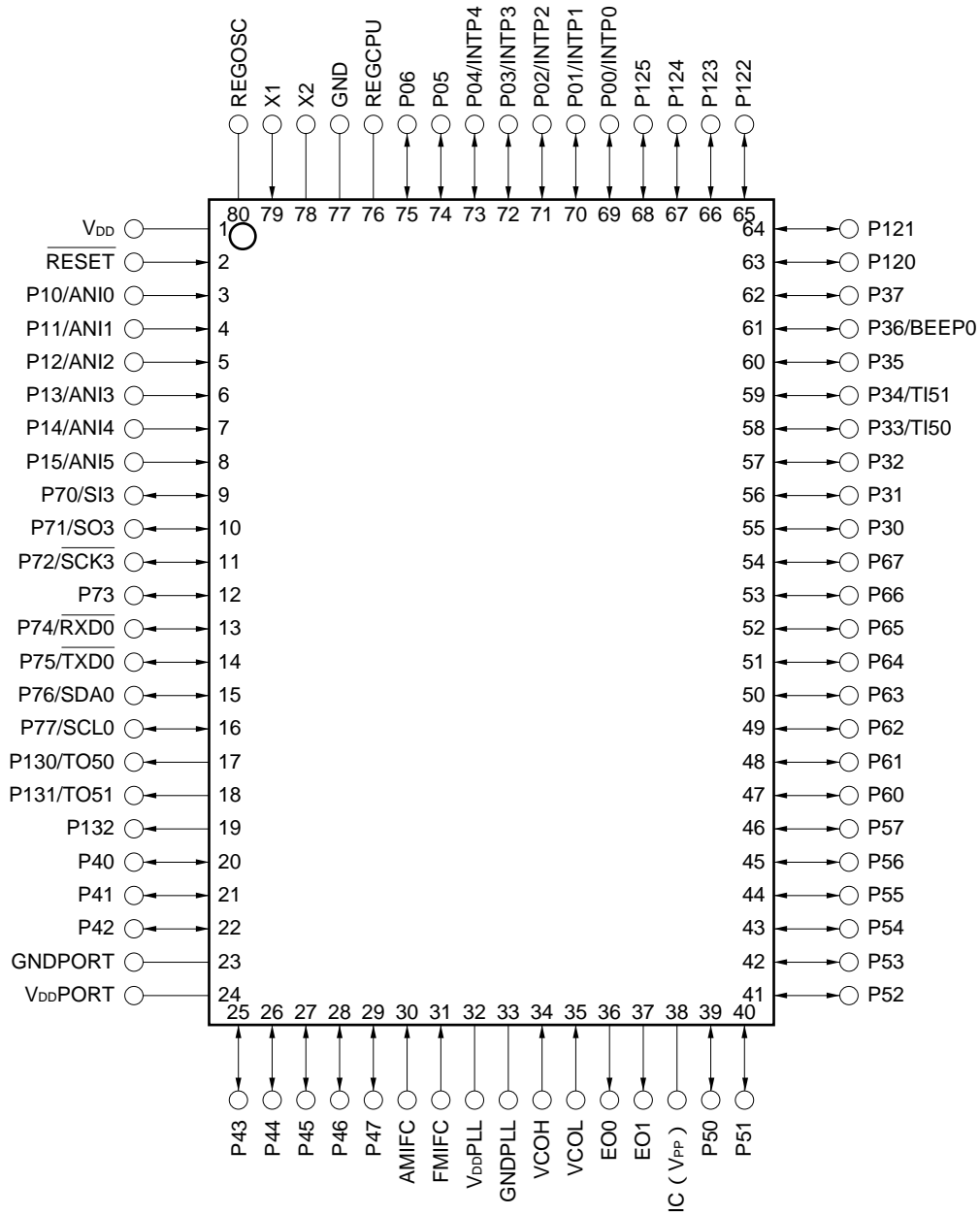
備考 x x x はROMコードです。またI<sup>2</sup>Cバス使用時はROM番号はE x x になります。

## 1.4 端子接続図 (Top View)

★ ・80ピン・プラスチックQFP (14×20 mm, 0.8 mmピッチ)

μ PD178022GF- x x x-3B9, 178023GF- x x x-3B9, 178024GF- x x x-3B9

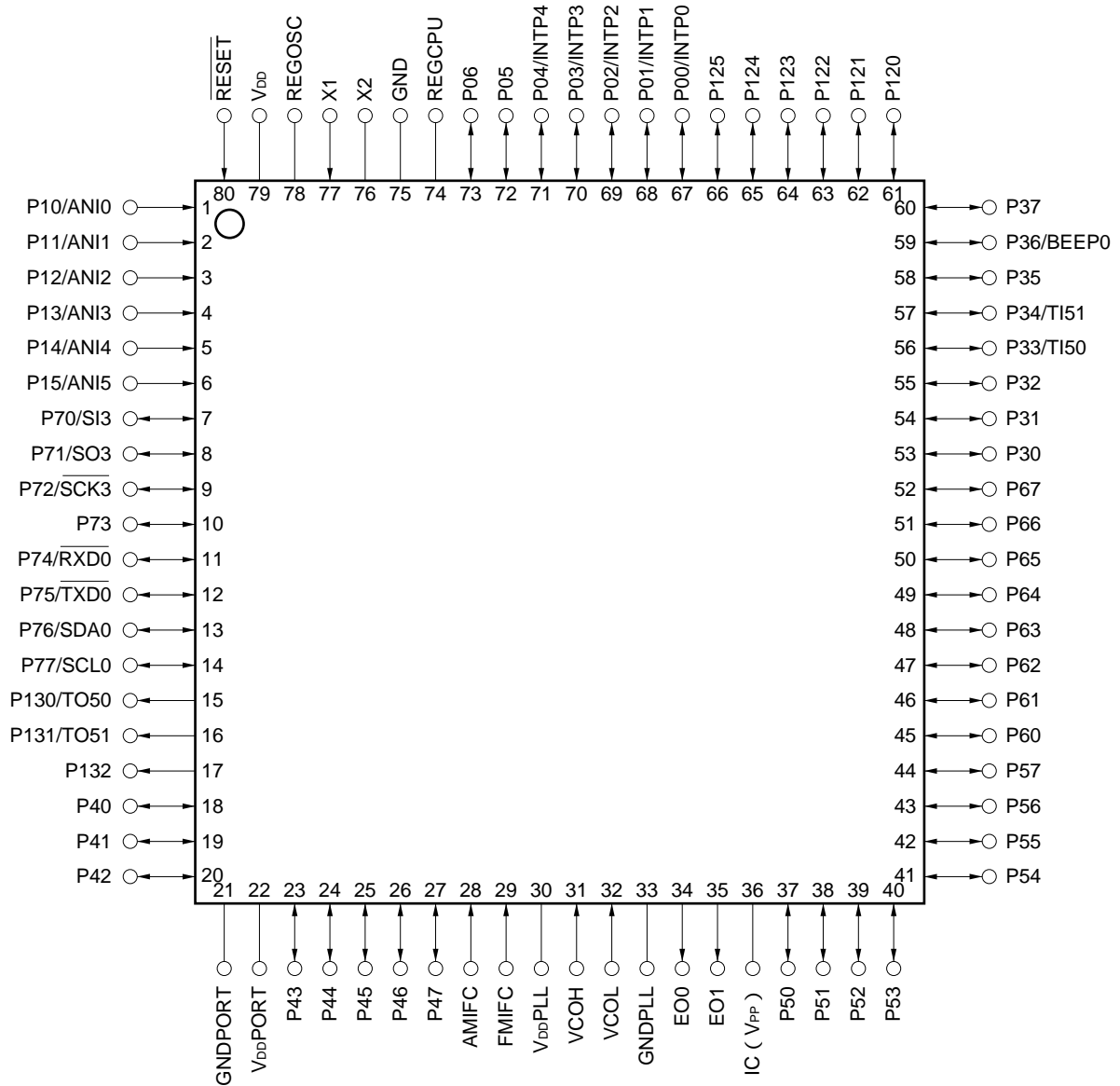
μ PD178F124GF-3B9<sup>註</sup>



★ ・80ピン・プラスチックQFP (14×14 mm, 0.65 mmピッチ)

μ PD178022GC- x x x -8BT, 178023GC- x x x -8BT, 178024GC- x x x -8BT

μ PD178F124GC-8BT<sup>注</sup>



注意 1. IC (Internally Connect) , V<sub>PP</sub>端子はGNDに直接接続してください。

2. V<sub>DD</sub>PORT, V<sub>DD</sub>PLL端子はV<sub>DD</sub>端子と同電位にしてください。

3. GNDPORT, GNDPLL端子はGNDと同電位にしてください。

4. REGOSC, REGCPU端子は各端子ごとに0.1 μFのコンデンサを介してGNDに接続してください。

注 開発中

備考 ( )内はμ PD178F124のとき

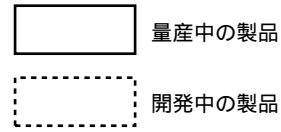
## 端子名称

AMIFC	: AM中間周波数カウンタ入力	REGCPU	: CPU電源用レギュレータ
ANI0-ANI5	: A/Dコンバータ入力	REGOSC	: 発振回路用レギュレータ
BEEP0	: ブザー出力	$\overline{\text{RESET}}$	: リセット入力
★ EO0, EO1	: エラー・アウト出力	$\overline{\text{RXD0}}$	: シリアル (UART0) データ入力
FMIFC	: FM中間周波数カウンタ入力	$\overline{\text{SCK3}}$	: シリアル (SIO3) クロック入力 / 出力
GND	: グランド	SCL0	: シリアル (IIC0) クロック入力 / 出力
GNDPLL	: PLL用グランド	SDA0	: シリアル (IIC0) データ入力 / 出力
GNDPORT	: ポート用グランド	SI3	: シリアル (SIO3) データ入力
IC	: 内部接続	SO3	: シリアル (SIO3) データ出力
INTP0-INTP4	: インタラプト入力	TI50, TI51	: 8ビット・タイマ・クロック入力
P00-P06	: ポート0	TO50, TO51	: 8ビット・タイマ出力
★ P10-P15	: ポート1	$\overline{\text{TXD0}}$	: シリアル (UART0) データ出力
P30-P37	: ポート3	VCOL, VCOH	: 局部発振入力
P40-P47	: ポート4	V <sub>DD</sub>	: 電源
P50-P57	: ポート5	V <sub>DD</sub> PLL	: PLL用電源
P60-P67	: ポート6	V <sub>DD</sub> PORT	: ポート用電源
P70-P77	: ポート7	V <sub>PP</sub> <sup>注</sup>	: プログラミング電源
P120-P125	: ポート12	X1, X2	: 水晶振動子接続
P130-P132	: ポート13		

注  $\mu$ PD178F124のとき

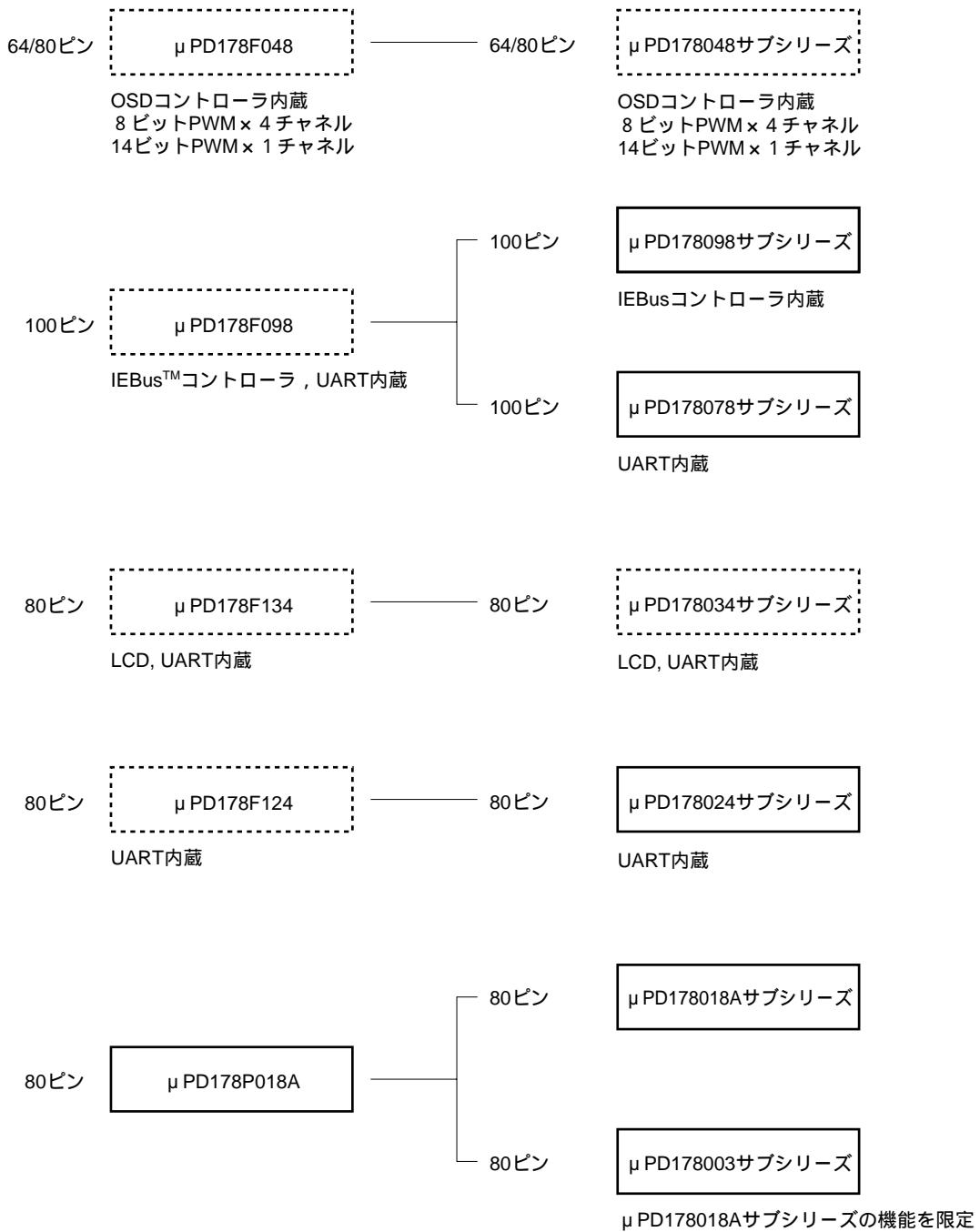


★ 1.5 8ビットDTSSシリーズの展開

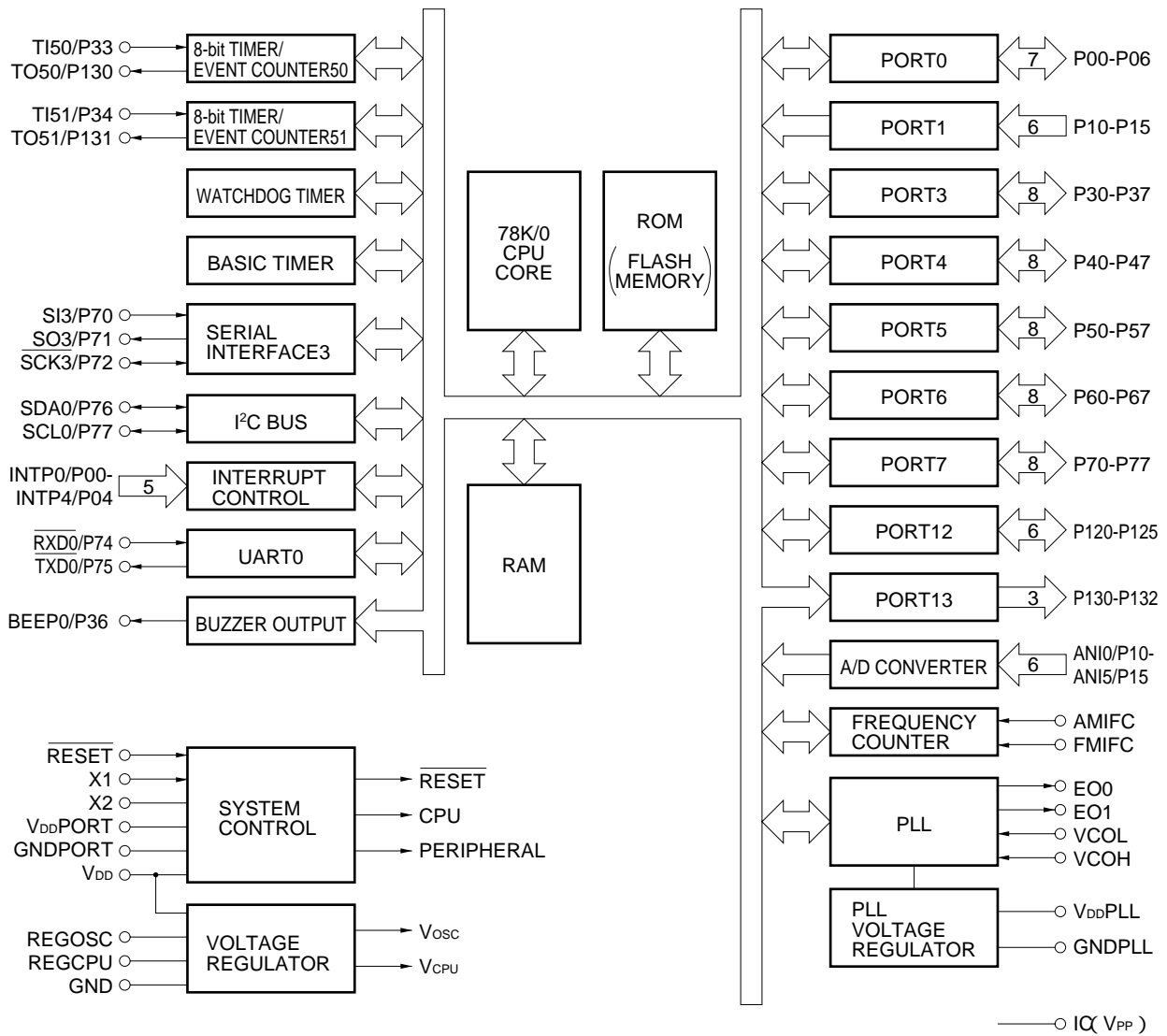


フラッシュ・メモリ製品  
またはPROM製品

マスクROM製品



★ 1.6 ブロック図



備考1 . 内部ROM, RAM容量は製品によって異なります。

2 . ( ) 内はμPD178F124のとき

## 1.7 機能概要

項 目		μ PD178022	μ PD178023	μ PD178024	μ PD178F124
内部メモリ	ROM	16 Kバイト (マスクROM)	24 Kバイト (マスクROM)	32 Kバイト (マスクROM)	32 Kバイト (フラッシュ・メモリ)
	高速RAM	512バイト	1024バイト		
	EEPROM			-	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)			
最小命令実行時間		0.45 μs/0.89 μs/1.78 μs/3.56 μs/7.11 μs (fx = 4.5 MHz水晶振動子使用)			
命令セット		<ul style="list-style-type: none"> <li>・16ビット演算</li> <li>・乗除算 (8ビット×8ビット, 16ビット÷8ビット)</li> <li>・ビット操作 (セット, リセット, テスト, ブール演算)</li> <li>・BCD補正など</li> </ul>			
I/Oポート		合計 : 62本 ・CMOS入出力 : 53本 ・CMOS入力 : 6本 ・N-chオープン・ドレイン出力 : 3本			
A/Dコンバータ		8ビット分解能×6チャンネル			
シリアル・インタフェース		<ul style="list-style-type: none"> <li>・I<sup>2</sup>Cバス・モード<sup>注</sup> : 1チャンネル</li> <li>・3線式モード : 1チャンネル</li> <li>・UARTモード : 1チャンネル</li> </ul>			
タイマ		<ul style="list-style-type: none"> <li>・ベーシック・タイマ (タイマ・キャリーFF (10 Hz)) : 1チャンネル</li> <li>・8ビット・タイマ/イベント・カウンタ : 2チャンネル</li> <li>・ウォッチドッグ・タイマ : 1チャンネル</li> </ul>			
ブザー出力		1チャンネル (1 kHz, 1.5 kHz, 3 kHz, 4 kHz)			
★	ベクタ	マスカブル	内部 : 11, 外部 : 5		
	割り込み	ノンマスカブル	内部 : 1		
	要因	ソフトウェア	1		
PLL周波数 シンセサイザ	分周方式	2種類 ・直接分周方式 (VCOL端子) ・パルス・スワロ方式 (VCOL, VCOH端子)			
	基準周波数	7種類をプログラムで選択 (1, 3, 9, 10, 12.5, 25, 50 kHz)			
	チャージ・ポンプ	エラー・アウト出力 2本			
	位相比較器	プログラムによりアンロック検出可能			

注 I<sup>2</sup>Cバス方式を使用した場合 (周辺ハードウェアを使用せず, プログラムで実現した場合も含む), マスク発注時に当社指導員に連絡してください。

項 目	μ PD178022	μ PD178023	μ PD178024	μ PD178F124
周波数カウンタ	周波数測定 <ul style="list-style-type: none"> <li>・ AMIFC端子：450 kHzカウント用</li> <li>・ FMIFC端子：450 kHz/10.7 MHzカウント用</li> </ul>			
リセット	<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリア回路によるリセット <ul style="list-style-type: none"> <li>・ 4.5 V<sup>注</sup>未満の検出（ただしリセットは発生しません）</li> <li>・ 3.5 V<sup>注</sup>未満の検出（CPU動作時）</li> <li>・ 2.2 V<sup>注</sup>未満の検出（STOPモード時）</li> </ul> </li> </ul>			
電源電圧	<ul style="list-style-type: none"> <li>・ V<sub>DD</sub> = 4.5 ~ 5.5 V（CPU, PLL動作時）</li> <li>・ V<sub>DD</sub> = 3.5 ~ 5.5 V（CPU動作時）</li> </ul>			
パッケージ	<ul style="list-style-type: none"> <li>・ 80ピン・プラスチックQFP（14 × 20 mm, 0.8 mmピッチ）</li> <li>・ 80ピン・プラスチックQFP（14 × 14 mm, 0.65 mmピッチ）</li> </ul>			

★

注 これらの値は第18章 リセット機能を参照してください。

## 第2章 端子機能

### 2.1 端子機能一覧

#### (1) ポートの端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P04	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	INTP0-INTP4
P05, P06				-
P10-P15	入力	ポート1。 6ビット入力ポート。	入力	ANI0-ANI5
P30-P32	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P33				TI50
P34				TI51
P35				-
P36				BEEP0
P37				-
P40-P47				入出力
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P60-P67	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	SI3
P71				SO3
P72				$\overline{\text{SCK3}}$
P73				-
P74				$\overline{\text{RXD0}}$
P75				$\overline{\text{TXD0}}$
P76				SDA0
P77				SCL0
P120-P125	入出力	ポート12。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P130	出力	ポート13。 3ビット出力ポート。 N-chオープン・ドレイン出力ポート(12V耐圧)。	ロウ・レベル出力	TO50
P131				TO51
P132				-

★

★

★

(2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
INTP0-INTP4	入力	有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部マスクブル割り込み入力	入力	P00-P04
SI3	入力	シリアル・インタフェースのシリアル・データ入力	入力	P70
SO3	出力	シリアル・インタフェースのシリアル・データ出力	入力	P71
SDA0	入出力	シリアル・インタフェースのシリアル・データ入力/出力	入力	P76
SCK3	入出力	シリアル・インタフェースのシリアル・クロック入力/出力	入力	P72
SCL0		N-chオープン・ドレイン入出力		P77
★ RXD0	入力	アシンクロナス・シリアル・インタフェース（UART0）のシリアル・データ入力	入力	P74
★ TXD0	出力	アシンクロナス・シリアル・インタフェース（UART0）のシリアル・データ出力		P75
TI50	入力	8ビット・タイマ（TM50）への外部カウント・クロック入力	入力	P33
TI51		8ビット・タイマ（TM51）への外部カウント・クロック入力		P34
TO50	出力	8ビット・タイマ（TM50）出力	ロウ・レベル出力	P130
TO51		8ビット・タイマ（TM51）出力		P131
BEEP0	出力	ブザー出力	入力	P36
ANI0-ANI5	入力	A/Dコンバータのアナログ入力	入力	P10-P15
E00, E01	出力	PLL周波数シンセサイザのチャージ・ポンプからのエラー・アウト出力	-	-
VCOL	入力	PLLの局部発振周波数を入力（HF, MFモード時）	-	-
VCOH		PLLの局部発振周波数を入力（VHFモード時）		
AMIFC	入力	AM中間周波数カウンタの入力	入力	-
FMIFC		FM中間周波数またはAM中間周波数カウンタの入力		
RESET	入力	システム・リセット入力	-	-
X1	入力	システム・クロック発振用水晶振動子接続	-	-
X2	-		-	-
REGOSC	-	発振回路用レギュレータ。0.1 μFのコンデンサを介してGNDに接続してください。	-	-
REGCPU	-	CPU電源用レギュレータ。0.1 μFのコンデンサを介してGNDに接続してください。	-	-
VDD	-	正電源	-	-
GND	-	グラウンド	-	-
VDDPORT	-	ポート用正電源	-	-
GNDPORT	-	ポート用グラウンド	-	-
VDDPLL <sup>注1</sup>	-	PLL用正電源	-	-
GNDPLL <sup>注1</sup>	-	PLL用グラウンド	-	-
IC	-	内部接続されています。GNDに直接接続してください。	-	-
VPP <sup>注2</sup>	-	プログラム書き込み/ベリファイ時の高電圧印加。 通常動作モード時は，GNDに直接接続してください。	-	-

注1 . VDDPLL端子とGNDPLL端子との間に1000 pF程度のコンデンサを接続してください。

2 . μPD178F124のみ

## 2.2 端子機能の説明

### 2.2.1 P00-P06 (Port0)

7ビットの入出力ポートです。入出力モードのほかに、外部割り込み入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

7ビットの入出力モードとして機能します。ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

#### (2) コントロール・モード

外部割り込み入力 (INTP0-INTP4) として機能します。

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力端子です。

### 2.2.2 P10-P15 (Port1)

6ビットの入力ポートです。入力モードのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

6ビットの入力ポートとして機能します。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI5) として機能します。

### 2.2.3 P30-P37 (Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマ入力, ブザー出力の機能があります。周辺機能兼用レジスタ3 (PF3) により、どちらを使用するかを設定します。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力または出力ポートに指定できます。

#### (2) コントロール・モード

タイマ入力 (TI50, TI51), ブザー出力端子 (BEEP0) として機能します。

##### (a) TI50, TI51

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

##### (b) BEEP0

ブザー出力端子です。

### 2.2.4 P40-P47 (Port4)

8ビットの入出力ポートです。

ポート・モード・レジスタ4 (PM4) により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

- ★ プルアップ抵抗オプション・レジスタ4 (PU4) により, 内蔵プルアップ抵抗を使用できます。また, キー入力による割り込み機能があります。

### 2.2.5 P50-P57 (Port5)

8ビットの入出力ポートです。

ポート・モード・レジスタ5 (PM5) により, 1ビット単位で入力または出力ポートに指定できます。

### 2.2.6 P60-P67 (Port6)

8ビットの入出力ポートです。ポート・モード・レジスタ6 (PM6) により, 1ビット単位で入力または出力ポートに指定できます。

### 2.2.7 P70-P77 (Port7)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力, クロック入出力, アシクロナス・シリアル・インタフェースのデータ入出力があります。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) により, 1ビット単位で入力または出力ポートに指定できます。

#### (2) コントロール・モード

シリアル・インタフェースのデータ入出力, クロック入出力, アシクロナス・シリアル・インタフェースのデータ入出力として機能します。

##### (a) SI3, SO3, SDA0<sup>注</sup>

シリアル・インタフェースのシリアル・データの入出力端子です。

##### (b) $\overline{\text{SCK3}}$ , SCL0<sup>注</sup>

シリアル・インタフェースのシリアル・クロックの入出力端子です。

★ (c)  $\overline{\text{RXD0}}$ ,  $\overline{\text{TXD0}}$

アシクロナス・シリアル・インタフェースのシリアル・データ入出力端子です。

注 I<sup>2</sup>Cバス・モード用です。

### 2.2.8 P120-P125 (Port12)

6ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により, 1ビット単位で入力または出力ポートに指定できます。



### 2.2.9 P130-P132 (Port13)

3ビットの出力ポートです。N-chオープン・ドレインになっています(12V耐圧)。出力ポートのほかにタイマの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

3ビットの出力ポートとして機能します。

#### (2) コントロール・モード

8ビット・タイマ/イベント・カウンタの出力として機能します。

TO50, TO51

8ビット・タイマ/イベント・カウンタの出力端子です。

### 2.2.10 EO0, EO1

PLL周波数シンセサイザのチャージ・ポンプからの出力端子です。

局部発振入力(VCOL, VCOH端子)のプログラム・ディバイダによる分周周波数と基準周波数の位相比較結果を出力します。

### 2.2.11 VCOL, VCOH

PLLの局部発振(VCO)周波数を入力する端子です。

これらの端子の入力は交流アンプとなっているため、入力信号の直流分はコンデンサでカットしてください。

VCOL

・HF, MF入力

・プログラムでHF, MFモード選択時、アクティブになります。それ以外のときはPLLモード・セレクト・レジスタ(PLLMD)のビット2(VCOLDMD)で設定した状態になります。ただし、VCOLDMDに0(プルダウン抵抗接続)を設定している場合は、HFまたはMFモードを選択してもアクティブにはなりません。この場合は、VCOLDMDに1(ハイ・インピーダンス状態)を設定してください。

VCOH

・VHF入力

・プログラムでFMモード選択時、アクティブになります。それ以外のときはPLLMDのビット3(VCOHDMD)で設定した状態になります。ただし、VCOHDMDに0(プルダウン抵抗接続)を設定している場合は、FMモードを選択してもアクティブにはなりません。この場合は、VCOHDMDに1(ハイ・インピーダンス状態)を設定してください。

### 2.2.12 AMIFC

AM中間周波数カウンタの入力端子です。

### 2.2.13 FMIFC

FM中間周波数またはAM中間周波数カウンタの入力端子です。

### 2.2.14 $\overline{\text{RESET}}$

ロウ・アクティブのシステム・リセット入力端子です。

### 2.2.15 X1, X2

システム・クロック発振用水晶振動子接続端子です。

### 2.2.16 REGOSC

発振回路用レギュレータ端子です。0.1  $\mu\text{F}$ のコンデンサを介してGNDに接続してください。

### 2.2.17 REGCPU

CPU電源用レギュレータ端子です。0.1  $\mu\text{F}$ のコンデンサを介してGNDに接続してください。

### 2.2.18 VDD

正電源供給端子です。

### 2.2.19 GND

グラウンド電位端子です。

### 2.2.20 VDDPORT

ポート用正電源供給端子です。

### 2.2.21 GNDPORT

ポート用グラウンド電位端子です。

### 2.2.22 VDDPLL

PLL用正電源電圧供給端子です。

### 2.2.23 GNDPLL

PLL用グラウンド電位端子です。

### 2.2.24 VPP ( $\mu\text{PD178F124}$ のみ )

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

通常動作モード時は、GNDに直接接続してください。

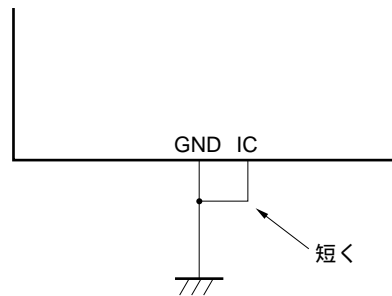
### 2.2.25 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に  $\mu$ PD178024 サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をGNDに直接接続し、その配線長を極力短くしてください。

IC端子とGND間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とGND間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をGNDに直接接続してください。

例



## 2.3 端子の入出力回路と未使用端子の処理

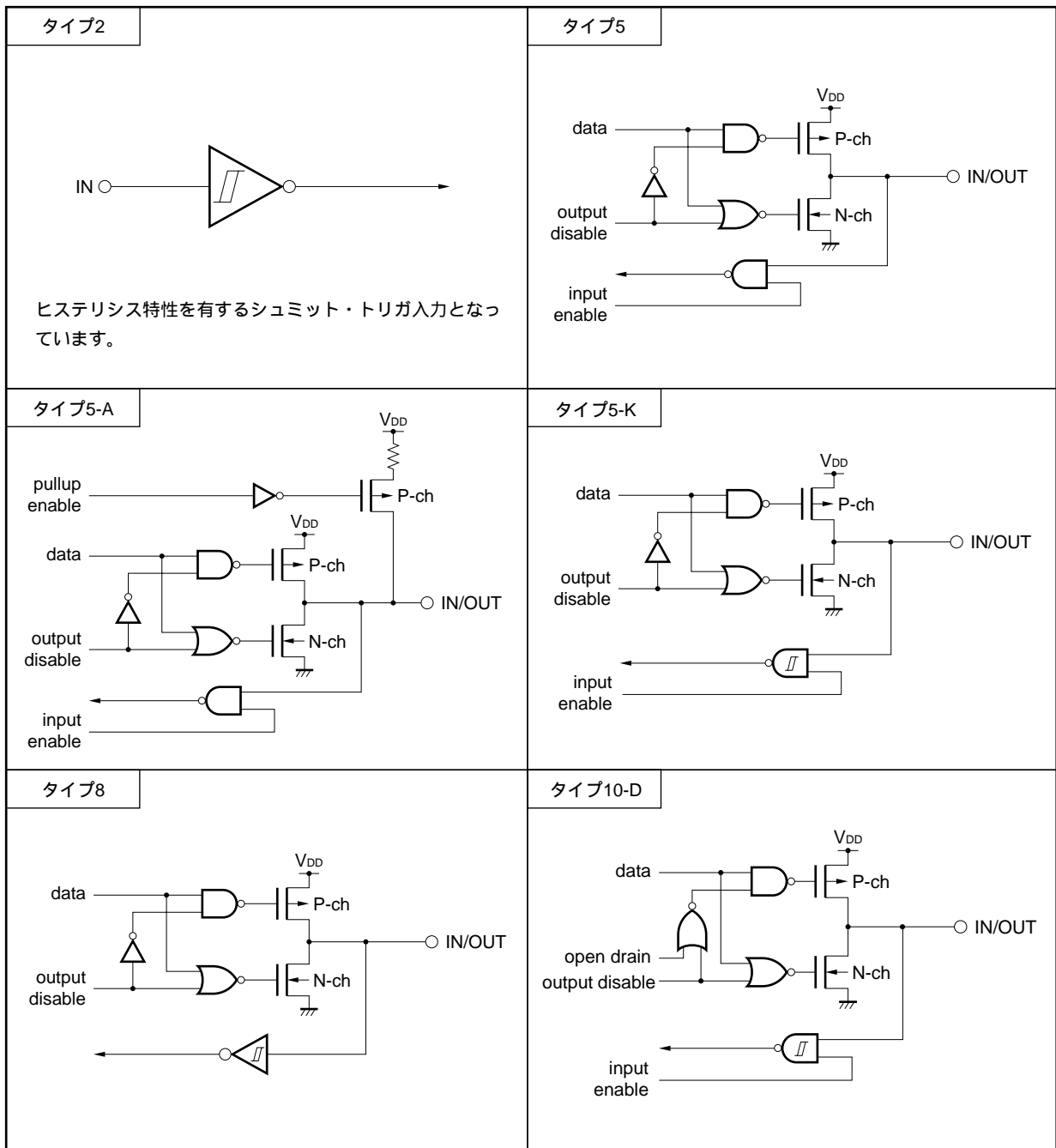
各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-1 各端子の入出力回路タイプと未使用端子の処理

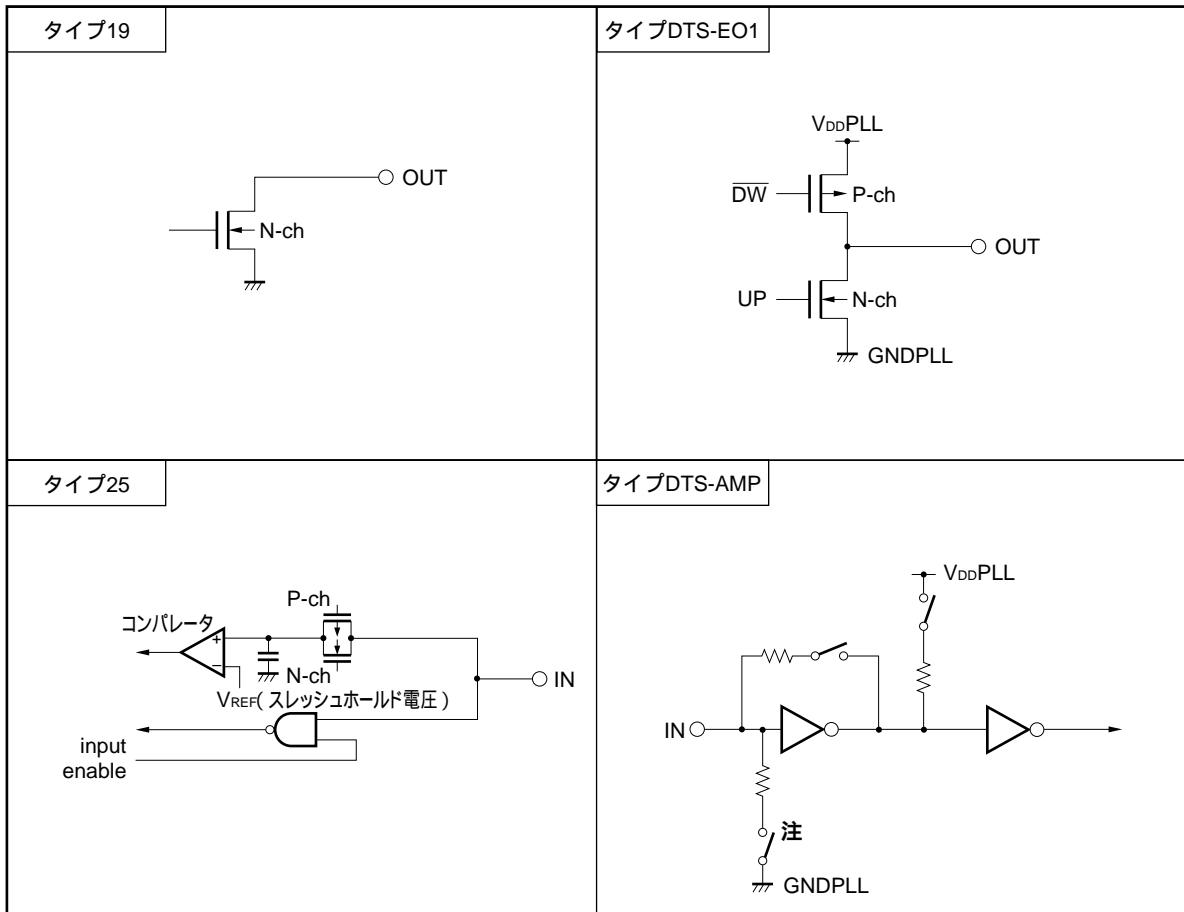
端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P04/INTP4 P05, P06	8	入出力	ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、 $V_{DD}$ , $V_{DDPORT}$ , GND, GNDPORTのいずれかに接続してください。
P10/ANI0-P15/ANI5	25	入力	個別に抵抗を介して、 $V_{DD}$ , $V_{DDPORT}$ , GND, GNDPORTのいずれかに接続してください。
P30-P32	5	入出力	ソフトウェアで汎用出力ポートに設定して、ロウ・レベルを出力してください。オープンにしてください。
P33/TI50	5-K		
P34/TI51			
P35	5		
P36/BEEP0			
P37			
P40-P47	5-A		
P50-P57	5	ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、 $V_{DD}$ , $V_{DDPORT}$ , GND, GNDPORTのいずれかに設定してください。	
P60-67	5	ソフトウェアで汎用出力ポートに設定して、ロウ・レベルを出力してください。オープンにしてください。	
P70/SI3	5-K	出力	ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、 $V_{DD}$ , $V_{DDPORT}$ , GND, GNDPORTのいずれかに接続してください。
P71/SO3	5		
P72/ $\overline{SCK3}$	5-K		
P73	5		
★ P74/ $\overline{RXD0}$	5-K		
★ P75/ $\overline{TXD0}$	5		
★ P76/SDA0	10-D		
P77/SCL0			
P120-P125	5		
P130/TO50	19		
P131/TO51			
P132			
EO0, EO1	DTS-EO1		オープンにしてください。
VCOL, VCOH	DTS-AMP	入力	ソフトウェアでPLLディスエーブルに設定、およびブルダウンを選択してください。
AMIFC, FMIFC			ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、 $V_{DD}$ , $V_{DDPORT}$ , GND, GNDPORTのいずれかに接続してください。
REGOSC, REGCPU	-	-	0.1 $\mu$ Fのコンデンサを介してGNDに接続してください。
$\overline{RESET}$	2	入力	-
$V_{DDPLL}$	-	-	$V_{DD}$ に接続してください。
GNDPLL			GNDまたはGNDPORTに直接接続してください。
IC (マスクROM製品)			
$V_{PP}$ ( $\mu$ PD178F124)			

図2-1 端子の入出力回路一覧(1/2)



備考 V<sub>DD</sub>およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれV<sub>DD</sub>PORT, GNDPORTと読み替えてください。

図2-1 端子の入出力回路一覧(2/2)



注 VCOL, VCOH端子のみソフトウェアで選択可能。

備考 VDDおよびGNDは、すべてポート部への正電源およびグランド電位です。それぞれVDDPORT, GNDPORTと読み替えてください。

## 第3章 CPUアーキテクチャ

### 3.1 メモリ空間

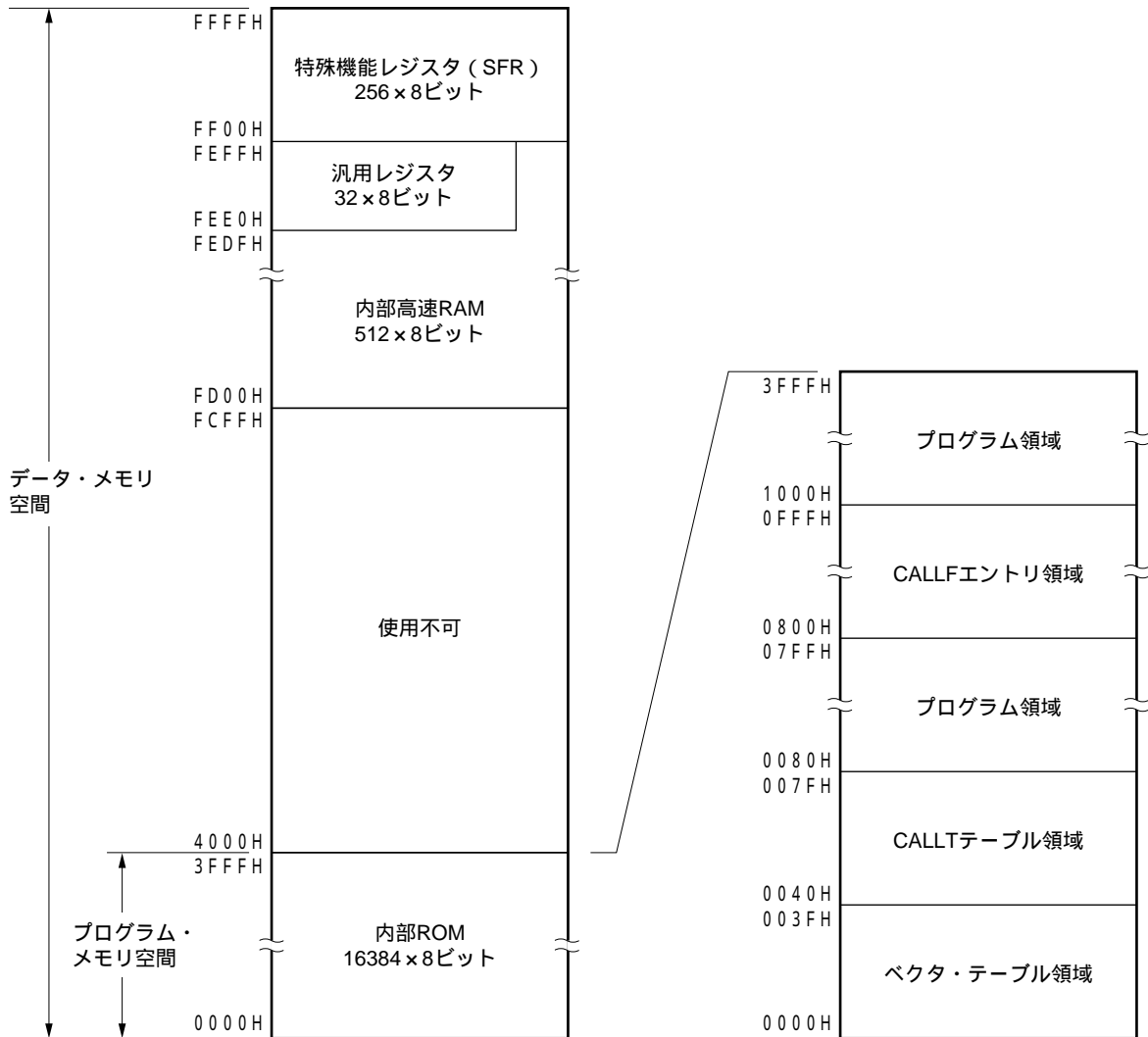
メモリ・サイズ切り替えレジスタ(IMS)の初期値はCFHですが、各製品ごとに次に示す値を設定する必要があります。

製品名	IMS
μ PD178022	44H
μ PD178023	C6H
μ PD178024	C8H
μ PD178F124	マスクROM製品に対応した値

(1)  $\mu$ PD178022

メモリ・サイズ切り替えレジスタ(IMS)の値を44Hに設定して使用してください(初期値はCFH)。

図3-1 メモリ・マップ( $\mu$ PD178022)

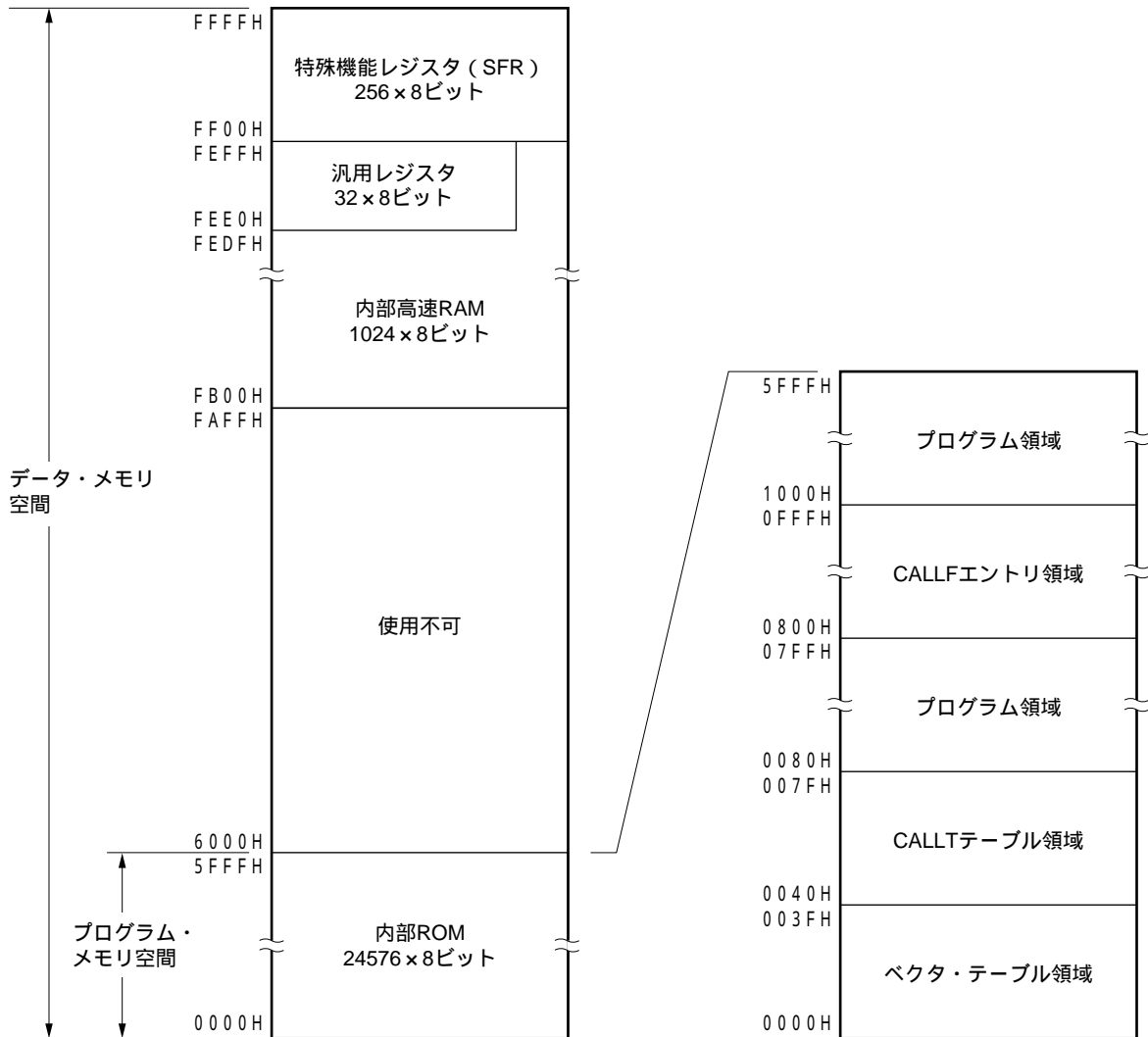




(2)  $\mu$ PD178023

メモリ・サイズ切り替えレジスタ(IMS)の値をC6Hに設定して使用してください(初期値はCFH)。

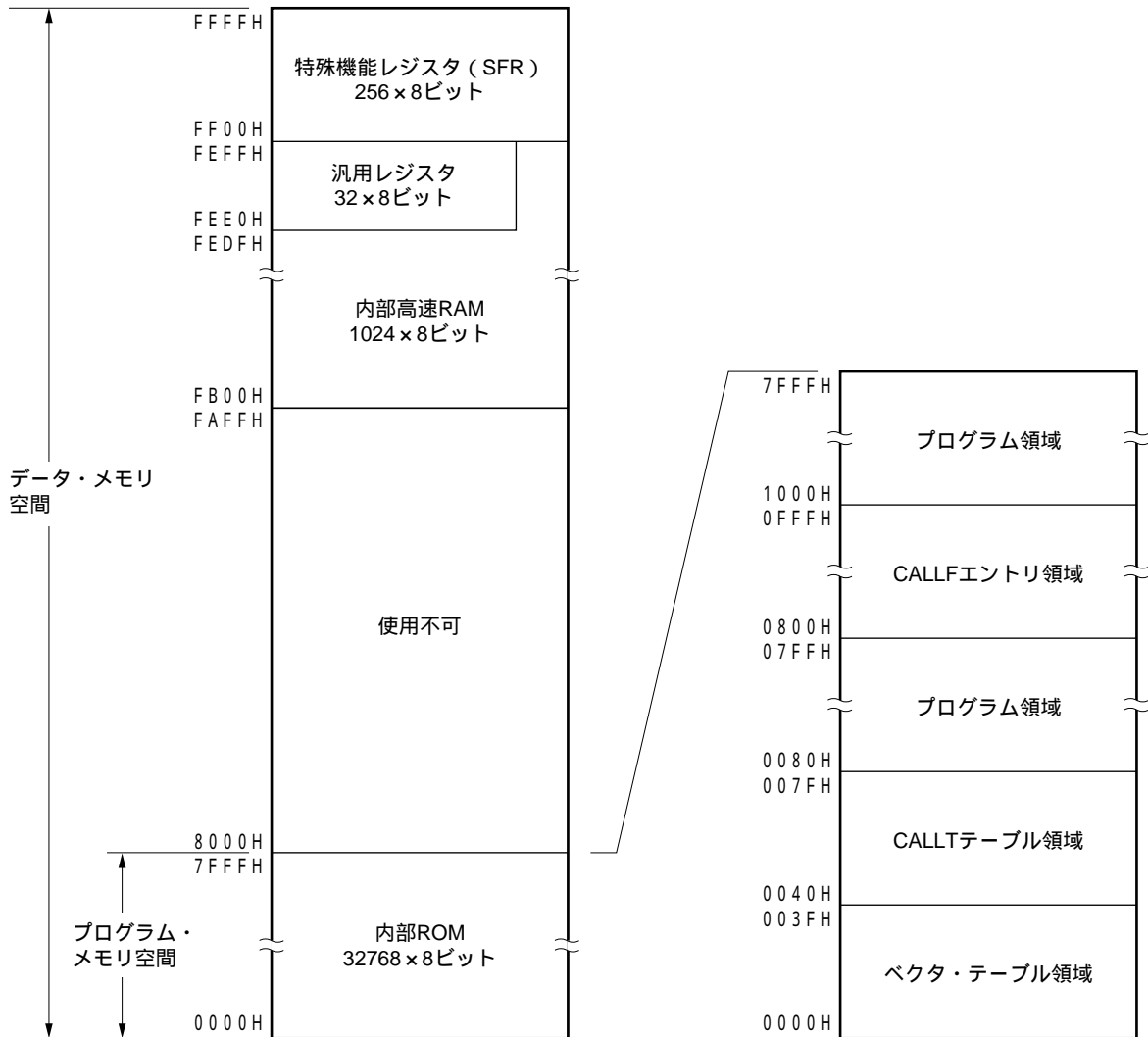
図3-2 メモリ・マップ( $\mu$ PD178023)



(3)  $\mu$ PD178024

メモリ・サイズ切り替えレジスタ(IMS)の値をC8Hに設定して使用してください(初期値はCFH)。

図3-3 メモリ・マップ( $\mu$ PD178024)

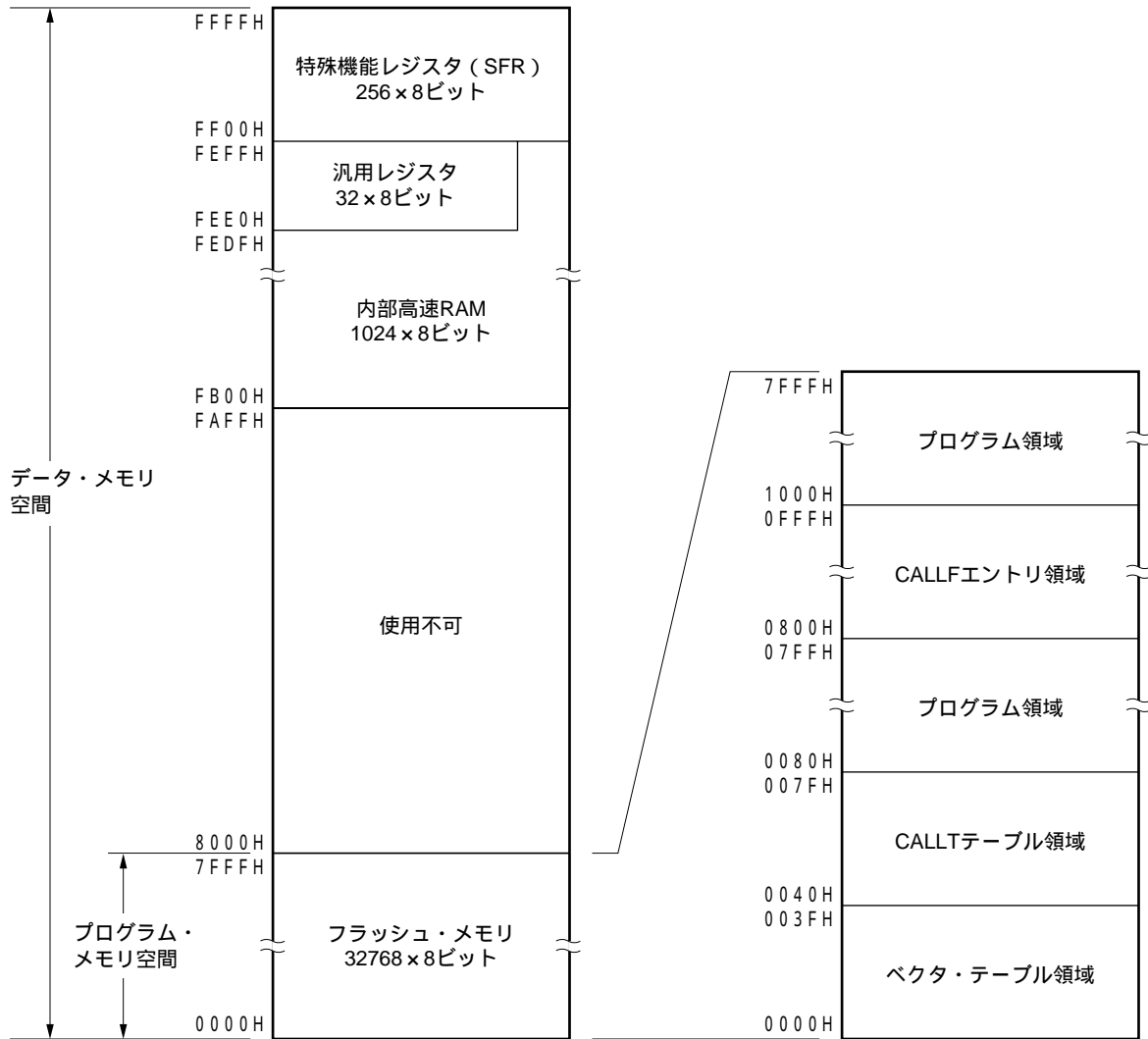


(4)  $\mu$ PD178F124

メモリ・サイズ切り替えレジスタ(IMS)の値をマスクROM製品に対応した値に設定して使用してください  
(初期値はCFH)

★

図3-4 メモリ・マップ( $\mu$ PD178F124)



### 3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD178024サブシリーズは、各製品ごとに次に示す内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部メモリ容量

製 品	構 造	容 量
μPD178022	マスクROM	16384 × 8 ビット(0000H-3FFFH)
μPD178023		24576 × 8 ビット(0000F-5FFFH)
μPD178024		32768 × 8 ビット(0000H-7FFFH)
μPD178F124	フラッシュ・メモリ	

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### (1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの低位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求
0004H	INTWDT
0006H	INTP0
0008H	INTP1
000AH	INTP2
000CH	INTP3
000EH	INTP4
0010H	INTKY
0012H	INTIIC0
0014H	INTBTM0
0016H	INTAD3
0018H <sup>注</sup>	-
001AH	INTCSI3
001CH	INTTM50
001EH	INTTM51
0020H	INTSER0
0022H	INTSR0
0024H	INTST0
003EH	BRK

注 ベクタ・テーブル・アドレスの0018Hに該当する割り込み要因はありません。

★

★

★

★

### (2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。

### (3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令(CALLF)で直接サブルーチン・コールすることができます。

## 3.1.2 内部データ・メモリ空間

μPD178024サブシリーズには、次に示すRAMを内蔵しています。

### (1) 内部高速RAM

μPD178022は512×8ビット、μPD178023、178024、178F124は1024×8ビット構成となっています。このうちFEE0H-FEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

また、内部高速RAMはスタック・メモリとしても使用できます。

## 3.1.3 特殊機能レジスタ(SFR : Special Function Register)領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ(SFR)が割り付けられています(表3-4参照)。

**注意** SFRを割り付けていないアドレスをアクセスしないでください。

### 3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ(PC)によりアドレスされます(詳細については、**3.3 命令アドレスのアドレッシング**を参照してください)。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 $\mu$ PD178024サブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ(SFR)や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3-5から図3-8にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については、**3.4 オペランド・アドレスのアドレッシング**を参照してください。

図3-5 データ・メモリのアドレッシング( $\mu$ PD178022)

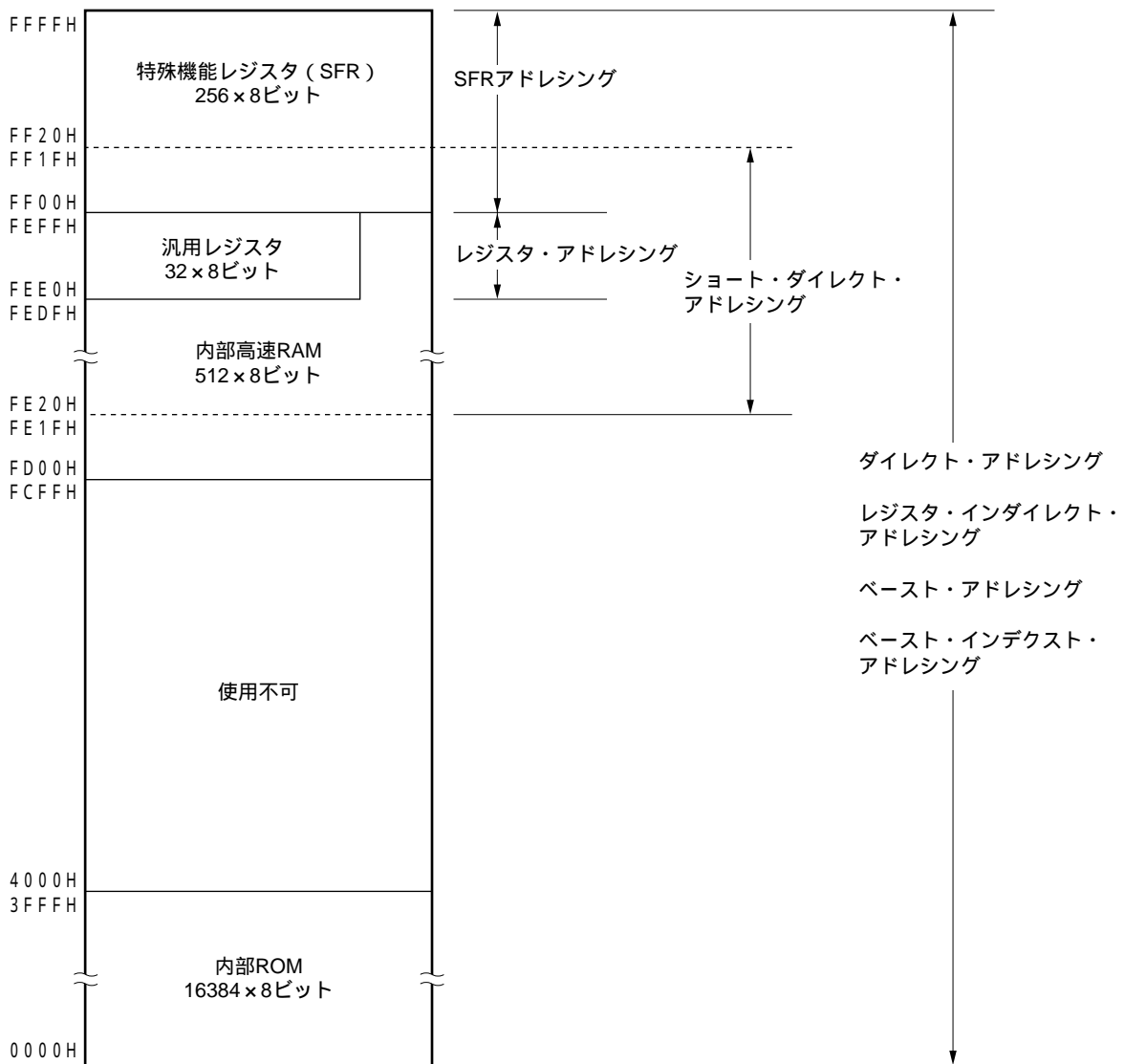


図3 - 6 データ・メモリのアドレッシング(μPD178023)

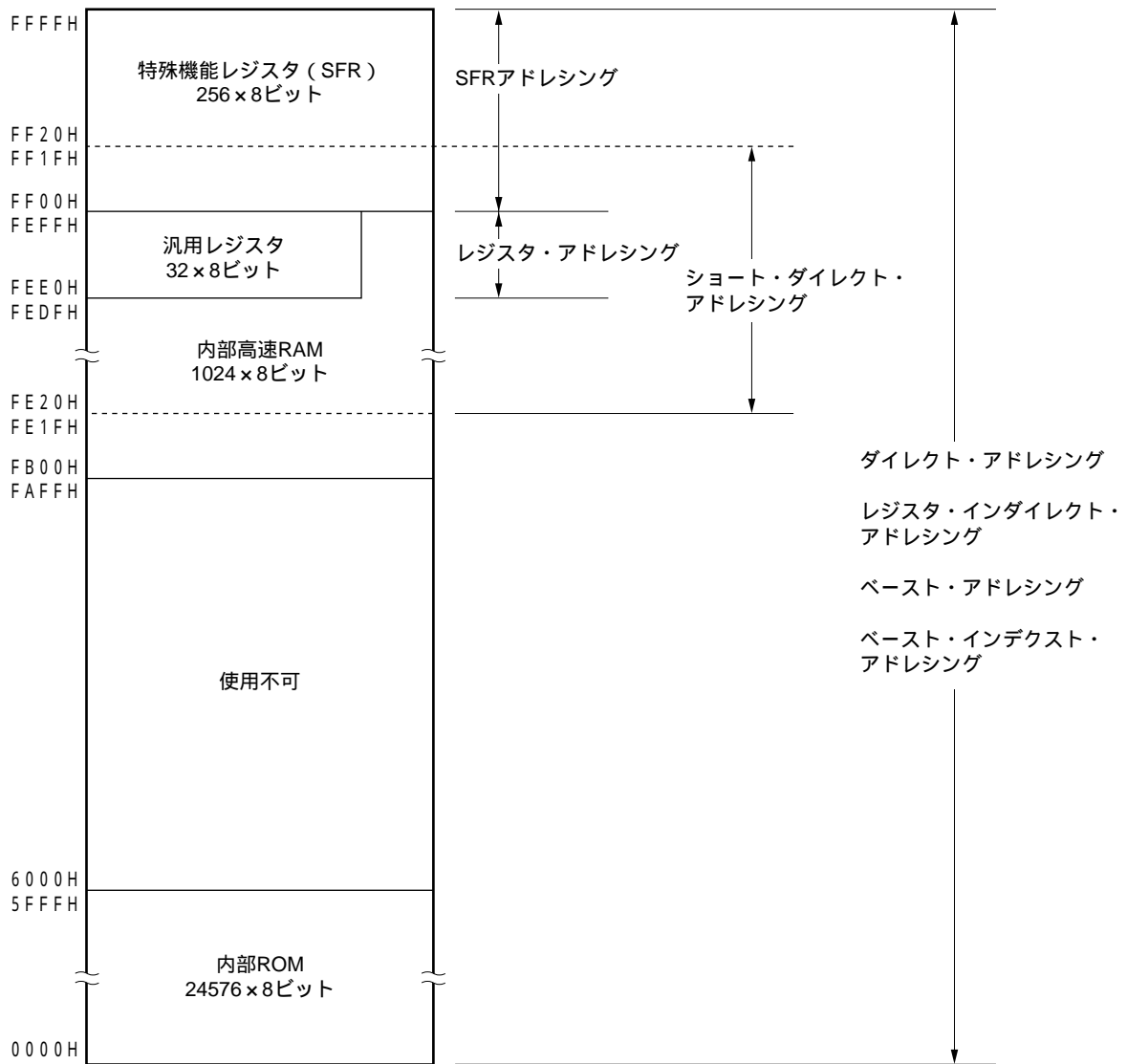
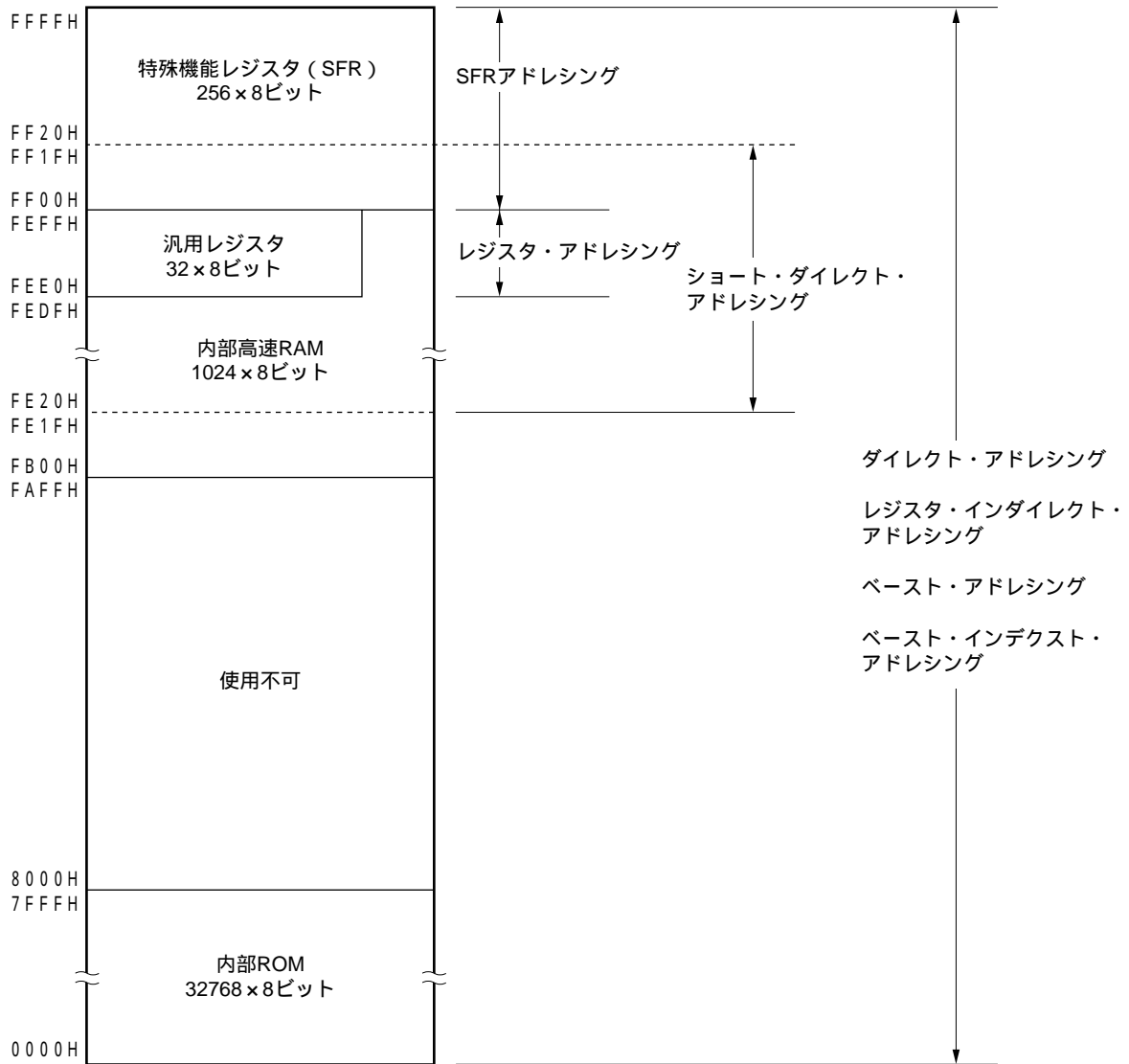


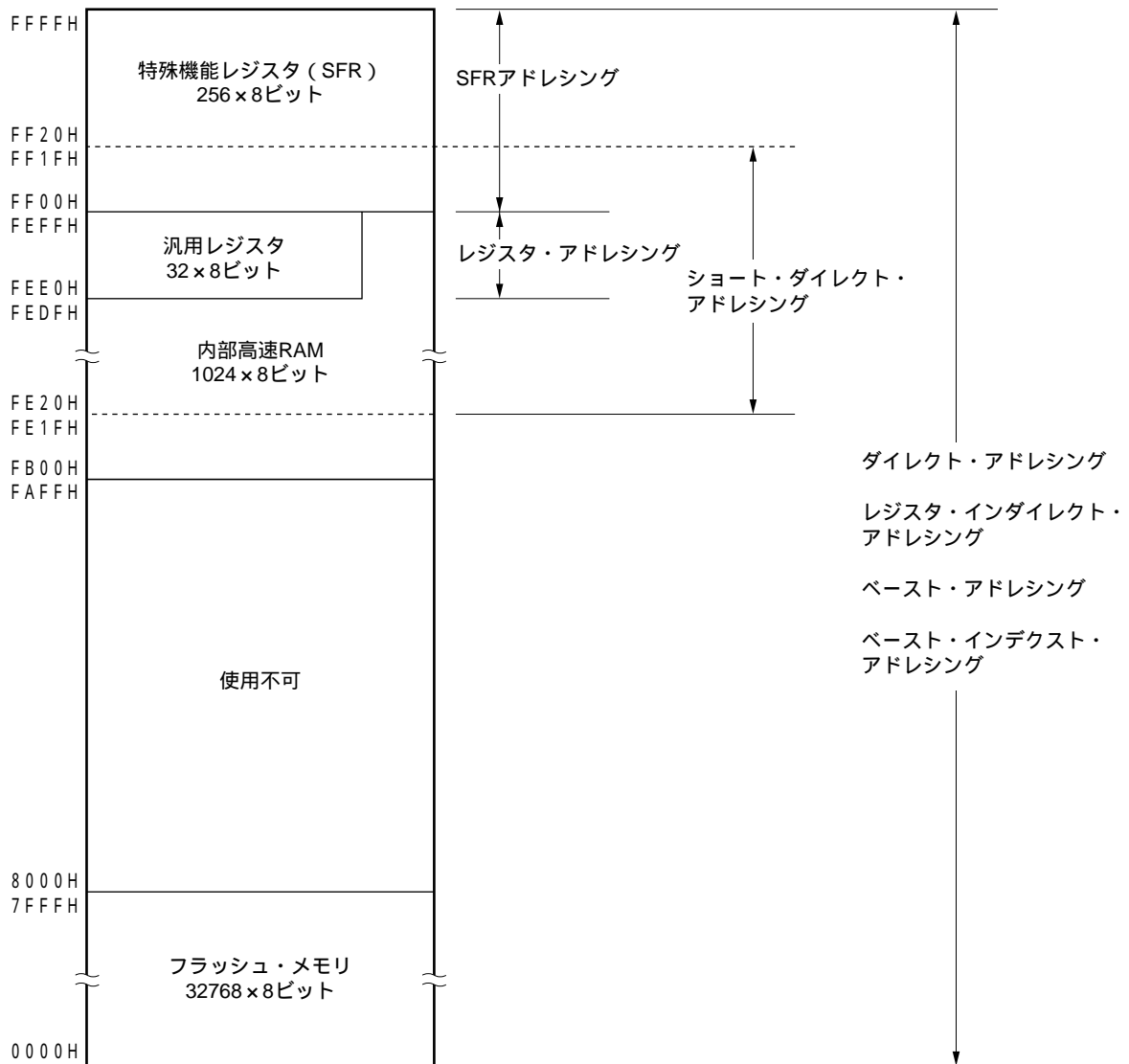
図3 - 7 データ・メモリのアドレッシング( $\mu$ PD178024)





★

図3 - 8 データ・メモリのアドレッシング(μPD178F124)



## 3.2 プロセッサ・レジスタ

μPD178024サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

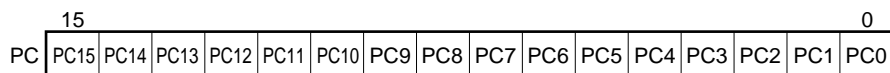
#### (1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 9 プログラム・カウンタの構成



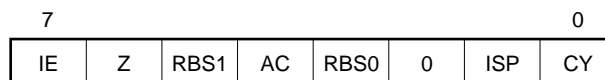
#### (2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

リセット入力により、02Hになります。

図3 - 10 プログラム・ステータス・ワードの構成



**(a) 割り込み許可フラグ (IE)**

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサース・プライオリティ・フラグ (ISP), 各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット (0) され、EI命令の実行によりリセット (1) されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(c) レジスタ・バンク選択フラグ (RBS0, RBS1)**

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されていません。

**(d) 補助キャリー・フラグ (AC)**

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

**(e) インサース・プライオリティ・フラグ (ISP)**

受け付け可能なマスクابل・ベクタ割り込みの優先順位を管理するフラグです。

ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) 参照 **14.3(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)** 参照で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

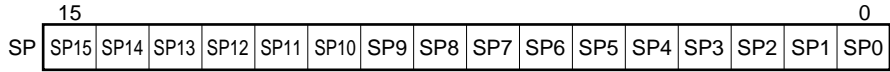
**(f) キャリー・フラグ (CY)**

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域(μPD178022はFD00H-FEFFFH, μPD178023, 178024, 178F124はFB00H-FEFFFH)のみ設定可能です。

図3 - 11 スタック・ポインタの構成



スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

各スタック動作によって退避/復帰されるデータは図3 - 12, 3 - 13のようになります。

**注意** SPの内容はリセット入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 12 スタック・メモリへ退避されるデータ

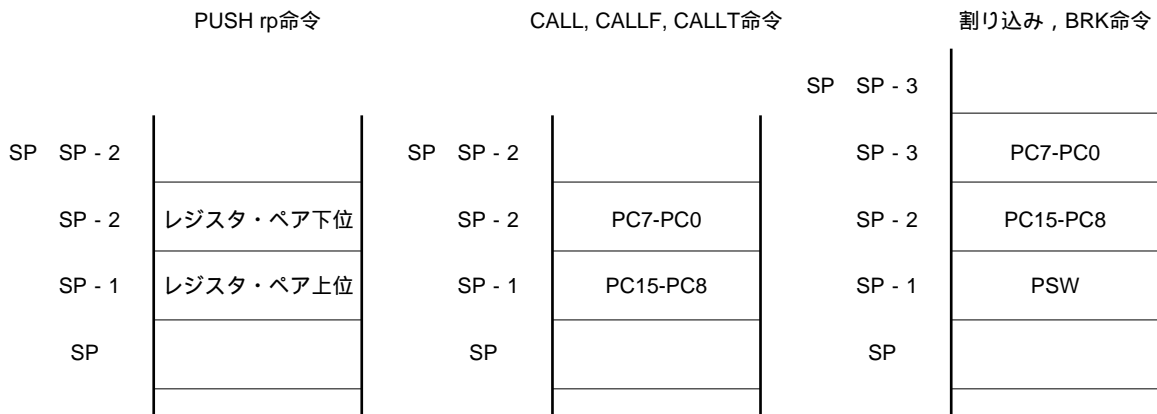
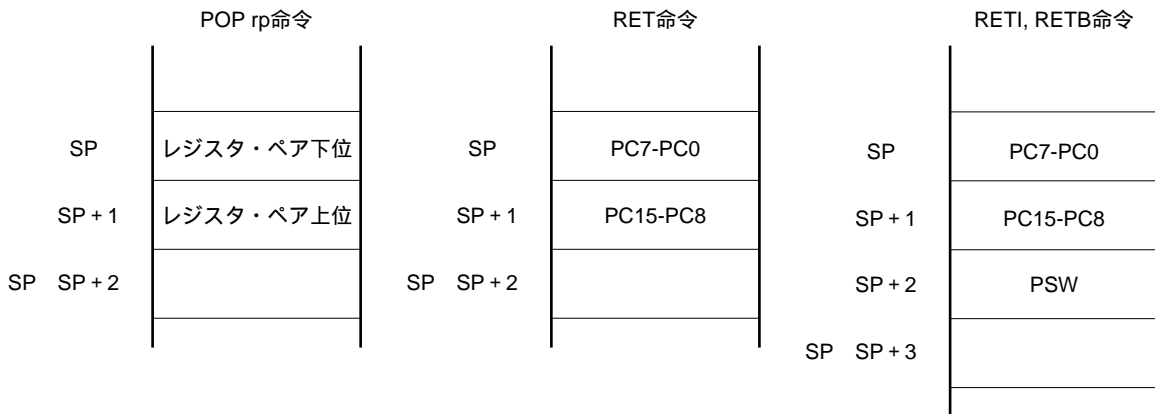


図3 - 13 スタック・メモリから復帰されるデータ



### 3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地(FEE0H-FEFFH)にマッピングされており、8ビット・レジスタ8個(X, A, C, B, E, D, L, H)を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます(AX, BC, DE, HL)。

また、機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほか、絶対名称(R0-R7, RP0-RP3)でも記述できます。

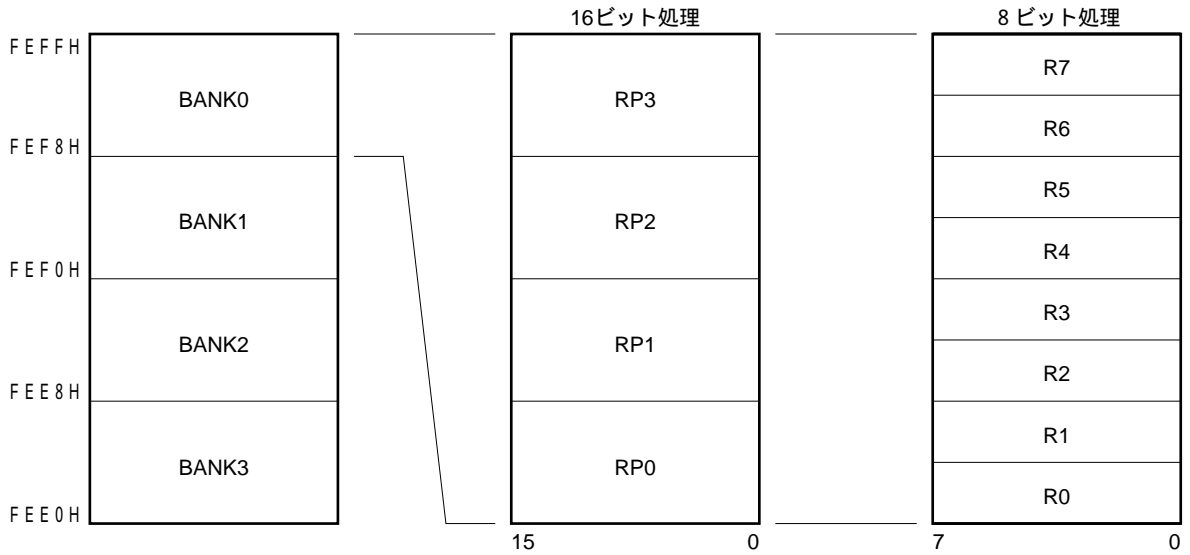
命令実行時に使用するレジスタ・バンクは、CPU制御命令(SEL RBn)によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

表3 - 3 汎用レジスタの絶対アドレス対照表

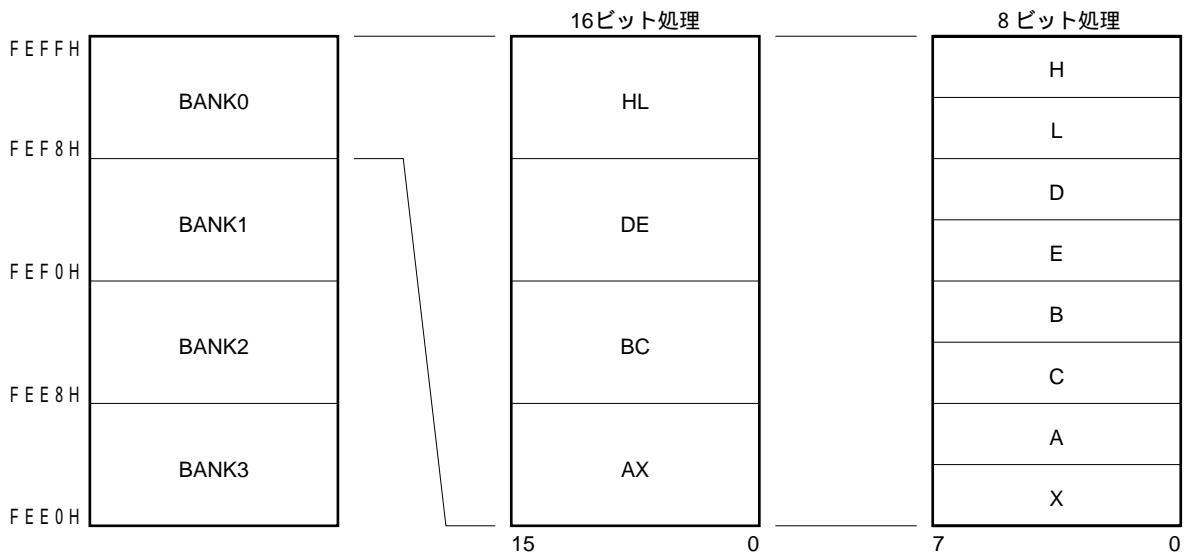
バンク名	レジスタ		絶対アドレス	バンク名	レジスタ		絶対アドレス
	機能名称	絶対名称			機能名称	絶対名称	
BANK0	H	R7	F E F F H	BANK2	H	R7	F E E F H
	L	R6	F E F E H		L	R6	F E E E H
	D	R5	F E F D H		D	R5	F E E D H
	E	R4	F E F C H		E	R4	F E E C H
	B	R3	F E F B H		B	R3	F E E B H
	C	R2	F E F A H		C	R2	F E E A H
	A	R1	F E F 9 H		A	R1	F E E 9 H
	X	R0	F E F 8 H		X	R0	F E E 8 H
BANK1	H	R7	F E F 7 H	BANK3	H	R7	F E E 7 H
	L	R6	F E F 6 H		L	R6	F E E 6 H
	D	R5	F E F 5 H		D	R5	F E E 5 H
	E	R4	F E F 4 H		E	R4	F E E 4 H
	B	R3	F E F 3 H		B	R3	F E E 3 H
	C	R2	F E F 2 H		C	R2	F E E 2 H
	A	R1	F E F 1 H		A	R1	F E E 1 H
	X	R0	F E F 0 H		X	R0	F E E 0 H

図3 - 14 汎用レジスタの構成

( a ) 絶対名称



( b ) 機能名称



### 3.2.3 特殊機能レジスタ(SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位( 1, 8, 16 )は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

#### ・ 1ビット操作

1ビット操作命令のオペランド( sfr.bit )にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・ 8ビット操作

8ビット操作命令のオペランド( sfr )にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

#### ・ 16ビット操作

16ビット操作命令のオペランド( sfrp )にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 4 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

#### ・ 略号

特殊機能レジスタのアドレスを示す略号です。

DF178124, RA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K0, ID78K0, ID78K0-NS使用時に命令のオペランドとして記述できます。

#### ・ R/W

該当する特殊機能レジスタが読み出し( Read )/書き込み( Write )可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

R&Reset : 読み出しのみ可能(読み出し時0にリセット)

W : 書き込みのみ可能

#### ・ 操作可能ビット単位

操作可能なビット単位( 1, 8, 16 )を で示します。 - は操作できないビット単位であることを示します。

#### ・ リセット時

リセット時の各レジスタの状態を示します。

表3 - 4 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W			-	00H	
FF01H	ポート1	P1	R			-		
FF03H	ポート3	P3	R/W			-		
FF04H	ポート4	P4				-		
FF05H	ポート5	P5				-		
FF06H	ポート6	P6				-		
FF07H	ポート7	P7				-		
FF0CH	ポート12	P12				-		
FF0DH	ポート13	P13			-			
FF10H	A/D変換結果レジスタ <sup>3注1</sup>	ADCR3	-	-	-	-	-	
FF11H			R	-	-	-	不定	
FF12H	A/Dコンバータ・モード・レジスタ3	ADM3	R/W			-	00H	
FF13H	アナログ入力チャネル指定レジスタ3	ADS3		-		-		
FF15H	パワー・フェイル比較しきい値レジスタ3	PFT3		-		-		
FF16H	パワー・フェイル比較モード・レジスタ3	PFM3				-		
FF1AH	IICシフト・レジスタ0	IIC0		-		-		不定
★ FF1BH	POCステータス・レジスタ	POCS		R&Reset				-
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH	
FF23H	ポート・モード・レジスタ3	PM3				-		
FF24H	ポート・モード・レジスタ4	PM4				-		
FF25H	ポート・モード・レジスタ5	PM5				-		
FF26H	ポート・モード・レジスタ6	PM6				-		
FF27H	ポート・モード・レジスタ7	PM7				-		
FF2CH	ポート・モード・レジスタ12	PM12				-		
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4				-		00H
FF41H	BEEPクロック選択レジスタ0	BEEPCL0				-		
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS			-			
FF43H	IIC転送クロック選択レジスタ0	IICCL0			-			
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP			-			
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN			-			
★ FF5AH	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0			-			
★ FF5BH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R	-		-		

注1 . 8ビット・アクセスのみ可能です。ADCR3をリードするとFF11Hの値が読み出せます。

2 . パワーオン・クリアによるリセットのみ03Hとなります。RESET端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

注意 SFRを割り付けていないアドレスをアクセスしないでください。



表3 - 4 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
★ FF5CH	ポーレート・ジェネレータ・コントロール・レジスタ0	BRGC0		R/W	-		-	00H	
★ FF5DH	送信シフト・レジスタ0	TXS0		W	-		-	FFH	
	受信バッファ・レジスタ0	RXB0		R	-		-		
FF60H	IIC状態レジスタ0	IICS0		R/W			-	00H	
FF61H	IICコントロール・レジスタ0	IICC0					-		
FF62H	スレーブ・アドレス・レジスタ0	SVA0				-	-		不定
FF6EH	シリアルI/Oシフト・レジスタ3	SIO3				-	-		
FF6FH	シリアル動作モード・レジスタ3	CSIM3					-	00H	
FF80H	8ビット・コンペア・レジスタ50	CR50				-	-	不定	
FF81H	8ビット・コンペア・レジスタ51	CR51				-	-		
FF82H	8ビット・タイマ・カウンタ50	TM5	TM50	R	-			00H	
FF83H	8ビット・タイマ・カウンタ51		TM51		-				
FF84H	タイマ・クロック選択レジスタ50	TCL50		R/W	-		-	00H	
FF85H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50					-		
FF87H	タイマ・クロック選択レジスタ51	TCL51				-	-		
FF88H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51					-		
FFA0H	PLLモード・セレクト・レジスタ	PLLMD					-		
FFA1H	PLLレファレンス・モード・レジスタ	PLLRF					-		0FH
FFA2H	PLLアンロックF/Fジャッジ・レジスタ	PLLUL			R&Reset		-		保持 <sup>注1</sup>
FFA3H	PLLデータ転送レジスタ	PLLNS		W		-	00H		
FFA6H	PLLデータ・レジスタ	PLLデータ・レジスタL	PLLRL	R/W				不定	
FFA7H		PLLデータ・レジスタH			PLLRH				
FFA8H	PLLデータ・レジスタ0		PLLRO				-		
FFA9H	IFカウンタ・モード・セレクト・レジスタ		IFCMD				-	00H	
FFAAH	DTSシステム・クロック選択レジスタ		DTSCK				-	00H <sup>注2</sup>	
FFABH	IFカウンタ・ゲート・ジャッジ・レジスタ		IFCJG		R		-	00H	
FFACH	IFカウンタ・コントロール・レジスタ		IFCCR		W		-		
FFAEH	IFカウンタ・レジスタ		IFCR	IFCRL	R	-	-		
FFAFH				IFCRH		-	-		

注1 . パワーオン・クリアによるリセットのみ不定になります。

2 . DTSシステム・クロック選択レジスタ(DTSCK)の初期値は00Hですが、必ず01Hに設定して使用してください。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

表3 - 4 特殊機能レジスタ一覧(3/3)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FFD0H   FFDFH	外部アクセス領域 <sup>注1</sup>			R/W			-	不定
★ FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L					00H
★ FFE1H	割り込み要求フラグ・レジスタ0H		IF0H					
★ FFE2H	割り込み要求フラグ・レジスタ1L	IF1L					-	
★ FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L					FFH
★ FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H					
★ FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L					-	
★ FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L					
★ FFE9H	優先順位指定フラグ・レジスタ0H		PR0H					
★ FFEAH	優先順位指定フラグ・レジスタ1L	PR1L					-	
★ FFF0H	メモリ・サイズ切り替えレジスタ	IMS			-		-	CFH <sup>注2</sup>
★ FFF4H	内部拡張RAMサイズ切り替えレジスタ	IXS			-		-	0CH <sup>注3</sup>
★ FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					-	00H
★ FFFAH	発振安定時間選択レジスタ	OSTS					-	04H
★ FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC					-	

注1．外部アクセス領域は、SFRアドレッシングではアクセスできません。ダイレクト・アドレッシングでアクセスしてください。

2．メモリ・サイズ切り替えレジスタ(IMS)の初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

製品名	IMS
μ PD178022	44H
μ PD178023	C6H
μ PD178024	C8H
μ PD178F124	マスクROM製品に対応した値

3．内部拡張RAMサイズ切り替えレジスタ(IXS)にはリセット時以外の値を設定しないでください。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ(PC)の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント(1バイトに対して+1)されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します(各命令についての詳細は別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください)。

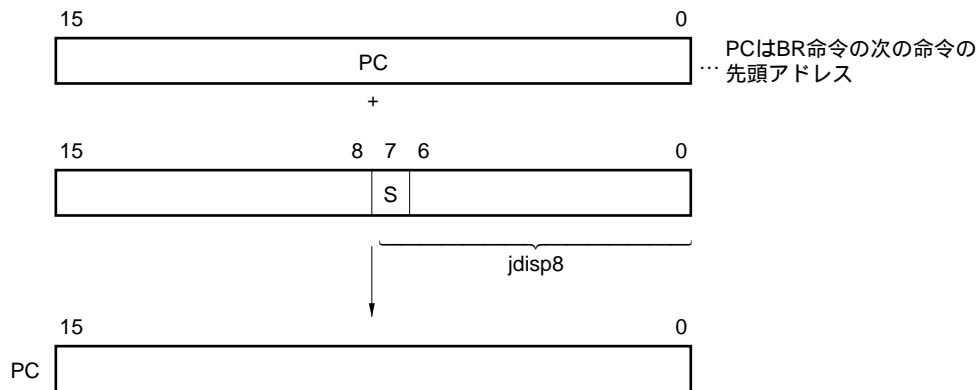
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ(ディスプレイスメント値: `jdisp8`)を加算した値が、プログラム・カウンタ(PC)に転送されて分岐します。ディスプレイスメント値は、符号付きの2の補数データ(-128~+127)として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128~+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



S = 0のとき、は全ビット0

S = 1のとき、は全ビット1

### 3.3.2 イミディエト・アドレッシング

**【機能】**

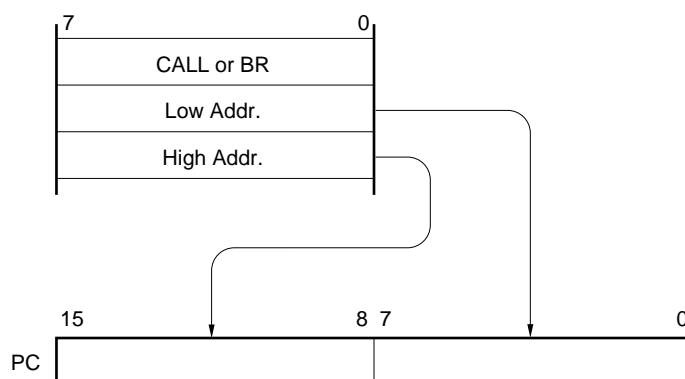
命令語中のイミディエト・データがプログラム・カウンタ(PC)に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

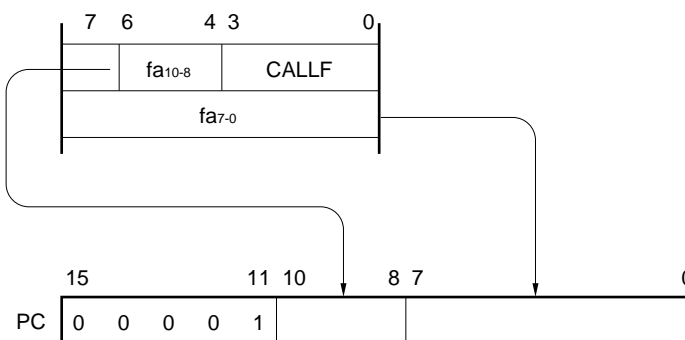
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFFHの領域に分岐します。

**【図解】**

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



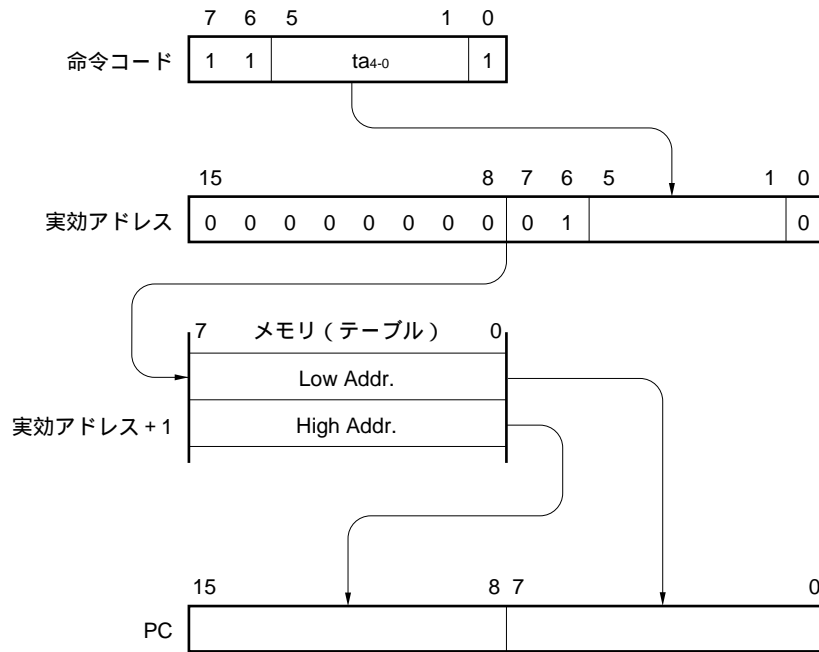
### 3.3.3 テーブル・インダイレクト・アドレッシング

**【機能】**

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容(分岐先アドレス)がプログラム・カウンタ(PC)に転送され、分岐します。

CALLT [ addr5 ]命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

**【図解】**

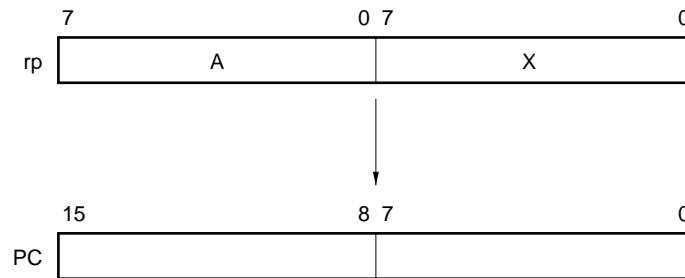


### 3.3.4 レジスタ・アドレッシング

**【機能】**

命令語によって指定されるレジスタ・ペア(A X)の内容がプログラム・カウンタ(PC)に転送され、分岐します。

BR AX命令を実行する際に行われます。

**【図解】**

## 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法(アドレッシング)として次に示すいくつかの方法があります。

### 3.4.1 インプライド・アドレッシング

#### 【機能】

汎用レジスタの領域にあるアキュムレータ(A, AX)として機能するレジスタを自動的にアドレスするアドレッシングです。

μPD178024サブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

#### 【オペランド形式】

命令によって自動的に使用できるため, 特定のオペランド形式を持ちません。

#### 【記 述 例】

##### MULU Xの場合

8ビット×8ビットの乗算命令において, AレジスタとXレジスタの積をAXに格納する。ここで, A, AXレジスタがインプライド・アドレッシングで指定されている。

### 3.4.2 レジスタ・アドレッシング

#### 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)および、命令コード中のレジスタ指定コード(Rn, RPn)により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

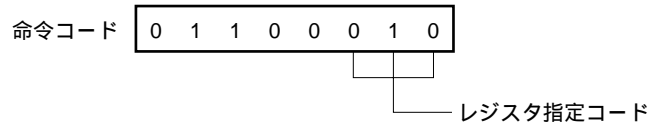
#### 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

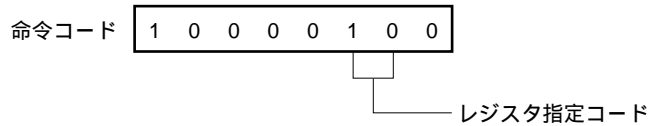
r, rpは、機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほかに絶対名称(R0-R7, RP0-RP3)で記述できます。

#### 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合





### 3.4.3 ダイレクト・アドレッシング

**【機能】**

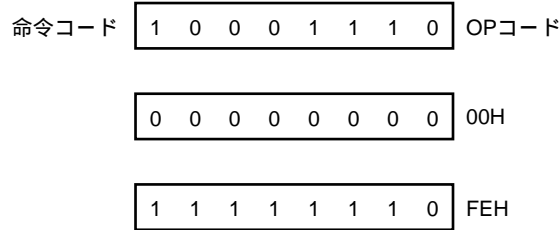
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

**【オペランド形式】**

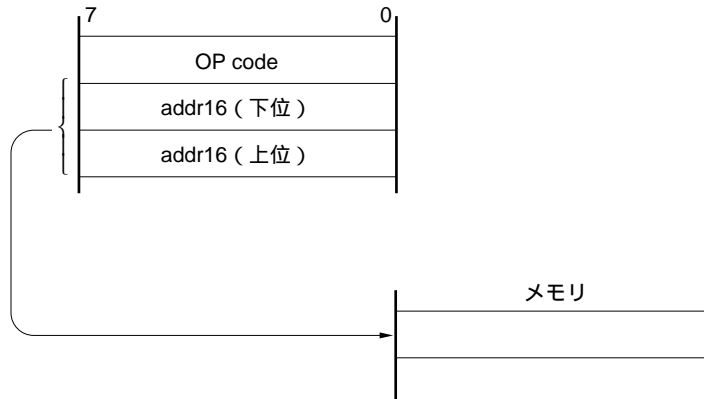
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

**【記述例】**

MOV A, !FE00H ; !addr16をFE00Hとする場合



**【図解】**



### 3.4.4 ショート・ダイレクト・アドレッシング

#### 【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用されるのはFE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ(SFR)がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域(FF00H-FF1FH)は、全SFR領域の一部です。この領域には、プログラム上でひんぱんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

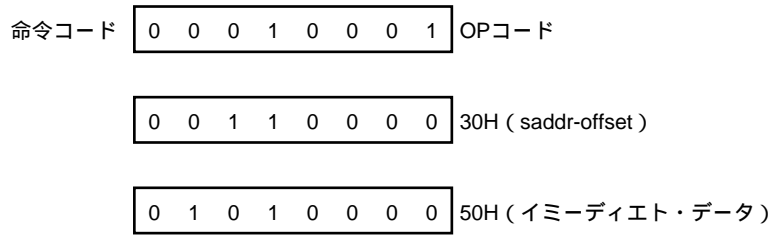
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次頁の【図解】を参照してください。

#### 【オペランド形式】

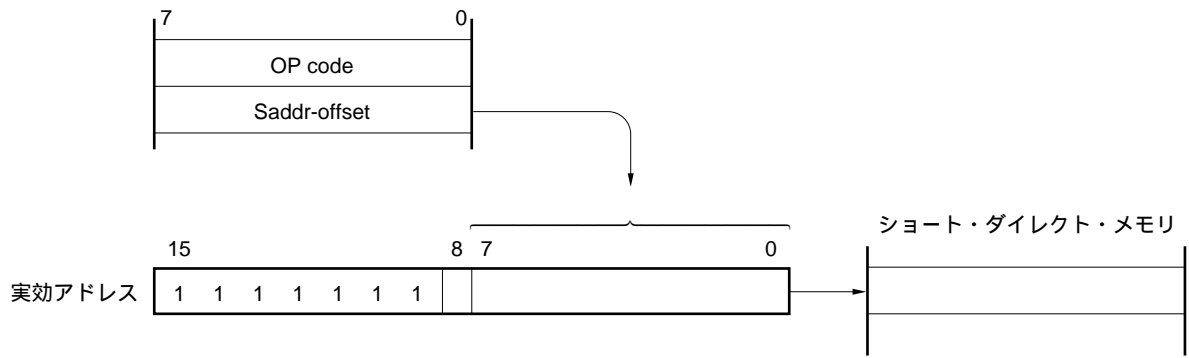
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ(偶数アドレスのみ)

【記述例】

MOV FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき, =0

8ビット・イミディエト・データが00H-1FHのとき, =1

### 3.4.5 特殊機能レジスタ(SFR)アドレッシング

**【機能】**

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ(SFR)をアドレスするアドレッシングです。

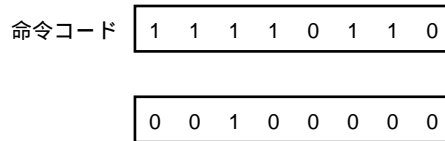
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

**【オペランド形式】**

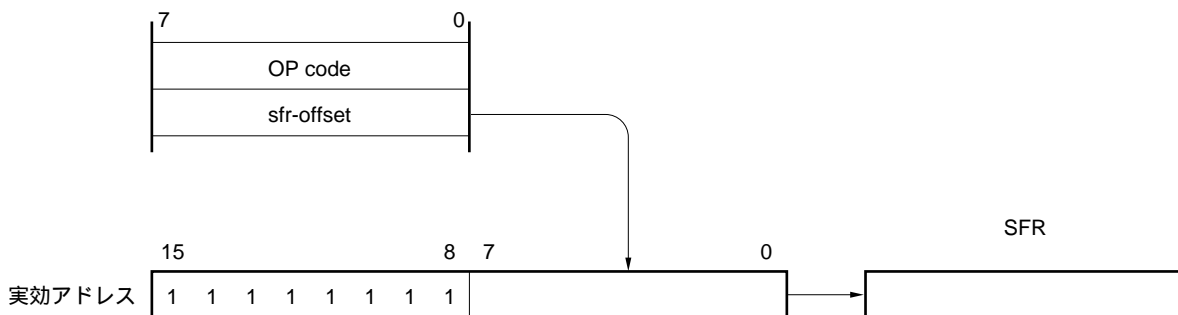
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名(偶数アドレスのみ)

**【記述例】**

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



**【図解】**



## 3.4.6 レジスタ・インダイレクト・アドレッシング

## 【機能】

レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中の、命令語中のレジスタ・ペア指定コードで指定されるレジスタ・ペアの内容がオペランド・アドレスとなって操作対象となるメモリをアドレスするアドレッシングです。すべてのメモリ空間に対してアドレッシングできます。

## 【オペランド形式】

表現形式	記述方法
-	[DE][HL]

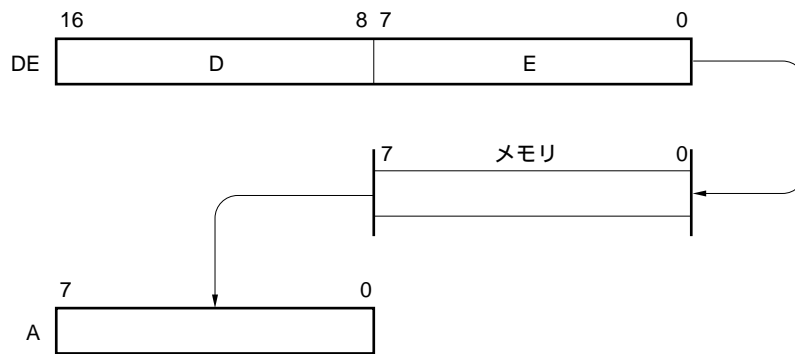
## 【記述例】

MOV A,[DE]; レジスタ・ペアに[DE]を選択する場合

命令コード 

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

## 【図解】



### 3.4.7 ベース・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[ HL + byte ]

#### 【記述例】

MOV A, [ HL + 10H ]; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

### 3.4.8 ベース・インデクスト・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[HL+B][HL+C]

#### 【記述例】

MOV A,[HL+B]の場合

命令コード 

1 0 1 0 1 0 1 1
-----------------

### 3.4.9 スタック・アドレッシング

#### 【機能】

スタック・ポインタ(SP)の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの回避/復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

#### 【記述例】

PUSH DEの場合

命令コード 

1 0 1 1 0 1 0 1
-----------------

[メモ]



# 第4章 ポート機能

## 4.1 ポートの機能

μPD178024サブシリーズは、6本の入力ポート、3本の出力ポートと53本の入出力ポートを内蔵しています。図4-1にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4-1 ポートの種類

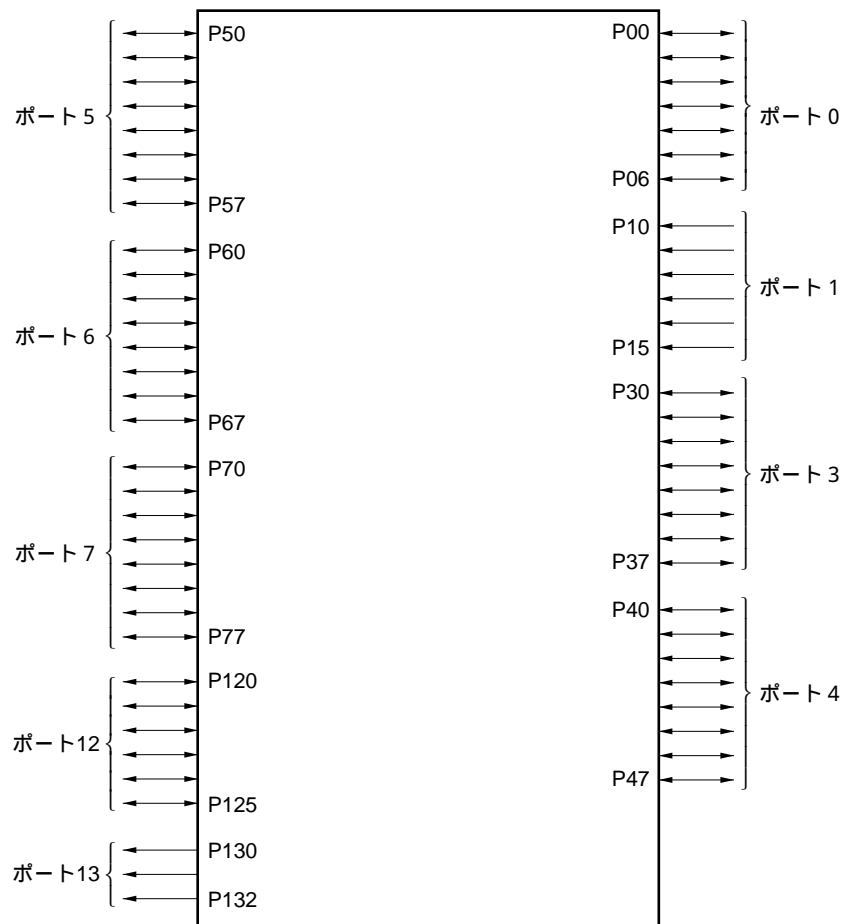


表4-1 ポートの機能

端子名称	入出力	機 能	兼用端子
P00-P04	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	INTP0-INTP4
P05, P06			-
P10-P15	入力	ポート1。 6ビット入力ポート。	ANI0-ANI5
P30-P32	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	-
P33			TI50
P34			TI51
P35			-
P36			BEEP0
P37			-
P40-P47			入出力
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	-
P60-P67	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	-
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	SI3
P71			SO3
P72			SCK3
P73			-
P74			RXD0
P75			TXD0
P76			SDA0
P77			SCL0
P120-P125	入出力	ポート12。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	-
P130	出力	ポート13。 3ビット出力ポート。 N-chオープン・ドレイン出力ポート(12V耐圧)。	TO50
P131			TO51
P132			-

★

★

★

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM <sub>m</sub> : m = 0, 3-7, 12)
ポート	合計：62本(入力：6本，出力：3本，入出力：53本)

### 4.2.1 ポート0

出力ラッチ付き7ビット入出力ポートです。P00-P06端子は、ポート・モード・レジスタ0(PM0)により、1ビット単位で入力モード/出力モードの指定ができます。

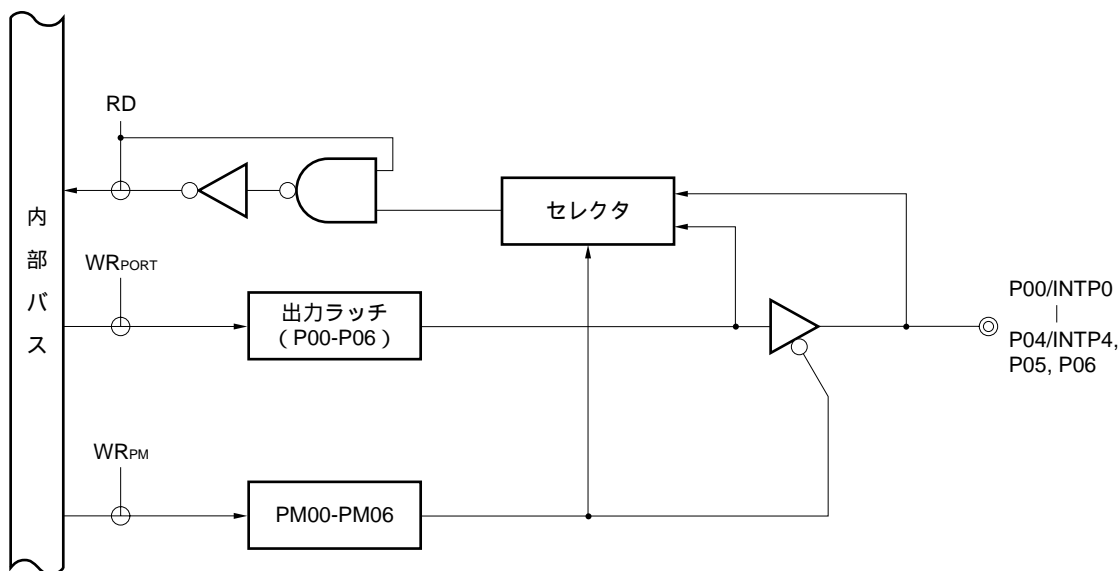
また、兼用機能として外部割り込み要求入力があります。

リセット時は、入力モードになります。

図4-2にポート0のブロック図を示します。

**注意** ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図4-2 P00-P06のブロック図



PM : ポート・モード・レジスタ  
 RD : ポート0のリード信号  
 WR : ポート0のライト信号

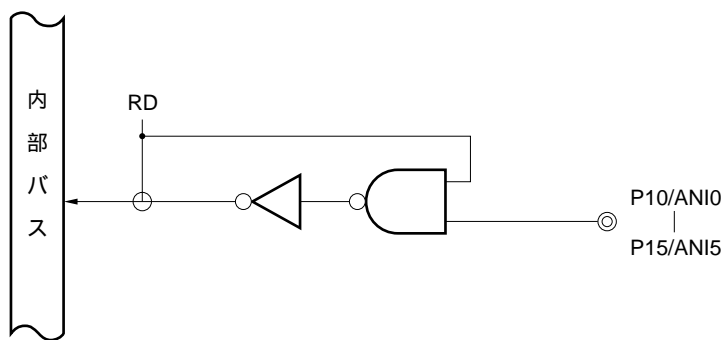
### 4.2.2 ポート1

6ビット入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10-P15のブロック図



RD : ポート1のリード信号

### 4.2.3 ポート3

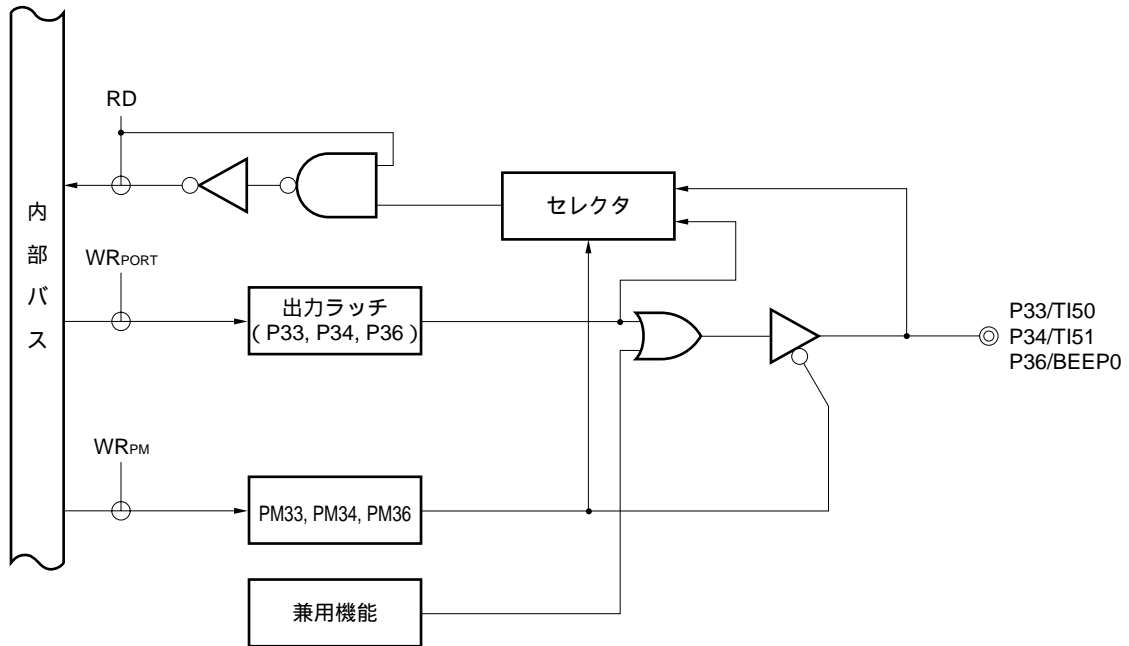
出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート・モード・レジスタ3(PM3)により、1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてタイマの入力、ブザー出力があります。

リセット時は、入力モードになります。

図4-4、図4-5にポート3のブロック図を示します。

図4-4 P33, P34, P36のブロック図

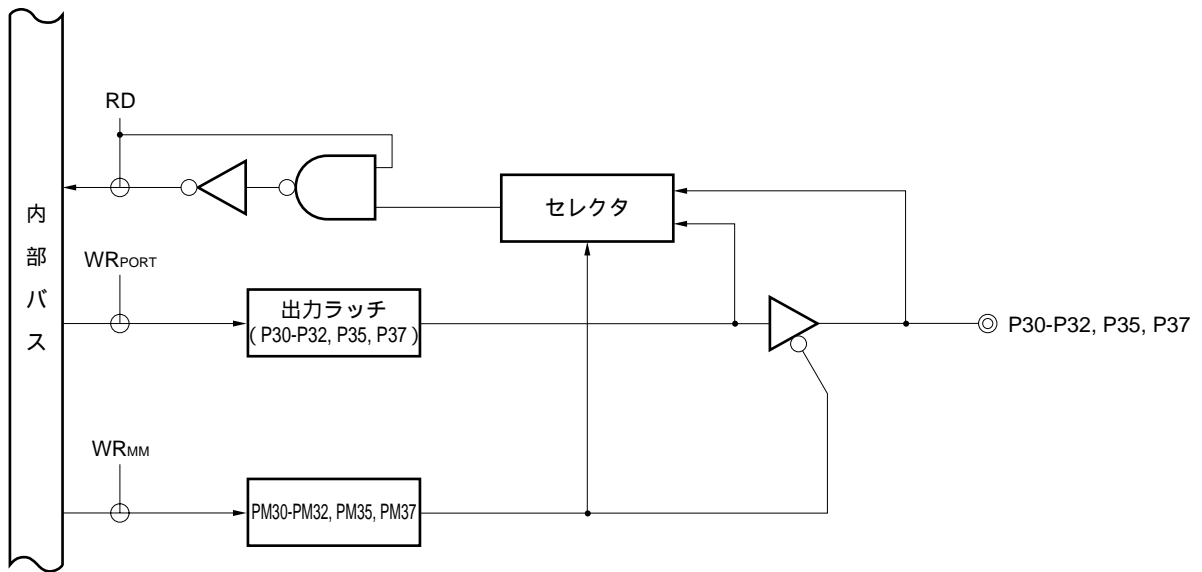


PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4-5 P30-P32, P35, P37のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート3のリード信号
- WR : ポート3のライト信号

### 4.2.4 ポート4

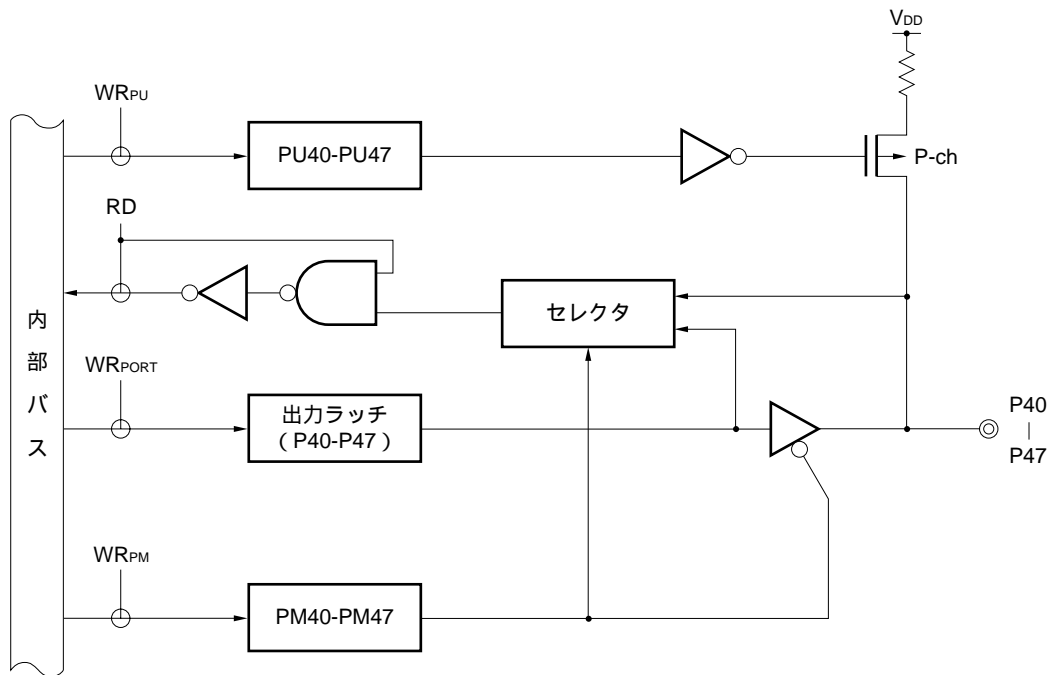
出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4(PM4)により、1ビット単位で入力モード/出力モードの指定ができます。プルアップ抵抗オプション・レジスタ4(PU4)により、1ビット単位で内蔵プルアップ抵抗を使用できます。

また、キー入力の検出により、割り込み要求フラグ(KYIF)を1にセットできます。このキー入力検出機能を使うときは、必ずMEMレジスタを01Hに設定してください。

リセット時は、入力モードになります。

図4-6にポート4のブロック図、図4-7にキー入力検出回路のブロック図を示します。

★ 図4-6 P40-P47のブロック図



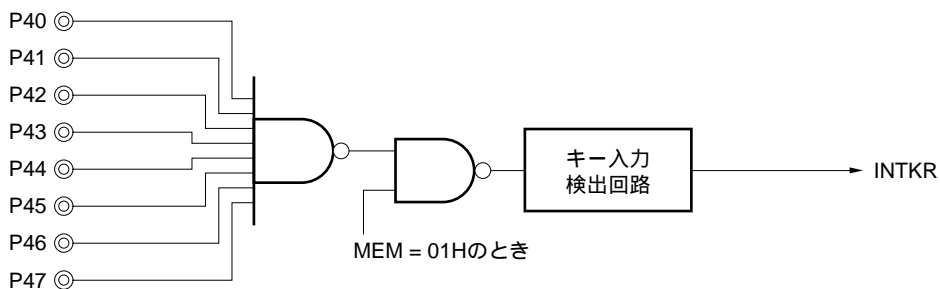
PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

図4-7 キー入力検出回路のブロック図



**注意** この回路はMEMレジスタを01Hに設定したときのみ有効となります。

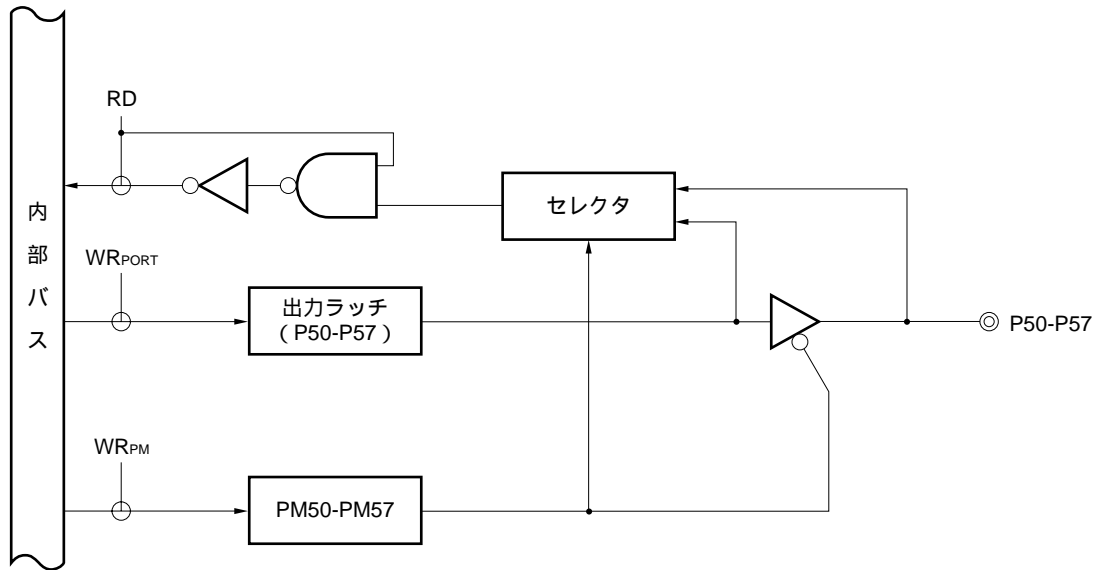
### 4.2.5 ポート5

出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ5(PM5)により、1ビット単位で入力モード/出力モードの指定ができます。

リセット時は、入力モードになります。

図4-8にポート5のブロック図を示します。

図4-8 P50-P57のブロック図



**備考** PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号



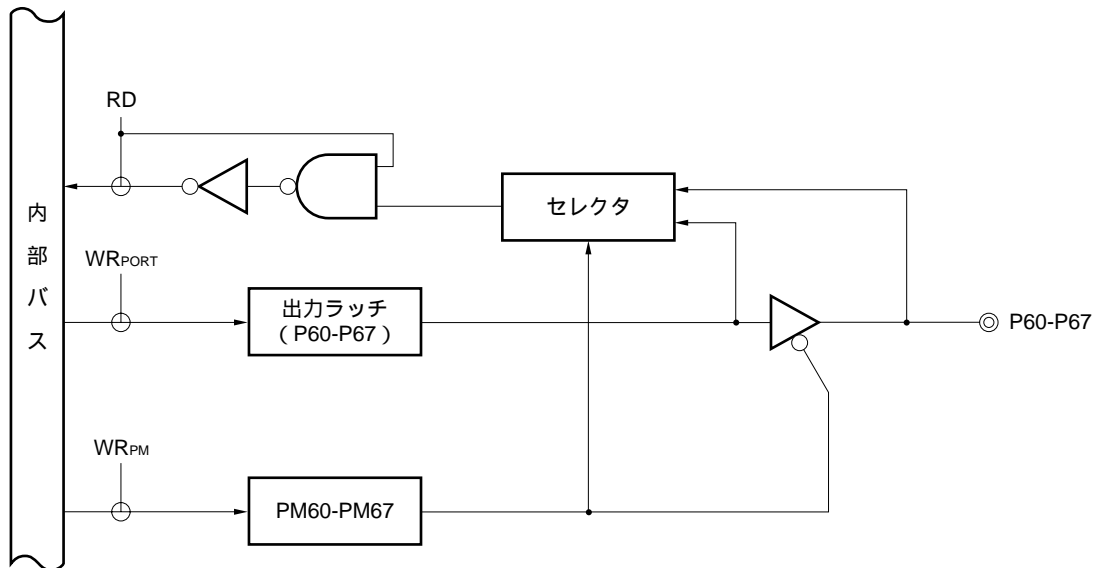
### 4.2.6 ポート6

出力ラッチ付き8ビット入出力ポートです。P60-P67端子は、ポート・モード・レジスタ6(PM6)により、1ビット単位で入力モード/出力モードの指定ができます。

リセット時は、入力モードになります。

図4-9にポート6のブロック図を示します。

図4-9 P60-P67のブロック図



**備考** PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

### 4.2.7 ポート7

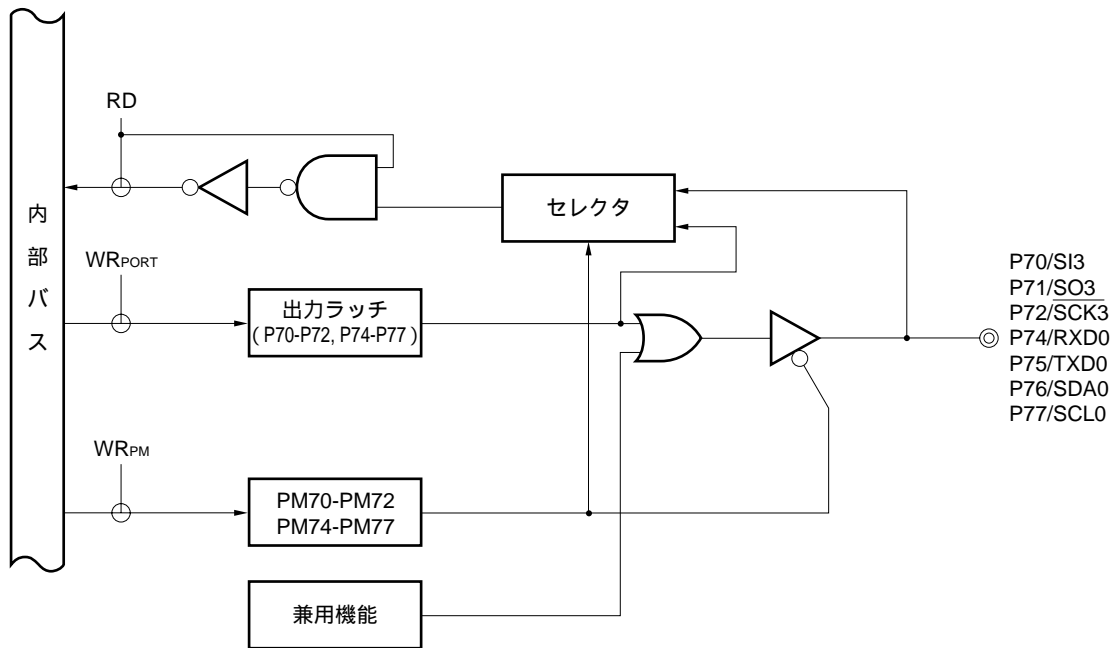
出力ラッチ付き8ビット入出力ポートです。P70-P77端子は、ポート・モード・レジスタ7(PM7)により、1ビット単位で入力モード/出力モードの指定ができます。

★ また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、アシンクロナス・シリアル・インタフェースのデータ入出力があります。

リセット時は、入力モードになります。

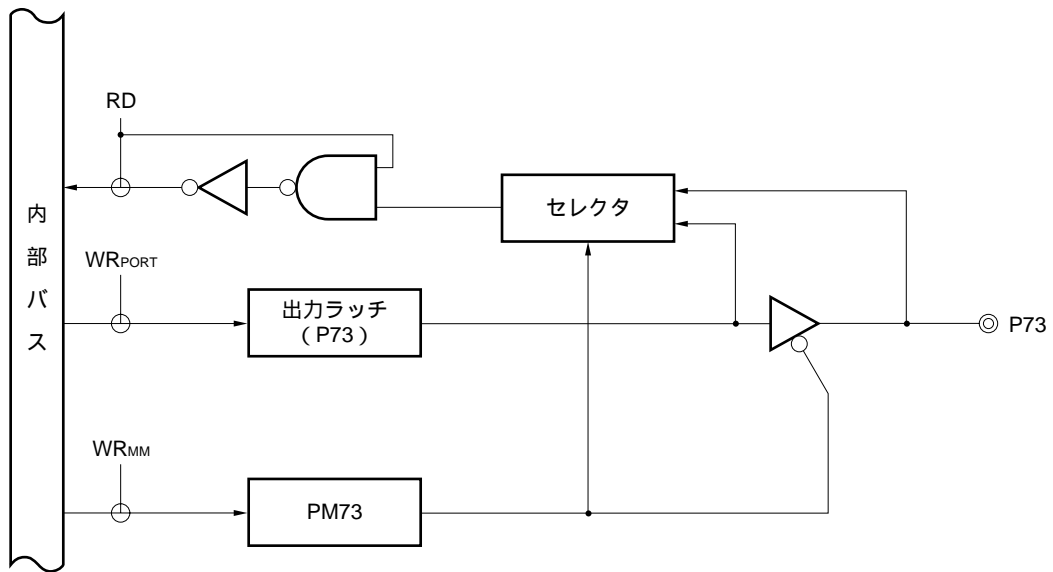
図4-10、4-11にポート7のブロック図を示します。

図4-10 P70-P72, P74-P77のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート7のリード信号
- WR : ポート7のライト信号

図4 - 11 P73のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート7のリード信号
- WR : ポート7のライト信号

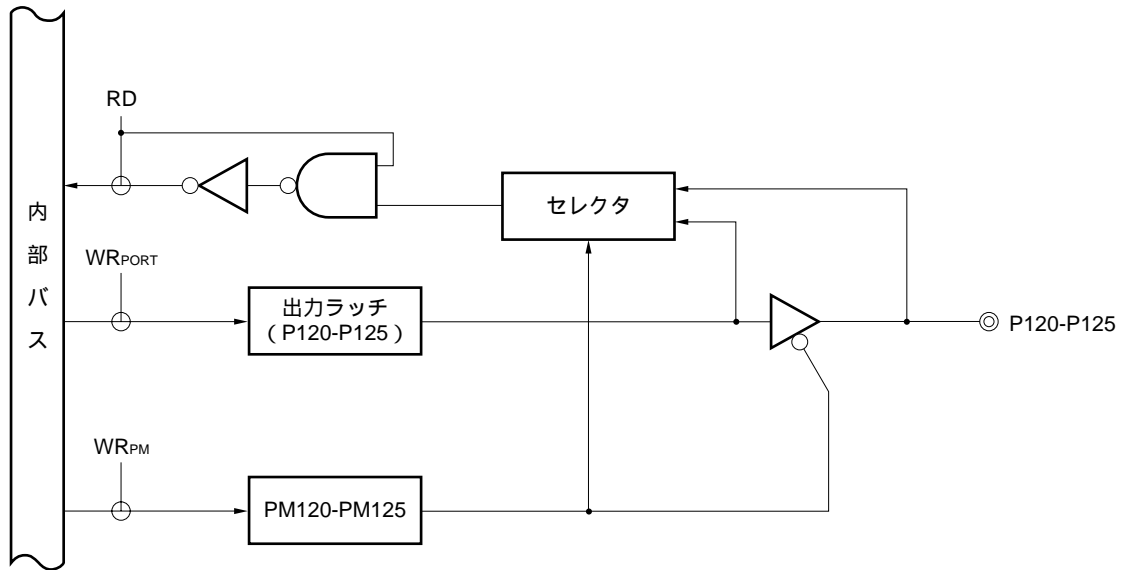
### 4.2.8 ポート12

出力ラッチ付き6ビット入出力ポートです。P120-P125端子は、ポート・モード・レジスタ12( PM12 )により、1ビット単位で入力モード/出力モードの指定ができます。

リセット時は、入力モードになります。

図4 - 12にポート12のブロック図を示します。

図4 - 12 P120-P125のブロック図



**備考** PM : ポート・モード・レジスタ

RD : ポート12のリード信号

WR : ポート12のライト信号

### 4.2.9 ポート13

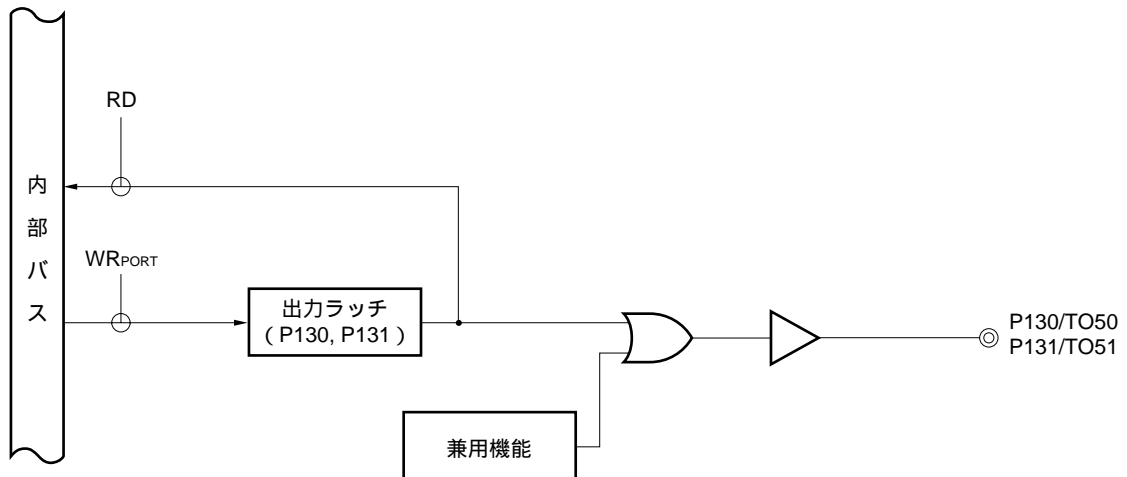
出力ラッチ付き3ビットN-chオープン・ドレイン出力ポートです。

また、兼用機能としてタイマの出力があります。

リセット時は、汎用出力ポート・モードになります。

図4 - 13、図4 - 14にポート13のブロック図を示します。

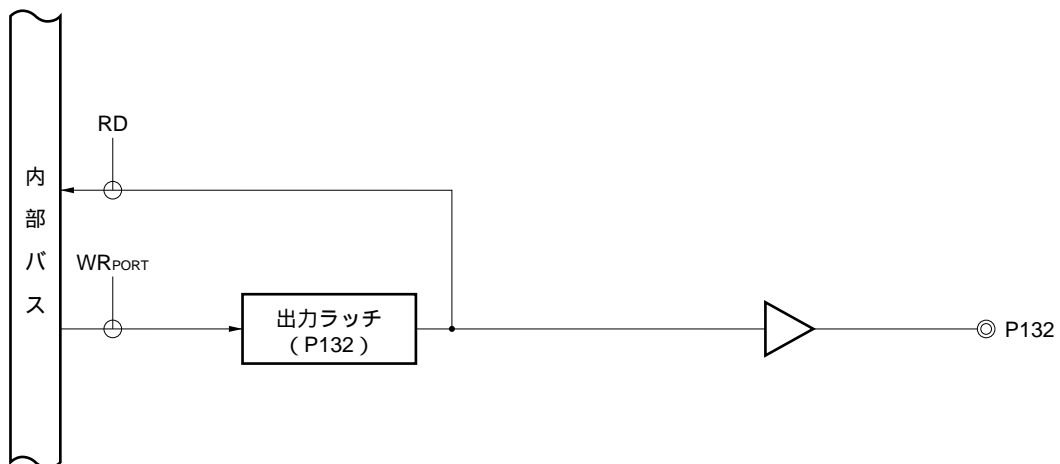
図4 - 13 P130, P131のブロック図



備考 RD : ポート13のリード信号

WR : ポート13のライト信号

図4 - 14 P132のブロック図



RD : ポート13のリード信号

WR : ポート13のライト信号

## 4.3 ポート機能を制御するレジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ( PM0, PM3-PM7, PM12 )
- ・プルアップ抵抗オプション・レジスタ( PU4 )

### (1) ポート・モード・レジスタ (PM0, PM3-PM7, PM12)

ポートの入力/出力を1ビット単位で指定するレジスタです。

PM0, PM3-PM7, PM12は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

**注意1** . P10-P17端子は入力専用端子、P130-P132は出力専用端子です。

- 2 . ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用端子		PM × ×	P × ×
	名 称	入出力		
P00-P04	INTP0-INTP4	入力	1	×
P10-P15	ANI0-ANI5	入力	1	×
P33	TI50	入力	1	×
P34	TI51	入力	1	×
P36	BEEP0	出力	0	0
P70	SI3	入力	1	×
P71	SO3	出力	0	0
P72	$\overline{\text{SCK3}}$	入力	1	×
		出力	0	0
P74	$\overline{\text{RXD0}}$	入力	1	×
P75	$\overline{\text{TXD0}}$	出力	0	0
★ P76	SDA0	入出力	0	0
★ P77	SCL0	入出力	0	0
P130	TO50	出力	-	0
P131	TO51	出力	-	0

注意 上記の兼用端子を出力として使用する場合には，出力ラッチ（P × ×）に必ず“0”を設定してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

図4 - 15 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	PM125	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0, 3-7, 12 : n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										



(2) プルアップ抵抗オプション・レジスタ4 (PU4)

★ ポート4の内蔵プルアップ抵抗を使用するか、使用しないかを設定するレジスタです。PU4で内蔵プルアップ抵抗の使用を指定したビットのみ、内部でプルアップ抵抗を使用できます。

PU4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図4 - 16 プルアップ抵抗オプション・レジスタ4(PU4)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W

PU4n	P4n端子の内蔵プルアップ抵抗の選択 (n = 0-7)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

[メモ]

## 第5章 クロック発生回路

### 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロック発振回路は、4.5 MHzの水晶振動子を接続します。このとき、DTSシステム・クロック選択レジスタ(DTSCK)のビット0(DTSCK0)に1を設定してください。DTSCK0フラグは、電源投入後およびRESET端子によるリセット後で、ベーシック・タイマ、ブザー出力制御回路、PLL周波数シンセサイザおよび周波数カウンタを使用する前に、設定してください。

STOP命令の実行により、発振を停止できます。

図5 - 1 DTSシステム・クロック選択レジスタ(DTSCK)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DTSCK	0	0	0	0	0	0	0	DTSCK0	FFAAH	00H	R/W

DTSCK0	システム・クロックの選択
1	4.5 MHzを使用
0	設定禁止

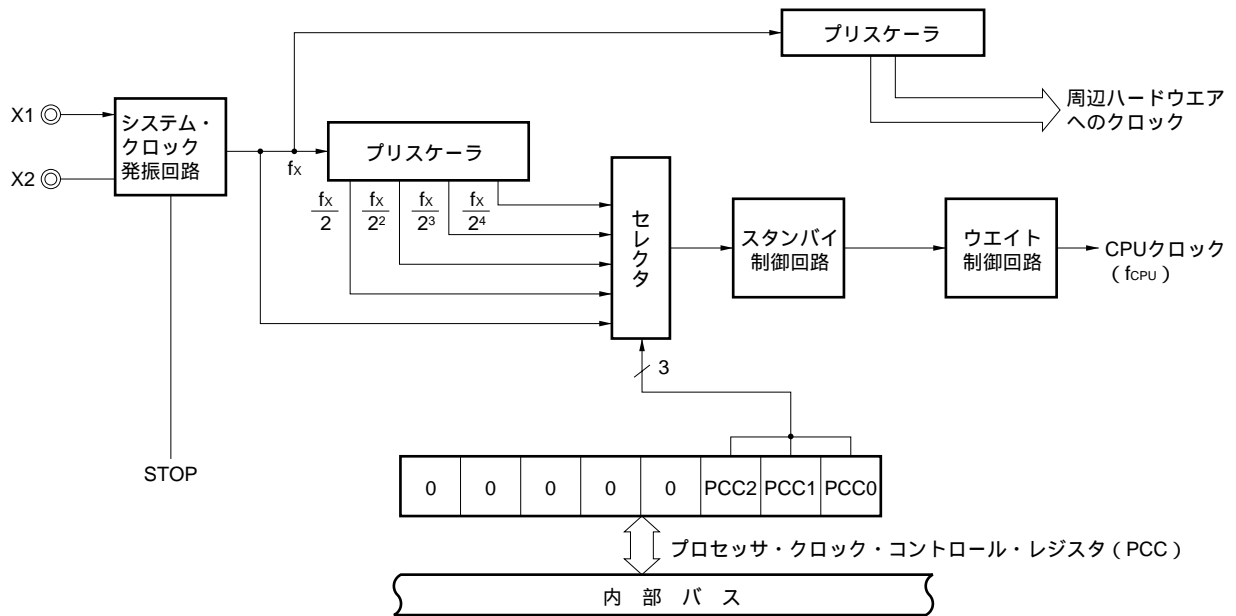
## 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ(PCC)
発振回路	システム・クロック発振回路

図 5 - 2 クロック発生回路のブロック図



### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、プロセッサ・クロック・コントロール・レジスタ(PCC)で制御します。  
 CPUクロックを設定するレジスタです。  
 PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット時は、04Hになります。

図5 - 3 プロセッサ・クロック・コントロール・レジスタ(PCC)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	PCC2	PCC1	PCC0	FFF BH	04 H	R/W <sup>注</sup>

R/W	PCC2	PCC1	PCC0	CPUクロック( $f_{CPU}$ )の選択
	0	0	0	$f$ (0.45 $\mu$ s)
	0	0	1	$f/2$ (0.89 $\mu$ s)
	0	1	0	$f/2$ (1.78 $\mu$ s)
	0	1	1	$f/2$ (3.56 $\mu$ s)
	1	0	0	$f/2$ (7.11 $\mu$ s)
	上記以外			設定禁止

注 ビット3-7は、Read Onlyです。

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( )内は、 $f_x = 4.5$  MHz動作時の最小命令実行時間： $2/f_{CPU}$

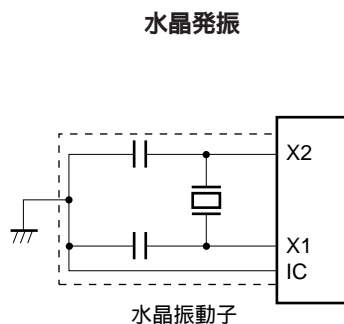
## 5.4 システム・クロック発振回路

### 5.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続された水晶振動子(標準: 4.5 MHz)によって発振します。

図5 - 4にシステム・クロック発振回路の外付け回路を示します。

図5 - 4 システム・クロック発振回路の外付け回路



**注意** システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 4の破線の部分を次のように配線してください。

配線は極力短くする。

他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。

発振回路のコンデンサの接地点は、常にGNDと同電位となるようにする。大電流が流れるグランド・パターンに接地しない。

発振回路から信号を取り出さない。

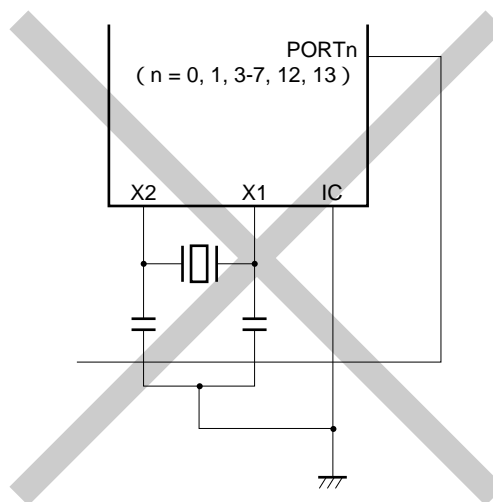
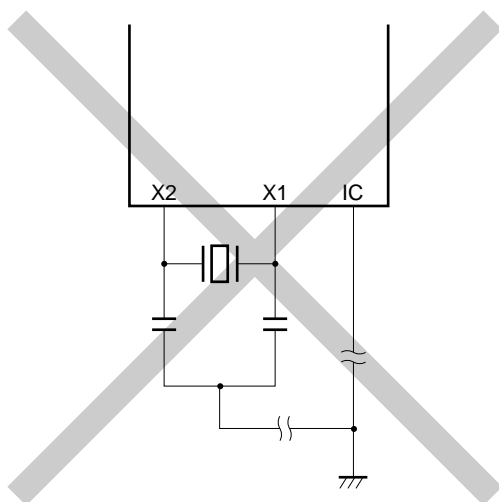


図5 - 5 に発振子の接続の悪い例を示します。

図5 - 5 発振子の接続の悪い例(1/2)

(a) 接続回路の配線が長い

(b) 信号線が交差している



(c) 変化する大電流が信号線に  
近接している

(d) 発振回路部のグランド・ライン上に電流が流れる  
(A点, B点, C点の電位が変動する)

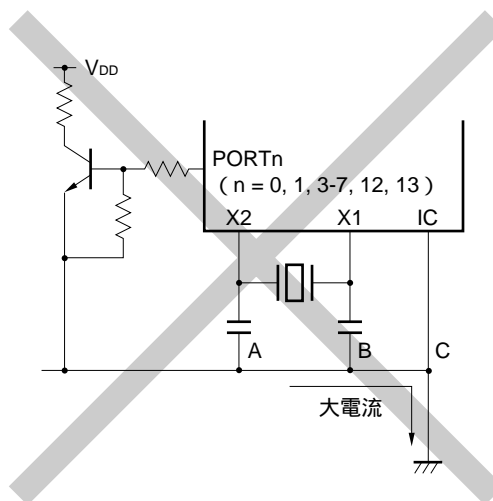
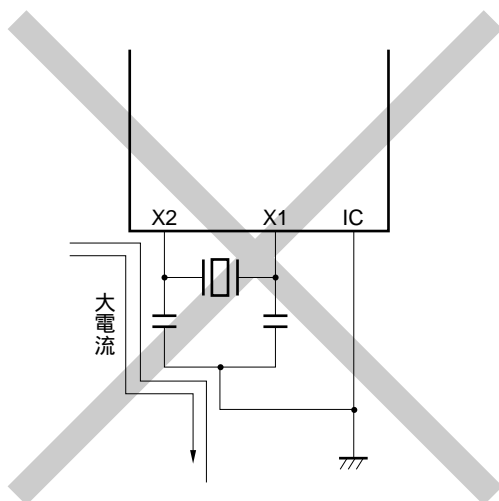
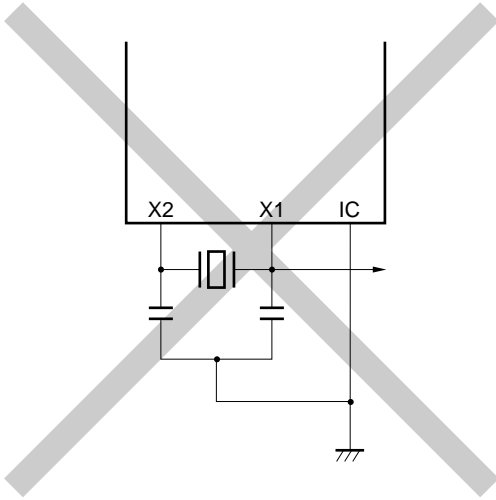


図5 - 5 発振子の接続の悪い例(2/2)

(e) 信号を取り出している



#### 5.4.2 分周回路

分周回路は、システム・クロック発振回路出力( $f_x$ )を分周して、各種クロックを生成します。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック  $f_x$
- ・CPUクロック  $f_{CPU}$
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ(PCC)により決定され、次のような機能、動作となります。

- (a)  $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの最低速モード(7.11  $\mu\text{s}$  : 4.5 MHz動作時)が選択されます(PCC = 04H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCCの設定により5段階のCPUクロック(0.45, 0.89, 1.78, 3.56, 7.11  $\mu\text{s}$  : 4.5 MHz動作時)を選択することができます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。システム・クロックを停止させたときは周辺ハードウェアも停止します。

## 5.6 システム・クロックとCPUクロックの設定の変更

### 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2 (PCC0-PCC2)により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します(表5 - 2参照)。

表5 - 2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	/			16命令			16命令			16命令			16命令		
0	0	1				8命令			8命令			8命令			8命令		
0	1	0				4命令			4命令			4命令			4命令		
0	1	1				2命令			2命令			2命令			2命令		
1	0	0				1命令			1命令			1命令			1命令		
1	0	1				1命令			1命令			1命令			1命令		

**備考** 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

## 第6章 8ビット・タイマ/イベント・カウンタ

### 6.1 8ビット・タイマ/イベント・カウンタの機能

8ビット・タイマ/イベント・カウンタ (TM50, TM51) には、次の2つのモードがあります。

- ・ 8ビット・タイマ/イベント・カウンタを単体で使用するモード (単体モード)
- ・ カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

次に、これら2つのモードについて説明します。

#### (1) 8ビット・タイマ/イベント・カウンタを単体で使用するモード (単体モード)

8ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

#### (2) カスケード接続して使用するモード (16ビット分解能: カスケード接続モード)

カスケード接続することにより、16ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

図6-1, 6-2に、8ビット・タイマ/イベント・カウンタのブロック図を示します。

図6-1 8ビット・タイマ/イベント・カウンタ50のブロック図

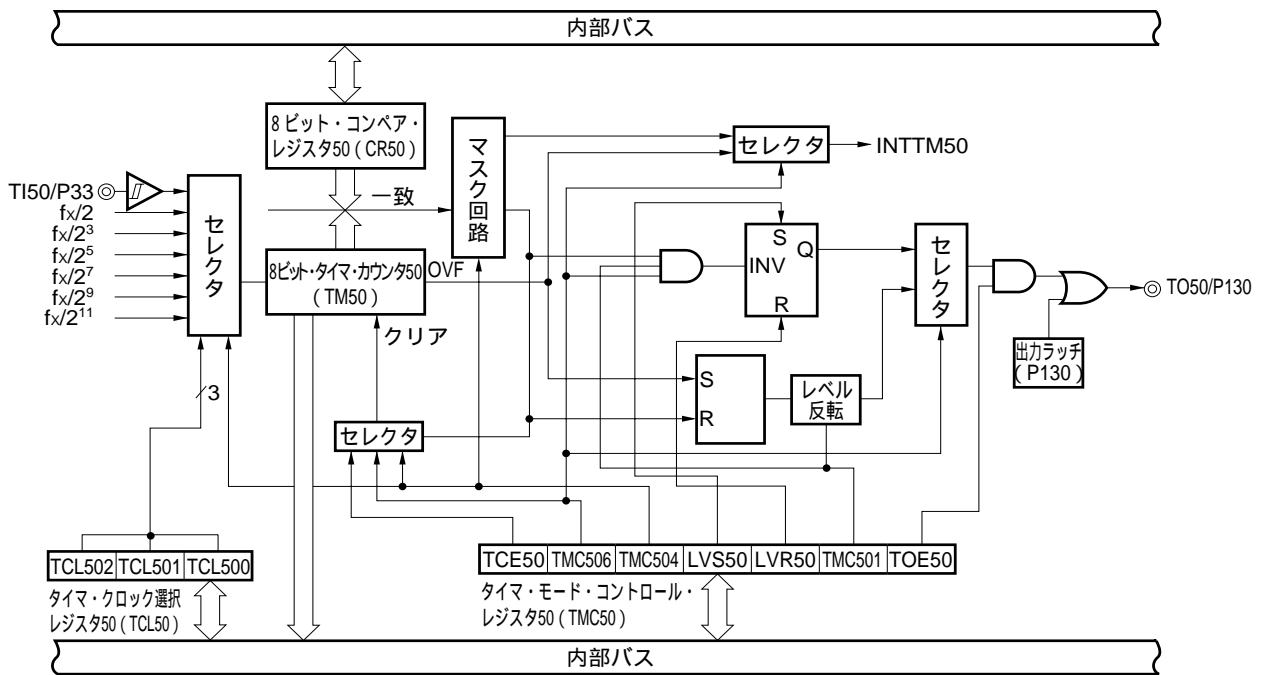
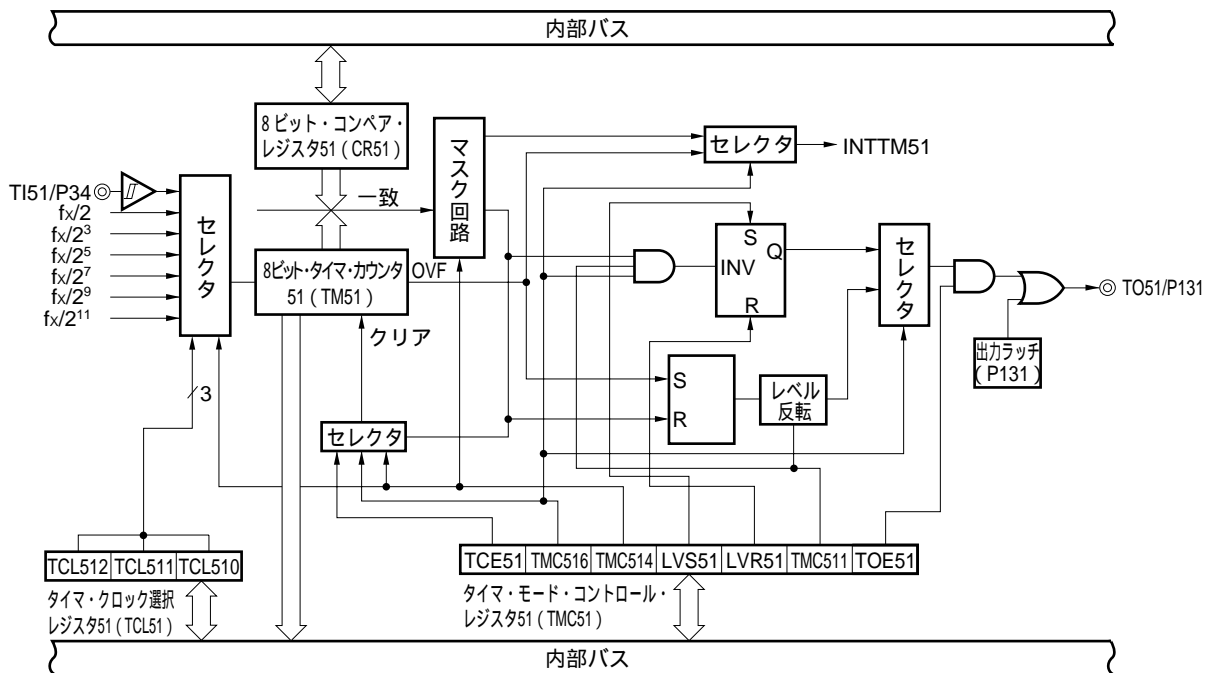


図6-2 8ビット・タイマ/イベント・カウンタ51のブロック図



## 6.2 8ビット・タイマ/イベント・カウンタの構成

8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成されています。

表6-1 8ビット・タイマ/イベント・カウンタの構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ50, 51 (TM50, TM51)
レジスタ	8ビット・コンペア・レジスタ50, 51 (CR50, CR51)
タイマ出力	2本 (TO50, TO51)
制御レジスタ	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51) 8ビット・タイマ・モード・コントロール・レジスタ50, 51 (TMC50, TMC51)

### (1) 8ビット・タイマ・カウンタ50, 51 (TM50, TM51)

TM50, TM51は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

TM50, TM51は、カスケード接続し、16ビット・タイマとして使用できます。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、16ビット・メモリ操作命令により読み出せます。しかし、内部8ビット・バスで接続されていますので、TM50, TM51を2回に分けて読み出します。したがって、カウント変化中の読み出しを考慮し、2度読みにより比較してください。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

RESET入力

TCE5nをクリア

TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

**注意** カスケード接続時は、最下位タイマのTCE50をクリアしても00Hとなります。

**備考** n = 0, 1

### (2) 8ビット・コンペア・レジスタ50, 51 (CR50, CR51)

CR50, CR51に設定した値と、8ビット・タイマ・カウンタ50, 51 (TM50, TM51) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM50, INTTM51) を発生します (PWMモード以外)。

CR50, CR51の値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。

TM50, TM51をカスケード接続し、16ビット・タイマとして使用した場合、CR50, CR51は、16ビット・コンペア・レジスタとして動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTM50) を発生します。そのとき、INTTM51割り込み要求も発生しますので、TM50, TM51をカスケード接続して使用する場合は、INTTM51割り込み要求をマスクしてください。

**注意** カスケード接続時は、必ずタイマ動作を停止させてからデータを設定してください。

## 6.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)
- ・8ビット・タイマ・モード・コントロール・レジスタ50, 51 (TMC50, TMC51)

### (1) タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)

8ビット・タイマ/イベント・カウンタ50, 51 (TM50, TM51) のカウント・クロックおよびTI50, TI51入力の有効エッジを設定するレジスタです。

TCL50, TCL51は、8ビット・メモリ操作命令で設定します。

リセット時、00Hになります。

図6-3 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500	FF84H	00H	R/W

TCL502	TCL501	TCL500	カウント・クロックの選択
0	0	0	TI50の立ち下がりエッジ
0	0	1	TI50の立ち上がりエッジ
0	1	0	$f_x/2$ (2.25 MHz)
0	1	1	$f_x/2^3$ (563 kHz)
1	0	0	$f_x/2^5$ (141 kHz)
1	0	1	$f_x/2^7$ (35.2 kHz)
1	1	0	$f_x/2^9$ (8.79 kHz)
1	1	1	$f_x/2^{11}$ (2.20 kHz)

**注意 1** . TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

**2** . ビット3-7には必ず“0”を設定してください。

**備考 1** . カスケード接続時、下位タイマ (TM50) のTCL500-TCL502の設定は有効になります。

**2** .  $f_x$  : システム・クロック発振周波数

**3** . ( ) 内は、 $f_x = 4.5$  MHz動作時。



図6 - 4 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510	FF87H	00H	R/W

TCL512	TCL511	TCL510	カウント・クロックの選択
0	0	0	TI51の立ち下がりエッジ
0	0	1	TI51の立ち上がりエッジ
0	1	0	$fx/2$ (2.25 MHz)
0	1	1	$fx/2^3$ (563 kHz)
1	0	0	$fx/2^5$ (141 kHz)
1	0	1	$fx/2^7$ (35.2 kHz)
1	1	0	$fx/2^9$ (8.79 kHz)
1	1	1	$fx/2^{11}$ (2.20 kHz)

注意1 . TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2 . ビット3-7には必ず“0”を設定してください。

備考1 . カスケード接続時、TCL510-TCL512の設定は無効になります。

2 .  $fx$  : システム・クロック発振周波数

3 . ( ) 内は、 $fx = 4.5$  MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ50, 51 (TMC50, TMC51)

TMC50, TMC51は、次の6種類の設定を行うレジスタです。

8ビット・タイマ・カウンタ50, 51 (TM50, TM51) のカウント動作制御

8ビット・タイマ・カウンタ50, 51 (TM50, TM51) の動作モードの選択

単体モード / カスケード接続モードの選択

タイマ出力F/F (フリップフロップ) の状態設定

タイマF/Fの制御またはPWM (フリーランニング) モード時のアクティブ・レベルの選択

タイマ出力の制御

TMC50, TMC51は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図6 - 5, 6 - 6に、TMC50, TMC51のフォーマットを示します。

図6-5 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

略号	6	5	4	1	①	アドレス	リセット時	R/W			
TMC50	TCE50	TMC506	0	TMC504	LVS50	LVR50	TMC501	TOE50	FF85H	00H	R/W

TCE50	TM50のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (プリスケール禁止)
1	カウンタ動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア&スタート・モード
1	PWM (フリーランニング) モード

TMC504	必ず“0”を設定してください。
--------	-----------------

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

**注意** ビット4 (TMC504) には, 必ず“0”を設定してください。

- 備考** 1. PWMモード時は, TCE50 = 0により, PWM出力はインアクティブ・レベルになります。  
 2. データ設定後にLVS50, LVR50を読み出すと, 0が読み出せます。

図6-6 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

略号	6	5	4	1	①	アドレス	リセット時	R/W			
TMC51	TCE51	TMC516	0	TMC514	LVS51	LVR51	TMC511	TOE51	FF88H	00H	R/W

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止(プリスケアラ禁止)
1	カウンタ動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア&スタート・モード
1	PWM(フリーランニング)モード

TMC514	単体モード/カスケード接続モードの選択
0	単体モード
1	カスケード接続モード(下位タイマ(TM50)と接続)

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TMC511	PWMモード以外(TMC516=0)	PWMモード(TMC516=1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止(ポート・モード)
1	出力許可

- 備考1. PWMモード時は, TCE51 = 0により, PWM出力はインアクティブ・レベルになります。  
 2. データ設定後にLVS51, LVR51読み出すと, 0が読み出せます。

## 6.4 8ビット・タイマ/イベント・カウンタの動作

### 6.4.1 インターバル・タイマ(8ビット)としての動作

8ビット・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.5 8ビット・タイマ/イベント・カウンタの注意事項 (2) を参照してください。

#### [ 設定方法 ]

各レジスタの設定を行います。

- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : TM5nとCR5nの一致でクリア&スタート・モードを選択  
( TMC5n = 0000 x x x 0B x = don't care )

TCE5n = 1を設定すると、カウント動作を開始します。

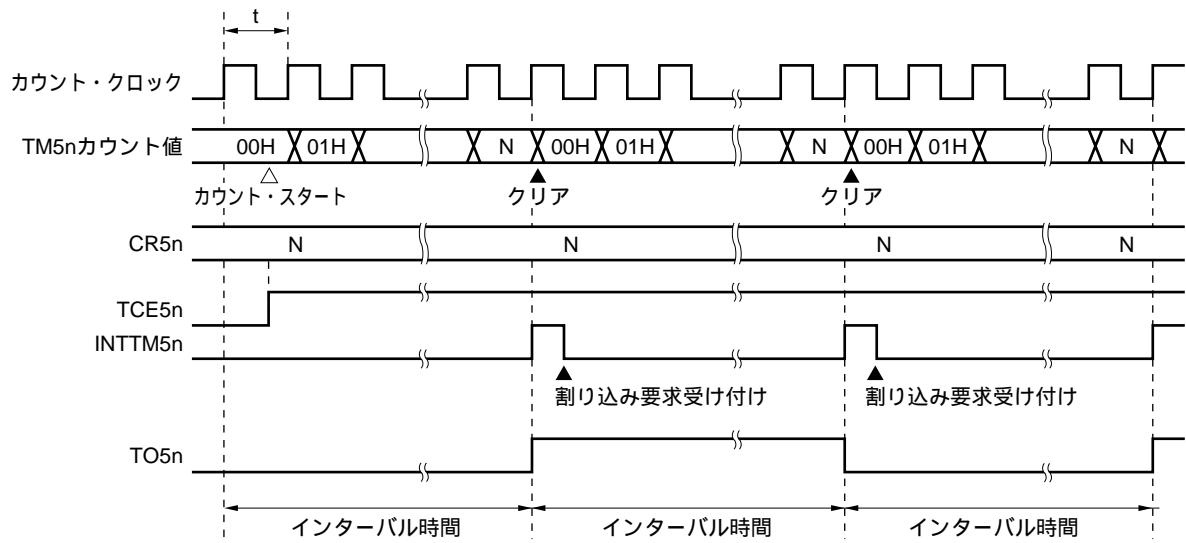
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

**備考** n = 0, 1

図6-7 インターバル・タイマ動作のタイミング (1/3)

(a) 基本動作

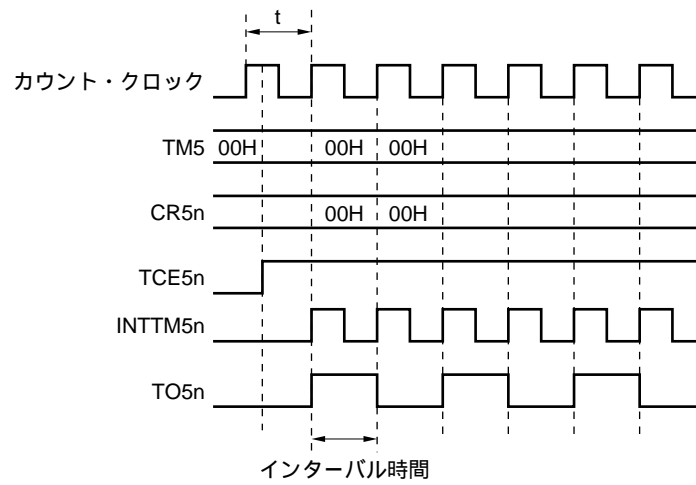


備考1 . インターバル時間 =  $(N + 1) \times t$  :  $N = 00H-FFH$

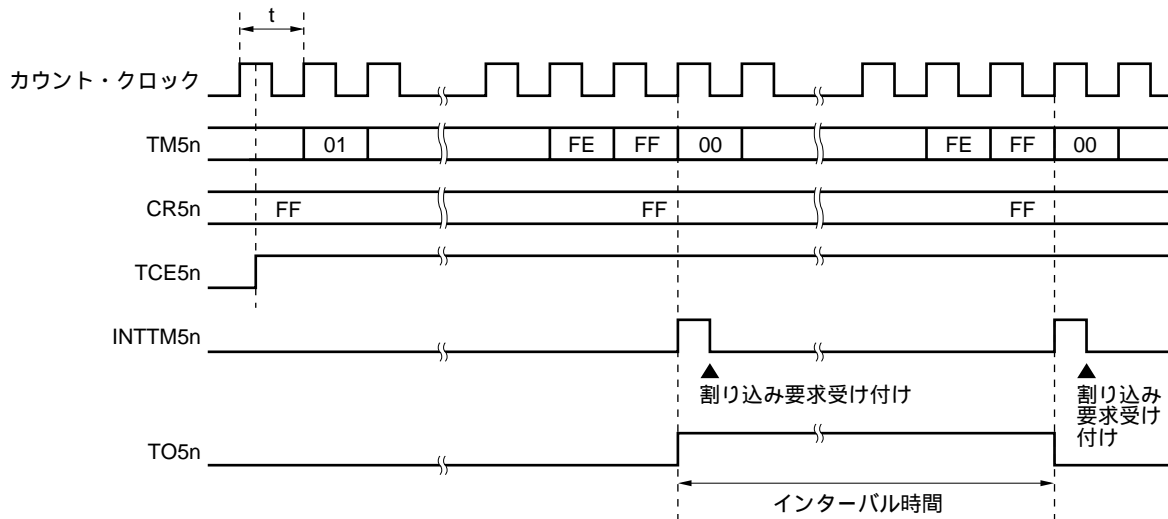
2 .  $n = 0, 1$

図6-7 インターバル・タイマ動作のタイミング (2/3)

(b) CR5n = 00Hの場合



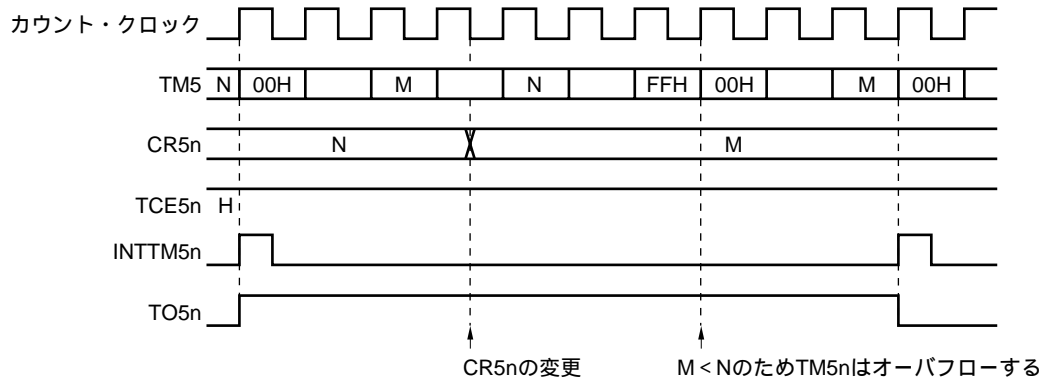
(c) CR5n = FFHの場合



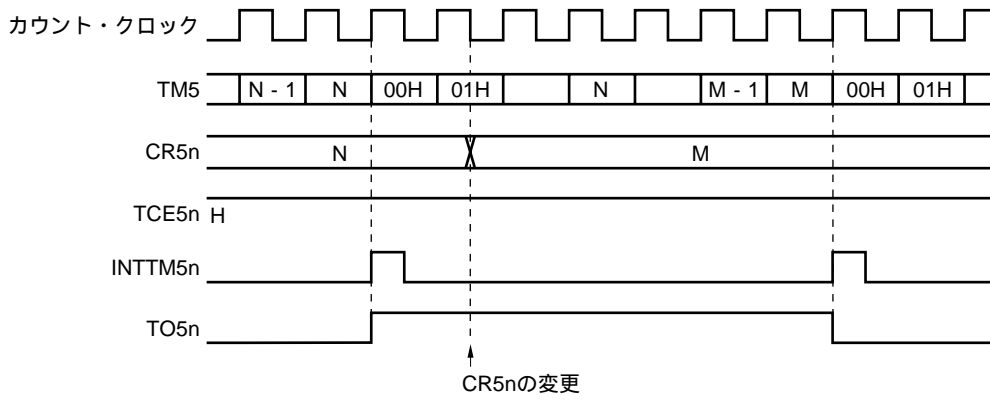
n = 0, 1

図6-7 インターバル・タイマ動作のタイミング (3/3)

(d) CR5n変更による動作 (M < N)



(e) CR5n変更による動作 (M > N)



n = 0, 1

### 6.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5nに入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

[ 設定方法 ]

各レジスタの設定を行います。

- ・TCL5n : TI5n入力の有効エッジ設定
- ・CR5n : コンペア値
- ・TMC5n : TM5nとCR5nの一致でクリア & スタート

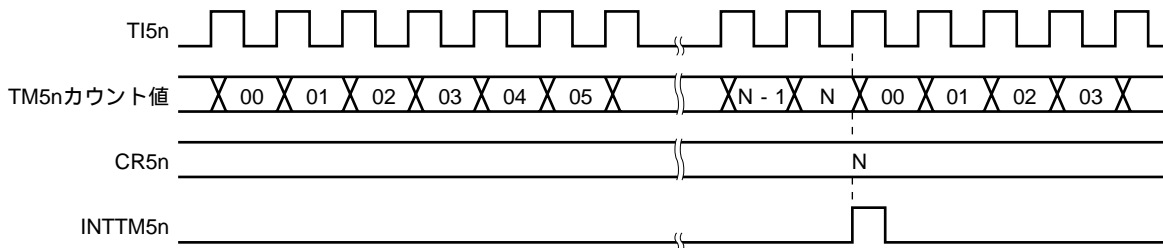
TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

備考 n = 0, 1

図6 - 8 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



n = 0, 1



### 6.4.3 方形波出力（8ビット分解能）としての動作

8ビット・コンペア・レジスタ5n（CR5n）にあらかじめ設定した値をインターバルとする，任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット0（TOE5n）に1を設定することにより，CR5nにあらかじめ設定したカウント値をインターバルとしてTO5nの出力状態が反転します。これにより，任意の周波数の方形波出力（デューティ=50%）が可能です。

[ 設定方法 ]

各レジスタの設定を行います。

- ・ポート・ラッチ，ポート・モード・レジスタに“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : TM5nとCR5nの一致でクリア&スタート・モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOE5n = 1

TCE5n = 1を設定すると，カウント動作を開始します。

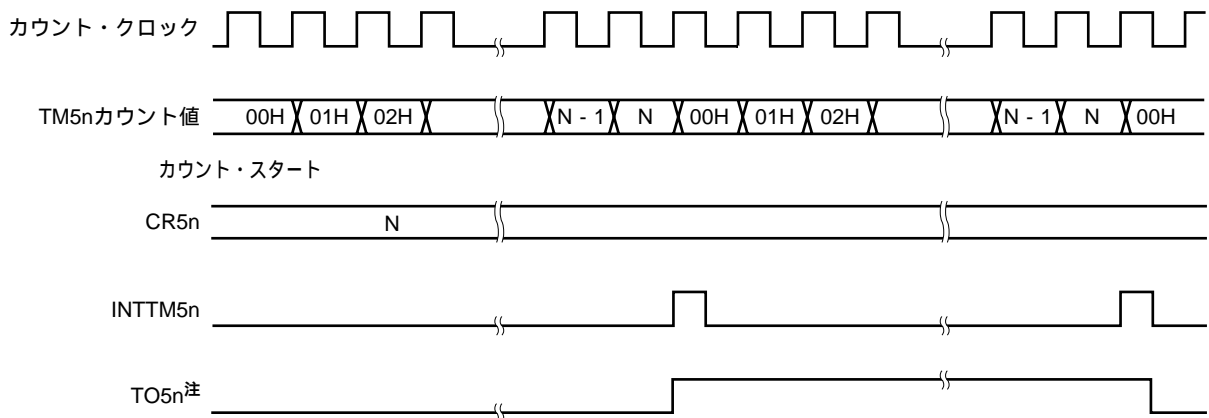
TM5nとCR5nの値が一致すると，タイマ出力F/Fが反転します。

また，INTTM5nが発生し，TM5nは00Hにクリアされます。

以後，同一間隔でタイマ出力F/Fが反転し，TO5nから方形波が出力されます。

備考 n = 0, 1

図6 - 9 方形波出力動作のタイミング



注 TO5n出力の初期値は，8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット2，3（LVR5n, LVS5n）で設定できます。

備考 n = 0, 1

#### 6.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1”に設定することにより、PWM出力として動作します。

8ビット・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティ比のパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタn (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

**注意** PWMモード時のCR5nの書き換えは、1周期に1回のみ可能です。

**備考** n = 0, 1

##### (1) PWM出力の基本動作

###### [ 設定方法 ]

- ポート・ラッチ (P130, P131) に“0”を設定します。
- 8ビット・コンペア・レジスタ (CR5n) でアクティブ・レベル幅を設定します。
- タイマ・クロック選択レジスタ5n (TCL5n) で、カウント・クロックを選択します。
- TMC5nのビット1 (TMC5n1) で、アクティブ・レベルを設定します。
- TMC5nのビット7 (TCE5n) に“1”を設定すると、カウント動作を開始します。
- カウント動作を停止するときは、TCE5nに“0”を設定してください。

###### [ PWM出力の動作 ]

カウント動作を開始すると、PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されません。

CR5nとカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

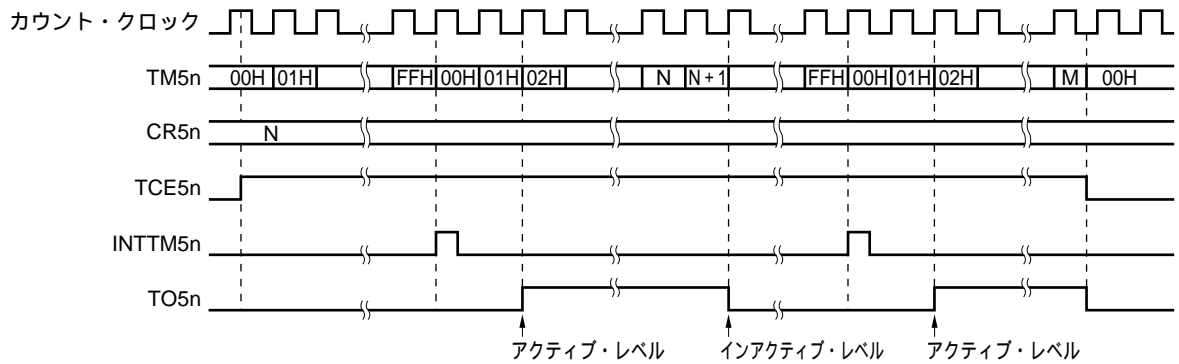
以後、カウント動作が停止されるまで、を繰り返します。

TCE5n = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

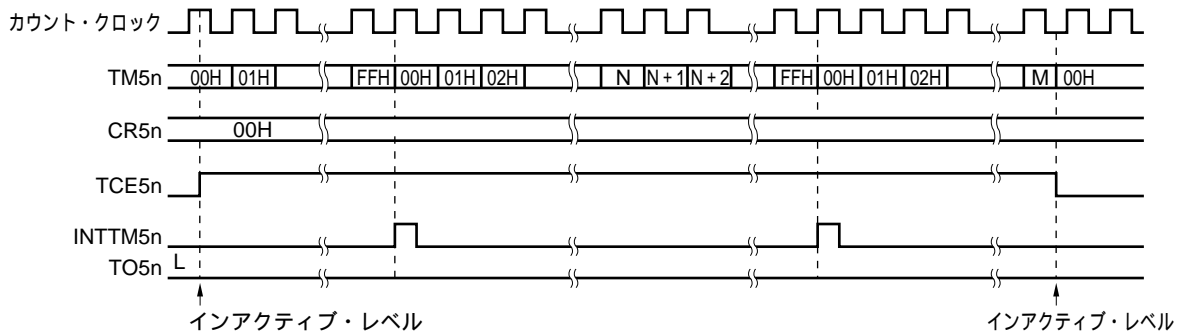
**備考** n = 0, 1

図6-10 PWM出力の動作タイミング

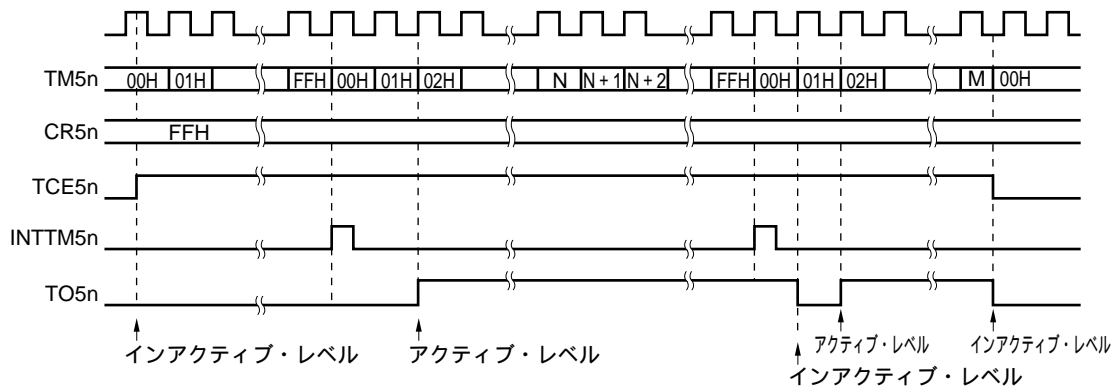
(a) 基本動作 (アクティブ・レベル = H のとき)



(b) CR5n = 0 の場合



(c) CR5n = FFH の場合

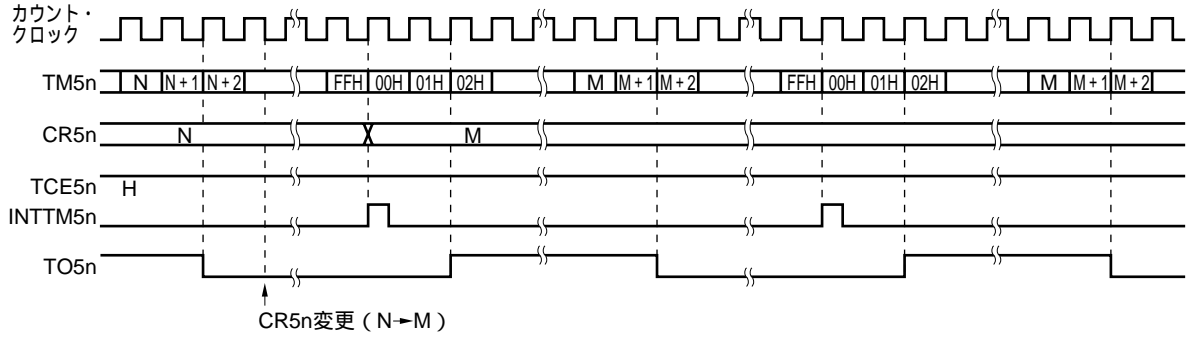


n = 0, 1

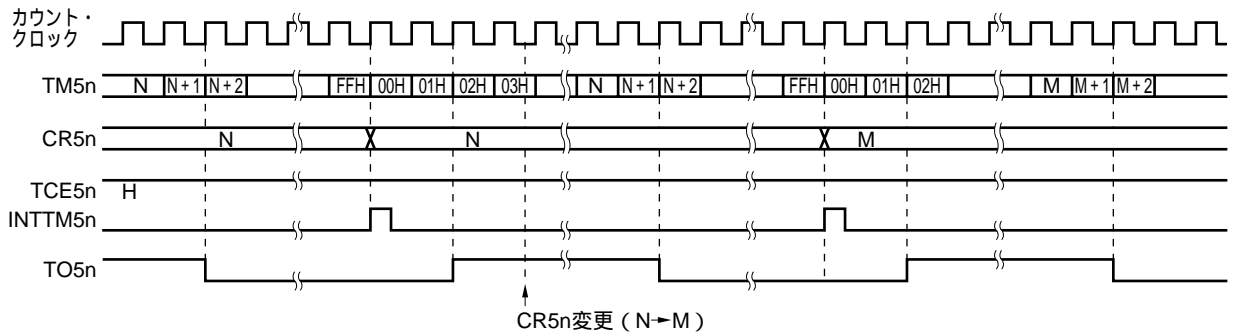
(2) CR5n変更による動作

図6-11 CR5n変更による動作のタイミング

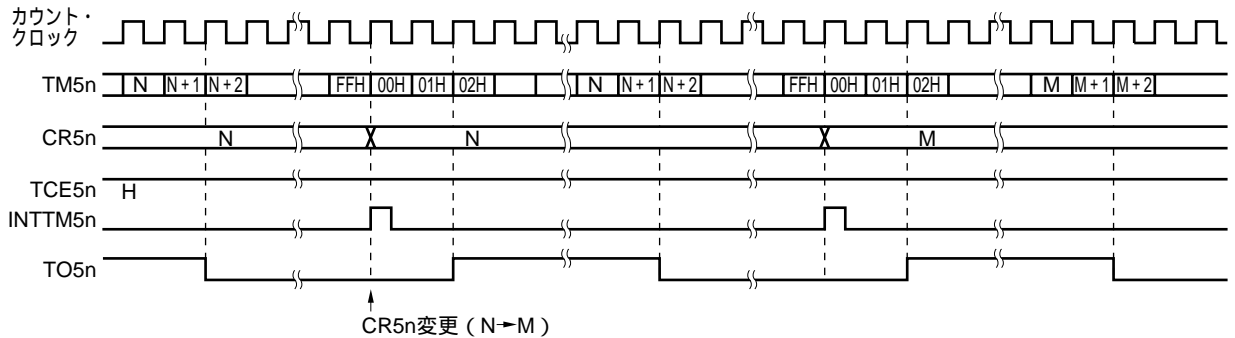
(a) CR5nの値をTM5nのオーバフロー前にN Mに変更した場合



(b) CR5nの値をTM5nのオーバフロー後にN Mに変更した場合



(c) CR5nの値をTM5nのオーバフロー直後の2クロック間(00H, 01H)にN Mに変更した場合



n = 0, 1

**注意** PWMモード時のCR5nの書き換えは、1周期に1回のみ可能です。

### 6.4.5 インターバル・タイマ (16ビット) としての動作

8ビット・タイマ・モード・コントロール・レジスタ51 (TM51) のビット4 (TMC514) に“1”を設定することにより、16ビット分解能のタイマ/カウンタ・モードになります。

8ビット・コンペア・レジスタ (CR50, CR51) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

このとき、CR50は下位8ビット、CR51は上位8ビットとして動作します。

#### [ 設定方法 ]

各レジスタの設定を行います。

- ・ TCLK50 : TM50はカウント・クロック選択  
カスケード接続するTM51は設定不要
- ・ CR50, CR51 : コンペア値 (各コンペア値とも00H-FFHの設定が可能)
- ・ TMC50, TMC51 : TM50とCR50 (TM51とCR51) の一致でクリア&スタート・モードを選択
 

TM50	TMC50 = 0000 x x x 0B	x : don't care
TM51	TMC51 = 0001 x x x 0B	x : don't care

先にTMC51をTCE51 = 1に設定し、そのあとTMC50をTCE50 = 1に設定することにより、カウント動作を開始します。

カスケード接続されたタイマのTM50とCR50の値が一致すると、TM50のINTTM50が発生します (TM50, TM51は00Hにクリアされます)。

以後、同一間隔でINTTM50が繰り返し発生します。

**注意 1 . コンペア・レジスタ (CR50, CR51) は、必ずタイマ動作を停止させてから設定してください。**

**2 . カスケード接続で使用している場合でも、TM51のカウント値がCR51と一致すると、TM51のINTTM51が発生してしまいます。TM51は、割り込み禁止のため必ずマスクしてください。**

**3 . TCE50, TCE51は、TM51, TM50の順にセットしてください。**

**4 . カウントの再スタート/ストップは、TM50のTCE50のみ1/0に設定することにより、動作/停止できます。**

図6 - 12に、16ビット分解能カスケード接続モードのタイミング例を示します。

図6-12 16ビット分解能カスケード接続モード

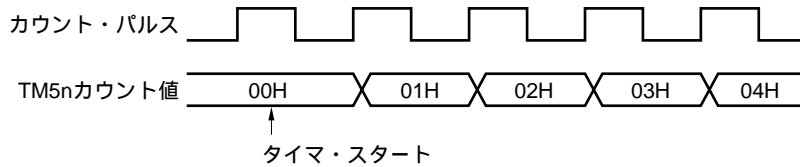


## 6.5 8ビット・タイマ/イベント・カウンタの注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ5n (TM5n) が非同期でスタートするためです。

図6-13 8ビット・タイマ・カウンタのスタート・タイミング

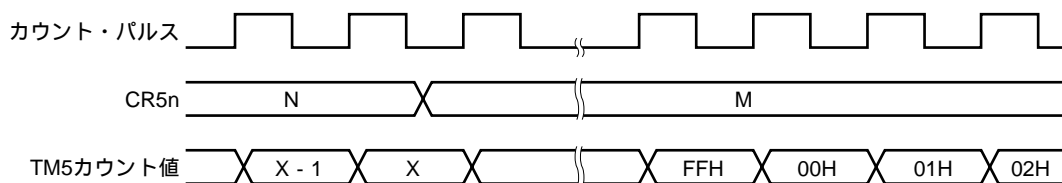


n = 0, 1

## (2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ5n (CR5n) の変更後の値が、8ビット・タイマ・カウンタ5n (TM5n) の値よりも小さいときはカウントを継続し、オーバフローして0から再カウントします。したがって、CR5nの変更後の値 (M) が、変更前の値 (N) より小さいときは、CR5nを変更したあと、タイマを再スタートさせる必要があります。

図6-14 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



**注意** TI5n入力を選択している場合を除き、STOP状態に設定する前は必ずTCE5n = 0にしてください。

**備考 1** .  $N > X > M$

**2** .  $n = 0, 1$

## (3) タイマ動作中のTM5n (n = 0, 1) 読み出しについて

動作中のTM5nを読み出す場合、カウント・クロックが一時停止するため、選択するカウント・クロックは、CPUクロックの2周期分より長いハイ/ロウ・レベルのある波形を選択してください。たとえば、CPUクロック (f<sub>CPU</sub>) がf<sub>X</sub>のとき、選択するカウント・クロックがf<sub>X</sub>/4以下であれば読み出すことができます。

**備考** n = 0, 1

[メモ]



## 第7章 ベーシック・タイマ

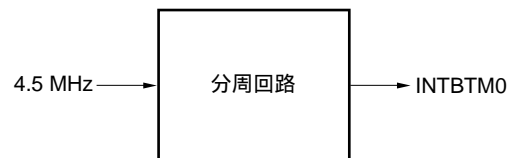
ベーシック・タイマはプログラム実行上の時間管理に使用します。

### 7.1 ベーシック・タイマの機能

100 msの時間間隔で割り込み要求信号 (INTBTM0) を発生します。

### 7.2 ベーシック・タイマの構成

図7 - 1 ベーシック・タイマのブロック図



**注意** ベーシック・タイマは、電源投入後および $\overline{\text{RESET}}$ 端子によるリセット後に、DTSシステム・クロック選択レジスタ (DTSCCK) のビット0 (DTSCCK0) に1を設定してから使用してください (5.1 クロック発生回路の機能を参照)。

DTSCCK0フラグを設定したあとの、1回目の割り込み要求信号 (INTBTM0) は、100 ~ 140 ms以内に発生されます。2回目からは100 msの時間間隔で発生されます。

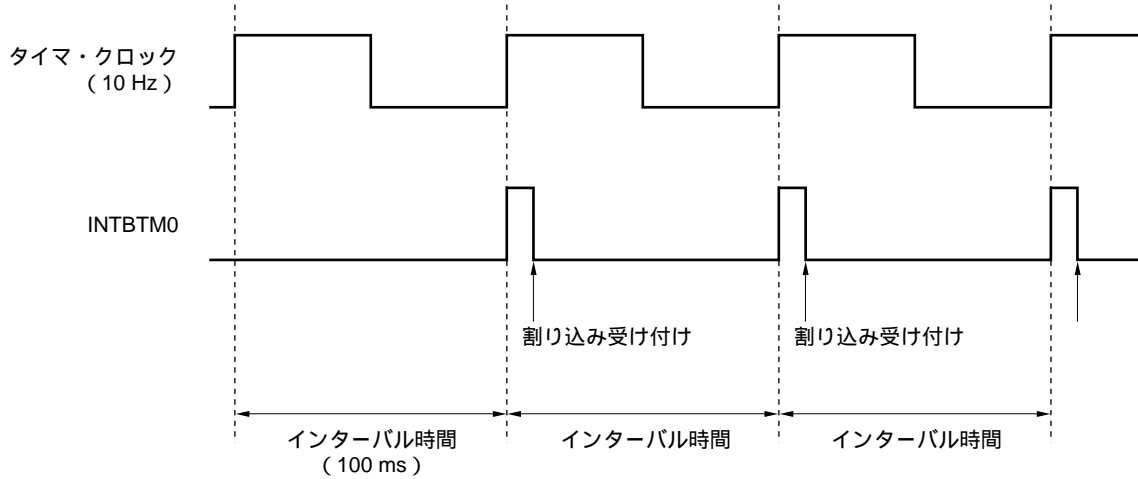
### 7.3 ベーシック・タイマの動作

次にベーシック・タイマの動作例を示します。

100 msの時間間隔で、繰り返し割り込みを発生するインターバル・タイマとして動作します。100 msの時間間隔で割り込み要求信号 (INTBTM0) を発生します。

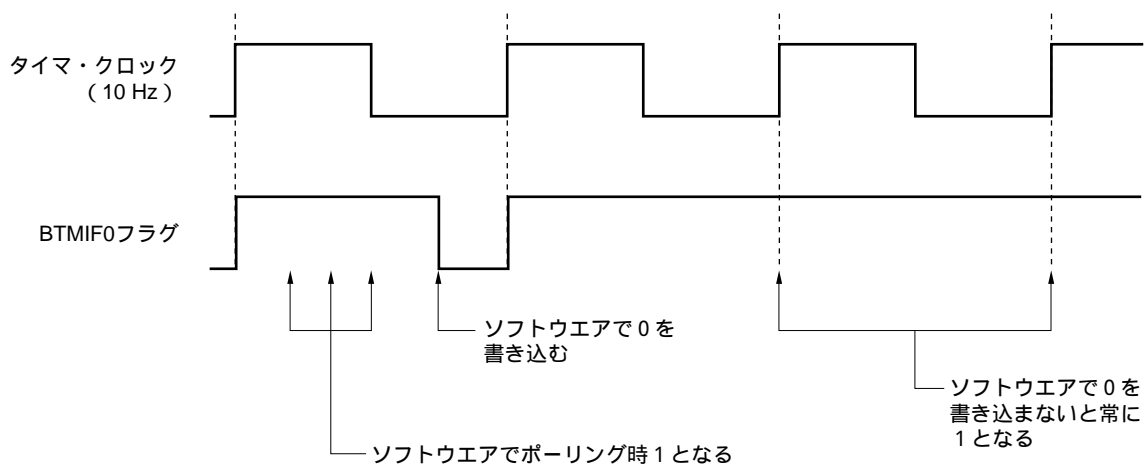
タイマ・クロックは10 Hzです。

図7 - 2 ベーシック・タイマ動作のタイミング



このベーシック・タイマの割り込み要求フラグ (BTMIF0) をソフトウェアでポーリングすることにより、時間管理を行うことができます。なお、BTMIF0はRead&Resetではありませんので注意してください。

図7 - 3 BTMIF0フラグをポーリングする場合の動作タイミング



ベーシック・タイマを制御するレジスタについては、第14章 **割り込み機能**を参照してください。

# 第8章 ウォッチドッグ・タイマ

## 8.1 ウォッチドッグ・タイマの機能

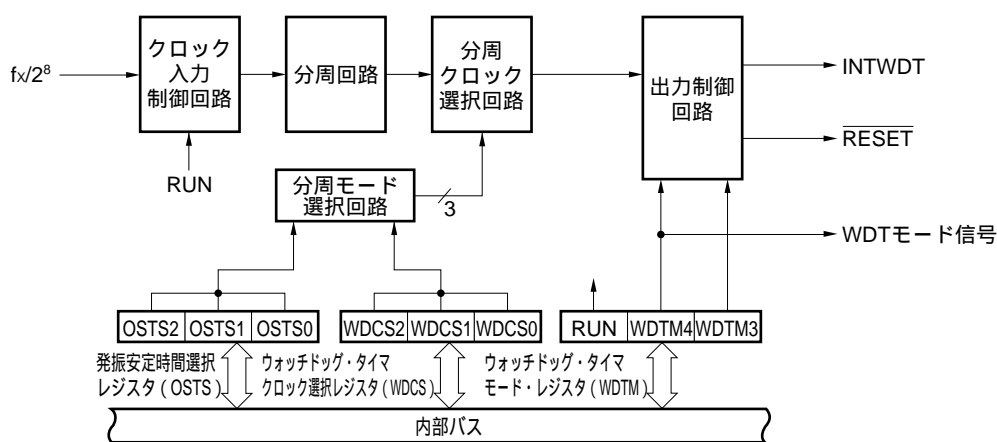
ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

**注意** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

図8 - 1 にブロック図を示します。

図8 - 1 ウォッチドッグ・タイマのブロック図



## (1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクブル割り込みまたはリセットを発生することができます。

表8 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12}/f_x$ ( 910 $\mu$ s )
$2^{13}/f_x$ ( 1.82 ms )
$2^{14}/f_x$ ( 3.64 ms )
$2^{15}/f_x$ ( 7.28 ms )
$2^{16}/f_x$ ( 14.6 ms )
$2^{17}/f_x$ ( 29.1 ms )
$2^{18}/f_x$ ( 58.3 ms )
$2^{20}/f_x$ ( 233 ms )

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は ,  $f_x = 4.5$  MHz動作時。

## (2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

表8 - 2 インターバル時間

インターバル時間
$2^{12}/f_x$ ( 910 $\mu$ s )
$2^{13}/f_x$ ( 1.82 ms )
$2^{14}/f_x$ ( 3.64 ms )
$2^{15}/f_x$ ( 7.28 ms )
$2^{16}/f_x$ ( 14.6 ms )
$2^{17}/f_x$ ( 29.1 ms )
$2^{18}/f_x$ ( 58.3 ms )
$2^{20}/f_x$ ( 233 ms )

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は ,  $f_x = 4.5$  MHz動作時。

## 8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表8 - 3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 発振安定時間選択レジスタ (OSTS)

## 8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・発振安定時間選択レジスタ (OSTS)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図8 - 2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間
0	0	0	$2^{12}/f_x$ ( 910 $\mu$ s )
0	0	1	$2^{13}/f_x$ ( 1.82 ms )
0	1	0	$2^{14}/f_x$ ( 3.64 ms )
0	1	1	$2^{15}/f_x$ ( 7.28 ms )
1	0	0	$2^{16}/f_x$ ( 14.6 ms )
1	0	1	$2^{17}/f_x$ ( 29.1 ms )
1	1	0	$2^{18}/f_x$ ( 58.3 ms )
1	1	1	$2^{20}/f_x$ ( 233 ms )

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 4.5$  MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可/禁止を設定するレジスタです。  
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット時は，00Hになります。

図8-3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作モードの選択 <sup>注1</sup>
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	x	インターバル・タイマ・モード <sup>注3</sup> (オーバーフロー発生時，マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

- 注1．RUNは，一度1にセットされると，ソフトウェアで0にクリアすることはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
- 2．WDTM3, WDTM4は，一度1にセットされると，ソフトウェアで0にクリアすることはできません。
- 3．RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

**注意** RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDSC) で設定した時間より最大0.5%短くなります。

**備考** x : don't care

(3) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、04Hになります。したがって、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図8-4 発振安定時間選択レジスタ (OSTS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (910 $\mu$ s)
0	0	1	$2^{14}/f_x$ (3.64 ms)
0	1	0	$2^{15}/f_x$ (7.28 ms)
0	1	1	$2^{16}/f_x$ (14.6 ms)
1	0	0	$2^{17}/f_x$ (29.1 ms)
上記以外			設定禁止

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 4.5$  MHz動作時。



## 8.4 ウォッチドッグ・タイマの動作

### 8.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット7 (RUN) に1を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度1を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに1がセットされず、暴走検出時間を越えてしまった場合は、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカプブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

**注意** 実際の暴走検出時間は、設定時間に対して最大0.5%短くなる場合があります。

表8-4 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12}/f_x$ ( 910 $\mu$ s )
$2^{13}/f_x$ ( 1.82 ms )
$2^{14}/f_x$ ( 3.64 ms )
$2^{15}/f_x$ ( 7.28 ms )
$2^{16}/f_x$ ( 14.6 ms )
$2^{17}/f_x$ ( 29.1 ms )
$2^{18}/f_x$ ( 58.3 ms )
$2^{20}/f_x$ ( 233 ms )

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 4.5$  MHz動作時。

### 8.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット3 (WDTM3) に1を、ビット4 (WDTM4) に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTMのビット7 (RUN) に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり、マスクブル割り込み要求 (INTWDT) を発生させることができます。INTWDTのデフォルト優先順位は、マスクブル割り込みの中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

- 注意 1** . 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と、RESET入力されないかぎり、インターバル・タイマ・モードにはなりません。
- 2** . WDTMで設定した直後のインターバル時間は、設定時間に対して最大0.5 %短くなる場合があります。

表 8 - 5 インターバル・タイマのインターバル時間

インターバル時間
$2^{12}/f_x$ ( 910 $\mu$ s )
$2^{13}/f_x$ ( 1.82 ms )
$2^{14}/f_x$ ( 3.64 ms )
$2^{15}/f_x$ ( 7.28 ms )
$2^{16}/f_x$ ( 14.6 ms )
$2^{17}/f_x$ ( 29.1 ms )
$2^{18}/f_x$ ( 58.3 ms )
$2^{20}/f_x$ ( 233 ms )

**備考 1** .  $f_x$  : システム・クロック発振周波数

**2** . ( ) 内は、 $f_x = 4.5$  MHz動作時。

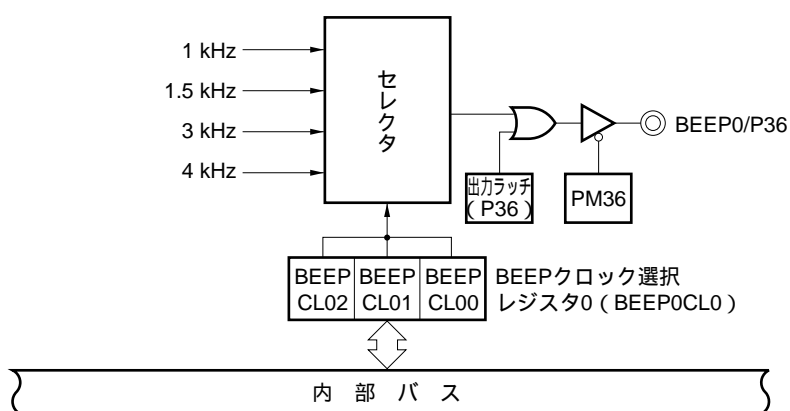
## 第9章 ブザー出力制御回路

### 9.1 ブザー出力制御回路の機能

ブザー出力制御回路は、BEEPクロック選択レジスタ0(BEEPCL0)で選択したブザー周波数の方形波を、BEEP0/P36端子から出力します。

図9-1にブロック図を示します。

図9-1 ブザー出力制御回路のブロック図



### 9.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成されています。

表9-1 ブザー出力制御回路の構成

項目	構成
制御レジスタ	BEEPクロック選択レジスタ0(BEEPCL0)

### 9.3 ブザー出力制御回路を制御するレジスタ

ブザー出力制御回路は、次のレジスタで制御します。

- ・BEEPクロック選択レジスタ0(BEEPCL0)

#### (1) BEEPクロック選択レジスタ0 (BEEPCL0)

ブザー出力の周波数を設定するレジスタです。

BEEPCL0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図9-2 BEEPクロック選択レジスタ0 (BEEPCL0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BEEP CL0	0	0	0	0	0	BEEP CL02	BEEP CL01	BEEP CL00	FF41H	00H	R/W

BEEP CL02	BEEP CL01	BEEP CL00	BEEP0出力の周波数選択
0	x	x	ブザー出力禁止 (ポート機能)
1	0	0	1 kHz
0	0	1	3 kHz
1	1	0	4 kHz
1	1	1	1.5 kHz

**注意** 出力クロックを切り替えた直後の1周期の期間は、選択したクロックが正しく出力されないことがあります。

### 9.4 ブザー出力制御回路の動作

ブザー周波数は、次の手順で出力します。

BEEPクロック選択レジスタ0(BEEPCL0)のビット0-2(BEEPCL00-BEEPCL02)でブザー出力周波数を選択する。

P36の出力ラッチを0に設定する。

ポート・モード・レジスタ3のビット6(PM36)に0を設定する(出力モードに設定)。

## 第10章 A/Dコンバータ

### 10.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能6チャンネル( ANI0-ANI5 )の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ3( ADCR3 )に保持します。

A/D変換は、A/Dコンバータ・モード・レジスタ3を設定することにより動作を開始します。

アナログ入力をANI0-ANI5から1チャンネル選択し、A/D変換を行ってください。

1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。A/D変換を1回終了するたびに、割り込み要求( INTAD )が発生します。

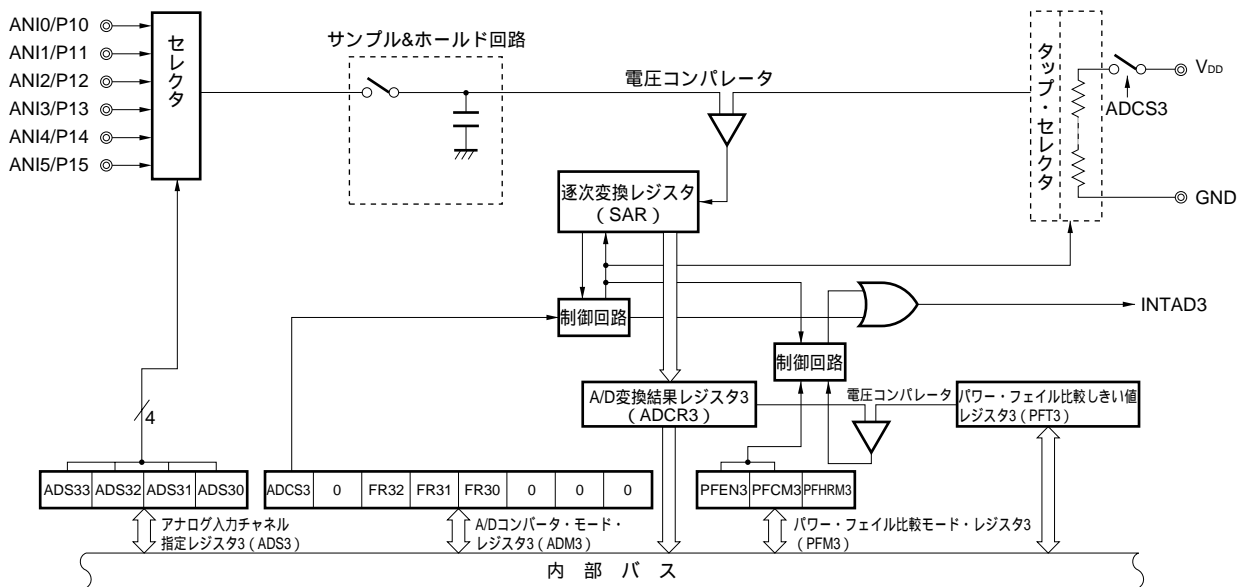
### 10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	6チャンネル( ANI0-ANI5 )
制御レジスタ	A/Dコンバータ・モード・レジスタ3( ADM3 ) アナログ入力チャンネル指定レジスタ3( ADS3 ) パワー・フェイル比較モード・レジスタ3( PFM3 )
レジスタ	逐次変換レジスタ( SAR ) A/D変換結果レジスタ3( ADCR3 ) パワー・フェイル比較しきい値レジスタ3( PFT3 )

図10 - 1 A/Dコンバータのブロック図



**(1) 逐次変換レジスタ (SAR)**

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ(比較電圧)の値を比較し、その結果を最上位(MSB)から保持するレジスタです。

最下位ビット(LSB)まで保持すると(A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されます。

**(2) A/D変換結果レジスタ3 (ADCR3)**

A/D変換結果を格納する8ビットのレジスタです。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR3は、8ビット・メモリ操作命令で読み出します。

リセット時は、不定になります。

**注意** A/Dコンバータ・モード・レジスタ3 (ADM3)、アナログ入力チャネル指定レジスタ3 (ADS3)に対して書き込み動作を行ったとき、ADCR3の内容は不定となることがあります。変換結果は、変換動作終了後、ADM3、ADS3に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

**(3) パワー・フェイル比較しきい値レジスタ3 (PFT3)**

A/D変換結果レジスタ3(ADCR3)と大小比較する場合のしきい値を設定するレジスタです。

PFT3は8ビット・メモリ操作命令で読み出し/書き込みます。

**(4) サンプル&ホールド回路**

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**(5) 電圧コンパレータ**

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

**(6) 直列抵抗ストリング**

直列抵抗ストリングは、 $V_{DD}$ -GND間に接続されており、アナログ入力と比較する電圧を発生します。

### (7) ANI0-ANI5端子

A/Dコンバータへの6チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

**注意 1** . ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特に $V_{DD}$ 以上、GND以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**2** . アナログ入力(ANI0-ANI5)端子は入力ポート(P10-P15)と兼用になっています。ANI0-ANI5のいずれかを選択して、A/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

## 10.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタには、次の3種類があります。

- ・ A/Dコンバータ・モード・レジスタ3 (ADM3)
- ・ アナログ入力チャンネル指定レジスタ3 (ADS3)
- ・ パワー・フェイル比較モード・レジスタ3 (PFM3)

### (1) A/Dコンバータ・モード・レジスタ3 (ADM3)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。



図10 - 2 A/Dコンバータ・モード・レジスタ3 (ADM3) のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM3	ADCS3	0	FR32	FR31	FR30	0	0	0	FF12H	00H	R/W

ADCS3	A/D変換動作の制御	
0	変換動作停止	
1	変換動作許可	

FR32	FR31	FR30	変換時間の選択
0	0	0	288/f <sub>x</sub> (64.0 μs)
0	0	1	240/f <sub>x</sub> (53.3 μs)
0	1	0	192/f <sub>x</sub> (42.7 μs)
1	0	0	144/f <sub>x</sub> (32.0 μs)
1	0	1	120/f <sub>x</sub> (26.7 μs)
1	1	0	96/f <sub>x</sub> (21.3 μs)
上記以外			設定禁止

- 注意 1 . ビット7 (ADCS3) に “ 1 ” を設定した直後の変換結果は不定になります。**
- 2 . ビット3 - 5 (FR30-FR32) を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。**

- 備考 1 . f<sub>x</sub> : システム・クロック発振周波数**
- 2 . ( ) 内は、f<sub>x</sub> = 4.5 MHz動作時。**

(2) アナログ入力チャンネル指定レジスタ3 (ADS3)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADS3は、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図10 - 3 アナログ入力チャンネル指定レジスタ3 (ADS3) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS3	0	0	0	0	ADS33	ADS32	ADS31	ADS30	FF13H	00H	R/W

ADS33	ADS32	ADS31	ADS30	アナログ入力チャンネルの指定
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
0	1	0	0	ANI4
0	1	0	1	ANI5
上記以外				設定禁止

(3) パワー・フェイル比較モード・レジスタ3 (PFM3)

- ★ PFM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット時は、00Hになります。

図10-4 パワー・フェイル比較モード・レジスタ3 (PFM3) のフォーマット

略号						アドレス	リセット時	R/W			
	4	3	2	1	0						
PFM3	PFEN3	PFCM3	PFHRM3	0	0	0	0	0	FF16H	00H	R/W

PFEN3	パワー・フェイル比較許可 / 禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

PFCM3	パワー・フェイル比較モードの選択
0	ADCR3 PFTで割り込み要求 (INTAD) を発生
1	ADCR3 < PFTで割り込み要求 (INTAD) を発生

PFHRM3 <sup>注</sup>	パワー・フェイルHALTリピート・モード選択
0	パワー・フェイルHALTリピート・モード動作禁止
1	パワー・フェイルHALTリピート・モード動作許可

**注** ビット5 (PFHRM3) に1を設定すると、HALTモード時にパワー・フェイル比較操作が可能になります。割り込み要求 (INTAD) が発生するまで、A/D変換を繰り返します (INTADが発生すると、0にリセットされます)。

## 10.4 A/Dコンバータの動作

### 10.4.1 A/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ3 (ADS3) で1チャンネル選択してください。選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7がセットされます。タップ・セレクタにより直列抵抗ストリングの電圧タップが  $(1/2)V_{DD}$  にされます。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力  $(1/2)V_{DD}$  よりも大きければ、SARのMSBがセットされたままです。また、 $(1/2)V_{DD}$  よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット7 = 1 :  $(3/4)V_{DD}$

・ビット7 = 0 :  $(1/4)V_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

・アナログ入力電圧 > 電圧タップ : ビット6 = 1

・アナログ入力電圧 < 電圧タップ : ビット6 = 0

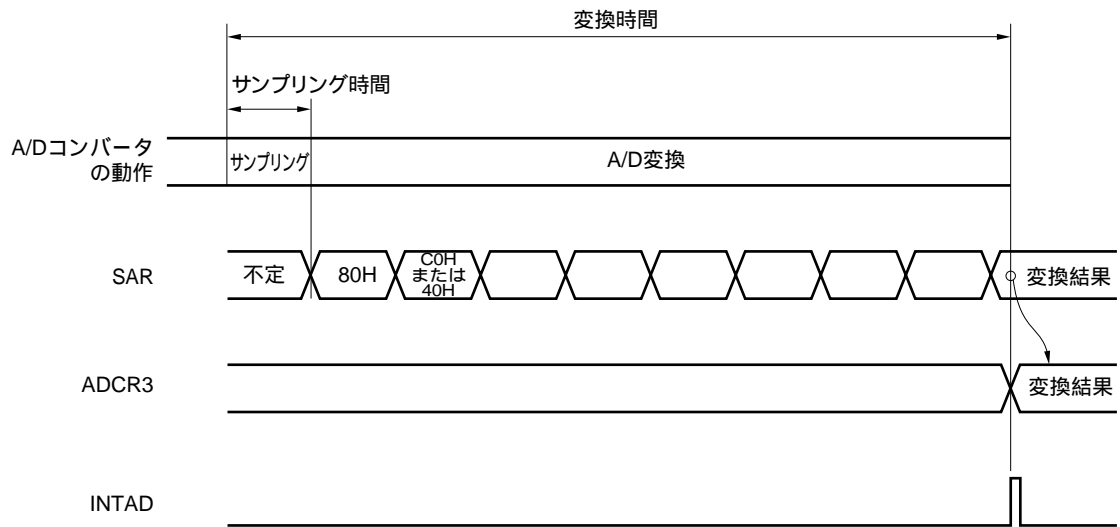
このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ3 (ADCR3) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

**注意** A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。

図10 - 5 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりADM3のビット7(ADCS3)をリセット(0)するまで連続的に行われます。

A/D変換動作中に、ADM3レジスタまたはADS3レジスタに対する書き込み操作を行うと変換動作は初期化され、ADCS3ビットがセット(1)されていれば、最初から変換を開始します。

ADCR3レジスタは、リセット時は不定となります。

### 10.4.2 入力電圧と変換結果

アナログ入力端子( ANI0-ANI5 )に入力されたアナログ入力電圧とA/D変換結果( A/D変換結果レジスタ 3( ADCR3 ) に格納された値 )には次式に示す関係があります。

$$ADCR3 = \text{INT}\left( \frac{V_{IN}}{V_{DD}} \times 256 + 0.5 \right)$$

または、

$$(ADCR3 - 0.5) \times \frac{V_{DD}}{256} < V_{IN} < (ADCR3 + 0.5) \times \frac{V_{DD}}{256}$$

**備考** INT( ) : ( )内の値の整数部を返す関数

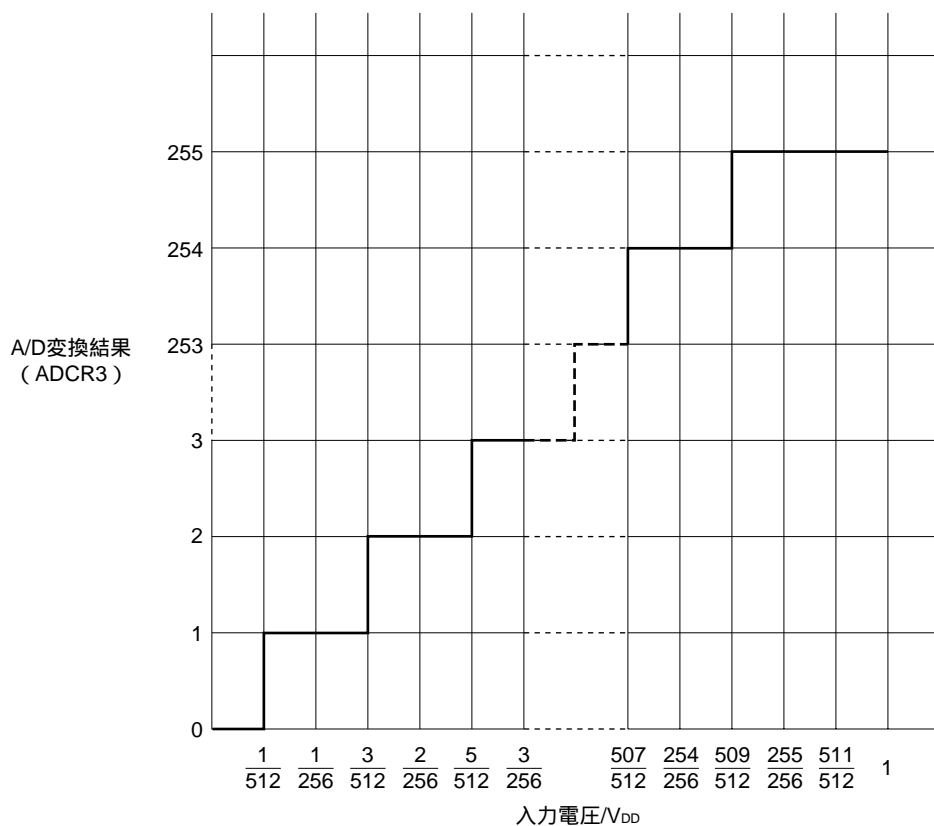
$V_{IN}$  : アナログ入力電圧

$V_{DD}$  :  $V_{DD}$ 端子電圧

ADCR3 : A/D変換結果レジスタ 3( ADCR3 )の値

図10 - 6 にアナログ入力電圧とA/D変換結果の関係を図示します。

図10 - 6 アナログ入力電圧とA/D変換結果の関係



### 10.4.3 A/Dコンバータの動作モード

A/Dコンバータは、次の2種類のモードがあります。

- ・A/D変換動作モード : ANI0-ANI5から選択したアナログ入力端子に印加されている電圧のA/D変換を行います。A/D変換結果は、A/D変換結果レジスタ3(ADCR3)に格納され、同時に割り込み要求信号(INTAD)が発生されます。
- ・パワー・フェイル比較モード : A/D変換したデジタル値と、パワー・フェイル比較しきい値レジスタ3(PFT3)に設定した値を比較します。比較結果が、パワー・フェイル比較モード・レジスタ3(PFM3)のビット6(PFCM3)で設定した条件と一致した場合に、割り込み要求信号(INTAD)が発生されます。

#### (1) A/D変換動作モード

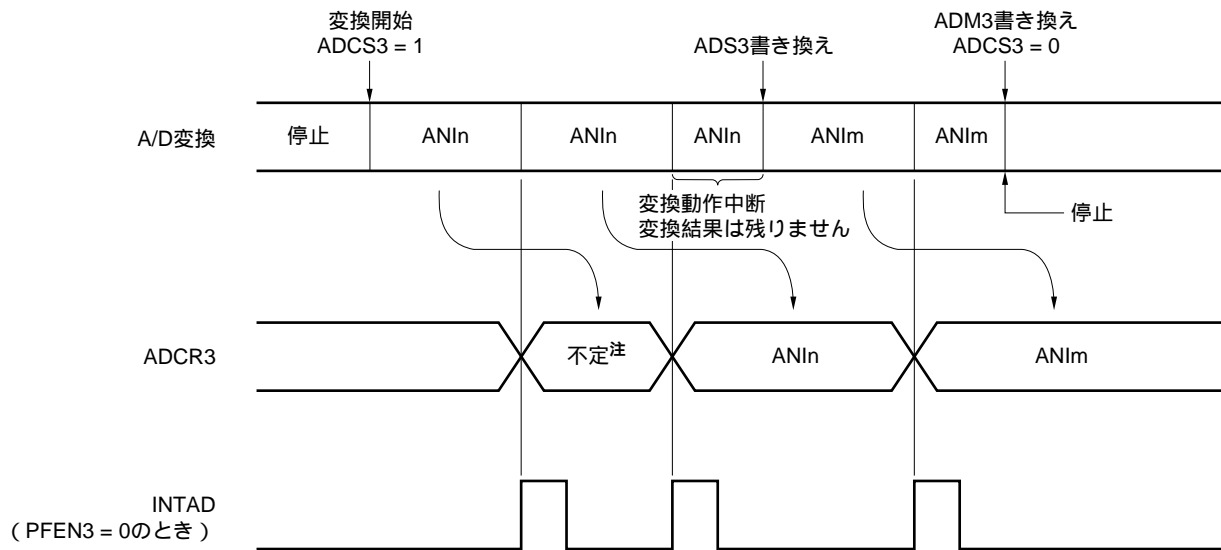
A/Dコンバータ・モード・レジスタ3(ADM3)のビット7(ADCS3)に1を設定することにより、ADS3のビット0-3(ADS30-ADS33)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ3(ADCR3)に格納し、割り込み要求信号(INTAD)が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM3に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS3を書き換えると、そのとき行っていたA/D変換動作は中断し、新たに選択したアナログ入力チャネルのA/D変換動作を開始します。

また、A/D変換動作中に、ADCS3が0であるデータをADM3に書き込むと、ただちにA/D変換動作を停止します。

図10 - 7 A/D変換動作



**備考** n=0, 1, …, 5  
 m=0, 1, …, 5

**注** A/Dコンバータ・モード・レジスタ3(ADM3)のビット7(ADCS3)に1を設定(変換動作許可)した直後の変換結果は不定になります。

**注意** パワー・フェイル比較モード・レジスタ3(PFM3)のビット5(PFHRM3)に0を設定してください。



(2) パワー・フェイル比較モード

パワー・フェイル比較モードでは、アナログ入力から変換したデジタル値の大小を8ビット単位で比較します。

大小の比較結果が、パワー・フェイル比較モード・レジスタ3(PFM3)のビット6(PFCM3)で設定した条件と一致した場合に、割り込み要求(INTAD)を発生します。

また、HALT動作時に、パワー・フェイル比較モードを動作できます。このとき、デジタル値の大小により割り込み要求信号(INTAD)を発生させ、HALT動作を解除できます(ただしHALT命令実行前に、A/D動作を実行させる必要があります)。

パワー・フェイル比較モードを動作するには、PFM3のビット7(PEEN3)に1、ビット6(PFCM3)にINTADの発生条件を設定し、パワー・フェイル比較しきい値レジスタ3(PFT3)にA/D変換結果レジスタ3(ADCR3)の値と比較するしきい値を設定してください。

A/Dコンバータ・モード・レジスタ3(ADM3)のビット7(ADCS3)に1を設定することにより、ADS3で指定したアナログ入力端子に印加されている電圧のA/D変換を行います。A/D変換動作が終了すると、変換結果をADCR3に格納します。この変換結果をPFT3に設定した値と比較し、PFM3のビット6(PFCM3)で設定した条件と一致した場合に、割り込み要求信号(INTAD)を発生します。

図10 - 8 パワー・フェイル比較しきい値レジスタ3 (PFT3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PFT3	PFT37	PFT36	PFT35	PFT34	PFT33	PFT32	PFT31	PFT30	FF15H	00H	R/W

**備考** ビット7(PFT37)がMSB側、ビット0(PFT30)がLSB側です。

設定値については、10.4.2 入力電圧と変換結果を参照してください。

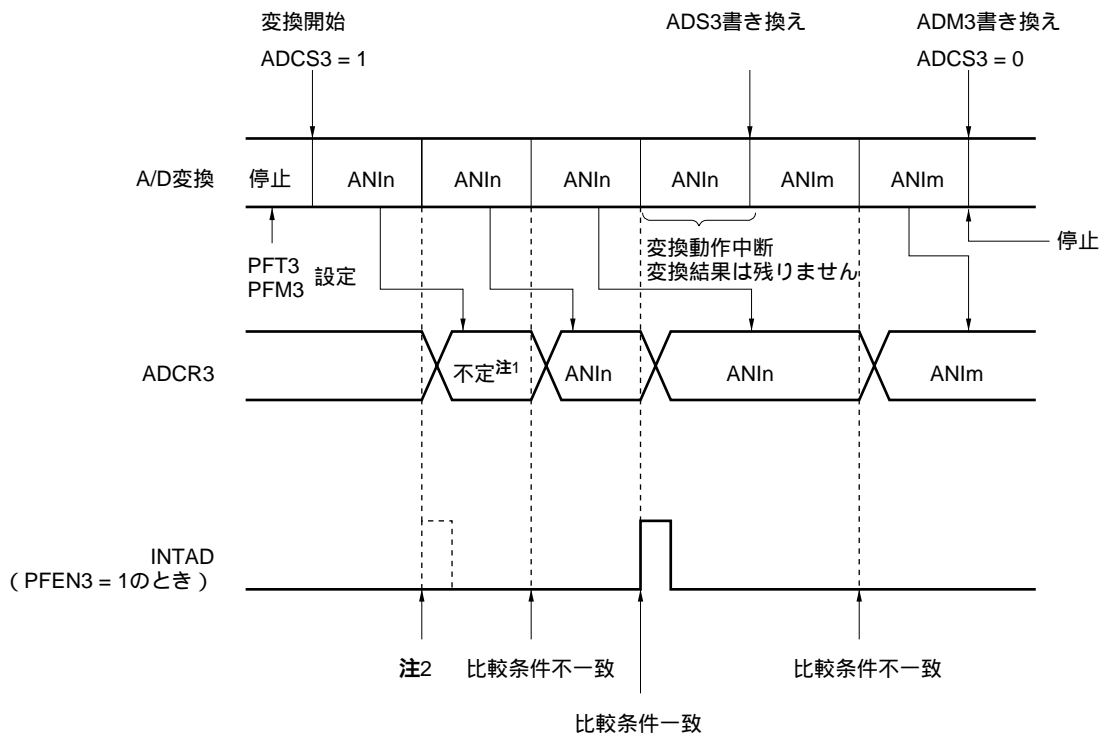
**注意1** . パワー・フェイル比較モードは、A/D変換開始(A/Dコンバータ・モード・レジスタ3(ADM3)のビット7(ADCS3)に1を設定)の1変換目の結果(A/D変換結果と割り込み要求(INTAD))は正しくなりません。

2 . パワー・フェイルHALTリピート・モードを使用して、HALT動作中にA/D変換をする場合、ADM3のビット7(ADCS3)に1を設定してから直後の1変換目終了後に、割り込み要求フラグ(ADIF)をクリアし、パワー・フェイル比較モード・レジスタ3(PFM3)のビット5(PFHRM3)に1を設定したあとに、HALT命令を実行してください。

3 . HALT動作中にパワー・フェイル比較モードを動作する場合、必ずHALT命令実行前に、PFM3のビット5(PFHRM3)に1を設定してください。設定をしない場合は、HALT動作中の変換結果を、A/D変換結果レジスタ3(ADCR3)に格納しないため、比較が正常にできなくなります。また通常モード時(HALT動作時以外)に、PFM3のビット5(PFHRM3)を設定すると、A/D変換が正常に行われませんので、通常モード時には必ず0を設定してください。

図10 - 9 パワー・フェイル比較モードによるA/D変換動作 (1/3)

(1) 通常モード時 (HALT動作時以外)



注1 . A/D コンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1を設定 (変換動作開始) した直後の変換データは不定になります。

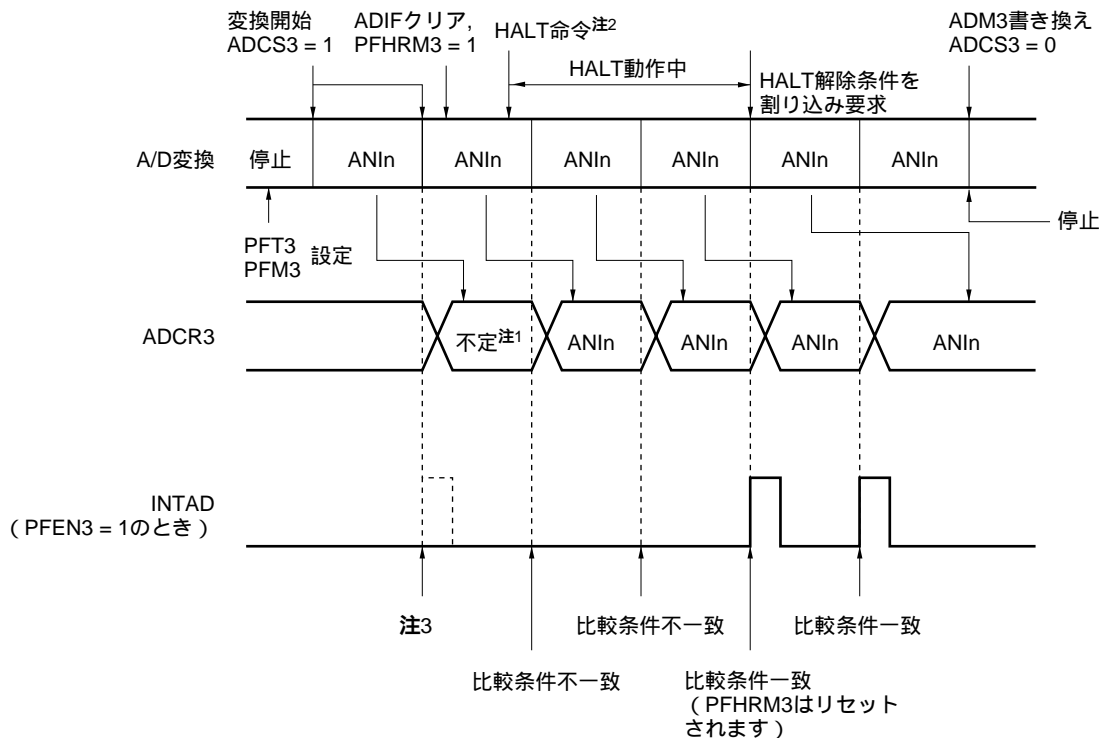
2 . A/D変換開始の1変換目の結果 (A/D変換結果と割り込み要求) は正しくなりません。比較条件が一致していなくても、一致したと判断する可能性がありますので、使用しないでください。

注意 変換開始前に、パワー・フェイル比較しきい値レジスタ3 (PFT3) とパワー・フェイル比較モード・レジスタ3 (PFM3) の設定をしてください。PFM3のビット5 (PFHRM3) には、必ず0を設定 (HALTリピート・モード設定禁止) してください。

備考 n = 0, 1, ..., 5  
m = 0, 1, ..., 5

図10 - 9 パワー・フェイル比較モードによるA/D変換動作 (2/3)

(2) HALTリピート・モード (HALT解除条件を割り込み条件 (INTAD) 発生とした場合)



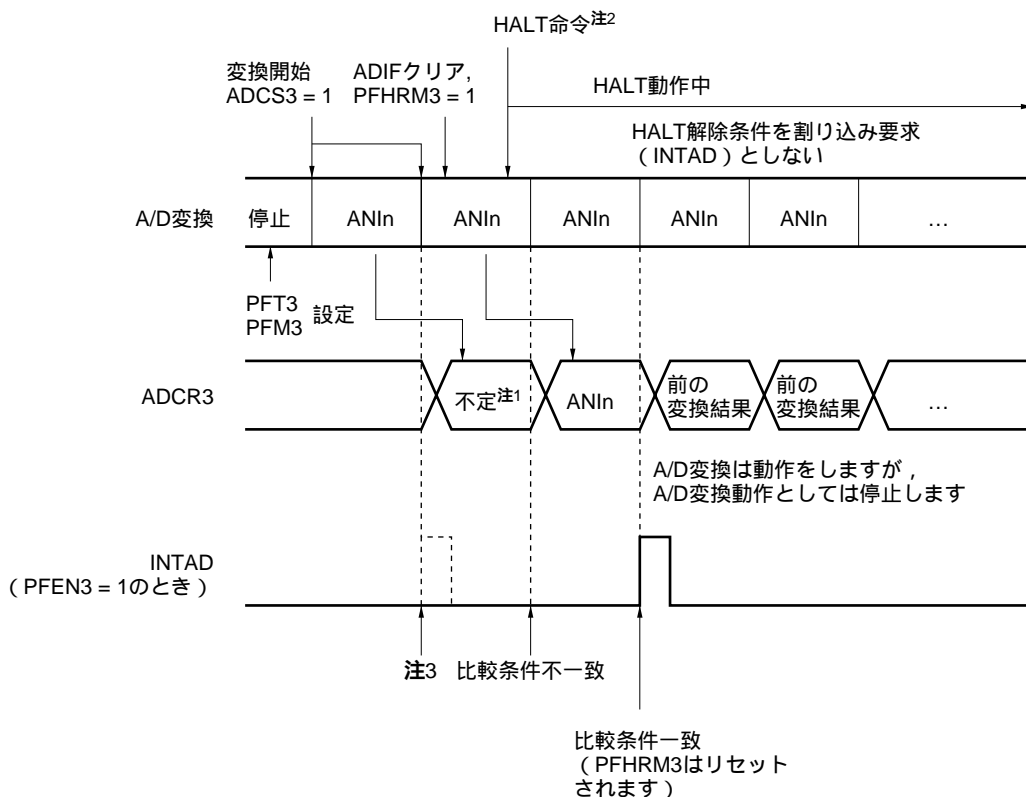
- 注1 . A/Dコンバータ・モード・レジスタ3 (ADM3)のビット7 (ADCS3)に1を設定 (変換動作開始)した直後の変換データは不定になります。
- 2 . HALT動作中に、パワー・フェイル比較モードでA/D変換を行う場合、ADM3のビット7 (ADCS3)に1を設定 (変換動作開始)してから直後の1変換目終了後に、割り込み要求フラグ (ADIF)をクリアし、パワー・フェイル比較モード・レジスタ3 (PFM3)のビット5 (PFHRM3)に1を設定したあとに、HALT命令を実行してください。
- 3 . A/D変換開始の1変換目の結果 (A/D変換結果と割り込み要求)は正しくなりません。比較条件が一致していなくても、一致したと判断する可能性がありますので、使用しないでください。

**注意** PFM3のビット5 (PFHRM3)に、必ず1を設定 (HALTリピート・モード設定許可)してください。

**備考** n = 0, 1, ..., 5

図10 - 9 パワー・フェイル比較モードによるA/D変換動作 (3/3)

(3) HALTリピート・モード (HALT解除条件を割り込み条件 (INTAD) としない場合)



- 注1 . A/Dコンバータ・モード・レジスタ 3(ADM3)のビット 7(ADCS3)に 1 を設定(変換動作開始)した直後の変換データは不定になります。
- 2 . HALT動作中に、パワー・フェイル比較モードでA/D変換を行う場合、ADM3のビット 7(ADCS3)に 1 を設定(変換動作開始)してから直後の 1 変換目終了後に、割り込み要求フラグ(ADIF)をクリアし、パワー・フェイル比較モード・レジスタ 3(PFM3)のビット 5(PFHRM3)に 1 を設定したあとに、HALT命令を実行してください。
- 3 . A/D変換開始の 1 変換目の結果(A/D変換結果と割り込み要求)は正しくなりません。比較条件が一致していなくても、一致したと判断する可能性がありますので、使用しないでください。

**注意** PFM3のビット 5 (PFHRM3) に、必ず 1 を設定 (HALTリピート・モード設定許可) してください。

**備考** n = 0, 1, ..., 5

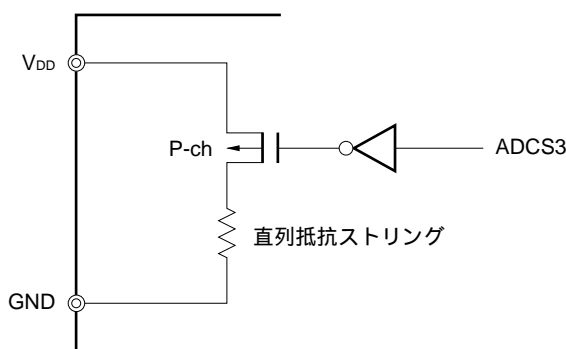
## 10.5 A/Dコンバータの注意事項

### (1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図10 - 10に示します。

図10 - 10 スタンバイ・モード時の消費電流を低減させる方法例



### (2) ANI0-ANI5入力範囲について

ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特にV<sub>DD</sub>以上、GND以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

変換終了時のA/D変換結果レジスタ3 (ADCR3) ライトと命令によるADCR3リードとの競合  
ADCR3リードが優先されます。リードしたあと、新しい変換結果がADCR3にライトされます。

変換終了時のADCR3ライトとA/Dコンバータ・モード・レジスタ3 (ADM3) ライト、またはアナログ  
入力チャンネル指定レジスタ3 (ADS3) ライトの競合

ADM3またはADS3へのライトが優先されます。ADCR3へのライトはされません。また、変換終了割り  
込み要求信号 (INTAD) も発生しません。

(4) ANI0-ANI5

アナログ入力 (ANI0-ANI5) 端子は入力ポート (P10-P15) 端子と兼用になっています。

ANI0-ANI5のいずれかを選択してA/D変換をする場合、変換中にポート 1 に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

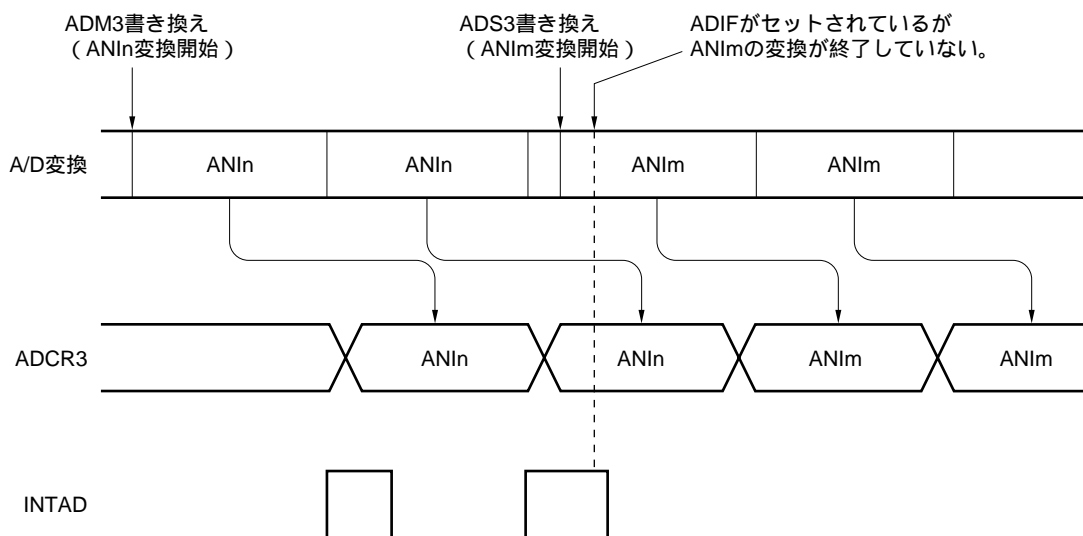
(5) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ 3 (ADS3) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS3書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。このときADS3書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図10 - 11 A/D変換終了割り込み要求発生タイミング



備考 1 . n = 0, 1, ....., 5

2 . m = 0, 1, ....., 5

**(6) A/D変換スタート直後の変換結果について**

A/D変換動作をスタートした直後の最初のA/D変換値は不定になります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

**(7) A/D変換結果レジスタ3 (ADCR3) の読み出しについて**

A/Dコンバータ・モード・レジスタ3 (ADM3), アナログ入力チャネル指定レジスタ3 (ADS3) に対して書き込み動作を行ったとき, ADCR3の内容は不定となることがあります。変換結果は, 変換動作終了後, ADM3, ADS3に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

[メ モ]



# 第11章 シリアル・インタフェース (IIC0)

## 11.1 シリアル・インタフェース (IIC0) の機能

シリアル・インタフェース (IIC0) には、次の2種類のモードがあります。

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

### (2) I<sup>2</sup>Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

IIC0では、SCL0とSDA0はオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図11 - 1 に、シリアル・インタフェース (IIC0) のブロック図を示します。

図11 - 1 シリアル・インタフェース (IIC0) のブロック図

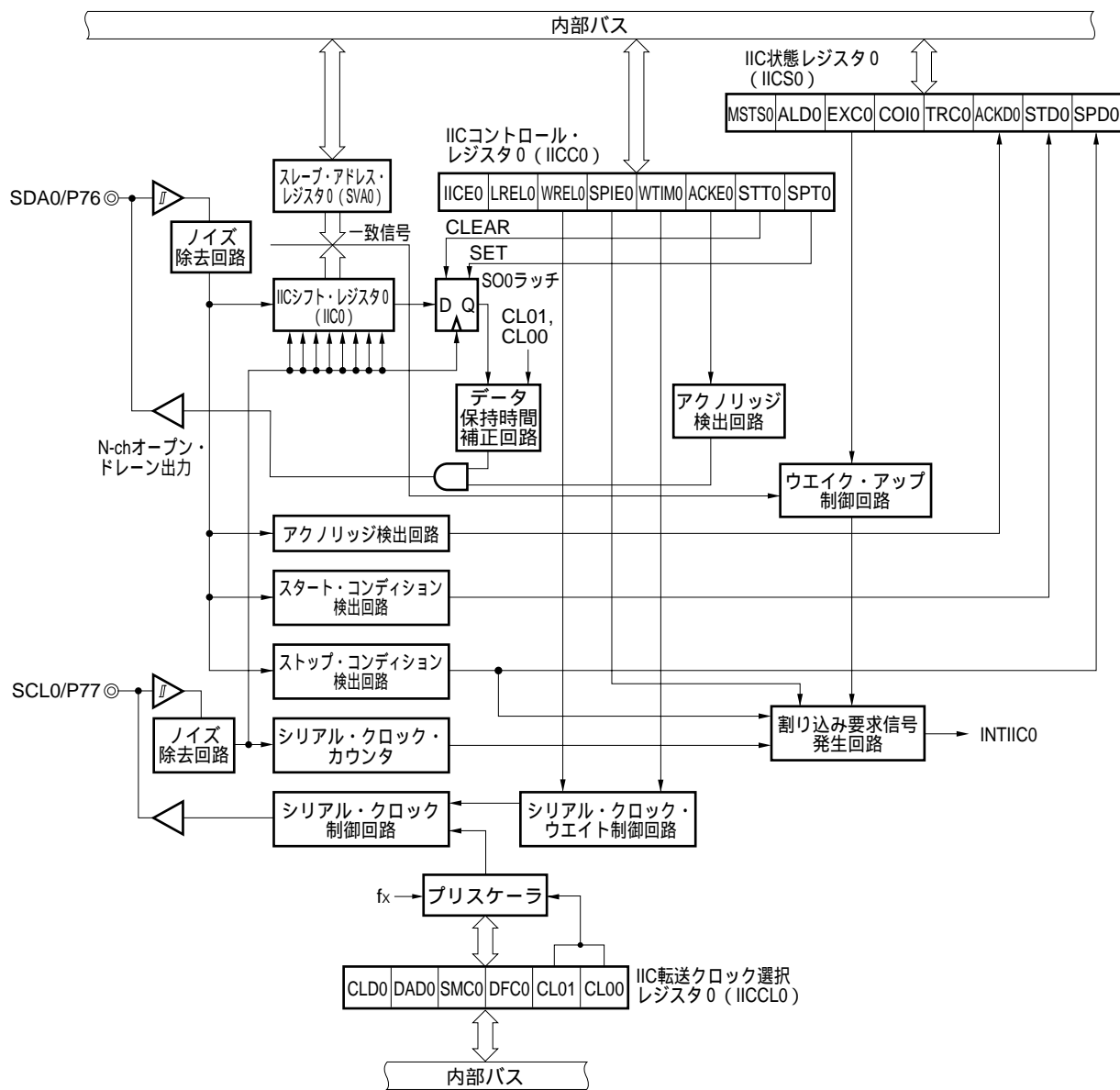
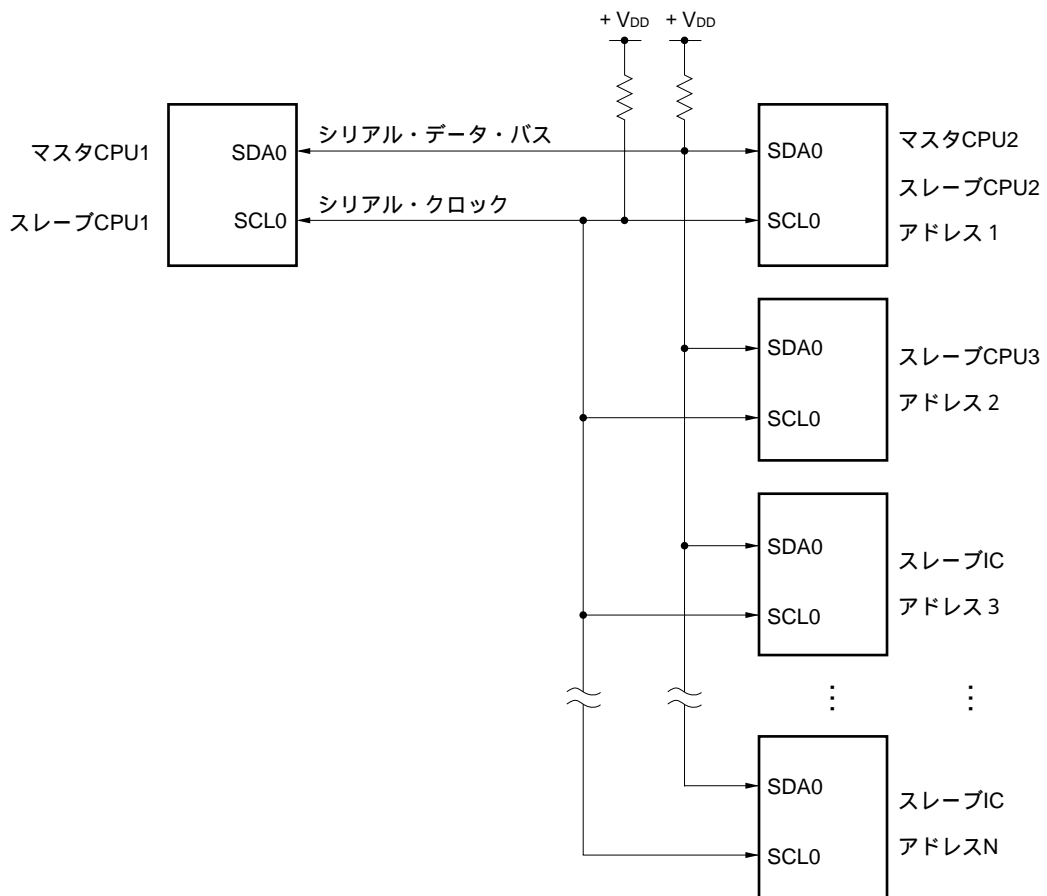


図11 - 2 にシリアル・バス構成例を示します。

図11 - 2 I<sup>2</sup>Cバスによるシリアル・バス構成例



## 11.2 シリアル・インタフェース (IIC0) の構成

シリアル・インタフェース (IIC0) は、次のハードウェアで構成されています。

表11-1 シリアル・インタフェース (IIC0) の構成

項 目	構 成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IIC転送クロック選択レジスタ0 (IICCL0)

### (1) IICシフト・レジスタ0 (IIC0)

IIC0は、8ビットのシリアル・データを8ビットの平行ル・データに、8ビットの平行ル・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

IIC0に対する書き込み/読み出しにより、実際の送受信動作が制御されます。

IIC0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

### (2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

### (3) SO0ラッチ

SO0ラッチは、SDA0端子出力レベルを保持するラッチです。

ソフトウェアにより直接制御することもできます。

### (4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です。

### (5) クロック・セクタ

使用するサンプリング・クロックを選択します。

### (6) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

**(7) 割り込み要求信号発生回路**

割り込み要求信号 (INTIIC0) の発生を制御します。

I<sup>2</sup>C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目 (WTIM0ビットで設定<sup>注</sup>)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定<sup>注</sup>)

注 WTIM0ビット : IICコントロール・レジスタ 0 (IICC0) のビット 3

SPIE0ビット : " のビット 4

**(8) シリアル・クロック制御回路**

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

**(9) シリアル・クロック・ウエイト制御回路**

ウエイト・タイミングを制御します。

**(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路**

各種制御信号の出力および検出を行います。

**(11) データ保持時間補正回路**

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

## 11.3 シリアル・インタフェース (IIC0) を制御するレジスタ

シリアル・インタフェース (IIC0) は、次の3種類のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IIC転送クロック選択レジスタ0 (IICCL0)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0 (IIC0)
- ・ スレーブ・アドレス・レジスタ0 (SVA0)

### (1) IICコントロール・レジスタ0 (IICC0)

I<sup>2</sup>Cの動作許可/禁止、ウェイト・タイミングの設定、その他I<sup>2</sup>Cの動作を設定するレジスタです。

IICC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

**注意** I<sup>2</sup>Cバス・モード時、ポート・モード・レジスタ (PMXX) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・ P76 (SDA0) を出力モード (PM76 = 0) に設定
- ・ P77 (SCL0) を出力モード (PM77 = 0) に設定

図11-3 IICコントロール・レジスタ0 (IICC0)のフォーマット(1/4)

略号	①							アドレス	リセット時	R/W	
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0	FF61H	00H	R/W

IICE0	I <sup>2</sup> Cの動作許可	
0	動作停止。IIC状態レジスタ0 (IICS0)をプリセット。内部動作も停止。	
1	動作許可。	
クリアされる条件 (IICE0 = 0)		セットされる条件 (IICE0 = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

LRELO	通信退避	
0	通常動作。	
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 次のフラグがクリアされる。 ・STD0 ・ACKD0 ・TRC0 ・COI0 ・EXC0 ・MSTS0 ・STT0 ・SPT0	
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。		
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出後、マスタとしての起動</li> <li>・スタート・コンディション後のアドレス一致または拡張コード受信</li> </ul>		
クリアされる条件 (LRELO = 0) 注		セットされる条件 (LRELO = 1)
<ul style="list-style-type: none"> <li>・実行後、自動的にクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

WRELO	ウェイト解除	
0	ウェイトを解除しない。	
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。	
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWRELOをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC0 = 0) にします。		
クリアされる条件 (WRELO = 0) 注		セットされる条件 (WRELO = 1)
<ul style="list-style-type: none"> <li>・実行後、自動的にクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

SPIE0	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0 = 0) 注		セットされる条件 (SPIE0 = 1)
<ul style="list-style-type: none"> <li>・命令によるクリア</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・命令によるセット</li> </ul>

注 IICE0 = 0により、このフラグの信号を無効にします。

図11 - 3 IICコントロール・レジスタ0 (IICC0)のフォーマット(2/4)

WTIMO	ウェイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定は無効になり, 転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは, アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは, 8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIMO = 0) 注		セットされる条件 (WTIMO = 1)
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ <math>\overline{\text{RESET}}</math> 入力時</li> </ul>		<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>

ACKE0	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。ただし, アドレス転送中は無効, EXC0 = 1の場合は有効。	
クリアされる条件 (ACKE0 = 0) 注		セットされる条件 (ACKE0 = 1)
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ <math>\overline{\text{RESET}}</math> 入力時</li> </ul>		<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>

注 IICE0 = 0により, このフラグの信号を無効にします。



図11 - 3 IICコントロール・レジスタ0 (IICC0)のフォーマット(3/4)

STT0	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき(ストップ状態) :</p> <p>スタート・コンディションを生成する(マスタとしての起動)。SDA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL0をロウ・レベルにする。</p> <p>バスに参加していないとき :</p> <p>スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。</p> <p>ウェイト状態(マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> <li>マスタ受信の場合：転送中のセットは禁止です。ACKE0 = 0 に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット可能です。</li> <li>マスタ送信の場合：ACK期間中は、正常にスタート・コンディションが生成されないことがあります。ウェイト期間中にセットしてください。</li> <li>SPT0と同時セットすることは禁止です。</li> </ul>		
クリアされる条件 (STT0 = 0) 注		セットされる条件 (STT0 = 1)
<ul style="list-style-type: none"> <li>命令によるクリア</li> <li>アービトレーションに負けたとき</li> <li>マスタでのスタート・コンディション生成後クリア</li> <li>LREL0 = 1のとき</li> <li>RESET入力時</li> </ul>		<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>

注 IICE0 = 0 により、このフラグの信号を無効にします。

図11-3 IICコントロール・レジスタ0 (IICC0)のフォーマット(4/4)

SPT0	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する(マスタとしての転送終了)。 SDA0ラインをロウ・レベルにしたあと、SCL0ラインをハイ・レベルにするか、またはSCL0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> <li>マスタ受信の場合：転送中のセットは禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。</li> <li>マスタ送信の場合：ACK0期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。</li> <li>STT0と同時にセットすることは禁止です。</li> <li>SPT0のセットは、マスタのときのみ行ってください。<sup>注1</sup></li> <li>WTIM0 = 0設定時に、8クロック出力後のウエイト期間中にSPT0をセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。 9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIM0 = 0 1に設定し、9クロック目出力後のウエイト期間中にSPT0をセットしてください。</li> </ul>					
<table border="1"> <thead> <tr> <th>クリアされる条件 (SPT0 = 0) <sup>注2</sup></th> <th>セットされる条件 (SPT0 = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>命令によるクリア</li> <li>アービトレーションに負けたとき</li> <li>ストップ・コンディション検出後、自動的にクリア</li> <li>LRELO = 1のとき</li> <li>RESET入力時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>命令によるセット</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件 (SPT0 = 0) <sup>注2</sup>	セットされる条件 (SPT0 = 1)	<ul style="list-style-type: none"> <li>命令によるクリア</li> <li>アービトレーションに負けたとき</li> <li>ストップ・コンディション検出後、自動的にクリア</li> <li>LRELO = 1のとき</li> <li>RESET入力時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>
クリアされる条件 (SPT0 = 0) <sup>注2</sup>	セットされる条件 (SPT0 = 1)				
<ul style="list-style-type: none"> <li>命令によるクリア</li> <li>アービトレーションに負けたとき</li> <li>ストップ・コンディション検出後、自動的にクリア</li> <li>LRELO = 1のとき</li> <li>RESET入力時</li> </ul>	<ul style="list-style-type: none"> <li>命令によるセット</li> </ul>				

注1 . SPT0のセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPT0をセットしてストップ・コンディションを生成する必要があります。詳細は、11.5.15 その他の注意事項を参照してください。

2 . IICE0 = 0により、このフラグの信号を無効にします。

注意 IIC状態レジスタ0(IICS0)のビット3(TRC0)=1のとき、9クロック目にWRELOをセットしてウエイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

備考1 . STD0 : IIC状態レジスタ0 (IICS0) のビット1  
 ACKD0 : " のビット2  
 TRC0 : " のビット3  
 COIO : " のビット4  
 EXC0 : " のビット5  
 MSTSO : " のビット7

2 . ビット0 , 1 (SPT0, STT0) は、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I<sup>2</sup>Cのステータスを表すレジスタです。

IICS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。IICS0は読み出しのみ可能です。

RESET 入力により、00Hになります。

図11 - 4 IIC状態レジスタ0 (IICS0) のフォーマット (1/3)

略号	①							アドレス	リセット値	R/W	
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0	FF60H	00H	R/W

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		セットされる条件 (MSTS0 = 1)
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・ALD0 = 1のとき</li> <li>・LREL0 = 1によるクリア</li> <li>・IICE0 = 1 0のとき</li> <li>・RESET 入力時</li> </ul>		<ul style="list-style-type: none"> <li>・スタート・コンディション生成時</li> </ul>

ALD0	アービトレーション負け検出	
0	アービトレーションが起きていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0がクリアされる。	
クリアされる条件 (ALD0 = 0)		セットされる条件 (ALD0 = 1)
<ul style="list-style-type: none"> <li>・IICS0読み出し後、自動的にクリア<sup>注</sup></li> <li>・IICE0 = 1 0のとき</li> <li>・RESET 入力時</li> </ul>		<ul style="list-style-type: none"> <li>・アービトレーションに負けたとき</li> </ul>

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC0 = 0)		セットされる条件 (EXC0 = 1)
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1によるクリア</li> <li>・IICE0 = 1 0のとき</li> <li>・RESET 入力時</li> </ul>		<ul style="list-style-type: none"> <li>・受信したアドレス・データの上位4ビットが “0000” または “1111” のとき (8クロック目の立ち上がりでセット)</li> </ul>

注 IICS0のほかのビットに対しビット操作命令を実行した場合もクリアされます。

図11 - 4 IIC状態レジスタ0 (IICS0) のフォーマット (2/3)

COI0		アドレス一致検出	
0		アドレスが一致していない。	
1		アドレスが一致している。	
クリアされる条件 (COI0 = 0)		セットされる条件 (COI0 = 1)	
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1によるクリア</li> <li>・IICE0 = 1 0のとき</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・受信アドレスが自局アドレス (SVA0) と一致したとき (8クロック目の立ち上がりでセット)</li> </ul>	

TRC0		送信 / 受信状態検出	
0		受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1		送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC0 = 0)		セットされる条件 (TRC0 = 1)	
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・LREL0 = 1によるクリア</li> <li>・IICE0 = 1 0のとき</li> <li>・WREL0 = 1によるクリア<sup>注</sup></li> <li>・ALD0 = 0 1のとき</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>マスタの場合</li> <li>・スタート・コンディション生成時</li> <li>スレーブの場合</li> <li>・1バイト目のLSB (転送方向指定ビット) で “ 1 ” を入力したとき</li> </ul>	
マスタの場合			
<ul style="list-style-type: none"> <li>・1バイト目のLSB (転送方向指定ビット) に “ 1 ” を出力したとき</li> </ul>			
スレーブの場合			
<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> <li>・1バイト目のLSB (転送方向指定ビット) で “ 0 ” を入力したとき</li> </ul>			
通信不参加の場合			

ACKD0		アクノリッジ検出	
0		アクノリッジを検出していない。	
1		アクノリッジを検出	
クリアされる条件 (ACKD0 = 0)		セットされる条件 (ACKD0 = 1)	
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・次のバイトの1クロック目の立ち上がり時</li> <li>・LREL0 = 1によるクリア</li> <li>・IICE0 = 1 0のとき</li> <li>・<math>\overline{\text{RESET}}</math>入力時</li> </ul>		<ul style="list-style-type: none"> <li>・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき</li> </ul>	

注 9クロック目のウェイト期間中に、WREL0をセットすることによりクリアされます。

図11 - 4 IIC状態レジスタ0 (IICS0) のフォーマット (3/3)

STD0		スタート・コンディション検出	
0	スタート・コンディションを検出していない。		
1	スタート・コンディションを検出。アドレス転送期間であることを示す。		
クリアされる条件 (STD0 = 0)		セットされる条件 (STD0 = 1)	
<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> <li>・アドレス転送後の次のバイトの1クロック目の立ち上がり時</li> <li>・LREL0 = 1によるクリア</li> <li>・IICE0 = 1 0のとき</li> <li>・RESET入力時</li> </ul>		<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>	

SPD0		ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。		
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放されている。		
クリアされる条件 (SPD0 = 0)		セットされる条件 (SPD0 = 1)	
<ul style="list-style-type: none"> <li>・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時</li> <li>・IICE0 = 1 0のとき</li> <li>・RESET入力時</li> </ul>		<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>	

**備考** LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6  
 IICE0 : " のビット7

(3) IIC転送クロック選択レジスタ0 (IICCL0)

I<sup>2</sup>Cの転送クロックを設定するレジスタです。

IICCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11 - 5 IIC転送クロック選択レジスタ0 (IICCL0) のフォーマット (1/2)

略号	7	6	3		2	1	0	アドレス	リセット時	R/W	
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00	FF43H	00H	R/W <sup>注</sup>

CLD0	SCL0ラインのレベル検出 (IICE0 = 1のときのみ有効)				
0	SCL0ラインがロウ・レベルであることを検出				
1	SCL0ラインがハイ・レベルであることを検出				
<table border="1"> <thead> <tr> <th>クリアされる条件 (CLD0 = 0)</th> <th>セットされる条件 (CLD0 = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>・ SCL0ラインがロウ・レベルのとき</li> <li>・ IICE0 = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・ SCL0ラインがハイ・レベルのとき</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件 (CLD0 = 0)	セットされる条件 (CLD0 = 1)	<ul style="list-style-type: none"> <li>・ SCL0ラインがロウ・レベルのとき</li> <li>・ IICE0 = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ SCL0ラインがハイ・レベルのとき</li> </ul>
クリアされる条件 (CLD0 = 0)	セットされる条件 (CLD0 = 1)				
<ul style="list-style-type: none"> <li>・ SCL0ラインがロウ・レベルのとき</li> <li>・ IICE0 = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ SCL0ラインがハイ・レベルのとき</li> </ul>				

DAD0	SDA0ラインのレベル検出 (IICE0 = 1のときのみ有効)				
0	SDA0ラインがロウ・レベルであることを検出				
1	SDA0ラインがハイ・レベルであることを検出				
<table border="1"> <thead> <tr> <th>クリアされる条件 (DAD0 = 0)</th> <th>セットされる条件 (DAD0 = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>・ SDA0ラインがロウ・レベルのとき</li> <li>・ IICE0 = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・ SDA0ラインがハイ・レベルのとき</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件 (DAD0 = 0)	セットされる条件 (DAD0 = 1)	<ul style="list-style-type: none"> <li>・ SDA0ラインがロウ・レベルのとき</li> <li>・ IICE0 = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ SDA0ラインがハイ・レベルのとき</li> </ul>
クリアされる条件 (DAD0 = 0)	セットされる条件 (DAD0 = 1)				
<ul style="list-style-type: none"> <li>・ SDA0ラインがロウ・レベルのとき</li> <li>・ IICE0 = 0のとき</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ SDA0ラインがハイ・レベルのとき</li> </ul>				

SMC0	動作モードの切り替え				
0	標準モードで動作				
1	高速モードで動作				
<table border="1"> <thead> <tr> <th>クリアされる条件 (SMC0 = 0)</th> <th>セットされる条件 (SMC0 = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul> </td> <td> <ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul> </td> </tr> </tbody> </table>		クリアされる条件 (SMC0 = 0)	セットされる条件 (SMC0 = 1)	<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>
クリアされる条件 (SMC0 = 0)	セットされる条件 (SMC0 = 1)				
<ul style="list-style-type: none"> <li>・ 命令によるクリア</li> <li>・ <math>\overline{\text{RESET}}</math>入力時</li> </ul>	<ul style="list-style-type: none"> <li>・ 命令によるセット</li> </ul>				

注 ビット4, ビット5はRead Onlyです。

図11 - 5 IIC転送クロック選択レジスタ0 (IICCL0)のフォーマット(2/2)

DFC0	デジタル・フィルタの動作の制御 <sup>注</sup>
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

CL01	CL00	転送レートの選択	
		標準モード	高速モード
0	0	$f_x/44$ (51.1 kHz)	$f_x/24$ (93.8 kHz)
0	1	$f_x/86$ (26.2 kHz)	
1	0	$f_x/86$ (52.3 kHz)	$f_x/24$ (187.5 kHz)
1	1	設定禁止	

**注** デジタル・フィルタは高速モード時に使用できます。デジタル・フィルタを使用すると反応は遅くなります。

**注意** CL01, CL00を同一値以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

**備考1** . IICE0 : IICコントロール・レジスタ0 (IICC0)のビット7

2 .  $f_x$  : システム・クロック発振周波数

3 . ( )内は、 $f_x = 4.5$  MHz動作時

(4) I<sup>2</sup>Cシフト・レジスタ0 (IIC0)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。8ビット単位でリード/ライト可能ですが、データ転送中にIIC0へデータを書き込まないでください。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IIC0									FF1AH	不定	R/W

(5) スレーブ・アドレス・レジスタ0 (SVA0)

このレジスタには、I<sup>2</sup>Cバスのスレーブ・アドレスを格納します。8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SVA0								0	FF62H	不定	R/W

## 11.4 I<sup>2</sup>Cバス・モードの機能

### 11.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

( 1 ) SCL0.....シリアル・クロックを入出力するための端子。

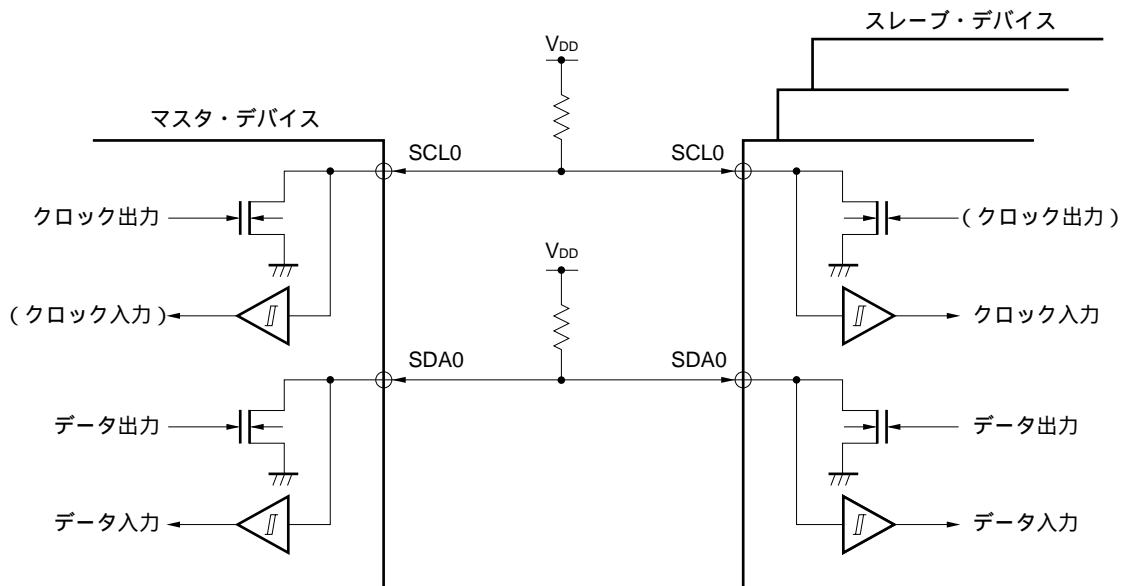
マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は, シュミット入力。

( 2 ) SDA0.....シリアル・データの入出力兼用端子。

マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は, シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは, 出力がN-chオープン・ドレインのため, 外部にプルアップ抵抗が必要となります。

図11 - 6 端子構成図



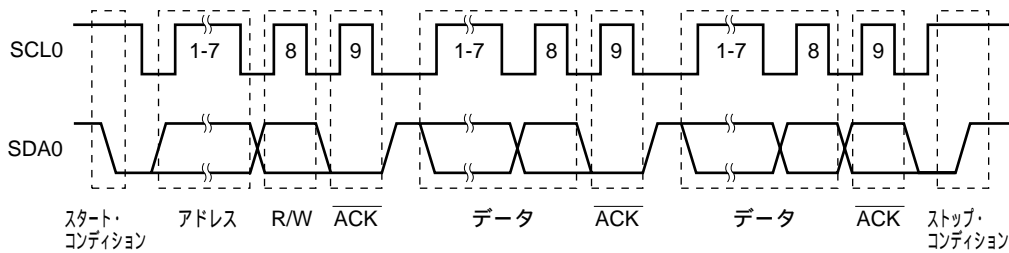


## 11.5 I<sup>2</sup>Cバスの定義および制御方法

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”および“ストップ・コンディション”の各転送タイミングを図11-7に示します。

図11-7 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

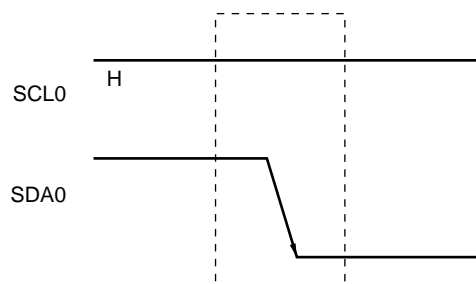
アクノリッジ信号 (ACK) は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は，マスタが出力し続けます。ただし，スレーブはSCL0のロウ・レベル期間を延長し，ウエイトを挿入できます。

### 11.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに，SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子，SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図11-8 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態 (SPD0: IIC状態レジスタ0 (IICS0) のビット0 = 1) のときにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると出力されます。また，スタート・コンディションを検出すると，IICS0のビット1 (STD0) がセット (1) されます。

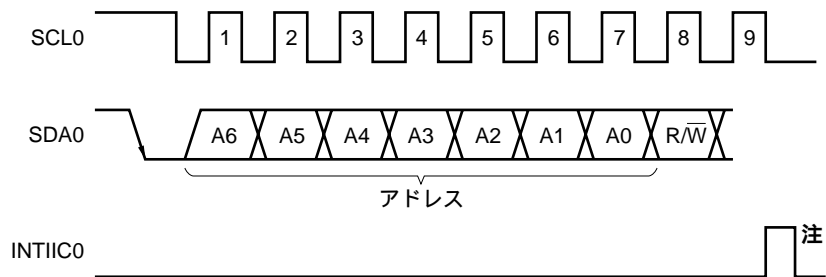
### 11.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図11-9 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

アドレスは、スレーブのアドレスと11.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0 (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

なお、スレーブのアドレスは、IIC0の上位7ビットに割り当てられます。

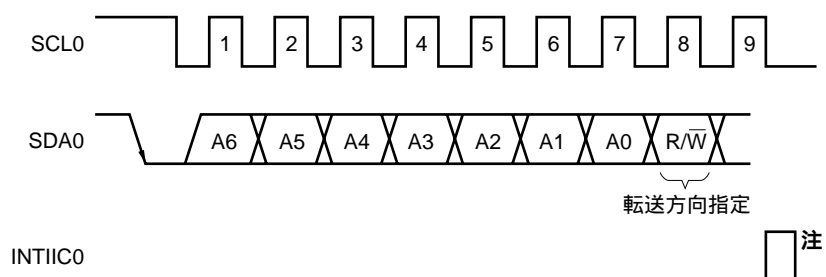
### 11.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。

また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図11-10 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

### 11.5.4 アクノリッジ信号 (ACK)

アクノリッジ信号 ( $\overline{\text{ACK}}$ ) は、送信側と受信側における、シリアル・データ受信の確認のための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は、通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたかを検出します。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDA0ラインをロウ・レベルにすると、アクノリッジ信号がアクティブになります（正常受信返答）。

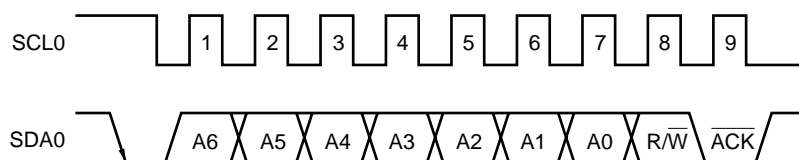
IICコントロール・レジスタ0 (IIC0) のビット2 (ACKE0) = 1でアクノリッジ信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタ0 (IICS0) のビット3 (TRC0) が設定されますが、TRC0ビットの値が“0”の場合は受信状態なので、ACKE0 = 1にしてください。

スレーブ受信動作時 (TRC0 = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE0 = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRC0 = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKE0 = 0にしてください。これは、スレーブ送信動作中に、SDA0ラインにデータのMSBデータを出力しないようにするためです（送信停止）。

図11-11 アクノリッジ信号



自局アドレス受信時は、ACKE0の値にかかわらずSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力し、自局アドレス以外の受信時は、アクノリッジ信号を出力しません。

データ送信時のアクノリッジ信号の出力方法は、ウェイト・タイミングの設定により次のようになります。

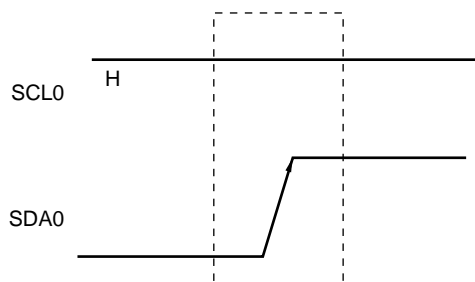
- ・ 8クロック・ウェイト選択時：ウェイトを解除する前にACKE0 = 1とすることでアクノリッジ信号を出力します。
- ・ 9クロック・ウェイト選択時：あらかじめACKE0 = 1とすることでSCL0の8クロック目の立ち下がりに同期してアクノリッジ信号を自動出力します。

### 11.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図11 - 12 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ0 (IICC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ0 (IICS0) のビット0 (SPD0) がセット (1) され、IICC0のビット4 (SPIE0) がセット (1) されている場合にはINTIIC0が発生します。

### 11.5.6 ウェイト信号 (WAIT)

ウェイト信号 ( $\overline{\text{WAIT}}$ ) は、マスタまたはスレーブがデータの送受信のための準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図11 - 13 ウェイト信号 (1/2)

(1) マスタは9クロック・ウェイト, スレーブは8クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0 = 1)

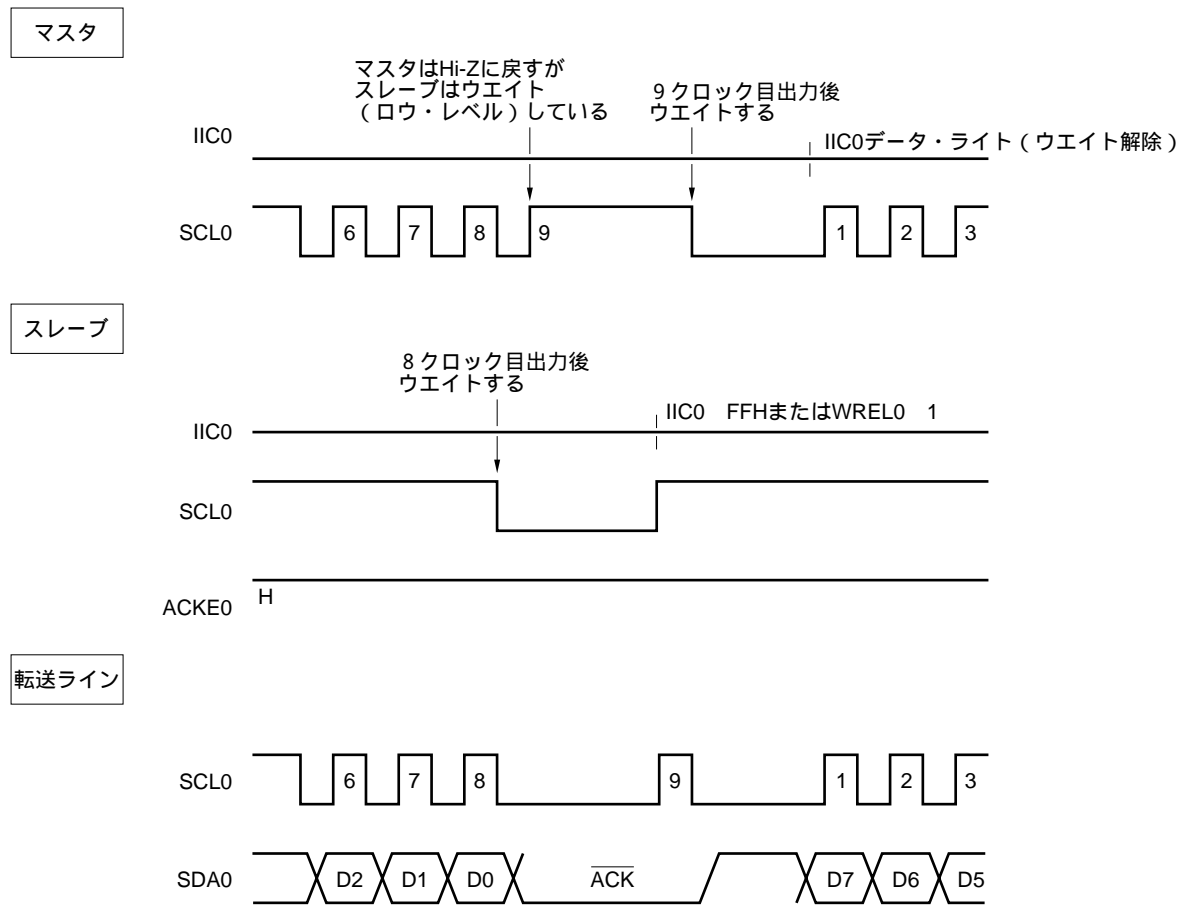
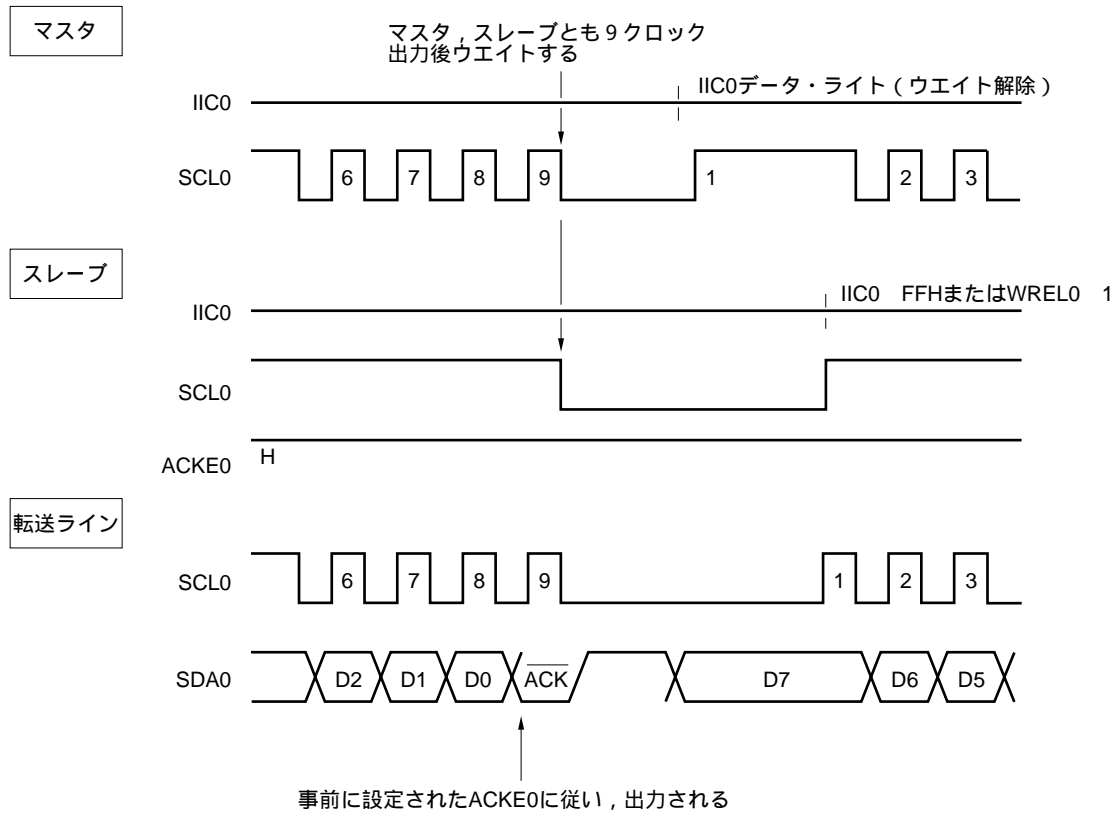


図11 - 13 ウェイト信号 (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0 = 1)



**備考** ACKE0 : IICコントロール・レジスタ0 (IICC0) のビット2  
 WRELO : " のビット5

ウェイトは, IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定により自動的に発生します。通常, 受信側はIICC0のビット5 (WRELO) = 1またはIICシフト・レジスタ0 (IIC0) FFHライトにするとウェイトを解除し, 送信側はIIC0にデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICC0のビット1 (STT0) = 1
- ・ IICC0のビット0 (SPT0) = 1

### 11.5.7 I<sup>2</sup>C割り込み要求 (INTIIC0)

以下に、INTIIC0割り込み要求発生タイミングと、INTIIC0割り込みタイミングでのIIC状態レジスタ (IICS0) の値を示します。

#### (1) マスタ動作

##### (a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

##### (i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4 5

- 1: IICS0 = 1000x110B
- 2: IICS0 = 1000x000B
- 3: IICS0 = 1000x000B (WTIM0をセット)
- 4: IICS0 = 1000xx00B (SPT0をセット)
- 5: IICS0 = 00000001B

**備考** 必ず発生  
SPIE0 = 1のときだけ発生  
× 任意

##### (ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4

- 1: IICS0 = 1000x110B
- 2: IICS0 = 1000x100B
- 3: IICS0 = 1000xx00B (SPT0をセット)
- 4: IICS0 = 00000001B

**備考** 必ず発生  
SPIE0 = 1のときだけ発生  
× 任意

( b ) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop ( リスタート )

( i ) WTIM0 = 0 のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
				1	2	3				4	5	6	7

- 1 : IICS0 = 1000x110B
- 2 : IICS0 = 1000x000B ( WTIM0 をセット )
- 3 : IICS0 = 1000xx00B ( WTIM0 をクリア , STT0 をセット )
- 4 : IICS0 = 1000x110B
- 5 : IICS0 = 1000x000B ( WTIM0 をセット )
- 6 : IICS0 = 1000xx00B ( SPT0 をセット )
- 7 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1 のときだけ発生  
 × 任意

( ii ) WTIM0 = 1 のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

- 1 : IICS0 = 1000x110B
- 2 : IICS0 = 1000xx00B
- 3 : IICS0 = 1000x110B
- 4 : IICS0 = 1000xx00B ( SPT0 をセット )
- 5 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1 のときだけ発生  
 × 任意



(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4 5

- 1: IICS0 = 1010x110B
- 2: IICS0 = 1010x000B
- 3: IICS0 = 1010x000B (WTIM0をセット)
- 4: IICS0 = 1010xx00B (SPT0をセット)
- 5: IICS0 = 00000001B

- 備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4

- 1: IICS0 = 1010x110B
- 2: IICS0 = 1010x100B
- 3: IICS0 = 1010xx00B (SPT0をセット)
- 4: IICS0 = 00001001B

- 備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

(2) スレーブ動作(スレーブ・アドレス・データ受信時(SVA0一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4

1: IICS0 = 0001x110B

2: IICS0 = 0001x000B

3: IICS0 = 0001x000B

4: IICS0 = 00000001B

- 備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	4

1: IICS0 = 0001x110B

2: IICS0 = 0001x100B

3: IICS0 = 0001xx00B

4: IICS0 = 00000001B

- 備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0 = 0001x110B  
 2 : IICS0 = 0001x000B  
 3 : IICS0 = 0001x110B  
 4 : IICS0 = 0001x000B  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0 = 0001x110B  
 2 : IICS0 = 0001xx00B  
 3 : IICS0 = 0001x110B  
 4 : IICS0 = 0001xx00B  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

( c ) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

( i ) WTIM0 = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0 = 0001x110B  
 2 : IICS0 = 0001x000B  
 3 : IICS0 = 0010x010B  
 4 : IICS0 = 0010x000B  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

( ii ) WTIM0 = 1のとき (リスタート後, 拡張コード受信)

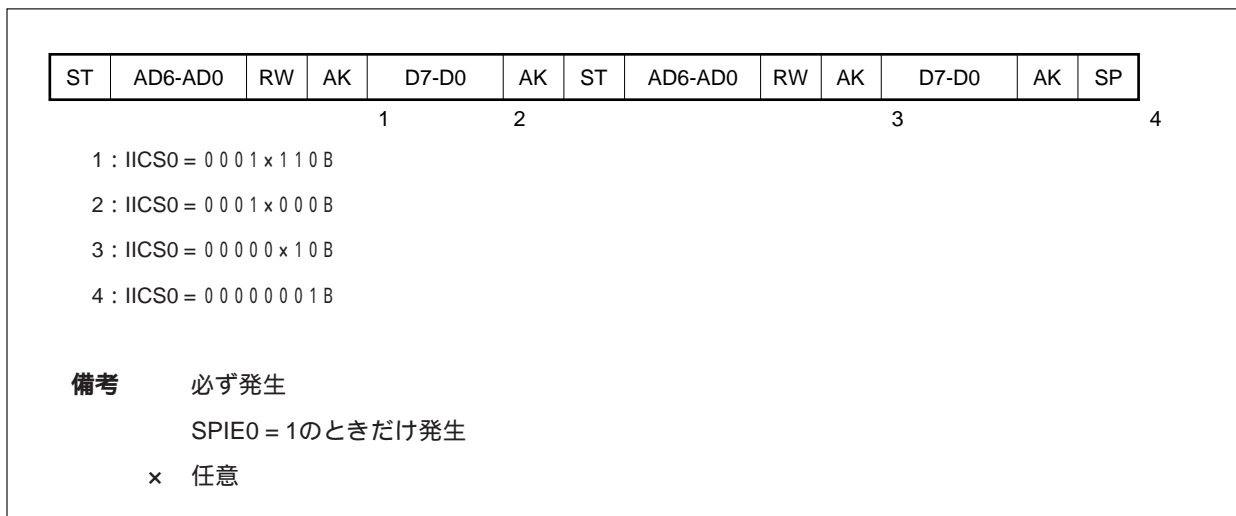
ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
				1	2					3	4	5	6

1 : IICS0 = 0001x110B  
 2 : IICS0 = 0001xx00B  
 3 : IICS0 = 0010x010B  
 4 : IICS0 = 0010x110B  
 5 : IICS0 = 0010xx00B  
 6 : IICS0 = 00000001B

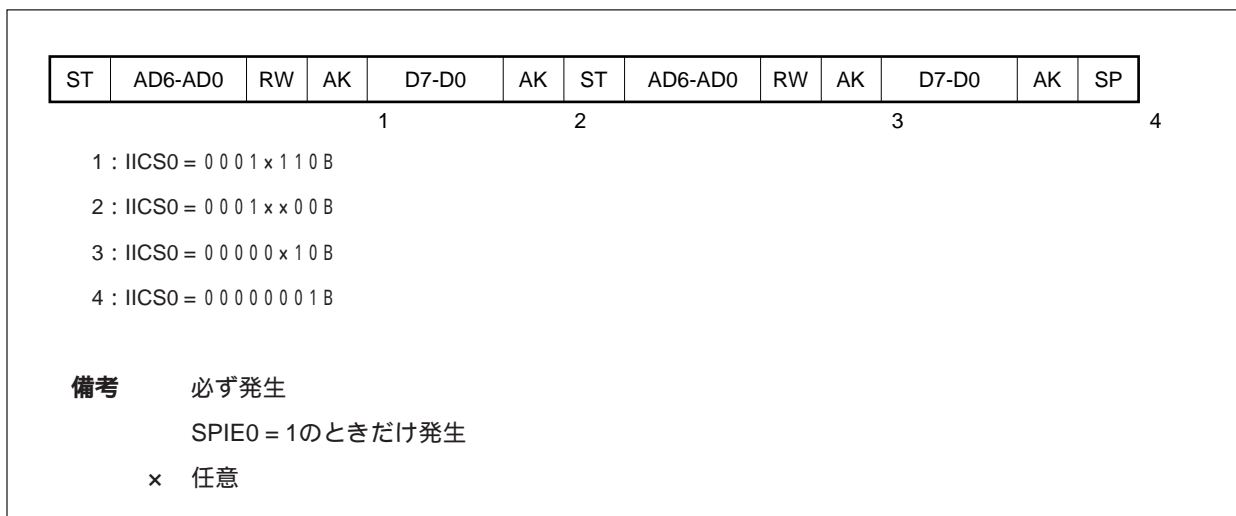
**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

( d ) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

( i ) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



( ii ) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



(3) スレーブ動作(拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1: IICS0 = 0010x010B

2: IICS0 = 0010x000B

3: IICS0 = 0010x000B

4: IICS0 = 00000001B

**備考** 必ず発生  
 SPIE0 = 1のときだけ発生  
 × 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1: IICS0 = 0010x010B

2: IICS0 = 0010x110B

3: IICS0 = 0010x100B

4: IICS0 = 0010xx00B

5: IICS0 = 00000001B

**備考** 必ず発生  
 SPIE0 = 1のときだけ発生  
 × 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1		2						3	4	5

1 : IICS0 = 0010x010B  
 2 : IICS0 = 0010x000B  
 3 : IICS0 = 0001x110B  
 4 : IICS0 = 0001x000B  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3					4	5	6

1 : IICS0 = 0010x010B  
 2 : IICS0 = 0010x110B  
 3 : IICS0 = 0010xx00B  
 4 : IICS0 = 0001x110B  
 5 : IICS0 = 0001xx00B  
 6 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

( c ) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

( i ) WTIM0 = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1		2						3	4	5

1 : IICS0 = 0010x010B  
 2 : IICS0 = 0010x000B  
 3 : IICS0 = 0010x010B  
 4 : IICS0 = 0010x000B  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意

( ii ) WTIM0 = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3				4	5	6	7

1 : IICS0 = 0010x010B  
 2 : IICS0 = 0010x110B  
 3 : IICS0 = 0010xx00B  
 4 : IICS0 = 0010x010B  
 5 : IICS0 = 0010x110B  
 6 : IICS0 = 0010xx00B  
 7 : IICS0 = 00000001B

**備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意



( d ) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

( i ) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2						3	4

1 : IICS0 = 0010x010B  
 2 : IICS0 = 0010x000B  
 3 : IICS0 = 00000x10B  
 4 : IICS0 = 00000001B

**備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意

( ii ) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

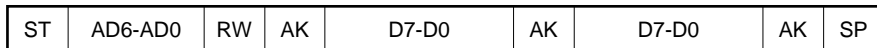
ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3					4	5

1 : IICS0 = 0010x010B  
 2 : IICS0 = 0010x110B  
 3 : IICS0 = 0010xx00B  
 4 : IICS0 = 00000x10B  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



1

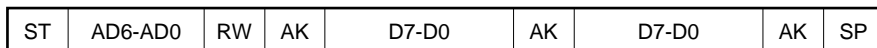
1 : IICS0 = 00000001B

備考 SPIE0 = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



1

2

3

4

1 : IICS0 = 0101x110B (例 割り込み処理中にALD0をリード)

2 : IICS0 = 0001x000B

3 : IICS0 = 0001x000B

4 : IICS0 = 00000001B

備考 必ず発生

SPIE0 = 1のときだけ発生

x 任意

( ii ) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1		2		3 4

1 : IICS0 = 0101x110B (例 割り込み処理中にALD0をリード)

2 : IICS0 = 0001x100B

3 : IICS0 = 0001xx00B

4 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

( b ) 拡張コード送信中にアービトレーションに負けた場合

( i ) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1		2		3 4

1 : IICS0 = 0110x010B (例 割り込み処理中にALD0をリード)

2 : IICS0 = 0010x000B

3 : IICS0 = 0010x000B

4 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1 2		3		4	5

1: IICS0 = 0110x010B (例 割り込み処理中にALD0をリード)

2: IICS0 = 0010x110B

3: IICS0 = 0010x100B

4: IICS0 = 0010xx00B

5: IICS0 = 00000001B

- 備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1のとき)

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1					2

1: IICS0 = 01000110B (例 割り込み処理中にALD0をリード)

2: IICS0 = 00000001B

- 備考**      必ず発生  
                  SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

1

2

1: IICS0 = 0110x010B (例 割り込み処理中にALD0をリード)

ソフトでLREL0 = 1を設定

2: IICS0 = 00000001B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

x 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

1

2

3

1: IICS0 = 10001110B

2: IICS0 = 01000000B (例 割り込み処理中にALD0をリード)

3: IICS0 = 00000001B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

( ii ) WTIM0 = 1 のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2		3	

1 : IICS0 = 1 0 0 0 1 1 1 0 B

2 : IICS0 = 0 1 0 0 0 1 0 0 B (例 割り込み処理中にALD0をリード)

3 : IICS0 = 0 0 0 0 0 0 0 1 B

**備考**      必ず発生  
              SPIE0 = 1 のときだけ発生

( d ) データ転送時にリスタート・コンディションで負けた場合

( i ) 拡張コード以外 (例 SVA0不一致, WTIM0 = 1)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2				3		

1 : IICS0 = 1 0 0 0 x 1 1 0 B

2 : IICS0 = 0 1 0 0 0 1 1 0 B (例 割り込み処理中にALD0をリード)

3 : IICS0 = 0 0 0 0 0 0 0 1 B

**備考**      必ず発生  
              SPIE0 = 1 のときだけ発生  
              × 任意  
              n = 6-0

(ii) 拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	---------	----	----	-------	----	----

1

2

3

1: IICS0 = 1000x110B

2: IICS0 = 0110x010B (例 割り込み処理中にALD0をリード)

ソフトでLREL0 = 1を設定

3: IICS0 = 00000001B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

x 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	RW	AK	D7-Dn	SP
----	---------	----	----	-------	----

1

2

1: IICS0 = 1000x110B

2: IICS0 = 01000001B

**備考** 必ず発生

SPIE0 = 1のときだけ発生

x 任意

n = 6-0

( f ) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

( i ) WTIM0 = 0のとき

STT0 = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3	4			5

1 : IICS0 = 1000x110B  
 2 : IICS0 = 1000x000B (WTIM0をセット)  
 3 : IICS0 = 1000xx00B (WTIM0をクリア, STT0 = 1をセット)  
 4 : IICS0 = 01000000B (例 割り込み処理中にALD0をリード)  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

( ii ) WTIM0 = 1のとき

STT0 = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3				4

1 : IICS0 = 1000x110B  
 2 : IICS0 = 1000x100B (STT0をセット)  
 3 : IICS0 = 01000100B (例 割り込み処理中にALD0をリード)  
 4 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

( i ) WTIMO = 0のとき

STT0 = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2	3 4

1 : IICSO = 1 0 0 0 x 1 1 0 B  
 2 : IICSO = 1 0 0 0 x 0 0 0 B ( WTIMOをセット )  
 3 : IICSO = 1 0 0 0 x x 0 0 B ( STT0をセット )  
 4 : IICSO = 0 1 0 0 0 0 0 1 B

**備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意

( ii ) WTIMO = 1のとき

STT0 = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2	3

1 : IICSO = 1 0 0 0 x 1 1 0 B  
 2 : IICSO = 1 0 0 0 x x 0 0 B ( STT0をセット )  
 3 : IICSO = 0 1 0 0 0 0 0 1 B

**備考**      必ず発生  
              SPIE0 = 1のときだけ発生  
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

( i ) WTIM0 = 0のとき

SPT0 = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3	4			5

1 : IICS0 = 1000x110B  
 2 : IICS0 = 1000x000B (WTIM0をセット)  
 3 : IICS0 = 1000xx00B (WTIM0をクリア, SPT0をセット)  
 4 : IICS0 = 01000000B (例 割り込み処理中にALD0をリード)  
 5 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

( ii ) WTIM0 = 1のとき

SPT0 = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3				4

1 : IICS0 = 1000x110B  
 2 : IICS0 = 1000xx00B (SPT0をセット)  
 3 : IICS0 = 01000000B (例 割り込み処理中にALD0をリード)  
 4 : IICS0 = 00000001B

**備考**      必ず発生  
                  SPIE0 = 1のときだけ発生  
 × 任意

### 11.5.8 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定で、表11 - 2 に示すタイミングでINTIIC0が発生し、また、ウェイト制御を行います。

表11 - 2 INTIIC0発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 <sup>注1, 2</sup>	8 <sup>注2</sup>	8 <sup>注2</sup>	9	8	8
1	9 <sup>注1, 2</sup>	9 <sup>注2</sup>	9 <sup>注2</sup>	9	9	9

注1．スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICC0のビット2 (ACKE0) の設定にかかわらず、 $\overline{ACK}$ が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0が発生します。

2．スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致していない場合は、INTIIC0もウェイトも発生しません。

**備考** 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

#### (1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

#### (2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

#### (3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより割り込みおよびウェイト・タイミングが決まります。

#### (4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) = 1
- ・ IICシフト・レジスタ0 (IIC0) のライト動作
- ・ スタート・コンディションのセット (IICコントロール・レジスタ0 (IICC0) のビット1 (STT0) = 1)
- ・ ストップ・コンディションのセット (IICC0のビット0 (SPT0) = 1)

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

#### (5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します。

### 11.5.9 アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0 (SVA0) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

#### 11.5.10 エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICシフト・レジスタ0 (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

### 11.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC0)をセットし、8クロック目の立ち下がりで割り込み要求(INTIIC0)を発生します。

スレーブ・アドレス・レジスタ0(SVA0)に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0に“111110xx”を設定し、マスタから“111110xx”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIIC0)は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データ的一致：EXC0 = 1<sup>注</sup>
- ・7ビット・データ的一致：COI0 = 1<sup>注</sup>

**注** EXC0：IIC状態レジスタ0(IICS0)のビット5  
 COI0： ” ” のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ0(IICC0)のビット6(LREL0) = 1に設定することで次の通信待機状態にします。

表11 - 3 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

### 11.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（STD0 = 1になる前にSTT0 = 1にしたとき注），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IIC状態レジスタ0（IICS0）のアービトレーション負けフラグ（ALD0）をセットし，SCL0, SDA0ラインともHi-Z状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては，11.5.7 I<sup>2</sup>C割り込み要求（INTIIC0）を参照してください。

注 STD0：IIC状態レジスタ0（IICS0）のビット1

STT0：IICコントロール・レジスタ0（IICC0）のビット1

図11-14 アービトレーション・タイミング例

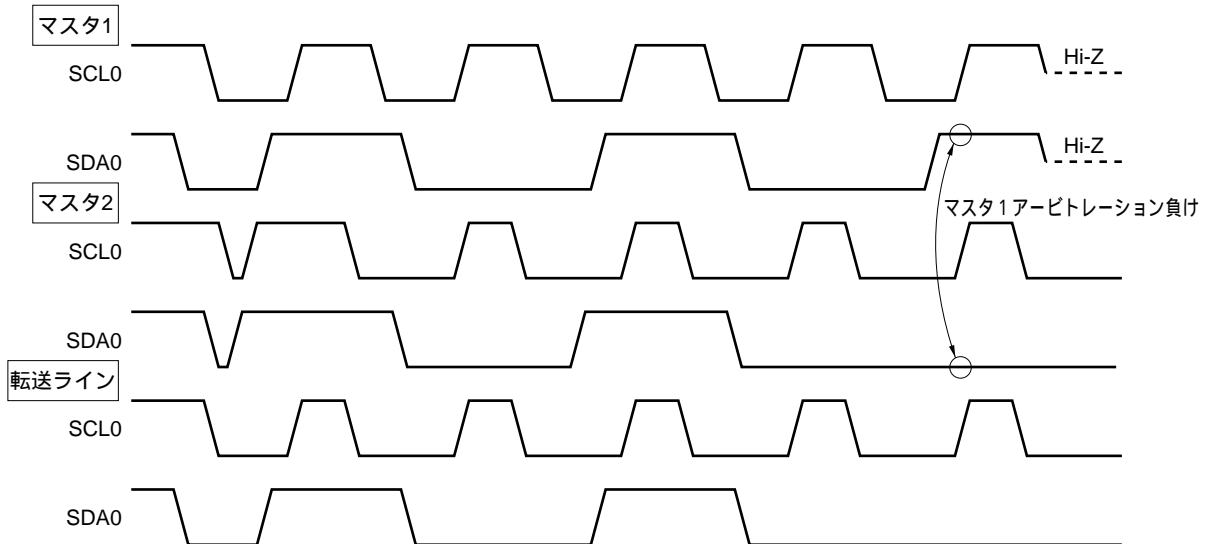


表11 - 4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) <sup>注2</sup>
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIE0 = 1時) <sup>注2</sup>
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり <sup>注1</sup>
リスタート・コンディションを出力しようとしたがSCL0がロウ・レベル	

注1 . WTIM0 (IICコントロール・レジスタ0 (IICC0) のビット3) = 1 の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2 . アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICコントロール・レジスタ0 (IICC0) のビット5

### 11.5.13 ウェイク・アップ機能

I<sup>2</sup>Cのスレープ機能で、自局アドレスと拡張コードを受信したときに割り込み要求 (INTIIC0) を発生する機能です。

アドレスが一致しないときは不要な割り込み要求を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも、アービトレーション負けでスレープになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICコントロール・レジスタ0 (IICC0) のビット5 (SPIE0) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

### 11.5.14 通信予約

バスに不参加の状態では、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレープにもなれなかった場合
- ・拡張コードを受信してスレープとして動作しない ( $\overline{ACK}$ を返さず、IICコントロール・レジスタ0 (IICC0) のビット6 (LRELO) = 1でバスを解放した) とき

バスに不参加の状態では、IICC0のビット1 (STT0) をセットすると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。バスの解放を検出 (ストップ・コンディション検出) すると、IICシフト・レジスタ0 (IIC0) ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICC0のビット4 (SPIE0) をセットしておいてください。

STT0をセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態) .....通信予約

通信予約として動作するのかどうかは、STT0をセットし、ウェイト時間をとったあと、MSTS0 (IIC状態レジスタ0 (IICS0) のビット7) で確認します。

ウェイト時間は、表11 - 5 に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) により設定できます。

表11 - 5 ウェイト時間

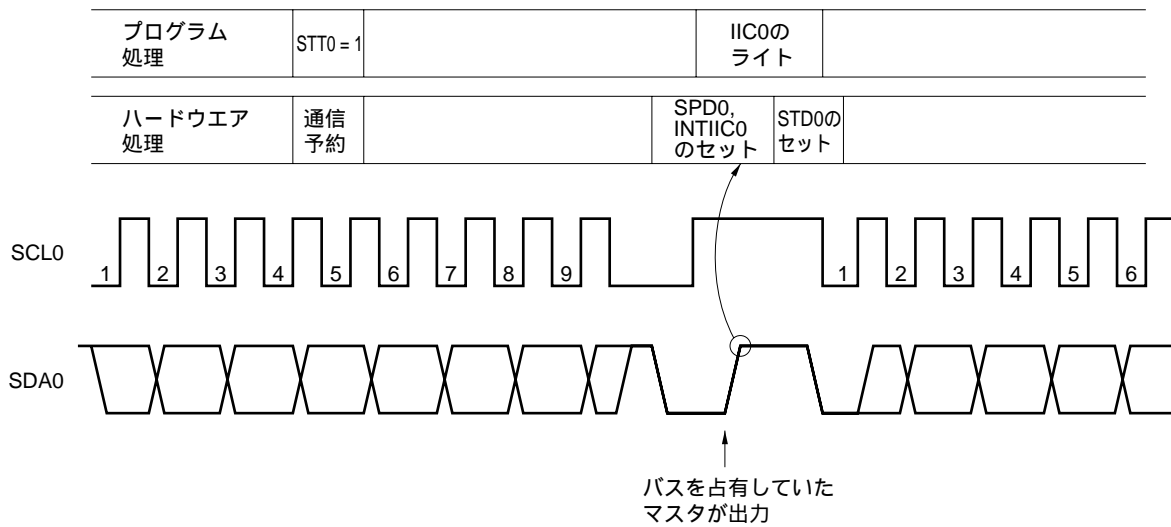
SMC0	CL01	CL00	ウェイト時間
0	0	0	26クロック × 1/fx
0	0	1	46クロック × 1/fx
0	1	0	92クロック × 1/fx
0	1	1	設定禁止
1	0	0	16クロック × 1/fx
1	0	1	
1	1	0	32クロック × 1/fx
1	1	1	設定禁止

備考 fx : システム・クロック発振周波数



通信予約のタイミングを図11 - 15に示します。

図11 - 15 通信予約のタイミング



- 備考** IIC0 : IICシフト・レジスタ 0  
 STT0 : IICコントロール・レジスタ 0 (IICC0) のビット 1  
 STD0 : IIC状態レジスタ 0 (IICS0) のビット 1  
 SPD0 : " のビット 0

通信予約は次のタイミングで受け付けられます。IIC状態レジスタ 0 (IICS0) のビット 1 (STD0) = 1 になったあと、ストップ・コンディション検出までにIICコントロール・レジスタ 0 (IICC0) のビット 1 (STT0) = 1 で通信予約をします。

図11 - 16 通信予約受け付けタイミング

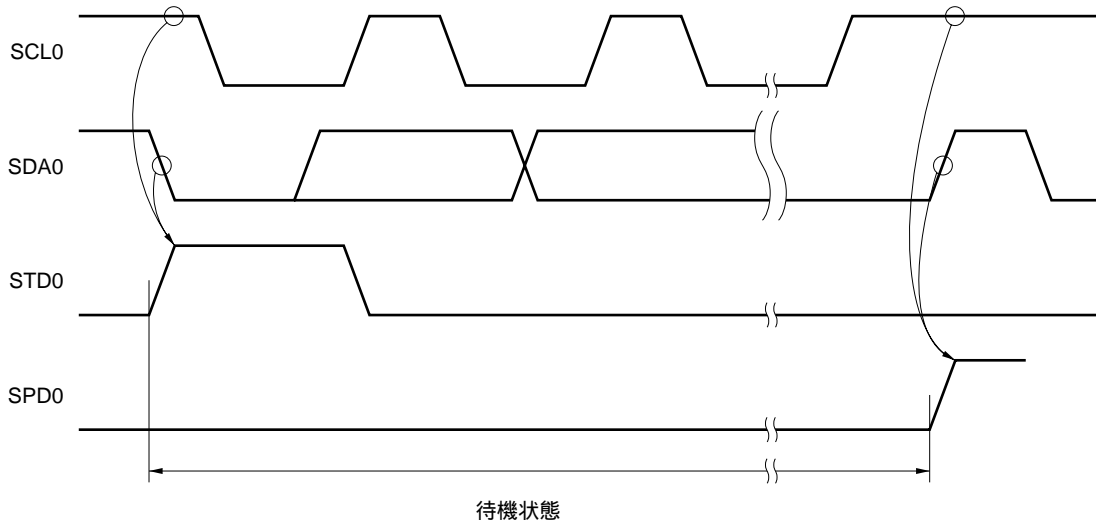
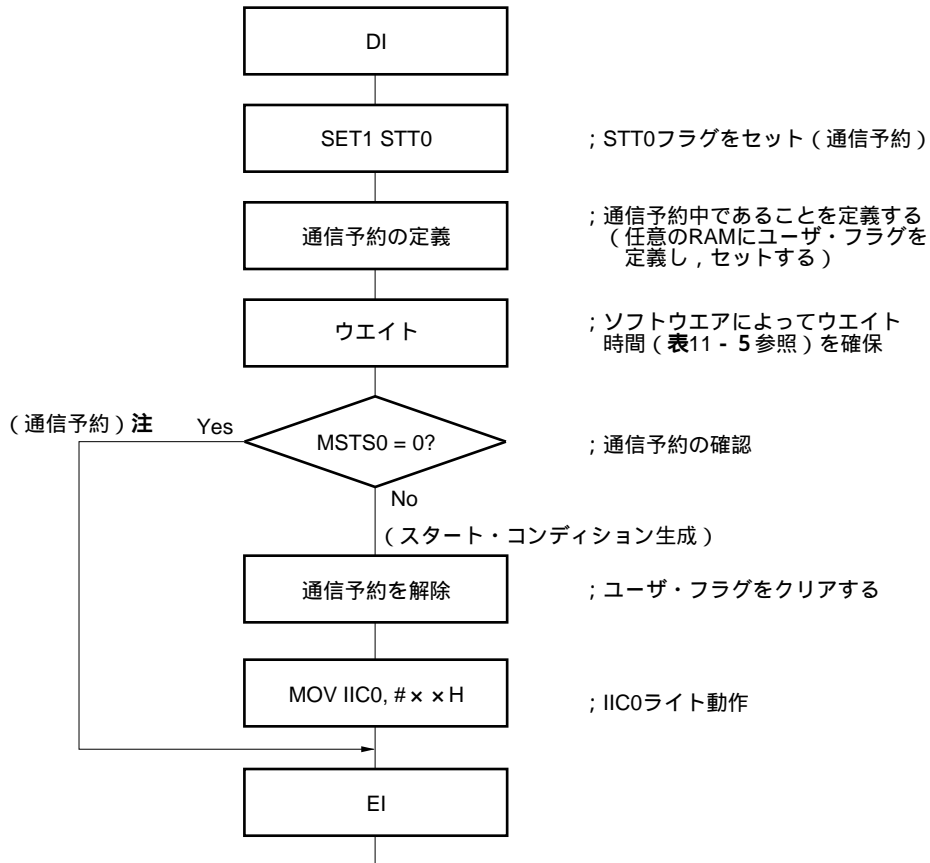


図11 - 17に通信予約の手順を示します。

図11 - 17 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込み要求でIICシフト・レジスタ0 (IIC0) への書き込みを実行します。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1  
 MSTS0 : IIC状態レジスタ0 (IICS0) のビット7  
 IIC0 : IICシフト・レジスタ0

### 11.5.15 その他の注意事項

リセット後、ストップ・コンディションを検出していない (バスが解放されていない) 状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は以下の順番で行ってください。

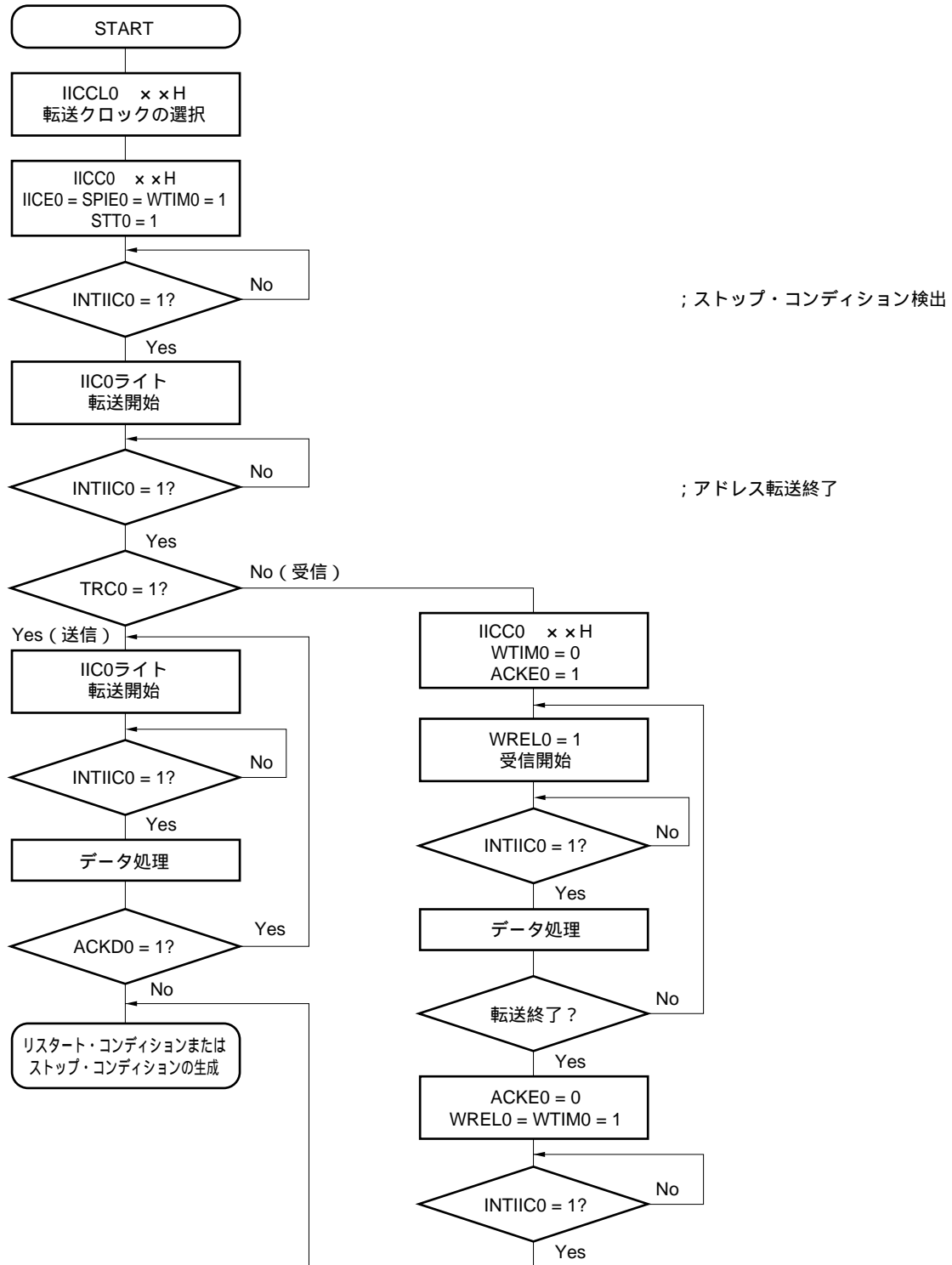
- IIC転送クロック選択レジスタ0 (IICCL0) の設定
- IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) のセット
- IICC0のビット0のセット

### 11.5.16 通信動作

#### (1) マスタ動作

マスタ動作手順の例を次に示します。

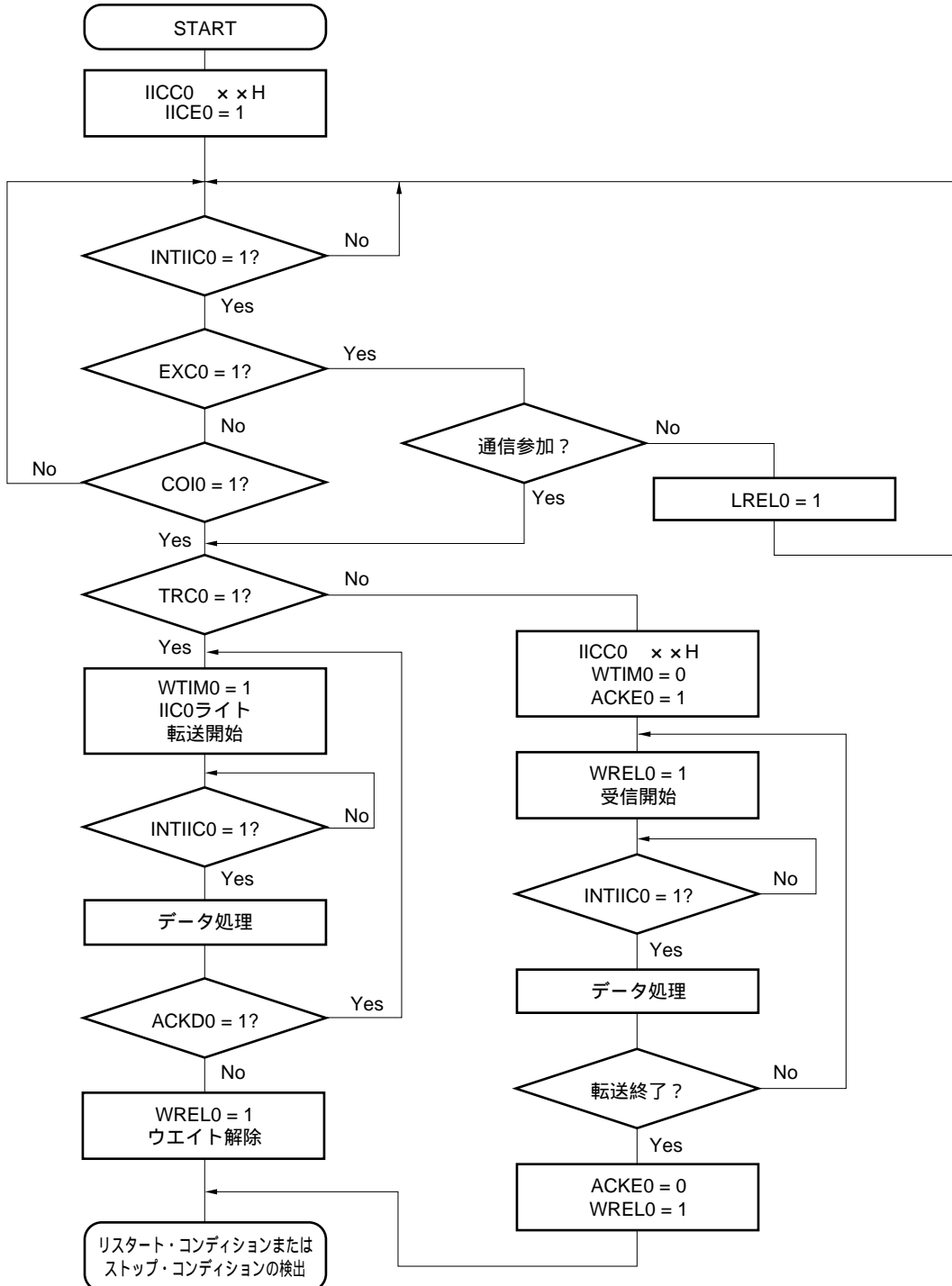
図11 - 18 マスタ動作手順



(2) スレーブ動作

スレーブ動作手順の例を次に示します。

図11-19 スレーブ動作手順



## 11.6 タイミング・チャート

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット (IIC状態レジスタ0 (IICS0) のビット3) を送信し、スレーブとのシリアル通信を開始します。

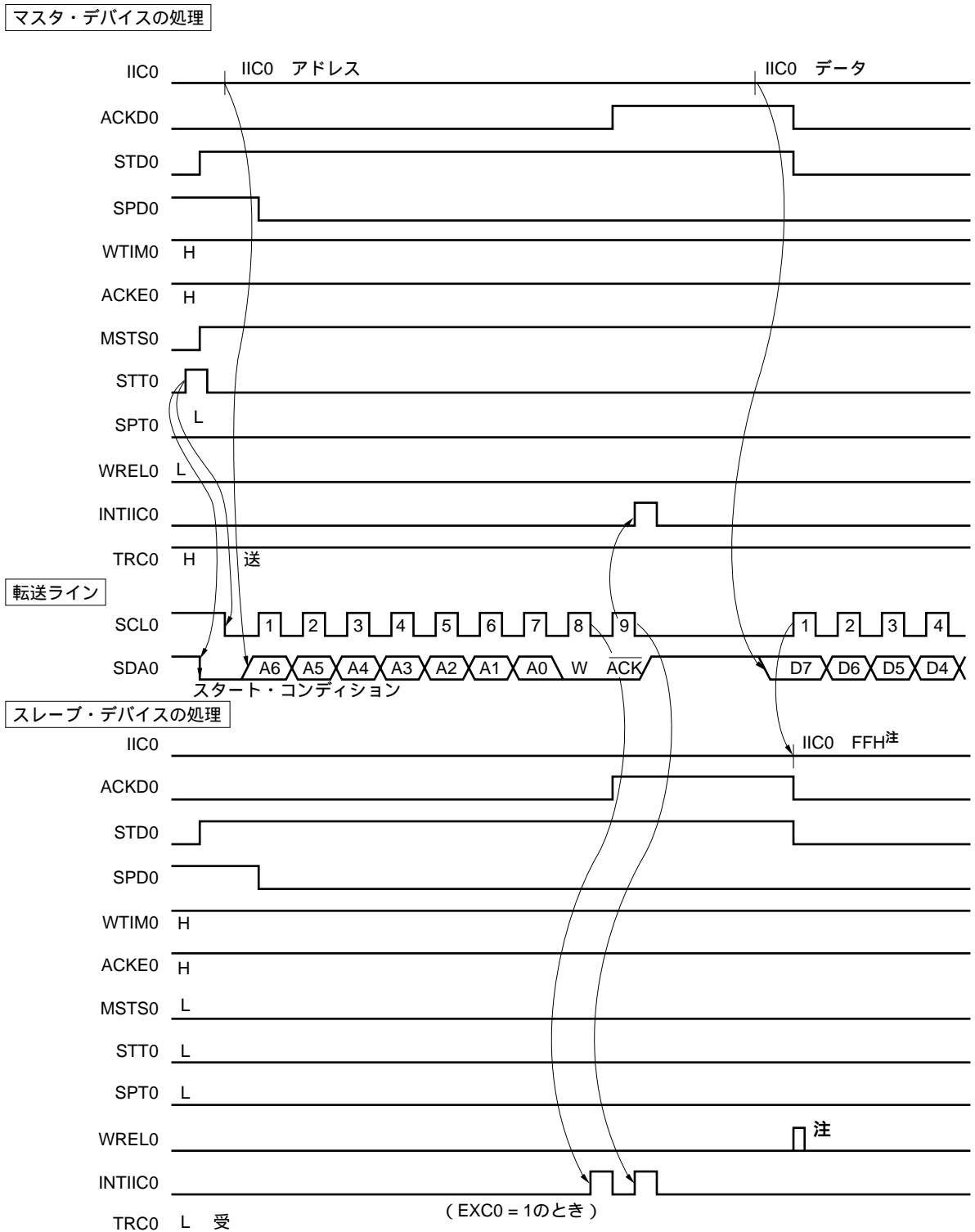
データ通信のタイミング・チャートを図11 - 20, 図11 - 21に示します。

シリアル・クロック (SCL0) の立ち下がりに同期してIICバス・シフト・レジスタ0 (IIC0) のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIIC0に取り込まれます。

図11-20 マスタ スレーブ通信例(マスタ,スレーブとも9クロック・ウエイト選択時)(1/3)

(1) スタート・コンディション~アドレス

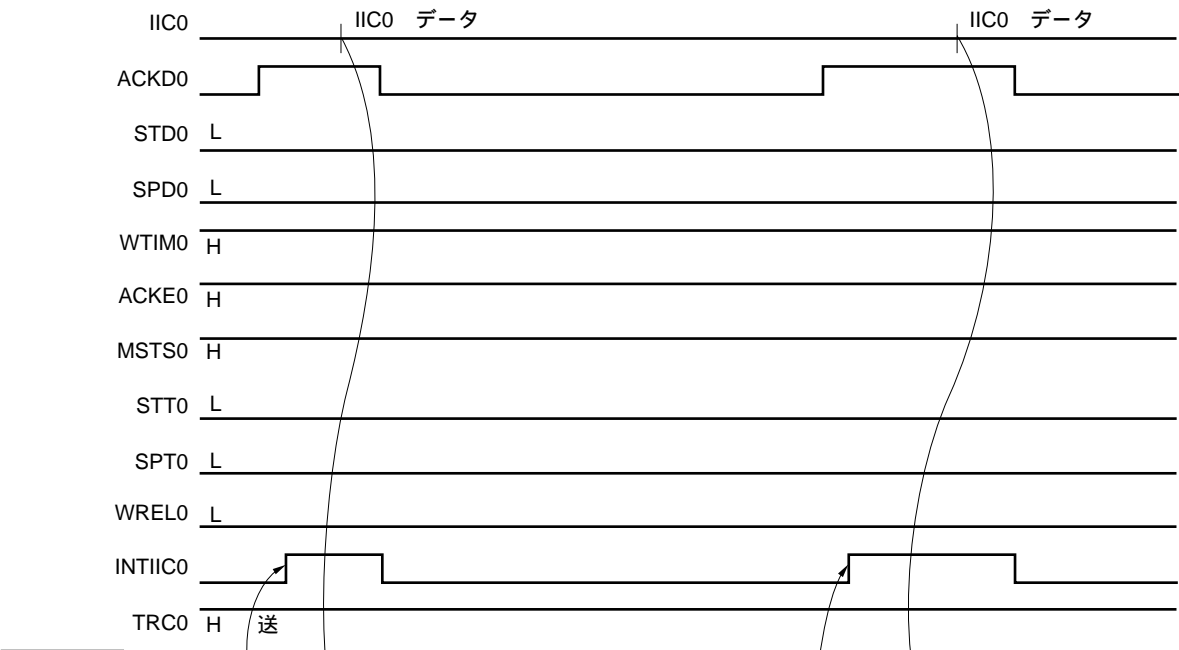


注 スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

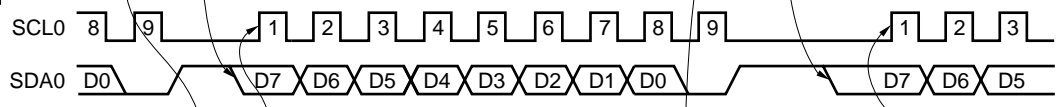
図11 - 20 マスタ スレーブ通信例 (マスタ,スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

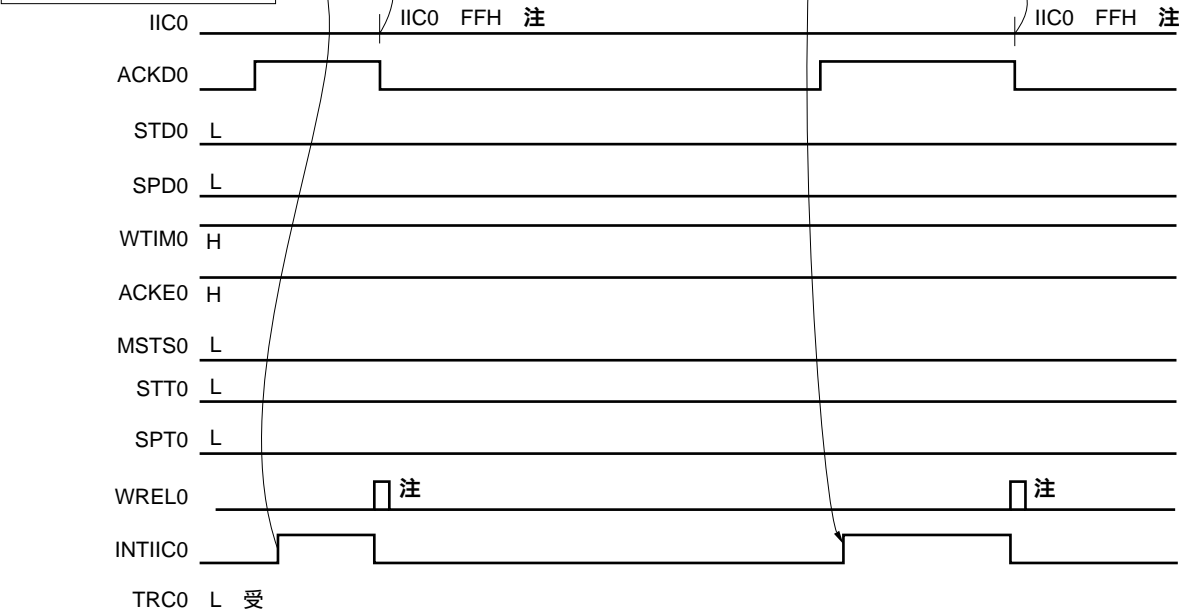
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理

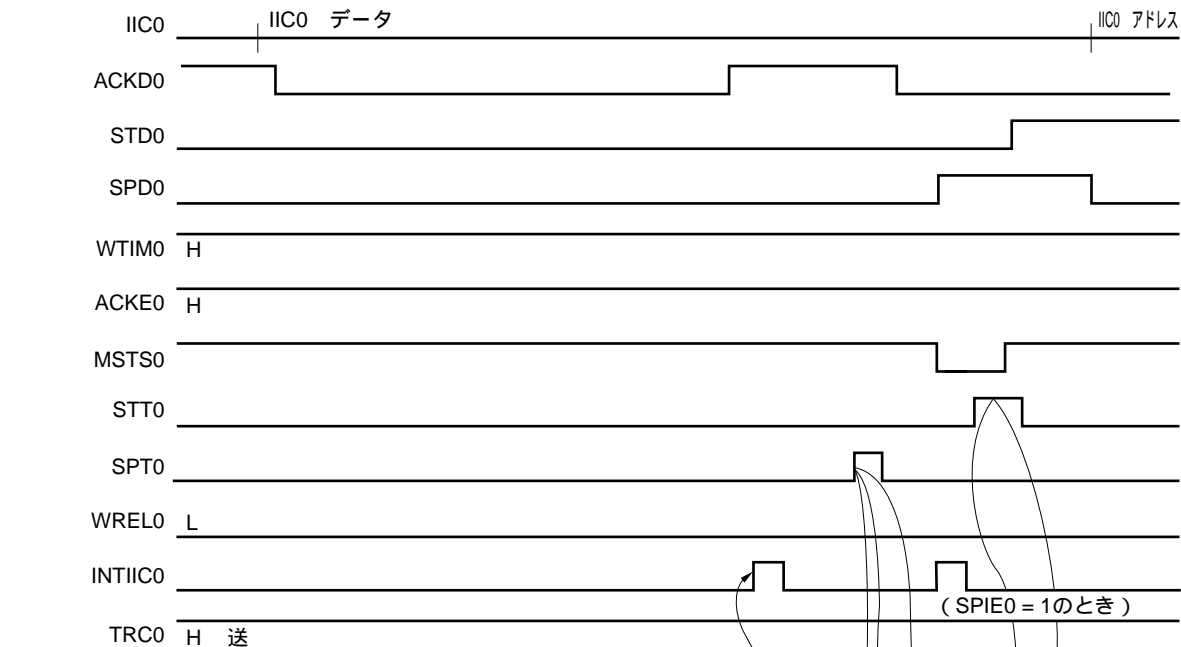


注 スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

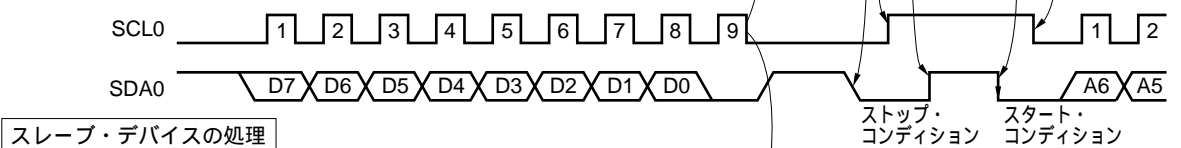
図11-20 マスタ スレーブ通信例 (マスタ,スレーブとも9クロック・ウエイト選択時) (3/3)

(3)ストップ・コンディション

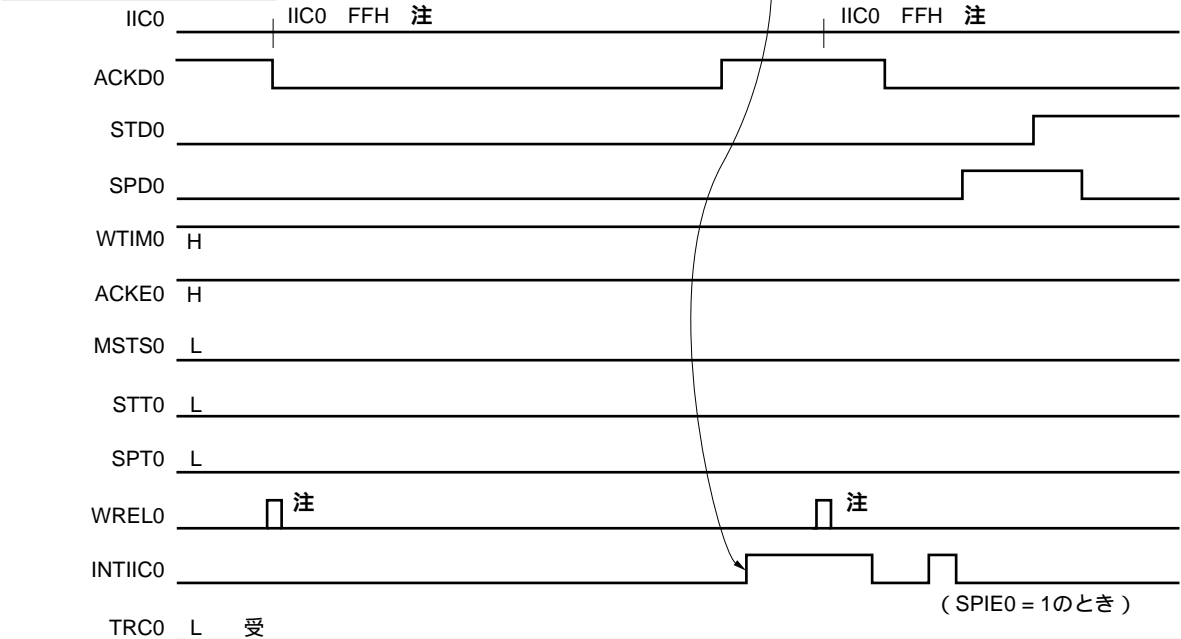
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理



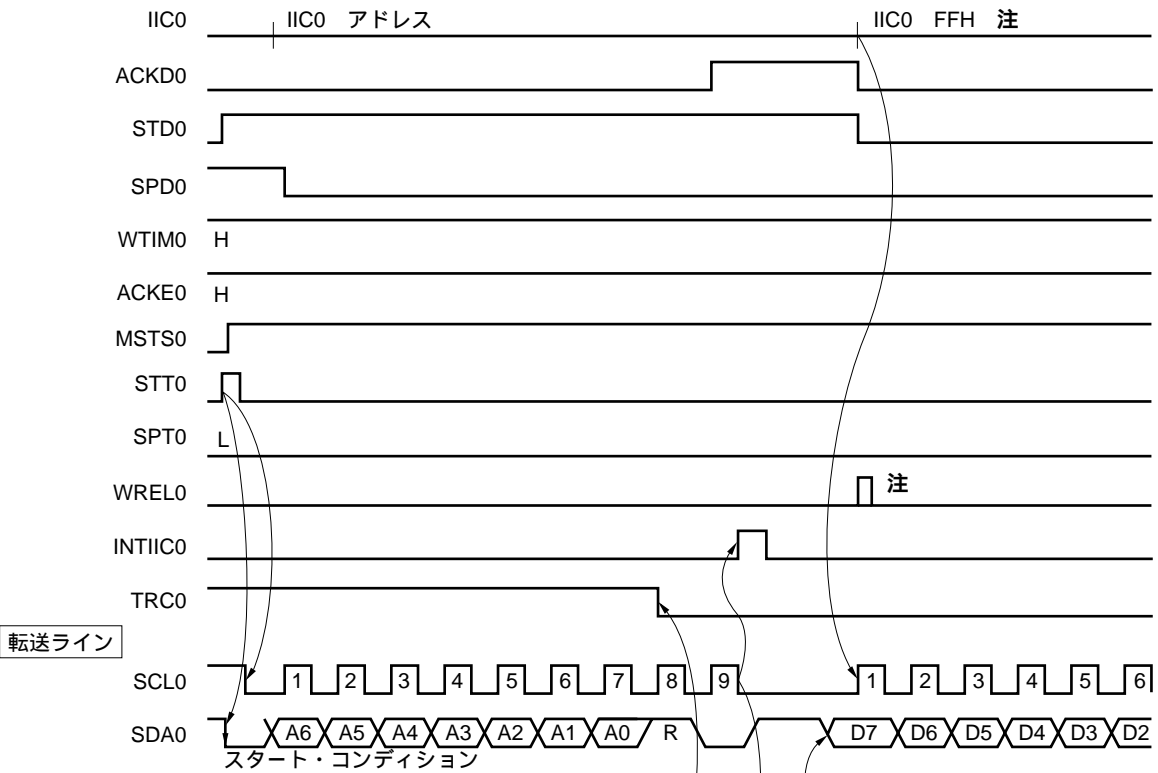
注 スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。



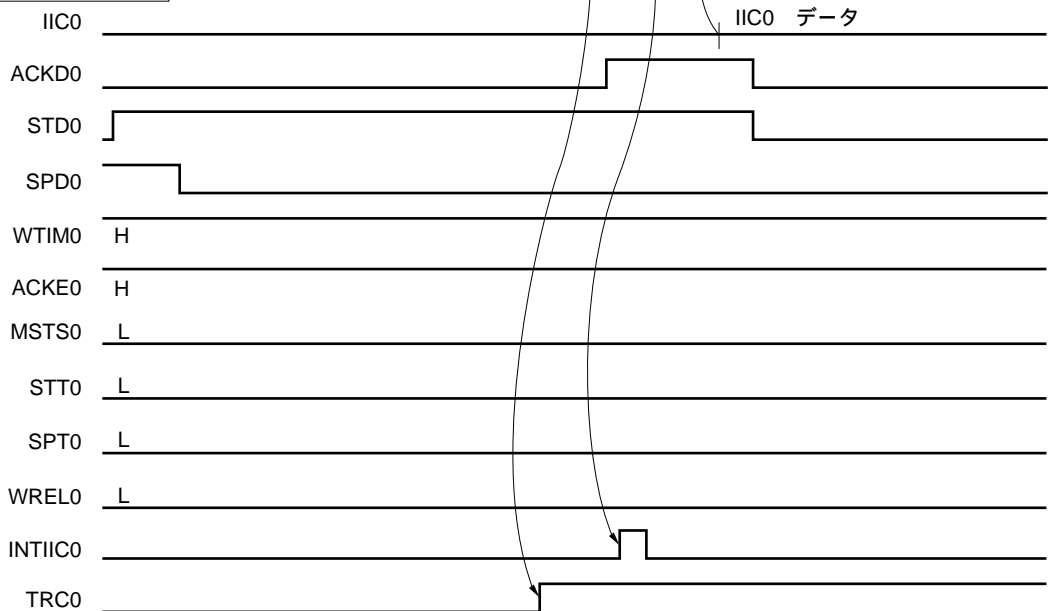
図11-21 スレーブ マスタ通信例(マスタ,スレーブとも9クロック・ウエイト選択時)(1/3)

(1) スタート・コンディション~アドレス

マスタ・デバイスの処理



スレーブ・デバイスの処理

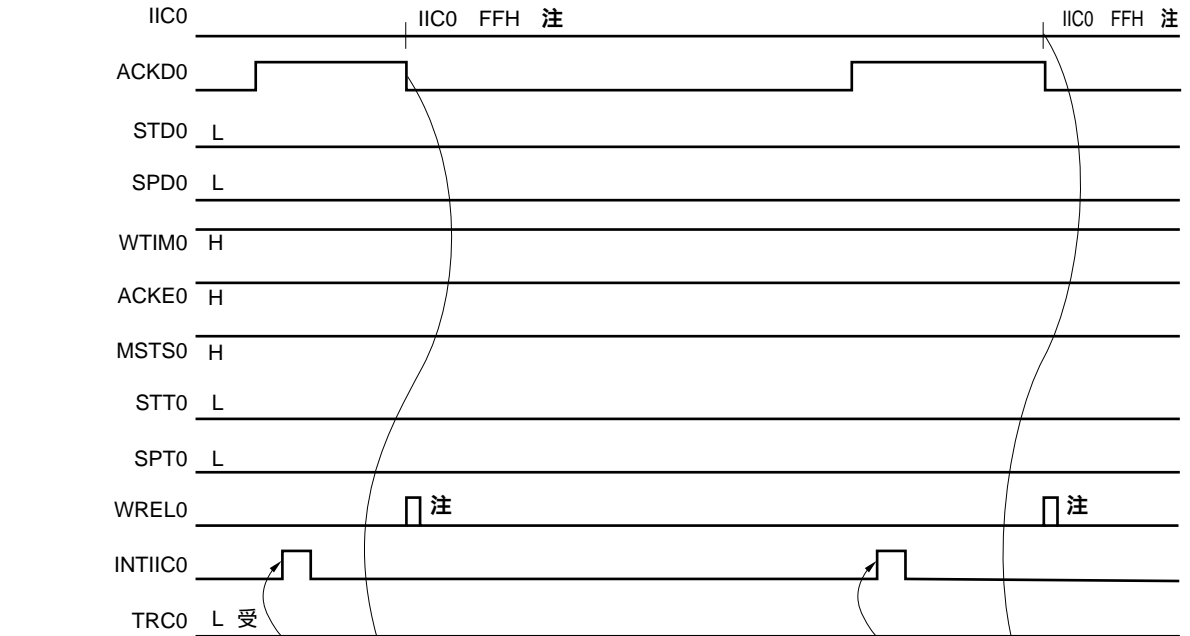


注 スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

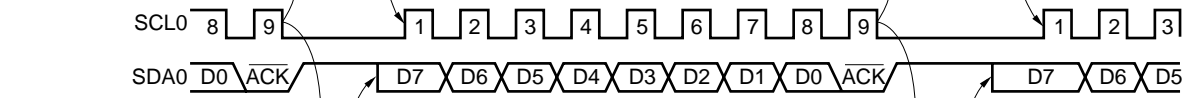
図11 - 21 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

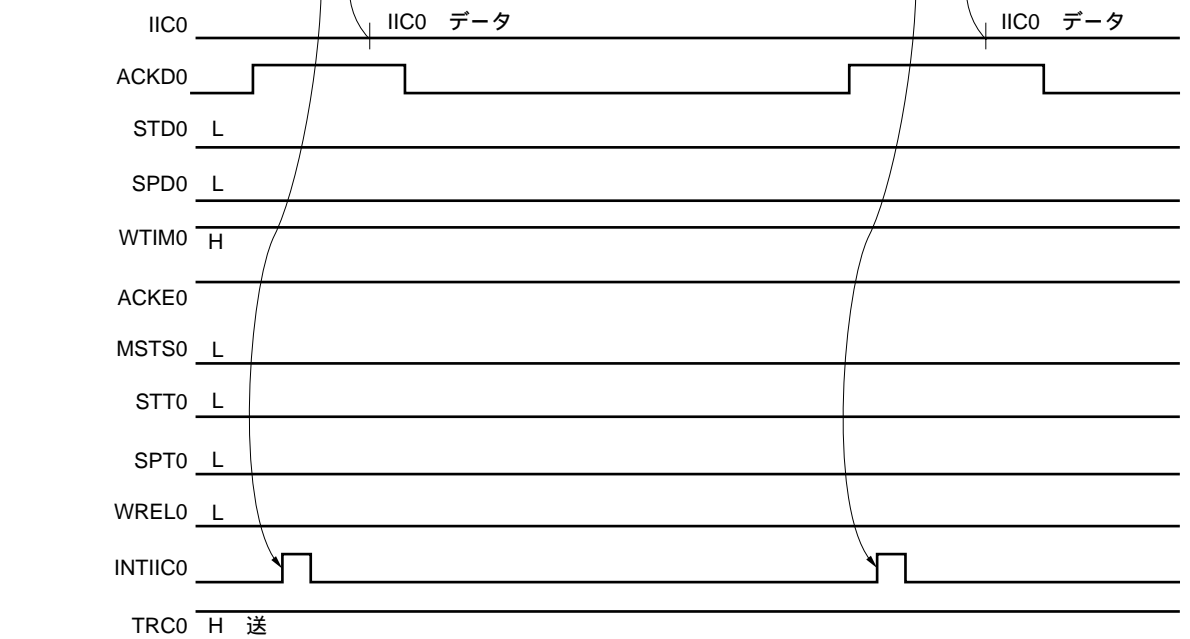
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理

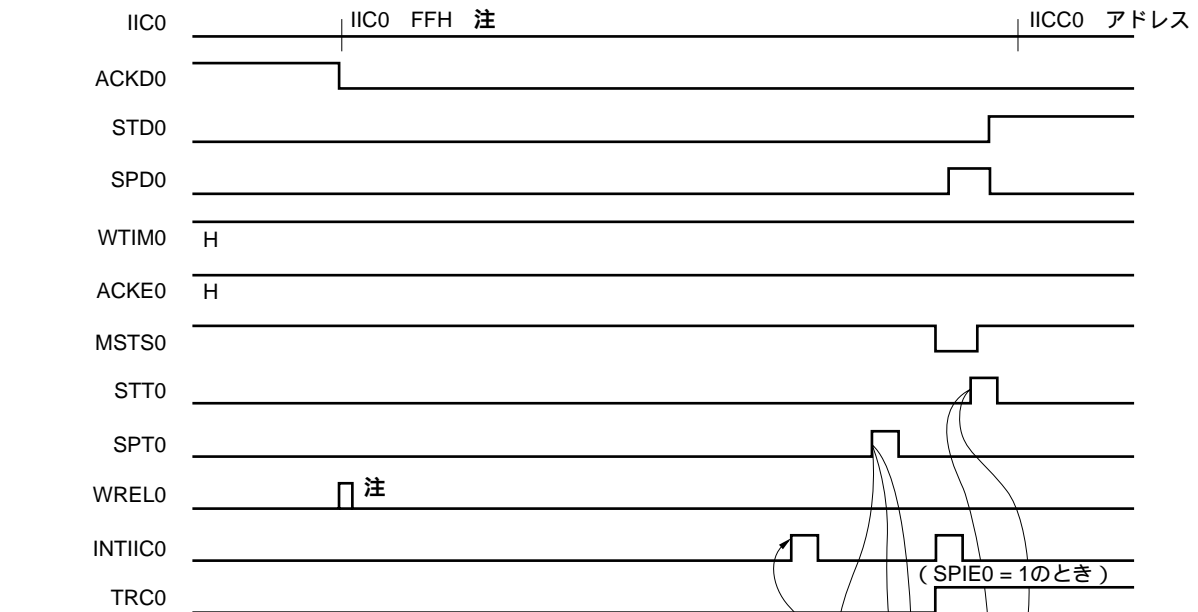


注 スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

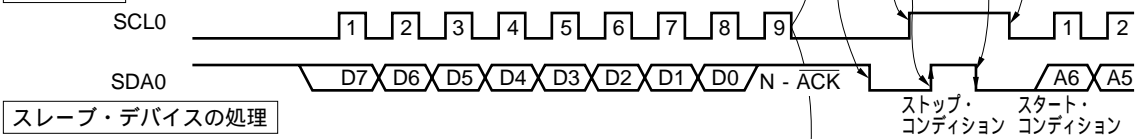
図11-21 スレーブ マスタ通信例 (マスタ,スレーブとも9クロック・ウエイト選択時) (3/3)

(3)ストップ・コンディション

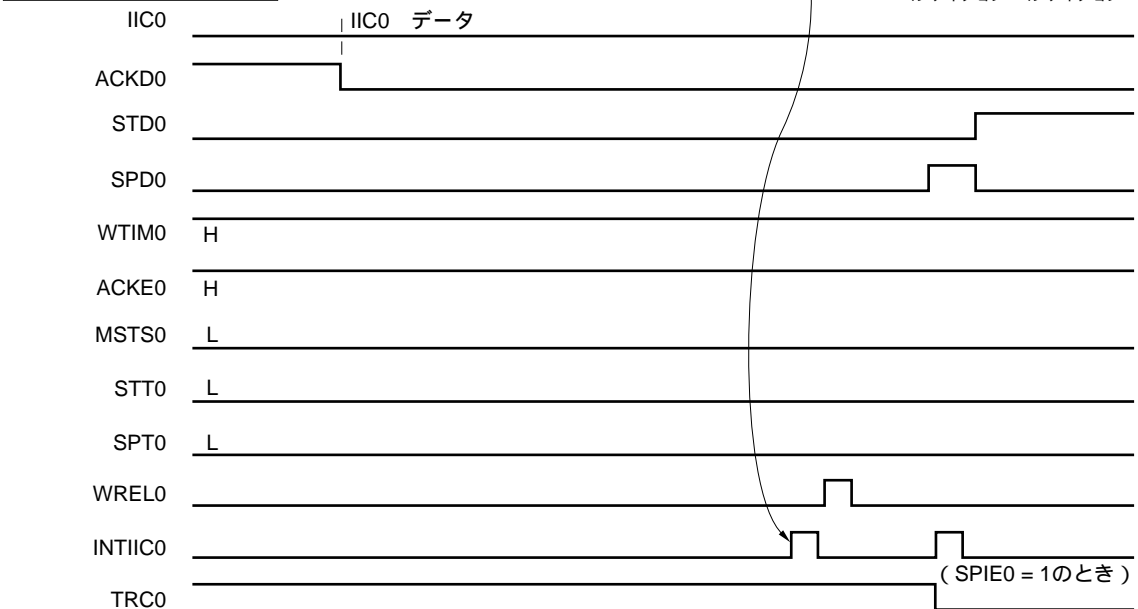
マスタ・デバイスの処理



転送ライン



スレーブ・デバイスの処理



注 スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

[メモ]

## 第12章 シリアル・インタフェース (SIO3)

### 12.1 シリアル・インタフェース (SIO3) の機能

シリアル・インタフェース (SIO3) には、次の2種類のモードがあります。

#### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については12.4.1を参照してください。

#### (2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ( $\overline{\text{SCK3}}$ )、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインにより、8ビット・データ転送を行うモードです。

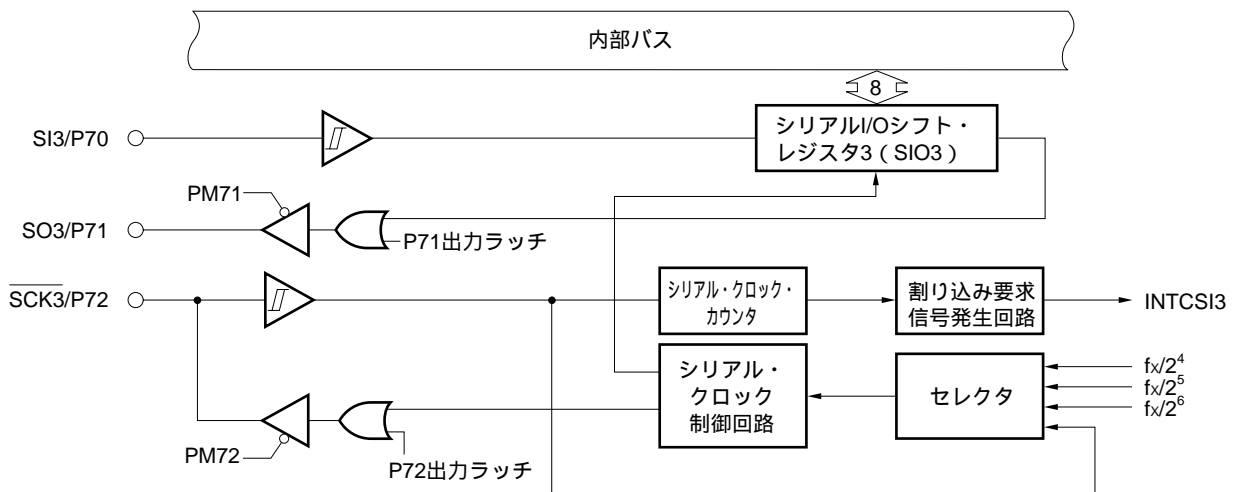
3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。詳細については12.4.2を参照してください。

図12-1に、シリアル・インタフェース (SIO3) のブロック図を示します。

図12-1 シリアル・インタフェース (SIO3) のブロック図



## 12.2 シリアル・インタフェース (SIO3) の構成

シリアル・インタフェース (SIO3) は、次のハードウェアで構成されています。

表12 - 1 シリアル・インタフェース (SIO3) の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ3 (SIO3)
制御レジスタ	シリアル動作モード・レジスタ3 (CSIM3)

### (1) シリアルI/O シフト・レジスタ3 (SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信 (シフト動作) を行う 8 ビット・レジスタです。

SIO3は、8 ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1 のとき、SIO3にデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO3に書き込まれたデータが、シリアル出力 (SO3) に出力されます。

受信時は、データがシリアル入力 (SI3) からSIO3に読み込まれます。

リセット時は、不定になります。

**注意** 転送動作中のSIO3アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE0 = 0 のときリード動作が、MODE0 = 1 のときはライト動作が禁止となります)。

## 12.3 シリアル・インタフェース (SIO3) を制御するレジスタ

シリアル・インタフェース (SIO3) を制御するレジスタには、次のものがあります。

- ・シリアル動作モード・レジスタ3 (CSIM3)

### (1) シリアル動作モード・レジスタ3 (CSIM3)

SIO3のシリアル・クロック，動作モード，動作の許可/停止を設定するレジスタです。  
CSIM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット時は，00Hになります。

図12-2 シリアル動作モード・レジスタ3 (CSIM3) のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FF6FH	00H	R/W

CSIE3	SIO3の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 <sup>注1</sup>
1	動作許可	カウンタ動作許可	シリアル機能 + ポート機能 <sup>注2</sup>

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3出力
0	送信/送受信モード	SIO3ライト	シリアル出力
1	受信専用モード	SIO3リード	ロウ・レベル固定 <sup>注3</sup>

SCL31	SCL30	クロックの選択
0	0	SCK3への外部クロック入力
0	1	$f_x/2^4$ (281 kHz)
1	0	$f_x/2^5$ (141 kHz)
1	1	$f_x/2^6$ (70.3 kHz)

- 注1 . CSIE3 = 0 (SIO3動作停止状態) のときは，SI3, SO3,  $\overline{\text{SCK3}}$ 端子は，ポート機能として使用できません。
- 2 . CSIE3 = 1 (SIO3動作許可状態) のときは，送信機能のみ使用する場合はSI3端子，受信専用モード時はSO3端子をそれぞれポート機能として使用できます。
- 3 . ポート機能 (P71) として使用できます。

注意 3線式シリアルI/Oモード時，ポート・モード・レジスタ (PM $\times$ ) を次のように設定してください。

また，出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)

P72 ( $\overline{\text{SCK3}}$ ) を出力モード (PM72 = 0) に設定

- ・シリアル・クロック入力時(スレーブ送信またはスレーブ受信)  
P72を入力モード(PM72 = 1)に設定
- ・送信/送受信モード時  
P71(SO3)を出力モード(PM71 = 0)に設定
- ・受信モード  
P70(SI3)を入力モード(PM70 = 1)に設定

- 備考 1** .  $f_x$  : システム・クロック発振周波数
- 2 . ( ) 内は,  $f_x = 4.5$  MHz動作時。



## 12.4 シリアル・インタフェース (SIO3) の動作

シリアル・インタフェース (SIO3) の持つ 2 種類のモードについて説明します。

### 12.4.1 動作停止モード

動作停止モードではシリアル転送を行いません。

また、動作停止モードでは、P70/SI3, P71/SO3, P72/ $\overline{\text{SCK3}}$ 端子を通常の入出力ポートとして使用できます。

#### (1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FF6FH	00H	R/W

CSIE3	SIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 <sup>注1</sup>
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 <sup>注2</sup>

注1 . CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3,  $\overline{\text{SCK3}}$ 端子は、ポート機能として使用できません。

注2 . CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

### 12.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ( $\overline{\text{SCK3}}$ ) , シリアル出力 (SO3) , シリアル入力 (SI3) の3本のラインで通信を行います。

#### (1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。  
CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット時は、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FF6FH	00H	R/W

CSIE3	SIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 <sup>注1</sup>
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 <sup>注2</sup>

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3出力
0	送信 / 送受信モード	SIO3ライト	シリアル出力
1	受信専用モード	SIO3リード	ロウ・レベル固定 <sup>注3</sup>

SCL31	SCL30	クロックの選択
0	0	$\overline{\text{SCK3}}$ への外部クロック入力
0	1	$f_x/2^4$ (281 kHz)
1	0	$f_x/2^5$ (141 kHz)
1	1	$f_x/2^6$ (70.3 kHz)

- 注1 . CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3,  $\overline{\text{SCK3}}$ 端子は、ポート機能として使用できません。
- 2 . CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。
- 3 . ポート機能 (P71) として使用できます。

**注意** 3線式シリアルI/Oモード時、ポート・モード・レジスタ (PMx) を次のように設定してください。

また、出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)  
P72 ( $\overline{\text{SCK3}}$ ) を出力モード (PM72 = 0) に設定
- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)  
P72を入力モード (PM72 = 1) に設定

・送信 / 送受信モード時

P71 (SO3) を出力モード (PM71 = 0) に設定

・受信モード

P70 (SI3) を入力モード (PM70 = 1) に設定

備考 1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は,  $f_x = 4.5$  MHz動作時。

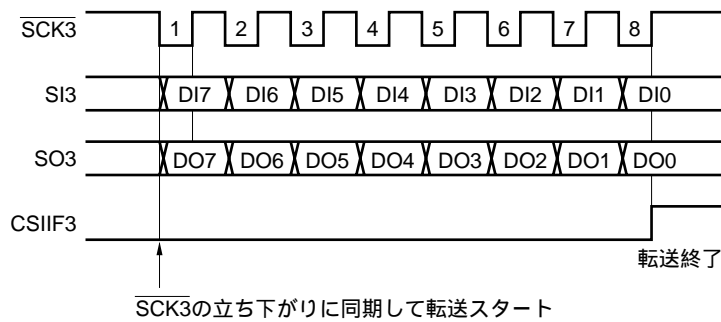
(2) 通信動作

3線式シリアル/Oモードは, 8ビット単位でデータの送受信を行います。データは, シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル/Oシフト・レジスタ3 (SIO3) のシフト動作は, シリアル・クロック ( $\overline{SCK3}$ ) の立ち下がりに同期して行われます。そして, 送信データがSO3ラッチに保持され, SO3端子から出力されます。また, シリアル・クロックの立ち上がりで, SI3端子に入力された受信データがSIO3にラッチされます。

8ビット転送終了により, SIO3の動作は自動的に停止し, 割り込み要求フラグ (CSIF3) がセットされます。

図12 - 3 3線式シリアル/Oモードのタイミング



(3) 転送スタート

シリアル転送は, 次の2つの条件を満たしたとき, シリアル/Oシフト・レジスタ3 (SIO3) に転送データをセットする (またはリードする) ことで開始します。

- ・ SIO3の動作制御ビット (シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3)) = 1
- ・ 8ビット・シリアル転送後, 内部のシリアル・クロックが停止した状態か, または $\overline{SCK3}$ がハイ・レベルの状態
- ・ 送信 / 送受信モード  
CSIM3のビット7 (CSIE3) = 1, ビット2 (MODE) = 0のとき, SIO3ライトで転送スタート
- ・ 受信専用モード  
CSIM3のビット7 (CSIE3) = 1, ビット2 (MODE) = 1のとき, SIO3のリードで転送スタート

**注意** SIO3にデータを書き込んだあと, CSIE3を“1”にしても転送はスタートしません。

8ビット転送終了により, シリアル転送は自動的に停止し, 割り込み要求フラグ (CSIF3) がセットされます。

[メモ]

# 第13章 シリアル・インタフェース (UART0)

## 13.1 シリアル・インタフェース (UART0) の機能

シリアル・インタフェース (UART0) には、次の2種類のモードがあります。

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。

詳細については13.4.1を参照してください。

### (2) アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

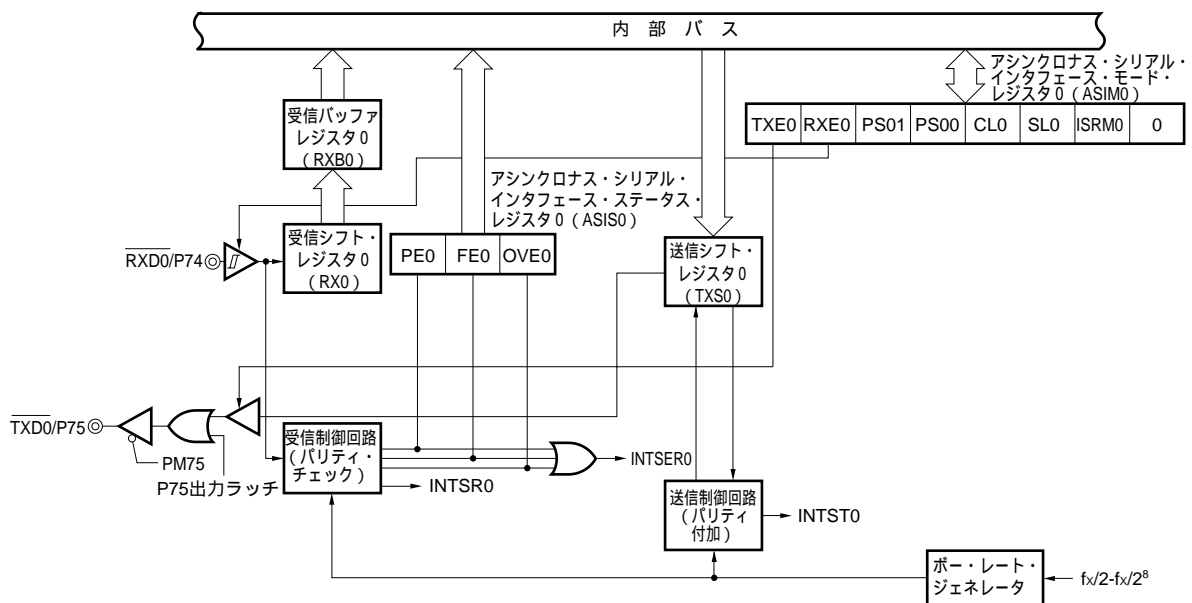
UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

詳細については13.4.2を参照してください。

図13-1に、シリアル・インタフェース (UART0) のブロック図を示します。

図13-1 シリアル・インタフェース (UART0) のブロック図



## 13.2 シリアル・インタフェース (UART0) の構成

シリアル・インタフェース (UART0) は、次のハードウェアで構成されています。

表13 - 1 シリアル・インタフェース (UART0) の構成

項 目	構 成
レジスタ	送信シフト・レジスタ 0 (TXS0) 受信シフト・レジスタ 0 (RX0) 受信バッファ・レジスタ 0 (RXB0)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0) ボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0)

### (1) 送信シフト・レジスタ 0 (TXS0)

送信データを設定するレジスタです。TXS0に書き込まれたデータをシリアル・データとして送信します。

データ長を 7 ビットに指定した場合、TXS0に書き込んだデータのビット 0-6 が送信データとして転送されます。TXS0にデータを書き込むことにより、送信動作を開始します。

TXS0は、8 ビット・メモリ操作命令で書き込みます。読み出しはできません。

リセット時は、FFHになります。

**注意** 送信動作中は、TXS0への書き込みを行わないでください。

TXS0と受信バッファ・レジスタ 0 (RXB0) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB0の値が読み出されます。

### (2) 受信シフト・レジスタ 0 (RX0)

RXD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1 バイト分のデータを受信すると、受信データを受信バッファ・レジスタ 0 (RXB0) へ転送します。

RX0はプログラムで直接操作できません。

**(3) 受信バッファ・レジスタ0 (RXB0)**

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ0 (RX0) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

RXB0は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット時は、FFHになります。

**注意** RXB0と送信シフト・レジスタ0 (TXS0) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS0に値が書き込まれます。

**(4) 送信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、送信シフト・レジスタ0 (TXS0) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

**(5) 受信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) にセットします。

### 13.3 シリアル・インタフェース (UART0) を制御するレジスタ

シリアル・インタフェース (UART0) は、次の3種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

#### (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

シリアル・インタフェース (UART0) のシリアル転送動作を制御する8ビットのレジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図13 - 2 にASIM0のフォーマットを示します。



図13 - 2 アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)のフォーマット

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0 <sup>注</sup>	FF5AH	00H	R/W

TXE0	RXE0	動作モード	RXD0/P74端子の機能	TXD0/P75端子の機能
0	0	動作停止	ポート機能 (P74)	ポート機能 (P75)
0	1	UARTモード (受信のみ)	シリアル機能 ( $\overline{\text{RXD0}}$ )	シリアル機能 ( $\overline{\text{TXD0}}$ )
1	0	UARTモード (送信のみ)	ポート機能 (P74)	
1	1	UARTモード (送受信)	シリアル機能 ( $\overline{\text{RXD0}}$ )	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL0	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注 ASIM0のビット0には“0”を必ず設定してください。

注意1 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

2 UARTモード時, ポート・モード・レジスタ (PM $\times\times$ )を次のように設定してください。

また出力ラッチはそれぞれ0に設定してください。

・受信時

P74 ( $\overline{\text{RXD0}}$ )を入力モード (PM74 = 1) に設定

・送信時

P75 ( $\overline{\text{TXD0}}$ )を出力モード (PM75 = 0) に設定

・送受信時

P74を入力モード, P75を出力モードにそれぞれ設定

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

UARTモードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS0は、8ビット・メモリ操作命令で読み出します。

リセット時は、00Hになります。

図13 - 3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS0	0	0	0	0	0	PE0	FE0	OVE0	FF5BH	00H	R

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 <sup>注1</sup> (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 <sup>注2</sup> (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1 . アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2 . オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。

RXB0を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図13 - 4 にBRGC0のフォーマットを示します。

図13 - 4 ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00	FF5CH	00H	R/W

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	$f_x/2$ ( 2.25 MHz )	1
0	0	1	$f_x/2^2$ ( 1.13 MHz )	2
0	1	0	$f_x/2^3$ ( 563 kHz )	3
0	1	1	$f_x/2^4$ ( 281 kHz )	4
1	0	0	$f_x/2^5$ ( 141 kHz )	5
1	0	1	$f_x/2^6$ ( 70.3 kHz )	6
1	1	0	$f_x/2^7$ ( 35.2 kHz )	7
1	1	1	$f_x/2^8$ ( 17.6 kHz )	8

MDL03	MDL02	MDL01	MDL00	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	-

**注意** 通信動作中にBRGC0への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

**備考**  $f_{sck}$  : 5ビット・カウンタのソース・クロック  
 n : TPS00-TPS02で設定した値 ( 1 n 8 )  
 k : MDL00-MDL03で設定した値 ( 0 k 14 )  
 ( ) 内は、 $f_x = 4.5$  MHz動作時

## 13.4 シリアル・インタフェース (UART0) の動作

シリアル・インタフェース (UART0) の持つ2種類のモードについて説明します。

### 13.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。

また、動作停止モードでは、端子を通常のポートとして使用できます。

#### (1) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0 <sup>注</sup>	FF5AH	00H	R/W

TXE0	RXE0	動作モード	RXD0/P74端子の機能	TXD0/P75端子の機能
0	0	動作停止	ポート機能 (P74)	ポート機能 (P75)
0	1	UARTモード (受信のみ)	シリアル機能 (RXD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P74)	シリアル機能 (TXD0)
1	1	UARTモード (送受信)	シリアル機能 (RXD0)	

**注** ASIM0のビット0には“0”を必ず設定してください。

**注意** 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

### 13.4.2 アシクロナス・シリアル・インタフェース(UART)モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート(31.25 kbps)を使用することもできます。

#### (1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)で行います。

##### (a) アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	0注	FF5AH	00H	R/W

TXE0	RXE0	動作モード	RXD0/P74端子の機能	TXD0/P75端子の機能
0	0	動作停止	ポート機能 (P74)	ポート機能 (P75)
0	1	UARTモード (受信のみ)	シリアル機能 (RXD0)	
1	0	UARTモード (送信のみ)	ポート機能 (P74)	シリアル機能 (TXD0)
1	1	UARTモード (送受信)	シリアル機能 (RXD0)	

PS01	PS00	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL0	キャラクタ長の指定
0	7ビット
1	8ビット

SL0	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM0	エラー発生時の受信完了割り込み制御
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注 ASIM0のビット0には“0”を必ず設定してください。

注意1 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

2 UARTモード時, ポート・モード・レジスタ (PM<sub>x</sub>) を次のように設定してください。

また出力ラッチはそれぞれ0に設定してください。

・受信時

P74 (RXD0) を入力モード (PM74 = 1) に設定

・送信時

P75 (TXD0) を出力モード (PM75 = 0) に設定

・送受信時

P74を入力モード, P75を出力モードにそれぞれ設定

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0は、8ビット・メモリ操作命令で読み出します。

リセット時は、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS0	0	0	0	0	0	PE0	FE0	OVE0	FF5BH	00H	R

PE0	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE0	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 <sup>注1</sup> (ストップ・ビットが検出されないとき)

OVE0	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 <sup>注2</sup> (受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次の受信動作が完了したとき)

注1．アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット2 (SL0) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2．オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。

RXB0を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(c) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0は、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC0	0	TPS02	TPS01	TPS00	MDL03	MDL02	MDL01	MDL00	FF5CH	00H	R/W

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	n
0	0	0	$f_x/2$ (2.25 MHz)	1
0	0	1	$f_x/2^2$ (1.13 MHz)	2
0	1	0	$f_x/2^3$ (563 kHz)	3
0	1	1	$f_x/2^4$ (281 kHz)	4
1	0	0	$f_x/2^5$ (141 kHz)	5
1	0	1	$f_x/2^6$ (70.3 kHz)	6
1	1	0	$f_x/2^7$ (35.2 kHz)	7
1	1	1	$f_x/2^8$ (17.6 kHz)	8

MDL03	MDL02	MDL01	MDL00	ポー・レート・ジェネレータの入力クロックの選択	k
0	0	0	0	$f_{sck}/16$	0
0	0	0	1	$f_{sck}/17$	1
0	0	1	0	$f_{sck}/18$	2
0	0	1	1	$f_{sck}/19$	3
0	1	0	0	$f_{sck}/20$	4
0	1	0	1	$f_{sck}/21$	5
0	1	1	0	$f_{sck}/22$	6
0	1	1	1	$f_{sck}/23$	7
1	0	0	0	$f_{sck}/24$	8
1	0	0	1	$f_{sck}/25$	9
1	0	1	0	$f_{sck}/26$	10
1	0	1	1	$f_{sck}/27$	11
1	1	0	0	$f_{sck}/28$	12
1	1	0	1	$f_{sck}/29$	13
1	1	1	0	$f_{sck}/30$	14
1	1	1	1	設定禁止	-

**注意** 通信動作中にBRGC0への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。

**備考1**  $f_{sck}$  : 5ビット・カウンタのソース・クロック

n : TPS00-TPS02で設定した値 (1 n 8)

k : MDL00-MDL03で設定した値 (0 k 14)

2 . ( ) 内は、 $f_x = 4.5$  MHz動作時



生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号になります。

・システム・クロックによるボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1}(k+16)} [\text{bps}]$$

$f_x$  : システム・クロック発振周波数

$n$  : TPS00-TPS02で設定した値 (1  $n$  8)

詳細は表13 - 2を参照してください。

$k$  : MDL00-MDL03で設定した値 (0  $k$  14)

BRGC0のビット4-6 (TPS00-TPS02) に割り当てた5ビット・カウンタのソース・クロックと $n$ の値との関係を表13 - 2に示します。

表13 - 2 5ビット・カウンタのソース・クロックと $n$ の値との関係

TPS02	TPS01	TPS00	5ビット・カウンタのソース・クロック選択	$n$
0	0	0	$f_x/2$	1
0	0	1	$f_x/2^2$	2
0	1	0	$f_x/2^3$	3
0	1	1	$f_x/2^4$	4
1	0	0	$f_x/2^5$	5
1	0	1	$f_x/2^6$	6
1	1	0	$f_x/2^7$	7
1	1	1	$f_x/2^8$	8

備考  $f_x$  : システム・クロック発振周波数

・ボー・レートの許容誤差範囲

ボー・レートの許容範囲は，1フレームのビット数，およびカウンタの分周比  $[ 1 / ( 16 + k ) ]$  に依存します。

表13 - 3 にシステム・クロックとボー・レートとの関係を，図13 - 5 にボー・レートの許容誤差の例を示します。

表13 - 3 システム・クロックとボー・レートの関係

ボー・レート [ bps ]	$f_x = 4.5 \text{ MHz}$ 時	
	BRGC0	誤差 ( % )
300	7DH	1.02
600	6DH	1.02
1200	5DH	1.02
2400	4DH	1.02
4800	3DH	1.02
9600	2DH	1.02
19200	1DH	1.02
31250	12H	0.0
38400	0DH	1.02

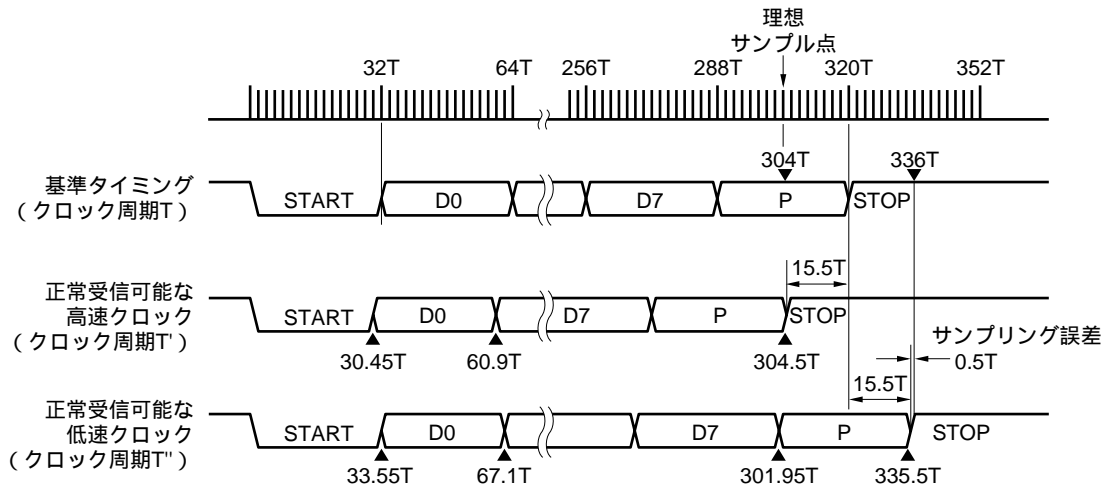
備考 ボー・レート =  $f_x / \{ 2^{n+1} \times ( k + 16 ) \}$

$f_x$  : システム・クロック発振周波数

$n$  : TPS00-TPS02で設定した値 ( 1  $n$  8 )

$k$  : MDL00-MDL03で設定した値 ( 0  $k$  14 )

図13 - 5 サンプリング誤差を考慮したボー・レートの許容誤差 (  $k = 0$  の場合 )



備考 T : 5 ビット・カウンタのソース・クロック周期

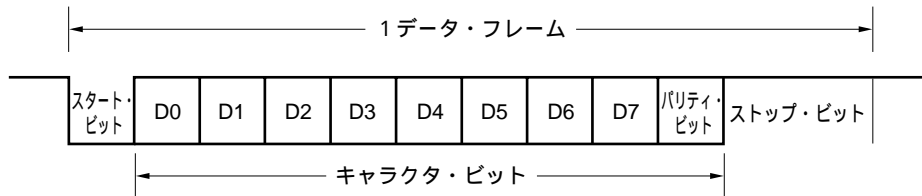
$$\text{ボー・レート許容誤差 ( } k = 0 \text{ の場合 )} = \frac{\pm 15.5}{320} \times 100 = 4.8438 \text{ ( \% )}$$

## (2) 通信動作

## (a) データ・フォーマット

送受信データのフォーマットを図13 - 6 に示します。

図13 - 6 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1 データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット..... 1 ビット
- ・キャラクタ・ビット... 7 ビット / 8 ビット
- ・パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0 パリティ / パリティなし
- ・ストップ・ビット..... 1 ビット / 2 ビット

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ 0 (ASIM0) によって行います。

キャラクタ・ビットとして 7 ビットを選択した場合、下位 7 ビット (ビット 0-ビット 6) のみが有効となり、送信の場合は最上位ビット (ビット 7) は無視され、受信の場合は必ず最上位ビット (ビット 7) は " 0 " になります。

シリアル転送レートの設定は、ASIM0 とボー・レート・ジェネレータ・コントロール・レジスタ 0 (BRGC0) によって行います。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ 0 (ASIS0) に状態を読むことによって受信エラーの内容を判定できます。

## (b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは、1 ビット (奇数個) の誤りを検出できます。0 パリティとパリティなしとは、誤りを検出できません。

**( i ) 偶数パリティ**

## ・送信時

パリティ・ビットを含めた送信データ中の、値が“ 1 ”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“ 1 ”のビットの数が奇数個： 1

送信データ中に、値が“ 1 ”のビットの数が偶数個： 0

## ・受信時

パリティ・ビットを含めた受信データ中の、値が“ 1 ”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

**( ii ) 奇数パリティ**

## ・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“ 1 ”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“ 1 ”のビットの数が奇数個： 0

送信データ中に、値が“ 1 ”のビットの数が偶数個： 1

## ・受信時

パリティ・ビットを含めた受信データ中の、値が“ 1 ”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**( iii ) 0パリティ**

送信時には、送信データによらずパリティ・ビットを“ 0 ”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“ 0 ”でも“ 1 ”でもパリティ・エラーを発生しません。

**( iv ) パリティなし**

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

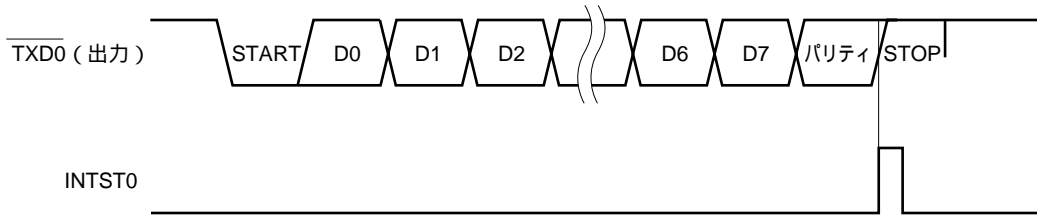
送信シフト・レジスタ0 (TXS0) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS0内のデータがシフト・アウトされTXS0が空になると, 送信完了割り込み要求 (INTST0) が発生します。

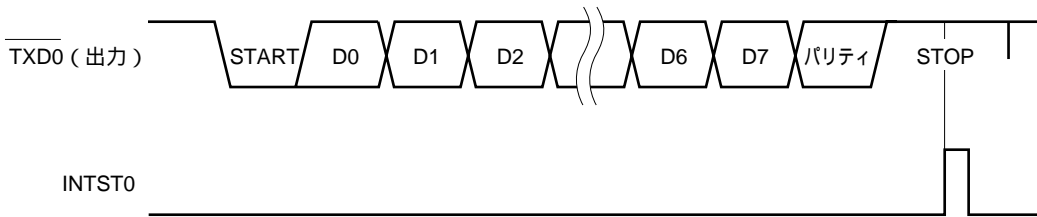
送信完了割り込みのタイミングを図13 - 7 に示します。

図13 - 7 アシクロナス・シリアル・インタフェース送信完了割り込み要求発生タイミング

(i) ストップ・ビット長 : 1



(ii) ストップ・ビット長 : 2



**注意** 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) を書き換えしないでください。送信中にASIM0レジスタを書き換えると, それ以降の送信動作ができなくなる場合があります (リセットにより, 正常になります)。

送信中かどうかは, 送信完了割り込み要求 (INTST0) またはINTST0によってセットされる割り込み要求フラグ (STIF0) を用いて, ソフトウェアにより判断できます。

## (d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット6 (RXE0) がセット (1) されると許可状態となり、 $\overline{\text{RXD0}}$ 端子入力のサンプリングを行います。

$\overline{\text{RXD0}}$ 端子入力のサンプリングは、ASIM0で指定したシリアル・クロックで行います。

$\overline{\text{RXD0}}$ 端子入力がロウ・レベルになると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、設定したポー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度 $\overline{\text{RXD0}}$ 端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ0 (RXB0) に転送し、受信完了割り込み要求 (INTSR0) を発生します。

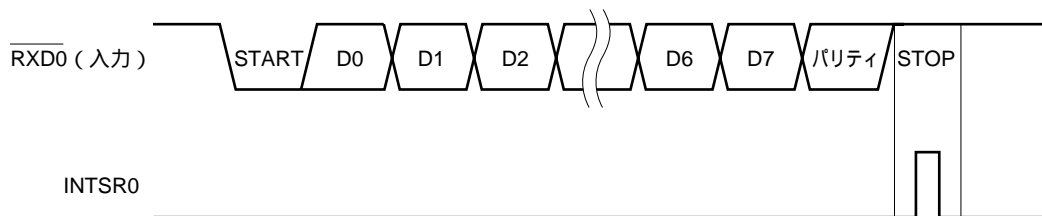
また、エラーが発生しても、RXB0にエラーの発生した受信データを転送します。エラー発生時、ASIM0のビット1 (ISRM0) がクリア (0) されている場合は、INTSR0を発生します (図13-9参照)。

ISRM0ビットがセット (1) されている場合は、INTSR0は発生しません。

なお、受信動作中にRXE0ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB0およびASIS0の内容は変化せず、また、INTSR0, INTSER0も発生しません。

図13-8にアシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミングを示します。

図13-8 アシンクロナス・シリアル・インタフェース受信完了割り込み要求発生タイミング



**注意** 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み要求 (INTSER0) を発生します。受信エラー割り込みは、受信完了割り込み要求 (INTSR0) より先に発生します。受信エラー要因を表13 - 4 に示します。

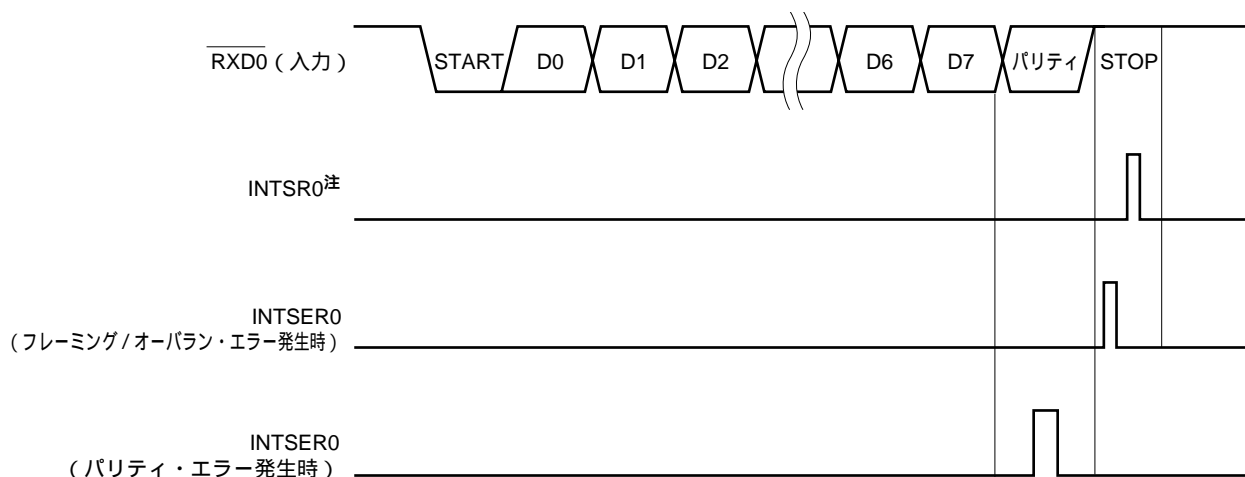
受信エラー割り込み処理 (INTSER0) 内でASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表13 - 4, 図13 - 9 参照)。

ASIS0の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表13 - 4 受信エラーの要因

受信エラー	要 因	ASIS0の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタ0 からデータを読み出す前に次のデータ受信完了	01H

図13 - 9 受信エラー・タイミング



注 ISRM0ビットがセット (1) されている場合に受信エラーが発生したときは、INTSR0は発生しません。

注意1 . アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB0を読み出す前にASIS0を読み出してください。

2 . 受信エラー発生時にもRXB0は必ず読み出してください。RXB0を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

[メモ]



# 第14章 割り込み機能

## 14.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

### (1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みを1本内蔵しています。

### (2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループにわけることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表14-1参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、各製品ごとに次のように内蔵しています。

- ★ ・ μ PD178022, 178023, 178024, 178F124 内部：11本，外部：5本

### (3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

## 14.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、

- ★ μ PD178022, 178023, 178024, 178F124は合計17本内蔵しています(表14-1参照)。

**備考** ウォッチドッグ・タイマの割り込み要因(INTWDT)には、ノンマスカブル割り込みとマスカブル割り込み(内部)の2種類があり、どちらか1種類のみ選択できます。

★

表14 - 1 割り込み要因一覧

割り込み タイプ	デフォルト・ プライオリティ <sup>注1</sup>	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ <sup>注2</sup>
		名 称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー(イン ターバル・タイマ・モード選択時)			
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTKY	ポート4のキー入力検出	内部	0010H	(B)
	7	INTIIC0	シリアル・インタフェースIIC0の転送終了		0012H	
	8	INTBTM0	ベーシック・タイマの一致信号発生		0014H	
	9	INTAD3	A/Dコンバータの変換終了		0016H	
	10	-	-		-	
	11	INTCSI3	シリアル・インタフェースSIO3の転送終了	内部	001AH	(B)
	12	INTTM50	8ビット・タイマ/イベント・カウンタ50の一 致信号発生		001CH	
	13	INTTM51	8ビット・タイマ/イベント・カウンタ51の一 致信号発生		001EH	
	14	INTSER0	シリアル・インタフェースUART0の受信エ ラー		0020H	
	15	INTSR0	シリアル・インタフェースUART0の受信終了		0022H	
	16	INTST0	シリアル・インタフェースUART0の送信終了		0024H	
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(D)

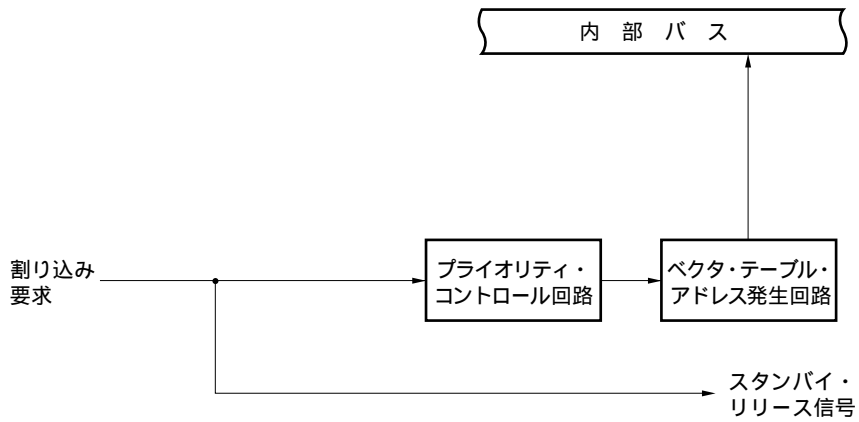
注1 . デフォルト・プライオリティは複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高，16が最低順位です。

2 . 基本構成タイプ(A)(D)はそれぞれ図14 - 1の(A)(D)に対応しています。

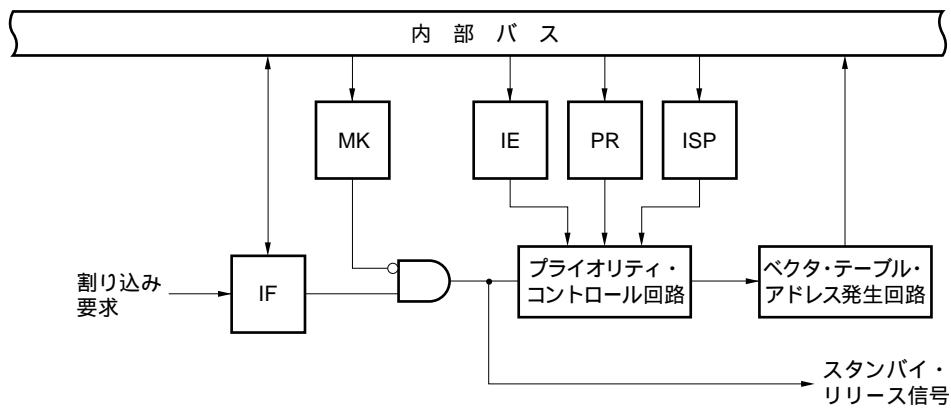
3 . ベクタ・テーブル・アドレスの0018Hに該当する割り込み要因はありません。

図14 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み

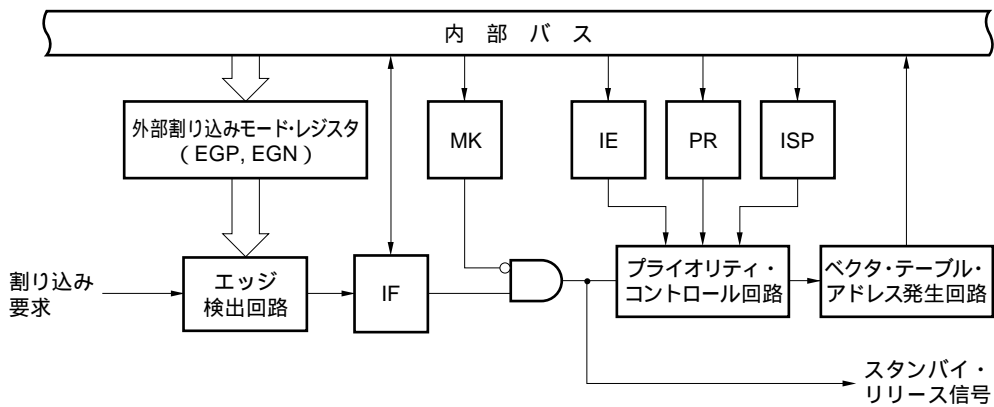
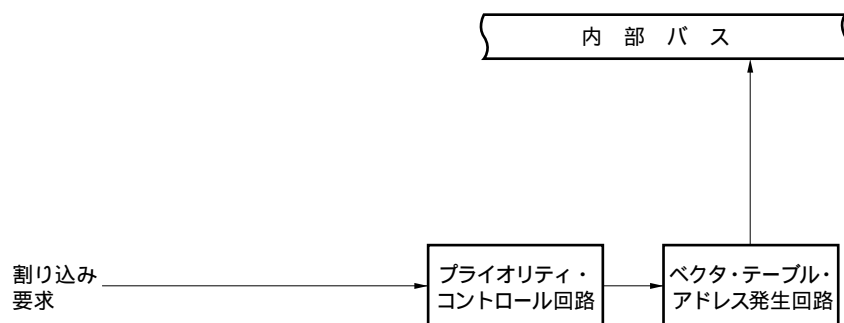


図14 - 1 割り込み機能の基本構成 (2/2)

(D) ソフトウェア割り込み



- 備考**
- IF : 割り込み要求フラグ
  - IE : 割り込み許可フラグ
  - ISP : インサース・プライオリティ・フラグ
  - MK : 割り込みマスク・フラグ
  - PR : 優先順位指定フラグ

### 14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・ 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)
- ・ 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)
- ・ 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)
- ・ 外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・ 外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・ プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表14 - 2 に示します。

★

表14 - 2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF	IF0L	WDTMK	MK0L	WDTPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTKY	KYIF		KYMK		KYPR	
INTIIC0	IICIF0		IICMK0		IICPR0	
INTBTM0	BTMIF0	IF0H	BTMMK0	MK0H	BTMPR0	PR0H
INTAD3	ADIF		ADMK		ADPR	
INTCSI3	CSIIF3		CSIMK3		CSIPR3	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM51	TMIF51		TMMK51		TMPR51	
INTSER0	SERIF0		SERMK0		SERPR0	
INTSR0	SRIF0		SRMK0		SRPR0	
INTST0	STIF0	IF1L	STMK0	MK1L	STPR0	PR1L

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット時、命令の実行によりクリア(0)されるフラグです。

IF0L, IF0H, IF1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するとき、16ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図14 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L) のフォーマット

略号	①								アドレス	リセット時	R/W
IF0L	IICIF0	KYIF	PIF4	PIF3	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W
略号	①								アドレス	リセット時	R/W
★ IF0H	SRIF0	SERIF0	TMIF51	TMIF50	CSIF3	0	ADIF	BTMIF0	FFE1H	00H	R/W
略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
★ IF1L	0	0	0	0	0	0	0	STIF0	FFE2H	00H	R/W

x x IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 1 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに0を設定してください。

2 . タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L) のフォーマット

略号	①								アドレス	リセット時	R/W	
MK0L	IICMK0	KYMK	PMK4	PMK3	PMK2	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W	
略号	①								アドレス	リセット時	R/W	
★ MK0H	SRMK0	SERMK0	TMMK51	TMMK50	CSIMK3	1	ADMK	BTMMK0	FFE5H	FFH	R/W	
略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W	
★ MK1L	1	1	1	1	1	1	1	1	STMK0	FFE6H	FFH	R/W

× × MK ×	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、WDTMKフラグを読み出すと不定になっています。

2. ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するとき、16ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

図14 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L) のフォーマット

略号								①	アドレス	リセット時	R/W
PR0L	IICPR0	KYPR	PPR4	PPR3	PPR2	PPR1	PPR0	WDTPR	FFE8H	FFH	R/W
略号								①	アドレス	リセット時	R/W
★ PR0H	SRPR0	SERPR0	TMPR51	TMPR50	CSIPR3	1	ADPR	BTMPR0	FFE9H	FFH	R/W
略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
★ PR1L	1	1	1	1	1	1	1	STPR0	FFEAH	FFH	R/W

xxPRx	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

**注意** ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、WDTPRフラグに1を設定してください。



(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN)

INTP0-INTP4の有効エッジを設定するレジスタです。

EGP, EGNは, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は, 00Hになります。

図14 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGP	0	0	0	EGP4	EGP3	EGP2	EGP1	EGP0	FF48H	00H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGN	0	0	0	EGN4	EGN3	EGN2	EGN1	EGN0	FF49H	00H	R/W

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-4)
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

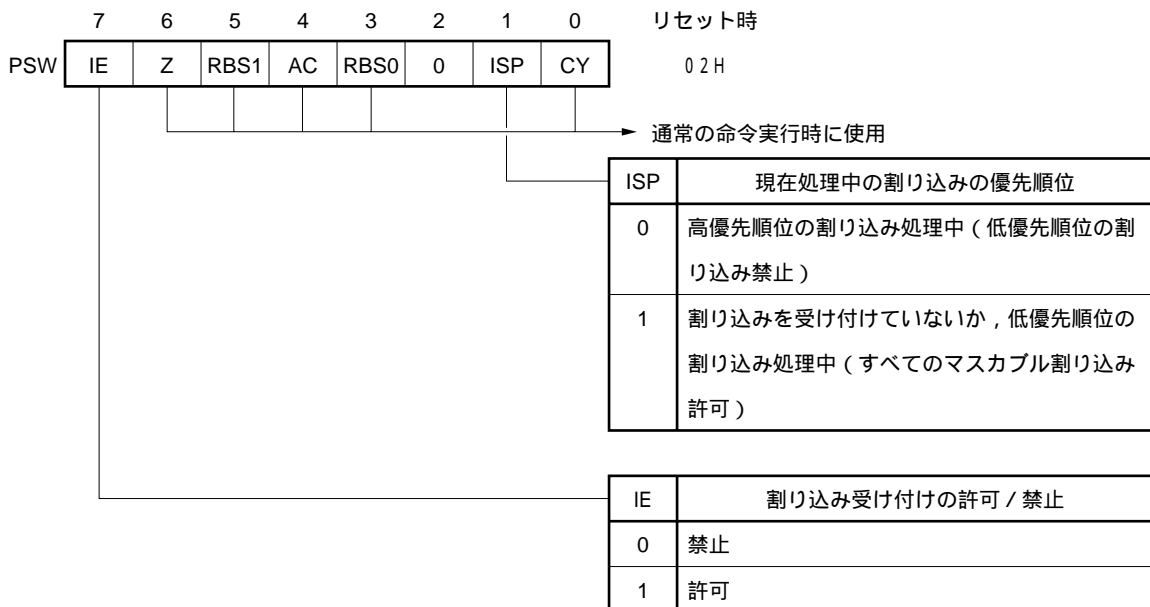
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令( EI, DI )により操作ができます。また、ベクタ割り込み受け付け時および、BRK命令実行時には、PSWは自動的にスタックに退避され、IEフラグはリセット( 0 )されます。また、マスカブル割り込み受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット時は、PSWは02Hとなります。

図14 - 6 プログラム・ステータス・ワード (PSW) の構成



## 14.4 割り込み処理動作

### 14.4.1 ノンマスカブル割り込み要求の受け付け動作

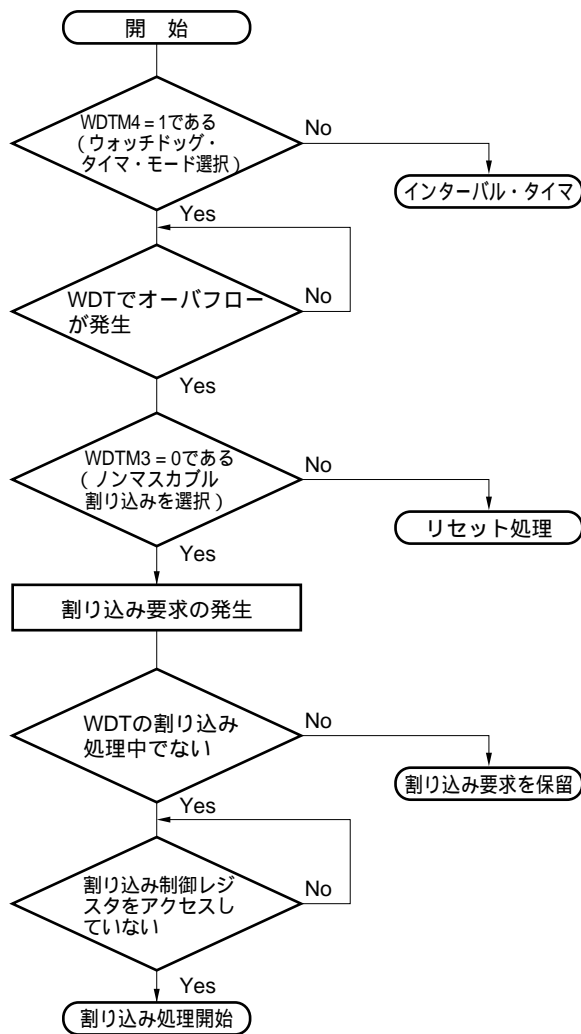
ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順に内容をスタックに退避し、IEフラグ、ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み発生から受け付けまでのフロー・チャートを図14-7に、ノンマスカブル割り込み要求の受け付けタイミングを図14-8に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図14-9に示します。

図14 - 7 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート



備考 WDTM : ウォッチドッグ・タイマ・モード・レジスタ  
 WDT : ウォッチドッグ・タイマ

図14 - 8 ノンマスクابل割り込み要求の受け付けタイミング

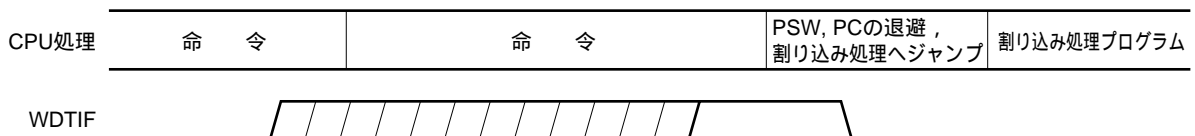
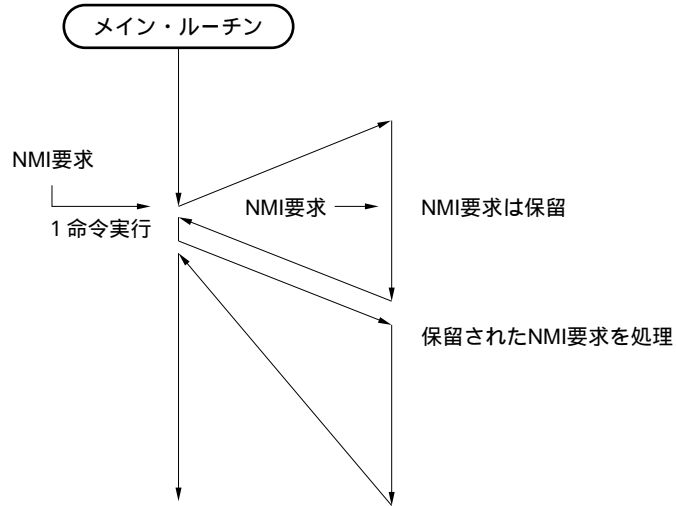
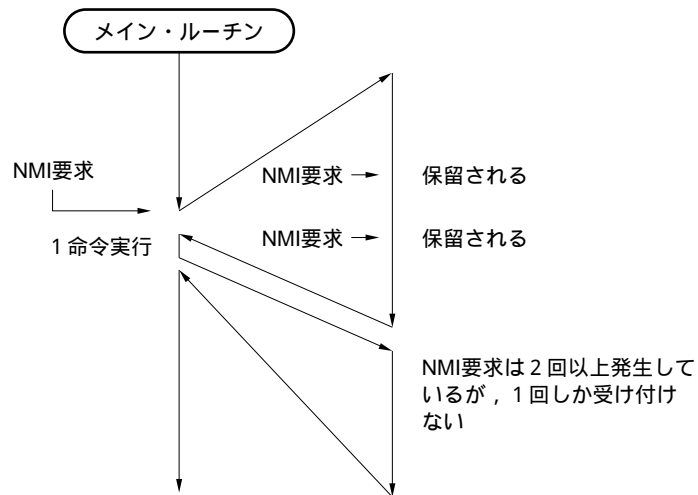


図14 - 9 ノンマスクابل割り込み要求の受け付け動作

( a ) ノンマスクابل割り込みサービス・プログラム実行中に  
新たなノンマスクابل割り込み要求が発生した場合



( b ) ノンマスクابل割り込みサービス・プログラム実行中に  
新たに2回のノンマスクابل割り込み要求が発生した場合



### 14.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表14-3のようになります。割り込み要求の受け付けタイミングについては、図14-11、図14-12を参照してください。

表14-3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
x × PR = 0 のとき	7クロック	32クロック
x × PR = 1 のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

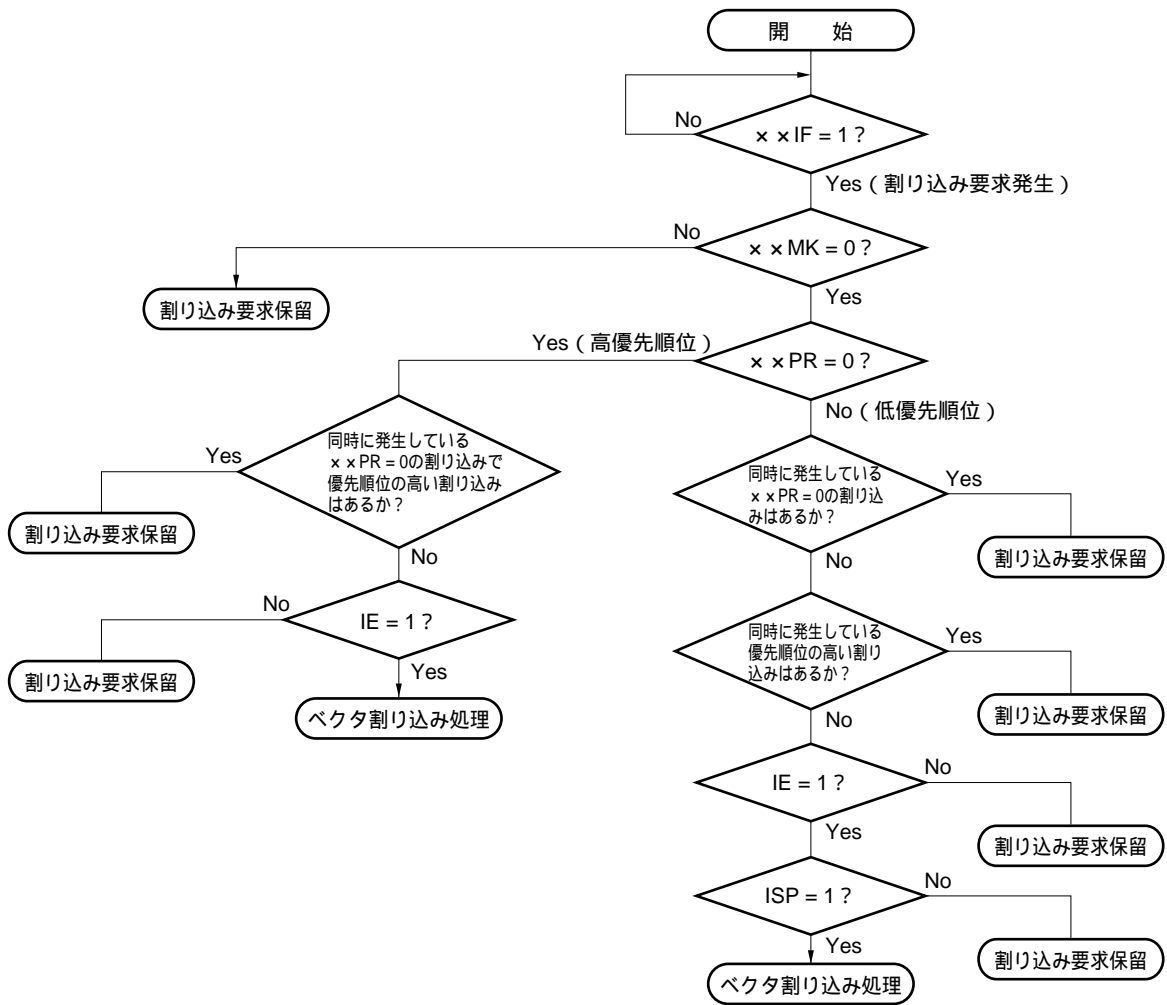
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰はできます。

図14 - 10 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

x x MF : 割り込みマスク・フラグ

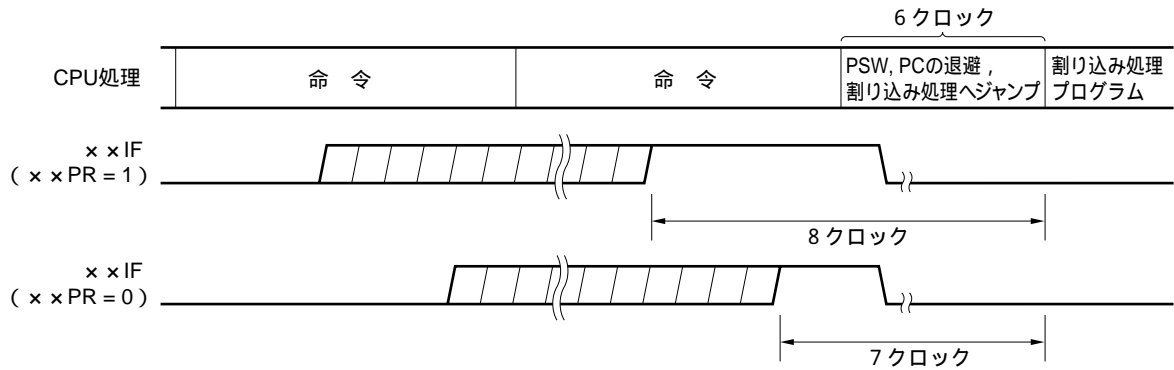
x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ( 1 = 許可, 0 = 禁止)

ISP : 現在処理中の割り込みの優先順位を示すフラグ

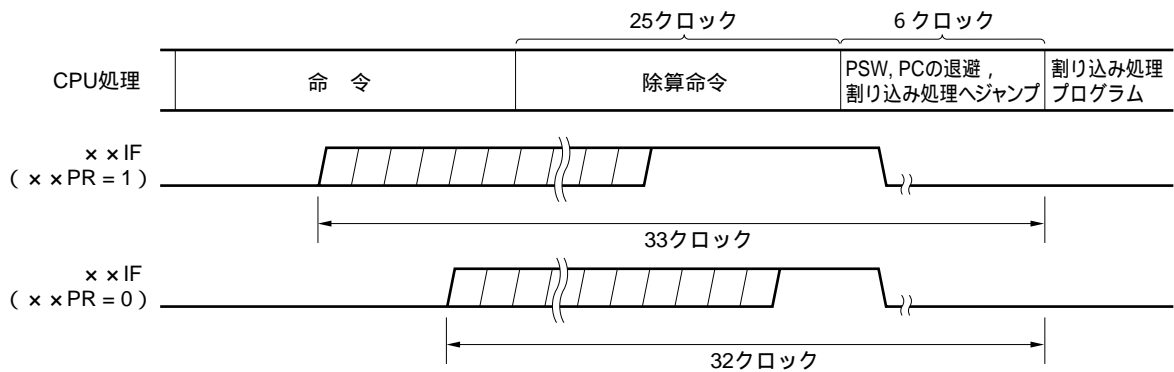
( 0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図14 - 11 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

図14 - 12 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)



### 14.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

### 14.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません(ノンマスクابل割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスクابل割り込み処理中には、多重割り込みは許可されません。

表14 - 4 に多重割り込み可能な割り込み要求を、図14 - 13に多重割り込みの例を示します。

表14 - 4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスクابل 割り込み要求	マスクابل割り込み要求			
			PR = 0		PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスクابل割り込み		x	x	x	x	x
マスクابل割り込み	ISP = 0		x	x	x	
	ISP = 1		x			x
ソフトウェア割り込み			x			x

備考1 . : 多重割り込み可能。

2 . x : 多重割り込み不可能。

3 . ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

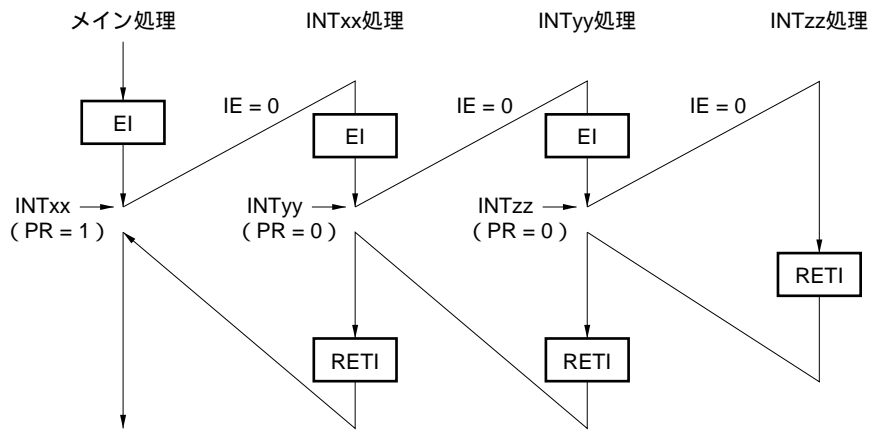
4 . PRはPR0L, PR0H, PR1Lに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

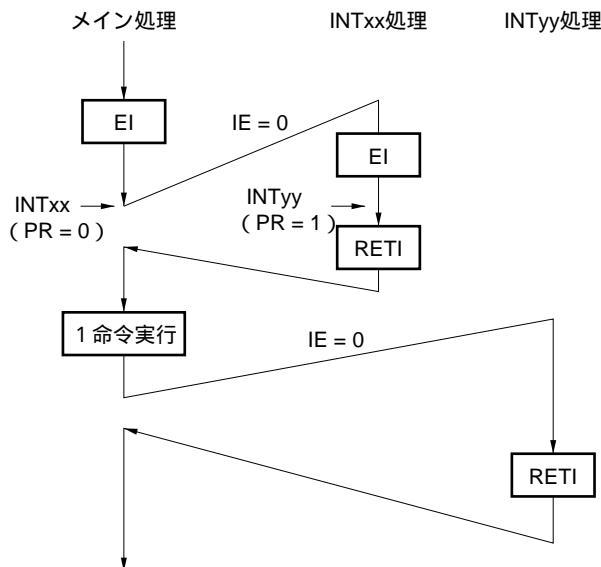
図14 - 13 多重割り込みの例 (1/2)

例 1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている

例 2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

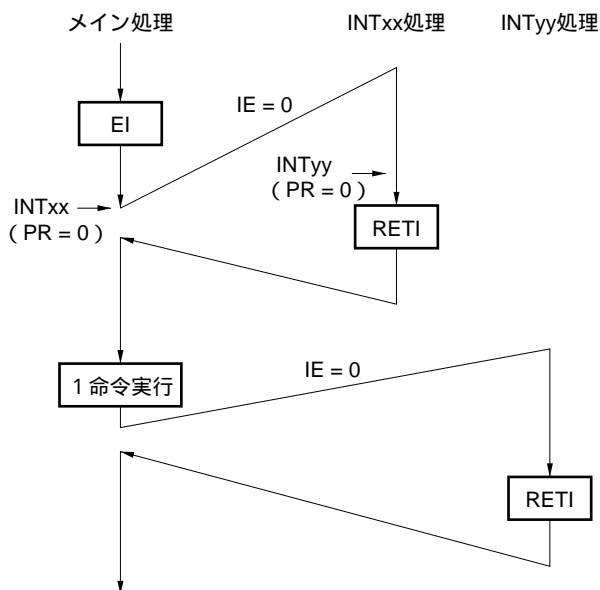
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図14 - 13 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

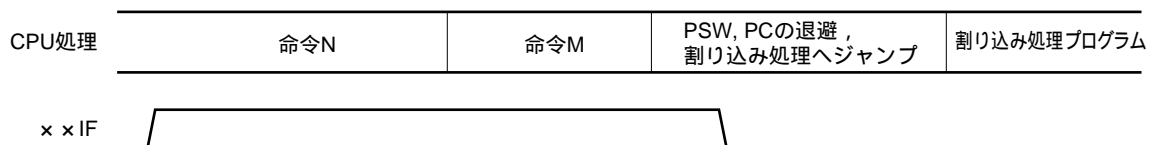
### 14.4.5 割り込み要求の保留

次に示す命令と、その次に実行する命令の間では、割り込みの受け付けが一時的に保留されます。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1/AND1/OR1/XOR1 CY, PSW. bit
- ・ SET1/CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT/BF/BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, 1F1L, MK0L, MK0H, MK1L, PR0L, PR0H, PR1L, EGP, EGNの各レジスタに対する操作命令

**注意** ソフトウェア割り込み(BRK命令の実行による)では、IEフラグが0にクリアされるのでBRK命令実行中にマスカブル割り込み要求が発生しても、割り込みを受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

図14 - 14 割り込み要求の保留



- 備考 1** . 命令N : 割り込み要求の保留命令
- 2** . 命令M : 割り込み要求の保留命令以外の命令
- 3** . x x IFの動作は, x x PRの値の影響を受けません。

〔メモ〕

# 第15章 PLL周波数シンセサイザ

## 15.1 PLL周波数シンセサイザの機能

PLL (Phase Locked Loop) 周波数シンセサイザは、MF (Middle Frequency)、HF (High Frequency) および VHF (Very High Frequency) 帯の周波数を位相差比較方式により一定周波数にロックさせるために使用します。

PLL周波数シンセサイザは、VCOL端子またはVCOH端子から入力された信号をプログラマブル・ディバイダで分周し、基準周波数との位相差をEO0およびEO1端子から出力します。

入力端子の状態および分周方式には次の5種類があります。

### (1) 直接分周 (MFモード) 方式

VCOL端子を使用します。

VCOH端子は、PLLモード・セレクト・レジスタ (PLLMD) のビット3 (VCOHDMD) で設定した状態になります。

### (2) パルス・スワロ (HFモード) 方式

VCOL端子を使用します。

VCOH端子は、PLLMDのビット3 (VCOHDMD) で設定した状態になります。

### (3) パルス・スワロ (VHFモード) 方式

VCOH端子を使用します。

VCOL端子は、PLLMDのビット2 (VCOLDMD) で設定した状態になります。

### (4) VCOL, VCOH端子ディスエーブル

VCOL端子およびVCOH端子は、PLLMDのビット2 (VCOLDMD) およびビット3 (VCOHDMD) で設定した状態になります。

このとき、位相比較器、基準周波数発生器およびチャージ・ポンプは動作します。

### (5) PLLディスエーブル

PLLレファレンス・モード・レジスタ (PLLRF) の設定により、PLLディスエーブル状態となります。

VCOH端子およびVCOL端子は、PLLMDのビット2 (VCOLDMD) およびビット3 (VCOHDMD) で設定した状態になります。EO0端子、EO1端子はハイ・インピーダンスになります。

このとき、すべてのPLL内部動作は停止します。

分周方式の選択は、PLLモード・セレクト・レジスタ (PLLMD) により行います。

また、プログラマブル・ディバイダへの分周値 (N値) の設定はPLLデータ・レジスタにより行います。

プログラマブル・ディバイダに設定された分周値 (N値) により、各分周方式による分周を行います。

表15-1に分周方式、使用する入力端子 (VCOL端子、VCOH端子) および設定できる分周値を示します。

表15 - 1 分周方式，入力端子および分周値

分周方式	使用する端子	設定できる分周値
直接分周 (MF)	VCOL	$32 \sim 2^{12} - 1$
パルス・スワロ (HF)	VCOL	$1024 \sim 2^{17} - 1$
パルス・スワロ (VHF)	VCOH	$1024 \sim 2^{17} - 1$

**注意** 実際に入力できる周波数および入力振幅は，データ・シートの電気的特性を参照してください。





(1) PLLデータ・レジスタL (PLLRL), PLLデータ・レジスタH (PLLRH), PLLデータ・レジスタ0 (PLLRO)

PLL周波数シンセサイザの分周値を設定するレジスタです。PLL周波数シンセサイザの分周値は17ビットで構成されており、上位16ビットをPLLデータ・レジスタL (PLLRL) とPLLデータ・レジスタH (PLLRH) で設定します。また上位16ビットはPLLデータ・レジスタ (PLLR) でも設定できます。下位1ビットはPLLデータ・レジスタ0 (PLLRO) のビット7 (PLLSCN) で設定します。

リセット時は、不定になります。また、STOP, HALTモード時は、直前の値を保持します。

(2) 入力切り替えブロック

入力切り替えブロックはVCO<sub>L</sub>端子, VCO<sub>H</sub>端子およびそれぞれの入力アンプから構成されています。

(3) プログラマブル・ディバイダ

プログラマブル・ディバイダは、2モデュラス・プリスケーラ, プログラマブル・カウンタ (12ビット), スワロ・カウンタ (5ビット) および分周方式選択スイッチから構成されています。

(4) 基準周波数発生器

基準周波数発生器は、PLL周波数シンセサイザの基準周波数  $f_r$  を発生する分周器とマルチプレクサから構成されています。

(5) 位相比较器

位相比较器 (-DET) は、プログラマブル・ディバイダの分周周波数出力  $f_n$  と基準周波数発生器の基準周波数出力  $f_r$  の位相を比較し、アップ要求信号 ( $\overline{UP}$ ) およびダウン要求信号 ( $\overline{DW}$ ) を出力します。

(6) アンロックF/F

アンロックF/Fは、位相比较器 (-DET) のアップ要求信号 ( $\overline{UP}$ ) およびダウン要求信号 ( $\overline{DW}$ ) から、PLL周波数シンセサイザのアンロック状態を検出します。

(7) チャージ・ポンプ

チャージ・ポンプは位相比较器の出力結果により、エラー・アウト端子 (EO0端子およびEO1端子) から出力します。

### 15.3 PLL周波数シンセサイザを制御するレジスタ

PLL周波数シンセサイザは、次の4種類のレジスタで制御します。

- ・ PLLモード・セレクト・レジスタ (PLLMD)
- ・ PLLレファレンス・モード・レジスタ (PLLRF)
- ・ PLLアンロックF/Fジャッジ・レジスタ (PLLUL)
- ・ PLLデータ転送レジスタ (PLLNS)

#### (1) PLLモード・セレクト・レジスタ (PLLMD)

PLL周波数シンセサイザの入力端子および分周方式を設定するレジスタです。

PLLMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

STOPモード時は、ビット3, 2 (VCOHDMD, VCOLDMD)のみ直前の値を保持します。ビット1, 0 (PLLMD1, PLLMD0)は0になります。

またHALTモード時は、直前の値を保持します。

図15-2 PLLモード・セレクト・レジスタ (PLLMD) のフォーマット

略号	7	6	5	4	①	アドレス	リセット時	R/W
PLLMD	0	0	0	0	VCOHDMD VCOLDMD PLLMD1 PLLMD0	FFA0H	00H	R/W

VCOH DMD	VCOH端子のディスエーブル状態を設定	
0	プルダウン抵抗接続	
1	ハイ・インピーダンス状態	

VCOL DMD	VCOL端子のディスエーブル状態を設定	
0	プルダウン抵抗接続	
1	ハイ・インピーダンス状態	

PLLMD1	PLLMD0	PLL周波数シンセサイザの分周方式とVCO入力端子の切り替えを設定する
0	0	VCOL端子, VCOH端子ディスエーブル <sup>注</sup>
0	1	直接分周 (VCOL端子 MFモード)
1	0	パルス・スワロ (VCOH端子 VHFモード)
1	1	パルス・スワロ (VCOL端子 HFモード)

**注** PLLディスエーブルとは異なります。VCOH端子, VCOL端子はビット3 (VCOHDMD)とビット2 (VCOLDMD)で設定した状態になります。また, EO0端子, EO1端子はロウ・レベルになります。

**備考** ビット4-7はハードウェアで0固定になっています。

(2) PLLレファレンス・モード・レジスタ (PLLRF)

PLL周波数シンセサイザの基準周波数  $f_r$  の設定およびPLL周波数シンセサイザのディスエーブル状態を設定するレジスタです。

PLLRFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、0FHになります。

またHALTモード時は、直前の値を保持します。

図15 - 3 PLLレファレンス・モード・レジスタ (PLLRF) のフォーマット

略号	7	6	5	4	①				アドレス	リセット時	R/W
PLLRF	0	0	0	0	PLLRF3	PLLRF2	PLLRF1	PLLRF0	FFA1H	0FH	R/W

PLLRF3	PLLRF2	PLLRF1	PLLRF0	PLL周波数シンセサイザの基準周波数 $f_r$ を設定する
0	0	0	0	50 kHz
0	0	0	1	25 kHz
0	0	1	0	12.5 kHz
0	0	1	1	9 kHz
0	1	0	0	1 kHz
0	1	0	1	3 kHz
0	1	1	0	10 kHz
0	1	1	1	使用禁止
1	x	x	x	PLLディスエーブル <sup>注</sup>

注 PLLディスエーブルを選択したときは、VCOL端子、VCOH端子、EO0端子、およびEO1端子は次のようになります。

VCOH端子、VCOL端子 : PLLモード・セレクト・レジスタ (PLLMD) のビット3 (VCOHDMD) とビット2 (VCOLDMD) で設定した状態

EO0端子、EO1端子 : ハイ・インピーダンス状態

備考 ビット4-7はハードウェアで0固定になっています。

x : don't care

(3) PLLアンロックF/Fジャッジ・レジスタ (PLLUL)

PLL周波数シンセサイザがアンロック状態であるか検出するレジスタです。

PLLUL0は、R&RESETなので読み出し後は、リセット(0)されます。

リセット時は、0×H<sup>注1</sup>になります。

またSTOP, HALTモード時は、直前の値を保持します。

図15 - 4 PLLアンロックF/Fジャッジ・レジスタ (PLLUL) のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
PLLUL	0	0	0	0	0	0	0	PLLUL0	FFA2H	0×H <sup>注1</sup>	R <sup>注2</sup>

PLLUL0	アンロックF/Fの状態を検出
0	アンロックF/F = 0 : PLLロック状態
1	アンロックF/F = 1 : PLLアンロック状態

注1 . ビット0 (PLLUL0) のリセット時の値は、リセットの種類により異なります (下表参照)。

2 . ビット0 (PLLUL0) は、R&Resetです。

		7	6	5	4	3	2	1	0
リ セ ッ ト 時	パワーオン・クリア	0	0	0	0	0	0	0	不定
	ウォッチドッグ・タイマ								保持
	RESET入力								保持
STOPモード									保持
HALTモード		↓	↓	↓	↓	↓	↓	↓	保持

備考 ビット1-7はハードウェアで0固定になっています。

(4) PLLデータ転送レジスタ (PLLNS)

PLLデータ・レジスタ (PLLRL, PLLRH, PLLR0) の値をプログラマブル・カウンタおよびスワロ・カウンタに転送するレジスタです。

リセット時, STOPモード時は, 00Hになります。

またHALTモード時は, 直前の値を保持します。

図15 - 5 PLLデータ転送レジスタ (PLLNS) のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
PLLNS	0	0	0	0	0	0	0	PLLNS0	FFA3H	00H	W

PLLNS0	PLLデータ・レジスタの値をプログラマブル・カウンタおよびスワロ・カウンタに転送する
0	転送しない
1	転送する

**備考** ビット1-7はハードウェアで0固定になっています。

## 15.4 PLL周波数シンセサイザの動作

### 15.4.1 PLL周波数シンセサイザの各ブロックの動作

#### (1) 入力切り替えブロックおよびプログラマブル・ディバイダの動作

入力切り替えブロックおよびプログラマブル・ディバイダは、PLLモード・セレクト・レジスタ (PLLMD) の設定により、PLL周波数シンセサイザの入力端子および分周方式を選択し、各分周方式による分周を行います。

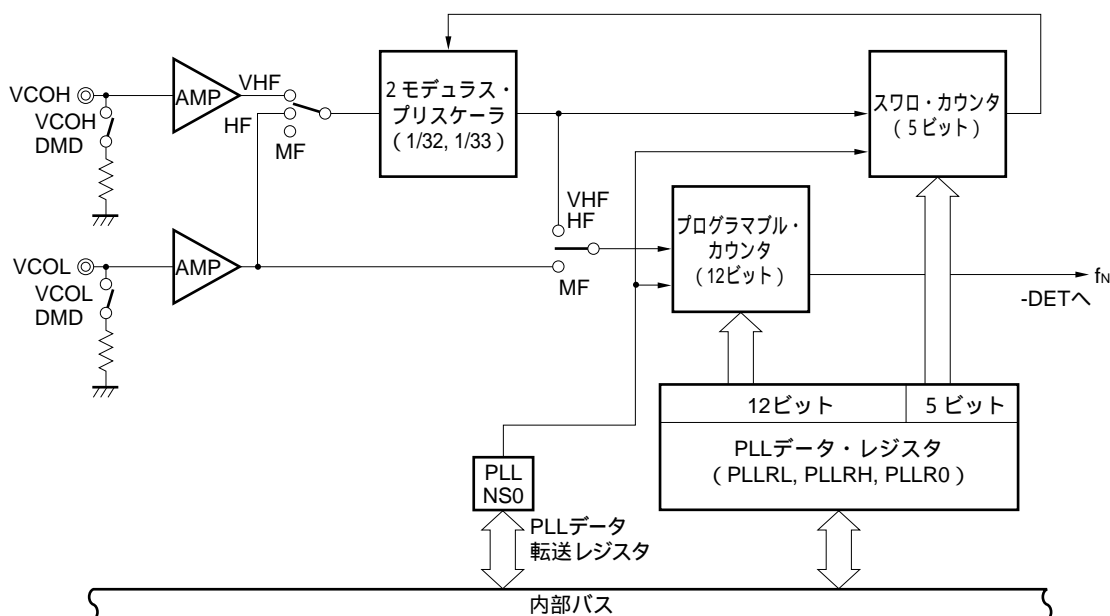
プログラマブル・カウンタ (12ビット) およびスワロ・カウンタ (5ビット) はバイナリ・ダウン・カウンタで構成されています。

プログラマブル・カウンタ (12ビット) およびスワロ・カウンタ (5ビット) への分周値 (N値) の設定は、PLLデータ・レジスタ (PLLRL, PLLRH, PLLR0) によって行います。

さらにPLLデータ転送レジスタのビット0 (PLLNS0) により、プログラマブル・カウンタおよびスワロ・カウンタにN値が転送されると、各分周方式による分周を行います。

図15 - 6 に入力切り替えブロックとプログラマブル・ディバイダの構成を示します。

図15 - 6 入力切り替えブロックおよびプログラマブル・ディバイダの構成



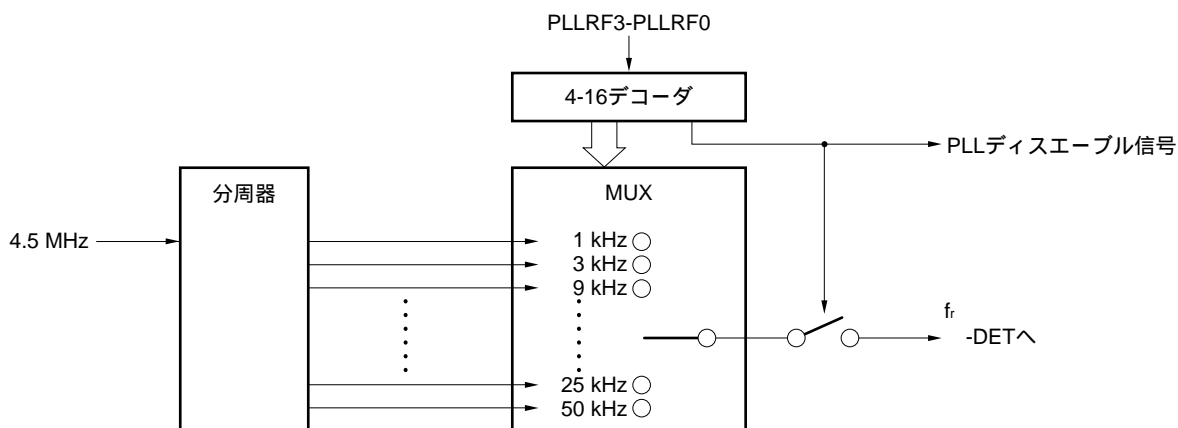
#### (2) 基準周波数発生器の動作

基準周波数発生器は、水晶振動子の4.5 MHzを分周して、PLL周波数シンセサイザの基準周波数  $f_r$  を7種類発生します。

基準周波数  $f_r$  の選択はPLLレファレンス・モード・レジスタ (PLLRF) により行います。

図15 - 7 に基準周波数発生器の構成を示します。

図15 - 7 基準周波数発生器の構成



(3) 位相比較器 ( -DET) の動作

図15 - 8 に位相比較器 ( -DET) , チャージ・ポンプおよびアンロックF/Fの構成を示します。

位相比較器 ( -DET) は、プログラマブル・ディバイダの分周周波数  $f_N$  と基準周波数発生器の基準周波数  $f_r$  の位相を比較し、アップ要求信号  $\overline{UP}$  およびダウン要求信号  $\overline{DW}$  を出力します。

すなわち、分周周波数  $f_N$  が基準周波数  $f_r$  より低い周波数であればアップ要求信号を出力し、分周周波数  $f_N$  が基準周波数  $f_r$  より高い周波数であればダウン要求信号を出力します。

図15 - 9 に基準周波数  $f_r$  , 分周周波数  $f_N$  , アップ要求信号  $\overline{UP}$  , およびダウン要求信号  $\overline{DW}$  の関係を示します。

PLLディスエーブル時には、アップ要求信号およびダウン要求信号とも出力されません。

アップ要求およびダウン要求信号はそれぞれチャージ・ポンプおよびアンロックF/Fへ入力されます。

図15 - 8 位相比較器 , チャージ・ポンプおよびアンロックF/Fの構成

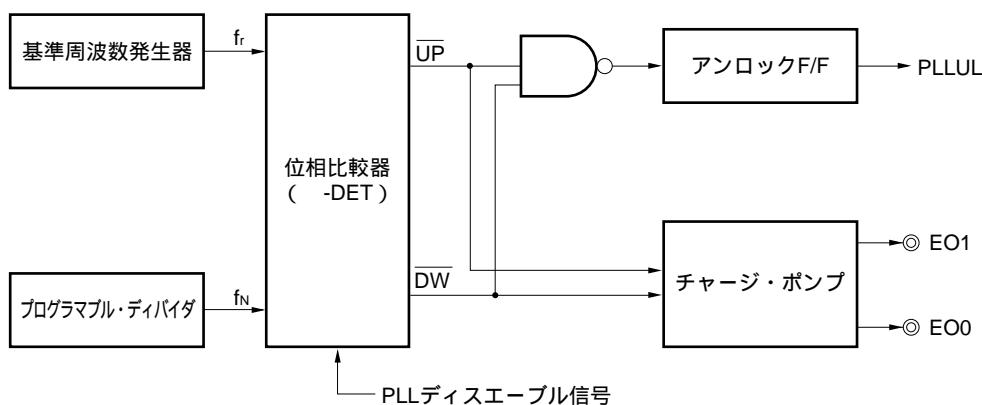
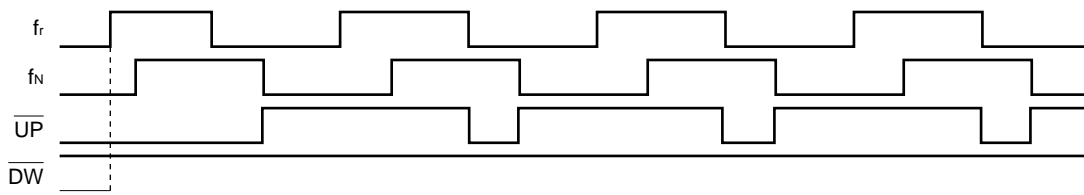


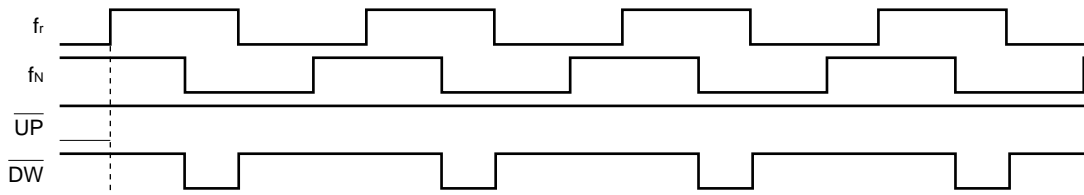


図15 - 9  $f_r, f_N, \overline{UP}, \overline{DW}$ 信号の関係

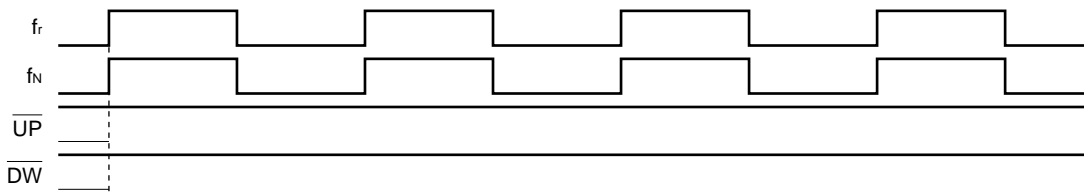
(a)  $f_N$  が  $f_r$  より位相が遅れているとき



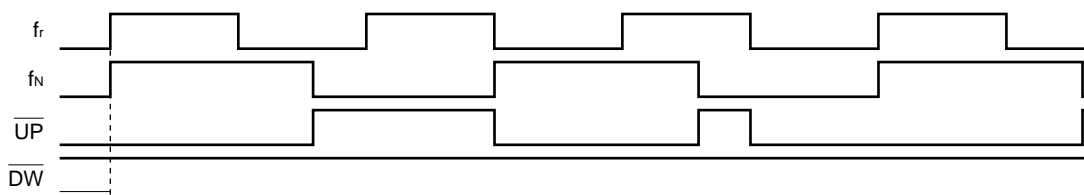
(b)  $f_N$  が  $f_r$  より位相が進んでいるとき



(c)  $f_N$  と  $f_r$  の位相が同じとき



(d)  $f_N$  が  $f_r$  より周波数が低いとき



(4) チャージ・ポンプの動作

チャージ・ポンプは、位相比較器 ( -DET ) からのアップ要求信号 $\overline{UP}$ およびダウン要求信号 $\overline{DW}$ の結果により、エラー・アウト端子 (EO0端子およびEO1端子) から出力します。出力される信号を表15 - 3 に示します。

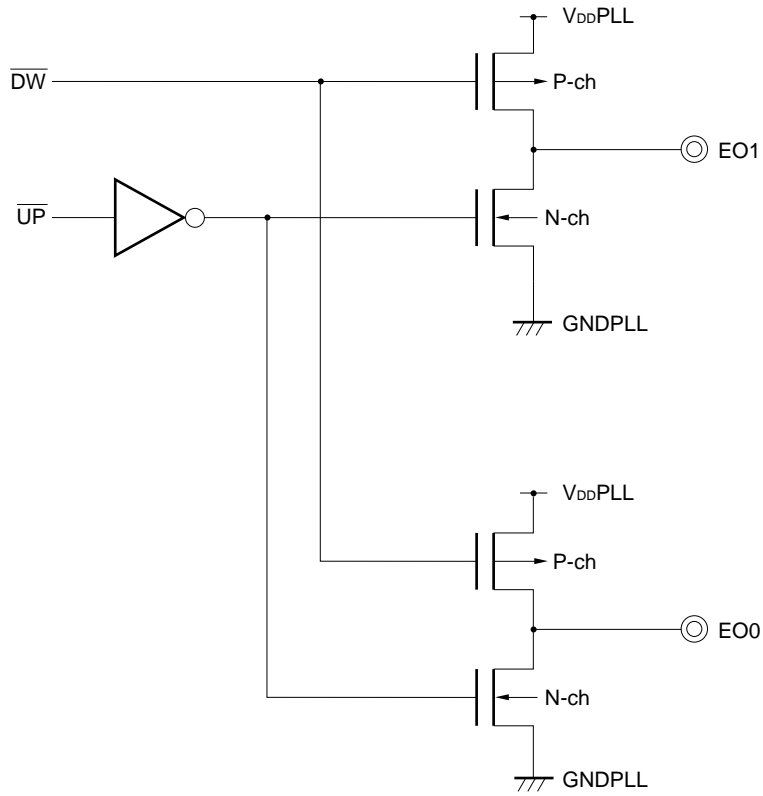
EO0端子は電圧駆動タイプ、EO1端子は電流駆動タイプとなっています。

図15 - 10にエラー・アウト出力の構成を示します。

表15 - 3 エラー・アウト出力信号

分周周波数 $f_N$ および基準周波数 $f_r$ の関係	エラー・アウト出力端子
$f_r > f_N$ のとき	ロウ・レベル出力
$f_r < f_N$ のとき	ハイ・レベル出力
$f_r = f_N$ のとき	フローティング (ハイ・インピーダンス)

図15 - 10 エラー・アウト出力の構成



(5) アンロックF/Fの動作

アンロックF/Fは、PLL周波数シンセサイザのアンロック状態を検出します。

位相比较器( -DET)のアップ要求信号 $\overline{UP}$ およびダウン要求信号 $\overline{DW}$ から、PLL周波数シンセサイザのアンロック状態を検出します。

すなわち、アンロック状態中はアップ要求またはダウン要求信号のどちらか一方がロウ・レベルを出力するため、このロウ・レベル信号によりアンロック状態を検出できます。

アンロックF/Fの状態は、PLLアンロックF/Fジャッジ・レジスタ( PLLLUL )のビット 0( PLLLUL0 )により検出します。

アンロックF/Fは、そのとき選択されている基準周波数  $f_r$  の周期でセットされます。

また、PLLLULの内容を読み出すとリセットされます。

したがって読み出す場合は、基準周波数の周期(  $1/f_r$  )より長い周期で読み出す必要があります。

15.4.2 PLL周波数シンセサイザのN値の設定動作

プログラマブル・カウンタ( 12ビット)およびスワロ・カウンタ( 5ビット)への分周値( N値)の設定は、PLLデータ・レジスタ( PLLRL, PLLRH, PLLR0 )によって行います。

さらにPLLデータ転送レジスタ( PLLNS )のビット 0( PLLNS0 )により、プログラマブル・カウンタおよびスワロ・カウンタにN値が転送されると、各分周方式による分周を行います。

次に各分周方式( MF, HF, VHF )時のN値の設定例を示します。

(1) 直接分周方式( MF)

(a) 分周値N( PLLデータ・レジスタへの設定値)の計算方法

$$N = \frac{f_{VCOL}}{f_r}$$

$f_{VCOL}$  : VCOL端子の入力周波数

$f_r$  : 基準周波数

(b) PLLデータ・レジスタの設定例

次に示すMWバンドの放送局を受信するためのPLLデータ・レジスタ設定方法を示します。

受信周波数： 1422 kHz( MWバンド)

基準周波数： 9 kHz

中間周波数： 450 kHz

分周値Nは

$$N = \frac{f_{VCOL}}{f_r} = \frac{1422 + 450}{9} = 208( 10進 )$$

$$= 0D0H( 16進 )$$

PLLデータ・レジスタ ( PLLR, PLLR0 ) へのデータは次のように設定します。

PLLR												PLLR0											
PLLRL						PLLRL						← PLLSCN											
b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0							
プログラマブル・カウンタ値												Don't care				0 固定							
0	0	0	0	1	1	0	1	0	0	0	0												
0				D				0															

上記PLLデータ・レジスタ ( PLLR, PLLR0 ) を設定後，PLLデータ転送レジスタ ( PLLNS ) のビット 0 ( PLLNS0 ) を設定することにより，プログラマブル・カウンタに転送する必要があります。

( 2 ) パルス・スワロ方式 ( HF )

( a ) 分周値 N ( PLLデータ・レジスタへの設定値 ) の計算方法

$$N = \frac{f_{\text{VCOL}}}{f_r}$$

$f_{\text{VCOL}}$  : VCOL端子の入力周波数

$f_r$  : 基準周波数

( b ) PLLデータ・レジスタの設定例

次に示すSWバンドの放送局を受信するためのPLLデータ・レジスタ設定方法を示します。

受信周波数 : 25.50 MHz ( SWバンド )

基準周波数 : 10 kHz

中間周波数 : 450 kHz

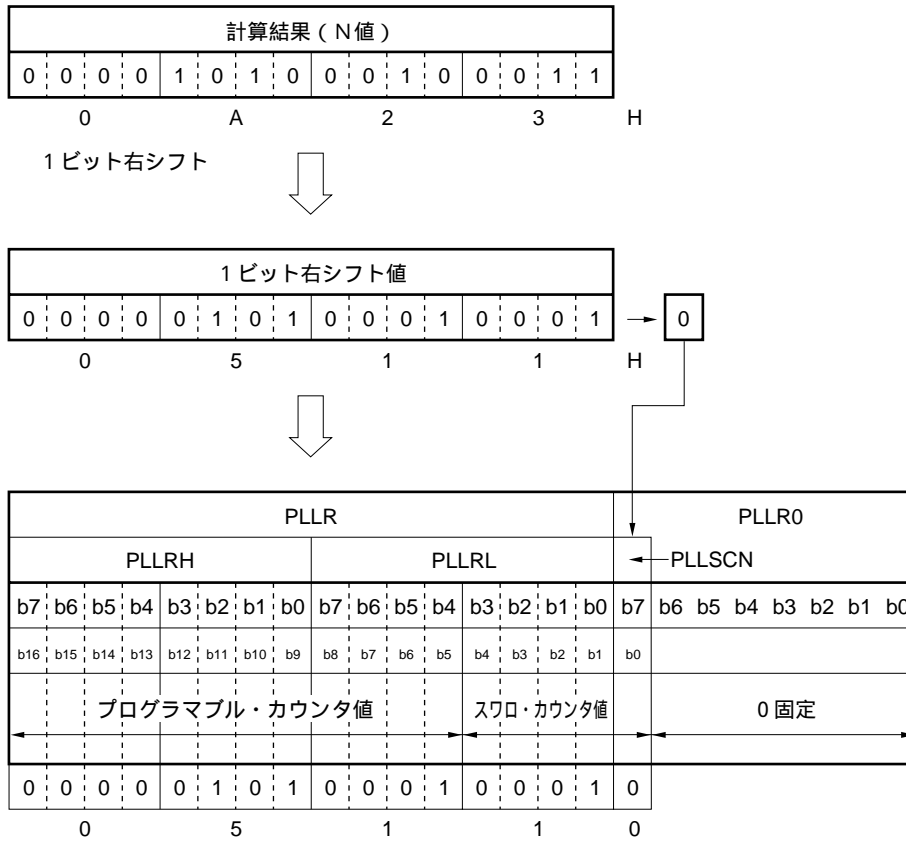
分周値 N は

$$N = \frac{f_{\text{VCOL}}}{f_r} = \frac{25500 + 450}{10} = 2595 ( 10進 )$$

$$= 0A23H ( 16進 )$$

分周値Nの最下位ビットはPLLデータ・レジスタ0 (PLLRO) のビット7 (PLLSCN) に設定しなければならぬため、上記計算値を1ビット右にシフトしてからデータ設定を行う必要があります。

PLLデータ・レジスタ (PLLRL, PLLRH) へのデータは次のように設定します。



上記PLLデータ・レジスタ (PLLRL, PLLRH) を設定後、PLLデータ転送レジスタ (PLLNS) のビット0 (PLLNS0) を設定することにより、プログラマブル・カウンタおよびスワロ・カウンタに転送する必要があります。

この例では計算結果のN値を、1ビット右シフトすることにより、上位16ビットのPLLデータ・レジスタ (PLLRL) には、N値の1/2の値を設定することになります。

N値の最下位ビットのPLLSCNを0に固定しておき、分周値Nの計算式を次のようにすれば、計算結果 (N<sub>PLLRL</sub>) をそのままPLLデータ・レジスタ (PLLRL) に設定できます。

ただしこの計算結果で設定した場合、入力周波数 (f<sub>COL</sub>) は設定値N<sub>PLLRL</sub>の2 × f<sub>r</sub> (基準周波数) 倍となりますので注意してください。

$$N_{PLLRL} = \frac{f_{COL}}{2f_r}$$

(3) パルス・スワロ方式 (VHF)

(a) 分周値N (PLLデータ・レジスタへの設定値) の計算方法

$$N = \frac{f_{VCOH}}{f_r}$$

$f_{VCOH}$  : VCOH端子の入力周波数

$f_r$  : 基準周波数

(b) PLLデータ・レジスタの設定例

次に示すFMバンドの放送局を受信するためのPLLデータ・レジスタ設定方法を示します。

受信周波数 : 100.0 MHz (FMバンド)

基準周波数 : 50 kHz

中間周波数 : +10.7 MHz

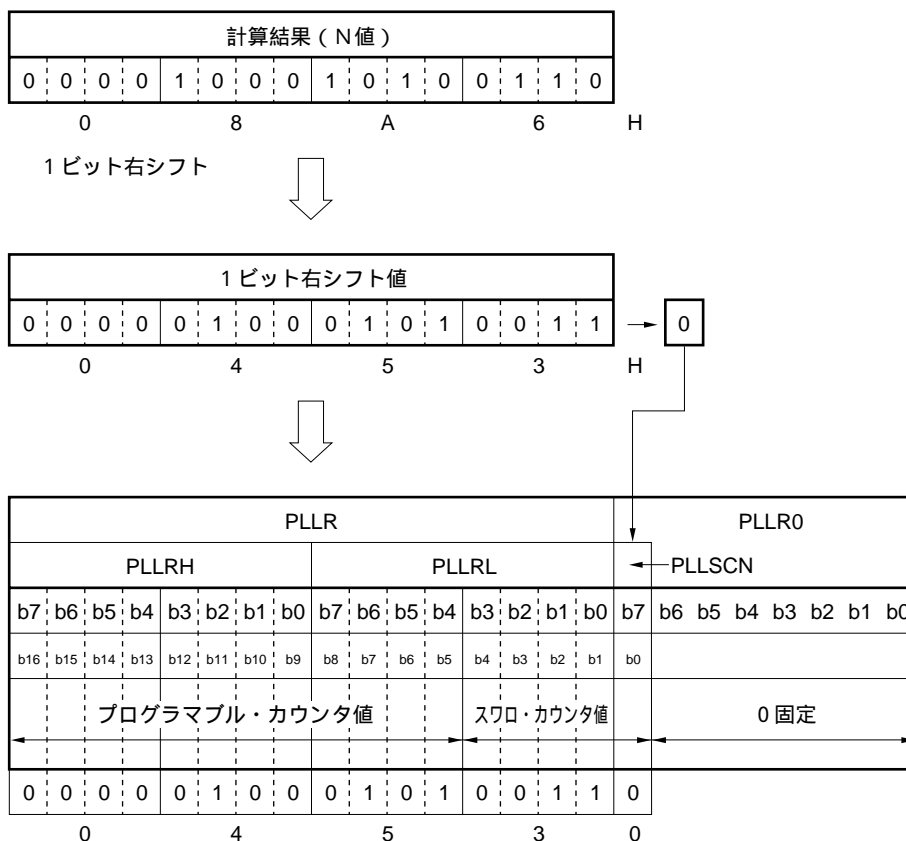
分周値Nは

$$N = \frac{f_{VCOH}}{f_r} = \frac{100.0 + 10.7}{0.05} = 2214 \text{ (10進)}$$

$$= 08A6H \text{ (16進)}$$

分周値Nの最下位ビットはPLLデータ・レジスタ0 (PLLR0) に設定しなければならないため、上記計算値を1ビット右にシフトしてからデータ設定を行う必要があります。

PLLデータ・レジスタ (PLLRL, PLLRH) へのデータは次のように設定します。



上記PLLデータ・レジスタ ( PLLR, PLLR0 ) を設定後, PLLデータ転送レジスタ ( PLLNS ) のビット 0 ( PLLNS0 ) を設定することにより, プログラマブル・カウンタおよびスワロ・カウンタに転送する必要があります。

この例では計算結果のN値を, 1ビット右シフトすることにより, 上位16ビットのPLLデータ・レジスタ ( PLLR ) には, N値の1/2の値を設定することになります。

N値の最下位ビットのPLLSCNを0に固定しておき, 分周値Nの計算式を次のようにすれば, 計算結果 ( N<sub>PLLR</sub> ) をそのままPLLデータ・レジスタ ( PLLR ) に設定できます。

ただしこの計算結果で設定した場合, 入力周波数 ( f<sub>COH</sub> ) は設定値N<sub>PLLR</sub>の2 × fr ( 基準周波数 ) 倍となりますので注意してください。

$$N_{\text{PLLR}} = \frac{f_{\text{COH}}}{2f_r}$$

## 15.5 PLLディスエーブル状態

PLL周波数シンセサイザの動作中に次のいずれかの設定を行うことにより、PLL周波数シンセサイザを停止（PLLディスエーブル状態）することができます。

- ・PLLレファレンス・モード・レジスタ（PLLRF）のビット3（PLLRF3）に1を設定し、PLLディスエーブル状態にする。
- ・STOP命令により、STOPモード状態にする。
- ・リセット機能により、リセット状態にする。

次にPLLディスエーブル時の各ブロックの動作およびレジスタの状態を示します。

表15 - 4 PLLディスエーブル時の各ブロックの動作およびレジスタの状態

ブロック/レジスタ	PLLディスエーブル時の状態
VCOL端子, VCOH端子	PLLMDのビット3（VCOHDMD）とビット2（VCOLDMD）で設定した状態
プログラマブル・ディバイダ	分周停止
基準周波数発生器	出力停止
位相比較器	出力停止
EO0端子, EO1端子	ハイ・インピーダンス
PLLモード・セレクト・レジスタ	書き込み命令実行時の値を保持
PLLデータ・レジスタ	
PLLアンロックF/Fジャッジ・レジスタ	

## 15.6 PLL周波数シンセサイザの注意事項

### ・PLL周波数シンセサイザの使用時の注意

PLL周波数シンセサイザの入力端子（VCOL端子, VCOH端子）は交流アンプを内蔵しているため、入力端子に直列にコンデンサを挿入し、入力信号の直流分をカットしてください。

選択された入力端子は中間電位（約 $1/2 V_{DD}$ ）になります。選択されていない入力端子はPLLモード・セレクト・レジスタ（PLLMD）のビット3（VCOHDMD）およびビット2（VCOLDMD）で設定した状態になります。

また、実際に入力できる周波数および入力振幅は、データ・シートの電氣的特性を参照してください。



## 第16章 周波数カウンタ

### 16.1 周波数カウンタの機能

周波数カウンタは、チューナの間周波数（IF：Intermediate Frequency）の計数を行います。

FMIFC端子またはAMIFC端子に入力された中間周波数を16ビットのカウンタで一定時間（1 ms, 4 ms, 8 ms, オープン）カウントします。周波数カウンタの計数値は、IFカウンタ・レジスタに格納されます。

また、FMIFC端子およびAMIFC端子に入力できる周波数範囲はデータ・シートの電氣的特性を参照してください。

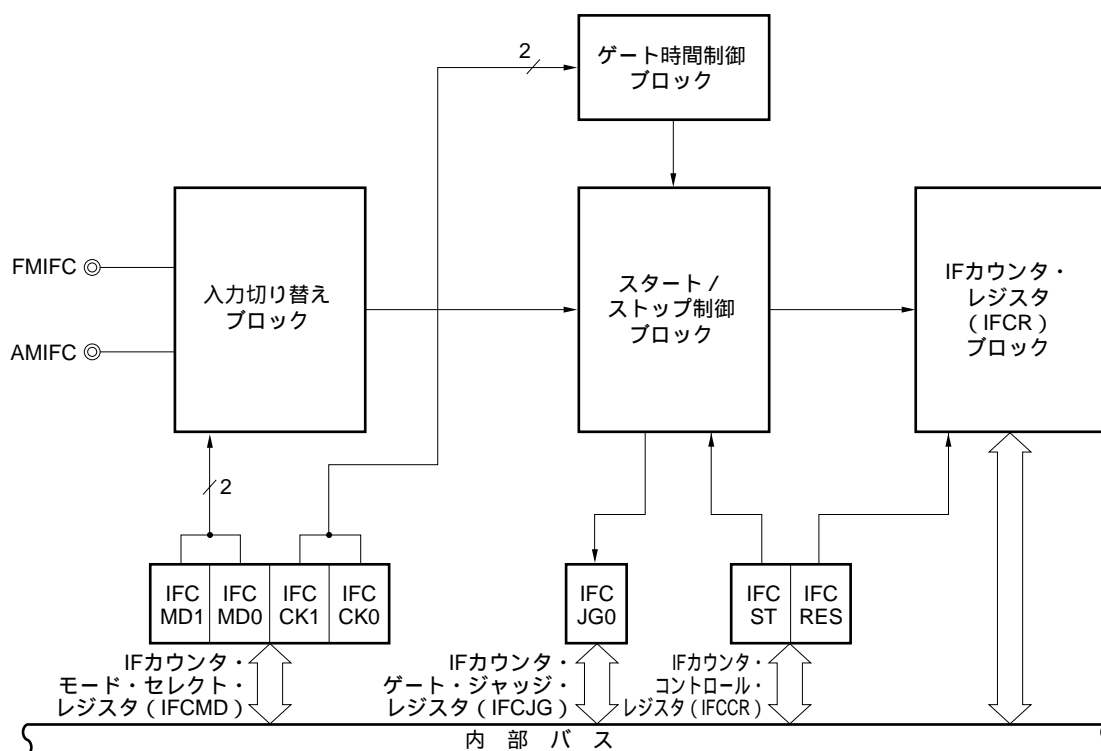
### 16.2 周波数カウンタの構成

周波数カウンタは、次のハードウェアで構成しています。

表16 - 1 周波数カウンタの構成

項 目	構 成
カウンタ・レジスタ	IFカウンタ・レジスタ（IFCR）
制御レジスタ	IFカウンタ・モード・セレクト・レジスタ（IFCMD） IFカウンタ・コントロール・レジスタ（IFCCR） IFカウンタ・ゲート・ジャッジ・レジスタ（IFCJG）

図16 - 1 周波数カウンタのブロック図



#### (1) IFカウンタ入力切り替えブロック

IFカウンタ入力切り替えブロックは、FMIFC端子、AMIFC端子から使用する端子およびカウント・モードを設定します。

#### (2) ゲート時間制御ブロック

ゲート時間制御ブロックは、ゲート時間（カウント時間）の設定を行います。

#### (3) スタート/ストップ制御ブロック

スタート/ストップ制御ブロックは、IFカウンタ・レジスタのカウント・スタートの設定およびカウント終了の検出を行います。

#### (4) IFカウンタ・レジスタ・ブロック

IFカウンタ・レジスタ・ブロックは16ビット・レジスタで、ゲート時間内に入力された周波数をアップ・カウントします。計数値は、IFカウンタ・レジスタ (IFCR) に格納されます。FFFFHまで計数すると、次の入力ではFFFFHのまま、カウントを停止します。リセット時、STOPモード時は0000Hになります。HALTモード時は、計数値を保持します。

### 16.3 周波数カウンタを制御するレジスタ

周波数カウンタは、次の3種類のレジスタで制御します。

- ・IFカウンタ・モード・セレクト・レジスタ (IFCMD)
- ・IFカウンタ・コントロール・レジスタ (IFCCR)
- ・IFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG)

#### (1) IFカウンタ・モード・セレクト・レジスタ (IFCMD)

周波数カウンタの入力端子、モードの設定およびゲート時間 (カウント時間) を設定するレジスタです。

IFCMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図16-2 IFカウンタ・モード・セレクト・レジスタ (IFCMD) のフォーマット

略号	7	6	5	4	①	アドレス	リセット時	R/W
IFCMD	0	0	0	0	IFCMD1   IFCMD0   IFCK1   IFCK0	FFA9H	00H	R/W

IFCMD1	IFCMD0	周波数カウンタ端子とモードを設定する
0	0	FMIFC端子, AMIFC端子ディスエーブル <sup>注</sup>
0	1	AMIFC端子, AMIFカウント・モード
1	0	FMIFC端子, FMIFカウント・モード
1	1	FMIFC端子, AMIFカウント・モード

IFCK1	IFCK0	ゲート時間を設定する
0	0	1 ms
0	1	4 ms
1	0	8 ms
1	1	オープン

**注** FMIFC端子, AMIFC端子はハイ・インピーダンスになります。

**備考** ビット4-7はハードウェアで0固定になっています。

(2) IFカウンタ・コントロール・レジスタ (IFCCR)

IFカウンタ・レジスタのカウント・スタートの設定およびIFカウンタ・レジスタをクリアするレジスタです。

IFCCRは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図16 - 3 IFカウンタ・コントロール・レジスタ (IFCCR) のフォーマット

略号	7	6	5	4	3	2	①		アドレス	リセット時	R/W
IFCCR	0	0	0	0	0	0	IFCST	IFCRES	FFACH	00H	W

IFCST	IFカウンタ・レジスタのカウント・スタートを設定
0	何も変化しません
1	カウントをスタート

IFCRES	IFカウンタ・レジスタのデータ・クリアを設定
0	何も変化しません
1	IFカウンタ・レジスタのデータをクリア

備考 ビット2-7はハードウェアで0固定になっています。

(3) IFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG)

周波数カウンタのゲートの開閉を検出するレジスタです。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図16 - 4 IFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG) のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
IFCJG	0	0	0	0	0	0	0	IFCJG0	FFABH	00H	R

IFCJG0	周波数カウンタのゲートの開閉を検出する
0	ゲートが閉じている状態
1	<ul style="list-style-type: none"> <li>・ゲート時間をオープン以外に設定した場合 IFCSTが1にセットされてからゲートが閉まるまでの状態</li> <li>・ゲート時間をオープンに設定した場合 オープン設定と同時にゲートが開いている状態</li> </ul>

備考 ビット1-7はハードウェアで0固定になっています。

注意 IFCJG0は、IFカウンタ・レジスタがオーバフロー・カウンタを停止しても、設定したゲート時間が終了するまでセット(1)されます。

## 16.4 周波数カウンタの動作

IFカウンタ・モード・セレクト・レジスタ (IFCMD) で、入力端子、モードおよびゲート時間を設定してください。

入力端子とモードの選択ブロック図を図16 - 5 に示します。

IFカウンタ・コントロール・レジスタ (IFCCR) のビット0 (IFCRES) をセット(1)して、IFカウンタ・レジスタのデータをクリアしてください。

IFカウンタ・コントロール・レジスタ (IFCCR) のビット1 (IFCST) をセット(1)してください。

IFCSTをセットしたあとの内部信号1 kHzの立ち上がりから、設定したゲート時間だけゲートをオープンします。ただし、ゲート時間にオープンを設定した場合は、設定した時点でゲートがオープンします。

またIFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG) のビット0 (IFCJG0) は、IFCSTをセット(1)した時点で自動的にセット(1)されます。

ゲート時間が終了するとIFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG) のビット0 (IFCJG0) を、自動的にクリア(0)します。ただし、ゲート時間にオープンを設定している場合は、IFCJG0は自動的にクリアされませんので、オープン以外を設定し直してください。周波数カウンタのゲート・タイミングを図16 - 6 に示します。

選択されたFMIFC端子またはAMIFC端子に入力されている周波数をゲートがオープンしている間、IFカウンタ・レジスタでカウントします。

ただし、FMIFC端子をFMIFカウント・モードで使用した場合は、入力された周波数は1/2分周されたあとカウントされます。

次に、カウント値  $X$  (10進) と入力周波数 ( $f_{FMIFC}$ ,  $f_{AMIFC}$ ) およびゲート時間 ( $T_{GATE}$ ) の関係を示します。

・ FMIFカウント・モード (FMIFC端子)

$$f_{FMIFC} = \frac{X}{T_{GATE}} \times 2 \text{ (kHz)}$$

・ AMIFカウント・モード (FMIFC端子またはAMIFC端子)

$$f_{AMIFC} = \frac{X}{T_{GATE}} \text{ (kHz)}$$

図16 - 5 入力端子、モードの選択ブロック図

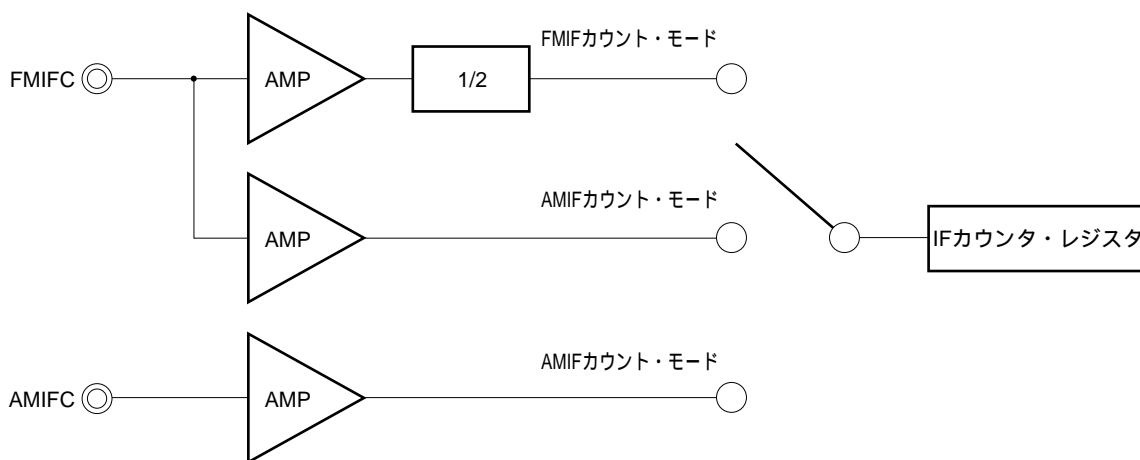
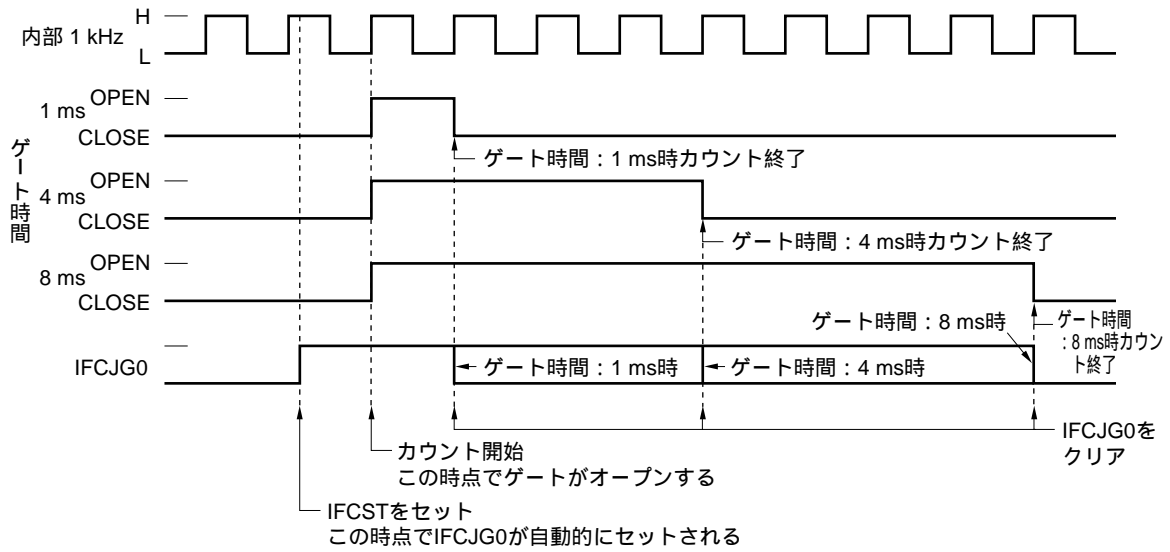
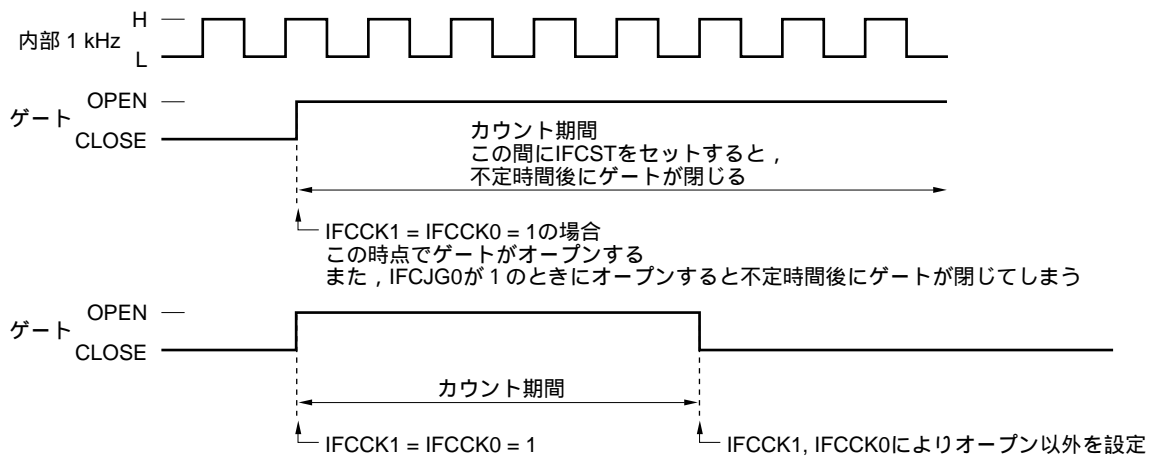


図16 - 6 周波数カウンタのゲート・タイミング

( a ) ゲート時間に1, 4, 8 msを選択した場合



( b ) ゲート時間にオープンを選択した場合



**注意** このゲートがオープンしている間にIFCSTによりカウントのスタートを設定すると、不定時間後にゲートが閉じてしまいます。したがって、ゲート時間にオープンを使用する場合は、IFCSTをセット(1)しないでください。

**備考** IFCST : IFカウンタ・コントロール・レジスタ (IFCCR) のビット1  
 IFCJG0 : IFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG) のビット0  
 IFCCK1, 0 : IFカウンタ・モード・セクタ・レジスタ (IFCMD) のビット1, 0

## 16.5 周波数カウンタの注意事項

### (1) 周波数カウンタ使用時の注意

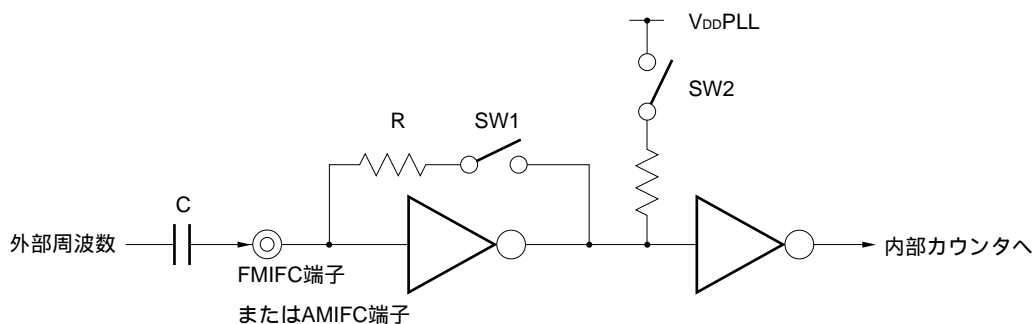
図16 - 7 に示すように、周波数カウンタは交流アンプを内蔵した入力端子 (FMIFC端子 / AMIFC端子) から入力されるため、入力信号の直流分をコンデンサCでカットしてください。

FMIFC端子またはAMIFC端子がIFカウンタ・モード・セレクト・レジスタにより選択されると、スイッチSW1がONし、スイッチSW2はOFFして、端子の電圧が約 $1/2V_{DD}$ になります。

このとき、十分に中間電圧に立ち上がっていないと、交流アンプが正常動作範囲内にないため、カウントが正常に行われない場合があります。

したがって、端子を選択してからカウントをスタートする (IFCST = 1) までに十分なウエイト時間を設けてください。

図16 - 7 周波数カウンタ入力端子回路



### (2) HALTモード時の注意

FMIFC端子およびAMIFC端子はHALTモード直前の状態を保持します。

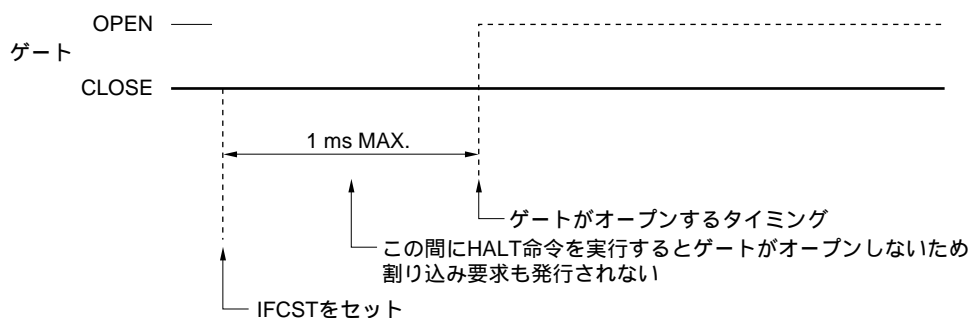
このとき周波数カウンタの割り込みによるHALTモードの解除を使用する場合は次に示す点に注意が必要です。

すなわち、IFCSTによりカウントをスタートしてから、実際にゲートがオープンするまでの間にHALT命令を実行してしまうと、ゲートがオープンしなくなります。

したがって、1 ms以上ウエイトしたあとにHALT命令を実行する必要があります。



図16 - 8 HALT命令を実行したときのゲート状態



### (3) 周波数カウンタの誤差

周波数カウンタの誤差にはゲート時間の誤差とカウント誤差があります。

#### (1) ゲート時間の誤差

周波数カウンタのゲート時間は、4.5 MHzを分周して作り出しています。

したがって4.5 MHzが“ + x ” ppmずれていると、ゲート時間は“ - x ” ppmずれることになります。

#### (2) カウント誤差

周波数カウンタは入力された信号の立ち上がりエッジで周波数をカウントします。

したがって、ゲートがオープンしたときに、端子にハイ・レベルが入力されていると1パルス分余分にカウントします。ただし、ゲートが閉じるときは、端子の状態によりカウントすることはありません。

すなわちカウント誤差としては“ 最大 + 1 ”になります。

[メモ]

# 第17章 スタンバイ機能

## 17.1 スタンバイ機能と構成

### 17.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

#### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

CPUは動作停止しますが、周辺機能は動作可能です。したがって消費電流を抑えるためには、HALT命令実行前に不要な回路をすべて停止してください。

#### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

★ また、データ・メモリの低電圧 ( $V_{DD}=2.2\text{V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

★ 電源電圧が2.2V未満になった場合にはパワーオン・クリアによるリセットがかかります。リセットに関しては、**第18章 リセット機能**を参照してください。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

すべての機能は動作停止します。

PLL周波数シンセサイザ、周波数カウンタの一部のレジスタはリセットされますが、他の機能は状態を保持して停止します。

**注意 1** . STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

2 . A/Dコンバータ部の消費電力を低減させるためには、ADM3のビット7(ADCS3)を0にクリアし、A/D変換動作を停止させたあとHALT命令またはSTOP命令を実行してください。

### 17.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット時は、04Hになります。

図17 - 1 発振安定時間選択レジスタ(OSTS)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

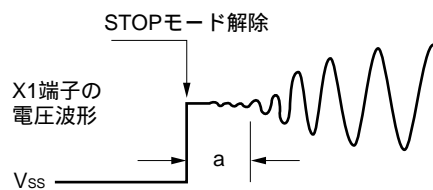
  

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択
0	0	0	$2^{12}/f_x$ (910 $\mu$ s)
0	0	1	$2^{14}/f_x$ (3.64 ms)
0	1	0	$2^{15}/f_x$ (7.28 ms)
0	1	1	$2^{16}/f_x$ (14.6 ms)
1	0	0	$2^{17}/f_x$ (29.1 ms)
上記以外			設定禁止

**備考**  $f_x$  : システム・クロック発振周波数

( )内は $f_x = 4.5$  MHz動作時

**注意** STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間(図 a)は含みません。これはRESET入力による場合も、割り込み要求発生による場合も同様です。



## 17.2 スタンバイ機能の動作

### 17.2.1 HALTモード

#### (1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表17 - 1 HALTモード時の動作状態

項 目	状 態
クロック発生回路	システム・クロック発振。CPUへのクロック供給が停止。
CPU	動作停止
ポート	HALTモード設定前の状態を保持
8ビット・タイマ/イベント・カウンタ	HALTモード設定前の動作を保持および動作可能
ベーシック・タイマ	
ウォッチドッグ・タイマ	
ブザー出力制御回路	
A/Dコンバータ	HALTモード設定時の動作を保持。 ただしA/D変換動作モードでは正常に比較ができません。パワー・フェイル比較モードでは、パワー・フェイル比較モード・レジスタ3(PFM3)のビット5(PFHRM3)の設定によって、次のようになります。 { PFHRM3 = 0 : 正常に比較できない { PFHRM3 = 1 : パワー・フェイル比較動作可能
シリアル・インタフェース (IIC0, SIO3, UART0)	HALTモード設定時の動作を保持および動作可能
外部割り込み	HALTモード設定時の動作を保持および動作可能
PLL周波数シンセサイザ	
周波数カウンタ	HALTモード設定前の動作を保持。 ただし、動作は継続しますが、正常動作はしません。
パワー・オン・クリア回路	3.5V未満検出により、リセット発生

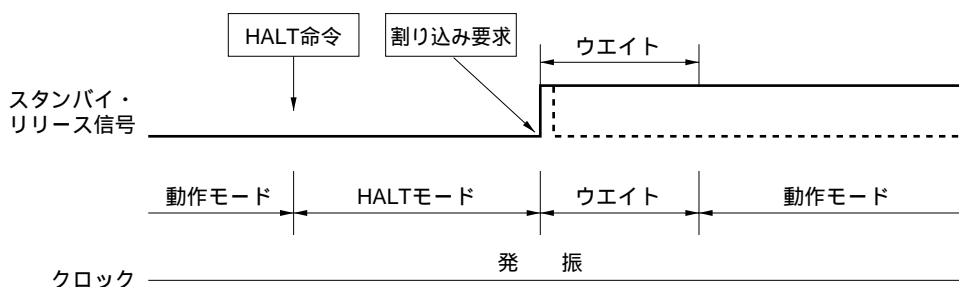
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図17-2 HALTモードの割り込み要求発生による解除



備考1．破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2．ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8～9クロック
- ・ベクタ割り込み処理を行わない場合 : 2～3クロック

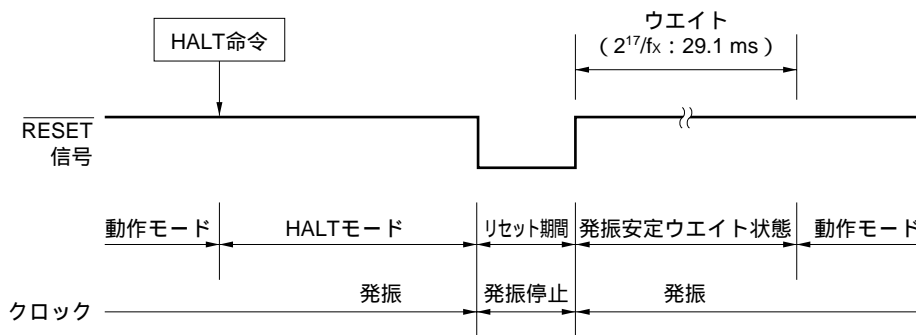
(b) ノンマスクابل割り込み要求による解除

ノンマスクابل割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(c)  $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図17 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( )内は,  $f_x = 4.5 \text{ MHz}$ 動作時。

表17 - 2 HALTモードの解除後の動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスクابل	0	0	0	x	次アドレス命令実行
割り込み要求	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
ノンマスクابل	-	-	x	x	割り込み処理実行
割り込み要求	-	-	x	x	リセット処理

備考 x : don't care

## 17.2.2 STOPモード

### (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

**注意 1.** STOPモードに設定すると、クリスタル発振回路部のリークを抑えるために、X1端子が内部でGNDにプルダウン、X2端子が内部でV<sub>DD</sub>にプルアップされます。

**2.** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表17 - 3 STOPモード時の動作状態

項 目	状 態
クロック発生回路	システム・クロック発振停止。CPUへのクロック供給が停止。
CPU	動作停止
ポート	STOPモード設定前の状態を保持
8ビット・タイマ/イベント・カウンタ	動作停止および動作不可能
ベーシック・タイマ	
ウォッチドッグ・タイマ	
ブザー出力制御回路	
A/Dコンバータ	
シリアル・インタフェース (IIC0, SIO3, UART0)	
外部割り込み	
PLL周波数シンセサイザ	動作停止および動作不可能
周波数カウンタ	
★ パワーオン・クリア回路	2.2V未満検出により、リセット発生



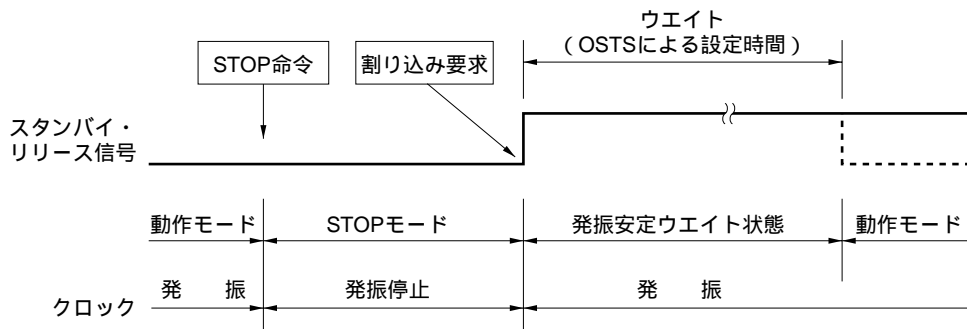
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図17-4 STOPモードの割り込み要求発生による解除

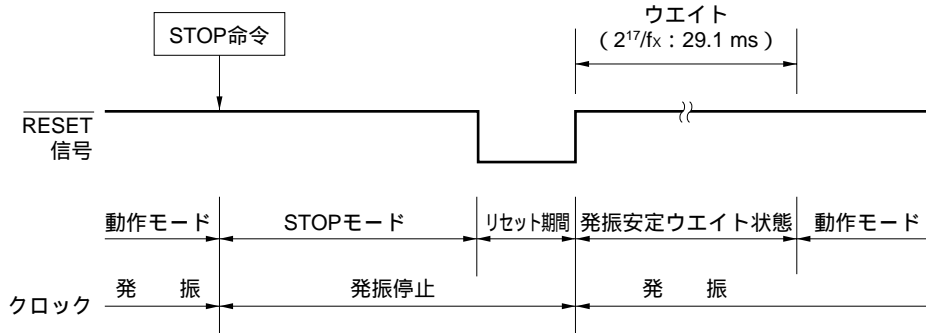


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b)  $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図17 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1 . fx : システム・クロック発振周波数

2 . ( )内は, fx = 4.5 MHz動作時。

表17 - 4 STOPモードの解除後の動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル	0	0	0	x	次アドレス命令実行
割り込み要求	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	x	x	リセット処理

備考 x : don't care

# 第18章 リセット機能

## 18.1 リセット機能

リセット信号を発生させる方法には、次の3種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) パワーオン・クリア(POC)による内部リセット

外部リセットと内部リセットは機能面での差はなく、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

### (1) $\overline{\text{RESET}}$ 端子による外部リセット入力

$\overline{\text{RESET}}$  端子にロウ・レベルが入力されるとリセットがかかり、各ハードウェアは表 18 - 1 に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス(ただし P130-P132 端子はロウ・レベル, VCOH, VCOL 端子はプルダウン)となります。

$\overline{\text{RESET}}$  端子によるリセットは、 $\overline{\text{RESET}}$  端子にハイ・レベルが入力されると解除され、発振安定時間経過後 ( $2^{17}/f_x$ ), プログラムの実行を開始します。

### (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

ウォッチドッグ・タイマのオーバフローが発生するとリセットがかかり、各ハードウェアは表 18 - 1 に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス(ただし P130-P132 端子はロウ・レベル, VCOH, VCOL 端子はプルダウン)となります。

ウォッチドッグ・タイマによるリセットは、リセットがかかってからすぐに解除され、発振安定時間経過後 ( $2^{17}/f_x$ ), プログラムの実行を開始します。

(3) パワーオン・クリア (POC) による内部リセット

次のいずれかの条件でパワーオン・クリアによるリセットがかかります。

★

- ・電源電圧投入時に、電源電圧が 3.5 V<sup>注</sup>未満である場合
- ・STOP モード時に、電源電圧が 2.2 V<sup>注</sup>未満になった場合
- ・電源電圧が 3.5 V<sup>注</sup>未満になった場合 (HALT モード時も含む)

これらのパワーオン・クリアのリセット条件を満たした場合、リセットがかかります。各ハードウェアは表18-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス (ただしP130-P132端子はロウ・レベル) となります。

パワーオン・クリアによるリセットは、電源電圧が一定電圧以上になると解除され、発振安定時間経過後 ( $2^{17}/f_x$ )、プログラムの実行を開始します。

注 これらの電圧は最大値であり、実際にはそれぞれの電圧より低い電圧でリセットがかかります。

注意 1 . 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu\text{s}$ 以上のロウ・レベルを入力してください。

2 . リセット入力中は、システム・クロックの発振が停止します。

3 .  $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、リセット入力中はSTOPモード時のレジスタ内容を保持します。ただし、I/Oポート端子は、入力モードに設定されるためハイ・インピーダンスとなります。出力専用ポート端子 (P130-P132) は以前の状態にかかわらずロウ・レベルになります。

図18 - 1 リセット機能のブロック図

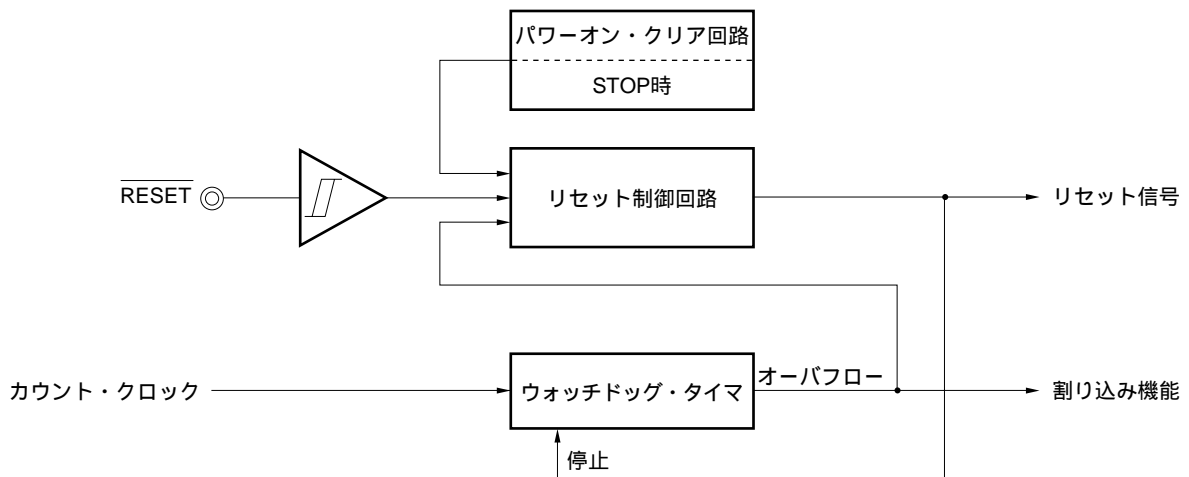
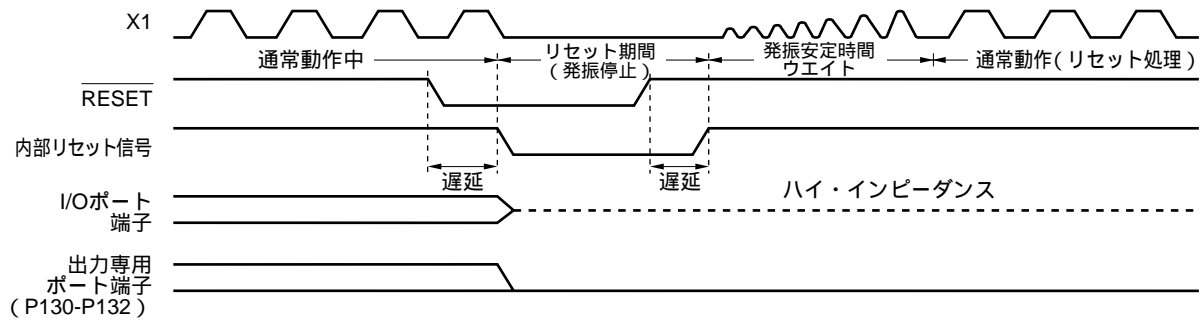


図18 - 2  $\overline{\text{RESET}}$ 入力によるリセット・タイミング

( a ) 通常動作モード時



( b ) STOP モード時

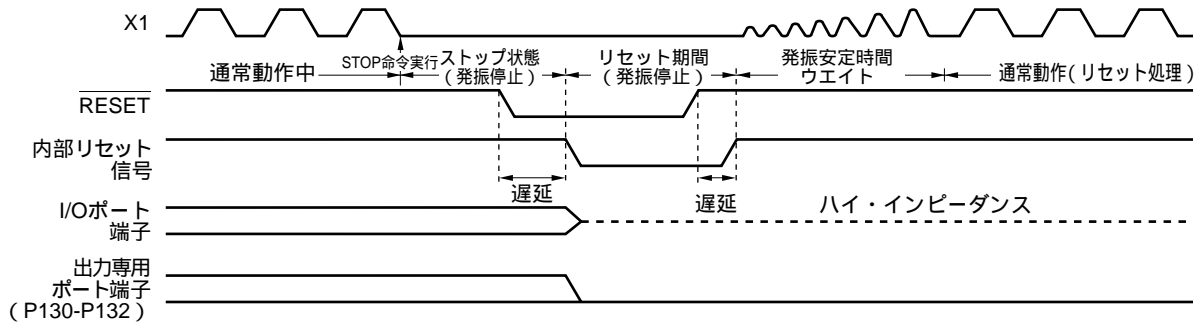


図18 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

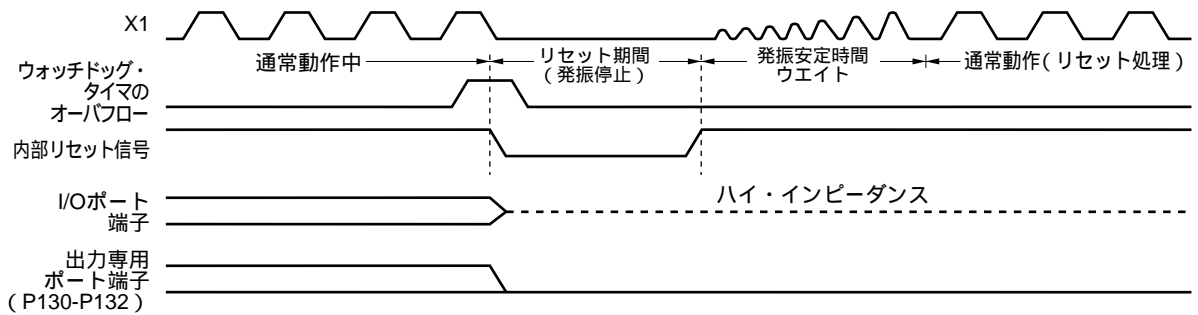
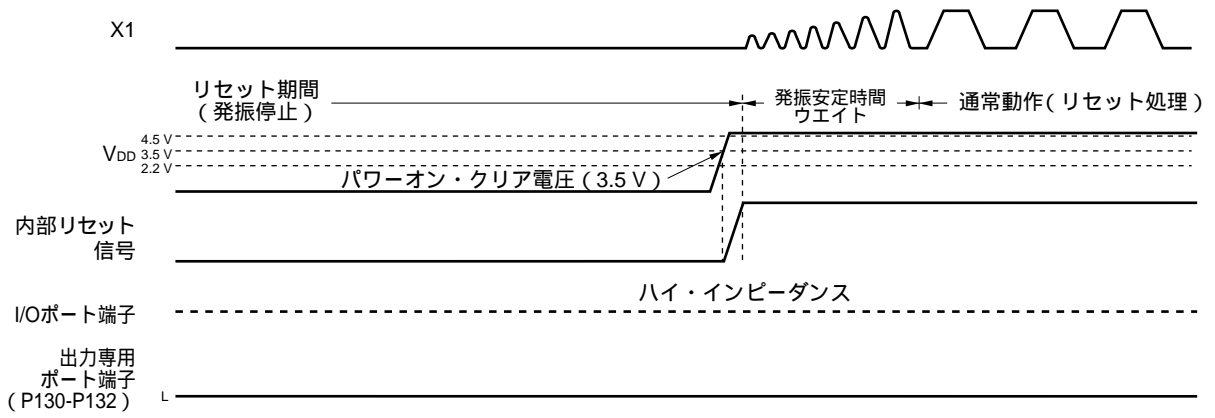
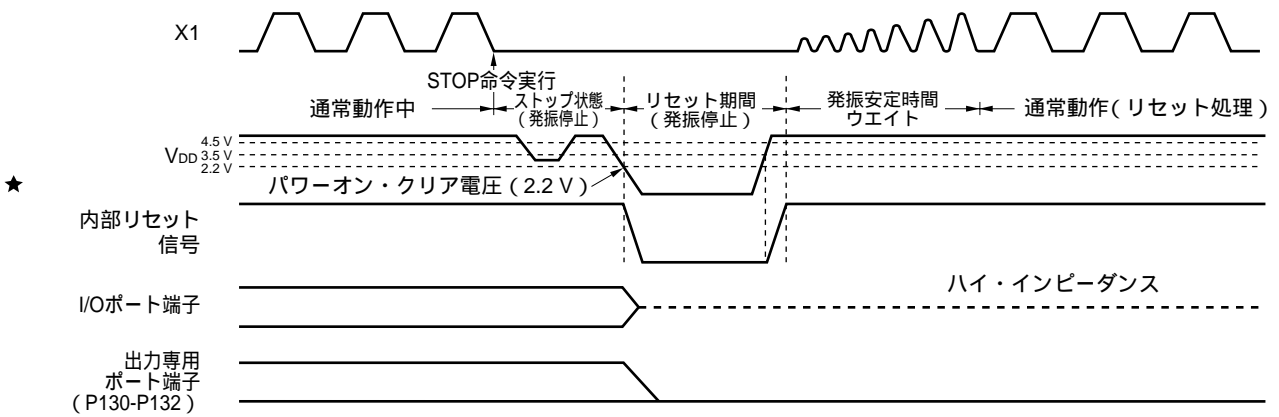


図 18 - 4 パワーオン・クリアによるリセット・タイミング

( a ) 電源電圧投入時



( b ) STOP モード時



( c ) 通常モード時 (HALT モード時も含む)

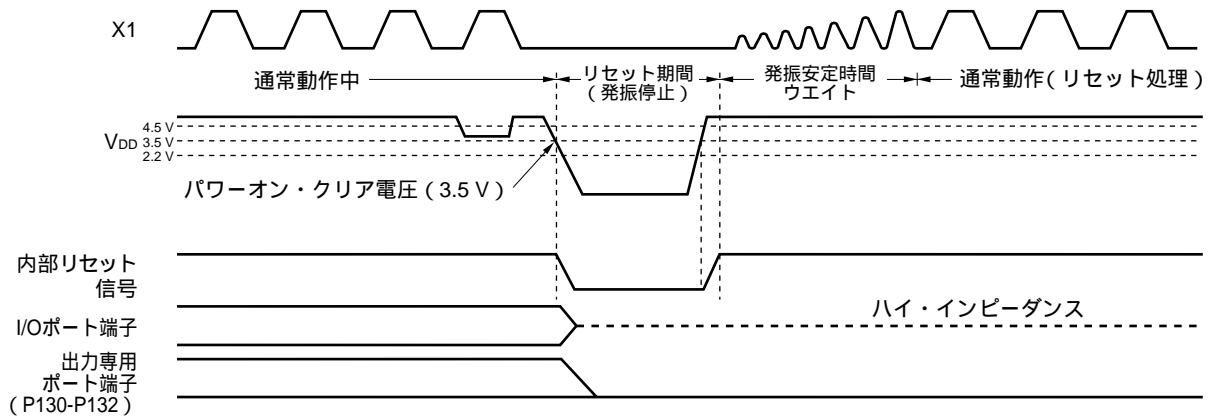


表18 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ(PC) <sup>注1</sup>		リセット・ベクタ・テーブル (0000H, 0001H)の内容がセット される。
スタック・ポインタ(SP)		不 定
プログラム・ステータス・ワード(PSW)		不 定
RAM	データ・メモリ	不 定 <sup>注2</sup>
	汎用レジスタ	不 定 <sup>注2</sup>
ポート(出力ラッチ)	ポート0, 1, 3-7, 12, 13(P0, P1, P3-P7, P12, P13)	00H
ポート・モード・レジスタ(PM0, PM3-PM7, PM12)		FFH
プルアップ抵抗オプション・レジスタ4(PU4)		00H
プロセッサ・クロック・コントロール・レジスタ(PCC)		04H
発振安定時間選択レジスタ(OSTS)		04H
DTSシステム・クロック選択レジスタ(DTSCK)		00H <sup>注3</sup>
メモリ・サイズ切り替えレジスタ(IMS)		CFH <sup>注4</sup>
内部拡張RAMサイズ切り替えレジスタ(IXS)		0CH <sup>注5</sup>
8ビット・タイマ/ イベント・カウンタ	カウンタ50, 51(TM50, TM51)	00H
	コンペア・レジスタ50, 51(CR50, CR51)	不 定
	クロック選択レジスタ50, 51(TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51(TMC50, TMC51)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ(WDCS)	00H
	モード・レジスタ(WDTM)	00H
ブザー出力制御回路	BEEPクロック選択レジスタ0(BEEPCL0)	00H

注1．リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2．スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。

3．初期値は00Hですが、必ず01Hに設定して使用してください。

4．初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μ PD178022 : 44H

μ PD178023 : C6H

μ PD178024 : C8H

μ PD178F124 : マスクROM製品に対応した値

5．0CH以外の値を設定しないでください。

表18 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態	
シリアル・ インタフェース	IIC0	IICシフト・レジスタ 0(IIC0)	不 定
		スレーブ・アドレス・レジスタ 0(SVA0)	不 定
		IIC転送クロック選択レジスタ 0(IICCL0)	00H
		IIC状態レジスタ 0(IICS0)	00H
		IICコントロール・レジスタ 0(IICCO)	00H
	SIO3	シフト・レジスタ 3(SIO3)	不 定
		動作モード・レジスタ 3(CSIM3)	00H
	UART0	アシンクロナス・シリアル・インタフェース・モード・レジスタ 0(ASIM0)	00H
		アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 0(ASIS0)	00H
		ポー・レート・ジェネレータ・コントロール・レジスタ 0(BRGC0)	00H
送信シフト・レジスタ 0 / 受信バッファ・レジスタ 0(TXS0, RXB0)		FFH	
A/Dコンバータ	モード・レジスタ 3(ADM3)	00H	
	変換結果レジスタ 3(ADCR3)	不定	
	アナログ入力チャンネル指定レジスタ(ADS3)	00H	
	パワー・フェイル比較モード・レジスタ(PFM3)	00H	
	パワー・フェイル比較しきい値レジスタ(PFT3)	00H	
割り込み	要求フラグ・レジスタ(IF0L, IF0H, IF1L)	00H	
	マスク・フラグ・レジスタ(MK0L, MK0H, MK1L)	FFH	
	優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L)	FFH	
	外部割り込み立ち上がりエッジ許可レジスタ(EGP)	00H	
	外部割り込み立ち下がりエッジ許可レジスタ(EGN)	00H	
PLL周波数シンセサイザ	PLLモード・セレクト・レジスタ(PLLMD)	00H	
	PLLレファレンス・モード・レジスタ(PLLRF)	0FH	
	PLLアンロックF/Fジャッジ・レジスタ(PLLUL)	保持 <sup>注1</sup>	
	PLLデータ・レジスタ(PLLRH, PLLRL, PLLR0)	不定	
	PLLデータ転送レジスタ(PLLNS)	00H	
周波数カウンタ	IFカウンタ・モード・セレクト・レジスタ(IFCMD)	00H	
	IFカウンタ・ゲート・ジャッジ・レジスタ(IFCJG)	00H	
	IFカウンタ・コントロール・レジスタ(IFCCR)	00H	
	IFカウンタ・レジスタ(IFCR)	0000H	
パワーオン・クリア	POCステータス・レジスタ(POCS)	保持 <sup>注2</sup>	

注1 . パワーオン・クリアによるリセットのみ不定になります。

2 . パワーオン・クリアによるリセットのみ03Hになります。



## 18.2 停電検出機能

パワーオン・クリアによるリセットが発生すると、POCステータス・レジスタ(POCS)のビット0(POCM)が1にセットされます。ただし、 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセットが発生した場合には、POCMは以前の状態を保持します。

パワーオン・クリアによるリセット解除後(0000H番地からプログラム実行開始後)、このPOCMを検出することで停電状態を検出することができます。

図18 - 5 POCステータス・レジスタ(POCS)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POCS	0	0	0	0	0	0	VM45	POCM	FF1BH	保持 <sup>注</sup>	R&Reset

POCM	パワーオン・クリアの発生状態検出
0	パワーオン・クリア未発生
<sup>1</sup> 注	パワーオン・クリアによるリセット発生

**注** パワーオン・クリアによるリセットのみ03Hとなります。 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

**備考** POCS, PLLUL以外の特殊機能レジスタのパワーオン・クリアによるリセット時の値は、 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセット時の値と同じになります(表18 - 1参照)。

## 18.3 4.5 V電源検出機能

V<sub>DD</sub>端子が4.5 V (4.5 V ± 0.3 V) 未満になるのを検出できます。V<sub>DD</sub>端子が4.5 V (4.5 V ± 0.3 V) 未満になると、POCステータス・レジスタ(POCS)のビット1(VM45)がセットされます。

ただし、この4.5 V電圧検出機能は、内部リセットを発生しません。

図18 - 6 POCステータス・レジスタ(POCS)のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POCS	0	0	0	0	0	0	VM45	POCM	FF1BH	保持 <sup>注</sup>	R&Reset

VM45	V <sub>DD</sub> 端子の電圧レベル検出
0	V <sub>DD</sub> 端子が4.5 V (4.3 ± 0.3 V) 未満の状態のとき未検出
1	V <sub>DD</sub> 端子が4.5 V (4.3 ± 0.3 V) 未満の状態のとき検出

**注** パワーオン・クリアによるリセットのみ03Hとなります。 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

**備考** POCS, PLLUL以外の特殊機能レジスタのパワーオン・クリアによるリセット時の値は、 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセット時の値と同じになります(表18 - 1参照)。

## 第19章 $\mu$ PD178F124

$\mu$ PD178F124は、基板に実装した状態でプログラムの書き込み、消去、再書き込みが可能なフラッシュ・メモリを内蔵した製品です。フラッシュ・メモリ製品（ $\mu$ PD178F124）とマスクROM製品（ $\mu$ PD178022, 178023, 178024）との違いを表19-1に示します。

★

表19 - 1  $\mu$ PD178F124とマスクROM製品の違い

項 目		$\mu$ PD178F124	$\mu$ PD178022, 178023, 178024
内部メモリ	ROM構造	フラッシュ・メモリ	マスクROM
	ROM容量	32 Kバイト	$\mu$ PD178022 : 16 Kバイト $\mu$ PD178023 : 24 Kバイト $\mu$ PD178024 : 32 Kバイト
メモリ・サイズ切り替えレジスタ（IMS）による内部ROM容量の設定		マスクROM製品に対応した値	$\mu$ PD178022 : 44H $\mu$ PD178023 : C6H $\mu$ PD178024 : C8H
IC端子		なし	あり
$V_{PP}$ 端子		あり	なし
電气的特性，半田付け推奨条件		フラッシュ・メモリ製品とマスクROM製品で異なる場合があります。	

## 19.1 メモリ・サイズ切り替えレジスタ (IMS)

μPD178F124は、メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品と同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

リセット時は、CFHになります。

必ず、IMSに44H, C6HまたはC8Hを設定してください。

図19 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0	FFF0H	CFH	R/W

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	1	0	512バイト
1	1	0	1024バイト
上記以外			設定禁止

RAM3	RAM2	RAM1	RAM0	内部ROM容量の選択
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
上記以外				設定禁止

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表19-2に示します。

表19 - 2 メモリ・サイズ切り替えレジスタの設定値

対象製品	IMSの設定値
μPD178022	44H
μPD178023	C6H
μPD178024	C8H

## 19.2 内部拡張RAMサイズ切り替えレジスタ (IXS)

μPD178F124は、内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量を選択できます。IXSを設定することにより、内部拡張RAM容量の異なるマスクROM製品と同一のメモリ・マップにできます。

IXSは、8ビット・メモリ操作命令で設定します。

リセット時は、0CHになります。

**注意** IXSにはリセット時以外の値を設定しないでください。

図19 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	FFF4H	0CH	R/W

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	1	0	0	0バイト
上記以外					設定禁止

マスクROM製品と同一のメモリ・マップにするIXSの設定値を表19 - 3に示します。

表19 - 3 内部拡張RAMサイズ切り替えレジスタの設定値

対象製品	IXSの設定値
μPD178022, 178023, 178024	0CH

## 19.3 フラッシュ・メモリ・プログラミング

$\mu$ PD178F124に内蔵されているプログラム・メモリはフラッシュ・メモリです。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行うことができます。専用フラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3））をホスト・マシンおよびターゲット・システムに接続して書き込みます。

**備考** FL-PR3は、株式会社内藤電誠町田製作所の製品です。

### 19.3.1 通信方式の選択

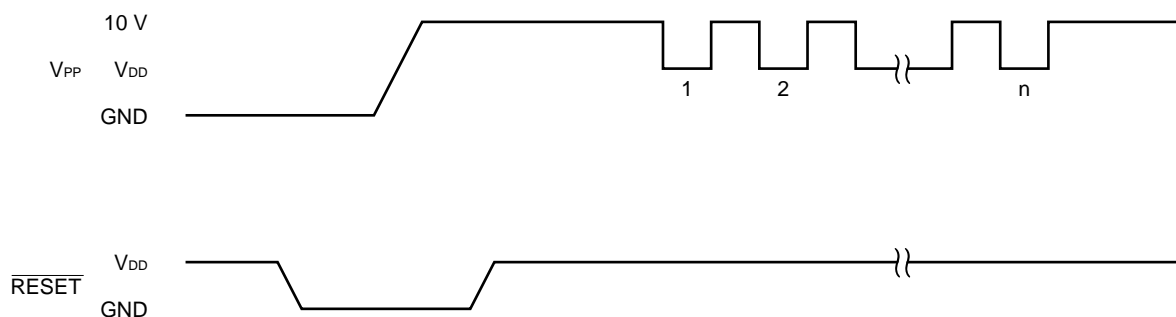
フラッシュ・メモリへの書き込みは、Flashpro を使用し、シリアル通信で行います。表19 - 4 に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図19 - 3 に示すようなフォーマットを用います。表19 - 4 に示す $V_{PP}$ パルス数で、それぞれの通信方式が選択されます。

表19 - 4 通信方式一覧

通信方式	使用端子	$V_{PP}$ パルス数
3線式シリアルI/O (SIO3)	SI3/P70 SO3/P71 $\overline{\text{SCK3/P72}}$	0
IIC0	SDA0/P76 SCL0/P77	4
UART0	$\overline{\text{RXD0/P74}}$ $\overline{\text{TXD0/P75}}$	8

**注意** 通信方式は、必ず表19 - 4 に示す $V_{PP}$ パルス数で選択してください。

図19 - 3 通信方式選択フォーマット



### 19.3.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表19 - 5 に示します。

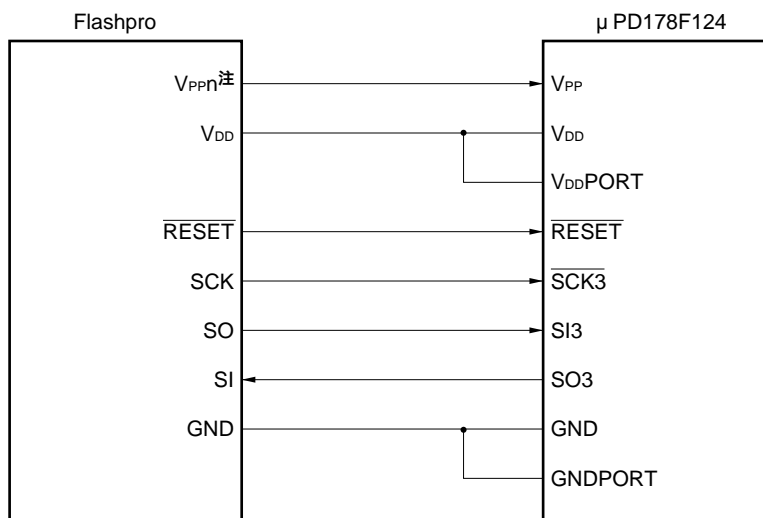
表19 - 5 フラッシュ・メモリ・プログラミングの主な機能

機 能	説 明
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
一括ペリファイ	全メモリの内容と入力したデータを確認します。

### 19.3.3 Flashpro の接続

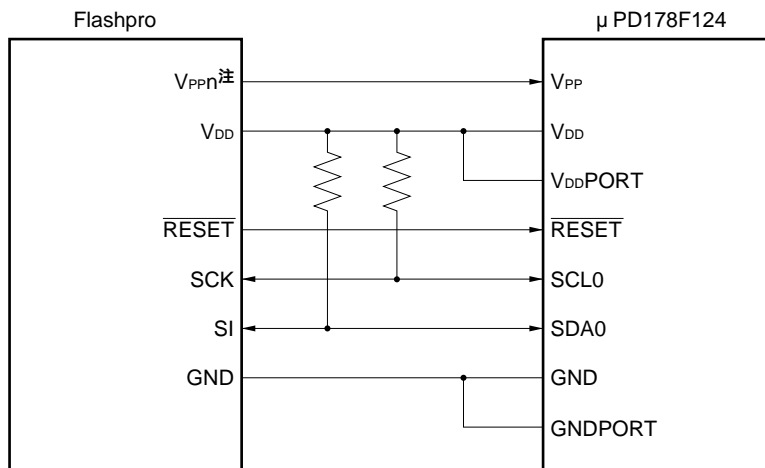
Flashpro とμPD178F124との接続は、通信方式(3線式シリアルI/O, IIC0, UART0)によって異なります。それぞれの場合の接続図を図19 - 4 ~ 図19 - 6 に示します。

図19 - 4 3線式シリアルI/O方式でのFlashpro の接続



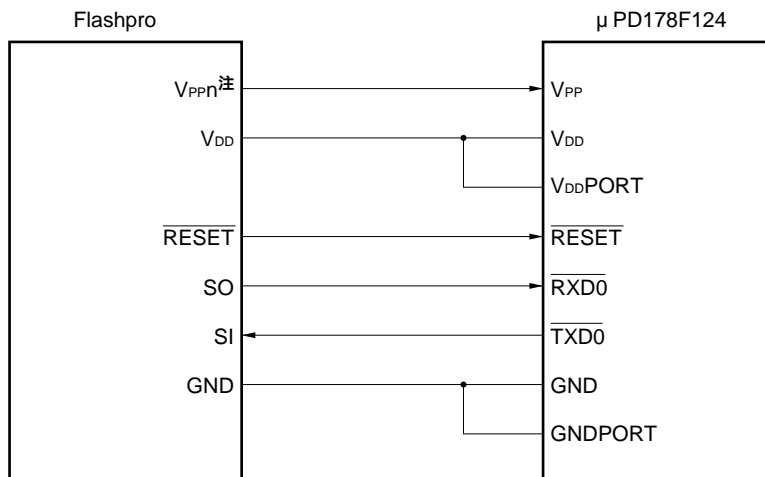
注 n = 1, 2

図19 - 5 IIC0方式でのFlashpro の接続



注 n = 1, 2

図19 - 6 UART0方式でのFlashpro の接続



注 n = 1, 2



### 19.3.4 Flashpro (PG-FP3) での設定例

Flashpro (PG-FP3) を使用してフラッシュ・メモリへ書き込む場合は、次のように設定してください。

パラメータ・ファイルをロードしてください。

タイプ・コマンドでシリアル的方式とシリアル・クロックを選択してください。

PG-FP3での設定例を表19 - 6 に示します。

表19 - 6 Flashpro (PG-FP3) での設定例

通信方式	Flashpro での設定		V <sub>PP</sub> パルス数 <sup>注1</sup>
3 線式シリアルI/O (SIO3)	COMM PORT	SIO ch-0	0
	CPU CLK	On Target Board	
		In Flashpro	
	On Target Board	4.1943 MHz	
	SIO CLK	1.0 MHz	
	In Flashpro	4.0 MHz	
SIO CLK		1.0 MHz	
IIC0	COMM PORT	IIC ch-0	4
	SLAVE ADDRESS	08H ~ 77H	
	CPU CLK	On Target Board	
		In Flashpro	
IIC CLK	1 ~ 400 kHz		
UART0	COMM PORT	UART ch-0	8
	CPU CLK	On Target Board	
		On Target Board	
	UART BPS	9600 bps <sup>注2</sup>	

注1 . シリアル通信のイニシャライズ時にFlashpro (PG-FP3) から供給されるV<sub>PP</sub>パルス数です。このパルス数によって通信に使用する端子が決定されます。

2 . 9600 bps, 19200 bps, 38400 bps, 76800 bpsの中からいずれかを選択してください。

**備考** COMM PORT : シリアル・ポートの選択

SIO CLK : シリアル・クロック周波数の選択

CPU CLK : 入力されるCPUクロック源の選択

[メモ]

## 第20章 命令セットの概要

μPD178024サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

## 20.1 凡 例

### 20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミディエイト・データ指定
- ・! : 絶対アドレス指定
- ・\$ : 相対アドレス指定
- ・[ ] : 間接アドレス指定

イミディエイト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称(X、A、Cなど)、絶対名称(下表の中のカッコ内の名称、R0、R1、R2など)のいずれの形式でも記述可能です。

表20 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号 <sup>注</sup>
sfrp	特殊機能レジスタ略号(16ビット操作可能なレジスタの偶数アドレスのみ) <sup>注</sup>
saddr	FE20H-FF1FH イミディエイト・データまたはラベル
saddrp	FE20H-FF1FH イミディエイト・データまたはラベル(偶数アドレスのみ)
addr16	0000H-FFFFH イミディエイト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミディエイト・データまたはラベル
addr5	0040H-007FH イミディエイト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミディエイト・データまたはラベル
byte	8ビット・イミディエイト・データまたはラベル
bit	3ビット・イミディエイト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 4 特殊機能レジスタ一覧を参照してください。

### 20.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
( )	: ( )内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H, \times_L$	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積(AND)
	: 論理和(OR)
$\nabla$	: 排他的論理和(exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ(ディスプレイメント値)

### 20.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
$\times$	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

## 20.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r <small>注3</small>	1	2	-	A r			
		r, A <small>注3</small>	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [ DE ]	1	4	5	A (DE)			
		[ DE ] A	1	4	5	(DE) A			
		A, [ HL ]	1	4	5	A (HL)			
		[ HL ] A	1	4	5	(HL) A			
		A, [ HL + byte ]	2	8	9	A (HL + byte)			
		[ HL + byte ] A	2	8	9	(HL + byte) A			
		A, [ HL + B ]	1	6	7	A (HL + B)			
		[ HL + B ] A	1	6	7	(HL + B) A			
		A, [ HL + C ]	1	6	7	A (HL + C)			
[ HL + C ] A	1	6	7	(HL + C) A					

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック( $f_{CPU}$ )の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, r <sup>注3</sup>	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A (sfr)			
		A, laddr16	3	8	10	A (addr16)			
		A, [ DE ]	1	4	6	A (DE)			
		A, [ HL ]	1	4	6	A (HL)			
		A, [ HL + byte ]	2	8	10	A (HL + byte)			
		A, [ HL + B ]	2	8	10	A (HL + B)			
		A, [ HL + C ]	2	8	10	A (HL + C)			
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <sup>注4</sup>	1	4	-	AX rp			
		rp, AX <sup>注4</sup>	1	4	-	rp AX			
		AX, laddr16	3	10	12	AX (addr16)			
		laddr16, AX	3	10	12	(addr16) AX			
	XCHW	AX, rp <sup>注4</sup>	1	4	-	AX rp			
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, laddr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [ HL ]	1	4	5	A, CY A + (HL)	x	x	x
		A, [ HL + byte ]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [ HL + B ]	2	8	9	A, CY A + (HL + B)	x	x	x
		A, [ HL + C ]	2	8	9	A, CY A + (HL + C)	x	x	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

4 . rp = BC, DE, HLのときのみ。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A + (HL + C) + CY	x	x	x
	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック( $f_{CPU}$ )の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。



命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	AND	A, #byte	2	4	-	A A byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x	
		A, r <sup>注3</sup>	2	4	-	A A r		x	
		r, A	2	4	-	r r A		x	
		A, saddr	2	4	5	A A (saddr)		x	
		A, !addr16	3	8	9	A A (addr16)		x	
		A, [HL]	1	4	5	A A [HL]		x	
		A, [HL + byte]	2	8	9	A A [HL + byte]		x	
		A, [HL + B]	2	8	9	A A [HL + B]		x	
		A, [HL + C]	2	8	9	A A [HL + C]		x	
	OR	A, #byte	2	4	-	A A byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x	
		A, r <sup>注3</sup>	2	4	-	A A r		x	
		r, A	2	4	-	r r A		x	
		A, saddr	2	4	5	A A (saddr)		x	
		A, !addr16	3	8	9	A A (addr16)		x	
		A, [HL]	1	4	5	A A (HL)		x	
		A, [HL + byte]	2	8	9	A A (HL + byte)		x	
		A, [HL + B]	2	8	9	A A (HL + B)		x	
		A, [HL + C]	2	8	9	A A (HL + C)		x	
	XOR	A, #byte	2	4	-	A A ∨ byte		x	
		saddr, #byte	3	6	8	(saddr) (saddr) ∨ byte		x	
		A, r <sup>注3</sup>	2	4	-	A A ∨ r		x	
		r, A	2	4	-	r r ∨ A		x	
		A, saddr	2	4	5	A A ∨ (saddr)		x	
		A, !addr16	3	8	9	A A ∨ (addr16)		x	
		A, [HL]	1	4	5	A A ∨ (HL)		x	
		A, [HL + byte]	2	8	9	A A ∨ (HL + byte)		x	
		A, [HL + B]	2	8	9	A A ∨ (HL + B)		x	
		A, [HL + C]	2	8	9	A A ∨ (HL + C)		x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック( $f_{CPU}$ )の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A - (HL + C)	x	x	x
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX (商), A (余り) AX ÷ C			
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
DECW	rp	1	4	-	rp rp - 1				
ローテート	ROR	A, 1	1	2	-	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
	ROL	A, 1	1	2	-	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
	RORC	A, 1	1	2	-	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
	ROLC	A, 1	1	2	-	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
	ROR4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>3-0</sub> , (HL) <sub>7-4</sub> A <sub>3-0</sub> , (HL) <sub>3-0</sub> (HL) <sub>7-4</sub>			
	ROL4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>7-4</sub> , (HL) <sub>3-0</sub> A <sub>3-0</sub> , (HL) <sub>7-4</sub> (HL) <sub>3-0</sub>			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY ( saddr.bit )			×
		CY, sfr.bit	3	-	7	CY sfr.bit			×
		CY, A.bit	2	4	-	CY A.bit			×
		CY, PSW.bit	3	-	7	CY PSW.bit			×
		CY, [ HL ]bit	2	6	7	CY ( HL )bit			×
		saddr.bit, CY	3	6	8	( saddr.bit ) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	×	×	
		[ HL ]bit, CY	2	6	8	( HL )bit CY			
	AND1	CY, saddr.bit	3	6	7	CY CY ( saddr.bit )			×
		CY, sfr.bit	3	-	7	CY CY sfr.bit			×
		CY, A.bit	2	4	-	CY CY A.bit			×
		CY, PSW.bit	3	-	7	CY CY PSW.bit			×
		CY, [ HL ]bit	2	6	7	CY CY ( HL )bit			×
	OR1	CY, saddr.bit	3	6	7	CY CY ( saddr.bit )			×
		CY, sfr.bit	3	-	7	CY CY sfr.bit			×
		CY, A.bit	2	4	-	CY CY A.bit			×
		CY, PSW.bit	3	-	7	CY CY PSW.bit			×
		CY, [ HL ]bit	2	6	7	CY CY ( HL )bit			×
	XOR1	CY, saddr.bit	3	6	7	CY CY ∨ ( saddr.bit )			×
		CY, sfr.bit	3	-	7	CY CY ∨ sfr.bit			×
		CY, A.bit	2	4	-	CY CY ∨ A.bit			×
		CY, PSW.bit	3	-	7	CY CY ∨ PSW.bit			×
		CY, [ HL ]bit	2	6	7	CY CY ∨ ( HL )bit			×
	SET1	saddr.bit	2	4	6	( saddr.bit ) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	×	×	×
		[ HL ]bit	2	6	8	( HL )bit 1			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック( f<sub>CPU</sub> )の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY $\overline{CY}$			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) <sub>H</sub> , (SP - 2) (PC + 3), PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) <sub>H</sub> , (SP - 2) (PC + 2), PC <sub>15-11</sub> 00001, PC <sub>10-0</sub> addr11, SP SP - 2			
	CALLT	[ addr5 ]	1	6	-	(SP - 1) (PC + 1) <sub>H</sub> , (SP - 2) (PC + 1), PC <sub>H</sub> (00000000, addr5 + 1), PC <sub>L</sub> (00000000, addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) <sub>H</sub> , (SP - 3) (PC + 1), PC <sub>H</sub> (003FH), PC <sub>L</sub> (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), SP SP + 2			
	RETI		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
	RETB		1	6	-	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3	R	R	R
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp <sub>H</sub> , (SP - 2) rp <sub>L</sub> , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp <sub>H</sub> (SP + 1), rp <sub>L</sub> (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック( $f_{CPU}$ )の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC <sub>H</sub> A, PC <sub>L</sub> X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if ( saddr.bit ) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[ HL ]bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if ( HL ).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if ( saddr.bit ) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[ HL ]bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if ( HL ).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if ( saddr.bit ) = 1 then reset( saddr.bit )			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[ HL ]bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if ( HL ).bit = 1 then reset ( HL ).bit			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック( f<sub>CPU</sub> )の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE 1( Enable Interrupt )			
	DI		2	-	6	IE 0( Disable Interrupt )			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック( f<sub>CPU</sub> )の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

## 20.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r <sup>注</sup>	sfr	saddr	!addr16	PSW	[ DE ]	[ HL ]	[ HL + byte ] [ HL + B ] [ HL + C ]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[ DE ]		MOV											
[ HL ]		MOV											ROR4 ROL4
[ HL + byte ] [ HL + B ] [ HL + C ]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。



(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp <sup>注</sup>	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL]bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL]bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[ addr5 ]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

## 付録A 開発ツール

μPD178024サブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。  
図A - 1に開発ツール構成を示します。

### PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

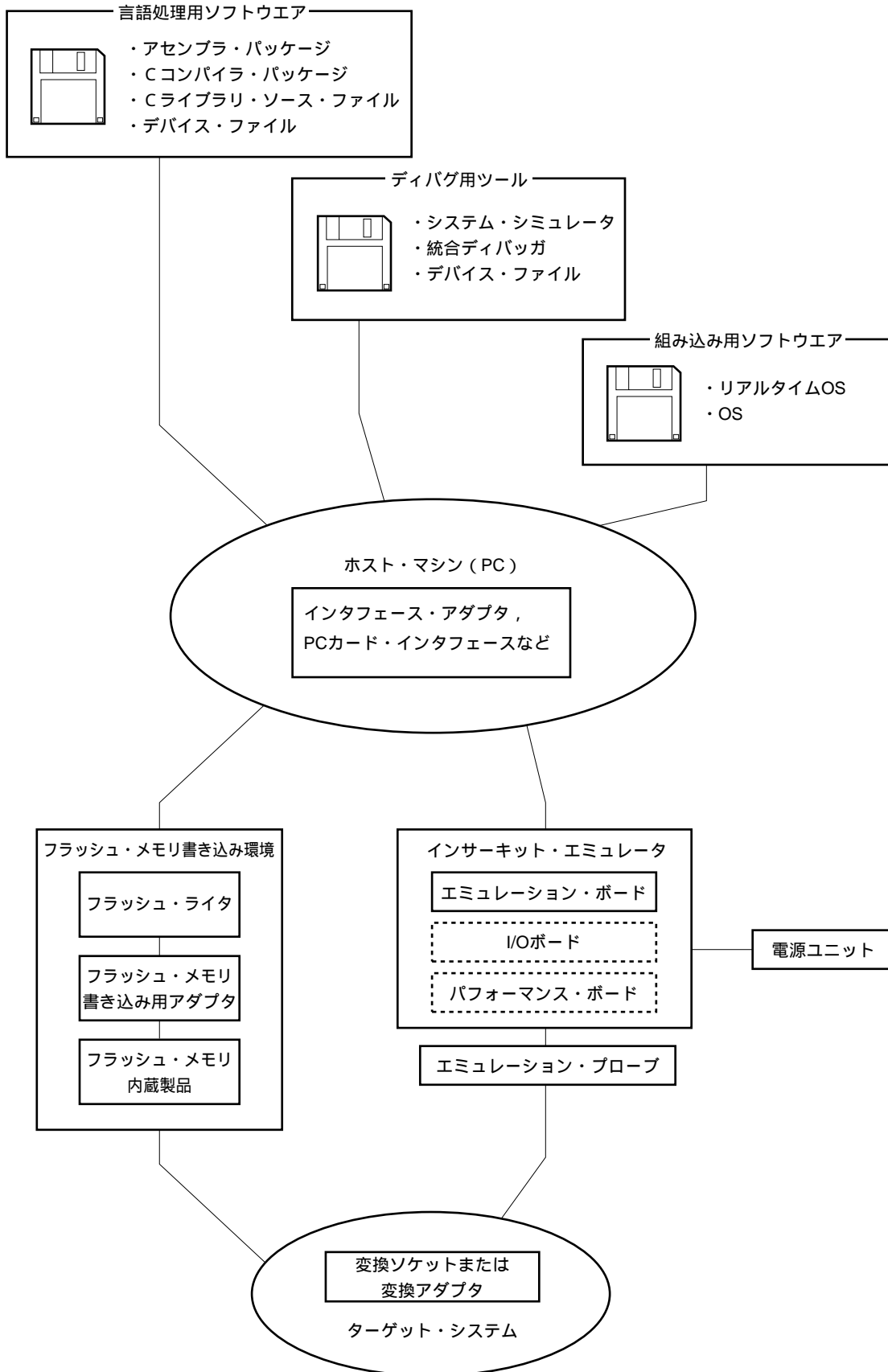
### Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows95
- WindowsNT™ Ver.4.0

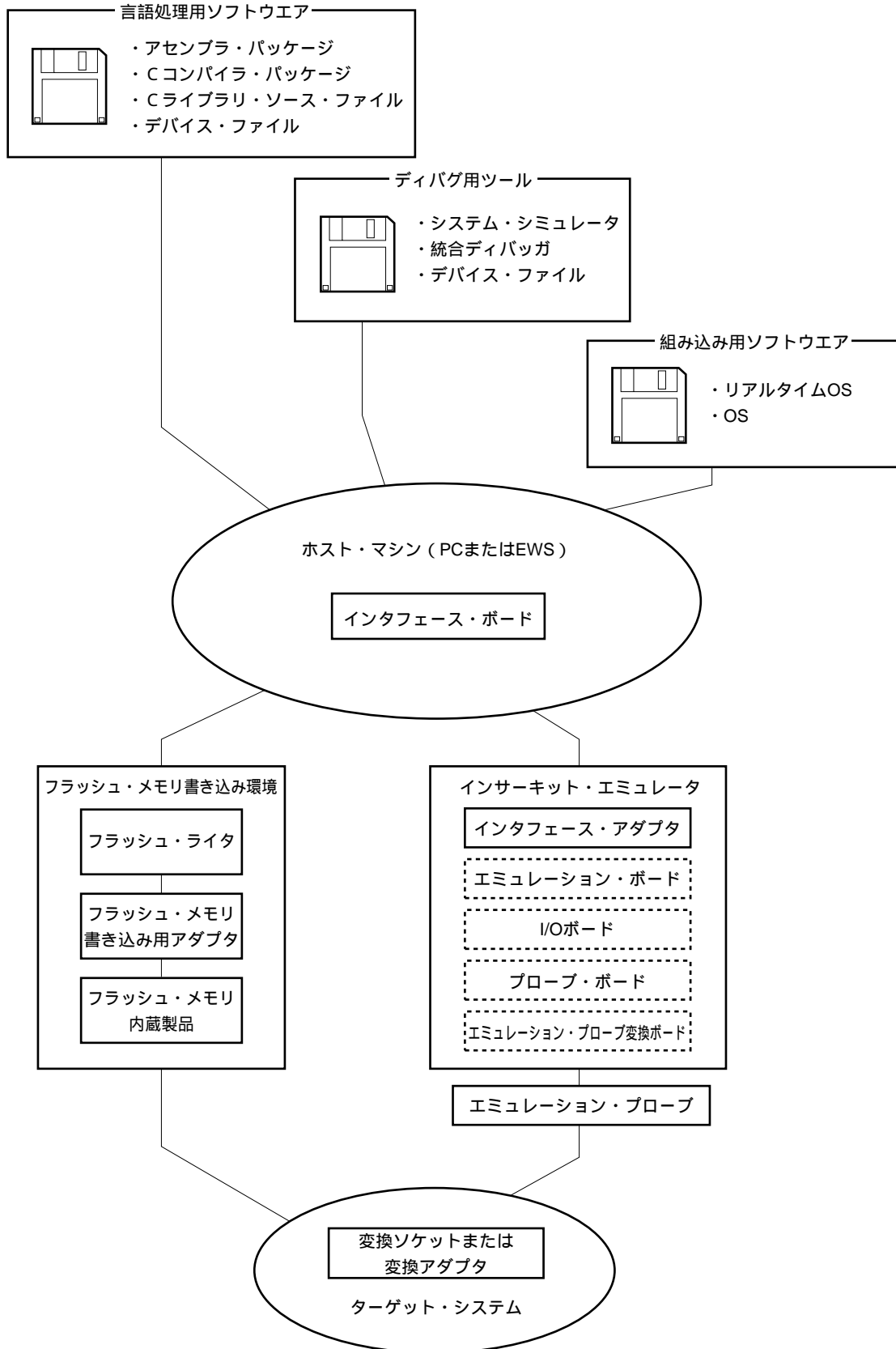
図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ IE-78K0-NSを使用する場合



図A - 1 開発ツール構成 (2/2)

(2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合



備考 破線の部分は開発環境によって異なります。A.3.1 ハードウェアを参照してください。

## A.1 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>別売のデバイス・ファイル (DF178124) と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称: <math>\mu S \times \times \times RA78K0</math></p>
CC78K0 Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称: <math>\mu S \times \times \times CC78K0</math></p>
DF178124 <sup>注</sup> デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール (RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0) と組み合わせて使用します。</p> <p>対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダ名称: <math>\mu S \times \times \times DF178124</math></p>
CC78K0-L Cライブラリ・ソース・ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダ名称: <math>\mu S \times \times \times CC78K0-L</math></p>

注 DF178124は、RA78K0, CC78K0, SM78K0, ID78K0-NS, ID78K0 のすべての製品に共通に使用できます。

**備考** オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0  
 μS××××CC78K0  
 μS××××DF178124  
 μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows <sup>注</sup>	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows <sup>注</sup>	3.5インチ2HC FD
BB13		英語Windows <sup>注</sup>	
3P16	HP9000シリーズ700 <sup>TM</sup>	HP-UX <sup>TM</sup> ( Rel.10.10 )	DAT ( DDS )
3K13	SPARCstation <sup>TM</sup>	SunOS <sup>TM</sup> ( Rel. 4 . 1 . 4 ) ,	3.5インチ2HC FD
3K15		Solaris <sup>TM</sup> ( Rel. 2 . 5 . 1 )	1/4インチCGMT
3R13	NEWS <sup>TM</sup> ( RISC )	NEWS-OS <sup>TM</sup> ( Rel. 6 . 1 )	3.5インチ2HC FD

**注** DOS環境でも動作します。

## A.2 フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-80GF FA-80GC フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro に接続して使用します。 ・FA-80GF : 80ピン・プラスチックQFP (GF-3B9タイプ) 用 ・FA-80GC : 80ピン・プラスチックQFP (GC-8BTタイプ) 用
Flashpro コントローラ	パソコン上から制御するプログラムです。Flashpro に添付されています。

**備考** Flashpro , FA-80GF , FA-80GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (044) 822-3813)

## A.3 デバッグ用ツール

### A.3.1 ハードウェア (1/2)

#### (1) インサーキット・エミュレータ IE-78K0-NSを使用する場合

IE-78K0-NS インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバガ (ID78K0-NS) に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100～240 Vのコンセントから電源を供給するためのアダプタです。
★ IE-78K0-NS-PA <sup>注</sup> パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されます。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです (PCMCIAソケット対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
★ IE-178134-NS-EM1 <sup>注</sup> エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-80GF エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GF-3B9タイプ) 用です。
EV-9200G-80 変換ソケット (図A-2, 図A-3参照)	80ピン・プラスチックQFP (GF-3B9タイプ) を実装できるように作られたターゲット・システムの基板と、NP-80GFを接続するための変換ソケットです。
NP-80GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-8BTタイプ) 用です。
EV-9200GC-80 変換ソケット (図A-4, 図A-5参照)	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板と、NP-80GCを接続するための変換ソケットです。

注 開発中

備考1. NP-80GF, NP-80GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (044) 822-3813)

2. EV-9200G-80とEV-9200GC-80は、5個を1組として、1組単位で販売しています。



## A.3.1 ハードウェア (2/2)

## (2) インサーキット・エミュレータ IE-78001-R-Aを使用する場合

IE-78001-R-A インサーキット・エミュレータ	78K0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバガ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-78000-R-SV3 インタフェース・アダプタ	IE-78001-R-Aのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-78001-R-A内のボードに接続して使用します。 なお、イーサネット™としては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要になります。
★ IE-178134-NS-EM1 <sup>注</sup> エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータ、エミュレーション・プローブ変換ボードと組み合わせて使用します。
IE-78K0-R-EX1 エミュレーション・プローブ変換ボード	IE-178134-NS-EM1をIE-78001-R-A上で使用するときに必要なボードです。
EP-78130GF-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GF-3B9タイプ) 用です。
EV-9200G-80 変換ソケット (図A-2, 図A-3) 参照	80ピン・プラスチックQFP (GF-3B9タイプ) を実装できるように作られたターゲット・システムの基板と、EP-78130GF-Rを接続するための変換ソケットです。
EP-78230GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-8BTタイプ) 用です。
EV-9200GC-80 変換ソケット (図A-4, 参照)	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78230GC-Rを接続するための変換ソケットです。

注 開発中

備考 EV-9200G-80とEV-9200GC-80は、5個を1組として、1組単位で販売しています。

## A.3.2 ソフトウェア (1/2)

SM78K0 システム・シミュレータ	<p>ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。</p> <p>SM78K0はWindows上で動作します。</p> <p>SM78K0を使用することにより、インサーキット・エミュレータを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェアの品質の向上が図れます。</p> <p>別売のデバイス・ファイル (DF178124) と組み合わせて使用します。</p> <p>オーダー名称：μS××××SM78K0</p>
-----------------------	--

**備考** オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SM78K0

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

### A.3.2 ソフトウェア (2/2)

ID78K0-NS 統合ディバッガ (インサーキット・エミュレータIE-78K0-NS対応)	78K0シリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows, EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのディバグ効率を向上させることができます。 別売のデバイス・ファイルと組み合わせて使用します。 オーダ名称: μSxxxxID78K0-NS, μSxxxxID78K0
ID78K0 統合ディバッガ (インサーキット・エミュレータIE-78001-R-A対応)	

**備考** オーダ名称のxxxxは、使用するホスト・マシン, OSにより異なります。

μSxxxxID78K0-NS

xxxx	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

μSxxxxID78K0

xxxx	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX ( Rel.10.10)	DAT ( DDS )
3K13	SPARCstation	SunOS ( Rel. 4 . 1 . 4 )	3.5インチ2HC FD
3K15		Solaris ( Rel. 2 . 5 . 1 )	1/4インチCGMT
3R13	NEWS ( RISC )	NEWS-OS ( Rel. 6 . 1 )	3.5インチ2HC FD

## A.4 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

すでに78K/0シリーズ用の旧タイプのインサーキット・エミュレータ（IE-78000-RまたはIE-78000-R-A）をお持ちの場合、本体内部のブレーク・ボードをIE-78001-R-BK（開発中）に交換することにより、お持ちのインサーキット・エミュレータをIE-78001-R-Aと同等に使用できます。

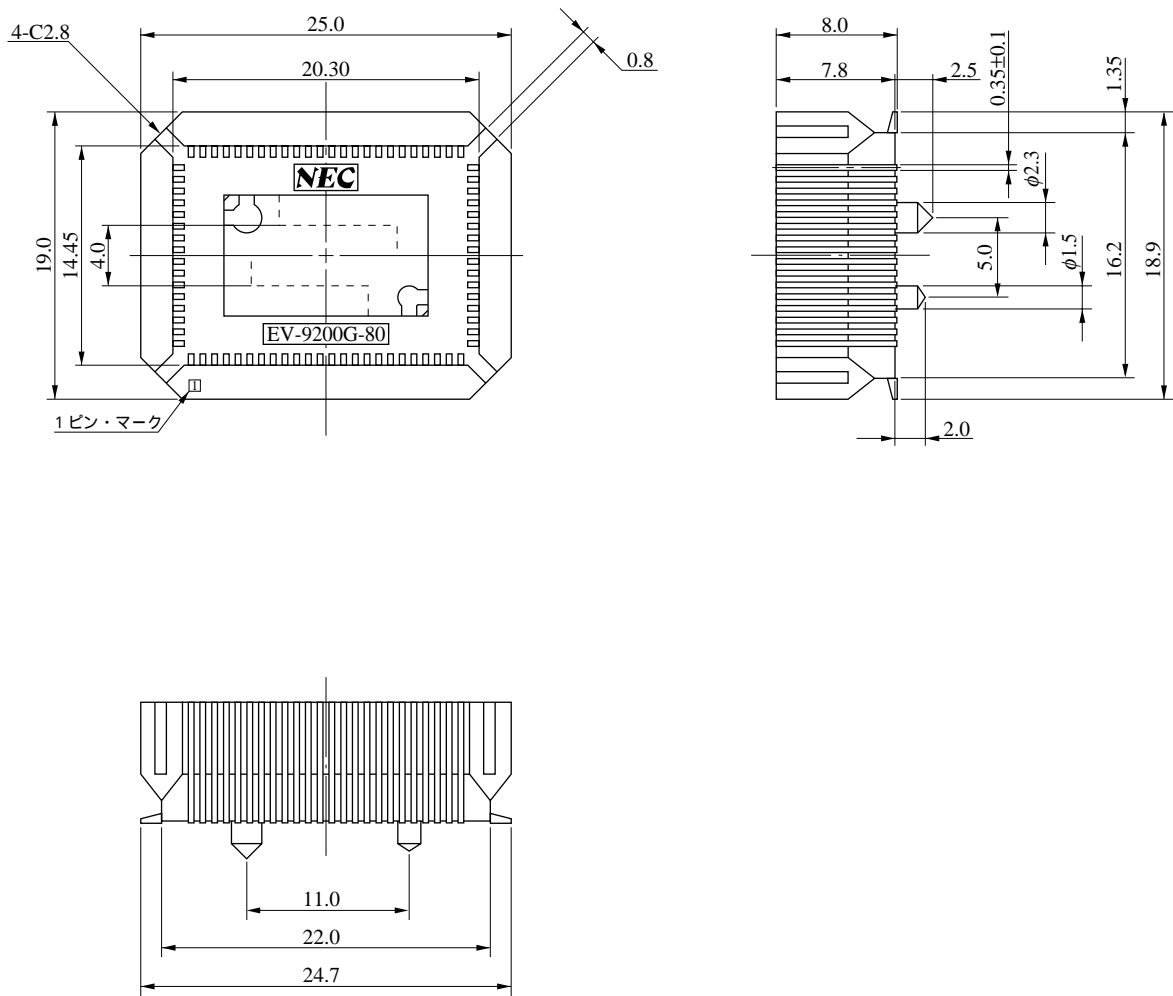
表A - 1 78K/0シリーズ用の旧タイプのインサーキット・エミュレータからIE-78001-R-Aへのシステム・アップ方法

お持ちのインサーキット・エミュレータ	筐体のシステム・アップ <sup>注</sup>	ご購入の必要なボード
IE-78000-R	必要	IE-78001-R-BK
IE-78000-R-A	不要	

注 筐体をシステム・アップするためには、NECへの持ち込みが必要となります。

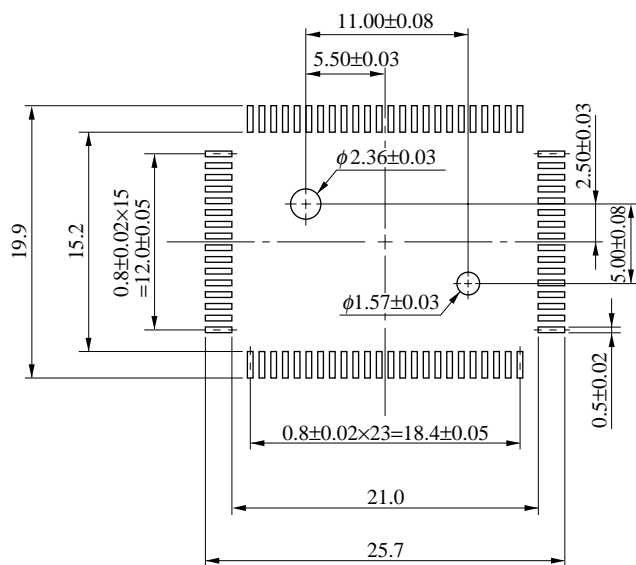
変換ソケット (EV-9200G-80) の外形図と基盤取り付け推奨パターン

図A - 2 EV-9200G-80 外形図 (参考) (単位: mm)



EV-9200G-80-G0

図A - 3 EV-9200G-80 基盤取り付け推奨パターン (参考) (単位: mm)

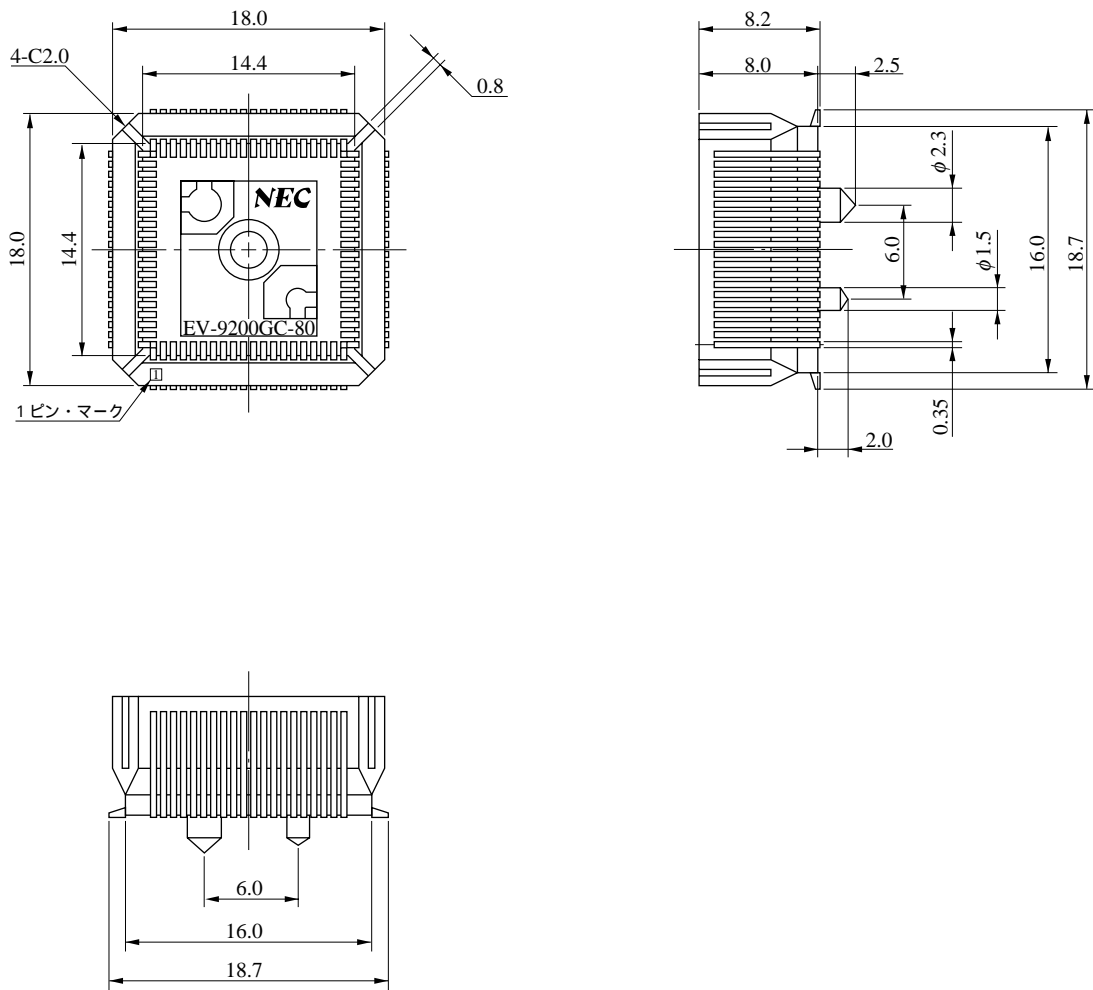


EV-9200G-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法 (QFP用) は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

変換ソケット (EV-9200GC-80) の外形図と基盤取り付け推奨パターン

図A - 4 EV-9200GC-80 外形図 (参考) (単位: mm)



EV-9200GC-80-G0





## 付録B 組み込み用ソフトウェア

μPD178024 サブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

### リアルタイムOS (1/2)

RX78K/0 リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K/0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K/0）およびデバイス・ファイル（DF178124）と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使ってください。</p> <p>オーダー名称：μS×××RX78013-</p>
---------------------	---

**注意** RX78K/0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

**備考** オーダ名称の×××および は、使用するホスト・マシン、OSなどにより異なります。

μS×××RX78013-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows <sup>注</sup>	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows <sup>注</sup>	3.5インチ2HC FD
BB13		英語Windows <sup>注</sup>	
3P16	HP9000シリーズ700	HP-UX ( Rel.10.10 )	DAT ( DDS )
3K13	SPARCstation	SunOS ( Rel. 4. 1. 4 ) ,	3.5インチ2HC FD
3K15		Solaris ( Rel. 2. 5. 1 )	
3R13	NEWS ( RISC )	NEWS-OS ( Rel. 6. 1 )	3.5インチ2HC FD

**注** DOS環境でも動作します。

## リアルタイムOS (2/2)

MX78K0 OS	<p>μITRON仕様サブセットのOSです。MX78K0のニュークリアスを添付しています。</p> <p>タスク管理，イベント管理，時間管理を行います。タスク管理ではタスクの実行順序を制御し，次に実行するタスクへの切り替え処理を行います。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>MX78K0はDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダ名称：μS x x x MX78K0-</p>
--------------	--

**備考** オーダ名称の x x x x および は，使用するホスト・マシン，OSなどにより異なります。

μS x x x x MX78K0-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ，購入可能

x x x x	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows <sup>注</sup>	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows <sup>注</sup>	3.5インチ2HC FD
BB13		英語Windows <sup>注</sup>	
3P16	HP9000シリーズ700	HP-UX ( Rel.10.10 )	DAT ( DDS )
3K13	SPARCstation	SunOS ( Rel. 4 . 1 . 4 ) ,	3.5インチ2HC FD
3K15		Solaris ( Rel. 2 . 5 . 1 )	1/4インチCGMT
3R13	NEWS ( RISC )	NEWS-OS ( Rel. 6 . 1 )	3.5インチ2HC FD

**注** DOS環境でも動作します。

## 付録C レジスタ索引

### C.1 レジスタ索引 (50音順)

#### 〔あ行〕

IFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG) ...	290
IFカウンタ・コントロール・レジスタ (IFCCR) ...	290
IFカウンタ・レジスタ (IFCR) ...	288
IFカウンタ・モード・セレクト・レジスタ (IFCMD) ...	289
IIC転送クロック選択レジスタ0 (IICCL0) ...	172
IICコントロール・レジスタ0 (IICC0) ...	164
IICシフト・レジスタ0 (IIC0) ...	162
IIC状態レジスタ0 (IICS0) ...	169
アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) ...	230
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) ...	232
アナログ入力チャンネル指定レジスタ3 (ADS3) ...	144
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ...	132
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	133
A/Dコンバータ・モード・レジスタ3 (ADM3) ...	142
A/D変換結果レジスタ3 (ADCR3) ...	141, 157

#### 〔か行〕

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	255
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	255

#### 〔さ行〕

受信バッファ・レジスタ0 (RXB0) ...	229
シリアルI/Oシフト・レジスタ3 (SIO3) ...	220
シリアル動作モード・レジスタ3 (CSIM3) ...	221
スレーブ・アドレス・レジスタ0 (SVA0) ...	162
送信シフト・レジスタ0 (TXS0) ...	228

#### 〔た行〕

タイマ・クロック選択レジスタ50 (TCL50) ...	110
タイマ・クロック選択レジスタ51 (TCL51) ...	110
DTSシステム・クロック選択レジスタ (DTSCK) ...	99

#### 〔な行〕

内部拡張RAMサイズ切り替えレジスタ (IXS) ...	315
------------------------------	-----

## 〔は行〕

8ビット・タイマ・カウンタ50 (TM50) ...	109
8ビット・タイマ・カウンタ51 (TM51) ...	109
8ビット・コンペア・レジスタ50 (CR50) ...	109
8ビット・コンペア・レジスタ51 (CR51) ...	109
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	111
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ...	111
発振安定時間選択レジスタ (OSTS) ...	134, 298
パワー・フェイル比較しきい値レジスタ3 (PFT3) ...	141, 151
パワー・フェイル比較モード・レジスタ3 (PFM3) ...	145
BEEPクロック選択レジスタ0 (BEEPCL0) ...	138
PLLアンロックF/Fジャッジ・レジスタ (PLLUL) ...	275
PLLデータ転送レジスタ (PLLNS) ...	276
PLLデータ・レジスタ (PLLRL) ...	282, 283, 284
PLLデータ・レジスタ0 (PLLRO) ...	272
PLLデータ・レジスタH (PLLRH) ...	272
PLLデータ・レジスタL (PLLRL) ...	272
PLLモード・セレクト・レジスタ (PLLMD) ...	273
PLLレファレンス・モード・レジスタ (PLLRF) ...	274
POCステータス・レジスタ (POCS) ...	311, 312
ブルアップ抵抗オプション・レジスタ4 (PU4) ...	95
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	101
ポート・モード・レジスタ0 (PM0) ...	92
ポート・モード・レジスタ3 (PM3) ...	92
ポート・モード・レジスタ4 (PM4) ...	92
ポート・モード・レジスタ5 (PM5) ...	92
ポート・モード・レジスタ6 (PM6) ...	92
ポート・モード・レジスタ7 (PM7) ...	92
ポート・モード・レジスタ12 (PM12) ...	92
ポート0 (P0) ...	81
ポート1 (P1) ...	82
ポート3 (P3) ...	83
ポート4 (P4) ...	85
ポート5 (P5) ...	86
ポート6 (P6) ...	87
ポート7 (P7) ...	88
ポート12 (P12) ...	90
ポート13 (P13) ...	91
ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ...	232

## 〔ま行〕

メモリ・サイズ切り替えレジスタ (IMS) ...	314
---------------------------	-----

## 〔や行〕

優先順位指定フラグ・レジスタ0H (PR0H) ...	254
優先順位指定フラグ・レジスタ0L (PR0L) ...	254
優先順位指定フラグ・レジスタ1L (PR1L) ...	254

## 〔わ行〕

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	253
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	253
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	253
割り込み要求フラグ・レジスタ0H (IF0H) ...	252
割り込み要求フラグ・レジスタ0L (IF0L) ...	252
割り込み要求フラグ・レジスタ1L (IF1L) ...	252

## C.2 レジスタ索引 (アルファベット順)

### [ A ]

- ADCR3 : A/D変換結果レジスタ3 ... 141, 157
- ADM3 : A/Dコンバータ・モード・レジスタ3 ... 142
- ADS3 : アナログ入力チャンネル指定レジスタ3 ... 144
- ASIM0 : アシクロナス・シリアル・インタフェース・モード・レジスタ0 ... 230
- ASIS0 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 ... 232

### [ B ]

- BEEPCL0 : BEEPクロック選択レジスタ0 ... 138
- BRGC0 : ボー・レート・ジェネレータ・コントロール・レジスタ0 ... 232

### [ C ]

- CR50 : 8ビット・コンペア・レジスタ50 ... 109
- CR51 : 8ビット・コンペア・レジスタ51 ... 109
- CSIM3 : シリアル動作モード・レジスタ3 ... 221

### [ D ]

- DTSCK : DTSシステム・クロック選択レジスタ ... 99

### [ E ]

- EGN : 外部割り込み立ち下がりエッジ許可レジスタ ... 255
- EGP : 外部割り込み立ち上がりエッジ許可レジスタ ... 255

### [ I ]

- IF0H : 割り込み要求フラグ・レジスタ0H ... 252
- IF0L : 割り込み要求フラグ・レジスタ0L ... 252
- IF1L : 割り込み要求フラグ・レジスタ1L ... 252
- IFCCR : IFカウンタ・コントロール・レジスタ ... 290
- IFCJG : IFカウンタ・ゲート・ジャッジ・レジスタ ... 290
- IFCMD : IFカウンタ・モード・セレクト・レジスタ ... 289
- IFCR : IFカウンタ・レジスタ ... 288
- IIC0 : IICシフト・レジスタ0 ... 162
- IICC0 : IICコントロール・レジスタ0 ... 164
- IICCL0 : IIC転送クロック選択レジスタ0 ... 172
- IICS0 : IIC状態レジスタ0 ... 169
- IMS : メモリ・サイズ切り替えレジスタ ... 314
- IXS : 内部拡張RAMサイズ切り替えレジスタ ... 315

### [ M ]

- MK0H : 割り込みマスク・フラグ・レジスタ0H ... 253
- MK0L : 割り込みマスク・フラグ・レジスタ0L ... 253

MK1L : 割り込みマスク・フラグ・レジスタ1L ... 253

## 〔O〕

OSTS : 発振安定時間選択レジスタ ... 134, 298

## 〔P〕

P0 : ポート0 ... 81

P1 : ポート1 ... 82

P3 : ポート3 ... 83

P4 : ポート4 ... 85

P5 : ポート5 ... 86

P6 : ポート6 ... 87

P7 : ポート7 ... 88

P12 : ポート12 ... 90

P13 : ポート13 ... 91

PCC : プロセッサ・クロック・コントロール・レジスタ ... 101

PFM3 : パワー・フェイル比較モード・レジスタ3 ... 145

PFT3 : パワー・フェイル比較しきい値レジスタ3 ... 141, 151

PLLMD : PLLモード・セレクト・レジスタ ... 273

PLLNS : PLLデータ転送レジスタ ... 276

PLLRL : PLLデータ・レジスタ ... 282, 283, 284

PLLRR0 : PLLデータ・レジスタ0 ... 272

PLLRRH : PLLデータ・レジスタH ... 272

PLLRL : PLLデータ・レジスタL ... 272

PLLRF : PLLレファレンス・モード・レジスタ ... 274

PLLUL : PLLアンロックF/Fジャッジ・レジスタ ... 275

PM0 : ポート・モード・レジスタ0 ... 92

PM3 : ポート・モード・レジスタ3 ... 92

PM4 : ポート・モード・レジスタ4 ... 92

PM5 : ポート・モード・レジスタ5 ... 92

PM6 : ポート・モード・レジスタ6 ... 92

PM7 : ポート・モード・レジスタ7 ... 92

PM12 : ポート・モード・レジスタ12 ... 92

POCS : POCステータス・レジスタ ... 311, 312

PR0H : 優先順位指定フラグ・レジスタ0H ... 254

PR0L : 優先順位指定フラグ・レジスタ0L ... 254

PR1L : 優先順位指定フラグ・レジスタ1L ... 254

PU4 : ブルアップ抵抗オプション・レジスタ4 ... 95

## 〔R〕

RXB0 : 受信バッファ・レジスタ0 ... 229

## 〔S〕

SIO3 : シリアルI/Oシフト・レジスタ3 ... 220  
SVA0 : スレーブ・アドレス・レジスタ0 ... 162

## 〔T〕

TCL50 : タイマ・クロック選択レジスタ50 ... 110  
TCL51 : タイマ・クロック選択レジスタ51 ... 110  
TM50 : 8ビット・タイマ・カウンタ50 ... 109  
TM51 : 8ビット・タイマ・カウンタ51 ... 109  
TMC50 : 8ビット・タイマ・モード・コントロール・レジスタ50 ... 111  
TMC51 : 8ビット・タイマ・モード・コントロール・レジスタ51 ... 111  
TXS0 : 送信シフト・レジスタ0 ... 228

## 〔W〕

WDCS : ウォッチドッグ・タイマ・クロック選択レジスタ ... 132  
WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 133



## 付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版数	前版からの改版内容	適用箇所
第2版	μPD178124サブシリーズ（μPD178122, 178123, 178124）の削除	全般
	UART0をμPD178024サブシリーズすべての製品（μPD178022, 178023, 178024, 178F124）に内蔵	
	μPD178F124のEEPROMを削除	
	割り込み機能の本数を変更（μPD178022, 178023, 178024にINTSER0, INTSR0, INTST0を追加, μPD178F124からINTEEを削除）	第1章 概説, 第14章 割り込み機能
	80ピン・プラスチックQFP（GF-3B9タイプ）の端子接続図を修正	第1章 概説
	80ピン・プラスチックQFP（GC-8BTタイプ）の端子接続図を修正	
	STOPモード時のPOC電圧を2.2 Vに変更	第1章 概説, 第18章 リセット機能
	ポート4（P40-P47）を入力/出力時ともにプルアップ抵抗を使用可能に訂正	第2章 端子機能, 第4章 ポート機能
	P76/SDA0, P77/SCL0の入出力回路タイプを訂正	第2章 端子機能
	POCSを「1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定」に訂正	第3章 CPUアーキテク チャ
	IMS, IXSを「8ビット・メモリ操作命令で設定」に訂正	
	PFM3を「1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定」に訂正	第10章 ADコンバータ

---

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

#### 第一販売事業部

東京 (03)3798-6106, 6107,  
6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200,  
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

#### 第二販売事業部

東京 (03)3798-6110, 6111,  
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

#### 第三販売事業部

東京 (03)3798-6151, 6155, 6586,  
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

## アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD178024サブシリーズ ユーザーズ・マニュアル  
(U13915JJ2V0UMJ1 (第2版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ( )  
ご住所 ( )  
お電話番号 ( )  
お仕事の内容 ( )  
お名前 ( )

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ( )					
( )					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

4. ご意見, ご要望

5. このドキュメントをお届けしたのは  
NEC販売員, 特約店販売員, その他 ( )

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡ししてください。

日本電気(株)NECエレクトロニクス  
半導体テクニカルホットライン

FAX: (044) 435-9608

2000.6