

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7604

ハードウェアマニュアル
SuperH RISC engine

SH7604

HD6417604

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

本版で改訂または追加された主な箇所

| 章 | 節 / 項 | タイトル | ページ | 変更内容 (詳細内容はマニュアル参照) |
|---------------|-------|--------------|-----|-----------------------------------------|
| 1. 概要 | 1.1 | 概要 | 4 | 表 1.1 SH7604 の特長 動作モード仕様説明のクロックモードの説明追加 |
| | | | 6 | 表 1.1 SH7604 の特長 パッケージ TBP-176 追加 |
| | | | 6 | 表 1.1 SH7604 の特長 製品ラインアップ追加 |
| | 1.3 | ピン配置図 | 9 | TBP-176 のピン配置図追加 |
| | 1.3.2 | 端子機能 | 10 | TBP-176 の端子機能追加 |
| 3. 発振回路と動作モード | 3.2.2 | クロック動作モードの設定 | 58 | 「TBP-176 パッケージ品は、...ご注意ください。」説明追加 |
| | | | 59 | 表 3.3 クロックモードの端子設定と状態 注2追加 |
| | 3.2.7 | ボード設計上の注意事項 | 70 | (2) PLL 発振回路使用時の注意 説明修正 |
| | | | 71 | 図 3.9 PLL 発振回路使用時の注意 図修正 |
| 付録 | C | 外形寸法図 | 675 | TBP-176 の外形寸法図追加 |

はじめに

本 LSI は、内部 32 ビット構成の SH-2 CPU を核に、システム構成に必要な周辺機能を集積したマイクロコンピュータです。

本 LSI は、キャッシュメモリ、割り込みコントローラ、タイマ、シリアルコミュニケーションインタフェース (SCI)、ユーザブレイクコントローラ (UBC)、バスステートコントローラ (BSC)、ダイレクトメモリアクセスコントローラ (DMAC)、除算器などの周辺機能を内蔵しており、高速かつ低消費電力を要求される電子機器用マイコンとして活用できます。

対象者 このマニュアルは、SH7604 を用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7604 のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

なお、実行命令の詳細については、「SH-1/SH-2/SH-DSP プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- ・機能全体を理解しようとするとき
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- ・CPU 機能の詳細を理解したいとき
別冊の「SH-1/SH-2/SH-DSP プログラミングマニュアル」を参照してください。

凡例 ビット表記順：左側がビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://www.hitachi.co.jp/Sicd/Japanese/Products/micom.htm>)

SH7604 に関するユーザズマニュアル

| 資料名 | 資料番号 |
|-------------------------------|-------------|
| SH7604 ハードウェアマニュアル | 本マニュアル |
| SH-1/SH-2/SH-DSP プログラミングマニュアル | ADJ-602-085 |

開発ツール関連ユーザズマニュアル

| 資料名 | 資料番号 |
|-----------------------------------------|-------------|
| C/C++ コンパイラ、アセンブラ、最適化リンケージエディタユーザズマニュアル | ADJ-702-304 |
| シミュレータ・デバッガ ユーザズマニュアル | ADJ-702-266 |
| Hitachi Embedded Workshop ユーザズマニュアル | ADJ-702-275 |

アプリケーションノート

| 資料名 | 資料番号 |
|--------------|-------------|
| C/C++ コンパイラ編 | ADJ-502-046 |

目次

第1章 概要

| | | |
|-----|--------------------|----|
| 1.1 | 特長..... | 3 |
| 1.2 | ブロック図..... | 7 |
| 1.3 | 端子説明..... | 8 |
| | 1.3.1 ピン配置..... | 8 |
| | 1.3.2 端子機能..... | 10 |

第2章 CPU

| | | |
|-----|--------------------------------|----|
| 2.1 | レジスタ構成..... | 19 |
| | 2.1.1 汎用レジスタ (Rn)..... | 19 |
| | 2.1.2 コントロールレジスタ..... | 20 |
| | 2.1.3 システムレジスタ..... | 21 |
| | 2.1.4 レジスタの初期値..... | 21 |
| 2.2 | データ形式..... | 22 |
| | 2.2.1 レジスタのデータ形式..... | 22 |
| | 2.2.2 メモリ上でのデータ形式..... | 22 |
| | 2.2.3 イミディエイトデータのデータ形式..... | 23 |
| 2.3 | 命令の特長..... | 24 |
| | 2.3.1 RISC方式..... | 24 |
| | 2.3.2 アドレッシングモード..... | 27 |
| | 2.3.3 命令形式..... | 29 |
| 2.4 | 命令セット..... | 33 |
| | 2.4.1 分類順命令セット..... | 33 |
| | 2.4.2 オペレーションコードマップ..... | 45 |
| 2.5 | 処理状態..... | 48 |
| | 2.5.1 状態遷移..... | 48 |
| | 2.5.2 低消費電力状態..... | 50 |

第3章 発振回路と動作モード

| | | |
|-------|---------------------|----|
| 3.1 | 概要 | 55 |
| 3.2 | 内蔵発振回路と動作モード | 56 |
| 3.2.1 | 発振回路の構成 | 56 |
| 3.2.2 | クロック動作モードの設定 | 58 |
| 3.2.3 | 水晶発振子の接続方法 | 60 |
| 3.2.4 | 外部クロックの入力方法 | 61 |
| 3.2.5 | レジスタによる動作周波数の選択 | 62 |
| 3.2.6 | 動作モードと周波数範囲 | 69 |
| 3.2.7 | ボード設計上の注意事項 | 70 |
| 3.3 | CS0エリアのバス幅 | 72 |
| 3.4 | マスタモード/スレーブモードの切り換え | 73 |

第4章 例外処理

| | | |
|-------|-----------------|----|
| 4.1 | 概要 | 77 |
| 4.1.1 | 例外処理の種類と優先順位 | 77 |
| 4.1.2 | 例外処理の動作 | 78 |
| 4.1.3 | 例外処理ベクタテーブル | 79 |
| 4.2 | リセット | 82 |
| 4.2.1 | リセットの種類 | 82 |
| 4.2.2 | パワーオンリセット | 82 |
| 4.2.3 | マニュアルリセット | 83 |
| 4.3 | アドレスエラー | 84 |
| 4.3.1 | アドレスエラー発生要因 | 84 |
| 4.3.2 | アドレスエラー例外処理 | 85 |
| 4.4 | 割り込み | 86 |
| 4.4.1 | 割り込み要因 | 86 |
| 4.4.2 | 割り込み優先順位 | 86 |
| 4.4.3 | 割り込み例外処理 | 87 |
| 4.5 | 命令による例外 | 88 |
| 4.5.1 | 命令による例外の種類 | 88 |
| 4.5.2 | トラップ命令 | 88 |
| 4.5.3 | スロット不当命令 | 88 |
| 4.5.4 | 一般不当命令 | 89 |
| 4.6 | 例外要因が受け付けられない場合 | 90 |
| 4.6.1 | 遅延分岐命令の直後 | 90 |
| 4.6.2 | 割り込み禁止命令の直後 | 90 |

| | | |
|-------|--------------------------------------|----|
| 4.7 | 例外処理終了後のスタックの状態 | 91 |
| 4.8 | 使用上の注意 | 92 |
| 4.8.1 | スタックポインタ (SP) の値..... | 92 |
| 4.8.2 | ベクタベースレジスタ (VBR) の値..... | 92 |
| 4.8.3 | アドレスエラー例外処理のスタッキングで発生するアドレスエラー | 92 |
| 4.8.4 | マニュアルリセット時のレジスタアクセス | 92 |

第5章 割り込みコントローラ (INTC)

| | | |
|-------|----------------------------------------------------------------------|-----|
| 5.1 | 概要..... | 95 |
| 5.1.1 | 特長..... | 95 |
| 5.1.2 | ブロック図..... | 96 |
| 5.1.3 | 端子構成 | 97 |
| 5.1.4 | レジスタ構成 | 97 |
| 5.2 | 割り込み要因 | 98 |
| 5.2.1 | NMI 割り込み | 98 |
| 5.2.2 | ユーザブレイク割り込み..... | 98 |
| 5.2.3 | IRL 割り込み | 98 |
| 5.2.4 | 内蔵周辺モジュール割り込み | 102 |
| 5.2.5 | 割り込み例外処理ベクタと優先順位 | 102 |
| 5.3 | レジスタの説明 | 105 |
| 5.3.1 | 割り込み優先レベル設定レジスタ A (IPRA) | 105 |
| 5.3.2 | 割り込み優先レベル設定レジスタ B (IPRB) | 106 |
| 5.3.3 | ベクタ番号設定レジスタ WDT (VCRWDT) | 107 |
| 5.3.4 | ベクタ番号設定レジスタ A (VCRA) | 108 |
| 5.3.5 | ベクタ番号設定レジスタ B (VCRB) | 108 |
| 5.3.6 | ベクタ番号設定レジスタ C (VCRC) | 109 |
| 5.3.7 | ベクタ番号設定レジスタ D (VCRD) | 110 |
| 5.3.8 | 割り込みコントロールレジスタ (ICR) | 111 |
| 5.4 | 動作説明..... | 113 |
| 5.4.1 | 割り込み動作の流れ | 113 |
| 5.4.2 | 割り込み例外処理終了後のスタックの状態..... | 115 |
| 5.5 | 割り込み応答時間..... | 116 |
| 5.6 | $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子のサンプリング | 118 |
| 5.7 | 使用上の注意 | 119 |

第6章 ユーザブ레이크コントローラ (UBC)

| | | |
|-----|---------------------------------------|-----|
| 6.1 | 概要..... | 125 |
| | 6.1.1 特長..... | 125 |
| | 6.1.2 ブロック図..... | 126 |
| | 6.1.3 レジスタ構成 | 127 |
| | 6.1.4 SH7000 シリーズの UBC との対応 | 127 |
| 6.2 | 各レジスタの説明..... | 128 |
| | 6.2.1 ブ레이크アドレスレジスタ A (BARA) | 128 |
| | 6.2.2 ブ레이크アドレスマスクレジスタ A (BAMRA) | 128 |
| | 6.2.3 ブ레이크バスサイクルレジスタ (BBRA) | 129 |
| | 6.2.4 ブ레이크アドレスレジスタ B (BARB) | 131 |
| | 6.2.5 ブ레이크アドレスマスクレジスタ B (BAMRB) | 131 |
| | 6.2.6 ブ레이크データレジスタ B (BDRB) | 131 |
| | 6.2.7 ブ레이크データマスクレジスタ B (BDMRB) | 132 |
| | 6.2.8 ブ레이크バスサイクルレジスタ B (BBRB) | 133 |
| | 6.2.9 ブ레이크コントロールレジスタ (BRCR) | 133 |
| 6.3 | 動作説明..... | 137 |
| | 6.3.1 ユーザブ레이크動作の流れ | 137 |
| | 6.3.2 命令フェッチサイクルのブ레이크 | 138 |
| | 6.3.3 データアクセスサイクルによるブ레이크 | 138 |
| | 6.3.4 外部バスサイクルによるブ레이크 | 139 |
| | 6.3.5 退避するプログラムカウンタ (PC) の値..... | 140 |
| | 6.3.6 使用例 | 141 |
| | 6.3.7 注意事項..... | 144 |
| | 6.3.8 SH7000 シリーズ互換モード..... | 145 |

第7章 バスステートコントローラ (BSC)

| | | |
|-----|-----------------------------------|-----|
| 7.1 | 概要..... | 149 |
| | 7.1.1 特長..... | 149 |
| | 7.1.2 ブロック図..... | 150 |
| | 7.1.3 端子構成 | 151 |
| | 7.1.4 レジスタ構成 | 153 |
| | 7.1.5 アドレスマップ | 154 |
| 7.2 | レジスタの説明..... | 155 |
| | 7.2.1 バスコントロールレジスタ 1 (BCR1) | 155 |
| | 7.2.2 バスコントロールレジスタ 2 (BCR2) | 158 |
| | 7.2.3 ウェイトコントロールレジスタ (WCR) | 159 |

| | | |
|-------|-----------------------------------------|-----|
| 7.2.4 | 個別メモリコントロールレジスタ (MCR) | 161 |
| 7.2.5 | リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) | 165 |
| 7.2.6 | リフレッシュタイマカウンタ (RTCNT) | 166 |
| 7.2.7 | リフレッシュタイムコンスタントレジスタ (RTCOR) | 167 |
| 7.3 | アクセスサイズとデータアライメント..... | 168 |
| 7.3.1 | 通常デバイスとの接続..... | 168 |
| 7.3.2 | リトルエンディアンのデバイスとの接続..... | 170 |
| 7.4 | 通常空間アクセス..... | 172 |
| 7.4.1 | 基本タイミング..... | 172 |
| 7.4.2 | ウェイトステート制御..... | 176 |
| 7.5 | シンクロナス DRAM インタフェース..... | 178 |
| 7.5.1 | シンクロナス DRAM 直結方式..... | 178 |
| 7.5.2 | アドレスマルチプレクス..... | 180 |
| 7.5.3 | バーストリード..... | 181 |
| 7.5.4 | シングルリード..... | 184 |
| 7.5.5 | ライト..... | 185 |
| 7.5.6 | バンクアクティブ..... | 186 |
| 7.5.7 | リフレッシュ..... | 193 |
| 7.5.8 | パワーオンシーケンス..... | 196 |
| 7.5.9 | PLL による位相シフト..... | 198 |
| 7.6 | DRAM インタフェース..... | 201 |
| 7.6.1 | DRAM 直結方式..... | 201 |
| 7.6.2 | アドレスマルチプレクス..... | 202 |
| 7.6.3 | 基本タイミング..... | 202 |
| 7.6.4 | ウェイトステート制御..... | 203 |
| 7.6.5 | バーストアクセス..... | 205 |
| 7.6.6 | リフレッシュタイミング..... | 207 |
| 7.6.7 | パワーオンシーケンス..... | 208 |
| 7.7 | 擬似 SRAM インタフェース..... | 209 |
| 7.7.1 | 擬似 SRAM 直結方式..... | 209 |
| 7.7.2 | 基本タイミング..... | 212 |
| 7.7.3 | ウェイトステート制御..... | 213 |
| 7.7.4 | バーストアクセス..... | 214 |
| 7.7.5 | リフレッシュ..... | 215 |
| 7.7.6 | パワーオンシーケンス..... | 217 |
| 7.8 | バースト ROM インタフェース..... | 218 |
| 7.9 | アクセスサイクル間ウェイト..... | 221 |
| 7.10 | バスアービトレーション..... | 223 |

| | | |
|--------|-----------------------------|-----|
| 7.10.1 | マスタモード | 224 |
| 7.10.2 | スレーブモード | 227 |
| 7.10.3 | 部分共有マスタモード | 229 |
| 7.10.4 | 外部バスアドレスモニタ | 232 |
| 7.10.5 | マスタとスレーブの協調 | 232 |
| 7.11 | その他 | 234 |
| 7.11.1 | リセット | 234 |
| 7.11.2 | CPU および DMAC からみたアクセス | 234 |
| 7.11.3 | エミュレータ | 235 |

第8章 キャッシュ

| | | |
|-------|-----------------------------|-----|
| 8.1 | 概要 | 239 |
| 8.1.1 | 特長 | 239 |
| 8.1.2 | レジスタ構成 | 240 |
| 8.2 | レジスタの説明 | 241 |
| 8.2.1 | キャッシュコントロールレジスタ (CCR) | 241 |
| 8.3 | アドレス空間とキャッシュ | 243 |
| 8.4 | キャッシュ動作 | 244 |
| 8.4.1 | キャッシュ読み出し | 244 |
| 8.4.2 | 書き込み | 245 |
| 8.4.3 | キャッシュスルーアクセス | 246 |
| 8.4.4 | TAS 命令 | 247 |
| 8.4.5 | 擬似 LRU とキャッシュ置き換え | 248 |
| 8.4.6 | キャッシュの初期化 | 250 |
| 8.4.7 | 連想ページ | 250 |
| 8.4.8 | データアレイアクセス | 251 |
| 8.4.9 | アドレスアレイアクセス | 251 |
| 8.5 | 使用方法 | 253 |
| 8.5.1 | 初期化 | 253 |
| 8.5.2 | 特定アドレスのページ | 253 |
| 8.5.3 | キャッシュデータのコヒーレンシ | 254 |
| 8.5.4 | 2ウェイキャッシュモード | 255 |
| 8.5.5 | 使用上の注意事項 | 256 |

第9章 ダイレクトメモリアクセスコントローラ (DMAC)

| | | |
|-----|----------|-----|
| 9.1 | 概要 | 259 |
|-----|----------|-----|

| | | |
|-------|--------------------------------------------------|-----|
| 9.1.1 | 特長..... | 259 |
| 9.1.2 | ブロック図..... | 261 |
| 9.1.3 | 端子構成..... | 262 |
| 9.1.4 | レジスタ構成..... | 262 |
| 9.2 | レジスタの説明..... | 264 |
| 9.2.1 | DMA ソースアドレスレジスタ 0、1 (SAR0、 SAR1) | 264 |
| 9.2.2 | DMA デスティネーションアドレスレジスタ 0、1 (DAR0、 DAR1) | 264 |
| 9.2.3 | DMA トランスファカウンタレジスタ 0、1 (TCR0、 TCR1) | 265 |
| 9.2.4 | DMA チャネルコントロールレジスタ 0、1 (CHCR0、 CHCR1) | 265 |
| 9.2.5 | ベクタ番号設定レジスタ DMA0、1 (VCRDMA0、 VCRDMA1) | 272 |
| 9.2.6 | DMA 要求 / 応答選択制御レジスタ 0、1 (DRCCR0、 DRCCR1) | 273 |
| 9.2.7 | DMA オペレーションレジスタ (DMAOR) | 274 |
| 9.3 | 動作説明..... | 277 |
| 9.3.1 | DMA 転送フロー | 277 |
| 9.3.2 | DMA 転送要求..... | 279 |
| 9.3.3 | チャネルの優先順位 | 282 |
| 9.3.4 | DMA 転送の種類 | 284 |
| 9.3.5 | バスサイクル数..... | 292 |
| 9.3.6 | DMA 転送要求受け付け信号出力タイミング | 293 |
| 9.3.7 | DREQ 端子の入力検出タイミング..... | 301 |
| 9.3.8 | DMA 転送終了..... | 315 |
| 9.4 | 使用例 | 317 |
| 9.4.1 | 内蔵 SCI と外部メモリとの DMA 転送例 | 317 |
| 9.5 | 使用上の注意 | 318 |

第 10 章 除算器 (DIVU)

| | | |
|--------|----------------------------------|-----|
| 10.1 | 概要..... | 321 |
| 10.1.1 | 特長..... | 321 |
| 10.1.2 | ブロック図..... | 322 |
| 10.1.3 | レジスタ構成 | 323 |
| 10.2 | レジスタの説明..... | 324 |
| 10.2.1 | 除数レジスタ (DVSR) | 324 |
| 10.2.2 | 32 ビット用被除数レジスタ L (DVDNT) | 324 |
| 10.2.3 | 除算コントロールレジスタ (DVCR) | 325 |
| 10.2.4 | ベクタ番号設定レジスタ DIV (VCRDIV) | 326 |
| 10.2.5 | 被除数レジスタ H (DVDNTH) | 326 |
| 10.2.6 | 被除数レジスタ L (DVDNTL) | 327 |

| | | |
|--------|-----------------|-----|
| 10.3 | 動作説明 | 328 |
| 10.3.1 | 64ビット÷32ビット演算 | 328 |
| 10.3.2 | 32ビット÷32ビット演算 | 328 |
| 10.3.3 | オーバフロー処理 | 329 |
| 10.4 | 使用上の注意 | 330 |
| 10.4.1 | アクセス時の注意 | 330 |
| 10.4.2 | オーバフローフラグに関する注意 | 330 |

第11章 16ビットフリーランニングタイマ (FRT)

| | | |
|--------|------------------------------------|-----|
| 11.1 | 概要 | 335 |
| 11.1.1 | 特長 | 335 |
| 11.1.2 | ブロック図 | 336 |
| 11.1.3 | 端子構成 | 337 |
| 11.1.4 | レジスタ構成 | 337 |
| 11.2 | 各レジスタの説明 | 338 |
| 11.2.1 | フリーランニングカウンタ (FRC) | 338 |
| 11.2.2 | アウトプットコンペアレジスタ A、B (OCRA、B) | 338 |
| 11.2.3 | インプットキャプチャレジスタ (FICR) | 339 |
| 11.2.4 | タイマインタラプトイネーブルレジスタ (TIER) | 339 |
| 11.2.5 | フリーランニングタイマコントロール/ステータレジスタ (FTCSR) | 341 |
| 11.2.6 | タイマコントロールレジスタ (TCR) | 343 |
| 11.2.7 | タイマアウトプットコンペアコントロールレジスタ (TOCR) | 343 |
| 11.3 | CPUとのインタフェース | 346 |
| 11.4 | 動作説明 | 349 |
| 11.4.1 | FRCのカウントタイミング | 349 |
| 11.4.2 | アウトプットコンペア出力タイミング | 350 |
| 11.4.3 | FRCクリアタイミング | 351 |
| 11.4.4 | インプットキャプチャ入力タイミング | 351 |
| 11.4.5 | インプットキャプチャフラグ (ICF) のセットタイミング | 352 |
| 11.4.6 | アウトプットコンペアフラグ (OCFA、B) のセットタイミング | 353 |
| 11.4.7 | タイマオーバフローフラグ (OVF) のセットタイミング | 353 |
| 11.5 | 割り込み要因 | 354 |
| 11.6 | FRTの使用例 | 355 |
| 11.7 | 使用上の注意 | 356 |

第 12 章 ウォッチドッグタイマ (WDT)

| | | |
|------|--------------|------------------------------------------------------|
| 12.1 | 概要..... | 363 |
| | 12.1.1 | 特長..... 363 |
| | 12.1.2 | ブロック図..... 364 |
| | 12.1.3 | 端子構成..... 364 |
| | 12.1.4 | レジスタ構成..... 365 |
| 12.2 | レジスタの説明..... | 366 |
| | 12.2.1 | ウォッチドッグタイマカウンタ (WTCNT) 366 |
| | 12.2.2 | ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) 366 |
| | 12.2.3 | リセットコントロール/ステータスレジスタ (RSTCSR) 369 |
| | 12.2.4 | レジスタアクセス時の注意..... 371 |
| 12.3 | 動作説明..... | 373 |
| | 12.3.1 | ウォッチドッグタイマモード時の動作..... 373 |
| | 12.3.2 | インターバルタイマモード時の動作..... 375 |
| | 12.3.3 | スタンバイモード解除時の動作..... 375 |
| | 12.3.4 | オーバフローフラグ (OVF) のセットタイミング..... 376 |
| | 12.3.5 | ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング..... 377 |
| 12.4 | 使用上の注意..... | 378 |
| | 12.4.1 | ウォッチドッグタイマカウンタ (WTCNT) の書き込みと カウントアップの競合..... 378 |
| | 12.4.2 | CKS2~CKS0 ビットの書き換え..... 378 |
| | 12.4.3 | ウォッチドッグタイマモードとインターバルタイマモードの切り換え..... 378 |
| | 12.4.4 | $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット..... 379 |
| | 12.4.5 | ウォッチドッグタイマモードでの内部リセット..... 379 |

第 13 章 シリアルコミュニケーションインタフェース (SCI)

| | | |
|------|--------------|--------------------------------|
| 13.1 | 概要..... | 383 |
| | 13.1.1 | 特長..... 383 |
| | 13.1.2 | ブロック図..... 384 |
| | 13.1.3 | 端子構成..... 385 |
| | 13.1.4 | レジスタ構成..... 385 |
| 13.2 | レジスタの説明..... | 386 |
| | 13.2.1 | レシーブシフトレジスタ (RSR) 386 |
| | 13.2.2 | レシーブデータレジスタ (RDR) 386 |
| | 13.2.3 | トランスミットシフトレジスタ (TSR) 387 |
| | 13.2.4 | トランスミットデータレジスタ (TDR) 387 |

| | | | |
|------|--------|----------------------------|-----|
| | 13.2.5 | シリアルモードレジスタ (SMR) | 388 |
| | 13.2.6 | シリアルコントロールレジスタ (SCR) | 391 |
| | 13.2.7 | シリアルステータスレジスタ (SSR) | 396 |
| | 13.2.8 | ビットレートレジスタ (BRR) | 402 |
| 13.3 | | 動作説明 | 408 |
| | 13.3.1 | 概要 | 408 |
| | 13.3.2 | 調歩同期式モード時の動作 | 410 |
| | 13.3.3 | マルチプロセッサ通信機能 | 420 |
| | 13.3.4 | クロック同期式モード時の動作 | 428 |
| 13.4 | | SCI の割り込み要因と DMAC | 437 |
| 13.5 | | 使用上の注意 | 438 |

第 14 章 低消費電力状態

| | | | |
|------|--------|-------------------------------|-----|
| 14.1 | | 概要 | 445 |
| | 14.1.1 | 低消費電力状態の種類 | 445 |
| | 14.1.2 | レジスタ構成 | 446 |
| 14.2 | | レジスタの説明 | 447 |
| | 14.2.1 | スタンバイコントロールレジスタ (SBYCR) | 447 |
| 14.3 | | スリープモード | 451 |
| | 14.3.1 | スリープモードへの遷移 | 451 |
| | 14.3.2 | スリープモードの解除 | 451 |
| 14.4 | | スタンバイモード | 452 |
| | 14.4.1 | スタンバイモードへの遷移 | 452 |
| | 14.4.2 | スタンバイモードの解除 | 453 |
| | 14.4.3 | NMI 割り込みによるスタンバイモード解除方法 | 454 |
| | 14.4.4 | クロックポーズ機能 | 455 |
| | 14.4.5 | スタンバイモードの注意事項 | 456 |
| 14.5 | | モジュールスタンバイ機能 | 457 |
| | 14.5.1 | モジュールスタンバイ機能への遷移 | 457 |
| | 14.5.2 | モジュールスタンバイ機能の解除 | 457 |

第 15 章 電気的特性 (5V 版)

| | | | |
|------|--------|-----------------|-----|
| 15.1 | | 絶対最大定格 | 461 |
| 15.2 | | DC 特性 | 462 |
| 15.3 | | AC 特性 | 464 |
| | 15.3.1 | クロックタイミング | 464 |

| | | |
|--------|---------------------------------|-----|
| 15.3.2 | 制御信号タイミング | 467 |
| 15.3.3 | バスタイミング | 473 |
| 15.3.4 | ダイレクトメモリアクセスコントローラタイミング | 540 |
| 15.3.5 | フリーランタイムタイミング | 541 |
| 15.3.6 | ウォッチドッグタイマタイミング | 542 |
| 15.3.7 | シリアルコミュニケーションインタフェースタイミング | 543 |
| 15.3.8 | AC 特性測定条件 | 544 |

第 16 章 電気的特性 (3V 版)

| | | |
|--------|---------------------------------|-----|
| 16.1 | 絶対最大定格 | 547 |
| 16.2 | DC 特性 | 548 |
| 16.3 | AC 特性 | 550 |
| 16.3.1 | クロックタイミング | 550 |
| 16.3.2 | 制御信号タイミング | 553 |
| 16.3.3 | バスタイミング | 559 |
| 16.3.4 | ダイレクトメモリアクセスコントローラタイミング | 625 |
| 16.3.5 | フリーランタイムタイミング | 626 |
| 16.3.6 | ウォッチドッグタイマタイミング | 627 |
| 16.3.7 | シリアルコミュニケーションインタフェースタイミング | 628 |
| 16.3.8 | AC 特性測定条件 | 629 |

付録

| | | |
|-----|----------------------------------|-----|
| A. | 端子状態 | 633 |
| A.1 | リセット、低消費電力状態、バス権解放状態での端子状態 | 633 |
| B. | レジスタ一覧 | 635 |
| B.1 | I/O レジスタ一覧 | 635 |
| B.2 | レジスタ早見表 | 640 |
| C. | 外形寸法図 | 674 |

図目次

| | | |
|--------|--------------------------------------------------|-----|
| 図 2.1 | 処理状態の状態遷移図 | 48 |
| 図 3.1 | 内蔵発振回路のブロック図 | 56 |
| 図 3.2 | 水晶発振子の接続例 | 60 |
| 図 3.3 | 水晶発振子の等価回路 | 60 |
| 図 3.4 | 外部クロック入力方法 | 61 |
| 図 3.5 | 外部クロック入力方法 | 62 |
| 図 3.6 | 周波数変更レジスタと PLL 回路 2 の関係 | 62 |
| 図 3.7 | 周波数変更フロー | 65 |
| 図 3.8 | 水晶発振子使用時の注意 | 70 |
| 図 3.9 | PLL 発振回路使用時の注意 | 71 |
| 図 5.1 | INTC のブロック図 | 96 |
| 図 5.2 | 外部ベクタモード割り込みの接続例 | 99 |
| 図 5.3 | オートベクタモード割り込みの接続例 | 100 |
| 図 5.4 | 外部ベクタモードの割り込みベクタフェッチサイクル | 101 |
| 図 5.5 | 割り込み動作フロー | 114 |
| 図 5.6 | 割り込み例外処理終了後のスタック状態 | 115 |
| 図 5.7 | IRL 割り込みを受け付けるときのパイプライン動作例 | 117 |
| 図 5.8 | $\overline{IRL3} \sim \overline{IRL0}$ 端子のサンプリング | 118 |
| 図 5.9 | NMI 要求クリアタイミング | 119 |
| 図 5.10 | RTE による復帰時のパイプライン動作 | 120 |
| 図 5.11 | SR の変更による割り込み許可時のパイプライン動作 | 120 |
| 図 5.12 | RTE による復帰のパイプライン動作 | 121 |
| 図 5.13 | SR の変更による割り込み許可時のパイプライン動作 | 122 |
| 図 6.1 | ユーザブレークコントローラブロック図 | 126 |
| 図 7.1 | BSC のブロック図 | 150 |
| 図 7.2 | 32 ビット外部デバイスとアクセス単位の関係 | 168 |
| 図 7.3 | 16 ビット外部デバイスとアクセス単位の関係 | 169 |
| 図 7.4 | 8 ビット外部デバイスとアクセス単位の関係 | 169 |
| 図 7.5 | 32 ビット外部デバイスとアクセス単位の関係 | 170 |
| 図 7.6 | 16 ビット外部デバイスとアクセス単位の関係 | 171 |
| 図 7.7 | 通常空間アクセスの基本タイミング | 173 |
| 図 7.8 | 32 ビットデータ幅 SRAM 接続例 | 174 |
| 図 7.9 | 16 ビットデータ幅 SRAM 接続例 | 175 |
| 図 7.10 | 8 ビットデータ幅 SRAM 接続例 | 175 |
| 図 7.11 | 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ) | 176 |

| | | |
|--------|------------------------------------------------------------------|-----|
| 図 7.12 | 通常空間アクセスのウェイトステートタイミング ($\overline{\text{WAIT}}$ 信号によるウェイトステート) | 177 |
| 図 7.13 | シンクロナス DRAM32 ビットデバイス幅接続例 | 179 |
| 図 7.14 | シンクロナス DRAM16 ビットデバイス幅接続例 | 180 |
| 図 7.15 | バーストリード基本タイミング (オートプリチャージ) | 183 |
| 図 7.16 | バーストリードウェイト指定タイミング (オートプリチャージ) | 183 |
| 図 7.17 | シングルリードタイミング (オートプリチャージ) | 185 |
| 図 7.18 | ライトサイクル基本タイミング (オートプリチャージ) | 186 |
| 図 7.19 | バーストリードタイミング (プリチャージなし) | 188 |
| 図 7.20 | バーストリードタイミング (バンクアクティブ、同一ロウアドレス) | 189 |
| 図 7.21 | バーストリードタイミング (バンクアクティブ、異なるロウアドレス) | 190 |
| 図 7.22 | ライトタイミング (プリチャージなし) | 191 |
| 図 7.23 | ライトタイミング (バンクアクティブ、同一ロウアドレス) | 192 |
| 図 7.24 | ライトタイミング (バンクアクティブ、異なるロウアドレス) | 193 |
| 図 7.25 | オートリフレッシュタイミング | 194 |
| 図 7.26 | セルフリフレッシュタイミング | 196 |
| 図 7.27 | SDRAM モード書き込みタイミング | 198 |
| 図 7.28 | PLL による位相シフト | 200 |
| 図 7.29 | DRAM 接続例 (32 ビットデータ幅) | 201 |
| 図 7.30 | DRAM 接続例 (16 ビットデータ幅) | 202 |
| 図 7.31 | 基本アクセスタイミング | 203 |
| 図 7.32 | ウェイトステートタイミング | 204 |
| 図 7.33 | 外部ウェイトステートタイミング | 205 |
| 図 7.34 | バーストアクセスタイミング | 206 |
| 図 7.35 | リフレッシュサイクルタイミング | 207 |
| 図 7.36 | 擬似 SRAM 接続例 (1 Mビット品) | 210 |
| 図 7.37 | 擬似 SRAM 接続例 (4 Mビット品) | 211 |
| 図 7.38 | 基本アクセスタイミング | 212 |
| 図 7.39 | ウェイトステートタイミング | 213 |
| 図 7.40 | 外部ウェイトステートタイミング | 214 |
| 図 7.41 | スタティックカラムモード | 215 |
| 図 7.42 | オートリフレッシュ | 216 |
| 図 7.43 | セルフリフレッシュ | 217 |
| 図 7.44 | データ幅とバースト ROM アクセス (ウェイト数 1) | 219 |
| 図 7.45 | バースト ROM ニブルアクセス (2 ウェイトステート) | 219 |
| 図 7.46 | バースト ROM ニブルアクセス (ウェイトなし) | 220 |
| 図 7.47 | アクセスサイクル間ウェイト | 222 |
| 図 7.48 | バスアービトレーション | 226 |
| 図 7.49 | マスタとスレーブの接続 | 228 |

| | | |
|--------|---------------------------------------------------------------------------------------------|-----|
| 図 7.50 | マスタと部分共有マスタの接続..... | 231 |
| 図 8.1 | キャッシュ構成..... | 239 |
| 図 8.2 | アドレス..... | 240 |
| 図 8.3 | キャッシュヒット時の読み出し..... | 244 |
| 図 8.4 | キャッシュミス時の読み出し..... | 245 |
| 図 8.5 | 書き込み..... | 246 |
| 図 8.6 | キャッシュスルー領域の読み出し..... | 247 |
| 図 8.7 | TAS 命令実行とキャッシュ..... | 247 |
| 図 8.8 | LRU 情報とアクセス順序..... | 249 |
| 図 8.9 | 連想パージアクセス..... | 250 |
| 図 8.10 | データアレイアクセス..... | 251 |
| 図 8.11 | アドレスアレイアクセス..... | 252 |
| 図 8.12 | キャッシュの初期化..... | 253 |
| 図 8.13 | 特定アドレスのパージ..... | 254 |
| 図 8.14 | 2ウェイモード時の2KバイトRAMのアドレスマッピング..... | 256 |
| 図 9.1 | DMAC のブロック図..... | 261 |
| 図 9.2 | DMA 転送フローチャート..... | 278 |
| 図 9.3 | バースト時の固定モードDMA転送(デュアルアドレス、DREQレベルローアクティブ)..... | 282 |
| 図 9.4 | サイクルスチール時の固定モードDMA転送(デュアルアドレス、DREQレベルロー アクティブ)..... | 282 |
| 図 9.5 | ラウンドロビンモードでのチャンネル優先順位変更例..... | 283 |
| 図 9.6 | シングルアドレスモードでのデータの流れ..... | 285 |
| 図 9.7 | シングルアドレスモードでのDMA転送タイミング例..... | 286 |
| 図 9.8 | デュアルアドレスモードでのデータの流れ..... | 287 |
| 図 9.9 | デュアルアドレスモードでのDMA転送タイミング例(外部メモリ空間 外部メモリ空間、 読み出しサイクルにDACK出力の場合)..... | 288 |
| 図 9.10 | サイクルスチールモードでのDMA転送例(デュアルアドレス、DREQレベル検出)..... | 289 |
| 図 9.11 | バーストモードでのDMA転送例(シングルアドレス、DREQレベル検出)..... | 290 |
| 図 9.12 | 複数チャンネルが動作する場合のバス状態(優先順位チャンネル0>チャンネル1、チャンネル1は バーストモード、チャンネル0はサイクルスチールモードが設定されている場合)..... | 292 |
| 図 9.13 | DACK出力タイミングの例..... | 293 |
| 図 9.14 | 通常空間アクセスにおけるDACK出力(AM=0)..... | 293 |
| 図 9.15 | 通常空間アクセスにおけるDACK出力(AM=1)..... | 293 |
| 図 9.16 | 通常空間アクセスにおけるDACK出力(AM=0、16ビット外部デバイスにロングワード アクセスをした場合)..... | 294 |
| 図 9.17 | 通常空間アクセスにおけるDACK出力(AM=0、8ビット外部デバイスにロングワード アクセスをした場合)..... | 294 |

| | | |
|--------|------------------------------------------------------------------------|-----|
| 図 9.18 | 通常空間アクセスにおける DACK 出力 (AM=0、8 ビット外部デバイスにワード アクセスをした場合) | 294 |
| 図 9.19 | SDRAM バーストリード (オートプリチャージ) における DACK 出力 (AM=0) | 295 |
| 図 9.20 | SDRAM シングルリード (オートプリチャージ) における DACK 出力 (AM=0) | 295 |
| 図 9.21 | SDRAM ライト (オートプリチャージ) における DACK 出力 (AM=1) | 296 |
| 図 9.22 | SDRAM バーストリード (バンクアクティブ、同一ロウアドレス) における DACK 出力 (AM=0) | 296 |
| 図 9.23 | SDRAM バーストリード (バンクアクティブ、異なるロウアドレス) における DACK 出力 (AM=0) | 297 |
| 図 9.24 | SDRAM シングルリード (バンクアクティブ、同一ロウアドレス) における DACK 出力 (AM=0) | 297 |
| 図 9.25 | SDRAM シングルリード (バンクアクティブ、異なるロウアドレス) における DACK 出力 (AM=0) | 297 |
| 図 9.26 | SDRAM ライト (バンクアクティブ、同一ロウアドレス) における DACK 出力 (AM=1) | 298 |
| 図 9.27 | SDRAM ライト (バンクアクティブ、異なるロウアドレス) における DACK 出力 (AM=1) | 298 |
| 図 9.28 | DRAM ノーマルアクセス時の DACK 出力 (AM=0、1 同様) | 299 |
| 図 9.29 | DRAM バーストアクセス時 (同一ロウアドレス) の DACK 出力 (AM=0、1 同様) | 299 |
| 図 9.30 | DRAM バーストアクセス時 (異なるロウアドレス) の DACK 出力 (AM=0、1 同様) | 299 |
| 図 9.31 | 擬似 SRAM ノーマルアクセス時の DACK 出力 (AM=0、1 同様) | 300 |
| 図 9.32 | 擬似 SRAM バーストアクセス時 (同一ロウアドレス) の DACK 出力 (AM=0、1 同様) | 300 |
| 図 9.33 | 擬似 SRAM バーストアクセス時 (異なるロウアドレス) の DACK 出力 (AM=0、1 同様) | 300 |
| 図 9.34 | バースト ROM ニブルアクセス時の DACK 出力 | 301 |
| 図 9.35 | サイクルスチールモード・エッジ検出設定時の DREQ 端子入力検出 タイミング (1) | 302 |
| 図 9.36 | 16 ビット外部デバイス接続時 | 303 |
| 図 9.37 | 8 ビット外部デバイス接続時 | 303 |
| 図 9.38 | サイクルスチールモード・エッジ検出設定時の DREQ 端子入力検出タイミング (2) | 304 |
| 図 9.39 | サイクルスチールモード・レベル検出設定時の DREQ 端子入力検出タイミング (1) | 305 |
| 図 9.40 | 16 ビット外部デバイス接続時 | 306 |
| 図 9.41 | 8 ビット外部デバイス接続時 | 306 |
| 図 9.42 | サイクルスチールモード・レベル検出設定時の DREQ 端子入力検出タイミング (2) | 307 |
| 図 9.43 | サイクルスチールモード・レベル検出設定時の DREQ 端子入力検出タイミング (3) | 307 |
| 図 9.44 | サイクルスチールモード・レベル検出設定時の DREQ 端子入力検出タイミング (4) | 308 |
| 図 9.45 | 2 チャンネル同時に動作させた時の例 | 309 |
| 図 9.46 | バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (1) (通常空間からデバイスへのデータ転送の場合) | 310 |
| 図 9.47 | バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (2) (デバイスから通常空間へのデータ転送の場合) | 311 |

| | | |
|------------|-----------------------------------------------------------------------------|-----|
| 図 9.48 | バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (3) (通常空間からデバイスへのデータ転送エバチップの場合) | 312 |
| 図 9.49 | バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (4) (デバイスから通常空間へのデータ転送エバチップの場合) | 312 |
| 図 9.50 | バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (5) | 313 |
| 図 9.51 | バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (6) | 314 |
| 図 9.52 | TCR=2 のときの 16 バイト転送 | 315 |
| 図 10.1 | 除算器のブロック図 | 322 |
| 図 11.1 | FRT のブロック図 | 336 |
| 図 11.2 (A) | FRC のアクセス動作 (CPU FRC [H'AA55] 書き込み時) | 347 |
| 図 11.2 (B) | FRC のアクセス動作 (FRC CPU [H'AA55] 読み出し時) | 348 |
| 図 11.3 | 内部クロック動作時のカウントタイミング | 349 |
| 図 11.4 | 外部クロック動作時のカウントタイミング | 350 |
| 図 11.5 | アウトプットコンペア A 出力タイミング | 350 |
| 図 11.6 | コンペアマッチ A によるクリアタイミング | 351 |
| 図 11.7 | インプットキャプチャ信号タイミング (通常時) | 351 |
| 図 11.8 | インプットキャプチャ信号タイミング (FICR の読み出し時に、インプットキャプチャ入力を 入力した場合) | 352 |
| 図 11.9 | ICF のセットタイミング | 352 |
| 図 11.10 | OCF セットタイミング | 353 |
| 図 11.11 | OVF のセットタイミング | 353 |
| 図 11.12 | パルス出力例 | 355 |
| 図 11.13 | FRC のライトとクリアの競合 | 356 |
| 図 11.14 | FRC ライトとカウントアップの競合 | 357 |
| 図 11.15 | OCR とコンペアマッチの競合 | 357 |
| 図 12.1 | WDT のブロック図 | 364 |
| 図 12.2 | WTCNT、WTCSR への書き込み | 371 |
| 図 12.3 | RSTCSR への書き込み | 372 |
| 図 12.4 | ウォッチドッグタイマモード時の動作 | 374 |
| 図 12.5 | インターバルタイマモード時の動作 | 375 |
| 図 12.6 | オーバフローフラグ (OVF) のセットタイミング | 376 |
| 図 12.7 | ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング | 377 |
| 図 12.8 | WTCNT の書き込みとカウントアップの競合 | 378 |
| 図 12.9 | $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例 | 379 |
| 図 13.1 | SCI のブロック図 | 384 |
| 図 13.2 | 調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例) | 410 |

| | | |
|---------|------------------------------------------------------|-----|
| 図 13.3 | 出力クロックと通信データの位相関係（調歩同期式モード） | 412 |
| 図 13.4 | SCI の初期化フローチャートの例 | 413 |
| 図 13.5 | シリアル送信のフローチャートの例 | 414 |
| 図 13.6 | 調歩同期式モードでの送信時の動作例（8ビットデータ/パリティあり/ 1ストップビットの例） | 416 |
| 図 13.7 | シリアル受信のフローチャートの例（1） | 417 |
| 図 13.7 | シリアル受信のフローチャートの例（2） | 418 |
| 図 13.8 | SCI の受信時の動作例（8ビットデータ/パリティあり/1ストップビットの例） | 420 |
| 図 13.9 | マルチプロセッサフォーマットを使用したプロセッサ間通信の例（受信局Aへの データHAAの送信の例） | 421 |
| 図 13.10 | マルチプロセッサシリアル送信のフローチャートの例 | 422 |
| 図 13.11 | SCI の送信時の動作例（8ビットデータ/マルチプロセッサビットあり/ 1ストップビットの例） | 424 |
| 図 13.12 | マルチプロセッサシリアル受信のフローチャートの例 | 425 |
| 図 13.13 | SCI の受信時の動作例（8ビットデータ/マルチプロセッサビットあり/ 1ストップビットの例） | 427 |
| 図 13.14 | クロック同期式通信のデータフォーマット | 428 |
| 図 13.15 | SCI の送信時の動作例 | 429 |
| 図 13.16 | SCI の初期化フローチャートの例 | 431 |
| 図 13.17 | シリアル送信のフローチャートの例 | 432 |
| 図 13.18 | シリアルデータ受信フローチャートの例 | 433 |
| 図 13.19 | SCI の受信時の動作例 | 434 |
| 図 13.20 | シリアルデータ送受信フローチャートの例 | 436 |
| 図 13.21 | 調歩同期式モードの受信データサンプリングタイミング | 439 |
| 図 13.22 | DMAC によるクロック同期式送信時の例 | 441 |
| 図 14.1 | NMI 割り込みによるスタンバイモード解除方法 | 454 |
| 図 14.2 | クロックポーズ機能のタイミングチャート | 456 |
| 図 15.1 | CKIO 入力タイミング | 465 |
| 図 15.2 | EXTAL クロック入力タイミング | 465 |
| 図 15.3 | パワーオン時発振安定時間 | 465 |
| 図 15.4 | スタンバイ復帰時発振安定時間（ $\overline{\text{RES}}$ による復帰） | 466 |
| 図 15.5 | スタンバイ復帰時発振安定時間（NMI による復帰） | 466 |
| 図 15.6 | PLL 同期安定化時間 | 466 |
| 図 15.7 | リセット入力タイミング | 470 |
| 図 15.8 | 割り込み信号入力タイミング（PLL 1 オフ時） | 470 |
| 図 15.9 | 割り込み信号入力タイミング（PLL1 オン時） | 471 |
| 図 15.10 | バス権解放タイミング（マスタモード、PLL 1 オン時） | 471 |
| 図 15.11 | バス権解放タイミング（マスタモード、PLL 1 オフ時） | 472 |

| | | |
|---------|---------------------------------------------------------------------------|-----|
| 図 15.12 | バス権解放タイミング (スレープモード、PLL 1 オン時) | 472 |
| 図 15.13 | バス権解放タイミング (スレープモード、PLL 1 オフ時) | 473 |
| 図 15.14 | 基本リードサイクル (ノーウェイト、PLL オン) | 482 |
| 図 15.15 | 基本ライトサイクル (ノーウェイト、PLL オン) | 483 |
| 図 15.16 | 基本リードサイクル (ノーウェイト、PLL オフ) | 484 |
| 図 15.17 | 基本ライトサイクル (ノーウェイト、PLL オフ) | 485 |
| 図 15.18 | 基本バスサイクル (1 ウェイトサイクル) | 486 |
| 図 15.19 | 基本バスサイクル (外部ウェイト入力) | 487 |
| 図 15.20 | SDRAM リードバスサイクル (RCD=1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン) | 488 |
| 図 15.21 | SDRAM シングルリードバスサイクル (RCD=1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン) | 489 |
| 図 15.22 | SDRAM リードバスサイクル (RCD=2 サイクル、CAS レイテンシ=2 サイクル、バースト=4) | 490 |
| 図 15.23 | SDRAM リードバスサイクル (バンクアクティブ、同一ロウアクセス、CAS レイテンシ=1 サイクル) | 491 |
| 図 15.24 | SDRAM リードバスサイクル (バンクアクティブ、同一ロウアクセス、CAS レイテンシ=2 サイクル) | 492 |
| 図 15.25 | SDRAM リードバスサイクル (バンクアクティブ、別ロウアクセス、TRP=1 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル) | 493 |
| 図 15.26 | SDRAM リードバスサイクル (バンクアクティブ、別ロウアクセス、TRP=2 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル) | 494 |
| 図 15.27 | SDRAM ライトバスサイクル (RCD=1 サイクル、TRWL=1 サイクル、PLL オン) | 495 |
| 図 15.28 | SDRAM ライトバスサイクル (RCD=2 サイクル、TRWL=2 サイクル) | 496 |
| 図 15.29 | SDRAM ライトバスサイクル (バンクアクティブ、同一ロウアクセス) | 497 |
| 図 15.30 | SDRAM 連続ライトサイクル (バンクアクティブ、同一ロウアクセス) | 498 |
| 図 15.31 | SDRAM ライトバスサイクル (バンクアクティブ、別ロウアクセス、TRP=1 サイクル、RCD=1 サイクル) | 499 |
| 図 15.32 | SDRAM ライトバスサイクル (バンクアクティブ、別ロウアクセス、TRP=2 サイクル、RCD=2 サイクル) | 500 |
| 図 15.33 | SDRAM モードレジスタ書き込みサイクル (TRP=1 サイクル) | 501 |
| 図 15.34 | SDRAM モードレジスタ書き込みサイクル (TRP=2 サイクル) | 502 |
| 図 15.35 | SDRAM オートリフレッシュサイクル (TRAS=2 サイクル) | 503 |
| 図 15.36 | SDRAM オートリフレッシュサイクル (プリチャージサイクルから図示、TRP=1 サイクル、TRAS=2 サイクル) | 504 |
| 図 15.37 | SDRAM セルフリフレッシュサイクル (TRAS=2) | 505 |
| 図 15.38 | SDRAM リードバスサイクル (RCD=1 サイクル、CAS レイテンシ=1 サイクル、TRP=1 サイクル、バースト=4、PLL オフ) | 506 |

| | | |
|---------|------------------------------------------------------------------------|-----|
| ☒ 15.39 | SDRAM ライトバスサイクル (RCD=1 サイクル、TRWL=1 サイクル、PLL オフ) | 507 |
| ☒ 15.40 | DRAM リードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 508 |
| ☒ 15.41 | DRAM ライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 509 |
| ☒ 15.42 | DRAM バスサイクル (TRP=2 サイクル、RCD=2 サイクル、1 ウェイト) | 510 |
| ☒ 15.43 | DRAM バスサイクル (TRP=1 サイクル、RCD=1 サイクル、外部ウェイト入力ウェイト) | 511 |
| ☒ 15.44 | DRAM バーストリードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 512 |
| ☒ 15.45 | DRAM バーストライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 513 |
| ☒ 15.46 | DRAM..... CAS ビフォ RAS リフレッシュサイクル (TRP=1 サイクル、TRAS=2 サイクル、PLL オン) | 514 |
| ☒ 15.47 | DRAM リードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 515 |
| ☒ 15.48 | DRAM ライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 516 |
| ☒ 15.49 | DRAM バーストリードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 517 |
| ☒ 15.50 | DRAM バーストライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 518 |
| ☒ 15.51 | DRAMCAS ビフォ RAS リフレッシュサイクル (TRP=1 サイクル、TRAS=2 サイクル、PLL オフ) | 519 |
| ☒ 15.52 | PSRAM リードサイクル (PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 520 |
| ☒ 15.53 | PSRAM ライトサイクル (PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 521 |
| ☒ 15.54 | PSRAM バスサイクル (TRP=2 サイクル、RCD=2 サイクル、1 ウェイト) | 522 |
| ☒ 15.55 | PSRAM バスサイクル (TRP=1 サイクル、RCD=1 サイクル、外部ウェイト入力) | 523 |
| ☒ 15.56 | PSRAM リードサイクル (スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 524 |
| ☒ 15.57 | PSRAM ライトサイクル (スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 525 |
| ☒ 15.58 | PSRAM オートリフレッシュサイクル (PLL オン、TRP=1 サイクル、TRAS=2 サイクル) | 526 |
| ☒ 15.59 | PSRAM セルフリフレッシュサイクル (PLL オン、TRP=1 サイクル、TRAS=2 サイクル) | 527 |
| ☒ 15.60 | PSRAM リードサイクル (PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 528 |
| ☒ 15.61 | PSRAM ライトサイクル (PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 529 |
| ☒ 15.62 | PSRAM リードサイクル (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 530 |
| ☒ 15.63 | PSRAM ライトサイクル (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 531 |
| ☒ 15.64 | PSRAM オートリフレッシュサイクル (PLL オフ、TRP=1 サイクル、TRAS=2 サイクル) | 532 |
| ☒ 15.65 | PSRAM セルフリフレッシュサイクル (PLL オフ、TRP=1 サイクル、TRAS=2 サイクル) | 533 |
| ☒ 15.66 | バースト ROM リードサイクル (PLL オン、ウェイト=1) | 534 |

| | | |
|---------|------------------------------------------------------------------|-----|
| 図 15.67 | バースト ROM リードサイクル (PLL オフ、ウェイト=1) | 535 |
| 図 15.68 | 割り込みベクタフェッチサイクル (PLL オン、ノーウェイト) | 536 |
| 図 15.69 | 割り込みベクタフェッチサイクル (PLL オフ、ノーウェイト) | 537 |
| 図 15.70 | 割り込みベクタフェッチサイクル (1 外部ウェイトサイクル) | 538 |
| 図 15.71 | アドレスモニタサイクル | 539 |
| 図 15.72 | DREQ0、DREQ1 入力タイミング | 540 |
| 図 15.73 | FRT 入出力タイミング | 541 |
| 図 15.74 | FRT クロック入力タイミング | 541 |
| 図 15.75 | ウォッチドッグタイマ出力タイミング | 542 |
| 図 15.76 | 入力クロック入出力タイミング | 543 |
| 図 15.77 | SCI 入出力タイミング (クロック同期式モード) | 543 |
| 図 15.78 | 出力付加回路 | 544 |
| 図 16.1 | CKIO 入力タイミング | 551 |
| 図 16.2 | EXTAL クロック入力タイミング | 551 |
| 図 16.3 | パワーオン時発振安定時間 | 551 |
| 図 16.4 | スタンバイ復帰時発振安定時間 ($\overline{\text{RES}}$ による復帰) | 552 |
| 図 16.5 | スタンバイ復帰時発振安定時間 (NMI による復帰) | 552 |
| 図 16.6 | PLL 同期安定化時間 | 552 |
| 図 16.7 | リセット入力タイミング | 556 |
| 図 16.8 | 割り込み信号入力タイミング (PLL 1 オフ時) | 556 |
| 図 16.9 | 割り込み信号入力タイミング (PLL 1 オン時) | 556 |
| 図 16.10 | バス権解放タイミング (マスタモード、PLL 1 オン時) | 557 |
| 図 16.11 | バス権解放タイミング (マスタモード、PLL 1 オフ時) | 557 |
| 図 16.12 | バス権解放タイミング (スレーブモード、PLL 1 オン時) | 557 |
| 図 16.13 | バス権解放タイミング (スレーブモード、PLL 1 オフ時) | 558 |
| 図 16.14 | 基本リードサイクル (ノーウェイト、PLL オン) | 567 |
| 図 16.15 | 基本ライトサイクル (ノーウェイト、PLL オン) | 568 |
| 図 16.16 | 基本リードサイクル (ノーウェイト、PLL オフ) | 569 |
| 図 16.17 | 基本ライトサイクル (ノーウェイト、PLL オフ) | 570 |
| 図 16.18 | 基本バスサイクル (1 ウェイトサイクル) | 571 |
| 図 16.19 | 基本バスサイクル (外部ウェイト入力) | 572 |
| 図 16.20 | SDRAM リードバスサイクル (RCD=1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン) | 573 |
| 図 16.21 | SDRAM シングルリードバスサイクル (RCD= 1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン) | 574 |
| 図 16.22 | SDRAM リードバスサイクル (RCD=2 サイクル、CAS レイテンシ=2 サイクル、バースト=4) | 575 |
| 図 16.23 | SDRAM リードバスサイクル (バンクアクティブ、同一ロウアクセス、CAS レイテンシ=1 サイクル) | 576 |

| | | |
|---------|---------------------------------------------------------------------------------|-----|
| 図 16.24 | SDRAM リードバスサイクル (バンクアクティブ、同一ロウアクセス、CAS レイテンシ=2 サイクル) | 577 |
| 図 16.25 | SDRAM リードバスサイクル (バンクアクティブ、別ロウアクセス、TRP=1 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル) | 578 |
| 図 16.26 | SDRAM リードバスサイクル (バンクアクティブ、別ロウアクセス、TRP=2 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル) | 579 |
| 図 16.27 | SDRAM ライトバスサイクル (RCD=1 サイクル、TRWL=1 サイクル、PLL オン) | 580 |
| 図 16.28 | SDRAM ライトバスサイクル (RCD=2 サイクル、TRWL=2 サイクル) | 581 |
| 図 16.29 | SDRAM ライトバスサイクル (バンクアクティブ、同一ロウアクセス) | 582 |
| 図 16.30 | SDRAM 連続ライトサイクル (バンクアクティブ、同一ロウアクセス) | 583 |
| 図 16.31 | SDRAM ライトバスサイクル (バンクアクティブ、別ロウアクセス、TRP=1 サイクル、RCD=1 サイクル) | 584 |
| 図 16.32 | SDRAM ライトバスサイクル (バンクアクティブ、別ロウアクセス、TRP=2 サイクル、RCD=2 サイクル) | 585 |
| 図 16.33 | SDRAM モードレジスタ書き込みサイクル (TRP=1 サイクル) | 586 |
| 図 16.34 | SDRAM モードレジスタ書き込みサイクル (TRP=2 サイクル) | 587 |
| 図 16.35 | SDRAM オートリフレッシュサイクル (TRAS=2 サイクル) | 588 |
| 図 16.36 | SDRAM オートリフレッシュサイクル (プリチャージサイクルから図示、TRP=1 サイクル、TRAS=2 サイクル) | 589 |
| 図 16.37 | SDRAM セルフリフレッシュサイクル (TRAS=2) | 590 |
| 図 16.38 | SDRAM リードバスサイクル (RCD=1 サイクル、CAS レイテンシ=1 サイクル、TRP=1 サイクル、バースト=4、PLL オフ) | 591 |
| 図 16.39 | SDRAM ライトバスサイクル (RCD=1 サイクル、TRWL=1 サイクル、PLL オフ) | 592 |
| 図 16.40 | DRAM リードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 593 |
| 図 16.41 | DRAM ライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 594 |
| 図 16.42 | DRAM バスサイクル (TRP=2 サイクル、RCD=2 サイクル、1 ウェイト) | 595 |
| 図 16.43 | DRAM バスサイクル (TRP=1 サイクル、RCD=1 サイクル、外部ウェイト入力ウェイト) | 596 |
| 図 16.44 | DRAM バーストリードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 597 |
| 図 16.45 | DRAM バーストライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン) | 598 |
| 図 16.46 | DRAM CAS ビフォ RAS リフレッシュサイクル (TRP=1 サイクル、TRAS=2 サイクル、PLL オン) | 599 |
| 図 16.47 | DRAM リードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 600 |
| 図 16.48 | DRAM ライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 601 |
| 図 16.49 | DRAM バーストリードサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 602 |

| | | |
|---------|---------------------------------------------------------------------|-----|
| 図 16.50 | DRAMバーストライトサイクル (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ) | 603 |
| 図 16.51 | DRAMCAS ビフォ RAS リフレッシュサイクル (TRP=1 サイクル、TRAS=2 サイクル、PLL オフ) | 604 |
| 図 16.52 | PSRAM リードサイクル (PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 605 |
| 図 16.53 | PSRAM ライトサイクル (PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 606 |
| 図 16.54 | PSRAM バスサイクル (TRP=2 サイクル、RCD=2 サイクル、1 ウェイト) | 607 |
| 図 16.55 | PSRAM バスサイクル (TRP=1 サイクル、RCD=1 サイクル、外部ウェイト入力) | 608 |
| 図 16.56 | PSRAM リードサイクル (スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 609 |
| 図 16.57 | PSRAM ライトサイクル (スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 610 |
| 図 16.58 | PSRAM オートリフレッシュサイクル (PLL オン、TRP=1 サイクル、TRAS=2 サイクル) | 611 |
| 図 16.59 | PSRAM セルフリフレッシュサイクル (PLL オン、TRP=1 サイクル、TRAS=2 サイクル) | 612 |
| 図 16.60 | PSRAM リードサイクル (PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 613 |
| 図 16.61 | PSRAM ライトサイクル (PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 614 |
| 図 16.62 | PSRAM リードサイクル (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 615 |
| 図 16.63 | PSRAM ライトサイクル (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト) | 616 |
| 図 16.64 | PSRAM オートリフレッシュサイクル (PLL オフ、TRP=1 サイクル、TRAS=2 サイクル) | 617 |
| 図 16.65 | PSRAM セルフリフレッシュサイクル (PLL オフ、TRP=1 サイクル、TRAS=2 サイクル) | 618 |
| 図 16.66 | バースト ROM リードサイクル (PLL オン、ウェイト=1) | 619 |
| 図 16.67 | バースト ROM リードサイクル (PLL オフ、ウェイト=1) | 620 |
| 図 16.68 | 割り込みベクタフェッチサイクル (PLL オン、ノーウェイト) | 621 |
| 図 16.69 | 割り込みベクタフェッチサイクル (PLL オフ、ノーウェイト) | 622 |
| 図 16.70 | 割り込みベクタフェッチサイクル (1 外部ウェイトサイクル) | 623 |
| 図 16.71 | アドレスモニタサイクル | 624 |
| 図 16.72 | DREQ0、DREQ1 入力タイミング | 625 |
| 図 16.73 | FRT 入出力タイミング | 626 |
| 図 16.74 | FRT クロック入力タイミング | 626 |
| 図 16.75 | ウォッチドッグタイマ出力タイミング | 627 |
| 図 16.76 | 入力クロック入出力タイミング | 628 |
| 図 16.77 | SCI 入出力タイミング (クロック同期式モード) | 628 |
| 図 16.78 | 出力付加回路 | 629 |
| 図 C.1 | 外形寸法図 (FP-144) | 672 |
| 図 C.2 | 外形寸法図 (TBP-176) | 673 |

表目次

| | | |
|--------|---------------------------|----|
| 表 1.1 | SH7604 の特長 | 3 |
| 表 1.2 | 端子一覧 | 10 |
| 表 2.1 | レジスタの初期値 | 21 |
| 表 2.2 | ワードデータの符号拡張 | 24 |
| 表 2.3 | 遅延分岐命令 | 25 |
| 表 2.4 | Tビット | 25 |
| 表 2.5 | イミディエイトデータによる参照 | 25 |
| 表 2.6 | 絶対アドレスによる参照 | 26 |
| 表 2.7 | ディスプレイメントによる参照 | 26 |
| 表 2.8 | アドレッシングモードと実効アドレス | 27 |
| 表 2.9 | 命令形式 | 30 |
| 表 2.10 | 命令の分類 | 33 |
| 表 2.11 | オペレーションコードマップ | 45 |
| 表 2.12 | 低消費電力状態 | 51 |
| 表 3.1 | 端子の機能 | 57 |
| 表 3.2 | 動作モード | 58 |
| 表 3.3 | クロックモードの端子設定と状態 | 59 |
| 表 3.4 | ダンピング抵抗値 (参考値) | 60 |
| 表 3.5 | 水晶発振子の特性 (参考値) | 61 |
| 表 3.6 | レジスタ構成 | 63 |
| 表 3.7 | 動作モードと周波数範囲 | 69 |
| 表 3.8 | 接続抵抗・容量参考値 | 71 |
| 表 3.9 | CS0 エリアのバス幅指定 | 72 |
| 表 3.10 | マスタモードとスレーブモード | 73 |
| 表 4.1 | 例外要因の種類と優先順位 | 77 |
| 表 4.2 | 例外要因検出と例外処理開始タイミング | 78 |
| 表 4.3 | 例外処理ベクタテーブル (1) | 79 |
| 表 4.3 | 例外処理ベクタテーブル (2) | 80 |
| 表 4.4 | 例外処理ベクタテーブルアドレスの算出法 | 81 |
| 表 4.5 | リセットの種類 | 82 |
| 表 4.6 | バスサイクルとアドレスエラー | 84 |
| 表 4.7 | 割り込み要因 | 86 |
| 表 4.8 | 割り込み優先順位 | 87 |
| 表 4.9 | 命令による例外の種類 | 88 |
| 表 4.10 | 遅延分岐命令、割り込み禁止命令の直後の例外要因発生 | 90 |

| | | |
|--------|----------------------------------------|-----|
| 表 4.11 | 例外処理終了後のスタックの状態..... | 91 |
| 表 5.1 | 端子構成 | 97 |
| 表 5.2 | レジスタ構成..... | 97 |
| 表 5.3 | IRL 割り込みの優先レベルとオートベクタ番号 | 99 |
| 表 5.4 | 割り込み例外処理ベクタと優先順位 | 103 |
| 表 5.5 | 割り込み要求元と IPRA ~ IPRB..... | 106 |
| 表 5.6 | 割り込み要求元とベクタ番号設定レジスタ (1) | 110 |
| 表 5.7 | 割り込み要求元とベクタ番号設定レジスタ (2) | 111 |
| 表 5.8 | 割り込み応答時間..... | 116 |
| 表 6.1 | 端子構成 | 127 |
| 表 6.2 | SH7000 シリーズの UBC との対応..... | 127 |
| 表 6.3 | データアクセスサイクルのアドレスとオペランドサイズの比較条件..... | 139 |
| 表 6.4 | ブレイク条件の相違..... | 145 |
| 表 7.1 | 端子構成 (1) | 151 |
| 表 7.1 | 端子構成 (2) | 151 |
| 表 7.2 | レジスタ構成..... | 153 |
| 表 7.3 | アドレスマップ | 154 |
| 表 7.4 | SZ、AMX とアドレスマルチプレクス出力の関係 | 181 |
| 表 7.5 | AMX 1 ~ 0 とアドレスマルチプレクスの関係 | 202 |
| 表 8.1 | レジスタ構成..... | 240 |
| 表 8.2 | アドレス空間とキャッシュ動作 | 243 |
| 表 8.3 | LRU 情報の更新..... | 249 |
| 表 8.4 | 置き換えウェイの選択条件..... | 249 |
| 表 9.1 | 端子構成 | 262 |
| 表 9.2 | レジスタ構成..... | 263 |
| 表 9.3 | AR、RS ビットによる DMA 転送要求の選択..... | 279 |
| 表 9.4 | TA、AM ビットによる外部リクエストモードの選択..... | 280 |
| 表 9.5 | DS、DL ビットによる外部リクエスト信号の選択 | 280 |
| 表 9.6 | AR、RS ビットによる内蔵周辺モジュールリクエストモードの選択 | 281 |
| 表 9.7 | サポートできる DMA 転送..... | 284 |
| 表 9.8 | DMA 転送区間とバスモード、リクエストモードとの関係一覧..... | 291 |
| 表 9.9 | 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値 | 317 |
| 表 10.1 | レジスタ構成..... | 323 |
| 表 10.2 | オーバフロー処理..... | 331 |
| 表 11.1 | 端子構成 | 337 |
| 表 11.2 | レジスタ構成..... | 337 |
| 表 11.3 | FRT 割り込み要因..... | 354 |
| 表 11.4 | 内部クロックの切り換えと FRC 動作 (1) | 358 |

| | | |
|---------|---------------------------------------------------|-----|
| 表 11.4 | 内部クロックの切り換えと FRC 動作 (2) | 359 |
| 表 12.1 | 端子構成 | 364 |
| 表 12.2 | レジスタ構成 | 365 |
| 表 13.1 | 端子構成 | 385 |
| 表 13.2 | レジスタ構成 | 385 |
| 表 13.3 | ビットレートに対する BRR の設定例〔調歩同期式モード〕 | 403 |
| 表 13.4 | ビットレートに対する BRR の設定例〔クロック同期式モード〕 | 405 |
| 表 13.5 | ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード) | 406 |
| 表 13.6 | 外部クロック入力時の最大ビットレート (調歩同期式モード) | 407 |
| 表 13.7 | 外部クロック入力時の最大ビットレート (クロック同期式モード) | 407 |
| 表 13.8 | SMR の設定値とシリアル送信 / 受信フォーマット | 409 |
| 表 13.9 | SMR、SCR の設定と SCI のクロックソースの選択 | 409 |
| 表 13.10 | シリアル送信 / 受信フォーマット (調歩同期式モード) | 411 |
| 表 13.11 | 受信エラーと発生条件 | 420 |
| 表 13.12 | SCI 割り込み要因 | 437 |
| 表 13.13 | SSR のステータスフラグの状態と受信データの転送 | 438 |
| 表 14.1 | 低消費電力状態 | 445 |
| 表 14.2 | レジスタ構成 | 446 |
| 表 14.3 | スタンバイモード時のレジスタの状態 | 452 |
| 表 15.1 | 絶対最大定格 | 461 |
| 表 15.2 | DC 特性 | 462 |
| 表 15.3 | 出力許容電流値 | 463 |
| 表 15.4 | クロックタイミング | 464 |
| 表 15.5 | 制御信号タイミング | 467 |
| 表 15.6 | PLL オンバスタイミング [モード 0、4] | 474 |
| 表 15.7 | PLL オン 1/4 サイクル遅延バスタイミング [モード 1、5] | 476 |
| 表 15.8 | PLL オフバスタイミング (CKIO 入力時) [モード 6] | 478 |
| 表 15.9 | PLL オフバスタイミング (CKIO 出力時) [モード 2] | 480 |
| 表 15.10 | ダイレクトメモリアクセスコントローラタイミング | 540 |
| 表 15.11 | フリーランタイムタイミング | 541 |
| 表 15.12 | ウォッチドッグタイマタイミング | 542 |
| 表 15.13 | シリアルコミュニケーションインタフェースタイミング | 543 |
| 表 16.1 | 絶対最大定格 | 547 |
| 表 16.2 | DC 特性 | 548 |
| 表 16.3 | 出力許容電流値 | 549 |
| 表 16.4 | クロックタイミング | 550 |

| | | |
|---------|------------------------------------------|-----|
| 表 16.5 | 制御信号タイミング..... | 553 |
| 表 16.6 | PLL オンバスタイミング [モード 0、4] | 559 |
| 表 16.7 | PLL オン 1/4 サイクル遅延バスタイミング [モード 1、5] | 561 |
| 表 16.8 | PLL オフバスタイミング (CKIO 入力時) [モード 6] | 563 |
| 表 16.9 | PLL オフバスタイミング (CKIO 出力時) [モード 2] | 565 |
| 表 16.10 | ダイレクトメモリアクセスコントローラタイミング | 625 |
| 表 16.11 | フリーランタイマタイミング | 626 |
| 表 16.12 | ウォッチドッグタイマタイミング..... | 627 |
| 表 16.13 | シリアルコミュニケーションインタフェースタイミング | 628 |

1. 概要

第1章 目次

| | | |
|-----|------------|-------------|
| 1.1 | 特長..... | 3 |
| 1.2 | ブロック図..... | 7 |
| 1.3 | 端子説明..... | 8 |
| | 1.3.1 | ピン配置..... 8 |
| | 1.3.2 | 端子機能.....10 |

1.1 特長

SH7604 は、日立オリジナルの RISC 方式の CPU を核にして、乗算器（積和演算器）とキャッシュメモリを内蔵し、システム構成に必要な周辺機能を集積した新世代 RISC マイコンです。

SH7604 の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令は 1 ステート（1 システムクロックサイクル）で動作するので、命令実行速度が飛躍的に向上しています。また 4K バイトのキャッシュメモリ、除算器を内蔵し、データ処理能力を強化しています。

さらに SH7604 はシステム構成に必要な周辺機能として、ダイレクトメモリアクセスコントローラ（DMAC）、タイマ、シリアルコミュニケーションインタフェース（SCI）、割り込みコントローラ（INTC）などを内蔵しています。また、外部メモリアクセスサポート機能（バスステートコントローラ：BSC）により、DRAM、シンクロナス DRAM や擬似 SRAM と直接接続が行えます。

SH7604 の高速な CPU と豊富な周辺機能によって、従来マイコンでは実現が不可能な、高速性が要求されるリアルタイム制御などのアプリケーションに対して、低コストでかつ高性能/高機能なシステムを組み込むことができるようになります。

表 1.1 SH7604 の特長（1）

| 項目 | 特長 |
|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| CPU | <ul style="list-style-type: none"> ・日立オリジナルアーキテクチャ ・内部 32 ビット構成 ・汎用レジスタマシン <ul style="list-style-type: none"> - 汎用レジスタ 32 ビット×16 本 - コントロールレジスタ 32 ビット×3 本 - システムレジスタ 32 ビット×4 本 ・RISC 方式の命令セット <ul style="list-style-type: none"> - 16 ビット固定長命令による優れたコード効率 - ロードストアアーキテクチャ（基本演算はレジスタ間で実行） - 無条件/条件分岐命令を遅延分岐方式とすることで、分岐時のパイプラインの乱れを軽減 - C 言語指向の命令セット ・命令実行時間 基本命令は 1 命令/1 ステート（28.7MHz 動作時：35ns/命令） ・アドレス空間 アーキテクチャ上は 4GB（メモリ空間は 128MB） ・乗算器内蔵 乗算器内蔵により、32×32 64 の乗算を 2~4 ステートで実行、$32 \times 32 + 64$ 64 の積和演算を 2~4 ステートで実行 ・パイプライン 5 段パイプライン方式 |

（次頁に続く）

表 1.1 SH7604 の特長 (2)

| 項目 | 仕様 |
|---------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 動作モード | <ul style="list-style-type: none"> ・クロックモード：内蔵発振モジュールと倍周回路、クロック出力、PLL による同期化、および位相 90° 変更機能から組み合わせて選択 (パッケージによる選択範囲の差あり) ・スレーブ/マスタモード ・処理状態：パワーオンリセット状態、マニュアルリセット状態、例外処理状態、プログラム実行状態、低消費電力状態、バス権解放状態 ・低消費電力状態：スリープモード、スタンバイモード、モジュールスタンバイ機能 |
| 割り込みコントローラ (INTC) | <ul style="list-style-type: none"> ・外部割り込み端子 × 5 本 (NMI、$\overline{IRL0}$ ~ $\overline{IRL3}$)、$\overline{IRL0}$ ~ $\overline{IRL3}$ 端子により 15 外部割り込み要因をエンコード入力 ・内部割り込み要因 12 要因 (DMAC × 2、DIVU × 1、FRT × 3、WDT × 1、SCI × 4、REF × 1) ・16 レベルの優先順位設定が可能 ・内部割り込み要因ごとに、ベクタ番号設定可能 ・$\overline{IRL0}$ ~ $\overline{IRL3}$ 端子による外部割り込みのベクタは、オートベクタ、外部ベクタの選択可能 |
| ユーザブレイクコントローラ (UBC) | <ul style="list-style-type: none"> ・CPU や DMAC が、設定した条件のアドレス、データ、バスサイクルを生成すると割り込みを発生 (アドレス、データ、CPU サイクル/CPU 以外のサイクル、命令フェッチ/データアクセス、リード/ライト、バイト/ワード/ロングワードアクセス) ・セルフデバッグの構築が容易 |
| クロック発振器 (CPG) / PLL | <ul style="list-style-type: none"> ・クロック発振器内蔵 ・クロックソースは水晶または外部クロックから選択可能 ・クロックの倍周 (×1、×2、×4)、PLL による位相同期化、および位相 90° 変更機能を選択可能 ・外部クロックの周波数変更のためのクロックポーズ機能をサポート |
| バスステートコントローラ (BSC) | <ul style="list-style-type: none"> ・外部のメモリアccessをサポート <ul style="list-style-type: none"> - 外部データバスは 32 ビット ・メモリ空間を 4 エリアに分割 <ul style="list-style-type: none"> 各々のエリア (各 32MB リニア) に以下の特性を設定可能 <ul style="list-style-type: none"> - バス幅 (8/16/32 ビット) - ウェイトサイクル数の設定可否 - 空間の種類設定で DRAM、シンクロナス DRAM、擬似 SRAM、バースト ROM を容易に接続可能 |

(次頁に続く)

表 1.1 SH7604 の特長 (3)

| 項 目 | 仕 様 |
|-------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| バスステートコントローラ (BSC) (続き) | <ul style="list-style-type: none"> - DRAM、シンクロナス DRAM、擬似 SRAM 空間に対応した、\overline{RAS}、\overline{CAS} 信号、\overline{CE}、\overline{OE} 信号を出力 - RAS プリチャージタイム確保用 Tp サイクル発生可能 - アドレスマルチプレクスを内部でサポートし、DRAM、シンクロナス DRAM 直結可能 - 各エリアに対応したチップセレクト信号 ($\overline{CS0} \sim \overline{CS3}$) を出力 • DRAM、シンクロナス DRAM、擬似 SRAM リフレッシュ機能 <ul style="list-style-type: none"> - プログラマブルなりフレッシュ間隔 - CAS ビフォ RAS リフレッシュ/セルフリフレッシュをサポート • DRAM、シンクロナス DRAM、擬似 SRAM パーストアクセス機能 <ul style="list-style-type: none"> - DRAM、シンクロナス DRAM、擬似 SRAM の高速アクセスモードをサポート • 外部 WAIT 信号によるウェイトサイクルの挿入可 |
| キャッシュメモリ | <ul style="list-style-type: none"> • 4k バイト • 64 エントリ、4 ウェイセットアソシアティブ、ライン長 16 バイト • データ書き込みはライトスルー方式 • LRU リプレースアルゴリズム • 2K バイトのキャッシュおよび 2K バイトの内蔵 RAM としても利用可 |
| ダイレクトメモリアクセスコントローラ (DMAC) × 2 チャンネル | <ul style="list-style-type: none"> • 下記のデバイス間の DMA 転送が可能 <ul style="list-style-type: none"> - 外部メモリ、外部 I/O、内蔵周辺モジュール • 外部端子、内蔵 SCI、内蔵タイマからの DMA 転送要求、およびオートリクエスト可能 • サイクルスチールまたはバースト転送可能 • チャンネル間優先順位設定可能 (固定モード、ラウンドロビンモード) • デュアル/シングルアドレスモード転送選択可 • 転送データ幅: 1/2/4/16 バイト • アドレス空間 4GB、最大転送回数 16,777,216 回 |
| 除算器 (DIVU) | <ul style="list-style-type: none"> • $64 \div 32$ $32 \dots 32$、$32 \div 32$ $32 \dots 32$ の除算を 39 サイクルで実行 • オーバフロー割り込み |
| 16 ビットフリーランニングタイマ (FRT) × 1 チャンネル | <ul style="list-style-type: none"> • 3 種類の内部クロックと外部クロックから入力選択 • インพุットキャプチャ入力、アウトプットコンペア出力 • カウンタオーバーフロー、コンペアマッチ、インพุットキャプチャ割り込み |

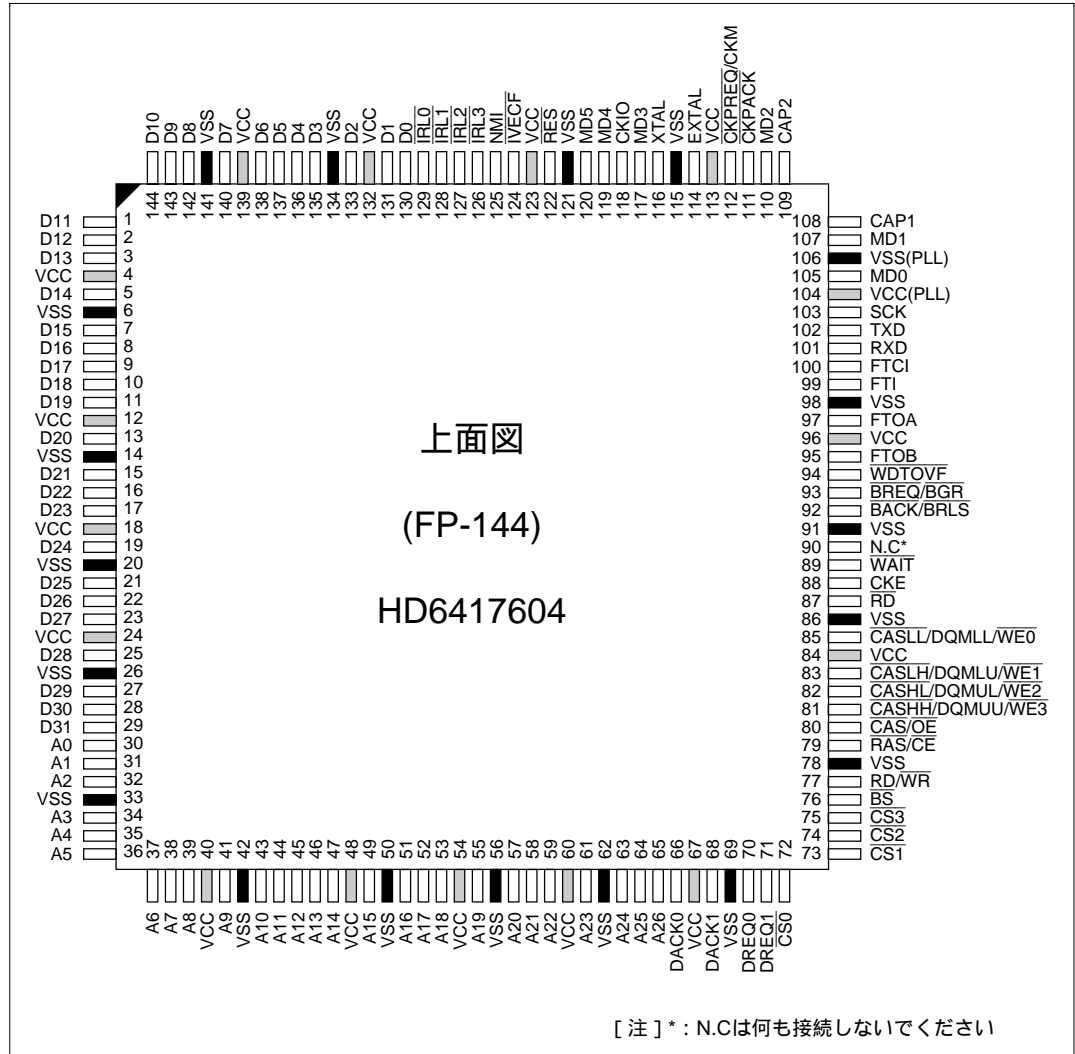
(次頁に続く)

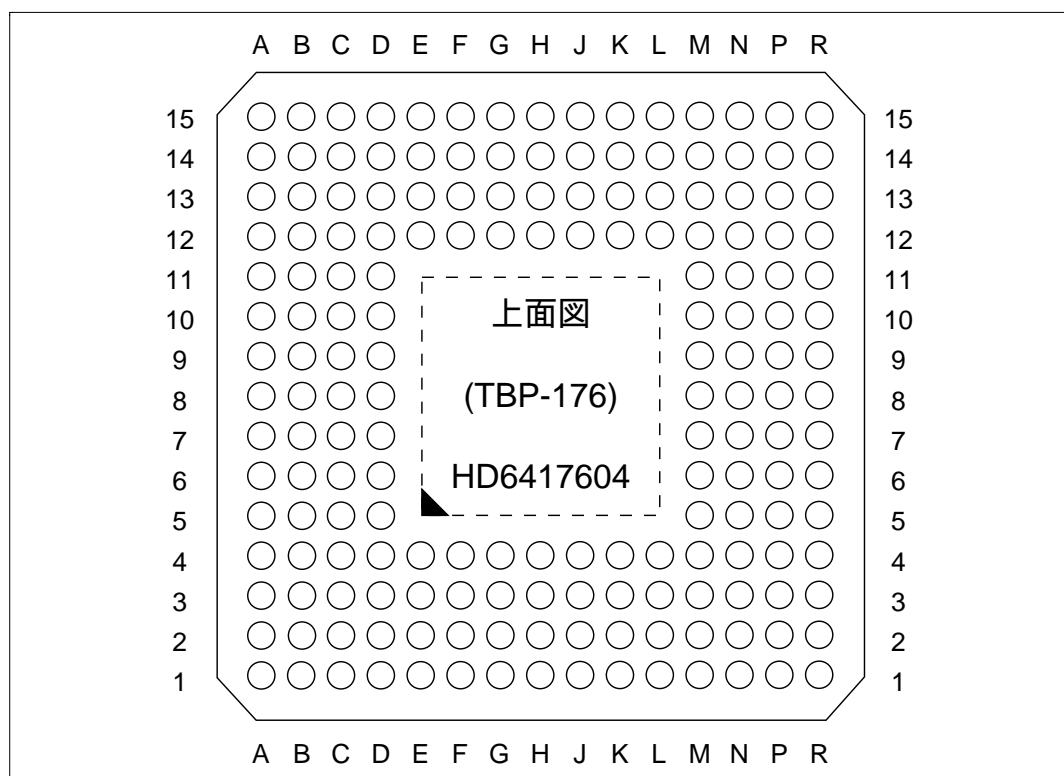
表 1.1 SH7604 の特長 (4)

| 項目 | 仕様 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------|-------|------|-----|----|---------------|-------------|----------|-------|----|----------------|-------------|----------|-------|----|----------------|-------------|----------|-------|------|----------------|-------------|----------|-------|----|-----------------|-------------|----------|-------|------|
| ウォッチドッグタイマ (WDT) × 1 チャンネル | <ul style="list-style-type: none"> ・ウォッチドッグタイマ/インターバルタイマの切り替えが可能 ・カウントオーバー時、内部リセット、外部信号、または割り込みを発生 ・内部リセットはパワーオンリセットとマニュアルリセット選択可能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| シリアルコミュニケーションインターフェース (SCI) × 1 チャンネル | <ul style="list-style-type: none"> ・調歩同期/クロック同期式モードの選択が可能 ・送受信を同時に行うことが可能 (全二重) ・専用のボーレートジェネレータ内蔵 ・マルチプロセッサ間通信機能 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 製品ラインアップ | <table border="1"> <thead> <tr> <th>製品型名</th> <th>パッケージ</th> <th>動作温度</th> <th>周波数</th> <th>電圧</th> </tr> </thead> <tbody> <tr> <td>HD6417604SF28</td> <td>QFP2020-144</td> <td>-20 ~ 75</td> <td>28MHz</td> <td>5V</td> </tr> <tr> <td>HD6417604SFI28</td> <td>QFP2020-144</td> <td>-40 ~ 85</td> <td>28MHz</td> <td>5V</td> </tr> <tr> <td>HD6417604SVF20</td> <td>QFP2020-144</td> <td>-20 ~ 75</td> <td>20MHz</td> <td>3.3V</td> </tr> <tr> <td>HD6417604SBP28</td> <td>CSP1313-176</td> <td>-20 ~ 75</td> <td>28MHz</td> <td>5V</td> </tr> <tr> <td>HD6417604SVBP20</td> <td>CSP1313-176</td> <td>-20 ~ 75</td> <td>20MHz</td> <td>3.3V</td> </tr> </tbody> </table> | 製品型名 | パッケージ | 動作温度 | 周波数 | 電圧 | HD6417604SF28 | QFP2020-144 | -20 ~ 75 | 28MHz | 5V | HD6417604SFI28 | QFP2020-144 | -40 ~ 85 | 28MHz | 5V | HD6417604SVF20 | QFP2020-144 | -20 ~ 75 | 20MHz | 3.3V | HD6417604SBP28 | CSP1313-176 | -20 ~ 75 | 28MHz | 5V | HD6417604SVBP20 | CSP1313-176 | -20 ~ 75 | 20MHz | 3.3V |
| 製品型名 | パッケージ | 動作温度 | 周波数 | 電圧 | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| HD6417604SF28 | QFP2020-144 | -20 ~ 75 | 28MHz | 5V | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| HD6417604SFI28 | QFP2020-144 | -40 ~ 85 | 28MHz | 5V | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| HD6417604SVF20 | QFP2020-144 | -20 ~ 75 | 20MHz | 3.3V | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| HD6417604SBP28 | CSP1313-176 | -20 ~ 75 | 28MHz | 5V | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| HD6417604SVBP20 | CSP1313-176 | -20 ~ 75 | 20MHz | 3.3V | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| パッケージ | <ul style="list-style-type: none"> ・ 144 ピンプラスチック QFP (FP-144) ・ 176 ピンプラスチック TFBGA (TBP-176) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

1.3 端子説明

1.3.1 ピン配置





1.3.2 端子機能

端子一覧を表 1.2 に示します。

表 1.2 端子一覧 (1)

| 端子番号 (FP-144) | 端子番号 (TBP-176) | 端子名 | 入出力 | 端子説明 |
|------------------|-------------------|-----|-----|----------------------|
| — | A1 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | C3 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | B1 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | C2 | NC | — | リザーブ端子。何も接続しないでください。 |
| 1 | D3 | D11 | I/O | データバス |
| 2 | C1 | D12 | I/O | データバス |
| 3 | D2 | D13 | I/O | データバス |
| 4 | E4 | Vcc | I | 電源 |
| 5 | D1 | D14 | I/O | データバス |
| 6 | E3 | Vss | I | グラウンド |
| 7 | E2 | D15 | I/O | データバス |
| 8 | E1 | D16 | I/O | データバス |
| 9 | F4 | D17 | I/O | データバス |
| 10 | F3 | D18 | I/O | データバス |
| 11 | F1 | D19 | I/O | データバス |
| 12 | F2 | Vcc | I | 電源 |
| 13 | G4 | D20 | I/O | データバス |
| 14 | G3 | Vss | I | グラウンド |
| 15 | G1 | D21 | I/O | データバス |
| 16 | G2 | D22 | I/O | データバス |
| 17 | H4 | D23 | I/O | データバス |
| 18 | H3 | Vcc | I | 電源 |
| 19 | H1 | D24 | I/O | データバス |
| 20 | H2 | Vss | I | グラウンド |
| 21 | J4 | D25 | I/O | データバス |
| 22 | J3 | D26 | I/O | データバス |
| 23 | J1 | D27 | I/O | データバス |
| 24 | J2 | Vcc | I | 電源 |

(次頁に続く)

表 1.2 端子一覧表 (2)

| 端子番号 (FP-144) | 端子番号 (TBP-176) | 端子名 | 入出力 | 端子説明 |
|------------------|-------------------|-----|-----|----------------------|
| 25 | K4 | D28 | I/O | データバス |
| 26 | K3 | Vss | I | グランド |
| 27 | K1 | D29 | I/O | データバス |
| 28 | K2 | D30 | I/O | データバス |
| 29 | L3 | D31 | I/O | データバス |
| 30 | L1 | A0 | I/O | アドレスバス |
| 31 | L2 | A1 | I/O | アドレスバス |
| 32 | L4 | A2 | I/O | アドレスバス |
| 33 | M1 | Vss | I | グランド |
| 34 | M2 | A3 | I/O | アドレスバス |
| 35 | M3 | A4 | I/O | アドレスバス |
| 36 | N1 | A5 | I/O | アドレスバス |
| — | M4 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | N2 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | P1 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | P2 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | R1 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | N3 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | R2 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | P3 | NC | — | リザーブ端子。何も接続しないでください。 |
| 37 | N4 | A6 | I/O | アドレスバス |
| 38 | R3 | A7 | I/O | アドレスバス |
| 39 | P4 | A8 | I/O | アドレスバス |
| 40 | M5 | Vcc | I | 電源 |
| 41 | R4 | A9 | I/O | アドレスバス |
| 42 | N5 | Vss | I | グランド |
| 43 | P5 | A10 | I/O | アドレスバス |
| 44 | R5 | A11 | I/O | アドレスバス |
| 45 | M6 | A12 | I/O | アドレスバス |
| 46 | N6 | A13 | I/O | アドレスバス |
| 47 | R6 | A14 | I/O | アドレスバス |
| 48 | P6 | Vcc | I | 電源 |

(次頁に続く)

表 1.2 端子一覧表 (3)

| 端子番号 (FP-144) | 端子番号 (TBP-176) | 端子名 | 入出力 | 端子説明 |
|------------------|-------------------|------------------|-----|----------------------|
| 49 | M7 | A15 | I/O | アドレスバス |
| 50 | N7 | Vss | I | グランド |
| 51 | R7 | A16 | I/O | アドレスバス |
| 52 | P7 | A17 | I/O | アドレスバス |
| 53 | M8 | A18 | I/O | アドレスバス |
| 54 | N8 | Vcc | I | 電源 |
| 55 | R8 | A19 | I/O | アドレスバス |
| 56 | P8 | Vss | I | グランド |
| 57 | M9 | A20 | I/O | アドレスバス |
| 58 | N9 | A21 | I/O | アドレスバス |
| 59 | R9 | A22 | I/O | アドレスバス |
| 60 | P9 | Vcc | I | 電源 |
| 61 | M10 | A23 | I/O | アドレスバス |
| 62 | N10 | Vss | I | グランド |
| 63 | R10 | A24 | I/O | アドレスバス |
| 64 | P10 | A25 | I/O | アドレスバス |
| 65 | N11 | A26 | I/O | アドレスバス |
| 66 | R11 | DACK0 | O | DMAC0 アクノリッジ |
| 67 | P11 | Vcc | I | 電源 |
| 68 | M11 | DACK1 | O | DMAC1 アクノリッジ |
| 69 | R12 | Vss | I | グランド |
| 70 | P12 | DREQ0 | I | DMAC0 リクエスト |
| 71 | N12 | DREQ1 | I | DMAC1 リクエスト |
| 72 | R13 | $\overline{CS0}$ | O | チップセレクト0 |
| — | M12 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | P13 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | R14 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | P14 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | R15 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | N13 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | P15 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | N14 | NC | — | リザーブ端子。何も接続しないでください。 |

(次頁に続く)

表 1.2 端子一覧表 (4)

| 端子番号 (FP-144) | 端子番号 (TBP-176) | 端子名 | 入出力 | 端子説明 |
|------------------|-------------------|---------------------------------------------------|-----|-------------------------------------|
| 73 | M13 | $\overline{CS1}$ | O | チップセレクト 1 |
| 74 | N15 | $\overline{CS2}$ | O | チップセレクト 2 |
| 75 | M14 | $\overline{CS3}$ | O | チップセレクト 3 |
| 76 | L12 | \overline{BS} | I/O | バスサイクル開始 |
| 77 | M15 | RD/\overline{WR} | I/O | リード/ライト |
| 78 | L13 | Vss | I | グラウンド |
| 79 | L14 | $\overline{RAS}/\overline{CE}$ | O | DRAM、シンクロナス DRAM 用 RAS/擬似 SRAM 用 CE |
| 80 | L15 | $\overline{CAS}/\overline{OE}$ | O | シンクロナス DRAM 用/擬似 SRAM 用 OE |
| 81 | K12 | $\overline{CASHH}/$ DQMUU/ $\overline{WE3}$ | O | 各種メモリ最上位バイト選択信号 |
| 82 | K13 | $\overline{CASHL}/$ DQMUL/ $\overline{WE2}$ | O | 各種メモリ 2 バイト目選択信号 |
| 83 | K15 | $\overline{CASLH}/$ DQMLU/ $\overline{WE1}$ | O | 各種メモリ 3 バイト目選択信号 |
| 84 | K14 | Vcc | I | 電源 |
| 85 | J12 | $\overline{CASLL}/$ DQMLL/ $\overline{WE0}$ | O | 各種メモリ最下位バイト選択信号 |
| 86 | J13 | Vss | I | グラウンド |
| 87 | J15 | \overline{RD} | O | リードパルス |
| 88 | J14 | CKE | O | シンクロナス DRAM クロックイネーブル制御 |
| 89 | H12 | \overline{WAIT} | I | ハードウェア・ウェイト要求 |
| 90 | H13 | NC | O | リザーブ端子。何も接続しないでください。 |
| 91 | H15 | Vss | I | グラウンド |
| 92 | H14 | $\overline{BACK}/\overline{BRLS}$ | I | スレープ時バス権許可/マスタ時バス権要求 |
| 93 | G12 | $\overline{BREQ}/\overline{BGR}$ | O | スレープ時バス権要求/マスタ時バス権許可 |
| 94 | G13 | \overline{WDTOVF} | O | ウォッチドッグタイマ出力 |
| 95 | G15 | FTOB | O | フリーランニングタイマ出力 B |

(次頁に続く)

表 1.2 端子一覧表 (5)

| 端子番号 (FP-144) | 端子番号 (TBP-176) | 端子名 | 入出力 | 端子説明 |
|------------------|-------------------|-------------------------------------|-----|----------------------|
| 96 | G14 | Vcc | I | 電源 |
| 97 | F12 | FTOA | O | フリーランニングタイマ出力 A |
| 98 | F13 | Vss | I | グランド |
| 99 | F15 | FTI | I | フリーランニングタイマ入力 |
| 100 | F14 | FTCI | I | フリーランニングタイマ・クロック入力 |
| 101 | E13 | RXD | I | シリアルデータ入力 |
| 102 | E15 | TXD | O | シリアルデータ出力 |
| 103 | E14 | SCK | I/O | シリアルクロック入出力 |
| 104 | E12 | Vcc(PLL) | I | 内蔵 PLL 用電源 |
| 105 | D15 | MD0 | I | 動作モード端子 |
| 106 | D14 | Vss(PLL) | I | 内蔵 PLL 用グランド |
| 107 | D13 | MD1 | I | 動作モード端子 |
| 108 | C15 | CAP1 | O | PLL 用外付容量端子 |
| — | D12 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | C14 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | B15 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | B14 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | A15 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | C13 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | A14 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | B13 | NC | — | リザーブ端子。何も接続しないでください。 |
| 109 | C12 | CAP2 | O | PLL 用外付容量端子 |
| 110 | A13 | MD2 | I | 動作モード端子 |
| 111 | B12 | $\overline{\text{CKPACK}}$ | O | クロックポーズアクノリッジ出力 |
| 112 | D11 | $\overline{\text{CKPREQ}}$ / CKM | I | クロックポーズリクエスト入力 |
| 113 | A12 | Vcc | I | 電源 |
| 114 | C11 | EXTAL | I | 水晶発振子接続端子 |
| 115 | B11 | Vss | I | グランド |
| 116 | A11 | XTAL | O | 水晶発振子接続端子 |
| 117 | D10 | MD3 | I | 動作モード端子 |
| 118 | C10 | CKIO | I/O | システムクロック入出力 |

(次頁に続く)

表 1.2 端子一覧表 (6)

| 端子番号 (FP-144) | 端子番号 (TBP-176) | 端子名 | 入出力 | 端子説明 |
|------------------|-------------------|--------------------------|-----|----------------------|
| 119 | A10 | MD4 | I | 動作モード端子 |
| 120 | B10 | MD5 | I | 動作モード端子 |
| 121 | D9 | Vss | I | グランド |
| 122 | C9 | $\overline{\text{RES}}$ | I | リセット |
| 123 | A9 | Vcc | I | 電源 |
| 124 | B9 | $\overline{\text{VECF}}$ | O | 割り込みベクタフェッチサイクル |
| 125 | D8 | NMI | I | ノンマスクابل割り込み要求 |
| 126 | C8 | $\overline{\text{IRL3}}$ | I | 外部割り込み要因入力 |
| 127 | A8 | $\overline{\text{IRL2}}$ | I | 外部割り込み要因入力 |
| 128 | B8 | $\overline{\text{IRL1}}$ | I | 外部割り込み要因入力 |
| 129 | D7 | $\overline{\text{IRL0}}$ | I | 外部割り込み要因入力 |
| 130 | C7 | D0 | I/O | データバス |
| 131 | A7 | D1 | I/O | データバス |
| 132 | B7 | Vcc | I | 電源 |
| 133 | D6 | D2 | I/O | データバス |
| 134 | C6 | Vss | I | グランド |
| 135 | A6 | D3 | I/O | データバス |
| 136 | B6 | D4 | I/O | データバス |
| 137 | C5 | D5 | I/O | データバス |
| 138 | A5 | D6 | I/O | データバス |
| 139 | B5 | Vcc | I | 電源 |
| 140 | D5 | D7 | I/O | データバス |
| 141 | A4 | Vss | I | グランド |
| 142 | B4 | D8 | I/O | データバス |
| 143 | C4 | D9 | I/O | データバス |
| 144 | A3 | D10 | I/O | データバス |
| — | D4 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | B3 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | A2 | NC | — | リザーブ端子。何も接続しないでください。 |
| — | B2 | NC | — | リザーブ端子。何も接続しないでください。 |

2. CPU

第2章 目次

| | | |
|-------|------------------------|----|
| 2.1 | レジスタ構成 | 19 |
| 2.1.1 | 汎用レジスタ (Rn) | 19 |
| 2.1.2 | コントロールレジスタ | 20 |
| 2.1.3 | システムレジスタ | 21 |
| 2.1.4 | レジスタの初期値 | 21 |
| 2.2 | データ形式 | 22 |
| 2.2.1 | レジスタのデータ形式 | 22 |
| 2.2.2 | メモリ上でのデータ形式 | 22 |
| 2.2.3 | イミディエイトデータのデータ形式 | 23 |
| 2.3 | 命令の特長 | 24 |
| 2.3.1 | RISC方式 | 24 |
| 2.3.2 | アドレッシングモード | 27 |
| 2.3.3 | 命令形式 | 29 |
| 2.4 | 命令セット | 33 |
| 2.4.1 | 分類順命令セット | 33 |
| 2.4.2 | オペレーションコードマップ | 45 |
| 2.5 | 処理状態 | 48 |
| 2.5.1 | 状態遷移 | 48 |
| 2.5.2 | 低消費電力状態 | 50 |

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×3 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

2.1.1 汎用レジスタ (Rn)

汎用レジスタ (Rn) は、32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

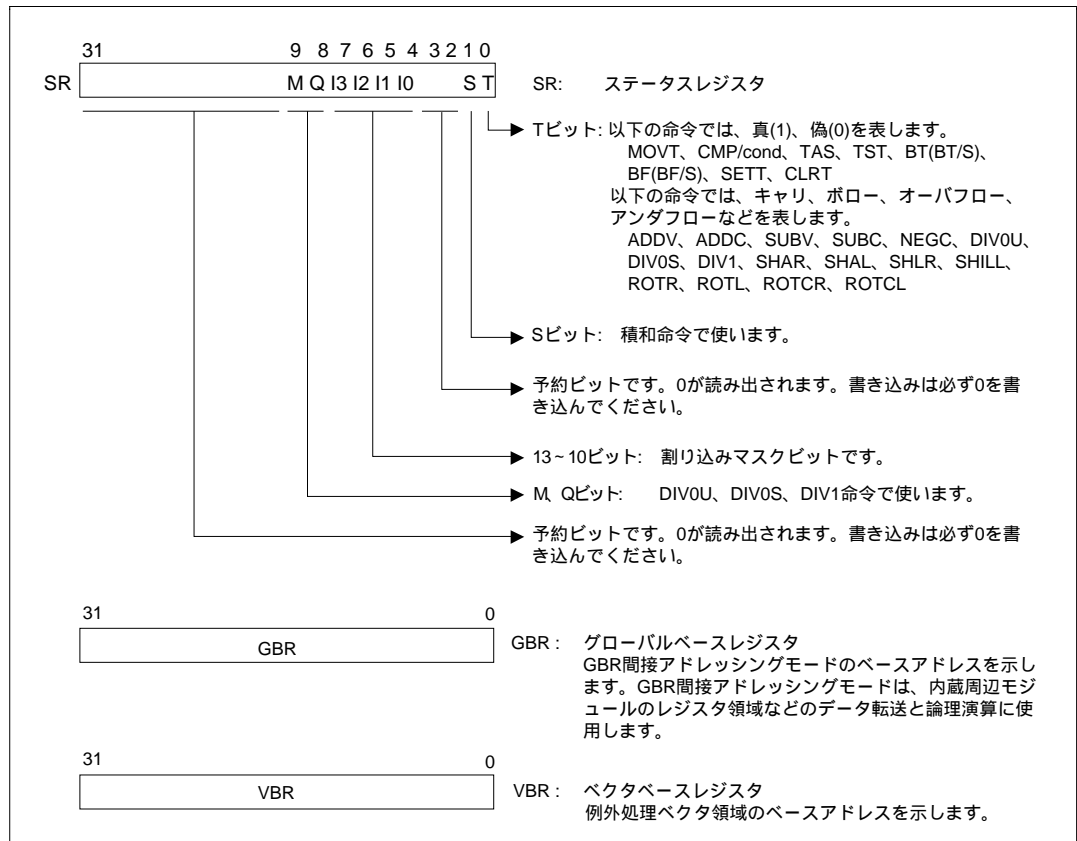
| | |
|---------------------------|---|
| 31 | 0 |
| R0*1 | |
| R1 | |
| R2 | |
| R3 | |
| R4 | |
| R5 | |
| R6 | |
| R7 | |
| R8 | |
| R9 | |
| R10 | |
| R11 | |
| R12 | |
| R13 | |
| R14 | |
| R15、SP (ハードウェアスタックポインタ)*2 | |

【注】*1 インデックス付きレジスタ間接、インデックス付きGBR間接アドレッシングモードのインデックスレジスタとしても使用します。命令によっては、ソースまたはデスティネーションレジスタをR0に固定しているものがあります。

*2 R15は例外処理の中で、ハードウェアスタックポインタとして使用されます。

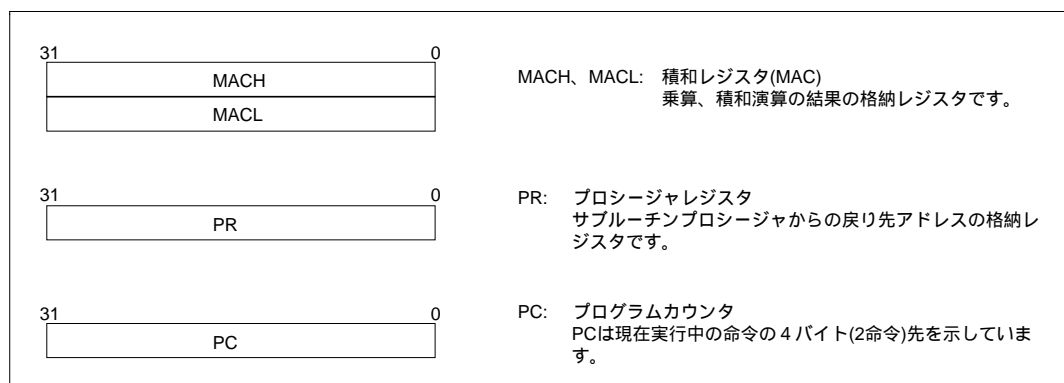
2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。



2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。



2.1.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

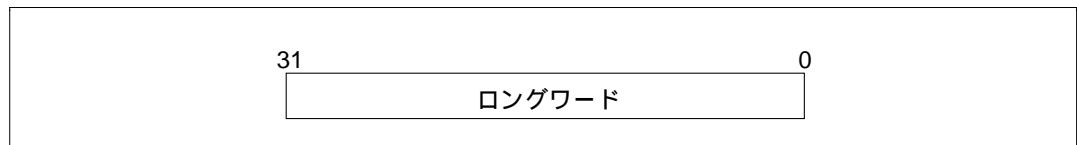
表 2.1 レジスタの初期値

| 区 分 | レジスタ | 初期値 |
|------------|--------------|--------------------------------------|
| 汎用レジスタ | R0 ~ R14 | 不定 |
| | R15A (SP) | ベクタアドレステーブル中の SP の値 |
| コントロールレジスタ | SR | I3 ~ I0 は 1111 (H'F)、予約ビットは 0、その他は不定 |
| | GBR | 不定 |
| | VBR | H'00000000 |
| システムレジスタ | MACH、MACL、PR | 不定 |
| | PC | ベクタアドレステーブル中の PC の値 |

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張し、レジスタに格納します。

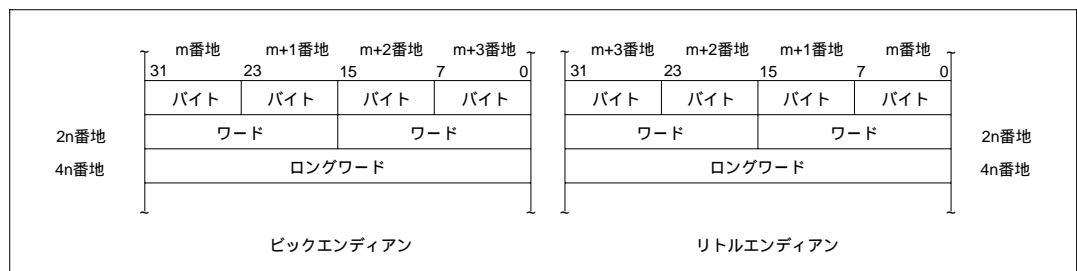


2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ(SP、R15)が指し示すスタックにはプログラムカウンタ(PC)とステータスレジスタ(SR)をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。

リトルエンディアンでメモリをアクセスするプロセッサとメモリを共用するために、CS2空間(エリア2)をリトルエンディアンでアクセスできる機能を持っています。リトルエンディアンと通常のビッグエンディアンとは、バイトデータの並び順が異なります。



2.2.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。28.7MHz 動作時、1 ステートは約 35ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

| SH7604 の CPU | 説 明 | 他の CPU の例 |
|------------------------|-----------------------------------------------------------|-------------------|
| MOV.W @ (disp, PC), R1 | 32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます。 | ADD.W #H'1234, R0 |
| ADD R1, R0 | | |
| | | |
| .DATA.W H'1234 | | |

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

| SH7604 の CPU | | 説 明 | 他の CPU の例 |
|--------------|--------|-------------------------------|-------------|
| BRA | TRGET | TRGET に分岐する前に ADD を実行しま す。 | ADD.WR1, R0 |
| ADD | R1, R0 | | BRATRGET |

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行
します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限
の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

| SH7604 の CPU | | 説 明 | 他の CPU の例 |
|--------------|--|--------------------------|-------------|
| CMP/GER1, R0 | | R0 R1 のとき T ビットがセットされます。 | CMP.WR1, R0 |
| BTTRGET0 | | R0 R1 のとき TRGET0 へ分岐します。 | BGETRGET0 |
| BFTRGET1 | | R0<R1 のとき TRGET1 へ分岐します。 | BLTTRGET1 |
| ADD#-1, R0 | | ADD では T ビットが変化しません。 | SUB.W#1, R0 |
| CMP/EQ#0, R0 | | R0=0 のとき T ビットがセットされます。 | BEQTRGET |
| BTTRGET | | R0=0 のとき分岐します。 | |

(8) イミディエイトデータ

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。ワードと
ロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテー
ブルに配置します。メモリ上のテーブルは、ディスプレイスメント付き PC 相対アドレッシ
ングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

| 区 分 | SH7604 の CPU | 他の CPU の例 |
|---------------|----------------------------------------------------|---------------------------|
| 8 ビットイミディエイト | MOV#H[]12, R0 | MOV.B#H[]12, R0 |
| 16 ビットイミディエイト | MOV.W@(disp, PC), R0DATA.WH[]1234 | MOV.W#H[]1234, R0 |
| 32 ビットイミディエイト | MOV.L@(disp, PC), R0DATA.LH[]12345678 | MOV.L #H[]12345678, R0 |

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

| 区 分 | SH7604 の CPU | 他の CPU の例 |
|--------|---------------------------------------------------------------------|---------------------------|
| 絶対アドレス | MOV.L@(disp, PC), R1 MOV.B@ R1, R0DATA.LH[]12345678 | MOV.B @H[]12345678, R0 |

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(10) 16 ビット / 32 ビットディスプレイースメント

16 ビット、または 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

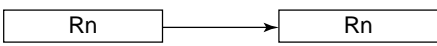
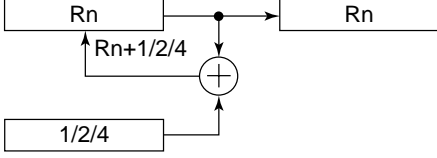
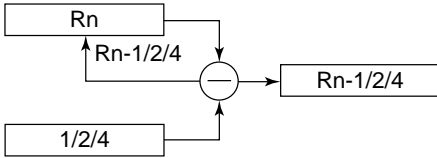
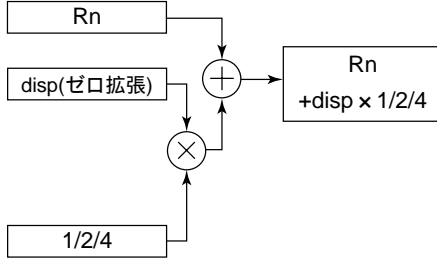
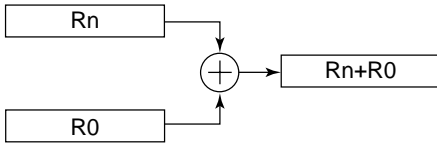
| 区 分 | SH7604 の CPU | 他の CPU の例 |
|-----------------------|------------------------------------------------------------------------------|---------------------------------|
| 16 ビット ディスプレイースメント | MOV.W@ (disp, PC) , R0 MOV.W@ (R0, R1) , R2 DATA.WH[]1234 | MOV.W @ (H[]1234, R1) , R2 |

【注】 @ (disp, PC) でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス (1)

| アドレッシングモード | 命令フォーマット | 実行アドレスの計算方法 | 計算式 |
|-------------------|--------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------|
| レジスタ直接 | Rn | 実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です) | - |
| レジスタ間接 | @Rn | 実効アドレスはレジスタ Rn の内容です。  | Rn |
| ポストインクリメントレジスタ間接 | @Rn+ | 実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。  | Rn 命令実行後 バイト : Rn+1 Rn ワード : Rn+2 Rn ロングワード : Rn+4 Rn |
| プリデクリメントレジスタ間接 | @-Rn | 実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。  | バイト : Rn-1 Rn ワード : Rn-2 Rn ロングワード : Rn-4 Rn (計算後の Rn で命令実行) |
| ディスプレイメント付きレジスタ間接 | @(disp:4,Rn) | 実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。  | バイト : Rn+disp ワード : Rn+disp x 2 ロングワード : Rn+disp x 4 |
| インデックス付きレジスタ間接 | @(R0,Rn) | 実効アドレスはレジスタ Rn に R0 を加算した内容です。  | Rn + R0 |

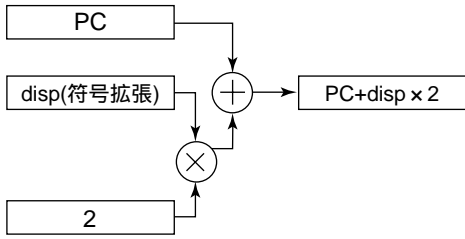
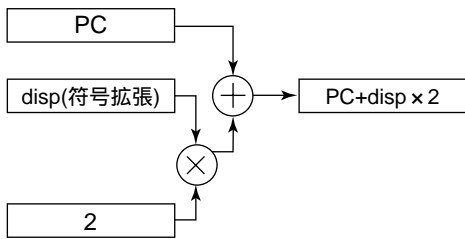
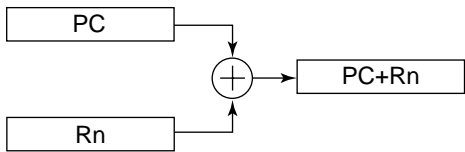
(次頁に続く)

表 2.8 アドレッシングモードと実効アドレス (2)

| アドレッシングモード | 命令フォーマット | 実効アドレスの計算方法 | 計算式 |
|--------------------|---------------|------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------|
| ディスプレイメント付き GBR 間接 | @(disp:8,GBR) | <p>実効アドレスはレジスタ GBR に 8 ビットディスプレイメント (disp) を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> | <p>バイト : GBR+disp ワード : GBR+disp × 2 ロングワード : GBR+disp × 4</p> |
| インデックス付き GBR 間接 | @(R0,GBR) | <p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> | GBR+R0 |
| ディスプレイメント付き PC 相対 | @(disp:8,PC) | <p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> | <p>ワード : PC + disp × 2 ロングワード : PC&H'FFFFFFFC + disp × 4</p> |

(次頁に続く)

表 2.8 アドレッシングモードと実効アドレス (3)

| アドレッシングモード | 命令フォーマット | 実効アドレスの計算方法 | 計算式 |
|------------|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------|
| PC 相対 | disp:8 | <p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>  | $PC + disp \times 2$ |
| | disp:12 | <p>実効アドレスはレジスタ PC に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>  | $PC + disp \times 2$ |
| | Rn | <p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>  | $PC + Rn$ |
| イミディエイト | #imm:8 | TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。 | - |
| | #imm:8 | MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。 | - |
| | #imm:8 | TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。 | - |

(次頁に続く)

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式 (1)

| 命令形式 | | ソースオペランド | デスティネーション オペランド | 命令の例 |
|-------|------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------|-----------------------|----------------|
| 0 形式 | 15 0 <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx xxxx xxxx xxxx</div> | - | - | NOP |
| n 形式 | 15 0 <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx nnnn xxxx xxxx</div> | - | nnnn: レジスタ直接 | MOVTRn |
| | | コントロールレジスタまたはシステムレジスタ | nnnn: レジスタ直接 | STSMACH,Rn |
| | | - | nnnn: レジスタ間接 | JMP@Rn |
| | | コントロールレジスタまたはシステムレジスタ | nnnn: プリデクリメントレジスタ間接 | STC.LSR, @-Rn |
| | | - | nnnn:Rn を用いた PC 相対 | BRAFRn |
| m 形式 | 15 0 <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx mmmm xxxx xxxx</div> | mmmm: レジスタ直接 | コントロールレジスタまたはシステムレジスタ | LDCRm, SR |
| | | mmmm: ポストインクリメントレジスタ間接 | コントロールレジスタまたはシステムレジスタ | LDC.L@Rm+, SR |
| nm 形式 | 15 0 <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;">xxxx nnnn mmmm xxxx</div> | mmmm: レジスタ直接 | nnnn: レジスタ直接 | ADDRm,Rn |
| | | mmmm: レジスタ直接 | nnnn: レジスタ間接 | MOV.LRm,@Rn |
| | | mmmm: ポストインクリメントレジスタ間接 (積和演算) nnnn: * ポストインクリメントレジスタ間接 (積和演算) | MACH, MACL | MAC.W@Rm+,@Rn+ |

(次頁に続く)

表 2.9 命令形式 (2)

| 命令形式 | | ソースオペランド | デスティネーション オペランド | 命令の例 |
|---------------|-----------------------------|-------------------------------------|-------------------------------------|-----------------------------|
| nm 形式 (続き) | | mmmm: ポストインクリメントレ ジスタ間接 | nnnn: レジスタ直接 | MOV.L@Rm+,Rn |
| | 15 0 xxxx nnnn mmmm xxxx | mmmm:レジスタ直接 | nnnn:プリデクリメントレ ジスタ間接 | MOV.LRm,@-Rn |
| | | mmmm:レジスタ直接 | nnnn:インデックス付きレ ジスタ間接 | MOV.LRm,@(R0,Rn) |
| md 形式 | 15 0 xxxx xxxx mmmm dddd | mmmmdddd: ディスプレイメント付 きレジスタ間接 | R0 (レジスタ直接) | MOV.B@(disp,Rn),R0 |
| nd4 形式 | 15 0 xxxx xxxx nnnn dddd | R0 (レジスタ直接) | nnnndddd: ディスプレイメント 付きレジスタ間接 | MOV.BR0,@(disp,Rn) |
| nmd 形式 | 15 0 xxxx nnnn mmmm dddd | mmmm:レジスタ直接 | nnnndddd: ディスプレイメント 付きレジスタ間接 | MOV.LRm,@(disp,Rn) |
| | | mmmmdddd:ディスプレ ースメント付きレジスタ 直接 | nnnn: レジスタ直接 | MOV.L(disp,Rm),Rn |
| d 形式 | 15 0 xxxx xxxx dddd dddd | dddddddd: ディスプレイメント 付き GBR 間接 | R0 (レジスタ直接) | MOV.L@(disp,GBR),R0 |
| | | R0 (レジスタ直接) | dddddddd: ディスプレイメント 付き GBR 間接 | MOV.LR0,@(disp,GBR) |
| | | dddddddd: ディスプレイメント 付き PC 相対 | R0 (レジスタ直接) | MOVA@(disp,PC),R0 |
| | | - | dddddddd:PC 相対 | BFlabel |
| d12 形式 | 15 0 xxxx dddd dddd dddd | - | dddddddddddd:PC 相対 | BRAlabel (label=disp+pc) |

(次頁に続く)

表 2.9 命令形式 (3)

| 命令形式 | | ソースオペランド | デスティネーション オペランド | 命令の例 |
|--------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------|--------------------|---------------------|
| nd8 形式 | 15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx nnnn dddd dddd </div> | dddddddd: ディスプレースメント 付き PC 相対 | nnnn: レジスタ直接 | MOV.L@(disp,PC),Rn |
| i 形式 | 15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx xxxx iiii iiiii </div> | iiiiiii: イミディエイト | インデックス付き GBR 間接 | AND.B#imm,@(R0,GBR) |
| | | iiiiiii: イミディエイト | R0 (レジスタ直接) | AND#imm,R0 |
| | | iiiiiii: イミディエイト | - | TRAPA #imm |
| ni 形式 | 15 0 <div style="border: 1px solid black; padding: 2px; display: inline-block;"> xxxx nnnn iiii iiiii </div> | iiiiiii: イミディエイト | nnnn: レジスタ直接 | ADD#imm,Rn |

【注】 * 積和命令では nnnn は、ソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類 (1)

| 分類 | 命令の種類 | オペコード | 機能 | 命令数 |
|---------|-------|----------|------------------------------------------------------|-----|
| データ転送命令 | 5 | MOV | データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 | 39 |
| | | MOVA | 実効アドレスの転送 | |
| | | MOVT | T ビットの転送 | |
| | | SWAP | 上位と下位の交換 | |
| | | XTRCT | 連結レジスタの中央切り出し | |
| 算術演算命令 | 21 | ADD | 2 進加算 | 33 |
| | | ADDC | キャリ付き 2 進加算 | |
| | | ADDV | オーバフロー付き 2 進加算 | |
| | | CMP/cond | 比較 | |
| | | DIV1 | 除算 | |
| | | DIV0S | 符号付き除算の初期化 | |
| | | DIV0U | 符号なし除算の初期化 | |
| | | DMULS | 符号付き倍精度乗算 | |
| | | DMULU | 符号なし倍精度乗算 | |
| | | DT | デクリメントとテスト | |
| | | EXTS | 符号拡張 | |
| | | EXTU | ゼロ拡張 | |
| | | MAC | 積和演算、倍精度積和演算 | |
| | | MUL | 倍精度乗算 | |
| | | MULS | 符号付き乗算 | |
| | | MULU | 符号なし乗算 | |
| | | NEG | 符号反転 | |
| | | NEGC | ポロ-付き符号反転 | |
| | | SUB | 2 進減算 | |

(次頁に続く)

表 2.10 命令の分類 (2)

| 分 類 | 命令の種類 | オペコード | 機 能 | 命令数 |
|--------|-------|-------|-------------------------|-----|
| 算術演算命令 | 21 | SUBC | ボロー付き 2 進減算 | |
| | | SUBV | アンダフロー付き 2 進減算 | |
| 論理演算命令 | 6 | AND | 論理積演算 | 14 |
| | | NOT | ビット反転 | |
| | | OR | 論理和演算 | |
| | | TAS | メモリテストとビットセット | |
| | | TST | 論理積演算の T ビットセット | |
| | | XOR | 排他的論理和演算 | |
| シフト命令 | 10 | ROTL | 1 ビット左回転 | 14 |
| | | ROTR | 1 ビット右回転 | |
| | | ROTCL | T ビット付き 1 ビット左回転 | |
| | | ROTCR | T ビット付き 1 ビット右回転 | |
| | | SHAL | 算術的 1 ビット左シフト | |
| | | SHAR | 算術的 1 ビット右シフト | |
| | | SHLL | 論理的 1 ビット左シフト | |
| | | SHLLn | 論理的 n ビット左シフト | |
| | | SHLR | 論理的 1 ビット右シフト | |
| | | SHLRn | 論理的 n ビット右シフト | |
| 分岐命令 | 9 | BF | 条件分岐、遅延付き条件分岐 (T=0 で分岐) | 11 |
| | | BT | 条件分岐、遅延付き条件分岐 (T=1 で分岐) | |
| | | BRA | 無条件分岐 | |
| | | BRAF | 無条件分岐 | |
| | | BSR | サブルーチンプロシージャへの分岐 | |
| | | BSRF | サブルーチンプロシージャへの分岐 | |
| | | JMP | 無条件分岐 | |
| | | JSR | サブルーチンプロシージャへの分岐 | |
| | | RTS | サブルーチンプロシージャからの復帰 | |

(次頁に続く)

表 2.10 命令の分類 (3)

| 分 類 | 命令の種類 | オペコード | 機 能 | 命令数 |
|----------|-------|--------|------------------|-----|
| システム制御命令 | 11 | CLRT | Tビットのクリア | 31 |
| | | CLRMAC | MACレジスタのクリア | |
| | | LDC | コントロールレジスタへのロード | |
| | | LDS | システムレジスタへのロード | |
| | | NOP | 無操作 | |
| | | RTE | 例外処理からの復帰 | |
| | | SETT | Tビットのセット | |
| | | SLEEP | 低消費電力状態への遷移 | |
| | | STC | コントロールレジスタからのストア | |
| | | STS | システムレジスタからのストア | |
| | | TRAPA | トラップ例外処理 | |
| | 計 62 | | | 142 |

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

| 命 令 | 命令コード | 動作の概略 | 実行ステート | Tビット |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------|--------------------------------------------|
| ニーモックで表示しています。 記号の説明 OP: Sz SRC、DEST OP: オペコード Sz: サイズ SRC: ソース DEST: デスティネーション Rm: ソースレジスタ Rn: デスティネーションレジスタ imm: イミディエイトレジスタ disp: ディスプレースメント ^{*2} | MSB LSBの順で表示しています。 記号の説明 mmmm: ソースレジスタ nnnn: デスティネーションレジスタ 0000: R0 0001: R1 1111: R15 iiii: イミディエイトデータ dddd: ディスプレースメント | 動作の概略を表示しています。 記号の説明 、 : 転送方向 (xx): メモリオペランド M/Q/T: SR内のフラグビット &: ビットごとの論理積 : ビットごとの論理和 ^: ビットごとの排他的論理和 ~: ビットごとの論理否定 <<n: 左nビットシフト >>n: 右nビットシフト | ノーウェイト のときの値です。 ^{*1} | 命令実行後の、Tビットの値を表示しています。 記号の説明 : 変化しない |

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×3)されます。

詳細は「SH7000/SH7600 シリーズプログラミングマニュアル」を参照してください。

(1) データ転送命令

| 命 令 | 命令コード | 動 作 | 実行ステート | Tビット |
|-----------------------|--------------------|--------------------------|--------|------|
| MOV#imm, Rn | 1110nnnn iiiiiiiii | #imm 符号拡張 Rn | 1 | |
| MOV.W@(disp, PC), Rn | 1001nnnnddddddd | (disp × 2+PC) 符号拡張 Rn | 1 | |
| MOV.L@(disp, PC), Rn | 1101nnnnddddddd | (disp × 4+PC) Rn | 1 | |
| MOVRm, Rn | 0110nnnnmmmm0011 | Rm Rn | 1 | |
| MOV.BRm, @Rn | 0010nnnnmmmm0000 | Rm (Rn) | 1 | |
| MOV.WRm, @Rn | 0010nnnnmmmm0001 | Rm (Rn) | 1 | |
| MOV.LRm, @Rn | 0010nnnnmmmm0010 | Rm (Rn) | 1 | |
| MOV.B@Rm, Rn | 0110nnnnmmmm0000 | (Rm) 符号拡張 Rn | 1 | |
| MOV.W@Rm, Rn | 0110nnnnmmmm0001 | (Rm) 符号拡張 Rn | 1 | |
| MOV.L@Rm, Rn | 0110nnnnmmmm0010 | (Rm) Rn | 1 | |
| MOV.BRm, @-Rn | 0010nnnnmmmm0100 | Rn-1 Rn, Rm (Rn) | 1 | |
| MOV.WRm, @-Rn | 0010nnnnmmmm0101 | Rn-2 Rn, Rm (Rn) | 1 | |
| MOV.LRm, @-Rn | 0010nnnnmmmm0110 | Rn-4 Rn, Rm (Rn) | 1 | |
| MOV.B@Rm+, Rn | 0110nnnnmmmm0100 | (Rm) 符号拡張 Rn, Rm+1 Rm | 1 | |
| MOV.W@Rm+, Rn | 0110nnnnmmmm0101 | (Rm) 符号拡張 Rn, Rm+2 Rm | 1 | |
| MOV.L@Rm+, Rn | 0110nnnnmmmm0110 | (Rm) Rn, Rm+4 Rm | 1 | |
| MOV.BR0, @(disp, Rn) | 10000000nnnnddd | R0 (disp+Rn) | 1 | |
| MOV.WR0, @(disp, Rn) | 10000001nnnnddd | R0 (disp × 2+Rn) | 1 | |
| MOV.LRm, @(disp, Rn) | 0001nnnnmmmmddd | Rm (disp × 4+Rn) | 1 | |
| MOV.B@(disp, Rm), R0 | 10000100mmmmddd | (disp+Rm) 符号拡張 R0 | 1 | |
| MOV.W@(disp, Rm), R0 | 10000101mmmmddd | (disp × 2+Rm) 符号拡張 R0 | 1 | |
| MOV.L@(disp, Rm), Rn | 0101nnnnmmmmddd | (disp × 4+Rm) Rn | 1 | |
| MOV.BRm, @(R0, Rn) | 0000nnnnmmmm0100 | Rm (R0+Rn) | 1 | |
| MOV.WRm, @(R0, Rn) | 0000nnnnmmmm0101 | Rm (R0+Rn) | 1 | |
| MOV.LRm, @(R0, Rn) | 0000nnnnmmmm0110 | Rm (R0+Rn) | 1 | |
| MOV.B@(R0, Rm), Rn | 0000nnnnmmmm1100 | (R0+Rm) 符号拡張 Rn | 1 | |
| MOV.W@(R0, Rm), Rn | 0000nnnnmmmm1101 | (R0+Rm) 符号拡張 Rn | 1 | |
| MOV.L@(R0, Rm), Rn | 0000nnnnmmmm1110 | (R0+Rm) Rn | 1 | |
| MOV.BR0, @(disp, GBR) | 11000000ddddddd | R0 (disp+GBR) | 1 | |
| MOV.WR0, @(disp, GBR) | 11000001ddddddd | R0 (disp × 2+GBR) | 1 | |
| MOV.LR0, @(disp, GBR) | 11000010ddddddd | R0 (disp × 4+GBR) | 1 | |

2. CPU

| 命 令 | 命令コード | 動 作 | 実行ステート | Tビット |
|-----------------------|------------------|------------------------|--------|------|
| MOV.B@(disp, GBR), R0 | 11000100ddddddd | (disp+GBR) 符号拡張 R0 | 1 | |
| MOV.W@(disp, GBR), R0 | 11000101ddddddd | (disp × 2+GBR) 符号拡張 R0 | 1 | |
| MOV.L@(disp, GBR), R0 | 11000110ddddddd | (disp × 4+GBR) R0 | 1 | |
| MOVA@(disp, PC), R0 | 11000111ddddddd | disp × 4+PC R0 | 1 | |
| MOVTRn | 0000nnnn00101001 | T Rn | 1 | |
| SWAP.BRm, Rn | 0110nnnnmmmm1000 | Rm 下位 2 バイトの上下バイト交換 Rn | 1 | |
| SWAP.WRm, Rn | 0110nnnnmmmm1001 | Rm 上下ワード交換 Rn | 1 | |
| XTRCTRm, Rn | 0010nnnnmmmm1101 | Rm: Rn の中央 32 ビット Rn | 1 | |

(2) 算術演算命令

| 命令 | 命令コード | 動作 | 実行ステート | Tビット |
|-----------------|------------------|----------------------------------------------------|-----------------------|--------|
| ADDRm, Rn | 0011nnnnmmmm1100 | Rn+Rm Rn | 1 | |
| ADD#imm, Rn | 0111nnnniiiiiii | Rn+imm Rn | 1 | |
| ADDCRm, Rn | 0011nnnnmmmm1110 | Rn+Rm+T Rn, キャリ T | 1 | キャリ |
| ADDVRm, Rn | 0011nnnnmmmm1111 | Rn+Rm Rn, オーバフロー T | 1 | オーバフロー |
| CMP/EQ#imm, R0 | 10001000iiiiiii | R0=imm のとき 1 T | 1 | 比較結果 |
| CMP/EQRm, Rn | 0011nnnnmmmm0000 | Rn=Rm のとき 1 T | 1 | 比較結果 |
| CMP/HSRm, Rn | 0011nnnnmmmm0010 | 無符号で Rn Rm のとき 1 T | 1 | 比較結果 |
| CMP/GERm, Rn | 0011nnnnmmmm0011 | 有符号で Rn Rm のとき 1 T | 1 | 比較結果 |
| CMP/HIRm, Rn | 0011nnnnmmmm0110 | 無符号で Rn > Rm のとき 1 T | 1 | 比較結果 |
| CMP/GTRm, Rn | 0011nnnnmmmm0111 | 有符号で Rn > Rm のとき 1 T | 1 | 比較結果 |
| CMP/PLRn | 0100nnnn00010101 | Rn > 0 のとき 1 T | 1 | 比較結果 |
| CMP/PZRn | 0100nnnn00010001 | Rn 0 のとき 1 T | 1 | 比較結果 |
| CMP/STRm, Rn | 0010nnnnmmmm1100 | いずれかのバイトが等しいとき 1 T | 1 | 比較結果 |
| DIV1Rm, Rn | 0011nnnnmmmm0100 | 1ステップ除算 (Rn ÷ Rm) | 1 | 計算結果 |
| DIV0SRm, Rn | 0010nnnnmmmm0111 | Rn の MSB Q, Rm の MSB M, M^Q T | 1 | 計算結果 |
| DIV0U | 0000000000011001 | 0 M/Q/T | 1 | 0 |
| DMULS.LRm, Rn | 0011nnnnmmmm1101 | 符号付きで Rn × Rm MACH,MACL 32 × 32 64 ビット | 2~4 ^{*1} | |
| DMULU.LRm, Rn | 0011nnnnmmmm0101 | 符号なしで Rn × Rm MACH,MACL 32 × 32 64 ビット | 2~4 ^{*1} | |
| DTRn | 0100nnnn00010000 | Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T | 1 | 比較結果 |
| EXTS.BRm, Rn | 0110nnnnmmmm1110 | Rm をバイトから符号拡張 Rn | 1 | |
| EXTS.WRm, Rn | 0110nnnnmmmm1111 | Rm をワードから符号拡張 Rn | 1 | |
| EXTU.BRm, Rn | 0110nnnnmmmm1100 | Rm をバイトからゼロ拡張 Rn | 1 | |
| EXTU.WRm, Rn | 0110nnnnmmmm1101 | Rm をワードからゼロ拡張 Rn | 1 | |
| MAC.L@Rm+, @Rn+ | 0000nnnnmmmm1111 | 符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64 ビット | 3/(2~4) ^{*1} | |
| MAC.W@Rm+, @Rn+ | 0100nnnnmmmm1111 | 符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64 ビット | 3/(2) ^{*1} | |
| MUL.LRm, Rn | 0000nnnnmmmm0111 | Rn × Rm MACL 32 × 32 32 ビット | 2~4 ^{*1} | |

2. CPU

| 命令 | 命令コード | 動作 | 実行ステート | Tビット |
|--------------|------------------|-------------------------------------|--------|--------|
| MULS.WRm, Rn | 0010nnnnmmmm1111 | 符号付きで Rn × Rm MAC 16 × 16 32 ビット | 1~3*1 | |
| MULU.WRm, Rn | 0010nnnnmmmm1110 | 符号なしで Rn × Rm MAC 16 × 16 32 ビット | 1~3*1 | |
| NEGRm, Rn | 0110nnnnmmmm1011 | 0-Rm Rn | 1 | |
| NEGCRm, Rn | 0110nnnnmmmm1010 | 0-Rm-T Rn, ポロー T | 1 | ポロー |
| SUBRm, Rn | 0011nnnnmmmm1000 | Rn-Rm Rn | 1 | |
| SUBCRm, Rn | 0011nnnnmmmm1010 | Rn-Rm-T Rn, ポロー T | 1 | ポロー |
| SUBVRm, Rn | 0011nnnnmmmm1011 | Rn-Rm Rn, アンダフロー T | 1 | アンダフロー |

【注】 *1 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

| 命 令 | 命令コード | 動 作 | 実行ステート | Tビット |
|-----------------------|---------------------|---------------------------------|--------|-------|
| ANDRm, Rn | 0010nnnnmmmm1001 | Rn & Rm Rn | 1 | |
| AND#imm, R0 | 11001001 iiii iiiii | R0 & imm R0 | 1 | |
| AND.B#imm, @(R0, GBR) | 11001101 iiii iiiii | (R0+GBR) & imm (R0+GBR) | 3 | |
| NOTRm, Rn | 0110nnnnmmmm0111 | ~Rm Rn | 1 | |
| ORRm, Rn | 0010nnnnmmmm1011 | Rn Rm Rn | 1 | |
| OR#imm, R0 | 11001011 iiii iiiii | R0 imm R0 | 1 | |
| OR.B#imm, @(R0, GBR) | 11001111 iiii iiiii | (R0+GBR) imm (R0+GBR) | 3 | |
| TAS.B@Rn | 0100nnnn00011011 | (Rn) が 0 のとき 1 T, 1 MSB of (Rn) | 4 | テスト結果 |
| TSTRm, Rn | 0010nnnnmmmm1000 | Rn & Rm, 結果が 0 のとき 1 T | 1 | テスト結果 |
| TST#imm, R0 | 11001000 iiii iiiii | R0 & imm, 結果が 0 のとき 1 T | 1 | テスト結果 |
| TST.B#imm, @(R0, GBR) | 11001100 iiii iiiii | (R0+GBR) & imm, 結果が 0 のとき 1 T | 3 | テスト結果 |
| XORRm, Rn | 0010nnnnmmmm1010 | Rn ^ Rm Rn | 1 | |
| XOR#imm, R0 | 11001010 iiii iiiii | R0 ^ imm R0 | 1 | |
| XOR.B#imm, @(R0, GBR) | 11001110 iiii iiiii | (R0+GBR) ^ imm (R0+GBR) | 3 | |

(4) シフト命令

| 命 令 | 命令コード | 動 作 | 実行ステート | Tビット |
|----------|------------------|-------------|--------|------|
| ROTLRn | 0100nnnn00000100 | T Rn MSB | 1 | MSB |
| ROTRRn | 0100nnnn00000101 | LSB Rn T | 1 | LSB |
| ROTCLRn | 0100nnnn00100100 | T Rn T | 1 | MSB |
| ROTCRRn | 0100nnnn00100101 | T Rn T | 1 | LSB |
| SHALRn | 0100nnnn00100000 | T Rn 0 | 1 | MSB |
| SHARRn | 0100nnnn00100001 | MSB Rn T | 1 | LSB |
| SHLLRn | 0100nnnn00000000 | T Rn 0 | 1 | MSB |
| SHLRRn | 0100nnnn00000001 | 0 Rn T | 1 | LSB |
| SHLL2Rn | 0100nnnn00001000 | Rn << 2 Rn | 1 | |
| SHLR2Rn | 0100nnnn00001001 | Rn >> 2 Rn | 1 | |
| SHLL8Rn | 0100nnnn00011000 | Rn << 8 Rn | 1 | |
| SHLR8Rn | 0100nnnn00011001 | Rn >> 8 Rn | 1 | |
| SHLL16Rn | 0100nnnn00101000 | Rn << 16 Rn | 1 | |
| SHLR16Rn | 0100nnnn00101001 | Rn >> 16 Rn | 1 | |

(5) 分岐命令

| 命 令 | 命令コード | 動 作 | 実行ステート | Tビット |
|-----------|------------------|------------------------------------------------|-------------------|------|
| BFlabel | 10001011ddddddd | T=0 のとき disp × 2+PC PC, T=1 のとき nop | 3/1 ^{*2} | |
| BF/Slabel | 10001111ddddddd | 遅延分岐 T=0 のとき disp × 2+PC PC, T=1 のとき nop | 2/1 ^{*2} | |
| BTlabel | 10001001ddddddd | T=1 のとき disp × 2+PC PC, T=0 のとき nop | 3/1 ^{*2} | |
| BT/Slabel | 10001101ddddddd | 遅延分岐 T=1 のとき disp × 2+PC PC, T=0 のとき nop | 2/1 ^{*2} | |
| BRAlabel | 1010ddddddddddd | 遅延分岐、disp × 2+PC PC | 2 | |
| BRAFRn | 0000nnnn00100011 | 遅延分岐、Rn+PC PC | 2 | |
| BSRlabel | 1011ddddddddddd | 遅延分岐 PC PR, disp × 2+PC PC | 2 | |
| BSRFRn | 0000nnnn00000011 | 遅延分岐、PC PR, Rn+PC PC | 2 | |
| JMP@Rn | 0100nnnn00101011 | 遅延分岐、Rn PC | 2 | |
| JSR@Rn | 0100nnnn00001011 | 遅延分岐、PC PR, Rn PC | 2 | |
| RTS | 0000000000001011 | 遅延分岐、PR PC | 2 | |

【注】 *2 分岐しないときは1ステートになります。

(6) システム制御命令

| 命 令 | 命令コード | 動 作 | 実行ステート | Tビット |
|-----------------|------------------|-----------------------|-----------------|------|
| CLRT | 0000000000001000 | 0 T | 1 | 0 |
| CLRMACH | 0000000000101000 | 0 MACH, MACL | 1 | |
| LDCRm, SR | 0100mmmm00001110 | Rm SR | 1 | LSB |
| LDCRm, GBR | 0100mmmm00011110 | Rm GBR | 1 | |
| LDCRm, VBR | 0100mmmm00101110 | Rm VBR | 1 | |
| LDC.L@Rm+, SR | 0100mmmm00000111 | (Rm) SR, Rm+4 Rm | 3 | LSB |
| LDC.L@Rm+, GBR | 0100mmmm00010111 | (Rm) GBR, Rm+4 Rm | 3 | |
| LDC.L@Rm+, VBR | 0100mmmm00100111 | (Rm) VBR, Rm+4 Rm | 3 | |
| LDSRm, MACH | 0100mmmm00001010 | Rm MACH | 1 | |
| LDSRm, MACL | 0100mmmm00011010 | Rm MACL | 1 | |
| LDSRm, PR | 0100mmmm00101010 | Rm PR | 1 | |
| LDS.L@Rm+, MACH | 0100mmmm00000110 | (Rm) MACH, Rm+4 Rm | 1 | |
| LDS.L@Rm+, MACL | 0100mmmm00010110 | (Rm) MACL, Rm+4 Rm | 1 | |
| LDS.L@Rm+, PR | 0100mmmm00100110 | (Rm) PR, Rm+4 Rm | 1 | |
| NOP | 0000000000001001 | 無操作 | 1 | |
| RTE | 0000000000101011 | 遅延分岐、スタック領域 PC/SR | 4 | |
| SETT | 0000000000011000 | 1 T | 1 | 1 |
| SLEEP | 0000000000011011 | スリープ | 3* ³ | |
| STCSR, Rn | 0000nnnn00000010 | SR Rn | 1 | |
| STCGBR, Rn | 0000nnnn00010010 | GBR Rn | 1 | |
| STCVBR, Rn | 0000nnnn00100010 | VBR Rn | 1 | |
| STC.LSR, @-Rn | 0100nnnn00000011 | Rn-4 Rn, SR (Rn) | 2 | |
| STC.LGBR, @-Rn | 0100nnnn00010011 | Rn-4 Rn, GBR (Rn) | 2 | |
| STC.LVBR, @-Rn | 0100nnnn00100011 | Rn-4 Rn, VBR (Rn) | 2 | |
| STSMACH, Rn | 0000nnnn00001010 | MACH Rn | 1 | |
| STSMACL, Rn | 0000nnnn00011010 | MACL Rn | 1 | |
| STSPR, Rn | 0000nnnn00101010 | PR Rn | 1 | |
| STS.LMACH, @-Rn | 0100nnnn00000010 | Rn-4 Rn, MACH (Rn) | 1 | |
| STS.LMACL, @-Rn | 0100nnnn00010010 | Rn-4 Rn, MACL (Rn) | 1 | |
| STS.LPR, @-Rn | 0100nnnn00100010 | Rn-4 Rn, PR (Rn) | 1 | |
| TRAPA#imm | 11000011iiiiiiii | PC/SR スタック領域、(imm) PC | 8 | |

【注】 *3 スリープ状態に移転するまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.4.2 オペレーションコードマップ

オペレーションコードマップを表2.11に示します。

表2.11 オペレーションコードマップ(1)

| 命令コード | | | | Fx: 0000 | Fx: 0001 | Fx: 0010 | Fx: 0011 ~ 1111 |
|-------|------|----|------|-------------------------|------------------------|------------------------|---------------------|
| MSB | LSB | | | MD: 00 | MD: 01 | MD: 10 | MD: 11 |
| 0000 | Rn | Fx | 0000 | | | | |
| 0000 | Rn | Fx | 0001 | | | | |
| 0000 | Rn | Fx | 0010 | STC SR, Rn | STC GBR, Rn | STC VBR, Rn | |
| 0000 | Rn | Fx | 0011 | BSRF Rn | | BRAF Rn | |
| 0000 | Rn | Rm | 01MD | MOV.B Rm, @(R0, Rn) | MOV.W Rm, @(R0, Rn) | MOV.L Rm, @(R0, Rn) | MUL.L Rm, Rn |
| 0000 | 0000 | Fx | 1000 | CLRT | SETT | CLRMAC | |
| 0000 | 0000 | Fx | 1001 | NOP | DIV0U | | |
| 0000 | 0000 | Fx | 1010 | | | | |
| 0000 | 0000 | Fx | 1011 | RTS | SLEEP | RTE | |
| 0000 | Rn | Fx | 1000 | | | | |
| 0000 | Rn | Fx | 1001 | | | | MOVT Rn |
| 0000 | Rn | Fx | 1010 | STS MACH, Rn | STS MACL, Rn | STS PR, Rn | |
| 0000 | Rn | Fx | 1011 | | | | |
| 0000 | Rn | Rm | 11MD | MOV.B @(R0, Rm), Rn | MOV.W @(R0, Rm), Rn | MOV.L @(R0, Rm), Rn | MAC.L @Rm+, @Rn+ |
| 0001 | Rn | Rm | disp | MOV.L Rm, @(disp:4, Rn) | | | |
| 0010 | Rn | Rm | 00MD | MOV.B Rm, @Rn | MOV.W Rm, @Rn | MOV.L Rm, @Rn | |
| 0010 | Rn | Rm | 01MD | MOV.B Rm, @-Rn | MOV.W Rm, @-Rn | MOV.L Rm, @-Rn | DIV0S Rm, Rn |
| 0010 | Rn | Rm | 10MD | TST Rm, Rn | AND Rm, Rn | XOR Rm, Rn | OR Rm, Rn |
| 0010 | Rn | Rm | 11MD | CMP/STR Rm, Rn | XTRCT Rm, Rn | MULU.W Rm, Rn | MULS.W Rm, Rn |
| 0011 | Rn | Rm | 00MD | CMP/EQ Rm, Rn | | CMP/HS Rm, Rn | CMP/GE Rm, Rn |
| 0011 | Rn | Rm | 01MD | DIV1 Rm, Rn | DMULU.L Rm, Rn | CMP/HI Rm, Rn | CMP/GT Rm, Rn |
| 0011 | Rn | Rm | 10MD | SUB Rm, Rn | | SUBC Rm, Rn | SUBV Rm, Rn |
| 0011 | Rn | Rm | 11MD | ADD Rm, Rn | DMULS.L Rm, Rn | ADDC Rm, Rn | ADDV Rm, Rn |
| 0100 | Rn | Fx | 0000 | SHLL Rn | DT Rn | SHAL Rn | |
| 0100 | Rn | Fx | 0001 | SHLR Rn | CMP/PZRn | SHAR Rn | |
| 0100 | Rn | Fx | 0010 | STS.L MACH, @-Rn | STS.L MACL, @-Rn | STS.L PR, @-Rn | |

(次頁に続く)

表 2.11 オペレーションコードマップ (2)

| 命令コード | | | | Fx: 0000 | Fx: 0001 | Fx: 0010 | Fx: 0011 ~ 1111 |
|-------|------|----------|------|-----------------------------|-----------------------------|-----------------|-----------------|
| MSB | LSB | | | MD: 00 | MD: 01 | MD: 10 | MD: 11 |
| 0100 | Rn | Fx | 0011 | STC.L SR, @-Rn | STC.L GBR, @-Rn | STC.L VBR, @-Rn | |
| 0100 | Rn | Fx | 0100 | ROTL Rn | | ROTCL Rn | |
| 0100 | Rn | Fx | 0101 | ROTR Rn | CMP/PLRn | ROTCL Rn | |
| 0100 | Rm | Fx | 0110 | LDS.L @Rm+,MACH | LDS.L @Rm+,MACL | LDS.L @RM+, PR | |
| 0100 | Rm | Fx | 0111 | LDC.L @Rm+, SR | LDC.L @Rm+,GBR | LDC.L @Rm+,VBR | |
| 0100 | Rn | Fx | 1000 | SHLL2 Rn | SHLL8 Rn | SHLL16 Rn | |
| 0100 | Rn | Fx | 1001 | SHLR2 Rn | SHLR8 Rn | SHLR16 Rn | |
| 0100 | Rm | Fx | 1010 | LDS Rm, MACH | LDS Rm, MACL | LDS Rm, PR | |
| 0100 | Rn | Fx | 1011 | JSR @Rn | TAS.B @Rn | JMP @Rn | |
| 0100 | Rm | Fx | 1100 | | | | |
| 0100 | Rm | Fx | 1101 | | | | |
| 0100 | Rm | Fx | 1110 | LDC Rm, SR | LDC Rm, GBR | LDC Rm, VBR | |
| 0100 | Rn | Rm | 1111 | MAC.W @Rm+, @Rn+ | | | |
| 0101 | Rn | Rm | disp | MOV.L @(disp:4,Rm), Rn | | | |
| 0110 | Rn | Rm | 00MD | MOV.B @Rm, Rn | MOV.W @Rm, Rn | MOV.L @Rm, Rn | MOV Rm, Rn |
| 0110 | Rn | Rm | 01MD | MOV.B @Rm+,Rn | MOV.W @Rm+,Rn | MOV.L @Rm+, Rn | NOT Rm, Rn |
| 0110 | Rn | Rm | 10MD | SWAP.B Rm, Rn | SWAP.W Rm, Rn | NEGC Rm, Rn | NEG Rm, Rn |
| 0110 | Rn | Rm | 11MD | EXTU.B Rm, Rn | EXTU.W Rm, Rn | EXTS.B Rm, Rn | EXTS.W Rm, Rn |
| 0111 | Rn | imm | | ADD #imm:8, Rn | | | |
| 1000 | 00MD | Rn | disp | MOV.B R0, @(disp: 4, Rn) | MOV.W R0, @(disp: 4, Rn) | | |
| 1000 | 01MD | Rm | disp | MOV.B @(disp:4, Rm), R0 | MOV.W @(disp: 4, Rm), R0 | | |
| 1000 | 10MD | imm/disp | | CMP/EQ #imm:8, R0 | BT label: 8 | | BF label: 8 |
| 1000 | 11MD | imm/disp | | | BT/S label: 8 | | BF/S label: 8 |
| 1001 | Rn | disp | | MOV.W @(disp:8, PC), Rn | | | |
| 1010 | | disp | | BRA label:12 | | | |
| 1011 | | disp | | BSR label:12 | | | |

(次頁に続く)

表 2.11 オペレーションコードマップ (3)

| 命令コード | | | Fx: 0000 | Fx: 0001 | Fx: 0010 | Fx: 0011 ~ 1111 |
|-------|-------|----------|---------------------------|---------------------------|---------------------------|--------------------------|
| MSB | LSB | | MD: 00 | MD: 01 | MD: 10 | MD: 11 |
| 1100 | 00MD | imm/disp | MOV.B R0, @(disp: 8, GBR) | MOV.W R0, @(disp: 8, GBR) | MOV.L R0, @(disp: 8, GBR) | TRAPA #imm: 8 |
| 1100 | 01MD | disp | MOV.B @(disp: 8, GBR), R0 | MOV.W @(disp: 8, GBR), R0 | MOV.L @(disp: 8, GBR), R0 | MOVA @(disp: 8, PC), R0 |
| 1100 | 10MD | imm | TST #imm: 8, R0 | AND #imm: 8, R0 | XOR #imm: 8, R0 | OR #imm: 8, R0 |
| 1100 | 11MD | imm | TST.B #imm: 8, @(R0, GBR) | AND.B #imm: 8, @(R0, GBR) | XOR.B #imm: 8, @(R0, GBR) | OR.B #imm: 8, @(R0, GBR) |
| 1101 | Rn | disp | MOV.L @(disp:8,PC),Rn | | | |
| 1110 | Rn | imm | MOV #imm:8,Rn | | | |
| 1111 | ***** | | | | | |

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.1に示します。

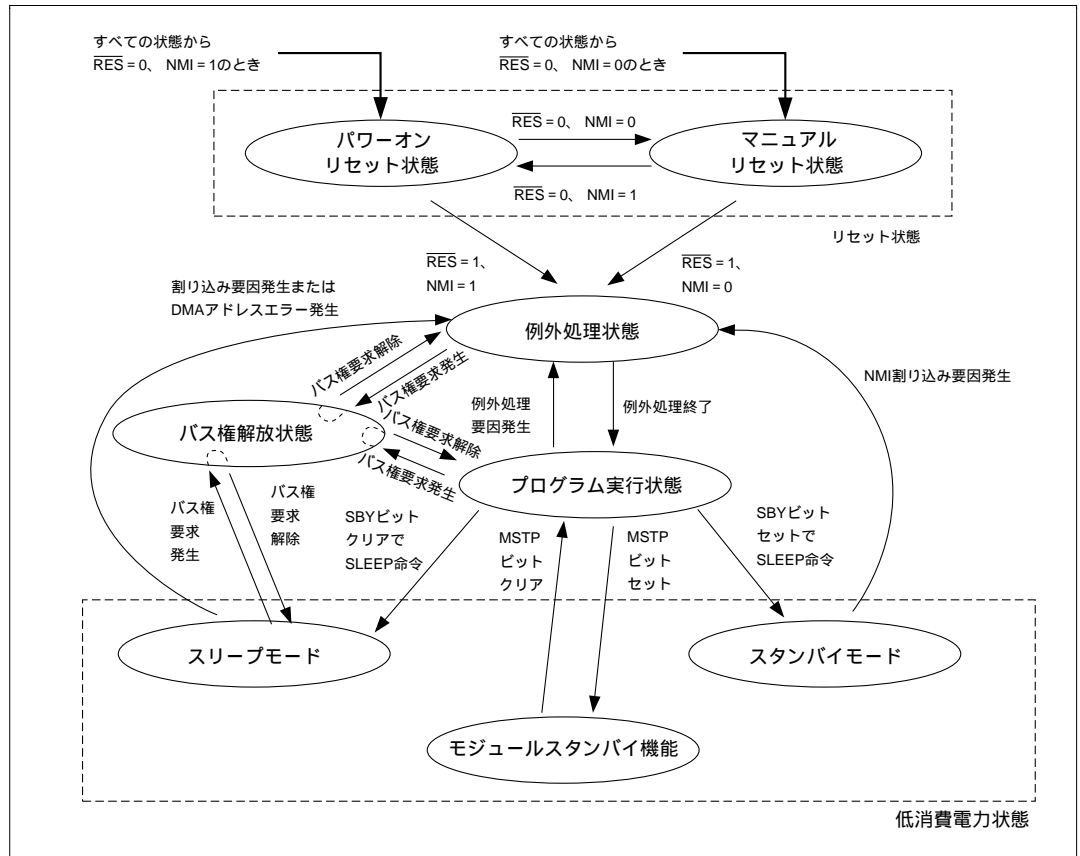


図 2.1 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとリセット状態になります。NMI 端子がハイレベルのときパワーオンリセット状態になり、NMI 端子がローレベルのとき、マニュアルリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、スタンバイモードの2つのモードおよびモジュールスタンバイ機能があります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

2.5.2 低消費電力状態

CPU の処理状態の一つとして、通常のプログラム実行状態のほかに、CPU の動作を停止し、消費電力を低くする低消費電力状態があります。低消費電力状態には、スリープモード、スタンバイモードの2つのモードおよびモジュールスタンバイ機能があります。

(1) スリープモード

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 0 にクリアして、SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモードでは、CPU の動作は停止しますが、CPU の内部レジスタの内容と内蔵キャッシュ (または内蔵 RAM) のデータは保持されます。CPU 以外の内蔵周辺モジュールの機能は停止しません。

スリープモードからの復帰は、リセット、すべての割り込み、または DMA アドレスエラーによって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。

(2) スタンバイモード

SBYCR の SBY を 1 にセットして、SLEEP 命令を実行すると、スタンバイモードになります。スタンバイモードでは、CPU、内蔵周辺モジュール、および発振器のすべての機能が停止します。ただしスタンバイモードに入る時には、DMAC の DMA マスタイネーブルビットを 0 にしてください。乗算系命令の実行中にスタンバイに入った場合は、MACH、MACL の値は不定になります。キャッシュ (または内蔵 RAM) データは保持されません。

スタンバイモードからの復帰は、リセット、外部の NMI 割り込みにより行われます。リセットの場合は、発振安定時間の間、例外処理状態を経て通常のプログラム実行状態へ遷移します。NMI 割り込みの場合は、発振安定時間経過後、例外処理状態を経て通常のプログラム実行状態へ遷移します。スタンバイモードに入る前にキャッシュはオフにしてください。

本モードでは、発振器が停止しますので、消費電力は著しく低減されます。

(3) モジュールスタンバイ機能

内蔵周辺モジュールのダイレクトメモリアクセスコントローラ (DMAC)、乗算器 (MULT)、除算器 (DIVU)、16 ビットフリーランニングタイマ (FRT)、シリアルコミュニケーションインタフェース (SCI) には、モジュールスタンバイ機能があります。

スタンバイコントロールレジスタ (SBYCR) のモジュールストップビット 4~0 (MSTP4~MSTP0) に 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、消費電力を低減させることができます。

モジュールスタンバイ機能の内蔵周辺モジュールの各外部端子は、リセット状態になります。また、レジスタは DMAC、MULT、DIVU を除いて初期化されます。

モジュールスタンバイ機能の解除は、MSTP4~0を0にクリアすることで行います。

MULTをモジュールスタンバイ状態にした場合、乗算系命令（DMULS.L、DMULU.L、MAC.L、MAC.W、MUL.L、MULS、MULU）およびMACH、MACLレジスタにアクセスする命令（CLRMAC、LDS MACH/MACL、STS MACH/MACL）は実行しないでください。

DMACのモジュールスタンバイ機能を使用する時は、ダイレクトメモリアクセスコントローラのDMAマスタイネーブルビットを0にしてください。

表 2.12 低消費電力状態

| モード | 遷移の条件 | 状態 | | | | | 解除方法 |
|----------------------|-------------------------------------------|------|---------------------|--------------------------------------------------|-------------|--------------------------|---------------------------------------------------------------|
| | | クロック | CPU | 内蔵周辺 モジュール | CPU レジスタ | 内蔵キャッ シュまたは 内蔵 RAM | |
| スリープ モード | SBYCRのSBYを クリアした状態 で、SLEEP命令 を実行 | 動作 | 停止 | 動作 | 保持 | 保持 | (1) 割り込み (2) DMA アドレスエラー (3) パワーオンリセット (4) マニュアルリセット |
| スタンバイ モード | SBYCRのSBYを セットした状態 で、SLEEP命令 を実行 | 停止 | 停止 | 停止および 初期化*1 | 保持 | 不定 | (1) NMI 割り込み (2) パワーオンリセット (3) マニュアルリセット |
| モジュール スタンバイ 機能 | SBYCRの MSTP4~MSTP0 をセット | 動作 | 動作 (MULTは 停止) | 指定したモ ジュールへ のクロック 供給を停止 および初期 化*2 | 保持 | 保持 | SBYCRのMSTP4~ MSTP0をクリア |

【注】 *1 それぞれの周辺モジュール、端子によって異なります。

*2 DMAC、MULT、DIVの各レジスタと指定のモジュールの割り込みベクタは設定値が保持されます。

3. 発振回路と動作モード

第3章 目次

| | | |
|-----|----------------------------|----|
| 3.1 | 概要..... | 55 |
| 3.2 | 内蔵発振回路と動作モード..... | 56 |
| | 3.2.1 発振回路の構成..... | 56 |
| | 3.2.2 クロック動作モードの設定..... | 58 |
| | 3.2.3 水晶発振子の接続方法..... | 60 |
| | 3.2.4 外部クロックの入力方法..... | 61 |
| | 3.2.5 レジスタによる動作周波数の選択..... | 62 |
| | 3.2.6 動作モードと周波数範囲..... | 69 |
| | 3.2.7 ボード設計上の注意事項..... | 70 |
| 3.3 | CS0 エリアのバス幅..... | 72 |
| 3.4 | マスタモード/スレーブモードの切り換え..... | 73 |

3.1 概要

動作モード端子によって、内蔵発振回路の動作、CS0 エリアのバス幅指定、マスタモード/スレーブモードの切り換えをコントロールします。

クロックソースとして、水晶発振子と外部クロックを選ぶことができます。

3.2 内蔵発振回路と動作モード

3.2.1 発振回路の構成

内蔵発振回路のブロックを図3.1に示します。

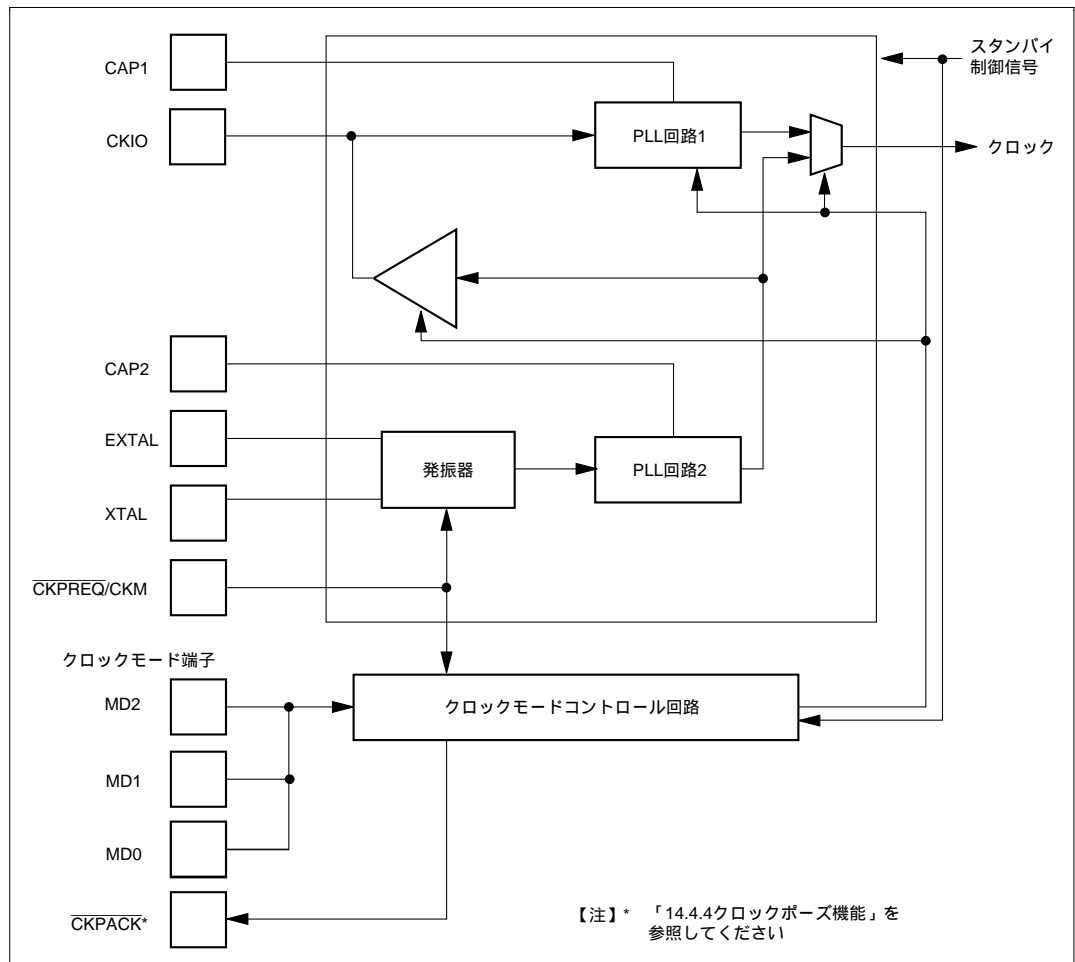


図 3.1 内蔵発振回路のブロック図

(1) 端子構成

発振回路に関係した各端子の機能を表 3.1 に示します。

表 3.1 端子の機能

| 機能名 | 入出力 | 機能 |
|---------------------------------------|-----|----------------------------------------|
| CKIO | 入出力 | 外部クロック入力端子または内部クロック出力端子 |
| XTAL | 出力 | 水晶発振子を接続 |
| EXTAL | 入力 | 水晶発振子を接続、または PLL 回路 2 を使用する場合の外部クロック入力 |
| CAP1 | 入力 | PLL 回路 1 動作の容量を接続 |
| CAP2 | 入力 | PLL 回路 2 動作の容量を接続 |
| MD0 | 入力 | この端子に印加するレベルでクロックモードを指定 |
| MD1 | 入力 | この端子に印加するレベルでクロックモードを指定 |
| MD2 | 入力 | この端子に印加するレベルでクロックモードを指定 |
| $\overline{\text{CKPREQ}}/\text{CKM}$ | 入力 | クロックポーズリクエスト、または水晶発振器の動作指定 |

(2) PLL 回路 1

PLL 回路 1 は、外部クロックと LSI 内部に提供されるクロックとの位相ずれをなくす回路です。高速動作する場合、基準となるクロックと LSI 内部の動作クロックの位相差が、そのまま、周辺デバイスとのインタフェースマージンに影響します。このようなことがないように PLL 回路 1 を内蔵しています。

また、この PLL 回路 1 は、外部クロックと LSI 内部に供給されるクロックとの位相を 90° ずらすこともできます。このことにより、シンクロナス DRAM との高速インタフェースが可能となっています。

(3) PLL 回路 2

PLL 回路 2 は、水晶発振子、または EXTAL 端子外部クロック入力から与えられたクロック周波数を 1 倍、2 倍、4 倍して LSI の動作周波数として使用する場合に用います。クロックを何倍して使用するかは、周波数変更レジスタにて設定します。

3.2.2 クロック動作モードの設定

クロックモード0~6の機能、動作を表3.2に示します。

TBP-176 パッケージ品は、クロックモードの使用可能範囲が4~6となりますのでご注意ください。

表3.2 動作モード

| クロックモード | 機能・動作 | クロックソース | |
|---------|--------------------------------------------------------------------------------------|----------|--|
| モード0 | PLL回路1とPLL回路2が動作します。このとき、CKIO端子からはLSI内部と同位相クロックが出力されます。 | 水晶発振子 | |
| モード1 | PLL回路1とPLL回路2が動作します。このとき、CKIO端子出力とは90°位相がずれたクロックがLSI内部に供給されます。 | | |
| モード2 | PLL回路2のみ動作します。このとき、CKIO端子からはPLL回路2からのクロックが出力されます。 本モードは位相合わせは行いません。 | | |
| モード3 | PLL回路2のみ動作します。このとき、CKIO端子はハイインピーダンス状態になります。 本モードは位相合わせは行いません。 | | |
| モード4 | CKIO端子から目的とする動作周波数と同じ周波数のクロックを入力し、PLL回路1にて入力クロックと内部クロックとの位相を合わせて動作させるときに設定してください。 | 外部クロック入力 | |
| モード5 | CKIO端子から目的とする動作周波数と同じ周波数のクロックを入力し、PLL回路1にて入力クロックと内部クロックとの位相を90°ずらして動作させるときに設定してください。 | | |
| モード6 | CKIO端子から入力したクロックと同じ周波数のクロックで動作させるときに設定してください。 このとき、PLL回路1、PLL回路2は動作しません。 | | |

クロックモード0~3を選択した場合、PLL回路2により、入力周波数の1倍、2倍、4倍の周波数が内部クロックとして使用できます。

また、クロックモード4~6を選択した場合、CKIO端子から入力されるクロックの周波数変更、クロック停止を行うことができます。（「14.4 スタンバイモード」参照）

クロックモード4~6設定時はPLL回路2は停止します。

MD2 ~ MD0端子の組み合わせとクロック動作モードとの関係を表3.3に示します。MD2 ~ MD0 端子は動作途中で切り換えないでください。切り換えた場合の動作は保障できません。

表 3.3 クロックモードの端子設定と状態

| クロック モード | 端子名 | | | | | | | 内部クロック |
|-------------|-----|-----|-----|---------------------------------------|--------|------|------------|-------------------------------------|
| | MD2 | MD1 | MD0 | $\overline{\text{CKPREQ}}/\text{CKM}$ | EXTAL | XTAL | CKIO | |
| モード 0 | 0 | 0 | 0 | 0 | クロック入力 | OPEN | 出力 | CKIO に対して、PLL 回路 1 によって位相差 0° に同期化 |
| | | | | 1 | 水晶発振 | | | |
| モード 1 | 0 | 0 | 1 | 0 | クロック入力 | OPEN | 出力 | CKIO に対して、PLL 回路 1 によって位相差 90° に同期化 |
| | | | | 1 | 水晶発振 | | | |
| モード 2 | 0 | 1 | 0 | 0 | クロック入力 | OPEN | 出力 | CKIO |
| | | | | 1 | 水晶発振 | | | |
| モード 3 | 0 | 1 | 1 | 0 | クロック入力 | OPEN | ハイイン | PLL 回路 2 の出力 ピーダンス |
| | | | | 1 | 水晶発振 | | | |
| モード 4 | 1 | 0 | 0 | *1 | OPEN | | クロック 入力 | CKIO に対して、PLL 回路 1 によって位相差 0° に同期化 |
| モード 5 | 1 | 0 | 1 | | OPEN | | クロック 入力 | CKIO に対して、PLL 回路 1 によって位相差 90° に同期化 |
| モード 6 | 1 | 1 | 0 | | OPEN | | クロック 入力 | CKIO |

【注】 上記以外の組み合わせでは使用しないでください。

*1 クロックモード 4、5、6 のときには、 $\overline{\text{CKPREQ}}/\text{CKM}$ 端子は
クロックポーズリクエストとして機能します。

*2 TBP-176 パッケージ品は、クロックモード 4~6 の範囲で選択してください。

3.2.3 水晶発振子の接続方法

(1) 水晶発振子の接続方法

図 3.2 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表に示すものを使用してください。水晶発振子は、AT カット並列共振型のものを使ってください。また、図のように、負荷容量 ($CL1$ 、 $CL2$) を必ず接続してください。

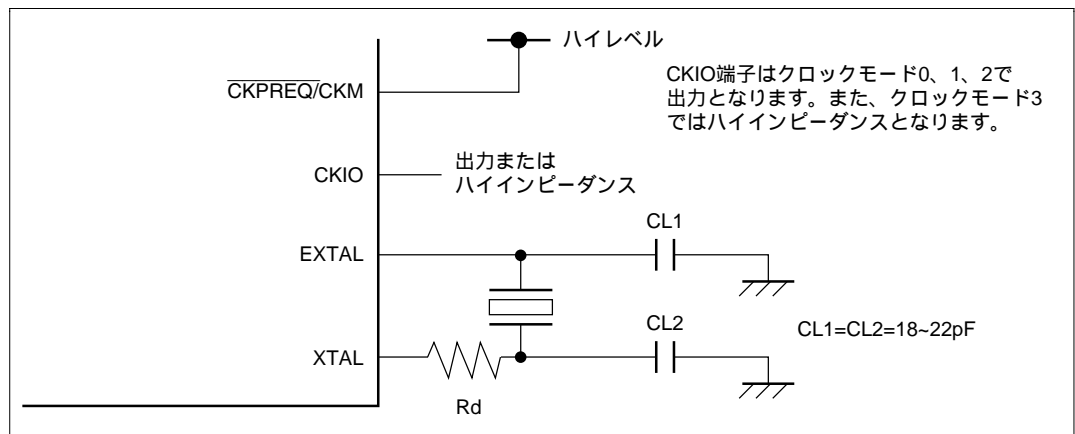


図 3.2 水晶発振子の接続例

表 3.4 ダンピング抵抗値 (参考値)

| 周波数 (MHz) | 4 | 6 | 8 |
|--------------------|-----|-----|---|
| R_d (Ω) | 500 | 200 | 0 |

(2) 水晶発振子

図 3.3 に水晶発振子の等価回路を示します。水晶発振子は、表 3.5 に示す特性のものを使ってください。

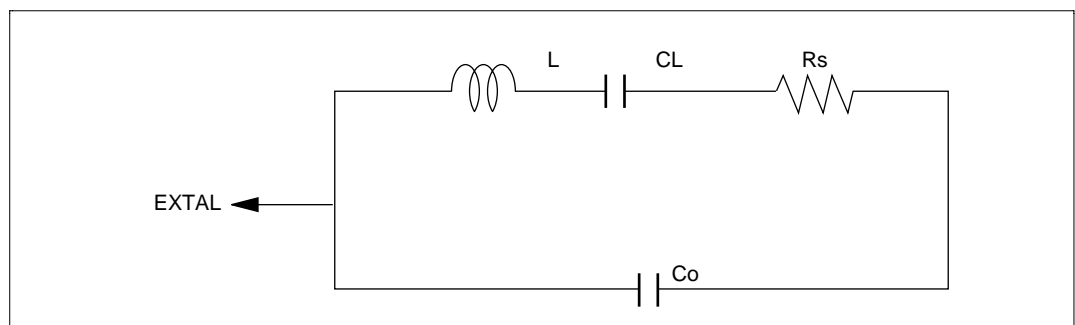


図 3.3 水晶発振子の等価回路

表 3.5 水晶発振子の特性（参考値）

| パラメータ | 周波数（MHz） | | |
|--------------------|----------|-----|----|
| | 4 | 6 | 8 |
| Rs max（ Ω ） | 120 | 100 | 80 |
| Co max（pF） | 7pF max | | |

3.2.4 外部クロックの入力方法

外部クロック入力は、クロックモードによって EXTAL 端子または CKIO 端子から入力します。

（1）EXTAL 端子からのクロック入力

クロックモード 0、1、2、3 で使用できます。

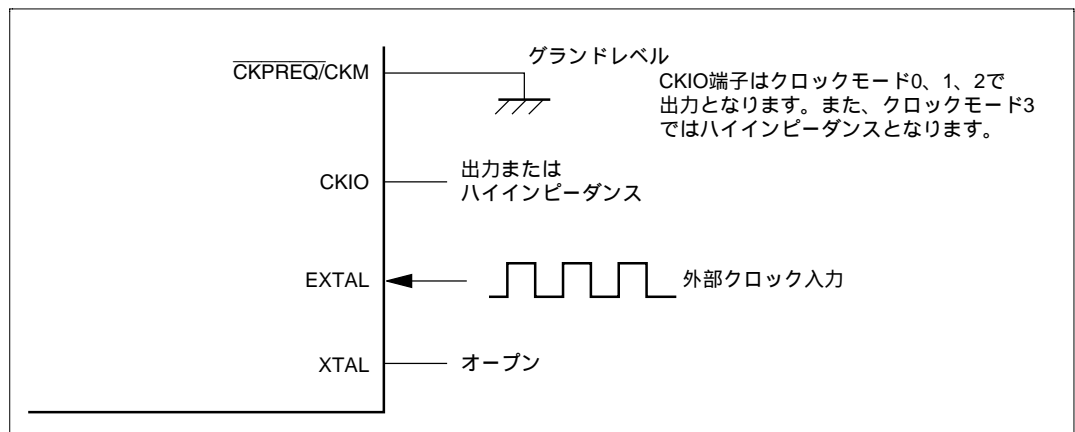


図 3.4 外部クロック入力方法

(2) CKIO 端子からのクロック入力

クロックモード 4、5、6 で使用します。

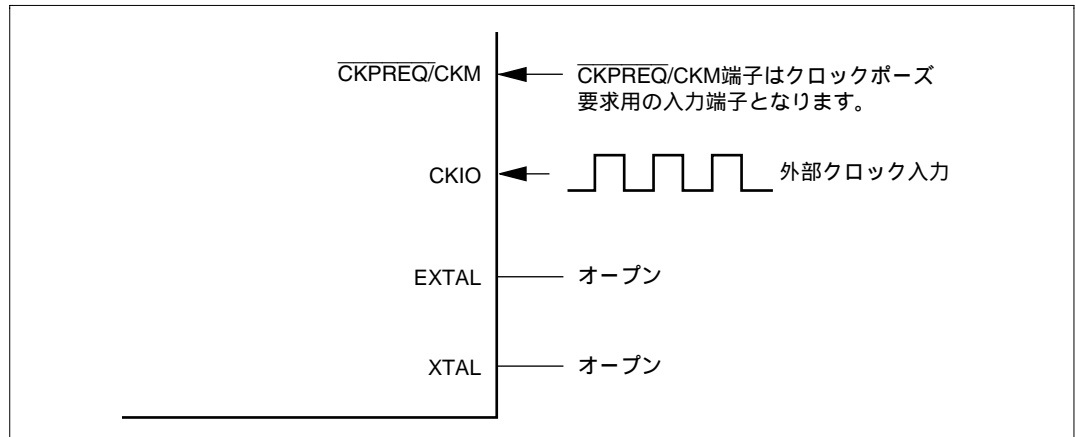


図 3.5 外部クロック入力方法

3.2.5 レジスタによる動作周波数の選択

クロックモード 0~3 で動作させる場合、PLL 回路 2 と周波数変更レジスタを用いて、動作周波数の $\times 1$ 、 $\times 2$ 、 $\times 4$ 倍化ができます。周波数変更レジスタと PLL 回路 2 の関係を図 3.6 に示します。

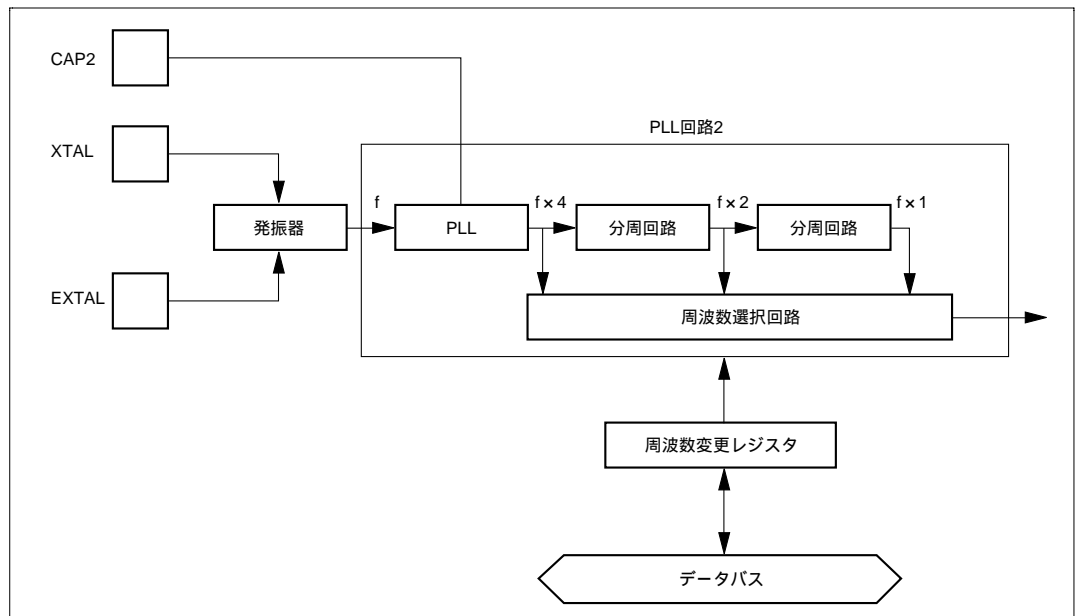


図 3.6 周波数変更レジスタと PLL 回路 2 の関係

PLL 回路 2 には、発振器で生成された周波数 f のクロックを 4 倍の周波数にする PLL とその PLL 出力を 1/2 または 1/4 にする分周回路があります。それぞれのクロック ($f \times 1$ 、 $f \times 2$ 、 $f \times 4$) は、周波数選択回路に入力されており、周波数変更レジスタに設定した値により、そのうち 1 本が選択され、PLL 回路 2 の出力となります。

(1) 周波数変更レジスタ

このレジスタは、パワーオンリセット時のみ初期化されます。マニュアルリセット、スタンバイモード時には前の値を保持しています。

レジスタ構成を表 3.6 に示します。

表 3.6 レジスタ構成

| 名称 | 略称 | R/W | 初期値 | アドレス | アクセスサイズ |
|-----------|-----|-----|------|-------------|---------|
| 周波数変更レジスタ | FMR | R/W | H'00 | H'FFFFFFE90 | 8 |

次に、各ビットの組み合わせ、機能を示します。

| | | | | | | | | |
|------|---|---|---|---|---|---|-----|-----|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | FR1 | FR0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R/W | R/W |

| ビット 1、0 | | 機 能 |
|---------|-----|---------------|
| FR1 | FR0 | |
| 0 | 0 | ×1 倍を選択 (初期値) |
| 0 | 1 | ×2 倍を選択 |
| 1 | 0 | ×4 倍を選択 |
| 1 | 1 | 設定禁止 |

ビット 7~2 は予約ビットです。読み出すと、常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(2) 周波数変更方法

クロックモード0から3で動作させ、PLL回路2を用いて動作周波数を×1、×2、×4倍化する方法を示します。

- ・ 内蔵ウォッチドッグタイマ（WDT）のオーバフロー時間を指定された発振安定時間以上に、TMEビットを0に設定します。
- ・ 周波数変更レジスタを目的とする値に設定します（このとき、LSI内部は一時的にスタンバイモードになります）。
- ・ 発振関係の各回路は動作し、WDTにクロックを供給します。このクロックでWDTがオーバフローします。
- ・ WDTのオーバフローでLSI内部に設定した周波数のクロックが供給され始め、スタンバイモードから復帰します。

(3) 周波数変更時の注意

- ・ 周波数変更レジスタへの書き込みは、必ずキャッシュディスエーブル状態で行ってください。
- ・ 周波数変更プログラムは、必ずキャッシュメモリ上におき、データアレイの強制アクセス空間を利用して実行してください。周波数変更レジスタ設定のフローを図3.7に、サンプルプログラムを次頁に示します。
- ・ 周波数変更プログラム実行時は、使用したデータアレイのエントリに対し連想ページあるいは強制ページを実行してください。
- ・ 周波数変更レジスタに書き込む命令の直後にNOP命令を最低8命令分連続して置ってください。

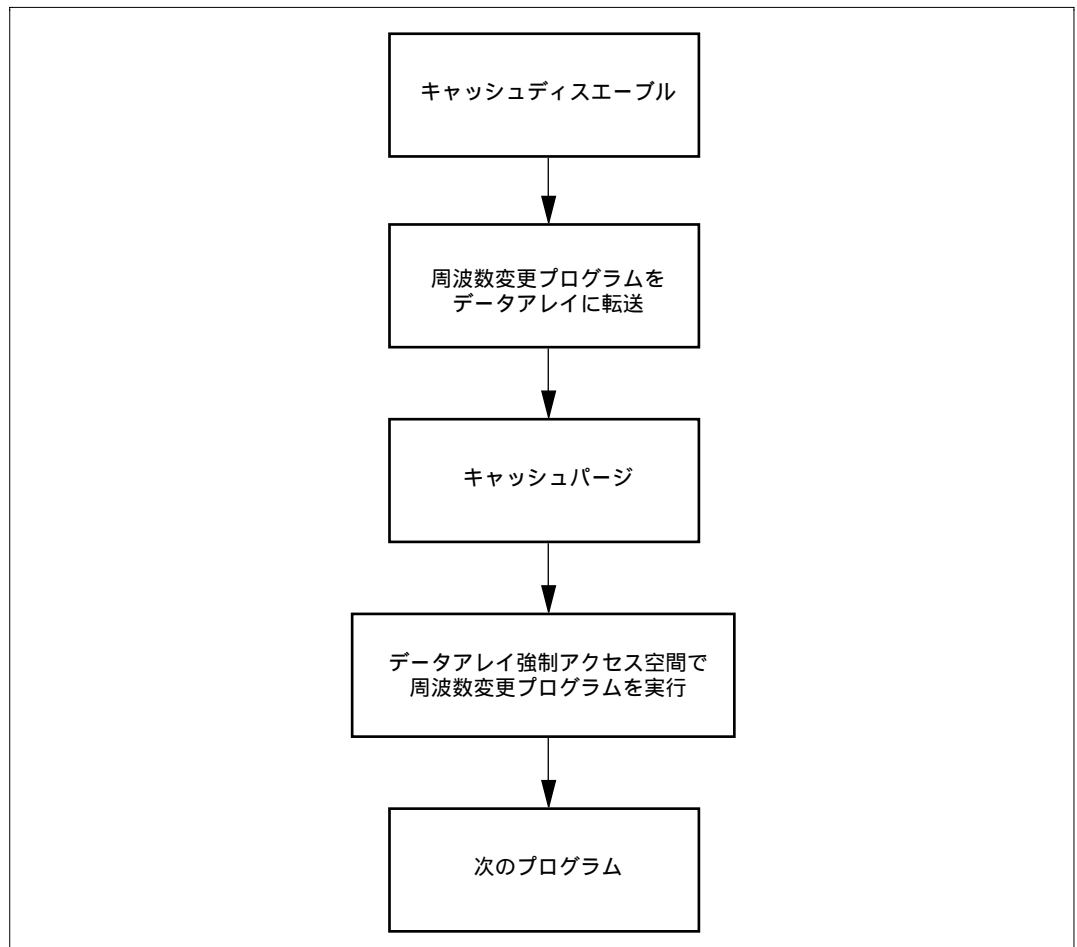


図 3.7 周波数変更フロー

周波数変更レジスタ設定プログラム (サンプル)

```

; DEFINE CONSTANT
CLR      .EQU      H'00000000
WAIT_TIME .EQU      H'00080000
PURGE    .EQU      H'40000000
;
MAP_ROM  .EQU      H'00000000
MAP_IO   .EQU      H'FFFFFF00
;
DIRECT_RW .EQU      H'C0000000
MDC_FLCR .EQU      H'FFFFFFE90
MDC_CCR  .EQU      H'FFFFFFE92
WTCSR    .EQU      H'FFFFFFE80
;
; プログラム;初期化
MOV.L    #CLOCK2_START, R0
MOV.L    #DIRECT_RW, R1
MOV.L    #CLOCK2_END, R11
; キャッシュ_CCR のセーブ、ディスエーブル、強制パージ
MOV.L    #MDC_CCR, R2
MOV.B    @R2, R6
MOV      #H'00, R3      ; ディスエーブル設定
MOV.B    R3, @R2
MOV.B    @R2, R3      ; ダミーリード
MOV      #H'10, R3     ; 強制パージ設定
MOV.B    R3, @R2
;
; 周波数変更プログラムをデータアレイに転送
;
PRG_TRNS
; メインメモリからリード
MOV.L    @R0, R2
MOV.L    @(4, R0), R3*1
MOV.L    @(8, R0), R4*1
MOV.L    @(12, R0), R5*1

```

```
;データアレイにライト
```

```
MOV.L      R2,@R1
MOV.L      R3,@(4,R1)*1
MOV.L      R4,@(8,R1)*1
MOV.L      R5,@(12,R1)*1
```

```
;ポインタインクリメント
```

```
ADD        #H'10,R0
ADD        #H'10,R1
```

```
;ループ判定
```

```
CMP/GT    R11,R0
BF         PRG_TRNS
```

```
;データアレイ強制アクセス空間への分岐
```

```
MOV.L      #DIRECT_RW,R0
JMP        @R0
NOP
.CONST*2
```

```
CLOCK2_START
```

```
MOV.L      #NEXT_PROG,R3 ;次のプログラムへの分岐先アドレス

MOV.L      #WTCSR,R0      ;WDT 設定
MOV.L      #H'0000A507,R1 ;PLL が安定するのに十分な時間を
                          ;設定する*3

MOV.W      R1,@R0

MOV.L      #MDC_FLCR,R2   ;周波数変更レジスタ設定
MOV        #H'01,R1      ;内部周波数を2倍にする
MOV.B      R1,@R2
```

```
;周波数変更時のウェイト
```

```
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP
NOP
```

```
        NOP
        NOP
        NOP
        NOP
        NOP
        NOP
; 次のプログラムへの分岐
        JMP            @R3
        NOP
        .CONST*2
CLOCK2_END

;
; 次のプログラム
NEXT_PROG

; キャッシュ_CCR のロード
        MOV.L        #MDC_CCR, R2
        MOV.B        R6, @R2
        .
        .
        .
```

【注】 *1 日立製クロスアセンブラでの記述です。日立製クロスアセンブラではオペランドサイズに応じたスケールリング (×1、×2、×4) を行った値を記述します。その他クロスアセンブラの記述は、表記ルールをご参照ください。

*2 リテラルプール出力制御文です。各アセンブラの表記ルールに従って記述してください。日立製クロスアセンブラは必要ありません。

*3 WTCSR の設定値を読み出した場合、H[[0000A51F が読み出されます。

3.2.6 動作モードと周波数範囲

動作モードとこれに伴う入力クロックの周波数範囲を表 3.7 に示します。

表 3.7 動作モードと周波数範囲

| モード | PLL 回路 | | クロック入力 | | 内部クロック | CKIO 出力 | 備考 |
|-----|--------|------|--------------------------------|-----------------------|-----------------------|-------------------------------------|--------------------|
| | PLL1 | PLL2 | 印加端子 | 入力周波数範囲 (MHz) | 周波数 (MHz) | 周波数 (MHz) | |
| 0 | 動作 | 動作 | EXTAL (水晶発振 子使用時も 含む) | 4 ~ 8 ^{*1} | 4 ~ max ^{*2} | 7 ^{*3} ~ max ^{*2} | 逡倍比設定可 (1、2、4倍) |
| 1 | 動作 | 動作 | | | | | |
| 2 | 停止 | 動作 | | | | 4 ~ max ^{*2} | |
| 3 | 停止 | 動作 | CKIO | 7 ~ max ^{*2} | 7 ~ max ^{*3} | - | 逡倍比設定不可 (1倍のみ) |
| 4 | 動作 | 停止 | | | | | |
| 5 | 動作 | 停止 | | | | | |
| 6 | 停止 | 停止 | | 4 ~ max ^{*2} | 4 ~ max ^{*2} | | |

【注】 *1 CKIO 端子から出力されるクロック周波数が、最大動作周波数以下になるように設定してください。例えば 8MHz を入力した場合、周波数逡倍比は 1 倍あるいは 2 倍に設定してください (4 倍にしますと CKIO 端子からは 32MHz のクロックが出力され、PLL 回路 1 の入力周波数範囲外となります)。

*2 max は最大動作周波数を表し、5V 動作時 : 28.7MHz、3.3V 動作時 : 20.0MHz となります。

*3 PLL 回路 1 動作時、CKIO 出力を 7MHz 以下で使用する際は、CKIO 出力を使用した AC 特性を保証致しません。

3.2.7 ボード設計上の注意事項

(1) 水晶発振子使用時の注意

水晶発振子と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

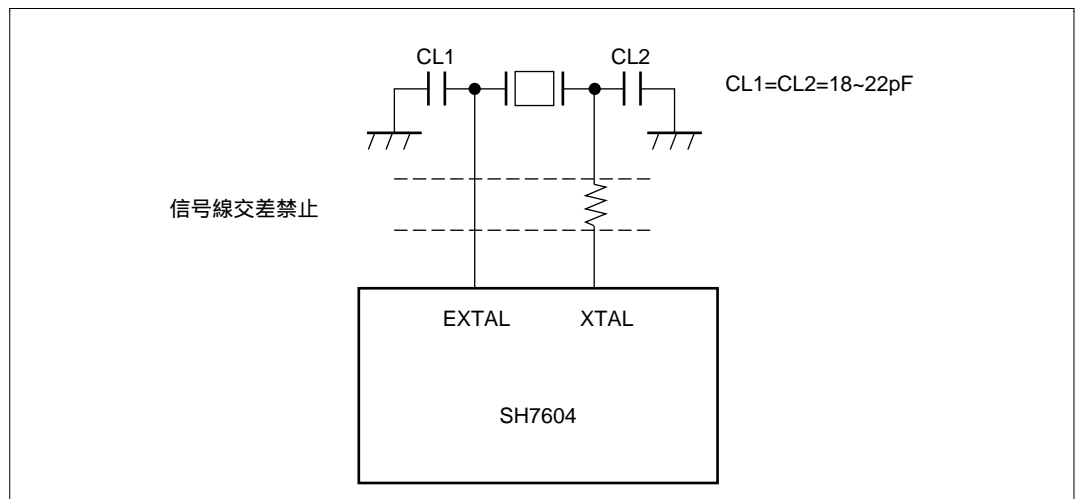


図 3.8 水晶発振子使用時の注意

(2) PLL 発振回路使用時の注意

発振安定用の容量 C1、C2 および抵抗 R1、R2 は、CAP1 および CAP2 端子の近くに配置し、各 CAP 端子からの配線ラインが極力短くなるように設計してください。また CAP 端子回路は、他信号からの影響を受けやすいため、ボード表層だけでなく内部層も含め、信号交差を避けてください。さらに、PLL-Vcc と PLL-Vss は、その他の Vcc、Vss とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

本製品のクロック回路では、CKIO 端子で発生する反射ノイズにより、クロック安定性に影響を受ける可能性があります。特に、PLL1 回路と PLL2 回路を同時に作動させる、クロックモード 0、1 では上記の影響を強く受けるので、CKIO に反射ノイズが発生しないボード設計をしてください。

また、PLL 回路を使用しないクロックモード 6 を使用するときは、PLL-Vcc を Vcc に、PLL-Vss を Vss に接続してください。

表 3.8 接続抵抗・容量参考値

| モード設定 | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
|----------|---|---|---|---|---|---|---|
| 抵抗・容量値 | | | | | | | |
| R1=3kΩ | | | | | | | |
| C1=470pF | | | | | | | |
| R2=3kΩ | | | | | | | |
| C2=470pF | | | | | | | |

：要 ：不要

PLL オフの時は、CAP1、CAP2 はオープンないし推奨例のような形でご使用ください。

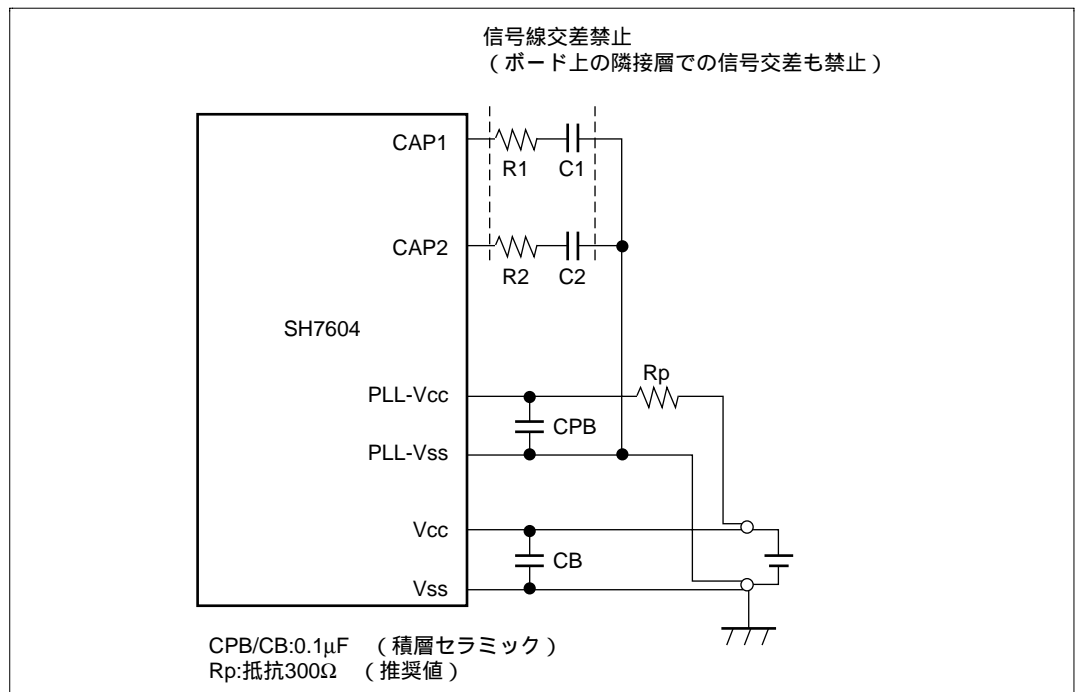


図 3.9 PLL 発振回路使用時の注意

3.3 CS0 エリアのバス幅

CS0 エリア（ブート ROM エリア）のバス幅指定は MD4、MD3 端子を使用します。各端子の組み合わせ、機能を表 3.9 に示します。

MD4、MD3 端子は動作途中で切り換えないでください。切り換えた場合の動作は保障できません。

表 3.9 CS0 エリアのバス幅指定

| 端子 | | 機能 |
|-----|-----|--------------|
| MD4 | MD3 | |
| 0 | 0 | 8 ビットバス幅を選択 |
| 0 | 1 | 16 ビットバス幅を選択 |
| 1 | 0 | 32 ビットバス幅を選択 |
| 1 | 1 | 設定禁止 |

3.4 マスタモード / スレーブモードの切り換え

バス権には、マスタモードとスレーブモードがあり、MD5 端子で選びます。マスタモードには、完全マスタモードと部分共有マスタモードがあり、MD5 端子とバスコントロールレジスタ 1 (BCR1) の部分共有空間指定ビット (PSHR) で選びます。MD5 端子でスレーブモードを選択すると完全スレーブモードになります。MD5 端子でマスタモードを選択し PSHR ビットで部分空間共有指定したとき、部分共有マスタモードになり、PSHR ビットで部分空間共有を指定しないとき、完全マスタモードになります。

完全マスタモードは、バス使用権を持ちます。外部デバイスを自由にアクセスすることができます。ほかの CPU がバス権を要求したとき、バスの使用許可を与えることができます。

完全スレーブモードは、バス使用権を持ちません。外部デバイスをアクセスするときは、マスタ CPU にバス使用権を要求し、バス使用の許可を受けて、外部デバイスをアクセスします。

部分共有マスタモードは、CS2 空間に対してだけバス使用権を持ちません。CS2 空間をアクセスするときは、マスタ CPU にバス使用権を要求し、バス使用の許可を受けて、CS2 空間をアクセスします。CS2 空間以外はバス使用権を持ち、CS2 空間以外をアクセスするときは、バス使用権を要求しません。MD5 は動作中に変化させないでください。

表 3.10 マスタモードとスレーブモード

| モード | MD5 完全スレーブ 指定端子 | PSHR 部分共有ビット | 機能 |
|----------------|-----------------------|-----------------|----------------------------------------------------------------------------------------------------------------|
| 完全スレーブ モード | 1 | (未使用) | バス使用権を通常持たない バスを使うときバス使用を要求し、使用許可を マスタ CPU からもらって、アクセスする |
| 部分共有マスタ モード | 0 | 1 | CS0、CS1、CS3 空間のバス使用権を持つ CS2 空間だけ通常バス使用権を持たない CS2 空間をアクセスするときは、バス使用を要 求し、使用許可をマスタ CPU からもらってアク セスする |
| 完全マスタ モード | 0 | 0 | バス使用権を通常持つ バス使用許可をスレーブ CPU に与える |

4. 例外処理

第4章 目次

| | | |
|-----|--------------------------------|----|
| 4.1 | 概要..... | 77 |
| | 4.1.1 例外処理の種類と優先順位..... | 77 |
| | 4.1.2 例外処理の動作..... | 78 |
| | 4.1.3 例外処理ベクタテーブル..... | 79 |
| 4.2 | リセット..... | 82 |
| | 4.2.1 リセットの種類..... | 82 |
| | 4.2.2 パワーオンリセット..... | 82 |
| | 4.2.3 マニュアルリセット..... | 83 |
| 4.3 | アドレスエラー..... | 84 |
| | 4.3.1 アドレスエラー発生要因..... | 84 |
| | 4.3.2 アドレスエラー例外処理..... | 85 |
| 4.4 | 割り込み..... | 86 |
| | 4.4.1 割り込み要因..... | 86 |
| | 4.4.2 割り込み優先順位..... | 86 |
| | 4.4.3 割り込み例外処理..... | 87 |
| 4.5 | 命令による例外..... | 88 |
| | 4.5.1 命令による例外の種類..... | 88 |
| | 4.5.2 トラップ命令..... | 88 |
| | 4.5.3 スロット不当命令..... | 88 |
| | 4.5.4 一般不当命令..... | 89 |
| 4.6 | 例外要因が受け付けられない場合..... | 90 |
| | 4.6.1 遅延分岐命令の直後..... | 90 |
| | 4.6.2 割り込み禁止命令の直後..... | 90 |
| 4.7 | 例外処理終了後のスタックの状態..... | 91 |
| 4.8 | 使用上の注意..... | 92 |
| | 4.8.1 スタックポインタ (SP) の値..... | 92 |
| | 4.8.2 ベクタベースレジスタ (VBR) の値..... | 92 |

4. 例外処理


| | | |
|-------|--------------------------------------|----|
| 4.8.3 | アドレスエラー例外処理のスタッキングで発生するアドレスエラー | 92 |
| 4.8.4 | マニュアルリセット時のレジスタアクセス | 92 |

4.1 概要

4.1.1 例外処理の種類と優先順位

例外処理は、表 4.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 4.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位にしたがって受け付けられ、処理されます。

表 4.1 例外要因の種類と優先順位

| 例外処理 | | 優先順位 | |
|---------------------------|-------------------------------------------------------|------------------------------------------------------------------------------------------------|------------------------------------|
| リセット | パワーオンリセット | 高  低 | |
| | マニュアルリセット | | |
| アドレスエラー | CPU アドレスエラー | | |
| | DMA アドレスエラー | | |
| 割り込み | NMI | | |
| | ユーザブ레이크 | | |
| | IRL (IRL1 ~ IRL15 (IRL3、IRL2、IRL1、IRL0 端子で設定)) | | |
| | 内蔵周辺モジュール | | 除算器 (DIVU) |
| | | | ダイレクトメモリアクセスコントローラ (DMAC) |
| | | | ウォッチドッグタイマ (WDT) |
| | | | コンペアマッチ割り込み (バスステートコントローラの一部) |
| | | | シリアルコミュニケーションインタフェース (SCI) |
| 16 ビットフリーランニングタイマ (FRT) | | | |
| 命令 | トラップ命令 (TRAPA 命令) | | |
| | 一般不当命令 (未定義コード) | | |
| | スロット不当命令 (遅延分岐命令*1 直後に配置された未定義コードまたは PC を書き換える命令*2) | | |

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAFL

4.1.2 例外処理の動作

各例外要因は表 4.2 に示すタイミングで検出され、処理が開始されます。

表 4.2 例外要因検出と例外処理開始タイミング

| 例外処理 | | 要因検出および処理開始タイミング |
|---------|-----------|--------------------------------------------------------------------|
| リセット | パワーオンリセット | NMI 端子がハイレベルのときの $\overline{\text{RES}}$ 端子のローレベルからハイレベルへの変化で開始される |
| | マニュアルリセット | NMI 端子がローレベルのときの $\overline{\text{RES}}$ 端子のローレベルからハイレベルへの変化で開始される |
| アドレスエラー | | 命令のデコード時に検出され、この前までに実行中の命令が完了後開始される |
| 割り込み | | 命令のデコード時に検出され、この前までに実行中の命令が完了後開始される |
| 命令 | トラップ命令 | TRAPA 命令の実行により開始される |
| | 一般不当命令 | 遅延分岐命令直後（遅延スロット）以外にある未定義コードがデコードされると開始される |
| | スロット不当命令 | 遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される |

例外処理が起動されると、CPU は次のように作動します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時は H'00000000 番地、H'00000004 番地、またマニュアルリセット時は H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては「4.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を 0 に、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を 1111 にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3~I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

4.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表4.3に、ベクタテーブルアドレスの算出法を表4.4に示します。

表4.3 例外処理ベクタテーブル(1)

| 例外要因 | | ベクタ番号 | ベクタテーブルアドレスオフセット | ベクタアドレス |
|----------------|---------|-------|-----------------------|---------------------------|
| パワーオンリセット | PC | 0 | H00000000 ~ H00000003 | ベクタ番号×4 |
| | SP | 1 | H00000004 ~ H00000007 | |
| マニュアルリセット | PC | 2 | H00000008 ~ H0000000B | |
| | SP | 3 | H0000000C ~ H0000000F | |
| 一般不当命令 | | 4 | H00000010 ~ H00000013 | VBR + (ベクタ番号 ×4) |
| (システム予約) | | 5 | H00000014 ~ H00000017 | |
| スロット不当命令 | | 6 | H00000018 ~ H0000001B | |
| (システム予約) | | 7 | H0000001C ~ H0000001F | |
| | | 8 | H00000020 ~ H00000023 | |
| CPU アドレスエラー | | 9 | H00000024 ~ H00000027 | |
| DMA アドレスエラー | | 10 | H00000028 ~ H0000002B | |
| 割り込み | NMI | 11 | H0000002C ~ H0000002F | |
| | ユーザブレイク | 12 | H00000030 ~ H00000033 | |
| (システム予約) | | 13 | H00000034 ~ H00000037 | |
| | | ： | ： | |
| トラップ命令(ユーザベクタ) | | 31 | H0000007C ~ H0000007F | |
| | | ： | ： | |
| | | 32 | H00000080 ~ H00000083 | |
| | | ： | ： | |
| | | 63 | H000000FC ~ H000000FF | |

(次頁へ続く)

表 4.3 例外処理ベクタテーブル (2)

| 例外要因 | ベクタ番号 | ベクタテーブルアドレスオフセット | ベクタアドレス |
|-----------------------------|---------------------|-----------------------|-----------------------|
| 割り込み | IRL1 ^{*1} | 64 ^{*2} | H00000100 ~ H00000103 |
| | IRL2 ^{*1} | 65 ^{*2} | H00000104 ~ H00000107 |
| | IRL3 ^{*1} | | |
| | IRL4 ^{*1} | 66 ^{*2} | H00000108 ~ H0000010B |
| | IRL5 ^{*1} | | |
| | IRL6 ^{*1} | 67 ^{*2} | H0000010C ~ H0000010F |
| | IRL7 ^{*1} | | |
| | IRL8 ^{*1} | 68 ^{*2} | H00000110 ~ H00000113 |
| | IRL9 ^{*1} | | |
| | IRL10 ^{*1} | 69 ^{*2} | H00000114 ~ H00000117 |
| | IRL11 ^{*1} | | |
| | IRL12 ^{*1} | 70 ^{*2} | H00000118 ~ H0000011B |
| | IRL13 ^{*1} | | |
| | IRL14 ^{*1} | 71 ^{*2} | H0000011C ~ H0000011F |
| | IRL15 ^{*1} | | |
| 内蔵周辺 モジュール ^{*3} | 0 ^{*4} | H00000000 ~ H00000003 | |
| | 255 ^{*4} | H000003FC ~ H000003FF | |

【注】 *1 IRL3、IRL2、IRL1、IRL0 端子に"1110"を入力したとき、IRL1 割り込みになります。"0000"のとき、IRL15 割り込みになります。

*2 この表のオートベクタ番号を使わずに、外部ベクタ番号フェッチも可能です。

*3 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「5. 割り込みコントローラ」の「表 5.4 割り込み例外処理ベクタと優先順位」を参照してください。

*4 ベクタ番号は内蔵ベクタ番号を設定するレジスタで設定します。詳細は、「5. 割り込みコントローラ」の「5.3 レジスタの説明」および「9. ダイレクトメモリアクセスコントローラ」、「10. 除算器」を参照してください。

表 4.4 例外処理ベクタテーブルアドレスの算出法

| 例外要因 | ベクタテーブルアドレス算出法 |
|------------------------|-------------------------------------------------------------------------------------------------------------|
| パワーオンリセット マニュアルリセット | $(\text{ベクタテーブルアドレス}) = (\text{ベクタテーブルアドレスオフセット})$ $= (\text{ベクタ番号}) \times 4$ |
| その他の例外処理 | $(\text{ベクタテーブルアドレス}) = \text{VBR} + (\text{ベクタテーブルアドレスオフセット})$ $= \text{VBR} + (\text{ベクタ番号}) \times 4$ |

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 4.3 を参照

ベクタ番号 : 表 4.3 を参照

4.2 リセット

4.2.1 リセットの種類

リセットは最も優先順位の高い例外要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 4.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスステートコントローラ (BSC)、ユーザブレイクコントローラ (UBC)、周波数変更レジスタを除いた内蔵周辺モジュールのレジスタが初期化されます(電源立ち上げ時には、パワーオンリセットを使用してください)。

表 4.5 リセットの種類

| 種類 | リセット状態への遷移条件 | | 内部状態 | |
|-----------|--------------|-------|------|--------------------------|
| | NMI | RES | CPU | 内蔵周辺モジュール |
| パワーオンリセット | ハイレベル | ローレベル | 初期化 | 初期化 |
| マニュアルリセット | ローレベル | ローレベル | 初期化 | BSC, UBC, 周波数変更レジスタ以外初期化 |

4.2.2 パワーオンリセット

NMI 端子がハイレベルのとき $\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、PLL 回路が停止している場合は、発振安定時間の間、PLL 回路が動作している場合は 20t_{cy} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが全て初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、NMI 端子をハイレベルに保持したまま $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれプログラムカウンタ (PC) と SP に設定し、プログラムの実行を開始します。

4.2.3 マニュアルリセット

NMI 端子がローレベルのとき、 $\overline{\text{RES}}$ 端子をローレベルにすると本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20 クロックサイクルの間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化されます。また、バスステートコントローラ (BSC)、ユーザブ레이크コントローラ (UBC)、周波数変更レジスタを除いた内蔵周辺モジュールの各レジスタが初期化されます。バスサイクルの途中でマニュアルリセット状態にすると、バスサイクルの終了を待ってからマニュアルリセット例外処理を開始します。したがって、マニュアルリセットによってバスサイクルが途中で止まることはありません。マニュアルリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

マニュアルリセット状態で、NMI 端子をローレベルに保持したまま $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU はパワーオンリセット例外処理と同じ手順で動作します。

4.3 アドレスエラー

4.3.1 アドレスエラー発生要因

アドレスエラーは、表 4.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 4.6 バスサイクルとアドレスエラー

| バスサイクル | | バスサイクルの内容 | アドレスエラー発生 |
|-----------------------|-----------------|-----------------------------------------------------------------------|-----------|
| 種類 | バスマスタ | | |
| 命令フェッチ | CPU | 偶数アドレスから命令フェッチ | なし（正常） |
| | | 奇数アドレスから命令フェッチ | アドレスエラー発生 |
| | | 内蔵周辺モジュール空間以外から命令をフェッチ | なし（正常） |
| | | 内蔵周辺モジュール空間から命令をフェッチ | アドレスエラー発生 |
| データ 読み出し / 書き込み | CPU または DMAC | ワードデータを偶数アドレスからアクセス | なし（正常） |
| | | ワードデータを奇数アドレスからアクセス | アドレスエラー発生 |
| | DMAC | ロングワードデータをロングワード境界からアクセス | なし（正常） |
| | | ロングワードデータをロングワード境界以外からアクセス | アドレスエラー発生 |
| | | キャッシュバージ空間、アドレスアレイリードライト空間、内蔵 I/O 空間から PC 相対アドレッシングでアクセス | アドレスエラー発生 |
| | | キャッシュバージ空間、アドレスアレイリードライト空間、データアレイリードライト空間、内蔵 I/O 空間に対して TAS.B 命令でアクセス | アドレスエラー発生 |
| | | アドレスが H'FFFFFF00 ~ H'FFFFFFF の内蔵周辺モジュール空間のバイトデータをアクセス | アドレスエラー発生 |
| | | アドレスが H'FFFFFF00 ~ H'FFFFFFF の内蔵周辺モジュール空間のワード、ロングワードをアクセス | なし（正常） |
| | | アドレスが H'FFFFFFE00 ~ H'FFFFFFE0F の内蔵周辺モジュール空間のロングワードをアクセス | アドレスエラー発生 |
| | | アドレスが H'FFFFFFE00 ~ H'FFFFFFE0F の内蔵周辺モジュール空間のワード、バイトデータをアクセス | なし（正常） |

【注】 1 シンクロナス DRAM のモードレジスタ書き込みサイクルはアドレスエラーは発生しません。

- 2 ダイレクトメモリアクセスコントローラ (DMAC) の 16 バイト転送は、ロングワードデータのアクセスで行っています。

4.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスから、プログラムを実行します。このときのジャンプは遅延分岐ではありません。

4.4 割り込み

4.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 4.7 に示すように NMI、ユーザブレイク、IRL、内蔵周辺モジュールがあります。

表 4.7 割り込み要因

| 種類 | 要求元 | 要因数 |
|-----------|------------------------|-----|
| NMI | NMI 端子 (外部からの入力) | 1 |
| ユーザブレイク | ユーザブレイクコントローラ | 1 |
| IRL | IRL1 ~ IRL15 (外部からの入力) | 15 |
| 内蔵周辺モジュール | ダイレクトメモリアクセスコントローラ | 2 |
| | 除算器 | 1 |
| | シリアルコミュニケーションインタフェース | 4 |
| | フリーランニングタイマ | 3 |
| | ウォッチドッグタイマ | 1 |
| | バスステートコントローラ | 1 |

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられます。ベクタ番号とベクタテーブルアドレスオフセットについては「5. 割り込みコントローラ」の「表 5.4 割り込み例外処理ベクタと優先順位」を参照してください。

4.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合 (多重割り込み)、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果にしたがって例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0 ~ 16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込みの優先レベルは 15 です。IRL 割り込みの優先レベルは 1 ~ 15 です。内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ A、B (IPRA、IPRB) に自由に設定することができます (表 4.8)。設定できる優先レベルは 0 ~ 15 で、優先レベル 16 は設定できません。IPRA、IPRB の詳細については「5.3.1 割り込み優先レベル設定レジスタ A (IPRA)」、「5.3.2 割り込み優先レベル設定レジスタ B (IPRB)」を参照してください。

表 4.8 割り込み優先順位

| 種類 | 優先レベル | 備考 |
|-----------|--------|------------------------------------------------------------|
| NMI | 16 | 優先レベル固定、マスク不可能 |
| ユーザブ레이크 | 15 | 優先レベル固定 |
| IRL | 1 ~ 15 | $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子で設定 |
| 内蔵周辺モジュール | 0 ~ 15 | 割り込み優先レベル設定レジスタ A、B (IPRA、IPRB) に設定 |

4.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ (PC) をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3 ~ I0 ビットに書き込みます。ただし、NMI の場合、優先レベルは 16 ですが、I3 ~ I0 ビットに設定される値は HF (レベル 15) です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして、実行を開始します。割り込み例外処理の詳細については、「5.4 動作説明」を参照してください。

4.5 命令による例外

4.5.1 命令による例外の種類

例外処理を起動する命令には、表 4.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 4.9 命令による例外の種類

| 種類 | 要因となる命令 | 備考 |
|----------|-------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------|
| トラップ命令 | TRAPA | |
| スロット不当命令 | 遅延分岐命令直後（遅延スロット）に配置された未定義コード または PC を書き換える命令 | 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA |
| 一般不当命令 | 遅延スロット以外にある未定義コード | |

4.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

4.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令がプログラムカウンタ (PC) を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) PC をスタックに退避します。退避する PC の値は、未定義コードまたは PC を書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

4.5.4 一般不当命令

遅延分岐命令の直後(遅延スロット)以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ (PC) の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

4.6 例外要因が受け付けられない場合

アドレスエラーと割り込みは、表 4.10 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 4.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

| 発生した時点 | 例外要因 | |
|---------------|---------|------|
| | アドレスエラー | 割り込み |
| 遅延分岐命令*1の直後 | × | × |
| 割り込み禁止命令*2の直後 | | × |

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

4.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

4.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

4.7 例外処理終了後のスタックの状態

例外処理終了後のスタックの状態は、表 4.11 に示すようになります。

表 4.11 例外処理終了後のスタックの状態

| 種類 | スタックの状態 |
|----------|------------------------------------------------|
| アドレスエラー | <p>SP → 実行済命令の次命令アドレス 32ビット SR 32ビット</p> |
| トラップ命令 | <p>SP → TAPRA命令の次命令アドレス 32ビット SR 32ビット</p> |
| 一般不当命令 | <p>SP → 不当命令の先頭アドレス 32ビット SR 32ビット</p> |
| 割り込み | <p>SP → 実行済命令の次命令アドレス 32ビット SR 32ビット</p> |
| スロット不当命令 | <p>SP → 遅延分岐命令飛び先アドレス 32ビット SR 32ビット</p> |

4.8 使用上の注意

4.8.1 スタックポインタ (SP) の値

スタックポインタ (SP) の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされると、アドレスエラーが発生します。

4.8.2 ベクタベースレジスタ (VBR) の値

ベクタベースレジスタ (VBR) の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でベクタテーブルがアクセスされると、アドレスエラーが発生します。

4.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでも、アドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ -4 されますので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

4.8.4 マニュアルリセット時のレジスタアクセス

バスステートコントローラ (BSC)、ユーザブ레이크コントローラ (UBC) のレジスタをアクセス中にマニュアルリセットを入れないでください。誤った書き込みがされることがあります。

5. 割り込みコントローラ (INTC)

第5章 目次

| | | |
|-------|----------------------------------------------------------------------|-----|
| 5.1 | 概要 | 95 |
| 5.1.1 | 特長 | 95 |
| 5.1.2 | ブロック図 | 96 |
| 5.1.3 | 端子構成 | 97 |
| 5.1.4 | レジスタ構成 | 97 |
| 5.2 | 割り込み要因 | 98 |
| 5.2.1 | NMI 割り込み | 98 |
| 5.2.2 | ユーザブレイク割り込み | 98 |
| 5.2.3 | IRL 割り込み | 98 |
| 5.2.4 | 内蔵周辺モジュール割り込み | 102 |
| 5.2.5 | 割り込み例外処理ベクタと優先順位 | 102 |
| 5.3 | レジスタの説明 | 105 |
| 5.3.1 | 割り込み優先レベル設定レジスタ A (IPRA) | 105 |
| 5.3.2 | 割り込み優先レベル設定レジスタ B (IPRB) | 106 |
| 5.3.3 | ベクタ番号設定レジスタ WDT (VCRWDT) | 107 |
| 5.3.4 | ベクタ番号設定レジスタ A (VCRA) | 108 |
| 5.3.5 | ベクタ番号設定レジスタ B (VCRB) | 108 |
| 5.3.6 | ベクタ番号設定レジスタ C (VCRC) | 109 |
| 5.3.7 | ベクタ番号設定レジスタ D (VCRD) | 110 |
| 5.3.8 | 割り込みコントロールレジスタ (ICR) | 111 |
| 5.4 | 動作説明 | 113 |
| 5.4.1 | 割り込み動作の流れ | 113 |
| 5.4.2 | 割り込み例外処理終了後のスタックの状態 | 115 |
| 5.5 | 割り込み応答時間 | 116 |
| 5.6 | $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子のサンプリング | 118 |

5. 割り込みコントローラ (INTC)

5.7 使用上の注意..... 119

5.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これにより、ユーザが設定した優先順位にしたがって、割り込み要求を処理させることができます。

5.1.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を 16 レベル設定可能
2本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール割り込みの優先順位を要求元別に 16 レベルまで設定することができます。
- 内蔵周辺モジュール割り込みベクタ番号を設定可能
5本のベクタ番号設定レジスタにより、内蔵周辺モジュール割り込みのベクタ番号を割り込み要因別に 0~127 の値で設定することができます。
- IRL 割り込みのベクタ番号設定の方法を選択可能
内部で決めてあるベクタ番号を使うオートベクタモードと、外部端子からベクタ番号を設定する外部ベクタモードがあり、レジスタを設定することで選択できます。

5.1.2 ブロック図

INTCのブロック図を図5.1に示します。

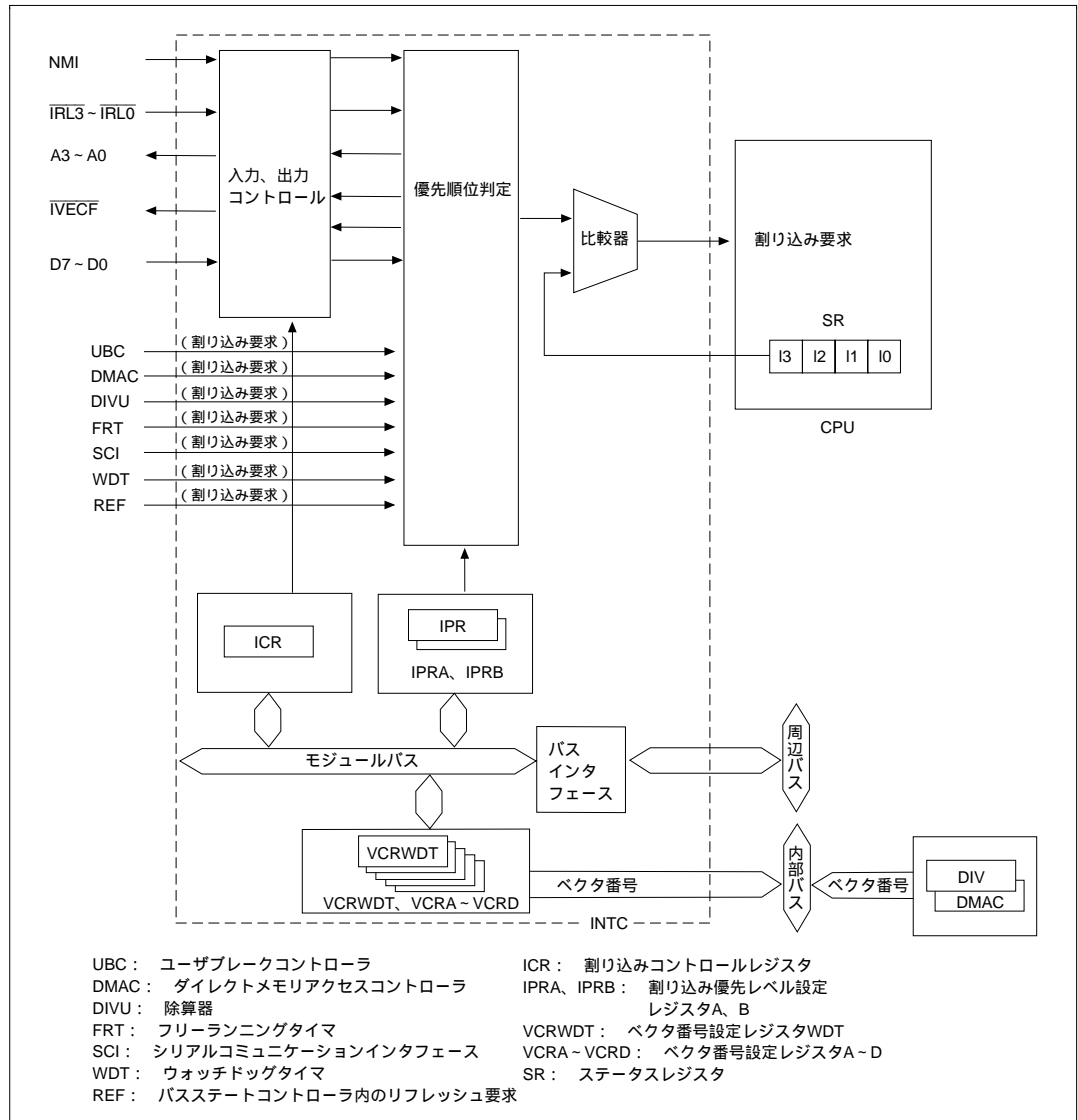


図 5.1 INTCのブロック図

5.1.3 端子構成

INTC の端子を表 5.1 に示します。

表 5.1 端子構成

| 名称 | 略称 | 入出力 | 機能 |
|-----------------|----------------------------------------|-----|-------------------------------------------|
| ノンマスクブル割り込み入力端子 | NMI | 入力 | マスク不可能な割り込み要求信号を入力 |
| レベル要求割り込み入力端子 | $\overline{IRL3} \sim \overline{IRL0}$ | 入力 | マスク可能な割り込み要求信号を入力 |
| 受け付け割り込みレベル出力端子 | A3 ~ A0 | 出力 | 外部ベクタモード時、IRL 割り込みを受け付けたとき、その割り込みレベル信号を出力 |
| 外部ベクタフェッチ端子 | \overline{IVECF} | 出力 | 外部ベクタのリードサイクルであることを表示 |
| 外部ベクタ番号入力端子 | D7 ~ D0 | 入力 | 外部ベクタ番号を入力 |

5.1.4 レジスタ構成

INTC には、表 5.2 に示すように 8 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 5.2 レジスタ構成

| 名称 | 略称 | R/W | 初期値 | アドレス | アクセスサイズ |
|-------------------|---------|-----|--------------------|------------|---------|
| 割り込み優先レベル設定レジスタ A | IPRA | R/W | H'0000 | H'FFFFFFE2 | 8、16 |
| 割り込み優先レベル設定レジスタ B | IPRB | R/W | H'0000 | H'FFFFFFE6 | 8、16 |
| ベクタ番号設定レジスタ A | VCRA | R/W | H'0000 | H'FFFFFFE2 | 8、16 |
| ベクタ番号設定レジスタ B | VCRB | R/W | H'0000 | H'FFFFFFE6 | 8、16 |
| ベクタ番号設定レジスタ C | VCRC | R/W | H'0000 | H'FFFFFFE6 | 8、16 |
| ベクタ番号設定レジスタ D | VCRD | R/W | H'0000 | H'FFFFFFE8 | 8、16 |
| ベクタ番号設定レジスタ WDT | VCRWDT | R/W | H'0000 | H'FFFFFFE4 | 8、16 |
| ベクタ番号設定レジスタ DIV | VCRDIV | R/W | 不定 | H'FFFFFF0C | 32 |
| ベクタ番号設定レジスタ DMAC0 | VCRDMA0 | R/W | 不定 | H'FFFFFFA0 | 32 |
| ベクタ番号設定レジスタ DMAC1 | VCRDMA1 | R/W | 不定 | H'FFFFFFA8 | 32 |
| 割り込みコントロールレジスタ | ICR | R/W | H'8000/ H'0000* | H'FFFFFFE0 | 8、16 |

【注】 * NMI 端子がハイレベルのとき H'8000、NMI 端子がローレベルのとき H'0000

VCRDIV、VCRDMA0、VCRDMA1 については、「9 章 ディレクトメモリアクセスコントローラ」、「10 章 除算器」を参照してください。

5.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、IRL、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低で、レベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

5.2.1 NMI 割り込み

NMI割り込みは、レベル16の最優先の割り込みで、常に受け付けられます。NMI端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)はレベル15に設定されます。

5.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ(UBC)で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)はレベル15に設定されます。

ユーザブレイクの詳細は、「6. ユーザブレイクコントローラ」を参照してください。

5.2.3 IRL 割り込み

IRL割り込みは、 $\overline{IRL3} \sim \overline{IRL0}$ 端子からの入力による割り込みです。 $\overline{IRL3} \sim \overline{IRL0}$ 端子からIRL15~IRL1の15個の割り込みを外部から入力することができます。IRL15~IRL1の各割り込みの優先レベル値は、それぞれ15~1で、ベクタ番号は71~64になります。ベクタ番号は、割り込みコントロールレジスタ(ICR)のIRL割り込みベクタモードセレクト(VECMD)の設定によって、外部から入力することもできます。ベクタ番号の外部入力は、外部ベクタ入力端子(D7~D0)から0~127のベクタ番号を入力します。外部ベクタを使用したとき、D7には0を入力します。内部のベクタをオートベクタと呼び、外部からのベクタを外部ベクタと呼びます。

外部ベクタモード時、IRL割り込みを受け付けると、受け付け割り込みレベル出力端子(A3~A0)からIRL割り込みレベルを出力します。また、外部ベクタフェッチ端子(\overline{IVECF})をアサートします。このときD7~D0から外部ベクタ番号をリードします。

IRL割り込み例外処理では、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は、受け付けたIRL割り込みの優先レベル値に設定されます。

表 5.3 IRL 割り込みの優先レベルとオートベクタ番号

| 端子 | | | | 優先レベル | ベクタ番号 |
|------|------|------|------|-------|-------|
| IRL3 | IRL2 | IRL1 | IRL0 | | |
| 0 | 0 | 0 | 0 | 15 | 71 |
| 0 | 0 | 0 | 1 | 14 | |
| 0 | 0 | 1 | 0 | 13 | 70 |
| 0 | 0 | 1 | 1 | 12 | |
| 0 | 1 | 0 | 0 | 11 | 69 |
| 0 | 1 | 0 | 1 | 10 | |
| 0 | 1 | 1 | 0 | 9 | 68 |
| 0 | 1 | 1 | 1 | 8 | |
| 1 | 0 | 0 | 0 | 7 | 67 |
| 1 | 0 | 0 | 1 | 6 | |
| 1 | 0 | 1 | 0 | 5 | 66 |
| 1 | 0 | 1 | 1 | 4 | |
| 1 | 1 | 0 | 0 | 3 | 65 |
| 1 | 1 | 0 | 1 | 2 | |
| 1 | 1 | 1 | 0 | 1 | 64 |

外部ベクタモード割り込みの接続例を図 5.2 に、オートベクタモード割り込みの接続例を図 5.3 に示します。

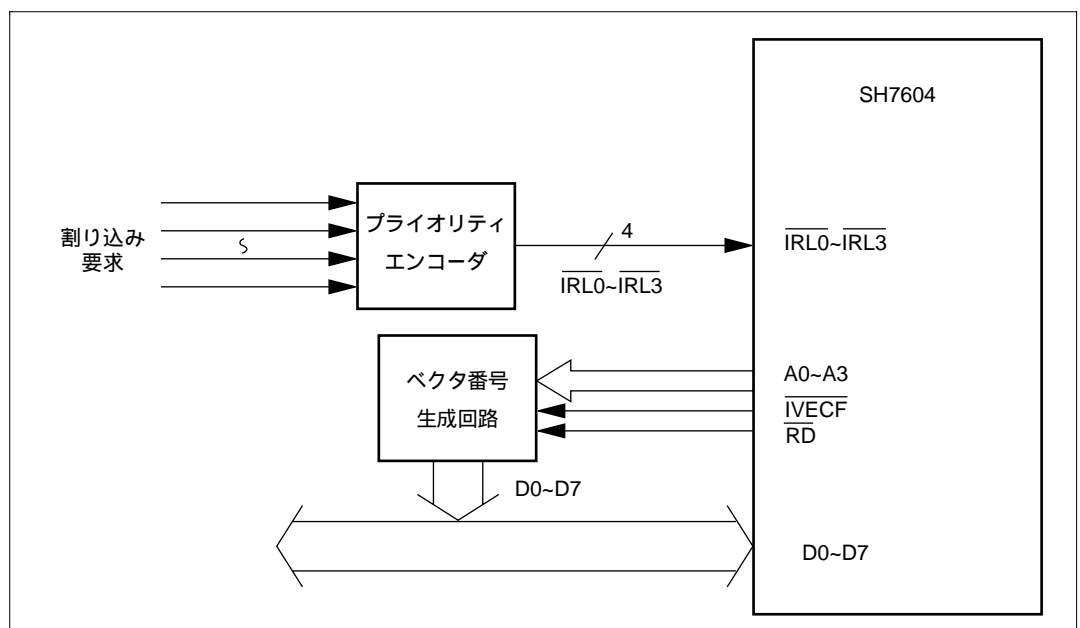


図 5.2 外部ベクタモード割り込みの接続例

5. 割り込みコントローラ (INTC)

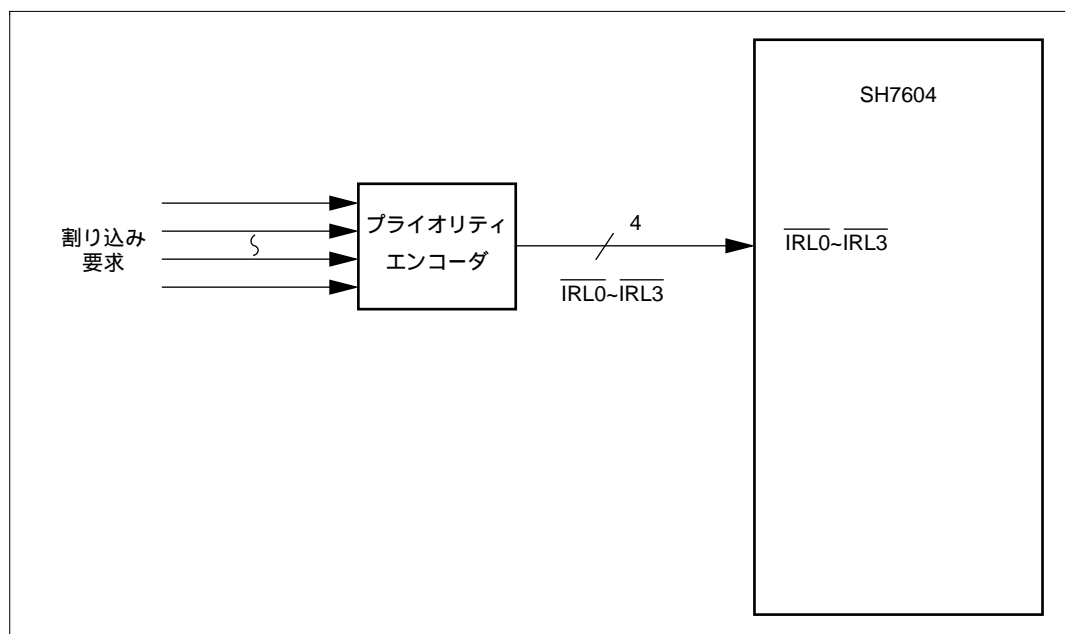


図 5.3 オートベクタモード割り込みの接続例

図 5.4 に、外部ベクタモードの割り込みベクタフェッチサイクルを示します。

このサイクルでは $\overline{CS0} \sim \overline{CS3}$ は 'H' 状態のままです。また A26 ~ A4 は不定値が出力されます。 \overline{WAIT} 端子はサンプリングされますが、プログラマブルウェイトは無効です。

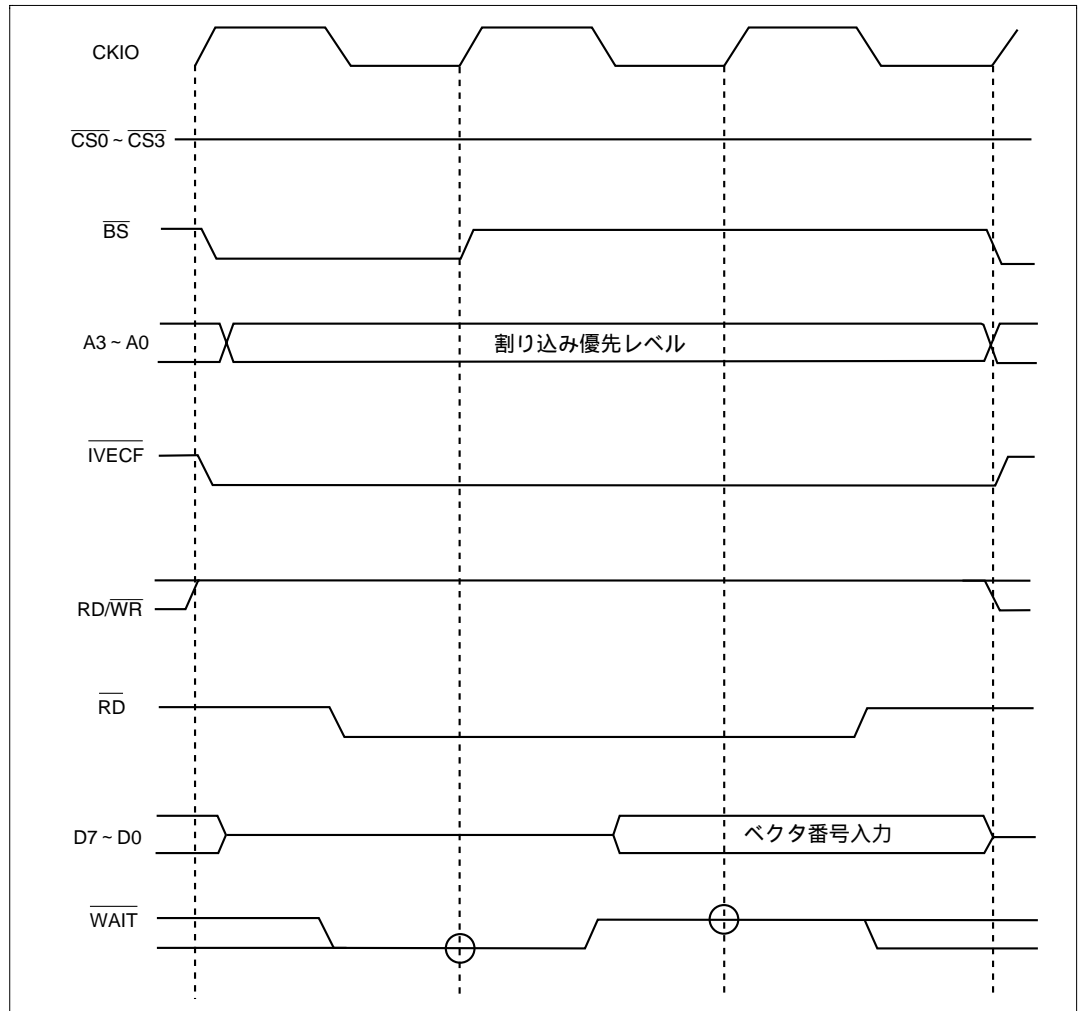


図 5.4 外部ベクタモードの割り込みベクタフェッチサイクル

5.2.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す6つの内蔵周辺モジュールで発生する割り込みです。

- ・ 除算器 (DIVU)
- ・ ダイレクトメモリアクセスコントローラ (DMAC)
- ・ シリアルコミュニケーションインタフェース (SCI)
- ・ バスステートコントローラ (BSC)
- ・ ウォッチドッグタイマ (WDT)
- ・ フリーランニングタイマ (FRT)

要因ごとに異なる割り込みベクタが割り当てられるため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ A、B (IPRA、IPRB) によって、モジュールごとに優先レベル0~15の範囲で設定できます。

内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

5.2.5 割り込み例外処理ベクタと優先順位

表 5.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「4. 例外処理」の「表 4.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRL 割り込みの優先順位は、IRL15~IRL1 がそれぞれ優先レベル 15~1 になります。内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A、B (IPRA、IPRB) によって、モジュールごとに、優先レベル0~15の範囲で任意に設定できます。ただし、IPRA、IPRB に対応する割り込み要因の優先順位は、表 5.4 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。内蔵周辺モジュール割り込みの優先順位は、リセットによって、優先レベル0に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 5.4 に示す「デフォルト優先順位」にしたがって処理されます。

表 5.4 割り込み例外処理ベクタと優先順位

| 割り込み要因 | ベクタ | | 割り込み優先順位 (初期値) | 対応する IPR (ビット番号) | IPR 設定 単位内の優先順位 | デフォルト 優先順位 |
|-------------------|------------------|---------------------------|-------------------|---------------------|--------------------|-------------------------------------------------------------------------------------|
| | ベクタ番号 | ベクタテーブルアドレス | | | | |
| NMI | 11 | VBR + (ベクタ番号 ×4) | 16 | | | 高 ↑ |
| ユーザブレーク | 12 | | 15 | | | |
| IRL15 | 71* ¹ | | 15 | | | |
| IRL14 | | | 14 | | | |
| IRL13 | 70* ¹ | | 13 | | | |
| IRL12 | | | 12 | | | |
| IRL11 | 69* ¹ | | 11 | | | |
| IRL10 | | | 10 | | | |
| IRL9 | 68* ¹ | | 9 | | | |
| IRL8 | | | 8 | | | |
| IRL7 | 67* ¹ | | 7 | | | |
| IRL6 | | | 6 | | | |
| IRL5 | 66* ¹ | | 5 | | | |
| IRL4 | | | 4 | | | |
| IRL3 | 65* ¹ | | 3 | | | |
| IRL2 | | | 2 | | | |
| IRL1 | 64* ¹ | | 1 | | | |
| DIVU | OVFI | 0 ~ 127* ² | 15 ~ 0 (0) | IPRA (15 ~ 12) | 高 ↑ ↓ 低 | ↑ ↓ 低 |
| DMAC0 | 転送終了 | 0 ~ 127* ² | 15 ~ 0 (0) | IPRA (11 ~ 8) | 高 ↑ ↓ 低 | |
| DMAC1 | 転送終了 | 0 ~ 127* ² | 15 ~ 0 (0) | IPRA (7 ~ 4) | 高 ↑ ↓ 低 | |
| WDT | ITI | 0 ~ 127* ² | 15 ~ 0 (0) | IPRA (7 ~ 4) | 高 ↑ ↓ 低 | |
| REF* ³ | CMI | 0 ~ 127* ² | 15 ~ 0 (0) | IPRA (7 ~ 4) | 高 ↑ ↓ 低 | |
| SCI | ERI | 0 ~ 127* ² | 15 ~ 0 (0) | IPRB (15 ~ 12) | 高 ↑ ↓ 低 | |
| | RXI | 0 ~ 127* ² | | | | |
| | TXI | 0 ~ 127* ² | | | | |
| | TEI | 0 ~ 127* ² | | | | |
| FRT | ICI | 0 ~ 127* ² | 15 ~ 0 (0) | IPRB (11 ~ 8) | 高 ↑ ↓ 低 | |
| | OCI | 0 ~ 127* ² | | | | |
| | OVI | 0 ~ 127* ² | | | | |
| 予約 | | 128 ~ 255 | | | | |

【注】 *1 この表のオートベクタ番号を使わずに、外部ベクタ番号フェッチも可能です。

5. 割り込みコントローラ (INTC)

外部ベクタ番号は0～127になります。

*2 ベクタ番号は内蔵ベクタ番号レジスタで設定します。

*3 REF はバスステートコントローラ内のリフレッシュ制御部です。

5.3 レジスタの説明

5.3.1 割り込み優先レベル設定レジスタ A (IPRA)

割り込み優先レベル設定レジスタ A (IPRA) は、読み出し / 書き込み可能な 16 ビットのレジスタで、内蔵周辺モジュール割り込みの優先順位 (レベル 0 ~ 15) を設定します。

IPRA は、リセットで H'0000 に初期化されます。スタンバイモード時には初期化されません。

(リセットはパワーオン、マニュアルリセット両方を意味します。以下も同様です。)

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|------------|------------|------------|------------|---|---|---|---|
| | DIVU IP3 | DIVU IP2 | DIVU IP1 | DIVU IP0 | DMAC IP3 | DMAC IP2 | DMAC IP1 | DMAC IP0 | WDT IP3 | WDT IP2 | WDT IP1 | WDT IP0 | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R |

ビット 15 ~ 12 : 除算器 (DIVU) 割り込み優先レベル 3 ~ 0 (DIVUIP3 ~ DIVUIP0)

除算器 (DIVU) 割り込み優先レベルを設定します。4 ビットですので 0 から 15 までの値を設定することができます。

ビット 11 ~ 8 : DMA コントローラ割り込み優先レベル 3 ~ 0 (DMACIP3 ~ DMACIP0)

DMA コントローラ (DMAC) 割り込み優先レベルを設定します。4 ビットですので 0 から 15 までの値を設定することができます。DMAC は、2 チャンネルありますが、同じレベルを設定します。同時に割り込みが発生したときは、チャンネル 0 が優先されます。

ビット 7 ~ 4 : ウォッチドッグタイマ (WDT) 割り込み優先レベル 3 ~ 0 (WDTIP3 ~ WDTIP0)

ウォッチドッグタイマ (WDT) 割り込み優先レベルとバスステートコントローラ (BSC) 割り込み優先レベルを設定します。4 ビットですので 0 から 15 までの値を設定することができます。同時に WDT 割り込みと BSC 割り込みが発生したときは、WDT 割り込みが優先されます。

ビット 3 ~ 0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

5.3.2 割り込み優先レベル設定レジスタ B (IPRB)

割り込み優先レベル設定レジスタ B (IPRB) は、読み出し / 書き込み可能な 16 ビットのレジスタで、内蔵周辺モジュール割り込みの優先順位 (レベル 0 ~ 15) を設定します。

IPRB は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|---|---|---|---|---|---|---|---|
| | SCI | SCI | SCI | SCI | FRT | FRT | FRT | FRT | - | - | - | - | - | - | - | - |
| | IP3 | IP2 | IP1 | IP0 | IP3 | IP2 | IP1 | IP0 | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

ビット 15 ~ 12 : シリアルコミュニケーションインタフェース (SCI) 割り込み優先レベル 3 ~ 0 (SCIIP3 ~ SCIIP0)

シリアルコミュニケーションインタフェース (SCI) 割り込み優先レベルを設定します。4 ビットですので 0 から 15 までの値を設定することができます。

ビット 11 ~ 8 : フリーランニングタイマ (FRT) 割り込み優先レベル 3 ~ 0 (FRTIP3 ~ FRTIP0)

フリーランニングタイマ (FRT) 割り込み優先レベルを設定します。4 ビットですので 0 から 15 までの値を設定することができます。

ビット 7 ~ 0 : 予約ビット

0 を書き込んでください。読み出すと 0 が読み出されます。

内蔵周辺モジュール割り込みと割り込み優先レベル設定レジスタの関係を表 5.5 に示します。

表 5.5 割り込み要求元と IPRA ~ IPRB

| レジスタ | ビット | | | |
|-------------------|---------|--------------|-------|-------|
| | 15 ~ 12 | 11 ~ 8 | 7 ~ 4 | 3 ~ 0 |
| 割り込み優先レベル設定レジスタ A | DIVU | DMAC0, DMAC1 | WDT | 予約 |
| 割り込み優先レベル設定レジスタ B | SCI | FRT | 予約 | 予約 |

表 5.5 に示すように、1 本のレジスタに 2 つまたは 3 つの内蔵周辺モジュールが割り当てられています。ビット 15 ~ 12、ビット 11 ~ 8、ビット 7 ~ 4 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低)

に、HF をセットすると優先レベル 15 (最高) になります。2 つの内蔵周辺モジュールが同じビットに割り当てられている場合 (DMAC0 と DMAC1、WDT と DRAM リフレッシュ制御部)、その 2 つのモジュールは同じ優先順位に設定されます。

IPRA ~ IPRB は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

5.3.3 ベクタ番号設定レジスタ WDT (VCRWDT)

ベクタ番号設定レジスタ WDT (VCRWDT) は、読み出し / 書き込み可能な 16 ビットのレジスタで、WDT のインターバル割り込みと BSC のコンペアマッチ割り込みベクタ番号 (0 ~ 127) を設定します。

VCRWDT は、パワーオン、マニュアルリセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | - | WIT V6 | WIT V5 | WIT V4 | WIT V3 | WIT V2 | WIT V1 | WIT V0 | - | BCM V6 | BCM V5 | BCM V4 | BCM V3 | BCM V2 | BCM V1 | BCM V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ビット 15、7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14~8 : ウォッチドッグタイマ (WDT) インターバル割り込みベクタ番号 6~0 (WITV6 ~ WITV0)

ウォッチドッグタイマ (WDT) インターバル割り込み (ITI) のベクタ番号を設定します。7 ビットですので 0 から 127 までの値を設定することができます。

ビット 6~0 : バスステートコントローラ (BSC) コンペアマッチ割り込みベクタ番号 6~0 (BCM V6 ~ BCM V0)

バスステートコントローラ (BSC) コンペアマッチ割り込み (CMI) のベクタ番号を設定します。7 ビットですので 0 から 127 までの値を設定することができます。

5.3.4 ベクタ番号設定レジスタ A (VCRA)

ベクタ番号設定レジスタ A (VCRA) は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCI の受信エラー割り込みと受信データフル割り込みのベクタ番号 (0 ~ 127) を設定します。

VCRA は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | - | SER V6 | SER V5 | SER V4 | SER V3 | SER V2 | SER V1 | SER V0 | - | SRX V6 | SRX V5 | SRX V4 | SRX V3 | SRX V2 | SRX V1 | SRX V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ビット 15、7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 ~ 8 : シリアルコミュニケーションインタフェース (SCI) 受信エラー割り込み
ベクタ番号 6 ~ 0 (SERV6 ~ SERV0)

シリアルコミュニケーションインタフェース (SCI) 受信エラー割り込み (ERI) のベクタ番号を設定します。7 ビットですので 0 から 127 までの値を設定することができます。

ビット 6 ~ 0 : シリアルコミュニケーションインタフェース (SCI) 受信データフル割り込み
ベクタ番号 6 ~ 0 (SRXV6 ~ SRXV0)

シリアルコミュニケーションインタフェース (SCI) 受信データフル割り込み (RXI) のベクタ番号を設定します。7 ビットですので 0 から 127 までの値を設定することができます。

5.3.5 ベクタ番号設定レジスタ B (VCRB)

ベクタ番号設定レジスタ B (VCRB) は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCI の送信データエンプティ割り込みと送信終了割り込みのベクタ番号 (0 ~ 127) を設定します。

VCRB は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | - | STX V6 | STX V5 | STX V4 | STX V3 | STX V2 | STX V1 | STX V0 | - | STE V6 | STE V5 | STE V4 | STE V3 | STE V2 | STE V1 | STE V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ビット 15、7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14～8：シリアルコミュニケーションインタフェース (SCI) 送信データエンプティ割り込みベクタ番号 6～0 (STXV6～STXV0)

シリアルコミュニケーションインタフェース (SCI) 送信データエンプティ割り込み (TXI) のベクタ番号を設定します。7ビットですので0から127までの値を設定することができます。

ビット 6～0：シリアルコミュニケーションインタフェース (SCI) 送信終了割り込みベクタ番号 6～0 (STEV6～STEV0)

シリアルコミュニケーションインタフェース (SCI) 送信終了割り込み (TEI) のベクタ番号を設定します。7ビットですので0から127までの値を設定することができます。

5.3.6 ベクタ番号設定レジスタ C (VCRC)

ベクタ番号設定レジスタ C (VCRC) は、読み出し / 書き込み可能な 16 ビットのレジスタで、FRT のインプットキャプチャ割り込みとアウトプットコンペア割り込みのベクタ番号 (0～127) を設定します。

VCRC は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|--------|--------|--------|--------|--------|--------|--------|---|--------|--------|--------|--------|--------|--------|--------|
| | - | FIC V6 | FIC V5 | FIC V4 | FIC V3 | FIC V2 | FIC V1 | FIC V0 | - | FOC V6 | FOC V5 | FOC V4 | FOC V3 | FOC V2 | FOC V1 | FOC V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ビット 15、7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14～8：フリーランニングタイマ (FRT) インプットキャプチャ割り込みベクタ番号 6～0 (FICV6～FICV0)

フリーランニングタイマ (FRT) インプットキャプチャ割り込み (ICI) のベクタ番号を設定します。7ビットですので0から127までの値を設定することができます。

ビット 6～0：フリーランニングタイマ (FRT) アウトプットコンペア割り込みベクタ番号 6～0 (FOCV6～FOCV0)

フリーランニングタイマ (FRT) アウトプットコンペア割り込み (OCI) のベクタ番号を設定します。7ビットですので0から127までの値を設定することができます。

5.3.7 ベクタ番号設定レジスタ D (VCRD)

ベクタ番号設定レジスタ D (VCRD) は、読み出し / 書き込み可能な 16 ビットのレジスタで、FRT のオーバーフロー割り込みのベクタ番号 (0 ~ 127) を設定します。

VCRD は、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|---|---|---|---|---|---|---|
| | - | FOV V6 | FOV V5 | FOV V4 | FOV V3 | FOV V2 | FOV V1 | FOV V0 | - | - | - | - | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

ビット 15、7 ~ 0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 ~ 8 : フリーランニングタイマ (FRT) オーバフロー割り込みベクタ番号 6 ~ 0 (FOVV6 ~ FOVV0)

フリーランニングタイマ (FRT) オーバフロー割り込み (OVI) のベクタ番号を設定します。7 ビットですので 0 から 127 までの値を設定することができます。

内蔵周辺モジュール割り込みと割り込みベクタ番号設定レジスタの関係を表 5.6、表 5.7 に示します。

表 5.6 割り込み要求元とベクタ番号設定レジスタ (1)

| レジスタ | ビット | |
|-----------------|----------------------|-------------------------|
| | 14 ~ 8 | 6 ~ 0 |
| ベクタ番号設定レジスタ WDT | インターバル割り込み (WDT) | コンペアマッチ割り込み (BSC) |
| ベクタ番号設定レジスタ A | 受信エラー割り込み (SCI) | 受信データフル割り込み (SCI) |
| ベクタ番号設定レジスタ B | 送信データエンプティ割り込み (SCI) | 送信終了割り込み (SCI) |
| ベクタ番号設定レジスタ C | インプットキャプチャ割り込み (FRT) | アウトプットコンペアマッチ割り込み (FRT) |
| ベクタ番号設定レジスタ D | オーバーフロー割り込み (FRT) | 予約 |

表 5.6 に示すように、1 本のレジスタに 2 つの内蔵周辺モジュールの割り込みが割り当てられています。ビット 14 ~ 8、ビット 6 ~ 0 の各 7 ビットに H'00 (0000000) から H'7F (1111111) の範囲の値をセットすることによって、それぞれに対応する割り込みのベクタ番号が設定されます。ベクタ番号は、H'00 をセットするとベクタ番号 0 (最小) に、H'7F をセットするとベクタ番号 127 (最大) になります。

ベクタテーブルアドレスは次の式で求められます。

$$\text{ベクタテーブルアドレス} = \text{VBR} + (\text{ベクタ番号} \times 4)$$

ベクタ番号設定レジスタは、リセットで H'0000 に初期化されます。スタンバイモード時には、初期化されません。

表 5.7 割り込み要求元とベクタ番号設定レジスタ (2)

| レジスタ | |
|-----------------------------|-------------------------|
| ベクタ番号設定レジスタ DIV (VCRDIV) | オーバフロー割り込み (除算器) |
| ベクタ番号設定レジスタ DMAC0 (VCRDMA0) | チャンネル 0 転送終了割り込み (DMAC) |
| ベクタ番号設定レジスタ DMAC1 (VCRDMA1) | チャンネル 1 転送終了割り込み (DMAC) |

表 5.7 に示すように、除算器のオーバフロー割り込みのベクタ番号は VCRDIV に設定します。ダイレクトメモリアクセスコントローラの転送終了割り込みのベクタ番号は VCRDMA0、VCRDMA1 に設定します。詳しくは、それぞれ、「9 章 ダイレクトメモリアクセスコントローラ」、「10 章 除算器」を参照してください。

5.3.8 割り込みコントロールレジスタ (ICR)

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力信号レベルを示します。また、IRL 割り込みベクタモードを設定します。ICR は、パワーオンまたはマニュアルリセットで H'8000 または H'0000 に初期化されます。スタンバイモード時には初期化されません。

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|------|----|----|----|----|----|---|------|---|---|---|---|---|---|---|--------|
| | NMIL | - | - | - | - | - | - | NMIE | - | - | - | - | - | - | - | VEC MD |
| 初期値 | 0/1* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R | R | R | R | R | R | R | R/W |

【注】 * NMI 端子入力がハイレベルのとき 1、NMI 端子入力がローレベルのとき 0

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

| ビット 15 | 説明 |
|--------|----------------------|
| NMIL | |
| 0 | NMI 端子にローレベルが入力されている |
| 1 | NMI 端子にハイレベルが入力されている |

ビット 14 ~ 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : NMI エッジセレクト (NMIE)

NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。

| ビット 8 | 説 明 | |
|-------|---------------------------|-------|
| NMIE | 説 明 | |
| 0 | NMI 入力の立ち下がりエッジで割り込み要求を検出 | (初期値) |
| 1 | NMI 入力の立ち上がりエッジで割り込み要求を検出 | |

ビット 7 ~ 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : IRL 割り込みベクタモードセレクト (VECMD)

IRL 割り込みのベクタ番号設定をオートベクタモードにするか、外部ベクタモードにするかを選択します。オートベクタモードにすると、内部で決められたベクタ番号に設定されます。IRL15 と IRL14 割り込みのベクタ番号は 71 に、以下、IRL1 は 64 に設定されます。外部ベクタモードにすると、ベクタ番号は外部ベクタ番号入力端子 (D7 ~ D0) から 0 ~ 127 の値を入力することができます。

| ビット 0 | 説 明 | |
|-------|---------------------------|-------|
| VECMD | 説 明 | |
| 0 | オートベクタモード、ベクタ番号を内部で自動的に設定 | (初期値) |
| 1 | 外部ベクタモード、ベクタ番号を外部から入力 | |

5.4 動作説明

5.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 5.5 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A、B (IPRA、IPRB) にしたがって、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 5.4 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」にしたがって、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは保留されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます。
- (5) ステータスレジスタ (SR) とプログラムカウンタ (PC) がスタックに退避されます。
- (6) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (7) IRL 割り込みを外部ベクタモードに指定している場合は、外部ベクタ番号入力端子 (D7 ~ D0) からベクタ番号を読み込みます。
- (8) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

5. 割り込みコントローラ (INTC)

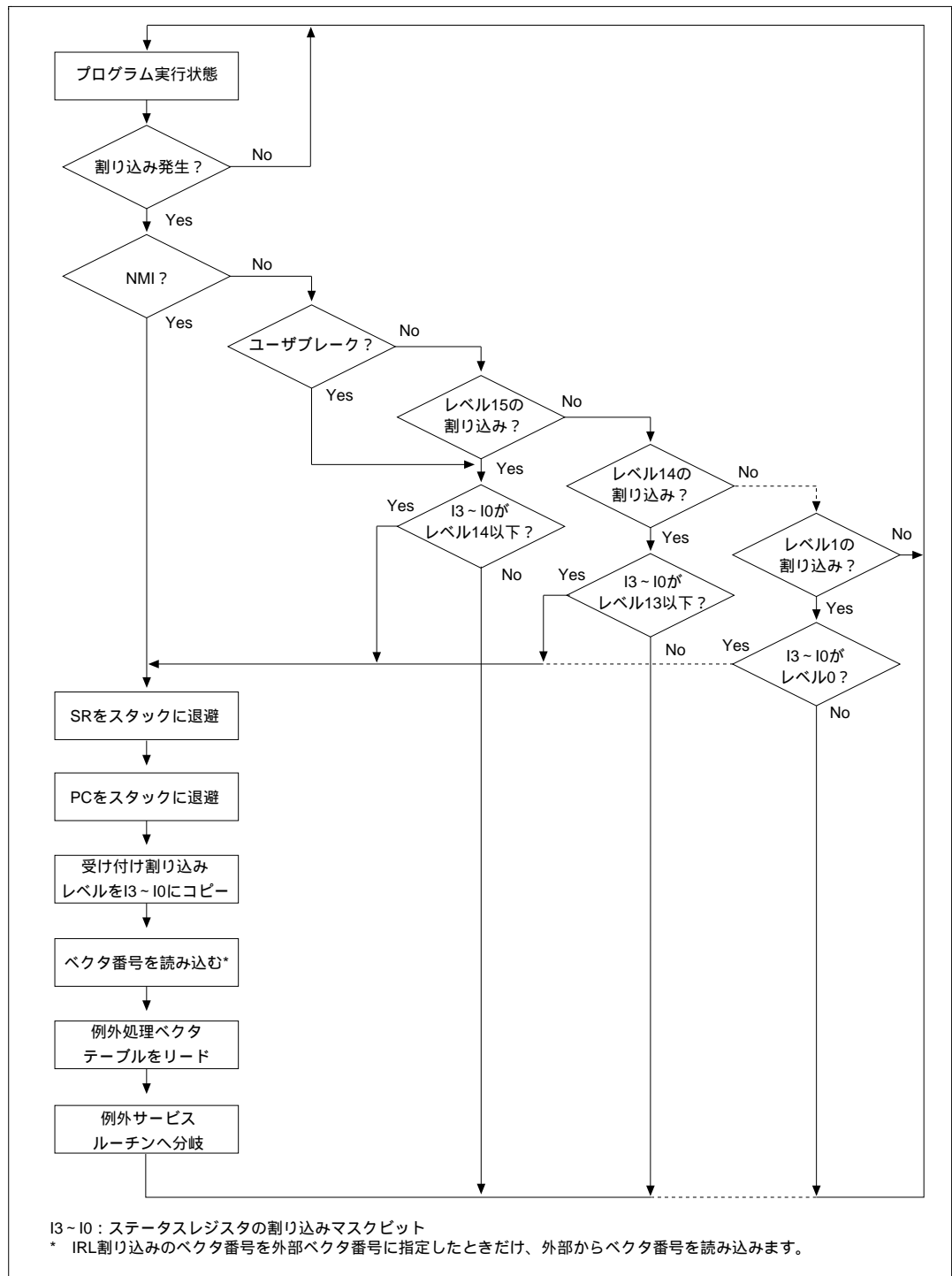


図 5.5 割り込み動作フロー

5.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 5.6 に示すようになります。

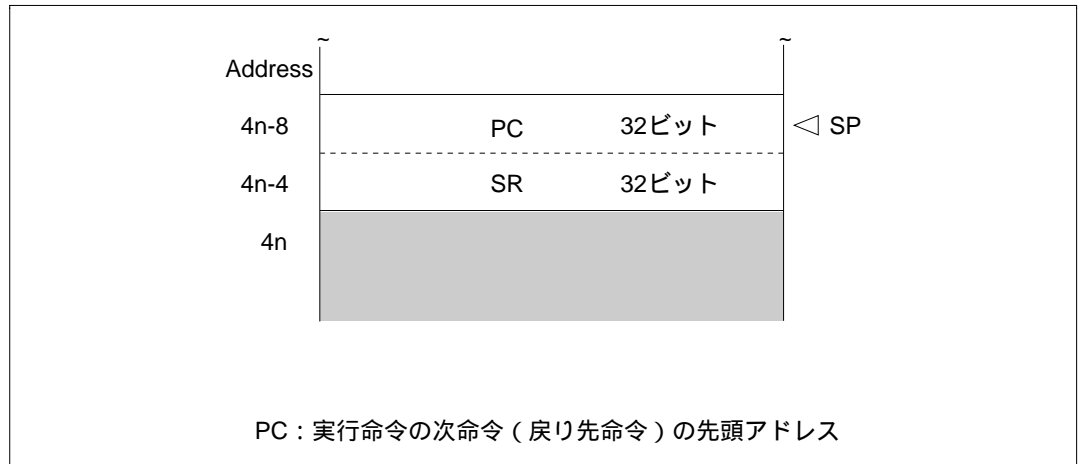


図 5.6 割り込み例外処理終了後のスタック状態

5.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 5.8 に示します。また、IRL 割り込みを受け付けるときのパイプライン動作例を図 5.7 に示します。

表 5.8 割り込み応答時間

| 項目 | ステート数 | | 備考 |
|---------------------------------------------------------------------|----------------|------------------------------|------------------------------------------------------------------------------------------------|
| | NMI 周辺モジュール | IRL | |
| 優先順位判定および SR のマスクビットとの比較時間 | 2 | 5 | |
| CPU が実行中のシーケンス終了までの待ち時間 | $X (0)$ | | 最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし、割り込みをマスクする命令が続く場合、さらに長くなることもあります。 |
| 割り込み例外処理 (SR、PC の退避とベクタアドレスのフェッチ) から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間 | $5+m1+m2+m3$ | | |
| 応答時間 | 合計 | $7+m1+m2+m3$ | $10+m1+m2+m3$ |
| | 最小時 | 10 | 13 |
| | 最大時 | $11+2 (m1+m2+m3)$ $+m4$ | $14+2 (m1+m2+m3)$ $+m4$ |

【注】 $m1 \sim m4$ は下記のメモリアクセスに要するステート数です。

$m1$: SR の退避 (ロングワードライト)

$m2$: PC の退避 (ロングワードライト)

$m3$: ベクタアドレスリード (ロングワードリード)

$m4$: 割り込みサービスルーチン先頭命令のフェッチ

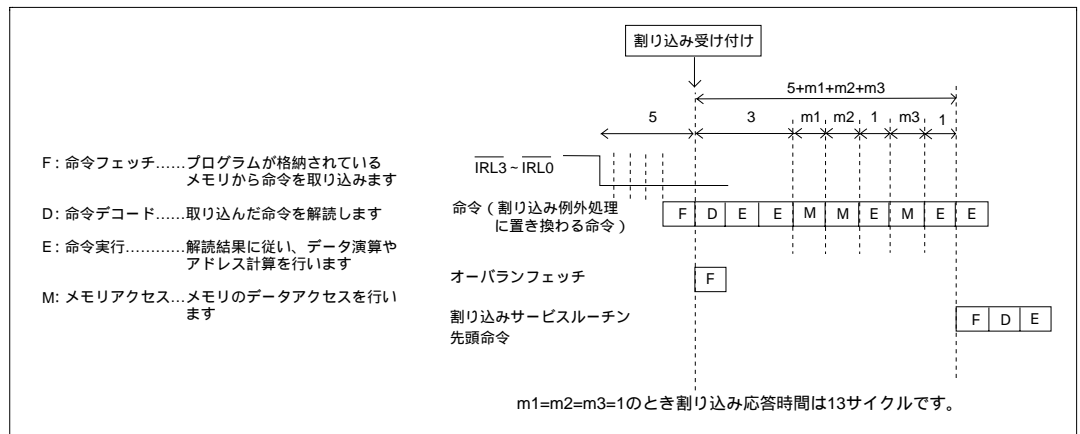


図 5.7 IRL 割り込みを受け付けるときのパイプライン動作例

5.6 $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子のサンプリング

割り込み端子 $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ は図 5.8 のようにノイズキャンセラを経由して、その後、割り込みコントローラによって CPU へ割り込み要求として伝えられます。ノイズキャンセラは短い周期で変化するノイズをキャンセルする機能を持っています。CPU は各命令の実行間で割り込み要求をサンプリングします。

この間ノイズキャンセラの出力はノイズを除去した端子のレベルにしたがって変化するので、CPU がサンプリングするまで端子のレベルを保持する必要があります。したがって通常割り込みルーチン内で割り込み要因をクリアして下さい。

外部ベクタフェッチを行う場合には、外部ベクタのフェッチサイクルを検出して割り込み要因をクリアすることもできます。

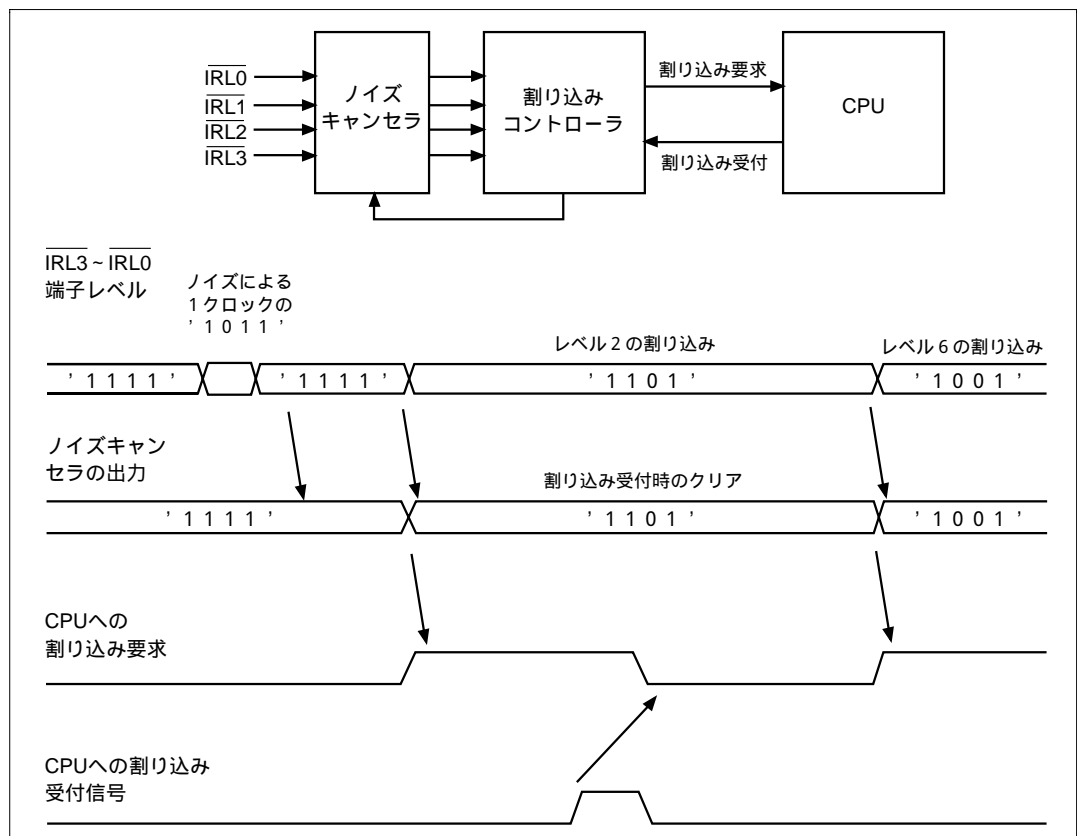


図 5.8 $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 端子のサンプリング

5.7 使用上の注意

1. モジュールスタンバイ機能があるモジュールからの割り込みについては、割り込み要求が出力される可能性が残ったままモジュールスタンバイを実行しないでください。
2. NMI要求がクリアされるタイミングは図 5.9 の様に、割り込み例外処理に置き換わる命令のデコードステージの次のステートです。

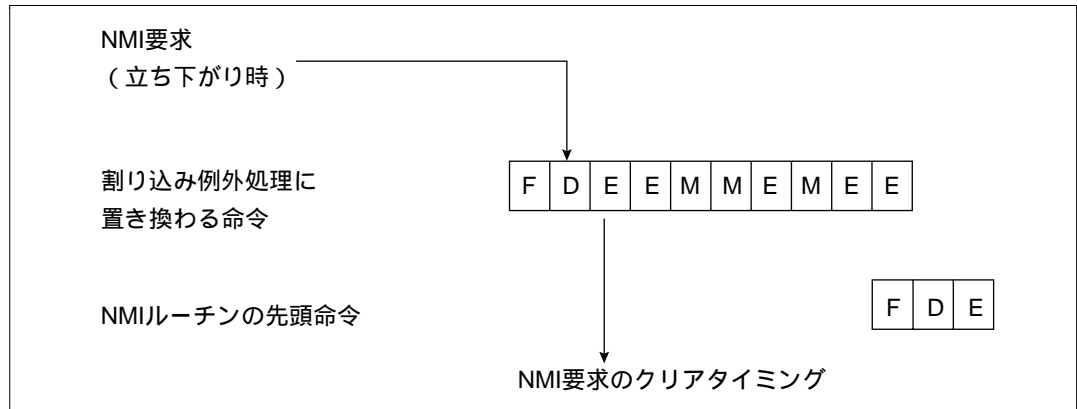


図 5.9 NMI 要求クリアタイミング

3. 割り込み要因のクリアに関する注意

(1) 外部割り込み要因をクリアする場合

割り込み要因のクリアを IO アドレスに対する書き込みで行う場合、ライトバッファの影響で書き込み動作が完了する前に次の命令が実行されてしまいます。書き込み動作が完了してから次の命令が実行されるようにするため、書き込みに続いて同一アドレスからの読み出しを行うと完全に同期がとれます。

(a) RTE 命令によって割り込み処理から復帰する場合

図 5.10 に示すように RTE によって割り込み処理から復帰する場合、同期のための読み出し命令と RTE 命令の間に最低 1 サイクルの間隔が必要です。したがって要因のクリアと RTE 命令の間に、同期のための読み出し命令と最低 1 命令を実行するようにしてください。

(b) 割り込み処理の中でレベルを変える場合

LDC 命令によって SR の値を変更し、別の割り込みが多重にかかることを許可する場合には、図 5.11 に示すように同期命令と LDC 命令の間には最低 4 サイクルの間隔が必要です。したがって要因のクリアと LDC 命令の間に、同期のための読み出し命令と最低 4 命令を実行するようにしてください。

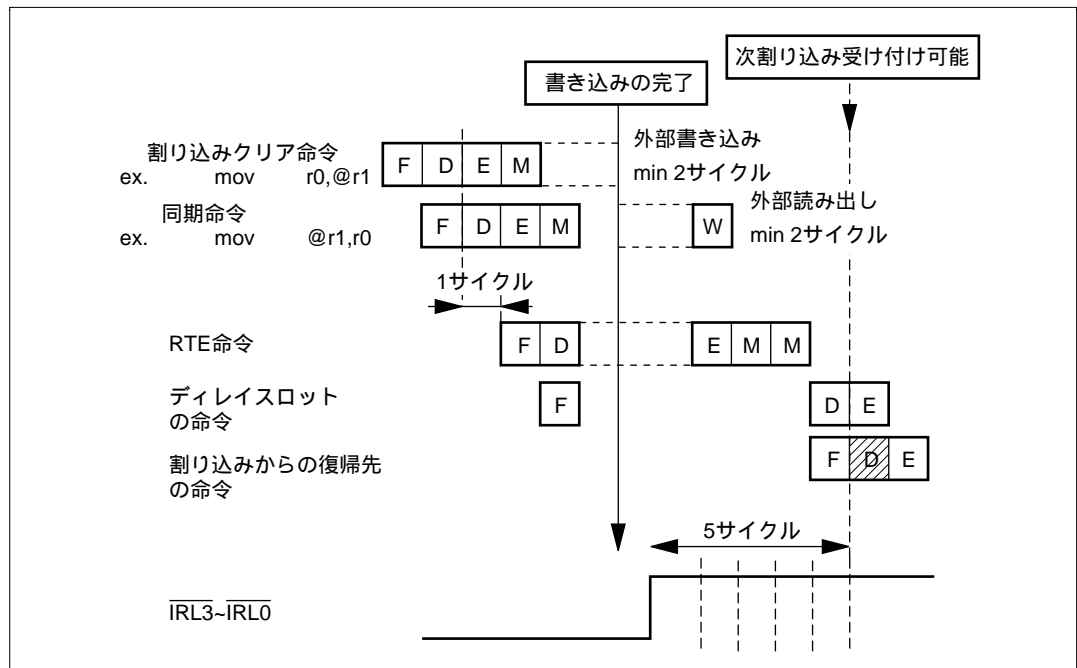


図 5.10 RTE による復帰時のパイプライン動作

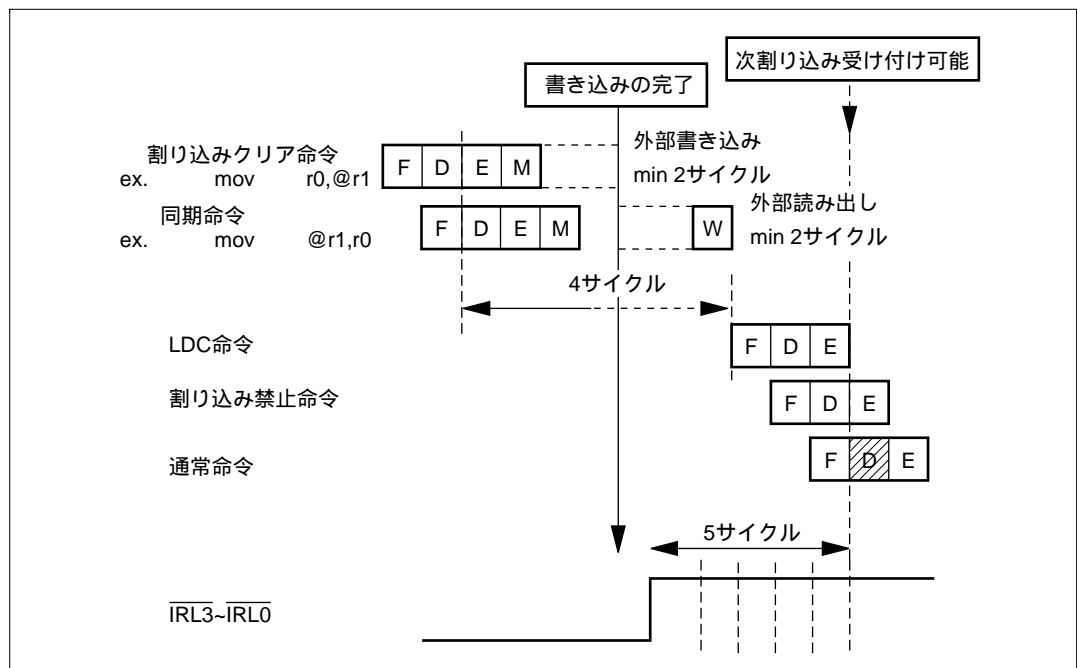


図 5.11 SR の変更による割り込み許可時のパイプライン動作

プログラムによって割り込み要因をクリアする場合、再度同じ割り込みがかからないようにするためには、パイプライン動作を考慮する必要があります。

(2) 内蔵割り込み要因をクリアする場合

割り込み要因が内蔵周辺モジュールからの場合も再度同じ割り込みがかからないようにするためには、パイプライン動作を考慮する必要があります。内蔵周辺モジュールからの割り込みがCPUに認識されるまでには2サイクル必要です。同様に割り込み要求がなくなったことが伝わるためにも2サイクル必要です。

(a) RTE 命令によって割り込み処理から復帰する場合

図 5.12 に示すように RTE によって割り込み処理から復帰する場合、同期のための読み出し命令のあとに直ちに RTE 命令を実行しても、割り込み受け付けまで 1 サイクル余裕があります。したがって、要因のクリアと RTE 命令の間に、同期のための読み出し命令を入れるようにしてください。

(b) 割り込み処理の中でレベルを変える場合

LDC 命令によって SR の値を変更し、別の割り込みが多重にかかることを許可する場合には、図 5.13 に示すように同期命令と LDC 命令の間には最低 2 サイクルの間隔が必要です。したがって、要因のクリアと LDC 命令の間に、同期のための読み出し命令と最低 2 命令を実行するようにしてください。

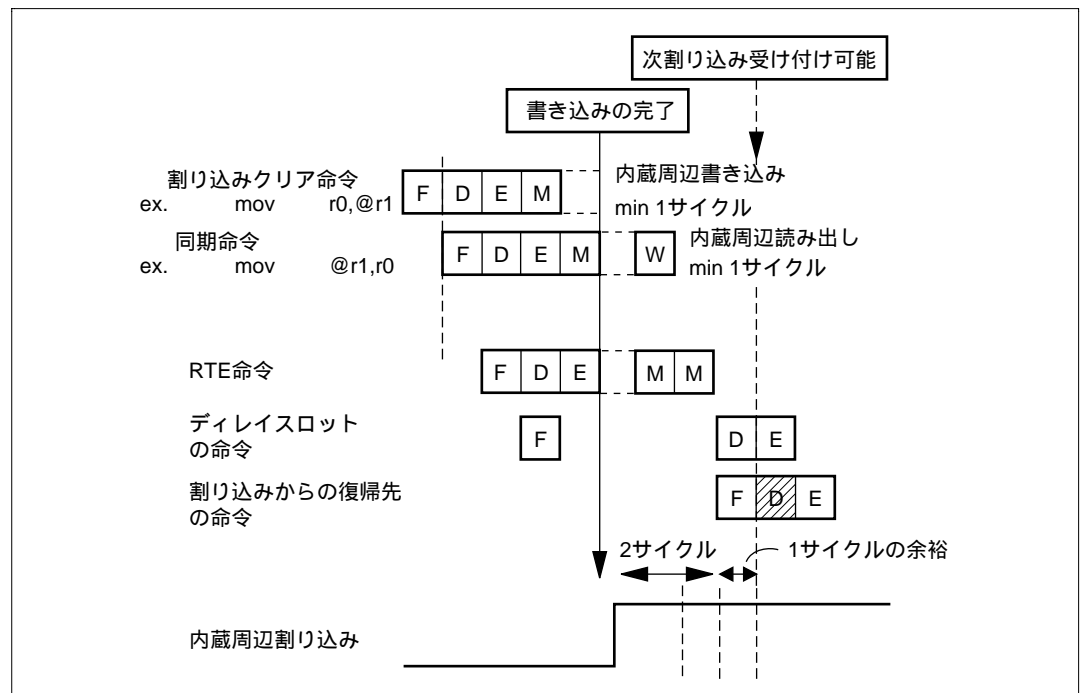


図 5.12 RTE による復帰のパイプライン動作

5. 割り込みコントローラ (INTC)

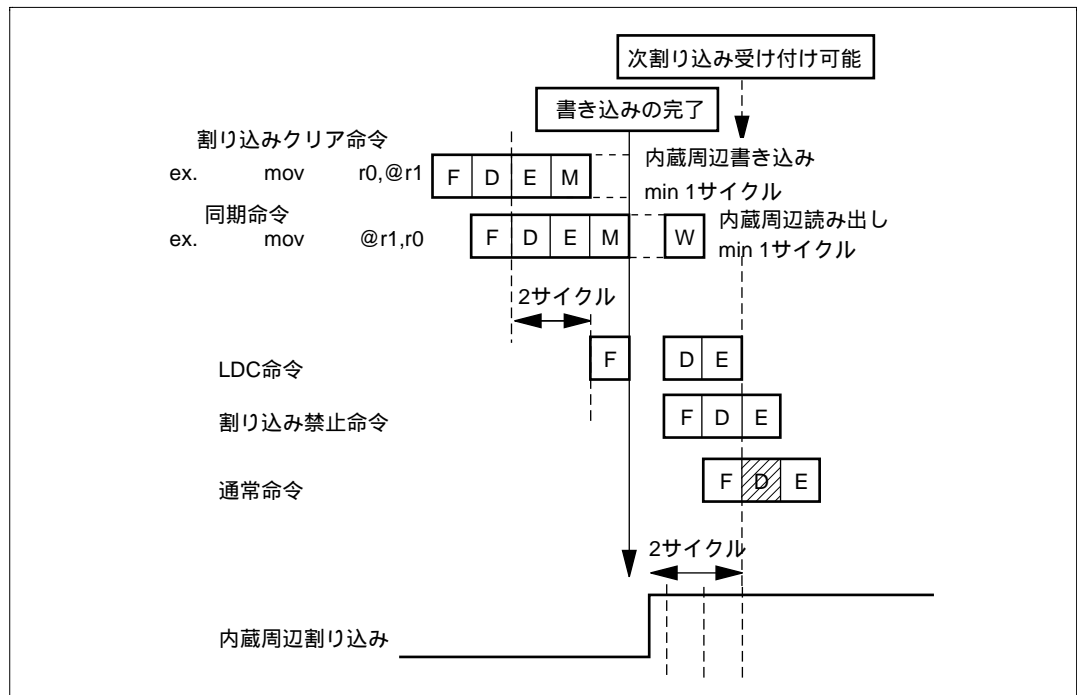


図 5.13 SR の変更による割り込み許可時のパイプライン動作

6. ユーザブ레이크 コントローラ (UBC)

第6章 目次

| | | |
|-------|-----------------------------------|-----|
| 6.1 | 概要 | 125 |
| 6.1.1 | 特長 | 125 |
| 6.1.2 | ブロック図 | 126 |
| 6.1.3 | レジスタ構成 | 127 |
| 6.1.4 | SH7000 シリーズの UBC との対応 | 127 |
| 6.2 | 各レジスタの説明 | 128 |
| 6.2.1 | ブ레이크アドレスレジスタ A (BARA) | 128 |
| 6.2.2 | ブ레이크アドレスマスクレジスタ A (BAMRA) | 128 |
| 6.2.3 | ブ레이크バスサイクルレジスタ (BBRA) | 129 |
| 6.2.4 | ブ레이크アドレスレジスタ B (BARB) | 131 |
| 6.2.5 | ブ레이크アドレスマスクレジスタ B (BAMRB) | 131 |
| 6.2.6 | ブ레이크データレジスタ B (BDRB) | 131 |
| 6.2.7 | ブ레이크データマスクレジスタ B (BDMRB) | 132 |
| 6.2.8 | ブ레이크バスサイクルレジスタ B (BBRB) | 133 |
| 6.2.9 | ブ레이크コントロールレジスタ (BR CR) | 133 |
| 6.3 | 動作説明 | 137 |
| 6.3.1 | ユーザブ레이크動作の流れ | 137 |
| 6.3.2 | 命令フェッチサイクルのブ레이크 | 138 |
| 6.3.3 | データアクセスサイクルによるブ레이크 | 138 |
| 6.3.4 | 外部バスサイクルによるブ레이크 | 139 |
| 6.3.5 | 退避するプログラムカウンタ (PC) の値 | 140 |
| 6.3.6 | 使用例 | 141 |
| 6.3.7 | 注意事項 | 144 |
| 6.3.8 | SH7000 シリーズ互換モード | 145 |

6.1 概要

ユーザブレイクコントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU、内蔵 DMAC または外部バスマスタが発生するバスサイクルの内容に応じて、ユーザブレイク割り込みを発生します。

この機能を使用することにより、高機能のセルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

また、SH7000 シリーズの UBC と互換モードに設定も可能なので、SH7000 シリーズの UBC を使用したモニタプログラムの移植も容易にできます。

6.1.1 特長

ユーザブレイクコントローラは、以下の特長があります。

- ・ ブレイク条件として以下を設定可能
ブレイクチャンネル数：2チャンネル (チャンネル A、B)
チャンネル A および B について単独条件または、シーケンシャル条件でユーザブレイク割り込みを要求。(シーケンシャルブレイク設定：チャンネル A チャンネル B)
 - (1) アドレス
 - (2) データ (チャンネル B のみ)
 - (3) バスマスタ：CPU サイクル / DMA サイクル / 外部バスサイクル
 - (4) バスサイクル：命令フェッチ / データアクセス
 - (5) リード / ライト
 - (6) オペランドサイクル：バイト / ワード / ロングワード
- ・ ブレイク条件成立により、ユーザブレイク割り込みを発生
ユーザが作成したユーザブレイク割り込み例外ルーチンを実行させることができます。
- ・ 命令フェッチサイクルで命令の実行前に停止するか、実行後に停止するか選択可能
- ・ パワーオンリセット時は、SH7000 シリーズの UBC と互換モード

6.1.2 ブロック図

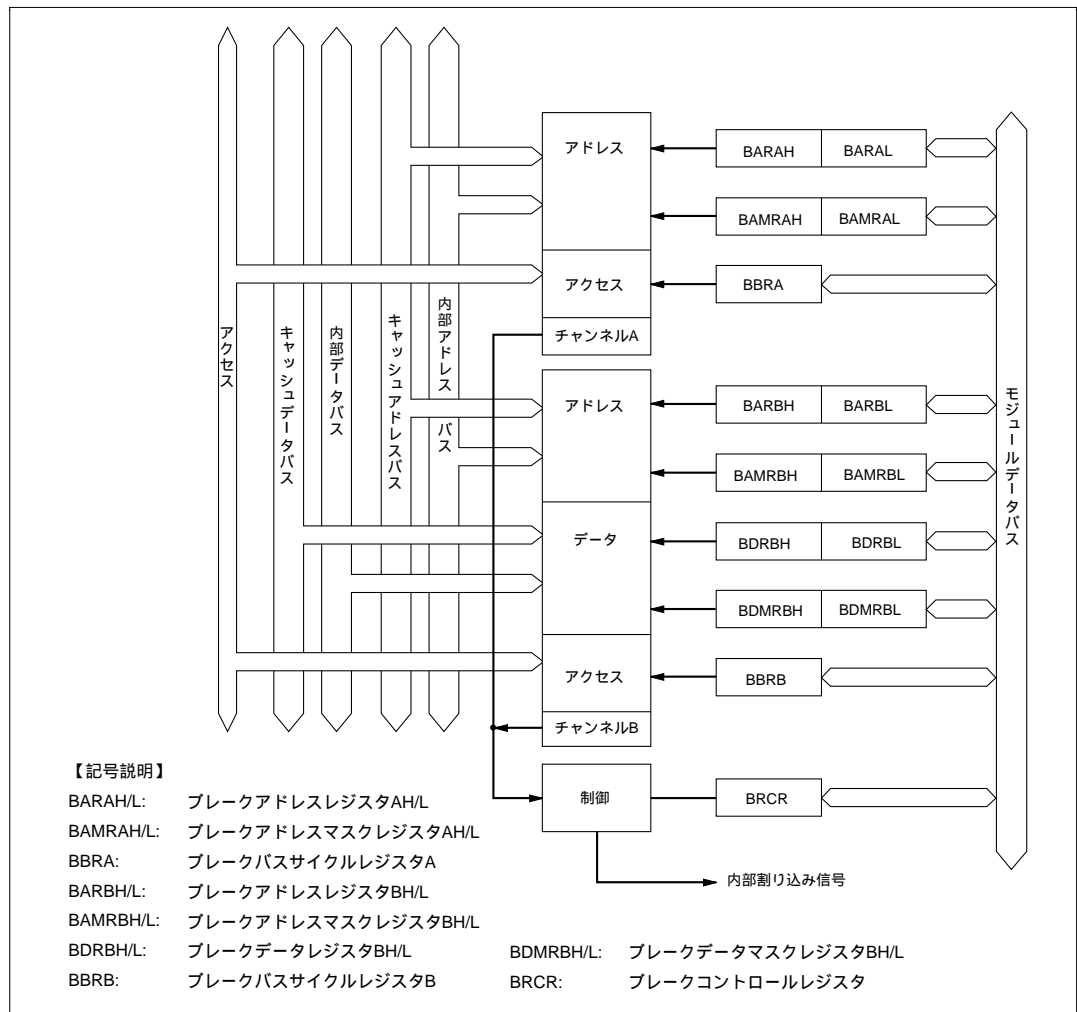


図 6.1 ユーザブレイクコントローラブロック図

6.1.3 レジスタ構成

表 6.1 端子構成

| 名 称 | 略称 | R/W | 初期値* ¹ | アドレス | アクセスサイズ* ² | |
|--------------------|--------|-----|-------------------|-------------|-----------------------|----|
| ブ레이크アドレスレジスタ AH | BARAH | R/W | H'0000 | H'FFFFFFF40 | 16 | 32 |
| ブ레이크アドレスレジスタ AL | BARAL | R/W | H'0000 | H'FFFFFFF42 | 16 | |
| ブ레이크アドレスマスクレジスタ AH | BAMRAH | R/W | H'0000 | H'FFFFFFF44 | 16 | 32 |
| ブ레이크アドレスマスクレジスタ AL | BAMRAL | R/W | H'0000 | H'FFFFFFF46 | 16 | |
| ブ레이크バスサイクルレジスタ A | BBRA | R/W | H'0000 | H'FFFFFFF48 | 16, 32 | |
| ブ레이크アドレスレジスタ BH | BARBH | R/W | H'0000 | H'FFFFFFF60 | 16 | 32 |
| ブ레이크アドレスレジスタ BL | BARBL | R/W | H'0000 | H'FFFFFFF62 | 16 | |
| ブ레이크アドレスマスクレジスタ BH | BAMRBH | R/W | H'0000 | H'FFFFFFF64 | 16 | 32 |
| ブ레이크アドレスマスクレジスタ BL | BAMRBL | R/W | H'0000 | H'FFFFFFF66 | 16 | |
| ブ레이크データレジスタ BH | BDRBH | R/W | H'0000 | H'FFFFFFF70 | 16 | 32 |
| ブ레이크データレジスタ BL | BDRBL | R/W | H'0000 | H'FFFFFFF72 | 16 | |
| ブ레이크データマスクレジスタ BH | BDMRBH | R/W | H'0000 | H'FFFFFFF74 | 16 | 32 |
| ブ레이크データマスクレジスタ BL | BDMRBL | R/W | H'0000 | H'FFFFFFF76 | 16 | |
| ブ레이크バスサイクルレジスタ B | BBRB | R/W | H'0000 | H'FFFFFFF68 | 16, 32 | |
| ブ레이크コントロールレジスタ | BRCR | R/W | H'0000 | H'FFFFFFF78 | 16, 32 | |

【注】 *1 パワーオンリセットで初期化。スタンバイでは値を保持、マニュアルリセットでは不定値になります。

*2 バイトアクセスはできません。

6.1.4 SH7000 シリーズの UBC との対応

SH7000 シリーズと互換モードに設定したとき、SH7000 シリーズの UBC のレジスタは、SH7604 では表 6.2 のような対応となります。

表 6.2 SH7000 シリーズの UBC との対応

| SH7000 シリーズ | | SH7604 | |
|-------------------|-------|--------------------|--------|
| 名 称 | 略称 | 名 称 | 略称 |
| ブ레이크アドレスレジスタ H | BARH | ブ레이크アドレスレジスタ AH | BARAH |
| ブ레이크アドレスレジスタ L | BARL | ブ레이크アドレスレジスタ AL | BARAL |
| ブ레이크アドレスマスクレジスタ H | BAMRH | ブ레이크アドレスマスクレジスタ AH | BAMRAH |
| ブ레이크アドレスマスクレジスタ L | BAMRL | ブ레이크アドレスマスクレジスタ AL | BAMRAL |
| ブ레이크バスサイクルレジスタ | BBR | ブ레이크バスサイクルレジスタ A | BBRA |

6.2 各レジスタの説明

6.2.1 ブレークアドレスレジスタ A (BARA)

| | | | | | | | | | | | | | | | | |
|-------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BARAH | BAA 31 | BAA 30 | BAA 29 | BAA 28 | BAA 27 | BAA 26 | BAA 25 | BAA 24 | BAA 23 | BAA 22 | BAA 21 | BAA 20 | BAA 19 | BAA 18 | BAA 17 | BAA 16 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | | | | | | | | | | | | | | | | |
|-------|-----------|-----------|-----------|-----------|-----------|-----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BARAL | BAA 15 | BAA 14 | BAA 13 | BAA 12 | BAA 11 | BAA 10 | BAA 9 | BAA 8 | BAA 7 | BAA 6 | BAA 5 | BAA 4 | BAA 3 | BAA 2 | BAA 1 | BAA 0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ブレークアドレスレジスタ A (BARA) は、ブレークアドレスレジスタ AH (BARAH) とブレークアドレスレジスタ AL (BARAL) の 2 本で 1 組となっています。BARAH と BARAL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、BARAH はチャンネル A のブレーク条件とするアドレスの上位側 (ビット 31 ~ 16) を指定し、BARAL はアドレスの下位側 (ビット 15 ~ 0) を指定します。BARAH と BARAL は、パワーオンリセットで H'0000 に初期化され、マニュアルリセットでは不定値になります。

BARAH ビット 15 ~ 0 : ブレークアドレス A31 ~ 16 (BAA31 ~ 16)

チャンネル A のブレーク条件とするアドレスの上位側 (ビット 31 ~ 16) を格納します。

BARAL ビット 15 ~ 0 : ブレークアドレス A15 ~ 0 (BAA15 ~ 0)

チャンネル A のブレーク条件とするアドレスの下位側 (ビット 15 ~ 0) を格納します。

6.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

| | | | | | | | | | | | | | | | | |
|--------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BAMRAH | BAM A31 | BAM A30 | BAM A29 | BAM A28 | BAM A27 | BAM A26 | BAM A25 | BAM A24 | BAM A23 | BAM A22 | BAM A21 | BAM A20 | BAM A19 | BAM A18 | BAM A17 | BAM A16 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | | | | | | | | | | | | | | | | |
|--------|------------|------------|------------|------------|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BAMRAL | BAM A15 | BAM A14 | BAM A13 | BAM A12 | BAM A11 | BAM A10 | BAM A9 | BAM A8 | BAM A7 | BAM A6 | BAM A5 | BAM A4 | BAM A3 | BAM A2 | BAM A1 | BAM A0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ブレークアドレスマスクレジスタ (BAMRA) は、ブレークアドレスマスクレジスタ AH (BAMRAH) とブレークアドレスマスクレジスタ AL (BAMRAL) の 2 本で 1 組になっています。BAMRAH と BAMRAL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。BAMRAH は BARAH に設定されているブレークアドレスのどのビットをマスクするかを指定し、BAMRAL は、BARAL に設定されているブレークアドレスのどのビッ

トをマスクするかを指定します。BAMRAH と BAMRAL は、パワーオンリセットで H'0000 に初期化され、マニュアルリセットでは不定値になります。

BAMRAH ビット 15~0 : ブレークアドレスマスク A31 ~ 16 (BAMA31 ~ 16)

BARAH に設定されているチャンネル A のブレークアドレス 31 ~ 16 (BAA31 ~ BAA16) の各ビットをマスクするかどうかを指定します。

BAMRAL ビット 15~0 : ブレークアドレスマスク A15 ~ 0 (BAMA15 ~ 0)

BARAL に設定されているチャンネル A のブレークアドレス 15 ~ 0 (BAA15 ~ BAA0) の各ビットをマスクするかどうかを指定します。

| ビット 31~0 | |
|----------|------------------------------------------------------|
| BAMAn | 説明 |
| 0 | チャンネル A のブレークアドレス BAA _n をブレーク条件に含める (初期値) |
| 1 | チャンネル A のブレークアドレス BAA _n をマスクし、条件に含めない |

n=31 ~ 0

6.2.3 ブレークバスサイクルレジスタ (BBRA)

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|------|------|------|------|------|------|------|------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BBRA | — | — | — | — | — | — | — | — | CPA1 | CPA0 | IDA1 | IDA0 | RWA1 | RWA0 | SZA1 | SZA0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ブレークバスサイクルレジスタ A (BBRA) は、読み出し / 書き込み可能な 16 ビットレジスタで、チャンネル A のブレーク条件のうち、(1) CPU サイクル / 周辺サイクル (2) 命令フェッチ / データアクセス (3) 読み出し / 書き込み (4) オペランドサイズの 4 条件を設定するレジスタです。BBRA は、パワーオンリセットで H'0000 に初期化され、マニュアルリセットでは不定値になります。

ビット 15 ~ 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7、6 : CPU サイクル / 周辺サイクルセレクト A (CPA1、CPA0)

チャンネル A のブレーク条件にするバスサイクルを CPU サイクルにするか周辺サイクルにするかを選択します。周辺サイクルとは、内蔵 DMAC およびバスリリース時の外部バスマスタのバスサイクルを条件とします。周辺サイクルを設定すると、内蔵 DMAC サイクルは常にブレーク条件に含まれますが、外部バスマスタサイクルは、BRCCR レジスタの EBBE ビットの設定により、条件に含めるかどうかを選択できます。

6. ユーザブレークコントローラ (UBC)

| ビット7 | ビット6 | 説 明 |
|------|------|--------------------------------|
| CPA1 | CPA0 | |
| 0 | 0 | チャンネルAのユーザブレーク割り込みは発生しない (初期値) |
| 0 | 1 | CPU サイクルをブレーク条件とする |
| 1 | 0 | 周辺サイクルをブレーク条件とする |
| 1 | 1 | CPU サイクルまたは周辺サイクルをブレーク条件とする |

ビット5、4：命令のフェッチ/データアクセスセレクトA (IDA1、IDA0)

チャンネルAのブレーク条件にするバスサイクルを命令フェッチサイクルにするかデータアクセスサイクルにするかを選択します。

| ビット5 | ビット4 | 説 明 |
|------|------|------------------------------------|
| IDA1 | IDA0 | |
| 0 | 0 | チャンネルAのユーザブレーク割り込みは発生しない (初期値) |
| 0 | 1 | 命令フェッチサイクルをブレーク条件とする |
| 1 | 0 | データアクセスサイクルをブレーク条件とする |
| 1 | 1 | 命令フェッチサイクルまたはデータアクセスサイクルをブレーク条件とする |

ビット3、2：リード/ライトセレクトA (RWA1、RWA0)

チャンネルAのブレーク条件にするバスサイクルをリードサイクルにするかライトサイクルにするかを選択します。

| ビット3 | ビット2 | 説 明 |
|------|------|--------------------------------|
| RWA1 | RWA0 | |
| 0 | 0 | チャンネルAのユーザブレーク割り込みは発生しない (初期値) |
| 0 | 1 | リードサイクルをブレーク条件とする |
| 1 | 0 | ライトサイクルをブレーク条件とする |
| 1 | 1 | リードサイクルまたはライトサイクルをブレーク条件とする |

ビット1、0：オペランドサイズセレクトA (SZA1、SZA0)

チャンネルAのブレイク条件にするバスサイクルのオペランドサイズを選択します。

| ビット1 | ビット0 | 説明 |
|------|------|----------------------------|
| SZA1 | SZA0 | |
| 0 | 0 | ブレイク条件にオペランドサイズを含まない (初期値) |
| 0 | 1 | バイトアクセスをブレイク条件とする |
| 1 | 0 | ワードアクセスをブレイク条件とする |
| 1 | 1 | ロングワードアクセスをブレイク条件とする |

【注】 命令フェッチでブレイクをかける場合は、SZA0 ビットを0にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます (命令フェッチはつねにロングワードで行われます)。

オペランドサイズは、命令の場合はワード、CPU/DMAC のデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

6.2.4 ブレイクアドレスレジスタ B (BARB)

チャンネルBのブレイクアドレスレジスタです。ビット構成はBARAと同様です。

6.2.5 ブレイクアドレスマスクレジスタ B (BAMRB)

チャンネルBのブレイクアドレスマスクレジスタです。ビット構成はBAMRAと同様です。

6.2.6 ブレイクデータレジスタ B (BDRB)

| | | | | | | | | | | | | | | | | |
|-------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BDRBH | BDB 31 | BDB 30 | BDB 29 | BDB 28 | BDB 27 | BDB 26 | BDB 25 | BDB 24 | BDB 23 | BDB 22 | BDB 21 | BDB 20 | BDB 19 | BDB 18 | BDB 17 | BDB 16 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BDRBL | BDB 15 | BDB 14 | BDB 13 | BDB 12 | BDB 11 | BDB 10 | BDB 9 | BDB 8 | BDB 7 | BDB 6 | BDB 5 | BDB 4 | BDB 3 | BDB 2 | BDB 1 | BDB 0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ブレイクデータレジスタ B (BDRB) は、ブレイクデータレジスタ BH (BDRBH) とブレイクデータレジスタ BL (BDRBL) の2本で1組となっています。BDRBHとBDRBLは、それぞれ読み出し/書き込み可能な16ビットのレジスタで、BDRBHはチャンネルBのブレイク条件とするデータの上位側(ビット31~16)を指定し、BDRBLはデータの下位側(ビット15~0)を指定します。BDRBHとBDRBLは、パワーオンリセットでH'0000に初期

化され、マニュアルリセットでは不定値になります。

BDRBH ビット 15~0 : ブレークデータ B31~16 (BDB31~16)

ブレークチャンネル B のブレーク条件とするデータの上位側 (ビット 31~16) を格納します。

BDRBL ビット 15~0 : ブレークデータ B15~0 (BDB15~0)

ブレークチャンネル B のブレーク条件とするデータの下位側 (ビット 15~0) を格納します。

6.2.7 ブレークデータマスクレジスタ B (BDMRB)

| | | | | | | | | | | | | | | | | |
|---------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BDMRBH | BDM B31 | BDM B30 | BDM B29 | BDM B28 | BDM B27 | BDM B26 | BDM B25 | BDM B24 | BDM B23 | BDM B22 | BDM B21 | BDM B20 | BDM B19 | BDM B18 | BDM B17 | BDM B16 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | | | | | | | | | | | | | | | | |
|---------------|------------|------------|------------|------------|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| BDMRBL | BDM B15 | BDM B14 | BDM B13 | BDM B12 | BDM B11 | BDM B10 | BDM B9 | BDM B8 | BDM B7 | BDM B6 | BDM B5 | BDM B4 | BDM B3 | BDM B2 | BDM B1 | BDM B0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ブレークデータマスクレジスタ B (BDMRB) は、ブレークデータマスクレジスタ BH (BDMRBH) とブレークデータマスクレジスタ BL (BDMRBL) の 2 本で 1 組となっています。BDMRBH と BDMRBL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。BDMRBH は BDRBH に設定されているブレークアドレスのどのビットをマスクするかを指定し、BDMRBL は、BDRBL に設定されているブレークアドレスのどのビットをマスクするかを指定します。BDMRBH と BDMRBL は、パワーオンリセットで H'0000 に初期化され、マニュアルリセットでは不定値になります。

BDMRBH ビット 15~0 : ブレークデータマスク B31~16 (BDMB31~16)

BDRBH に設定されているチャンネル B のブレークデータ B31~16 (BDB31~BDB16) の各ビットをマスクするかどうかを指定します。

BDMRBL ビット 15~0 : ブレークデータマスク B15~0 (BDMB15~0)

BDRBL に設定されているチャンネル B のブレークデータ B15~0 (BDB15~BDB0) の各ビットをマスクするかどうかを指定します。

| ビット 31~0 | |
|----------|-----------------------------------------|
| BDMDn | 説 明 |
| 0 | チャンネル B のブレイクデータ BDBn をブレイク条件に含める (初期値) |
| 1 | チャンネル B のブレイクデータ BDBn をマスクし、条件に含めない |

n=31~0

- 【注】
- 1 データバスの値をブレイク条件に含めるときはオペランドサイズを指定してください。
 - 2 ワードデータは BDRB および BDMRB のビット 15~0 にまた、バイトデータは BDRB および BDMRB のビット 15~8、7~0 に同じデータを設定してください。
 - 3 バスリリース時の外部バスマスタのバスサイクルはデータバスの条件を設定することはできません。

6.2.8 ブレイクバスサイクルレジスタ B (BBRB)

チャンネル B のブレイクバスサイクルレジスタです。ビット構成は BBRA と同様です。

6.2.9 ブレイクコントロールレジスタ (BRCR)

| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-----------|-----------|------|-----|----|------|---|---|-----------|-----------|---|-----|------|------|---|---|
| BRCR | CMF CA | CMF PA | EBBE | UMD | — | PCBA | — | — | CMF CB | CMF PB | — | SEQ | DBEB | PCBB | — | — |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R | R/W | R | R | R/W | R/W | R | R/W | R/W | R/W | R | R |

BRCR は、以下の設定を行います。

- (1) チャンネル A、B を独立 2 チャンネルまたはシーケンシャル条件の設定
- (2) SH7000 シリーズ互換モード / SH7604 モードの選択
- (3) 命令フェッチサイクル時の命令実行前 / 実行後の選択
- (4) 外部バスブレイクのイネーブル / ディスエーブルの設定
- (5) B チャンネルでデータバスを比較条件に含めるかの選択

また、条件が一致したときセットされる条件に一致フラグを持っています。BRCR は、パワーオンリセットで H'0000 に初期化され、マニュアルリセットでは不定値になります。

ビット 15 : CPU コンディションマッチフラグ A (CMFCA)

チャンネル A に設定したブレイク条件のうち CPU のバスサイクルの条件について成立したとき 1 にセットされます。0 クリアは行いません。

6. ユーザブレークコントローラ (UBC)

| | |
|--------|------------------------------------------------|
| ビット 15 | |
| CMFCA | 説 明 |
| 0 | チャンネルA のCPU サイクル条件で、ユーザブレークの割り込みは発生していない (初期値) |
| 1 | チャンネルA のCPU サイクル条件で、ユーザブレークの割り込みが発生した |

ビット 14 : 周辺コンディションマッチフラグ A (CMFPA)

チャンネル A に設定したブレーク条件のうち周辺バスサイクル (内蔵 DMAC および外部バスブレークイネーブル時の外部バスサイクル) の条件について成立したとき 1 セットされます。0 クリアは行いません。

| | |
|--------|----------------------------------------------|
| ビット 14 | |
| CMFPA | 説 明 |
| 0 | チャンネルA の周辺サイクル条件で、ユーザブレークの割り込みは発生していない (初期値) |
| 1 | チャンネルA の周辺サイクル条件で、ユーザブレークの割り込みが発生した |

ビット 13 : 外部バスブレークイネーブル (EBBE)

バスリリース時の外部バスマスタのアドレスバスをモニタし、バスサイクルセレクト条件の周辺 (CPA1、CPB1) に外部バスマスタのバスサイクル条件を含めます。外部バスブレークができるのは完全マスタモードまたは完全スレーブモードのときです。外部バスブレークをイネーブルにするときは BBRA の CPA1 または、BBRB の CPB1 を設定してください。

| | |
|--------|----------------------------------|
| ビット 13 | |
| EBBE | 説 明 |
| 0 | 外部バスマスタのバスサイクルをブレーク条件に含めない (初期値) |
| 1 | 外部バスマスタのバスサイクルをブレーク条件に含める |

ビット 12 : UBC モード (UMD)

UBC の動作モードを SH7000 シリーズ互換か、SH7604 モードかを選択します。

| | |
|--------|----------------------------------|
| ビット 12 | |
| UMD | 説 明 |
| 0 | SH7000 シリーズの UBC と互換モードにする (初期値) |
| 1 | SH7604 モードにする |

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PC ブレークセレクト A (PCBA)

チャンネル A の命令フェッチサイクルでのブレークタイミングを命令実行前か命令実行後かを選択します。

| | |
|--------|-------------------------------------------|
| ビット 10 | |
| PCBA | 説 明 |
| 0 | チャンネル A の命令フェッチサイクルのブレーク条件を命令実行前にする (初期値) |
| 1 | チャンネル A の命令フェッチサイクルのブレーク条件を命令実行後にする |

ビット 9 ~ 8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : CPU コンディションマッチフラグ B (CMFCB)

チャンネル B に設定したブレーク条件のうち CPU のバスサイクルの条件について成立したとき 1 セットされます。0 クリアは行いません (1 度セットされた後再度フラグのセットを確認する場合は、書き込みでクリアしてください)。

| | |
|-------|--------------------------------------------------|
| ビット 7 | |
| CMFCB | 説 明 |
| 0 | チャンネル B の CPU サイクル条件で、ユーザブレイクの割り込みは発生していない (初期値) |
| 1 | チャンネル B の CPU サイクル条件で、ユーザブレイクの割り込みが発生した |

ビット 6 : 周辺コンディションマッチフラグ B (CMFPB)

チャンネル B に設定したブレーク条件のうち周辺バスサイクル (内蔵 DMAC および外部バスモニタインーブル時の外部バスサイクル) の条件について成立したとき 1 にセットされます。0 クリアは行いません (1 度セットされた後再度フラグのセットを確認する場合は、書き込みでクリアしてください)。

| | |
|-------|-----------------------------------------------|
| ビット 6 | |
| CMFPB | 説 明 |
| 0 | チャンネル B の周辺サイクル条件で、ユーザブレイクの割り込みは発生していない (初期値) |
| 1 | チャンネル B の周辺サイクル条件で、ユーザブレイクの割り込みが発生した |

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：シーケンス条件セレクト (SEQ)

チャンネル A、B の2チャンネルの条件を独立かシーケンシャルかを選択します。

| ビット4 | 説明 | |
|------|-----------------------------------------------|-------|
| SEQ | | |
| 0 | チャンネル A、B を独立条件でコンペアする | (初期値) |
| 1 | チャンネル A、B をシーケンシャル条件でコンペアする (チャンネル A チャンネル B) | |

ビット3：データブレイクイネーブル B (DBEB)

チャンネル B のブレイク条件にデータベースの条件を含めるかどうかを選択します。

| ビット3 | 説明 | |
|------|----------------------------|-------|
| DBEB | | |
| 0 | チャンネル B の条件にデータベースの条件を含めない | (初期値) |
| 1 | チャンネル B の条件にデータベースの条件を含める | |

ビット2：命令ブレイクセレクト B (PCBB)

チャンネル B の命令フェッチサイクルでのブレイクタイミングを命令実行前か命令実行後かを選択します。

| ビット2 | 説明 | |
|------|-------------------------------------|-------|
| PCBB | | |
| 0 | チャンネル B の命令フェッチサイクルのブレイク条件を命令実行前にする | (初期値) |
| 1 | チャンネル B の命令フェッチサイクルのブレイク条件を命令実行後にする | |

ビット1～0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3 動作説明

6.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの流れを以下に示します。

- (1) ブレイクするアドレスをブレイクアドレスレジスタ (BARA、BARB) に、マスクするアドレスをブレイクアドレスマスクレジスタ (BAMRA、BAMRB) に、ブレイクするデータをブレイクデータレジスタ (BDRB) に、マスクするデータをブレイクデータマスクレジスタ (BDMRB) に設定します。

ブレイクするバス条件をブレイクバスサイクルレジスタ (BBRA、BBRB) に設定します。BBRA、BBRB の CPU サイクル / 周辺サイクルセレクト、命令フェッチ / データアクセスセレクト、リード / ライトセレクトの 3 組すべてにそれぞれ設定します。このうち 1 組でも 00 をセットしたチャンネルではユーザブレイク割り込みは発生しません。

BRCR のレジスタの各ビットにそれぞれ条件を設定します。

- (2) UBC は設定された条件を満たすと割り込みコントローラにユーザブレイク割り込みを要求します。また、一致の発生した条件について、それぞれのチャンネルの CPU コンディションマッチフラグ (CMFCA、CMFCB)、周辺コンディションマッチフラグ (CMFPA、CMFPB) がセットされます。

- (3) INTC は、ユーザブレイク割り込みの優先順位の判定をします。ユーザブレイク割り込みは優先レベル 15 なので、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) がレベル 14 以下のとき、受け付けられます。I3 ~ I0 ビットがレベル 15 のとき、ユーザブレイク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。優先順位判定の詳細については「5 章 割り込みコントローラ」を参照してください。

- (4) 優先順位の判定結果、ユーザブレイク割り込みが受け付けられると CPU はユーザブレイク割り込み例外処理を開始します。

- (5) 設定条件の一致 / 不一致はそれぞれのコンディションマッチフラグ (CMFCA、CMHPA、CMFCB、CMFPB) により知ることができます。このフラグは、設定条件の一致によりセットしますが、リセットはしません。したがって、再度同じフラグのセットを確認する場合は、0 を書き込んでください。

6.3.2 命令フェッチサイクルのブレイク

- (1) ブレイクバスサイクルレジスタ (BBRA/BBRB) に CPU / 命令フェッチ / リード / ワードの設定をすると CPU の命令フェッチサイクルをブレイク条件にできます。この時、対象命令の実行前または、実行後のどちらでブレイクするかそれぞれチャンネルについてブレイクコントロールレジスタ (BRCR) の PCBA/PCBB ビットで選べます。
- (2) 命令フェッチサイクルは常に 32 ビット (2 命令) をフェッチします。このとき、1 回のバスサイクルしか発生しませんが、両命令とも、それぞれのアドレスをブレイクアドレスレジスタ (BARA、BARB) に設定することによって、独立してブレイクをかけることができます。
- (3) 実行前条件でブレイクの対象となる命令は、命令がフェッチされて実行することが確定したときにブレイクします。したがって、オーバランフェッチされた命令 (ブランチ時や、割り込み遷移時にフェッチされたが実行されない命令) はブレイクの対象となりません。また、遅延分岐命令の遅延スロットや、LDC などの割り込み禁止命令の次命令に設定した場合は、次に初めて割り込みを受け付ける命令の実行前に割り込みが発生します。
- (4) 実行後条件ではブレイク条件に設定した命令が実行され、次の命令の実行前に割り込みが発生します。同様にオーバランフェッチ命令は対象となりません。また、遅延分岐命令や、LDC 命令などの割り込み禁止命令に設定した場合は次に初めて割り込みを受け付ける命令の実行前に割り込みが発生します。
- (5) 命令フェッチサイクルをチャンネル B に設定した場合、ブレイクデータレジスタ B (BDRB) は無視されます。したがって命令フェッチサイクルのブレイクにはブレイクデータを設定する必要がありません。

6.3.3 データアクセスサイクルによるブレイク

- (1) CPU データアクセスのブレイク対象となるメモリサイクルは、命令によるメモリサイクルと例外処理時のスタッキング、ベクタリードがあります。外部ベクタ割り込みのベクタフェッチサイクルは対象外です。
また、シンクロナス DRAM のシングルリード時のダミーサイクルは対象となりません。
- (2) データアクセスサイクルのアドレスとオペランドサイズの比較条件は表 6.3 に示す関係があります。

表 6.3 データアクセスサイクルのアドレスとオペランドサイズの比較条件

| アクセスサイズ | 比較するアドレス |
|---------|-------------------------------------------|
| ロングワード | ブ레이크アドレスレジスタの 31~2 ビットとアドレスバス 31~2 ビットを比較 |
| ワード | ブ레이크アドレスレジスタの 31~1 ビットとアドレスバス 31~1 ビットを比較 |
| バイト | ブ레이크アドレスレジスタの 31~0 ビットとアドレスバス 31~0 ビットを比較 |

したがって、例えばサイズ条件を指定しないでアドレス H'00001003 番地に設定した場合、ブ레이크条件の成立するバスサイクルは次のようになります (ただし、他の条件は一致しているものとする)。

H'00001000 番地にロングワードでアクセス
 H'00001002 番地にワードでアクセス
 H'00001003 番地にバイトでアクセス

(3) B チャンネルでデータ値をブ레이크条件に含める場合

データ値をブ레이크条件に含める場合は、ブ레이크バスサイクルレジスタ (BBRA、BBRB) のオペランドサイズをロングワード、ワード、バイトのいずれかに指定してください。データ値をブ레이크条件に含めた場合は、アドレス条件の一致かつデータ条件の一致でブ레이크割り込みを発生します。

このとき、バイトデータを指定するときはブ레이크データレジスタ B (BDRB) とブ레이크データマスクレジスタ B (BDMRB) のビット 15~8、ビット 7~0 の 2 バイトは同じデータを設定してください。

なお、ワードおよびバイトに設定したときは BDRB と BDMRB のビット 31~16 は無視されます。

6.3.4 外部バスサイクルによるブ레이크

(1) 外部バスブ레이크イネーブル (BRCCR の EBBE ビット) をイネーブルにし、バスリリース状態になると外部のバスマスタの発生するバスサイクルについてブ레이크を発生させることができます。

完全マスタモードまたは完全スレーブモードの時、外部バスサイクルのブ레이크ができます。

(2) 外部バスについてはアドレスおよび読み出し / 書き込みの設定ができ、サイズ指定はできません。

サイズをバイト / ワード / ロングワードのいずれかに設定しても、サイズの指定は無視されます。また、外部バスサイクルは、命令フェッチ / データアクセスの区別はで

きません。すべて、データアクセスサイクルとみなされるので BBRA、BBRB の IDA1、IDB1 は 1 に設定してください。

(3) 外部からのアドレスの入力は A26 ~ A0 なので、ブレイクアドレスレジスタ (BARA、BARB) の 31 ~ 27 ビットは 0 を設定するか、もしくは、ブレイクアドレスマスクレジスタ (BAMRA、BAMRB) の 31 ~ 27 ビットに 1 を設定して入力されないアドレスについてマスクしてください。

(4) 外部バスサイクルの設定条件が一致したときそれぞれのチャンネルで CMFPA、CMFPB フラグがセットされます。

6.3.5 退避するプログラムカウンタ (PC) の値

(1) 命令フェッチ (命令実行前) をブレイク条件に設定した場合

ユーザブレイク割り込み例外処理でスタックに退避されるプログラムカウンタ (PC) の値は、ブレイク条件が一致した命令のアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレイク割り込みが発生します。ただし、割り込み禁止命令の次命令に設定したときは、次の割り込みを受け付ける命令の実行前でブレイクするので、退避される PC はブレイクしたアドレスとなります。

(2) 命令フェッチ (命令実行後) をブレイク条件に設定した場合

ユーザブレイク割り込み例外処理でスタックに退避される PC の値は、ブレイク条件が一致した命令の次に実行される命令のアドレスです。このとき、フェッチされた命令は実行され、その次の命令の実行前にユーザブレイク割り込みが発生します。ただし、割り込み禁止命令に設定したときは、次の割り込みを受け付ける命令の実行前でブレイクするので、退避される PC はブレイクしたアドレスとなります。

(3) データアクセス (CPU/周辺) をブレイク条件に設定した場合

ユーザブレイク例外処理が起動した時点における実行済命令の次命令の先頭アドレスが退避されます。

データアクセス (CPU/周辺) をブレイク条件に設定した場合、ブレイクがかかる場所は特定することはできません。ブレイクするデータアクセスが発生した付近でフェッチしようとしていた命令がブレイクされます。

6.3.6 使用例

(1) CPU 命令フェッチサイクルへのブレイク条件設定

(A) レジスタ設定 : BARA=H'00000404 / BAMRA=H'00000000 / BBRA=H'0054
 BARB=H'00008010 / BAMRB=H'00000006 / BBRB=H'0054
 BDRB=H'00000000 / BDMRB=H'00000000
 BRRCR=H'1400

設定された条件 : Ach/Bch 独立モード

Ach : アドレス H'00000404 / アドレスマスク H'00000000
 バスサイクル CPU、命令フェッチ (命令実行後)、
 リード (オペランドサイズは条件に含まれない)

Bch : アドレス H'00008010 / アドレスマスク H'00000006
 データ H'00000000 / データマスク H'00000000
 バスサイクル CPU、命令フェッチ (命令実行前)、
 リード (オペランドサイズは条件に含まれない)

アドレス H'00000404 番地の命令の実行後、または、アドレス H'00008010 ~ H'00008016
 番地の命令の実行前にユーザブレイクが発生します。

(B) レジスタ設定 : BARA=H'00037226 / BAMRA=H'00000000 / BBRA=H'0056
 BARB=H'0003722E / BAMRB=H'00000000 / BBRB=H'0056
 BDRB=H'00000000 / BDMRB=H'00000000
 BRRCR=H'1010

設定された条件 : Ach Bch シーケンスモード

Ach : アドレス H'00037226 / アドレスマスク H'00000000
 バスサイクル CPU、命令フェッチ (命令実行前)、
 リード、ワード

Bch : アドレス H'0003722E / アドレスマスク H'00000000
 データ H'00000000 / データマスク H'00000000
 バスサイクル CPU、命令フェッチ (命令実行前)、
 リード、ワード

アドレス H'00037226 にある命令を実行して、その後アドレス H'0003722E にある命令
 実行前にユーザブレイクが発生します。

(C) レジスタ設定 : BARA=H'00027128 / BAMRA=H'00000000 / BBRA=H'005A
BARB=H'00031415 / BAMRB=H'00000000 / BBRB=H'0054
BDRB=H'00000000 / BDMRB=H'00000000
BRCR=H'1000

設定された条件 : Ach/Bch 独立モード

Ach : アドレス H'00027128 / アドレスマスク H'00000000
バスサイクル CPU、命令フェッチ (命令実行前)、
ライト、ワード

Bch : アドレス H'00031415 / アドレスマスク H'00000000
データ H'00000000 / データマスク H'00000000
バスサイクル CPU、命令フェッチ (命令実行前)、
リード、(オペランドサイズは条件に含まれない)

A チャンネルは、命令フェッチはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

B チャンネルは、命令フェッチは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

(D) レジスタ設定 : BARA=H'00037226 / BAMRA=H'00000000 / BBRA=H'005A
BARB=H'0003722E / BAMRB=H'00000000 / BBRB=H'0056
BDRB=H'00000000 / BDMRB=H'00000000
BRCR=H'1010

設定された条件 : Ach Bch シーケンスモード

Ach : アドレス H'00037226 / アドレスマスク H'00000000
バスサイクル CPU、命令フェッチ (命令実行前)、
ライト、ワード

Bch : アドレス H'0003722E / アドレスマスク H'00000000
データ H'00000000
データマスク H'00000000
バスサイクル CPU、命令フェッチ (命令実行前)、
リード、ワード

A チャンネルのブレイクがライトサイクルなので条件が一致せず、シーケンス条件が成立しないので、ユーザブレイク割り込みは発生しません。

(2) CPU データアクセスサイクルへのブレイク条件設定

レジスタ設定 : BARA=H'00123456 / BAMRA=H'00000000 / BBRA=H'0064
 BARB=H'000ABCDE / BAMRB=H'000000FF / BBRB=H'006A
 BDRB=H'0000A512 / BDMRB=H'00000000
 BRRCR=H'1008

設定された条件 : Ach/Bch 独立モード

Ach : アドレス H'00123456 / アドレスマスク H'00000000
 バスサイクル CPU、データアクセス、リード、
 (オペランドサイズは条件に含まれない)

Bch : アドレス H'000ABCDE / アドレスマスク H'000000FF
 データ H'0000A512 / データマスク H'00000000
 バスサイクル CPU、データアクセス、ライト、
 ワード

A チャンネルは、H'00123454 番地にロングワードで読み出し / H'00123456 番地にワードで読み出し / H'00123456 番地にバイトで読み出ししたときにユーザブレイク割り込みが発生します。

B チャンネルは、H'000ABC00 ~ H'000ABCFE 番地にワードで H'A512 を書き込んだときにユーザブレイク割り込みが発生します。

(3) DMAC データアクセスサイクルへのブレイク条件設定

レジスタ設定 : BARA=H'00314156 / BAMRA=H'00000000 / BBRA=H'0094
 BARB=H'00055555 / BAMRB=H'00000000 / BBRB=H'00A9
 BDRB=H'00007878 / BDMRB=H'00000F0F
 BRRCR=H'1008

設定された条件 : Ach/Bch 独立モード

Ach : アドレス H'00314156 / アドレスマスク H'00000000
 バスサイクル DMA、命令フェッチ、リード、
 (オペランドサイズは条件に含まれない)

Bch : アドレス H'00055555 / アドレスマスク H'00000000
 データ H'00007878 / データマスク H'00000F0F
 バスサイクル 周辺、データアクセス、ライト、
 バイト

A チャンネルは、DMAC サイクルでは命令フェッチは行われないので、ユーザブレイク割り込みは発生しません。

B チャンネルは、DMAC が H'00055555 番地にバイトで H'7* (*は don'tcare) を書き込んだときにユーザブレイク割り込みが発生します。

6.3.7 注意事項

- (1) UBC のレジスタは CPU でのみ読み出し / 書き込みが可能です。
- (2) シーケンシャルブレイク設定時、条件一致が起こるのは A チャンネルの一致したバスサイクル以降のバスサイクルで B チャンネルの一致が起こったときです。したがって A チャンネル、B チャンネル同時に起こるバスサイクルを設定しても条件が一致したことになりません。また、CPU はパイプライン構造なので命令フェッチサイクルとメモリサイクルの順番はパイプラインにより決まります。シーケンシャル条件のときは、バスサイクルの起こった順番にそれぞれのチャンネルの条件が一致すれば、シーケンシャル条件が成立したことになります。
- (3) シーケンシャル条件 (BRCCR の SEQ=1) に設定したとき、A チャンネル CPU の命令フェッチサイクルの条件を設定する場合は、A チャンネルは命令実行前 (BRCCR の PCBA=0) に設定してください。
- (4) レジスタ設定の変更は、通常 3 サイクルでライト値が有効となります。内蔵メモリの命令フェッチの際、2 命令が同時に取り込まれます。このとき、2 命令のうち、後半命令のフェッチをブレイク条件に設定していた場合、前半命令フェッチ直後に UBC の各レジスタを書き換えてブレイク条件を変更しても、後半命令の手前でユーザブレイク割り込みが発生します。確実に設定が変更されるタイミングをとるためには最後に書き込んだレジスタをダミーでリードしてください。それ以降は変更した設定は有効です。
- (5) 命令フェッチ条件が一致してユーザブレイク割り込みが発生し、例外処理サービスルーチンの実行中に、再度 UBC で条件が一致した場合、そのブレイクは SR の I3~0 ビットが 14 以下になったときに例外処理が発生します。したがってアドレスをマスクして、命令フェッチ / 実行後条件と設定してステップ実行をさせる場合は、UBC の例外処理サービスルーチンは、UBC でアドレスの一致が起こらないようにしてください。
- (6) エミュレータでは、UBC はエミュレータのブレイク機能を実現するために、エミュレータのシステム側で使用しています。したがってエミュレータ使用時は、UBC 機能はすべて使用できません。

6.3.8 SH7000 シリーズ互換モード

(1) SH7000 シリーズ互換モード設定時

SH7000 シリーズ互換モードに設定したとき、有効なレジスタは表 6.2 のようになり、その他のレジスタは無効となります。したがって、SH7000 モードでは、外部バスブレイクはできません。命令フェッチサイクル条件では命令実行前となります。また、ブレイク条件一致時のフラグはセットされません。

(2) SH7000 シリーズ互換モードと SH7604 モードの違い

SH7000 シリーズ互換モードで CPU 命令フェッチサイクルに設定した場合は、条件の一致した命令の実行前にブレイクします。これと SH7604 モードの命令実行前の設定ではブレイク条件に以下の相違があります。

また、データアクセスサイクルについては、SH7000 シリーズ互換モードでは、アドレスはつねに 32 ビット比較しますが、SH7604 モードでは表 6.3 のとおりに比較を行うので、ブレイクする条件には、表 6.4 に示す相違があります。

表 6.4 ブレイク条件の相違

| | SH7000 シリーズ互換モード | SH7604 モード |
|----------------------------------------------|------------------------------------|------------------------------------|
| 命令フェッチサイクル / 命令実行前設定時での条件一致 | ブランチ時などオーバランフェッチされ実行されない命令もブレイクされる | ブランチ時などオーバランフェッチされ実行されない命令はブレイクしない |
| ロングワード境界 (4n 番地) 以外のアドレス設定時のロングワードアクセスでの条件一致 | ブレイクしない | ブレイクする |
| ワード境界 (2n 番地) 以外のアドレス設定時のワードアクセスでの条件一致 | ブレイクしない | ブレイクする |

7. バスステート コントローラ (BSC)

第7章 目次

| | | |
|-------|-----------------------------------------|-----|
| 7.1 | 概要 | 149 |
| 7.1.1 | 特長 | 149 |
| 7.1.2 | ブロック図 | 150 |
| 7.1.3 | 端子構成 | 151 |
| 7.1.4 | レジスタ構成 | 153 |
| 7.1.5 | アドレスマップ | 154 |
| 7.2 | レジスタの説明 | 155 |
| 7.2.1 | バスコントロールレジスタ 1 (BCR1) | 155 |
| 7.2.2 | バスコントロールレジスタ 2 (BCR2) | 158 |
| 7.2.3 | ウェイトコントロールレジスタ (WCR) | 159 |
| 7.2.4 | 個別メモリコントロールレジスタ (MCR) | 161 |
| 7.2.5 | リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) | 165 |
| 7.2.6 | リフレッシュタイムカウンタ (RTCNT) | 166 |
| 7.2.7 | リフレッシュタイムコンスタントレジスタ (RTCOR) | 167 |
| 7.3 | アクセスサイズとデータアライメント | 168 |
| 7.3.1 | 通常デバイスとの接続 | 168 |
| 7.3.2 | リトルエンディアンのデバイスとの接続 | 170 |
| 7.4 | 通常空間アクセス | 172 |
| 7.4.1 | 基本タイミング | 172 |
| 7.4.2 | ウェイトステート制御 | 176 |
| 7.5 | シンクロナス DRAM インタフェース | 178 |
| 7.5.1 | シンクロナス DRAM 直結方式 | 178 |
| 7.5.2 | アドレスマルチプレクス | 180 |
| 7.5.3 | バーストリード | 181 |
| 7.5.4 | シングルリード | 184 |

7. バスステートコントローラ (BSC)

| | | |
|--------|-----------------------|-----|
| 7.5.5 | ライト | 185 |
| 7.5.6 | バンクアクティブ | 186 |
| 7.5.7 | リフレッシュ | 193 |
| 7.5.8 | パワーオンシーケンス | 196 |
| 7.5.9 | PLL による位相シフト | 198 |
| 7.6 | DRAM インタフェース | 201 |
| 7.6.1 | DRAM 直結方式 | 201 |
| 7.6.2 | アドレスマルチプレクス | 202 |
| 7.6.3 | 基本タイミング | 202 |
| 7.6.4 | ウェイトステート制御 | 203 |
| 7.6.5 | バーストアクセス | 205 |
| 7.6.6 | リフレッシュタイミング | 207 |
| 7.6.7 | パワーオンシーケンス | 208 |
| 7.7 | 擬似 SRAM インタフェース | 209 |
| 7.7.1 | 擬似 SRAM 直結方式 | 209 |
| 7.7.2 | 基本タイミング | 212 |
| 7.7.3 | ウェイトステート制御 | 213 |
| 7.7.4 | バーストアクセス | 214 |
| 7.7.5 | リフレッシュ | 215 |
| 7.7.6 | パワーオンシーケンス | 217 |
| 7.8 | バースト ROM インタフェース | 218 |
| 7.9 | アクセスサイクル間ウェイト | 221 |
| 7.10 | バスアービトレーション | 223 |
| 7.10.1 | マスタモード | 224 |
| 7.10.2 | スレーブモード | 227 |
| 7.10.3 | 部分共有マスタモード | 229 |
| 7.10.4 | 外部バスアドレスモニタ | 232 |
| 7.10.5 | マスタとスレーブの協調 | 232 |
| 7.11 | その他 | 234 |
| 7.11.1 | リセット | 234 |
| 7.11.2 | CPU および DMAC からみたアクセス | 234 |
| 7.11.3 | エミュレータ | 235 |

7.1 概要

バスステートコントローラ (BSC) は、アドレス空間を管理し、4 つの空間で最適なメモリアクセスができるよう、制御信号を出力します。これにより、DRAM、SDRAM、PSRAM などの各種メモリと周辺 LSI を直接接続することができます。

7.1.1 特長

- アドレス空間を 4 つに分割して管理
 - CS0 空間から CS3 空間までの空間はそれぞれ最大リニア 32M バイト
 - 空間ごとに、DRAM、シンクロナス DRAM、擬似 SRAM、バースト ROM などメモリの種類を指定
 - 空間ごとに、バス幅 (8 ビット、16 ビット、または 32 ビット) を選択可能
 - 空間ごとにウェイトステートの挿入を制御
 - 空間に対応した制御信号を出力
- キャッシュ
 - キャッシュ領域とキャッシュスルー領域とをアクセスアドレスで選択
 - キャッシュアクセスの場合、キャッシュミス時の読み出しはキャッシュフィルのため 4 バイト単位で 16 バイトを連続して行う、書き込みはライトスルー方式
 - キャッシュスルーアクセスは、アクセスサイズにしたがってアクセス
- リフレッシュ機能
 - CAS ビフォ RAS リフレッシュ (オートリフレッシュ) とセルフリフレッシュ
 - リフレッシュ用カウンタ、クロックセレクトにより、リフレッシュ間隔を設定
- DRAM 直結インタフェース
 - ロウアドレス / カラムアドレスのマルチプレクス出力
 - 読み出し時のバースト転送、連続アクセスに対する高速ページモード
 - RAS プリチャージタイム確保用 TP サイクル発生
- シンクロナス DRAM 直結インタフェース
 - ロウアドレス / カラムアドレスのマルチプレクス出力
 - バースト読み出し、シングル書き込み
 - バンクアクティブモード
- マスタ / スレーブモード (バスアービトレーション)
 - マスタモードには完全マスタモードと部分共有マスタモードがあり
 - 完全マスタモード時には、すべての資源を他の CPU と共有し、外部からのバス解放要求を受け、バス使用許可を出力
 - 部分共有マスタモード時、CS2 空間のみを他の CPU と共有、それ以外の空間は常時アクセス可能
 - スレーブモード時は、バス使用権要求を出力し、バス使用許可を受けて外部バスをアクセス

- ・ リフレッシュ用カウンタをインターバルタイマとして使用可能
 - コンペアマッチで割り込み要求発生 (CMI 割り込み要求信号)

7.1.2 ブロック図

BSC のブロック図を図 7.1 に示します。

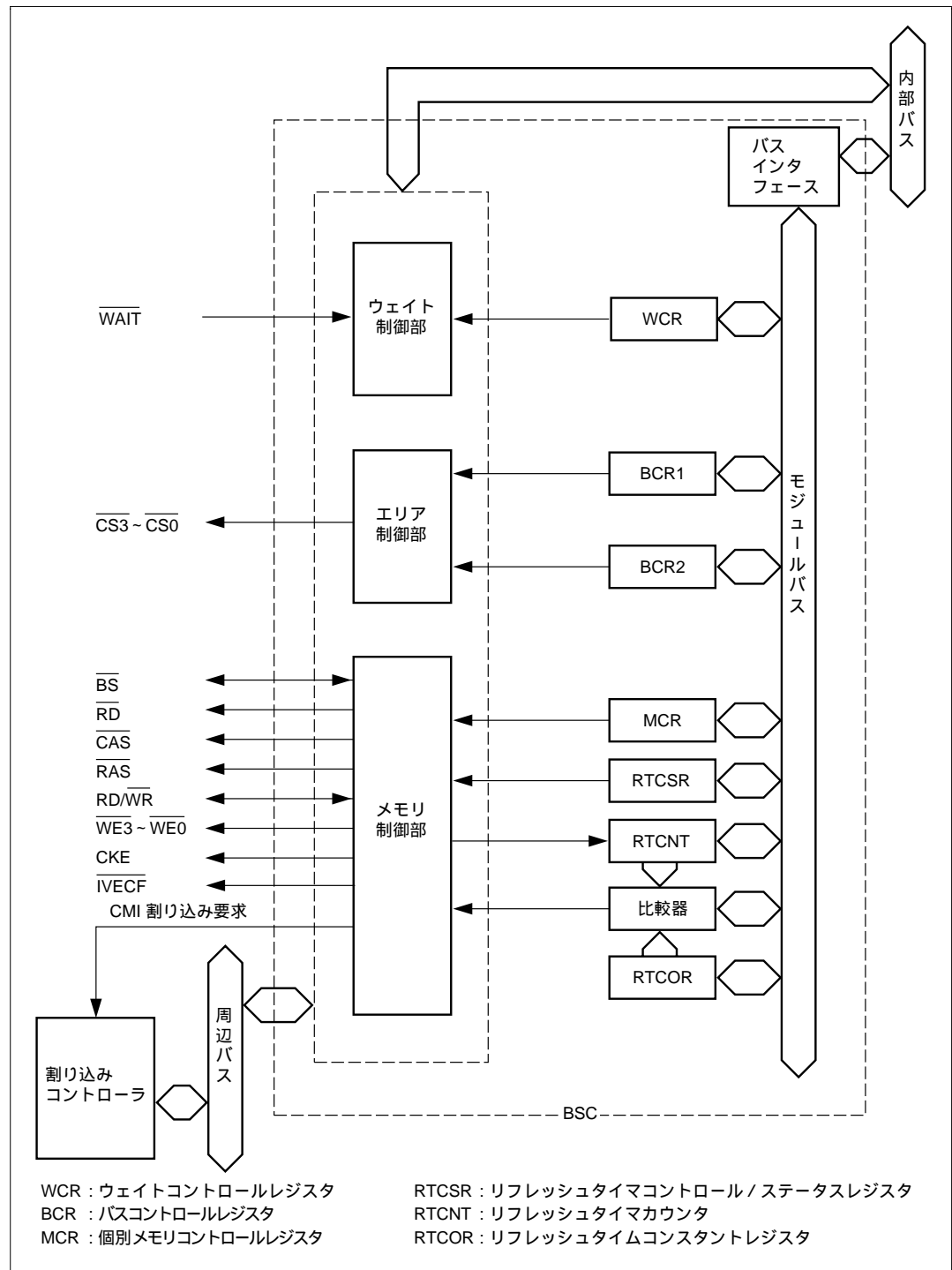


図 7.1 BSC のブロック図

7.1.3 端子構成

バスステートコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成 (1)

| 端子名 | 入出力 | バス開放時 | 機能 |
|------------------------|-----|-------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| A26 ~ A0 | 入出力 | 入力 | アドレスバス 27 ビットで合計 128M バイトのメモリ空間の指定が可能である。最上位 2 ビットは CS 空間の指定に使用するので各空間のサイズは 32M バイトである。 バス解放時は外部バスサイクルのアドレスモニタのため入力となる。 |
| D31 ~ D0 | 入出力 | Hi-Z | 32 ビットのデータバス 16 ビット幅のエリアにリード/ライトする場合には D15 ~ D0、8 ビット幅のエリアにリード/ライトする場合には D7 ~ D0 をそれぞれ使用する。8 ビットアクセスで、32 ビット幅のエリアにリード/ライトする場合には 32 ビットバスのアドレス下位ビットによって定まるバイト位置を介してデータの入出力を行う。 |
| BS | 入出力 | 入力 | バスサイクルの開始またはモニタを表示する信号 基本インタフェース (DRAM、シンクロナス DRAM、擬似 SRAM を除いたデバイスインタフェース) のときは、アドレス出力と同時に 1 クロックサイクルだけアサートする信号。本信号によってバスサイクルの開始を判定できる。DRAM、シンクロナス DRAM、擬似 SRAM のアクセスにおいては本信号はカラムアドレスの出力に同期して 1 サイクルアサートされる。 バス解放時は外部バスサイクルのアドレスモニタのため入力となる。 |
| CS0 ~ CS3 | 出力 | Hi-Z | チップセレクト 各エリアの選択を行う信号、A26 と A25 によって指定 |
| RD \overline{WR} 、WE | 入出力 | 入力 | リード/ライト信号 アクセスサイクルの方向 (リード/ライト) を示す信号。 DRAM、シンクロナス DRAM 接続時は、WE 端子に接続、 バス解放時は外部バスサイクルのアドレスモニタのため入力となる。 |
| RAS、CE | 出力 | Hi-Z | DRAM・シンクロナス DRAM 接続時: RAS 端子に接続 擬似 SRAM 用: CE 端子に接続 |
| CAS、OE | 出力 | Hi-Z | DRAM 使用時: あき シンクロナス DRAM 使用時: CAS 端子に接続 擬似 SRAM 使用時: OE 端子に接続 |

(次頁に続く)

表 7.1 端子構成 (2)

| 端子名 | 入出力 | バス開放時* | 機能 |
|---------------------------------------------------------------------------------------|-----|--------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| $\overline{\text{CASHH}}$ 、 $\overline{\text{DQMUU}}$ 、 $\overline{\text{WE3}}$ | 出力 | Hi-Z | DRAM 使用時：最上位バイト (D31 - D24) の $\overline{\text{CAS}}$ 端子に接続 シンクロナス DRAM 使用時：最上位バイトの DQM 端子に接続 擬似 SRAM 使用時：最上位バイトの $\overline{\text{WE}}$ 端子に接続 基本インタフェース：最上位バイト書き込み指示 |
| $\overline{\text{CASHL}}$ 、 $\overline{\text{DQMUL}}$ 、 $\overline{\text{WE2}}$ | 出力 | Hi-Z | DRAM 使用時：2 バイト目 (D23 - D16) の $\overline{\text{CAS}}$ 端子に接続 シンクロナス DRAM 使用時：2 バイト目の DQM 端子に接続 擬似 SRAM 使用時：2 バイト目の $\overline{\text{WE}}$ 端子に接続 基本インタフェース：2 バイト目書き込み指示 |
| $\overline{\text{CASLH}}$ 、 $\overline{\text{DQMLU}}$ 、 $\overline{\text{WE1}}$ | 出力 | Hi-Z | DRAM 使用時：3 バイト目 (D15 - D8) の $\overline{\text{CAS}}$ 端子に接続 シンクロナス DRAM 使用時：3 バイト目の DQM 端子に接続 擬似 SRAM 使用時：3 バイト目の $\overline{\text{WE}}$ 端子に接続 基本インタフェース：3 バイト目書き込み指示 |
| $\overline{\text{CASLL}}$ 、 $\overline{\text{DQMLL}}$ 、 $\overline{\text{WE0}}$ | 出力 | Hi-Z | DRAM 使用時：最下位バイト (D7 - D0) の $\overline{\text{CAS}}$ 端子に接続 シンクロナス DRAM 使用時：最下位バイトの DQM 端子に接続 擬似 SRAM 使用時：最下位バイトの $\overline{\text{WE}}$ 端子に接続 基本インタフェース：最下位バイト書き込み指示 |
| $\overline{\text{RD}}$ | 出力 | Hi-Z | リードパルス信号 (リードデータ出力許可信号) 通常、デバイスの/OE 端子に接続、外部にデータバッファを設ける場合、リードサイクルのデータ出力は本信号が L レベルの時のみ可能。 |
| $\overline{\text{WAIT}}$ | 入力 | 無視 | ハードウェアウェイト入力 |
| $\overline{\text{BACK}}$ 、 $\overline{\text{BRLS}}$ | 入力 | 入力 | 部分共有マスタ、スレーブ時バス使用許可入力 $\overline{\text{BACK}}$ 完全マスタ時バス解放要求入力 $\overline{\text{BRLS}}$ |
| $\overline{\text{BREQ}}$ 、 $\overline{\text{BGR}}$ | 出力 | 出力 | 部分共有マスタ、スレーブ時バス使用権要求出力 $\overline{\text{BREQ}}$ 完全マスタ時バス使用許可出力 $\overline{\text{BGR}}$ |
| $\overline{\text{CKE}}$ | 出力 | 出力 | シンクロナス DRAM クロックイネーブル制御 シンクロナス DRAM のセルフリフレッシュをサポートするための信号 |
| $\overline{\text{IVECF}}$ | 出力 | Hi-Z | 割り込みベクタフェッチ |
| $\overline{\text{DREQ0}}$ | 入力 | 入力 | DMA 要求 0 |
| $\overline{\text{DACK0}}$ | 出力 | 出力 | DMA アクノレッジ 0 |
| $\overline{\text{DREQ1}}$ | 入力 | 入力 | DMA 要求 1 |
| $\overline{\text{DACK1}}$ | 出力 | 出力 | DMA アクノレッジ 1 |

【注】 * Hi-Z：ハイインピーダンス

7.1.4 レジスタ構成

バスステートコントローラには7本のレジスタがあります。これらのレジスタにより、ウェイトステート、バス幅、DRAM、シンクロナス DRAM、擬似 SRAM、バースト ROM 等のメモリとのインタフェース、DRAM、シンクロナス DRAM、擬似 SRAM のリフレッシュの制御などを行います。レジスタ構成を表 7.2 に示します。

レジスタ本体のサイズは16ビットです。32ビットでリードを行うと上位16ビットは0が読み出されます。レジスタに対する書き込みは誤書き込み防止のため書き込みデータの上位16ビットをH'A55Aとした32ビットライトの場合のみ受け付け、それ以外は書き込みが行われません。レジスタのうち予約となっているビットには初期値を書き込んでください。

- ・初期化の手順

メモリとのインタフェースの設定が終了するまでは CS0 空間以外はアクセスしないでください。

表 7.2 レジスタ構成

| 名 称 | 略称 | R/W | 初期値 | アドレス ^{*1} | アクセスサイズ |
|-------------------------------|--------|-----|--------|--------------------|----------------------|
| バスコントロールレジスタ 1 | BCR1 | R/W | H'03F0 | H'FFFFFFE0 | 16 ^{*2} 、32 |
| バスコントロールレジスタ 2 | BCR2 | R/W | H'00FC | H'FFFFFFE4 | 16 ^{*2} 、32 |
| ウェイトコントロールレジスタ | WCR | R/W | H'AAFF | H'FFFFFFE8 | 16 ^{*2} 、32 |
| 個別メモリコントロールレジスタ | MCR | R/W | H'0000 | H'FFFFFFEC | 16 ^{*2} 、32 |
| リフレッシュタイムコントロール/ ステータスレジスタ | RTC SR | R/W | H'0000 | H'FFFFFFF0 | 16 ^{*2} 、32 |
| リフレッシュタイムカウンタ | RTCNT | R/W | H'0000 | H'FFFFFFF4 | 16 ^{*2} 、32 |
| リフレッシュタイムコンスタントレジスタ | RTCOR | R/W | H'0000 | H'FFFFFFF8 | 16 ^{*2} 、32 |

【注】 *1 このアドレスは32ビットアクセスの場合であり、16ビットアクセス時のアクセスアドレスは+2したアドレスです。

*2 16ビットアクセスは読み出しのみ可能。

7.1.5 アドレスマップ

本 LSI のアドレスマップはメモリ空間として 256M バイトあり、これを 4 個の部分空間に分割して使用します。接続されるデバイスの種類、データ幅はアドレスマップ上の各部分空間ごとに指定します。全体の空間のアドレスマップを表 7.3 に示します。キャッシュ領域とキャッシュスルー領域は実際には同一の空間であるため接続可能な最大メモリ空間は 128M バイトです。すなわち、プログラム上で H'20000000 番地のデータをアクセスすると、実際には H'00000000 番地のデータがアクセスされます。

キャッシュ制御のための空間として、キャッシュパージのための連想パージ空間、アドレス (アドレスタグ) を読み書きするためのアドレスアレイリード/ライト空間、データアレイを強制的に読み書きするためのデータアレイリード/ライト空間があります。

表 7.3 アドレスマップ

| アドレス | 空間 | メモリ種類 | サイズ |
|-------------------------|----------------------|---------------------------------------|-----------|
| H'00000000 ~ H'01FFFFFF | CS0 空間 キャッシュ領域 | 通常空間またはバースト ROM | 32M バイト |
| H'02000000 ~ H'03FFFFFF | CS1 空間 キャッシュ領域 | 通常空間 | 32M バイト |
| H'04000000 ~ H'05FFFFFF | CS2 空間 キャッシュ領域 | 通常空間またはシンクロナス DRAM | 32M バイト |
| H'06000000 ~ H'07FFFFFF | CS3 空間 キャッシュ領域 | 通常空間、シンクロナス DRAM、 DRAM または擬似 SDRAM | 32M バイト |
| H'08000000 ~ H'1FFFFFFF | 予約 | | |
| H'20000000 ~ H'21FFFFFF | CS0 空間 キャッシュスルー領域 | 通常空間またはバースト ROM | (32M バイト) |
| H'22000000 ~ H'23FFFFFF | CS1 空間 キャッシュスルー領域 | 通常空間 | (32M バイト) |
| H'24000000 ~ H'25FFFFFF | CS2 空間 キャッシュスルー領域 | 通常空間またはシンクロナス DRAM | (32M バイト) |
| H'26000000 ~ H'27FFFFFF | CS3 空間 キャッシュスルー領域 | 通常空間、シンクロナス DRAM、 DRAM または擬似 SDRAM | (32M バイト) |
| H'28000000 ~ H'3FFFFFFF | 予約 | | |
| H'40000000 ~ H'47FFFFFF | 連想パージ空間 | | 128M バイト |
| H'48000000 ~ H'5FFFFFFF | 予約 | | |
| H'60000000 ~ H'7FFFFFFF | アドレスアレイ リード/ライト空間 | | 512M バイト |
| H'80000000 ~ H'BFFFFFFF | 予約 | | |
| H'C0000000 ~ H'C0000FFF | データアレイ リード/ライト空間 | | 4k バイト |
| H'C0001000 ~ H'DFFFFFFF | 予約 | | |
| H'E0000000 ~ H'FFFF7FFF | 予約 | | |
| H'FFFF8000 ~ H'FFFFBFFF | SDRAM モード設定用 | | 16k バイト |
| H'FFFFC000 ~ H'FFFFDFFF | 予約 | | 15.5k バイト |
| H'FFFFE000 ~ H'FFFFFFF | 内蔵周辺モジュール | | 512 バイト |

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

7.2 レジスタの説明

7.2.1 バスコントロールレジスタ 1 (BCR1)

| | | | | | | | | | | | | | | | | |
|------|------------|----|----|------------|------------|------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | MAS TER | — | — | END IAN | BST ROM | PSHR | AHLW 1 | AHLW 0 | A1LW 1 | A1LW 0 | A0LW 1 | A0LW 0 | — | DRAM 2 | DRAM 1 | DRAM 0 |
| 初期値: | | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W |

ENDIAN、BSTROM、PSHR、DRAM2-0の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以後は値を変更しないでください。他のビットを変更するための書き込みを行う場合には初期設定と同じ値を書いてください。レジスタの初期設定が終了するまではCS0空間以外はアクセスしないでください。

ビット 15: バスアービトレーション (MASTER)

外部入力ピンによるモード設定でバスアービトレーション機能がどのように設定されているかを知るためのビット。本ビットは読み出し専用のビットです。

| | |
|--------|---------|
| ビット 15 | |
| MASTER | 説 明 |
| 0 | マスタモード |
| 1 | スレーブモード |

ビット 14、13: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12: エリア2のエンディアン指定 (ENDIAN)

ビッグエンディアンの場合最上位バイト (MSB) が最も小さいバイトアドレスとなり以下最下位バイト (LSB) に向かって順にバイトデータが並びます。リトルエンディアンの場合にはLSBが最も小さいバイトアドレスとなり以下MSBに向かって順にデータが並びます。本ビットが1の場合CS2空間に対する読み出し/書き込み時にデータの並びをリトルエンディアンにならべなおして転送を行います。リトルエンディアンのプロセッサとのデータのやりとりおよびリトルエンディアンを意識して書かれたプログラムの実行に用います。

| | |
|--------|-------------------------|
| ビット 12 | |
| ENDIAN | 説 明 |
| 0 | 他のエリアと同じビッグエンディアン (初期値) |
| 1 | リトルエンディアン |

ビット 11 : エリア 0 バースト ROM イネーブル (BSTROM)

| ビット 11 | | |
|--------|-----------------------------|--|
| BSTROM | 説 明 | |
| 0 | エリア 0 を通常アクセスします。 (初期値) | |
| 1 | エリア 0 をバースト ROM としてアクセスします。 | |

ビット 10 : 部分空間共有指定 (PSHR)

バスアービトラージのモードがマスタモードで本ビットが 1 のとき、エリア 2 のみを共有空間として扱い、それ以外のエリアにアクセスする際にはバス使用权のリクエストを行いません。本ビットが 1 のときアドレスモニタ指定は無効となります。このモードを部分共有マスタモードとよびます。初期値は 0 です。

ビット 9、8 : エリア 2 およびエリア 3 のロングウェイト指定 (AHLW1、0)

エリア 2 またはエリア 3 が基本メモリインタフェースの設定で、かつウェイトコントロールレジスタのそれぞれのエリアのウェイトを指定するビット W21、W20 または W31、W30 がロングウェイト指定すなわち、11 のときに本フィールドのウェイト指定が有効となります。

| ビット 9 | ビット 8 | | |
|-------|-------|--------------|--|
| AHLW1 | AHLW0 | 説 明 | |
| 0 | 0 | 3 ウェイト | |
| 0 | 1 | 4 ウェイト | |
| 1 | 0 | 5 ウェイト | |
| 1 | 1 | 6 ウェイト (初期値) | |

ビット 7、6 : エリア 1 のロングウェイト指定 (A1LW1、0)

エリア 1 が基本メモリインタフェースの設定で、かつウェイトコントロールレジスタの指定ビットがロングウェイト指定すなわち、11 のときに本フィールドのウェイト指定が有効となります。

| ビット 7 | ビット 6 | | |
|-------|-------|--------------|--|
| A1LW1 | A1LW0 | 説 明 | |
| 0 | 0 | 3 ウェイト | |
| 0 | 1 | 4 ウェイト | |
| 1 | 0 | 5 ウェイト | |
| 1 | 1 | 6 ウェイト (初期値) | |

ビット5、4：エリア0のロングウェイト指定 (A0LW1、0)

エリア0が基本メモリアンタフェースの設定で、かつウェイトコントロールレジスタの指定ビットがロングウェイト指定すなわち、11のときに本フィールドのウェイト設定が有効となります。

| ビット5 | ビット4 | 説 明 |
|-------|-------|-------------|
| A0LW1 | A0LW0 | |
| 0 | 0 | 3ウェイト |
| 0 | 1 | 4ウェイト |
| 1 | 0 | 5ウェイト |
| 1 | 1 | 6ウェイト (初期値) |

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0：DRAM他メモリーネーブル (DRAM2～0)

| ビット2 | ビット1 | ビット0 | 説 明 |
|-------|-------|-------|------------------------------------|
| DRAM2 | DRAM1 | DRAM0 | |
| 0 | 0 | 0 | エリア2、3を通常空間とします。 (初期値) |
| 0 | 0 | 1 | エリア2を通常空間、エリア3をシンクロナス DRAM 空間とします。 |
| 0 | 1 | 0 | エリア2を通常空間、エリア3を DRAM 空間とします。 |
| 0 | 1 | 1 | エリア2を通常空間、エリア3を擬似 SRAM 空間とします。 |
| 1 | 0 | 0 | エリア2をシンクロナス DRAM 空間、エリア3を通常空間とします。 |
| 1 | 0 | 1 | エリア2、3をともにシンクロナス DRAM 空間とします。 |
| 1 | 1 | 0 | 予約 (設定しないでください) |
| 1 | 1 | 1 | 予約 (設定しないでください) |

7.2.2 バスコントロールレジスタ 2 (BCR2)

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|-----------|-----------|-----------|-----------|-----------|-----------|---|---|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | A3 SZ1 | A3 SZ0 | A2 SZ1 | A2 SZ0 | A1 SZ1 | A1 SZ0 | — | — |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R |

BCR2はパワーオンリセット後の初期設定時に書き込みを行い、以後は値を変更しないでください。書き込みを行う場合には初期設定と同じ値を書いてください。レジスタの初期設定が終了するまではCS0空間以外はアクセスしないでください。

ビット 15～8：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 7、6：エリア 3 のバスサイズ指定 (A3SZ1、0) (通常空間設定でのみ有効)

| ビット 7 | ビット 6 | 説 明 |
|-------|-------|---------------------------|
| A3SZ1 | A3SZ0 | |
| 0 | 0 | 予約 (設定しないでください) |
| 0 | 1 | バイト (8 ビット) サイズ |
| 1 | 0 | ワード (16 ビット) サイズ |
| 1 | 1 | ロングワード (32 ビット) サイズ (初期値) |

ビット 5、4：エリア 2 のバスサイズ指定 (A2SZ1、0) (通常空間設定でのみ有効)

| ビット 5 | ビット 4 | 説 明 |
|-------|-------|---------------------------|
| A2SZ1 | A2SZ0 | |
| 0 | 0 | 予約 (設定しないでください) |
| 0 | 1 | バイト (8 ビット) サイズ |
| 1 | 0 | ワード (16 ビット) サイズ |
| 1 | 1 | ロングワード (32 ビット) サイズ (初期値) |

ビット 3、2：エリア 1 のバスサイズ指定 (A1SZ1、0)

| ビット 3 | ビット 2 | 説 明 |
|-------|-------|---------------------------|
| A1SZ1 | A1SZ0 | |
| 0 | 0 | 予約 (設定しないでください) |
| 0 | 1 | バイト (8 ビット) サイズ |
| 1 | 0 | ワード (16 ビット) サイズ |
| 1 | 1 | ロングワード (32 ビット) サイズ (初期値) |

ビット1、0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 エリア0のバスサイズはモード入力ピンの指定にしがいます。

7.2.3 ウェイトコントロールレジスタ (WCR)

| | | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IW31 | IW30 | IW21 | IW20 | IW11 | IW10 | IW01 | IW00 | W31 | W30 | W21 | W20 | W11 | W10 | W01 | W00 |
| 初期値: | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

レジスタの初期設定が終了するまではCS0空間以外はアクセスしないでください。

ビット15、8：エリア3～0サイクル間アイドル指定 (IW31～IW00)

サイクル間アイドル指定は異なるエリアを続けてアクセスする場合にアクセス間に挿入するアイドルサイクルの指定を行います。これはリードデータのバッファオフの遅いROM等と、高速なメモリ、IOインタフェース等のデータの衝突を防止するために使用します。同一エリアに対するアクセスであっても、直前のアクセスがリードで、次のアクセスがライトの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされたエリアのものが有効となります。

| IW31、IW21、IW11、IW01 | IW30、IW20、IW10、IW00 | 説 明 |
|---------------------|---------------------|--------------------|
| 0 | 0 | アイドルサイクルなし |
| 0 | 1 | 1 アイドルサイクル挿入 |
| 1 | 0 | 2 アイドルサイクル挿入 (初期値) |
| 1 | 1 | 予約 (設定しないでください) |

ビット7～0：エリア3～0ウェイトコントロール (W31～W00)

基本サイクル時

| IW31、IW21、IW11、IW01 | IW30、IW20、IW10、IW00 | 説 明 |
|---------------------|---------------------|-------------------------------------------------------------|
| 0 | 0 | ノーウェイト外部ウェイト入力禁止 |
| 0 | 1 | 1 ウェイト外部ウェイト入力イネーブル |
| 1 | 0 | 2 ウェイト外部ウェイト入力イネーブル |
| 1 | 1 | バスコントロールレジスタ1 (BCR1) のロングウェイト指定にしがいます。外部ウェイト入力はイネーブル。 (初期値) |

7. バスステートコントローラ (BSC)

エリア 3 が DRAM の場合 W31、W30 のウェイトコントロールによって CAS アサートサイクル数の指定を行います。

| ビット 7 | ビット 6 | 説 明 |
|-------|-------|-----------------|
| W31 | W30 | |
| 0 | 0 | 1 サイクル |
| 0 | 1 | 2 サイクル |
| 1 | 0 | 3 サイクル |
| 1 | 1 | 予約 (設定しないでください) |

2 サイクル以上設定の場合外部ウェイト入力がいネーブルとなります。

エリア 2 または 3 がシンクロナス DRAM の場合それぞれ W31、W30 および W21、W20 のウェイトコントロールによって CAS レイテンシの指定を行います。

| W31、IW21 | W30、W20 | 説 明 |
|----------|---------|--------|
| 0 | 0 | 1 サイクル |
| 0 | 1 | 2 サイクル |
| 1 | 0 | 3 サイクル |
| 1 | 1 | 4 サイクル |

シンクロナス DRAM では、いかなる設定でも外部ウェイト入力は無視されます。

エリア 3 が擬似 SRAM の場合 W31、W30 のウェイトコントロールによって \overline{BS} 信号アサートからサイクル終了までのサイクル数を指定します。

| ビット 7 | ビット 6 | 説 明 |
|-------|-------|-----------------|
| W31 | W30 | |
| 0 | 0 | 2 サイクル |
| 0 | 1 | 3 サイクル |
| 1 | 0 | 4 サイクル |
| 1 | 1 | 予約 (設定しないでください) |

3 サイクル以上設定の場合外部ウェイト入力がいネーブルとなります。

7.2.4 個別メモリコントロールレジスタ (MCR)

| | | | | | | | | | | | | | | | | |
|------|-----|-----|------|-------------------|-------------------|-----|------|---|------|-----|------|------|------|-----|---|---|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TRP | RCD | TRWL | TRAS ₁ | TRAS ₀ | BE | RASD | — | AMX2 | SZ | AMX1 | AMX0 | RFSH | RMD | — | — |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R |

TRP、RCD、TRWL、TRAS₁~0、BE、RASD、AMX2-0、SZ の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以後は値を変更しないでください。書き込みを行う場合には初期設定と同じ値を書いてください。レジスタの初期設定が終了するまでは CS2、CS3 空間はアクセスしないでください。

ビット 15 : RAS プリチャージ期間 (TRP)

DRAM 接続時、 $\overline{\text{RAS}}$ ネゲート後次にアサートするまでの最小サイクル数を指定します。擬似 SRAM 接続時、 $\overline{\text{CE}}$ ネゲート後、次にアサートするまでの最小サイクル数を指定します。

シンクロナス DRAM 接続時、プリチャージ後、バンクアクティブコマンド出力までの最小サイクル数を指定します。詳細は「7.5 シンクロナス DRAM インタフェース」を参照してください。

| ビット 15 | | |
|--------|--------|-------|
| TRP | 説 明 | |
| 0 | 1 サイクル | (初期値) |
| 1 | 2 サイクル | |

ビット 14 : RAS - CAS 遅延 (RCD)

DRAM 接続時、 $\overline{\text{RAS}}$ アサート後、 $\overline{\text{CAS}}$ アサートまでのサイクル数を指定します。

擬似 SRAM 接続時、 $\overline{\text{CE}}$ アサート後、 $\overline{\text{BS}}$ アサートまでのサイクル数を指定します。

シンクロナス DRAM 接続時、バンクアクティブ (ACTV) コマンド発行後、リードまたはライト (READ、READA、WRIT、WRITA) コマンド発行までのサイクル数を指定します。

| ビット 14 | | |
|--------|--------|-------|
| RCD | 説 明 | |
| 0 | 1 サイクル | (初期値) |
| 1 | 2 サイクル | |

ビット 13 : ライト - プリチャージ遅延 (TRWL)

シンクロナス DRAM でバンクアクティブモードでないとき、ライトサイクル後オートプリチャージが起動されるまでのサイクル数を指定します。バスステートコントローラ内

7. バスステートコントローラ (BSC)

部ではこれにより次のアクティブコマンド発行可能タイミングを計算します。バンクアクティブモードのときはライト (WRIT) コマンド発行後のプリチャージコマンド発行禁止期間を指定します。

シンクロナス DRAM 以外のメモリを接続する場合には本ビットは無視されます。

| ビット 13 | | |
|--------|--------|-------|
| TRWL | 説 明 | |
| 0 | 1 サイクル | (初期値) |
| 1 | 2 サイクル | |

ビット 12、11 : CAS ビフォ RAS リフレッシュ RAS アサート期間 (TRAS1、0)

DRAM の RAS アサート幅は TRAS、擬似 SRAM の \overline{OE} 幅は TRAS + 1 サイクルです。

シンクロナス DRAM はオートリフレッシュコマンド発行後、TRP ビットの値にかかわらず、TRAS + 2 サイクルの間バンクアクティブコマンドを発行しません。シンクロナス DRAM の場合には \overline{RAS} アサート期間はありませんがリフレッシュコマンドを発行してから次にアクセスを行うまでの制限時間があるのでそれを守るようにこの値を設定します。セルフリフレッシュ解除時 TRAS + 1 サイクルの間コマンドの発行を行いません。

| ビット 12 | ビット 11 | | |
|--------|--------|-----------------|-------|
| TRAS1 | TRAS0 | 説 明 | |
| 0 | 0 | 2 サイクル | (初期値) |
| 0 | 1 | 3 サイクル | |
| 1 | 0 | 4 サイクル | |
| 1 | 1 | 予約 (設定しないでください) | |

ビット 10 : パーストイネーブル (BE)

| ビット 10 | | |
|--------|--------------------------------------------------------------------------------------------------------------------------------|-------|
| BE | 説 明 | |
| 0 | パースト禁止 | (初期値) |
| 1 | DRAM インタフェース時高速ページモードをイネーブルします。 擬似 SRAM インタフェース時スタティックカラムモードで連続データ転送を行います。 シンクロナス DRAM のアクセスは本ビットの指定によらず常にパーストイネーブル状態です。 | |

ビット9 : バンクアクティブモード (RASD)

| ビット9 | |
|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| RASD | 説明 |
| 0 | DRAMの場合、アクセス終了後 RAS をネゲートします (通常オペレーション)。シンクロナス DRAM の場合、オートプリチャージモードを用いてリード/ライトを行います。したがって、次のアクセスは必ずバンクアクティブコマンドから開始されます。 |
| 1 | DRAMの場合、アクセス終了後 RAS をアサートしたまま放置する RAS ダウンモードになります。DRAM 以外に書き込みを行う外部デバイスを接続して本モードを使用する場合は 7.6.5 バーストアクセスの説明を参照してください。 シンクロナス DRAM の場合、バンクアクティブ状態のままアクセスを終了します。ただし、エリア 3 のみ有効です。エリア 2 をシンクロナス DRAM とした場合に常にオートプリチャージモードとなります。 |

ビット8 : 予約ビット

読み出すと常に 0 が読み出されます。

ビット7、5、4 : アドレスマルチプレクス (AMX2~0)

DRAM インタフェースの場合

| ビット7 | ビット5 | ビット4 | |
|------|------|------|-----------------|
| AMX2 | AMX1 | AMX0 | 説明 |
| 0 | 0 | 0 | コラムアドレス 8 ビット品 |
| 0 | 0 | 1 | コラムアドレス 9 ビット品 |
| 0 | 1 | 0 | コラムアドレス 10 ビット品 |
| 0 | 1 | 1 | コラムアドレス 11 ビット品 |
| 1 | 0 | 0 | 予約 (設定しないでください) |
| 1 | 0 | 1 | 予約 (設定しないでください) |
| 1 | 1 | 0 | 予約 (設定しないでください) |
| 1 | 1 | 1 | 予約 (設定しないでください) |

シンクロナス DRAM インタフェースの場合

| ビット7 | ビット5 | ビット4 | 説 明 |
|------|------|------|-----------------------|
| AMX2 | AMX1 | AMX0 | |
| 0 | 0 | 0 | 16M ビット品 (1M×16 ビット) |
| 0 | 0 | 1 | 16M ビット品 (2M×8 ビット) * |
| 0 | 1 | 0 | 16M ビット品 (4M×4 ビット) * |
| 0 | 1 | 1 | 4M ビット品 (256K×16 ビット) |
| 1 | 0 | 0 | 予約 (設定しないでください) |
| 1 | 0 | 1 | 予約 (設定しないでください) |
| 1 | 1 | 0 | 予約 (設定しないでください) |
| 1 | 1 | 1 | 2M ビット品 (128K×16 ビット) |

【注】 * MCR の SZ ビットが 0 (16 ビットバス幅) のときは予約となるので設定しないでください。

ビット6 : メモリデータサイズ (SZ)

シンクロナス DRAM、DRAM、擬似 SRAM 空間の場合には BCR2 のデータバス幅は無視され本ビットの指定にしがいます。

| ビット6 | 説 明 |
|------|-----------|
| SZ | |
| 0 | ワード (初期値) |
| 1 | ロングワード |

ビット3 : リフレッシュ制御 (RFSH)

DRAM、シンクロナス DRAM、擬似 SRAM のリフレッシュ動作を行うか否かを決めます。

本ビットはスレーブモードでは無効となり、常に 0 として扱われます。

| ビット3 | 説 明 |
|------|-----------|
| RFSH | |
| 0 | しない (初期値) |
| 1 | する |

ビット2 : リフレッシュモード (RMODE)

本ビットは RFSH ビットが 1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを選択するビットです。RFSH ビットが 0 の場合には、本ビットを 1 にしないでください。RFSH ビットを 1、本ビットを 1 にセットするとその直後にセルフリフレッシュモードに入ります。RFSH ビットを 1、本ビットを 0 にセットすると CAS ピフォ RAS

リフレッシュまたはオートリフレッシュを8ビットインターバルタイマに設定した間隔で行います。外部アクセスを行っている最中にリフレッシュ要求が生じた場合アクセスサイクルが終了するまで待ってリフレッシュを行います。

セルフリフレッシュにセットした場合は、シンクロナス DRAM、擬似 SRAM エリアアクセス中でなければ直ちにセルフリフレッシュモードに入ります。アクセス中の場合はアクセスが終了してからセルフリフレッシュモードに入ります。なお、セルフリフレッシュ中のインターバルタイマによるリフレッシュ要求はすべて無視されます。

DRAM ではセルフリフレッシュはサポートしないので DRAM 使用時は本ビットは必ず 0 にしてください。

| ビット 2 | | |
|-------|----------------|-------|
| RMODE | 説 明 | |
| 0 | 通常のリフレッシュを行う | (初期値) |
| 1 | セルフリフレッシュを実行する | |

ビット 1、0：予約ビット

読み出すと常に 0 が読み出されます。

7.2.5 リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)

| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|----|----|---|---|-----|------|------|------|------|---|---|---|
| | — | — | — | — | — | — | — | — | CMF | CMIE | CKS2 | CKS1 | CKS0 | — | — | — |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R |

ビット 15～8：予約ビット

読み出すと常に 0 が読み出されます。

ビット 7：コンペアマッチフラグ (CMF)

RTCNT の値と RTCOR の値が一致したことを示すステータスフラグであり、次の条件でセット / クリアされます。

- ・クリア条件

CMF = 1 の状態で RTCSR を読み出した後、CMF に 0 を書き込んだとき

- ・セット条件

RTCNT = RTCOR になったとき

ビット6：コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、CMF による割り込み要求を許可または禁止します。

| ビット6 | 説明 |
|------|------------------------|
| CMIE | |
| 0 | CMF による割り込み要求を禁止 (初期値) |
| 1 | CMF による割り込み要求を許可 |

ビット5～3：クロックセレクトビット (CKS2～0)

| ビット5 | ビット4 | ビット3 | 説明 |
|------|------|------|-----------------|
| CKS2 | CKS1 | CKS0 | |
| 0 | 0 | 0 | カウントアップ停止 (初期値) |
| 0 | 0 | 1 | CLK / 4 |
| 0 | 1 | 0 | CLK / 16 |
| 0 | 1 | 1 | CLK / 64 |
| 1 | 0 | 0 | CLK / 256 |
| 1 | 0 | 1 | CLK / 1024 |
| 1 | 1 | 0 | CLK / 2048 |
| 1 | 1 | 1 | CLK / 4096 |

ビット2～0：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.2.6 リフレッシュタイマカウンタ (RTCNT)

| ビット | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|----|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| | — | — | — | — | — | — | — | — | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

RTCNT は 8 ビットのカウンタで、入力したクロックによりカウントアップされます。入力するクロックの選択は RTCSR のクロックセレクトビットで行います。RTCNT の値は CPU から常に読み出し / 書き込み可能です。RTCNT が RTCOR と一致すると、RTCNT はクリアされます。255 までカウントアップすると次は 0 に戻ります。

ビット15～8：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.2.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | — | — | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

RTCORは8ビットの読み出し/書き込み可能なレジスタです。RTCORとRTCNTの値は常に比較され、両方の値が一致するとRTCSRのコンペアマッチフラグCMFがセットされ、RTCNTは0にクリアされます。

MCRのリフレッシュビット (RFSH) が1にセットされている場合、この一致信号によってリフレッシュ要求信号を発生します。リフレッシュ要求信号は実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は前の要求は無効となります。

RTCSRのCMIEが1にセットされているとこの一致信号によって割り込みコントローラに対し割り込み要求を発生させます。割り込み要求はRTCSRのCMFがクリアされるまで続けて出力されます。CMFのクリアは割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがってリフレッシュを行いながら、リフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインタバルタイマ割り込みの同時設定を行うことも可能です。

ビット15~8: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

7.3 アクセスサイズとデータアライメント

7.3.1 通常デバイスとの接続

アクセスの単位としてはバイト、ワード、ロングワードの単位で可能です。

データのアライメントは各デバイスのデータ幅にあわせて行われます。バイト幅のデバイスからロングワードデータを読み出すためには、4回の読み出し動作が必要です。バスステートコントローラはそれぞれのインタフェースの間でデータのアライメント、およびデータ長の変換を自動的に行います。外部デバイスのデータ幅は、CS0空間はモードピンによって、CS1～CS3空間はBCR2の設定を行うことによって8ビット、16ビット、32ビットのいずれでも接続することができます。ただし、本機能はそれぞれの空間に接続するデバイスのデータ幅を静的に指定するためのものであり、アクセスサイクルごとにデータの幅を変更することはできません。

命令のフェッチは常に32ビット単位で行われます。奇数ワード境界 ($4n+2$ 番地) に分岐する場合にも命令フェッチは $4n$ 番地からロングワード単位で行われます。

デバイスのデータ幅とアクセスの単位との関係を図 7.2～図 7.4 に示します。

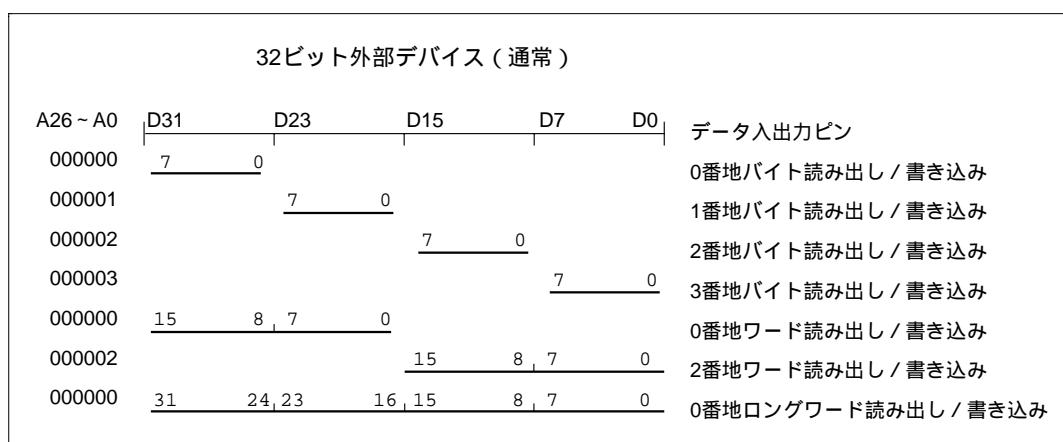


図 7.2 32ビット外部デバイスとアクセス単位の関係

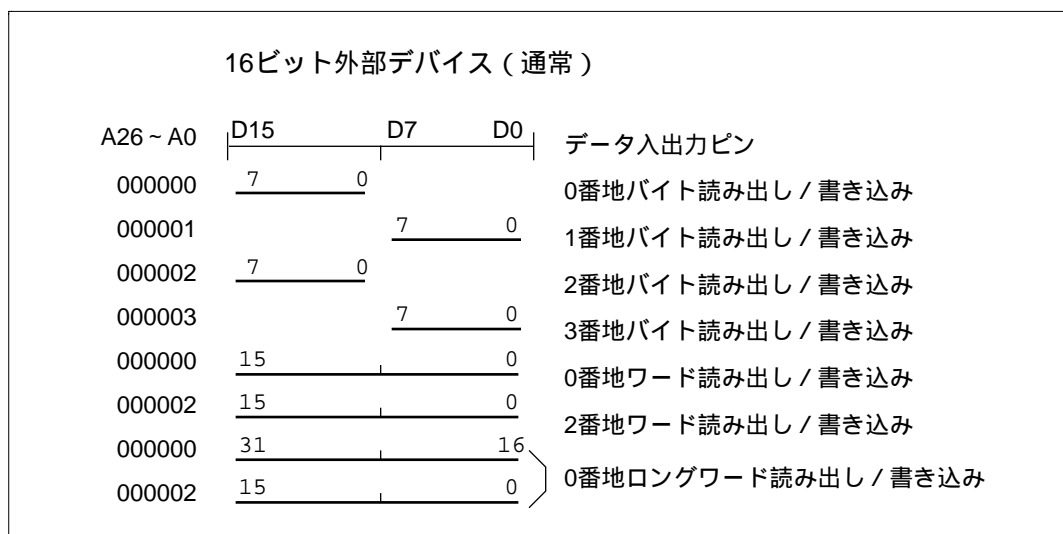


図 7.3 16ビット外部デバイスとアクセス単位の関係

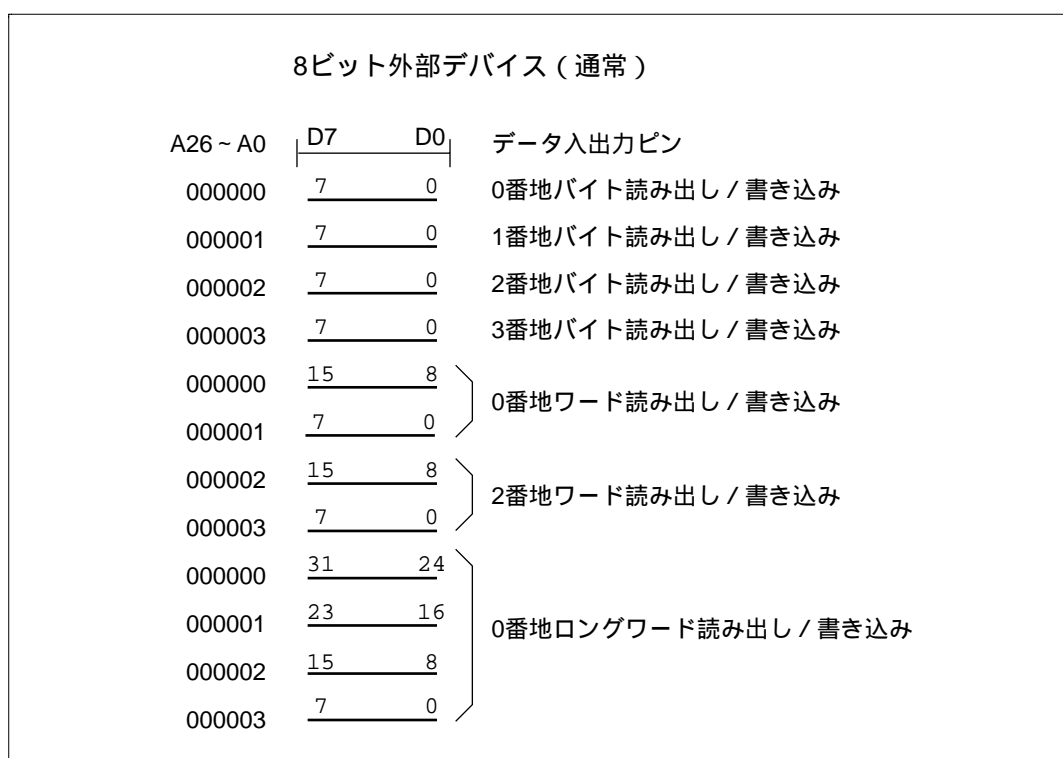


図 7.4 8ビット外部デバイスとアクセス単位の関係

7.3.2 リトルエンディアンのデバイスとの接続

本 LSI では、バイトデータのならばが LSB が 0 番地側になるリトルエンディアンのデバイスとの接続、およびプログラムの互換性を維持するために、CS2 空間でエンディアンの変換機能を提供しています。BCR1 のエンディアン指定ビットを 1 に設定すると、CS2 空間はリトルエンディアンとなります。リトルエンディアン時のデバイスのデータ幅とアクセス単位の間接関係を図 7.5 と図 7.6 に示します。リトルエンディアンのバスマスタとメモリ等を共有する場合、32 ビット幅では本 LSI の D31 ~ D24 を相手のバスマスタの最下位バイト (LSB) に、D7 ~ D0 を最上位バイト (MSB) に接続します。16 ビット幅では、D15 ~ D8 を相手の LSB に、D7 ~ D0 を MSB に接続します。

コンパイラ、リンカ等のサポートソフトウェアでエンディアンの切り換えをサポートしていない場合、命令コードおよびプログラム中の定数は、リトルエンディアンになりません。したがって、CS2 空間にプログラムおよび定数を置かないように注意が必要です。他の CS 空間にある命令またはデータを、いったん本 LSI を用いて CS2 空間に転送してから使う場合には、エンディアンの変換を本 LSI が行うため問題は生じません。リトルエンディアン用に設計されたプログラムは、低位アドレスに下位バイトを格納することを前提につくられており、C 等の高級言語で記述されたプログラムでも、そのまま再コンパイルをただけでは実行結果が正しくない場合があります。0 番地にある符号付き 16 ビットデータの符号ビットはリトルエンディアンでは 1 番地に、ビッグエンディアンでは 0 番地に格納されています。プログラムおよび定数を CS2 空間以外、データエリアを CS2 空間に割り付けることによって、リトルエンディアン用に書かれたプログラムを正しく実行することが可能となります。本 LSI では 8 ビットデータバス幅のデバイスに対してリトルエンディアンモードはサポートしていないので注意してください。

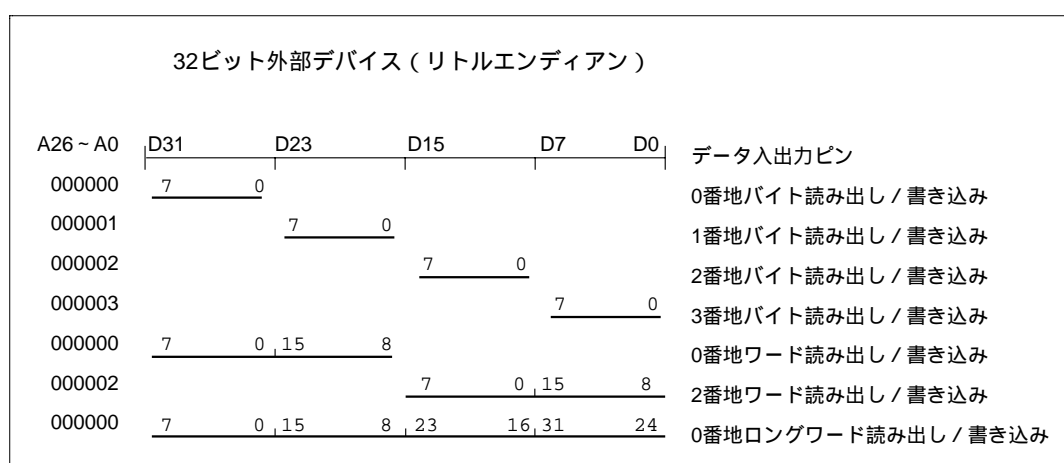


図 7.5 32 ビット外部デバイスとアクセス単位の関係

| 16ビット外部デバイス (リトルエンディアン) | | | | |
|-------------------------|-----|--------|----|----------------------|
| A26 ~ A0 | D15 | D7 | D0 | データ入出力ピン |
| 000000 | 7 | 0 | | 0番地バイト読み出し / 書き込み |
| 000001 | | 7 | 0 | 1番地バイト読み出し / 書き込み |
| 000002 | 7 | 0 | | 2番地バイト読み出し / 書き込み |
| 000003 | | 7 | 0 | 3番地バイト読み出し / 書き込み |
| 000000 | 7 | 0, 15 | 8 | 0番地ワード読み出し / 書き込み |
| 000002 | 7 | 0, 15 | 8 | 2番地ワード読み出し / 書き込み |
| 000000 | 7 | 0, 15 | 8 | 0番地ロングワード読み出し / 書き込み |
| 000002 | 23 | 16, 31 | 24 | |

図 7.6 16ビット外部デバイスとアクセス単位の関係

・リトルエンディアン機能使用方法

SH7604 では、通常ビッグエンディアンのアライメントでデータ入出力を行いますが、リトルエンディアンのデバイスとの接続を可能とするため、CS2 空間でエンディアンの変換機能を提供しています。本機能を使用する上で、以下の2点にご配慮ください。

- (1) リトルエンディアンは、CS2 スルー領域で使用してください。
- (2) 本機能を使用して、他のリトルエンディアンのデバイスとデータを共有する場合、両者のアクセスサイズは統一してください。例えば、他のリトルエンディアンのデバイスがロングワードサイズで書き込んだデータを SH7604 で読み出す場合、必ずロングワードで読み出してください。

7.4 通常空間アクセス

7.4.1 基本タイミング

CS0~CS3の空間の通常空間アクセスは、主にSRAMの直結を考慮してストロープ信号を出力します。図7.7に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは2サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表すため、1サイクルアサートされます。 \overline{CSn} 信号はネゲート期間を確保するために、T2のクロック立下りでネゲートされます。したがって最小ピッチでアクセスする場合にも、半サイクルのネゲート期間が生まれます。

アクセスサイズはリード時は指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32ビットデバイスでは32ビット、16ビットデバイスでは16ビットを常に読み出すこととなります。ライト時には書き込みを行うバイトの \overline{WE} 信号のみがアサートされます。32ビットデバイスでは $\overline{WE3}$ が4n番地の書き込み指定であり、 $\overline{WE0}$ が4n+3番地の書き込み指定です。16ビットデバイスの場合には $\overline{WE1}$ が2n番地の指定で、 $\overline{WE0}$ が2n+1番地の指定です。8ビットデバイスの場合には $\overline{WE0}$ のみを使用します。

アクセスの合間に本LSIから出力されるエミュレータ用のトレース情報などと外部デバイスの読み出しデータが衝突しないように、 \overline{RD} 信号を用いて外部デバイスのデータ出力コントロールをする必要があります。すなわち、データバスにバッファを設ける場合にはリード方向のデータ出力を \overline{RD} 信号を用いて行う必要があります。 RD/\overline{WR} 信号はアクセスを行っていないとき常時リード状態となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

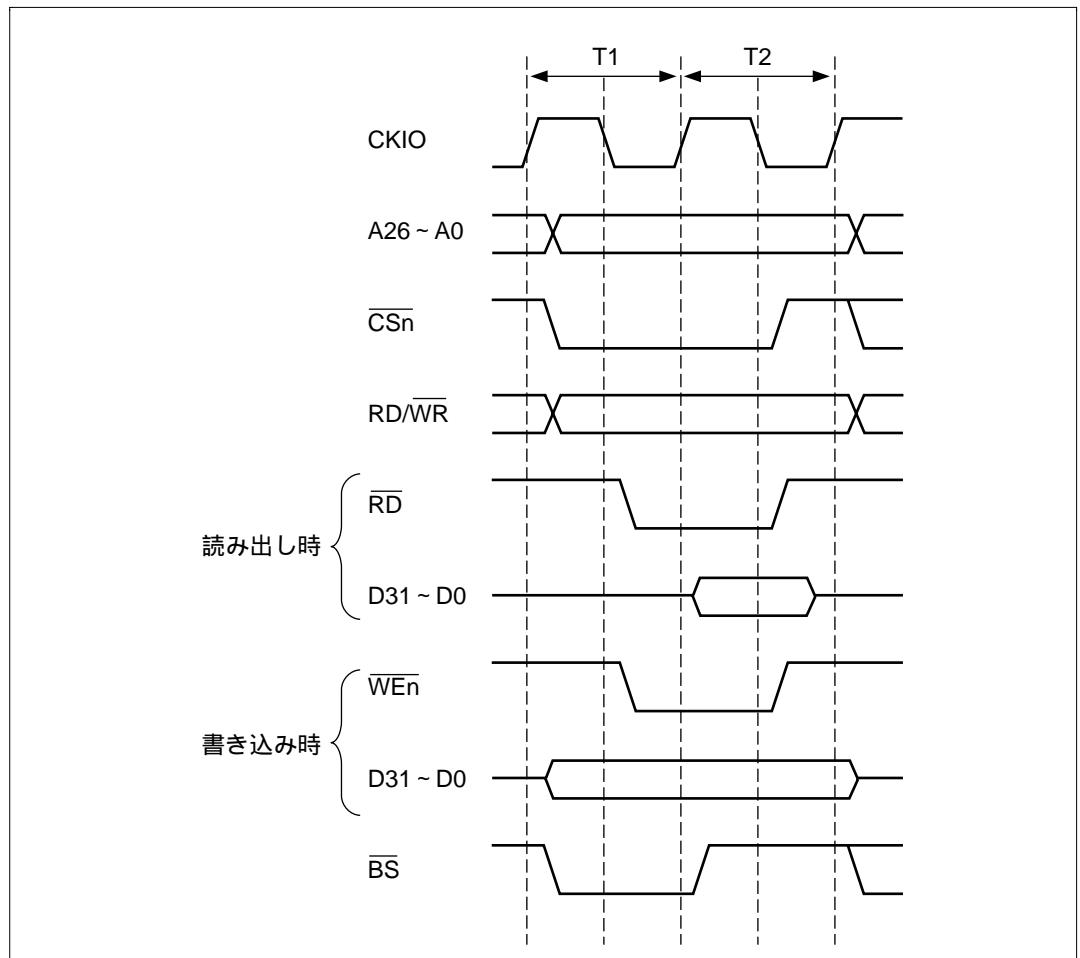


図 7.7 通常空間アクセスの基本タイミング

図 7.8 に 32 ビットデータ幅の SRAM との接続例を、図 7.9 に 16 ビットデータ幅の SRAM との接続例を、図 7.10 に 8 ビットデータ幅の SRAM との接続例を示します。

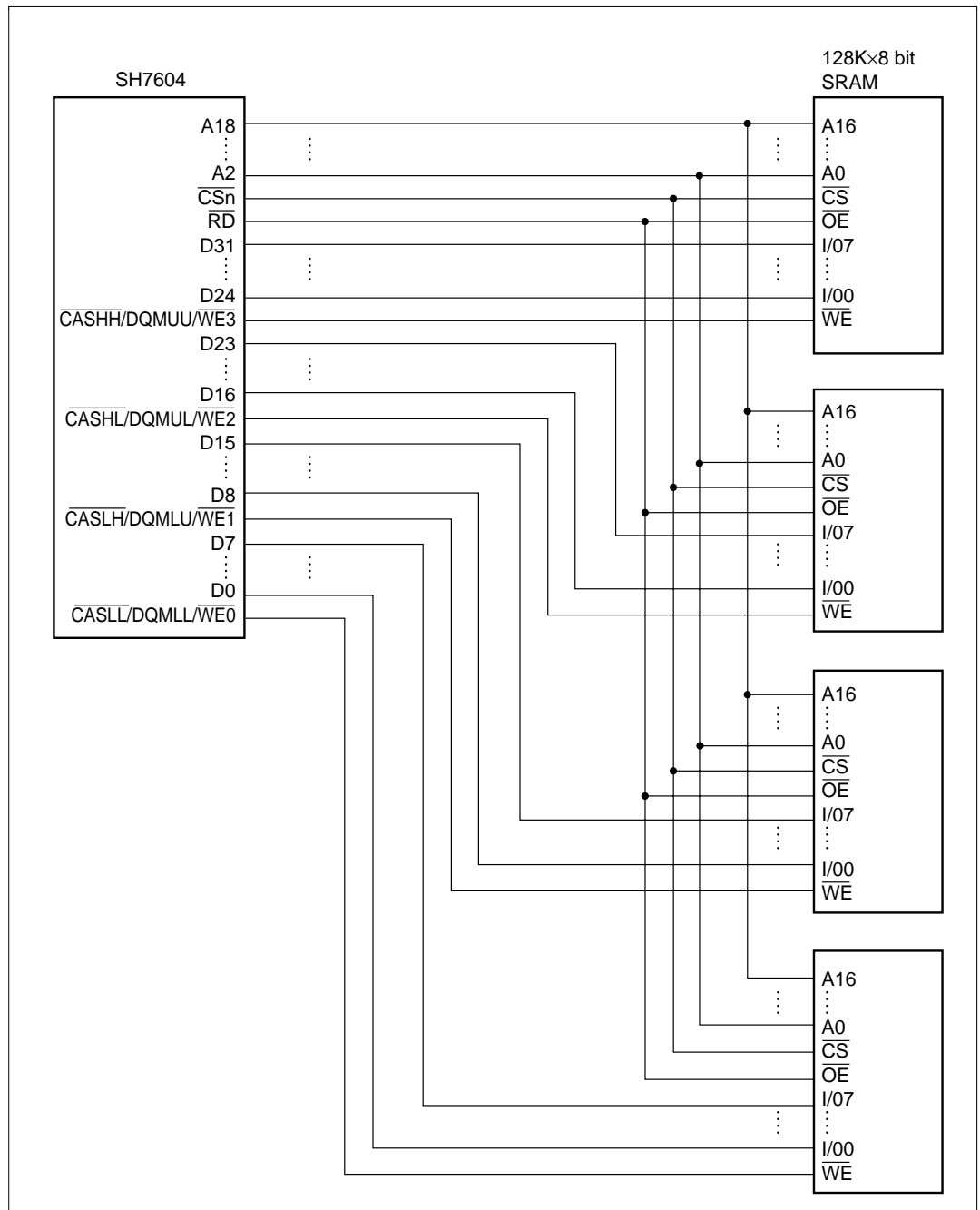


図 7.8 32 ビットデータ幅 SRAM 接続例

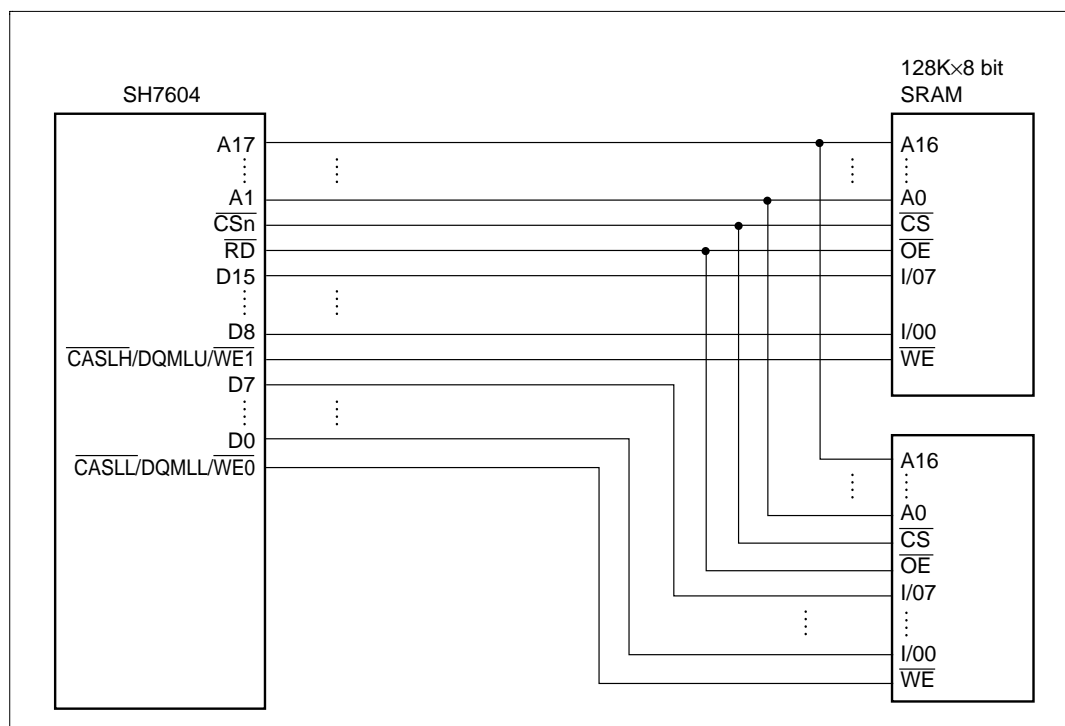


図 7.9 16 ビットデータ幅 SRAM 接続例

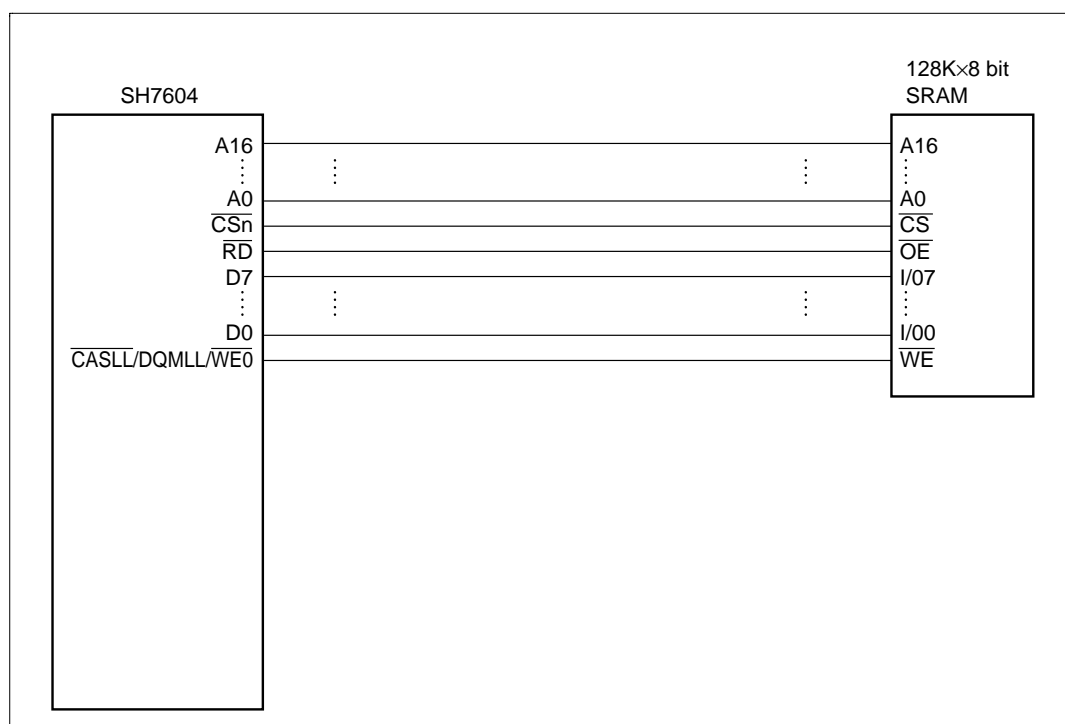


図 7.10 8 ビットデータ幅 SRAM 接続例

7.4.2 ウェイトステート制御

WCR および BCR1 の設定により、通常空間アクセスのウェイトステートの挿入を制御できます。WCR の各 CS 空間に対応するウェイト指定ビット 2 ビット (W_{n1} と W_{n0}) の組み合わせが 01 および 10 のときは、このウェイト指定にしたがったソフトウェイトが挿入されます。 W_{n1} と W_{n0} が 11 の時には、BCR1 のロングウェイト指定ビット $AnLW$ の指定にしたがってウェイトサイクルの挿入を行います。BCR1 のロングウェイト指定は、CS0 および CS1 空間ではそれぞれ独立に指定ができますが、CS2 と CS3 空間では同じ値が指定されます。ただし、WCR の指定はそれぞれ独立しています。WCR および BCR1 によって、図 7.11 に示す通常アクセス空間のウェイトタイミングで、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

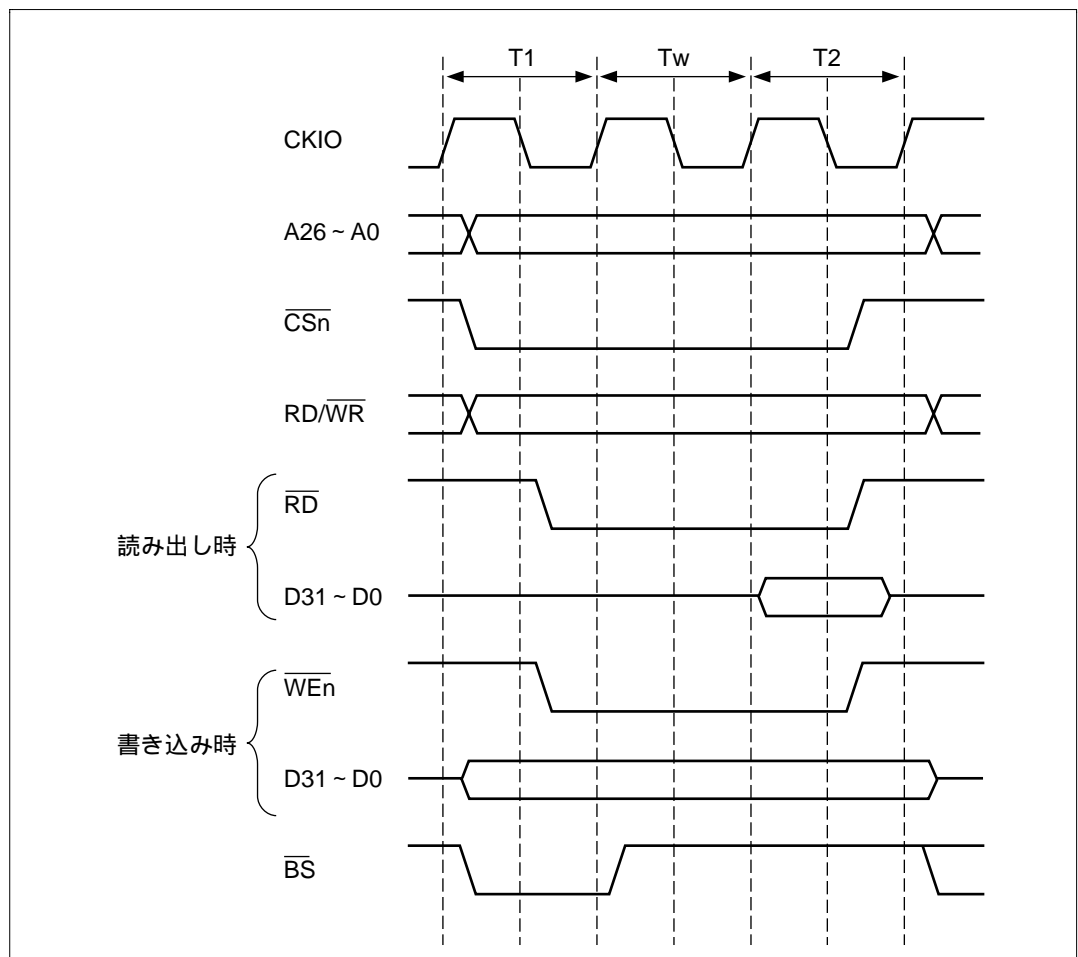


図 7.11 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 \overline{WAIT} 信号もサンプリングされます。 \overline{WAIT} 信号のサンプリングを図 7.12 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。サンプリングは T_w ステートから T_2 ステートに移行する際に行われるので、 T_1 のサイクルおよび 1 回目

の T_w サイクルで $\overline{\text{WAIT}}$ 信号をアサートしても、なんら影響を与えません。 $\overline{\text{WAIT}}$ 信号はクロックの立ち上がりでサンプリングされます。

ただし、8 ビットバス幅 (バイトサイズ) のデバイス (通常空間およびバースト ROM) にワードアクセスする場合は、外部ウェイトを入力しないでください。この場合、ウェイトはソフトウェアでのみ制御してください。

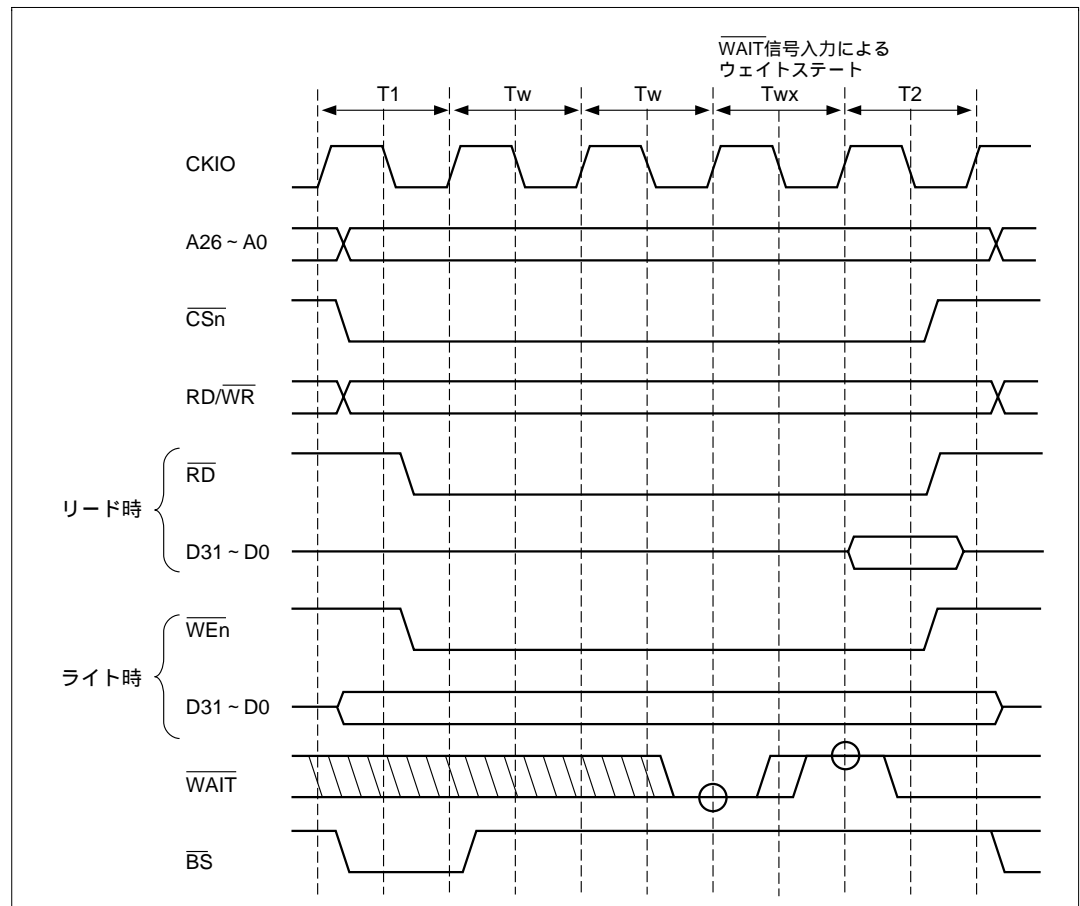


図 7.12 通常空間アクセスのウェイトステートタイミング
($\overline{\text{WAIT}}$ 信号によるウェイトステート)

7.5 シンクロナス DRAM インタフェース

7.5.1 シンクロナス DRAM 直結方式

シンクロナス DRAM として本 LSI に直接接続可能なものは、2M ビットの 128 k × 16 品、4M の 256 k × 16 品、16M ビットの 1M × 16 品、2M × 8 品、および 4M × 4 品の 5 種類です。それぞれ内部が 2 つのバンクに分割されているものに対応しています。シンクロナス DRAM は \overline{CS} 信号によって選択ができるため、 \overline{RAS} 等の制御信号を共通に使用して CS2 空間と CS3 空間に接続が可能です。BCR1 の DRAM 他イネーブルビット (DRAM 2~0) を 001 に設定すると、CS2 空間が通常空間、CS3 空間がシンクロナス DRAM 空間になり、100 に設定すると CS2 空間がシンクロナス DRAM 空間、CS3 空間が通常空間になり、101 に設定すると CS2 空間、CS3 空間がともにシンクロナス DRAM 空間となります。

シンクロナス DRAM の動作モードとしては、バーストリード/シングルライトのモードをサポートしています。バースト長はデータバス幅に依存し、16 ビット幅の時には 8 バースト、32 ビット幅の時には 4 バーストを使用します。データのバス幅は MCR のサイズビット SZ によって指定されます。必ずバースト動作を行うので、MCR のバーストイネーブルビット BE は無視されます。

シンクロナス DRAM を直結するための制御信号は $\overline{RAS} / \overline{CE}$ 、 $\overline{CAS} / \overline{OE}$ 、RD / \overline{WR} 、 $\overline{CS2}$ または $\overline{CS3}$ 、DQM_{UU}、DQM_{MU}、DQM_{LU}、DQM_{LL} および CKE 信号です。 $\overline{CS2}$ または $\overline{CS3}$ を除く信号は各エリア共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ が真のときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE はセルフリフレッシュを行うときのみアサート (L レベルに) され、それ以外は常にネゲート (H レベルに) されています。

$\overline{RAS} / \overline{CE}$ 、 $\overline{CAS} / \overline{OE}$ 、RD / \overline{WR} 、および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、ロウアドレスストローブ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は DQM_{UU}、DQM_{MU}、DQM_{LU}、DQM_{LL} によって行われます。該当する DQM が L のバイトに対して読み出し書き込みが行われます。32 ビットデータ幅の場合、DQM_{UU} は 4n 番地のアクセスを、DQM_{LL} は 4n + 3 番地のアクセスを指定します。16 ビット幅の場合は DQM_{LU}、DQM_{LL} のみが使われます。

図 7.13 に 256 k × 16 ビットのシンクロナス DRAM を用い 32 ビット幅で接続する場合の例を示します。図 7.14 には 16 ビット幅で接続する場合の例を示します。

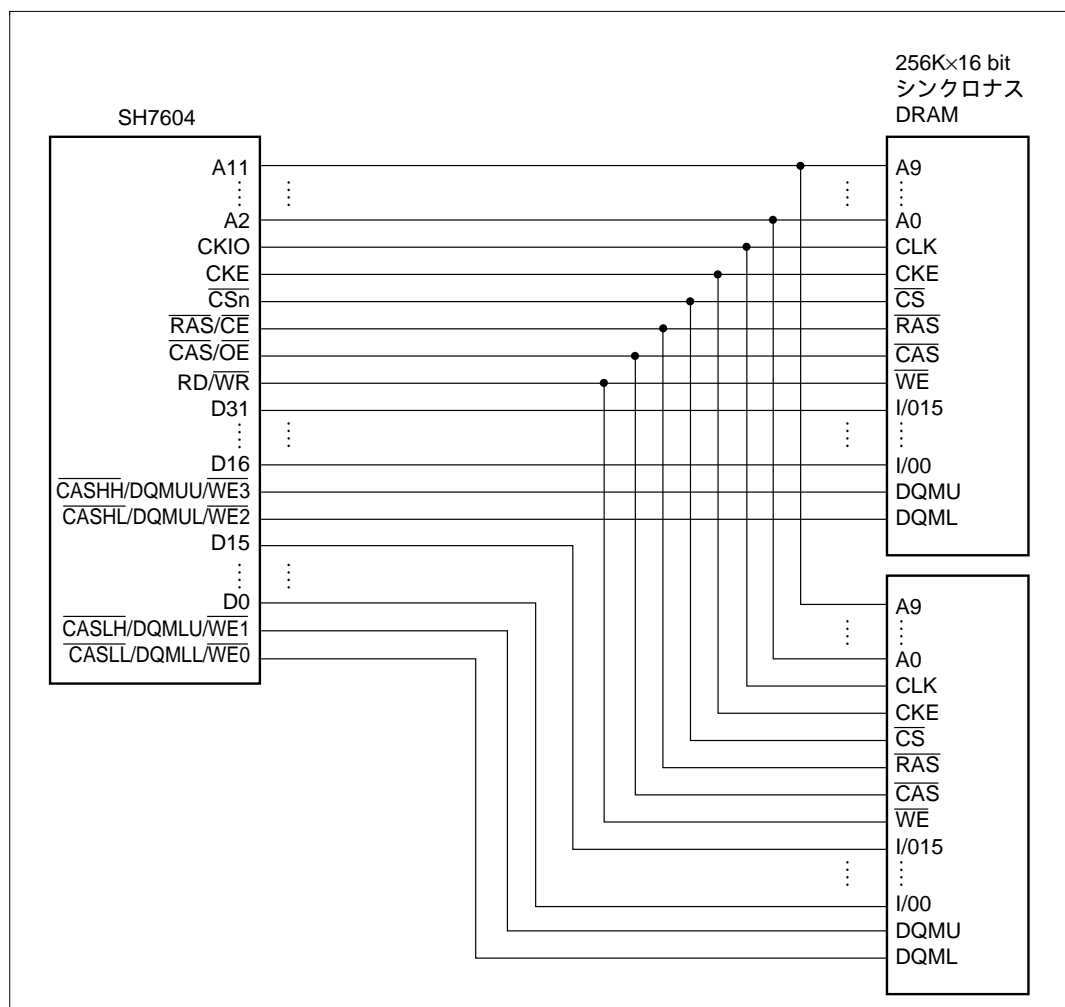


図 7.13 シンクロナス DRAM32 ビットデバイス幅接続例

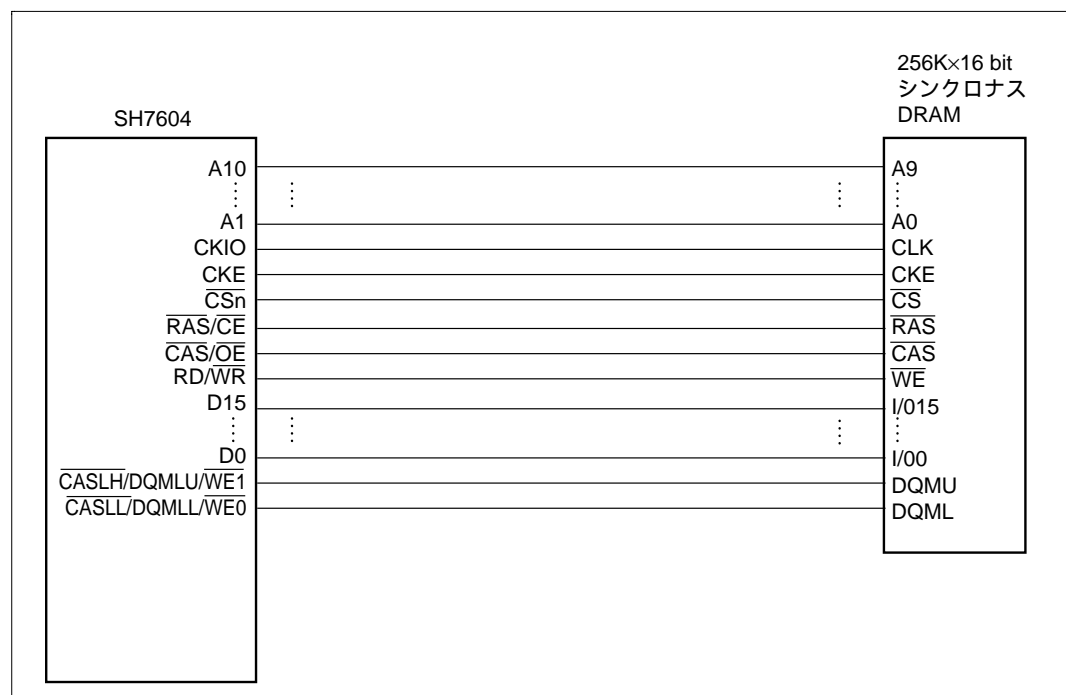


図 7.14 シンクロナス DRAM16 ビットデバイス幅接続例

7.5.2 アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMX2 ~ AMX0 とサイズ指定 SZ にしたがって、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 7.4 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。

A26 ~ A14 と A0 はマルチプレクスを行わず常に本来の値が出力されています。

SZ=0 のときは、シンクロナス DRAM 側のデータ幅は 16 ビットであり、デバイスのアドレス端子の LSB である A0 はワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。

SZ=1 のときは、シンクロナス DRAM 側のデータ幅は 32 ビットであり、デバイスのアドレス端子の LSB である A0 はロングワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 7.4 SZ、AMX とアドレスマルチプレクス出力の関係

| 設定 | | | | 出力タイミング | 外部アドレス端子 | | | | | |
|----|------|------|------|---------|-----------|-------------------|-------------------|-------------------|-------------------|-------------------|
| SZ | AMX2 | AMX1 | AMX0 | | A1 ~ A8 | A9 | A10 | A11 | A12 | A13 |
| 1 | 0 | 0 | 0 | カラムアドレス | A1 ~ A8 | A9 | A10 | A11 | L/H* ¹ | A21* ² |
| | | | | ロウアドレス | A9 ~ A16 | A17 | A18 | A19 | A20 | A21* ² |
| 1 | 0 | 0 | 1 | カラムアドレス | A1 ~ A8 | A9 | A10 | A11 | L/H* ¹ | A22* ² |
| | | | | ロウアドレス | A10 ~ A17 | A18 | A19 | A20 | A21 | A22* ² |
| 1 | 0 | 1 | 0 | カラムアドレス | A1 ~ A8 | A9 | A10 | A11 | L/H* ¹ | A23* ² |
| | | | | ロウアドレス | A11 ~ A18 | A19 | A20 | A21 | A22 | A23* ² |
| 1 | 0 | 1 | 1 | カラムアドレス | A1 ~ A8 | A9 | L/H* ¹ | A19* ² | A12 | A13 |
| | | | | ロウアドレス | A9 ~ A16 | A17 | A18 | A19* ² | A20 | A21 |
| 1 | 1 | 1 | 1 | カラムアドレス | A1 ~ A8 | A9 | L/H* ¹ | A18* ² | A12 | A13 |
| | | | | ロウアドレス | A9 ~ A16 | A17 | A17 | A18* ² | A20 | A21 |
| 0 | 0 | 0 | 0 | カラムアドレス | A1 ~ A8 | A9 | A10 | L/H* ¹ | A20* ² | A13 |
| | | | | ロウアドレス | A9 ~ A16 | A17 | A18 | A19 | A20* ² | A21 |
| 0 | 0 | 1 | 1 | カラムアドレス | A1 ~ A8 | L/H* ¹ | A18* ² | A11 | A12 | A13 |
| | | | | ロウアドレス | A9 ~ A16 | A17 | A18* ² | A19 | A20 | A21 |
| 0 | 1 | 1 | 1 | カラムアドレス | A1 ~ A8 | L/H* ¹ | A17* ² | A11 | A12 | A13 |
| | | | | ロウアドレス | A9 ~ A16 | A16 | A17* ² | A19 | A20 | A21 |

AMX2 ~ AMX0 = 100、101、110 の設定は予約となっていますので設定しないでください。

SZ=0 のとき AMX2 ~ AMX0 = 001 と 010 の設定も予約となっていますので設定しないでください。

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスのモードによって L または H に固定されます。

*2 バンクアドレス指定

7.5.3 バーストリード

バーストリード時のタイミングチャートを図 7.15 に示します。以下の例では 256k × 16 ビットのシンクロナス DRAM を 2 個接続し、データ幅 32 ビットで使用した場合を想定しており、バースト長は 4 となっています。ACTV コマンド出力を行う Tr サイクルに続いて、READA コマンドを Tc サイクルに発行し、Td1 から Td4 のサイクルに内部クロックの立ち下がりてリードデータを受け取ります。Tap はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。ただし、別の CS 空間や同じシンクロナス DRAM で、もう一方のバンクに対するアクセスは可能です。本 LSI では MCR の TRP の指定によって Tap のサイクル数を決定し、この間同一バンクに対するコマンド発行を行いません。

図 7.15 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続

するため、WCR および MCR のビットを設定することによって、サイクルをのばすことができます。ACTV コマンド出力サイクル T_r から READA コマンド出力サイクル T_c までのサイクル数は、MCR の RCD ビットによって指定することができます。0 の時 1 サイクル、1 の時 2 サイクルとなります。2 サイクルの場合、 T_r サイクルと T_c サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル T_{rw} が挿入されます。READA コマンド出力サイクル T_c から最初のリードデータ取り込みサイクル T_{d1} までのサイクル数は、WCR の W21、W20 および W31、W30 によって、1 サイクルから 4 サイクルまで CS2、CS3 空間それぞれ独立に指定することができます。バスアービトレーションを部分共有マスタのモードで使用する場合の CAS レイテンシが CS2、CS3 で異なる場合に、別々の設定が行えます。このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。2 サイクル以上の場合には T_c サイクルと T_{d1} サイクルの間に NOP コマンド発行サイクル T_w が挿入されます。プリチャージ完了待ちサイクル T_{ap} のサイクル数は、MCR の TRP ビットによって指定され、CAS レイテンシが 1 の時には 1 サイクルまたは 2 サイクルの T_{ap} サイクルが発生します。CAS レイテンシが 2 以上の時には、TRP の指定 - 1 サイクルの T_{ap} サイクルが発生します。 T_{ap} サイクルの間は同一バンクに対するコマンドは、NOP をのぞいて発行されません。RCD を 1 に、W31、W30 を 01 に、TRP を 1 に設定したときのバーストリードのタイミングを図 7.16 に示します。

シンクロナス DRAM サイクルでは、バスアービトレーションの項で述べる外部アドレスモニタを行うために、通常空間アクセスではバスサイクル開始時に 1 サイクルアサートする \overline{BS} 信号を、 T_{d1} ~ T_{d4} の各サイクルでアサートしています。シンクロナス DRAM のリードに続いて、バス間ウェイト指定 0 で他の CS 空間をアクセスする場合、 \overline{BS} 信号が連続してアサートされる場合があります。さらに、バーストリードを行っているときには、アドレスはデータを取り込むごとに更新されます。バースト転送の単位は 16 バイトなので、アドレスの更新は A3 から A1 のみに対して行われます。アクセスの順は DMAC による 16 バイトデータ転送ではアドレスの順に行われますが、キャッシュミス時のフィル動作では最後にミスしたデータが読み込まれるように +4 したアドレスから読み出しが開始されます。

データ幅が 16 ビットの場合には、16 バイトのデータを転送するため、8 バーストサイクル必要となります。データ取り込みのサイクルは T_{d1} から T_{d8} となります。 T_{d1} から T_{d8} まで、毎サイクル \overline{BS} 信号がアサートされます。

シンクロナス DRAM の CAS レイテンシは 3 サイクルまでですが、バスステートコントローラの CAS レイテンシは 4 まで指定できます。これは本 LSI とシンクロナス DRAM の間にラッチを含む回路を設けて互いを接続するためのものです。

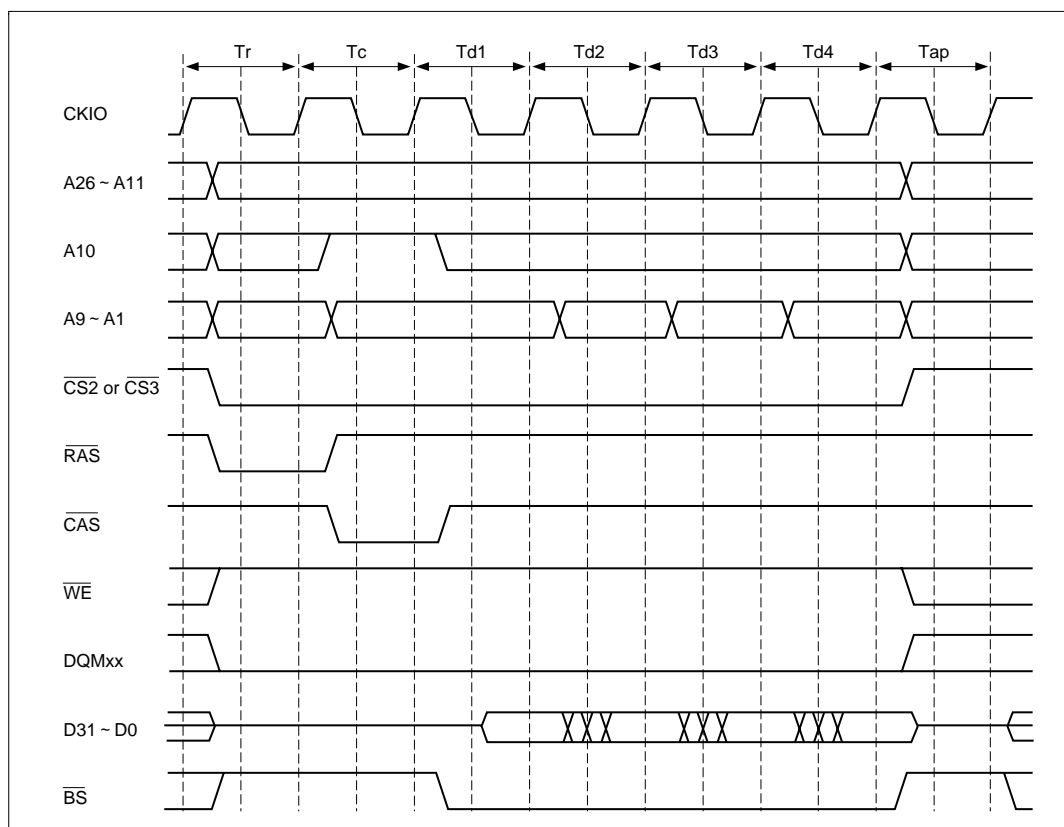


図 7.15 バーストリード基本タイミング (オートプリチャージ)

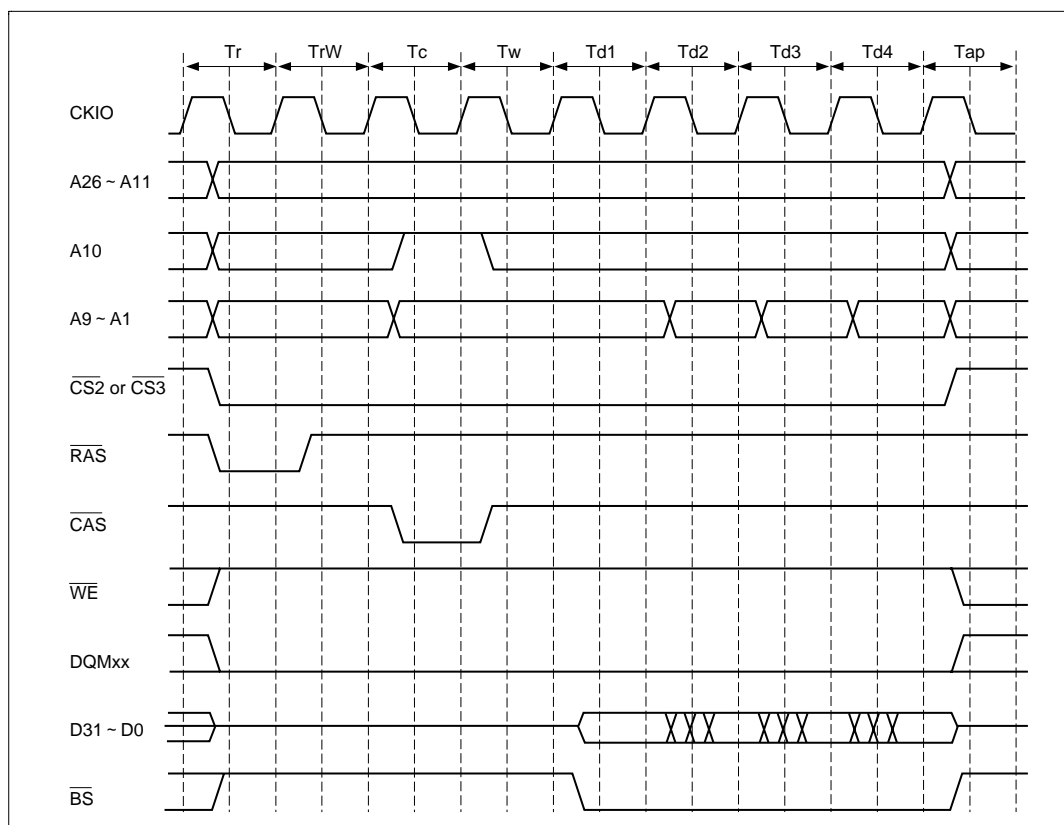


図 7.16 バーストリードウェイト指定タイミング (オートプリチャージ)

7.5.4 シングルリード

キャッシュ領域をアクセスし、キャッシュがミスしたときのキャッシュフィルサイクルは 16 バイト単位で行われるため、バーストリードで読み出されたデータはすべて有効に使用されます。これに対し、キャッシュスルー領域をアクセスする場合には、必要なデータは最長でも 32 ビットであり、残りの 12 バイトは無駄となります。DMAC による DMA 転送でもシンクロナス DRAM をソースに指定し、転送単位に 16 バイト以外を指定すると同様に無駄なデータアクセスが生じます。図 7.17 に単一アドレスのリードを行う場合のタイミングを示します。シンクロナス DRAM は、バーストリード/シングルライトのモードに設定しているため、必要なデータを受け取った後も読み出しデータの出力が続けられます。データの衝突を避けるため、Td1 で必要なデータの読み込みを行ったあと、Td2 から Td4 の空読みサイクルを行い、シンクロナス DRAM の動作終了を待ちます。この場合には Td1 でのみデータを取り込むので \overline{BS} 信号も Td1 でのみアサートされます。

データ幅が 16 ビットの場合、読み出し時のバースト転送数は 8 となります。キャッシュスルーおよびその他の DMA リードサイクルでは Td1 から Td8 の 8 サイクルのうち、ロングワードアクセスでは Td1 と Td2 サイクルでのみ、ワードまたはバイトアクセスでは Td1 サイクルでのみ \overline{BS} がアサートされ、データが取り込まれます。

このような空サイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下、DMA 転送速度の低下を招くので、 unnecessary キャッシュスルー領域のアクセスをさけるとともに、シンクロナス DRAM をソースに指定した DMA 転送を行う場合データを 16 バイト境界に配置して 16 バイト単位の転送ができるようなデータ構造を採用することが重要です。

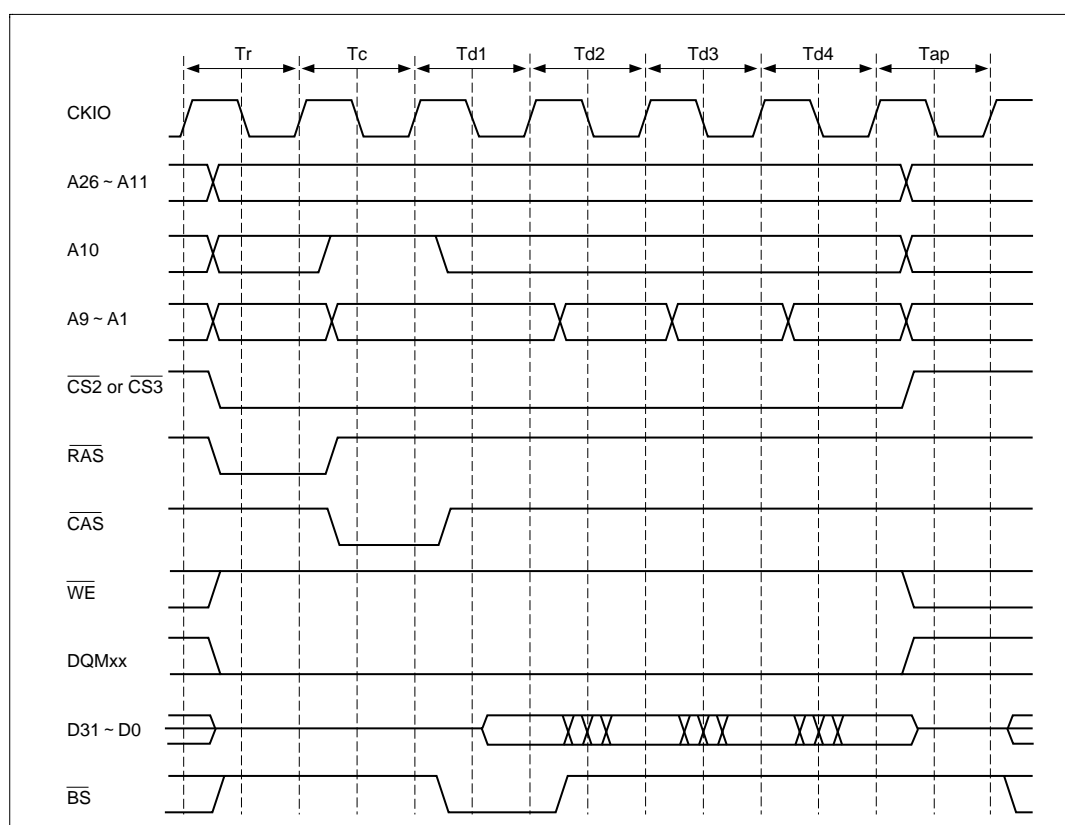


図 7.17 シングルリードタイミング (オートプリチャージ)

7.5.5 ライト

シンクロナス DRAM の書き込みは、読み出しと異なりシングルライトで行います。ライトアクセスの基本タイミングチャートを図 7.18 に示します。ACTV コマンド T_r について、オートプリチャージを行う WRITA コマンドを T_c で発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル T_{ap} に加えライトコマンド後、プリチャージが起動されるまでの時間を待つ T_{rw1} サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 T_{rw1} サイクルのサイクル数も指定可能で、MCR の TRWL ビットによって指定を行います。

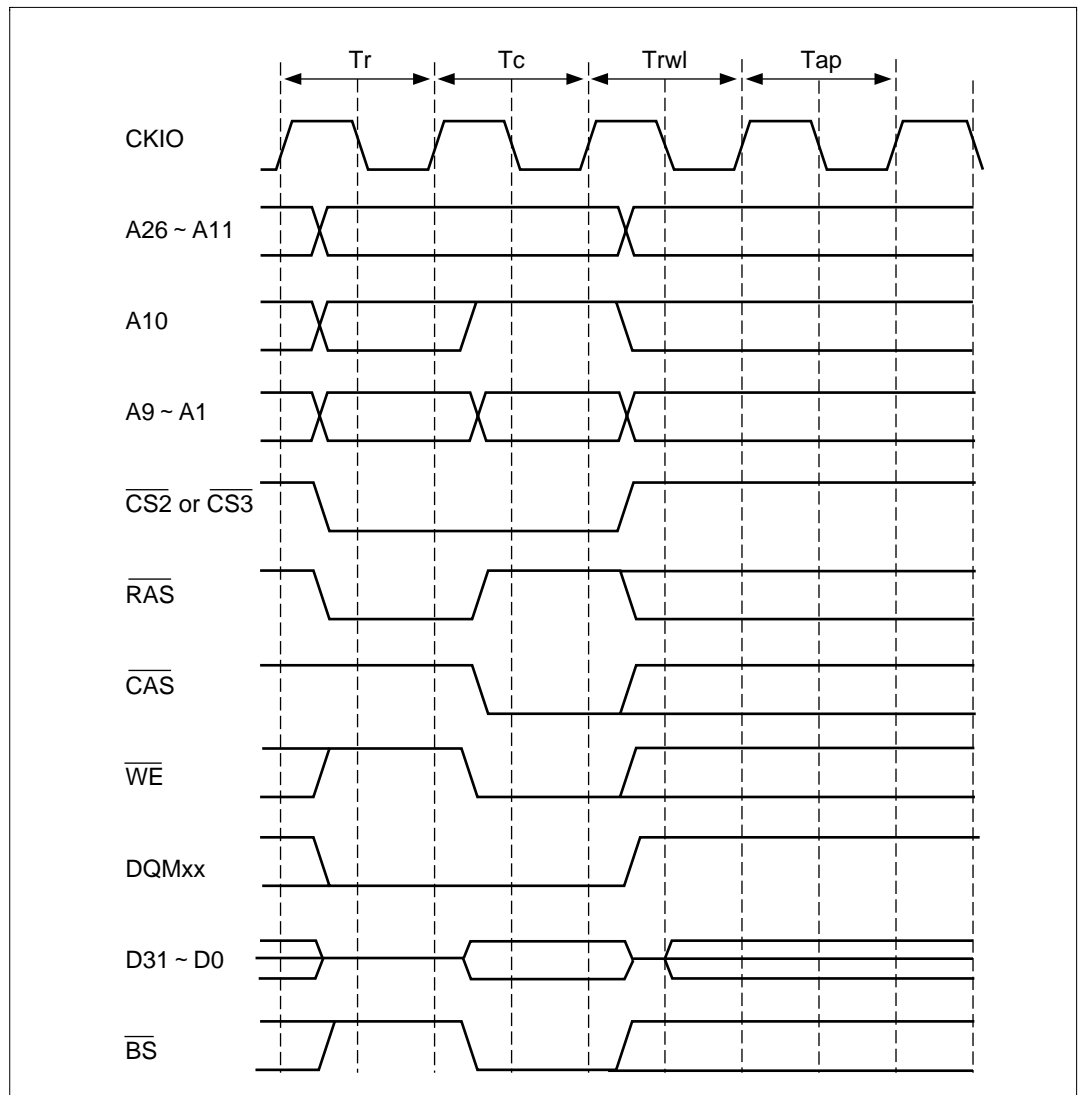


図 7.18 ライトサイクル基本タイミング (オートプリチャージ)

7.5.6 バンクアクティブ

同一のロウアドレスに対するアクセスを高速にサポートするため、シンクロナス DRAM のバンク機能を用います。MCR の RASD ビットが 1 の場合、リード/ライトコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、DRAM の高速ページモードにおける RAS ダウン状態と同様に、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。シンクロナス DRAM の内部は 2 つのバンクに分かれているので、それぞれのバンクで 1 つずつロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が

のびてしまいます。

書き込みの場合、オートプリチャージを行うと、WRITA コマンド発行後 $t_{RWL} + t_{AP}$ サイクルのあいだコマンド発行を行えません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1つの書き込みごとに $t_{RWL} + t_{AP}$ サイクルだけサイクル数を短縮することができます。プリチャージコマンド発行からロウアドレスストロブコマンドまでのサイクル数は MCR の TRP で決まります。

バンクアクティブモードを使用する場合と基本アクセスを用いる場合のどちらが実行速度が速いかは、同一のロウアドレスをアクセスする確率 (P_1) と、アクセスが完了してから次にアクセスするまでの平均サイクル数 (t_A) によって決まります。 t_A が t_{AP} よりも大きい場合、リード時のプリチャージ待ちによる遅れが見えなくなります。 t_A が $t_{RWL} + t_{AP}$ よりも大きければ、ライト時のプリチャージ待ちによる遅れも見えなくなります。この場合、バンクアクティブモードと基本アクセスのアクセス速度はアクセス開始からリード・ライトコマンド発行までのサイクル数となり、それぞれ $(t_{RP} + t_{RCD}) \times (1 - P_1)$ と t_{RCD} となります。

各バンクをアクティブ状態にしておける時間 t_{RAS} には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を t_{RAS} の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上バンクがアクティブ状態にとどまらない工夫をプログラムでする必要があります。

図 7.19 にオートプリチャージでないバーストリードサイクルを、図 7.20 には同一のロウアドレスに対するバーストリードサイクルを、図 7.21 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 7.22 にオートプリチャージでないライトサイクルを、図 7.23 に同一のロウアドレスに対するライトサイクルを、図 7.24 には異なるロウアドレスに対するライトサイクルを示します。

図 7.20 において READ コマンドを発行する T_c サイクルに先立って、何も行わない T_{nop} サイクルが挿入されていますが、シンクロナス DRAM は読み出し時にバイト指定を行う DQM_{xx} 信号について、2 サイクルのレイテンシがあります。 T_{nop} を挿入しないで T_c サイクルを直ちに行うと、 T_{d1} サイクルのデータ出力に対する DQM_{xx} 信号の指定が行えません。このため T_{nop} サイクルを挿入します。CAS レイテンシが 2 以上の場合には、 T_c サイクル以降に DQM_{xx} 信号を設定しても間に合うため、 T_{nop} サイクルの挿入は行われません。

バンクアクティブモードに設定すると、CS3 空間のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続く限り図 7.19 または図 7.22 で始まり、図 7.20 または図 7.23 を繰り返します。間に別の CS 空間に対するアクセスがあっても影響はしません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、これを検出した後図 7.20 または図 7.23 の代わりに図 7.21 または図 7.24 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後また

7. バスステートコントローラ (BSC)

はバスアービトレーションによるバス解放の後は、双方のバンクが非アクティブな状態になります。

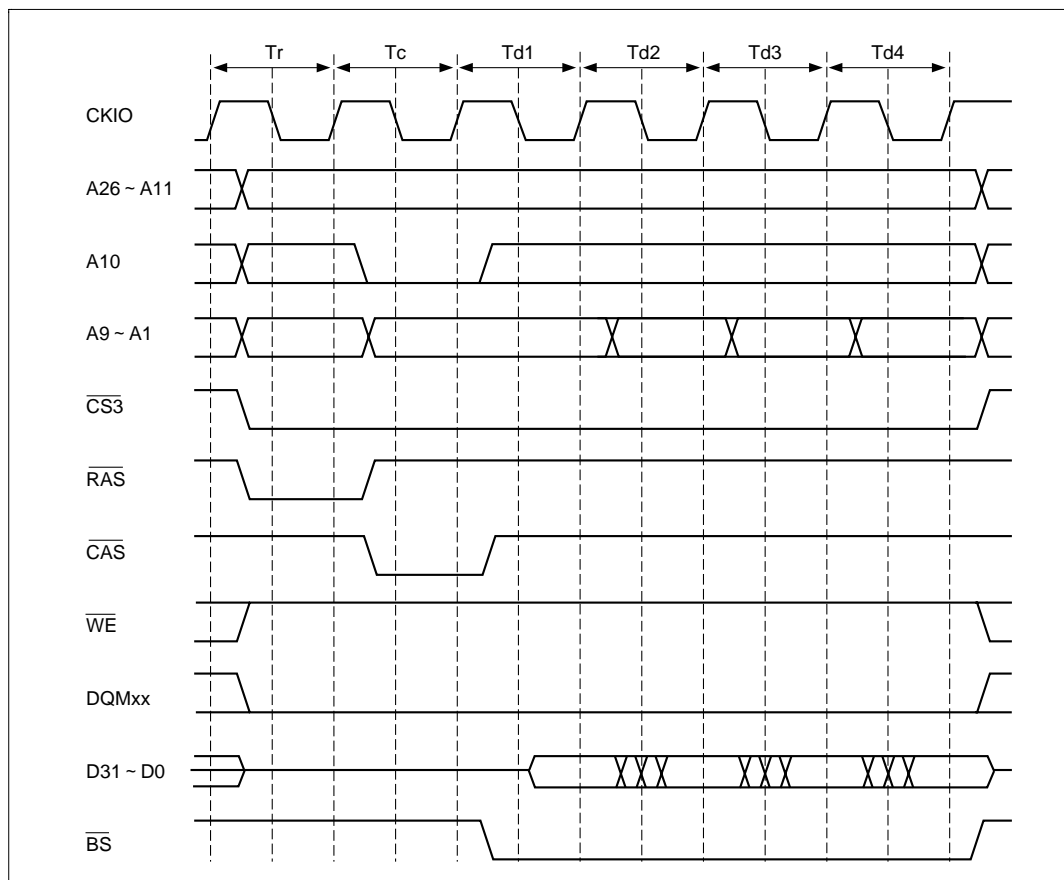


図 7.19 バーストリードタイミング (プリチャージなし)

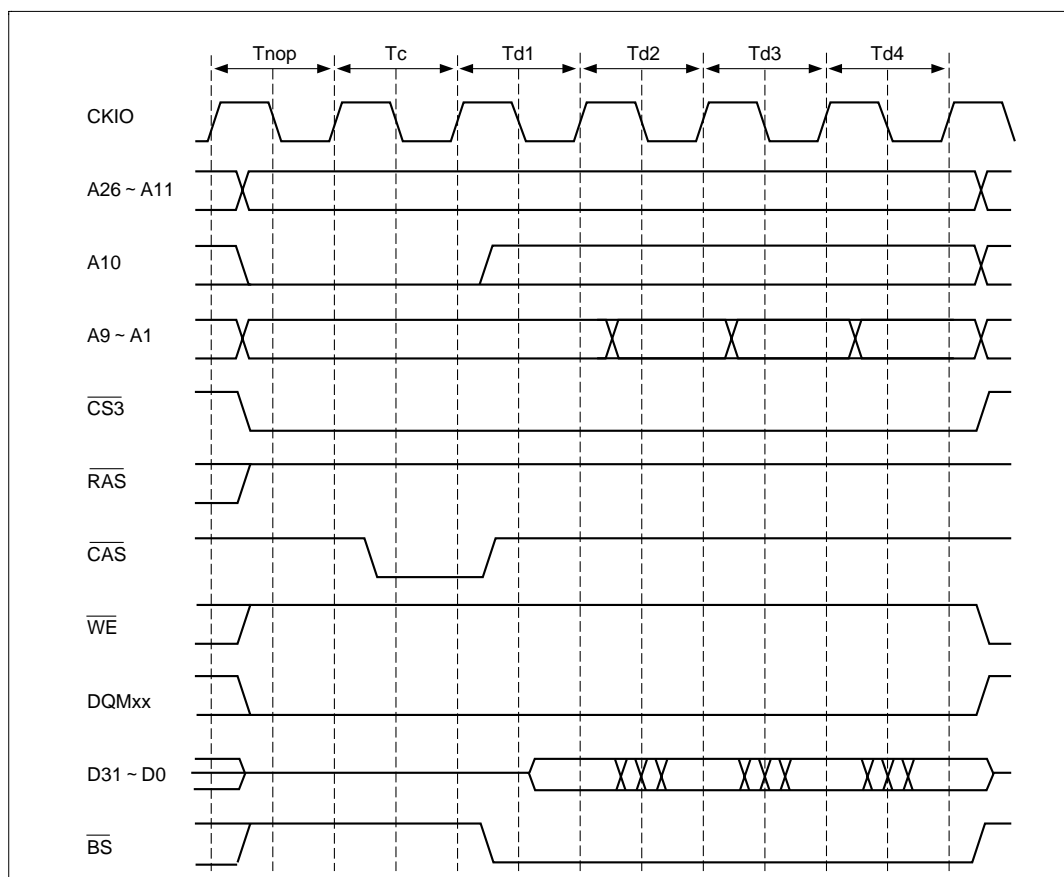


図 7.20 バーストリードタイミング (バンクアクティブ、同一ロウアドレス)

7. バスステートコントローラ (BSC)

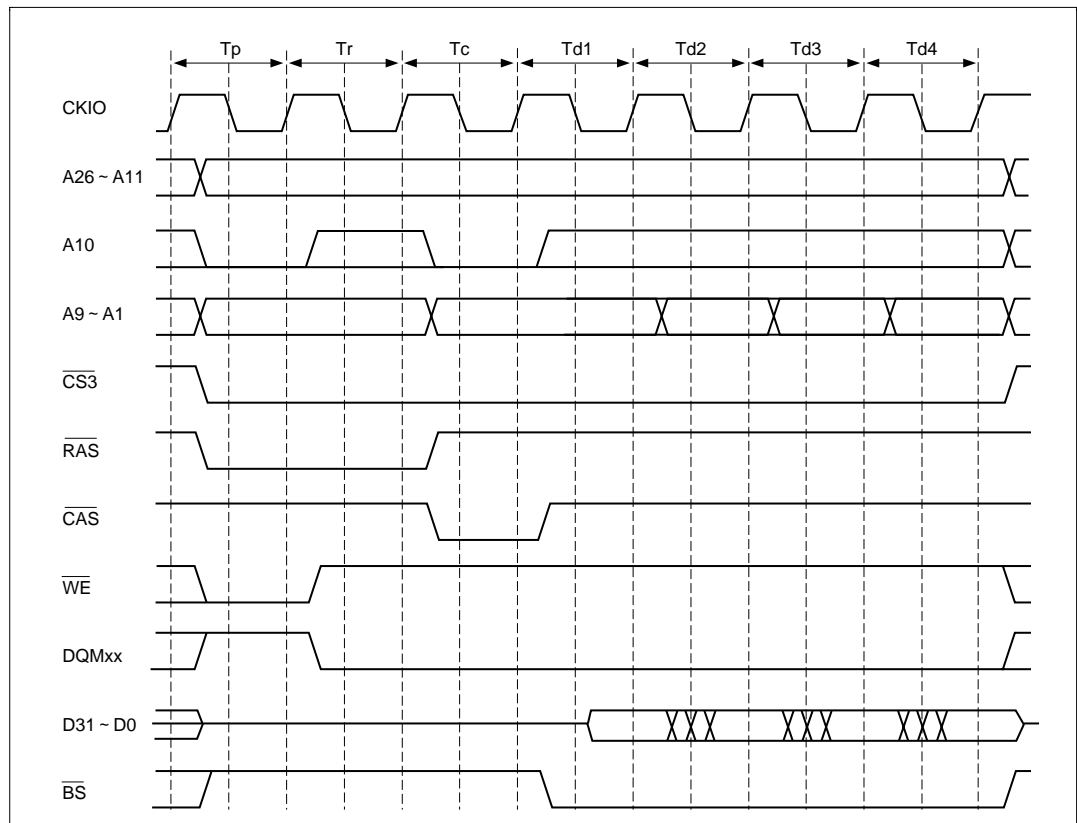


図 7.21 バーストリードタイミング (バンクアクティブ、異なるロウアドレス)

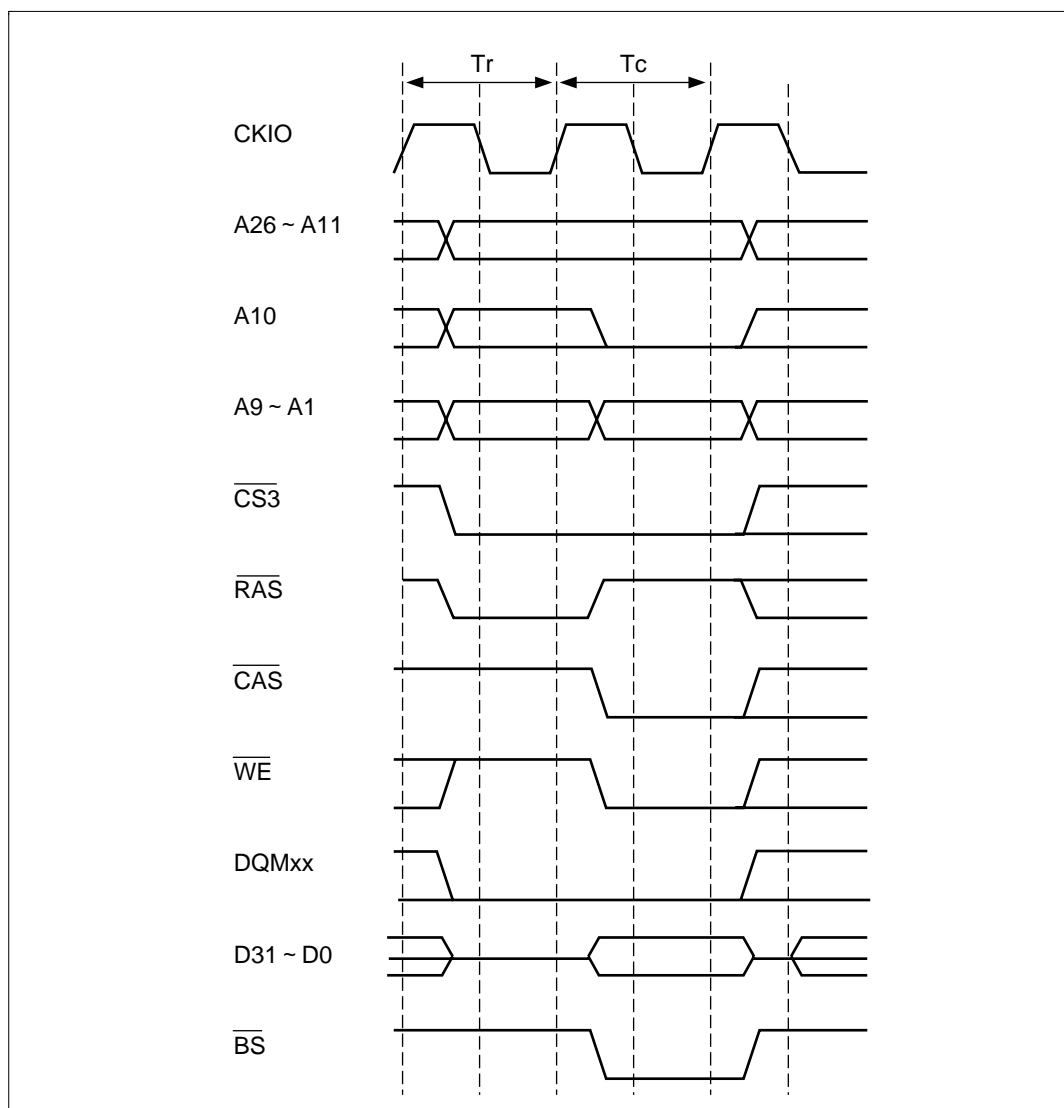


図 7.22 ライトタイミング (プリチャージなし)

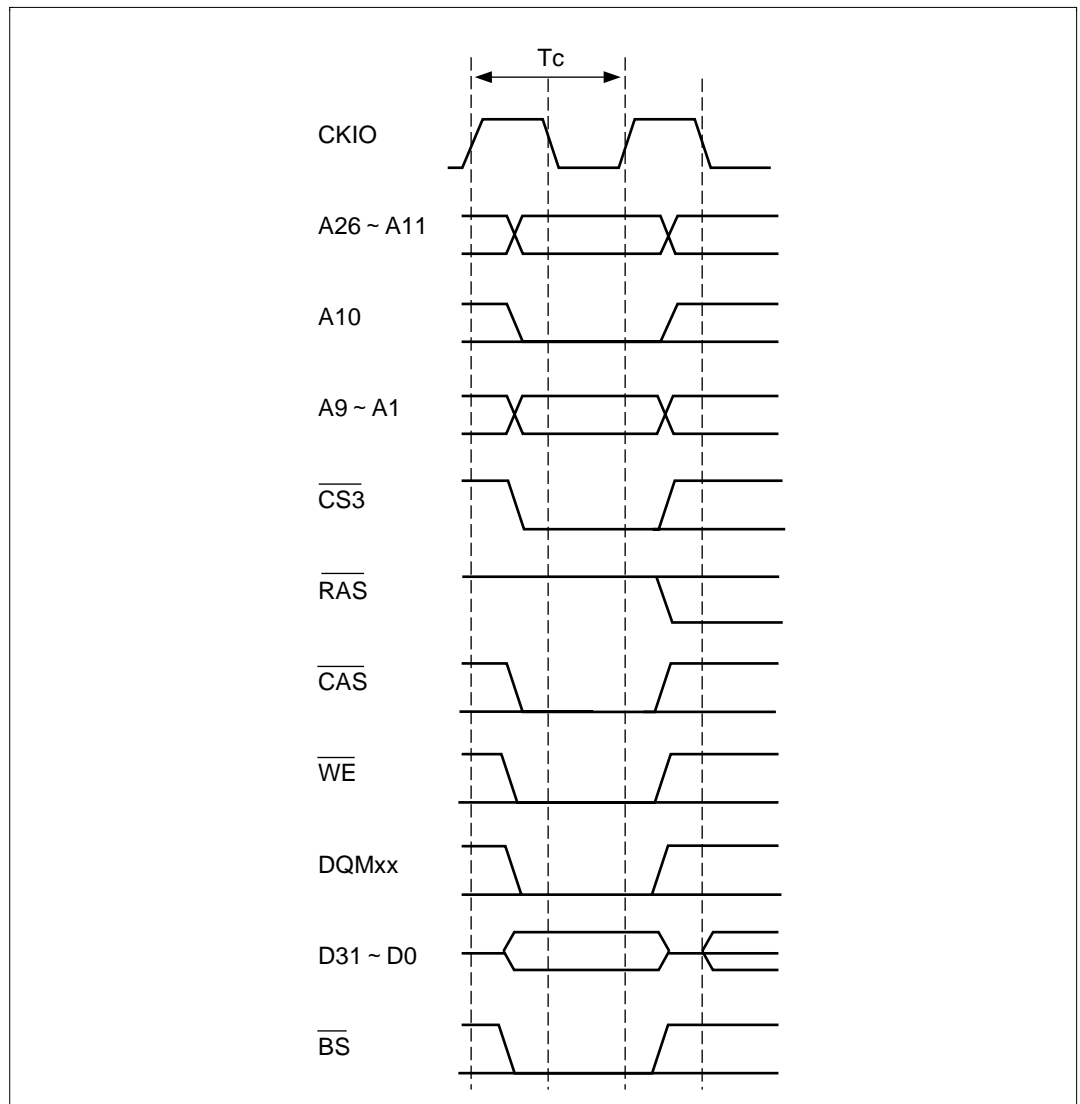


図 7.23 ライトタイミング (バンクアクティブ、同一ロウアドレス)

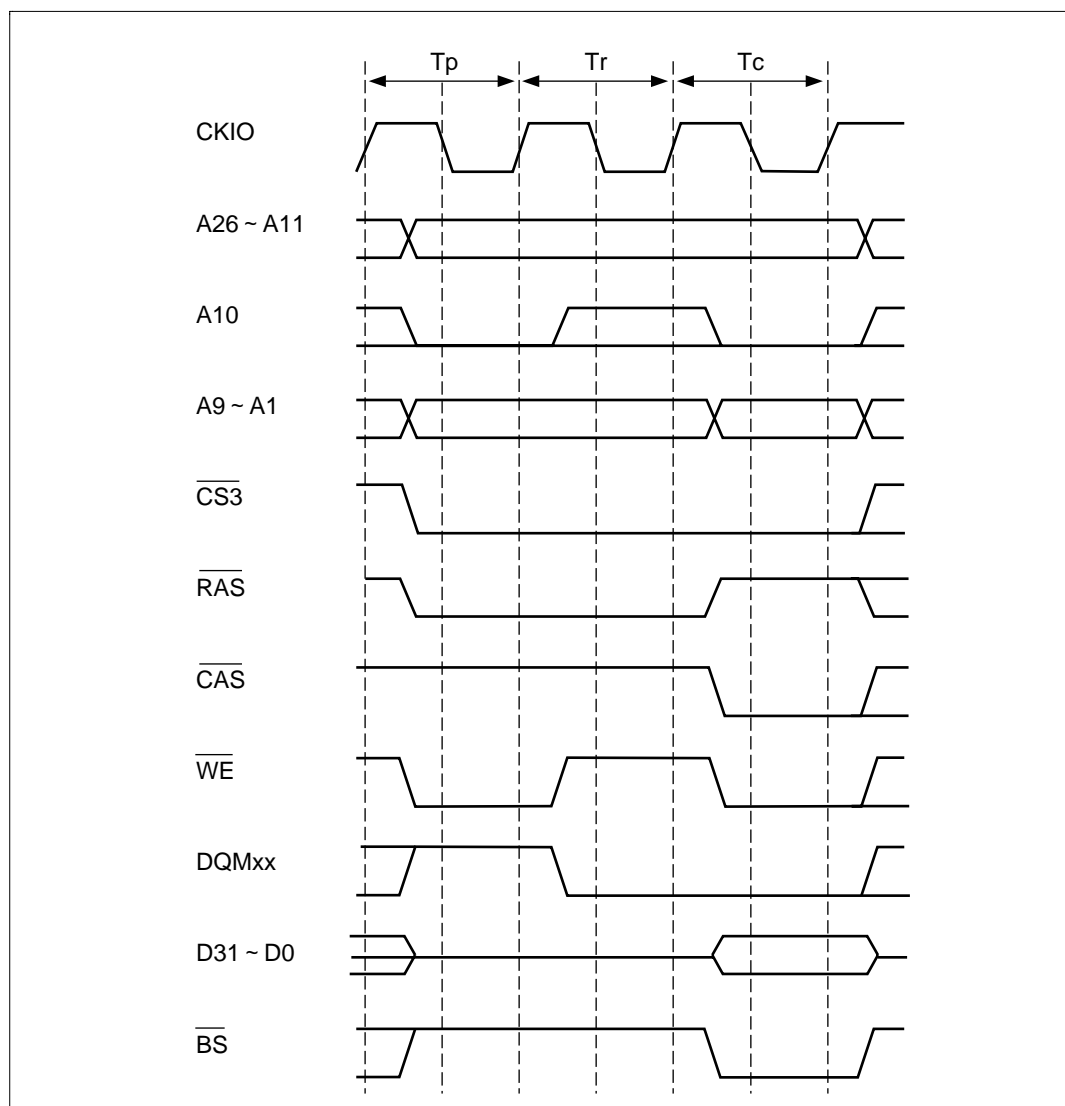


図 7.24 ライトタイミング (バンクアクティブ、異なるロウアドレス)

7.5.7 リフレッシュ

バスステートコントローラはシンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットをともに 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

(1) オートリフレッシュ

RTCSR の CKS2~0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2~0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2~CKS0

の設定を行ってください。CKS2 ~ CKS0 によってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が立ち、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 7.25 にオートリフレッシュサイクルのタイミングを示します。

まず、すべてのバンクをアクティブ状態からプリチャージ状態にするため、Tp のサイクルで PALL コマンドを発行します。ついで、REF コマンドを Trr サイクルに発行します。Trr サイクル後 MCR の TRAS で指定されるサイクル数 + 2 サイクルの間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定 (アクティブ・アクティブコマンド遅延時間) を満たすように TRAS を設定する必要があります。MCR の TRP ビットが 1 の場合、Tp サイクルと Trr サイクルの間に NOP サイクルが挿入されます。

マニュアルリセット中は RTCNT のカウントアップが行われなため、リフレッシュ要求が発生しません。正しくリフレッシュを行うためには、マニュアルリセットの期間をリフレッシュサイクル間隔よりも短くし、マニュアルリセット解除後には直ちにリフレッシュが行われるように (RTCOR の値 - 1) を RTCNT に設定してください。

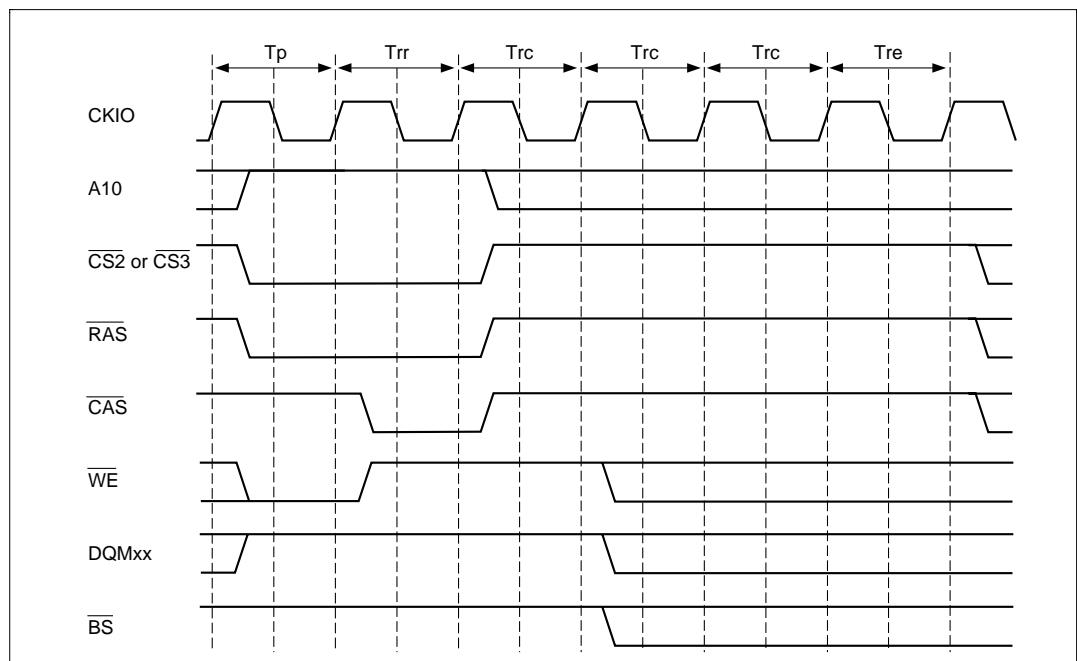


図 7.25 オートリフレッシュタイミング

(2) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。RMODE ビットと RFSH ビットをともに 1 にすることによって起動します。CKE 信号が L レベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビット

を 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TRAS で指定されるサイクル数 + 1 サイクルの間はコマンドの発行が禁止されています。セルフリフレッシュのタイミングを図 7.26 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、マニュアルリセットまたは NMI でスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR の値 - 1 に設定すると直ちにリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI のスタンバイ機能を使ってチップをスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、スタンバイからの復帰が NMI による場合には復帰後もセルフリフレッシュ状態が保持されます。

マニュアルリセットによってもセルフリフレッシュ状態から抜け出ることはありません。

パワーオンリセットの場合にはバスステートコントローラのレジスタが初期化されるため、セルフリフレッシュ状態から抜け出します。

(3) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が起きた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないよう注意が必要です。

一方、セルフリフレッシュの最中にバスアービトレーション要求が起きても、バス権の解放はセルフリフレッシュが解除されるまで行われません。セルフリフレッシュ中はマスターレーブ構成の場合はスレーブ側のチップは停止したままとなります。

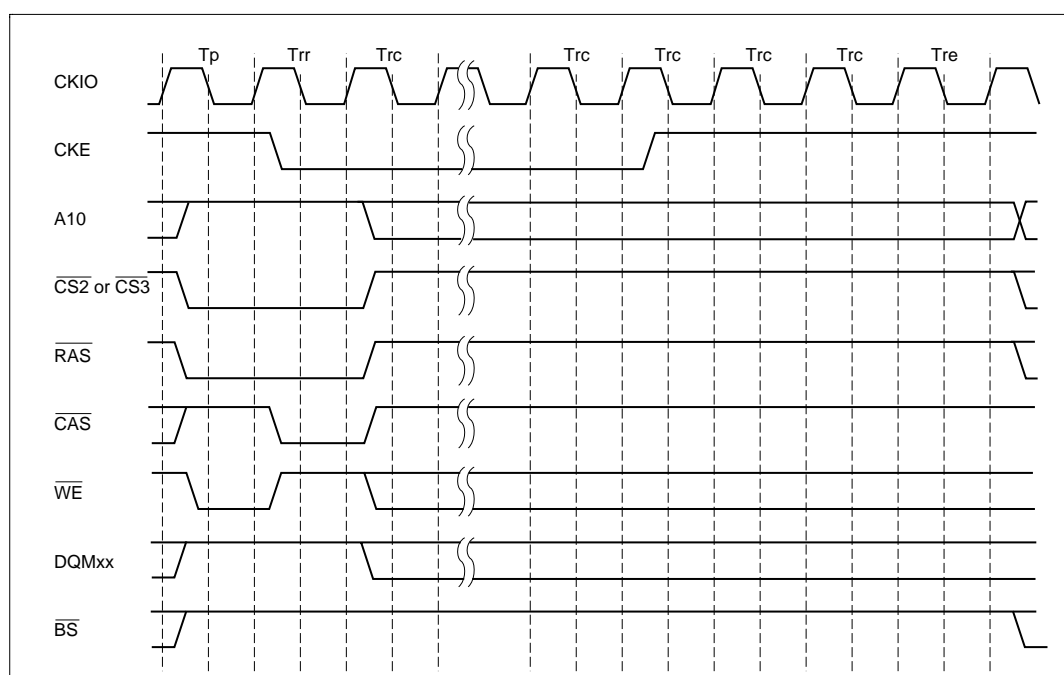


図 7.26 セルフリフレッシュタイミング

7.5.8 パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は $\overline{\text{RAS}} / \overline{\text{CE}}$ 、 $\overline{\text{CAS}} / \overline{\text{OE}}$ 、 $\text{RD} / \overline{\text{WR}}$ 信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると CPU から $X + \text{H'FFFF8000}$ 番地に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはワードサイズで行います。本 LSI でサポートしているバーストリードシングルライト、CAS レイテンシ 1 から 3、ラップタイプ = シーケンシャル、バースト長 8 または 4 (16 ビット幅か 32 ビット幅かに依存) を設定するには以下のアドレスにワードサイズで任意のデータを書き込みます。

| | | |
|------------|-------------|------------|
| 16 ビット幅の時、 | CAS レイテンシ 1 | H'FFFF8426 |
| | CAS レイテンシ 2 | H'FFFF8446 |
| | CAS レイテンシ 3 | H'FFFF8466 |
| 32 ビット幅の時、 | CAS レイテンシ 1 | H'FFFF8848 |
| | CAS レイテンシ 2 | H'FFFF8888 |
| | CAS レイテンシ 3 | H'FFFF88C8 |

モードレジスタ設定タイミングを図 7.27 に示します。

X + H'FFFF8000 番地への書き込みによって、まず、全バンクプリチャージコマンド (PALL) が T_p サイクルに発行され、それに続く T_{mw} サイクルにモードレジスタ書き込みコマンドが発行されます。MCR の TRP を 1 に設定している場合、 T_p サイクルと T_{mw} サイクルの間に 1 サイクルアイドルサイクルが挿入されます。

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 $100 \mu\text{s}$ のアイドル時間 (メモリメーカーによっては異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題はありません。ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されるのがふつうですが、より確実にを行うためには、このダミーサイクルを実行する間だけリフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。

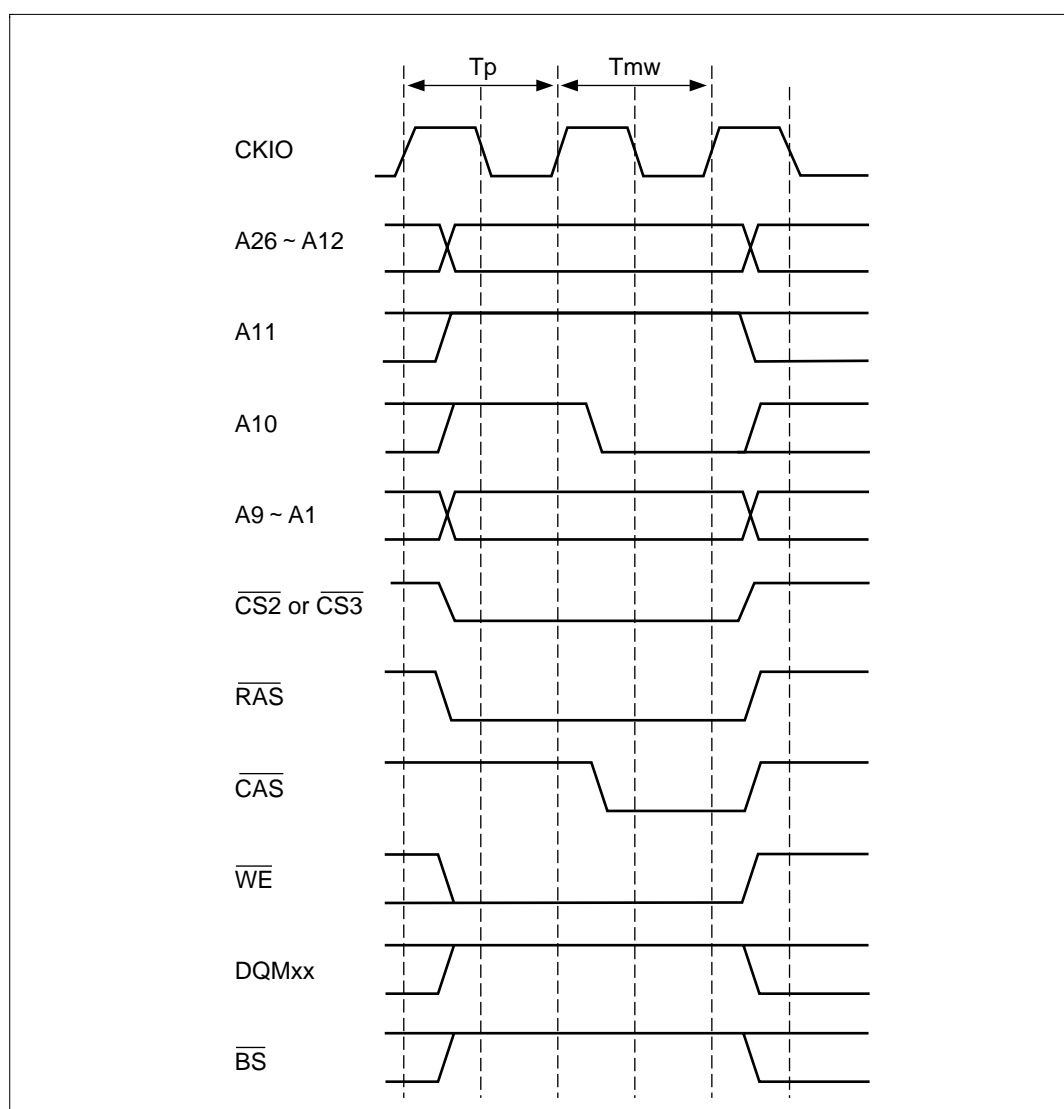


図 7.27 SDRAM モード書き込みタイミング

7.5.9 PLL による位相シフト

本 LSI がシンクロナス DRAM インタフェース用の信号を変化させるタイミングは、内部クロックの立ち上がりエッジです。読み出したデータを取り込むタイミングは、内部クロックの立ち下りエッジとなっています。これに対しシンクロナス DRAM が入力信号をサンプリングするのも、読み出しデータを出力するのも外部クロックの立ち上がりエッジが起点となっています。

本 LSI の内部クロックと外部クロックを同期させた場合、本 LSI からシンクロナス DRAM への信号伝送は 1 サイクルのマーヅンがありますが、シンクロナス DRAM から読み出したデータの本 LSI への伝送は、シンクロナス DRAM のアクセスタイムも含めて 1/2 サイクルとなり、厳しいものとなってしまいます。一方、内蔵 PLL のような同期手段を用いずにクロック系を接続した場合、本 LSI からシンクロナス DRAM への伝送は 1 サイクルからクロック系のディレイ時間を引いたもの、シンクロナス DRAM から本 LSI への伝送は 1/2 サイクルにクロック系のディレイ時間を加えたものとなります。クロック系のディ

レイ時間は電源電圧、温度、製造ばらつきによって変動するため、かなり幅の広いものとなります。PLL を用いて本 LSI の内部クロックを外部クロックに対して 90 度位相を遅らすと、本 LSI からシンクロナス DRAM への伝送は 3/4 サイクル、シンクロナス DRAM から本 LSI への伝送も 3/4 サイクルとなります。

以上を考慮すると、内部クロックとして PLL を用いて外部クロックに対して 90 度位相をずらしたクロックを用いると、安定したマージンが確保できます。

PLL を使用する際に注意を要する点として、シンクロナス DRAM は PLL を内蔵していない点です。外部クロック入力のクロックモードを使用する場合、外部から供給されるクロックが不安定で位相のシフトが起こる場合、本 LSI の内部クロックが外部のクロックと等しくなるためには、本 LSI の内蔵 PLL の同期化安定時間が必要です。この同期化安定時間の間はシンクロナス DRAM の内部クロックと本 LSI の内部クロックが完全に同期しないで動作することになります。シンクロナス DRAM と本 LSI を正しく動作させるため、外部から供給するクロックが不安定とならないようにしてください。

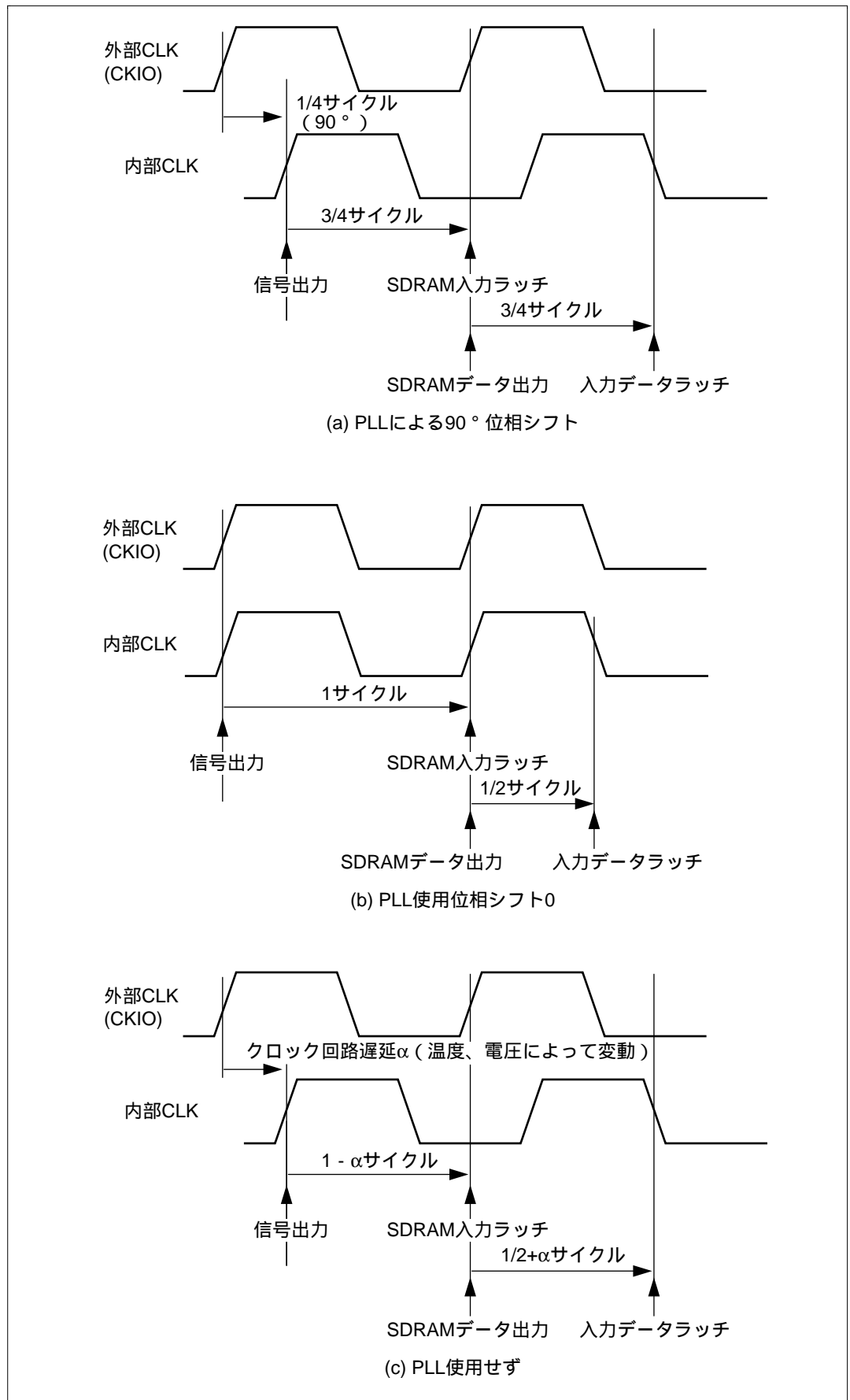


図 7.28 PLL による位相シフト

7.6 DRAM インタフェース

7.6.1 DRAM 直結方式

BCR1 の DRAM 他イネーブルビット (DRAM2~0) を 010 に設定すると、CS3 空間が DRAM 空間となり、本 LSI と DRAM を直結させるための DRAM インタフェース機能を使用できるようになります。

インタフェースのデータ幅は 16 ビットと 32 ビットから選択できます。

バイトアクセスのコントロールは $\overline{\text{CAS}}$ を用いるので、16 ビット幅 DRAM で接続可能なものは CAS2 本方式のものです。

接続に使用する信号は $\overline{\text{RAS}}$ 、 $\overline{\text{CASHH}}$ 、 $\overline{\text{CASHL}}$ 、 $\overline{\text{CASLH}}$ 、 $\overline{\text{CASLL}}$ 、RD/ $\overline{\text{WR}}$ です。データ幅が 16 ビットのときには $\overline{\text{CASHH}}$ 、 $\overline{\text{CASHL}}$ は使用しません。

アクセスモードとしては通常のリード、ライトアクセスに加えて、高速ページモードを利用したバーストアクセスをサポートします。

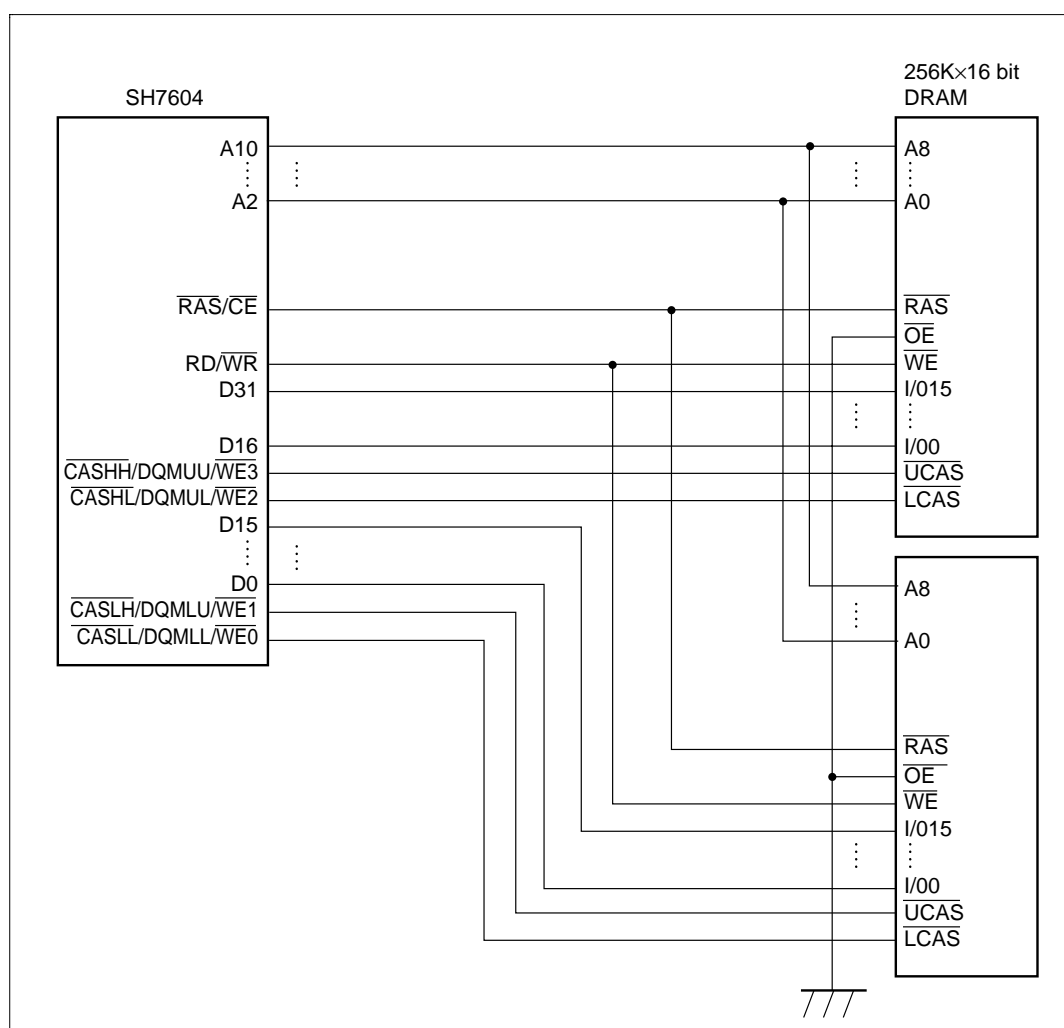


図 7.29 DRAM 接続例 (32 ビットデータ幅)

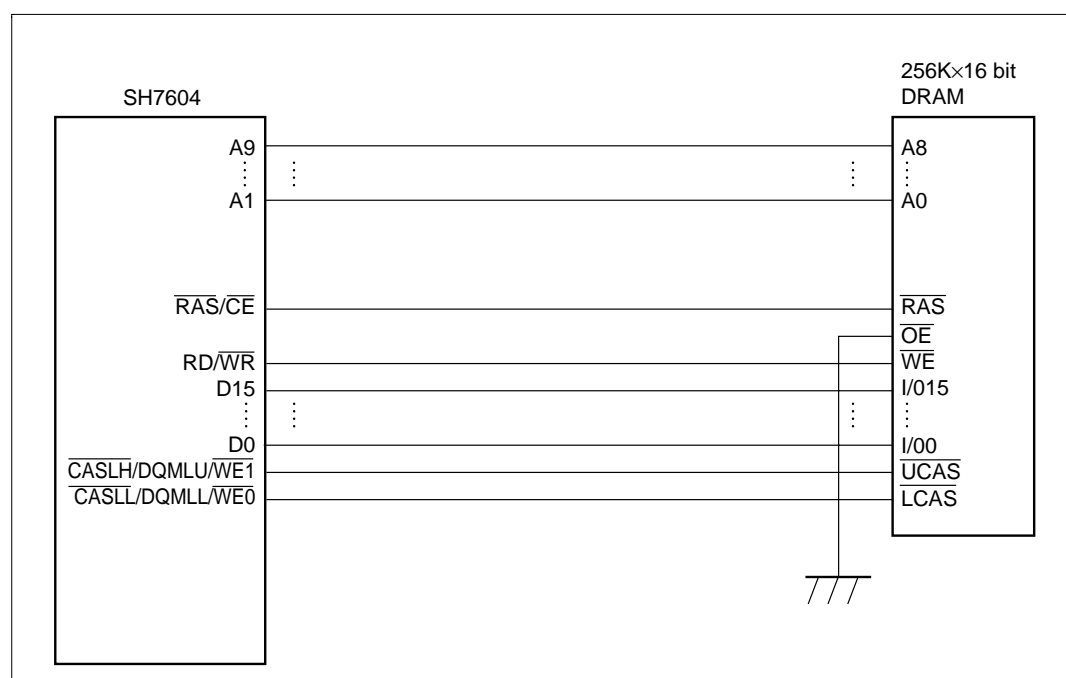


図 7.30 DRAM接続例 (16 ビットデータ幅)

7.6.2 アドレスマルチプレクス

CS3 空間を DRAM 空間に設定すると、常にアドレスのマルチプレクスが行われます。これによって外付けのアドレスマルチプレクス回路なしに、ロウアドレスとカラムアドレスのマルチプレクスが必要な DRAM を本 LSI に直結することができます。マルチプレクスの方法は MCR の AMX1 ~ 0 ビットの設定によって以下の 4 通りの中から選ぶことができます。AMX1 ~ 0 とアドレスマルチプレクスの関係を表 7.5 に示します。アドレスマルチプレクスの対象となるアドレス出力端子は A13 から A1 です。A26 から A14 には元々のアドレスが出力されます。なお、AMX2 は DRAM アクセス時には予約となっていますので、0 を設定するようにしてください。

表 7.5 AMX 1 ~ 0 とアドレスマルチプレクスの関係

| AMX1 | AMX0 | カラムアドレスビット数 | 出力されるロウアドレス | 出力されるカラムアドレス |
|------|------|-------------|-------------|--------------|
| 0 | 0 | 8 ビット | A21 ~ A9 | A13 ~ A1 |
| 0 | 1 | 9 ビット | A22 ~ A10 | A13 ~ A1 |
| 1 | 0 | 10 ビット | A23 ~ A11 | A13 ~ A1 |
| 1 | 1 | 11 ビット | A24 ~ A12 | A13 ~ A1 |

7.6.3 基本タイミング

DRAM アクセスの基本タイミングは 3 サイクルです。DRAM アクセスの基本タイミングを図 7.31 に示します。Tp はプリチャージサイクル、Tr は RAS アサートサイクル、Tc1 は CAS アサートサイクル、Tc2 はリードデータ取り込みサイクルです。連続してアクセス

を行う場合、次のアクセスの T_p サイクルと前のアクセスの T_{c2} サイクルは重なり、最小3サイクルごとにアクセスを行うことができます。

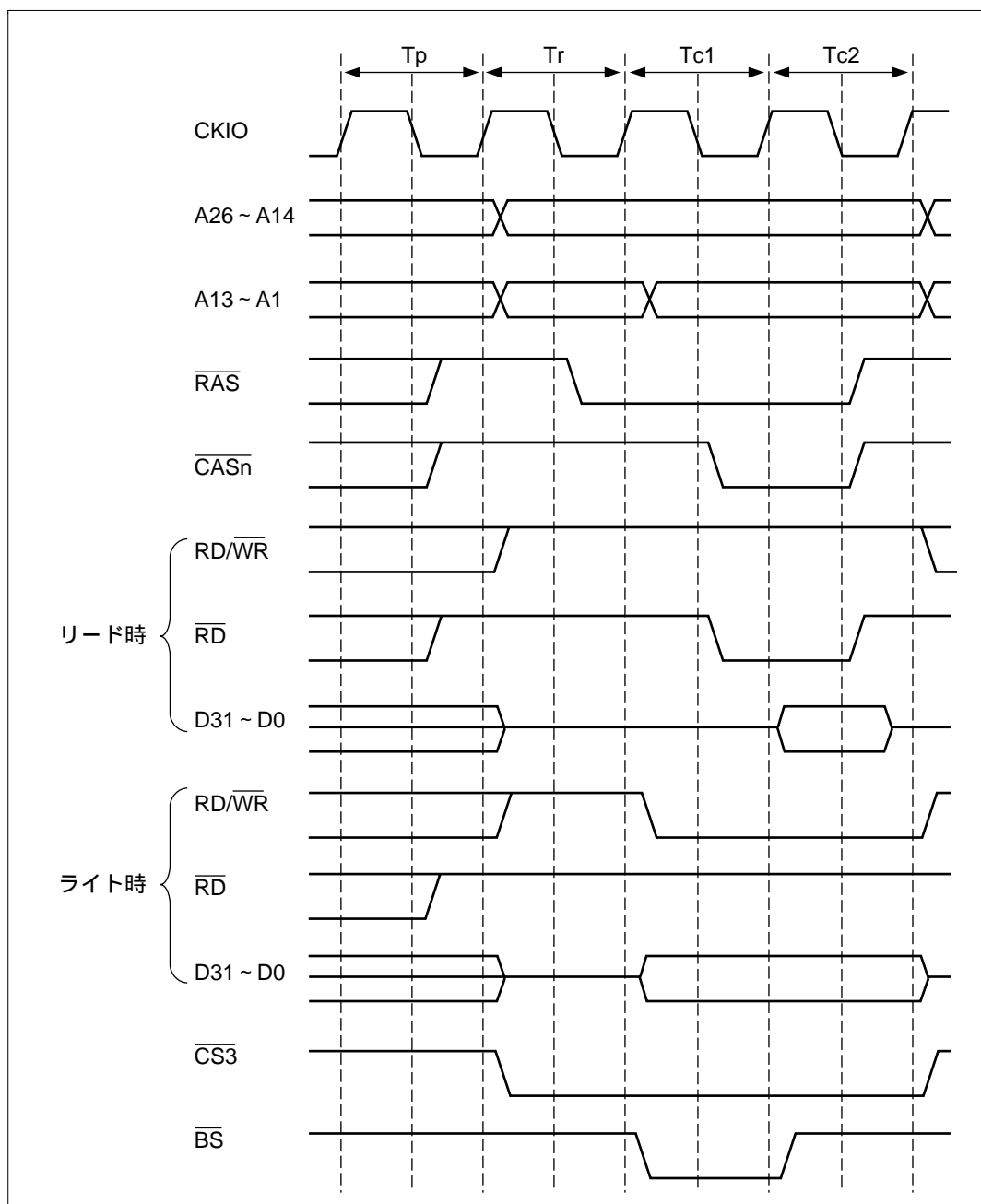


図 7.31 基本アクセスタイミング

7.6.4 ウェイトステート制御

クロック周波数を上げていくと、基本アクセスのようにすべてのステートを1サイクルで終わらせることができなくなってきます。そこで、WCR および MCR にある設定ビットを用いてステートの延長ができるようになっています。設定を使ってステートを延長したタイミングを図 7.32 に示します。RAS のプリチャージ時間を確保するための T_p サイクルは、MCR の TRP ビットによって T_{pw} を挿入し 2 サイクルにすることができます。RAS ア

7. バスステートコントローラ (BSC)

サートから CAS アサートまでのサイクル数は、MCR の RCD ビットによって T_{rw} を挿入し、2 サイクルにのぼすことができます。CAS アサートからアクセス終了までのサイクル数は WCR の W31、W30 の設定によって 1 サイクルから 3 サイクルまで変えることができます。WCR の W31、W30 を 00 以外に設定すると、外部ウェイト端子 WAIT のサンプリングも行われ、さらにサイクル数をのぼすことができます。 $\overline{\text{WAIT}}$ 端子によるウェイトステート制御のタイミングを図 7.33 に示します。いずれの場合も連続してアクセスがある場合には、次のアクセスの T_p と前のアクセスの T_{c2} が重なります。

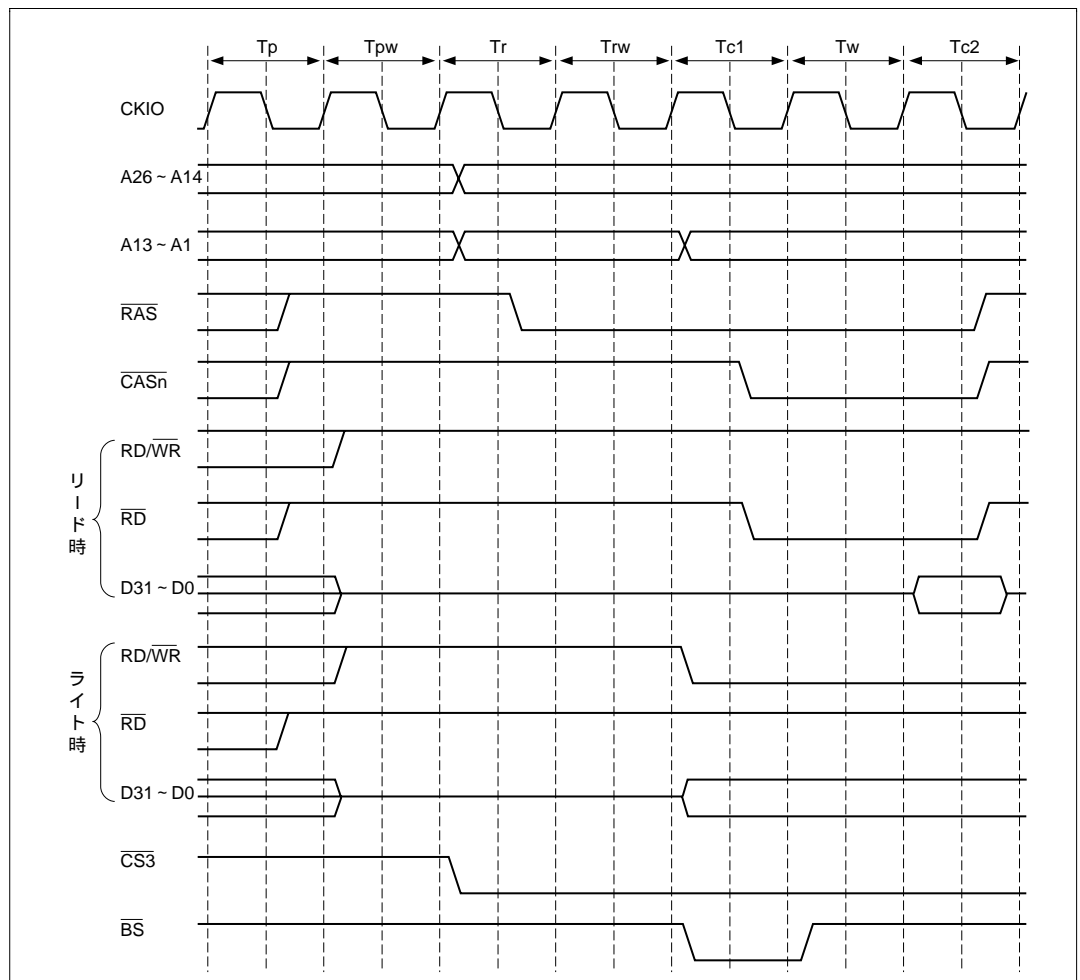


図 7.32 ウェイトステートタイミング

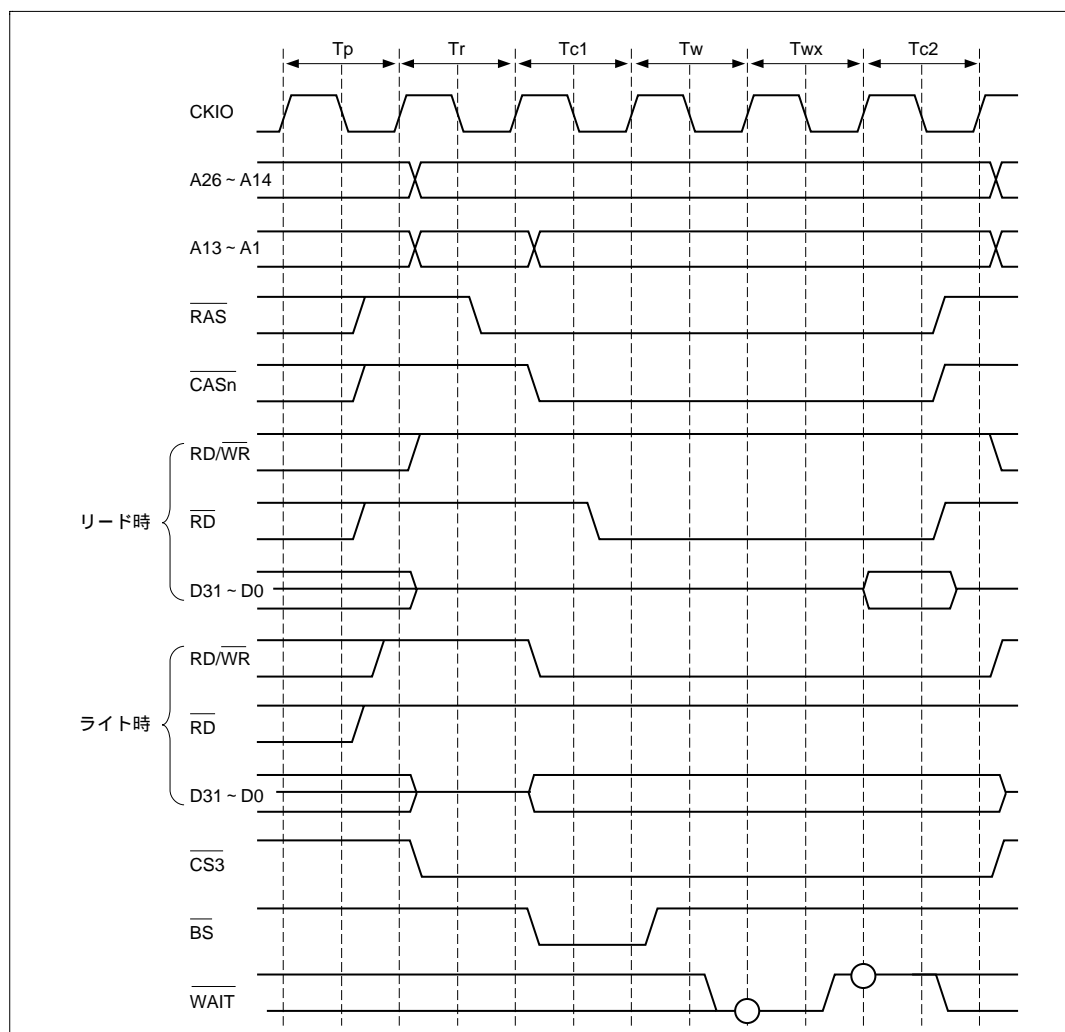


図 7.33 外部ウェイトステートタイミング

7.6.5 バーストアクセス

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするノーマルアクセスの他に、同一のロウに対するアクセスが連続する場合、ロウアドレスを 1 度出力したあとはカラムアドレスを変更するだけでデータに高速にアクセスできる、高速ページモードを備えているものがあります。MCR のバーストイネーブルビット (BE) の設定によって、ノーマルアクセスと高速ページモードを利用したバーストアクセスを選択することができます。高速ページモードによるバーストアクセスのタイミングを図 7.34 に示します。バーストアクセスを行う場合にも、ウェイトステート制御機能によるサイクルの挿入を行うことができます。

本 LSI はバーストモードにおけるロウアドレスの一致を検出するためのアドレス比較器を持っています。これを利用し MCR の BE を 1 にするとともに、RAS ダウンモード指定ビット RASD を 1 にすることによって、アクセス終了後も RAS をアサートしたまま放置する RAS ダウンモードにすることができます。ただし、 $\overline{\text{CASHH}}$ 、 $\overline{\text{CASHL}}$ 、 $\overline{\text{CASLH}}$ 、 $\overline{\text{CASLL}}$ の信号は通常空間の $\overline{\text{WE3}}$ 、 $\overline{\text{WE2}}$ 、 $\overline{\text{WE1}}$ 、 $\overline{\text{WE0}}$ と共用しているため、RAS ダウン中の通常

空間に対するライトサイクルは、DRAM に対する誤ったライトアクセスも同時に起動してしまいます。したがって、DRAM 以外に書き込みを行う外部デバイスを接続しない場合に、RAS ダウンを用いた DRAM 直結インターフェースが行えます。RAS ダウンモードを用いる場合、リフレッシュ周期が DRAM の RAS アサート時間 t_{RAS} の最大値よりも長い場合には、リフレッシュ周期を t_{RAS} の最大値以下にする必要があります。

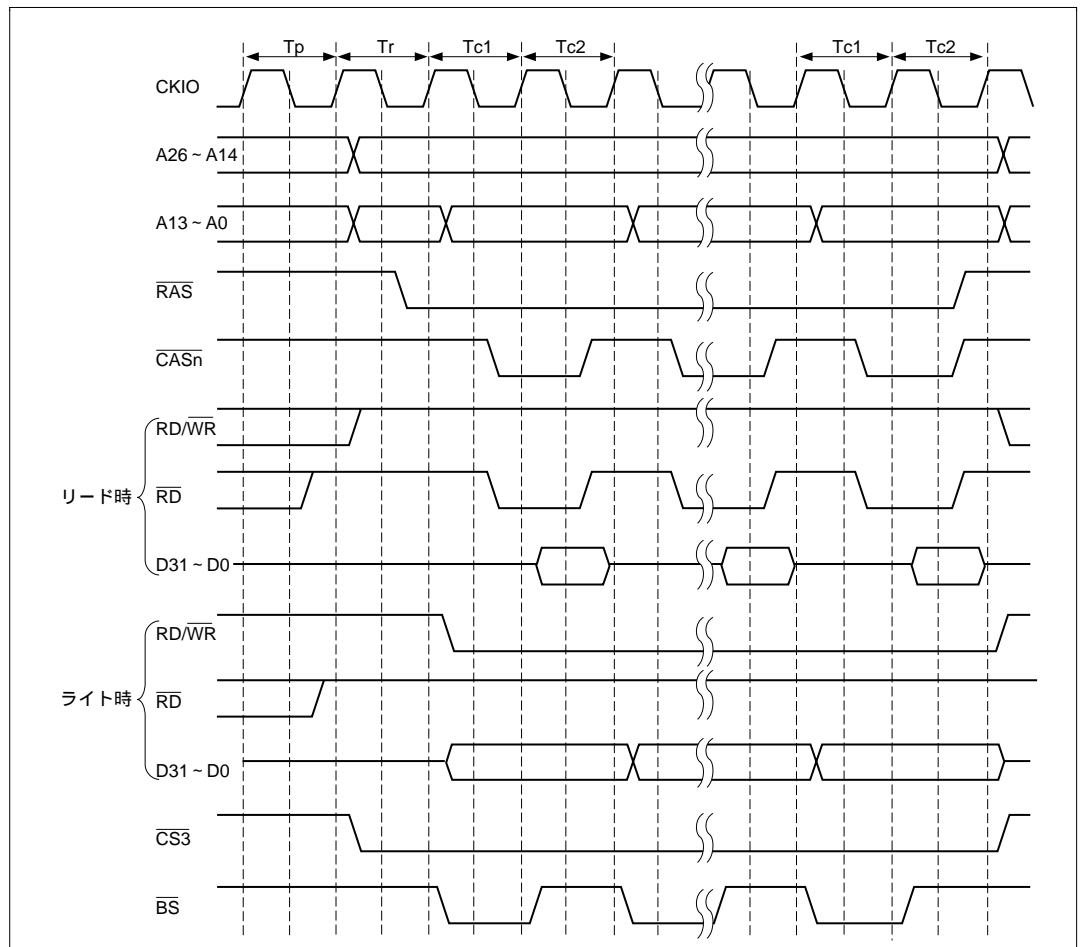


図 7.34 バーストアクセスタイミング

7.6.6 リフレッシュタイミング

バスステートコントローラは、DRAMのリフレッシュを制御する機能を備えています。MCRのRMODEビットを0に、RFSHビットを1にセットすることによって、CASビフォRASリフレッシュサイクルによる分散リフレッシュを行わせることができます。

RTCSRのCKS2~0ビットで選択した入力クロックと、RTCORに設定した値とで決まる間隔でリフレッシュが行われます。使用するDRAMのリフレッシュ間隔規定を満たすように、RTCORとCKS2~0ビットの値を設定してください。最初にRTCOR、RTCNTとMCRのRMODEビットおよびRFSHビットの設定を行い、最後に、CKS2~CKS0の設定を行ってください。CKS2~CKS0によってクロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、CASビフォRASリフレッシュが行われます。同時にRTCNTはゼロクリアされ、カウントアップが再開されます。図7.35にCASビフォRASリフレッシュサイクルのタイミングを示します。

リフレッシュサイクルでのRASアサートサイクル数は、MCRのTRASで指定されます。リフレッシュサイクルにおけるRASのプリチャージ時間の指定は、通常アクセスと同様MCRのTRPビットの指定にしがいます。

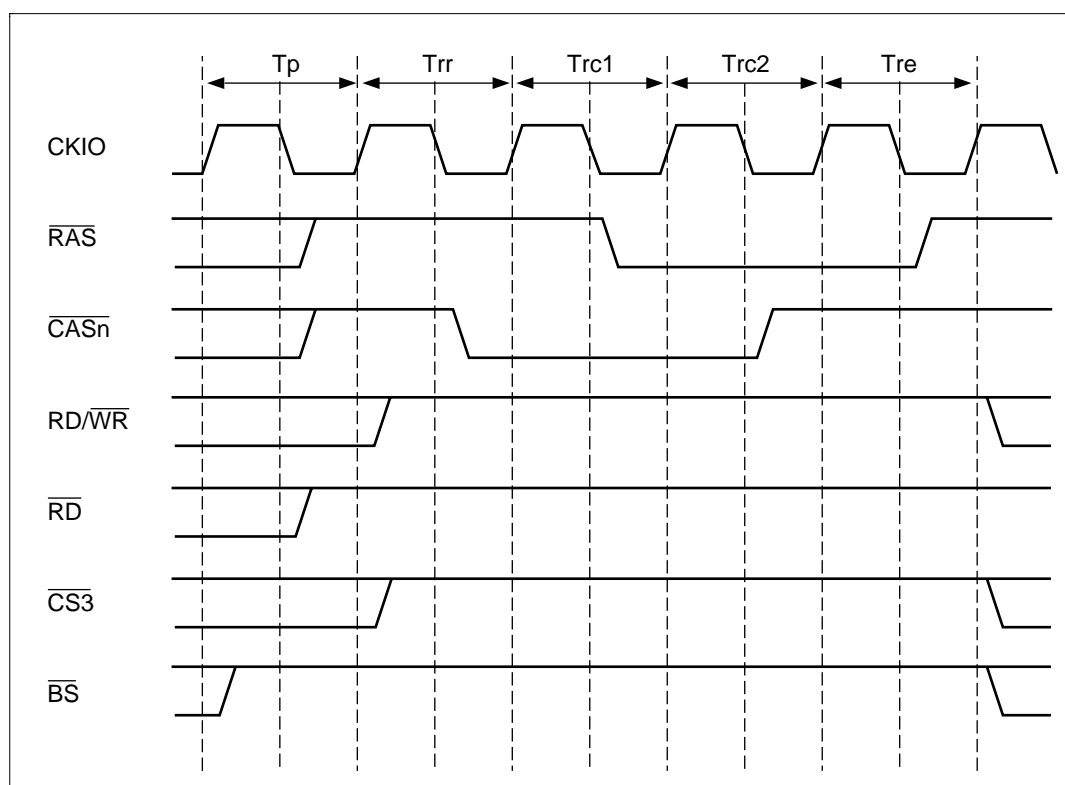


図 7.35 リフレッシュサイクルタイミング

7.6.7 パワーオンシーケンス

電源投入後の DRAM の使用に関しては、アクセスの行えない待機時間 (100 μ S または 200 μ S 以上) とそれに続く所定回数 (通常 8 回) 以上のダミーの CAS ビフォ RAS リフレッシュサイクルを行うことが要求されています。バスステートコントローラは、パワーオンリセットに対してなんら特別な動作を行わないため、必要なパワーオンシーケンスはパワーオンリセット後に実行する初期化プログラムによって実現する必要があります。

7.7 擬似 SRAM インタフェース

7.7.1 擬似 SRAM 直結方式

BCR1 の DRAM 他イネーブルビット (DRAM2 ~ 0) を 011 に設定すると、CS3 空間が擬似 SRAM 空間となり、本 LSI と擬似 SRAM を直結させるための擬似 SRAM インタフェース機能が使用できるようになります。

インタフェースのデータ幅は 16 ビットと 32 ビットから選択できます。

直結する擬似 SRAM は、リフレッシュ信号と出力イネーブル信号がマルチプレクスされているものです。接続に使用する信号は \overline{CE} 、 \overline{OE} 、 $\overline{WE3}$ 、 $\overline{WE2}$ 、 $\overline{WE1}$ 、 $\overline{WE0}$ です。データ幅が 16 ビットの時には $\overline{WE3}$ と $\overline{WE2}$ は使用しません。マルチプレクスされていない擬似 SRAM を接続する場合には \overline{RD} 信号も使用します。

アクセスモードとしては通常のリード/ライトの他に、スタティックカラムアクセス機能を利用したバーストアクセスをサポートします。

図 7.36 に \overline{OE} 端子と \overline{RFSH} 端子が分離している 1M 擬似 SRAM との接続例を図 7.37 に \overline{OE} と \overline{RFSH} がマルチプレクスされている 4M 擬似 SRAM との接続例を示します。256K 擬似 SRAM は 4M と同様マルチプレクス方式です。いずれの例も 32 ビットデータ幅です。

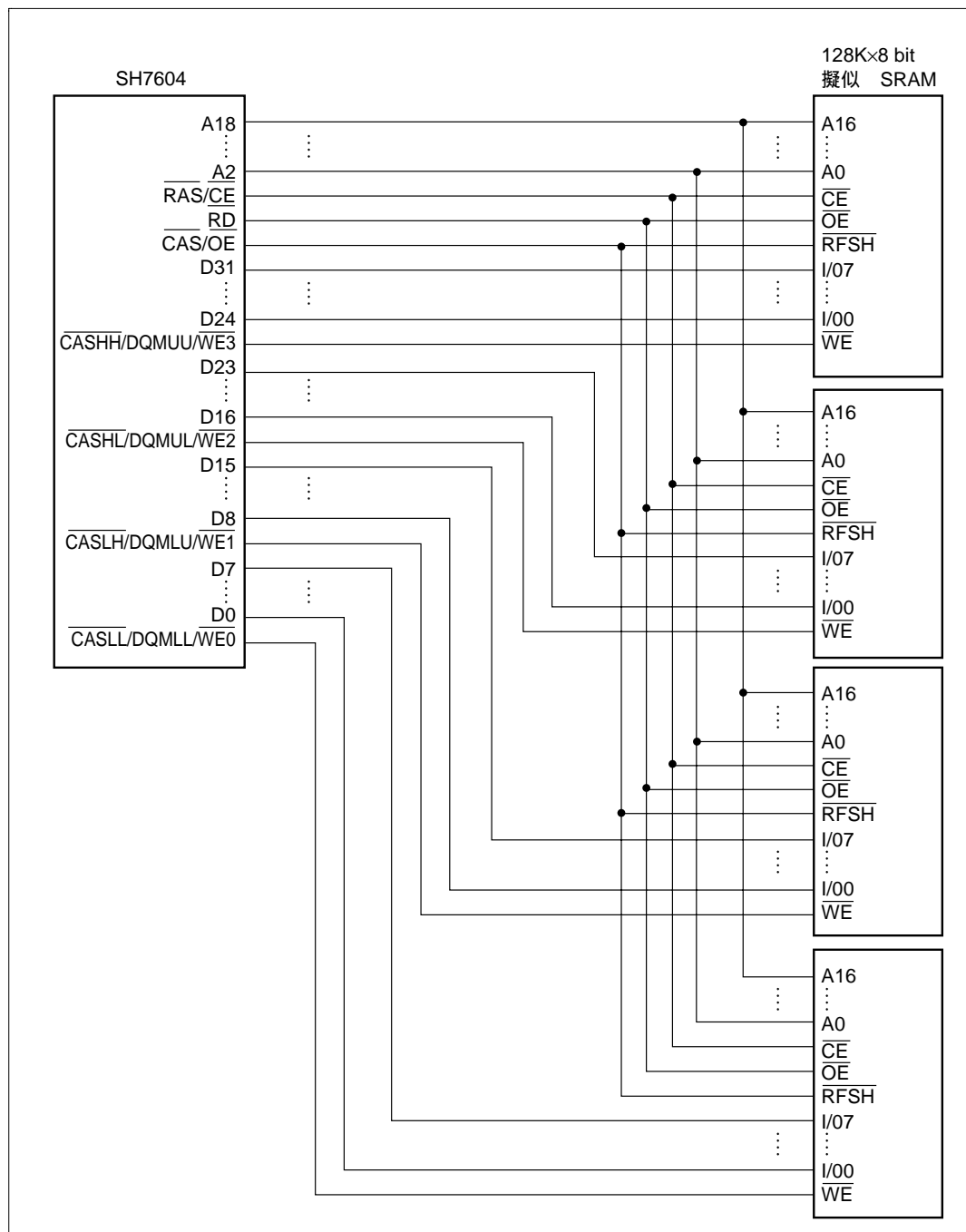


図 7.36 擬似 SRAM 接続例 (1 Mビット品)

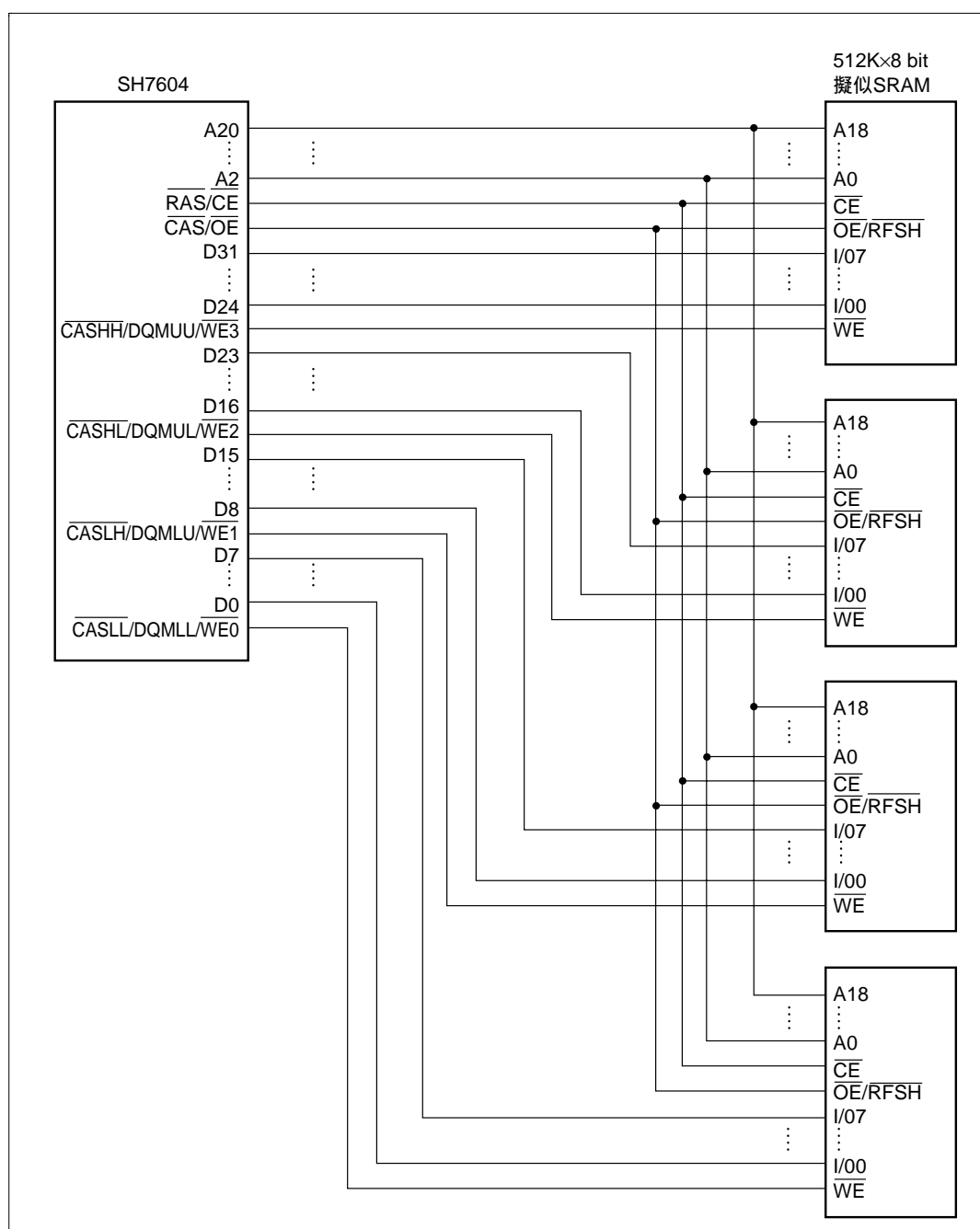


図 7.37 擬似 SRAM 接続例 (4 Mビット品)

7.7.2 基本タイミング

図 7.38 に擬似 SRAM の基本タイミングを示します。Tp はプリチャージサイクル、Tr は \overline{CE} アサートサイクルです。Tc1 はライトデータ出力、 \overline{BS} アサートサイクル、Tc2 はリードデータ取り込みサイクルです。

連続してアクセスを行う際には、プリチャージサイクルTp は直前のアクセスのTc2 とオーバーラップするので、最小3サイクルごとにリードまたはライトを行うことができます。

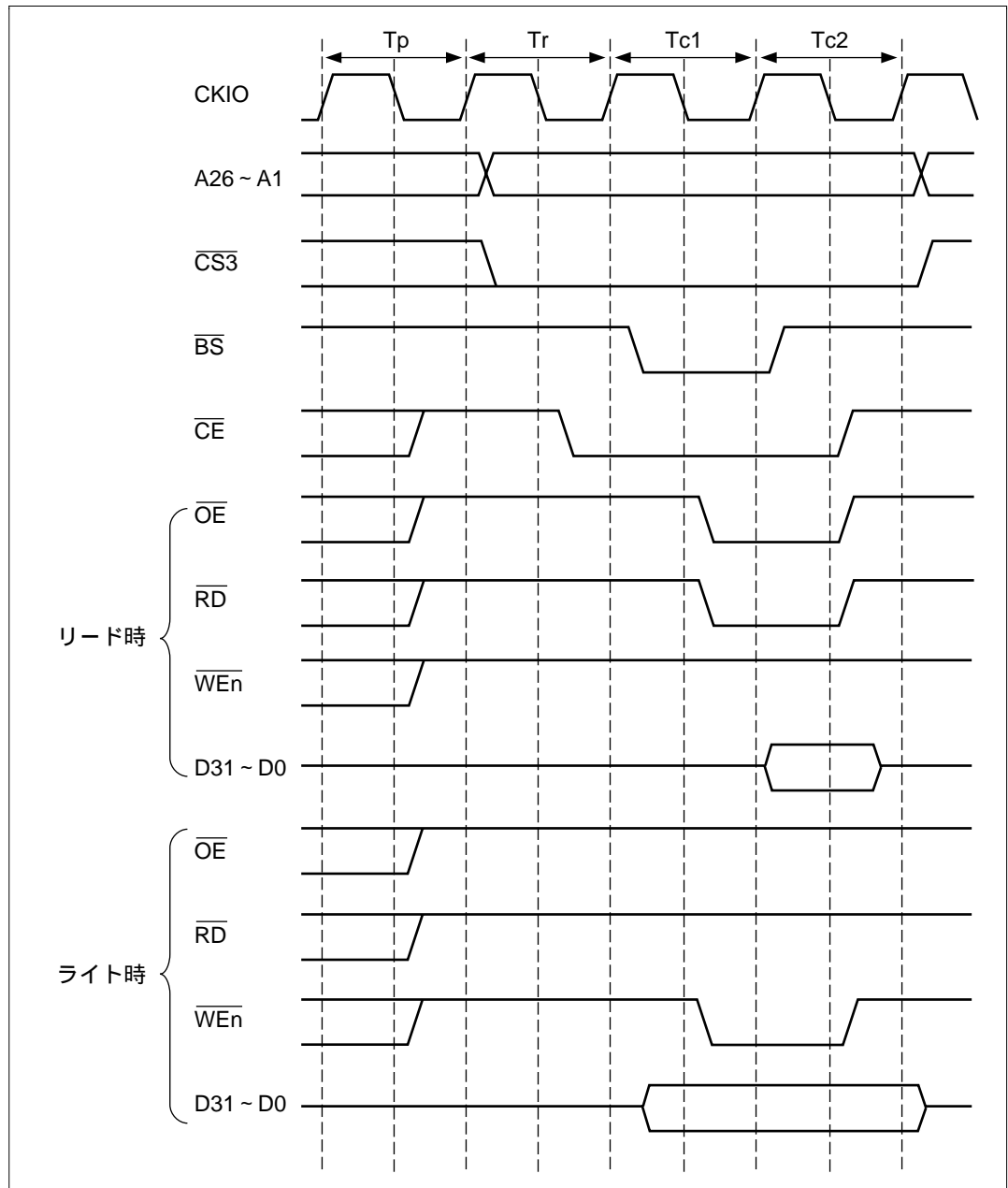


図 7.38 基本アクセスタイミング

7.7.3 ウェイトステート制御

クロック周波数を上げていくと、基本アクセスのようにすべてのステートを1サイクルで終わらせることができなくなってきます。そこで、WCR および MCR にある設定ビットを用いてステートの延長ができるようになっています。設定を使ってステートを延長したタイミングを図 7.39 に示します。 \overline{CE} のプリチャージ時間を確保するための T_p サイクルは、MCR の TRP ビットによって T_{pw} を挿入し 2 サイクルにすることができます。 \overline{BS} アサートからアクセス終了までのサイクル数は、WCR の W31、W30 の設定によって 2 サイクルから 4 サイクルまで変えることができます。WCR の W31、W30 を 00 以外に設定すると、外部ウェイト端子 \overline{WAIT} のサンプリングも行われさらにサイクル数をのばすことができます。 \overline{WAIT} 端子によるウェイトステート制御のタイミングを図 7.40 に示します。いずれの場合も連続してアクセスがある場合には、次のアクセスの T_p と前のアクセスの T_{c2} が重なります。MCR の RCD ビットは擬似 SRAM インタフェースの場合 0 に設定しますが、1 に設定すると \overline{CE} アサートから \overline{BS} アサートおよびライトデータ出力までのサイクル数が 2 サイクルとなります。

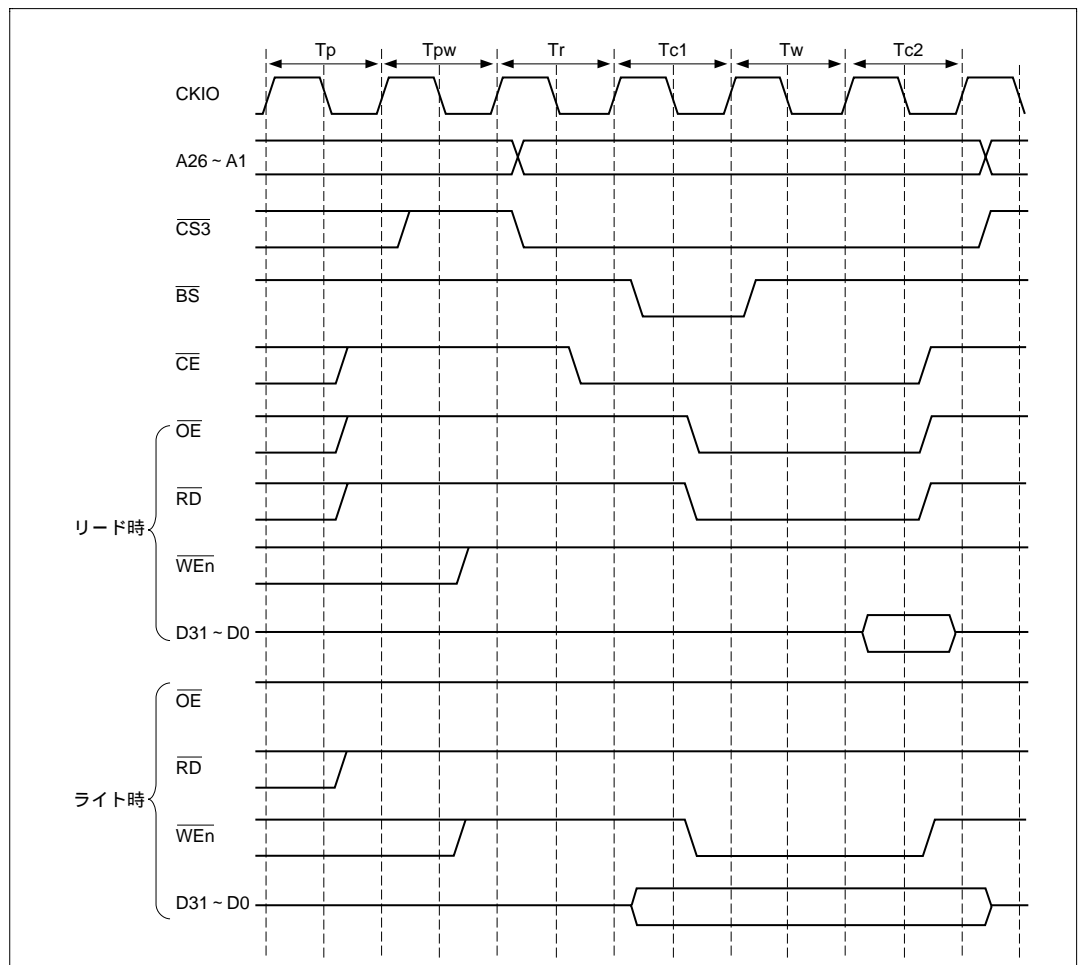


図 7.39 ウェイトステートタイミング

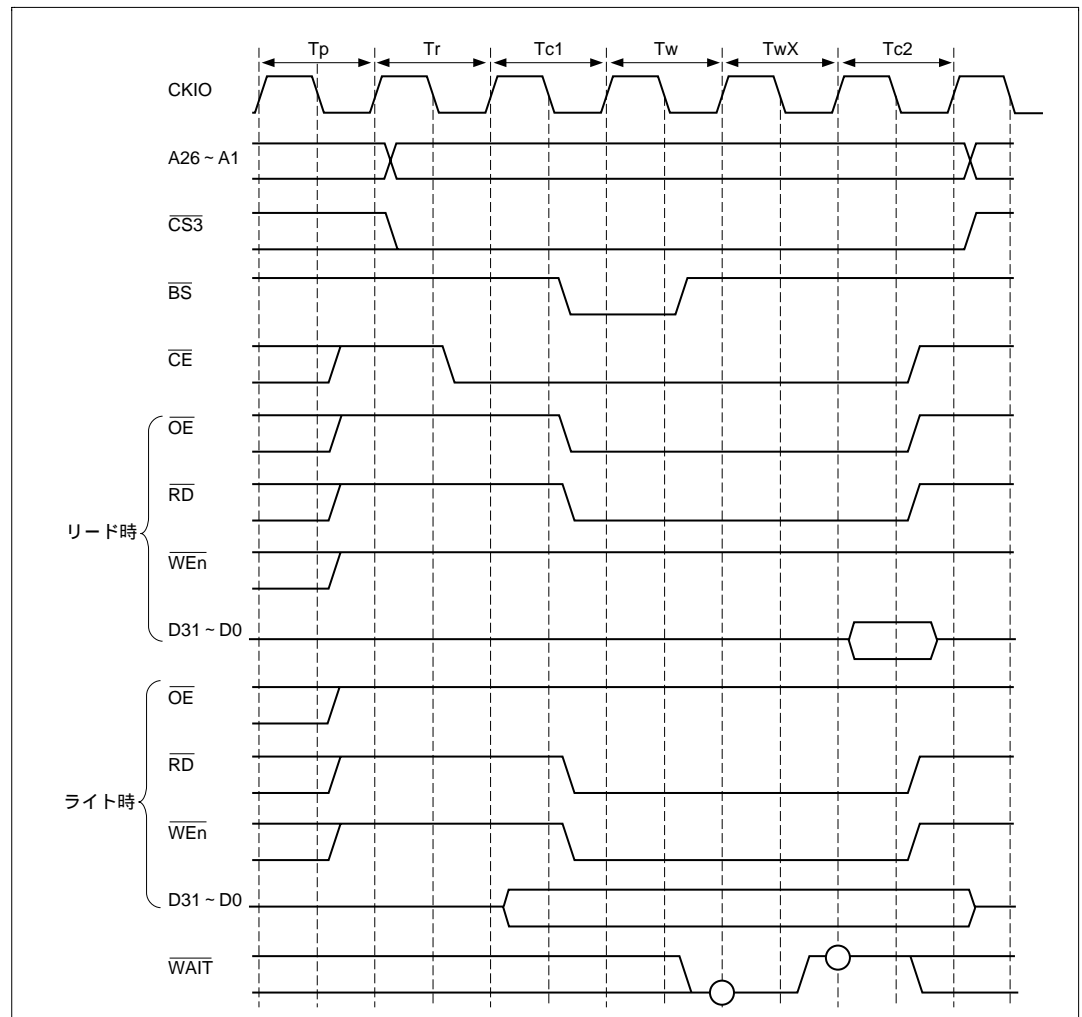


図 7.40 外部ウェイトステートタイミング

7.7.4 バーストアクセス

擬似 SRAM にはアクセスのたびに CE のアサート、ネゲートを行うノーマルアクセスの他に、同一のロウアドレスに対するアクセスが連続する場合、CE をアサートしたままカラムアドレスを変更するだけでデータに高速にアクセスできる、スタティックカラムモードを備えているものがあります。MCR のバーストイネーブルビット (BE) の設定によって、ノーマルアクセスとスタティックカラムモードを利用したバーストアクセスを選択することができます。スタティックカラムモードによるバーストアクセスのタイミングを図 7.41 に示します。バーストアクセスを行う場合にも、ウェイトステート制御機能によるサイクルの挿入を行うことができます。

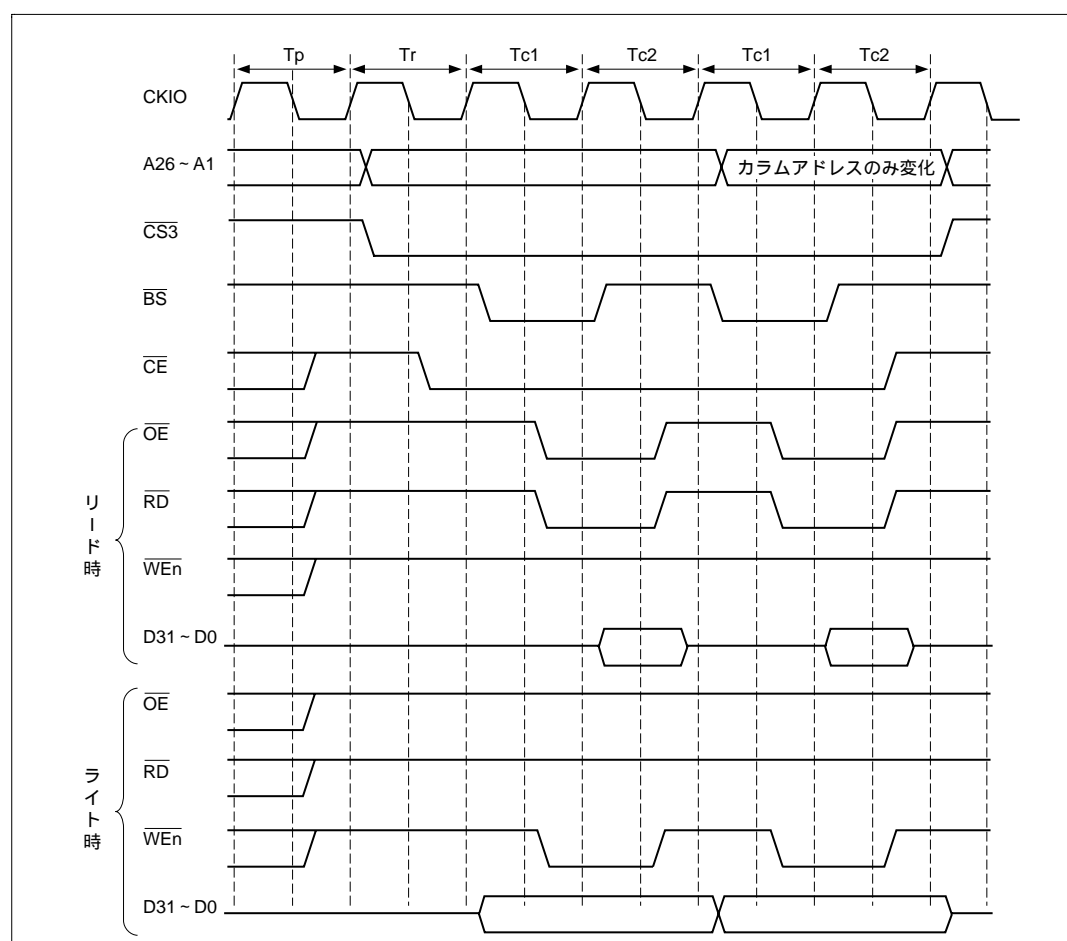


図 7.41 スタティックカラムモード

7.7.5 リフレッシュ

バスステートコントローラは擬似 SRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによってオートリフレッシュサイクルによる分散リフレッシュを行わせることができます。

RTCSR の CKS2~0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用する擬似 SRAM のリフレッシュ間隔規定を満たすように RTCOR と CKS2~0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2~CKS0 の設定を行ってください。CKS2~CKS0 によってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が立ち、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 7.42 にオートリフレッシュサイクルのタイミングを示します。

オートリフレッシュのための $\overline{\text{OE}}$ アサートサイクル数は MCR の TRAS ビットによって指定されます。 $\overline{\text{OE}}$ ネゲートから次の $\overline{\text{CE}}$ アサートまでのプリチャージ時間は MCR の TRP にしたがいします。

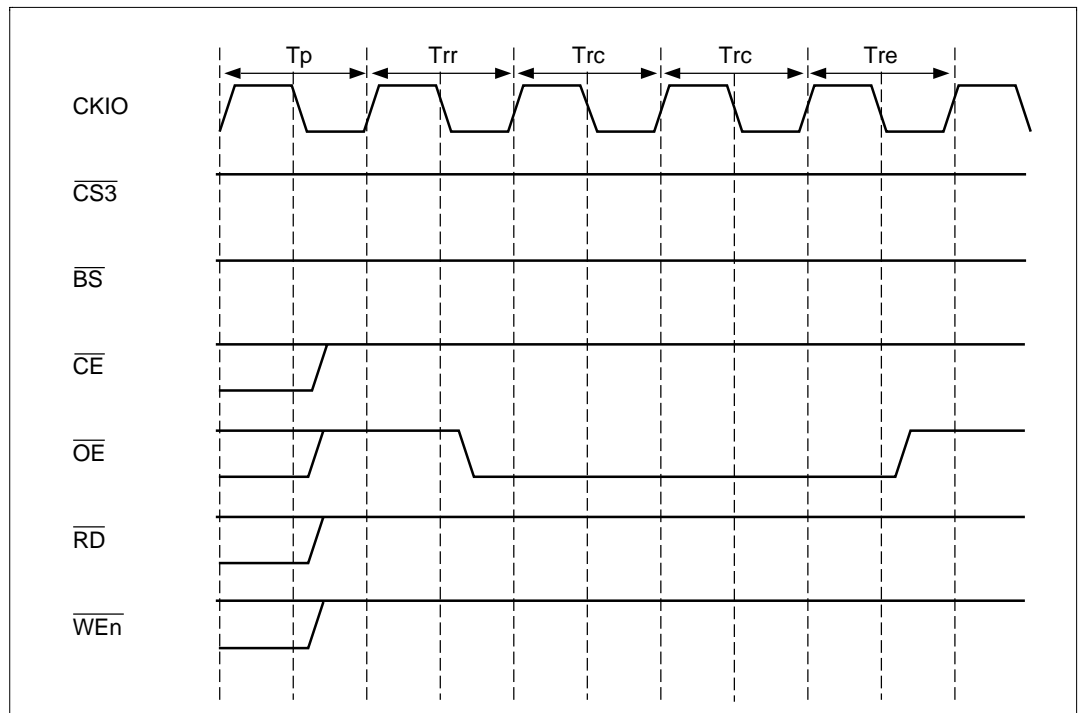


図 7.42 オートリフレッシュ

擬似 SRAM は \overline{OE} 信号を所定時間以上 L レベルとすることにより、セルフリフレッシュモードに入ります。セルフリフレッシュは、RMODE ビットと RFSH ビットをとともに 1 にすることによって起動されます。セルフリフレッシュの状態の間は擬似 SRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後 1 オートリフレッシュサイクル分の時間、擬似 SRAM へのアクセスは禁止されていますが、セルフリフレッシュからの復帰に要するリフレッシュリセット時間がこれよりも長い場合にはこの期間、擬似 SRAM へのアクセスがオートリフレッシュも含めて発生しないようにプログラムしてください。セルフリフレッシュのタイミングを図 7.43 に示します。セルフリフレッシュ解除後データ保持が正しく行われるように、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。

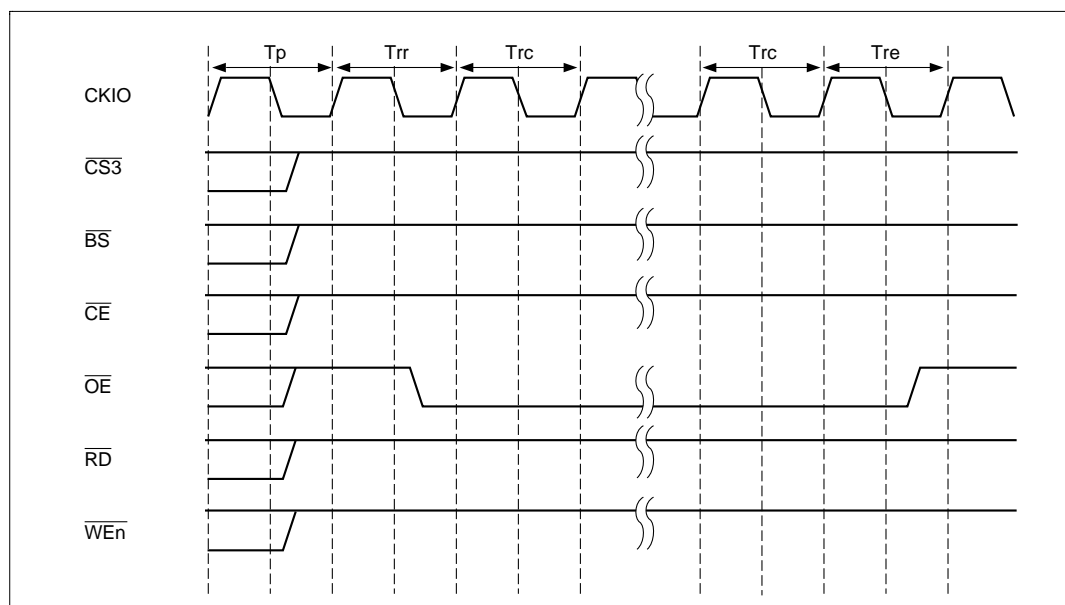


図 7.43 セルフリフレッシュ

7.7.6 パワーオンシーケンス

電源投入後の擬似 SRAM の使用に関しては、アクセスの行えない待機時間 (100 μ S 以上) の確保とそれに続く所定回数 (通常 8 回) 以上のダミーのオートリフレッシュサイクルを行うことが要求されています。バスステートコントローラは、パワーオンリセットに対してなんら特別な動作を行わないため、必要なパワーオンシーケンスはパワーオンリセット後に実行する初期化プログラムによって実現する必要があります。

7.8 バースト ROM インタフェース

BCR1 の BSTROM ビットを 1 に設定することにより、CS0 空間にバースト ROM の接続を可能となります。バースト ROM インタフェースは、ニブルアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するニブルアクセスのタイミングを図 7.45 に示します。ウェイトサイクル 2 サイクルの設定です。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際 CS0 信号のネゲートを行わず、アドレスのみを切り換えて、さらに通常空間アクセスの T1 サイクルを省略して次のアクセスを行います。2 回目以降は T1 サイクルが省略されるので、通常のアクセスよりも 1 サイクル高速にアクセスできます。現在 ROM として入手可能なものは、ニブルアクセスの対象として 4 アドレスのみとなっています。そこで、この機能を適用するのは、8 ビット幅の ROM に対するワードまたはロングワードリードと 16 ビット幅の ROM に対するロングワードリードのときに限定します。マスク ROM はアクセス速度も遅くアクセス回数も 8 ビット幅の場合命令フェッチで 4 回、キャッシュフィルでは 16 回と多いので、これを救済する目的でニブルアクセスのサポートを行います。8 ビット幅の ROM を接続する場合には最大 4 回の連続アクセスが行われ、16 ビット幅の ROM を接続する場合には最大 2 回の連続アクセスが行われます。データ幅とアクセスサイズの関係を図 7.44 に示します。キャッシュフィルおよび DMAC の 16 バイト転送はロングワードアクセスを 4 回繰り返します。

バースト ROM アクセスでもウェイトステートを 1 以上に設定すると $\overline{\text{WAIT}}$ 端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 7.46 に示します。

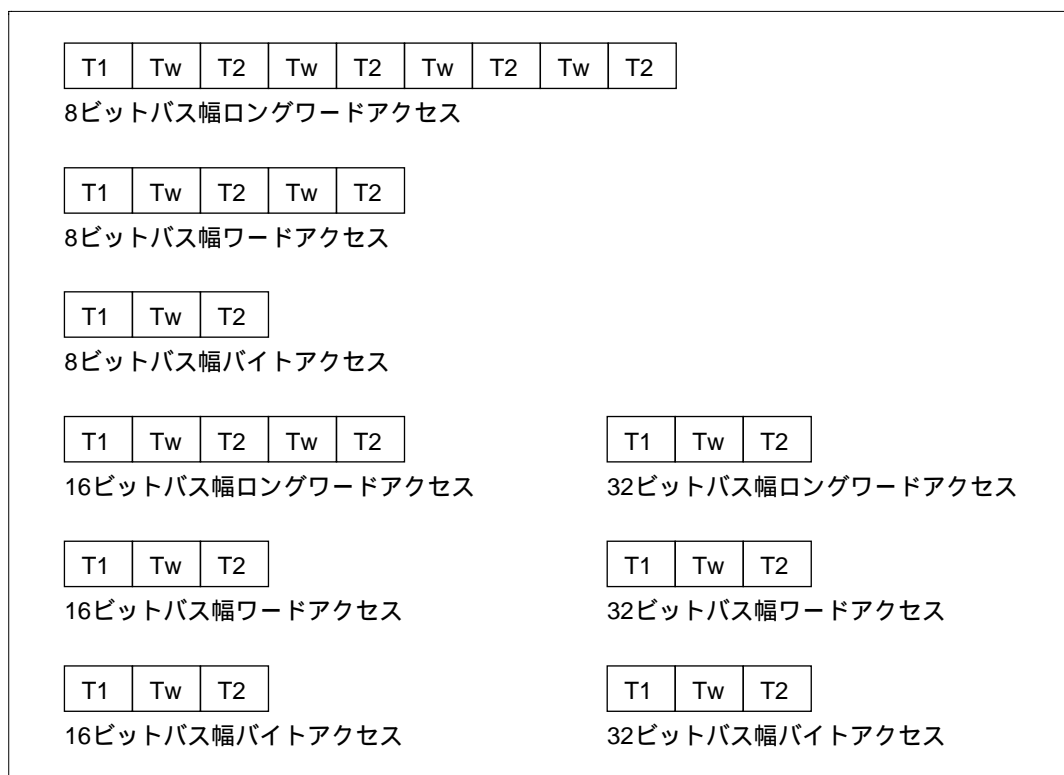


図 7.44 データ幅とバースト ROM アクセス (ウェイト数 1)

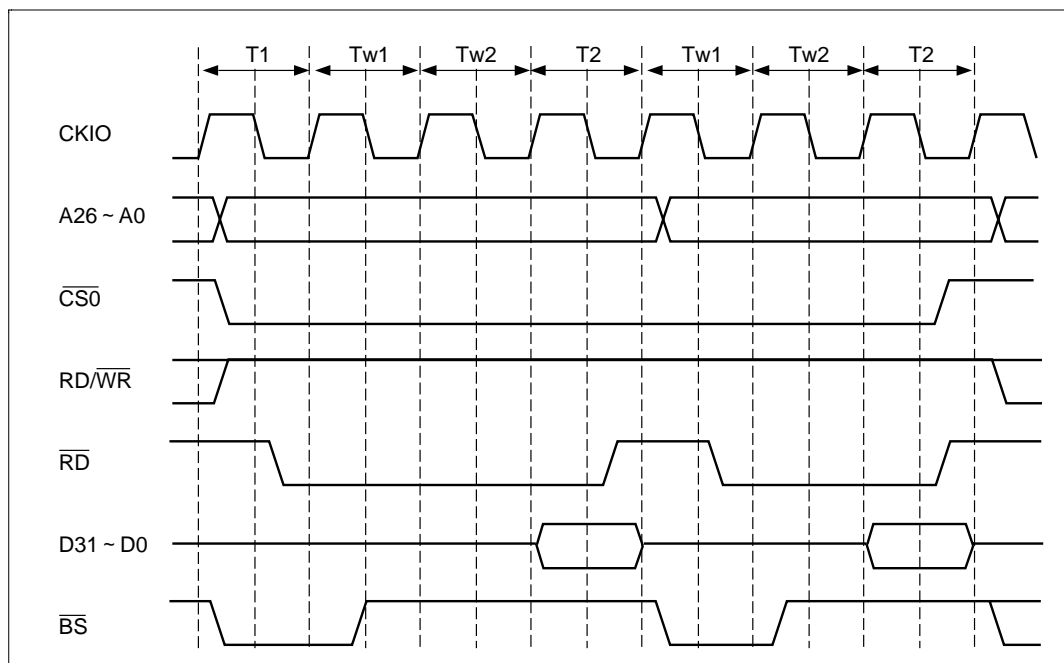


図 7.45 バースト ROM ニブルアクセス (2 ウェイトステート)

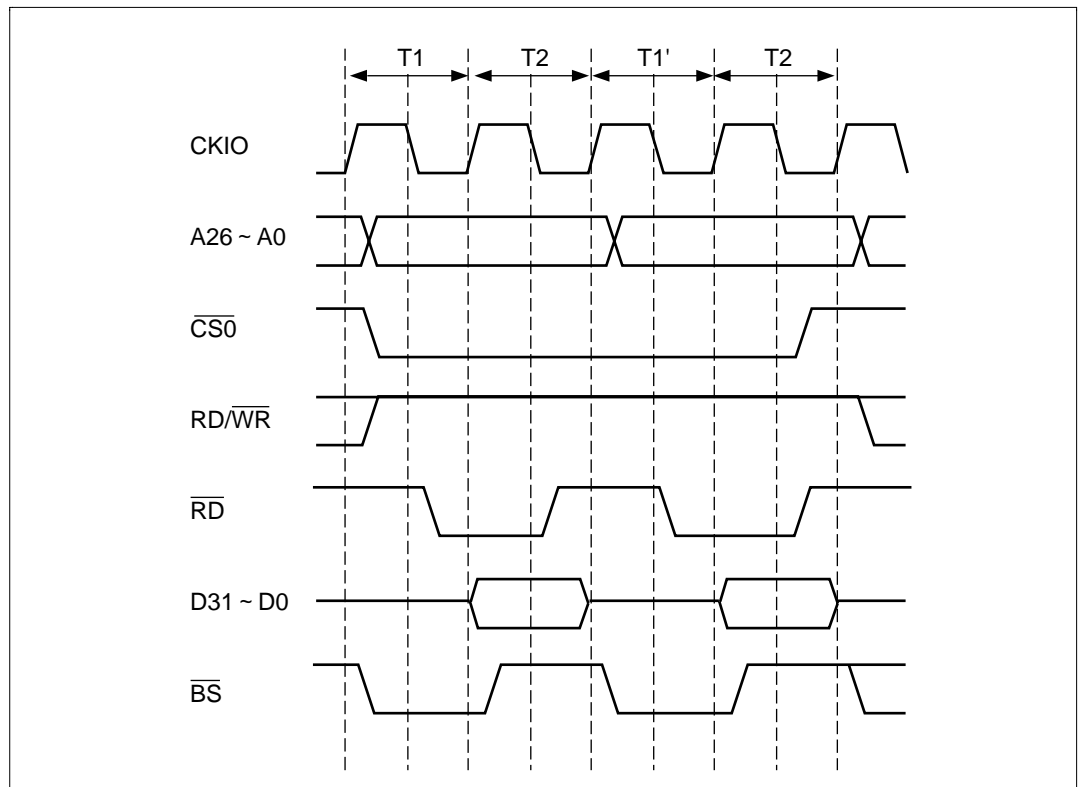


図 7.46 バースト ROM ニブルアクセス (ウェイトなし)

7.9 アクセスサイクル間ウェイト

動作周波数が高くなってきたため、低速なデバイスからのリードが完了した際のデータバッファのオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスの空間とリード/ライトの別を記憶しておき、次のアクセスを起動する際に問題があるケースではアクセスサイクル間のウェイトを挿入して、データの衝突を回避する機能を設けました。チェックの対象としては、直前のアクセスがリードサイクルでそれに続いて異なる CS 空間のリードアクセスを行う場合と、直前のアクセスがリードアクセスで、次のアクセスが本 LSI からのライトの 2 つのケースについてです。本 LSI がライトを連続している場合には、データの方向は常に本 LSI から他のメモリという形で統一されており、特に問題とはなりません。次に同一の CS 空間に対するリードアクセスは、原則として同一のデータバッファからデータが出されるものとして、これも対象から外します。WCR の IW31、IW30 によって CS3 空間からリードした後、他の CS 空間から読み出しを行う場合と、本 LSI がライトアクセスを行う場合のアクセスサイクルの間に挿入するアイドルサイクル数を指定します。同様に IW21、IW20 は CS2 リード後の、IW11、IW10 は CS1 リード後の、IW01、IW00 は CS0 リード後のアイドルサイクル数を指定します。0 から 2 サイクルの指定ができます。アクセス間に、もともと空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。リードアクセスを行った後直ちにライトサイクルを行う場合、サイクル間ウェイトの指定が 0 の場合でも 1 サイクルのウェイトサイクルを挿入します。

本 LSI がライトを行った後直ちにリードサイクルに移る場合、ライトデータはクロックの立ち上がり時にハイインピーダンスにされるのに対し、リードサイクルのデータ出力許可を示す \overline{RD} 信号は、クロックの立ち下がりまでアサートされないため、アクセスサイクル間ウェイトは挿入しません。

バスアービトレーションを行う場合には、アービトレーションのための空きサイクルが入るため、サイクル間ウェイトは入りません。

7. バスステートコントローラ (BSC)

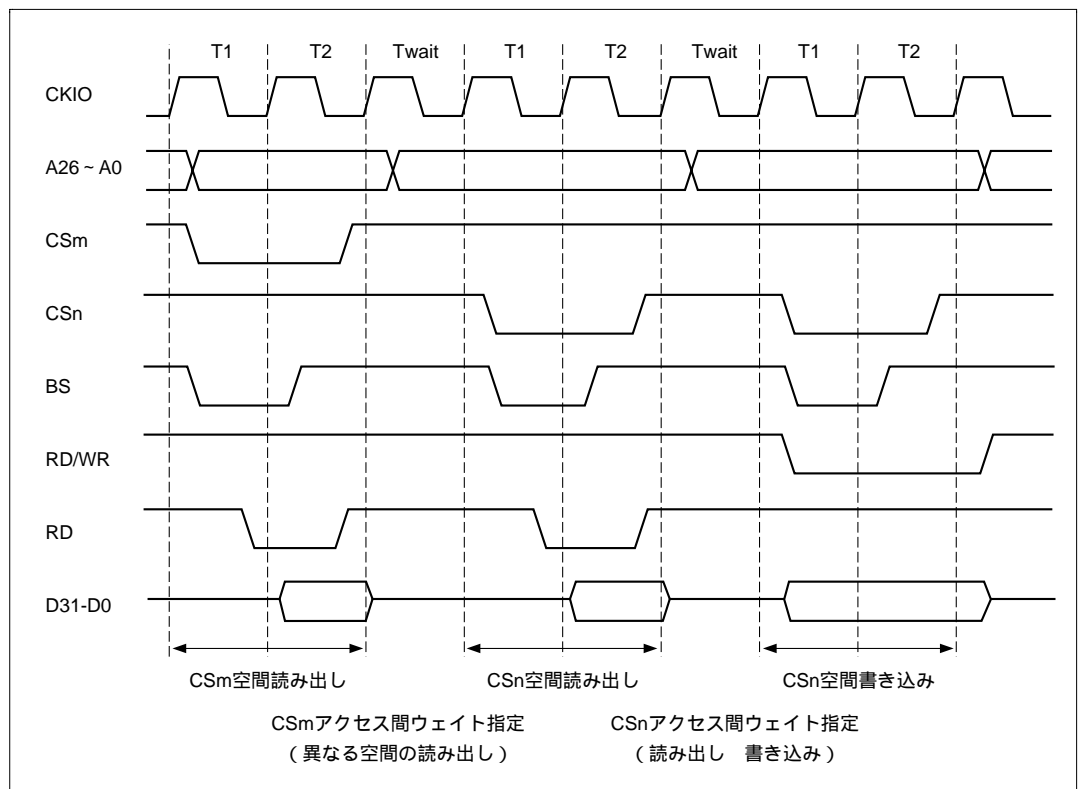


図 7.47 アクセスサイクル間ウェイト

7.10 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。これに加え、2つのプロセッサの接続をサポートするためのバスアービトレーション機能が付加されています。これは互いをバスアービトレーションのマスタとスレーブとして接続することによって、最小のハードウェア量でマルチプロセッサシステムを実現するための機能です。

バスアービトレーションに関してはマスタモード、部分共有マスタモード、スレーブモードの3つのモードがあります。マスタモードは定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行うモードです。スレーブモードは定常状態でバス権を有しておらず、外部バスアクセスサイクルが発生するごとにバス権の要求を行い、アクセス終了後はバスを再び解放するモードです。部分共有マスタモードは外部デバイスと CS2 空間のみを共有し、CS2 空間に関してはスレーブモード、それ以外の空間に対してはバスアービトレーションを行わず、常にバス権を保持しているモードです。部分共有マスタモードのチップの CS2 空間を、マスタモードのチップのどの CS 空間に割り当てるかは、外付け回路によって決められます。

マスタモードとスレーブモードは外部モードピンの設定によって指定できます。部分共有マスタモードはマスタモードからソフトウェアの設定で移行します。外部モードピンの設定は「3章 発振回路と動作モード」を参照してください。マスタモードとスレーブモードでは、バス権を所有していないときにはバスをハイインピーダンス状態とするので、直接マスタモードのチップとスレーブモードのチップを接続することができます。部分共有マスタモードでは、バスを常にドライブしているため、マスタのバスに接続するためには外付けのバッファが必要です。マスタモードでは、スレーブモードのチップの代わりに、バス権要求を行う外部デバイスを接続することができます。以下の説明ではバス権要求を行う外部デバイスもスレーブと呼びます。

本 LSI の内部には CPU と DMAC という 2 つのバスマスタがあります。また、シンクロナス DRAM、DRAM または擬似 SRAM を接続し、リフレッシュ制御を行わせる場合、リフレッシュ要求は第 3 のバスマスタとなります。これらに加え、マスタモードの時には外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求に関する優先順位は、高い方から順に、リフレッシュ要求、外部デバイスによるバス権要求、DMAC、CPU の順となります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。バス制御信号に対しバスを解放する側の出力バッファオフとバスを獲得する側の出力バッファオンを同時に行うことにより、信号のハイインピーダンス期間をなくすることができます。ハイインピーダンス状態での外来ノイズによる誤動作を防ぐために、通

常これら制御信号に挿入されるプルアップ抵抗が不要となります。

バス権の委譲はバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていないければ、直ちにバス権の解放を行います。バスサイクルの最中の場合、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 \overline{CSn} 信号その他のバス制御信号を見て、直ちにバス権が解放されるかどうかを判定することはできません。さらに、キャッシュフィルのためのバースト転送、DMACの16バイトブロック転送の途中のバス解放等はいりません。同様にTAS命令のリードサイクルとライトサイクルの間でもバス解放は行いません。データバス幅がアクセスサイズよりも小さいことによって生ずる複数バスサイクル、例えば8ビットデータ幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもアービトレーションは行いません。一方独立したアクセスである割り込み処理時の外部ベクタフェッチ、PCの待避、SRの待避サイクルの間には、バスアービトレーションが行われます。

本LSI内部のCPUは、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI内部または外部の他のバスマスタがバスを使用している場合、キャッシュメモリからの読み出しを行うことができます。CPUからの書き込みの場合、本LSIのキャッシュではライトスルー方式を採用しているため、外部に対する書き込みサイクルが必ず生じます。ユーザブ레이크コントローラ(UBC)で外部バスアドレスモニタを指定しない場合、CPU、DMACと内蔵周辺モジュールを結ぶ内部バスも外部バスと平行して動作が可能のため、外部のバス権がなくともCPUから内蔵周辺モジュール、DMACから内蔵周辺モジュールへのアクセスを読み出し、書き込みともに行うことができます。外部バスアドレスモニタが指定されている場合、外部のバスマスタにバス権を移譲すると、アドレスモニタに内部バスが使用されるため、CPU、DMACから内蔵周辺モジュールへのアクセスも、バス権が返還されるまで待たされます。

7.10.1 マスタモード

マスタモードのプロセッサはバス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求(\overline{BRLS})のアサート(Lレベル)を受け、実行中のバスサイクルが終わり次第バスの解放を行いバス使用許可(\overline{BGR})をアサート(Lレベルに)します。スレーブがバスを解放したことを示す \overline{BRLS} のネゲート(Hレベル)を受けて \overline{BGR} をネゲート(Hレベルに)し、バスの使用を再開します。バス解放時はシンクロナスDRAMインタフェースのCKEとバスアービトレーションの \overline{BGR} 、およびDMA転送を制御するDACK0、DACK1を除き、バスインタフェースに関連するすべての出力信号および入出力信号をハイインピーダンスとします。

DRAMまたは擬似SRAMはプリチャージを完了させてからバスを解放します。シンクロナスDRAMも、アクティブとなっているバンクに対してプリチャージコマンドを発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次の通りです。まず、バス使用許可信号をクロックの立ち下りに同期してアサートします。この0.5サイクル後にクロックの立ち上がり同期してアドレスバスおよびデータバスをハイインピーダンスにします。これに続くクロックの立ち下りで、バス制御信号 (\overline{BS} 、 \overline{CSn} 、 \overline{RAS} 、 \overline{CAS} 、 $\overline{WE_n}$ 、 \overline{RD} 、 $\overline{RD}/\overline{WR}$ 、 \overline{IVECF}) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする1.5サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち下がりで行います。

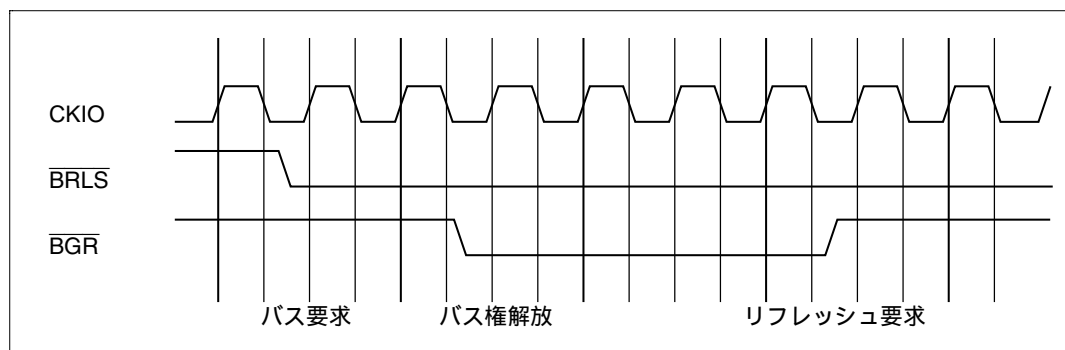
スレープからバス権を再獲得するときのシーケンスは次のとおりです。

\overline{BRLS} のネゲートをクロックの立ち下がり検出すると、直ちに \overline{BGR} をネゲートするとともにバス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのはこれに続くクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレス、データ信号をドライブするのと同じクロックの立ち上がりからです。マスタモードのバスアービトレーションタイミングは図7.48を参照してください。

\overline{BGR} をアサートし、バスを解放している状態で、本LSI内部でリフレッシュ要求が発生した場合、 \overline{BGR} 信号をネゲートする場合と \overline{BGR} 信号をしない場合があります。

(1) \overline{BGR} がネゲートする場合

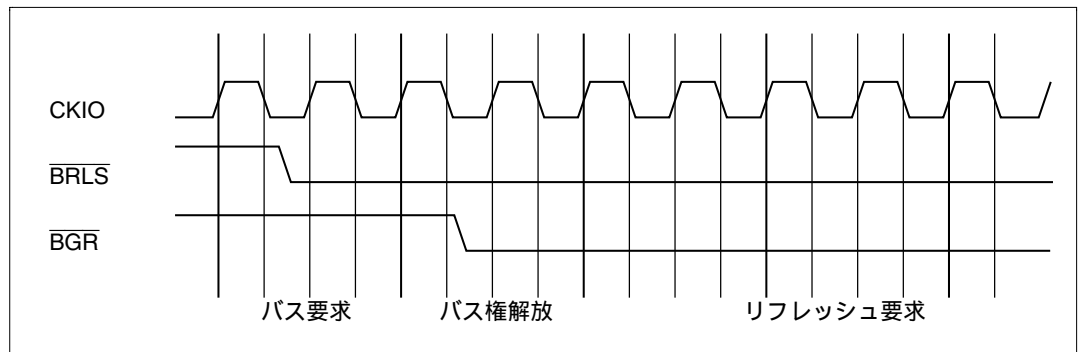
リフレッシュ要求発生前に外部デバイスに対するアクセス処理が開始されていない場合は、 \overline{BRLS} 信号がアサートされている状態でも \overline{BGR} 信号をネゲートします。 \overline{BGR} 信号がネゲートされても、 \overline{BRLS} 信号がネゲートされない限り、リフレッシュ動作を開始することはありません。 \overline{BRLS} 信号ネゲート後は、直ちにリフレッシュを開始します。



(2) \overline{BGR} がネゲートしない場合

リフレッシュ要求発生前に外部デバイスに対するアクセス処理が起動され、バス獲得を待っている状態では、 \overline{BGR} 信号はネゲートしません。 \overline{BRLS} 信号ネゲート後、バス獲得を待っていた外部デバイスに対するアクセスを終了後、リフレッシュを開始します。

7. バスステートコントローラ (BSC)



本LSIをスレーブモードで使用している場合は、バスアクセスサイクルが終了次第バスを解放しますが、ユーザが個別に設計したスレーブの場合、アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。このようなケースでは、確実なリフレッシュを行うため、スレーブのバス占有時間がリフレッシュ周期を越えることなくバス権を解放するように設計を行ってください。

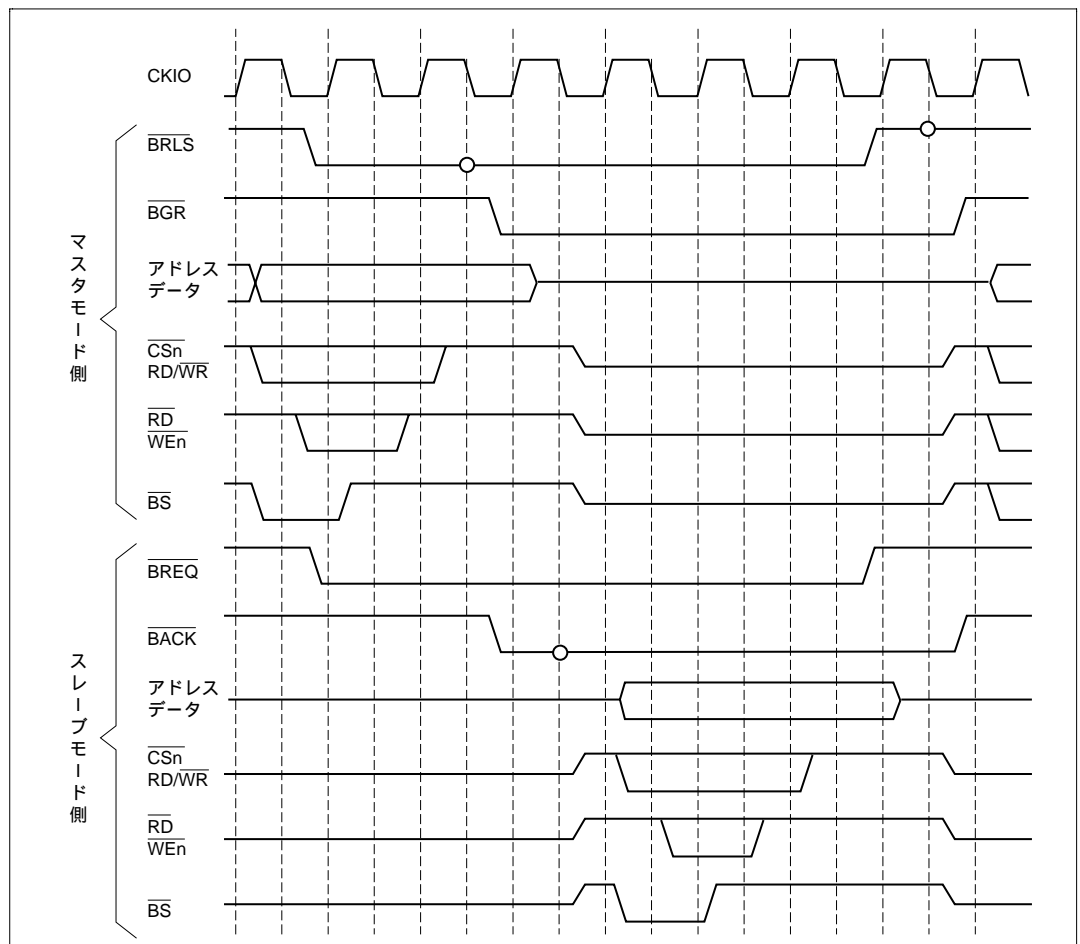


図 7.48 バスアービトレーション

7.10.2 スレーブモード

スレーブモードでは通常、バスは解放状態となっており、バスアービトレーションシーケンスを行ってバス権を獲得しない限り、外部デバイスにアクセスすることはできません。リセット時もバス解放状態であり、リセットベクタのフェッチからバスアービトレーションシーケンスが開始されます。

バス権獲得のためにクロックの立ち下がりに同期して $\overline{\text{BREQ}}$ 信号をアサート (L レベルに) します。バス使用許可である $\overline{\text{BACK}}$ 信号のアサート (L レベル) をクロック立ち下がりでサンプリングします。 $\overline{\text{BACK}}$ のアサートを検出すると、直ちにバス制御信号をネゲートレベルでドライブします。これに続くクロックの立ち上がりでアドレス、データバスのドライバをオンにし、バスサイクルを開始します。アクセスサイクルの終了時に最後にネゲートされる信号はクロック立ち上がりに同期しています。このクロックの立ち上がりから半クロックにおいて $\overline{\text{BREQ}}$ 信号をネゲートしバスの解放をマスタに通知し、0.5 サイクルにおいてアドレス、データの出力バッファをオフにし、ハイインピーダンスとします。続くクロックの立ち下がりで制御信号をハイインピーダンスにします。スレーブモードのバスアービトレーションタイミングは図 7.48 を参照してください。

スレーブのアクセスサイクルが DRAM、擬似 SRAM、シンクロナス DRAM の場合、マスタ同様にメモリのプリチャージが完了した時点でバス権の解放を行います。

リフレッシュ制御はマスタモードのデバイスにまかせるため、スレーブモードでリフレッシュ制御の設定を行っても無視されます。

マスタモードとスレーブモードの接続例を図 7.49 に示します。

7. バスステートコントローラ (BSC)

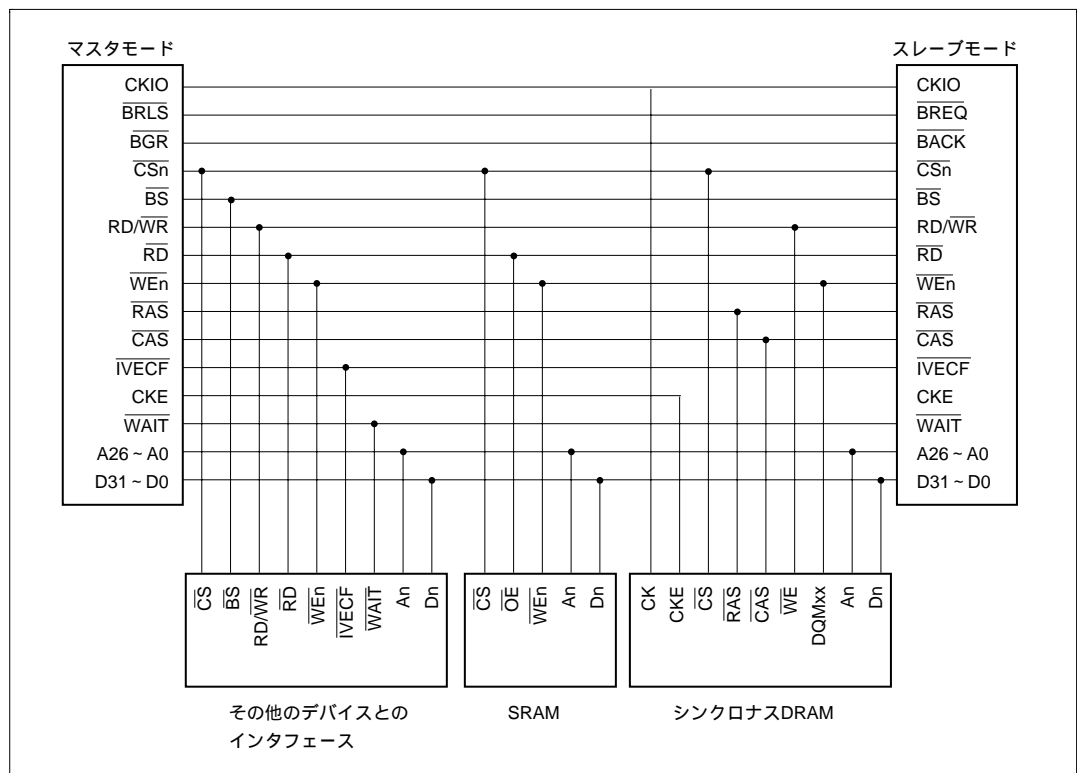


図 7.49 マスタとスレーブの接続

7.10.3 部分共有マスタモード

部分共有マスタモードでは、CS2 空間のみを他のデバイスと共有しており、それ以外の CS 空間については常時アクセス可能となっています。部分共有マスタモードに設定するためには、外部モードピンによってマスタモードに設定を行い、パワーオンリセット時の初期化手順のなかで、BCR の PSHR ビットを 1 に設定することによって部分共有マスタモードとすることができます。マニュアルリセットの際にはバスステートコントローラの設定レジスタの値は保存されるので、再度の設定は必要ありません。

部分共有マスタモードはマスタモードのチップと組み合わせることを前提として設計されています。部分共有マスタモードとマスタモードの本 LSI の接続例を図 7.50 に示します。マスタモード側は CS3 空間にシンクロナス DRAM を、CS0 空間に ROM を接続しています。部分共有マスタ側は CS0 空間に ROM を、CS2 空間にマスタ側のシンクロナス DRAM を、CS3 空間には専用のシンクロナス DRAM を接続しています。部分共有マスタは CS2 空間を介してマスタ側のシンクロナス DRAM にアクセスすることができますが、マスタは部分共有マスタ側のデバイスにアクセスすることはできません。部分共有マスタとマスタの間にはアドレス、制御信号のバッファとデータのバッファがあり、バッファコントロール回路によって制御されます。それぞれのバッファはクロックの立ち上がり同期して信号のラッチを行いタイミング合わせを行うので、AC 的な動作マージンがありますが、部分共有マスタからマスタ側のシンクロナス DRAM を読み出すと、アドレス、制御線の出力に 1 サイクル、読み出しデータの入力に 1 サイクルそれぞれ余計に時間がかかります。バスコントローラ内の CAS レイテンシの設定は、実際のシンクロナス DRAM の CAS レイテンシに 2 加えた値を設定します。クロックサイクルが長く、部分共有マスタからのアドレス、制御信号および書き込み信号がバッファを介してマスタ側のシンクロナス DRAM に到達する時間と、マスタ側のシンクロナス DRAM からの読み出しデータがバッファを介して部分共有マスタに到達する時間に対し十分長く、それぞれのセットアップ時間の制限を満たすことができればクロックに同期して信号を 1 サイクル遅らせる必要がなくなります。この場合、前述のラッチは不要となります。

部分共有マスタモードのプロセッサが CS2 空間にアクセスを行う場合、次の手順で行います。クロック立ち下がりで $\overline{\text{BREQ}}$ をアサートし、マスタにバス権の要求を行います。クロック立ち下がりごとに $\overline{\text{BACK}}$ をサンプリングし、 $\overline{\text{BACK}}$ のアサートを受けて次のクロック立ち上がりからアクセスサイクルを開始します。アクセス終了後、クロック立ち下がりで $\overline{\text{BREQ}}$ をネゲートします。部分共有マスタから CS2 空間のデバイスをアクセスするときのバッファの制御は、 $\overline{\text{BREQ}}$ 信号と $\overline{\text{BACK}}$ 信号を参照して行います。部分共有マスタに接続される $\overline{\text{BACK}}$ によってバス権の使用許可が通知されますが、バスを使っている最中でもリフレッシュなどをサービスするため、マスタがバスを緊急に必要とする場合は $\overline{\text{BACK}}$ 信号はネゲートされることがあります。このため、 $\overline{\text{BACK}}$ のアサートを検出した以降部分共有マスタがバスを使い続けているかどうかは、 $\overline{\text{BREQ}}$ 信号を監視している必要があります。アドレスバッファの場合 $\overline{\text{BACK}}$ のアサート検出によってアドレスバッファをオンにし

たあとは、 $\overline{\text{BREQ}}$ がネゲートになるまでバッファをオンし、 $\overline{\text{BREQ}}$ のネゲートとともにオフにします。使用するバッファのオフが遅くマスタ側のアクセスサイクル開始と衝突する場合には、バッファ制御回路の一部として部分共有マスタから出力される $\overline{\text{BREQ}}$ 信号をクロックで遅らし、マスタの $\overline{\text{BRLS}}$ 信号に入力する必要があります。

部分共有マスタモードで CS2 空間をアクセスした後バス権を解放する際、CS2 空間がシンクロナス DRAM であった場合には、オートプリチャージに必要な時間を待ってからバス権の解放を行います。一方 CS2 以外の空間は常に自分がバス権を持っているため CS3 空間に DRAM、シンクロナス DRAM、擬似 SRAM を接続していても、CS2 空間のバス権の要求、解放に際して CS3 空間のメモリのプリチャージを行うことはありません。

部分共有マスタモードは CS2 に対するリフレッシュは行いません (無視されます)。

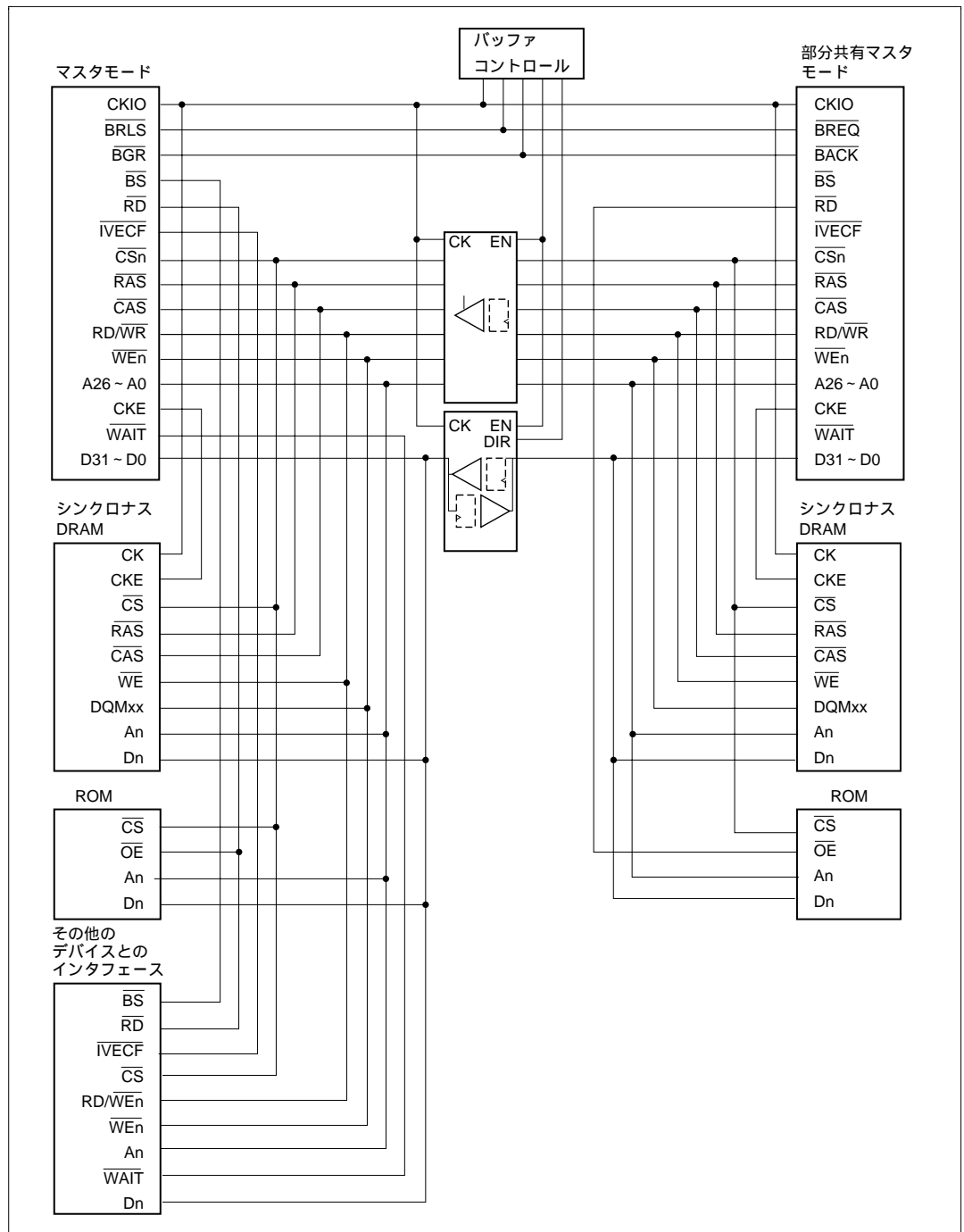


図 7.50 マスタと部分共有マスタの接続

7.10.4 外部バスアドレスモニタ

マスタモードおよびスレーブモードでは、ユーザブレイクコントローラ (UBC) を用いて外部バスアクセスサイクルを監視し、ブレイク割り込みを発生する機能があります。バスサイクルの監視はバス解放状態のときクロックの立ち上がりごとに外部バスをサンプリングして行います。サンプリングした際に \overline{BS} 信号がアサート (L レベル) されていることを検出すると、そのときのアドレス (A26~A0) とリード・ライト信号 RD/\overline{WR} を取り込みアクセスアドレスとアクセスタイプ (リード、ライトの別) として比較判定を行います。

外部デバイスがバス権を獲得して、DRAM またはシンクロナス DRAM をアクセスするサイクルでは、アドレスモニタを正しく動作させるため次のような注意が必要です。DRAM またはシンクロナス DRAM アクセスサイクルで \overline{BS} が L レベルとなるのは、コラムアドレスを出力するサイクルに同期しています。本 LSI は \overline{BS} 信号が L レベルのサイクルのアドレスのみを取り込み比較の対象とするため、アドレスマルチプレクスを行うこれらのメモリにアクセスするときでも上位アドレスビットにはロウアドレスを出力する必要があります。

シンクロナス DRAM では、コラムアドレス出力サイクルにおいてアドレス信号のうち 1 ビットはバンクアドレスを、もう 1 ビットはオートプリチャージを行うかどうかを指定するために使用します。比較アドレスで必ずブレイクを起こすため、比較アドレスの設定に当たって、この 2 ビットを比較しないようにマスクする必要があります。マスクするビット位置は「7.5.2 アドレスマルチプレクス」を参照してください。

7.10.5 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担をきちんとする必要があります。DRAM、シンクロナス DRAM、擬似 SRAM は使用に先立って初期化動作を行わなければなりません。また、低消費電力を実現するためのスタンバイ動作を行う場合にも分担を行わないといけません。

本 LSI の設計にあたっては初期化、リフレッシュ、スタンバイ制御などのすべての制御をマスタモードのデバイスが行うように考えてあります。2 プロセッサ構成のマスタ・スレーブ直接接続のときはメモリへの直接アクセスを除くすべての処理をマスタが分擔します。マスタモードと部分共有マスタモードの組み合わせの場合、部分共有マスタモードのプロセッサは CS2 空間を除く自分に接続された CS 空間の初期化、リフレッシュ、スタンバイコントロールの制御を行い、マスタは、マスタ自身に接続されたメモリの初期化を行います。

スレーブ側のプロセッサが DRAM、シンクロナス DRAM または擬似 SRAM のように使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、ハードウェアまたはソフトウェアでシーケンスを組んでください。具体的な方法としては、スレーブ側のリセットの解除をマスタから行うように外部回路を設ける方法、初期化の必要

のない SRAM などに初期化終了時にマスタがフラグを書き込むこととし、スレーブはこのフラグを確認してからアクセスを開始する方法、マスタ側からスレーブ側に割り込みがかけられるように外部回路を設け、初期設定終了時マスタからスレーブに割り込みをかけることによってスレーブを待機状態から解除する方法などがあります。

スタンバイモード等でシンクロナス DRAM、擬似 SRAM をセルフリフレッシュモードにした場合、モード解除までメモリのプリチャージが行えないためマスタは、バスの解放を行うことができません。スレーブからのバス解放要求が発生しないようにマスタによるセルフリフレッシュモードの開始以前に、スレーブをスリープさせる等スレーブのアクセスサイクルが発生しないように設計を行ってください。スレーブがこれらのメモリにアクセスするのは、リフレッシュの設定などセルフリフレッシュモードからの解除時に必要な処理をマスタが行ってからのにしてください。

7.11 その他

7.11.1 リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。バスサイクルの途中であるなしに関わらず、直ちにすべての信号をネゲートし、バスアービトレーションのモードがスレープであった場合には出力バッファをオフにします。信号のネゲートと出力バッファのオフは同時に行われます。制御レジスタはすべて初期化されます。スタンバイ、スリープおよびマニュアルリセットではバスステートコントローラの制御レジスタの初期化は行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、あとはアクセス待ちの状態になります。キャッシュフィルやDMACの16バイト転送を実行中の場合、バスマスタであるCPUまたはDMACがマニュアルリセットによってアクセス要求を取り消すため、ロングワード単位でアクセスが打ち切られます。このためキャッシュフィル時にマニュアルリセットを入れる場合、キャッシュの内容は保障されなくなりますので注意してください。マニュアルリセット中はRTCNTのカウントアップが行われないため、リフレッシュ要求が発生せず、リフレッシュサイクルは起動されません。DRAM、シンクロナスDRAMまたは擬似SRAMのデータを保証するためには、マニュアルリセットのパルス幅をリフレッシュ間隔よりも短くする必要があります。マスタモードのチップはマニュアルリセット信号のアサート中でもアービトレーション要求を受け付けます。バス解放中にマスタモードのチップのみにリセットが入った場合、これを表示するため $\overline{\text{BGR}}$ 信号をネゲートします。 $\overline{\text{BRLS}}$ 信号が引き続きアサートされている場合には、そのままバス解放状態を保ちます。

7.11.2 CPU およびDMAC からみたアクセス

本LSIの内部はキャッシュバス、内部バス、周辺バスの3つのバスに分割されています。CPU およびキャッシュメモリはキャッシュバスに、DMAC およびバスステートコントローラは内部バスに、低速な周辺機器とモードレジスタは周辺バスにそれぞれ接続されています。また、ユーザブレイクコントローラはキャッシュバスと内部バスの双方に接続されています。キャッシュバスから内部バスのアクセスは行えますが逆は行えません。内部バスから周辺バスのアクセスは行えますが、周辺バスから内部バスのアクセスは行えません。このため以下のようなことが発生します。

DMAC からキャッシュメモリへの書き込みは行えません。DMAC によってメモリへの書き込みが生じ、この結果としてメモリ内容とキャッシュの内容に食い違いが生じることがあります。DMA 転送によってメモリの内容を書き換えた場合、その番地のデータがキャッシュにある可能性がある場合には、キャッシュメモリのページをソフトウェアで行わなければなりません。

CPU が読み出しアクセスを開始し、それがキャッシュ領域の場合にはまず1サイクルが

けキャッシュの検索が行われます。キャッシュにデータが保持されているとこれを取り込みアクセスは完了します。キャッシュ内にデータがない場合には、内部バスを介してキャッシュデータのフィルを行うため、4つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ($4n+2$ 番地) へのブランチ時のミスヒットに関しても、チップ外部インタフェース上は必ずロングワードアクセスでフィルを行います。キャッシュスルー領域に関しては、実際のアクセスアドレスにしたがってアクセスを行います。ただし、アクセスが命令フェッチの場合にはアクセスサイズは常にロングワードとなります。

キャッシュスルー領域および内蔵周辺モジュールの読み出しサイクルの場合、その判定に1サイクル費やした後内部バスを介して読み出しサイクルが起動されます。読み出しデータはキャッシュバスを経由してCPUに送られます。

書き込みサイクルで、キャッシュ領域に対するものであった場合、キャッシュの検索を行い該当アドレスのデータがあった場合にはここに書き込みを行います。これと平行して内部バスを経由して実際の書き込みが行われます。内部バスの使用権がある場合には、チップ外部または内蔵周辺モジュールへの実際の書き込みが終了するまで待つことなくCPUに対して書き込みの完了が通知されます。DMAC等に使われるなどして内部バスの使用権がない場合にはバスの使用権が獲得できるまで待ちCPUに完了を通知します。

キャッシュスルー領域および内蔵周辺に対するアクセスは、キャッシュの検索および書き込みを除いてキャッシュ領域と同様の動きをします。

バスステートコントローラには1段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後、内蔵周辺に対する読み出しまたは書き込みを行う場合、低速メモリへの書き込みの完了を待たずに内蔵周辺へのアクセスが可能です。

読み出しでは、常に動作の完了までCPUは待たされるので、データの実際のデバイスに対する書き込みの完了を確認してから処理を続行したい場合、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了が確認できます。

DMACからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがってデュアルアドレスのDMA転送を行う場合、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMAのソースアドレスとディスティネーションアドレスがともに外部空間であった場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始が待たされます。

7.11.3 エミュレータ

本LSIのエミュレータを利用する上で動作が実チップと異なる点があります。

エミュレータでトレースデータの取得を行うためには、CPUおよびDMACが行ったすべてのアクセスを外部に出力する必要があります。チップ外部に対して行われたアクセスサイクルのトレースだけではプログラム実行の解析もアクセスしたデータの内容の解析

も完全に行うことはできません。

CPUからのキャッシュの読み出しはキャッシュバスのみで行えますが、そのアクセスアドレスと読み出したデータを外部に出力するためには、内部バスおよび外部バスが利用できなければなりません。CPUまたはDMACによる内蔵周辺モジュールのアクセスには外部バスは必要ありませんが、トレースデータを出力するためには外部バスが必要となります。このためエミュレータをトレースデータを取得するモードで使用すると、CPUまたはDMACの内部アクセス動作と外部バスサイクルが平行して行われなため、実チップと比べて余計に実行時間がかかります。外部に対する書き込み後の次のアクセスの平行実行も、トレースを行うため書き込み完了後に実行される形となります。実際の実行時間を厳密に測定する場合にはエミュレータではなく実チップを用いて行ってください。

8. キャッシュ

第8章 目次

| | | |
|-----|-----------------------------------|-----|
| 8.1 | 概要 | 239 |
| | 8.1.1 特長 | 239 |
| | 8.1.2 レジスタ構成 | 240 |
| 8.2 | レジスタの説明 | 241 |
| | 8.2.1 キャッシュコントロールレジスタ (CCR) | 241 |
| 8.3 | アドレス空間とキャッシュ | 243 |
| 8.4 | キャッシュ動作 | 244 |
| | 8.4.1 キャッシュ読み出し | 244 |
| | 8.4.2 書き込み | 245 |
| | 8.4.3 キャッシュスルーアクセス | 246 |
| | 8.4.4 TAS 命令 | 247 |
| | 8.4.5 擬似 LRU とキャッシュ置き換え | 248 |
| | 8.4.6 キャッシュの初期化 | 250 |
| | 8.4.7 連想ページ | 250 |
| | 8.4.8 データアレイアクセス | 251 |
| | 8.4.9 アドレスアレイアクセス | 251 |
| 8.5 | 使用方法 | 253 |
| | 8.5.1 初期化 | 253 |
| | 8.5.2 特定アドレスのページ | 253 |
| | 8.5.3 キャッシュデータのコヒーレンシ | 254 |
| | 8.5.4 2ウェイキャッシュモード | 255 |
| | 8.5.5 使用上の注意事項 | 256 |

8.1 概要

8.1.1 特長

本 LSI は 4K バイトの命令・データ混在型 4 ウェイキャッシュメモリを内蔵しています。キャッシュコントロールレジスタ (CCR) の値を特定することで、2K バイトの RAM と 2K バイトの命令・データ混在型キャッシュメモリとして使用することもできます (2 ウェイキャッシュモード)。また、CCR を用いて、命令またはデータのそれぞれに対してキャッシュを使用しないように設定することができます。

キャッシュメモリの 1 ラインは 16 バイトです。キャッシュメモリの置き換えは常にライン単位に行います。キャッシュの 1 ラインの置き換えには 4 回の 32 ビットアクセスが必要です。エントリ数は 64 であり、アドレス中の 6 ビット (A9 ~ A4) でエントリが定まります。4 ウェイセットアソシアティブ構成をとっており、エントリアドレスが一致する場合にも、最大 4 個の異なる命令・データをキャッシュに格納できます。同一エントリアドレスを持つ 4 つのウェイを効率的に使用するため、擬似 LRU (Least Recently Used) アルゴリズムに基づいた置き換えを提供しています。

図 8.1 にキャッシュ構成を、図 8.2 にアドレスを示します。

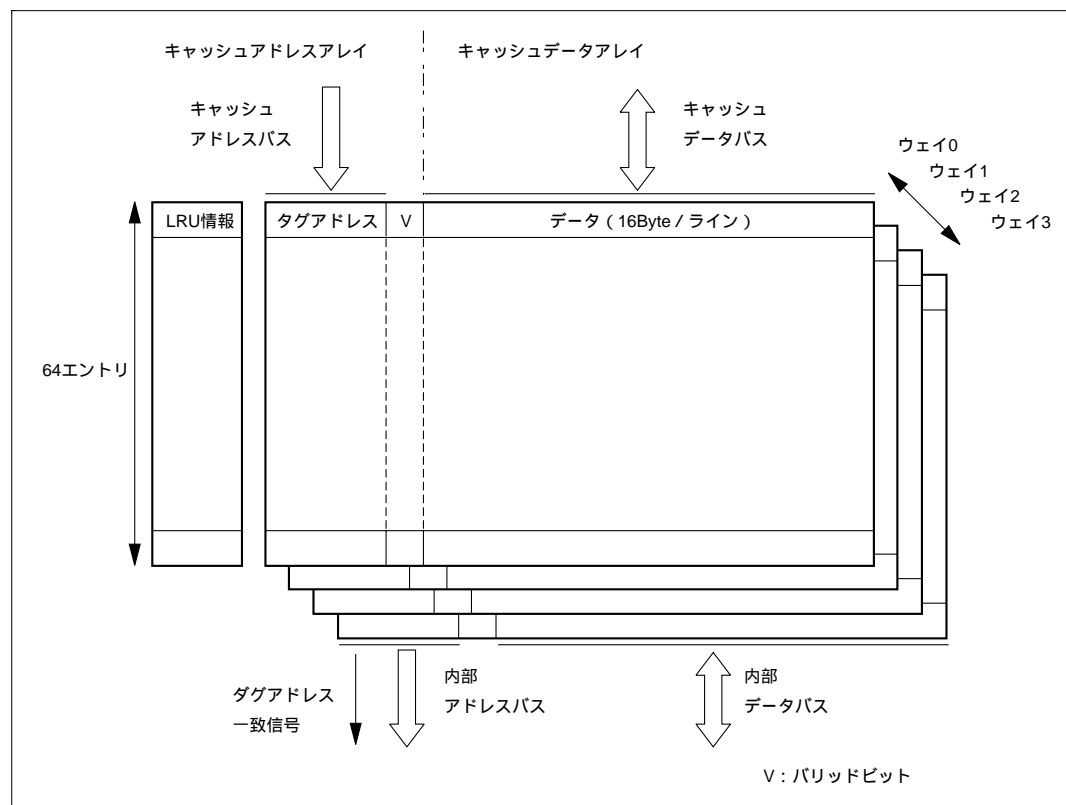


図 8.1 キャッシュ構成

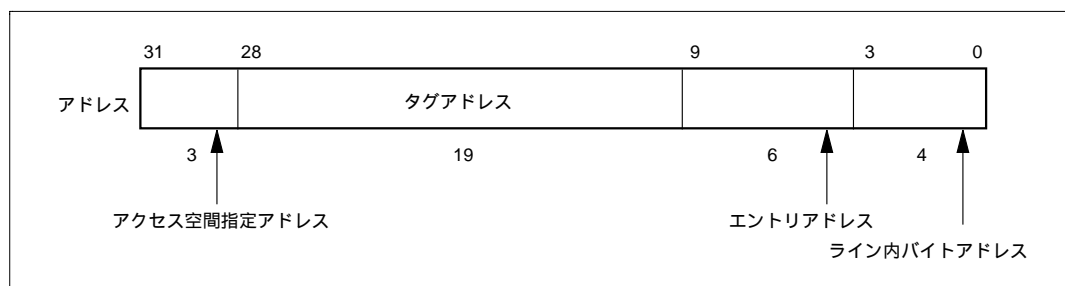


図 8.2 アドレス

8.1.2 レジスタ構成

キャッシュのレジスタ構成を表 8.1 に示します。

表 8.1 レジスタ構成

| 名称 | 略称 | R/W | 初期値 | アドレス |
|-----------------|-----|-----|------|-------------|
| キャッシュコントロールレジスタ | CCR | R/W | H'00 | H'FFFFFFE92 |

8.2 レジスタの説明

8.2.1 キャッシュコントロールレジスタ (CCR)

キャッシュ制御のためのレジスタに、キャッシュコントロールレジスタ (CCR) があります。キャッシュを制御するためには、CCR の設定とキャッシュの初期化が必要です。

| | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | W1 | W0 | - | CP | TW | OD | ID | CE |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ビット7、6：ウェイ指定ビット1、0 (W1、W0)

W1、W0はアドレス指定によってアドレスアレイを直接アクセスするときのウェイを指定します。

| ビット7 | ビット6 | 説明 |
|------|------|------------|
| W1 | W0 | |
| 0 | 0 | ウェイ0 (初期値) |
| 0 | 1 | ウェイ1 |
| 1 | 0 | ウェイ2 |
| 1 | 1 | ウェイ3 |

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：キャッシュパージビット (CP)

CPに1を書き込むことによりキャッシュのすべてのエントリ、すべてのウェイのバリビットとLRU情報が初期化されます。初期化完了後、CPビットは0に復帰します。CPビットは読み出し時には常に0です。

| ビット4 | 説明 |
|------|------------|
| CP | |
| 0 | 通常動作 (初期値) |
| 1 | キャッシュパージ |

【注】 読み出し時は常に0です。

ビット3：2ウェイモード（TW）

TW が0の時は4ウェイセットアソシアティブキャッシュ、TW が1の時には2ウェイセットアソシアティブキャッシュ+2K バイトRAM として動作します。2ウェイモード時にはウェイ2、ウェイ3がキャッシュ、ウェイ0、ウェイ1がRAMになります。ウェイ0、ウェイ1はアドレス指定によるデータアレイアクセスにより、リード/ライトを行います。

| ビット3 | 説 明 | |
|------|---------|-------|
| TW | | |
| 0 | 4ウェイモード | (初期値) |
| 1 | 2ウェイモード | |

ビット2：データリプレース禁止ビット（OD）

このビットが1の場合、キャッシュミスしても外部メモリから読み出したデータをキャッシュに書き込みません。ただし、キャッシュヒット時のキャッシュ読み出し、更新は行います。CEが1の場合にのみ有効です。

| ビット2 | 説 明 | |
|------|------------------------------|-------|
| OD | | |
| 0 | 通常動作 | (初期値) |
| 1 | データアクセス時、キャッシュミスしても置き換えを行わない | |

ビット1：命令リプレース禁止ビット（ID）

このビットが1の場合、キャッシュミスしても外部メモリからフェッチした命令をキャッシュに書き込みません。ただし、キャッシュヒット時のキャッシュ読み出し、更新は行います。CEが1の場合にのみ有効です。

| ビット1 | 説 明 | |
|------|-----------------------------|-------|
| ID | | |
| 0 | 通常動作 | (初期値) |
| 1 | 命令フェッチ時、キャッシュミスしても置き換えを行わない | |

ビット0：キャッシュイネーブルビット（CE）

CEに1を設定することで、キャッシュが使用可能になります。

| ビット0 | 説 明 | |
|------|--------------|-------|
| CE | | |
| 0 | キャッシュディスエーブル | (初期値) |
| 1 | キャッシュイネーブル | |

8.3 アドレス空間とキャッシュ

本 LSI ではアドレス空間を 6 個の部分空間に分割しており、キャッシュアクセス方法をアドレスで指定します。表 8.2 は各部分空間とキャッシュ動作の関係を示しています。アドレス空間の詳細は「7. バスステートコントローラ」を参照してください。特に、キャッシュ領域とキャッシュスルー領域が実際には同一空間であることに注意してください。

表 8.2 アドレス空間とキャッシュ動作

| アドレス A31 ~ A29 | 部分空間 | キャッシュ動作 |
|-------------------|------------------|-----------------------------|
| 000 | キャッシュ領域 | CCR の CE ビットが 1 ならばキャッシュ使用 |
| 001 | キャッシュスルー領域 | キャッシュは使用しない |
| 010 | 連想ページ領域 | 指定アドレスのキャッシュのラインをページ（無効化）する |
| 011 | アドレスアレイリード/ライト領域 | キャッシュのアドレスアレイに直接アクセス |
| 110 | データアレイリード/ライト領域 | キャッシュのデータアレイに直接アクセス |
| 111 | I/O 領域 | キャッシュは使用しない |

8.4 キャッシュ動作

8.4.1 キャッシュ読み出し

キャッシュイネーブル時に CPU から読み出しを行う場合の動作を説明します。

キャッシュアドレスバス上の CPU から出力されたアドレスのエントリアドレス部によって64エントリのうちの1エントリが選択されます。ウェイ0からウェイ3の各ウェイのタグアドレスが CPU から出力されたアドレスのタグアドレス部と比較されます。タグアドレスが一致したウェイがある場合をキャッシュヒットといいます。正しい使用状態では各ウェイのタグアドレスは互いに異っており1つのウェイのタグアドレスのみが一致します。すべてのウェイのタグアドレスが一致しなかった場合にはキャッシュミスとなります。バリッドビットが0となっているエントリのタグアドレスはいかなる場合も一致しません。

キャッシュヒットの場合、一致したウェイのデータアレイ側からエントリアドレス、ライン内バイトアドレスとアクセスデータサイズにしたがってデータが読み出され CPU に送られます。キャッシュアドレスバスに出力されるアドレスは CPU の命令実行ステージで計算され、読み出した結果は CPU のライトバックステージで書き込まれます。キャッシュアドレスバスとキャッシュデータバスも CPU のパイプライン構成にあわせパイプライン動作をしています。アドレスの比較からデータの読み出しまでは1サイクルで行われ、アドレスとデータがパイプライン動作するため連続する読み出しをウェイトなしに1サイクルごとに処理することができます。

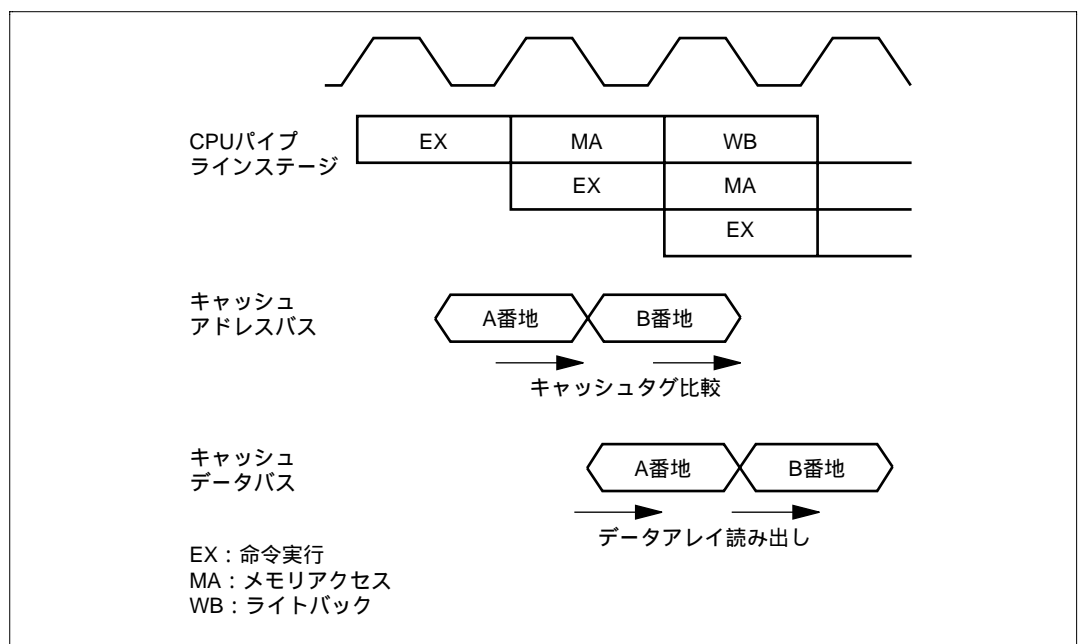


図 8.3 キャッシュヒット時の読み出し

キャッシュミス時には、LRU 情報を用いて置き換えを行うウェイを決定し、そのウェイのアドレスアレイに CPU からの読み出しアドレスを書き込むと同時にバリッドビットを 1 とします。同時にデータアレイを置き換えるための 16 バイトのデータを読み込むためキャッシュアドレスバス上のアドレスを内部アドレスバスに出力し 4 ロングワードの連続読み出しを行います。アクセスの順はキャッシュから読み出そうとしているアドレスを含んでいるロングワードが最後になるように内部アドレスに出力されるアドレスはライン内バイトアドレスを順次+4 します。内部データバス上の読み出しデータを順次キャッシュデータアレイに書き込み最後のデータはキャッシュデータアレイに書き込むと同時にキャッシュデータバスにも出力し CPU に対して読み出しデータを送ります。

内部アドレスバスと内部データバスもキャッシュバス同様にパイプライン動作を行っています。

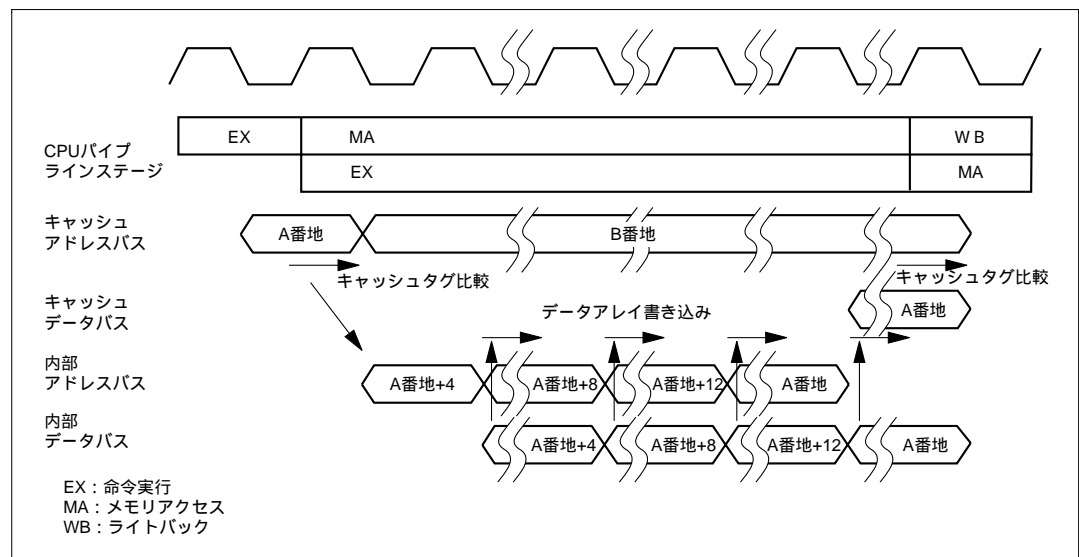


図 8.4 キャッシュミス時の読み出し

8.4.2 書き込み

本キャッシュはライトスルー方式であり、外部メモリに対する書き込みはキャッシュヒットの有無にかかわらず行われます。キャッシュアドレスバスに出力された書き込みアドレスを用いてキャッシュのアドレスアレイのタグアドレスとの比較を行います。一致した場合はこれに続くサイクルにキャッシュデータバスに出力された書き込みデータをデータアレイに書き込みます。一致しない場合、キャッシュデータアレイに対する書き込みは行われません。キャッシュアドレスバスから 1 サイクル遅れて書き込みアドレスが内部アドレスバスに出力されます。同様にキャッシュデータバスから 1 サイクル遅れて書き込みデータが内部データバスに出力されます。内部バス上の書き込みが終了するまで CPU は待たされます。

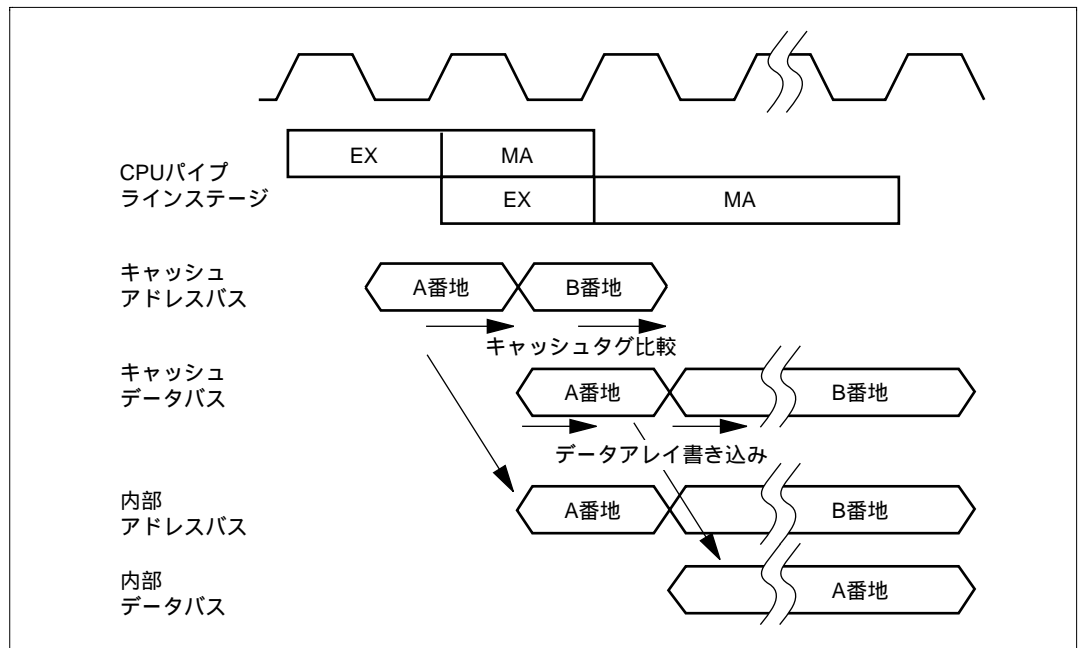


図 8.5 書き込み

8.4.3 キャッシュスルーアクセス

キャッシュスルー領域に対する読み出しまたは書き込み動作を行った場合、キャッシュに対するアクセスは行わず、キャッシュアドレスバスの値を内部アドレスバスに出力します。読み出し動作の場合は内部データバスに出力された読み出しデータを取り込みキャッシュデータバスに出力します。キャッシュスルー領域に対する読み出しは対象となるアドレスに対してのみ行います。書き込み動作の場合はキャッシュデータバス上の書き込みデータを内部データバスに出力します。キャッシュスルー領域に対する書き込みはアドレスタグの比較、データアレイへの書き込みを行わない以外は図 8.5 の書き込みと同じ動作を行います。

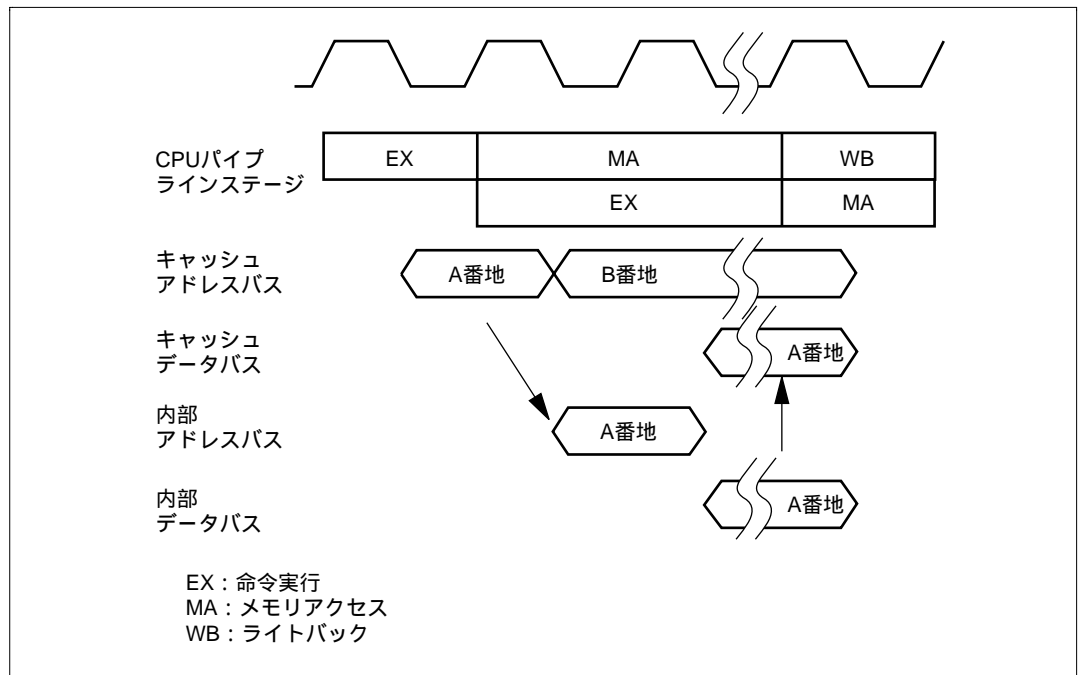


図 8.6 キャッシュスルー領域の読み出し

8.4.4 TAS 命令

TAS 命令はメモリからデータを読み出し、0 と比較した結果をステータスレジスタの T ビットに反映させるとともに最上位ビットを 1 にし、同じアドレスに書き込む命令です。メモリからの読み出しはキャッシュ領域に対するアクセスでもキャッシュスルー動作となります。アドレスタグの比較は行われません。更新した値は内部データバスを經由してメモリに書かれますが、その前にアドレスタグの比較を行い一致するエントリがある場合には該当するデータアレイに対する書き込みが行われます。

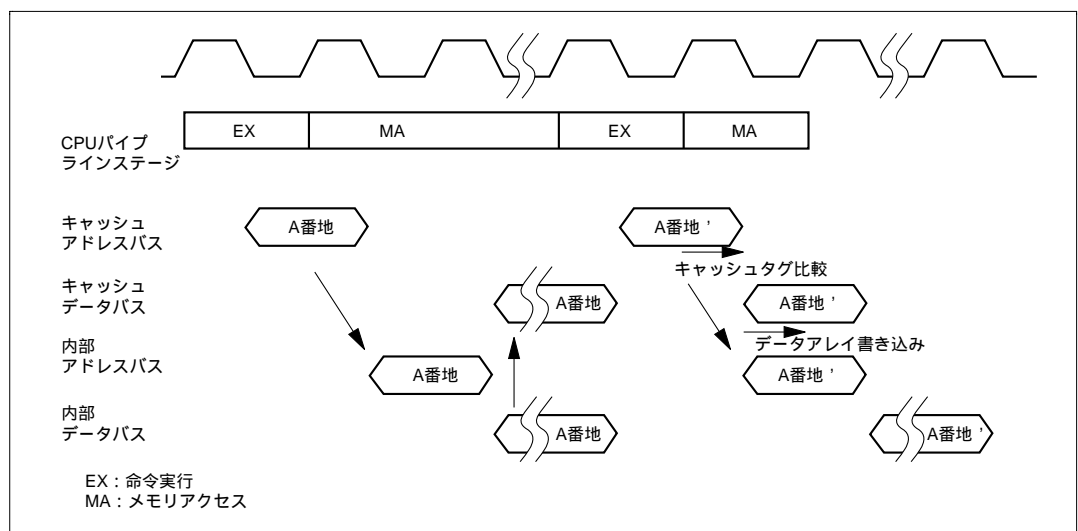


図 8.7 TAS 命令実行とキャッシュ

8.4.5 擬似 LRU とキャッシュ置き換え

リード時にキャッシュミスが生じた場合、ミスしたアドレスのデータを 1 ライン (16 バイト) メモリから読み出して置き換えを行います。そのために、4つのウェイのうちどのウェイを置き換えるかを決める必要があります。一般に最近のアクセス頻度が低いものが次にアクセスされる確率も低いことが予想されます。このウェイを置き換えるアルゴリズムを LRU (Least Recently Used) リプレースアルゴリズムといますが、実現のためのハードウェアが複雑となります。本キャッシュではウェイのアクセスの順序を記憶しておき、アクセスが古いものから置き換えるという擬似 LRU リプレースアルゴリズムを用いています。アクセスの順序を記憶するため LRU 情報として 6 ビットのデータを用います。それぞれのビットは図 8.8 に示すように 2 つのウェイのアクセスの順序を表し、値が 1 の時に図の矢印の順にアクセスが行われたことを示します。各ビットの値を読み出すことで矢印の向きが確認でき、すべての矢印がそのウェイに向かっているもののアクセスが最も古く、置き換えの対象となります。LRU 情報ビットにアクセスの順を記憶するためリードでキャッシュヒット時、ライトでキャッシュヒット時およびキャッシュミスの後の置き換え時に LRU 情報の書き換えを行います。表 8.3 に書き換える値を、表 8.4 には置き換えるウェイの選択方法を示します。

CCR の CP ビットによるキャッシュページ後の LRU 情報はすべて 0 とされるため、最初はウェイ 3 ウェイ 2 ウェイ 1 ウェイ 0 の順に使用され、以後はプログラムによるアクセスの順にしたがってウェイの選択が行われます。LRU 情報が不当な値を取ると正しい置き換えが行われないためアドレスアレイ書き込み機能を用いて書き換えを行う場合には LRU 情報として 0 以外の値を書き込まないようにしてください。

CCR の OD または ID ビットが 1 の場合、それぞれ、データ読み出しまたは命令フェッチの際にキャッシュミスが発生してもキャッシュの置き換えを行いません。置き換えを行う代わりにミスしたアドレスのデータを読み込みこれを直接 CPU に送ります。

CCR の TW ビットの設定によるキャッシュの 2 ウェイモードは書き換えの対象となるウェイをウェイ 2、ウェイ 3 のみとすることによって実現されています。アドレスアレイのタグアドレスに対する比較は 2 ウェイモードでも 4 つのウェイすべてに対して行われるため 2 ウェイモードでの動作に先立ってウェイ 0 とウェイ 1 のバリッドビットを 0 にしておく必要があります。

キャッシュの置き換えに伴うタグアドレスおよびバリッドビットの書き込みはメモリからの読み出しの完了を待たずに行われます。置き換えの最中にリセット等によってメモリアクセスが中断された場合にはキャッシュの内容とメモリの内容に食い違いが生じるので必ずページを行ってください。

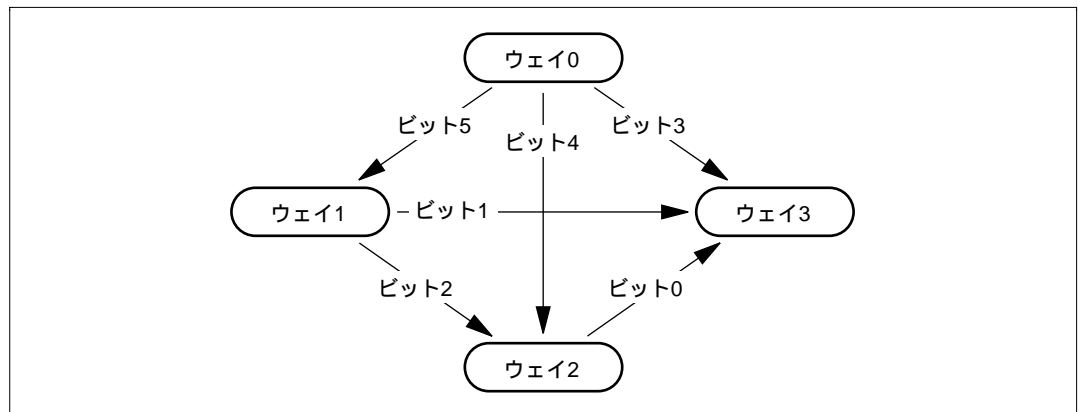


図 8.8 LRU 情報とアクセス順序

表 8.3 LRU 情報の更新

| | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
|-------|-------|-------|-------|-------|-------|-------|
| ウェイ 0 | 0 | 0 | 0 | - | - | - |
| ウェイ 1 | 1 | - | - | 0 | 0 | - |
| ウェイ 2 | - | 1 | - | 1 | - | 0 |
| ウェイ 3 | - | - | 1 | - | 1 | 1 |

- : 更新前の値を保持

表 8.4 置き換えウェイの選択条件

| | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
|-------|-------|-------|-------|-------|-------|-------|
| ウェイ 0 | 1 | 1 | 1 | - | - | - |
| ウェイ 1 | 0 | - | - | 1 | 1 | - |
| ウェイ 2 | - | 0 | - | 0 | - | 1 |
| ウェイ 3 | - | - | 0 | - | 0 | 0 |

- : don't care

8.4.6 キャッシュの初期化

キャッシュの全領域のページはCCRのCPビットに1を書き込むことによるのみ行われます。CPへの1の書き込みによってアドレスアレイのバリッドビットおよびLRU情報の全ビットが0に初期化されます。キャッシュのページは1サイクルで完了しますが、このほかにCCRに対する書き込みに要する時間が必要となります。キャッシュのイネーブルに先立って必ずバリッドビットとLRUの初期化を行ってください。

キャッシュがイネーブル状態の時、CCRへの書き込みの最中も命令の読み出しはキャッシュから行われるため、プリフェッチされる命令はキャッシュから読み出されてしまいます。正しくページを行うためにはCCRのCEビットに0を書き、いったんキャッシュをディスエーブルにしてからページを行ってください。パワーオンリセットおよびマニュアルリセットの際にはCCRのCEビットは0に初期化されるためリセット後は直ちにキャッシュのページを行うことができます。

8.4.7 連想ページ

特定のアドレスの内容がキャッシュに含まれていた場合に該当する1ライン(16バイト)を無効化するための機能です。マルチプロセッサ構成で、共有するアドレスの内容を一方のCPUが書き換えた場合、他方のCPUのキャッシュにそのアドレスが含まれていれば、これを無効化する必要があります。ページしたいアドレスにH'40000000を加えたアドレスに書き込みまたは読み出しを行うと、加える前のアドレスの格納されているエントリのバリッドビットが0に初期化されます。1回の書き込みで16バイトページされるため256バイト連続する領域のページは16回で済みます。

連想ページを行う際のアクセスサイズはロングワードとしてください。1ラインをページするために2サイクル必要です。



図 8.9 連想ページアクセス

8.4.8 データアレイアクセス

キャッシュのデータアレイはデータアレイリード・ライト領域を介して直接リード/ライトできます。データアレイに対するアクセスサイズは、バイト、ワード、ロングワードのいずれも行うことができます。データアレイのアクセスはリード、ライトとも1サイクルで完了します。キャッシュバスのみを使用するため DMAC ほかのマスタがバスを使用している場合でも平行して動作することが可能です。ウェイ 0 のデータアレイは H'C0000000 ~ H'C00003FF、ウェイ 1 は H'C0000400 ~ H'C00007FF、ウェイ 2 は H'C0000800 ~ H'C0000BFF、ウェイ 3 は H'C0000C00 ~ H'C0000FFF にマッピングされます。2 ウェイモードを使用する場合、2K バイトの内蔵 RAM としてアクセスするのは H'C0000000 ~ H'C00007FF の領域です。キャッシュをディスエーブルすると H'C0000000 ~ H'C0000FFF の領域が 4K バイトの内蔵 RAM として使えます。

キャッシュとして使用しているウェイの内容をデータアレイアクセスを用いて書き換えると外部メモリとキャッシュの内容の一致がとれなくなるので行わないでください。

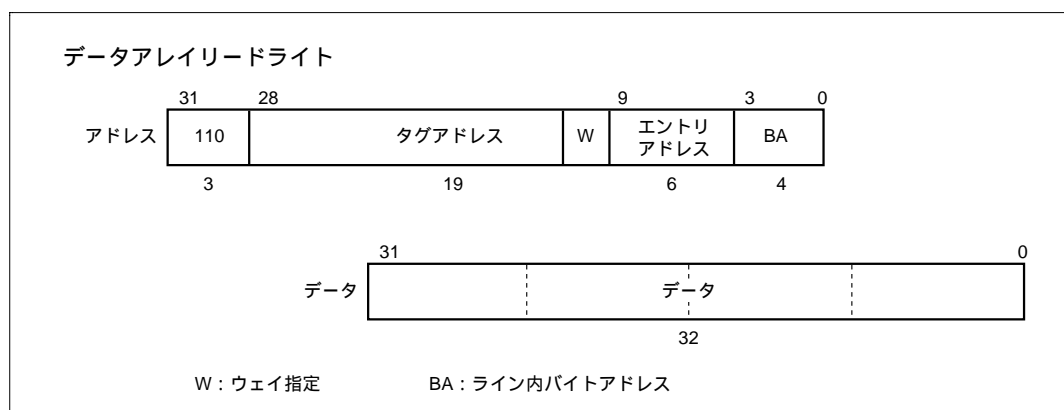


図 8.10 データアレイアクセス

8.4.9 アドレスアレイアクセス

プログラムデバッグなどの目的でキャッシュに取り込まれている内容の確認が行えるよう、キャッシュのアドレスアレイにアクセスすることができます。アドレスアレイは H'60000000 ~ H'600003FF にマッピングされます。すべてのウェイが同じアドレスにマッピングされるため、ウェイの選択は CCR の W1、W0 ビットを書き換えることによって行います。アドレスアレイのアクセスサイズはロングワードのみです。

アドレスアレイを読み出すと、データとしてタグアドレス、LRU情報、バリッドビットが出力されます。アドレスアレイに書き込みを行う際には、タグアドレスおよびバリッドビットはキャッシュアドレスバスから書き込まれます。したがって書き込みアドレスを計算して書き込む必要があります。LRU情報はデータから書き込まれますが、誤動作を防止するため必ず0を書いてください。

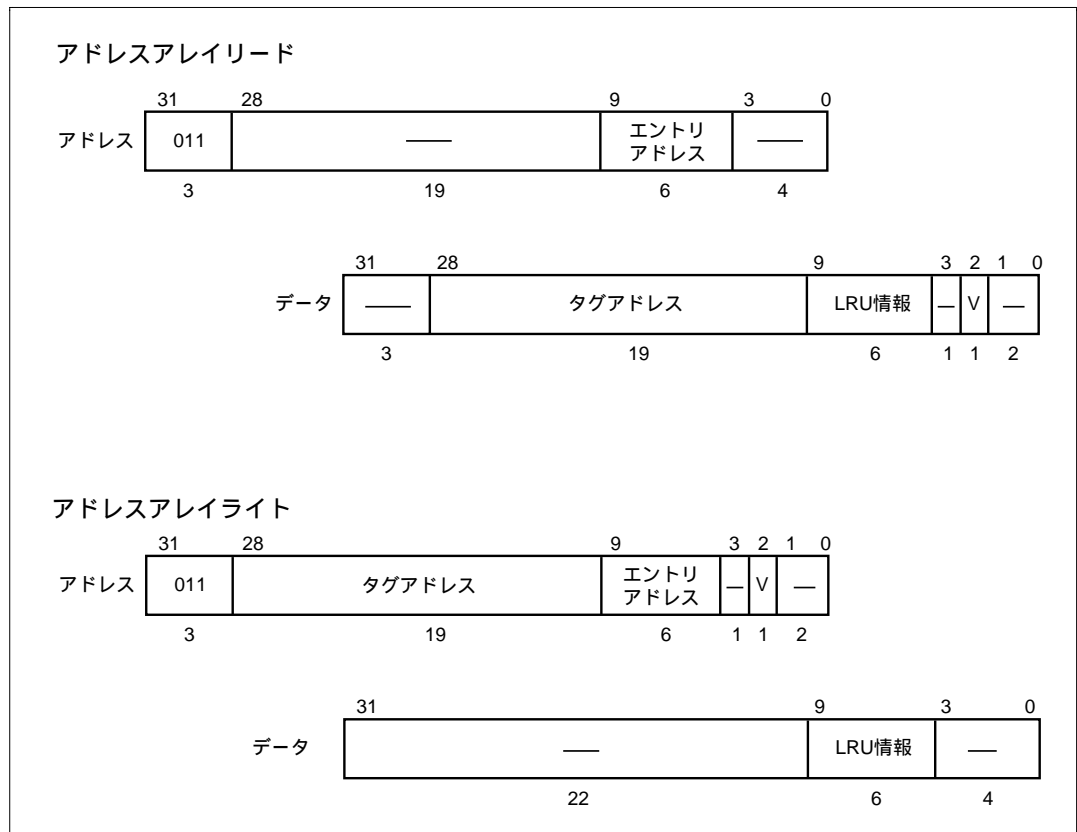


図 8.11 アドレスアレイアクセス

8.5 使用方法

8.5.1 初期化

キャッシュメモリはリセット時には初期化されません。そのため、キャッシュを使用するためにはソフトウェアによる初期化が必要です。キャッシュの初期化はアドレスアレイのバリッドビットおよびLRU情報をすべて0にします。初期化の方法としてはアドレスアレイライト機能を用いて1ラインずつ初期化することもできますが、CCRのCPビットに1を書き込むことによって1度に初期化する方が簡単です。

図8.12にキャッシュの初期化手順を示します。

```

MOV.W  #H'FE92,R1
MOV.B  @R1,R0      ;
AND    #H'FE,R0    ;
MOV.B  #R0,@R1     ;キャッシュディスエーブル
OR     #H'10,R0    ;
MOV.B  R0,@R1     ;キャッシュパージ
OR     #H'01,R0    ;
MOV.B  R0,@R1     ;キャッシュイネーブル

```

図8.12 キャッシュの初期化

8.5.2 特定アドレスのパージ

本LSIはスヌープ機能(データ書き換えのモニタ機能)をもたないため、キャッシュメモリと外部メモリの内容に違いが生じる操作を行った場合には、キャッシュの特定ラインをパージする必要が生じます。例えば、キャッシュ領域に対してDMA転送を行った場合、書き換えを行ったアドレス領域に対応するキャッシュのラインをパージする必要があります。CCRのCPビットを1にすることでキャッシュの全エントリをパージすることもできますが、パージする必要があるアドレスの範囲が限定されている場合には特定ラインのみパージする方が効果的です。

特定ラインのパージには連想パージを使用します。キャッシュの各ラインは16バイトですからパージも16バイト単位に行われます。4つのウェイトが同時にチェックされ指定されたアドレスに対応するデータを保持しているラインのみがパージされます。アドレスが一致しない場合、指定したアドレスのデータはキャッシュに取り込まれていないのでパージは行われません。


```

;R3のアドレスから32バイトの領域をパージ
MOV.L    #H'40000000,R0
XOR      R1,R1
MOV.L    R1,@(R0,R3)
ADD      #16,R3
MOV.L    R1,@(R0,R3)

```

図 8.13 特定アドレスのパージ

DMA 転送のたびにキャッシュのパージを行うのが煩わしい場合には、あらかじめ CCR の OD ビットを 1 に設定しておくこともできます。その場合、OD ビットが 1 の間はキャッシュは命令専用のキャッシュメモリとして動作します。ただし、すでにキャッシュメモリにデータが取り込まれている場合にはやはり、DMA 転送時にキャッシュの特定ラインをパージする必要があります。

8.5.3 キャッシュデータのコヒーレンシ

本 LSI のキャッシュメモリはスヌープ機能を有していません。このため CPU 以外のバスマスタとデータを共有する場合にはデータのコヒーレンシ（同一性）をソフトウェアによって保証してやる必要があります。方法としてはキャッシュスルー領域を用いる方法、外部バスサイクルによるブレイク機能を利用する方法、プログラムのロジックでキャッシュパージを行う方法があります。

キャッシュスルー領域を用いる方法は、複数のバスマスタで共有するデータはキャッシュスルー領域に配置するものです。キャッシュスルー領域のアクセスはキャッシュ内にデータを取り込むことがないため、データのコヒーレンシは容易に保証できます。共有データに対するアクセスが繰り返し行われ、データの書き換えの頻度が低い場合にはアクセス速度の低下が性能に及ぼす影響があります。

外部バスサイクルによるブレイク機能を利用する方法は、ユーザブレイクコントローラを利用する方法です。共有データのある領域のいずれかに対する書き込みサイクルを検出すると、割り込みが発生するようにユーザブレイクコントローラを設定します。割り込み処理ルーチンでは、キャッシュのパージを行います。書き換えを検出するたびにキャッシュのパージを行うので、データのコヒーレンシが保証できます。ただし、構造体などの複数ワードにおよぶデータの書き換えを行うと、書き換えのたびに割り込みが発生し性能低下を招きます。データの更新タイミングの予測、検出が難しく、更新頻度が小さい場合に向く方法です。

プログラムのロジックでキャッシュパージを行う方法は、プログラムの流れによってデータの更新を検出し、キャッシュパージを行う方法です。例えば、ディスクからのデータ入力を行うプログラムの場合、セクタなどの単位の読み出しが完了したときに、読み込みに使用したバッファアドレスまたはすべてのキャッシュをパージすることによってコヒーレンシを保つことができます。2つのプロセッサ間でデータのやりとりをする場合には、データの準備の完了や、取り込みの完了を互いに通知するフラグのみをキャッシュスルー領域に設けておき、実際に転送するデータはキャッシュ領域におき、最初のデータの読み出しに先立ってキャッシュのパージを行うことによってデータのコヒーレンシを保つことができます。通信の手段としてセマフォを用いる場合には、TAS 命令を利用することによりキャッシュのパージを行わなくてもデータのコヒーレンシが保証できます。TAS 命令の読み出しはキャッシュ内部に対しては行われず、必ず直接外部アクセスとなるため読み出し時点で他のマスタとデータの同期をとることができます。

更新の単位が小さい場合には、特定アドレスのパージの方法を用いて該当するアドレスのパージのみを行います。これに対して更新の単位が大きい場合には、すべてのアドレスを順にパージするよりもキャッシュ全体をパージし、以前キャッシュにあったデータも再度外部メモリから読み込んだほうが早くなります。

8.5.4 2ウェイキャッシュモード

CCR の TW ビットを 1 に設定することで、4K バイトのキャッシュを 2K バイトの RAM と 2K バイトの命令・データ混在型キャッシュメモリとして使用することができます。ウェイ 2、ウェイ 3 がキャッシュ、ウェイ 0、ウェイ 1 が RAM になります。

初期化は 4 ウェイと同様に CCR の CP ビットに 1 を書き込むことで行い、バリットビットと LRU ビットを 0 にクリアします。

LRU 情報の初期値を 0 に設定した場合、最初、ウェイ 3、ウェイ 2 の順に使用されます。その後は LRU 情報にしたがい、ウェイ 3 またはウェイ 2 が置き換えの候補として選択されます。LRU 情報の書き換えが起こる条件は、ウェイ数が 2 であることを除いて 4 ウェイモードと同一です。

2K バイトの RAM となったウェイ 0、ウェイ 1 のアクセスにはデータアレイアクセスを用います。アドレスマッピングは図 8.14 のようになります。

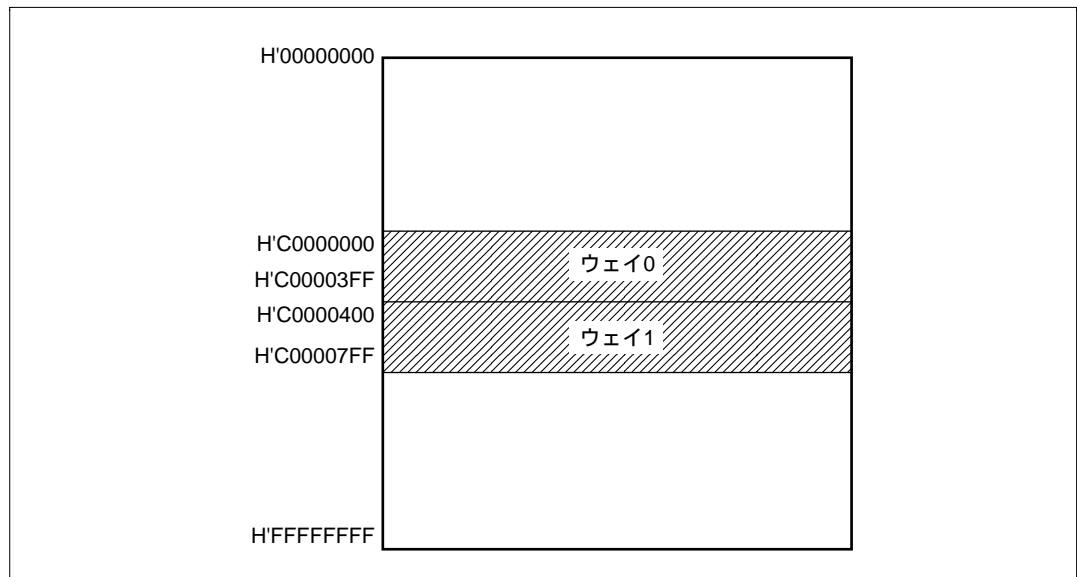


図 8.14 2 ウェイモード時の 2K バイト RAM のアドレスマッピング

8.5.5 使用上の注意事項

(1) スタンバイ

低消費電力のためのスタンバイ状態に入る前に、キャッシュはディスエーブルしてください。スタンバイからの復帰後キャッシュを使用する場合、それに先立ってキャッシュの初期化を行ってください。

(2) キャッシュコントロールレジスタ

CCR の内容を変更するとキャッシュの動作が変化します。本 LSI はパイプライン動作を多用しているためアクセスの同期がとり難しくなっています。このため、キャッシュコントロールレジスタの内容の変更はキャッシュをディスエーブルにするのと同様か、ディスエーブル後に行ってください。

9. ダイレクトメモリ アクセスコントローラ (DMAC)

第9章 目次

| | | |
|-------|---------------------------------------|-----|
| 9.1 | 概要 | 259 |
| 9.1.1 | 特長 | 259 |
| 9.1.2 | ブロック図 | 261 |
| 9.1.3 | 端子構成 | 262 |
| 9.1.4 | レジスタ構成 | 262 |
| 9.2 | レジスタの説明 | 264 |
| 9.2.1 | DMA ソースアドレスレジスタ 0、1 (SAR0、SAR1) | 264 |
| 9.2.2 | DMA デスティネーションアドレスレジスタ 0、1 (DAR0、DAR1) | 264 |
| 9.2.3 | DMA トランスファカウントレジスタ 0、1 (TCR0、TCR1) | 265 |
| 9.2.4 | DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1) | 265 |
| 9.2.5 | ベクタ番号設定レジスタ DMA0、1 (VCRDMA0、VCRDMA1) | 272 |
| 9.2.6 | DMA 要求 / 応答選択制御レジスタ 0、1 (DRCR0、DRCR1) | 273 |
| 9.2.7 | DMA オペレーションレジスタ (DMAOR) | 274 |
| 9.3 | 動作説明 | 277 |
| 9.3.1 | DMA 転送フロー | 277 |
| 9.3.2 | DMA 転送要求 | 279 |
| 9.3.3 | チャンネルの優先順位 | 282 |
| 9.3.4 | DMA 転送の種類 | 284 |
| 9.3.5 | バスサイクル数 | 292 |
| 9.3.6 | DMA 転送要求受け付け信号出力タイミング | 293 |
| 9.3.7 | DREQ 端子の入力検出タイミング | 301 |
| 9.3.8 | DMA 転送終了 | 315 |
| 9.4 | 使用例 | 317 |

9. ダイレクトメモリアクセスコントローラ (DMAC)

| | | |
|-------|-------------------------------|-----|
| 9.4.1 | 内蔵 SCI と外部メモリとの DMA 転送例 | 317 |
| 9.5 | 使用上の注意 | 318 |

9.1 概要

本 LSI は、2 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI 全体の動作効率を上げることができます。

9.1.1 特長

DMAC には、次のような特長があります。

- ・ チャンネル数 : 2 チャンネル
- ・ アドレス空間 : アーキテクチャ上は 4GB
- ・ データ転送単位が選択可能 : バイト、ワード (2 バイト)、ロングワード (4 バイト)、または 16 バイト単位 (16 バイト転送は、ロングワードの読み出しを 4 回実行した後に、ロングワードの書き込みを 4 回実行します)
- ・ 最大転送回数 : 16,777,216 (16M) 回
- ・ キャッシュヒット時は、CPU の命令処理と DMA 動作が並列実行可能
- ・ デュアルアドレスモード転送における最大転送レートは、SDRAM のバースト転送時に 38M byte/sec ($f=28.7$ MHz)
- ・ シングルアドレスモード転送 : 転送元か転送先の周辺デバイスを DACK 信号でアクセス (選択) し、もう一方をアドレスでアクセスします。1 バスサイクルで 1 転送単位のデータを転送します。
転送可デバイス : DACK 付き外部デバイスとメモリマップト外部デバイス (外部メモリ含む)
- ・ デュアルアドレスモード転送 : 転送元と転送先の両方をアドレスでアクセスします。2 バスサイクルで 1 転送単位のデータを転送します。
転送可デバイス : 外部メモリ同士
外部メモリとメモリマップト外部デバイス
メモリマップト外部デバイス同士
外部メモリと内蔵周辺モジュール (DMAC、BSC、UBC を除く)
メモリマップト外部デバイスと内蔵周辺モジュール (DMAC、BSC、UBC を除く)
内蔵周辺モジュール同士 (DMAC、BSC、UBC を除く)
(転送元または転送先である周辺モジュールのレジスタで許されるアクセスサイズ)

- 転送要求
 - 外部リクエスト (DREQ 端子による。DREQ はエッジで検出するかレベルで検出するかまたローアクティブかハイアクティブかを選択可能)
 - 内蔵周辺モジュールリクエスト (シリアルコミュニケーションインタフェース (SCI))
 - オートリクエスト (転送要求を DMAC 内部で自動的に発生)
- バスモードが選択可能
 - サイクルスチールモード
 - バーストモード
- チャンネル優先順位が選択可能
 - 固定モード
 - ラウンドロビンモード
- データ転送終了時に CPU へ割り込み要求可能

9.1.2 ブロック図

DMAC のブロック図を図 9.1 に示します。

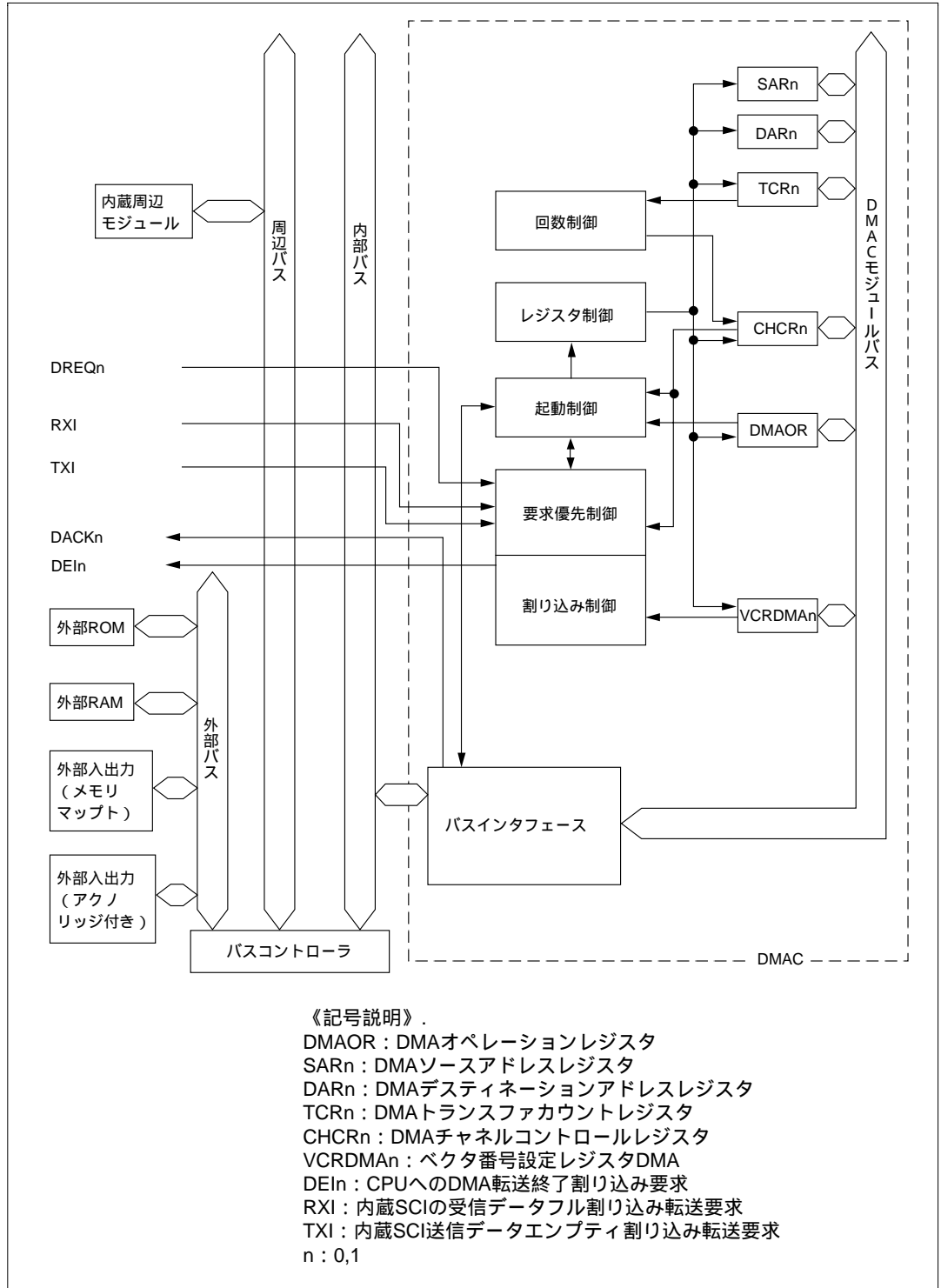


図 9.1 DMAC のブロック図

9.1.3 端子構成

DMAC の端子を表 9.1 に示します。

表 9.1 端子構成

| チャンネル | 名称 | 略称 | 入出力 | 機能 |
|-------|--------------|-------|-----|-----------------------------------|
| 0 | DMA 転送要求 | DREQ0 | 入力 | 外部デバイスからチャンネル 0 への DMA 転送要求入力 |
| | DMA 転送要求受け付け | DACK0 | 出力 | チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力 |
| 1 | DMA 転送要求 | DREQ1 | 入力 | 外部デバイスからチャンネル 1 への DMA 転送要求入力 |
| | DMA 転送要求受け付け | DACK1 | 出力 | チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力 |

9.1.4 レジスタ構成

DMAC のレジスタを表 9.2 に示します。DMAC には全部で 13 本のレジスタがあります。各チャンネルに 6 本の制御レジスタがあり、すべてのチャンネルに共通な制御レジスタが 1 本あります。

表 9.2 レジスタ構成

| チャンネル | 名称 | 略称 | R/W | 初期値 | アドレス | アクセスサイズ ^{*3} |
|-------|-----------------------------|---------|---------------------|------------|-------------|-----------------------|
| 0 | DMA ソースアドレスレジスタ 0 | SAR0 | R/W | 不定 | H'FFFFFFF80 | 32 |
| | DMA デスティネーションアドレス レジスタ 0 | DAR0 | R/W | 不定 | H'FFFFFFF84 | 32 |
| | DMA トランスファカウンタレジスタ 0 | TCR0 | R/W | 不定 | H'FFFFFFF88 | 32 |
| | DMA チャンネルコントロールレジスタ 0 | CHCR0 | R/(W) ^{*1} | H'00000000 | H'FFFFFFF8C | 32 |
| | ベクタ番号設定レジスタ DMA0 | VCRDMA0 | R/W | 不定 | H'FFFFFFFA0 | 32 |
| | DMA 要求 / 応答選択制御レジスタ 0 | DRCR0 | R/W | H'00 | H'FFFFFFE71 | 8 ^{*3} |
| 1 | DMA ソースアドレスレジスタ 1 | SAR1 | R/W | 不定 | H'FFFFFFF90 | 32 |
| | DMA デスティネーションアドレス レジスタ 1 | DAR1 | R/W | 不定 | H'FFFFFFF94 | 32 |
| | DMA トランスファカウンタレジスタ 1 | TCR1 | R/W | 不定 | H'FFFFFFF98 | 32 |
| | DMA チャンネルコントロールレジスタ 1 | CHCR1 | R/(W) ^{*1} | H'00000000 | H'FFFFFFF9C | 32 |
| | ベクタ番号設定レジスタ DMA1 | VCRDMA1 | R/W | 不定 | H'FFFFFFFA8 | 32 |
| | DMA 要求 / 応答選択制御レジスタ 1 | DRCR1 | R/W | H'00 | H'FFFFFFE72 | 8 ^{*3} |
| 共通 | DMA オペレーションレジスタ | DMAOR | R/(W) ^{*2} | H'00000000 | H'FFFFFFFB0 | 32 |

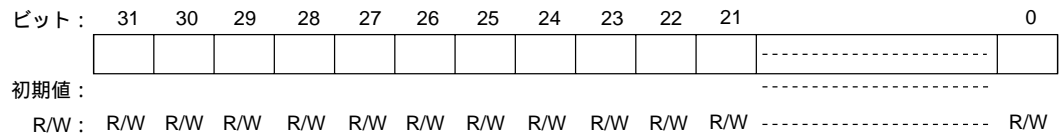
【注】 *1 CHCR0、CHCR1 のビット 1 は、フラグをクリアするために 1 リード後の 0 ライトのみ可能です。

*2 DMAOR のビット 1 と 2 は、フラグをクリアするために 1 リード後の 0 ライトのみ可能です。

*3 DRCR0、1 のアクセスは、バイト単位、それ以外のレジスタのアクセスはすべてロングワード単位で行ってください。

9.2 レジスタの説明

9.2.1 DMA ソースアドレスレジスタ 0、1 (SAR0、SAR1)

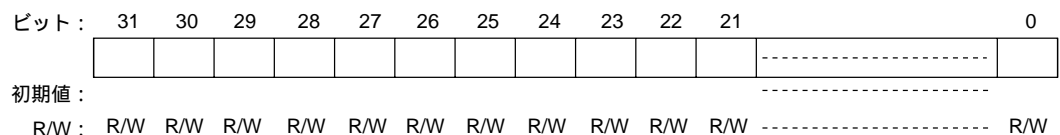


DMA ソースアドレスレジスタ 0、1 (SAR0、SAR1) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています (シングルアドレスモードにおいて、DACK 付きの外部デバイスから、メモリマップト外部デバイスまたは外部メモリへの転送をする場合には SAR は無視されます)。

16 バイト単位で転送するときは、ソースアドレスは必ず 16 バイト境界 (16n 番地) に値を設定してください。間違えた値を設定したときは、動作は保障されません。

リセット、スタンバイモード、およびモジュールスタンバイ機能使用時には値を保持します。

9.2.2 DMA デスティネーションアドレスレジスタ 0、1 (DAR0、DAR1)



DMA デスティネーションアドレスレジスタ 0、1 (DAR0、DAR1) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています (シングルアドレスモードにおいて、メモリマップト外部デバイスまたは外部メモリから、DACK 付きの外部デバイスへの転送をする場合には DAR は無視されます)。

リセット、スタンバイモード、およびモジュールスタンバイ機能使用時には値を保持します。

9.2.3 DMA トランスファカウントレジスタ 0、1 (TCR0、TCR1)

| | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|----|----|-----|-----|-----|-------|-----|-----|-----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | ----- | 2 | 1 | 0 |
| | - | - | - | - | - | - | - | - | | | | ----- | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | | | | ----- | | | |
| R/W: | R | R | R | R | R | R | R | R | R/W | R/W | R/W | ----- | R/W | R/W | R/W |

DMA トランスファカウントレジスタ 0、1 (TCR0、TCR1) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。ただし、32 ビット中の下位の 24 ビットが有効です。上位 8 ビットを含めて、32 ビットで値を書き込みます。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

上位 8 ビットへの書き込みは初期値を設定してください。読み出すと 0 が読み出されず。

リセット、スタンバイモード、およびモジュールスタンバイ機能使用時には値を保持します。

16 バイト転送時には、転送回数 × 4 を設定してください。

9.2.4 DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1)

| | | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | DM1 | DM0 | SM1 | SM0 | TS1 | TS0 | AR | AM | AL | DS | DL | TB | TA | IE | TE | DE |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。また、DMA 転送の状態 (ステータス) も示します。ただし、32 ビット中の下位の 16 ビットが有効です。上位 16 ビットを含めて、32 ビットで値を読み書きしてください。

上位 16 ビットへの書き込み値は、初期値を設定してください。読み出すと 0 が読み出されます。

リセットおよびスタンバイモード時に、H'00000000 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 15、14 : デスティネーションアドレスモードビット 1、0 (DM1、DM0)

DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、メモリマップト外部デバイス、内蔵周辺モジュール、または外部メモリから、DACK 付きの外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。

DM1、DM0 ビットは、リセットおよびスタンバイモード時に、00 に初期化されます。モジュールスタンバイ機能実行時は値を保持します。

| ビット 15 | ビット 14 | 説明 |
|--------|--------|-------------------------------------------------------------------------------|
| DM 1 | DM 0 | |
| 0 | 0 | デスティネーションアドレスは固定 (初期値) |
| 0 | 1 | デスティネーションアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト単位転送時は +16) |
| 1 | 0 | デスティネーションアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト単位転送時は -16) |
| 1 | 1 | 予約 (設定禁止) |

ビット 13、12 : ソースアドレスモードビット 1、0 (SM1、SM0)

DMA 転送元のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付きの外部デバイスから、メモリマップト外部デバイス、内蔵周辺モジュール、または外部メモリへの転送をする場合には SM1、SM0 ビットは無視されます)。

16 バイト転送時は、SM1、SM0 の値にかかわらず +16 されます。

SM1、SM0 ビットは、リセットおよびスタンバイモード時に、00 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット 13 | ビット 12 | 説明 |
|--------|--------|-------------------------------------------------------------------------|
| SM 1 | SM 0 | |
| 0 | 0 | ソースアドレスは固定 (16 バイト単位転送時は、+16) (初期値) |
| 0 | 1 | ソースアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト単位転送時は +16) |
| 1 | 0 | ソースアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト単位転送時は +16) |
| 1 | 1 | 予約 (設定禁止) |

ビット11、10：トランスファサイズビット (TS1、TS0)

DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。16バイト単位転送を行うときは、トランスファアドレスモードビットの設定をデュアルアドレスモードとしてください。

TS1、TS0ビットは、リセットおよびスタンバイモード時に、00に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット11 | ビット10 | 説明 |
|-------|-------|---------------------|
| TS 1 | TS 0 | |
| 0 | 0 | バイト単位 (初期値) |
| 0 | 1 | ワード(2バイト)単位 |
| 1 | 0 | ロングワード(4バイト)単位 |
| 1 | 1 | 16バイト単位(ロングワード4回転送) |

ビット9：オートリクエストモードビット (AR)

転送要求を、オートリクエスト(DMAC内部で転送要求を自動発生)にするか、モジュールリクエスト(外部リクエスト、もしくは内蔵SCIモジュールからのリクエスト)にするかを選択します。

ARビットは、リセットおよびスタンバイモード時に、0に初期化されます。モジュールスタンバイ機能実行時は値を保持します。

| ビット9 | 説明 |
|------|---------------------|
| AR | |
| 0 | モジュールリクエストモード (初期値) |
| 1 | オートリクエストモード |

ビット8 : アクノリッジ/トランスファモードビット (AM)

デュアルアドレスモードで、DACKをデータの読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。また、シングルアドレスモードで、メモリからデバイスヘデータを転送するのか、デバイスからメモリヘデータを転送するのかを選択します。

AM ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット8 | 説明 | |
|------|--------------------------------------|-------|
| AM | | |
| 0 | 読み出しサイクルでDACKを出力 メモリからデバイスヘデータを転送 | (初期値) |
| 1 | 書き込みサイクルでDACKを出力 デバイスからメモリヘデータを転送 | |

ビット7 : アクノリッジレベルビット (AL)

DACKを、アクティブハイ信号にするか、アクティブロー信号にするかを選択します。

AL ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット7 | 説明 | |
|------|----------------|-------|
| AL | | |
| 0 | DACKはアクティブロー信号 | (初期値) |
| 1 | DACKはアクティブハイ信号 | |

ビット6 : DREQ セレクトビット (DS)

DREQ入力の検出方法を選択します。

DS ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット6 | 説明 | |
|------|-------|-------|
| DS | | |
| 0 | レベル検出 | (初期値) |
| 1 | エッジ検出 | |

ビット5 : DREQ レベルビット (DL)

DREQ 入力の検出レベルを選択します。

DL ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット5 | 説明 |
|------|------------------------------------------------------------|
| DL | |
| 0 | DS が 0 のとき、DREQ をローレベル検出、DS が 1 のとき、DREQ を立ち下がり検出 (初期値) |
| 1 | DS が 0 のとき、DREQ をハイレベル検出、DS が 1 のとき、DREQ を立ち上がり検出 |

ビット4 : トランスファバスモードビット (TB)

DMA 転送のバスモードを選択します。

TB ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット4 | 説明 |
|------|----------------------|
| TB | |
| 0 | サイクルスチールモード (初期値) |
| 1 | バーストモード |

ビット3 : トランスファアドレスモードビット (TA)

DMA 転送のアドレスモードを選択します。

TA ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット3 | 説明 |
|------|----------------------|
| TA | |
| 0 | デュアルアドレスモード (初期値) |
| 1 | シングルアドレスモード |

ビット2 : インタラプトイネーブルビット (IE)

DMA 転送終了時に CPU に割り込みを要求するかどうかを指定します。IE ビットを 1 にセットしておく、TE ビットがセットされると CPU に対し割り込み (DEI) を要求します。

IE ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット2 | 説明 |
|------|-----------------|
| IE | |
| 0 | 割り込み要求を禁止 (初期値) |
| 1 | 割り込み要求を許可 |

ビット1 : トランスファエンドフラグビット (TE)

DMA 転送の終了を示します。DMA トランスファカウンタレジスタ (TCR) の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。TCR が 0 にならない時に NMI 割り込み、DMA アドレスエラーによって転送が終了した場合や、DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。

TE ビットがセットされていると、DE ビットを 1 にセットしても転送は許可されません。

TE ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット1 | 説明 |
|------|----------------------------------------------------------------------|
| TE | |
| 0 | DMA 転送中または DMA 転送中断 (初期値) [クリア条件] TE ビットの 1 を読み出してから 0 を書き込む |
| 1 | (TCR=0 により) DMA 転送終了 |

ビット0 : DMA イネーブルビット (DE)

DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、内蔵周辺モジュールリクエストモードでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは内蔵周辺モジュールから DMA 転送要求があると、転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。

DE ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット0 | 説明 |
|------|-----------------|
| DE | |
| 0 | DMA 転送を禁止 (初期値) |
| 1 | DMA 転送を許可 |

9.2.5 ベクタ番号設定レジスタ DMA0、1 (VCRDMA0、VCRDMA1)

| | | | | | | | | | | | | | | | |
|------|----|----|----|-------|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 31 | 30 | 29 | ----- | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | - | - | - | ----- | - | - | - | VC7 | VC6 | VC5 | VC4 | VC3 | VC2 | VC1 | VC0 |
| 初期値: | 0 | 0 | 0 | ----- | 0 | 0 | 0 | | | | | | | | |
| R/W: | R | R | R | ----- | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ベクタ番号設定レジスタ DMA0、1 (VCRDMA0、VCRDMA1、) は、読み出し/書き込み可能な 32 ビットのレジスタで、DMAC の転送終了割り込みのベクタ番号を設定します。ただし、32 ビット中の下位の 8 ビットが有効です。上位 24 ビットを含めて、32 ビットで値を読み書きしてください。

上位 24 ビットへの書き込み値は、初期値を設定してください。読み出すと 0 が読み出されます。

リセット、スタンバイモード、およびモジュールスタンバイ機能使用時には値を保持します。

ビット 31~8 : 予約ビット

書き込みは常に 0 を書き込んで下さい。値は常に 0 が読み出されます。

ビット 7~0 : ベクタ番号ビット 7~0 (VC7~VC0)

DMAC 転送終了時の割り込みベクタ番号を設定します。割り込みベクタ番号は 0 から 127 の値で設定します。転送終了割り込みが発生すると、ベクタ番号が取り込まれて、指定された割り込み処理ルーチンに制御がわたります。

VC7~VC0 ビットは、リセットおよびスタンバイモード時には値を保持します。

ベクタ番号は 127 までなので、VC7 は必ず 0 を書き込んでください。

9.2.6 DMA 要求 / 応答選択制御レジスタ 0、1 (DRCR0、DRCR1)

| | | | | | | | | |
|------|---|---|---|---|---|---|-----|-----|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | — | — | — | RS1 | RS0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R/W | R/W |

DMA 要求 / 応答選択制御レジスタ 0、1 (DRCR0、DRCR1) は、読み出し / 書き込み可能な 8 ビットのレジスタで、DMAC の転送要求元のベクタアドレスを設定します。8 ビットで値を書き込みます。

リセット時には H'00 に初期化されます。スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

ビット 7~2 : 予約ビット

ビット 1~0 : リソースセレクトビット 1~0 (RS1~RS0)

どの転送要求を DMAC に入力するかを指定します。転送要求元の変更は、必ず、DMA イネーブルビット (DE) が 0 の状態で行ってください。

RS1~RS0 ビットは、リセット時に、00 に初期化されます。

| ビット 1 | ビット 0 | 説明 |
|-------|-------|-----------------------------------|
| RS 1 | RS 0 | |
| 0 | 0 | DREQ (外部リクエスト) (初期値) |
| 0 | 1 | RXI (内蔵 SCI の受信データフル割り込み転送要求)* |
| 1 | 0 | TXI (内蔵 SCI の送信データエンプティ割り込み転送要求)* |
| 1 | 1 | 予約 (設定禁止) |

SCI : シリアルコミュニケーションインタフェース

【注】 * RXI、TXI のときは、デュアル転送モードにし、DREQ の設定は、CHCR を DS=1、DL=0 としてください。

9.2.7 DMA オペレーションレジスタ (DMAOR)

| | | | | | | | | | | | | | | | |
|------|----|----|----|-------|----|---|---|---|---|---|---|-----|-------|-------|-----|
| ビット: | 31 | 30 | 29 | ----- | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | - | - | - | ----- | - | - | - | | | | | PR | AE | NMIF | DME |
| 初期値: | 0 | 0 | 0 | ----- | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | ----- | R | R | R | R | R | R | R | R/W | R(W)* | R(W)* | R/W |

【注】*フラグをクリアするために0のみ書き込むことができます。

DMA オペレーションレジスタ (DMAOR) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。また、DMA 転送の状態 (ステータス) も示します。ただし、32 ビット中の下位の 4 ビットが有効です。上位 28 ビット含めて、32 ビットで値を読み書きしてください。

上位 28 ビットへの書き込み値は、初期値を設定してください。読み出すと 0 が読み出されます。

リセットおよびスタンバイモード時に、H'00000000 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

ビット 31~4 : 予約ビット

書き込みは常に 0 を書き込んでください。読み出す値は常に 0 です。

ビット 3 : プライオリティモードビット (PR)

同時に複数のチャンネルに対して転送要求があった場合のチャンネルの優先順位の決定を固定モードにするかラウンドロビンモードにするかを指定します。

PR ビットは、リセットおよびスタンバイ時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット 3 | 説明 |
|-------|------------------------------------------------------------------------------|
| PR | |
| 0 | 優先順位固定モード (チャンネル 0 > チャンネル 1) (初期値) |
| 1 | ラウンドロビンモード (1 転送毎に優先順位が交代する方式) (リセット後初めての DMA 転送時の優先順位はチャンネル 1 > チャンネル 0) |

ビット2 : アドレスエラーフラグビット (AE)

DMAC によるアドレスエラーが発生したことを示します。AE ビットがセットされていると、DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。

アドレスエラーが起きたとき実行中の DMAC 転送までは行われず。

AE ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット2 | 説明 |
|------|------------------------------------------------------------------|
| AE | |
| 0 | DMAC によるアドレスエラーなし (初期値) [クリア条件] AE ビットの 1 を読み出してから 0 を書き込む |
| 1 | DMAC によるアドレスエラー発生 |

ビット1 : NMI フラグビット (NMIF)

NMI 割り込みが発生したことを示します。NMIF ビットがセットされていると、DMA チャンネルコントロールレジスタ (CHCR) の DE ビットと DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。NMI が入力されたとき、実行中の DMAC 転送までは行われず。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。

NMIF ビットは、リセットおよびスタンバイモード時に、0 に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット1 | 説明 |
|------|--------------------------------------------------------------|
| NMIF | |
| 0 | NMIF 割り込みなし (初期値) [クリア条件] NMIF ビットの 1 を読み出してから 0 を書き込む |
| 1 | NMIF 割り込み発生 |

ビット0 : DMA マスタイネーブルビット (DME)

すべてのチャンネルのDMA転送を許可または禁止します。DMEビットおよび各DMAチャンネルコントロールレジスタ(CHCR)のDEビットを1にセットすると、DMA転送が許可されます。ただし、転送を行うチャンネルのCHCRにあるTEビット、NMIFビット、AEビットのすべてが0であることが必要です。DMEビットをクリアすると、すべてのチャンネルのDMA転送が中断されます。DMEビットは、リセットおよびスタンバイモード時に、0に初期化されます。モジュールスタンバイ機能使用時は値を保持します。

| ビット0 | 説明 |
|------|-----------------------|
| DME | |
| 0 | 全チャンネルのDMA転送を禁止 (初期値) |
| 1 | 全チャンネルのDMA転送を許可 |

9.3 動作説明

DMAC は、DMA 転送要求があると、決められたチャンネルの優先順位にしたがって転送を開始し、転送終了条件が満たされると転送を終了します。転送要求には、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。DMA 転送には、シングルアドレスモード転送とデュアルアドレスモード転送があり、バーストまたはサイクルスチールの中のどちらかのバスモードで動作します。

9.3.1 DMA 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA ベクタ番号レジスタ (VCRDMA)、DMA 要求 / 応答選択制御レジスタ (DRCR)、DMA オペレーションレジスタ (DMAOR) の初期設定後*、DMAC は、以下の順序でデータを転送します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると1転送単位のデータを転送します (オートリクエストの場合、レジスタの初期設定後、自動的に転送を開始します。このとき、TCR の値を1デクリメントします)。具体的な転送フローは、アドレスモード、バスモードによって違います。
- (3) 指定された回数の転送を終える (TCR の値が0になる) と、転送を正常に終了します。このとき、CHCR の IE ビットが1にセットしてあれば、CPU に DEI 割り込みを要求します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また、CHCR の DE ビットか DMAOR の DME ビットが0にされても、転送を中断します。

図 9.2 に、上記のフローチャートを示します。

【注】 * 初期設定は各レジスタを設定し、最後に (DE=1、DME=1、TE=0、NMIF=0、AE=0) が成立するように設定します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

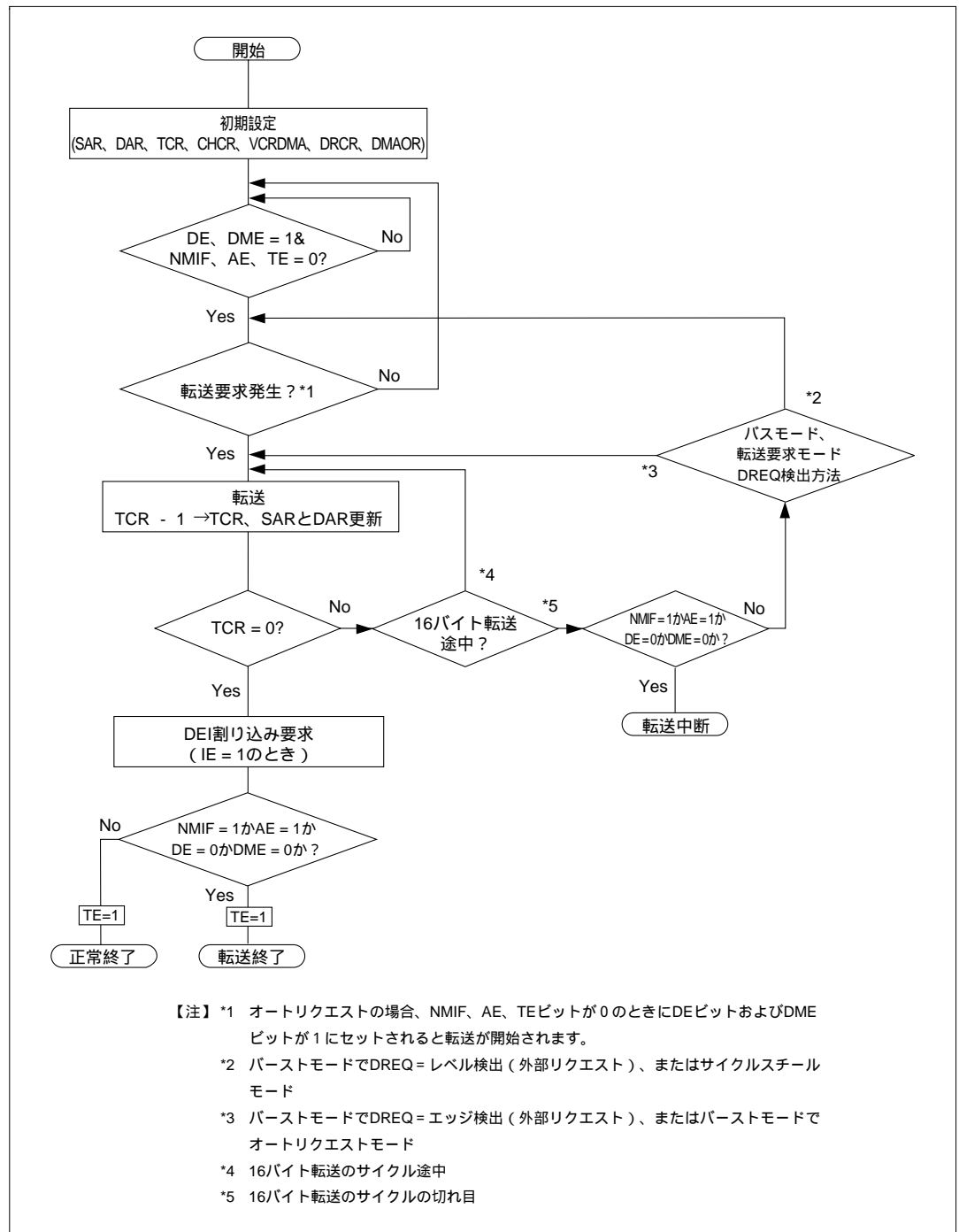


図 9.2 DMA 転送フローチャート

9.3.2 DMA 転送要求

DMA 転送要求は、データの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもないデバイスに発生させる使い方できます。

転送要求には、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類があります。転送要求の選択は、DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1) の AR ビットと、DMA 要求 / 応答選択制御レジスタ 0、1 (DRCR0、DRCR1) の RS0、RS1 ビットとによって行います。

表 9.3 AR、RS ビットによる DMA 転送要求の選択

| CHCR | DRCR | | リクエストモード | リソース選択 | |
|------|------|-----|---------------|---------------------------|-----------------|
| | AR | RS1 | | | RS0 |
| 0 | 0 | 0 | モジュールリクエストモード | DREQ 外部要求 (外部リクエストモード) | |
| | | 0 | | 1 | RXI (SCI 受信) 要求 |
| | | 1 | | 0 | TXI (SCI 送信) 要求 |
| 1 | × | × | オートリクエストモード | | |

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送やメモリと転送を要求できない内蔵周辺モジュールとの転送のように、転送要求信号が DMAC の外部から来ない場合に、DMAC の内部で自動的に転送要求信号を発生するモードです。CHCR0 ~ CHCR1 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます (ただし、CHCR0、CHCR1 の TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です)。

(2) 外部リクエストモード

外部リクエストモードは、本 LSI の外部のデバイスからの転送要求信号 (DREQ) によって転送を開始させるモードです。応用システムに応じて、表 9.4 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に DREQ が入力されると DMA 転送が開始されます。

表 9.4 TA、AM ビットによる外部リクエストモードの選択

| CHCR | | トランスファ アドレスモード | アクノリッジ モード | 転送元 | 転送先 |
|------|----|-------------------|------------------------|----------------------------------------------|----------------------------------------------|
| TA | AM | | | | |
| 0 | 0 | デュアル アドレスモード | 読み出しサイクル で DACK を出力 | 任意* ¹ | 任意* ¹ |
| 0 | 1 | デュアル アドレスモード | 書き込みサイクル で DACK を出力 | 任意* ¹ | 任意* ¹ |
| 1 | 0 | シングル アドレスモード | メモリからデバイ スヘデータを転送 | 外部メモリ* ² またはメ モリマップト外部 デバイス | DACK 付き外部 デバイス |
| 1 | 1 | シングル アドレスモード | デバイスからメモ リヘデータを転送 | DACK 付き外部 デバイス | 外部メモリ* ² またはメ モリマップト外部 デバイス |

【注】 *¹ 外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く)

*² SDRAM は除く

DREQ を立ち下がリエッジで検出するか、レベルで検出するかは、CHCR0、CHCR1 の DS、DL ビットで選びます (DS = 0 はレベル検出、DS = 1 はエッジ検出、DL = 0 はアクティブロー、DL = 1 はアクティブハイ)。

転送要求元は、必ずしもデータの転送元が転送先である必要はありません。

表 9.5 DS、DL ビットによる外部リクエスト信号の選択

| CHCR | | 外部リクエスト |
|------|----|-------------|
| DS | DL | |
| 0 | 0 | ローレベル検出 |
| 0 | 1 | ハイレベル検出 |
| 1 | 0 | 立ち下がリエッジで検出 |
| 1 | 1 | 立ち上がりエッジで検出 |

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本LSIの内蔵周辺モジュールからの転送要求信号（割り込み要求信号）によって転送を開始させるモードです。転送要求信号には、シリアルコミュニケーションインタフェース（SCI）の受信データフル割り込み（RXI）、SCIの送信データエンプティ割り込み（TXI）があります（表9.6）。DMA転送が許可されているとき（DE=1、DME=1、TE=0、NMIF=0、AE=0）に転送要求信号が入力されるとDMA転送が開始されます。

転送要求をRXI（SCIの受信データフルによる転送要求）に設定した場合は、転送元はSCIのレシーブデータレジスタ（RDR）でなければなりません。転送要求をTXI（SCIの送信データエンプティによる転送要求）に設定した場合は、転送先はSCIのトランスミットデータレジスタ（TDR）でなければなりません。

表9.6 AR、RSビットによる内蔵周辺モジュールリクエストモードの選択

| AR | RS1 | RS0 | DMA転送 要求元 | DMA転送要求 信号 | 転送元 | 転送先 | バスモード | DREQ設定 |
|----|-----|-----|--------------|---------------------------|-----|-----|-------------|-------------|
| 0 | 0 | 1 | SCI受信部 | RXI（SCI受信データフルによる転送要求） | RDR | 任意* | サイクルスチールモード | エッジ、ローアクティブ |
| 0 | 1 | 0 | SCI送信部 | TXI（SCI送信データエンプティによる転送要求） | 任意* | TDR | サイクルスチールモード | エッジ、ローアクティブ |

SCI：シリアルコミュニケーションレジスタ

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール（DMAC、BSC、UBC除く）

SCIから転送要求を出力させるためには、該当する割り込み許可ビットをセット（SCRのTIE、RIE）して、割り込み信号を出力させてください。

なお、この内蔵周辺モジュールからの転送要求信号（割り込み要求信号）は、DMACだけではなくCPUにも送られてしまいます。内蔵周辺モジュールを転送要求元に指定した場合には、CPUが割り込み要求信号を受け付けないように、割り込みコントローラ（INTC）の割り込み優先レベル設定レジスタ（IPRC～IPRE）に設定するレベル値を、CPUのステータスレジスタ（SR）のI3～I0ビットの値以下にしてください。

表9.6の各DMA転送要求信号は、対応するDMA転送が行われると、1回目の転送で各モジュールからのDMA転送要求（割り込み要求）がクリアされます。

9.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位にしたがって転送を行います。チャンネルの優先順位は、固定、ラウンドロビンの2種類のモードから選べます。モードの選択は、DMA オペレーションレジスタ (DMAOR) の PR ビットによって行います。

(1) 固定モード

固定モードでは、チャンネルの優先順位は決まっています。PR ビットを 0 にすると、優先順位は、高い順にチャンネル 0、チャンネル 1 になります。

バーストモードにおける転送例を図 9.3 に示します。

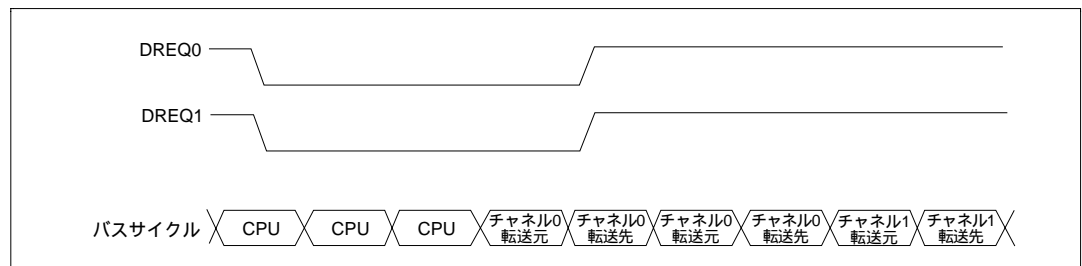


図 9.3 バースト時の固定モード DMA 転送

(デュアルアドレス、DREQ レベルローアクティブ)

サイクルスチールモードでは、バスサイクル有効活用のため、チャンネル 0 のリクエストが受け付けられると、次のリクエストが受け付け可能となるまでチャンネル 1 のリクエストも受け付け可能となります。したがって DMA 動作開始時にチャンネル 0 とチャンネル 1 のリクエストが同時に来たら、1 回目はチャンネル 0 が転送を行います。その後チャンネル 1、チャンネル 0 と交互に転送を行います。

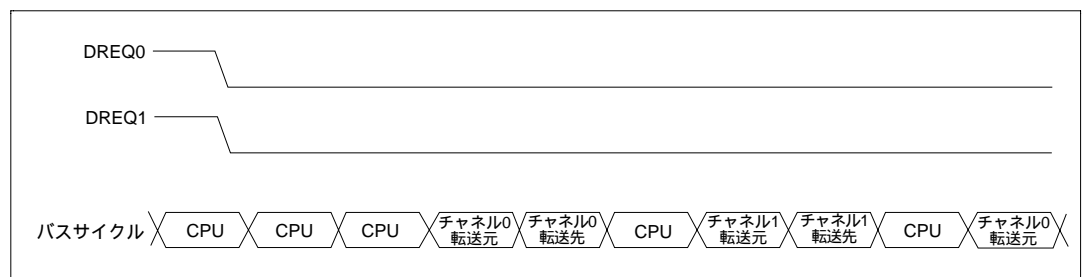


図 9.4 サイクルスチール時の固定モード DMA 転送

(デュアルアドレス、DREQ レベルローアクティブ)

(2) ラウンドロビンモード

ラウンドロビンモードでは、転送要求を受け付けることのできるチャンネル0とチャンネル1の間で優先順位を入れ替えます。チャンネル0またはチャンネル1で、転送が1回終了するごとに、そのチャンネルの優先順位がもう一方のチャンネルの優先順位より低くなるように優先順位を入れ替えます。

リセット直後の優先順位は、高い順にチャンネル0、チャンネル1です。

図9.5に、チャンネル0とチャンネル1に同時に転送要求が発生し、両方のチャンネルの転送終了後に再びチャンネル0に転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合のDMACの動作は以下のようになります。

- (1) チャンネル0とチャンネル1に同時に転送要求が発生します。
- (2) チャンネル1のほうがチャンネル0より優先順位が高いので、チャンネル1の転送を開始します(チャンネル0は転送待ち)。
- (3) チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
- (4) チャンネル0の転送を開始します。
- (5) チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
- (6) チャンネル0の転送要求が発生します。
- (7) チャンネル0の転送を開始します。
- (8) チャンネル0の転送を終了します。この場合、チャンネル0の優先順位はすでに一番低いので優先順位は変更しません。

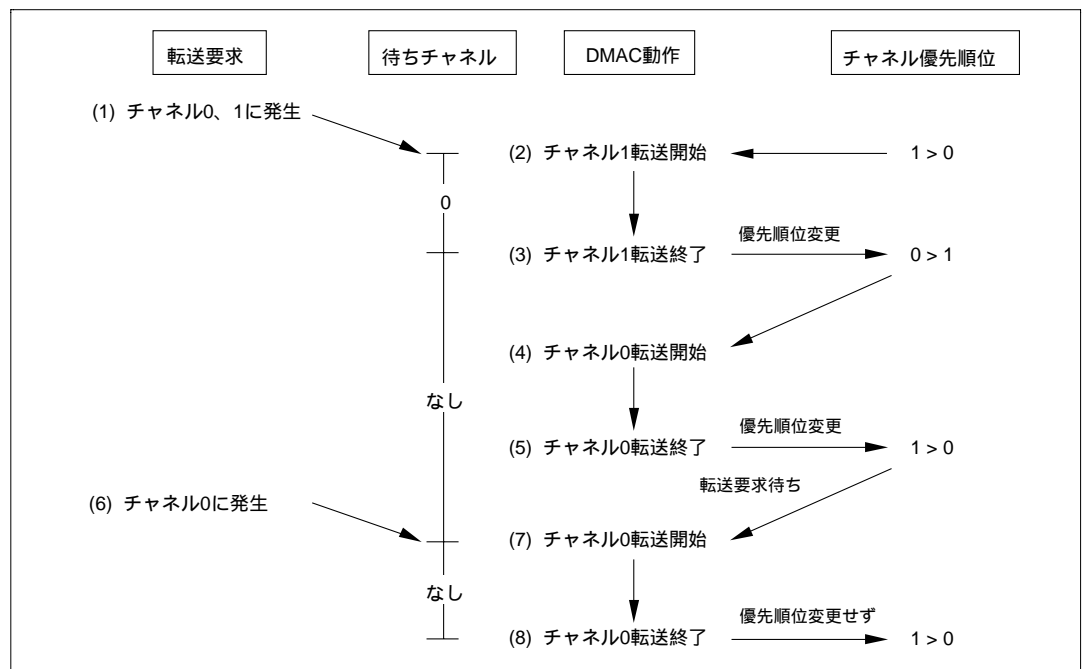


図9.5 ラウンドロビンモードでのチャンネル優先順位変更例

9.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 9.7 に示すとおりで、DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによってシングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。

表 9.7 サポートできる DMA 転送

| 転送元 \ 転送先 | DACK 付き 外部デバイス | 外部メモリ | メモリマップト 外部デバイス | 内蔵周辺 モジュール |
|-------------------|-------------------|-------|-------------------|---------------|
| DACK 付き 外部デバイス | 不可 | シングル | シングル | 不可 |
| 外部メモリ | シングル | デュアル | デュアル | デュアル |
| メモリマップト 外部デバイス | シングル | デュアル | デュアル | デュアル |
| 内蔵周辺 モジュール | 不可 | デュアル | デュアル | デュアル |

シングル：シングルアドレスモード

デュアル：デュアルアドレスモード

* 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ
(DMAC、BSC、UBC を除く)

(1) アドレスモード

(a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1 つのバスサイクルで DMA 転送を行います。例えば、図 9.6 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

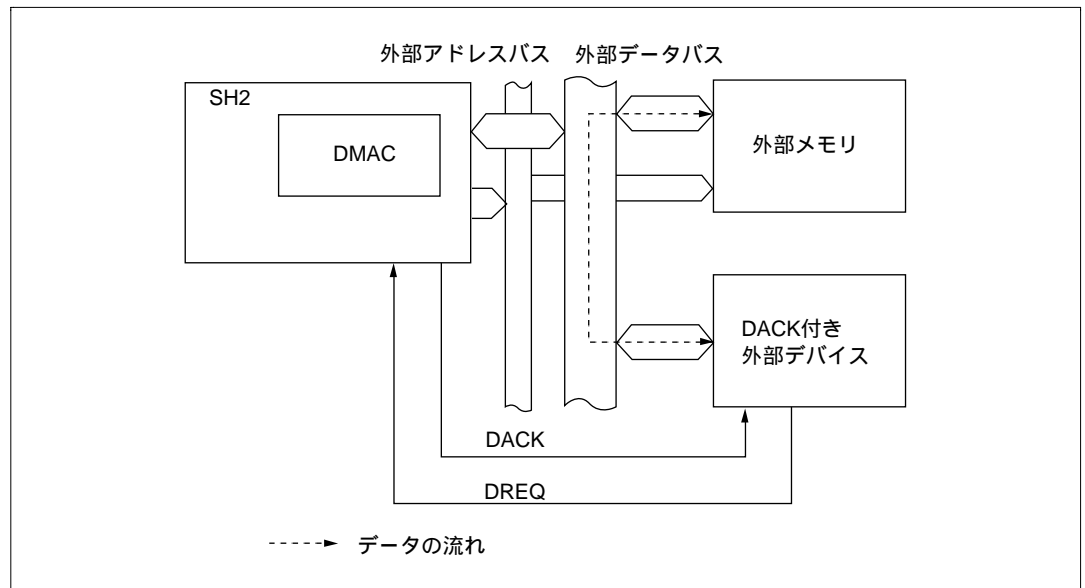


図 9.6 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト (DREQ) のみです。

図 9.7 に、シングルアドレスモードでの DMA 転送タイミング例を示します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

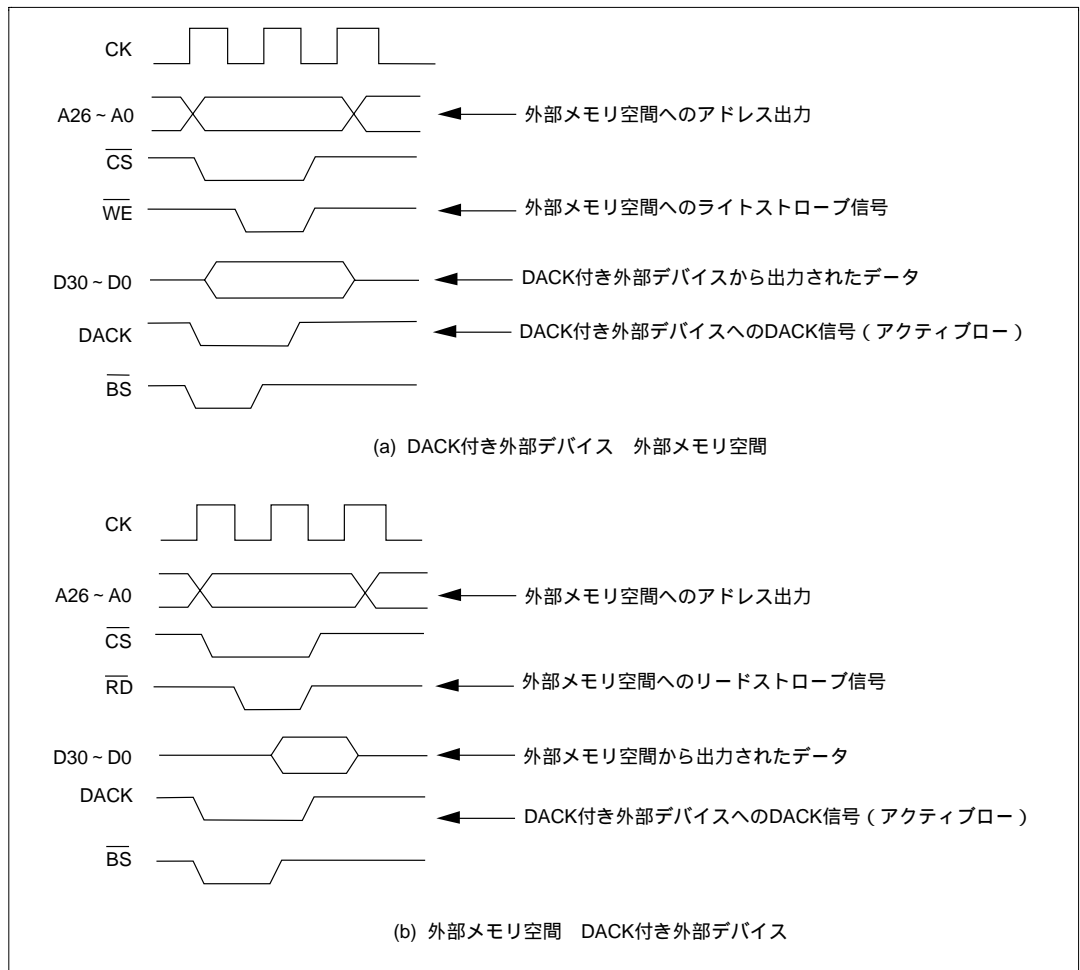


図 9.7 シングルアドレスモードでの DMA 転送タイミング例

(b) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス(選択)する場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。例えば、図 9.8 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

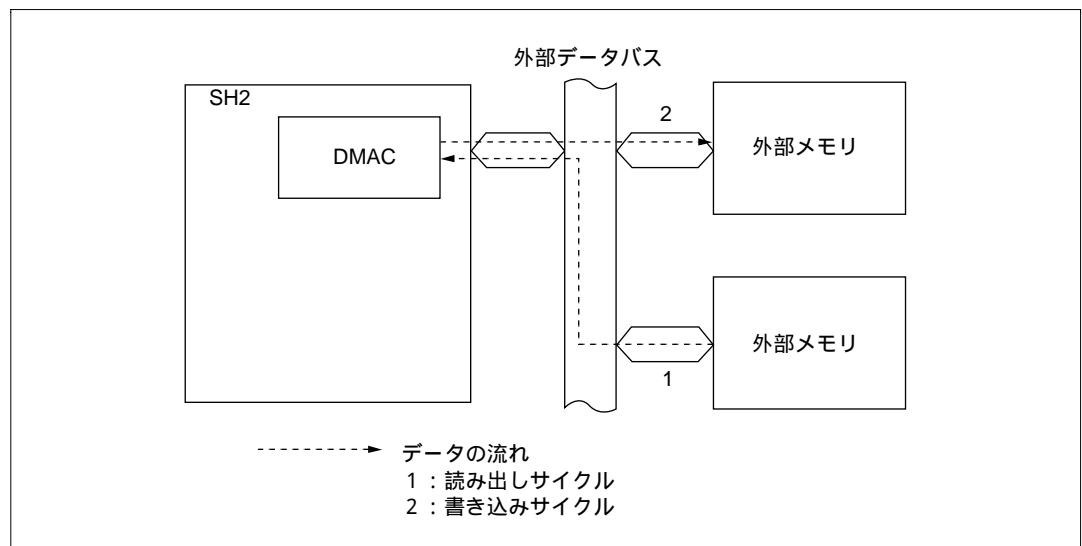


図 9.8 デュアルアドレスモードでのデータの流れ

デュアルアドレスモードでは、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュールの3種類を自由に組み合わせた転送を行うことができます。具体的には、以下の転送が可能です。

- (1) 外部メモリと外部メモリ間転送
- (2) 外部メモリとメモリマップト外部デバイス間転送
- (3) メモリマップト外部デバイスとメモリマップト外部デバイス間転送
- (4) 外部メモリと内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間転送
- (5) メモリマップト外部デバイスと内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間転送
- (6) 内蔵周辺モジュール (DMAC、BSC、UBC を除く) と内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間転送*

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、転送要求元がシリアルコミュニケーションインタフェース (SCI) である場合に限っては、SCI が転送先または転送元でなければなりません (表 9.6 参照)。デュアルアドレスモードは、DACK はリードサイクルあるいはライトサイクルに出力されます。リードサイクルあるいはライトサイクルのどちらに出力するかはチャンネルコントロールレジスタ (CHCR) によって設定可能です。

【注】 * 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ (DMAC、BSC、UBC を除く)

図 9.9 に、デュアルアドレスモードでの DMA 転送タイミング例を示します。

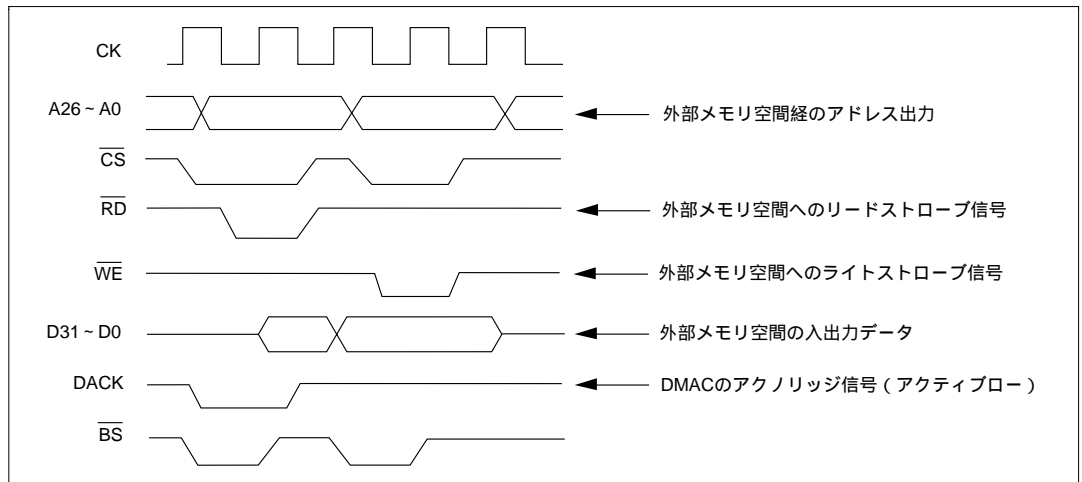


図 9.9 デュアルアドレスモードでの DMA 転送タイミング例
(外部メモリ空間 外部メモリ空間、読み出しサイクルに DACK 出力の場合)

(2) バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。モードの選択は、CHCR1 ~ CHCR0 の TB ビットによって行います。

(a) サイクルスチールモード

サイクルスチールモードでは、DMAC は転送を 1 回終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び転送を 1 回行い、その転送を終了すると、またバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送先、転送元にかかわらずすべての転送区間で使えます。アクリッジ信号を書き込みサイクルで出力した場合と、シングルモードの場合は、バス権を CPU に返したときに 2 回分 CPU がバス権を取る可能性があります。

図 9.10 に、サイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

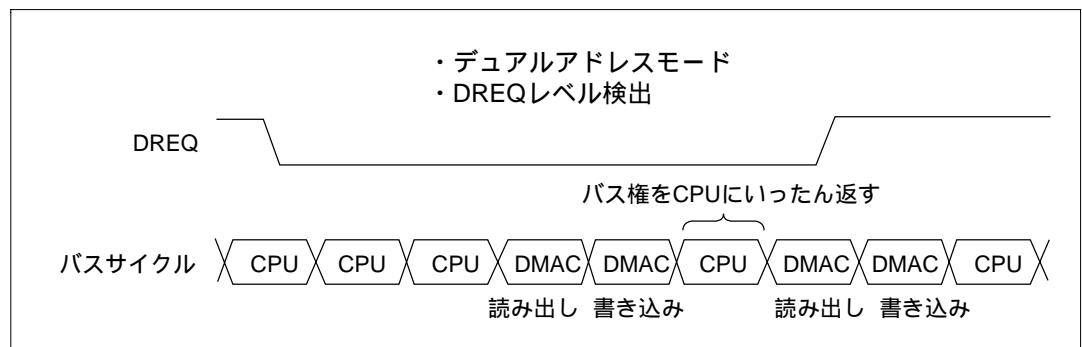


図 9.10 サイクルスチールモードでの DMA 転送例
(デュアルアドレス、DREQ レベル検出)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を得ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていないとしても、すでに要求を受け付けた DMAC のバスサイクル終了後に他のバスマスタにバス権を渡します。

バーストモードは、シリアルコミュニケーションインタフェース (SCI) が転送要求元である場合には使用できません。

図 9.11 に、バーストモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

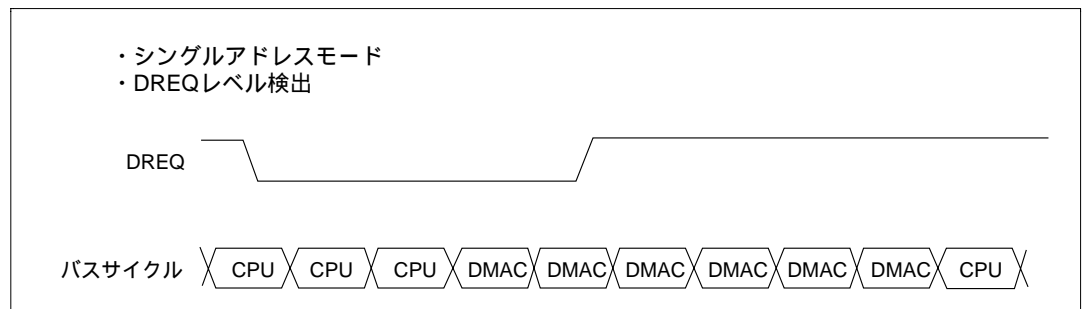


図 9.11 バーストモードでの DMA 転送例 (シングルアドレス、DREQ レベル検出)

バースト転送中は、リフレッシュが入りませんので、リフレッシュが必要なメモリを使用している場合は、リフレッシュ要求時間を満たすように転送回数を決定してください。

(3) DMA 転送区間とリクエストモード、バスモードとの関係一覧

表 9.8 に、DMA 転送区間とリクエストモード、バスモードなどの関連事項との関係を示します。

表 9.8 DMA 転送区間とバスモード、リクエストモードとの関係一覧

| アドレス モード | 転送区間 | リクエスト モード | バス モード | 転送サイズ (バイト) |
|-------------|---------------------------------|--------------------|-------------------|------------------------|
| シングル | DACK 付き外部デバイスと外部メモリ | 外部 | B/C | 1/2/4 |
| | DACK 付き外部デバイスと メモリマップト外部デバイス | 外部 | B/C | 1/2/4 |
| デュアル | 外部メモリと外部メモリ | すべて可 ^{*1} | B/C | 1/2/4/16 |
| | 外部メモリとメモリマップト外部デバイス | すべて可 ^{*1} | B/C | 1/2/4/16 |
| | メモリマップト外部デバイスと メモリマップト外部デバイス | すべて可 ^{*1} | B/C | 1/2/4/16 |
| | 外部メモリと内蔵周辺モジュール | すべて可 ^{*2} | B/C ^{*3} | 1/2/4/16 ^{*4} |
| | メモリマップト外部デバイスと 内蔵周辺モジュール | すべて可 ^{*2} | B/C ^{*3} | 1/2/4/16 ^{*4} |
| | 内蔵周辺モジュールと内蔵周辺モジュール | すべて可 ^{*2} | B/C ^{*3} | 1/2/4/16 ^{*4} |

B: バースト

C: サイクルスチール

【注】 *1 外部リクエスト、オートリクエストのいずれでも可能。内蔵周辺モジュールリクエストの場合は除く、SCI 転送要求元に指定するのは不可。

*2 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCI の場合は、転送元または転送先がそれぞれ SCI である必要がある。

*3 転送要求元が SCI の場合には C (サイクルスチール) のみ。このとき、DREQ はエッジローアクティブとする。

*4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

(4) バスモードとチャンネルの優先順位

あるチャンネル (例えばチャンネル 1) がバーストモードで転送中、それより高いチャンネル (例えばチャンネル 0) に転送要求が発生すると、ただちにその優先順位の高い方のチャンネル (0) が転送を開始します。チャンネル 0 もバーストモードの場合、チャンネル 0 の転送がすべて終了してから、チャンネル 1 が転送を続けます。また、チャンネル 0 がサイクルスチールモードの場合、まず、チャンネル 0 が 1 転送単位の転送を行った後、チャンネル 1 が転送を再開しますが、その後も、チャンネル 1 チャンネル 0 チャンネル 1 チャンネル 0 というようにバス権を交互に入れ替えます。この間、チャンネル 1 がバーストモードなので、CPU にバス権は渡りません。

この例を図 9.12 に示します。

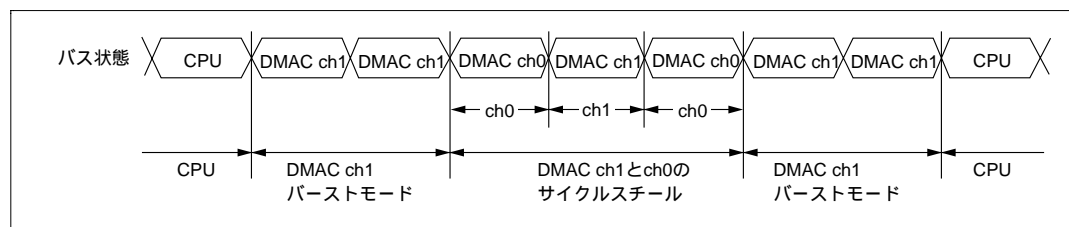


図 9.12 複数チャンネルが動作する場合のバス状態

(優先順位チャンネル 0 > チャンネル 1、チャンネル 1 はバーストモード、チャンネル 0 はサイクルスチールモードが設定されている場合)

9.3.5 バスサイクル数

DMAC がバスマスタの時のバスサイクルのサイクル数は、CPU がバスマスタの時と同様にバスステートコントローラ (BSC) のバスコントロールレジスタ (BCR1) とウェイトコントロールレジスタ (WCR) で制御されます、詳しくは、「8. バスステートコントローラ」の「ウェイトステート制御」を参照してください。

9.3.6 DMA 転送要求受け付け信号出力タイミング

DMA 転送要求受け付け信号 DACK_n は、アドレスバスのチャンネルコントロールレジスタ AM ビットで指定した DMAC アドレス出力に同期して出力されます。タイミングは通常、DMA アドレス出力が始まると同時にアクノリッジ信号が有効となり、そのアドレス出力が終了する 0.5 サイクル前に無効となります。(図 9.13 参照)

接続されるメモリ空間の設定により、アクノリッジ信号の出力タイミングが異なります。以下に各メモリ空間における、アクノリッジ信号の出力タイミングを示します。

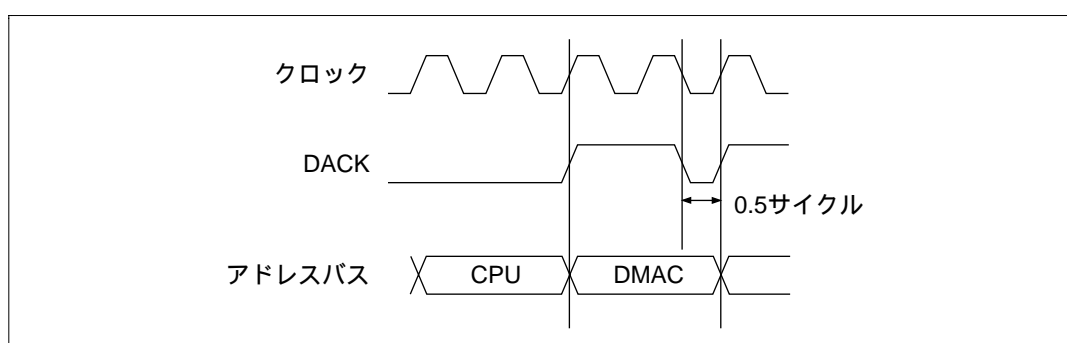


図 9.13 DACK 出力タイミングの例

(1) 外部メモリが通常メモリ空間設定時のアクノリッジ信号出力

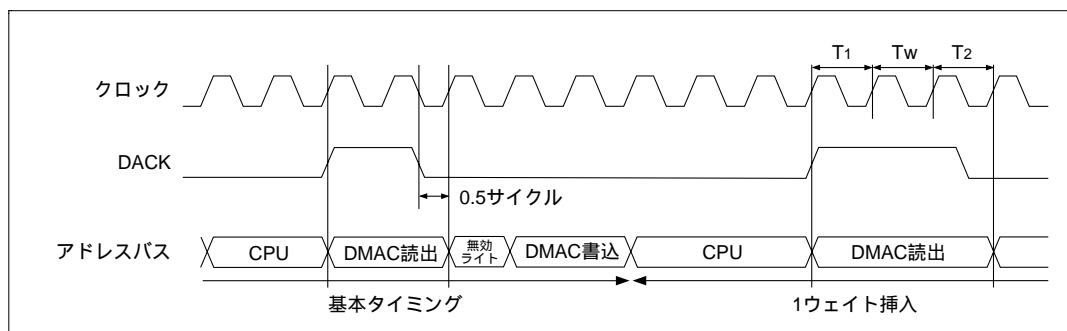


図 9.14 通常空間アクセスにおける DACK 出力 (AM = 0)

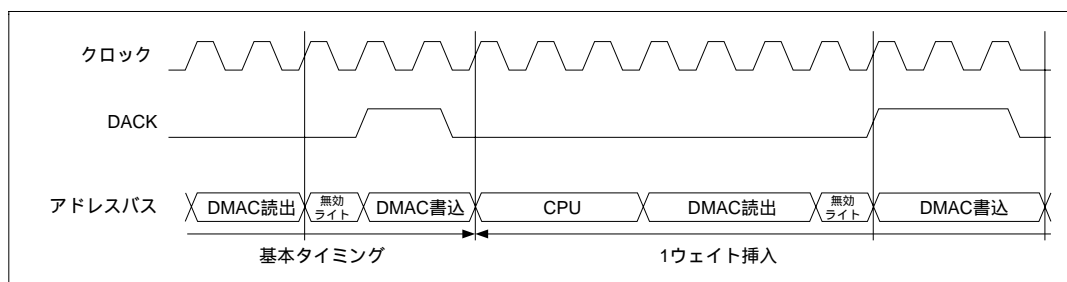


図 9.15 通常空間アクセスにおける DACK 出力 (AM = 1)

アクノリッジ信号を出力するタイミングは、AM の指定による DMA 読み出しサイクルと書き込みサイクルで同様です。DMA アドレス出力が始まると同時にアクノリッジ信号は有効となり、そのアドレス出力が終了する 0.5 サイクル前に無効となります。その間ウェイトが入り、アドレス出力が伸びると、アクノリッジ信号も伸びます。

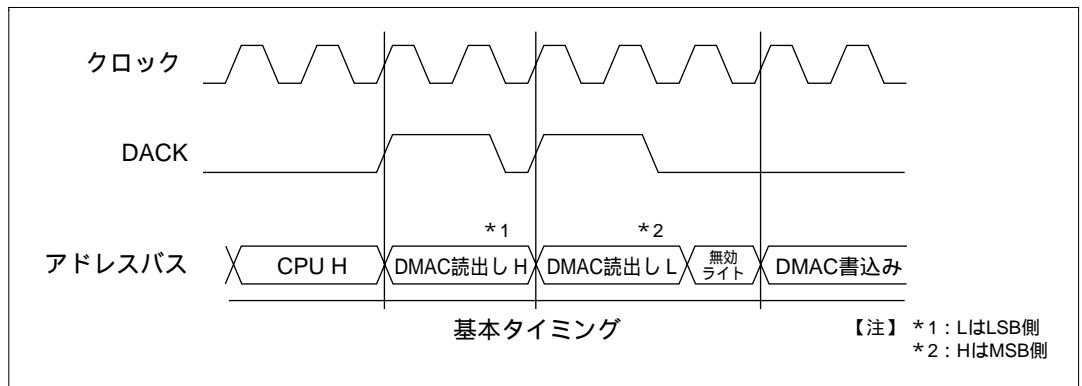


図 9.16 通常空間アクセスにおける DACK 出力
(AM=0、16ビット外部デバイスにロングワードアクセスをした場合)

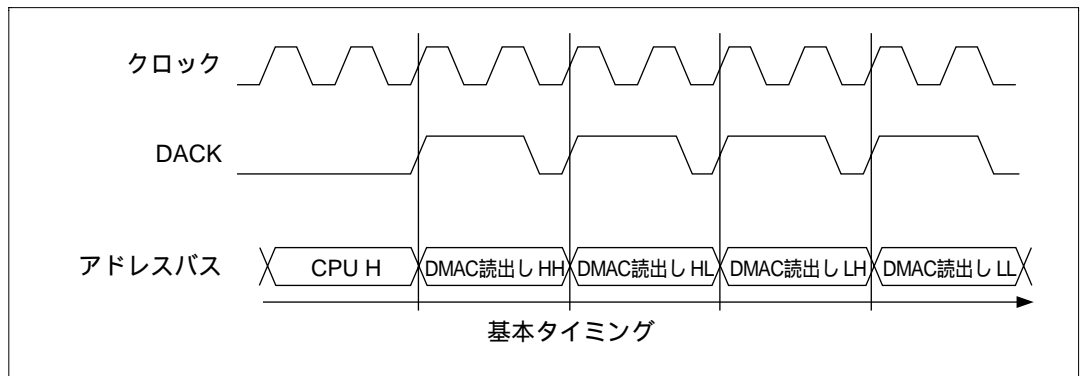


図 9.17 通常空間アクセスにおける DACK 出力
(AM=0、8ビット外部デバイスにロングワードアクセスをした場合)

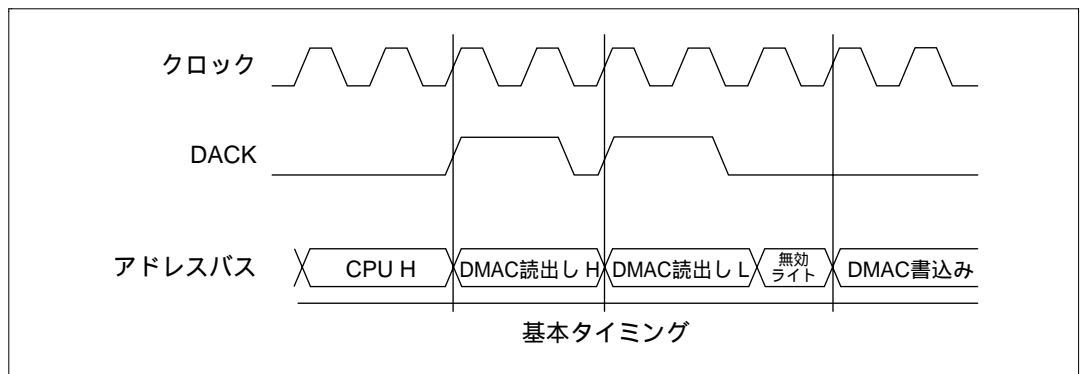


図 9.18 通常空間アクセスにおける DACK 出力
(AM=0、8ビット外部デバイスにワードアクセスをした場合)

8ビット外部デバイスや16ビット外部デバイスにロングワードアクセスをしたり、8ビット外部デバイスにワードアクセスをする場合、データをアライメントするためDMAC1回のアクセスで下位、上位のアドレスを2、4回出力します。それらの全てのアドレスに対し、出力が始まると同時にアクノリッジ信号は有効となり、そのアドレス出力が終了する0.5サイクル前に無効となります。SDRAM、DRAM、擬似SRAM、バーストROMでもデータアライメントのため、1回のアクセスに複数のアドレスが出力される場合、それぞれのアドレスに対してアクノリッジ信号が出力されます。

(2) 外部メモリがSDRAMの設定時のアクノリッジ信号出力

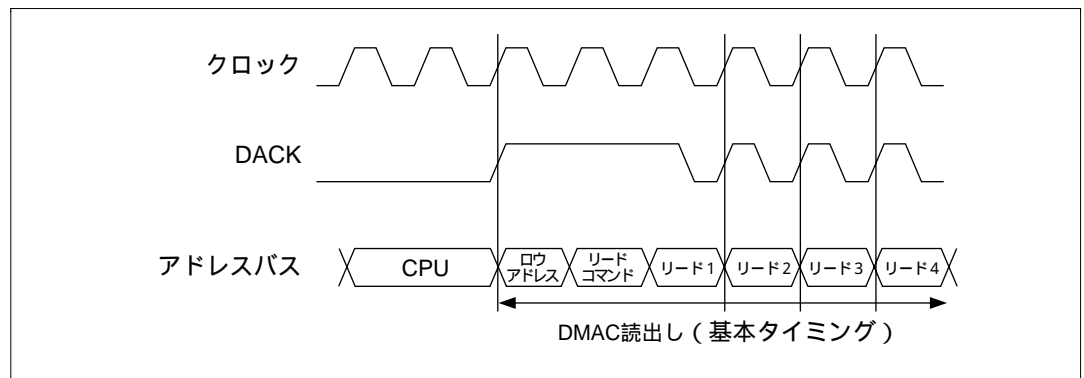


図 9.19 SDRAM バーストリード (オートプリチャージ) における DACK 出力 (AM=0)

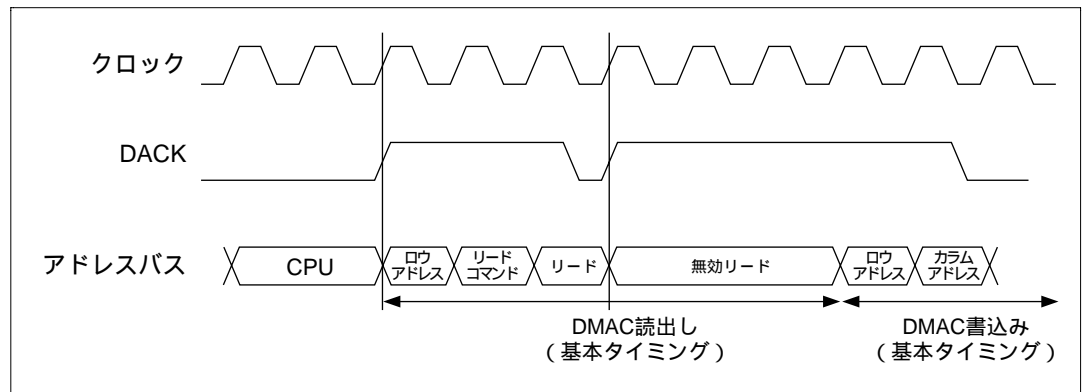


図 9.20 SDRAM シングルリード (オートプリチャージ) における DACK 出力 (AM=0)

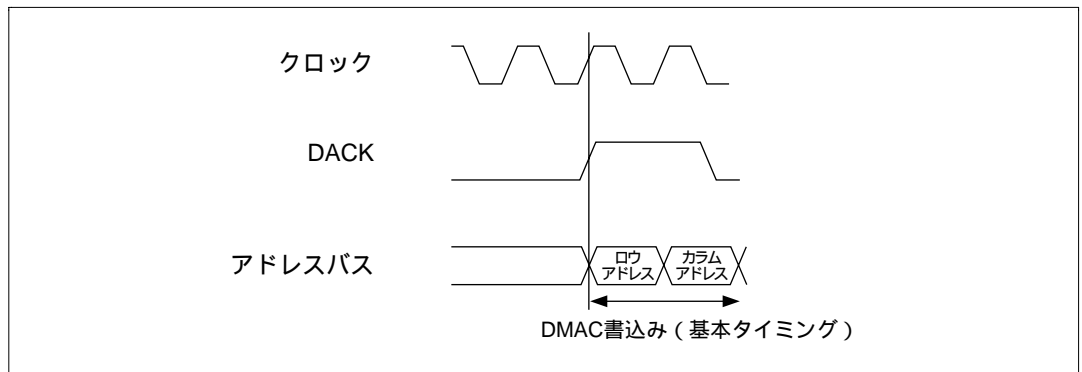


図 9.21 SDRAM ライト (オートプリチャージ) における DACK 出力 (AM=1)

外部メモリを SDRAM のオートプリチャージと設定した場合、AM=0 の時では、DMAC 読み出しのロウアドレス、リードコマンド、ウェイト、リードアドレス全てにまたがりアクノリッジ信号を出力します。また SDRAM のリードはバーストしかないので、シングルリード時は無効アドレスが出力されますが、それと同タイミングでもアクノリッジ信号は出力されます。このとき、無効リードに続くライトアドレス出力のタイミングまでアクノリッジ信号は延長されます。

AM=1 の時では、DMAC 書き込みのロウアドレスとコラムアドレスにまたがってアクノリッジ信号が出力されます。

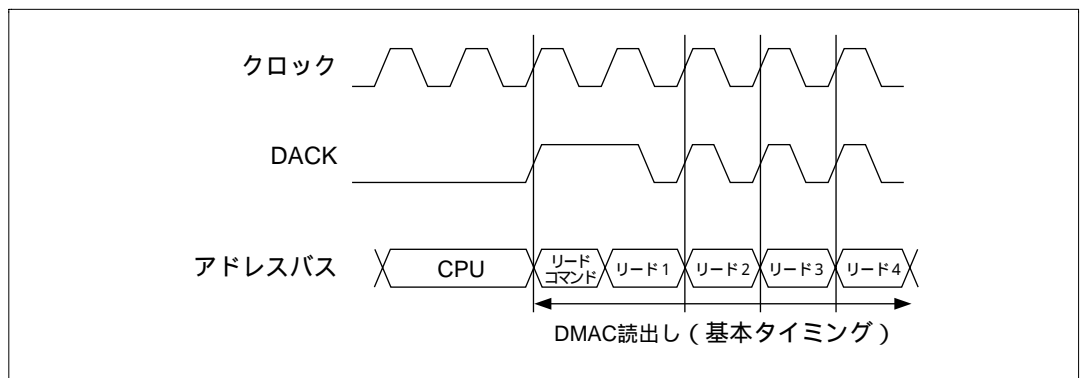


図 9.22 SDRAM バーストリード (バンクアクティブ、同一ロウアドレス) における DACK 出力 (AM=0)

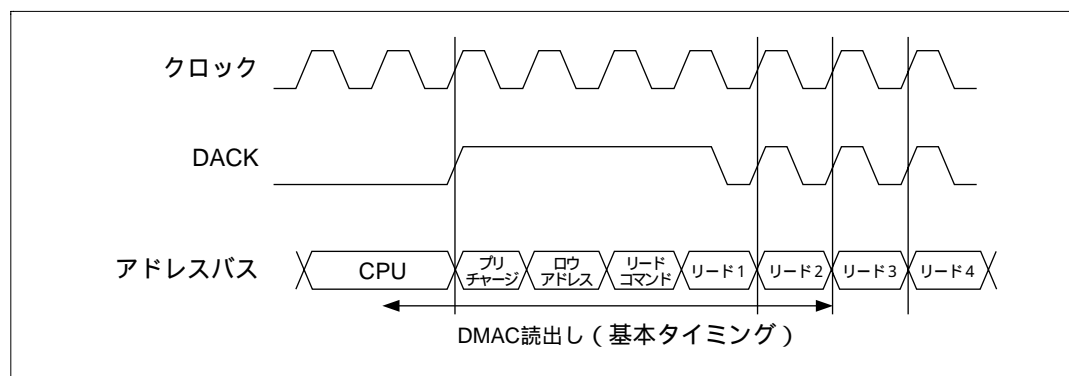


図 9.23 SDRAM バーストリード (バンクアクティブ、異なるロウアドレス) における DACK 出力 (AM=0)

外部メモリを SDRAM のバンクアクティブと設定した場合のバーストリード時では、前回のアドレス出力と同一のロウアドレスの時、リードコマンド、ウェイト、リードアドレス全てにまたがりアクノリッジ信号を出力します。また、前回と異なるロウアドレスの時、プリチャージ、ロウアドレス、リードコマンド、ウェイト、リードアドレス全てにまたがりアクノリッジ信号を出力します。

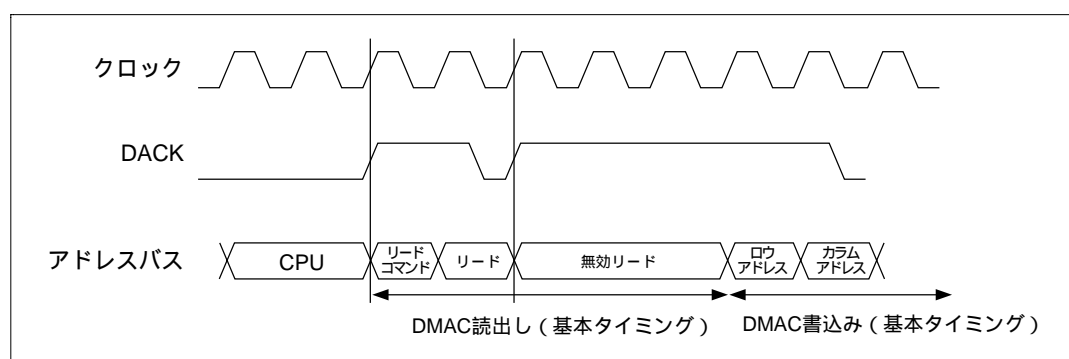


図 9.24 SDRAM シングルリード (バンクアクティブ、同一ロウアドレス) における DACK 出力 (AM=0)

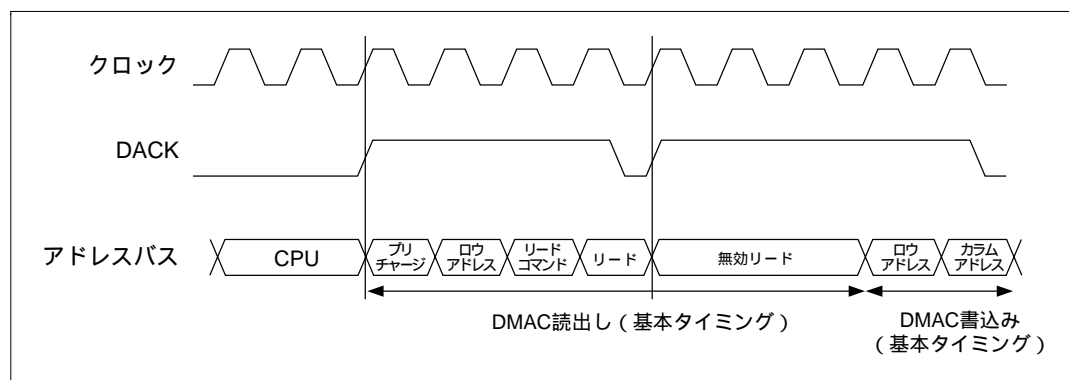


図 9.25 SDRAM シングルリード (バンクアクティブ、異なるロウアドレス) における DACK 出力 (AM=0)

外部メモリを SDRAM のバンクアクティブと設定した場合のシングルリード時では、前回のアドレス出力と同一のロウアドレスの時、リードコマンド、ウェイト、リードアドレス全てにまたがりアクノリッジ信号を出力します。また前回と異なるロウアドレスの時、プリチャージ、ロウアドレス、リードコマンド、ウェイト、リードアドレス全てにまたがりアクノリッジ信号を出力します。また、SDRAM のリードはバーストしかないので、シングルリード時は無効リードが出力されますが、それと同タイミングでもアクノリッジ信号は出力されます。このとき、無効リードに続くライトアドレス出力のタイミングまでアクノリッジ信号は延長されます。

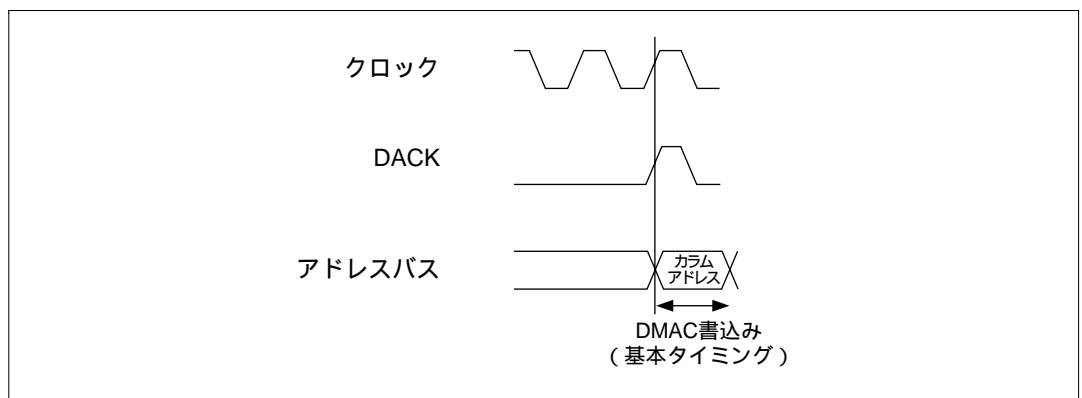


図 9.26 SDRAM ライト (バンクアクティブ、同一ロウアドレス) における DACK 出力 (AM=1)

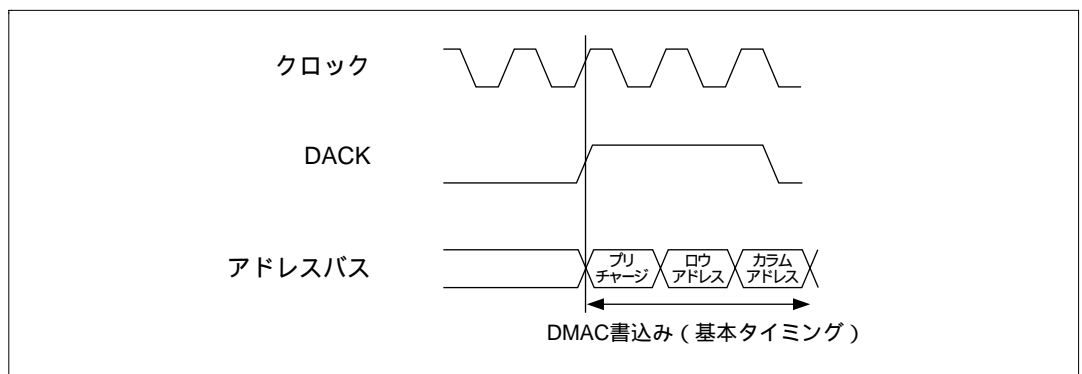


図 9.27 SDRAM ライト (バンクアクティブ、異なるロウアドレス) における DACK 出力 (AM=1)

外部メモリを SDRAM のバンクアクティブと設定した場合のライト時では、前回のアドレス出力と同一のロウアドレスの時、ウェイト、コラムアドレスにまたがりアクノリッジ信号を出力します。また前回と異なるロウアドレスの時、プリチャージ、ロウアドレス、ウェイト、コラムアドレス全てにまたがりアクノリッジ信号を出力します。

(3) 外部メモリが DRAM の設定時のアクノリッジ信号出力

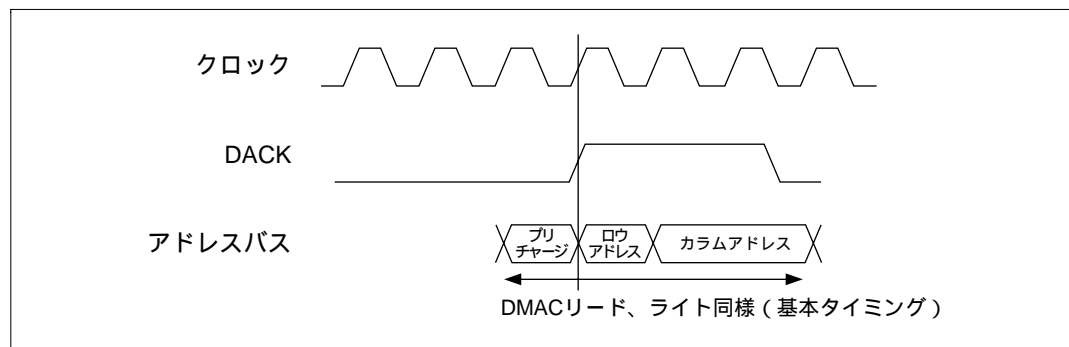


図 9.28 DRAM ノーマルアクセス時の DACK 出力 (AM = 0、1 同様)

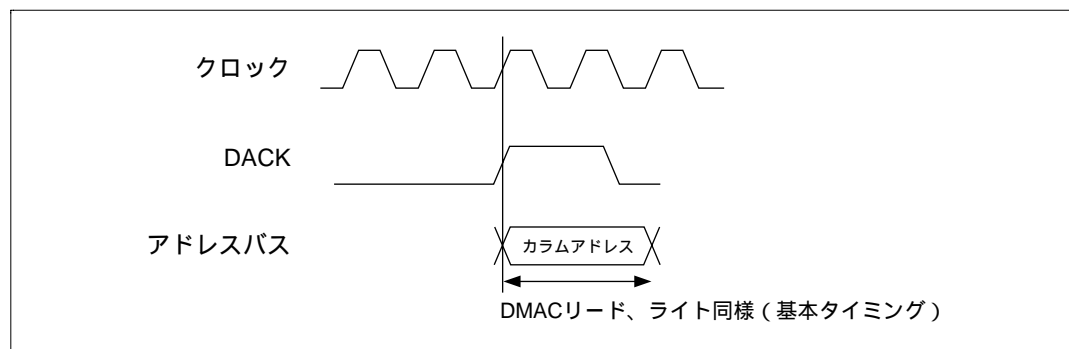


図 9.29 DRAM バーストアクセス時 (同一ロウアドレス) の DACK 出力 (AM = 0、1 同様)

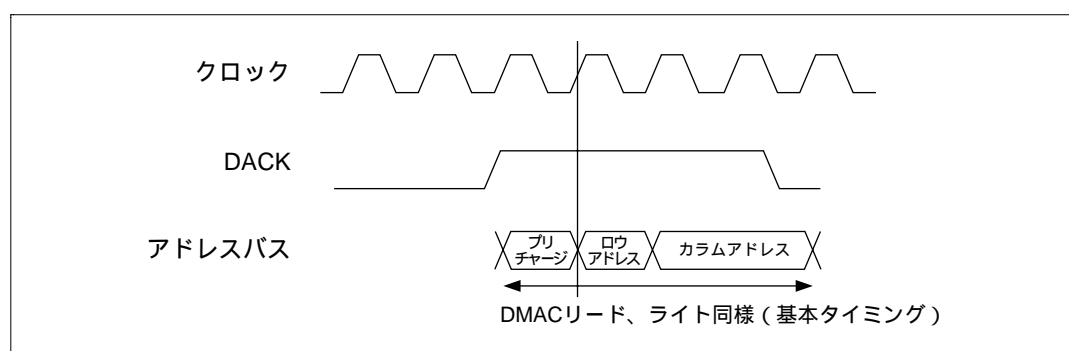


図 9.30 DRAM バーストアクセス時 (異なるロウアドレス) の DACK 出力 (AM = 0、1 同様)

外部メモリを DRAM に設定した場合、リード、ライト共にロウアドレスが出力される時、ロウアドレスとカラムアドレスにまたがってアクノリッジ信号が出力されます。

(4) 外部メモリが擬似 SRAM の設定時のアクノリッジ信号出力

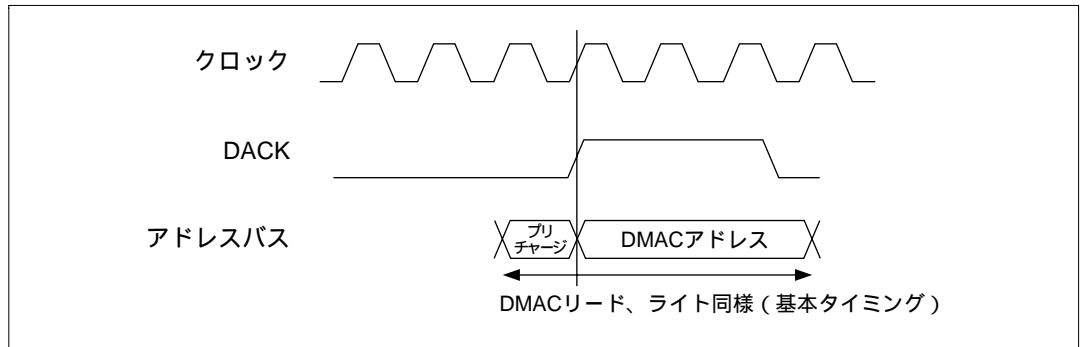


図 9.31 擬似 SRAM ノーマルアクセス時の DACK 出力 (AM = 0、1 同様)

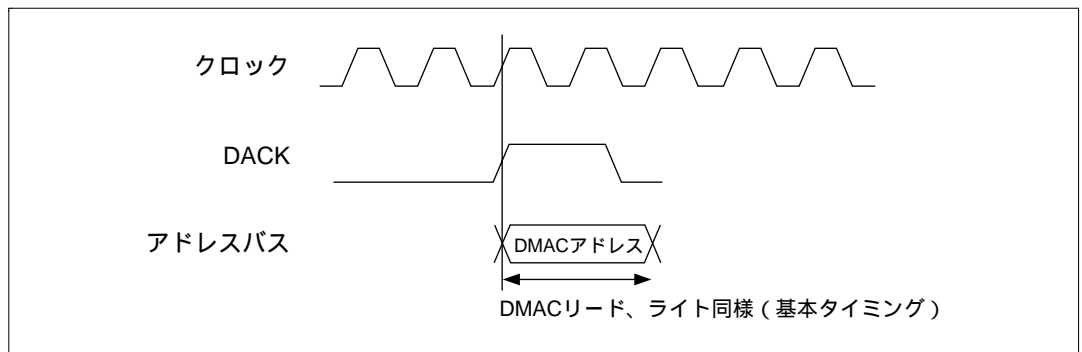


図 9.32 擬似 SRAM バーストアクセス時 (同一ロウアドレス) の DACK 出力 (AM = 0、1 同様)

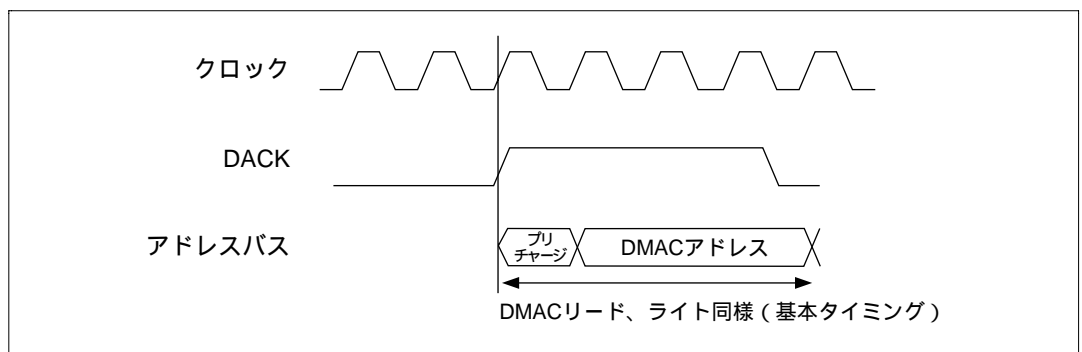


図 9.33 擬似 SRAM バーストアクセス時 (異なるロウアドレス) の DACK 出力 (AM = 0、1 同様)

外部メモリを擬似 SRAM に設定した場合、リード、ライト共に DMAC アドレスと同期してアクノリッジ信号が出力されます。

(5) 外部メモリがバースト ROM の設定時のアクノリッジ信号出力

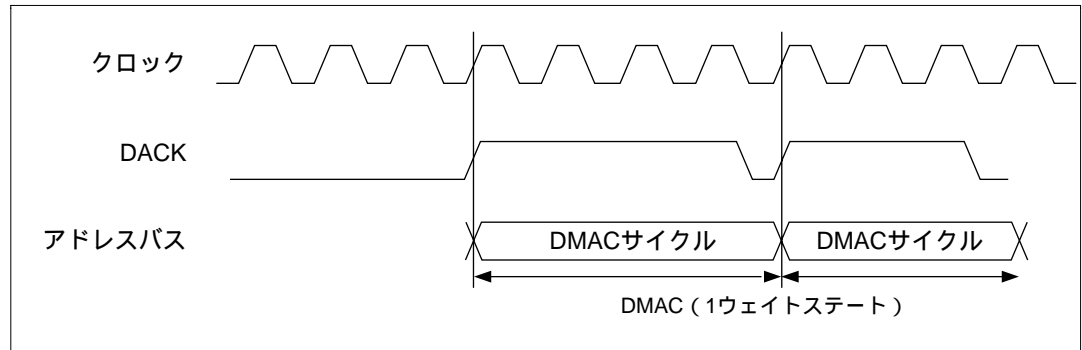


図 9.34 バースト ROM ニブルアクセス時の DACK 出力

外部メモリをバースト ROM に設定した場合、DMAC アドレス(デュアルライトは不可)と同期してアクノリッジ信号が出力されます。

9.3.7 DREQ 端子の入力検出タイミング

外部リクエストモードにおいて、DREQ 端子は、通常クロックパルス (CKIO) の立ち上がりエッジで信号検出が行われます。リクエストが検出されると、最も早い場合で 4 サイクル後に DMAC のバスサイクルが発生し、DMA 転送が行われます。リクエストが検出された後、次回の入力検出タイミングは、バスモードやアドレスモード、DREQ 入力 of 検出方法や接続するメモリによって異なります。

(1) サイクルスチールモードでの DREQ 端子の入力検出タイミング

サイクルスチールモードでは、DREQ 端子から一度リクエストが検出されると、ある期間次回 DMA 転送のためのリクエスト検出は行われません。リクエスト検出可能となつてからは、リクエストが検出されるまで検出可能サイクルは続きます。

リクエストが検出されてから次に検出可能となるまでのタイミングを以下に示します。

(a) サイクルスチールモード・エッジ検出

| 転送幅 | バイト、ワード、ロングワード | DREQ 検出方法 | エッジ検出 |
|-----------|----------------|------------------|-------------------------------------------|
| 転送バスモード | サイクルスチールモード | DACK 出力 タイミング | 読み出し、 書き込み (デュアル)、 DMAC サイクル (シングル) |
| 転送アドレスモード | デュアル・シングルモード | バスサイクル | 基本バスサイクル |

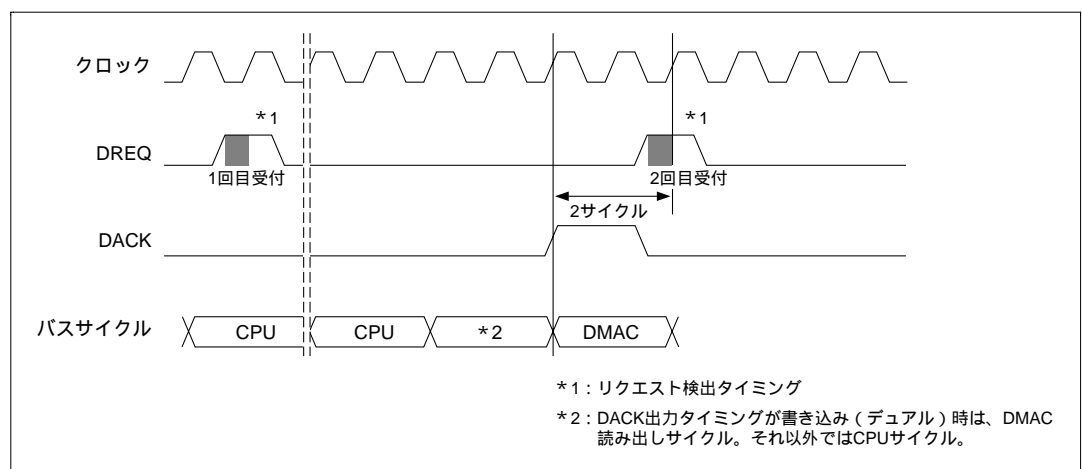


図 9.35 サイクルスチールモード・エッジ検出設定時の DREQ 端子
入力検出タイミング (1)

リクエスト検出が可能となるのは DACK 出力後 2 サイクルです。このタイミング以降は DREQ にリクエスト要求を入力します (上記以前のタイミングで入力した場合、内部の状態によりリクエストを検出する場合としない場合があります)。

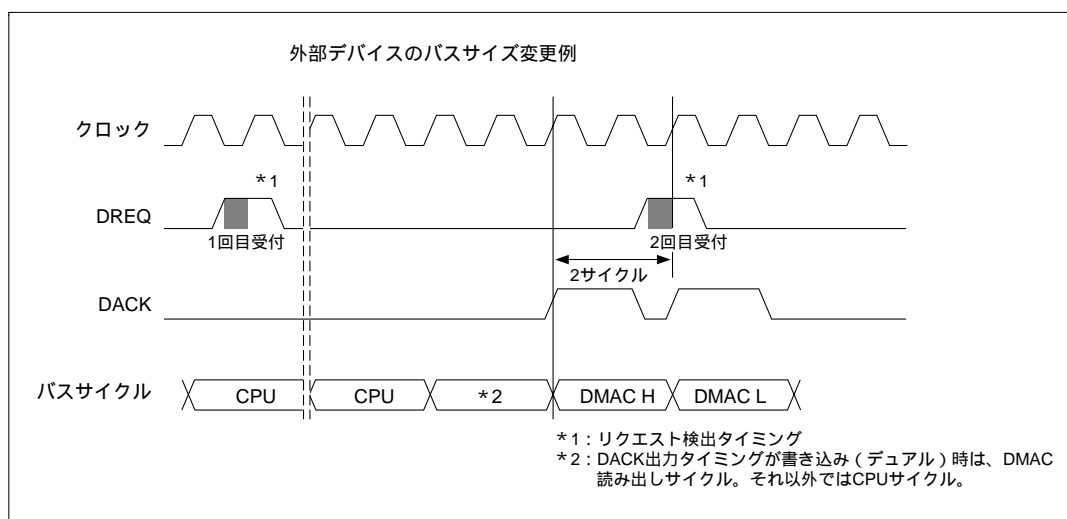


図 9.36 16 ビット外部デバイス接続時

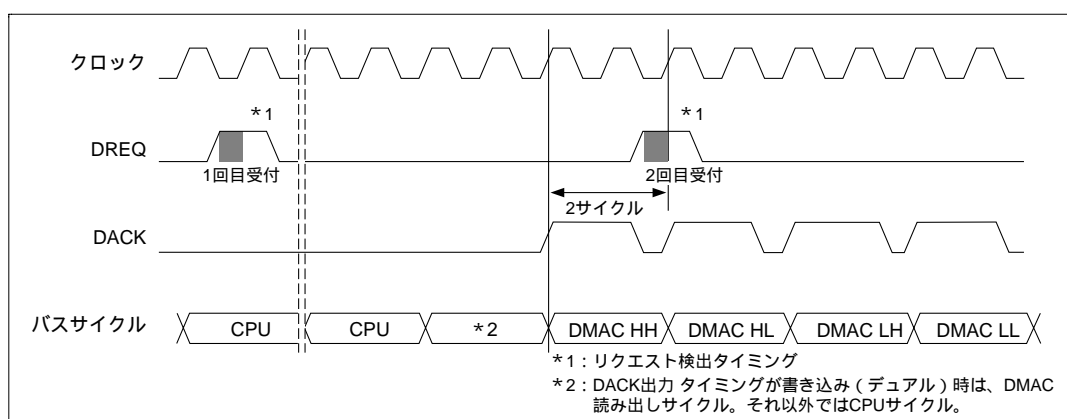


図 9.37 8 ビット外部デバイス接続時

| | | | |
|-----------|-------------|------------------|------------------------|
| 転送幅 | 16 バイト転送 | DREQ 検出方法 | エッジ検出 |
| 転送バスモード | サイクルスチールモード | DACK 出力 タイミング | DMAC 読み出し、 書き込みサイクル |
| 転送アドレスモード | デュアルモード | バスサイクル | 基本バスサイクル |

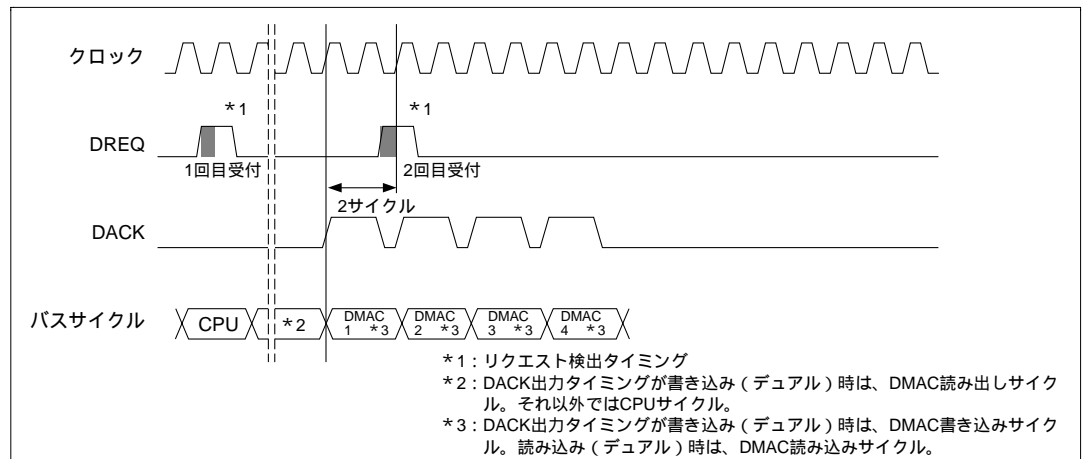


図 9.38 サイクルスチールモード・エッジ検出設定時の DREQ 端子
 入力検出タイミング (2)

リクエスト検出が可能となるのは DACK 出力後 2 サイクルです。このタイミング以降は DREQ にリクエスト要求を入力します (上記以前のタイミングで入力した場合、内部の状態によりリクエストを検出する場合としない場合があります)。

DACK は 4 回の転送全てに同期して出力されます。

(b) サイクルスチールモード・レベル検出

| 転送幅 | バイト、ワード、ロングワード | DREQ検出方法 | レベル検出 |
|-----------|----------------|-----------------|-------------------------------|
| 転送バスモード | サイクルスチールモード | DACK出力 タイミング | 読み出し(デュアル)、 DMACサイクル(シングル) |
| 転送アドレスモード | デュアル・シングルモード | バスサイクル | 基本バスサイクル |

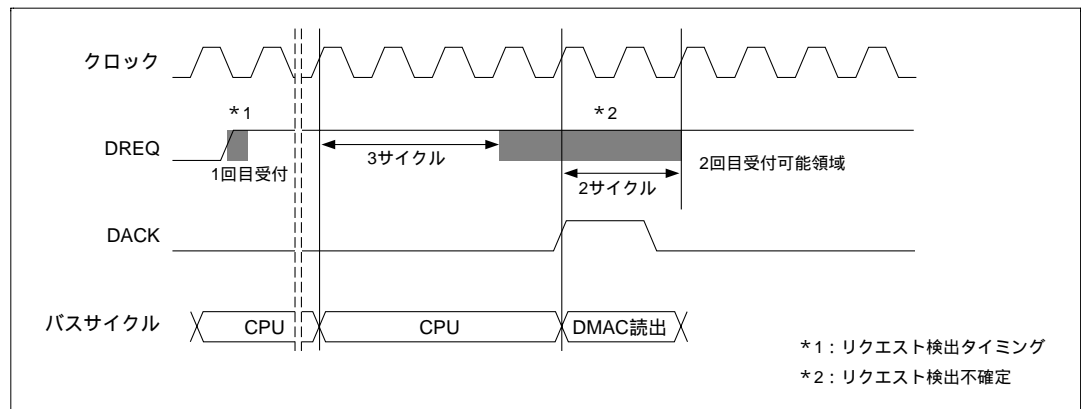


図 9.39 サイクルスチールモード・レベル検出設定時の DREQ 端子
入力検出タイミング (1)

リクエスト検出タイミングは、DMAC 読み出しサイクル前のバスサイクルから 3 サイクル後と、DACK 出力の 2 サイクル後までの間で始まります (図 9.40、図 9.41 参照)。これは、ウェイトなどの変動によって変わります。したがって、DMAC 読み出しサイクル前のバスサイクルから 3 サイクル目までにリクエスト出力を停止すれば、次の DMA 転送は行いませんが、DACK 出力の 2 サイクル後までにリクエスト出力を停止すれば、次の DMA 転送が行われる場合があります (「(3) リクエスト信号受け付けの対応例」参照)。

9. ダイレクトメモリアクセスコントローラ (DMAC)

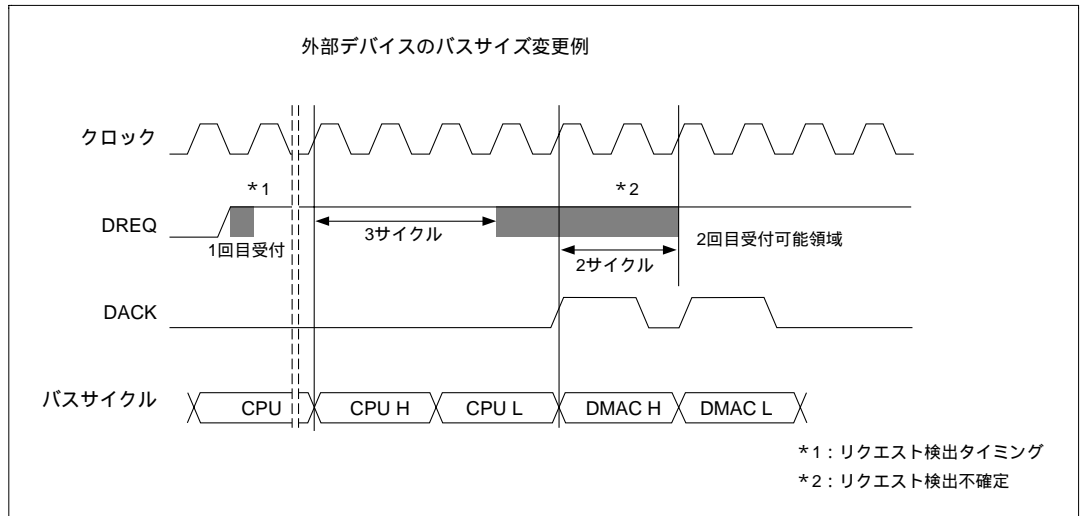


図 9.40 16 ビット外部デバイス接続時

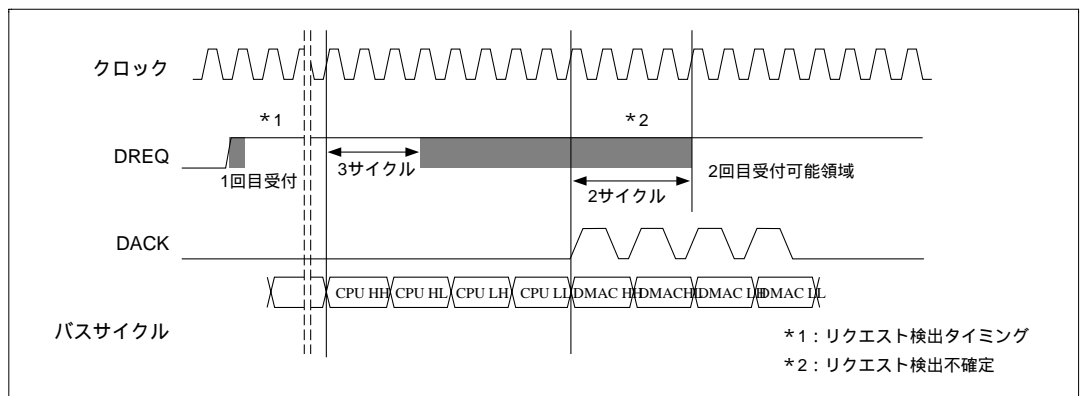


図 9.41 8 ビット外部デバイス接続時

| | | | |
|-----------|----------------|------------------|---------------|
| 転送幅 | バイト、ワード、ロングワード | DREQ 検出方法 | レベル検出 |
| 転送バスモード | サイクルスチールモード | DACK 出力 タイミング | DMAC 書き込みサイクル |
| 転送アドレスモード | デュアルモード | バスサイクル | 基本バスサイクル |

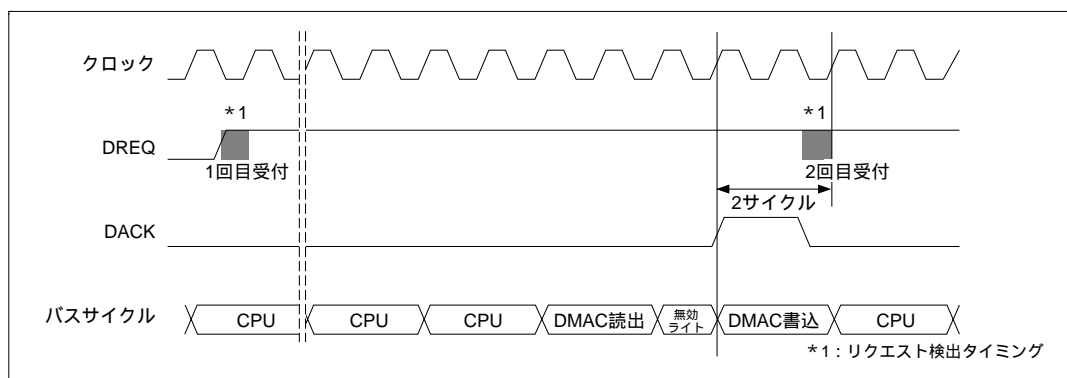


図 9.42 サイクルスチールモード・レベル検出設定時の DREQ 端子
入力検出タイミング (2)

リクエスト検出タイミングは、DACK が出力されて 2 サイクル後に次のリクエストが検出されます。

| | | | |
|-----------|-------------|------------------|---------------|
| 転送幅 | 16 バイト転送 | DREQ 検出方法 | レベル検出 |
| 転送バスモード | サイクルスチールモード | DACK 出力 タイミング | DMAC 読み出しサイクル |
| 転送アドレスモード | デュアルモード | バスサイクル | 基本バスサイクル |

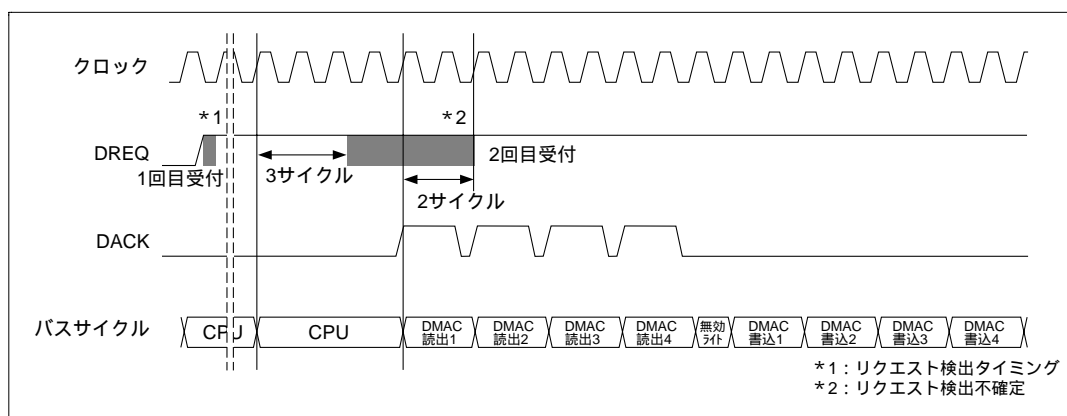


図 9.43 サイクルスチールモード・レベル検出設定時の DREQ 端子
入力検出タイミング (3)

リクエスト検出タイミングは、DMAC 読み出しサイクル前のバスサイクルから 3 サイクル後と、DACK 出力の 2 サイクル後までの間で始まります。これは、ウェイト等の変動によって変わります。したがって、DMAC 読み出しサイクル前のバスサイクルから 3 サイクル目までにリクエスト出力を停止すれば、次の DMA 転送は行いませんが、DACK 出力の 2 サイクル後までにリクエスト出力を停止すれば、次の DMA 転送が行われる場合があります。

| | | | |
|-----------|-------------|------------------|---------------|
| 転送幅 | 16 バイト転送 | DREQ 検出方法 | レベル検出 |
| 転送バスモード | サイクルスチールモード | DACK 出力 タイミング | DMAC 書き込みサイクル |
| 転送アドレスモード | デュアルモード | バスサイクル | 基本バスサイクル |

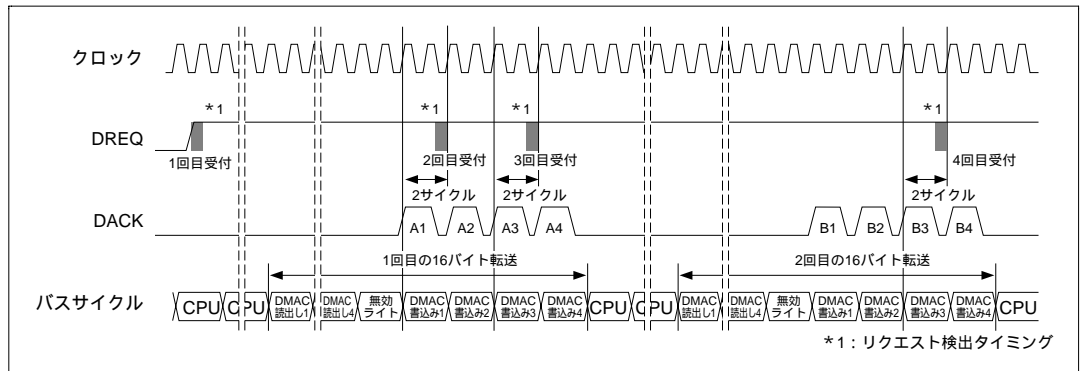


図 9.44 サイクルスチールモード・レベル検出設定時の DREQ 端子
入力検出タイミング (4)

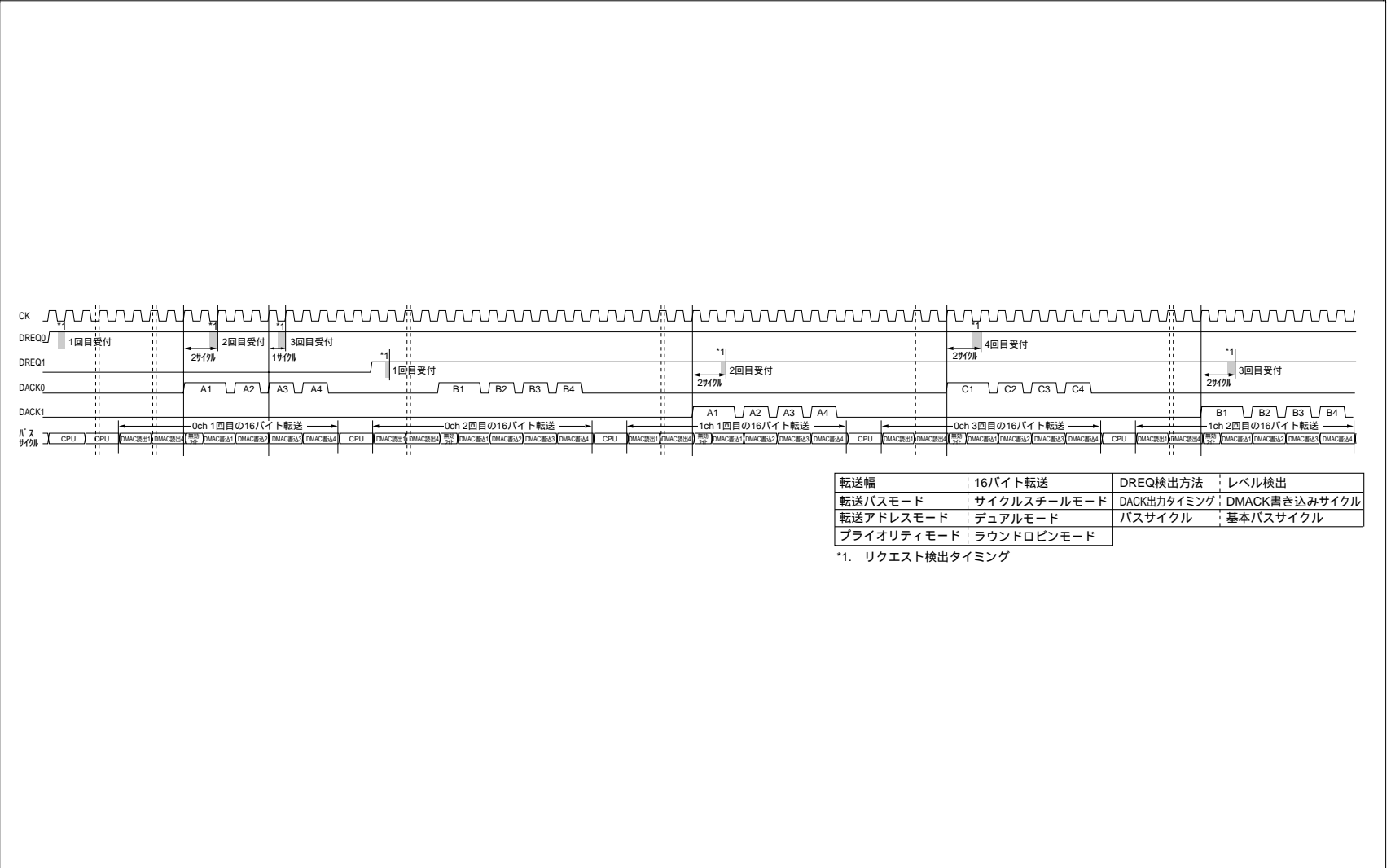
16 バイト転送は、連続ライトタイミング全てに DACK 信号が出力されます。このアクノリッジを A1、A2、A3、A4、B1、B2、B3、B4 ... とします。

2 回目の転送リクエストは A1 のアクノリッジ信号出力後 2 サイクルでリクエストが検出されます。3 回目の転送リクエストは A3、つまり 1 回目の転送の 3 番目のアクノリッジ信号出力後 2 サイクルでリクエストが検出されます。4 回目の転送リクエストは、B3 が出力後 2 サイクルで検出されます。その後のリクエスト検出は、4 回目と同様各転送の 3 番目のアクノリッジの 2 サイクル後となります。

注意事項

ラウンドロビン等チャンネル 0 とチャンネル 1 が交互に転送している場合、各転送の 1 回目のアクノリッジ信号の 2 サイクル後のみが次のリクエスト信号検出タイミングとなります (図 9.45)。

図 9.45 2チャンネル同時に動作させた時の例



(2) バーストモードでの DREQ 端子の入力検出タイミング

バーストモードでは、DREQ 入力をエッジで検出する場合とレベルで検出する場合とでは、リクエスト検出タイミングが異なります。

DREQ 入力をエッジで検出する場合、一度リクエストが検出されると、その後は DREQ 端子の状態にかかわらず転送終了条件が満たされるまで DMA 転送が継続されます。この間リクエスト検出は行われません。転送終了後に転送開始条件がそろると再び 1 サイクルごとにリクエスト検出が行われます。

DREQ 入力をレベルで検出する場合、次のリクエスト検出サイクルに同じチャンネルのリクエストが検出されると、そのチャンネルが継続して実行されますが、リクエストが入力されない場合、他のチャンネル、または他のバスマスタのバスサイクルが実行されます。

(a) バーストモード・シングルモード・レベル検出

| | | | |
|-----------|----------------|------------------|-----------|
| 転送幅 | バイト、ワード、ロングワード | DREQ 検出方法 | レベル検出 |
| 転送バスモード | バーストモード | DACK 出力 タイミング | DMAC サイクル |
| 転送アドレスモード | シングルモード | バスサイクル | 基本バスサイクル |

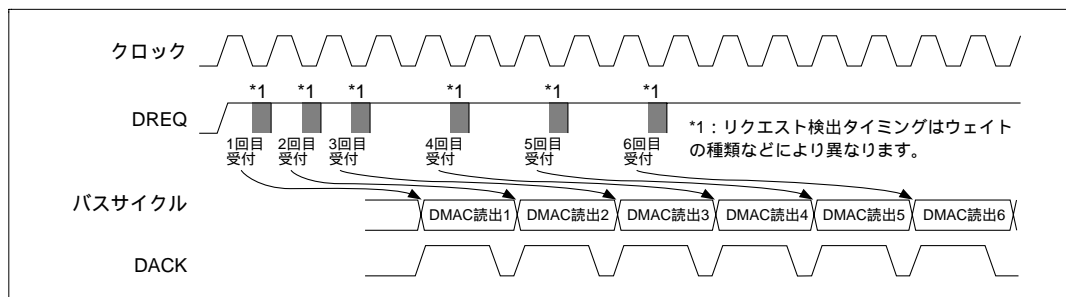


図 9.46 バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (1)
(通常空間からデバイスへのデータ転送の場合)

リクエスト信号に対するアクノリッジ信号は、最も早い場合で 4 サイクル後に出力されます。このアクノリッジ信号が出力されてから 0.5 サイクル以内にリクエスト信号を落としても、上図の 3 回目のリクエスト信号が受け付けられます。したがって、1 回目のアクノリッジ信号に対してリクエストを落としても、3 回目の DMA 転送が実行されます。4 回目以後の検出タイミングは、上図に示すようなタイミングとなります。

| | | | |
|-----------|----------------|-----------------|----------|
| 転送幅 | バイト、ワード、ロングワード | DREQ検出方法 | レベル検出 |
| 転送バスモード | バーストモード | DACK出力 タイミング | DMACサイクル |
| 転送アドレスモード | シングルモード | バスサイクル | 基本バスサイクル |

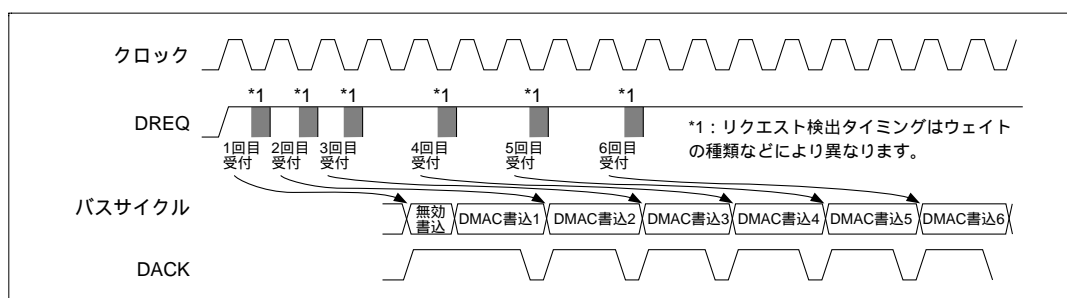


図 9.47 バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (2)
(デバイスから通常空間へのデータ転送の場合)

リクエスト信号に対するアクノリッジ信号は、最も早い場合で4サイクル後に出力されます。このアクノリッジ信号が出力されてから、0.5サイクル以内にリクエスト信号を落としても、上図の3回目のリクエスト信号が受け付けられます。したがって、1回目のアクノリッジ信号に対してリクエストを落としても、3回目のDMA転送が実行されます。4回目以後の検出タイミングは、上図に示すようなタイミングとなります。

エバチップにおける注意事項

エバチップにおけるリクエスト信号の検出タイミングは、ユーザチップの検出タイミングと異なります。図 9.46、図 9.47 に対応するエバチップでの検出タイミングを図 9.48、図 9.49 にそれぞれ示します。

9. ダイレクトメモリアクセスコントローラ (DMAC)

| | | | |
|-----------|----------------|------------------|-----------|
| 転送幅 | バイト、ワード、ロングワード | DREQ 検出方法 | レベル検出 |
| 転送バスモード | バーストモード | DACK 出力 タイミング | DMAC サイクル |
| 転送アドレスモード | シングルモード | バスサイクル | 基本バスサイクル |

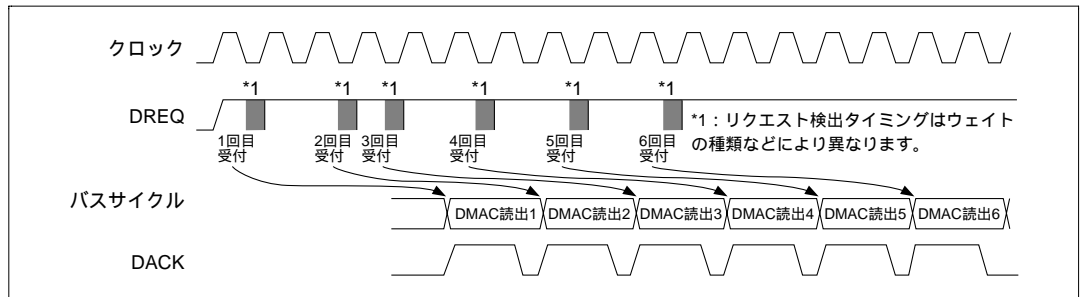


図 9.48 バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (3)
(通常空間からデバイスへのデータ転送 エバチップの場合)

| | | | |
|-----------|----------------|------------------|-----------|
| 転送幅 | バイト、ワード、ロングワード | DREQ 検出方法 | レベル検出 |
| 転送バスモード | バーストモード | DACK 出力 タイミング | DMAC サイクル |
| 転送アドレスモード | シングルモード | バスサイクル | 基本バスサイクル |

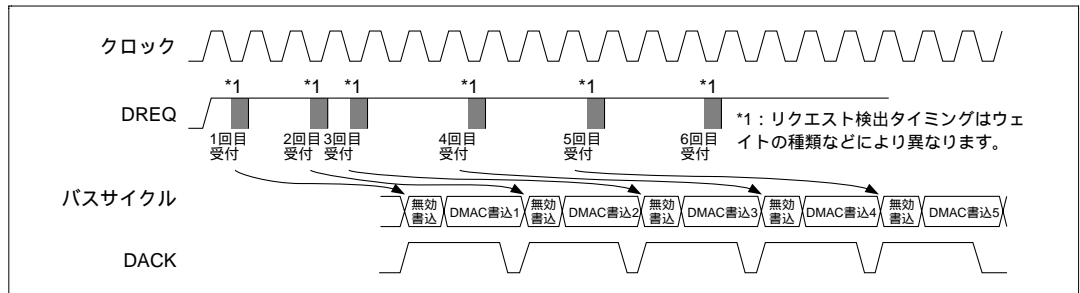


図 9.49 バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (4)
(デバイスから通常空間へのデータ転送 エバチップの場合)

(b) バーストモード・デュアルモード・レベル検出

| | | | |
|-----------|----------------|------------------|-----------|
| 転送幅 | バイト、ワード、ロングワード | DREQ 検出方法 | レベル検出 |
| 転送バスモード | バーストモード | DACK 出力 タイミング | DMAC 読み出し |
| 転送アドレスモード | シングルモード | バスサイクル | 基本バスサイクル |

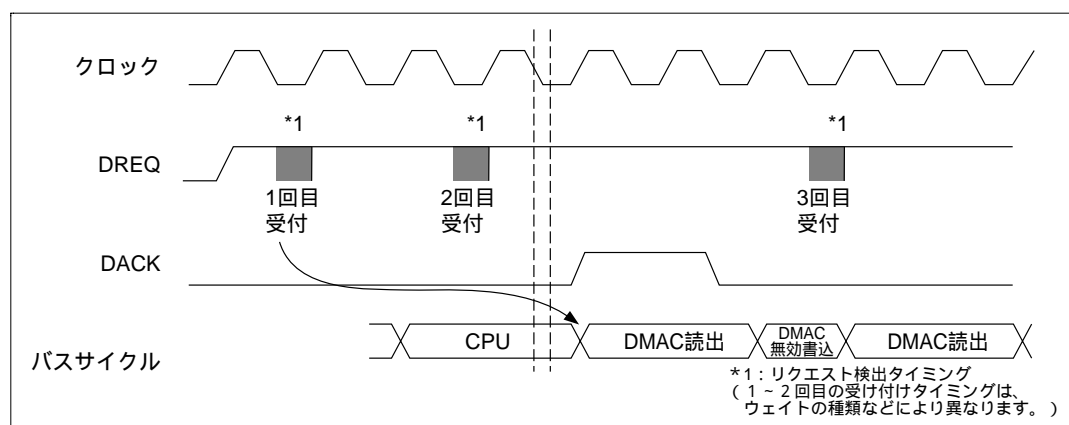


図 9.50 バーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (5)

リクエスト信号に対するアクノリッジ信号は、最も早い場合で4サイクル後に出力されます。このアクノリッジ信号が出力されてから0.5サイクル以内にリクエスト信号を落としても、上図の2回目のリクエストが受け付けられます。したがって、1回目のアクノリッジ信号に対応してリクエストを落としても、2回のDMA転送が実行されます。

| | | | |
|-----------|----------------|------------------|-----------|
| 転送幅 | バイト、ワード、ロングワード | DREQ 検出方法 | レベル検出 |
| 転送バスモード | バーストモード | DACK 出力 タイミング | DMAC 書き込み |
| 転送アドレスモード | デュアルモード | バスサイクル | 基本バスサイクル |

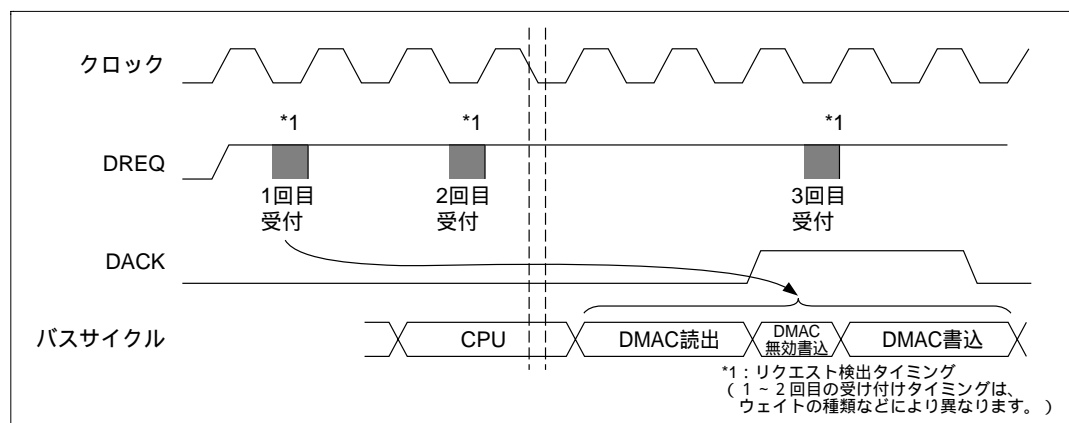


図 9.51 パーストモード・レベル検出設定時の DREQ 端子入力検出タイミング (6)

リクエスト信号に対するアクノリッジ信号は、最も早い場合で6サイクル後に出力されます。このアクノリッジ信号が出力されてから0.5サイクル以内にリクエスト信号を落としても、上図の2回目のリクエストが受け付けられます。したがって、1回目のアクノリッジ信号に対応してリクエストを落としても、2回のDMA転送が実行されます。

(3) リクエスト信号受け付けの対応例

サイクルスチールモードでの DREQ レベル受け付け時、リクエスト信号の受け付けタイミングには、下記のような方法で対応します。

- (1) TCR により転送回数を制御する。
- (2) リクエスト受け付けをエッジとする。
- (3) アクノリッジ信号を DMAC 書き込みタイミングで出力するようにする。

(4) エミュレータなど使用時の注意点追加

エミュレータによっては、サイクルスチールモードでの DREQ レベル受け付け時、リクエスト信号の受け付けタイミングがアクノリッジ信号が出力されてから2サイクル後となり、通常の仕様と異なります。そのため、DMAC の動作をエミュレートする場合、タイミングが若干異なり影響を及ぼす場合があるので注意してください。

9.3.8 DMA 転送終了

DMA 転送の終了条件は、1 チャンネルずつの終了と 2 チャンネル同時の終了とで違います。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- ・ DMA トランスファカウンタレジスタ (TCR) の値が 0 になる
- ・ DMA チャンネルコントロールレジスタ (CHCR) の DMA イネーブルビット (DE) が 0 になる

(a) TCR=0 による転送終了

TCR の値が 0 になると、対応するチャンネルの DMA 転送が終了し、CHCR のトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPU に DMAC 割り込み (DEI) が要求されます。

16 バイト転送において、最終の転送時に TCR が 3、2、1 の場合、ソースアドレスは 4 回出力されるが、デスティネーションアドレスは TCR の値だけ出力し、終了する。

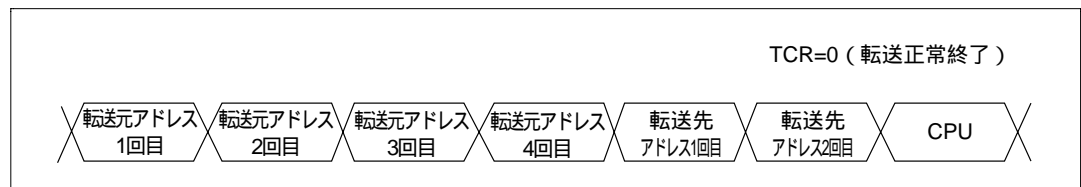


図 9.52 TCR=2 のときの 16 バイト転送

(b) CHCR の DE=0 による転送終了

CHCR の DMA イネーブルビット (DE) をクリアすると、対応するチャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送を終了します。

- ・ DMA オペレーションレジスタ (DMAOR) の NMI フラグビット (NMIF) またはアドレスエラーフラグビット (AE) が 1 になる
- ・ DMAOR の DMA マスタイネーブルビット (DME) が 0 になる

(a) DMAOR の NMIF=1 または AE=1 による転送終了

NMI 割り込みまたは DMAC によるアドレスエラーが発生して、DMAOR の NMIF ビットまたは AE ビットが 1 になると、すべてのチャンネルの DMA 転送が中断されます。中断による直前の転送による DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションレジスタ (DAR)、DMA トランスファカウンタレジスタ (TCR) の更新は行われません。この転送が最終転送の場合は、TE=1 となり転送終了となります。NMI 割り込み例外処理、アドレスエラー例外処理後に転送を再開するには、対応するフラグをクリアします。このとき DE ビットが 1 にセットされていると、そのチャンネルの転送が再開されてしまうので、再開させたくないチャンネルがあれば、DE ビットは 0 にしておく必要があります。

デュアルアドレスモードの場合、最初のリードサイクルでアドレスエラーが発生しても、それに引き続くライトサイクルは実行されてから DMA 転送が中断されます。この最後の転送による SAR、DAR、TCR の更新は行われます。

(b) DMAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が、現在実行中の転送終了後に強制的に中断されます。この転送が最終転送の場合は、TE=1 となり転送終了となります。

9.4 使用例

9.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース (SCI) 受信データを、DMAC のチャンネル 1 を使って外部メモリに転送する例を考えます。表 9.9 に転送条件と各レジスタの設定値を示します。

表 9.9 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

| 転送条件 | レジスタ | 設定値 |
|-----------------------------|-------|-------------|
| 転送元：内蔵 SCI の RDR | SAR1 | H'FFFFFFE05 |
| 転送先：外部メモリ (ワード空間) | DAR1 | 転送先アドレス |
| 転送回数：64 回 | TCR1 | H'0040 |
| 転送先アドレス：増加 | CHCR1 | H'4045 |
| 転送元アドレス：固定 | | |
| バスモード：サイクルスチール | | |
| 転送単位：バイト | | |
| 転送終了時に DEI 割り込み要求発生 DE=1 | | |
| チャンネル優先順位：固定 (0>1) DME=1 | DMAOR | H'0001 |
| 転送要求元 (転送要求信号)：SCI (RX) | DRCR1 | H'01 |

【注】 * SCI 側の設定で割り込みイネーブルと、CPU 割り込みレベルに注意してください。

9.5 使用上の注意

- (1) DRCR0 と 1 は、バイト単位のアクセス、それ以外のレジスタはロングワード単位でアクセスしてください。
- (2) CHCR0 ~ CHCR1 および DRCR0、1 を書き換える場合は、指定チャンネル CHCR の DE ビットを 0 にするか、DMAOR の DME ビットを 0 にしてから書き換えてください。
- (3) DMAC が動作していないときに、NMI 割り込みが入力されても、DMAOR の NMIF ビットはセットされません。
- (4) キャッシュを内蔵 RAM として使用する場合、DMAC がこの RAM をアクセスすることはできません。
- (5) スタンバイモードにするときは、DMAOR の DME ビットを 0 にしてから行ってください。
- (6) 内蔵周辺モジュールのうち DMAC、BSC、UBC をアクセスしないでください。
- (7) キャッシュ (アドレスアレイ、データアレイ、連想ページ領域) はアクセスしないでください。
- (8) シングルアドレスモードでリクエスト信号をレベル検出する場合、DACK 出力前にリクエスト信号を検出する場合がありますので御注意ください。
- (9) 外部メモリに SDRAM を接続した場合、シングルアドレスモード転送を行わないでください。

10. 除算器 (DIVU)

第 10 章 目次

| | | |
|--------|--------------------------------|-----|
| 10.1 | 概要 | 321 |
| 10.1.1 | 特長 | 321 |
| 10.1.2 | ブロック図 | 322 |
| 10.1.3 | レジスタ構成 | 323 |
| 10.2 | レジスタの説明 | 324 |
| 10.2.1 | 除数レジスタ (DVSR) | 324 |
| 10.2.2 | 32 ビット用被除数レジスタ L (DVDNT) | 324 |
| 10.2.3 | 除算コントロールレジスタ (DVCR) | 325 |
| 10.2.4 | ベクタ番号設定レジスタ DIV (VCRDIV) | 326 |
| 10.2.5 | 被除数レジスタ H (DVDNTH) | 326 |
| 10.2.6 | 被除数レジスタ L (DVDNTL) | 327 |
| 10.3 | 動作説明 | 328 |
| 10.3.1 | 64 ビット ÷ 32 ビット演算 | 328 |
| 10.3.2 | 32 ビット ÷ 32 ビット演算 | 328 |
| 10.3.3 | オーバフロー処理 | 329 |
| 10.4 | 使用上の注意 | 330 |
| 10.4.1 | アクセス時の注意 | 330 |
| 10.4.2 | オーバフローフラグに関する注意 | 330 |

10.1 概要

除算器 (DIVU) は、64 ビット ÷ 32 ビット、または 32 ビット ÷ 32 ビット演算を行います。結果は、商 32 ビット、余り 32 ビットで表されます。演算でオーバーフローが発生したときは、指定により割り込みを発生させることができます。

10.1.1 特長

除算器の特長は次のとおりです。

- ・ 符号付き 64 ビット ÷ 32 ビットまたは符号付き 32 ビット ÷ 32 ビット演算
- ・ 商 32 ビット、余り 32 ビット
- ・ 演算実行サイクル数 : 39 サイクル
- ・ オーバフロー割り込みの許可 / 禁止を制御
- ・ 除算処理の実行中でも、除算器をアクセスしない命令は並列処理ができます。

10.1.2 ブロック図

除算器のブロック図を図 10.1 に示します。

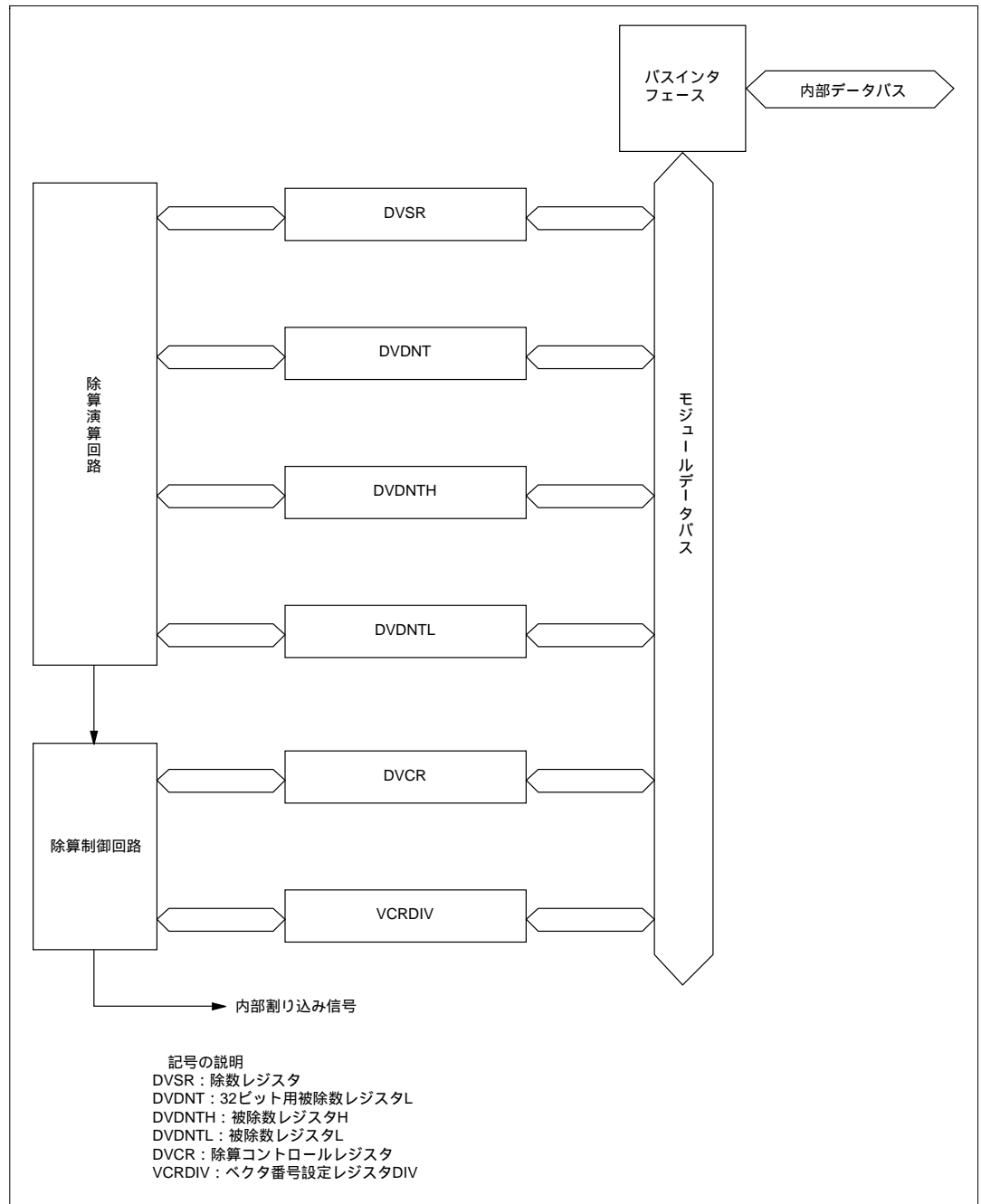


図 10.1 除算器のブロック図

10.1.3 レジスタ構成

除算器のレジスタ構成を表 10.1 に示します。

表 10.1 レジスタ構成

| 名称 | 略称 | R/W | 初期値 | アドレス | アクセスサイズ ^{*1} |
|------------------|--------|-----|------------------|------------|-----------------------|
| 除数レジスタ | DVSR | R/W | 不定 | H'FFFFFF00 | 32 |
| 32 ビット用被除数レジスタ L | DVDNT | R/W | 不定 | H'FFFFFF04 | 32 |
| 除算コントロールレジスタ | DVCR | R/W | H'0000000 0 | H'FFFFFF08 | 16、32 |
| ベクタ番号設定レジスタ DIV | VCRDIV | R/W | 不定 ^{*2} | H'FFFFFF0C | 16、32 |
| 被除数レジスタ H | DVDNTH | R/W | 不定 | H'FFFFFF10 | 32 |
| 被除数レジスタ L | DVDNTL | R/W | 不定 | H'FFFFFF14 | 32 |

【注】 *1 除算器へのアクセスは 32 ビット単位の読み出し / 書き込みのみです。DVCR および VCRDIV は 16、32 ビットアクセスが可能です。DVCR および VCRDIV 以外へレジスタをワードサイズでアクセスした場合は、不確定値が読み出し / 書き込みされます。

*2 VCRDIV の初期値は H'0000XXXX となります (XXXX は不定)。

10.2 レジスタの説明

10.2.1 除数レジスタ (DVSR)

| | | | | | | | | | | | | | | | | |
|------|------------------------------------------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | | | | | | | | | | | | | | | | |
| 初期値: | R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W | | | | | | | | | | | | | | | |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W | | | | | | | | | | | | | | | |

除数レジスタ (DVSR) は、読み出し / 書き込み可能な 32 ビットのレジスタです。演算する除数を書き込みます。

パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ機能使用時には不定になります。

10.2.2 32 ビット用被除数レジスタ L (DVDNT)

| | | | | | | | | | | | | | | | | |
|------|------------------------------------------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | | | | | | | | | | | | | | | | |
| 初期値: | R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W | | | | | | | | | | | | | | | |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W | | | | | | | | | | | | | | | |

32 ビット用被除数レジスタ L (DVDNT) は、読み出し / 書き込み可能な 32 ビットのレジスタです。32 ビット ÷ 32 ビット演算を実行するとき、このレジスタに 32 ビットの被除数を設定します。

32 ビット ÷ 32 ビットの演算が実行されると、被除数として設定した値は失われ、演算終了時点で商が書き込まれます。このレジスタに書き込むと、同じ値が DVDNTL レジスタにも書き込まれます。また、書き込んだ値の MSB が DVDNTH レジスタに符号拡張されます。このレジスタに値を書き込むことで、32 ビット ÷ 32 ビットの除算に起動がかかります。

パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ機能使用時には不定になります。

10.2.3 除算コントロールレジスタ (DVCR)

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----|-----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | | | | | | | | | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

除算コントロールレジスタ (DVCR) は、読み出し / 書き込み可能な 32 ビットのレジスタですが、16 ビットのアクセスも可能です。オーバフローまたはアンダフロー割り込みの許可 / 禁止を制御します。

パワーオンリセット、およびマニュアルリセット時に H'00000000 に初期化されます。スタンバイ、およびモジュールスタンバイ機能使用時には不定になります。

ビット 31~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : OVF インタラプトイネーブル (OVFIE)

オーバフローによる OVF 割り込み要求 (OVFI) の許可または禁止を選択します。

| ビット 1 | 機 能 |
|-------|--------------------------------|
| OVFIE | |
| 0 | OVF による割り込み要求 (OVFI) を禁止 (初期化) |
| 1 | OVF による割り込み要求 (OVFI) を許可 |

【注】 オーバフローによる割り込み処理を行う場合は、必ず演算の起動をかける前に OVFIE ビットをセットしてください。

ビット 0 : オーバフローフラグ (OVF)

オーバフローの発生を示すフラグです。

| ビット 0 | 機 能 |
|-------|----------------------|
| OVF | |
| 0 | オーバフローが発生していない (初期化) |
| 1 | オーバフローが発生した |

10.2.4 ベクタ番号設定レジスタ DIV (VCRDIV)

| | | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | | | | | | | | | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | | | | | | | | | | | | | | | | |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ベクタ番号設定レジスタ DIV (VCRDIV) は、読み出し / 書き込み可能な 32 ビットのレジスタですが、16 ビットのアクセスも可能です。除算器のオーバフローまたはアンダフローによる割り込みの発生時、割り込みのベクタ番号を設定します。VCRDIV にはビット 15 ~ ビット 0 の 16 ビットに値を設定できますが、ベクタ番号としては、ビット 6 ~ ビット 0 の 7 ビットだけが有効になります。VCRDIV に値をセットする場合は、ビット 15 ~ ビット 7 の 9 ビットは必ず 0 を設定してください。

パワーオンリセット時、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ機能使用時には、不定になります。

ビット 31 ~ 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 ~ 0 : 割り込みベクタ番号

割り込み先のベクタ番号を設定します。ベクタ番号はビット 6 ~ ビット 0 の 7 ビットだけが有効です。

10.2.5 被除数レジスタ H (DVDNTH)

| | | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | | | | | | | | | | | | | | | | |
| 初期値: | | | | | | | | | | | | | | | | |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | | | | | | | | | | | | | | | | |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

被除数レジスタ H (DVDNTH) は、読み出し / 書き込み可能な 32 ビットのレジスタです。64 ÷ 32 ビット演算をするとき、このレジスタに被除数 64 ビットの上位側 32 ビットを設定します。

演算が実行されると、被除数として設定した値は失われ、演算終了時点で余りが書き込

まれます。

DVDNTH の初期値は不定値になります。パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ機能使用時には、不定になります。

DVDNT レジスタに被除数の値が設定された場合、それまでの値が失われ、DVDNTH の全ビットに DVDNT レジスタの MSB が拡張されます。

10.2.6 被除数レジスタ L (DVDNTL)

| | | | | | | | | | | | | | | | | |
|------|----------------------------------------------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| | | | | | | | | | | | | | | | | |
| 初期値: | R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W | | | | | | | | | | | | | | | |
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W | | | | | | | | | | | | | | | |

被除数レジスタ L (DVDNTL) は、読み出し/書き込み可能な 32 ビットのレジスタです。64 ÷ 32 ビット演算を実行するとき、このレジスタに被除数 64 ビットの下位側 32 ビットを設定します。

このレジスタに値が設定されることで 64 ビット ÷ 32 ビット演算に起動がかかります。

なお、32 ビット ÷ 32 ビット演算のために、DVDNT レジスタに値をセットした場合、この DVDNTL レジスタにも同じ値がセットされます。

64 ビット ÷ 32 ビット演算が実行されると、被除数として設定した値は失われ、演算終了時点で商が書き込まれます。

パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ機能使用時には、値は不定になります。

10.3 動作説明

10.3.1 64 ビット ÷ 32 ビット演算

64 ビット ÷ 32 ビット演算は次のように行います。

- (1) 除数レジスタ (DVSR) は除数 32 ビットを設定します。
- (2) 被除数レジスタ H、L (DVDNTH、DVDNTL) に被除数 64 ビットを設定します。最初に DVDNTH に値をセットしてください。次に、DVDNTL に値が書き込まれると、64 ビット ÷ 32 ビット演算に起動がかかります。
- (3) 本除算器は、演算に起動のかかる DVDNTL に値をセットしてから 39 サイクルで一回の除算を終了します。ただし、オーバフローが発生した場合は、6 サイクルで演算を終了します。オーバフロー発生時の処理の詳細は、オーバフロー処理の項で説明します。なお、演算は符号付き演算です。
- (4) 演算終了後、DVDNTH には余り 32 ビットが、DVDNTL には商 32 ビットが書き込まれます。

10.3.2 32 ビット ÷ 32 ビット演算

32 ビット ÷ 32 ビット演算は次のように行います。

- (1) 除数レジスタ (DVSR) は除数 32 ビットを設定します。
- (2) 32 ビット用被除数レジスタ (DVDNT) に被除数 32 ビットを設定します。DVDNT に値が書き込まれると、32 ビット ÷ 32 ビット演算に起動がかかります。
- (3) 本除算器は、演算の起動のかかる DVDNT に値をセットしてから 39 サイクルで一回の除算を終了します。ただし、オーバフローが発生した場合は、6 サイクルで演算を終了します。オーバフロー発生時の処理の詳細は、オーバフロー処理の項で説明します。なお、演算は符号付き演算です。
- (4) 演算終了後、DVDNTH には余り 32 ビットが、DVDNT には商 32 ビットが書き込まれます。

10.3.3 オーバフロー処理

演算結果が、符号付き 32 ビットで表される範囲を超えたとき（負数同士の除算においては、商が最大値となりかつ余り（負数）が発生した時、正数÷負数の除算においては、商が最大値となる時）、または、除数が 0 のとき、オーバフローを起こします。

オーバフロー発生時は、OVF ビットがセットされ、DVCR レジスタの OVFIE ビットが 1 にセットされた割り込み発生許可の状態では、オーバフロー割り込みが発生します。その時は、DVDNTH、および DVDNTL の各レジスタは 6 サイクルまでの演算結果を保持した状態で演算終了しています。OVFIE ビットが 0 にクリアされた割り込み発生禁止の状態では、DVDNTH は 6 サイクルまでの演算結果を DVDNTL は最大値 (H'7FFFFFFF) または最小値 (H'80000000) をセットした状態で演算終了しています。商が正でオーバフローしたときは最大値、商が負でオーバフローしたときは、最小値となります。なお、オーバフロー発生時に実行する 6 サイクルのうち、始めの 3 サイクルは、除算器内部、フラグセットなどに使用され、残りの 3 サイクルで除算を実行しています。

10.4 使用上の注意

10.4.1 アクセス時の注意

除算器へのアクセスは DVCR、VCRDIV 以外は 32 ビットの読み出し書き込みのみです。DVCR、VCRDIV 以外のレジスタにワードサイズのアクセスを実行すると、不確定値が読み出しあるいは書き込みされます。

除算器では、同一のレジスタであるなしにかかわらず、レジスタへの書き込み命令の直後に読み出し命令を実行する場合、書き込んだ値を除算器内部の目的のレジスタに確実にセットするために、読み出し命令が 1 サイクル延長されます。

演算実行中に読み出し、または書き込み命令を発行すると、除算処理が終了するまで発行された読み出し、または書き込み命令が延長され続けます。したがって、除算器をアクセスしない命令は並列処理できます。また除算器の起動レジスタ (DVDNTL または DVDNT) への書き込み命令のすぐ次の命令で、除算器のいずれかのレジスタへの書き込み命令を実行すると、起動レジスタに正しい値がセットされない場合があります。起動レジスタへの書き込み命令のすぐ次の命令には除算器のレジスタへの書き込み命令以外を指定してください。

上記の制限から除算器を使用する場合、演算の起動をかけてから 39 サイクルの間は除算器をアクセスしない命令を実行し、39 サイクル以後に読み出し命令を発行すると、処理が効率的に行えます。

10.4.2 オーバフローフラグに関する注意

オーバフローフラグ (OVF) は自動的にリセットされません。オーバフローが発生した場合、フラグはセットされたままになります。OVF がセットされても、演算には影響ありません。必要な場合は、演算実行前にクリアしてください。

オーバフロー発生時の各レジスタの状態を表 10.2 に示します。

表 10.2 オーバフロー処理

| | オーバフロー割り込み許可 | オーバフロー割り込み禁止 |
|--------|--------------------------|--------------------------------------------------|
| DVSR | 書き込んだ値を保持 | 書き込んだ値を保持 |
| DVDNT | オーバフロー発生を検出するまでの演算結果を保持* | プラス側にオーバフローした場合は最大値、 マイナス側にオーバフローした場合は最小値をセット |
| DVCR | OVF ビットをセット | OVF ビットをセット |
| VCRDIV | 書き込んだ値を保持 | 書き込んだ値を保持 |
| DVDNTH | オーバフロー発生を検出するまでの演算結果を保持* | オーバフロー発生を検出するまでの演算結果を保持* |
| DVDNTL | オーバフロー発生を検出するまでの演算結果を保持* | プラス側にオーバフローした場合は最大値、 マイナス側にオーバフローした場合は最小値をセット |

【注】 * 除算処理においてオーバフロー発生を検出するまでのサイクルの演算途中結果が書き込まれます。

11. 16ビットフリー ランニングタイマ (FRT)

第11章 目次

| | | |
|--------|-----------------------------------------|-----|
| 11.1 | 概要 | 335 |
| 11.1.1 | 特長 | 335 |
| 11.1.2 | ブロック図 | 336 |
| 11.1.3 | 端子構成 | 337 |
| 11.1.4 | レジスタ構成 | 337 |
| 11.2 | 各レジスタの説明 | 338 |
| 11.2.1 | フリーランニングカウンタ (FRC) | 338 |
| 11.2.2 | アウトプットコンペアレジスタ A、B (OCRA、B) | 338 |
| 11.2.3 | インプットキャプチャレジスタ (FICR) | 339 |
| 11.2.4 | タイマインタラプトイネーブルレジスタ (TIER) | 339 |
| 11.2.5 | フリーランニングタイマコントロール/ステータレジスタ (FTCSR) | 341 |
| 11.2.6 | タイマコントロールレジスタ (TCR) | 343 |
| 11.2.7 | タイマアウトプットコンペアコントロールレジスタ (TOCR) | 343 |
| 11.3 | CPUとのインタフェース | 346 |
| 11.4 | 動作説明 | 349 |
| 11.4.1 | FRCのカウントタイミング | 349 |
| 11.4.2 | アウトプットコンペア出力タイミング | 350 |
| 11.4.3 | FRCクリアタイミング | 351 |
| 11.4.4 | インプットキャプチャ入力タイミング | 351 |
| 11.4.5 | インプットキャプチャフラグ (ICF) のセットタイミング | 352 |
| 11.4.6 | アウトプットコンペアフラグ (OCFA、B) のセットタイミング | 353 |
| 11.4.7 | タイマオーバフローフラグ (OVF) のセットタイミング | 353 |
| 11.5 | 割り込み要因 | 354 |

11. 16ビットフリーランニングタイム (FRT)

| | | |
|------|--------------|-----|
| 11.6 | FRTの使用例..... | 355 |
| 11.7 | 使用上の注意..... | 356 |

11.1 概要

本 LSI は、16 ビットフリーランニングタイマ (FRT) を 1 チャンネル内蔵しています。FRT は、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波型出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

11.1.1 特長

FRT の特長を以下に示します。

- 4 種類のカウンタ入力クロックを選択可能
3 種類の内部クロック (/ 8、 / 32、 / 128) と外部クロックのうちから選択できます (外部イベントのカウントが可能) 。
- 2 本の独立したコンパレータ
2 種類の波形出力が可能です。
- インプットキャプチャ
立ち上がりエッジ / 立ち下がりエッジの選択可能です。
- カウンタのクリア指定が可能
コンペアマッチ A により、カウンタの値をクリアすることができます。
- 4 種類の割り込み要因
コンペアマッチ × 2 要因、インプットキャプチャ × 1 要因、オーバフロー × 1 要因があり、それぞれ独立に要求することができます。

11.1.2 ブロック図

FRTのブロック図を図11.1に示します。

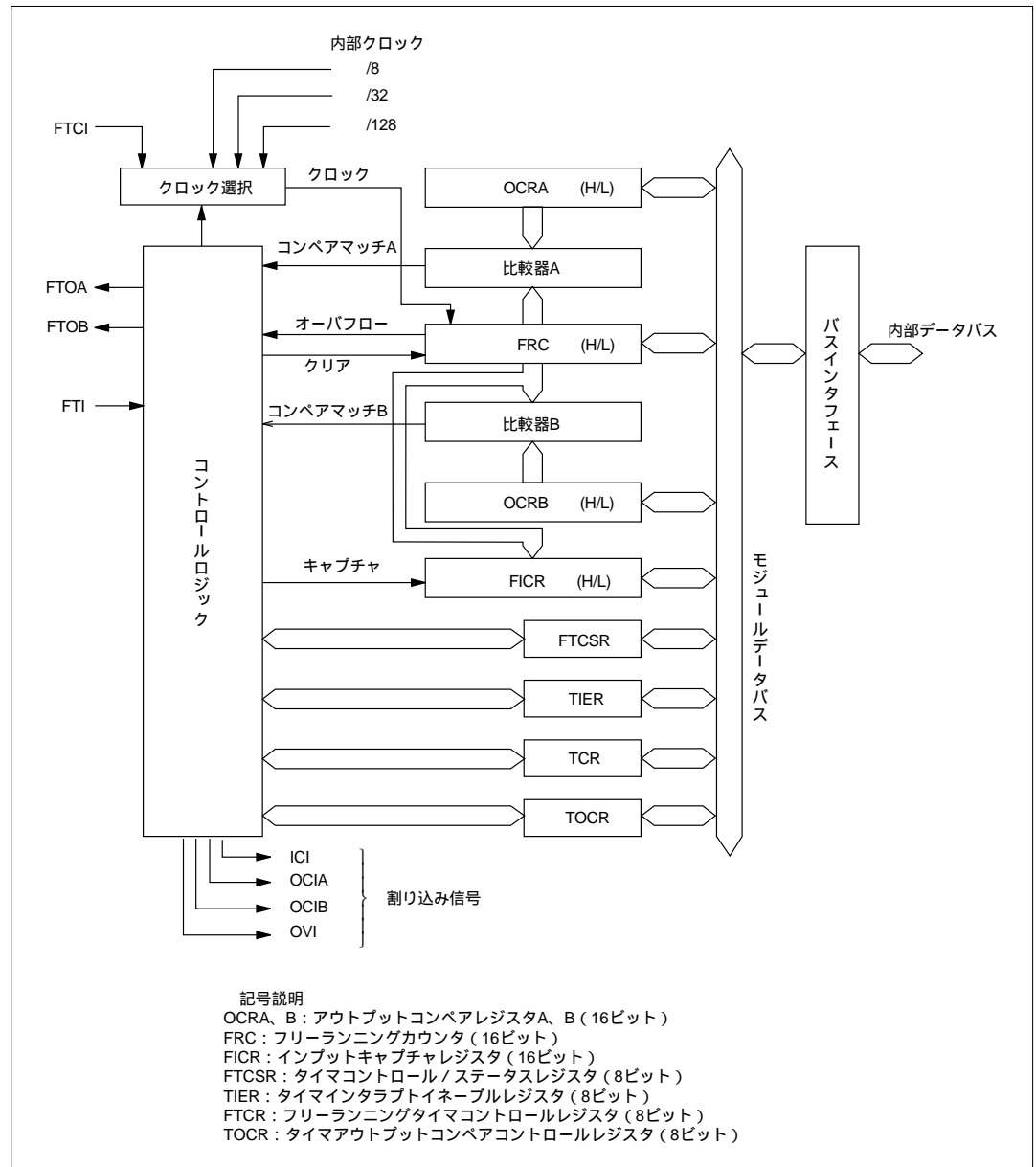


図 11.1 FRTのブロック図

11.1.3 端子構成

FRTの入出力端子を表 11.1 に示します。

表 11.1 端子構成

| 名 称 | 略称 | 入出力 | 機 能 |
|-------------------|------|-----|------------------|
| カウンタクロック入力端子 | FTCI | 入力 | FRCのカウンタクロックの入力 |
| アウトプットコンペア A 出力端子 | FTOA | 出力 | アウトプットコンペア A の出力 |
| アウトプットコンペア B 出力端子 | FTOB | 出力 | アウトプットコンペア B の出力 |
| インプットキャプチャの入力端子 | FTI | 入力 | インプットキャプチャの入力 |

11.1.4 レジスタ構成

FRTのレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

| 名 称 | 略 称 | R/W | 初期値 | アドレス |
|-----------------------------|--------|---------------------|------|--------------------------|
| タイムインタラプトイネーブルレジスタ | TIER | R/W | H'01 | H'FFFFFFE10 |
| フリーランニングタイムコントロール/ステータスレジスタ | FTCSR | R/(W)* ¹ | H'00 | H'FFFFFFE11 |
| フリーランニングカウンタ H | FRC H | R/W | H'00 | H'FFFFFFE12 |
| フリーランニングカウンタ L | FRC L | R/W | H'00 | H'FFFFFFE13 |
| アウトプットコンペアレジスタ A H | OCRA H | R/W | H'FF | H'FFFFFFE14 ² |
| アウトプットコンペアレジスタ A L | OCRA L | R/W | H'FF | H'FFFFFFE15 ² |
| アウトプットコンペアレジスタ B H | OCRB H | R/W | H'FF | H'FFFFFFE14 ² |
| アウトプットコンペアレジスタ B L | OCRB L | R/W | H'FF | H'FFFFFFE15 ² |
| タイマコントロールレジスタ | TCR | R/W | H'00 | H'FFFFFFE16 |
| タイマアウトプットコンペアコントロールレジスタ | TOCR | R/W | H'E0 | H'FFFFFFE17 |
| インプットキャプチャレジスタ H | FICR H | R | H'00 | H'FFFFFFE18 |
| インプットキャプチャレジスタ L | FICR L | R | H'00 | H'FFFFFFE19 |

- 【注】
- 1 ビット7~1 はリード専用で、フラグをクリアするための“0”書き込みのみ可能です。ビット0 は読み出し / 書き込み可能です。
 - 2 OCRA と OCRB のアドレスは同一です。これらの切り換えは TOCR の OCRS ビットで行います。
 - 3 レジスタはすべてバイトサイズでアクセスしてください。

11.2 各レジスタの説明

11.2.1 フリーランニングカウンタ (FRC)

| | | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

FRC は、16 ビットの読み出し / 書き込み可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TCR のクロックセレクト1、0 ビット (CKS1、0) で選択します。

また、FRC はコンペアマッチ A によりクリアすることができます。

FRC がオーバーフロー (H'FFFF H'0000) すると、FTCSR のオーバーフローフラグ (OVF) は1にセットされます。

FRC は、CPU から読み出し / 書き込み可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「11.3 CPU とのインタフェース」を参照してください。

FRC は、リセット、スタンバイモード、およびモジュールスタンバイ機能使用時に、H'0000 に初期化されます。

11.2.2 アウトプットコンペアレジスタ A、B (OCRA、B)

| | | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

OCR は、16 ビットの読み出し / 書き込み可能な2本のレジスタ (OCRA、B) から構成されます。OCR の内容は、FRC の値と常に比較されています。両者の値が一致すると、FTCSR のアウトプットコンペアフラグ (OCFA、B) が1にセットされます。

さらに、OCR の値と FRC の値が一致した (コンペアマッチ) とき、TOCR のアウトプットレベルビット (OLVLA、B) で設定された出力レベルの値が、アウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、B 出力は0出力です。

また、OCR は16ビットになっているため、CPU とのデータ転送は TEMP を介して行われます。詳細は、「11.3 CPU とのインタフェース」を参照してください。

OCR は、リセット、スタンバイモード、およびモジュールスタンバイ機能使用時に、H'FFFF に初期化されます。

11.2.3 インプットキャプチャレジスタ (FICR)

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

FICR は、16ビットのリード専用のレジスタから構成されます。

インプットキャプチャ信号 (FTI 端子) の立ち上がりまたは立ち下がりエッジが検出されると、そのときの FRC の値が ICR に転送されます。このとき同時に、FTCSR のインプットキャプチャフラグ (ICF) が 1 にセットされます。入力信号のエッジは、TCR のインプットエッジセレクトビット (IEDG) により選択できます。

ICR は 16ビットのため、CPU とのデータ転送は TEMP を介して行われます。詳細は「11.3 CPU とのインタフェース」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、6 システムクロック () 以上にしてください。

FICR は、リセット、スタンバイモード、およびモジュールスタンバイ機能使用時に、H'0000 に初期化されます。

11.2.4 タイマインタラプトイネーブルレジスタ (TIER)

| | | | | | | | | |
|------|------|---|---|---|-------|-------|------|---|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICIE | — | — | — | OCIAE | OCIBE | OVIE | — |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W: | R/W | — | — | — | R/W | R/W | R/W | — |

TIER は、8ビットの読み出し / 書き込み可能なレジスタで、各割り込み要求の許可を制御します。

TIER は、リセットスタンバイモード、またはモジュールスタンバイ機能使用時に、H'01 に初期化されます。

ビット7: インプットキャプチャインタラプトイネーブル (ICIE)

FTCSR のインプットキャプチャフラグ (ICF) が 1 にセットされたとき、ICF による割り込み要求 (ICI) の許可または禁止を選択します。

| ビット7 | 説明 |
|------|-------------------------------|
| ICIE | |
| 0 | ICF による割り込み要求 (ICI) を禁止 (初期値) |
| 1 | ICF による割り込み要求 (ICI) を許可 |

ビット6~4：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1は書き込まないでください。

ビット3：アウトプットコンペアインタラプトAイネーブル (OCIAE)

FTCSRのアウトプットコンペアフラグA (OCFA) が1にセットされたとき、OCFAによる割り込み要求 (OCIA) の許可または禁止を選択します。

| ビット3 | 説明 |
|-------|--------------------------------|
| OCIAE | |
| 0 | OCFAによる割り込み要求 (OCIA) を禁止 (初期値) |
| 1 | OCFAによる割り込み要求 (OCIA) を許可 |

ビット2：アウトプットコンペアインタラプトBイネーブル (OCIBE)

FTCSRのアウトプットコンペアフラグB (OCFB) が1にセットされたとき、OCFBによる割り込み要求 (OCIB) の許可または禁止を選択します。

| ビット2 | 説明 |
|-------|--------------------------------|
| OCIBE | |
| 0 | OCFBによる割り込み要求 (OCIB) を禁止 (初期値) |
| 1 | OCFBによる割り込み要求 (OCIB) を許可 |

ビット1：タイマオーバフローインタラプトイネーブル (OVIE)

FTCSRのオーバフローフラグ (OVF) が1にセットされたとき、OVFによる割り込み要求 (OVI) の許可または禁止を選択します。

| ビット1 | 説明 |
|------|------------------------------|
| OVIE | |
| 0 | OVFによる割り込み要求 (OVI) を禁止 (初期値) |
| 1 | OVFによる割り込み要求 (OVI) を許可 |

ビット0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

11.2.5 フリーランニングタイムコントロール/ステータレジスタ (FTCSR)

| | | | | | | | | |
|------|--------|---|---|---|--------|--------|--------|-------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | ICF | — | — | — | OCFA | OCFB | OVF | CCLRA |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/(W)* | — | — | — | R/(W)* | R/(W)* | R/(W)* | R/W |

【注】 ビット7、3~1はフラグをクリアするための0ライトのみ可能です。

FTCSRは、8ビットのレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行います。

FTCSRは、リセット、スタンバイモード、およびモジュールスタンバイ機能使用時に、H'00に初期化されます。

なお、タイミングについては「11.4 動作説明」を参照してください。

ビット7: インプットキャプチャフラグ (ICF)

インプットキャプチャ信号によって、FRCの値がFICRに転送されたことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

| ビット7 | 説明 |
|------|----------------------------------------------------|
| ICF | |
| 0 | 〔クリア条件〕 (初期値) ICF=1の状態、ICFを読み出した後、ICFに0を書き込んだとき |
| 1 | 〔セット条件〕 インプットキャプチャ信号により、FRCの値がFICRに転送されたとき |

ビット6~4: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3: アウトプットコンペアフラグA (OCFA)

FRCとOCRAの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

11. 16ビットフリーランニングタイム (FRT)

| ビット3 | 説明 |
|------|-------------------------------------------------------|
| OCFA | |
| 0 | 〔クリア条件〕 (初期値) OCFA=1の状態、OCFAを読み出した後、OCFAに0を書き込んだとき |
| 1 | 〔セット条件〕 FRC=OCRAになったとき |

ビット2：アウトプットコンペアフラグB (OCFB)

FRCとOCRBの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

| ビット2 | 説明 |
|------|-------------------------------------------------------|
| OCFB | |
| 0 | 〔クリア条件〕 (初期値) OCFB=1の状態、OCFBを読み出した後、OCFBに0を書き込んだとき |
| 1 | 〔セット条件〕 FRC=OCRBになったとき |

ビット1：タイマオーバフロー (OVF)

FRCがオーバフロー (H'FFFF H'0000) したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

| ビット1 | 説明 |
|------|----------------------------------------------------|
| OVF | |
| 0 | 〔クリア条件〕 (初期値) OVF=1の状態、OVFを読み出した後、OVFに0を書き込んだとき |
| 1 | 〔セット条件〕 FRCの値が、H'FFFF H'0000になったとき |

ビット0：カウンタクリアA (CCLRA)

コンペアマッチA (FRCとOCRAの一致信号) により、FRCをクリアするか、しないかを選択します。

| ビット0 | 説明 |
|-------|--------------------|
| CCLRA | |
| 0 | FRCのクリアを禁止 (初期値) |
| 1 | コンペアマッチAによりFRCをクリア |

11.2.6 タイマコントロールレジスタ (TCR)

| | | | | | | | | |
|------|-------|-----|-----|-----|-----|-----|------|------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | IEDGA | — | — | — | — | — | CKS1 | CKS0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

TCRは、8ビットの読み出し/書き込み可能なレジスタです。インプットキャプチャ入力エッジの選択、FRCの入力クロックの選択を行います。

TCRは、リセット、スタンバイモード、またはモジュールスタンバイ機能使用時に、H'00に初期化されます。

ビット7: インプットエッジセレクト (IEDG)

インプットキャプチャ入力 (FTI) の立ち上がりエッジまたは立ち下がりエッジを選択します。

| ビット7 | 説明 |
|------|-----------------------------------------------------|
| IEDG | |
| 0 | インプットキャプチャ入力の立ち下がりエッジ (\downarrow) でキャプチャ (初期値) |
| 1 | インプットキャプチャ入力の立ち上がりエッジ (\uparrow) でキャプチャ |

ビット6~2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1は書き込まないでください。

ビット1、0: クロックセレクト (CKS1、0)

FRCに入力するクロックを、内部クロック3種類または外部クロックから選択します。外部クロックは、立ち上がりエッジでカウントします。

| ビット1 | ビット0 | 説明 |
|------|------|---------------------------------------|
| CKS1 | CKS0 | |
| 0 | 0 | 内部クロック: / 8でカウント (初期値) |
| 0 | 1 | 内部クロック: / 32でカウント |
| 1 | 0 | 内部クロック: / 128でカウント |
| 1 | 1 | 内部クロック: 立ち上がりエッジ (\uparrow) でカウント |

11.2.7 タイマアウトプットコンペアコントロールレジスタ (TOCR)

| | | | | | | | | |
|------|---|---|---|------|-----|-----|-------|-------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | — | — | — | OCRS | — | — | OLVLA | OLVLB |
| 初期値: | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| R/W: | — | — | — | R/W | R/W | R/W | R/W | R/W |

TOCR は、8 ビットの読み出し / 書き込み可能なレジスタです。アウトプットコンペア出力レベルの選択、およびアウトプットコンペアレジスタ A、B のアクセスの切り換え制御を行います。

TOCR は、リセット、スタンバイモード、およびモジュールスタンバイ機能使用時に、H'E0 に初期化されます。

ビット7~5: 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。0は書き込まないでください。

ビット4: アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS ビットは、このアドレスを読み出し / 書き込みする時にどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には、影響を与えません。

| ビット4 | 説明 |
|------|--------------------|
| OCRS | |
| 0 | OCRA レジスタを選択 (初期値) |
| 1 | OCRB レジスタを選択 |

ビット3、2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1は書き込まないでください。

ビット1: アウトプットレベルA (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプットコンペア A 出力端子に出力する出力レベルを選択します。

| ビット1 | 説明 |
|-------|--------------------------|
| OLVLA | |
| 0 | コンペアマッチ A により 0 出力 (初期値) |
| 1 | コンペアマッチ A により 1 出力 |

ビット0 : アウトプットレベルB (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプットコンペア B 出力端子に出力する出力レベルを選択します。

| ビット0 | 説明 |
|-------|--------------------------|
| OLVLB | |
| 0 | コンペアマッチ B により 0 出力 (初期値) |
| 1 | コンペアマッチ B により 1 出力 |

11.3 CPU とのインタフェース

FRC、OCRA、OCRB、FICR は、16 ビットのレジスタです。一方、CPU と FRT の間のデータバスは 8 ビット幅です。したがって、CPU がこれら 3 種類のレジスタをアクセスするには、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

各レジスタの読み出し / 書き込みは次のような動作で行われます。

- ・ レジスタへの書き込み時の動作
上位バイトの書き込みにより、上位バイトのデータが TEMP にストアされます。次に下位バイトの書き込みで、TEMP にある上位バイトの値とあわせて、16 ビットデータとしてレジスタに書き込みされます。
- ・ レジスタからの読み出し時の動作
上位バイトの読み出しで、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトの読み出しで、TEMP にある下位バイトの値が CPU に転送されます。

これら 3 種類のレジスタをアクセスするときは、常にバイトアクセスを 2 回で行い、かつ上位バイト、下位バイトの順序で行ってください。内蔵ダイレクトメモリアクセスコントローラでのアクセスも同様です。上位バイトのみや、下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。

図 11.2 に FRC をアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。ただし、OCRA、B の読み出し時には、上位バイト、下位バイトとも TEMP を介さずに直接 CPU にデータを転送します。また、バイト単位で読み出したデータをワード単位で扱う場合のプログラム例を次に示します。

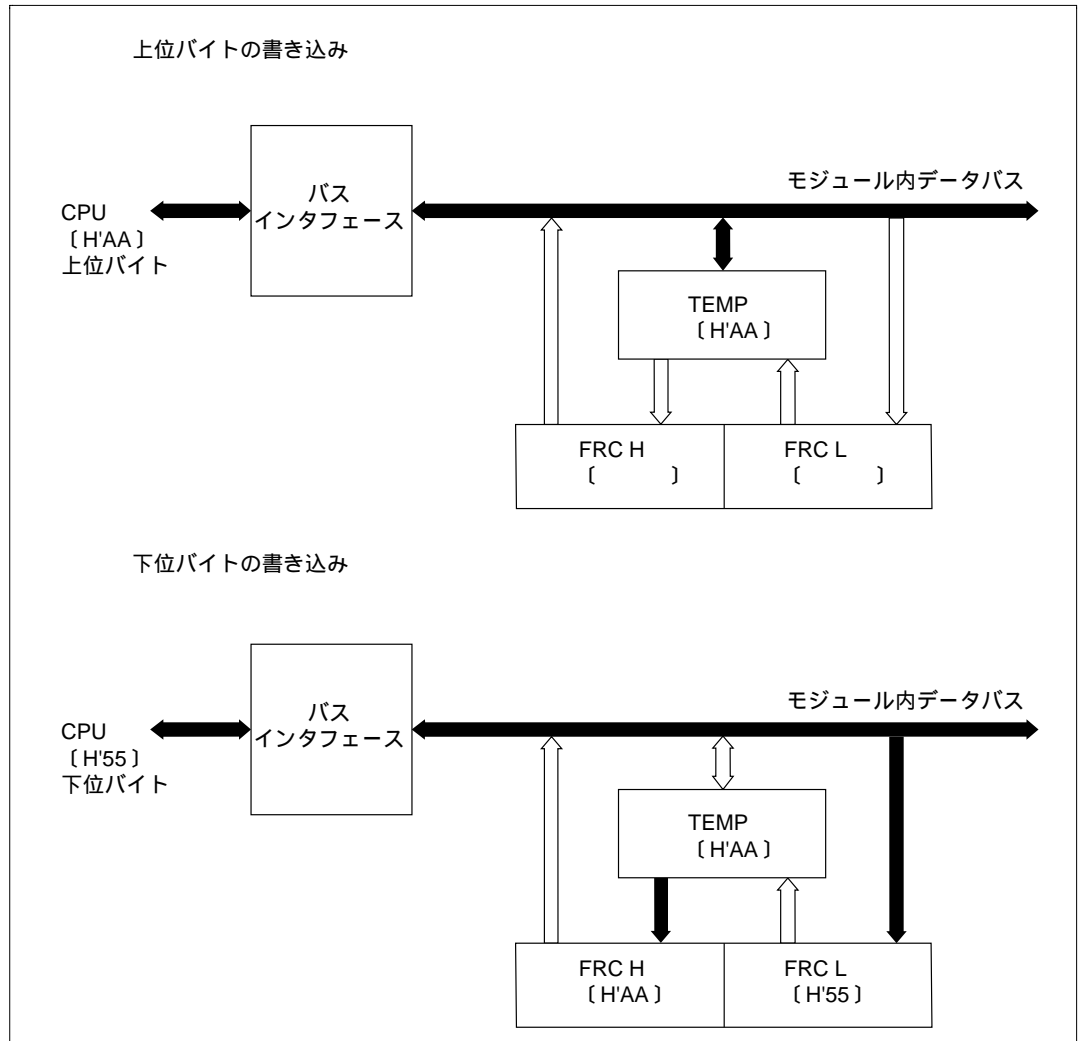


図 11.2 (a) FRC のアクセス動作 (CPU FRC [H'AA55] 書き込み時)

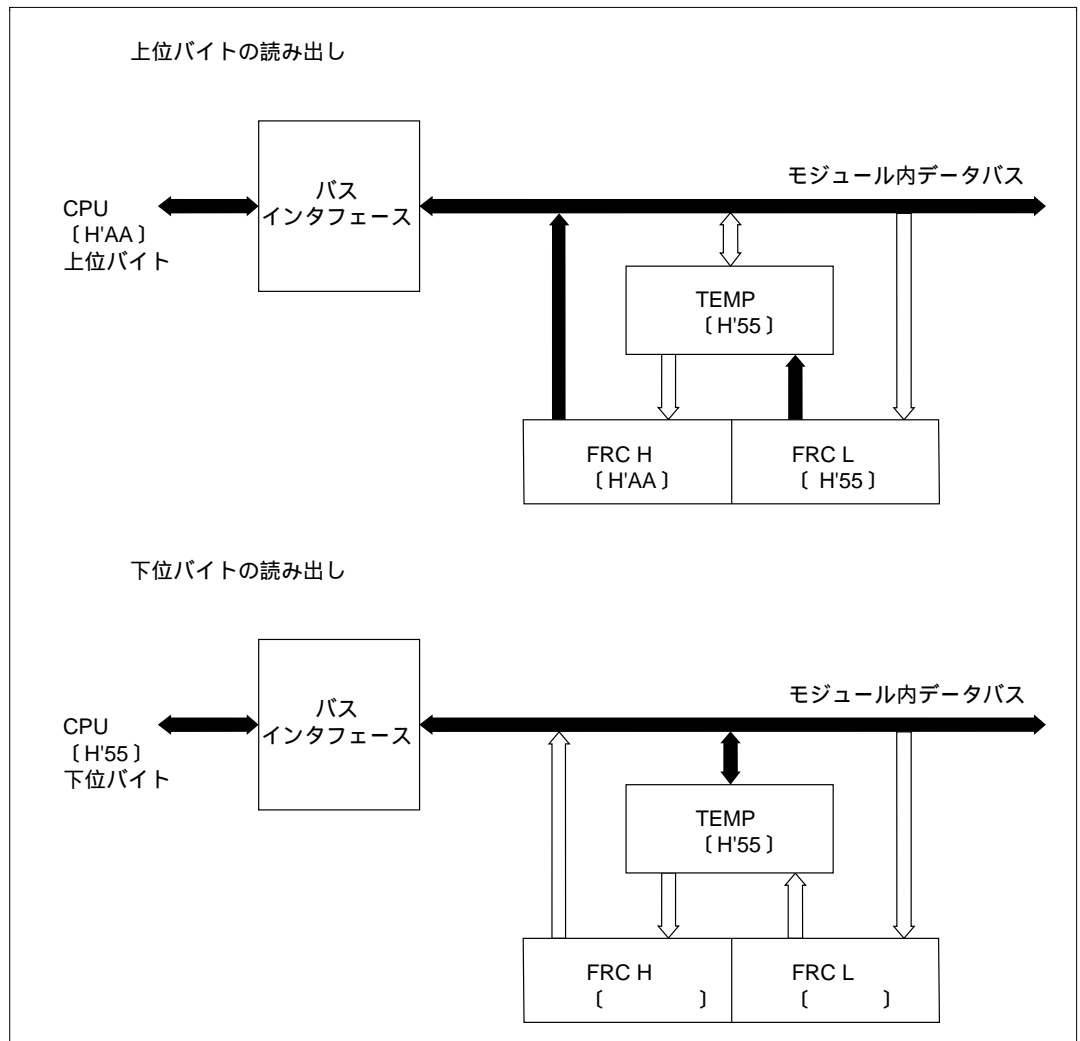


図 11.2 (b) FRC のアクセス動作 (FRC CPU [H'AA55] 読み出し時)

11.4 動作説明

11.4.1 FRCのカウンタタイミング

FRCは、入力されたクロック(内部クロックまたは外部クロック)によりカウントアップされます。

(1) 内部クロック動作の場合

TCRのCKS1、0ビットの設定により、システムクロック()を分周して作られる3種類の内部クロック(/8、 /32、 /128)が選択されます。このときのタイミングを図11.3に示します。

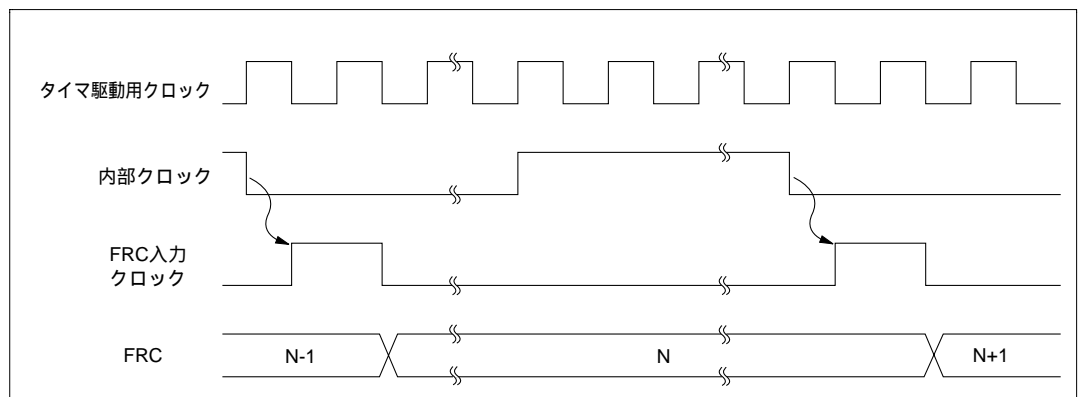


図 11.3 内部クロック動作時のカウンタタイミング

(2) 外部クロック動作の場合

TCRのCKS1、0ビットの設定により、外部クロック入力を選択されます。外部クロックは立ち上がりエッジでカウントします。なお、外部クロックのパルス幅は、6システムクロック()以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図11.4に示します。

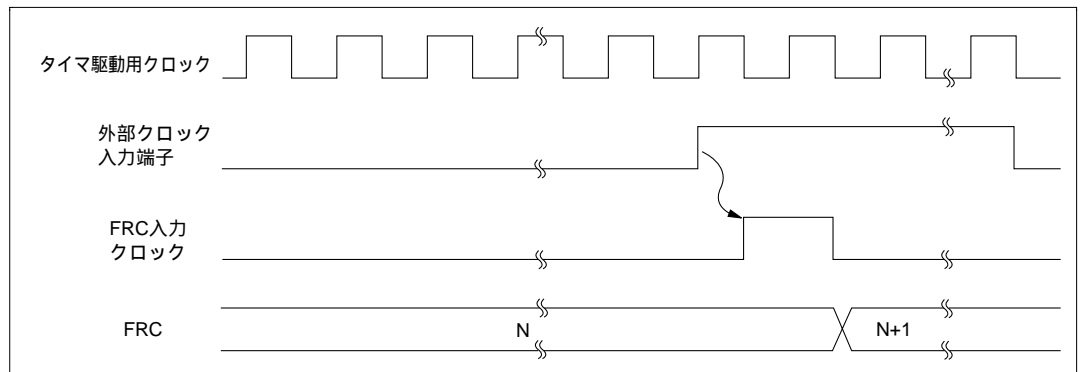
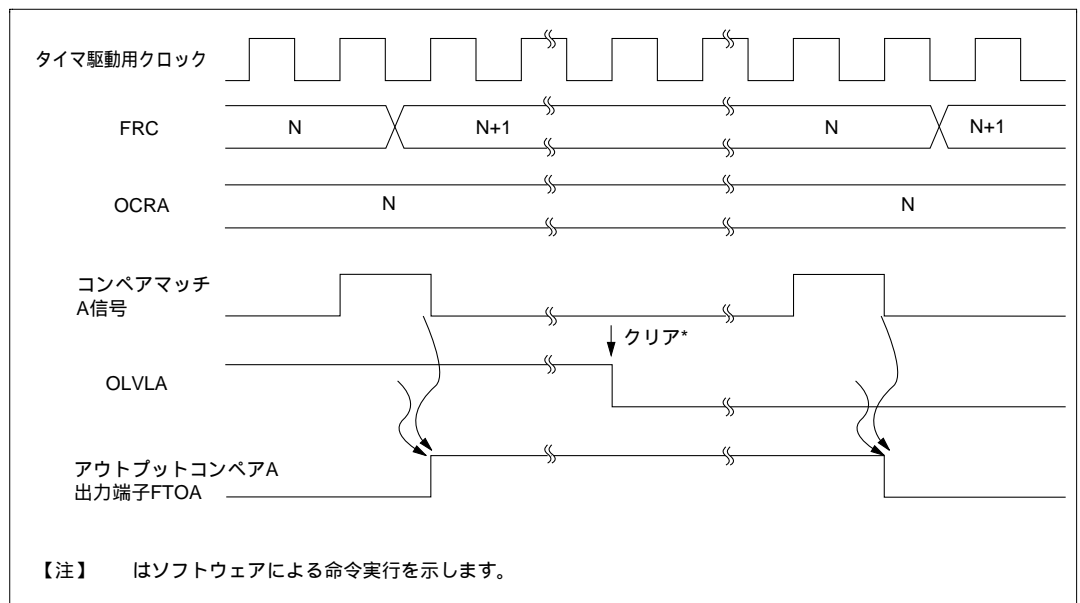


図 11.4 外部クロック動作時のカウントタイミング

11.4.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCR の OLVL ビットで設定された出力レベルがアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。図 11.5 にアウトプットコンペア A の場合の出力タイミングを示します。



【注】 ↓ クリア* はソフトウェアによる命令実行を示します。

図 11.5 アウトプットコンペア A 出力タイミング

11.4.3 FRC クリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このタイミングを図 11.6 に示します。

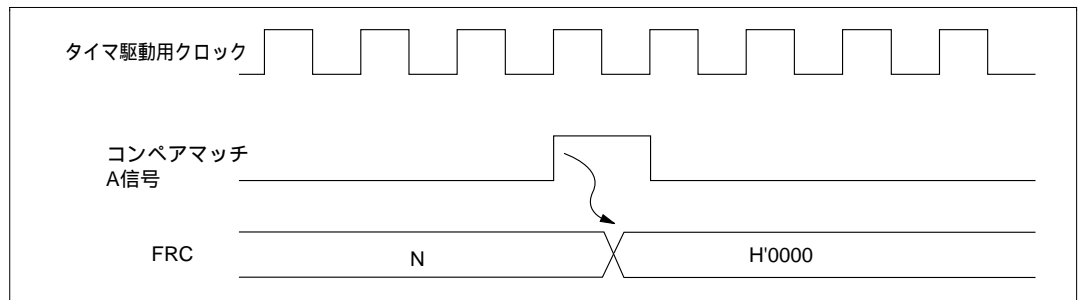


図 11.6 コンペアマッチ A によるクリアタイミング

11.4.4 インプットキャプチャ入力タイミング

(1) インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TCR の IEDG ビットで立ち上がりエッジ / 立ち下がりエッジを選択します。立ち上がりエッジを選択した (IEDG = 1) 場合のタイミングを図 11.7 に示します。

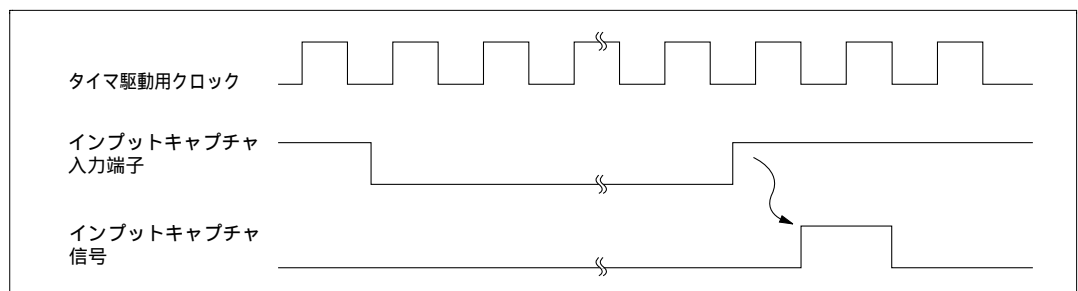


図 11.7 インプットキャプチャ信号タイミング (通常時)

また、FICR の読み出し (上位バイトの読み出し) 時に、インプットキャプチャ信号を入力すると、インプットキャプチャ信号はタイマ駆動用クロックの 1 クロック分遅延されます。このタイミングを図 11.8 に示します。

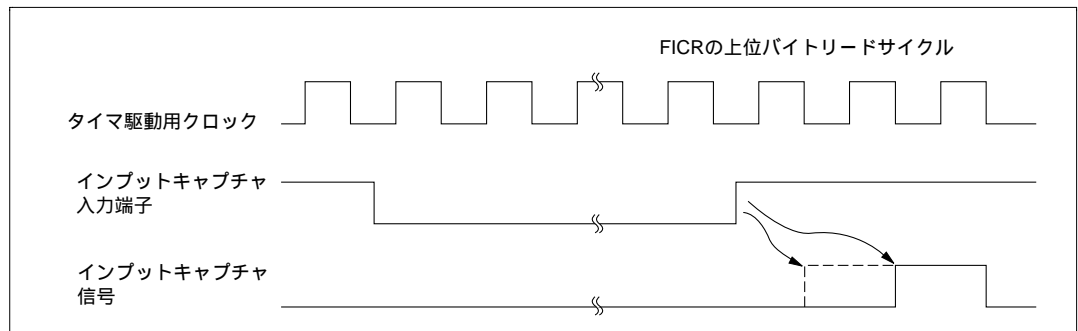


図 11.8 インプットキャプチャ信号タイミング
(FICRの読み出し時に、インプットキャプチャ入力を入力した場合)

11.4.5 インプットキャプチャフラグ (ICF) のセットタイミング

インプットキャプチャ入力によりICFは1にセットされ、同時にFRCの値がFICRに転送されます。このタイミングを図11.9に示します。

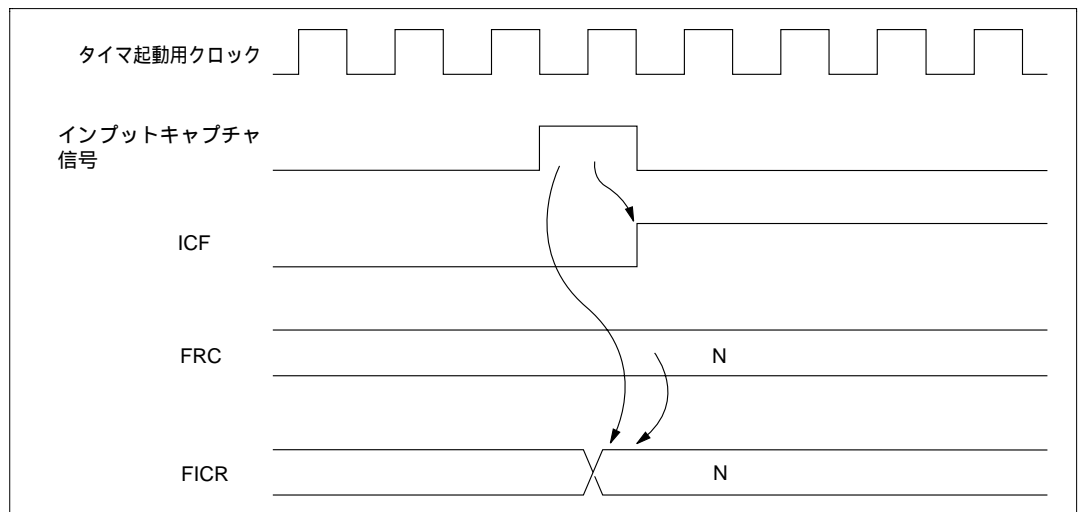


図 11.9 ICFのセットタイミング

11.4.6 アウトプットコンペアフラグ (OCFA、B) のセットタイミング

OCFA、B は、OCRA、B と FRC の値が一致したとき出力されるコンペアマッチ信号により、1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、B が一致した後、カウントアップロックが発生するまでコンペアマッチ信号は発生しません。OCFA、B のセットタイミングを図 11.10 に示します。

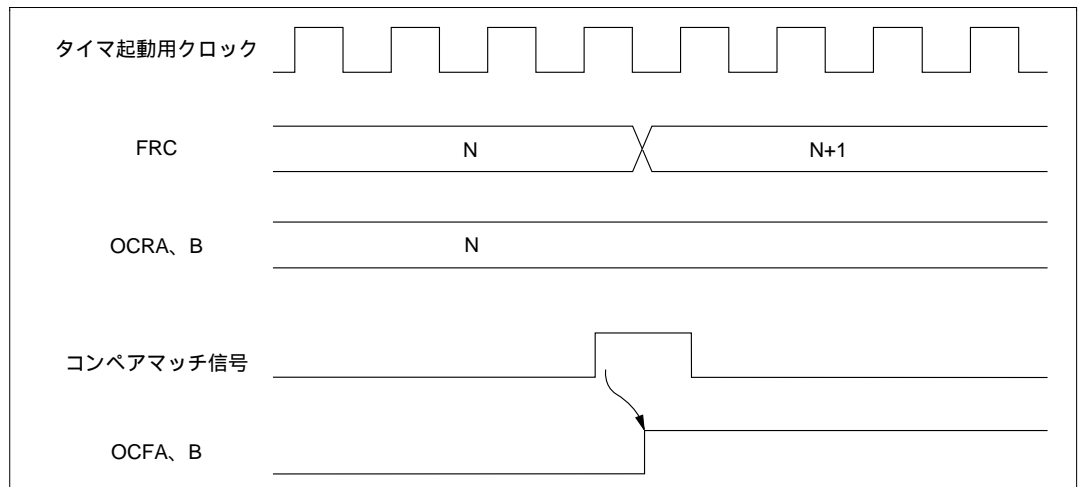


図 11.10 OCF セットタイミング

11.4.7 タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバフロー (H'FFFF H'0000) したとき 1 にセットされます。このときのタイミングを図 11.11 に示します。

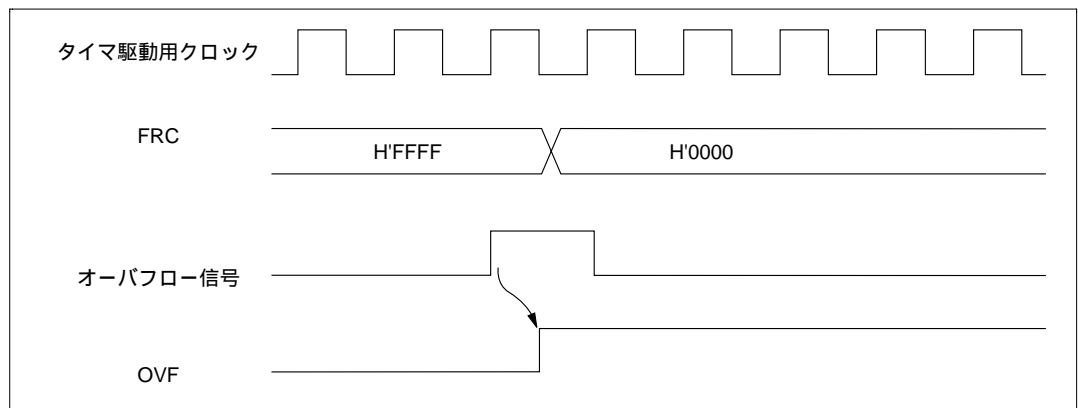


図 11.11 OVF のセットタイミング

11.5 割り込み要因

FRT 割り込み要因は、ICI、OCIA、OCIB および OVI の 3 種類合計 4 つあります。表 11.3 に各割り込み要因とリセット解除時の優先順位を示します。各割り込み要因は、TIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。優先順位、FRT 以外の割り込みとの関係は、「4. 例外処理」を参照してください。

表 11.3 FRT 割り込み要因

| 割り込み要因 | 内 容 | 割り込み優先順位 |
|--------|-----------------------|----------|
| ICI | ICF による割り込み | 高 |
| OCIA、B | OCFA または OCFB による割り込み | |
| OVI | OVF による割り込み | 低 |

11.6 FRTの使用例

デューティ50%のパルスを任意の位相差で出力させた例を図11.12に示します。これは次に示すように設定します。

FTCSRのCCLRAビットを1にセットします。

各コンペアマッチが発生するたびにOLVLA、Bビットをソフトウェアにより反転させます。

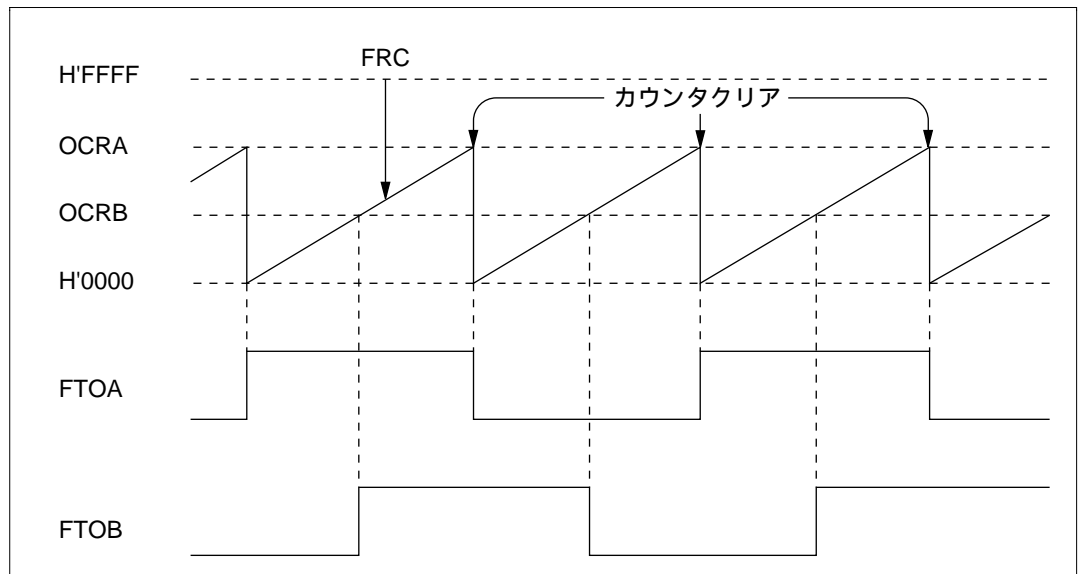


図 11.12 パルス出力例

11.7 使用上の注意

FRTの動作中、次のような競合や動作が起こりますので、注意してください。

- (1) FRCは、システムクロック()の4倍の周期をもった、タイマ駆動用クロック(/4)で動作しています。このため、CPUがアクセスする時に、CPUとFRTの動作状態を合わせるため、FRTからCPUに対してWAIT要求を発生します。よって、アクセスサイクル数が、その時の状態により3~12ステートの間で変化します。
- (2) FRCのライトとクリアの競合
FRCの下位バイトライトサイクル中の図11.13に示すタイミングで、カウンタクリア信号が発生すると、FRCへの書き込みは行われずFRCのクリアが優先されます。

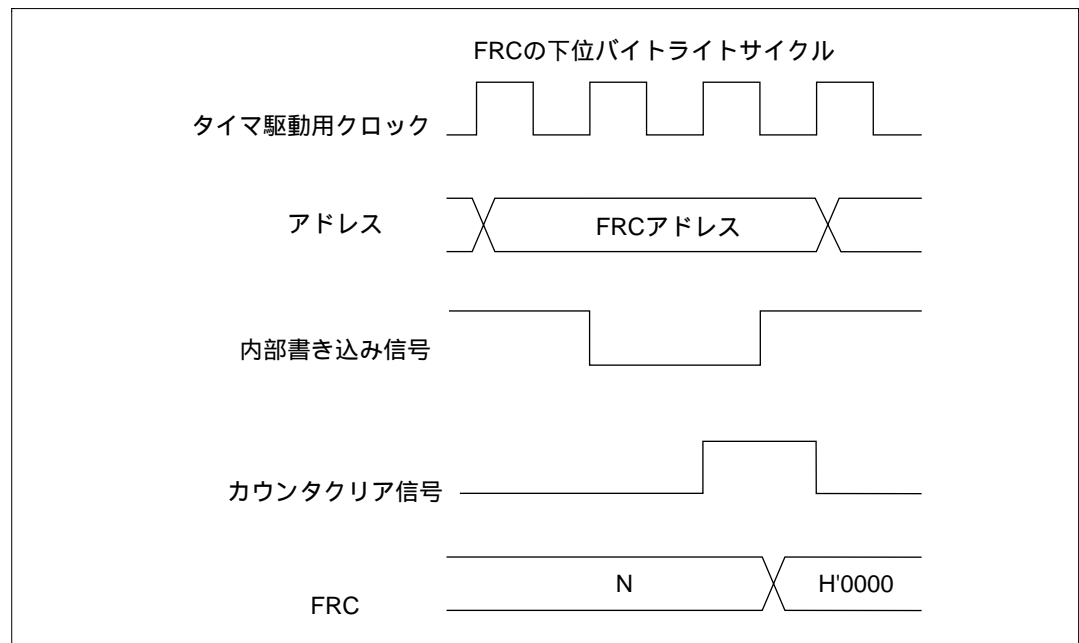


図 11.13 FRC のライトとクリアの競合

- (3) FRCのライトとカウントアップの競合
FRCの下位バイトライトサイクル中の図11.14に示すタイミングでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

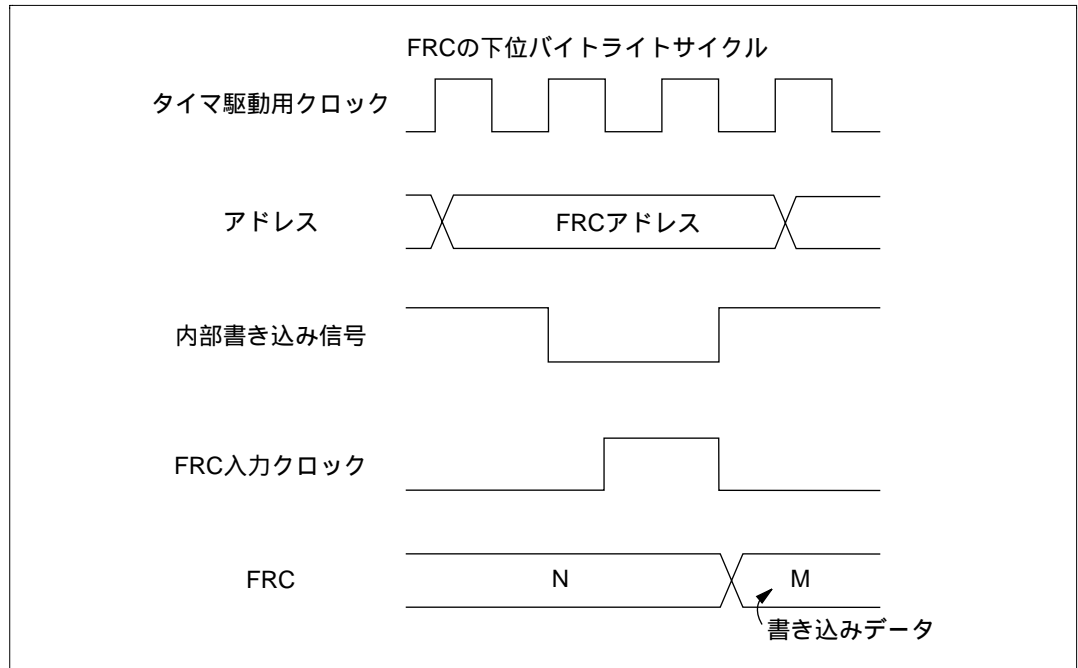


図 11.14 FRC ライトとカウントアップの競合

(4) OCR のライトとコンペアマッチの競合

OCRA、B の下位バイトライトサイクル中の図 11.15 に示すタイミングでコンペアマッチが発生した場合、OCR ライトが優先され、コンペアマッチ信号は禁止されます。

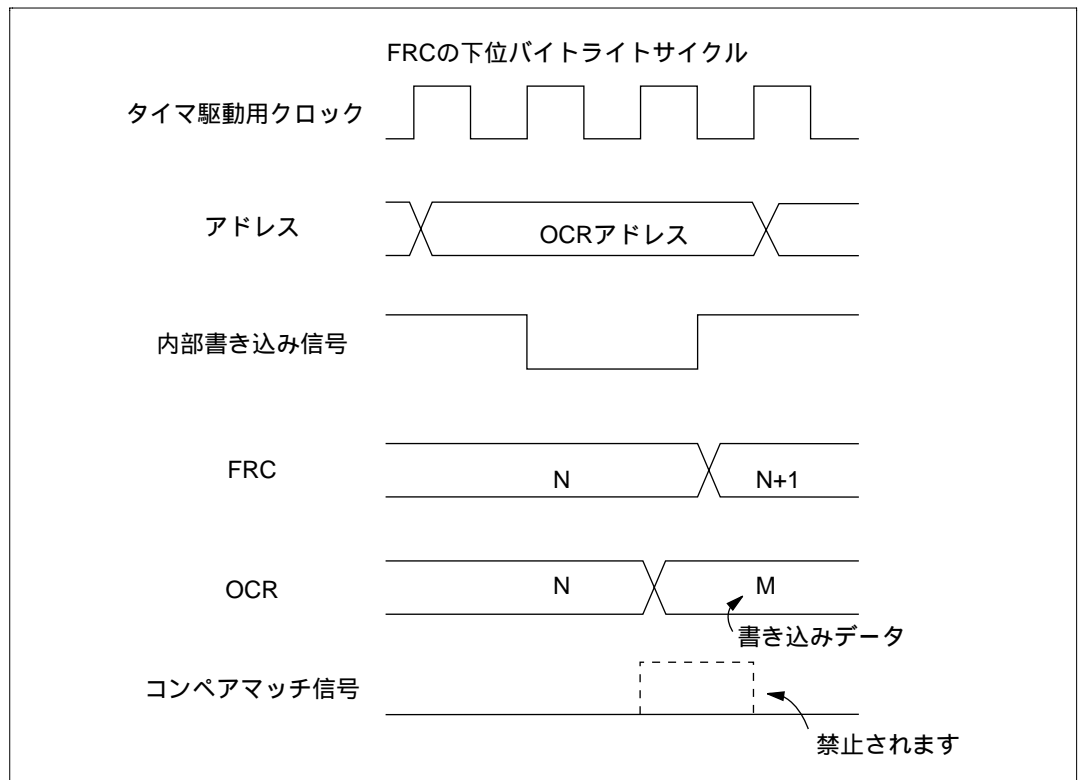


図 11.15 OCR とコンペアマッチの競合

(5) 内部クロックの切り換えとカウンタの動作

内部クロックを切り換えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り換えタイミング (CKS1、0 ビットの書き換え) と FRC 動作の関係を表 11.4 に示します。

内部クロックを使用する場合、システムクロック () を分周した内部クロック立ち下がりエッジで検出して FRC クロックを発生しています。そのため表 11.4 の No.3 のように、切り換え前のクロックがハイレベル、切り換え後のクロックがローレベルになるようなクロックの切り換えを行うと、切り換えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、FRC がカウントアップされることがあります。

表 11.4 内部クロックの切り換えと FRC 動作 (1)

| No. | CKS1、0 ビット書き換え タイミング | FRC 動作 |
|-----|-------------------------|----------------------------------------------------------------------------------------------------|
| 1 | ロー ロー レベルの切り換え | <p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1</p> <p>CKSビットの書き換え</p> |
| 2 | ロー ハイ レベルの切り換え | <p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKSビットの書き換え</p> |

表 11.4 内部クロックの切り換えとFRC動作 (2)

| No. | CKS1、0ビット書き換え タイミング | FRC動作 |
|-----|------------------------|----------------------------------------------------------------------------------|
| 3 | ハイ ロー レベルの切り換え | <p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRCクロック</p> <p>FRC</p> <p>CKSビットの書き換え</p> |
| 4 | ハイ ハイ レベルの切り換え | <p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRCクロック</p> <p>FRC</p> <p>CKSビットの書き換え</p> |

【注】 切り換えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされてしまいます。

(6) タイマ出力 (FTOA、FTOB)

電源立ち上げ時のリセット中、発振が安定するまで、タイマ出力 (FTOA、FTOB) は不安です。発振安定時間が経過したとき、初期値を出力します。

12. ウォッチドッグタイマ (WDT)

第12章 目次

| | | |
|--------|---------------------------------------------------|-----|
| 12.1 | 概要 | 363 |
| 12.1.1 | 特長 | 363 |
| 12.1.2 | ブロック図 | 364 |
| 12.1.3 | 端子構成 | 364 |
| 12.1.4 | レジスタ構成 | 365 |
| 12.2 | レジスタの説明 | 366 |
| 12.2.1 | ウォッチドッグタイマカウンタ (WTCNT) | 366 |
| 12.2.2 | ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) | 366 |
| 12.2.3 | リセットコントロール/ステータスレジスタ (RSTCSR) | 369 |
| 12.2.4 | レジスタアクセス時の注意 | 371 |
| 12.3 | 動作説明 | 373 |
| 12.3.1 | ウォッチドッグタイマモード時の動作 | 373 |
| 12.3.2 | インターバルタイマモード時の動作 | 375 |
| 12.3.3 | スタンバイモード解除時の動作 | 375 |
| 12.3.4 | オーバフローフラグ (OVF) のセットタイミング | 376 |
| 12.3.5 | ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング | 377 |
| 12.4 | 使用上の注意 | 378 |
| 12.4.1 | ウォッチドッグタイマカウンタ (WTCNT) の書き込みと カウントアップの競合 | 378 |
| 12.4.2 | CKS2~CKS0 ビットの書き換え | 378 |
| 12.4.3 | ウォッチドッグタイマモードとインターバルタイマモードの 切り換え | 378 |
| 12.4.4 | $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット | 379 |
| 12.4.5 | ウォッチドッグタイマモードでの内部リセット | 379 |

12.1 概要

ウォッチドッグタイマ (WDT) は 1 チャンネルのタイマで、システムの監視を行うことができます。WDT は、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。また、WDT はスタンバイモードの解除時、クロック周波数変更時、クロックポーズモード時にも使用されます。

12.1.1 特長

WDT には次のような特長があります。

- ・ ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ・ ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- ・ インターバルタイマモード時、割り込みを発生
カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。
- ・ スタンバイモードの解除時、クロック周波数変更時、クロックポーズモード時に使用
- ・ 8 種類のカウンタ入力クロックを選択可能

12.1.2 ブロック図

WDTのブロック図を図12.1に示します。

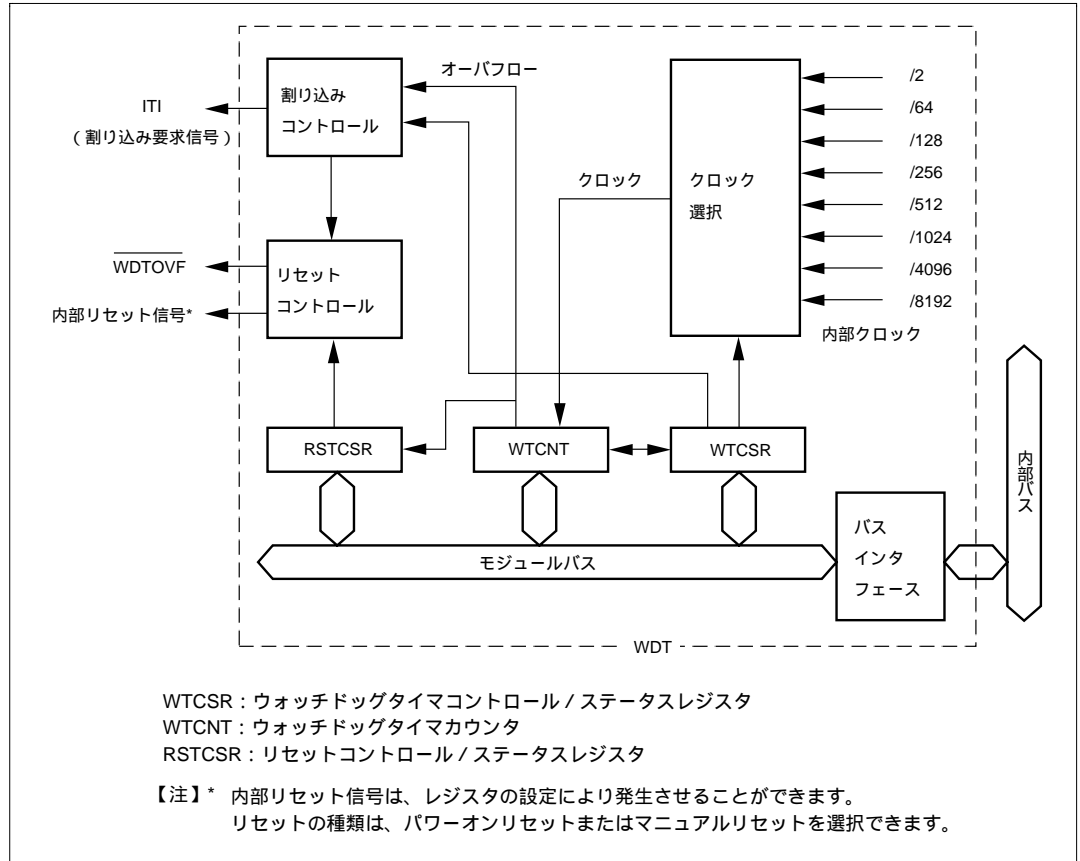


図 12.1 WDT のブロック図

12.1.3 端子構成

WDTの端子を表12.1に示します。

表 12.1 端子構成

| 名称 | 略称 | 入出力 | 機能 |
|-----------------------|--------|-----|------------------------------------|
| ウォッチドッグタイマ オーバーフロー | WDTOVF | 出力 | ウォッチドッグタイマモード時の カウンタオーバーフロー信号出力 |

12.1.4 レジスタ構成

WDT には、表 12.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り換え、リセット信号の制御などを行います。

表 12.2 レジスタ構成

| 名称 | 略称 | R/W | 初期値 | アドレス | |
|--------------------------------|--------|---------------------|------|--------------------|--------------------|
| | | | | 書き込み ^{*1} | 読み出し ^{*2} |
| ウォッチドッグタイマコントロール/ ステータスレジスタ | WTCSR | R/(W) ^{*3} | H'18 | H'FFFFFFE80 | H'FFFFFFE80 |
| ウォッチドッグタイマカウンタ | WTCNT | R/W | H'00 | | H'FFFFFFE81 |
| リセットコントロール/ステータスレジスタ | RSTCSR | R/(W) ^{*3} | H'1F | H'FFFFFFE82 | H'FFFFFFE83 |

【注】 *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。

*3 ビット 7 には、フラグをクリアするために、0 のみ書き込むことができます。

12.2 レジスタの説明

12.2.1 ウォッチドッグタイマカウンタ (WTCNT)

| | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | | | | | | | | |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ウォッチドッグタイマカウンタ (WTCNT) は、読み出し / 書き込み可能な*8ビットのアップカウンタです。ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) のタイムイネーブルビット (TME) を1にすると、WTCSRのCKS2~CKS0ビットで選択した内部クロックにより、WTCNTはカウントアップを開始します。WTCNTの値がオーバーフロー (H'FF H'00) すると、WTCSRのWT/ITビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 ($\overline{\text{WDTOVF}}$) またはインターバルタイマ割り込み (ITI) が発生します。

WTCNTは、リセットまたはTMEビットが0のとき、H'00に初期化されます。スタンバイモード時、クロック周波数変更時、クロックポーズモード時には初期化されません。

【注】* WTCNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

12.2.2 ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR)

| | | | | | | | | |
|------|--------|-------|-----|---|---|------|------|------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | OVF | WT/IT | TME | | | CKS2 | CKS1 | CKS0 |
| 初期値: | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| R/W: | R/(W)* | R/W | R/W | | | R/W | R/W | R/W |

ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、読み出し/書き込み可能な*8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) に入力するクロック、モードの選択などを行います。

ビット 7~5 は、リセットおよびスタンバイモード時、クロック周波数変更時、クロックポーズモード時に 000 に初期化されます。ビット 2~0 は、リセットで 000 に初期化されますが、スタンバイモード時、クロック周波数変更時、クロックポーズモード時には初期化されません。

【注】 * WTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7 : オーバフローフラグ (OVF)

インターバルタイマモードで、WTCNT がオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

| ビット 7 | 説明 |
|-------|------------------------------------------------------------------------|
| OVF | |
| 0 | インターバルタイマモードで WTCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む |
| 1 | インターバルタイマモードで WTCNT のオーバフロー発生 |

ビット6 : タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、WTCNT がオーバーフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 $\overline{\text{WDTOVF}}$ 信号が発生するかが決まります。

| ビット6 | 説明 |
|-------|-------------------------------------------------------------------------|
| WT/IT | |
| 0 | インターバルタイマモード : WTCNT がオーバーフローしたとき CPU へインターバルタイマ割り込み (ITI) を要求 (初期値) |
| 1 | ウォッチドッグタイマモード : WTCNT がオーバーフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力* |

【注】 * ウォッチドッグタイマモードのとき、WTCNT がオーバーフローした場合についての詳細は「12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5 : タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

| ビット5 | 説明 |
|------|------------------------------------------------------------------------------------------|
| TME | |
| 0 | タイマディスエーブル : WTCNT を H'00 に初期化し、カウントアップを停止 (初期値) |
| 1 | タイマイネーブル : WTCNT はカウントアップを開始。WTCNT がオーバーフローすると、 $\overline{\text{WDTOVF}}$ 信号または割り込みが発生。 |

ビット4、3 : 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

システムクロック () を分周して得られる8種類の内部クロックから、WTCNTに入力するクロックを選択します。

| ビット2 | ビット1 | ビット0 | 説明 | |
|------|------|------|----------|---------------------------|
| CKS2 | CKS1 | CKS0 | クロック | オーバーフロー周期* (=28.7MHzの場合) |
| 0 | 0 | 0 | /2 (初期値) | 17.8 μs |
| | | 1 | /64 | 570.8 μs |
| | 1 | 0 | /128 | 1.1 ms |
| | | 1 | /256 | 2.2 ms |
| 1 | 0 | 0 | /512 | 4.5 ms |
| | | 1 | /1024 | 9.1 ms |
| | 1 | 0 | /4096 | 36.5 ms |
| | | 1 | /8192 | 73.0 ms |

【注】 * オーバーフロー周期は、WTCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

| | | | | | | | | |
|------|--------|------|------|---|---|---|---|---|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | WOVF | RSTE | RSTS | | | | | |
| 初期値: | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| R/W: | R/(W)* | R/W | R/W | | | | | |

【注】 * ビット7には、フラグをクリアするために、0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な*8ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSRは、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDTのオーバーフローによる内部リセット信号では初期化されません。スタンバイモード時、クロック周波数変更時、クロックポーズモード時には、H'1F に初期化されます。

【注】 * RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、WTCNT がオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

| ビット7 | 説明 |
|------|--------------------------------------------------------------------------|
| WOVF | |
| 0 | ウォッチドッグタイマモードでWTCNTのオーバフローなし (初期値) [クリア条件] WOVFを読み出してからWOVFに0を書き込む |
| 1 | ウォッチドッグタイマモードでWTCNTのオーバフロー発生 |

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードでWTCNTがオーバフローしたとき、本LSI内部をリセットする信号を発生するかどうかを選択します。

| ビット6 | 説明 |
|------|-----------------------------------|
| RSTE | |
| 0 | WTCNTがオーバフローしたとき、内部リセットしない* (初期値) |
| 1 | WTCNTがオーバフローしたとき、内部リセットする |

【注】 本LSI内部はリセットされませんが、WDT内のWTCNT、WTCSRはリセットされます。

ビット5：リセットセレクト (RSTS)

ウォッチドッグタイマモードでWTCNTがオーバフローして発生する内部リセットの種類を選択します。

| ビット5 | 説明 |
|------|-----------------|
| RSTS | |
| 0 | パワーオンリセット (初期値) |
| 1 | マニュアルリセット |

ビット4～0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

12.2.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出し/書き込みを行ってください。

(1) WTCNT、WTCSR への書き込み

WTCNT、WTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では、書き込めません。

書き込み時は、WTCNTとWTCSRが同一アドレスに割り当てられています。このため、図12.2に示すように、WTCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがWTCNTまたはWTCSRへ書き込まれます。

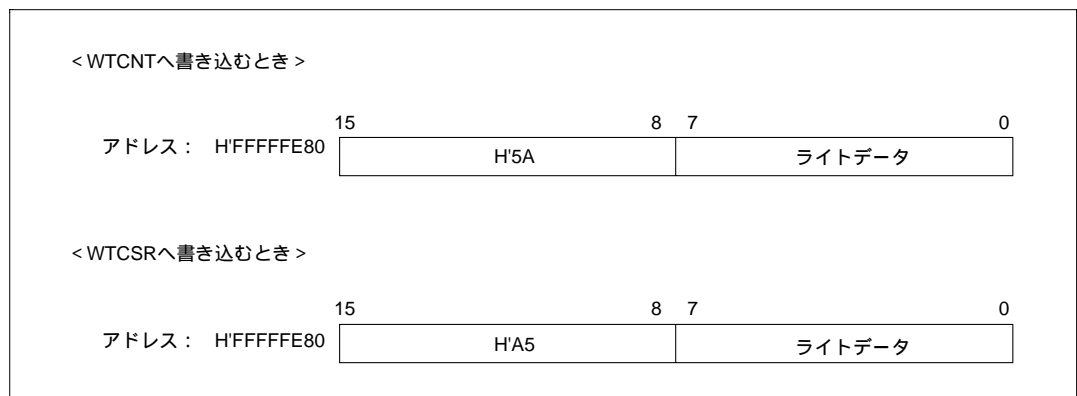


図 12.2 WTCNT、WTCSR への書き込み

(2) RSTCSR への書き込み

RSTCSRへ書き込むときは、アドレス H'FFFFFFE82 に対してワード転送を行ってください。バイト転送、ロングワード転送命令では、書き込めません。

WOVFビット(ビット7)へ0を書き込む場合と、RSTEビット(ビット6)とRSTSビット(ビット5)に書き込む場合では、図 12.3 に示すように、書き込みの方法が異なります。

WOVFビットへ0を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVFビットが0にクリアされます。このとき、RSTE、RSTSビットは影響を受けません。RSTE、RSTSビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット6と5の値がRSTEビットとRSTSビットにそれぞれ書き込まれます。このとき、WOVFビットは影響を受けません。

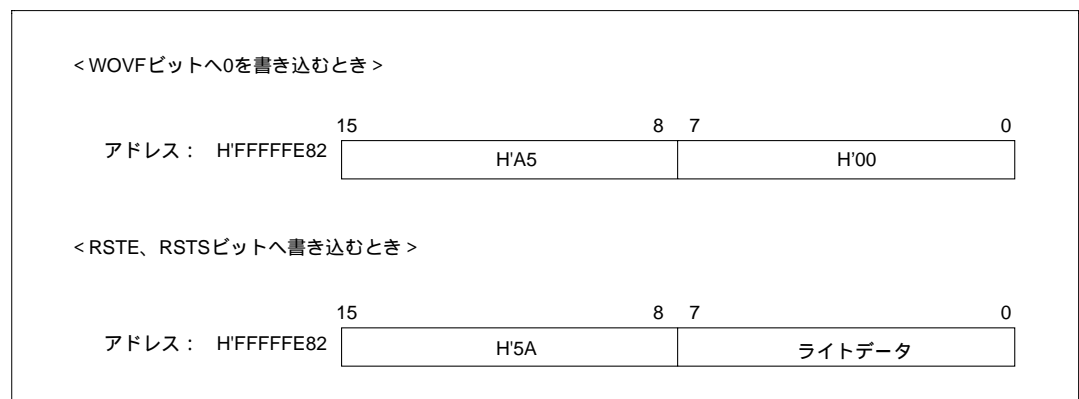


図 12.3 RSTCSR への書き込み

(3) WTCNT、WTCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR は、アドレス H'FFFFFFE80 に、WTCNT は、アドレス H'FFFFFFE81 に、RSTCSR は、アドレス H'FFFFFFE83 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

12.3 動作説明

12.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときは、ウォッチドッグタイマコントロール/ステータスレジスタ (WTC SR) の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、ウォッチドッグタイマカウンタ (WTCNT) がオーバーフローする前に必ず WTCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、WTCNT のオーバーフローが発生しませんが、システムの暴走などにより WTCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。これを図 12.4 に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128 クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、WTCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によって、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512 クロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

12. ウォッチドッグタイマ (WDT)

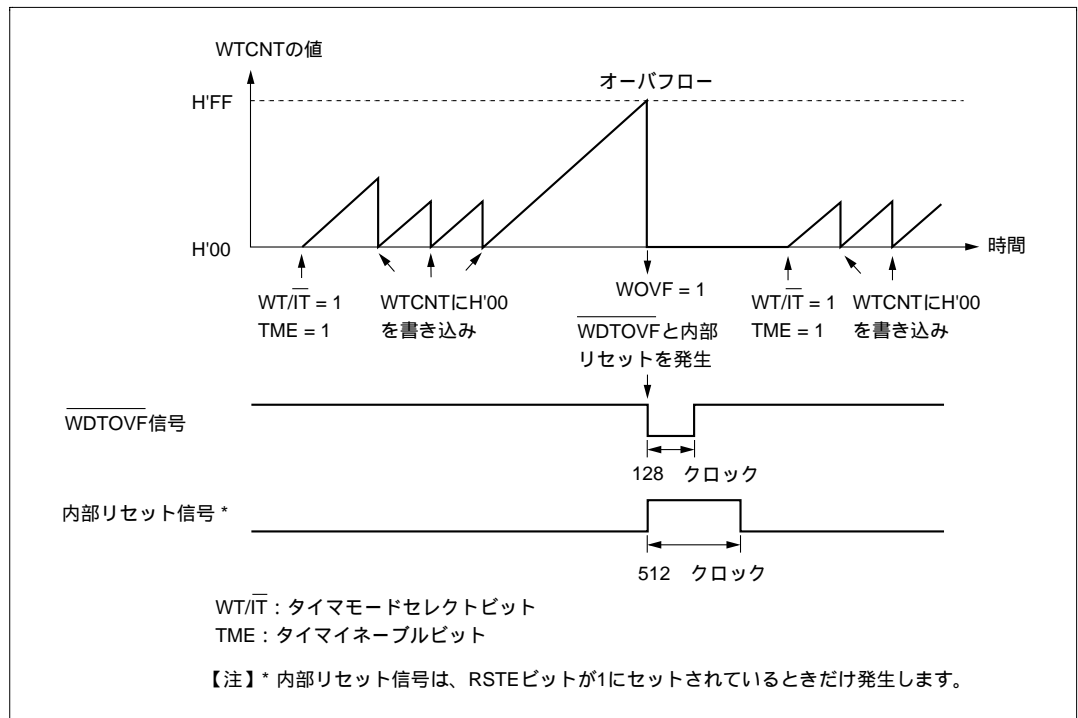


図 12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときには、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 12.5 に示すように、ウォッチドッグタイマカウンタ (WTCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

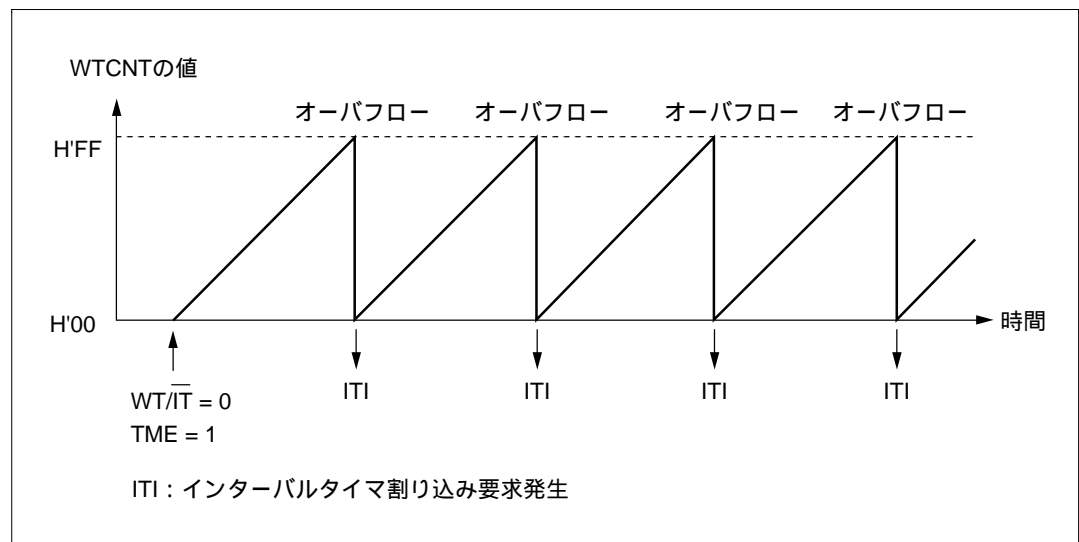


図 12.5 インターバルタイマモード時の動作

12.3.3 スタンバイモード解除時の動作

WDT は、スタンバイモードが NMI 割り込みで解除されるときに使用されます。スタンバイモードを使用する場合は、WDT を次の(1)に示すように設定してください。

(1) スタンバイモード遷移前の設定

スタンバイモードに遷移する前に、必ずウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、スタンバイモードに遷移できません。また、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフロー周期が発振安定時間以上になるように、WTCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「15.3 AC 特性」を参照してください。

(2)スタンバイモード解除時の動作

スタンバイモードでNMI信号が入力されると、発振器が動作を開始し、WTCNTはスタンバイモード遷移前にCKS2~CKS0ビットで選択しておいたクロックにより、カウントアップを開始します。WTCNTがオーバーフロー(H'FF H'00)すると、クロックが安定し使用可能であると判断され、本LSI全体にクロックが供給されます。これによって、スタンバイモードが解除されます。

スタンバイモードの詳細については、「14. 低消費電力状態」を参照してください。

12.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでウォッチドッグタイマカウンタ (WTCNT) がオーバーフローするとウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) のOVFビットが1にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図12.6に示します。

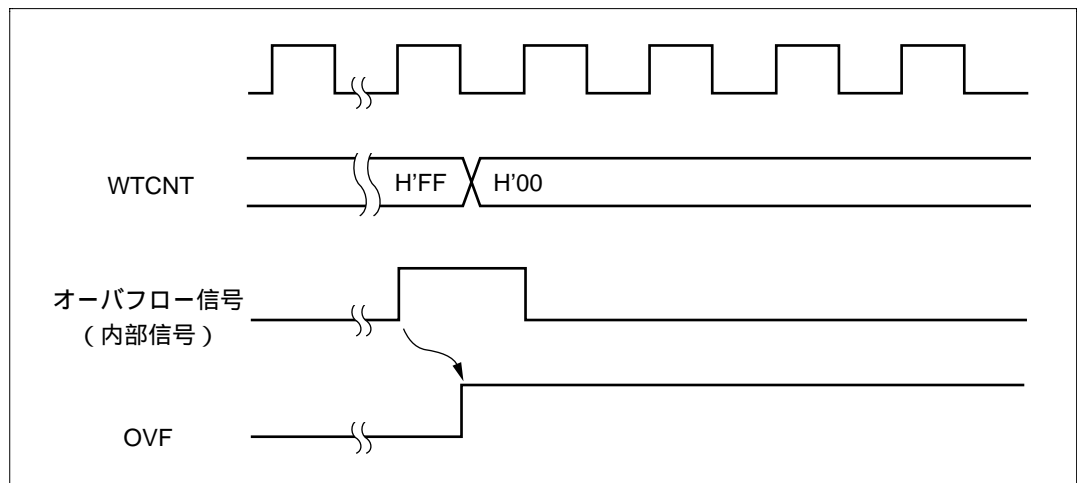


図 12.6 オーバフローフラグ (OVF) のセットタイミング

12.3.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでウォッチドッグタイマカウンタ (WTCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、WTCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 12.7 に示します。

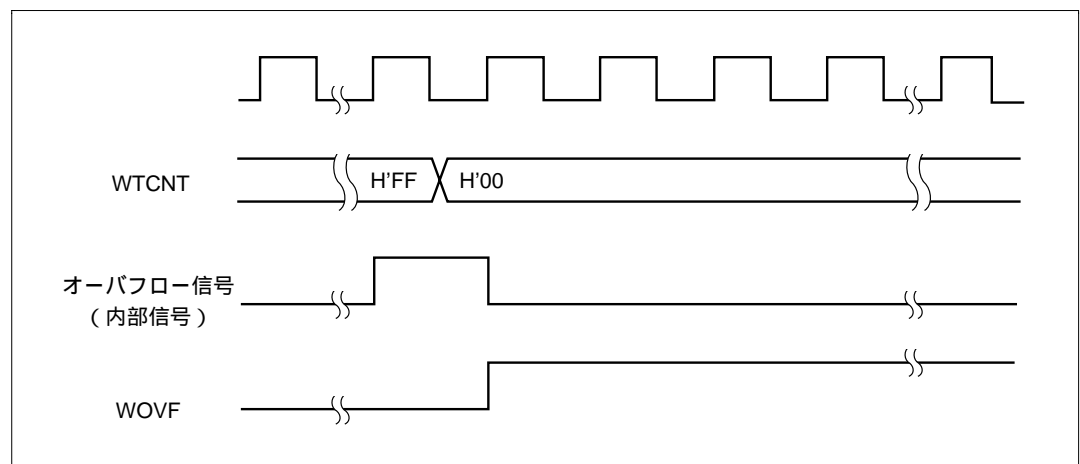


図 12.7 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

12.4 使用上の注意

12.4.1 ウォッチドッグタイマカウンタ (WTCNT) の書き込みとカウントアップの競合

ウォッチドッグタイマカウンタ (WTCNT) のライトサイクル中、図 12.8 に示すタイミングでカウントアップが発生しても、WTCNT へのデータ書き込みが優先され、カウントアップされません。これを図 12.8 に示します。

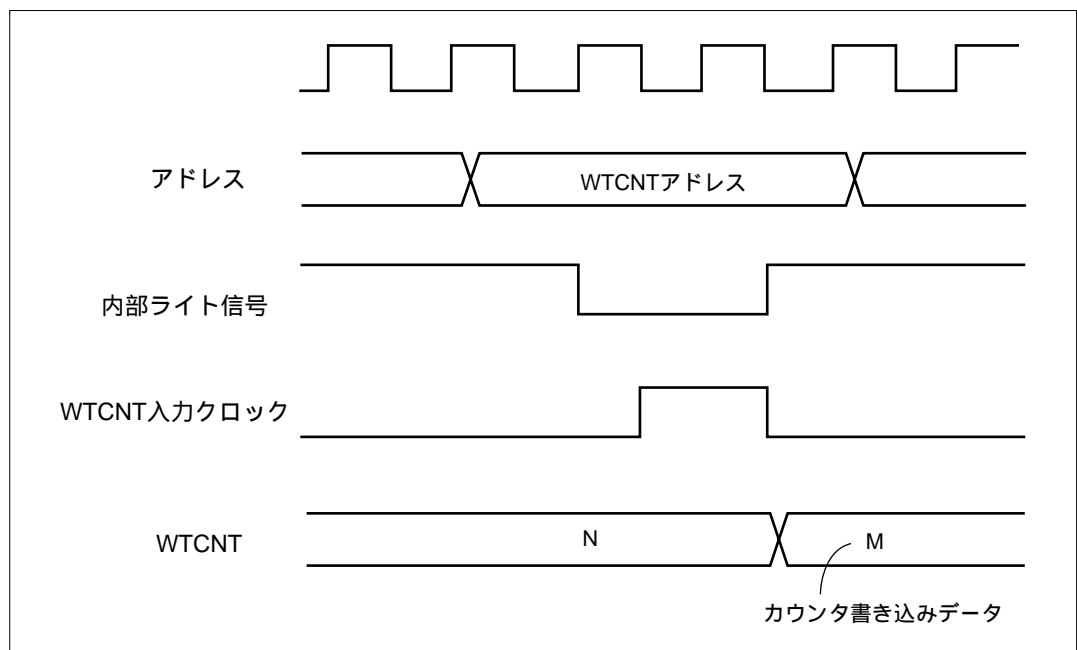


図 12.8 WTCNT の書き込みとカウントアップの競合

12.4.2 CKS2 ~ CKS0 ビット の書き換え

WDT の動作中にウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り換え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り換えると、正しい動作が行われな場合があります。タイマモードの切り換えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.4.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。
 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 12.9 に示すような回路で行ってください。

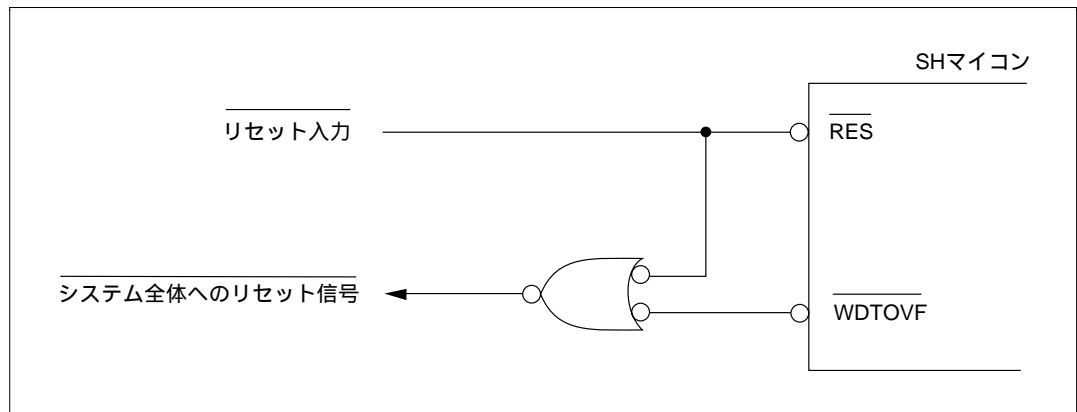


図 12.9 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

12.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、WTCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT 内の WTCNT、WTCSR はリセットされます。

13. シリアル コミュニケーション インタフェース (SCI)

第 13 章 目次

| | | |
|------|-----------------------------------|-----|
| 13.1 | 概要 | 383 |
| | 13.1.1 特長 | 383 |
| | 13.1.2 ブロック図 | 384 |
| | 13.1.3 端子構成 | 385 |
| | 13.1.4 レジスタ構成 | 385 |
| 13.2 | レジスタの説明 | 386 |
| | 13.2.1 レシーブシフトレジスタ (RSR) | 386 |
| | 13.2.2 レシーブデータレジスタ (RDR) | 386 |
| | 13.2.3 トランスミットシフトレジスタ (TSR) | 387 |
| | 13.2.4 トランスミットデータレジスタ (TDR) | 387 |
| | 13.2.5 シリアルモードレジスタ (SMR) | 388 |
| | 13.2.6 シリアルコントロールレジスタ (SCR) | 391 |
| | 13.2.7 シリアルステータスレジスタ (SSR) | 396 |
| | 13.2.8 ビットレートレジスタ (BRR) | 402 |
| 13.3 | 動作説明 | 408 |
| | 13.3.1 概要 | 408 |
| | 13.3.2 調歩同期式モード時の動作 | 410 |
| | 13.3.3 マルチプロセッサ通信機能 | 420 |
| | 13.3.4 クロック同期式モード時の動作 | 428 |
| 13.4 | SCI の割り込み要因と DMAC | 437 |
| 13.5 | 使用上の注意 | 438 |

13.1 概要

本 LSI の SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

13.1.1 特長

SCI には次のような特長があります。

- ・ シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
 - 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット : 1 または 0

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- ・ 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。
- ・ 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- ・ 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- ・ 4種類の割り込み要因
送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりDMAコントローラ(DMAC)を起動させてデータの転送を行うことができます。

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

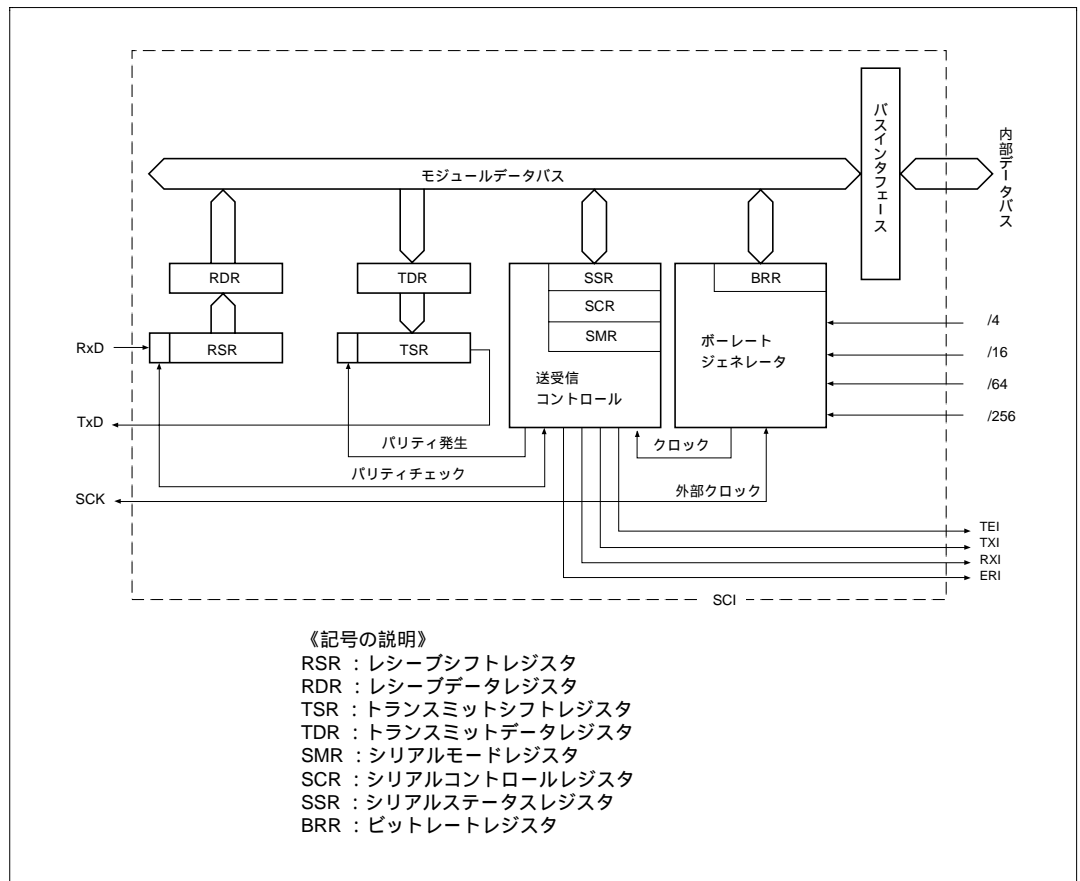


図 13.1 SCI のブロック図

13.1.3 端子構成

SCI は、表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

| 名 称 | 略 称 | 入出力 | 機 能 |
|--------------|-----|-----|---------|
| シリアルクロック端子 | SCK | 入出力 | クロック入出力 |
| レシーブデータ端子 | RxD | 入力 | 受信データ入力 |
| トランスミットデータ端子 | TxD | 出力 | 送信データ出力 |

13.1.4 レジスタ構成

SCI には、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 13.2 レジスタ構成

| 名 称 | 略 称 | R/W | 初期値 | アドレス | アクセスサイズ |
|----------------|-----|---------|------|------------|---------|
| シリアルモードレジスタ | SMR | R/W | H'00 | H'FFFFFFE0 | 8 |
| ビットレートレジスタ | BRR | R/W | H'FF | H'FFFFFFE1 | 8 |
| シリアルコントロールレジスタ | SCR | R/W | H'00 | H'FFFFFFE2 | 8 |
| トランスミットデータレジスタ | TDR | R/W | H'FF | H'FFFFFFE3 | 8 |
| シリアルステータスレジスタ | SSR | R/(W)*1 | H'84 | H'FFFFFFE4 | 8 |
| レシーブデータレジスタ | RDR | R | H'00 | H'FFFFFFE5 | 8 |

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

| | | | | | | | | |
|------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R | R | R | R | R | R | R | R |

レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し / 書き込みをすることはできません。

13.2.2 レシーブデータレジスタ (RDR)

| | | | | | | | | |
|------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> | <input type="text"/> |
| R/W: | | | | | | | | |

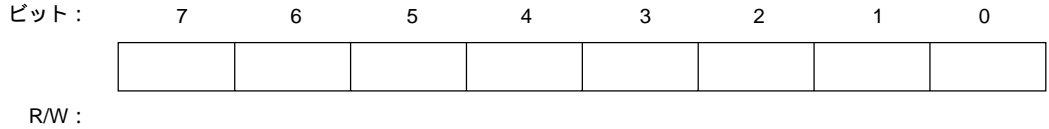
レシーブデータレジスタ (RDR) は、受信したシリアルデータを格納するレジスタです。SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

13.2.3 トランスミットシフトレジスタ (TSR)



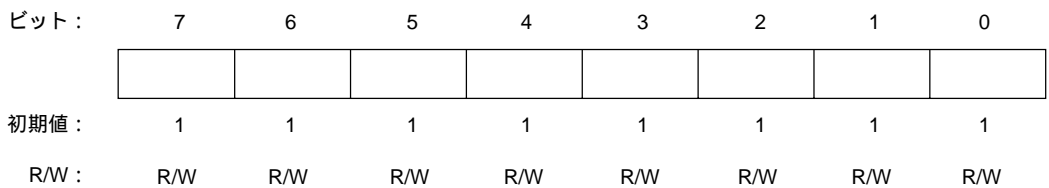
トランスミットシフトレジスタ (TSR) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し / 書き込みをすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)



トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (TSR) の空を検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR は、常に CPU による読み出し / 書き込みが可能です。

TDR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'FF に初期化されます。

13.2.5 シリアルモードレジスタ (SMR)

| | | | | | | | | |
|------|-------------|-----|-----|-------------|------|-----|------|------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | C \bar{A} | CHR | PE | O \bar{E} | STOP | MP | CKS1 | CKS0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し / 書き込みが可能です。

SMR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

ビット 7 : コミュニケーションモード (C \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

| ビット 7 | 説明 |
|---------------|----------------|
| C / \bar{A} | |
| 0 | 調歩同期式モード (初期値) |
| 1 | クロック同期式モード |

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

| ビット 6 | 説明 |
|-------|----------------|
| CHR | |
| 0 | 8 ビットデータ (初期値) |
| 1 | 7 ビットデータ* |

【注】 * 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。

ビット5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

| ビット5 | 説明 |
|------|-----------------------------|
| PE | |
| 0 | パリティビットの付加、およびチェックを禁止 (初期値) |
| 1 | パリティビットの付加、およびチェックを許可* |

【注】 * PE ビットに 1 をセットすると送信時には、 O/\bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/\bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4 : パリティモード (O/\bar{E})

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。 O/\bar{E} ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、 O/\bar{E} ビットの指定は無効です。

| ビット4 | 説明 |
|-------------|----------------|
| O/\bar{E} | |
| 0 | 偶数パリティ*1 (初期値) |
| 1 | 奇数パリティ*2 |

【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3 : ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

| ビット3 | 説明 |
|------|------------------------------|
| STOP | |
| 0 | 1ストップビット* ¹ (初期値) |
| 1 | 2ストップビット* ² |

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、および $O\bar{E}$ ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサの通信機能」を参照してください。

| ビット2 | 説明 |
|------|---------------------|
| MP | |
| 0 | マルチプロセッサ機能を禁止 (初期値) |
| 1 | マルチプロセッサフォーマットを選択 |

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定で /4、 /16、 /64、 /256の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「13.2.8 ビットレートレジスタ」を参照してください。

| ビット1 | ビット0 | 説明 |
|------|------|--------------|
| CKS1 | CKS0 | |
| 0 | 0 | /4クロック (初期値) |
| | 1 | /16クロック |
| 1 | 0 | /64クロック |
| | 1 | /256クロック |

13.2.6 シリアルコントロールレジスタ (SCR)

| | | | | | | | | |
|------|-----|-----|-----|-----|------|------|------|------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TIE | RIE | TE | RE | MPIE | TEIE | CKE1 | CKE0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

シリアルコントロールレジスタ (SCR) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU による読み出し / 書き込みが可能です。

SCR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'00 に初期化されます。

ビット7：トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

| ビット7 | 説明 |
|------|-----------------------------------|
| TIE | |
| 0 | 送信データエンプティ割り込み (TXI) 要求を禁止* (初期値) |
| 1 | 送信データエンプティ割り込み (TXI) 要求を許可 |

【注】 * TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

| ビット6 | 説明 |
|------|------------------------------------------------------|
| RIE | |
| 0 | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値) |
| 1 | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可 |

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

| ビット5 | 説明 |
|------|-----------------|
| TE | |
| 0 | 送信動作を禁止*1 (初期値) |
| 1 | 送信動作を許可*2 |

【注】 *1 SSR の TDRE ビットは 1 に固定されます。

*2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

| ビット4 | 説明 |
|------|-----------------|
| RE | |
| 0 | 受信動作を禁止*1 (初期値) |
| 1 | 受信動作を許可*2 |

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

| ビット3 | 説明 |
|------|----------------------------------------------------------------------------------------------------------------------------|
| MPIE | |
| 0 | マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき |
| 1 | マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。 |

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ビットのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER ビットのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR にないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

| ビット2 | 説明 |
|------|-----------------------------|
| TEIE | |
| 0 | 送信終了割り込み (TEI) 要求を禁止* (初期値) |
| 1 | 送信終了割り込み (TEI) 要求を許可* |

【注】 * TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE=1) の場合はCKE0ビットの設定は無効です。また、CKE1、CKE0ビットの設定の前には必ずSMRでSCIの動作モードを決定してください。

SCIのクロックソースの選択についての詳細は「13.3 動作説明」の表13.9を参照してください。

| ビット1 | ビット0 | 説明 | |
|------|------|------------|------------------------------------------------------|
| CKE1 | CKE0 | | |
| 0 | 0 | 調歩同期式モード | 内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定) *1 |
| | | クロック同期式モード | 内部クロック / SCK 端子は同期クロック出力*1 |
| 0 | 1 | 調歩同期式モード | 内部クロック / SCK 端子はクロック出力*2 |
| | | クロック同期式モード | 内部クロック / SCK 端子は同期クロック出力 |
| 1 | 0 | 調歩同期式モード | 外部クロック / SCK 端子はクロック入力*3 |
| | | クロック同期式モード | 外部クロック / SCK 端子は同期クロック入力 |
| 1 | 1 | 調歩同期式モード | 外部クロック / SCK 端子はクロック入力*3 |
| | | クロック同期式モード | 外部クロック / SCK 端子は同期クロック入力 |

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの16倍の周波数のクロックを入力

13.2.7 シリアルステータスレジスタ (SSR)

| | | | | | | | | |
|------|--------|--------|--------|--------|--------|------|-----|------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | TDRE | RDRF | ORER | FER | PER | TEND | MPB | MPBT |
| 初期値: | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| R/W: | R/(W)* | R/(W)* | R/(W)* | R/(W)* | R/(W)* | R | R | R/W |

【注】* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSR は常に CPU から読み出し / 書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各ビットへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、リセット、モジュールスタンバイ機能、またはスタンバイモード時に H'84 に初期化されます。

ビット7: トランスミットデータレジスタエンpty (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

| ビット7 | 説明 |
|------|----------------------------------------------------------------------------------------------------------------------------------------------|
| TDRE | |
| 0 | TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE = 1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR へデータを書き込んだとき |
| 1 | TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが0のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき |

ビット6 : レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR) に格納されていることを示します。

| ビット6 | 説明 |
|------|--------------------------------------------------------------------------------------------------------------------------------------------|
| RDRF | |
| 0 | RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき |
| 1 | RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき |

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF ビットが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

| ビット5 | 説明 |
|------|----------------------------------------------------------------------------------------------------------------------|
| ORER | |
| 0 | 受信中、または正常に受信を完了したことを表示 ^{*1} (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER = 1 の状態を読み出した後、0 を書き込んだとき |
| 1 | 受信時にオーバランエラーが発生したことを表示 ^{*2} [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき |

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、ORER ビットは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

| ビット4 | 説明 |
|------|---------------------------------------------------------------------------------------------------------------------|
| FER | |
| 0 | 受信中、または正常に受信を完了したことを表示 ^{*1} (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき |
| 1 | 受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき ^{*2} |

【注】 *1 SCR の RE ビットを0にクリアしたときには、FER ビットは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRF ビットはセットされません。さらに、FER ビットが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

| ビット3 | 説明 |
|------|-----------------------------------------------------------------------------------------------------------------------------------------|
| PER | |
| 0 | 受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき |
| 1 | 受信時にパリティエラーが発生したことを表示*2 [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ (SMR) の O / \bar{E} ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき |

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、PER ビットは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。なお、PER ビットが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

| ビット2 | 説明 |
|------|------------------------------------------------------------------------------------------------------------------------------|
| TEND | |
| 0 | 送信中であることを表示 [クリア条件] (1) TDRE=1の状態を読み出した後、TDRE フラグに0を書き込んだとき (2) DMACでTDRヘータを書き込んだとき |
| 1 | 送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが0のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき |

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

| ビット1 | 説明 |
|------|------------------------------------|
| MPB | |
| 0 | マルチプロセッサビットが0のデータを受信したことを表示* (初期値) |
| 1 | マルチプロセッサビットが1のデータを受信したことを表示 |

【注】 * マルチプロセッサフォーマットでREビットを0にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBTビットの設定は無効です。

| ビット0 | 説明 |
|------|----------------------------|
| MPBT | |
| 0 | マルチプロセッサビットが0のデータを送信 (初期値) |
| 1 | マルチプロセッサビットが1のデータを送信 |

13.2.8 ビットレートレジスタ (BRR)

| | | | | | | | | |
|------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| 初期値: | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU による読み出し / 書き込みが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BBR の設定例を示します。

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)

| ビット レート(bit/s) | 4 | | | 4.9152 | | | 8 | | | 9.8304 | | |
|-------------------|---|-----|-----------|--------|-----|-----------|---|-----|-----------|--------|-----|-----------|
| | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) |
| 110 | 1 | 70 | 0.03 | 1 | 86 | 0.31 | 1 | 141 | 0.03 | 1 | 174 | - 0.26 |
| 150 | 0 | 207 | 0.16 | 0 | 255 | 0.00 | 1 | 103 | 0.16 | 1 | 127 | 0.00 |
| 300 | 0 | 103 | 0.16 | 0 | 127 | 0.00 | 0 | 207 | 0.16 | 0 | 255 | 0.00 |
| 600 | 0 | 51 | 0.16 | 0 | 63 | 0.00 | 0 | 103 | 0.16 | 0 | 127 | 0.00 |
| 1200 | 0 | 25 | 0.16 | 0 | 31 | 0.00 | 0 | 51 | 0.16 | 0 | 63 | 0.00 |
| 2400 | 0 | 12 | 0.16 | 0 | 15 | 0.00 | 0 | 25 | 0.16 | 0 | 31 | 0.00 |
| 4800 | | | | 0 | 7 | 0.00 | 0 | 12 | 0.16 | 0 | 15 | 0.00 |
| 9600 | | | | 0 | 3 | 0.00 | | | | 0 | 7 | 0.00 |
| 19200 | | | | 0 | 1 | 0.00 | | | | 0 | 3 | 0.00 |
| 31250 | 0 | 0 | 0.00 | | | | 0 | 1 | 0.00 | | | |
| 38400 | | | | 0 | 0 | 0.00 | | | | 0 | 1 | 0.00 |

| ビット レート(bit/s) | 12 | | | 14.7456 | | | 16 | | | 19.6608 | | |
|-------------------|----|-----|-----------|---------|-----|-----------|----|-----|-----------|---------|-----|-----------|
| | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) |
| 110 | 1 | 212 | 0.03 | 2 | 64 | 0.70 | 2 | 70 | 0.03 | 2 | 86 | 0.31 |
| 150 | 1 | 155 | 0.16 | 1 | 191 | 0.00 | 1 | 207 | 0.16 | 1 | 255 | 0.00 |
| 300 | 1 | 77 | 0.16 | 1 | 95 | 0.00 | 1 | 103 | 0.16 | 1 | 127 | 0.00 |
| 600 | 0 | 155 | 0.16 | 0 | 191 | 0.00 | 0 | 207 | 0.16 | 0 | 255 | 0.00 |
| 1200 | 0 | 77 | 0.16 | 0 | 95 | 0.00 | 0 | 103 | 0.16 | 0 | 127 | 0.00 |
| 2400 | 0 | 38 | 0.16 | 0 | 47 | 0.00 | 0 | 51 | 0.16 | 0 | 63 | 0.00 |
| 4800 | 0 | 19 | - 2.34 | 0 | 23 | 0.00 | 0 | 25 | 0.16 | 0 | 31 | 0.00 |
| 9600 | 0 | 9 | - 2.34 | 0 | 11 | 0.00 | 0 | 12 | 0.16 | 0 | 15 | 0.00 |
| 19200 | 0 | 4 | - 2.34 | 0 | 5 | 0.00 | | | | 0 | 7 | 0.00 |
| 31250 | 0 | 2 | 0.00 | | | | 0 | 3 | 0.00 | 0 | 4 | - 1.70 |
| 38400 | | | | 0 | 2 | 0.00 | | | | 0 | 3 | 0.00 |

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

| ビット レート(bit/s) | 12 | | | 14.7456 | | | 16 | | | 19.6608 | | |
|-------------------|----|-----|-----------|---------|-----|-----------|----|-----|-----------|---------|-----|-----------|
| | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) |
| 110 | 2 | 88 | - 0.25 | 2 | 106 | - 0.44 | 2 | 108 | 0.08 | 2 | 126 | 0.31 |
| 150 | 2 | 64 | 0.16 | 2 | 77 | 0.16 | 2 | 79 | 0.00 | 2 | 92 | 0.46 |
| 300 | 1 | 129 | 0.16 | 1 | 155 | 0.16 | 1 | 159 | 0.00 | 1 | 186 | - 0.08 |
| 600 | 1 | 64 | 0.16 | 1 | 77 | 0.16 | 1 | 79 | 0.00 | 1 | 92 | 0.46 |
| 1200 | 0 | 129 | 0.16 | 0 | 155 | 0.16 | 0 | 159 | 0.00 | 0 | 186 | - 0.08 |
| 2400 | 0 | 64 | 0.16 | 0 | 77 | 0.16 | 0 | 79 | 0.00 | 0 | 92 | 0.46 |
| 4800 | 0 | 32 | - 1.36 | 0 | 38 | 0.16 | 0 | 39 | 0.00 | 0 | 46 | - 0.61 |
| 9600 | 0 | 15 | 1.73 | 0 | 19 | - 2.34 | 0 | 19 | 0.00 | 0 | 22 | 1.55 |
| 19200 | 0 | 7 | 1.73 | 0 | 9 | - 2.34 | 0 | 9 | 0.00 | 0 | 11 | - 2.68 |
| 31250 | 0 | 4 | 0.00 | 0 | 5 | 0.00 | 0 | 5 | 2.40 | 0 | 6 | 2.50 |
| 38400 | 0 | 3 | 1.73 | 0 | 4 | - 2.34 | 0 | 4 | 0.00 | 0 | 5 | - 2.68 |

表 13.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

| ビット レート (bit/s) | (MHz) | 4 | | 8 | | 16 | | 28.7 | |
|--------------------|-------|---|-----|---|-----|----|-----|------|-----|
| | | n | N | n | N | n | N | n | N |
| 110 | | 2 | 141 | 3 | 70 | 3 | 141 | 3 | 254 |
| 250 | | 1 | 249 | 2 | 124 | 2 | 249 | 3 | 111 |
| 500 | | 1 | 124 | 1 | 249 | 2 | 124 | 2 | 223 |
| 1k | | 0 | 249 | 1 | 124 | 1 | 249 | 2 | 111 |
| 2.5k | | 0 | 99 | 0 | 199 | 1 | 99 | 1 | 178 |
| 5k | | 0 | 49 | 0 | 99 | 0 | 199 | 1 | 89 |
| 10k | | 0 | 24 | 0 | 49 | 0 | 99 | 0 | 178 |
| 25k | | 0 | 9 | 0 | 19 | 0 | 39 | 0 | 71 |
| 50k | | 0 | 4 | 0 | 9 | 0 | 19 | 0 | 35 |
| 100k | | | | 0 | 4 | 0 | 9 | 0 | 17 |
| 250k | | 0 | 0* | 0 | 1 | 0 | 3 | | |
| 500k | | | | 0 | 0* | 0 | 1 | | |
| 1M | | | | | | 0 | 0* | | |

【注】 誤差は、なるべく 1%以内になるように設定してください。

《記号説明》

空欄：設定できません。

-：設定可能ですが誤差がでます。

*：連続送信 / 受信はできません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{256 \times 2^{2n-1} \times B}{f} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{32 \times 2^{2n-1} \times B}{f} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの BRR の設定値 (0 N 255)

f：動作周波数 (MHz)

n：ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、次頁の表を参照してください。)

| n | クロック | SMR の設定値 | |
|---|-------|----------|------|
| | | CKS1 | CKS0 |
| 0 | / 4 | 0 | 0 |
| 1 | / 16 | 0 | 1 |
| 2 | / 64 | 1 | 0 |
| 3 | / 256 | 1 | 1 |

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\times 10^6}{(N + 1) \times B \times 256 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 13.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6 と表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

| (MHz) | 最大ビットレート(bit/s) | 設定値 | |
|---------|-----------------|-----|---|
| | | n | N |
| 4 | 31250 | 0 | 0 |
| 4.9152 | 38400 | 0 | 0 |
| 8 | 62500 | 0 | 0 |
| 9.8304 | 76800 | 0 | 0 |
| 12 | 93750 | 0 | 0 |
| 14.7456 | 115200 | 0 | 0 |
| 16 | 125000 | 0 | 0 |
| 19.6608 | 153600 | 0 | 0 |
| 20 | 156250 | 0 | 0 |
| 24 | 187500 | 0 | 0 |
| 24.576 | 192000 | 0 | 0 |
| 28.7 | 224218 | 0 | 0 |

表 13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

| (MHz) | 外部入力クロック (MHz) | 最大ビットレート (bit/s) |
|---------|----------------|------------------|
| 4 | 0.2500 | 15625 |
| 4.9152 | 0.3072 | 19200 |
| 8 | 0.5000 | 31250 |
| 9.8304 | 0.6144 | 38400 |
| 12 | 0.7500 | 46875 |
| 14.7456 | 0.9216 | 57600 |
| 16 | 1.0000 | 62500 |
| 19.6608 | 1.2288 | 76800 |
| 20 | 1.2500 | 78125 |
| 24 | 1.5000 | 93750 |
| 24.576 | 1.5360 | 96000 |
| 28.7 | 1.79375 | 112109 |

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

| (MHz) | 外部入力クロック (MHz) | 最大ビットレート (bit/s) |
|-------|----------------|------------------|
| 8 | 0.3333 | 333333.3 |
| 16 | 0.6667 | 666666.7 |
| 24 | 1.0000 | 1000000.0 |
| 28.7 | 1.1958 | 1195833.3 |

13.3 動作説明

13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 13.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCR) の $CKE1$ 、 $CKE0$ ビットの組み合わせできまります。これを表 13.9 に示します。

- ・ 調歩同期式モード
 - データ長：7ビット/8ビットから選択可能
 - トップビットの付加を選択可能（これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定）
 - 受信時にフレーミングエラー、パリティエラー、およびオーバランエラーの検出が可能
 - SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：ビットレートの 16 倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）
- ・ クロック同期式モード
 - 送信 / 受信フォーマット：8ビットデータ固定
 - 受信時にオーバランエラーの検出可能
 - SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合：SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 13.8 SMR の設定値とシリアル送信 / 受信フォーマット

| SMR の設定値 | | | | | モード | SCI の送信 / 受信フォーマット | | | | | | |
|---------------|-------|-------|-------|-------|-----|--------------------|-----------------|----------------------|--------------|----------|-------|-------|
| ビット 7 | ビット 6 | ビット 2 | ビット 5 | ビット 3 | | データ長 | マルチプロセ ッサビット | パリティ ビット | ストップ ビット長 | | | |
| C / \bar{A} | CHR | MP | PE | STOP | | | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 調歩同期式 モード | 8 ビットデータ | なし | なし | 1 ビット | | |
| | | | | 1 | 0 | | | | あり | 1 ビット | | |
| | | | 1 | 0 | 0 | | | | 0 | なし | 1 ビット | |
| | | | | | 1 | | | | 0 | あり | 1 ビット | |
| | | | 1 | 1 | 0 | | | | 0 | なし | 2 ビット | |
| | | | | | 1 | | | | 0 | あり | 2 ビット | |
| | 1 | * | * | * | 0 | 0 | 調歩同期式 | 8 ビットデータ | あり | なし | 1 ビット | |
| | | | | | 1 | 1 | モード | 7 ビットデータ | | なし | 2 ビット | |
| | | | | * | * | 0 | 0 | (マルチプロセ ッサフォーマット) | | 7 ビットデータ | なし | 1 ビット |
| | | | | | | 1 | 1 | なし | | 2 ビット | | |
| | 1 | 1 | 1 | 1 | 1 | クロック同 期式モード | 8 ビットデータ | なし | なし | | | |

【注】 表中の * は Don't care であることを示します。

表 13.9 SMR、SCR の設定と SCI のクロックソースの選択

| SMR | SCR の設定 | | モード | SCI の送信 / 受信クロック | |
|---------------|---------|-------|--------|------------------|--------------------------|
| | ビット 7 | ビット 1 | | ビット 0 | クロック ソース |
| C / \bar{A} | CKE1 | CKE0 | | | |
| 0 | 0 | 0 | 調歩同期式 | 内部 | SCI は、SCK 端子を使用しません |
| | | 1 | | | ビットレートと同じ周波数のクロックを出力 |
| | 1 | 0 | モード | 外部 | ビットレートの 16 倍の周波数のクロックを入力 |
| | | 1 | | | |
| 1 | 0 | 0 | クロック同期 | 内部 | 同期クロックを出力 |
| | | 1 | | | |
| | 1 | 0 | 式モード | 外部 | 同期クロックを入力 |
| | | 1 | | | |

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (ハイレベル) に保たれています。SCI は通信回線を監視し、スペース (ローレベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (ローレベル) から始まり、データ (LSB ファースト : 最下位ビットから)、パリティビット (ハイ / ローレベル)、最後にストップビット (ハイレベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

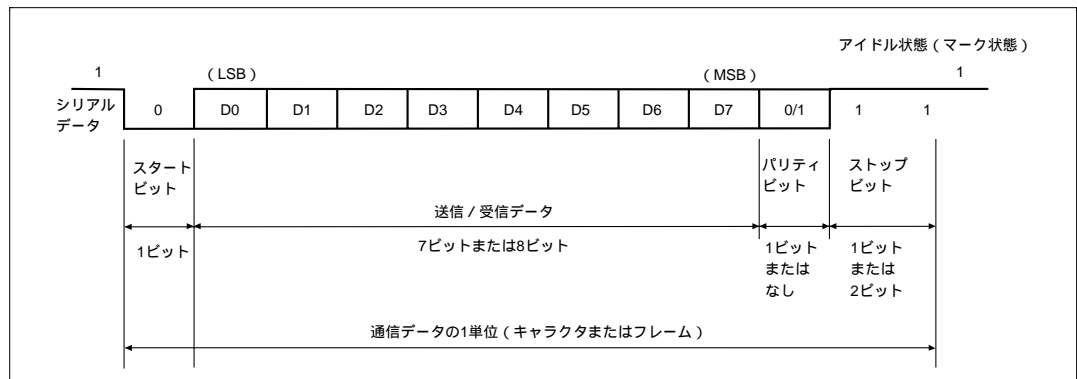


図 13.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 13.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

| SMRの設定 | | | | シリアル送信 / 受信フォーマットとフレーム長 | | | | | | | | | | | | |
|--------|----|----|------|-------------------------|---|---|---------|---|---|---|---|---|----|------|------|------|
| CHR | PE | MP | STOP | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | |
| 0 | 0 | 0 | 0 | S | | | 8ビットデータ | | | | | | | STOP | | |
| 0 | 0 | 0 | 1 | S | | | 8ビットデータ | | | | | | | STOP | STOP | |
| 0 | 1 | 0 | 0 | S | | | 8ビットデータ | | | | | | P | STOP | | |
| 0 | 1 | 0 | 1 | S | | | 8ビットデータ | | | | | | P | STOP | STOP | |
| 1 | 0 | 0 | 0 | S | | | 7ビットデータ | | | | | | | STOP | | |
| 1 | 0 | 0 | 1 | S | | | 7ビットデータ | | | | | | | STOP | STOP | |
| 1 | 1 | 0 | 0 | S | | | 7ビットデータ | | | | | | P | STOP | | |
| 1 | 1 | 0 | 1 | S | | | 7ビットデータ | | | | | | P | STOP | STOP | |
| 0 | * | 1 | 0 | S | | | 8ビットデータ | | | | | | | MPB | STOP | |
| 0 | * | 1 | 1 | S | | | 8ビットデータ | | | | | | | MPB | STOP | STOP |
| 1 | * | 1 | 0 | S | | | 7ビットデータ | | | | | | | MPB | STOP | |
| 1 | * | 1 | 1 | S | | | 7ビットデータ | | | | | | | MPB | STOP | STOP |

《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

【注】 表中の * はDon't careであることを示します。

(2) クロック

SCI の送受信クロックは、SMR の C/\bar{A} ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 13.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 13.3 に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

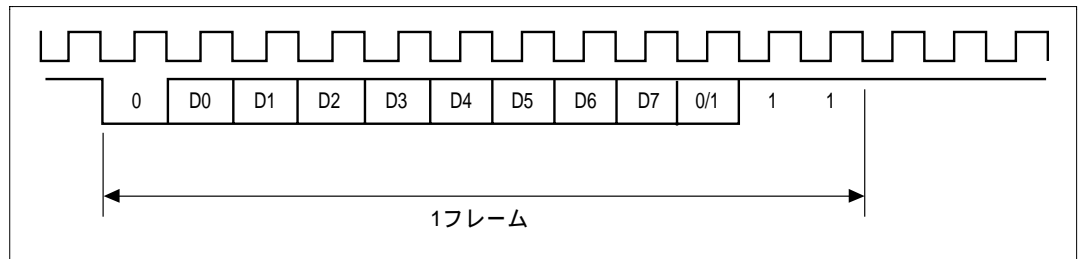


図 13.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

・SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは、1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 13.4 に SCI の初期化フローチャートの例を示します。

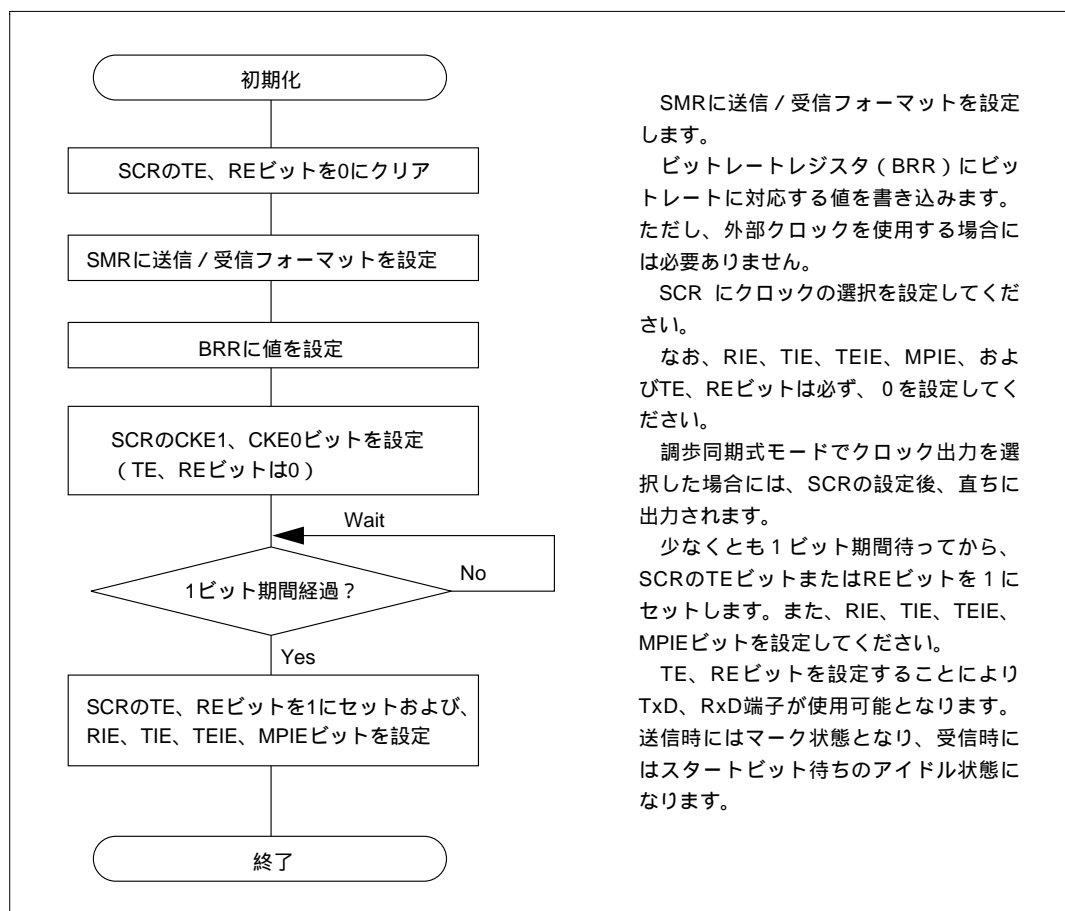
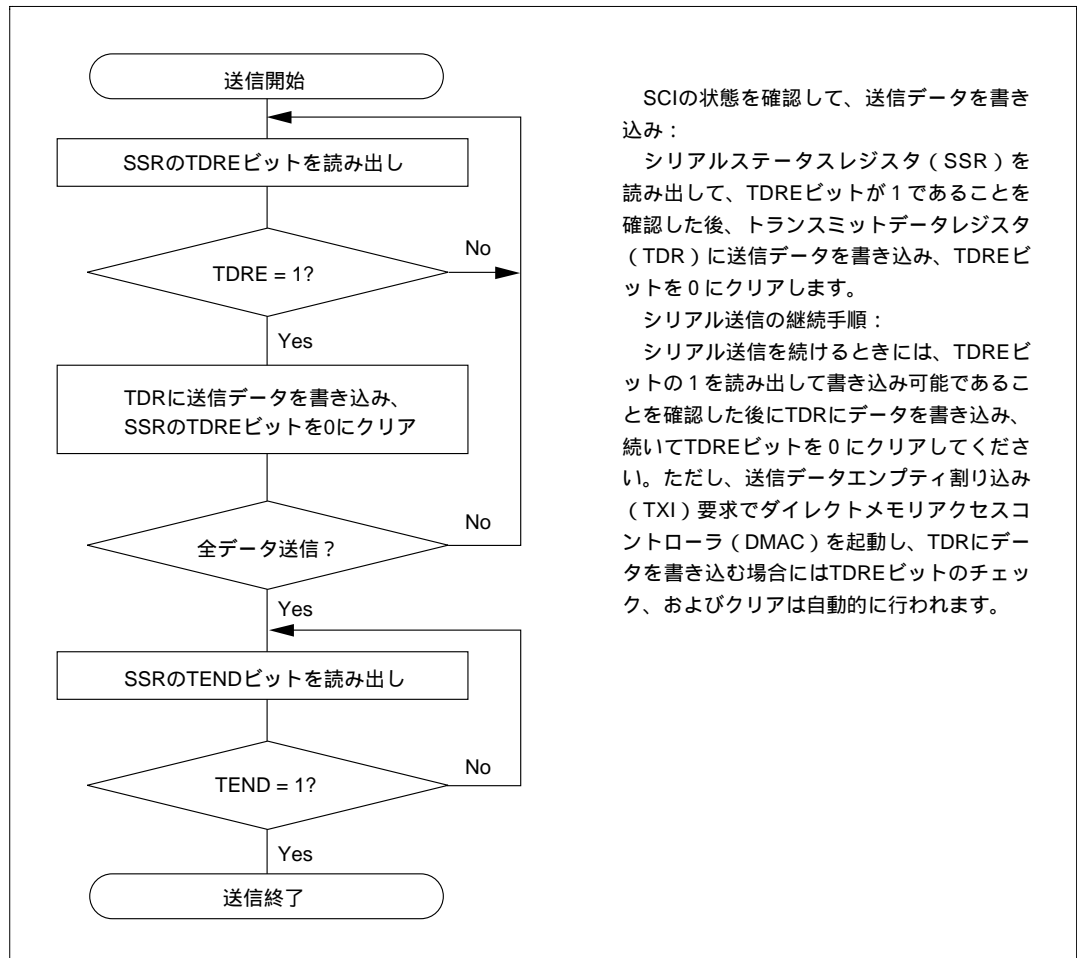


図 13.4 SCI の初期化フローチャートの例

・シリアルデータ送信 (調歩同期式)

図 13.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順にしたがい行ってください。



SCIの状態を確認して、送信データを書き込み :

シリアルステータスレジスタ (SSR) を読み出して、TDREビットが1であることを確認した後、トランスミットデータレジスタ (TDR) に送信データを書き込み、TDREビットを0にクリアします。

シリアル送信の継続手順 :

シリアル送信を続けるときには、TDREビットの1を読み出して書き込み可能であることを確認した後にTDRにデータを書き込み、続いてTDREビットを0にクリアしてください。ただし、送信データエンプティ割り込み (TXI) 要求でダイレクトメモリアクセスコントローラ (DMAC) を起動し、TDRにデータを書き込む場合にはTDREビットのチェック、およびクリアは自動的に行われます。

図 13.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。

TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCR) の TIE ビットが 1 にセットされていると送信データエンpty割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
- (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
- (c) パリティビット、またはマルチプロセッサビット : 1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット : 1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

SCI は、ストップビットを送出するタイミングで TDRE ビットをチェックします。

TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 要求を発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

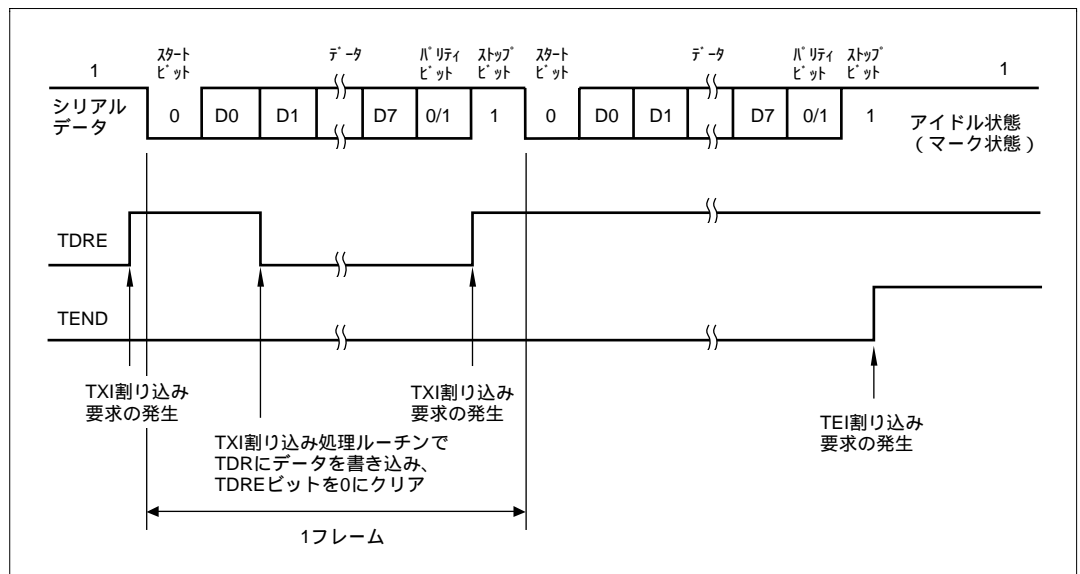


図 13.6 調歩同期式モードでの送信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

・シリアルデータ受信 (調歩同期式)

図 13.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順にしたがい行ってください。

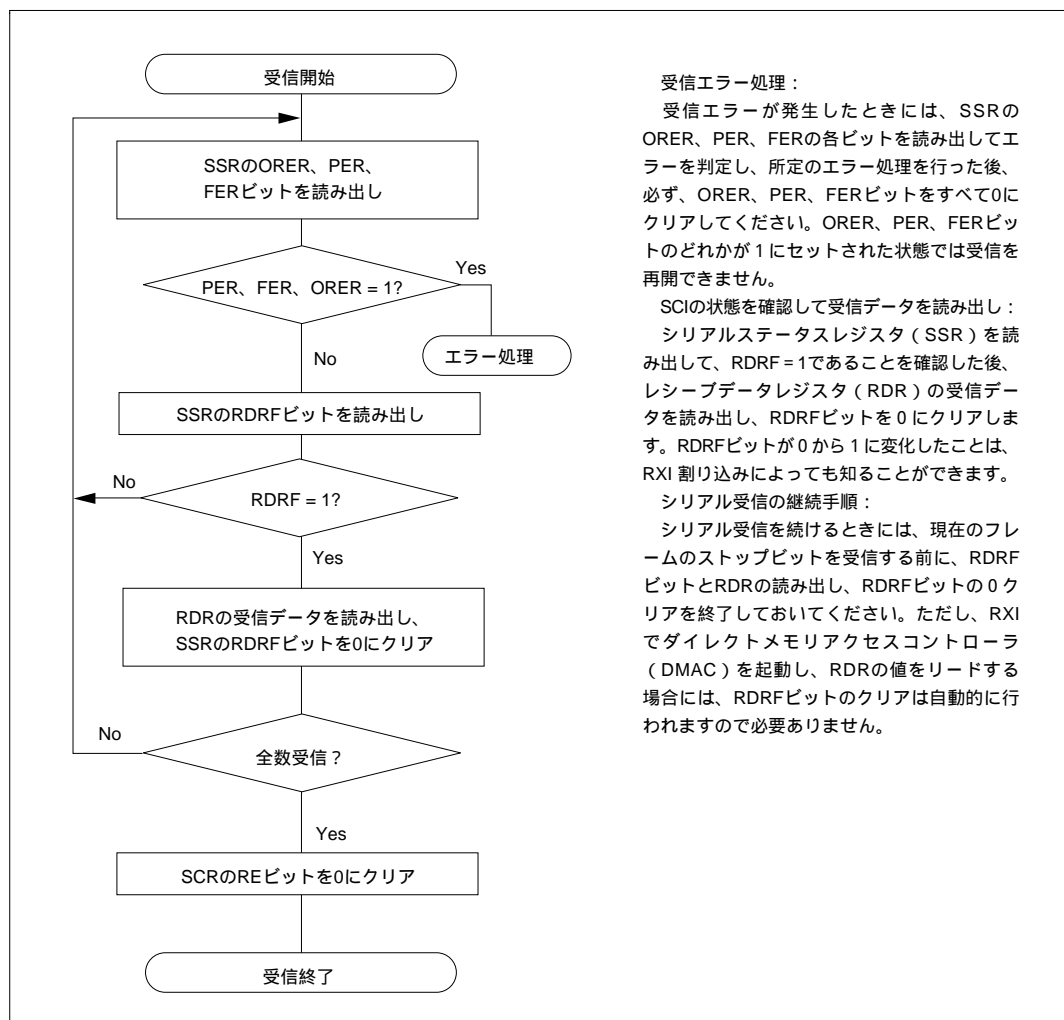


図 13.7 シリアル受信のフローチャートの例 (1)

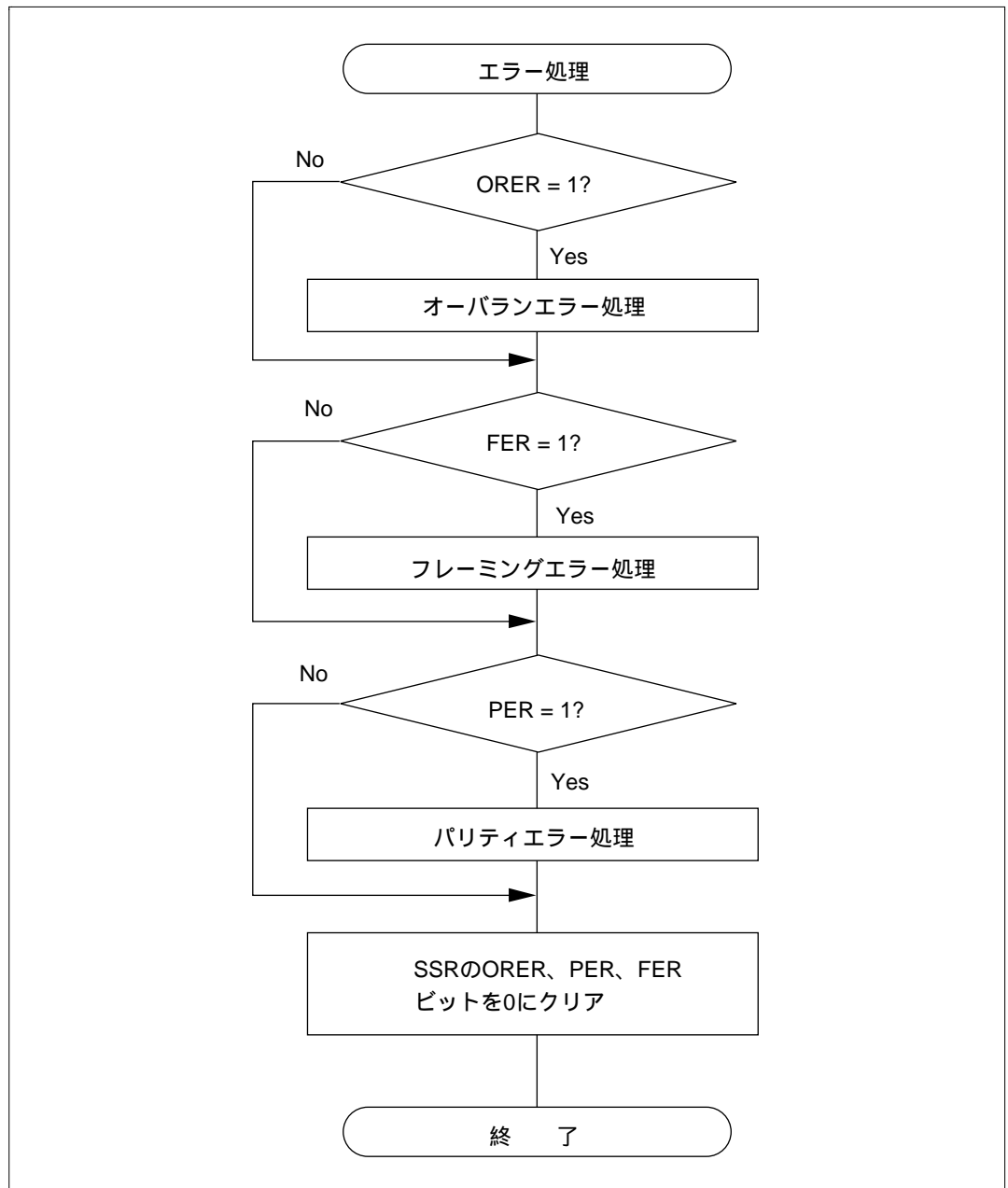


図 13.7 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順に格納します。

パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これがシリアルモードレジスタ (SMR) の $O\bar{E}$ ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF ビットが 0 であり、受信データをレシーブシフトレジスタ (RSR) から RDR に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 13.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

RDRFビットが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。

また、ORER、PER、FERビットのどれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

調歩同期式モード受信時の動作例を図 13.8 に示します。

表 13.11 受信エラーと発生条件

| 受信エラー名 | 略称 | 発生条件 | データ転送 |
|-----------|------|--------------------------------------|-------------------------|
| オーバランエラー | ORER | SSRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき | RSRからRDRに受信データは転送されません。 |
| フレーミングエラー | FER | ストップビットが0のとき | RSRからRDRに受信データが転送されません。 |
| パリティエラー | PER | SMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき | RSRからRDRに受信データが転送されません。 |

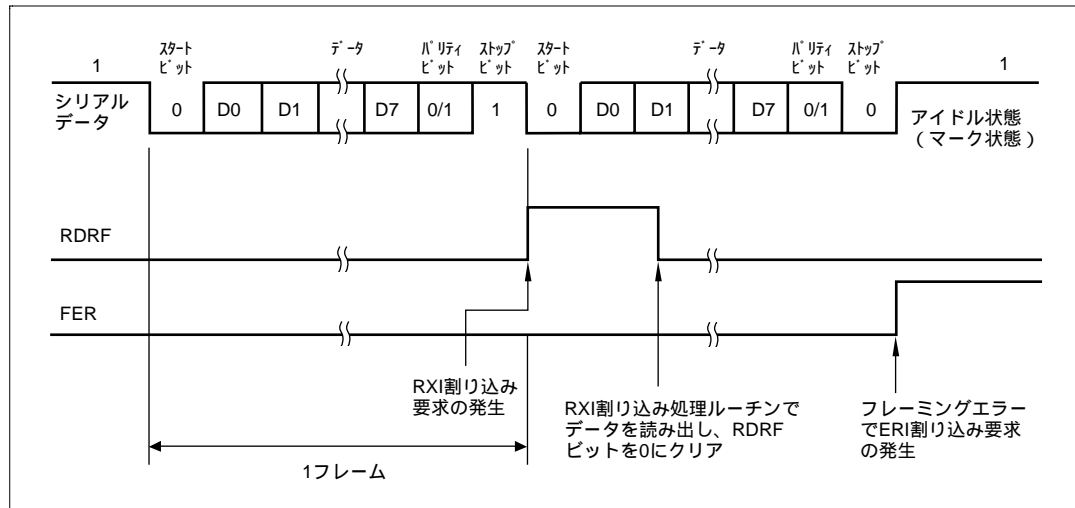


図 13.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。各受信局には、各々固有の ID コードが割り当てられ、このコードによりアドレスリングされます。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 13.8 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

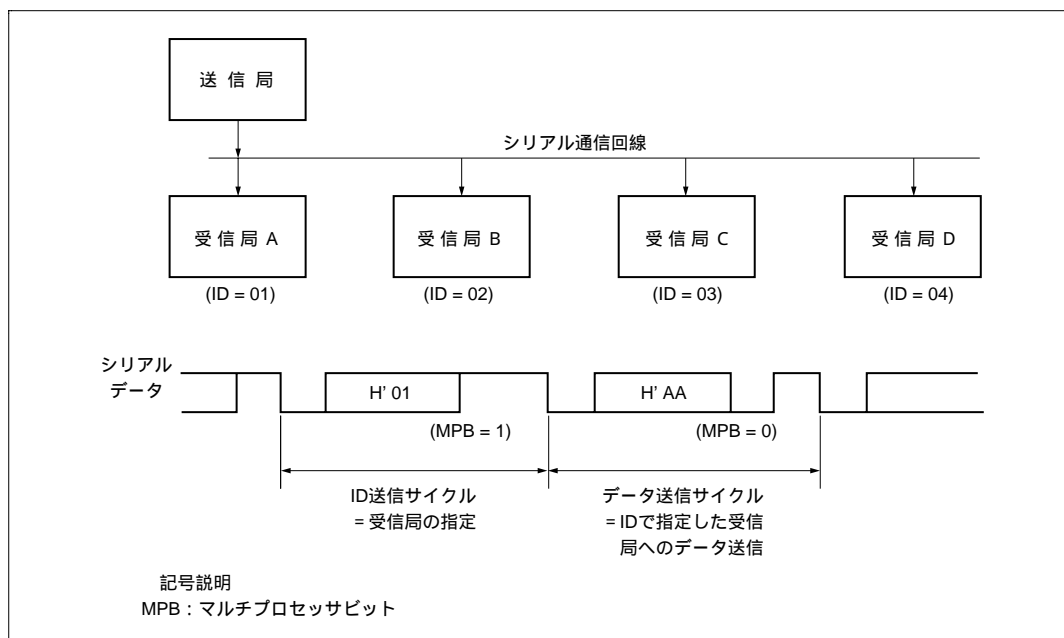


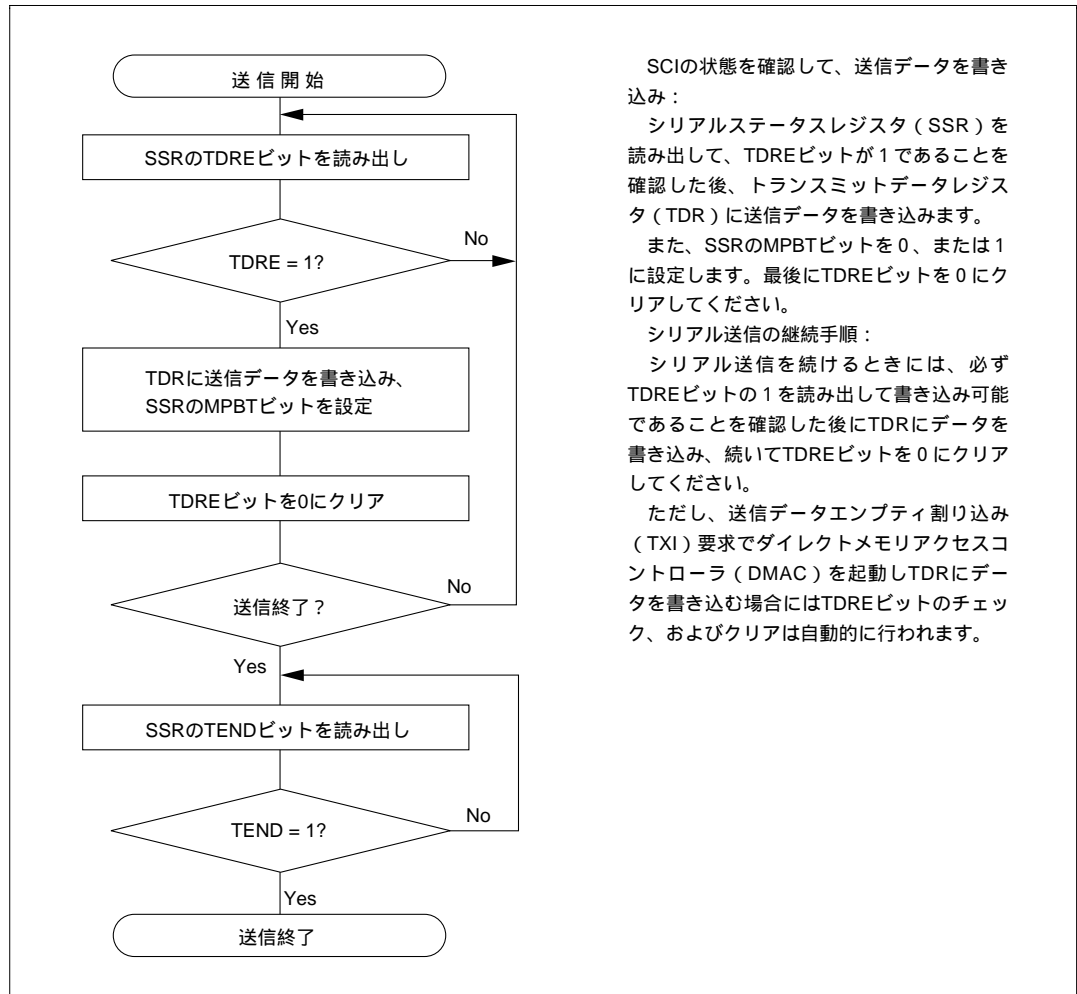
図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

・マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、以下の手順にしたがい行ってください。



SCIの状態を確認して、送信データを書き込み：

シリアルステータスレジスタ (SSR) を読み出して、TDREビットが1であることを確認した後、トランスミットデータレジスタ (TDR) に送信データを書き込みます。

また、SSRのMPBTビットを0、または1に設定します。最後にTDREビットを0にクリアしてください。

シリアル送信の継続手順：

シリアル送信を続けるときには、必ずTDREビットの1を読み出して書き込み可能であることを確認した後にTDRにデータを書き込み、続いてTDREビットを0にクリアしてください。

ただし、送信データエンpty 割り込み (TXI) 要求でダイレクトメモリアクセスコントローラ (DMAC) を起動しTDRにデータを書き込む場合にはTDREビットのチェック、およびクリアは自動的に行われます。

図 13.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCI は、SSR の TDRE ビットを監視し、0 であると TDR にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、SCR の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
- (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
- (c) マルチプロセッサビット : 1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
- (d) ストップビット : 1 ビット、または 2 ビットの 1 (ストップビット) が出力されません。
- (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

(3) SCI は、ストップビットを送り出すタイミングで TDRE ビットをチェックします。

TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。

TDRE ビットが 1 であると SSR の TEND ビットを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み (TEI) 要求が発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

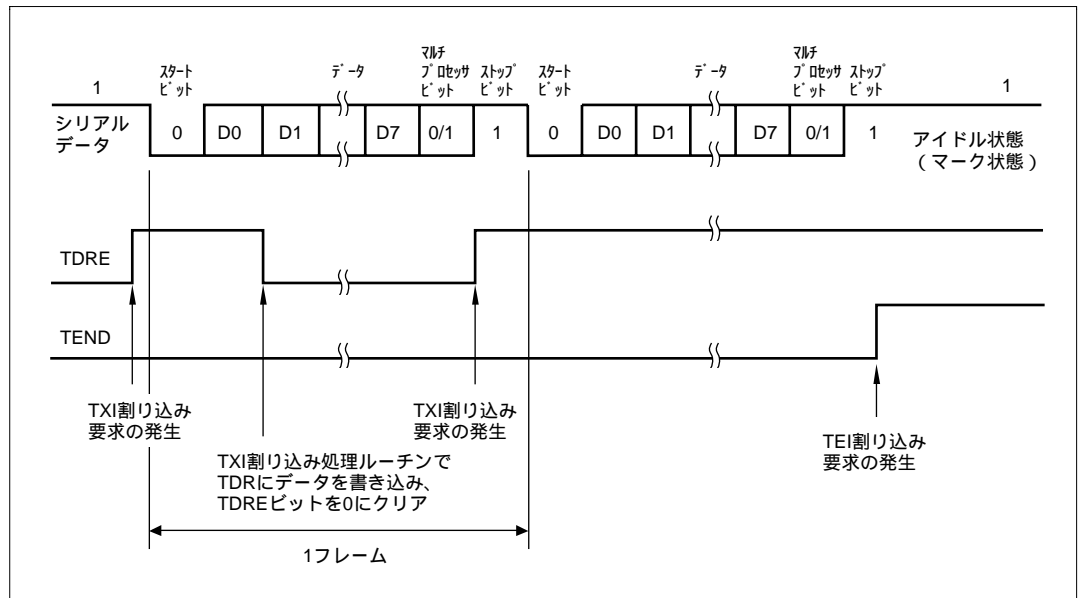


図 13.11 SCI の送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

・マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、以下の手順にしたがい行ってください。

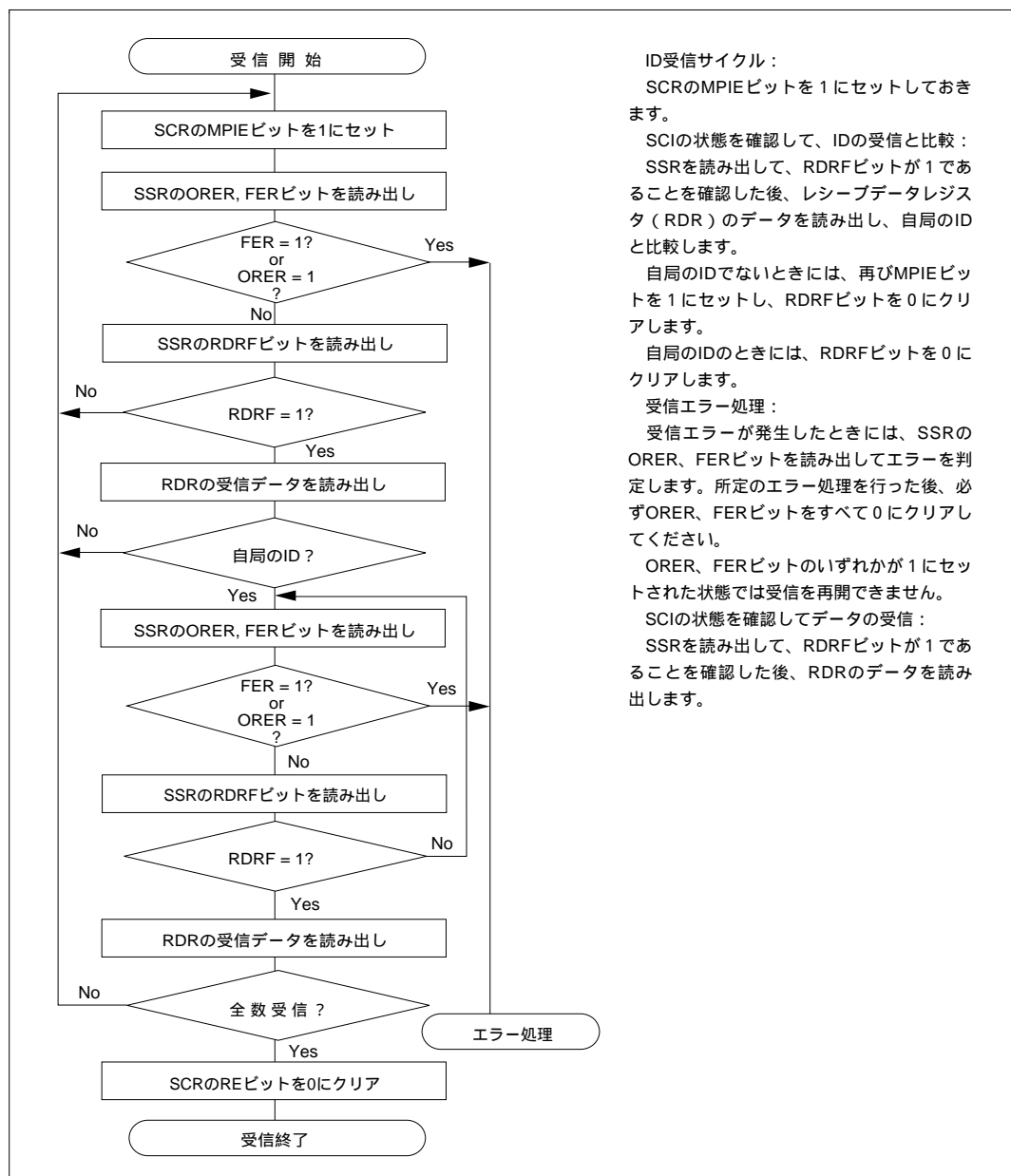


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

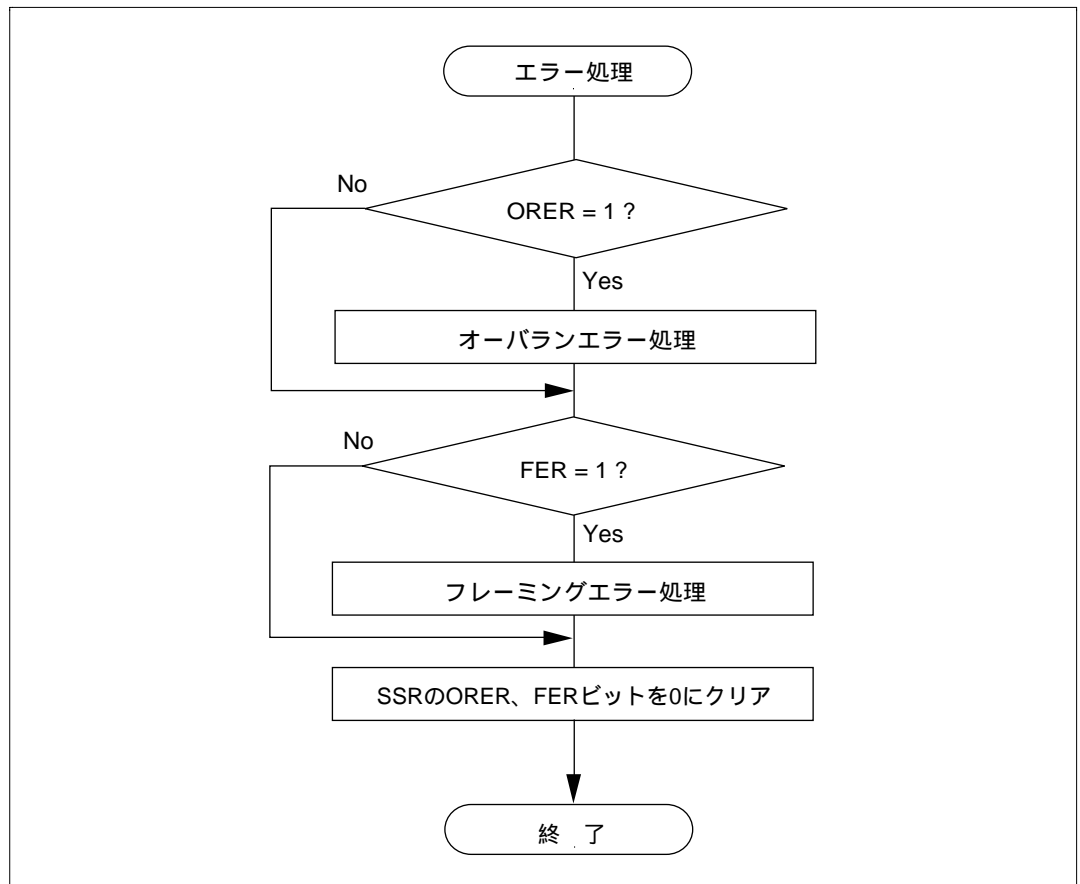


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

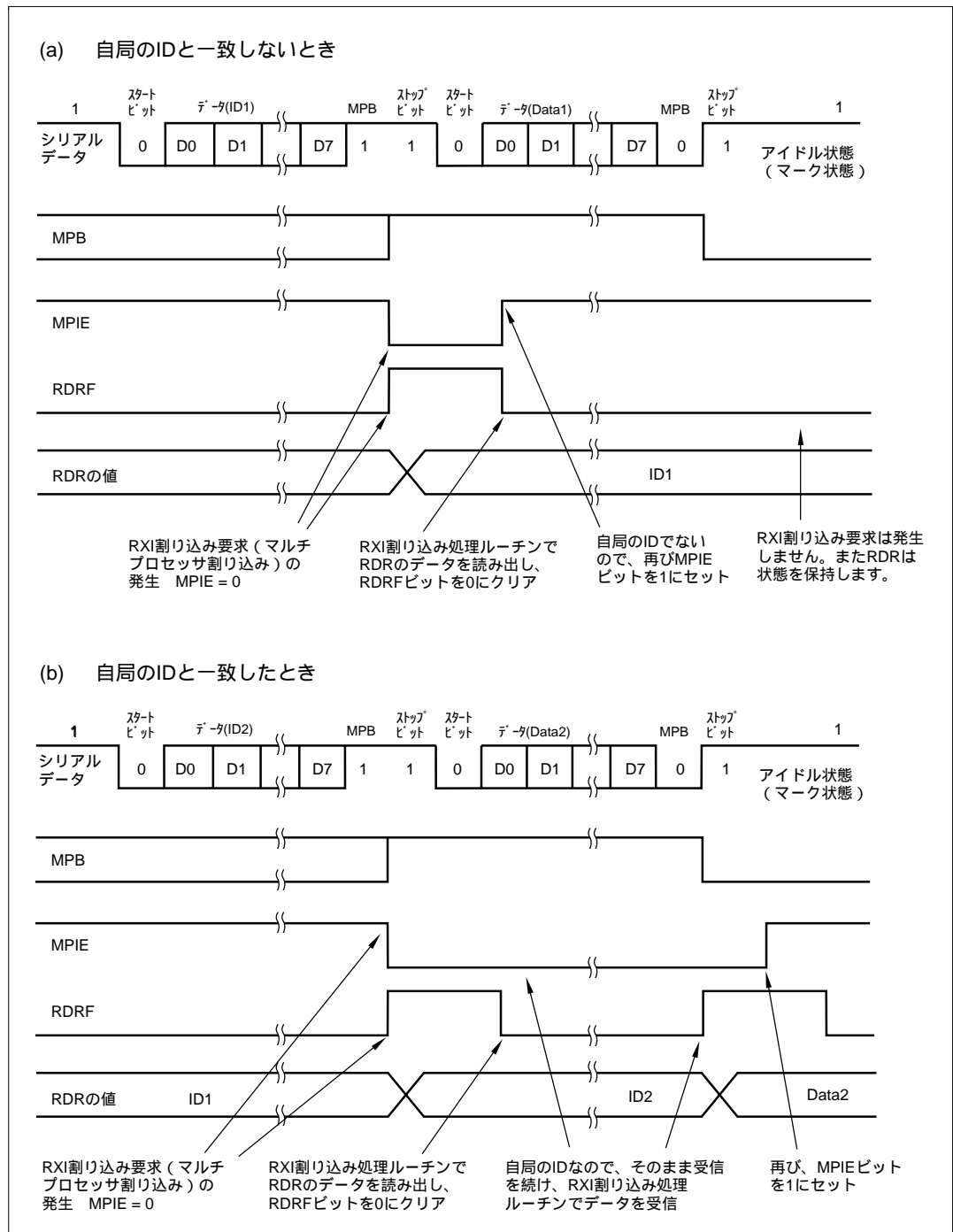


図 13.13 SCI の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

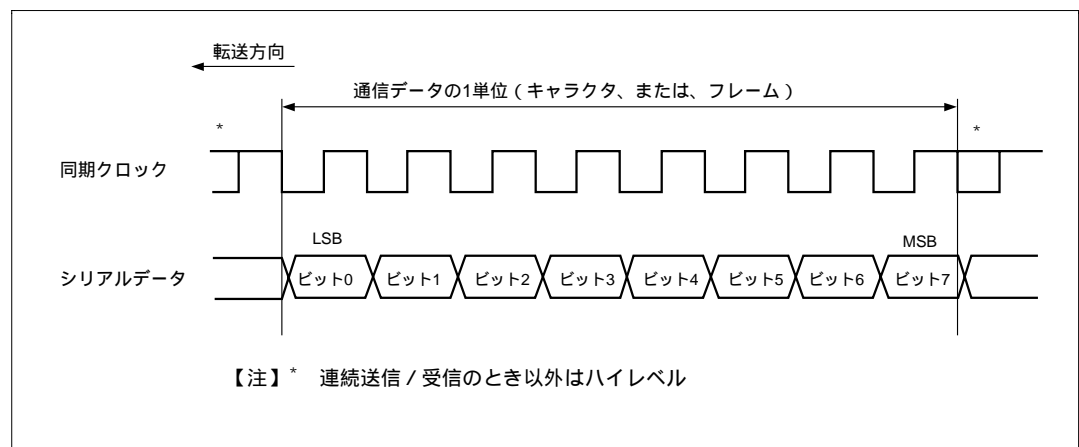


図 13.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表13.9を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。

図13.15にSCIの送信時の動作例を示します。

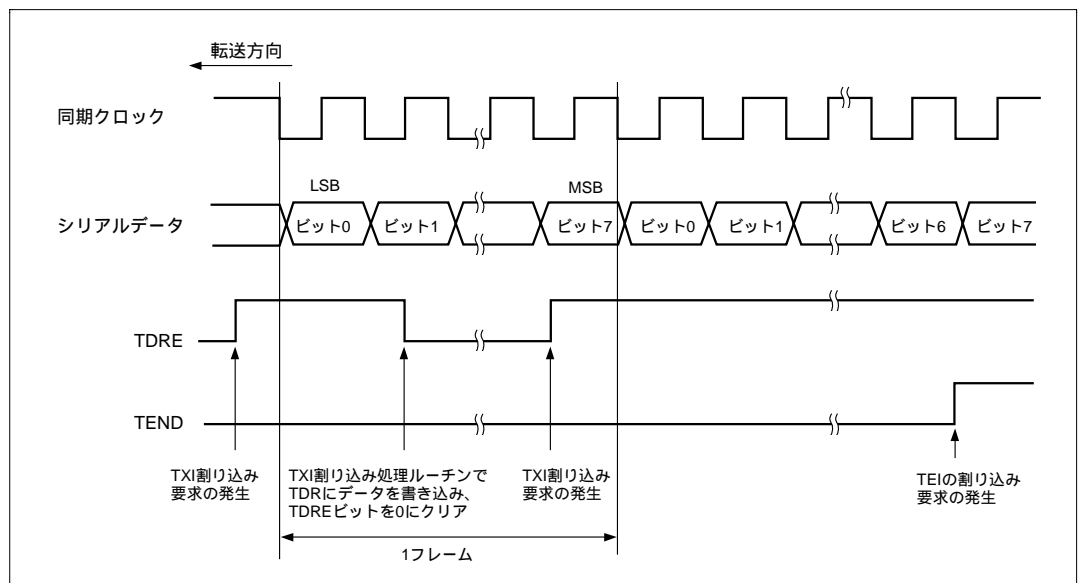


図13.15 SCIの送信時の動作例

SCI はシリアル送信時に以下のように動作します。

(1) SCI は、シリアルステータスレジスタ (SSR) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR) にデータを転送します。

(2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCR) の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCI は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送り出されます。

(3) SCI は、MSB (ビット 7) を送り出すタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。

TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR) の TEND ビットを 1 にセットし、MSB (ビット 7) を送り出した後、トランスミットデータ端子 (TxD 端子) は状態を保持します。

このとき SCR の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み要求 (TEI) を発生します。

(4) シリアル送信終了後は、SCK 端子はハイレベル固定になります。

(3) データの送信 / 受信動作

・SCIのイニシャライズ(クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCR) の TE、および RE ビットを0にクリアした後、以下の手順でSCIを初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREビットは1にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各ビット、およびレシープデータレジスタ (RDR) の内容は保持されますので注意してください。

図 13.16 に SCI の初期化フローチャートの例を示します。

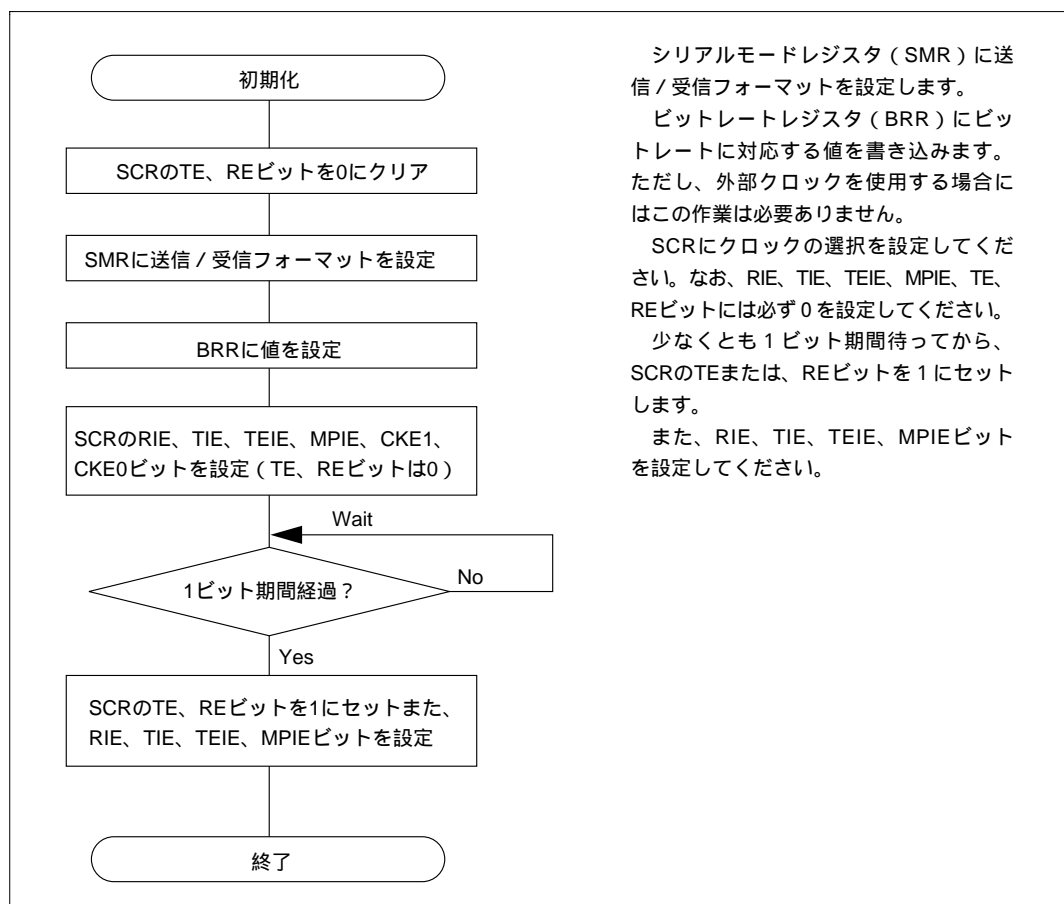
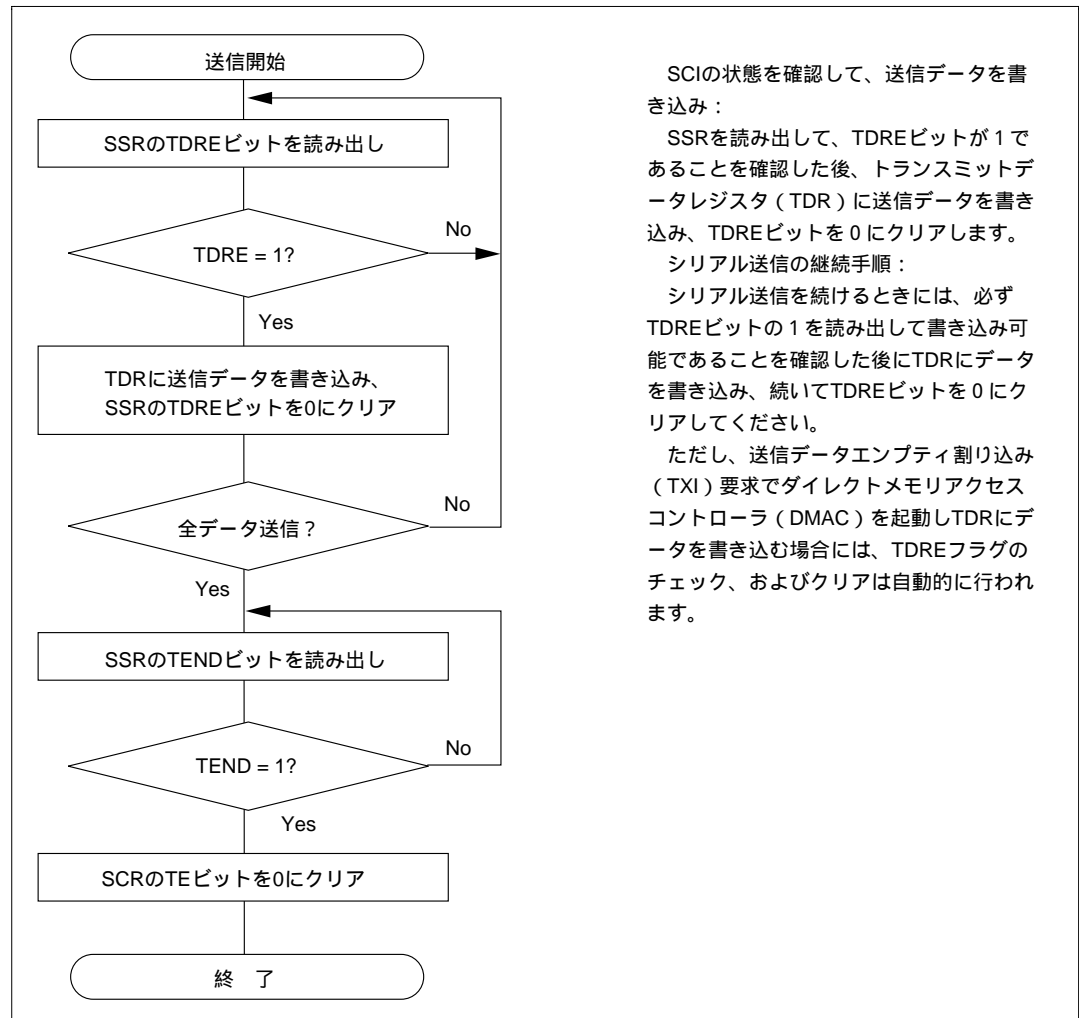


図 13.16 SCI の初期化フローチャートの例

・シリアルデータ送信 (クロック同期式)

図 13.17 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順で行ってください。



SCIの状態を確認して、送信データを書き込み：

SSRを読み出して、TDREビットが1であることを確認した後、トランスミットデータレジスタ (TDR) に送信データを書き込み、TDREビットを0にクリアします。

シリアル送信の継続手順：

シリアル送信を続けるときには、必ずTDREビットの1を読み出して書き込み可能であることを確認した後にTDRにデータを書き込み、続いてTDREビットを0にクリアしてください。

ただし、送信データエンプティ割り込み (TXI) 要求でダイレクトメモリアクセスコントローラ (DMAC) を起動しTDRにデータを書き込む場合には、TDREフラグのチェック、およびクリアは自動的に行われます。

図 13.17 シリアル送信のフローチャートの例

・シリアルデータ受信 (クロック同期式)

図 13.18 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順にしたがい行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各ビットが 0 にクリアされていることを確認してください。

FER、PER ビットが 1 にセットされていると RDRF ビットがセットされません。また、送信 / 受信動作が行えません。

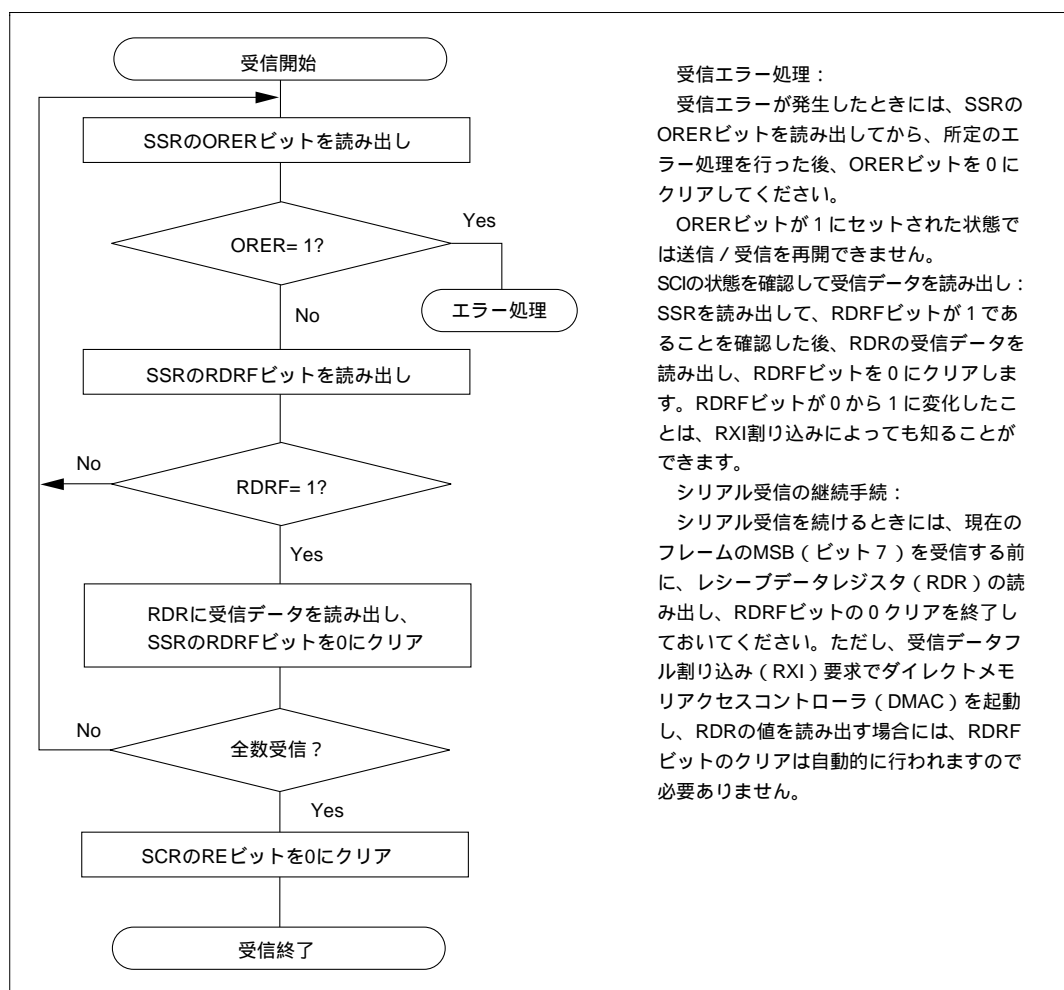


図 13.18 シリアルデータ受信フローチャートの例 (1)

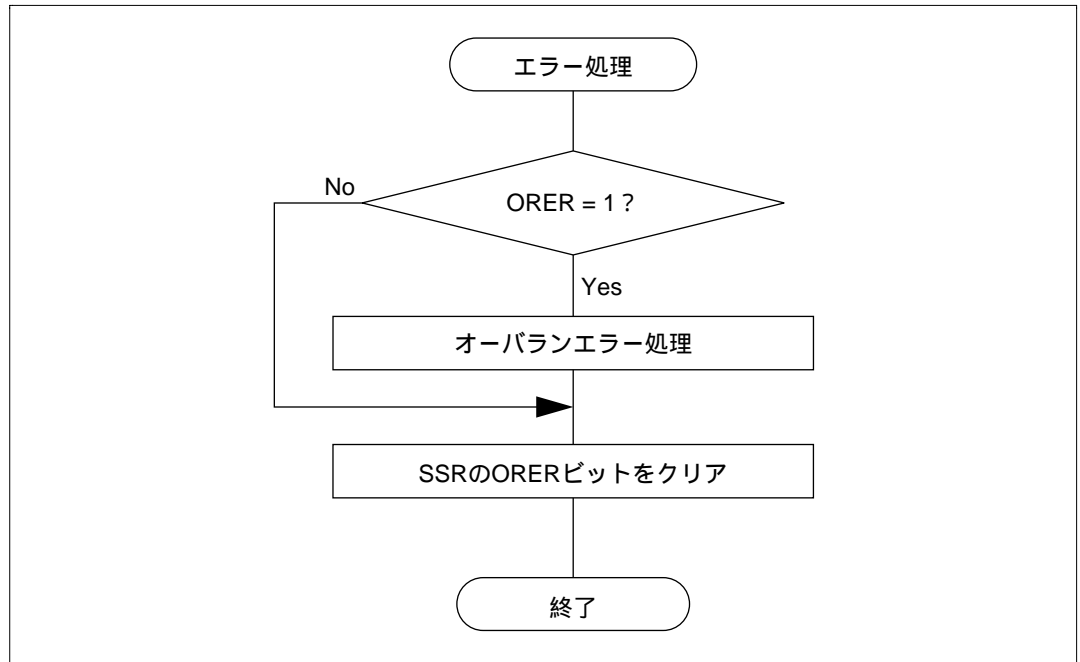


図 13.18 シリアルデータ受信フローチャートの例 (2)

図 13.19 に SCI の受信時の動作例を示します。

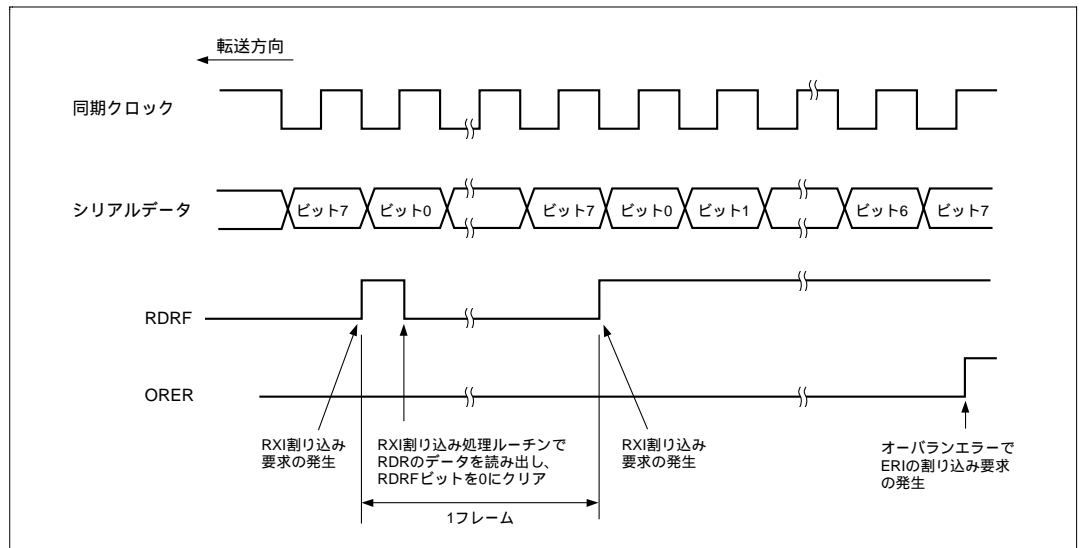


図 13.19 SCI の受信時の動作例

SCI は受信時に以下のように動作します。

SCI は同期クロックの入力または出力に同期して内部を初期化します。

受信したデータをレシーブシフトレジスタ (RSR) の LSB から MSB の順に格納します。

受信後、SCI は RDRF ビットが 0 であり、受信データを RSR からレシーブデータレジスタ (RDR) に転送できる状態であることをチェックします。

このチェックがパスしたとき RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 13.8 のように動作し、この状態では以後の送信、受信動作ができません。

また、受信時に RDRF ビットが 1 にセットされませんので、必ずフラグを 0 にクリアしてください。

RDRF ビットが 1 になったとき、シリアルコントロールレジスタ (SCR) の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。

また、ORER ビットが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

・シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順にしたがい行ってください。

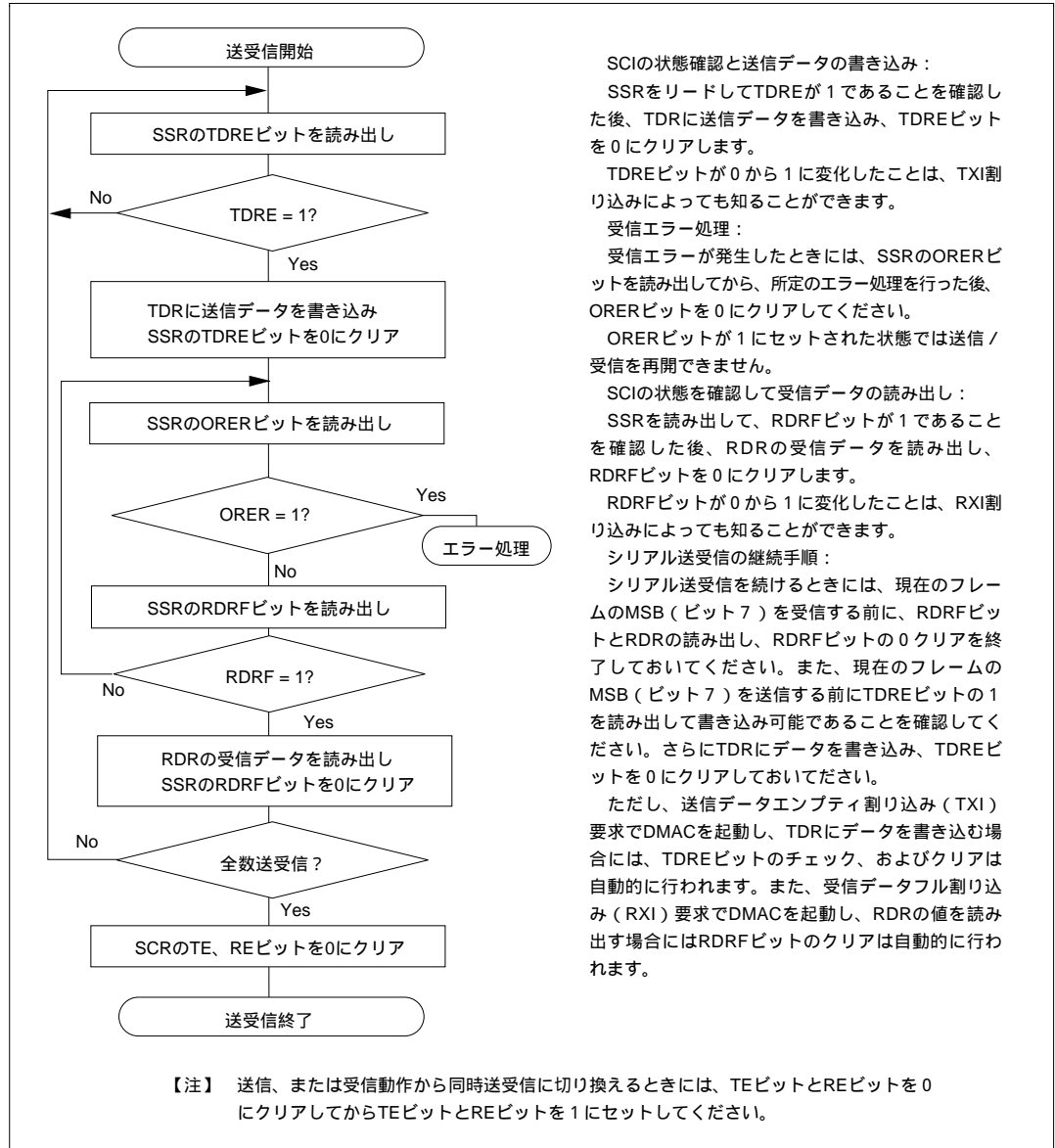


図 13.20 シリアルデータ送受信フローチャートの例

13.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 13.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、ダイレクトメモリアクセスコントローラ (DMAC) を起動してデータ転送を行うことができます。TDRE ビットは DMAC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 13.12 SCI 割り込み要因

| 割り込み要因 | 内 容 | DMAC の起動 | リセット解除時の優先順位 |
|--------|------------------------------|----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ERI | 受信エラー (ORER、FER、PER) による割り込み | 不可 | 高   低 |
| RXI | 受信データフル (RDRF) による割り込み | 可 | |
| TXI | 送信データエンプティ (TRDE) による割り込み | 可 | |
| TEI | 送信終了 (TEND) による割り込み | 不可 | |

優先順位、SCI 以外の割り込みとの関係は、「4. 例外処理」を参照してください。

13.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 13.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 13.13 SSR のステータスフラグの状態と受信データの転送

| 受信のエラー状態 | SSR のステータスフラグ | | | | 受信データ転送 | |
|--------------------------------|---------------|------|-----|-----|---------|-----|
| | RDRF | ORER | FER | PER | RSR | RDR |
| オーバランエラー | 1 | 1 | 0 | 0 | x | |
| フレーミングエラー | 0 | 0 | 1 | 0 | | |
| パリティエラー | 0 | 0 | 0 | 1 | | |
| オーバランエラー + フレーミングエラー | 1 | 1 | 1 | 0 | x | |
| オーバランエラー + パリティエラー | 1 | 1 | 0 | 1 | x | |
| フレーミングエラー + パリティエラー | 0 | 0 | 1 | 1 | | |
| オーバランエラー + フレーミングエラー + パリティエラー | 1 | 1 | 1 | 1 | x | |

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について

ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けます。FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE ビットを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 13.21 に示します。

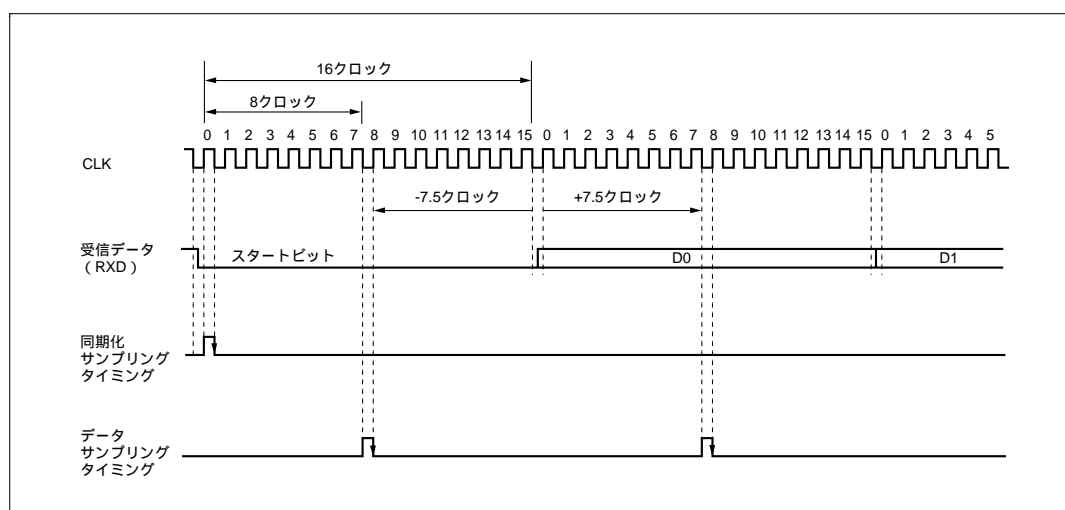


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots\dots \text{式}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5 とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

.....式(2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

(7) DMAC の使用上の注意事項

同期クロックに外部クロックソースを使用する場合、ダイレクトメモリアクセスコントローラ (DMAC) による TDR の更新後、システムクロック () で 20 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 ステート以内に送信クロックを入力すると、誤動作することがあります。(図 13.22)

DMAC により、RDR の読み出しを行うときは必ずチャンネルコントロールレジスタ (CHCR) のリソースセレクト (RS) ビットで起動要因を当該 SCI の受信データフル割り込みに設定してください。

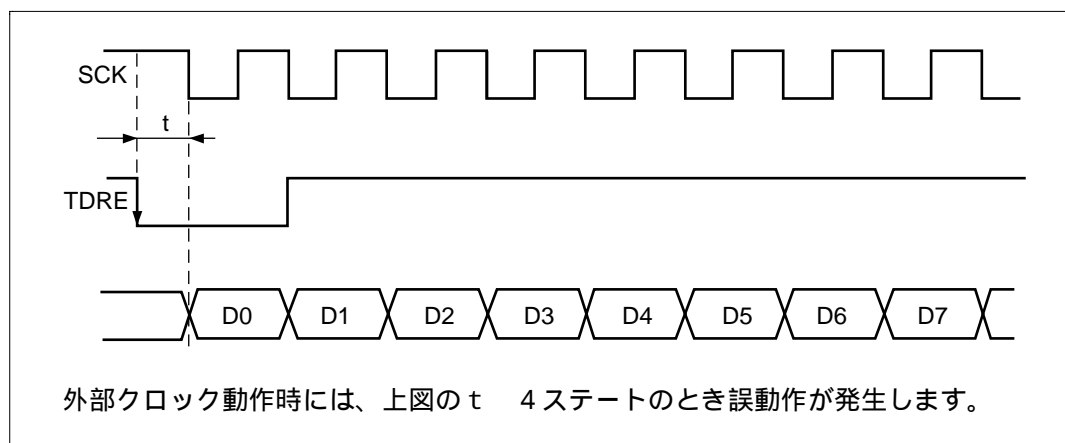


図 13.22 DMAC によるクロック同期式送信時の例

(8) クロック同期外部クロックモード時の注意事項

TE = RE = 1 に設定するのは、必ず外部クロック SCK が 1 の時にしてください。

TE = 1、RE = 1 に設定するのは、外部クロック SCK を 0 → 1 にしてから 4 クロック以上経過してからにしてください。

受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから 2.5 ~ 3.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

(9) クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから 1.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、RDR へのコピーができませんので注意してください。

14. 低消費電力状態

第 14 章 目次

| | | |
|------|--------------------------------------|-----|
| 14.1 | 概要 | 445 |
| | 14.1.1 低消費電力状態の種類..... | 445 |
| | 14.1.2 レジスタ構成 | 446 |
| 14.2 | レジスタの説明..... | 447 |
| | 14.2.1 スタンバイコントロールレジスタ (SBYCR) | 447 |
| 14.3 | スリープモード..... | 451 |
| | 14.3.1 スリープモードへの遷移 | 451 |
| | 14.3.2 スリープモードの解除..... | 451 |
| 14.4 | スタンバイモード | 452 |
| | 14.4.1 スタンバイモードへの遷移 | 452 |
| | 14.4.2 スタンバイモードの解除 | 453 |
| | 14.4.3 NMI 割り込みによるスタンバイモード解除方法..... | 454 |
| | 14.4.4 クロックポーズ機能..... | 455 |
| | 14.4.5 スタンバイモードの注意事項..... | 456 |
| 14.5 | モジュールスタンバイ機能..... | 457 |
| | 14.5.1 モジュールスタンバイ機能への遷移..... | 457 |
| | 14.5.2 モジュールスタンバイ機能の解除..... | 457 |

14.1 概要

低消費電力状態では、内蔵周辺モジュールのうち、不要なモジュールの動作を選択的に停止させ、消費電力を低減させることができるモジュールスタンバイ機能、CPUが機能を停止するスリープモード、全機能が停止するスタンバイモードがあります。

14.1.1 低消費電力状態の種類

低消費電力モードには、次のようなモードと機能があります。

- (1) スリープモード
- (2) スタンバイモード
- (3) モジュールスタンバイ機能

(DMAC、乗算器、除算器、フリーランニングタイマ、SCIの内蔵周辺モジュール)

プログラム実行状態から各モードへ遷移する条件、各モードでのCPUや周辺モジュールなどの状態、各モードの解除方法を、表 14.1 に示します。

表 14.1 低消費電力状態

| モード | 遷移条件 | 状 態 | | | | | 解除方法 |
|--------------|----------------------------------|--------|-----------------|---------|----------------------------------|--------------------------|---------------------------------------------------------------|
| | | 内蔵発振回路 | CPU、MULT、キャッシュ | UBC、BSC | FRT、SCI、DMAC、INTC、WDT、DIV | 端子 | |
| スリープ | SBYCRのSBYビットが0の状態 でSLEEP命令を実行 | 動作 | 停止 | 動作 | 動作 | 動作 | (1) 割り込み (2) DMA アドレスエラー (3) パワーオンリセット (4) マニュアルリセット |
| スタンバイ | SBYCRのSBYビットが1の状態 でSLEEP命令を実行 | 停止 | 停止 | 保持 | 停止 | 保持またはハイインピーダンス | (1) NMI 割り込み (2) パワーオンリセット (3) マニュアルリセット |
| モジュールスタンバイ機能 | 対応するモジュールのMSTPビットを1とする | 動作 | 動作 (MULTは保持) | 動作 | MSTPが1のとき、対応する周辺モジュールへのクロック供給を停止 | FRT、SCIの端子は初期化、その他の端子は動作 | MSTPビットを0とする |

14.1.2 レジスタ構成

レジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

| 名称 | 略称 | R/W | 初期値 | アドレス |
|-----------------|-------|-----|------|-------------|
| スタンバイコントロールレジスタ | SBYCR | R/W | H'00 | H'FFFFFFE91 |

14.2 レジスタの説明

14.2.1 スタンバイコントロールレジスタ (SBYCR)

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を設定します。SBYCR は、リセットで H'00 に初期化されます。

| ビット | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|-----|-----|---|-------|-------|-------|-------|-------|
| | SBY | HIZ | - | MSTP4 | MSTP3 | MSTP2 | MSTP1 | MSTP0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | - | R/W | R/W | R/W | R/W | R/W |

ビット7: スタンバイ (SBY)

スタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT の WTCSR の TME ビットが '1' のとき) には、SBY ビットは 1 にセットできません。スタンバイモードへ遷移するときは、必ず WDT を停止 (WDT の WTCSR の TME ビットを '0') させてから、SBY ビットをセットしてください。

| ビット7 | 説明 |
|------|-------------------------------|
| SBY | |
| 0 | SLEEP 命令の実行で、スリープモードへ遷移 (初期値) |
| 1 | SLEEP 命令の実行で、スタンバイモードへ遷移 |

ビット6：ポートハイインピーダンス（HIZ）

スタンバイモード時に、出力端子の状態をハイインピーダンスにするか、出力保持状態とするかを選択します。

HIZ=0（初期状態）で、特定の出力端子は出力を保持します。HIZ=1 のときは、ハイインピーダンス状態になります。どの端子を制御するかは、「A.1 リセット、低消費電力状態、バス権解放状態での端子状態」を参照してください。

| ビット6 | 説明 |
|------|------------------------------|
| HIZ | |
| 0 | スタンバイモード時に、端子状態を保持する（初期値） |
| 1 | スタンバイモード時に、端子状態をハイインピーダンスにする |

ビット5：予約ビット

リード/ライト可能ですが、書き込む値は常に0にしてください。

ビット4：モジュールストップ4（MSTP4）

内蔵周辺モジュールのうちDMACへのクロック供給の停止を指定します。

MSTP4ビットに1をセットするとDMACへのクロック供給を停止します。DMACは、クロック供給が停止されても、停止前の状態を保持しています。したがって、再度MSTP4を0にクリアして、DMACの動作を開始すると、停止前の状態から動作を開始します。なお、DMACの動作中（転送中）に本ビットをセットすることはできませんので、セットはDMAC停止中にセットしてください。

| ビット4 | 説明 |
|-------|-----------------|
| MSTP4 | |
| 0 | DMACは動作（初期値） |
| 1 | DMACへのクロック供給を停止 |

ビット3：モジュールストップ3 (MSTP3)

内蔵周辺モジュールのうち乗算器 (MULT) へのクロック供給の停止を指定します。

MSTP3 ビットに 1 をセットすると MULT へのクロック供給を停止します。MULT は、クロック供給が停止されても、停止前の演算結果を保持しています。本ビットのセットは、MULT 停止時に行ってください。

| ビット3 | 説明 |
|-------|------------------------|
| MSTP3 | |
| 0 | 乗算器 (MULT) は動作 (初期値) |
| 1 | 乗算器 (MULT) へのクロック供給を停止 |

ビット2：モジュールストップ2 (MSTP2)

内蔵周辺モジュールのうち除算器 (DIVU) へのクロック供給の停止を指定します。

MSTP2 ビットに 1 をセットすると DIVU へのクロック供給を停止します。DIVU は、クロック供給が停止されても、DIVU のレジスタは、停止前の状態を保持しています。本ビットのセットは、DIVU 停止時に行ってください。

| ビット2 | 説明 |
|-------|------------------------|
| MSTP2 | |
| 0 | 除算器 (DIVU) は動作 (初期値) |
| 1 | 除算器 (DIVU) へのクロック供給を停止 |

ビット1：モジュールストップ1 (MSTP1)

内蔵周辺モジュールのうち 16 ビットフリーランニングタイム (FRT) へのクロック供給の停止を指定します。

MSTP1 ビットに 1 をセットすると FRT へのクロック供給を停止します。クロック供給が停止されると FRT の各レジスタは初期化されます。ただし、INTC 内にある FRT 用割り込みベクタレジスタは、前の値を保持しています。したがって、再度 MSTP1 を 0 にクリアして、FRT の動作を開始すると、初期状態から動作を開始します。

| ビット1 | 説明 |
|-------|-----------------|
| MSTP1 | |
| 0 | FRT は動作 (初期値) |
| 1 | FRT へのクロック供給を停止 |

ビット0：モジュールストップ0 (MSTP0)

内蔵周辺モジュールのうちシリアルコミュニケーションインタフェース (SCI) へのクロック供給の停止を指定します。

MSTP0 ビットに 1 をセットすると SCI へのクロック供給を停止します。クロック供給が停止されると SCI の各レジスタは初期化されます。ただし、INTC 内にある SCI 用割込みベクタレジスタは、前の値を保持しています。したがって、再度 MSTP0 を 0 にクリアして、SCI の動作を開始すると、初期状態から動作を開始します。

| ビット0 | 説明 |
|-------|-----------------|
| MSTP0 | |
| 0 | SCI は動作 (初期値) |
| 1 | SCI へのクロック供給を停止 |

14.3 スリープモード

14.3.1 スリープモードへの遷移

SBYCR の SBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモード状態に遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

14.3.2 スリープモードの解除

スリープモードは、割り込み、DMA アドレスエラー、パワーオンリセット、マニュアルリセットにより、解除されます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。ただし、発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMA アドレスエラーによる解除

DMA アドレスエラーが発生すると、スリープモードが解除され、DMA アドレスエラー例外処理を実行します。

(3) パワーオンリセットによる解除

パワーオンリセットにより、スリープモードは解除されます。

(4) マニュアルリセットによる解除

マニュアルリセットにより、スリープモードは解除されます。

14.4 スタンバイモード

14.4.1 スタンバイモードへの遷移

SBYCRのSBYビットを1にセットした後、SLEEP命令を実行すると、プログラム実行状態からスタンバイモード状態に遷移します。このとき、SLEEP命令実行時とSLEEP命令実行後5サイクルはNMI割り込みを受け付けません。スタンバイモードでは、CPUだけでなくクロックや内蔵周辺モジュールも停止します。

CPUレジスタ内容は保持されますが、内蔵周辺モジュールに関しては初期化されるものがあります。

表 14.3 スタンバイモード時のレジスタの状態

| モジュール | 初期化されるレジスタ等 | 内容が保持されるレジスタ等 | 内容が不定のレジスタ等 |
|----------------------------|----------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------|-------------|
| 割り込みコントローラ (INTC) | - | 全レジスタ | - |
| ユーザブレイクコントローラ (UBC) | - | 全レジスタ | - |
| バスステートコントローラ (BSC) | - | 全レジスタ | - |
| DMAC | <ul style="list-style-type: none"> ・DMA チャンネルコントロールレジスタ0 ・DMA チャンネルコントロールレジスタ1 ・DMA オペレーションレジスタ | <ul style="list-style-type: none"> ・DMA チャンネルコントロールレジスタ0 ・DMA チャンネルコントロールレジスタ1 ・DMA オペレーションレジスタを除く全レジスタ | - |
| DIVU | - | - | 全レジスタ |
| ウォッチドッグタイマ (WDT) | <ul style="list-style-type: none"> ・タイマコントロールステータスレジスタのビット7~5 ・リセットコントロール/ステータスレジスタ | <ul style="list-style-type: none"> ・タイマコントロールステータスレジスタのビット2~0 ・タイマカウンタ | - |
| 16ビットフリーランニングタイマ (FRT) | 全レジスタ | - | - |
| シリアルコミュニケーションインタフェース (SCI) | 全レジスタ | - | - |
| その他 | - | <ul style="list-style-type: none"> ・スタンバイコントロールレジスタ ・周波数変更レジスタ | - |

14.4.2 スタンバイモードの解除

スタンバイモードは、NMI 割り込み、パワーオンリセット、マニュアルリセットにより解除されます。

(1) NMI 割り込みによる解除

NMI 信号の立ち上がり、また立ち下がりエッジが検出されると、WDT のタイマコントロール / ステータスレジスタに設定されている時間が経過後、LSI 全体にクロックが供給され、スタンバイモードが解除され、NMI 割り込み例外処理が実行されます。

(2) パワーオンリセットによる解除

パワーオンリセットにより、スタンバイモードは解除されます。

(3) マニュアルリセットによる解除

マニュアルリセットにより、スタンバイモードは解除されます。

14.4.3 NMI 割り込みによるスタンバイモード解除方法

NMI 信号の立ち下がりでスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 14.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットして SLEEP 命令を実行すると、スタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、スタンバイモードが解除されます。

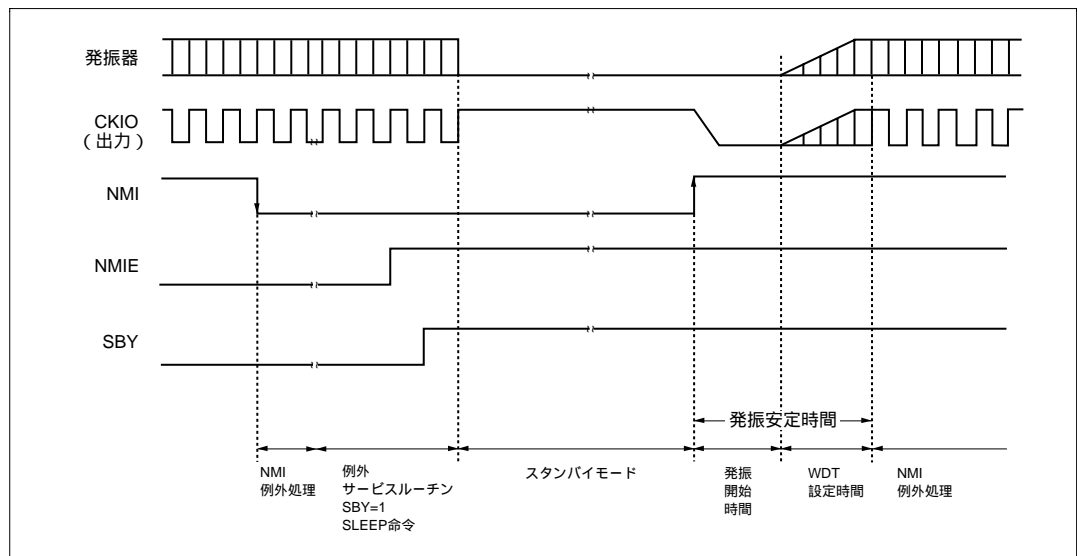


図 14.1 NMI 割り込みによるスタンバイモード解除方法

14.4.4 クロックポーズ機能

CKIO 端子からクロックを入力する場合、そのクロックの周波数を変更したり、クロックそのものを停止させたりできます。本 LSI はこのため $\overline{\text{CKPREQ}}/\text{CKM}$ 端子を持っています。

クロックポーズ機能は次のように使用します。

ただし、ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール/ステータスレジスタ (WTCRS) のタイマイネーブルビット (TME) が 1 のとき) には、クロックポーズは受け付けられません。

- (1) WDT の WTCRS の TME ビットに 0 を設定します。
- (2) WDT の WTCRS の CK2~0 にオーバフロー時間を設定します(オーバフロー時間は変更後のクロック周波数で計算してください)。
- (3) SLEEP 命令を実行し、スタンバイ状態に遷移させた後、 $\overline{\text{CKPREQ}}/\text{CKM}$ 端子からローレベルを印加します。
- (4) LSI 内部で動作クロック変更の準備ができたなら、 $\overline{\text{CKPACK}}$ 端子からローレベルが出力されます。
- (5) $\overline{\text{CKPACK}}$ 端子がローレベルになってから、クロックの停止、または周波数の変更を行います。この時、LSI 内部はスタンバイモードと同じ状態になっています。
- (6) クロックポーズ状態 (スタンバイ状態) の解除は、NMI 端子の立ち下がりエッジまたは立ち上がり (INTC の NMIE ビットの設定) で WDT がカウントアップを始めます。
- (7) 周波数変更の場合は WDT で設定した時間後に $\overline{\text{CKPACK}}$ 端子がハイレベルになって、LSI が動作可能状態 (スタンバイモード解除) になったことを外部に知らせます。
- (8) クロック停止の場合は、CKIO 端子に再度クロックを印加してから、NMI 入力を発生させます。その後 WDT で設定した時間後に $\overline{\text{CKPACK}}$ 端子がハイレベルになって、LSI が動作可能状態 (スタンバイモード解除) になったことを外部に知らせます。

なお、クロックポーズによるスタンバイ状態、各内部機能および端子の状態は、通常のスタンバイモードと同じ状態となります。

図 14.2 にクロックポーズ機能のタイミングチャートを示します。

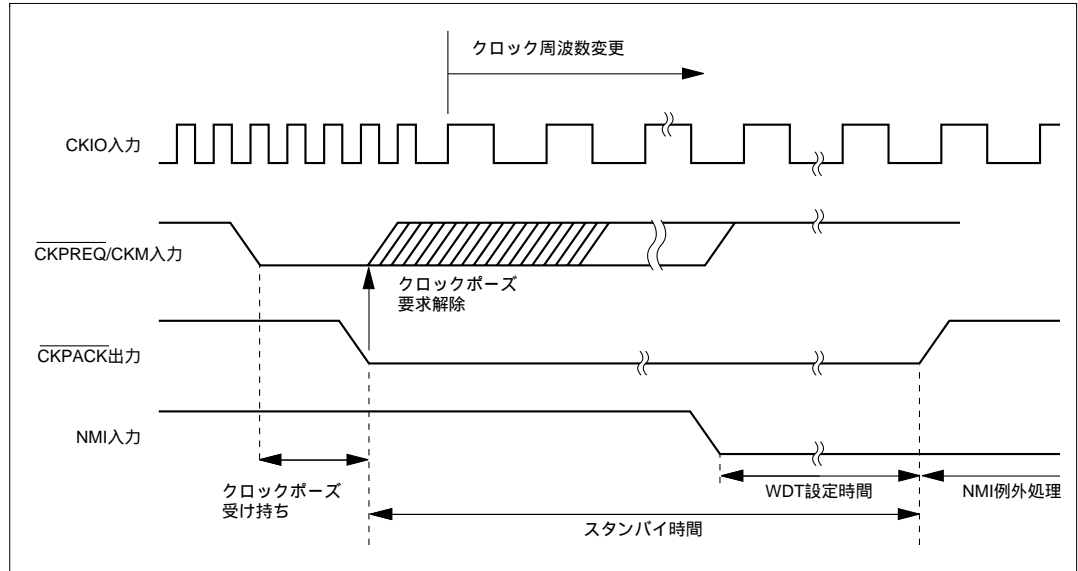


図 14.2 クロックポーズ機能のタイミングチャート

14.4.5 スタンバイモードの注意事項

- (1) キャッシュを使用しているときに、スタンバイモードにするときは、スタンバイモードに移る前に、キャッシュをディスエーブルしてください。スタンバイ復帰後、キャッシュを使用する場合、それに先立ってキャッシュの初期化を行ってください。また、内蔵 RAM として使用しているときも、スタンバイ中は内蔵 RAM の値は保持しません。
- (2) スタンバイモードに入れる前 10 クロックサイクル中に内蔵周辺レジスタをライトアクセスする場合は、該当するレジスタをリード後 SLEEP 命令を実行してください。
- (3) クロックモード 0、1、2 で使用する場合、CKIO 端子はクロック出力端子になります。本クロックモードでスタンバイモードを使用する場合は、以下のことに注意してください。
スタンバイモードを NMI 割り込みにより解除する場合、NMI 入力後、発振安定時間中に不安定なクロックが CKIO 端子から出力されます。同様にパワーオンリセット、マニュアルリセットによる解除でも出力されます。そのときパワーオンリセット、マニュアルリセットは発振安定時間以上入力してください。

14.5 モジュールスタンバイ機能

14.5.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの MSTP4~0 ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、消費電力を低減させることができます。モジュールスタンバイ中の各モジュールは、リード/ライトしないでください。

モジュールスタンバイ機能で、DMAC、MULT、DIVU の内蔵周辺モジュールの外部端子、レジスタは停止前の状態を保持します。FRT、SCI の各外部端子は、リセット時の状態になります。また、レジスタは全て初期化されます。

周辺機器動作中には、モジュールスタンバイ状態に入れないでください。

14.5.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、MSTP4~0 ビットを 0 にクリアするか、パワーオンリセット、またはマニュアルリセットにより行います。

モジュールストップさせる場合そのモジュールの動作を停止させるか、割り込みを禁止させてください。

15. 電気的特性（5V 版）

第 15 章 目次

| | | |
|--------|--------------------------------|-----|
| 15.1 | 絶対最大定格..... | 461 |
| 15.2 | DC 特性..... | 462 |
| 15.3 | AC 特性..... | 464 |
| 15.3.1 | クロックタイミング..... | 464 |
| 15.3.2 | 制御信号タイミング..... | 467 |
| 15.3.3 | バスタイミング..... | 473 |
| 15.3.4 | ダイレクトメモリアクセスコントローラタイミング..... | 540 |
| 15.3.5 | フリーランタイムタイミング..... | 541 |
| 15.3.6 | ウォッチドッグタイマタイミング..... | 542 |
| 15.3.7 | シリアルコミュニケーションインタフェースタイミング..... | 543 |
| 15.3.8 | AC 特性測定条件..... | 544 |

15.1 絶対最大定格

絶対最大定格を表 15.1 に示します。

表 15.1 絶対最大定格

| 項目 | 記号 | 定格値 | 単位 |
|------|------|----------------|----|
| 電源電圧 | Vcc | -0.3 ~ +7.0 | V |
| 入力電圧 | Vin | -0.3 ~ Vcc+0.3 | V |
| 動作温度 | Topr | -20 ~ +75 | |
| 保存温度 | Tstg | -55 ~ +125 | |

[使用上の注意]

最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

15.2 DC 特性

DC 特性を表 15.2、表 15.3 に示します。

表 15.2 DC 特性

条件 : $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | | 記号 | min | typ | max | 単位 | 測定条件 |
|-------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|------|---------|-----|-----------|------------|---------------------------------|
| 入力ハイ レベル電圧 | \overline{RES} , NMI, MD5 ~ MD0 | VIH | Vcc-0.5 | | Vcc + 0.3 | V | スタンバイ時 |
| | EXTAL, CKIO | | Vcc-0.7 | | Vcc + 0.3 | V | 通常動作時 |
| | その他の入力端子 | | Vcc-0.7 | | Vcc + 0.3 | V | |
| | | | 2.2 | | Vcc + 0.3 | V | |
| 入力ロー レベル電圧 | \overline{RES} , NMI, MD5 ~ MD0 | VIL | -0.3 | | 0.5 | V | スタンバイ時 |
| | その他の入力端子 | | -0.3 | | 0.8 | V | 通常動作時 |
| | | | -0.3 | | 0.8 | V | |
| 入力リーク 電流 | \overline{RES} | lin | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc}-0.5V$ |
| | NMI, MD5 ~ MD0 | | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc}-0.5V$ |
| | その他の入力端子 | | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc}-0.5V$ |
| スリー プ状態 リーク電流 (オフ状態) | A26 ~ A0, D31 ~ D0, \overline{BS} , $\overline{CS3} \sim \overline{CS0}$, RD \overline{WR} , RAS, CAS, WE3 ~ WE0, RD, \overline{IVECF} | ISTI | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc}-0.5V$ |
| 出力ハイ レベル電圧 | 全出力端子 | VOH | Vcc-0.5 | | | V | IOH = -200 μA |
| | | | 3.5 | | | V | IOH = -1mA |
| 出力ロー レベル電圧 | 全出力端子 | VOL | | | 0.4 | V | IOL = 1.6mA |
| 入力容量 | \overline{RES} | Cin | | | 15 | pF | $V_{in} = 0V$ |
| | NMI | | | | 15 | pF | f = 1 MHz |
| | その他の全入力端子 (D31 ~ D0 含む) | | | | 15 | pF | $T_a = 25$ |
| 消費電流 | 通常動作時 | Icc | | 60 | 80 | mA | f = 8 MHz |
| | | | | 80 | 100 | mA | f = 16 MHz |
| | | | | 110 | 160 | mA | f = 28.7 MHz |
| | スリープ時 | | | 30 | 55 | mA | f = 8 MHz |
| | | | | 50 | 70 | mA | f = 16 MHz |
| | | | | 80 | 100 | mA | f = 28.7 MHz |
| | スタンバイ時 | | | 1 | 15 | μA | $T_a = 50$ |
| | | | | 60 | μA | $50 < T_a$ | |

[使用上の注意]

- PLL を使用しないときに、PLL V_{cc} 、PLL V_{ss} 端子を解放しないでください。
PLL V_{cc} 端子は V_{cc} に、PLL V_{ss} 端子は V_{ss} にそれぞれ接続してください。
- 消費電流値は、 $V_{IH} \text{ min} = V_{cc}-0.5V$ 、 $V_{IL} \text{ max} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 15.3 出力許容電流値

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | typ | max | 単位 |
|-----------------------|--------|-----|-----|-----|----|
| 出力ローレベル許容電流 (1 端子あたり) | IOL | | | 2.0 | mA |
| 出力ローレベル許容電流 (総和) | IOL | | | 80 | mA |
| 出力ハイレベル許容電流 (1 端子あたり) | -IOH | | | 2.0 | mA |
| 出力ハイレベル許容電流 (総和) | (-IOH) | | | 25 | mA |

[使用上の注意]

LSI の信頼性を確保するため、出力電流値は表 15.3 の値を超えないようにしてください。

15.3 AC 特性

15.3.1 クロックタイミング

表 15.4 クロックタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|-----------------------|--------|-------------------------------------|-------------------------------------------|-----|------|
| 動作周波数 | fOP | 4 | 28.7 | MHz | 15.1 |
| クロックサイクル時間 | tcyc | 35 | 143 ^{*1} or 250 ^{*2} | ns | |
| クロックローレベルパルス幅 | tCL | 8 ^{*1} or 15 ^{*2} | | ns | |
| クロックハイレベルパルス幅 | tCH | 8 ^{*1} or 15 ^{*2} | | ns | |
| クロック立ち上がり時間 | tCR | | 5 | ns | |
| クロック立ち下がり時間 | tCF | | 5 | ns | |
| EXTAL クロック入力周波数 | fEX | 4 | 8 | MHz | |
| EXTAL クロック入力サイクル時間 | tEXcyc | 125 | 250 | ns | |
| EXTAL クロック入力ローレベルパルス幅 | tEXL | 50 | | ns | |
| EXTAL クロック入力ハイレベルパルス幅 | tEXH | 50 | | ns | |
| EXTAL クロック入力立ち上がり時間 | tEXR | | 5 | ns | |
| EXTAL クロック入力立ち下がり時間 | tEXF | | 5 | ns | |
| パワーオン発振安定時間 | tOSC1 | 10 | | ms | 15.3 |
| スタンバイ復帰発振安定時間 1 | tOSC2 | 10 | | ms | 15.4 |
| スタンバイ復帰発振安定時間 2 | tOSC3 | 10 | | ms | 15.5 |
| PLL 同期安定化時間 | tPLL | 1 | | ms | 15.6 |

【注】 *1 PLL 回路 1 動作時

*2 PLL 回路 1 不使用時

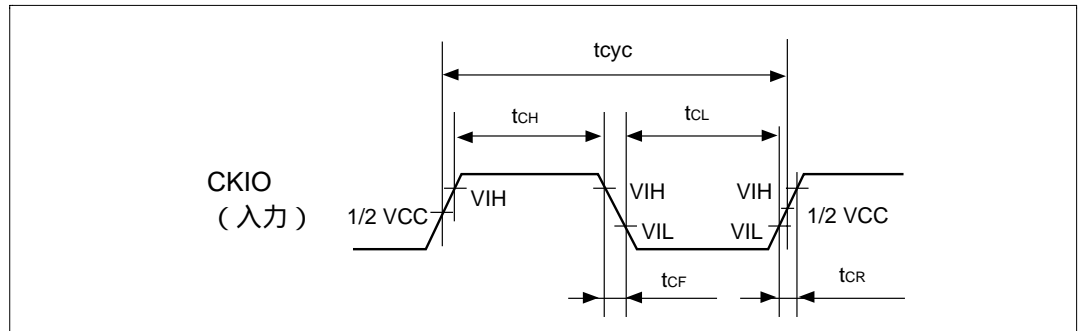
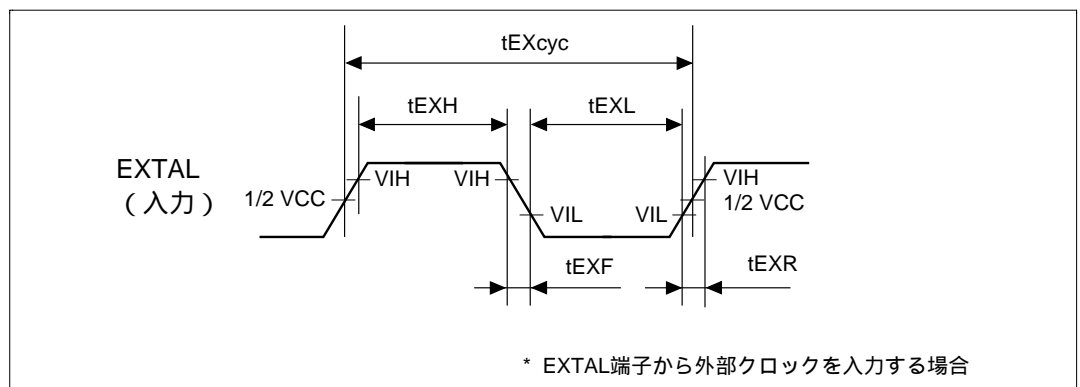
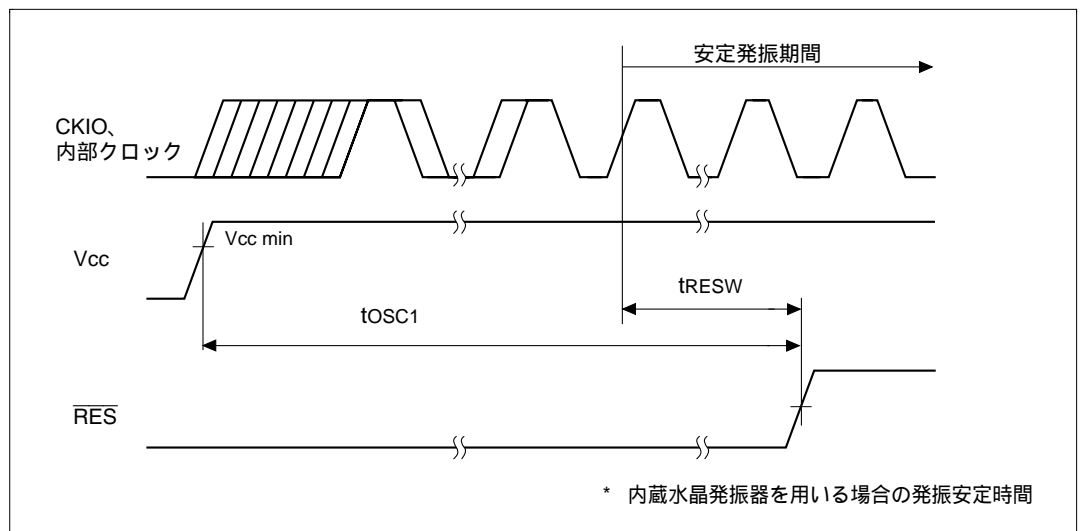


図 15.1 CKIO 入力タイミング



* EXTAL端子から外部クロックを入力する場合

図 15.2 EXTAL クロック入力タイミング



* 内蔵水晶発振器を用いる場合の発振安定時間

図 15.3 パワーオン時発振安定時間

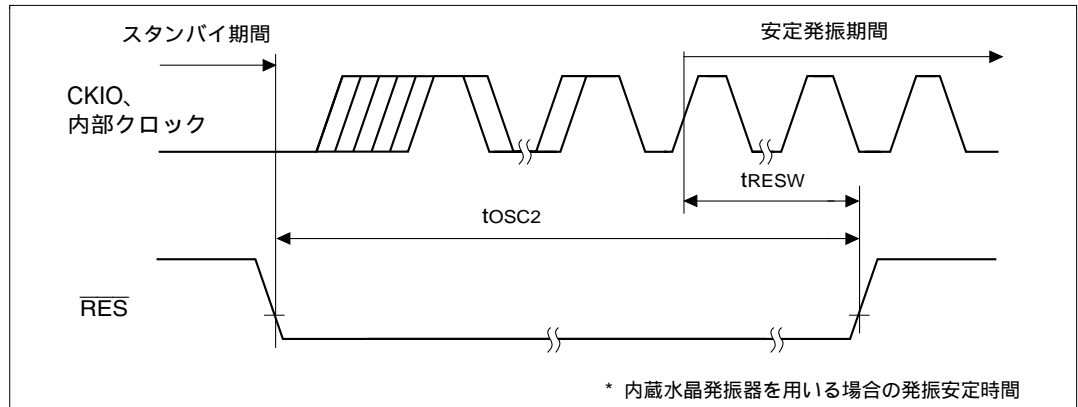


図 15.4 スタンバイ復帰時発振安定時間 (\overline{RES} による復帰)

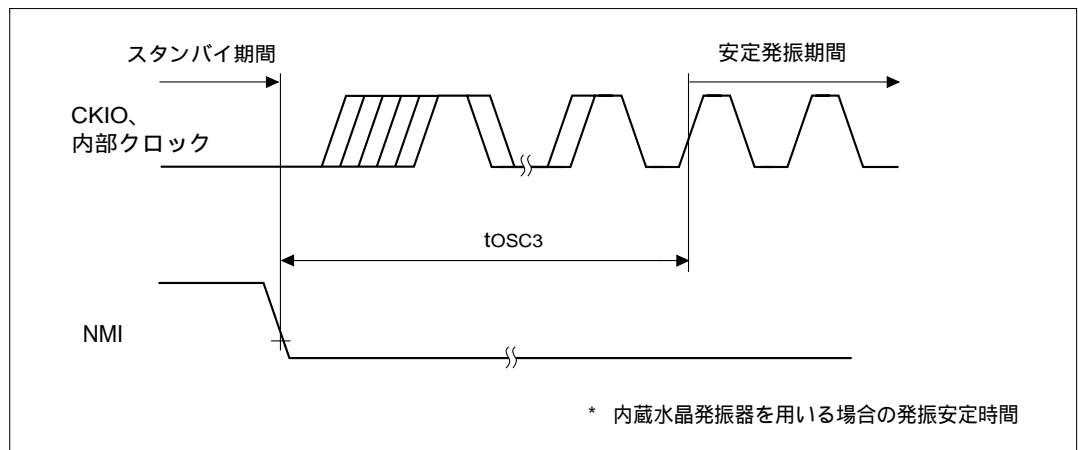


図 15.5 スタンバイ復帰時発振安定時間 (NMI による復帰)

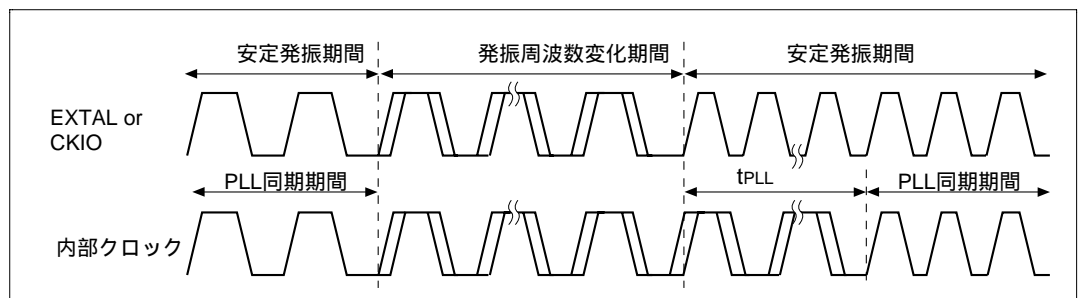


図 15.6 PLL 同期安定化時間

15.3.2 制御信号タイミング

表 15.5 制御信号タイミング (1)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------------------------|-----------------|---------|-----|------|--------|
| \overline{RES} 立ち上がり、立ち下がり | tRESr, tRESf | | 200 | ns | 15.7 |
| \overline{RES} パルス幅 | tRESW | 20 | | tcyc | |
| NMI リセットセットアップ時間 | tNMIRS | tcyc+10 | | ns | |
| NMI リセットホールド時間 | tNMIRH | tcyc+10 | | ns | |
| NMI 立ち上がり、立ち下がり | tNMIr, tNMIf | | 200 | ns | |
| NMI 最小パルス幅 | tIRQES | 3 | | tcyc | |
| \overline{RES} セットアップ時間*1 | tRESS | 30 | | ns | 15.8,9 |
| NMI セットアップ時間*1 | tNMIS | 30 | | ns | |
| $\overline{IRL3} \sim \overline{IRL0}$ セットアップ時間*1 | tIRLS | 30 | | ns | |
| \overline{RES} ホールド時間 | tRESH | 10 | | ns | 15.8,9 |
| NMI ホールド時間 | tNMIH | 10 | | ns | |
| $\overline{IRL3} \sim \overline{IRL0}$ ホールド時間 | tIRLH | 10 | | ns | |

【注】 *1 \overline{RES} 、NMI および $\overline{IRL3} \sim \overline{IRL0}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち下がりで変化が生じたものとして判定されます。セットアップを守れない場合、次のクロック立ち下がりまで認識が遅れることがあります。

表 15.5 制御信号タイミング (2)

条件 : $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照 |
|-----------------------------------------------------|--------|----------------|-----------------|----|-------|
| \overline{BRLS} セットアップ時間 1 (PLL オン) | tBLSS1 | $1/2t_{cyc}+9$ | | ns | 15.10 |
| \overline{BRLS} ホールド時間 1 (PLL オン) | tBLSH1 | $9-1/2t_{cyc}$ | | ns | |
| \overline{BGR} 遅延時間 1 (PLL オン) | tBGRD1 | | $1/2t_{cyc}+18$ | ns | |
| \overline{BRLS} セットアップ時間 1 (PLL オン 1/4 サイクル遅延) | tBLSS1 | $1/4t_{cyc}+9$ | | ns | 15.10 |
| \overline{BRLS} ホールド時間 1 (PLL オン 1/4 サイクル遅延) | tBLSH1 | $9-1/4t_{cyc}$ | | ns | |
| \overline{BGR} 遅延時間 1 (PLL オン 1/4 サイクル遅延) | tBGRD1 | | $3/4t_{cyc}+18$ | ns | |
| \overline{BRLS} セットアップ時間 2 (PLL オフ) | tBLSS2 | 9 | | ns | 15.11 |
| \overline{BRLS} ホールド時間 2 (PLL オフ) | tBLSH2 | 19 | | ns | |
| \overline{BGR} 遅延時間 2 (PLL オフ) | tBGRD2 | | 28 | ns | |
| \overline{BREQ} 遅延時間 1 (PLL オン) | tBRQD1 | | $1/2t_{cyc}+18$ | ns | 15.12 |
| \overline{BACK} セットアップ時間 1 (PLL オン) | tBAKS1 | $1/2t_{cyc}+9$ | | ns | |
| \overline{BACK} ホールド時間 1 (PLL オン) | tBAKH1 | $9-1/2t_{cyc}$ | | ns | |
| \overline{BREQ} 遅延時間 1 (PLL オン 1/4 サイクル遅延) | tBRQD1 | | $3/4t_{cyc}+18$ | ns | 15.12 |
| \overline{BACK} セットアップ時間 1 (PLL オン 1/4 サイクル遅延) | tBAKS1 | $1/4t_{cyc}+9$ | | ns | |
| \overline{BACK} ホールド時間 1 (PLL オン 1/4 サイクル遅延) | tBAKH1 | $9-1/4t_{cyc}$ | | ns | |
| \overline{BREQ} 遅延時間 2 (PLL オフ) | tBRQD2 | | 28 | ns | 15.13 |
| \overline{BACK} セットアップ時間 2 (PLL オフ) | tBAKS2 | 9 | | ns | |
| \overline{BACK} ホールド時間 2 (PLL オフ) | tBAKH2 | 19 | | ns | |

表 15.5 制御信号タイミング (3)

条件 : $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------------------|--------|---------|------------|----|----------|
| バストライステート遅延時間 1 (PLL オン) | tBOFF1 | 0 | 25 | ns | 15.10,12 |
| バスバッファオン時間 1 (PLL オン) | tBON1 | 0 | 18 | ns | |
| バストライステート遅延時間 1 (PLL オン 1/4 サイクル遅延) | tBOFF1 | 1/4tcyc | 1/4tcyc+25 | ns | 15.10,12 |
| バスバッファオン時間 1 (PLL オン 1/4 サイクル遅延) | tBON1 | 1/4tcyc | 1/4tcyc+18 | ns | |
| バストライステート遅延時間 1 (PLL オフ) | tBOFF1 | 0 | 30 | ns | 15.11,13 |
| バスバッファオン時間 1 (PLL オフ) | tBON1 | 0 | 25 | ns | |
| バストライステート遅延時間 2 (PLL オン) | tBOFF2 | 1/2tcyc | 1/2tcyc+25 | ns | 15.10,12 |
| バスバッファオン時間 2 (PLL オン) | tBON2 | 1/2tcyc | 1/2tcyc+18 | ns | |
| バストライステート遅延時間 2 (PLL オン 1/4 サイクル遅延) | tBOFF2 | 3/4tcyc | 3/4tcyc+25 | ns | 15.10,12 |
| バスバッファオン時間 2 (PLL オン 1/4 サイクル遅延) | tBON2 | 3/4tcyc | 3/4tcyc+18 | ns | |
| バストライステート遅延時間 3 (PLL オフ) | tBOFF3 | 0 | 30 | ns | 15.11,13 |
| バスバッファオン時間 3 (PLL オフ) | tBON3 | 0 | 25 | ns | |

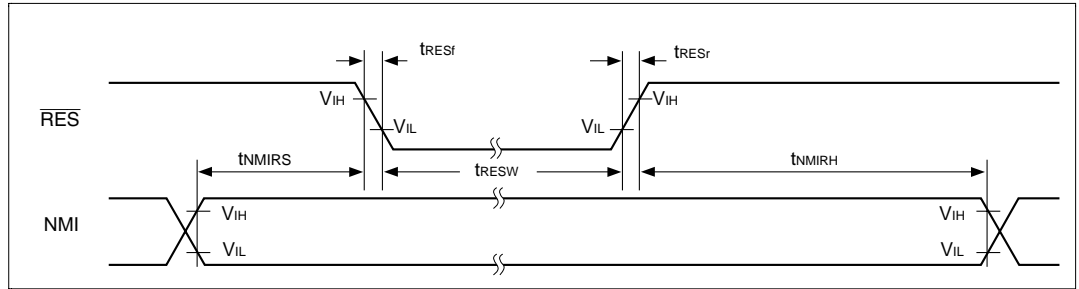


図 15.7 リセット入力タイミング

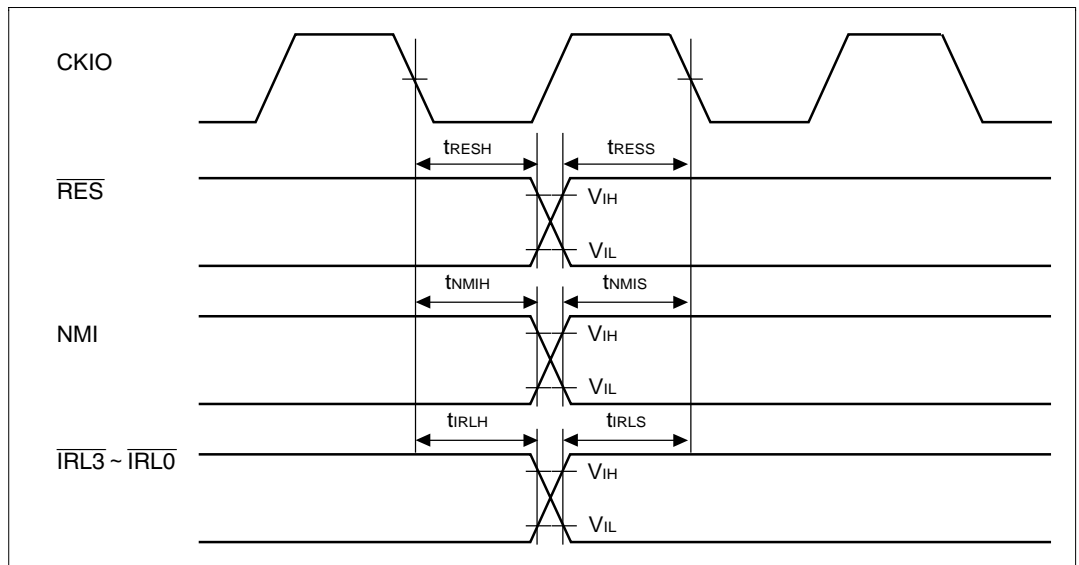


図 15.8 割り込み信号入力タイミング (PLL 1 オフ時)

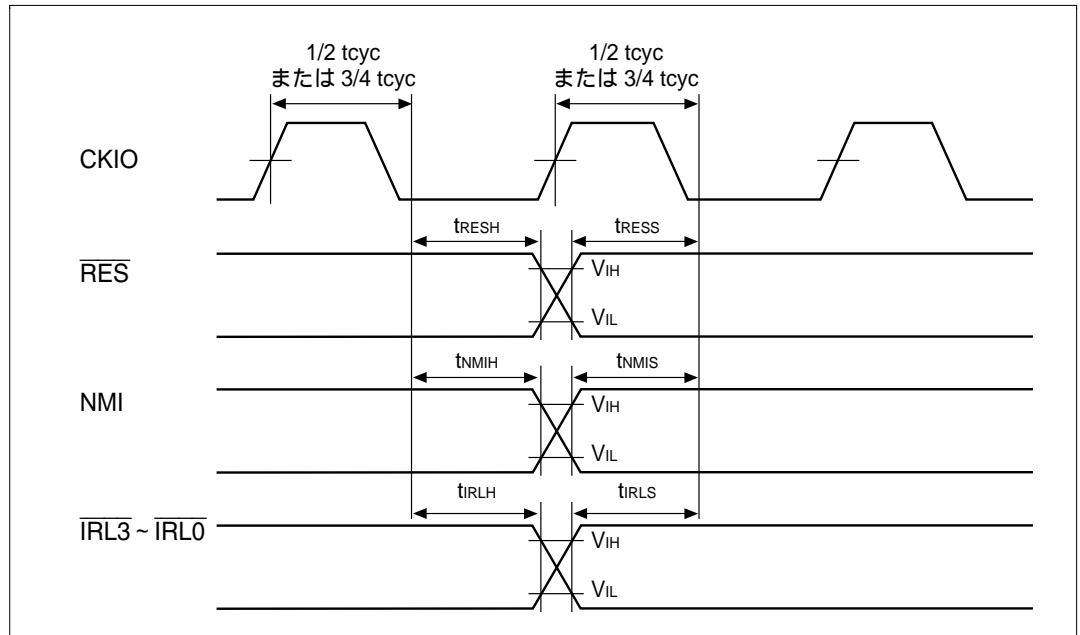


図 15.9 割り込み信号入力タイミング (PLL1 オン時)

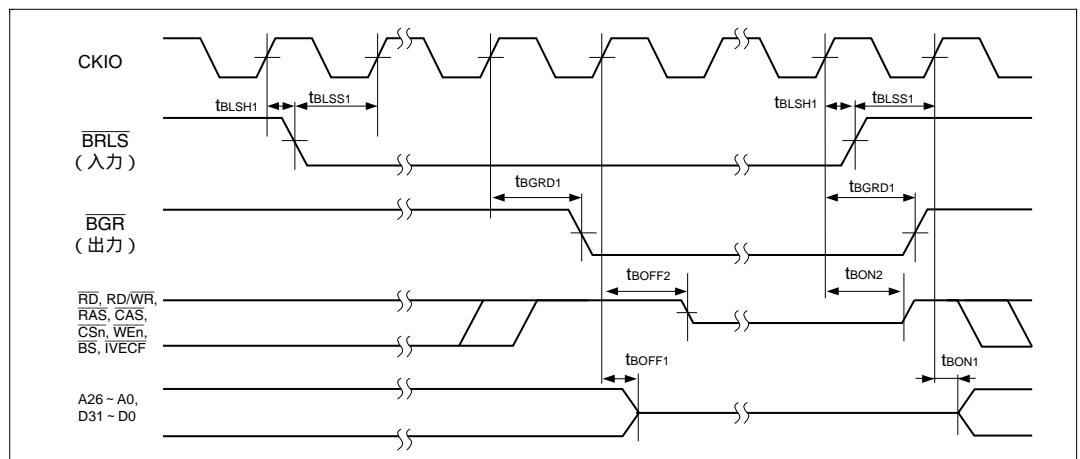


図 15.10 バス権解放タイミング (マスタモード、PLL 1 オン時)

15. 電気的特性 (5V 版)

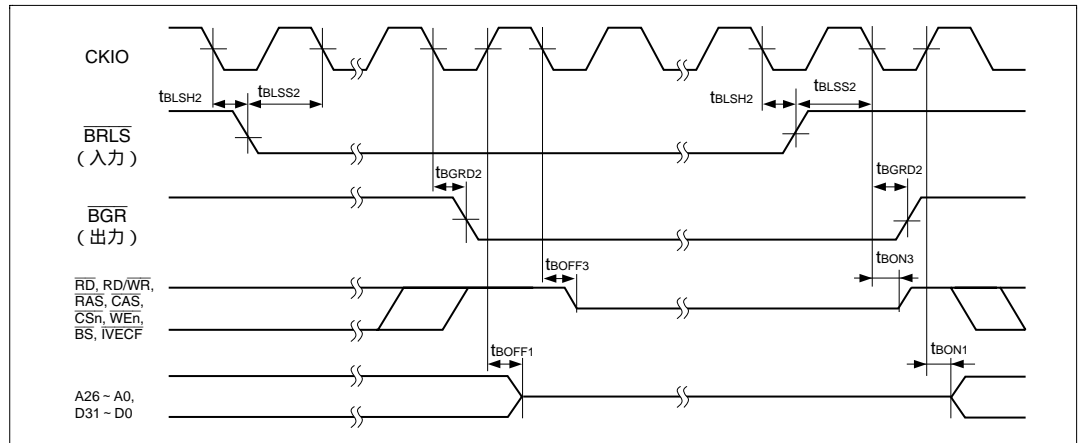


図 15.11 バス権解放タイミング (マスタモード、PLL 1 オフ時)

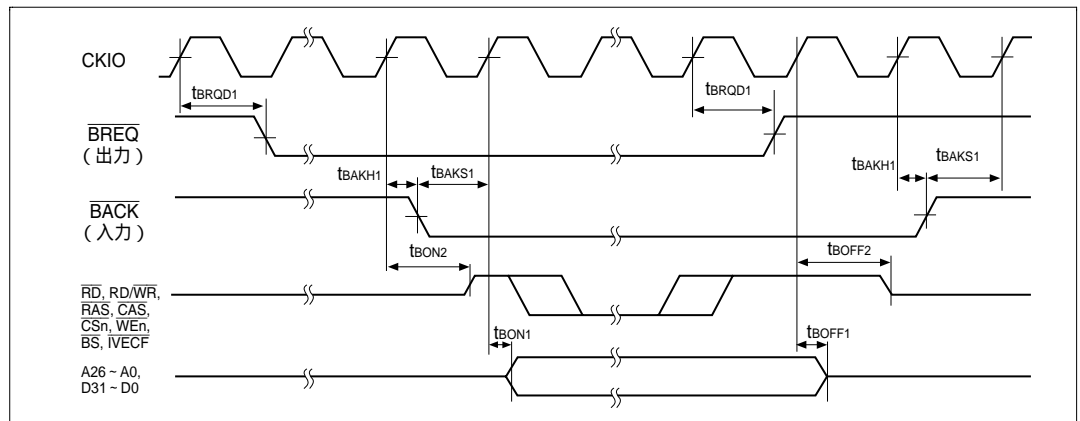


図 15.12 バス権解放タイミング (スレープモード、PLL 1 オン時)

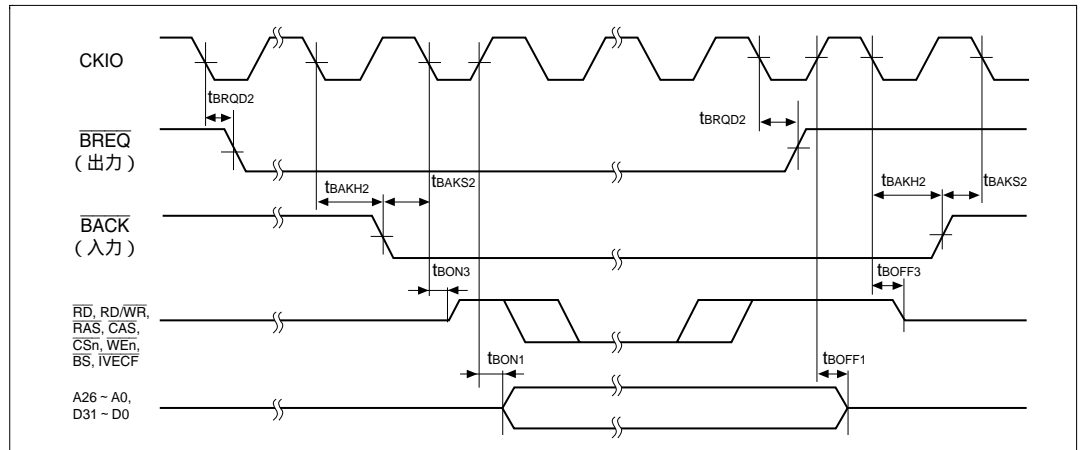


図 15.13 バス権解放タイミング (スレープモード、PLL 1 オフ時)

15.3.3 バスタイミング

表 15.6 PLL オンバスタイミング [モード 0、4] (1)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|-----------------------------|--------|-----------------|-----------------|----|----------------------|
| アドレス遅延時間 | tAD | 3 | 18 | ns | 15.14,20,40,52,66,68 |
| BS 遅延時間 | tBSD | | 21 | ns | 15.14,20,40,52,66 |
| CS 遅延時間 1 | tCSD1 | | 21 | ns | 15.14,20,40,52,66 |
| CS 遅延時間 2 | tCSD2 | | $1/2t_{cyc}+21$ | ns | 15.14,66 |
| リードライト遅延時間 | tRWD | 3 | 18 | ns | 15.14,20,40,52,66 |
| リードストロープ遅延時間 1 | tRSD1 | | $1/2t_{cyc}+16$ | ns | 15.14,40,52,66,68 |
| リードデータセットアップ時間 1 | tRDS1 | $1/2t_{cyc}+10$ | | ns | 15.14,40,52,66,68 |
| リードデータセットアップ時間 3 (SDRAM) | tRDS3 | $1/2t_{cyc}+8$ | | ns | 15.20 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 15.14,66 |
| リードデータホールド時間 4 (SDRAM) | tRDH4 | 0 | | ns | 15.20 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 15.40 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 15.52 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 15.68 |
| ライトイネーブル遅延時間 1 | tWED1 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+18$ | ns | 15.14,15,52,53 |
| ライトデータ遅延時間 | tWDD | 3 | 18 | ns | 15.15,27,41,53 |
| ライトデータホールド時間 1 | tWDH1 | 3 | | ns | 15.15,27,41,53 |
| データバッファオン時間 | tDON | | 18 | ns | 15.15,27,41,53 |
| データバッファオフ時間 | tDOF | | 18 | ns | 15.15,27,41,53 |
| DACK 遅延時間 1 | tDACD1 | | 18 | ns | 15.14,20,40,52,66 |
| DACK 遅延時間 2 | tDACD2 | | $1/2t_{cyc}+18$ | ns | 15.14,20,40,52,66 |
| WAIT セットアップ時間 | tWTS | 20 | | ns | 15.19,43,55,66,70 |
| WAIT ホールド時間 | tWTH | 5 | | ns | 15.19,43,55,66,70 |
| RAS 遅延時間 1 (SDRAM) | tRASD1 | | 18 | ns | 15.20 |
| RAS 遅延時間 2 (DRAM) | tRASD2 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+18$ | ns | 15.40 |

表 15.6 PLL オンバスタイミング [モード0、4] (2)

条件 : $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|----------------|-----------------|----|-------|
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | 18 | ns | 15.20 |
| \overline{CAS} 遅延時間 2 (DRAM) | tCASD2 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+18$ | ns | 15.40 |
| DQM 遅延時間 | tDQMD | | 18 | ns | 15.20 |
| CKE 遅延時間 | tCKED | | 21 | ns | 15.37 |
| \overline{CE} 遅延時間 1 | tCED1 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+18$ | ns | 15.52 |
| \overline{OE} 遅延時間 1 | tOED1 | | $1/2t_{cyc}+18$ | ns | 15.52 |
| \overline{VECF} 遅延時間 | tIVD | | 18 | ns | 15.68 |
| アドレス入力セットアップ時間 | tASIN | 14 | | ns | 15.71 |
| アドレス入力ホールド時間 | tAHIN | 3 | | ns | 15.71 |
| \overline{BS} 入力セットアップ時間 | tBSS | 15 | | ns | 15.71 |
| \overline{BS} 入力ホールド時間 | tBSH | 3 | | ns | 15.71 |
| リードライト入力セットアップ時間 | tRWS | 15 | | ns | 15.71 |
| リードライト入力ホールド時間 | tRWH | 3 | | ns | 15.71 |
| アドレスホールド時間 1 | tAH1 | 5 | | ns | 15.15 |

表 15.7 PLL オン 1/4 サイクル遅延バスタイミング [モード 1、5] (1)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|-----------------|-----------------|----|----------------------|
| アドレス遅延時間 | tAD | $1/4t_{cyc}+3$ | $1/4t_{cyc}+18$ | ns | 15.14,20,40,52,66,68 |
| \overline{BS} 遅延時間 | tBSD | | $1/4t_{cyc}+21$ | ns | 15.14,20,40,52,66 |
| \overline{CS} 遅延時間 1 | tCSD1 | | $1/4t_{cyc}+21$ | ns | 15.14,20,40,52,66 |
| \overline{CS} 遅延時間 2 | tCSD2 | | $3/4t_{cyc}+21$ | ns | 15.14,66 |
| リードライト遅延時間 | tRWD | $1/4t_{cyc}+3$ | $1/4t_{cyc}+18$ | ns | 15.14,20,40,52,66 |
| リードストロープ遅延時間 1 | tRSD1 | | $3/4t_{cyc}+16$ | ns | 15.14,40,52,66,68 |
| リードデータセットアップ時間 1 | tRDS1 | $1/4t_{cyc}+10$ | | ns | 15.14,40,52,66,68 |
| リードデータセットアップ時間 3 (SDRAM) | tRDS3 | $1/4t_{cyc}+8$ | | ns | 15.20 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 15.14,66 |
| リードデータホールド時間 4 (SDRAM) | tRDH4 | 0 | | ns | 15.20 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 15.40 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 15.52 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 15.68 |
| ライトイネーブル遅延時間 1 | tWED1 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+18$ | ns | 15.14,15,52,53 |
| ライトデータ遅延時間 | tWDD | $1/4t_{cyc}+3$ | $1/4t_{cyc}+18$ | ns | 15.15,27,41,53 |
| ライトデータホールド時間 1 | tWDH1 | $1/4t_{cyc}+3$ | | ns | 15.15,27,41,53 |
| データバッファオン時間 | tDON | | $1/4t_{cyc}+18$ | ns | 15.15,27,41,53 |
| データバッファオフ時間 | tDOF | | $1/4t_{cyc}+18$ | ns | 15.15,27,41,53 |
| DACK 遅延時間 1 | tDACD1 | | $1/4t_{cyc}+18$ | ns | 15.14,20,40,52,66 |
| DACK 遅延時間 2 | tDACD2 | | $3/4t_{cyc}+18$ | ns | 15.14,20,40,52,66 |
| \overline{WAIT} セットアップ時間 | tWTS | $20-1/4t_{cyc}$ | | ns | 15.19,43,55,66,70 |
| \overline{WAIT} ホールド時間 | tWTH | $1/4t_{cyc}+5$ | | ns | 15.19,43,55,66,70 |
| \overline{RAS} 遅延時間 1 (SDRAM) | tRASD1 | | $1/4t_{cyc}+18$ | ns | 15.20 |
| \overline{RAS} 遅延時間 2 (DRAM) | tRASD2 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+18$ | ns | 15.40 |
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | $1/4t_{cyc}+18$ | ns | 15.20 |
| \overline{CAS} 遅延時間 2 (DRAM) | tCASD2 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+18$ | ns | 15.40 |

表 15.7 PLL オン 1/4 サイクル遅延バスタイミング [モード 1、5] (2)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------|-------|-----------------|-----------------|----|-------|
| DQM 遅延時間 | tDQMD | | $1/4t_{cyc}+18$ | ns | 15.20 |
| CKE 遅延時間 | tCKED | | $1/4t_{cyc}+21$ | ns | 15.37 |
| \overline{CE} 遅延時間 1 | tCED1 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+18$ | ns | 15.52 |
| \overline{OE} 遅延時間 1 | tOED1 | | $3/4t_{cyc}+18$ | ns | 15.52 |
| \overline{IVECF} 遅延時間 | tIVD | | $1/4t_{cyc}+18$ | ns | 15.68 |
| アドレス入力セットアップ時間 | tASIN | $14-1/4t_{cyc}$ | | ns | 15.71 |
| アドレス入力ホールド時間 | tAHIN | $1/4t_{cyc}+3$ | | ns | 15.71 |
| \overline{BS} 入力セットアップ時間 | tBSS | $15-1/4t_{cyc}$ | | ns | 15.71 |
| \overline{BS} 入力ホールド時間 | tBSH | $1/4t_{cyc}+3$ | | ns | 15.71 |
| リードライト入力セットアップ時間 | tRWS | $15-1/4t_{cyc}$ | | ns | 15.71 |
| リードライト入力ホールド時間 | tRWH | $1/4t_{cyc}+3$ | | ns | 15.71 |
| アドレスホールド時間 1 | tAH1 | 5 | | ns | 15.15 |

表 15.8 PLL オフバスタイミング (CKIO 入力時) [モード 6] (1)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|-----|-----|----|----------------------|
| アドレス遅延時間 | tAD | 13 | 28 | ns | 15.16,38,47,60,67,69 |
| \overline{BS} 遅延時間 | tBSD | | 30 | ns | 15.16,38,47,60,67 |
| \overline{CS} 遅延時間 1 | tCSD1 | | 30 | ns | 15.16,38,47,60,67 |
| \overline{CS} 遅延時間 3 | tCSD3 | | 28 | ns | 15.16,67 |
| リードライト遅延時間 | tRWD | 13 | 28 | ns | 15.16,38,47,60,67 |
| リードストロブ遅延時間 2 | tRSD2 | | 26 | ns | 15.16,47,60,67,69 |
| リードデータセットアップ時間 2 | tRDS2 | 10 | | ns | 15.16,38,47,60,67,69 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 15.16,67 |
| リードデータホールド時間 3 | tRDH3 | 15 | | ns | 15.38 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 15.47 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 15.60 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 15.69 |
| ライトイネーブル遅延時間 2 | tWED2 | 10 | 25 | ns | 15.17,61 |
| ライトデータ遅延時間 | tWDD | 10 | 25 | ns | 15.17,39,48,61 |
| ライトデータホールド時間 1 | tWDH1 | 3 | | ns | 15.17,39,48,61 |
| ライトデータホールド時間 2 | tWDH2 | 5 | | ns | 15.17 |
| ライトデータホールド時間 3 | tWDH3 | 3 | | ns | 15.61 |
| DACK 遅延時間 1 | tDACD1 | | 25 | ns | 15.16,38,47,60,67 |
| DACK 遅延時間 3 | tDACD3 | | 25 | ns | 15.16,38,47,60,67 |
| WAIT セットアップ時間 | tWTS | 20 | | ns | 15.19,43,55,67,70 |
| WAIT ホールド時間 | tWTH | 15 | | ns | 15.19,43,55,67,70 |
| \overline{RAS} 遅延時間 1 (SDRAM) | tRASD1 | | 25 | ns | 15.38 |
| \overline{RAS} 遅延時間 3 (DRAM) | tRASD3 | 10 | 25 | ns | 15.47 |
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | 25 | ns | 15.38 |
| \overline{CAS} 遅延時間 3 (DRAM) | tCASD3 | 10 | 25 | ns | 15.47 |
| DQM 遅延時間 | tDQMD | | 25 | ns | 15.38 |
| CKE 遅延時間 | tCKED | | 25 | ns | 15.37 |
| \overline{CE} 遅延時間 2 | tCED2 | 10 | 25 | ns | 15.60 |
| \overline{OE} 遅延時間 2 | tOED2 | | 25 | ns | 15.60 |

表 15.8 PLL オフバスタイミング (CKIO 入力時) [モード 6] (2)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------------|-------|-----|-----|----|----------------|
| \overline{IVECF} 遅延時間 | tIVD | | 25 | ns | 15.69 |
| \overline{WE} セットアップ時間 | tWES1 | 0 | | ns | 15.16 |
| アドレスセットアップ時間 1 | tAS1 | 0 | | ns | 15.17 |
| アドレスセットアップ時間 2 | tAS2 | 3 | | ns | 15.60 |
| アドレスホールド時間 2 | tAH2 | 0 | | ns | 15.17 |
| ロウアドレスセットアップ時間 | tASR | 3 | | ns | 15.47 |
| カラムアドレスセットアップ時間 | tASC | 3 | | ns | 15.47 |
| ライトコマンドセットアップ時間 | tWCS | 3 | | ns | 15.48 |
| ライトデータセットアップ時間 | tWDS | 3 | | ns | 15.48 |
| アドレス入力セットアップ時間*1 | tASIN | 15 | | ns | 15.71 |
| アドレス入力ホールド時間*1 | tAHIN | 10 | | ns | 15.71 |
| \overline{BS} 入力セットアップ時間*1 | tBSS | 15 | | ns | 15.71 |
| \overline{BS} 入力ホールド時間*1 | tBSH | 10 | | ns | 15.71 |
| リードライト入力セットアップ時間*1 | tRWS | 15 | | ns | 15.71 |
| リードライト入力ホールド時間*1 | tRWH | 10 | | ns | 15.71 |
| データバッファオン時間 | tDON | | 25 | ns | 15.17,39,48,61 |
| データバッファオフ時間 | tDOF | | 25 | ns | 15.17,39,48,61 |

【注】 *1 外部アドレスモニタ機能を使用する場合は、PLL オンを使用してください。

表 15.9 PLL オフバスタイミング (CKIO 出力時) [モード 2] (1)

条件 : $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|---------|-----|----|----------------------|
| アドレス遅延時間 | tAD | 3 | 18 | ns | 15.16,38,47,60,67,69 |
| \overline{BS} 遅延時間 | tBSD | | 21 | ns | 15.16,38,47,60,67 |
| \overline{CS} 遅延時間 1 | tCSD1 | | 21 | ns | 15.16,38,47,60,67 |
| \overline{CS} 遅延時間 3 | tCSD3 | | 21 | ns | 15.16,67 |
| リードライト遅延時間 | tRWD | 3 | 18 | ns | 15.16,38,47,60,67 |
| リードストロブ遅延時間 2 | tRSD2 | | 16 | ns | 15.16,47,60,67,69 |
| リードデータセットアップ時間 2 | tRDS2 | 12 | | ns | 15.16,38,47,60,67,69 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 15.16,67 |
| リードデータホールド時間 3 (SDRAM) | tRDH3 | 1/2tcyc | | ns | 15.38 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 15.47 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 15.60 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 15.69 |
| ライトイネーブル遅延時間 2 | tWED2 | 3 | 18 | ns | 15.17,61 |
| ライトデータ遅延時間 | tWDD | 3 | 18 | ns | 15.17,39,48,61 |
| ライトデータホールド時間 1 | tWDH1 | 3 | | ns | 15.17,39,48,61 |
| ライトデータホールド時間 2 | tWDH2 | 5 | | ns | 15.17 |
| ライトデータホールド時間 3 | tWDH3 | 3 | | ns | 15.61 |
| DACK 遅延時間 1 | tDACD1 | | 18 | ns | 15.16,38,47,60,67 |
| DACK 遅延時間 3 | tDACD3 | | 18 | ns | 15.16,38,47,60,67 |
| \overline{WAIT} セットアップ時間 | tWTS | 22 | | ns | 15.19,43,55,67,70 |
| \overline{WAIT} ホールド時間 | tWTH | 5 | | ns | 15.19,43,55,67,70 |
| \overline{RAS} 遅延時間 1 (SDRAM) | tRASD1 | | 18 | ns | 15.38 |
| \overline{RAS} 遅延時間 3 (DRAM) | tRASD3 | 3 | 18 | ns | 15.47 |
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | 18 | ns | 15.38 |
| \overline{CAS} 遅延時間 3 (DRAM) | tCASD3 | 3 | 18 | ns | 15.47 |
| DQM 遅延時間 | tDQMD | | 18 | ns | 15.38 |
| CKE 遅延時間 | tCKED | | 21 | ns | 15.37 |
| \overline{CE} 遅延時間 2 | tCED2 | 3 | 18 | ns | 15.60 |

表 15.9 PLL オフバスタイミング (CKIO 出力時) [モード 2] (2)

条件: $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------------|-------|-----|-----|----|----------------|
| OE 遅延時間 2 | tOED2 | | 18 | ns | 15.60 |
| $\overline{IV}ECF$ 遅延時間 | tIVD | | 18 | ns | 15.69 |
| アドレス入力セットアップ時間*1 | tASIN | 14 | | ns | 15.71 |
| アドレス入力ホールド時間*1 | tAHIN | 3 | | ns | 15.71 |
| \overline{BS} 入力セットアップ時間*1 | tBSS | 15 | | ns | 15.71 |
| \overline{BS} 入力ホールド時間*1 | tBSH | 3 | | ns | 15.71 |
| リードライト入力セットアップ時間*1 | tRWS | 15 | | ns | 15.71 |
| リードライト入力ホールド時間*1 | tRWH | 3 | | ns | 15.71 |
| データバッファオン時間 | tDON | | 18 | ns | 15.17,39,48,61 |
| データバッファオフ時間 | tDOF | | 18 | ns | 15.17,39,48,61 |
| アドレスホールド時間 2 | tAH2 | 5 | | ns | 15.17 |

【注】 *1 外部アドレスモニタ機能を使用する場合は、PLL オンを使用してください。

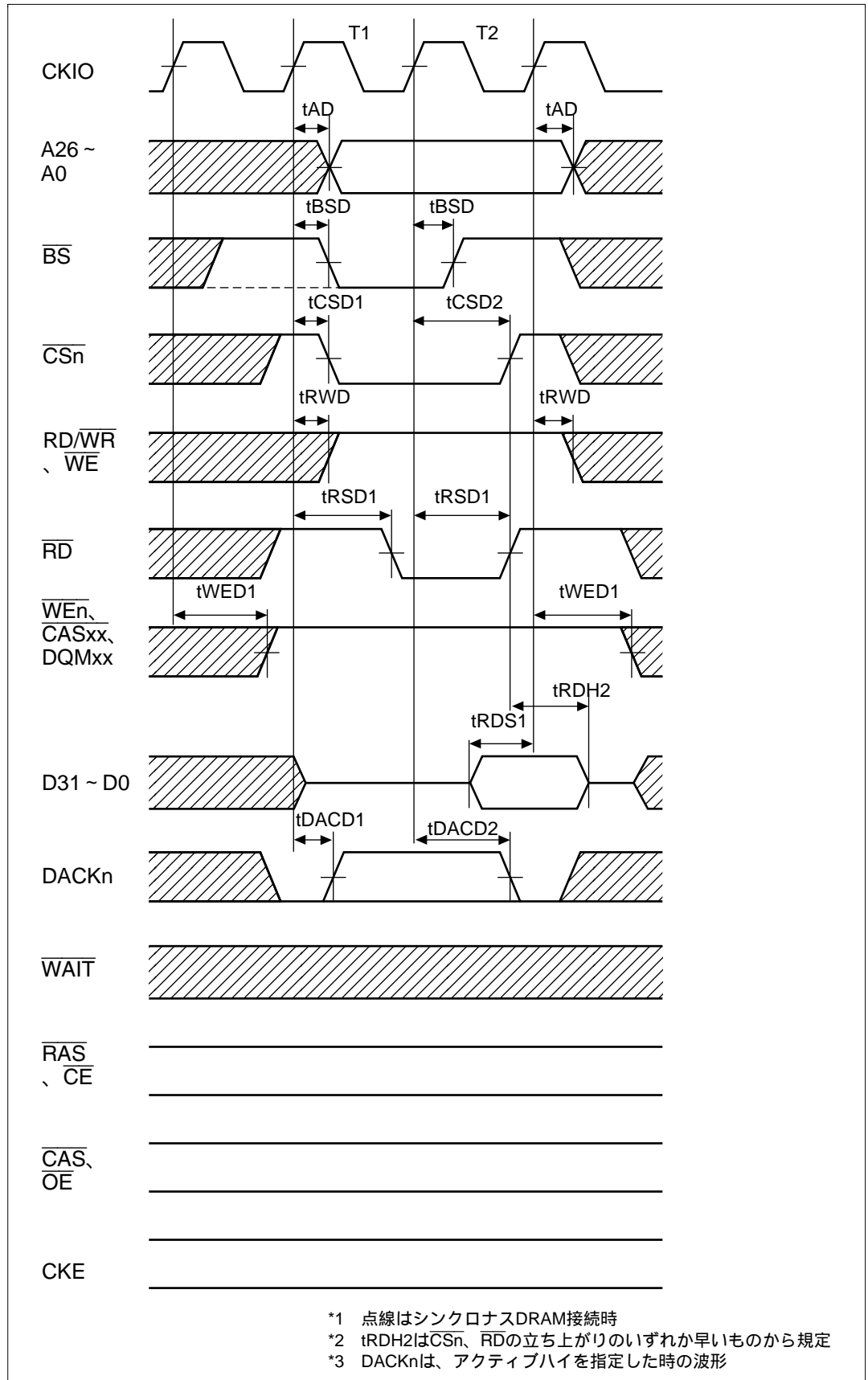


図 15.14 基本リードサイクル (ノーウェイト、PLL オン)

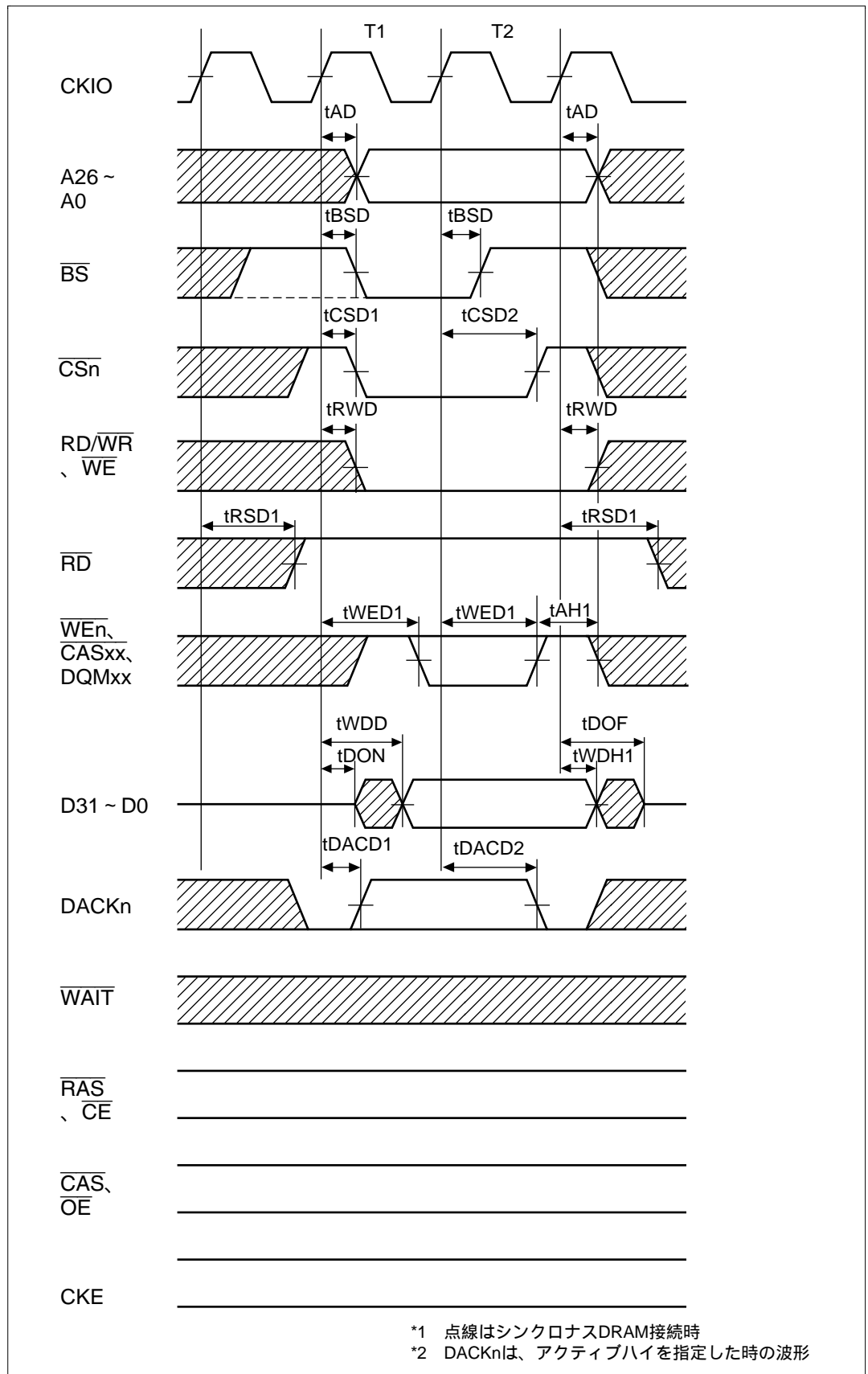


図 15.15 基本ライトサイクル (ノーウェイト、PLL オン)

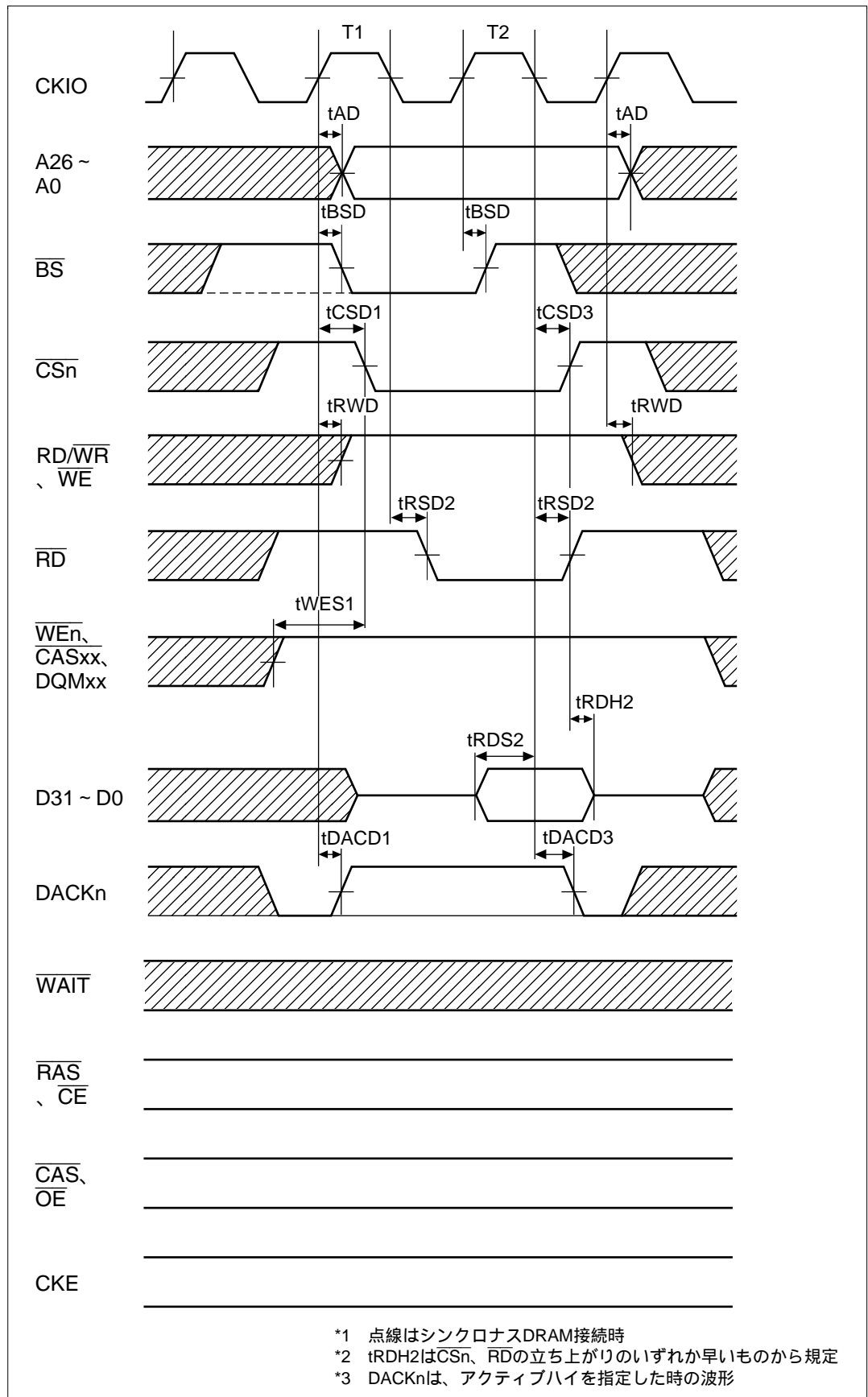


図 15.16 基本リードサイクル (ノーウェイト、PLL オフ)

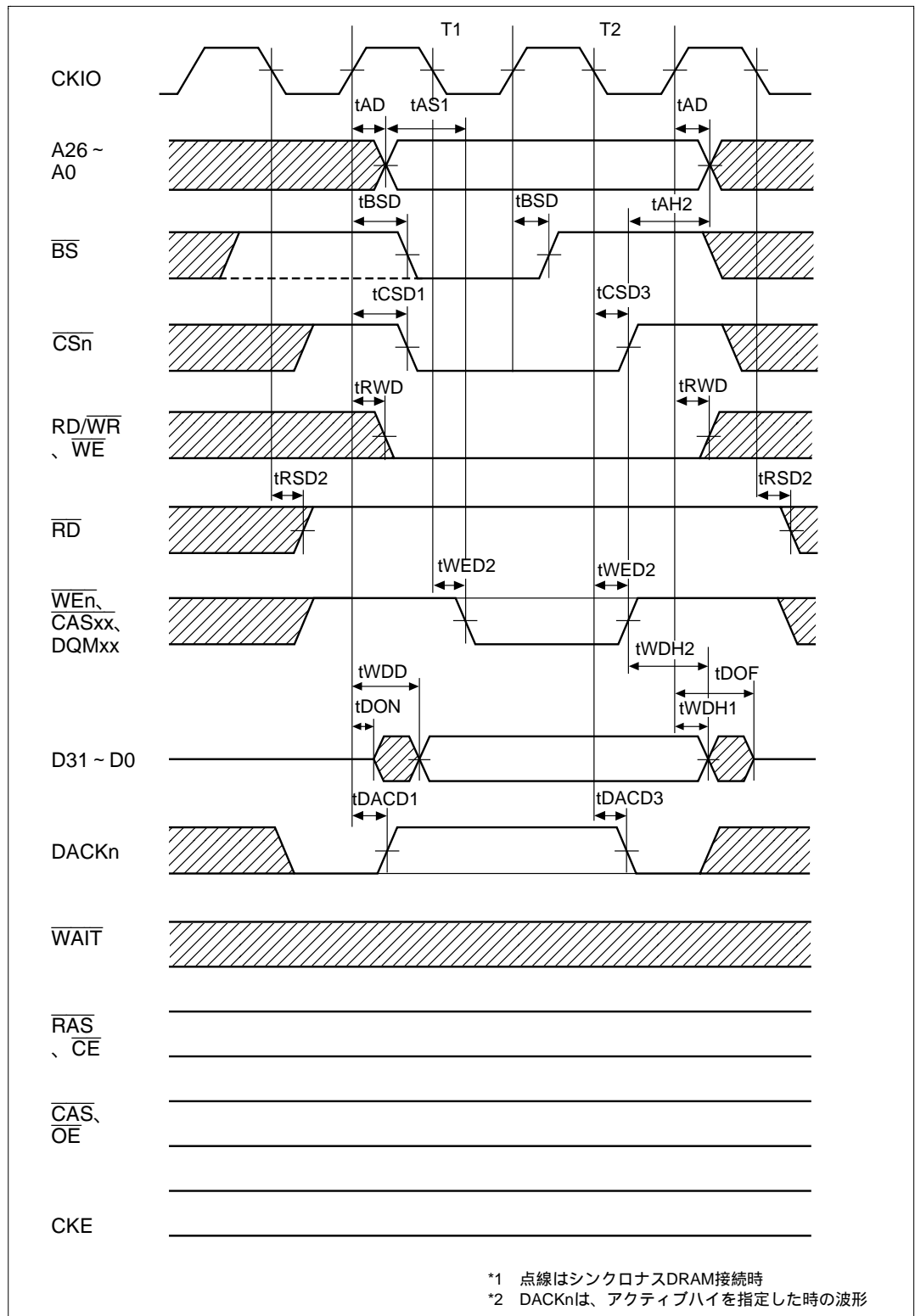


図 15.17 基本ライトサイクル (ノーウェイト、PLL オフ)

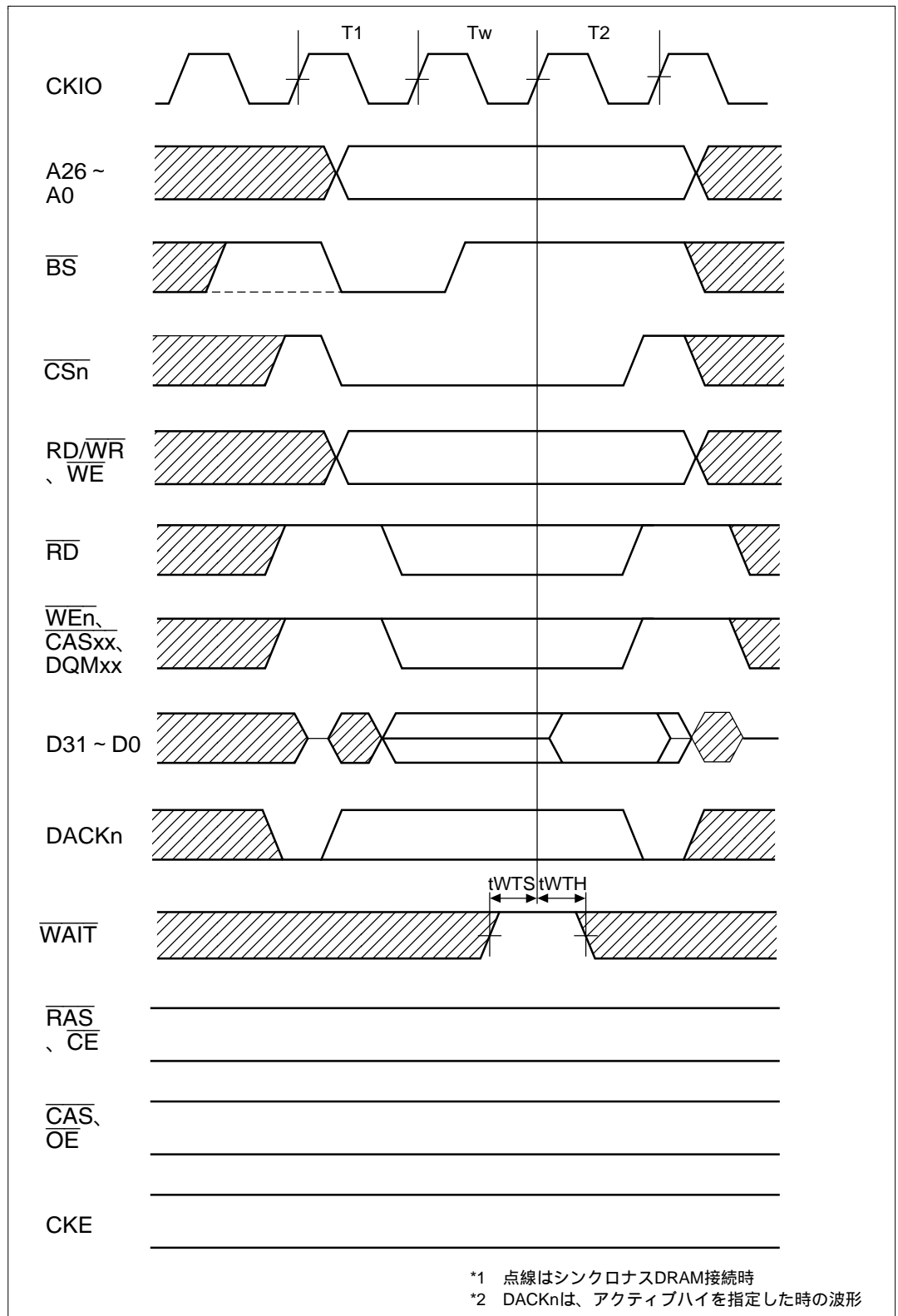


図 15.18 基本バスサイクル (1 ウェイトサイクル)

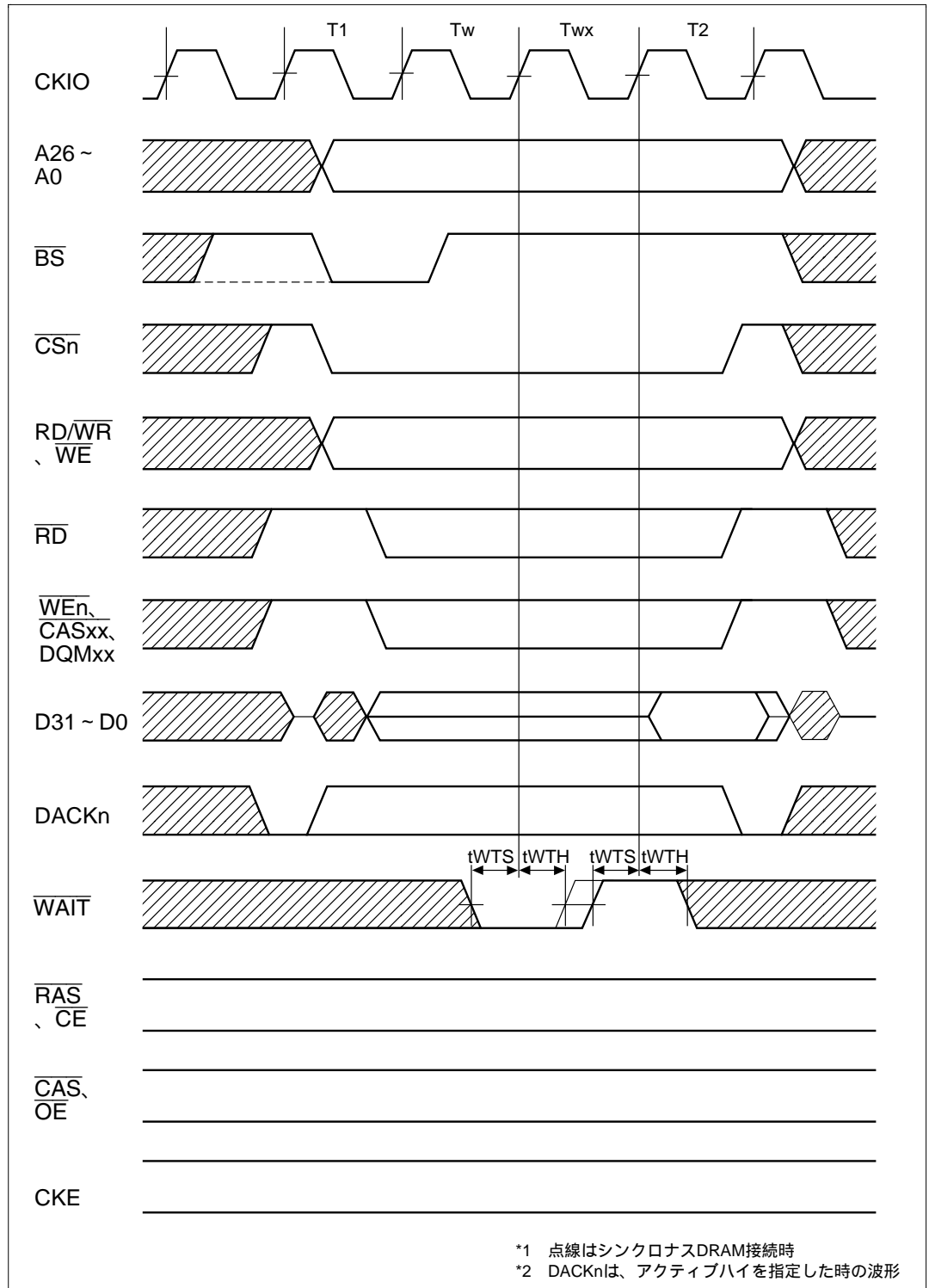


図 15.19 基本バスサイクル (外部ウェイト入力)

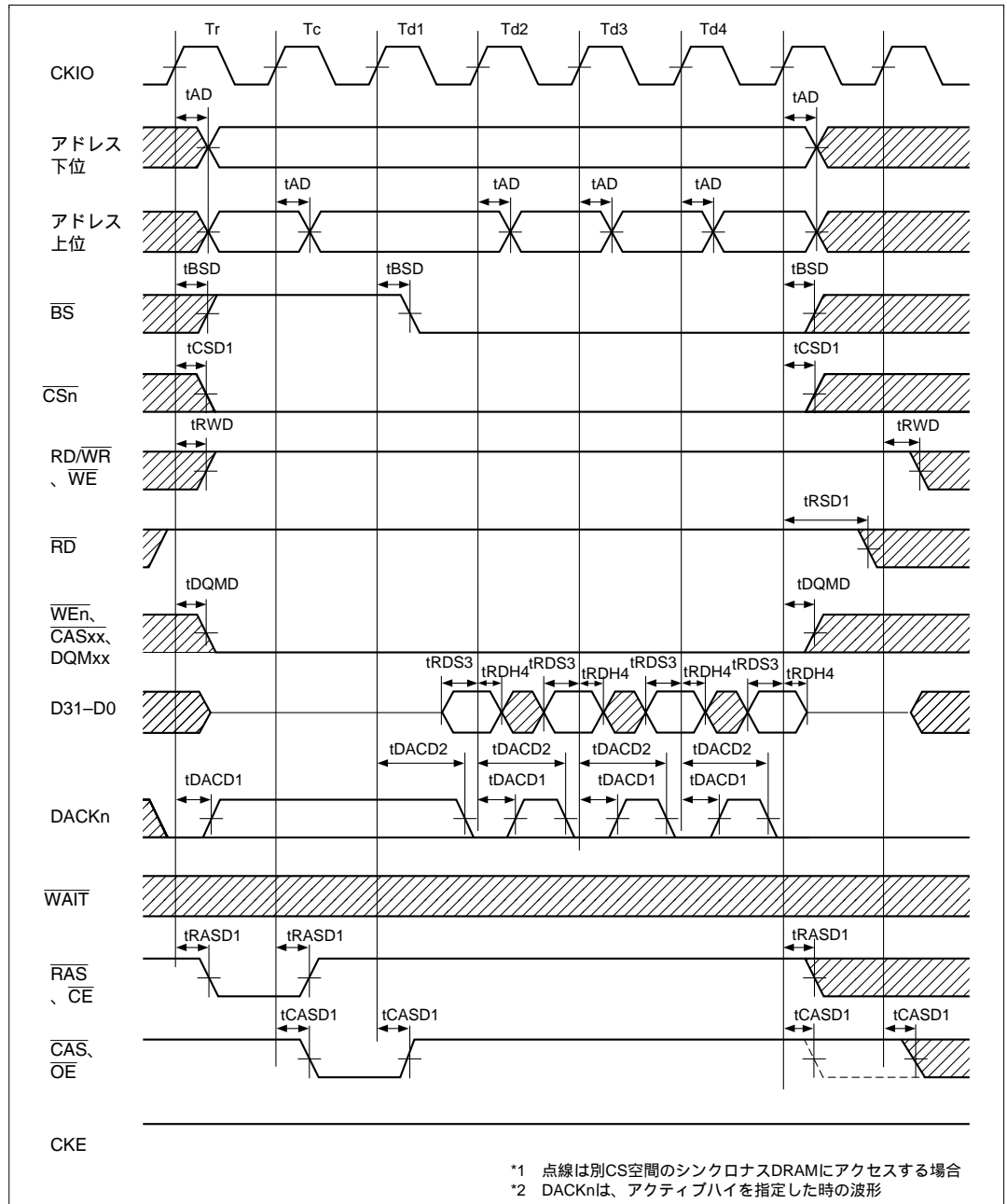


図 15.20 SDRAM リードバスサイクル

(RCD=1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン)

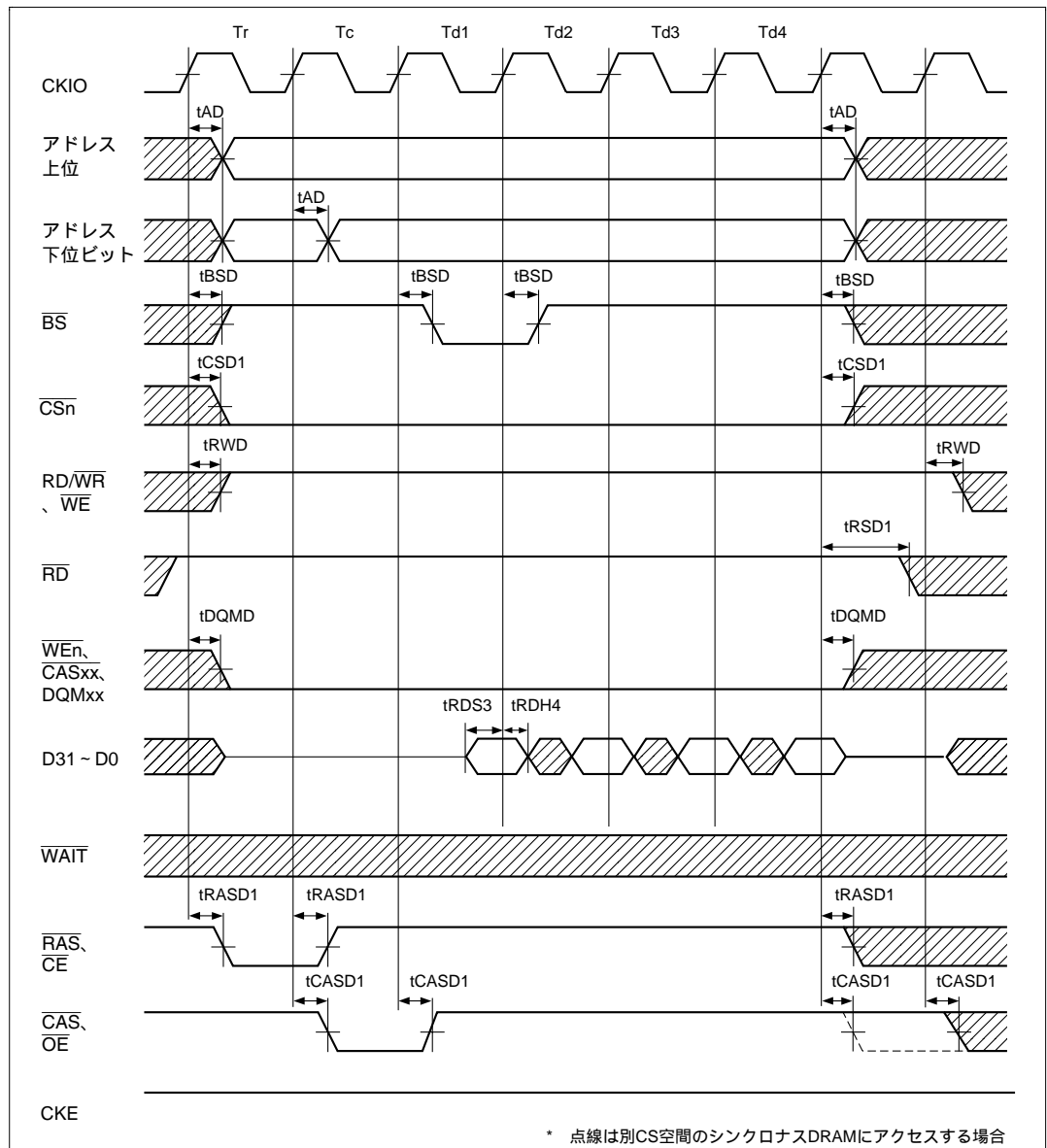


図 15.21 SDRAM シングルリードバスサイクル
(RCD=1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン)

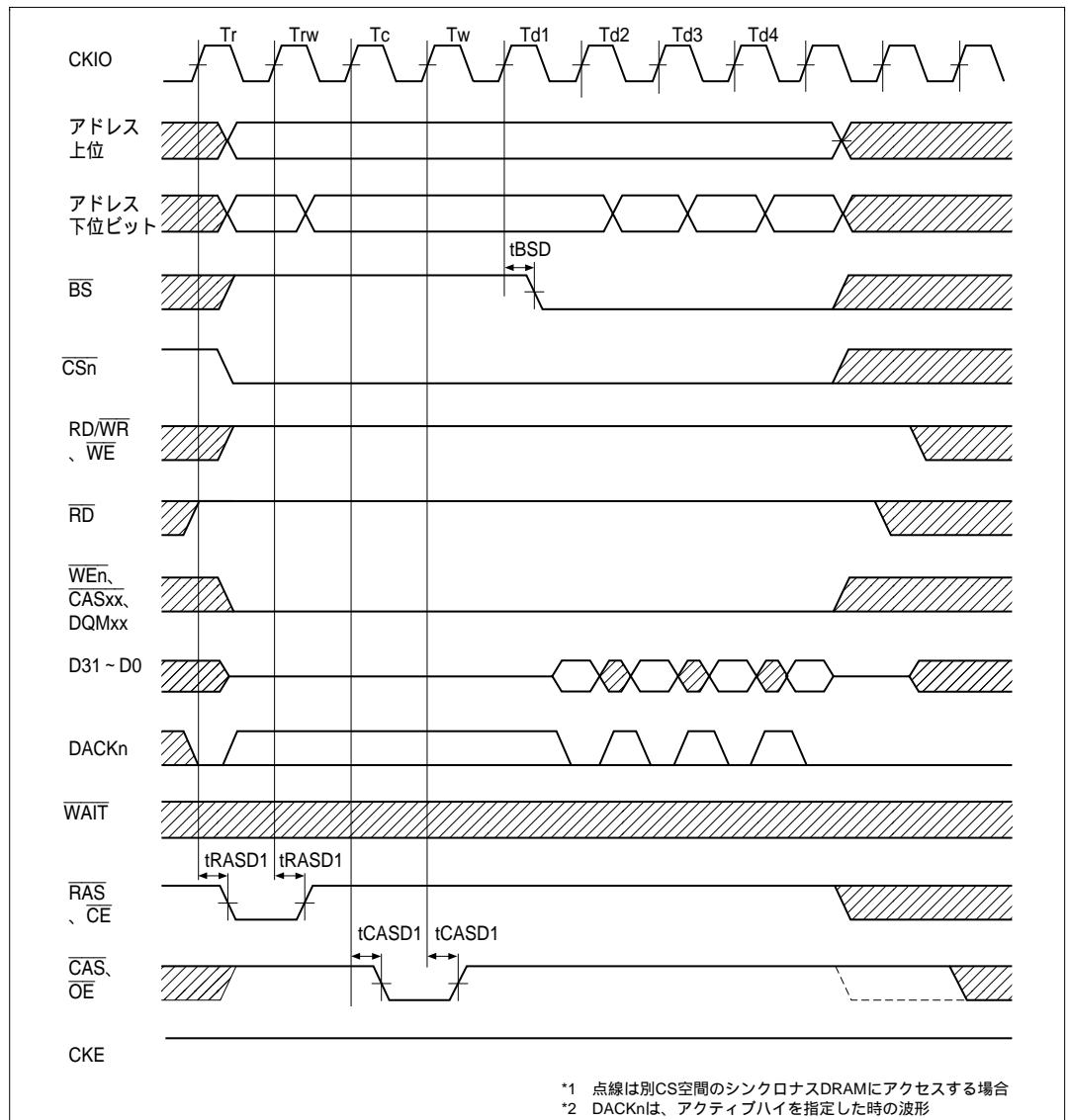


図 15.22 SDRAM リードバスサイクル
 (RCD=2 サイクル、CAS レイテンシ=2 サイクル、バースト=4)

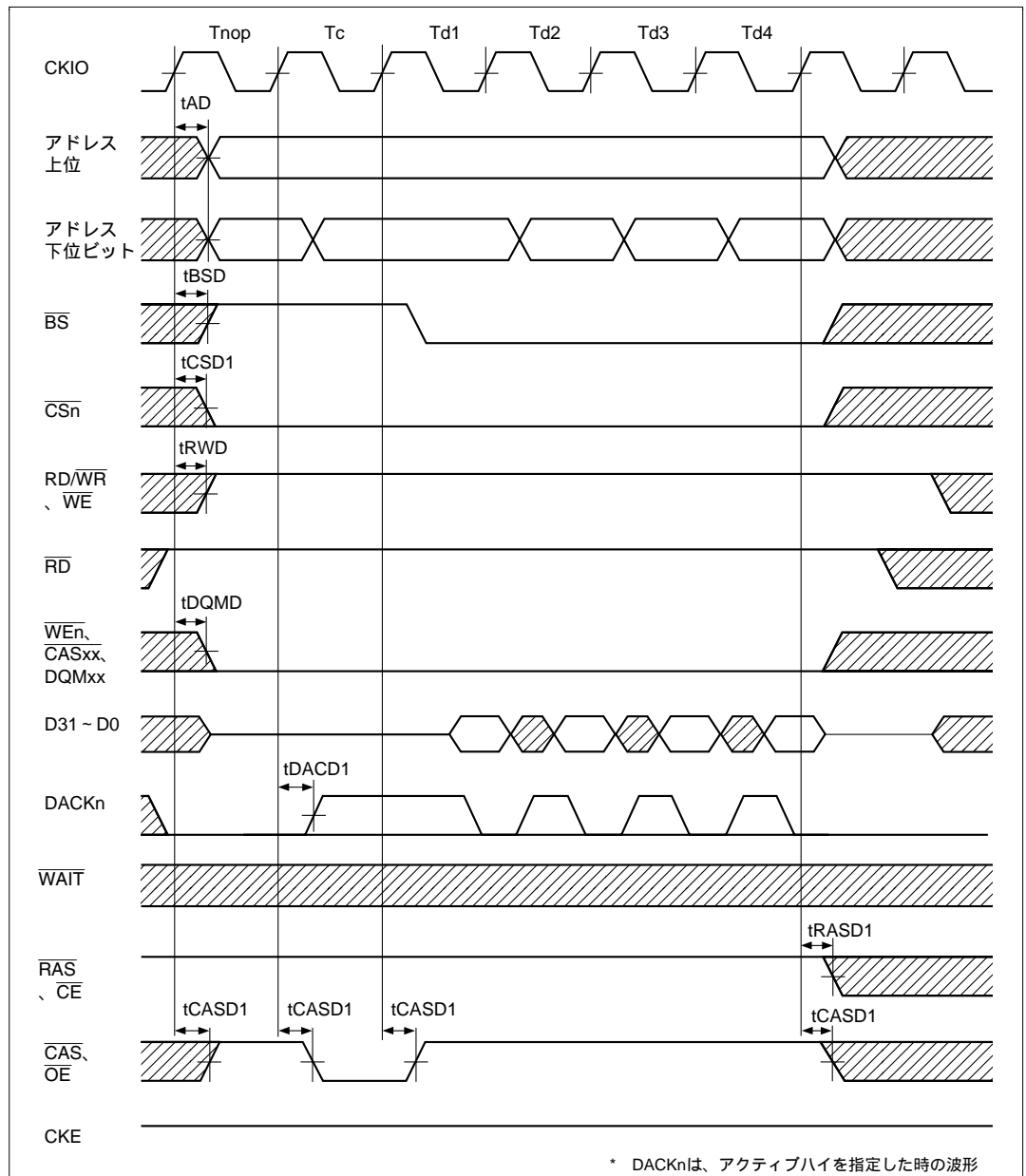


図 15.23 SDRAM リードバスサイクル
(バンクアクティブ、同一ロウアクセス、CAS レイテンシ=1 サイクル)

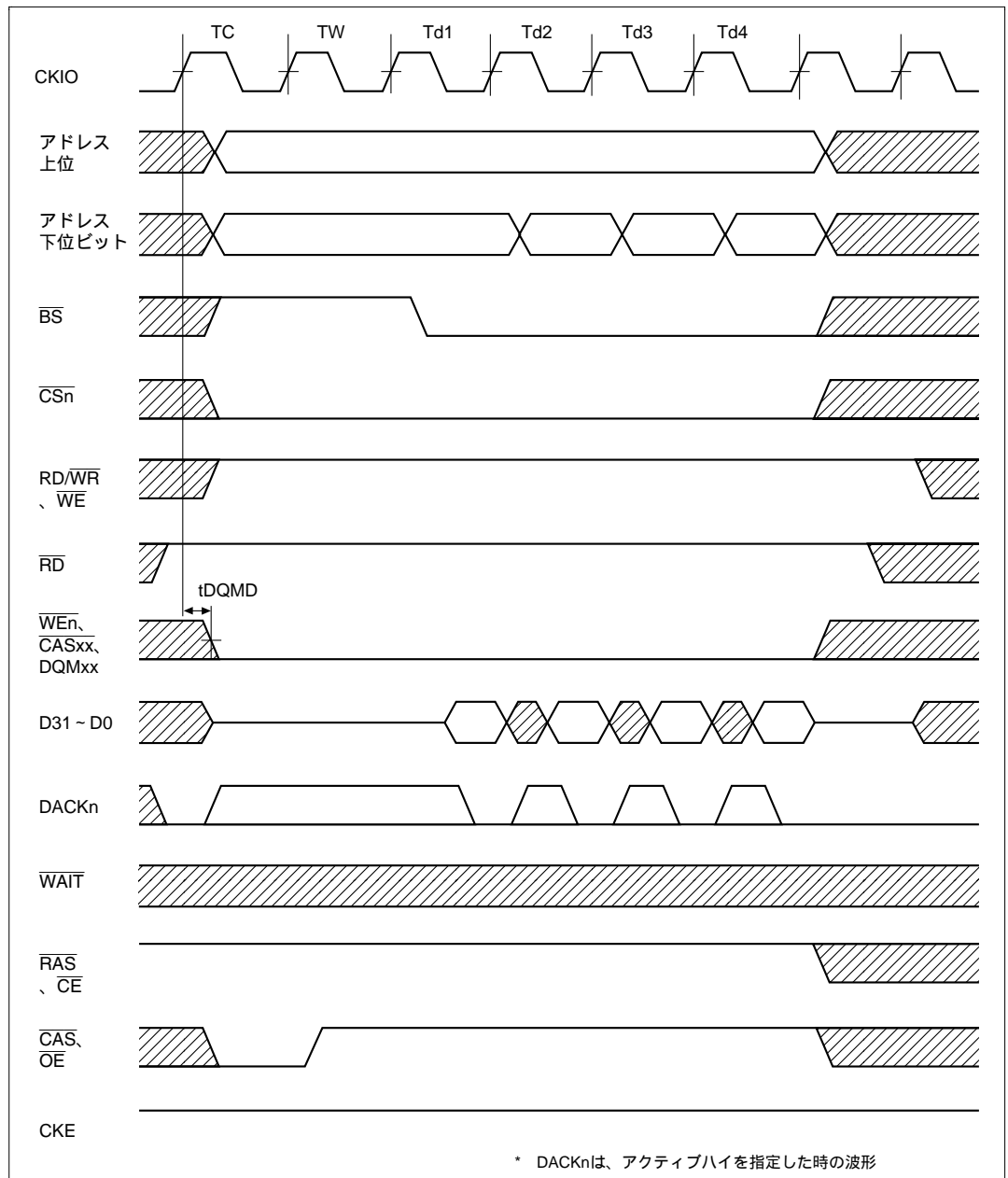


図 15.24 SDRAM リードバスサイクル
(バンクアクティブ、同一ロウアクセス、CAS レイテンシ=2 サイクル)

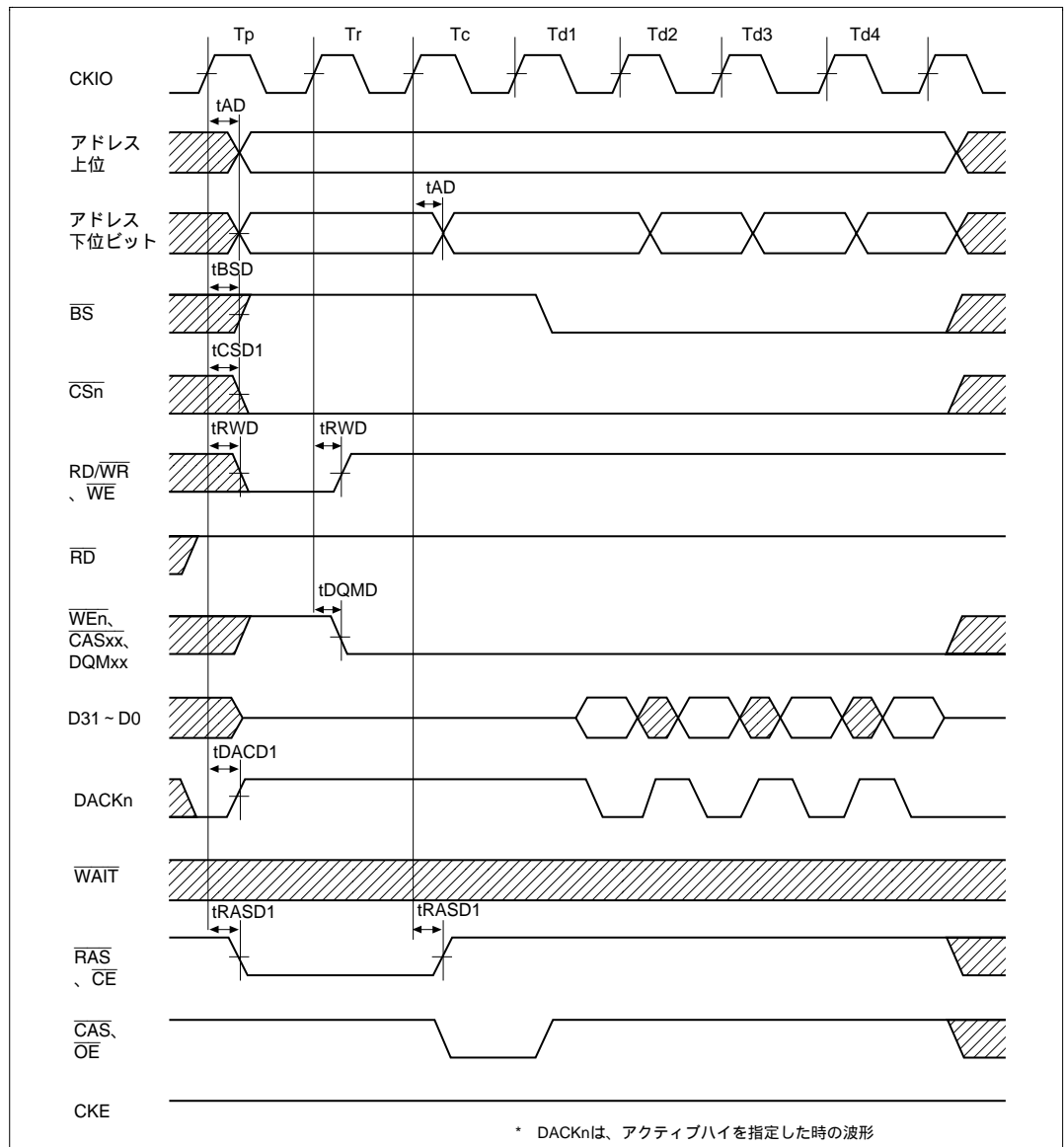


図 15.25 SDRAM リードバスサイクル

(バンクアクティブ、別口ウアクセス、TRP=1 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル)

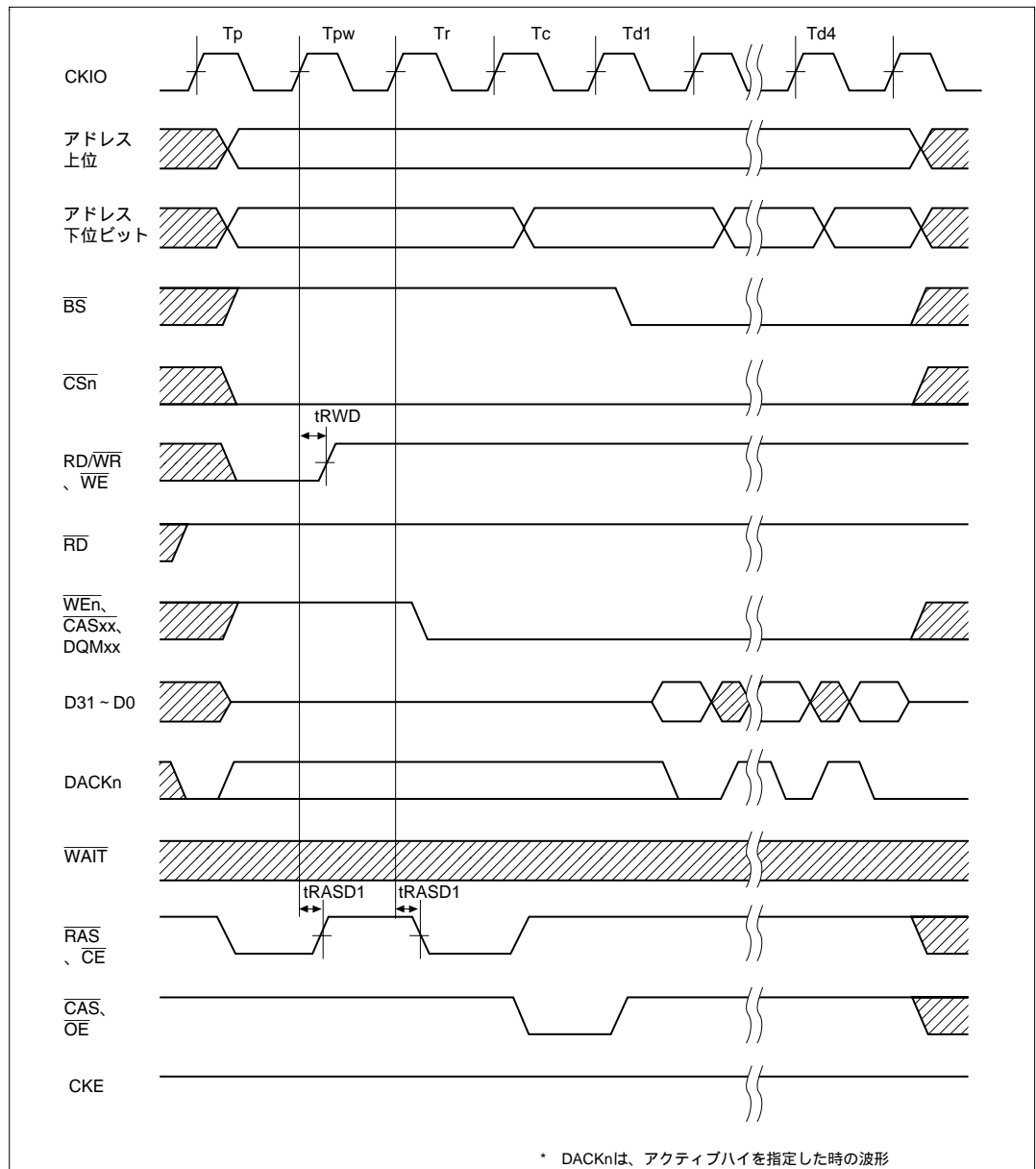


図 15.26 SDRAM リードバスサイクル
 (バンクアクティブ、別口ウアクセス、TRP=2 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル)

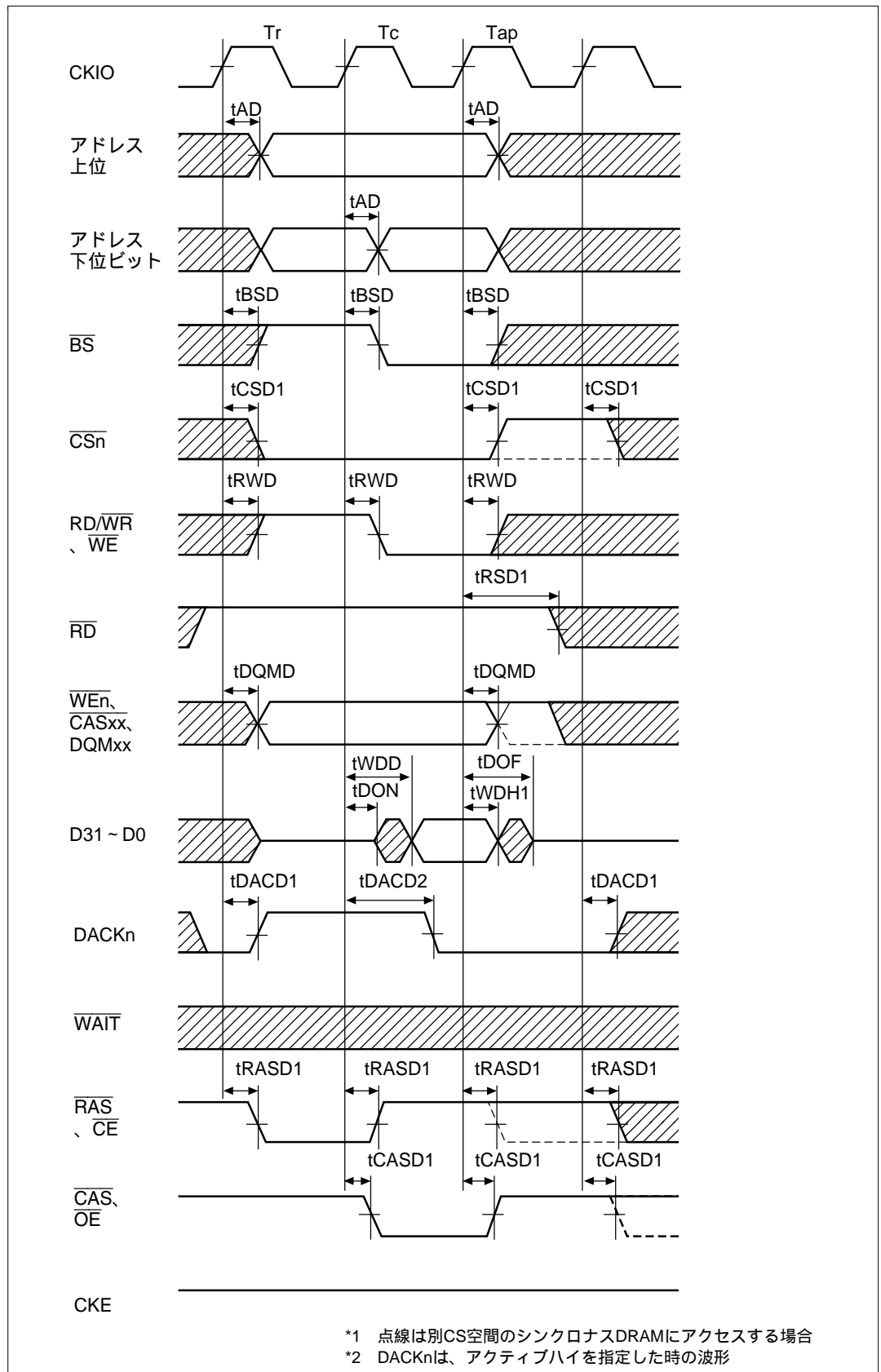


図 15.27 SDRAM ライトバスサイクル (RCD=1 サイクル、TRWL=1 サイクル、PLL オン)

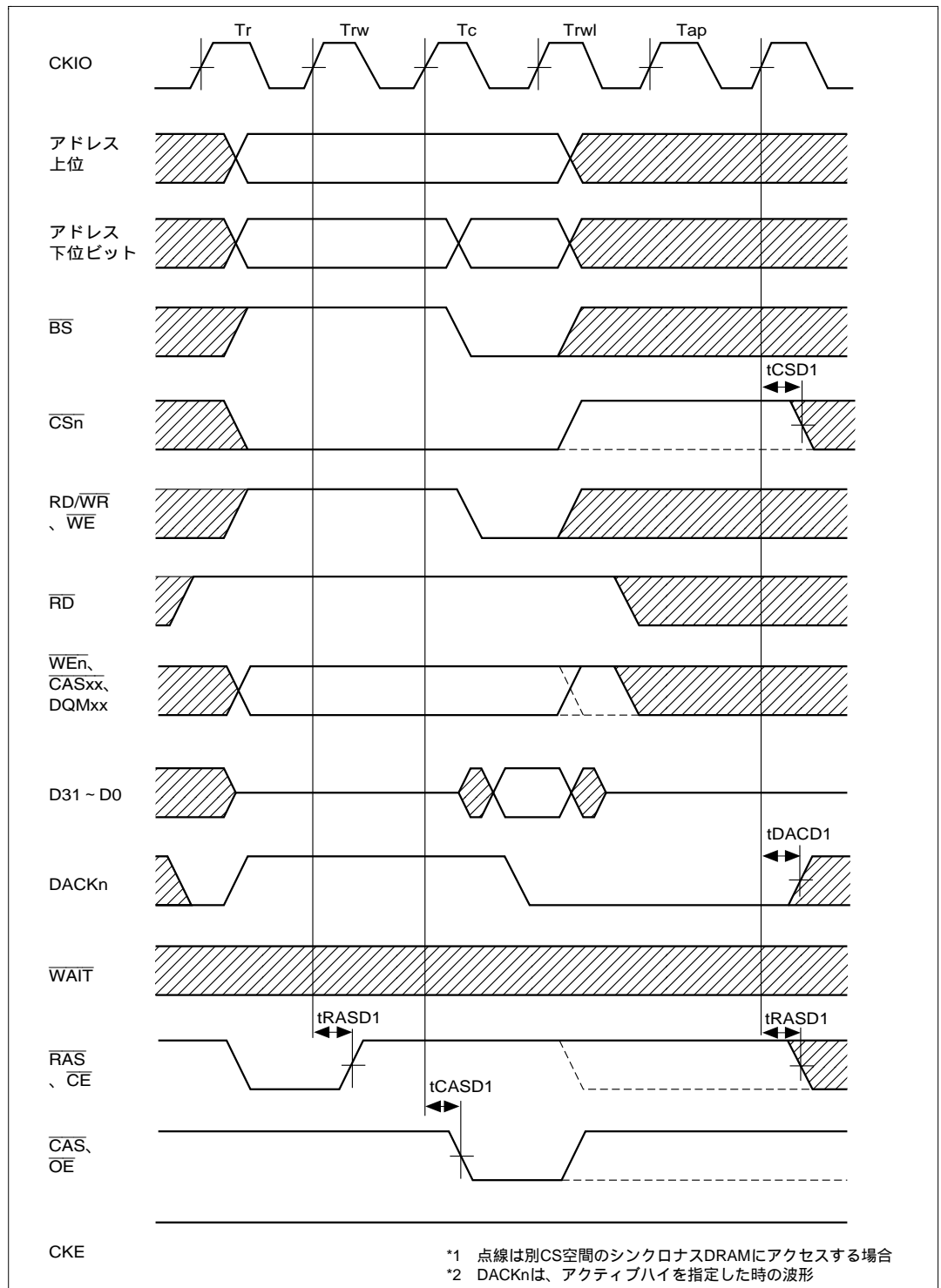


図 15.28 SDRAM ライトバスサイクル (RCD=2 サイクル、TRWL=2 サイクル)

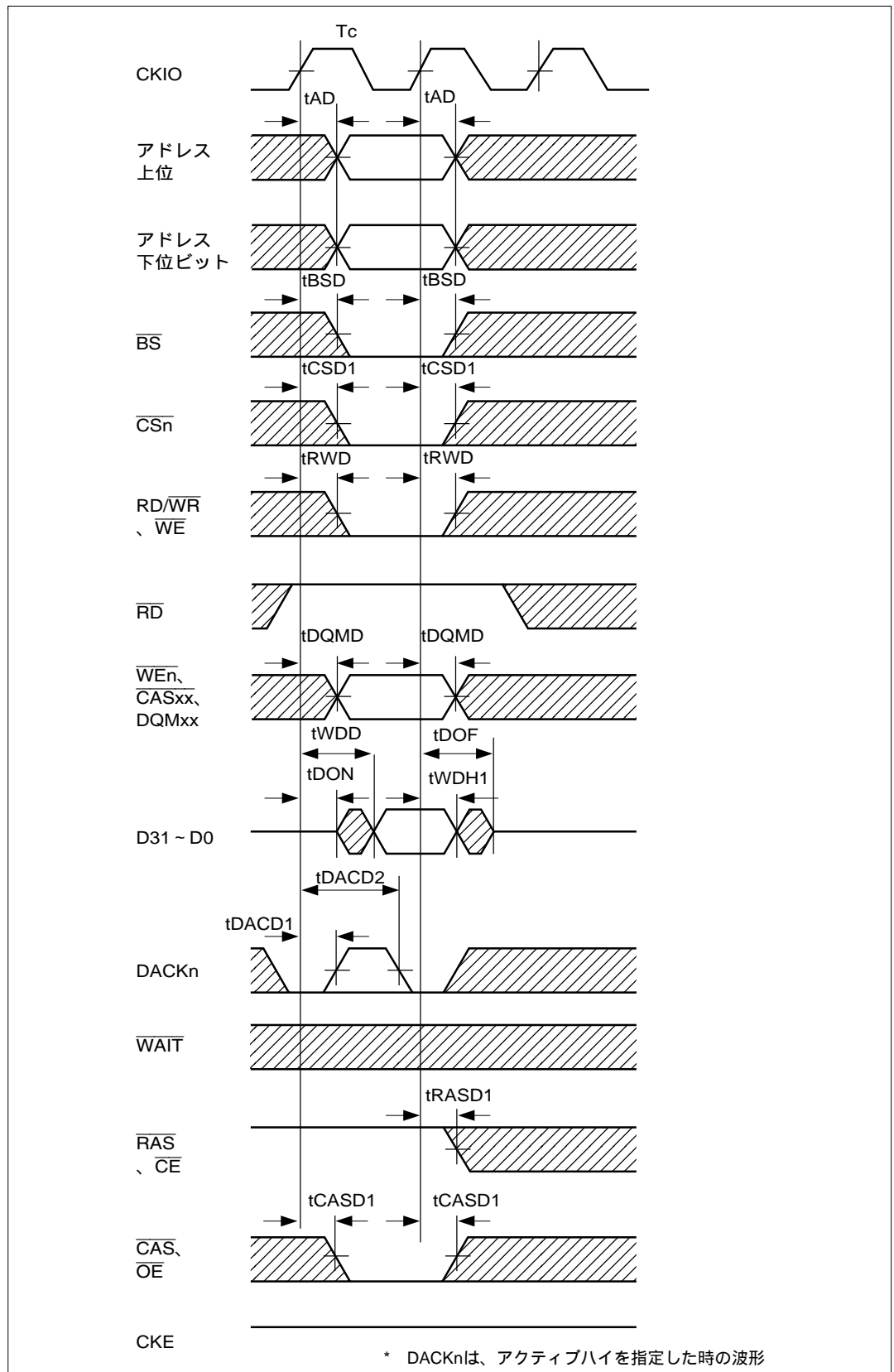


図 15.29 SDRAM ライトバスサイクル (バンクアクティブ、同一ロウアクセス)

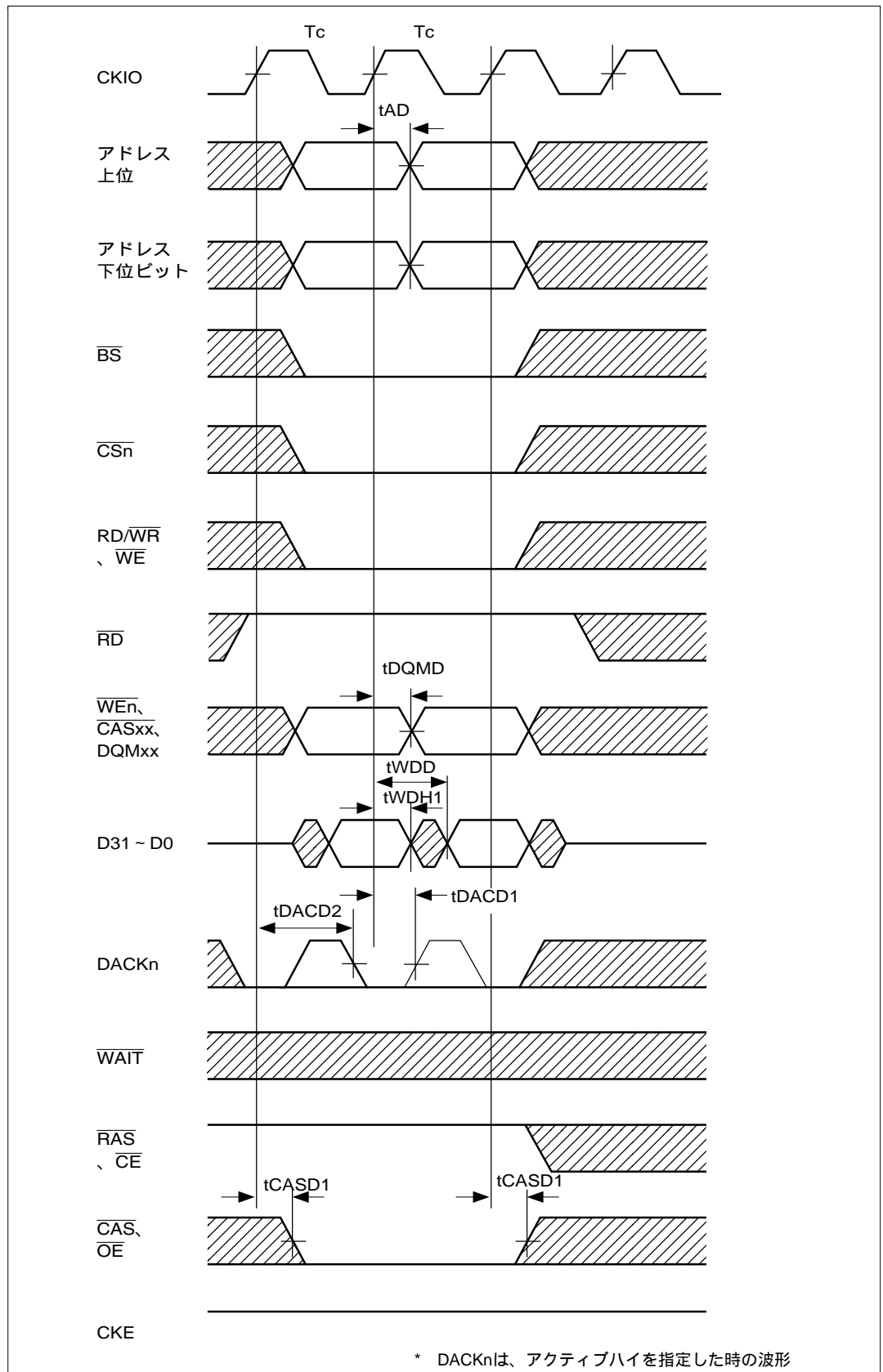


図 15.30 SDRAM 連続ライトサイクル (バンクアクティブ、同一로우アクセス)

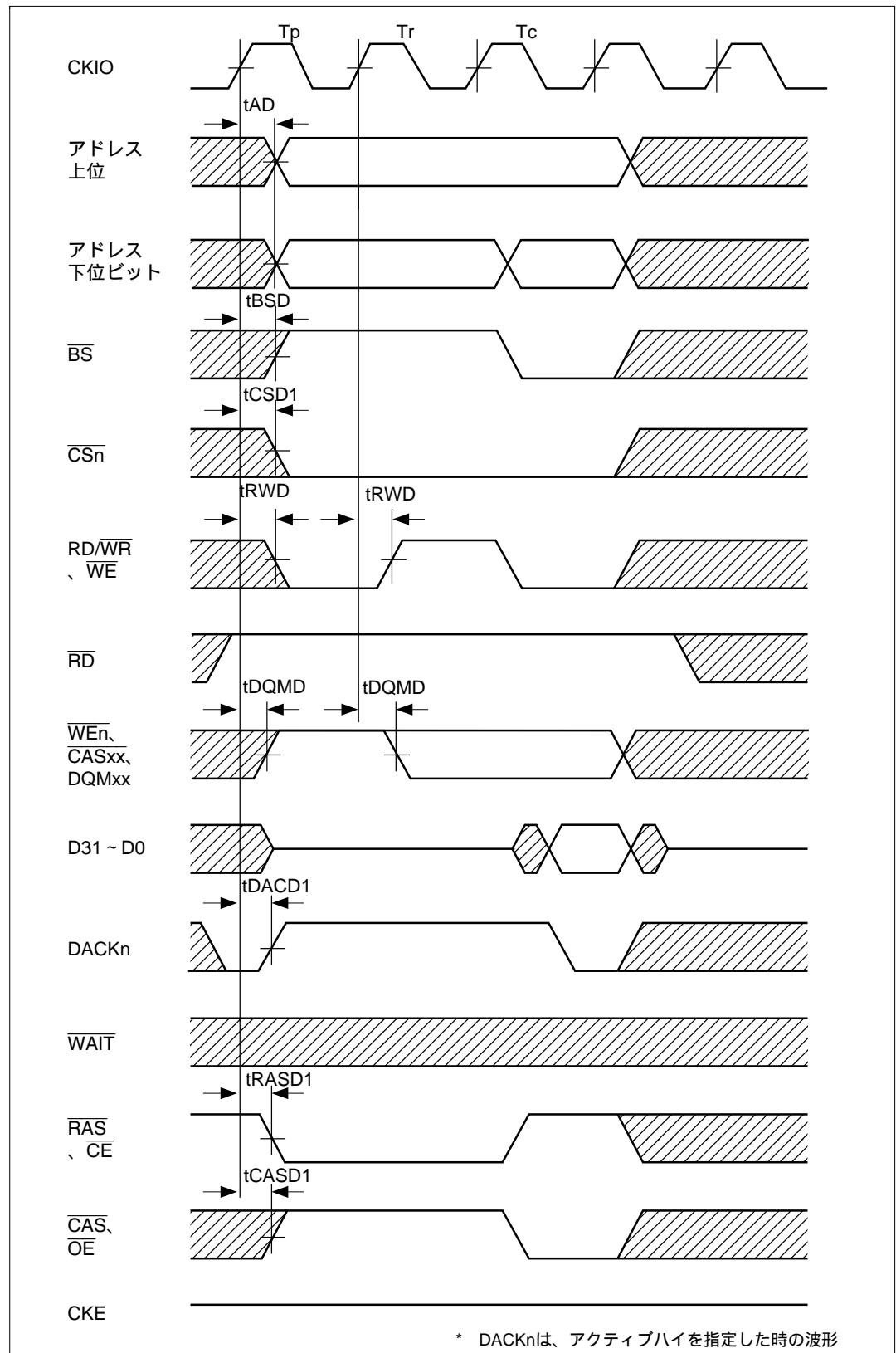


図 15.31 SDRAM ライトバスサイクル
(バンクアクティブ、別口アクセス、TRP=1 サイクル、RCD=1 サイクル)

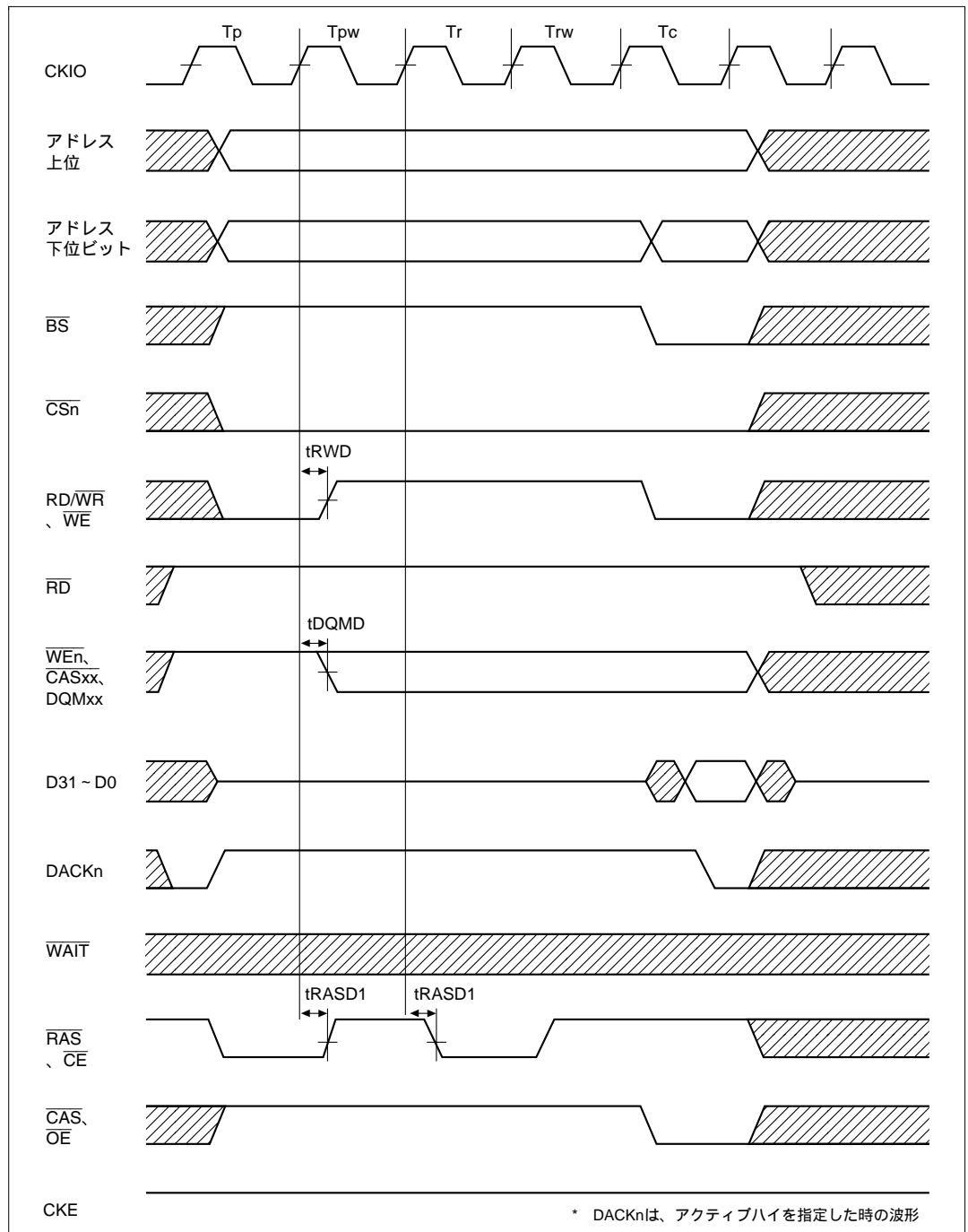


図 15.32 SDRAM ライトバスサイクル
(バンクアクティブ、別口アクセス、TRP=2 サイクル、RCD=2 サイクル)

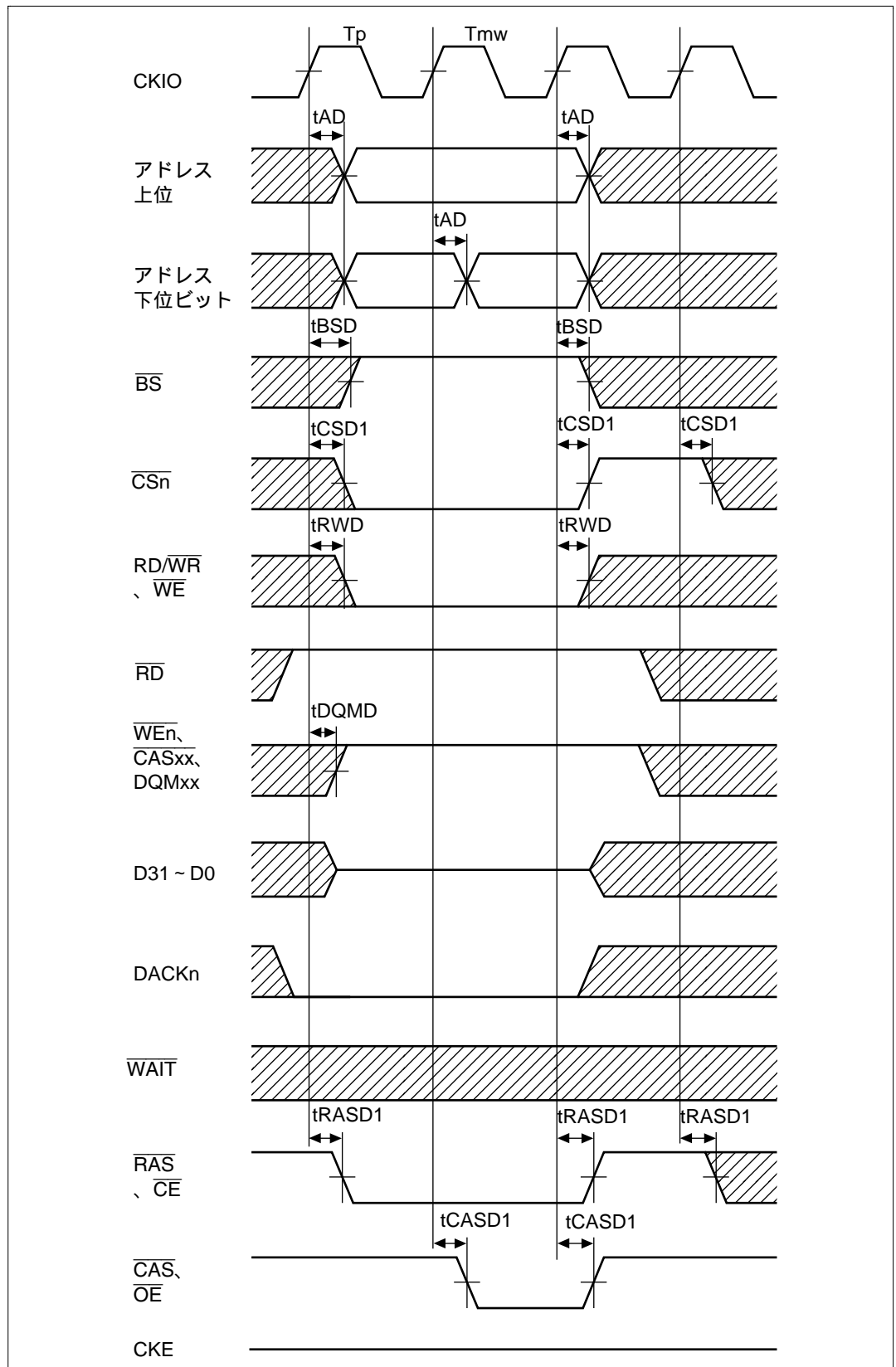


図 15.33 SDRAM モードレジスタ書き込みサイクル (TRP=1 サイクル)

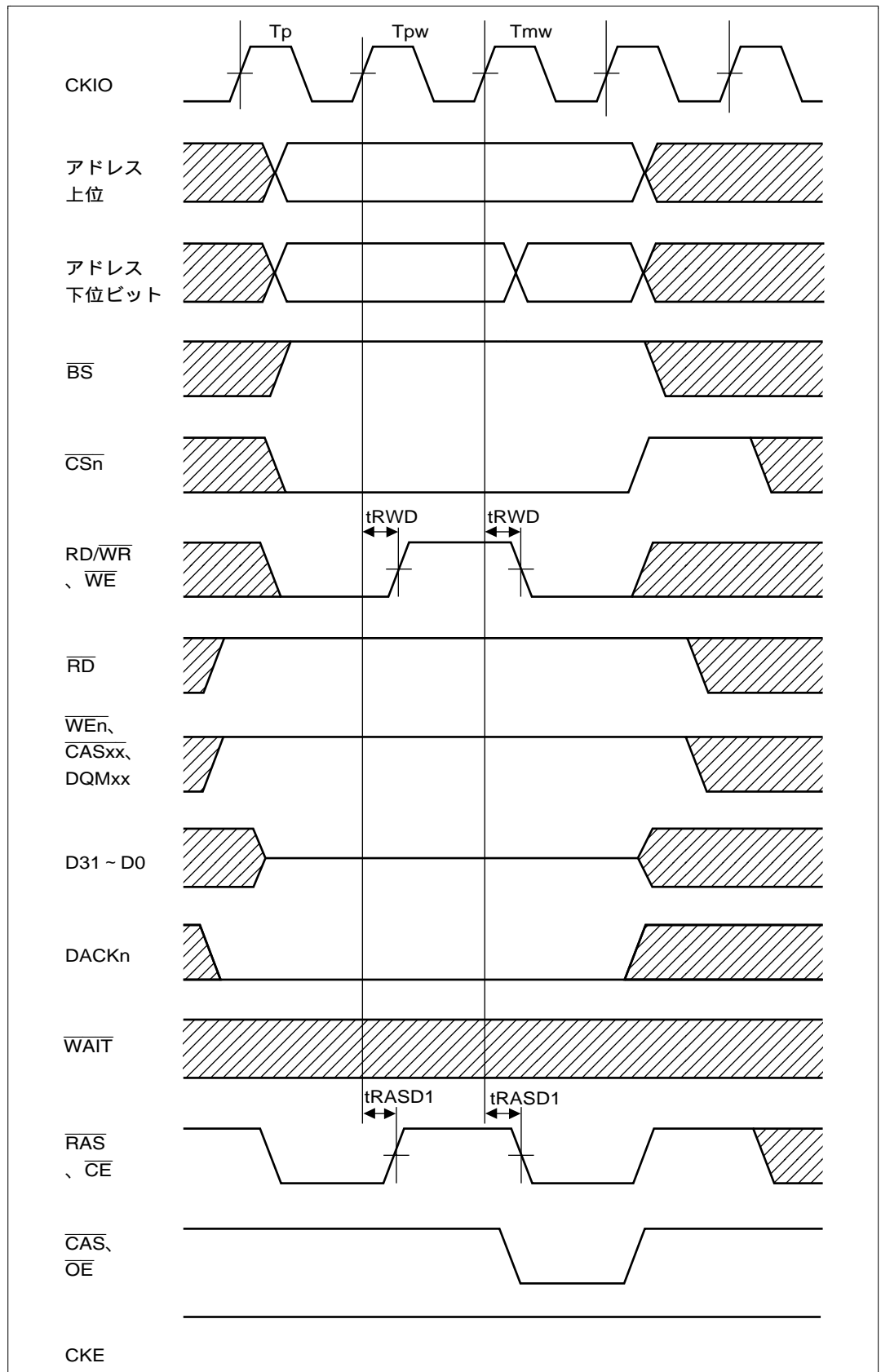


図 15.34 SDRAM モードレジスタ書き込みサイクル (TRP=2 サイクル)

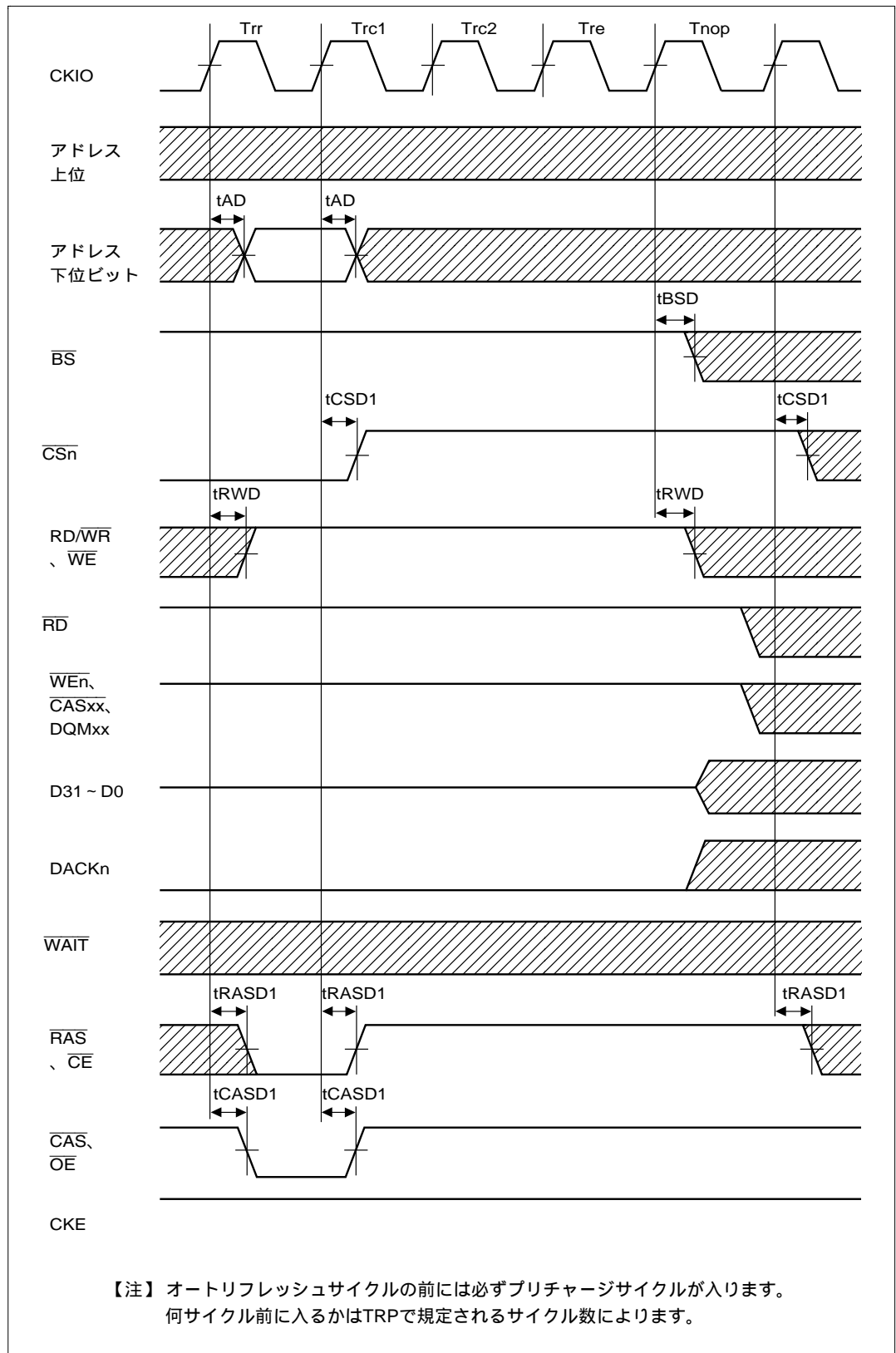


図 15.35 SDRAM オートリフレッシュサイクル (TRAS=2 サイクル)

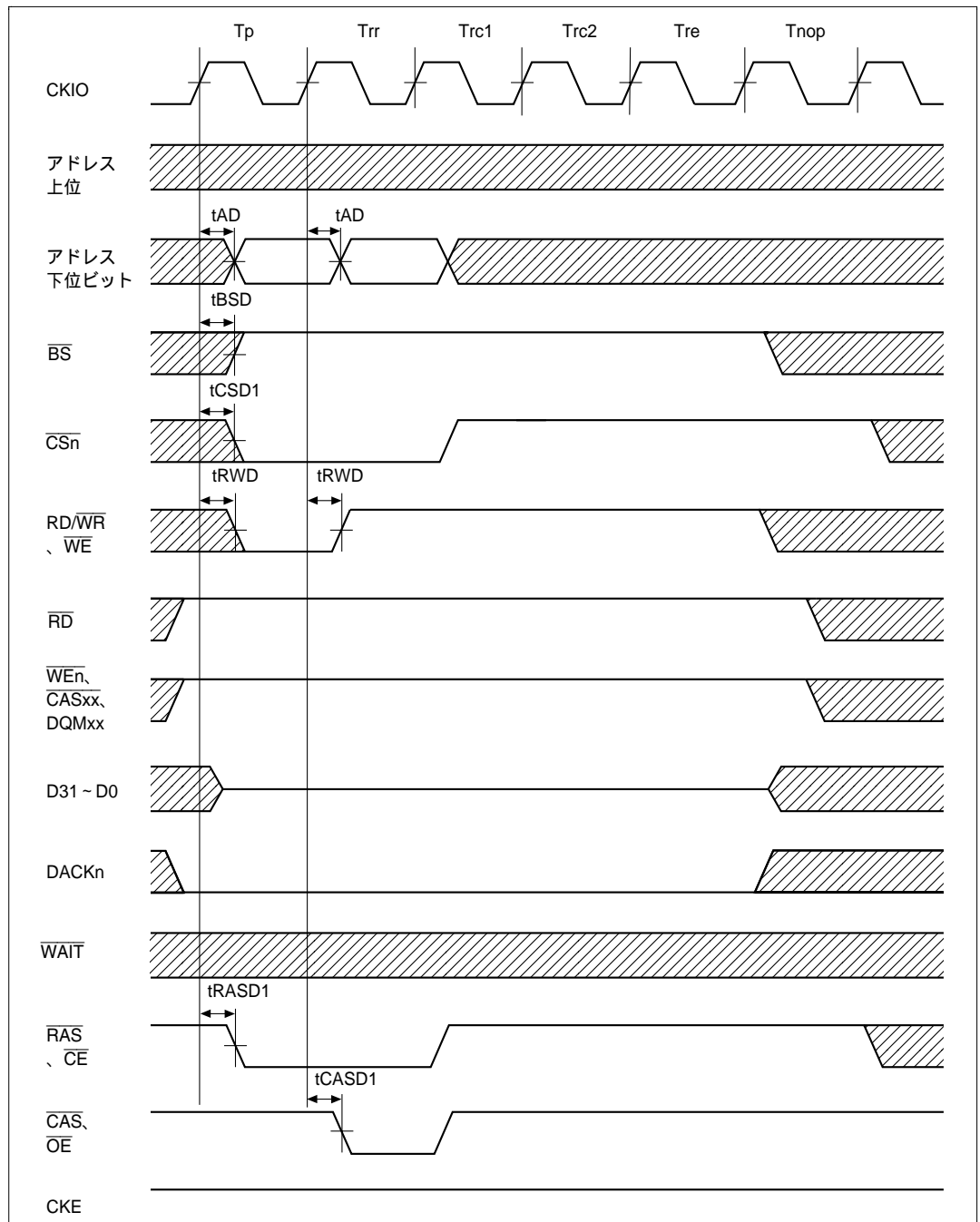


図 15.36 SDRAM オートリフレッシュサイクル
(プリチャージサイクルから図示、TRP=1 サイクル、TRAS=2 サイクル)

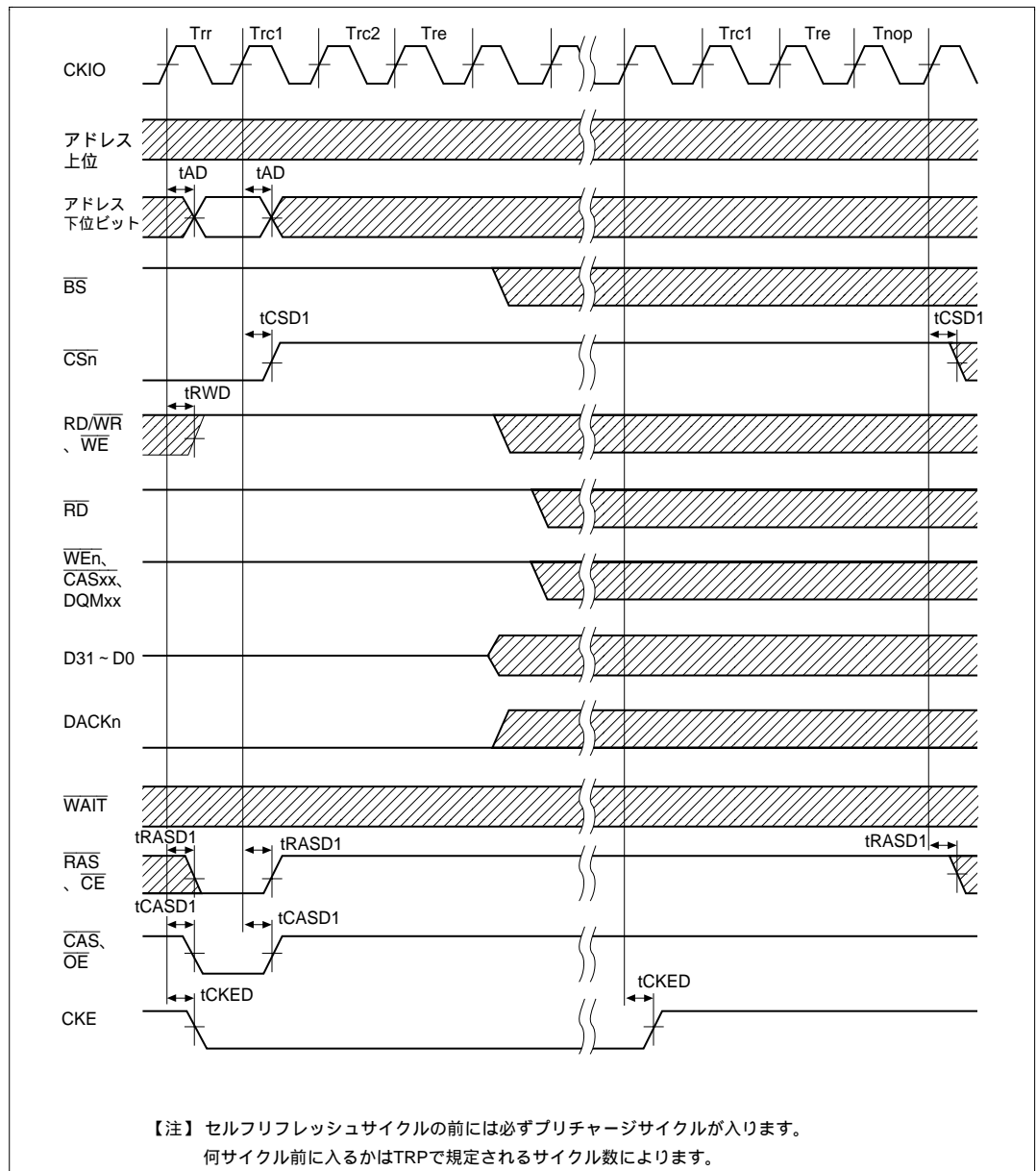


図 15.37 SDRAM セルフリフレッシュサイクル (TRAS=2)

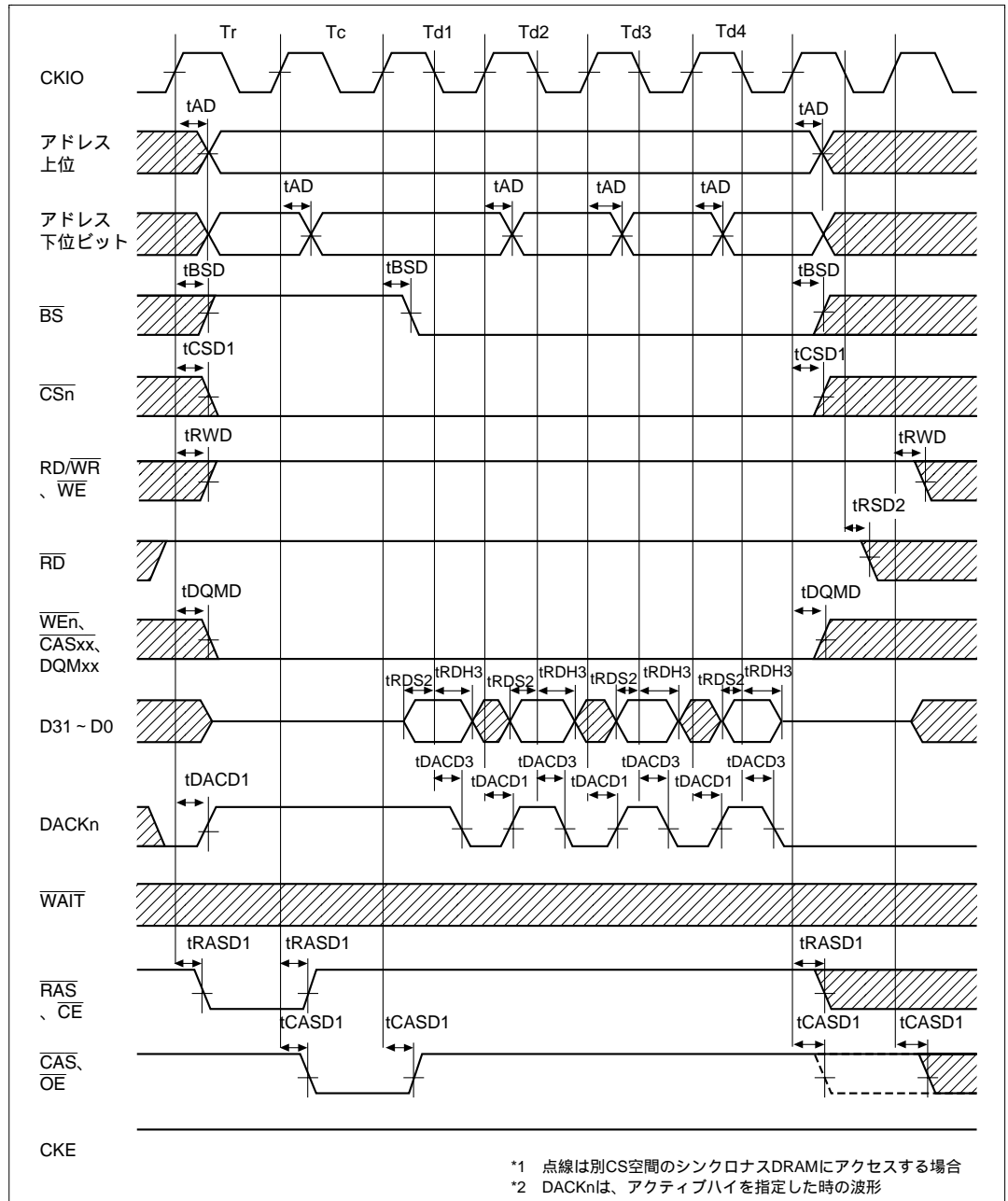
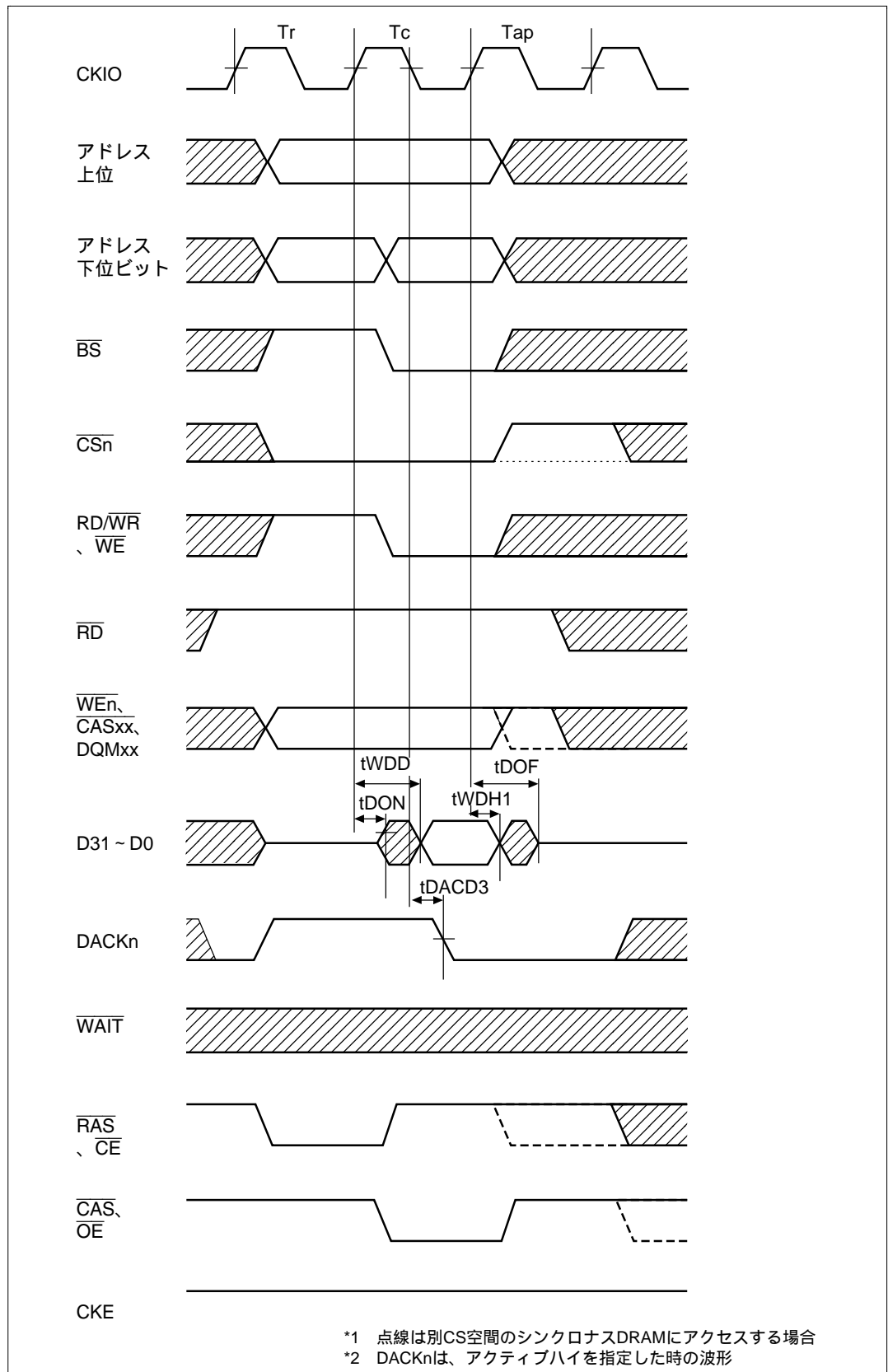


図 15.38 SDRAM リードバスサイクル
 (RCD=1 サイクル、CAS レイテンシ=1 サイクル、TRP=1 サイクル、
 パースト=4、PLL オフ)



*1 点線は別CS空間のシンクロナスDRAMにアクセスする場合
 *2 \overline{DACK}_n は、アクティブハイを指定した時の波形

図 15.39 SDRAM ライトバスサイクル
 (RCD=1 サイクル、TRWL=1 サイクル、PLL オフ)

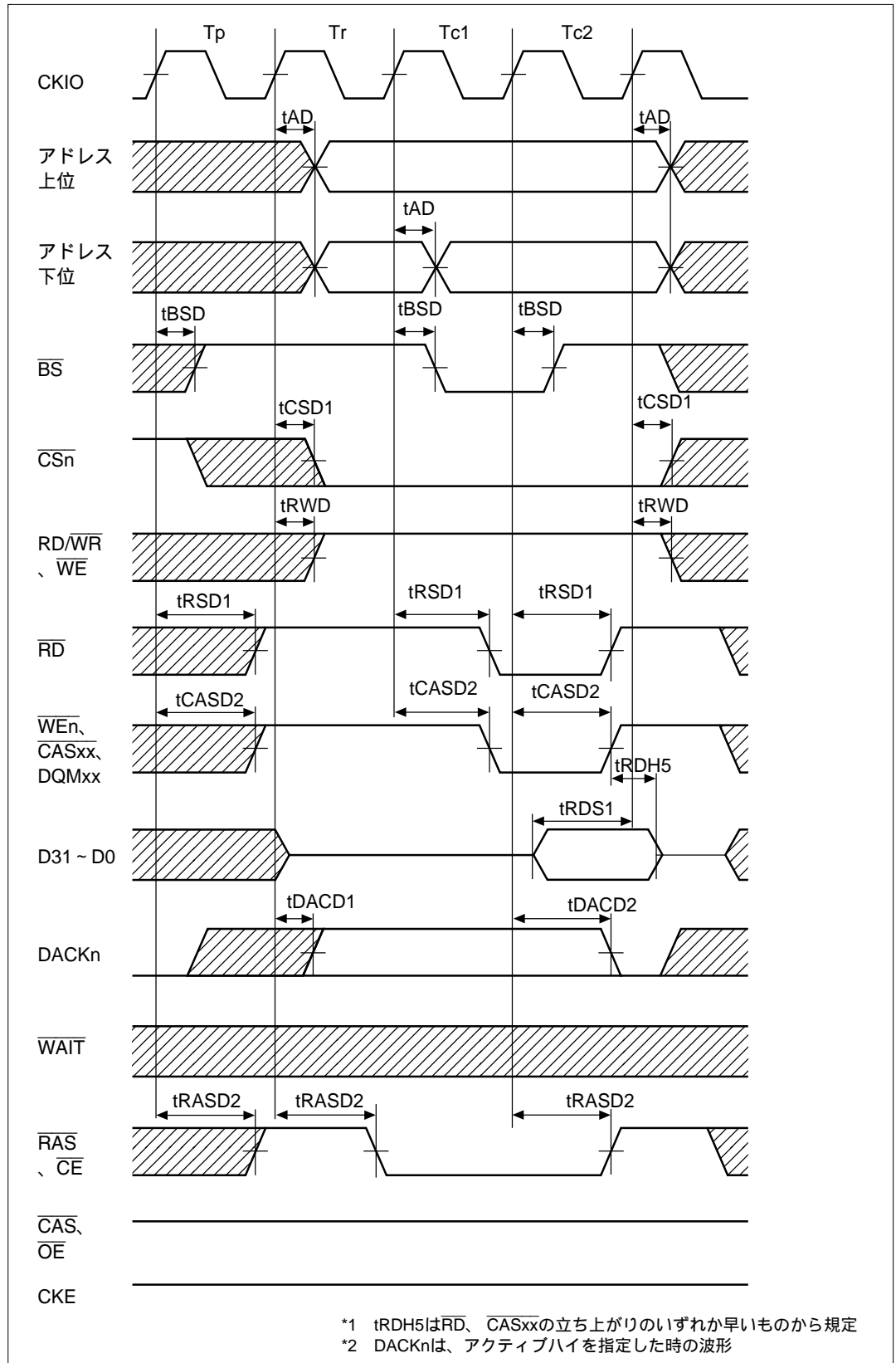


図 15.40 DRAM リードサイクル
 (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン)

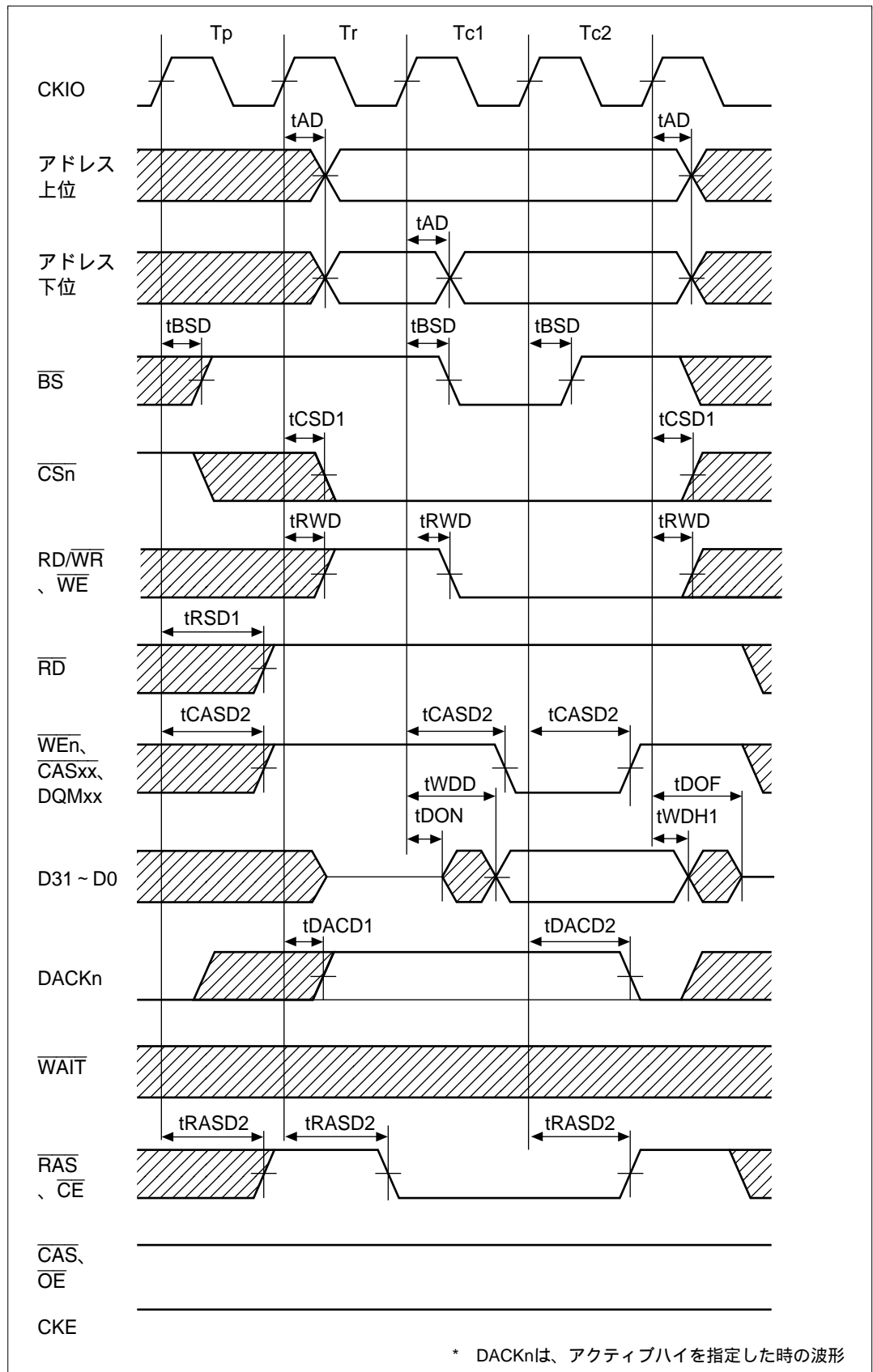


図 15.41 DRAMライトサイクル
(TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オン)

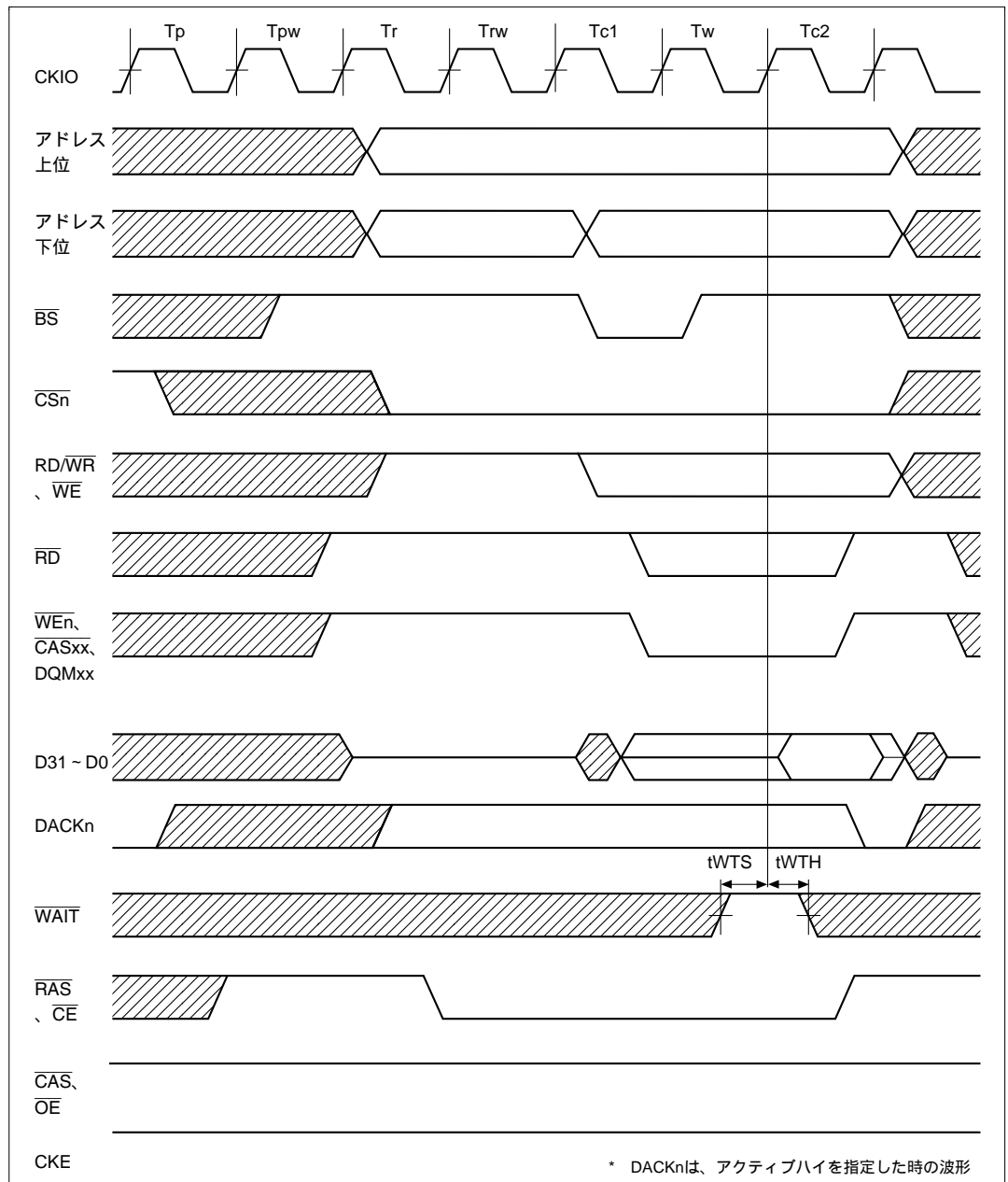


図 15.42 DRAM バスサイクル (TRP=2 サイクル、RCD=2 サイクル、1 ウェイト)

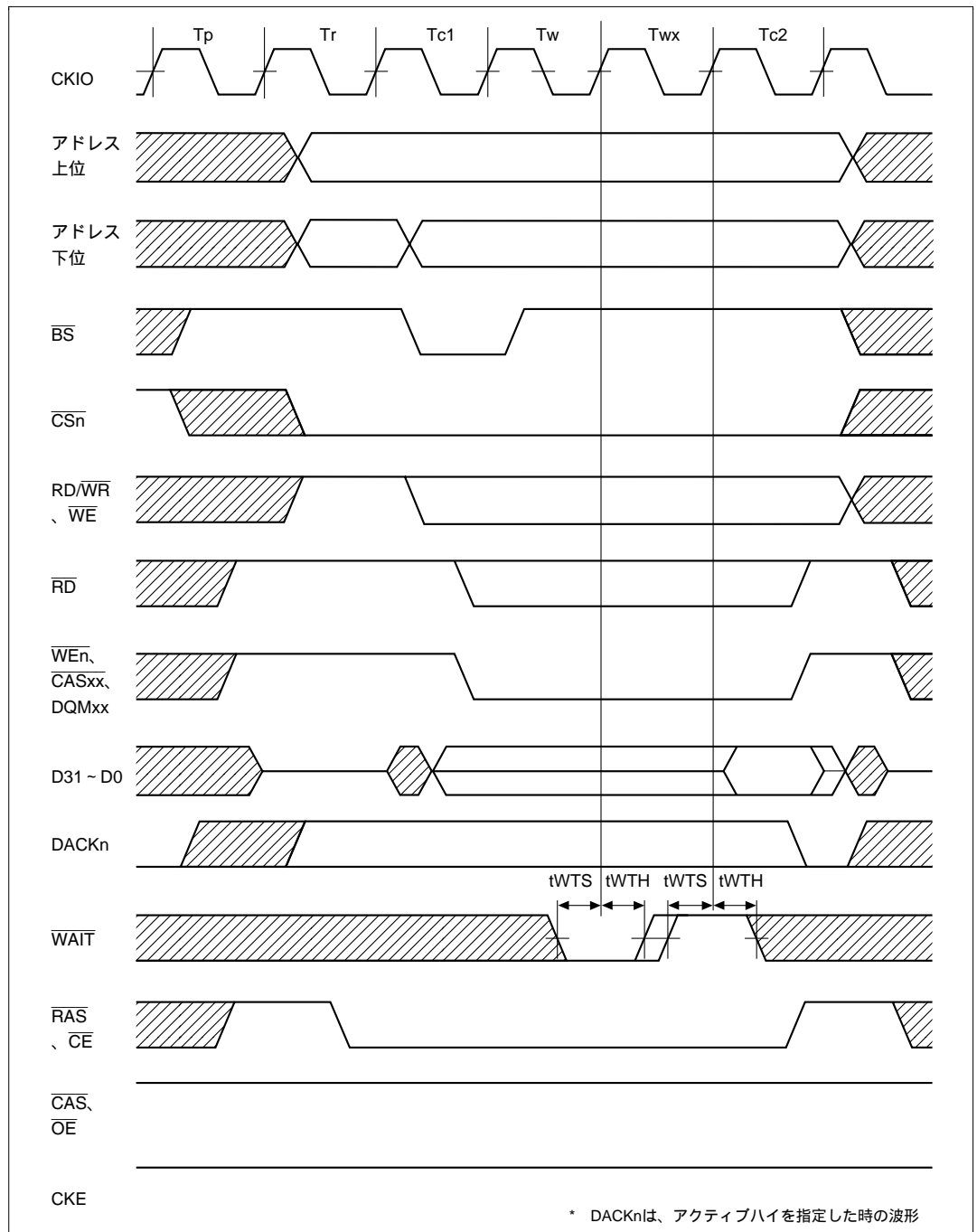


図 15.43 DRAMバスサイクル
(TRP=1サイクル、RCD=1サイクル、外部ウェイト入力ウェイト)

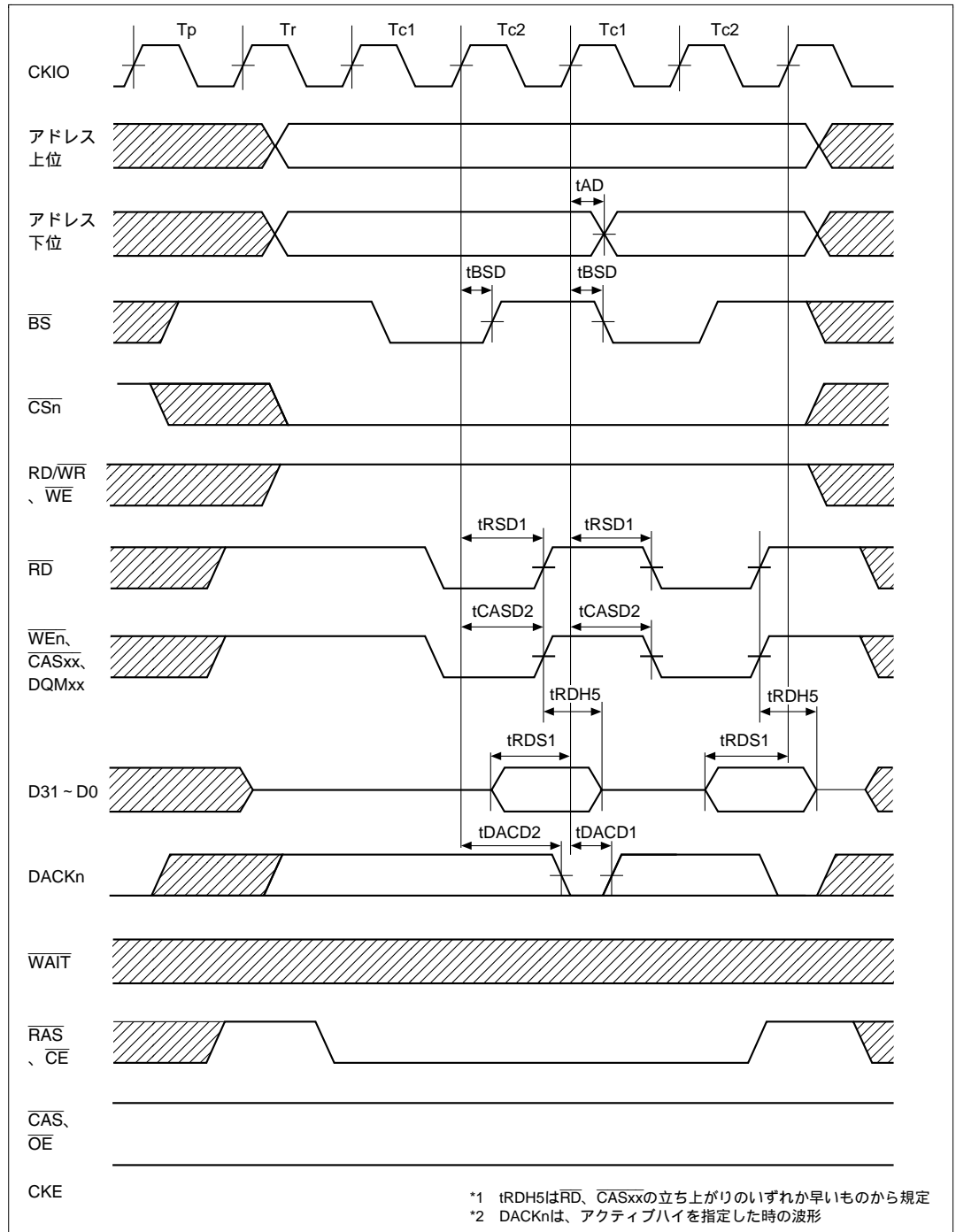


図 15.44 DRAMバーストリードサイクル
 (TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オン)

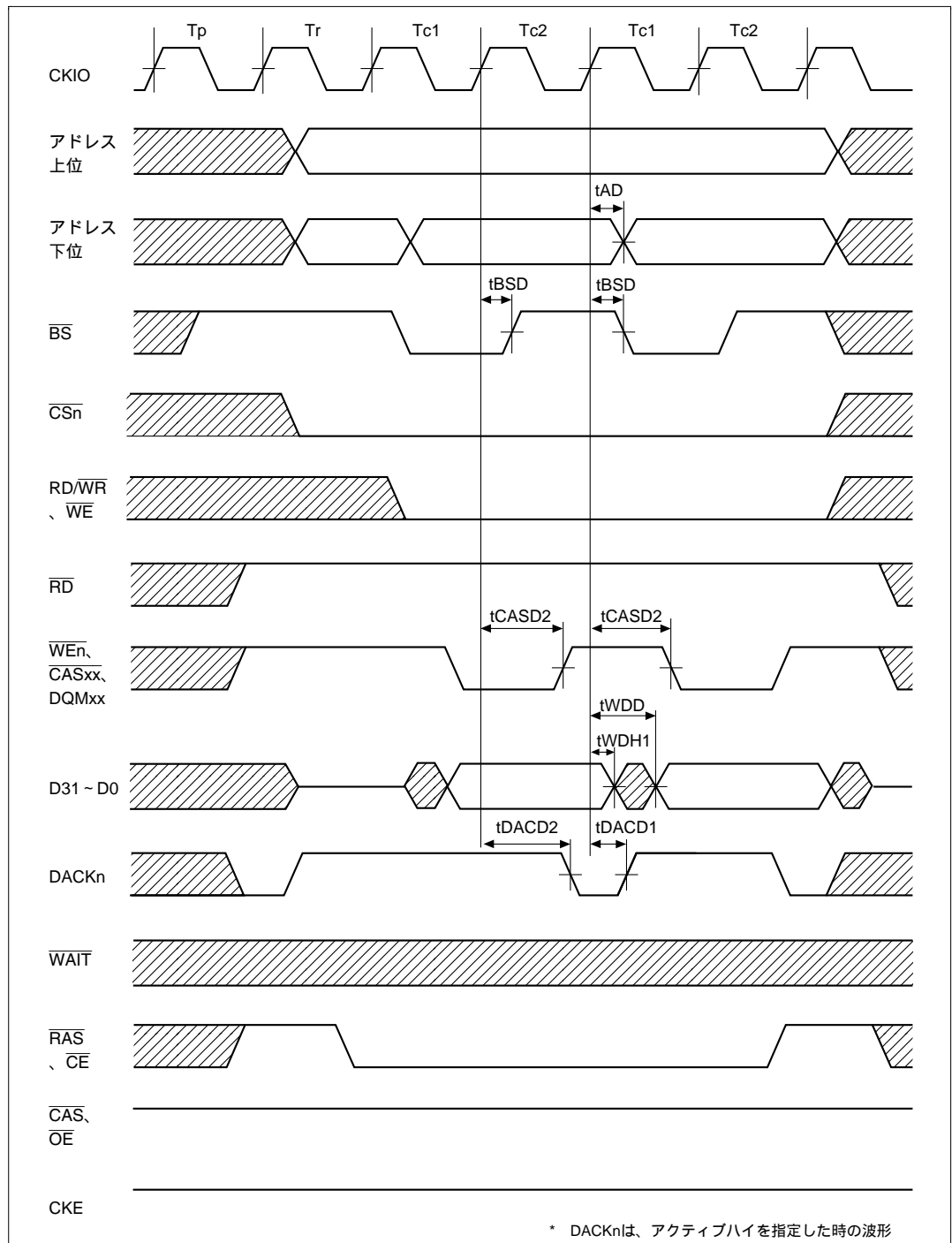


図 15.45 DRAMバーストライトサイクル
(TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オン)

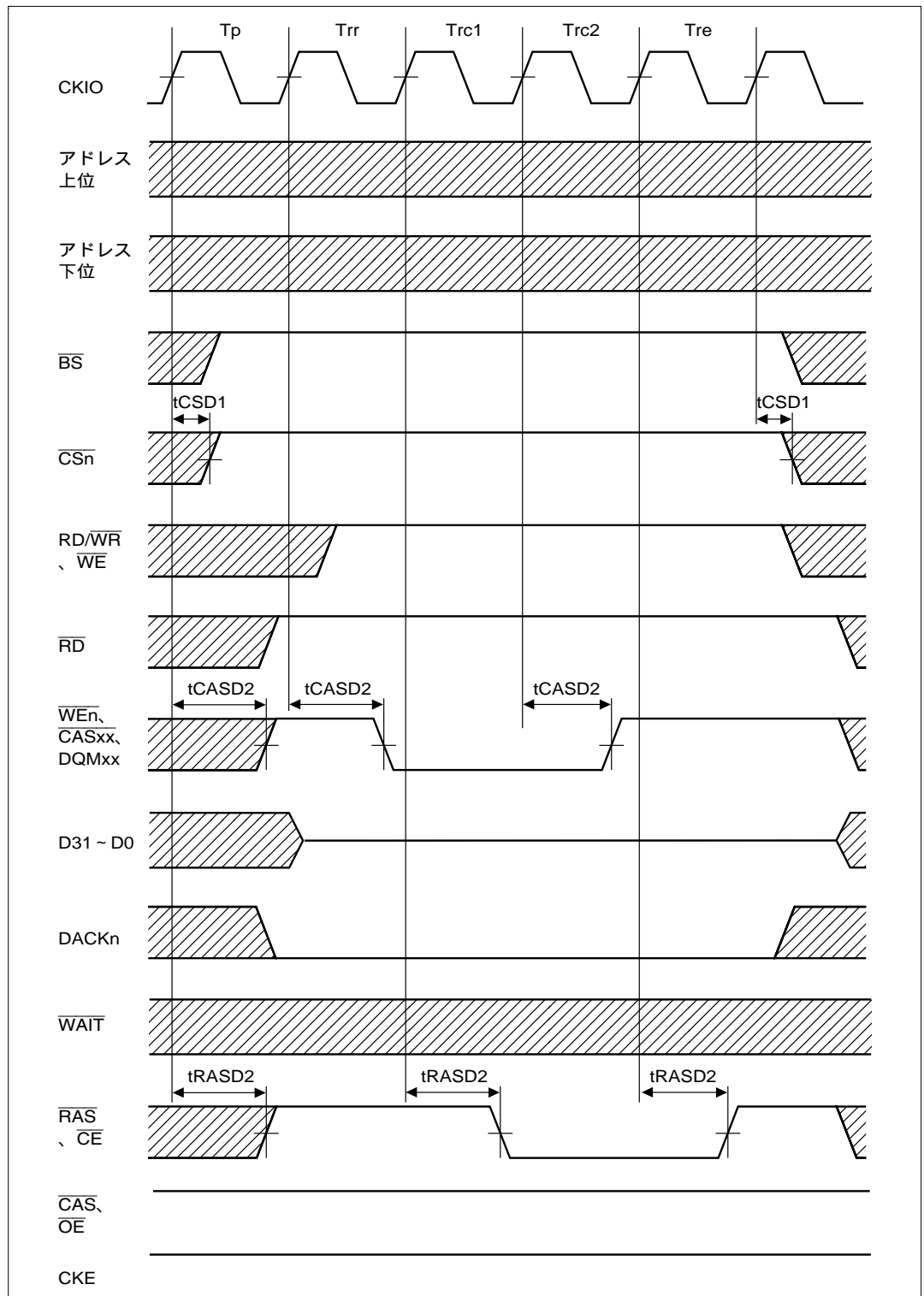


図 15.46 DRAM CAS ビフォ RAS リフレッシュサイクル
(TRP=1 サイクル、TRAS=2 サイクル、PLL オン)

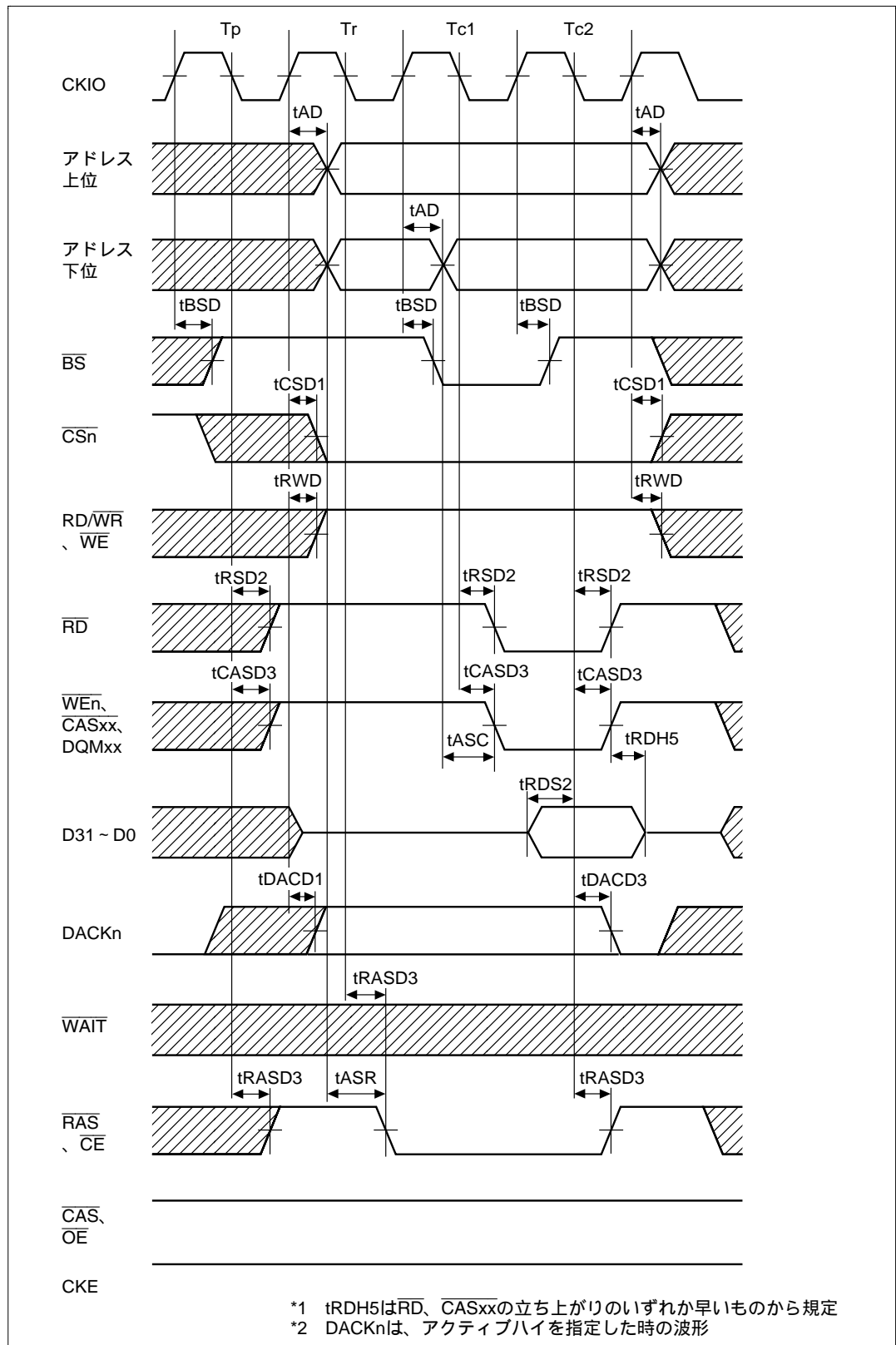


図 15.47 DRAMリードサイクル

(TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オフ)

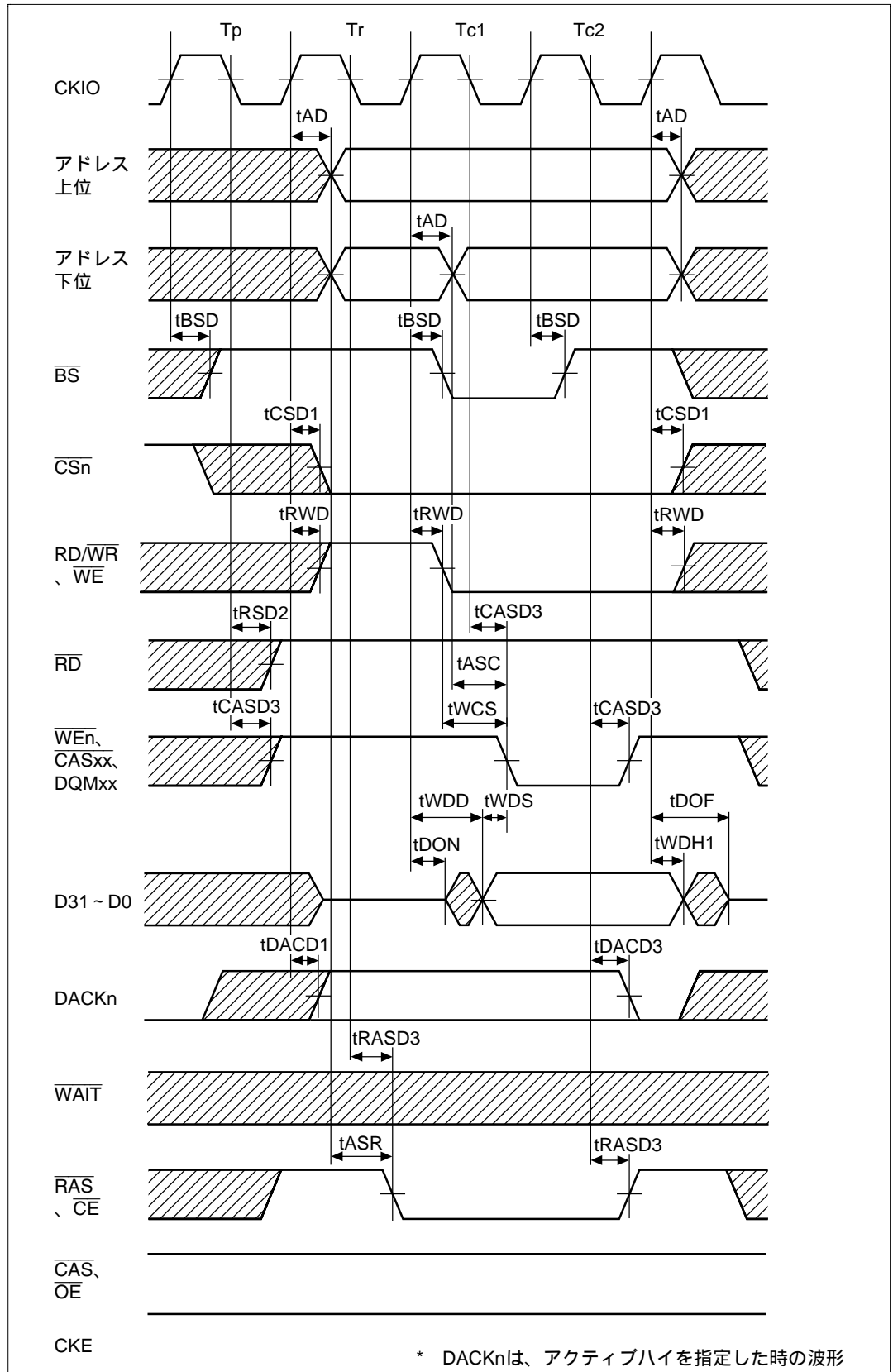


図 15.48 DRAM ライトサイクル
(TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ)

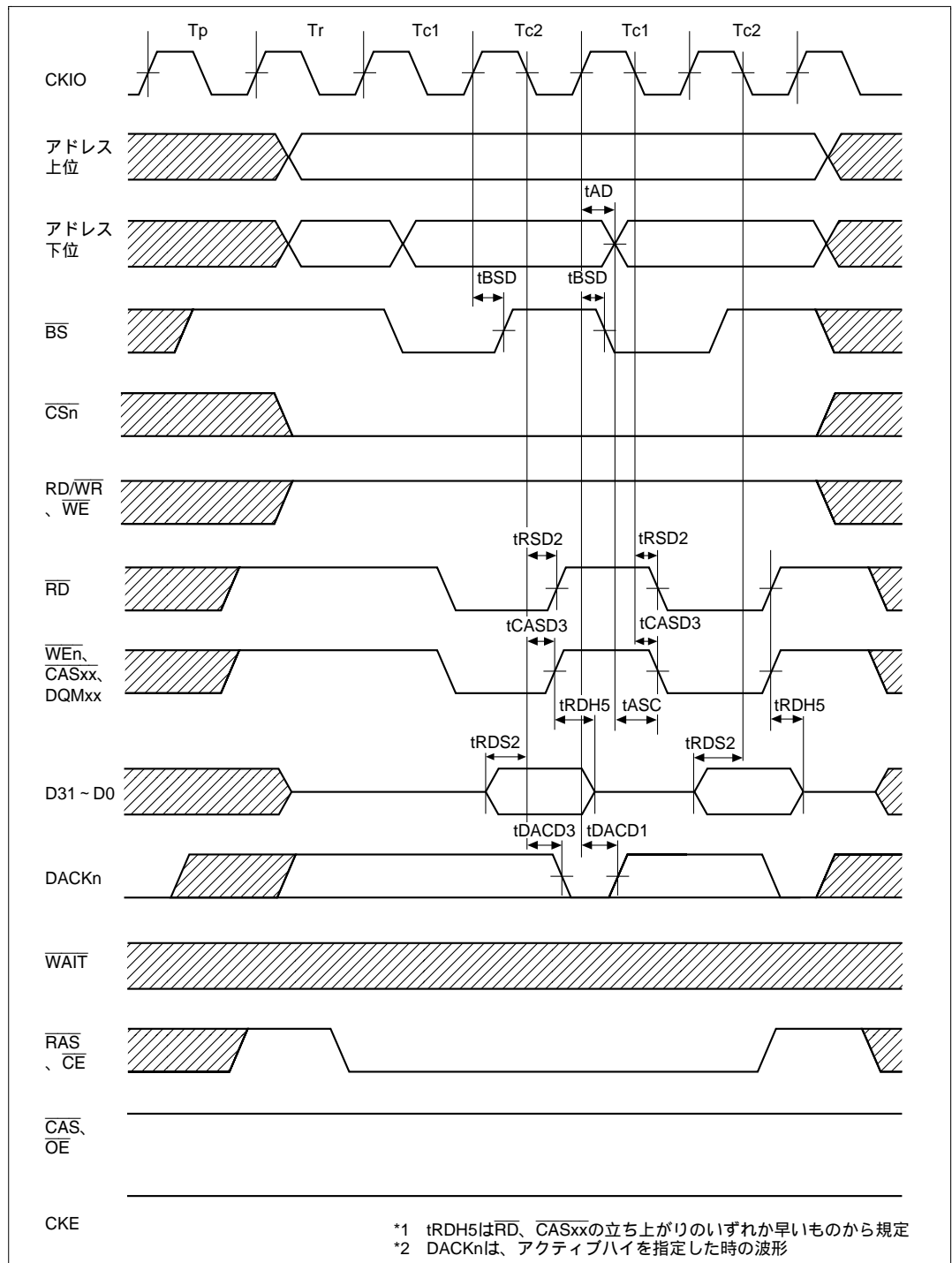


図 15.49 DRAMバーストリードサイクル
 (TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オフ)

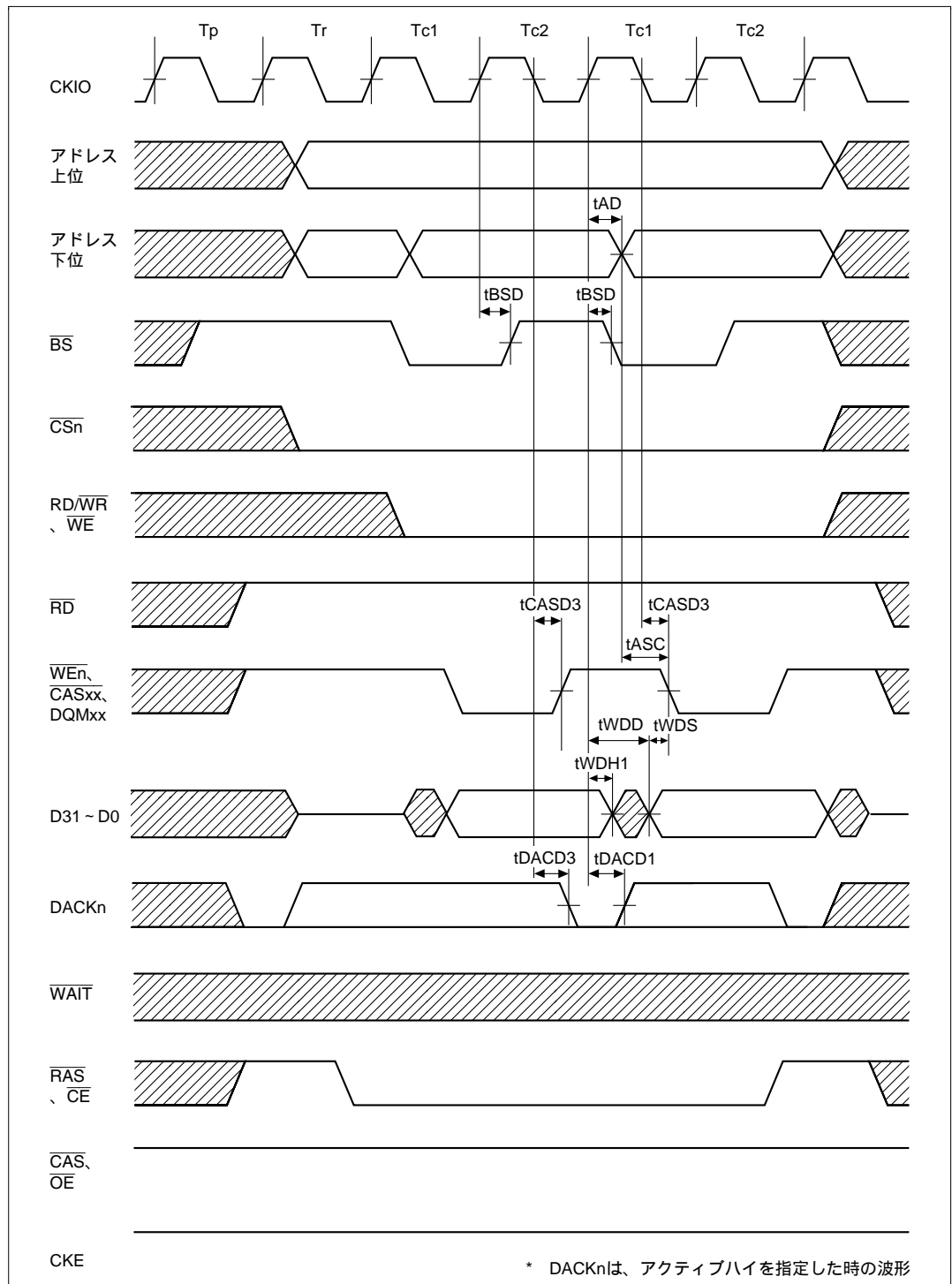


図 15.50 DRAMバーストライトサイクル
(TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オフ)

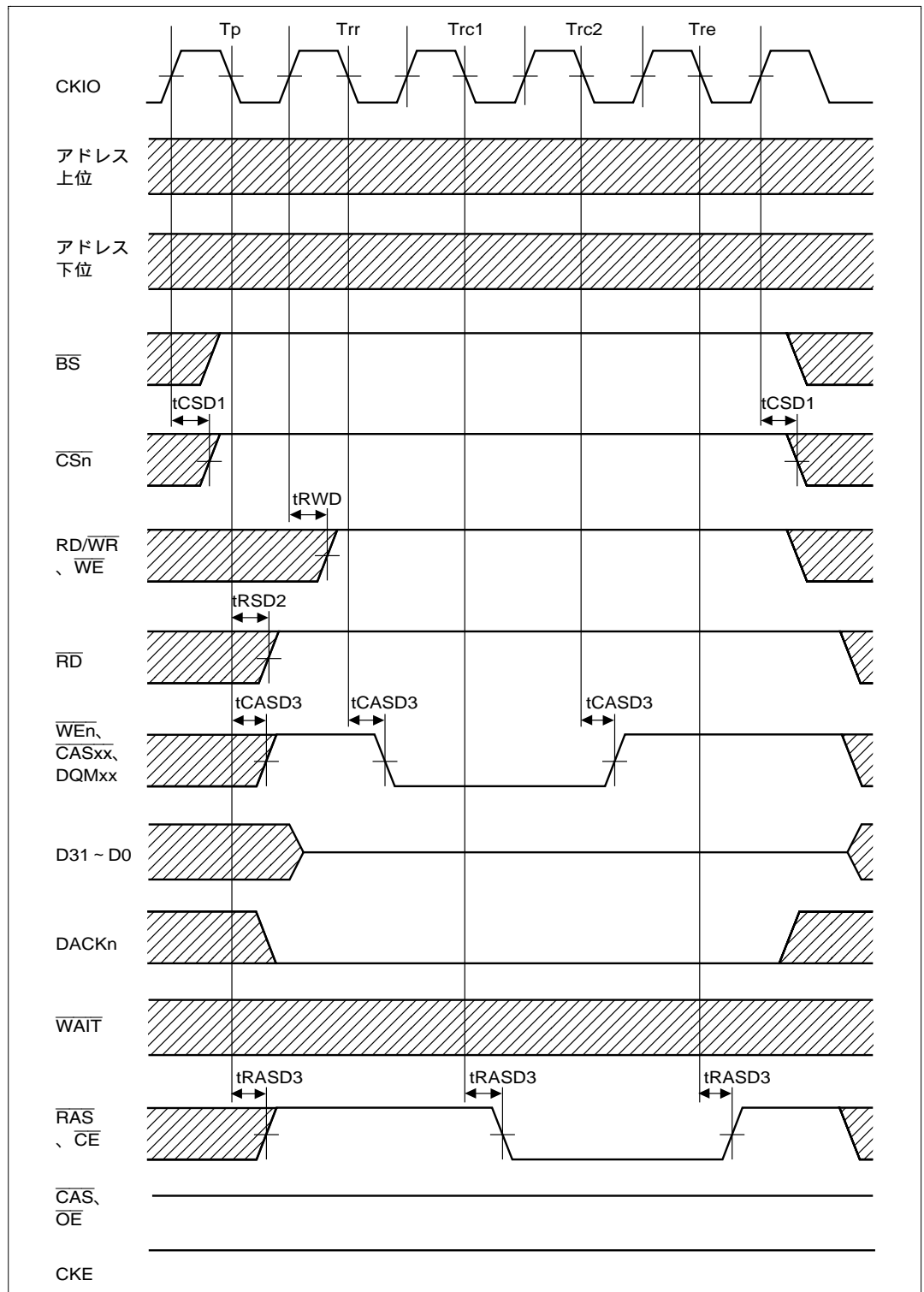


図 15.51 DRAMCAS ビフォ RAS リフレッシュサイクル
(TRP=1 サイクル、TRAS=2 サイクル、PLL オフ)

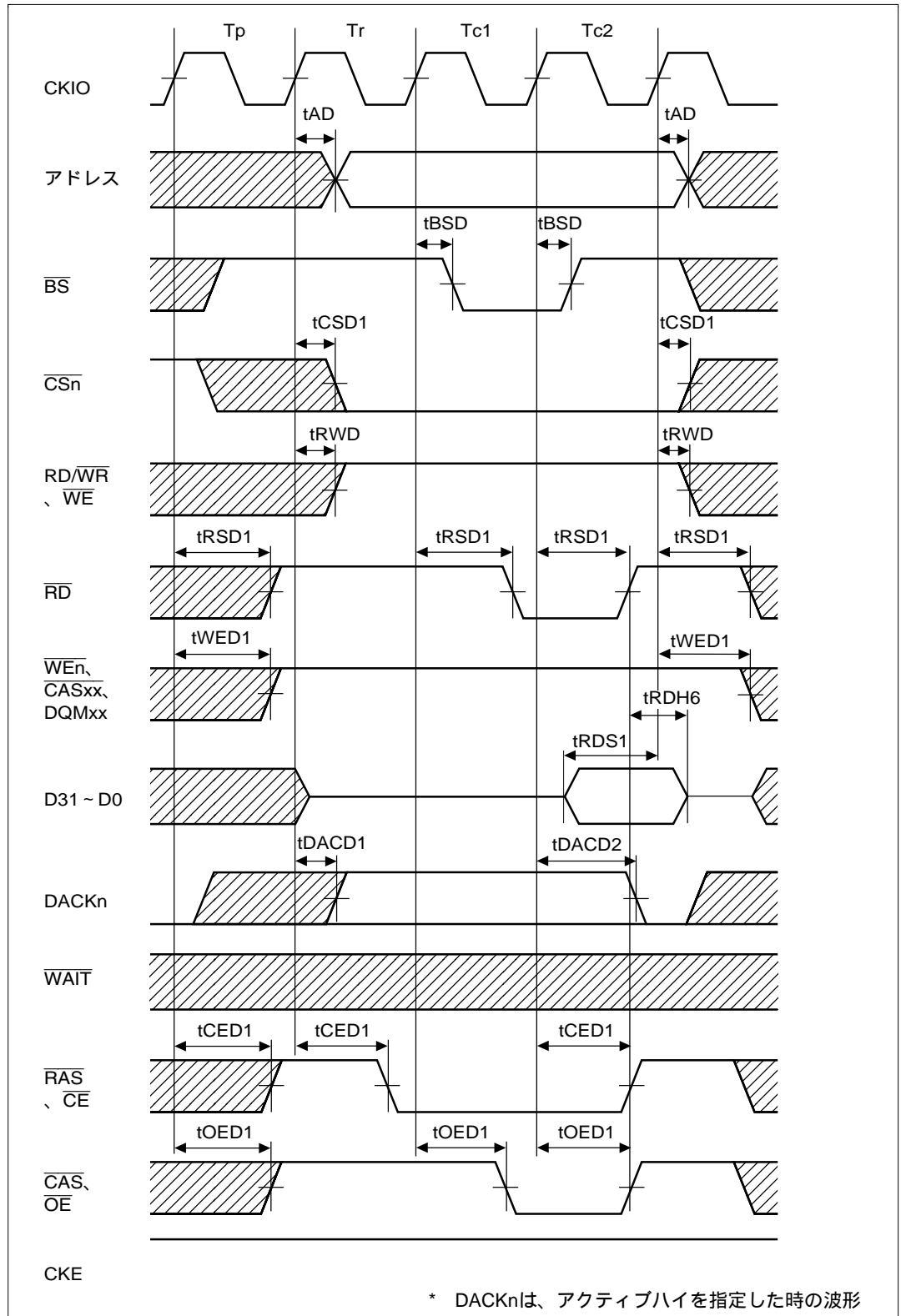


図 15.52 PSRAM リードサイクル
(PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

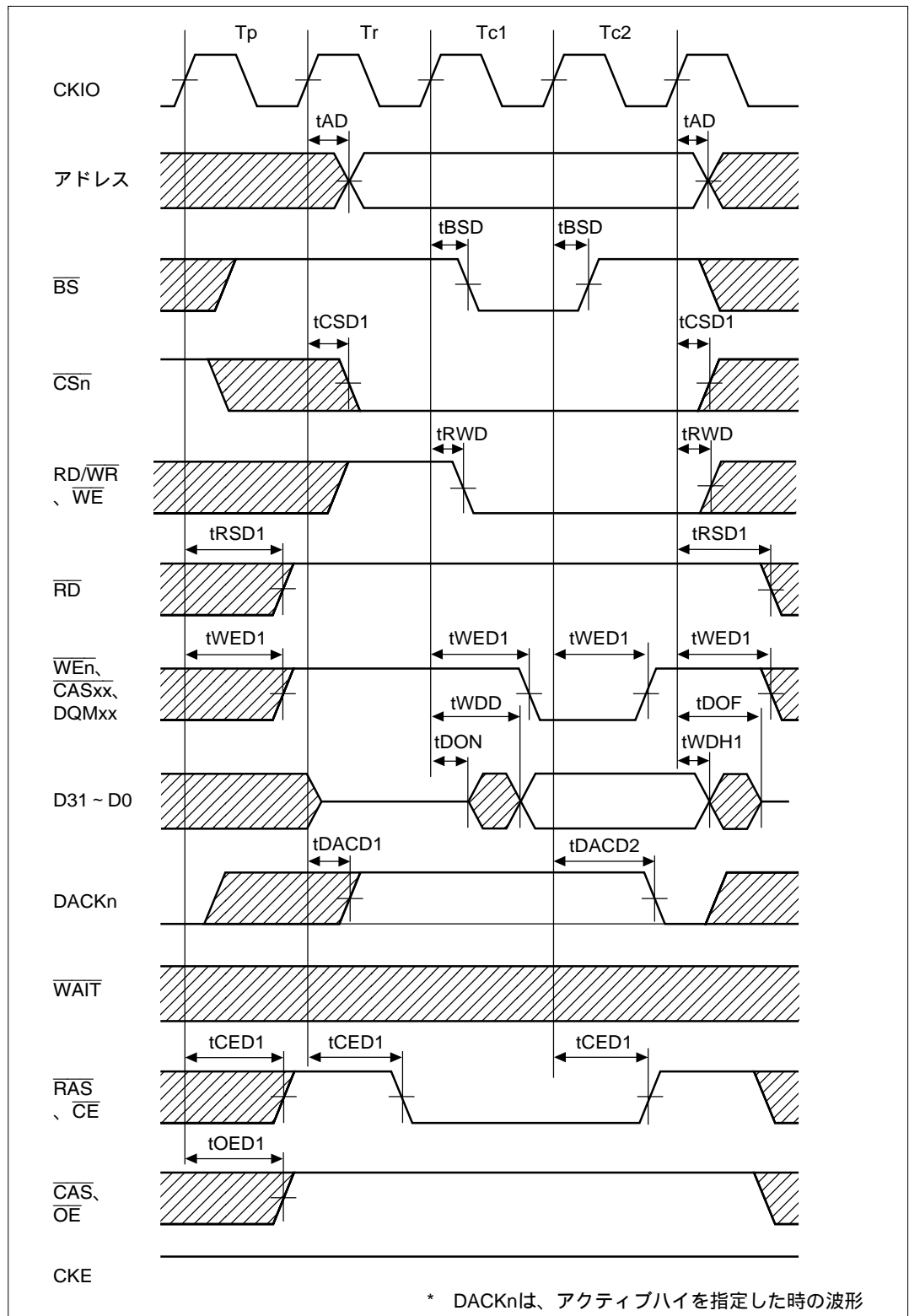


図 15.53 PSRAM ライトサイクル

(PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

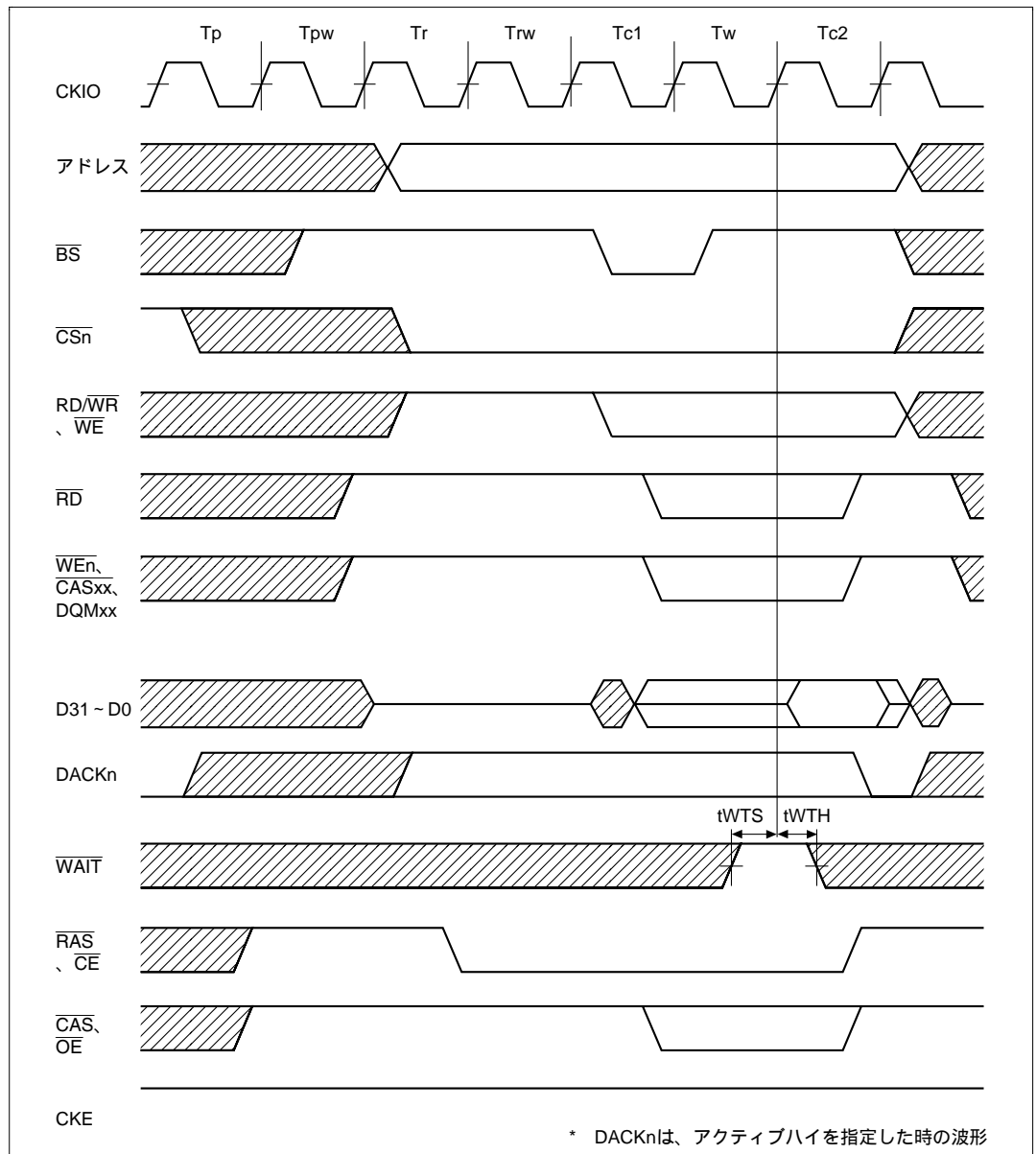


図 15.54 PSRAM バスサイクル (TRP=2 サイクル、RCD=2 サイクル、1 ウェイト)

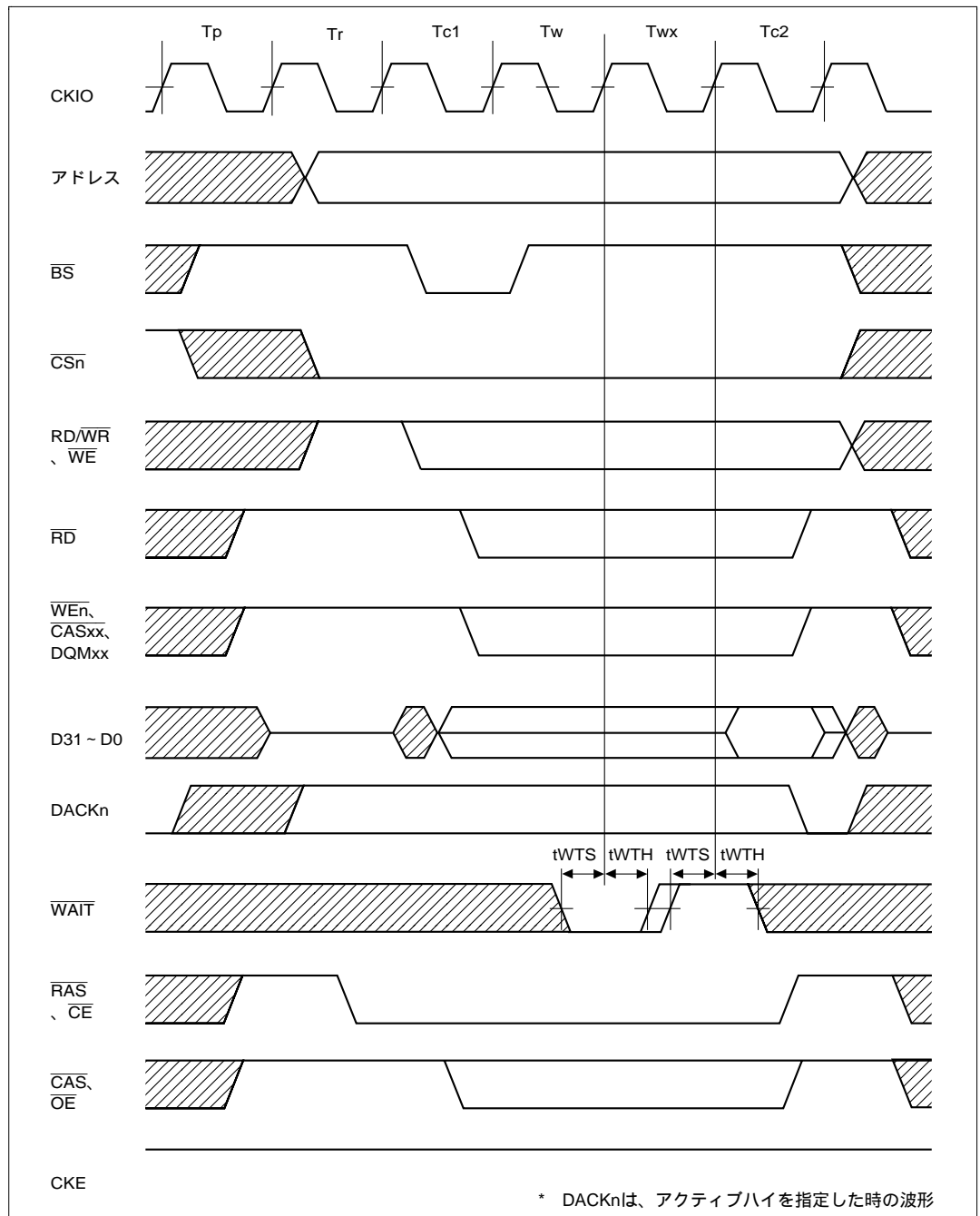


図 15.55 PSRAM バスサイクル
(TRP=1 サイクル、RCD=1 サイクル、外部ウェイト入力)

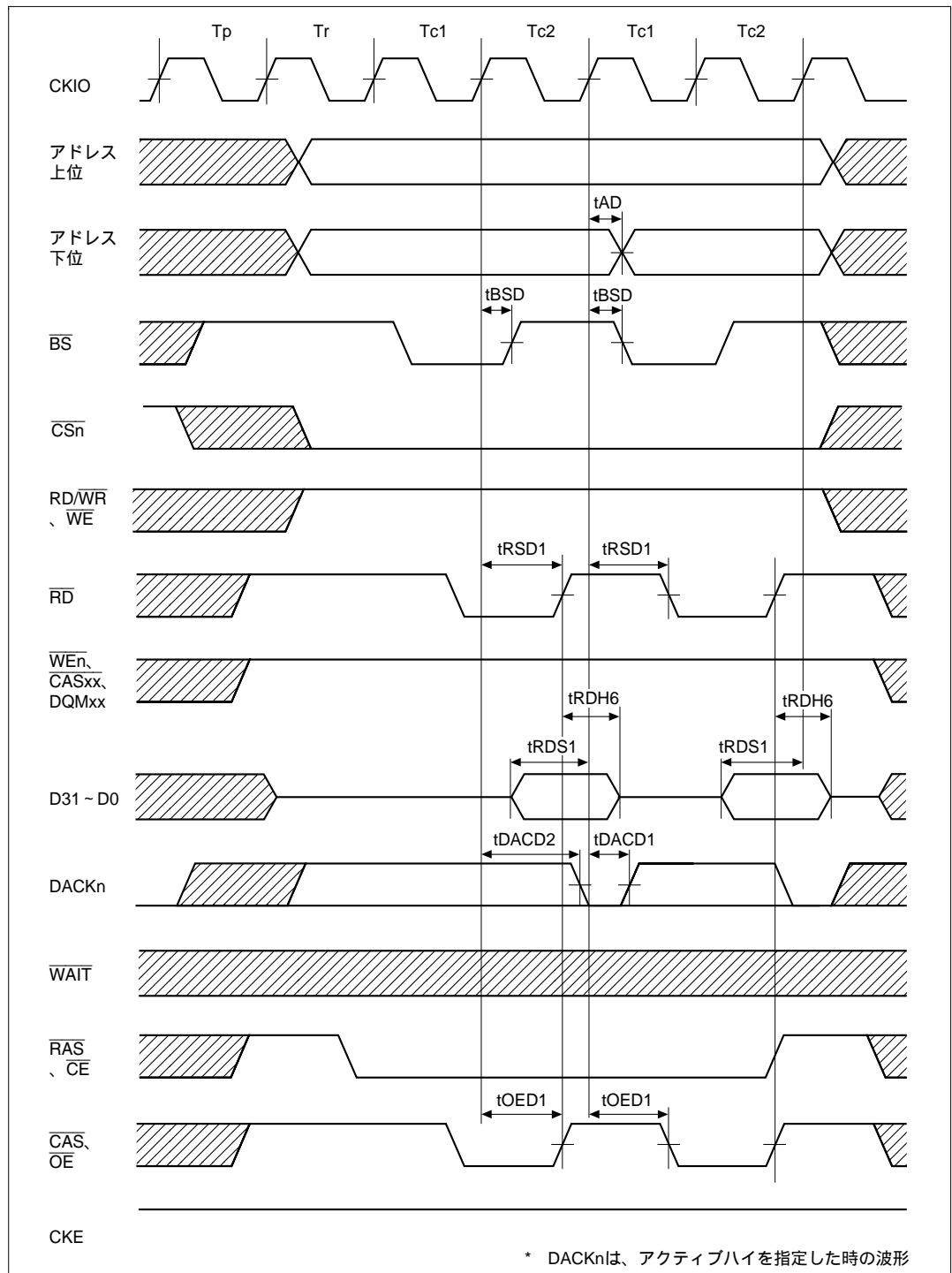


図 15.56 PSRAM リードサイクル
 (スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、
 ノーウェイト)

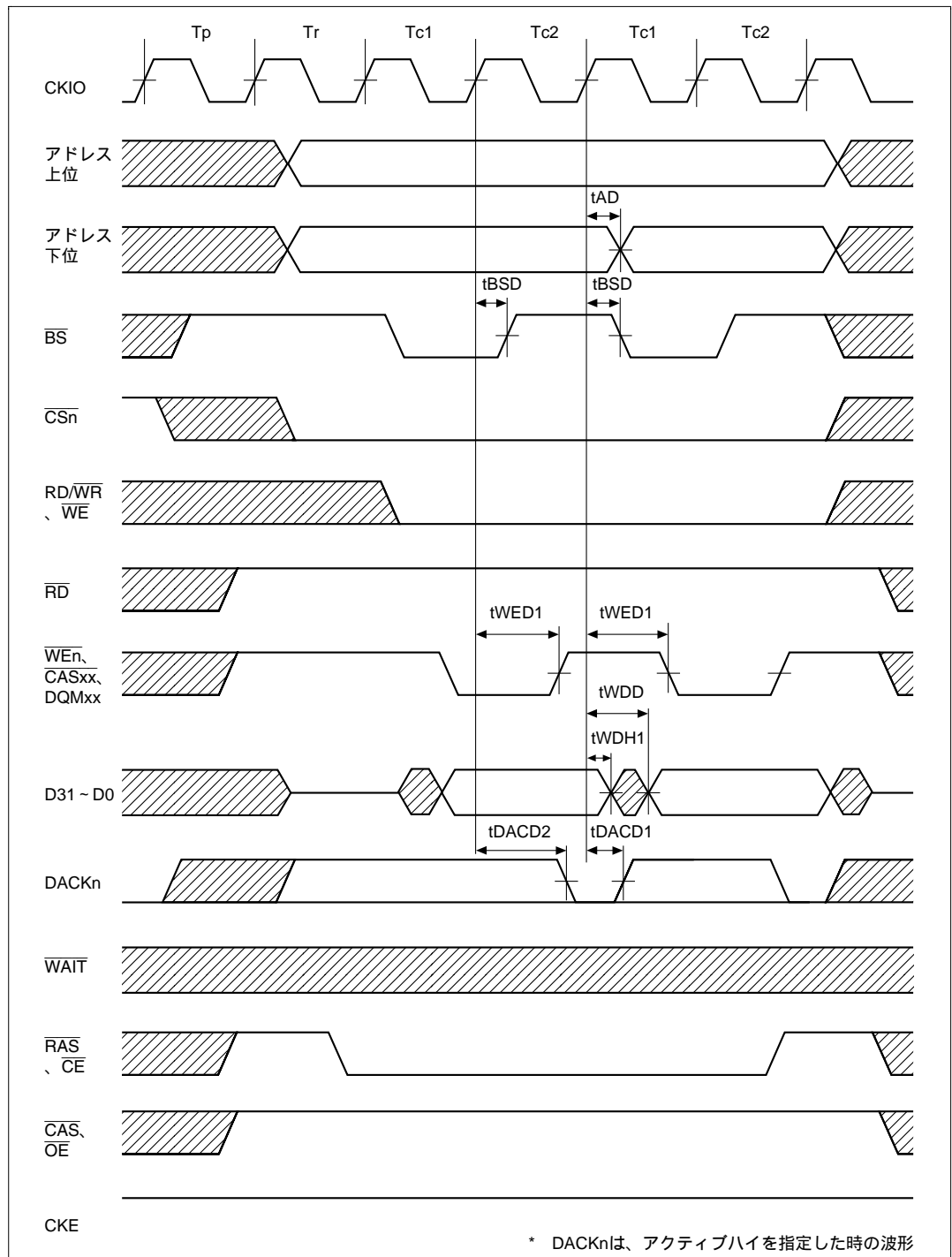


図 15.57 PSRAM ライトサイクル
 (スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、
 ノーウェイト)

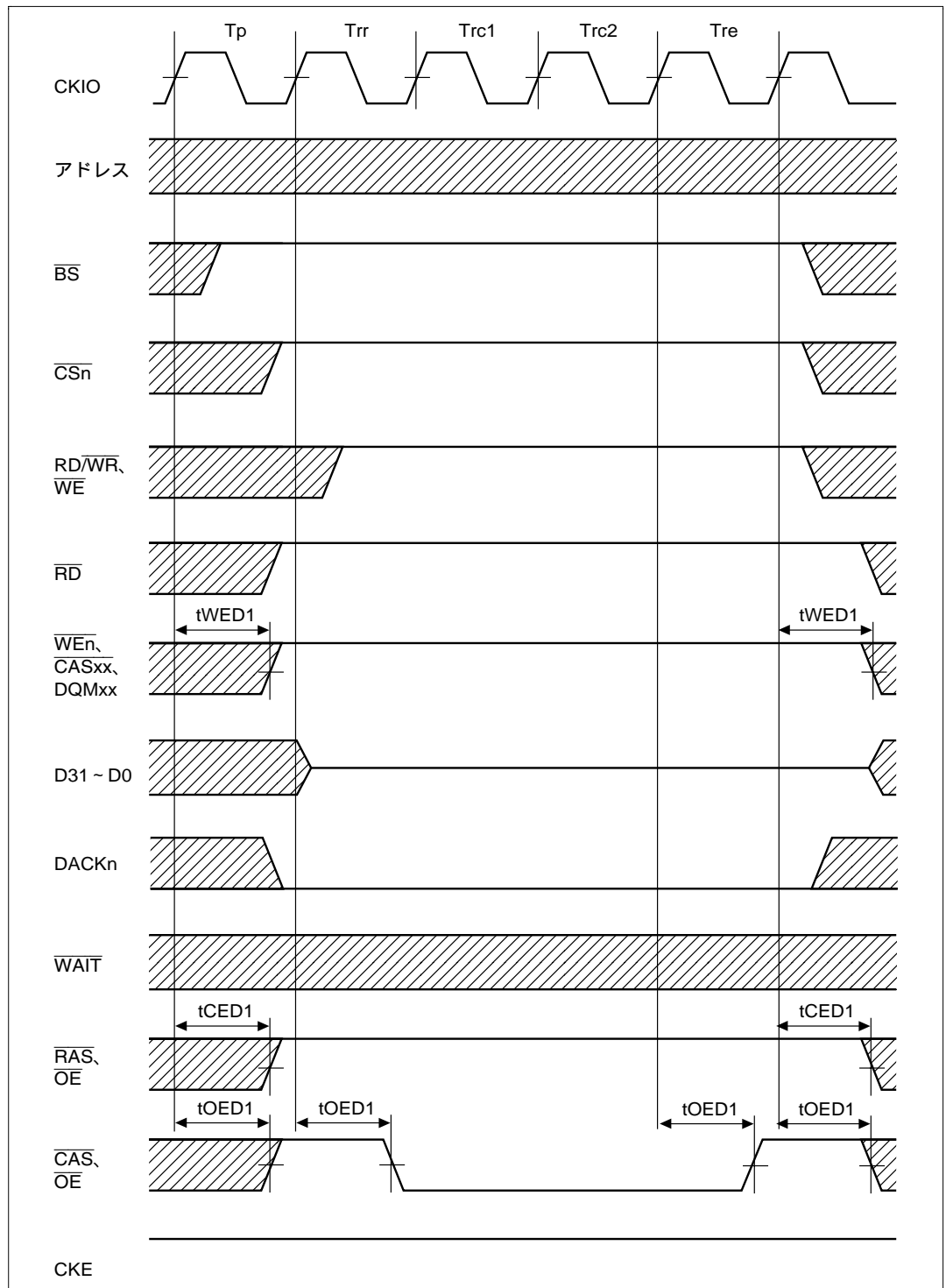


図 15.58 PSRAM オートリフレッシュサイクル
(PLL オン、TRP=1 サイクル、TRAS=2 サイクル)

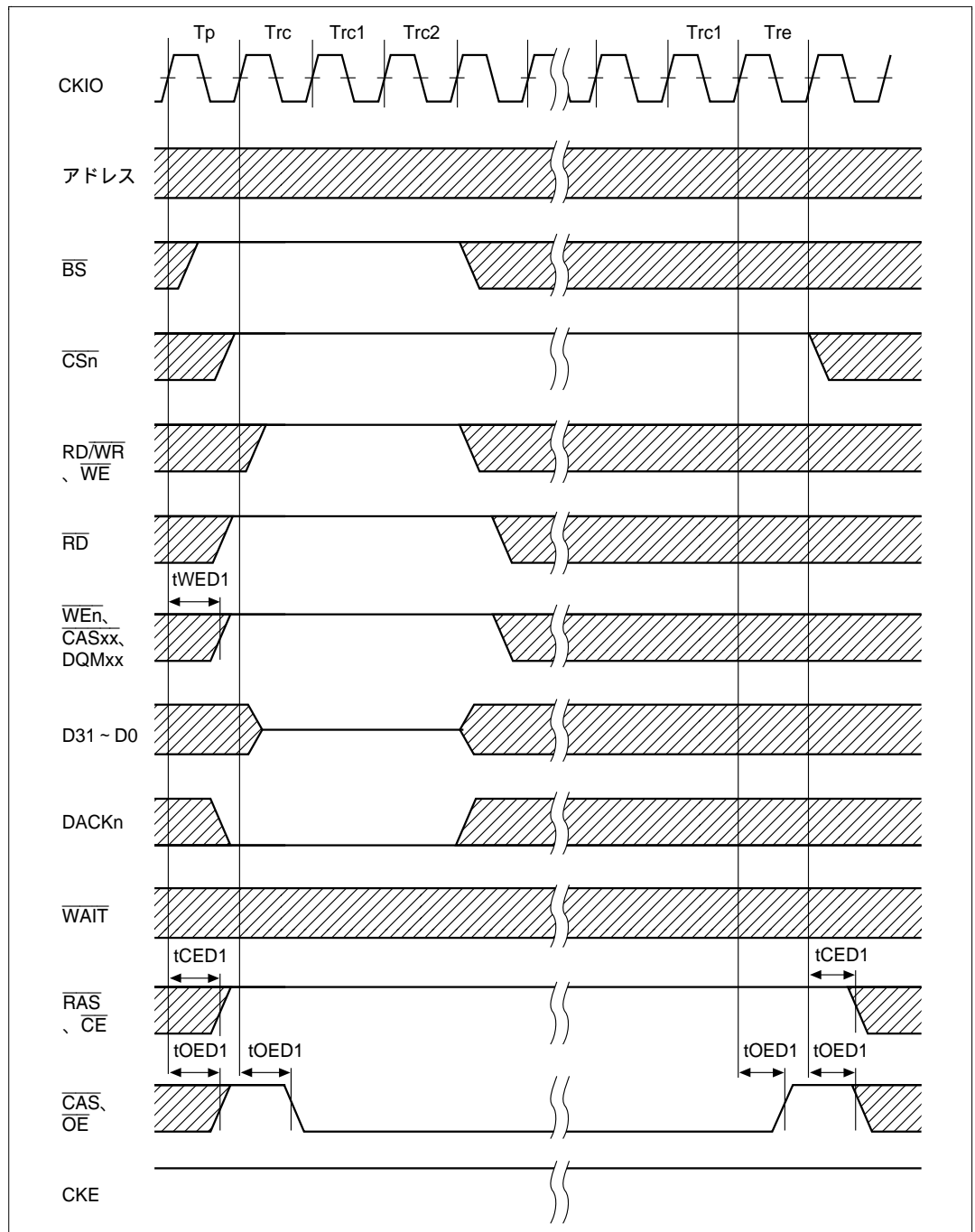


図 15.59 PSRAM セルフリフレッシュサイクル
(PLL オン、TRP=1 サイクル、TRAS=2 サイクル)

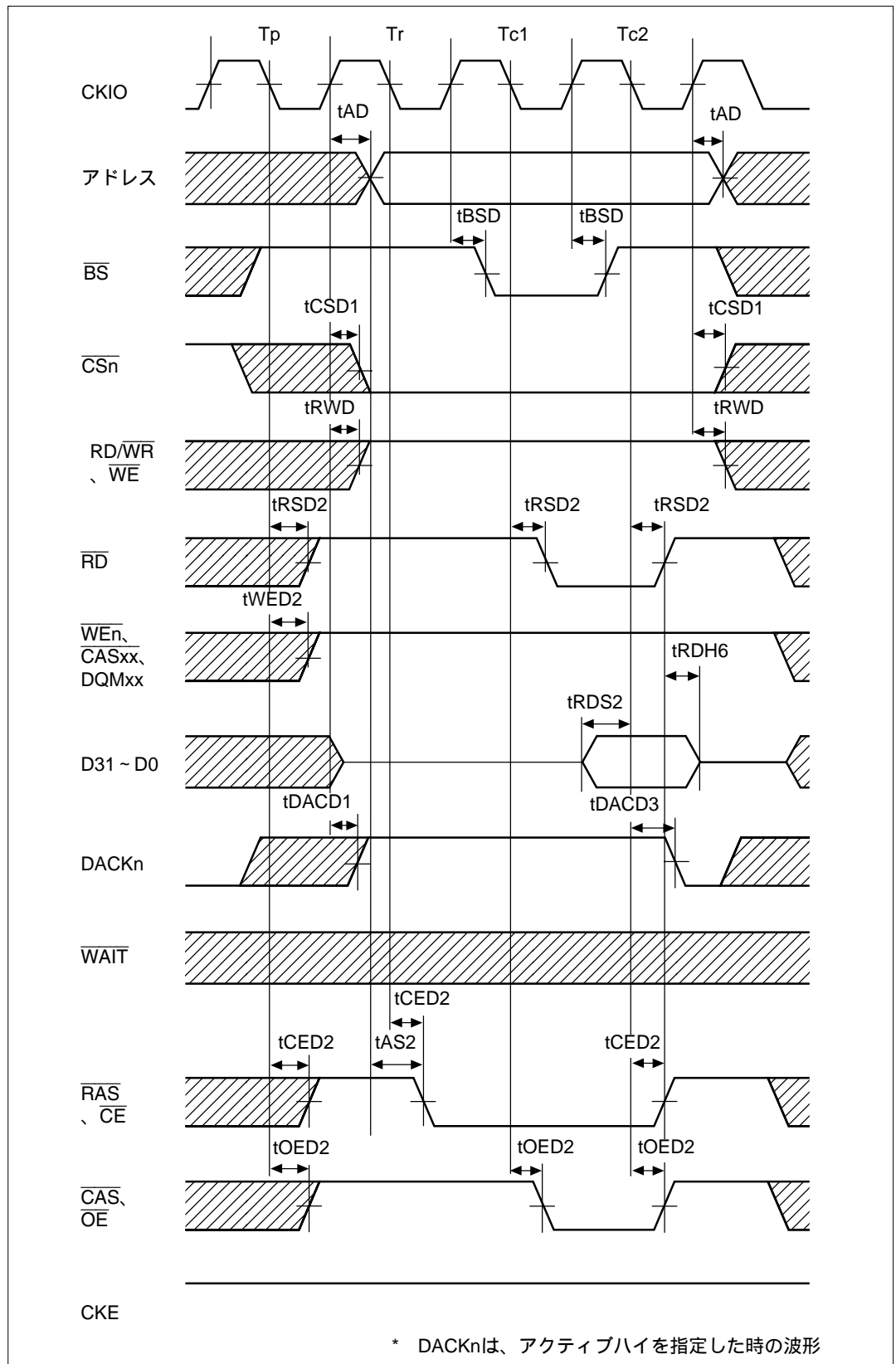


図 15.60 PSRAM リードサイクル

(PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

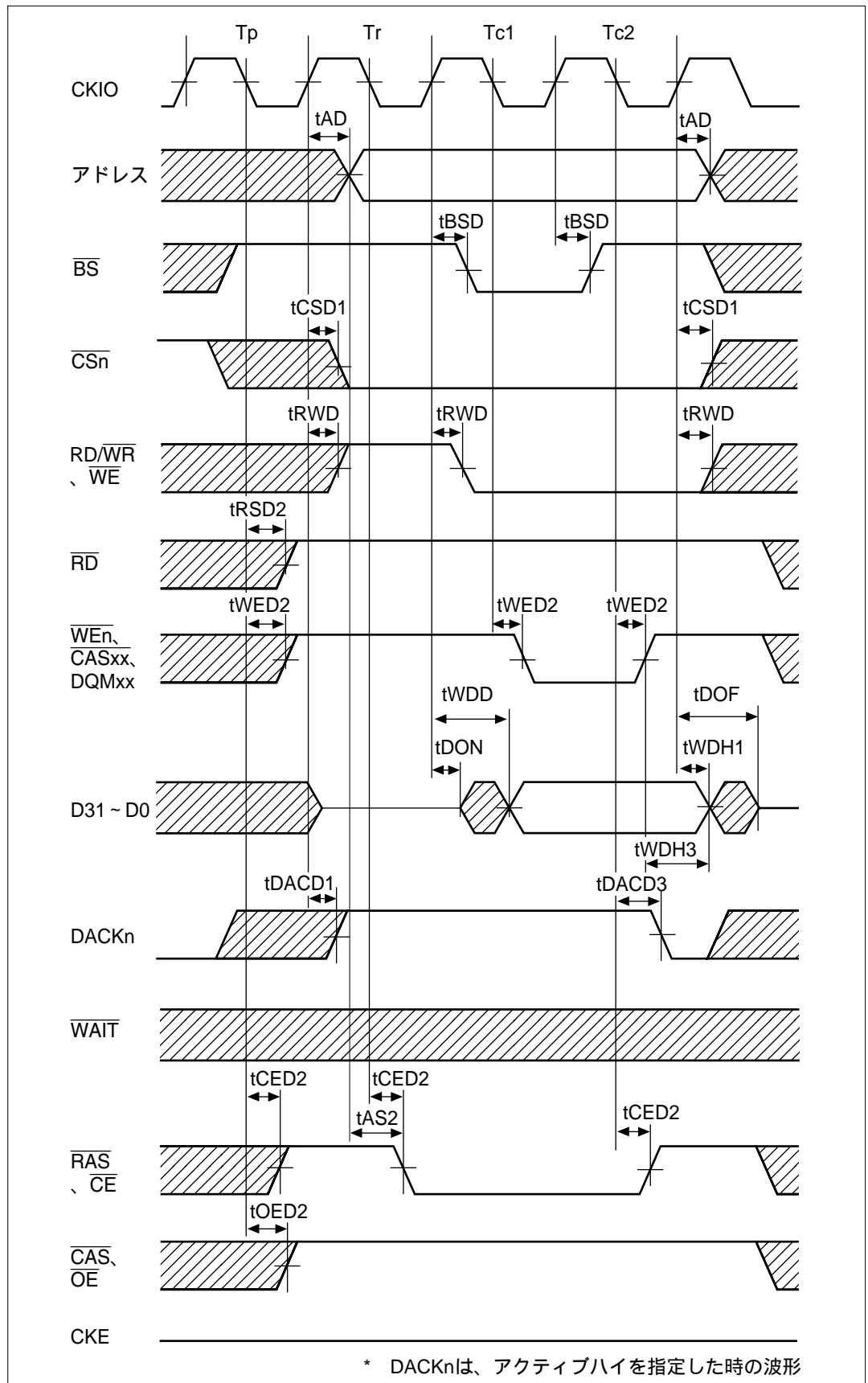


図 15.61 PSRAM ライトサイクル

(PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

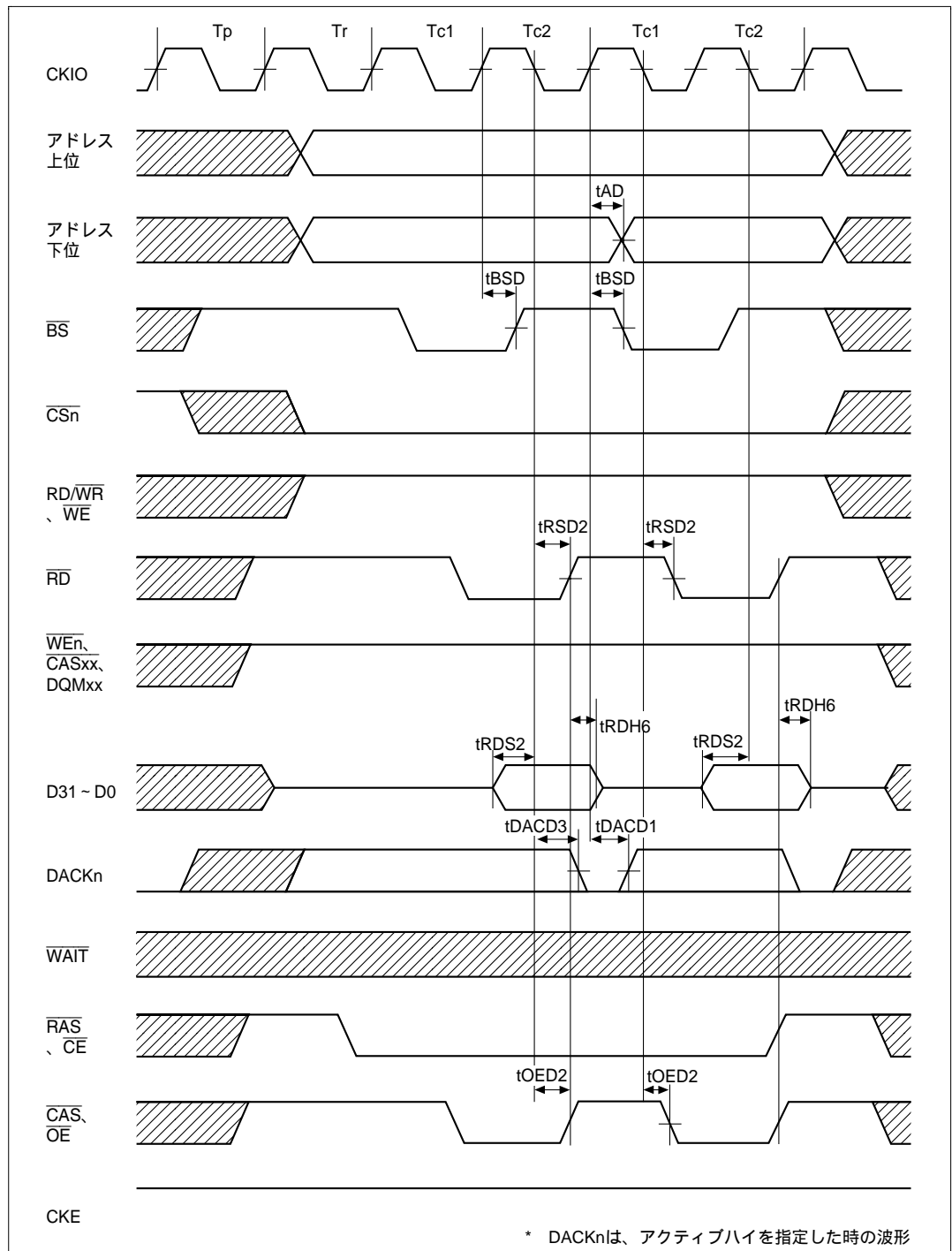


図 15.62 PSRAM リードサイクル
 (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、
 ノーウェイト)

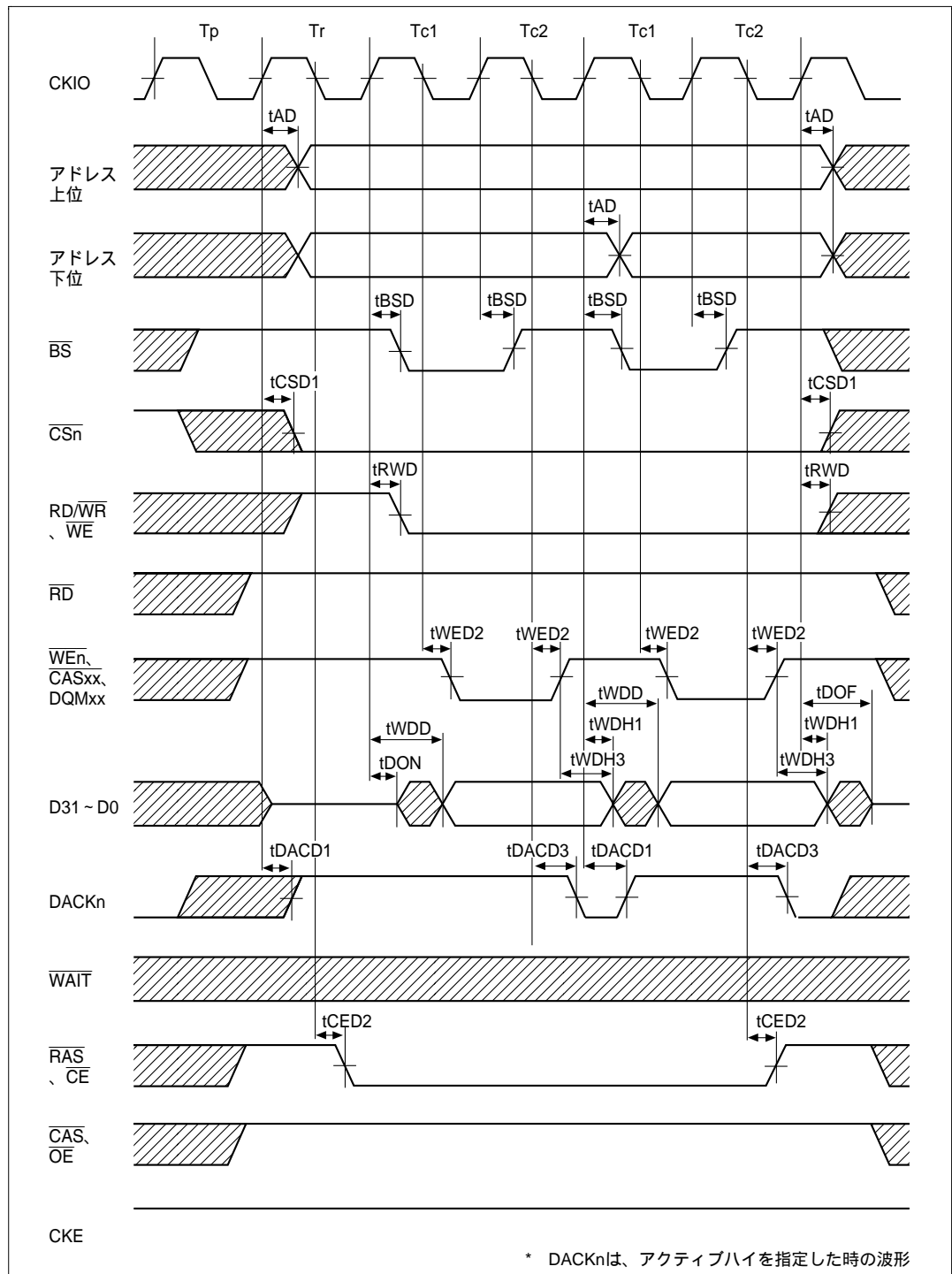


図 15.63 PSRAM ライトサイクル
 (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、
 ノーウェイト)

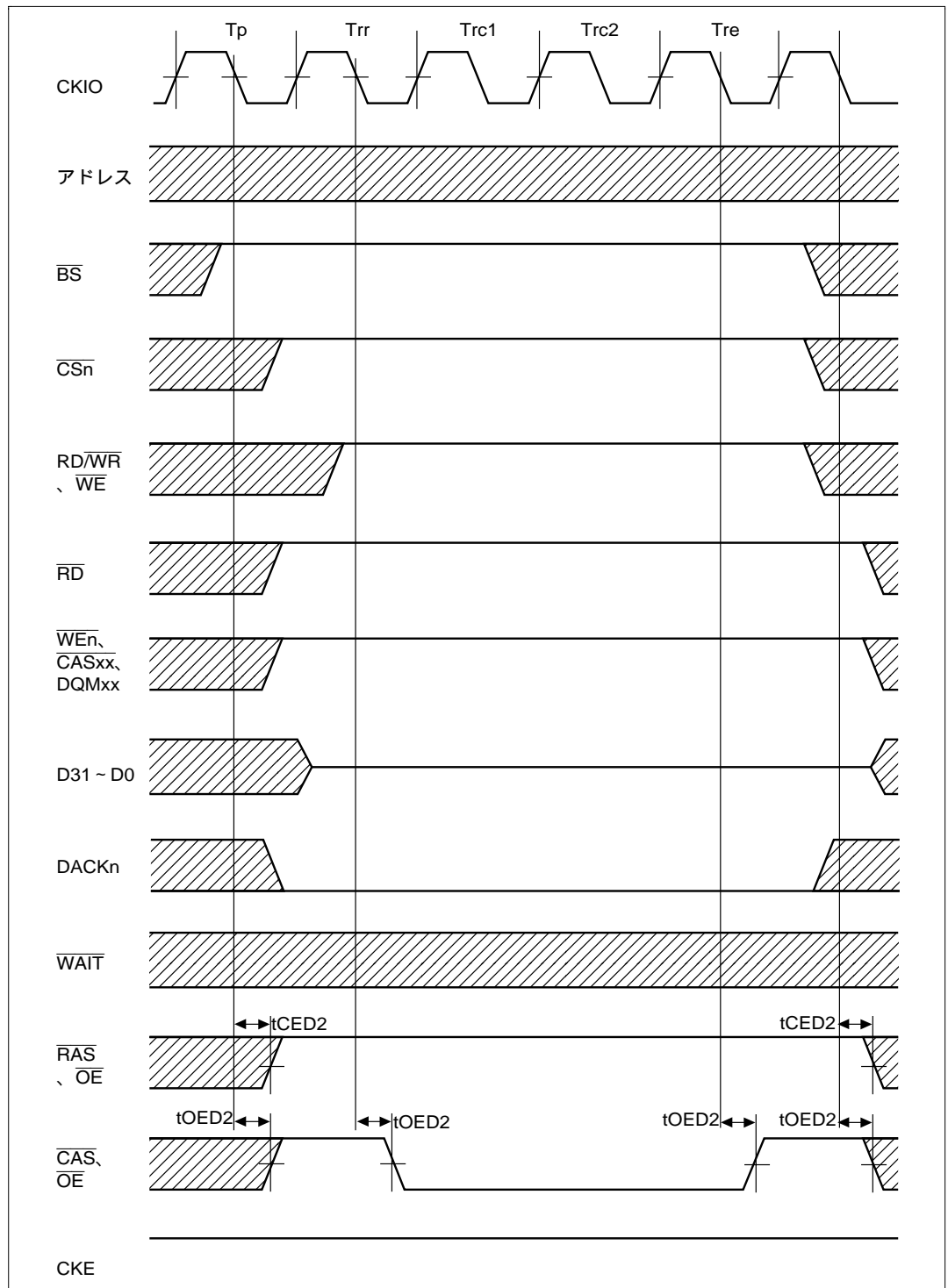


図 15.64 PSRAM オートリフレッシュサイクル
(PLL オフ、TRP=1 サイクル、TRAS=2 サイクル)

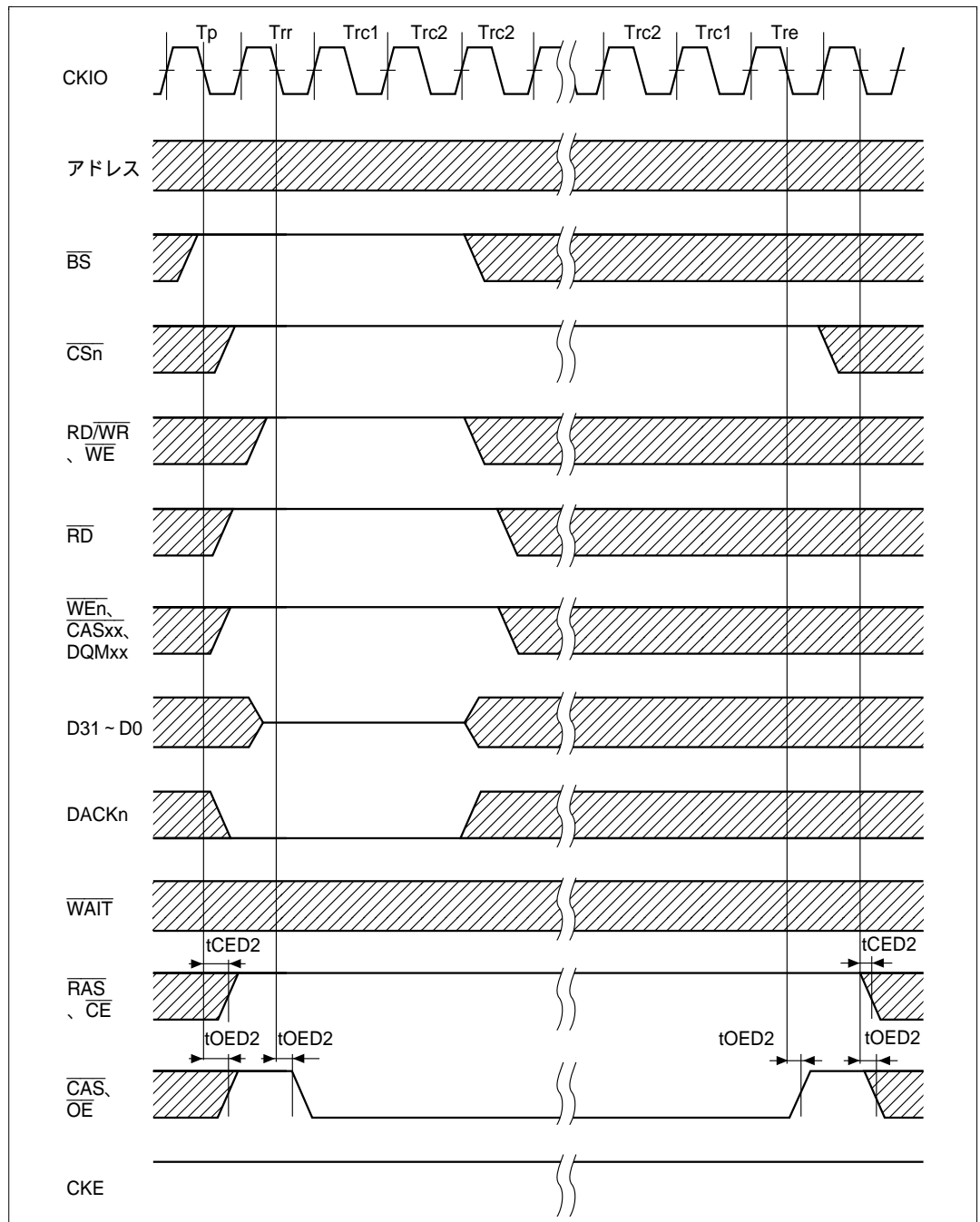


図 15.65 PSRAM セルフリフレッシュサイクル
(PLL オフ、TRP=1 サイクル、TRAS=2 サイクル)

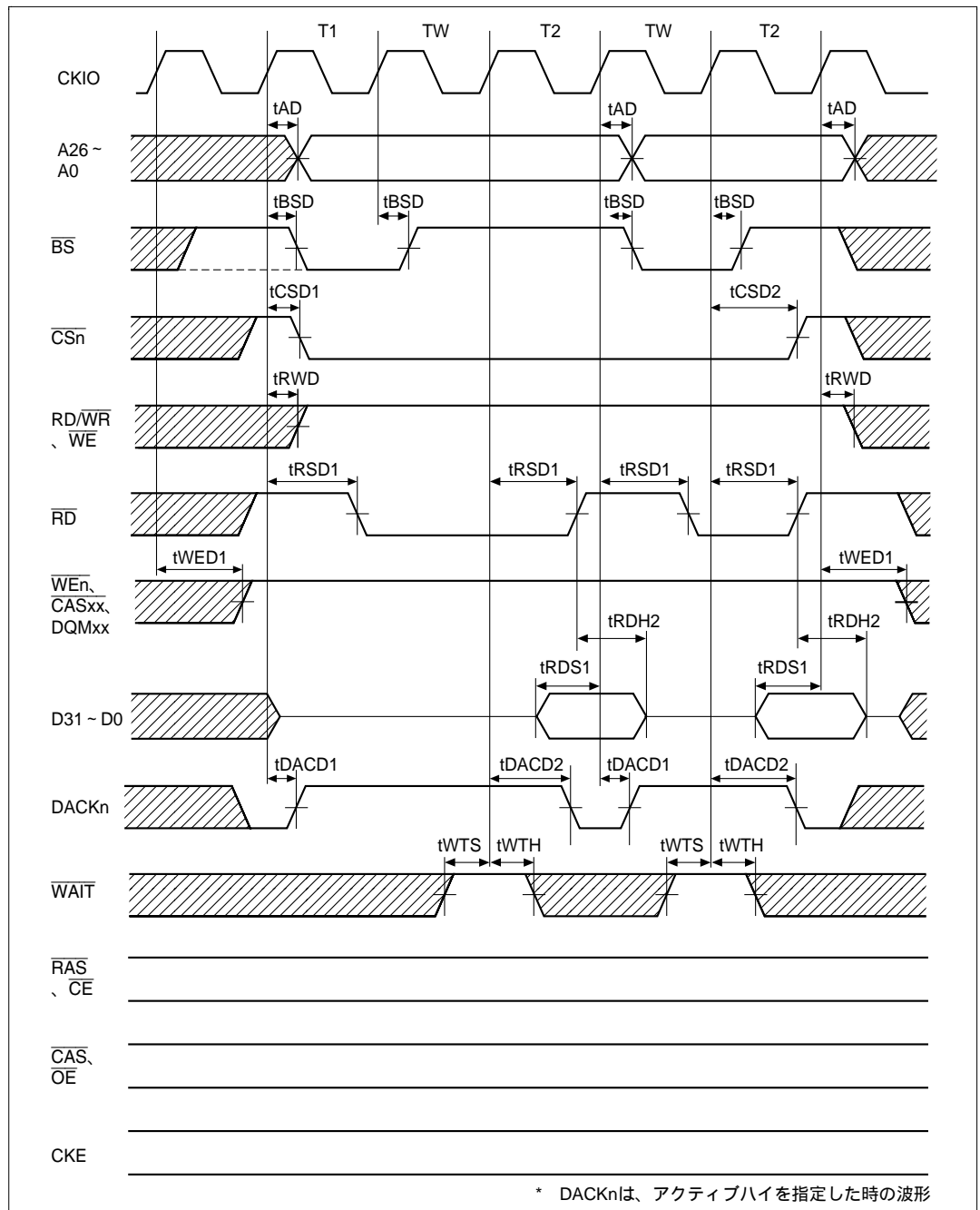


図 15.66 バースト ROM リードサイクル (PLL オン、ウェイト=1)

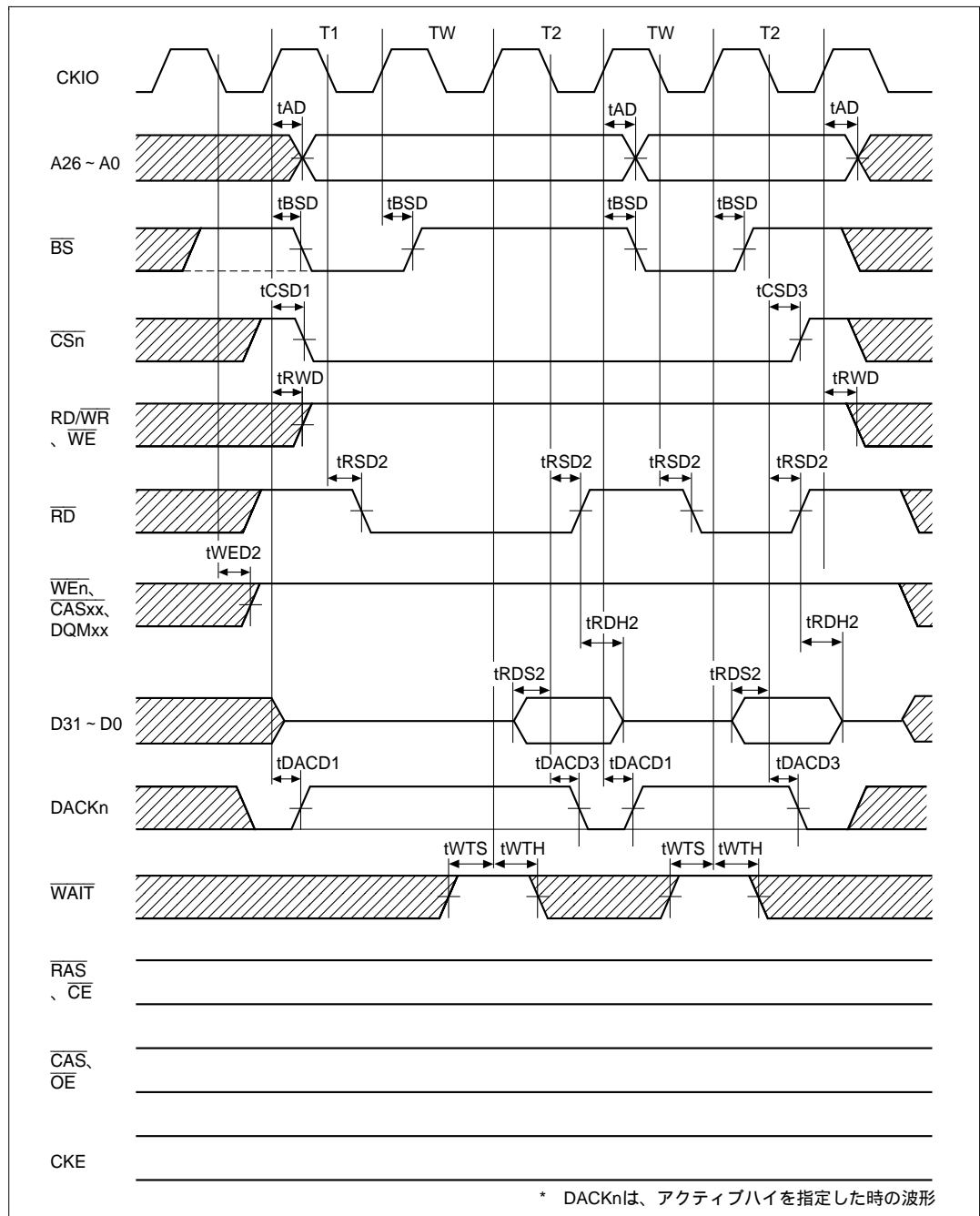


図 15.67 バースト ROM リードサイクル (PLL オフ、ウェイト=1)

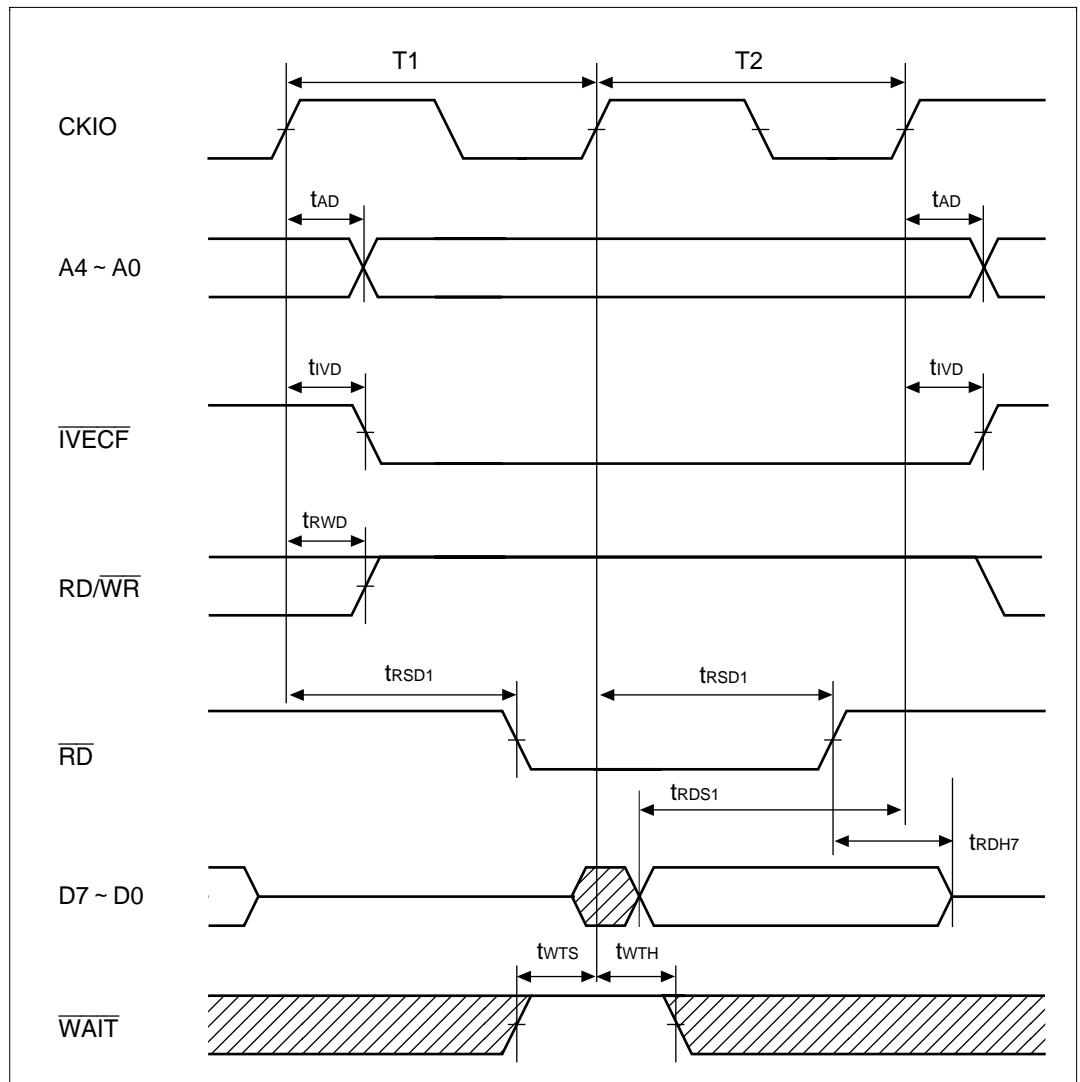


図 15.68 割り込みベクタフェッチサイクル (PLL オン、ノーウェイト)

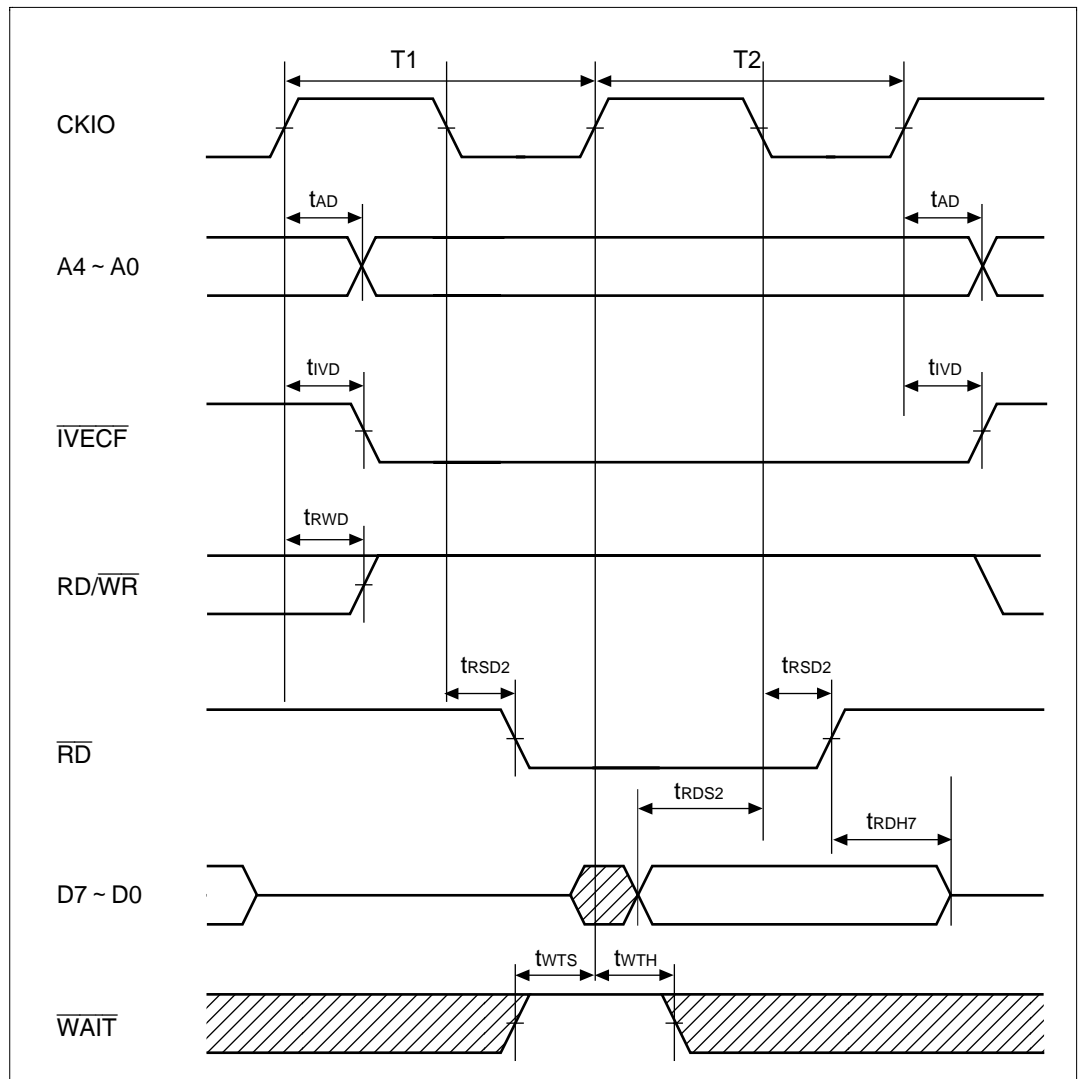


図 15.69 割り込みベクタフェッチサイクル (PLL オフ、ノーウェイト)

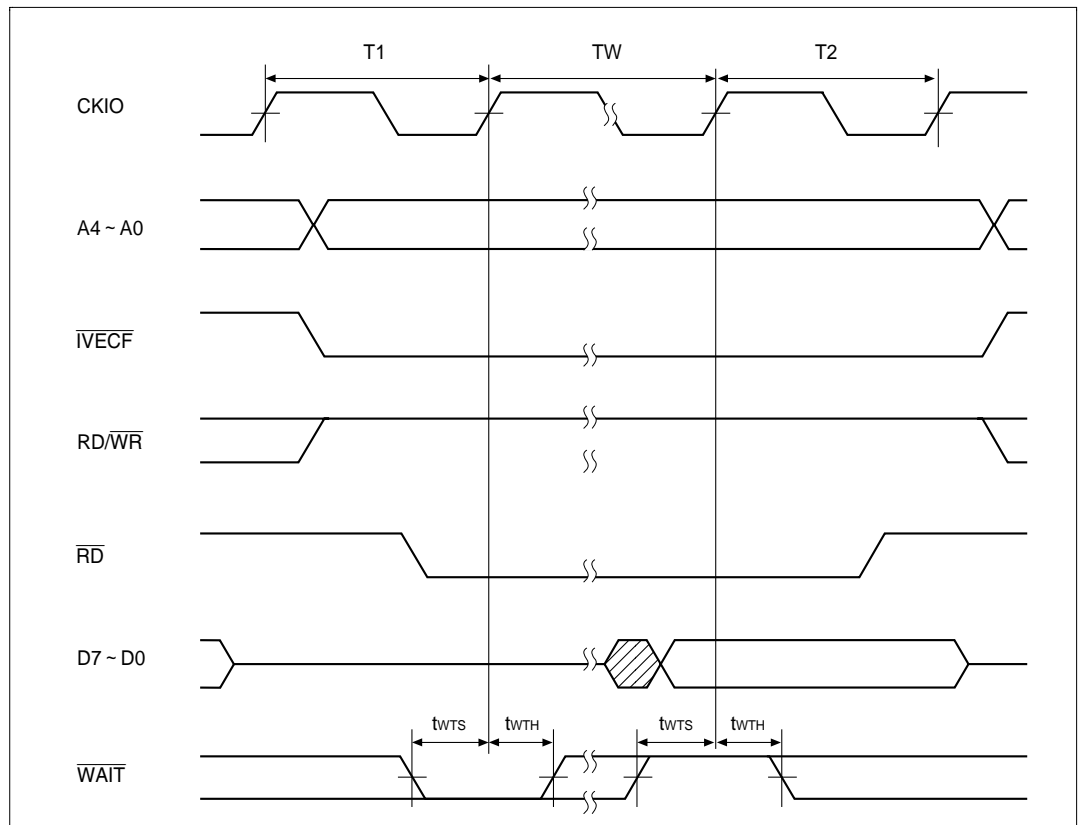


図 15.70 割り込みベクタフェッチサイクル (1 外部ウェイトサイクル)

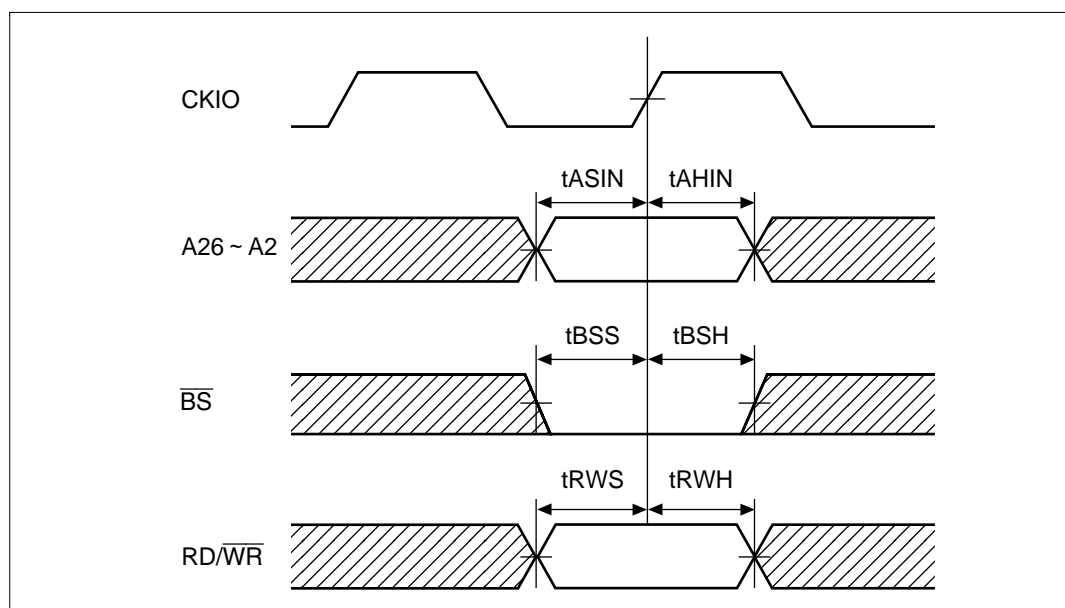


図 15.71 アドレスモニタサイクル

15.3.4 ダイレクトメモリアクセスコントローラタイミング

表 15.10 ダイレクトメモリアクセスコントローラタイミング

条件 : $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------------------------|-------|--------------------|-----|------------------|-------|
| DREQ0, DREQ1 セットアップ時間 (PLL オフ、オン) | tDRQS | 30 | | ns | 15.72 |
| DREQ0, DREQ1 セットアップ時間 (PLL オン 1/4 サイクル遅延) | tDRQS | $30 - 1/4 t_{cyc}$ | | ns | |
| DREQ0, DREQ1 ホールド時間 (PLL オフ、オン) | tDRQH | 15 | | ns | |
| DREQ0, DREQ1 ホールド時間 (PLL オン 1/4 サイクル遅延) | tDRQH | $1/4 t_{cyc} + 15$ | | ns | |
| DREQ0, DREQ1 ローレベル幅 | tDRQW | 1.5 | | t _{cyc} | |

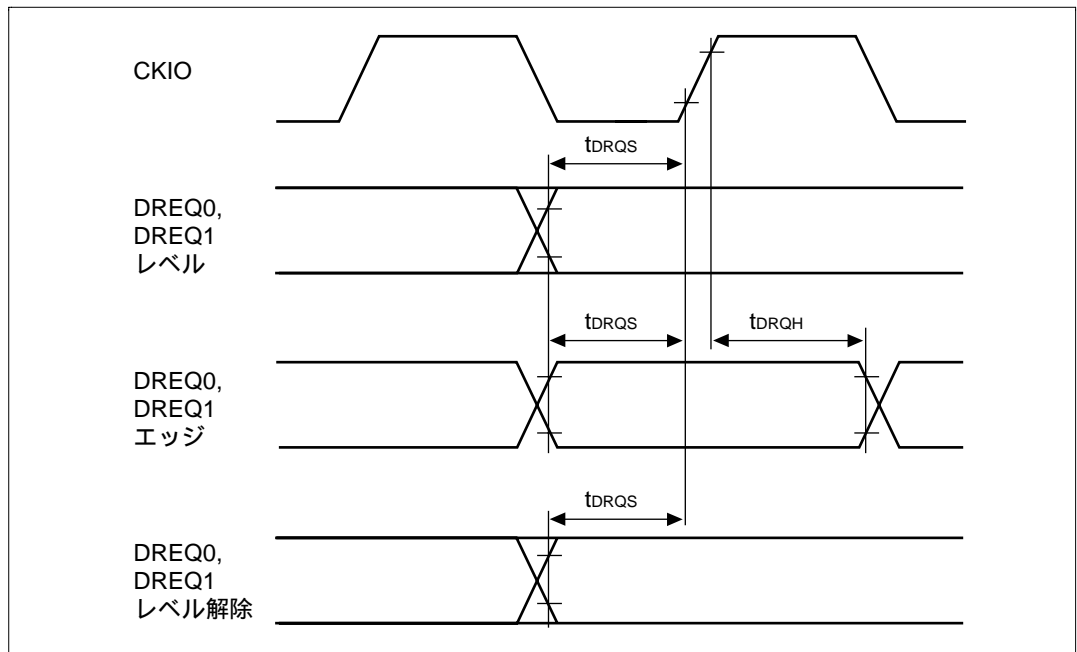


図 15.72 DREQ0、DREQ1 入力タイミング

15.3.5 フリーランタイムタイミング

表 15.11 フリーランタイムタイミング

条件 : $V_{cc} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------------------|--------|-------------------|--------------------|------------------|-------|
| アウトプットコンペア出力遅延時間 (PLL オフ、オン) | tTOCD | | 160 | ns | 15.73 |
| アウトプットコンペア出力遅延時間 (PLL オン 1/4 サイクル遅延) | tTOCD | | $1/4t_{cyc} + 160$ | ns | |
| インプットキャプチャ入力セットアップ 時間 (PLL オフ、オン) | tTICS | 80 | | ns | |
| インプットキャプチャ入力セットアップ時間 (PLL オン 1/4 サイクル遅延) | tTICS | $80 - 1/4t_{cyc}$ | | ns | |
| タイマクロック入力セットアップ時間 (PLL オフ、オン) | tTCKS | 80 | | ns | 15.74 |
| タイマクロック入力セットアップ時間 (PLL オン 1/4 サイクル遅延) | tTCKS | $80 - 1/4t_{cyc}$ | | ns | |
| タイマクロックパルス幅 (単エッジ指定) | tTCKWH | 4.5 | | t _{cyc} | |
| タイマクロックパルス幅 (両エッジ指定) | tTCKWL | 8.5 | | t _{cyc} | |

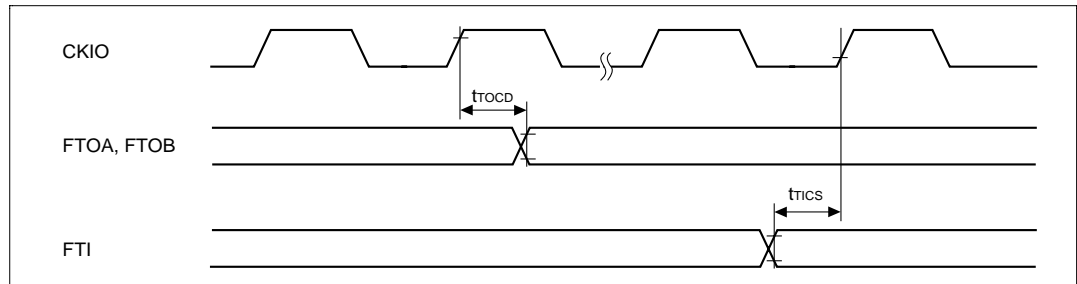


図 15.73 FRT 入出力タイミング

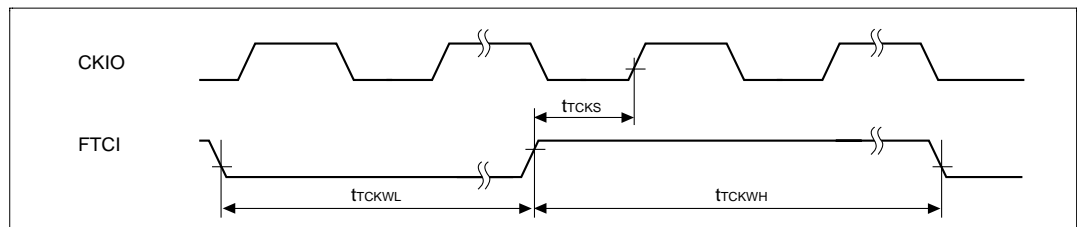


図 15.74 FRT クロック入力タイミング

15.3.6 ウォッチドッグタイマタイミング

表 15.12 ウォッチドッグタイマタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------------------------|-------|-----|--------------|----|-------|
| \overline{WDTOVF} 遅延時間 (PLL オフ、オン) | tWOVD | | 70 | ns | 15.75 |
| \overline{WDTOVF} 遅延時間 (PLL オン 1/4 サイクル遅延) | tWOVD | | $1/4tcyc+70$ | ns | |

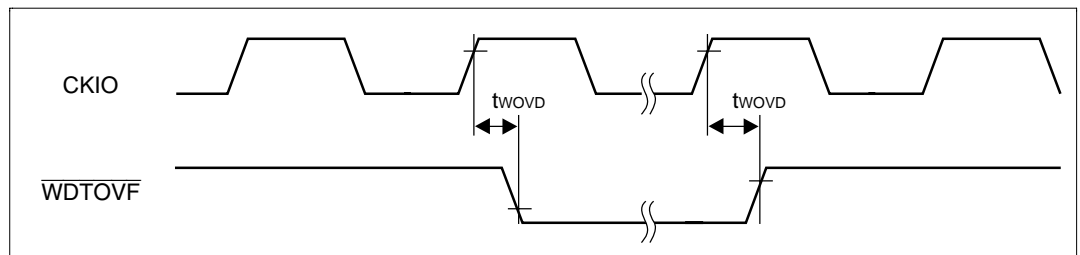


図 15.75 ウォッチドッグタイマ出力タイミング

15.3.7 シリアルコミュニケーションインタフェースタイミング

表 15.13 シリアルコミュニケーションインタフェースタイミング

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------|-------|-----|-----|-------|-------|
| 入力クロックサイクル | tscyc | 16 | | tcyc | 15.76 |
| 入力クロックサイクル (クロック同期) | tscyc | 24 | | tcyc | |
| 入力クロックパルス幅 | tSCKW | 0.4 | 0.6 | tscyc | |
| 送信データ遅延時間 (クロック同期) | tTXD | | 70 | ns | 15.77 |
| 受信データセットアップ時間 (クロック同期) | tRXS | 70 | | ns | |
| 受信データホールド時間 (クロック同期) | tRXH | 70 | | ns | |

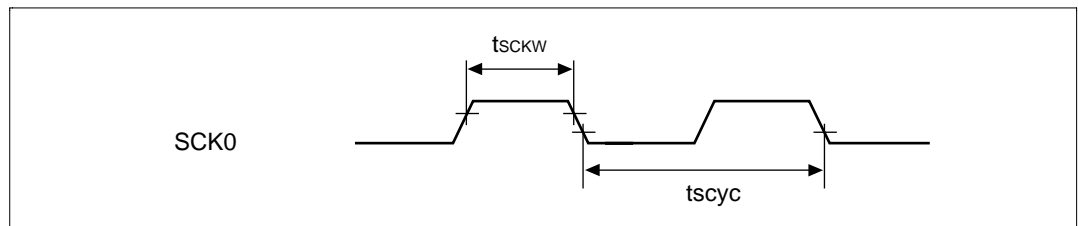


図 15.76 入力クロック入出力タイミング

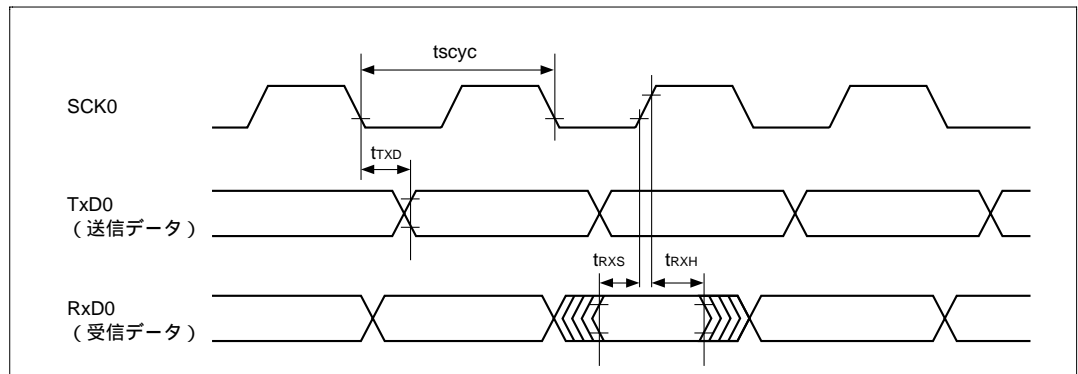


図 15.77 SCI 入出力タイミング (クロック同期式モード)

15.3.8 AC 特性測定条件

入出力信号参照レベル : 1.5 V

入力パルスレベル : $V_{SS} \sim 3.0V$ (ただし、 \overline{RES} , NMI , $CKIO$, $MD5 \sim MD0$ は $V_{SS} \sim V_{CC}$)

入力上昇、下降時間 : 1ns

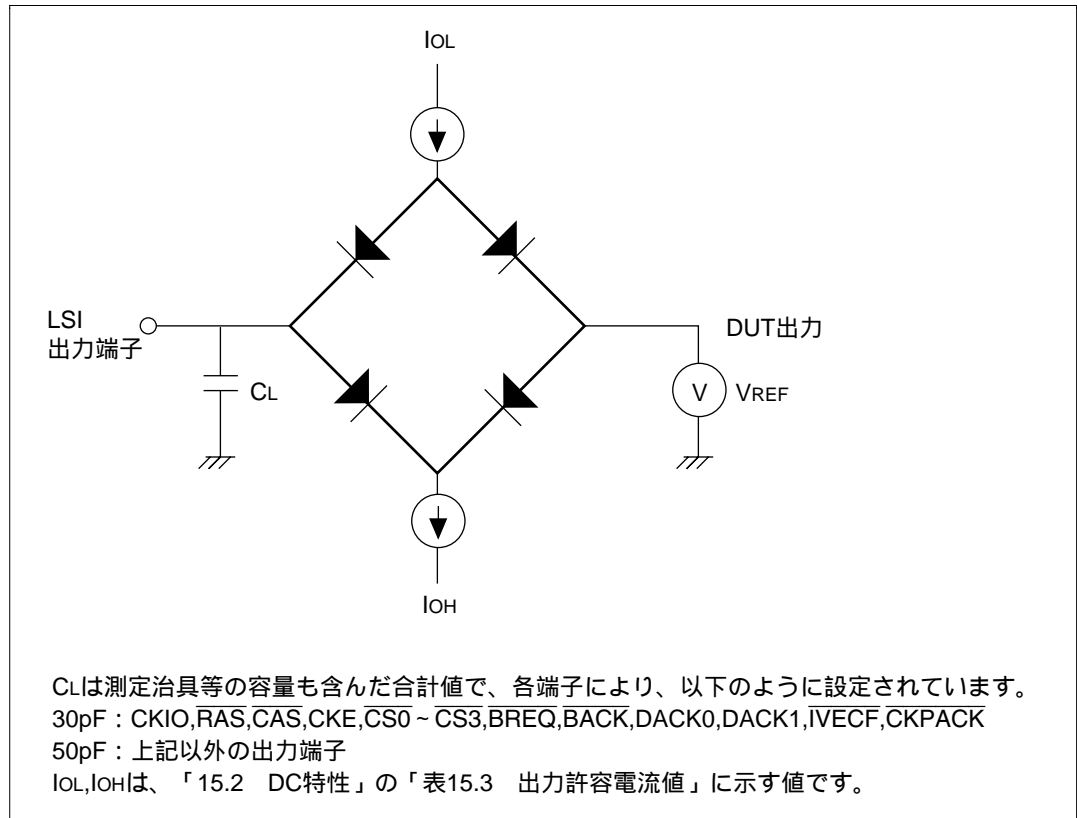


図 15.78 出力付加回路

16. 電気的特性（3V 版）

第 16 章 目次

| | | |
|--------|---------------------------------|-----|
| 16.1 | 絶対最大定格 | 547 |
| 16.2 | DC 特性 | 548 |
| 16.3 | AC 特性 | 550 |
| 16.3.1 | クロックタイミング | 550 |
| 16.3.2 | 制御信号タイミング | 553 |
| 16.3.3 | バスタイミング | 559 |
| 16.3.4 | ダイレクトメモリアクセスコントローラタイミング | 625 |
| 16.3.5 | フリーランタイムタイミング | 626 |
| 16.3.6 | ウォッチドッグタイマタイミング | 627 |
| 16.3.7 | シリアルコミュニケーションインタフェースタイミング | 628 |
| 16.3.8 | AC 特性測定条件 | 629 |

16.1 絶対最大定格

絶対最大定格を表 16.1 に示します。

表 16.1 絶対最大定格

| 項目 | 記号 | 定格値 | 単位 |
|------|------|----------------|----|
| 電源電圧 | Vcc | -0.3 ~ +7.0 | V |
| 入力電圧 | Vin | -0.3 ~ Vcc+0.3 | V |
| 動作温度 | Topr | -20 ~ +75 | |
| 保存温度 | Tstg | -55 ~ +125 | |

[使用上の注意]

最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

16.2 DC 特性

DC 特性を表 16.2、表 16.3 に示します。

表 16.2 DC 特性

条件 : $V_{cc} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | | |
|-----------------------------------|-------------------------------------------------------------------------------------|---------------------|-----|---------------------|---------|-----------------------------------|--------------|--|
| 入力ハイ レベル電圧 | RES, NMI, MD5 ~ MD0 | $V_{cc} \times 0.9$ | | $V_{cc} + 0.3$ | V | スタンバイ時 | | |
| | MD0 | $V_{cc} \times 0.9$ | | $V_{cc} + 0.3$ | V | 通常動作時 | | |
| | EXTAL, CKIO | $V_{cc} \times 0.9$ | | $V_{cc} + 0.3$ | V | | | |
| | その他の入力端子 | $V_{cc} \times 0.7$ | | $V_{cc} + 0.3$ | V | | | |
| 入力ロー レベル電圧 | RES, NMI, MD5 ~ MD0 | -0.3 | | $V_{cc} \times 0.1$ | V | スタンバイ時 | | |
| | MD0 | -0.3 | | $V_{cc} \times 0.1$ | V | 通常動作時 | | |
| | その他の入力端子 | -0.3 | | $V_{cc} \times 0.1$ | V | | | |
| 入力リーク 電流 | RES | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc} - 0.5V$ | | |
| | NMI, MD5 ~ MD0 | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc} - 0.5V$ | | |
| | その他の入力端子 | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc} - 0.5V$ | | |
| スリー プ状態 リーク 電流 (オフ状態) | A26 ~ A0, D31 ~ D0, BS, CS3 ~ CS0, RDWR, RAS, CAS, WE3 ~ WE0, RD, IVECF | | | 1.0 | μA | $V_{in} = 0.5 \sim V_{cc} - 0.5V$ | | |
| 出力ハイ レベル電圧 | 全出力端子 | VOH | | $V_{cc} - 0.5$ | V | $I_{OH} = -200 \mu A$ | | |
| | | | | $V_{cc} - 1.0$ | V | $I_{OH} = -1mA$ | | |
| 出力ロー レベル電圧 | 全出力端子 | VOL | | 0.4 | V | $I_{OL} = 1.6mA$ | | |
| 入力容量 | RES | | | 15 | pF | $V_{in} = 0V$ | | |
| | NMI | | | 15 | pF | $f = 1 MHz$ | | |
| | その他の全入力端子 (D31 ~ D0 含む) | | | 15 | pF | $T_a = 25$ | | |
| 消費電流 | 通常動作時 | I _{cc} | | 25 | 30 | mA | $f = 8 MHz$ | |
| | | | | 45 | 55 | mA | $f = 16 MHz$ | |
| | | | | 60 | 70 | mA | $f = 20 MHz$ | |
| | スリープ時 | | | 15 | 20 | mA | $f = 8 MHz$ | |
| | | | | 30 | 40 | mA | $f = 16 MHz$ | |
| | | | | 40 | 50 | mA | $f = 20 MHz$ | |
| | スタンバイ時 | | | 1 | 5 | μA | $T_a = 50$ | |
| | | | | | | | | |
| | | | | | 20 | μA | $50 < T_a$ | |

[使用上の注意]

- PLL を使用しないときに、PLL_{Vcc}、PLL_{Vss} 端子を解放しないでください。
PLL_{Vcc} 端子は V_{cc} に、PLL_{Vss} 端子は V_{ss} にそれぞれ接続してください。
- 消費電流値は、 $V_{IH} \min = V_{cc} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 16.3 出力許容電流値

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | typ | max | 単位 |
|-----------------------|--------|-----|-----|-----|----|
| 出力ローレベル許容電流 (1 端子あたり) | IOL | | | 2.0 | mA |
| 出力ローレベル許容電流 (総和) | IOL | | | 80 | mA |
| 出力ハイレベル許容電流 (1 端子あたり) | -IOH | | | 2.0 | mA |
| 出力ハイレベル許容電流 (総和) | (-IOH) | | | 25 | mA |

[使用上の注意]

LSI の信頼性を確保するため、出力電流値は表 16.3 の値を超えないようにしてください。

16.3 AC 特性

16.3.1 クロックタイミング

表 16.4 クロックタイミング

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|-----------------------|--------|-------------------------------------|-------------------------------------------|-----|------|
| 動作周波数 | fOP | 4 | 20 | MHz | 16.1 |
| クロックサイクル時間 | tcyc | 50 | 143 ^{*1} or 250 ^{*2} | ns | |
| クロックローレベルパルス幅 | tCL | 8 ^{*1} or 15 ^{*2} | | ns | |
| クロックハイレベルパルス幅 | tCH | 8 ^{*1} or 15 ^{*2} | | ns | |
| クロック立ち上がり時間 | tCR | | 5 | ns | |
| クロック立ち下がり時間 | tCF | | 5 | ns | |
| EXTAL クロック入力周波数 | fEX | 4 | 8 | MHz | |
| EXTAL クロック入力サイクル時間 | tEXcyc | 125 | 250 | ns | |
| EXTAL クロック入力ローレベルパルス幅 | tEXL | 50 | | ns | |
| EXTAL クロック入力ハイレベルパルス幅 | tEXH | 50 | | ns | |
| EXTAL クロック入力立ち上がり時間 | tEXR | | 5 | ns | |
| EXTAL クロック入力立ち下がり時間 | tEXF | | 5 | ns | |
| パワーオン発振安定時間 | tOSC1 | 10 | | ms | 16.3 |
| スタンバイ復帰発振安定時間 1 | tOSC2 | 10 | | ms | 16.4 |
| スタンバイ復帰発振安定時間 2 | tOSC3 | 10 | | ms | 16.5 |
| PLL 同期安定化時間 | tPLL | 1 | | ms | 16.6 |

【注】 *1 PLL 回路 1 動作時

*2 PLL 回路 1 不使用時

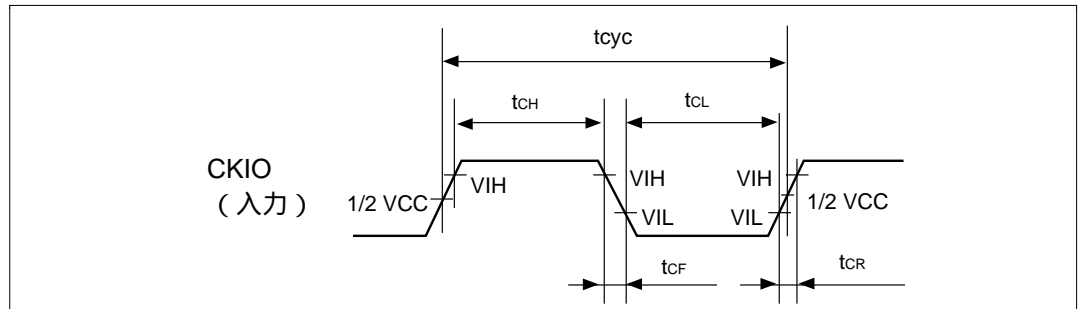


図 16.1 CKIO 入力タイミング

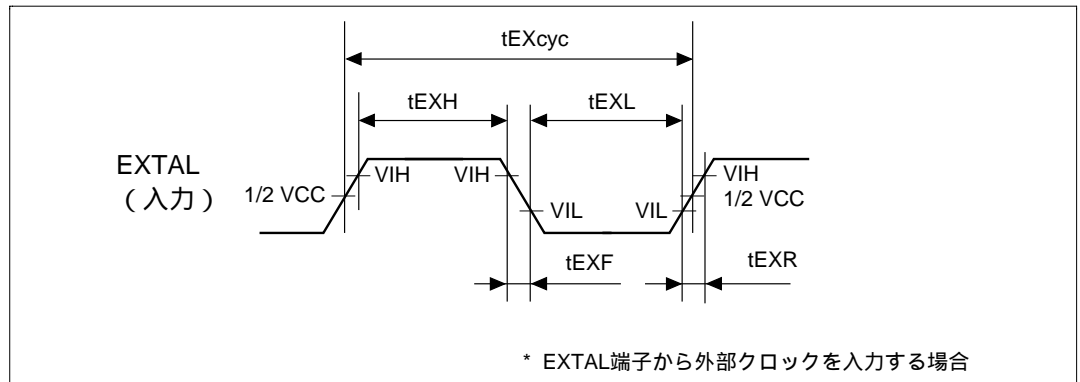


図 16.2 EXTAL クロック入力タイミング

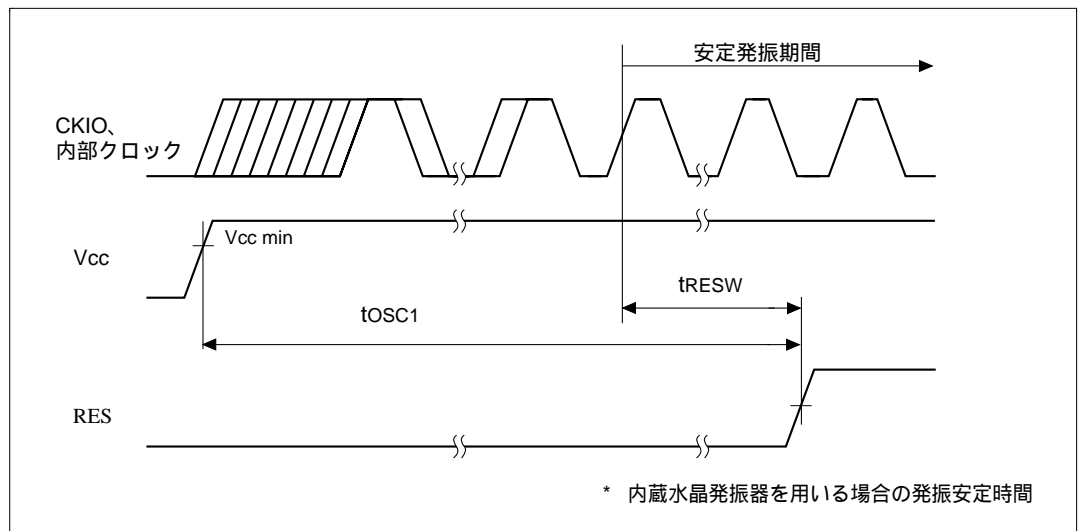


図 16.3 パワーオン時発振安定時間

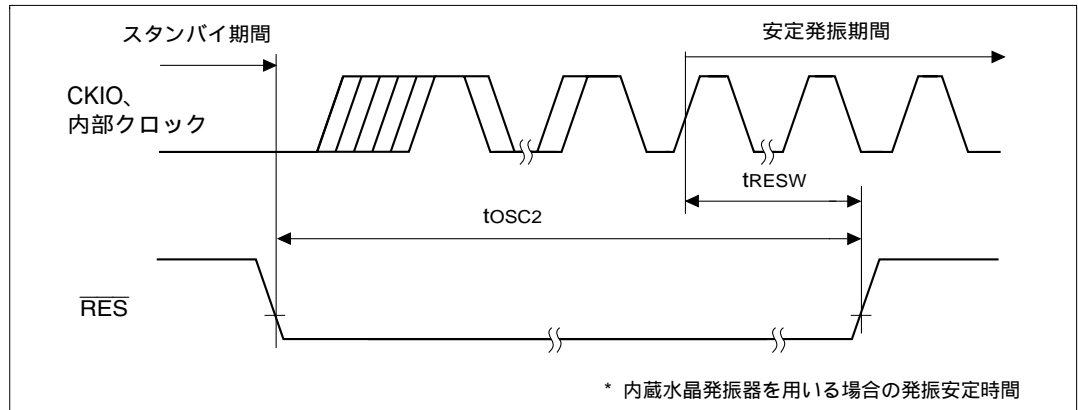


図 16.4 スタンバイ復帰時発振安定時間 (RES による復帰)

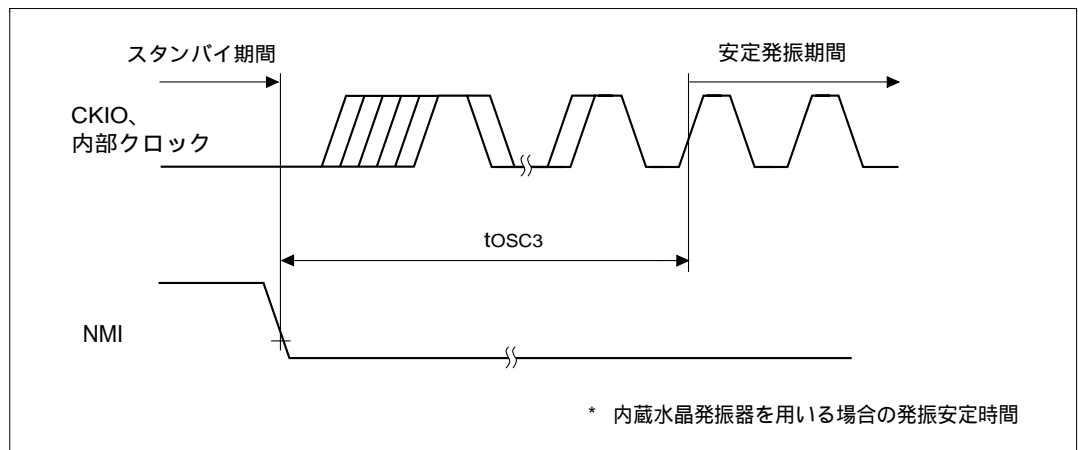


図 16.5 スタンバイ復帰時発振安定時間 (NMI による復帰)

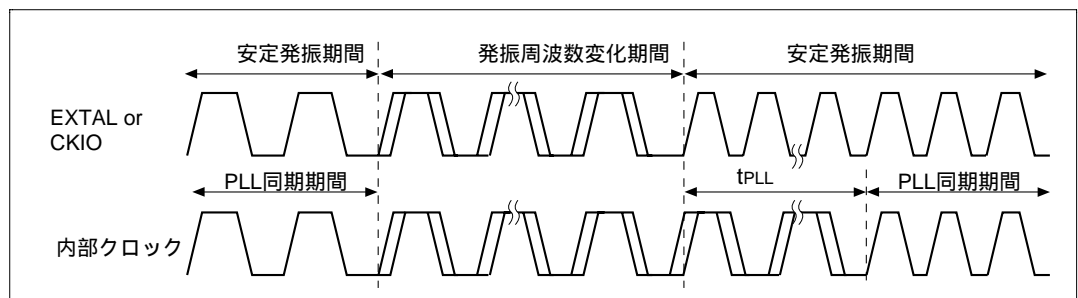


図 16.6 PLL 同期安定化時間

16.3.2 制御信号タイミング

表 16.5 制御信号タイミング (1)

条件 : $V_{CC} = 3.0 \sim 5.5 \text{ V}$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|-----------------------------------------------------------------|-----------------|---------|-----|------|--------|
| $\overline{\text{RES}}$ 立ち上がり、立ち下がり | tRESr, tRESf | | 200 | ns | 16.7 |
| $\overline{\text{RES}}$ パルス幅 | tRESW | 20 | | tcyc | |
| NMI リセットセットアップ時間 | tNMIRS | tcyc+10 | | ns | |
| NMI リセットホールド時間 | tNMIRH | tcyc+10 | | ns | |
| NMI 立ち上がり、立ち下がり | tNMIr, tNMIf | | 200 | ns | |
| NMI 最小パルス幅 | tIRQES | 10 | | tcyc | |
| $\overline{\text{RES}}$ セットアップ時間*1 | tRESS | 40 | | ns | 16.8,9 |
| NMI セットアップ時間*1 | tNMIS | 40 | | ns | |
| $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ セットアップ時間*1 | tIRLS | 40 | | ns | |
| $\overline{\text{RES}}$ ホールド時間 | tRESH | 20 | | ns | 16.8,9 |
| NMI ホールド時間 | tNMIH | 20 | | ns | |
| $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ ホールド時間 | tIRLH | 20 | | ns | |

【注】 *1 $\overline{\text{RES}}$ 、NMI および $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち下がりで変化が生じたものとして判定されます。セットアップを守れない場合、次のクロック立ち下がりまで認識が遅れることがあります。

表 16.5 制御信号タイミング (2)

条件 : $V_{cc} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照 |
|-----------------------------------------------------|--------|--------------|--------------|----|-------|
| \overline{BRLS} セットアップ時間 1 (PLL オン) | tBLSS1 | $1/2tcyc+20$ | | ns | 16.10 |
| \overline{BRLS} ホールド時間 1 (PLL オン) | tBLSH1 | $15-1/2tcyc$ | | ns | |
| \overline{BGR} 遅延時間 1 (PLL オン) | tBGRD1 | | $1/2tcyc+25$ | ns | |
| \overline{BRLS} セットアップ時間 1 (PLL オン 1/4 サイクル遅延) | tBLSS1 | $1/4tcyc+20$ | | ns | 16.10 |
| \overline{BRLS} ホールド時間 1 (PLL オン 1/4 サイクル遅延) | tBLSH1 | $15-1/4tcyc$ | | ns | |
| \overline{BGR} 遅延時間 1 (PLL オン 1/4 サイクル遅延) | tBGRD1 | | $3/4tcyc+25$ | ns | |
| \overline{BRLS} セットアップ時間 2 (PLL オフ) | tBLSS2 | 20 | | ns | 16.11 |
| \overline{BRLS} ホールド時間 2 (PLL オフ) | tBLSH2 | 30 | | ns | |
| \overline{BGR} 遅延時間 2 (PLL オフ) | tBGRD2 | | 40 | ns | |
| \overline{BREQ} 遅延時間 1 (PLL オン) | tBRQD1 | | $1/2tcyc+25$ | ns | 16.12 |
| \overline{BACK} セットアップ時間 1 (PLL オン) | tBAKS1 | $1/2tcyc+20$ | | ns | |
| \overline{BACK} ホールド時間 1 (PLL オン) | tBAKH1 | $15-1/2tcyc$ | | ns | |
| \overline{BREQ} 遅延時間 1 (PLL オン 1/4 サイクル遅延) | tBRQD1 | | $3/4tcyc+25$ | ns | 16.12 |
| \overline{BACK} セットアップ時間 1 (PLL オン 1/4 サイクル遅延) | tBAKS1 | $1/4tcyc+20$ | | ns | |
| \overline{BACK} ホールド時間 1 (PLL オン 1/4 サイクル遅延) | tBAKH1 | $15-1/4tcyc$ | | ns | |
| \overline{BREQ} 遅延時間 2 (PLL オフ) | tBRQD2 | | 40 | ns | 16.13 |
| \overline{BACK} セットアップ時間 2 (PLL オフ) | tBAKS2 | 20 | | ns | |
| \overline{BACK} ホールド時間 2 (PLL オフ) | tBAKH2 | 30 | | ns | |

表 16.5 制御信号タイミング (3)

条件 : $V_{cc} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------------------|--------|---------|------------|----|----------|
| バストライステート遅延時間 1 (PLL オン) | tBOFF1 | 0 | 35 | ns | 16.10,12 |
| バスバッファオン時間 1 (PLL オン) | tBON1 | 0 | 33 | ns | |
| バストライステート遅延時間 1 (PLL オン 1/4 サイクル遅延) | tBOFF1 | 1/4tcyc | 1/4tcyc+35 | ns | 16.10,12 |
| バスバッファオン時間 1 (PLL オン 1/4 サイクル遅延) | tBON1 | 1/4tcyc | 1/4tcyc+33 | ns | |
| バストライステート遅延時間 1 (PLL オフ) | tBOFF1 | 0 | 45 | ns | 16.11,13 |
| バスバッファオン時間 1 (PLL オフ) | tBON1 | 0 | 40 | ns | |
| バストライステート遅延時間 2 (PLL オン) | tBOFF2 | 1/2tcyc | 1/2tcyc+35 | ns | 16.10,12 |
| バスバッファオン時間 2 (PLL オン) | tBON2 | 1/2tcyc | 1/2tcyc+33 | ns | |
| バストライステート遅延時間 2 (PLL オン 1/4 サイクル遅延) | tBOFF2 | 3/4tcyc | 3/4tcyc+35 | ns | 16.10,12 |
| バスバッファオン時間 2 (PLL オン 1/4 サイクル遅延) | tBON2 | 3/4tcyc | 3/4tcyc+33 | ns | |
| バストライステート遅延時間 3 (PLL オフ) | tBOFF3 | 0 | 45 | ns | 16.11,13 |
| バスバッファオン時間 3 (PLL オフ) | tBON3 | 0 | 40 | ns | |

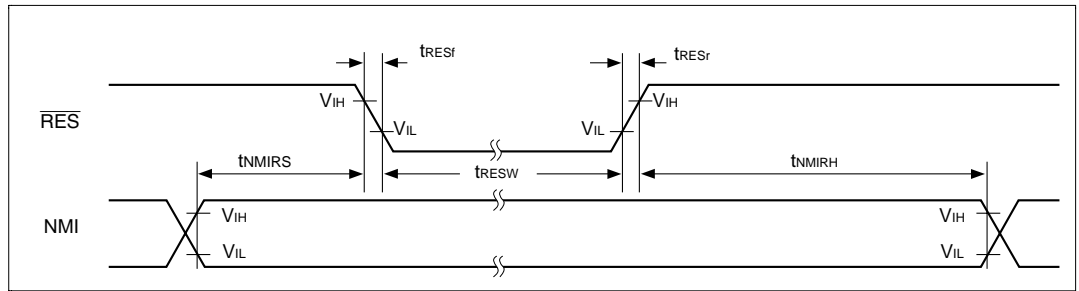


図 16.7 リセット入力タイミング

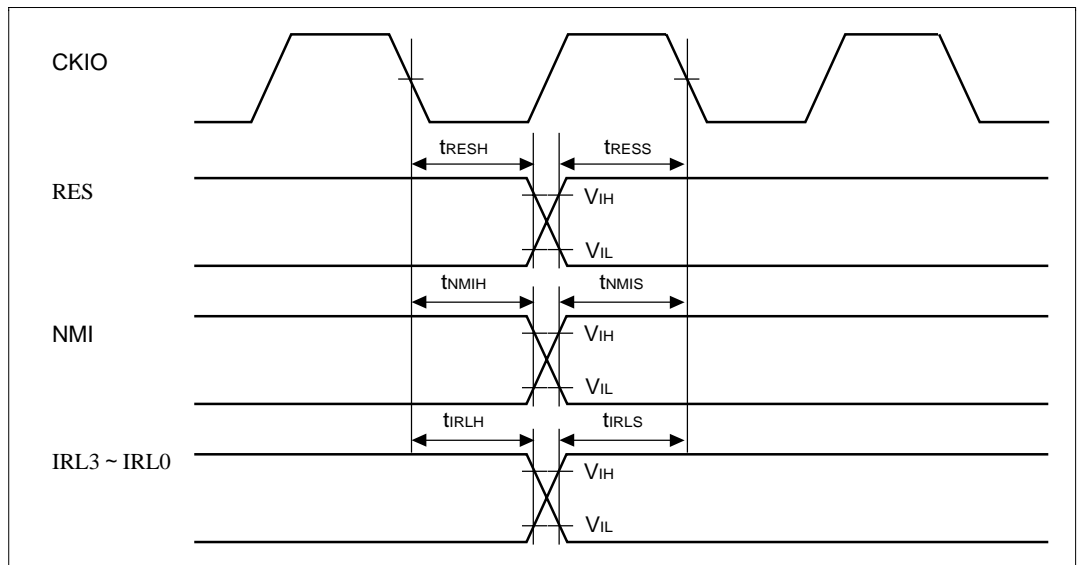


図 16.8 割り込み信号入力タイミング (PLL 1 オフ時)

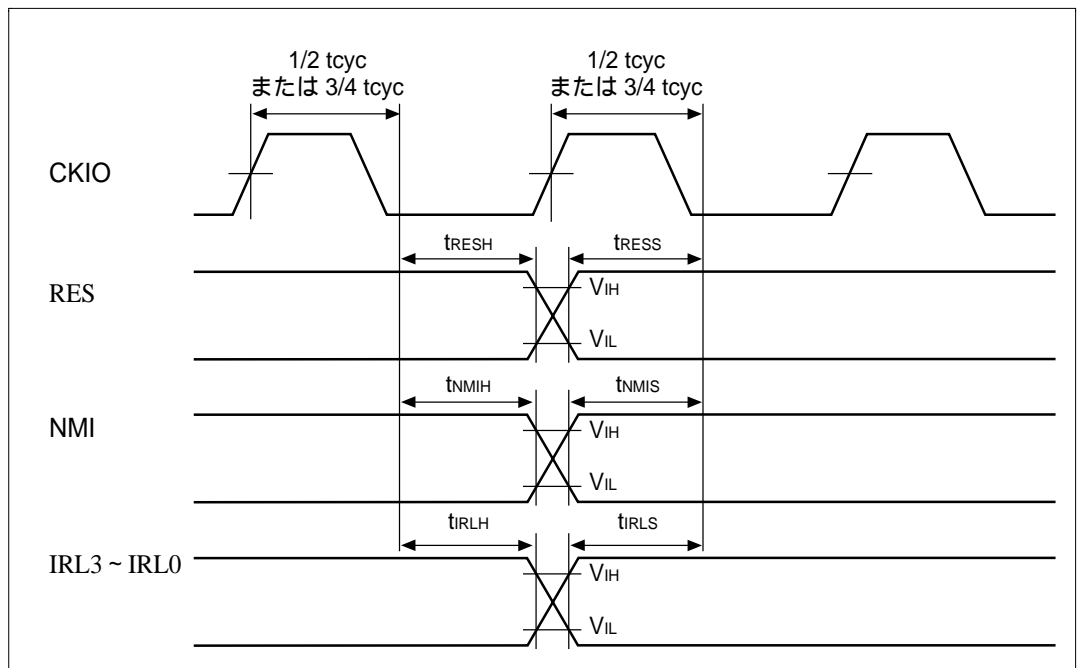


図 16.9 割り込み信号入力タイミング (PLL1 オン時)

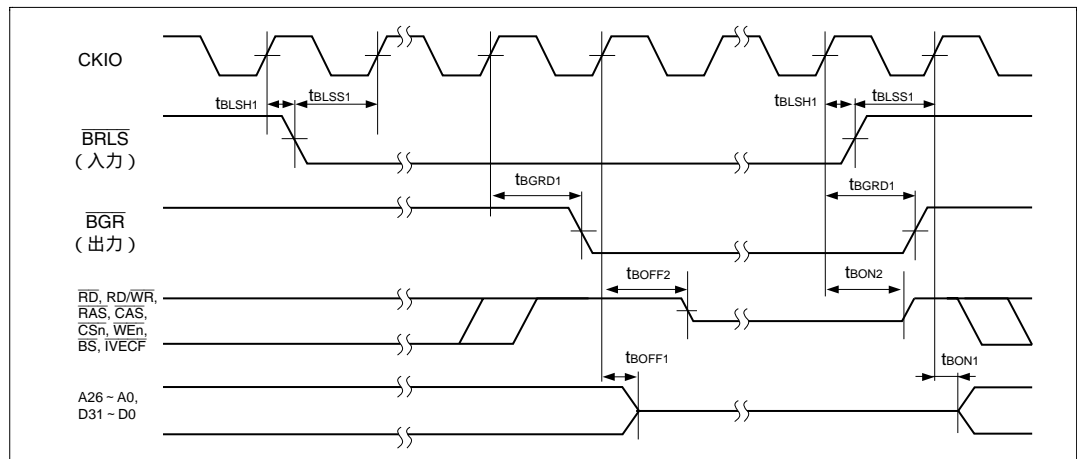


図 16.10 バス権解放タイミング (マスターモード、PLL 1 オン時)

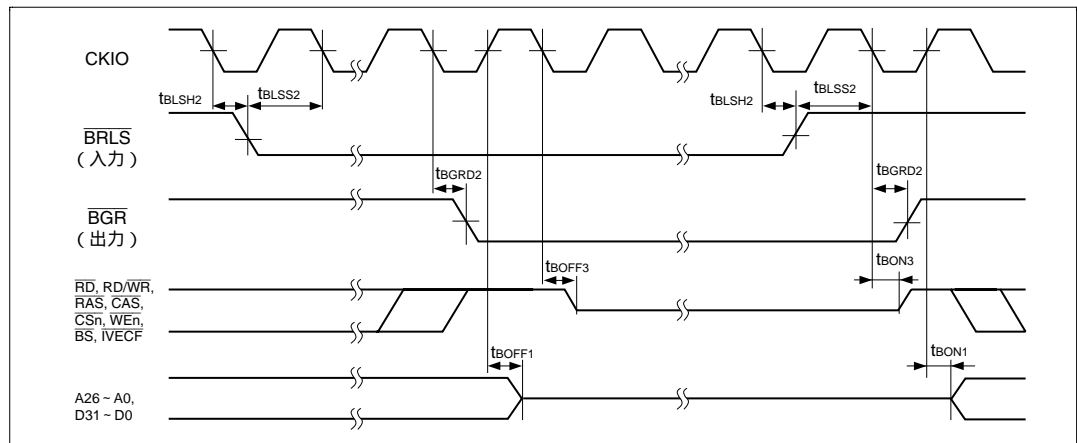


図 16.11 バス権解放タイミング (マスターモード、PLL 1 オフ時)

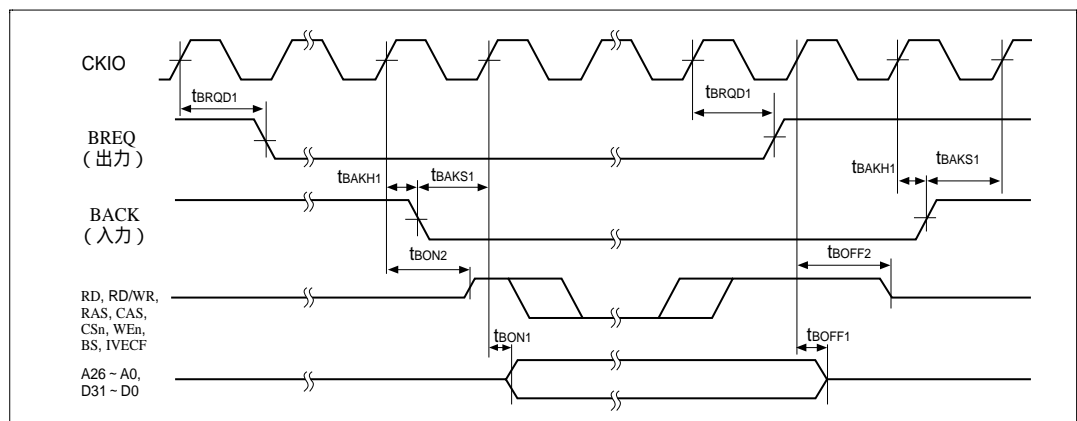


図 16.12 バス権解放タイミング (スレーブモード、PLL 1 オン時)

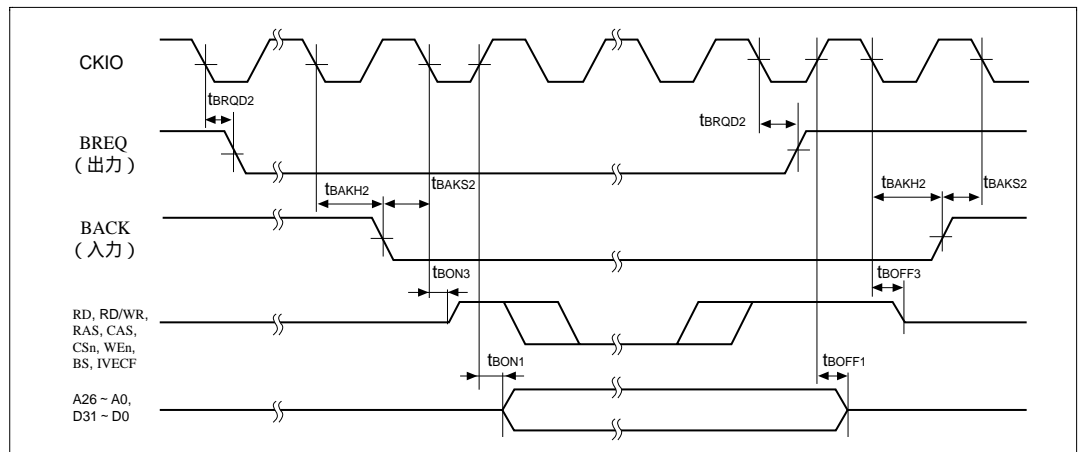


図 16.13 バス権解放タイミング (スレープモード、PLL 1 オフ時)

16.3.3 バスタイミング

表 16.6 PLL オンバスタイミング [モード0、4] (1)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|-----------------|-----------------|----|----------------------|
| アドレス遅延時間 | tAD | | 28 | ns | 16.14,20,40,52,66,68 |
| \overline{BS} 遅延時間 | tBSD | | 25 | ns | 16.14,20,40,52,66 |
| \overline{CS} 遅延時間 1 | tCSD1 | | 25 | ns | 16.14,20,40,52,66 |
| \overline{CS} 遅延時間 2 | tCSD2 | | $1/2t_{cyc}+25$ | ns | 16.14,66 |
| リードライト遅延時間 | tRWD | | 25 | ns | 16.14,20,40,52,66 |
| リードストロープ遅延時間 1 | tRSD1 | | $1/2t_{cyc}+25$ | ns | 16.14,40,52,66,68 |
| リードデータセットアップ時間 1 | tRDS1 | $1/2t_{cyc}+10$ | | ns | 16.14,40,52,66,68 |
| リードデータセットアップ時間 3 (SDRAM) | tRDS3 | $1/2t_{cyc}+10$ | | ns | 16.20 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 16.14,66 |
| リードデータホールド時間 4 (SDRAM) | tRDH4 | 0 | | ns | 16.20 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 16.40 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 16.52 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 16.68 |
| ライトイネーブル遅延時間 1 | tWED1 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+25$ | ns | 16.14,15,52,53 |
| ライトデータ遅延時間 | tWDD | | 25 | ns | 16.15,27,41,53 |
| ライトデータホールド時間 1 | tWDH1 | 3 | | ns | 16.15,27,41,53 |
| データバッファオン時間 | tDON | | 25 | ns | 16.15,27,41,53 |
| データバッファオフ時間 | tDOF | | 25 | ns | 16.15,27,41,53 |
| DACK 遅延時間 1 | tDADC1 | | 25 | ns | 16.14,20,40,52,66 |
| DACK 遅延時間 2 | tDADC2 | | $1/2t_{cyc}+25$ | ns | 16.14,20,40,52,66 |
| WAIT セットアップ時間 | tWTS | 20 | | ns | 16.19,43,55,66,70 |
| WAIT ホールド時間 | tWTH | 10 | | ns | 16.19,43,55,66,70 |
| \overline{RAS} 遅延時間 1 (SDRAM) | tRASD1 | | 25 | ns | 16.20 |
| \overline{RAS} 遅延時間 2 (DRAM) | tRASD2 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+25$ | ns | 16.40 |
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | 25 | ns | 16.20 |
| \overline{CAS} 遅延時間 2 (DRAM) | tCASD2 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+25$ | ns | 16.40 |

表 16.6 PLL オンバスタイミング [モード 0、4] (2)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------|-------|----------------|-----------------|----|-------|
| DQM 遅延時間 | tDQMD | | 25 | ns | 16.20 |
| CKE 遅延時間 | tCKED | | 33 | ns | 16.37 |
| \overline{CE} 遅延時間 1 | tCED1 | $1/2t_{cyc}+3$ | $1/2t_{cyc}+25$ | ns | 16.52 |
| \overline{OE} 遅延時間 1 | tOED1 | | $1/2t_{cyc}+25$ | ns | 16.52 |
| IVECF 遅延時間 | tIVD | | 25 | ns | 16.68 |
| アドレス入力セットアップ時間 | tASIN | 25 | | ns | 16.71 |
| アドレス入力ホールド時間 | tAHIN | 10 | | ns | 16.71 |
| \overline{BS} 入力セットアップ時間 | tBSS | 25 | | ns | 16.71 |
| \overline{BS} 入力ホールド時間 | tBSH | 10 | | ns | 16.71 |
| リードライト入力セットアップ時間 | tRWS | 25 | | ns | 16.71 |
| リードライト入力ホールド時間 | tRWH | 10 | | ns | 16.71 |

表 16.7 PLL オン 1/4 サイクル遅延バスタイミング [モード 1、5] (1)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|-----------------|-----------------|----|----------------------|
| アドレス遅延時間 | tAD | | $1/4t_{cyc}+28$ | ns | 16.14,20,40,52,66,68 |
| \overline{BS} 遅延時間 | tBSD | | $1/4t_{cyc}+25$ | ns | 16.14,20,40,52,66 |
| \overline{CS} 遅延時間 1 | tCSD1 | | $1/4t_{cyc}+25$ | ns | 16.14,20,40,52,66 |
| \overline{CS} 遅延時間 2 | tCSD2 | | $3/4t_{cyc}+25$ | ns | 16.14,66 |
| リードライト遅延時間 | tRWD | | $1/4t_{cyc}+25$ | ns | 16.14,20,40,52,66 |
| リードストロープ遅延時間 1 | tRSD1 | | $3/4t_{cyc}+25$ | ns | 16.14,40,52,66,68 |
| リードデータセットアップ時間 1 | tRDS1 | $1/4t_{cyc}+10$ | | ns | 16.14,40,52,66,68 |
| リードデータセットアップ時間 3 (SDRAM) | tRDS3 | $1/4t_{cyc}+10$ | | ns | 16.20 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 16.14,66 |
| リードデータホールド時間 4 (SDRAM) | tRDH4 | 0 | | ns | 16.20 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 16.40 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 16.52 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 16.68 |
| ライトイネーブル遅延時間 1 | tWED1 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+25$ | ns | 16.14,15,52,53 |
| ライトデータ遅延時間 | tWDD | | $1/4t_{cyc}+25$ | ns | 16.15,27,41,53 |
| ライトデータホールド時間 1 | tWDH1 | $1/4t_{cyc}+3$ | | ns | 16.15,27,41,53 |
| データバッファオン時間 | tDON | | $1/4t_{cyc}+25$ | ns | 16.15,27,41,53 |
| データバッファオフ時間 | tDOF | | $1/4t_{cyc}+25$ | ns | 16.15,27,41,53 |
| DACK 遅延時間 1 | tDACD1 | | $1/4t_{cyc}+25$ | ns | 16.14,20,40,52,66 |
| DACK 遅延時間 2 | tDACD2 | | $3/4t_{cyc}+25$ | ns | 16.14,20,40,52,66 |
| \overline{WAIT} セットアップ時間 | tWTS | $20-1/4t_{cyc}$ | | ns | 16.19,43,55,66,70 |
| \overline{WAIT} ホールド時間 | tWTH | $1/4t_{cyc}+10$ | | ns | 16.19,43,55,66,70 |
| \overline{RAS} 遅延時間 1 (SDRAM) | tRASD1 | | $1/4t_{cyc}+25$ | ns | 16.20 |
| \overline{RAS} 遅延時間 2 (DRAM) | tRASD2 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+25$ | ns | 16.40 |
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | $1/4t_{cyc}+25$ | ns | 16.20 |
| \overline{CAS} 遅延時間 2 (DRAM) | tCASD2 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+25$ | ns | 16.40 |

表 16.7 PLL オン 1/4 サイクル遅延バスタイミング [モード 1、5] (2)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------|-------|-----------------|-----------------|----|-------|
| DQM 遅延時間 | tDQMD | | $1/4t_{cyc}+25$ | ns | 16.20 |
| CKE 遅延時間 | tCKED | | $1/4t_{cyc}+33$ | ns | 16.37 |
| \overline{CE} 遅延時間 1 | tCED1 | $3/4t_{cyc}+3$ | $3/4t_{cyc}+25$ | ns | 16.52 |
| \overline{OE} 遅延時間 1 | tOED1 | | $3/4t_{cyc}+25$ | ns | 16.52 |
| \overline{IVECF} 遅延時間 | tIVD | | $1/4t_{cyc}+25$ | ns | 16.68 |
| アドレス入力セットアップ時間 | tASIN | $25-1/4t_{cyc}$ | | ns | 16.71 |
| アドレス入力ホールド時間 | tAHIN | $1/4t_{cyc}+10$ | | ns | 16.71 |
| \overline{BS} 入力セットアップ時間 | tBSS | $25-1/4t_{cyc}$ | | ns | 16.71 |
| \overline{BS} 入力ホールド時間 | tBSH | $1/4t_{cyc}+10$ | | ns | 16.71 |
| リードライト入力セットアップ時間 | tRWS | $25-1/4t_{cyc}$ | | ns | 16.71 |
| リードライト入力ホールド時間 | tRWH | $1/4t_{cyc}+10$ | | ns | 16.71 |

表 16.8 PLL オフバスタイミング (CKIO 入力時) [モード 6] (1)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|-----|-----|----|----------------------|
| アドレス遅延時間 | tAD | | 43 | ns | 16.16,38,47,60,67,69 |
| \overline{BS} 遅延時間 | tBSD | | 40 | ns | 16.16,38,47,60,67 |
| \overline{CS} 遅延時間 1 | tCSD1 | | 40 | ns | 16.16,38,47,60,67 |
| \overline{CS} 遅延時間 3 | tCSD3 | | 40 | ns | 16.16,67 |
| リードライト遅延時間 | tRWD | | 40 | ns | 16.16,38,47,60,67 |
| リードストロブ遅延時間 2 | tRSD2 | | 40 | ns | 16.16,47,60,67,69 |
| リードデータセットアップ時間 2 | tRDS2 | 10 | | ns | 16.16,38,47,60,67,69 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 16.16,67 |
| リードデータホールド時間 3 | tRDH3 | 30 | | ns | 16.38 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 16.47 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 16.60 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 16.69 |
| ライトイネーブル遅延時間 2 | tWED2 | | 40 | ns | 16.17,61 |
| ライトデータ遅延時間 | tWDD | | 40 | ns | 16.17,39,48,61 |
| ライトデータホールド時間 1 | tWDH1 | 3 | | ns | 16.17,39,48,61 |
| ライトデータホールド時間 2 | tWDH2 | 5 | | ns | 16.17 |
| ライトデータホールド時間 3 | tWDH3 | 3 | | ns | 16.61 |
| DACK 遅延時間 1 | tDACD1 | | 40 | ns | 16.16,38,47,60,67 |
| DACK 遅延時間 3 | tDACD3 | | 40 | ns | 16.16,38,47,60,67 |
| WAIT セットアップ時間 | tWTS | 20 | | ns | 16.19,43,55,67,70 |
| WAIT ホールド時間 | tWTH | 25 | | ns | 16.19,43,55,67,70 |
| \overline{RAS} 遅延時間 1 (SDRAM) | tRASD1 | | 40 | ns | 16.38 |
| \overline{RAS} 遅延時間 3 (DRAM) | tRASD3 | | 40 | ns | 16.47 |
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | 40 | ns | 16.38 |
| \overline{CAS} 遅延時間 3 (DRAM) | tCASD3 | | 40 | ns | 16.47 |
| DQM 遅延時間 | tDQMD | | 40 | ns | 16.38 |
| CKE 遅延時間 | tCKED | | 48 | ns | 16.37 |
| \overline{CE} 遅延時間 2 | tCED2 | | 40 | ns | 16.60 |
| \overline{OE} 遅延時間 2 | tOED2 | | 40 | ns | 16.60 |

表 16.8 PLL オフバスタイミング (CKIO 入力時) [モード 6] (2)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------------|-------|-----|-----|----|----------------|
| \overline{IVECF} 遅延時間 | tIVD | | 40 | ns | 16.69 |
| \overline{WE} セットアップ時間 | tWES1 | 0 | | ns | 16.16 |
| アドレスセットアップ時間 1 | tAS1 | 0 | | ns | 16.17 |
| アドレスセットアップ時間 2 | tAS2 | 3 | | ns | 16.60 |
| アドレスホールド時間 2 | tAH2 | 0 | | ns | 16.17 |
| ロウアドレスセットアップ時間 | tASR | 3 | | ns | 16.47 |
| カラムアドレスセットアップ時間 | tASC | 3 | | ns | 16.47 |
| ライトコマンドセットアップ時間 | tWCS | 3 | | ns | 16.48 |
| ライトデータセットアップ時間 | tWDS | 3 | | ns | 16.48 |
| アドレス入力セットアップ時間*1 | tASIN | 20 | | ns | 16.71 |
| アドレス入力ホールド時間*1 | tAHIN | 25 | | ns | 16.71 |
| \overline{BS} 入力セットアップ時間*1 | tBSS | 20 | | ns | 16.71 |
| \overline{BS} 入力ホールド時間*1 | tBSH | 25 | | ns | 16.71 |
| リードライト入力セットアップ時間*1 | tRWS | 20 | | ns | 16.71 |
| リードライト入力ホールド時間*1 | tRWH | 25 | | ns | 16.71 |
| データバッファオン時間 | tDON | | 40 | ns | 16.17,39,48,61 |
| データバッファオフ時間 | tDOF | | 40 | ns | 16.17,39,48,61 |

【注】 *1 外部アドレスモニタ機能を使用する場合は、PLL オンを使用してください。

表 16.9 PLL オフバスタイミング (CKIO 出力時) [モード 2] (1)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|--------|---------|-----|----|----------------------|
| アドレス遅延時間 | tAD | | 28 | ns | 16.16,38,47,60,67,69 |
| \overline{BS} 遅延時間 | tBSD | | 25 | ns | 16.16,38,47,60,67 |
| \overline{CS} 遅延時間 1 | tCSD1 | | 25 | ns | 16.16,38,47,60,67 |
| \overline{CS} 遅延時間 3 | tCSD3 | | 25 | ns | 16.16,67 |
| リードライト遅延時間 | tRWD | | 25 | ns | 16.16,38,47,60,67 |
| リードストロープ遅延時間 2 | tRSD2 | | 25 | ns | 16.16,47,60,67,69 |
| リードデータセットアップ時間 2 | tRDS2 | 10 | | ns | 16.16,38,47,60,67,69 |
| リードデータホールド時間 2 | tRDH2 | 0 | | ns | 16.16,67 |
| リードデータホールド時間 3 (SDRAM) | tRDH3 | 1/2tcyc | | ns | 16.38 |
| リードデータホールド時間 5 (DRAM) | tRDH5 | 0 | | ns | 16.47 |
| リードデータホールド時間 6 (PSRAM) | tRDH6 | 0 | | ns | 16.60 |
| リードデータホールド時間 7 (割り込みベクタ) | tRDH7 | 0 | | ns | 16.69 |
| ライトイネーブル遅延時間 2 | tWED2 | 3 | 25 | ns | 16.17,61 |
| ライトデータ遅延時間 | tWDD | | 25 | ns | 16.17,39,48,61 |
| ライトデータホールド時間 1 | tWDH1 | 3 | | ns | 16.17,39,48,61 |
| ライトデータホールド時間 2 | tWDH2 | 5 | | ns | 16.17 |
| ライトデータホールド時間 3 | tWDH3 | 3 | | ns | 16.61 |
| DACK 遅延時間 1 | tDACD1 | | 25 | ns | 16.16,38,47,60,67 |
| DACK 遅延時間 3 | tDACD3 | | 25 | ns | 16.16,38,47,60,67 |
| WAIT セットアップ時間 | tWTS | 20 | | ns | 16.19,43,55,67,70 |
| WAIT ホールド時間 | tWTH | 10 | | ns | 16.19,43,55,67,70 |
| \overline{RAS} 遅延時間 1 (SDRAM) | tRASD1 | | 25 | ns | 16.38 |
| \overline{RAS} 遅延時間 3 (DRAM) | tRASD3 | 3 | 25 | ns | 16.47 |
| \overline{CAS} 遅延時間 1 (SDRAM) | tCASD1 | | 25 | ns | 16.38 |
| \overline{CAS} 遅延時間 3 (DRAM) | tCASD3 | 3 | 25 | ns | 16.47 |
| DQM 遅延時間 | tDQMD | | 25 | ns | 16.38 |
| CKE 遅延時間 | tCKED | | 33 | ns | 16.37 |
| \overline{CE} 遅延時間 2 | tCED2 | 3 | 25 | ns | 16.60 |
| \overline{OE} 遅延時間 2 | tOED2 | | 25 | ns | 16.60 |

表 16.9 PLL オフバスタイミング (CKIO 出力時) [モード 2] (2)

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------------------------|-------|-----|-----|----|----------------|
| \overline{IVECF} 遅延時間 | tIVD | | 25 | ns | 16.69 |
| アドレス入力セットアップ時間 ^{*1} | tASIN | 25 | | ns | 16.71 |
| アドレス入力ホールド時間 ^{*1} | tAHIN | 10 | | ns | 16.71 |
| \overline{BS} 入力セットアップ時間 ^{*1} | tBSS | 25 | | ns | 16.71 |
| \overline{BS} 入力ホールド時間 ^{*1} | tBSH | 10 | | ns | 16.71 |
| リードライト入力セットアップ時間 ^{*1} | tRWS | 25 | | ns | 16.71 |
| リードライト入力ホールド時間 ^{*1} | tRWH | 10 | | ns | 16.71 |
| データバッファオン時間 | tDON | | 25 | ns | 16.17,39,48,61 |
| データバッファオフ時間 | tDOF | | 25 | ns | 16.17,39,48,61 |

【注】 *1 外部アドレスモニタ機能を使用する場合は、PLL オンを使用してください。

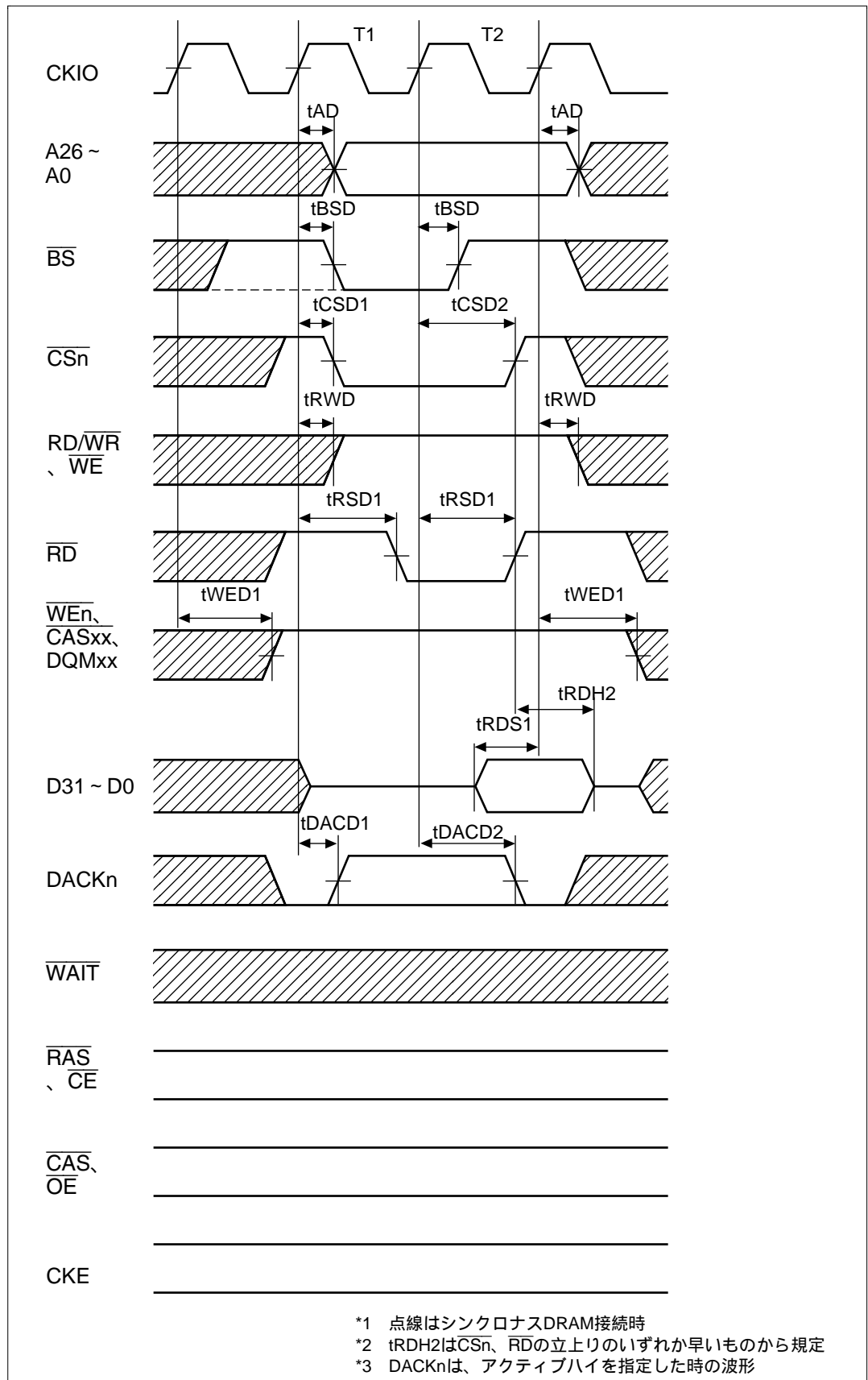


図 16.14 基本リードサイクル (ノーウェイト、PLL オン)

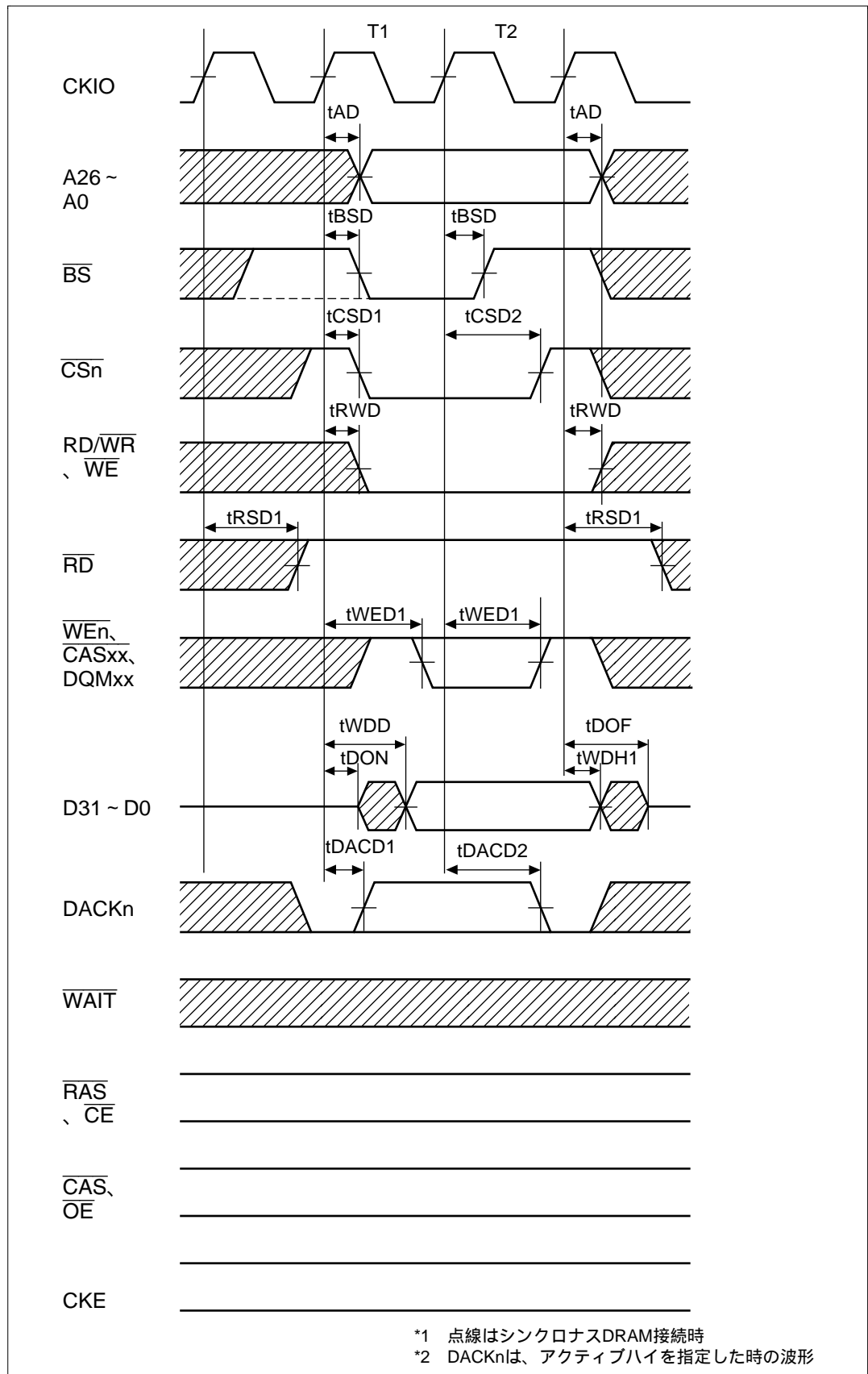


図 16.15 基本ライトサイクル (ノーウェイト、PLL オン)

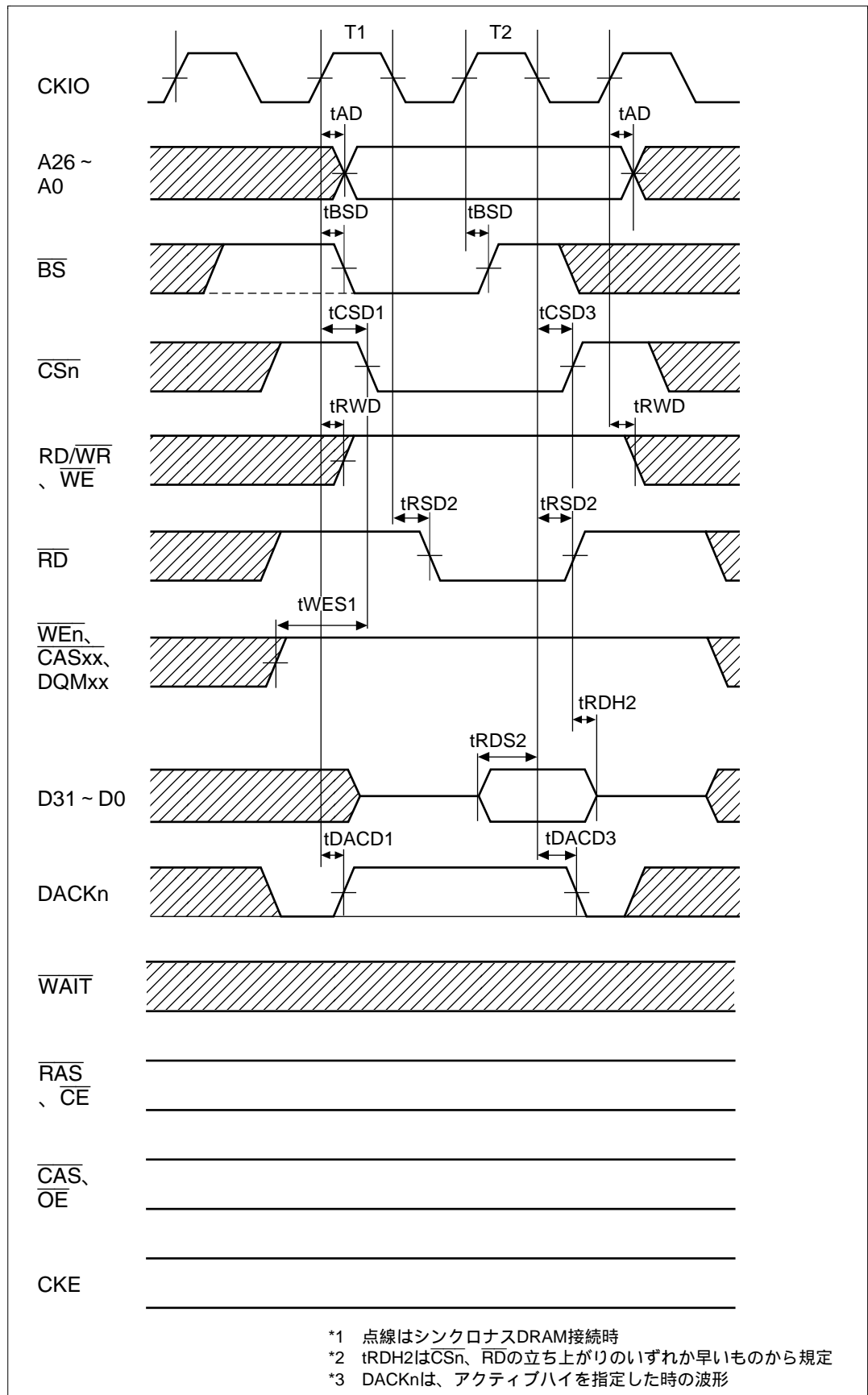


図 16.16 基本リードサイクル (ノーウェイト、PLL オフ)

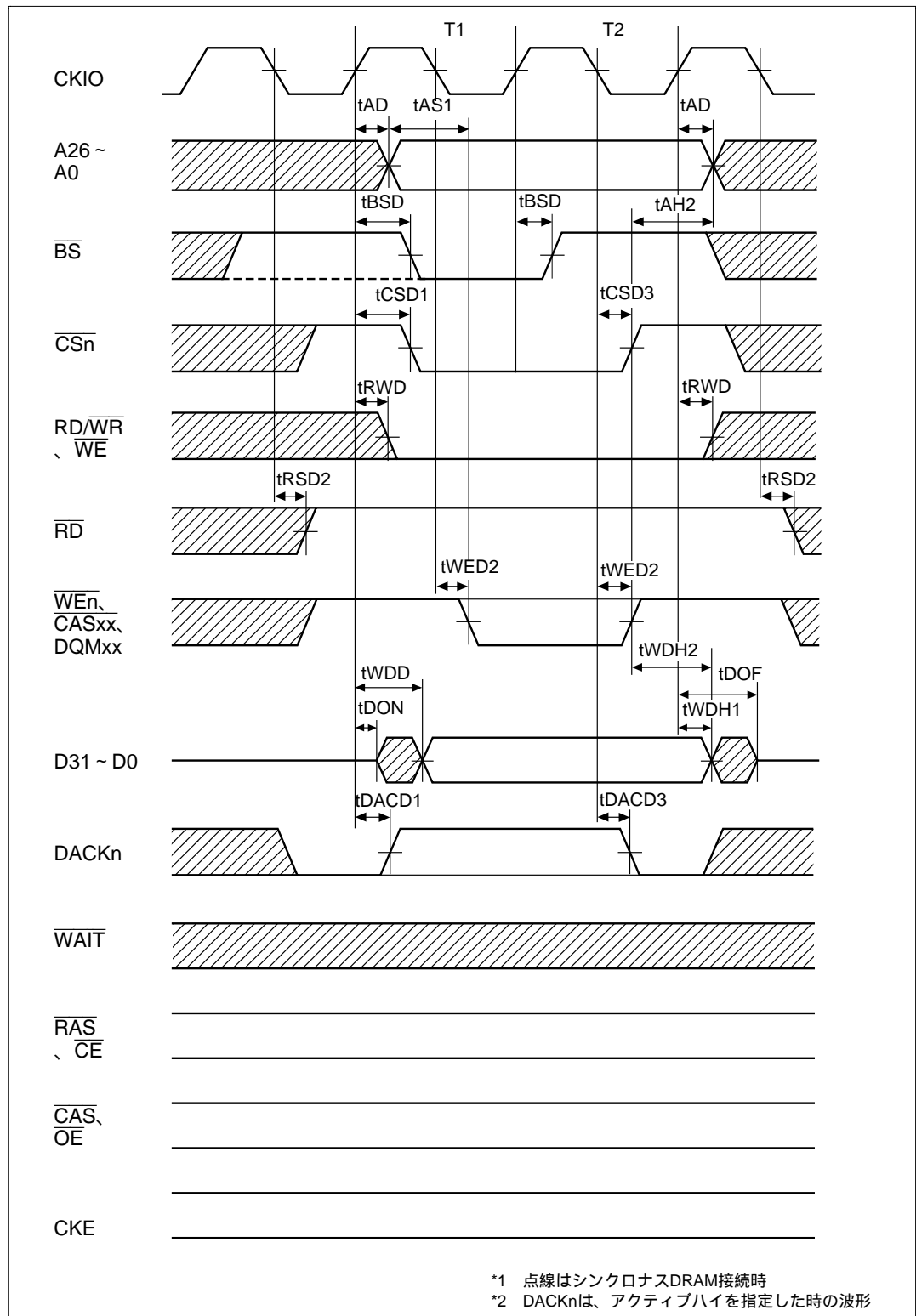


図 16.17 基本ライトサイクル (ノーウェイト、PLL オフ)

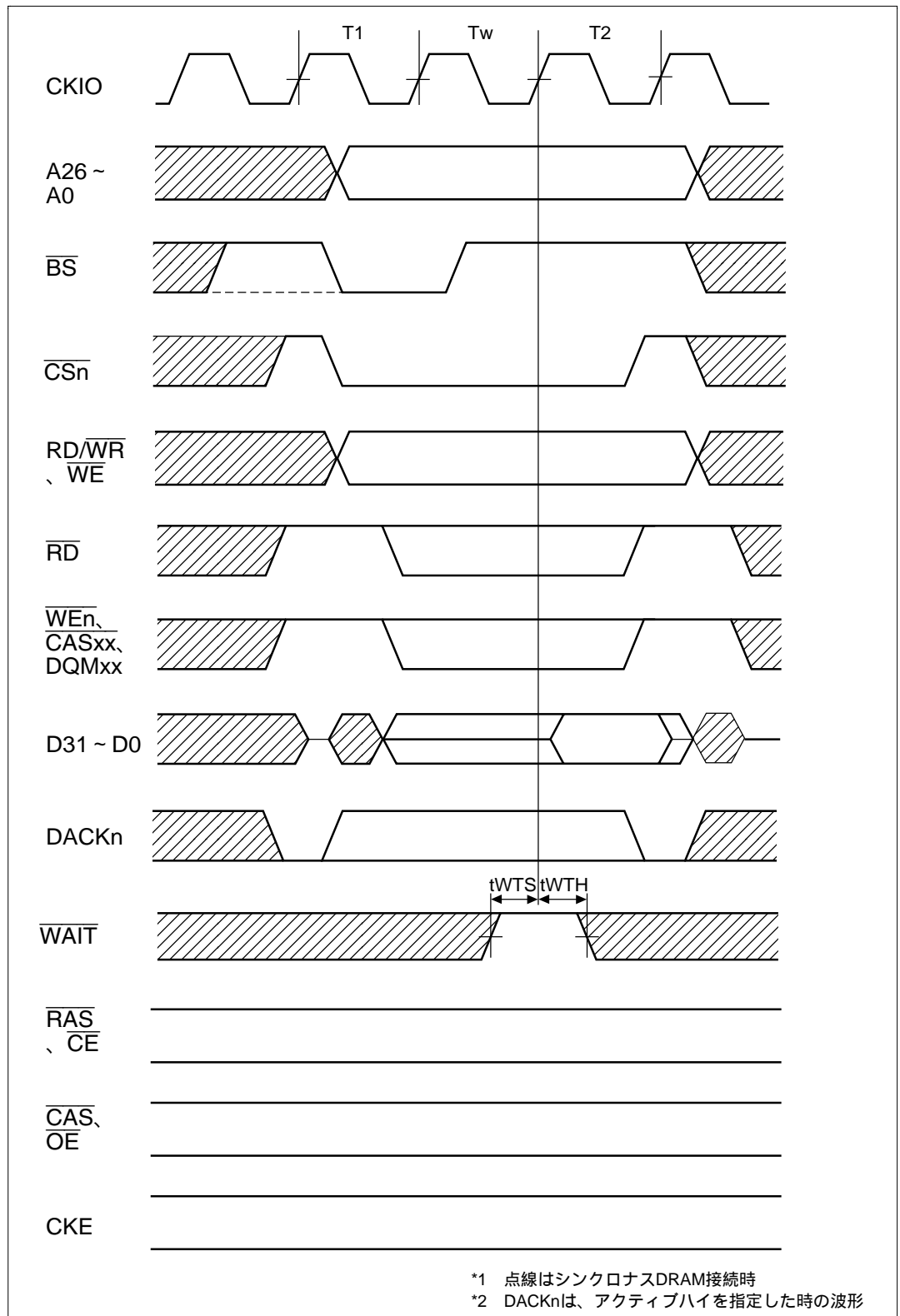


図 16.18 基本バスサイクル (1 ウェイトサイクル)

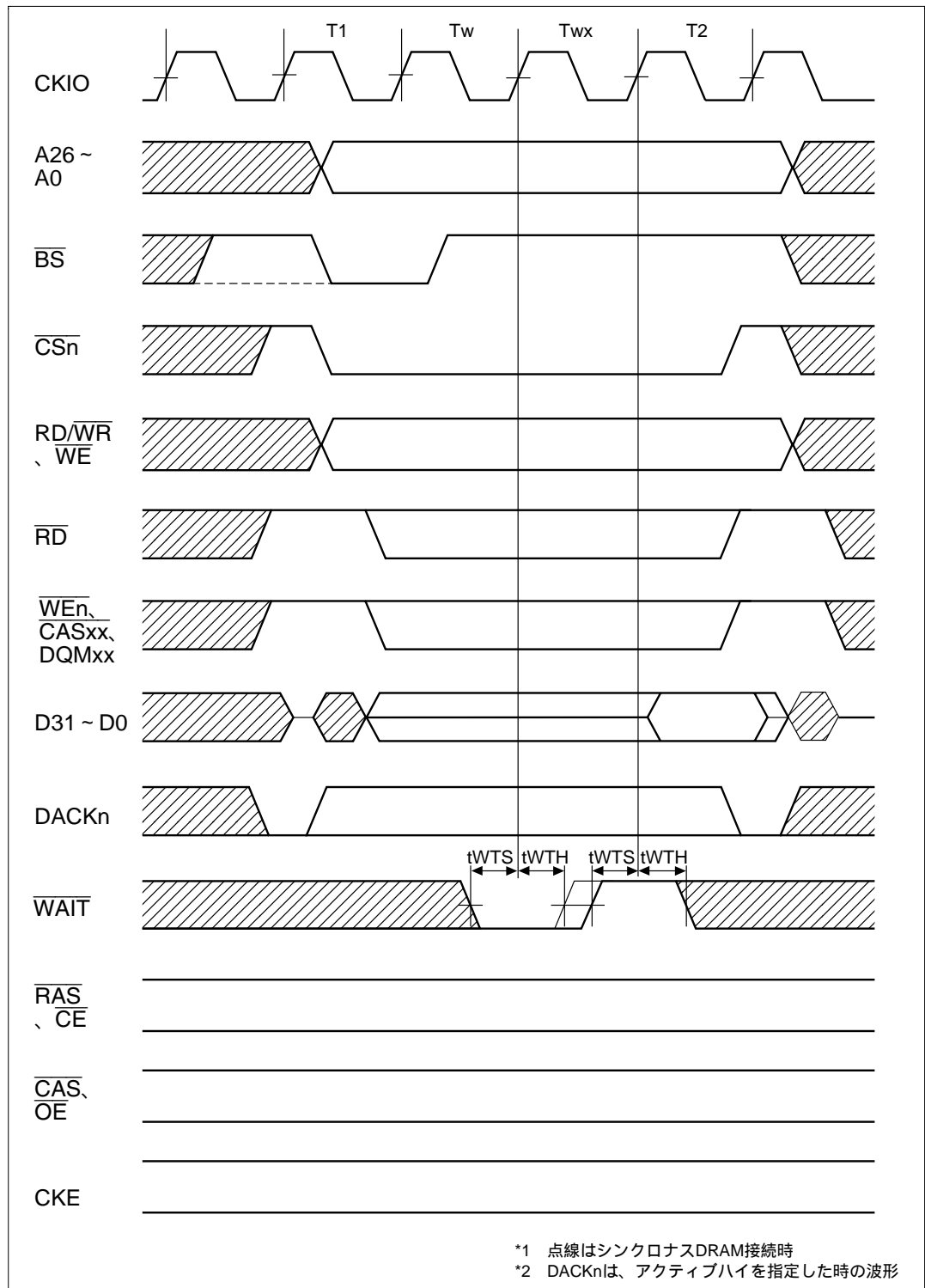


図 16.19 基本バスサイクル (外部ウェイト入力)

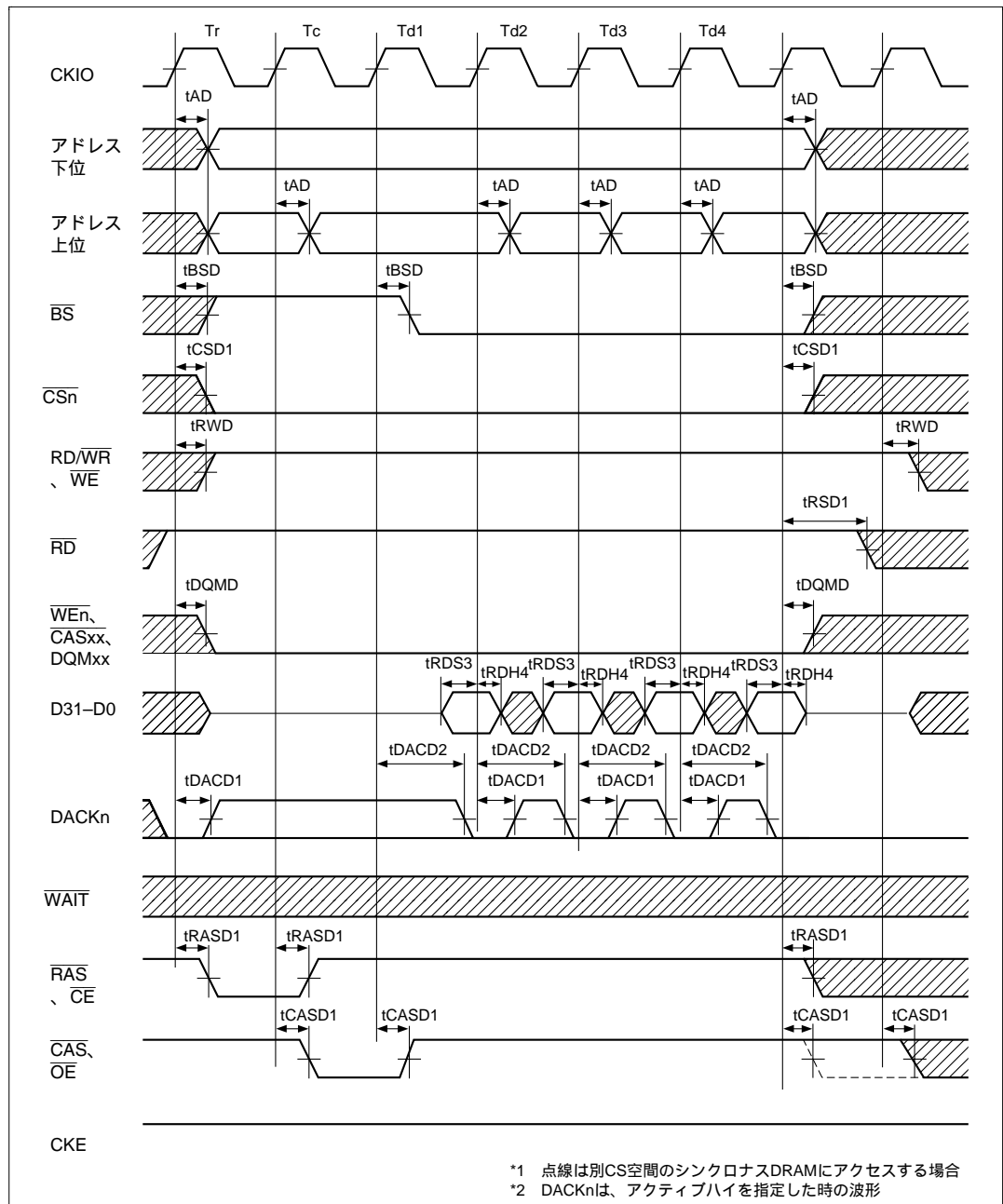


図 16.20 SDRAM リードバスサイクル

(RCD=1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン)

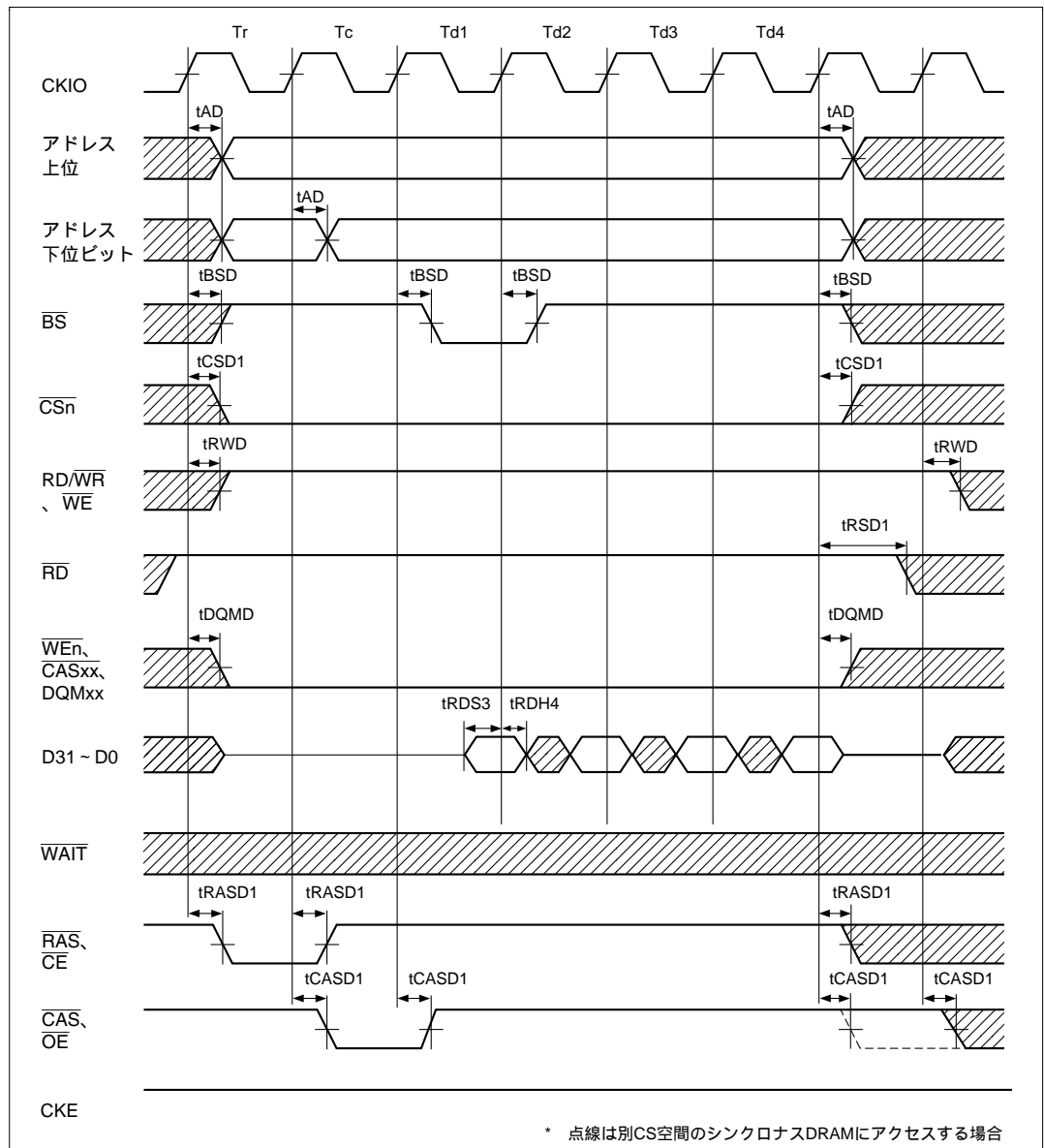


図 16.21 SDRAM シングルリードバスサイクル
(RCD=1 サイクル、CAS レイテンシ=1 サイクル、バースト=4、PLL オン)

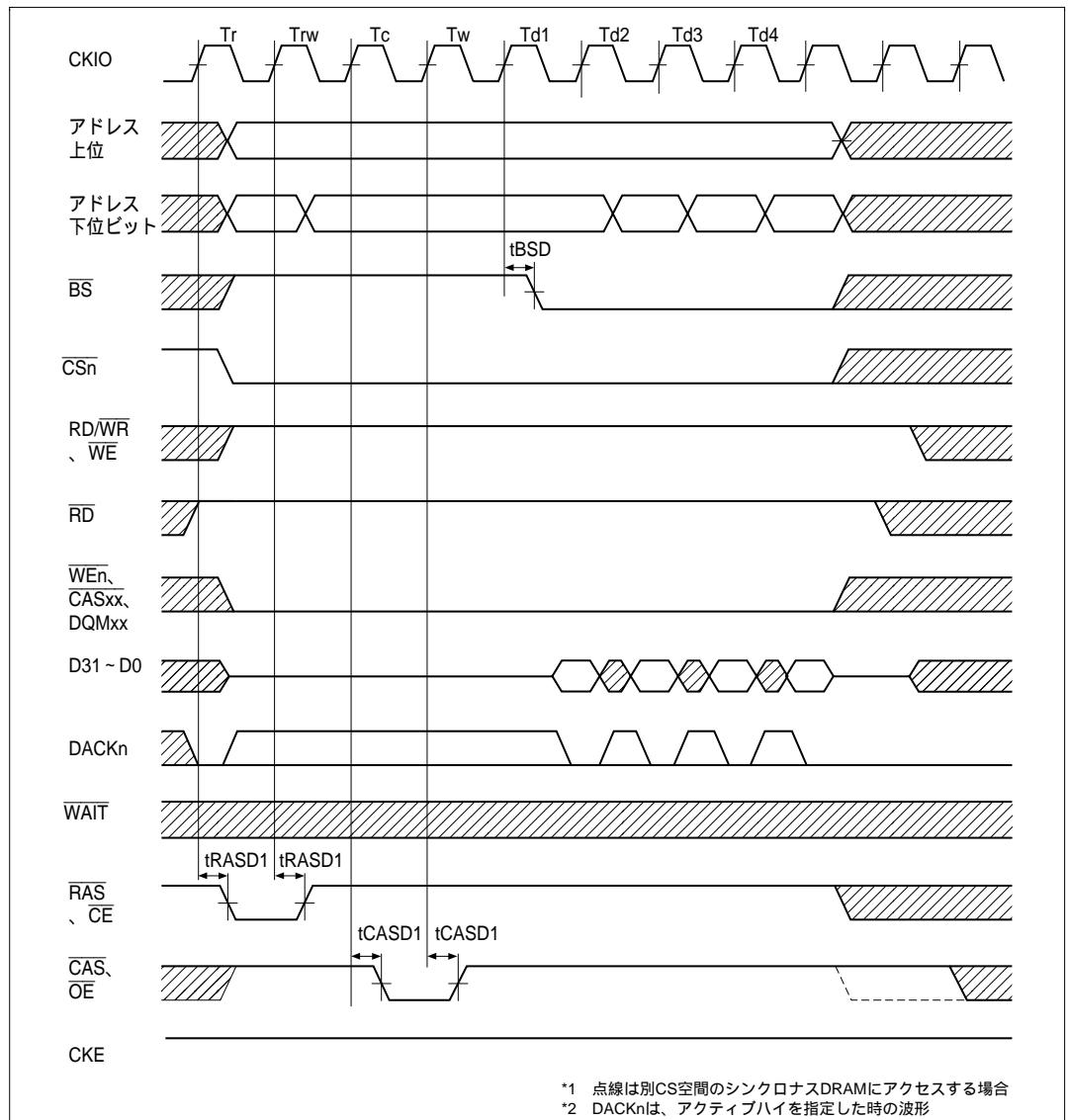


図 16.22 SDRAM リードバスサイクル
(RCD=2 サイクル、CAS レイテンシ=2 サイクル、バースト=4)

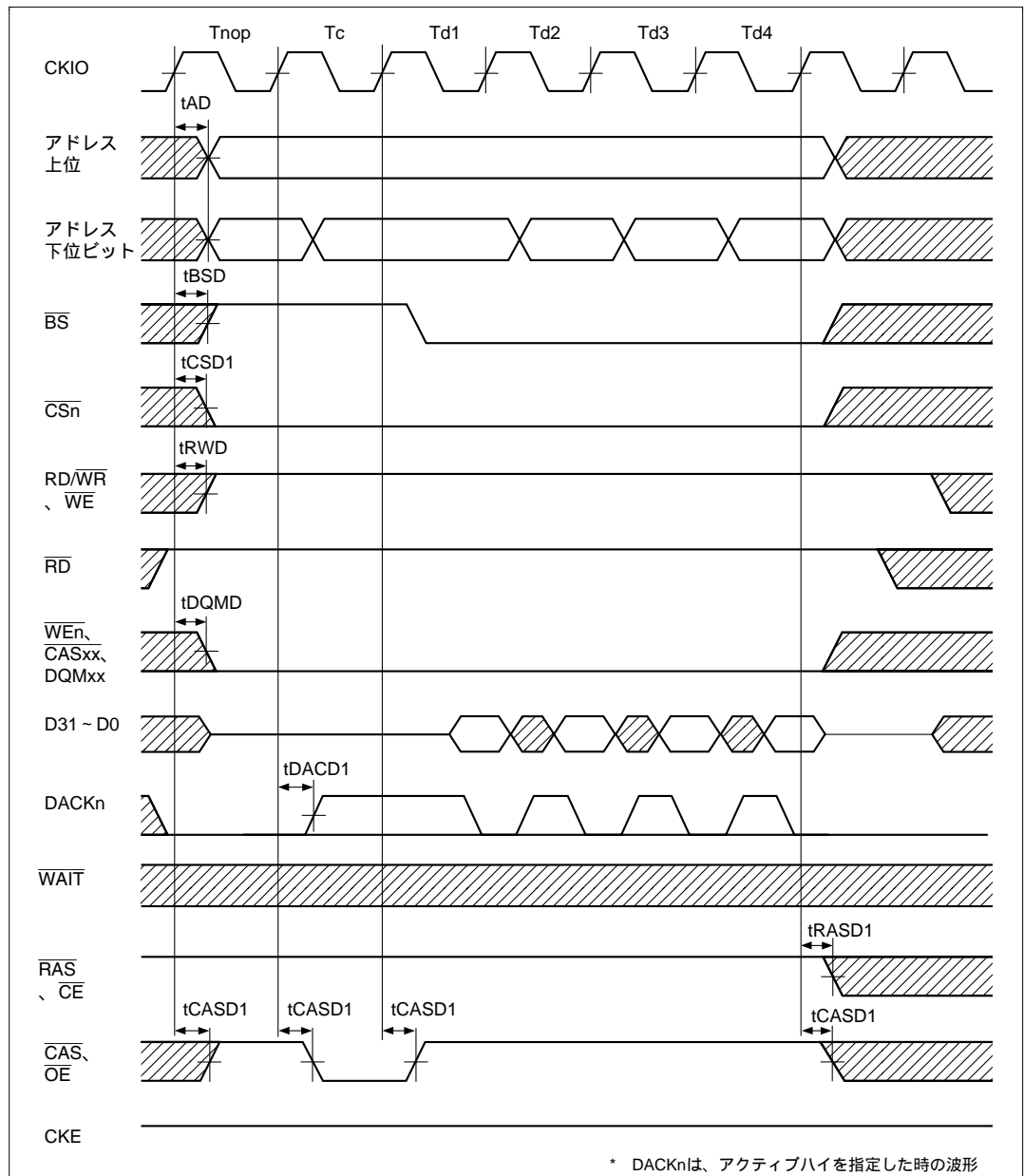


図 16.23 SDRAM リードバスサイクル
(バンクアクティブ、同一ロウアクセス、CAS レイテンシ=1 サイクル)

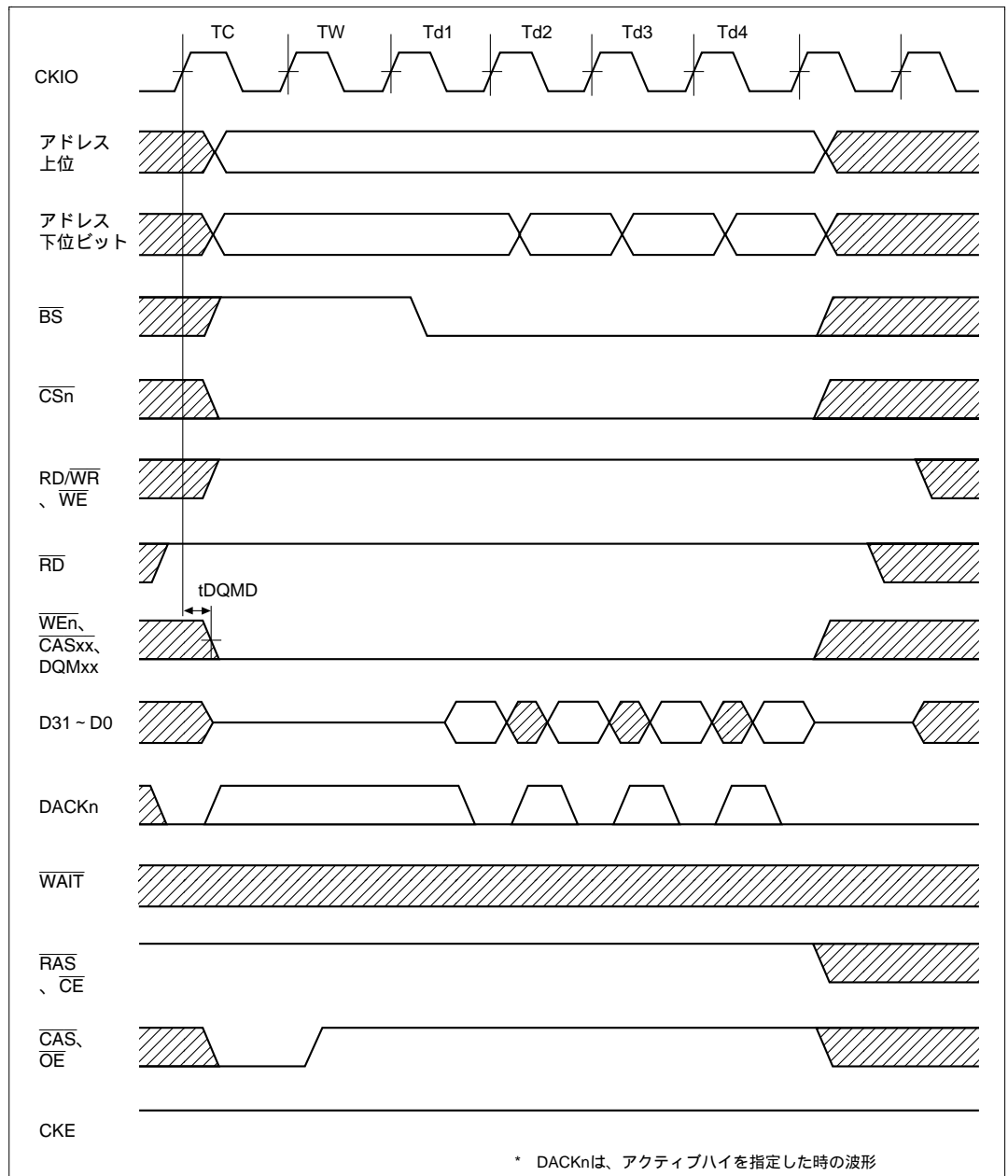


図 16.24 SDRAM リードバスサイクル
 (バンクアクティブ、同一ロウアクセス、CAS レイテンシ=2 サイクル)

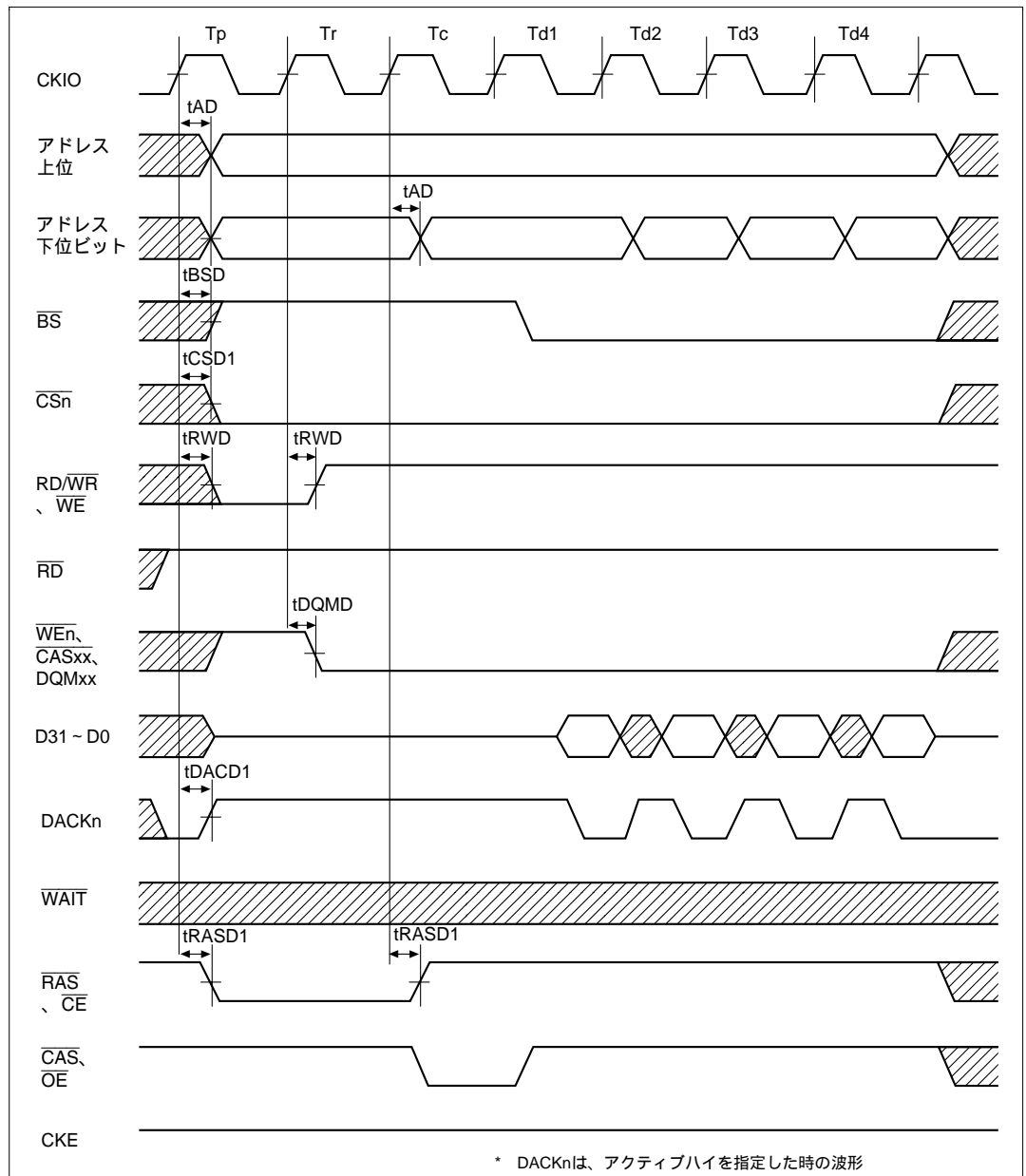


図 16.25 SDRAM リードバスサイクル
 (バンクアクティブ、別口ウアクセス、TRP=1 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル)

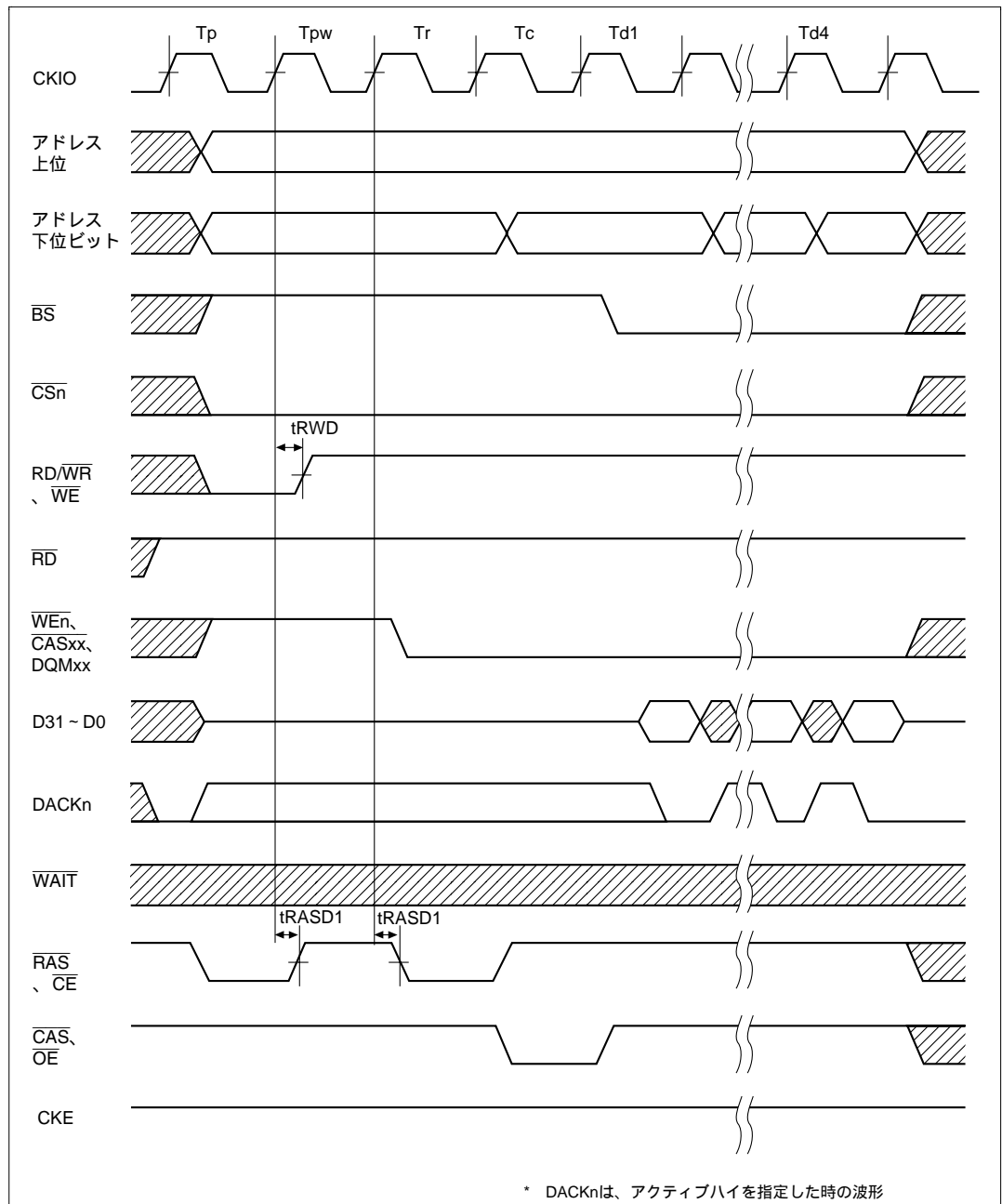


図 16.26 SDRAM リードバスサイクル

(バンクアクティブ、別口ウアクセス、TRP=2 サイクル、RCD=1 サイクル、CAS レイテンシ=1 サイクル)

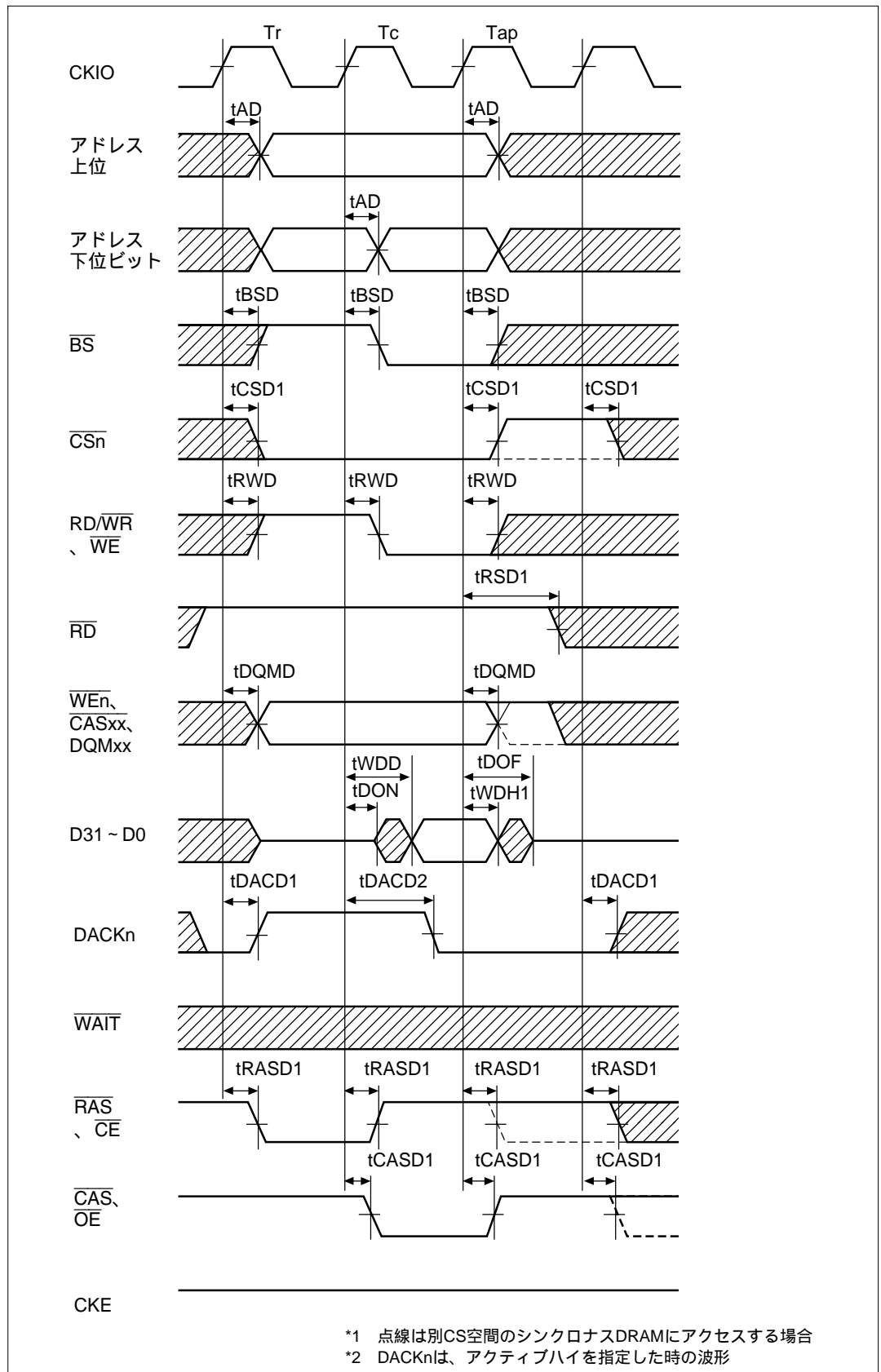


図 16.27 SDRAM ライトバスサイクル
 (RCD=1 サイクル、TRWL=1 サイクル、PLL オン)

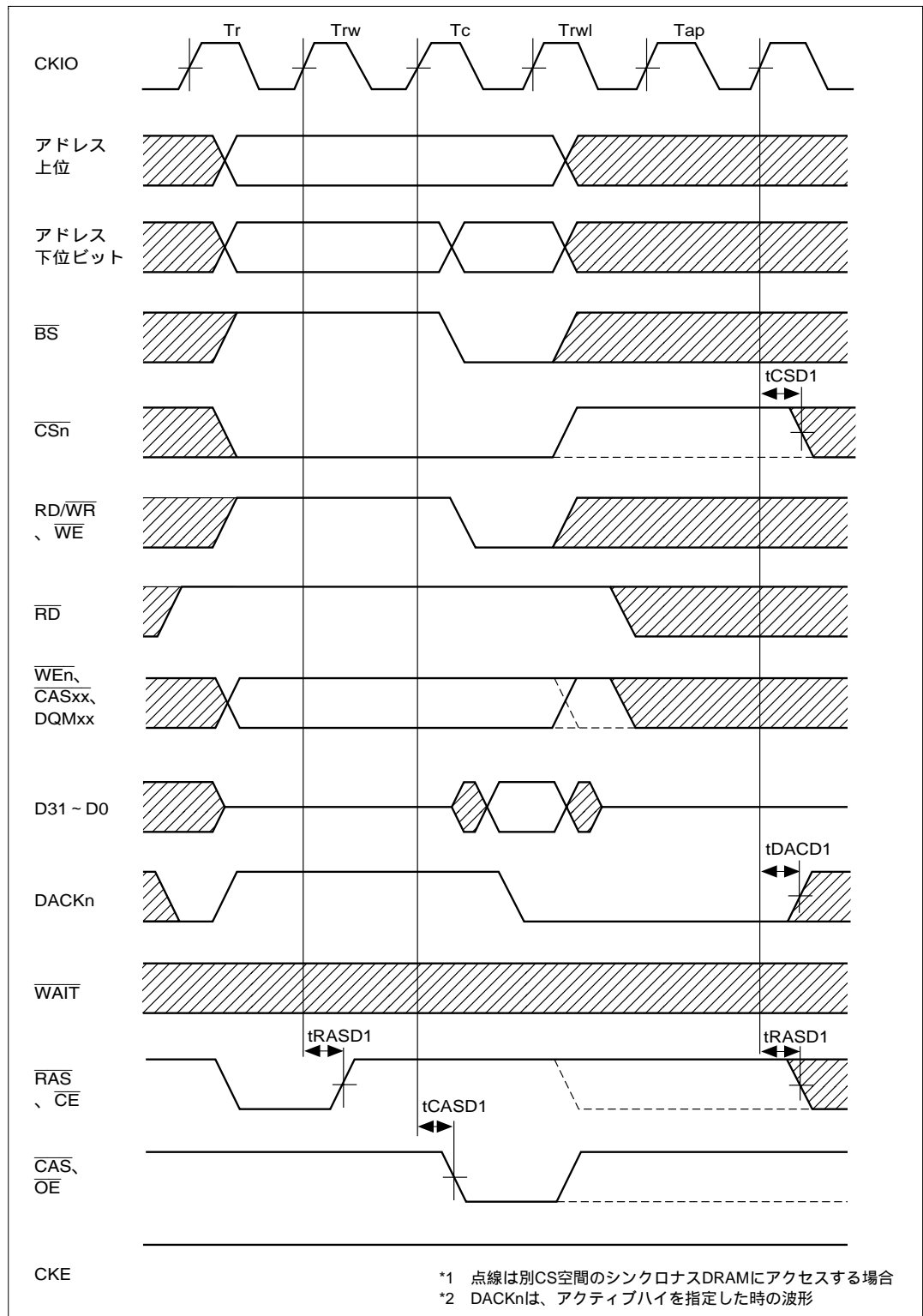


図 16.28 SDRAM ライトバスサイクル
 (RCD=2 サイクル、TRWL=2 サイクル)

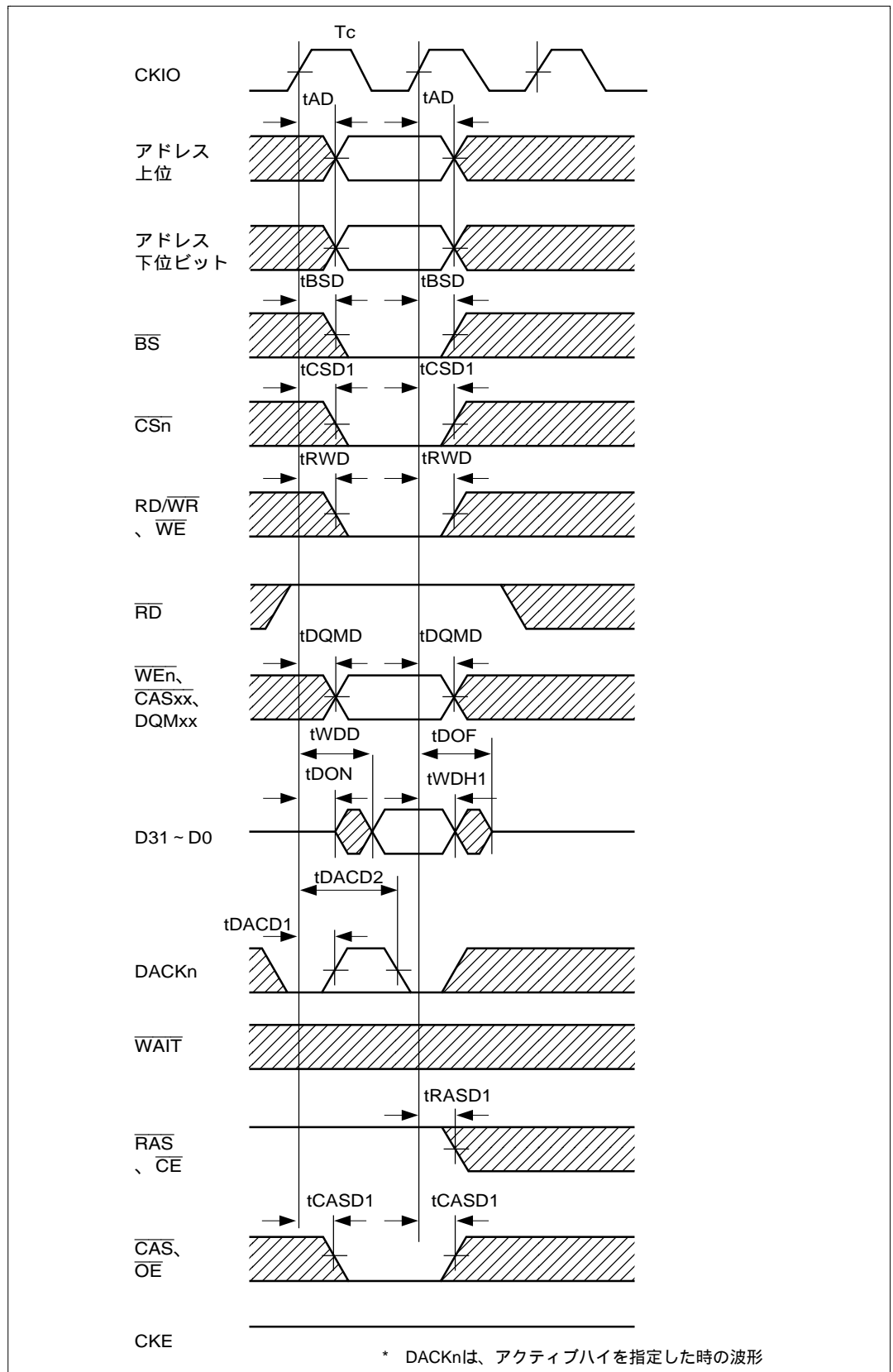


図 16.29 SDRAM ライトバスサイクル
(バンクアクティブ、同一ロウアクセス)

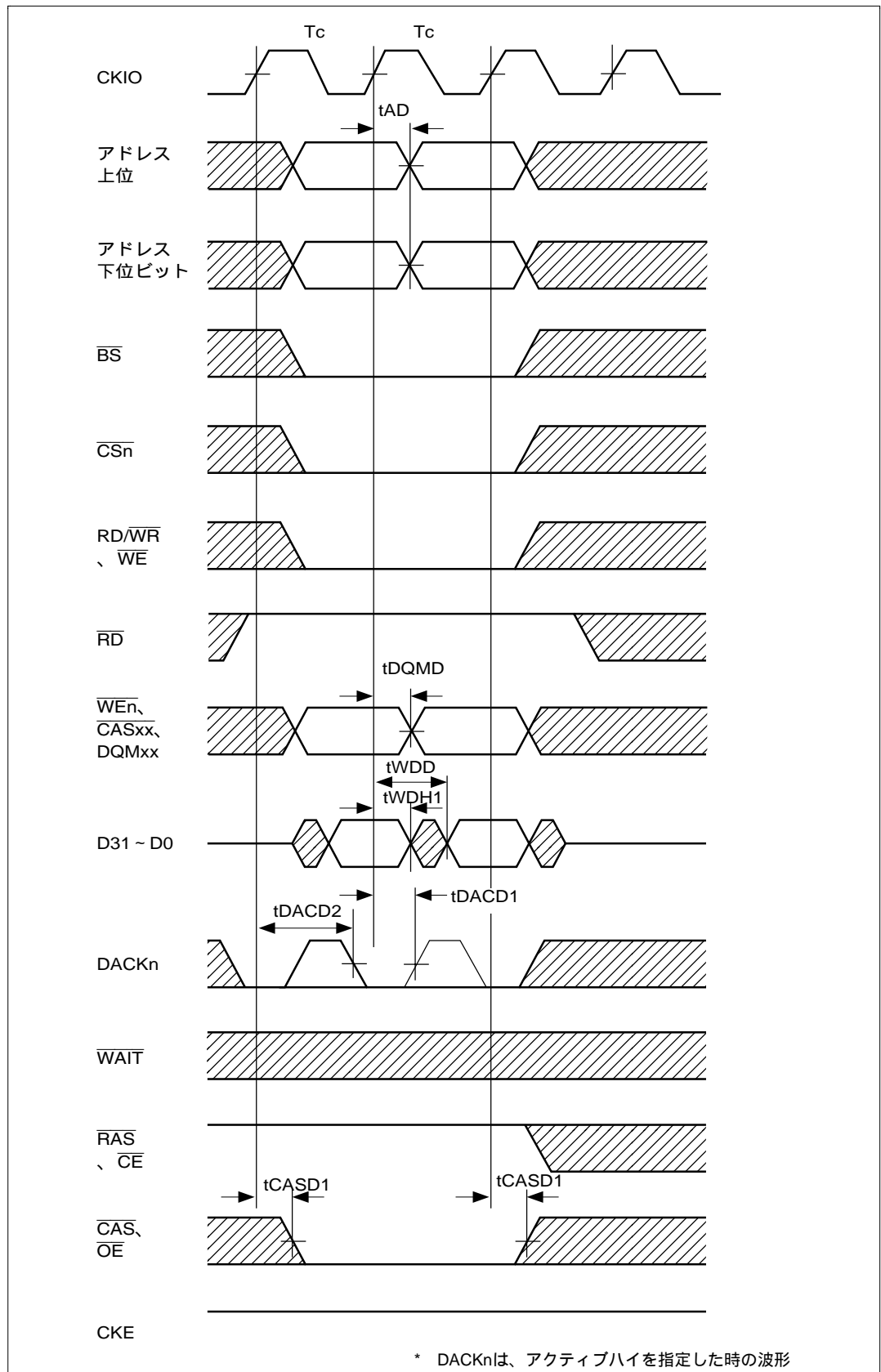


図 16.30 SDRAM 連続ライトサイクル
(バンクアクティブ、同一ロウアクセス)

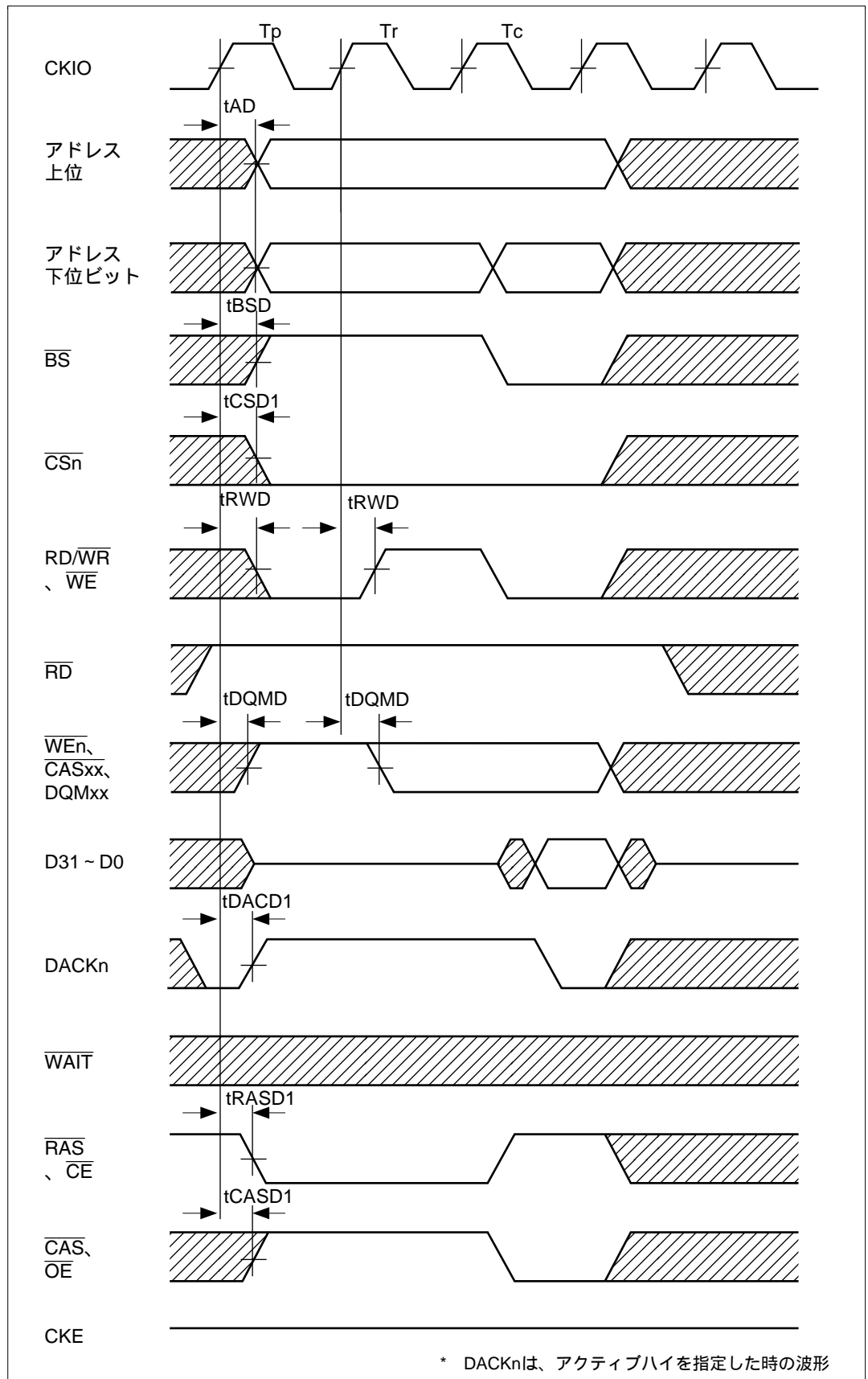


図 16.31 SDRAM ライトバスサイクル
(バンクアクティブ、別口ウアクセス、TRP=1 サイクル、RCD=1 サイクル)

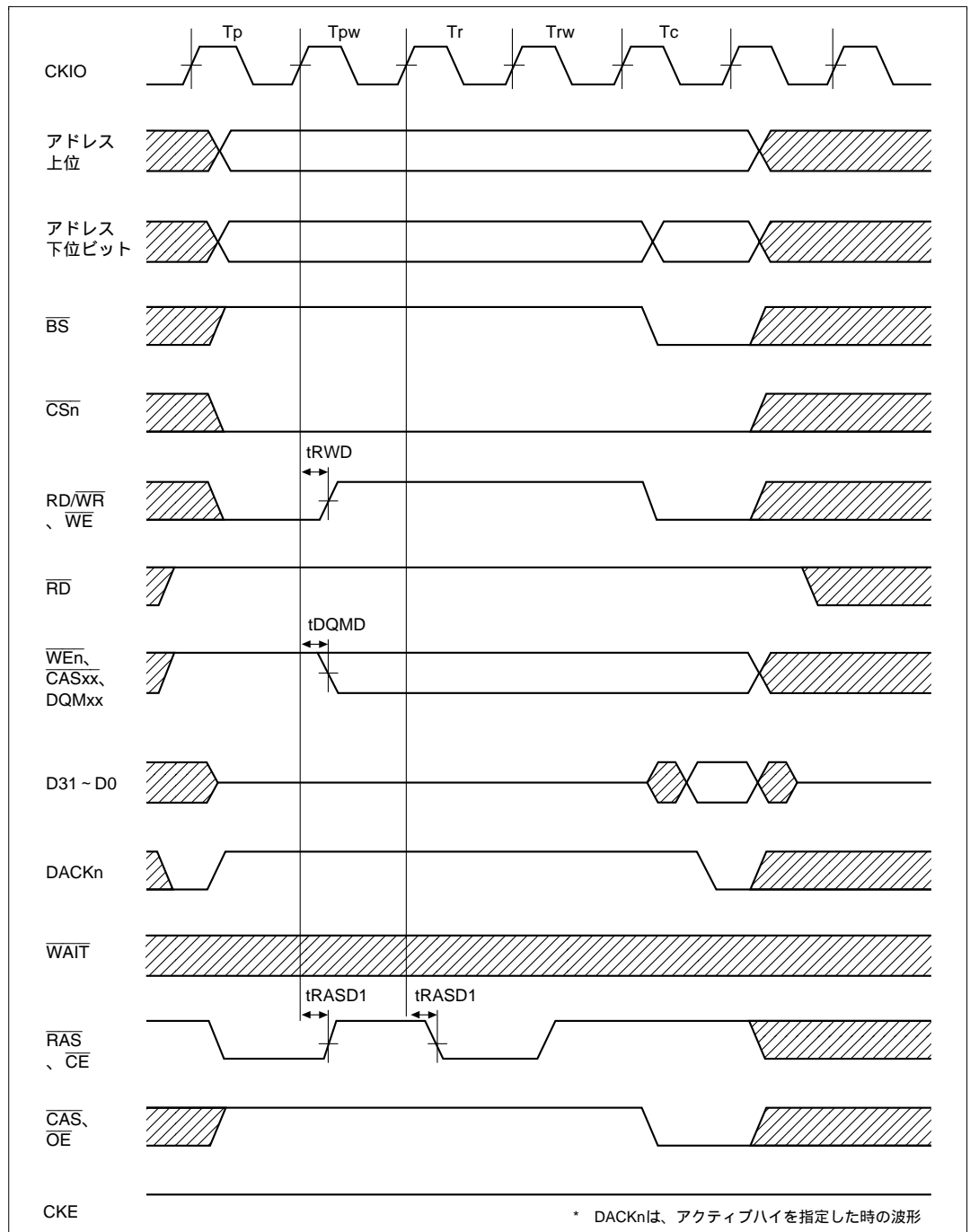


図 16.32 SDRAM ライトバスサイクル
(バンクアクティブ、別口アクセス、TRP=2 サイクル、RCD=2 サイクル)

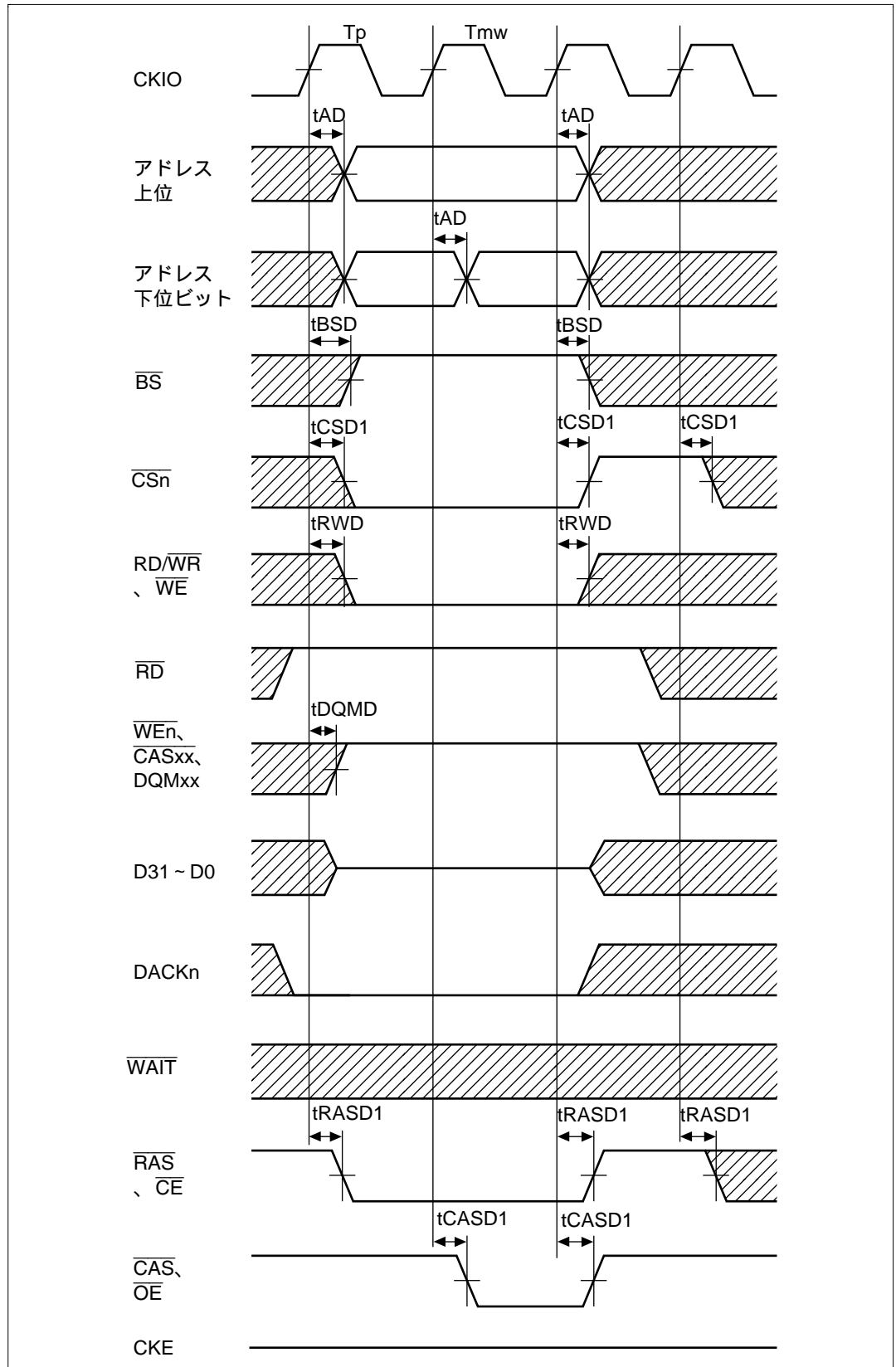


図 16.33 SDRAM モードレジスタ書き込みサイクル (TRP=1 サイクル)

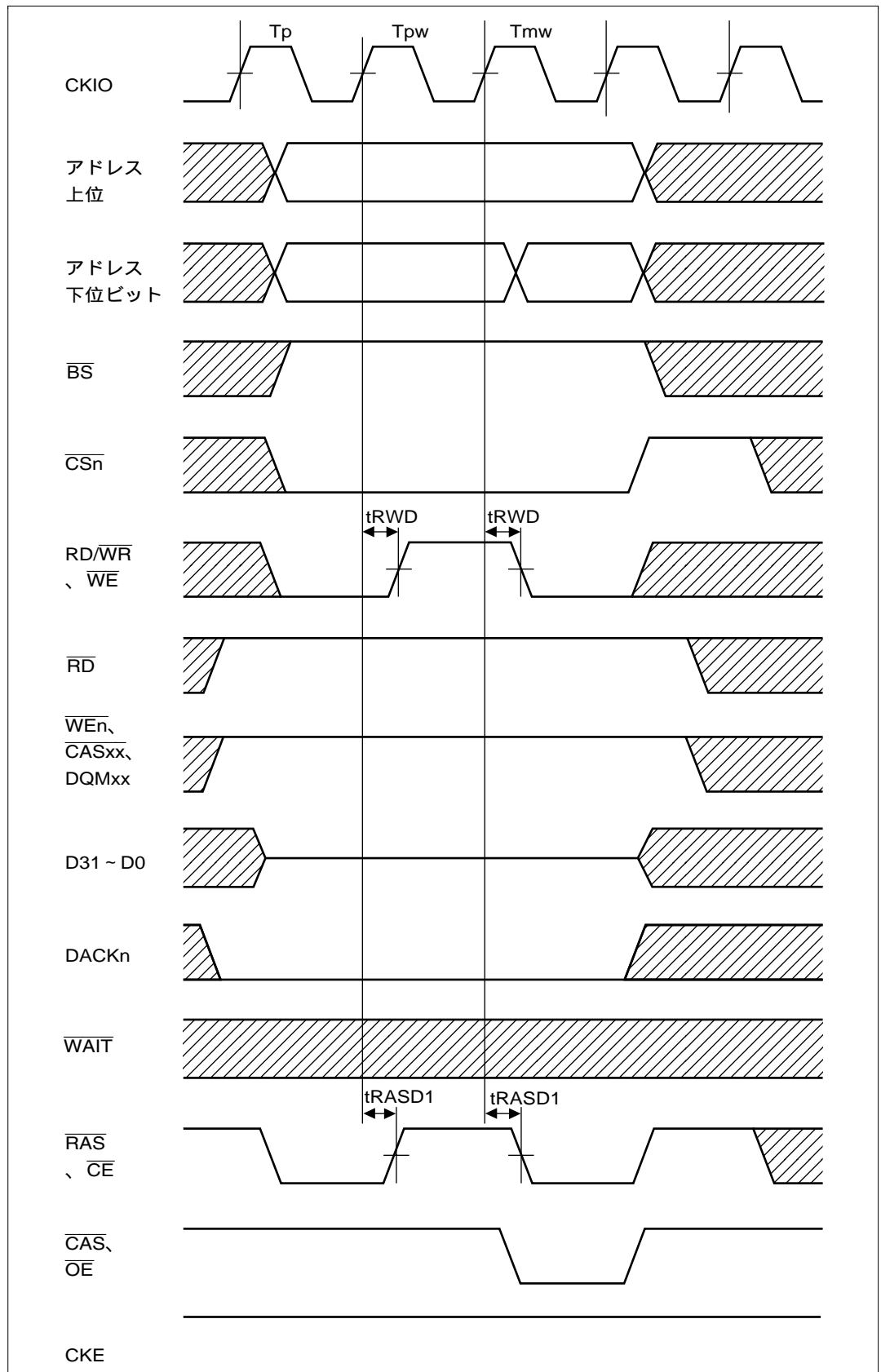


図 16.34 SDRAM モードレジスタ書き込みサイクル (TRP=2 サイクル)

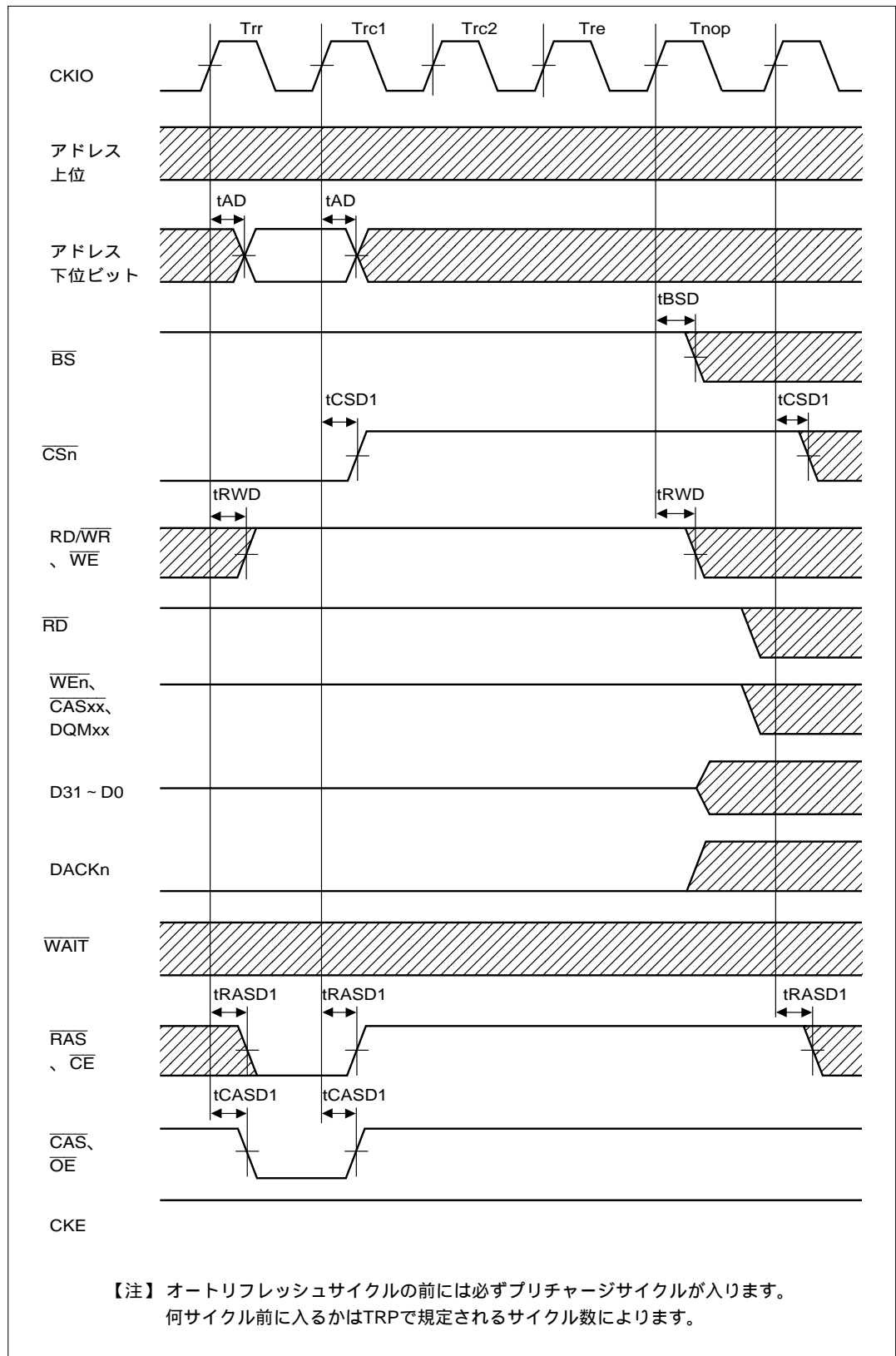


図 16.35 SDRAM オートリフレッシュサイクル (TRAS=2 サイクル)

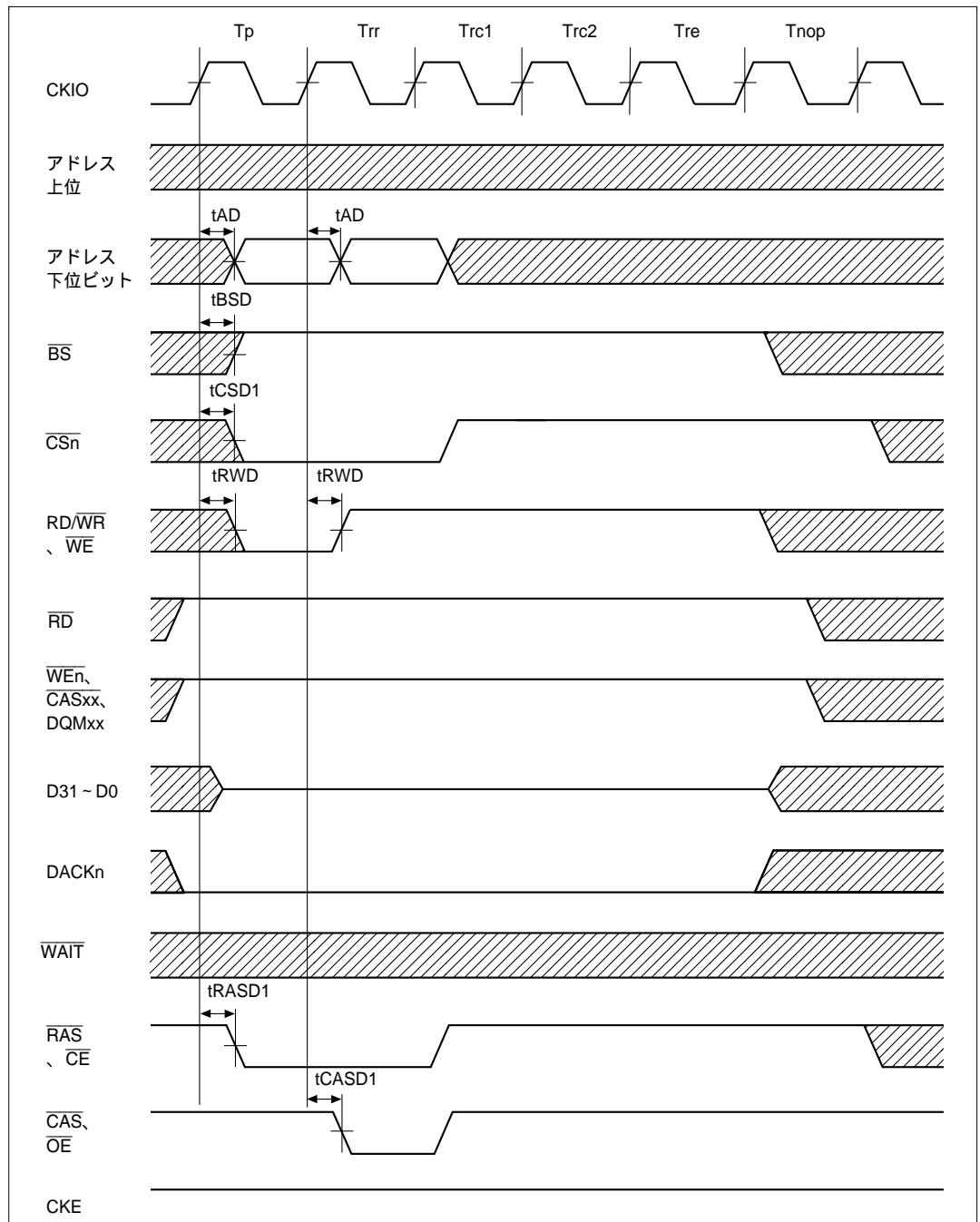


図 16.36 SDRAM オートリフレッシュサイクル
(プリチャージサイクルから図示、TRP=1 サイクル、TRAS=2 サイクル)

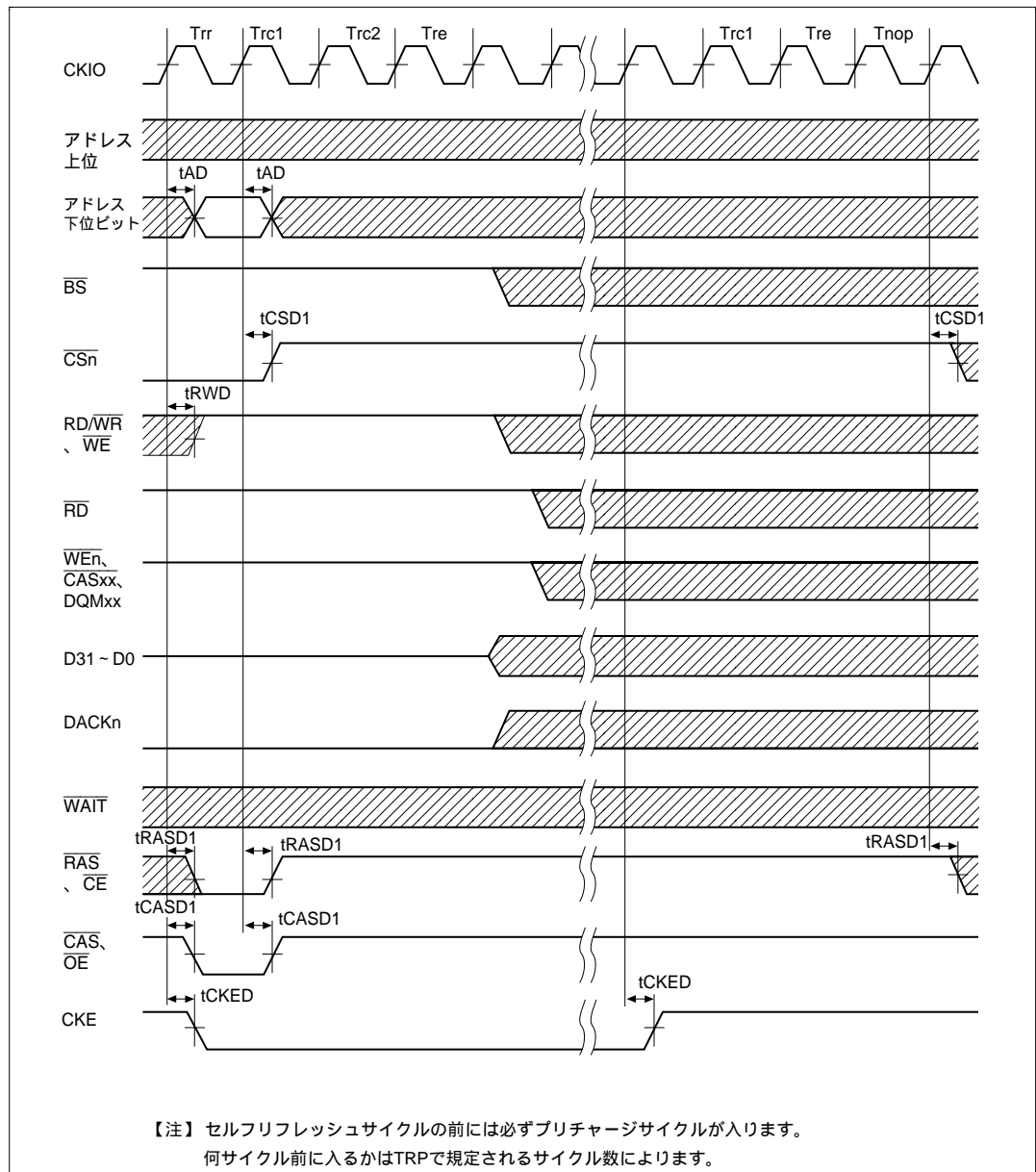


図 16.37 SDRAM セルフリフレッシュサイクル (TRAS=2)

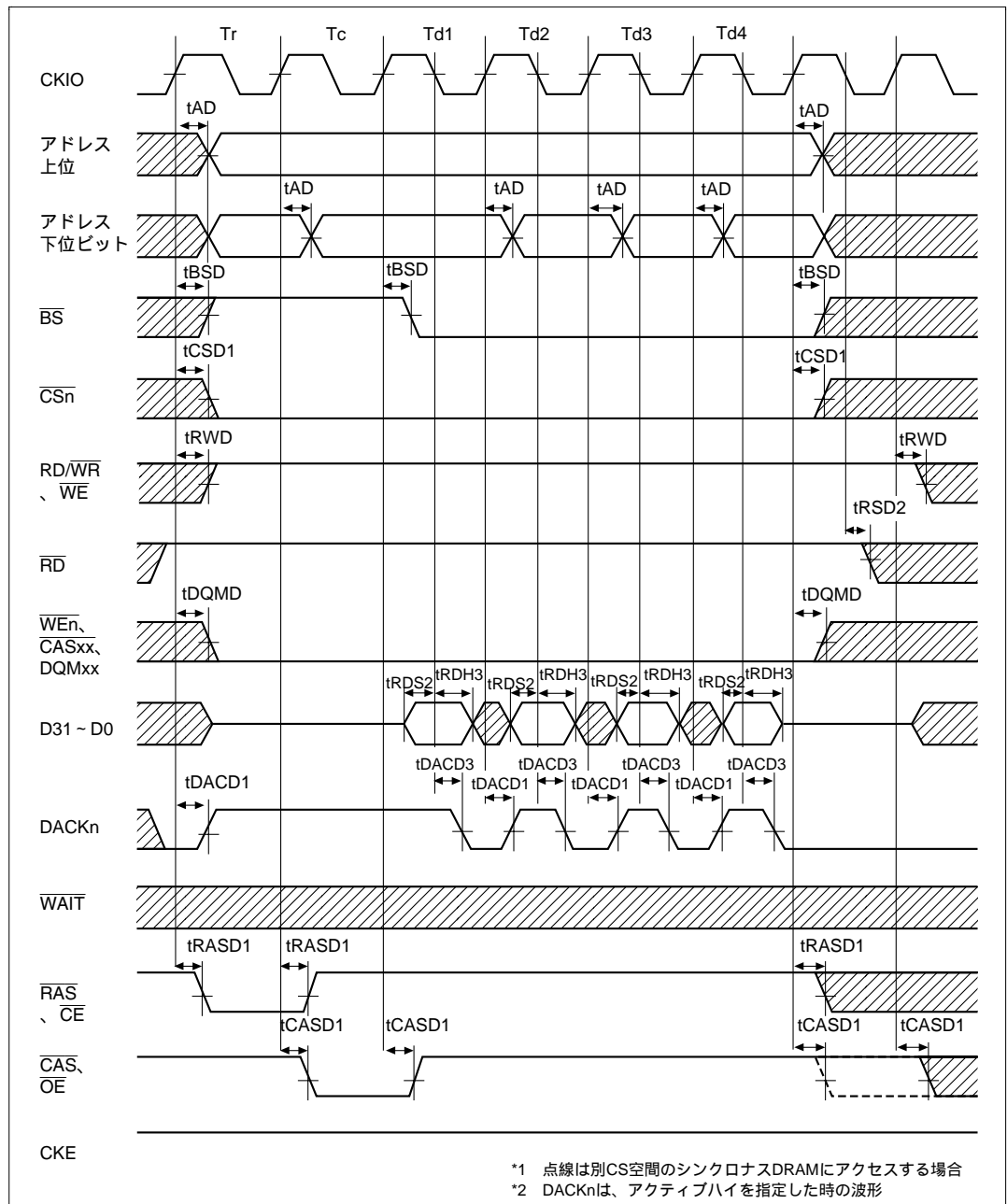


図 16.38 SDRAM リードバスサイクル
 (RCD=1 サイクル、CAS レイテンシ=1 サイクル、TRP=1 サイクル、
 パースト=4、PLL オフ)

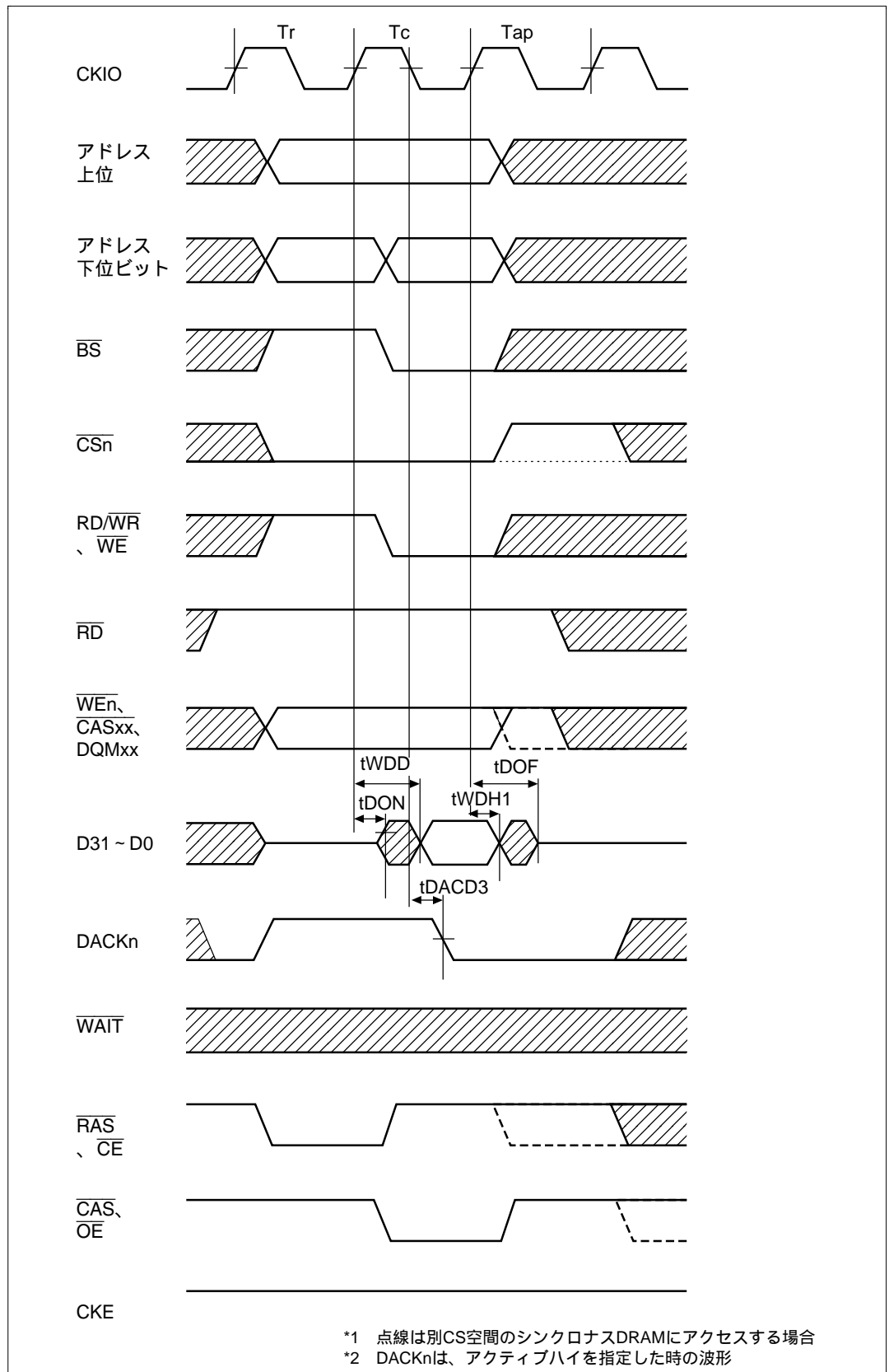


図 16.39 SDRAM ライトバスサイクル
 (RCD=1 サイクル、TRWL=1 サイクル、PLL オフ)

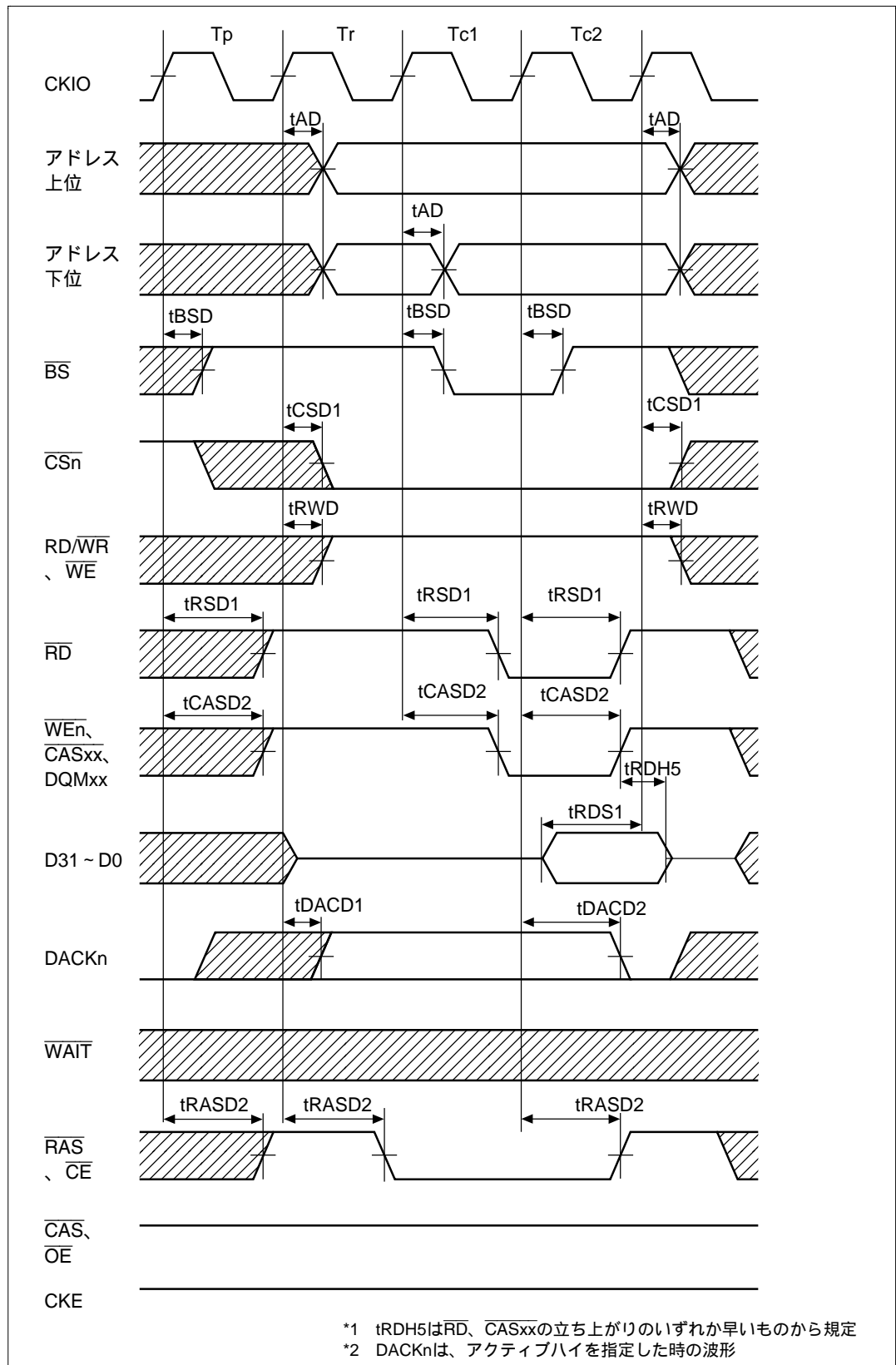


図 16.40 DRAM リードサイクル
 (TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン)

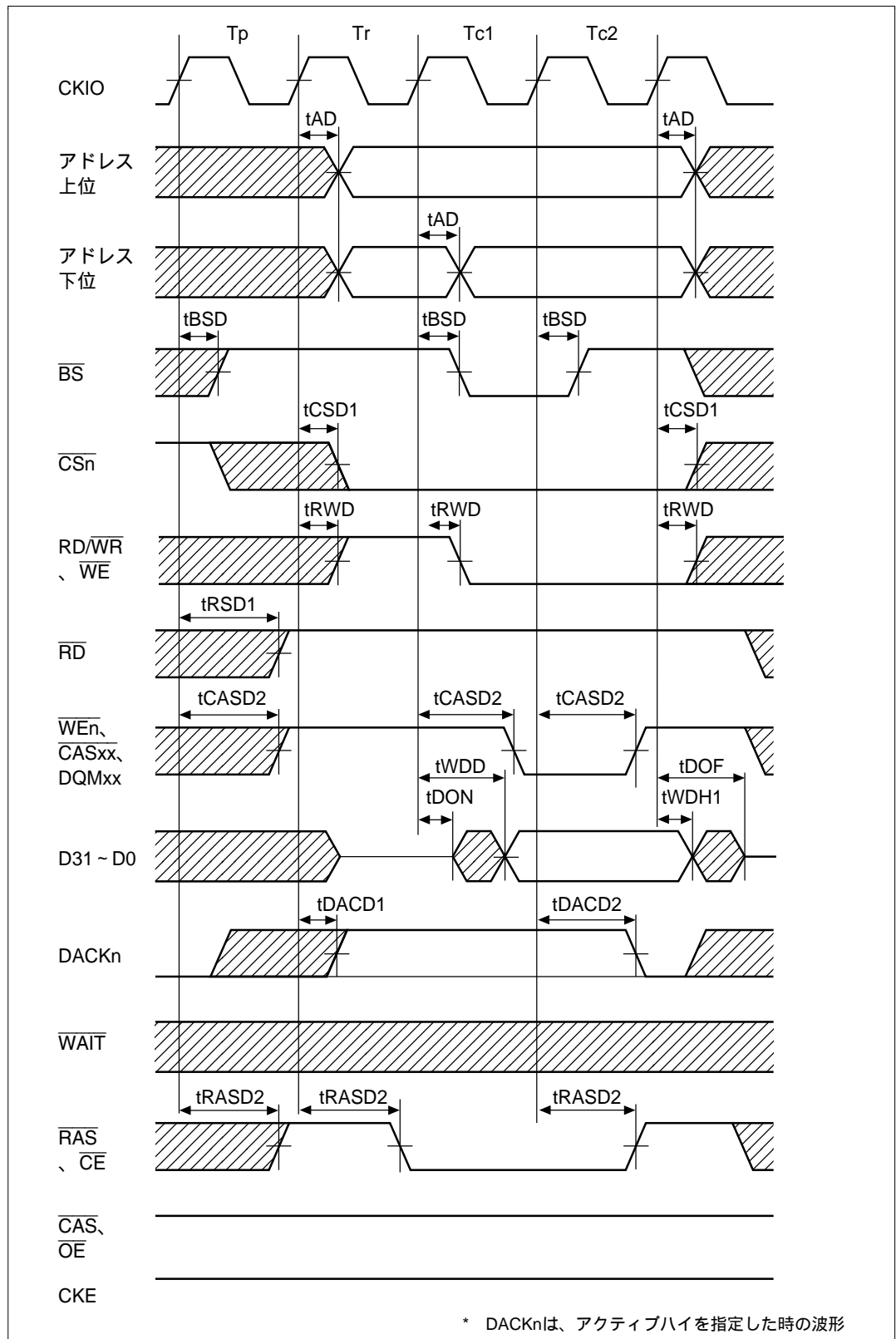


図 16.41 DRAM ライトサイクル
(TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オン)

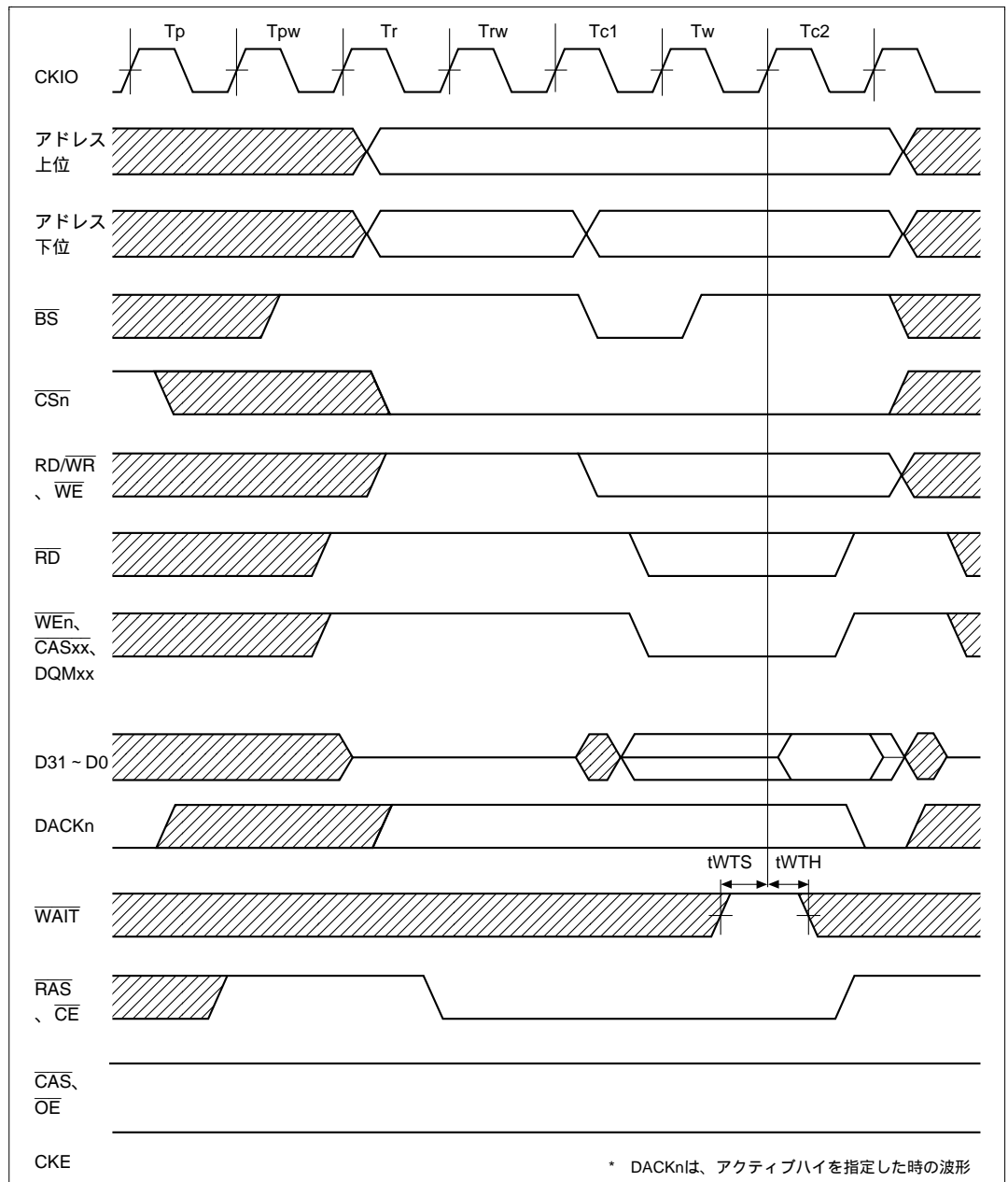


図 16.42 DRAM バスサイクル
(TRP=2 サイクル、RCD=2 サイクル、1 ウェイト)

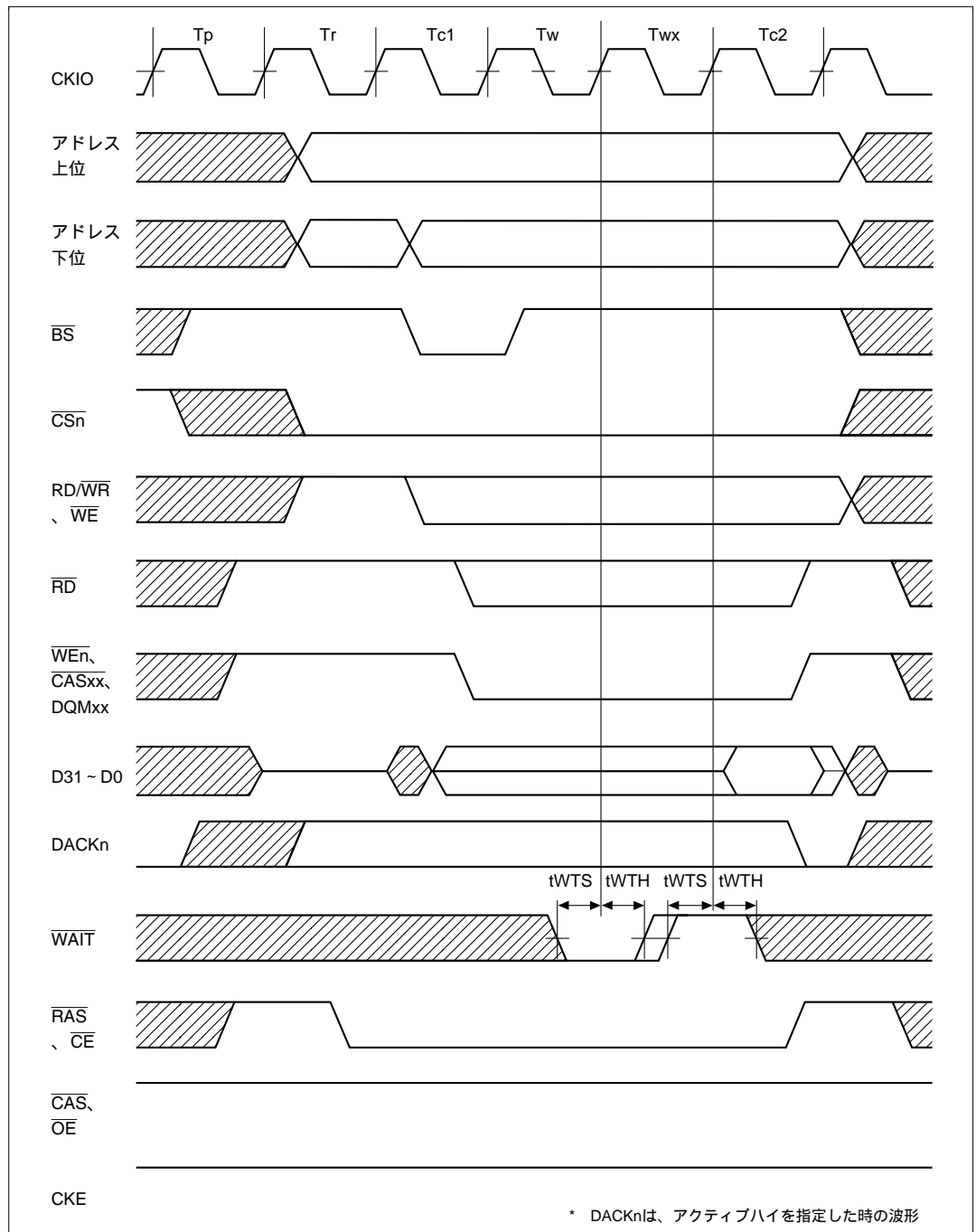


図 16.43 DRAM バスサイクル
(TRP=1 サイクル、RCD=1 サイクル、外部ウェイト入力ウェイト)

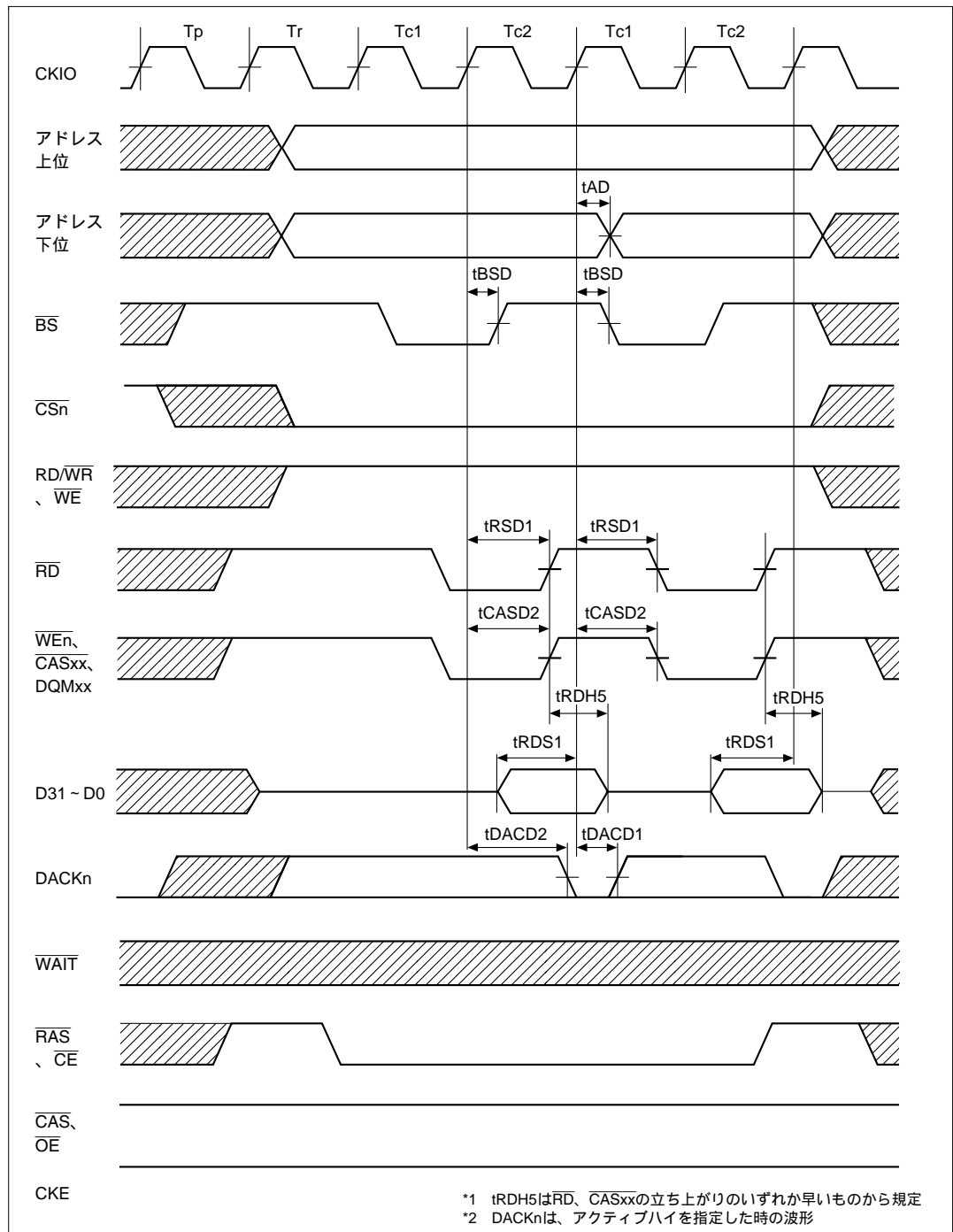


図 16.44 DRAMバーストリードサイクル
 (TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オン)

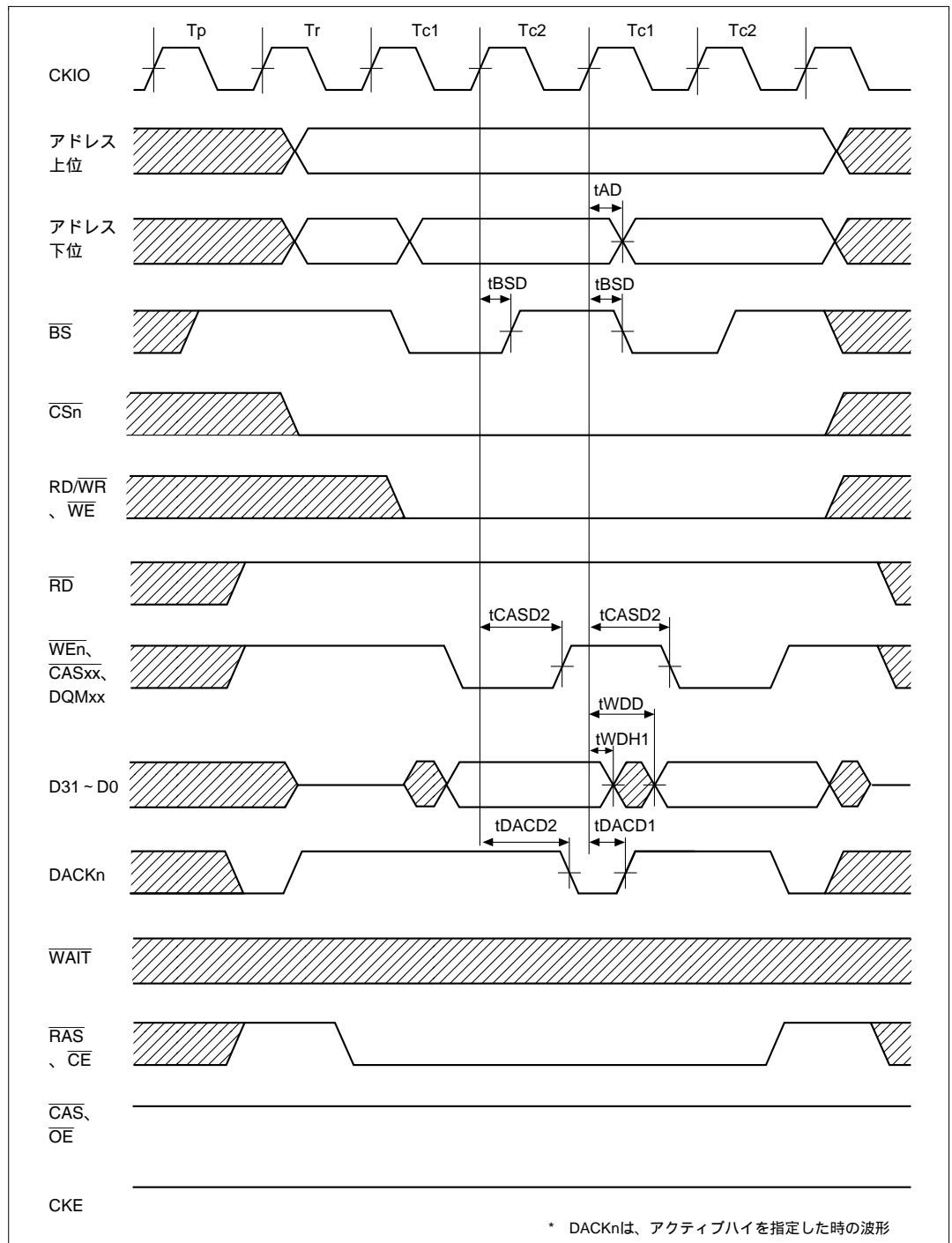


図 16.45 DRAMバーストライトサイクル
(TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オン)

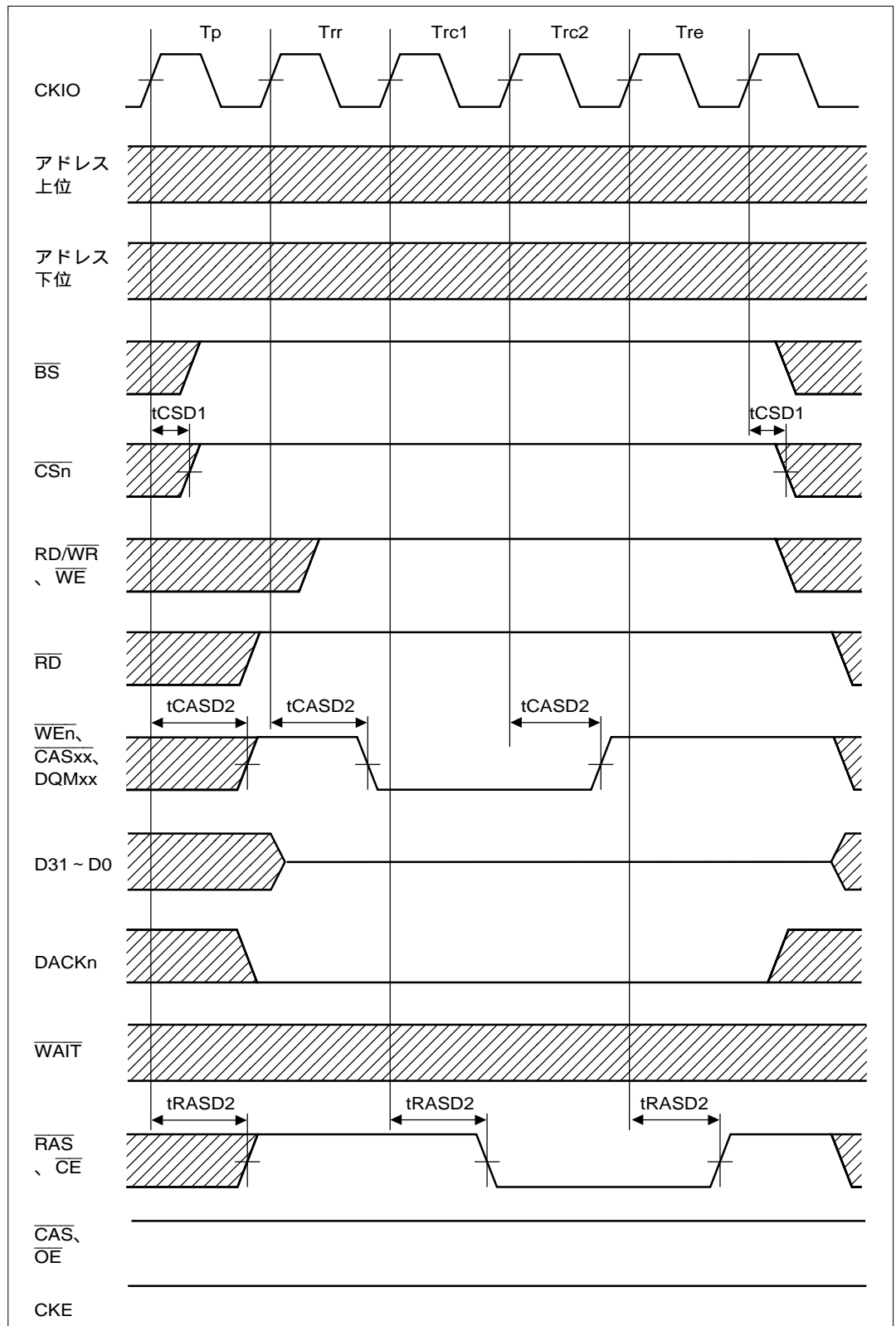


図 16.46 DRAM CAS ビフォ RAS リフレッシュサイクル
(TRP=1 サイクル、TRAS=2 サイクル、PLL オン)

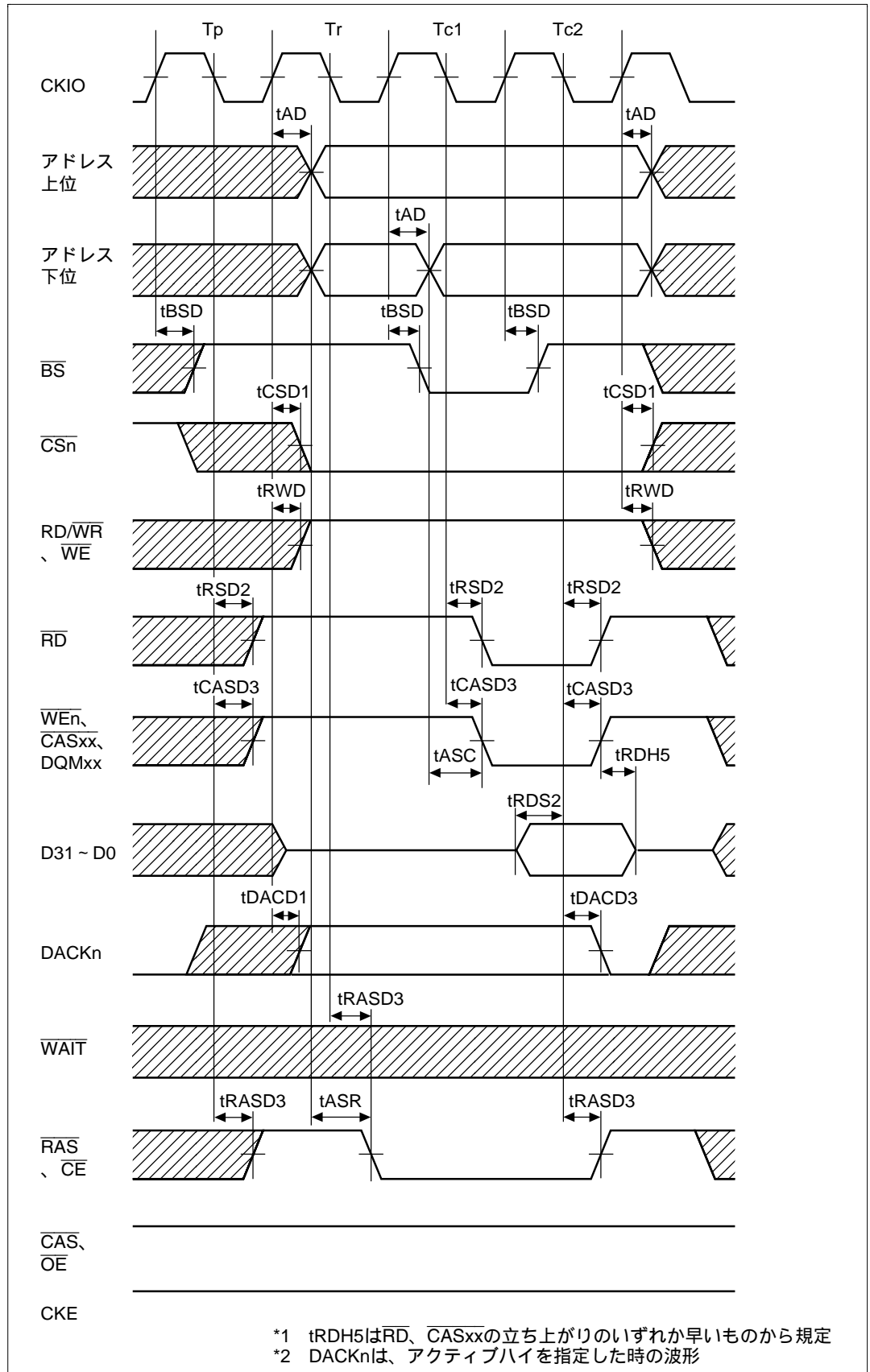


図 16.47 DRAMリードサイクル
 (TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オフ)

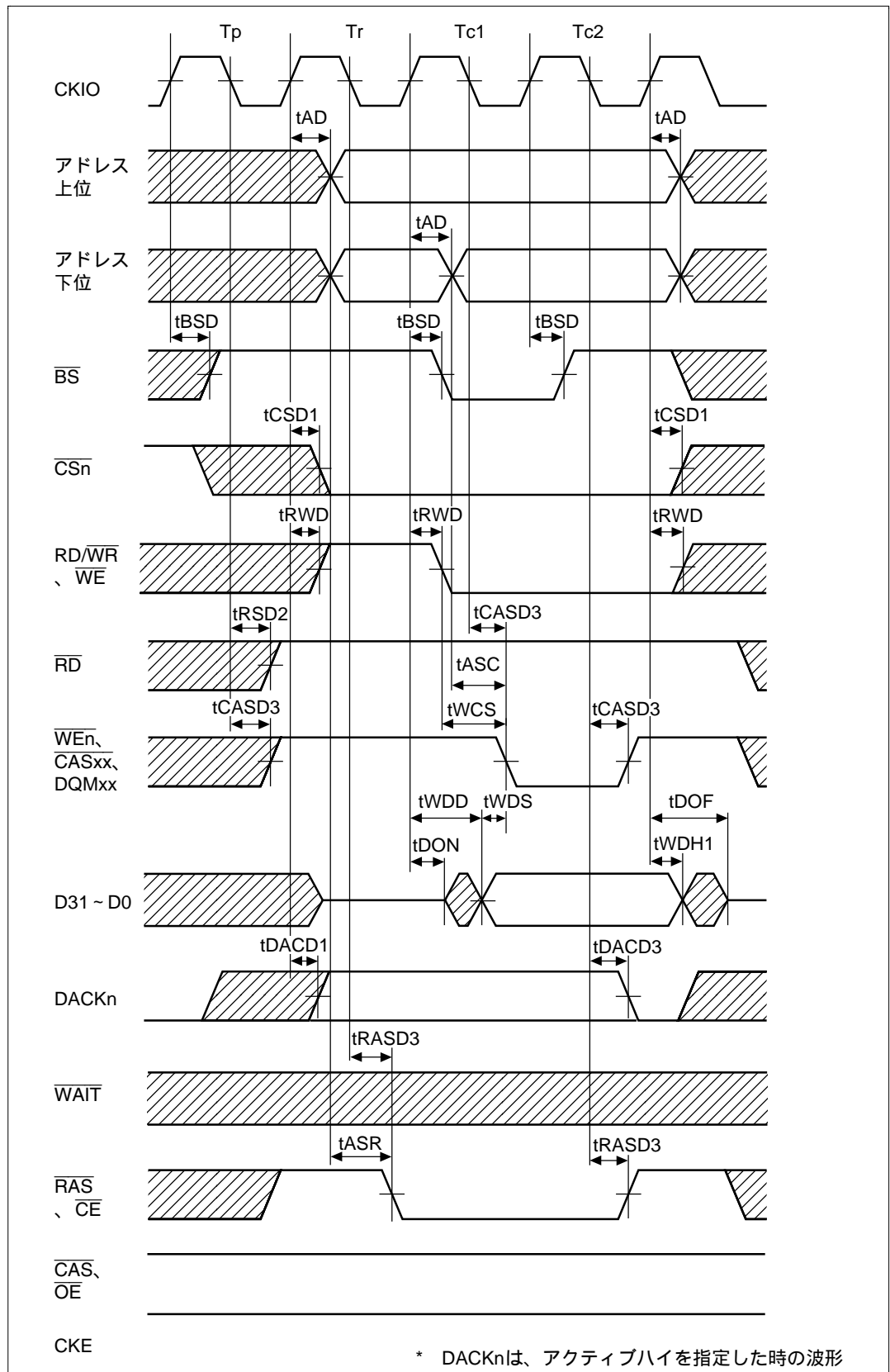


図 16.48 DRAM ライトサイクル

(TRP=1 サイクル、RCD=1 サイクル、ノーウェイト、PLL オフ)

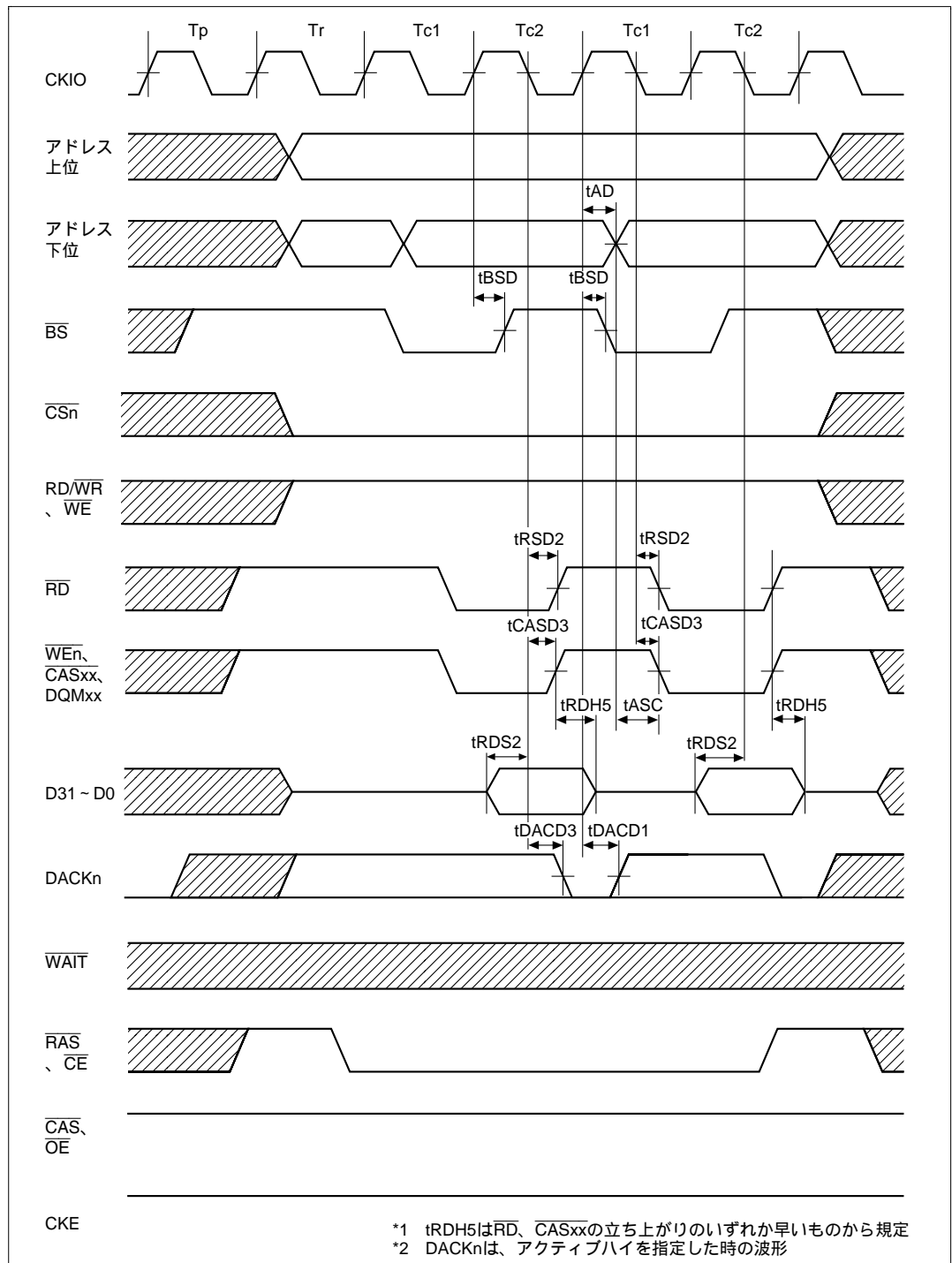


図 16.49 DRAMバーストリードサイクル
(TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オフ)

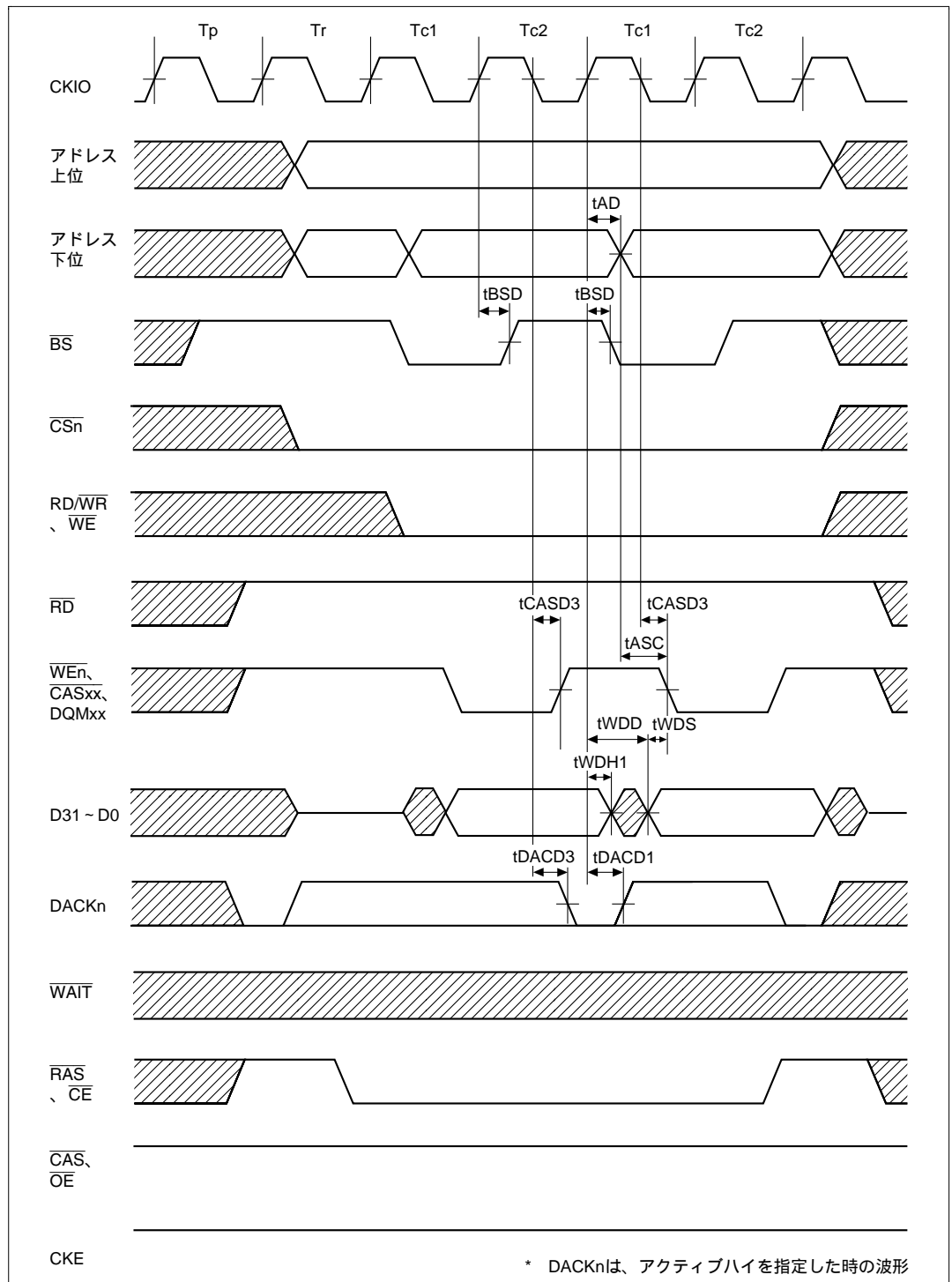


図 16.50 DRAMバーストライトサイクル
(TRP=1サイクル、RCD=1サイクル、ノーウェイト、PLL オフ)

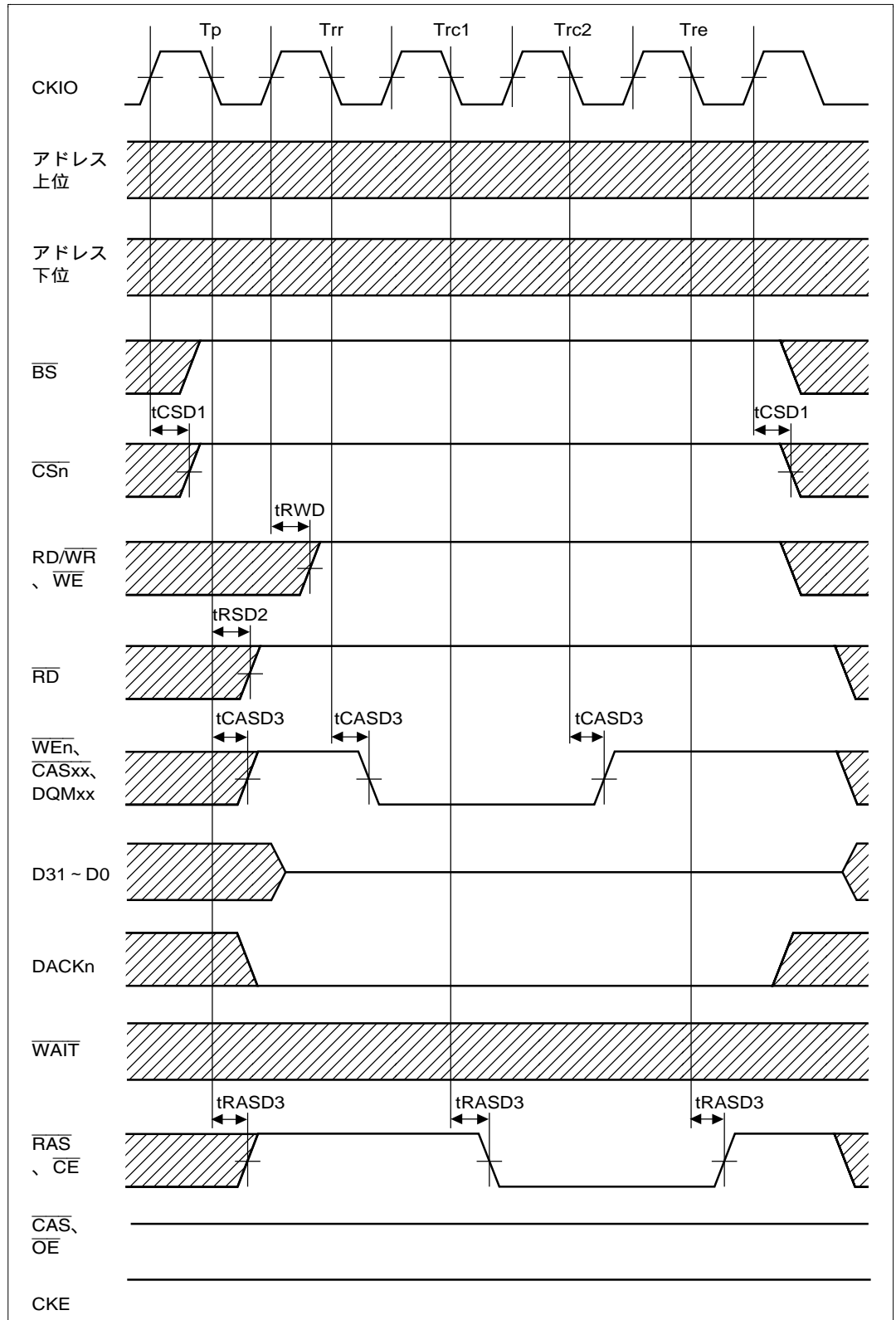


図 16.51 DRAMCAS ビフォ RAS リフレッシュサイクル
(TRP=1 サイクル、TRAS=2 サイクル、PLL オフ)

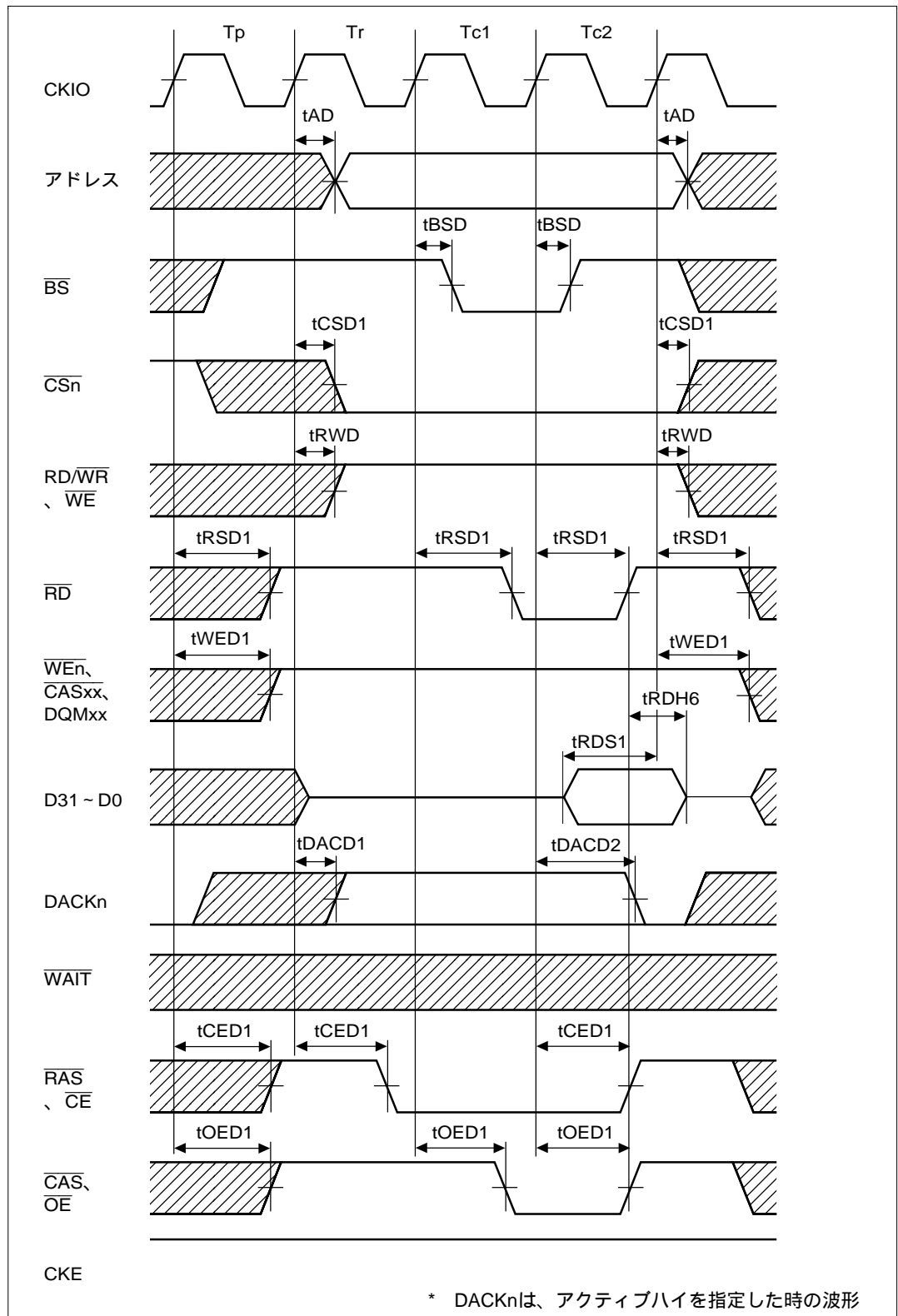


図 16.52 PSRAM リードサイクル
(PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

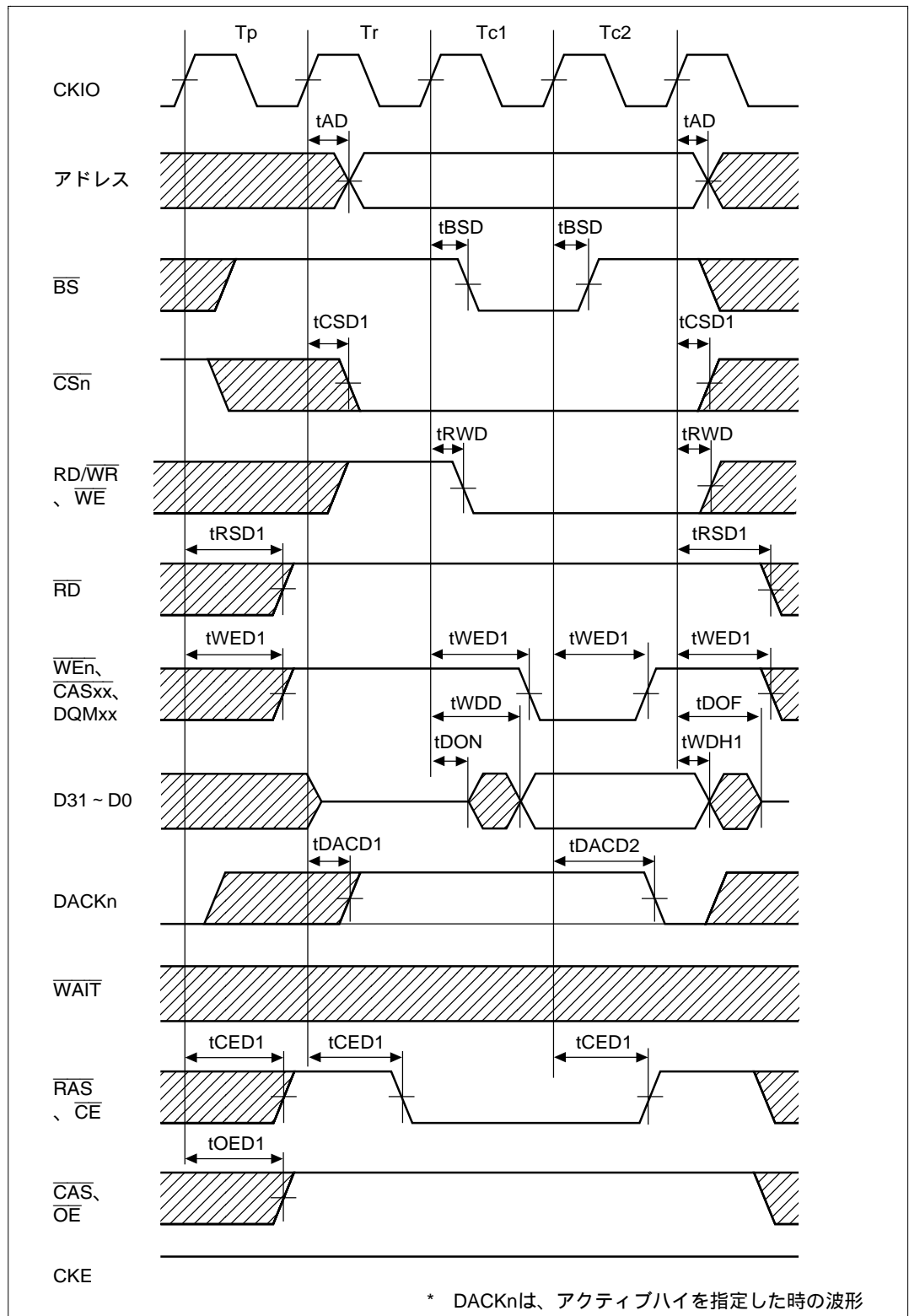


図 16.53 PSRAM ライトサイクル
(PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

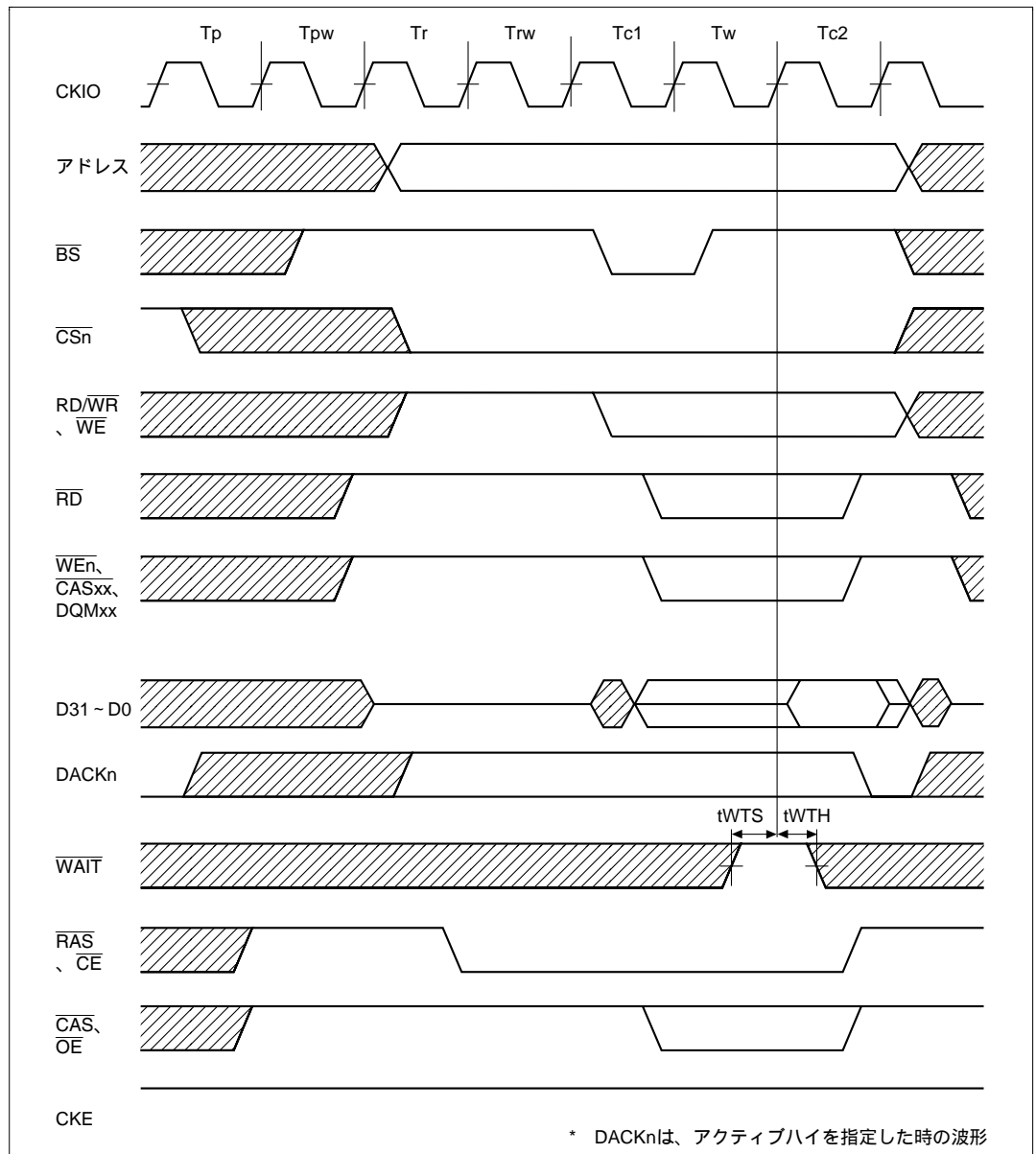


図 16.54 PSRAM バスサイクル (TRP=2 サイクル、RCD=2 サイクル、1 ウェイト)

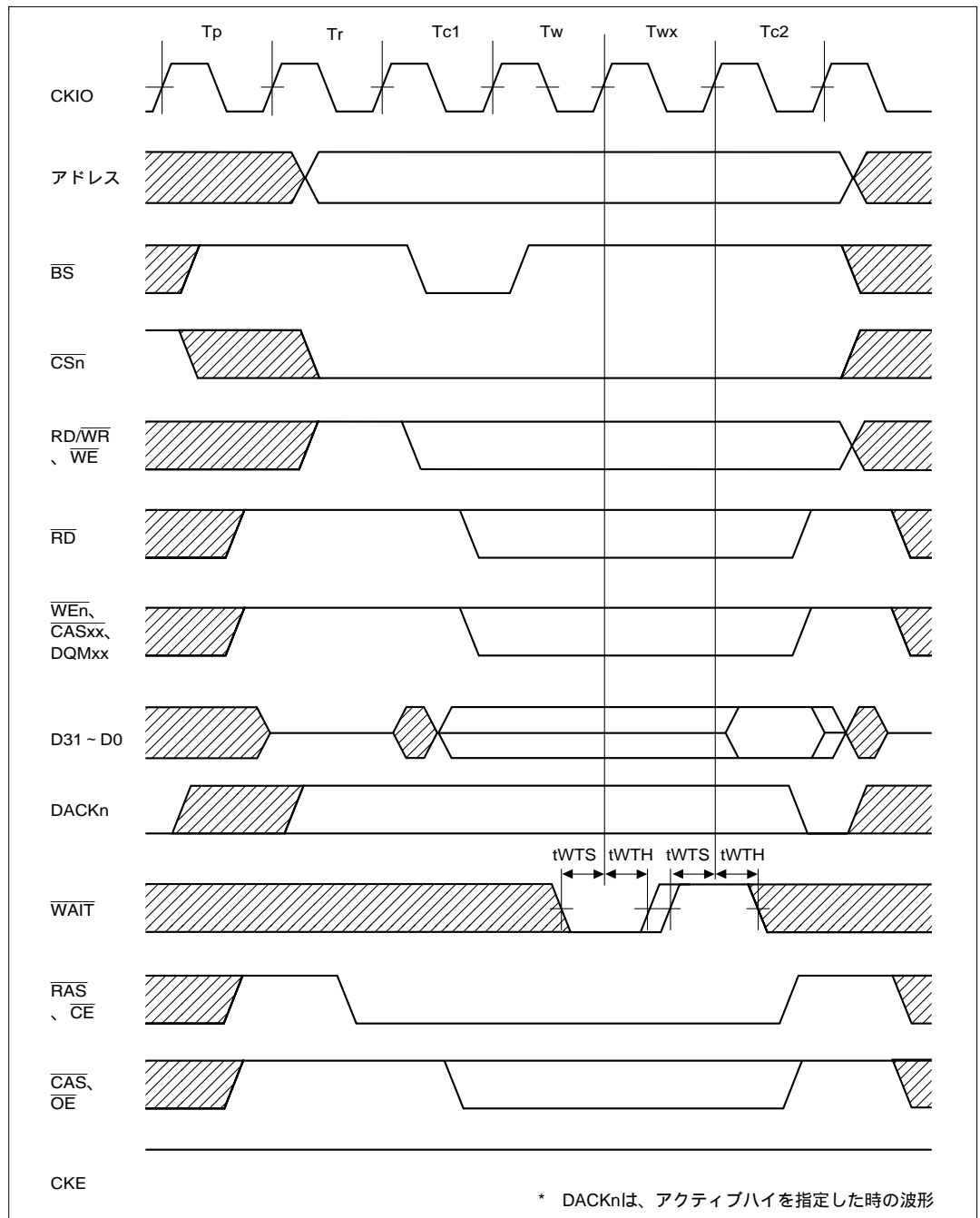


図 16.55 PSRAM バスサイクル
(TRP=1 サイクル、RCD=1 サイクル、外部ウェイト入力)

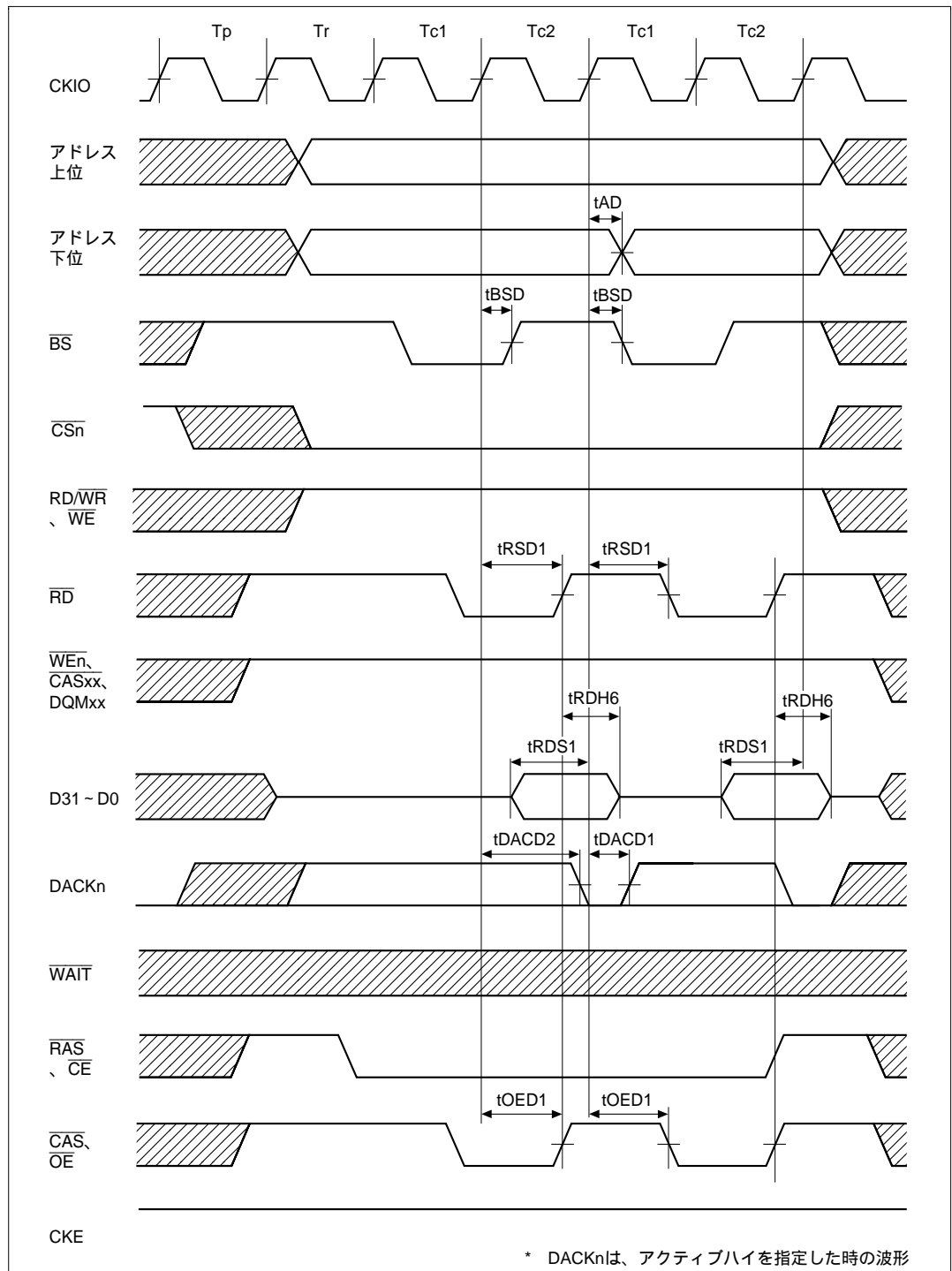


図 16.56 PSRAM リードサイクル
(スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

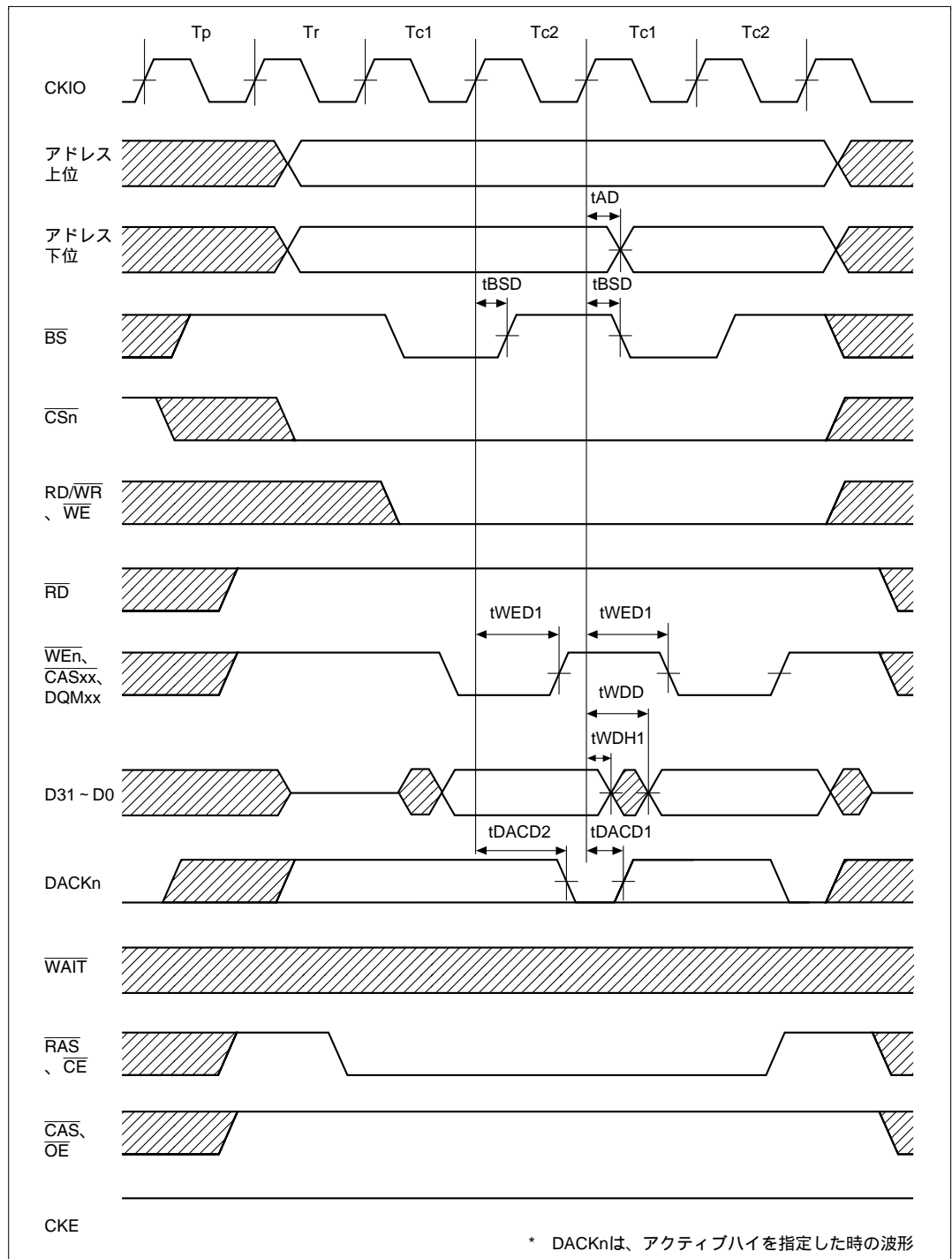


図 16.57 PSRAM ライトサイクル
 (スタティックカラム、PLL オン、TRP=1 サイクル、RCD=1 サイクル、
 ノーウェイト)

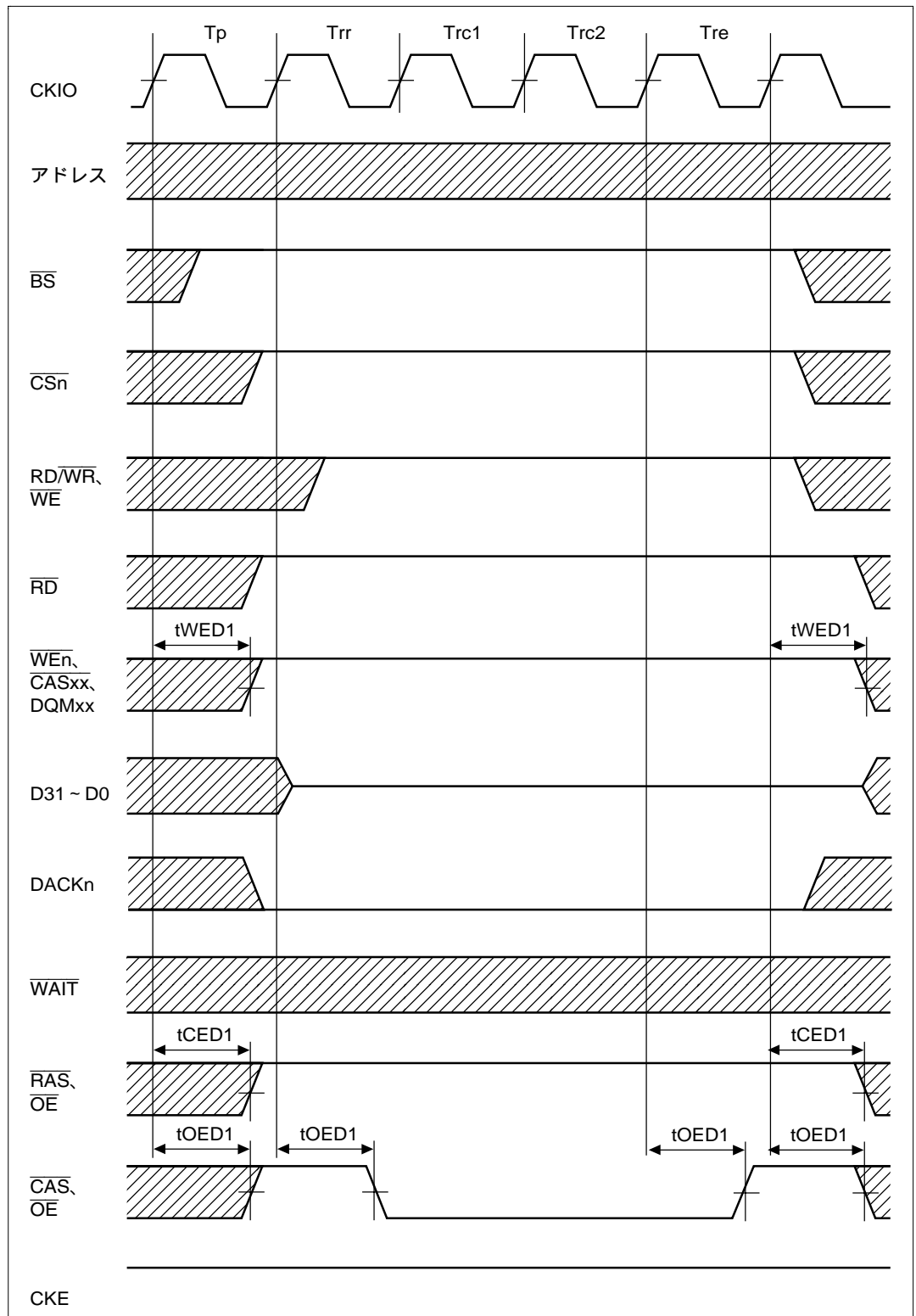


図 16.58 PSRAM オートリフレッシュサイクル
(PLL オン、TRP=1 サイクル、TRAS=2 サイクル)

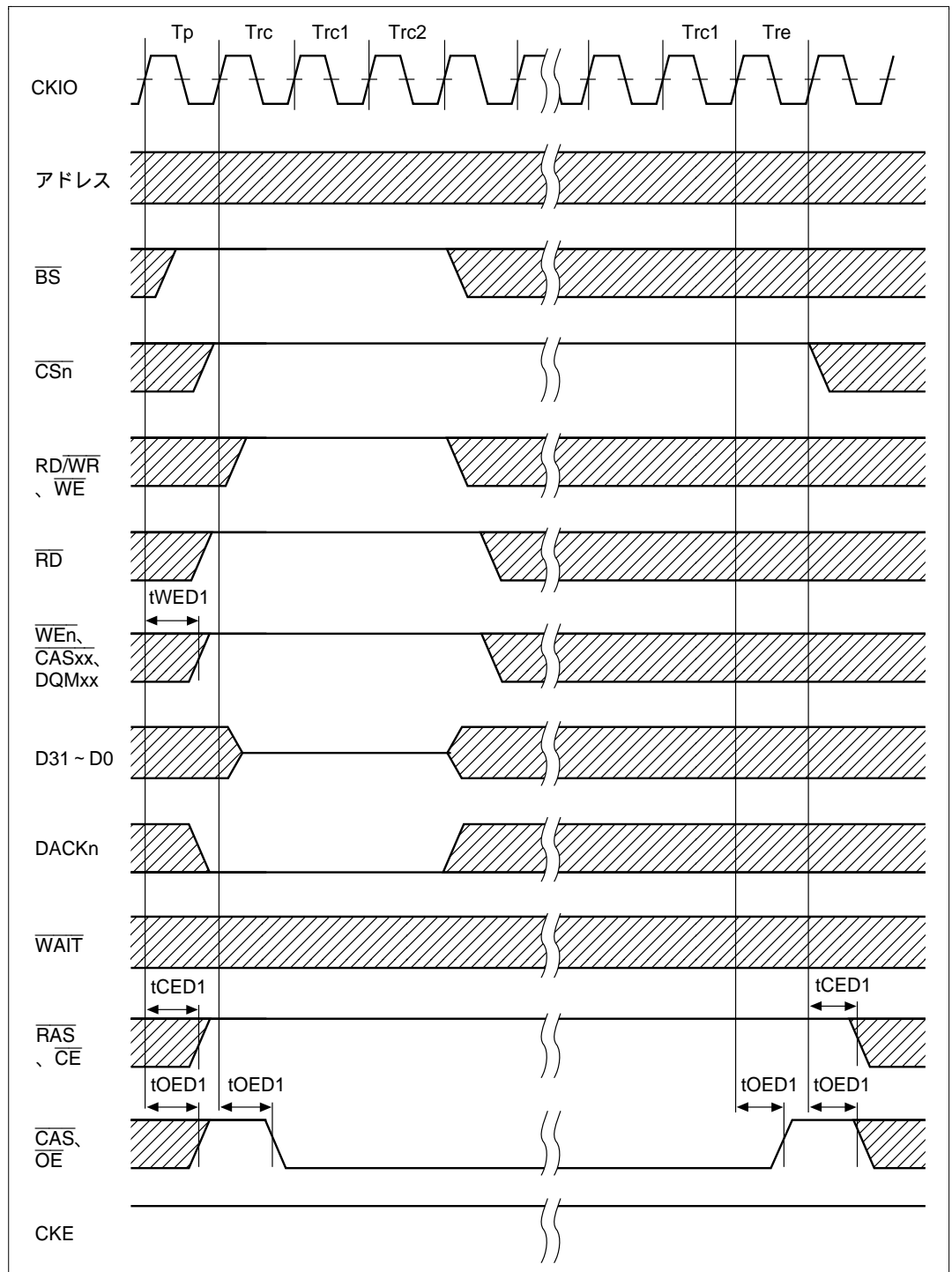


図 16.59 PSRAM セルフリフレッシュサイクル
(PLL オン、TRP=1 サイクル、TRAS=2 サイクル)

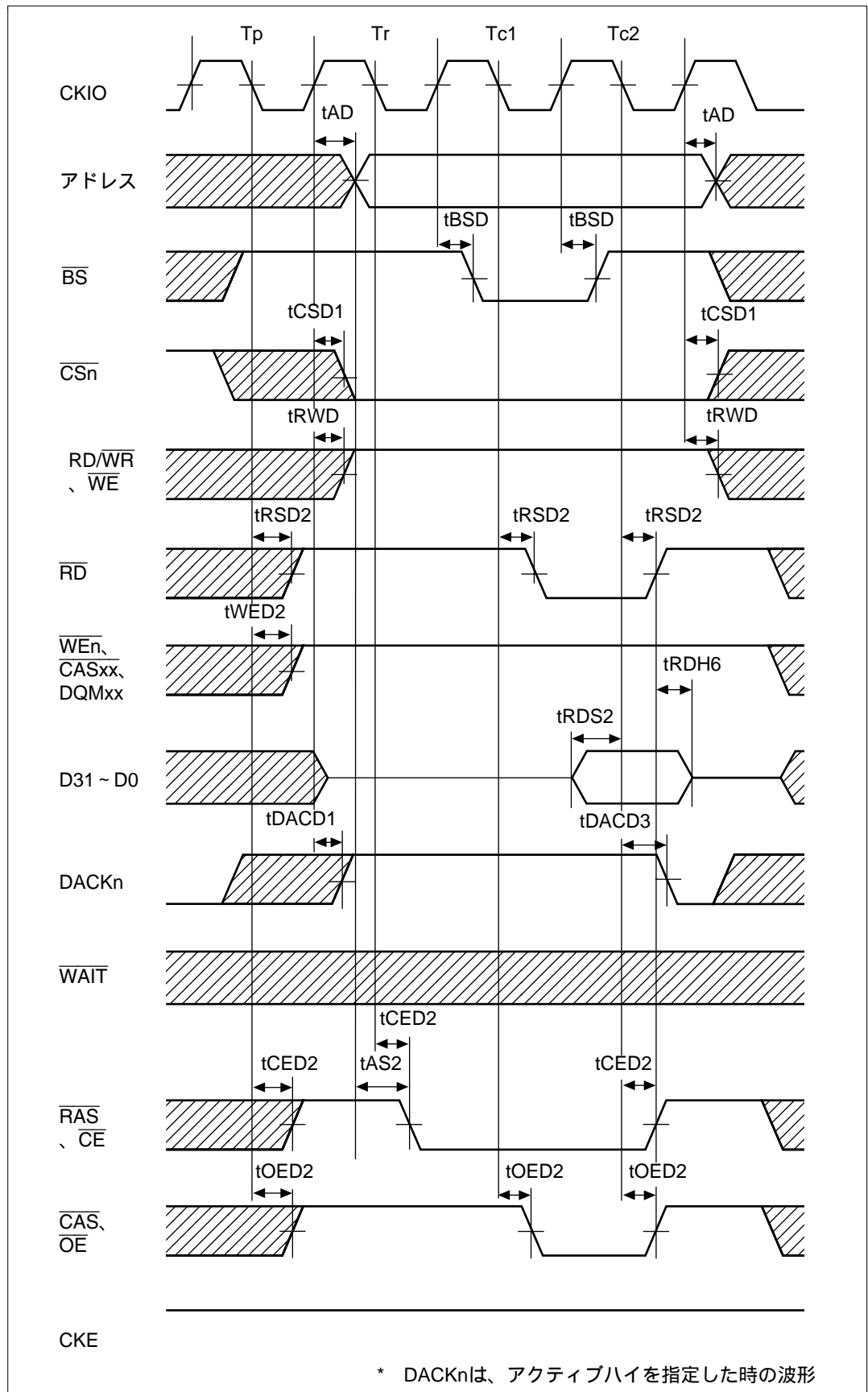


図 16.60 PSRAM リードサイクル

(PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

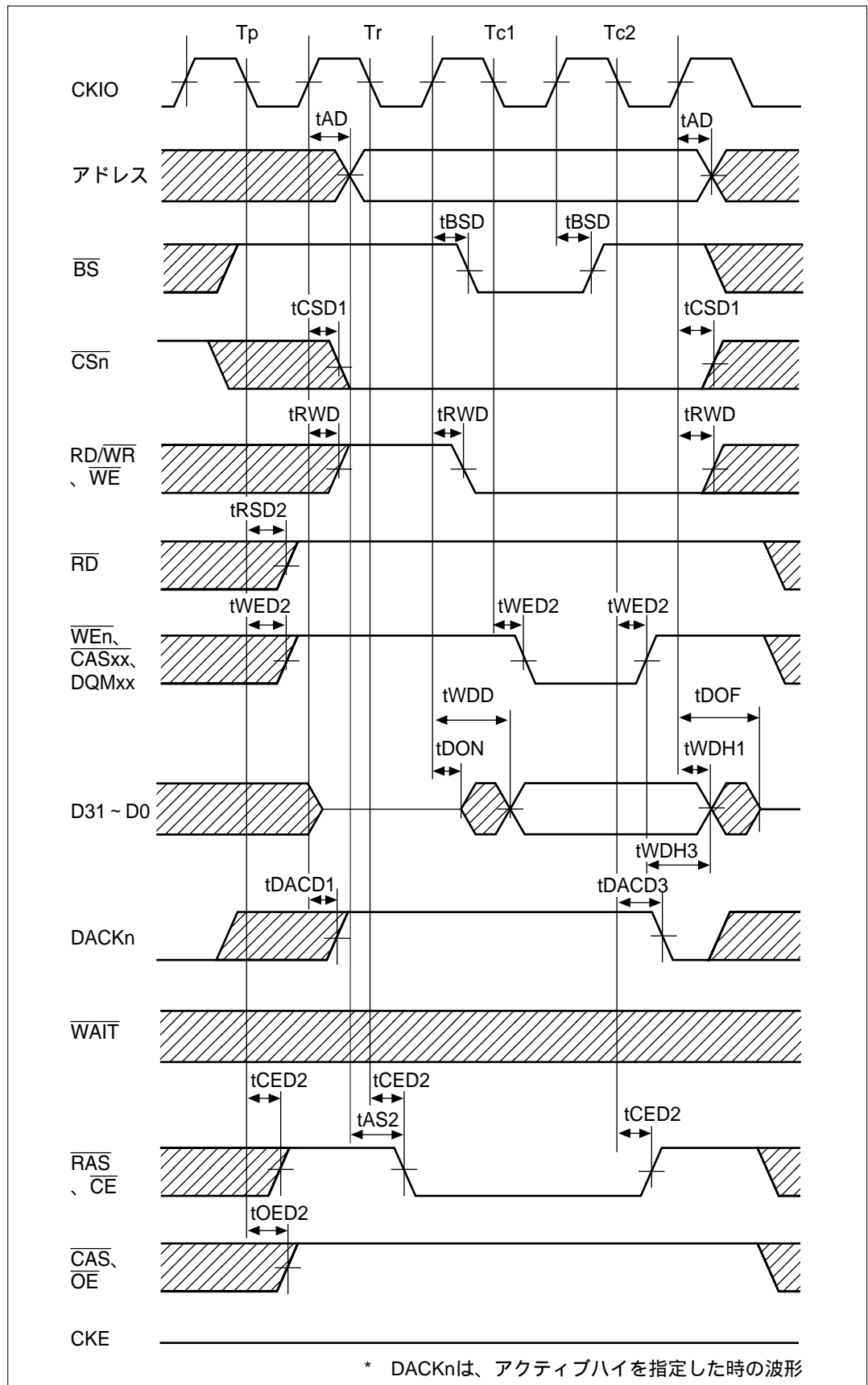


図 16.61 PSRAM ライトサイクル

(PLL オフ、TRP=1 サイクル、RCD=1 サイクル、ノーウェイト)

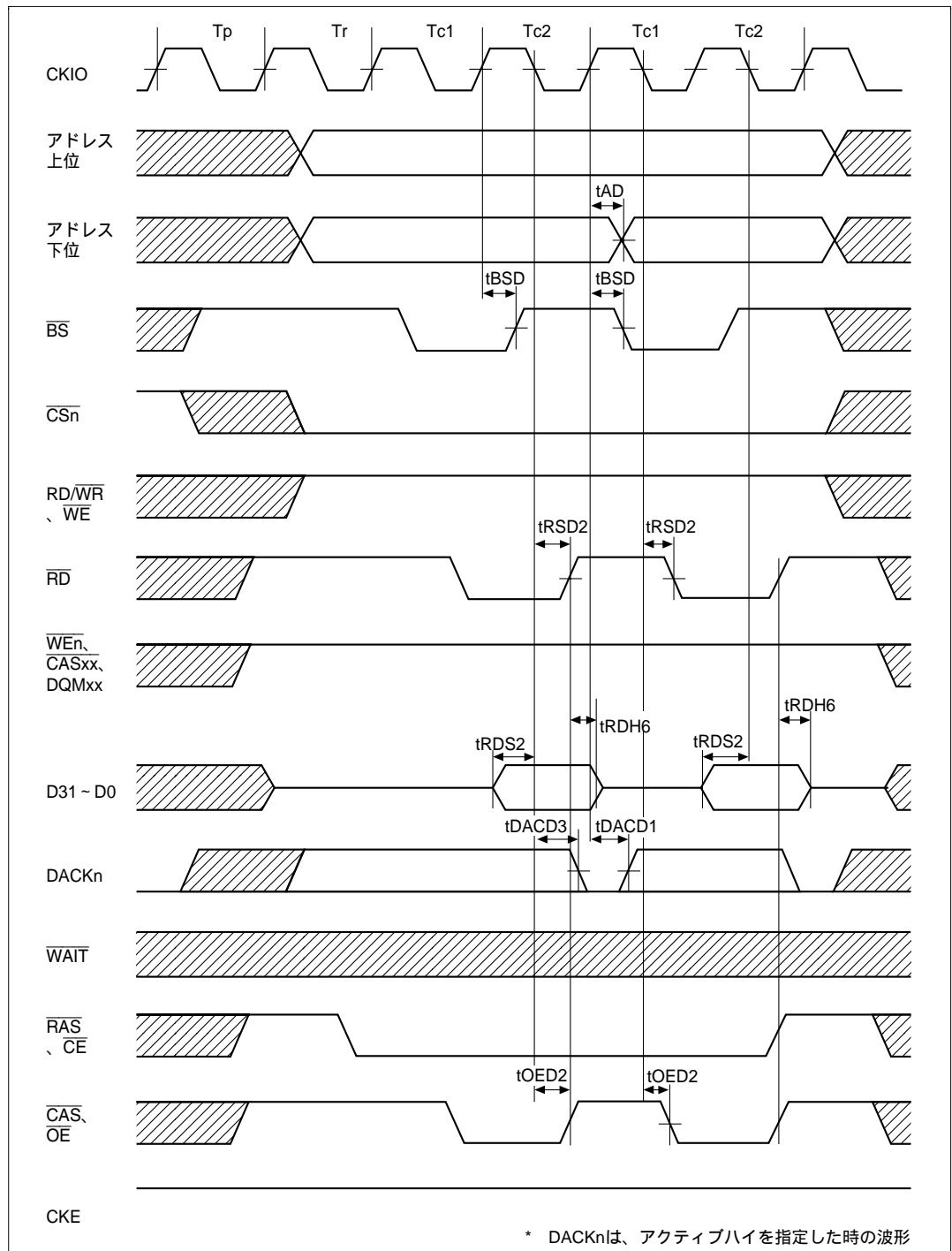


図 16.62 PSRAM リードサイクル
 (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、
 ノーウェイト)

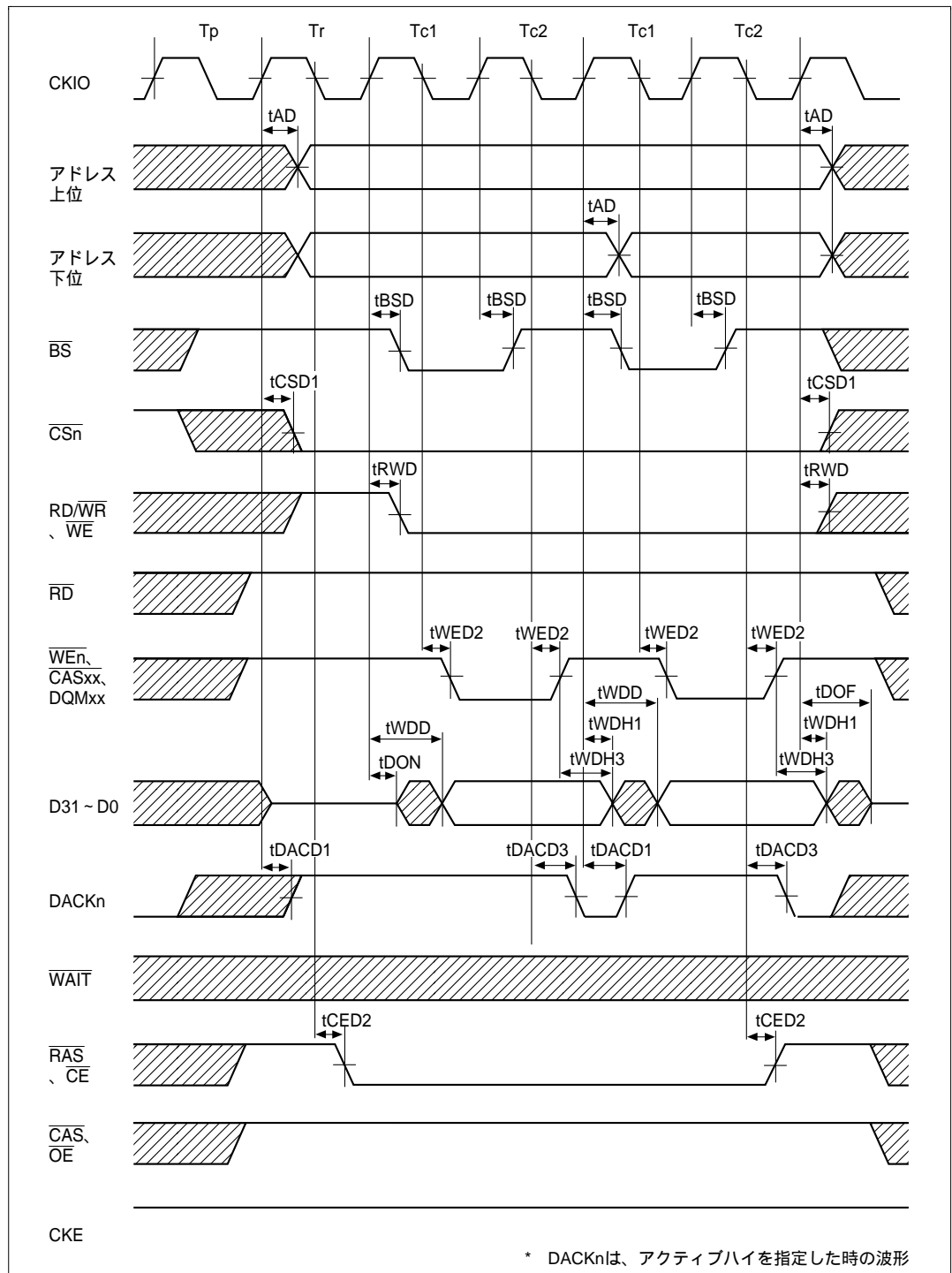


図 16.63 PSRAM ライトサイクル
 (スタティックカラム、PLL オフ、TRP=1 サイクル、RCD=1 サイクル、
 ノーウェイト)

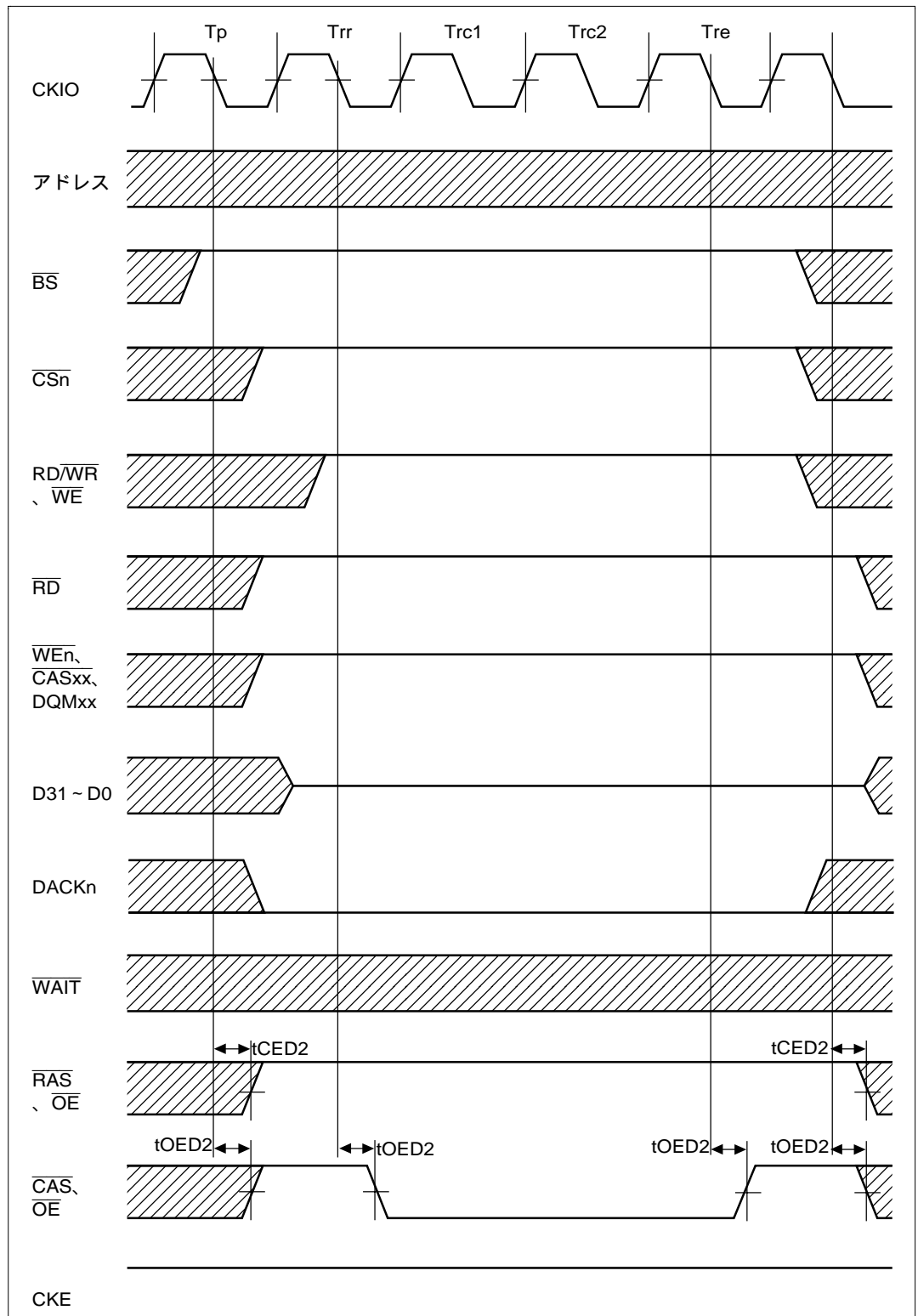


図 16.64 PSRAM オートリフレッシュサイクル
(PLL オフ、TRP=1 サイクル、TRAS=2 サイクル)

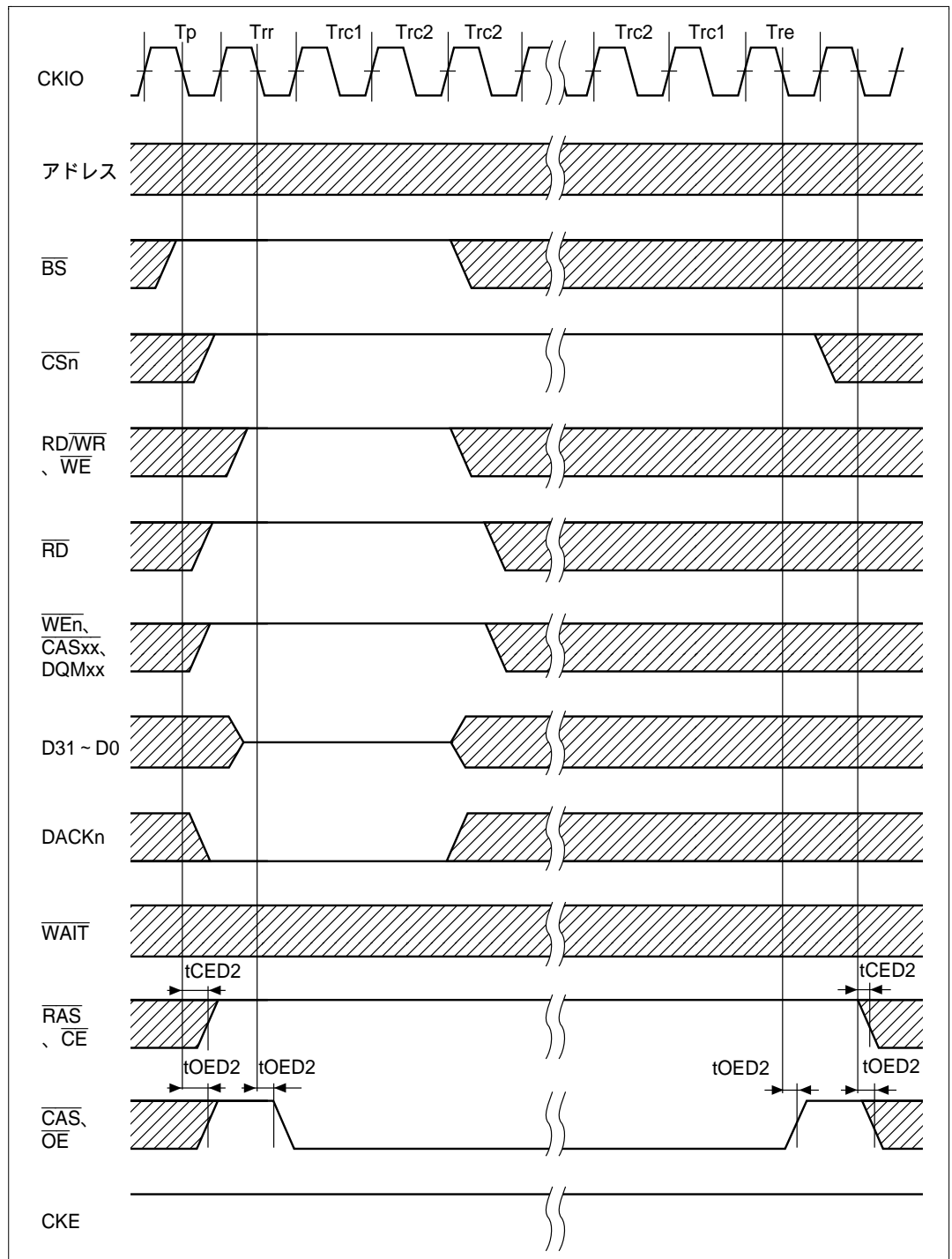


図 16.65 PSRAM セルフリフレッシュサイクル
(PLL オフ、TRP=1 サイクル、TRAS=2 サイクル)

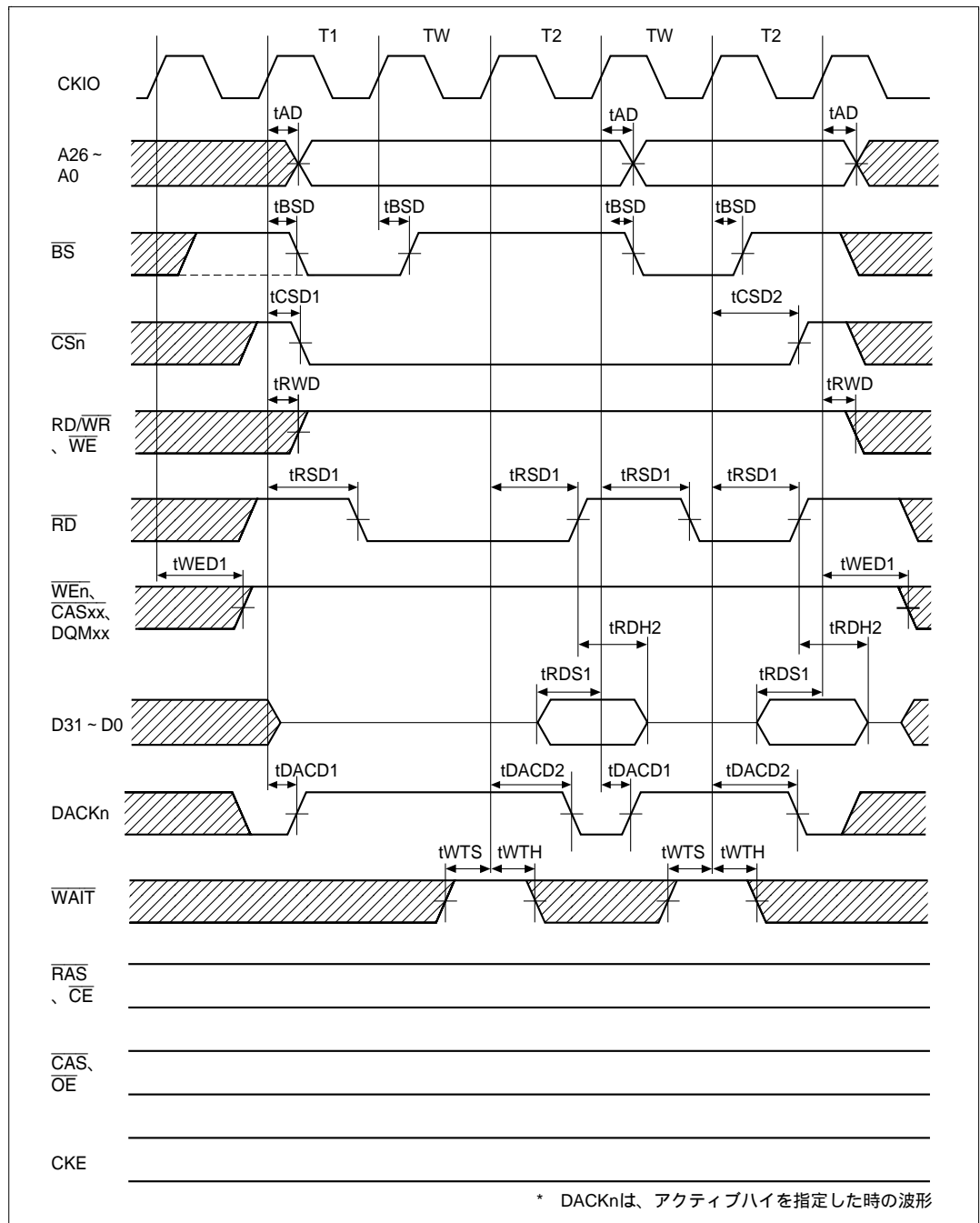


図 16.66 バーストROMリードサイクル (PLL オン、ウェイト=1)

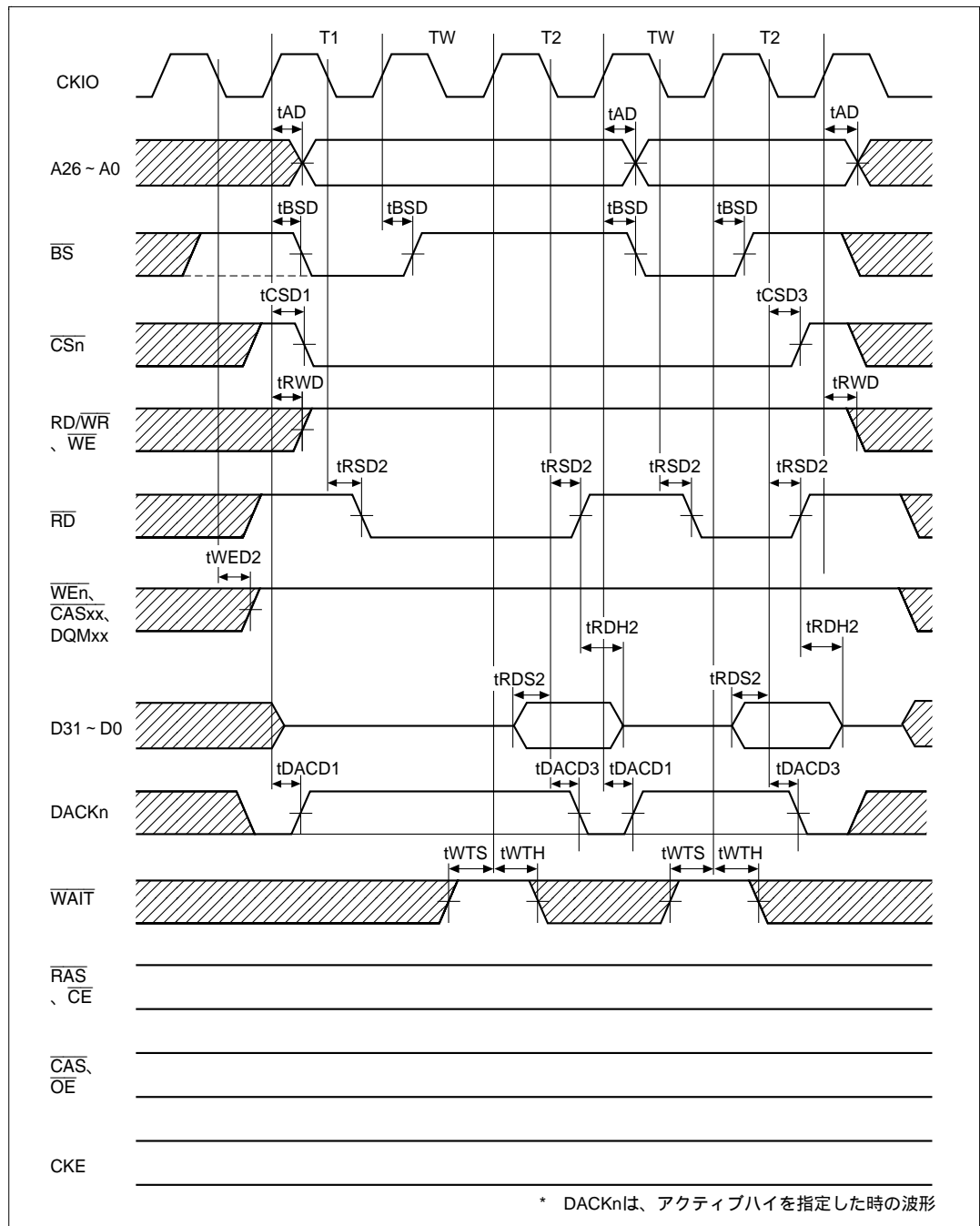


図 16.67 バーストROMリードサイクル (PLL オフ、ウェイト=1)

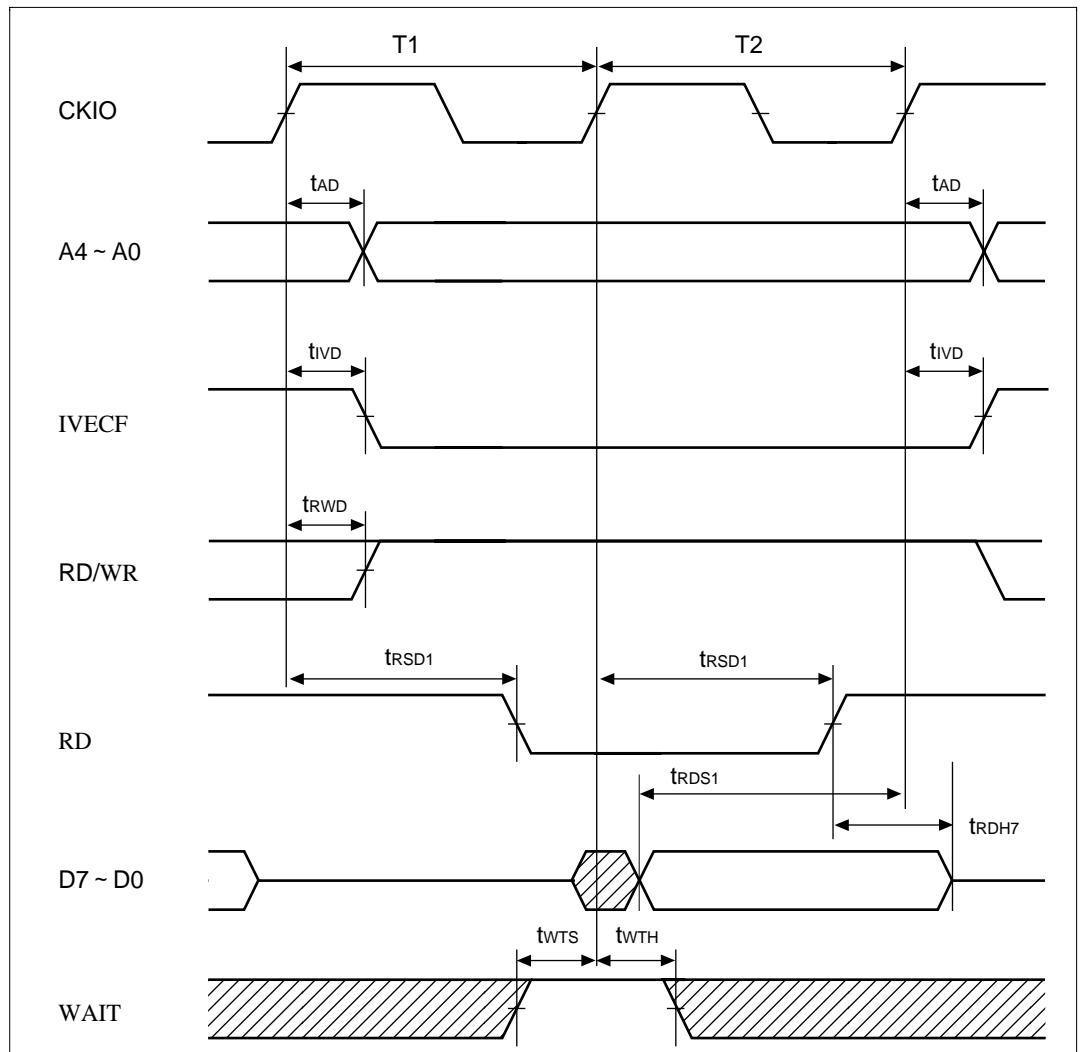


図 16.68 割り込みベクタフェッチサイクル (PLL オン、ノーウェイト)

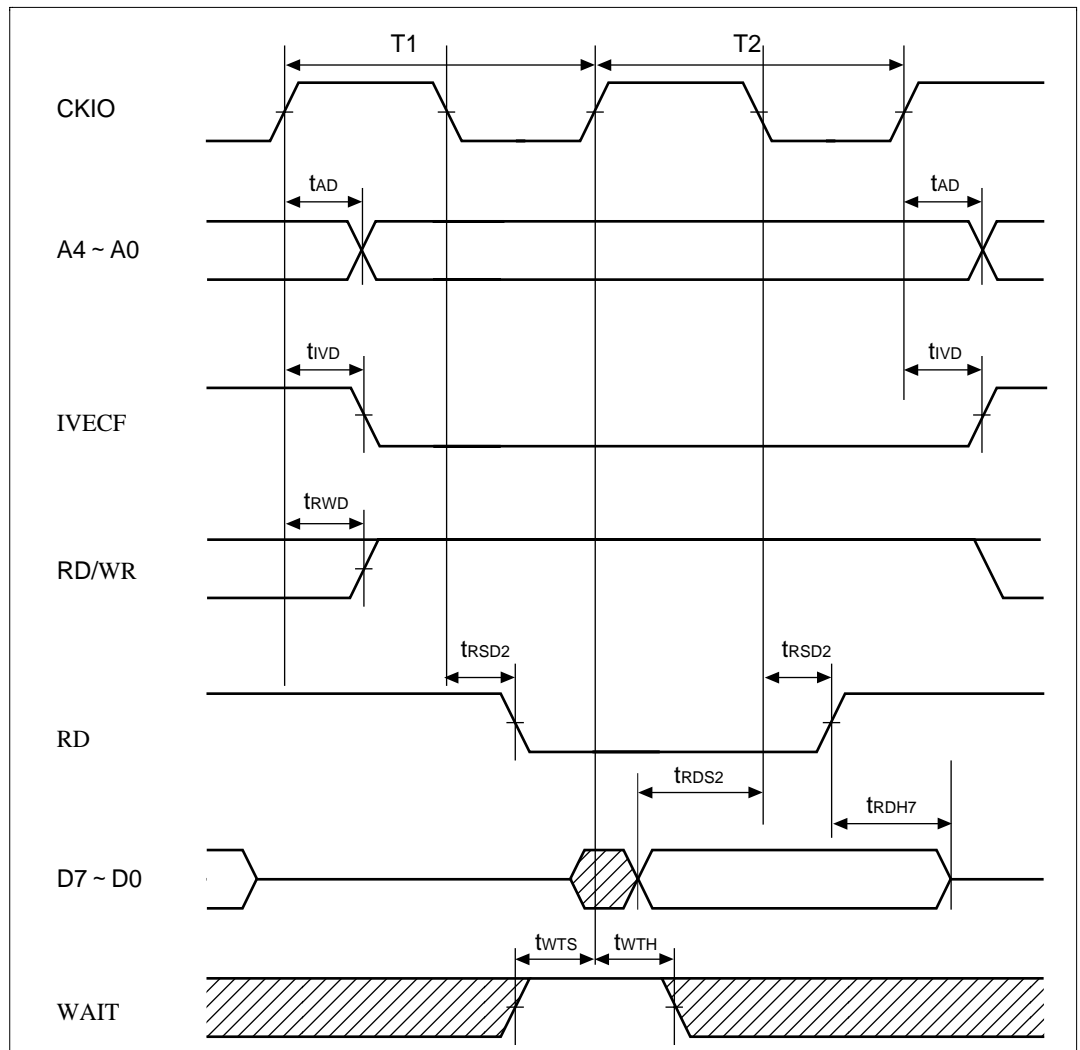


図 16.69 割り込みベクタフェッチサイクル (PLL オフ、ノーウェイト)

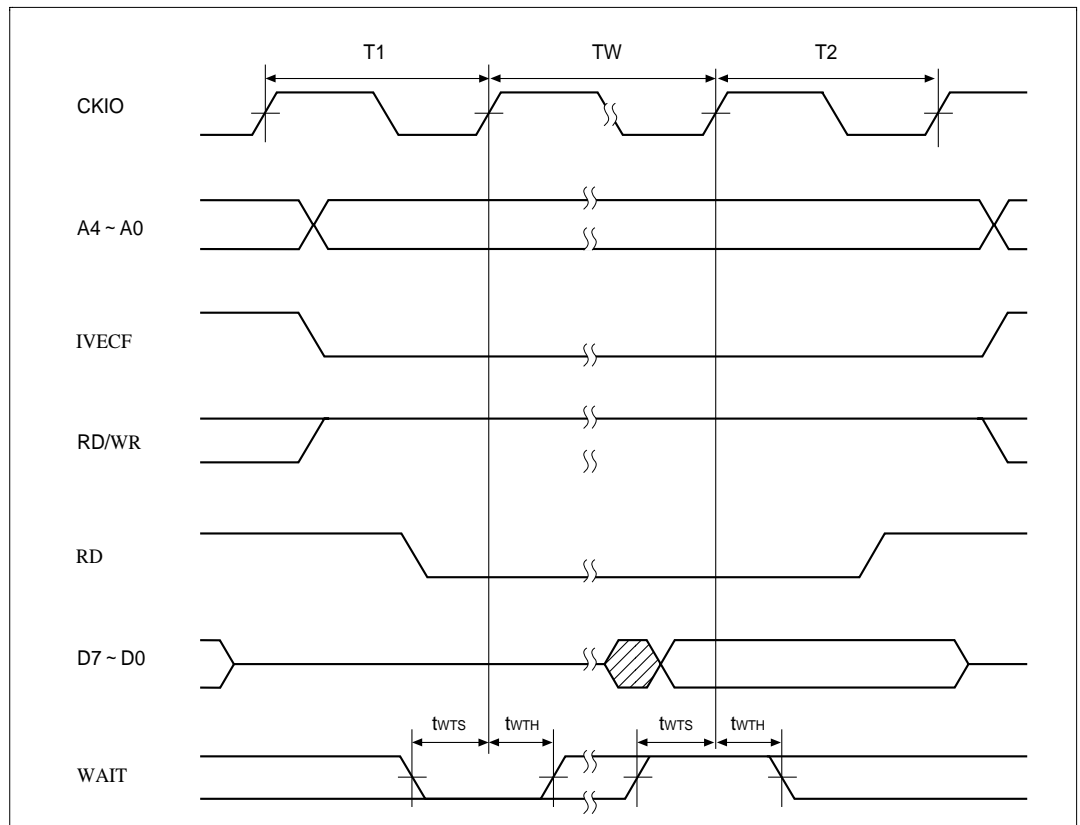


図 16.70 割り込みベクタフェッチサイクル (1 外部ウェイトサイクル)

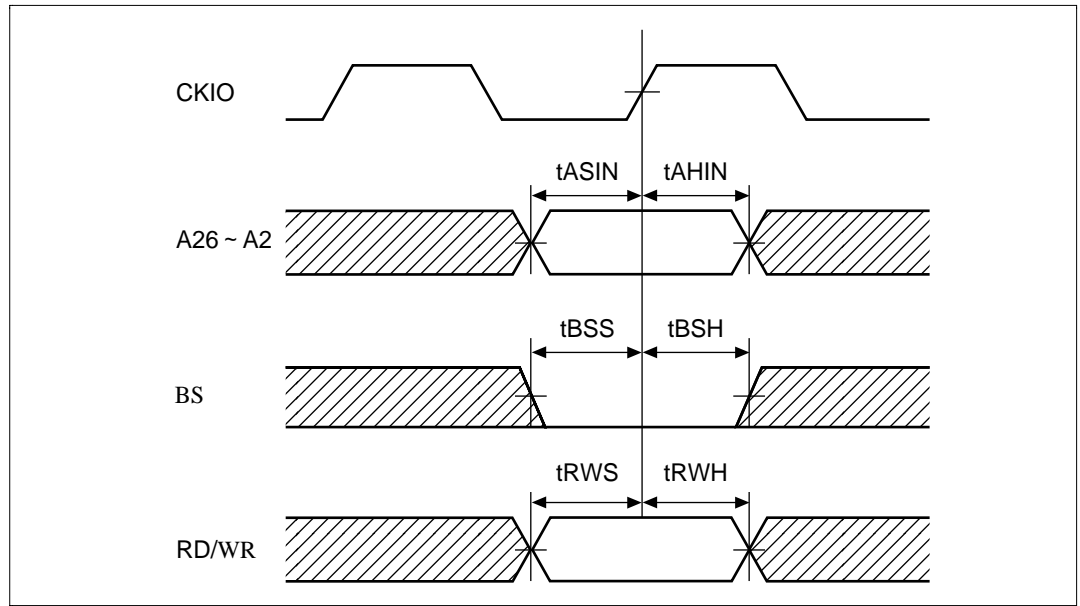


図 16.71 アドレスモニタサイクル

16.3.4 ダイレクトメモリアクセスコントローラタイミング

表 16.10 ダイレクトメモリアクセスコントローラタイミング

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------------------------|-------|--------------------|-----|------------------|-------|
| DREQ0, DREQ1 セットアップ時間 (PLL オフ、オン) | tDRQS | 50 | | ns | 16.72 |
| DREQ0, DREQ1 セットアップ時間 (PLL オン 1/4 サイクル遅延) | tDRQS | $50 - 1/4 t_{cyc}$ | | ns | |
| DREQ0, DREQ1 ホールド時間 (PLL オフ、オン) | tDRQH | 50 | | ns | |
| DREQ0, DREQ1 ホールド時間 (PLL オン 1/4 サイクル遅延) | tDRQH | $1/4 t_{cyc} + 50$ | | ns | |
| DREQ0, DREQ1 ローレベル幅 | tDRQW | 1.5 | | t _{cyc} | |

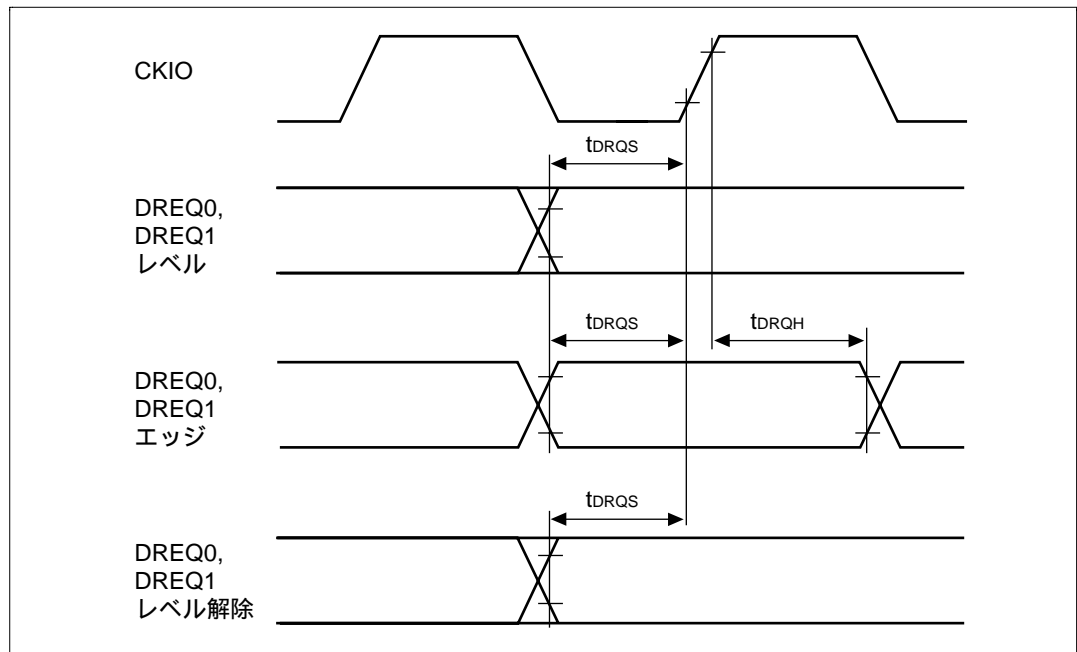


図 16.72 DREQ0、DREQ1 入力タイミング

16.3.5 フリーランタイムタイミング

表 16.11 フリーランタイムタイミング

条件 : $V_{cc} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------------------|--------|-----------------|------------------|------------------|-------|
| アウトプットコンペア出力遅延時間 (PLL オフ、オン) | tTOCD | | 320 | ns | 16.73 |
| アウトプットコンペア出力遅延時間 (PLL オン 1/4 サイクル遅延) | tTOCD | | $1/4t_{cyc}+320$ | ns | |
| インプットキャプチャ入力セットアップ 時間 (PLL オフ、オン) | tTICS | 80 | | ns | |
| インプットキャプチャ入力セットアップ時間 (PLL オン 1/4 サイクル遅延) | tTICS | $80-1/4t_{cyc}$ | | ns | |
| タイマクロック入力セットアップ時間 (PLL オフ、オン) | tTCKS | 80 | | ns | 16.74 |
| タイマクロック入力セットアップ時間 (PLL オン 1/4 サイクル遅延) | tTCKS | $80-1/4t_{cyc}$ | | ns | |
| タイマクロックパルス幅 (単エッジ指定) | tTCKWH | 4.5 | | t _{cyc} | |
| タイマクロックパルス幅 (両エッジ指定) | tTCKWL | 8.5 | | t _{cyc} | |

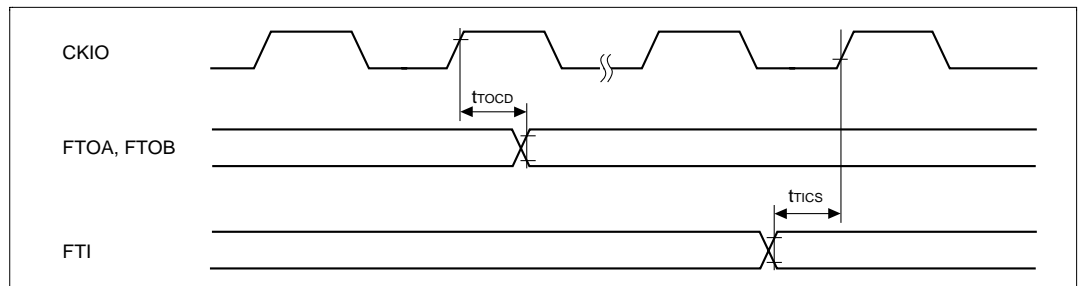


図 16.73 FRT 入出力タイミング

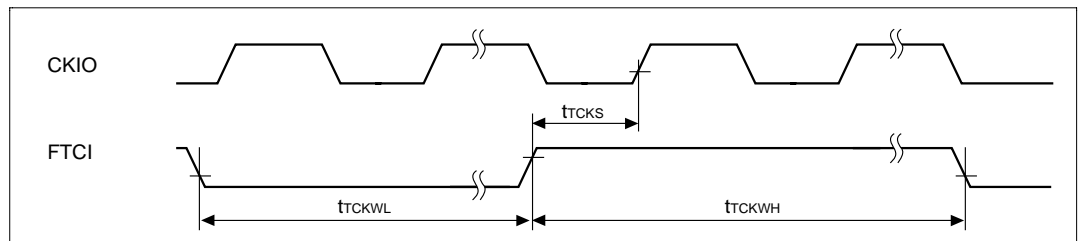


図 16.74 FRT クロック入力タイミング

16.3.6 ウォッチドッグタイマタイミング

表 16.12 ウォッチドッグタイマタイミング

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------------------------|-------|-----|-------------------|----|-------|
| \overline{WDTOVF} 遅延時間 (PLL オフ、オン) | tWOVD | | 70 | ns | 16.75 |
| \overline{WDTOVF} 遅延時間 (PLL オン 1/4 サイクル遅延) | tWOVD | | $1/4t_{cyc} + 70$ | ns | |

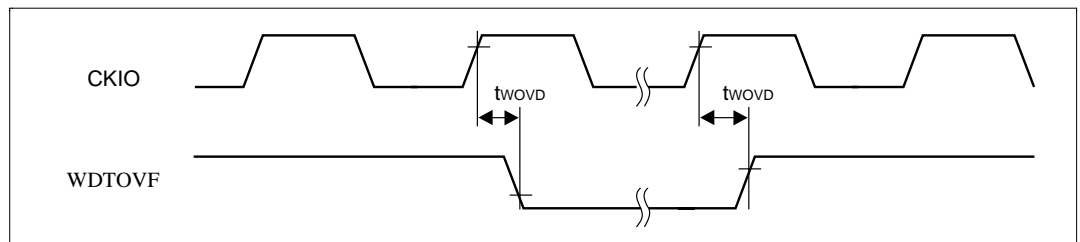


図 16.75 ウォッチドッグタイマ出力タイミング

16.3.7 シリアルコミュニケーションインタフェースタイミング

表 16.13 シリアルコミュニケーションインタフェースタイミング

条件 : $V_{CC} = 3.0 \sim 5.5V$ 、 $T_a = -20 \sim +75$

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------|-------|-----|-----|-------|-------|
| 入力クロックサイクル | tscyc | 16 | | tcyc | 16.76 |
| 入力クロックサイクル (クロック同期) | tscyc | 24 | | tcyc | |
| 入力クロックパルス幅 | tSCKW | 0.4 | 0.6 | tscyc | |
| 送信データ遅延時間 (クロック同期) | tTXD | | 70 | ns | 16.77 |
| 受信データセットアップ時間 (クロック同期) | tRXS | 70 | | ns | |
| 受信データホールド時間 (クロック同期) | tRXH | 70 | | ns | |

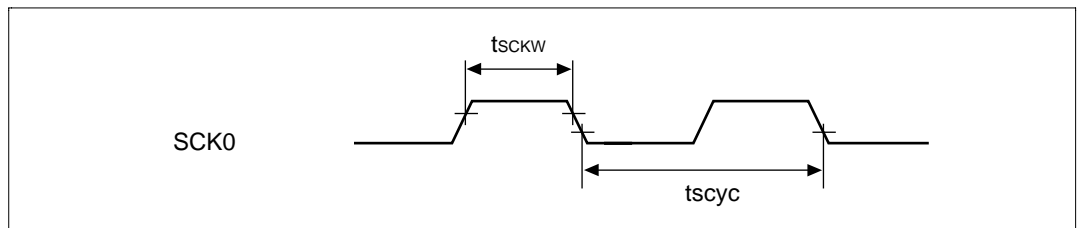


図 16.76 入力クロック入出力タイミング

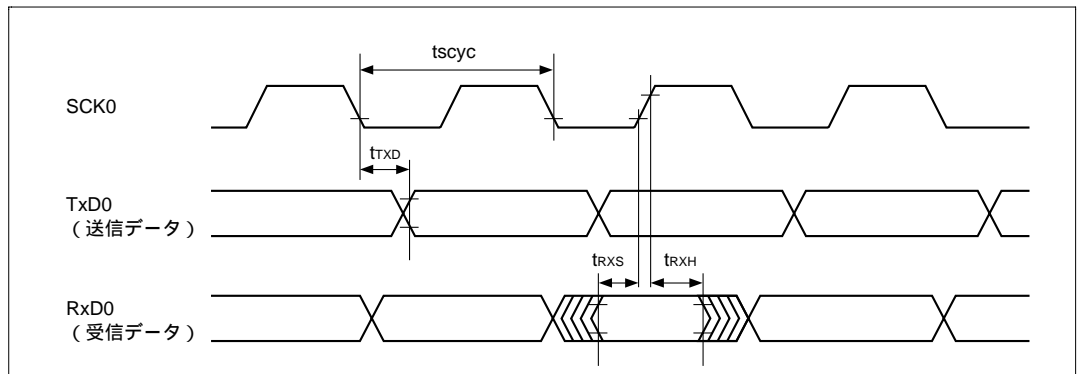


図 16.77 SCI 入出力タイミング (クロック同期式モード)

16.3.8 AC 特性測定条件

入出力信号参照レベル : 1.5 V

入力パルスレベル : $V_{SS} \sim 3.0V$ (ただし、 \overline{RES} , NMI, CKIO, MD5 ~ MD0 は $V_{SS} \sim V_{CC}$)

入力上昇、下降時間 : 1ns

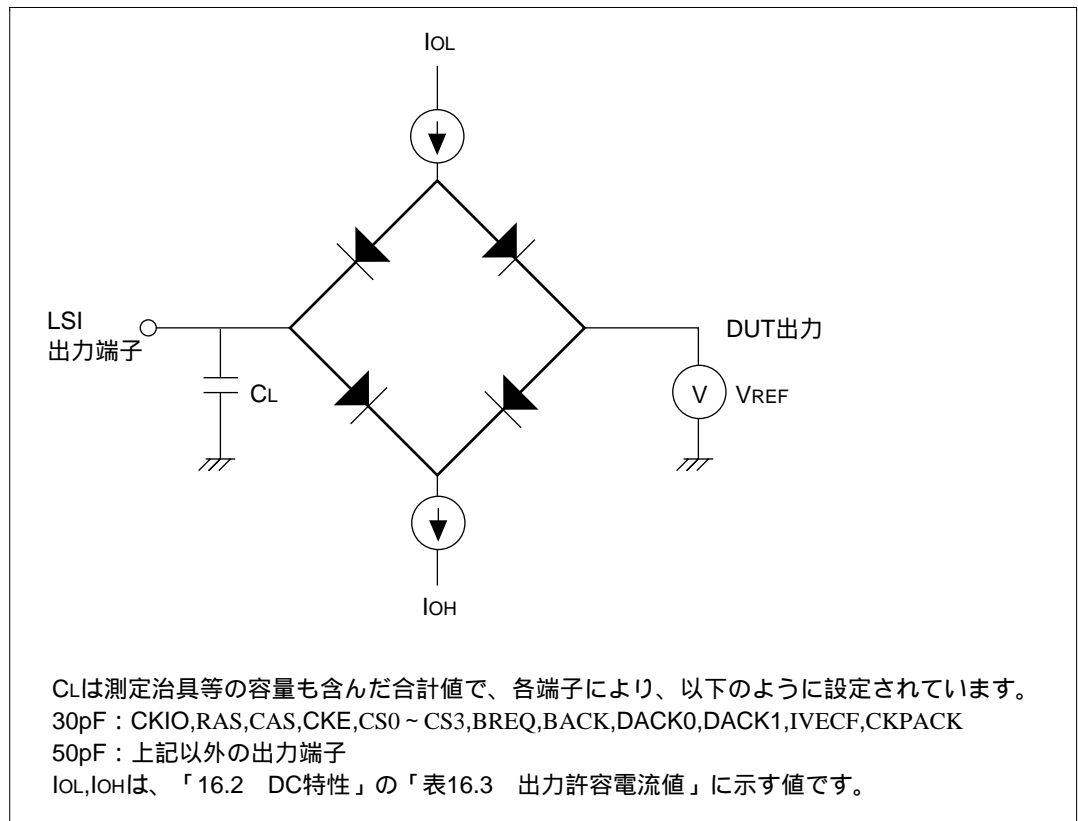


図 16.78 出力付加回路

付 録

付録 目次

| | | |
|----|----------------------------------------|-----|
| A. | 端子状態..... | 633 |
| | A.1 リセット、低消費電力状態、バス権解放状態での端子状態..... | 633 |
| B. | レジスタ一覧..... | 635 |
| | B.1 I/Oレジスタ一覧..... | 635 |
| | B.2 レジスタ早見表..... | 640 |
| C. | 外形寸法図..... | 674 |

A. 端子状態

A.1 リセット、低消費電力状態、バス権解放状態での端子状態

| 分類 | 端子名 | 端子状態 | | | | | | |
|----------------------------------|--------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| | | パワーオン リセット | | マニュアルリセット | | 低消費電力状態 | | バス権 解放状態 |
| | | マスタ | スレー | バス権 獲得時 | バス権 解放時 | スタンバイ | スリープ | |
| クロック | CKIO | IO ^{*1} | IO ^{*1} | IO ^{*1} | IO ^{*1} | IO ^{*1} | IO ^{*1} | IO ^{*1} |
| | EXTAL | I ^{*1} | I ^{*1} | I ^{*1} | I ^{*1} | I ^{*1} | I ^{*1} | I ^{*1} |
| | XTAL | O ^{*1} | O ^{*1} | O ^{*1} | O ^{*1} | O ^{*1} | O ^{*1} | O ^{*1} |
| | CKPREQ | Z | Z | I | I | I | I | I |
| | CKPACK | H | H | H | H | H ^{*2} | H | H |
| システム制御 | RESET | I | I | I | I | I | I | I |
| | WDTOVF | H | H | H | H | O | O | O |
| | BACK, BRLS | Z | Z | I | I | Z | I | I |
| | BREQ, BGR | H | H | O | O | H | O | O |
| | MD5 ~ MD0 | I | I | I | I | I | I | I |
| 割り込み | NMI | I | I | I | I | I | I | I |
| | IRL3 ~ IRL0 | Z | Z | Z | Z | I | I | I |
| | IVECF | H | H | H | H | H ^{*3} | H | H |
| アドレスバス | A26 ~ A0 | O | Z | O | Z | Z | O | Z ^{*4} |
| データバス | D31 ~ D0 | Z | Z | IO | Z | Z | Z | Z |
| バス制御 | CS3 ~ CS0 | H | Z | O | Z | H | H | Z ^{*4} |
| | BS | H | Z | O | Z | H | H | Z |
| | RDWR | H | Z | O | Z | H | H | Z ^{*4} |
| | RAS, CE | H | Z | O | Z | H | H | Z |
| | CAS, OE | H | Z | O | Z | H | H | Z |
| | CASHH, DQMUU | H | Z | O | Z | H | H | Z |
| | CASHL, DQMUL | H | Z | O | Z | H | H | Z |
| | CASLH, DQMLU | H | Z | O | Z | H | H | Z |
| | CASLL, DQMLL | H | Z | O | Z | H | H | Z |
| | RD | H | Z | O | Z | H | H | Z |
| | CKE | H | H | O | H | O | O | H |
| | WAIT | Z | Z | I | Z | Z | I | 無視 |
| ダイレクトメモリ アクセスコントローラ (DMAC) | DACK1 ~ 0 | H | H | H | H | K ^{*3} | O | O |
| | DREQ1 ~ 0 | Z | Z | Z | Z | Z | I | I |
| 16ビット フリーランニング タイマ(FRT) | FTOA | L | L | L | L | K ^{*3} | O | O |
| | FTOB | L | L | L | L | K ^{*3} | O | O |
| | FTI | Z | Z | Z | Z | K ^{*3} | I | I |
| | FTCI | Z | Z | Z | Z | K ^{*3} | I | I |
| シリアル コミュニケーション インタフェース | RXD | Z | Z | Z | Z | K ^{*3} | I | I |
| | TXD | H | H | H | H | K ^{*3} | O | O |
| | SCK | Z | Z | Z | Z | K ^{*3} | IO | I |

I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 入力端子はハイインピーダンス、出力端子は状態保持

【注】 スリープの時、DMAC が動作していればアドレス / データバス、およびバス制御信号は DMAC の動作に依存して変化します (リフレッシュ時も同様です)。

*1: クロックモードに依存します (MD2~0 端子の設定)。

*2: クロックポーズでのスタンバイモードではローレベル出力です。

*3: スタンバイコントロールレジスタ (SBYCR) のハイインピーダンスビット (HIZ) を1 にすると出力端子は、ハイインピーダンスになります。

*4: 外部バスサイクルのアドレスモニタ時、入力となります。

B. レジスタ一覧

B.1 I/Oレジスタ一覧

| アドレス | レジスタ 略称 | ビット名 | | | | | | | | モジュール |
|---------------------------------|------------|--------|--------|--------|--------|--------|--------|--------|--------|------------------|
| | | ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 | |
| H'FFFFFFE00 | SMR | C/A | CHR | PE | O/E | STOP | MP | CKS1 | CKS0 | SCI |
| H'FFFFFFE01 | BRR | | | | | | | | | |
| H'FFFFFFE02 | SCR | TIE | RIE | TE | RE | MPIE | TEIE | CKE1 | CKE0 | |
| H'FFFFFFE03 | TDR | | | | | | | | | |
| H'FFFFFFE04 | SSR | TDRE | RDRF | ORER | FER | PER | TEND | MPB | MPBT | |
| H'FFFFFFE05 | RDR | | | | | | | | | |
| H'FFFFFFE06 ~ H'FFFFFFE09 | - | - | - | - | - | - | - | - | - | - |
| H'FFFFFFE10 | TIER | ICIE | - | - | - | OCIAE | OCIBE | OVIE | - | FRT |
| H'FFFFFFE11 | FTCSR | ICF | - | - | - | OCFA | OCFB | OVF | CCLRA | |
| H'FFFFFFE12 | FRC | | | | | | | | | |
| H'FFFFFFE13 | | | | | | | | | | |
| H'FFFFFFE14 | OCRA/B | | | | | | | | | |
| H'FFFFFFE15 | | | | | | | | | | |
| H'FFFFFFE16 | TCR | IEDGA | - | - | - | - | - | CKS1 | CKS0 | |
| H'FFFFFFE17 | TOCR | - | - | - | OCRS | - | - | OLVLA | OLVLB | |
| H'FFFFFFE18 | FICR | | | | | | | | | |
| H'FFFFFFE19 | | | | | | | | | | |
| H'FFFFFFE20 ~ H'FFFFFFE59 | - | - | - | - | - | - | - | - | - | - |
| H'FFFFFFE60 | IPRB | SCIIP3 | SCIIP2 | SCIIP1 | SCIIP0 | FRTIP3 | FRTIP2 | FRTIP1 | FRTIP0 | INTC |
| H'FFFFFFE61 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFE62 | VCRA | - | SERV6 | SERV5 | SERV4 | SERV3 | SERV2 | SERV1 | SERV0 | |
| H'FFFFFFE63 | | - | SRXV6 | SRXV5 | SRXV4 | SRXV3 | SRXV2 | SRXV1 | SRXV0 | |
| H'FFFFFFE64 | VCRB | - | STXV6 | STXV5 | STXV4 | STXV3 | STXV2 | STXV1 | STXV0 | |
| H'FFFFFFE65 | | - | STEV6 | STEV5 | STEV4 | STEV3 | STEV2 | STEV1 | STEV0 | |
| H'FFFFFFE66 | VCRC | - | FICV6 | FICV5 | FICV4 | FICV3 | FICV2 | FICV1 | FICV0 | |
| H'FFFFFFE67 | | - | FOCV6 | FOCV5 | FOCV4 | FOCV3 | FOCV2 | FOCV1 | FOCV0 | |
| H'FFFFFFE68 | VCRD | - | FOVV6 | FOVV5 | FOVV4 | FOVV3 | FOVV2 | FOVV1 | FOVV0 | |
| H'FFFFFFE69 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFE6A ~ H'FFFFFFE70 | - | - | - | - | - | - | - | - | - | - |
| H'FFFFFFE71 | DRCR0 | - | - | - | - | - | - | RS1 | RS0 | DMAC (チャンネル0) |
| H'FFFFFFE72 | DRCR1 | - | - | - | - | - | - | RS1 | RS0 | DMAC (チャンネル1) |
| H'FFFFFFE73 ~ H'FFFFFFE7F | - | - | - | - | - | - | - | - | - | - |

(前頁より続く)

| アドレス | レジスタ 略称 | ビット名 | | | | | | | | モジュール |
|---------------------------------|------------|---------|---------|---------|---------|---------|---------|---------|---------|----------------|
| | | ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 | |
| H'FFFFFFE80 | WTCSR* | OVF | WT/IT | TME | - | - | CKS2 | CKS1 | CKS0 | WDT |
| H'FFFFFFE81 | WTCNT* | | | | | | | | | |
| H'FFFFFFE82 | - | - | - | - | - | - | - | - | - | |
| H'FFFFFFE83 | RSTCSR* | WOVF | RSTE | RSTS | - | - | - | - | - | |
| H'FFFFFFE84 ~ H'FFFFFFE90 | - | - | - | - | - | - | - | - | - | |
| H'FFFFFFE91 | SBYCR | SBY | HIZ | - | MSTP4 | MSTP3 | MSTP2 | MSTP1 | MSTP0 | 低消費電力 キャッシュ |
| H'FFFFFFE92 | CCR | W1 | W0 | - | CP | TW | OC | ID | CE | |
| H'FFFFFFE93 ~ H'FFFFFFE9F | - | - | - | - | - | - | - | - | - | |
| H'FFFFFFEE0 | ICR | NIMIL | - | - | - | - | - | - | NIMIE | INTC |
| H'FFFFFFEE1 | | - | - | - | - | - | - | - | VECMD | |
| H'FFFFFFEE2 | IPRA | DIVUIP3 | DIVUIP2 | DIVUIP1 | DIVUIP0 | DMACIP3 | DMACIP2 | DMACIP1 | DMACIP0 | |
| H'FFFFFFEE3 | | WDTIP3 | WDTIP2 | WDTIP1 | WDTIP0 | - | - | - | - | |
| H'FFFFFFEE4 | VCRWDT | - | WITV6 | WITV5 | WITV4 | WITV3 | WITV2 | WITV1 | WITV0 | |
| H'FFFFFFEE5 | | - | BCMV6 | BCMV5 | BCMV4 | BCMV3 | BCMV2 | BCMV1 | BCMV0 | |
| H'FFFFFFEE6 ~ H'FFFFFFE9F | - | - | - | - | - | - | - | - | - | - |
| H'FFFFFFF00 | DVSR | | | | | | | | | DIVU |
| H'FFFFFFF01 | | | | | | | | | | |
| H'FFFFFFF02 | | | | | | | | | | |
| H'FFFFFFF03 | | | | | | | | | | |
| H'FFFFFFF04 | DVDNT | | | | | | | | | |
| H'FFFFFFF05 | | | | | | | | | | |
| H'FFFFFFF06 | | | | | | | | | | |
| H'FFFFFFF07 | | | | | | | | | | |
| H'FFFFFFF08 | DVCR | - | - | - | - | - | - | - | - | |
| H'FFFFFFF09 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFF0A | | - | - | - | - | - | - | - | - | |
| H'FFFFFFF0B | | - | - | - | - | - | - | OVFIE | OVF | |
| H'FFFFFFF0C | VCRDIV | - | - | - | - | - | - | - | - | |
| H'FFFFFFF0D | | - | - | - | - | - | - | - | - | |
| H'FFFFFFF0E | | | | | | | | | | |
| H'FFFFFFF0F | | | | | | | | | | |
| H'FFFFFFF10 | DVDNTH | | | | | | | | | |
| H'FFFFFFF11 | | | | | | | | | | |
| H'FFFFFFF12 | | | | | | | | | | |
| H'FFFFFFF13 | | | | | | | | | | |
| H'FFFFFFF14 | DVDNTL | | | | | | | | | |
| H'FFFFFFF15 | | | | | | | | | | |
| H'FFFFFFF16 | | | | | | | | | | |
| H'FFFFFFF17 | | | | | | | | | | |
| H'FFFFFFF18 ~ H'FFFFFFF3F | - | - | - | - | - | - | - | - | - | - |

【注】 * 読み出し時のアドレスです。書き込み時は、WTCSR と WTCNT が H'FFFFFFE80、RSTCSR が H'FFFFFFE82 になります。詳細は「12. ウォッチドッグタイマ」の「12.2.4 レジスタアクセス時の注意」を参照してください。

(前頁より続く)

| アドレス | レジスタ 略称 | ビット名 | | | | | | | | モジュール |
|-------------------------------|------------|--------|--------|--------|--------|--------|--------|--------|--------|-----------------|
| | | ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 | |
| H'FFFFFF40 | BARAH | BAA31 | BAA30 | BAA29 | BAA28 | BAA27 | BAA26 | BAA25 | BAA24 | UBC (チャンネルA) |
| H'FFFFFF41 | | BAA23 | BAA22 | BAA21 | BAA20 | BAA19 | BAA18 | BAA17 | BAA16 | |
| H'FFFFFF42 | BARAL | BAA15 | BAA14 | BAA13 | BAA12 | BAA11 | BAA10 | BAA9 | BAA8 | |
| H'FFFFFF43 | | BAA7 | BAA6 | BAA5 | BAA4 | BAA3 | BAA2 | BAA1 | BAA0 | |
| H'FFFFFF44 | BAMRAH | BAMA31 | BAMA30 | BAMA29 | BAMA28 | BAMA27 | BAMA26 | BAMA25 | BAMA24 | |
| H'FFFFFF45 | | BAMA23 | BAMA22 | BAMA21 | BAMA20 | BAMA19 | BAMA18 | BAMA17 | BAMA16 | |
| H'FFFFFF46 | BAMRAL | BAMA15 | BAMA14 | BAMA13 | BAMA12 | BAMA11 | BAMA10 | BAMA9 | BAMA8 | |
| H'FFFFFF47 | | BAMA7 | BAMA6 | BAMA5 | BAMA4 | BAMA3 | BAMA2 | BAMA1 | BAMA0 | |
| H'FFFFFF48 | BBRA | - | - | - | - | - | - | - | - | |
| H'FFFFFF49 | | CPA1 | CPA0 | IDA1 | IDA0 | RWA1 | RWA0 | SZA1 | SZA0 | |
| H'FFFFFF4A ~ H'FFFFFF5F | - | - | - | - | - | - | - | - | - | - |
| H'FFFFFF60 | BARBH | BAB31 | BAB30 | BAB29 | BAB28 | BAB27 | BAB26 | BAB25 | BAB24 | UBC (チャンネルB) |
| H'FFFFFF61 | | BAB23 | BAB22 | BAB21 | BAB20 | BAB19 | BAB18 | BAB17 | BAB16 | |
| H'FFFFFF62 | BARBL | BAB15 | BAB14 | BAB13 | BAB12 | BAB11 | BAB10 | BAB9 | BAB8 | |
| H'FFFFFF63 | | BAB7 | BAB6 | BAB5 | BAB4 | BAB3 | BAB2 | BAB1 | BAB0 | |
| H'FFFFFF64 | BAMRBH | BAMB31 | BAMB30 | BAMB29 | BAMB28 | BAMB27 | BAMB26 | BAMB25 | BAMB24 | |
| H'FFFFFF65 | | BAMB23 | BAMB22 | BAMB21 | BAMB20 | BAMB19 | BAMB18 | BAMB17 | BAMB16 | |
| H'FFFFFF66 | BAMRBL | BAMB15 | BAMB14 | BAMB13 | BAMB12 | BAMB11 | BAMB10 | BAMB9 | BAMB8 | |
| H'FFFFFF67 | | BAMB7 | BAMB6 | BAMB5 | BAMB4 | BAMB3 | BAMB2 | BAMB1 | BAMB0 | |
| H'FFFFFF68 | BBRB | - | - | - | - | - | - | - | - | |
| H'FFFFFF69 | | CPB1 | CPB0 | IDB1 | IDB0 | RWB1 | RWB0 | SZB1 | SZB0 | |
| H'FFFFFF6A ~ H'FFFFFF6F | - | - | - | - | - | - | - | - | - | - |
| H'FFFFFF70 | BDRBH | BDB31 | BDB30 | BDB29 | BDB28 | BDB27 | BDB26 | BDB25 | BDB24 | UBC (チャンネルB) |
| H'FFFFFF71 | | BDB23 | BDB22 | BDB21 | BDB20 | BDB19 | BDB18 | BDB17 | BDB16 | |
| H'FFFFFF72 | BDRBL | BDB15 | BDB14 | BDB13 | BDB12 | BDB11 | BDB10 | BDB9 | BDB8 | |
| H'FFFFFF73 | | BDB7 | BDB6 | BDB5 | BDB4 | BDB3 | BDB2 | BDB1 | BDB0 | |
| H'FFFFFF74 | BDMRBH | BDMB31 | BDMB30 | BDMB29 | BDMB28 | BDMB27 | BDMB26 | BDMB25 | BDMB24 | |
| H'FFFFFF75 | | BDMB23 | BDMB22 | BDMB21 | BDMB20 | BDMB19 | BDMB18 | BDMB17 | BDMB16 | |
| H'FFFFFF76 | BDMRBL | BDMB15 | BDMB14 | BDMB13 | BDMB12 | BDMB11 | BDMB10 | BDMB9 | BDMB8 | |
| H'FFFFFF77 | | BDMB7 | BDMB6 | BDMB5 | BDMB4 | BDMB3 | BDMB2 | BDMB1 | BDMB0 | |
| H'FFFFFF78 | BRRCR | CMFCA | CMFPA | EBBE | UMD | - | PCBA | - | - | |
| H'FFFFFF79 | | CMFCB | CMFPB | - | SEQ | DBEB | PCBB | - | - | |
| H'FFFFFF7A ~ H'FFFFFF7F | - | - | - | - | - | - | - | - | - | - |

(前頁より続く)

| アドレス | レジスタ 略称 | ビット名 | | | | | | | | モジュール |
|------------|------------|--------|------|------|------|------|------|------|------------------|------------------|
| | | ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 | |
| H'FFFFFF80 | SAR0 | | | | | | | | | DMAC (チャンネル0) |
| H'FFFFFF81 | | | | | | | | | | |
| H'FFFFFF82 | | | | | | | | | | |
| H'FFFFFF83 | | | | | | | | | | |
| H'FFFFFF84 | DAR0 | | | | | | | | | |
| H'FFFFFF85 | | | | | | | | | | |
| H'FFFFFF86 | | | | | | | | | | |
| H'FFFFFF87 | | | | | | | | | | |
| H'FFFFFF88 | TCR0 | - | - | - | - | - | - | - | | |
| H'FFFFFF89 | | | | | | | | | | |
| H'FFFFFF8A | | | | | | | | | | |
| H'FFFFFF8B | | | | | | | | | | |
| H'FFFFFF8C | CHCR0 | - | - | - | - | - | - | - | | |
| H'FFFFFF8D | | - | - | - | - | - | - | - | | |
| H'FFFFFF8E | | DM1 | MD0 | SM1 | SM0 | TS1 | TS0 | AR | AM | |
| H'FFFFFF8F | | AL | DS | DL | TB | TA | IE | TE | DE | |
| H'FFFFFF90 | SAR1 | | | | | | | | DMAC (チャンネル1) | |
| H'FFFFFF91 | | | | | | | | | | |
| H'FFFFFF92 | | | | | | | | | | |
| H'FFFFFF93 | | | | | | | | | | |
| H'FFFFFF94 | DAR1 | | | | | | | | | |
| H'FFFFFF95 | | | | | | | | | | |
| H'FFFFFF96 | | | | | | | | | | |
| H'FFFFFF97 | | | | | | | | | | |
| H'FFFFFF98 | TCR1 | - | - | - | - | - | - | - | | |
| H'FFFFFF99 | | | | | | | | | | |
| H'FFFFFF9A | | | | | | | | | | |
| H'FFFFFF9B | | | | | | | | | | |
| H'FFFFFF9C | CHCR1 | - | - | - | - | - | - | - | | |
| H'FFFFFF9D | | - | - | - | - | - | - | - | | |
| H'FFFFFF9E | | DM1 | MD0 | SM1 | SM0 | TS1 | TS0 | AR | | AM |
| H'FFFFFF9F | | AL | DS | DL | TB | TA | IE | TE | | DE |
| H'FFFFFFA0 | VCRDMA | - | - | - | - | - | - | - | DMAC (チャンネル0) | |
| H'FFFFFFA1 | | - | - | - | - | - | - | - | | - |
| H'FFFFFFA2 | | - | - | - | - | - | - | - | | - |
| H'FFFFFFA3 | | VC7 | VC6 | VC5 | VC4 | VC3 | VC2 | VC1 | | VC0 |
| H'FFFFFFA4 | - | - | - | - | - | - | - | - | | |
| H'FFFFFFA7 | | | | | | | | | | |
| H'FFFFFFA8 | | VCRDMA | - | - | - | - | - | - | | - |
| H'FFFFFFA9 | - | | - | - | - | - | - | - | - | |
| H'FFFFFFAA | - | | - | - | - | - | - | - | - | |
| H'FFFFFFAB | VC7 | | VC6 | VC5 | VC4 | VC3 | VC2 | VC1 | VC0 | |
| H'FFFFFFAC | - | - | - | - | - | - | - | - | | |
| H'FFFFFFAF | | | | | | | | | | |

(前頁より続く)

| アドレス | レジスタ 略称 | ビット名 | | | | | | | | モジュール |
|-------------------------------|------------|--------|-------|-------|--------|--------|-------|-------|-------|--------------------------|
| | | ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 | |
| H'FFFFFFB0 | DMAOR | - | - | - | - | - | - | - | - | DMAC (チャンネル0,1 共通) |
| H'FFFFFFB1 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFB2 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFB3 | | - | - | - | - | PR | AE | NMIF | DME | |
| H'FFFFFFB4 ~ H'FFFFFFDF | - | - | - | - | - | - | - | - | - | |
| H'FFFFFFE0 | BCR1 | - | - | - | - | - | - | - | - | BSC |
| H'FFFFFFE1 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFE2 | | MASTER | - | - | ENDIAN | BSTROM | PSHR | AHLW1 | AHLW0 | |
| H'FFFFFFE3 | | A1LW1 | A1LW0 | A0LW1 | A0LW0 | - | DRAM2 | DRAM1 | DRAM0 | |
| H'FFFFFFE4 | BCR2 | - | - | - | - | - | - | - | - | |
| H'FFFFFFE5 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFE6 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFE7 | | A3SZ1 | A3SZ0 | A2SZ1 | A2SZ0 | A1SZ1 | A1SZ0 | - | - | |
| H'FFFFFFE8 | WCR | - | - | - | - | - | - | - | - | |
| H'FFFFFFE9 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFEA | | IW31 | IW30 | IW21 | IW20 | IW11 | IW10 | IW01 | IW00 | |
| H'FFFFFFEB | | W31 | W30 | W21 | W20 | W11 | W10 | W01 | W00 | |
| H'FFFFFFEC | MCR | - | - | - | - | - | - | - | - | |
| H'FFFFFFED | | - | - | - | - | - | - | - | - | |
| H'FFFFFFEE | | TRP | RCD | TRWL | TRAS1 | TRAS0 | BE | RASD | - | |
| H'FFFFFFEF | | AMX2 | SZ | AMX1 | AMX0 | RFSH | RMD | - | - | |
| H'FFFFFFF0 | RTCSR | - | - | - | - | - | - | - | - | |
| H'FFFFFFF1 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFF2 | | - | - | - | - | - | - | - | - | |
| H'FFFFFFF3 | | CMF | CMIE | CKS2 | CKS1 | CKS0 | - | - | - | |
| H'FFFFFFF4 | RTCNT | - | - | - | - | - | - | - | - | |
| H'FFFFFFF5 | | | | | | | | | | |
| H'FFFFFFF6 | | | | | | | | | | |
| H'FFFFFFF7 | | | | | | | | | | |
| H'FFFFFFF8 | RTCOR | - | - | - | - | - | - | - | - | |
| H'FFFFFFF9 | | | | | | | | | | |
| H'FFFFFFFA | | | | | | | | | | |
| H'FFFFFFFB | | | | | | | | | | |
| H'FFFFFFFC ~ H'FFFFFFF | - | - | - | - | - | - | - | - | - | |

B.2 レジスタ早見表

| | | | | |
|--|------------------|------------|---------|-------|
| | レジスタ名称 (略称) | 先頭アドレス | アクセスサイズ | モジュール |
| | シリアルモードレジスタ(SMR) | H'FFFFFFE0 | 8 | SCI |

| | | | | | | | | | |
|---------|------|-----|-----|-----|-----|------|-----|------|------|
| レジスタの概要 | 項目 | ビット | | | | | | | |
| | ビット名 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | 初期値 | C/A | CHR | PE | O/E | STOP | MP | CKS1 | CKS0 |
| | 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| | | | | |
|---------|-------------------------|--------------------|-------------------|-----------------------------|
| 各ビットの機能 | ビット | ビット名称 | 値 | 説明 |
| | 7 | コミュニケーションモード (C/A) | 0 | 調歩同期式モード (初期値) |
| | | | 1 | クロック同期式モード |
| | 6 | キャラクタレングス (CHR) | 0 | 8ビットデータ (初期値) |
| | | | 1 | 7ビットデータ |
| | 5 | パリティイネーブル (PE) | 0 | パリティビットの付加、およびチェックを禁止 (初期値) |
| | | | 1 | パリティビットの付加、およびチェックを許可 |
| | 4 | パリティモード (O/E) | 0 | 偶数パリティ (初期値) |
| | | | 1 | 奇数パリティ |
| | 3 | ストップビットレングス (STOP) | 0 | 1ストップビット (初期値) |
| | | | 1 | 2ストップビット |
| | 2 | マルチプロセッサモード (MP) | 0 | マルチプロセッサ機能を禁止 (初期値) |
| | | 1 | マルチプロセッサフォーマットを選択 | |
| 1 | クロックセレクト1、0 (CKS1,CKS0) | 0 | 0 | /4クロック (初期値) |
| | | 0 | 1 | /16クロック |
| | | 1 | 0 | /64クロック |
| | | 1 | 1 | /256クロック |

| | | | |
|-------|------------|------------------------------------------------------|--------|
| ビット番号 | ビット名称 (略称) | ビットの値 (2ビット以上を1組として説明している場合、左側が上位ビット、右側が下位ビットです。) | ビットの説明 |
|-------|------------|------------------------------------------------------|--------|

SCI

| | | |
|------------------|------------|---|
| シリアルモードレジスタ(SMR) | H'FFFFFFE0 | 8 |
|------------------|------------|---|

| 項目 | ビット | | | | | | | |
|------|--------------|-----|-----|--------------|------|-----|------|------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | C/ \bar{A} | CHR | PE | O/ \bar{E} | STOP | MP | CKS1 | CKS0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|---------------------------------|-----|-----------------------------|
| 7 | コミュニケーションモード (C/ \bar{A}) | 0 | 調歩同期式モード (初期値) |
| | | 1 | クロック同期式モード |
| 6 | キャラクタレングス (CHR) | 0 | 8ビットデータ (初期値) |
| | | 1 | 7ビットデータ |
| 5 | パリティイネーブル (PE) | 0 | パリティビットの付加、およびチェックを禁止 (初期値) |
| | | 1 | パリティビットの付加、およびチェックを許可 |
| 4 | パリティモード (O/ \bar{E}) | 0 | 偶数パリティ (初期値) |
| | | 1 | 奇数パリティ |
| 3 | ストップビットレングス (STOP) | 0 | 1ストップビット (初期値) |
| | | 1 | 2ストップビット |
| 2 | マルチプロセッサモード (MP) | 0 | マルチプロセッサ機能を禁止 (初期値) |
| | | 1 | マルチプロセッサフォーマットを選択 |
| 1 | クロックセレクト1、0 (CKS1、CKS0) | 0 0 | /4 クロック (初期値) |
| | | 0 1 | /16 クロック |
| 0 | | 1 0 | /64 クロック |
| | | 1 1 | /256 クロック |

| | | |
|------------------|------------|---|
| ビットレートレジスタ (BRR) | H'FFFFFFE1 | 8 |
|------------------|------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|-----|------------|-----------------------|
| 7~0 | (ビットレート設定) | シリアル送信 / 受信のビットレートを設定 |

SCI

| | | |
|----------------------|-------------|---|
| シリアルコントロールレジスタ (SCR) | H'FFFFFFE02 | 8 |
|----------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|-----|-----|-----|------|------|------|------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | TIE | RIE | TE | RE | MPIE | TEIE | CKE1 | CKE0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 | |
|------|------------------------------|-------------------------------------|---------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------|
| 7 | トランスミットインタラプトイネーブル (TIE) | 0 | 送信データエンプティ(TXI) 要求を禁止 (初期値) | |
| | | 1 | 送信データエンプティ(TXI) 要求を許可 | |
| 6 | レシーブインタラプトイネーブル (RIE) | 0 | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止 (初期値) | |
| | | 1 | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可 | |
| 5 | トランスミットイネーブル (TE) | 0 | 送信動作を禁止 (初期値) | |
| | | 1 | 送信動作を許可 | |
| 4 | レシーブイネーブル (RE) | 0 | 受信動作を禁止 (初期値) | |
| | | 1 | 受信動作を許可 | |
| 3 | マルチプロセッサインタラプトイネーブル (MPIE) | 0 | マルチプロセッサ割り込み禁止状態 (通常の受信動作をします。) [クリア条件] (1)MPE ビットを0にクリア (2)MPB=1 のデータを受信したとき (初期値) | |
| | | 1 | マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。 | |
| 2 | トランスミットエンドインタラプトイネーブル (TEIE) | 0 | 送信終了割り込み (TEI) 要求を禁止 (初期値) | |
| | | 1 | 送信終了割り込み (TEI) 要求を許可 | |
| 1, 0 | クロックイネーブル1、0 (CKE1、CKE0) | 0 | 0 | 調歩同期式モード 内部クロック/SCK端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定) |
| | | | 1 | クロック同期式モード 内部クロック/SCK端子は同期クロック出力 |
| | | 0 | 1 | 調歩同期式モード 内部クロック/SCK端子はクロック出力 |
| | | | 0 | クロック同期式モード 内部クロック/SCK端子は同期クロック出力 |
| | | 1 | 0 | 調歩同期式モード 外部クロック/SCK端子はクロック入力 |
| | | | 1 | クロック同期式モード 外部クロック/SCK端子は同期クロック入力 |
| 1 | 1 | 調歩同期式モード 外部クロック/SCK端子はクロック入力 | | |
| 1 | 1 | クロック同期式モード 外部クロック/SCK端子は同期クロック入力 | | |

| | | |
|----------------------|-------------|---|
| トランスミットデータレジスタ (TDR) | H'FFFFFFE03 | 8 |
|----------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|-----|-----------|----------------|
| 7-0 | (送信データ格納) | シリアル送信するデータを格納 |

SCI

| | | |
|---------------------|-------------|---|
| シリアルステータスレジスタ (SSR) | H'FFFFFFE04 | 8 |
|---------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-------|-------|-------|-------|-------|------|-----|------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | TDRE | RDRF | ORER | FER | PER | TEND | MPB | MPBT |
| 初期値 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| R/W | R(W)* | R(W)* | R(W)* | R(W)* | R(W)* | R | R | R/W |

【注】*フラグをクリアするために0のみ書き込むことができます。

| ビット | ビット名称 | 値 | 説明 |
|-----|--------------------------------|---|-------------------------------------------------------------------------------------------------------------------------------------|
| 7 | トランスミットデータレジスタ エンプティ (TDRE) | 0 | TDRに有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE=1の状態を読み出した後、0を書き込んだとき (2) DMACでTDRへデータを書き込んだとき |
| | | 1 | TDRに有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが0のとき (3) TDRからTSRにデータ転送が行われTDRにデータの書き込みが可能になったとき |
| 6 | レシーブデータレジスタ フル (RDRF) | 0 | RDRに有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF=1の状態を読み出した後、0を書き込んだとき (3) DMACでRDRのデータを読み出したとき |
| | | 1 | RDRに有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき |
| 5 | オーバランエラー (ORER) | 0 | 受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER=1の状態を読み出した後、0を書き込んだとき |
| | | 1 | 受信時にオーバランエラーが発生したことを表示 [セット条件] RDRF=1の状態での次のシリアル受信を完了したとき |
| 4 | フレーミングエラー (FER) | 0 | 受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) FER=1の状態を読み出した後、0を書き込んだとき |
| | | 1 | 受信時にフレーミングエラーが発生したことを表示 [セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき |
| 3 | パリティエラー (PER) | 0 | 受信中、または正常に受信を完了したことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER=1の状態を読み出した後、0を書き込んだとき |
| | | 1 | 受信時にパリティエラーが発生したことを表示 [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ (SMR)のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき |

(続く)

SCI

(続き)

| ビット | ビット名称 | 値 | 説明 |
|-----|------------------------------|---|----------------------------------------------------------------------------------------------------------------------------------------|
| 2 | トランスミットエンド (TEND) | 0 | 送信中であることを表示 [クリア条件] (1) TDRE=1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき |
| | | 1 | 送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき |
| 1 | マルチプロセッサビット (MPB) | 0 | マルチプロセッサビットが 0 のデータを受信したことを表示 (初期値) |
| | | 1 | マルチプロセッサビットが 1 のデータを受信したことを表示 |
| 0 | マルチプロセッサビット トランスファ (MPBT) | 0 | マルチプロセッサビットが 0 のデータを送信 (初期値) |
| | | 1 | マルチプロセッサビットが 1 のデータを送信 |

| | | |
|-------------------|-------------|---|
| レシーブデータレジスタ (RDR) | H'FFFFFFE05 | 8 |
|-------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

| ビット | ビット名称 | 説明 |
|-----|---------------|----------------|
| 7~0 | (受信シリアルデータ格納) | 受信したシリアルデータを格納 |

FRT

| | | |
|---------------------------|-------------|---|
| タイマインタラプトイネーブルレジスタ (TIER) | H'FFFFFFE10 | 8 |
|---------------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|------|---|---|---|-------|-------|------|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | ICIE | - | - | - | OCIAE | OCIBE | OVIE | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| R/W | R/W | - | - | - | R/W | R/W | R/W | - |

| ビット | ビット名称 | 値 | 説明 |
|-----|----------------------------------|---|---------------------------------|
| 7 | インプットキャプチャインタラプトイネーブル (ICIE) | 0 | ICF による割り込み要求 (ICI) を禁止 (初期値) |
| | | 1 | ICF による割り込み要求 (ICI) を許可 |
| 3 | アウトプットコンペアインタラプト A イネーブル (OCIAE) | 0 | OCFA による割り込み要求 (OCIA) を禁止 (初期値) |
| | | 1 | OCFA による割り込み要求 (OCIA) を許可 |
| 2 | アウトプットコンペアインタラプト B イネーブル (OCIBE) | 0 | OCFB による割り込み要求 (OCIB) を禁止 (初期値) |
| | | 1 | OCFB による割り込み要求 (OCIB) を許可 |
| 1 | タイマオーバフローインタラプトイネーブル (OVIE) | 0 | OVF による割り込み要求 (OVI) を禁止 (初期値) |
| | | 1 | OVF による割り込み要求 (OVI) を許可 |

| | | |
|---------------------------------------|-------------|---|
| フリーランニングタイムコントロール / ステータスレジスタ (FTCSR) | H'FFFFFFE11 | 8 |
|---------------------------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|--------|---|---|---|--------|--------|--------|-------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | ICF | - | - | - | OCFA | OCFB | OVF | CCLRA |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/(W)* | - | - | - | R/(W)* | R/(W)* | R/(W)* | R/W |

【注】ビット 7、3~1 は、フラグをクリアするための 0 ライトのみ可能です。

| ビット | ビット名称 | 値 | 説明 |
|-----|------------------------|---|-------------------------------------------------------------|
| 7 | インプットキャプチャフラグ (ICF) | 0 | [クリア条件] (初期値) ICF=1 の状態で、ICF を読み出した後、ICF に 0 を書き込んだとき |
| | | 1 | [セット条件] インプットキャプチャ信号により、FRC の値が ICR に転送されたとき |
| 3 | アウトプットコンペアフラグ A (OCFA) | 0 | [クリア条件] (初期値) OCFA=1 の状態で、OCFA を読み出した後、OCFA に 0 を書き込んだとき |
| | | 1 | [セット条件] FRC=OCRA になったとき |
| 2 | アウトプットコンペアフラグ B (OCFB) | 0 | [クリア条件] (初期値) OCFB=1 の状態で、OCFB を読み出した後、OCFB に 0 を書き込んだとき |
| | | 1 | [セット条件] FRC=OCRB になったとき |
| 1 | タイマオーバフローフラグ (OVF) | 0 | [クリア条件] (初期値) OVF=1 の状態で、OVF を読み出した後、OVF に 0 を書き込んだとき |
| | | 1 | [セット条件] FRC の値が H'FFFF H'0000 になったとき |
| 0 | カウンタクリア A (CCLRA) | 0 | FRC のクリアを禁止 (初期値) |
| | | 1 | コンペアマッチ A により FRC をクリア |

FRT

| | | |
|--------------------|------------------------------------------|-----|
| フリーランニングカウンタ (FRC) | H'FFFFFFE12 (FRCH) H'FFFFFFE13 (FRCL) | 16* |
|--------------------|------------------------------------------|-----|

【注】*FRCH、FRCL の順で8ビットずつ2回アクセスしてください。

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|---------|-------------|
| 15~0 | (カウント値) | 入力クロックをカウント |

| | | |
|-------------------------------|------------------------------------------------|------|
| アウトプットコンペアレジスタ A/B*1 (OCRA/B) | H'FFFFFFE14 (OCRA/BH) H'FFFFFFE15 (OCRA/BL) | 16*2 |
|-------------------------------|------------------------------------------------|------|

【注】1. レジスタの切り換えは TOCR の OCSR で行ってください。
2. OCRA/BH、OCRA/BL の順で8ビットずつ2回アクセスしてください。

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|-----------|----------------------------------------------|
| 15~0 | (FRC 値比較) | OCRA=FRC で OCFA をセット OCRB=FRC で OCFB をセット |

| | | |
|--------------------|-------------|---|
| タイマコントロールレジスタ(TCR) | H'FFFFFFE16 | 8 |
|--------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-------|-----|-----|-----|-----|-----|------|------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | IEDGA | - | - | - | - | - | CKS1 | CKS0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|----------------------|-----|-------------------------------------------------|
| 7 | インプットエッジセレクト (IEDG) | 0 | インプットキャプチャ入力の立ち上がりエッジ _F でキャプチャ (初期値) |
| | | 1 | インプットキャプチャ入力の立ち下がりエッジ _F でキャプチャ |
| 1、0 | クロックセレクト (CKS1、CKS0) | 0 0 | 内部クロック： /8でカウント (初期値) |
| | | 0 1 | 内部クロック： /32でカウント |
| | | 1 0 | 内部クロック： /128でカウント |
| | | 1 1 | 外部クロック：立ち上がりエッジ _F でカウント |

FRT

| | | |
|------------------------------------|-------------|---|
| タイマアウトプットコンペア コントロールレジスタ (TOCR) | H'FFFFFFE17 | 8 |
|------------------------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|---|---|------|-----|-----|-------|-------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | - | - | OCRS | - | - | OLVLA | OLVLB |
| 初期値 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| R/W | - | - | - | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|-------------------------------|---|--------------------------|
| 4 | アウトプットコンペアレジスタ セレクト (OCRS) | 0 | OCRA レジスタを選択 (初期値) |
| | | 1 | OCRB レジスタを選択 |
| 1 | アウトプットレベル A (OLVLA) | 0 | コンペアマッチ A により 0 出力 (初期値) |
| | | 1 | コンペアマッチ A により 1 出力 |
| 0 | アウトプットレベル B (OLVLB) | 0 | コンペアマッチ B により 0 出力 (初期値) |
| | | 1 | コンペアマッチ B により 1 出力 |

| | | |
|--------------------------|--------------------------------------------|-----|
| インプットキャプチャレジスタ (FICR) | H'FFFFFFE18 (FICRH) H'FFFFFFE19 (FICRL) | 16* |
|--------------------------|--------------------------------------------|-----|

【注】* FICRH、FICRL の順で 8 ビットずつ 2 回読み出してください。

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

| ビット | ビット名称 | 説明 |
|------|-----------|------------------------------|
| 15~0 | (FRC 値格納) | インプットキャプチャ信号が発生すると FRC の値を格納 |

INTC

| | | |
|--------------------------|------------|------|
| 割り込み優先レベル設定レジスタ A (IPRA) | H'FFFFFFE2 | 8/16 |
|--------------------------|------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|------------|------------|------------|------------|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | DIVU IP3 | DIVU IP2 | DIVU IP1 | DIVU IP0 | DMAC IP3 | DMAC IP2 | DMAC IP1 | DMAC IP0 | WDT IP3 | WDT IP2 | WDT IP1 | WDT IP0 | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R |

| ビット | ビット名称 | 説明 |
|---------|-----------------------------------------------------|--------------------------------------------------------|
| 15 ~ 12 | 除算器 (DIVU) 割り込み優先レベル 3~0 (DIVUIP3 ~ DIVUIP0) | 除算器 (DIVU) 割り込み優先レベルを設定 |
| 11 ~ 8 | DMA コントローラ (DMAC) 割り込み優先レベル 3~0 (DMACIP3 ~ DMACIP0) | DMA コントローラ (DMAC) 割り込み優先レベルを設定 |
| 7 ~ 4 | ウォッチドッグタイマ (WDT) 割り込み優先レベル 3~0 (WDTIP3 ~ WDTIP0) | ウォッチドッグタイマ (WDT) 割り込みとバスステートコントローラ (BSC) 割り込みの優先レベルを設定 |

| | | |
|--------------------------|------------|------|
| 割り込み優先レベル設定レジスタ B (IPRB) | H'FFFFFFE0 | 8/16 |
|--------------------------|------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------------|------------|------------|------------|------------|------------|------------|------------|---|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | SCI IP3 | SCI IP2 | SCI IP1 | SCI IP0 | FRT IP3 | FRT IP2 | FRT IP1 | FRT IP0 | - | - | - | - | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

| ビット | ビット名称 | 説明 |
|---------|------------------------------------------------------------|-----------------------------------------|
| 15 ~ 12 | シリアルコミュニケーションインタフェース (SCI) 割り込み優先レベル 3~0 (SCIIP3 ~ SCIIP0) | シリアルコミュニケーションインタフェース (SCI) 割り込み優先レベルを設定 |
| 11 ~ 8 | フリーランニングタイマ (FRT) 割り込み優先レベル 3~0 (FRTIP3 ~ FRTIP0) | フリーランニングタイマ (FRT) 割り込み優先レベルを設定 |

| | | |
|----------------------|------------|------|
| ベクタ番号設定レジスタ A (VCRA) | H'FFFFFFE2 | 8/16 |
|----------------------|------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | SER V6 | SER V5 | SER V4 | SER V3 | SER V2 | SER V1 | SER V0 | - | SRX V6 | SRX V5 | SRX V4 | SRX V3 | SRX V2 | SRX V1 | SRX V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|--------|------------------------------------------------------------------|--------------------------------------------------------|
| 14 ~ 8 | シリアルコミュニケーションインタフェース (SCI) 受信エラー 割り込みベクタ番号 6~0 (SERV6 ~ SERV0) | シリアルコミュニケーションインタフェース (SCI) 受信エラー割り込み (ERI) のベクタ番号を設定 |
| 6 ~ 0 | シリアルコミュニケーションインタフェース (SCI) 受信データフル 割り込みベクタ番号 6~0 (SRXV6 ~ SRXV0) | シリアルコミュニケーションインタフェース (SCI) 受信データフル割り込み (RXI) のベクタ番号を設定 |

INTC

| | | |
|---------------------|-------------|------|
| ベクタ番号設定レジスタ B(VCRB) | H'FFFFFFE64 | 8/16 |
|---------------------|-------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | STX V6 | STX V5 | STX V4 | STX V3 | STX V2 | STX V1 | STX V0 | - | STE V6 | STE V5 | STE V4 | STE V3 | STE V2 | STE V1 | STE V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|-------------------------------------------------------------------|------------------------------------------------------------|
| 14~8 | シリアルコミュニケーションインターフェイス (SCI) 送信データエンプティ割り込みベクタ番号 6~0 (STXV6~STXV0) | シリアルコミュニケーションインターフェイス (SCI) 受信データエンプティ割り込み (TXI) のベクタ番号を設定 |
| 6~0 | シリアルコミュニケーションインターフェイス (SCI) 送信終了割り込みベクタ番号 6~0 (STEV6~STEV0) | シリアルコミュニケーションインターフェイス (SCI) 送信終了割り込み (TEI) のベクタ番号を設定 |

| | | |
|---------------------|-------------|------|
| ベクタ番号設定レジスタ C(VCRC) | H'FFFFFFE66 | 8/16 |
|---------------------|-------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | FIC V6 | FIC V5 | FIC V4 | FIC V3 | FIC V2 | FIC V1 | FIC V0 | - | FOC V6 | FOC V5 | FOC V4 | FOC V3 | FOC V2 | FOC V1 | FOC V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|---------------------------------------------------------|--------------------------------------------------|
| 14~8 | フリーランニングタイム (FRT) インプットキャプチャ割り込みベクタ番号 6~0 (FICV6~FICV0) | フリーランニングタイム (FRT) インプットキャプチャ割り込み (ICI) のベクタ番号を設定 |
| 6~0 | フリーランニングタイム (FRT) アウトプットコンペア割り込みベクタ番号 6~0 (FOCV6~FOCV0) | フリーランニングタイム (FRT) アウトプットコンペア割り込み (OCI) のベクタ番号を設定 |

| | | |
|---------------------|-------------|------|
| ベクタ番号設定レジスタ D(VCRD) | H'FFFFFFE68 | 8/16 |
|---------------------|-------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|---|---|---|---|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | FOV V6 | FOV V5 | FOV V4 | FOV V3 | FOV V2 | FOV V1 | FOV V0 | - | - | - | - | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R | R |

| ビット | ビット名称 | 説明 |
|------|-----------------------------------------------------|----------------------------------------------|
| 14~8 | フリーランニングタイム (FRT) オーバフロー割り込みベクタ番号 6~0 (FOVV6~FOVV0) | フリーランニングタイム (FRT) オーバフロー割り込み (OVI) のベクタ番号を設定 |

INTC

| | | |
|-------------------------|------------|------|
| ベクタ番号設定レジスタ WDT(VCRWDT) | H'FFFFFFE4 | 8/16 |
|-------------------------|------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|--------|--------|--------|--------|--------|--------|--------|---|--------|--------|--------|--------|--------|--------|--------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | WIT V6 | WIT V5 | WIT V4 | WIT V3 | WIT V2 | WIT V1 | WIT V0 | - | BCM V6 | BCM V5 | BCM V4 | BCM V3 | BCM V2 | BCM V1 | BCM V0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|----------------------------------------------------------|------------------------------------------------|
| 14~8 | ウォッチドッグタイマ (WDT) インターバル 割り込みベクタ番号 6~0 (WITV6~WITV0) | ウォッチドッグタイマ (WDT) インターバル割り込み (ITI) のベクタ番号を設定 |
| 6~0 | バスステートコントローラ (BSC) コンペアマッチ 割り込みベクタ番号 6~0 (BCM V6~BCM V0) | バスステートコントローラ (BSC) コンペアマッチ割り込み (CMI) のベクタ番号を設定 |

| | | |
|-------------------------|------------|----|
| ベクタ番号設定レジスタ DIV(VCRDIV) | H'FFFFFF0C | 32 |
|-------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|-----------|----------------------------------------------|
| 15~0 | (ベクタ番号設定) | 除算器のオーバフローまたはアンダフローによる割り込みの発生時、割り込みのベクタ番号を設定 |

| | | |
|--------------------------------------|--------------------------------------------|----|
| ベクタ番号設定レジスタ DMA0、1 (VCRDMA0、VCRDMA1) | H'FFFFFFA0 (チャンネル0) H'FFFFFFA8 (チャンネル1) | 32 |
|--------------------------------------|--------------------------------------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | - | - | - | - | - | - | - | VC7 | VC6 | VC5 | VC4 | VC3 | VC2 | VC1 | VC0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | - | - | - | - | - | - | - | - |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|-----|------------------------|-------------------------|
| 7~0 | ベクタ番号ビット 7~0 (VC7~VC0) | DMAC 転送終了時の割り込みベクタ番号を設定 |

INTC

| | | |
|---------------------|------------|------|
| 割り込みコントロールレジスタ(ICR) | H'FFFFFFE0 | 8/16 |
|---------------------|------------|------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------|----|----|----|----|----|---|------|---|---|---|---|---|---|---|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | NMIL | - | - | - | - | - | - | NMIE | - | - | - | - | - | - | - | VEC MD |
| 初期値 | 0/1* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R/W | R | R | R | R | R | R | R | R/W |

【注】* NMI 端子入力がハイレベルのとき 1、NMI 端子入力がローレベルのとき 0

| ビット | ビット名称 | 値 | 説明 |
|-----|--------------------------------|---|---------------------------------|
| 15 | NMIL 入力レベル (NMIL) | 0 | NMI 端子にローレベルが入力されている |
| | | 1 | NMI 端子にハイレベルが入力されている |
| 8 | NMI エッジセレクト (NMIE) | 0 | NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値) |
| | | 1 | NMI 入力の立ち上がりエッジで割り込み要求を検出 |
| 1 | IRL 割り込みベクタモード セレクト (VECMD) | 0 | オートベクタモード、ベクタ番号を内部で自動的に設定 (初期値) |
| | | 1 | 外部ベクタモード、ベクタ番号を外部から入力 |

WDT

| | | |
|----------------------------------------|-------------|-----------------------|
| ウォッチドッグタイムコントロール /ステータスレジスタ (WTCSR) | H'FFFFFFE80 | 8 (読み出し) 16 (書き込み) |
|----------------------------------------|-------------|-----------------------|

| 項目 | ビット | | | | | | | |
|------|--------|----------------|-----|---|---|------|------|------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | OVF | WT/ \bar{IT} | TME | - | - | CKS2 | CKS1 | CKS0 |
| 初期値 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| R/W | R/(W)* | R/W | R/W | - | - | R/W | R/W | R/W |

【注】 * WTCSR は容易に書き換えられないように書き込み方法が一般のレジスタと異なっています。詳しくは「12.2.4 レジスタアクセス時の注意」を参照してください。

| ビット | ビット名称 | 値 | 説明 | | | |
|-----|---------------------------------|------|------------------------------------------------------------------------|--------|----------|---------------------------|
| 7 | オーバフローフラグ (OVF) | 0 | インターバルタイムモードで WTCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む | | | |
| | | 1 | インターバルタイムモードで WTCNT のオーバフロー発生 | | | |
| 6 | タイムモードセレクト (WT/ \bar{IT}) | 0 | インターバルタイムモード: WTCNT がオーバフローしたとき CPU ヘインターバル タイム割り込み (ITI) を要求 (初期値) | | | |
| | | 1 | ウォッチドッグタイムモード: WTCNT がオーバフローしたとき WDTOVF 信号を外部へ出力 | | | |
| 5 | タイムイネーブル (TME) | 0 | タイムディスエーブル: WTCNT を H'00 に初期化し、カウントアップを停止 (初期値) | | | |
| | | 1 | タイムイネーブル: WTCNT はカウントアップを開始。WTCNT がオーバフローすると、 WDTOVF 信号または割り込みを発生 | | | |
| 2~0 | クロックセレクト 2~0 (CKS2 ~ CKS0) | CKS2 | CKS1 | CKS0 | クロック | オーバフロー周期 (= 28.7MHz の場合) |
| | | 0 | 0 | 0 | /2 (初期値) | 17.8 μ s |
| | | 0 | 0 | 1 | /64 | 570.8 μ s |
| | | 0 | 1 | 0 | /128 | 1.1ms |
| | | 0 | 1 | 1 | /256 | 2.2ms |
| | | 1 | 0 | 0 | /512 | 4.5ms |
| | | 1 | 0 | 1 | /1024 | 9.1ms |
| | | 1 | 1 | 0 | /4096 | 35.5ms |
| 1 | 1 | 1 | /8192 | 73.0ms | | |

| | | |
|---------------------------|------------------------------------------|-----------------------|
| ウォッチドッグタイムカウンタ (WTCNT) | H'FFFFFFE80 (書き込み) H'FFFFFFE81 (読み出し) | 16 (書き込み) 8 (読み出し) |
|---------------------------|------------------------------------------|-----------------------|

| 項目 | ビット | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|-----|---------|-------------|
| 7~0 | (カウント値) | 入力クロックカウント値 |

WDT

| | | |
|-------------------------------|--------------------|-----------|
| リセットコントロール/ステータスレジスタ (RSTCSR) | H'FFFFFFE82 (書き込み) | 16 (書き込み) |
| | H'FFFFFFE83 (読み出し) | 8 (読み出し) |

| 項目 | ビット | | | | | | | |
|------|--------|------|------|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | WOVF | RSTE | RSTS | - | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/(W)* | R/W | R/W | - | - | - | - | - |

【注】* フラグをクリアするために0のみ書き込むことができます。

| ビット | ビット名称 | 値 | 説明 |
|-----|-----------------------------|---|---------------------------------------------------------------------------------|
| 7 | ウォッチドッグタイマオーバーフローフラグ (WOVF) | 0 | ウォッチドッグタイマモードで WTCNT のオーバフローなし (初期値) [クリア条件] WOVF を読み出してから WOVF に 0 を書き込む |
| | | 1 | ウォッチドッグタイマモードで WTCNT のオーバフロー発生 |
| 6 | リセットイネーブル (RSTE) | 0 | WTNCT がオーバフローしたとき、内部リセットしない (初期値) |
| | | 1 | WTNCT がオーバフローしたとき、内部リセットする |
| 5 | リセットセレクト (RSTS) | 0 | パワーオンリセット (初期値) |
| | | 1 | マニュアルリセット |

DIVU

| | | |
|---------------|------------|----|
| 除数レジスタ (DVSR) | H'FFFFFF00 | 32 |
|---------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|----------|-------------|
| 31~0 | (除数書き込み) | 演算する除数を書き込む |

| | | |
|-------------------------|------------|----|
| 32ビット用被除数レジスタ L (DVDNT) | H'FFFFFF04 | 32 |
|-------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|---------|------------------------------|
| 31~0 | (被除数設定) | 32ビット/32ビット演算の場合の被除数32ビットを設定 |

DIVU

| | | |
|---------------------|------------|-------|
| 除数コントロールレジスタ (DVCR) | H'FFFFFF08 | 16/32 |
|---------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | OVF IE | OVF |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|-------------------------|---|--------------------------------|
| 1 | OVF インタラプトイネーブル (OVFIE) | 0 | OVF による割り込み要求 (OVFI) を禁止 (初期値) |
| | | 1 | OVF による割り込み要求 (OVFI) を許可 |
| 0 | オーバフローフラグ (OVF) | 0 | オーバフローが発生していない (初期値) |
| | | 1 | オーバフローが発生した |

| | | |
|--------------------|------------|----|
| 被除数レジスタ H (DVDNTH) | H'FFFFFF10 | 32 |
|--------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|---------|-------------------------------------|
| 31~0 | (被除数設定) | 64 ビット/32 ビット演算の場合の被除数上位側 32 ビットを設定 |

| | | |
|---------------------|------------|----|
| 被除数レジスタ L (DVDNTHL) | H'FFFFFF14 | 32 |
|---------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|---------|-------------------------------------|
| 31~0 | (被除数設定) | 64 ビット/32 ビット演算の場合の被除数下位側 32 ビットを設定 |

UBC

| | | |
|----------------------------|------------|-------|
| ブレイクアドレスレジスタ AH (BARAH) | H'FFFFFF40 | 16/32 |
|----------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAA31 | BAA30 | BAA29 | BAA28 | BAA27 | BAA26 | BAA25 | BAA24 | BAA23 | BAA22 | BAA21 | BAA20 | BAA19 | BAA18 | BAA17 | BAA16 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|----------------------------------|--------------------------------------------|
| 15~0 | ブレイクアドレス A31~16 (BAA31~BAA16) | チャンネル A のブレイク条件とするアドレスの上位側 (ビット 31~16) を指定 |

| | | |
|----------------------------|------------|----|
| ブレイクアドレスレジスタ AL (BARAL) | H'FFFFFF42 | 16 |
|----------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAA15 | BAA14 | BAA13 | BAA12 | BAA11 | BAA10 | BAA9 | BAA8 | BAA7 | BAA6 | BAA5 | BAA4 | BAA3 | BAA2 | BAA1 | BAA0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|--------------------------------|-------------------------------------------|
| 15~0 | ブレイクアドレス A15~0 (BAA15~BAA0) | チャンネル A のブレイク条件とするアドレスの下位側 (ビット 15~0) を指定 |

| | | |
|--------------------------------|------------|-------|
| ブレイクアドレスマスクレジスタ AH (BAMRAH) | H'FFFFFF44 | 16/32 |
|--------------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAMA 31 | BAMA 30 | BAMA 29 | BAMA 28 | BAMA 27 | BAMA 26 | BAMA 25 | BAMA 24 | BAMA 23 | BAMA 22 | BAMA 21 | BAMA 20 | BAMA 19 | BAMA 18 | BAMA 17 | BAMA 16 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|------|---------------------------------------|---|------------------------------------------------------|
| 15~0 | ブレイクアドレスマスク A31~16 (BAMA31~BAMA16) | 0 | チャンネル A のブレイクアドレス BAA _n をブレイク条件に含める (初期値) |
| | | 1 | チャンネル A のブレイクアドレス BAA _n をブレイク条件に含めない |

n=31~16

UBC

| | | |
|--------------------------------|------------|----|
| ブレイクアドレスマスクレジスタ AL (BAMRAL) | H'FFFFFF46 | 16 |
|--------------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA | BAMA |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|------|-------------------------------------|---|------------------------------------------------------|
| 15~0 | ブレイクアドレスマスク A15~0 (BAMA15~BAMA0) | 0 | チャンネル A のブレイクアドレス BAA _n をブレイク条件に含める (初期値) |
| | | 1 | チャンネル A のブレイクアドレス BAA _n をブレイク条件に含めない |

n=15~0

| | | |
|----------------------------|------------|-------|
| ブレイクバスサイクルレジスタ A (BBRA) | H'FFFFFF48 | 16/32 |
|----------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|---|---|------|------|------|------|------|------|------|------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | - | - | - | - | - | - | - | CPA1 | CPA0 | IDA1 | IDA0 | RWA1 | RWA0 | SZA1 | SZA0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|------|---------------------------------------|-----|----------------------------------|
| 7, 6 | CPU サイクル/周辺サイクル セレクト A (CPA1、CPA0) | 0 0 | チャンネル A のユーザブレイク割り込みは発生しない (初期値) |
| | | 0 1 | CPU サイクルをブレイク条件とする |
| | | 1 0 | 周辺サイクルをブレイク条件とする |
| | | 1 1 | CPU サイクルまたは周辺サイクルをブレイク条件とする |
| 5, 4 | 命令フェッチ/データアクセス セレクト A (IDA1、IDA0) | 0 0 | チャンネル A のユーザブレイク割り込みは発生しない (初期値) |
| | | 0 1 | 命令フェッチサイクルをブレイク条件とする |
| | | 1 0 | データアクセスサイクルをブレイク条件とする |
| | | 1 1 | 命令フェッチサイクルまたはデータアクセスをブレイク条件とする |
| 3, 2 | リード/ライト セレクト A (RWA1、RWA0) | 0 0 | チャンネル A のユーザブレイク割り込みは発生しない (初期値) |
| | | 0 1 | リードサイクルをブレイク条件とする |
| | | 1 0 | ライトサイクルをブレイク条件とする |
| | | 1 1 | リードサイクルまたはライトサイクルをブレイク条件とする |
| 1, 0 | オペランドサイズ セレクト A (SZA1、SZA0) | 0 0 | ブレイク条件にオペランドサイズを含まない (初期値) |
| | | 0 1 | バイトアクセスをブレイク条件とする |
| | | 1 0 | ワードアクセスをブレイク条件とする |
| | | 1 1 | ロングワードアクセスをブレイク条件とする |

UBC

| | | |
|-------------------------|------------|-------|
| ブ레이크アドレスレジスタ BH (BARBH) | H'FFFFFF60 | 16/32 |
|-------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAB31 | BAB30 | BAB29 | BAB28 | BAB27 | BAB26 | BAB25 | BAB24 | BAB23 | BAB22 | BAB21 | BAB20 | BAB19 | BAB18 | BAB17 | BAB16 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|-------------------------------|--------------------------------------------|
| 15~0 | ブ레이크アドレス B31~16 (BAB31~BAB16) | チャンネル B のブ레이크条件とするアドレスの上位側 (ビット 31~16) を指定 |

| | | |
|-------------------------|------------|----|
| ブ레이크アドレスレジスタ BL (BARBL) | H'FFFFFF62 | 16 |
|-------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAB15 | BAB14 | BAB13 | BAB12 | BAB11 | BAB10 | BAB9 | BAB8 | BAB7 | BAB6 | BAB5 | BAB4 | BAB3 | BAB2 | BAB1 | BAB0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|-----------------------------|-------------------------------------------|
| 15~0 | ブ레이크アドレス B15~0 (BAB15~BAB0) | チャンネル B のブ레이크条件とするアドレスの下位側 (ビット 15~0) を指定 |

| | | |
|-----------------------------|------------|-------|
| ブ레이크アドレスマスクレジスタ BH (BAMRBH) | H'FFFFFF64 | 16/32 |
|-----------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAMB31 | BAMB30 | BAMB29 | BAMB28 | BAMB27 | BAMB26 | BAMB25 | BAMB24 | BAMB23 | BAMB22 | BAMB21 | BAMB20 | BAMB19 | BAMB18 | BAMB17 | BAMB16 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|------|------------------------------------|---|------------------------------------------|
| 15~0 | ブ레이크アドレスマスク B31~16 (BAMB31~BAMB16) | 0 | チャンネル B のブ레이크アドレス BABn をブ레이크条件に含める (初期値) |
| | | 1 | チャンネル B のブ레이크アドレス BABn をブ레이크条件に含めない |

n=31~16

UBC

| | | |
|-----------------------------|------------|----|
| ブ레이크アドレスマスクレジスタ BL (BAMRBL) | H'FFFFFF66 | 16 |
|-----------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------------|------------|------------|------------|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BAMB 15 | BAMB 14 | BAMB 13 | BAMB 12 | BAMB 11 | BAMB 10 | BAMB 9 | BAMB 8 | BAMB 7 | BAMB 6 | BAMB 5 | BAMB 4 | BAMB 3 | BAMB 2 | BAMB 1 | BAMB 0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|------|----------------------------------|---|---------------------------------------|
| 15~0 | ブ레이크アドレスマスク B15~0 (BAMB15~BAMB0) | 0 | チャンネルBのブ레이크アドレス BABn をブ레이크条件に含める(初期値) |
| | | 1 | チャンネルBのブ레이크アドレス BABn をブ레이크条件に含めない |

n=15~0

| | | |
|------------------------|------------|-------|
| ブ레이크データレジスタ BH (BDRBH) | H'FFFFFF70 | 16/32 |
|------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BDB 31 | BDB 30 | BDB 29 | BDB 28 | BDB 27 | BDB 26 | BDB 25 | BDB 24 | BDB 23 | BDB 22 | BDB 21 | BDB 20 | BDB 19 | BDB 18 | BDB 17 | BDB 16 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|------------------------------|--------------------------------------|
| 15~0 | ブ레이크データ B31~16 (BDB31~BDB16) | チャンネルBのブ레이크条件とするデータの上位側(ビット31~16)を指定 |

| | | |
|-----------------------|------------|----|
| ブ레이크データレジスタ BL(BDRBL) | H'FFFFFF72 | 16 |
|-----------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----------|-----------|-----------|-----------|-----------|-----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BDB 15 | BDB 14 | BDB 13 | BDB 12 | BDB 11 | BDB 10 | BDB 9 | BDB 8 | BDB 7 | BDB 6 | BDB 5 | BDB 4 | BDB 3 | BDB 2 | BDB 1 | BDB 0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|----------------------------|-------------------------------------|
| 15~0 | ブ레이크データ B15~0 (BDB15~BDB0) | チャンネルBのブ레이크条件とするデータの低位側(ビット15~0)を指定 |

UBC

| | | |
|---------------------------|------------|-------|
| ブレイクデータマスクレジスタ BH(BDMRBH) | H'FFFFFF74 | 16/32 |
|---------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BDMB 31 | BDMB 30 | BDMB 29 | BDMB 28 | BDMB 27 | BDMB 26 | BDMB 25 | BDMB 24 | BDMB 23 | BDMB 22 | BDMB 21 | BDMB 20 | BDMB 19 | BDMB 18 | BDMB 17 | BDMB 16 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|------|--------------------------------------|---|---------------------------------------|
| 15~0 | ブレイクデータマスク B31~16 (BDMB31~BDMB16) | 0 | チャンネルBのブレイクアドレス BDBn をブレイク条件に含める(初期値) |
| | | 1 | チャンネルBのブレイクアドレス BDBn をマスクし、条件に含めない |

n=31~16

| | | |
|---------------------------|------------|----|
| ブレイクデータマスクレジスタ BL(BDMRBL) | H'FFFFFF76 | 16 |
|---------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------------|------------|------------|------------|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | BDMB 15 | BDMB 14 | BDMB 13 | BDMB 12 | BDMB 11 | BDMB 10 | BDMB 9 | BDMB 8 | BDMB 7 | BDMB 6 | BDMB 5 | BDMB 4 | BDMB 3 | BDMB 2 | BDMB 1 | BDMB 0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|------|------------------------------------|---|---------------------------------------|
| 15~0 | ブレイクデータマスク B15~0 (BDMB15~BDMB0) | 0 | チャンネルBのブレイクアドレス BDBn をブレイク条件に含める(初期値) |
| | | 1 | チャンネルBのブレイクアドレス BDBn をマスクし、条件に含めない |

n=15~0

UBC

| | | |
|------------------------|------------|-------|
| ブレイクバスサイクルレジスタ B(BBRB) | H'FFFFFF68 | 16/32 |
|------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|---|---|------|------|------|------|------|------|------|------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | CPB1 | CPB0 | IDB1 | IDB0 | RWB1 | RWB0 | SZB1 | SZB0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|--------------------------------------|-----|----------------------------------|
| 7、6 | CPU サイクル/周辺サイクルセレクト B (CPB1、CPB0) | 0 0 | チャンネル B のユーザブレイク割り込みは発生しない (初期値) |
| | | 0 1 | CPU サイクルをブレイク条件とする |
| | | 1 0 | 周辺サイクルをブレイク条件とする |
| | | 1 1 | CPU サイクル又は周辺サイクルをブレイク条件とする |
| 5、4 | 命令フェッチ/データアクセス セレクト B (IDB1、IDB0) | 0 0 | チャンネル B のユーザブレイク割り込みは発生しない (初期値) |
| | | 0 1 | 命令フェッチサイクルをブレイク条件とする |
| | | 1 0 | データアクセスサイクルをブレイク条件とする |
| | | 1 1 | 命令フェッチサイクルまたはデータアクセスをブレイク条件とする |
| 3、2 | リード/ライトセレクト B (RWB1、RWB0) | 0 0 | チャンネル B のユーザブレイク割り込みは発生しない (初期値) |
| | | 0 1 | リードサイクルをブレイク条件とする |
| | | 1 0 | ライトサイクルをブレイク条件とする |
| | | 1 1 | リードサイクル又はライトサイクルをブレイク条件とする |
| 1、0 | オペランドサイズセレクト B (SZB1、SZB0) | 0 0 | ブレイク条件にオペランドサイズを含まない (初期値) |
| | | 0 1 | バイトアクセスをブレイク条件とする |
| | | 1 0 | ワードアクセスをブレイク条件とする |
| | | 1 1 | ロングワードアクセスをブレイク条件とする |

UBC

ブレークコントロールレジスタ(BRCR) H'FFFFFF78 16/32

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----------|-----------|------|-----|----|------|---|---|-----------|-----------|---|-----|------|------|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | CMF CA | CMF PA | EBBE | UMD | | PCBA | | | CMF CB | CMF PB | | SEQ | DBEB | PCBB | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R | R/W | R | R | R/W | R/W | R | R/W | R/W | R/W | R | R |

| ビット | ビット名称 | 値 | 説明 |
|-----|-----------------------------|---|--------------------------------------------------|
| 15 | CPU コンディションマッチフラグ A (CMFCA) | 0 | チャンネル A の CPU サイクル条件で、ユーザブレークの割り込みは発生していない (初期値) |
| | | 1 | チャンネル A の CPU サイクル条件で、ユーザブレークの割り込みが発生した |
| 14 | 周辺コンディションマッチフラグ A (CMFPA) | 0 | チャンネル A の周辺サイクル条件で、ユーザブレークの割り込みは発生していない (初期値) |
| | | 1 | チャンネル A の周辺サイクル条件で、ユーザブレークの割り込みが発生した |
| 13 | 外部バスブレークイネーブル (EBBE) | 0 | チップ外部のバスサイクルをブレーク条件に含めない (初期値) |
| | | 1 | チップ外部のバスサイクルをブレーク条件に含める |
| 12 | UBC モード (UMD) | 0 | SH7000 シリーズの UBC モードと互換モードにする (初期値) |
| | | 1 | SH7604 モードにする |
| 10 | PC ブレークセレクト A (PCBA) | 0 | チャンネル A の命令フェッチサイクルのブレーク条件を命令実行前にする (初期値) |
| | | 1 | チャンネル A の命令フェッチサイクルのブレーク条件を命令実行後にする |
| 7 | CPU コンディションマッチフラグ B (CMFCB) | 0 | チャンネル B の CPU サイクルの条件で、ユーザブレーク割り込みは発生していない (初期値) |
| | | 1 | チャンネル B の CPU サイクルの条件で、ユーザブレーク割り込みが発生した |
| 6 | 周辺コンディションマッチフラグ B (CMFPB) | 0 | チャンネル B の周辺サイクルの条件で、ユーザブレーク割り込みは発生していない (初期値) |
| | | 1 | チャンネル B の周辺サイクルの条件で、ユーザブレーク割り込みが発生した |
| 4 | シーケンス条件セレクト (SEQ) | 0 | チャンネル A, B を独立条件でコンペアする (初期値) |
| | | 1 | チャンネル A, B をシーケンシャル条件でコンペアする (チャンネル A チャンネル B) |
| 3 | データブレークイネーブル B (DBEB) | 0 | チャンネル B の条件にデータバスの条件を含めない (初期値) |
| | | 1 | チャンネル B の条件にデータバスの条件を含める |
| 2 | 命令ブレークセレクト B (PCBB) | 0 | チャンネル B の命令フェッチサイクルのブレーク条件を命令実行前にする (初期値) |
| | | 1 | チャンネル B の命令フェッチサイクルのブレーク条件を命令実行後にする |

DMAC

| | | |
|------------------------------------|--------------------------------------------|----|
| DMA ソースアドレスレジスタ 0、1 (SAR0、SAR1) | H'FFFFFF80 (チャンネル0) H'FFFFFF90 (チャンネル1) | 32 |
|------------------------------------|--------------------------------------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | | | | | | | | | | | | | | | | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | | | | | | | | | | | | | | | | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|-------------|-----------------|
| 31~0 | (転送元アドレス指定) | DMA 転送元のアドレスを指定 |

| | | |
|-------------------------------------------|--------------------------------------------|----|
| DMA デスティネーションアドレス レジスタ 0、1 (DAR0、DAR1) | H'FFFFFF84 (チャンネル0) H'FFFFFF94 (チャンネル1) | 32 |
|-------------------------------------------|--------------------------------------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | | | | | | | | | | | | | | | | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | | | | | | | | | | | | | | | | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|-------------|-----------------|
| 31~0 | (転送先アドレス指定) | DMA 転送先のアドレスを指定 |

| | | |
|---------------------------------------|--------------------------------------------|----|
| DMA トランスファカウントレジスタ 0、1 (TCR0、TCR1) | H'FFFFFF88 (チャンネル0) H'FFFFFF98 (チャンネル1) | 32 |
|---------------------------------------|--------------------------------------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | - | - | - | - | - | - | - | - | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | - | - | - | - | - | - | - | - |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | | | | | | | | | | | | | | | | |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|------|----------|-----------------------------------|
| 23~0 | (転送回数指定) | DMA 転送回数を指定 (DMA 転送中は、残りの転送回数を示す) |

DMAC

| | | |
|------------------------------------------|--------------------------------------------|----|
| DMA チャンネルコントロールレジスタ 0、1 (CHCR0、CHCR1) | H'FFFFFF8C (チャンネル0) H'FFFFFF9C (チャンネル1) | 32 |
|------------------------------------------|--------------------------------------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|--------|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | DM1 | DM0 | SM1 | SM0 | TS1 | TS0 | AR | AM | AL | DS | DL | TB | TA | IE | TE | DE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/(W)* | R/W |

【注】* フラグをクリアするため、1リード後に0のみライトすることができます。

| ビット | ビット名称 | 値 | 説明 |
|-------|-----------------------------------|-----|-------------------------------------------------------------------------------|
| 15、14 | デスティネーションアドレスモードビット 1、0 (DM1、DM0) | 0 0 | デスティネーションアドレスは固定 (初期値) |
| | | 0 1 | デスティネーションアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト単位転送時は +16) |
| | | 1 0 | デスティネーションアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト単位転送時は -16) |
| | | 1 1 | 予約 (設定禁止) |
| 13、12 | ソースアドレスモードビット 1、0 (SM1、SM0) | 0 0 | ソースアドレスは固定 (16 バイト単位転送時は、+16) (初期値) |
| | | 0 1 | ソースアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト単位転送時は +16) |
| | | 1 0 | ソースアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト単位転送時は +16) |
| | | 1 1 | 予約 (設定禁止) |
| 11、10 | トランスファサイズビット 1、0 (TS1、TS0) | 0 0 | バイト単位 (初期値) |
| | | 0 1 | ワード (2 バイト) 単位 |
| | | 1 0 | ロングワード (4 バイト) 単位 |
| | | 1 1 | 16 バイト単位 (ロングワード 4 回転送) |
| 9 | オートリクエストモードビット (AR) | 0 | モジュールリクエストモード (初期値) |
| | | 1 | オートリクエストモード |
| 8 | アクノリッジ/トランスファモードビット (AM) | 0 | 読み出しサイクルで DACK を出力 メモリからデバイスヘデータを転送 (初期値) |
| | | 1 | 書き込みサイクルで DACK を出力 デバイスからメモリヘデータを転送 |
| 7 | アクノリッジレベルビット (AL) | 0 | DACK はアクティブロー信号 (初期値) |
| | | 1 | DACK はアクティブハイ信号 |
| 6 | DREQ セレクトビット (DS) | 0 | レベル検出 (初期値) |
| | | 1 | エッジ検出 |
| 5 | DREQ レベルビット (DL) | 0 | DS が 0 のとき DREQ をローレベル検出。DS が 1 のとき DREQ を立ち下がり検出 (初期値) |
| | | 1 | DS が 0 のとき DREQ をハイレベル検出。DS が 1 のとき DREQ を立ち上がり検出 |
| 4 | トランスファバスモードビット (TB) | 0 | サイクルスチールモード (初期値) |
| | | 1 | バーストモード |
| 3 | トランスファアドレスモードビット (TA) | 0 | デュアルアドレスモード (初期値) |
| | | 1 | シングルアドレスモード |
| 2 | インタラプトイネーブルビット (IE) | 0 | 割り込み要求を禁止 (初期値) |
| | | 1 | 割り込み要求を許可 |

(続く)

DMAC

(続き)

| ビット | ビット名称 | 値 | 説明 |
|-----|----------------------|---|--------------------------------------------------------------------|
| 1 | トランスファエンドフラグビット (TE) | 0 | DMA 転送中または DMA 転送中断 [クリア条件] TE ビットの 1 を読み出してから 0 を書き込む (初期値) |
| | | 1 | (TCR=0 により) DMA 転送終了 |
| 0 | DMA イネーブルビット (DE) | 0 | DMA 転送を禁止 (初期値) |
| | | 1 | DMA 転送を許可 |

| | | |
|----------------------------------------|------------------------------------------------|---|
| DMA 要求/応答選択制御レジスタ 0、1 (DRCR0、DRCR1) | H'FFFFFFE71 (チャンネル 0) H'FFFFFFE72 (チャンネル 1) | 8 |
|----------------------------------------|------------------------------------------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|---|---|---|---|---|-----|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | RS1 | RS0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|---------------------------|-----|----------------------------------|
| 1、0 | リソースセレクトビット 1、0 (RS1、RS0) | 0 0 | DREQ (外部リクエスト) (初期値) |
| | | 0 1 | RXI (内蔵 SCI の受信データフル割り込み転送要求) |
| | | 1 0 | TXI (内蔵 SCI の送信データエンプティ割り込み転送要求) |
| | | 1 1 | 予約 (設定禁止) |

| | | |
|-------------------------|------------|----|
| DMA オペレーションレジスタ (DMAOR) | H'FFFFFFB0 | 32 |
|-------------------------|------------|----|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|----|----|----|----|----|----|-----|--------|--------|-----|
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ビット名 | | | | | | | | | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
| 項目 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | | | | | PR | AE | NMIF | DME |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R/W | R/(W)* | R/(W)* | R/W |

【注】フラグをクリアするために 0 のみ書き込むことができます。

| ビット | ビット名称 | 値 | 説明 |
|-----|-----------------------|---|------------------------------------------------------------------------------|
| 3 | プライオリティモードビット (PR) | 0 | 優先順位固定モード (チャンネル 0 > チャンネル 1) (初期値) |
| | | 1 | ラウンドロビンモード (1 転送毎に優先順位が交代する方式) (リセット後初めての DMA 転送時の優先順位はチャンネル 1 > チャンネル 0) |
| 2 | アドレスエラーフラグビット (AE) | 0 | DMAC によるアドレスエラーなし [クリア条件] AE ビットの 1 を読み出してから 0 を書き込む (初期値) |
| | | 1 | DMAC によるアドレスエラー発生 |
| 1 | NMI フラグビット (NMIF) | 0 | NMIF 割り込みなし [クリア条件] NMIF ビットの 1 を読み出してから 0 を書き込む (初期値) |
| | | 1 | NMIF 割り込み発生 |
| 0 | DMA マスタイネーブルビット (DME) | 0 | 全チャンネルの DMA 転送を禁止 (初期値) |
| | | 1 | 全チャンネルの DMA 転送を許可 |

BSC

バスコントロールレジスタ 1 (BCR1) H'FFFFFFE0 16/32

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------------|----|----|------------|------------|------|-----------|-----------|-----------|-----------|-----------|-----------|---|-----------|-----------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | MAS TER | | | END IAN | BST ROM | PSHR | AHLW 1 | AHLW 0 | A1LW 1 | A1LW 0 | A0LW 1 | A0LW 0 | | DRAM 2 | DRAM 1 | DRAM 0 |
| 初期値 | | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-------|-----------------------------------------|-------|--------------------------------------|
| 15 | バスアービトレーション (MASTER) | 0 | マスタモード |
| | | 1 | スレーブモード |
| 12 | エリア 2 エンディアン指定 (ENDIAN) | 0 | 他のエリアと同じビッグエンディアン (初期値) |
| | | 1 | リトルエンディアン |
| 11 | エリア 0 パースト ROM イネーブル (BSTROM) | 0 | エリア 0 を通常にアクセスする (初期値) |
| | | 1 | エリア 0 をパースト ROM としてアクセスする |
| 10 | 部分空間共有指定 (PSHR) | 0 | MD5=0 のとき完全マスタモード (初期値) |
| | | 1 | MD5=0 のとき部分共有マスタモード |
| 9、8 | エリア 2 およびエリア 3 のロングウェイト指定 (AHLW1、AHLW0) | 0 0 | 3 ウェイト |
| | | 0 1 | 4 ウェイト |
| | | 1 0 | 5 ウェイト |
| | | 1 1 | 6 ウェイト (初期値) |
| 7、6 | エリア 1 のロングウェイト指定 (A1LW1、A1LW0) | 0 0 | 3 ウェイト |
| | | 0 1 | 4 ウェイト |
| | | 1 0 | 5 ウェイト |
| | | 1 1 | 6 ウェイト (初期値) |
| 5、4 | エリア 0 のロングウェイト指定 (A0LW1、A0LW0) | 0 0 | 3 ウェイト |
| | | 0 1 | 4 ウェイト |
| | | 1 0 | 5 ウェイト |
| | | 1 1 | 6 ウェイト (初期値) |
| 2~0 | DRAM 他メモリーネーブル (DRAM2 ~ DRAM0) | 0 0 0 | エリア 2、3 を通常空間とする (初期値) |
| | | 0 0 1 | エリア 2 を通常空間、エリア 3 をシンクロナス DRAM 空間とする |
| | | 0 1 0 | エリア 2 を通常空間、エリア 3 を DRAM 空間とする |
| | | 0 1 1 | エリア 2 を通常空間、エリア 3 を擬似 SRAM 空間とする |
| | | 1 0 0 | エリア 2 をシンクロナス DRAM 空間、エリア 3 を通常空間とする |
| | | 1 0 1 | エリア 2、3 とともにシンクロナス DRAM 空間とする |
| | | 1 1 0 | 予約 (設定禁止) |
| 1 1 1 | 予約 (設定禁止) | | |

BSC

| | | |
|--------------------------|------------|-------|
| バスコントロールレジスタ 2 (BCR2) | H'FFFFFFE4 | 16/32 |
|--------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|---|---|-----------|-----------|-----------|-----------|-----------|-----------|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | | | | | | | | | A3 SZ1 | A3 SZ0 | A2 SZ1 | A2 SZ0 | A1 SZ1 | A1 SZ0 | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R |

| ビット | ビット名称 | 値 | 説明 |
|-----|----------------------------------------------|-----|---------------------------|
| 7、6 | エリア 3 バスサイズ指定 (A3SZ1、A3SZ0) (通常空間設定でのみ有効) | 0 0 | 予約 (設定禁止) |
| | | 0 1 | バイト (8 ビット) サイズ |
| | | 1 0 | ワード (16 ビット) サイズ |
| | | 1 1 | ロングワード (32 ビット) サイズ (初期値) |
| 5、4 | エリア 2 バスサイズ指定 (A2SZ1、A2SZ0) (通常空間設定でのみ有効) | 0 0 | 予約 (設定禁止) |
| | | 0 1 | バイト (8 ビット) サイズ |
| | | 1 0 | ワード (16 ビット) サイズ |
| | | 1 1 | ロングワード (32 ビット) サイズ (初期値) |
| 3、2 | エリア 1 バスサイズ指定 (A1SZ1、A1SZ0) | 0 0 | 予約 (設定禁止) |
| | | 0 1 | バイト (8 ビット) サイズ |
| | | 1 0 | ワード (16 ビット) サイズ |
| | | 1 1 | ロングワード (32 ビット) サイズ (初期値) |

| | | |
|----------------------|------------|-------|
| ウェイトコントロールレジスタ (WCR) | H'FFFFFFE8 | 16/32 |
|----------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | IW31 | IW30 | IW21 | IW20 | IW11 | IW10 | IW01 | IW00 | W31 | W30 | W21 | W20 | W11 | W10 | W01 | W00 |
| 初期値 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

説明

| ビット | ビット名称 | 値 | 説明 |
|------|------------------------------------|------------------------------|------------------------------|
| 15～8 | エリア 3～0 サイクル間アイドル指定 (IW31～IW00) | IW31 IW21 IW11 IW01 | IW30 IW20 IW10 IW00 |
| | | 0 0 | アイドルサイクルなし |
| | | 0 1 | 1 アイドルサイクル挿入 |
| | | 1 0 | 2 アイドルサイクル挿入 (初期値) |
| | | 1 1 | 予約 (設定禁止) |

(続く)

BSC

(続き)

| ビット | ビット名称 | 値 | | 説明 | |
|-----|------------------------------|-----------------------------------|-----|-------------------------------------------|--|
| 7-0 | エリア 3~0 ウェイトコントロール (W31~W00) | 基本サイクル時 | | | |
| | | W31 | W30 | | |
| | | W21 | W20 | | |
| | | W11 | W10 | | |
| | | W01 | W00 | | |
| | | 0 | 0 | ノーウェイト外部ウェイト入力禁止 | |
| | | 0 | 1 | 1 ウェイト外部ウェイト入力イネーブル | |
| | | 1 | 0 | 2 ウェイト外部ウェイト入力イネーブル | |
| | | 1 | 1 | BCR1 のロングウェイト指定にしたがう。外部ウェイト入力はイネーブル (初期値) | |
| | | エリア 3 が DRAM の場合 | | | |
| | | W31 | W30 | | |
| | | 0 | 0 | CAS アサートサイクル数 1 サイクル | |
| | | 0 | 1 | CAS アサートサイクル数 2 サイクル | |
| | | 1 | 0 | CAS アサートサイクル数 3 サイクル | |
| | | 1 | 1 | 予約 (設定禁止) (初期値) | |
| | | エリア 2 または エリア 3 が シンクロナス DRAM の場合 | | | |
| | | W31 | W30 | | |
| | | W21 | W20 | | |
| | | 0 | 0 | CAS レイテンシ 1 サイクル | |
| | | 0 | 1 | CAS レイテンシ 2 サイクル | |
| | | 1 | 0 | CAS レイテンシ 3 サイクル | |
| | | 1 | 1 | CAS レイテンシ 4 サイクル (初期値) | |
| | | エリア 3 が 擬似 SRAM の場合 | | | |
| | | W31 | W30 | | |
| | | 0 | 0 | BS 信号アサートからサイクル終了まで 2 サイクル | |
| | | 0 | 1 | BS 信号アサートからサイクル終了まで 3 サイクル | |
| | | 1 | 0 | BS 信号アサートからサイクル終了まで 4 サイクル | |
| | | 1 | 1 | 予約 (設定禁止) (初期値) | |

個別メモリコントロールレジスタ (MCR) H'FFFFFFEC 16/32

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|-----|------|-----------|-----------|-----|------|---|------|-----|------|------|------|-----|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | TRP | RCD | TRWL | TRAS 1 | TRAS 0 | BE | RASD | | AMX2 | SZ | AMX1 | AMX0 | RFSH | RMD | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W | R | R |

(続く)

BSC

(続き)

| ビット | ビット名称 | 値 | 説明 |
|-----------|----------------------------------------------------|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15 | RAS プリチャージ期間 (TRP) | 0 | 1 サイクル (初期値) |
| | | 1 | 2 サイクル |
| 14 | RAS-CAS 遅延 (RCD) | 0 | 1 サイクル (初期値) |
| | | 1 | 2 サイクル |
| 13 | ライト-プリチャージ遅延 (TRWL) | 0 | 1 サイクル (初期値) |
| | | 1 | 2 サイクル |
| 12, 11 | CAS ビフォ RAS リフレッシュ RAS アサート期間 (TRAS1, TRAS0) | 0 0 | 2 サイクル (初期値) |
| | | 0 1 | 3 サイクル |
| | | 1 0 | 4 サイクル |
| | | 1 1 | 予約 (設定禁止) |
| 10 | バーストイネーブル (BE) | 0 | バースト禁止 (初期値) |
| | | 1 | DRAM インタフェース時、高速ページモードをイネーブルする。 擬似 SRAM インタフェース時、スタティックカラムモードで連続データ 転送を行う。シンクロナス DRAM のアクセスは、本ビットの指定によらず 常にバーストイネーブル状態。 |
| 9 | バンクアクティブモード (RASD) | 0 | DRAM の場合、アクセス終了後 RAS をネゲートします (通常オペレーショ ン)。シンクロナス DRAM の場合、オートプリチャージモードを用いてリ ード/ライトを行う。したがって、次のアクセスは、必ずバンクアクティ ブコマンドから開始される。 |
| | | 1 | DRAM の場合、アクセス終了後 RAS をアサートしたまま放置する RAS ダ ウンモードになる。DRAM 以外に書き込みを行う外部デバイスを接続して 本モードを使用する場合は「7.6.5 バーストアクセスの説明」を参照して ください。シンクロナス DRAM の場合、バンクアクティブ状態のままアク セスを終了する。ただしエリア 3 のみ有効。エリア 2 をシンクロナス DRAM とした場合に常にオートプリチャージモードとなる。 |
| 7, 5, 4 | アドレスマルチプレクス 2~0 (AMX2~AMX0) | DRAM インタフェースの場合 | |
| | | 0 0 0 | カラムアドレス 8 ビット品 (初期値) |
| | | 0 0 1 | カラムアドレス 9 ビット品 |
| | | 0 1 0 | カラムアドレス 10 ビット品 |
| | | 0 1 1 | カラムアドレス 11 ビット品 |
| | | 1 0 0 | 予約 (設定禁止) |
| | | 1 0 1 | 予約 (設定禁止) |
| | | 1 1 0 | 予約 (設定禁止) |
| | | 1 1 1 | 予約 (設定禁止) |
| | | シンクロナス DRAM の場合 | |
| | | 0 0 0 | 16M ビット品 (1M×16 ビット) (初期値) |
| | | 0 0 1 | 16M ビット品 (2M×8 ビット) |
| | | 0 1 0 | 16M ビット品 (4M×4 ビット) |
| | | 0 1 1 | 4M ビット品 (256M×16 ビット) |
| 1 0 0 | 予約 (設定禁止) | | |
| 1 0 1 | 予約 (設定禁止) | | |
| 1 1 0 | 予約 (設定禁止) | | |
| 1 1 1 | 2M ビット品 (126K×16 ビット) | | |
| 6 | メモリデータサイズ (SZ) | 0 | ワード (初期値) |
| | | 1 | ロングワード |
| 3 | リフレッシュ制御 (RFSH) | 0 | リフレッシュ動作をしない (初期値) |
| | | 1 | リフレッシュ動作をする |
| 2 | リフレッシュモード (RMODE) | 0 | 通常のリフレッシュを行う (初期値) |
| | | 1 | セルフリフレッシュを実行する |

BSC

| | | |
|-----------------------------------|------------|-------|
| リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) | H'FFFFFFF0 | 16/32 |
|-----------------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|---|---|-----|------|------|------|------|---|---|---|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | - | - | - | - | - | - | - | CMF | CMIE | CKS2 | CKS1 | CKS0 | - | - | - |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R | R | R |

| ビット | ビット名称 | 値 | 説明 |
|-------|----------------------------|-------|--------------------------------------------------------------------------------|
| 7 | コンペアマッチフラグ (CMF) | - | [クリア条件] CMF=1の状態ではRTCSRを読み出した後、CMFに0を書き込んだ時 [セット条件] RTCNT=RTCORになったとき |
| 6 | コンペアマッチインタラプトイネーブル (CMIE) | 0 | CMFによる割り込み要求を禁止 (初期値) |
| | | 1 | CMFによる割り込み要求を許可 |
| 5~3 | クロックセレクトビット2~0 (CKS2~CKS0) | 0 0 0 | カウントアップ停止 (初期値) |
| | | 0 0 1 | CLK/4 |
| | | 0 1 0 | CLK/16 |
| | | 0 1 1 | CLK/64 |
| | | 1 0 0 | CLK/256 |
| | | 1 0 1 | CLK/1024 |
| | | 1 1 0 | CLK/2048 |
| 1 1 1 | CLK/4096 | | |

BSC

| | | |
|----------------------|------------|-------|
| リフレッシュタイムカウンタ(RTCNT) | H'FFFFFFF4 | 16/32 |
|----------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | - | - | - | - | - | - | - | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|-----|---------|-------------|
| 7~0 | (カウント値) | 入力クロックカウント値 |

| | | |
|-----------------------------|------------|-------|
| リフレッシュタイムコンスタントレジスタ (RTCOR) | H'FFFFFFF8 | 16/32 |
|-----------------------------|------------|-------|

| 項目 | ビット | | | | | | | | | | | | | | | |
|------|-----|----|----|----|----|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | - | - | - | - | - | - | - | - | | | | | | | | |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 説明 |
|-----|-------------|-------------|
| 7~0 | (タイムコンスタント) | リフレッシュ周期を設定 |

キャッシュ

| | | |
|----------------------|-------------|---|
| キャッシュコントロールレジスタ(CCR) | H'FFFFFFE92 | 8 |
|----------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | W1 | W0 | - | CP | TW | OD | ID | CE |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|----------------------|-----|------------------------------|
| 7、6 | ウェイ指定ビット 1、0 (W1、W0) | 0 0 | ウェイ 0 (初期値) |
| | | 0 1 | ウェイ 1 |
| | | 1 0 | ウェイ 2 |
| | | 1 1 | ウェイ 3 |
| 4 | キャッシュバージビット (CP) | 0 | 通常動作 (初期値) |
| | | 1 | キャッシュバージ |
| 3 | 2ウェイモードビット (TW) | 0 | 4ウェイモード (初期値) |
| | | 1 | 2ウェイモード |
| 2 | データリプレース禁止ビット (OD) | 0 | 通常動作 (初期値) |
| | | 1 | データアクセス時、キャッシュミスしても置き換えを行わない |
| 1 | 命令レプレース禁止ビット (ID) | 0 | 通常動作 (初期値) |
| | | 1 | 命令フェッチ時、キャッシュミスしても置き換えを行わない |
| 0 | キャッシュイネーブルビット (CE) | 0 | キャッシュディスエーブル (初期値) |
| | | 1 | キャッシュイネーブル |

低消費電力

| | | |
|-------------------------|-------------|---|
| スタンバイコントロールレジスタ (SBYCR) | H'FFFFFFE91 | 8 |
|-------------------------|-------------|---|

| 項目 | ビット | | | | | | | |
|------|-----|-----|---|-------|-------|-------|-------|-------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ビット名 | SBY | HIZ | - | MSTP4 | MSTP3 | MSTP2 | MSTP1 | MSTP0 |
| 初期値 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | - | R/W | R/W | R/W | R/W | R/W |

| ビット | ビット名称 | 値 | 説明 |
|-----|--------------------|---|-------------------------------|
| 7 | スタンバイ (SBY) | 0 | SLEEP 命令の実行で、スリープモードへ遷移 (初期値) |
| | | 1 | SLEEP 命令の実行で、スタンバイモードへ遷移 |
| 6 | ポートハイインピーダンス (HIZ) | 0 | スタンバイモード時に、端子状態を保持する (初期値) |
| | | 1 | スタンバイモード時に、端子状態をハイインピーダンスにする |
| 4 | モジュールストップ 4(MSTP4) | 0 | DMAC は動作 (初期値) |
| | | 1 | DMAC へのクロック供給を停止 |
| 3 | モジュールストップ 3(MSTP3) | 0 | 乗算器 (MULT) は動作 (初期値) |
| | | 1 | 乗算器 (MULT) へのクロック供給を停止 |
| 2 | モジュールストップ 2(MSTP2) | 0 | 乗算器 (DIVU) は動作 (初期値) |
| | | 1 | 乗算器 (DIVU) へのクロック供給を停止 |
| 1 | モジュールストップ 1(MSTP1) | 0 | FRT は動作 (初期値) |
| | | 1 | FRT へのクロック供給を停止 |
| 0 | モジュールストップ 0(MSTP0) | 0 | SCI は動作 (初期値) |
| | | 1 | SCI へのクロック供給を停止 |

C. 外形寸法図

SH7604 の外形寸法図を図 C.1、図 C.2 に示します。

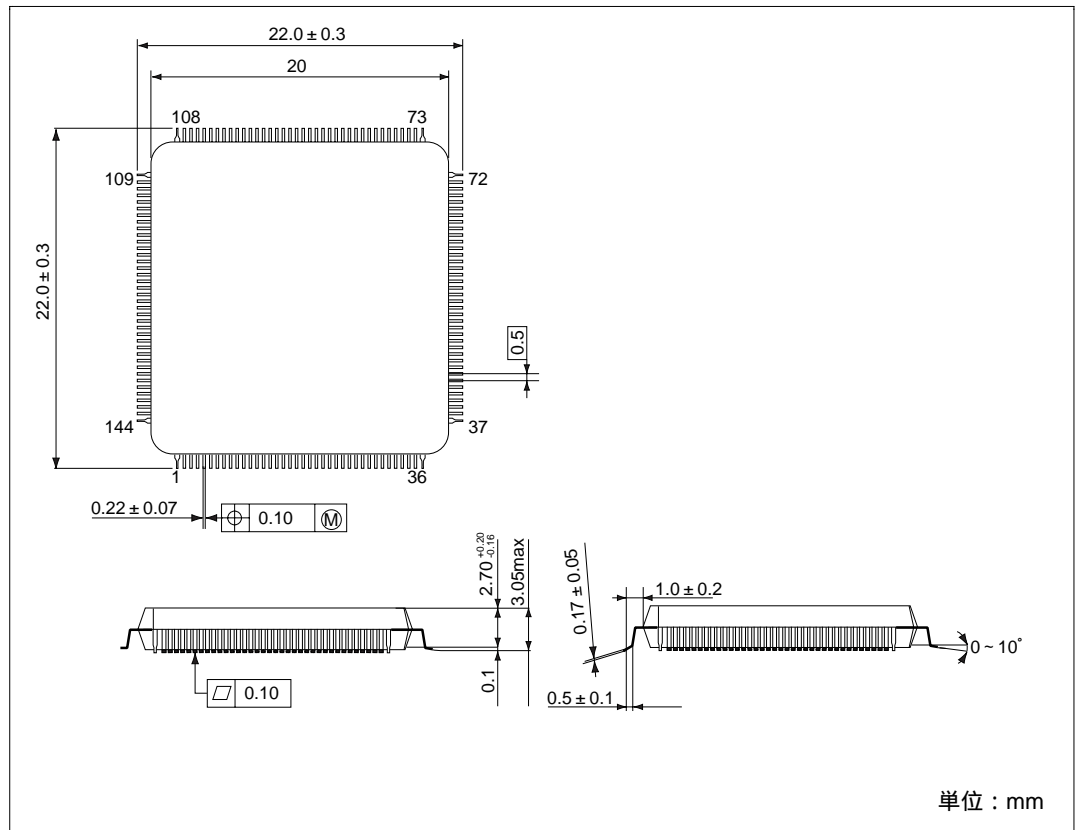


図 C.1 外形寸法図 (FP-144)

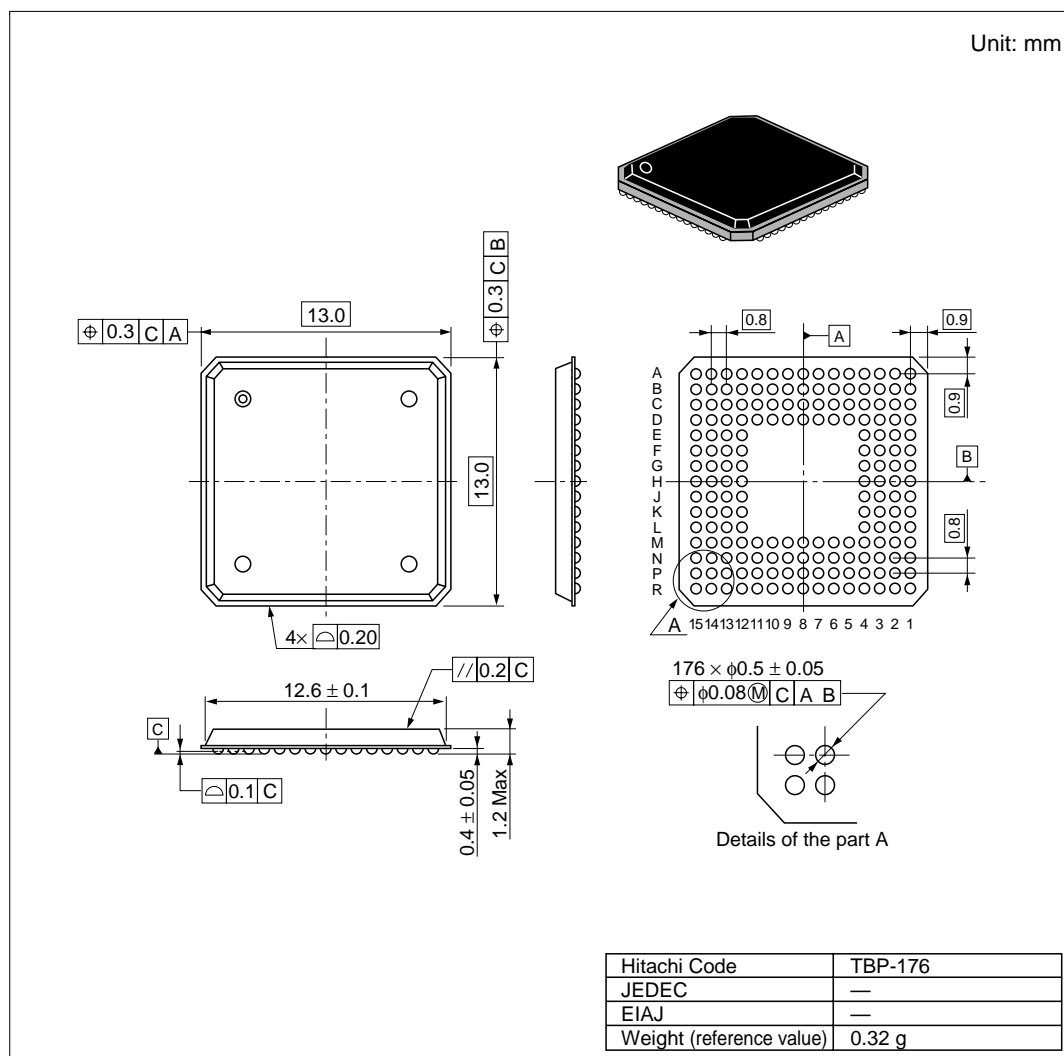


図 C.2 外形寸法図 (TBP-176)

SH7604 ハードウェアマニュアル

発行年月 1994年9月 第1版

2001年9月 第4版

発行 株式会社 日立製作所
半導体グループカスタマサービス本部

編集 株式会社 日立小平セミコン
技術ドキュメントグループ

©株式会社 日立製作所 1994

SH7604
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-092C