User's Manual

32

SH7753グループ

ユーザーズマニュアル　ハードウェア編

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISCエンジンファミリ／SH7780シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.10　2013.12

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
   各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
   家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、
   防災・防犯装置、各種安全装置等

   当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は，製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。
   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレス（予約領域）のアクセス禁止
   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
5. 製品間の相違について
   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。
   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後に記載しています。

改訂記録は旧版の記載内容に対して訂正又は追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

SH7753 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	SH7753 グループデータシート	R01DS0206JJ0110
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング) と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	SH7753 グループユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	SH-4A 拡張機能ソフトウェアマニュアル	RJJ09B0235
アプリケーションノート	周辺機能の使用方法、応用例 参考プログラム アセンブリ言語、C 言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

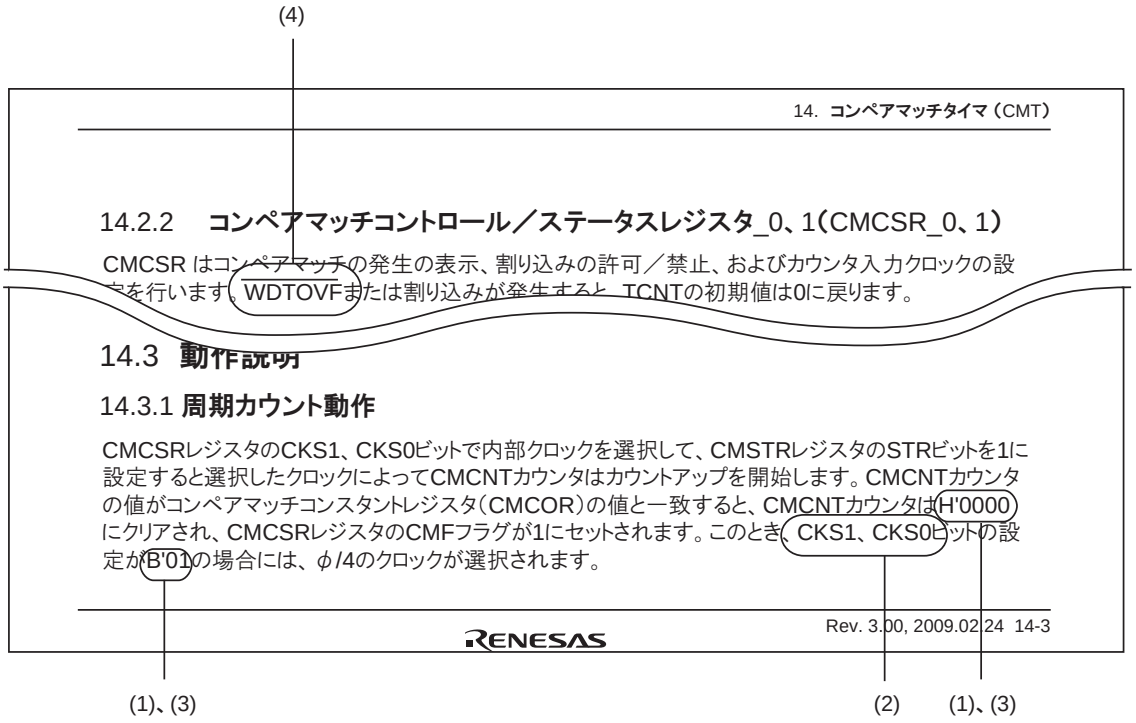
2. 数や記号の表記

(1) ビット表記
MSBを左側、LSBを右側に表記します。

(2) ビット名の表記
本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。
（例）CSK1、CSK0

(3) 数字の表記
2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnn、10進数はnnnn で表します。
(例) 2進数 : B'11 又は 11
16進数 : H'EFA0 又は 0xEFA0
10進数 : 1234

(4) Lアクティブの表記
Lアクティブの信号及び端子にはオーババーを付けています。
(例) $\overline{\text{WDTOVF}}$



注. 上図で示しているビット名や文章は例であり、本マニュアルの内容とは関係ありません。

3. 図中の信号レベル

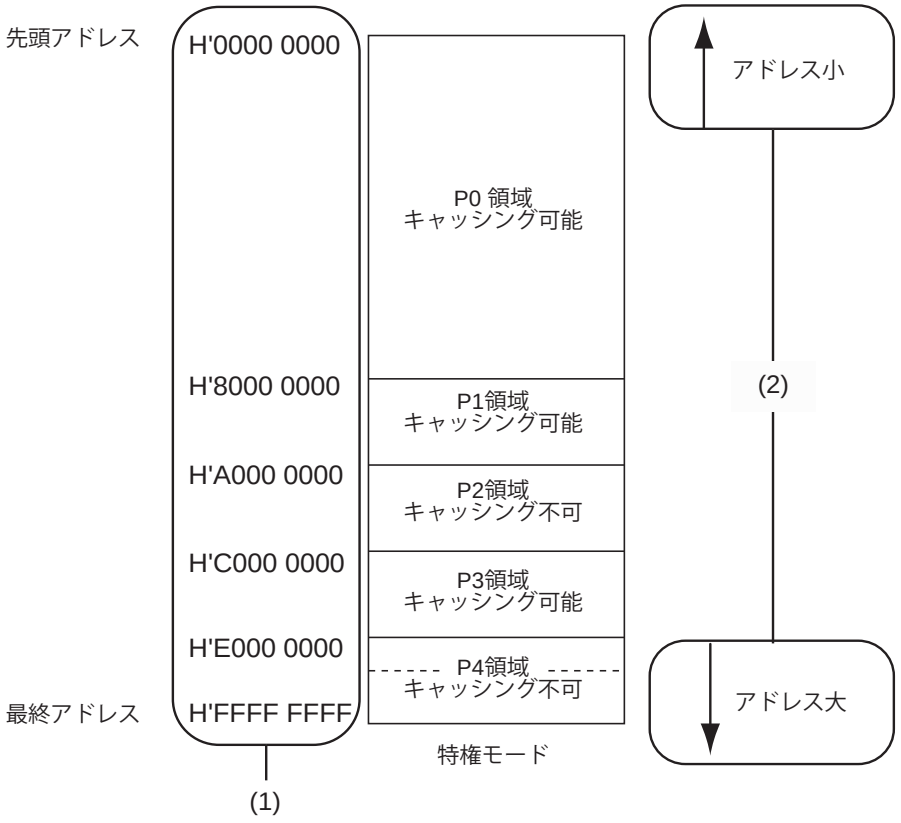
各機能の動作例及びタイミング例の図中の信号レベルは、原則として以下の意味を持ちます。

・信号レベルは、上が“1”、下が“0”

・端子の入出力レベルは、上がH、下がL

原則に沿わないものについては、信号の左側に表示します。

4. メモリマップとアドレスの表記



(1)メモリマップは最下位アドレス（上）→ 最上位アドレス（下）の順に表記します。

(2)アドレス表記のルールは以下の通りです。

下位：小さいアドレス値

上位：大きいアドレス値

先頭：最小アドレス値

最終：最大アドレス値

5. レジスタの表記

5.1 レジスター覧

x.x.x. SPI0レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
WDMA 転送先アドレスレジスタ	SPIWDMADR	R/W	H'FE00 1018	32	H'0020 0000	H'0020 0000	H'0020 0000
WDMA転送語数レジスタ	SPIWDMCNTR	R/W	H'FE00 1020	32	H'0000 0800	H'0000 0800	H'0000 0800
DMA コントロールレジスタ	SPIDMCOR	R/W	H'FE00 1028	32	H'0000 000X	H'0000 000X	H'0000 000X
割り込みステータスレジスタ	SPIDMINTSR	R/W	H'FE00 1188	32	H'0000 0000	H'0000 0000	H'0000 0000
スクレジスタ	SPIDMINTMR	R/W		32	H'0000 0007	H'0000 0007	

(1) (2) (3)

(1) R/Wレジスタ属性

R/W：読み出し又は書き込み可能なビットです。
R　：読み出し可能なビットです。
W　：書き込み可能なビットです。

注. R/Wについては「5.2 レジスタの説明」を参照してください。

(2) アクセスサイズ

特に注記がない場合、ここに記載されたサイズでアクセスしてください。
他のサイズでアクセスした場合は、動作の保証はできません。

(3) レジスタの状態

パワーオンリセット、マニュアルリセット及びソフトウェアリセット時のレジスタ値を示します。
ただし、ソフトウェアリセットビットがないモジュールについてはソフトウェアリセットの欄はありません。

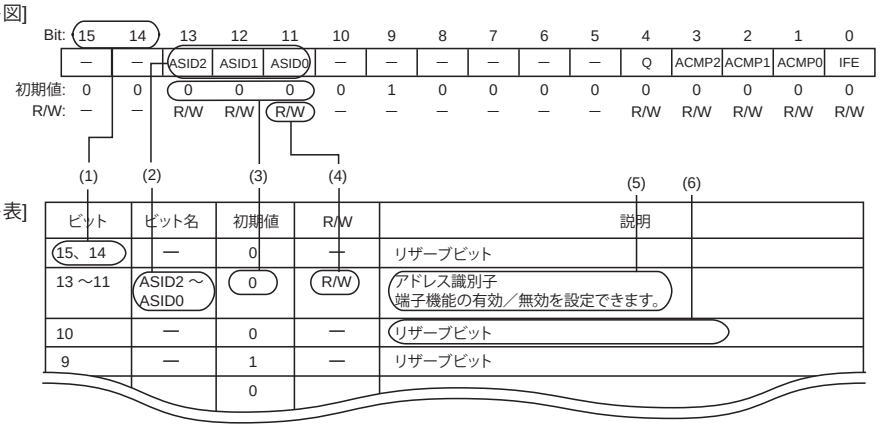
X：4ビット中、1ビットでも不定値がある場合

注　表に記載のアドレス以外にアクセスを行った場合は、動作を保証しません。

5.2 レジスタの説明

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。使用する記号や用語を以下に示します。

[ビット図]



[ビット表]

ビット	ビット名	初期値	R/W	説明
15、14	—	0	—	リザーブビット
13 ～11	ASID2 ～ ASID0	0	R/W	アドレス識別子 端子機能の有効／無効を設定できます。
10	—	0	—	リザーブビット
9	—	1	—	リザーブビット
		0		

注.上図で示しているビット名や文章は例であり、本マニュアルの内容とは関係ありません。

(1) ビット
ビット番号を示します。
32ビットのレジスタの場合、ビットは31～0の順になっています。16ビットの場合は15～0です。

(2) ビット名
ビット名またはフィールドを示します。
複数ビットで一つの機能を持つビットについては、ASID2～0又はASID[2:0]と表記します。
また、リザーブビットの場合は「—」と表記します。

(3) 初期値
各ビットのパワーオンリセット後の値を初期値として示します。
0 ：初期値が“0”であることを示します。
1 ：初期値が“1”であることを示します。
— ：初期値が不定であることを示します。

(4) R/W
各ビット又はフィールドが読み出し可能か、書き込み可能か、又は読み出しも書き込みも不可であるかを示します。
使用する表記を以下に説明します。

R/W ：読み出すとビットの状態が読み出せます。書き込んだ値は有効データになります。

R ：読み出すとビットの状態が読み出せます。
書き込んだ値は無効になります。したがって書き込む値は“0”又は“1”いずれでも可能です。
ただし、説明欄又は注に「書き込む値は“0”（又は“1”）にしてください」と書いてあるビットは、
“0”（又は“1”）を書き込んでください。

W ：書き込んだ値は有効データになります。
ビットの状態は読み出せません。読み出し時の値は不定です。
ただし、説明欄又は注に「読み出し時の値は“0”（又は“1”）」と書いてあるビットは、読み出し時の値が
“0”（又は“1”）になります。

— ：ビットの状態は読み出せません。読み出し時の値は不定です。
ただし、機能欄又は注に「読み出し時の値は“0”（又は“1”）」と書いてあるビットは、読み出し時の値が
“0”（又は“1”）になります。
書き込んだ値は無効になります。したがって、書き込む値は“0”または“1”いずれでも可能です。
ただし、説明欄又は注に「書き込む値は“0”（又は“1”）にしてください」と書いてあるヒットは、
“0”（又は“1”）を書き込んでください。

(5) 説明
各ビット又はフィールドの機能説明です。
記載されていない値、又は設定禁止となっている値を設定した場合は、動作を保証しません。

(6) リザーブビット
何も割り当てられていないビットです。
書き込む場合は、初期値を書き込んでください。
ただし、書き込み値が指定されている場合は、それに従ってください。
なお、同じ初期値のリザーブビットは、まとめて記載しています。
したがって、複数のリザーブビットの初期値が“1”と記載されている場合は、
そのリザーブビットはすべて初期値が“1”であることを示します。

すべての商標及び登録商標は、それぞれの所有者に帰属します。

目次

1 .概要
1.1 特長 1-1
1.2 アドレスマップ 1-9
1.3 ブロック図 1-10
1.4 ピン配置図 1-11
1.5 端子機能 1-28

2 .プログラミングモデル
2.1 データフォーマット 2-1
2.2 レジスタの構成 2-2
2.2.1 特権モードとバンク 2-2
2.2.2 汎用レジスタ 2-5
2.2.3 浮動小数点レジスタ 2-6
2.2.4 コントロールレジスタ 2-8
2.2.5 システムレジスタ 2-10
2.3 メモリ割り付けレジスタ 2-12
2.4 レジスタのデータ形式 2-13
2.5 メモリ上でのデータ形式 2-13
2.6 処理状態 2-14
2.7 使用上の注意事項 2-15
2.7.1 自己書き換えコード（注）に対する注意事項 2-15

3 .命令セット
3.1 実行環境 3-1
3.2 アドレッシングモード 3-3
3.3 命令セット 3-6

4 .パイプライン動作
4.1 パイプライン 4-1
4.2 並列実行性 4-12
4.3 発行レートと実行ステート 4-14

5 .浮動小数点ユニット（FPU）
5.1 概要 5-1
5.2 データフォーマット 5-1
5.2.1 浮動小数点フォーマット 5-1
5.2.2 非数（NaN） 5-3
5.2.3 非正規化数 5-3
5.3 レジスタ 5-4
5.3.1 浮動小数点レジスタ 5-4
5.3.2 浮動小数点ステータス／コントロールレジスタ（FPSCR） 5-5

5.3.3 浮動小数点通信レジスタ（FPUL）.....5-7
5.4 丸め.....5-8
5.5 浮動小数点例外.....5-8
5.5.1 一般 FPU 抑止／スロット FPU 抑止例外.....5-8
5.5.2 FPU 例外.....5-8
5.5.3 FPU 例外処理.....5-9
5.6 グラフィックサポート機能.....5-9
5.6.1 ジオメトリック演算命令.....5-9
5.6.2 ペア単精度データ転送.....5-10

6 .例外処理
6.1 概要.....6-1
6.2 レジスタの説明.....6-1
6.2.1 TRAPA 例外レジスタ（TRA）.....6-2
6.2.2 例外事象レジスタ（EXPEVT）.....6-2
6.2.3 割り込み事象レジスタ（INTEVT）.....6-3
6.2.4 非サポート検出例外レジスタ（EXPMASK）.....6-4
6.3 例外処理の機能.....6-5
6.3.1 例外処理の流れ.....6-5
6.3.2 例外処理ベクタアドレス.....6-5
6.4 例外の種類と優先順位.....6-6
6.5 例外フロー.....6-7
6.5.1 例外フロー.....6-7
6.5.2 例外要因の受け付け.....6-8
6.5.3 例外要求と BL ビット.....6-9
6.5.4 例外処理からの復帰.....6-9
6.6 各例外の説明.....6-10
6.6.1 リセット.....6-10
6.6.2 一般例外.....6-11
6.6.3 割り込み.....6-25
6.6.4 複数回の例外が発生する場合の優先順位.....6-27
6.7 注意事項.....6-28

7 .メモリマネジメントユニット（MMU）
7.1 MMU の概要.....7-1
7.1.1 アドレス空間.....7-3
7.2 レジスタの説明.....7-8
7.2.1 ページテーブルエントリ上位レジスタ（PTEH）.....7-8
7.2.2 ページテーブルエントリ下位レジスタ（PTEL）.....7-9
7.2.3 変換テーブルベースレジスタ（TTB）.....7-10
7.2.4 TLB 例外アドレスレジスタ（TEA）.....7-10
7.2.5 MMU 制御レジスタ（MMUCR）.....7-10
7.2.6 ページテーブルエントリアシスタンスレジスタ（PTEA）.....7-13
7.2.7 物理アドレス空間制御レジスタ（PASCR）.....7-13
7.2.8 命令再フェッチ抑止制御レジスタ（IRMCR）.....7-15
7.3 TLB の機能（TLB 互換モード：MEビット＝0）.....7-16
7.3.1 共用 TLB（UTLB）の構成.....7-16

7.3.2 命令 TLB（ITLB）の構成 7-18
7.3.3 アドレス変換方式 7-19
7.4 TLB の機能（TLB 拡張モード：MEビット＝1） 7-21
7.4.1 共用 TLB（UTLB）の構成 7-21
7.4.2 命令 TLB（ITLB）の構成 7-24
7.4.3 アドレス変換方式 7-25
7.5 MMU の機能 7-27
7.5.1 MMU のハードウェア管理 7-27
7.5.2 MMU のソフトウェア管理 7-27
7.5.3 MMU の命令（LDTLB） 7-28
7.5.4 ハードウェア ITLB ミスハンドリング 7-30
7.5.5 シノニム問題の回避 7-30
7.6 MMU 例外 7-31
7.6.1 命令 TLB 多重ヒット例外 7-31
7.6.2 命令 TLB ミス例外 7-31
7.6.3 命令 TLB 保護違反例外 7-32
7.6.4 データ TLB 多重ヒット例外 7-32
7.6.5 データ TLB ミス例外 7-33
7.6.6 データ TLB 保護違反例外 7-33
7.6.7 初期ページ書き込み例外 7-34
7.7 メモリ割り付けTLB の構成 7-36
7.7.1 ITLB アドレスアレイ 7-37
7.7.2 ITLB データアレイ（TLB 互換モード） 7-38
7.7.3 ITLB データアレイ（TLB 拡張モード） 7-39
7.7.4 UTLB アドレスアレイ 7-41
7.7.5 UTLB データアレイ（TLB 互換モード） 7-42
7.7.6 UTLB データアレイ（TLB 拡張モード） 7-43
7.8 32ビットアドレス拡張モード 7-45
7.8.1 32 ビットアドレス拡張モード概要 7-45
7.8.2 32 ビットアドレス拡張モードへの切り替え 7-46
7.8.3 特権空間マッピングバッファ（PMB）構成 7-46
7.8.4 PMB の機能 7-48
7.8.5 メモリ割り付け PMB の構成 7-49
7.8.6 32 ビットアドレス拡張モード使用時の注意事項 7-50
7.9 32 ビットブートモード 7-51
7.9.1 PMB の初期エントリ 7-51
7.9.2 32 ビットブートモード時の注意点 7-51
7.10 使用上の注意事項 7-53
7.10.1 LDTLB 命令使用上の注意事項 7-53

8 .キャッシュ
8.1 特長 8-1
8.2 レジスタの説明 8-4
8.2.1 キャッシュ制御レジスタ（CCR） 8-4
8.2.2 キューアドレス制御レジスタ 0（QACR0） 8-6
8.2.3 キューアドレス制御レジスタ 1（QACR1） 8-6
8.2.4 内蔵メモリ制御レジスタ（RAMCR） 8-7
8.3 オペランドキャッシュの動作説明 8-9

8.3.1 読み出し動作 8-9
8.3.2 プリフェッチ動作 8-10
8.3.3 書き込み動作 8-11
8.3.4 ライトバックバッファ 8-12
8.3.5 ライトスルーバッファ 8-12
8.3.6 OC 2 ウェイモード 8-12
8.4 命令キャッシュの動作説明 8-13
8.4.1 読み出し動作 8-13
8.4.2 プリフェッチ動作 8-13
8.4.3 IC 2 ウェイモード 8-14
8.4.4 命令キャッシュウェイ予測 8-14
8.5 キャッシュ操作命令 8-15
8.5.1 キャッシュと外部メモリとのコヒーレンシ 8-15
8.5.2 プリフェッチ動作 8-17
8.6 メモリ割り付けキャッシュの構成 8-18
8.6.1 IC アドレスアレイ 8-18
8.6.2 IC データアレイ 8-19
8.6.3 OC アドレスアレイ 8-20
8.6.4 OC データアレイ 8-21
8.6.5 メモリ割り付け連想ライトの動作 8-21
8.7 ストアキュー 8-22
8.7.1 SQ の構成 8-22
8.7.2 SQ への書き込み 8-22
8.7.3 外部メモリへの転送 8-22
8.7.4 SQ アクセスの例外判定 8-23
8.7.5 SQ からの読み出し 8-23
8.8 32 ビットアドレス拡張モード使用時の注意事項 8-24

9 .内蔵メモリ

9.1 特長 9-1
9.2 レジスタの説明 9-2
9.2.1 内蔵メモリ制御レジスタ（RAMCR） 9-3
9.2.2 OL メモリ転送元アドレスレジスタ 0（LSA0） 9-4
9.2.3 OL メモリ転送元アドレスレジスタ 1（LSA1） 9-5
9.2.4 OL メモリ転送先アドレスレジスタ 0（LDA0） 9-6
9.2.5 OL メモリ転送先アドレスレジスタ 1（LDA1） 9-7
9.3 動作説明 9-8
9.3.1 CPU からの命令フェッチアクセス 9-8
9.3.2 CPU からのオペランドアクセス、及び FPU からのアクセス 9-8
9.3.3 SuperHyway バスマスタモジュールからのアクセス 9-8
9.3.4 OL メモリブロック転送 9-8
9.4 内蔵メモリの保護機能 9-10
9.5 使用上の注意事項 9-11
9.5.1 ページ競合 9-11
9.5.2 ページの切り替わり 9-11
9.5.3 内蔵メモリのコヒーレンシ 9-11
9.5.4 スリープモード 9-11
9.6 32 ビットアドレス拡張モード使用時の注意事項 9-12

10 .割り込みコントローラ（INTC）

10.1　特長 10-1
10.1.1　割り込み方式 10-3
10.1.2　INTC で想定する割り込み 10-3
10.2　入出力端子 10-9
10.3　レジスタの説明 10-10
10.3.1　割り込みコントロールレジスタ 0（ICR0）..... 10-14
10.3.2　割り込みコントロールレジスタ 1（ICR1）..... 10-15
10.3.3　割り込み優先順位設定レジスタ（INTPRI）..... 10-16
10.3.4　割り込み要因レジスタ（INTREQ）..... 10-17
10.3.5　割り込みマスクレジスタ 0（INTMSK0）..... 10-18
10.3.6　割り込みマスクレジスタ 1（INTMSK1）..... 10-19
10.3.7　割り込みマスクレジスタ 2（INTMSK2）..... 10-20
10.3.8　割り込みマスククリアレジスタ 0 （INTMSKCLR0）..... 10-22
10.3.9　割り込みマスククリアレジスタ 1 （INTMSKCLR1）..... 10-23
10.3.10　割り込みマスククリアレジスタ 2 （INTMSKCLR2）..... 10-24
10.3.11　NMI フラグコントロールレジスタ（NMIFCR）..... 10-26
10.3.12　ユーザ割り込みマスクレベル設定レジスタ（USERIMASK）..... 10-27
10.3.13　内部モジュール割り込み優先順位設定レジスタ（INT2PRI0 ～ INT2PRI47）..... 10-29
10.3.14　割り込み要因レジスタ 0（マスク状態の影響なし）（INT2A0）..... 10-32
10.3.15　割り込み要因レジスタ 01（マスク状態の影響なし）（INT2A01）..... 10-33
10.3.16　割り込み要因レジスタ 02（マスク状態の影響なし）（INT2A02）..... 10-35
10.3.17　割り込み要因レジスタ 03（マスク状態の影響なし）（INT2A03）..... 10-37
10.3.18　割り込み要因レジスタ 04（マスク状態の影響なし）（INT2A04）..... 10-38
10.3.19　割り込み要因レジスタ 05（マスク状態の影響なし）（INT2A05）..... 10-40
10.3.20　割り込み要因レジスタ 1（マスク状態の影響あり）（INT2A1）..... 10-41
10.3.21　割り込み要因レジスタ 11（マスク状態の影響あり）（INT2A11）..... 10-42
10.3.22　割り込み要因レジスタ 12（マスク状態の影響あり）（INT2A12）..... 10-43
10.3.23　割り込み要因レジスタ 13（マスク状態の影響あり）（INT2A13） 10-45
10.3.24　割り込み要因レジスタ 14（マスク状態の影響あり）（INT2A14）..... 10-46
10.3.25　割り込み要因レジスタ 15（マスク状態の影響あり）（INT2A15）..... 10-48
10.3.26　割り込みマスクレジスタ（INT2MSKR）..... 10-49
10.3.27　割り込みマスクレジスタ 1（INT2MSKR1）..... 10-50
10.3.28　割り込みマスクレジスタ 2（INT2MSKR2）..... 10-51
10.3.29　割り込みマスクレジスタ 3（INT2MSKR3）..... 10-52
10.3.30　割り込みマスクレジスタ 4（INT2MSKR4）..... 10-53
10.3.31　割り込みマスクレジスタ 5（INT2MSKR5）..... 10-54
10.3.32　割り込みマスククリアレジスタ（INT2MSKCR）..... 10-56
10.3.33　割り込みマスククリアレジスタ 1（INT2MSKCR1）..... 10-57
10.3.34　割り込みマスククリアレジスタ 2（INT2MSKCR2）..... 10-58
10.3.35　割り込みマスククリアレジスタ 3（INT2MSKCR3）..... 10-59
10.3.36　割り込みマスククリアレジスタ 4（INT2MSKCR4）..... 10-61
10.3.37　割り込みマスククリアレジスタ 5（INT2MSKCR5）..... 10-62
10.3.38　内部モジュール別割り込み要因レジスタ（INT2B0 ～ INT2B3、INT2B6、INT2B9 ～ INT2B11）..... 10-63
10.4　割り込み要因 10-67
10.4.1　NMI 割り込み 10-67
10.4.2　IRQ7 ～ 0 割り込み 10-67

10.4.3 IRL 割り込み 10-67
10.4.4 内部モジュール割り込み 10-69
10.4.5 内部モジュール割り込み優先レベル 10-69
10.4.6 割り込み例外処理と優先順位 10-70
10.5 動作説明 10-79
10.5.1 割り込み動作の流れ 10-79
10.5.2 多重割り込み 10-81
10.5.3 MAI ビットによる割り込みマスク 10-82
10.6 割り込み応答時間 10-82
10.7 使用上の注意事項 10-83
10.7.1 IRL 割り込み及びレベル検出時の IRQ 割り込みの処理ルーチン例 10-83
10.7.2 IRQ7/IRL7 ～ IRQ0/IRL0 端子機能設定時の注意事項 10-84
10.7.3 IRL 割り込み要求及び IRQ 7 ～ 0 割り込み要求のクリア方法 10-84
10.7.4 RIIC 割り込み使用時の注意 10-85

11 . ローカルバスステートコントローラ（LBSC）
11.1 特長 11-1
11.2 入出力端子 11-3
11.3 エリアの概要 11-4
11.3.1 空間分割 11-4
11.3.2 メモリバス幅 11-6
11.3.3 データアライメント 11-6
11.4 レジスタの説明 11-7
11.4.1 バスコントロールレジスタ（BCR） 11-7
11.4.2 CSn バスコントロールレジスタ（CSnBCR） 11-9
11.4.3 CSn ウェイトコントロールレジスタ（CSnWCR） 11-12
11.5 動作説明 11-15
11.5.1 エンディアン／アクセスサイズとデータアライメント 11-15
11.5.2 エリアの説明 11-17
11.5.3 SRAM インタフェース 11-19
11.5.4 バースト ROM インタフェース 11-24
11.5.5 アクセスサイクル間ウェイト 11-26
11.5.6 バスアービトレーション 11-27

12 .DDR3-SDRAMインタフェース（DBSC3）
12.1 概要 12-1
12.1.1 特長 12-1
12.1.2 ブロック図 12-3
12.1.3 入出力端子 12-4
12.1.4 M_ZQ 端子用外部抵抗値 12-4
12.2 データアライメント 12-5
12.2.1 DDR3-SDRAM でのデータアライメント 12-5
12.2.2 レジスタ構成 12-9
12.3 レジスタ説明 12-11
12.3.1 DBSC3 ステータスレジスタ 1（DBSTATE1） 12-11
12.3.2 SDRAM アクセス許可レジスタ（DBACEN） 12-11
12.3.3 自動リフレッシュ許可レジスタ（DBRFEN） 12-12

12.3.4 手動コマンド発行レジスタ（DBCMD）.....12-13
12.3.5 操作完了待ちレジスタ（DBWAIT）.....12-15
12.3.6 SDRAM 種類設定レジスタ（DBKIND）.....12-15
12.3.7 SDRAM 構成設定レジスタ（DBCONF）.....12-16
12.3.8 SDRAM タイミングレジスタ 0（DBTR0）.....12-17
12.3.9 SDRAM タイミングレジスタ 1（DBTR1）.....12-18
12.3.10 SDRAM タイミングレジスタ 2（DBTR2）.....12-18
12.3.11 SDRAM タイミングレジスタ 3（DBTR3）.....12-19
12.3.12 SDRAM タイミングレジスタ 4（DBTR4）.....12-20
12.3.13 SDRAM タイミングレジスタ 5（DBTR5）.....12-21
12.3.14 SDRAM タイミングレジスタ 6（DBTR6）.....12-22
12.3.15 SDRAM タイミングレジスタ 7（DBTR7）.....12-23
12.3.16 SDRAM タイミングレジスタ 8（DBTR8）.....12-24
12.3.17 SDRAM タイミングレジスタ 9（DBTR9）.....12-25
12.3.18 SDRAM タイミングレジスタ 10（DBTR10）.....12-26
12.3.19 SDRAM タイミングレジスタ 11（DBTR11）.....12-27
12.3.20 SDRAM タイミングレジスタ 12（DBTR12）.....12-28
12.3.21 SDRAM タイミングレジスタ 13（DBTR13）.....12-29
12.3.22 SDRAM タイミングレジスタ 14（DBTR14）.....12-30
12.3.23 SDRAM タイミングレジスタ 15（DBTR15）.....12-31
12.3.24 SDRAM タイミングレジスタ 16（DBTR16）.....12-32
12.3.25 SDRAM タイミングレジスタ 17（DBTR17）.....12-33
12.3.26 SDRAM タイミングレジスタ 18（DBTR18）.....12-34
12.3.27 SDRAM タイミングレジスタ 19（DBTR19）.....12-35
12.3.28 DBSC 動作調整レジスタ 0 （DBADJ0）.....12-36
12.3.29 DBSC 動作調整レジスタ 2 （DBADJ2）.....12-37
12.3.30 リフレッシュ設定レジスタ 0（DBRFCNF0）.....12-38
12.3.31 リフレッシュ設定レジスタ 1（DBRFCNF1）.....12-39
12.3.32 リフレッシュ設定レジスタ 2（DBRFCNF2）.....12-40
12.3.33 DDR3-SDRAM キャリブレーション構成レジスタ （DBCALCNF）..12-41
12.3.34 DDR3-SDRAM キャリブレーションタイミングレジスタ (DBCALTR) 12-42
12.3.35 ODT 動作設定レジスタ（DBRNK0）.....12-43
12.3.36 パワーダウン設定レジスタ (DBPDNCNF) 12-44
12.3.37 PHY 部制御レジスタ 0 （DBPDCNT0）.....12-45
12.3.38 PHY 部制御レジスタ 1（DBPDCNT1）.....12-45
12.3.39 PHY 部制御レジスタ 2（DBPDCNT2）.....12-46
12.3.40 PHY 部制御レジスタ 3（DBPDCNT3）.....12-47
12.3.41 PHY 部ロックレジスタ（DBPDLCK）.....12-48
12.3.42 PHY 部内部レジスタアドレス （DBPDRGA）.....12-48
12.3.43 PHY 部内部レジスタアクセス （DBPDRGD）.....12-49
12.3.44 バス制御部 0 設定レジスタ 0（DBBS0CNT0）.....12-50
12.3.45 バス制御部 0 設定レジスタ 1（DBBS0CNT1）.....12-51
12.4 動作説明 12-52
12.4.1 サポートする SDRAM コマンド 12-52
12.4.2 SDRAM コマンド発行詳細 12-53
12.4.3 初期化シーケンス 12-55
12.4.4 セルフリフレッシュ動作について 12-56
12.4.5 動作中のリフレッシュの設定変更 12-57

12.4.6 SDRAM 構成設定レジスタの設定方法 12-57
12.4.7 アドレスマルチプレクスについて 12-58
12.4.8 SDRAM アクセスとタイミング制約について 12-61

13 .DDR3-SDRAM エラーコレクションコントローラ（ECD）
13.1 特長 13-1
13.2 ブロック図 13-2
13.3 レジスタの説明 13-3
13.3.1 モードコントロールレジスタ（MCR） 13-4
13.3.2 ECC 領域設定レジスタ (ECCAREA) 13-5
13.3.3 割り込み許可レジスタ（INTENR） 13-6
13.3.4 割り込み要因レジスタ（INTSR） 13-7
13.3.5 リカバラブルエラー しきい値指定レジスタ（RERRTHR） 13-8
13.3.6 リカバラブルエラーカウントレジスタ（RERRCR） 13-9
13.3.7 リカバラブルエラーカウントコントロールレジスタ（RERRCCR） 13-9
13.3.8 リカバラブルエラー アドレスレジスタ（RERRADDR） 13-10
13.3.9 リカバラブルエラー プレデータレジスタ（RERRPREDR） 13-10
13.3.10 リカバラブルエラー ポストデータレジスタ（RERRPOSTDR） 13-11
13.3.11 アンコレクタブルエラー アドレスレジスタ（UERRADDR） 13-11
13.3.12 アンコレクタブルエラー プレデータレジスタ（UERRPREDR） 13-12
13.3.13 ECD イネーブルレジスタ（ECDEN） 13-13
13.4 動作説明 13-14
13.4.1 初期設定 13-14
13.4.2 ECC 動作説明 13-15
13.4.3 自動ライトバック機能 13-17
13.4.4 割り込み 13-17

14 .ダイレクトメモリアクセスコントローラ（DMAC）
14.1 特長 14-1
14.2 入出力端子 14-3
14.3 レジスタの説明 14-4
14.3.1 DMA ソースアドレスレジスタ 0 ～ 23（SAR0 ～ SAR23） 14-13
14.3.2 DMA ソースアドレスレジスタ B0 ～ 3、6 ～ 9、12 ～ 15，18 ～ 21（SARB0 ～ 3、SARB6 ～ 9、SARB12 ～ 15、SARB18 ～ 21） 14-13
14.3.3 DMA デスティネーションアドレスレジスタ 0 ～ 23（DAR0 ～ DAR23） 14-14
14.3.4 DMA デスティネーションアドレスレジスタ B0 ～ 3、6 ～ 9、12 ～ 15、18 ～ 21（DARB0 ～ 3、DARB6 ～ 9、SARB12 ～ 15、SARB18 ～ 21） 14-14
14.3.5 DMA トランスファカウントレジスタ 0 ～ 23（TCR0 ～ TCR23） 14-15
14.3.6 DMA トランスファカウントレジスタ B0 ～ 3、6 ～ 9、12 ～ 15、18 ～ 21（TCRB0 ～ 3、TCRB6 ～ 9、TCRB12 ～ 15、TCRB18 ～ 21） 14-16
14.3.7 DMA チャネルコントロールレジスタ 0 ～ 23（CHCR0 ～ CHCR23） 14-17
14.3.8 DMA オペレーションレジスタ 0 ～ 3（DMAOR0 ～ 3） 14-21
14.3.9 DMA 拡張リソースセレクタ 0 ～ 11（DMARS0 ～ DMARS11） 14-23
14.3.10 DMA イネーブルレジスタ 0（DMAER0） 14-26
14.3.11 DMA イネーブルレジスタ 1（DMAER1） 14-27

14.3.12 DMA イネーブルレジスタ 2（DMAER2）.....14-28
14.4 動作説明.....14-30
14.4.1 DMA 転送要求.....14-30
14.4.2 チャネルの優先順位.....14-37
14.4.3 DMA 転送の種類.....14-40
14.4.4 転送フロー.....14-45
14.4.5 データ転送モード.....14-47
14.5 使用上の注意.....14-50
14.5.1 モジュールストップについて.....14-50
14.5.2 アドレスエラーについて.....14-50
14.5.3 バーストモード転送時の注意.....14-50
14.5.4 DACK、TEND の分割出力.....14-50
14.5.5 DMINT 割り込みのクリアについて.....14-50
14.5.6 外部バス幅を超える DMA 転送サイズにおける CSn 出力の設定.....14-51
14.5.7 DACK のアサートと DREQ 検出について.....14-51

15 . シリアルペリフェラルインタフェース0（SPI0）
15.1 特長.....15-1
15.2 ブロック図.....15-2
15.3 入出力端子.....15-3
15.4 レジスタの説明.....15-4
15.4.1 WDMA 転送先アドレスレジスタ（SPIWDMADR）.....15-6
15.4.2 WDMA 転送数レジスタ（SPIWDMCNTR）.....15-6
15.4.3 DMA コントロールレジスタ（SPIDMCOR）.....15-7
15.4.4 割り込みステータスレジスタ（SPIDMINTSR）.....15-8
15.4.5 割り込みマスクレジスタ（SPIDMINTMR）.....15-9
15.4.6 SPI コア送信バッファレジスタ（TBR）.....15-9
15.4.7 SPI コア受信バッファレジスタ（RBR）.....15-10
15.4.8 SPI コアコントロール／ステータスレジスタ 1（CR1）.....15-10
15.4.9 SPI コアコントロールレジスタ 2（CR2）.....15-12
15.4.10 SPI コアコントロールレジスタ 3（CR3）.....15-14
15.4.11 SPI コアコントロールレジスタ 4（CR4）.....15-15
15.4.12 SPI コアコントロールレジスタ 5（CR5）.....15-16
15.4.13 コアコントロールレジスタ 6（CR6）.....15-17
15.4.14 SPI コアコントロールレジスタ 7（CR7）.....15-17
15.4.15 SPI コアコントロールレジスタ 8（CR8）.....15-18
15.4.16 SPI オペレーションレジスタ 0（OR0）.....15-19
15.4.17 SPI オペレーションレジスタ 1（OR1）（WRPG）.....15-20
15.4.18 SPI オペレーションレジスタ 2（OR2）（ER32）.....15-21
15.4.19 SPI オペレーションレジスタ 3（OR3）（ER64）.....15-22
15.4.20 SPI オペレーションレジスタ 4（OR4）（ERSC）.....15-23
15.4.21 SPI オペレーションレジスタ 5（OR5）（ERC1）.....15-24
15.4.22 SPI オペレーションレジスタ 6（OR6）（ERC2）.....15-25
15.4.23 SPI オペレーションレジスタ 7（OR7）（READ）.....15-26
15.4.24 SPI オペレーションレジスタ 8（OR8）（RDFT）.....15-27
15.4.25 SPI オペレーションレジスタ 9（OR9）（RDDO）.....15-28
15.4.26 SPI オペレーションレジスタ A（ORA）（WPA3）.....15-29
15.4.27 SPI オペレーションレジスタ B（ORB）（WPA2）.....15-29

15.4.28 SPI オペレーションレジスタ C（ORC）（WPA1）.....15-30
15.4.29 SPI オペレーションレジスタ D（ORD）（WPA0）.....15-30
15.4.30 SPI オペレーションレジスタ E（ORE）（WpM3）.....15-31
15.4.31 SPI オペレーションレジスタ F（ORF）（WpM2）.....15-32
15.4.32 SPI オペレーションレジスタ 10（OR10）（WPM1）.....15-33
15.4.33 SPI オペレーションレジスタ 11（OR11）（WPM0）.....15-34
15.4.34 SPI オペレーションレジスタ 12 (OR12)(ADDR32) 15-34
15.4.35 SPI オペレーションレジスタ 20 ～ 27（OR20 ～ 27）.....15-35
15.4.36 SPI オペレーションレジスタ 28 ～ 37 (OR28 ～ 37) 15-36
15.4.37 ストラップピンモニタレジスタ 2（PINMON2）.....15-37
15.5 動作説明 15-38
15.5.1 SPI0 フラッシュメモリアクセス 15-38
15.5.2 ライトプロテクト機能 15-41
15.5.3 割り込み 15-43
15.5.4 SPI ブート機能 15-44
15.6 設定手順例 15-46
15.6.1 SPI フラッシュメモリリードアクセス 15-46
15.6.2 SPI フラッシュメモリライトアクセス 15-47
15.6.3 SPI フラッシュメモリセクタイレーズアクセス 15-48
15.6.4 SPI フラッシュメモリバルクイレーズアクセス 15-49
15.6.5 割り込みを使用した SPI フラッシュメモリリードアクセス 15-50
15.6.6 割り込みを使用した SPI フラッシュメモリライトアクセス 15-51
15.6.7 内部 DMAC を使用した SPI フラッシュメモリからのデータ転送 15-53
15.7 使用上の注意事項 15-54

16 . クロック発振器（CPG）
16.1 特長 16-1
16.2 入出力端子 16-3
16.3 クロック動作モード 16-3
16.4 レジスタの説明 16-4
16.4.1 PLL 制御レジスタ（PLLCR）.....16-4
16.5 発振回路例 16-5
16.5.1 発振子の接続例（MD8 ＝ H）.....16-5
16.5.2 外部で生成されたクロックの入力例（MD8 ＝ L）.....16-5

17 . リセット、ウォッチドッグタイマ（WDT）
17.1 特長 17-1
17.2 入出力端子 17-4
17.3 レジスタ説明 17-5
17.3.1 タイマカウンタ（WTCNT0 、WTCNT1）.....17-6
17.3.2 早期警告タイマカウンタ（WTCNT0EW 、WTCNT1EW）.....17-6
17.3.3 タイマコントロール／ステータスレジスタ（WTCSR0、WTCSR1）...17-7
17.3.4 リセットコントロール／ステータスレジスタ（WRSTCSR0 、WRSTCSR1）
.....17-9
17.3.5 タイマカウンタ（WTCNT2）.....17-10
17.3.6 タイマコントロール／ステータスレジスタ（WTCSR2）.....17-10
17.3.7 リセットコントロール／ステータスレジスタ（WRSTCSR2）.....17-11

17.3.8 ABR コントロール／ステータスレジスタ（WDTABRCTRL）.....17-12
17.3.9 マニュアルリセットコントロールレジスタ 0 （MRSTCR0）.....17-13
17.3.10 マニュアルリセットコントロールレジスタ 1 （MRSTCR1）.....17-15
17.3.11 マニュアルリセットコントロールレジスタ 2（MRSTCR2）.....17-16
17.3.12 ソフトウエアリセットレジスタ 0 （SRSTR0）.....17-17
17.3.13 ソフトウェアリセットレジスタ 1 （SRSTR1）.....17-19
17.3.14 ソフトウェアリセットレジスタ 2 （SRSTR2）.....17-20
17.3.15 バスタイムアウトカウンタ（BTC）.....17-21
17.3.16 バスタイムアウト制御レジスタ（BTCONT）.....17-22
17.4 動作説明 17-23
17.4.1 WDT0、WDT1 17-23
17.4.2 ABRT 17-25
17.4.3 リセット 17-26
17.4.4 BTC 17-29
17.5 使用上の注意事項 17-30
17.5.1 WTCSR0 ～ 2、WRSTCSR0 ～ 2、WDTABRCTRL への書き込み 17-30
17.5.2 タイマカウンタ（WTCNT）のライトとカウントアップの競合 17-31

18 .低消費電力モード
18.1 特長 18-1
18.2 入出力端子 18-1
18.3 レジスタの説明 18-2
18.3.1 モジュールストップレジスタ 0（MSTPCR0）.....18-2
18.3.2 モジュールストップレジスタ 1（MSTPCR1）.....18-4
18.3.3 モジュールストップレジスタ 2（MSTPCR2）.....18-6
18.4 スリープモード 18-7
18.4.1 スリープモードへの遷移 18-7
18.4.2 スリープモードの解除 18-7
18.5 モジュールストップモード 18-8
18.5.1 モジュールストップモードへの遷移 18-8
18.5.2 モジュールストップモードの解除 18-8
18.6 STATUS 端子の変化タイミング 18-8
18.6.1 リセットの場合 18-8
18.6.2 スリープ解除の場合 18-8

19 .14 ビットPWM タイマ（PWMX）
19.1 特長 19-1
19.2 入出力端子 19-2
19.3 レジスタの説明 19-3
19.3.1 PWMX（D/A）カウンタ（PWXCNT）.....19-4
19.3.2 PWMX（D/A）データレジスタ A、B（PWXDRA、PWXDRB）.....19-5
19.3.3 PWMX（D/A）コントロールレジスタ（PWXCR）.....19-7
19.3.4 周辺クロックセレクトレジスタ 0（PCSR0）.....19-8
19.3.5 周辺クロックセレクトレジスタ 1（PCSR1）.....19-9
19.4 バスマスタとのインタフェース 19-11
19.5 動作説明 19-12

20 .16 ビットフリーランニングタイマ（FRT）
20.1 特長 20-1
20.2 レジスタの説明 20-2
20.2.1 フリーランニングカウンタ（FRC） 20-2
20.2.2 アウトプットコンペアレジスタ A、B（OCRA、OCRB） 20-3
20.2.3 アウトプットコンペアレジスタ AR、AF（OCRAR、OCRAF） 20-3
20.2.4 タイマインタラプトイネーブルレジスタ（TIER） 20-4
20.2.5 タイマコントロール／ステータスレジスタ（TCSR） 20-5
20.2.6 タイマコントロールレジスタ（TCR） 20-6
20.2.7 タイマアウトプットコンペアコントロールレジスタ（TOCR） 20-7
20.3 動作タイミング 20-8
20.3.1 FRC のカウントタイミング 20-8
20.3.2 コンペアマッチタイミング 20-8
20.3.3 FRC のクリアタイミング 20-8
20.3.4 アウトプットコンペアフラグ (OCF) のセットタイミング 20-9
20.3.5 FRC オーバーフローフラグ (OVF) のセットタイミング 20-9
20.3.6 自動加算タイミング 20-10
20.4 割り込み要因 20-11
20.5 使用上の注意事項 20-12
20.5.1 FRC のライトとクリアの競合 20-12
20.5.2 FRC のライトとカウントアップの競合 20-12
20.5.3 OCR のライトとコンペアマッチの競合 20-13
20.5.4 内部クロックの切り替えとカウンタの動作 20-15

21 .8ビットタイマ （TMR）
21.1 特長 21-1
21.2 レジスタの説明 21-5
21.2.1 タイマカウンタ（TCNT） 21-7
21.2.2 タイマコンスタントレジスタ A（TCORA） 21-7
21.2.3 タイマコンスタントレジスタ B（TCORB） 21-7
21.2.4 タイマコントロールレジスタ（TCR） 21-8
21.2.5 タイマカウンタコントロールレジスタ（TCCR） 21-9
21.2.6 タイマコントロール／ステータスレジスタ（TCSR） 21-11
21.3 動作タイミング 21-13
21.3.1 TCNT のカウントタイミング 21-13
21.3.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング 21-13
21.3.3 コンペアマッチによるカウンタクリアタイミング 21-14
21.3.4 オーバフローフラグ（OVF）のセットタイミング 21-14
21.4 カスケード接続時の動作 21-15
21.4.1 16 ビットカウントモード 21-15
21.4.2 コンペアマッチカウントモード 21-15
21.5 割り込み要因 21-16
21.5.1 割り込み要因 21-16
21.5.2 A/D 変換器の起動 21-16
21.5.3 DMA 転送器の起動 21-16
21.6 使用上の注意 21-17
21.6.1 周期設定上の注意 21-17

21.6.2 TCNT のライトとカウンタクリアの競合 21-17
21.6.3 TCNT のライトとカウントアップの競合 21-17
21.6.4 TCOR のライトとコンペアマッチの競合 21-18
21.6.5 内部クロックの切り替えと TCNT の動作 21-19
21.6.6 カスケード接続時のモード設定 21-20
21.6.7 モジュールストップの設定 21-20
21.6.8 モジュールストップ時の割り込み 21-20

22 .タイマユニット（TMU）
22.1 特長 22-1
22.2 入出力端子 22-2
22.3 レジスタの説明 22-3
22.3.1 タイマスタートレジスタ（TSTR0、TSTR1） 22-4
22.3.2 タイマコンスタントレジスタ（TCORn）（n ＝ 0 ～ 5） 22-5
22.3.3 タイマカウンタ（TCNTn）（n ＝ 0 ～ 5） 22-5
22.3.4 タイマコントロールレジスタ（TCRn）（n ＝ 0 ～ 5） 22-6
22.3.5 インプットキャプチャレジスタ 2（TCPR2） 22-8
22.4 動作説明 22-9
22.4.1 カウンタの動作 22-9
22.4.2 インプットキャプチャ機能 22-11
22.5 割り込み 22-12
22.6 使用上の注意事項 22-13
22.6.1 レジスタの書き込みについて 22-13
22.6.2 TCNT レジスタの読み出しについて 22-13
22.6.3 外部クロック周波数について 22-13

23 .ギガビットイーサネットコントローラ（GETHER）1
23.1 特長 23-1
23.2 入出力端子 23-3
23.3 レジスタの説明 23-4
23.3.1 ソフトウェアリセットレジスタ（ARSTR） 23-12
23.3.2 E-MAC モードレジスタ（ECMR） 23-13
23.3.3 E-MAC ステータスレジスタ（ECSR） 23-16
23.3.4 E-MAC 割り込み許可レジスタ（ECSIPR） 23-17
23.3.5 PHY 部インタフェースレジスタ（PIR） 23-18
23.3.6 MAC アドレス上位設定レジスタ（MAHR） 23-19
23.3.7 MAC アドレス下位設定レジスタ（MALR） 23-19
23.3.8 受信フレーム長上限レジスタ（RFLR） 23-20
23.3.9 送信リトライオーバカウンタレジスタ（TROCR） 23-21
23.3.10 遅延衝突検出カウンタレジスタ（CDCR） 23-21
23.3.11 キャリア消失カウンタレジスタ（LCCR） 23-22
23.3.12 CRC エラーフレーム受信カウンタレジスタ（CEFCR） 23-22
23.3.13 フレーム受信エラーカウンタレジスタ（FRECR） 23-23
23.3.14 64 バイト未満フレーム受信カウンタレジスタ （TSFRCR） 23-23
23.3.15 指定バイト超フレーム受信カウンタレジスタ（TLFRCR） 23-24
23.3.16 端数ビットフレーム受信カウンタレジスタ（RFCR） 23-24
23.3.17 キャリア拡張消失カウンタレジスタ（CERCR） 23-25

23.3.18 キャリア拡張エラーカウンタレジスタ（CEECR）.....23-25
23.3.19 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）23-26
23.3.20 自動ポーズフレーム設定レジスタ（APR）.....23-27
23.3.21 手動ポーズフレーム設定レジスタ（MPR）.....23-28
23.3.22 自動ポーズフレーム再送回数設定レジスタ（TPAUSER）.....23-29
23.3.23 ポーズフレーム送信カウンタレジスタ（PFTCR）.....23-29
23.3.24 ポーズフレーム受信カウンタレジスタ（PFRCR）.....23-30
23.3.25 GETHER モードレジスタ（GECMR）.....23-30
23.3.26 バーストサイクル回数上限設定レジスタ（BCULR）.....23-31
23.3.27 インバンドステータスモード設定レジスタ（IBSMR）.....23-32
23.3.28 インバンドステータス（IBSR）.....23-33
23.3.29 E-MAC モードのスピード／デュプレックス通知（SDLR）.....23-34
23.3.30 RGMII モードレジスタ（RGMIIMR）.....23-34
23.3.31 ブロードキャストフレーム受信カウント設定レジスタ（GBE_BCFRR）.....23-36
23.3.32 BCFRR カウントリセット（GBE_CRBCFRR）.....23-36
23.3.33 MDIO コントローラステータス（MDIOSTS）.....23-37
23.3.34 MDIO コントローラコマンド（MDIOCMD）.....23-37
23.3.35 MDIO コントローラアドレス（MDIOADR）.....23-38
23.3.36 MDIO コントローラデータ（MDIODAT）.....23-38
23.3.37 MDIO コントローラモード設定（MDIOMOD）.....23-39
23.3.38 TSU カウンタリセットレジスタ（TSU_CTRST）.....23-40
23.3.39 TSU 受信機能設定レジスタ（0 系）（TSU_FWSL0）.....23-41
23.3.40 TSU 受信機能設定レジスタ（1 系）（TSU_FWSL1）.....23-42
23.3.41 TSU 受信機能設定レジスタ（共通）（TSU_FWSLC）.....23-43
23.3.42 VLAN tag 設定レジスタ（0 系）（TSU_VTAG0）.....23-44
23.3.43 VLAN tag 設定レジスタ（1 系）（TSU_VTAG1）.....23-44
23.3.44 CAM エントリテーブル設定ビジーレジスタ（TSU_ADSBSY）.....23-45
23.3.45 CAM エントリテーブルイネーブル設定レジスタ（TSU_TEN）.....23-46
23.3.46 CAM エントリテーブル POST1 レジスタ（TSU_POST1）.....23-49
23.3.47 CAM エントリテーブル POST2 レジスタ（TSU_POST2）.....23-51
23.3.48 CAM エントリテーブル POST3 レジスタ（TSU_POST3）.....23-53
23.3.49 CAM エントリテーブル POST4 レジスタ（TSU_POST4）.....23-55
23.3.50 CAM エントリテーブル 0 ～ 31H レジスタ（TSU_ADRH0 ～ TSU_ADRH31）.....23-57
23.3.51 CAM エントリテーブル 0 ～ 31L レジスタ（TSU_ADRL0 ～ TSU_ADRL31）.....23-57
23.3.52 送信フレーム数カウンタレジスタ（0 系）（正常送信のみ）（TXNLCR0）.....23-58
23.3.53 送信フレーム数カウンタレジスタ（0 系）（正常及び障害発生を含むすべて）（TXALCR0）.....23-58
23.3.54 受信フレーム数カウンタレジスタ（0 系）（正常受信のみ）（RXNLCR0）.....23-59
23.3.55 受信フレーム数カウンタレジスタ（0 系）（正常及び障害発生を含むすべて）（RXALCR0）.....23-59
23.3.56 送信フレーム数カウンタレジスタ（1 系）（正常送信のみ）（TXNLCR1）.....23-60
23.3.57 送信フレーム数カウンタレジスタ（1 系）（正常及び障害発生を含むすべて）（TXALCR1）.....23-60

23.3.58 受信フレーム数カウンタレジスタ（1 系）（正常受信のみ）（RXNLCR1） 23-61
23.3.59 受信フレーム数カウンタレジスタ（1 系）（正常及び障害発生を含むすべて）（RXALCR1） 23-61
23.3.60 E-DMAC 起動レジスタ（EDSR） 23-62
23.3.61 E-DMAC モードレジスタ（EDMR） 23-63
23.3.62 E-DMAC 送信要求レジスタ（EDTRR） 23-64
23.3.63 E-DMAC 受信要求レジスタ（EDRRR） 23-65
23.3.64 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR） 23-66
23.3.65 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR） 23-67
23.3.66 E-MAC/E-DMAC ステータスレジスタ（EESR） 23-68
23.3.67 E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR） 23-71
23.3.68 送受信ステータスコピー指示レジスタ（TRSCER） 23-74
23.3.69 ミスドフレームカウンタレジスタ（RMFCR） 23-75
23.3.70 送信 FIFO しきい値指定レジスタ（TFTR） 23-76
23.3.71 FIFO 容量指定レジスタ（FDR） 23-77
23.3.72 受信方式制御レジスタ（RMCR） 23-78
23.3.73 受信ディスクリプタフェッチアドレスレジスタ（RDFAR） 23-78
23.3.74 受信ディスクリプタ処理済アドレスレジスタ（RDFXR） 23-79
23.3.75 受信ディスクリプタ最終フラグレジスタ（RDFFR） 23-79
23.3.76 送信ディスクリプタフェッチアドレスレジスタ（TDFAR） 23-80
23.3.77 送信ディスクリプタ処理済アドレスレジスタ（TDFXR） 23-80
23.3.78 送信ディスクリプタ最終フラグレジスタ（TDFFR） 23-81
23.3.79 オーバフロー予告 FIFO しきい値設定レジスタ（FCFTR） 23-82
23.3.80 受信データパディング挿入設定レジスタ（RPADIR） 23-83
23.3.81 GETHER コントロールレジスタ（GBECONT） 23-84
23.4 動作説明 23-86
23.4.1 ディスクリプタとディスクリプタリスト 23-88
23.4.2 送信動作 23-102
23.4.3 受信動作 23-106
23.4.4 CAM 機能 23-110
23.4.5 マルチバッファフレーム（1 フレーム／複数ディスクリプタ）の送受信処理について 23-111
23.4.6 受信データへのパディング挿入について 23-113
23.4.7 割り込み動作 23-114
23.4.8 起動手順 23-117
23.4.9 フロー制御 23-118
23.4.10 マジックパケットの検出 23-119
23.5 MII レジスタのアクセス方法 23-120
23.6 使用上の注意事項 23-124
23.6.1 イーサネットフレームのチェックサム計算 23-124

24 .イーサネットコントローラ(ETHER)

24.1 特長 24-1
24.2 入出力端子 24-3
24.3 レジスタの説明 24-4
24.3.1 ETHER モードレジスタ (ECMR) 24-8
24.3.2 ETHER ステータスレジスタ （ECSR） 24-10

24.3.3 ETHER 割り込み許可レジスタ（ECSIPR）.....24-11
24.3.4 PHY 部インタフェースレジスタ（PIR）.....24-12
24.3.5 MAC アドレス上位設定レジスタ（MAHR）.....24-13
24.3.6 MAC アドレス下位設定レジスタ（MALR）.....24-13
24.3.7 受信フレーム長上限レジスタ（RFLR）.....24-14
24.3.8 送信リトライオーバカウンタレジスタ（TROCR）.....24-15
24.3.9 遅延衝突検出カウンタレジスタ（CDCR）.....24-15
24.3.10 キャリア消失カウンタレジスタ（LCCR）.....24-16
24.3.11 キャリア未検出カウンタレジスタ（CNDCR）.....24-16
24.3.12 CRC エラーフレーム受信カウンタレジスタ（CEFCR）.....24-17
24.3.13 フレーム受信エラーカウンタレジスタ（FRECR）.....24-17
24.3.14 64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）.....24-18
24.3.15 指定バイト超フレーム受信カウンタレジスタ（TLFRCR）.....24-18
24.3.16 端数ビットフレーム受信カウンタレジスタ（RFCR）.....24-19
24.3.17 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）
.....24-19
24.3.18 IPG 設定レジスタ（IPGR）.....24-20
24.3.19 自動ポーズフレーム設定レジスタ（APR）.....24-20
24.3.20 手動ポーズフレーム設定レジスタ（MPR）.....24-21
24.3.21 自動ポーズフレーム再送回数設定レジスタ（TPAUSER）.....24-21
24.3.22 乱数生成カウンタ上限値設定レジスタ（RDMLR）.....24-22
24.3.23 受信ポーズフレームカウンタレジスタ（RFCF）.....24-22
24.3.24 ポーズフレーム再送回数カウンタレジスタ（TPAUSECR）.....24-23
24.3.25 ブロードキャストフレーム受信回数設定レジスタ（BCFRR）.....24-23
24.3.26 指定フレーム超ブロードキャスト連続受信カウンタレジスタ（CRBCFRR）
.....24-24
24.3.27 送受信レート設定レジスタ（RTRATE）.....24-25
24.3.28 E-DMAC モードレジスタ（EDMR）.....24-25
24.3.29 E-DMAC 送信要求レジスタ（EDTRR）.....24-26
24.3.30 E-DMAC 受信要求レジスタ（EDRRR）.....24-27
24.3.31 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）.....24-28
24.3.32 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）.....24-29
24.3.33 ETHER/E-DMAC ステータスレジスタ（EESR）.....24-29
24.3.34 ETHER/E-DMAC ステータス割り込み許可レジスタ（EESIPR）.....24-33
24.3.35 送受信ステータスコピー指示レジスタ（TRSCER）.....24-35
24.3.36 ミスドフレームカウンタレジスタ（RMFCR）.....24-36
24.3.37 送信 FIFO しきい値指定レジスタ（TFTR）.....24-36
24.3.38 FIFO 容量指定レジスタ（FDR）.....24-38
24.3.39 受信方式制御レジスタ（RMCR）.....24-39
24.3.40 送信 FIFO アンダランカウント（TFUCR）.....24-39
24.3.41 受信 FIFO オーバフローカウント（RFOCR）.....24-40
24.3.42 受信バッファライトアドレスレジスタ（RBWAR）.....24-41
24.3.43 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）.....24-41
24.3.44 送信バッファリードアドレスレジスタ（TBRAR）.....24-42
24.3.45 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）.....24-42
24.3.46 フロー制御開始 FIFO しきい値設定レジスタ（FCFTR）.....24-43
24.3.47 受信データパディング挿入設定レジスタ（RPADIR）.....24-44
24.3.48 送信割り込み設定レジスタ（TRIMD）.....24-45
24.4 動作説明 24-46

24.4.1 ディスクリプタリスト 24-46
24.4.2 送信機能 24-54
24.4.3 受信動作 24-57
24.4.4 マルチバッファフレームの送受信処理について 24-59
24.4.5 RMII フレームタイミング 24-61
24.4.6 マジックパケットの検出 24-62
24.4.7 IPG 設定による動作 24-62
24.4.8 フロー制御 24-63
24.4.9 PHY-LSI との接続 24-63
24.5 MII レジスタのアクセス方法 24-64
24.6 使用上の注意事項 24-67
24.6.1 フロー制御不具合（1） 24-67
24.6.2 フロー制御不具合（2） 24-67

25 . I2C バスインタフェース（RIIC）
25.1 概要 25-1
25.2 レジスタの説明 25-6
25.2.1 I2C バスコントロールレジスタ 1（ICCR1） 25-13
25.2.2 I2C バスコントロールレジスタ 2（ICCR2） 25-15
25.2.3 I2C バスモードレジスタ 1（ICMR1） 25-19
25.2.4 I2C バスモードレジスタ 2（ICMR2） 25-21
25.2.5 I2C バスモードレジスタ 3（ICMR3） 25-23
25.2.6 I2C バスファンクションイネーブルレジスタ（ICFER） 25-25
25.2.7 I2C バスステータスイネーブルレジスタ（ICSER） 25-27
25.2.8 I2C バスインタラプトイネーブルレジスタ（ICIER） 25-29
25.2.9 I2C バスステータスレジスタ 1（ICSR1） 25-31
25.2.10 I2C バスステータスレジスタ 2（ICSR2） 25-34
25.2.11 スレーブアドレスレジスタ Lm（SARLm）（m= 0 ～ 2） 25-37
25.2.12 スレーブアドレスレジスタ Um（SARUm）（m= 0 ～ 2） 25-38
25.2.13 I2C バスビットレート L レベルレジスタ（ICBRL） 25-39
25.2.14 I2C バスビットレート H レベルレジスタ（ICBRH） 25-40
25.2.15 I2C バス送信データレジスタ（ICDRT） 25-41
25.2.16 I2C バス受信データレジスタ（ICDRR） 25-41
25.2.17 I2C バスシフトレジスタ（ICDRS） 25-42
25.3 動作説明 25-43
25.3.1 通信データフォーマット 25-43
25.3.2 初期設定 25-44
25.3.3 マスタ送信動作 25-45
25.3.4 マスタ受信動作 25-48
25.3.5 スレーブ送信動作 25-53
25.3.6 スレーブ受信動作 25-56
25.4 SCL 同期回路 25-59
25.5 SDA 出力遅延機能 25-60
25.6 デジタルノイズフィルタ回路 25-60
25.7 アドレス一致検出機能 25-62
25.7.1 スレーブアドレス一致検出機能 25-62
25.7.2 ジェネラルコールアドレス検出機能 25-65
25.7.3 デバイス ID アドレス検出機能 25-66

25.7.4 ホストアドレス検出機能 25-68
25.8 SCL の自動L ホールド機能 25-69
25.8.1 送信データ誤送信防止機能 25-69
25.8.2 NACK 受信転送中断機能 25-70
25.8.3 受信データ取りこぼし防止機能 25-71
25.9 アービトレーションロスト検出機能 25-73
25.9.1 マスタアービトレーションロスト検出機能（MALE ビット） 25-73
25.9.2 NACK 送信アービトレーションロスト検出機能（NALE ビット） 25-75
25.9.3 スレーブアービトレーションロスト検出機能（SALE ビット） 25-76
25.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 25-77
25.10.1 スタートコンディション発行動作 25-77
25.10.2 リスタートコンディション発行動作 25-77
25.10.3 ストップコンディション発行動作 25-78
25.11 バスハングアップ 25-79
25.11.1 タイムアウト検出機能 25-79
25.11.2 SCL クロック追加出力機能 25-80
25.11.3 RIIC/ 内部リセット 25-81
25.12 SMBus 動作 25-82
25.12.1 SMBus タイムアウト測定 25-82
25.12.2 SMBus ホスト通知プロトコル /Notify ARP master 25-83
25.13 割り込み要因 25-84
25.14 リセット状況 25-85
25.15 Offloadエンジン 25-86
25.15.1 概要 25-86
25.15.2 レジスタ構成 25-88
25.15.3 シーケンサ動作 25-95
25.15.4 初期設定 25-96
25.15.5 マスタ送信動作 25-101
25.15.6 マスタ受信動作 25-105
25.15.7 スレーブ送信動作 25-107
25.15.8 スレーブ受信動作 25-108
25.15.9 スレーブモード非通知によるスレーブ動作 25-109
25.15.10 割り込み要求 25-111
25.15.11 使用時の注意 25-111

26 . シリアルペリフェラルインタフェース1（SPI1）

26.1 特長 26-1
26.2 入出力端子 26-3
26.3 レジスタの説明 26-4
26.3.1 送信バッファレジスタ（TBR） 26-6
26.3.2 受信バッファレジスタ（RBR） 26-6
26.3.3 コントロールレジスタ 1（CR1） 26-7
26.3.4 コントロールレジスタ 2（CR2） 26-8
26.3.5 コントロールレジスタ 3（CR3） 26-10
26.3.6 コントロールレジスタ 4（CR4） 26-11
26.3.7 コントロールレジスタ 5（CR5） 26-12

26.3.8　コントロールレジスタ 6（CR6）.....26-12
26.3.9　コントロールレジスタ 7（CR7）.....26-13
26.3.10　コントロールレジスタ 8（CR8）.....26-13
26.3.11　コントロールレジスタ 9（CR9）.....26-14
26.3.12　コントロールレジスタ 10（CR10）.....26-15
26.3.13　コントロールレジスタ 11（CR11）.....26-16
26.3.14　コントロールレジスタ 20 ～ 27（CR20 ～ 27）.....26-17
26.3.15　コントロールレジスタ 28 ～ 37（CR28 ～ 37）.....26-18
26.3.16　コントロールレジスタ 38 ～ 3F（CR38 ～ 3F）.....26-19
26.3.17　コントロールレジスタ 40 ～ 4F（CR40 ～ 4F）.....26-20
26.3.18　ストラップピンモニタレジスタ 2（PINMON2）.....26-22
26.4　動作説明.....26-23
26.4.1　SPI フラッシュメモリアクセス.....26-23
26.4.2　ライトプロテクト機能.....26-25
26.4.3　割り込み.....26-28
26.5　設定手順例.....26-29
26.5.1　SPI フラッシュメモリリードアクセス.....26-29
26.5.2　SPI フラッシュメモリライトアクセス.....26-30
26.5.3　SPI フラッシュメモリセクタイレーズアクセス.....26-31
26.5.4　SPI フラッシュメモリバルクイレーズアクセス.....26-32
26.5.5　割り込みを使用した SPI フラッシュメモリリードアクセス.....26-33
26.5.6　割り込みを使用した SPI フラッシュメモリライトアクセス.....26-34

27 .FIFO 内蔵シリアルコミュニケーションインタフェース0、1（SCIF0、SCIF1）
27.1　特長.....27-1
27.2　入出力端子.....27-3
27.3　レジスタの説明.....27-4
27.3.1　受信シフトレジスタ (FRSR).....27-6
27.3.2　レシーブバッファレジスタ (FRBR).....27-6
27.3.3　送信シフトレジスタ (FTSR).....27-6
27.3.4　トランスミッタホールディングレジスタ (FTHR).....27-6
27.3.5　ディバイザラッチ H、L (FDLH、FDLL).....27-7
27.3.6　割り込みイネーブルレジスタ (FIER).....27-7
27.3.7　割り込み識別レジスタ (FIIR).....27-8
27.3.8　FIFO 制御レジスタ (FFCR).....27-9
27.3.9　ライン制御レジスタ (FLCR).....27-10
27.3.10　モデム制御レジスタ (FMCR).....27-12
27.3.11　ラインステータスレジスタ (FLSR).....27-13
27.3.12　モデムステータスレジスタ (FMSR).....27-16
27.3.13　スクラッチパッドレジスタ (FSCR).....27-17
27.3.14　SCIF コントロールレジスタ (SCIFCR).....27-17
27.3.15　SCIF ボーレートレジスタ 1 (FDLMON).....27-18
27.3.16　SCIF ボーレートレジスタ 2 (FLCRMON).....27-18
27.4　動作説明.....27-20
27.4.1　ボーレート.....27-20
27.4.2　調歩同期式通信の動作.....27-21
27.4.3　SCIF の初期化.....27-22
27.4.4　シリアルデータ送信.....27-23

27.4.5　シリアルデータ受信 27-24
27.4.6　フロー制御を行った送受信 27-25
27.5　割り込み要因 27-29

28 .FIFO 内蔵シリアルコミュニケーションインタフェース2、3、4
（SCIF2、SCIF3、SCIF4）
28.1　特長 28-1
28.2　入出力端子 28-7
28.3　レジスタの説明 28-8
28.3.1　レシーブシフトレジスタ（SCRSR） 28-10
28.3.2　レシーブ FIFO データレジスタ（SCFRDR） 28-10
28.3.3　トランスミットシフトレジスタ（SCTSR） 28-10
28.3.4　トランスミット FIFO データレジスタ（SCFTDR） 28-11
28.3.5　シリアルモードレジスタ（SCSMR） 28-11
28.3.6　シリアルコントロールレジスタ（SCSCR） 28-13
28.3.7　シリアルステータスレジスタ（SCFSR） 28-16
28.3.8　ビットレートレジスタ（SCBRR） 28-20
28.3.9　FIFO コントロールレジスタ（SCFCR） 28-21
28.3.10　FIFO データ数レジスタ（SCFDR） 28-23
28.3.11　シリアルポートレジスタ（SCSPTR） 28-24
28.3.12　ラインステータスレジスタ（SCLSR） 28-25
28.3.13　RS485 モードレジスタ（RS485M） 28-27
28.4　動作説明 28-28
28.4.1　概要 28-28
28.4.2　調歩同期式モードの動作 28-29
28.4.3　クロック同期式モードの動作 28-40
28.4.4　RS-485 送信モード 28-47
28.5　SCIF 割り込み要因と DMAC 28-49
28.6　使用上の注意事項 28-50

29 .シリアルコミュニケーションインタフェース端子マルチプレクス機能 (SERMUX)
29.1　特長 29-1
29.2　入出力端子 29-2
29.3　レジスタの説明 29-4
29.3.1　シリアルマルチプレクスレジスタ 0（SMR0） 29-5
29.3.2　シリアルマルチプレクスレジスタ 1（SMR1） 29-7
29.3.3　シリアルマルチプレクスレジスタ 2（SMR2） 29-8
29.3.4　シリアルマルチプレクスレジスタ 3（SMR3） 29-9
29.3.5　シリアルマルチプレクスレジスタ 4（SMR4） 29-11
29.3.6　シリアルマルチプレクスレジスタ 5（SMR5） 29-12
29.4　動作モード 29-14
29.4.1　シリアルマルチプレクスモード 0 29-15
29.4.2　シリアルマルチプレクスモード 1 29-16
29.4.3　シリアルマルチプレクスモード 2 29-17
29.4.4　シリアルマルチプレクスモード 3 29-18
29.4.5　シリアルマルチプレクスモード 4 29-19
29.4.6　シリアルマルチプレクスモード 5 29-20

29.4.7 シリアルマルチプレクスモード 6 29-21
29.4.8 シリアルマルチプレクスモード 8 29-22
29.4.9 シリアルマルチプレクスモード 9 29-23
29.4.10 シリアルマルチプレクスモード A 29-24
29.4.11 シリアルマルチプレクスモード B 29-25
29.4.12 シリアルマルチプレクスモード C 29-26
29.4.13 シリアルマルチプレクスモード D 29-27
29.4.14 シリアルマルチプレクス機能無効時の接続 29-28

30 .SIM カードモジュール(SIM)
30.1 特長 30-1
30.2 入出力端子 30-2
30.3 レジスタの説明 30-3
30.3.1 シリアルモードレジスタ（SCSMR） 30-4
30.3.2 ビットレートレジスタ（SCBRR） 30-5
30.3.3 シリアルコントロールレジスタ（SCSCR） 30-5
30.3.4 トランスミットシフトレジスタ（SCTSR） 30-8
30.3.5 トランスミットデータレジスタ（SCTDR） 30-8
30.3.6 シリアルステータスレジスタ（SCSSR） 30-8
30.3.7 レシーブシフトレジスタ（SCRSR） 30-13
30.3.8 レシーブデータレジスタ（SCRDR） 30-13
30.3.9 スマートカードモードレジスタ（SCSCMR） 30-13
30.3.10 シリアルコントロール 2 レジスタ（SCSC2R） 30-15
30.3.11 ガードエクステンションレジスタ（SCGRD） 30-15
30.3.12 ウエイトタイムレジスタ（SCWAIT） 30-16
30.3.13 サンプリングレジスタ（SCSMPL） 30-16
30.4 動作説明 30-17
30.4.1 概要 30-17
30.4.2 データフォーマット 30-17
30.4.3 レジスタ設定 30-18
30.4.4 クロック 30-19
30.4.5 データの送信／受信動作 30-20
30.5 使用上の注意事項 30-26

31 .USB ファンクションモジュール0（USB0）
31.1 特長 31-1
31.2 入出力端子 31-2
31.3 リセット 31-3
31.3.1 PHY インタフェースレジスタの説明 31-3
31.3.2 PHY リセットレジスタ（RESET） 31-3
31.3.3 PHY ポートコントロールレジスタ（PORTSEL） 31-4
31.4 システムコンフィギュレーション 31-5
31.5 レジスタの説明 31-6
31.5.1 システムコンフィギュレーションコントロールレジスタ（SYSCFG） .31-9
31.5.2 SH-4A バスウエイトレジスタ（BUSWAIT） 31-10
31.5.3 システムコンフィギュレーションステータスレジスタ（SYSSTS） ...31-11
31.5.4 デバイスステートコントロールレジスタ（DVSTCTR） 31-12

31.5.5 テストモードレジスタ（TESTMODE）.....31-13
31.5.6 FIFO ポートレジスタ（CFIFO）.....31-14
31.5.7 FIFO ポート選択レジスタ（CFIFOSEL、D0FIFOSEL）.....31-16
31.5.8 FIFO ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR）.....31-21
31.5.9 割り込み許可レジスタ（INTENB）.....31-24
31.5.10 BRDY 割り込み許可レジスタ（BRDYENB）.....31-25
31.5.11 NRDY 割り込み許可レジスタ（NRDYENB）.....31-26
31.5.12 BEMP 割り込み許可レジスタ（BEMPENB）.....31-28
31.5.13 SOF 出力コンフィグレーションレジスタ（SOFCFG）.....31-29
31.5.14 割り込みステータスレジスタ（INTSTS）.....31-30
31.5.15 BRDY 割り込みステータスレジスタ（BRDYSTS）.....31-33
31.5.16 NRDY 割り込みステータスレジスタ（NRDYSTS）.....31-34
31.5.17 BEMP 割り込みステータスレジスタ（BEMPSTS）.....31-35
31.5.18 フレームナンバーレジスタ（FRMNUM）.....31-36
31.5.19 マイクロフレームナンバーレジスタ（UFRMNUM）.....31-37
31.5.20 USB アドレスレジスタ（USBADDR）.....31-37
31.5.21 USB リクエストタイプレジスタ（USBREQ）.....31-38
31.5.22 USB リクエストバリューレジスタ（USBVAL）.....31-38
31.5.23 USB リクエストインデックスレジスタ（USBINDX）.....31-39
31.5.24 USB リクエストレングスレジスタ（USBLENG）.....31-39
31.5.25 DCP マックスパケットサイズレジスタ（DCPMAXP）.....31-40
31.5.26 DCP コントロールレジスタ（DCPCTR）.....31-41
31.5.27 パイプウィンドウ選択レジスタ（PIPESEL）.....31-44
31.5.28 パイプコンフィギュレーションレジスタ（PIPECFG）.....31-45
31.5.29 パイプバッファ指定レジスタ（PIPEBUF）.....31-49
31.5.30 パイプマックスパケットサイズレジスタ（PIPEMAXP）.....31-50
31.5.31 パイプ周期制御レジスタ（PIPEPERI）.....31-51
31.5.32 パイプ n コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）.....31-52
31.5.33 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）.....31-61
31.5.34 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）.....31-62
31.5.35 UTMI サスペンドモードレジスタ（SUSPMODE）.....31-63
31.6 SUDMAC レジスタの構成.....31-64
31.6.1 コンフィグレーションレジスタ（CH0CFG）.....31-65
31.6.2 ベースアドレスレジスタ（CH0BA）.....31-66
31.6.3 ベースバイトカウントレジスタ（CH0BBC）.....31-67
31.6.4 カレントアドレスレジスタ（CH0CA）.....31-68
31.6.5 カレントバイトカウントレジスタ（CH0CBC）.....31-69
31.6.6 DMA イネーブルレジスタ（CH0DEN）.....31-70
31.6.7 DMA ステータスクリアレジスタ（DSTSCLR）.....31-71
31.6.8 DMA バッファコントロールレジスタ（DBUFCTRL）.....31-72
31.6.9 DMA 割り込みコントロールレジスタ（DINTCTRL）.....31-73
31.6.10 DMA 割り込みステータスレジスタ（DINTSTS）.....31-74
31.6.11 DMA 割り込みステータスクリアレジスタ（DINTSTSCLR）.....31-75
31.6.12 SHwy 転送コントロールレジスタ（CH0SHCTRL）.....31-76
31.7 動作説明.....31-77
31.7.1 システム制御及び発振制御.....31-77
31.7.2 割り込み機能.....31-79

31.7.3 パイプコントロール 31-91
31.7.4 FIFO バッファメモリ 31-95
31.7.5 コントロール転送（DCP） 31-102
31.7.6 バルク転送（パイプ 1 ～ 5） 31-103
31.7.7 インタラプト転送（パイプ 6 ～ 9） 31-103
31.7.8 アイソクロナス転送（パイプ 1、2） 31-103
31.7.9 SOF 補間機能 31-110
31.7.10 SUDMAC 31-111

32 .USB ホスト/ファンクションモジュール 1 （USB1）
32.1 特長 32-1
32.2 入出力端子 32-2
32.3 リセット 32-3
32.4 USB1 端子 マルチプレクサ 32-3
32.4.1 ブロック図 32-3
32.4.2 レジスタの説明 32-4
32.4.3 USB1 ポートコントローラ選択レジスタ（PORT1SEL） 32-4
32.4.4 USB1 割り込みステータスレジスタ（USB1INTSTS） 32-5
32.5 レジスタの説明 32-6
32.5.1 USB ファンクション コントローラレジスタ 32-8
32.5.2 EHCI コントローラレジスタ 32-8
32.5.3 OHCI コントローラレジスタ 32-29
32.5.4 パワーイネーブルコントロールレジスタ（OCPOWEN） 32-54
32.5.5 過電流コントロールレジスタ（OCMSK） 32-55
32.5.6 EHCI データアラインメントコントロールレジスタ（EHCIDATAC） 32-55
32.5.7 OHCI データアラインメントコントロールレジスタ（OHCIDATAC） 32-56
32.6 USB HCによるデータの格納 32-57
32.6.1 データの格納 32-57
32.6.2 ディスクリプタテーブルの格納 32-57

33 .CRC 演算器
33.1 特長 33-1
33.2 レジスタの説明 33-1
33.2.1 CRC コントロールレジスタ（CRCCR） 33-2
33.2.2 CRC データ入力レジスタ（CRCDIR） 33-2
33.2.3 CRC データ出力レジスタ（CRCDOR） 33-3
33.3 動作説明 33-4
33.4 使用上の注意事項 33-7

34 .ルネサスシリアルペリフェラルインタフェース（RSPI）
34.1 特長 34-1
34.1.1 内部ブロック図 34-2
34.2 入出力端子 34-3
34.3 レジスタの説明 34-4
34.3.1 RSPI 制御レジスタ（SPCR） 34-5
34.3.2 RSPI スレーブセレクト極性レジスタ（SSLP） 34-6

34.3.3 RSPI 端子制御レジスタ（SPPCR）.....34-7
34.3.4 RSPI ステータスレジスタ（SPSR）.....34-8
34.3.5 RSPI データレジスタ（SPDR）.....34-9
34.3.6 RSPI シーケンス制御レジスタ（SPSCR）.....34-10
34.3.7 RSPI シーケンスステータスレジスタ（SPSSR）.....34-11
34.3.8 RSPI ビットレートレジスタ（SPBR）.....34-12
34.3.9 RSPI データコントロールレジスタ（SPDCR）.....34-13
34.3.10 RSPI-RSPCK 遅延レジスタ（SPCKD）.....34-16
34.3.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）.....34-17
34.3.12 RSPI 次アクセス遅延レジスタ（SPND）.....34-18
34.3.13 RSPI 制御レジスタ 2（SPCR2）.....34-19
34.3.14 RSPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ 7）.....34-20
34.4 動作説明.....34-22
34.4.1 RSPI 動作の概要.....34-22
34.4.2 RSPI 端子の制御.....34-23
34.4.3 RSPI システム構成例.....34-24
34.4.4 転送フォーマット.....34-29
34.4.5 データフォーマット.....34-31
34.4.6 通信動作モード.....34-39
34.4.7 送信バッファエンプティ／受信バッファフルフラグ.....34-41
34.4.8 エラー検出.....34-42
34.4.9 RSPI の初期化.....34-46
34.4.10 SPI 動作.....34-47
34.4.11 クロック同期式動作.....34-58
34.4.12 エラー処理.....34-65
34.4.13 ループバックモード.....34-67
34.4.14 パリティ機能のセルフダイアグノシス.....34-68
34.4.15 割り込み.....34-69

35 .PCI Expressコントローラ（PCIEC）
35.1 特長.....35-1
35.2 ブロック図.....35-2
35.3 入出力端子.....35-3
35.4 レジスタの説明.....35-4
35.4.1 共通レジスタ.....35-4
35.5 ルートコンプレックス（RC）.....35-6
35.5.1 特長.....35-6
35.5.2 レジスタの説明.....35-7
35.5.3 動作説明.....35-53
35.6 エンドポイント.....35-74
35.6.1 PCI Express Switch/PCI Express to PCI Bridge（PS/PPB）.....35-74
35.6.2 PCI Express バスインタフェース（PBI）.....35-131

36 .イベントカウンタ（EVC）
36.1 特長.....36-1
36.2 入出力端子.....36-2
36.3 レジスタの説明.....36-3

36.3.1　イベントカウンタチャネルイネーブルレジスタ（EVCCE）.....36-4
36.3.2　イベントカウンタエッジ制御レジスタ（EVCECR）.....36-6
36.3.3　イベントカウンタ 0 ～ 15（EVCNT0 ～ EVCNT15）.....36-7

37 .暗号機能（ARC4）

38 .暗号エンジン（CRYPTO ENGINE）

39 .SD ホストインタフェース（SDHI）

40 .A/D 変換器（ADC）
40.1　特長 40-1
40.2　入出力端子 40-3
40.3　レジスタの説明 40-4
40.3.1　A/D データレジスタ A ～ H（ADDRA_i ～ ADDRH_i（i=0,1））.....40-5
40.3.2　A/D コントロール／ステータスレジスタ（ADCSR）.....40-6
40.4　動作説明 40-8
40.4.1　シングルモード 40-8
40.4.2　マルチモード 40-10
40.4.3　スキャンモード 40-12
40.4.4　外部トリガ、TMR による A/D 変換器の起動 40-14
40.4.5　入力サンプリングと A/D 変換時間 40-14
40.4.6　外部トリガ入力タイミング 40-15
40.5　割り込み要因と DMAC 転送要求 40-16
40.6　A/D 変換精度の定義 40-17
40.7　使用上の注意事項 40-18
40.7.1　モジュールスタンバイモードの設定 40-18
40.7.2　アナログ電圧の設定 40-18
40.7.3　ボード設計上の注意 40-18
40.7.4　アナログ入力端子の取り扱い 40-18
40.7.5　許容信号源インピーダンス 40-20
40.7.6　絶対精度への影響 40-20

41 .汎用入出力ポート（GPIO）
41.1　特長 41-1
41.2　レジスタの説明 41-14
41.2.1　ポート A コントロールレジスタ（PACR）.....41-16
41.2.2　ポート B コントロールレジスタ（PBCR）.....41-17
41.2.3　ポート C コントロールレジスタ（PCCR）.....41-18
41.2.4　ポート D コントロールレジスタ（PDCR）.....41-20
41.2.5　ポート E コントロールレジスタ（PECR）.....41-21
41.2.6　ポート F コントロールレジスタ（PFCR）.....41-22
41.2.7　ポート G コントロールレジスタ（PGCR）.....41-23
41.2.8　ポート H コントロールレジスタ（PHCR）.....41-25
41.2.9　ポート I コントロールレジスタ（PICR）.....41-26
41.2.10　ポート J コントロールレジスタ（PJCR）.....41-27

41.2.11 ポートKコントロールレジスタ（PKCR）.....41-28
41.2.12 ポートLコントロールレジスタ（PLCR）.....41-30
41.2.13 ポートMコントロールレジスタ（PMCR）.....41-31
41.2.14 ポートNコントロールレジスタ（PNCR）.....41-32
41.2.15 ポートOコントロールレジスタ（POCR）.....41-34
41.2.16 ポートQコントロールレジスタ（PQCR）.....41-35
41.2.17 ポートRコントロールレジスタ（PRCR）.....41-36
41.2.18 ポートSコントロールレジスタ（PSCR）.....41-38
41.2.19 ポートTコントロールレジスタ（PTCR）.....41-39
41.2.20 ポートUコントロールレジスタ（PUCR）.....41-40
41.2.21 ポートVコントロールレジスタ（PVCR）.....41-42
41.2.22 ポートWコントロールレジスタ（PWCR）.....41-43
41.2.23 ポートXコントロールレジスタ（PXCR）.....41-44
41.2.24 ポートYコントロールレジスタ（PYCR）.....41-46
41.2.25 ポートZコントロールレジスタ（PZCR）.....41-47
41.2.26 ポートAデータレジスタ（PADR）.....41-48
41.2.27 ポートBデータレジスタ（PBDR）.....41-49
41.2.28 ポートCデータレジスタ（PCDR）.....41-49
41.2.29 ポートDデータレジスタ（PDDR）.....41-50
41.2.30 ポートEデータレジスタ（PEDR）.....41-50
41.2.31 ポートFデータレジスタ（PFDR）.....41-51
41.2.32 ポートGデータレジスタ（PGDR）.....41-51
41.2.33 ポートHデータレジスタ（PHDR）.....41-52
41.2.34 ポートIデータレジスタ（PIDR）.....41-52
41.2.35 ポートJデータレジスタ（PJDR）.....41-53
41.2.36 ポートKデータレジスタ（PKDR）.....41-53
41.2.37 ポートLデータレジスタ（PLDR）.....41-54
41.2.38 ポートMデータレジスタ（PMDR）.....41-54
41.2.39 ポートNデータレジスタ（PNDR）.....41-55
41.2.40 ポートOデータレジスタ（PODR）.....41-55
41.2.41 ポートPデータレジスタ（PPDR）.....41-56
41.2.42 ポートQデータレジスタ（PQDR）.....41-56
41.2.43 ポートRデータレジスタ（PRDR）.....41-57
41.2.44 ポートSデータレジスタ（PSDR）.....41-57
41.2.45 ポートTデータレジスタ（PTDR）.....41-58
41.2.46 ポートUデータレジスタ（PUDR）.....41-58
41.2.47 ポートVデータレジスタ（PVDR）.....41-59
41.2.48 ポートWデータレジスタ（PWDR）.....41-59
41.2.49 ポートXデータレジスタ（PXDR）.....41-60
41.2.50 ポートYデータレジスタ（PYDR）.....41-60
41.2.51 ポートZデータレジスタ（PZDR）.....41-61
41.2.52 ピンセレクトレジスタ0（PSEL0）.....41-61
41.2.53 ピンセレクトレジスタ1（PSEL1）.....41-62
41.2.54 ピンセレクトレジスタ2（PSEL2）.....41-63
41.2.55 ピンセレクトレジスタ3（PSEL3）.....41-64
41.2.56 ピンセレクトレジスタ4（PSEL4）.....41-65
41.2.57 ピンセレクトレジスタ5（PSEL5）.....41-67
41.2.58 ピンセレクトレジスタ6（PSEL6）.....41-68
41.2.59 ピンセレクトレジスタ7（PSEL7）.....41-69

41.2.60　ノイズキャンセライネーブルレジスタ（NCER）.....41-70
41.2.61　ノイズキャンセラモードコントロールレジスタ（NCMCR）.....41-71
41.2.62　ノイズキャンセラ周期設定レジスタ（NCCSR）.....41-71
41.3　設定手順例.....41-74
41.3.1　ポート出力機能.....41-74
41.3.2　ポート入力機能.....41-74
41.3.3　周辺モジュール機能.....41-74
41.3.4　AUD モジュール機能.....41-74

42 .ユーザブレークコントローラ（UBC）
42.1　特長.....42-1
42.2　レジスタの説明.....42-3
42.2.1　マッチ条件設定レジスタ 0、1（CBR0、CBR1）.....42-4
42.2.2　マッチ動作設定レジスタ 0、1（CRR0、CRR1）.....42-8
42.2.3　マッチアドレス設定レジスタ 0、1（CAR0、CAR1）.....42-9
42.2.4　マッチアドレスマスク設定レジスタ 0、1（CAMR0、CAMR1）.....42-10
42.2.5　マッチデータ設定レジスタ 1（CDR1）.....42-11
42.2.6　マッチデータマスク設定レジスタ 1（CDMR1）.....42-12
42.2.7　実行回数ブレークレジスタ 1（CETR1）.....42-12
42.2.8　チャネルマッチフラグレジスタ（CCMFR）.....42-13
42.2.9　ブレークコントロールレジスタ（CBCR）.....42-14
42.3　動作説明.....42-15
42.3.1　アクセスに関する用語の説明.....42-15
42.3.2　ユーザブレーク動作の流れ.....42-15
42.3.3　命令フェッチサイクルブレーク.....42-16
42.3.4　オペランドアクセスサイクルブレーク.....42-17
42.3.5　シーケンシャルブレーク.....42-18
42.3.6　退避されるプログラムカウンタの値.....42-19
42.4　ユーザブレークデバッグサポート機能.....42-20
42.5　ユーザブレーク使用例.....42-21
42.6　使用上の注意事項.....42-24

43 .ユーザデバッグインタフェース（H-UDI）
43.1　特長.....43-1
43.2　入出力端子.....43-3
43.3　バウンダリスキャン用TAP コントローラ
（IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS）.....43-4
43.4　レジスタの説明.....43-5
43.4.1　インストラクションレジスタ（SDIR）.....43-6
43.4.2　割り込み要因レジスタ（SDINT）.....43-7
43.4.3　バイパスレジスタ（SDBPR）.....43-7
43.4.4　バウンダリスキャンレジスタ（SDBSR）.....43-7
43.5　動作説明.....43-8
43.5.1　TAP 制御.....43-8
43.5.2　H-UDI リセット.....43-9
43.5.3　H-UDI 割り込み.....43-9
43.6　注意事項.....43-10

44 .eMMCホストインタフェース
44.1 特徴 44-1
44.2 モジュールの構成 44-1
44.3 入出力端子 44-2
44.4 レジスタの説明 44-2
44.4.1 コマンド設定レジスタ（CE_CMD_SET） 44-3
44.4.2 アーギュメントレジスタ（CE_ARG） 44-5
44.4.3 自動 CMD12 アーギュメントレジスタ（CE_ARG_CMD12） 44-5
44.4.4 コマンド制御レジスタ（CE_CMD_CTRL） 44-6
44.4.5 転送ブロック設定レジスタ（CE_BLOCK_SET） 44-6
44.4.6 クロックコントロールレジスタ（CE_CLK_CTRL） 44-7
44.4.7 バッファアクセス設定レジスタ（CE_BUF_ACC） 44-8
44.4.8 レスポンスレジスタ３～０（CE_RESP3 ～ 0） 44-9
44.4.9 自動 CMD12 レスポンスレジスタ（CE_RESP_CMD12） 44-10
44.4.10 データレジスタ（CE_DATA） 44-11
44.4.11 割り込みフラグレジスタ（CE_INT） 44-11
44.4.12 割り込みマスクレジスタ（CE_INT_MASK） 44-15
44.4.13 ステータスレジスタ１（CE_HOST_STS1） 44-18
44.4.14 ステータスレジスタ２（CE_HOST_STS2） 44-19
44.4.15 バージョンレジスタ（CE_VERSION） 44-21
44.5 割り込み要求 44-22
44.6 DMA仕様 44-23
44.6.1 バッファライト DMA 44-23
44.6.2 バッファリード DMA 44-23
44.7 動作説明 44-23
44.7.1 コマンド / レスポンスのフォーマット 44-23
44.7.2 自動 CMD12 発行 44-25
44.7.3 バッファ構造とバッファアクセス 44-26
44.7.4 CE_DATA アクセス時のバッファアクセス選択機能 44-27
44.7.5 データフォーマット 44-28
44.7.6 エラー、タイムアウト発生時の本モジュールの処理 44-29
44.8 設定例 44-30
44.8.1 凡例 44-30
44.8.2 コマンド送信設定例 44-30
44.8.3 コマンド送信→レスポンス受信設定例 44-31
44.8.4 コマンド送信→レスポンス受信（レスポンスビジー有り）設定例 44-32
44.8.5 シングルブロックリード設定例 44-33
44.8.6 マルチブロックリード（自動 CMD12 発行有り）設定例 44-34
44.8.7 シングルブロックライト設定例 44-35
44.8.8 マルチブロックライト（自動 CMD12 発行有り）設定例 44-36
44.8.9 強制終了設定例 44-37
44.8.10 CE_CMD_SET 設定値 44-38

45 .シリアル汎用入出力ポート（SGPIO）
45.1 特長 45-1
45.2 入出力端子 45-3
45.3 レジスタの説明 45-4

45.3.1　転送設定レジスタ（XFERCFG）.....45-7
45.3.2　転送数指定レジスタ（XFERNUM）.....45-8
45.3.3　転送ビット位置モニタレジスタ（XFERBLMON）.....45-9
45.3.4　SClock 周波数選択レジスタ（SCLOCKFREQ）.....45-10
45.3.5　SGPIO ステートモニタレジスタ（STATEMON）.....45-11
45.3.6　送信データレジスタ（TRSDATA0-3）.....45-12
45.3.7　受信データレジスタ（RCVDATA0-3）.....45-12
45.3.8　割り込み許可レジスタ（INTEN）.....45-13
45.3.9　割り込み要因レジスタ（INTSRC）.....45-14
45.3.10　GPI 設定レジスタ（GPICFG）.....45-14
45.3.11　GPI ラッチ有効レジスタ（GPILATCHEN0 ～ 3）.....45-15
45.3.12　GPI 極性レジスタ（GPIPOLARITY0 ～ 3）.....45-15
45.3.13　ビット一致レジスタ（BITMATCH0 ～ 3）.....45-16
45.4　動作説明.....45-17
45.4.1　ビットストリーム構成.....45-17
45.4.2　出力端子制御.....45-18
45.4.3　単発転送モード.....45-19
45.4.4　連続転送モード.....45-20
45.4.5　割り込み.....45-21
45.5　使用上の注意事項.....45-22
45.5.1　システム起動直後の転送.....45-22

46 .8 ビットPWM タイマ（PWMU）
46.1　特長.....46-1
46.2　入出力端子.....46-3
46.3　レジスタの説明.....46-3
46.3.1　PWM クロックコントロールレジスタ（PWMCKCR）.....46-4
46.3.2　PWM 出力コントロールレジスタ（PWMOUTCR）.....46-4
46.3.3　PWM モードコントロールレジスタ（PWMMDCR）.....46-6
46.3.4　PWM 位相コントロールレジスタ（PWMPCR）.....46-7
46.3.5　PWM プリスケーララッチレジスタ（PRELAT）.....46-8
46.3.6　PWM デューティ設定ラッチレジスタ（REGLAT）.....46-8
46.3.7　PWM プリスケーラレジスタ 0 ～ 5（PWMPRE0 ～ PWMPRE5）.....46-9
46.3.8　PWM デューティ設定レジスタ 0 ～ 5（PWMREG0 ～ PWMREG5）.46-11
46.4　動作説明.....46-12
46.4.1　単パルスモード（8 ビット、12 ビット、16 ビット）.....46-12
46.4.2　パルス分割モード.....46-15
46.4.3　D/A として使用する場合の回路例.....46-17

47 .電気的特性
47.1　絶対最大定格.....47-1
47.2　電源投入・切断シーケンス.....47-2
47.2.1　電源投入・切断シーケンス.....47-2
47.3　DC 特性.....47-3
47.3.1　DC 特性（1）.....47-3
47.3.2　DC 特性（2）.....47-4
47.3.3　DC 特性（USB トランシーバ、RIIC 関連端子を除く）.....47-5

47.3.4 DC 特性（RIIC）.....47-6
47.3.5 DC 特性 （USB（ハイスピードトランシーバ））.....47-7
47.3.6 DC 特性（USB（フルスピード／ロースピードトランシーバ））.....47-7
47.3.7 DC 特性（出力許容電流値）.....47-8
47.3.8 DC 特性（シュミットトリガ入力）.....47-9
47.4 AC特性 47-10
47.4.1 クロック・制御信号タイミング 47-10
47.4.2 バスタイミング 47-13
47.4.3 DBSC3 モジュール信号タイミング 47-21
47.4.4 INTC モジュール信号タイミング 47-25
47.4.5 DMAC モジュール信号タイミング 47-26
47.4.6 SPI0 モジュール信号タイミング 47-27
47.4.7 WDT モジュール信号タイミング 47-28
47.4.8 PWMX モジュール信号タイミング 47-28
47.4.9 PWMU モジュール信号タイミング 47-29
47.4.10 TMU モジュール信号タイミング 47-29
47.4.11 ETHER モジュール信号タイミング 47-30
47.4.12 RGMII モジュール信号タイミング 47-32
47.4.13 RIIC モジュール信号タイミング 47-34
47.4.14 SCIF2 ～ 4 モジュール信号タイミング 47-37
47.4.15 USB0/USB1 モジュール信号タイミング 47-38
47.4.16 A/D モジュール信号タイミング 47-39
47.4.17 GPIO モジュール信号タイミング 47-40
47.4.18 H-UDI モジュール信号タイミング 47-41
47.4.19 RSPI モジュール信号タイミング 47-43
47.4.20 eMMC モジュール信号タイミング 47-47
47.4.21 SGPIO モジュール信号タイミング 47-48
47.4.22 PCIe モジュール信号タイミング 47-49
47.4.23 EVC モジュール信号タイミング 47-51
47.5 A/D 変換器特性 47-51
47.6 AC特性テスト条件 47-52

48 .付録

A.CPU 動作モードレジスタ（CPUOPM）.....付録 -1
B.命令プリフェッチとその副作用について .....付録 -2
C. バージョンレジスタ（PVR、PRR）.....付録 -3
D.外形寸法図 .....付録 -5
E.パワーオンリセット時の端子機能／端子状態と未使用端子処理 .....付録 -6
F.ストラップピン一覧表 .....付録 -18
G.各モジュールの端子設定 .....付録 -20

1. 概要

1.1 特長

本LSIは、メモリトレンドに追随したDDR3- SDRAMインタフェース、２チャネルのギガビットイーサネットコントローラ（GETHER）、USBホスト／ファンクション（USB）、PCIeインタフェース、I2Cバスインタフェース（RIIC）、SDホストインタフェース（SDHI）、MMCホストインタフェース（eMMC）、タイマ、及びシリアルコミュニケーションインタフェース（SCIF、SPI）等を内蔵しており、通信用の組み込みシステムなどに適しています。

本LSIの内部CPUコアSH-4Aは、RISCタイプの命令セットを内蔵しており、スーパースカラアーキテクチャを使用しています。これにより命令実行速度は大幅に向上します。このCPUで、高速処理が要求されるリアルタイム制御のような、従来のマイクロプロセッサでは処理できなかったアプリケーションに対しても、低コスト、高性能、及び高機能なシステムを組むことができます。

本LSIには、32Kバイトの命令キャッシュ、及び32Kバイトのオペランドキャッシュ領域があります。オペランドキャッシュ領域では、コピーバックとライト・スルーモードを切り替えることができます。さらに、内蔵されているMMU（memory management unit）により4Gバイトの仮想アドレス空間へアクセスすることができます。命令キャッシュには、命令に対する4エントリのフルアソシアティブTLB及びTLBと共有の64エントリのフルアソシアティブがあります。また、32KバイトのSRAM (16KバイトILRAM／16KバイトOLRAM)を内蔵しています。SRAMは高速アクセスが可能なので、スタックポインタやリアルタイム性を必要とする処理に使用できます。

本LSIの特長を表1.1に示します。

表1.1 仕様概要

項目	特 長
CPU （SH-4A）	• ルネサス独自のSuperHアーキテクチャ • 32ビット内部データバス • 汎用レジスタファイル： - 16本の32ビット汎用レジスタ（及び8本の32ビットシャドウレジスタ） - 7本の32ビット制御レジスタ - 4本の32ビットシステムレジスタ • RISCタイプ命令セット（SH-1、SH-2、SH-3、SH-4マイクロプロセッサと上位互換性あり） - 命令長：コードの効率改善のための16ビット固定長 - ロードストアアーキテクチャ - 遅延分岐命令 - 条件付き実行 - C言語に基づく命令セット • FPUを含む2命令同時実行型スーパースカラ • 命令実行時間：最大2命令／サイクル • アドレス空間：4Gバイト • 空間識別子ASID：8ビット、256の仮想アドレス空間 • 乗算器内蔵 • 8段パイプライン

項目	特 長
浮動小数点 ユニット（FPU）	• 浮動小数点コプロセッサ内蔵 • 単精度（32ビット）及び倍精度（64ビット）をサポート • IEEE754に準拠したデータタイプ及び例外をサポート • 丸めモード：近傍及び0方向への丸め • 非正規化数の扱い：0への切り捨て、又はIEEE754に準拠のための割り込み発生 • 浮動小数点レジスタ：32ビット×16レジスタ×2バンク (単精度×16レジスタ又は倍精度×8レジスタ）×2バンク • 32ビットCPU-FPU浮動小数点通信レジスタ（FPUL） • FMAC（乗算及びアキュムレート）命令をサポート • FDIV（除算）／FSQRT（平方根）命令をサポート • FLDI0/FLDI1（ロード定数0/1）命令をサポート • 命令実行時間 - レイテンシ（FADD/FSUB）：3サイクル（単精度）、5サイクル（倍精度） - レイテンシ（FMAC/FMUL）：5サイクル（単精度）、7サイクル（倍精度） - ピッチ（FADD/FSUB）：1サイクル（単精度／倍精度） - ピッチ（FMAC/FMUL）：1サイクル（単精度）、3サイクル（倍精度） 注. FMACは単精度に対してのみサポートしています • 3Dグラフィック命令（単精度のみ） - 4 次元ベクトル変換及び行列演算（FTRV）：4サイクル（ピッチ）、8サイクル（レイテンシ） - 4次元ベクトル（FIPR）の内積：1サイクル（ピッチ）、5サイクル（レイテンシ） • 10段パイプライン
メモリ管理 ユニット（MMU）	• 4Gバイトのアドレス空間、256のアドレス空間識別子（ASID：8ビット） • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート：1K、4K、8K、64K、256K、1M、4M、64Mバイト • 命令に対する4エントリのフルアソシアティブTLB • 命令及びオペランドに対する64エントリのフルアソシアティブTLB • ソフトウェアにより入れ換え方法及びランダムカウンタ方式入れ替えアルゴリズムをサポート • TLBの内容はアドレスマッピングにより直接アクセス可能 • 29ビット物理アドレスモードと32ビット物理アドレスモードをサポート
キャッシュメモリ	• 命令キャッシュ（IC）：32Kバイト - 4ウェイセットアソシエイティブ - 32バイトブロック長 • オペランドキャッシュ (OC)：32Kバイト - 4ウェイセットアソシエイティブ - 32バイトブロック長 - 選択可能な書き込み方式（コピーバック/ライトスルー） • ストアキュー（32バイト×2エントリ）
ILメモリ （ILRAM）	• 命令ローカルメモリ：16Kバイト • 3本の独立した読み出し／書き込みポート - SH-4Aからの命令フェッチアクセス - SH-4Aからの8／16／32／64ビットオペランドアクセス - 外部要求による8／16／32／64ビット及び16／32バイトアクセス
OLメモリ （OLRAM）	• オペランドローカルメモリ：16Kバイト • 3本の独立した読み出し／書き込みポート - SH-4Aからの命令フェッチアクセス - SH-4Aからの8／16／32／64ビットオペランドアクセス - 外部要求による8／16／32／64ビット及び16／32バイトアクセス
ユーザブレーク コントローラ （UBC）	• ユーザブレーク割り込みによるデバックをサポート • 2本のブレークチャネル • アドレス、データ値、アクセスのタイプ、データサイズはすべてブレーク条件として設定可能 • シーケンシャルブレーク機能をサポート

項目	特 長
クロックパルス発振器（CPG）	• クロックモード： - SH-4A周波数 ：384MHz又は576MHz - SHwyバス周波数 ：192MHz - DDR3-SDRAM周波数 ：1056Mbps - 周辺周波数 ：48MHz - CLKOUT出力周波数 ：48MHz - 外部WDTサブクロック周波数 ：32.768kHz • 低消費電力モード： - モジュールストップモード ：選択された周辺モジュールへのクロック供給を停止 - スリープモード ：SH-4Aの動作を停止
割り込みコントローラ（INTC）	• ダイレクトジャンプ方式（SH-4互換） • 9本の外部割り込み端子（NMI、IRQ7～IRQ0） • 内蔵周辺割り込み：モジュールごとに優先順位を設定 • 非サポート検出例外レジスタ（EXPMASK）
ローカルバスステートコントローラ（LBSC）	• 外部非同期形メモリアクセスをサポート - 各エリア最大64Mバイト - SRAM/NOR型フラッシュメモリ接続可能 - ウェイトサイクルをソフトウエアによって挿入可能 - ウェイトサイクル機能（ハードウェアによるウェイトサイクル：$\overline{\text{RDY}}$信号） - データバスの衝突を防ぐためのウェイト制御（アイドルサイクル挿入） - バス幅：16、8ビット - サポートエリア：エリア0、エリア4～エリア6（CS0、CS4～CS6） • ビッグエンディアン又はリトルエンディアンを設定可能
ダイレクトメモリアクセスコントローラ（DMAC）	• 24チャネル（うち2チャネルは外部リクエスト可能） • 転送要求： - 外部リクエスト（チャネル0、1） - 内蔵周辺モジュールリクエスト： SCIF2、SCIF3、SCIF4、ADC0、ADC1、SIM、ARC4、SDHI、CRYPTO ENGINE、RSPI、eMMC、RIIC、TMR、PCIEC - オートリクエストモード：メモリ間転送 • 転送データサイズ：バイト、ワード（2バイト）、ロングワード（4バイト）、16バイト、32バイト • 最大転送回数：16,777,216回 • アドレスモード：デュアルアドレスモード • バスモード：サイクルスチールモードとバーストモードから選択可能 • チャネル優先順位選択可能： - チャネル優先レベルは固定モードとラウンドロビンモードから選択可能
DDR3-SDRAMインタフェース（DBSC3）	• JEDEC JESD79-3準拠 • データバス幅：16ビット • リフレッシュ機能サポート - セルフリフレッシュモード • パワーダウンモードサポート • DDR3-SDRAM 1056Mbpsに対応 • 8バンクDDR3-SDRAMデバイスに対応 • バースト長：8 • CASレイテンシ：3～10サイクル • アドレス指定可能メモリ空間は8Gbits（＝1Gバイト）まで - 32M×16bit（512Mビット）×1 - 64M×16bit（1Gビット）×1、64M×8bit（512Mビット）×2 - 128M×16bit（2Gビット）×1、128M×8bit（1Gビット）×2 - 256M×16bit（4Gビット）×1、256M×8bit（2Gビット）×2 - 512M×16bit（8Gビット）×1、512M×8bit（4Gビット）×2 • ECC（SECDEC方式）によるデータ訂正機能サポート

項目	特 長
PCI express コントローラ（PCIEC）	• 以下の各規格に準拠 - PCI Express Base Specification, Revision 2.1 - PCI Express to PCI/PCI-X Bridge Specification, Revision 1.0 - PCI Local Bus Specification, Revision 2.2 • リンク：2.5Gbps、1レーン • 最大ペイロード：128バイト • パワー制御 - デバイスパワーステート：D0、D3hot - リンクパワーステート　：L0、L0s、L1 • ルートコンプレックス - SH-4Aによる各トランザクション発行 - 汎用DMACによる高速メモリ転送 - 複数の割り込み要因 • エンドポイント - 共有メモリデバイス：共有メモリ（4Kバイト） メールボックス（4Kバイト） VDMバッファ（32Kバイト） - 専用DMACによる高速VDM転送 - 複数の割り込み要因 - PCIe Interrupt Capability（INTx、MSI）サポート - PCIe Advanced Error Reporting Capabilityサポート
イーサネット コントローラ（ETHER）	• MAC（Media Access Control 機能） - データフレームの組み立て／分解（IEEE802.3 準拠フレーム形式） - CRC計算 - 全二重／半二重送受信サポート - ショートパケット、ロングパケット送受信検出 • RMII（Reduced Media Independent Interface）標準転送レート：10/100Mbpsに対応 - 2CH • 1ディスクリプタで1フレーム、複数のディスクリプタ（マルチバッファ）で1フレームの方式に対応 • イーサネットコントローラ専用DMAチャネル • SH-4A負荷軽減のためディスクリプタ管理方式を使用 • チャネルごとに受信用FIFO（8KB）、送信用FIFO（2KB）を搭載 • 32バイトバースト転送によりシステムバスを効率よく使用 • シングルフレーム・マルチバッファ対応可能
ギガビット イーサネット コントローラ（GETHER）	• MAC（Media Access Control 機能） - データフレームの組み立て／分解（IEEE802.3 2000Edition準拠フレーム形式） - CRC計算 - 全二重／半二重送受信サポート - ショートパケット、ロングパケット送受信検出 - マルチキャストフィルタ • RGMII（Reduced Gigabit Media Independent Interface）標準転送レート：10/100/1000 Mbpsに対応 - 2CH • 1ディスクリプタで1フレーム、複数のディスクリプタ（マルチバッファ）で1フレームの方式に対応 • IEEE802.1Q （VLAN）に対応 • ギガビットイーサネットコントローラ専用DMAチャネル • SH-4A負荷軽減のためディスクリプタ管理方式を使用 • チャネルごとに受信用FIFO（12KB）、送信用FIFO（2KB）を搭載 • 32バイトバースト転送によりシステムバスを効率よく使用 • シングルフレーム・マルチバッファ対応可能

項目	特 長
SIMカードインタフェース（SIM）	• 1チャネル • ISO7816-3 データプロトコルに対応（T=0、T=1） • 調歩同期式半二重キャラクタ伝送プロトコル • データ長8ビット • パリティビットの生成及びチェック • キャラクタ保護追加時間選択可能 • 1etu当たりの出力クロック数を選択可能 • ダイレクトコンベンション／インバースコンベンションの選択可能 • 周辺クロックPckプリスケーラ内蔵 • アイドル時のクロック極性変更可（Lレベル又はHレベル）
I2C インタフェース （RIIC）	• I2Cバスインタフェース方式サポート • マスタ／スレーブ機能 • 10チャネル • 最大1Mbpsをサポート • 7ビット及び10ビットのアドレスモード対応 • 周辺クロックからプログラマブルにクロックを生成 • シーケンサにより、RIIC及びDMACをOffloadエンジンとして制御可能
USBホスト／ ファンクション 機能 （USB0、USB1）	• 2ポート（各ポートにUSB PHYを内蔵） • USB0、USB1共に、Universal Serial Bus Specification Revision 2.0準拠 • USB0（ファンクション機能）：ハイスピード/フルスピードサポート • USB1（ファンクション機能）：ハイスピード/フルスピードサポート USB1（ホスト機能）　：ハイスピード（EHCI）、フルスピード/ロースピード（OHCI）サポート • パイプ構成 - 各USBファンクションで最大10パイプ使用可能 - 各USBファンクションで8.5Kバイト専用RAMバッファ内蔵 - パイプ0：64バイト　コントロール転送 - パイプ1、2：最大2k×2のバルク転送／アイソクロナス転送 - パイプ3～5：最大2k×2のバルク転送 - パイプ6～9：64バイト インタラプト転送 - 最大10個の双方向のエンドポイントをサポート
FIFO 内蔵シリアル コミュニケーションインタフェース 0、1 （SCIF0、SCIF1）	• 2チャネル内蔵 • 送受信用FIFO 各16 バイト内蔵 16550シリーズとレジスタ互換 • 全二重通信が可能 • モデムコントロール信号サポート（$\overline{\text{DSR}}$、$\overline{\text{DTR}}$、$\overline{\text{CTS}}$、$\overline{\text{RTS}}$及び$\overline{\text{DCD}}$） • 送受信クロックソースをボーレートジェネレータから選択可能 • 1.5Mbpsまでサポート • ループバックモードサポート • シリアルコミュニケーションインタフェース端子マルチプレクス機能を使用することにより、モデムステータス信号のモニタが可能
FIFO 内蔵シリアル コミュニケーションインタフェース 2、3、4（SCIF2、SCIF3、SCIF4）	• 3チャネル内蔵 • 送受信用FIFO各16バイト内蔵 • 調歩同期式モードまたはクロック同期式モードの選択が可能 • 全二重通信が可能 • 1.5Mbpsまでサポート（調歩同期式モード） • 送受信クロックソースを、ボーレートジェネレータからの内部クロック、又はSCK端子からの外部クロックから選択可能 • RS485　半二重通信の方向制御機能をサポート

項目	特 長
8ビットタイマ（TMR）	• 2チャネルの8ビットタイマを3ユニット • 6種類のクロックを選択可能 - Pck/2、Pck/8、Pck/32、Pck/64、Pck/1024、Pck/8192（Pckは48MHzの周辺クロック） • カスケード接続 - 2つのチャネルを接続し、16ビットタイマとして使用可能 • 複数の割り込み要因
16ビットフリーランニングタイマ（FRT）	• 16ビットのフリーランニングカウンタ • カウンタに入力するクロックを３種類から選択可能
32ビットタイマユニット（TMU）	• 6チャネルオートリロード型32ビットタイマ • チャネル2のみ、インプットキャプチャ機能を搭載 • カウンタに入力するクロックを６種類から選択可能 - 外部クロック、5種類の周辺クロック（Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024）
ウォッチドックタイマ（WDT）	• マニュアルリセット発生用2チャネル（WDT0/1）、ABR機能用１チャネル（ABRT） • WDT0/1は以下の2モードに対応 - ウォッチドッグタイマモード：カウンタオーバフローにより内部をリセット - インターバルタイマモード：カウンタオーバフローにより割り込みを発生 • カウンタ入力クロックを選択可能 - WDT0は16種類のカウンタクロック入力ソースを選択可能 - WDT1は16+8種類のカウンタクロック入力ソースを選択可能 - ABRTは16種類のカウンタクロック入力ソースを選択可能 • 最大計測時間は178秒（48MHz動作時）、又は512秒（32768Hz動作時） • SPI0ブート発生時、外部デバイスへのSPILOAD信号出力 • バスタイムアウトカウンタによる強制マニュアルリセット機能
14ビットPWMタイマ（PWMX）	• 8チャネル • 14ビットPWMタイマ • 13種類の分解能を選択可能 （1/2/4/8/12/16/32/64/128/256/1024/4096/16384） • 2種類の基本周期を設定可能：T×64あるいはT×256（T：分解能） • 26種類の動作クロックを選択可能（13種類の分解能と２種類の基本周期設定の組み合わせ）
8ビットPWMタイマ（PWMU）	• 6チャネル • 8ビットPWMタイマ • 4種類の動作クロックを選択可能 • 8ビット、12ビット、16ビット単パルスモード • 8ビットパルス分割モード
ルネサスシリアルペリフェラルインタフェース（RSPI）	• 1チャネルのSPIインタフェース • 2本のチップセレクトをサポート • マスタモード／スレーブモードをサポート • データサイズ、クロック極性／位相を設定可能 • MSBファースト方式／LSBファースト方式が選択可能 • 最大転送レート：24Mbps
シリアルペリフェラルインタフェース0（SPI0）	• シングルレールモード／デュアルレールモードをサポート。 • 1M、2M、4M、8M、16M、32M、64M、及び128Mバイトのメモリサイズのみ指定可能（その他のメモリサイズには非対応） • チップセレクト×4 • マスタモードのみサポート • SPIブート機能専用DMACを内蔵 • 5種類の転送クロック選択可能（24MHz、27.4MHz、32MHz、38.4MHz、48MHz） • 転送データ同期をクロックの立上りエッジ／立下りエッジで選択可能 • MSBファースト方式／LSBファースト方式が選択可能 • SPIブート機能サポート（ブート時に2Kバイトのコードを IL メモリに自動転送）

項目	特 長
シリアル ペリフェラル インタフェース1 （SPI1）	• シングルレールモードをサポート • 2M、4M、8M、16M、32M、64M、128M、及び256Mバイトのメモリサイズのみ指定可能（その他のメモリサイズには非対応） • チップセレクト×2 • マスタモードのみサポート • 8種類の転送クロックを選択可能（6MHz、6.9MHz、8MHz、9.6MHz、12MHz、16MHz、24MHz、48MHz） • 転送データ同期をクロックの立上りエッジ／立下りエッジで選択可能 • MSBファースト方式／LSBファースト方式が選択可能
A/D変換器 （ADC）	• 16チャネル（8チャネル×2ユニット） • 10ビットの分解能、変換時間は5.5μ秒 • ユニットごとにサンプル＆ホールド回路搭載 • シングルモード／マルチモード／スキャンモード選択可能 • 外部基準電圧を使用 • 最小基準電圧：3.0V
イベントカウンタ （EVC）	• 16チャネル • 外部のイベント入力をカウントする16ビットカウンタ • イベントは、立上りエッジ／立下りエッジを選択可能
CRC演算器 （CRC）	• 8ビット単位の任意のデータ長に対してCRCコードを生成 • 3種類の生成多項式から選択可能 • LSBファースト通信用CRCコード生成／MSBファースト通信用CRCコード生成の選択が可能
暗号機能	• AES128/256 • 3DES • SHA1、SHA256 • シード生成用の32ビットの真の乱数ジェネレータ • ARC4
SDホスト インタフェース （SDHI）	• 1チャネル。SD Specification Ver.2.00に対応 • 最大動作周波数：48MHz • カード検出機能
MMCホスト インタフェース （eMMC）	• eMMC-v4.3（JESD84-A43）に対応 • 1/4/8ビットバス • 最大動作周波数：48MHz • 送受信データバッファ：512バイト
シリアル汎用 I/Oポート インタフェース （SGPIO）	• 3チャネル • 74LV595Aプロトコル及び74LV165Aプロトコルと互換性あり • シフトクロック周波数選択可能（93 KHz～48 MHz） • 転送単位は2ビット～128ビット • 受信データのビット一致割り込みをサポート
I/Oポート （GPIO）	• 入出力ポートはビットごとに入出力切り替え可能 • ノイズキャンセラ内蔵端子×16 • 12mA駆動ポート×8
デバッグ インタフェース	• H-UDI（User Debugging Interface） - E10Aエミュレータのサポート - JTAG標準端子の割り当て • AUD（Advanced User Debugger）
低消費電力モード	• 2種類の低消費電力モード - スリープモード - モジュールストップモード（モジュールごとにクロック供給を停止可能）

項目	特 長
電源電圧	• 内部コア : 1.25V • I/O : 3.3V • ADC : 3.3V • DBSC3 : 1.5V • USB : 3.3V、1.25V • GETHER : 1.5V • PCIe : 1.5V • PLL : 1.25V
パッケージ	• BGA-524 23 x 23 mm、0.8mm ball pitch

1.2 アドレスマップ

図1.1にSH7753のアドレスマップを示します。



注1. MD6＝Hのとき、この領域は使用できません。
2. CS0、CS4～CS6は、それぞれエリア0、エリア4～エリア6を示します。

図 1.1 アドレスマップ

1.3 ブロック図

図1.2にSH7753のブロック図を示します。

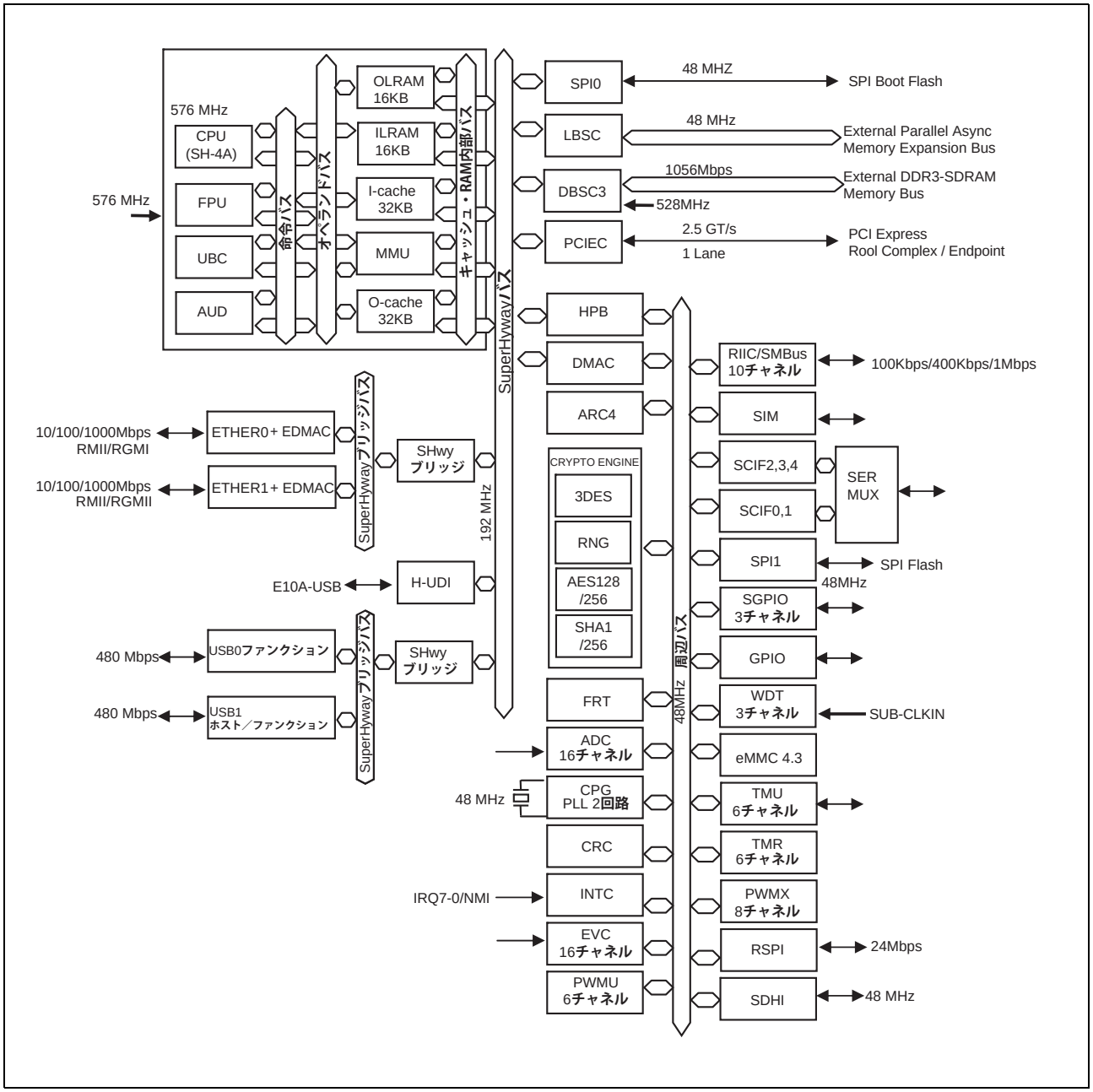
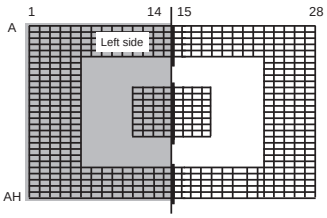


図 1.2 SH7753ブロック図

1.4 ピン配置図

Left side

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	VSS	SDA4	SCL7	VCCQ	SDA7	RXD3	BOOTWP	SCL9	SP1-SS1	SP1-SCK_FB	SGPIO2-LOAD	COM2-TXD	COM2-DSR	RAC-RXD
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14
B	IRQ5	IRQ2	SDA5	RXD4	SCL5	CTS3	TXD3	SDA9	SP0-SS3	SP0-MISO	SP0-SCK_FB	COM2-CTS	COM2-DCD	RAC-CTS
	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14
C	IRQ7	IRQ6	IRQ4	SCL4	SDA6	RTS4	SP1-SCK	SCL8	SP0-SS2	SP1-SS0	SP0-SS1	SGPIO2-DO	COM2-RXD	RAC-DTR
	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14
D	SDA3	SDA2	IRQ3	IRQ1	SCL6	TXD4	SP1-MOSI	SDA8	SP1-MISO	SP0-SS0	SP0-SCK	SGPIO2-CLK (注1)	SGPIO2-DI	COM2-DTR
	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14
E	VCCQ	VSS	VSS	IRQ0	VCCQ	VCCQ	RTS3	VDD	BOOTFMS	VSS	VCCQ	SP0-MOSI	VDD	COM2-RTS
	E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14
F	PRESET	VCCQ	SCL2	SCL3	VSS									
	F1	F2	F3	F4	F5									
G	RAC-DSR	SCL1	SDA1	SDA0	VDD									
	G1	G2	G3	G4	G5									
H	PWMX6 (注2)	PWMX7	RAC-DCD	SCL0	VSS									
	H1	H2	H3	H4	H5									
J	PWMX0	PWMX2	PWMX4	PWMX5	VCCQ									
	J1	J2	J3	J4	J5									
K	PWMX1	PWMX3	VCCQ	PERST	ASEBRK									
	K1	K2	K3	K4	K5									
L	VSSPHY	VSSPHY	VSSPHY	VSS	AVCCQPCI							VDD	VDD	VCCQ	VSS
	L1	L2	L3	L4	L5							L11	L12	L13	L14
M	RX0_N	RX0_P	VSSPHY	VSSPHY	VDDPHY12							VDD	VDD	VSS	VSS
	M1	M2	M3	M4	M5							M11	M12	M13	M14
N	TX0_N	TX0_P	VSSPHY	VDDPHY15	VDDPHY12							VCCQ	VSS	VSS	VSS
	N1	N2	N3	N4	N5							N11	N12	N13	N14
P	VSSPHY	VSSPHY	VSSPHY	VDDPHY15	AVCCQPCI							VSS	VSS	VSS	VSS
	P1	P2	P3	P4	P5							P11	P12	P13	P14
R	REFCLK_N	REFCLK_P	VSSPHY	VSSPHY	VSS							VSS	VSS	VSS	VSS
	R1	R2	R3	R4	R5							R11	R12	R13	R14
T	NC	NC	NC	NC	VSS							VCCQ	VSS	VSS	VSS
	T1	T2	T3	T4	T5							T11	T12	T13	T14
U	A25	NC	NC	NC	VSS							VDD	VDD	VSS	VSS
	U1	U2	U3	U4	U5							U11	U12	U13	U14
V	A24	A23	A22	A21	VSS							VDD	VDD	VCCQ	VSS
	V1	V2	V3	V4	V5							V11	V12	V13	V14
W	A20	A19	A18	A17	VCCQ										
	W1	W2	W3	W4	W5										
Y	A16	A15	A14	A13	VSS										
	Y1	Y2	Y3	Y4	Y5										
AA	VCCQ	A12	A11	A10	VCCQ										
	AA1	AA2	AA3	AA4	AA5										
AB	A9	A8	A7	A6	A5										
	AB1	AB2	AB3	AB4	AB5										
AC	A4	A3	A2	A1	VSS										
	AC1	AC2	AC3	AC4	AC5										
AD	D13	D14	D15	A0	VSS	VCCQ	VSS	VSS	RMII1-RXD0	VCCQ	VDD	VSS	VCCQ-GET	RGMII-VREF
	AD1	AD2	AD3	AD4	AD5	AD6	AD7	AD8	AD9	AD10	AD11	AD12	AD13	AD14
AE	D12	D11	D10	D9	MMCDAT0	MMCDAT2	PTB7	PTB6	RMII1-TXD0	RMII1-REFCLK	RMII0-TXD0	RGMII-MAC-CLK	ET1-RD2	ET1-TD2
	AE1	AE2	AE3	AE4	AE5	AE6	AE7	AE8	AE9	AE10	AE11	AE12	AE13	AE14
AF	D8	D7	D6	D5	MMCDAT4 (注2)	MMCDAT6	PTB2	PTB1	RMII1-TXEN (注1)	RMII0-RXD0	RMII0-TXEN	ET1-RD0	ET1-RX_CTL	ET1-RXC
	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14
AG	D4	D3	D2	MMCDAT1	MMCDAT3	PTB5	PTB4	RMII1-CRS_DV	RMII1-TXD1	RMII0-CRS_DV	RMII0-RXD1	RMII0-REFCLK	ET1-TD3	ET1-RD3
	AG1	AG2	AG3	AG4	AG5	AG6	AG7	AG8	AG9	AG10	AG11	AG12	AG13	AG14
AH	VSS	D1	D0	MMCDAT5	MMCDAT7 (注1)	PTB3	VSS	RMII1-RXD1	RMII1-RX_ER	VCCQ	RMII0-TXD1	RMII0-RX_ER	ET1-TXC	ET1-TD0
	AH1	AH2	AH3	AH4	AH5	AH6	AH7	AH8	AH9	AH10	AH11	AH12	AH13	AH14
	1	2	3	4	5	6	7	8	9	10	11	12	13	14



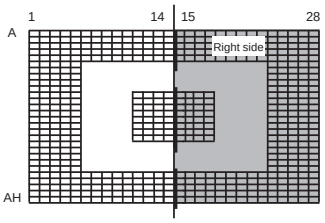
注1. パワーオンリセット中、この端子はLレベルに固定してください。
2. パワーオンリセット中、この端子はHレベルに固定してください。

NC：開放してください。

図 1.3 ピン配置図（1）

Right side

15	16	17	18	19	20	21	22	23	24	25	26	27	28	
$\overline{\text{RDY}}$	$\overline{\text{RD}}$	VSS	MPMD	VSS	VCCQ-DDR	M_A4	VSS	M_A11	VCCQ-DDR	M_A1	M_A12	VCCQ-DDR	VSS	A
A15	A16	A17	A18	A19	A20	A21	A22	A23	A24	A25	A26	A27	A28	
$\overline{\text{RDWR}}$	$\overline{\text{CS0}}$	$\overline{\text{TRST}}$	TMS	VSS	M_A7	M_A14	M_A5	M_A9	M_A3	M_A2	VCCQ-DDR	VSS	M_BA2	B
B15	B16	B17	B18	B19	B20	B21	B22	B23	B24	B25	B26	B27	B28	
$\overline{\text{WE1}}$	$\overline{\text{CS4}}$	TDO	TCK	VSS	M_ZQ	M_A6	M_A13	M_BA1	M_BA0	VCCQ-DDR	VSS	$\overline{\text{M_WE}}$	M_A10	C
C15	C16	C17	C18	C19	C20	C21	C22	C23	C24	C25	C26	C27	C28	
RAC-TXD	$\overline{\text{RAC-RTS}}$	$\overline{\text{BS}}$	TDI	VSS	$\overline{\text{M_RESET}}$	M_A8	M_A0	M_A15	VCCQ-DDR	VSS	$\overline{\text{M_RAS}}$	$\overline{\text{M_CAS}}$	VSS	D
D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	
VSS	VCCQ	$\overline{\text{WE0}}$	VDD	VSS	M_VREF_CA	VCCQ-DDR	VSS	VCCQ-DDR	VSS	M_DQ7	M_DQ4	M_DQ6	M_DQ2	E
E15	E16	E17	E18	E19	E20	E21	E22	E23	E24	E25	E26	E27	E28	
									VCCQ-DDR	M_DQS0	$\overline{\text{M_DQS0}}$	M_DM0	VCCQ-DDR	F
									F24	F25	F26	F27	F28	
									VSS	M_DQ3	M_DQ0	M_DQ5	M_DQ1	G
									G24	G25	G26	G27	G28	
									VCCQ-DDR	VSS	VSS	VSS	VSS	H
									H24	H25	H26	H27	H28	
									M_VREF_DQ	M_DQ11	M_DQ15	M_DQ13	M_DQ9	J
									J24	J25	J26	J27	J28	
									VSS	$\overline{\text{M_DQS1}}$	M_DQS1	M_DM1	VCCQ-DDR	K
									K24	K25	K26	K27	K28	
									VCCQ-DDR	M_DQ10	M_DQ8	M_DQ12	M_DQ14	L
									L24	L25	L26	L27	L28	
VSS	VCCQ	VDD	VDD						VSS	VSS	VSS	VSS	M_CLK	M
L15	L16	L17	L18						M24	M25	M26	M27	M28	
VSS	VSS	VDD	VDD						VCCQ-DDR	M_CKE	$\overline{\text{M_CS}}$	M_ODT	$\overline{\text{M_CLK}}$	N
M15	M16	M17	M18						N24	N25	N26	N27	N28	
VSS	VSS	VSS	VDD-PLL4						VSS	VSS	VSS	VSS	VSS	P
N15	N16	N17	N18						P24	P25	P26	P27	P28	
VSS	VSS	VSS	VSS						VCCQ	TCLK	CLKOUT	XTAL	EXTAL	R
P15	P16	P17	P18						R24	R25	R26	R27	R28	
VSS	VSS	VSS	VSS						VDD-PLL1	SUB-CLKIN	NMI	VSS	VSS	T
R15	R16	R17	R18						T24	T25	T26	T27	T28	
VSS	VSS	VSS	VDD-PLL3						VSS	SGPIO1-CLK	$\overline{\text{SPILOAD}}$	$\overline{\text{WP}}$	PTH0	U
T15	T16	T17	T18						U24	U25	U26	U27	U28	
VSS	VSS	VDD	VDD						VSS	SGPIO0-CLK	SGPIO1-DO	SGPIO1-DI	VCCQ	V
U15	U16	U17	U18						V24	V25	V26	V27	V28	
VSS	VCCQ	VDD	VDD						VDD	PTQ5	PTQ0	SGPIO0-DO (注)	SGPIO1-LOAD	W
V15	V16	V17	V18						W24	W25	W26	W27	W28	
									VSS	PTQ4	PTQ3	SGPIO0-DI	SGPIO0-LOAD	Y
									Y24	Y25	Y26	Y27	Y28	
									AVCCQ ADC	PTU1	PTQ6	PTG0	PTG3	AA
									AA24	AA25	AA26	AA27	AA28	
									AVCCQ ADC	ET1-MDC	ET0-MDC	ET0-MDIO	ET1-MDIO	AB
									AB24	AB25	AB26	AB27	AB28	
									VSS	PTQ1	PTG1	PTQ2	PTU2	AC
									AC24	AC25	AC26	AC27	AC28	
VSS	VCCQ-GET	VSS	VCCQ	VDD	VDD-USB	VDD-USB	VSS	VDD-USB	VSS	PTU5	PTU3	PTU0	VCCQ	AD
AD15	AD16	AD17	AD18	AD19	AD20	AD21	AD22	AD23	AD24	AD25	AD26	AD27	AD28	
ET1-TD1	ET0-TD2	ET0-RD0	ET0-RD1	VSS	REFRIN	VSS	VDD-USB	AN0	AN2	AN6	PTU7	PTU4	PTU6	AE
AE15	AE16	AE17	AE18	AE19	AE20	AE21	AE22	AE23	AE24	AE25	AE26	AE27	AE28	
ET0-RD2	ET0-RXC	ET0-TD1	ET0-RX_CTL	VSS	VBUS0	VBUS_OC	VBUS_EN	AN1	AN4	AN10	AN8	AN14	AN12	AF
AF15	AF16	AF17	AF18	AF19	AF20	AF21	AF22	AF23	AF24	AF25	AF26	AF27	AF28	
ET1-RD1	ET1-TX_CTL	ET0-TD3	VCCQ-USB	USDP0	VBUS1	USDP1	VCCQ-USB	VSS	AN3	AN7	AN11	AN13	AVREF1	AG
AG15	AG16	AG17	AG18	AG19	AG20	AG21	AG22	AG23	AG24	AG25	AG26	AG27	AG28	
ET0-RD3	ET0-TXC	ET0-TD0	ET0-TX_CTL	USDM0	VCCQ-USB	USDM1	VCCQ-USB	NC	AN5	AN9	AVREF0	AN15	VSS	AH
AH15	AH16	AH17	AH18	AH19	AH20	AH21	AH22	AH23	AH24	AH25	AH26	AH27	AH28	
15	16	17	18	19	20	21	22	23	24	25	26	27	28	



注. パワーオンリセット中、この端子はLレベルに固定してください。
NC：開放してください。

図 1.4 ピン配置図（2）

表1.2 ピン配置表

端子番号	端子名	機能
M28	M_CLK	DDR3クロック
N28	$\overline{\text{M_CLK}}$	DDR3クロック
N25	M_CKE	DDR3クロックイネーブル
N26	$\overline{\text{M_CS}}$	DDR3チップセレクト
C27	$\overline{\text{M_WE}}$	DDR3ライトイネーブル
D23	M_A15	DDR3アドレスバス
B21	M_A14	DDR3アドレスバス
C22	M_A13	DDR3アドレスバス
A26	M_A12	DDR3アドレスバス
A23	M_A11	DDR3アドレスバス
C28	M_A10	DDR3アドレスバス
B23	M_A9	DDR3アドレスバス
D21	M_A8	DDR3アドレスバス
B20	M_A7	DDR3アドレスバス
C21	M_A6	DDR3アドレスバス
B22	M_A5	DDR3アドレスバス
A21	M_A4	DDR3アドレスバス
B24	M_A3	DDR3アドレスバス
B25	M_A2	DDR3アドレスバス
A25	M_A1	DDR3アドレスバス
D22	M_A0	DDR3アドレスバス
B28	M_BA2	DDR3バンクアクティブ
C23	M_BA1	DDR3バンクアクティブ
C24	M_BA0	DDR3バンクアクティブ
J26	M_DQ15	DDR3データバス
L28	M_DQ14	DDR3データバス
J27	M_DQ13	DDR3データバス
L27	M_DQ12	DDR3データバス
J25	M_DQ11	DDR3データバス
L25	M_DQ10	DDR3データバス
J28	M_DQ9	DDR3データバス
L26	M_DQ8	DDR3データバス
E25	M_DQ7	DDR3データバス
E27	M_DQ6	DDR3データバス
G27	M_DQ5	DDR3データバス
E26	M_DQ4	DDR3データバス

端子番号	端子名	機能
G25	M_DQ3	DDR3データバス
E28	M_DQ2	DDR3データバス
G28	M_DQ1	DDR3データバス
G26	M_DQ0	DDR3データバス
K26	M_DQS1	DDR3データストローブ
K25	$\overline{\text{M_DQS1}}$	DDR3データストローブ
F25	M_DQS0	DDR3データストローブ
F26	$\overline{\text{M_DQS0}}$	DDR3データストローブ
K27	M_DM1	DDR3データマスク
F27	M_DM0	DDR3データマスク
D26	$\overline{\text{M_RAS}}$	DDR3ロウアドレスストローブ
D27	$\overline{\text{M_CAS}}$	DDR3カラムアドレスストローブ
J24	M_VREF_DQ	DDR3基準電圧入力
N27	M_ODT	DDR3 ODTイネーブル
D20	$\overline{\text{M_RESET}}$	DDR3リセット
C20	M_ZQ	DDR3インピーダンスマッチング
E20	M_VREF_CA	DDR3テスト用基準電圧入力
AH5	PTZ7/MMCDAT7	ポート／MMCデータバス 注. パワーオンリセット中、この端子はLレベルに固定してください。
AF6	PTZ6/MMCDAT6/WPSZ1	ポート／MMCデータバス／SPI1ライトプロテクトサイズ選択
AH4	PTZ5/MMCDAT5/WPSZ0	ポート／MMCデータバス／SPI1ライトプロテクトサイズ選択
AF5	PTZ4/MMCDAT4	ポート／MMCデータバス 注. パワーオンリセット中、この端子はHレベルに固定してください。
AG5	PTZ3/MMCDAT3/MD6	ポート／MMCデータバス／モード設定
AE6	PTZ2/MMCDAT2/MD9	ポート／MMCデータバス／モード設定
AG4	PTZ1/MMCDAT1/FLSHSZ1	ポート／MMCデータバス／SPI1フラッシュサイズ選択
AE5	PTZ0/MMCDAT0/FLSHSZ0	ポート／MMCデータバス／SPI1フラッシュサイズ選択
E12	SP0-MOSI	SPI0マスタ出力／入力
B10	PTD6/SP0-MISO	ポート／SPI0マスタ入力
D11	SP0-SCK	SPI0クロック
B11	PTD4/SP0-SCK_FB	ポート／SPI0クロックフィードバック
D10	$\overline{\text{SP0-SS0}}$	SPI0チップセレクト
C11	PTD2/$\overline{\text{SP0-SS1}}$/$\overline{\text{DREQ0}}$	ポート／SPI0チップセレクト／DMA転送要求
C9	PTD1/$\overline{\text{SP0-SS2}}$/$\overline{\text{DACK0}}$	ポート／SPI0チップセレクト／DMA転送要求アクノリッジ
B9	PTD0/$\overline{\text{SP0-SS3}}$/$\overline{\text{TEND0}}$	ポート／SPI0チップセレクト／DMA転送終了出力
D7	SP1-MOSI/$\overline{\text{TEND1}}$/MD5	SPI1マスタ出力／DMA転送終了出力／モード設定
D9	PTH6/SP1-MISO/$\overline{\text{DREQ1}}$	ポート／SPI1マスタ入力／DMA転送要求
C7	SP1-SCK/$\overline{\text{DACK1}}$	SPI1クロック／DMA転送要求アクノリッジ

端子番号	端子名	機能
A10	PTH4/SP1-SCK_FB/$\overline{\text{ADTRG1}}$	ポート／SPI1クロックフィードバック／ADC外部トリガ入力
C10	$\overline{\text{SP1-SS0}}$	SPI1チップセレクト
A9	PTH2/$\overline{\text{SP1-SS1}}$/$\overline{\text{ADTRG0}}$	ポート／SPI1チップセレクト／ADC外部トリガ入力
U27	$\overline{\text{WP}}$	SPI1ライトプロテクト有効
U28	PTH0	ポート
W25	PTQ5	ポート
W26	PTQ0	ポート
Y25	PTQ4	ポート
Y26	PTQ3	ポート
AA25	PTU1	ポート
AA26	PTQ6	ポート
AA27	PTG0	ポート
AA28	PTG3	ポート
AC25	PTQ1	ポート
AC26	PTG1	ポート
AC27	PTQ2	ポート
AC28	PTU2	ポート
AD25	PTU5	ポート
AD26	PTU3	ポート
AD27	PTU0	ポート
AE26	PTU7	ポート
AE27	PTU4	ポート
AE28	PTU6	ポート
E9	PTG7/BOOTFMS	ポート／SPIブートフラッシュメモリエリアを選択
A7	$\overline{\text{BOOTWP}}$	SPIブートフラッシュライトプロテクト有効
AF18	ET0-RX_CTL	ETHER RGMII受信制御
AF13	ET1-RX_CTL	ETHER RGMII受信制御
AF17	ET0-TD1	ETHER RGMII送信データ
AH17	ET0-TD0	ETHER RGMII送信データ
AE15	ET1-TD1	ETHER RGMII送信データ
AH14	ET1-TD0	ETHER RGMII送信データ
AH18	ET0-TX_CTL	ETHER RGMII送信制御
AG16	ET1-TX_CTL	ETHER RGMII送信制御
AF16	ET0-RXC	ETHER RGMII受信クロック
AF14	ET1-RXC	ETHER RGMII受信クロック
AE18	ET0-RD1	ETHER RGMII受信データ
AE17	ET0-RD0	ETHER RGMII受信データ
AG15	ET1-RD1	ETHER RGMII受信データ

端子番号	端子名	機能
AF12	ET1-RD0	ETHER RGMII受信データ
AH16	ET0-TXC	ETHER RGMII送信クロック
AH13	ET1-TXC	ETHER RGMII送信クロック
AF15	ET0-RD2	ETHER RGMII受信データ
AH15	ET0-RD3	ETHER RGMII受信データ
AE16	ET0-TD2	ETHER RGMII送信データ
AG17	ET0-TD3	ETHER RGMII送信データ
AE13	ET1-RD2	ETHER RGMII受信データ
AG14	ET1-RD3	ETHER RGMII受信データ
AE14	ET1-TD2	ETHER RGMII送信データ
AG13	ET1-TD3	ETHER RGMII送信データ
AB26	PTA3/ET0-MDC	ポート／ETHERマネージメントクロック
AB27	PTA2/ET0-MDIO	ポート／ETHERマネージメントクロック
AB25	PTA1/ET1-MDC	ポート／ETHERマネージメントクロック
AB28	PTA0/ET1-MDIO	ポート／ETHERマネージメントクロック
AE12	RGMII-MAC-CLK	ETHER RGMIIリファレンスクロック
AG10	PTE7/RMII0-CRS_DV	ポート／ETHER RMIIキャリア検出／受信データ有効
AF10	PTE1/RMII0-RXD0	ポート／ETHER RMII受信データ
AG11	PTE2/RMII0-RXD1	ポート／ETHER RMII受信データ
AE11	PTE5/RMII0-TXD0/ BOOTWPSZ0	ポート／ETHER RMII送信データ／ SPIブートフラッシュライトプロテクトエリアのデバイスサイズを選択
AH11	PTE6/RMII0-TXD1/ BOOTWPSZ1	ポート／ETHER RMII送信データ／ SPIブートフラッシュライトプロテクトエリアのデバイスサイズを選択
AH12	PTE0/RMII0-RX_ER	ポート／ETHER RMII受信エラー
AF11	PTE4/RMII0-TXEN/MD3	ポート／ETHER RMII送信イネーブル／モード設定
AG12	PTE3/RMII0-REFCLK	ポート／ETHER RMII送受信クロック
AE10	PTF3/RMII1-REFCLK	ポート／ETHER RMII送受信クロック
AG8	PTF7/RMII1-CRS_DV	ポート／ETHER RMIIキャリア検出／受信データ有効
AH9	PTF0/RMII1-RX_ER	ポート／ETHER RMII受信エラー
AD9	PTF1/RMII1-RXD0	ポート／ETHER RMII受信データ
AH8	PTF2/RMII1-RXD1/ RAC-RI/RI0	ポート／ETHER RMII受信データ／RACポート／ SCIFリングインジケータ
AF9	PTF4/RMII1-TXEN	ポート／ETHER RMII送信イネーブル 注. パワーオンリセット中、この端子はLレベルに固定してください。
AE9	PTF5/RMII1-TXD0/ WDTFOT1	ポート／ETHER RMII送信データ／ ウォッチドッグタイマABR遅延時間選択
AG9	PTF6/RMII1-TXD1/ WDTFOT0	ポート／ETHER RMII送信データ／ ウォッチドッグタイマABR遅延時間選択

端子番号	端子名	機能
H4	PTR0/SCL0	ポート／RIIC シリアルクロック
G4	PTR1/SDA0	ポート／RIIC シリアルデータ
G2	PTR2/SCL1	ポート／RIIC シリアルクロック
G3	PTR3/SDA1	ポート／RIIC シリアルデータ
F3	PTR4/SCL2	ポート／RIIC シリアルクロック
D2	PTR5/SDA2	ポート／RIIC シリアルデータ
F4	PTS0/SCL3	ポート／RIIC シリアルクロック
D1	PTS1/SDA3	ポート／RIIC シリアルデータ
A2	PTS3/SDA4	ポート／RIIC シリアルデータ
C4	PTS2/SCL4	ポート／RIIC シリアルクロック
B5	PTS4/SCL5	ポート／RIIC シリアルクロック
B3	PTS5/SDA5	ポート／RIIC シリアルデータ
C5	PTM3/SDA6	ポート／RIIC シリアルデータ
D5	PTM2/SCL6	ポート／RIIC シリアルクロック
A5	PTM1/SDA7	ポート／RIIC シリアルデータ
A3	PTM0/SCL7	ポート／RIIC シリアルクロック
N2	TX0_P	PCIe Tx+ 信号
N1	TX0_N	PCIe Tx- 信号
M2	RX0_P	PCIe Rx+ 信号
M1	RX0_N	PCIe Rx- 信号
R2	REFCLK_P	PCIe リファレンスクロック+
R1	REFCLK_N	PCIe リファレンスクロック-
K4	$\overline{\text{PERST}}$	PCIe リセット
AG19	USDP0	USB D+ データ
AH19	USDM0	USB D- データ
AF20	VBUS0	USB Vbus 入力
AE20	REFRIN	USB リファレンス入力
AG21	USDP1	USB D+ データ
AH21	USDM1	USB D- データ
AG20	VBUS1	USB Vbus 入力
AF22	PTN6/VBUS_EN	ポート／USB VBUS パワーイネーブル
AF21	PTN5/VBUS_OC	ポート／USB VBUS 過電流信号入力
D8	PTR7/SDA8	ポート／RIIC シリアルデータ
C8	PTR6/SCL8	ポート／RIIC シリアルクロック
B8	PTS7/SDA9	ポート／RIIC シリアルデータ
A8	PTS6/SCL9	ポート／RIIC シリアルクロック
AE23	AN0	アナログ入力

端子番号	端子名	機能
AF23	AN1	アナログ入力
AE24	AN2	アナログ入力
AG24	AN3	アナログ入力
AF24	AN4	アナログ入力
AH24	AN5	アナログ入力
AE25	AN6	アナログ入力
AG25	AN7	アナログ入力
AH26	AVREF0	ADC基準電圧入力
AG28	AVREF1	ADC基準電圧入力
U1	PTG5/A25/MMCCLK	ポート／アドレスバス／MMCクロック
V1	PTG4/A24/MMCCMD	ポート／アドレスバス／MMCコマンド
V2	PTV7/A23/$\overline{\text{COM2-RI}}$/$\overline{\text{RI1}}$	ポート／アドレスバス／COM2ポート／SCIFリングインジケータ
V3	PTV6/A22/RSPI-MOSI	ポート／アドレスバス／RSPIマスタ送信データ
V4	PTV5/A21/RSPI-MISO	ポート／アドレスバス／RSPIスレーブ送信データ
W1	PTV4/A20/RSPI-RSPCK	ポート／アドレスバス／RSPIクロック入出力
W2	PTV3/A19/$\overline{\text{RSPI-SSL0}}$	ポート／アドレスバス／RSPIスレーブセレクト
W3	PTV2/A18/$\overline{\text{RSPI-SSL1}}$	ポート／アドレスバス／RSPIスレーブセレクト
W4	PTV1/A17/EVENT7	ポート／アドレスバス／イベント入力
Y1	PTV0/A16/EVENT6	ポート／アドレスバス／イベント入力
Y2	PTW7/A15/EVENT5	ポート／アドレスバス／イベント入力
Y3	PTW6/A14/EVENT4	ポート／アドレスバス／イベント入力
Y4	PTW5/A13/EVENT3	ポート／アドレスバス／イベント入力
AA2	PTW4/A12/EVENT2	ポート／アドレスバス／イベント入力
AA3	PTW3/A11/EVENT1	ポート／アドレスバス／イベント入力
AA4	PTW2/A10/EVENT0	ポート／アドレスバス／イベント入力
AB1	PTW1/A9/$\overline{\text{CTS4}}$	ポート／アドレスバス／SCIF送信許可
AB2	PTW0/A8/$\overline{\text{CTS2}}$	ポート／アドレスバス／SCIF送信許可
AB3	PTX7/A7/$\overline{\text{RTS2}}$	ポート／アドレスバス／SCIF送信要求
AB4	PTX6/A6/SIM_D	ポート／アドレスバス／SIM送受信データ
AB5	PTX5/A5/SIM_CLK	ポート／アドレスバス／SIMクロック
AC1	PTX4/A4/SIM_RST	ポート／アドレスバス／SIMリセット
AC2	PTX3/A3	ポート／アドレスバス
AC3	PTX2/A2	ポート／アドレスバス
AC4	PTX1/A1	ポート／アドレスバス
AD4	PTX0/A0	ポート／アドレスバス
AD3	PTI7/D15/SDWP	ポート／データバス／SDHIライトプロテクト
AD2	PTI6/D14/SDCD	ポート／データバス／SDHIカード検出
AD1	PTI5/D13/SDCLK	ポート／データバス／SDHIクロック

端子番号	端子名	機能
AE1	PTI4/D12/SDCMD	ポート／データバス／SDHIコマンド
AE2	PTI3/D11/SDDAT3	ポート／データバス／SDHIデータバス
AE3	PTI2/D10/SDDAT2	ポート／データバス／SDHIデータバス
AE4	PTI1/D9/SDDAT1	ポート／データバス／SDHIデータバス
AF1	PTI0/D8/SDDAT0	ポート／データバス／SDHIデータバス
AF2	PTY7/D7	ポート／データバス
AF3	PTY6/D6	ポート／データバス
AF4	PTY5/D5	ポート／データバス
AG1	PTY4/D4	ポート／データバス
AG2	PTY3/D3	ポート／データバス
AG3	PTY2/D2	ポート／データバス
AH2	PTY1/D1	ポート／データバス
AH3	PTY0/D0	ポート／データバス
C15	PTA5/$\overline{\text{WE1}}$	ポート／ライトイネーブル
A15	PTA4/$\overline{\text{RDY}}$	ポート／レディ
D17	PTA7/$\overline{\text{BS}}$	ポート／バススタート
B15	PTA6/$\overline{\text{RDWR}}$	ポート／ライト
C16	PTM7/$\overline{\text{CS4}}$	ポート／チップセレクト
A16	PTM6/$\overline{\text{RD}}$	ポート／リード
E17	PTM5/$\overline{\text{WE0}}$	ポート／ライトイネーブル
B16	PTM4/$\overline{\text{CS0}}$	ポート／チップセレクト
T26	NMI	ノンマスカブル割り込み
AE7	PTB7	ポート
AE8	PTB6	ポート
AG6	PTB5	ポート
AG7	PTB4	ポート
AH6	PTB3	ポート
AF7	PTB2	ポート
AF8	PTB1	ポート
R25	PTB0/TCLK	ポート／タイマクロック
C1	PTC7/IRQ7/$\overline{\text{IRL7}}$/PWMU0	ポート／インタラプトリクエスト／PWMUパルス出力
C2	PTC6/IRQ6/$\overline{\text{IRL6}}$/PWMU1	ポート／インタラプトリクエスト／PWMUパルス出力
B1	PTC5/IRQ5/$\overline{\text{IRL5}}$/PWMU2	ポート／インタラプトリクエスト／PWMUパルス出力
C3	PTC4/IRQ4/$\overline{\text{IRL4}}$/PWMU3	ポート／インタラプトリクエスト／PWMUパルス出力
D3	PTC3/IRQ3/$\overline{\text{IRL3}}$/PWMU4	ポート／インタラプトリクエスト／PWMUパルス出力
B2	PTC2/IRQ2/$\overline{\text{IRL2}}$/PWMU5	ポート／インタラプトリクエスト／PWMUパルス出力
D4	PTC1/IRQ1/$\overline{\text{IRL1}}$	ポート／インタラプトリクエスト
E4	PTC0/IRQ0/$\overline{\text{IRL0}}$	ポート／インタラプトリクエスト
AF26	PTP0/EVENT8/AN8	ポート／イベント入力／アナログ入力

端子番号	端子名	機能
AH25	PTP1/EVENT9/AN9	ポート／イベント入力／アナログ入力
AF25	PTP2/EVENT10/AN10	ポート／イベント入力／アナログ入力
AG26	PTP3/EVENT11/AN11	ポート／イベント入力／アナログ入力
AF28	PTP4/EVENT12/AN12	ポート／イベント入力／アナログ入力
AG27	PTP5/EVENT13/AN13	ポート／イベント入力／アナログ入力
AF27	PTP6/EVENT14/AN14	ポート／イベント入力／アナログ入力
AH27	PTP7/EVENT15/AN15	ポート／イベント入力／アナログ入力
J1	PTT0/PWMX0	ポート／PWMXパルス出力
K1	PTT1/PWMX1	ポート／PWMXパルス出力
J2	PTT2/PWMX2/STATUS0	ポート／PWMXパルス出力／ステータス出力
K2	PTT3/PWMX3/STATUS1	ポート／PWMXパルス出力／ステータス出力
H2	PTT7/PWMX7/AUDATA3/MD2	ポート／PWMXパルス出力／エミュレータ／モード設定
H1	PTT6/PWMX6/AUDATA2	ポート／PWMXパルス出力／エミュレータ 注．パワーオンリセット中、この端子はHレベルに固定してください。
J4	PTT5/PWMX5/AUDATA1/ FLSHSZ2	ポート／PWMXパルス出力／エミュレータ／SPI1フラッシュサイズ選択
J3	PTT4/PWMX4/AUDATA0/ $\overline{\text{WPLOCK}}$	ポート／PWMXパルス出力／エミュレータ／SPI1 WPコマンドレジスタロック
V25	PTO7/SGPIO0-CLK/MD10	ポート／SGPIOクロック／モード設定
Y28	PTO6/SGPIO0-LOAD/MD8	ポート／SGPIOロード／モード設定
Y27	PTO5/SGPIO0-DI	ポート／SGPIOデータ入力
W27	PTO4/SGPIO0-DO	ポート／SGPIOデータ出力 注．パワーオンリセット中、この端子はLレベルに固定してください。
D12	PTO3/SGPIO2-CLK/COM1-TXD	ポート／SGPIOクロック／COM1ポート 注．パワーオンリセット中、この端子はLレベルに固定してください。
A11	PTO2/SGPIO2-LOAD/ COM1-RXD/MD1	ポート／SGPIOロード／COM1ポート／モード設定
D13	PTO1/SGPIO2-DI/$\overline{\text{COM1-RTS}}$	ポート／SGPIOデータ入力／COM1ポート
C12	PTO0/SGPIO2-DO/$\overline{\text{COM1-CTS}}$/ MD0	ポート／SGPIOデータ出力／COM1ポート／モード設定
A12	PTK7/COM2-TXD/TXD1/SCK2	ポート／COM2ポート／SCIF送信データ／SCIFシリアルクロック
C13	PTK6/COM2-RXD/RXD1	ポート／COM2ポート／SCIF受信データ
E14	PTK5/$\overline{\text{COM2-RTS}}$/$\overline{\text{RTS1}}$	ポート／COM2ポート／SCIF送信要求
B12	PTK4/$\overline{\text{COM2-CTS}}$/$\overline{\text{CTS1}}$	ポート／COM2ポート／SCIF送信許可
D14	PTK3/$\overline{\text{COM2-DTR}}$/$\overline{\text{DTR1}}$	ポート／COM2ポート／SCIFデータターミナルレディ
A13	PTK2/$\overline{\text{COM2-DSR}}$/$\overline{\text{DSR1}}$/SCK4	ポート／COM2ポート／SCIFデータセットレディ／ SCIFシリアルクロック
B13	PTK1/$\overline{\text{COM2-DCD}}$/$\overline{\text{DCD1}}$/SCK3	ポート／COM2ポート／SCIFデータキャリア検出／ SCIFシリアルクロック
E7	PTJ6/$\overline{\text{RTS3}}$	ポート／SCIF送信要求

端子番号	端子名	機能
B6	PTJ5/$\overline{\text{CTS3}}$	ポート／SCIF送信許可
B7	PTJ4/TXD3	ポート／SCIF送信データ
A6	PTJ3/RXD3	ポート／SCIF受信データ
C6	PTJ2/$\overline{\text{RTS4}}$	ポート／SCIF送信要求
B4	PTJ1/RXD4	ポート／SCIF受信データ
D6	PTJ0/TXD4	ポート／SCIF送信データ
D15	PTL0/RAC-TXD/TXD0/TXD2	ポート／RACポート／SCIF送信データ／SCIF送信データ
A14	PTL6/RAC-RXD/RXD0/RXD2	ポート／RACポート／SCIF受信データ／SCIF受信データ
D16	PTL5/$\overline{\text{RAC-RTS}}$/$\overline{\text{RTS0}}$/$\overline{\text{CS5}}$	ポート／RACポート／SCIF送信要求／チップセレクト
B14	PTL4/$\overline{\text{RAC-CTS}}$/$\overline{\text{CTS0}}$/$\overline{\text{CS6}}$	ポート／RACポート／SCIF送信許可／チップセレクト
C14	PTL3/$\overline{\text{RAC-DTR}}$/$\overline{\text{DTR0}}$	ポート／RACポート／SCIFデータターミナルレディ
G1	PTL2/$\overline{\text{RAC-DSR}}$/$\overline{\text{DSR0}}$/ AUDSYNC	ポート／RACポート／SCIFデータセットレディ／エミュレータ
H3	PTL1/$\overline{\text{RAC-DCD}}$/$\overline{\text{DCD0}}$/AUDCK	ポート／RACポート／SCIFデータキャリア検出／エミュレータ
R27	XTAL	水晶発振子
R28	EXTAL	水晶発振子／外部クロック
F1	$\overline{\text{PRESET}}$	パワーオンリセット
U26	$\overline{\text{SPILOAD}}$	SPI0ブートインジケータ
C18	TCK	テストクロック
B18	TMS	テストモードセレクト
B17	$\overline{\text{TRST}}$	テストリセット
D18	TDI	テストデータ入力
C17	TDO	テストデータ出力
U25	PTN4/SGPIO1-CLK/BOOTSZ2	ポート／SGPIOクロック／SPI0モジュール選択／SPIブートフラッシュメモリのデバイスサイズを選択
W28	PTN3/SGPIO1-LOAD/BOOTSZ0	ポート／SGPIOロード／SPIブートフラッシュメモリのデバイスサイズを選択
V26	PTN2/SGPIO1-DO/BOOTSZ1	ポート／SGPIOデータ出力／SPIブートフラッシュメモリのデバイスサイズを選択
V27	PTN1/SGPIO1-DI	ポート／SGPIOデータ入力
T25	PTN0/SUB-CLKIN	ポート／32kHzクロック入力端子
A18	MPMD	チップモード指定
R26	PTK0/CLKOUT	ポート／外部デバイス用クロック出力（48MHz）
K5	$\overline{\text{ASEBRK}}$/BRKACK	ブレークモードアクノリッジ
AD14	RGMII-VREF	RGMII基準電圧入力
E8	VDD	内部コア用1.25V電源
E13	VDD	内部コア用1.25V電源
E18	VDD	内部コア用1.25V電源
G5	VDD	内部コア用1.25V電源

端子番号	端子名	機能
L11	VDD	内部コア用1.25V電源
L12	VDD	内部コア用1.25V電源
L17	VDD	内部コア用1.25V電源
L18	VDD	内部コア用1.25V電源
M11	VDD	内部コア用1.25V電源
M12	VDD	内部コア用1.25V電源
M17	VDD	内部コア用1.25V電源
M18	VDD	内部コア用1.25V電源
U11	VDD	内部コア用1.25V電源
U12	VDD	内部コア用1.25V電源
U17	VDD	内部コア用1.25V電源
U18	VDD	内部コア用1.25V電源
V11	VDD	内部コア用1.25V電源
V12	VDD	内部コア用1.25V電源
V17	VDD	内部コア用1.25V電源
V18	VDD	内部コア用1.25V電源
W24	VDD	内部コア用1.25V電源
AD11	VDD	内部コア用1.25V電源
AD19	VDD	内部コア用1.25V電源
A4	VCCQ	I／O用3.3V電源
E1	VCCQ	I／O用3.3V電源
E5	VCCQ	I／O用3.3V電源
E6	VCCQ	I／O用3.3V電源
E11	VCCQ	I／O用3.3V電源
E16	VCCQ	I／O用3.3V電源
F2	VCCQ	I／O用3.3V電源
J5	VCCQ	I／O用3.3V電源
K3	VCCQ	I／O用3.3V電源
L13	VCCQ	I／O用3.3V電源
L16	VCCQ	I／O用3.3V電源
N11	VCCQ	I／O用3.3V電源
R24	VCCQ	I／O用3.3V電源
T11	VCCQ	I／O用3.3V電源
V13	VCCQ	I／O用3.3V電源
V16	VCCQ	I／O用3.3V電源
V28	VCCQ	I／O用3.3V電源
W5	VCCQ	I／O用3.3V電源

端子番号	端子名	機能
AA1	VCCQ	I／O用3.3V電源
AA5	VCCQ	I／O用3.3V電源
AD6	VCCQ	I／O用3.3V電源
AD10	VCCQ	I／O用3.3V電源
AD18	VCCQ	I／O用3.3V電源
AD28	VCCQ	I／O用3.3V電源
AH10	VCCQ	I／O用3.3V電源
AA24	AVCCQADC	ADC用3.3Vアナログ電源
AB24	AVCCQADC	ADC用3.3Vアナログ電源
L5	AVCCQPCI	PCIe用3.3V電源
P5	AVCCQPCI	PCIe用3.3V電源
A20	VCCQ-DDR	DDR3 I／O用1.5V電源
A24	VCCQ-DDR	DDR3 I／O用1.5V電源
A27	VCCQ-DDR	DDR3 I／O用1.5V電源
B26	VCCQ-DDR	DDR3 I／O用1.5V電源
C25	VCCQ-DDR	DDR3 I／O用1.5V電源
D24	VCCQ-DDR	DDR3 I／O用1.5V電源
E21	VCCQ-DDR	DDR3 I／O用1.5V電源
E23	VCCQ-DDR	DDR3 I／O用1.5V電源
F24	VCCQ-DDR	DDR3 I／O用1.5V電源
F28	VCCQ-DDR	DDR3 I／O用1.5V電源
H24	VCCQ-DDR	DDR3 I／O用1.5V電源
K28	VCCQ-DDR	DDR3 I／O用1.5V電源
L24	VCCQ-DDR	DDR3 I／O用1.5V電源
N24	VCCQ-DDR	DDR3 I／O用1.5V電源
AG18	VCCQ-USB	USB用3.3V電源
AG22	VCCQ-USB	USB用3.3V電源
AH20	VCCQ-USB	USB用3.3V電源
AH22	VCCQ-USB	USB用3.3V電源
AD13	VCCQ-GET	GETHER用1.5V電源
AD16	VCCQ-GET	GETHER用1.5V電源
AD20	VDD-USB	USB用1.25V電源
AD21	VDD-USB	USB用1.25V電源
AD23	VDD-USB	USB用1.25V電源
AE22	VDD-USB	USB用1.25V電源
M5	VDDPHY12	PCIe用1.25V電源
N5	VDDPHY12	PCIe用1.25V電源

端子番号	端子名	機能
N4	VDDPHY15	PCIe用1.5V電源
P4	VDDPHY15	PCIe用1.5V電源
T24	VDD-PLL1	PLL1用1.25V電源
T18	VDD-PLL3	PLL3用1.25V電源
N18	VDD-PLL4	PLL4用1.25V電源
A1	VSS	グランド
A17	VSS	グランド
A19	VSS	グランド
A22	VSS	グランド
A28	VSS	グランド
B19	VSS	グランド
B27	VSS	グランド
C19	VSS	グランド
C26	VSS	グランド
D19	VSS	グランド
D25	VSS	グランド
D28	VSS	グランド
E2	VSS	グランド
E3	VSS	グランド
E10	VSS	グランド
E15	VSS	グランド
E19	VSS	グランド
E22	VSS	グランド
E24	VSS	グランド
F5	VSS	グランド
G24	VSS	グランド
H5	VSS	グランド
H25	VSS	グランド
H26	VSS	グランド
H27	VSS	グランド
H28	VSS	グランド
K24	VSS	グランド
L4	VSS	グランド
L14	VSS	グランド
L15	VSS	グランド
M13	VSS	グランド
M14	VSS	グランド
M15	VSS	グランド
M16	VSS	グランド

端子番号	端子名	機能
M24	VSS	グランド
M25	VSS	グランド
M26	VSS	グランド
M27	VSS	グランド
N12	VSS	グランド
N13	VSS	グランド
N14	VSS	グランド
N15	VSS	グランド
N16	VSS	グランド
N17	VSS	グランド
P11	VSS	グランド
P12	VSS	グランド
P13	VSS	グランド
P14	VSS	グランド
P15	VSS	グランド
P16	VSS	グランド
P17	VSS	グランド
P18	VSS	グランド
P24	VSS	グランド
P25	VSS	グランド
P26	VSS	グランド
P27	VSS	グランド
P28	VSS	グランド
R5	VSS	グランド
R11	VSS	グランド
R12	VSS	グランド
R13	VSS	グランド
R14	VSS	グランド
R15	VSS	グランド
R16	VSS	グランド
R17	VSS	グランド
R18	VSS	グランド
T5	VSS	グランド
T12	VSS	グランド
T13	VSS	グランド
T14	VSS	グランド
T15	VSS	グランド
T16	VSS	グランド
T17	VSS	グランド
T27	VSS	グランド

端子番号	端子名	機能
T28	VSS	グランド
U5	VSS	グランド
U13	VSS	グランド
U14	VSS	グランド
U15	VSS	グランド
U16	VSS	グランド
U24	VSS	グランド
V5	VSS	グランド
V14	VSS	グランド
V15	VSS	グランド
V24	VSS	グランド
Y5	VSS	グランド
Y24	VSS	グランド
AC5	VSS	グランド
AC24	VSS	グランド
AD5	VSS	グランド
AD7	VSS	グランド
AD8	VSS	グランド
AD12	VSS	グランド
AD15	VSS	グランド
AD17	VSS	グランド
AD22	VSS	グランド
AD24	VSS	グランド
AE19	VSS	グランド
AE21	VSS	グランド
AF19	VSS	グランド
AH1	VSS	グランド
AH7	VSS	グランド
AH28	VSS	グランド
AG23	VSS	グランド
L1	VSSPHY	PCIe用グランド
L2	VSSPHY	PCIe用グランド
L3	VSSPHY	PCIe用グランド
M3	VSSPHY	PCIe用グランド
M4	VSSPHY	PCIe用グランド
N3	VSSPHY	PCIe用グランド
P1	VSSPHY	PCIe用グランド
P2	VSSPHY	PCIe用グランド
P3	VSSPHY	PCIe用グランド

端子番号	端子名	機能
R3	VSSPHY	PCIe用グランド
R4	VSSPHY	PCIe用グランド
U4	NC	開放
T1	NC	開放
T2	NC	開放
T3	NC	開放
T4	NC	開放
U2	NC	開放
U3	NC	開放
AH23	NC	開放

1.5 端子機能

SH7753の各端子の機能を表1.3に示します。

表1.3 端子機能

分類	端子名	入出力	説明
電源	VDD	入力	内部コア電源端子（1.25V）です。すべてのVDD端子をシステムの電源に接続してください。開放するとSH7753は動作しません。
	VSS	入力	グランド端子です。すべてのVSS端子をシステム電源（0V）に接続してください。開放するとSH7753は動作しません。
	VCCQ	入力	入出力端子用（IO）電源端子（3.3V）です。すべてのVCCQ端子をシステムの電源に接続してください。開放するとSH7753は動作しません。
	AVCCQADC	入力	ADC用電源端子（3.3V）です。開放するとSH7753は動作しません。
	VDD-PLL1	入力	内蔵PLL1発振器用電源端子（1.25V）です。 開放するとSH7753は動作しません。
	VDD-PLL3	入力	内蔵PLL3発振器用電源端子（1.25V）です。 開放するとSH7753は動作しません。
	VDD-PLL4	入力	内蔵PLL4発振器用電源端子（1.25V）です。 開放するとSH7753は動作しません。
	VCCQ-GET	入力	GETHERインターフェイス用電源端子（1.5V）です。 開放するとSH7753は動作しません。
	VCCQ-DDR	入力	DBSC3用電源端子（1.5V）です。開放するとSH7753は動作しません。
	VCCQ-USB	入力	USB-PHY用電源端子（3.3V）です。開放するとSH7753は動作しません。
	VDD-USB	入力	USB-PHY用電源端子（1.25V）です。開放するとSH7753は動作しません。
	AVCCQPCI	入力	PCIe-PHY用電源電圧（3.3V）です。開放するとSH7753は動作しません。
	VDDPHY15	入力	PCIe-PHY用電源電圧（1.5V）です。開放するとSH7753は動作しません。
	VDDPHY12	入力	PCIe-PHY用電源電圧（1.25V）です。開放するとSH7753は動作しません。
	VSSPHY	入力	PCIe-PHY用グランド端子です。開放するとSH7753は動作しません。
クロック	EXTAL	入力	水晶発振子を接続します。また、外部クロック信号を入力することもできます。
	XTAL	出力	水晶発振子を接続します。外部クロック信号を使用する場合は、開放してください。
	CLKOUT	出力	外部デバイス用クロック出力端子です。 外部デバイスにクロック（48MHz）を供給します。
動作モード コントロール	MD10（注1）	入力	CPUブートモード設定 L：32ビットブートモード H：29ビットブートモード
	MD6、MD9 （注1）	入力	ブートモード設定 LL：LBSCブート HL：2KB SPIブート 注. 上記以外は設定禁止。
	MD8（注1）	入力	クロック端子機能設定 L：外部クロック入力（EXTAL端子に48MHzの外部クロック信号を入力） H：水晶発振子接続（EXTAL/XTAL端子間に48MHzの水晶発振子を接続）
	MD2、MD1、 MD0（注1）	入力	クロック動作モード設定 LLL：クロック動作モード0（注2） LLH：クロック動作モード1（注3） 注. 上記以外は設定禁止。
	MD3（注1）	入力	バスモード設定 LBSCエリア0のバス幅を設定 L：16ビット H：8ビット

分類	端子名	入出力	説明
動作モード コントロール	MD5（注1）	入力	エンディアン設定 LBSC、DBSC3バス及びSHwyバス用にSH-4Aのエンディアンを設定 L：ビッグエンディアン H：リトルエンディアン
システム制御1	$\overline{\text{PRESET}}$	入力	パワーオンリセット
	STATUS1、 STATUS0	出力	ステータス出力 プロセッサの動作状態を表します。
システム制御2 （ストラップ ピン）	BOOTSZ2、 BOOTSZ1、 BOOTSZ0 （注1）	入力	SPI0ブートフラッシュメモリサイズ（ABR用）設定 LLL　：1MB（3バイトアドレッシングモード） LLH　：2MB（3バイトアドレッシングモード） LHL　：4MB（3バイトアドレッシングモード） LHH：8MB（3バイトアドレッシングモード） HLL　：16MB（3バイトアドレッシングモード） HLH：32MB（4バイトアドレッシングモード） HHL：64MB（4バイトアドレッシングモード） HHH：128MB（4バイトアドレッシングモード）
	BOOTWPSZ1 BOOTWPSZ0 （注1）	入力	SPI0ブートフラッシュライトプロテクトエリアサイズ設定 LL　：64 KB LH　：128 KB HL　：256 KB HH　：512 KB
	BOOTFMS （注1）	入力	SPIブートフラッシュメモリ領域選択（ABR開始アドレス） L　：SPIフラッシュメモリエリアの下位半分からロード H　：SPIフラッシュメモリエリアの上位半分からロード
	$\overline{\text{BOOTWP}}$	入力	SPI0ブートフラッシュライトプロテクト設定 L　：SPI0ライトプロテクト有効 H　：SPI0ライトプロテクト無効
	WDTFOT1、 WDTFOT0 （注1）	入力	SPI0のABR遅延時間を設定 LL　：ABR機能無効 LH　：22 秒 HL　：44 秒 HH　：88 秒
	FLSHSZ2、 FLSHSZ1、 FLSHSZ0 （注1）	入力	SPI1フラッシュメモリサイズ設定 LLL　：2MB LLH　：4MB LHL　：8MB LHH：16MB HLL　：32MB HLH：64MB HHL：128MB HHH：256MB
	WPSZ1、 WPSZ0（注1）	入力	SPI1フラッシュライトプロテクトエリアサイズ設定 LL　：256 KB LH　：512 KB HL　：1 MB HH　：2 MB
	$\overline{\text{WP}}$	入力	SPI1フラッシュライトプロテクト設定 L　：SPI1ライトプロテクト有効 H　：SPI1ライトプロテクト無効
	$\overline{\text{WPLOCK}}$ （注1）	入力	SPI1 WPコマンドレジスタロック L　：WPコマンドレジスタは、$\overline{\text{SH-4A}}$からのみ読み出し可能 H　：WPコマンドレジスタは、BOOTWP = Hのとき、 SH-4Aから読み出し及び書き込みが可能

分類	端子名	入出力	説明
割り込み	NMI	入力	ノンマスカブル割り込み要求端子です。使用しない場合はHレベルに固定してください。
	IRQ7 ～ IRQ0	入力	マスク可能な外部割り込み要求端子です。 レベル入力、エッジ入力が選択できます。
アドレスバス	A25 ～ A0	出力	アドレスバス出力端子です。
データバス	D15 ～ D0	入出力	データバス入出力端子です。
バス制御	$\overline{\text{CS6}}$、$\overline{\text{CS5}}$、$\overline{\text{CS4}}$、$\overline{\text{CS0}}$	出力	外部メモリ又はデバイスのチップセレクト端子です。
	$\overline{\text{RD}}$	出力	リード端子です。 外部のデバイスからの読み出しを示します
	$\overline{\text{RDWR}}$	出力	リード／ライト端子です。 外部のデバイスに対する読み出し、書き込みを示します
	$\overline{\text{RDY}}$	入力	レディ端子です。 外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させます。
	$\overline{\text{WE0}}$	出力	ライトイネーブル0端子です。 外部メモリ又はデバイスへの、8ビットデータ（データ0～7）の書き込みを示します（8/16ビットバスアクセス時）。
	$\overline{\text{WE1}}$	出力	ライトイネーブル1端子です。 外部メモリ又はデバイスへの、8ビットデータ（データ8～15）の書き込みを示します（16ビットバスアクセス時）。
	$\overline{\text{BS}}$	出力	バススタート端子です。 バスサイクルの開始を示します。
バス制御DDR3-SDRAMインタフェース（DBSC3）	M_A15 ～ M_A0	出力	DDR3-SDRAM用アドレスバス端子です。
	M_BA2 ～ M_BA0	出力	DDR3-SDRAM用バンクアドレス端子です。
	M_DQ15 ～ M_DQ0	入出力	DDR3-SDRAM用データバス端子です。
	$\overline{\text{M_CS}}$	出力	DDR3-SDRAM用チップセレクト端子です。
	$\overline{\text{M_RAS}}$	出力	DDR3-SDRAM用ロウアドレスストローブ端子です。
	$\overline{\text{M_CAS}}$	出力	DDR3-SDRAM用カラムアドレスストローブ端子です。
	$\overline{\text{M_WE}}$	出力	DDR3-SDRAM用ライトイネーブル端子です。
	M_CKE	出力	DDR3-SDRAM用クロックイネーブル端子です。
	M_CLK、$\overline{\text{M_CLK}}$	出力	DDR3-SDRAM用クロック（差動信号）端子です。
	M_VREF_DQ	入力	DDR3基準電圧入力（VDDQ-DDR/2）端子です。
	M_VREF_CA	入力	DDR3テスト用基準電圧入力端子です。グランドに接続してください。
	M_DQS1、M_DQS0、$\overline{\text{M_DQS1}}$、$\overline{\text{M_DQS0}}$	入出力	DDR3-SDRAM用データストローブ（差動信号）端子です。
	M_ODT	出力	DDR3-SDRAM用ODTイネーブル端子です。
	M_DM1、M_DM0	出力	DDR3-SDRAM用データマスク端子です。

分類	端子名	入出力	説明
バス制御DDR3-SDRAMインタフェース（DBSC3）	M_RESET	出力	DDR3-SDRAM用リセット端子です。
	M_ZQ	入出力	DDR3インピーダンスマッチング端子です。
PCIe インタフェース	TX0_P	出力	PCIe Tx+ 信号出力端子です。PCIe差動データを出力します。
	TX0_N	出力	PCIe Tx+ 信号出力端子です。PCIe差動データを出力します。
	RX0_P	入力	PCIe Rx+ 信号入力端子です。PCIe差動データを入力します。
	RX0_N	入力	PCIe Rx+ 信号入力端子です。PCIe差動データを入力します。
	REFCLK_P	入力	PCIe Rx+ 信号入力端子です。PCIe差動クロックを入力します。
	REFCLK_N	入力	PCIe Rx+ 信号入力端子です。PCIe差動クロックを入力します。
	PERST	入力	PCIeリセット入力です。 PCI Express Card Electromechanical（CEM）で定められたPERST信号を入力してください。
DMA コントローラ（DMAC）	DREQ0、DREQ1	入力	DMA転送要求入力端子です。
	DACK0、DACK1	出力	DMA転送要求アクノリッジ端子です。 外部からのDMA転送要求に対する、DMAアクノリッジを出力します。
	TEND0、TEND1	出力	DMA転送終了出力端子です。
イーサネットコントローラ（RMII）	RMII0-CRS_DV、RMII1-CRS_DV	入力	キャリア検出／受信データ有効信号入力端子です。
	RMII0-TXD1、RMII0-TXD0、RMII1-TXD1、RMII1-TXD0	出力	送信データ端子です。
	RMII0-TXEN、RMII1-TXEN	出力	送信イネーブル端子です。 TXD端子上に送信データが準備できたことを示します
	RMII0-REFCLK、RMII1-REFCLK	入力	送受信クロック端子です。
	RMII0-RXD1、RMII0-RXD0、RMII1-RXD1、RMII1-RXD0	入力	受信データ端子です。
	RMII0-RX_ER、RMII1-RX_ER	入力	受信エラー端子です。
イーサネットコントローラ（RMII-RGMII共通）	ET0-MDC、ET1-MDC	出力	MDIOによる転送情報のクロック信号端子です。
	ET0-MDIO、ET1-MDIO	入出力	管理情報を交換する為の双方向のデータ端子です。

分類	端子名	入出力	説明
イーサネットコントローラ（RGMII）	ET0-TX_CTL、ET1-TX_CTL	出力	送信信号用制御信号出力端子です。
	ET0-TXC、ET1-TXC	出力	送信信号用クロック出力端子です。
	ET0-TD0～ET0-TD3、ET1-TD0～ET1-TD3	出力	4ビットの送信データ用出力端子です。
	ET0-RX_CTL、ET1-RX_CTL	入力	受信信号用制御信号入力端子です。
	ET0-RXC、ET1-RXC	入力	受信信号用クロック入力端子です。
	ET0-RD0～ET0-RD3、ET1-RD0～ET1-RD3	入力	4ビットの受信データ用入力端子です。
	RGMII-MAC-CLK	入力	RGMII用基準クロック入力端子です。
	RGMII-VREF	入力	RGMII基準電圧入力端子です。
FIFO内蔵シリアルコミュニケーションインタフェース（SCIF0、SCIF1）	TXD0、TXD1	出力	送信データ出力端子です。
	RXD0、RXD1	入力	受信データ入力端子です。
	$\overline{\text{RTS0}}$、$\overline{\text{RTS1}}$	出力	モデム制御信号（送信要求出力）端子です。
	$\overline{\text{CTS0}}$、$\overline{\text{CTS1}}$	入力	モデム制御信号（送信許可入力）端子です。
	$\overline{\text{DTR0}}$、$\overline{\text{DTR1}}$	出力	データターミナルレディ出力端子です。
	$\overline{\text{DSR0}}$、$\overline{\text{DSR1}}$	入力	データセットレディ入力端子です。
	$\overline{\text{DCD0}}$、$\overline{\text{DCD1}}$	入力	データキャリア検出入力端子です。
	$\overline{\text{RI0}}$、$\overline{\text{RI1}}$	入力	リングインジケータ入力端子です。
FIFO内蔵シリアルコミュニケーションインタフェース（SCIF2、SCIF3、SCIF4）	SCK2～SCK4	入出力	クロック入出力端子です。
	TXD2～TXD4	出力	送信データ出力端子です。
	RXD2～RXD4	入力	受信データ入力端子です。
	$\overline{\text{RTS2}}$～$\overline{\text{RTS4}}$	入出力	モデム制御信号（送信要求）端子です。
	$\overline{\text{CTS2}}$～$\overline{\text{CTS4}}$	入出力	送信許可 モデム制御信号（送信許可）端子です。
I2Cバスインタフェース（RIIC）	SCL0～SCL9	入出力	シリアルクロック入出力端子です。
	SDA0～SDA9	入出力	シリアルデータ入出力端子です。
USBファンクション0（USB0）	USDP0	入出力	USB0 D+ データ端子です。
	USDM0	入出力	USB0 D- データ端子です。
	VBUS0	入力	USB0 Vbus 入力端子です。
USB0、USB1共通リファレンス入力	REFRIN	入力	リファレンス入力端子です。 5.6KΩ（±1%）の抵抗を介してグランドに接続してください

分類	端子名	入出力	説明
USB ホスト/ファンクション1（USB1）	USDP1	入出力	USB1 D+ データ端子です。
	USDM1	入出力	USB1 D- データ端子です。
	VBUS1	入力	USB1 Vbus 入力端子です。
	VBUS_EN	出力	USB Vbusパワーイネーブル出力端子です。
	VBUS_OC	入力	USB過電流モニタ端子です。
ルネサスシリアルペリフェラルインタフェース（RSPI）	RSPI-RSPCK	入出力	RSPIクロック入出力端子です。
	RSPI-MOSI	入出力	RSPIデータ入出力端子です。
	RSPI-MISO	入出力	RSPIデータ入出力端子です。
	$\overline{\text{RSPI-SSL0}}$、RSPI-SSL1	入出力	RSPIチップセレクト入出力端子です。
SIMカードモジュール（SIM）	SIM_D	入出力	SIM送受信データ入出力端子です。
	SIM_CLK	出力	SIMクロック出力端子です。
	SIM_RST	出力	SIMリセット出力端子です。
シリアルペリフェラルインタフェース（SPI0、SPI1）	SP0-MOSI	入出力	SPIマスタデータ入出力端子です。
	SP1-MOSI	出力	SPIマスタデータ出力端子です。
	SP0-MISO、SP1-MISO	入力	SPIマスタデータ入力端子です。
	SP0-SCK、SP1-SCK	出力	SPIシリアルクロック出力端子です。
	SP0-SCK_FB、SP1-SCK_FB	入力	SPIシリアルクロックフィードバック入力端子です。
	$\overline{\text{SP0-SS3}}$ ～ $\overline{\text{SP0-SS0}}$、$\overline{\text{SP1-SS1}}$、SP1-SS0	出力	SPIスレーブデバイスセレクト出力端子です。
	$\overline{\text{SPILOAD}}$	出力	SPI0ブートインジケータ出力端子です。
タイマユニット（TMU）	TCLK	入力	タイマの外部クロック入力端子です。 チャネル2のインプットキャプチャ信号端子としても使用できます
14ビットPWMタイマ（PWMX）	PWMX7～PWMX0	出力	14ビットPWMタイマのパルス出力端子です。
8ビットPWMタイマ（PWMU）	PWMU5 ～ PWMU0	出力	8ビットPWMタイマのパルス出力端子です。
サブクロック	SUB-CLKIN	入力	32.768kHzのクロック入力端子です
A/D変換器（ADC）	AN15 ～ AN0	入力	アナログ入力端子です。
	$\overline{\text{ADTRG0}}$、$\overline{\text{ADTRG1}}$	入力	A/D外部トリガ入力端子です。
	AVREF0、AVREF1	入力	A/D変換器の基準電圧端子です。

分類	端子名	入出力	説明
シリアル端子マルチプレクサ（SERMUX）	COM1-TXD、COM1-RXD、$\overline{\text{COM1-RTS}}$、$\overline{\text{COM1-CTS}}$	出力 入力 出力 入力	COM1ポート入出力端子です。
	COM2-TXD、COM2-RXD、$\overline{\text{COM2-RTS}}$、$\overline{\text{COM2-CTS}}$、$\overline{\text{COM2-DTR}}$、$\overline{\text{COM2-DSR}}$、$\overline{\text{COM2-DCD}}$、$\overline{\text{COM2-RI}}$	出力 入力 出力 入力 出力 入力 入力 入力	COM2ポート入出力端子です。
	RAC-TXD、RAC-RXD、$\overline{\text{RAC-RTS}}$、$\overline{\text{RAC-CTS}}$、$\overline{\text{RAC-DTR}}$、$\overline{\text{RAC-DSR}}$、$\overline{\text{RAC-DCD}}$、$\overline{\text{RAC-RI}}$	入出力	RACポート入出力端子です。
SDホストインタフェース（SDHI）	SDCD	入力	SDHIカード検出信号端子です。
	SDWP	入力	SDHIライトプロテクト信号端子です。
	SDDAT3～SDDAT0	入出力	SDHIデータバス信号端子です。
	SDCMD	入出力	SDHIコマンド出力、レスポンス入力信号端子です。
	SDCLK	出力	SDHIクロック出力端子です。
イベントカウンタ（EVC）	EVENT15～EVENT0	入力	イベントカウンタの入力端子です。
I/Oポート	PTA～PTI、PTK、PTM、PTP、PTO、PTR～PTZ	入出力	汎用ポート（8ビット） PTB、PTC：ノイズキャンセラ内蔵 PTT　　：12mA駆動
	PTJ、PTL、PTN、PTQ	入出力	汎用ポート（7ビット）
汎用シリアル入出力ポート（SGPIO）	SGPIO0-CLK	出力	SGPIO0クロック信号端子です。
	SGPIO0-LOAD	出力	SGPIO0のロード信号端子です。
	SGPIO0-DI	入力	SGPIO0のデータ入力端子です。
	SGPIO0-DO	出力	SGPIO0のデータ出力端子です。
	SGPIO1-CLK	出力	SGPIO1のクロック信号端子です。
	SGPIO1-LOAD	出力	SGPIO1のロード信号端子です。
	SGPIO1-DI	入力	SGPIO1のデータ入力端子です。
	SGPIO1-DO	出力	SGPIO1のデータ出力端子です。
	SGPIO2-CLK	出力	SGPIO2のクロック信号端子です。
	SGPIO2-LOAD	出力	SGPIO2のロード信号端子です。
	SGPIO2-DI	入力	SGPIO2のデータ入力端子です。
	SGPIO2-DO	出力	SGPIO2のデータ出力端子です。

分類	端子名	入出力	説明
eMMCホストインタフェース	MMCCLK	出力	MMCクロック出力端子です。
	MMCCMD	入出力	MMCコマンド入力端子／レスポンス出力端子です。
	MMCDAT7～MMCDAT0	入出力	MMC送信出力端子／受信入力端子です。
ハイパフォーマンスユーザデバッグインタフェース（H-UDI）	TCK	入力	テストクロック入力端子です。
	TMS	入力	テストモードセレクト信号入力端子です。
	$\overline{\text{TRST}}$	入力	初期化信号入力端子（テストリセット）です。
	TDI	入力	インストラクション／データシリアル入力端子です。
	TDO	出力	インストラクション／データシリアル出力端子です。
アドバンストユーザデバッガ（AUD）	AUDATA3～AUDATA0、AUDCK、AUDSYNC	出力	エミュレータ専用端子です。
	$\overline{\text{ASEBRK}}$/BRKACK	入出力	エミュレータ専用端子です。
	MPMD	入力	チップモード指定 L：エミュレーションモード H：ノーマルモード（チップモード）

注1. これらの端子の入力レベルは、$\overline{\text{PRESET}}$端子入力の立ち上がりでラッチされます。
2. SH-4Aクロック = 384 MHz、SHwyクロック = 192 MHz、周辺クロック = 48 MHz
3. SH-4Aクロック = 576 MHz、SHwy クロック = 192 MHz、周辺クロック = 48 MHz

2. プログラミングモデル

本章では、本LSI のプログラミングモデルについて記述します。本LSI では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

本LSI でサポートしているデータフォーマットを図2.1 に示します。

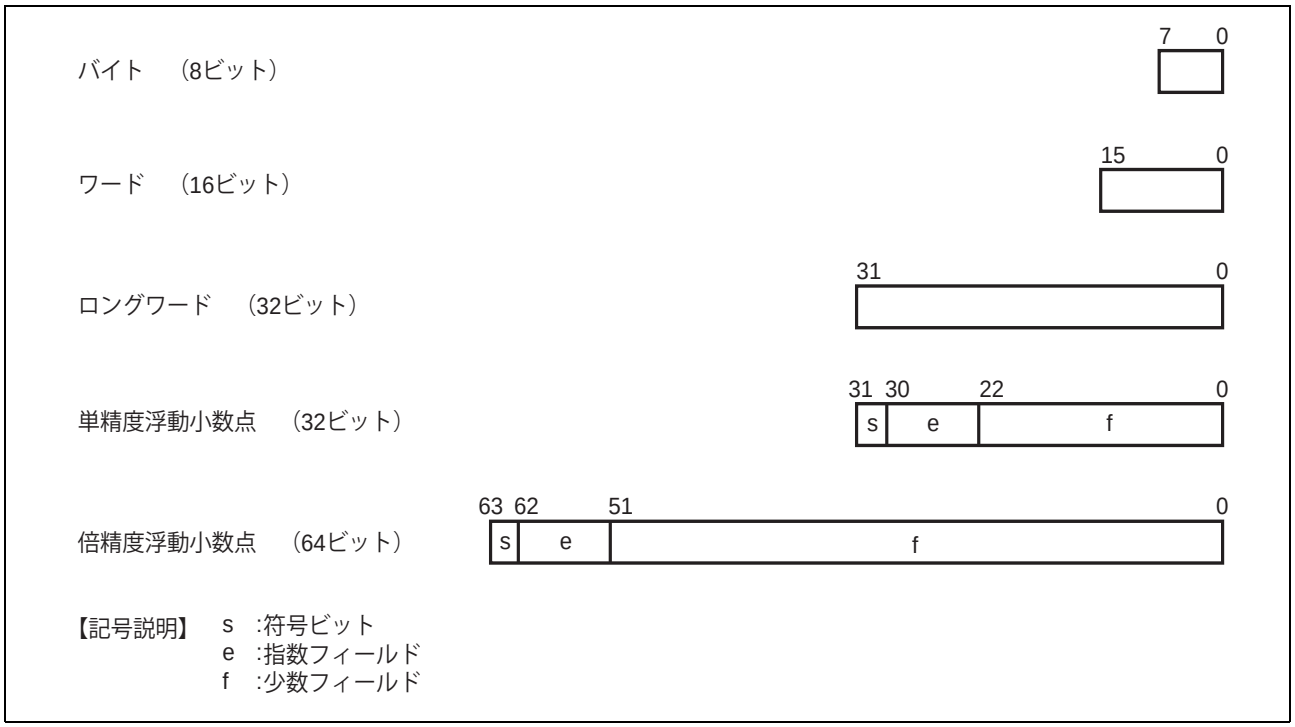


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生又は割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、及び浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0～R15までの16本のレジスタがあります。特権モードでは、R0～R7の汎用レジスタのバンクは、レジスタバンクビット(RB)で切り替えられます。

- 特権モードの場合

ステータスレジスタ（SR）のレジスタバンクビット（RB）により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決められます。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令（LDC）とストア命令（STC）でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1～R7_BANK1とバンクに関係ないR8～R15との合計16本のレジスタが汎用レジスタR0～R15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0～R7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0～R7_BANK0とバンクに関係ないR8～R15との合計16本のレジスタが汎用レジスタR0～R15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1～R7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0～R7_BANK0とバンクに関係ないR8～R15との合計16本のレジスタが汎用レジスタR0～R15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1～R7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ（GBR）とステータスレジスタ（SR）があり、特権モードでのみアクセスできる退避ステータスレジスタ（SSR）、退避プログラムカウンタ（SPC）、ベクタベースレジスタ（VBR）、退避ジェネラルレジスタ15（SGR）、デバッグベースレジスタ（DBR）があります。ステータスレジスタには、特権モードでのみアクセスできるビット（例えばRBビット）があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ（MACH/MACL）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）があり、処理モードに関係しません。

(5) 浮動小数点レジスタとFPU に関するシステムレジスタ

浮動小数点レジスタには、FR0～FR15、XF0～XF15 の32 本のレジスタがあります。FR0～FR15、XF0～XF15 をおのおのFPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0～FR15 は、DR0/2/4/6/8/10/12/14（倍精度浮動小数点レジスタ、又はレジスタペア）の8 本、FV0/4/8/12（レジスタベクタ）の4 本として使用でき、XF0～XF15 は、XD0/2/4/6/8/10/12/14（レジスタペア）の8 本、XMTRX（レジスタ行列）の1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ（FPUL）と浮動小数点ステータス／コントロールレジスタ（FPSCR）があり、FPU-CPU 間の通信や例外処理の設定を行います。

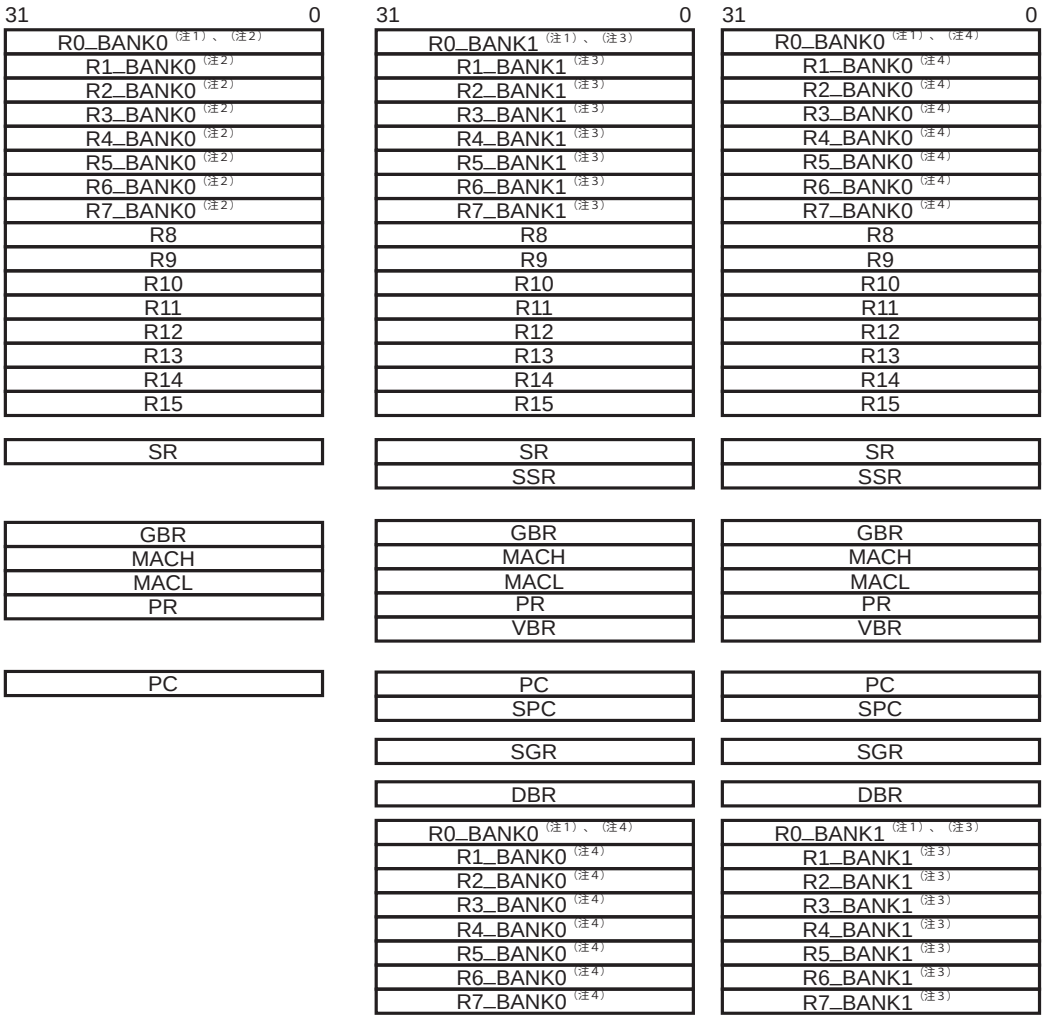
リセット後のレジスタの値を表2.1 に示します。

表2.1　レジスタの初期値

区分	レジスタ	初期値（注）
汎用レジスタ	R0_BANK0 ～ R7_BANK0、 R0_BANK1 ～ R7_BANK1、 R8 ～ R15	不定
コントロールレジスタ	SR	MD ビット=1、RB ビット=1、BL ビット=1、 FD ビット=0、IMASK=B'1111、その他はすべて0
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0 ～ FR15、XF0 ～ XF15、FPUL	不定
	FPSCR	H'00040001

注．パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別のCPU レジスタ構成を図2.2 に示します。
ユーザモードと特権モードは、ステータスレジスタの処理モードビット（MD）で切り替えます。



（a）ユーザモードのレジスタ構成　（b）特権モードのレジスタ構成（RB＝1）　（c）特権モードのレジスタ構成（RB＝0）

注1.　R0レジスタは、インデックス付きレジスタ間接アドレッシングモードと、インデックス付きGBR間接アドレッシングモードのインデックスレジスタとして使われます。
2.　バンクレジスタ
3.　バンクレジスタ
SRレジスタのRBビットが１のとき、汎用レジスタとしてアクセスされます。
RBビットが０のとき、LDC/STC命令でのみアクセスされます。
4.　バンクレジスタ
SRレジスタのRBビットが０のとき、汎用レジスタとしてアクセスされます。
RBビットが１のとき、LDC/STC命令でのみアクセスされます。

図 2.2　処理モード別のCPU レジスタ構成

2.2.2　汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ（R0_BANK0～R7_BANK0、R0_BANK1～R7_BANK1、R8～R15）があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0～R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0～R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0～R7_BANK0
  ユーザモード（MD ビット（SR レジスタのビット 30）＝0）では、常に R0～R7 に割り当てられます。
  特権モード（SR レジスタの MD ビット＝1）では、RB ビット（SR レジスタのビット 29）＝0 の場合に限り R0～R7 に割り当てられます。
- R0_BANK1～R7_BANK1
  ユーザモードでは、アクセスできません。
  特権モードでは、SR レジスタの RB ビット＝1 の場合に限り、R0～R7 に割り当てられます。

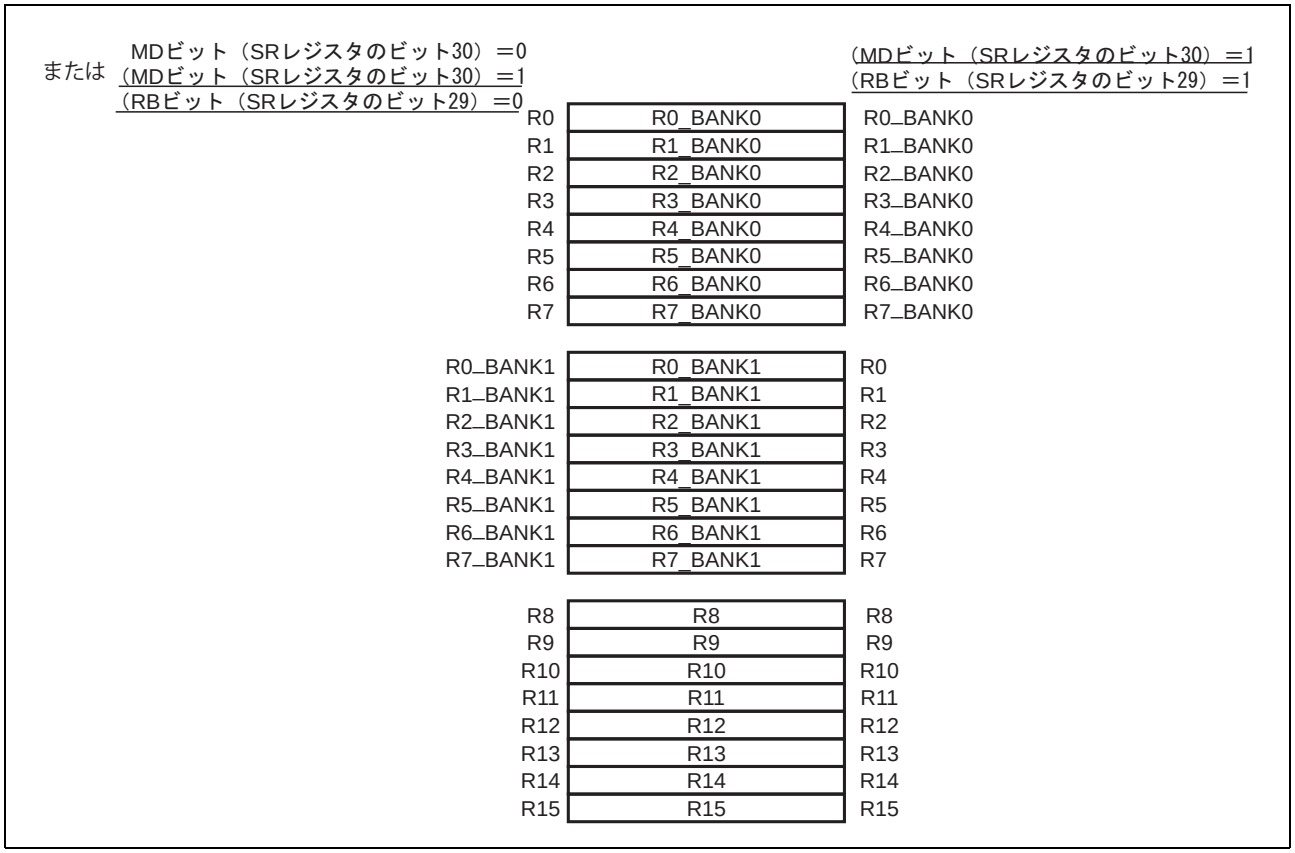


図 2.3　汎用レジスタ

【プログラミング上の注意】
ユーザモードの R0～R7 は R0_BANK0～R7_BANK0 に、例外・割り込み後の R0～R7 は R0_BANK1～R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0～R7（R0_BANK0～R7_BANK0）を退避又は復帰する必要はありません。

2.2.3　浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ～ FR15、DR0/2/4/6/8/l0/12/14、FV0/4/8/12、XF0 ～ XF15、XD0/2/4/6/8/l0/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図2.4 を参照してください。

(1)　浮動小数点レジスタ FPRn_BANKi（32 レジスタ）

FPR0_BANK0、FPR l_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2)　単精度浮動小数点レジスタ FRi（16 レジスタ）

FR ビット（FPSCR レジスタのビット 21）＝0 のとき、FR0～FR15 は FPR0_BANK0～FPR15_BANK0 に割り当てられます。
FR ビット＝1 のとき、FR0～FR15 は FPR0_BANK1～FPR15_BANK1 に割り当てられます。

(3)　倍精度浮動小数点レジスタ、又は単精度浮動小数点レジスタのペア DRi（8 レジスタ）

DR レジスタは、2 つの FR レジスタから構成されます。
DR0＝{FR0、FR1}、DR2＝{FR2、FR3}、
DR4＝{FR4、FR5}、DR6＝{FR6、FR7}、
DR8＝{FR8、FR9}、DR10＝{FR10、FR11}、
DR12＝{FR12、FR13}、DR14＝{FR14、FR15}

(4)　単精度浮動小数点ベクトルレジスタ FVi（4 レジスタ）

FV レジスタは 4 つの FR レジスタから構成されます。
FV0＝{FR0、FR1、FR2、FR3}、
FV4＝{FR4、FR5、FR6、FR7}、
FV8＝{FR8、FR9、FR10、FR11}、
FVl2＝{FR12、FR13、FR14、FR15}

(5)　単精度浮動小数点拡張レジスタ XFi（16 レジスタ）

FR ビット＝0 のとき、XF0～XF15 は FPR0_BANK1～FPR15_BANK1 に割り当てられます。
FR ビット＝1 のとき、XF0～XF15 は FPR0_BANK0～FPR15_BANK0 に割り当てられます。

(6)　単精度浮動小数点拡張レジスタのペア XDi（8 レジスタ）

XD レジスタは 2 つの XF レジスタから構成されます。
XD0＝{XF0、XF1}、XD2＝{XF2、XF3}、
XD4＝{XF4、XF5}、XD6＝{XF6、XF7}、
XD8＝{XF8、XF9}、XD10＝{XF10、XF11}、
XD12＝{XF12、XF13}、XD14＝{XF14、XF15}

(7)　単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は16 本のXF レジスタから構成されます。

XMTRX =	XF0	XF4	XF8	XF12
	XF1	XF5	XF9	XF13
	XF2	XF6	XF10	XF14
	XF3	XF7	XF11	XF15

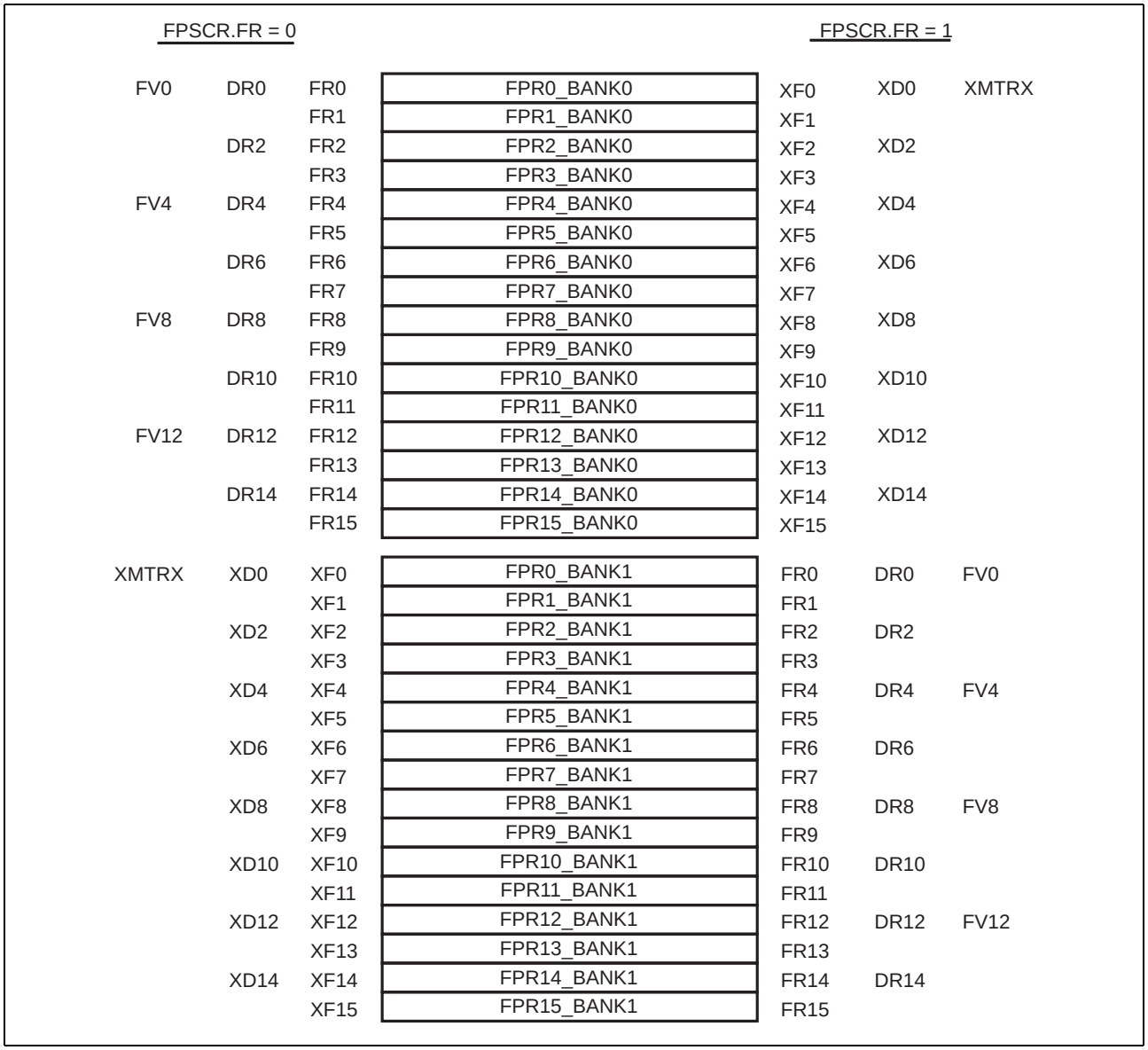


図 2.4　浮動小数点レジスタ

2.2.4　コントロールレジスタ

(1)　ステータスレジスタ（SR）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MD	RB	BL	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD	—	—	—	—	—	M	Q	IMASK				—	—	S	T
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R/W	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	—	0	—	リザーブビット
30	MD	1	R/W	処理モード 処理モードを選択します。 0：ユーザモード （命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。） 1：特権モード 例外又は割り込みにより1にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0：R0_BANK0～R7_BANK0は汎用レジスタR0～R7としてアクセスでき、R0_BANK1～R7_BANK1はLDC/STC命令でアクセスできます。 1：R0_BANK1～R7_BANK1は汎用レジスタR0～R7としてアクセスでき、R0_BANK0～R7_BANK0はLDC/STC命令でアクセスできます。 例外又は割り込みにより1にセットされます。
28	BL	1	R/W	例外／割り込みブロックビット このビットが1のとき、割り込み要求はマスクされ、ユーザブレーク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 一般例外又は割り込みにより1にセットされます。
27～16	—	0	—	リザーブビット
15	FD	0	R/W	FPUディスエーブルビット このビットが1のとき、FPU命令は一般FPU抑止例外を発生させ、FPU命令が遅延スロットにある場合、スロットFPU抑止例外が発生します（FPU命令：H'F***命令、FPUL/FPSCRに対するLDS(.L)/STS(.L)命令）。
14～10	—	0	—	リザーブビット
9	M	0	R/W	Mビット DIV0S、DIV0U、DIV1命令で使用します。
8	Q	0	R/W	Qビット DIV0S、DIV0U、DIV1命令で使用します。

ビット	ビット名	初期値	R/W	説 明
7 ～ 4	IMASK	1	R/W	割り込みマスクレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ（CPUOPM）を用いて切り替えることができます。CPUOPM の動作は、「付録A. CPU 動作モードレジスタ（CPUOPM）」を参照してください。
3、2	—	0	—	リザーブビット
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真／偽条件、キャリ／ボロー、オーバフロー／アンダフローなどを表します。 詳細は、「3. 命令セット」を参照してください。

(2)　退避ステータスレジスタ（SSR）（32 ビット、特権保護、初期値＝不定）

SR の内容は例外又は割り込みの発生時、SSR に退避されます。

(3)　退避プログラムカウンタ（SPC）（32 ビット、特権保護、初期値＝不定）

例外又は割り込みの発生した命令のアドレスはSPC に退避されます。

(4)　グローバルベースレジスタ（GBR）（32 ビット、初期値＝不定）

例外又は割り込みの発生した命令のアドレスはSPC に退避されます。

(5)　ベクタベースレジスタ（VBR）（32 ビット、特権保護、初期値＝H'0000 0000）

VBR は例外及び割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「6. 例外処理」を参照してください。

(6)　退避ジェネラルレジスタ 15（SGR）（32 ビット、特権保護、初期値＝不定）

R15 の内容は例外又は割り込みの発生時SGR に退避されます。

(7)　デバッグベースレジスタ（DBR）（32 ビット、特権保護、初期値＝不定）

ユーザブレークデバッグ機能を有効にする場合UBDE ビット（CBCR レジスタのビット0）＝1、DBR はVBR の代わりにユーザブレークハンドラへの分岐先アドレスとして参照されます。

2.2.5　システムレジスタ

(1)　積和上位レジスタ（MACH）（32 ビット、初期値＝不定）、
　　積和下位レジスタ（MACL）（32 ビット、初期値＝不定）

MACH／MACL は、MAC 命令の加算値として用いられます。またMAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2)　プロシージャレジスタ（PR）（32 ビット、初期値＝不定）

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスはPR に格納されます。PR は、サブルーチンからの復帰命令（RTS）によって参照されます。

(3)　プログラムカウンタ（PC）（32 ビット、初期値＝H'A000 0000）

PC は実行中の命令アドレスを示します。

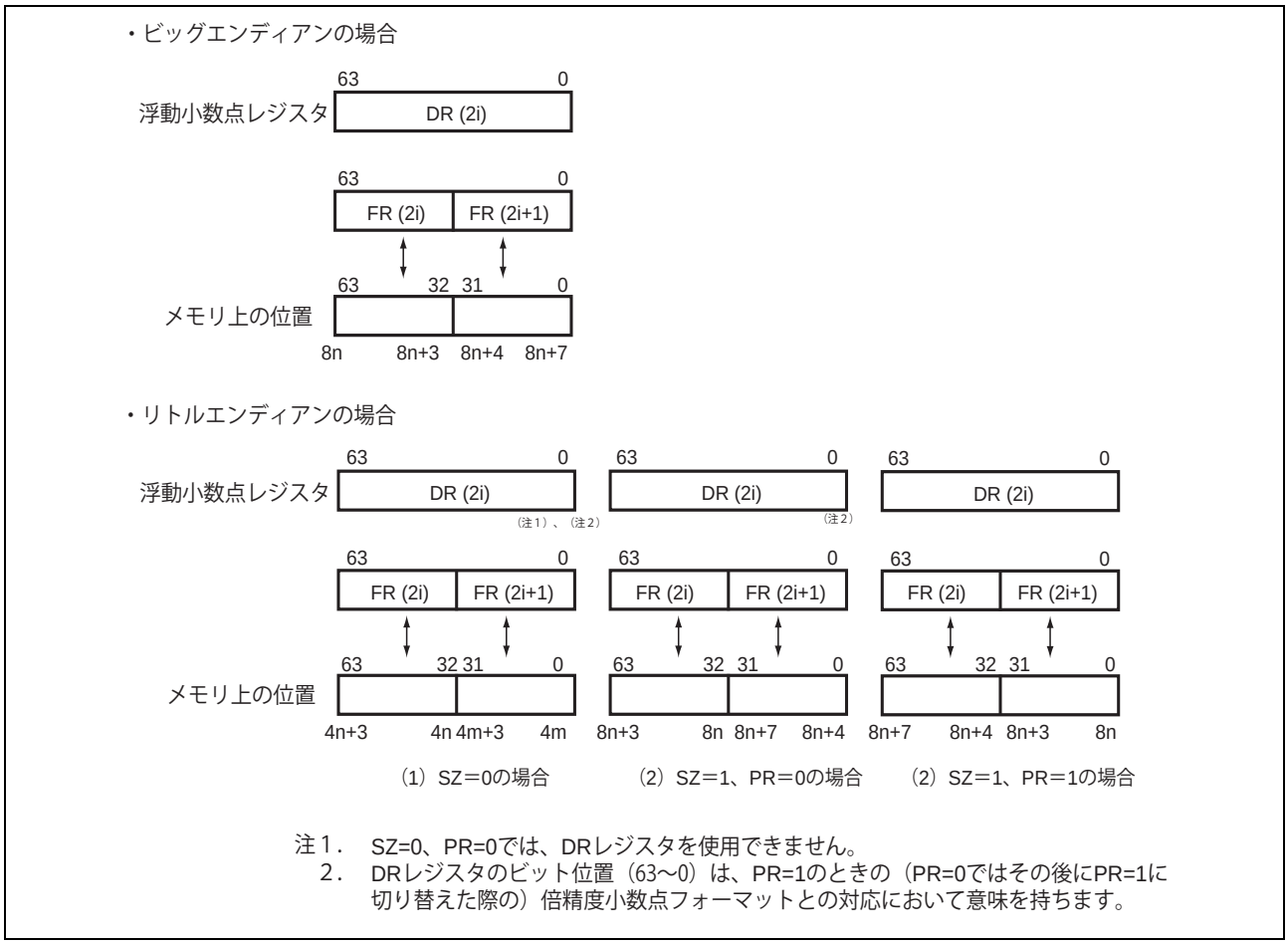
(4)　浮動小数点ステータス／コントロールレジスタ（FPSCR）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)					Flag					RM	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 22	—	0	—	リザーブビット
21	FR	0	R/W	浮動小数点レジスタバンク 0：FPR0_BANK0～FPR15_BANK0 はFR0～FR15 に、FPR0_BANK1～FPR15_BANK1 はXF0～XF15 に割り当てられます。 1：FPR0_BANK0～FPR15_BANK0 はXF0～XF15 に、FPR0_BANK1～FPR15～BANK1 はFR0～FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0：FMOV 命令のデータサイズは32 ビットです。 1：FMOV 命令のデータサイズは32 ビットペア、又は64 ビットです。 SZ ビットとエンディアンとの関係については、図2.5 を参照してください。
19	PR	0	R/W	精度モード 0：浮動小数点命令を単精度演算として実行します。 1：浮動小数点命令を倍精度演算として実行します（グラフィックサポート命令は未定義です）。 PR ビットとエンディアンとの関係については、図2.5 を参照してください。
18	DN	1	R/W	非正規化モード 0：非正規化数を非正規化数として扱います。 1：非正規化数を0 として扱います。

ビット	ビット名	初期値	R/W	説 明
17 ～ 12	Cause	0	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に0に設定されます。次にFPU 例外が発生すると、FPU 例外要因フィールドとFPU 例外フラグフィールドの該当ビットが1 にセットされます。FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。各フィールドのビットの割り付けについては表2.2 を参照してください。
11 ～ 7	Enable (EN)	0	R/W	
6 ～ 2	Flag	0	R/W	
1、0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：設定禁止 11：設定禁止



注1. SZ=0、PR=0では、DRレジスタを使用できません。
2. DRレジスタのビット位置（63～0）は、PR=1のときの（PR=0ではその後にPR=1に切り替えた際の）倍精度小数点フォーマットとの対応において意味を持ちます。

図 2.5　SZ ビット及びPR ビットとエンディアンの関係

表2.2　FPU 例外処理に関連するビットの割り付け

フィールド名		FPU エラー（E）	無効演算（V）	0 除算（Z）	オーバフロー(O)	アンダフロー（U）	不正確（I）
Cause	FPU 例外要因フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブルフィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5)　浮動小数点通信レジスタ（FPUL）（32 ビット、初期値＝不定）

FPU レジスタとCPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3　メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2 つのアドレスがあります。

H'1C00 0000～H'1FFF FFFF
H'FC00 0000～H'FFFF FFFF
以上2 つの領域は次のように使用します。

- H'1C00 0000～H'1FFF FFFF

  この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLB の該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。
- H'FC00 0000～H'FFFF FFFF

  ユーザモードで領域 H'FC00 0000～H'FFFF FFFF にアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

注. 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4　レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32 ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8 ビット）、もしくはワード（16 ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

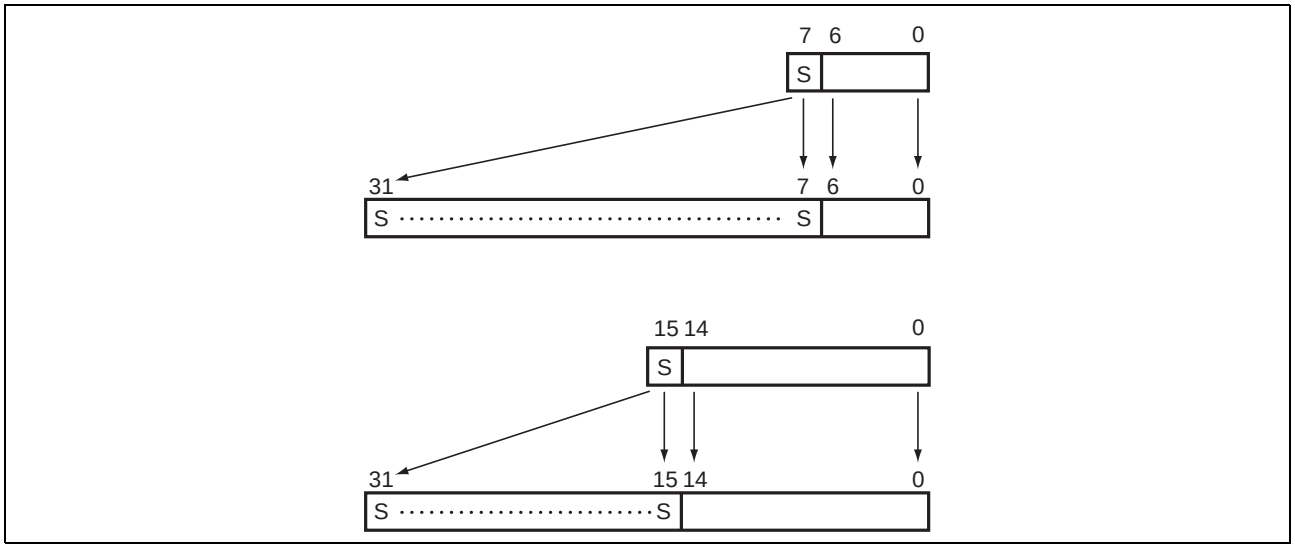


図 2.6　バイトデータ、ワードデータのレジスタ中のデータ形式

2.5　メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.7 に示します。

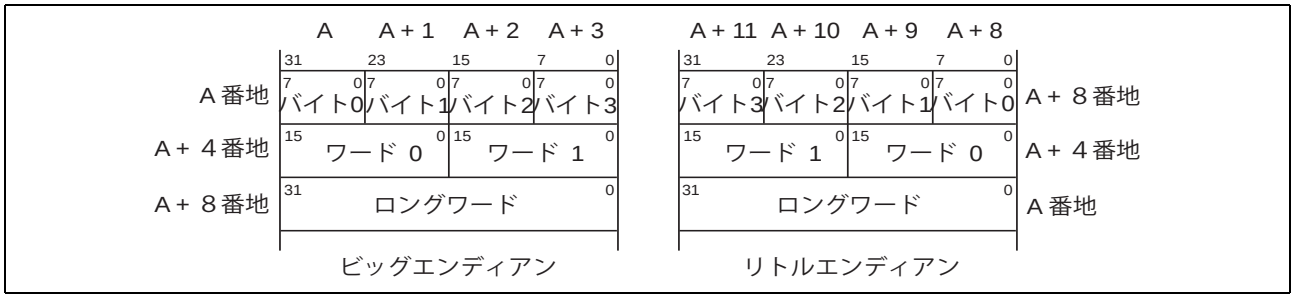


図 2.7　メモリ上のデータ形式

64 ビットのデータ形式については図 2.5 を参照してください。

2.6　処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1)　リセット状態

CPUがリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPUの内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタとCPUの内部状態とが初期化されます。詳細は、各章のレジスタ構成を参照してください。

(2)　命令実行状態

CPUが順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3)　低消費電力状態

CPUの動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、及びモジュールストップモードの2つのモードがあります。低消費電力状態の詳細は、「18. 低消費電力モード」を参照してください。

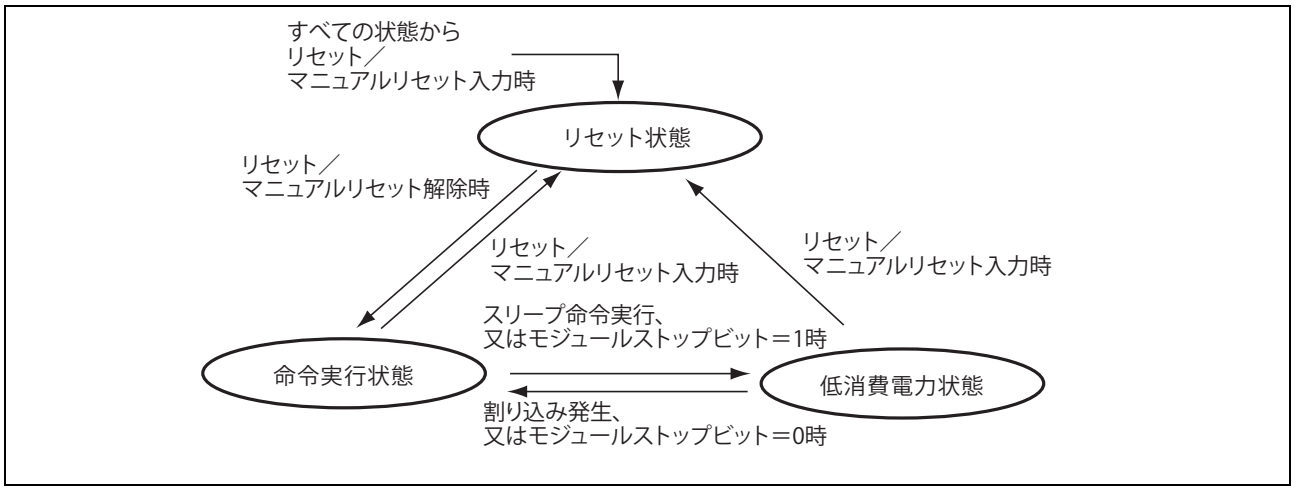


図 2.8　処理状態遷移図

2.7　使用上の注意事項

2.7.1　自己書き換えコード（注）に対する注意事項

本LSIは、処理を高速に行うために命令の先読みを従来のSH-4に比べ大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとすると、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1)　書き換える命令がキャッシング不可能領域にある場合

```
SYNCO
ICBI @Rn
```

ICBI命令のRnで指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

(2)　書き換える命令列がキャッシング可能領域にある場合（ライトスルーモード時）

```
SYNCO
ICBI @Rn
```

書き換えた命令列に対応する命令キャッシュの領域すべてをICBI命令で無効化してください。ICBIはライン単位で行います。1ラインは32バイトです。

(3)　書き換える命令列がキャッシング可能領域にある場合（コピーバックモード時）

```
OCBP @Rm 又はOCBWB @Rm
SYNCO
ICBI @Rn
```

書き換えた命令列に対応するオペランドキャッシュの領域すべてをOCBP命令又はOCBWB命令で主記憶に書き戻しを行い、その後ICBI命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWBはライン単位で行います。1ラインは32バイトです。

注．自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する命令列

3. 命令セット

本LSIの命令セットは固定長16ビット命令で実現されます。本LSIはバイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）、クワッドワード（64ビット）のデータサイズでメモリにアクセスします。単精度浮動小数点データ（32ビット）は、ロングワード又はクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ（64ビット）は、クワッドワードサイズでメモリとのやりとりが可能です。本LSIがバイトサイズ、及びワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PCはその命令自身の命令アドレスを示します。

(2) ロード／ストアアーキテクチャ

本LSIは基本的演算をレジスタで実行するロード／ストアアーキテクチャを特長としています。メモリで直接実行する論理AND演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

本LSIの分岐命令、及びRTEは、BF、BTの2つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA実行シーケンスは次のとおりです。

表3.1 遅延分岐命令の実行順序

命令列				実行順序
	BRA	TARGET	（遅延分岐命令）	BRA
	ADD		（遅延スロット）	↓
	:			ADD
	:			↓
TARGET	target-inst		（分岐先命令）	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「6. 例外処理」を参照してください。分岐が成立しなかったBF/S、BT/Sの次の命令も遅延スロット命令です。

(5) T ビット

ステータスレジスタ（SR）のTビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD     #1、R0      ; T ビットはADD 演算では変更されない。
CMP/EQ  R1、R0      ; R0=R1 のときT ビットは1 にセットされる。
BT      TARGET      ; T ビット=1（R0=R1）のときTARGET に分岐する。
```

RTEの遅延スロットで、ステータスレジスタ（SR）の各ビットは次のように参照されます。命令アクセスは変更の前にMDビットを使用し、データアクセスは変更後のMDビットにアクセスします。変更後の他のS、T、M、Q、FD、BL、RBビットを遅延スロットの命令実行のために使用します。STC、STC.L SR命令は、変更後すべてのSRのビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。

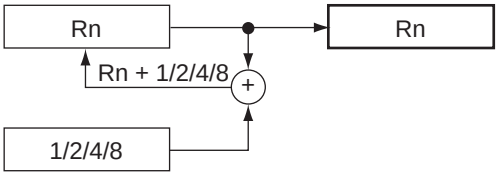
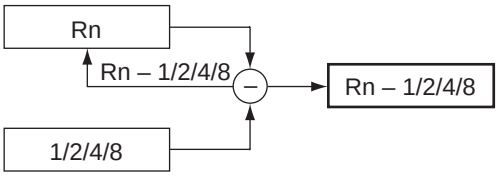
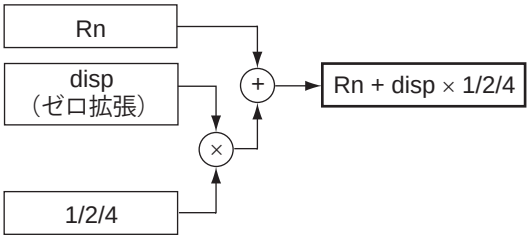
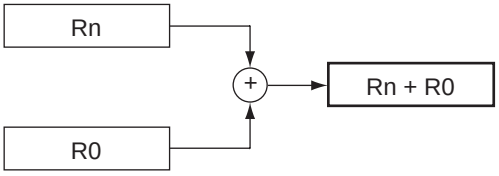
```
MOV.W    @(disp, PC), Rn
MOV.L    @(disp, PC), Rn
```

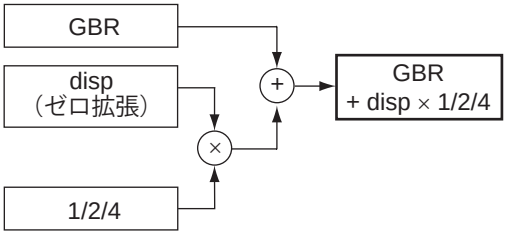
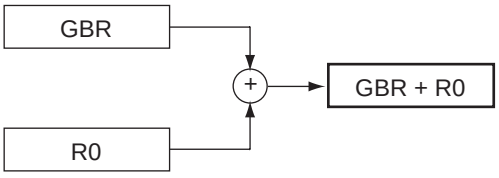
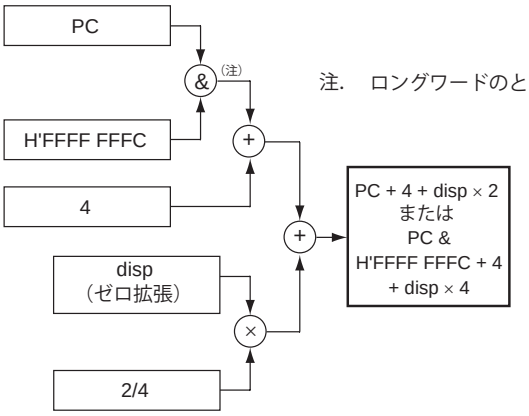
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 又は1.0 にセットすることができます。

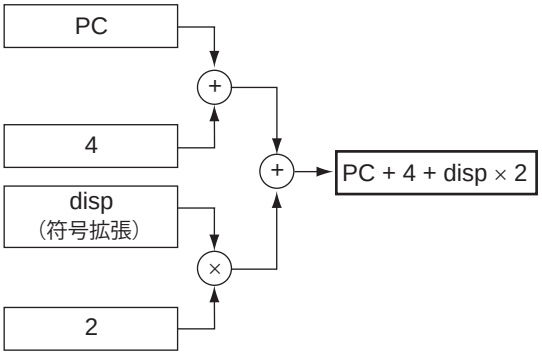
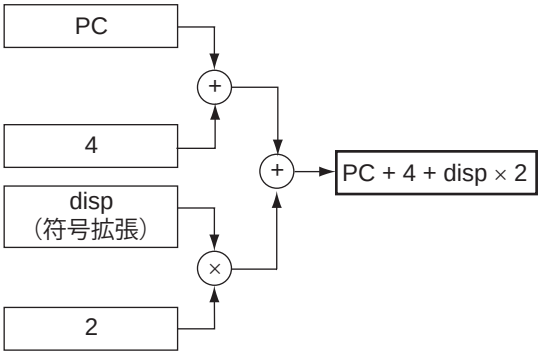
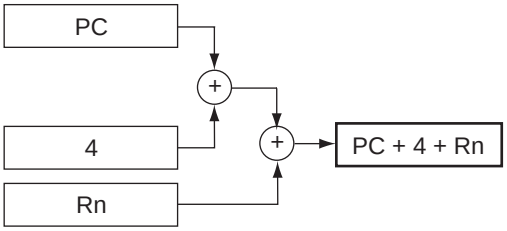
3.2　アドレッシングモード

表3.2にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると（ATビット（MMUCRレジスタのビット0）＝1）、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合（SVビット（MMUCRレジスタのビット8）＝0）、PTEHの最下位ビットもアクセスのASIDとして参照されます。「7. メモリマネジメントユニット（MMU）」を参照してください。

表3.2　アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタRnです。 （オペランドはレジスタRnの内容です。）	—
レジスタ間接	@Rn	実効アドレスはレジスタRnの内容です。 	Rn→EA（EA：実効アドレス）
ポストインクリメントレジスタ間接	@Rn+	実効アドレスはレジスタRnの内容です。命令実行後Rnに定数を加算します。定数はオペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4、クワッドワードのとき8です。 	Rn→EA 命令実行後 バイト：Rn＋1→Rn ワード：Rn＋2→Rn ロングワード：Rn＋4→Rn クワッドワード：Rn＋8→Rn
プリデクリメントレジスタ間接	@–Rn	実効アドレスは、あらかじめ定数を減算したレジスタRnの内容です。定数はバイトのとき1、ワードのとき2、ロングワードのとき4、クワッドワードのとき8です。 	バイト：Rn－1→Rn ワード：Rn－2→Rn ロングワード：Rn－4→Rn クワッドワード：Rn－8→Rn Rn→EA （計算後のRnで命令実行）
ディスプレースメント付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタRnに4ビットディスプレースメントdispを加算した内容です。dispはゼロ拡張後、オペランドサイズによってバイトで1倍、ワードで2倍、ロングワードで4倍します。 	バイト：Rn＋disp→EA ワード：Rn＋disp × 2→EA ロングワード：Rn＋disp × 4→EA
インデックス付きレジスタ間接	@(R0, Rn)	実効アドレスはレジスタRnにR0を加算した内容です。 	Rn + R0 → EA

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレースメント付きGBR 間接	@(disp:8, GBR)	実効アドレスはレジスタGBR に8 ビットディスプレースメントdisp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで1 倍、ワードで2 倍、ロングワードで4 倍します。 	バイト：GBR＋disp→EA ワード：GBR＋disp × 2→EA ロングワード：GBR＋disp × 4→EA
インデックス付きGBR 間接	@(R0, GBR)	実効アドレスはレジスタGBR にR0 を加算した内容です。 	GBR + R0 → EA
ディスプレースメント付きPC 相対	@(disp:8, PC)	実効アドレスはPC＋4 に8 ビットディスプレースメントdisp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで2 倍、ロングワードで4 倍します。さらにロングワードのときはPCの下位2 ビットをマスクします。 	ワード：PC＋4＋disp × 2→EA ロングワード： PC & H'FFFF FFFC + 4 + disp × 4 → EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	実効アドレスはPC＋4 に8 ビットディスプレースメントdisp を符号拡張後2 倍し、加算した内容です。 	PC + 4 + disp × 2 → Branch-Target
	disp:12	実効アドレスはPC＋4 に12 ビットディスプレースメントdisp を符号拡張後2 倍し、加算した内容です。 	PC + 4 + disp × 2 → Branch-Target
	Rn	実効アドレスはPC＋4 にRn を加算した内容です。 	PC + 4 + Rn → Branch-Target
イミディエイト	#imm:8	TST、AND、OR、XOR命令の8 ビットイミディエイトimm はゼロ拡張します。	—
	#imm:8	MOV、ADD、CMP/EQ 命令の8 ビットイミディエイトimm は符号拡張します。	—
	#imm:8	TRAPA 命令の8 ビットイミディエイトimm はゼロ拡張後、4 倍します。	—

注. 下記のディスプレースメント（disp）を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング（×1、×2、×4）を行う前の値を書いています。これは、LSI の動作を明確にするためで、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@（disp:4, Rn）　：ディスプレースメント付きレジスタ間接
@（disp:8, GBR）　：ディスプレースメント付きGBR 間接
@（disp:8, PC）　：ディスプレースメント付きPC 相対
disp: 8, disp:12　：PC 相対

3.3 命令セット

表3.4～表3.13 に示すSuperH 命令の説明に使用する表記を表3.3 に示します。

表3.3 命令リストの表記

項目	フォーマット	説 明
命令ニーモニック	OP.Sz SRC, DEST	OP ：オペレーションコード Sz ：サイズ SRC ：ソースオペランド DEST：ソース及び／又はデスティネーションオペランド Rm ：ソースレジスタ Rn ：デスティネーションレジスタ imm ：イミディエイトデータ disp ：ディスプレースメント
演算の要約		→、← ：転送方向 (xx) ：メモリオペランド M/Q/T ：SR のフラグビット & ：各ビットの論理積 | ：各ビットの論理和 ^ ：各ビット排他的論理和 ~ ：各ビットの論理否定 <<n,>>n ：n ビットシフト
命令コード	MSB ↔ LSB	mmmm ：レジスタ番号（Rm、FRm） nnnn ：レジスタ番号（Rn、FRn） 0000 ：R0, FR0 0001 ：R1, FR1 : 1111 ：R15, FR15 mmm ：レジスタ番号（DRm、XDm、Rm_BANK） nnn ：レジスタ番号（DRn、XDn、Rn_BANK） 000 ：DR0、XD0、R0_BANK 001 ：DR2、XD2、R1_BANK : 111 ：DR14、XD14、R7_BANK mm ：レジスタ番号(FVm) nn ：レジスタ番号(FVn) 00 ：FV0 01 ：FV4 10 ：FV8 11 ：FV12 iiii ：イミディエイト値 dddd ：ディスプレースメント
特権モード	—	「特権」と記載してある場合、特権モードでのみ実行可能です。
T ビット	命令実行後のT ビットの値	－：変更なし
新規	—	「新規」と記載してある場合は、プロセッサバージョンレジスタ（PVR）のVER ビットの値がH'20 のSH-4A で新規に追加された命令です。

注. スケーリング（x1、x2、x4、x8）は命令オペランドのサイズに応じて実行されます。

表3.4 固定小数点転送命令

命令		動作	命令コード	特権	T ビット	新規
MOV	#imm,Rn	imm → sign extension → Rn	1110nnnniiiiiiii	—	—	—
MOV.W	@(disp(注),PC), Rn	(disp × 2 + PC + 4) → sign extension → Rn	1001nnnnddddddd	—	—	—
MOV.L	@(disp(注),PC), Rn	(disp × 4 + PC & H'FFFF FFFC + 4) → Rn	1101nnnnddddddd	—	—	—
MOV	Rm,Rn	Rm → Rn	0110nnnnmmmm0011	—	—	—
MOV.B	Rm,@Rn	Rm → (Rn)	0010nnnnmmmm0000	—	—	—
MOV.W	Rm,@Rn	Rm → (Rn)	0010nnnnmmmm0001	—	—	—
MOV.L	Rm,@Rn	Rm → (Rn)	0010nnnnmmmm0010	—	—	—
MOV.B	@Rm,Rn	(Rm) → sign extension → Rn	0110nnnnmmmm0000	—	—	—
MOV.W	@Rm,Rn	(Rm) → sign extension → Rn	0110nnnnmmmm0001	—	—	—
MOV.L	@Rm,Rn	(Rm) → Rn	0110nnnnmmmm0010	—	—	—
MOV.B	Rm,@-Rn	Rn-1 → Rn, Rm → (Rn)	0010nnnnmmmm0100	—	—	—
MOV.W	Rm,@-Rn	Rn-2 → Rn, Rm → (Rn)	0010nnnnmmmm0101	—	—	—
MOV.L	Rm,@-Rn	Rn-4 → Rn, Rm → (Rn)	0010nnnnmmmm0110	—	—	—
MOV.B	@Rm+,Rn	(Rm)→ sign extension → Rn, Rm + 1 → Rm	0110nnnnmmmm0100	—	—	—
MOV.W	@Rm+,Rn	(Rm) → sign extension → Rn, Rm + 2 → Rm	0110nnnnmmmm0101	—	—	—
MOV.L	@Rm+,Rn	(Rm) → Rn, Rm + 4 → Rm	0110nnnnmmmm0110	—	—	—
MOV.B	R0,@(disp(注),Rn)	R0 → (disp + Rn)	10000000nnnndddd	—	—	—
MOV.W	R0,@(disp(注),Rn)	R0 → (disp × 2 + Rn)	10000001nnnndddd	—	—	—
MOV.L	Rm,@(disp(注),Rn)	Rm → (disp × 4 + Rn)	0001nnnnmmmmdddd	—	—	—
MOV.B	@(disp(注),Rm),R0	(disp + Rm) → sign extension → R0	10000100mmmmdddd	—	—	—
MOV.W	@(disp(注),Rm),R0	(disp × 2 + Rm) → sign extension → R0	10000101mmmmdddd	—	—	—
MOV.L	@(disp(注),Rm),Rn	(disp × 4 + Rm) → Rn	0101nnnnmmmmdddd	—	—	—
MOV.B	Rm,@(R0,Rn)	Rm → (R0 + Rn)	0000nnnnmmmm0100	—	—	—
MOV.W	Rm,@(R0,Rn)	Rm → (R0 + Rn)	0000nnnnmmmm0101	—	—	—
MOV.L	Rm,@(R0,Rn)	Rm → (R0 + Rn)	0000nnnnmmmm0110	—	—	—
MOV.B	@(R0,Rm),Rn	(R0 + Rm) → sign extension → Rn	0000nnnnmmmm1100	—	—	—
MOV.W	@(R0,Rm),Rn	(R0 + Rm) → sign extension → Rn	0000nnnnmmmm1101	—	—	—
MOV.L	@(R0,Rm),Rn	(R0 + Rm) → Rn	0000nnnnmmmm1110	—	—	—
MOV.B	R0,@(disp(注),GBR)	R0 → (disp + GBR)	11000000dddddddd	—	—	—
MOV.W	R0@(disp(注),GBR)	R0 → (disp × 2 + GBR)	11000001dddddddd	—	—	—
MOV.L	R0,@(disp(注),GBR)	R0 → (disp × 4 + GBR)	11000010dddddddd	—	—	—
MOV.B	@(disp(注),GBR),R0	(disp + GBR) → sign extension → R0	11000100dddddddd	—	—	—
MOV.W	@(disp(注),GBR)R0	(disp × 2 + GBR) → sign extension → R0	11000101dddddddd	—	—	—
MOV.L	@(disp(注),GBR),R0	(disp × 4 + GBR) → R0	11000110dddddddd	—	—	—
MOVA	@(disp(注),PC),R0	disp × 4 + PC & H'FFFF FFFC + 4 → R0	11000111dddddddd	—	—	—
MOVCO.L	R0,@Rn	LDST → T If (T == 1) R0 → (Rn)0 → LDST	0000nnnn01110011	—	LDST	新規

命令		動作	命令コード	特権	T ビット	新規
MOVLI.L	@Rm,R0	1 → LDST(Rm) → R0 When interrupt/exception occurred 0 → LDST	0000mmmm01100011	—	—	新規
MOVUA.L	@Rm,R0	(Rm) → R0 Load non-boundary alignment data	0100mmmm10101001	—	—	新規
MOVUA.L	@Rm+,R0	(Rm) → R0, Rm + 4 → Rm Load non-boundary alignment data	0100mmmm11101001	—	—	新規
MOVT	Rn	T → Rn	0000nnnn00101001	—	—	—
SWAP.B	Rm,Rn	Rm → swap lower 2 bytes→ Rn	0110nnnnmmmm1000	—	—	—
SWAP.W	Rm,Rn	Rm → swap upper/lower words → Rn	0110nnnnmmmm1001	—	—	—
XTRCT	Rm,Rn	Rm:Rn middle 32 bits → Rn	0010nnnnmmmm1101	—	—	—

注. ルネサスのアセンブラでは、disp にスケーリング後（×1、×2、×4）の値を設定します。

表3.5 算術演算命令

命令		動作	命令コード	特権	T ビット	新規
ADD	Rm,Rn	Rn + Rm → Rn	0011nnnnmmmm1100	—	—	—
ADD	#imm,Rn	Rn + imm → Rn	0111nnnniiiiiiii	—	—	—
ADDC	Rm,Rn	Rn + Rm + T → Rn, carry → T	0011nnnnmmmm1110	—	キャリ	—
ADDV	Rm,Rn	Rn + Rm → Rn, overflow → T	0011nnnnmmmm1111	—	オーバフロー	—
CMP/EQ	#imm,R0	When R0 = imm, 1 → T Otherwise, 0 → T	10001000iiiiiiii	—	比較結果	—
CMP/EQ	Rm,Rn	When Rn = Rm, 1 → T Otherwise, 0 → T	0011nnnnmmmm0000	—	比較結果	—
CMP/HS	Rm,Rn	When Rn ≥ Rm (unsigned), 1 → T Otherwise, 0 → T	0011nnnnmmmm0010	—	比較結果	—
CMP/GE	Rm,Rn	When Rn ≥ Rm (signed), 1 → T Otherwise, 0 → T	0011nnnnmmmm0011	—	比較結果	—
CMP/HI	Rm,Rn	When Rn > Rm (unsigned), 1 → T Otherwise, 0 → T	0011nnnnmmmm0110	—	比較結果	—
CMP/GT	Rm,Rn	When Rn > Rm (signed), 1 → T Otherwise, 0 → T	0011nnnnmmmm0111	—	比較結果	—
CMP/PZ	Rn	When Rn ≥ 0, 1 → T Otherwise, 0 → T	0100nnnn00010001	—	比較結果	—
CMP/PL	Rn	When Rn > 0, 1 → T Otherwise, 0 → T	0100nnnn00010101	—	比較結果	—
CMP/STR	Rm,Rn	When any bytes are equal, 1 → T Otherwise, 0 → T	0010nnnnmmmm1100	—	比較結果	—
DIV1	Rm,Rn	1-step division (Rn ÷ Rm)	0011nnnnmmmm0100	—	計算結果	—
DIV0S	Rm,Rn	MSB of Rn → Q, MSB of Rm → M, M^Q → T	0010nnnnmmmm0111	—	計算結果	—
DIV0U		0 → M/Q/T	0000000000011001	—	0	—
DMULS.L	Rm,Rn	Signed, Rn × Rm → MAC, 32 × 32 → 64 bits	0011nnnnmmmm1101	—	—	—
DMULU.L	Rm,Rn	Unsigned, Rn × Rm → MAC, 32 × 32 → 64 bits	0011nnnnmmmm0101	—	—	—
DT	Rn	Rn – 1 → Rn; when Rn = 0, 1 → T When Rn ≠ 0, 0 → T	0100nnnn00010000	—	比較結果	—
EXTS.B	Rm,Rn	Rm sign-extended from byte → Rn	0110nnnnmmmm1110	—	—	—
EXTS.W	Rm,Rn	Rm sign-extended from word → Rn	0110nnnnmmmm1111	—	—	—
EXTU.B	Rm,Rn	Rm zero-extended from byte → Rn	0110nnnnmmmm1100	—	—	—
EXTU.W	Rm,Rn	Rm zero-extended from word → Rn	0110nnnnmmmm1101	—	—	—

命令	動作	命令コード	特権	T ビット	新規
MAC.L @Rm+,@Rn+	Signed, (Rn) × (Rm) + MAC → MAC Rn + 4 → Rn, Rm + 4 → Rm 32 × 32 + 64 → 64 bits	0000nnnnmmmm1111	—	—	—
MAC.W @Rm+,@Rn+	Signed, (Rn) × (Rm) + MAC → MAC Rn + 2 → Rn, Rm + 2 → Rm 16 × 16 + 64 → 64 bits	0100nnnnmmmm1111	—	—	—
MUL.L Rm,Rn	Rn × Rm → MACL 32 × 32 → 32 bits	0000nnnnmmmm0111	—	—	—
MULS.W Rm,Rn	Signed, Rn × Rm → MACL 16 × 16 → 32 bits	0010nnnnmmmm1111	—	—	—
MULU.W Rm,Rn	Unsigned, Rn × Rm → MACL 16 × 16 → 32 bits	0010nnnnmmmm1110	—	—	—
NEG Rm,Rn	0 – Rm → Rn	0110nnnnmmmm1011	—	—	—
NEGC Rm,Rn	0 – Rm – T → Rn, borrow → T	0110nnnnmmmm1010	—	ボロー	—
SUB Rm,Rn	Rn – Rm → Rn	0011nnnnmmmm1000	—	—	—
SUBC Rm,Rn	Rn – Rm – T → Rn, borrow → T	0011nnnnmmmm1010	—	ボロー	—
SUBV Rm,Rn	Rn – Rm → Rn, underflow → T	0011nnnnmmmm1011	—	アンダフロー	—

表3.6 論理演算命令

命令		動作	命令コード	特権	T ビット	新規
AND	Rm,Rn	Rn & Rm → Rn	0010nnnnmmmm1001	—	—	—
AND	#imm,R0	R0 & imm → R0	11001001iiiiiiii	—	—	—
AND.B	#imm, @(R0,GBR)	(R0 + GBR) & imm → (R0 + GBR)	11001101iiiiiiii	—	—	—
NOT	Rm,Rn	~Rm → Rn	0110nnnnmmmm0111	—	—	—
OR	Rm,Rn	Rn | Rm → Rn	0010nnnnmmmm1011	—	—	—
OR	#imm,R0	R0 | imm → R0	11001011iiiiiiii	—	—	—
OR.B	#imm, @(R0,GBR)	(R0 + GBR) | imm → (R0 + GBR)	11001111iiiiiiii	—	—	—
TAS.B	@Rn	When (Rn) = 0, 1 → T Otherwise, 0 → T In both cases, 1 → MSB of (Rn)	0100nnnn00011011	—	テスト結果	—
TST	Rm,Rn	Rn & Rm; when result = 0, 1 → T Otherwise, 0 → T	0010nnnnmmmm1000	—	テスト結果	—
TST	#imm,R0	R0 & imm; when result = 0, 1 → T Otherwise, 0 → T	11001000iiiiiiii	—	テスト結果	—
TST.B	#imm, @(R0,GBR)	(R0 + GBR) & imm; when result = 0, 1 → T Otherwise, 0 → T	11001100iiiiiiii	—	テスト結果	—
XOR	Rm,Rn	Rn ∧ Rm → Rn	0010nnnnmmmm1010	—	—	—
XOR	#imm,R0	R0 ∧ imm → R0	11001010iiiiiiii	—	—	—
XOR.B	#imm, @(R0,GBR)	(R0 + GBR) ∧ imm → (R0 + GBR)	11001110iiiiiiii	—	—	—

表3.7 シフト命令

命令		動作	命令コード	特権	T ビット	新規
ROTL	Rn	T ← Rn ← MSB	0100nnnn00000100	—	MSB	—
ROTR	Rn	LSB → Rn → T	0100nnnn00000101	—	LSB	—
ROTCL	Rn	T ← Rn ← T	0100nnnn00100100	—	MSB	—
ROTCR	Rn	T → Rn → T	0100nnnn00100101	—	LSB	—
SHAD	Rm,Rn	When Rm ≥ 0, Rn << Rm → Rn When Rm < 0, Rn >> Rm → [MSB → Rn]	0100nnnnmmmm1100	—	—	—
SHAL	Rn	T ← Rn ← 0	0100nnnn00100000	—	MSB	—
SHAR	Rn	MSB → Rn → T	0100nnnn00100001	—	LSB	—
SHLD	Rm,Rn	When Rm ≥ 0, Rn << Rm → Rn When Rm < 0, Rn >> Rm → [0 → Rn]	0100nnnnmmmm1101	—	—	—
SHLL	Rn	T ← Rn ← 0	0100nnnn00000000	—	MSB	—
SHLR	Rn	0 → Rn → T	0100nnnn00000001	—	LSB	—
SHLL2	Rn	Rn << 2 → Rn	0100nnnn00001000	—	—	—
SHLR2	Rn	Rn >> 2 → Rn	0100nnnn00001001	—	—	—
SHLL8	Rn	Rn << 8 → Rn	0100nnnn00011000	—	—	—
SHLR8	Rn	Rn >> 8 → Rn	0100nnnn00011001	—	—	—
SHLL16	Rn	Rn << 16 → Rn	0100nnnn00101000	—	—	—
SHLR16	Rn	Rn >> 16 → Rn	0100nnnn00101001	—	—	—

表3.8 分岐命令

命令		動作	命令コード	特権	T ビット	新規
BF	label	When T = 0, disp × 2 + PC +4 → PC When T = 1, nop	10001011dddddddd	—	—	—
BF/S	label	Delayed branch; when T = 0, disp × 2 + PC + 4 → PC When T = 1, nop	10001111dddddddd	—	—	—
BT	label	When T = 1, disp × 2 + PC + 4 → PC When T = 0, nop	10001001dddddddd	—	—	—
BT/S	label	Delayed branch; when T = 1, disp × 2 + PC + 4 → PC When T = 0, nop	10001101dddddddd	—	—	—
BRA	label	Delayed branch, disp × 2 + PC + 4 → PC	1010dddddddddddd	—	—	—
BRAF	Rn	Delayed branch, Rn + PC + 4 → PC	0000nnnn00100011	—	—	—
BSR	label	Delayed branch, PC + 4 → PR, disp × 2 + PC + 4 → PC	1011dddddddddddd	—	—	—
BSRF	Rn	Delayed branch, PC + 4 → PR, Rn + PC + 4 → PC	0000nnnn00000011	—	—	—
JMP	@Rn	Delayed branch, Rn → PC	0100nnnn00101011	—	—	—
JSR	@Rn	Delayed branch, PC + 4 → PR, Rn → PC	0100nnnn00001011	—	—	—
RTS		Delayed branch, PR → PC	0000000000001011	—	—	—

表3.9 システム制御命令

命令		動作	命令コード	特権	T ビット	新規
CLRMAC		0 → MACH, MACL	0000000000101000	—	—	—
CLRS		0 → S	0000000001001000	—	—	—
CLRT		0 → T	0000000000001000	—	0	—
ICBI	@Rn	Invalidates instruction cache block	0000nnnn11100011	—	—	新規
LDC	Rm,SR	Rm → SR	0100mmmm00001110	特権	LSB	—
LDC	Rm,GBR	Rm → GBR	0100mmmm00011110	—	—	—
LDC	Rm,VBR	Rm → VBR	0100mmmm00101110	特権	—	—
LDC	Rm,SGR	Rm → SGR	0100mmmm00111010	特権	—	新規
LDC	Rm,SSR	Rm → SSR	0100mmmm00111110	特権	—	—
LDC	Rm,SPC	Rm → SPC	0100mmmm01001110	特権	—	—
LDC	Rm,DBR	Rm → DBR	0100mmmm11111010	特権	—	—
LDC	Rm, Rn_BANK	Rm → Rn_BANK (n = 0 to 7)	0100mmmm1nnn1110	特権	—	—
LDC.L	@Rm+,SR	(Rm) → SR, Rm + 4 → Rm	0100mmmm00000111	特権	LSB	—
LDC.L	@Rm+,GBR	(Rm) → GBR, Rm + 4 → Rm	0100mmmm00010111	—	—	—
LDC.L	@Rm+,VBR	(Rm) → VBR, Rm + 4 → Rm	0100mmmm00100111	特権	—	—
LDC.L	@Rm+,SGR	(Rm) → SGR, Rm + 4 → Rm	0100mmmm00110110	特権	—	新規
LDC.L	@Rm+,SSR	(Rm) → SSR, Rm + 4 → Rm	0100mmmm00110111	特権	—	—
LDC.L	@Rm+,SPC	(Rm) → SPC, Rm + 4 → Rm	0100mmmm01000111	特権	—	—
LDC.L	@Rm+,DBR	(Rm) → DBR, Rm + 4 → Rm	0100mmmm11110110	特権	—	—
LDC.L	@Rm+,Rn_BANK	(Rm) → Rn_BANK, Rm + 4 → Rm	0100mmmm1nnn0111	特権	—	—

命令		動作	命令コード	特権	T ビット	新規
LDS	Rm,MACH	Rm → MACH	0100mmmm00001010	—	—	—
LDS	Rm,MACL	Rm → MACL	0100mmmm00011010	—	—	—
LDS	Rm,PR	Rm → PR	0100mmmm00101010	—	—	—
LDS.L	@Rm+,MACH	(Rm) → MACH, Rm + 4 → Rm	0100mmmm00000110	—	—	—
LDS.L	@Rm+,MACL	(Rm) → MACL, Rm + 4 → Rm	0100mmmm00010110	—	—	—
LDS.L	@Rm+,PR	(Rm) → PR, Rm + 4 → Rm	0100mmmm00100110	—	—	—
LDTLB		PTEH/PTEL (/PTEA) → TLB	0000000000111000	特権	—	—
MOVCA.L	R0,@Rn	R0 → (Rn) (without fetching cache block)	0000nnnn11000011	—	—	—
NOP		No operation	0000000000001001	—	—	—
OCBI	@Rn	Invalidates operand cache block	0000nnnn10010011	—	—	—
OCBP	@Rn	Writes back and invalidates operand cache block	0000nnnn10100011	—	—	—
OCBWB	@Rn	Writes back operand cache block	0000nnnn10110011	—	—	—
PREF	@Rn	(Rn) → operand cache	0000nnnn10000011	—	—	—
PREFI	@Rn	Reads 32-byte instruction block into instruction cache	0000nnnn11010011	—	—	新規
RTE		Delayed branch, SSR/SPC → SR/PC	0000000000101011	特権	—	—
SETS		1 → S	0000000001011000	—	—	—
SETT		1 → T	0000000000011000	—	1	—
SLEEP		Sleep or standby	0000000000011011	特権	—	—
STC	SR,Rn	SR → Rn	0000nnnn00000010	特権	—	—
STC	GBR,Rn	GBR → Rn	0000nnnn00010010	—	—	—
STC	VBR,Rn	VBR → Rn	0000nnnn00100010	特権	—	—
STC	SSR,Rn	SSR → Rn	0000nnnn00110010	特権	—	—
STC	SPC,Rn	SPC → Rn	0000nnnn01000010	特権	—	—
STC	SGR,Rn	SGR → Rn	0000nnnn00111010	特権	—	—
STC	DBR,Rn	DBR → Rn	0000nnnn11111010	特権	—	—
STC	Rm_BANK,Rn	Rm_BANK → Rn (m = 0 to 7)	0000nnnn1mmm0010	特権	—	—
STC.L	SR,@-Rn	Rn – 4 → Rn, SR → (Rn)	0100nnnn00000011	特権	—	—
STC.L	GBR,@-Rn	Rn – 4 → Rn, GBR → (Rn)	0100nnnn00010011	—	—	—
STC.L	VBR,@-Rn	Rn – 4 → Rn, VBR → (Rn)	0100nnnn00100011	特権	—	—
STC.L	SSR,@-Rn	Rn – 4 → Rn, SSR → (Rn)	0100nnnn00110011	特権	—	—
STC.L	SPC,@-Rn	Rn – 4 → Rn, SPC → (Rn)	0100nnnn01000011	特権	—	—
STC.L	SGR,@-Rn	Rn – 4 → Rn, SGR → (Rn)	0100nnnn00110010	特権	—	—
STC.L	DBR,@-Rn	Rn – 4 → Rn, DBR → (Rn)	0100nnnn11110010	特権	—	—
STC.L	Rm_BANK,@-Rn	Rn – 4 → Rn, Rm_BANK → (Rn) (m = 0 to 7)	0100nnnn1mmm0011	特権	—	—
STS	MACH,Rn	MACH → Rn	0000nnnn00001010	—	—	—
STS	MACL,Rn	MACL → Rn	0000nnnn00011010	—	—	—
STS	PR,Rn	PR → Rn	0000nnnn00101010	—	—	—
STS.L	MACH,@-Rn	Rn – 4 → Rn, MACH → (Rn)	0100nnnn00000010	—	—	—
STS.L	MACL,@-Rn	Rn – 4 → Rn, MACL → (Rn)	0100nnnn00010010	—	—	—
STS.L	PR,@-Rn	Rn – 4 → Rn, PR → (Rn)	0100nnnn00100010	—	—	—

命令	動作	命令コード	特権	T ビット	新規
SYNCO	本命令に先行するデータアクセスの完了まで、本命令以降の命令によるデータアクセスを開始しません	0000000010101011	—	—	新規
TRAPA #imm	PC + 2 → SPC, SR → SSR, R15 → SGR, 1 → SR.MD/BL/RB, #imm << 2 → TRA, H'160 → EXPEVT, VBR + H'0100 → PC	11000011iiiiiiii	—	—	—

表3.10 浮動小数点単精度命令

命令		動作	命令コード	特権	T ビット	新規
FLDI0	FRn	H'0000 0000 → FRn	1111nnnn10001101	—	—	—
FLDI1	FRn	H'3F80 0000 → FRn	1111nnnn10011101	—	—	—
FMOV	FRm,FRn	FRm → FRn	1111nnnnmmmm1100	—	—	—
FMOV.S	@Rm,FRn	(Rm) → FRn	1111nnnnmmmm1000	—	—	—
FMOV.S	@(R0,Rm),FRn	(R0 + Rm) → FRn	1111nnnnmmmm0110	—	—	—
FMOV.S	@Rm+,FRn	(Rm) → FRn, Rm + 4 → Rm	1111nnnnmmmm1001	—	—	—
FMOV.S	FRm,@Rn	FRm → (Rn)	1111nnnnmmmm1010	—	—	—
FMOV.S	FRm,@-Rn	Rn-4 → Rn, FRm → (Rn)	1111nnnnmmmm1011	—	—	—
FMOV.S	FRm,@(R0,Rn)	FRm → (R0 + Rn)	1111nnnnmmmm0111	—	—	—
FMOV	DRm,DRn	DRm → DRn	1111nnn0mmm01100	—	—	—
FMOV	@Rm,DRn	(Rm) → DRn	1111nnn0mmmm1000	—	—	—
FMOV	@(R0,Rm),DRn	(R0 + Rm) → DRn	1111nnn0mmmm0110	—	—	—
FMOV	@Rm+,DRn	(Rm) → DRn, Rm + 8 → Rm	1111nnn0mmmm1001	—	—	—
FMOV	DRm,@Rn	DRm → (Rn)	1111nnnnmmm01010	—	—	—
FMOV	DRm,@-Rn	Rn-8 → Rn, DRm → (Rn)	1111nnnnmmm01011	—	—	—
FMOV	DRm,@(R0,Rn)	DRm → (R0 + Rn)	1111nnnnmmm00111	—	—	—
FLDS	FRm,FPUL	FRm → FPUL	1111mmmm00011101	—	—	—
FSTS	FPUL,FRn	FPUL → FRn	1111nnnn00001101	—	—	—
FABS	FRn	FRn & H'7FFF FFFF → FRn	1111nnnn01011101	—	—	—
FADD	FRm,FRn	FRn + FRm → FRn	1111nnnnmmmm0000	—	—	—
FCMP/EQ	FRm,FRn	When FRn = FRm, 1 → T Otherwise, 0 → T	1111nnnnmmmm0100	—	比較結果	—
FCMP/GT	FRm,FRn	When FRn > FRm, 1 → T Otherwise, 0 → T	1111nnnnmmmm0101	—	比較結果	—
FDIV	FRm,FRn	FRn/FRm → FRn	1111nnnnmmmm0011	—	—	—
FLOAT	FPUL,FRn	(float) FPUL → FRn	1111nnnn00101101	—	—	—
FMAC	FR0,FRm,FRn	FR0 × FRm + FRn → FRn	1111nnnnmmmm1110	—	—	—
FMUL	FRm,FRn	FRn × FRm → FRn	1111nnnnmmmm0010	—	—	—
FNEG	FRn	FRn ∧ H'8000 0000 → FRn	1111nnnn01001101	—	—	—
FSQRT	FRn	√FRn → FRn	1111nnnn01101101	—	—	—
FSUB	FRm,FRn	FRn – FRm → FRn	1111nnnnmmmm0001	—	—	—
FTRC	FRm,FPUL	(long) FRm → FPUL	1111mmmm00111101	—	—	—

表3.11 浮動小数点倍精度命令

命令		動作	命令コード	特権	T ビット	新規
FABS	DRn	DRn & H'7FFF FFFF FFFF FFFF → DRn	1111nnn001011101	—	—	—
FADD	DRm,DRn	DRn + DRm → DRn	1111nnn0mmm00000	—	—	—
FCMP/EQ	DRm,DRn	When DRn = DRm, 1 → T Otherwise, 0 → T	1111nnn0mmm00100	—	比較結果	—
FCMP/GT	DRm,DRn	When DRn > DRm, 1 → T Otherwise, 0 → T	1111nnn0mmm00101	—	比較結果	—
FDIV	DRm,DRn	DRn /DRm → DRn	1111nnn0mmm00011	—	—	—
FCNVDS	DRm,FPUL	double_to_ float(DRm) → FPUL	1111mmm010111101	—	—	—
FCNVSD	FPUL,DRn	float_to_ double (FPUL) → DRn	1111nnn010101101	—	—	—
FLOAT	FPUL,DRn	(float)FPUL → DRn	1111nnn000101101	—	—	—
FMUL	DRm,DRn	DRn × DRm → DRn	1111nnn0mmm00010	—	—	—
FNEG	DRn	DRn ^ H'8000 0000 0000 0000 → DRn	1111nnn001001101	—	—	—
FSQRT	DRn	√DRn → DRn	1111nnn001101101	—	—	—
FSUB	DRm,DRn	DRn – DRm → DRn	1111nnn0mmm00001	—	—	—
FTRC	DRm,FPUL	(long) DRm → FPUL	1111mmm000111101	—	—	—

表3.12 浮動小数点制御命令

命令		動作	命令コード	特権	T ビット	新規
LDS	Rm,FPSCR	Rm → FPSCR	0100mmmm01101010	—	—	—
LDS	Rm,FPUL	Rm → FPUL	0100mmmm01011010	—	—	—
LDS.L	@Rm+,FPSCR	(Rm) → FPSCR, Rm+4 → Rm	0100mmmm01100110	—	—	—
LDS.L	@Rm+,FPUL	(Rm) → FPUL, Rm+4 → Rm	0100mmmm01010110	—	—	—
STS	FPSCR,Rn	FPSCR → Rn	0000nnnn01101010	—	—	—
STS	FPUL,Rn	FPUL → Rn	0000nnnn01011010	—	—	—
STS.L	FPSCR,@-Rn	Rn – 4 → Rn, FPSCR → (Rn)	0100nnnn01100010	—	—	—
STS.L	FPUL,@-Rn	Rn – 4 → Rn, FPUL → (Rn)	0100nnnn01010010	—	—	—

表3.13 浮動小数点グラフィック強化命令

命令		動作	命令コード	特権	T ビット	新規
FMOV	DRm,XDn	DRm → XDn	1111nnn1mmm01100	—	—	—
FMOV	XDm,DRn	XDm → DRn	1111nnn0mmm11100	—	—	—
FMOV	XDm,XDn	XDm → XDn	1111nnn1mmm11100	—	—	—
FMOV	@Rm,XDn	(Rm) → XDn	1111nnn1mmmm1000	—	—	—
FMOV	@Rm+,XDn	(Rm) → XDn, Rm + 8 → Rm	1111nnn1mmmm1001	—	—	—
FMOV	@(R0,Rm),XDn	(R0 + Rm) → XDn	1111nnn1mmmm0110	—	—	—
FMOV	XDm,@Rn	XDm → (Rn)	1111nnnnmmm11010	—	—	—
FMOV	XDm,@-Rn	Rn – 8 → Rn, XDm → (Rn)	1111nnnnmmm11011	—	—	—
FMOV	XDm,@(R0,Rn)	XDm → (R0 + Rn)	1111nnnnmmm10111	—	—	—
FIPR	FVm,FVn	inner_product (FVm, FVn) → FR[n+3]	1111nnmm11101101	—	—	—
FTRV	XMTRX,FVn	transform_vector (XMTRX, FVn) → FVn	1111nn0111111101	—	—	—
FRCHG		~FPSCR.FR → FPSCR.FR	1111101111111101	—	—	—
FSCHG		~FPSCR.SZ → FPSCR.SZ	1111001111111101	—	—	—
FPCHG		~FPSCR.PR → FPSCR.PR	1111011111111101	—	—	新規
FSRRA	FRn	√FRn → FRn	1111nnnn01111101	—	—	新規
FSCA	FPUL,DRn	sin(FPUL) → FRn cos(FPUL) → FR[n + 1]	1111nnn011111101	—	—	新規

4. パイプライン動作

本LSIは2命令並列型（2-ILP, Instruction-Level-Parallelism）のスーパスカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2つの命令を並行して実行できます。

4.1 パイプライン

図4.1に基本パイプラインを示します。通常、パイプラインは命令フェッチ（I1、I2、I3）、デコード・レジスタリード（ID）、実行（E1、E2、E3）、ライトバック（WB）の8ステージから構成されます。1つの命令は基本パイプラインの組み合わせとして実行されます。

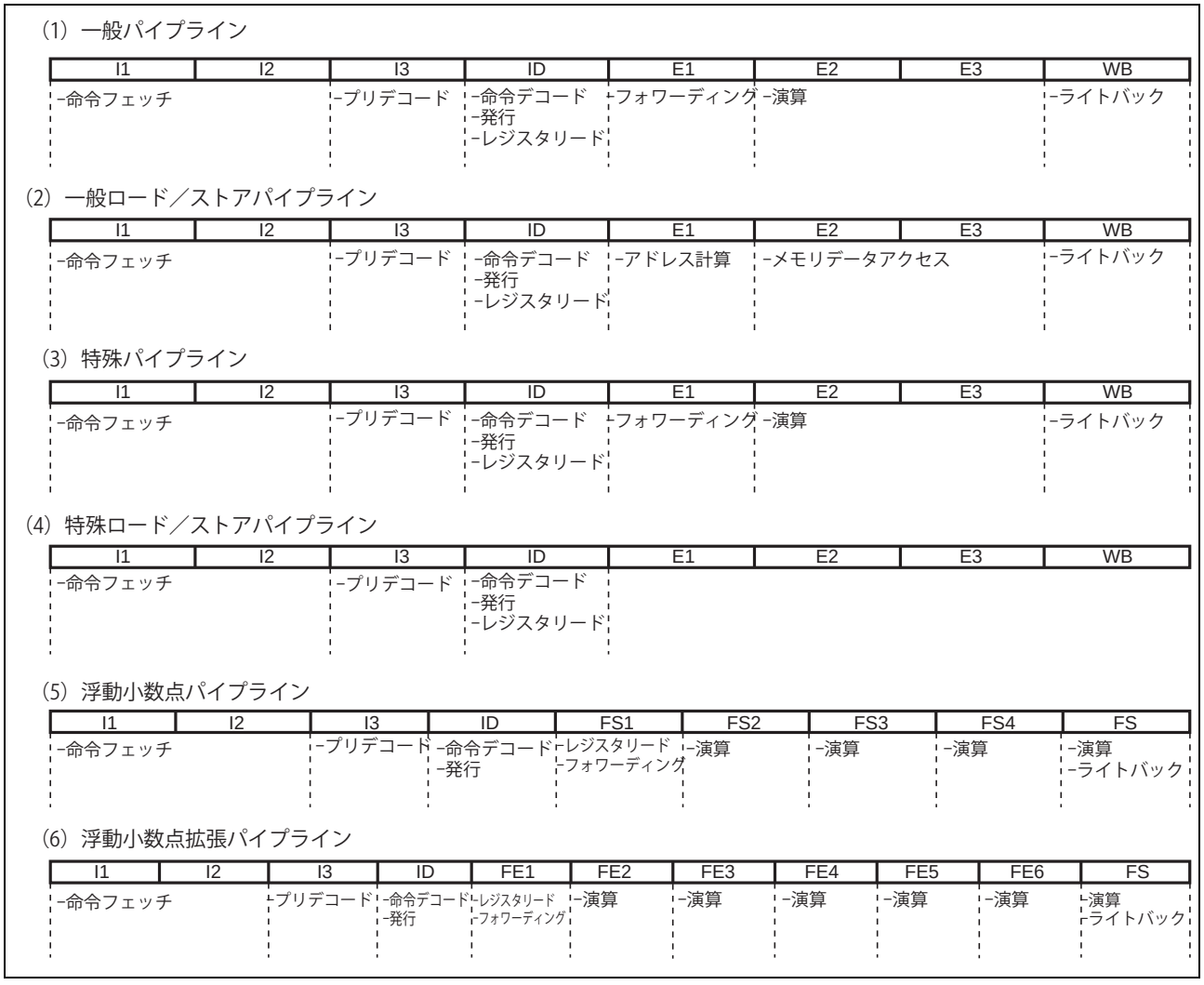


図 4.1　基本パイプライン

図4.2 に命令実行パターンを示します。図4.2 で使用する表記とその意味を以下に示します。

表4.1　命令実行パターン表記説明

表 記	意 味
E1 E2 E3 WB	CPU EX パイプ占有
S1 S2 S3 WB	CPU LS パイプ占有（メモリアクセスを伴う場合）
s1 s2 s3 WB	CPU LS パイプ占有（メモリアクセスを伴わない場合）
E1/S1	CPU EX かLS のいずれか一方を占有
E1S1 , E1s1	CPU EX とLS の両方を占有
M2 M3 MS	CPU MULT 演算器占有
FE1 FE2 FE3 FE4 FE5 FE6 FS	FPU-EX パイプ占有
FS1 FS2 FS3 FS4 FS	FPU-LS パイプ占有
ID	ID ステージをロック
└──	CPU とFPU 両方のパイプを占有

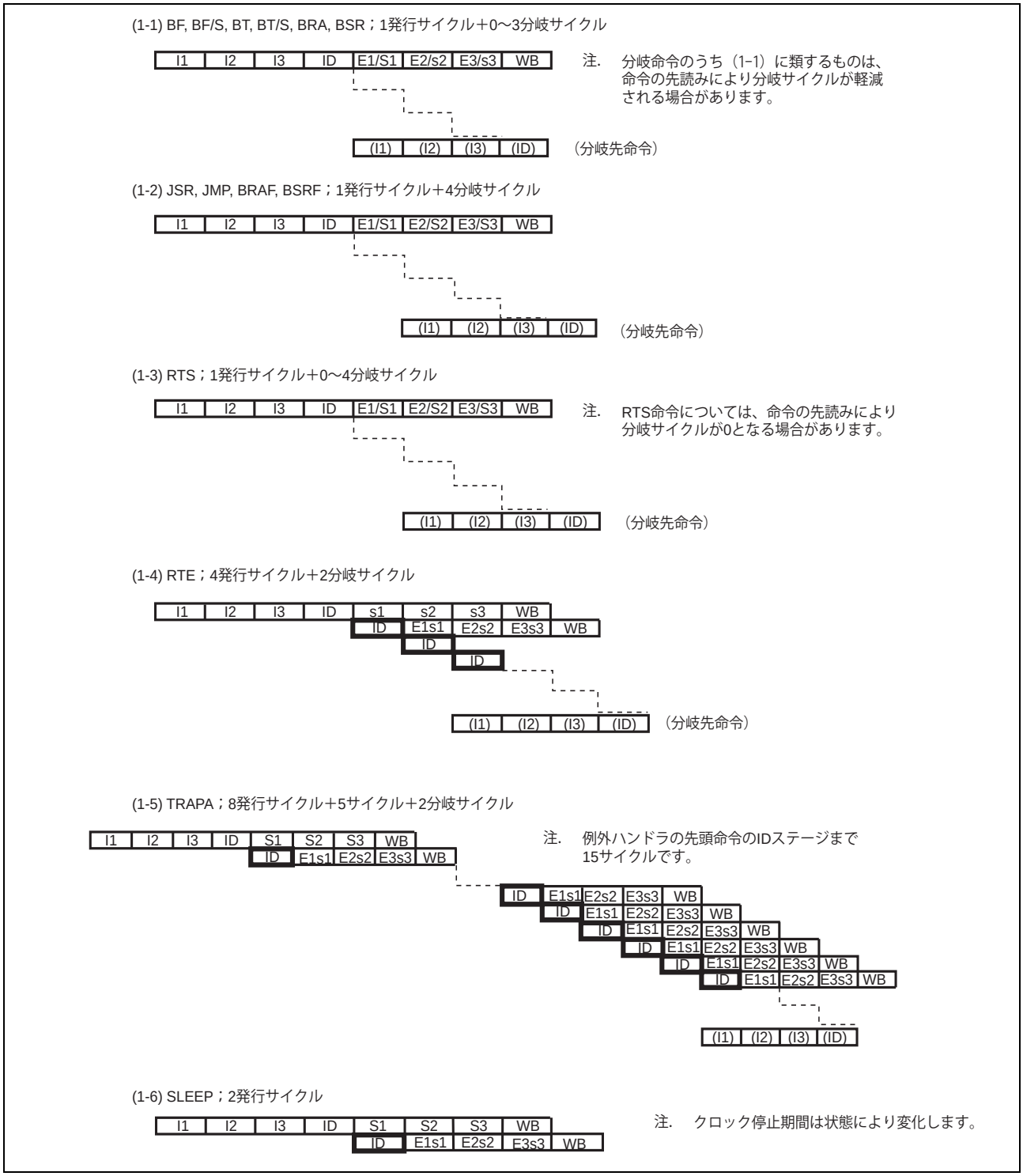


図 4.2 命令実行パターン（1）

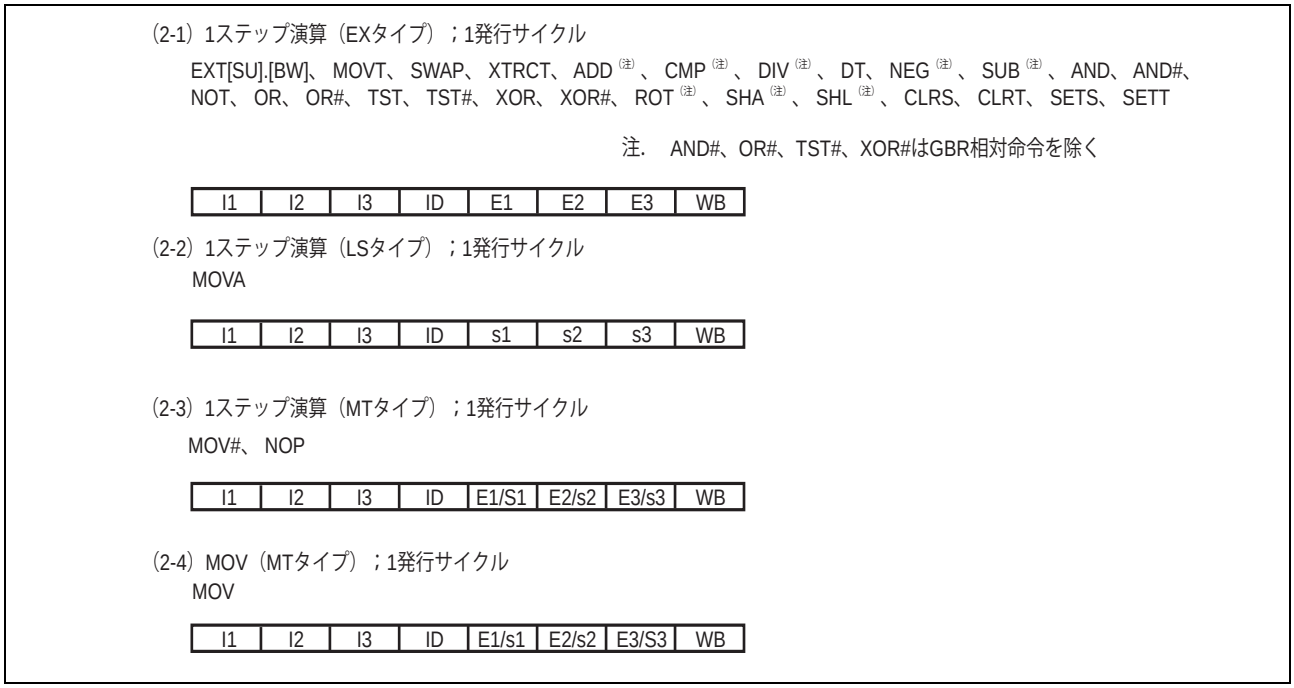


図 4.2　命令実行パターン（2）

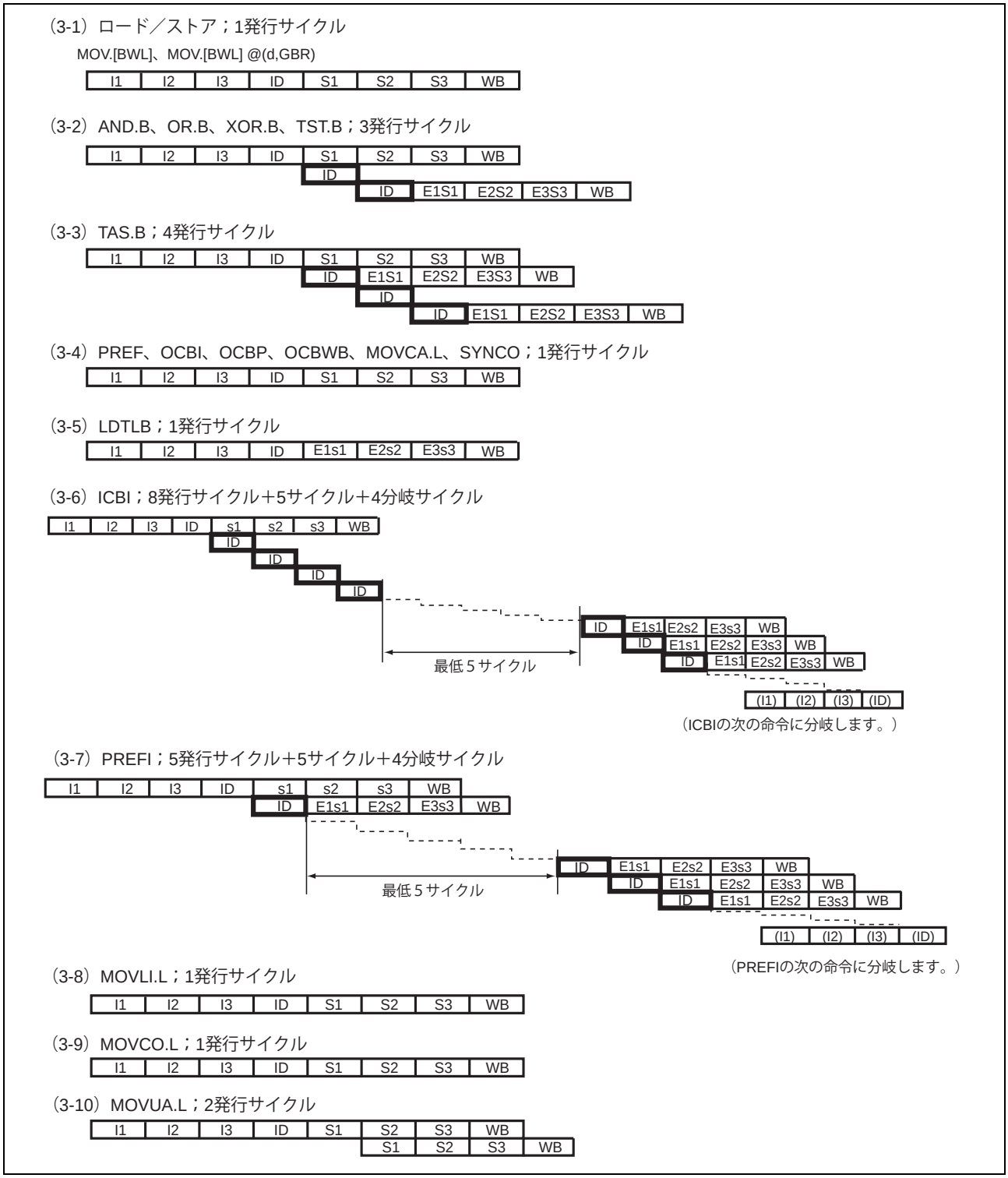


図 4.2　命令実行パターン（3）

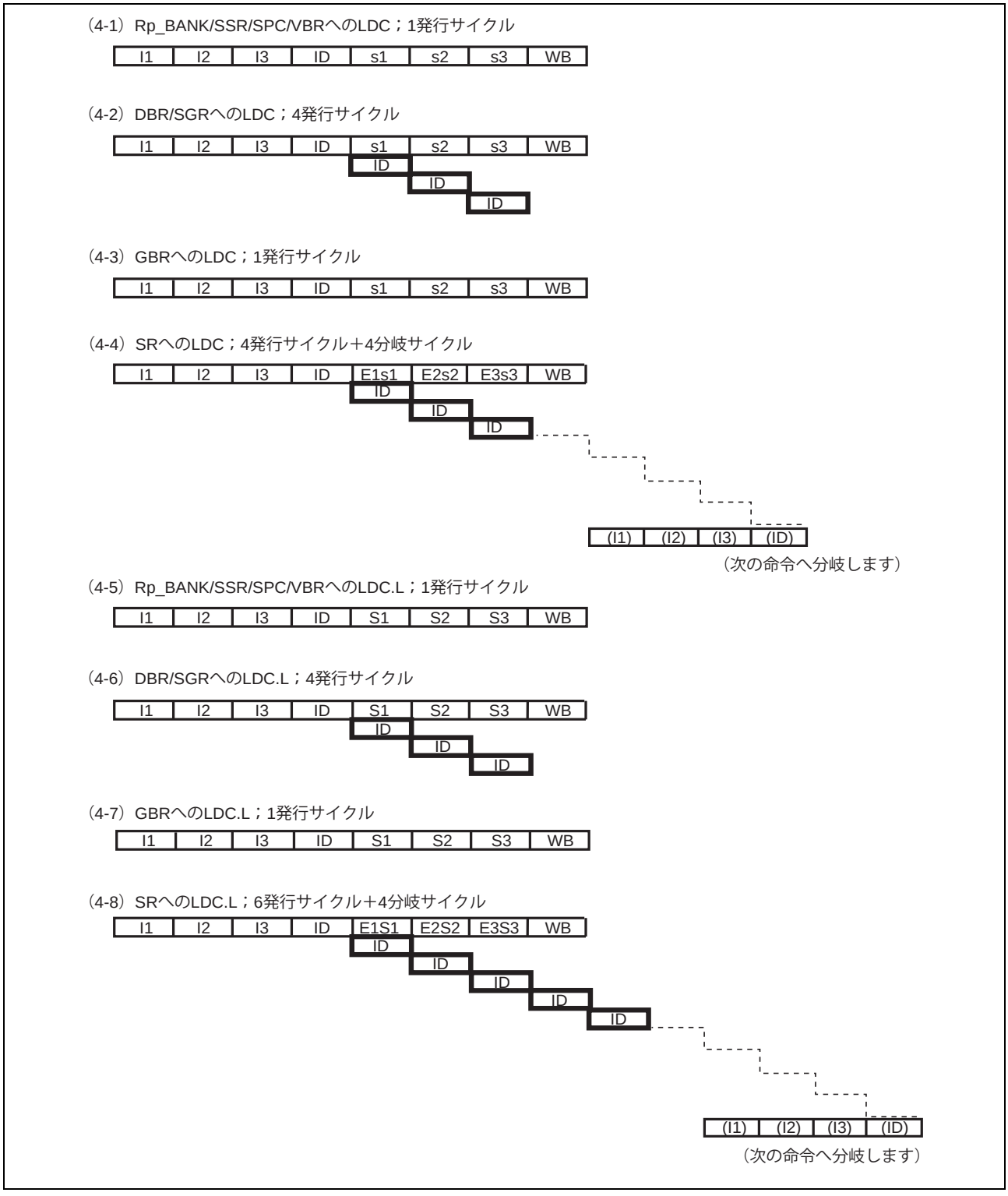


図 4.2　命令実行パターン（4）

（4-9）DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC；1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB

（4-10）SRからのSTC；1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB

（4-11）DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L；1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB

（4-12）SRからのSTC.L；1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB

（4-13）PRへのLDS；1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB

（4-14）PRへのLDS.L；1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB

（4-15）PRからのSTS；1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB

（4-16）PRからのSTS.L；1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB

（4-17）BSRF、BSR、JSRの遅延スロット命令（PRセット）；0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)

注. 遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、
更新されたPRの値が使用されます。

図 4.2 命令実行パターン（5）

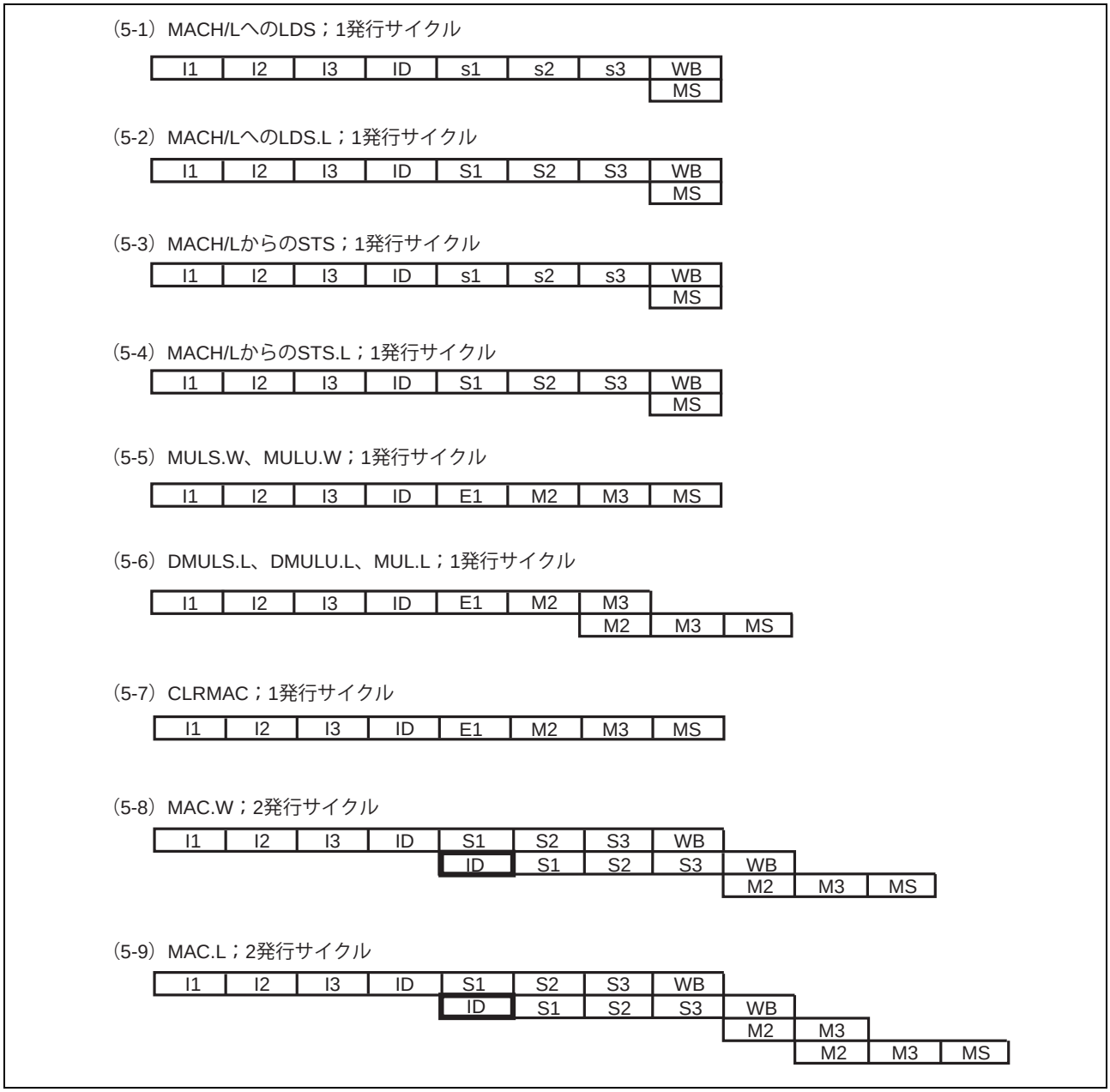


図 4.2　命令実行パターン（6）

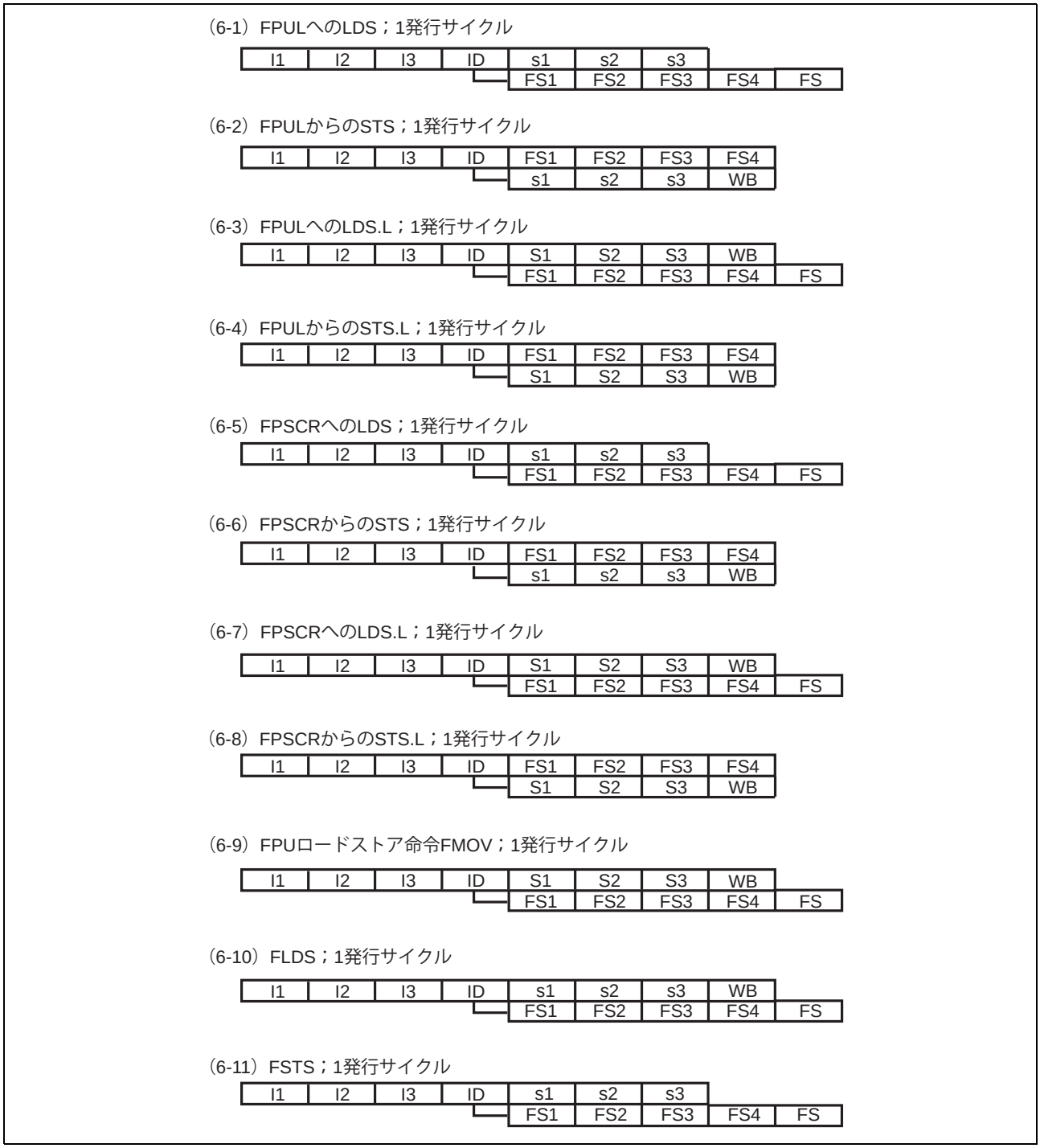


図 4.2 命令実行パターン（7）

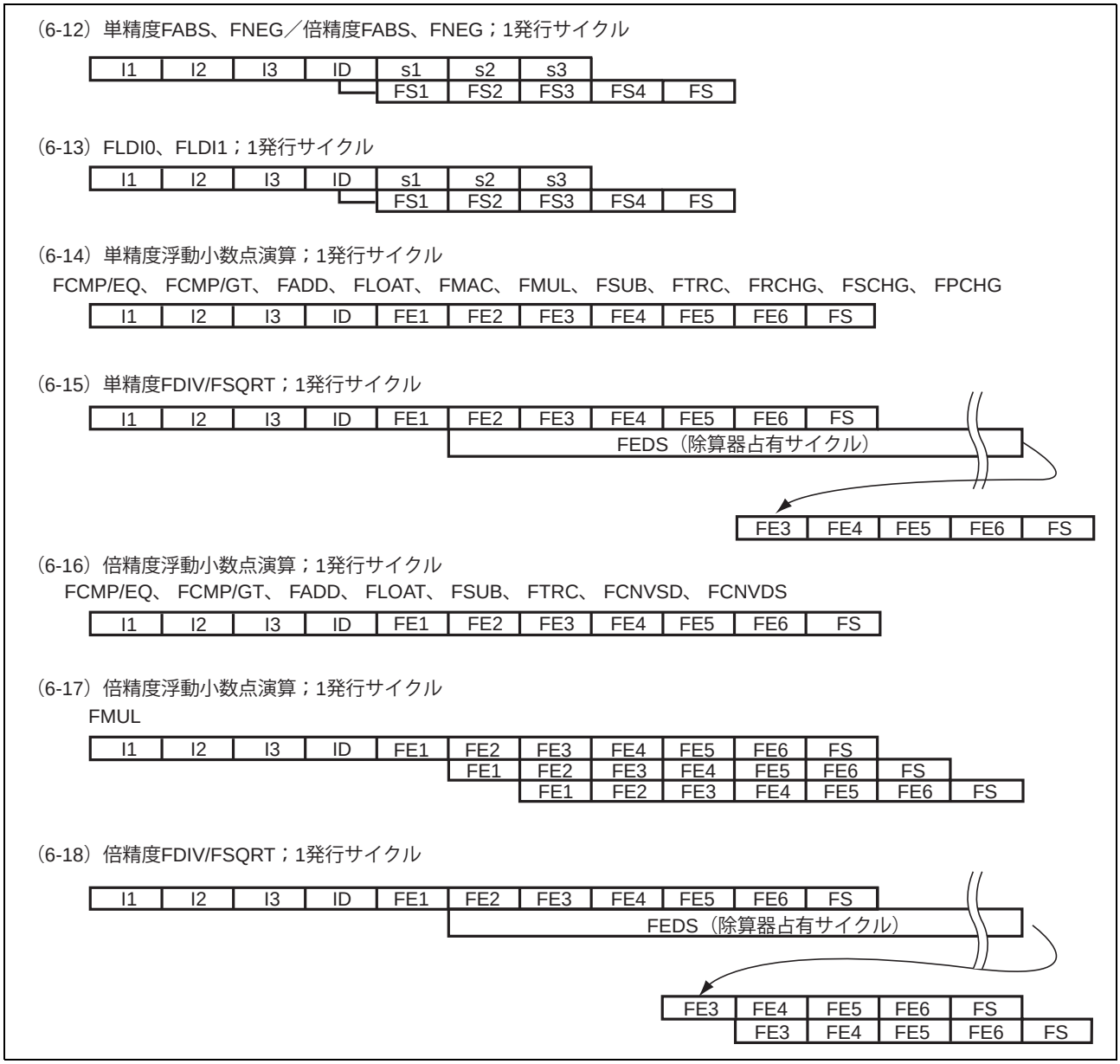


図 4.2 命令実行パターン（8）

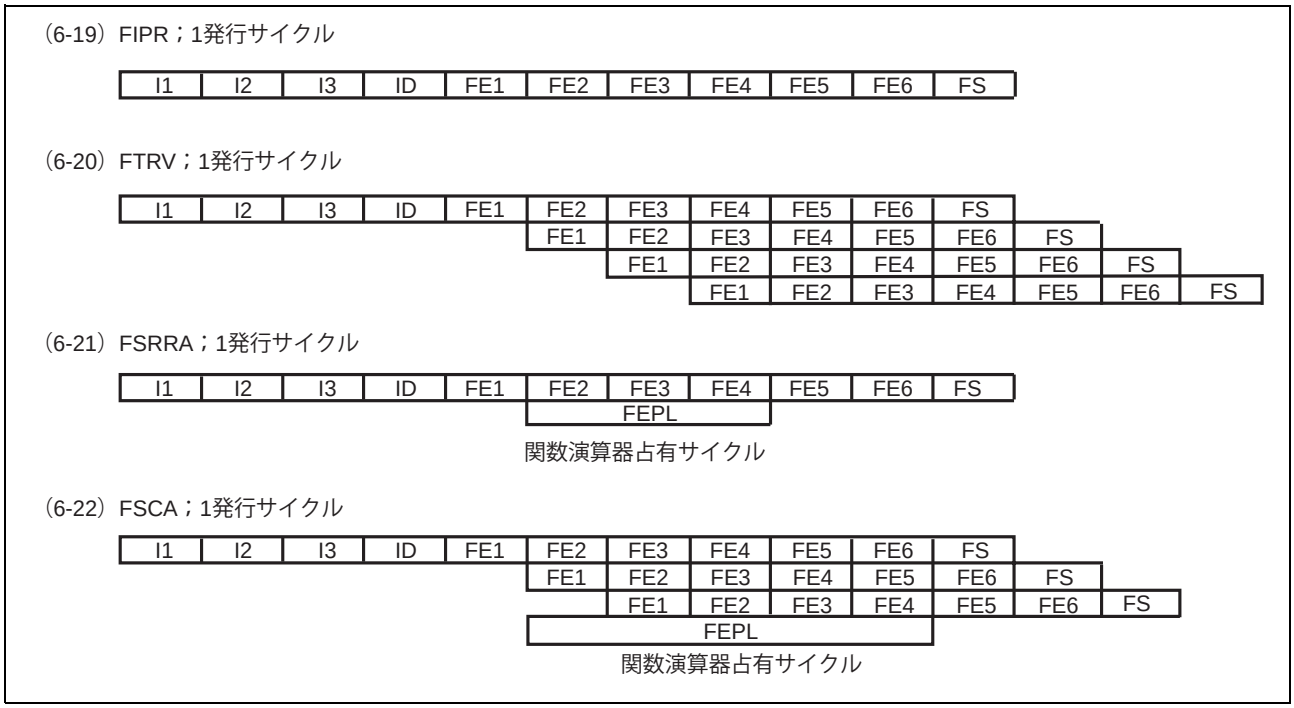


図 4.2　命令実行パターン（9）

4.2 並列実行性

命令は利用する内部機能ブロックにより、表4.2 に示すようなグループに分類されます。表4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表4.2 命令グループ

命令グループ	命 令			
EX	ADD ADDC ADDV AND #imm,R0 AND Rm,Rn CLRMAC CLRS CLRT CMP DIV0S DIV0U DIV1 DMUS.L DMULU.L	DT EXTS EXTU MOVT MUL.L MULS.W MULU.W NEG NEGC NOT OR #imm,R0 OR Rm,Rn ROTCL ROTCR	ROTL ROTR SETS SETT SHAD SHAL SHAR SHLD SHLL SHLL2 SHLL8 SHLL16 SHLR SHLR2	SHLR8 SHLR16 SUB SUBC SUBV SWAP TST #imm,R0 TST Rm,Rn XOR #imm,R0 XOR Rm,Rn XTRCT
MT	MOV #imm,Rn	MOV Rm,Rn	NOP	
BR	BF BF/S BRA	BRAF BSR BSRF	BT BT/S JMP	JSR RTS

LS	FABS
	FNEG
	FLDI0
	FLDI1
	FLDS
	FMOV @adr,FR
	FMOV FR,@adr
	FMOV FR,FR
	FMOV.S @adr,FR
		FMOV.S FR,@adr
		FSTS
		LDC Rm,CR1
		LDC.L @Rm+,CR1
		LDS Rm,SR1
		LDS Rm,SR2
		LDS.L @adr,SR2
		LDS.L @Rm+,SR1
		LDS.L @Rm+,SR2
			MOV.[BWL] @adr,R
			MOV.[BWL] R,@adr
			MOVA
			MOVCA.L
			MOVUA
			OCBI
			OCBP
			OCBWB
			PREF
				STC CR2,Rn
				STC.L CR2,@-Rn
				STS SR2,Rn
				STS.L SR2,@-Rn
				STS SR1,Rn
				STS.L SR1,@-Rn

FE	FADD FSUB FCMP (S/D) FCNVDS FCNVSD	FDIV FIPR FLOAT FMAC FMUL	FRCHG FSCHG FSQRT FTRC FTRV	FSCA FSRRA FPCHG

CO	AND.B #imm,@(R0,GBR)
	ICBI
	LDC Rm,DBR
	LDC Rm, SGR
	LDC Rm,SR
	LDC.L @Rm+,DBR
	LDC.L @Rm+,SGR
		LDC.L @Rm+,SR
		LDTLB
		MAC.L
		MAC.W
		MOVCO
		MOVLI
		OR.B #imm,@(R0,GBR)
			PREFI
			RTE
			SLEEP
			STC SR,Rn
			STC.L SR,@-Rn
			SYNCO
			TAS.B
				TRAPA
				TST.B #imm,@(R0,GBR)
				XOR.B #imm,@(R0,GBR)

記号説明.　R　：Rm/Rn
@adr　：アドレス
SR1　：MACH/MACL/PR
SR2　：FPUL/FPSCR
CR1　：GBR/Rp_BANK/SPC/SSR/VBR
CR2　：CR1/DBR/SGR
FR　：FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限ります。

1. addr（先行）とaddr+2（後行）の2命令で1Kバイト（最小のページサイズ）をまたがないこと
2. 表4.3（先行・後行掛け合わせ表）で同時実行可能である（○となっている）こと
3. addrにある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2命令とも有効であること

表4.3　先行・後行掛け合わせ表

		先行命令（addr）					
		EX	MT	BR	LS	FE	CO
後行命令（addr+2）	EX	×	○	○	○	○	
	MT	○	○	○	○	○	
	BR	○	○	×	○	○	
	LS	○	○	○	×	○	
	FE	○	○	○	○	×	
	CO						×

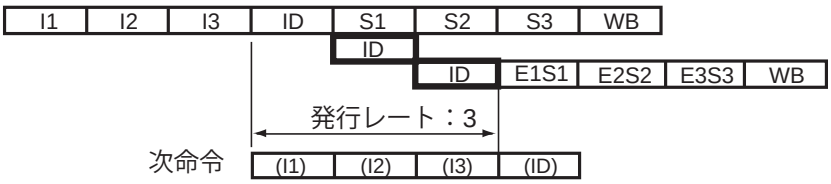
4.3　発行レートと実行ステート

命令の発行レートと実行ステートを表4.4に示します。表4.4中の命令グループは表4.2における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

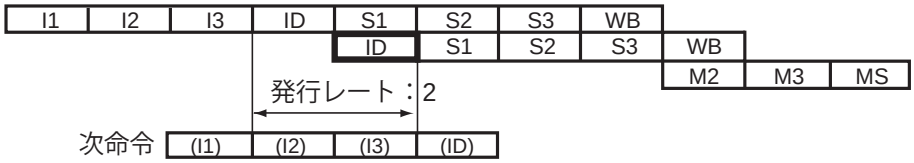
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

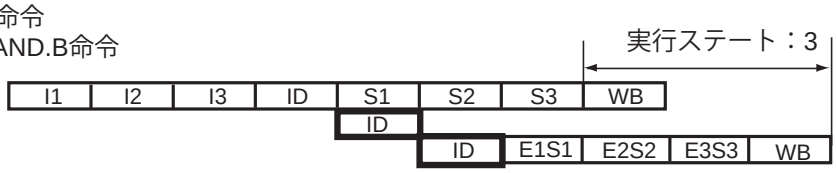


(2) 実行ステート

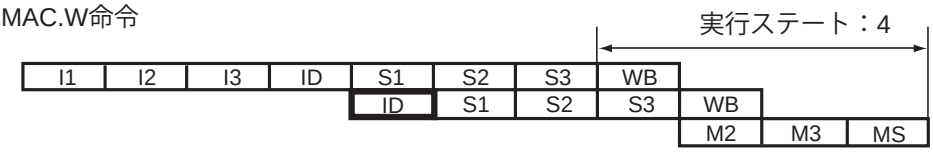
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・CPU命令

(例) AND.B命令

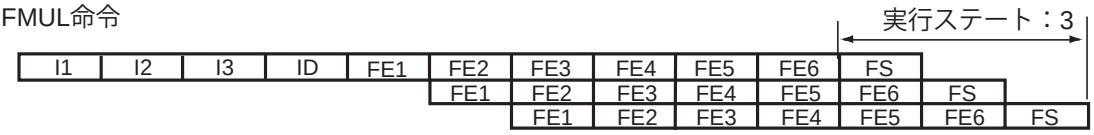


(例) MAC.W命令



・FPU命令

(例) FMUL命令



(例) FDIV命令



表4.4　発行レートと実行ステート

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
データ転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp, GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp, GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1
	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
データ転送命令	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVLI.L	@Rm,R0	CO	1	1	3-8
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
固定小数点算術命令	53	ADD	Rm,Rn	EX	1	1	2-1
	54	ADD	#imm,Rn	EX	1	1	2-1
	55	ADDC	Rm,Rn	EX	1	1	2-1
	56	ADDV	Rm,Rn	EX	1	1	2-1
	57	CMP/EQ	#imm,R0	EX	1	1	2-1
	58	CMP/EQ	Rm,Rn	EX	1	1	2-1
	59	CMP/GE	Rm,Rn	EX	1	1	2-1
	60	CMP/GT	Rm,Rn	EX	1	1	2-1
	61	CMP/HI	Rm,Rn	EX	1	1	2-1
	62	CMP/HS	Rm,Rn	EX	1	1	2-1
	63	CMP/PL	Rn	EX	1	1	2-1
	64	CMP/PZ	Rn	EX	1	1	2-1
	65	CMP/STR	Rm,Rn	EX	1	1	2-1
	66	DIV0S	Rm,Rn	EX	1	1	2-1
	67	DIV0U		EX	1	1	2-1
	68	DIV1	Rm,Rn	EX	1	1	2-1
	69	DMULS.L	Rm,Rn	EX	1	2	5-6
	70	DMULU.L	Rm,Rn	EX	1	2	5-6
	71	DT	Rn	EX	1	1	2-1
	72	MAC.L	@Rm+,@Rn+	CO	2	5	5-9
	73	MAC.W	@Rm+,@Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点算術命令	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1
	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
分岐命令	112	BF	disp	BR	1+0 ～ 2	1	1-1
	113	BF/S	disp	BR	1+0 ～ 2	1	1-1
	114	BT	disp	BR	1+0 ～ 2	1	1-1
	115	BT/S	disp	BR	1+0 ～ 2	1	1-1
	116	BRA	disp	BR	1+0 ～ 2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0 ～ 2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0 ～ 3	1	1-3
システム制御命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
	143	LDC	Rm,VBR	LS	1	1	4-1
	144	LDC.L	@Rm+,DBR	CO	4	4	4-6
	145	LDC.L	@Rm+,SGR	CO	4	4	4-6

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
システム制御命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
	176	STS	PR,Rn	LS	1	1	4-15
	177	STS.L	MACH,@-Rn	LS	1	1	5-4
	178	STS.L	MACL,@-Rn	LS	1	1	5-4
	179	STS.L	PR,@-Rn	LS	1	1	4-16

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
単精度浮動小数点命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9
	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	14	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
	203	FMOV	DRm,DRn	LS	1	1	6-9
	204	FMOV	@Rm,DRn	LS	1	1	6-9
	205	FMOV	@Rm+,DRn	LS	1	1	6-9
	206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9
	207	FMOV	DRm,@Rn	LS	1	1	6-9
	208	FMOV	DRm,@-Rn	LS	1	1	6-9
	209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
倍精度浮動小数点命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	30	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16
	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPUシステム制御命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
グラフィクス強化命令	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
	244	FSRRA	FRn	FE	1	1	6-21
	245	FSCA	FPUL,DRn	FE	1	3	6-22
	246	FTRV	XMTRX,FVn	FE	1	4	6-20

5. 浮動小数点ユニット（FPU）

5.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ（16本の倍精度レジスタとしても参照できます）
- 2つの丸めモード：近傍、及び0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：
  FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
  単精度、倍精度、グラフィックサポート、システム制御
- SH-4AでSH-4に対して下記の3命令を追加しました。
  FSRRA、FSCA、FPCHG

SR のFD ビットを”1 ”にセットすると、浮動小数点ユニット（FPU）は使用できなくなり、FPU 命令を実行しようとするとFPU 抑止例外（一般FPU 抑止例外又はスロットFPU 抑止例外）が発生します。

5.2 データフォーマット

5.2.1 浮動小数点フォーマット

浮動小数点は次の3 つのフィールドから構成されています。

- 符号ビット（s）
- 指数フィールド（e）
- 小数フィールド（f）

本LSI は図5.1 と図5.2 に示すフォーマットを用いて単精度､倍精度浮動小数点を扱うことができます。

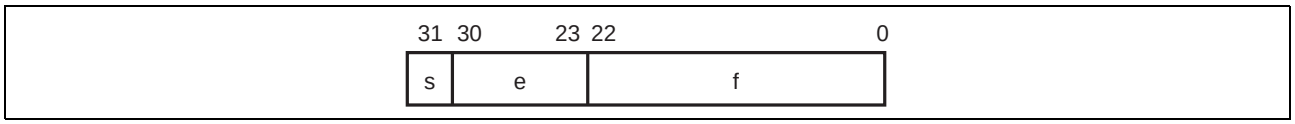


図 5.1　単精度浮動小数点フォーマット

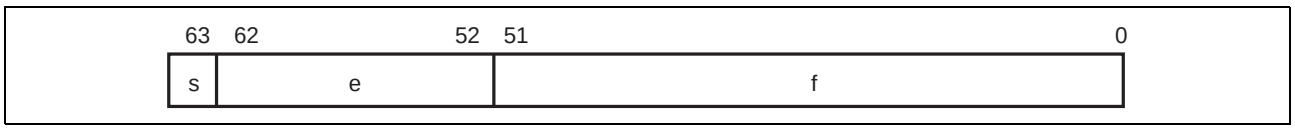


図 5.2　倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

e＝E＋バイアス

バイアスのない指数E の範囲は、E_{min} - 1 からE_{max} + 1 までです。E_{min} - 1 とE_{max} + 1 の2 つの値は次のように区別します。E_{min} - 1 は0（正、負両方の符号）と非正規化数を表し、E_{max} + 1 は正又は負の無限大又は非数（NaN）を表します。表5.1 に浮動小数点のフォーマットとパラメータを示します。

表5.1　浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット（s）	1 ビット	1 ビット
指数フィールド（e）	8 ビット	11 ビット
小数フィールド（f）	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	–126	–1022

浮動小数点の数値v は次のようにして決められます。

- E = E_{max} + 1 かつ f ≠ 0 の場合、v は符号 s に関係なく非数（NaN）です。
- E = E_{max} + 1 かつ f = 0 の場合、v は $(-1)^s$（無限）「正又は負の無限」です。
- E_{min} ≦ E ≦ E_{max} の場合、v は $(-1)^s 2^E$（1.f）「正規化数」です。
- E = E_{min} - 1 かつ f ≠ 0 の場合、v は $(-1)^s 2^{Emin}$（0.f）「非正規化数」です。
- E = E_{min} - 1 かつ f = 0 の場合、v は $(-1)^s$ 0「正又は負の0」です。

表5.2 に16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「5.2.2 非数（NaN）」を、非正規化数については「5.2.3 非正規化数」を参照してください。

表5.2　浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF ～ H'7FC0 0000	H'7FFF FFFF FFFF FFFF ～ H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF ～ H'7F80 0001	H'7FF7 FFFF FFFF FFFF ～ H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF ～ H'0080 0000	H'7FEF FFFF FFFF FFFF ～ H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF ～ H'0000 0001	H'000F FFFF FFFF FFFF ～ H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001 ～ H'807F FFFF	H'8000 0000 0000 0001 ～ H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000 ～ H'FF7F FFFF	H'8010 0000 0000 0000 ～ H'FFEF FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001 ～ H'FFBF FFFF	H'FFF0 0000 0000 0001 ～ H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000 ～ H'FFFF FFFF	H'FFF8 0000 0000 0000 ～ H'FFFF FFFF FFFF FFFF

5.2.2　非数（NaN）

図5.3 に非数（NaN）のビットパターンを示します。次の場合の値はNaN です。

- 符号ビット　：don't care
- 指数フィールド：すべてのビットが1
- 小数フィールド：少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数（sNaN）であり、0 の場合はクワイアット非数（qNaN）です。

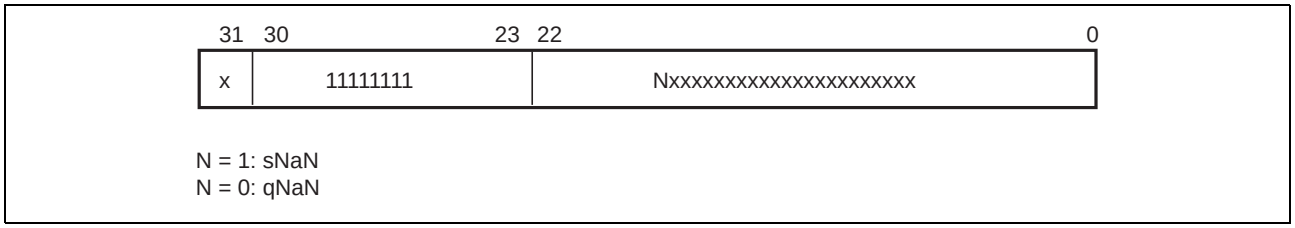


図 5.3　単精度のNaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令FABS 又はFNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCR レジスタのEN.V ビットが0の場合、演算結果（出力）はqNaNになります。
- FPSCR レジスタのEN.V ビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の3 命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタのEN.V ビットの設定に関係なく出力は常にqNaN です。この場合、例外は発生しません。

演算結果として本LSI が生成するqNaN の値は、常に次のような値になります。

- 単精度qNaN：H'7FBF FFFF
- 倍精度qNaN：H'7FF7 FFFF FFFF FFFF

非数（NaN）を入力した場合の浮動小数点演算の詳細については「SH-4A 拡張機能ソフトウェアマニュアル」の「第11 章 各命令の説明」を参照してください。

5.2.3　非正規化数

非正規化数の浮動小数点値は、指数フィールドは0 として、小数フィールドは0 以外の値として表現します。

FPU のステータスレジスタFPSCR のDN ビットが1 の場合、非正規化数（ソースオペランド又は演算結果）は、（レジスタ・レジスタ間の転送命令、FNEG、FABS 以外の演算の）値を生成する浮動小数点演算で正のゼロ又は負のゼロになります。

FPSCR のDN ビットが0 の場合、非正規化数（ソースオペランド又は演算結果）はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第11 章 各命令の説明」を参照してください。

5.3　レジスタ

5.3.1　浮動小数点レジスタ

図5.4 に浮動小数点レジスタの構成を示します。32 本の32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ～ FR15、DR0/2/4/6/8/l0/12/14、FV0/4/8/12、XF0 ～ XF15、XD0/2/4/6/8/l0/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn_BANKi（32 レジスタ）
FPR0_BANK0～FPR15_BANK0
FPR0_BANK1～FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi（16 レジスタ）
FR ビット（FPSCR レジスタのビット21）＝0 のとき、FR0～FR15 はFPR0_BANK0～FPR15_BANK0 に割り当てられます。
FPSCR レジスタのFR ビット＝1 のとき、FR0～FR15 はFPR0_BANK1～FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、又は単精度浮動小数点レジスタのペア DRi（8 レジスタ）
DR レジスタは、2 つのFR レジスタから構成されます。
DR0＝{FR0、FR1}、DR2＝{FR2、FR3}、
DR4＝{FR4、FR5}、DR6＝{FR6、FR7}、
DR8＝{FR8、FR9}、DR10＝{FR10、FR11}、
DR12＝{FR12、FR13}、DR14＝{FR14、FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi（4 レジスタ）
FV レジスタは4 つのFR レジスタから構成されます。
FV0＝{FR0、FR1、FR2、FR3},
FV4＝{FR4、FR5、FR6、FR7},
FV8＝{FR8、FR9、FR10、FR11},
FVl2＝{FR12、FR13、FR14、FR15}

(5) 単精度浮動小数点拡張レジスタ XFi（16 レジスタ）
FPSCR レジスタのFR ビット＝0 のとき、XF0～XF15 はFPR0_BANK1～FPR15_BANK1 に割り当てられます。
FPSCR レジスタのFR ビット＝1 のとき、XF0～XF15 はFPR0_BANK0～FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XDi（8 レジスタ）
XD レジスタは2 つのXF レジスタから構成されます。
XD0＝{XF0、XF1}、XD2＝{XF2、XF3}、
XD4＝{XF4、XF5}、XD6＝{XF6、XF7}、
XD8＝{XF8、XF9}、XD10＝{XF10、XF11}、
XD12＝{XF12、XF13}、XD14＝{XF14、XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX
XMTRX は16 本のXF レジスタから構成されます。

$$XMTRX = \begin{bmatrix} XF0 & XF4 & XF8 & XF12 \\ XF1 & XF5 & XF9 & XF13 \\ XF2 & XF6 & XF10 & XF14 \\ XF3 & XF7 & XF11 & XF15 \end{bmatrix}$$

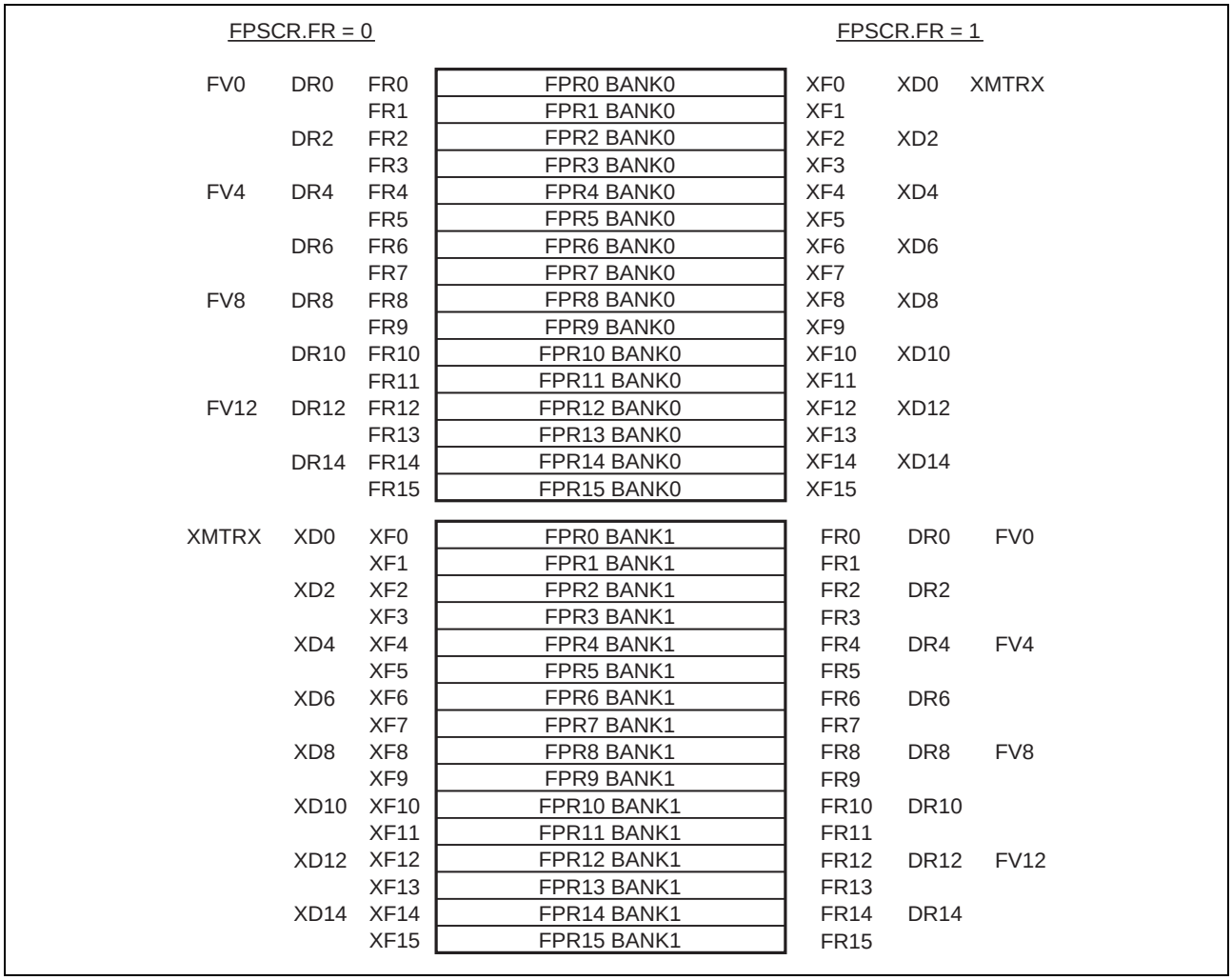


図 5.4　浮動小数点レジスタ

5.3.2　浮動小数点ステータス／コントロールレジスタ（FPSCR）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)					Flag					RM	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 22	—	0	—	リザーブビット
21	FR	0	R/W	浮動小数点レジスタバンク 0：FPR0_BANK0～FPR15_BANK0 はFR0～FR15 に、FPR0_BANK1～FPR15_BANK1 はXF0～XF15 に割り当てられます。 1：FPR0_BANK0～FPR15_BANK0 はXF0～XF15 に、FPR0_BANK1～FPR15～BANK1 はFR0～FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0：FMOV 命令のデータサイズは32 ビットです。 1：FMOV 命令のデータサイズは32 ビットペア、又は64 ビットです。 SZ ビットとエンディアンとの関係については、図5.5 を参照してください。
19	PR	0	R/W	精度モード 0：浮動小数点命令を単精度演算として実行します。 1：浮動小数点命令を倍精度演算として実行します（グラフィックサポート命令は未定義です）。 PR ビットとエンディアンとの関係については、図5.5 を参照してください。
18	DN	1	R/W	非正規化モード 0：非正規化数を非正規化数として扱います。 1：非正規化数を0 として扱います。
17 ～ 12	Cause	0	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に”0” に設定されます。次にFPU 例外が発生すると、FPU 例外要因フィールドとFPU 例外フラグフィールドの該当ビットが”1” にセットされます。FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。各フィールドのビットの割り付けについては表5.3 を参照してください。
11 ～ 7	Enable（EN）	0	R/W	
6 ～ 2	Flag	0	R/W	
1	RM	0	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：選択禁止 11：選択禁止
0	RM	1	R/W	

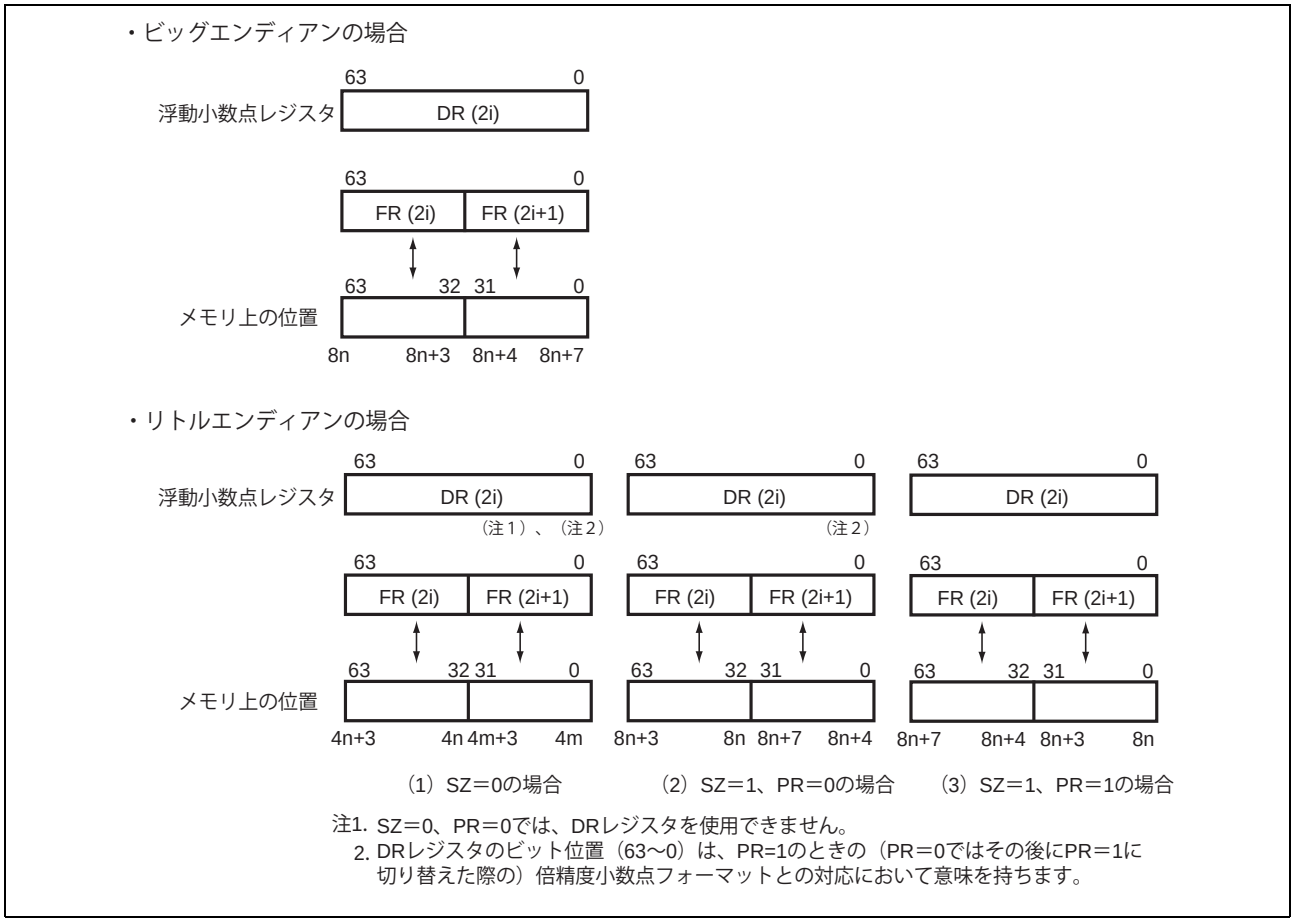


図 5.5　SZ ビット及びPR ビットとエンディアンの関係

表5.3　FPU 例外処理に関連するビットの割り付け

フィールド名		FPU エラー（E）	無効演算（V）	0 除算（Z）	オーバフロー（O）	アンダフロー（U）	不正確（I）
Cause	FPU 例外要因フィールド	ビット17	ビット16	ビット15	ビット14	ビット13	ビット12
Enable	FPU 例外イネーブルフィールド	なし	ビット11	ビット10	ビット9	ビット8	ビット7
Flag	FPU 例外フラグフィールド	なし	ビット6	ビット5	ビット4	ビット3	ビット2

5.3.3　浮動小数点通信レジスタ（FPUL）

FPU とCPU 間の情報伝達はFPUL レジスタを介して行われます。FPUL レジスタは32 ビットのシステムレジスタで、LDS、STS 命令によってCPU からもアクセスします。たとえば、汎用レジスタR1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 →（LDS 命令）→ FPUL →（単精度FLOAT 命令）→ FR1

5.4　丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は1 度、FADD、FSUB 及びFMUL は2 度というように丸めの回数が異なるためです。

丸めには2 つの方法があり、使用する方法はFPSCR のRM フィールドで決まります。

RM=00：近傍への丸め
RM=01：0 方向への丸め

(1)　近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が0の方を選択します。

丸め前の値が $2^{Emax}(2-2^{-p})$ 以上であれば丸め前と同じ符号の無限となります。ここでEmax、p は単精度でそれぞれ127、24、倍精度で1023、53 です。

(2)　0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

5.5　浮動小数点例外

FPU 関連の例外は次のとおりです。

5.5.1　一般FPU 抑止／スロットFPU 抑止例外

FDビット（SRレジスタのビット15）＝1 のときにFPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロットFPU 抑止例外が発生します。

5.5.2　FPU 例外

例外要因は次のとおりです。

- **FPUエラー（E）：**
  DNビット（FPSCRレジスタのビット18）＝0かつ非正規化数の入力時
- **無効演算（V）：**
  NaN入力のような無効な演算の場合
- **0による除算（Z）：**
  除数0による除算
- **オーバフロー（O）：**
  演算結果がオーバフローする場合
- **アンダフロー（U）：**
  演算結果がアンダフローする場合
- **不正確例外（I）：**
  丸めが発生する場合

FPSCR のFPU 例外要因フィールドには上記E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグ、及びイネーブルフィールドにはV、Z、O、U、I に該当するビットが含まれていますがE に該当するビットは含まれていません。このようにFPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは”1”にセットされFPU 例外フラグフィールドに該当するビットに”1”が累積されます。FPU 例外が発生しない場合、FPU 例外要因

フィールドの該当するビットは”0” にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

5.5.3　FPU 例外処理

FPU 例外は次の場合に発生します。

- **FPUエラー（E）：**
  DNビット（FPSCRレジスタのビット18）＝0かつ非正規化数を扱えない命令への非正規化数の入力時
- **無効演算（V）：**
  FPSCR.EN.V＝1かつ（命令=FTRV又は無効演算）の場合
- **0による除算（Z）：**
  FPSCR.EN.Z＝1かつ除数0による除算又はFSRRAの入力が0の場合
- **オーバフロー（O）：**
  FPSCR.EN.O＝1かつ演算結果がオーバフローする可能性のある場合
- **アンダフロー（U）：**
  FPSCR.EN.U＝1かつ演算結果がアンダフローする可能性のある場合
- **不正確例外（I）：**
  FPSCR.EN.I＝1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発 FPU 例外が発生する場合の詳細については、**「SH-4A 拡張機能ソフトウェアマニュアル」**の**「第11 章 各命令の説明」**を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。

また、いかなるFPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外でFPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを”1” にセットし、演算結果としてデフォルト値を生成します。

- **無効演算（V）：**
  結果としてqNaNを生成します。
- **0による除算（Z）：**
  丸め前と同じ符号付きの無限大を生成します。
- **オーバフロー（O）：**
  0方向への丸めのとき、丸め前と同じ符号付き最大正規化数を生成します。
  近傍への丸めのとき、丸め前と同じ符号付き無限大を生成します。
- **アンダフロー（U）：**
  DNビット（FPSCRレジスタのビット18）＝0のとき、丸め前と同じ符号付き非正規化数、又は丸め前と同じ符号付き0を生成します。
  DNビット（FPSCRレジスタのビット18）＝1のとき、丸め前と同じ符号付き0を生成します。
- **不正確例外（I）：**
  不正確な結果を生成します。

5.6　グラフィックサポート機能

本LSI は2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

5.6.1　ジオメトリック演算命令

ジオメトリック演算命令は近似値の演算を行います。最小のハードウェアで高速演算を可能とするために、本LSI は4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

最大誤差＝MAX（各乗算結果×2－MIN（乗数の有効数字桁数－1、被乗数の有効数字桁数－1））＋MAX（結果値×2－23、2－149）

ただし、有効数字桁数は正規化数が24、非正規化数が23（小数部のリーディングゼロの桁数）となります。

将来のSuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(1)　FIPR FVm,FVn（m、n：0、4、8、12）

この命令の用途例を以下に示します。

- **内積（m≠n）**：
  一般的に、この演算はポリゴン表面の輝度や表面／裏面を判定するために使用されます。
- **各要素の平方和（m=n）**：
  一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールド、及びFPU 例外フラグフィールドの不正確例外（I）ビットが常に”1”にセットされます。したがって、FPU 例外イネーブルフィールドのI ビットがセットされていれば、FPU 例外処理が実行されます。

(2)　FTRV XMTRX,FVn（n：0、4、8、12）

この命令の用途例を以下に示します。

- **行列（4×4）・ベクトル（4）**：
  一般的に、この演算は、視点の変更、角度の変更、又は移動といったベクトル変換（4次元）に使用されます。基本的に、角度＋平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、本LSIは4次元演算をサポートしています。

- **行列（4×4）×行列（4×4）**：
  この演算を行うためには、FTRV命令を4回実行する必要があります。

FIRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールド、及びFPU 例外フラグフィールドの不正確例外（I）ビットが常に”1”にセットされます。したがって、イネーブルフィールドのI ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドのV ビットがセットされていると、FPU 例外処理が実行されます。

(3)　FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対するLDS 命令を使用すると、この命令はFPU の状態を維持するために、4～5 サイクルを費やします。FRCHG 命令ではFPSCR.FR ビットの変更を1 サイクルで行うことができます。

5.6.2　ペア単精度データ転送

強力なジオメトリック演算命令に加えて、本LSI は高速データ転送命令をサポートしています。FPSCR.SZ＝1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm、DRn/XDRn（m、n：0、2、4、6、8、10、12、14）
- FMOV DRm/XDm、@Rn（m：0、2、4、6、8、10、12、14、n：0～15）

これらの命令により、2 つの単精度（2×32 ビット）データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

• FSCHG

この命令はFPSCRレジスタのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り替えることができます。

6. 例外処理

6.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本LSI の例外処理は、リセット、一般例外、割り込みの3 つに分類されます。

6.2 レジスタの説明

例外処理に関するレジスタ構成を表6.1 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表6.1 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	32	H'0000 0XXX	H'0000 0XXX
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	32	H'0000 0000	H'0000 0020
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	32	H'0000 XXXX	H'0000 XXXX
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	32	H'0000 001F	H'0000 001F

6.2.1 TRAPA 例外レジスタ（TRA）

TRAPA 例外レジスタ（TRA）は、TRAPA 命令の 8 ビットイミディエイトデータ（imm）が設定されるレジスタです。TRA はTRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRACODE								—	—
初期値：	0	0	0	0	0	0	—	—	—	—	—	—	—	—	0	0
R/W:	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 10	—	0	—	リザーブビット
9 ～ 2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の8 ビットイミディエイトデータが設定されます。
1、0	—	0	—	リザーブビット

6.2.2 例外事象レジスタ（EXPEVT）

例外事象レジスタ（EXPEVT）には、リセット及び一般例外発生時に12 ビットの例外コードが設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	EXPCODE											
初期値：	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 12	—	0	—	リザーブビット
11 ～ 0	EXPCODE	H'000 又は H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表6.2 を参照してください。

6.2.3 割り込み事象レジスタ（INTEVT）

割り込み事象レジスタ（INTEVT）には、割り込み発生時に 14 ビットの例外コードが設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	INTCODE													
初期値：	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 14	—	0	—	リザーブビット
13 ～ 0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表6.2 を参照してください。

6.2.4 非サポート検出例外レジスタ（EXPMASK）

EXPMASK レジスタは、下記1.～3.に該当する機能が使用された場合に例外を発生、及び抑止することができます。この1.～3.に該当する機能は、今後のSuperH シリーズでサポートされなくなる可能性があります。あらかじめEXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後のSuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ（EXPMASK）の値により、１、２はスロット不当命令例外、3はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新はCPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス（キャッシング不可領域でも良い）に対するICBI命令を実行

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	MMCAW	–	–	BRDSSLP	RTEDS
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W:	–	–	–	–	–	–	–	–	–	–	–	R/W	–	–	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	—	0	—	リザーブビット
4	MMCAW	1	R/W	メモリ割り付けキャッシュ連想ライト 0：メモリ割り付け連想書き込みを禁止します。（データアドレスエラー例外発生） 1：メモリ割り付け連想書き込みを許可します。 詳細は「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。
3、2	—	1	—	リザーブビット
1	BRDSSLP	1	R/W	遅延スロットSLEEP 命令 0：遅延スロットにあるSLEEP 命令を禁止します。 （SLEEP 命令をスロット不当命令とします） 1：遅延スロットにあるSLEEP 命令を許可します。
0	RTEDS	1	R/W	RTE 遅延スロット 0：RTE 命令の遅延スロットにあるNOP 命令以外を禁止します。 （NOP 命令以外をスロット不当命令とします） 1：RTE 命令の遅延スロットにあるNOP 命令以外を許可します。

6.3 例外処理の機能

6.3.1 例外処理の流れ

例外処理では、プログラムカウンタ（PC）、ステータスレジスタ（SR）、R15 の内容がそれぞれ退避プログラムカウンタ（SPC）、退避ステータスレジスタ（SSR）、退避ジェネラルレジスタ（SGR）に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令（RTE）を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容はRTE 命令ではR15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「2. プログラミングモデル」を参照してください。

1. PC、SR、及びR15の内容がそれぞれSPC、SSR、及びSGRに退避されます。
2. BL ビット（SR レジスタのビット28）が1に設定されます。
3. MD ビット（SR レジスタのビット30）が1に設定されます。
4. RB ビット（SR レジスタのビット29）が1に設定されます。
5. リセット時、FD ビット（SR レジスタのビット15）が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ（EXPEVT）のビット11～0、又は割り込み事象レジスタ（INTEVT）のビット13～0に書き込まれます。
7. INTMU ビット（CPUOPM レジスタのビット3）が1の場合、IMASK ビット（SR レジスタの7～4ビット）が割り込み受け付けレベルに変更されます。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

6.3.2 例外処理ベクタアドレス

リセットベクタアドレスはH'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ（VBR）にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットはH'0000 0400 ですから、VBR にH'9C08 0000 を設定しておくと、例外処理ベクタアドレスはH'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならないP1、P2 領域のアドレスを指定してください。

6.4 例外の種類と優先順位

表6.2 に、例外の種類、優先順位、ベクタアドレス、及び例外／割り込みコードを示します。

表6.2 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード
					ベクタベース	オフセット	
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	—	H'000
		マニュアルリセット	1	2	H'A000 0000	—	H'020
		H-UDI リセット	1	1	H'A000 0000	—	H'000
		命令TLB 多重ヒット例外	1	3	H'A000 0000	—	H'140
		データTLB 多重ヒット例外	1	4	H'A000 0000	—	H'140
一般例外	再実行型	命令実行前ユーザブレーク（注）	2	0	(VBR/DBR)	H'100/—	H'1E0
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0
		命令TLB ミス例外	2	2	(VBR)	H'400	H'040
		命令TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0
		一般不当命令例外	2	4	(VBR)	H'100	H'180
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0
		一般FPU 抑止例外	2	4	(VBR)	H'100	H'800
		スロットFPU 抑止例外	2	4	(VBR)	H'100	H'820
		データアドレスエラー（読み出し）	2	5	(VBR)	H'100	H'0E0
		データアドレスエラー（書き込み）	2	5	(VBR)	H'100	H'100
		データTLB ミス例外（読み出し）	2	6	(VBR)	H'400	H'040
		データTLB ミス例外（書き込み）	2	6	(VBR)	H'400	H'060
		データTLB 保護違反例外（読み出し）	2	7	(VBR)	H'100	H'0A0
		データTLB 保護違反例外（書き込み）	2	7	(VBR)	H'100	H'0C0
		FPU 例外	2	8	(VBR)	H'100	H'120
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080
	完了型	無条件トラップ（TRAPA）	2	4	(VBR)	H'100	H'160
		命令実行後ユーザブレーク（注）	2	10	(VBR/DBR)	H'100/—	H'1E0
割り込み	完了型	ノンマスカブル割り込み	3	—	(VBR)	H'600	H'1C0
		一般割り込み要求	4	—	(VBR)	H'600	—

優先度 ：まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします（より小さい数値が、優先度が 高くなります）。

例外遷移先 ：リセットではH'A000 0000、その他では（VBR＋オフセット）へ制御が移ります。

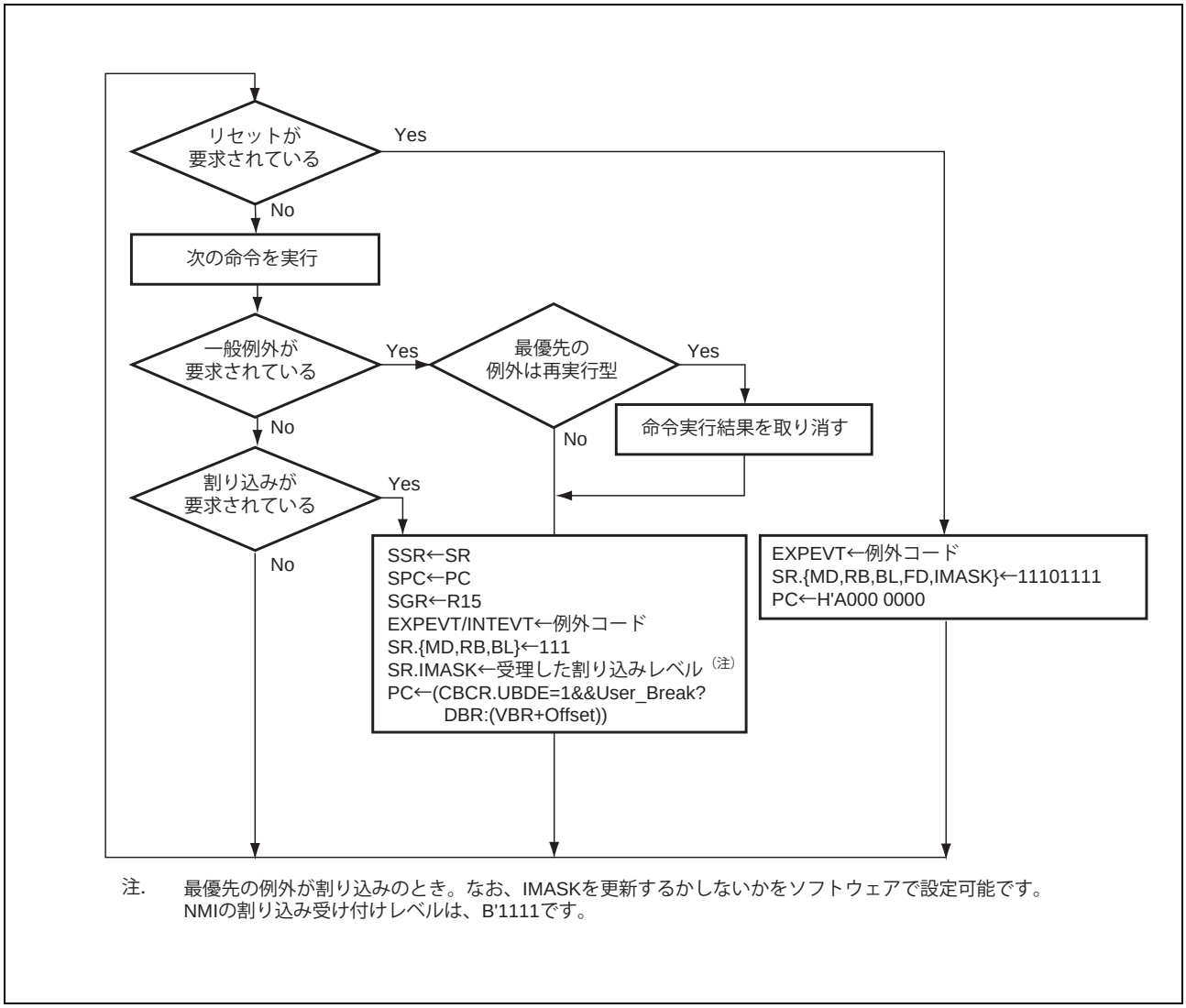
例外コード ：リセット、一般例外ではEXPEVT、割込みではINTEVT に格納されます。

注．UBDEビット（CBCR レジスタのビット0）＝1 のときPC=DBR、その他はPC=VBR+H'100。

6.5 例外フロー

6.5.1 例外フロー

図 6.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 6.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 6.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、及びPC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「6.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「6.6.4 複数回の例外が発生する場合の優先順位」を参照してください。



注. 最優先の例外が割り込みのとき。なお、IMASKを更新するかしないかをソフトウェアで設定可能です。
NMIの割り込み受け付けレベルは、B'1111です。

図 6.1 命令実行と例外処理

6.5.2 例外要因の受け付け

2 つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の 5 つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図 6.2 に示します。

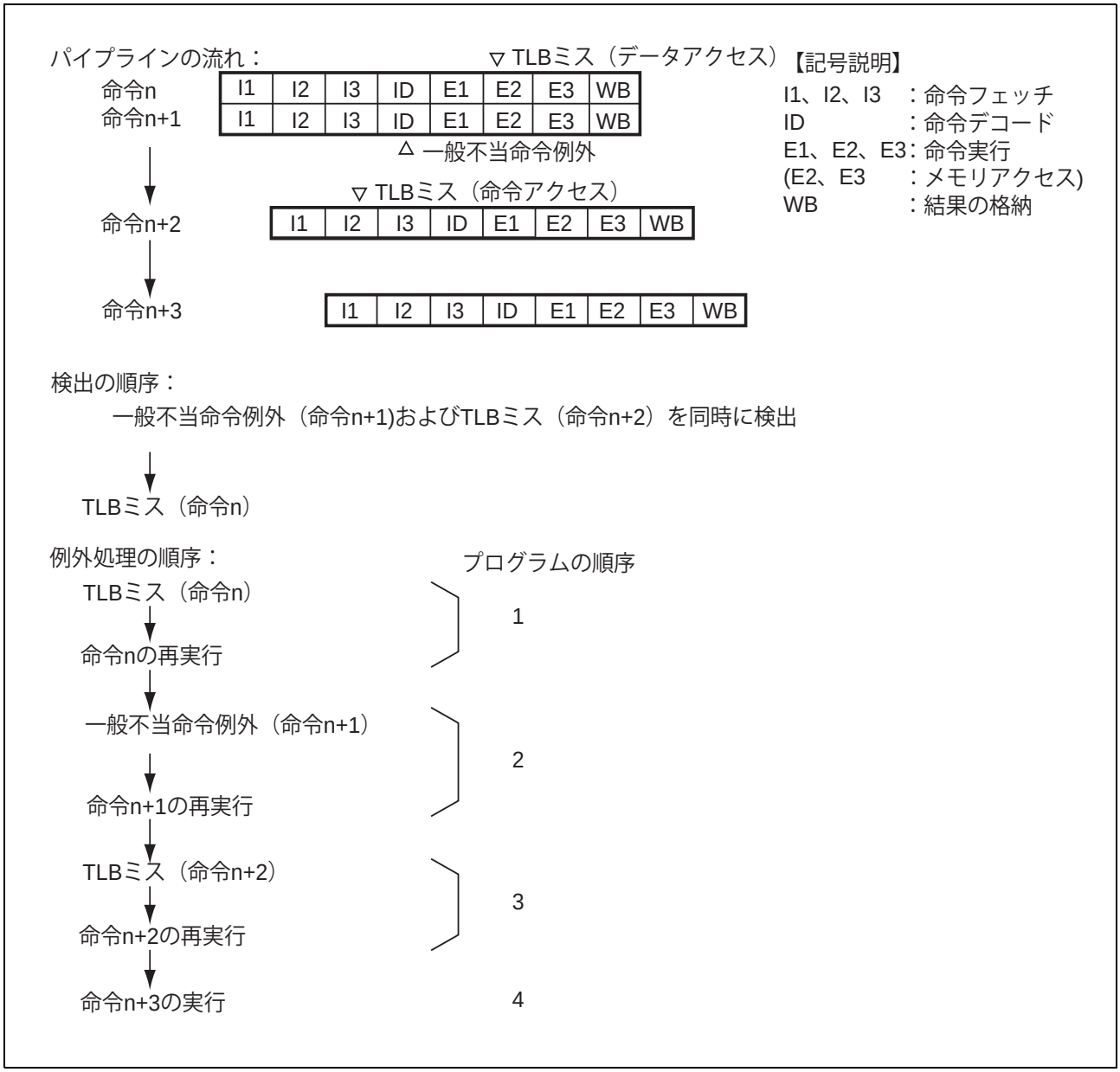


図 6.2 一般例外の受け付け順序の例

6.5.3 例外要求とBL ビット

SR レジスタのBL ビット＝0 のとき、一般例外、割り込みを受け付けます。

SR レジスタのBL ビット＝1のときに、ユーザブレークを除く一般例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス（H'A000 0000）に分岐します。ユーザブレークが発生した場合の動作については「42. ユーザブレークコントローラ（UBC）」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSR レジスタのBL ビットが0 にクリアされてから受け付けられます。ノンマスカブル割り込み（NMI）が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC とSSR を退避させ、その後SR レジスタのBL ビットを0 クリアします。

6.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC がPC に、SSR がSR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリにSPC、SSR を退避していた場合には、SR レジスタのBL ビットを1 にセットしてから、SPC とSSR を回復し、RTE 命令を発行してください。

6.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

6.6.1 リセット

注. 「17. リセット、ウォッチドッグタイマ（WDT）」も参照してください。

(1) パワーオンリセット

- 条件：
  パワーオンリセット要求
- 動作：
  EXPEVT に H'000 を設定し、CPU、及び内蔵周辺モジュールの初期化を行った後、リセットベクタ（H'A000 0000）に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

- 条件：
  マニュアルリセット要求
- 動作：
  EXPEVT に H'020 を設定し、CPU、及び内蔵周辺モジュールの初期化を行った後、リセットベクタ（H'A000 0000）に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

(3) H-UDI リセット

- 要因：SDIR. TI[7:4]がB'0110（ネゲート）、又はB'0111（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
  例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC＝H'A000 0000に分岐します。CPU、及び内蔵周辺モジュールの初期化を行います。詳細は、「43. ユーザデバッグインタフェース（H-UDI）」、及び各章のレジスタの説明を参照してください。

(4) 命令TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
  本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
  例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC＝H'A000 0000に分岐します。CPU、及び内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(5) データTLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
  本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
  例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC＝H'A000 0000に分岐します。CPU、及び内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

6.6.2 一般例外

(1) データTLBミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：
  本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
  本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRレジスタのBLビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0400に分岐します。TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()
{
        TEA = EXCEPTION_ADDRESS;
        PTEH.VPN = PAGE_NUMBER;
        SPC = PC;
        SSR = SR;
        SGR = R15;
        EXPEVT = read_access ? H'0000 0040 : H'0000 0060;
        SR.MD = 1;
        SR.RB = 1;
        SR.BL = 1;
        PC = VBR + H'0000 0400;
}
```

(2) 命令TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：
  本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
  本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'040をEXPEVTにセットします。SRレジスタのBL ビット、MD ビット、RBビットを1にセットし、PC＝VBR＋H'0400に分岐します。
  TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()

{

            TEA = EXCEPTION_ADDRESS;

            PTEH.VPN = PAGE_NUMBER;

            SPC = PC;

            SSR = SR;

            SGR = R15;

            EXPEVT = H'0000 0040;

            SR.MD = 1;

            SR.RB = 1;

            SR.BL = 1;

            PC = VBR + H'0000 0400;

}
```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
  本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
  本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'080をEXPEVTにセットします。SRレジスタのBL ビット、MD ビット、RB ビットを1にセットし、PC＝VBR＋H'0100に分岐します。

```
Initial_write_exception()
{
            TEA = EXCEPTION_ADDRESS;
            PTEH.VPN = PAGE_NUMBER;
            SPC = PC;
            SSR = SR;
            SGR = R15;
            EXPEVT = H'0000 0080;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = VBR + H'0000 0100;
}
```

(4) データTLB保護違反例外

- 要因：アクセスが表6.3、表6.4に示すUTLBのプロテクション情報（PRビット（FPSCRレジスタのビット19）あるいはEPRビット（PTEAレジスタのビット13～8））に反する。

表6.3 UTLBプロテクション情報（TLB互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し／書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し／書き込み可	読み出し／書き込み可

表6.4 UTLBプロテクション情報（TLB拡張モードの場合）

EPR [5]	特権モードでの読み出しの可否
0	読み出し不可
1	読み出し可

EPR [4]	特権モードでの書き込みの可否
0	書き込み不可
1	書き込み可

EPR [2]	ユーザモードでの読み出しの可否
0	読み出し不可
1	読み出し可

EPR [1]	ユーザモードでの書き込みの可否
0	書き込み不可
1	書き込み可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
  本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
  本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。SRレジスタのBLビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
        TEA = EXCEPTION_ADDRESS;
        PTEH.VPN = PAGE_NUMBER;
        SPC = PC;
        SSR = SR;
        SGR = R15;
        EXPEVT = read_access ? H'0000 00A0 : H'0000 00C0;
        SR.MD = 1;
        SR.RB = 1;
        SR.BL = 1;
        PC = VBR + H'0000 0100;
}
```

(5) 命令TLB 保護違反例外

• 要因：アクセスが表6.5、表6.6に示すITLBのプロテクション情報（FPSCRレジスタのPRビット）に反する。

表6.5 ITLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表6.6 ITLB プロテクション情報（TLB 拡張モードの場合）

EPR [5]、EPR [3]	特権モードでの実行の可否
11、01	実行可
10	命令フェッチは実行不可、ICBI のRn アクセスは実行可
00	実行不可

EPR [2]、EPR [0]	ユーザモードでの実行の可否
11、01	実行可
10	命令フェッチは実行不可、ICBI のRn アクセスは実行可
00	実行不可

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：
本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'0A0をEXPEVTにセットします。SRレジスタのBL ビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。

```
ITLB_protection_violation_exception()
{
        TEA = EXCEPTION_ADDRESS;
        PTEH.VPN = PAGE_NUMBER;
        SPC = PC;
        SSR = SR;
        SGR = R15;
        EXPEVT = H'0000 00A0;
        SR.MD = 1;
        SR.RB = 1;
        SR.BL = 1;
        PC = VBR + H'0000 0100;
}
```

(6) データアドレスエラー

• 要因：

- ワードデータをワード境界以外（2n＋1）からアクセス
- ロングワードデータをロングワードデータ境界以外（4n＋1、4n＋2、4n＋3）からアクセス（ただし、MOVUA命令は除きます）
- クワッドワードをクワッドワードデータ境界以外（8n＋1、8n＋2、8n＋3、8n＋4、8n＋5、8n＋6、8n＋7）からアクセス
- ユーザモードでの領域H'8000 0000～H'FFFF FFFFへのアクセス
  ただし、H'E000 0000～H'E3FF FFFF、及びH'E500 0000～H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「7. メモリマネジメントユニット（MMU）」、及び「9. 内蔵メモリ」を参照してください。
- MMCAWビット（EXPMASKレジスタのビット4）が0で、IC/OCメモリ割り付け連想書き込み
  メモリ割り付け連想書き込みについては「8.6.5 メモリ割り付け連想ライトの動作」を参照してください。

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：
本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRレジスタのBLビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。詳細は「7. メモリマネジメントユニット（MMU）」を参照してください。

```
Data_address_error()
{
            TEA = EXCEPTION_ADDRESS;
            PTEH.VPN = PAGE_NUMBER;
            SPC = PC;
            SSR = SR;
            SGR = R15;
            EXPEVT = read_access? H'0000 00E0: H'0000 0100;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = VBR + H'0000 0100;
}
```

(7) 命令アドレスエラー

- 要因：
  - ワード境界以外（2n＋1）から命令フェッチ
  - ユーザモードでの領域H'8000 0000～H'FFFF FFFFから命令フェッチ
    ただし、H'E500 0000～H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「9. 内蔵メモリ」を参照してください。
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
  本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
  本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'0E0をEXPEVTにセットします。SRレジスタのBLビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。詳細は「7. メモリマネジメントユニット（MMU）」を参照してください。

```
Instruction_address_error()
{
            TEA = EXCEPTION_ADDRESS;
            PTEH.VPN = PAGE_NUMBER;
            SPC = PC;
            SSR = SR;
            SGR = R15;
            EXPEVT = H'0000 00E0;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = VBR + H'0000 0100;
}
```

(8) 無条件トラップ

- 要因：TRAPA命令の実行
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
  処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRレジスタのBLビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。

```
TRAPA_exception()
{
        SPC = PC + 2;
        SSR = SR;
        SGR = R15;
        TRA = imm << 2;
        EXPEVT = H'0000 0160;
        SR.MD = 1;
        SR.RB = 1;
        SR.BL = 1;
        PC = VBR + H'0000 0100;
}
```

(9) 一般不当命令例外

• 要因：

- 遅延スロット以外にある未定義命令をデコード
  遅延分岐命令：JMP、JSR、BRA、BRAF、BSR、BSRF、RTS、RTE、BT/S、BF/S
  未定義命令：H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード
  特権命令：LDC、STC、RTE、LDTLB、SLEEP
  ただし、LDC、STCでGBRをアクセスする命令を除く

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：
本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'180をEXPEVTにセットします。SRレジスタのBL ビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```
General_illegal_instruction_exception()

{
            SPC = PC;

            SSR = SR;

            SGR = R15;

            EXPEVT = H'0000 0180;

            SR.MD = 1;

            SR.RB = 1;

            SR.BL = 1;

            PC = VBR + H'0000 0100;

}
```

(10) スロット不当命令例外

• 要因：

- 遅延スロットにある未定義命令をデコード
  遅延分岐命令：JMP、JSR、BRA、BRAF、BSR、BSRF、RTS、RTE、BT/S、BF/S
  未定義命令：H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード
  PCを書き換える命令：JMP、JSR、BRA、BRAF、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、
  TRAPA、LDC Rm, SR、LDC.L @Rm＋, SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード
  特権命令：LDC、STC、RTE、LDTLB、SLEEP
  ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- BRDSSLPビット（EXPMASKレジスタのビット1）が0で、遅延スロットにあるSLEEP命令を実行

- RTEDSビット（EXPMASKレジスタのビット0）が0で、遅延スロットにあるNOP以外の命令を実行

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：
直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。例外コードH'1A0をEXPEVTにセットします。SRレジスタのBL ビット、MD ビット、RB ビットを1にセットし、PC＝VBR＋H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
            SPC = PC - 2;
            SSR = SR;
            SGR = R15;
            EXPEVT = H'0000 01A0;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = VBR + H'0000 0100;
}
```

(11) 一般FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令（注）をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
  本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'800をEXPEVTにセットします。SRレジスタのBL ビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。

```
General_fpu_disable_exception()
{
            SPC = PC;
            SSR = SR;
            SGR = R15;
            EXPEVT = H'0000 0800;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = VBR + H'0000 0100;
}
```

注. FPU 命令とは命令コードの最初の4 ビットがF である命令（ただし、未定義命令H'FFFD を除く）と、FPUL、FPSCRに対するLDS、STS、LDS.L、STS.L 命令です。

(12) スロットFPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
  直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。例外コードH'820をEXPEVTにセットします。SRレジスタのBL ビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
            SPC = PC - 2;
            SSR = SR;
            SGR = R15;
            EXPEVT = H'0000 0820;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = VBR + H'0000 0100;
}
```

(13) 命令実行前ユーザブレーク／命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、又はDBR
- 遷移時動作：
  命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。
  ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。SRレジスタのBL ビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。
  データブレークを設定した場合のPCについてなど、詳細は「42. ユーザブレークコントローラ（UBC）」を参照してください。

```
User_break_exception()
{
            SPC = (pre_execution break? PC : PC + 2);
            SSR = SR;
            SGR = R15;
            EXPEVT = H'0000 01E0;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = (BRCR.UBDE==1 ? DBR : VBR + H¢0000 0100);
}
```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
  本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRレジスタのBL ビット、MD ビット、RB ビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()
{
            SPC = PC;
            SSR = SR;
            SGR = R15;
            EXPEVT = H'0000 0120;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            PC = VBR + H'0000 0100;
}
```

6.6.3 割り込み

(1) NMI（ノンマスカブル割り込み）

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR＋H'0000 0600
- 遷移時動作：
  本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。
  例外コードH'1C0をINTEVTにセットします。SRレジスタのBL ビット、MDビット、RBビットを1にセットし、PC＝VBR＋H'0600に分岐します。本割り込みは、BL ビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。BL ビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。INTMU ビット（CPUOPMレジスタのビット3）が1のときに、NMI割り込みを受け付けた場合、IMASKビット（SRレジスタの7～4ビット）には、B'1111がセットされます。詳細は「10. 割り込みコントローラ（INTC）」を参照してください。

```
NMI()
{
            SPC = PC;
            SSR = SR;
            SGR = R15;
            INTEVT = H'0000 01C0;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            If (cond) SR.IMASK = B'1111;
            PC = VBR + H'0000 0600;
}
```

(2) 一般割り込み要求

- 要因：
- SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0（命令の切れ目で受け付けます）
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：
  受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRレジスタのBLビット、MDビット、RBビットを1にセットし、VBR＋H'0600に分岐します。CPUOPMレジスタのINTMUビットが1のときに、一般割り込みを受け付けた場合、SRレジスタのIMASKビットには、受け付けた割り込みのレベルが設定されます。詳細は「10. 割り込みコントローラ（INTC）」を参照してください。

```
Module_interruption()
{
            SPC = PC;
            SSR = SR;
            SGR = R15;
            INTEVT = H'0000 0400 ~ H'0000 3FE0;
            SR.MD = 1;
            SR.RB = 1;
            SR.BL = 1;
            if (cond) SR.IMASK = level_of accepted_interrupt ();
            PC = VBR + H'0000 0600;
}
```

6.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC命令やメモリ―メモリ間論理演算命令、TAS命令、MOVUA命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型、及び再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型、及び再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1) のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC→PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

6.7 注意事項

(1) 例外処理からの復帰

1. SRレジスタのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、BLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) BLビットが1のときに一般例外又は割り込みが発生した場合

1. 一般例外
   ユーザブレークを除く一般例外が発生した場合には、例外が発生した命令のPCがSPCにセットされ、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。
2. 割り込み
   通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み（NMI）が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。ただし、スリープ又はモジュールストップモードでは、BLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時のSPC

1. 再実行型の一般例外
   例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。
2. 完了型の一般例外、割り込み
   例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレークの受け付けは行われません。

(5) SRレジスタ値変更と例外の受け付け

1. LDC命令によりBLビット、MDビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します（注）。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

注. SRに対するLDC命令が実行されると、後続命令への命令フェッチが再び行われ、新しいSRの値で命令フェッチ例外の再評価が行われます。

7. メモリマネジメントユニット（MMU）

本LSIは、8ビットのアドレス空間識別子と32ビットの仮想アドレス空間から29ビットあるいは32ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本LSIに内蔵されたメモリマネジメントユニット（MMU：Memory Management Unit）を用いて行います。MMUは変換ルックアサイドバッファ（TLB：Translation Lookaside Buffer）にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本LSIは命令TLB（ITLB）を4エントリ、共用TLB（UTLB）を64エントリ内蔵しており、ITLBにはUTLBのコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

本LSIのMMUではいくつかの動作モードがあります。物理アドレスのマッピング範囲に関しては、29ビットアドレスモードと32ビットアドレス拡張モードがあります。MMUのフラグ機能に関しては、TLB互換モード（ページサイズ4種類、保護ビット4ビット）とTLB拡張モード（ページサイズ8種類、保護ビット6ビット）があります。

29ビットアドレスモードと32ビットアドレス拡張モードの選択は、SEビット（PASCRレジスタのビット31）で行います。また、MD10端子の入力によって、29ビットアドレスモードでブートする（29ビットブートモード）か、32ビットアドレス拡張モードでブートする（32ビットブートモード）かを選択できます。

TLB互換モードとTLB拡張モードの選択は、MEビット（MMUCRレジスタのビット7）で行います。

物理アドレスのマッピング範囲に関しては、「7.1 MMUの概要」～「7.7 メモリ割り付けTLBの構成」については、29ビットアドレスモードで説明し、「7.8 32ビットアドレス拡張モード」で、32ビットアドレス拡張モードでの差分機能をまとめて説明します。

MMUのフラグ機能に関しては、TLB互換モード、TLB拡張モードの両方を並記して説明します。

7.1 MMUの概要

MMUとは物理メモリを有効に利用するために考え出された機能です。図7.1（0）に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます（図7.1（1））。この物理メモリへのマッピングをプロセス自身が考えながら実行していては、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です（図7.1（2））。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていればよくなります。仮想メモリから物理メモリへのマッピングには、MMUが用いられます。通常、OSがMMUを管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは2次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム（TSS）の上で威力を発揮します（図7.1（3））。TSS上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます（図7.1（4））。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMUは複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMUには記憶保護の機能も備わっています。

MMUを用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報がMMUに登録されていなかったり、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのときMMUは例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMUの機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ（TLB）を用意し、頻繁に使用されるアドレス変換情報はTLBに置いておきます。TLBはアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式（ページング方式）と可変長のアドレス変換を用いる方式（セグメント方式）があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

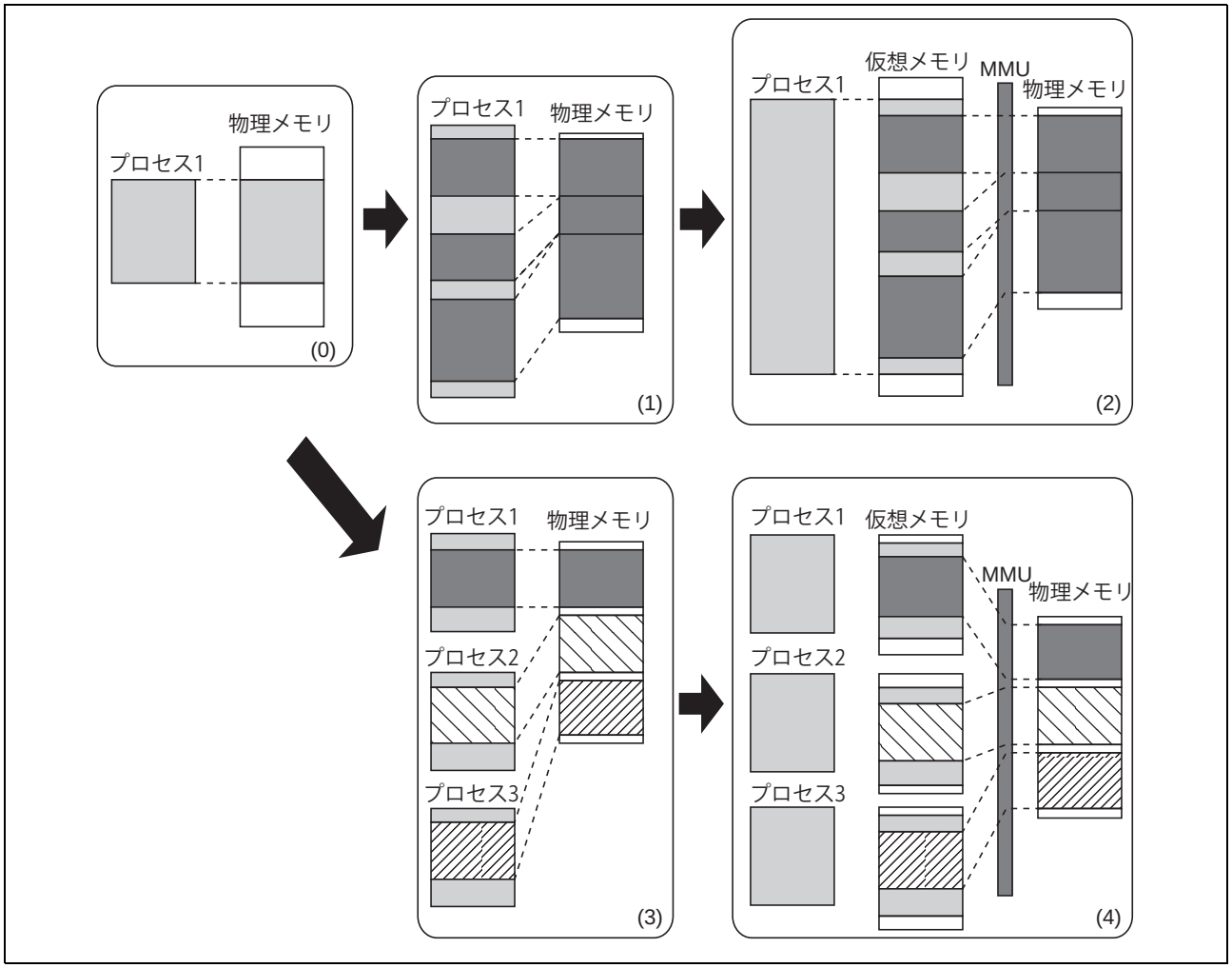


図 7.1　MMU の役割

7.1.1　アドレス空間

(1)　仮想アドレス空間

本LSIは32ビットの仮想アドレス空間をサポートし、4Gバイトのアドレス空間をアクセスできます。仮想アドレス空間は図7.2、図7.3に示すとおり、いくつかの領域に分かれています。特権モードではP0領域からP4領域の4Gバイトの空間をアクセスすることが可能です。ユーザモードではU0領域の2Gバイトの空間をアクセス可能です。またSQMDビット（MMUCRレジスタのビット9）が0の場合、ストアキュー領域の64Mバイトの空間もアクセス可能になり、RMDビット（RAMCRレジスタのビット9）が1の場合、内蔵メモリ領域の16Mバイトの空間もアクセス可能になります。ユーザモードでU0領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

ATビット（MMUCRレジスタのビット0）を1にし、MMUをイネーブルにしたとき、これらの領域のうち、P0、P3、U0領域は、任意の物理アドレス空間へ1K/4K/64K/1Mバイトページ単位（TLB互換モード時）、あるいは1K/4K/8K/64K/256K/1M/4M/64Mバイトページ単位（TLB拡張モード時）でマッピングすることができます。また8ビットのアドレス空間識別子を用いることにより、P0、P3、U0領域を256個まで増やすことが可能です。仮想アドレス空間から29ビットの物理アドレス空間へのマッピングにはTLBを用います。

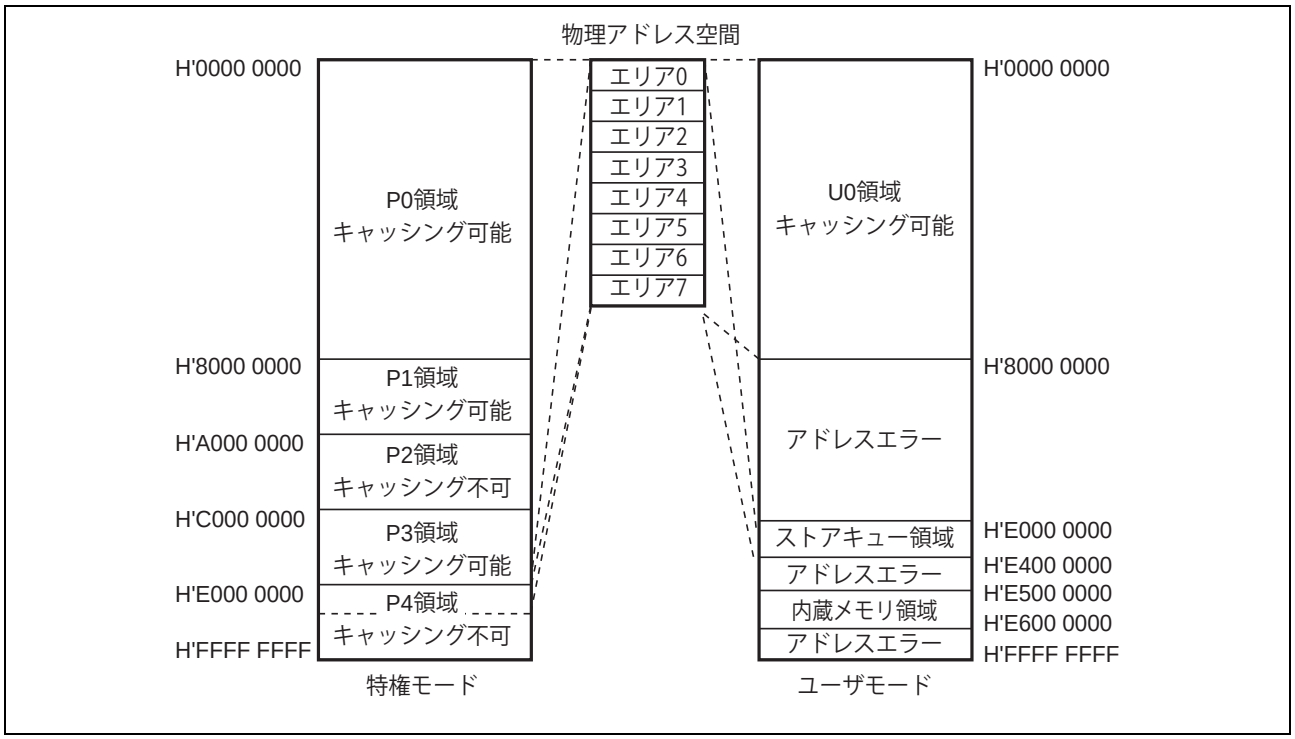


図 7.2　仮想アドレス空間（ATビット＝0）

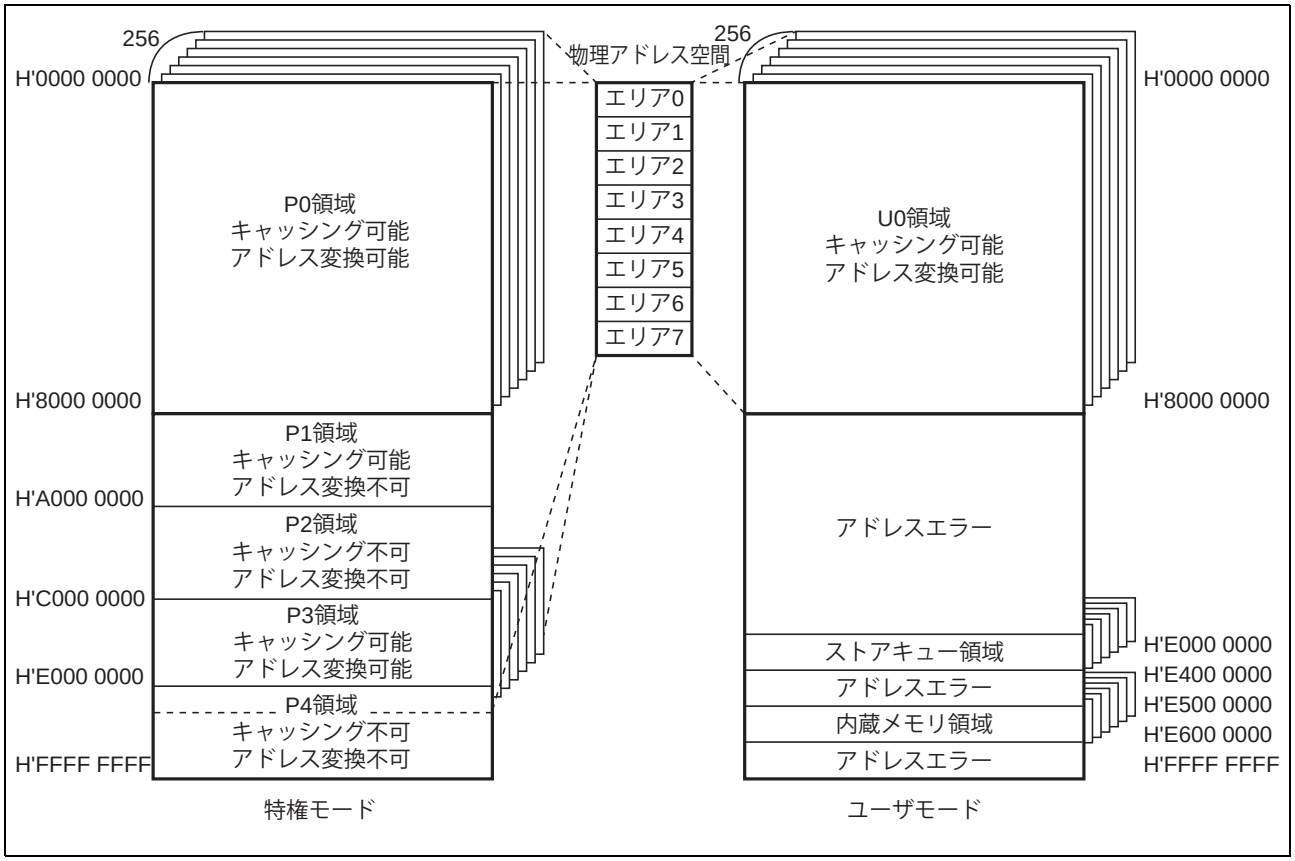


図 7.3　仮想アドレス空間（AT ビット＝1）

(a)　P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ（CCR）に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、WT ビット（CCR レジスタのビット 1）に従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位（TLB 互換モード時）、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位（TLB 拡張モード時）に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット（C ビット）が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b)　P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

(c)　P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は本LSI の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いてTLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。

P4 領域の詳細を図7.4 に示します。

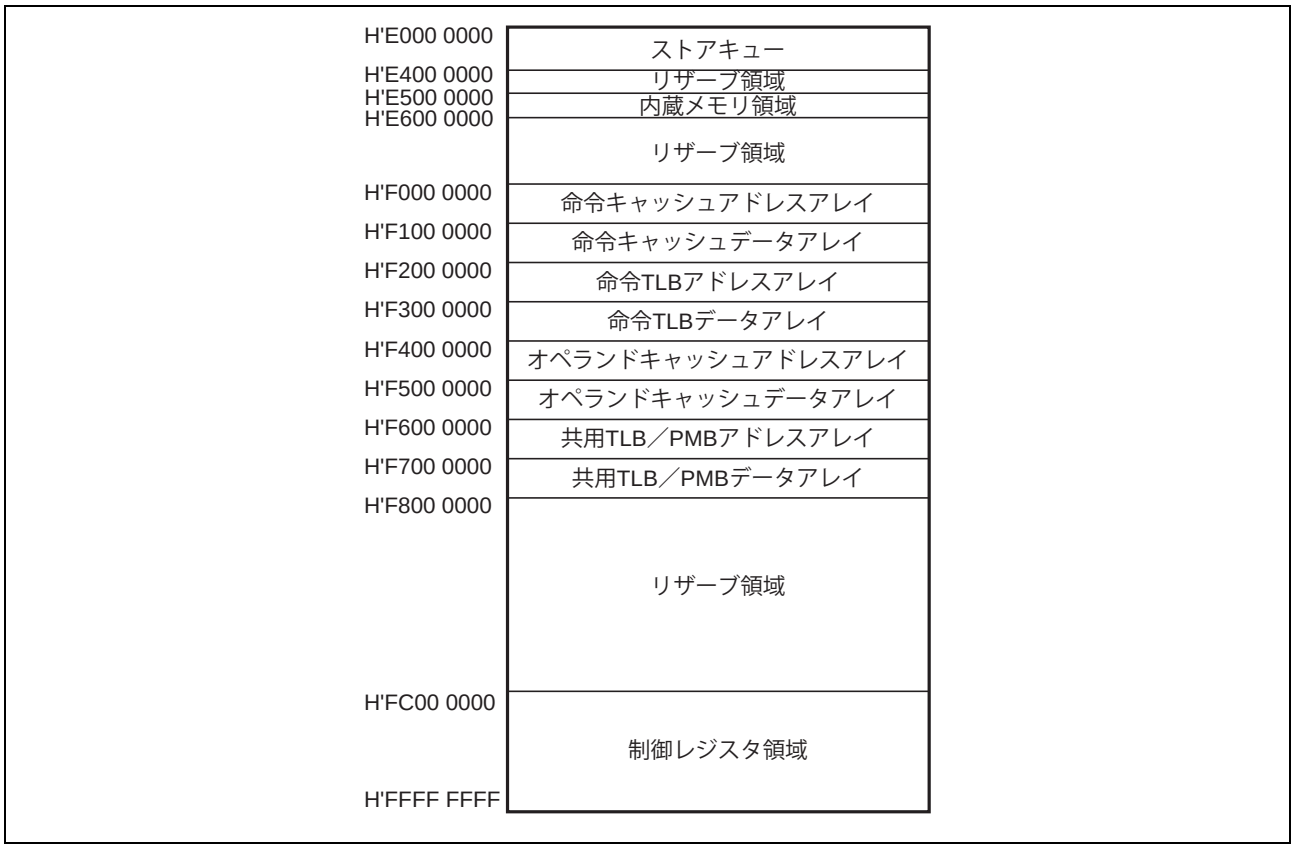


図 7.4　P4 領域

H'E000 0000～H'E3FF FFFF までは、ストアキュー（SQ）にアクセスするための領域です。ユーザモードでのアクセス権はSQMD ビット（MMUCR のビット9）で指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 0000～H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権はRMD ビット（RAMCR レジスタのビット9）で指定します。詳細は「9. 内蔵メモリ」を参照してください。

H'F000 0000～H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000～H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域 です。詳細は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000～H'F2FF FFFF までは、命令TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000～H'F37F FFFF までは、命令TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ（TLB 互換モード）」及び「7.7.3 ITLB データアレイ（TLB 拡張モード）」を参照してください。

H'F400 0000～H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000～H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

H'F600 0000～H'F60F FFFF までは、共用TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

H'F610 0000 ～ H'F61F FFFF までは、PMB のアドレスアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付けPMB の構成」を参照してください。

H'F700 0000～H'F70F FFFF までは、共用TLB のデータアレイを直接アクセスするための領域です。詳細は、「7.7.5 UTLB データアレイ（TLB 互換モード）」及び「7.7.6 UTLB データアレイ（TLB 拡張モード)」を参照してください。

H'F710 0000 ～ H'F71F FFFF までは、PMB のデータアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付けPMB の構成」を参照してください。

H'FC00 0000～H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は製品ハードウェアマニュアルの各章のレジスタ説明の項を参照してください。

(2)　物理アドレス空間

本LSI は29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図7.5 に示すとおり8つの領域に分かれています。エリア7 はリザーブ領域です。詳細は「11. ローカルバスステートコントローラ（LBSC)」を参照してください。

TLB を用いて物理アドレス空間のエリア7 をアクセスする場合のみ、エリア7 のH'1C00 0000～H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間のP4 領域に含まれる制御レジスタ領域と等価になります。

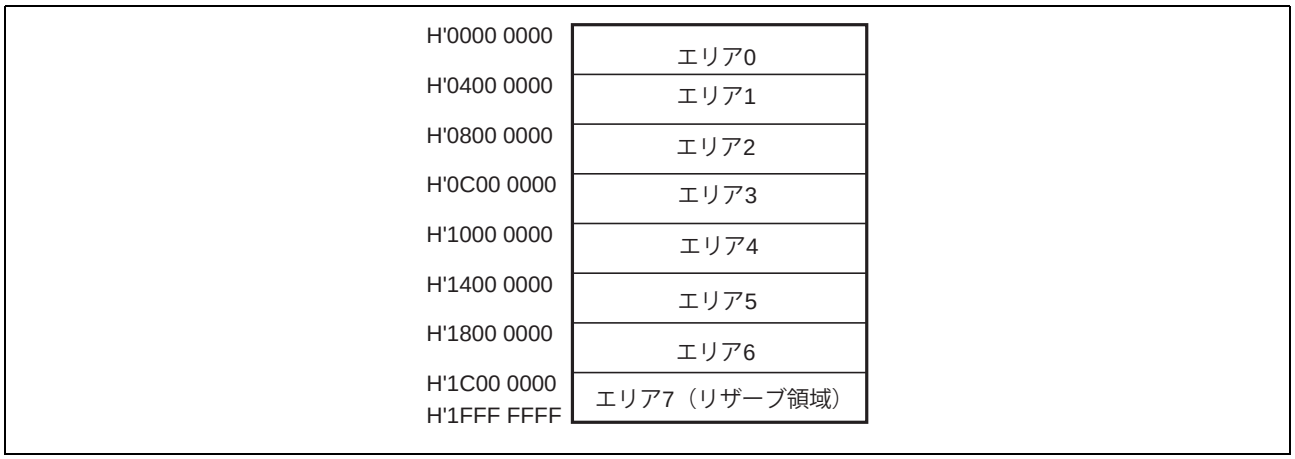


図 7.5　物理アドレス空間

(3)　アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本LSI では命令のアクセスにはITLB を、データのアクセスにはUTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスがP1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスがP0、U0、P3 領域に属する場合には、仮想アドレスでTLB が検索され、その仮想アドレスがTLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスがTLB に登録されていない場合には、TLB ミス例外が発生し、処理がTLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報をTLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4)　単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、SV ビット（MMUCR レジスタ のビット8）により選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他

的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式（「7.3.3 アドレス変換方式」参照）のみです。

(5) アドレス空間識別子（ASID）

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子（ASID）は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

注. 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号（VPN）を持つエントリを複数同時に TLB に設定してはいけません。

7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。
指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表7.1　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	32	H'XXXX XXXX	H'XXXX XXXX
ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004	32	H'XXXX XXXX	H'XXXX XXXX
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	32	H'XXXX XXXX	H'XXXX XXXX
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	32	H'XXXX XXXX	保持
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	32	H'0000 0000	H'0000 0000
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	32	H'0000 XXX0	H'0000 XXX0
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	32	H'0000 0000	H'0000 0000
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	32	H'0000 0000	H'0000 0000

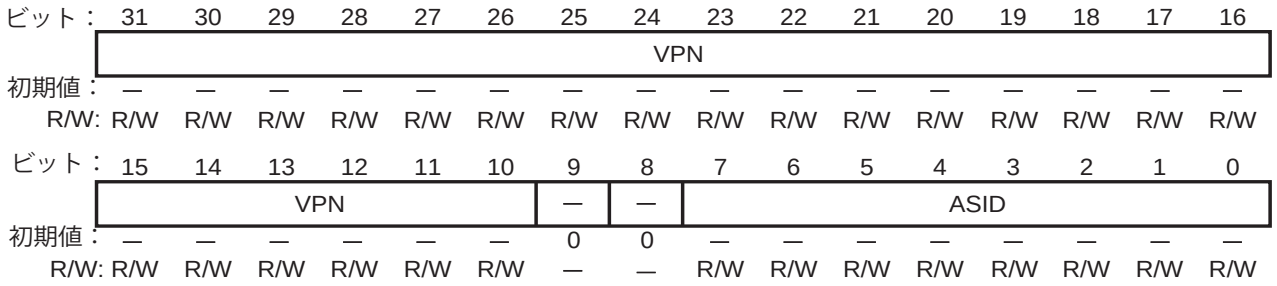
7.2.1 ページテーブルエントリ上位レジスタ（PTEH）

PTEH は仮想ページ番号（VPN）とアドレス空間識別子（ASID）から構成されています。VPN はMMU 例外又はアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。このVPN と ASID は、LDTLB 命令によりUTLB に登録されます。

PTEH レジスタのASID フィールドを更新後、更新後のASID 値を使用するP0、P3、U0 領域へのアクセス（命令フェッチを含む）を行う前に、以下の1～3 のいずれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. PTEH 更新の前にR2 ビット＝0 であった場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

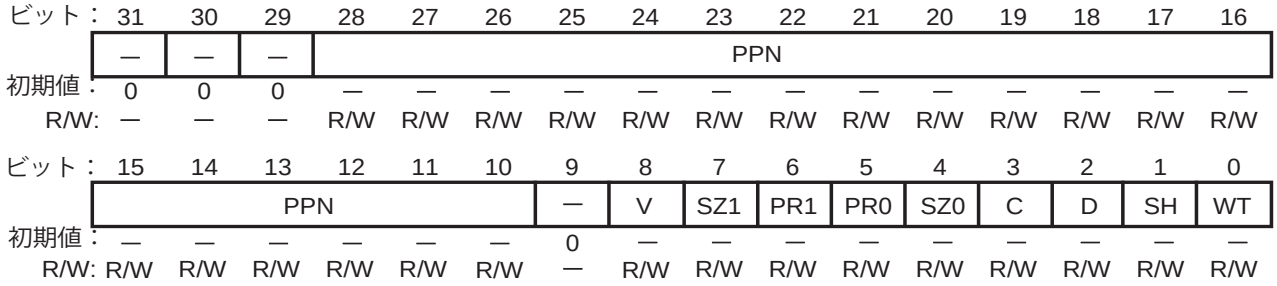
ただし、方法3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 又は2 を用いることを推奨します。



ビット	ビット名	初期値	R/W	説 明
31 ～ 10	VPN	不定	R/W	仮想ページ番号
9、8	—	0	—	リザーブビット
7 ～ 0	ASID	不定	R/W	アドレス空間識別子

7.2.2　ページテーブルエントリ下位レジスタ（PTEL）

PTEL はLDTLB 命令によりUTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。



ビット	ビット名	初期値	R/W	説 明
31～ 29	—	0	—	リザーブビット
28～10	PPN	不定	R/W	物理ページ番号
9	—	0	—	リザーブビット
8	V	不定	R/W	ページ管理情報 各ビットの意味は、共用TLB（UTLB）の対応するビットと同じです。 詳細は「7.3 TLB の機能（TLB 互換モード：MEビット＝0）」及び「7.4 TLB の機能（TLB 拡張モード：MEビット＝1）」を参照してください。 注．SZ1、PR1、SZ0、PR0 はTLB 互換モード時のみ有効です。
7	SZ1	不定	R/W	
6	PR1	不定	R/W	
5	PR0	不定	R/W	
4	SZ0	不定	R/W	
3	C	不定	R/W	
2	D	不定	R/W	
1	SH	不定	R/W	
0	WT	不定	R/W	

7.2.3　変換テーブルベースレジスタ（TTB）

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.4　TLB 例外アドレスレジスタ（TEA）

TEA は、MMU 例外又はアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA							MMU例外／アドレスエラーを発生させた仮想アドレス								
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA							MMU例外／アドレスエラーを発生させた仮想アドレス								
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.5　MMU 制御レジスタ（MMUCR）

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前に R2 ビット＝0 であった場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 又は 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビット（MMUCR レジスタのビット 31～26、ビット 15～10）はハードウェアにより更新されることもあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						—	—	URB						—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	—	—	—	—	TI	—	AT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～26	LRUI	000000	R/W	入れ換えを行うITLB エントリを示すLRU ビット ITLB ミス発生時に入れ換えるITLB のエントリを決めるため、LRU 方式（Least Recently Used）を用います。LRUI ビットを用いてITLB の追い出すエントリを確定できます。 LRUI は、以下のアルゴリズムで更新が行われます。 なお、以下の「x」は更新を行わないことを意味します。 000xxx：ITLB のエントリ0 を用いたとき 1xx00x：ITLB のエントリ1 を用いたとき x1x1x0：ITLB のエントリ2 を用いたとき xx1x11：ITLB のエントリ3 を用いたとき xxxxxx：上記以外 またLRUI が以下の状態のとき、対応するITLB のエントリがITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後にLRUI は0 に初期化されるので、ハードウェアの更新によってLRUI が設定禁止の値になることはありません。 なお、以下の「x」はDon't care を意味します。 111xxx：ITLB のエントリ0 が更新される 0xx11x：ITLB のエントリ1 が更新される x0x0x1：ITLB のエントリ2 が更新される xx0x00：ITLB のエントリ3 が更新される 上記以外：設定禁止
25、24	—	0	—	リザーブビット
23～18	URB	000000	R/W	入れ換えを行うUTLB エントリの境界を示すビット URB≠0 のときに有効となります。
17、16	—	0	—	リザーブビット
15～10	URC	000000	R/W	LDTLB 命令により入れ換えを行うUTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただしURB＞0 の場合、URC＝URB の条件が成立するとURC は0 にクリアされます。またソフトウェアによりURC＞URB となる値がURC に書き込まれた場合、最初はURC＝H'3F になるまでURB を超えてインクリメントされますので注意してください。なおURC は、LDTLB 命令によってカウントアップされません。

ビット	ビット名	初期値	R/W	説 明
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0：ユーザ／特権アクセスが可能 1：特権アクセスが可能（ユーザアクセスの場合はアドレスエラー例外）
8	SV	0	R/W	単一仮想記憶モード／多重仮想記憶モード切り替えビット このビットを変更するときは、必ずTI ビットにも1 を書き込んでください。 0：多重仮想記憶モード 1：単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0：TLB 互換モード 1：TLB 拡張モード ME ビットの値を変更する場合には、必ずTI ビットに1 を指定して、ITLB、UTLB の内容を無効化してください。また、ME ビットによるTLB 動作モード選択は、PMB の機能や動作には影響を与えません。
6～3	—	0	—	リザーブビット
2	TI	0	R/W	TLB 無効化ビット このビットに1 を書き込むと、UTLB/ITLB の有効ビットをすべて0 にクリアします。読み出すと常に0 が読み出されます
1	—	0	—	リザーブビット
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル（有効）とディスエーブル（無効）を指定します。 0：MMU ディスエーブルにする 1：MMU イネーブルにする AT ビットが0 の状態ではMMU 例外は発生しません。このためMMU を使用しないソフトウェアではAT ビットを0 の状態で使用してください。

7.2.6　ページテーブルエントリアシスタンスレジスタ（PTEA）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	EPR						ESZ				—	—	—	—
初期値：	0	0	—	—	—	—	—	—	—	—	—	—	0	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～14	—	0	—	リザーブビット
13～8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用TLB（UTLB）の対応するビットと同じです。 詳細は「7.4 TLB の機能（TLB 拡張モード：MEビット＝1）」を参照してください。
7～4	ESZ	不定	R/W	
3～0	—	0	—	リザーブビット

7.2.7　物理アドレス空間制御レジスタ（PASCR）

PASCR は物理アドレス空間の動作を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0/1(注1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UB							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	SE	0/1（注1）	R/W	0：29ビットアドレスモード 1：32ビットアドレス拡張モード （注2）
30～8	—	0	—	リザーブビット
7～0	UB	H'00	R/W	エリア（64M バイト）ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次のCPUからのバスアクセスを待たせるかをエリアごとに指定します。 0：バッファドライト（CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います） 1：アンバッファドライト（CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います） UB[7]：制御レジスタ領域に対応 UB[6]：エリア6 に対応 UB[5]：エリア5 に対応 UB[4]：エリア4 に対応 UB[3]：エリア3 に対応 UB[2]：エリア2 に対応 UB[1]：エリア1 に対応 UB[0]：エリア0 に対応

注1. MD10＝Hのとき“0”、MD10＝Lのとき“1”になります。
2. パワーオンリセットまたはマニュアルリセット後、キャッシュ及びTLBがオフのときのみ、“0”から“1”に書き換えられます。“1”から“0”には書き換えないでください
（「7.8.6 32ビットアドレス拡張モード使用時の注意事項」参照）。

7.2.8　命令再フェッチ抑止制御レジスタ（IRMCR）

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。
初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのためIRMCR の各ビットを1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。
特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	R2	R1	LT	MT	MC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	—	0	—	リザーブビット
4	R2	0	R/W	レジスタ変更後再フェッチ抑止2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止1 アドレスH'FF20 0000～H'FF2F FFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません
1	MT	0	R/W	メモリ割り付けTLB ライト後再フェッチ抑止 MMUCR レジスタのAT ビット＝1 の状態で、メモリ割り付けITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません

ビット	ビット名	初期値	R/W	説 明
0	MC	0	R/W	メモリ割り付けIC ライト後再フェッチ抑止 ICEビット（CCNレジスタのビット1）の状態で、メモリ割り付けIC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません

7.3　TLB の機能（TLB 互換モード：MEビット＝0）

7.3.1　共用TLB（UTLB）の構成

UTLB は次の2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図7.6 にUTLB の構成を示します。UTLB はフルアソシアティブ方式の64 エントリで構成されています。図7.7 にページサイズとアドレスの関係を示します。

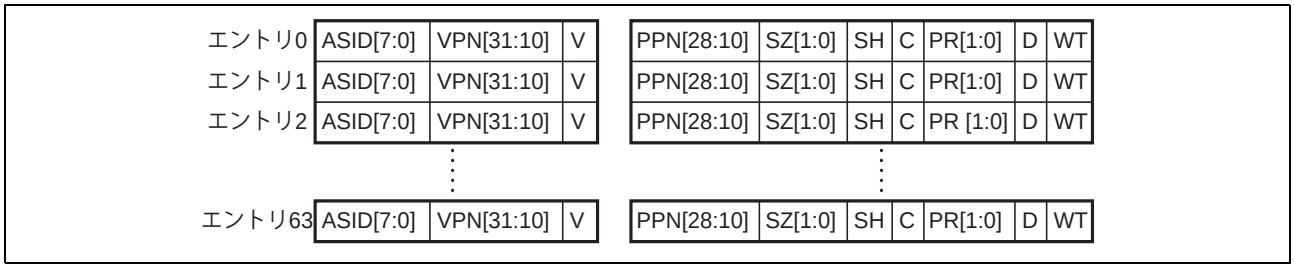


図 7.6　UTLB の構成（TLB 互換モード）

【記号説明】

- VPN：仮想ページ番号
  1Kバイトページのとき、仮想アドレスの上位22 ビット
  4K バイトページのとき、仮想アドレスの上位20 ビット
  64K バイトページのとき、仮想アドレスの上位16 ビット
  1M バイトページのとき、仮想アドレスの上位12 ビット

- ASID：アドレス空間識別子
  仮想ページをアクセスできるプロセスを示します。
  単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが0 ならアドレス比較の際にPTEH 中のASID と比較されます。

- SH：共有状態ビット
  0：複数のプロセスでページを共有しません。
  1：複数のプロセスでページを共有します。

- SZ[1:0]：ページサイズビット
  ページサイズを指定します。

00：1K バイトページ
01：4K バイトページ
10：64K バイトページ
11：1M バイトページ

- V：有効ビット

エントリが有効かどうかを示します。
0：無効
1：有効
パワーオンリセット時に0 にクリアされます。
マニュアルリセット時には変化しません。

- PPN：物理ページ番号

物理アドレスの上位22 ビット
1Kバイトページのときは PPN[28:10] が有効です。
4Kバイトページのときは PPN[28:12] が有効です。
64K バイトページのときは PPN[28:16] が有効です。
1Mバイトページのときは PPN[28:20] が有効です。
また PPN の設定においてはシノニム問題に注意してください
（「7.5.5 シノニム問題の回避」参照）。

- PR[1:0]：保護キーデータ

ページのアクセス権をコードで表した2 ビットデータ
00：特権モードで読み出しのみ可能
01：特権モードで読み出し／書き込み可能
10：特権／ユーザモードで読み出しのみ可能
11：特権／ユーザモードで読み出し／書き込み可能

- C：キャッシング可能ビット

ページがキャッシング可能かどうか示します。
0：キャッシング不可能。
1：キャッシング可能。
制御レジスタ空間のマッピングを行う場合、このビットは0 にしてください。

- D：ダーティビット

ページに書き込みが行われたかどうかを示します。
0：書き込みが行われていない。
1：書き込みが行われた。

- WT：ライトスルービット

キャッシュへの書き込みモードを指定します。
0：コピーバックモード
1：ライトスルーモード

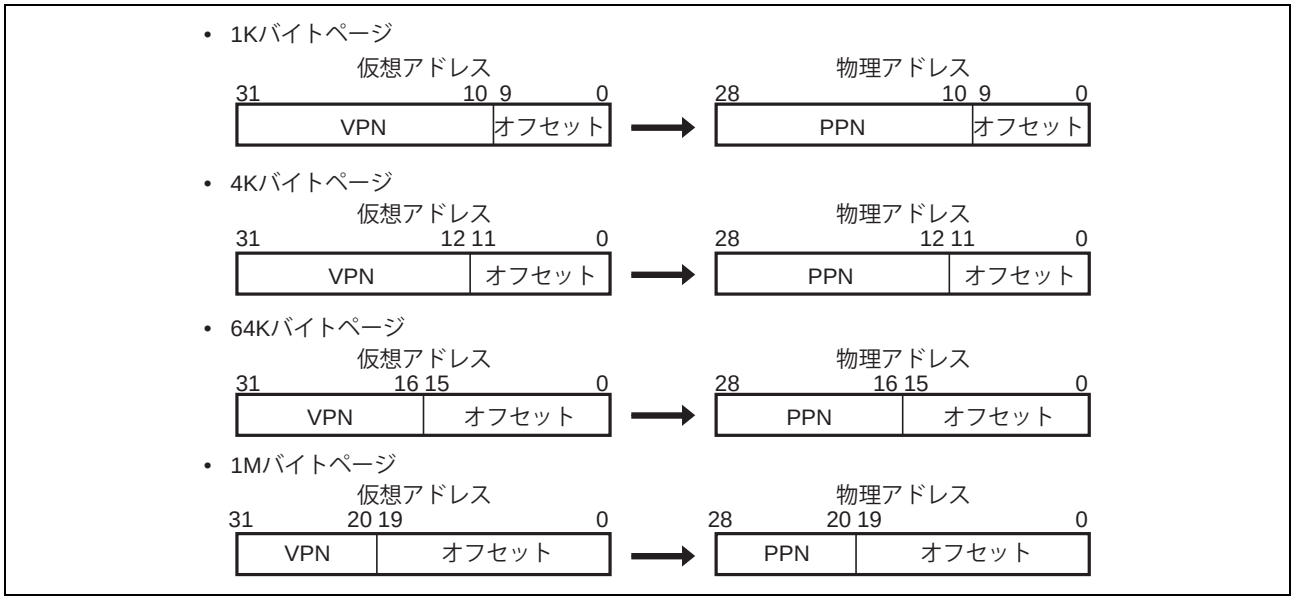


図 7.7　ページサイズとアドレスの関係（TLB 互換モード）

7.3.2　命令TLB（ITLB）の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB にはUTLB上に置かれるアドレス変換テーブルの情報がキャッシングされます。図7.8 にITLB の構成を示します。ITLB はフルアソシアティブの4 エントリで構成されています。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR

注 1. D、WTビットをサポートしません。
2. PRビットが1ビットになり、UTLBのPRビットの上位1ビットに対応します。

図 7.8　ITLB の構成（TLB 互換モード）

7.3.3　アドレス変換方式

図7.9 に、UTLB を用いたメモリアクセスのフローを示します。

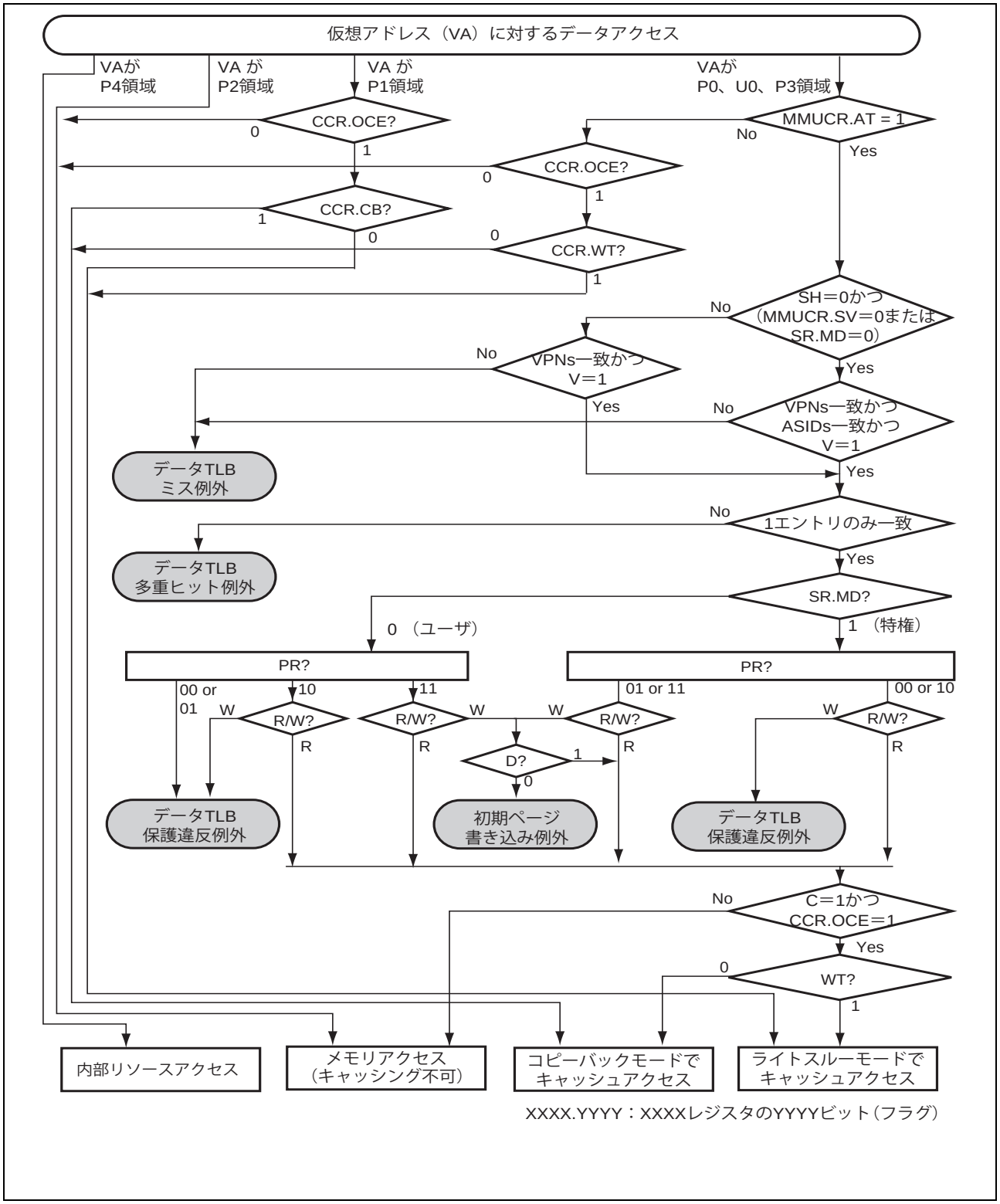


図 7.9　UTLB を用いたメモリアクセスフロー（TLB 互換モード）

図7.10にITLBを用いたメモリアクセスのフローを示します。

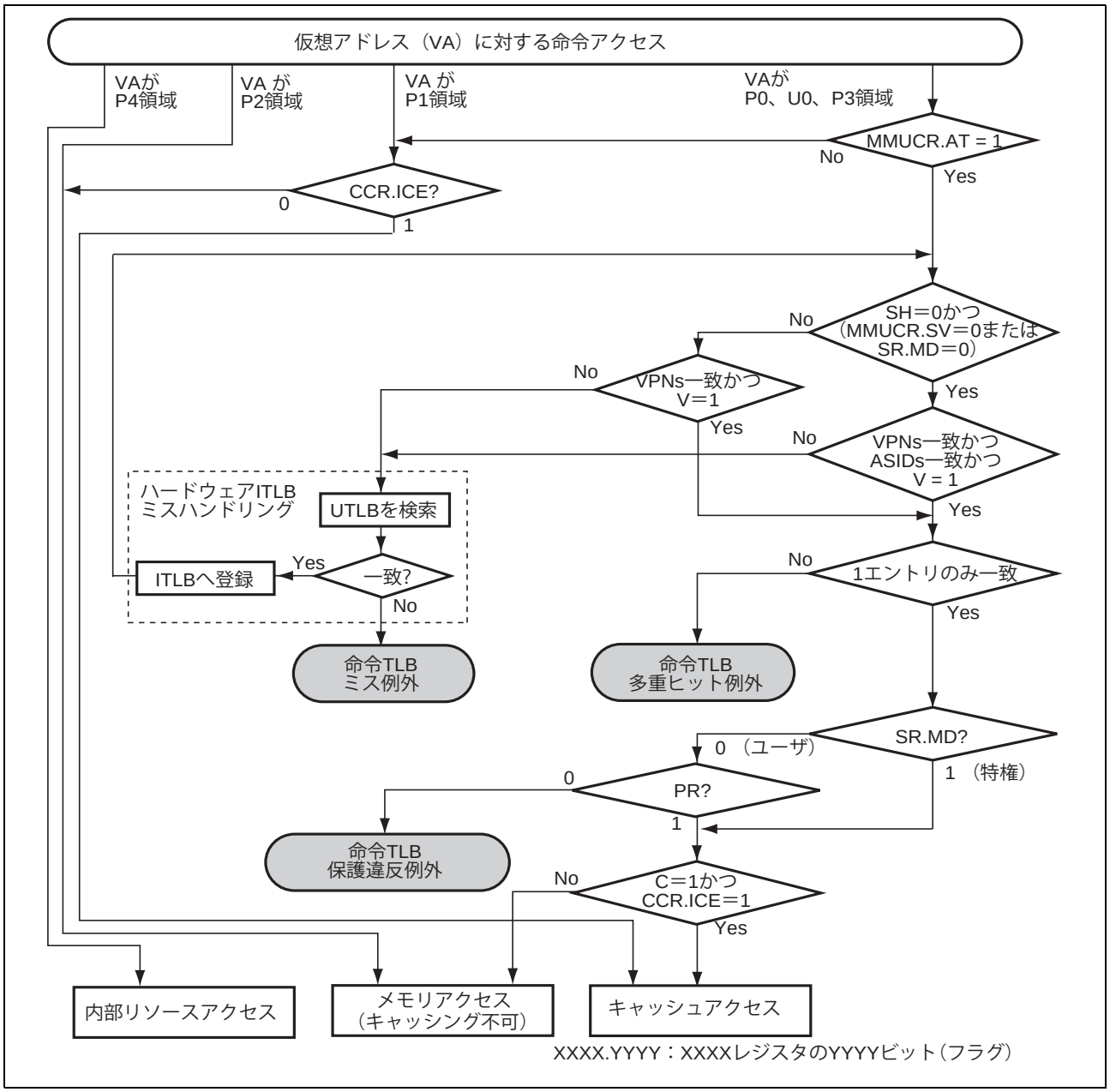


図 7.10　ITLB を用いたメモリアクセスフロー（TLB 互換モード）

7.4　TLB の機能（TLB 拡張モード：ME ビット＝1）

7.4.1　共用TLB（UTLB）の構成

図7.11 にTLB 拡張モード時のUTLB の構成を示します。図7.12 にページサイズとアドレスの関係を示します。

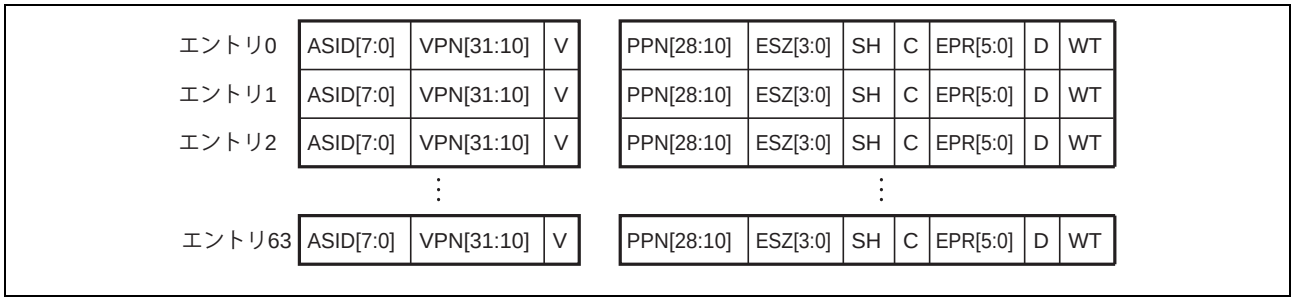


図 7.11　UTLB の構成（TLB 拡張モード）

【記号説明】

• VPN：仮想ページ番号
1K バイトページのとき、仮想アドレスの上位22 ビット
4K バイトページのとき、仮想アドレスの上位20 ビット
8K バイトページのとき、仮想アドレスの上位19 ビット
64K バイトページのとき、仮想アドレスの上位16 ビット
256K バイトページのとき、仮想アドレスの上位14 ビット
1M バイトページのとき、仮想アドレスの上位12 ビット
4M バイトページのとき、仮想アドレスの上位10 ビット
64M バイトページのとき、仮想アドレスの上位6 ビット

• ASID：アドレス空間識別子
仮想ページをアクセスできるプロセスを示します。
単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが0 ならアドレス比較の際にPTEH 中のASID と比較されます。

• SH：共有状態ビット
0：複数のプロセスでページを共有しません。
1：複数のプロセスでページを共有します。

• ESZ：ページサイズビット
ページサイズを指定します。
0000：1K バイトページ
0001 ：4K バイトページ
0010 ：8K バイトページ
0100 ：64K バイトページ
0101 ：256K バイトページ
0111 ：1M バイトページ
1000 ：4M バイトページ
1100 ：64M バイトページ
注.　上記以外の値を登録した場合の動作は保証しません。

• V：有効ビット
エントリが有効かどうかを示します。
0：無効

1：有効
パワーオンリセット時に0 にクリアされます。
マニュアルリセット時には変化しません。

- PPN：**物理ページ番号**

物理アドレスの上位19 ビット
1Kバイトページのときは PPN[28:10] が有効です。
4Kバイトページのときは PPN[28:12] が有効です。
8Kバイトページのときは PPN[28:13] が有効です。
64K バイトページのときは PPN[28:16] が有効です。
256K バイトページのときは PPN[28:18] が有効です。
1Mバイトページのときは PPN[28:20] が有効です。
4Mバイトページのときは PPN[28:22] が有効です。
64M バイトページのときは PPN[28:26] が有効です。
また PPN の設定においてはシノニム問題に注意してください
（「7.5.5 シノニム問題の回避」参照）。

- EPR：**保護キーデータ**

ページのアクセス権をコードで表した6 ビットデータ
特権モードでの読み出し／書き込み／実行（命令フェッチ）及びユーザモードでの読み出し／書き込み／実行（命令フェッチ）に対する許可を独立に設定可能です。各ビットそれぞれ0 で不許可、1 で許可を示します。
EPR[5]：特権モードでの読み出し
EPR[4]：特権モードでの書き込み
EPR[3]：特権モードでの実行（命令フェッチ）
EPR[2]：ユーザモードでの読み出し
EPR[1]：ユーザモードでの書き込み
EPR[0]：ユーザモードでの実行（命令フェッチ）

- C：**キャッシング可能ビット**

ページがキャッシング可能かどうか示します。
0：キャッシング不可能
1：キャッシング可能
制御レジスタ空間のマッピングを行う場合、このビットは0 にしてください。

- D：**ダーティビット**

ページに書き込みが行われたかどうかを示します。
0：書き込みが行われていない
1：書き込みが行われた

- WT：**ライトスルービット**

キャッシュへの書き込みモードを指定します。
0：コピーバックモード
1：ライトスルーモード

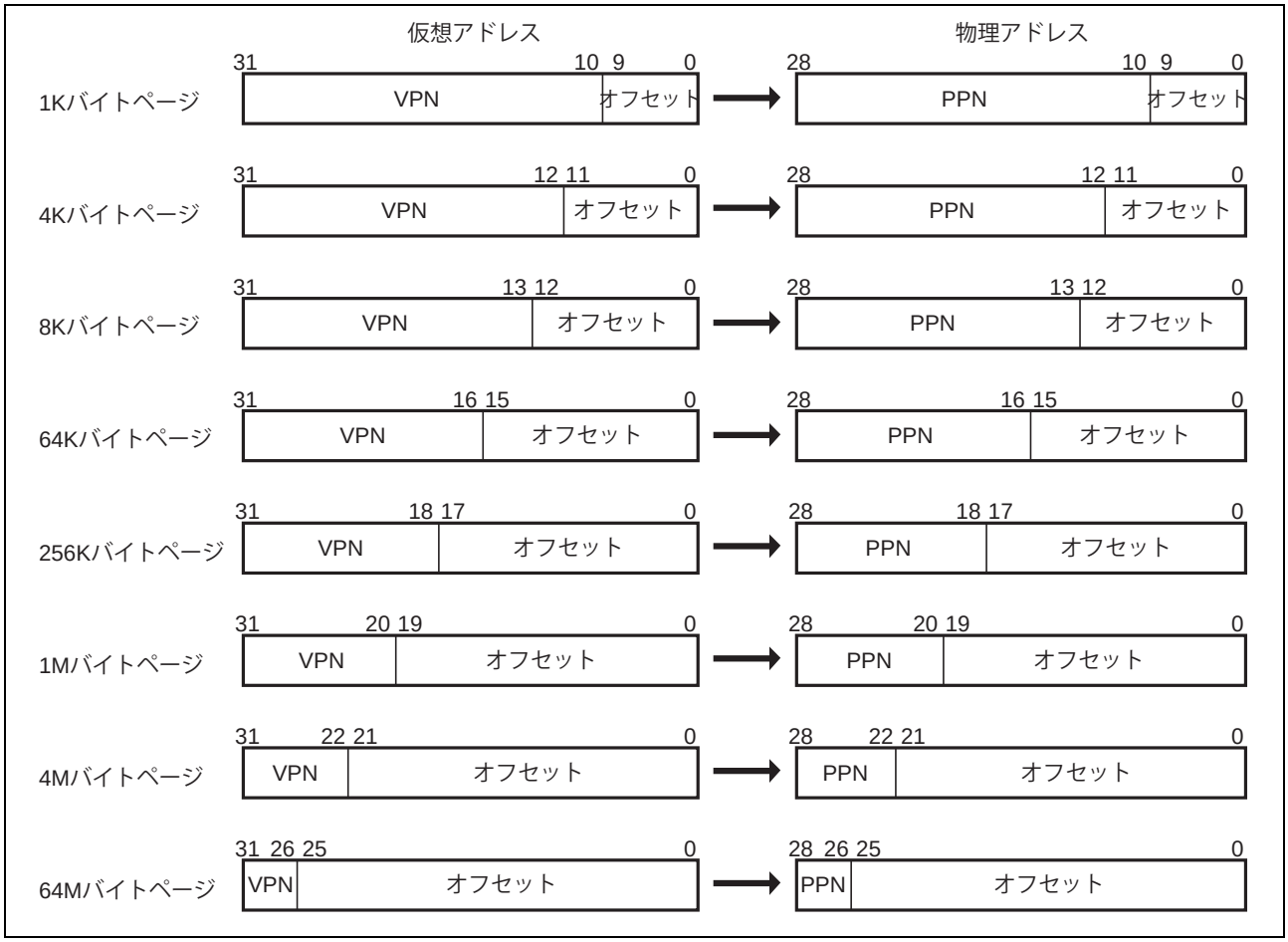


図 7.12　ページサイズとアドレスの関係（TLB 拡張モード）

7.4.2　命令TLB（ITLB）の構成

図7.13 にTLB 拡張モード時のITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

注. EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13　ITLB の構成（TLB 拡張モード）

7.4.3　アドレス変換方式

図7.14にTLB拡張モード時のUTLBを用いたメモリアクセスのフローを示します。

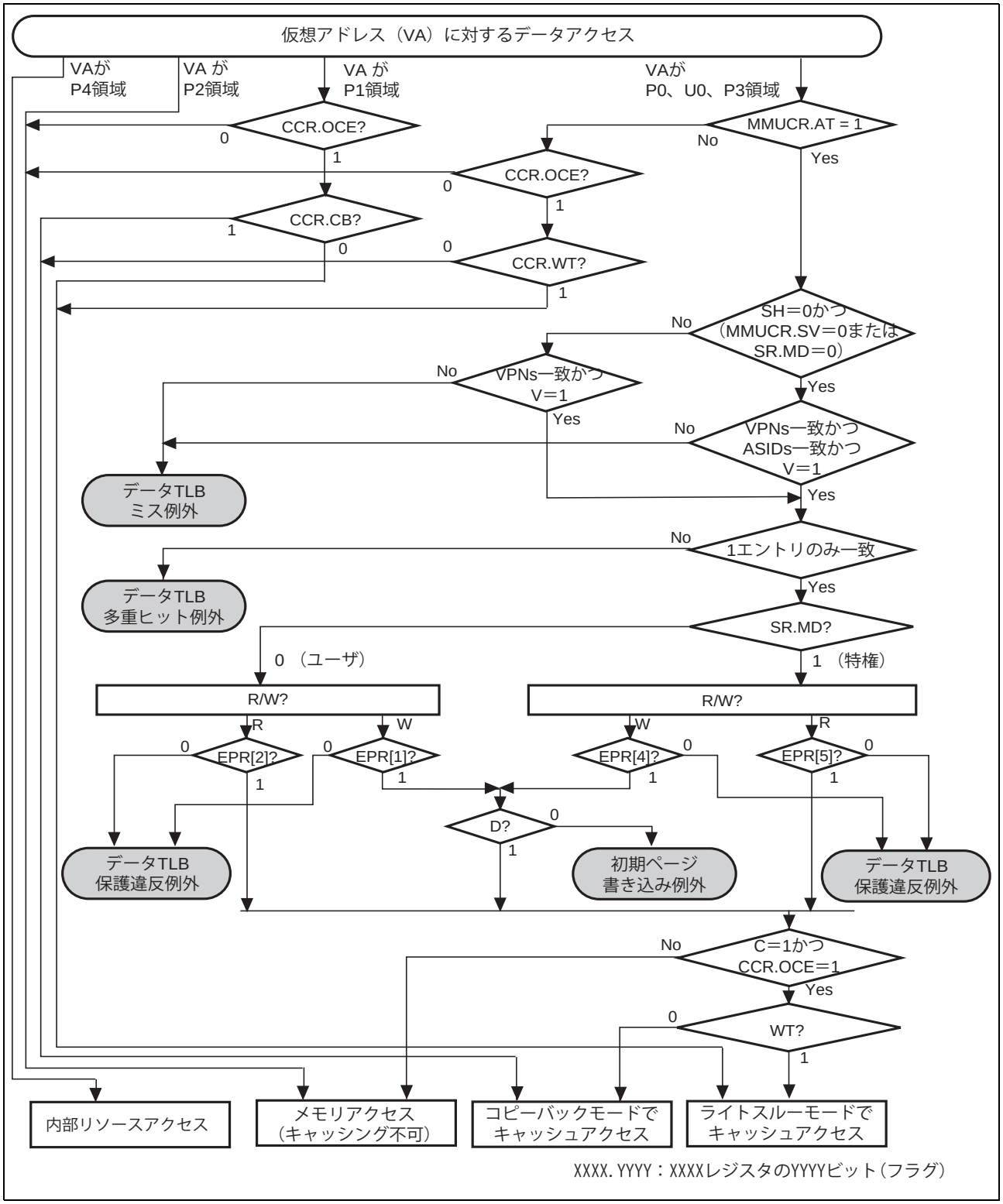


図 7.14　UTLB を用いたメモリアクセスフロー（TLB 拡張モード）

図7.15にTLB拡張モード時のITLBを用いたメモリアクセスのフローを示します。

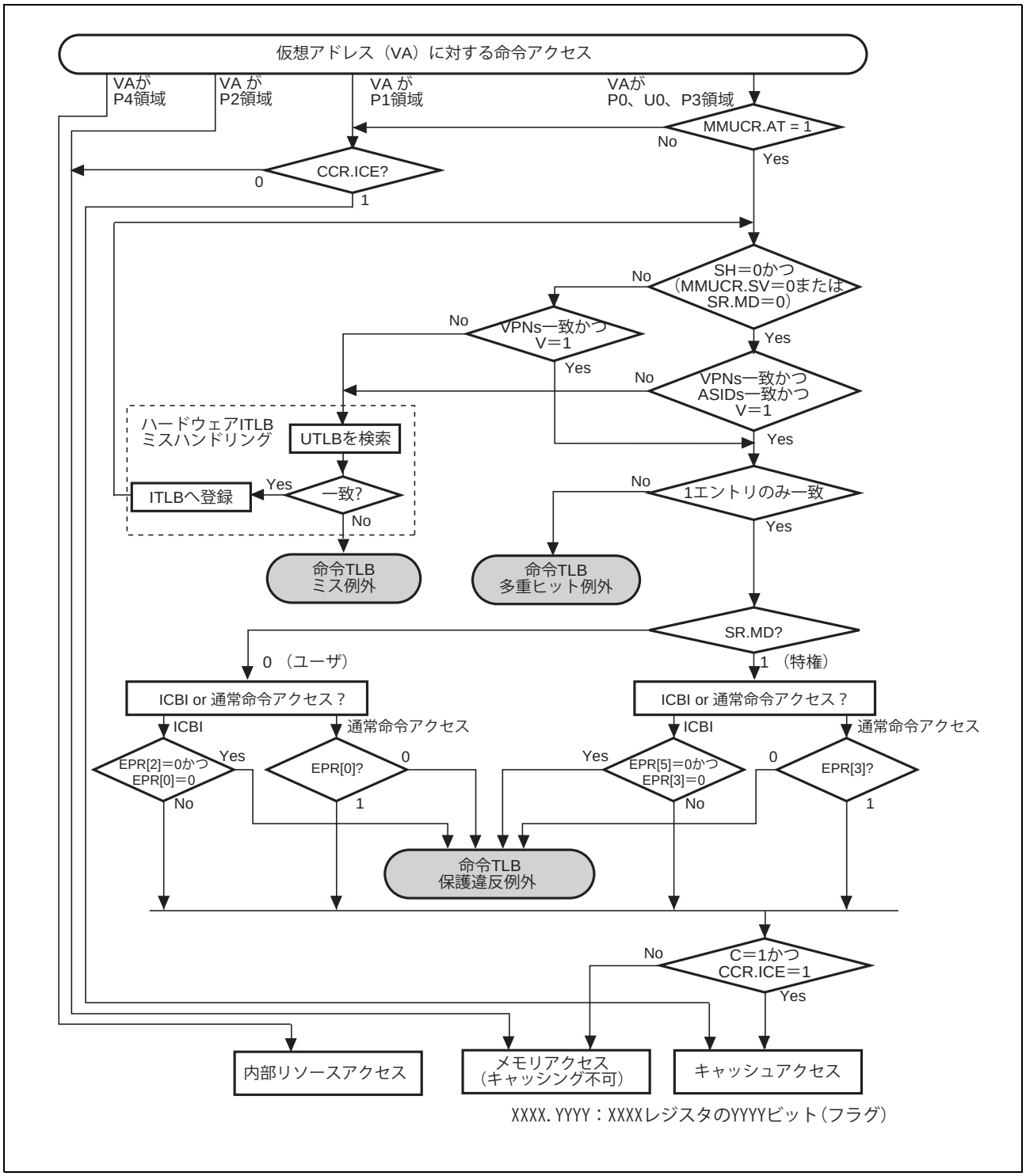


図 7.15　ITLB を用いたメモリアクセスフロー（TLB 拡張モード）

7.5 MMU の機能

7.5.1 MMU のハードウェア管理

本LSI がサポートするMMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCR の設定に従ってUTLB、ITLB を制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します（C、WT ビット）。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU 例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLB にアドレス変換情報が登録されていないとき、UTLB を検索します。必要なアドレス変換情報がUTLB に登録されていた場合、LRUI ビット（MMUCR のビット31～26）に従い、ITLB にそのアドレス変換情報をコピーします。

7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLB エントリの登録、削除、読み出し。UTLB エントリの登録にはLDTLB 命令を用いる方法と、メモリ割り付けUTLB に直接書き込む方法があります。ITLB エントリの登録はメモリ割り付けITLB に直接書き込む方法しかありません。UTLB、ITLB エントリの削除と読み出しは、メモリ割り付けUTLB、ITLB をアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

7.5.3　MMU の命令（LDTLB）

UTLB エントリを登録する命令として TLB ロード命令（LDTLB）があります。LDTLB 命令が発行されると、本LSI はPTEH と PTEL の内容を（加えて TLB 拡張モードの場合にはPTEA の内容を）URC ビットが指し示すUTLB エントリにコピーします。LDTLB 命令によりITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ずP1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス（命令フェッチを含む）を行う前に、以下の1～3のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にLT ビット＝0であった場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1又は2を用いることを推奨します。

図7.16、図7.17 にLDTLB 命令の動作を示します。

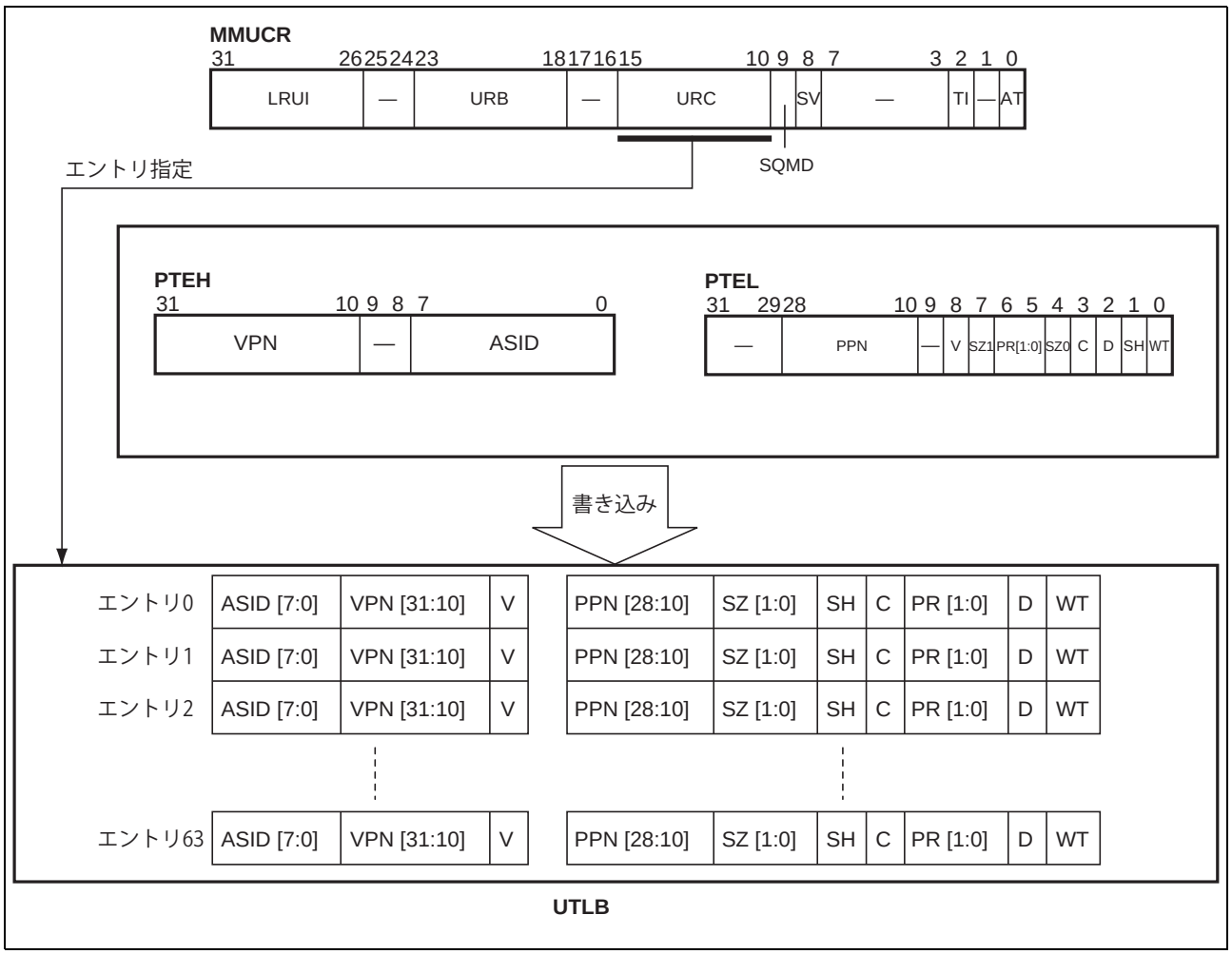


図 7.16　LDTLB 命令の動作（TLB 互換モード）

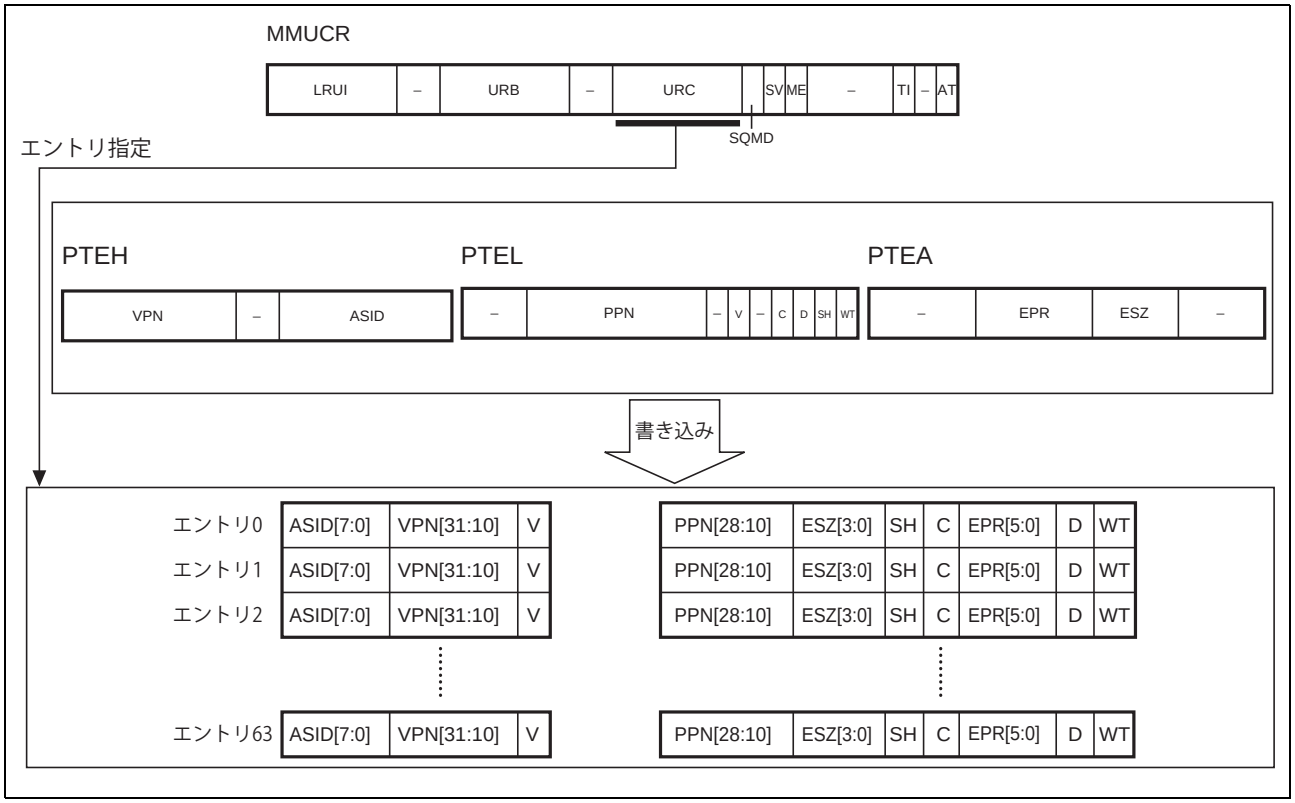


図 7.17　LDTLB 命令の動作（TLB 拡張モード）

7.5.4　ハードウェアITLB ミスハンドリング

本LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった（ITLB ミス）場合、ハードウェアによりUTLB を検索し、必要なアドレス変換情報があればITLB への登録を行います。これをハードウェアITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令TLB ミス例外を発生し、処理をソフトウェアへ移します。

7.5.5　シノニム問題の回避

TLB エントリに1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5] を用いて、エントリの指定を行います。しかし1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります
このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。
このためUTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

- 複数の 1K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
- 複数の 4K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
- 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
- 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

32 Kバイト以外のキャッシュサイズの場合、シノニム問題が発生する可能性があるページサイズ、及びUTLBへのエントリ登録時に一致させる必要があるVPN内のビット位置に関しては、上記説明と異なります。キャッシュサイズ8 Kバイト～ 64 Kバイトのシノニム問題が発生する可能性があるページサイズを表7.2に示します。

表7.2　キャッシュサイズとシノニム問題の回避策

キャッシュサイズ	ページサイズ	ビット値
8 K バイト	1 K バイト	VPN[1:0]
16 K バイト	1 K バイト	VPN[11:10]
32K バイト	1 K バイト	VPN[12:10]
	4 K バイト	VPN[12]
64 K バイト	1 K バイト	VPN[13:10]
	4 K バイト	VPN[13:12]

注. 将来のSuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。
また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

7.6 MMU 例外

MMU 例外には、命令TLB 多重ヒット例外、命令TLB ミス例外、命令TLB 保護違反例外、データTLB 多重ヒット例外、データTLB ミス例外、データTLB 保護違反例外、初期ページ書き込み例外の7 つの例外があります。各例外の発生条件については図7.9、図7.10、図7.14、図7.15 及び「6. 例外処理」を参照してください。

7.6.1 命令TLB 多重ヒット例外

命令TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致するITLB エントリが複数存在した場合に発生します。ハードウェアITLB ミスハンドリングによりUTLB を検索する際にUTLB で多重ヒットが発生した場合も、命令TLB 多重ヒット例外となります。

命令TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

• ハードウェア処理

命令TLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン（H'A000 0000）に分岐します。

• ソフトウェア処理（リセットルーチン）

リセット処理ルーチンで多重ヒットを発生させたITLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.2 命令TLB ミス例外

命令TLB ミス例外は、ハードウェアITLB ミスハンドリングによりUTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータTLB ミス例外時の処理と同じです。

• ハードウェア処理

命令TLBミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'040を、EXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. MDビット（SRレジスタのビット30）を”1”に設定し、特権モードに切り替えます。
7. BLビット（SRレジスタのビット28）を”1”に設定し、これ以降の例外要求をマスクします。
8. RBビット（SRレジスタのビット29）を”1”に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。

• ソフトウェア処理（命令TLBミス例外処理ルーチン）

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB換モードの場合､外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。

TLB 拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。

2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、TLB 互換モードの場合、PTEH、PTEL の内容を TLB に書き込みます。TLB拡張モードの場合は、PTEH、PTEL、及びPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

LDTLB命令の実行については、「7.10.1 LDTLB 命令使用上の注意事項」を参照してください。

7.6.3　命令TLB 保護違反例外

命令TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報がITLB エントリに存在するにもかかわらず、実際のアクセスタイプがPR あるいはEPR ビットで指定されるアクセス権で許されていない場合に発生します。命令TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

• ハードウェア処理

命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'0A0をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. MDビット（SRレジスタのビット30）を”1”に設定し、特権モードに切り替えます。
7. BLビット（SRレジスタのビット28）を”1”に設定し、これ以降の例外要求をマスクします。
8. RBビット（SRレジスタのビット29）を”1”に設定します。
9. VBRの内容にオフセットH'0000　0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

• ソフトウェア処理（命令TLB保護違反例外処理ルーチン）

命令TLB保護違反を解決し、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.4　データTLB 多重ヒット例外

データTLB 多重ヒット例外は、データアクセスした仮想アドレスに一致するUTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。また例外発生以前のUTLB 内のPPN の内容は壊れることがあります。

• ハードウェア処理

データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン（H'A000 0000）に分岐します。

• ソフトウェア処理（リセットルーチン）
リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.5 データTLBミス例外

データTLBミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報がUTLB内に見つからなかったときに発生します。データTLBミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

• ハードウェア処理
データTLBミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'040を、書き込みのとき例外コードH'060を、EXPEVTに設定します（OCBP、OCBWB：読み出し、OCBI、MOVCA.L：書き込み）。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. MDビット（SRレジスタのビット30）を”1”に設定し、特権モードに切り替えます。
7. BLビット（SRレジスタのビット28）を”1”に設定し、これ以降の例外要求をマスクします。
8. RBビット（SRレジスタのビット29）を”1”に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、データTLBミス例外処理ルーチンを開始します。

• ソフトウェア処理（データTLBミス例外処理ルーチン）
外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB 互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. TLB互換モードの場合、LDTLB命令を実行させ、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTEL、及びPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。LDTLB命令の実行については、「7.10.1 LDTLB 命令使用上の注意事項」を参照してください。

7.6.6 データTLB保護違反例外

データTLB保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在するにもかかわらず、実際のアクセスタイプがPRあるいはEPRビットで指定されるアクセス権で許されていない場合に発生します。データTLB保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

• ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します（OCBP、OCBWB：読み出し、OCBI、MOVCA.L：書き込み）。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. MDビット（SRレジスタのビット30）を”1”に設定し、特権モードに切り替えます。
7. BLビット（SRレジスタのビット28）を”1”に設定し、これ以降の例外要求をマスクします。
8. RBビット（SRレジスタのビット29）を”1”に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

• ソフトウェア処理（データTLB保護違反例外処理ルーチン）

データTLB保護違反を解決し、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス（書き込み）した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

• ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. MDビット（SRレジスタのビット30）を”1”に設定し、特権モードに切り替えます。
7. BLビット（SRレジスタのビット28）を”1”に設定し、これ以降の例外要求をマスクします。
8. RBビット（SRレジスタのビット29）を”1”に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

• ソフトウェア処理（初期ページ書き込み例外処理ルーチン）

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。

4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. TLB互換モードの場合、LDTLB命令を実行させ、PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTEL、及びPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.7 メモリ割り付けTLB の構成

ITLB 及びUTLB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムからMOV命令によってITLB 及びUTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P1/P2 領域以外へのアクセス（命令フェッチを含む）を行う前に、以下の1～3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP1/P2領域以外でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にMT ビット＝0 であった場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3 は今後のSuperH シリーズでは保証されない可能性があります。今後のSuperH シリーズでの互換性を保証するためには、1 又は2 を用いることを推奨します。

ITLB 及びUTLB は仮想アドレス空間のP4 領域に割り付けられています。

TLB 互換モードの場合、ITLB ではVPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB ではVPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V とD はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB ではVPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB ではVPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V とD は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として0 を指定してください。読み出し値は保証しません。

7.7.1　ITLB アドレスアレイ

ITLB のアドレスアレイはP4 領域のH'F200 0000～H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込むVPN、V、ASID を指定します。

アドレス部は、[31:24]がITLB アドレスアレイを示すH'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため0 を指定してください。

データ部は、[31:10]がVPN を、[8]がV を、[7:0]がASID を示します。

ITLB アドレスアレイに対しては以下の２種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し
   アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。
2. ITLBアドレスアレイ 書き込み
   アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

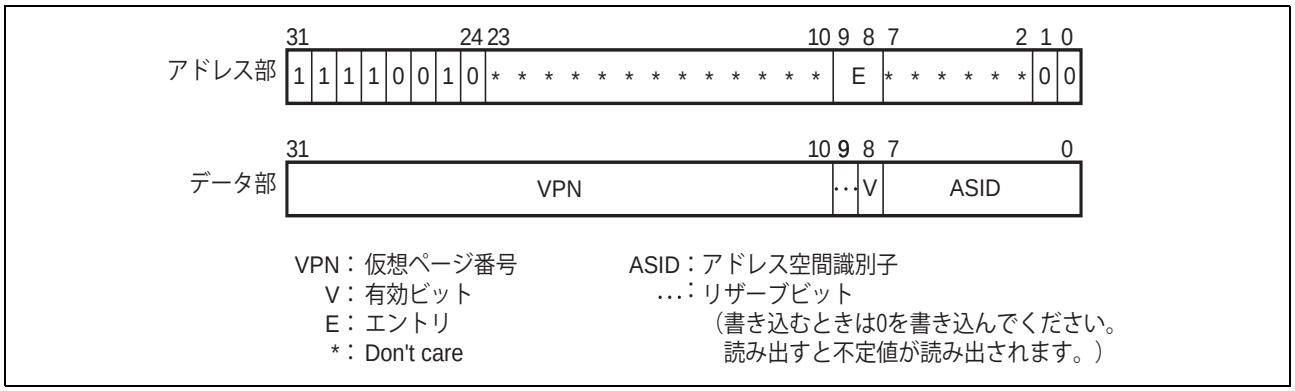


図 7.18　メモリ割り付けITLB アドレスアレイ

7.7.2　ITLB データアレイ（TLB 互換モード）

ITLB のデータアレイはP4 領域のH'F300 0000～H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込むPPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23] が ITLB データアレイを示すH'F30 になっており、[9:8] でエントリを選択するようになっています。

データ部は、[28:10] がPPN を、[8] がV を、[7]、[4] がSZ を、[6] がPR を、[3] がC を、[1] がSH を示します。ITLB データアレイに対しては以下の2 種類の操作が可能です。

1. ITLBデータアレイ 読み出し
   アドレス部に設定されたエントリに対応するITLBエントリから、データ部へPPN、V、SZ、PR、C、SHを読み出します。
2. ITLBデータアレイ 書き込み
   アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、SHを書き込みます。

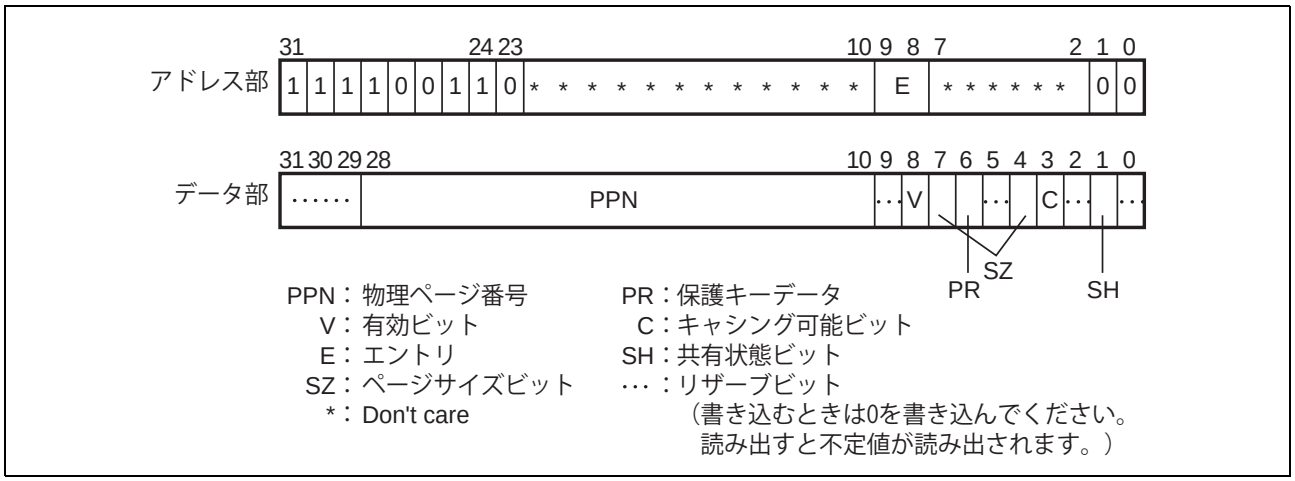


図 7.19　メモリ割り付けITLB データアレイ（TLB 互換モード）

7.7.3　ITLB データアレイ（TLB 拡張モード）

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。
TLB 互換モード（MMUCR レジスタの＝0）のときには、ITLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1)　ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

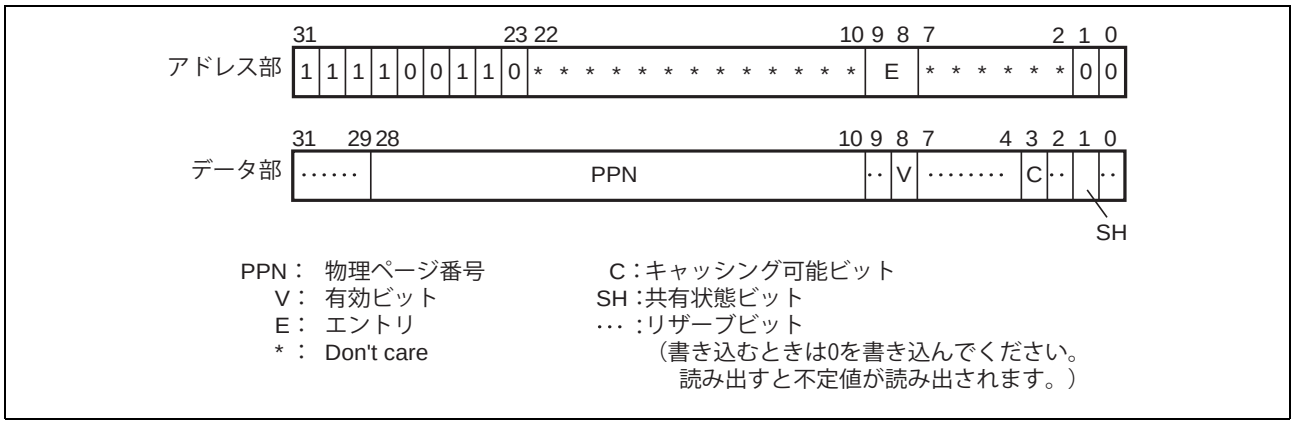


図 7.20　メモリ割り付けITLB データアレイ 1（TLB 拡張モード）

(2) ITLB データアレイ2

ITLB のデータアレイはP4 領域のH'F380 0000～H'F3FF FFFF に割り付けられています。データアレイ2 のアクセスには32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ2に書き込むEPR、ESZ を指定します。

アドレス部は、[31:23]がITLB データアレイ2 を示すH'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれEPR[5][3][2][0]を、[7:4]がESZ を示します。ITLB データアレイ2 に対しては以下の2 種類の操作が可能です。

1. TLBデータアレイ2 読み出し
   アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。
2. ITLBデータアレイ2 書き込み
   アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

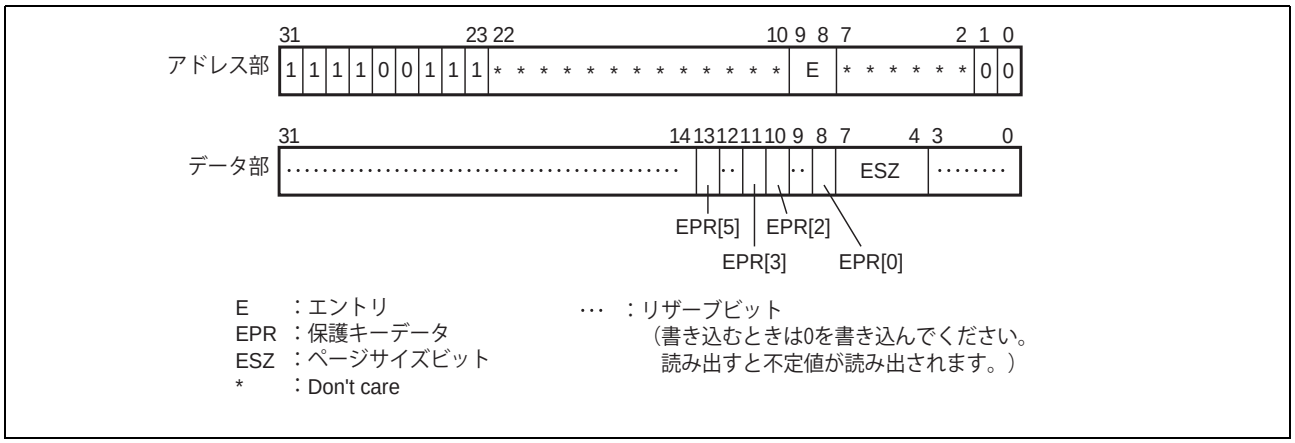


図 7.21　メモリ割り付けITLB データアレイ2（TLB 拡張モード）

7.7.4　UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000 ～ H'F60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20]が UTLB アドレスアレイを示す H'F60 になっており、[13:8]でエントリを選択するようになっています。アドレス部[7]の連想ビット（A ビット）は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLBアドレスアレイ 読み出し
   アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは”1”でも”0”でも連想動作は行いません。
2. UTLBアドレスアレイ 書き込み（連想なし）
   アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは”0”にしてください。
3. UTLBアドレスアレイ 書き込み（連想あり）
   アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合、例外は発生せずノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側にのみ書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

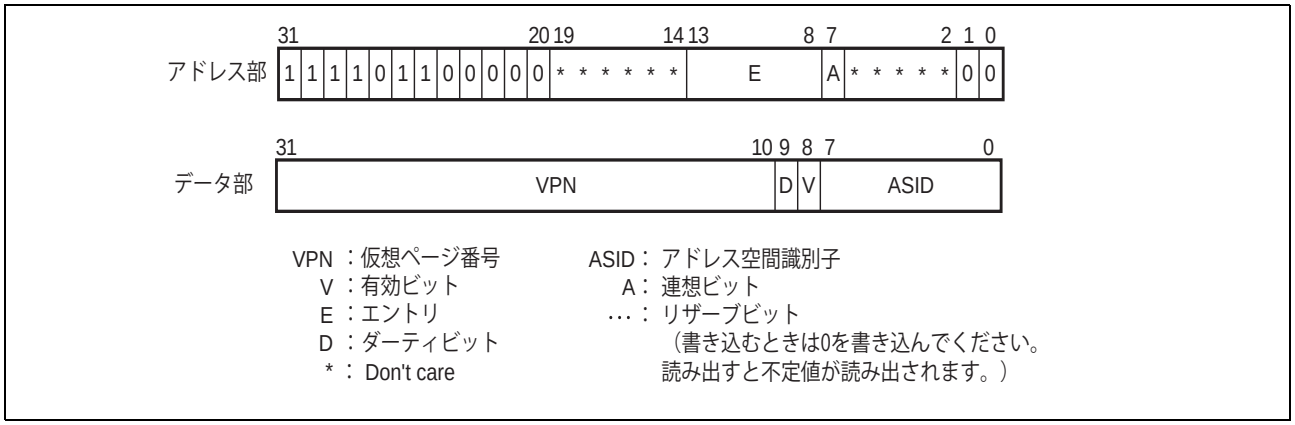


図 7.22　メモリ割り付けUTLB アドレスアレイ

7.7.5　UTLB データアレイ（TLB 互換モード）

UTLB のデータアレイは P4 領域の H'F700 0000 ～ H'F70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。
アドレス部は、[31:20]が UTLB データアレイを示す H'F70 になっており、[13:8]でエントリを選択するようになっています。
データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6:5]が PR を、[3]が C を、[2]が D を、[1]が SH を、[0]が WT を示します。
UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し
   アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。
2. UTLB データアレイ 書き込み
   アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

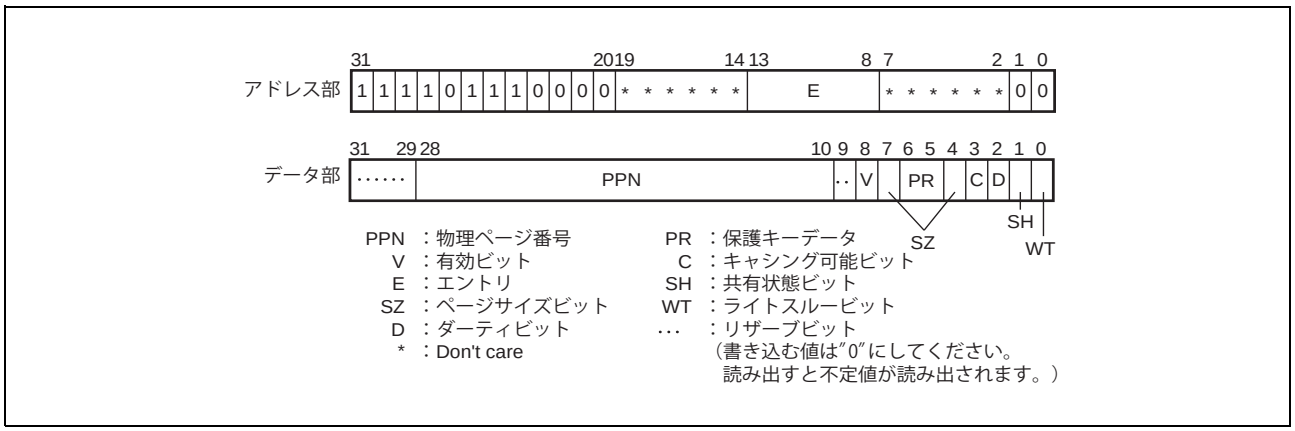


図 7.23　メモリ割り付けUTLB データアレイ（TLB 互換モード）

7.7.6　UTLB データアレイ（TLB 拡張モード）

TLB 拡張モードのとき、UTLB データアレイはUTLB データアレイ 1 に名称が変更になります。また、UTLBデータアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 のPR、SZ ビットはリザーブビットとなり、書き込み値は0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード（ME ビット＝0）のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1)　UTLB データアレイ 1

TLB 拡張モードでは、互換モードのPR、SZ ビットに対応するデータ部のビット 7～4 がリザーブビットになります。書き込み時には0 を指定してください。

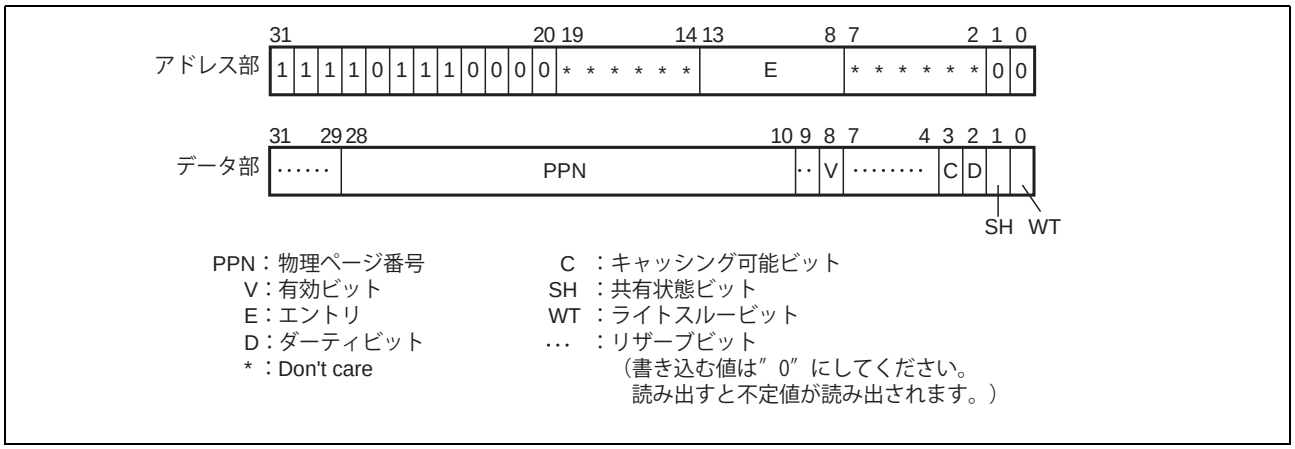


図 7.24　メモリ割り付けUTLB データアレイ 1（TLB 拡張モード）

(2)　UTLB データアレイ 2

UTLB のデータアレイは P4 領域の H'F780 0000 ～ H'F78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込むEPR、ESZ を指定します。アドレス部は[31:20] がUTLB データアレイ 2 を示すH'F78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] がEPR を、[7:4] がESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLBデータアレイ 2 読み出し
   アドレス部に指定されたエントリに対応するUTLB エントリから、データ部へEPR、ESZ を読み出します。
2. UTLBデータアレイ 2 書き込み
   アドレス部に指定されたエントリに対応するUTLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

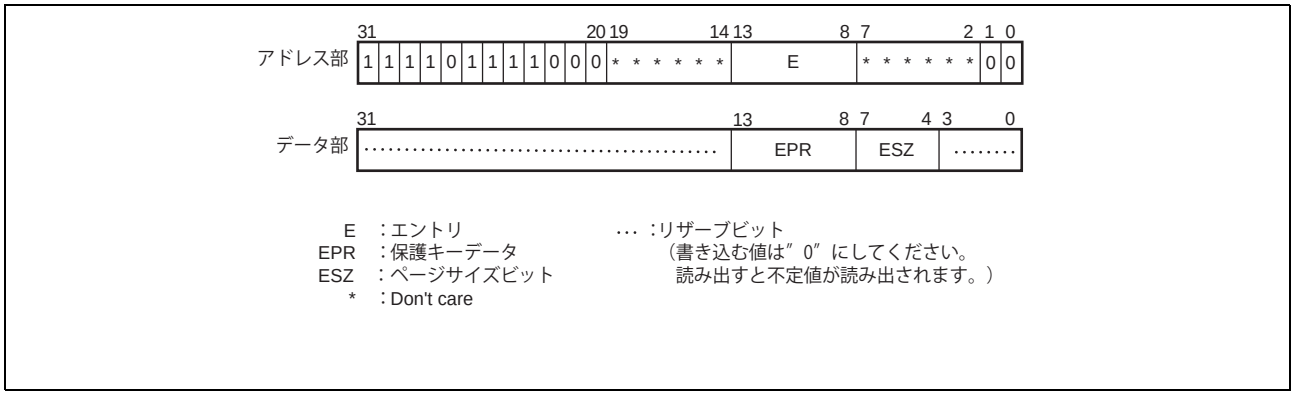


図 7.25　メモリ割り付けUTLB データアレイ2（TLB 拡張モード）

7.8　32ビットアドレス拡張モード

本LSIはSEビット（PASCRレジスタのビット31）を“1”に設定することで、29ビットの物理アドレス空間を扱う29ビットアドレスモードから、32ビットの物理アドレス空間を扱う32ビットアドレス拡張モードに変更することができます。

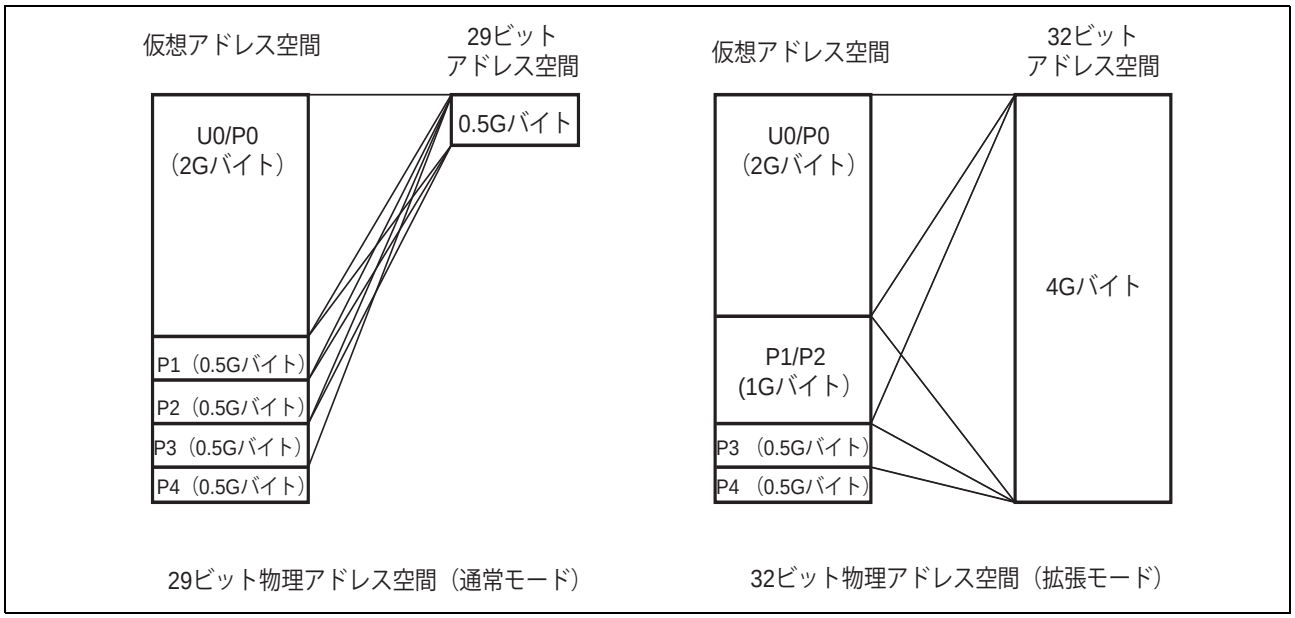


図 7.26　物理アドレス空間（32ビットアドレス拡張モード）

7.8.1　32ビットアドレス拡張モード概要

32ビットアドレス拡張モードでは、29ビットアドレスモードではアドレス変換対象外であるP1/P2領域の仮想アドレスを、32ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ（PMB）を導入します。
また、既存のTLB（UTLB/ITLB）のアドレス変換対象領域についても、UTLB/ITLBのPPNフィールドの上位3ビットを拡張して、TLB変換後のアドレスが32ビットの物理アドレスを扱えるようになります。
また、キャッシュの動作は、29ビットアドレスモードでは固定的にP1領域はキャッシング可能、P2領域はキャッシング不可ですが、32ビットアドレス拡張モードではP1、P2領域ともPMBのCビット及びWTビットに従うようになります。

7.8.2　32ビットアドレス拡張モードへの切り替え

SE ビットに1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは、MMU の動作は次の様になります。

1. AT ビット＝0 のとき、U0/P0/P3 領域の仮想アドレスはそのまま32 ビット物理アドレスとなります。P1/P2 領域のアドレスはPMB マッピング情報に従いアドレス変換されます。PMB の仮想ページ番号の上位2 ビット（VPN[31:30]）には、P1/P2 領域を指し示すようにB'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
2. AT ビット＝1 のとき、U0/P0/P3 領域の仮想アドレスはTLB 変換情報に従い32 ビット物理アドレスに変換されます。P1/P2 領域のアドレスはPMB マッピングの情報に従いアドレス変換されます。PMB の仮想ページ番号の上位2 ビット（VPN[31:30]）には、P1/P2 領域を指し示すようにB'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
3. 制御レジスタ領域（H'FC00 0000～H'FFFF FFFF）は、MMUCR.AT にかかわらず、物理アドレスの[31:29]がB'111 となります。制御レジスタ領域をUTLB に登録してアクセスする場合には、PPN[31:29] にはB'111 を設定してください。

7.8.3　特権空間マッピングバッファ（PMB）構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスはPMB マッピング情報に従いアドレス変換されます。PMB は16 エントリで各エントリは以下の構成です。

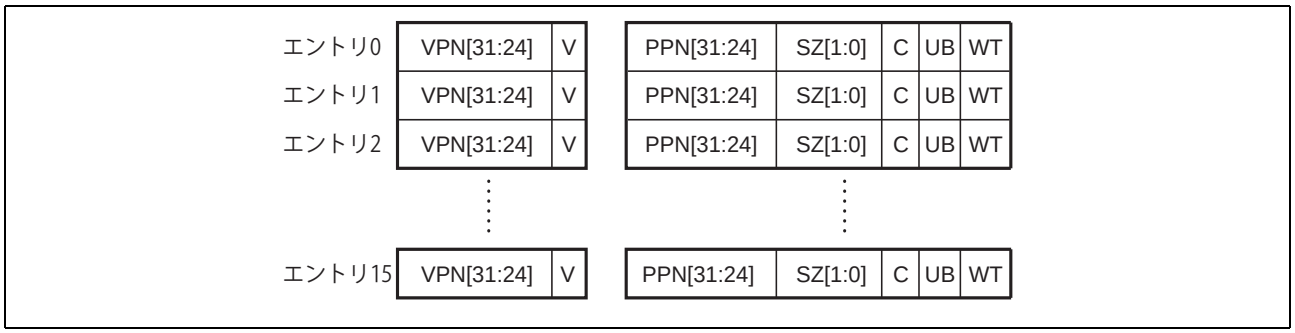


図 7.27　PMB の構成

【記号説明】

VPN：仮想ページ番号
16M バイトページのとき、仮想アドレスの上位8 ビット
64M バイトページのとき、仮想アドレスの上位6 ビット
128M バイトページのとき、仮想アドレスの上位5 ビット
512M バイトページのとき、仮想アドレスの上位3 ビット
注．VPN の上位2 ビットは、P1/P2 領域を指し示すように必ずB'10 を設定してください。

SZ ：ページサイズビット
ページサイズを指定します。
00：16M バイトページ
01：64M バイトページ
10：128M バイトページ
11：512M バイトページ

V ：有効ビット
エントリが有効かどうかを示します。
0：無効
1：有効

パワーオンリセット時に0にクリアされます。
マニュアルリセット時に変化しません。

PPN：物理ページ番号
物理アドレスの上位8ビット
16Mバイトページのとき、PPN[31:24]が有効
64Mバイトページのとき、PPN[31:26]が有効
128Mバイトページのとき、PPN[31:27]が有効
512Mバイトページのとき、PPN[31:29]が有効

C ：キャッシング可能ビット
ページがキャッシング可能かどうかを示します。
0：キャッシング不可能
1：キャッシング可能

WT ：ライトスルービット
キャッシュへの書き込みモードを指定します。
0：コピーバックモード
1：ライトスルーモード

UB ：バッファドライトビット
バッファドライトするかどうかを指定します。
0：バッファドライト（ライト完了を待たずに後続命令のデータアクセスを開始する）
1：アンバッファドライト（ライト完了を待ち後続命令のデータアクセスを開始する）

7.8.4 PMB の機能

本LSI がサポートするPMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、SH-4AはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. 本 LSI は PMB が多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMB には PR フィールドは存在せず、リード／ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。
   PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

7.8.5　メモリ割り付けPMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、プログラムからMOV.L 命令によってPMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイはP4 領域のH'F610 0000～H'F61F FFFF に、PMB のデータアレイはP4 領域の H'F710 0000 ～ H'F71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C＝0に設定したページの領域に配置してください。

1. PMBアドレスアレイリード
   アドレスとして[31:20] にPMB アドレスアレイを示すH'F61、[11:8] にエントリを指定してメモリ読み出しを行うと、[31:24]にVPN、[8]にVが読み出されます。
2. PMBアドレスアレイライト
   アドレスとして[31:20] にPMB アドレスアレイを示すH'F61、[11:8] にエントリを指定し、データとして[31:24]にVPN、[8]にVを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。
3. PMBデータアレイリード
   アドレスとして[31:20] にPMB データアレイを示すH'F71、[11:8] にエントリを指定してメモリ読み出しを行うと、[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTが読み出されます。
4. PMBデータアレイライト
   アドレスとして[31:20] にPMB データアレイを示すH'F71、[11:8] にエントリを指定し、データとして[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

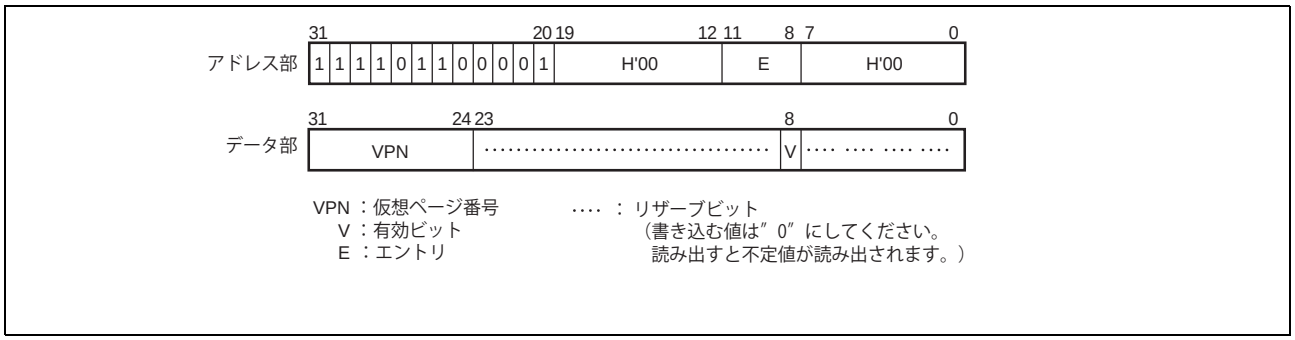


図 7.28　メモリ割り付けPMB アドレスアレイ

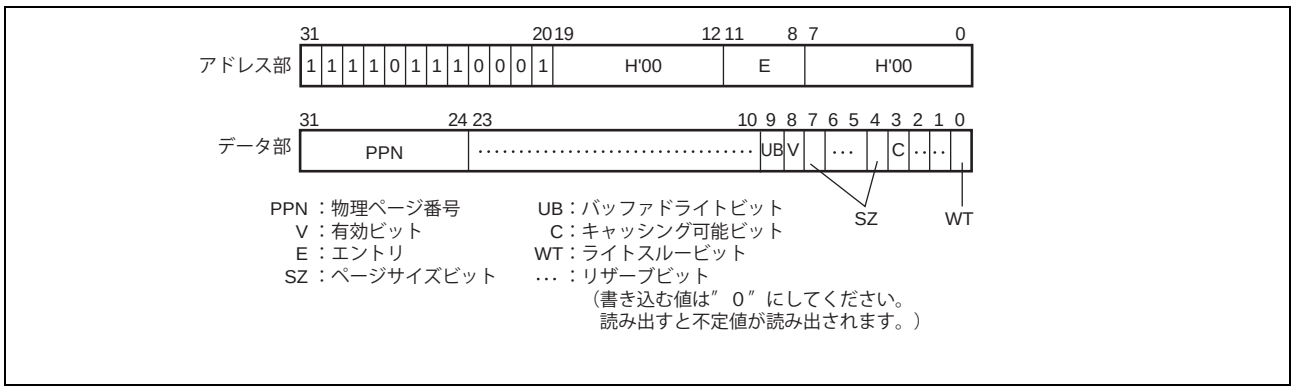


図 7.29　メモリ割り付けPMB データアレイ

7.8.6　32ビットアドレス拡張モード使用時の注意事項

32ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張又は変更されますので、注意してください。

(1)　PASCR

制御レジスタPASCR[31]にSEビットが追加されます。また、UB[6:0]は無効になります（UB[7]は32ビットアドレス拡張モードでも有効です）。
バッファドライトになるか否かは、P1/P2領域に対するライトではPMBのUBビットにより制御されます。P0/P3/U0領域に対するライトでは、MMUがイネーブルの場合TLBのUBビットにより制御され、MMUがディスエーブルの場合、常にバッファドライトになります。

ビット	ビット名	初期値	R/W	説 明
31	SE	0/1（注）	R/W	アドレスモード 0：29ビットアドレスモード 1：32ビットアドレス拡張モード（注2）
30 ～ 8	—	0	—	リザーブビット
7 ～ 0	UB	0	R/W	エリア（64Mバイト）ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次のCPUからのバスアクセスを待たせるかどうかをエリアごとに指定します。 0：バッファドライト（CPUは書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います） 1：アンバッファドライト（CPUは書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います） UB [7]：制御レジスタ領域のバッファドライト制御 UB [6:0]：エリア（64Mバイト）ごとのバッファドライト制御（32ビットアドレス拡張モードでは無効）

注1.　MD10＝Hのとき“0”、MD10＝Lのとき“1”になります。
2.　パワーオンリセットまたはマニュアルリセット後、キャッシュ及びTLBがオフのときのみ、“0”から“1”に書き換えられます。“1”から“0”には書き換えないでください。

(2)　ITLB

ITLBのPPNフィールドが[31:10]へ拡張されます。

(3)　UTLB

UTLBの各エントリにPMBのUBビットと同じ意味のUBビットが追加になります。
UB：バッファドライトビット
バッファドライトするかどうかを指定します。
0：バッファドライト（ライト完了を待たずに後続命令のデータアクセスを開始する）
1：アンバッファドライト（ライト完了を待ち後続命令のデータアクセスを開始する）
UBビットはメモリ割り付けTLBアクセスではデータアレイのビット[9]でリード／ライトが行えます。

(4)　PTEL

UTLBと同様にPTELレジスタのビット[9]にPMBのUBビットと同じ意味のUBビットが追加になります。
このUBビットはLDTLB命令によってUTLBのUBビットへ書き込まれます。またPPNフィールドが[31:10]に拡張されます。

(5)　CCRレジスタのCBビット

CB ビットは無効になります。P1 領域に対するキャッシャブルライトがコピーバックモードになるか、ライトスルーモードになるかは、WT ビットに従います。

(6) IRMCR レジスタの MT ビット

MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

(7) QACR0、QACR1

QACR0、QACR1 レジスタの AREA0[4:2]、AREA1[4:2]がそれぞれ AREA0[7:2]、AREA1[7:2]に拡張され、物理アドレス 31～26 に対応します。

(8) LSA0、LSA1、LDA0、LDA1

L0SADR、L1SADR、L0DADR、L1DADR がそれぞれ[31:10]に拡張されます。

また、32 ビットアドレス拡張モード使用時にはソフトウェアは以下の点に注意してください。

1. SE ビットの切り替えはパワーオンリセット又はマニュアルリセット後のキャッシュと TLB がオフのブートルーチンで 0 から 1 への切り替えのみサポートされています。
2. SE ビット切り替え後、そのプログラムの配置されている領域自体が PMB アドレス変換対象となりますので、SE ビットの切り替えに先立って PMB への登録が必要です。例外ハンドラなど、P1/P2 領域へのアクセスされる可能性のあるアドレスについても必ず PMB への登録を行ってください。
3. SE ビットを切り替える MOV.L 命令の前にあるオペランドメモリアクセスが外部メモリアクセスを起こす場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異ならないようにしてください。
4. PMB の登録時に V ビットがアドレスアレイとデータアレイの両方にマッピングされていることに注意してください。すなわち、1 回目の一方への書き込みでは V＝0 を、2 回目の他方への書き込みでは V＝1 を選んでください。

7.9 32 ビットブートモード

MD10 端子によって、29 ビットアドレスモードで起動する（29 ビットブートモード）か、32 ビットアドレス拡張モードで起動する（32 ビットブートモード）かを指定できます。以下に 32 ビットブートモードでブートした場合の変更点を説明します。

7.9.1 PMB の初期エントリ

MD10＝L のとき、32 ビットブートモードが指定されます。このとき、パワーオンリセット及びマニュアルリセット後、PMB に以下の初期エントリが登録され、PASCR レジスタの SE ビットの初期値が 1 となります。エントリ 2～15 は V ビットのみ 0 に初期化されます。

エントリ	VPN[31:24]	PPN[31:24]	V	SZ[1:0]	C	UB	WT
0	10000000	00000000	1	11	1	0	1
1	10100000	00000000	1	11	0	0	0

7.9.2 32 ビットブートモード時の注意点

パワーオンリセット及びマニュアルリセット直後から P1/P2 領域の PMB マッピングが行われるため、初期エントリとは異なるマッピングを行いたい場合には、ブートルーチンでキャッシュと TLB をオン（CCR レジスタの ICE ビット、OCE ビット と MMUCR レジスタの AT ビット を 1）にする前に、以下の手順に従って PMB ミス、PMB 多重ヒットが発生しないように注意して PMB を操作してください。なお、ブートルーチン以外での PMB 登録内容の変更は行わないでください。

(1) P1/P2 領域のプログラムで変更する場合

1. 初期エントリに対してSZビットのみを変更したエントリを上書き登録し、ページサイズの縮小を行います。
   このとき、PMBを変更するプログラムは、ページサイズ縮小後のページの先頭1Mバイト以内に配置してください。
2. ITLBに残っているPMBに対応したエントリを無効化するため、TI ビット（MMUCRレジスタのビット2）に1を書き込みます。
3. 1.の操作でPMB変換情報が不在となったP1/P2領域を補うPMBエントリをメモリ割り付けPMBで登録します。
4. 以下の（a）～（c）のいずれかを実行します。この操作の前に 1. の操作で PMB 変換情報が不在となったP1/P2領域に対する分岐やオペランドアクセスは行わないでください。

（a）RTE命令による分岐を実行
（b）任意のアドレス（キャッシング不可領域でもよい）に対してICBI命令を実行
（c）メモリ割り付けPMBアクセスの前にMTビット（IRMCRレジスタのビット1）＝0（初期値）と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法（c）は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、（a）又は（b）を用いることを推奨します。

(2) P1/P2 領域以外のプログラムで変更する場合

1. ITLBに残っているPMBに対応したエントリを無効化するため、TIビットに1を書き込みます。
2. メモリ割り付けPMBでPMBエントリを変更します。
3. 以下の（a）～（c）のいずれかを実行します。この操作の前にP1/P2領域に対する分岐やオペランドアクセスは行わないでください。

（a）RTE命令による分岐を実行
（b）任意のアドレス（キャッシング不可領域でもよい）に対してICBI命令を実行
（c）メモリ割り付けPMBアクセスの前にMTビット＝0（初期値）と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法（c）は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、（a）又は（b）を用いることを推奨します。

7.10 使用上の注意事項

7.10.1 LDTLB 命令使用上の注意事項

URC ビット（MMUCR レジスタのビット 15～10）にソフトウェアで書き込まずに、LDTLB 命令を実行する場合は、下記の（1）又は（2）のどちらかを行ってください。

(1) 29 ビットアドレスモードのときは、次の（a）及び（d）の両方を行ってください。32 ビットアドレス拡張モードのときは、（a）から（d）をすべて行ってください。

(a) TLB ミス例外処理ルーチン（注 1）は P1 領域、P2 領域あるいは内蔵メモリ領域のみに配置し、TLB ミス例外処理ルーチンでの命令アクセス（注 3）は P1 領域、P2 領域あるいは内蔵メモリ領域のみになるようにしてください。TLB ミス例外処理ルーチンを内蔵メモリ領域に配置する場合は、RP ビット（RAMCR のビット 8）を 0（初期値）にしてください。

(b) TLB ミス例外処理ルーチン（注 1）での命令アクセス（注 3）は、PMB の 1 ページのみを使用してください。かつ、PMB のページの最後 64 バイトに置かないでください（32 ビットアドレス拡張モードの場合のみ）。

(c) MMU 関係例外（注 2）処理ルーチンで UTLB に登録する際は、次の 1 と 2 の両方の条件に従ってください。
（32 ビットアドレス拡張モードの場合のみ）

1. TLB ミス例外が発生したときで、アクセス権があるページを UTLB に登録する場合、次の 2 回の動作で例外が発生したページを UTLB に登録する方法は行わないでください。
   - TLB ミス例外を発生させた命令を再実行するときに保護違反例外が起こるような保護キーデータを指定して、TLB ミス例外が発生したページを UTLB に登録する。
   - 保護違反例外の例外処理ルーチンで保護違反例外が起こらない保護キーデータを指定して UTLB に登録し、保護違反例外を発生させた命令を再実行する。
2. 初期書き込み例外が発生し、UTLB のダーティビットに 1 を設定したページが、該当書き込み命令が完了する前に UTLB から追い出された場合、再度登録する場合は、ダーティビットを 1 で登録してください。

(d) TLB ミス例外処理ルーチンでは FDIV 命令又は FSQRT 命令を使用しないでください。

(2) TLB ミス例外が発生した際は、MMUCR.URC に 1 を加算してから LDTLB 命令を実行してください。

注 1. 例外処理ルーチン：例外発生時の VBR＋オフセットの番地から、元のプログラムに復帰する RTE 及び RTE の遅延スロットに至るまでに実行されるすべての命令を意味します。
2. MMU 関係例外：命令 TLB ミス例外、命令 TLB ミス保護違反例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外を意味します。
3. 命令アクセス：PREFI 命令と ICBI 命令によるアクセスを含みます。

8. キャッシュ

本LSIは命令用に32Kバイトの命令キャッシュ（IC）を、データ用に32Kバイトのオペランドキャッシュ（OC）を内蔵しています。

8.1 特長

キャッシュの特長を表8.1に示します。

本LSIでは、外部メモリへの高速な書き込みを行うために32バイト×2のストアキュー（SQ）をサポートします。SQの特長を表8.2に示します。

表8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32Kバイトキャッシュ	32Kバイトキャッシュ
方式	4ウェイセットアソシアティブ、 仮想アドレスインデックス／物理アドレスタグ	4ウェイセットアソシアティブ、 仮想アドレスインデックス／物理アドレスタグ
ラインサイズ	32バイト	32バイト
エントリ数	256エントリ／ウェイ	256エントリ／ウェイ
書き込み方式	—	コピーバック／ライトスルー選択可能
置換方式	LRU（Least Recently Used）アルゴリズム	LRU（Least Recently Used）アルゴリズム

表8.2 ストアキューの特長

項目	ストアキュー
容量	2×32バイト
方式	H'E000 0000 ～ H'E3FF FFFF
ライト	ストア命令（1サイクルライト）
ライトバック	プリフェッチ命令（PREF命令）
アクセス権	MMUディスエーブル時：SQMDビット（MMUCRレジスタのビット9）のによる MMUイネーブル時：個々のページのPRによる

本LSIのオペランドキャッシュは4ウェイセットアソシアティブ方式で、おのおののウェイは256本のキャッシュラインから構成されます。図8.1にオペランドキャッシュの構成を示します。

命令キャッシュは4ウェイセットアソシアティブ方式で、おのおののウェイは256本のキャッシュラインから構成されます。図8.2に命令キャッシュの構成を示します。

本LSIは消費電力を低減するためにICウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ（EXPMASK）を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「6. 例外処理」を参照してください。

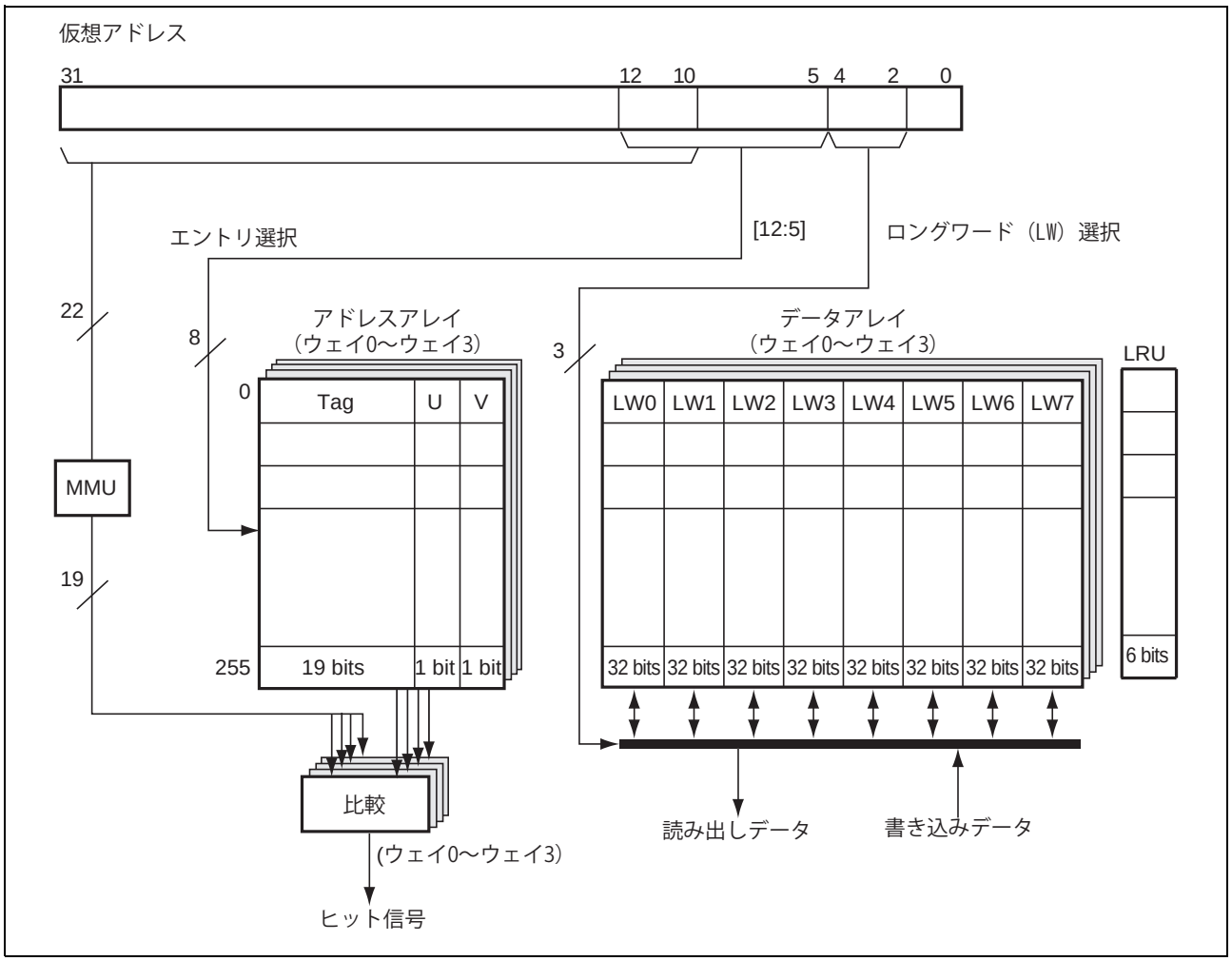


図 8.1　オペランドキャッシュの構成（キャッシュサイズ＝32K バイトの場合）

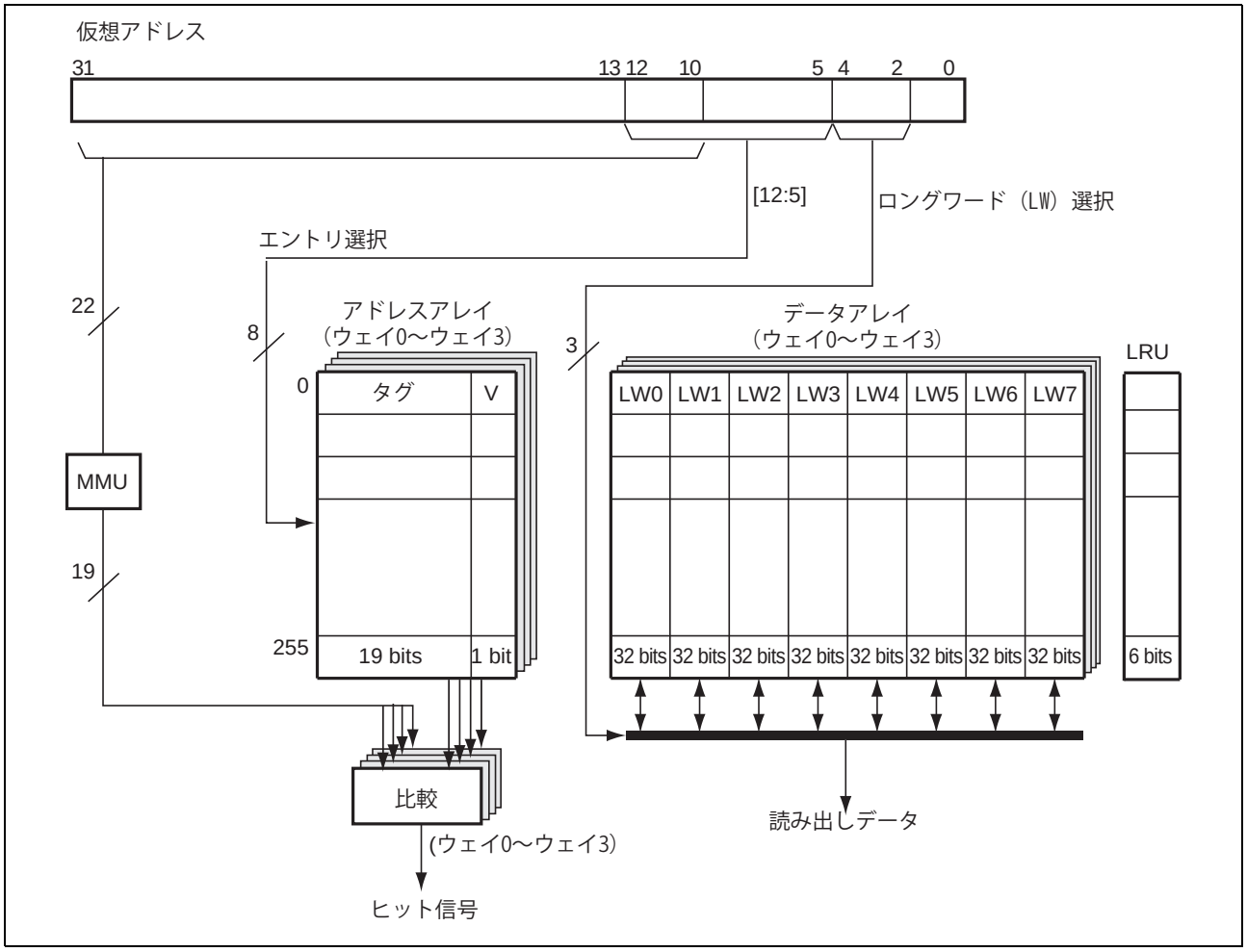


図 8.2　命令キャッシュの構成（キャッシュサイズ＝32K バイトの場合）

(1) タグ

キャッシュされるデータラインの物理アドレス 29 ビットの上位 19 ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) V ビット（有効ビット）

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが”1”のとき、そのキャッシュラインのデータは有効となります。V ビットはパワーオンリセットで”0”に初期化されますが、マニュアルリセットでは値を保持します。

(3) U ビット（ダーティビット）

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、U ビットが ”1” になります。つまり U ビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ（「8.6 メモリ割り付けキャッシュの構成」参照）をアクセスすることにより U ビットを書き換えない限り、ライトスルーモードでキャッシュを使用中は U ビットが”1”になることはありません。U ビットはパワーオンリセットで”0”に初期化されますが、マニュアルリセットでは値を保持します。

(4) データアレイ

データ部には 1 キャッシュラインあたり 32 バイト（256 ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで”0”に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表8.3 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	32	H'0000 0000	H'0000 0000
キューアドレス制御レジスタ0	QACR0	R/W	H'FF00 0038	32	H'0000 00XX	H'0000 00XX
キューアドレス制御レジスタ1	QACR1	R/W	H'FF00 003C	32	H'0000 00XX	H'0000 00XX
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	32	H'0000 0000	H'0000 0000

8.2.1 キャッシュ制御レジスタ（CCR）

CCRは、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCRの書き換えは、キャッシング不可のP2領域のプログラム又はILメモリ上のプログラムで行わなければなりません。CCR更新後、キャッシング可能領域へのアクセス（命令フェッチを含む）を行う前に、以下の1～3のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCRレジスタのR2＝0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1又は2を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ICI	—	—	ICE	—	—	—	—	OCI	CB	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	—	—	R/W	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～12	—	0	—	リザーブビット
11	ICI	0	R/W	IC 無効化ビット このビットに1 を書き込むとIC の全エントリのV ビットを0 にします。読み出すと常に0 が読み出されます。
10、9	—	0	—	リザーブビット
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のC ビットも1 でなければIC を使用できません。 0：IC を使用しない 1：IC を使用する
7～4	—	0	—	リザーブビット
3	OCI	0	R/W	OC 無効化ビット このビットに1 を書き込むとOC の全エントリのV、U ビットを0 にします。読み出すと常に0 が読み出されます。
2	CB	0	R/W	コピーバックビット P1 領域のキャッシュへの書き込みモードを示します。 0：ライトスルーモード 1：コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3 領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWT ビットの値を優先します。 0：コピーバックモード 1：ライトスルーモード
0	OCE	0	R/W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のC ビットも1 でなければOC を使用できません。 0：OC を使用しない 1：OC を使用する

8.2.2 キューアドレス制御レジスタ0（QACR0）

QACR0は、MMUがディスエーブルのとき、ストアキュー0（SQ0）がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA0			—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	—	—	—	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
31～5	—	0	—	リザーブビット
4～2	AREA0	不定	R/W	MMUがディスエーブルのとき、SQ0に対する物理アドレス28～26を生成します。
1、0	—	0	—	リザーブビット

8.2.3 キューアドレス制御レジスタ1（QACR1）

QACR1は、MMUがディスエーブルのとき、ストアキュー1（SQ1）がマップされているエリアを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA1			—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	—	—	—	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
31～5	—	0	—	リザーブビット
4～2	AREA1	不定	R/W	MMUがディスエーブルのとき、SQ1に対する物理アドレス28～26を生成します。
1、0	—	0	—	リザーブビット

8.2.4 内蔵メモリ制御レジスタ（RAMCR）

RAMCR はIC 及びOC のウェイ数とIC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域又はIL メモリ又はOL メモリ領域へのアクセス（命令フェッチを含む）を行う前に、以下の1～3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域又はIL メモリ又はOL メモリ領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI 命令を実行してください。
3. RAMCR 更新の前にあらかじめIRMCR レジスタのR2 ビット＝0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 又は2 を用いることを推奨します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～10	—	0	—	リザーブビット
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0：特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1：ユーザ／特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLB を用いた保護機能の使用を選択します。 0：保護機能を使用しない 1：保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0：IC は4 ウェイ動作 1：IC は2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0：OC は4 ウェイ動作 1：OC は2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。

ビット	ビット名	初期値	R/W	説 明
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0：命令キャッシュはウェイ予測を行う 1：命令キャッシュはウェイ予測を行わない 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4 ～ 0	—	0	—	リザーブビット

8.3 オペランドキャッシュの動作説明

8.3.1 読み出し動作

オペランドキャッシュ（OC）が有効（CCRレジスタのOCEビット=1）かつキャッシング可能な領域からデータを読み出す場合、OCは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット及びLRUビットを読み出します。

2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
   - タグが一致かつVビットが1のウェイが存在する場合 → 3.
   - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 4.
   - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 5.

3. キャッシュヒット
   ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス（書き戻しなし）
   仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに”1”を、Uビットに”0”を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス（書き戻しあり）
   置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに”1”を、Uビットに”0”を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.2 プリフェッチ動作

オペランドキャッシュ（OC）が有効（CCRレジスタのOCEビット=1）かつキャッシング可能な領域からデータをOCにプリフェッチする場合、OCは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット及びLRUビットを読み出します。

2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
   - タグが一致かつVビットが1のウェイが存在する場合 → 3.
   - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 4.
   - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 5.

3. キャッシュヒット
   ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス（書き戻しなし）
   仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに”1”を、Uビットに”0”を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス（書き戻しあり）
   置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに”1”を、Uビットに”0”を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.3 書き込み動作

オペランドキャッシュ（OC）が有効（CCRレジスタのOCEビット=1）かつキャッシング可能な領域に対してデータが書き込まれる場合、OCは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、Uビット及びLRUビットを読み出します。

2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、及び対象となる領域の属性から、

	コピーバック	ライトスルー
• タグが一致かつVビットが1のウェイが存在する場合	→ 3.	→ 4.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合	→ 5.	→ 7.
• タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合	→ 6.	→ 7.

3. キャッシュヒット（コピーバック）
ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット（ライトスルー）
ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)
置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます（ただし、すでに書き込み済みのキャッシュミスしたデータを除く）。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに”1”を、Uビットに”1”を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス（コピーバック、書き戻しあり）
置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます（ただし、すでに書き込み済みのキャッシュミスしたデータを除く）。
データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに”1”を、Uビットに”1”を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス（ライトスルー）
   仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、V ビット、U ビット、LRU ビットも更新されません。

8.3.4 ライトバックバッファ

本 LSI は、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ 1 ライン分のデータと追い出す先の物理アドレスで構成されます。

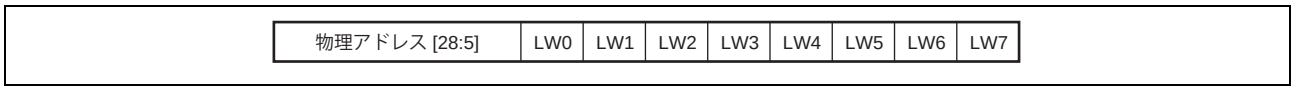


図 8.3 ライトバックバッファの構成

8.3.5 ライトスルーバッファ

本 LSI は、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための 64 ビットのバッファを内蔵しています。これにより CPU はライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

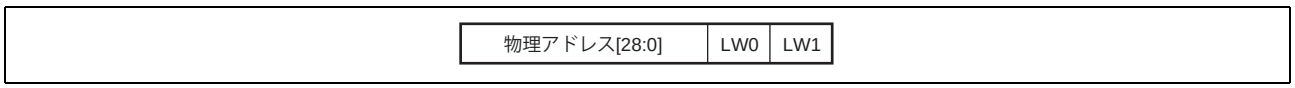


図 8.4 ライトスルーバッファの構成

8.3.6 OC 2 ウェイモード

OC2W ビット（RAMCR レジスタのビット 6）を 1 にセットすると、OC のウェイ 0 とウェイ 1 のみを使用する OC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付け OC アクセスも含め、ウェイ 0 とウェイ 1 のみが使用されます。
OC2W ビットの書き換えは P2 領域のプログラムで行ってください。また、書き換える時点ですでに OC に有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、OCI ビット（CCR レジスタのビット 3）に”1” を書き込み、OC の全エントリを無効にしてください。

8.4 命令キャッシュの動作説明

8.4.1 読み出し動作

命令キャッシュ（IC）が有効（CCRレジスタのICEビット=1）かつキャッシング可能な領域から命令フェッチを行う場合、ICは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット及びLRUビットを読み出します。

2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
   - タグが一致かつVビットが1のウェイが存在する場合 → 3.
   - タグが一致かつVビットが1のウェイが存在しない場合 → 4.

3. キャッシュヒット
   ヒットしたウェイのデータ部から、仮想アドレスのビット[4:2]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス
   仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.2 プリフェッチ動作

命令キャッシュ（IC）が有効（CCRレジスタのICEビット=1）かつキャッシング可能な領域から、命令をICにプリフェッチする場合、ICは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット及びLRUビットを読み出します。

2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
   - タグが一致かつVビットが1のウェイが存在する場合 → 3.
   - タグが一致かつVビットが1のウェイが存在しない場合 → 4.

3. キャッシュヒット
   ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス
   仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード（8バイト）から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.3 IC 2 ウェイモード

IC 2W ビット（RAMCR レジスタのビット7）を1 にセットすると、IC のウェイ0 とウェイ1 のみを使用する IC 2 ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付け IC アクセスも含め、ウェイ0 とウェイ1 のみが使用されます。

IC2W ビットの書き換えはP2 領域のプログラムで行うようにしてください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、IC2W ビットを書き換える前に、ICI ビット（CCR レジスタのビット11）に1 を書き込み、IC の全エントリを無効化してください。

8.4.4 命令キャッシュウェイ予測

本LSI は消費電力を低減するために命令キャッシュ（IC）ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビット（RAMCR レジスタのビット5）を1 にセットすると、IC ウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんが IC の消費電力が増加します。また、ICWPD ビット（RAMCR レジスタのビット5）の切り換えはキャッシング不可のP2 領域を走行するプログラムで行ってください。また、書き換える時点ですでに IC に有効なラインが登録されている場合には、ICWPD ビット（RAMCR レジスタのビット5）を書き換える前に、ICI ビット（CCR レジスタのビット11）に1 を書き込み、IC の全エントリを無効化してください。

8.5 キャッシュ操作命令

8.5.1 キャッシュと外部メモリとのコヒーレンシ

(1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本LSIではキャッシュを操作する命令として次の6命令をサポートしています。各命令の詳細は「SH-4A拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

- **オペランドキャッシュインバリデイト命令**：OCBI @Rn
  オペランドキャッシュの無効化（書き戻しなし）
- **オペランドキャッシュパージ命令**：OCBP @Rn
  オペランドキャッシュの無効化（書き戻しあり）
- **オペランドキャッシュライトバック命令**：OCBWB @Rn
  オペランドキャッシュの書き戻し
- **オペランドキャッシュアロケート命令**：MOVCA.L R0,@Rn
  オペランドキャッシュの確保
- **命令キャッシュインバリデイト命令**：ICBI @Rn
  命令キャッシュの無効化
- **オペランドアクセス同期命令**：SYNCO
  データ転送の完了待ち

(2) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHywayバスからのPURGE及びFLUSHトランザクションを受け付けることが可能です。PURGE/FLUSHトランザクションで与えられるアドレスは物理アドレスです。そのためMMUがイネーブルの場合、キャッシュシノニム問題を回避するため、1Kバイトのページサイズを使用しないでください。

- PURGEトランザクション
  オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。
- FLUSHトランザクション
  オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合又はヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

(3) コヒーレンシ制御に関連した命令仕様変更

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWBのコヒーレンシ制御に関連した仕様が、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aから変更になっています。

1. インバリデイト命令：OCBI@Rnの変更点
   Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、本LSIでは、Rn[31:24]がH'F4（OCアドレスアレイ領域）の場合のみ、ウェイ＝Rn[14:13]、エントリ＝Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。

Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、及びそのリザーブ領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

2. パージ命令：OCBP @Rnの変更点
Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、本LSIでは、Rn[31:24]がH'F4（OCアドレスアレイ領域）の場合のみ、ウェイ＝Rn[14:13]、エントリ＝Rn[12:5]で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。
Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、及びそのリザーブ領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

3. ライトバック命令：OCBWB @Rnの変更点
Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ（PVR）のVERビットの値がH'20のSH-4Aでは本命令はNOPとして動作しましたが、本LSIでは、Rn[31:24]がH'F4（OCアドレスアレイ領域）の場合のみ、ウェイ＝Rn[14:13]、エントリ＝Rn[12:5]で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを0の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB関連例外は発生しません。
Rn[31:24]がH'F4以外のメモリ割り付けアレイ領域、制御レジスタ領域、及びそのリザーブ領域（H'F0～H'F3、H'F5～H'FF）への本命令の実行は行わないでください。

8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本LSIではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスがUTLBにミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。

プリフェッチ命令の詳細は「SH-4A拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

- プリフェッチ命令（OC）：PREF @Rn
- プリフェッチ命令（IC）：PREFI @Rn

8.6 メモリ割り付けキャッシュの構成

IC、OC をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって IC データアレイの内容の読み出し／書き込みが可能です。また特権モードのとき P2 領域のプログラムあるいは IL メモリ領域のプログラムから MOV 命令によって IC アドレスアレイの内容の読み出し／書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3 領域への分岐は、以下の 1～3 のどれかの方法で行ってください。

1. RTE 命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI 命令を実行した後、P0、U0、P1、P3 領域への分岐を行ってください。
3. メモリ割り付け IC へのアクセスの前に、あらかじめ IRMCR レジスタの MC ビット＝0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付け IC アクセス命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 又は 2 を用いることを推奨します。

また、特権モードのとき、P1、P2 領域のプログラムから MOV 命令によって OC の内容の読み出し／書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OC は仮想アドレス空間の P4 領域に割り付けられています。IC のアドレスアレイ／データアレイ、OC のアドレスアレイ／データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには ”0” を設定するようにしてください。予約ビットの読み出し値は不定です。

8.6.1 IC アドレスアレイ

IC のアドレスアレイは P4 領域の H'F000 0000～H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと V ビットを指定します。

アドレス部は [31:24] が IC アドレスアレイを示す H'F0 になっており、[14:13] でウェイ、[12:5] でエントリを指定するようになっています。アドレス部 [3] の連想ビット（A ビット）は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部 [1:0] は ”0” を指定してください。

データ部は [31:10] がタグを、[0] が V ビットを示します。IC アドレスアレイのタグは 19 ビットのためデータ部 [31:29] は連想を行わない書き込みのときには使用されません。データ部 [31:29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する IC エントリから、データ部へタグと V ビットを読み出します。読み出す場合アドレス部に指定される連想ビットは ”1” でも ”0” でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み（連想なし）

アドレス部に設定されたウェイとエントリに対応する IC エントリに対して、データ部で指定されたタグと V ビットを書き込みます。アドレス部の A ビットは ”0” にしてください。

(3) IC アドレスアレイ 書き込み（連想あり）

アドレス部の A ビットが 1 で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部 [14:13] のウェイ番号は使用されません。このとき MMU がイネーブルなら、データ部 [31:10] で指定した仮想アドレスを ITLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致しその

ウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

注. **IC アドレスアレイ連想ライト機能は、今後のSuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令TLB ミス例外の通知を行い、確実にIC の操作が可能なICBI 命令の使用を推奨します。**

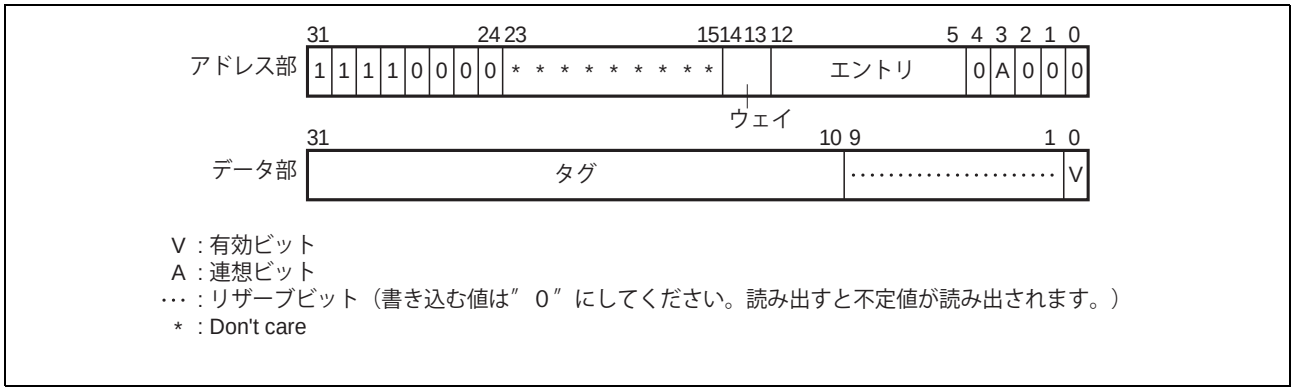


図 8.5 メモリ割り付けIC アドレスアレイ（キャッシュサイズ＝32K バイトの場合）

8.6.2 IC データアレイ

IC のデータアレイはP4 領域のH'F100 0000～H'F1FF FFFF に割り付けられています。データアレイのアクセスには32 ビットのアドレス部の指定（読み出し／書き込み時）と32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]がIC データアレイを示すH'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の2 種類の操作が可能です。

(1) **IC データアレイ 読み出し**

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) **IC データアレイ 書き込み**

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

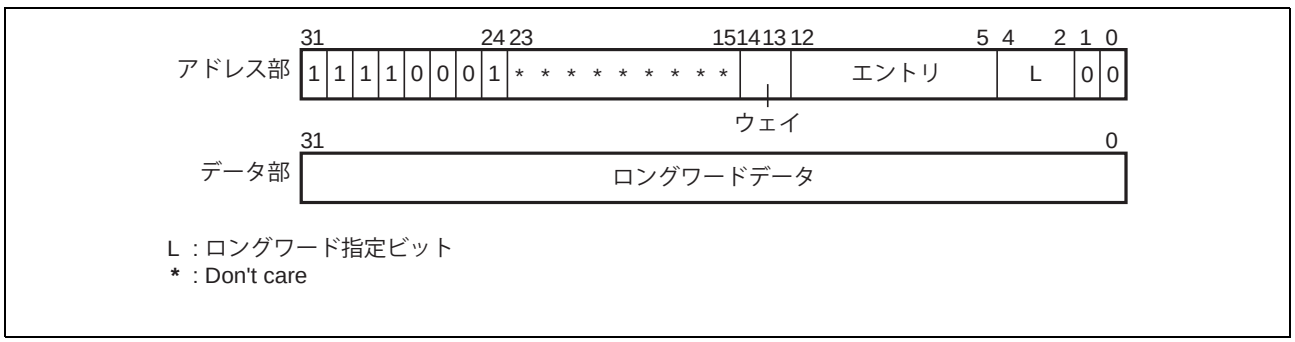


図 8.6 メモリ割り付けIC データアレイ（キャッシュサイズ＝32K バイトの場合）

8.6.3 OC アドレスアレイ

OC のアドレスアレイはP4 領域のH'F400 0000～H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには32 ビットのアドレス部の指定（読み出し／書き込み時）と32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとU ビットとV ビットを指定します。

アドレス部は[31:24]がOC アドレスアレイを示すH'F4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）はOC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は0 を指定してください。

データ部は[31:10]がタグを、[1]がU ビットを、[0]がV ビットを示します。OC アドレスアレイのタグは19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOC エントリから、データ部へタグとU ビットとV ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは”1”でも”0”でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み（連想なし）

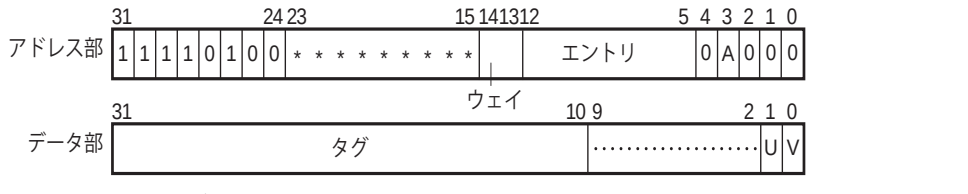
アドレス部に設定されたウェイとエントリに対応するOC エントリに対して、データ部で指定されたタグとU ビットとV ビットを書き込みます。アドレス部のA ビットは”0”にしてください。

書き込みをU ビットが”1”、V ビットが”1”のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとU ビットとV ビットを書き込みます。

(3) OC アドレスアレイ 書き込み（連想あり）

アドレス部のA ビットが”1”で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMU がイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのV ビットが”1”であったなら、データ部で指定したU ビットとV ビットをOC のエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOC の特定のエントリの無効化に用いられます。このときOC のエントリのU ビットが”1”で、V ビットに”0”もしくはU ビットに”0”を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLB にミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

注. OC アドレスアレイ連想ライト機能は、今後のSuperH シリーズではサポートされない可能性があります。データTLB ミス例外の通知を行い、確実にOC の操作が可能なOCBI/OCBP/OCBWB 命令の使用を推奨します。



V：有効ビット
U：ダーティビット
A：連想ビット
…：リザーブビット（書き込む値は” 0”にしてください。読み出すと不定値が読み出されます。）
＊：Don't care

図 8.7 メモリ割り付けOC アドレスアレイ（キャッシュサイズ＝32K バイトの場合）

8.6.4 OC データアレイ

OC のデータアレイはP4 領域のH'F500 0000～H'F5FF FFFF に割り付けられています。データアレイのアクセスには32 ビットのアドレス部の指定（読み出し／書き込み時）と32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]がOC データアレイを示すH'F5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部 [4:2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は”0” を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは”1”になりません。

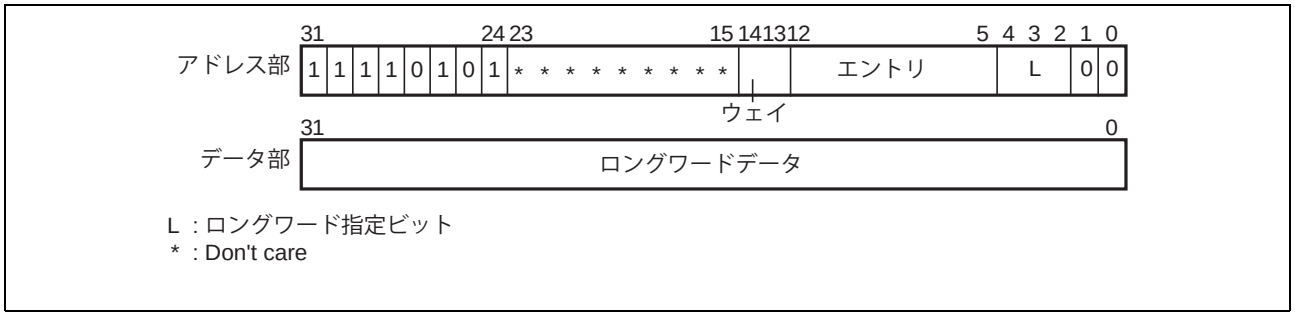


図 8.8 メモリ割り付けOC データアレイ（キャッシュサイズ＝32K バイトの場合）

8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後のSuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令TLB ミス例外の通知やデータTLB ミス例外の通知を行い、確実にIC 又はOC の操作が可能なICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。本LSI では過渡的な措置として本機能を利用した場合にアドレスエラーを発生します。従来製品との互換性を重視する場合にはEXPMASK レジスタ（H'FF2F 0004）のMMCAW ビットを1 とすることで本機能を利用することが可能ですが、今後のSuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

8.7 ストアキュー

SQ は図8.9 に示すとおり、32 バイトのSQ0 と32 バイトのSQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

8.7.1 SQ の構成

SQ は図8.9 に示すとおり、32 バイトのSQ0 と32 バイトのSQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

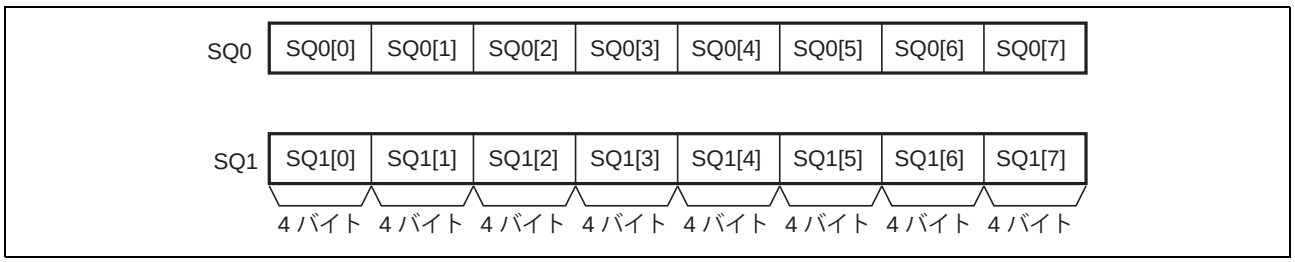


図 8.9 ストアキューの構成

8.7.2 SQ への書き込み

SQ への書き込みはP4 領域のH'E000 0000～H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令（PREF）により行えます。PREF 命令をP4 領域のH'E000 0000 ～ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は32 バイト固定で、開始アドレスは必ず32 バイト境界となります。一方のSQ を外部メモリへ転送中に、もう一方のSQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中のSQ への書き込みは外部メモリへの転送が完了するまで待たされます。
SQ の転送先の物理アドレス[28:0]はMMU イネーブル／ディスエーブルにより次のように指定します。

(1) MMU イネーブル（MMUCR レジスタのAT＝1）の場合

UTLBのVPNにSQ領域（H'E000 0000～H'E3FF FFFF）を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。
SQ 領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル（MMUCR レジスタのAT＝0）の場合

PREF命令を発行するアドレスにSQ領域（H'E000 0000～H'E3FF FFFF）を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス[25:6]
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定　かつ 転送先物理アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0 固定

上記のアドレスから生成できない物理アドレス[28:26]は、QACR0、QACR1から生成します。
QACR0[4:2]: : SQ0に対する物理アドレス[28:26]
QACR1[4:2]: : SQ1に対する物理アドレス[28:26]

物理アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

8.7.4 SQ アクセスの例外判定

SQ への書き込み、及び外部メモリへの転送（PREF 命令）の例外判定は MMU イネーブル／ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル（MMUCR レジスタの AT ビット＝1）の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送（PREF命令）はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMD ビットにより SQ へのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル（MMUCR レジスタの AT ビット＝0）の場合

SQMDビットに従います。
0：特権／ユーザアクセス可能
1：特権アクセス可能
SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

8.7.5 SQ からの読み出し

本LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000～H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0：SQ0 指定、1：SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

1. IC及びOCのタグが[28:10]の19ビットから、[31:10]の22ビットに拡張されます。
2. ICを操作する命令（メモリ割り付けICアクセス及びCCR.ICI書き込み）を配置する領域は、P1又はP2領域とし、PMBの当該エントリのキャッシング可能ビット（Cビット）を”0”にしてください。
3. AREA0ビット（QACR0レジスタのビット4～2）及びAREA1ビット（QACR1レジスタの4～2ビット）がそれぞれ[4:2]の3ビットから[7:2]の6ビットに拡張されます。

9. 内蔵メモリ

SH-4A はOL メモリ、IL メモリの2種類のメモリを内蔵しており、命令やデータを格納することができます。OL メモリはデータの格納に適しており、IL メモリは命令の格納に適しています。

9.1 特長

(1) OL メモリ

- 容量：
  OLメモリの容量は、16Kバイトです。
- ページ：
  OLメモリは4ページ（ページ0A、0B、1A、及び1B）に分かれています。
- メモリマップ：
  OL メモリは、仮想アドレス空間、物理アドレス空間とも、表9.1 に示されるアドレスに配置されています。

表9.1 OL メモリアドレス

ページ	メモリアドレス
ページ 0A	H'E500 E000 ～ H'E500 EFFF（4 Kバイト）
ページ 0B	H'E500 F000 ～ H'E500 FFFF（4 Kバイト）
ページ 1A	H'E501 0000 ～ H'E501 0FFF（4 Kバイト）
ページ 1B	H'E501 1000 ～ H'E501 1FFF（4 Kバイト）

- **ポート**：
  各ページは3本の独立した読み出し／書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスと接続されています。オペランドアクセスにはオペランドバスが、命令フェッチにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- **優先順位**：
  同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順に SuperHyway バス、キャッシュ・RAM 内蔵バス、オペランドバス、となります。

(2) IL メモリ

- **容量**：
  ILメモリの容量は、16Kバイトです。
- **ページ**：
  IL メモリは4ページ（ページ0、1、2、及び3）に分かれています。
- **メモリマップ**：
  ILメモリは、仮想アドレス空間、物理アドレス空間ともに、表9.2に示されるアドレスに配置されています。

表9.2 IL メモリアドレス

ページ	メモリアドレス
ページ 0	H'E520 0000 ～ H'E520 0FFF（4 Kバイト）
ページ 1	H'E520 1000 ～ H'E520 1FFF（4 Kバイト）
ページ 2	H'E520 2000 ～ H'E520 2FFF（4 Kバイト）
ページ 3	H'E520 3000 ～ H'E520 3FFF（4 Kバイト）

- **ポート**：
  3本の独立した読み出し／書き込みポートを持ち、SuperHyway バス、キャッシュ・RAM 内蔵バス、及び命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- **優先順位**：
  同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順に SuperHyway バス、キャッシュ・RAM 内蔵バス、命令バスとなります。

9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表9.3 レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	32	H'0000 0000	H'0000 0000
OL メモリ転送元アドレスレジスタ 0	LSA0	R/W	H'FF00 0050	32	H'XXXX XXXX	H'XXXX XXXX
OL メモリ転送元アドレスレジスタ 1	LSA1	R/W	H'FF00 0054	32	H'XXXX XXXX	H'XXXX XXXX
OL メモリ転送先アドレスレジスタ0	LDA0	R/W	H'FF00 0058	32	H'XXXX XXXX	H'XXXX XXXX
OL メモリ転送先アドレスレジスタ1	LDA1	R/W	H'FF00 005C	32	H'XXXX XXXX	H'XXXX XXXX

9.2.1 内蔵メモリ制御レジスタ（RAMCR）

RAMCR は内蔵メモリの保護機能の制御を行います。
RAMCR を更新する場合は、「8.2.4 内蔵メモリ制御レジスタ（RAMCR）」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～10	—	0	—	リザーブビット
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0：特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1：ユーザ／特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLB を用いた保護機能の使用を選択します。 0：保護機能を使用しない 1：保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0：IC は4 ウェイ動作 1：IC は2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0：OC は4 ウェイ動作 1：OC は2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0：命令キャッシュはウェイ予測を行う 1：命令キャッシュはウェイ予測を行わない 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4 ～ 0	—	0	—	リザーブビット

9.2.2 OL メモリ転送元アドレスレジスタ0（LSA0）

LSA0は、MMUCRレジスタのATビット＝0又はRAMCRレジスタのRPビット＝0のときに、OLメモリページ0A、0Bへのブロック転送において、転送元の物理アドレスを指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L0SADR												
初期値：	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0SADR						—	—	—	—	L0SSZ					
初期値：	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 29	—	0	—	リザーブビット
28 ～ 10	L0SADR	不定	R/W	OLメモリページ0 ブロック転送元アドレス MMUCRレジスタのATビット＝0 又はRAMCRレジスタのRPビット＝0 のとき、OLメモリページ0A、0Bに対するブロック転送の転送元となる物理アドレスを指定します。
9 ～ 6	—	0	—	リザーブビット
5 ～ 0	L0SSZ	不定	R/W	OLメモリページ0 ブロック転送元アドレス選択ビット MMUCRレジスタのATビット＝0 又はRAMCRレジスタのRPビット＝0 のとき、OLメモリページ0A、0Bに対するブロック転送の転送元となる物理アドレスのうちビット15～10に関して、オペランドアドレス（仮想アドレス）を使用するか、L0SADR の値（物理アドレス）を使用するかを選択します。L0SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 111111：ビット15～10にL0SADRの値を使用する （転送元の物理アドレスを1K バイト単位で設定） 111110：ビット15～11にL0SADRの値、ビット10にオペランドアドレスを使用する （転送元の物理アドレスを2K バイト単位で設定） 111100：ビット15～12にL0SADRの値、ビット11、10にオペランドアドレスを使用する （転送元の物理アドレスを4K バイト単位で設定） 111000：ビット15～13にL0SADRの値、ビット12～10にオペランドアドレスを使用する （転送元の物理アドレスを8K バイト単位で設定） 110000：ビット15、14にL0SADRの値、ビット13～10にオペランドアドレスを使用する （転送元の物理アドレスを16K バイト単位で設定） 上記以外：設定禁止

9.2.3　OL メモリ転送元アドレスレジスタ1（LSA1）

LSA1 は、MMUCR レジスタの AT ビット＝0 又は RAMCR レジスタの RP ビット＝0 のときに、OL メモリページ1A、1B へのブロック転送において、転送元の物理アドレスを指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1SADR												
初期値：	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						—	—	—	—	L1SSZ					
初期値：	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 29	—	0	—	リザーブビット
28 ～ 10	L1SADR	不定	R/W	OL メモリページ1 ブロック転送元アドレス MMUCR レジスタの AT ビット＝0 又は RAMCR レジスタの RP ビット＝0 のとき、OL メモリページ1A、1B に対するブロック転送の転送元となる物理アドレスを指定します。
9 ～ 6	—	0	—	リザーブビット
5 ～ 0	L1SSZ	不定	R/W	OL メモリページ1 ブロック転送元アドレス選択ビット MMUCR レジスタの AT ビット＝0 又は RAMCR レジスタの RP ビット＝0 のとき、OL メモリページ1A、1B に対するブロック転送の転送元となる物理アドレスのうちビット15～10に関して、オペランドアドレス（仮想アドレス）を使用するか、L1SADR の値（物理アドレス）を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 111111：ビット15～10にL1SADRの値を使用する （転送元の物理アドレスを1K バイト単位で設定） 111110：ビット15～11にL1SADRの値、ビット10にオペランドアドレスを使用する （転送元の物理アドレスを2K バイト単位で設定） 111100：ビット15～12にL1SADRの値、ビット11、10にオペランドアドレスを使用する （転送元の物理アドレスを4K バイト単位で設定） 111000：ビット15～13にL1SADRの値、ビット12～10にオペランドアドレスを使用する （転送元の物理アドレスを8K バイト単位で設定） 110000：ビット15、14にL1SADRの値、ビット13～10にオペランドアドレスを使用する （転送元の物理アドレスを16K バイト単位で設定） 上記以外：設定禁止

9.2.4　OL メモリ転送先アドレスレジスタ0（LDA0）

LDA0 は、MMUCR レジスタの AT ビット＝0 又は RAMCR レジスタの RP ビット＝0 のときに、OL メモリページ0A、0B へのブロック転送において、転送先の物理アドレスを指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L0DADR												
初期値：	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0DADR						—	—	—	—	L0DSZ					
初期値：	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 29	—	0	—	リザーブビット
28 ～ 10	L0DADR	不定	R/W	OL メモリページ0 ブロック転送先アドレス MMUCR レジスタの AT ビット＝0 又は RAMCR レジスタの RP ビット＝0 のとき、OL メモリページ0A、0B に対するブロック転送の転送先となる物理アドレスを指定します。
9 ～ 6	—	0	—	リザーブビット
5 ～ 0	L0DSZ	不定	R/W	OL メモリページ0 ブロック転送先アドレス選択ビット MMUCR レジスタの AT ビット＝0 又は RAMCR レジスタの RP ビット＝0 のとき、OL メモリページ0A、0B に対するブロック転送の転送先となる物理アドレスのうちビット15～10に関して、オペランドアドレス（仮想アドレス）を使用するか、L0DADR の値（物理アドレス）を使用するかを選択します。L0DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 111111：ビット15～10に L0DADR の値を使用する （転送先の物理アドレスを1K バイト単位で設定） 111110：ビット15～11に L0DADR の値、ビット10にオペランドアドレスを使用する （転送先の物理アドレスを2K バイト単位で設定） 111100：ビット15～12に L0DADR の値、ビット11、10にオペランドアドレスを使用する （転送先の物理アドレスを4K バイト単位で設定） 111000：ビット15～13に L0DADR の値、ビット12～10にオペランドアドレスを使用する （転送先の物理アドレスを8K バイト単位で設定） 110000：ビット15、14に L0DADR の値、ビット13～10にオペランドアドレスを使用する （転送先の物理アドレスを16K バイト単位で設定） 上記以外：設定禁止

9.2.5 OL メモリ転送先アドレスレジスタ1（LDA1）

LDA1は、MMUCRレジスタのAT＝0又はRAMCRレジスタのRPビット＝0のときに、OLメモリページ1A、1Bへのブロック転送において、転送先の物理アドレスを指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1DADR												
初期値：	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	—	L1DSZ					
初期値：	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 29	—	0	—	リザーブビット
28 ～ 10	L1DADR	不定	R/W	OL メモリページ1 ブロック転送先アドレス MMUCRレジスタのATビット＝0 又はRAMCRレジスタのRPビット＝0のとき、OL メモリページ1A、1Bに対するブロック転送の転送先となる物理アドレスを指定します。
9 ～ 6	—	0	—	リザーブビット
5 ～ 0	L1DSZ	不定	R/W	OL メモリページ1 ブロック転送先アドレス選択ビット MMUCRレジスタのATビット＝0 又はRAMCRレジスタのRPビット＝0 のとき、OL メモリページ1A、1Bに対するブロック転送の転送先となる物理アドレスのうちビット15～10に関して、オペランドアドレス（仮想アドレス）を使用するか、L1DADR の値（物理アドレス）を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 111111：ビット15～10にL1DADRの値を使用する （転送先の物理アドレスを1K バイト単位で設定） 111110：ビット15～11にL1DADRの値、ビット10にオペランドアドレスを使用する （転送先の物理アドレスを2K バイト単位で設定） 111100：ビット15～12にL1DADRの値、ビット11、10にオペランドアドレスを使用する （転送先の物理アドレスを4K バイト単位で設定） 111000：ビット15～13にL1DADRの値、ビット12～10にオペランドアドレスを使用する （転送先の物理アドレスを8K バイト単位で設定） 110000：ビット15、14にL1DADRの値、ビット13～10にオペランドアドレスを使用する （転送先の物理アドレスを16K バイト単位で設定） 上記以外：設定禁止

9.3 動作説明

9.3.1 CPU からの命令フェッチアクセス

(1) OL メモリ

CPU からの命令フェッチアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。アクセスには複数サイクルかかります。

(2) IL メモリ

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に1 サイクルアクセスになります。

9.3.2 CPU からのオペランドアクセス、及びFPU からのアクセス

注．PC 相対（@(disp,PC)）によるオペランドアクセスが可能です。

(1) OL メモリ

CPU 、及びFPU からのアクセスは仮想アドレスにより、オペランドバスから行います。オペランドバスからの仮想アドレスによるリードアクセスは、OL メモリの同じページへ連続してアクセスした場合、かつページ競合が発生しない場合に1 サイクルアクセスになります。オペランドバスからの仮想アドレスによるライトアクセスはページ競合が発生しない場合に1 サイクルアクセスになります。

(2) IL メモリ

CPU からのオペランドアクセス、及びFPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルかかります。

9.3.3 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの内蔵メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

9.3.4 OL メモリブロック転送

OL メモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから OL メモリへの転送は、プリフェッチ命令（PREF）により行えます。PREF 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、外部メモリから OL メモリへのブロック転送が開始されます。

OL メモリから外部メモリへの転送は、ライトバック命令（OCBWB）により行えます。OCBWB 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、OL メモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位5 ビットは無視され、常にすべて0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまでCPU はストールします。

OL メモリと転送を行う外部メモリの物理アドレス[28:0]はMMU イネーブル／ディスエーブルにより次のように指定します。

(1) MMU イネーブル（MMUCR レジスタの AT ビット＝1）かつ RAMCR レジスタの RP ビット＝1 の場合

UTLB の VPN フィールドに OL メモリ領域のアドレスを、PPN フィールドに転送元（PREF 命令の場合）又は転送先（OCBWB 命令の場合）の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

OL メモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

(2) MMU ディスエーブル（MMUCR レジスタの AT ビット＝0）又は RAMCR レジスタの RP ビット＝0 の場合

LSA0 レジスタの L0SADR ビットに OL メモリページ 0A、0B へのブロック転送の転送元となる物理アドレスを設定し、L0SSZ ビットに、転送元の物理アドレスのビット 15～10 として PREF 命令で指定された仮想アドレスを使用するか、L0SADR の値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を 1K 、2K、4K、8K、16K バイト単位で設定可能です。

LDA0 レジスタの L0DADR ビットに OL メモリページ 0A、0B からのブロック転送の転送先となる物理アドレスを設定し、L0DSZ ビットに、転送先の物理アドレスのビット 15～10 として OCBWB 命令で指定された仮想アドレスを使用するか、L0DADR の値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を 1K、2K、4K、8K、16K バイト単位で設定可能です。

OL メモリページ 1A、1B に対するブロック転送の設定も、ページ 0A、0B と同様に LSA1 、及び LDA1 に対して行います。

OL メモリ領域への PREF 命令が発行されると、LSA0 レジスタ又は LSA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、LDA0 レジスタ又は LDA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

9.4 内蔵メモリの保護機能

本LSIでは、内蔵メモリに対して、内蔵メモリ制御レジスタRAMCRの内蔵メモリアクセスモードビット（RMD）と内蔵メモリ保護有効ビット（RP）を使用して以下の保護機能を実現します。

- CPU、及びFPUからのアクセスに対する保護機能
  RAMCRレジスタのRMDビット＝0のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定します。
  またMMUCRレジスタのATビット＝1かつRAMCRレジスタのRP＝1のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。
  以上を表9.4にまとめます。

表9.4 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR. RMD	必ず発生する例外	起こり得る例外
0	x	0	0	アドレスエラー例外	—
			1	—	—
		1	x	—	—
1	0	0	0	アドレスエラー例外	—
			1	—	—
		1	x	—	—
	1	0	0	アドレスエラー例外	—
			1	—	MMU 例外
		1	x	—	MMU 例外

x：Don't care

9.5 使用上の注意事項

9.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

9.5.2 ページの切り替わり

(1) OL メモリ

オペランドバスからのリードアクセスでは、連続して同じページをアクセスする場合は1 サイクルアクセスになりますが、ページをまたぐ場合、及びアクセスがOL メモリ以外からOL メモリに切り替わる場合には複数サイクル（最大2 サイクルウェイト）かかります。したがって、性能最適化の観点からは、オペランドバスからのリードアクセスアドレスが属するページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。

(2) IL メモリ

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1 サイクルアクセスになりますが、ページをまたぐ場合、及びアクセスがIL メモリ以外からIL メモリに切り替わる場合には複数サイクル（最大2 サイクルウェイト）かかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。例えばページ毎に独立したプログラムを配置すると効率がよくなります。

9.5.3 内蔵メモリのコヒーレンシ

(1) OL メモリ

OL メモリに命令を配置する場合、OL メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく（OL メモリのアドレスでもよい）、キャッシュヒット／ミスどちらでも構いません。

(2) IL メモリ

IL メモリに命令を配置する場合、IL メモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく（IL メモリのアドレスでもよい）、キャッシュヒット／ミスどちらでも構いません。

9.5.4 スリープモード

スリープモード中は、DMAC などのSuperHyway バスマスタモジュールからOL メモリあるいはIL メモリへのアクセスは行えません。

9.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、LSA0 レジスタの L0SADR ビット、LSA1 レジスタの L1SADR ビット、LDA0 レジスタの L0DADR ビット、LDA1 レジスタの L1DADR ビットがそれぞれ [28:10] の 19 ビットから [31:10] の 22 ビットに拡張されます。

10. 割り込みコントローラ（INTC）

割り込みコントローラ（INTC）は、割り込み要因の優先順位を判定し、CPU（SH-4A）への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。

10.1 特長

INTC には次のような特長があります。

1. 外部割り込みの割り込み優先順位を15レベル設定可能
   割り込み優先レベル設定レジスタにより、外部割り込みの優先順位を端子別に15レベルまで設定することができます。

2. 内部モジュール割り込みの優先順位は30レベル設定可能
   48本の割り込み優先レベル設定レジスタ（INT2PRI0～INT2PRI47）により、内部モジュール割り込みの優先順位を要因別に30レベルまで設定することができます。

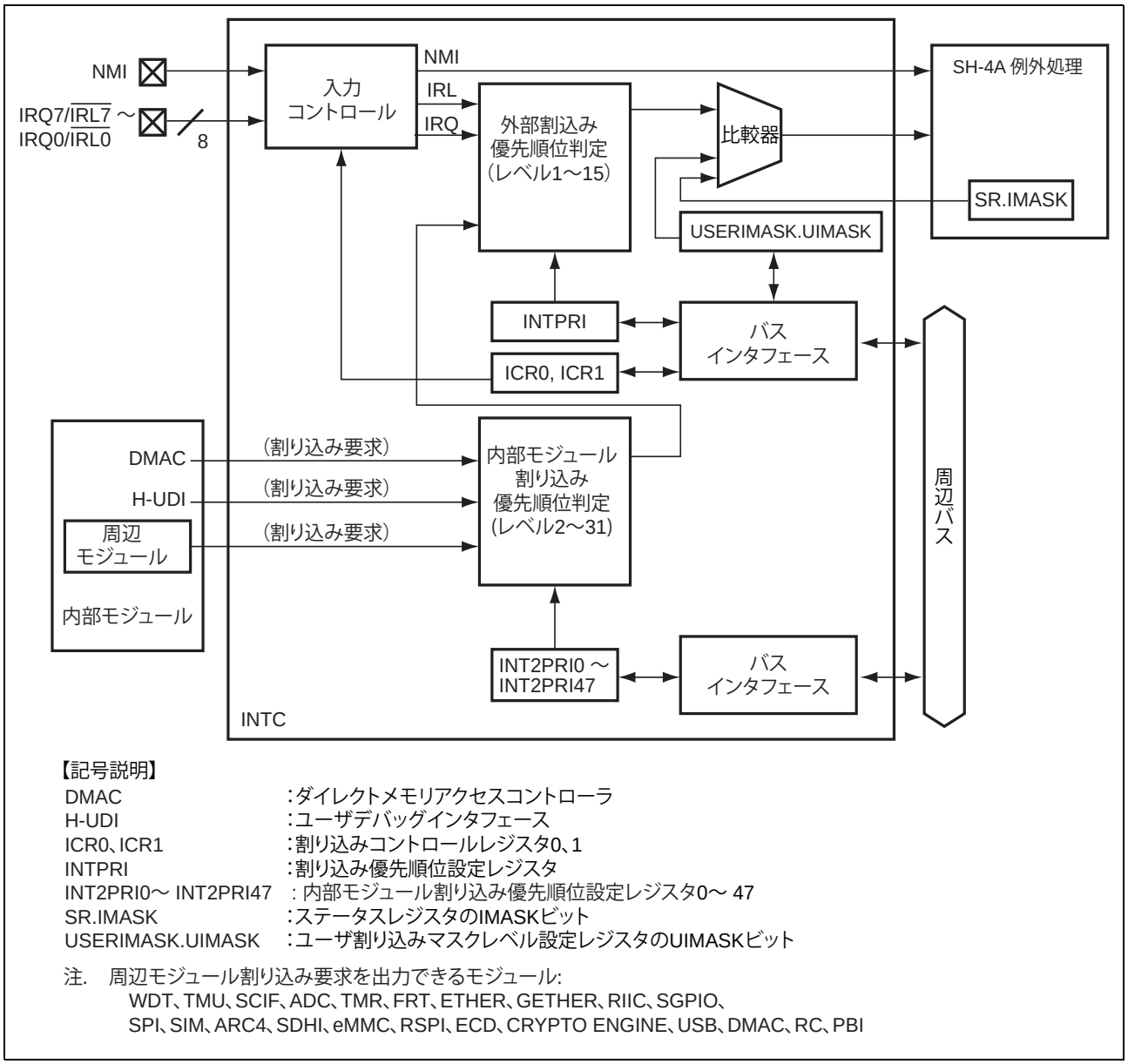
3. NMIノイズキャンセル
   NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

4. BLビット（SRレジスタのビット28）＝1のときのNMI要求のマスク
   SRレジスタのBLビットを“1”にした場合、NMI要求をマスクするかどうかを選択できます。

5. IMASKビット（SRレジスタのビット7～4）を、受け付けた割り込みレベルに自動更新可能

6. ユーザモード割り込み禁止機能
   ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ（USERIMASK）に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

図 10.1にINTC のブロック図を示します。



【記号説明】

DMAC	：ダイレクトメモリアクセスコントローラ
H-UDI	：ユーザデバッグインタフェース
ICR0、ICR1	：割り込みコントロールレジスタ0、1
INTPRI	：割り込み優先順位設定レジスタ
INT2PRI0～ INT2PRI47	：内部モジュール割り込み優先順位設定レジスタ0～ 47
SR.IMASK	：ステータスレジスタのIMASKビット
USERIMASK.UIMASK	：ユーザ割り込みマスクレベル設定レジスタのUIMASKビット

注.　周辺モジュール割り込み要求を出力できるモジュール:
WDT、TMU、SCIF、ADC、TMR、FRT、ETHER、GETHER、RIIC、SGPIO、
SPI、SIM、ARC4、SDHI、eMMC、RSPI、ECD、CRYPTO ENGINE、USB、DMAC、RC、PBI

図 10.1　INTC のブロック図

10.1.1　割り込み方式

割り込み発生時の基本的な例外処理の流れは次のようになります。

例外処理では、プログラムカウンタ（PC）、ステータスレジスタ（SR）、汎用レジスタ15（R15）の内容がそれぞれ退避プログラムカウンタ（SPC）、退避ステータスレジスタ（SSR）、退避ジェネラルレジスタ15（SGR）に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令（RTE）を実行します。本命令によって、PC とSR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容はRTE 命令ではR15 に書き戻されません。

1. PC、SR及びR15の内容がそれぞれSPC、SSR及びSGRに退避されます。
2. SR レジスタのBL ビットが”1”に設定されます。
3. SR レジスタのMD ビットが”1”に設定されます。
4. SR のレジスタのRB ビットが”1”に設定されます。
5. 例外コードが割り込み事象レジスタ（INTEVT）のビット13～0に書き込まれます。
6. 割り込み例外処理ルーチンの先頭番地（ベクタベースレジスタ（VBR）＋H'600）にジャンプします。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

10.1.2　INTC で想定する割り込み

割り込みの種類を表10.1 に示します。INTC では外部割り込み要因と内部モジュール割り込み要因をサポートします。

外部割り込み要因には、外部端子からの入力によるNMI、IRL、IRQ 割り込みの３種類があります。IRQ、IRL 割り込み入力は同一端子に割り付けられているので、システム形態により使用方法を選択してください。

IRQ 割り込みでは、検出方法としてH レベル、L レベルのほか、立ち上がりエッジ、及び立ち下がりエッジが選択可能です。

表10.1　割り込みの種類

要 因		要因数（最大）	優先順位	INTEVT（例外コード）	備 考	
外部割り込み	NMI	1	—	H'1C0		
	IRL（注1）	15	端子入力値の反転値（Lアクティブ端子のため）（表10.5参照）	H'200	$\overline{IRL[7:4]}$ = LLLL（H'0）	高
					$\overline{IRL[3:0]}$ =LLLL（H'0）	
				H'220	$\overline{IRL[7:4]}$ = LLLH（H'1）	
					$\overline{IRL[3:0]}$ =LLLH（H'1）	
				H'240	$\overline{IRL[7:4]}$ = LLHL（H'2）	
					$\overline{IRL[3:0]}$ = LLHL（H'2）	
				H'260	$\overline{IRL[7:4]}$ = LLHH（H'3）	
					$\overline{IRL[3:0]}$ = LLHH（H'3）	
				H'280	$\overline{IRL[7:4]}$ = LHLL（H'4）	
					$\overline{IRL[3:0]}$ = LHLL（H'4）	
				H'2A0	$\overline{IRL[7:4]}$ = LHLH（H'5）	
					$\overline{IRL[3:0]}$ = LHLH（H'5）	
				H'2C0	$\overline{IRL[7:4]}$ = LHHL（H'6）	
					$\overline{IRL[3:0]}$ = LHHL（H'6）	
				H'2E0	$\overline{IRL[7:4]}$ = LHHH（H'7）	
					$\overline{IRL[3:0]}$ = LHHH（H'7）	
				H'300	$\overline{IRL[7:4]}$ = HLLL（H'8）	
					$\overline{IRL[3:0]}$ = HLLL（H'8）	
				H'320	$\overline{IRL[7:4]}$ = HLLH（H'9）	
					$\overline{IRL[3:0]}$ = HLLH（H'9）	
				H'340	$\overline{IRL[7:4]}$ = HLHL（H'A）	
					$\overline{IRL[3:0]}$ = HLHL（H'A）	
				H'360	$\overline{IRL[7:4]}$ = HLHH（H'B）	
					$\overline{IRL[3:0]}$ = HLHH（H'B）	
				H'380	$\overline{IRL[7:4]}$ = HHLL（H'C）	
					$\overline{IRL[3:0]}$ = HHLL（H'C）	
				H'3A0	$\overline{IRL[7:4]}$ = HHLH（H'D）	
					$\overline{IRL[3:0]}$ = HHLH（H'D）	
				H'3C0	$\overline{IRL[7:4]}$ = HHHL（H'E）	
					$\overline{IRL[3:0]}$ = HHHL（H'E）	低
	IRQ	8	INTPRI レジスタ設定値	H'200	IRQ[0]	高
				H'240	IRQ[1]	
				H'280	IRQ[2]	
				H'2C0	IRQ[3]	
				H'300	IRQ[4]	
				H'340	IRQ[5]	
				H'380	IRQ[6]	
				H'3C0	IRQ[7]	低

要 因		要因数（最大）	優先順位	INTEVT（例外コード）	備 考
内部モジュール割り込み（注2）	SDHI	3	INT2PRI0 ～INT2PRI47 レジスタ設定値	H'480	SDHI3
				H'4A0	SDHI0
				H'4C0	SDHI1
	TMU0	1		H'580	TUNI0
	TMU1	1		H'5A0	TUNI1
	TMU2	2		H'5C0	TUNI2
				H'5E0	TICPI2
	H-UDI	1		H'600	H-UDI
	ARC4	1		H'620	ARC4I
	DMAC0～3	5		H'640	DMINT0
				H'660	DMINT1
				H'680	DMINT2
				H'6A0	DMINT3
				H'6C0	DMAE（ch0～ch11 共通）
	SCIF2	4		H'700	ERI2
				H'720	RXI2
				H'740	BRI2
				H'760	TXI2
	DMAC4、5	2		H'780	DMINT4
				H'7A0	DMINT5
	DMAC6、7	2		H'7C0	DMINT6
				H'7E0	DMINT7
	USB0	1		H'840	USB0INT0
	SPI1	1		H'8C0	SPI1I
	USB1	1		H'920	USB1INT0
	TMR01	1		H'A00	TMR01I
	TMR23	1		H'A20	TMR23I
	TMR45	1		H'A40	TMR45I
	FRT	1		H'A80	FRTI
	SCIF0	1		H'B40	FINT0
	SCIF1	1		H'B60	FINT1

要 因		要因数（最大）	優先順位	INTEVT（例外コード）	備 考
内部モジュール割り込み（注2）	SCIF3	4	INT2PRI0 ～INT2PRI47 レジスタ設定値	H'B80	ERI3
				H'BA0	RXI3
				H'BC0	BRI3
				H'BE0	TXI3
	ETHER	2		H'C80	EINT0
				H'CA0	EINT1
	SPI0	1		H'CC0	SPI0I
	ADC1	1		H'CE0	ADCI1
	DMAC8～11	4		H'D00	DMINT8
				H'D20	DMINT9
				H'D40	DMINT10
				H'D60	DMINT11
	SIM	4		H'D80	ERI
				H'DA0	RXI
				H'DC0	TXI
				H'DE0	TEND
	TMU3	1		H'E00	TUNI3
	TMU4	1		H'E20	TUNI4
	TMU5	1		H'E40	TUNI5
	ADC0	1		H'E60	ADCI0
	SCIF4	4		H'F00	ERI4
				H'F20	RXI4
				H'F40	BRI4
				H'F60	TXI4
	IIC0_0	1		H'1400	RIIC0/TXI
	IIC0_1	1		H'1420	RIIC0/TEI
	IIC0_2	1		H'1440	RIIC0/RXI
	IIC0_3	1		H'1460	RIIC0/EEI
	IIC1_0	1		H'1480	RIIC1/TXI
	IIC1_1	1		H'14E0	RIIC1/TEI
	IIC1_2	1		H'1500	RIIC1/RXI
	IIC1_3	1		H'1520	RIIC1/EEI
	IIC2_0	1		H'1540	RIIC2/TXI
	IIC2_1	1		H'1560	RIIC2/TEI
	IIC2_2	1		H'1580	RIIC2/RXI
	IIC2_3	1		H'1600	RIIC2/EEI
	IIC3_0	1		H'1620	RIIC3/TXI
	IIC3_1	1		H'1640	RIIC3/TEI
	IIC3_2	1		H'16E0	RIIC3/RXI
	IIC3_3	1		H'1700	RIIC3/EEI

要 因		要因数（最大）	優先順位	INTEVT（例外コード）	備 考
内部モジュール割り込み（注 2）	IIC4_0	1	INT2PRI0 ～ INT2PRI47 レジスタ設定値	H'17C0	RIIC4/TXI
	IIC4_1	1		H'1800	RIIC4/TEI
	IIC4_2	1		H'1820	RIIC4/RXI
	IIC4_3	1		H'1840	RIIC4/EEI
	IIC5_0	1		H'1860	RIIC5/TXI
	IIC5_1	1		H'1880	RIIC5/TEI
	IIC5_2	1		H'18A0	RIIC5/RXI
	IIC5_3	1		H'18C0	RIIC5/EEI
	IIC6_0	1		H'18E0	RIIC6/TXI
	IIC6_1	1		H'1900	RIIC6/TEI
	IIC6_2	1		H'1920	RIIC6/RXI
	IIC6_3	1		H'1980	RIIC6/EEI
	IIC7_0	1		H'19A0	RIIC7/TXI
	IIC7_1	1		H'1A00	RIIC7/TEI
	IIC7_2	1		H'1A20	RIIC7/RXI
	IIC7_3	1		H'1A40	RIIC7/EEI
	IIC8_0	1		H'1A60	RIIC8/TXI
	IIC8_1	1		H'1A80	RIIC8/TEI
	IIC8_2	1		H'1AA0	RIIC8/RXI
	IIC8_3	1		H'1B40	RIIC8/EEI
	IIC9_0	1		H'1B60	RIIC9/TXI
	IIC9_1	1		H'1B80	RIIC9/TEI
	IIC9_2	1		H'1C00	RIIC9/RXI
	IIC9_3	1		H'1C20	RIIC9/EEI
	MMC1	1		H'1C60	MMC1 （エラー /タイムアウト）
	MMC2	1		H'1C80	MMC2（通常）
	RSPI	4		H'1D80	RXINT
				H'1DA0	TXINT
				H'1DC0	IDINT
				H'1DE0	ERRINT
	SGPIO0	1		H'1F80	SGPIO0
	SGPIO1	1		H'1FA0	SGPIO1
	SGPIO2	1		H'1FC0	SGPIO2
	DMAC12	1		H'2400	DMINT12
	DMAC13	1		H'2420	DMINT13
	DMAC14	1		H'2440	DMINT14
	DMAC15	1		H'2460	DMINT15
	DMAC16	1		H'2480	DMINT16
	DMAC17	1		H'24E0	DMINT17
	DMAC18	1		H'2500	DMINT18
	DMAC19	1		H'2520	DMINT19

要 因		要因数（最大）	優先順位	INTEVT（例外コード）	備 考
内部モジュール割り込み（注2）	DMAC20	1	INT2PRI0 ～INT2PRI47 レジスタ設定値	H'2540	DMINT20
	DMAC21	1		H'2560	DMINT21
	DMAC22	1		H'2580	DMINT22
	DMAC23	1		H'2600	DMINT23
	ECD	1		H'2620	ECD
	CRYPTO ENGINE	1		H'2640	CRYPTO ENGINE
	RC	1		H'27C0	RC
	WDT0B	1		H'2800	WDT0/WOVI
	WDT1B	1		H'2820	WDT0/EWI
	WDT2B	1		H'2840	WDT0/INT
	WDT3B	1		H'2860	WDT1/WOVI
	WDT4B	1		H'2880	WDT1/EWI
	WDT5B	1		H'28A0	WDT1/INT
	GETHER0	1		H'2960	GEINT0
	GETHER1	1		H'2980	GEINT1
	PBIA	1		H'2A00	PBIA
	PBIB	1		H'2A20	PBIB
	PBIC	1		H'2A40	PBIC
	DMAE2	1		H'2A60	DMAE2（ch12～ch17共通）
	DMAE3	1		H'2A80	DMAE3（ch18～ch23 共通）
	SERMUX2	1		H'2AA0	MIR2
	SERMUX3	1		H'2B40	MIR3

注1. $\overline{\text{IRL}}$[3:0]（IRQ3/$\overline{\text{IRL3}}$～IRQ0/$\overline{\text{IRL0}}$ 端子）によるIRL 割り込みと$\overline{\text{IRL}}$[7:4]（IRQ7/$\overline{\text{IRL7}}$～IRQ4/$\overline{\text{IRL4}}$ 端子）による IRL割り込みには同じINTEVT コードが割り当てられているため、$\overline{\text{IRL}}$[3:0]によるIRL 割り込みか$\overline{\text{IRL}}$[7:4]による IRL割り込みかを判別することはできません（本LSIには$\overline{\text{IRL}}$[3:0]によるIRL割り込みと$\overline{\text{IRL}}$[7:4]によるIRL割り込みとを区別する要因レジスタはありません）。

2. 内部モジュール割り込みの要因で使用している略称

WOVI	：インターバルタイマ割り込み
EWI	：早期警告割り込み
INT	：オーバフロー割り込み
TUNI0～ TUNI5	：TMUチャネル0～5 アンダフロー割り込み
TICPI2	：TMUチャネル2 インプットキャプチャ割り込み
RXINT	：RSPI受信バッファフル割り込み
TXINT	：RSPI送信バッファエンプティ割り込み
IDINT	：RSPIアイドル割り込み
ERRINT	：RSPIエラー割り込み
DMINT0 ～ DMINT23	：DMACチャネル0～23 転送終了割り込み
DMAE	：DMACアドレスエラー割り込み（チャネル0～11）
DMAE2	：DMACアドレスエラー割り込み（チャネル12～17）
DMAE3	：DMACアドレスエラー割り込み（チャネル18～23）
ERI2 ～ ERI4	：SCIFチャネル2～4 受信エラー割り込み
RXI2 ～ RXI4	：SCIFチャネル2～4 受信データフル割り込み
BRI2～BRI4	：SCIFチャネル2～4 ブレーク割り込み
TXI2～ TXI4	：SCIFチャネル2～4 送信データエンプティ割り込み

10.2 入出力端子

表10.2 に端子構成を示します。

表10.2 INTC の端子構成

端子名	機 能	入出力	説 明
NMI	ノンマスカブル割り込み	入力	ノンマスカブル割り込み要求端子。使用しない場合はHレベルに固定してください。
IRQ3/$\overline{\text{IRL3}}$ ～ IRQ0/IRL0	外部割り込み入力端子0	入力	ICR0 レジスタの IRLM0 ビット ＝0 のとき、$\overline{\text{IRL}}$[3:0]割り込み要求信号を入力 ICR0 レジスタの IRLM0 ビット ＝1 のとき、IRQ3～IRQ0 割り込み要求信号を入力
IRQ7/$\overline{\text{IRL7}}$ ～ IRQ4/IRL4	外部割り込み入力端子	入力	ICR0 レジスタの IRLM1 ビット ＝0 のとき、$\overline{\text{IRL}}$[7:4]割り込み要求信号を入力 ICR0 レジスタの IRLM1 ビット ＝1 のとき、IRQ7～IRQ4 割り込み要求信号を入力

10.3　レジスタの説明

表 10.3 にINTC のレジスタ構成を示します

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表10.3　INTC のレジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
割り込みコントロールレジスタ0	ICR0	R/W	H'FFD0 0000	32	H'X000 0000	H'X000 0000
割り込みコントロールレジスタ1	ICR1	R/W	H'FFD0 001C	32	H'0000 0000	H'0000 0000
割り込み優先順位設定レジスタ	INTPRI	R/W	H'FFD0 0010	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ	INTREQ	R/(W)	H'FFD0 0024	32	H'0000 0000	H'0000 0000
割り込みマスクレジスタ0	INTMSK0	R/W	H'FFD0 0044	32	H'FF00 0000	H'FF00 0000
割り込みマスクレジスタ1	INTMSK1	R/W	H'FFD0 0048	32	H'FF00 0000	H'FF00 0000
割り込みマスクレジスタ2	INTMSK2	R/W	H'FFD4 0080	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ0	INTMSKCLR0	W	H'FFD0 0064	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ1	INTMSKCLR1	W	H'FFD0 0068	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ2	INTMSKCLR2	W	H'FFD4 0084	32	H'0000 0000	H'0000 0000
NMI フラグコントロールレジスタ	NMIFCR	R/(W)	H'FFD0 00C0	32	H'X000 0000	H'X000 0000
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FFD3 0000	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FFD4 0000	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ1	INT2PRI1	R/W	H'FFD4 0004	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ2	INT2PRI2	R/W	H'FFD4 0008	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ3	INT2PRI3	R/W	H'FFD4 000C	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ4	INT2PRI4	R/W	H'FFD4 0010	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ5	INT2PRI5	R/W	H'FFD4 0014	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FFD4 0018	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ7	INT2PRI7	R/W	H'FFD4 001C	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 8	INT2PRI8	R/W	H'FFD4 00A0	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ9	INT2PRI9	R/W	H'FFD4 00A4	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 10	INT2PRI10	R/W	H'FFD4 00A8	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 11	INT2PRI11	R/W	H'FFD4 00AC	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 12	INT2PRI12	R/W	H'FFD4 00B0	32	H'0000 0000	H'0000 0000

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
内部モジュール割り込み優先順位設定レジスタ 13	INT2PRI13	R/W	H'FFD4 00B4	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 14	INT2PRI14	R/W	H'FFD4 00B8	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 15	INT2PRI15	R/W	H'FFD4 00BC	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 16	INT2PRI16	R/W	H'FFD1 0000	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 17	INT2PRI17	R/W	H'FFD1 0004	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 18	INT2PRI18	R/W	H'FFD1 0008	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 19	INT2PRI19	R/W	H'FFD1 000C	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 20	INT2PRI20	R/W	H'FFD1 0010	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 21	INT2PRI21	R/W	H'FFD1 0014	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 22	INT2PRI22	R/W	H'FFD1 0018	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 23	INT2PRI23	R/W	H'FFD1 001C	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 24	INT2PRI24	R/W	H'FFD1 00A0	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 25	INT2PRI25	R/W	H'FFD1 00A4	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 26	INT2PRI26	R/W	H'FFD1 00A8	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 27	INT2PRI27	R/W	H'FFD1 00AC	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 28	INT2PRI28	R/W	H'FFD1 00B0	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 29	INT2PRI29	R/W	H'FFD1 00B4	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 30	INT2PRI30	R/W	H'FFD1 00B8	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 31	INT2PRI31	R/W	H'FFD1 00BC	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 32	INT2PRI32	R/W	H'FFD2 0000	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 33	INT2PRI33	R/W	H'FFD2 0004	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 34	INT2PRI34	R/W	H'FFD2 0008	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 35	INT2PRI35	R/W	H'FFD2 000C	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 36	INT2PRI36	R/W	H'FFD2 0010	32	H'0000 0000	H'0000 0000

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
内部モジュール割り込み優先順位設定レジスタ 37	INT2PRI37	R/W	H'FFD2 0014	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 38	INT2PRI38	R/W	H'FFD2 0018	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 39	INT2PRI39	R/W	H'FFD2 001C	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 40	INT2PRI40	R/W	H'FFD2 00A0	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 41	INT2PRI41	R/W	H'FFD2 00A4	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 42	INT2PRI42	R/W	H'FFD2 00A8	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 43	INT2PRI43	R/W	H'FFD2 00AC	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 44	INT2PRI44	R/W	H'FFD2 00B0	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 45	INT2PRI45	R/W	H'FFD2 00B4	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 46	INT2PRI46	R/W	H'FFD2 00B8	32	H'0000 0000	H'0000 0000
内部モジュール割り込み優先順位設定レジスタ 47	INT2PRI47	R/W	H'FFD2 00BC	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 0（マスク状態の影響なし）	INT2A0	R	H'FFD4 0030	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 01（マスク状態の影響なし）	INT2A01	R	H'FFD4 00C0	32	H'XXX0 0000	H'XXX0 0000
割り込み要因レジスタ 02（マスク状態の影響なし）	INT2A02	R	H'FFD1 0030	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 03（マスク状態の影響なし）	INT2A03	R	H'FFD1 00C0	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 04（マスク状態の影響なし）	INT2A04	R	H'FFD2 0030	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 05（マスク状態の影響なし）	INT2A05	R	H'FFD2 00C0	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 1（マスク状態の影響あり）	INT2A1	R	H'FFD4 0034	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 11（マスク状態の影響あり）	INT2A11	R	H'FFD4 00C4	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 12（マスク状態の影響あり）	INT2A12	R	H'FFD1 0034	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 13（マスク状態の影響あり）	INT2A13	R	H'FFD1 00C4	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 14（マスク状態の影響あり）	INT2A14	R	H'FFD2 0034	32	H'0000 0000	H'0000 0000
割り込み要因レジスタ 15（マスク状態の影響あり）	INT2A15	R	H'FFD2 00C4	32	H'0000 0000	H'0000 0000
割り込みマスクレジスタ	INT2MSKR	R/W	H'FFD4 0038	32	H'FFFF FFFF	H'FFFF FFFF

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
割り込みマスクレジスタ 1	INT2MSKR1	R/W	H'FFD4 00D0	32	H'FFFF FFFF	H'FFFF FFFF
割り込みマスクレジスタ 2	INT2MSKR2	R/W	H'FFD1 0038	32	H'FFFF FFFF	H'FFFF FFFF
割り込みマスクレジスタ 3	INT2MSKR3	R/W	H'FFD1 00D0	32	H'FFFF FFFF	H'FFFF FFFF
割り込みマスクレジスタ 4	INT2MSKR4	R/W	H'FFD2 0038	32	H'FFFF FFFF	H'FFFF FFFF
割り込みマスクレジスタ 5	INT2MSKR5	R/W	H'FFD2 00D0	32	H'FFFF FFFF	H'FFFF FFFF
割り込みマスククリアレジスタ	INT2MSKCR	W	H'FFD4 003C	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ1	INT2MSKCR1	W	H'FFD4 00D4	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ2	INT2MSKCR2	W	H'FFD1 003C	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ3	INT2MSKCR3	W	H'FFD1 00D4	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ4	INT2MSKCR4	W	H'FFD2 003C	32	H'0000 0000	H'0000 0000
割り込みマスククリアレジスタ5	INT2MSKCR5	W	H'FFD2 00D4	32	H'0000 0000	H'0000 0000
内部モジュール割り込み要因レジスタ0	INT2B0	R	H'FFD4 0040	32	H'XXXX XXXX	H'XXXX XXXX
内部モジュール割り込み要因レジスタ1	INT2B1	R	H'FFD4 0044	32	H'XXXX XXXX	H'XXXX XXXX
内部モジュール割り込み要因レジスタ2	INT2B2	R	H'FFD4 0048	32	H'XXXX XXXX	H'XXXX XXXX
内部モジュール割り込み要因レジスタ3	INT2B3	R	H'FFD4 004C	32	H'XXXX XXXX	H'XXXX XXXX
内部モジュール割り込み要因レジスタ6	INT2B6	R	H'FFD4 0058	32	H'XXXX XXXX	H'XXXX XXXX
内部モジュール割り込み要因レジスタ9	INT2B9	R	H'FFD4 0064	32	H'XXXX XXXX	H'XXXX XXXX
内部モジュール割り込み要因レジスタ10	INT2B10	R	H'FFD4 0068	32	H'XXXX XXXX	H'XXXX XXXX
内部モジュール割り込み要因レジスタ 11	INT2B11	R	H'FFD4 006C	32	H'XXXX XXXX	H'XXXX XXXX

10.3.1　割り込みコントロールレジスタ0（ICR0）

ICR0は、一部書き込み可能な32ビットのレジスタで、外部割り込み入力端子（IRQ7/$\overline{\text{IRL7}}$～IRQ0/$\overline{\text{IRL0}}$）やNMI端子の入力信号検出モードを設定し、NMI端子に入力されているレベルを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	—	—	—	—	NMIB	NMIE	IRLM0	IRLM1	—	—	—	—	—	—
初期値：	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	—	—	—	—	R/W	R/W	R/W	R/W	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	NMIL	—	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。 0：NMI 端子にLレベルが入力されている 1：NMI 端子にHレベルが入力されている
30	MAI	0	R/W	MAI 割り込みマスク CPU のSR レジスタのBL ビットにかかわらず、NMI 端子の入力レベルがL レベルの期間すべての割り込みをマスクするかどうかを指定します。 0：NMI がL レベルでも割り込み許可 1：NMI がL レベルの期間、割り込み禁止
29 ～26	—	0	—	リザーブビット
25	NMIB	0	R/W	NMI ブロックモード CPU のSR レジスタのBL ビットが1 のときにNMI 割り込みをSR レジスタのBL ビットが0 になるまで保留するか、即時に検出するか選択します。 0：SR レジスタのBL ビット＝1 のときNMI 割り込み要求を保留する 1：SR レジスタのBL ビット＝1 のときNMI 割り込みを保留しない 注．SR レジスタのBL ビット＝1 のままで割り込みを受け付けると、以前の例外情報（SSR、SPC、SGR、INTEVT）は失われます。
24	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0：NMI 入力の立ち下がりエッジで割り込み要求を検出 1：NMI 入力の立ち上がりエッジで割り込み要求を検出
23	IRLM0	0	R/W	IRL 端子モード0 IRQ3/$\overline{\text{IRL3}}$～IRQ0/$\overline{\text{IRL0}}$ 端子をエンコードされたIRL 割り込み（$\overline{\text{IRL}}$[3:0]割り込み）として使用するか、独立したIRQ 割り込み（IRQ3～IRQ0 割り込み）として使用するかを選択します。 0：$\overline{\text{IRL3}}$～$\overline{\text{IRL0}}$割り込みとして使用（注） 1：IRQ3～IRQ0割り込みとして使用

ビット	ビット名	初期値	R/W	説 明
22	IRLM1	0	R/W	IRL 端子モード1 IRQ7/IRL7～IRQ4/IRL4 端子をエンコードされたIRL割り込み（IRL[7:4]割り込み）として使用するか、独立したIRQ割り込み（IRQ7～IRQ4 割り込み）として使用するかを選択します。 0：IRL7～IRL4割り込みとして使用（注） 1：IRQ7～IRQ4割り込みとして使用
21～0	—	0	—	リザーブビット

注．IRL割り込み要求は、入力レベルが4バスクロック（CLKOUT）連続して同じ場合に検出されます。

10.3.2　割り込みコントロールレジスタ1（ICR1）

ICR1は、読み出し／書き込み可能な32ビットのレジスタで、外部割り込み入力端子IRQ7～IRQ0に対して、入力信号の検出モードを端子ごとに指定します。本レジスタは、IRQ7～IRQ0割り込み選択時（IRLM0ビット（ICR0レジスタのビット23）＝1、IRLM1ビット（ICR0レジスタのビット23）＝1）のみ有効です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S		IRQ1S		IRQ2S		IRQ3S		IRQ4S		IRQ5S		IRQ6S		IRQ7S	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31、30	IRQ0S	00	R/W	IRQn センスセレクト IRQ7～IRQ0端子に対する割り込み信号を、立ち下がりエッジ、立ち上がりエッジ、Lレベル、Hレベルのいずれで検出するか選択します。 00：割り込み要求をIRQn 入力の立ち下がりエッジで検出 01：割り込み要求をIRQn 入力の立ち上がりエッジで検出 10：割り込み要求をIRQn 入力のLレベルで検出 11：割り込み要求をIRQn 入力のHレベルで検出 n＝0～7
29、28	IRQ1S	00	R/W	
27、26	IRQ2S	00	R/W	
25、24	IRQ3S	00	R/W	
23、22	IRQ4S	00	R/W	
21、20	IRQ5S	00	R/W	
19、18	IRQ6S	00	R/W	
17、16	IRQ7S	00	R/W	
15～0	—	0	—	リザーブビット

注．IRQn（n＝0～7）がレベル検出に設定されている場合（IRQnS＝10又は11）、CPUにIRQn割り込みが受け付けられる前にIRQn端子入力レベルが無効になった場合でも、その割り込み要因は保持されます。このため、スリープモード中にIRQn端子の入力レベルが無効に変化しても、スリープモードから復帰し、IRQn割り込み処理に分岐します。

10.3.3　割り込み優先順位設定レジスタ（INTPRI）

INTPRI は、読み出し／書き込み可能な32 ビットのレジスタで、IRQ7～IRQ0 割り込みの優先順位（レベル15～0）を設定します。本レジスタは、IRQ7～IRQ0割り込み選択時（ICR0 レジスタのIRLM0 ビット＝1、IRLM1 ビット＝1）のみ有効です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP0				IP1				IP2				IP3			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP4				IP5				IP6				IP7			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明	
31～28	IP0	0000	R/W	IRQ0 割り込み要求の優先順位	割り込み優先レベルを設定 0000：割り込み禁止 0001：割り込み優先レベル1 0002：割り込み優先レベル2 ： 1111：割り込み優先レベル15 低 ↕ 高
27～24	IP1	0000	R/W	IRQ1 割り込み要求の優先順位	
23～20	IP2	0000	R/W	IRQ2 割り込み要求の優先順位	
19 ～16	IP3	0000	R/W	IRQ3 割り込み要求の優先順位	
15～12	IP4	0000	R/W	IRQ4 割り込み要求の優先順位	
11～8	IP5	0000	R/W	IRQ5 割り込み要求の優先順位	
7～4	IP6	0000	R/W	IRQ6割り込み要求の優先順位	
3 ～0	IP7	0000	R/W	IRQ7割り込み要求の優先順位	

10.3.4　割り込み要因レジスタ（INTREQ）

INTREQ は、読み出し／条件付き書き込み可能な32 ビットのレジスタで、INTC にどのIRQn（n＝0～7）割り込みが要求されているかを示します。

INTPRI、INTMSK0 によって割り込みがマスクされても本レジスタのビットは影響を受けません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IR0	IR1	IR2	IR3	IR4	IR5	IR6	IR7	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	
				エッジ検出時（ICR1 レジスタの IRQnS = 00 又は 01）	レベル検出時 （注2）（ICR1 レジスタのIRQnS = 10 又は11）
31	IR0	0	R/W（注1）	0：対応するIRQn 割り込み要求は未検出 1：対応するIRQn割り込み要求を検出	0：対応するIRQn割り込み端子 に有効レベルが入力されていない 1：対応するIRQn割り込み端子に有効レベルが入力され、まだCPUに受け付けられていない。
30	IR1	0	R/W（注1）		
29	IR2	0	R/W（注1）		
28	IR3	0	R/W（注1）		
27	IR4	0	R/W（注1）		
26	IR5	0	R/W（注1）		
25	IR6	0	R/W（注1）		
24	IR7	0	R/W（注1）		
23 ～ 0	—	0	—	リザーブビット	

n＝0～7

注1.　エッジ検出時、“1”を読み出したビットに“0”を書くと“0”になります。“0”を読み出したビットには“1”を書いてください。“1”を書いても変化しません。
レベル検出時、“1”になったビットは、割り込みが受け付けられるまでその内容を保持します。割り込みが受け付けられると“0”になります。これらのビットに書き込んでもビットの内容は変化しません。

2.　「10.3.2　割り込みコントロールレジスタ1（ICR1）」の注記も併せて参照してください。

10.3.5　割り込みマスクレジスタ0（INTMSK0）

INTMSK0は、読み出し／条件付き書き込み可能な32ビットのレジスタで、IRQn（n＝0～7）割り込み要求ごとにマスクするかどうかを設定します。割り込みマスクを解除するには、INTMSKCLR0レジスタの対応するビットに1を書き込みます。本レジスタの各ビットに0を書き込んでも、値は変化しません。IRL割り込み選択時（ICR0レジスタのIRLM0ビット＝0、IRLM1ビット＝0）は、それぞれIM00～IM03、IM04～IM07に1を書き込んでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM00	IM01	IM02	IM03	IM04	IM05	IM06	IM07	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	ビット
31	IM00	1	R/W（注1）	IRQ0割り込み要求のマスク	0：割り込みを受け付ける 1：割り込みをマスクする
30	IM01	1	R/W（注1）	IRQ1割り込み要求のマスク	
29	IM02	1	R/W（注1）	IRQ2割り込み要求のマスク	
28	IM03	1	R/W（注1）	IRQ3割り込み要求のマスク	
27	IM04	1	R/W（注1）	IRQ4割り込み要求のマスク	
26	IM05	1	R/W（注1）	IRQ5割り込み要求のマスク	
25	IM06	1	R/W（注1）	IRQ6割り込み要求のマスク	
24	IM07	1	R/W（注1）	IRQ7割り込み要求のマスク	
23～0	—	0	—	リザーブビット	

注1. “1”を書くと対応するIRQn割り込みがマスク（禁止）されます。“0”を書いても変化しません。INTMSKCLR0レジスタの対応するビットに“1”を書くと“0”になります。

2. IRQn（n＝0～7）がレベル検出に設定されている場合（IRQnS＝10又は11）、対応するマスクビットが“1”のときに有効レベルが入力されても、割り込み要求は発生しません。対応するマスクビットが“0”のときに有効レベルが入力され、CPUに受け付けられる前にマスクビットを“1”にすると、割り込み要求は保持されたままとなり、次にマスクビットをクリアしたときに、割り込み要求がCPUに通知されます。
IRQnがエッジ検出に設定されている場合（IRQnS＝00又は01）は、対応するマスクビットの状態にかかわらず、有効エッジが入力されると割り込み要求が発生します。対応するマスクビットが“1”のときに発生した割り込み要求は保持されたままとなり、次にマスクビットをクリアしたときに、割り込み要求がCPUに通知されます。

10.3.6　割り込みマスクレジスタ 1（INTMSK1）

INTMSK1 は、読み出し／条件付き書き込み可能な 32 ビットのレジスタで、IRL 割り込み要求をマスクするかどうかを設定します。割り込みマスクを解除するには、INTMSKCLR1 レジスタの対応するビットに”1” を書き込みます。本レジスタの各ビットに”0” を書き込んでも、値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM10	IM11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W (注)	R/W (注)	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	ビット
31	IM10	1	R/W（注）	$\overline{\text{IRL}}$[3:0]割り込み要求のマスク	0：割り込みを受け付ける 1：割り込みをマスクする
30	IM11	1	R/W（注）	$\overline{\text{IRL}}$[7:4]割り込み要求のマスク	
29 ～24	—	1	—	リザーブビット	
23～ 0	—	0	—	リザーブビット	

注．“1” を書くと対応する IRL 割り込みがマスク（禁止）されます。“0” を書いても変化しません。INTMSKCLR1 レジスタの対応するビットに“1” を書くと“0”になります。

10.3.7　割り込みマスクレジスタ2（INTMSK2）

INTMSK2は、読み出し／条件付き書き込み可能な32ビットのレジスタで、IRL割り込み要求をレベルごとにマスクするかどうかを設定します。割り込みマスクを解除するには、INTMSKCLR2レジスタの対応するビットに”1”を書き込みます。本レジスタの各ビットに”0”を書き込んでも、値は変化しません。

IRL割り込み選択時（ICR0レジスタのIRLM0ビット＝0、IRLM1ビット＝0）、かつ、IRL割り込みをマスクしていない（INTMSK1レジスタのIM10ビット＝0、IM11ビット＝0）場合に有効となります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM015	IM014	IM013	IM012	IM011	IM010	IM009	IM008	IM007	IM006	IM005	IM004	IM003	IM002	IM001	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IM115	IM114	IM113	IM112	IM111	IM110	IM109	IM108	IM107	IM106	IM105	IM104	IM103	IM102	IM101	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	—

ビット	ビット名	初期値	R/W	説明	
31	IM015	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LLLL (H'0)の場合の割り込み要求のマスク	0：割り込みを受け付ける 1：割り込みをマスクする
30	IM014	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LLLH (H'1)の場合の割り込み要求のマスク	
29	IM013	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LLHL (H'2)の場合の割り込み要求のマスク	
28	IM012	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LLHH (H'3)の場合の割り込み要求のマスク	
27	IM011	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LHLL (H'4)の場合の割り込み要求のマスク	
26	IM010	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LHLH (H'5)の場合の割り込み要求のマスク	
25	IM009	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LHHL (H'6)の場合の割り込み要求のマスク	
24	IM008	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = LHHH (H'7)の場合の割り込み要求のマスク	
23	IM007	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = HLLL (H'8)の場合の割り込み要求のマスク	
22	IM006	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = HLLH (H'9)の場合の割り込み要求のマスク	
21	IM005	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = HLHL (H'A)の場合の割り込み要求のマスク	
20	IM004	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = HLHH (H'B)の場合の割り込み要求のマスク	
19	IM003	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = HHLL (H'C)の場合の割り込み要求のマスク	
18	IM002	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = HHLH (H'D)の場合の割り込み要求のマスク	

ビット	ビット名	初期値	R/W	説 明	
17	IM001	0	R/W（注1）	$\overline{\text{IRL}}$[3:0] = HHHL (H'E)の場合の割り込み要求のマスク	0：割り込みを受け付ける 1：割り込みをマスクする
16	—	0	—	リザーブビット	
15	IM115	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LLLL (H'0)の場合の割り込み要求のマスク	0：割り込みを受け付ける 1：割り込みをマスクする
14	IM114	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LLLH (H'1)の場合の割り込み要求のマスク	
13	IM113	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LLHL (H'2)の場合の割り込み要求のマスク	
12	IM112	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LLHH (H'3)の場合の割り込み要求のマスク	
11	IM111	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LHLL (H'4)の場合の割り込み要求のマスク	
10	IM110	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LHLH (H'5)の場合の割り込み要求のマスク	
9	IM109	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LHHL (H'6)の場合の割り込み要求のマスク	
8	IM108	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = LHHH (H'7)の場合の割り込み要求のマスク	
7	IM107	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = HLLL (H'8)の場合の割り込み要求のマスク	
6	IM106	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = HLLH (H'9)の場合の割り込み要求のマスク	
5	IM105	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = HLHL (H'A)の場合の割り込み要求のマスク	
4	IM104	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = HLHH (H'B)の場合の割り込み要求のマスク	
3	IM103	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = HHLL (H'C)の場合の割り込み要求のマスク	
2	IM102	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = HHLH (H'D)の場合の割り込み要求のマスク	
1	IM101	0	R/W（注1）	$\overline{\text{IRL}}$[7:4] = HHHL (H'E)の場合の割り込み要求のマスク	
0	—	0	—	リザーブビット	

注.1 “1”を書くと対応するレベルごとにIRL割り込みがマスク（禁止）されます。“0”を書 いても変化しません。
INTMSKCLR2レジスタの対応するビットに“1 ”を書くと“0”になります。

2. 対応するマスクビットが“1”のときに有効レベルが入力されても、割り込み要求は発生しません。対応するマスクビットが“0”のときに有効レベルが入力され、CPUに受け付けられる前にマスクビットを“1”にすると、割り込み要求は保持されたままとなり、次にマスクビットをクリアしたときに、割り込み要求がCPUに通知されます。

10.3.8　割り込みマスククリアレジスタ 0 （INTMSKCLR0）

INTMSKCLR0は、書き込み専用の32ビットのレジスタで、IRQn（n＝0～7）割り込み要求ごとのマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC00	IC01	IC02	IC03	IC04	IC05	IC06	IC07	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	
31	IC00	—	R/W	IRQ0 割り込み要求のマスククリア	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。
30	IC01	—	R/W	IRQ1 割り込み要求のマスククリア	
29	IC02	—	R/W	IRQ2 割り込み要求のマスククリア	
28	IC03	—	R/W	IRQ3 割り込み要求のマスククリア	
27	IC04	—	R/W	IRQ4 割り込み要求のマスククリア	
26	IC05	—	R/W	IRQ5 割り込み要求のマスククリア	
25	IC06	—	R/W	IRQ6 割り込み要求のマスククリア	
24	IC07	—	R/W	IRQ7 割り込み要求のマスククリア	
23～0	—	0	—	リザーブビット	

10.3.9　割り込みマスククリアレジスタ1 （INTMSKCLR1）

INTMSKCLR1は、書き込み専用の32ビットのレジスタで、IRL割り込み要求のマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC10	IC11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	
31	IC10	—	R/W	$\overline{\text{IRL}}$[3:0] 割り込み要求のマスククリア	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。
30	IC11	—	R/W	$\overline{\text{IRL}}$[7:4] 割り込み要求のマスククリア	
29 ～ 0	—	0	—	リザーブビット	

10.3.10 割り込みマスククリアレジスタ 2 （INTMSKCLR2）

INTMSKCLR2は、書き込み専用の32ビットのレジスタで、IRL割り込み要求のレベルごとのマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC015	IC014	IC013	IC012	IC011	IC010	IC009	IC008	IC007	IC006	IC005	IC004	IC003	IC002	IC001	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC115	IC114	IC113	IC112	IC111	IC110	IC109	IC108	IC107	IC106	IC105	IC104	IC103	IC102	IC101	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	—

ビット	ビット名	初期値	R/W	説 明	
31	IC015	—	W	$\overline{\text{IRL}}$[3:0] = LLLL (H'0)の場合の割り込み要求のマスククリア	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。
30	IC014	—	W	$\overline{\text{IRL}}$[3:0] = LLLH (H'1)の場合の割り込み要求のマスククリア	
29	IC013	—	W	$\overline{\text{IRL}}$[3:0] = LLHL (H'2)の場合の割り込み要求のマスククリア	
28	IC012	—	W	$\overline{\text{IRL}}$[3:0] = LLHH (H'3)の場合の割り込み要求のマスククリア	
27	IC011	—	W	$\overline{\text{IRL}}$[3:0] = LHLL (H'4)の場合の割り込み要求のマスククリア	
26	IC010	—	W	$\overline{\text{IRL}}$[3:0] = LHLH (H'5)の場合の割り込み要求のマスククリア	
25	IC009	—	W	$\overline{\text{IRL}}$[3:0] = LHHL (H'6)の場合の割り込み要求のマスククリア	
24	IC008	—	W	$\overline{\text{IRL}}$[3:0] = LHHH (H'7)の場合の割り込み要求のマスククリア	
23	IC007	—	W	$\overline{\text{IRL}}$[3:0] = HLLL (H'8)の場合の割り込み要求のマスククリア	
22	IC006	—	W	$\overline{\text{IRL}}$[3:0] = HLLH (H'9)の場合の割り込み要求のマスククリア	
21	IC005	—	W	$\overline{\text{IRL}}$[3:0] = HLHL (H'A)の場合の割り込み要求のマスククリア	
20	IC004	—	W	$\overline{\text{IRL}}$[3:0] = HLHH (H'B)の場合の割り込み要求のマスククリア	
19	IC003	—	W	$\overline{\text{IRL}}$[3:0] = HHLL (H'C)の場合の割り込み要求のマスククリア	
18	IC002	—	W	$\overline{\text{IRL}}$[3:0] = HHLH (H'D)の場合の割り込み要求のマスククリア	
17	IC001	—	W	$\overline{\text{IRL}}$[3:0] = HHHL (H'E)の場合の割り込み要求のマスククリア	
16	—	0	—	リザーブビット	

ビット	ビット名	初期値	R/W	説 明	
15	IC115	—	W	$\overline{\text{IRL}}$[7:4] = LLLL (H'0)の場合の割り込み要求のマスククリア	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。
14	IC114	—	W	$\overline{\text{IRL}}$[7:4] = LLLH (H'1)の場合の割り込み要求のマスククリア	
13	IC113	—	W	$\overline{\text{IRL}}$[7:4] = LLHL (H'2)の場合の割り込み要求のマスククリア	
12	IC112	—	W	$\overline{\text{IRL}}$[7:4] = LLHH (H'3)の場合の割り込み要求のマスククリア	
11	IC111	—	W	$\overline{\text{IRL}}$[7:4] = LHLL (H'4)の場合の割り込み要求のマスククリア	
10	IC110	—	W	$\overline{\text{IRL}}$[7:4] = LHLH (H'5)の場合の割り込み要求のマスククリア	
9	IC109	—	W	$\overline{\text{IRL}}$[7:4] = LHHL (H'6)の場合の割り込み要求のマスククリア	
8	IC108	—	W	$\overline{\text{IRL}}$[7:4] = LHHH (H'7)の場合の割り込み要求のマスククリア	
7	IC107	—	W	$\overline{\text{IRL}}$[7:4] = HLLL (H'8)の場合の割り込み要求のマスククリア	
6	IC106	—	W	$\overline{\text{IRL}}$[7:4] = HLLH (H'9)の場合の割り込み要求のマスククリア	
5	IC105	—	W	$\overline{\text{IRL}}$[7:4] = HLHL (H'A)の場合の割り込み要求のマスククリア	
4	IC104	—	W	$\overline{\text{IRL}}$[7:4] = HLHH (H'B)の場合の割り込み要求のマスククリア	
3	IC103	—	W	$\overline{\text{IRL}}$[7:4] = HHLL (H'C)の場合の割り込み要求のマスククリア	
2	IC102	—	W	$\overline{\text{IRL}}$[7:4] = HHLH (H'D)の場合の割り込み要求のマスククリア	
1	IC101	—	W	$\overline{\text{IRL}}$[7:4] = HHHL (H'E)の場合の割り込み要求のマスククリア	
0	—	0	—	リザーブビット	

10.3.11 NMIフラグコントロールレジスタ（NMIFCR）

NMIFCR は、読み出し／一部条件付き書き込み可能な 32 ビットのレジスタで、NMI の入力レベルとNMI検出を示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値：	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W (注1)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	NMIL	不定	R	NMI 入力レベル 0：NMI 端子にL レベルが入力されている 1：NMI 端子にH レベルが入力されている
30 ～ 17	—	0	—	リザーブビット
16	NMIFL	0	R/W（注1）	NMI フラグ（NMI 割り込み要求信号検出）（注2） 0: NMI 割り込み要求未検出 1: NMI 割り込み要求検出
15～0	—	0	—	リザーブビット

注1. “0”を書くと“0”になります。“1”を書いても変化しません。

2. INTCによりNMI割り込み要求が検出されると自動的に“1”になりますが、NMI割り込み要求がCPUに受け付けられてNMI割り込み要求自体がクリアされても、NMIFLフラグは自動的に“0”になりません。また、NMI割り込み要求がCPUに受け付けられるより前にこのビットに“0”を書き込んだ場合でも、NMI割り込み要求自体は取り消されません。

10.3.12 ユーザ割り込みマスクレベル設定レジスタ（USERIMASK）

USERIMASK は、読み出し／一部条件付き書き込み可能な32ビットレジスタで、受け付け可能な割り込みレベルを設定します。本レジスタは、INTCの他のレジスタとは異なる64Kバイト空間に配置されていますので、エリア7アドレスにMMUのアドレス変換を使用してアクセスすることにより、ユーザモードでアクセス可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 24	—	H'00	—	リザーブビット UIMASK ビットに値を書き込むときは、同時にビット31～24にH'A5を書き込んでください。
23 ～ 8	—	0	—	リザーブビット
7 ～ 4	UIMASK	H'0	R/W	ユーザ割り込みマスクレベル（注） 0000：全割り込みを許可 0001：優先レベルが2以上の割り込みを許可 0010：優先レベルが3以上の割り込みを許可 ： 1111：NMI割り込み以外の全割り込みを禁止
3 ～ 0	—	0	—	リザーブビット

注．UIMASK設定値より高い割り込み優先レベルに設定された割り込みは、以下の条件で受け付けられます。
・割り込みマスクレジスタの対応する割り込みマスクビット＝0（割り込み許可）
・SR レジスタのIMASKビット設定値 ＜ 割り込み優先レベル
なお、割り込みが受け付けられてもUIMASKの値は変化しません。

ユーザ割り込みマスクレベル設定レジスタの使用手順

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASKは、INTCの他のレジスタとは異なる64Kバイト空間に配置されていますので、ユーザモードではMMUによるアドレス変換によりアクセスします。マルチタスクOS の場合、USERIMASKにアクセスできるプロセスはMMU の記憶保護機能により管理してください。また、そのタスクを終了する場合や他のタスクに切り替える場合は、必ずUIMASK ビットを0 にクリアしてください。UIMASKビットに0 以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順例を示します。

割り込みA：デバイスドライバ中で受け付けたい割り込み
（OS で使用するタイマ割り込み等）

割り込みB：デバイスドライバ中で禁止したい割り込み

1. 割り込みA、Bに対して、
   割り込みAの割り込み優先レベル ＞ 割り込みBの割り込み優先レベル
   となるように設定する。
2. 割り込みを禁止したいデバイスドライバにのみUSERIMASKが存在するアドレス空間へのアクセスを許可するようにMMUを設定する。
3. デバイスドライバに分岐する。
4. ユーザモードで動作するデバイスドライバ中で、割り込みBがマスクされるようにUIMASKビットを設定する（UIMASK ＞ 割り込みBの割り込み優先レベル）。
5. デバイスドライバ中で緊急度の高い割り込みAの処理を行う。
6. UIMASKビットを“0”にし、デバイスドライバの処理から復帰する。

10.3.13 内部モジュール割り込み優先順位設定レジスタ（INT2PRI0 ～ INT2PRI47）

INT2PRIn（n＝0～47）は、読み出し／書き込み可能な32ビットのレジスタで、内部モジュール割り込みの優先順位（レベル31～0）を個々の割り込み要因ごとに設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INT2PRIn[28:24]					—	—	—	INT2PRIn[20:16]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	INT2PRIn[12:8]					—	—	—	INT2PRIn[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 29	—	0	—	リザーブビット
28 ～ 24	INT2PRIn[28:24]	00000	R/W	内部モジュール割り込み優先レベル（表10.4参照） 00000：割り込み要求をマスク（割り込み禁止） 00001：割り込み要求をマスク（割り込み禁止） 00010：割り込み優先レベル2　低 00011：割り込み優先レベル3 ： 11111：割り込み優先レベル31　高
23 ～ 21	—	0	—	リザーブビット
20～16	INT2PRIn[20:16]	00000	R/W	内部モジュール割り込み優先レベル（表10.4参照） 00000：割り込み要求をマスク（割り込み禁止） 00001：割り込み要求をマスク（割り込み禁止） 00010：割り込み優先レベル2　低 00011：割り込み優先レベル3 ： 11111：割り込み優先レベル31　高
15～13	—	0	—	リザーブビット
12～8	INT2PRIn[12:8]	00000	R/W	内部モジュール割り込み優先レベル（表10.4参照） 00000：割り込み要求をマスク（割り込み禁止） 00001：割り込み要求をマスク（割り込み禁止） 00010：割り込み優先レベル2　低 00011：割り込み優先レベル3 ： 11111：割り込み優先レベル31　高
7～5	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
4 ～ 0	INT2PRIn[4:0]	00000	R/W	内部モジュール割り込み優先レベル（表10.4参照） 00000：割り込み要求をマスク（割り込み禁止） 00001：割り込み要求をマスク（割り込み禁止） 00010：割り込み優先レベル2　　低 00011：割り込み優先レベル3 ： 11111：割り込み優先レベル31　　高

割り込み要因とINT2PRI0～INT2PRI47レジスタの各ビットの対応を表10.4に示します。

表10.4　割り込み要因とINT2PRI0～INT2PRI47レジスタの対応

レジスタ	ビット			
	INTPRIn[28:24]	INTPRIn[20:16]	INTPRIn[12:8]	INTPRIn[4:0]
INT2PRI0	TMU0	TMU1	TMU2 (TUNI2)	TMU2 (TICPI2)
INT2PRI1	TMU3	TMU4	TMU5	SDHI
INT2PRI2	SCIF2	SCIF3	リザーブ	リザーブ
INT2PRI3	H-UDI	DMAC0-5	ADC0	リザーブ
INT2PRI4	リザーブ	リザーブ	TMR01	TMR23
INT2PRI5	TMR45	リザーブ	FRT	リザーブ
INT2PRI6	リザーブ	ETHER	DMAC8-11	リザーブ
INT2PRI7	SCIF4	リザーブ	リザーブ	リザーブ
INT2PRI8	リザーブ	リザーブ	リザーブ	リザーブ
INT2PRI9	ARC4	リザーブ	SPI1	リザーブ
INT2PRI10	SPI0	SIM	リザーブ	リザーブ
INT2PRI11	ADC1	リザーブ	DMAC6-7	リザーブ
INT2PRI12	USB0	リザーブ	リザーブ	USB1
INT2PRI13	リザーブ	リザーブ	SCIF1	SCIF0
INT2PRI14	リザーブ	リザーブ	リザーブ	リザーブ
INT2PRI15	リザーブ	リザーブ	リザーブ	リザーブ
INT2PRI16	IIC2_2	リザーブ	リザーブ	リザーブ
INT2PRI17	リザーブ	リザーブ	リザーブ	IIC1_0
INT2PRI18	IIC3_3	IIC9_1	IIC2_1	IIC1_2
INT2PRI19	IIC2_3	IIC3_1	リザーブ	IIC1_3
INT2PRI20	IIC2_0	IIC6_3	IIC7_1	IIC7_2
INT2PRI21	IIC7_3	IIC8_0	IIC8_1	IIC8_2
INT2PRI22	IIC9_2	MMC2	リザーブ	リザーブ
INT2PRI23	リザーブ	SGPIO	IIC3_2	IIC5_1
INT2PRI24	リザーブ	リザーブ	リザーブ	IIC1_1
INT2PRI25	IIC3_0	リザーブ	IIC5_3	IIC5_2
INT2PRI26	リザーブ	RSPI	リザーブ	IIC9_3
INT2PRI27	リザーブ	IIC6_0	IIC4_0	IIC6_1
INT2PRI28	IIC4_3	IIC7_0	MMC1	IIC6_2

レジスタ	ビット			
	INTPRIn[28:24]	INTPRIn[20:16]	INTPRIn[12:8]	INTPRIn[4:0]
INT2PRI29	リザーブ	リザーブ	IIC9_0	IIC8_3
INT2PRI30	IIC4_1	IIC4_2	IIC5_0	リザーブ
INT2PRI31	IIC0_0	IIC0_1	IIC0_2	IIC0_3
INT2PRI32	DMINT22	リザーブ	リザーブ	リザーブ
INT2PRI33	リザーブ	リザーブ	リザーブ	DMINT16
INT2PRI34	リザーブ	リザーブ	DMINT21	DMINT18
INT2PRI35	DMINT23	CRYPTO ENGINE	リザーブ	DMINT19
INT2PRI36	DMINT20	GETHER1	PBIA	PBIB
INT2PRI37	PBIC	DMAE2	DMAE3	SERMUX2
INT2PRI38	リザーブ	リザーブ	リザーブ	リザーブ
INT2PRI39	リザーブ	リザーブ	リザーブ	WDT4B
INT2PRI40	リザーブ	リザーブ	リザーブ	DMINT17
INT2PRI41	ECD	リザーブ	リザーブ	WDT5B
INT2PRI42	リザーブ	リザーブ	リザーブ	リザーブ
INT2PRI43	リザーブ	リザーブ	RC	リザーブ
INT2PRI44	WDT2B	リザーブ	リザーブ	リザーブ
INT2PRI45	リザーブ	リザーブ	リザーブ	SERMUX3
INT2PRI46	WDT0B	WDT1B	WDT3B	GETHER0
INT2PRI47	DMINT12	DMINT13	DMINT14	DMINT15

10.3.14 割り込み要因レジスタ 0（マスク状態の影響なし）（INT2A0）

INT2A0 は、読み出し専用の 32 ビットのレジスタで、内部モジュールからの割り込み要因を表示します。割り込みがマスクされている場合でも、割り込みが発生すると、対応するビットが “1” になります（割り込み要求は受け付けられません）。マスクした割り込み要因を非表示としたい場合は、INT2A1 レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	DMAC 8-11	—	—	—	FRT	—	TMR45
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R	—	—	—	R	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMR23	TMR01	—	—	—	—	—	DMAC 0-5	H-UDI	—	—	SCIF3	SCIF2	SDHI	TMU1	TMU0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	—	—	—	—	—	R	R	—	—	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明	内容
31～ 23	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
22	DMAC8-11	0	R	DMACチャネル8 ～11割り込み	
21～19	—	0	—	リザーブビット	
18	FRT	0	R	FRT 割り込み	
17	—	0	—	リザーブビット	
16	TMR45	0	R	TMR45割り込み	
15	TMR23	0	R	TMR23 割り込み	
14	TMR01	0	R	TMR01割り込み	
13～ 9	—	0	—	リザーブビット	
8	DMAC0-5	0	R	DMAC チャネル0～ 5及びアドレスエラー割り込み	
7	H-UDI	0	R	H-UDI割り込み	
6、5	—	0	—	リザーブビット	
4	SCIF3	0	R	SCIF3 割り込み	
3	SCIF2	0	R	SCIF2割り込み	
2	SDHI	0	R	SDHI割り込み	
1	TMU1	0	R	TMU チャネル3～ 5 割り込み	
0	TMU0	0	R	TMU チャネル0～2 割り込み	

10.3.15 割り込み要因レジスタ01（マスク状態の影響なし）（INT2A01）

INT2A01は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。割り込みがマスクされている場合でも、割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。マスクした割り込み要因を非表示としたい場合は、INT2A11レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF4	ETHER	—	—	SCIF1	SCIF0	USB0	—	—	USB1
初期値：	—	—	—	—	—	—	0	0	—	—	0	0	0	—	—	0
R/W：	—	—	—	—	—	—	R	R	—	—	R	R	R	—	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADC1	—	DMAC 6-7	ADC0	SPI0	SIM	—	—	ARC4	—	SPI1	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	—	R	R	R	R	—	—	R	—	R	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	内容
31～26	—	—	—	リザーブビット	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
25	SCIF4	0	R	SCIF4 割り込み	
24	ETHER	0	R	ETHER割り込み	
23、22	—	—	—	リザーブビット	
21	SCIF1	0	R	SCIF1 割り込み	
20	SCIF0	0	R	SCIF0 割り込み	
19	USB0	0	R	USB0割り込み	
18、17	—	0	—	リザーブビット	
16	USB1	0	R	USB1割り込み	
15	ADC1	0	R	ADC1 割り込み	
14	—	0	—	リザーブビット	
13	DMAC6-7	0	R	DMAC チャネル6、7割り込み	
12	ADC0	0	R	ADC0割り込み	
11	SPI0	0	R	SPI0割り込み	
10	SIM	0	R	SIM 割り込み	
9、8	—	0	—	リザーブビット	

ビット	ビット名	初期値	R/W	説 明	内容
7	ARC4	0	R	ARC4 割り込み	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
6	—	0	—	リザーブビット	
5	SPI1	0	R	SPI1割り込み	
4～0	—	0	—	リザーブビット	

10.3.16 割り込み要因レジスタ 02（マスク状態の影響なし）（INT2A02）

INT2A02は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。割り込みがマスクされている場合でも、割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。マスクした割り込み要因を非表示としたい場合は、INT2A12レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IIC4_1	IIC4_2	IIC5_0	—	—	—	SGPIO	—	—	—	—	IIC9_2	IIC8_2	IIC8_1	IIC8_0	IIC7_3
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	—	—	—	R	—	—	—	—	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IIC7_2	IIC7_1	IIC6_3	IIC0_0	IIC0_1	IIC0_2	IIC0_3	IIC3_1	IIC2_3	—	IIC2_1	IIC9_1	IIC3_3	IIC1_0	—	IIC2_2
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	—	R	R	R	R	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31	IIC4_1	0	R	RIIC4/TEI割り込み	0：割り込みなし 1：割り込み発生 注．本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
30	IIC4_2	0	R	RIIC4/RXI割り込み	
29	IIC5_0	0	R	RIIC5/TXI 割り込み	
28～26	—	0	—	リザーブビット	
25	SGPIO	0	R	SGPIO割り込み	
24 ～ 21	—	0	—	リザーブビット	
20	IIC9_2	0	R	RIIC9/RXI割り込み	
19	IIC8_2	0	R	RIIC8/RXI割り込み	
18	IIC8_1	0	R	RIIC8/TEI 割り込み	
17	IIC8_0	0	R	RIIC8/TXI 割り込み	
16	IIC7_3	0	R	RIIC7/EEI 割り込み	
15	IIC7_2	0	R	RIIC7/RXI 割り込み	
14	IIC7_1	0	R	RIIC7/TEI割り込み	
13	IIC6_3	0	R	RIIC6/EEI 割り込み	
12	IIC0_0	0	R	RIIC0/TXI 割り込み	
11	IIC0_1	0	R	RIIC0/TEI割り込み	
10	IIC0_2	0	R	RIIC0/RXI 割り込み	
9	IIC0_3	0	R	RIIC0/EEI 割り込み	
8	IIC3_1	0	R	RIIC3/TEI 割り込み	
7	IIC2_3	0	R	RIIC2/EEI 割り込み	
6	—	0	—	リザーブビット	

ビット	ビット名	初期値	R/W	説 明	内容
5	IIC2_1	0	R	RIIC2/TEI 割り込み	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
4	IIC9_1	0	R	RIIC9/TEI 割り込み	
3	IIC3_3	0	R	RIIC3/EEI 割り込み	
2	IIC1_0	0	R	RIIC1/TXI 割り込み	
1	—	0	—	リザーブビット	
0	IIC2_2	0	R	RIIC2/RXI割り込み	

10.3.17 割り込み要因レジスタ 03（マスク状態の影響なし）（INT2A03）

INT2A03は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。割り込みがマスクされている場合でも、割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。マスクした割り込み要因を非表示としたい場合は、INT2A13レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MMC1	IIC6_1	IIC6_0	IIC5_1	IIC3_2	IIC2_0	—	MMC2	IIC1_3	IIC1_2	IIC9_0	IIC8_3	IIC4_3	IIC7_0	—	IIC6_2
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	—	R	R	R	R	R	R	R	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IIC4_0	—	—	RSPI	—	IIC9_3	IIC3_0	—	IIC5_3	IIC5_2	—	—	—	IIC1_1
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R	—	—	R	—	R	R	—	R	R	—	—	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31	MMC1	0	R	MMC1割り込み	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
30	IIC6_1	0	R	RIIC6/TEI割り込み	
29	IIC6_0	0	R	RIIC6/TXI 割り込み	
28	IIC5_1	0	R	RIIC5/TEI割り込み	
27	IIC3_2	0	R	RIIC3/RXI 割り込み	
26	IIC2_0	0	R	RIIC2/TXI 割り込み	
25	—	0	—	リザーブビット	
24	MMC2	0	R	MMC2 割り込み	
23	IIC1_3	0	R	RIIC1/EEI割り込み	
22	IIC1_2	0	R	RIIC1/RXI割り込み	
21	IIC9_0	0	R	RIIC9/TXI 割り込み	
20	IIC8_3	0	R	RIIC8/EEI割り込み	
19	IIC4_3	0	R	RIIC4/EEI割り込み	
18	IIC7_0	0	R	RIIC7/TXI 割り込み	
17	—	0	—	リザーブビット	
16	IIC6_2	0	R	IIC6/RXI割り込み	
15、14	—	0	—	リザーブビット	
13	IIC4_0	0	R	RIIC4/TXI 割り込み	
12 、11	—	0	—	リザーブビット	
10	RSPI	0	R	RSPI割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
9	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
8	IIC9_3	0	R	RIIC9/EEI割り込み	
7	IIC3_0	0	R	RIIC3/TXI 割り込み	
6	—	0	—	リザーブビット	
5	IIC5_3	0	R	RIIC5/EEI割り込み	
4	IIC5_2	0	R	RIIC5/RXI割り込み	
3～1	—	0	—	リザーブビット	
0	IIC1_1	0	R	RIIC1/TEI割り込み	

10.3.18 割り込み要因レジスタ04（マスク状態の影響なし）（INT2A04）

INT2A04は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。割り込みがマスクされている場合でも、割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。マスクした割り込み要因を非表示としたい場合は、INT2A14レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDT0B	WDT1B	WDT3B	GETHER0	—	—	—	—	—	—	—	—	SERMUX2	DMAE3	DMAE2	PBIC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	—	—	—	—	—	—	—	—	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBIB	PBIA	GETHER1	DMINT12	DMINT13	DMINT14	DMINT15	CRYPTOENGINE	DMINT23	—	DMINT21	—	—	DMINT16	—	DMINT22
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	—	R	—	—	R	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31	WDT0B	0	R	WDT0B 割り込み	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。

ビット	ビット名	初期値	R/W	説 明	内容
30	WDT1B	0	R	WDT1B 割り込み	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
29	WDT3B	0	R	WDT3B割り込み	
28	GETHER0	0	R	GETHER0割り込み	
27 ～ 20	—	0	—	リザーブビット	
19	SERMUX2	0	R	SERMUX2 割り込み	
18	DMAE3	0	R	DMAE3割り込み	
17	DMAE2	0	R	DMAE2割り込み	
16	PBIC	0	R	PBIC割り込み	
15	PBIB	0	R	PBIB割り込み	
14	PBIA	0	R	PBIA割り込み	
13	GETHER1	0	R	GETHER1 割り込み	
12	DMINT12	0	R	DMINT12割り込み	
11	DMINT13	0	R	DMINT13 割り込み	
10	DMINT14	0	R	DMINT14 割り込み	
9	DMINT15	0	R	DMINT15割り込み	
8	CRYPTO ENGINE	0	R	CRYPTO ENGINE割り込み	
7	DMINT23	0	R	DMINT23割り込み	
6	—	0	—	リザーブビット	
5	DMINT21	0	R	DMINT21割り込み	
4、3	—	0	—	リザーブビット	
2	DMINT16	0	R	DMINT16 割り込み	
1	—	0	—	リザーブビット	
0	DMINT22	0	R	DMINT22割り込み	

10.3.19 割り込み要因レジスタ 05（マスク状態の影響なし）（INT2A05）

INT2A05は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。割り込みがマスクされている場合でも、割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。マスクした割り込み要因を非表示としたい場合は、INT2A15レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	WDT4B	—	DMINT20	—	—	DMINT19	DMINT18	—	SERMUX3	WDT2B	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R	—	R	—	—	R	R	—	R	R	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RC	—	—	—	—	—	ECD	—	—	WDT5B	—	—	—	DMINT17
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R	—	—	—	—	—	R	—	—	R	—	—	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31～29	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
28	WDT4B	0	R	WDT4B割り込み	
27	—	0	—	リザーブビット	
26	DMINT20	0	R	DMINT20割り込み	
25、24	—	0	—	リザーブビット	
23	DMINT19	0	R	DMINT19割り込み	
22	DMINT18	0	R	DMINT18割り込み	
21	—	0	—	リザーブビット	
20	SERMUX3	0	R	SERMUX3 割り込み	
19	WDT2B	0	R	WDT2B割り込み	
18 ～ 14	—	0	—	リザーブビット	
13	RC	0	R	RC割り込み	
12 ～8	—	0	—	リザーブビット	
7	ECD	0	R	ECD割り込み	
6、5	—	0	—	リザーブビット	
4	WDT5B	0	R	WDT5B割り込み	
3～ 1	—	0	—	リザーブビット	
0	DMINT17	0	R	DMINT17割り込み	

10.3.20 割り込み要因レジスタ1（マスク状態の影響あり）（INT2A1）

INT2A1は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。ただし、割り込みがマスクされている場合は、割り込みが発生しても、対応するビットは“1”になりません。マスク設定にかかわらず、割り込み発生の有無を確認したい場合は、INT2A0レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	DMAC 8-11	—	—	—	FRT	—	TMR45
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R	—	—	—	R	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMR23	TMR01	—	—	—	—	—	DMAC 0-5	H-UDI	—	—	SCIF3	SCIF2	SDHI	TMU1	TMU0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	—	—	—	—	—	R	R	—	—	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明	内容
31 ～ 23	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生（マスクされていない割り込みのみ） 注．本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
22	DMAC8-11	0	R	DMAC チャネル8～11割り込み	
21～19	—	0	—	リザーブビット	
18	FRT	0	R	FRT割り込み	
17	—	0	—	リザーブビット	
16	TMR45	0	R	TMR45割り込み	
15	TMR23	0	R	TMR23割り込み	
14	TMR01	0	R	TMR01割り込み	
13 ～9	—	0	—	リザーブビット	
8	DMAC0-5	0	R	DMACチャネル0～5 及びアドレスエラー 割り込み	
7	H-UDI	0	R	H-UDI割り込み	
6、5	—	0	—	リザーブビット	
4	SCIF3	0	R	SCIF3割り込み	
3	SCIF2	0	R	SCIF2割り込み	
2	SDHI	0	R	SDHI割り込み	
1	TMU1	0	R	TMU チャネル3～5 割り込み	
0	TMU0	0	R	TMUチャネル0～ 2 割り込み	

10.3.21 割り込み要因レジスタ 11（マスク状態の影響あり）（INT2A11）

INT2A11は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。ただし、割り込みがマスクされている場合は、割り込みが発生しても、対応するビットは“1”になりません。マスク設定にかかわらず、割り込み発生の有無を確認したい場合は、INT2A01レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF4	ETHER	—	—	SCIF1	SCIF0	USB0	—	—	USB1
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R	R	—	—	R	R	R	—	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADC1	—	DMAC 6-7	ADC0	SPI0	SIM	—	—	ARC4	—	SPI1	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	—	R	R	R	R	—	—	R	—	R	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	内容
31～26	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生（マスクされていない割り込みのみ） 注． 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
25	SCIF4	0	R	SCIF4割り込み	
24	ETHER	0	R	ETHER割り込み	
23、22	—	0	—	リザーブビット	
21	SCIF1	0	R	SCIF1割り込み	
20	SCIF0	0	R	SCIF0割り込み	
19	USB0	0	R	USB0 割り込み	
18、17	—	0	—	リザーブビット	
16	USB1	0	R	USB1割り込み	
15	ADC1	0	R	ADC1割り込み	
14	—	0	—	リザーブビット	
13	DMAC6-7	0	R	DMAC チャネル6、7割り込み	
12	ADC0	0	R	ADC0割り込み	
11	SPI0	0	R	SPI0割り込み	
10	SIM	0	R	SIM割り込み	
9、8	—	0	—	リザーブビット	
7	ARC4	0	R	ARC4 割り込み	
6	—	0	—	リザーブビット	
5	SPI1	0	R	SPI1 割り込み	
4~0	—	0	—	リザーブビット	

10.3.22 割り込み要因レジスタ 12（マスク状態の影響あり）（INT2A12）

INT2A12は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。ただし、割り込みがマスクされている場合は、割り込みが発生しても、対応するビットは“1”になりません。マスク設定にかかわらず、割り込み発生の有無を確認したい場合は、INT2A02レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IIC4_1	IIC4_2	IIC5_0	—	—	—	SGPIO	—	—	—	—	IIC9_2	IIC8_2	IIC8_1	IIC8_0	IIC7_3
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	—	—	—	R	—	—	—	—	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IIC7_2	IIC7_1	IIC6_3	IIC0_0	IIC0_1	IIC0_2	IIC0_3	IIC3_1	IIC2_3	—	IIC2_1	IIC9_1	IIC3_3	IIC1_0	—	IIC2_2
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	—	R	R	R	R	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31	IIC4_1	0	R	RIIC4/TEI割り込み	0：割り込みなし 1：割り込み発生（マスクされていない割り込みのみ） 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
30	IIC4_2	0	R	RIIC4/RXI割り込み	
29	IIC5_0	0	R	RIIC5/TXI割り込み	
28~26	—	0	—	リザーブビット	
25	SGPIO	0	R	SGPIO割り込み	
24 ~ 21	—	0	—	リザーブビット	
20	IIC9_2	0	R	RIIC9/RXI割り込み	
19	IIC8_2	0	R	RIIC8/RXI割り込み	
18	IIC8_1	0	R	RIIC8/TEI割り込み	
17	IIC8_0	0	R	RIIC8/TXI 割り込み	
16	IIC7_3	0	R	RIIC7/EEI割り込み	
15	IIC7_2	0	R	RIIC7/RXI割り込み	
14	IIC7_1	0	R	RIIC7/TEI割り込み	
13	IIC6_3	0	R	RIIC6/EEI割り込み	
12	IIC0_0	0	R	RIIC0/TXI割り込み	
11	IIC0_1	0	R	RIIC0/TEI割り込み	
10	IIC0_2	0	R	RIIC0/RXI割り込み	
9	IIC0_3	0	R	RIIC0/EEI割り込み	
8	IIC3_1	0	R	RIIC3/TEI割り込み	
7	IIC2_3	0	R	RIIC2/EEI割り込み	
6	—	0	—	リザーブビット	
5	IIC2_1	0	R	RIIC2/TEI割り込み	
4	IIC9_1	0	R	RIIC9/TEI割り込み	
3	IIC3_3	0	R	RIIC3/EEI割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
2	IIC1_0	0	R	RIIC1/TXI割り込み	0：割り込みなし 1：割り込み発生 （マスクされていない割り込みのみ） 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
1	—	0	—	リザーブビット	
0	IIC2_2	0	R	RIIC2/RXI割り込み	

10.3.23 割り込み要因レジスタ13（マスク状態の影響あり）（INT2A13）

INT2A13は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。ただし、割り込みがマスクされている場合は、割り込みが発生しても、対応するビットは“1”になりません。マスク設定にかかわらず、割り込み発生の有無を確認したい場合は、INT2A03レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MMC1	IIC6_1	IIC6_0	IIC5_1	IIC3_2	IIC2_0	—	MMC2	IIC1_3	IIC1_2	IIC9_0	IIC8_3	IIC4_3	IIC7_0	—	IIC6_2
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	—	R	R	R	R	R	R	R	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IIC4_0	—	—	RSPI	—	IIC9_3	IIC3_0	—	IIC5_3	IIC5_2	—	—	—	IIC1_1
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R	—	—	R	—	R	R	—	R	R	—	—	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31	MMC1	0	R	MMC1割り込み	0：割り込みなし 1：割り込み発生（マスクされていない割り込みのみ） 注．本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
30	IIC6_1	0	R	RIIC6/TEI割り込み	
29	IIC6_0	0	R	RIIC6/TXI割り込み	
28	IIC5_1	0	R	RIIC5/TEI割り込み	
27	IIC3_2	0	R	RIIC3/RXI割り込み	
26	IIC2_0	0	R	RIIC2/TXI割り込み	
25	—	0	—	リザーブビット	
24	MMC2	0	R	MMC2割り込み	
23	IIC1_3	0	R	RIIC1/EEI割り込み	
22	IIC1_2	0	R	RIIC1/RXI割り込み	
21	IIC9_0	0	R	RIIC9/TXI割り込み	
20	IIC8_3	0	R	RIIC8/EEI割り込み	
19	IIC4_3	0	R	RIIC4/EEI割り込み	
18	IIC7_0	0	R	RIIC7/TXI割り込み	
17	—	0	—	リザーブビット	
16	IIC6_2	0	R	RIIC6/RXI割り込み	
15、14	—	0	—	リザーブビット	
13	IIC4_0	0	R	RIIC4/TXI割り込み	
12、11	—	0	—	リザーブビット	
10	RSPI	0	R	RSPI 割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
9	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生 （マスクされていない割り込みのみ） 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
8	IIC9_3	0	R	RIIC9/EEI割り込み	
7	IIC3_0	0	R	RIIC3/TXI割り込み	
6	—	0	—	リザーブビット	
5	IIC5_3	0	R	RIIC5/EEI割り込み	
4	IIC5_2	0	R	RIIC5/RXI割り込み	
3~1	—	0	—	リザーブビット	
0	IIC1_1	0	R	RIIC1/TEI割り込み	

10.3.24 割り込み要因レジスタ 14（マスク状態の影響あり）（INT2A14）

INT2A14は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。ただし、割り込みがマスクされている場合は、割り込みが発生しても、対応するビットは“1”になりません。マスク設定にかかわらず、割り込み発生の有無を確認したい場合は、INT2A04レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDT0B	WDT1B	WDT3B	GETHER0	—	—	—	—	—	—	—	—	SERMUX2	DMAE3	DMAE2	PBIC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	—	—	—	—	—	—	—	—	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBIB	PBIA	GETHER1	DMINT12	DMINT13	DMINT14	DMINT15	CRYPTOENGINE	DMINT23	—	DMINT21	—	—	DMINT16	—	DMINT22
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	—	R	—	—	R	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31	WDT0B	0	R	WDT0B 割り込み	0：割り込みなし 1：割り込み発生 （マスクされていない割り込みのみ） 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
30	WDT1B	0	R	WDT1B割り込み	
29	WDT3B	0	R	WDT3B割り込み	
28	GETHER0	0	R	GETHER0 割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
27 ~ 20	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生 （マスクされていない割り込みのみ） 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
19	SERMUX2	0	R	SERMUX2割り込み	
18	DMAE3	0	R	DMAE3 割り込み	
17	DMAE2	0	R	DMAE2割り込み	
16	PBIC	0	R	PBIC割り込み	
15	PBIB	0	R	PBIB割り込み	
14	PBIA	0	R	PBIA割り込み	
13	GETHER1	0	R	GETHER1 割り込み	
12	DMINT12	0	R	DMINT12 割り込み	
11	DMINT13	0	R	DMINT13 割り込み	
10	DMINT14	0	R	DMINT14 割り込み	
9	DMINT15	0	R	DMINT15 割り込み	
8	CRYPTO ENGINE	0	R	CRYPTO ENGINE 割り込み	
7	DMINT23	0	R	DMINT23 割り込み	
6	—	0	—	リザーブビット	
5	DMINT21	0	R	DMINT21 割り込み	
4、3	—	0	—	リザーブビット	
2	DMINT16	0	R	DMINT16割り込み	
1	—	0	—	リザーブビット	
0	DMINT22	0	R	DMINT22割り込み	

10.3.25 割り込み要因レジスタ15（マスク状態の影響あり）（INT2A15）

INT2A15は、読み出し専用の32ビットのレジスタで、内部モジュールからの割り込み要因を表示します。ただし、割り込みがマスクされている場合は、割り込みが発生しても、対応するビットは“1”になりません。マスク設定にかかわらず、割り込み発生の有無を確認したい場合は、INT2A05レジスタを使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	WDT4B	—	DMINT20	—	—	DMINT19	DMINT18	—	SERMUX3	WDT2B	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R	—	R	—	—	R	R	—	R	R	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RC	—	—	—	—	—	ECD	—	—	WDT5B	—	—	—	DMINT17
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R	—	—	—	—	—	R	—	—	R	—	—	—	R

ビット	ビット名	初期値	R/W	説 明	内容
31～29	—	0	—	リザーブビット	0：割り込みなし 1：割り込み発生 （マスクされていない割り込みのみ） 注. 本レジスタを読む代わりに、INTEVT（例外コード）を直接読むことで割り込み要因を特定することもできます。 なお、各モジュール内の割り込み要因ビットが“0”になると、本レジスタの対応するビットが“0”になります。
28	WDT4B	0	R	WDT4B割り込み	
27	—	0	—	リザーブビット	
26	DMINT20	0	R	DMINT20割り込み	
25、24	—	0	—	リザーブビット	
23	DMINT19	0	R	DMINT19割り込み	
22	DMINT18	0	R	DMINT18割り込み	
21	—	0	—	リザーブビット	
20	SERMUX3	0	R	SERMUX3割り込み	
19	WDT2B	0	R	WDT2B割り込み	
18 ~14	—	0	—	リザーブビット	
13	RC	0	R	RC割り込み	
12～8	—	0	—	リザーブビット	
7	ECD	0	R	ECD 割り込み	
6、5	—	0	—	リザーブビット	
4	WDT5B	0	R	WDT5B 割り込み	
3～1	—	0	—	リザーブビット	
0	DMINT17	0	R	DMINT17 割り込み	

10.3.26 割り込みマスクレジスタ（INT2MSKR）

INT2MSKRは、読み出し／一部条件付き書き込み可能な32ビットのレジスタで、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができます。本レジスタに1が設定された該当要因の割り込みは、CPUに通知されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	DMAC 8-11	—	—	—	FRT	—	TMR45
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	R/W (注)	—	—	—	R/W (注)	—	R/W (注)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMR23	TMR01	—	—	—	—	—	DMAC 0-5	H-UDI	—	—	SCIF3	SCIF2	SDHI	TMU1	TMU0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W (注)	R/W (注)	—	—	—	—	—	R/W (注)	R/W (注)	—	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)

ビット	ビット名	初期値	R/W	説 明	内容
31~23	—	1	—	リザーブビット	0：マスク設定なし 1：マスク設定あり
22	DMAC8-11	1	R/W（注）	DMACチャネル8~11割り込み	
21~19	—	1	—	リザーブビット	
18	FRT	1	R/W（注）	FRT割り込み	
17	—	1	—	リザーブビット	
16	TMR45	1	R/W（注）	TMR45割り込み	
15	TMR23	1	R/W（注）	TMR23割り込み	
14	TMR01	1	R/W（注）	TMR01割り込み	
13 ~9	—	1	—	リザーブビット	
8	DMAC0-5	1	R/W（注）	DMAC チャネル0~5 及びアドレスエラー 割り込み	
7	H-UDI	1	R/W（注）	H-UDI割り込み	
6、5	—	1	—	リザーブビット	0：マスク設定なし 1：マスク設定あり
4	SCIF3	1	R/W（注）	SCIF3割り込み	
3	SCIF2	1	R/W（注）	SCIF2割り込み	
2	SDHI	1	R/W（注）	SDHI割り込み	
1	TMU1	1	R/W（注）	TMU チャネル3~5 割り込み	
0	TMU0	1	R/W（注）	TMUチャネル0~2 割り込み	

注．“1”を書くと対応する内部モジュール割り込みがマスク（禁止）されます。“0”を書いても変化しません。
INT2MSKCR レジスタの対応するビットに“1 ”を書くと“0”になります。

10.3.27 割り込みマスクレジスタ1（INT2MSKR1）

INT2MSKR1は、読み出し／一部条件付き書き込み可能な32ビットのレジスタで、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができます。本レジスタに1が設定された該当要因の割り込みは、CPUに通知されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF4	ETHER	—	—	SCIF1	SCIF0	USB0	—	—	USB1
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	R/W (注)	R/W (注)	—	—	R/W (注)	R/W (注)	R/W (注)	—	—	R/W (注)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADC1	—	DMAC 6-7	ADC0	SPI0	SIM	—	—	ARC4	—	SPI1	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W (注)	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	—	—	R/W (注)	—	R/W (注)	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	内容
31～26	—	1	—	リザーブビット	0：マスク設定なし 1：マスク設定あり
25	SCIF4	1	R/W（注）	SCIF4割り込み	
24	ETHER	1	R/W（注）	ETHER割り込み	
23、22	—	1	—	リザーブビット	
21	SCIF1	1	R/W（注）	SCIF1割り込み	
20	SCIF0	1	R/W（注）	SCIF0割り込み	
19	USB0	1	R/W（注）	USB0割り込み	
18、17	—	1	—	リザーブビット	
16	USB1	1	R/W（注）	USB1割り込み	
15	ADC1	1	R/W（注）	ADC1割り込み	
14	—	1	—	リザーブビット	
13	DMAC6-7	1	R/W（注）	DMAC チャネル6、7割り込み	
12	ADC0	1	R/W（注）	ADC0 割り込み	
11	SPI0	1	R/W（注）	SPI0割り込み	
10	SIM	1	R/W（注）	SIM割り込み	
9、8	—	1	—	リザーブビット	
7	ARC4	1	R/W（注）	ARC4割り込み	
6	—	1	—	リザーブビット	
5	SPI1	1	R/W（注）	SPI1割り込み	
4~0	—	1	—	リザーブビット	

注．“1”を書くと対応する内部モジュール割り込みがマスク（禁止）されます。“0”を書いても変化しません。
INT2MSKCR1レジスタの対応するビットに“1 ”を書くと“0”になります。

10.3.28 割り込みマスクレジスタ 2（INT2MSKR2）

INT2MSKR2は、読み出し／一部条件付き書き込み可能な32ビットのレジスタで、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができます。本レジスタに1が設定された該当要因の割り込みは、CPUに通知されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IIC4_1	IIC4_2	IIC5_0	—	—	—	SGPIO	—	—	—	—	IIC9_2	IIC8_2	IIC8_1	IIC8_0	IIC7_3
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W (注)	R/W (注)	R/W (注)	—	—	—	R/W (注)	—	—	—	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IIC7_2	IIC7_1	IIC6_3	IIC0_0	IIC0_1	IIC0_2	IIC0_3	IIC3_1	IIC2_3	—	IIC2_1	IIC9_1	IIC3_3	IIC1_0	—	IIC2_2
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	—	R/W (注)

ビット	ビット名	初期値	R/W	説 明	内容
31	IIC4_1	1	R/W（注）	RIIC4/TEI割り込み	0：マスク設定なし 1：マスク設定あり
30	IIC4_2	1	R/W（注）	RIIC4/RXI割り込み	
29	IIC5_0	1	R/W（注）	RIIC5/TXI割り込み	
28~26	—	1	—	リザーブビット	
25	SGPIO	1	R/W（注）	SGPIO割り込み	
24 ~ 21	—	1	—	リザーブビット	
20	IIC9_2	1	R/W（注）	RIIC9/RXI割り込み	
19	IIC8_2	1	R/W（注）	RIIC8/RXI割り込み	
18	IIC8_1	1	R/W（注）	RIIC8/TEI割り込み	
17	IIC8_0	1	R/W（注）	RIIC8/TXI割り込み	
16	IIC7_3	1	R/W（注）	RIIC7/EEI割り込み	
15	IIC7_2	1	R/W（注）	RIIC7/RXI割り込み	
14	IIC7_1	1	R/W（注）	RIIC7/TEI割り込み	
13	IIC6_3	1	R/W（注）	RIIC6/EEI割り込み	
12	IIC0_0	1	R/W（注）	RIIC0/TXI割り込み	
11	IIC0_1	1	R/W（注）	RIIC0/TEI割り込み	
10	IIC0_2	1	R/W（注）	RIIC0/RXI割り込み	
9	IIC0_3	1	R/W（注）	RIIC0/EEI割り込み	
8	IIC3_1	1	R/W（注）	RIIC3/TEI割り込み	
7	IIC2_3	1	R/W（注）	RIIC2/EEI割り込み	
6	—	1	—	リザーブビット	
5	IIC2_1	1	R/W（注）	RIIC2/TEI割り込み	
4	IIC9_1	1	R/W（注）	RIIC9/TEI割り込み	
3	IIC3_3	1	R/W（注）	RIIC3/EEI割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
2	IIC1_0	1	R/W（注）	RIIC1/TXI割り込み	0：マスク設定なし 1：マスク設定あり
1	—	1	—	リザーブビット	
0	IIC2_2	1	R/W（注）	RIIC2/RXI割り込み	

注．“1”を書くと対応する内部モジュール割り込みがマスク（禁止）されます。“0”を書いてもは変化しません。
INT2MSKCR2 レジスタの対応するビットに“1 ”を書くと“0”になります。

10.3.29 割り込みマスクレジスタ 3（INT2MSKR3）

INT2MSKR3は、読み出し／一部条件付き書き込み可能な32ビットのレジスタで、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができます。本レジスタに1が設定された該当要因の割り込みは、CPUに通知されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MMC1	IIC6_1	IIC6_0	IIC5_1	IIC3_2	IIC2_0	—	MMC2	IIC1_3	IIC1_2	IIC9_0	IIC8_3	IIC4_3	IIC7_0	—	IIC6_2
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	—	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	—	R/W（注）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IIC4_0	—	—	RSPI	—	IIC9_3	IIC3_0	—	IIC5_3	IIC5_2	—	—	—	IIC1_1
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	—	R/W（注）	—	—	R/W（注）	—	R/W（注）	R/W（注）	—	R/W（注）	R/W（注）	—	—	—	R/W（注）

ビット	ビット名	初期値	R/W	説 明	内容
31	MMC1	1	R/W（注）	MMC1割り込み	0：マスク設定なし 1：マスク設定あり
30	IIC6_1	1	R/W（注）	RIIC6/TEI割り込み	
29	IIC6_0	1	R/W（注）	RIIC6/TXI割り込み	
28	IIC5_1	1	R/W（注）	RIIC5/TEI 割り込み	
27	IIC3_2	1	R/W（注）	RIIC3/RXI割り込み	
26	IIC2_0	1	R/W（注）	RIIC2/TXI割り込み	
25	—	1	—	リザーブビット	
24	MMC2	1	R/W（注）	MMC2 割り込み	
23	IIC1_3	1	R/W（注）	RIIC1/EEI割り込み	
22	IIC1_2	1	R/W（注）	RIIC1/RXI割り込み	
21	IIC9_0	1	R/W（注）	RIIC9/TXI 割り込み	
20	IIC8_3	1	R/W（注）	RIIC8/EEI割り込み	
19	IIC4_3	1	R/W（注）	RIIC4/EEI割り込み	
18	IIC7_0	1	R/W（注）	RIIC7/TXI割り込み	
17	—	1	—	リザーブビット	
16	IIC6_2	1	R/W（注）	RIIC6/RXI割り込み	
15、14	—	1	—	リザーブビット	

ビット	ビット名	初期値	R/W	説 明	内容
13	IIC4_0	1	R/W（注）	RIIC4/TXI割り込み	0：マスク設定なし 1：マスク設定あり
12、11	—	1	—	リザーブビット	
10	RSPI	1	R/W	RSPI 割り込み	
9	—	1	—	リザーブビット	
8	IIC9_3	1	R/W	RIIC9/EEI割り込み	
7	IIC3_0	1	R/W	RIIC3/TXI割り込み	
6	—	1	—	リザーブビット	
5	IIC5_3	1	R/W（注）	RIIC5/EEI割り込み	
4	IIC5_2	1	R/W（注）	RIIC5/RXI割り込み	
3~1	—	1	—	リザーブビット	
0	IIC1_1	1	R/W（注）	RIIC1/TEI割り込み	

注．“1”を書くと対応する内部モジュール割り込みがマスク（禁止）されます。“0”を書いても変化しません。
INT2MSKCR3レジスタの対応するビットに“1 ”を書くと“0”になります。

10.3.30 割り込みマスクレジスタ4（INT2MSKR4）

INT2MSKR4は、読み出し／一部条件付き書き込み可能な32ビットのレジスタで、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができます。本レジスタに1が設定された該当要因の割り込みは、CPUに通知されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDT0B	WDT1B	WDT3B	GETHER0	—	—	—	—	—	—	—	—	SERMUX2	DMAE3	DMAE2	PBIC
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W（注）	R/W（注）	R/W（注）	R/W（注）	—	—	—	—	—	—	—	—	R/W（注）	R/W（注）	R/W（注）	R/W（注）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBIB	PBIA	GETHER1	DMINT12	DMINT13	DMINT14	DMINT15	CRYPTOENGINE	DMINT23	—	DMINT21	—	—	DMINT16	—	DMINT22
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	R/W（注）	—	R/W（注）	—	—	R/W（注）	—	R/W（注）

ビット	ビット名	初期値	R/W	説 明	内容
31	WDT0B	1	R/W（注）	WDT0B割り込み	0：マスク設定なし 1：マスク設定あり
30	WDT1B	1	R/W（注）	WDT1B割り込み	
29	WDT3B	1	R/W（注）	WDT3B割り込み	
28	GETHER0	1	R/W（注）	GETHER0割り込み	
27 ~ 20	—	1	—	リザーブビット	
19	SERMUX2	1	R/W（注）	SERMUX2割り込み	
18	DMAE3	1	R/W（注）	DMAE3 割り込み	
17	DMAE2	1	R/W（注）	DMAE2割り込み	
16	PBIC	1	R/W（注）	PBIC 割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
15	PBIB	1	R/W（注）	PBIB 割り込み	0：マスク設定なし 1：マスク設定あり
14	PBIA	1	R/W（注）	PBIA 割り込み	
13	GETHER1	1	R/W（注）	GETHER1割り込み	
12	DMINT12	1	R/W（注）	DMINT12割り込み	
11	DMINT13	1	R/W（注）	DMINT13割り込み	
10	DMINT14	1	R/W（注）	DMINT14割り込み	
9	DMINT15	1	R/W（注）	DMINT15割り込み	
8	CRYPTO ENGINE	1	R/W（注）	CRYPTO ENGINE割り込み	
7	DMINT23	1	R/W（注）	DMINT23割り込み	
6	—	1	—	リザーブビット	
5	DMINT21	1	R/W（注）	DMINT21割り込み	
4、3	—	1	—	リザーブビット	
2	DMINT16	1	R/W（注）	DMINT16割り込み	
1	—	1	—	リザーブビット	
0	DMINT22	1	R/W（注）	DMINT22割り込み	

注．“1”を書くと対応する内部モジュール割り込みがマスク（禁止）されます。“0”を書いても変化しません。
INT2MSKCR4 レジスタの対応するビットに“1 ”を書くと“0”になります。

10.3.31 割り込みマスクレジスタ 5（INT2MSKR5）

INT2MSKR5は、読み出し／一部条件付き書き込み可能な32ビットのレジスタで、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができます。本レジスタに1が設定された該当要因の割り込みは、CPUに通知されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	WDT4B	—	DMINT20	—	—	DMINT19	DMINT18	—	SERMUX3	WDT2B	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	—	—	R/W (注)	—	R/W (注)	—	—	R/W (注)	R/W (注)	—	R/W (注)	R/W (注)	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RC	—	—	—	—	—	ECD	—	—	WDT5B	—	—	—	DMINT17
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	—	R/W (注)	—	—	—	—	—	R/W (注)	—	—	R/W (注)	—	—	—	R/W (注)

ビット	ビット名	初期値	R/W	説 明	内容
31～29	—	1	—	リザーブビット	0：マスク設定なし 1：マスク設定あり
28	WDT4B	1	R/W（注）	WDT4B割り込み	
27	—	1	—	リザーブビット	
26	DMINT20	1	R/W（注）	DMINT20割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
25、24	—	1	—	リザーブビット	0：マスク設定なし 1：マスク設定あり
23	DMINT19	1	R/W（注）	DMINT19割り込み	
22	DMINT18	1	R/W（注）	DMINT18割り込み	
21	—	1	—	リザーブビット	
20	SERMUX3	1	R/W（注）	SERMUX3割り込み	
19	WDT2B	1	R/W（注）	WDT2B割り込み	
18 ～14	—	1	—	リザーブビット	
13	RC	1	R/W（注）	RC割り込み	
12～8	—	1	—	リザーブビット	
7	ECD	1	R/W（注）	ECD割り込み	
6、5	—	1	—	リザーブビット	
4	WDT5B	1	R/W（注）	WDT5B割り込み	
3 ~ 1	—	1	—	リザーブビット	
0	DMINT17	1	R/W（注）	DMINT17割り込み	

注．“1”を書くと対応する内部モジュール割り込みがマスク（禁止）されます。“0”を書いても変化しません。
INT2MSKCR5レジスタの対応するビットに“1 ”を書くと“0”になります。

10.3.32 割り込みマスククリアレジスタ（INT2MSKCR）

INT2MSKCRは、書き込み専用の32ビットのレジスタで、該当する割り込みマスクレジスタに設定されたマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	DMAC 8-11	—	—	—	FRT	—	TMR45
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	W	—	—	—	W	—	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMR23	TMR01	—	—	—	—	—	DMAC 0-5	H-UDI	—	—	SCIF3	SCIF2	SDHI	TMU1	TMU0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	—	—	—	—	—	W	W	—	—	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明	内容
31 ~ 23	—	0	—	リザーブビット	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。 読み出すと“0”が読めます。
22	DMAC8-11	0	W	DMAC チャネル8 ~11 割り込み	
21~19	—	0	—	リザーブビット	
18	FRT	0	W	FRT 割り込み	
17	—	0	—	リザーブビット	
16	TMR45	0	W	TMR45割り込み	
15	TMR23	0	W	TMR23割り込み	
14	TMR01	0	W	TMR01割り込み	
13 ~ 9	—	0	—	リザーブビット	
8	DMAC0-5	0	W	DMAC チャネル0~5及びアドレスエラー 割り込み	
7	H-UDI	0	W	H-UDI割り込み	
6、5	—	0	—	リザーブビット	
4	SCIF3	0	W	SCIF3割り込み	
3	SCIF2	0	W	SCIF2 割り込み	
2	SDHI	0	W	SDHI割り込み	
1	TMU1	0	W	TMU チャネル3~ 5割り込み	
0	TMU0	0	W	TMU チャネル0 ~ 2割り込み	

10.3.33 割り込みマスククリアレジスタ 1（INT2MSKCR1）

INT2MSKCR1 は、書き込み専用の 32 ビットのレジスタで、該当する割り込みマスクレジスタに設定されたマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SCIF4	ETHER	—	—	SCIF1	SCIF0	USB0	—	—	USB1
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	W	W	—	—	W	W	W	—	—	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADC1	—	DMAC 6-7	ADC0	SPI0	SIM	—	—	ARC4	—	SPI1	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	—	W	W	W	W	—	—	W	—	W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明	内容
31～26	—	0	—	リザーブビット	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。 読み出すと“0”が読めます。
25	SCIF4	0	W	SCIF4割り込み	
24	ETHER	0	W	ETHER割り込み	
23、22	—	0	—	リザーブビット	
21	SCIF1	0	W	SCIF1割り込み	
20	SCIF0	0	W	SCIF0割り込み	
19	USB0	0	W	USB0割り込み	
18、17	—	0	—	リザーブビット	
16	USB1	0	W	USB1割り込み	
15	ADC1	0	W	ADC1割り込み	
14	—	0	—	リザーブビット	
13	DMAC6-7	0	W	DMACチャネル6、7割り込み	
12	ADC0	0	W	ADC0割り込み	
11	SPI0	0	W	SPI0割り込み	
10	SIM	0	W	SIM割り込み	
9、8	—	0	—	リザーブビット	
7	ARC4	0	W	ARC4割り込み	
6	—	0	—	リザーブビット	
5	SPI1	0	W	SPI1割り込み	
4 ~ 0	—	0	—	リザーブビット	

10.3.34 割り込みマスククリアレジスタ 2（INT2MSKCR2）

INT2MSKCR2 は、書き込み専用の 32 ビットのレジスタで、該当する割り込みマスクレジスタに設定されたマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IIC4_1	IIC4_2	IIC5_0	—	—	—	SGPIO	—	—	—	—	IIC9_2	IIC8_2	IIC8_1	IIC8_0	IIC7_3
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	—	—	—	W	—	—	—	—	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IIC7_2	IIC7_1	IIC6_3	IIC0_0	IIC0_1	IIC0_2	IIC0_3	IIC3_1	IIC2_3	—	IIC2_1	IIC9_1	IIC3_3	IIC1_0	—	IIC2_2
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	—	W	W	W	W	—	W

ビット	ビット名	初期値	R/W	説 明	内容
31	IIC4_1	0	W	RIIC4/TEI割り込み	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。 読み出すと“0”が読めます。
30	IIC4_2	0	W	RIIC4/RXI割り込み	
29	IIC5_0	0	W	RIIC5/TXI割り込み	
28～26	—	0	—	リザーブビット	
25	SGPIO	0	W	SGPIO 割り込み	
24 ～ 21	—	0	—	リザーブビット	
20	IIC9_2	0	W	RIIC9/RXI割り込み	
19	IIC8_2	0	W	RIIC8/RXI割り込み	
18	IIC8_1	0	W	RIIC8/TEI割り込み	
17	IIC8_0	0	W	RIIC8/TXI割り込み	
16	IIC7_3	0	W	RIIC7/EEI割り込み	
15	IIC7_2	0	W	RIIC7/RXI割り込み	
14	IIC7_1	0	W	RIIC7/TEI割り込み	
13	IIC6_3	0	W	RIIC6/EEI割り込み	
12	IIC0_0	0	W	RIIC0/TXI割り込み	
11	IIC0_1	0	W	RIIC0/TEI割り込み	
10	IIC0_2	0	W	RIIC0/RXI割り込み	
9	IIC0_3	0	W	RIIC0/EEI割り込み	
8	IIC3_1	0	W	RIIC3/TEI割り込み	
7	IIC2_3	0	W	RIIC2/EEI割り込み	
6	—	0	—	リザーブビット	
5	IIC2_1	0	W	RIIC2/TEI割り込み	
4	IIC9_1	0	W	RIIC9/TEI割り込み	
3	IIC3_3	0	W	RIIC3/EEI割り込み	
2	IIC1_0	0	W	RIIC1/TXI割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
1	—	0	—	リザーブビット	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。 読み出すと“0”が読めます。
0	IIC2_2	0	W	RIIC2/RXI割り込み	

10.3.35 割り込みマスククリアレジスタ 3（INT2MSKCR3）

INT2MSKCR3は、書き込み専用の32ビットのレジスタで、該当する割り込みマスクレジスタに設定されたマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MMC1	IIC6_1	IIC6_0	IIC5_1	IIC3_2	IIC2_0	—	MMC2	IIC1_3	IIC1_2	IIC9_0	IIC8_3	IIC4_3	IIC7_0	—	IIC6_2
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	—	W	W	W	W	W	W	W	—	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IIC4_0	—	—	RSPI	—	IIC9_3	IIC3_0	—	IIC5_3	IIC5_2	—	—	—	IIC1_1
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	W	—	—	W	—	W	W	—	W	W	—	—	—	W

ビット	ビット名	初期値	R/W	説 明	内容
31	MMC1	0	W	MMC1割り込み	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。 読み出すと“0”が読めます。
30	IIC6_1	0	W	RIIC6/TEI割り込み	
29	IIC6_0	0	W	RIIC6/TXI割り込み	
28	IIC5_1	0	W	RIIC5/TEI割り込み	
27	IIC3_2	0	W	RIIC3/RXI割り込み	
26	IIC2_0	0	W	RIIC2/TXI割り込み	
25	—	0	—	リザーブビット	
24	MMC2	0	W	MMC2割り込み	
23	IIC1_3	0	W	RIIC1/EEI割り込み	
22	IIC1_2	0	W	RIIC1/RXI割り込み	
21	IIC9_0	0	W	RIIC9/TXI割り込み	
20	IIC8_3	0	W	RIIC8/EEI割り込み	
19	IIC4_3	0	W	RIIC4/EEI割り込み	
18	IIC7_0	0	W	RIIC7/TXI割り込み	
17	—	0	—	リザーブビット	
16	IIC6_2	0	W	RIIC6/RXI割り込み	
15、14	—	0	—	リザーブビット	
13	IIC4_0	0	W	RIIC4/TXI割り込み	

ビット	ビット名	初期値	R/W	説 明	内容
12、11	—	0	—	リザーブビット	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。 読み出すと“0”が読めます。
10	RSPI	0	W	RSPI割り込み	
9	—	0	—	リザーブビット	
8	IIC9_3	0	W	RIIC9/EEI割り込み	
7	IIC3_0	0	W	RIIC3/TXI割り込み	
6	—	0	—	リザーブビット	
5	IIC5_3	0	W	RIIC5/EEI割り込み	
4	IIC5_2	0	W	IIC5/RXI割り込み	
3～1	—	0	—	リザーブビット	
0	IIC1_1	0	W	RIIC1/TEI割り込み	

10.3.36 割り込みマスククリアレジスタ 4（INT2MSKCR4）

INT2MSKCR4は、書き込み専用の32ビットのレジスタで、該当する割り込みマスクレジスタに設定されたマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDT0B	WDT1B	WDT3B	GETHER0	—	—	—	—	—	—	—	—	SERMUX2	DMAE3	DMAE2	PBIC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	—	—	—	—	—	—	—	—	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBIB	PBIA	GETHER1	DMINT12	DMINT13	DMINT14	DMINT15	CRYPTO ENGINE	DMINT23	—	DMINT21	—	—	DMINT16	—	DMINT22
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	—	W	—	—	W	—	W

ビット	ビット名	初期値	R/W	説 明	内容
31	WDT0B	0	W	WDT0B割り込み	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。 読み出すと“0”が読めます。
30	WDT1B	0	W	WDT1B割り込み	
29	WDT3B	0	W	WDT3B割り込み	
28	GETHER0	0	W	GETHER0割り込み	
27～20	—	0	—	リザーブビット	
19	SERMUX2	0	W	SERMUX2割り込み	
18	DMAE3	0	W	DMAE3割り込み	
17	DMAE2	0	W	DMAE2割り込み	
16	PBIC	0	W	PBIC割り込み	
15	PBIB	0	W	PBIB割り込み	
14	PBIA	0	W	PBIA割り込み	
13	GETHER1	0	W	GETHER1割り込み	
12	DMINT12	0	W	DMINT12割り込み	
11	DMINT13	0	W	DMINT13割り込み	
10	DMINT14	0	W	DMINT14割り込み	
9	DMINT15	0	W	DMINT15割り込み	
8	CRYPTO ENGINE	0	W	CRYPTO ENGINE割り込み	
7	DMINT23	0	W	DMINT23割り込み	
6	—	0	—	リザーブビット	
5	DMINT21	0	W	DMINT21割り込み	
4、3	—	0	—	リザーブビット	
2	DMINT16	0	W	DMINT16割り込み	
1	—	0	—	リザーブビット	
0	DMINT22	0	W	DMINT22割り込み	

10.3.37 割り込みマスククリアレジスタ 5（INT2MSKCR5）

INT2MSKCR5 は、書き込み専用の 32 ビットのレジスタで、該当する割り込みマスクレジスタに設定されたマスクをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	WDT4B	—	DMINT20	—	—	DMINT19	DMINT18	—	SERMUX3	WDT2B	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	W	—	W	—	—	W	W	—	W	W	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	RC	—	—	—	—	—	ECD	—	—	WDT5B	—	—	—	DMINT17
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	W	—	—	—	—	—	W	—	—	W	—	—	—	W

ビット	ビット名	初期値	R/W	説 明	内容
31～29	—	0	—	リザーブビット	“1”を書くと割り込みマスクをクリア（割り込みを許可）します。“0”を書いてもビットの内容は変化しません。読み出すと“0”が読めます。
28	WDT4B	0	W	WDT4B 割り込み	
27	—	0	—	リザーブビット	
26	DMINT20	0	W	DMINT20 割り込み	
25、24	—	0	—	リザーブビット	
23	DMINT19	0	W	DMINT19 割り込み	
22	DMINT18	0	W	DMINT18 割り込み	
21	—	0	—	リザーブビット	
20	SERMUX3	0	W	SERMUC3 割り込み	
19	WDT2B	0	W	WDT2B 割り込み	
18 ～ 14	—	0	—	リザーブビット	
13	RC	0	W	RC割り込み	
12～8	—	0	—	リザーブビット	
7	ECD	0	W	ECD割り込み	
6、5	—	0	—	リザーブビット	
4	WDT5B	0	W	WDT5B 割り込み	
3 ～ 1	—	0	—	リザーブビット	
0	DMINT17	0	W	DMINT17 割り込み	

10.3.38 内部モジュール別割り込み要因レジスタ（INT2B0 ～ INT2B3、INT2B6、INT2B9 ～ INT2B11）

INT2B0～INT2B3、INT2B6、INT2B9～INT2B11は、読み出し専用の32ビットのレジスタで、割り込み要因レジスタで表示されているモジュール別の要因に対して、更に詳細の個別要因を表示するレジスタです。これらのレジスタは、割り込みマスク設定レジスタのマスク状態に影響を受けません。これら個々の詳細要因に対して個別にマスク設定を行う場合は、該当モジュールの割り込みマスクレジスタ、又は割り込みイネーブルレジスタなどを設定する必要があります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(1) INT2B0 レジスタ：TMU モジュールの割り込み詳細要因

モジュール	ビット	要因		説明
TMU	31～7	—	リザーブビット	0：割り込みなし 1：割り込み発生（注）
	6	TUNI5	TMUチャネル5アンダフロー割り込み	
	5	TUNI4	TMUチャネル4アンダフロー割り込み	
	4	TUNI3	TMUチャネル3アンダフロー割り込み	
	3	TICPI2	TMUチャネル2インプットキャプチャ割り込み	
	2	TUNI2	TMUチャネル2アンダフロー割り込み	
	1	TUNI1	TMUチャネル1アンダフロー割り込み	
	0	TUNI0	TMUチャネル0アンダフロー割り込み	

注.　割り込みマスクレジスタでTMU割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

(2) INT2B1 レジスタ：SDHI モジュールの割り込み詳細要因

モジュール	ビット	要因		説明
SDHI	31～3	—	リザーブビット	0：割り込みなし 1：割り込み発生（注）
	2	SDHI1	SDIO アクセス割り込み	
	1	SDHI0	カードアクセス割り込み	
	0	SDHI3	カード検出割り込み	

注.　割り込みマスクレジスタでSDHI割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

(3)　INT2B2 レジスタ：SCIF3、2 モジュールの割り込み詳細要因

モジュール	ビット	要因		説明
SCIF3	31～8	—	リザーブビット	0：割り込みなし 1：割り込み発生（注）
	7	TXI3	SCIF チャネル3 送信FIFO データエンプティ割り込み	
	6	BRI3	SCIFチャネル3ブレーク又はオーバランエラー割り込み	
	5	RXI3	SCIFチャネル3 受信FIFO データフル又は受信データレディ割り込み	
	4	ERRI3	SCIFチャネル3 受信エラー割り込み	
SCIF2	3	TXI2	SCIFチャネル2 送信FIFO データエンプティ割り込み	
	2	BRI2	SCIFチャネル2ブレーク又はオーバランエラー割り込み	
	1	RXI2	SCIFチャネル2 受信FIFO データフル又は受信データレディ割り込み	
	0	ERRI2	SCIFチャネル2 受信エラー割り込み	

注.　割り込みマスクレジスタでSCIF3、SCIF2割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

(4)　INT2B3 レジスタ：DMAC モジュールの割り込み詳細要因

モジュール	ビット	要因		説明
DMAC（チャネル0～11）	31 ～14	—	リザーブビット	0：割り込みなし 1：割り込み発生（注）
	13	DMAE1	チャネルDMA6～11 アドレスエラー割り込み	
	12	DMAE0	チャネルDMA0～ 5アドレスエラー割り込み	
	11	DMINT11	チャネル 11 DMA転送終了／ハーフエンド割り込み	
	10	DMINT10	チャネル10 DMA転送終了／ハーフエンド割り込み	
	9	DMINT9	チャネル9 DMA転送終了／ハーフエンド割り込み	
	8	DMINT8	チャネル8 DMA転送終了／ハーフエンド割り込み	
	7	DMINT7	チャネル 7 DMA転送終了／ハーフエンド割り込み	
	6	DMINT6	チャネル6 DMA転送終了／ハーフエンド割り込み	
	5	DMINT5	チャネル 5 DMA転送終了／ハーフエンド割り込み	
	4	DMINT4	チャネル 4 DMA転送終了／ハーフエンド割り込み	
	3	DMINT3	チャネル3 DMA転送終了／ハーフエンド割り込み	
	2	DMINT2	チャネル 2 DMA転送終了／ハーフエンド割り込み	
	1	DMINT1	チャネル1 DMA転送終了／ハーフエンド割り込み	
	0	DMINT0	チャネル 0 DMA転送終了／ハーフエンド割り込み	

注.　割り込みマスクレジスタでDMAC0～11割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

(5)　INT2B6 レジスタ：SCIF4 モジュールの割り込み詳細要因

モジュール	ビット	要因		説明
SCIF4	31 ～ 4	—	リザーブビット	0：割り込みなし 1：割り込み発生
	3	TXI4	SCIF チャネル 4 送信 FIFO データエンプティ割り込み	
	2	BRI4	SCIF チャネル4 ブレーク又はオーバランエラー割り込み	
	1	RXI4	SCIF チャネル4 受信FIFO データフル又は受信データ レディ割り込み	
	0	ERRI4	SCIF チャネル4 受信エラー割り込み	

注.　割り込みマスクレジスタでSCIF4割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

(6)　INT2B9 レジスタ：USB1 モジュールの割り込み詳細要因

モジュール	ビット	要因		説明
USB1	31～1	—	リザーブビット	0：割り込みなし 1：割り込み発生（注）
	0	USB1INT0	USB1INT0 割り込み	

注.　割り込みマスクレジスタでUSB1割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

(7)　INT2B10 レジスタ：ETHERモジュールの割り込み詳細要因

モジュール	ビット	要因		説明
ETHER	31～2	—	リザーブビット	0：割り込みなし 1：割り込み発生（注）
	1	EINT1	EINT1割り込み	
	0	EINT0	EINT0割り込み	

注.　割り込みマスクレジスタでETHER割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

(8)　INT2B11 レジスタ：SIM モジュールの割り込み詳細要因

モジュール	ビット	要因		説明
SIM	31~ 4	—	リザーブビット	0：割り込みなし 1：割り込み発生（注）
	3	TEND	送信完了割り込み	
	2	TXI	送信データエンプティ割り込み	
	1	RXI	受信データフル割り込み	
	0	ERI	送受信エラー割り込み	

注.　割り込みマスクレジスタでSIM割り込みのマスク設定をしている場合でも、各詳細要因の割り込みが発生すると、対応するビットが“1”になります（割り込み要求は受け付けられません）。

10.4　割り込み要因

割り込み要因は、NMI、IRQ、IRL、内部モジュールの4つに分類されます。各割り込みは、個別にレベル16（最高）からレベル1（最低）の割り込み優先レベルを設定できます。レベル0を設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

10.4.1　NMI割り込み

NMI割り込みは、レベル16の最優先の割り込みです。CPU内のSRレジスタのBLビット＝1でないかぎり、いつでも受け付けられます。ただし、スリープモード中はBLビットが1でも受け付けられます。また、設定によりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはNMIエッジセレクトビット（NMIE）（ICR0レジスタのビット24）の設定によって、立ち上がりエッジ又は立ち下がりエッジを選択できます。ICR0レジスタのNMIEビットを書き換えた場合、書き換えてから最大6バスクロックの期間はNMI割り込みを検出しません。

NMI割り込みが受け付けられてもSRの割り込みマスクレベル（IMASKビット）は変化しません。

10.4.2　IRQ7～0割り込み

IRQ7～0割り込みは、ICR0レジスタのIRLM0、IRLM1ビットに1を設定した場合に有効になります。ICR1レジスタのIRQnS1、IRQnS0（n＝7～0）ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、Lレベル、Hレベルの検出が可能です。また、割り込み優先レベルは、割り込み優先順位設定レジスタ（INTPRI）により設定できます。

IRQ7～0割り込み要求をLレベル又はHレベルで検出する場合、割り込みを受け付けて割り込み処理を開始するまで、IRQ7～0割り込みの端子状態を保持してください。

ただし、IRQ7～0割り込み要求の検出後、CPUが受け付ける前にIRQ7～0割り込みの端子状態を変更して要求を取り下げても、CPUがIRQ7～0割り込みを含む何らかの割り込みを受け付けるか、該当する割り込みマスクビットを“1”にするまで、INTREQレジスタで要因を保持します。割り込み処理ルーチンでIRQ7～0割り込みの端子レベルを無効にした後、INTREQレジスタで保持している要因を0にしてください。割り込み要求クリア方法の詳細は「10.7.3　IRL割り込み要求及びIRQ7～0割り込み要求のクリア方法」を参照してください。

INTMUビット（CPUOPMレジスタのビット3）が1の場合は、SRの割り込みマスクレベル（IMASKビット）は、受け付けられた割り込みレベルに自動的に設定されます。INTMUビットが0の場合は、割り込みが受け付けられても、IMASKビットは変化しません。

10.4.3　IRL割り込み

IRL割り込みは、IRQ3/$\overline{\text{IRL3}}$～IRQ0/$\overline{\text{IRL0}}$又はIRQ7/$\overline{\text{IRL7}}$～IRQ4/$\overline{\text{IRL4}}$の各4端子の入力レベルによって優先レベルが決まる割り込みです。4端子が全てLレベルのとき、最も高い割り込み要求（割り込み優先レベル15）、全てHレベルのとき、割り込み要求なし（割り込み優先レベル0）となります。

図10.2にIRL割り込みの接続例を、表10.5にIRL割り込み端子と割り込み優先レベルの対応を示します。

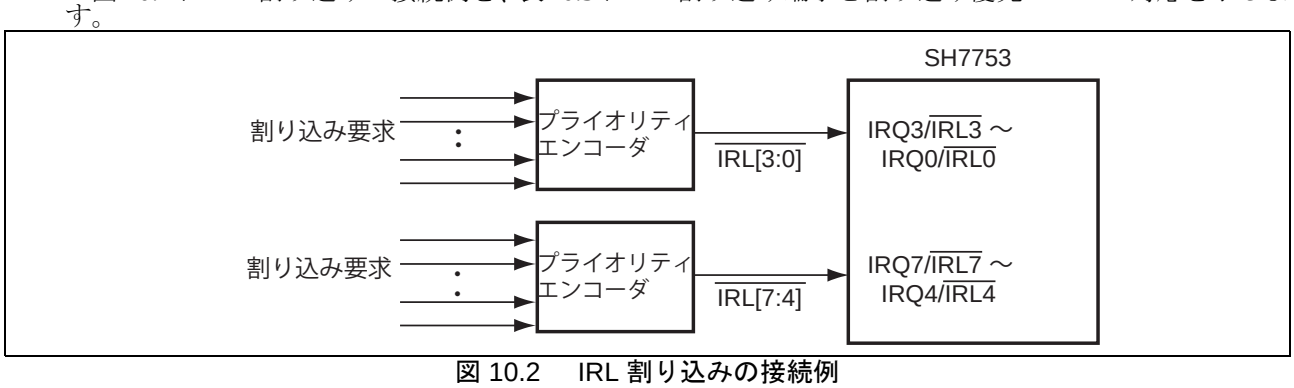


図10.2　IRL割り込みの接続例

表10.5　IRL割り込み端子（$\overline{\text{IRL7}}$ ～$\overline{\text{IRL4}}$ 又は $\overline{\text{IRL3}}$ ～ $\overline{\text{IRL0}}$）と割り込み優先レベル

IRL3 又は IRL7	IRL2 又は IRL6	IRL1 又は IRL5	IRL0 又は IRL4	割り込み優先レベル	割り込み要求
L	L	L	L	15	レベル15割り込み要求
L	L	L	H	14	レベル 14割り込み要求
L	L	H	L	13	レベル 13割り込み要求
L	L	H	H	12	レベル 12割り込み要求
L	H	L	L	11	レベル 11割り込み要求
L	H	L	H	10	レベル 10割り込み要求
L	H	H	L	9	レベル 9割り込み要求
L	H	H	H	8	レベル 8割り込み要求
H	L	L	L	7	レベル 7割り込み要求
H	L	L	H	6	レベル 6割り込み要求
H	L	H	L	5	レベル 5割り込み要求
H	L	H	H	4	レベル 4割り込み要求
H	H	L	L	3	レベル 3割り込み要求
H	H	L	H	2	レベル 2割り込み要求
H	H	H	L	1	レベル 1割り込み要求
H	H	H	H	0	割り込み要求なし

IRL 割り込みの検出回路には、ノイズキャンセル機構が内蔵されており、バスクロックごとにサンプリングしたレベルが 4 サイクル続けて同一の値になったとき、初めて IRL 割り込みを検出します。これにより、IRL 割り込み端子の変化時の誤ったレベルを取り込むことを防止できます。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。より高い優先レベルに変化させることは構いません。

ただし、IRL 割り込み要求の検出後、CPU が受け付ける前に IRL 割り込みの端子状態を変更して要求を取り下げても、CPU が IRL 割り込みを含む何らかの割り込みを受け付けるか、該当する割り込みマスクビットを“1”にするまで INTREQ レジスタで要因を保持します。割り込み処理ルーチンで IRL 割り込み要因をクリアした後、IRL 割り込みをマスクして INTC 内部で保持している要因をクリアしてください。

クリア方法の詳細は「10.7.3　IRL 割り込み要求及び IRQ 7 ～ 0 割り込み要求のクリア方法」を参照してください。

IRL 割り込みが受け付けられても、IMASK ビットは変化しません。

10.4.4　内部モジュール割り込み

内部モジュール割り込みは、内部モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはいませんが、要因は割り込み事象レジスタ（INTEVT）に反映されますので、例外処理ルーチン中でINTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、INT2PRI0 ～ INT2PRI47 によって、モジュールごとに優先レベル 31 ～ 0 の範囲で設定できます。ただし、CPU に通知する時には、最下位1 ビットを切り捨てた4 ビットに変換します。詳細は、「10.4.5　内部モジュール割り込み優先レベル」を参照してください。

内部モジュール割り込みが受け付けられても、IMASK ビットは変化しません。

内部モジュールの割り込み要因フラグ及び割り込み許可フラグの更新は、SR レジスタのBL ビットが1 のときに行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内部モジュールのレジスタを読み出してからBL ビットを0、又は対応する割り込みマスククリアビットを1 にしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグを更新した後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが0 のときにフラグの更新を行うと、INTEVT の値が0 で割り込み処理ルーチンにジャンプする場合があります。この場合は、RTE 命令を実行してください。

10.4.5　内部モジュール割り込み優先レベル

内部モジュール割り込み要求発生時、INTC は要因固有の識別として割り込み例外コード（INTEVT コード）をCPU へ出力します。

CPU は割り込み要求を受け付けるとINTEVT レジスタに該当する例外コードを表示します。割り込み処理ルーチンでCPU のINTEVT レジスタを読むことにより、INTC の割り込み要因レジスタを読み込まなくても割り込み要因を知ることができます。内部モジュール割り込み要因と例外コードの対応は、表10.1 を参照してください。

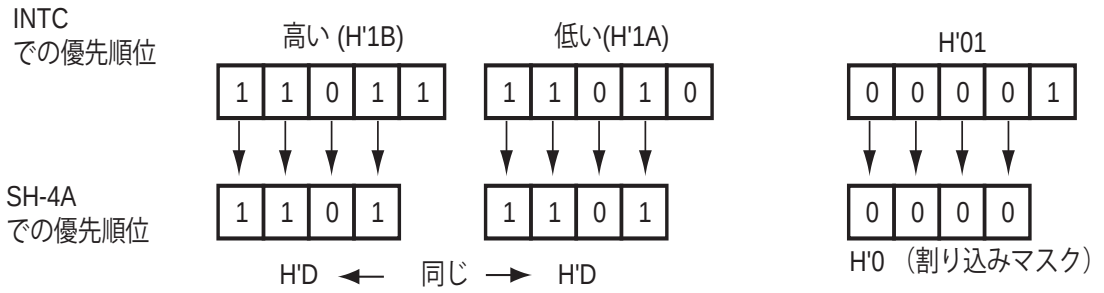
また、内部モジュール割り込みでは、「10.3.13　内部モジュール割り込み優先順位設定レジスタ（INT2PRI0 ～ INT2PRI47）」に示すように、個々の割り込み優先レベルを5 ビット（30 レベル）で設定します。

一方、CPU の割り込みレベル受信インタフェースは4 ビット（15 レベル：H'0 は割り込み要求をマスク）のため、内部モジュール割り込みについては5 ビット（30 レベル）で優先レベルを比較し、最高レベルの割り込み要因を選択した後、最下位1 ビットを切り捨てた4 ビットの優先レベルに変換してCPU に通知します（図10.3参照）。例えば、優先レベルH'1A と優先レベルH'1B を設定した2つの割り込み要因は、どちらもCPU に出力する優先レベル（4 ビット）ではH'D となりますが、CPU に通知される例外コードは、優先レベルH'1B の割り込みに該当するコードとなります。

なお、複数の割り込み要因について同じ優先レベルを設定した場合は、表10.1に示す優先順位で例外コードが通知されます。

SH-4AにとってH'Dレベルの内部モジュール割り込みを、INTC内部では優先レベルH'1A とH'1Bの割り込み要求に分けることができます。

優先レベルH'01は、要求マスクと同じです。



内部モジュール割り込み要求が同時に発生した場合は、優先レベルがH'1Bの割り込み要求を優先します。しかし外部割込み要求と同時に発生した場合、外部割込み要求が優先されるケースがあります。

- NMI 割り込み要求が発生
- 優先レベルが同じかそれ以上のIRQ 、IRL割り込み要求が発生（図の例ではH'D以上）

優先レベルH'01は、最下位1ビットを切り捨てるとH'0になるので、割り込み要求が発生してもSH-4Aに通知されません。割り込み優先順位設定レジスタにはH'02～H'1Fまでの値（30レベル）を設定してください。

図 10.3　内部モジュール割り込みの優先レベルについて

10.4.6　割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ（INTEVT）のコード、割り込み優先順位を表10.7 に示します。

各割り込み要因は、それぞれ異なるINTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえばINTEVT の値をオフセットにして分岐させます。

内部モジュールの優先順位は、INT2PRI0 ～ INT2PRI47 によって、優先レベル31 ～ 2 の範囲で任意に設定できます（優先レベル0及び1は割り込みマスク（割り込み禁止）となります）。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表10.7 に示すデフォルト優先順位に従って処理されます。

INTPRI、INT2PRI0～INT2PRI47 の更新は、SR レジスタ のBL ビットが1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してからBL ビットを0 にしてください。これにより内部的に必要なタイミングが確保されます。

表10.6　割り込み例外処理要因と優先順位

割り込み要因		INTEVT（例外コード）	割り込み優先順位	マスクレジスタ マスククリアレジスタ	割り込み要因レジスタ	内部モジュール割り込み要因レジスタ	要因内での優先順位	デフォルト優先順位
NMI	—	H'1C0	16	—	—	—	—	高
IRL（表10.5参照）	$\overline{\text{IRL}}$[7:4] = LLLL (H'0)	H'200	15	INTMSK2[15] INTMSKCLR2[15]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LLLL (H'0)			INTMSK2[31] INTMSKCLR2[31]	—	—		
	$\overline{\text{IRL}}$[7:4] = LLLH (H'1)	H'220	14	INTMSK2[14] INTMSKCLR2[14]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LLLH (H'1)			INTMSK2[30] INTMSKCLR2[30]	—	—		
	$\overline{\text{IRL}}$[7:4] = LLHL (H'2)	H'240	13	INTMSK2[13] INTMSKCLR2[13]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LLHL (H'2)			INTMSK2[29] INTMSKCLR2[29]	—	—		
	$\overline{\text{IRL}}$[7:4] = LLHH (H'3)	H'260	12	INTMSK2[12] INTMSKCLR2[12]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LLHH (H'3)			INTMSK2[28] INTMSKCLR2[28]	—	—		
	$\overline{\text{IRL}}$[7:4] = LHLL (H'4)	H'280	11	INTMSK2[11] INTMSKCLR2[11]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LHLL (H'4)			INTMSK2[27] INTMSKCLR2[27]	—	—		
	$\overline{\text{IRL}}$[7:4] = LHLH (H'5)	H'2A0	10	INTMSK2[10] INTMSKCLR2[10]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LHLH (H'5)			INTMSK2[26] INTMSKCLR2[26]	—	—		
	$\overline{\text{IRL}}$[7:4] = LHHL (H'6)	H'2C0	9	INTMSK2[9] INTMSKCLR2[9]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LHHL (H'6)			INTMSK2[25] INTMSKCLR2[25]	—	—		
	$\overline{\text{IRL}}$[7:4] = LHHH (H'7)	H'2E0	8	INTMSK2[8] INTMSKCLR2[8]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = LHHH (H'7)			INTMSK2[24] INTMSKCLR2[24]	—	—		
	$\overline{\text{IRL}}$[7:4] = HLLL (H'8)	H'300	7	INTMSK2[7] INTMSKCLR2[7]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = HLLL (H'8)			INTMSK2[23] INTMSKCLR2[23]	—	—		
	$\overline{\text{IRL}}$[7:4] = HLLH (H'9)	H'320	6	INTMSK2[6] INTMSKCLR2[6]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = HLLH (H'9)			INTMSK2[22] INTMSKCLR2[22]	—	—		
	$\overline{\text{IRL}}$[7:4] = HLHL (H'A)	H'340	5	INTMSK2[5] INTMSKCLR2[5]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = HLHL (H'A)			INTMSK2[21] INTMSKCLR2[21]	—	—		低

割り込み要因		INTEVT（例外コード）	割り込み優先順位	マスクレジスタ マスククリアレジスタ	割り込み要因レジスタ	内部モジュール割り込み要因レジスタ	要因内での優先順位	デフォルト優先順位
IRL（表10.5参照）	$\overline{\text{IRL}}$[7:4] = HLHH (H'B)	H'360	4	INTMSK2[4] INTMSKCLR2[4]	—	—	—	高
	$\overline{\text{IRL}}$[3:0] = HLHH (H'B)			INTMSK2[20] INTMSKCLR2[20]	—	—		
	$\overline{\text{IRL}}$[7:4] = HHLL (H'C)	H'380	3	INTMSK2[3] INTMSKCLR2[3]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = HHLL (H'C)			INTMSK2[19] INTMSKCLR2[19]	—	—		
	$\overline{\text{IRL}}$[7:4] = HHLH (H'D)	H'3A0	2	INTMSK2[2] INTMSKCLR2[2]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = HHLH (H'D)			INTMSK2[18] INTMSKCLR2[18]	—	—		
	$\overline{\text{IRL}}$[7:4] = HHHL (H'E)	H'3C0	1	INTMSK2[1] INTMSKCLR2[1]	—	—	—	
	$\overline{\text{IRL}}$[3:0] = HHHL (H'E)			INTMSK2[17] INTMSKCLR2[17]	—	—		
IRQ0～IRQ7	IRQ[0]	H'200	INTPRI [31:28]	INTMSK0[31] INTMSKCLR0 [31]	INTREQ[31]	—	高	
	IRQ[1]	H'240	INTPRI [27:24]	INTMSK0[30] INTMSKCLR0 [30]	INTREQ[30]	—		
	IRQ[2]	H'280	INTPRI [23:20]	INTMSK0[29] INTMSKCLR0 [29]	INTREQ[29]	—		
	IRQ[3]	H'2C0	INTPRI [19:16]	INTMSK0[28] INTMSKCLR0 [28]	INTREQ[28]	—		
	IRQ[4]	H'300	INTPRI [15:12]	INTMSK0[27] INTMSKCLR0 [27]	INTREQ[27]	—		
	IRQ[5]	H'340	INTPRI [11:8]	INTMSK0[26] INTMSKCLR0 [26]	INTREQ[26]	—		
	IRQ[6]	H'380	INTPRI [7:4]	INTMSK0[25] INTMSKCLR0 [25]	INTREQ[25]	—		
	IRQ[7]	H'3C0	INTPRI [3:0]	INTMSK0[24] INTMSKCLR0 [24]	INTREQ[24]	—	低	
SDHI	SDHI3	H'480	INT2PRI1 [4:0]	INT2MSKR[2] INT2MSKCR[2]	INT2A0[2] INT2A1[2]	INT2B1[0]	高	
	SDHI0	H'4A0				INT2B1[1]		
	SDHI1	H'4C0				INT2B1[2]	低	
TMU0	TUNI0（注）	H'580	INT2PRI0 [28:24]	INT2MSKR[0] INT2MSKCR[0]	INT2A0[0] INT2A1[0]	INT2B0[0]	—	
TMU1	TUNI1（注）	H'5A0	INT2PRI0 [20:16]			INT2B0[1]	—	
TMU2	TUNI2（注）	H'5C0	INT2PRI0 [12:8]	INT2MSKR[0] INT2MSKCR[0]	INT2A0[0] INT2A1[0]	INT2B0[2]	—	
	TICPI2（注）	H'5E0	INT2PRI0 [4:0]			INT2B0[3]	—	
H-UDI	H-UDI	H'600	INT2PRI3 [28:24]	INT2MSKR[7] INT2MSKCR[7]	INT2A0[7] INT2A1[7]	—	—	
ARC4	ARC4I	H'620	INT2PRI9 [28:24]	INT2MSKR1[7] INT2MSKCR1[7]	INT2A01 [7] INT2A11 [7]	—	—	低

割り込み要因		INTEVT (例外コード)	割り込み優先順位	マスクレジスタ マスククリアレジスタ	割り込み要因レジスタ	内部モジュール割り込み要因レジスタ	要因内での優先順位	デフォルト優先順位
DMAC0-11	DMINT0（注）	H'640	INT2PRI3 [20:16]	INT2MSKR[8] INT2MSKCR[8]	INT2A0[8] INT2A1[8]	INT2B3[0]	高	高
	DMINT1（注）	H'660				INT2B3[1]		
	DMINT2（注）	H'680				INT2B3[2]		
	DMINT3（注）	H'6A0				INT2B3[3]		
	DMAE (ch0 ～ 5)（注）	H'6C0				INT2B3[12]		
	DMAE (ch6 ～ 11)（注）					INT2B3[13]	低	
SCIF2	ERI2（注）	H'700	INT2PRI2 [28:24]	INT2MSKR[3] INT2MSKCR[3]	INT2A0[3] INT2A1[3]	INT2B2[0]	高	
	RXI2（注）	H'720				INT2B2[1]		
	BRI2（注）	H'740				INT2B2[2]		
	TXI2（注）	H'760				INT2B2[3]	低	
DMAC4-5	DMINT4（注）	H'780	INT2PRI3 [20:16]	INT2MSKR[8] INT2MSKCR[8]	INT2A0[8] INT2A1[8]	INT2B3[4]	高	
	DMINT5（注）	H'7A0				INT2B3[5]	低	
DMAC6-7	DMINT6（注）	H'7C0	INT2PRI11 [12:8]	INT2MSKR1[13] INT2MSKCR1[13]	INT2A01[13] INT2A11[13]	INT2B3[6]	高	
	DMINT7（注）	H'7E0				INT2B3[7]	低	
USB0	USB0INT0	H'840	INT2PRI12 [28:24]	INT2MSKR1[19] INT2MSKCR1[19]	INT2A01[19] INT2A11[19]	—	—	
SPI1	SPI1I	H'8C0	INT2PRI9 [12:8]	INT2MSKR1[5] INT2MSKCR1[5]	INT2A01 [5] INT2A11 [5]	—	—	
USB1	USB1INT0	H'920	INT2PRI12 [4:0]	INT2MSKR1[16] INT2MSKCR1[16]	INT2A01[16] INT2A11[16]	INT2B9[0]	—	
TMR01	TMR01I	H'A00	INT2PRI4 [12:8]	INT2MSKR[14] INT2MSKCR[14]	INT2A0[14] INT2A1[14]	—	—	
TMR23	TMR23I	H'A20	INT2PRI4 [4:0]	INT2MSKR[15] INT2MSKCR[15]	INT2A0[15] INT2A1[15]	—	—	
TMR45	TMR45I	H'A40	INT2PRI5 [28:24]	INT2MSKR[16] INT2MSKCR[16]	INT2A0[16] INT2A1[16]	—	—	
FRT	FRTI	H'A80	INT2PRI5 [12:8]	INT2MSKR[18] INT2MSKCR[18]	INT2A0[18] INT2A1[18]	—	—	
SCIF0	FINT0	H'B40	INT2PRI13 [4:0]	INT2MSKR1[20] INT2MSKCR1[20]	INT2A01[20] INT2A11[20]	—	—	
SCIF1	FINT1	H'B60	INT2PRI13 [12:8]	INT2MSKR1[21] INT2MSKCR1[21]	INT2A01[21] INT2A11[21]	—	—	
SCIF3	ERI3（注）	H'B80	INT2PRI2 [20:16]	INT2MSKR[4] INT2MSKCR[4]	INT2A0[4] INT2A1[4]	INT2B2[4]	高	
	RXI3（注）	H'BA0				INT2B2[5]		
	BRI3（注）	H'BC0				INT2B2[6]	低	
	TXI3（注）	H'BE0				INT2B2[7]		
ETHER	EINT0	H'C80	INT2PRI6 [20:16]	INT2MSKR1[24] INT2MSKCR1[24]	INT2A01[24] INT2A11[24]	INT2B10[0]	高	
	EINT1	H'CA0				INT2B10[1]	低	低

割り込み要因		INTEVT（例外コード）	割り込み優先順位	マスクレジスタ マスククリアレジスタ	割り込み要因レジスタ	内部モジュール割り込み要因レジスタ	要因内での優先順位	デフォルト優先順位
SPI0	SPI0I	H'CC0	INT2PRI10 [28:24]	INT2MSKR1[11] INT2MSKCR1[11]	INT2A01[11] INT2A11[11]	—	—	高
ADC1	ADCI1	H'CE0	INT2PRI11 [28:24]	INT2MSKR1[15] INT2MSKCR1[15]	INT2A01[15] INT2A11[15]	—	—	
DMAC8-11	DMINT8（注）	H'D00	INT2PRI6 [12:8]	INT2MSKR[22] INT2MSKCR[22]	INT2A0[22] INT2A1[22]	INT2B3[8]	高	
	DMINT9（注）	H'D20				INT2B3[9]		
	DMINT10（注）	H'D40				INT2B3[10]		
	DMINT11（注）	H'D60				INT2B3[11]	低	
SIM	ERI	H'D80	INT2PRI10 [20:16]	INT2MSKR1[10] INT2MSKCR1[10]	INT2A01[10] INT2A11[10]	INT2B11[0]	高	
	RXI	H'DA0				INT2B11[1]		
	TXI	H'DC0				INT2B11[2]		
	TEND	H'DE0				INT2B11[3]	低	
TMU3	TUNI3	H'E00	INT2PRI1 [28:24]	INT2MSKR[1] INT2MSKCR[1]	INT2A0[1] INT2A1[1]	INT2B0[4]	—	
TMU4	TUNI4	H'E20	INT2PRI1 [20:16]			INT2B0[5]	—	
TMU5	TUNI5	H'E40	INT2PRI1 [12:8]			INT2B0[6]	—	
ADC0	ADCI0	H'E60	INT2PRI3 [12:8]	INT2MSKR1[12] INT2MSKCR1[12]	INT2A01[12] INT2A11[12]	—	—	
SCIF4	ERI4（注）	H'F00	INT2PRI7 [28:24]	INT2MSKR1[25] INT2MSKCR1[25]	INT2A01[25] INT2A11[25]	INT2B6[0]	高	
	RXI4（注）	H'F20				INT2B6[1]		
	BRI4（注）	H'F40				INT2B6[2]		
	TXI4（注）	H'F60				INT2B6[3]	低	
IIC0_0	RIIC0/TXI	H'1400	INT2PRI31 [28:24]	INT2MSKR2[12] INT2MSKCR2[12]	INT2A02[12] INT2A12[12]	—	—	
IIC0_1	RIIC0/TEI	H'1420	INT2PRI31 [20:16]	INT2MSKR2[11] INT2MSKCR2[11]	INT2A02[11] INT2A12[11]	—	—	
IIC0_2	RIIC0/RXI	H'1440	INT2PRI31 [12:8]	INT2MSKR2[10] INT2MSKCR2[10]	INT2A02[10] INT2A12[10]	—	—	
IIC0_3	RIIC0/EEI	H'1460	INT2PRI31 [4:0]	INT2MSKR2[9] INT2MSKCR2[9]	INT2A02[9] INT2A12[9]	—	—	
IIC1_0	RIIC1/TXI	H'1480	INT2PRI17 [4:0]	INT2MSKR2[2] INT2MSKCR2[2]	INT2A02[2] INT2A12[2]	—	—	
IIC1_1	RIIC1/TEI	H'14E0	INT2PRI24 [4:0]	INT2MSKR3[0] INT2MSKCR3[0]	INT2A03[0] INT2A13[0]	—	—	
IIC1_2	RIIC1/RXI	H'1500	INT2PRI18 [4:0]	INT2MSKR3[22] INT2MSKCR3[22]	INT2A03[22] INT2A13[22]	—	—	
IIC1_3	RIIC1/EEI	H'1520	INT2PRI19 [4:0]	INT2MSKR3[23] INT2MSKCR3[23]	INT2A03[23] INT2A13[23]	—	—	
IIC2_0	RIIC2/TXI	H'1540	INT2PRI20 [28:24]	INT2MSKR3[26] INT2MSKCR3[26]	INT2A03[26] INT2A13[26]	—	—	
IIC2_1	RIIC2/TEI	H'1560	INT2PRI18 [12:8]	INT2MSKR2[5] INT2MSKCR2[5]	INT2A02[5] INT2A12[5]	—	—	低

割り込み要因		INTEVT（例外コード）	割り込み優先順位	マスクレジスタ マスククリアレジスタ	割り込み要因レジスタ	内部モジュール割り込み要因レジスタ	要因内での優先順位	デフォルト優先順位
IIC2_2	RIIC2/RXI	H'1580	INT2PRI16 [28:24]	INT2MSKR2[0] INT2MSKCR2[0]	INT2A02[0] INT2A12[0]	—	—	高
IIC2_3	RIIC2/EEI	H'1600	INT2PRI19 [28:24]	INT2MSKR2[7] INT2MSKCR2[7]	INT2A02[7] INT2A12[7]	—	—	
IIC3_0	RIIC3/TXI	H'1620	INT2PRI25 [28:24]	INT2MSKR3[7] INT2MSKCR3[7]	INT2A03[7] INT2A13[7]	—	—	
IIC3_1	RIIC3/TEI	H'1640	INT2PRI19 [20:16]	INT2MSKR2[8] INT2MSKCR2[8]	INT2A02[8] INT2A12[8]	—	—	
IIC3_2	RIIC3/RXI	H'16E0	INT2PRI23 [12:8]	INT2MSKR3[27] INT2MSKCR3[27]	INT2A03[27] INT2A13[27]	—	—	
IIC3_3	RIIC3/EEI	H'1700	INT2PRI18 [28:24]	INT2MSKR2[3] INT2MSKCR2[3]	INT2A02[3] INT2A12[3]	—	—	
IIC4_0	RIIC4/TXI	H'17C0	INT2PRI27 [12:8]	INT2MSKR3[13] INT2MSKCR3[13]	INT2A03[13] INT2A13[13]	—	—	
IIC4_1	RIIC4/TEI	H'1800	INT2PRI30 [28:24]	INT2MSKR2[31] INT2MSKCR2[31]	INT2A02[31] INT2A12[31]	—	—	
IIC4_2	RIIC4/RXI	H'1820	INT2PRI30 [20:16]	INT2MSKR2[30] INT2MSKCR2[30]	INT2A02[30] INT2A12[30]	—	—	
IIC4_3	RIIC4/EEI	H'1840	INT2PRI28 [28:24]	INT2MSKR3[19] INT2MSKCR3[19]	INT2A03[19] INT2A1[19]	—	—	
IIC5_0	RIIC5/TXI	H'1860	INT2PRI30 [12:8]	INT2MSKR2[29] INT2MSKCR2[29]	INT2A02[29] INT2A12[29]	—	—	
IIC5_1	RIIC5/TEI	H'1880	INT2PRI23 [4:0]	INT2MSKR2[28] INT2MSKCR2[28]	INT2A02[28] INT2A12[28]	—	—	
IIC5_2	RIIC5/RXI	H'18A0	INT2PRI25 [4:0]	INT2MSKR3[4] INT2MSKCR3[4]	INT2A03[4] INT2A13[4]	—	—	
IIC5_3	RIIC5/EEI	H'18C0	INT2PRI25 [12:8]	INT2MSKR3[5] INT2MSKCR3[5]	INT2A03[5] INT2A13[5]	—	—	
IIC6_0	RIIC6/TXI	H'18E0	INT2PRI27 [20:16]	INT2MSKR3[29] INT2MSKCR3[29]	INT2A03[29] INT2A13[29]	—	—	
IIC6_1	RIIC6/TEI	H'1900	INT2PRI27 [4:0]	INT2MSKR3[30] INT2MSKCR3[30]	INT2A03[30] INT2A13[30]	—	—	
IIC6_2	RIIC6/RXI	H'1920	INT2PRI28 [4:0]	INT2MSKR3[16] INT2MSKCR3[16]	INT2A03[16] INT2A13[16]	—	—	
IIC6_3	RIIC6/EEI	H'1980	INT2PRI20 [20:16]	INT2MSKR2[13] INT2MSKCR2[13]	INT2A02[13] INT2A12[13]	—	—	
IIC7_0	RIIC7/TXI	H'19A0	INT2PRI28 [20:16]	INT2MSKR3[18] INT2MSKCR3[18]	INT2A03[18] INT2A13[18]	—	—	
IIC7_1	RIIC7/TEI	H'1A00	INT2PRI20 [12:8]	INT2MSKR2[14] INT2MSKCR2[14]	INT2A02[14] INT2A12[14]	—	—	
IIC7_2	RIIC7/RXI	H'1A20	INT2PRI20 [4:0]	INT2MSKR2[15] INT2MSKCR2[15]	INT2A02[15] INT2A12[15]	—	—	
IIC7_3	RIIC7/EEI	H'1A40	INT2PRI21 [28:24]	INT2MSKR2[16] INT2MSKCR2[16]	INT2A02[16] INT2A12[16]	—	—	
IIC8_0	RIIC8/TXI	H'1A60	INT2PRI21 [20:16]	INT2MSKR2[17] INT2MSKCR2[17]	INT2A02[17] INT2A12[17]	—	—	
IIC8_1	RIIC8/TEI	H'1A80	INT2PRI21 [12:8]	INT2MSKR2[18] INT2MSKCR2[18]	INT2A02[18] INT2A12[18]	—	—	低

割り込み要因		INTEVT（例外コード）	割り込み優先順位	マスクレジスタ マスククリアレジスタ	割り込み要因レジスタ	内部モジュール割り込み要因レジスタ	要因内での優先順位	デフォルト優先順位
IIC8_2	RIIC8/RXI	H'1AA0	INT2PRI21 [4:0]	INT2MSKR2[19] INT2MSKCR2[19]	INT2A02[19] INT2A12[19]	—	—	高
IIC8_3	RIIC8/EEI	H'1B40	INT2PRI29 [4:0]	INT2MSKR3[20] INT2MSKCR3[20]	INT2A03[20] INT2A13[20]	—	—	
IIC9_0	RIIC9/TXI	H'1B60	INT2PRI29 [12:8]	INT2MSKR3[21] INT2MSKCR3[21]	INT2A03[21] INT2A13[21]	—	—	
IIC9_1	RIIC9/TEI	H'1B80	INT2PRI18 [20:16]	INT2MSKR2[4] INT2MSKCR2[4]	INT2A02[4] INT2A12[4]	—	—	
IIC9_2	RIIC9/RXI	H'1C00	INT2PRI22 [28:24]	INT2MSKR2[20] INT2MSKCR2[20]	INT2A02[20] INT2A12[20]	—	—	
IIC9_3	RIIC9/EEI	H'1C20	INT2PRI26 [4:0]	INT2MSKR3[8] INT2MSKCR3[8]	INT2A03[8] INT2A13[8]	—	—	
MMC1	Err/time out	H'1C60	INT2PRI28 [12:8]	INT2MSKR3[31] INT2MSKCR3[31]	INT2A03[31] INT2A13[31]	—	—	
MMC2	Normal	H'1C80	INT2PRI22 [20:16]	INT2MSKR3[24] INT2MSKCR3[24]	INT2A03[24] INT2A13[24]	—	—	
RSPI	RXINT	H'1D80	INT2PRI26 [20:16]	INT2MSKR3[10] INT2MSKCR3[10]	INT2A03[10] INT2A13[10]	—	高	
	TXINT	H'1DA0				—		
	IDINT	H'1DC0				—		
	ERRINT	H'1DE0				—	低	
SPGIO	SPGIO0	H'1F80	INT2PRI23 [20:16]	INT2MSKR2[25] INT2MSKCR2[25]	INT2A02[25] INT2A12[25]	—	—	
	SGPIO1	H'1FA0						
	SGPIO2	H'1FC0						
DMAC12	DMINT12（注）	H'2400	INT2PRI47 [28:24]	INT2MSKR4[12] INT2MSKCR4[12]	INT2A04[12] INT2A14[12]	—	—	
DMAC13	DMINT13（注）	H'2420	INT2PRI47 [20:16]	INT2MSKR4[11] INT2MSKCR4[11]	INT2A04[11] INT2A14[11]	—	—	
DMAC14	DMINT14（注）	H'2440	INT2PRI47 [12:8]	INT2MSKR4[10] INT2MSKCR4[10]	INT2A04[10] INT2A14[10]	—	—	
DMAC15	DMINT15（注）	H'2460	INT2PRI47 [4:0]	INT2MSKR4[9] INT2MSKCR4[9]	INT2A04[9] INT2A14[9]	—	—	
DMAC16	DMINT16（注）	H'2480	INT2PRI17 [4:0]	INT2MSKR4[2] INT2MSKCR4[2]	INT2A04[2] INT2A14[2]	—	—	
DMAC17	DMINT17（注）	H'24E0	INT2PRI40 [4:0]	INT2MSKR5[0] INT2MSKCR5[0]	INT2A05[0] INT2A15[0]	—	—	
DMAC18	DMINT18（注）	H'2500	INT2PRI34 [4:0]	INT2MSKR5[22] INT2MSKCR5[22]	INT2A05[22] INT2A15[22]	—	—	
DMAC19	DMINT19（注）	H'2520	INT2PRI35 [4:0]	INT2MSKR5[23] INT2MSKCR5[23]	INT2A05[23] INT2A15[23]	—	—	
DMAC20	DMINT20（注）	H'2540	INT2PRI36 [28:24]	INT2MSKR4[26] INT2MSKCR4[26]	INT2A04[26] INT2A14[26]	—	—	
DMAC21	DMINT21（注）	H'2560	INT2PRI34 [12:8]	INT2MSKR4[5] INT2MSKCR4[5]	INT2A04[5] INT2A14[5]	—	—	
DMAC22	DMINT22（注）	H'2580	INT2PRI32 [28:24]	INT2MSKR4[0] INT2MSKCR4[0]	INT2A04[0] INT2A14[0]	—	—	
DMAC23	DMINT23（注）	H'2600	INT2PR35 [28:24]	INT2MSKR4[7] INT2MSKCR4[7]	INT2A04[7] INT2A14[7]	—	—	低

割り込み要因		INTEVT（例外コード）	割り込み優先順位	マスクレジスタ マスククリアレジスタ	割り込み要因レジスタ	内部モジュール割り込み要因レジスタ	要因内での優先順位	デフォルト優先順位
ECD	ECD	H'2620	INT2PRI41 [28:24]	INT2MSKR5[7] INT2MSKCR5[7]	INT2A05[7] INT2A15[7]	—	—	高
CRYPTO ENGINE	CRYPTO ENGINE	H'2640	INT2PRI35 [20:16]	INT2MSKR4[8] INT2MSKCR4[8]	INT2A02[8] INT2A12[8]	—	—	
RC	RC	H'27C0	INT2PRI43 [12:8]	INT2MSKR5[13] INT2MSKCR5[13]	INT2A05[13] INT2A15[13]	—	—	
WDT0B	WOVI	H'2800	INT2PRI46 [28:24]	INT2MSKR4[31] INT2MSKCR4[31]	INT2A04[31] INT2A14[31]	—	—	
WDT1B	EWI	H'2820	INT2PRI46 [20:16]	INT2MSKR4[30] INT2MSKCR4[30]	INT2A04[30] INT2A14[30]	—	—	
WDT2B	INT	H'2840	INT2PRI44 [28:24]	INT2MSKR5[19] INT2MSKCR5[19]	INT2A05[19] INT2A15[19]	—	—	
WDT3B	WOVI	H'2860	INT2PRI46 [12:8]	INT2MSKR4[29] INT2MSKCR4[29]	INT2A04[29] INT2A14[29]	—	—	
WDT4B	EWI	H'2880	INT2PRI39 [4:0]	INT2MSKR4[28] INT2MSKCR4[28]	INT2A04[28] INT2A14[28]	—	—	
WDT5B	INT	H'28A0	INT2PRI41 [4:0]	INT2MSKR5[4] INT2MSKCR5[4]	INT2A05[4] INT2A15[4]	—	—	
GETHER0	GEINT0	H'2960	INT2PRI46 [4:0]	INT2MSKR2[28] INT2MSKCR2[28]	INT2A02[28] INT2A12[28]	—	—	
GETHER1	GEINT1	H'2980	INT2PRI36 [20:16]	INT2MSKR4[13] INT2MSKCR4[13]	INT2A04[13] INT2A14[13]	—	—	
PBIA	PBIA	H'2A00	INT2PRI36 [12:8]	INT2MSKR4[14] INT2MSKCR4[14]	INT2A04[14] INT2A14[14]	—	—	
PBIB	PBIB	H'2A20	INT2PRI36 [4:0]	INT2MSKR4[15] INT2MSKCR4[15]	INT2A04[15] INT2A14[15]	—	—	
PBIC	PBIC	H'2A40	INT2PRI37 [28:24]	INT2MSKR4[16] INT2MSKCR4[16]	INT2A04[16] INT2A14[16]	—	—	
DMAE2	DMAE2	H'2A60	INT2PRI37 [20:16]	INT2MSKR4[17] INT2MSKCR4[17]	INT2A04[17] INT2A14[17]	—	—	
DMAE3	DMAE3	H'2A80	INT2PRI37 [12:8]	INT2MSKR4[18] INT2MSKCR4[18]	INT2A04[18] INT2A14[18]	—	—	
SERMUX2	MIR2	H'2AA0	INT2PRI37 [4:0]	INT2MSKR4[19] INT2MSKCR4[19]	INT2A04[19] INT2A14[19]	—	—	
SERMUX3	MIR3	H'2B40	INT2PRI45 [4:0]	INT2MSKR5[20] INT2MSKCR5[20]	INT2A05[20] INT2A15[20]	—	—	低

【記号説明】

WOVI	：インターバルタイマ割り込み
EWI	：早期警告割り込み
INT	：オーバフロー割り込み
TUNI0～TUNI5	：TMUチャネル0～5 アンダフロー割り込み
TICPI2	：TMUチャネル2 インプットキャプチャ割り込み
RXINT	：RSPI受信バッファフル割り込み
TXINT	：RSPI送信バッファエンプティ割り込み
IDINT	：RSPIアイドル割り込み
ERRINT	：RSPIエラー割り込み
DMINT0 ～ DMINT23	：DMACチャネル0～23 転送終了割り込み
DMAE	：DMACアドレスエラー割り込み（チャネル0～11）
DMAE2	：DMACアドレスエラー割り込み（チャネル12～17）

DMAE3	：DMACアドレスエラー割り込み（チャネル18～23）
ERI2 ～ ERI4	：SCIFチャネル2～4 受信エラー割り込み
RXI2 ～ RXI4	：SCIFチャネル2～4 受信データフル割り込み
BRI2～BRI4	：SCIFチャネル2～4 ブレーク割り込み
TXI2～ TXI4	：SCIFチャネル2～4 送信データエンプティ割り込み

10.5 動作説明

10.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図10.4 に割り込み動作フローを示します。

1. INTCに対して、各割り込み要求元から割り込み要求信号が送られます。
2. INTCでは、送られた割り込み要求の中から、INTPRI、INT2PRI0～INT2PRI47に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、又は同一モジュール内の割り込みが複数発生した場合は、表10.6に従って最も優先順位の高い割り込みが選択されます。
3. INTCで選択された割り込みの優先レベルと割り込みマスクレベル（SRのIMASKビット）とが比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、実行中の命令が終了後、割り込みを受け付けます。
5. 割り込み事象レジスタ（INTEVT）に例外コード（割り込み要因コード）がセットされます。
6. ステータスレジスタ（SR）とプログラムカウンタ（PC）が、それぞれSSRとSPCに退避されます。また、同時にそのときのR15をSGRに退避します。
7. SRのブロックビット（BL）、モードビット（MD）、レジスタバンクビット（RB）が”1”になります。
8. 割り込み関連の例外処理ルーチンの先頭番地（ベクタベースレジスタ（VBR）に設定された値とH'0000 0600の和）にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえばINTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

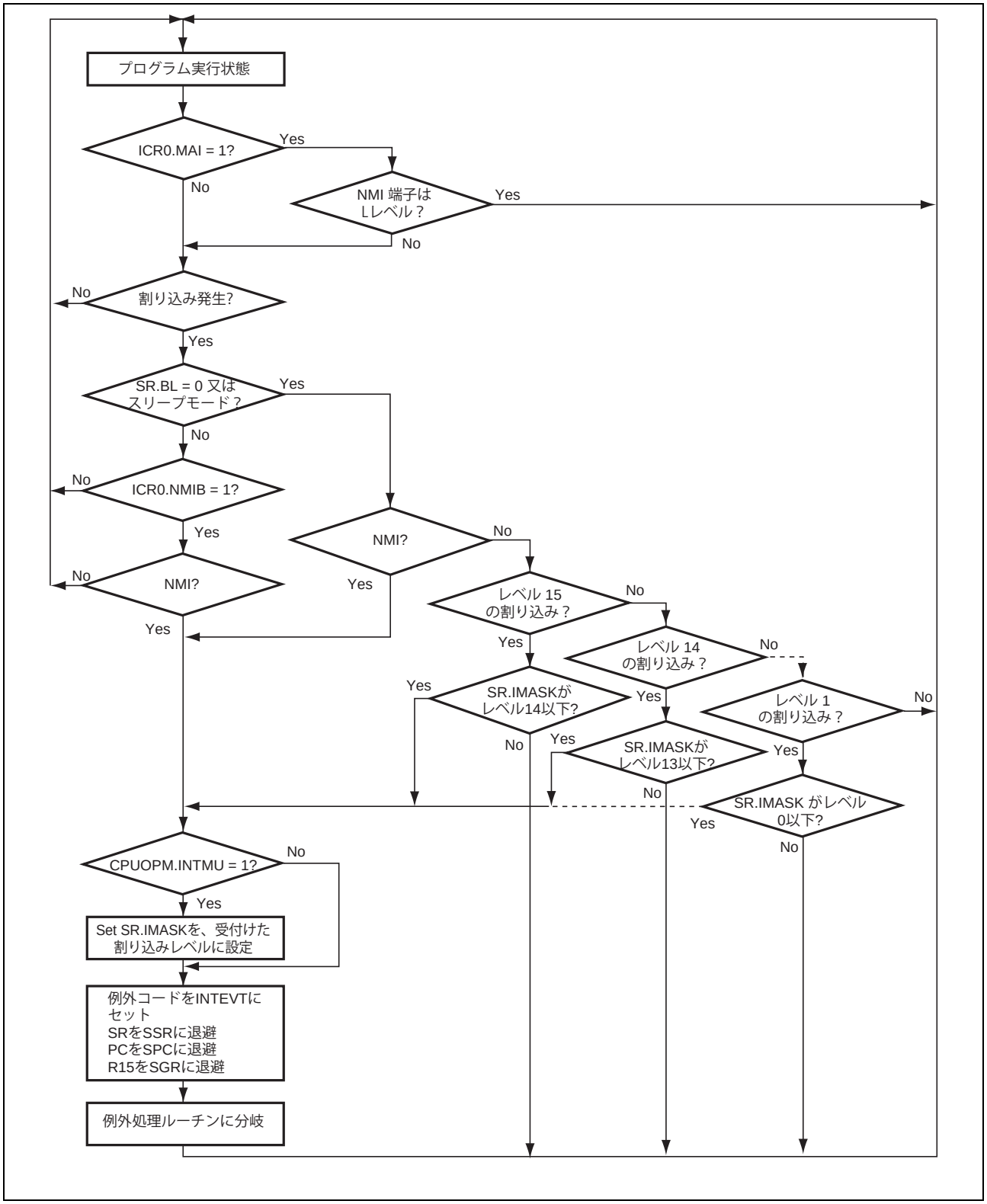


図 10.4　割り込み動作フロー

注1. CPU 動作モードレジスタのINTMU ビット（CPUOPM レジスタのINTMU）が1 に設定されている場合は、SR の割り込みマスクレベル（SR レジスタのIMASK）に受け付けられた割り込みの優先レベルが自動的に設定されます。CPUOPM レジスタのINTMU ビットが0 に設定されている場合は、割り込みが受け付けられてもSR レジスタのIMASK ビットは変化しません。
2. 各モジュール内の割り込み要因フラグは、割り込み処理ルーチンの中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表10.7で示される時間を待ってから、BL ビットをクリアする、又はRTE 命令を実行してください。
3. IRQ 割り込み、IRL 割り込み、及び内部モジュール割り込みは、パワーオンリセットで割り込みマスク状態に初期化されます。割り込みを使用する際は、INTMSKCLR0～2、INT2MSKCR、INT2MSKCR1～5の対応するビットを“0”にして、マスクをクリアしてください。

図 10.5 に示すように、同一モジュール内の複数の割り込み要因（A、B、C）が 1 つの割り込み要因（割り込みベクタ）X として割り付けられている場合、A、B、C全ての割り込み要因ビットが“0”になるまで、INTC に対して割り込み要求がアサートされ続けます。割り込み要求をクリアする場合は、全ての割り込み要因ビット（A、B、C）を“0”にしてください。

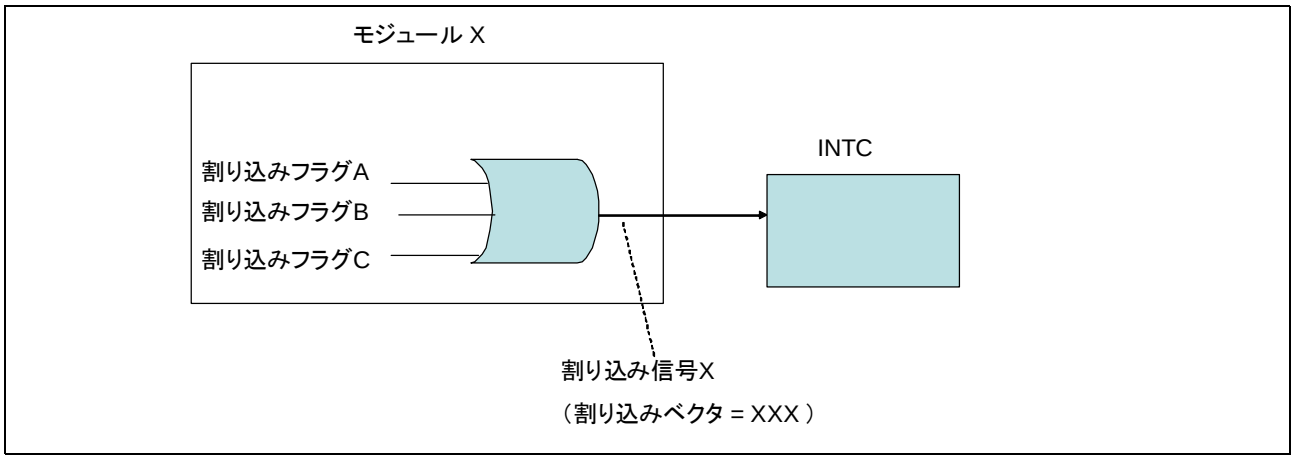


図 10.5　　モジュール内の割り込み要因と割り込み要求信号

10.5.2　多重割り込み

多重割り込みを行う場合は以下の手順で割り込み処理ルーチンを実行してください。

1. INTEVT の値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐してください。
2. 各割り込み処理ルーチン中で、該当モジュール内の割り込み要因をクリアしてください。
3. SPC、SSR をスタックに退避してください。
4. SR レジスタの BL ビットをクリアしてください。CPUOPM レジスタの INTMU ビット＝0 のときは IMASK ビットを、受け付けた割り込みレベル優先レベルに設定してください。CPUOPM レジスタの INTMU ビット＝1 のときは、IMASK ビットに受け付けた割り込み優先レベルが自動的に設定されます。
5. この後、実際に行いたい処理を書いてください。
6. SR レジスタのBL ビットを”1”にしてください。
7. SSR と SPC をスタックから復帰してください。
8. RTE 命令を実行してください。

割り込み処理ルーチンで上記の処理を実行することにより、4 の直後に他の割り込み要求があった場合、より優先レベルの高いものであれば受け付けられます（多重割り込み）。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

10.5.3 MAIビットによる割り込みマスク

ICR0のMAIビットを1に設定すると、通常動作時及びスリープモード時において、NMI端子がLレベルの間、SRレジスタのBL、IMASKビットに関係なくすべての割り込みをマスクすることができます。

ただし、NMI端子の変化によるNMI割り込みは発生します。

10.6 割り込み応答時間

割り込み要求が発生してから、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間を割り込み応答時間と呼びます。表10.7に各割り込みの割り込み応答時間を示します。

表10.7 割り込み応答時間

項目		各割り込みのステート数			
		NMI	IRL	IRQ7～0	内部モジュール
優先順位判定時間		5 Bcyc +2 Pcyc	8 Bcyc +2 Pcyc	4 Bcyc +2 Pcyc	5 Pcyc
SH-4Aが実行中のシーケンス終了までの待ち時間		S-1 (≧ 0)× Icyc			
割り込み例外処理（SR、PCの退避）から、例外処理ルーチンの先頭命令フェッチのSuperHyway バスリクエストを発行するまでの時間		11 Icyc+ 1 Scyc			
応答時間	合計	(S + 10) Icyc + 1 Scyc + 5 Bcyc + 2 Pcyc	(S + 10) Icyc + 1 Scyc + 8 Bcyc + 2 Pcyc	(S + 10) Icyc + 1 Scyc + 4 Bcyc + 2 Pcyc	(S + 10) Icyc + 1 Scyc + 5 Pcyc
	最小（注）	39 Icyc + S × Icyc	60 Icyc + S × Icyc	35 Icyc + S × Icyc	52 Icyc + S × Icyc

注． Icyc:Scyc:Bcyc:Pcyc＝8:4:2:1のとき。

Icyc ：CPUクロック（Ick）の1サイクル期間
Scyc ：SuperHyway クロック（SHck）の1サイクル期間
Bcyc ：バスクロック（CLKOUT出力）の1サイクル期間
Pcyc ：周辺クロック（Pck）の1サイクル期間
S ：命令実行ステート数

10.7　使用上の注意事項

10.7.1　$\overline{\text{IRL}}$割り込み及びレベル検出時のIRQ割り込みの処理ルーチン例

$\overline{\text{IRL}}$割り込み及びレベル検出時のIRQ割り込み要求は、CPUが割り込みを受け付けた後も検出を行うため、割り込み処理ルーチンでINTCが保持している割り込み要求をクリアする必要があります。

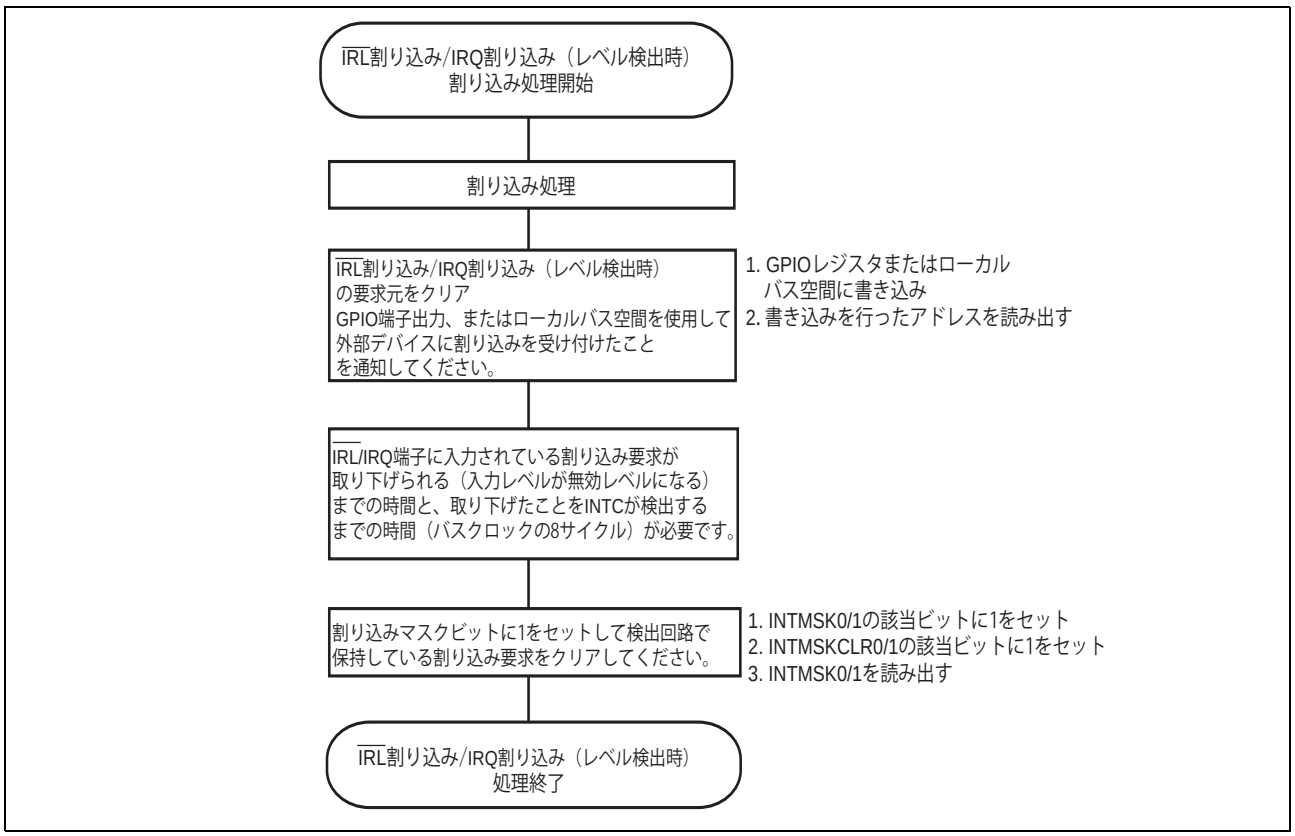


図 10.6　$\overline{\text{IRL}}$割り込み及びレベル検出時のIRQ割り込みの処理ルーチン例

10.7.2　IRQ7/$\overline{\text{IRL7}}$ ～ IRQ0/$\overline{\text{IRL0}}$ 端子機能設定時の注意事項

IRQ7/$\overline{\text{IRL7}}$ ～ IRQ0/$\overline{\text{IRL0}}$ 端子機能切り替え時に、割り込み要求を誤検出する可能性がありますので、表10.8に示すように、IRL 割り込み要求及びIRQ 割り込み要求をマスク状態に設定してから、IRQ7/$\overline{\text{IRL7}}$ ～IRQ0/$\overline{\text{IRL0}}$ 端子機能を切り替えてください。

表10.8　IRQ7/$\overline{\text{IRL7}}$～IRQ0/$\overline{\text{IRL0}}$ 端子機能切り替え手順

手順	項 目	内 容
1	IRL 割り込み要求、IRQ 割り込み要求をマスク	INTMSK0、INTMSK1 の全ビットに”1” を書き込む
2	IRQ7/$\overline{\text{IRL7}}$ ～IRQ0/$\overline{\text{IRL0}}$ 端子を選択	PSEL0のPC7SEL～PC2SEL ビットに”0” を書き込む PCCRのPCnMD1、PCnMD0 ビットに”0” を書き込む （n = 7 ～0）
3	IRQ7/$\overline{\text{IRL7}}$～ IRQ0/$\overline{\text{IRL0}}$ 端子をIRL 又はIRQに設定	ICR0 のIRLM0 ビット、IRLM1 ビットを設定する
4	IRL割り込み要求及びIRQ割り込み要求のマスクをクリア （IRL 割り込み要求及びIRQ 割り込み要求の検出を開始）	INTMSKCLR0、INTMSKCLR1 の該当するビットに”1” を書き込む

10.7.3　IRL割り込み要求及びIRQ 7～0割り込み要求のクリア方法

検出回路で保持しているIRL割り込み及びIRQ7～0割り込みの割り込み要求をクリアする場合は、以下の手順で行ってください。

(1)　IRL 割り込み要求のクリア方法

IRQ3/$\overline{\text{IRL3}}$～IRQ0/$\overline{\text{IRL0}}$端子のIRL 割り込み要求をクリアする場合は、INTMSK1 のIM10 ビットに”1” を、IRQ7/$\overline{\text{IRL7}}$～IRQ4/$\overline{\text{IRL4}}$ 端子のIRL 割り込み要求をクリアする場合は、INTMSK1 のIM11 ビットに”1 ” を書き込んでください。

(2)　レベル検出設定時のIRQ 7～0割り込み要求のクリア方法

レベル検出設定をしているIRQ7～IRQ0 割り込み要求のクリアは、INTMSK0 の該当するビットIM07～IM00 に”1” を書き込んでください。

(3)　エッジ検出設定時のIRQ 7～0割り込み要求のクリア方法

エッジ検出設定をしているIRQ7～IRQ0 割り込み要求のクリアは、INTREQ の該当するビットIR7～IR0 から”1” を読み出した後、”0” を書き込んでください。

10.7.4　RIIC割り込み使用時の注意

図10.7に示すように、RIIC（チャネル0～9）割り込みのうち、複数の割り込みを同時に使用している場合、割り込み要求が不正に消失する場合があります。

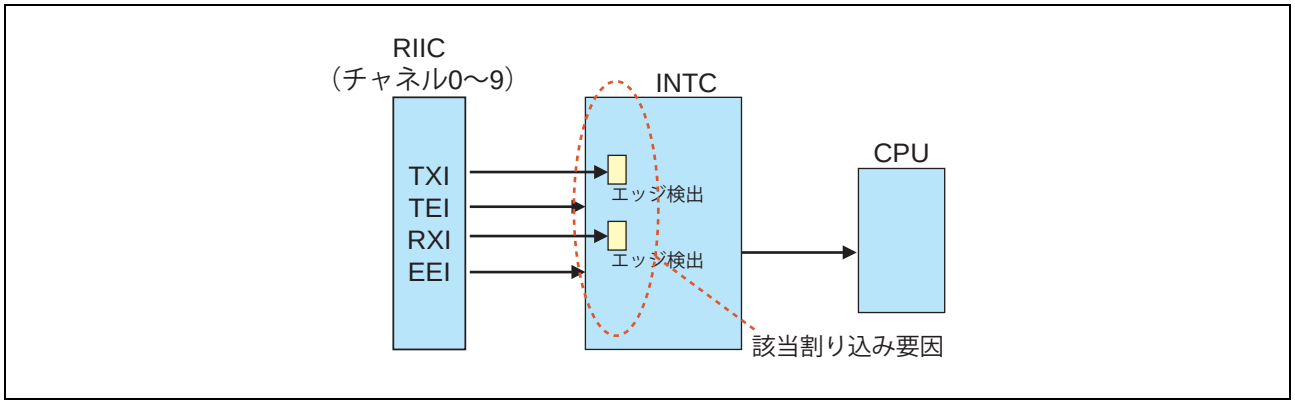
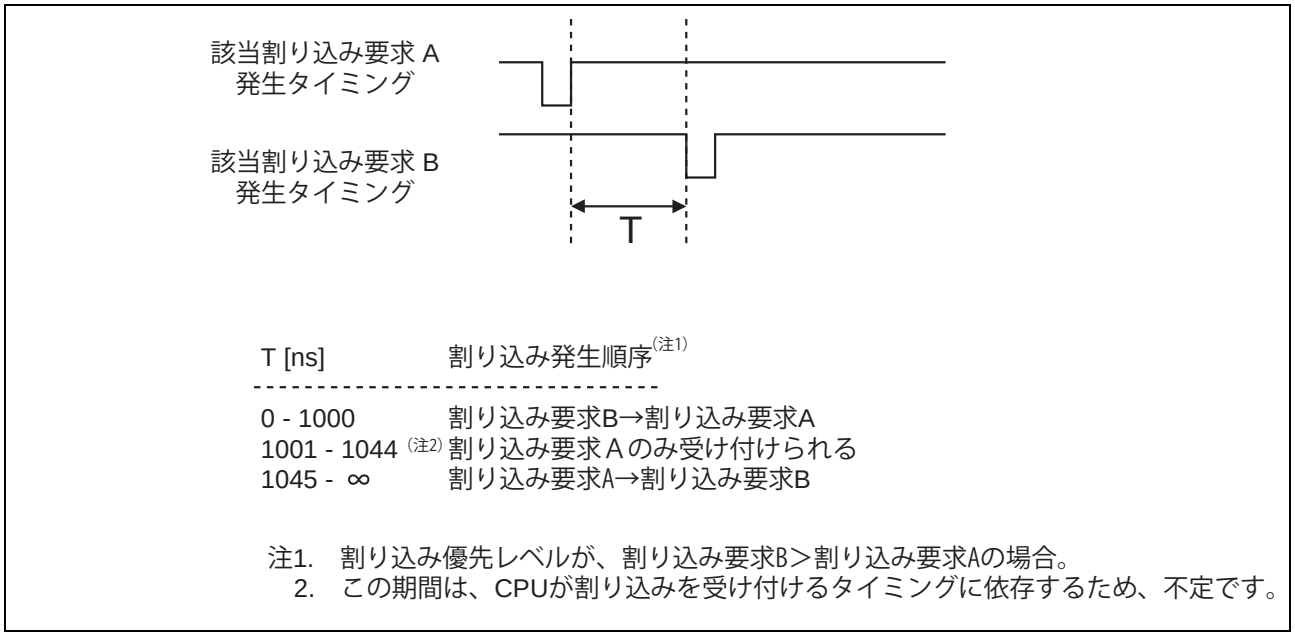


図 10.7　RIIC割り込み

(1)　該当割り込み要求

以下の割り込み要求のうちの複数が、1001～1044nsの期間内に連続して発生した場合、最初に発生した割り込み要求のみが受け付けられ、残りの割り込み要求は消失します（図10.8参照）。

- RIIC0～9の送信データエンプティ（TXI）割り込み
- RIIC0～9の受信データフル（RXI）割り込み



T [ns]	割り込み発生順序(注1)
0 - 1000	割り込み要求B→割り込み要求A
1001 - 1044 (注2)	割り込み要求Aのみ受け付けられる
1045 - ∞	割り込み要求A→割り込み要求B

注1.　割り込み優先レベルが、割り込み要求B＞割り込み要求Aの場合。
2.　この期間は、CPUが割り込みを受け付けるタイミングに依存するため、不定です。

図 10.8　割り込み消失例

(2)　RIIC0～9のTXI/RXI割り込みの使用方法

RIIC0～9のRXI割り込み及びTXI割り込みを使用する場合は、以下の手順でDMACを経由して割り込み要求を発生させてください。図10.9にRIIC割り込み使用時の接続例を示します。

1. TXI割り込み又はRXI割り込みを、DMAC12～23の転送要求元として設定してください（表14.3参照）。
2. 1バイトのDMA転送（ダミー転送）が実行されるよう、関連レジスタを設定してください。
（転送元／転送先アドレス、転送モードなどは任意、転送完了割り込み有効）

TXI割り込み又はRXI割り込みにより開始される1バイトのダミー転送終了時にDMACの転送完了割り込み要求が発生しますので、これをRIICからの割り込みとして使用してください。

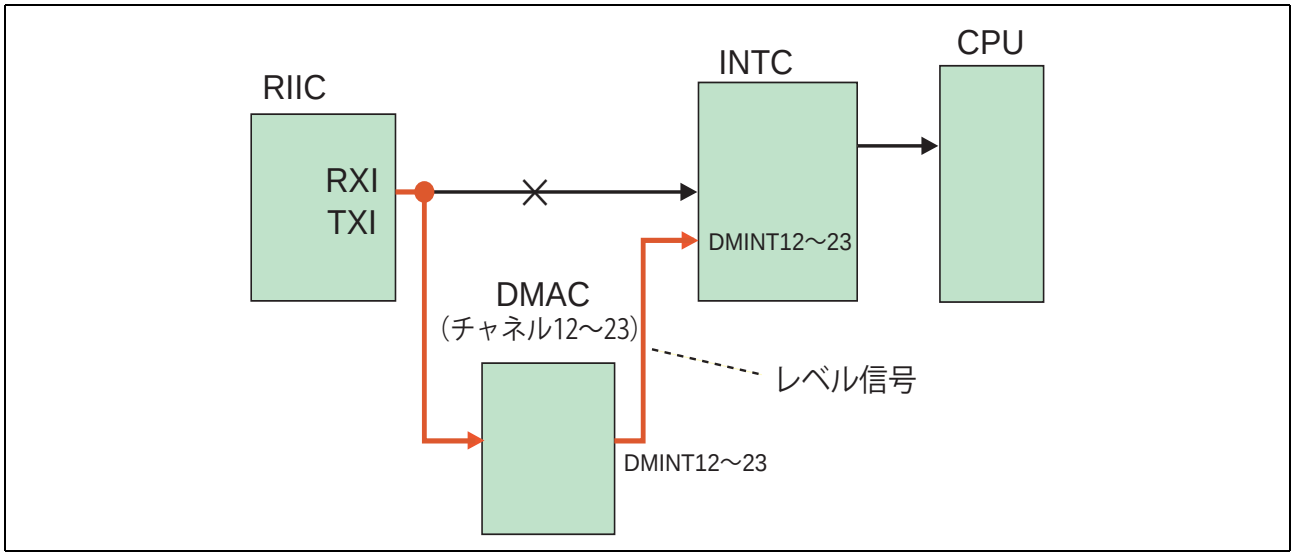


図 10.9　RIIC割り込み使用時の接続例

11. ローカルバスステートコントローラ（LBSC）

ローカルバスステートコントローラ（LBSC）は、外部メモリ空間の分割、各種のメモリ及びバスインタフェース仕様に応じた制御信号の出力などを行います。LBSC の機能によって、SRAM、ROM などを本LSIに接続することができ、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

11.1 特長

LBSC には、次のような特長があります。

- 7つに分割した外部メモリ空間のうちエリア0、4～6を管理

  エリア0、4～6の各エリアは、最大64Mバイト

  各エリアのバス幅をレジスタにより設定可能（エリア0のみ、外部端子により設定）

  $\overline{\text{RDY}}$端子によりウェイトステート挿入可能

  ウェイトステート挿入をプログラムで制御可能

  エリアごとに接続できるメモリの種類を設定可能

  各エリアに接続するメモリの制御信号を出力

  連続したメモリアクセス時におけるデータバスの衝突回避のためのウェイトサイクル自動挿入機能

  低速メモリとの接続用に書き込みサイクル時のライトストローブのセットアップタイムとホールドタイム期間を挿入可能

- SRAMインタフェース

  ウェイトステート挿入をプログラムで制御可能

  $\overline{\text{RDY}}$端子によるウェイトステート挿入

  接続可能エリア：エリア0、4～6

  設定可能バス幅：16、8ビット

- バーストROMインタフェース

  ウェイトステート挿入をプログラムで制御可能

  レジスタで設定した回数のバースト転送動作

  接続可能エリア：エリア0、4～6

  設定可能バス幅：16、8ビット

LBSC のブロック図を図11.1 に示します。

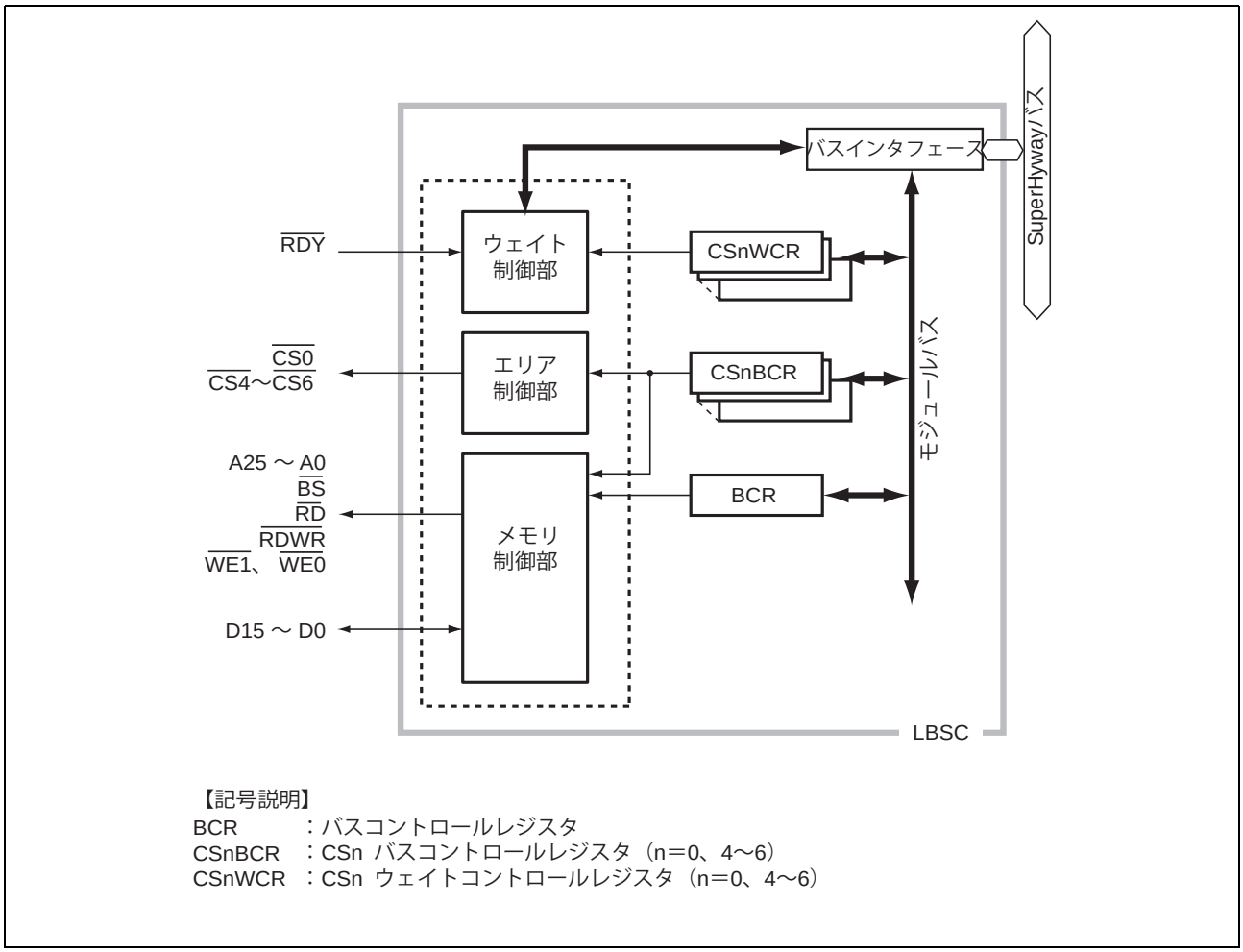


図 11.1　LBSC のブロック図

11.2 入出力端子

LBSC の端子構成を表11.1 に示します。

表11.1 端子構成

端子名	機 能	入出力	説 明
A25 ～ A0	アドレスバス	出力	アドレスバス出力端子
D15～ D0	データバス	入出力	データバス入出力端子
$\overline{BS}$	バススタート	出力	バスサイクルの開始を示します。
$\overline{CS6}$ 、$\overline{CS5}$、$\overline{CS4}$、$\overline{CS0}$	チップセレクト	出力	外部メモリ又はデバイスのためのチップセレクト信号
$\overline{RDWR}$	リード／ライト	出力	外部のデバイスに対する読み出し、書き込み状態を示します。
$\overline{RD}$	リード	出力	外部のデバイスから読み出すことを示します。
$\overline{WE0}$	ライトイネーブル0	出力	外部メモリ又はデバイスのデータのビット7～0 に書き込みすることを示します（8/16 ビットバスアクセス時）。
$\overline{WE1}$	ライトイネーブル1	出力	外部メモリ又はデバイスのデータのビット15～8 に書き込みすることを示します（16 ビットバスアクセス時）。
$\overline{RDY}$	レディ	入力	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。H レベルがサンプリングされるとウエイトステートが挿入されます。
MD3	エリア0 バス幅	入力	パワーオンリセット時、エリア0 のバス幅設定信号
MD5	エンディアン切り替え	入力	パワーオンリセット時、エンディアン設定
MD6	SPI0 ブートイネーブル	入力	H'0000 0000 ～ H'03FF FFFF が MD6=L のとき、ブートプログラムエリア（CS0 領域）として割り当てられます。 H'0000 0000 ～ H'03FF FFFF が MD6=H のとき、ILRAM 領域として割り当てられます。

11.3　エリアの概要

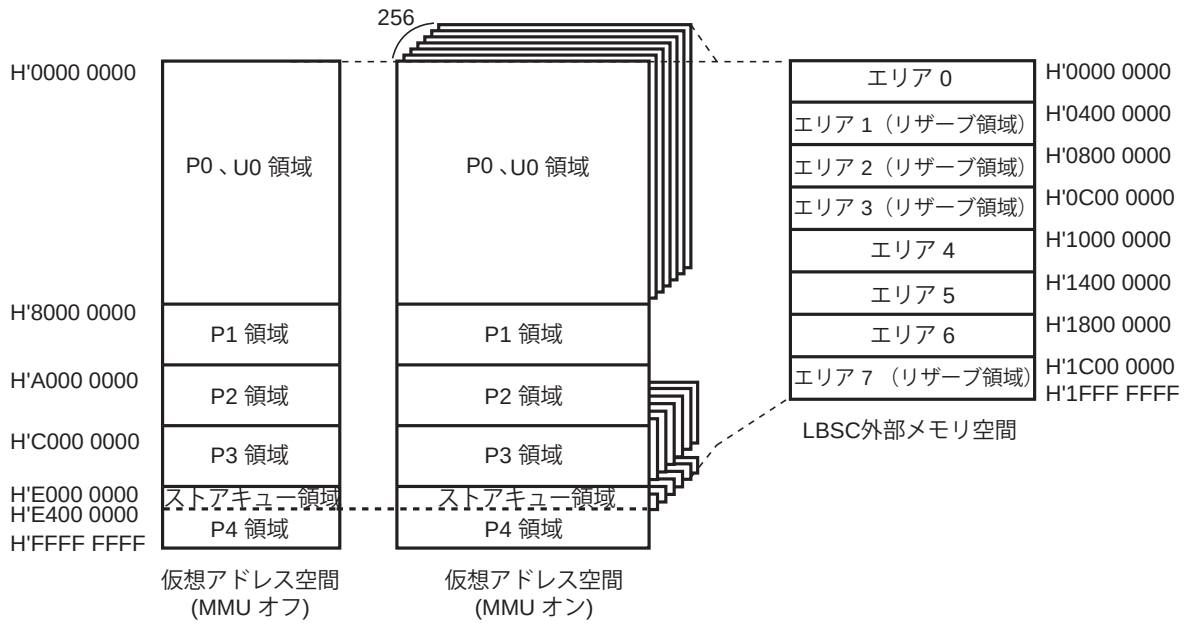
11.3.1　空間分割

本LSIは、アーキテクチャとして32ビットのアドレス空間を有しています。仮想アドレス空間は、上位側アドレスの値によって5領域（P0～P4）に分割されています。

本LSIは、物理アドレス空間としては、29ビット及び32ビット両方のアドレスモードをサポートしています。LBSCは29ビットモードをサポートします。29ビット物理アドレス空間は上位3ビットの値により8つのエリア（エリア0～7）に分割され、LBSCは、エリア0、4～6の4つのエリアを制御することができます。各エリアには外部メモリ空間として最大64Mバイトのメモリを接続することができ、LBSCは4つのエリア合計で最大256Mバイトの外部メモリ空間を制御することができます。

LBSCは表11.2に示すように4つのエリアにおのおの各種メモリを接続でき、おのおのに対応してチップセレクト信号（$\overline{CS0}$、$\overline{CS4}$～$\overline{CS6}$）を出力します。エリア0のアクセス時に$\overline{CS0}$が、エリア4～6のアクセス時に$\overline{CS4}$～$\overline{CS6}$がアサートされます。

エリア1～3、7はリザーブ領域です。エリア0は、LBSCブートモード（MD6=L）のときブートプログラムエリアとして割り当てられます。そのため、SPIブートモード（MD6=H）のときエリア0はリザーブ領域になります。



注1. MMUオフ時（MMUCR.AT＝0）には、32ビットアドレス中の上位3ビットを無視して、固定的に29ビット外部アドレスにマッピングされます。

2. MMUオン時（MMUCR.AT＝1）には、P0、U0、P3、ストアキューの各領域はTLBを用いて任意の外部アドレスにマッピングが可能です。
詳細は、「第7章　メモリマネジメントユニット（MMU）」を参照してください。

図 11.2　仮想アドレス空間とLBSC外部メモリ空間の対応

表11.2　LBSC 外部メモリ空間マップ

エリア	外部アドレス	容量	接続可能メモリ	設定可能バス幅（ビット）	アクセスサイズ（注4）
0	H'0000 0000 ～ H'03FF FFFF	64M バイト	SRAM	8、16（注1）	8/16/32 ビット、32 バイト
			バーストROM	8、16（注1）	
1（注3）	H'0400 0000 ～ H'07FF FFFF	64M バイト	—	—	—
2（注3）	H'0800 0000 ～ H'0BFF FFFF	64M バイト	—	—	—
3（注3）	H'0C00 0000 ～ H'0FFF FFFF	64M バイト	—	—	—
4	H'1000 0000 ～ H'13FF FFFF	64M バイト	SRAM	8、16（注2）	8/16/32 ビット、32バイト
			バースト ROM	8、16（注2）	
5	H'1400 0000 ～ H'17FF FFFF	64M バイト	SRAM	8、16（注2）	8/16/32 ビット、32 バイト
			バーストROM	8、16（注2）	
6	H'1800 0000 ～ H'1BFF FFFF	64M バイト	SRAM	8、16（注2）	8/16/32 ビット、32 バイト
			バーストROM	8、16（注2）	
7（注3）	H'1C00 0000 ～ H'1FFF FFFF	64M バイト	—	—	—

注1. MD3端子でメモリバス幅を指定します。
2. レジスタでメモリバス幅を指定します。
3. エリア1～3、7はリザーブ領域です。リザーブ領域にはアクセスしないでください。アクセスした場合、動作の保証はできません。
4. LBSC が8、16 バイトのアクセスをバスマスタから要求された場合、アクセスサイズ32 ビットとして、それぞれ2 回、4 回のアクセスを行います。

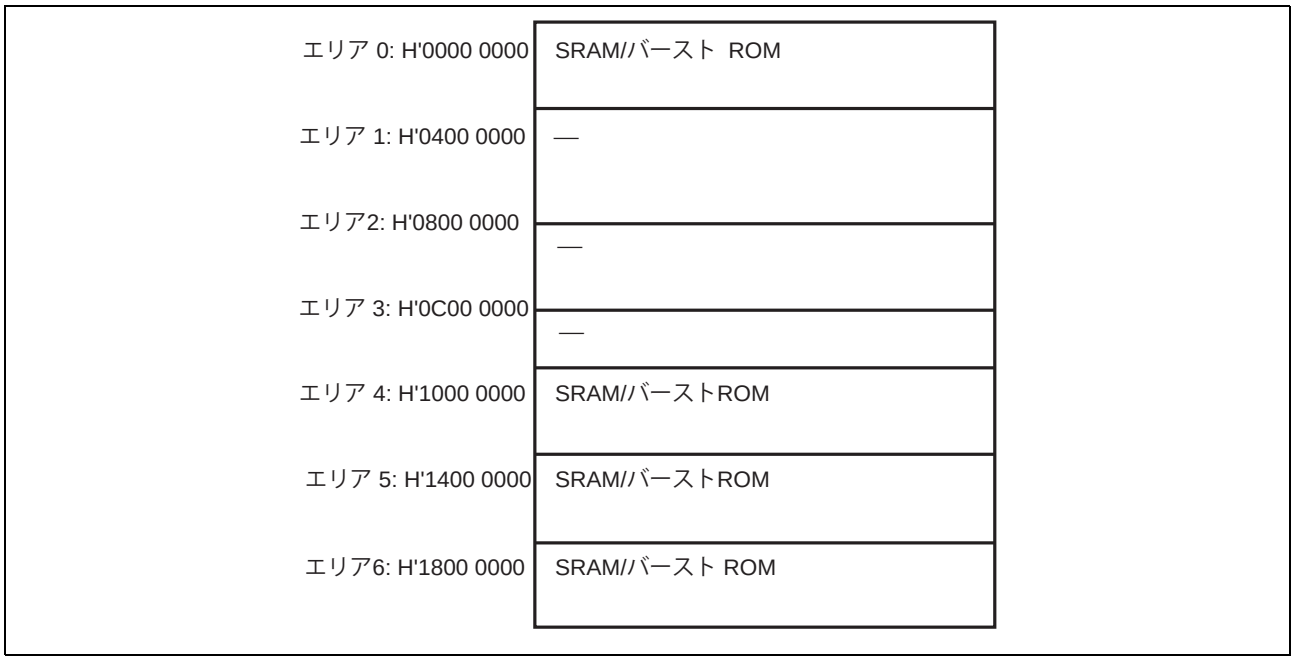


図 11.3　外部メモリ空間割り付け（29 ビットアドレスモード）

11.3.2　メモリバス幅

LBSC のメモリバス幅は、空間ごとに設定できます。エリア 0 では、$\overline{\text{PRESET}}$ 端子によるパワーオンリセット時にMD3端子を用いてバスサイズを8 ビット、16 ビットから選ぶことができます。パワーオンリセット時のMD3端子とバス幅の関係を表11.3 に示します。

表11.3　エリア0 メモリバス幅の設定

MD3	バス幅
H	8 ビット
L	16 ビット

エリア4～6 でSRAM インタフェース、ROM のいずれかを使用する場合は、CSn バスコントロールレジスタ（CSnBCR）によってバス幅を 8 ビット、16 ビットから選ぶことができます。バースト ROM を使用する場合、バス幅を8 ビット、16 ビットから選ぶことができます。

詳しくは、「11.4.2 CSnバスコントロールレジスタ（CSnBCR）」を参照してください。

11.3.3　データアライメント

本LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子（MD5）の設定で決まります。

表11.4　外部端子（MD5）とエンディアンの対応

MD5	データアライメント
L	ビッグエンディアン
H	リトルエンディアン

11.4　レジスタの説明

表 11.5 にレジスタ構成と各リセット時のレジスタ状態を示します。LBSC には表 11.5 に示すように、10 本のレジスタがあります。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステートなどの制御を行います。

指定されたビット幅で、レジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表 11.5　レジスタ構成

名 称	略称	R/W	P4 領域アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
バスコントロールレジスタ	BCR	R/W	H'FF80 1000	32	H'X000 0000 (注1)	H'X000 0000 (注1)	H'X000 0000 (注1)
CS0 バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000	32	H'7777 7X70 (注2)	H'7777 7X70 (注2)	H'7777 7X70 (注2)
CS4 バスコントロールレジスタ	CS4BCR	R/W	H'FF80 2040	32	H'7777 7570	H'7777 7570	H'7777 7570
CS5 バスコントロールレジスタ	CS5BCR	R/W	H'FF80 2050	32	H'7777 7570	H'7777 7570	H'7777 7570
CS6 バスコントロールレジスタ	CS6BCR	R/W	H'FF80 2060	32	H'7777 7570	H'7777 7570	H'7777 7570
CS0 ウェイトコントロールレジスタ	CS0WCR	R/W	H'FF80 2008	32	H'7777 770F	H'7777 770F	H'7777 770F
CS4 ウェイトコントロールレジスタ	CS4WCR	R/W	H'FF80 2048	32	H'7777 770F	H'7777 770F	H'7777 770F
CS5 ウェイトコントロールレジスタ	CS5WCR	R/W	H'FF80 2058	32	H'7777 770F	H'7777 770F	H'7777 770F
CS6 ウェイトコントロールレジスタ	CS6WCR	R/W	H'FF80 2068	32	H'7777 770F	H'7777 770F	H'7777 770F

注1.　ビット31 の値は外部端子（MD5）の設定によります。
2.　ビット8、ビット9 の値は外部端子（MD3）の設定によります。

11.4.1　バスコントロールレジスタ（BCR）

バスコントロールレジスタ（BCR）は、各エリアの機能、バスサイクルの状態等を指定します。読み出し／書き込み可能な32 ビットのレジスタです。

BCR レジスタは、パワーオンリセットで、ビッグエンディアン時には H'0000 0000、リトルエンディアン時には H'8000 0000 に初期化されますが、マニュアルリセット時には初期化されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ENDIAN	—	—	—	—	DPUP	—	OPUP	—	—	—	—	—	—	—	—
初期値：	0/1 (注)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	—	—	—	—	R/W	—	R/W	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ASYNC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

注.　ビット31（ENDIAN ビット）の初期値は外部端子（MD5）の設定によります。

ビット	ビット名	初期値	R/W	説 明
31	ENDIAN	0/1	R	エンディアンフラグ PRESET 端子によるパワーオンリセット時に、エンディアン指定の外部端子（MD5）の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。 0：パワーオンリセット時に、エンディアン設定外部端子（MD5）がL レベルであり、本LSI がビッグエンディアンとして設定されたことを示します。 1：パワーオンリセット時に、エンディアン設定外部端子（MD5）がH レベルであり、本LSI がリトルエンディアンとして設定されたことを示します。
30～27	—	0	—	リザーブビット
26	DPUP	0	R/W	データ端子プルアップ抵抗制御 データ端子（D7～D0）のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時はプルアップされません。 0：データ端子（D7～D0）のプルアップ抵抗は、メモリアクセス前後にオンになるサイクルがあります。(注) 1：データ端子（D7～D0）のプルアップ抵抗は、オフ。 注．　データ端子のプルアップが必要な場合、プルアップ抵抗を外付けすることを推奨します。
25	—	0	—	リザーブビット
24	OPUP	0	R/W	コントロール出力端子プルアップ抵抗制御 コントロール出力端子（A[25:0]、CS0、CS4～CS6、RD、WE0）のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。 0：コントロール出力端子（A[25:0]、CS0、CS4～CS6、RD、WE0）のプルアップ抵抗は、オン。 1：コントロール出力端子（A[25:0]、CS0、CS4～CS6、RD、WE0）のプルアップ抵抗は、オフ。
23～1	—	0	—	リザーブビット
0	ASYNC	0	R/W	非同期入力 RDY 端子の非同期入力を可能にします。 0：RDY 端子はCLKOUT に対する同期入力 1：RDY 端子はCLKOUT に対して非同期入力

11.4.2　CSnバスコントロールレジスタ（CSnBCR）

CSnバスコントロールレジスタ（CSnBCR、n＝0、4～6）は、エリア0、4～6のバス幅、サイクル間アイドル、バーストROMの設定、メモリタイプを指定します。読み出し／書き込み可能な32ビットのレジスタです。

メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本LSIでは、このようなデータバスが衝突する可能性がある場合に、CSnBCRレジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。サイクル間アイドル中は該当する$\overline{CS0}$、$\overline{CS4}$～$\overline{CS6}$、$\overline{RD}$、$\overline{WE0}$、$\overline{WE1}$、$\overline{BS}$は非アサート状態、$\overline{RDWR}$はHレベル状態、データは非ドライブ状態になります。

CSnBCRは、パワーオンリセットでH'7777 7570に初期化されますが、マニュアルリセット時には初期化されません。CS0BCRのみ、MD3 = Hのとき H'7777 7570に、MD3 = Lのとき H'7777 7670に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IWW			—	IWRWD			—	IWRWS			—	IWRRD		
初期値：	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W：	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IWRRS			BST		SZ		RDSPL	BW			—	TYPE		
初期値：	0	1	1	1	0	1	0	1	0	1	1	1	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W (注)	R/W (注)	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

注．CS0BCRのSZはリードのみ可能です。

ビット	ビット名	初期値	R/W	説 明
31	—	0	—	リザーブビット
30 ～ 28	IWW	111	R/W	ライト-リード／ライト-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト-リードサイクルとライト-ライトサイクルの場合です。詳細については、「11.5.5 アクセスサイクル間ウェイト」の項を参照してください。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：3アイドルサイクル挿入 100：4アイドルサイクル挿入 101：5アイドルサイクル挿入 110：6アイドルサイクル挿入 111：7アイドルサイクル挿入
27	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
26 ～ 24	IWRWD	111	R/W	別空間リード-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.5 アクセスサイクル間ウェイト」の項を参照してください。 000：アイドルサイクルなし 001：1 アイドルサイクル挿入 010：2 アイドルサイクル挿入 011：3 アイドルサイクル挿入 100：4 アイドルサイクル挿入 101：5 アイドルサイクル挿入 110：6 アイドルサイクル挿入 111：7 アイドルサイクル挿入
23	—	0	—	リザーブビット
22～ 20	IWRWS	111	R/W	同一空間リード-ライトサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.5 アクセスサイクル間ウェイト」の項を参照してください。 000：アイドルサイクルなし 001：1 アイドルサイクル挿入 010：2 アイドルサイクル挿入 011：3 アイドルサイクル挿入 100：4 アイドルサイクル挿入 101：5 アイドルサイクル挿入 110：6 アイドルサイクル挿入 111：7 アイドルサイクル挿入
19	—	0	—	リザーブビット
18 ～ 16	IWRRD	111	R/W	別空間リード-リードサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-リードサイクルの場合です。詳細については、「11.5.5 アクセスサイクル間ウェイト」の項を参照してください。 000：アイドルサイクルなし 001：1 アイドルサイクル挿入 010：2 アイドルサイクル挿入 011：3 アイドルサイクル挿入 100：4 アイドルサイクル挿入 101：5 アイドルサイクル挿入 110：6 アイドルサイクル挿入 111：7 アイドルサイクル挿入
15	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
14～12	IWRRS	111	R/W	同一空間リード-リードサイクル間アイドル 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-リードサイクルの場合です。詳細については、「11.5.5 アクセスサイクル間ウェイト」の項を参照してください。 000：アイドルサイクルなし 001：1 アイドルサイクル挿入 010：2 アイドルサイクル挿入 011：3 アイドルサイクル挿入 100：4 アイドルサイクル挿入 101：5 アイドルサイクル挿入 110：6 アイドルサイクル挿入 111：7 アイドルサイクル挿入
11、10	BST	01	R/W	バースト回数 バーストROM インタフェースを使用する場合の、バースト回数を指定します。 00：4 連続アクセス（バス幅8、16 ビット時、いずれでも使用可） 01：8 連続アクセス（バス幅8、16 ビット時、いずれでも使用可） 10：16 連続アクセス（バス幅8、16 ビット時、いずれでも使用可） 11：32 連続アクセス（バス幅8 ビット時のみ使用可）
9、8	SZ	（注）	R	【CS0BCR】 01：8ビット幅(MD3＝H) 10：16ビット幅(MD3＝L)
		01	R/W	【CS4BCR～CS6BCR】 01：8ビット幅 10：16ビット幅 上記以外：設定禁止
7	RDSPL	0	R/W	$\overline{\text{RD}}$ ホールドサイクル $\overline{\text{RD}}$ のリードデータサンプルタイミングに対するホールド時間に挿入されるサイクル数を指定します。このビットを1に設定するときは、CSnWCR レジスタのRDH ビットで設定するRD ネゲート－CSn ネゲート遅延サイクルを1以上に設定してください。またこのビットを1 に設定することにより、RDネゲート－CSn ネゲート遅延サイクルは1 サイクル減ります（SRAM インタフェース設定時のみ有効）。 0：なし 1：1 サイクル挿入
6～4	BW	111	R/W	バーストピッチ バーストROM インタフェースを使用時のバースト転送における、第2 データアクセス以降に挿入される挿入ウェイト数を指定します。 000：挿入ウェイトステートなし、$\overline{\text{RDY}}$ 端子無視 001：1 ウェイトステート挿入、$\overline{\text{RDY}}$ 端子イネーブル 010：2 ウェイトステート挿入、$\overline{\text{RDY}}$ 端子イネーブル 011：3 ウェイトステート挿入、$\overline{\text{RDY}}$ 端子イネーブル 100：4 ウェイトステート挿入、$\overline{\text{RDY}}$ 端子イネーブル 101：5 ウェイトステート挿入、$\overline{\text{RDY}}$ 端子イネーブル 110：6 ウェイトステート挿入、$\overline{\text{RDY}}$ 端子イネーブル 111：7 ウェイトステート挿入、$\overline{\text{RDY}}$ 端子イネーブル
3	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
2 ～ 0	TYPE	000	R/W	メモリタイプ指定 空間に接続するメモリのタイプを指定します。 000：SRAM（初期値） 001：設定禁止 010：バーストROM（リード時バースト、ライト時SRAM） 011：設定禁止 100：設定禁止 101：設定禁止 110：設定禁止 111：設定禁止

注.　CS0BCR レジスタ のSZビットの初期値は、パワーオンリセット後のMD3端子の入力レベルに依存します。MD3=Lのとき10、MD3=Hのとき01）です。

11.4.3　CSnウェイトコントロールレジスタ（CSnWCR）

CSn ウェイトコントロールレジスタ（CSnWCR、n＝0、4～6）は、読み出し／書き込み可能な32 ビットのレジスタで、エリア0、4～6 の挿入ウェイトステート数、バーストメモリアクセスを行う場合のデータアクセスのピッチ数、アドレスから読み出し／書き込みストローブのアサートまでのセットアップ時間、書き込みストローブのネゲートからのデータホールド時間の挿入サイクルを指定します。

CSnWCR レジスタは、パワーオンリセットで H'7777 770F に初期化されますが、マニュアルリセット時には初期化されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ADS			—	ADH			—	RDS			—	RDH		
初期値：	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W：	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	WTS			—	WTH			—	BSH			IW[3:0]			
初期値：	0	1	1	1	0	1	1	1	0	0	0	0	1	1	1	1
R/W：	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	—	0	—	リザーブビット
30 ～ 28	ADS	111	R/W	アドレスセットアップサイクル アドレスのCSn アサートに対するセットアップ時間に挿入されるサイクル数を指定します。 000：サイクル挿入なし 001：1 サイクル挿入 010：2 サイクル挿入 011：3 サイクル挿入 100：4 サイクル挿入 101：5 サイクル挿入 110：6 サイクル挿入 111：7 サイクル挿入

ビット	ビット名	初期値	R/W	説 明
27	—	0	—	リザーブビット
26 ～ 24	ADH	111	R/W	アドレスホールドサイクル アドレスのCSnネゲートに対するホールド時間に挿入されるサイクル数を指定します。 000：サイクル挿入なし 001：1サイクル挿入 010：2サイクル挿入 011：3サイクル挿入 100：4サイクル挿入 101：5サイクル挿入 110：6サイクル挿入 111：7サイクル挿入
23	—	0	—	リザーブビット
22～ 20	RDS	111	R/W	RD セットアップサイクル（CSn アサート -RD アサート遅延サイクル） CSn アサートからRD アサートに挿入されるサイクル数を指定します。 000：サイクル挿入なし 001：1サイクル挿入 010：2サイクル挿入 011：3サイクル挿入 100：4サイクル挿入 101：5サイクル挿入 110：6サイクル挿入 111：7サイクル挿入
19	—	0	—	リザーブビット
18 ～ 16	RDH	111	R/W	RD ホールドサイクル（RD ネゲート -CSｎ ネゲート遅延サイクル） RD ネゲートからCSn ネゲートに挿入されるサイクル数を指定します。 000：サイクル挿入なし 001：1サイクル挿入 010：2サイクル挿入 011：3サイクル挿入 100：4サイクル挿入 101：5サイクル挿入 110：6サイクル挿入 111：7サイクル挿入
15	—	0	—	リザーブビット
14 ～ 12	WTS	111	R/W	WE セットアップサイクル（CSn アサート -WE アサート遅延サイクル） WE ネゲートからCSn ネゲートに挿入されるサイクル数を指定します。 000：サイクル挿入なし 001：1サイクル挿入 010：2サイクル挿入 011：3サイクル挿入 100：4サイクル挿入 101：5サイクル挿入 110：6サイクル挿入 111：7サイクル挿入

ビット	ビット名	初期値	R/W	説 明
11	—	0	—	リザーブビット
10 ～ 8	WTH	111	R/W	WE ホールドサイクル（WE ネゲート -CSｎ ネゲート遅延サイクル） WE ネゲートからCSn ネゲートに挿入されるサイクル数を指定します。 000：サイクル挿入なし 001：1 サイクル挿入 010：2 サイクル挿入 011：3 サイクル挿入 100：4 サイクル挿入 101：5 サイクル挿入 110：6 サイクル挿入 111：7 サイクル挿入
7	—	0	—	リザーブビット
6～ 4	BSH	000	R/W	BS ホールドサイクル BS のアサートのサイクル数を指定します。このビットの設定により、アクセスの総サイクル数は変わりません。また、CSn アサート -RD／WE アサート遅延サイクル（RDS 、WTSの設定）が1 以上に設定されているとき有効です。 000：BS アサートは1 サイクル 001：BS アサートは2 サイクル 010：設定禁止 011：設定禁止 100：設定禁止 101：設定禁止 110：設定禁止 111：設定禁止
3～ 0	IW[3:0]	1111	R/W	挿入ウェイトサイクル 挿入ウェイトサイクル数を指定します。 RDY 端子による外部ウェイト挿入はサイクル挿入なしのときにはできません。 0000：サイクル挿入なし　1000：8 サイクル挿入 0001：1 サイクル挿入　1001：9 サイクル挿入 0010：2 サイクル挿入　1010：11 サイクル挿入 0011：3 サイクル挿入　1011：13 サイクル挿入 0100：4 サイクル挿入　1100：15 サイクル挿入 0101：5 サイクル挿入　1101：17 サイクル挿入 0110：6 サイクル挿入　1110：21 サイクル挿入 0111：7 サイクル挿入　1111 ：25 サイクル挿入

11.5　動作説明

11.5.1　エンディアン／アクセスサイズとデータアライメント

本LSIでは、バイトデータの並び方を上位バイトが0番地側になるビッグエンディアン、下位バイトが0番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子（MD5端子）で$\overline{\text{PRESET}}$端子によるパワーオンリセット時に設定します。$\overline{\text{PRESET}}$端子によるパワーオンリセット時、MD5端子がLレベルのときビッグエンディアンになり、MD5端子がHレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては8ビット、16ビット幅の2種類から選べます。データのアライメントは、各デバイスのデータバス幅及びエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。たとえばSRAMインタフェースで8ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを1ずつインクリメントして、4回アクセスを行います。また、32バイト転送時は、設定したバス幅に従い合計32バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは32バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の開放は行いません。本LSIでは、それぞれのインタフェース間で、データのアライメント及びデータ長の変換を自動的に行います。

8、16バイト転送時は、それぞれ4バイト2回、4バイト4回としてアクセスを行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表11.6～表11.9に示します。

表11.6　16ビット外部デバイス／ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス		ストローブ信号	
アクセスサイズ	アドレス		D15～D8	D7～D0	$\overline{\text{WE1}}$	$\overline{\text{WE0}}$
バイト	2n	1	データ7～0	—	アサート	ネゲート
	2n + 1	1	—	データ7～0	ネゲート	アサート
ワード	2n	1	データ15～8	データ7～0	アサート	アサート
ロングワード	4n	1	データ31～24	データ23～16	アサート	アサート
	4n + 2	2	データ15～8	データ7～0	アサート	アサート

表11.7　8 ビット外部デバイス／ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス		ストローブ信号	
アクセスサイズ	アドレス		D15 ～ D8	D7 ～ D0	$\overline{WE1}$	$\overline{WE0}$
バイト	n	1	—	データ 7 ～ 0	ネゲート	アサート
ワード	2n	1	—	データ 15 ～ 8	ネゲート	アサート
	2n + 1	2	—	データ 7 ～ 0	ネゲート	アサート
ロングワード	4n	1		データ 31 ～ 24	ネゲート	アサート
	4n + 1	2	—	データ 23 ～16	ネゲート	アサート
	4n + 2	3	—	データ 15 ～ 8	ネゲート	アサート
	4n + 3	4	—	データ 7 ～ 0	ネゲート	アサート

表11.8　16 ビット外部デバイス／リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス		ストローブ信号	
アクセスサイズ	アドレス		D15 ～ D8	D7 ～ D0	$\overline{WE1}$	$\overline{WE0}$
バイト	2n	1	—	データ 7 ～ 0	ネゲート	アサート
	2n + 1	1	データ 7 ～ 0	—	アサート	ネゲート
ワード	2n	1	データ 15 ～ 8	データ 7 ～ 0	アサート	アサート
ロングワード	4n	1	データ 15 ～ 8	データ 7 ～ 0	アサート	アサート
	4n + 2	2	データ 31 ～ 24	データ 23 ～16	アサート	アサート

表11.9　8 ビット外部デバイス／リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス		ストローブ信号	
アクセスサイズ	アドレス		D15 ～ D8	D7 ～ D0	$\overline{WE1}$	$\overline{WE0}$
バイト	n	1	—	データ 7 ～ 0	ネゲート	アサート
ワード	2n	1	—	データ 7 ～ 0	ネゲート	アサート
	2n + 1	2	—	データ 15 ～ 8	ネゲート	アサート
ロングワード	4n	1	—	データ 7 ～ 0	ネゲート	アサート
	4n + 1	2	—	データ 15 ～ 8	ネゲート	アサート
	4n + 2	3	—	データ 23 ～16	ネゲート	アサート
	4n + 3	4	—	データ 31 ～ 24	ネゲート	アサート

11.5.2　エリアの説明

(1)　エリア0

エリア0は、物理アドレスのビット28～26が000のエリアです。

このエリアに設定できるインタフェースは、SRAM、バーストROMです。

バス幅は、外部端子のMD3によりパワーオンリセット時に、8ビット、16ビットから選べます。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア0をアクセスするとCS0信号がアサートされます。

SRAMインタフェースを設定している場合、OEとして使用できるRD信号や書き込み制御のWE0、WE1がアサートされます。

バスサイクル数は、CS0WCRレジスタにより挿入ウェイトサイクル数を0～25から選択することができます。

バーストROMインタフェースを使用する場合、BWビット（CS0BCRレジスタ のビット6～4）によりバーストピッチを0～7から選ぶことができます。

また、外部ウェイト端子（RDY）により、バスサイクルごとに任意のウェイトを挿入することができます（挿入サイクル数が0の時は、RDY信号は無視されます）。

バーストROMインタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が2～9の範囲で決まります。

アドレス信号のセットアップ／ホールドサイクル、リード／ライトストローブ信号アサート／ネゲートのCS0アサート／ネゲートに対する遅延サイクルは、CS0WCRレジスタより、0～7サイクルに設定することができます。

また、リード／ライトストローブセットアップウェイトが1以上のときにはBSホールドサイクルを0～1サイクルの範囲で設定できます。

(2)　エリア4

エリア4は、物理アドレスのビット28～26が100のエリアです。

このエリアに設定できるインタフェースは、SRAM、バーストROMです。

バス幅は、SZビット（CS4BCRレジスタのビット9、8）により8ビット、16ビットから選べます。詳細は、「11.3.2 メモリバス幅」を参照してください。

エリア4をアクセスするとCS4信号がアサートされます。

SRAMインタフェースを設定している場合、OEとして使用できるRD信号や書き込み制御のWE0、WE1がアサートされます。

バスサイクル数は、CS4WCRレジスタにより挿入ウェイトサイクル数を0～25から選択することができます。

バーストROMインタフェースを使用する場合、CS4BCRレジスタのBWビットによりバーストピッチを0～7から選ぶことができます。

また、外部ウェイト端子（RDY）により、バスサイクルごとに任意のウェイトを挿入することができます（挿入サイクル数が0の時は、RDY信号は無視されます）。

アドレス信号のセットアップ／ホールドサイクル、リード／ライトストローブ信号アサート／ネゲートのCS4アサート／ネゲートに対する遅延サイクルは、CS4WCRレジスタより、0～7サイクルに設定することができます。

また、リード／ライトストローブセットアップウェイトが1以上のときにはBSホールドサイクルを0～1の範囲で設定できます。

(3)　エリア5

エリア5は、物理アドレスのビット28～26が101のエリアです。

このエリアに設定できるインタフェースは、SRAM、バーストROMです。

バス幅は、CS5BCRレジスタのSZビットにより8ビット、16ビットから選べます。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア5をアクセスするとCS5信号がアサートされます。

SRAMインタフェースを設定している場合、OEとして使用できるRD信号や書き込み制御のWE0、WE1がアサートされます。

バスサイクル数は、CS5WCRレジスタにより挿入ウェイトサイクル数を0～25から選択することができます。

バーストROMインタフェースを使用する場合、CS5BCRレジスタのBWビットによりバーストピッチを0～7から選ぶことができます。

また外部ウェイト端子（RDY）により、バスサイクルごとに任意のウェイトを挿入することができます（挿入サイクル数が0の時は、RDY信号は無視されます）。

アドレス信号のセットアップ／ホールドサイクル、リード／ライトストローブ信号アサート／ネゲートのCS5アサート／ネゲートに対する遅延サイクルは、CS5WCRレジスタより、0～7サイクルに設定することができます。

また、リード／ライトストローブセットアップウェイトが1以上のときにはBSホールドサイクルを0～1の範囲で設定できます。

(4) エリア6

エリア6は、物理アドレスのビット28～26が110のエリアです。

このエリアに設定できるインタフェースは、SRAM、バーストROMです。

バス幅は、CS6BCRレジスタのSZビットにより8ビット、16ビットから選べます。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア6をアクセスするとCS6信号がアサートされます。

SRAMインタフェースを設定している場合、OEとして使用できるRD信号や書き込み制御のWE0、WE1がアサートされます。

バスサイクル数は、CS6BCRレジスタにより挿入ウェイトサイクル数を0～25から選択することができます。

バーストROMインタフェースを使用する場合、CS5BCRレジスタのBWビットによりバーストピッチを0～7から選ぶことができます。

また、外部ウェイト端子（RDY）により、バスサイクルごとに任意のウェイトを挿入することができます（挿入サイクル数が0のときは、RDY信号は無視されます）。

アドレス信号のセットアップ／ホールドサイクル、リード／ライトストローブ信号アサート／ネゲートのCS6アサート／ネゲートに対する遅延サイクルは、CS6WCRレジスタより、0～7サイクルに設定することができます。

また、リード／ライトストローブセットアップウェイトが1以上のときにはBSホールドサイクルを0～1の範囲で設定できます。

11.5.3　SRAM インタフェース

(1)　基本タイミング

本LSI のSRAMインタフェースは、主にSRAMの接続を考慮してストローブ信号を出力します。図11.4にSRAMインタフェースの基本タイミングを示します。ウェイトのない通常アクセスは2 サイクルで終了します。$\overline{\text{BS}}$ 信号はバスサイクルの開始を表すため、1 サイクル又は2 サイクルアサートされます。$\overline{\text{CSn}}$ 信号は、T1 の立ち上がりでアサートされT2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは、読み出し時は指定がありません。アドレス端子（A[25:0]）に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、16 ビットデバイスでは16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの $\overline{\text{WEn}}$ 信号のみがアサートされます。詳細は「11.5.1 エンディアン／アクセスサイズとデータアライメント」を参照してください。

32 バイト転送時は、設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは32 バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

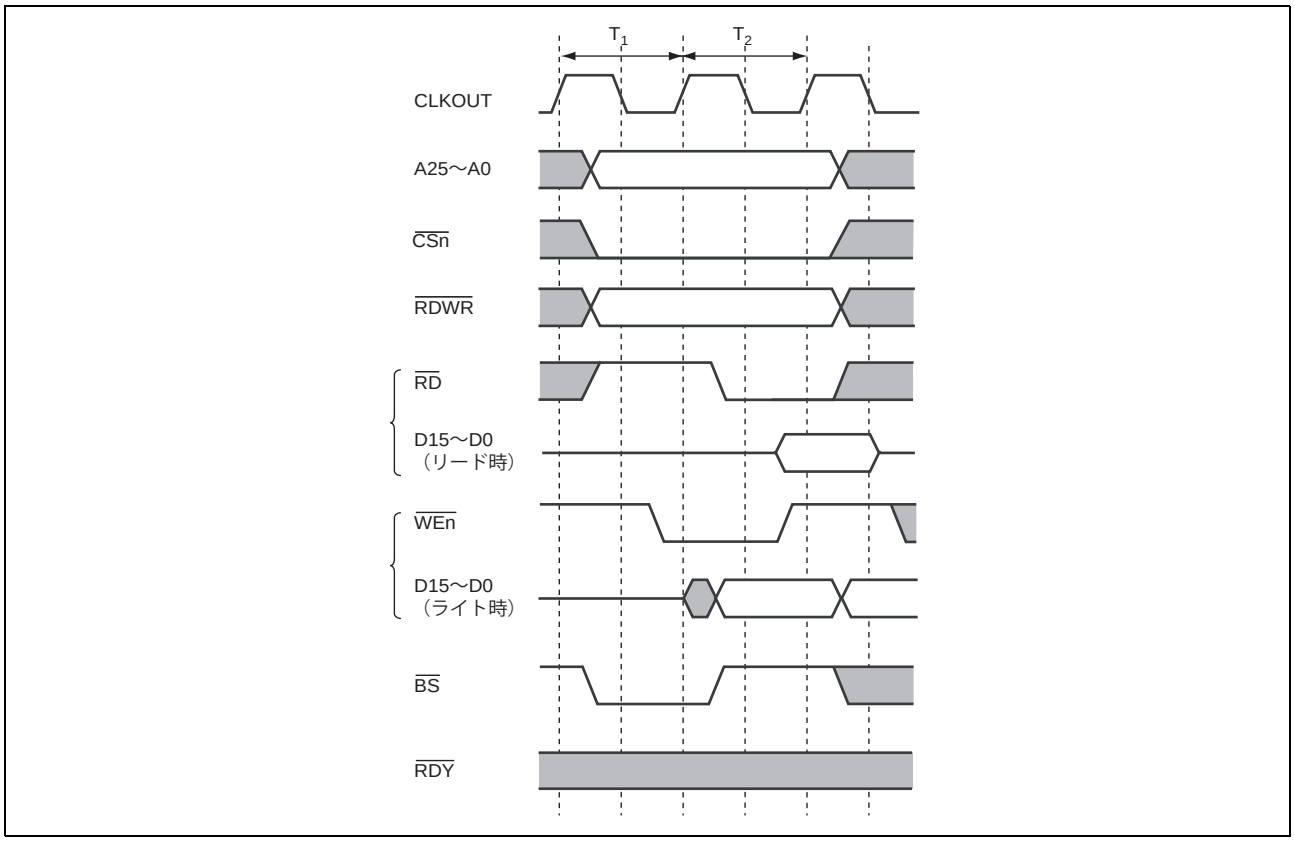


図 11.4　SRAM インタフェースの基本タイミング

図11.5 に16 ビットデータ幅のSRAM との接続例を、図11.6 に8 ビットデータ幅のSRAM との接続例を示します。

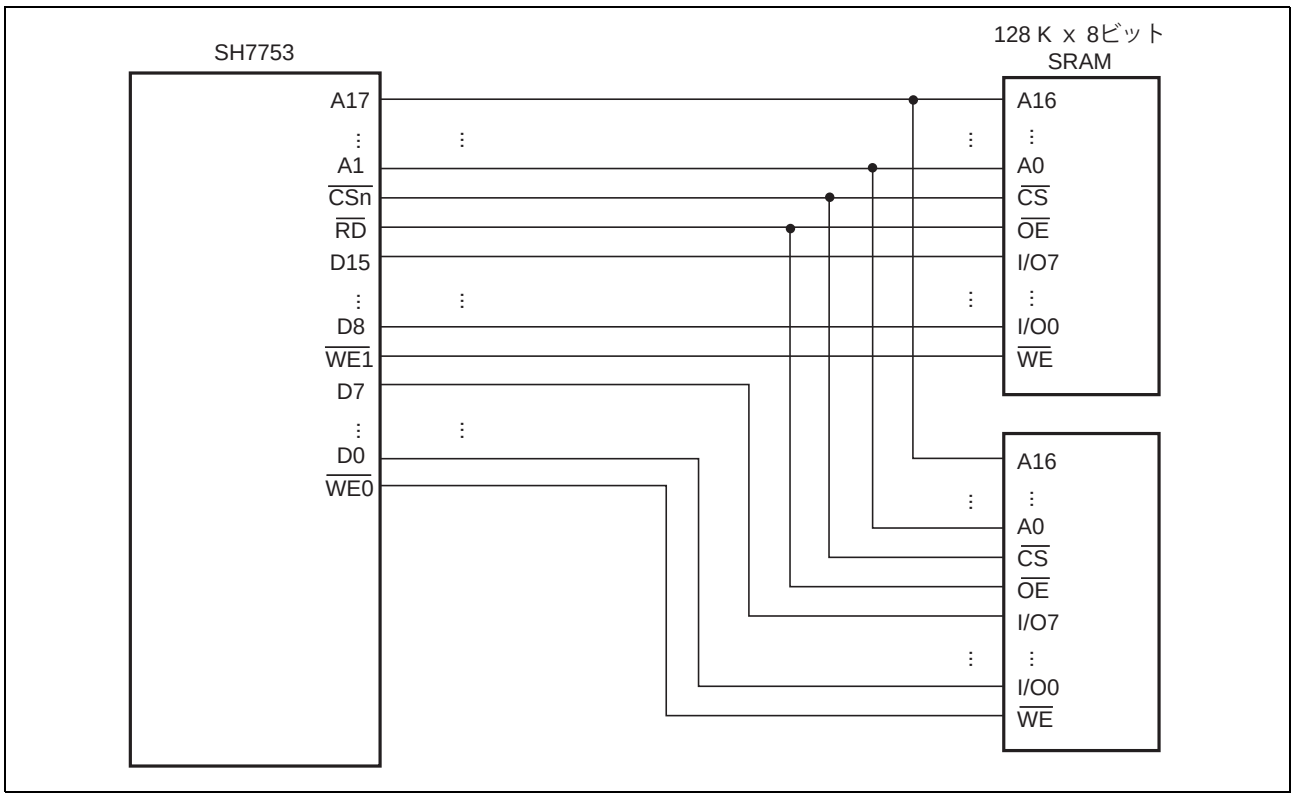


図 11.5　16 ビットデータ幅SRAM 接続例

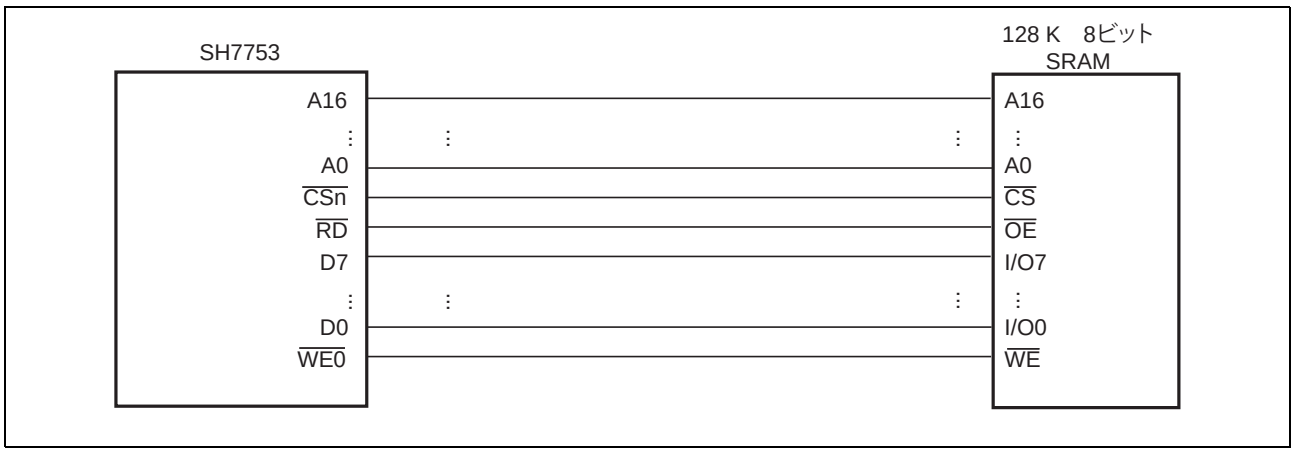


図 11.6　8 ビットデータ幅SRAM 接続例

(2)　ウェイトステート制御

CSnWCR の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。IW ビット（CSnWCR レジスタのビット3～0）が0 以外のときは、このウェイト指定に従ったソフトウェイトが挿入されます。詳細は「11.4.3 CSn ウェイトコントロールレジスタ（CSnWCR）」の項を参照してください。

CSnWCR によって、図11.7 に示すSRAM インタフェースのウェイトタイミングで、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

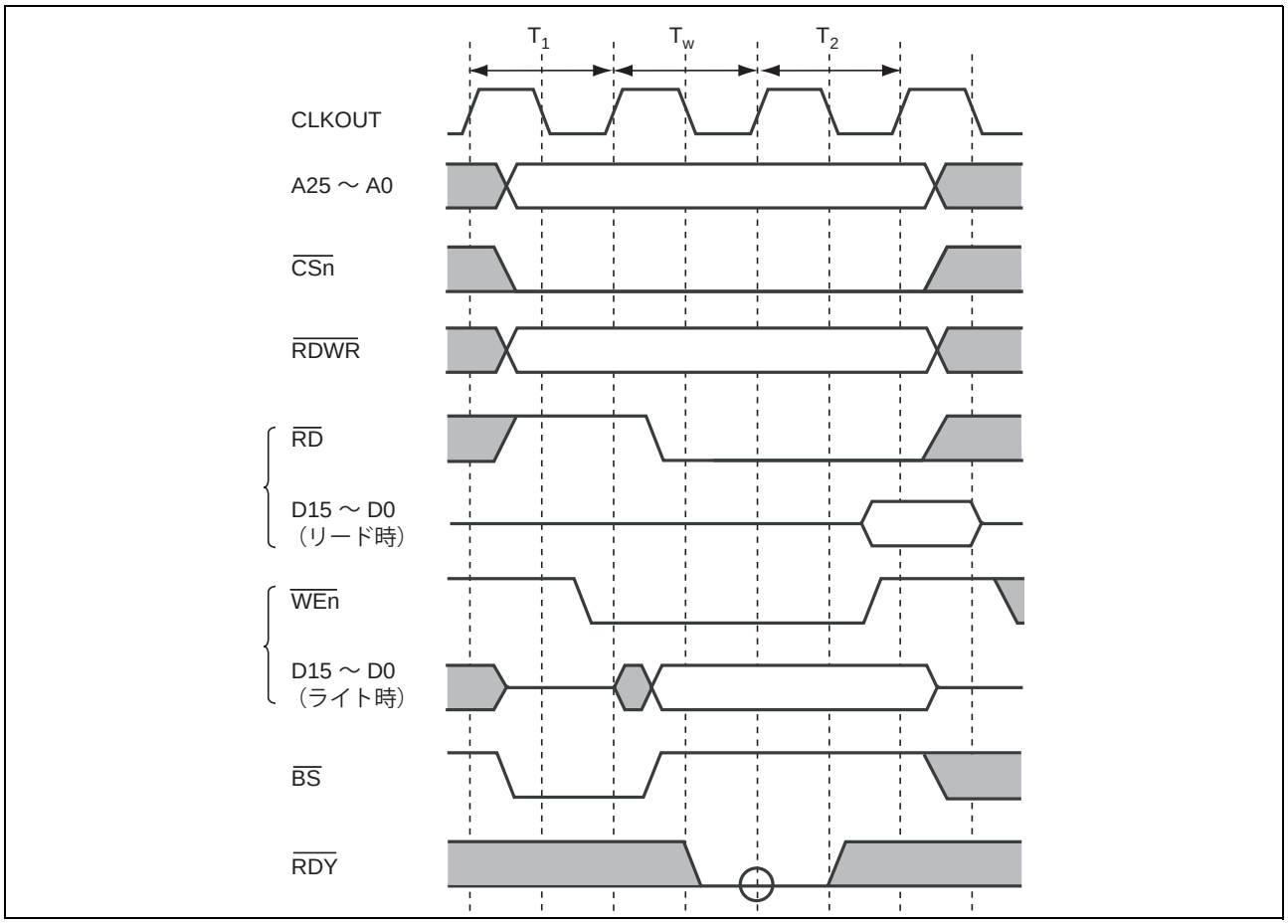


図 11.7　SRAM インタフェースのウェイトタイミング（ソフトウェアウェイトのみ）

CSnWCR によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力 RDY 信号もサンプリングされます。RDY 信号のサンプリングを図 11.8 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは Tw ステートから T2 ステートに移行する際に行われるので、T1 のサイクル及び 1 回目の Tw サイクルで RDY 信号を H レベルにしてもなにも影響を与えません。RDY 信号はクロックの立ち上がりでサンプリングされます。

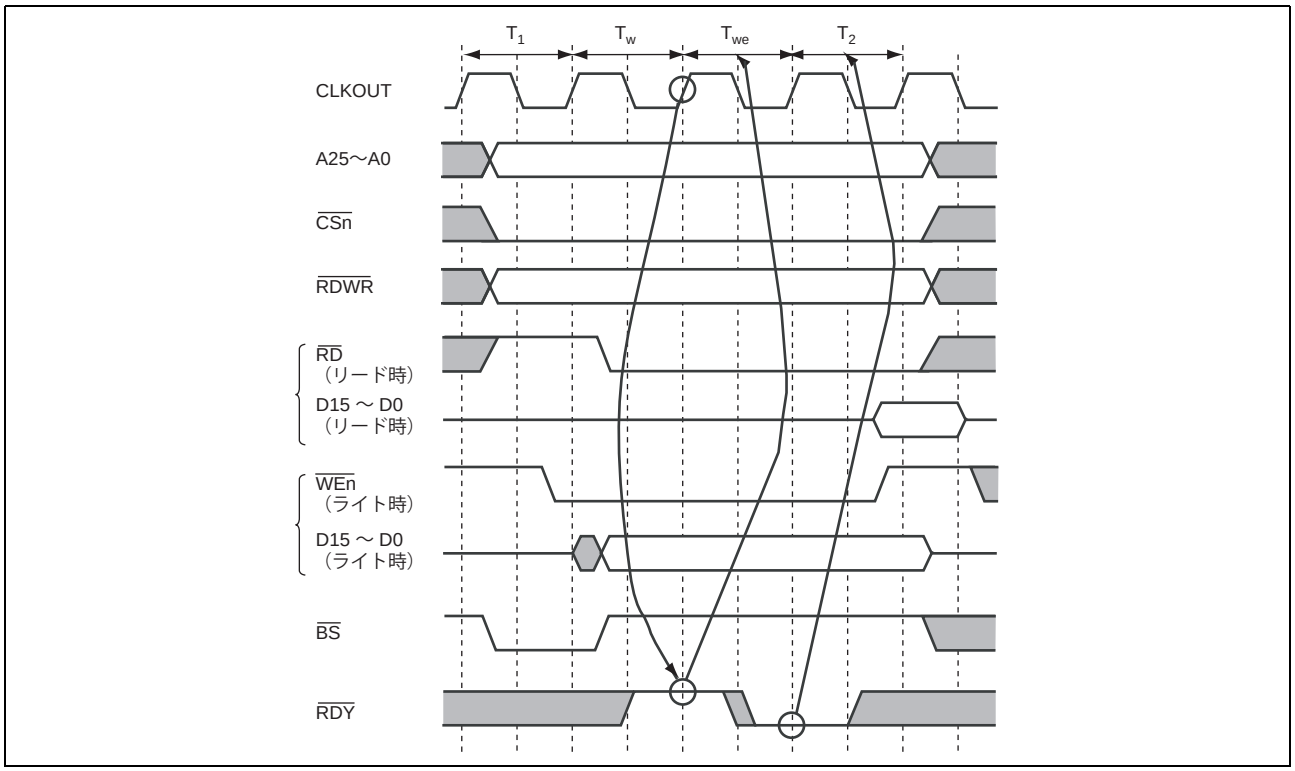
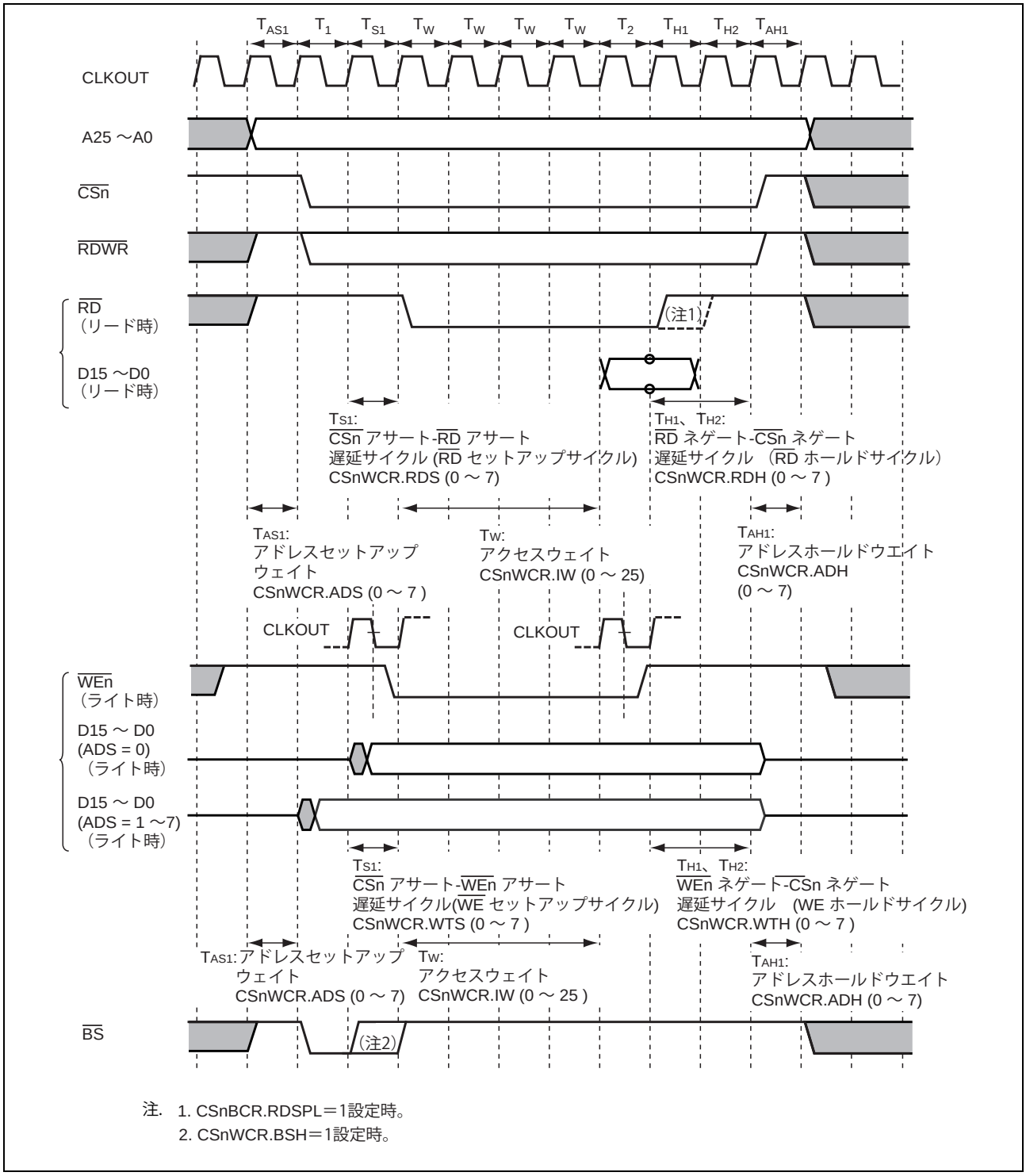


図 11.8　SRAM インタフェースのウェイトタイミング
（RDY 信号によるウェイトステート（T_{we}）挿入、RDY 信号は同期入力）

(3)　リードストローブネゲートタイミング

SRAM インタフェース時、RDSPL ビット（CSnBCR レジスタ のビット 7）の設定により、リード時のストローブのネゲートタイミングを設定することができます。設定については「11.4.2 CSn バスコントロールレジスタ（CSnBCR）」のレジスタの項を参照してください。



注. 1. CSnBCR.RDSPL＝1設定時。
2. CSnWCR.BSH＝1設定時。

図 11.9　SRAM インタフェースのウェイトタイミング
（リードストローブネゲートタイミングの設定）

11.5.4　バーストROM インタフェース

TYPE ビット（CSnBCR レジスタのビット2～0）を010 に設定することにより、エリア0、4～6 にバーストROMの接続が可能となります。バーストROM インタフェースは、バーストアクセス機能を有するROM に高速にアクセスするためのものです。バーストROM に対するバーストアクセスのタイミングを図11.10 に示します。ウェイトサイクルは0 サイクルの設定です。基本的にはSRAM インタフェースと同じようなアクセスを行いますが、最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅のROM を接続する場合にはBST ビット（CSnBCR(n=0、４～６）レジスタのビット11、10）によって連続アクセスの回数を4 回、8 回、16回、32 回に設定できます。16 ビット幅のROM を接続する場合には同じく4 回、8 回、16 回に設定できます。

ウェイトステートを1 以上に設定した場合、常に$\overline{\text{RDY}}$ 端子のサンプリングを行います。

バーストROM の設定を行い、ウェイト指定を0 にした場合も2 回目以降のアクセスサイクルは2 サイクルとなります。この場合のタイミングを図11.11 に示します。

バーストROM インタフェースに対するライト動作は、SRAM インタフェースと同様に行われます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは32 バイト境界のデータに対して行われます。また、バス幅（CSnBCR レジスタのSZ ビット）とバースト回数（CSnBCR レジスタのBST ビット）を掛けたバイト境界でバーストを一旦中止し（$\overline{\text{RD}}$ をネゲート）、その後CSnWCR の設定に従い再開します。この途中ではバス権を解放しません。

バーストROM の設定を行い、CSnWCR でセットアップ／ホールドを指定した場合のタイミングを図11.12 に示します。

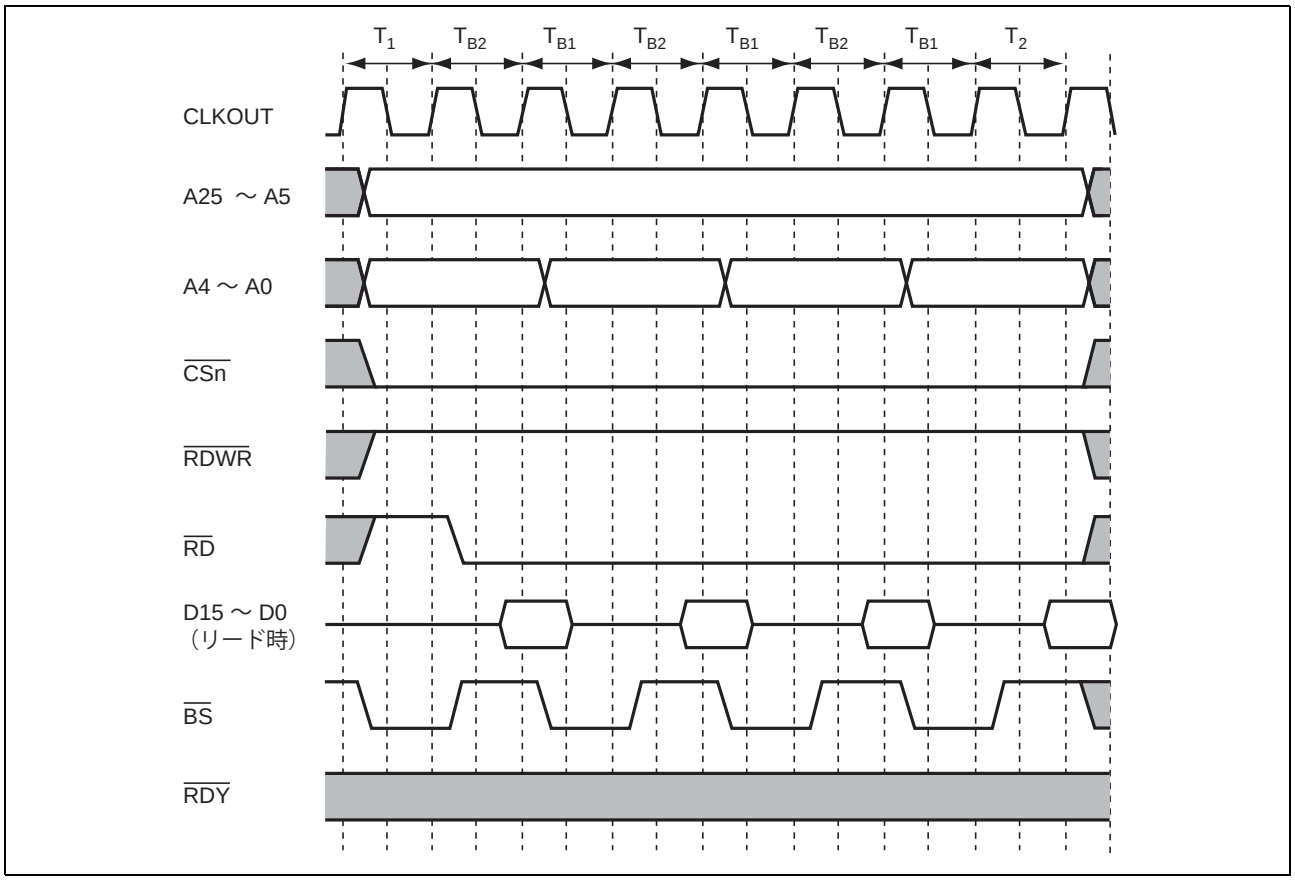


図 11.10　バーストROM 基本アクセスタイミング

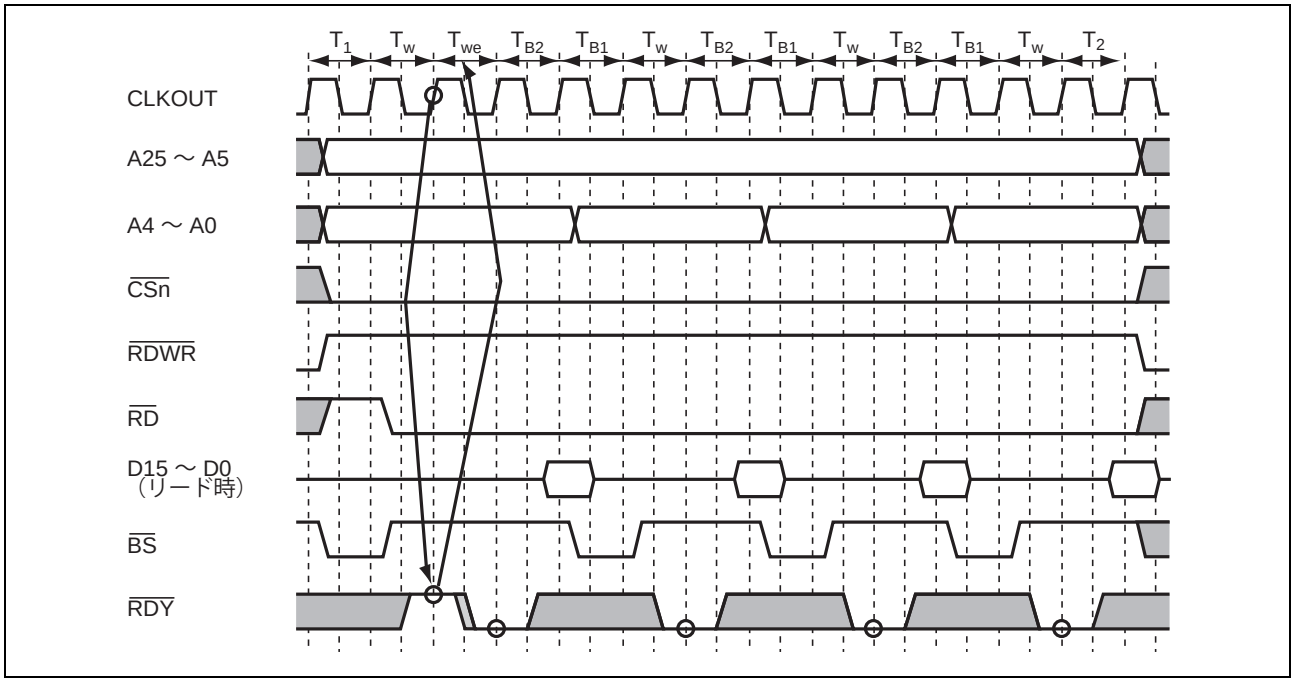
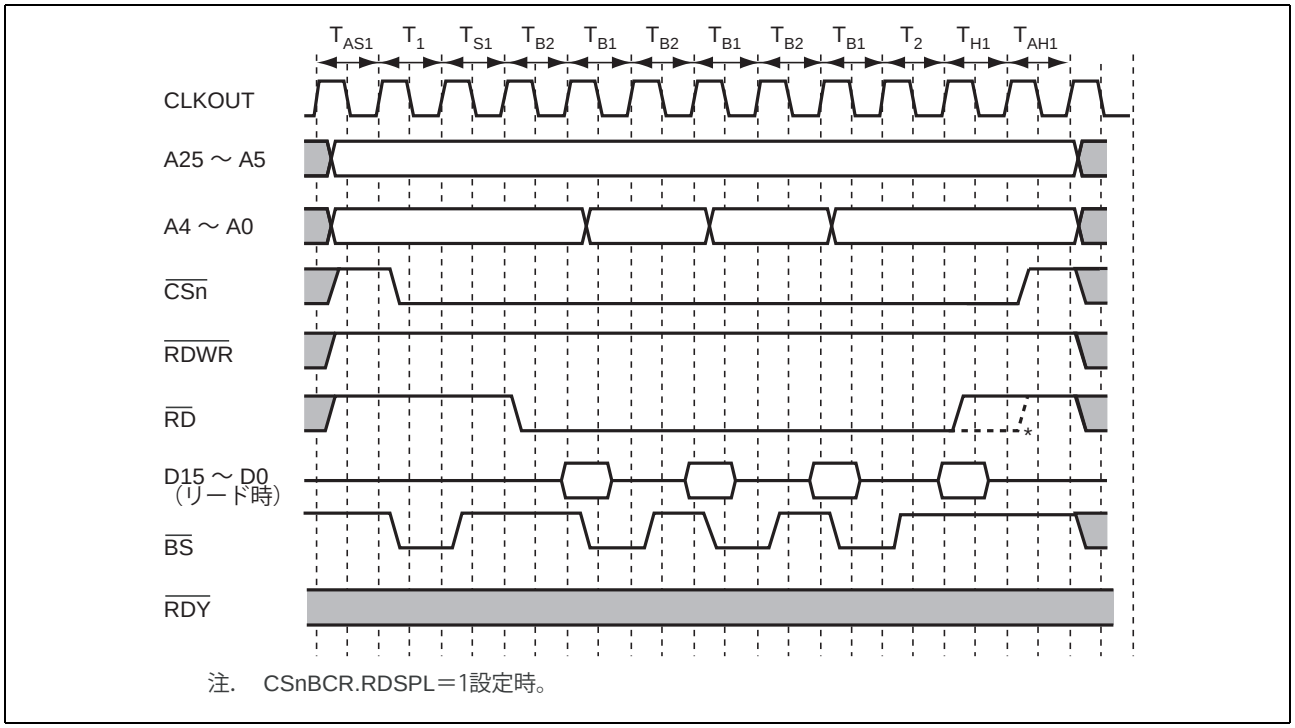


図 11.11　バーストROM ウェイトタイミング



注.　CSnBCR.RDSPL＝1設定時。

図 11.12　バーストROM ウェイトタイミング

11.5.5　アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こしたりする事象が起こる場合があります。これを防止するため、直前のアクセスのエリアと読み出し／書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「11.4.2 CSnバスコントロールレジスタ（CSnBCR）」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。CSnBCRのアイドルサイクル設定ビット（IWW、IWRWD、IWRWS、IWRRD、及びIWRRSビット）（n＝0、4～6）によって、少なくとも指定されたサイクルを、アイドルサイクルとして挿入します。

バスアービトレーションを行う場合には、アクセスサイクル間ウェイト後、バスが解放されます。

DMA転送の場合にも、CSnBCRアイドルサイクル指定ビットによって指定された通常のサイクル間ウェイトが挿入されます。

また、アクセスサイズが8バイト及び16バイトのときは、4バイトアクセスごとにアクセスサイクル間ウェイトが挿入されます。

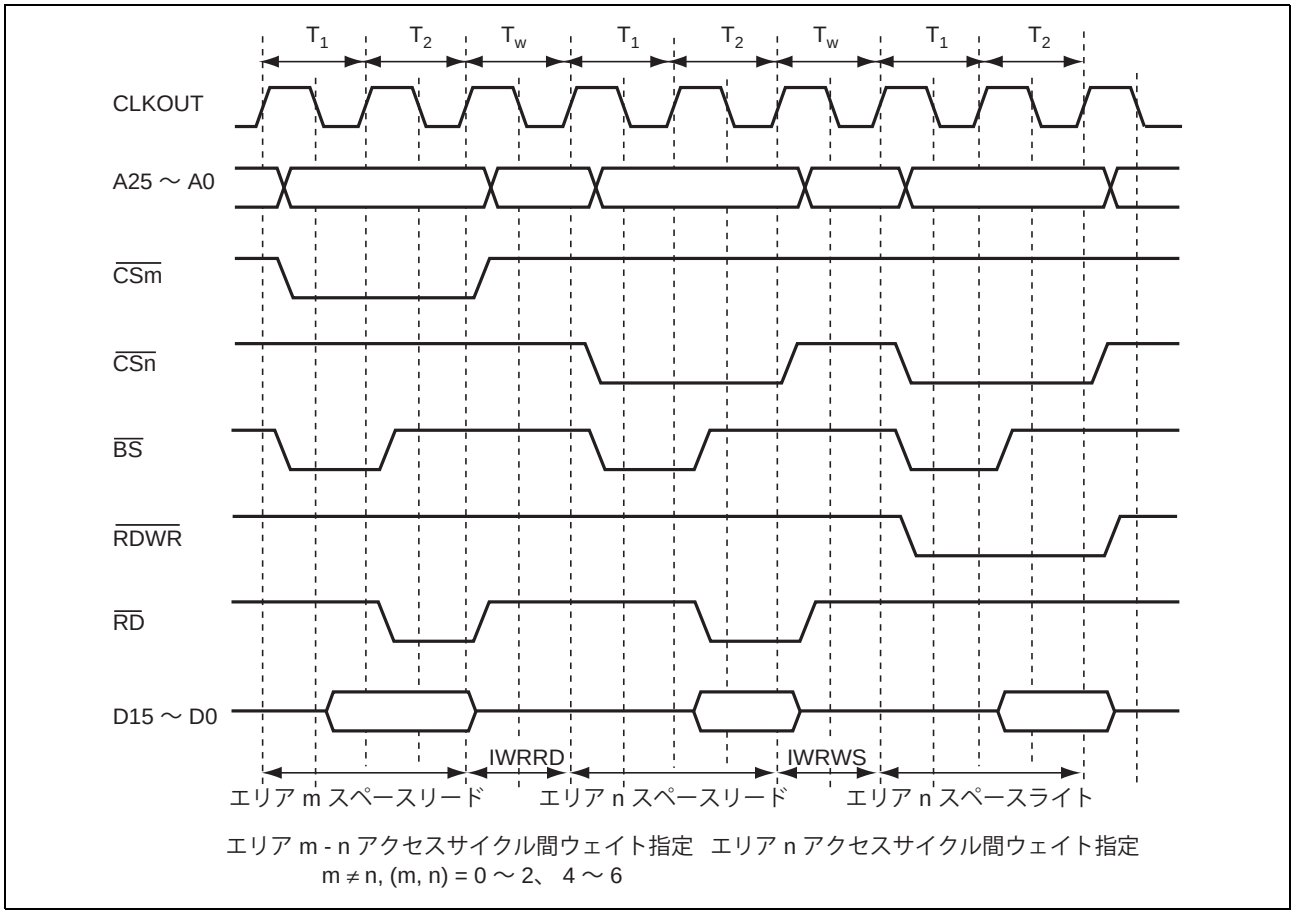


図 11.13　アクセスサイクル間ウェイト

11.5.6　バスアービトレーション

本LSI の内部にはCPU、DMAC の2 つのバスマスタがあります。同時に要求が発生した場合のバス権要求に関しての優先順位判定は、高い方から順に、DMAC、CPU の順となります。

バス権の委譲はバスサイクルの切れ目で行われます。

ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、たとえば8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中のリードサイクルとライトサイクルの間やDMA 転送実行時バスロックしているときのリードサイクルとライトサイクルの間にもバス権の解放を行いません。

CPU は、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI 内部の他のバスマスタがバスを使用していても、キャッシュメモリからの読み出しを行うことができます。CPU からの書き込みの場合、本LSI のキャッシュでライトスルー方式を設定した場合又は、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

12. DDR3-SDRAMインタフェース（DBSC3）

12.1 概要

12.1.1 特長

DDR3-SDRAM インタフェース（DBSC3）は、バス制御部、デバイス制御部及びレジスタ制御部で構成されます。バス制御部では SHwy バスからの要求を受け、デバイス制御部やレジスタ制御部に対してコマンドを発行します。デバイス制御部では発行されたコマンドに従って、DDR3-SDRAM へのリード・ライトアクセスを実施します。また、DDR3-SDRAM のリフレッシュも行います。レジスタ制御部では発行されたコマンドに従って制御レジスタへのリード・ライトアクセスを実施します。

DBSC3 は、以下のような機能により、DDR3-SDRAM のバス帯域を最大限に活用できます。

(1) マルチバンクオペレーションによるページヒット率の向上
(2) バースト長8 でDDR3-SDRAM を動作させることによるSDRAM コマンド数の削減
(3) 後続リクエストに対するバンクプリチャージ・アクティベートコマンドの先行実行

表 12.1 にDBSC3 の主な機能を示します。

表12.1 DBSC3 機能

項目	機能
マルチバンクオペレーション	8 バンクに対応
バンク数	8 バンク（DDR3）
外部バス幅	16bit
先行プリチャージ・アクティベート機能	リクエストキュー内の後続リクエスト内容を判定し、ページミス時に、空きコマンドサイクルを見つけて、アクセス対象バンクの先行プリチャージ・アクティベート処理を実施
動作モード	バースト長：8（固定）（バーストチョップ非対応） バーストタイプ：シーケンシャル（固定） DLL OFF モード非対応
低消費電力モード	セルフリフレッシュモード、プリチャージドパワーダウンモード及びアクティブパワーダウンモードをサポート 低電力モードとアドレス変換機能を併用することにより、SDRAM のパーシャルアレイセルフリフレッシュ機能を効果的に使用できる
アドレス並び （アドレス変換機能）	上位から、ランクアドレス、ロウアドレス、バンクアドレス、カラムアドレスの順（バンクアドレスは、3 ビットを2 つの部分に分けて、ロウアドレスの上位半分と下位半分に配置できる。バンクアドレスの分割の仕方はレジスタで設定可能）
タイミング設定	以下のタイミングをレジスタで設定： CAS レイテンシ、CAS ライトレイテンシ、ACT-READ/WRITE 最小期間、PRE 期間、ACT-ACT/REF 最小期間、ACT-PRE 最小期間、ACT(A)-ACT(B)最小期間、4Active ウィンドウ最小期間、READ-PRE 最小期間、ライトリカバリ期間、READ-WRITE 最小期間、WRITE-READ 最小期間、REF-ACT/REF(バンク毎)最小期間、CKE-Hi 最小期間、CKE-Low 最小期間 アディティブレイテンシ（AL）は0 のみをサポート
リフレッシュ動作	平均間隔、及び最大ポスト数をレジスタで設定 リクエストの空きサイクルがあれば、先行リフレッシュ動作を実施 オールバンクリフレッシュをサポート
自動パワーダウン動作	一定時間内にメモリアクセスがない場合は自動でパワーダウンモードに入ります。パワーダウンモードに入るまでの時間はレジスタで設定

項目	機能
DDR3-SDRAM キャリブレーション	自動キャリブレーション機能サポート（DDR3-SDRAM及びLPDDR2） ・自動リフレッシュ後にキャリブレーションを実行 ・キャリブレーション実行頻度は自動リフレッシュ回数を単位としてレジスタ設定 ・自動リフレッシュからキャリブレーションまでの間隔及びキャリブレーションから自動リフレッシュまでの間隔をレジスタで設定可能
SHwyインタフェース	バス幅：64ビット pdreq/pdack：対応（ただし、リセット中のpdreqは非対応） エンディアン：ビッグエンディアン/リトルエンディアン SHwyバスは下記のトランザクションをサポートします。 ・1/2/4/8/16/32 バイトのロード／ストア ・1/2/4/8/16/32 バイトのロード／ストアグループ ・1/2/4/8/16/32/64/128 バイトのロード／ストアインクリメント 、NOP なお、ロード／ストアグループはロード／ストアと同一に扱います。 注． レジスタ領域へのアクセスはロード4／ストア4のみをサポート。
動作周波数（DDRck）	528MHz （SHwyクロック（SHck＝192MHz）とは非同期）
接続対象メモリ	JEDEC JESD79-3準拠 （512M～8Gビット、バス幅8ビット又は16ビット
接続マスタポート数	SHwyポート: 1

本章ではDDR3-SDRAM を略してSDRAM と書く場合があります。また、以下の記号、用語を使用します。

ceil(x)　：実数x以上の最小の整数

floor(x)　：実数x以下の最大の整数

サイクル数：M_CLKから出力されるDDR3_SDRAM用クロックのサイクル数で示す

12.1.2　ブロック図

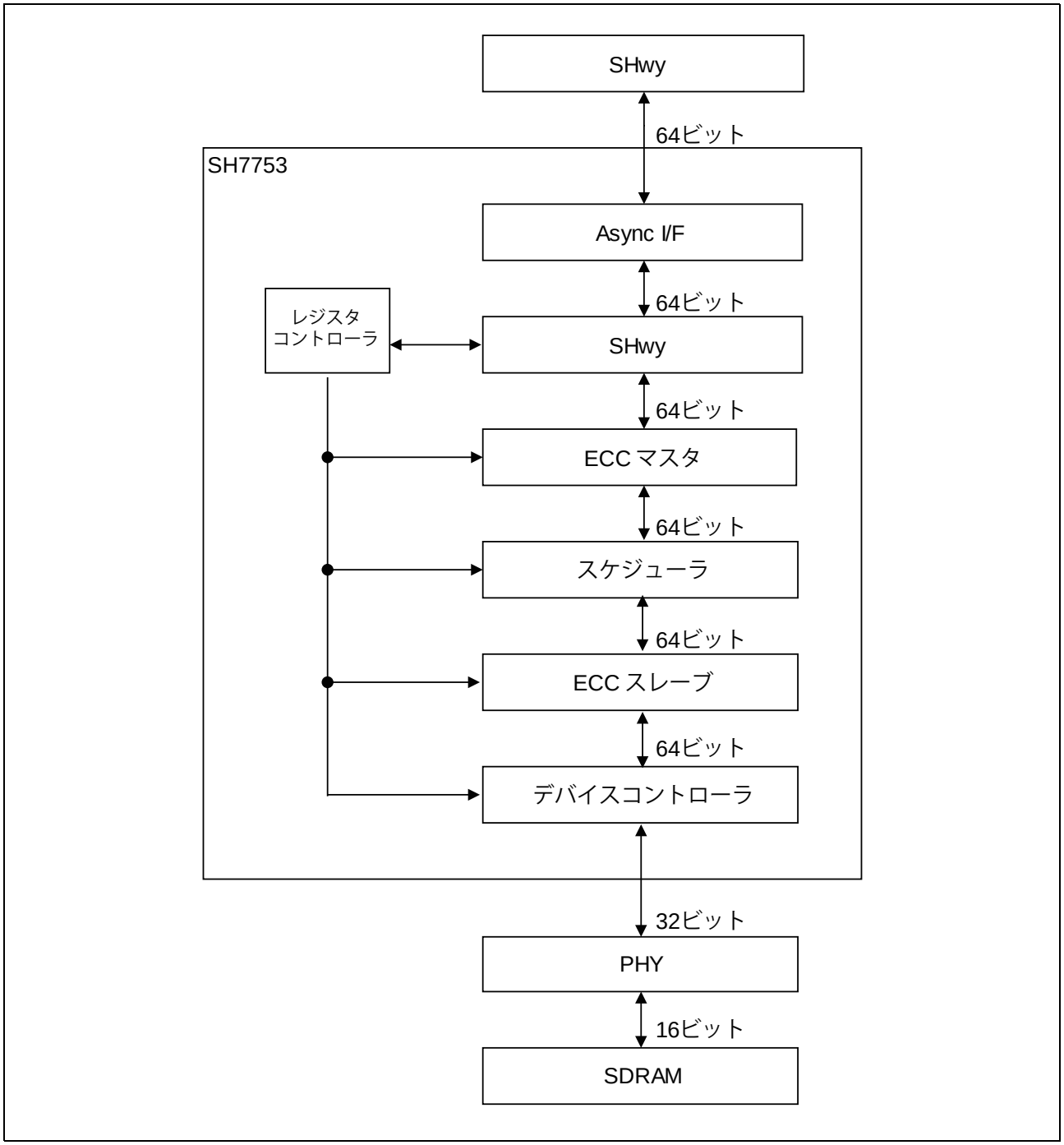


図 12.1　DBSC3 ブロック図

12.1.3　入出力端子

表12.2にDBSC3の端子構成を記載します。

表12.2　DBSC3 端子構成

端子名	機 能	入出力	説 明
M_CLK、$\overline{\text{M_CLK}}$	DDR3 クロック	出力	DDR3-SDRAM用クロック出力（差動信号）
M_A15～M_A0	DDR3 アドレスバス	出力	DDR3-SDRAMアドレス信号
M_BA2～M_BA0	DDR3 バンクアクティブ	出力	DDR3-SDRAM バンクアドレス
$\overline{\text{M_CS}}$	DDR3 チップセレクト	出力	DDR3-SDRAM チップセレクト信号
$\overline{\text{M_RAS}}$	DDR3 ロウアドレスストローブ	出力	DDR3-SDRAM ロウアドレスストローブ信号
$\overline{\text{M_CAS}}$	DDR3 カラムアドレスストローブ	出力	DDR3-SDRAM カラムアドレスストローブ信号
$\overline{\text{M_WE}}$	DDR3 ライトイネーブル	出力	DDR3-SDRAM ライトイネーブル信号
M_CKE	DDR3 クロックイネーブル	出力	クロックイネーブル信号
M_ODT	DDR3 ODTイネーブル	出力	DDR3-SDRAM ODT イネーブル信号
$\overline{\text{M_RESET}}$	DDR3 リセット	出力	DDR3-SDRAMリセット信号
M_ZQ	DDR3 インピーダンスマッチング	入出力	インピーダンスマッチング
M_DM1、M_DM0	DDR3 データマスク	出力	DDR3-SDRAM データマスク信号
$\underline{\text{M_DQS1}}$、$\underline{\text{M_DQS0}}$、M_DQS1、M_DQS0	DDR3 データストローブ	入出力	DDR3-SDRAM データストローブ信号（差動信号）
M_DQ15～M_DQ0	DDR3 データバス	入出力	データ入出力信号
M_VREF_CA	テスト用 DDR3 基準電圧入力	入力	グランドに接続してください
M_VREF_DQ	DDR3 基準電圧入力	入力	基準電圧入力（VDDQ-DDRの半分）

12.1.4　M_ZQ端子用外部抵抗値

M_ZQ端子は120Ω（誤差±1%）を介してGNDに接続してください。

12.2　データアライメント

12.2.1　DDR3-SDRAM でのデータアライメント

DBSC3は、DDR3-SDRAM をバースト長8 でアクセス（図12.2）するため、表12.3 に示すように、アクセスサイズに応じて、不要なリードデータは読み捨て、ライト時にはデータマスク信号を使いデータをマスクします。表 12.3 の回数は、図 12.2 に示すライト／リード時のバースト回数に対応しています。例えばリトルエンディアン時、アドレス 8n+4,5 に対してバイトアクセスが生じた場合には、2 回目のアクセス（M_DQS の立ち下がりエッジ）時に有効データが存在することになります。

表12.4、表12.5 に、アクセスサイズとデータアライメントを示します。エンディアンは、パワーオンリセット時のMD5端子の入力レベルで設定します。

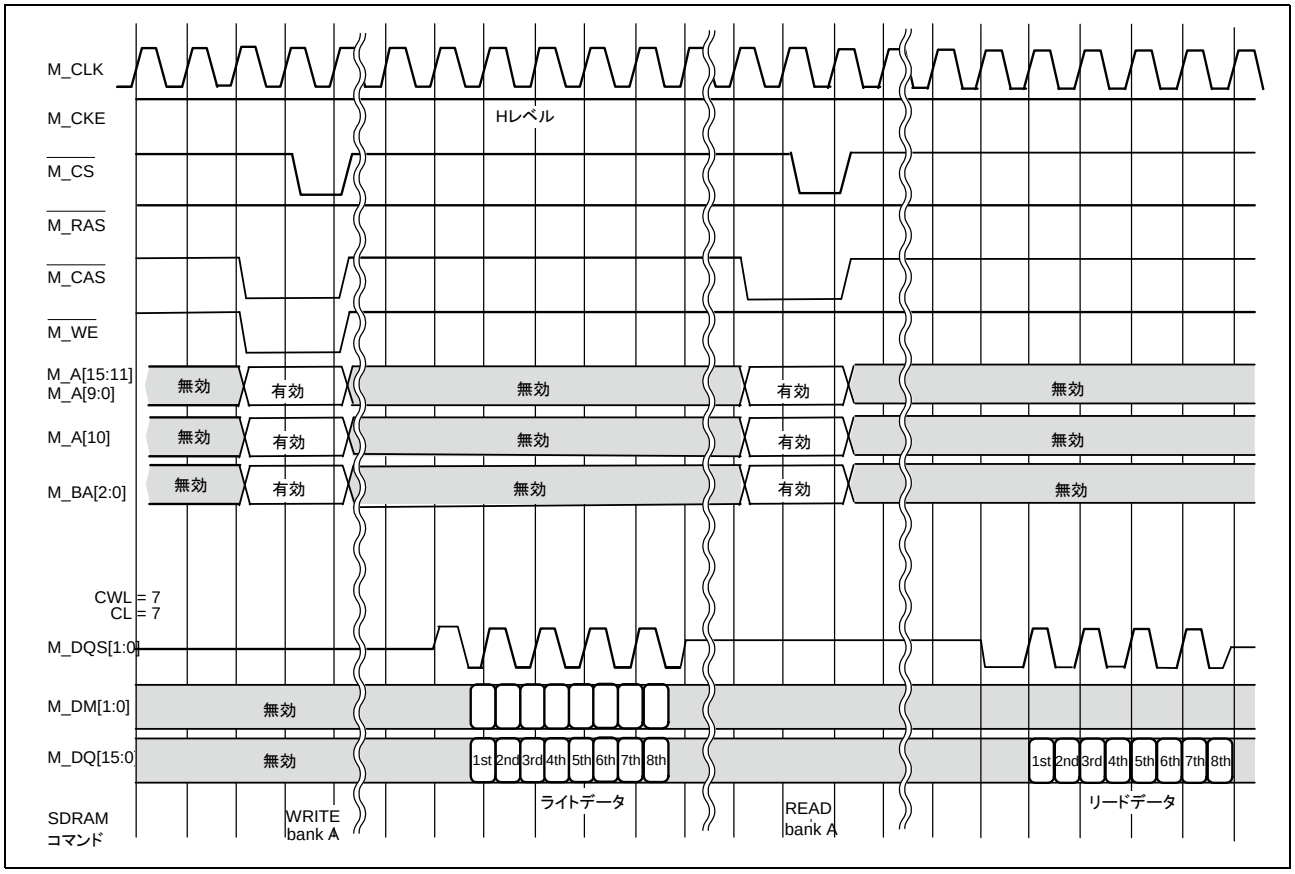


図 12.2　バーストアクセス動作

表12.3　バースト長8 のアクセス内で有効なデータが存在する位置

リトルエンディアン時	1 回目	2 回目	3 回目	4 回目	5 回目	6 回目	7 回目	8 回目
バイトアクセス (アドレス 8n + 0,1)	無効	無効	無効	有効	無効	無効	無効	無効
バイトアクセス (アドレス 8n + 2,3)	無効	無効	有効	無効	無効	無効	無効	無効
バイトアクセス (アドレス 8n + 4,5)	無効	有効	無効	無効	無効	無効	無効	無効
バイトアクセス (アドレス 8n + 6,7)	有効	無効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 0)	無効	無効	無効	有効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 2)	無効	無効	有効	無効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 4)	無効	有効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 6)	有効	無効	無効	無効	無効	無効	無効	無効
ロングワードアクセス (アドレス 8n + 0)	無効	無効	有効	有効	無効	無効	無効	無効
ロングワードアクセス (アドレス 8n + 4)	有効	有効	無効	無効	無効	無効	無効	無効
クワッドワードアクセス (アドレス 8n + 0)	有効	有効	有効	有効	無効	無効	無効	無効

ビッグエンディアン時	1 回目	2 回目	3 回目	4 回目	5 回目	6 回目	7 回目	8 回目
バイトアクセス (アドレス 8n + 0,1)	有効	無効	無効	無効	無効	無効	無効	無効
バイトアクセス (アドレス 8n + 2,3)	無効	有効	無効	無効	無効	無効	無効	無効
バイトアクセス (アドレス 8n + 4,5)	無効	無効	有効	無効	無効	無効	無効	無効
バイトアクセス (アドレス 8n + 6,7)	無効	無効	無効	有効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 0)	有効	無効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 2)	無効	有効	無効	無効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 4)	無効	無効	有効	無効	無効	無効	無効	無効
ワードアクセス (アドレス 8n + 6)	無効	無効	無効	有効	無効	無効	無効	無効
ロングワードアクセス (アドレス 8n + 0)	有効	有効	無効	無効	無効	無効	無効	無効
ロングワードアクセス (アドレス 8n + 4)	無効	無効	有効	有効	無効	無効	無効	無効
クワッドワードアクセス (アドレス 8n + 0)	有効	有効	有効	有効	無効	無効	無効	無効

表12.4　アクセスサイズとデータアライメント（リトルエンディアン時）

アクセスサイズ	アドレス	M_DQ15～M_DQ8	M_DQ7～M_DQ0
バイト	0 番地		データ7～0
	1 番地	データ7～0	
	2 番地		データ7～0
	3 番地	データ7～0	
	4 番地		データ7～0
	5 番地	データ7～0	
	6 番地		データ7～0
	7 番地	データ7～0	
ワード	0 番地	データ 15～8	データ 7～0
	2 番地	データ 15～8	データ 7～0
	4 番地	データ 15～8	データ 7～0
	6 番地	データ 15～8	データ 7～0
ロングワード	0 番地(1回目：2 番地)	データ 31～24	データ 23～16
	0 番地(2回目：0 番地)	データ 15～8	データ 7～0
	4 番地(1回目：6 番地)	データ 31～24	データ 23～16
	4 番地(2回目：4 番地)	データ 15～8	データ 7～0
クワッドワード	0 番地(1回目：6 番地)	データ 63～56	データ 55～48
	0 番地(2回目：4 番地)	データ 47～40	データ 39～32
	0 番地(3回目：2 番地)	データ 31～24	データ 23～16
	0 番地(4回目：0 番地)	データ 15～8	データ 7～0

表12.5　アクセスサイズとデータアライメント（ビッグエンディアン時）

アクセスサイズ	アドレス	M_DQ15～M_DQ8	M_DQ7～M_DQ0
バイト	0 番地	データ 7～0	
	1 番地		データ 7～0
	2 番地	データ 7～0	
	3 番地		データ 7～0
	4 番地	データ 7～0	
	5 番地		データ 7～0
	6 番地	データ 7～0	
	7 番地		データ 7～0
ワード	0 番地	データ 15～8	データ 7～0
	2 番地	データ 15～8	データ 7～0
	4 番地	データ 15～8	データ 7～0
	6 番地	データ 15～8	データ 7～0
ロングワード	0 番地(1回目：0 番地)	データ 31～24	データ 23～16
	0 番地(2回目：2 番地)	データ 15～8	データ 7～0
	4 番地(1回目：4 番地)	データ 31～24	データ 23～16
	4 番地(2回目：6 番地)	データ 15～8	データ 7～0
クワッドワード	0 番地(1回目：0 番地)	データ 63～56	データ 55～48
	0 番地(2回目：2 番地)	データ 47～40	データ 39～32
	0 番地(3回目：4 番地)	データ 31～24	データ 23～16
	0 番地(4回目：6 番地)	データ 15～8	データ 7～0

12.2.2　レジスタ構成

表12.6にDBSC3レジスタマッピングを示し、以降に各レジスタについて説明します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表12.6　DBSC3レジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
DBSC3ステータスレジスタ1	DBSTATE1	R	H'FE80 000C	32	H'0000 0X00	H'0000 0X00	H'0000 0X00
SDRAMアクセス許可レジスタ	DBACEN	R/W	H'FE80 0010	32	H'0000 0000	H'0000 0000	H'0000 0000
自動リフレッシュ許可レジスタ	DBRFEN	R/W	H'FE80 0014	32	H'0000 0000	H'0000 0000	H'0000 0000
手動コマンド発行レジスタ	DBCMD	R/W	H'FE80 0018	32	H'0000 0000	H'0000 0000	H'0000 0000
操作完了待ちレジスタ	DBWAIT	R	H'FE80 001C	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM種類設定レジスタ	DBKIND	R/W	H'FE80 0020	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM構成設定レジスタ	DBCONF	R/W	H'FE80 0024	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 0	DBTR0	R/W	H'FE80 0040	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 1	DBTR1	R/W	H'FE80 0044	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 2	DBTR2	R/W	H'FE80 0048	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 3	DBTR3	R/W	H'FE80 0050	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 4	DBTR4	R/W	H'FE80 0054	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 5	DBTR5	R/W	H'FE80 0058	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 6	DBTR6	R/W	H'FE80 005C	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 7	DBTR7	R/W	H'FE80 0060	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 8	DBTR8	R/W	H'FE80 0064	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 9	DBTR9	R/W	H'FE80 0068	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 10	DBTR10	R/W	H'FE80 006C	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 11	DBTR11	R/W	H'FE80 0070	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 12	DBTR12	R/W	H'FE80 0074	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 13	DBTR13	R/W	H'FE80 0078	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 14	DBTR14	R/W	H'FE80 007C	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 15	DBTR15	R/W	H'FE80 0080	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 16	DBTR16	R/W	H'FE80 0084	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 17	DBTR17	R/W	H'FE80 0088	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 18	DBTR18	R/W	H'FE80 008C	32	H'0000 0000	H'0000 0000	H'0000 0000
SDRAM タイミングレジスタ 19	DBTR19	R/W	H'FE80 0090	32	H'0000 0000	H'0000 0000	H'0000 0000
DBSC3 動作調整レジスタ 0	DBADJ0	R/W	H'FE80 00C0	32	H'0000 0000	H'0000 0000	H'0000 0000
DBSC3 動作調整レジスタ 2	DBADJ2	R/W	H'FE80 00C8	32	H'0000 0000	H'0000 0000	H'0000 0000
リフレッシュ 設定レジスタ 0	DBRFCNF0	R/W	H'FE80 00E0	32	H'0000 0000	H'0000 0000	H'0000 0000
リフレッシュ 設定レジスタ 1	DBRFCNF1	R/W	H'FE80 00E4	32	H'0000 0000	H'0000 0000	H'0000 0000
リフレッシュ 設定レジスタ 2	DBRFCNF2	R/W	H'FE80 00E8	32	H'0000 0000	H'0000 0000	H'0000 0000
DDR3-SDRAM キャリブレーション設定レジスタ	DBCALCNF	R/W	H'FE80 00F4	32	H'0000 0000	H'0000 0000	H'0000 0000

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
DDR3-SDRAM キャリブレーションタイミングレジスタ	DBCALTR	R/W	H'FE80 00F8	32	H'0000 0000	H'0000 0000	H'0000 0000
ODT 動作設定レジスタ	DBRNK0	R/W	H'FE80 0100	32	H'0000 0000	H'0000 0000	H'0000 0000
パワーダウン設定レジスタ	DBPDNCNF	R/W	H'FE80 0180	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY 部制御レジスタ 0	DBPDCNT0	R/W	H'FE80 0200	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY 部制御レジスタ 1	DBPDCNT1	R/W	H'FE80 0204	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY 部制御レジスタ 2	DBPDCNT2	R/W	H'FE80 0208	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY 部制御レジスタ 3	DBPDCNT3	R/W	H'FE80 020C	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY部ロックレジスタ	DBPDLCK	R/W	H'FE80 0280	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY部内部レジスタアドレス	DBPDRGA	R/W	H'FE80 0290	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY部内部レジスタアクセス	DBPDRGD	R/W	H'FE80 02A0	32	H'XXXX XXXX	H'XXXX XXXX	H'XXXX XXXX
バス制御部0制御レジスタ0	DBBS0CNT0	R/W	H'FE80 0300	32	H'0000 0000	H'0000 0000	H'0000 0000
バス制御部0制御レジスタ1	DBBS0CNT1	R/W	H'FE80 0304	32	H'0000 0000	H'0000 0000	H'0000 0000

12.3 レジスタ説明

12.3.1 DBSC3 ステータスレジスタ1（DBSTATE1）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENDN	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	—	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	R	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～9	—	0	—	リザーブビット
8	ENDN	—	R	エンディアンモニタビット 0：ビッグエンディアン 1：リトルエンディアン
7～0	—	0	—	リザーブビット

12.3.2 SDRAM アクセス許可レジスタ（DBACEN）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ACCEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	ACCEN	0	R/W	SDRAMアクセスイネーブルビット（注） 0：SDRAM アクセス禁止 1：SDRAMアクセス許可

注. SDRAMへのデータアクセスは、このビットを“1”にしてから実行してください。このビットが“0”のときにSDRAM領域へのアクセスが要求されると、DBSC3はエラーを返します。
また、このビットに”0”を書き込んだときに、SDRAMにプリチャージオール、又はプリチャージコマンドが自動的に発行される場合があります。

12.3.3　自動リフレッシュ許可レジスタ（DBRFEN）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARFEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	ARFEN	0	R/W	自動リフレッシュ許可ビット（注） 0：自動リフレッシュ機能停止 1：自動リフレッシュ機能起動

注.　このビットに“1”を書き込むと、DBSC3内部のリフレッシュカウンタ（リフレッシュの履歴情報）がリセットされ、自動リフレッシュ機能が起動します。
このビットの値が“1”である間、DBSC3は定期的にリフレッシュコマンドを発行します。リフレッシュ周期等の設定は、DBRFCNF0～DBRFCNF2で設定してください。

12.3.4　手動コマンド発行レジスタ（DBCMD）

SDRAM の初期化シーケンス、セルフリフレッシュモードへの移行／解除 等を実行する為に必要なコマンド発行を行うためのレジスタです。本レジスタに書き込みを行うと、OPC ビットの値に応じたコマンドが1 回発行されます（コマンドを発行する回数分の書き込みが必要です）。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	OPC						—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ARG															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31、30	—	0	—	リザーブビット
29～24	OPC	000000	W	オペコードビット（注1） このビットに書き込むと、書き込んだ値に対応したコマンド（表12.7参照）が発行されます。 コマンドを発行する都度、書き込んでください。
23～16	—	0	—	リザーブビット
15～0	ARG	H'0000	W	引数ビット ■OPC＝101000～101011（MRS0～MRS3)の場合 SDRAMのアドレス端子（M_A）に出力する値（SDRAMのモードレジスタに設定する値）を指定します ■OPCが上記以外の場合 次のコマンド発行までの最小間隔をサイクル数で指定します（注2）

注1. H'00を設定した場合は、有効なコマンドは出力されず、次のコマンド発行までの時間を確保するだけになります。
2. H'00を設定した場合は、表12.7 の「間隔」欄に示すデフォルト値が使用されます。
3. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
・SDRAM アクセス禁止（DBACEN レジスタのACCENビット＝0）
・自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット＝0）
ただし、「12.4 動作説明」で定義されたシーケンスについては、この限りではありません。自動リフレッシュ機能動作中にOPC＝H'00(Wait) を書いた場合、確保される間隔の間に自動リフレッシュ機能によるリフレッシュコマンドの発行が割り込むことがあります。

操作完了のタイミング（指定したコマンドがDBSC3からSDRAMへ出力されるタイミング）は、本レジスタへのライトに対するDBSC3の応答よりも後になる可能性があります。後述するDBWAITレジスタを読み出すことにより、指定したコマンドが実際にSDRAMに出力されるのを待つことができます。

本レジスタを使用してコマンド発行を行うと、操作完了の時点（指定したコマンドがSDRAM に出力される時点）から一定期間、後続のコマンド発行は遅延されます。これは、複数のコマンドを続けて発行する際にコマンド間の時間の確保を容易にするための機能です。

この期間の長さは、OPCに応じて、表12.7 の「間隔」欄に示す長さが確保されます。また、ARGビットによってカスタマイズすることも可能です（ただしOPCが MRS0～MRS3である場合を除く）。

表12.7　手動コマンド発行機能

OPCビット設定値	コマンド	操作内容	間隔（注）	ランクの機能	ARGビットの機能
00 0000	Wait	Device Deselected発行 （待ち時間の挿入）	4	無効	次のコマンド発行までの最小間隔を指定 （ARG＝H'00の場合は、「間隔」欄に記載された値が使用される）
00 0010	ZQCS	ZQ calibration short 発行	4	動作対象のランクを指定	
00 0011	ZQCL	ZQ calibration long 発行	4		
00 1011	PreA	Precharge All発行	TRPAビットで指定		
00 1100	Ref	Refresh発行	TRFCビットで指定		
01 0000	PDEn	Power Down Entry	4	無効	
01 0001	PDXt	Power Down Exit	4		
01 1000	SREn	Self-Refresh Entry	4		
01 1001	SRXt	Self-Refresh Exit	TRFCビットで指定		
10 0000	RstL	Reset端子をLにする	4		
10 0001	RstH	Reset端子をHにする	4		
10 1000	MRS0	ModeRegisterSet（MRS/MR0）発行	TMODビットで指定	動作対象のランクを指定	SDRAMのアドレス端子(M_A) に出力する値（SDRAMのモードレジスタに設定する値）を指定
10 1001	MRS1	ModeRegisterSet（EMRS1/MR1）発行	TMODビットで指定		
10 1010	MRS2	ModeRegisterSet（EMRS2/MR2）発行	TMODビットで指定		
10 1011	MRS3	IModeRegisterSet（EMRS3/MR3）発行	TMODビットで指定		

注．　数値はサイクル数を示します。
TRPA、TRFC、TMODは、各ビットで設定された値を示します。

12.3.5　操作完了待ちレジスタ（DBWAIT）

このレジスタを読み出すことにより、それまでにDBCMDレジスタに設定したコマンドがすべてSDRAMに発行されるまで待つことができます。これにより、DBSC3がコマンドを発行するタイミングと、DBSC3が管理していないタイミング（例えば、クロック制御）の関係を正しく保証できるようになります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WAIT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31~1	—	0	—	リザーブビット
0	WAIT	0	R	操作完了待ちビット 値に意味はありません。常に”0”が読み出されます。

12.3.6　SDRAM 種類設定レジスタ（DBKIND）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DDCG		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～3	—	0	—	リザーブビット
2～0	DDCG	000	R/W	SDRAM種類設定ビット 111　：DDR3-SDRAM 上記以外：設定禁止

注.　このレジスタは、初期化シーケンス（「12.4.3」参照）の中でのみ書き込みを行ってください。
また、以下の条件を両方満たす場合のみ書き込みを行ってください。
・SDRAMアクセス禁止（DBACEN レジスタのACCENビット=0）
・自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.7　SDRAM 構成設定レジスタ（DBCONF）

このレジスタで使用するメモリ構成を選択します。

DBSC3 がサポートするメモリ構成（16 ビット幅の SDRAM1 個、又は 8 ビット幅の SDRAM2 個を接続した 16 ビットバス構成）については、「12.4.6 SDRAM 構成設定レジスタの設定方法」を参照してください。SDRAM のアドレス端子と本 LSI の論理アドレスとの関係については、「12.4.7 アドレスマルチプレクスについて」を参照してください。

なお、DBSC3 は複数個の SDRAM 接続をサポートしますが、チップによっては電気特性上、複数個の SDRAM を接続できない場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	AWRW					—	—	—	AWRK	—	—	AWBK	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	R/W	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	AWCL				—	—	—	—	—	—	DW	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～29	—	0	—	リザーブビット
28～24	AWRW	00000	R/W	Slot0 ロウアドレスビット幅設定ビット 01100　：12 ビット 01101　：13 ビット ： 10000　：16 ビット 上記以外：設定禁止
23～21	—	0	—	リザーブビット
20	AWRK	0	R/W	ランク数設定ビット 0　：1 ランク 上記以外 ：設定禁止
19、18	—	0	—	リザーブビット
17、16	AWBK	00	R/W	バンク数設定ビット 11　：8 バンク 上記以外：設定禁止
15～12	—	0	—	リザーブビット
11～8	AWCL	0000	R/W	カラムアドレスビット幅設定ビット 1010　：10 ビット 上記以外 ：設定禁止
7～2	—	0	—	リザーブビット
1、0	DW	0000	R/W	Slot0 外部データバス幅設定ビット 01　：16 ビット 上記以外: 設定禁止

注．　このレジスタは、起動シーケンス（「12.4.3」参照）の中でのみ書き込みを行ってください。
また、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタの ACCEN ビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタの ARFEN ビット=0）

12.3.8　SDRAM タイミングレジスタ0（DBTR0）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	CL	0000	R/W	CAS レイテンシ設定ビット 0011　：3 サイクル 0100　：4 サイクル ： 1010　：10 サイクル 上記以外：設定禁止

注.　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.9　SDRAM タイミングレジスタ1（DBTR1）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CWL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	CWL	0000	R/W	CASライトレイテンシ設定ビット 0010　：2 サイクル 0011　：3サイクル ： 1000　：8 サイクル 上記以外：設定禁止

注．　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.10　SDRAM タイミングレジスタ2（DBTR2）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	AL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	—	0	—	リザーブビット
3 ～ 0	AL	0000	R/W	アディティブレイテンシ設定ビット 0000　：0 サイクル 上記以外 ：設定禁止

注．　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCEN=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFEN=0）

12.3.11 SDRAM タイミングレジスタ3（DBTR3）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRCD			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	TRCD	0000	R/W	ACT-READ/WRITE 期間設定ビット ACT コマンドからリード/ライトコマンドまでの最小間隔を設定します。 0011　：3 サイクル 0100　：4 サイクル ： 1010　：10 サイクル 上記以外：設定禁止

注.　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.12 SDRAM タイミングレジスタ4（DBTR4）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	TRPA			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRP			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～20	—	0	—	リザーブビット
19～16	TRPA	0000	R/W	PREA期間設定ビット（注1） PRE ALL（Precharge all banks）コマンドからACT/ REFコマンドまでの最小間隔を設定します。 0011　：3 サイクル 0100　：4 サイクル ： 1010　：10 サイクル 上記以外：設定禁止
15～4	—	0	—	リザーブビット
3～0	TRP	0000	R/W	PRE 期間設定ビット（注1） PRE（Precharge）コマンドからACT/ REF コマンドまでの最小間隔を設定します。 0011　：3 サイクル 0100　：4 サイクル ： 1010　：10 サイクル 上記以外：設定禁止

注1. TRPA ≧ TRP を満たすように設定してください。
2. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.13 SDRAM タイミングレジスタ5（DBTR5）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TRC					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～6	—	0	—	リザーブビット
5～0	TRC	000000	R/W	ACT-ACT/REF 期間設定ビット ACT コマンドからACT（同一バンク）/REF コマンドまでの最小間隔を設定します。 001010　：10サイクル 001011　：11サイクル ： 100110　：38 サイクル 上記以外：設定禁止

注．　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.14 SDRAM タイミングレジスタ6（DBTR6）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TRAS					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～6	—	0	—	リザーブビット
5～0	TRAS	000000	R/W	ACT-PRE 期間設定ビット ACT コマンドからPRE コマンドまでの最小間隔を設定します。 000111　：7サイクル 001000　：8サイクル ： 011100　：28 サイクル 上記以外：設定禁止

注.　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.15 SDRAM タイミングレジスタ7（DBTR7）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRRD			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	TRRD	0000	R/W	ACT(A)-ACT(B) 期間設定ビット 異なるバンクに対する ACT コマンドの最小間隔を設定します。 0010　：2 サイクル 0011　：3 サイクル ： 0111　：7 サイクル 上記以外：設定禁止

注．　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.16 SDRAM タイミングレジスタ8（DBTR8）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TFAW							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	TFAW	H'00	R/W	4 アクティブウィンドウ設定ビット（注1） 4 つのアクティブウィンドウの長さを設定します。 00001000：8 サイクル 00001001：9 サイクル ： 00011111 ：31 サイクル 上記以外 ：設定禁止

注1. TFAW≧4 × TRRD を満たすように設定してください。

2. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
   - SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
   - 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.17 SDRAM タイミングレジスタ9（DBTR9）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TRDPR			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	TRDPR	0000	R/W	READ-PRE 期間設定ビット（注1） READ コマンドからPRE コマンドまでの最小間隔を設定します。 0010　：2 サイクル 0011　：3 サイクル ： 1000　：8 サイクル 上記以外：設定禁止

注1. TRDPR ≧ 4を満たすように設定してください。
JEDEC 準拠のDDR3-SDRAM の場合、設定値は次の式で計算できます。
TRDPR ＝ ceil(tRTP / tCK)

2. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.18 SDRAM タイミングレジスタ 10（DBTR10）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TWR			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	TWR	0000	R/W	ライトリカバリ期間設定ビット ライトリカバリ期間を設定します。 0011　：3 サイクル 0100　：4 サイクル ： 1100　：12 サイクル 上記以外：設定禁止

注.　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.19 SDRAM タイミングレジスタ 11（DBTR11）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TRDWR					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～6	—	0	—	リザーブビット
5～0	TRDWR	000000	R/W	READ-WRITE 期間設定ビット（注1） リードコマンドからライトコマンドまでの最小間隔を設定します。 000100 ：4 サイクル 000101 ：5 サイクル ： 001001 ：9 サイクル 上記以外：設定禁止

注1. JEDEC 準拠のDDR3-SDRAM の場合、設定値は次の式で計算できます。
TRDWR ≧ CL ＋ 4 ＋ 2 － CWL

2. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.20 SDRAM タイミングレジスタ 12（DBTR12）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	TWRRD					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～6	—	0	—	リザーブビット
5～0	TWRRD	000000	R/W	WRITE-READ 期間設定ビット（注1） ライトコマンドからリードコマンドまでの最小間隔を設定します。 000110 ：6 サイクル 000111 ：7 サイクル ： 010010 ：18 サイクル 上記以外：設定禁止

注1. TWRRD ≧ CWL ＋ 4 を満たすように設定してください。
JEDEC 準拠のDDR3-SDRAM の場合、設定値は次の式で計算できます。
TWRRD ＝ CWL ＋ 4 ＋ ceil(tWTR / tCK)

2. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCEN=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFEN=0）

12.3.21 SDRAM タイミングレジスタ 13（DBTR13）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRFC									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～10	—	0	—	リザーブビット
9～0	TRFC	H'000	R/W	REF-ACT/REF 期間設定ビット 全バンクのREF（リフレッシュ）コマンドから、ACT/REF コマンドまでの最小間隔を設定します。本ビットにはJEDEC規格のAC Timingで定義されているtZQCの値を入力して下さい。 H'00F　：15 サイクル H'010　：16 サイクル ： H'0FF　：255 サイクル 上記以外：設定禁止

注．　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.22 SDRAM タイミングレジスタ 14（DBTR14）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TCKEHDLL							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TCKEH							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～24	—	0	—	リザーブビット
23～16	TCKEHDLL	H'00	R/W	CKEH（DLL-LOCK）期間設定ビット（注1） CKEがHになってからLocked DLL を必要とする次の有効なコマンドが発行されるまでの最少間隔を設定します。 H'02 ：2 サイクル H'03 ：3 サイクル ： H'0F ：15 サイクル 上記以外：設定禁止
15～8	—	0	—	リザーブビット
7～0	TCKEH	H'00	R/W	CKEH 期間設定ビット（注1） CKE がH になってから次の有効なコマンドが発行されるまでの最小間隔を設定します。 H'02 ：2 サイクル H'03 ：3 サイクル ： H'0F ：15 サイクル 上記以外：設定禁止

注1. TCKEH ≦ TCKEHDLL を満たすように設定してください。
パワーダウンモードを使用する場合は、以下の値を設定してください（JEDEC 準拠のDDR3-SDRAM の場合）。
TCKEHDLL = ceil(tXPDLL/ tCK)
TCKEH = ceil(tXP/ tCK)

2. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.23 SDRAM タイミングレジスタ 15（DBTR15）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	TCKEL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	TCKEL	0000	R/W	CKEL 期間設定ビット CKE をL にしてからH にするまでの期間の下限を設定します。 0010　：2 サイクル 0011　：3 サイクル ： 1111　：15 サイクル 上記以外：設定禁止

注.　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.24 SDRAM タイミングレジスタ 16（DBTR16）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DQIENLTNCY				—	—	DQLOFFSET		—	—	DQL					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	—	—	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DQENLTNCY				—	—	—	—	—	—	—	—	WDQL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～28	DQIENLTNCY	0000	R/W	dqienltncy設定ビット PHY 部へのリードコマンド発行時からdqi_en 信号出力までのレイテンシを設定します。 0000 ：0 サイクル 上記以外：設定禁止
27、26	—	0	—	リザーブビット
25、24	DQLOFFSET	00	R/W	dqltncy オフセット設定ビット PHY 部へのリードコマンド発行時に、DBSC3 の内部動作に必要な追加レイテンシを設定します。 00 ：0 サイクル 上記以外：設定禁止
23、22	—	0	—	リザーブビット
21～16	DQL	000000	R/W	dqltncy 設定ビット PHY部へのリードコマンド発行時からリードデータ入力までのレイテンシを設定します。 001001：9 サイクル ： 101000：40 サイクル 上記以外 ：設定禁止
15～12	DQENLTNCY	0000	R/W	dqenltncy 設定ビット PHY 部へのライトコマンド発行時からdq_en 信号出力までのレイテンシを設定します。 0000 ：0 サイクル 上記以外：設定禁止
11～4	—	0	—	リザーブビット
3～0	WDQL	0000	R/W	wdqltncy 設定ビット PHY部へのライトコマンド発行時からライトデータ出力までのレイテンシを設定します。 0010 ：2 サイクル 上記以外：設定禁止

注.　このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.25 SDRAM タイミングレジスタ 17（DBTR17）

このレジスタでSDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	TMOD					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～22	—	0	—	リザーブビット
21～16	TMOD	000000	R/W	MRS/MRW期間設定ビット MRS（Mode Register Set）/ MRW（Mode Register Write）コマンドから次のコマンドまでの最小間隔を指定します。 000010 ：2 サイクル 000011 ：3 サイクル ： 001111 ：15 サイクル 上記以外：設定禁止
15～0	—	0	—	リザーブビット

注. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.26 SDRAM タイミングレジスタ 18（DBTR18）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	WODTL			—	—	—	—	—	WODTA		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～11	—	0	—	リザーブビット
10～8	WODTL	000	R/W	WODTL（ライト時ODT アサート期間設定）ビット ライトコマンド出力時に PHY に出力するODT 信号(py_odt)のアサート期間を設定します。対応するライトコマンドのバースト長/2 の値を基本として、+0～+7 の範囲で設定できます。 000：BL/2 サイクル 001：(BL/2 + 1) サイクル ： 111：(BL/2 + 7) サイクル
7～3	—	0	—	リザーブビット
2～0	WODTA	000	R/W	WODTA（ライト時ODT アサート開始タイミング設定）ビット ライトコマンド出力時に PHY に出力するODT 信号（py_odt）のアサート開始タイミングを設定します。対応するライトコマンド出力のタイミングを基準として、-1～+2 の範囲で設定できます。 000　：ライトコマンドと同時 001　：ライトコマンドの1サイクル後 010　：ライトコマンドの2サイクル後 111　：ライトコマンドの1サイクル前 上記以外　：設定禁止

注．このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.27 SDRAM タイミングレジスタ 19（DBTR19）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TZQCS							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	TZQCS	H'00	R/W	TZQCS（ショートキャリブレーション期間設定）ビット（注1） ZQCS（ショートキャリブレーション）コマンドから次のコマンドまでの最小間隔を指定します。 01000000：64 サイクル 上記以外　：設定禁止

注1. JEDEC基準のACタイミングで定められたtZQCSの値を設定してください。
2. このレジスタは、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.28 DBSC 動作調整レジスタ 0 （DBADJ0）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FREQRATIO	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CA SHIFT	—	—	—	CA MODE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～18	—	0	—	リザーブビット
17、16	FREQRATIO	00	R/W	PHY周波数比設定ビット DBSC3とPHYの周波数比を設定します。 01：DBSC3:PHY周波数比＝1：2 上記以外：設定禁止
15～5	—	0	—	リザーブビット
4	CASHIFT	0	R/W	コマンド/アドレス出力シフト設定ビット 0：コマンド/アドレス出力タイミングのシフト無し 1：コマンド/アドレス出力タイミングを1/2M_CLK分後ろにシフト
3～1	—	0	—	リザーブビット
0	CAMODE	0	R/W	コマンド/アドレス出力モード設定ビット SDRAM のコマンド/アドレスの出力モードを設定します。 0：1クロックにつき1コマンド出力 1：2クロックにつき1コマンド出力（注1）

注1. SDRAM のCS信号を除くコマンド信号、及びアドレス信号は、2クロックの間一定に保たれます。またCS信号は、後半1クロックの期間のみLレベルになります。

2. このレジスタは、SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）のときのみ書き込みを行ってください。

12.3.29 DBSC 動作調整レジスタ 2 （DBADJ2）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACAPC0								—	—	—	—	ACAPX0			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～8	ACAPC0	H'00	R/W	デバイス制御部受付可能リクエスト数設定ビット DBSC3のデバイス制御内に受付可能なリクエストをデータセル単位で設定します。 H'00 ：32セル （特に設定する必要が無い場合、H'00としてください） H'01 ：1 セル ： H'20 ：32 セル 上記以外：設定禁止
7～4	—	0	—	リザーブビット
3～0	ACAPX0	H'0	R/W	デバイス制御部受付可能トランザクション数設定ビット DBSC3のデバイス制御内に受付可能なリクエストをトランザクション単位で設定します。 H'0 ：8トランザクション （特に設定する必要が無い場合、H'0としてください） H'1 ：1 トランザクション ： H'8 ：8 トランザクション 上記以外：設定禁止

注．このレジスタは、SDRAMアクセス禁止（DBACEN レジスタのACCENビット=0）のときのみ書き込みを行ってください。

12.3.30 リフレッシュ設定レジスタ0（DBRFCNF0）

このレジスタでSDRAMのリフレッシュ動作のタイミングを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	REFTHF											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～12	—	0	—	リザーブビット
11～0	REFTHF	H'000	R/W	強制リフレッシュ閾値設定ビット（注） バス要求がある場合でも強制的にリフレッシュを実施するタイミングを設定します。本ビットの設定値は、リフレッシュ間隔の変動の大きさ、及びメモリアクセス性能に影響します。小さくするほどリフレッシュ間隔の変動は小さくなりますが、メモリアクセス性能に悪影響が出る場合があります。リフレッシュ間隔の変動幅の詳細については、「12.3.31 リフレッシュ設定レジスタ1（DBRFCNF1）」を参照してください。 H'080　：128サイクル ： H'1FF　：511サイクル 上記以外：設定禁止

注．以下を満たすように設定してください。
REFTHF ≧ (TCKEL＋TCKEH)＋REFTH0
(REFTH0 = max(TRDPR, CWL＋BL÷2＋TWR, TRAS, TRC-TRP)+ TRPA + 24)
なお、自動リフレッシュ機能動作中（DBRFEN レジスタのARFEN=1）にこのビットの値を変更した場合は、ARFEN ビットに1 を書き込んで新たな設定値をリフレッシュ動作に反映させてください。

12.3.31 リフレッシュ設定レジスタ1（DBRFCNF1）

このレジスタでSDRAMのリフレッシュ動作のタイミングを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	REFPMAX															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REFINT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	REFPMAX	H'0000	R/W	リフレッシュコマンド最大ポスト数設定ビット 自動リフレッシュ機能により蓄積されるリフレッシュコマンドの数（post数）の上限を設定します。蓄積されているリフレッシュコマンドの数がREFPMAXよりも小さい場合、バスリクエストのない期間にリフレッシュが発行されます。 JEDEC基準に合わせて8以下に設定してください。 H'0000　：0サイクル H'0001　：1サイクル ： H'1000　：8サイクル 上記以外　：設定禁止
15～0	REFINT	H'0000	R/W	平均リフレッシュ間隔設定ビット リフレッシュコマンド発行の平均間隔を設定するためのビットです。（注1） H'0080　：128サイクル H'0081　：129サイクル ： H'3FFF　：16383サイクル 上記以外　：設定禁止

注1. REFINTSビット（DBRFCNF2レジスタのビット0）＝1のときは、設定したサイクルの1/2が平均リフレッシュ間隔になります。
以下を満たすように設定してください。
・REFINTS＝0の場合：REFINT ≧ (TCALRZ＋TCALZR＋REFTHF×2)
・REFINTS＝1の場合：REFINT ≧ (TCALRZ＋TCALZR＋REFTHF×2)×2
なお、DDR-SDRAMの品種によっては、上記と異なる設定値となる場合があります。

2. 自動リフレッシュ機能動作中（DBRFEN レジスタのARFENビット=1）にこのレジスタの値を変更した場合は、ARFEN ビットに1 を書き込んで新たな設定値をリフレッシュ動作に反映させてください。

レジスタの設定値とリフレッシュ発行タイミング

リフレッシュ設定レジスタ1～2の設定例と、その場合のリフレッシュの発行タイミングについて説明します。

a±b はa－b 以上a＋b 以下の範囲 を示します。

- リフレッシュ間隔の変動を最小にする場合
  REFPMAX は、0 を設定します。

この場合、リフレッシュ発行から次のリフレッシュ発行までの時間は、REFINT_E ± REFTHF サイクルとなります。より一般に、n をある正整数として、あるリフレッシュ発行からその n 個後のリフレッシュ発行までの時間は、n × REFINT_E ± REFTHF サイクルとなります。ただし、この間DBRFENレジスタへの書き込みはないと仮定しています。

- リフレッシュ間隔に柔軟性を持たせる場合
  REFPMAX は、1 以上の値を設定します。
  REFINT は、メモリベンダのデータシートに記載されている平均リフレッシュ間隔（Normal Operating Temperature Range におけるtREFI）をサイクル数で表し整数に切り捨てた値を設定します。REFINTS は、温度によって”0” 又は”1” を設定します。
  この場合、n をある正整数として、あるリフレッシュ発行からその n 個後のリフレッシュ発行までの時間は、n × REFINT_E ＋ REFPMAX × REFINT_E サイクル以下 となります。ただし、この間DBRFENレジスタへの書き込みはないと仮定しています。

12.3.32 リフレッシュ設定レジスタ 2（DBRFCNF2）

このレジスタでSDRAM のリフレッシュ動作のタイミングを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	REFINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	REFINTS	0	R/W	平均リフレッシュ間隔調整ビット 0：平均リフレッシュ間隔は REFINT 1：平均リフレッシュ間隔は REFINT の 1/2

注．自動リフレッシュ機能動作中（DBRFEN レジスタのARFENビット=1）にこのレジスタの値を変更した場合は、ARFEN ビットに1 を書き込んで新たな設定値をリフレッシュ動作に反映させてください。

12.3.33 DDR3-SDRAM キャリブレーション構成レジスタ （DBCALCNF）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CALEN	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CALINT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～25	—	0	—	リザーブビット
24	CALEN	0	R/W	DDR3-SDRAM キャリブレーションイネーブルビット 0：DDR3-SDRAMキャリブレーション禁止 1：DDR3-SDRAMキャリブレーション許可（注1）
23～16	—	0	—	リザーブビット
15～0	CALINT	H'0000	R/W	DDR3-SDRAM キャリブレーション頻度設定ビット DDR3-SDRAM キャリブレーション実行の頻度（ZQCS コマンドの発行頻度）を設定します。（注2） H'0000 ：CALEN=1に設定後、最初の自動リフレッシュ実行後に1回のみ実施（注3） H'0001 ：自動リフレッシュ 1回毎に実施 H'0002 ：自動リフレッシュ 2回毎に実施 ： H'FFFF ：自動リフレッシュ 65535回毎に実施

注1. このビットが“1”の間、定期的にSDRAM のキャリブレーションが実行されます。
2. 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット＝0）中は、ZQCSコマンドの発行は行われません。
3. 追加でキャリブレーションを実行する場合は、再度、CALENビットに“1”を設定してください。
4. このレジスタにH'0100 0000を設定する場合は、自動リフレッシュ許可中（DBRFENレジスタのARFENビット＝1）に、書き込んでください。

12.3.34 DDR3-SDRAMキャリブレーションタイミングレジスタ(DBCALTR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TCALRZ											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TCALZR											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～28	—	0	—	リザーブビット
27～16	TCALRZ[11:0]	H'000	R/W	DDR3-SDRAMキャリブレーションタイミング（REF-ZQCS期間）設定ビット キャリブレーション時のREFコマンドからZOCSコマンドまでの最小間隔を設定します。 H'080 ：128 サイクル ： H'FFF ：4095 サイクル 上記以外：設定禁止
15～12	—	0	—	リザーブビット
11～0	TCALZR[11:0]	H'000	R/W	DDR3-SDRAMキャリブレーションタイミング（ZQCS-REF期間）設定ビット キャリブレーション時のZQCSコマンドからREFコマンドまでの最小間隔を設定します。 H'080 ：128 サイクル ： H'FFF：4095 サイクル 上記以外：設定禁止

注1. CALENビット＝0の場合、このレジスタの値は無効です。

2. 以下を満たすように設定してください。
   - TCALRZ ≧ max(128, TRFC + 7 × TFAW/4 + tACTANY + 32)
   - TCALZR ≧ max(128, TZQC + 7 × TFAW/4 + tACTANY + 32)
   - REFINT ≧ (TCALRZ + TCALZR + REFTHF × 2)<<REFINTS (tACTANY = max(TRCD, TRAS, TRC − TRPA, TFAW))

3. このレジスタにH'0100 0000以外を設定する場合は、以下の条件を両方満たして下さい。
   - DDR3-SDRAMアクセス禁止（DBASENレジスタのACCENビット＝0）
   - 自動リフレッシュ機能停止（DBRFENレジスタのARFENビット＝0）

12.3.35 ODT 動作設定レジスタ（DBRNK0）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WODTOUTO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	WODTOUT0	0	R/W	ライト時ODT 出力レベル設定ビット 0：ライト時のODT 出力レベルをLとする 1：ライト時のODT 出力レベルをHとする

注．このレジスタは、以下の条件を両方満たす場合にのみ書き込みを行ってください。
- SDRAM アクセス禁止 (DBACEN レジスタのACCENビット=0)
- 自動リフレッシュ機能停止（DBRFEN レジスタのARFENビット=0）

12.3.36 パワーダウン設定レジスタ(DBPDNCNF)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDWAIT								—	—	—	PDDLL	—	—	PDMODE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～8	PDWAIT	H'00	R/W	パワーダウンウェイト メモリアクセスがない状態からパワーダウンモードに入るまでのサイクル数を設定します。 H'02：2 サイクル ： H'FF：255 サイクル 上記以外：設定禁止
7～5	—	0	—	リザーブビット
4	PDDLL	0	R/W	パワーダウン時DLL制御 パワーダウンモードに入る際のDDR3-SDRAMのDLLのオン/オフ制御を指定します。 0：プリチャージドパワーダウンモード時にDLLをオフ アクティブパワーダウンモード時DLLをオン 1：パワーダウンモード時にDLLをオン
3、2	—	0	—	リザーブビット
1、0	PDMODE	00	R/W	パワーダウンモード 一定期間内にメモリアクセスが行われない場合にCKE端子をLレベルに設定し、DDR3-SDRAMをパワーダウンモードに移行させるかどうかを設定します。 00：自動パワーダウンモードを無効 01：自動パワーダウンモードを有効 上記以外：設定禁止

注1. パワーダウンモードからの復帰時には、max(3, TCKEH) -3サイクル分のペナルティが発生します。
2. このレジスタへは、以下の条件を両方満たす場合にのみ書き込みを行ってください。
- DDR3-SDRAMアクセス禁止（DBASENレジスタのACCENビット＝0）
- 自動リフレッシュ機能停止（DBRFENレジスタのARFENビット＝0）

12.3.37 PHY部制御レジスタ0 （DBPDCNT0）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DLLRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	DLLRST	0	R/W	DLL リセットビット（注） 0：DLL リセット状態 1：DLL リセット解除（通常動作）

注．詳細については「12.4.3 初期化シーケンス」を参照してください。

12.3.38 PHY 部制御レジスタ1（DBPDCNT1）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	CALEN	0	R/W	自動キャリブレーション設定ビット（注） 0：自動キャリブレーションを無効 1：自動キャリブレーションを有効

注．このビットはDBPDCNT3のCMODE＝1のときのみ有効です。詳細については「12.4.3 初期化シーケンス」を参照ください。

12.3.39 PHY 部制御レジスタ2（DBPDCNT2）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DETFIXH	CMD MOD	—	—	RLADD	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～6	—	0	—	リザーブビット
5	DETFIXH	0	R/W	リード用90度シフタ設定ビット 0：Hi-Z検出回路オン 1：Hi-Z検出回路オフ
4	CMDMOD	0	R/W	CMD ハードマクロ出力遅延モード設定ビット 0：コマンドアドレス信号の出力遅延モードオフ 1：コマンドアドレス信号の出力遅延モードオン
3、2	—	0	—	リザーブビット
1、0	RLADD	00	R/W	追加リードレイテンシ設定ビット ラウンドトリップタイムが大きい場合に、DDR3PHY に追加するリードレイテンシを設定します。 00：追加リードレイテンシなし 01：追加リードレイテンシ 1 サイクル 10：追加リードレイテンシ 2 サイクル 11：追加リードレイテンシ 3 サイクル

12.3.40 PHY 部制御レジスタ3（DBPDCNT3）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CMODE	DIC_AD		DIC_CK		DIC_DQ		—	ODT			—	FREQ		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～15	—	0	—	リザーブビット
14	CMODE	0	R/W	キャリブレーションモード設定ビット 0：外部制御モード 1：自動キャリブレーションモード
13、12	DIC_AD	00	R/W	制御信号バッファドライブ強度設定ビット 00　：40Ω 上記以外：設定禁止
11、10	DIC_CK	00	R/W	クロック信号バッファドライブ強度設定ビット 00　：40Ω 上記以外：設定禁止
9、8	DIC_DQ	00	R/W	データ信号バッファドライブ強度設定ビット 00　：40Ω 上記以外：設定禁止
7	—	0	—	リザーブビット
6～4	ODT	000	R/W	内部ODT インピーダンス設定ビット 000　：外部制御モード 001　：60Ω 上記以外：設定禁止
3	—	0	—	リザーブビット
2～0	FREQ	000	R/W	ロック待ちスキップモード設定ビット 000　：通常モード 001　：ロック待ちスキップモード 上記以外：設定禁止

注．このレジスタの詳細は、「12.4.3 初期化シーケンス」を参照してください。

12.3.41 PHY部ロックレジスタ（DBPDLCK）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PLOCK															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	PLOCK	H'0000	R/W	PHY部アクセスロック設定ビット H'A55Aをセットすると PHY部内部レジスタへのアクセスが許可されます。 H'A55A　　: PHY 部内部レジスタへのアクセス許可 H'A55A 以外: PHY 部内部レジスタへのアクセス禁止

12.3.42 PHY部内部レジスタアドレス （DBPDRGA）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PRA							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

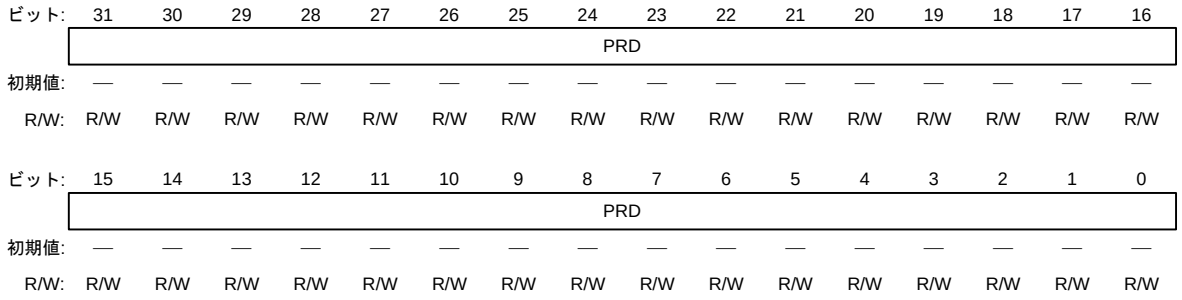
ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	PRA	H'00	R/W	PHY部内部レジスタアドレス PHY 部内部レジスタ（表12.8参照）のアドレスを設定します。

注．このレジスタは、PLOCKビット＝H'A55Aの状態でアクセスしてください。

表12.8　DBSC3 PHY の内部レジスタ構成

レジスタ名	略称	R/W	PRA 設定値	初期値	アクセスサイズ（ビット）
プリアンブル検出制御レジスタ	PACNT	R/W	H'28	H'0001 7200	32

12.3.43 PHY部内部レジスタアクセス （DBPDRGD）



ビット	ビット名	初期値	R/W	説 明
31～0	PRD	—	R/W	PHY部内部レジスタ このレジスタに書き込んだ値が、PRAビットにアドレスを設定したPHY部内部レジスタ（表12.8参照）に書き込まれます。 このレジスタを読み出すと、PRAビットにアドレスを設定したPHY部内部レジスタの値が読めます。

注．このレジスタは、PLOCKビット＝H'A55Aの状態でアクセスしてください。

PHY部内部レジスタ：プリアンブル検出制御レジスタ

本レジスタは読み出し時、プリアンブルを検出するタイミングを指定するときに使用されます。セットするとM_CLK-M_DQSラップアラウンド時間が制御できます。

ビット	ビット名	初期値	R/W	説 明
31～17	—	0	—	リザーブビット
16	—	1	—	リザーブビット
15～12	rprst_str	0111	R/W	リード用FIFOの強制ポインタリセット期間について、RL（AL＋CL）で設定したタイミングの前側に付加する期間を設定します。 0000 ：0 サイクル 0001 ：0.5サイクル 0010 ：1サイクル 0011 ：1.5 サイクル 0100 ：2 サイクル 0101 ：2.5 サイクル 0110 ：3 サイクル 0111 ：3.5 サイクル 1000 ：4 サイクル 上記以外 ：設定禁止
11、10	—	0	—	リザーブビット
9～8	rprst_end	10	R/W	リード用FIFOの強制ポインタリセット期間について、RL（AL＋CL）で設定したタイミングの後側に付加する期間を設定します。 00：0サイクル 01：0.5サイクル 10：1サイクル 11：設定禁止
7～0	—	0	—	リザーブビット

12.3.44 バス制御部0 設定レジスタ0（DBBS0CNT0）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BKCEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	BKCEN	0	R/W	バンクキャッシュイネーブルビット 0：バス制御部内のバンクキャッシュを使用しない 1：バス制御部内のバンクキャッシュを使用する（注1）

注1. このビットを“0”から“1”にすると、バンクキャッシュの内容が初期化されます。
2. このレジスタは、初期化シーケンス（「12.4.3」節参照）の中でのみ書き込みを行ってください。
また、SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）に書き込んでください。

12.3.45 バス制御部0 設定レジスタ1（DBBS0CNT1）

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BKADM	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～2	—	0	—	リザーブビット
1、0	BKADM	0	R/W	バンク配置方式設定ビット 論理アドレス空間に対するSDRAM のバンクの配置方式を設定します。論理アドレスを複数のブロックに分割し、それぞれのブロックへ異なるSDRAM のメモリバンクを割り当てます。 論理アドレスとSDRAMのアドレスの対応の詳細は、「12.4.7 アドレスマルチプレクスについて」を参照してください。 00：論理アドレス空間全体を1 つのブロックとする 01：論理アドレス空間を2ブロックに分ける バンク0～3、バンク4～7 10：論理アドレス空間を3ブロックに分ける バンク0～1、バンク2～3、バンク4～7 11：論理アドレス空間を4ブロックに分ける バンク0、バンク1、バンク2～3、バンク4～7

注．このレジスタは、初期化シーケンス（「12.4.3」参照）の中でのみ書き込みを行ってください。
また、以下の条件を両方満たす場合のみ書き込みを行ってください。
- SDRAM アクセス禁止（DBACEN レジスタのACCENビット=0）
- バンクキャッシュ無効（DBBS0CNT0 レジスタのBKCENビット=0

12.4 動作説明

12.4.1 サポートするSDRAM コマンド

DBSC3 が発行するSDRAM コマンドを表12.9 に示します。コマンドはM_CLK0、$\overline{\text{M_CLK0}}$、M_CLK1、$\overline{\text{M_CLK1}}$ に同期してSDRAM へ与えられます。「n-1」はコマンドを発行する1 サイクル前にSDRAM に与えた信号の状態、「n」はコマンド発行時の信号の状態を示しています。

表12.9 発行するSDRAM コマンド

機 能	シンボル	M_CKE		$\overline{\text{M_CS}}$	$\overline{\text{M_RAS}}$	$\overline{\text{M_CAS}}$	$\overline{\text{M_WE}}$	M_BA [2:0]	M_A [15:3]	M_A12/ BC	M_A10/ AP	M_A11, M_A [9:0]
		n-1	n									
Device deselected	DES（注）	H	H	H	X	X	X	X	X	X	X	X
Read	READ	H	H	L	H	L	H	V	V	V	L	V
Write	WRITE	H	H	L	H	L	L	V	V	V	H	V
Bank activate	ACT	H	H	L	L	H	H	V	V	V	V	V
Single bank precharge	PRE	H	H	L	L	H	L	V	V	V	L	V
Precharge all banks	PREA	H	H	L	L	H	L	V	V	V	H	V
Refresh	REF	H	H	L	L	L	H	V	V	V	V	V
Self-refresh entry	SRE	H	L	L	L	L	H	V	V	V	V	V
Self-refresh exit	SRX	L	H	H	V	V	V	V	V	V	V	V
				L	H	H	H					
Power down entry	PDE	H	L	L	H	H	H	V	V	V	V	V
				H	V	V	V					
Power down exit	PDX	L	H	L	H	H	H	V	V	V	V	V
				H	V	V	V					
Mode register set	MRS	H	H	L	L	L	L	V	V	V	V	V
ZQ calibration short issue	ZQCS	H	H	L	H	H	L	X	X	X	H	X
ZQ calibration long issue	ZQCL	H	H	L	H	H	L	X	X	X	L	X

H　：Hレベル
L　：Lレベル
X　：Hレベル又はLレベル （いずれでもよい）
V　：有効データ

注．DES コマンドは、SDRAM に対しアクセスを行わないときに発行されますので、ユーザが明示的に発行することはできません。

12.4.2　SDRAM コマンド発行詳細

(1)　基本アクセス

DBSC3 は、SHwy から与えられたリクエストをキューに格納した後、処理の開始は後で説明する「(2) 先行プリチャージ／アクティベート処理」により前後しますが、完了はキューの受け付け順になります。

初めに、リード／ライトリクエストが与えられると、SDRAM の初期化が完了した時点では、すべてのバンクはクローズ状態でページミスとなるため、DBSC3 は最初にアクティベート（ACT）コマンドを発行して対応するバンクを開きます。バンクを開いた後、リード／ライトリクエストに対応したSDRAM に対するリード/ライトコマンドを発行します。このとき、発行するリード／ライトコマンドの回数は、図12.3 に示すようにバス幅やリクエストサイズ（1、2、4、8、16、32バイト）によって異なります。たとえば、外部バス幅16 ビットでSHwy から32 バイトリードを行った場合には、2 回のリードコマンド発行が必要です。1 サイクル目のリードコマンド発行でデータが8 バースト長分（DDR クロックで4 サイクル分）読み出されるため、リードコマンド発行は5 サイクル目まで待たされることになります。

アクセスが終了した時点で、DBSC3 はプリチャージ（PRE）コマンドを発行することなくバンクを開いたままにしておきます。バンクを閉じるのは（1）後続のリクエストが同じバンクでロウアドレスが異なる場合、（2）自動リフレッシュ要求が発生した場合、（3）セルフリフレッシュの処理のためユーザがSDRAM コマンド制御レジスタでプリチャージオール（PREA）コマンドを発行した場合です。

このように、セルフリフレッシュを除いた通常のアクセス時では、DBSC3 がバンクの管理をハードウェアで行うため、ユーザ側での考慮は初期化時のレジスタ設定を除き不要です。

また、本コントローラは8 バンクのマルチバンクオペレーションを行います。したがって、同時に開かれているバンクの最大数は8 個です。SHwy からのアクセスアドレスと SDRAM のバンク／ロウアドレスの対応は「12.4.7 アドレスマルチプレクスについて」を参照してください。

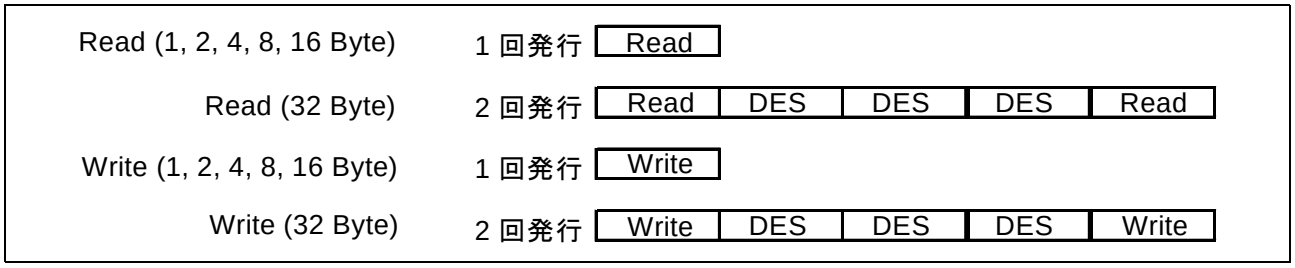


図 12.3　SHwy からのリクエストに応じSDRAM に対して発行するリード/ライトコマンド

(2)　先行プリチャージ／アクティベート処理

DBSC3 は、SDRAM のマルチバンク機能を生かし、SDRAM コマンドの空きサイクルをできるだけなくしバスの利用効率を上げるため、後続のリクエストキューのページミス処理に対応する PRE/ACT コマンドを先行して発行します。先行するのは PRE/ACT コマンドのみですので、リードライトの順番が崩れることはありません。先行PRE/ACT コマンドを発行するのは、後続リクエストが（1）ページミスかつ（2）現在処理中のリクエストと異なったバンクへのアクセスの場合に限られます。先行プリチャージ/アクティベート処理の実行例（動作説明のための例）を図 12.4 に示します。この例では、外部バス幅が16 ビットで、PRE-ACT 最小時間制約が4 サイクル、ACT-READ/WRITE 最小時間制約が4 サイクル、ACT-ACT 最小時間制約が2 サイクルのとき、SDRAM に対するコマンド発行がどのように行われているかを示しています。CAMODE ビット（DBSC 動作調整レジスタ（DBADJ0）のビット0）は”1”にセットされています。この例では、1 番目から4 番目までリクエストが積まれており1 番目が最初にキューに与えられたリクエストです。

まず、DBSC3 はコマンドの発行はメモリクロック2 クロックにつき1 回発行となるので、コマンドの間隔は必ず偶数になります。Time1 で1 番目のRead（16Byte）のリクエスト処理に対するPRE コマンドを SDRAM へ発行します。その後、時刻 Time3 で発行するコマンドを決定する際、優先順位の高い1 番目の Read（16Byte）のリクエスト処理として必要な ACT コマンドの発行は、タイミング制約のために Time3 では発行することができないことがわかります。そのため、DBSC3 はTime3 で発行するコマンドを後続のリクエストキューから検索します。検索の結果、3 番目のRead（8Byte）のリクエストが、先行プリチャージ処理可能であることがわかります。DBSC3 は先行したリクエストを優先するため、3 番目

の Read（8Byte）に対する先行プリチャージ処理を行うことを決定し、SDRAM へ PRE コマンドを発行します。

Time5 になって、1 番目の Read（16Byte）のリクエスト処理を実行することができるようになり、SDRAM へ ACT コマンドを発行します。Time7 では 1 番目の Read（8Byte）の SDRAM へ ACT コマンドを発行します。4 番目の Read（16Byte）リクエスト処理に対する PRE コマンドは、1 番目の Read（16Byte）の Read コマンド発行後、Time11 で PRE コマンドを SDRAM へ発行します。

その後は、上記で示した処理を繰り返します。

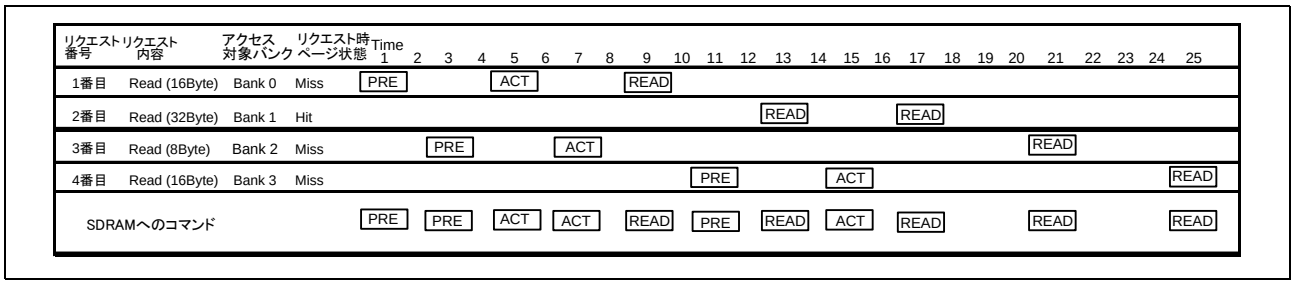


図 12.4　先行プリチャージ／アクティベート処理の例

12.4.3　初期化シーケンス

以下に初期化シーケンス例を示します。電源やタイミングパラメータなど、詳細は各メモリベンダのデータシートを参照して決定してください。

1. 使用するSDRAMのデータシートなどに従って、電源やリファレンス電圧を供給してください。
2. SH7753のパワーオンリセット解除後、SH-4Aが動作を開始してから、100μs以上ソフトウェアでウエイトしてください。
3. SDRAM種類設定レジスタ（DBKIND）でメモリの種類を設定してください。
4. SDRAM構成設定レジスタ（DBCONF）、SDRAMタイミングレジスタ0～19（DBTR0～19）、DBSC動作設定レジスタ0（DBADJ0）、DBSC動作設定レジスタ2（DBADJ2）及びODT動作設定レジスタ（DBRNK0）を設定してください。
5. 手動コマンド発行レジスタ（DBCMD）でSDRAMのRESET端子をLレベルにしてください（opc＝RstL、arg＝0）。
6. 手動コマンド発行レジスタ（DBCMD）でSDRAMのCKE端子をLレベルにしてください（opc＝PDEn、arg＝100μs）。
7. PHY部制御レジスタ3（DBPDCNT3）で自動キャリブレーションを選択してください。
8. PHY部制御レジスタ1（DBPDCNT1）で自動キャリブレーションを起動してください。
9. 10μs以上ソフトウェアでウエイトしてください。
10. PHY部制御レジスタ0（DBPDCNT0）でDLLのリセットを解除します。
11. 50μs以上ソフトウェアでウエイトしてください。
12. 手動コマンド発行レジスタ（DBCMD）でウエイトを挿入してください（opc = Wait、arg = 100μs）
13. 手動コマンド発行レジスタ（DBCMD）でSDRAMのRESET端子をHレベルにしてください（opc= RstH、arg = 100μs）。
14. 手動コマンド発行レジスタ（DBCMD）でウエイトを挿入してください（opc = Wait、arg = 100μsを4回書き込む）。
15. 手動コマンド発行レジスタ（DBCMD）でSDRAMのCKE端子をHレベルにしてください（opc = PDXt、arg = tXPR（通常、tRFC + 10ns））。
16. 手動コマンド発行レジスタ（DBCMD）でMRS（MR2）コマンドを発行してください。CWLの設定は、SDRAMタイミングレジスタ1（DBTR1）のCWLビットの設定と合わせてください。
17. 手動コマンド発行レジスタ（DBCMD）でMRS（MR3）コマンドを発行してください（MPR ＝ Normal operation）。
18. 手動コマンド発行レジスタ（DBCMD）でMRS（MR1）コマンドを発行してください（Additive Latency＝0、DLL Enable＝Enabled）。
19. 手動コマンド発行レジスタ（DBCMD）でMRS（MR0）コマンドを発行してください（動作モード：Normal、DLL：リセット、バースト長：8、バーストタイプ：シーケンシャル）。また、CAS Latencyの設定はCLビット（SDRAMタイミングレジスタ0（DBTR0）のビット3～0）の設定と、WRの設定はTWRビット（SDRAMタイミングレジスタ10（DBTR10）のビット3～0）の設定と、PPDの設定はパワーダウン設定レジスタ（DBPDNCNF）のPDDLLビットの設定と、それぞれ合わせてください。
20. 手動コマンド発行レジスタ（DBCMD）でZQ Calibration Longコマンドを発行してください（opc = ZQCL、arg = max{tZQinit, tDLLK－tMOD}（通常、512））。
21. 必要に応じて以下のレジスタの設定を行って下さい。
DBBS0CNT0、DBBS0CNT1、DBCALCNF、DBCALTR、DBPDNCNF、DBRNK0、MCR、ECCAREA、INTENR、RERRTHR、ECDEN
22. リフレッシュ設定レジスタ0～2（DBRFCNF0～DBRFCNF2）を設定してください。
23. DDR3-SDRAMキャリブレーション構成レジスタ（DBCALCNF）を設定してください。
24. 自動リフレッシュ許可レジスタ（DBRFEN）のARFENビットを”1”（自動リフレッシュ許可）に設定してください。
25. SDRAMアクセス許可レジスタ（DBACEN）のACCENビットを”1”（アクセス許可）に設定してください。
26. 操作完了待ちレジスタ（DBWAIT）を読み出します。

12.4.4　セルフリフレッシュ動作について

セルフリフレッシュにより、SDRAM の低消費電力化を図り、クロック周波数の変更とクロックの停止を可能にします。

(1)　セルフリフレッシュ

SDRAM にアクセスする必要がない場合、SDRAM をセルフリフレッシュモードに移行させることで、SDRAM 中のデータ内容を保持したまま SDRAM の消費電力を抑えることが可能です。

セルフリフレッシュ中はアクセス不許可になっているため、SDRAM に対するデータアクセスを実施すると、アクセスは無視されます。

セルフリフレッシュへの移行は、以下の手順に従い、行ってください。

① 本コントローラへのアクセスが行われていないことを確認し、割り込みなどにより処理が中断して、SDRAMが要求する自動リフレッシュの間隔を超えないようにしてください。
② SDRAM動作許可レジスタ（DBACEN）のACCENビットを0（アクセス禁止）に設定します。
③ 手動コマンド発行レジスタ（DBCMD）により PREA（プリチャージオール）コマンドを発行します。レジスタに書き込む値は、opc = PreA、arg = 0 とします。
④ 手動コマンド発行レジスタ（DBCMD）により Self-Refresh Entry コマンドを発行します。レジスタに書き込む値は、opc = SREn、arg = 0 とします。
⑤ 自動リフレッシュ許可レジスタ（DBRFEN）のARFENビットを0に設定します。

セルフリフレッシュの解除は下記の手順に従い、行ってください。

① 割込みなどにより解除処理が中断しないようにしてください（自動リフレッシュの期間確保のため）。
② 自動リフレッシュ許可レジスタ（DBRFEN）のARFENビットを”1”に設定します。
③ 手動コマンド発行レジスタ（DBCMD）により Self-Refresh Exit コマンドを発行します。レジスタに書き込む値は、opc = SRXt, arg = 0 とします。
④ 手動コマンド発行レジスタ（DBCMD）を利用して SDRAM へのアクセスが可能になるまでの待ち時間を挿入します。レジスタに書き込む値は、opc = Wait、arg = tXSDLL（通常、512）とします。
⑤ SDRAMアクセス許可レジスタ（DBACEN）のACCENビットを1（アクセス許可）に設定します。

12.4.5　動作中のリフレッシュの設定変更

DBSC3 では、動作中にリフレッシュの設定（リフレッシュ頻度等）を変更することが可能です。リフレッシュの設定を変更する際の手順の例を以下に示します。以下の例は DBACEN レジスタの ACCEN ビットを 1（アクセス許可）、DBRFEN レジスタの ARFEN ビットを 1（自動リフレッシュ可）にそれぞれ設定されている場合とします。

①必要に応じてリフレッシュ設定レジスタ 0～2（DBRFCNF0～DBRFCNF2）に書き込みを行い、設定を変更します。
②自動リフレッシュ許可レジスタ（DBRFEN）の ARFEN ビットに 1 を書き込みます。

手順②の書き込みの後、手順①で書き込んだ新しい設定がリフレッシュ動作に反映されます。

12.4.6　SDRAM 構成設定レジスタの設定方法

(1)　DDR3-SDRAM(外部バス 16bit)

メモリサイズ	メモリ構成	バンク [個]	ロウ [bit]	カラム [bit]	AWRW	AWRK	AWBK	AWCL	DW
64MB	32 M x 16 bit "512 Mbit"(1 個)	8	12	10	01100	0	11	1010	01
128MB	64 M x 8 bit "512 Mbit"(2 個)	8	13	10	01101	0	11	1010	01
	64 M x 16 bit "1 Gbit"(1 個)	8	13	10	01101	0	11	1010	01
256MB	128 M x 8 bit "1 Gbit"(2 個)	8	14	10	01110	0	11	1010	01
	128 M x 16 bit "2 Gbit"(1 個)	8	14	10	01110	0	11	1010	01
512MB	256 M x 8 bit "2 Gbit"(2 個)	8	15	10	01111	0	11	1010	01
	256 M x 16 bit "4 Gbit"(1 個)	8	15	10	01111	0	11	1010	01
1GB	512 M x 8 bit "4 Gbit"(2 個)	8	16	10	10000	0	11	1010	01
	512 M x 16 bit "8 Gbit" (1 個	8	16	10	10000	0	11	1010	01

注. コントローラとしては複数個の接続をサポートしますが、チップによっては電気特性上複数個の接続ができない場合があります。

12.4.7　アドレスマルチプレクスについて

SDRAM 構成レジスタ（DBCONF）の設定により各種サイズのメモリを接続可能です。BWIDTH ビットで外部バス幅を設定し、SPLIT ビットで接続するメモリサイズを設定します。BASFT ビットの設定によりバンクアドレスの位置を下位ビットの方に移すため、アプリケーションによってはページヒットの可能性が高まります。

A31-A0 はバイト単位の論理アドレスビットであり、A31 がMSB 側、A0 がLSB 側を示します。AP は自動プリチャージオプションを示します。

表12.10　アドレス端子と論理アドレスの関係(BKADM=00)
（16ビット幅SDRAM 1個、8ビット幅SDRAM 2 個接続時）

種類		BA2	BA1	BA0	M_A15	M_A14	M_A13	M_A12	M_A11	M_A10	M_A9	M_A8	M_A7	M_A6	M_A5	M_A4	M_A3	M_A2	M_A1	M_A0
32M × 16b	ROW	A13	A12	A11	0	0	0	0	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
64M × 16b	ROW	A13	A12	A11	0	0	0	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
128M × 16b	ROW	A13	A12	A11	0	0	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
256M × 16b	ROW	A13	A12	A11	0	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
512M × 16b	ROW	A13	A12	A11	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0

表12.11　アドレス端子と論理アドレスの関係(BKADM=01)
（16ビット幅SDRAM 1個、8ビット幅SDRAM 2 個接続時）

種類		BA2	BA1	BA0	M_A15	M_A14	M_A13	M_A12	M_A11	M_A10	M_A9	M_A8	M_A7	M_A6	M_A5	M_A4	M_A3	M_A2	M_A1	M_A0
32M × 16b	ROW	A25	A12	A11	0	0	0	0	A13	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A25	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
64M × 16b	ROW	A26	A12	A11	0	0	0	A13	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A26	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
128M × 16b	ROW	A27	A12	A11	0	0	A13	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A27	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
256M × 16b	ROW	A28	A12	A11	0	A13	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A28	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
512M × 16b	ROW	A29	A12	A11	A13	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A29	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0

注．BA2、M_A11～M_A15欄のグレーの部分はBKADM＝0の場合と異なります。

表12.12 SDRAMアドレス端子と論理アドレスの関係（BKADM = 10）
（16ビット幅SDRAM1個、8ビット幅SDRAM 2 個接続時）

種類		BA2	BA1	BA0	M_A15	M_A14	M_A13	M_A12	M_A11	M_A10	M_A9	M_A8	M_A7	M_A6	M_A5	M_A4	M_A3	M_A2	M_A1	M_A0
32M × 16b (A25 = 0)	ROW	A25	A24	A11	0	0	0	0	A13	A12	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A25	A24	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
32M × 16b (A25 = 1)	ROW	A25	A12	A11	0	0	0	0	A13	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A25	A12	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
64M × 16b (A26 = 0)	ROW	A26	A25	A11	0	0	0	A13	A12	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A26	A25	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
64M× 16b (A26 = 1)	ROW	A26	A12	A11	0	0	0	A13	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A26	A12	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
128M × 16b (A27 = 0)	ROW	A27	A26	A11	0	0	A13	A12	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A27	A26	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
128M × 16b (A27 = 1)	ROW	A27	A12	A11	0	0	A13	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A27	A12	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
256M × 16b (A28=0)	ROW	A28	A27	A11	0	A13	A12	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A28	A27	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
256M × 16b (A28 = 1)	ROW	A28	A12	A11	0	A13	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A28	A12	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
512M × 16b (A29 = 0)	ROW	A29	A28	A11	A13	A12	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A29	A28	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
512M × 16b (A29 = 1)	ROW	A29	A12	A11	A13	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A29	A12	A11	0	0	0	BC	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0

注．BA2、BA1、M_A10～M_A15欄のグレーの部分はBKADM＝00の場合と異なります。

表12.13 アドレス端子と論理アドレスの関係（BKADM=11）
（16ビット幅SDRAM 1個、8ビット幅SDRAM 2個接続時）

種類		BA2	BA1	BA0	M_A15	M_A14	M_A13	M_A12	M_A11	M_A10	M_A9	M_A8	M_A7	M_A6	M_A5	M_A4	M_A3	M_A2	M_A1	M_A0
32M × 16b (A[25:24] = 00)	ROW	A25	A24	A23	0	0	0	0	A13	A12	A11	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A25	A24	A23	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
32M × 16b (A[25:24] = 01)	ROW	A25	A24	A11	0	0	0	0	A13	A12	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A25	A24	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
32M × 16b (A25 = 1)	ROW	A25	A12	A11	0	0	0	0	A13	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A25	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
64M × 16b (A[26:25] = 00)	ROW	A26	A25	A24	0	0	0	A13	A12	A11	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A26	A25	A24	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
64M × 16b (A[26:25] = 01)	ROW	A26	A25	A11	0	0	0	A13	A12	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A26	A25	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
64M × 16b (A26 = 1)	ROW	A26	A12	A11	0	0	0	A13	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A26	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
128M × 16b (A[27:26] = 00)	ROW	A27	A26	A25	0	0	A13	A12	A11	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A27	A26	A25	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
128M × 16b (A[27:26] = 01)	ROW	A27	A26	A11	0	0	A13	A12	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A27	A26	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
128M × 16b (A27 = 1)	ROW	A27	A12	A11	0	0	A13	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A27	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
256M × 16b (A[28:27] = 00)	ROW	A28	A27	A26	0	A13	A12	A11	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A28	A27	A26	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
256M × 16b (A[28:27] = 01)	ROW	A28	A27	A11	0	A13	A12	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A28	A27	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
256M × 16b (A28 = 1)	ROW	A28	A12	A11	0	A13	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A28	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
512M × 16b (A[29:28] = 00)	ROW	A29	A28	A27	A13	A12	A11	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A29	A28	A27	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
512M × 16b (A[29:28] = 01)	ROW	A29	A28	A11	A13	A12	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A29	A28	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0
512M × 16b (A29 = 1)	ROW	A29	A12	A11	A13	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A29	A12	A11	0	0	0	$\overline{BC}$	0	AP	A10	A9	A8	A7	A6	A5	A4	0	0	0

注．BA2～BA0、M_A9～M_A15欄のグレーの部分はBKADM＝00の場合と異なります。

12.4.8　SDRAM アクセスとタイミング制約について

本節では、SDRAM の基本アクセスと観測される波形の関係を示した後、SDRAM アクセスとSDRAM タイミングレジスタ 0 ～ 19（DBTR0 ～ DBTR19）の設定による CAS レイテンシ（CL、CWL）、tRAS、tRFC、tRCD、tRP、tRRD、tWR、tRTP、tRC、READ-WRITE 間最小間隔、WRITE-READ 間最小間隔の制約の対応を示します。

(1)　Basic SDRAM Access

本節では基本的なSDRAM アクセスであるリード、ライト、自動リフレッシュ、セルフリフレッシュ動作時に外部バスで観測される波形について説明します。CAMODE ビット（DBSC 動作調整レジスタ 0（DBADJ0)のビット 0）は”1”にセットされています。

1/2/4/8/16 バイトリードを行った場合の波形を図12.5 に示します。READ コマンドを1 回だけ発行するシングルリードとなります。この図の例では、バンク A に対するリードアクセス処理がACT コマンド発行から開始されていますが、もし、ページヒットしている場合にはREAD コマンド発行からアクセスが開始されます。

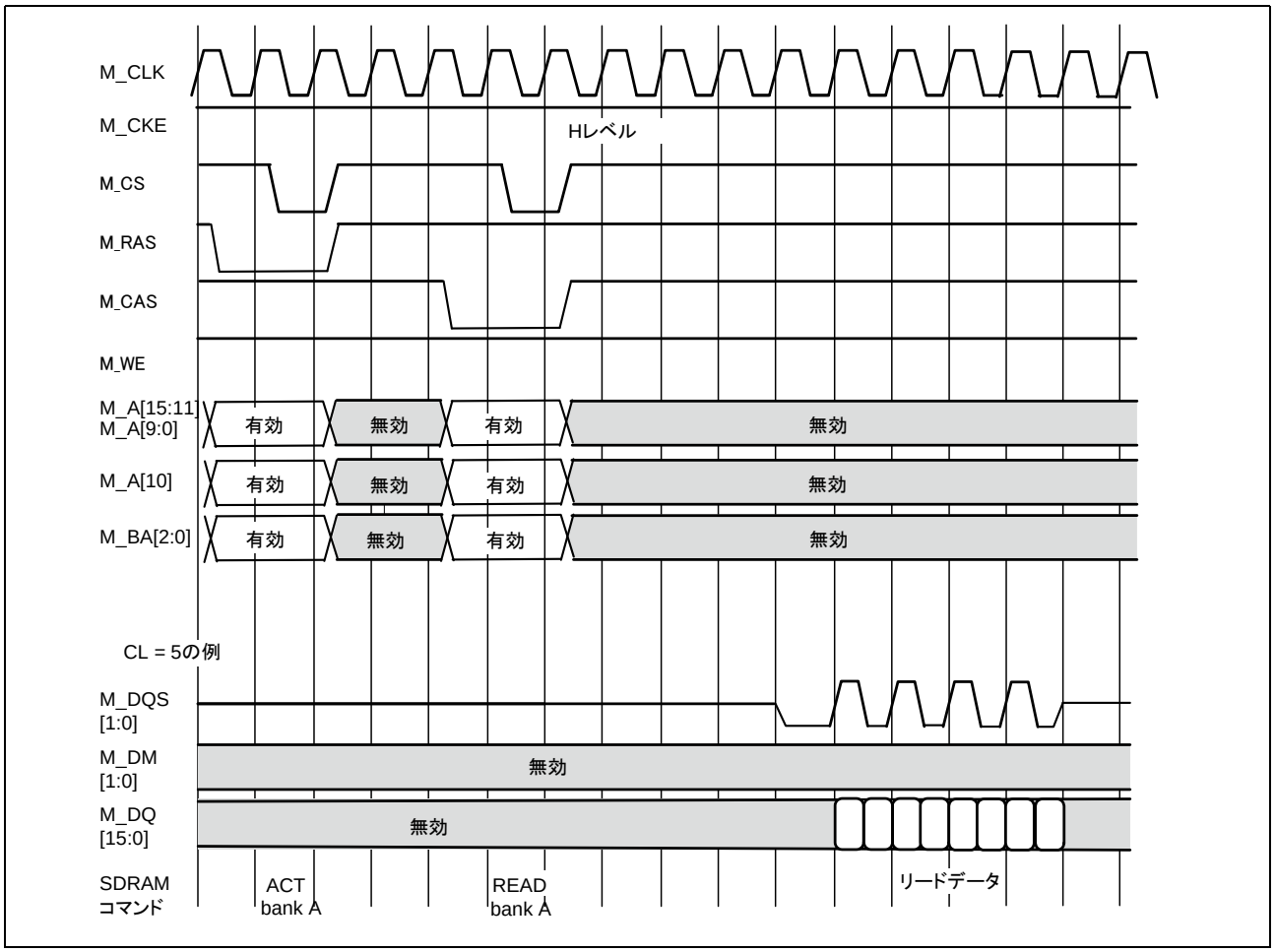


図 12.5　1/2/4/8/16 バイトリード

1/2/4/8/16 バイトライトを行った場合の波形を、図 12.6 に示します。WRITE コマンドを 1 回だけ発行するシングルライトとなります。この図の例では、バンク A に対するライトアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には WRITE コマンド発行からアクセスが開始されます。

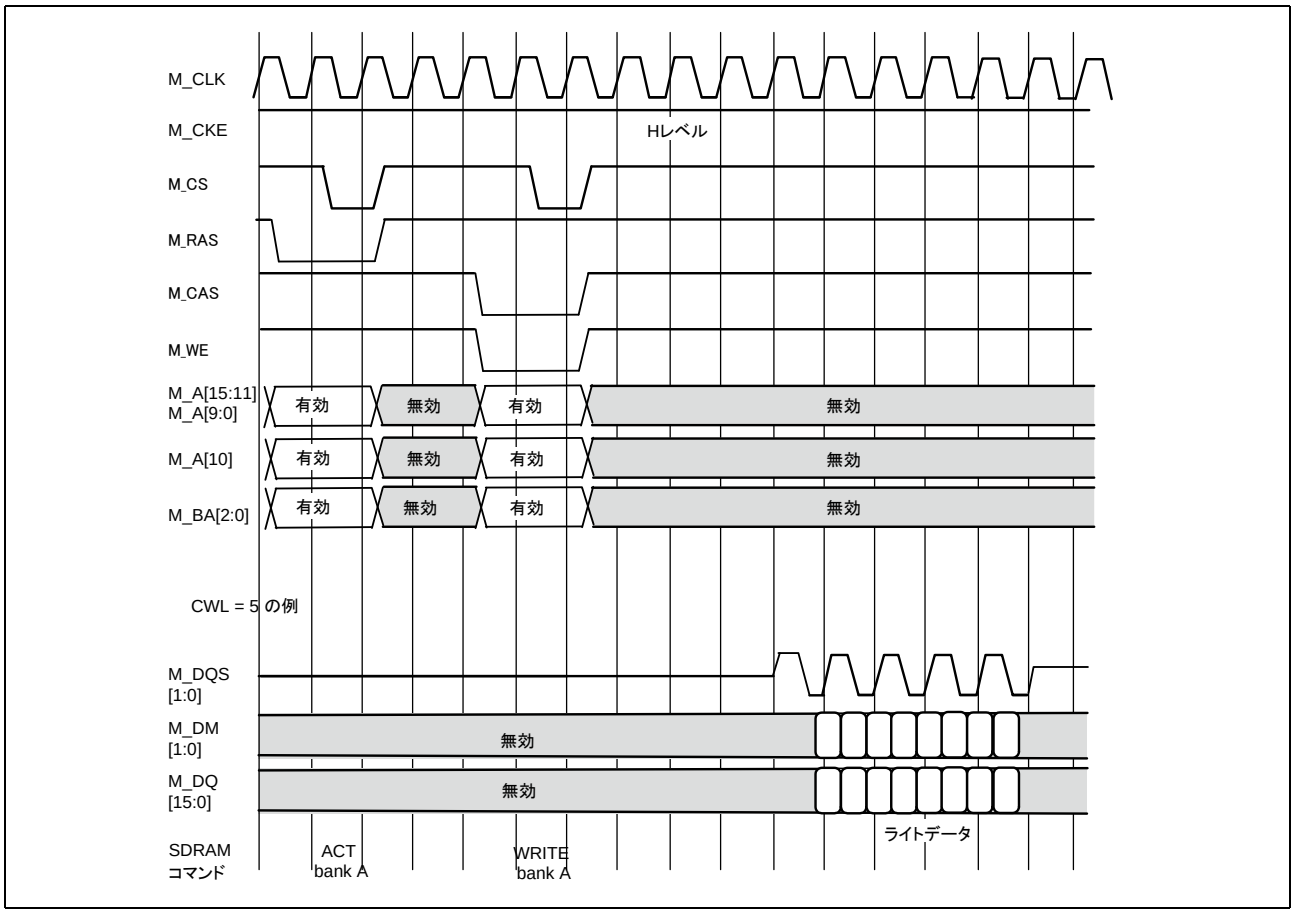


図 12.6　1/2/4/8/16 バイトライト

図 12.7 にSDRAM リフレッシュ制御レジスタ0、1、2 の設定により発生した自動リフレッシュ動作時の波形を示します。DBSC3は、REF コマンド発行前にDDR3-SDRAM のバンクが一つでもアクティベートされている場合、PREA コマンドを発行してからREF コマンド発行を自動的に行います。そのため、自動リフレッシュ動作のために、バンクがすべてプリチャージされていることをソフトウェアで管理する必要はありません。

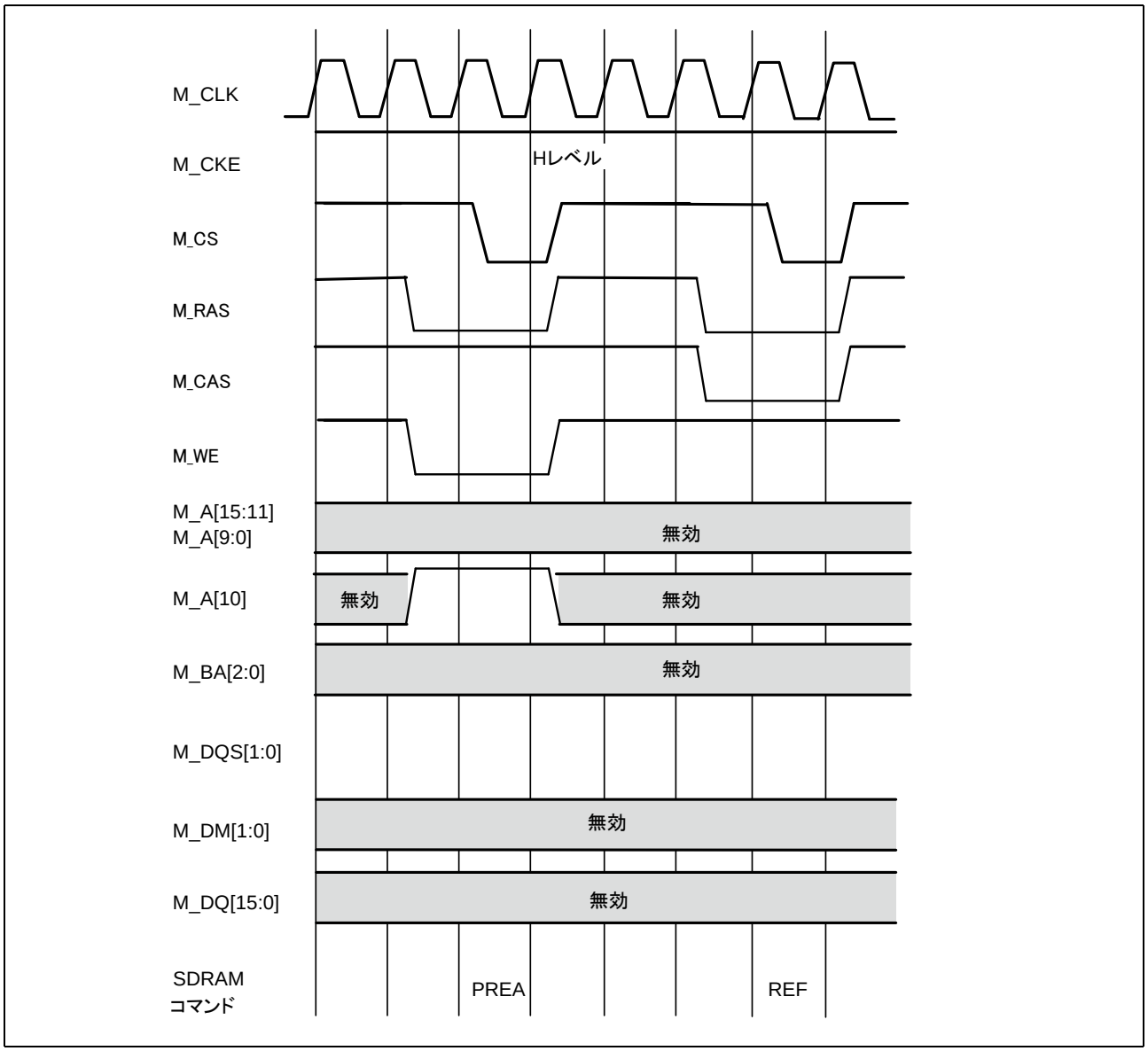


図 12.7　自動リフレッシュ動作

図12.8にセルフリフレッシュ動作を示します。セルフリフレッシュ動作を行うためには、シーケンスを守る必要があり、詳細は「12.4.4 セルフリフレッシュ動作について」に記載がありますので参照してください。

「12.4.4 セルフリフレッシュ動作について」のシーケンスとおりに処理を行うと、SDRAMに対して与えるコマンドは図12.8のようになります。セルフリフレッシュへ遷移させる前に、PREAコマンドをソフトウェアにて発行します。その後、ソフトウェアでREFコマンドを発行し、ソフトウェアでSRE（セルフリフレッシュ）コマンドを発行します。ソフトウェアでセルフリフレッシュ解除を行うまでSDRAMはセルフリフレッシュ状態になります。ソフトウェアでのSRX（セルフリフレッシュ解除）コマンド発行後、REFコマンド発行までの時間にはSDRAMが要求する制約があり、時間tXSNRだけ待つ必要があります。

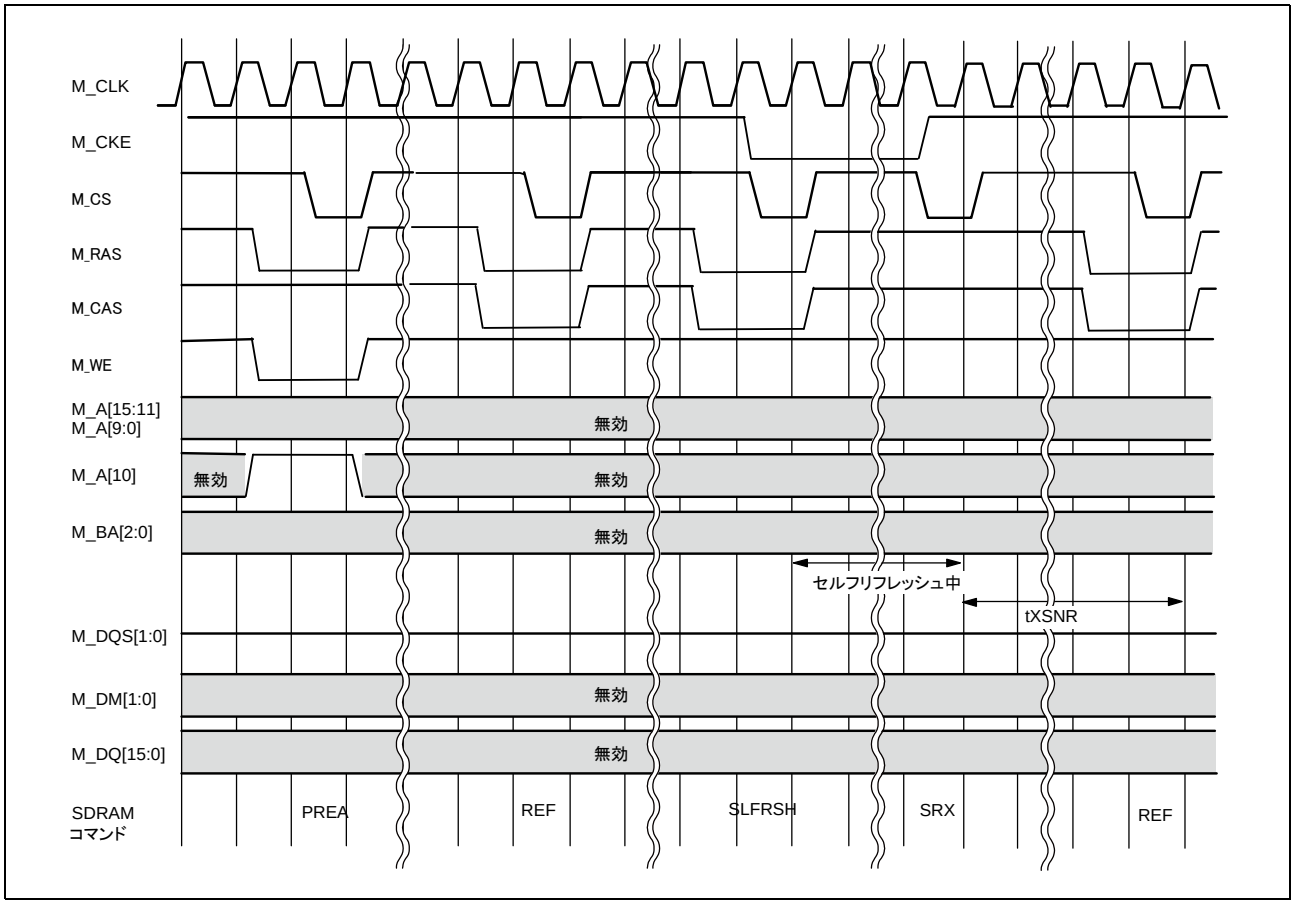


図 12.8　セルフリフレッシュ動作

(2)　タイミング制約について

図12.9にCL、tRAS、tRCD、tRPの設定値とコマンド発行の関係を示します。図12.10にはtRRD、tRTPの関係、図12.11はtWRの関係、図12.12 tRCの関係、図12.13 READ-WRITE間の関係、図12.14 WRITE-READ間の関係、図12.15 tRFCの関係を示しています。

図12.9、バンクAが開かれている状態で同じバンクAに対するリードアクセスがありページミスが発生した場合の動作に対応しています。PREコマンドとACTコマンド間の制約tRP、ACTコマンドとREADコマンド間の制約tRCD、ACTコマンドとPREコマンド間の制約tRCDが関係します。DBSC3は各制約を満たすまでコマンドの発行を延期します。

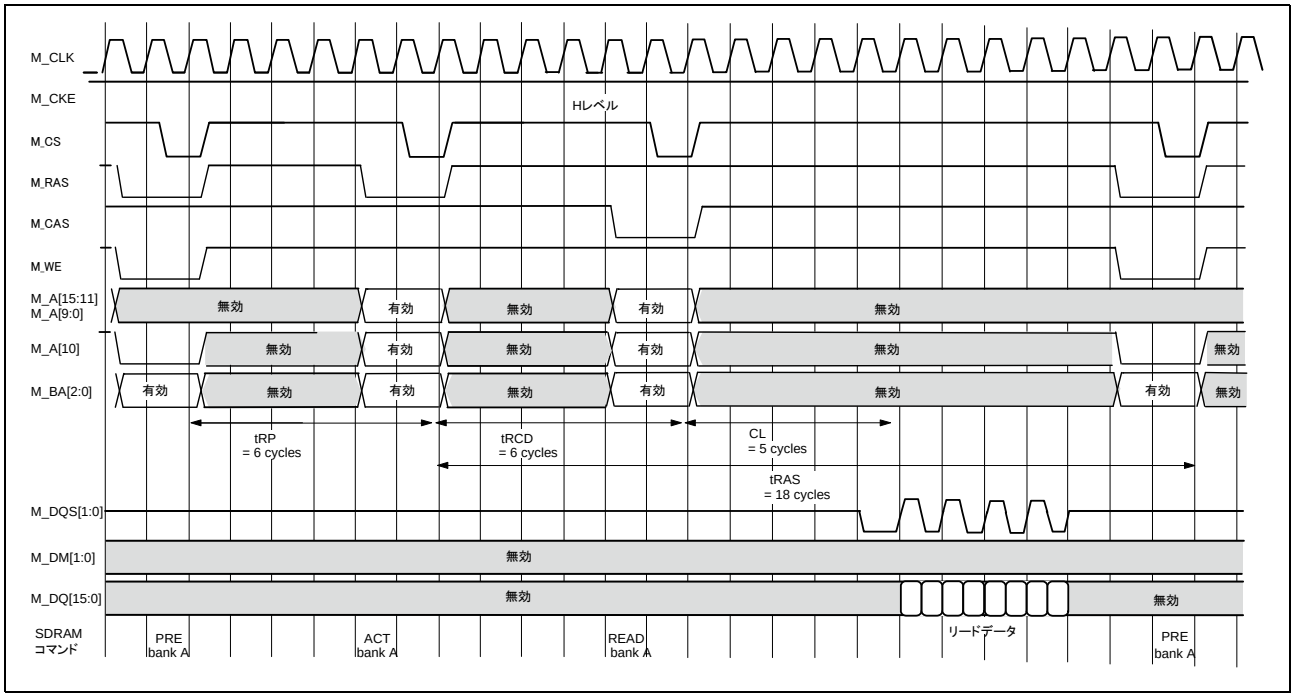


図 12.9　tRP、tRCD、CL、tRASについて

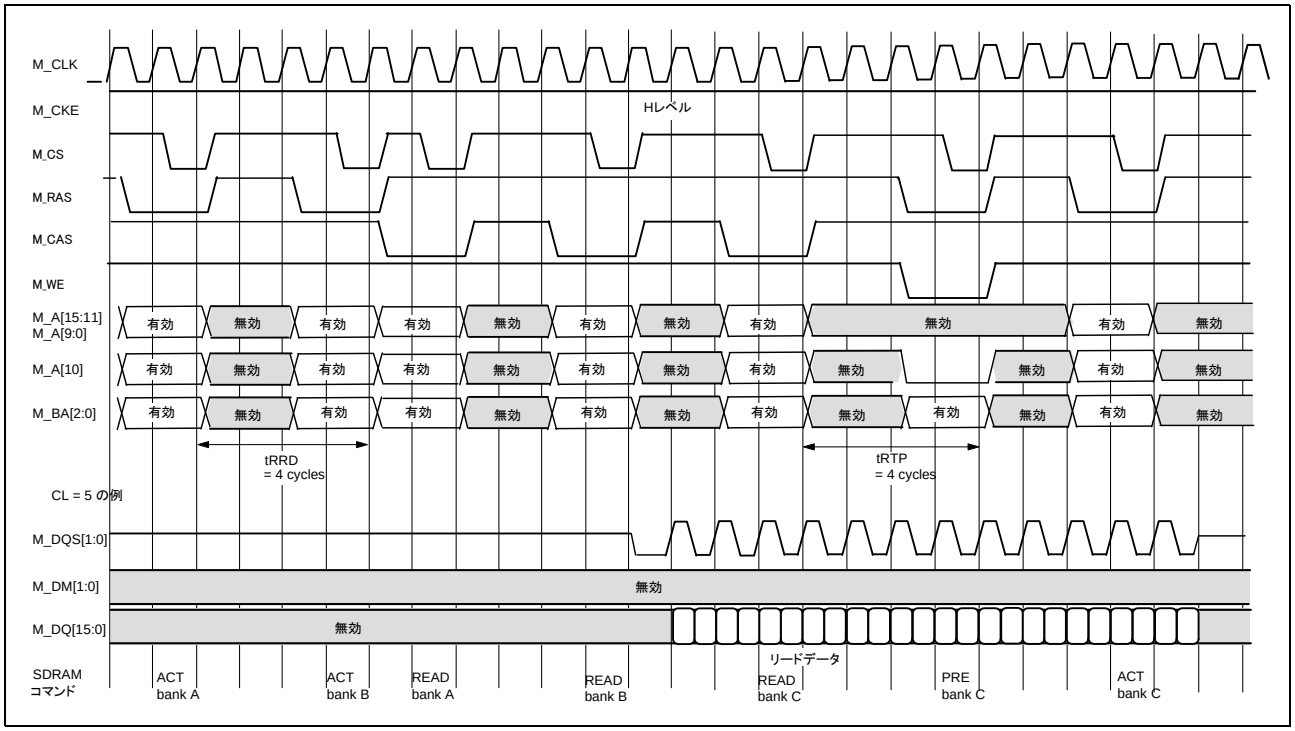


図 12.10　tRRD、tRTP について

図 12.10 は、バンク A,B のページが共に閉じており、バンク C のページが開かれてページヒットしている場合を示しています。まずバンク A の ACT コマンド発行から開始し、tRRD 時間制約を満たした後、バンク B の ACT コマンドを発行します。バンク A の ACT コマンド発行から tRCD 時間経過したため、READ コマンド発行が可能になります。READ コマンドはバースト長 8 なので 4 サイクル後に、バンク B に対する READ コマンドを発行することが可能になります。さらに 4 サイクル後、バンク C に対する READ コマンドを発行します。ただし、次のリクエストはバンク C を閉じる必要のあるアクセスなので、tRTP 時間経過後に PRE コマンドを発行しています。

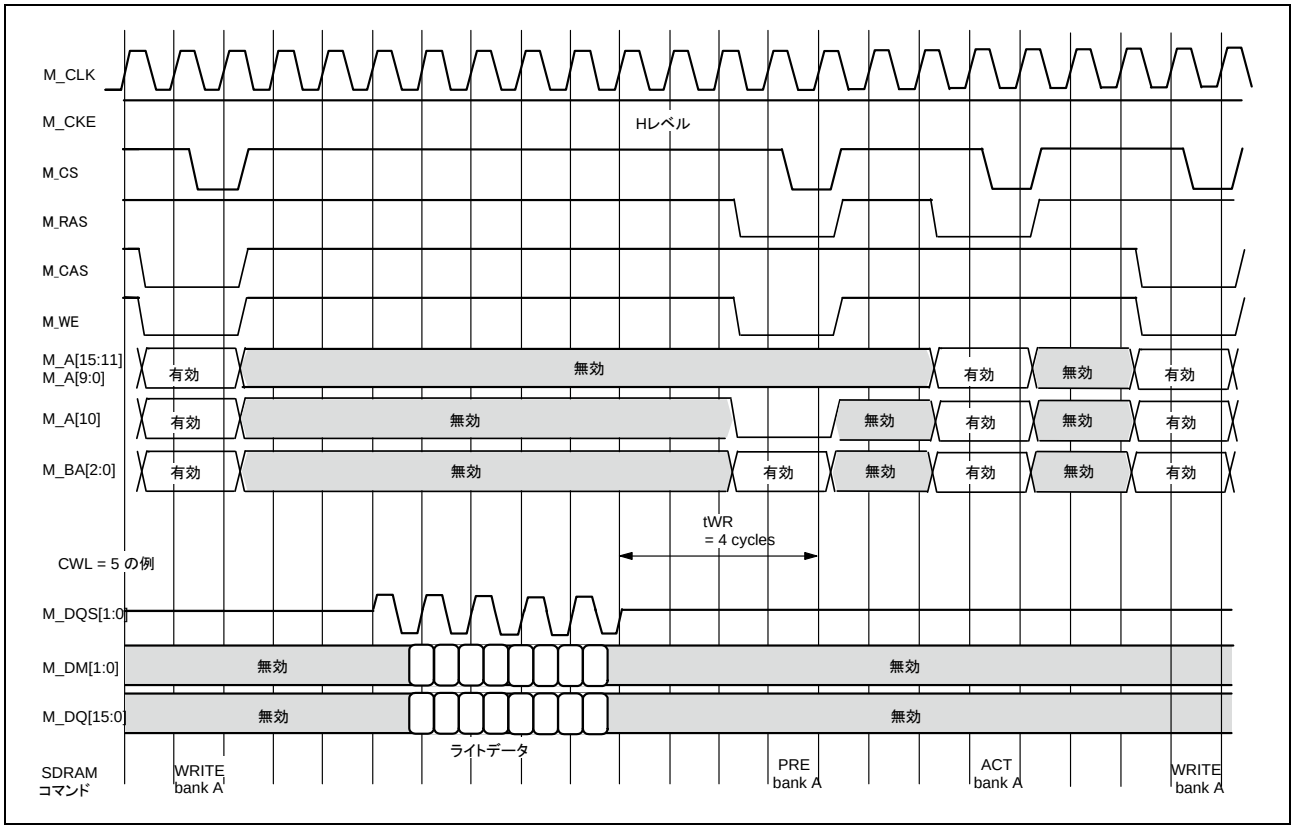


図 12.11　tWR について

図 12.11 は、ライトリクエスト後にバンク B を閉じる必要のあるアクセスが生じた場合を示しています。WRITE コマンド発行後に、PRE コマンド発行のためには、ライトデータが出力されてから tWR 時間以上経過を待つ必要があります。

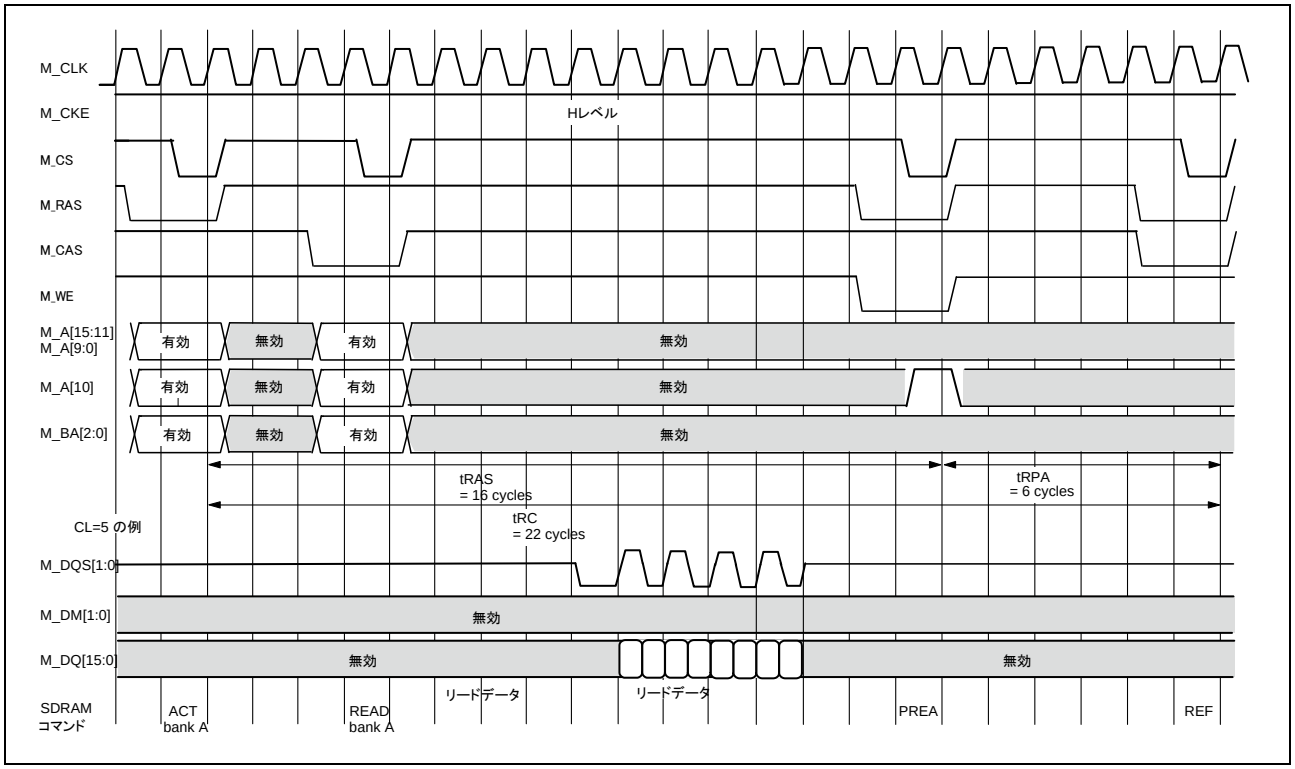


図 12.12　tRC

図 12.12 は、ページが閉じられていたバンク A のリードアクセスの後、自動リフレッシュを行う場合の例です。バンク A に対して ACT コマンドと READ コマンドを発行してデータリードを行った後、自動リフレッシュを行うため、PREA コマンドを使いすべてのバンクを閉じる必要があります。PREA コマンド発行のためには、tRAS 時間制約を満たす必要があり、それまでPREA コマンド発行が延期されます。その後、REF コマンドを発行する際、tRPA と tRC 時間を同時に満たす必要があります。それらの制約がすべて満たされた際に、REF コマンドが発行され自動リフレッシュが行われます。

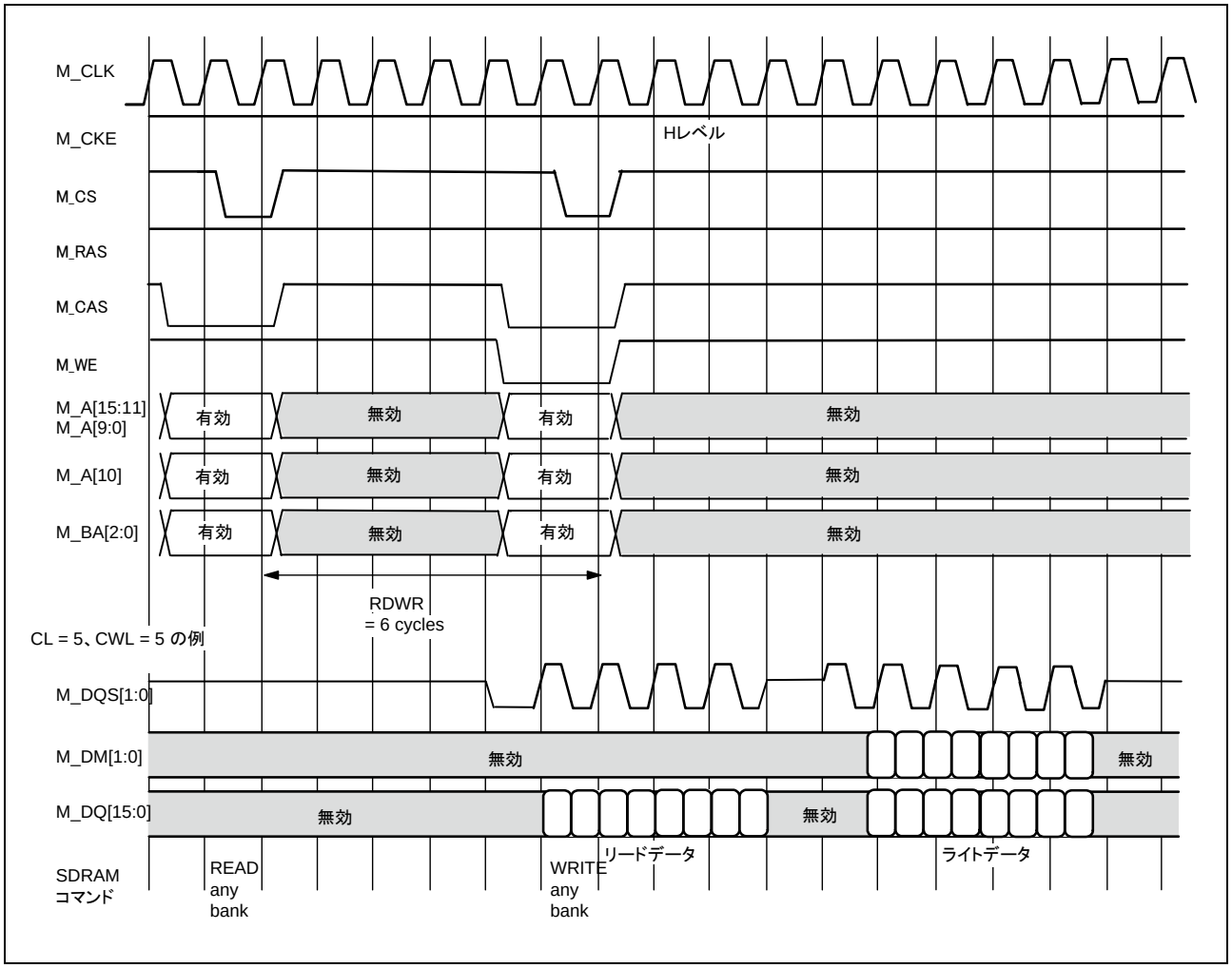


図 12.13　READ-WRITE 間最小間隔について

図12.13 はREAD コマンド発行後、WRITE コマンドを発行した場合の例です。DBSC3は、READ コマンド発行後、WRITE コマンド発行のために、最低RDWR で規定した時間分経過するのを待ちます。

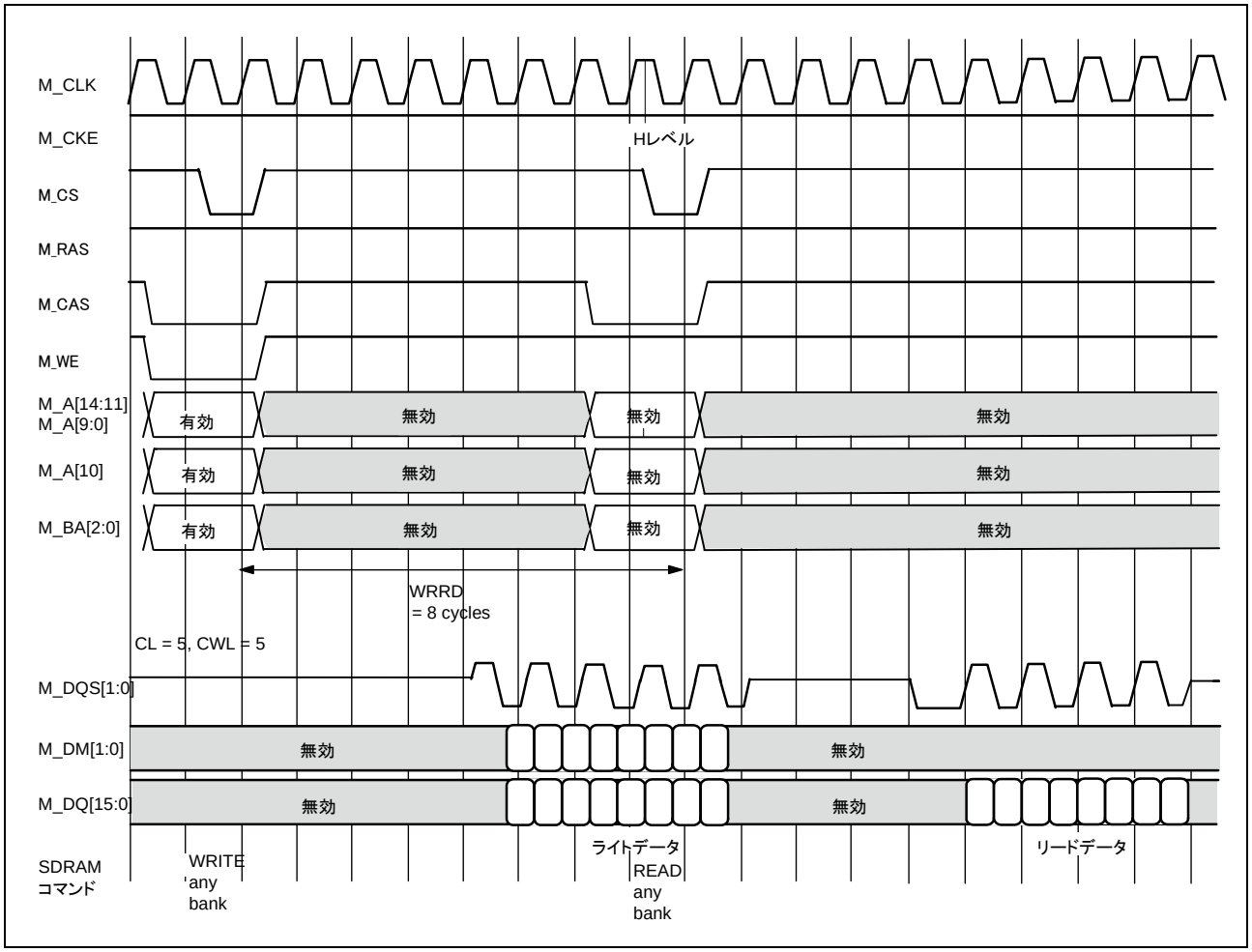


図 12.14　WRITE-READ 間最小間隔について

図12.14 はWRITE コマンド発行後、READ コマンドを発行した場合の例です。DBSC3は、WRITE コマンド発行後、READ コマンド発行のために、最低WRRD で規定した時間分経過するのを待ちます。

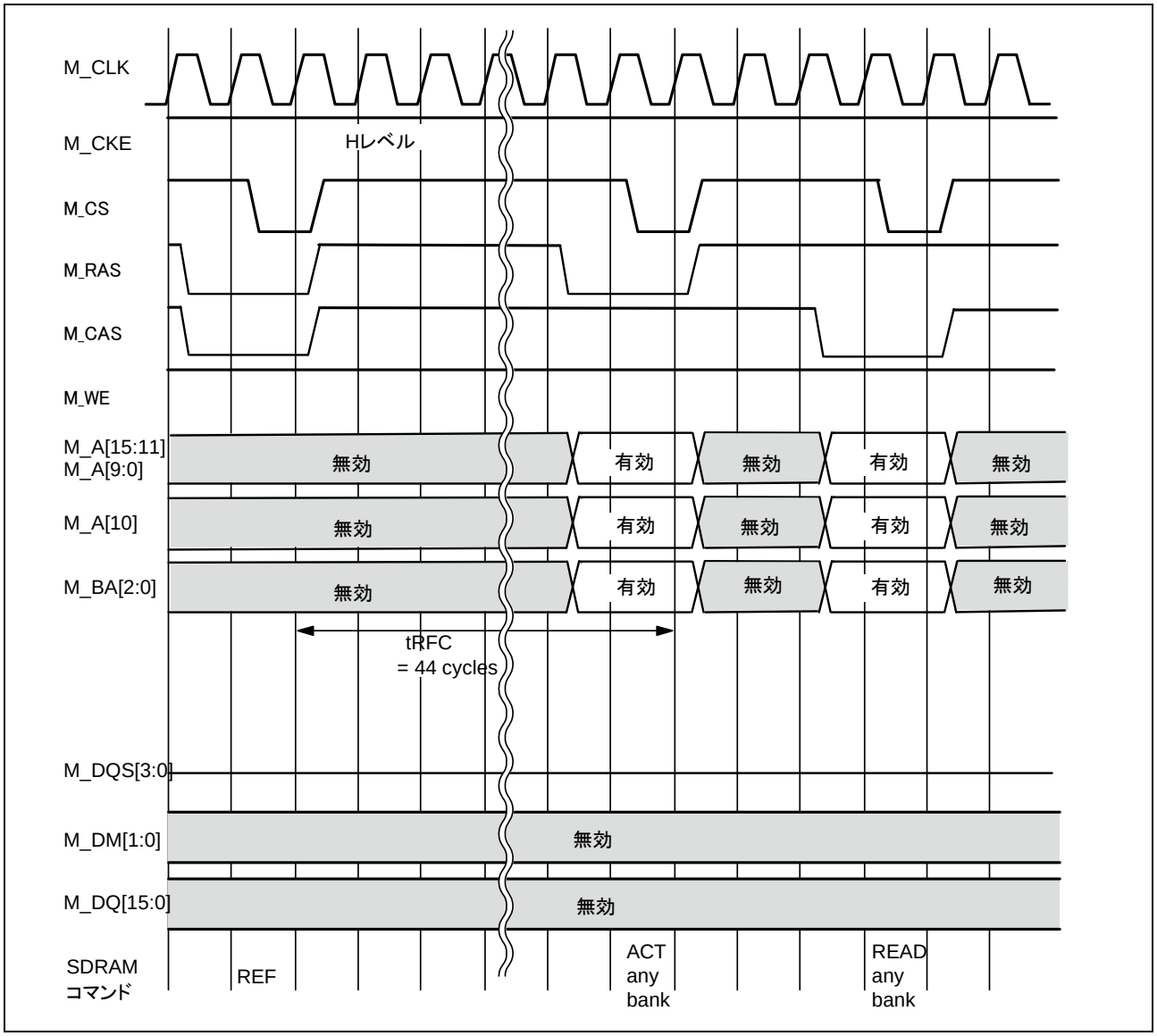


図 12.15　tRFC について

図12.15 はREF コマンド発行後、READ リクエストが発生した場合の動作例です。DBSC3はREF コマンド発行後、tRFC で規定した時間分、ACT コマンド発行を待ちます。

13. DDR3-SDRAM エラーコレクションコントローラ（ECD）

DDR3-SDRAM エラーコレクションコントローラ（ECD）は、エラー訂正コードを生成し、DDR3-SDRAM に割り当てられたアドレス空間の1シンボル（8ビットユーザデータ＋5ビットECCコード）内の1ビットのエラー（リカバラブルエラー）を修正します。1シンボル内に2ビット以上のエラー（アンコレクタブルエラー）がある場合は、修正しません。

13.1 特長

- 4つの割り込み要因

リカバラブルエラー割り込み	：リカバラブルエラーが発生した場合に発生
アンコレクタブルエラー割り込み	：アンコレクタブルエラーが発生した場合に発生
リカバラブルエラー数オーバフロー割り込み	：リカバラブルエラーの発生回数が、レジスタに設定した任意のしきい値と等しくなった場合に発生
エラーアドレスアクセス割り込み	：アクセス禁止領域にアクセスした場合に発生

- 最大8GビットのDDR3-SDRAM をサポート
- レジスタの設定により DDR3 アドレス空間を ECC 領域と非 ECC領域に区分可能（ECC領域として確保した領域下位半分が、ユーザデータ領域として使用可能）
- 任意のアクセスサイズがデータ単位として使用可能（バイト、ワード、ロングワード、8バイト、16バイト、32バイト、64バイト、128バイト）
- 自動ライトバック機能（リカバラブルエラー発生時のみ）

13.2　ブロック図

図 13.1 に ECD のブロック図を示します。

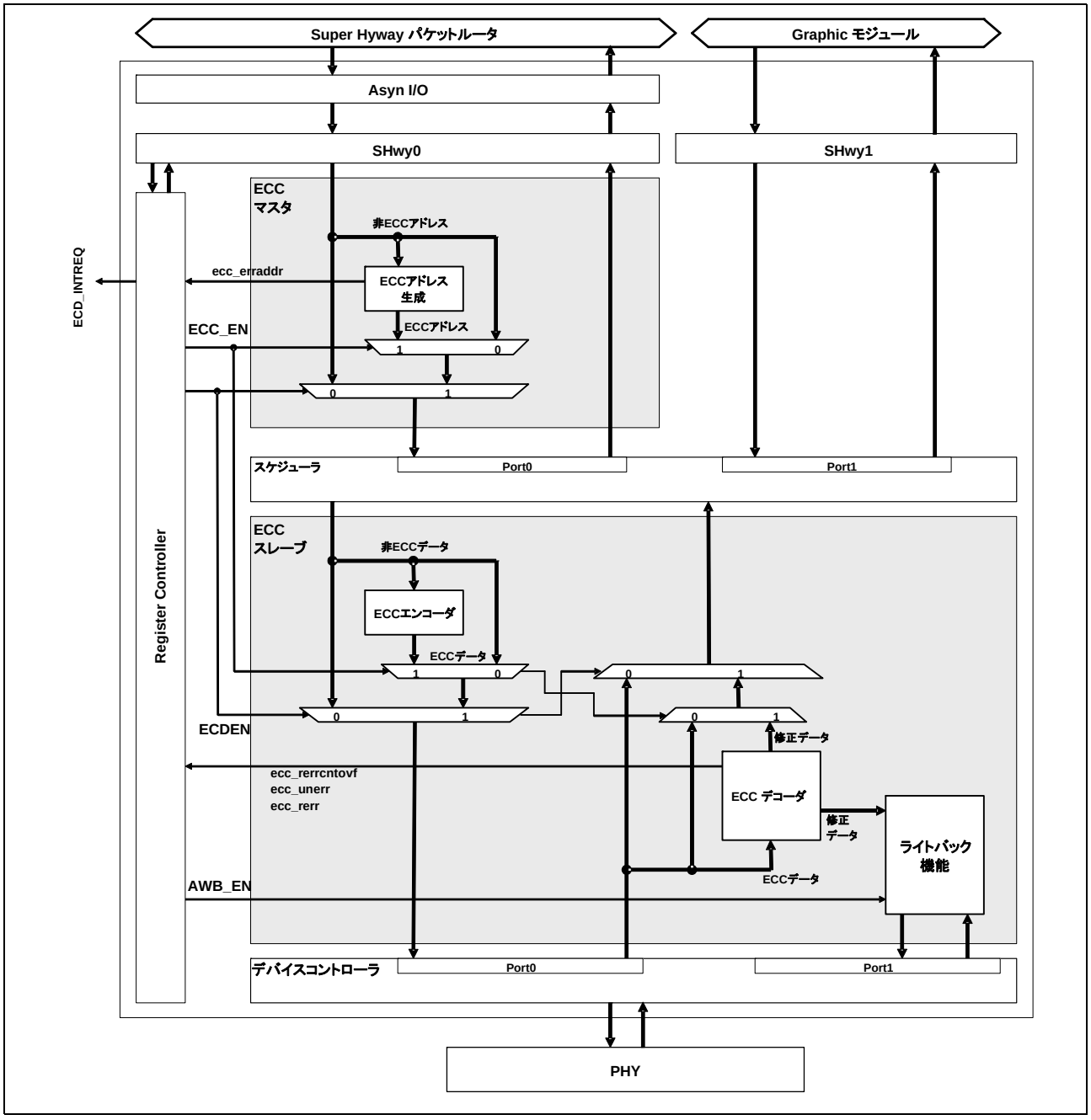


図 13.1　ブロック図

ECD モジュールは DBSC3 モジュール内に配置され、DDR メモリのエラーを直接修正することができます。また、ECDEN ビット（ECDEN レジスタのビット 0）により内部バスセレクタの切り替えが可能です。ECD の機能を使用する際は ECDEN ビットを 1 に設定してください（初期値 0）。

13.3　レジスタの説明

表 13.1 にECDのレジスタ構成を示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

また、ECD のレジスタ領域は、H'FE80 0400 ～ H'FE80 04FF で、DBSC3 のレジスタ領域の一部です。

表13.1　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
モードコントロールレジスタ	MCR	R/W	H'FE80 0400	32	H'0000 0000	H'0000 0000	H'0000 0000
ECC領域設定レジスタ	ECCAREA	R/W	H'FE80 0410	32	H'0000 0000	H'0000 0000	H'0000 0000
割り込み許可レジスタ	INTENR	R/W	H'FE80 0430	32	H'0000 0000	H'0000 0000	H'0000 0000
割り込み要因レジスタ	INTSR	R/W	H'FE80 0434	32	H'0000 0000	H'0000 0000	H'0000 0000
リカバラブルエラーしきい値指定レジスタ	RERRTHR	R/W	H'FE80 0440	32	H'0000 0000	H'0000 0000	H'0000 0000
リカバラブルエラーカウントレジスタ	RERRCR	R	H'FE80 0444	32	H'0000 0000	H'0000 0000	H'0000 0000
リカバラブルエラーカウントコントロールレジスタ	RERRCCR	W	H'FE80 0448	32	H'0000 0000	H'0000 0000	H'0000 0000
リカバラブルエラーアドレスレジスタ	RERRADDR	R	H'FE80 0450	32	H'0000 0000	H'0000 0000	H'0000 0000
リカバラブルエラープレデータレジスタ	RERRPREDR	R	H'FE80 0454	32	H'0000 0000	H'0000 0000	H'0000 0000
リカバラブルエラーポストデータレジスタ	RERRPOSTDR	R	H'FE80 0458	32	H'0000 0000	H'0000 0000	H'0000 0000
アンコレクタブルエラーアドレスレジスタ	UERRADDR	R	H'FE80 0460	32	H'0000 0000	H'0000 0000	H'0000 0000
アンコレクタブルエラープレデータレジスタ	UERRPREDR	R	H'FE80 0464	32	H'0000 0000	H'0000 0000	H'0000 0000
ECD イネーブルレジスタ	ECDEN	R/W	H'FE80 0490	32	H'0000 0000	H'0000 0000	H'0000 0000

13.3.1　モードコントロールレジスタ（MCR）

MCR は、読み出し／書き込み可能な32 ビットのレジスタで、ECD の動作モードと有効／無効を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AWB_EN	—	—	—	—	—	—	—	ECC_EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 9	—	0	—	リザーブビット
8	AWB_EN	0	R/W	0：自動ライトバック機能無効 1：自動ライトバック機能有効
7～ 1	—	0	—	リザーブビット
0	ECC_EN	0	R/W	0：ECC無効（DDR3-SDRAM メモリの全空間は非 ECC領域） 1：ECC有効

注．このレジスタの設定は、DBSC3初期設定シーケンス内でのみ行ってください（「12.4.3 初期化シーケンス」参照）。
また、SDRAMアクセス無効（ACCENビット＝0）時に設定してください。

13.3.2　ECC領域設定レジスタ (ECCAREA)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECCTOPADR											—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECCAREA											—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～21	ECCTOPADR	0	R/W	ECC領域開始アドレス設定ビット ECD機能を有効にする前に、接続されたDDR3-SDRAMの容量に応じて以下の値を設定してください。(注1) 0100 0000 000：ECC領域開始アドレス=H'4000 0000 0100 0000 001：ECC領域開始アドレス=H'4020 0000 0000 0000 010：ECC領域開始アドレス=H'4040 0000 : 0111 1111 110　：ECC領域開始アドレス=H'7FC0 0000 上記以外　　：設定禁止 ECD機能が有効でない場合、上記の設定は無効です。
20～16	—	0	—	リザーブビット
15～5	ECCAREA	0	R/W	ECC領域物理サイズ設定ビット ECD機能を有効にする前に、接続されたDDR3-SDRAMの容量に応じて以下の値を設定してください。(注1) 0000 0000 000：0MB (非ECC領域) 0000 0000 001：2MB 0000 0000 010：4MB : 0001 1111 111　：510MB 0010 0000 000：512MB 上記以外　　：設定禁止 ECD機能が有効でない場合、上記の設定は無効です。
4～0	—	0	—	リザーブビット

注1. ECC領域は下位半分がアクセス可能で、上位半分は非アクセス領域です。非アクセス領域へのアクセスは禁止です。アクセスした場合、DDRの格納データが破損するおそれがあります。
2. このレジスタの設定は、DBSC3初期設定シーケンス内でのみ行ってください（「12.4.3 初期化シーケンス」参照）。また、SDRAMアクセス無効（ACCENビット＝0）時に設定してください。

13.3.3　割り込み許可レジスタ（INTENR）

INTENR は、読み出し／書き込み可能な32 ビットのレジスタで、INTSR レジスタの対応するビットによって示される割り込み要因の許可、又は禁止を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRADDR_INTEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RERRCNTOVF_INTEN	UERR_INTEN	RERR_INTEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 17	—	0	—	リザーブビット
16	ERRADDR_INTEN	0	R/W	エラーアドレス（アクセス禁止領域）アクセス割り込み 0：禁止 1：許可（ERRADDR が"1"になったとき割り込み発生）
15～3	—	0	—	リザーブビット
2	RERRCNTOVF_INTEN	0	R/W	リカバラブルエラー数オーバーフロー割り込み 0：禁止 1：許可（RERR_COUNT ビットが“1”になったとき割り込み発生）
1	UERR_INTEN	0	R/W	アンコレクタブルエラー割り込み 0：禁止 1：許可（UERR ビットが“1”になったとき割り込み発生）
0	RERR_INTEN	0	R/W	リカバラブルエラー割り込み 0：禁止 1：許可（RERR_INT ビットが“1”になったとき割り込み発生）

注．このレジスタの設定は、DBSC3初期設定シーケンス内でのみ行ってください（「12.4.3 初期化シーケンス」参照）。
また、SDRAMアクセス無効（ACCEN ビット＝0）時に設定してください。

13.3.4　割り込み要因レジスタ（INTSR）

INTSR は、読み出し／書き込み可能な32 ビットのレジスタで、ECD のステータスを示します。各ビットに “1” を書くと、対応するフラグが “0” になります。“0” を書いてもフラグは変化しません。

ステータスは割り込みによってSH-4A に通知することができ、INTENR レジスタの対応するビットによって、それらの割り込みを許可、又は禁止することができます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ERRADDR_INT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RERRCNTOVF_INT	UERR_INT	RERR_INT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 17	—	0	—	リザーブビット
16	ERRADDR_INT	0	R/W	エラーアドレス（アクセス禁止領域）にアクセスすると"1"になります。（注）
15～3	—	0	—	リザーブビット
2	RERRCNTOVF_INT	0	R/W	リカバラブルエラー発生回数（RERR_COUNTビットの値）がRERR_THビットに設定したしきい値と等しくなると“1”になります。（注）
1	UERR_INT	0	R/W	アンコレクタブルエラーが発生すると“1”になります。（注）
0	RERR_INT	0	R/W	リカバラブルエラーが発生すると“1”になります。（注）

注．一度“1”になると、“0”が書き込まれるまで“0”になりません。

13.3.5　リカバラブルエラー しきい値指定レジスタ（RERRTHR）

RERRTHR は、読み出し／書き込み可能な32 ビットのレジスタで、リカバラブルエラーが何回発生した場合にリカバラブルエラー数オーバフロー割り込みを発生させるかのしきい値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RERR_TH															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15 ～ 0	RERR_TH	H’0000	R/W	リカバラブルエラーのしきい値を設定します。 リカバラブルエラーの発生回数（RERR_COUNT ビットの値）がこのビットに設定した値（1～65535）と等しくなると、RERRCNTOVF_INT ビットが“1”になります。 H'0000 を設定すると、RERRCNTOVF_INT ビットは“1”になりません。

注．このレジスタの設定は、DBSC3初期設定シーケンス内でのみ行ってください（「12.4.3 初期化シーケンス」参照）。また、SDRAMアクセス無効（ACCEN ビット＝0）時に設定してください。

13.3.6　リカバラブルエラーカウントレジスタ（RERRCR）

RERRCR は、読み出し可能な32 ビットのレジスタで、リカバラブルエラーの発生回数を示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RERR_COUNT															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	RERR_COUNT	H'0000	R	4シンボル内に1つ以上のリカバラブルエラーがある場合、+1されます。 RERRC_CLEARビットに“0”又は“1”を書くと、これらのビットはH'0000になります。

13.3.7　リカバラブルエラーカウントコントロールレジスタ（RERRCCR）

RERRCCRは、書き込み可能な32 ビットのレジスタで、RERRC_CLEAR ビットに“0”又は“1”を書くとRERR_COUNTビットがH'0000になります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RERRC_CLEAR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	RERRC_CLEAR	0	W	“0”又は“1”を書くと、RERR_COUNTビットがH'0000 になります。

13.3.8　リカバラブルエラー アドレスレジスタ（RERRADDR）

RERRADDR は、読み出し可能な32 ビットのレジスタで、最後に発生したリカバラブルエラーのアドレスを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RERR_ADDR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RERR_ADDR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RERR_ADDR	H'0000 0000	R	最後に発生したリカバラブルエラーのアドレスを示します。

注．格納されるアドレスはエンディアンモードに依存します。詳細は「13.4.2 ECC動作説明」を参照してください。

13.3.9　リカバラブルエラー プレデータレジスタ（RERRPREDR）

RERRPREDR は、読み出し可能な 32 ビットのレジスタで、最後に発生したリカバラブルエラーの修正処理前データを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RERR_PREDATA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RERR_PREDATA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RERR_ PREDATA	H'0000 0000	R	最後に発生したリカバラブルエラーの修正処理前データ（4シンボル中のユーザデータ4バイト）を示します。

13.3.10 リカバラブルエラー ポストデータレジスタ（RERRPOSTDR）

RERRPOSTDR は、読み出し可能な32 ビットのレジスタで、最後に発生したリカバラブルエラーの修正処理後データを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RERR_POSTDATA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RERR_POSTDATA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RERR_ POSTDATA	H'0000 0000	R	最後に発生したリカバラブルエラーの修正処理後データ（4 シンボル中のユーザデータ4バイト）を示します。

13.3.11 アンコレクタブルエラー アドレスレジスタ（UERRADDR）

UERRADDR は、読み出し可能な32 ビットのレジスタで、最後に発生したアンコレクタブルエラーのアドレスを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UERR_ADDR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UERR_ADDR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	UERR_ ADDR	H'0000 0000	R	最後に発生したアンコレクタブルエラーのアドレスを示します。

注．格納されるアドレスはエンディアンモードに依存します。詳細は「13.4.2 ECC動作説明」を参照してください。

13.3.12 アンコレクタブルエラー プレデータレジスタ（UERRPREDR）

UERRPREDR は、読み出し可能な 32 ビットのレジスタで、最後にアンコレクタブルエラーが発生したデータを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UERR_PREDATA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UERR_PREDATA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～0	UERR_ PREDATA	H'0000 0000	R	最後にアンコレクタブルエラーが発生したデータ（4シンボル中のユーザデータ4バイト）を示します。

13.3.13 ECD イネーブルレジスタ（ECDEN）

ECDEN は、読み出し／書き込み可能な32 ビットのレジスタで、ECDモジュールの有効／無効を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECDEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～1	—	0	—	リザーブビット
0	ECDEN	0	R/W	0：ECDモジュール無効 1：ECDモジュール有効

注．このレジスタの設定は、DBSC3初期設定シーケンス内でのみ行ってください（「12.4.3 初期化シーケンス」参照）。また、SDRAMアクセス無効（ACCENビット＝0）時に設定してください。

13.4　動作説明

13.4.1　初期設定

以下に示すECDの初期設定手順1～5は、DBSC3初期化シーケンス(「12.4.3 初期化シーケンス」参照)の中で行ってください。

1. ECC領域の設定
   ECC領域開始アドレス：ECCTOPADRビット＝H'400（ECC 領域開始アドレス：H’4000 0000）(注)
   ECC領域物理サイズ　：ECCAREAビット＝1～H'200（2M～512Mバイト）

   注. 特に問題がなければ、ECC領域開始アドレスがH'4000 0000番地になるように設定してください。

[ECC領域設定時の制限事項]
ECD機能使用時はECCAREA（アクセス可能領域及び非アクセス領域）及び非ECCAREAを、接続しているDDR3-SDRAMの容量に応じてDBSCアドレス領域に割り当ててください。

2. 割り込みの設定
   •INTENRで必要な割り込み要因を許可
   •必要に応じて、RERRTHRにリカバラブルエラー数オーバフローを検出するためのしきい値を設定

3. ECDモジュール有効
   • ECDENビット＝1

4. 自動ライトバック機能の設定
   •自動ライトバック機能を使用する場合は、AWB_ENビット＝1

5. ECC機能有効
   •ECC_ENビット＝1

上記初期設定後は、特別なアクセスやレジスタ制御は必要ありません。ECC 領域内の DDR3-SDRAM へのアクセス時に、ECCが機能します。

図 13.2 にECC領域設定例を示します。SH-4Aのアドレス空間とシステムの4GB DDR3-SDRAMとの相関を示しています。この場合、ECCAREA の設定は以下の通りとなります。
ECCTOPADR = B'0100 0000 000（ECC領域開始アドレス：H'4000 0000）
ECCAREA　= B'0001 1000 000（ECC領域物理サイズ：384Mバイト）

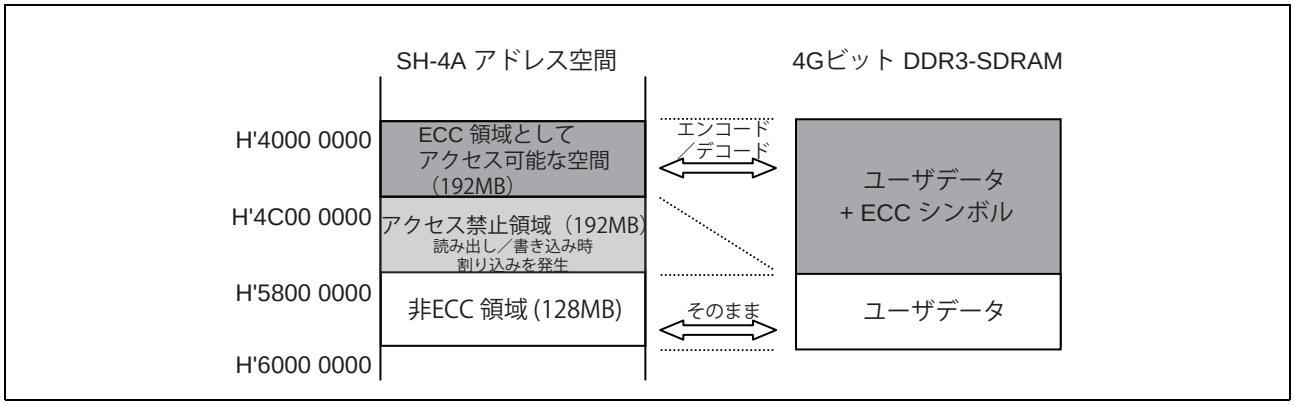


図 13.2　ECC領域設定例

13.4.2　ECC動作説明

ECDは、1シンボル（8ビットユーザデータ＋5ビットECCコード）の中に、1ビットのエラー（リカバラブルエラー）がある場合は、そのエラーを修正します。

1シンボルの中に2ビット以上のエラー（アンコレクタブルエラー）がある場合は、エラーを修正しません。

これらのエラー判定は、4シンボルごとに実施されます。図13.3に示すように、4シンボル中に、リカバラブルエラーが1つ以上あれば、RERRCRレジスタの内容が+1され、RERR_INTビット（INTSRレジスタのビット0）が“1”になります。4シンボル中にアンコレクタブルエラーが1つ以上あれば、UERR_INT（INTSRレジスタのビット1）が“1”になります。

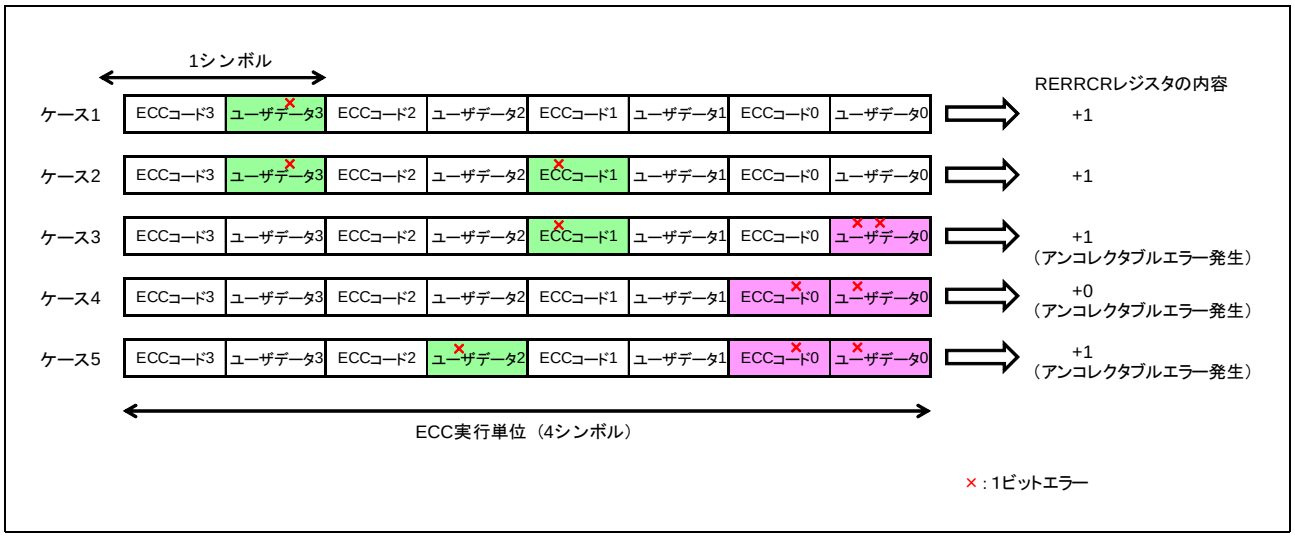


図 13.3　ECC実行例

リカバラブルエラー及びアンコレクタブルエラー発生時に、表13.2に示すレジスタを読み出すことによって、各エラーのログ（エラー発生アドレス／エラー修正前データ／エラー修正後データ）を取得できます。これらのレジスタは、各エラー発生時に自動的に上書きされ、常に最新のエラーに対する情報が格納されます。

表13.2　エラー情報格納レジスタ

エラー	発生アドレス	修正前データ	修正後データ
リカバラブルエラー	RERRADDR	RERRPREDR	RERRPOSTDR
アンコレクタブルエラー	UERRADDR	UERRPREDR	—

なお、ECCは4シンボル単位で実施されるため、各エラー発生アドレスは表13.3に示すように格納されます。

表13.3　エンディアンモードとRERRADDR/UERRADDR 格納アドレス

エラー発生アドレス	RERRADDR/UERRADDR 格納アドレス	
	リトルエンディアンモード	ビッグエンディアンモード
H'4000 0000	H'4000 0000	H'4000 0004
H'4000 0001		
H'4000 0002		
H'4000 0003		
H'4000 0004	H'4000 0004	H'4000 0000
H'4000 0005		
H'4000 0006		
H'4000 0007		
H'4000 0008	H'4000 0008	H'4000 000C
H'4000 0009		
H'4000 000A		
H'4000 000B		
:	:	:
H'4000 0010	H'4000 0010	H'4000 0014
:	:	:
H'4000 0014	H'4000 0014	H'4000 0010
:	:	:

図13.4にエラー情報格納レジスタ格納例を示します。

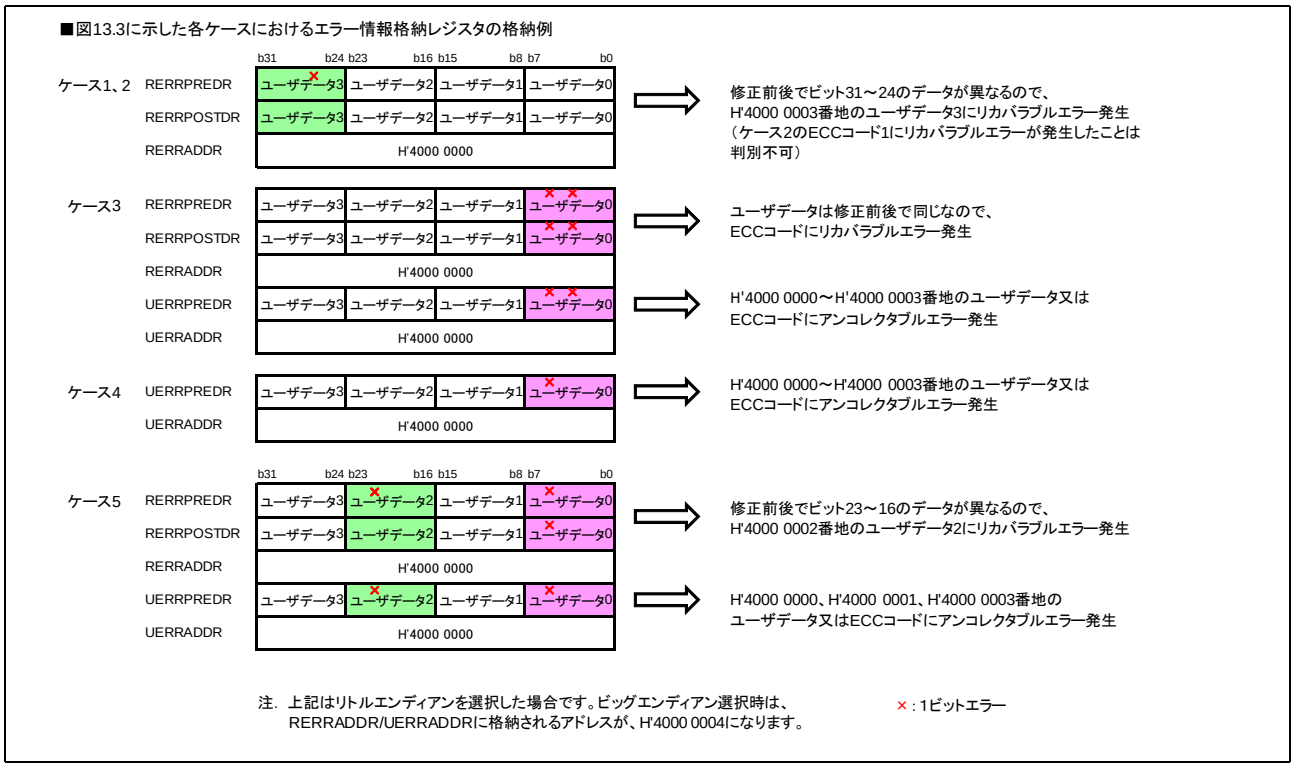


図 13.4　エラー情報格納レジスタ格納例

13.4.3　自動ライトバック機能

自動ライトバック機能を有効にすると、リカバラブルエラー発生時、読み出しデータのエラーを修正すると同時に、修正したデータを自動的にDDR3-SDRAMに書き戻します。これにより、DDR3-SDRAMデータの信頼性を高めることができます。

AWB_ENビット（MCRレジスタのビット8）を“1”にすると、自動ライトバック機能が有効になります。

自動ライトバック機能は、アンコレクタブルエラー発生時には動作しません。

なお、本機能を有効にすると、書き戻し処理のレイテンシにより、DDR3-SDRAMへのアクセスパフォーマンスが低下します。したがって、データの信頼性よりもパフォーマンスを優先する場合は、この機能を無効にしてください。

13.4.4　割り込み

ECDには表13.4に示す4つの割り込み要因があります。

表13.4　割り込み要因

割り込み要因	割り込み要求発生条件	割り込みフラグ	割り込み許可ビット
リカバラブルエラー	リカバラブルエラーが発生したとき	RERR_INT	RERR_INTEN
アンコレクタブルエラー	アンコレクタブルエラーが発生したとき	UERR_INT	UERR_INTEN
リカバラブルエラー数オーバフロー	リカバラブルエラーの発生回数が、RERR_COUNTに設定した値と等しくなったとき	RERRCNTOVF_INT	RERRCNTOVF_INTEN
エラーアドレスアクセス	アクセス禁止領域にアクセスしたとき	ERRADDR_INT	ERRADDR_INTEN

(1)　リカバラブルエラー割り込み

4シンボル中に1つ以上のリカバラブルエラーが発生したときに発生する割り込みです。

4シンボル中に1つ以上のリカバラブルエラーが発生する度、RERR_INTビット（INTSRレジスタのビット0）が“1”になります。

この要因での割り込みが発生した場合は、ユーザデータは修正されているため、エラー処理などは不要です。DDR3-SDRAMに格納されたユーザデータの信頼性判断などに使用してください。

(2)　アンコレクタブルエラー割り込み

4シンボル中に1つ以上のアンコレクタブルエラーが発生したときに発生する割り込みです。

4シンボル中に1つ以上のアンコレクタブルエラーが発生すると、UERR_INT（INTSRレジスタのビット1）が“1”になります。

アンコレクタブルエラーは致命的なエラーの１つで、ECDではこのエラーを修正できないため、システムレベルでの適切な修復処理を実行してください。

(3)　リカバラブルエラー数オーバーフロー割り込み

リカバラブルエラーが任意の回数発生したときに発生する割り込みです。

リカバラブルエラー発生回数（RERR_COUNTビットの値）がRERR_THビット（RERRTHRレジスタのビット15～0）に設定した値と等しくなると、RERRCNTOVF_INTビット（INTSRレジスタのビット2）が“1”になります。

この要因での割り込みが発生した場合は、ユーザデータは修正されているため、エラー処理などは不要です。DDR3-SDRAMに格納されたユーザデータの信頼性判断などに使用してください。

(4)　エラーアドレスアクセス割り込み

アクセス禁止領域（ECC領域の上位半分）へアクセスした場合に発生する割り込みです。

アクセス禁止領域へアクセスした場合、DDR3-SDRAMの格納データが破損するおそれがあります。したがって、この割り込み が発生した場合は、格納データが破損している可能性があるため、システムレベルでの適切な修復処理を実行してください。

14. ダイレクトメモリアクセスコントローラ（DMAC）

本LSIは、ダイレクトメモリアクセスコントローラ（DMAC）を内蔵しています。DMACは、DACK（DREQ受け付け確認）付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップド外部デバイス、及び周辺モジュール間のデータ転送を、CPUに代わって高速に行うことができます。

14.1 特長

- チャネル数：24チャネル（うちチャネル0、1は外部リクエスト受け付け可能）
- アドレス空間：4Gバイト
- 転送データ長：バイト、ワード（2バイト）、ロングワード（4バイト）、16バイト、32バイトを選択可能
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：
  外部リクエスト（チャネル0、1）、周辺モジュールリクエスト（チャネル0～23）、オートリクエスト（チャネル0～23）の3種類から選択可能
  周辺モジュールリクエストを発行できるモジュール：
  SCIF2、SCIF3、SCIF4、ADC0、ADC1、SIM、ARC4、SDHI、CRYPTO ENGINE、RSPI、eMMC、RIIC、TMR、RC（PCIEC）
- バスモード：
  サイクルスチールモード（通常モード／インタミッテントモード）とバーストモードから選択可能
- 優先順位：チャネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時、データ転送終了時、及びアドレスエラー発生時
- 外部リクエスト検出：DREQ入力のL／Hレベル検出、立ち上がり／立ち下がりエッジ検出から選択可能
- DMA転送要求受け付け信号（DACK）、及びDMA転送終了信号（TEND）はアクティブレベルを設定可能

DMAC のブロック図を図14.1 に示します。

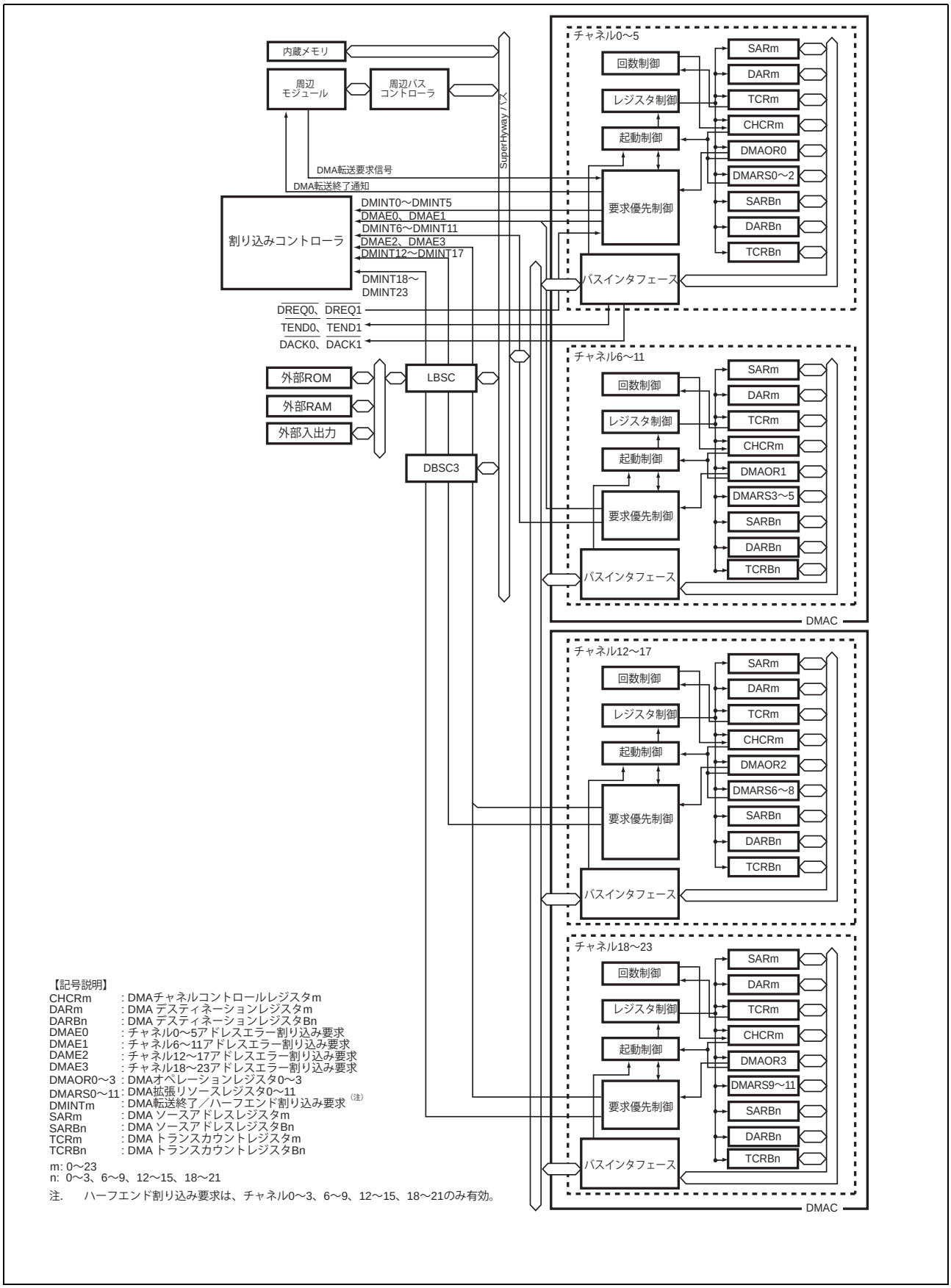


図 14.1　DMAC ブロック図

14.2 入出力端子

DMAC の端子構成を表14.1 に示します。チャネル0、1のみ外部バス用に端子を持ちます。

表14.1　端子構成

チャネル	端子名	機能	入出力	説明
0	$\overline{\text{DREQ0}}$ (注1)	DMA 転送要求	入力	外部デバイスからチャネル0 へのDMA 転送要求入力
	$\overline{\text{DACK0}}$ (注2)	$\overline{\text{DREQ}}$ 受け付け確認	出力	チャネル0から外部デバイスへのDMA転送要求に対するストローブ出力
	$\overline{\text{TEND0}}$ (注2)	DMA 転送終了通知	出力	チャネル0 から外部デバイスへのDMA 転送終了出力
1	$\overline{\text{DREQ1}}$ (注1)	DMA 転送要求	入力	外部デバイスからチャネル1 へのDMA 転送要求入力
	$\overline{\text{DACK1}}$ (注2)	$\overline{\text{DREQ}}$ 受け付け確認	出力	チャネル1から外部デバイスへのDMA転送要求に対するストローブ出力
	$\overline{\text{TEND1}}$ (注2)	DMA 転送終了通知	出力	チャネル1 から外部デバイスへのDMA 転送終了出力

注1.　初期値はLレベル検出です。
2.　初期値はLアクティブです。

14.3 レジスタの説明

DMAC のレジスタ構成を表 14.2 に示します。指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

DMACのレジスタには、各チャネルごとの設定ができるレジスタと、複数チャネル共通の設定ができるレジスタがあります。表14.3に各チャネルと対応レジスタを示します。

表14.2　レジスタ構成

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FF60 8020	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	H'FF60 8024	32	不定	不定	不定
	DMA トランスファカウントレジスタ 0	TCR0	R/W	H'FF60 8028	32	不定	不定	不定
	DMA チャネルコントロールレジスタ0	CHCR0	R/W（注1）	H'FF60 802C	32	H'4000 0000	H'4000 0000	H'4000 0000
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'FF60 8030	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	H'FF60 8034	32	不定	不定	不定
	DMA トランスファカウントレジスタ 1	TCR1	R/W	H'FF60 8038	32	不定	不定	不定
	DMA チャネルコントロールレジスタ1	CHCR1	R/W（注1）	H'FF60 803C	32	H'4000 0000	H'4000 0000	H'4000 0000
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FF60 8040	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	H'FF60 8044	32	不定	不定	不定
	DMA トランスファカウントレジスタ 2	TCR2	R/W	H'FF60 8048	32	不定	不定	不定
	DMA チャネルコントロールレジスタ2	CHCR2	R/W（注1）	H'FF60 804C	32	H'4000 0000	H'4000 0000	H'4000 0000
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FF60 8050	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	H'FF60 8054	32	不定	不定	不定
	DMA トランスファカウントレジスタ 3	TCR3	R/W	H'FF60 8058	32	不定	不定	不定
	DMA チャネルコントロールレジスタ3	CHCR3	R/W（注1）	H'FF60 805C	32	H'4000 0000	H'4000 0000	H'4000 0000
0～5	DMA オペレーションレジスタ0	DMAOR0	R/W（注2）	H'FF60 8060	16	H'0000	H'0000	H'0000

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FF60 8070	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 4	DAR4	R/W	H'FF60 8074	32	不定	不定	不定
	DMA トランスファカウントレジスタ 4	TCR4	R/W	H'FF60 8078	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 4	CHCR4	R/W（注1）	H'FF60 807C	32	H'4000 0000	H'4000 0000	H'4000 0000
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FF60 8080	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 5	DAR5	R/W	H'FF60 8084	32	不定	不定	不定
	DMA トランスファカウントレジスタ 5	TCR5	R/W	H'FF60 8088	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 5	CHCR5	R/W（注1）	H'FF60 808C	32	H'4000 0000	H'4000 0000	H'4000 0000
0	DMA ソースアドレスレジスタ B0	SARB0	R/W	H'FF60 8120	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B0	DARB0	R/W	H'FF60 8124	32	不定	不定	不定
	DMA トランスファカウントレジスタ B0	TCRB0	R/W	H'FF60 8128	32	不定	不定	不定
1	DMA ソースアドレスレジスタ B1	SARB1	R/W	H'FF60 8130	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B1	DARB1	R/W	H'FF60 8134	32	不定	不定	不定
	DMA トランスファカウントレジスタ B1	TCRB1	R/W	H'FF60 8138	32	不定	不定	不定
2	DMA ソースアドレスレジスタ B2	SARB2	R/W	H'FF60 8140	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B2	DARB2	R/W	H'FF60 8144	32	不定	不定	不定
	DMA トランスファカウントレジスタ B2	TCRB2	R/W	H'FF60 8148	32	不定	不定	不定
3	DMA ソースアドレスレジスタ B3	SARB3	R/W	H'FF60 8150	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B3	DARB3	R/W	H'FF60 8154	32	不定	不定	不定
	DMA トランスファカウントレジスタ B3	TCRB3	R/W	H'FF60 8158	32	不定	不定	不定
0、1	DMA 拡張リソースセレクタ 0	DMARS0	R/W	H'FF60 9000	16	H'0000	H'0000	H'0000
2、3	DMA 拡張リソースセレクタ 1	DMARS1	R/W	H'FF60 9004	16	H'0000	H'0000	H'0000

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
4、5	DMA 拡張リソースセレクタ 2	DMARS2	R/W	H'FF60 9008	16	H'0000	H'0000	H'0000
6	DMA ソースアドレスレジスタ 6	SAR6	R/W	H'FF61 8020	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 6	DAR6	R/W	H'FF61 8024	32	不定	不定	不定
	DMA トランスファカウントレジスタ 6	TCR6	R/W	H'FF61 8028	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 6	CHCR6	R/W（注1）	H'FF61 802C	32	H'4000 0000	H'4000 0000	H'4000 0000
7	DMA ソースアドレスレジスタ 7	SAR7	R/W	H'FF61 8030	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 7	DAR7	R/W	H'FF61 8034	32	不定	不定	不定
	DMA トランスファカウントレジスタ 7	TCR7	R/W	H'FF61 8038	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 7	CHCR7	R/W（注1）	H'FF61 803C	32	H'4000 0000	H'4000 0000	H'4000 0000
8	DMA ソースアドレスレジスタ 8	SAR8	R/W	H'FF61 8040	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 8	DAR8	R/W	H'FF61 8044	32	不定	不定	不定
	DMA トランスファカウントレジスタ 8	TCR8	R/W	H'FF61 8048	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 8	CHCR8	R/W（注1）	H'FF61 804C	32	H'4000 0000	H'4000 0000	H'4000 0000
9	DMA ソースアドレスレジスタ 9	SAR9	R/W	H'FF61 8050	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 9	DAR9	R/W	H'FF61 8054	32	不定	不定	不定
	DMA トランスファカウントレジスタ 9	TCR9	R/W	H'FF61 8058	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 9	CHCR9	R/W（注1）	H'FF61 805C	32	H'4000 0000	H'4000 0000	H'4000 0000
6～11	DMA オペレーションレジスタ 1	DMAOR1	R/W（注2）	H'FF61 8060	16	H'0000	H'0000	H'0000
10	DMA ソースアドレスレジスタ 10	SAR10	R/W	H'FF61 8070	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 10	DAR10	R/W	H'FF61 8074	32	不定	不定	不定
	DMA トランスファカウントレジスタ 10	TCR10	R/W	H'FF61 8078	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 10	CHCR10	R/W（注1）	H'FF61 807C	32	H'4000 0000	H'4000 0000	H'4000 0000

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
11	DMA ソースアドレスレジスタ 11	SAR11	R/W	H'FF61 8080	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 11	DAR11	R/W	H'FF61 8084	32	不定	不定	不定
	DMA トランスファカウントレジスタ 11	TCR11	R/W	H'FF61 8088	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 11	CHCR11	R/W（注1）	H'FF61 808C	32	H'4000 0000	H'4000 0000	H'4000 0000
6	DMA ソースアドレスレジスタ B6	SARB6	R/W	H'FF61 8120	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B6	DARB6	R/W	H'FF61 8124	32	不定	不定	不定
	DMA トランスファカウントレジスタ B6	TCRB6	R/W	H'FF61 8128	32	不定	不定	不定
7	DMA ソースアドレスレジスタ B7	SARB7	R/W	H'FF61 8130	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B7	DARB7	R/W	H'FF61 8134	32	不定	不定	不定
	DMA トランスファカウントレジスタ B7	TCRB7	R/W	H'FF61 8138	32	不定	不定	不定
8	DMA ソースアドレスレジスタ B8	SARB8	R/W	H'FF61 8140	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B8	DARB8	R/W	H'FF61 8144	32	不定	不定	不定
	DMA トランスファカウントレジスタ B8	TCRB8	R/W	H'FF61 8148	32	不定	不定	不定
9	DMA ソースアドレスレジスタ B9	SARB9	R/W	H'FF61 8150	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B9	DARB9	R/W	H'FF61 8154	32	不定	不定	不定
	DMA トランスファカウントレジスタ B9	TCRB9	R/W	H'FF61 8158	32	不定	不定	不定
6,7	DMA 拡張リソースセレクタ 3	DMARS3	R/W	H'FF61 9000	16	H'0000	H'0000	H'0000
8,9	DMA 拡張リソースセレクタ 4	DMARS4	R/W	H'FF61 9004	16	H'0000	H'0000	H'0000
10,11	DMA 拡張リソースセレクタ 5	DMARS5	R/W	H'FF61 9008	16	H'0000	H'0000	H'0000
0～5	DMA イネーブルレジスタ 0	DMAER0	R/W	H'FFFC 0000	32	H'0000 0000	H'0000 0000	H'0000 0000
6～11	DMA イネーブルレジスタ 1	DMAER1	R/W	H'FE46 0000	32	H'0000 0000	H'0000 0000	H'0000 0000

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
12	DMA ソースアドレスレジスタ 12	SAR12	R/W	H'FF70 8020	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 12	DAR12	R/W	H'FF70 8024	32	不定	不定	不定
	DMA トランスファカウントレジスタ 12	TCR12	R/W	H'FF70 8028	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 12	CHCR12	R/W（注1）	H'FF70 802C	32	H'4000 0000	H'4000 0000	H'4000 0000
13	DMA ソースアドレスレジスタ 13	SAR13	R/W	H'FF70 8030	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 13	DAR13	R/W	H'FF70 8034	32	不定	不定	不定
	DMA トランスファカウントレジスタ 13	TCR13	R/W	H'FF70 8038	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 13	CHCR13	R/W（注1）	H'FF70 803C	32	H'4000 0000	H'4000 0000	H'4000 0000
14	DMA ソースアドレスレジスタ 14	SAR14	R/W	H'FF70 8040	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 14	DAR14	R/W	H'FF70 8044	32	不定	不定	不定
	DMA トランスファカウントレジスタ 14	TCR14	R/W	H'FF70 8048	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 14	CHCR14	R/W（注1）	H'FF70 804C	32	H'4000 0000	H'4000 0000	H'4000 0000
15	DMA ソースアドレスレジスタ 15	SAR15	R/W	H'FF70 8050	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 15	DAR15	R/W	H'FF70 8054	32	不定	不定	不定
	DMA トランスファカウントレジスタ 15	TCR15	R/W	H'FF70 8058	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 15	CHCR15	R/W（注1）	H'FF70 805C	32	H'4000 0000	H'4000 0000	H'4000 0000
12～17	DMA オペレーションレジスタ 2	DMAOR2	R/W（注2）	H'FF70 8060	16	H'0000	H'0000	H'0000
16	DMA ソースアドレスレジスタ 16	SAR16	R/W	H'FF70 8070	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 16	DAR16	R/W	H'FF70 8074	32	不定	不定	不定
	DMA トランスファカウントレジスタ 16	TCR16	R/W	H'FF70 8078	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 16	CHCR16	R/W（注1）	H'FF70 807C	32	H'4000 0000	H'4000 0000	H'4000 0000

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
17	DMA ソースアドレスレジスタ 17	SAR17	R/W	H'FF70 8080	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 17	DAR17	R/W	H'FF70 8084	32	不定	不定	不定
	DMA トランスファカウントレジスタ 17	TCR17	R/W	H'FF70 8088	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 17	CHCR17	R/W（注1）	H'FF70 808C	32	H'4000 0000	H'4000 0000	H'4000 0000
12	DMA ソースアドレスレジスタ B12	SARB12	R/W	H'FF70 8120	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B12	DARB12	R/W	H'FF70 8124	32	不定	不定	不定
	DMA トランスファカウントレジスタ B12	TCRB12	R/W	H'FF70 8128	32	不定	不定	不定
13	DMA ソースアドレスレジスタ B13	SARB13	R/W	H'FF70 8130	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B13	DARB13	R/W	H'FF70 8134	32	不定	不定	不定
	DMA トランスファカウントレジスタ B13	TCRB13	R/W	H'FF70 8138	32	不定	不定	不定
14	DMA ソースアドレスレジスタ B14	SARB14	R/W	H'FF70 8140	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B14	DARB14	R/W	H'FF70 8144	32	不定	不定	不定
	DMA トランスファカウントレジスタ B14	TCRB14	R/W	H'FF70 8148	32	不定	不定	不定
15	DMA ソースアドレスレジスタ B15	SARB15	R/W	H'FF70 8150	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B15	DARB15	R/W	H'FF70 8154	32	不定	不定	不定
	DMA トランスファカウントレジスタ B15	TCRB15	R/W	H'FF70 8158	32	不定	不定	不定
12、13	DMA 拡張リソースセレクタ 6	DMARS6	R/W	H'FF70 9000	16	H'0000	H'0000	H'0000
14、15	DMA 拡張リソースセレクタ 7	DMARS7	R/W	H'FF70 9004	16	H'0000	H'0000	H'0000
16、17	DMA 拡張リソースセレクタ 8	DMARS8	R/W	H'FF70 9008	16	H'0000	H'0000	H'0000

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
18	DMA ソースアドレスレジスタ 18	SAR18	R/W	H'FF71 8020	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 18	DAR18	R/W	H'FF71 8024	32	不定	不定	不定
	DMA トランスファカウントレジスタ 18	TCR18	R/W	H'FF71 8028	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 18	CHCR18	R/W（注1）	H'FF71 802C	32	H'4000 0000	H'4000 0000	H'4000 0000
19	DMA ソースアドレスレジスタ 19	SAR19	R/W	H'FF71 8030	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 19	DAR19	R/W	H'FF71 8034	32	不定	不定	不定
	DMA トランスファカウントレジスタ 19	TCR19	R/W	H'FF71 8038	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 19	CHCR19	R/W（注1）	H'FF71 803C	32	H'4000 0000	H'4000 0000	H'4000 0000
20	DMA ソースアドレスレジスタ 20	SAR20	R/W	H'FF71 8040	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 20	DAR20	R/W	H'FF71 8044	32	不定	不定	不定
	DMA トランスファカウントレジスタ 20	TCR20	R/W	H'FF71 8048	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 20	CHCR20	R/W（注1）	H'FF71 804C	32	H'4000 0000	H'4000 0000	H'4000 0000
21	DMA ソースアドレスレジスタ 21	SAR21	R/W	H'FF71 8050	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 21	DAR21	R/W	H'FF71 8054	32	不定	不定	不定
	DMA トランスファカウントレジスタ 21	TCR21	R/W	H'FF71 8058	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 21	CHCR21	R/W（注1）	H'FF71 805C	32	H'4000 0000	H'4000 0000	H'4000 0000
18～23	DMA オペレーションレジスタ 3	DMAOR3	R/W（注2）	H'FF71 8060	16	H'0000	H'0000	H'0000
22	DMA ソースアドレスレジスタ 22	SAR22	R/W	H'FF71 8070	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 22	DAR22	R/W	H'FF71 8074	32	不定	不定	不定
	DMA トランスファカウントレジスタ 22	TCR22	R/W	H'FF71 8078	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 22	CHCR22	R/W（注1）	H'FF71 807C	32	H'4000 0000	H'4000 0000	H'4000 0000

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
23	DMA ソースアドレスレジスタ 23	SAR23	R/W	H'FF71 8080	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ 23	DAR23	R/W	H'FF71 8084	32	不定	不定	不定
	DMA トランスファカウントレジスタ 23	TCR23	R/W	H'FF71 8088	32	不定	不定	不定
	DMA チャネルコントロールレジスタ 23	CHCR23	R/W（注1）	H'FF71 808C	32	H'4000 0000	H'4000 0000	H'4000 0000
18	DMA ソースアドレスレジスタ B18	SARB18	R/W	H'FF71 8120	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B18	DARB18	R/W	H'FF71 8124	32	不定	不定	不定
	DMA トランスファカウントレジスタ B18	TCRB18	R/W	H'FF71 8128	32	不定	不定	不定
19	DMA ソースアドレスレジスタ B19	SARB19	R/W	H'FF71 8130	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B19	DARB19	R/W	H'FF71 8134	32	不定	不定	不定
	DMA トランスファカウントレジスタ B19	TCRB19	R/W	H'FF71 8138	32	不定	不定	不定
20	DMA ソースアドレスレジスタ B20	SARB20	R/W	H'FF71 8140	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B20	DARB20	R/W	H'FF71 8144	32	不定	不定	不定
	DMA トランスファカウントレジスタ B20	TCRB20	R/W	H'FF71 8148	32	不定	不定	不定
21	DMA ソースアドレスレジスタ B21	SARB21	R/W	H'FF71 8150	32	不定	不定	不定
	DMA デスティネーションアドレスレジスタ B21	DARB21	R/W	H'FF71 8154	32	不定	不定	不定
	DMA トランスファカウントレジスタ B21	TCRB21	R/W	H'FF71 8158	32	不定	不定	不定
18,19	DMA 拡張リソースセレクタ 9	DMARS9	R/W	H'FF71 9000	16	H'0000	H'0000	H'0000
20,21	DMA 拡張リソースセレクタ 10	DMARS10	R/W	H'FF71 9004	16	H'0000	H'0000	H'0000
22,23	DMA 拡張リソースセレクタ 11	DMARS11	R/W	H'FF71 9008	16	H'0000	H'0000	H'0000
12～23	DMA イネーブルレジスタ 2	DMAER2	R/W	H'FFFA 0000	32	H'0000 0000	H'0000 0000	H'0000 0000

注1.　CHCR のHE、TE ビットは、フラグをクリアするために、1 リード後の0 ライトのみ可能です。
2.　DMAOR のAE、NMIF ビットは、フラグをクリアするために、1 リード後の0 ライトのみ可能です。

表14.3　各チャネルと対応レジスタ

チャネル	0	1	2	3	4	5	6	7	8	9	10	11
レジスタ	SAR0	SAR1	SAR2	SAR3	SAR4	SAR5	SAR6	SAR7	SAR8	SAR9	SAR10	SAR11
	DAR0	DAR1	DAR2	DAR3	DAR4	DAR5	DAR6	DAR7	DAR8	DAR9	DAR10	DAR11
	TCR0	TCR1	TCR2	TCR3	TCR4	TCR5	TCR6	TCR7	TCR8	TCR9	TCR10	TCR11
	CHCR0	CHCR1	CHCR2	CHCR3	CHCR4	CHCR5	CHCR6	CHCR7	CHCR8	CHCR9	CHCR10	CHCR11
	DMARS0		DMARS1		DMARS2		DMARS3		DMARS4		DMARS5	
	SARB0	SARB1	SARB2	SARB3	—	—	SARB6	SARB7	SARB8	SARB9	—	—
	DARB0	DARB1	DARB2	DARB3	—	—	DARB6	DARB7	DARB8	DARB9	—	—
	TCRB0	TCRB1	TCRB2	TCRB3	—	—	TCRB6	TCRB7	TCRB8	TCRB9	—	—
	DMAOR0						DMAOR1					
	DMAER0						DMAER1					

チャネル	12	13	14	15	16	17	18	19	20	21	22	23
レジスタ	SAR12	SAR13	SAR14	SAR15	SAR16	SAR17	SAR18	SAR19	SAR20	SAR21	SAR22	SAR23
	DAR12	DAR13	DAR14	DAR15	DAR16	DAR17	DAR18	DAR19	DAR20	DAR21	DAR22	DAR23
	TCR12	TCR13	TCR14	TCR15	TCR16	TCR17	TCR18	TCR19	TCR20	TCR21	TCR22	TCR23
	CHCR12	CHCR13	CHCR14	CHCR15	CHCR16	CHCR17	CHCR18	CHCR19	CHCR20	CHCR21	CHCR22	CHCR23
	DMARS6		DMARS7		DMARS8		DMARS9		DMARS10		DMARS11	
	SARB12	SARB13	SARB14	SARB15	—	—	SARB18	SARB19	SARB20	SARB21	—	—
	DARB12	DARB13	DARB14	DARB15	—	—	DARB18	DARB19	DARB20	DARB21	—	—
	TCRB12	TCRB13	TCRB14	TCRB15	—	—	TCRB18	TCRB19	TCRB20	TCRB21	—	—
	DMAOR2						DMAOR3					
	DMAER2											

14.3.1　DMA ソースアドレスレジスタ 0～23（SAR0～SAR23）

SAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	SAR	—	R/W	DMA転送元のアドレスを設定する（注） DMA転送中は、次の転送元アドレスを示す

注.　転送するデータ幅（2、4、16、32バイト）に合わせたアドレス境界を設定してください。

14.3.2　DMA ソースアドレスレジスタ B0～3、6～9、12～15，18～21（SARB0～3、SARB6～9、SARB12～15、SARB18～21）

SARB は、読み出し／書き込み可能な 32 ビットのレジスタで、リピート／リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARB															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARB															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	SARB	—	R/W	リピート／リロードモード時、SARに再設定するDMA転送元のアドレスを設定する（注） SAR書き込み時に、このレジスタにも書き込まれるため、SARと異なる値を設定する場合は、SAR設定後にこのレジスタに設定してください。

注.　転送するデータ幅（2、4、16、32バイト）に合わせたアドレス境界を設定してください。

14.3.3　DMAデスティネーションアドレスレジスタ0～23（DAR0～DAR23）

DARは、読み出し／書き込み可能な32ビットのレジスタで、DMA転送先のアドレスを指定します。DMA転送中は、次の転送先アドレスを示しています。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	DAR	—	R/W	DMA転送先のアドレスを設定する（注） DMA転送中は、次の転送先アドレスを示す。

注.　転送するデータ幅（2、4、16、32バイト）に合わせたアドレス境界を設定してください。

14.3.4　DMAデスティネーションアドレスレジスタB0～3、6～9、12～15、18～21（DARB0～3、DARB6～9、SARB12～15、SARB18～21）

DARBは、読み出し／書き込み可能な32ビットのレジスタで、リピート／リロードモードでDARに再設定するDMA転送先のアドレスを指定します。CPUからのDARへの書き込みデータがDARBにも書き込まれます。DARと異なるアドレスを設定したい場合は、DAR書き込み後にDARBへの書き込みを行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARB															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARB															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	DARB	—	R/W	リピート／リロードモード時、DARに再設定するDMA転送元のアドレスを設定する（注） DAR書き込み時に、このレジスタにも書き込まれるため、DARと異なる値を設定する場合は、DAR設定後にこのレジスタに設定してください。

注.　転送するデータ幅（2、4、16、32バイト）に合わせたアドレス境界を設定してください。

14.3.5　DMAトランスファカウントレジスタ0～23（TCR0～TCR23）

TCRは、読み出し／書き込み可能な32ビットのレジスタで、DMA転送回数を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCR															
初期値：	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～24	TCR	0	R	DMA転送回数を設定する
23～0		—	R/W	DMA転送中は、残りの転送回数を示す H'0000 0000：16,777,216回（最大） H'0000 0001：1回 H'0000 0002：2回 ： H'00FF FFFF：16,777,215回 上記以外：設定禁止

14.3.6　DMAトランスファカウントレジスタB0～3、6～9、12～15、18～21（TCRB0～3、TCRB6～9、TCRB12～15、TCRB18～21）

TCRBは、読み出し／書き込み可能な32ビットのレジスタで、CPUからのTCRへの書き込みデータがTCRBにも書き込まれます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRB															
初期値：	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRB															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～24	TCRB	0	R	TCRに書き込んだ値が、このレジスタにも書き込まれる
23～0		—	R/W	■ハーフエンド機能使用（HIE ビット＝0）時 ハーフエンド検出に使用する初期値保持レジスタとして使用される。 ■リピートモード時 TCRに再設定するDMA転送回数を設定する。 ■リロードモード時（注） ビット23～16：リロードするまでのDMA転送回数を設定する ビット15～8　：リザーブビット （書き込む値は“0”にしてください） ビット7～0　：転送回数カウンタ 値が0になるとSAR／DAR が更新され、ビット23～16 がビット7～0にリロードされる。

注.　ビット23～16とビット7～0は同じ値（H'FF(255回)～H'01(1回)）を設定してください。また、リロードモード時は、ハーフエンド機能を使用しないでください。

14.3.7　DMAチャネルコントロールレジスタ0～23（CHCR0～CHCR23）

CHCR は、読み出し／書き込み可能な32 ビットのレジスタで、DMA 転送モードを制御します。

チャネルによって設定できる機能やモードが異なります。設定できるチャネルが記載されている機能やモードについては、それ以外のチャネルで設定しないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT2	RPT1	RPT0	—	DO	—	—	TS2	HE	HIE	AM	AL
初期値：	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	—	—	R/W	R/W	R/W	—	R/W	—	—	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	DL	DS	TB	TS1	TS0	IE	TE	DE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W (注)	R/W

ビット	ビット名	初期値	R/W	説 明
31	—	0	—	リザーブビット
30	LCKN	1	R/W	バスロック信号出力禁止ビット SuperHyway バス読み出し命令時にSuperHyway バスロック信号出力の許可／禁止を設定します。本ビットはサイクルスチールモード実行時に有効となります。バーストモード実行時には0 を設定してください。 SuperHyway バスロック信号出力を禁止することにより、DMAC 以外のバスマスタのバス要求が受け付けられます。これにより、バス使用効率をあげることが可能です。 0：バスロック信号出力許可 1：バスロック信号出力禁止
29、28	—	0	—	リザーブビット
27～25	RPT[2:0]	000	R/W	転送モード指定ビット（注1） 000：通常モード 001：リピートモード（SAR/DAR/TCR リピート） 010：リピートモード（DAR/TCR リピート） 011：リピートモード（SAR/TCR リピート） 100：選択禁止 101：リロードモード（SAR/DAR リロード） 110：リロードモード（DAR リロード） 111：リロードモード（SAR リロード）
24	—	0	—	リザーブビット
23	DO	0	R/W	DMA オーバラン（注2） $\overline{\text{DREQ}}$ をオーバラン0 で検出するか、オーバラン1 で検出するかを選択します。 0：$\overline{\text{DREQ}}$ をオーバラン0 で検出 1：$\overline{\text{DREQ}}$ をオーバラン1 で検出
22、21	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
20	TS2	0	R/W	DMA 転送サイズ指定ビット TS1、TS0 ビット（ビット4、3）と合わせてDMA 転送サイズの設定を行います。アクセスサイズが指定された周辺モジュールのレジスタが転送元又は転送先の場合には、必ずその転送サイズとアクセスサイズを合わせてください。転送元又は転送先としてSAR 又はDAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。 TS[2:0] 000：バイト単位 001：ワード（2 バイト）単位 010：ロングワード（4 バイト）単位 011：16 バイト単位 100：32 バイト単位 上記以外：選択禁止
19	HE	0	R/W（注1）	ハーフエンドフラグビット（注1、3） 0：転送回数が、設定した回数の半数に達していない TCR＞（転送前にセットしたTCR）÷2 1：転送回数が、設定した回数の半数（下記）に達した TCR設定値が偶数のとき：（転送前にセットしたTCR）÷2 TCR設定値が奇数のとき：（転送前にセットしたTCR-1）÷2 TCR設定値が最大転送回数（H'0000 0000）のとき ：8,388,608（H'0080 0000） NMI 割り込み、又はアドレスエラーによって転送が終了した場合、及びDE ビット（ビット0）、DME ビット（DMAORレジスタのビット0）をクリアして転送を終了させた場合は、直前の内容を保持します。
18	HIE	0	R/W	ハーフエンドイネーブルビット（注1） 転送開始前にセットしたTCR の値の1/2 回目の転送の読み出しサイクルが終わった時点（HEビット（ビット19）＝1）で、CPU に割り込み要求を発生させるかどうかを指定します。 TCR の値の1/2 回目の転送完了を確認するには、割り込み発生後に転送先空間にダミーリードをした後、SYNCO 命令を発行してください。リロードモード設定時は本ビットを”0” に設定してください。 0：ハーフエンド割り込みを禁止 1：ハーフエンド割り込みを許可
17	AM	0	R/W	アクノリッジモード（注2） DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。 0：読み出しサイクルでDACK を出力 1：書き込みサイクルでDACK を出力
16	AL	0	R/W	アクノリッジレベル（注2） DACK 、及びTEND 信号をHアクティブにするかLアクティブにするかを指定します。 0：DACK 、及びTEND をLアクティブ出力 1：DACK 、及びTEND をHアクティブ出力

ビット	ビット名	初期値	R/W	説 明
15、14	DM[1:0]	00	R/W	デスティネーションアドレスモード1、0 DMA 転送先のアドレスの増減を指定します。 00：デスティネーションアドレスは固定 01：デスティネーションアドレスは増加 バイト単位転送時は＋1 ワード単位転送時は＋2 ロングワード単位転送時は＋4 16 バイト単位転送時は＋16 32 バイト単位転送時は＋32 10：デスティネーションアドレスは減少 バイト単位転送時は－1 ワード単位転送時は－2 ロングワード単位転送時は－4 16／32 バイト単位転送時は設定禁止 11：設定禁止
13、12	SM[1:0]	00	R/W	ソースアドレスモード1、0 DMA 転送元のアドレスの増減を指定します。 00：ソースアドレスは固定 01：ソースアドレスは増加 バイト単位転送時は＋1 ワード単位転送時は＋2 ロングワード単位転送時は＋4 16 バイト単位転送時は＋16 32 バイト単位転送時は＋32 10：ソースアドレスは減少 バイト単位転送時は－1 ワード単位転送時は－2 ロングワード単位転送時は－4 16／32 バイト単位転送時は設定禁止 11：設定禁止
11～8	RS[3:0]	0000	R/W	リソースセレクト3～0 転送要求元を指定します。転送要求元の変更は、DE ビット（ビット0）＝0のときに行ってください。 0000：外部リクエスト（注4） 0100：オートリクエスト 1000：周辺モジュールリクエスト DMA 拡張リソースセレクタ（DMARS0～11）で選択 上記以外：設定禁止
7、6	DL、DS	00	R/W	$\overline{\text{DREQ}}$ レベル／エッジセレクト（注2） $\overline{\text{DREQ}}$ 入力の検出方法と、検出レベルを選択します。 外部リクエスト選択時のみ有効です。 00：L レベル検出 01：立ち下がりエッジ検出 10：H レベル検出 11：立ち上がりエッジ検出

ビット	ビット名	初期値	R/W	説 明
5	TB	0	R/W	トランスファバスモード DMA 転送のバスモードを選択します。 0：サイクルスチールモード 1：バーストモード 周辺モジュールリクエスト選択時はサイクルスチールモードを設定してください。
4、3	TS[1:0]	00	R/W	DMA 転送サイズ指定ビット TS2ビット（ビット20）参照
2	IE	0	R/W	インタラプトイネーブル DMA 最終転送の読み出しサイクルが終わったときにCPU に割り込み要求を発生させるかどうかを指定します。最終転送完了を確認するには、割り込み発生後に転送先空間にダミーリードをした後、SYNCO 命令を発行してください。 0：転送完了割り込み要求を禁止 1：転送完了割り込み要求を許可
1	TE	0	R/W（注5）	トランスファエンドフラグ DMA トランスファカウントレジスタ（TCR）の値が0 になると（DMA 最終転送の実行を開始するとき）、TE ビットは1 になります。TCR が 0 にならないときに、NMI 割り込み、又は アドレスエラーによって転送が終了した場合、及びDE ビット、DMAOR レジスタのDME ビットをクリアして転送を終了させた場合は、TE ビットは1 になりません。 TE ビットが1 の間はDE ビットを1 にしていても転送は許可されません。 0：DMA 転送中又はDMA 転送中断 1：DMA 最終転送中又はDMA 転送終了（TCR＝0）
0	DE	0	R/W	DMA イネーブル 0：DMA 転送を禁止（転送中断） 1：DMA 転送を許可

注1. これらのビットは、CHCR0～CHCR3、CHCR6～CHCR9 、CHCR12～CHCR15、CHCR18～CHCR21でのみ有効です。他のチャネルでは、初期値から変更しないでください。
2. これらのビットは、CHCR0、CHCR1でのみ有効です。他のチャネルでは、初期値から変更しないでください。
3. このビットは、HIEビット（ビット18）が“1”のとき有効です。
4. 外部リクエストはCHCR0、CHCR1でのみ設定できます。CHCR2～CHCR23では外部リクエストを選択しないでください。
5. “1”を読み出した後、“0”を書くと“0”になります。“1”を書いても変化しません。

14.3.8　DMAオペレーションレジスタ0～3（DMAOR0～3）

DMAOR は、読み出し／書き込み可能な16 ビットのレジスタで、DMA 転送時のチャネルの優先順位を指定します。また、DMA の転送状態（ステータス）も示します。

DMAOR0 はチャネル0～5 の共通レジスタ、DMAOR1 はチャネル6～11 の共通レジスタ、DMAOR2 はチャネル12～17 の共通レジスタ、DMAOR3 はチャネル18～23 の共通レジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CMS1	CMS0	—	—	PR1	PR0	—	—	—	—	—	AE	NMIF	DME
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	—	—	R/W	R/W	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	0	—	リザーブビット
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト1、0 サイクルスチールモード時に通常モードとインタミッテントモードを選択します。 インタミッテントモードを有効にするためには、DMAOR0 に対応する全チャネル（チャネル0～5）、又はDMAOR1 に対応する全チャネル（チャネル6～11）のバスモードがサイクルスチールモードであることが必要です。 00：通常モード 01：設定禁止 10：インタミッテントモード16 8Pckクロック待った後に1 回DMA 転送を実行 11：インタミッテントモード64 32Pckクロック待った後に1 回DMA 転送を実行
11、10	—	0	—	リザーブビット
9、8	PR[1:0]	00	R/W	プライオリティーモード1、0 同時に複数のチャネルに転送要求があった場合に、実行するチャネルの優先順位を決定するビットです。 00：CH0＞CH1＞CH2＞CH3＞CH4＞CH5 （DMAOR0） CH6＞CH7＞CH8＞CH9＞CH10＞CH11 （DMAOR1） CH12 > CH13 > CH14> CH15 > CH16 > CH17 (DMAOR2) CH18 > CH19 > CH20 > CH21 > CH22 > CH23 (DMAOR3) 01：CH0＞CH2＞CH3＞CH1＞CH4 ＞CH5 （DMAOR0） CH6＞CH8＞CH9＞CH7＞CH10＞CH11 （DMAOR1） CH12 > CH14 > CH15 > CH13 > CH16 > CH17 (DMAOR2) CH18 > CH20 > CH21 > CH19 > CH22 > CH23 (DMAOR3) 10：設定禁止 11：ラウンドロビンモード ラウンドロビンモードを指定した場合、DMAOR0 に対応する全チャネル（チャネル0～5）、DMAOR1 に対応する全チャネル（チャネル6～11）、DMAOR2 に対応する全チャネル（チャネル12～17）、DMAOR3 に対応する全チャネル（チャネル18～23）のそれぞれでサイクルスチールモードとバーストモードの混在はできません。
7～3	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
2	AE	0	R/W（注）	アドレスエラーフラグ 0：DMAC によるアドレスエラーなし 1：DMA 転送中にアドレスエラー発生 （SAR 又はDAR に設定された値が転送サイズ境界と一致しない場合） 本ビットが1になると、対応するチャネル（DMAOR0の場合はチャネル0～5、DMAOR1の場合はチャネル6～11、DMAOR2の場合はチャネル12～17、DMAOR3の場合はチャネル18～23）のDE ビットとDME ビットを1 にセットしても、DMA 転送は許可されません。
1	NMIF	0	R/W（注）	NMI フラグ NMI 割り込みが発生したことを示すフラグです。本ビットが1になると、対応するチャネル（DMAOR0の場合はチャネル0～5、DMAOR1の場合はチャネル6～11、DMAOR2の場合はチャネル12～17、DMAOR3の場合はチャネル18～23）のDE ビットとDMAOR のDME ビットを1 にセットしても、DMA 転送は許可されません。 NMI が入力されたとき、少なくとも実行中のDMA 転送の1 転送単位までは行われます。DMAC が動作していないときにNMI 割り込みが入力されても、NMIF ビットは1 になります。 0：NMI 割り込みなし 1：NMI 割り込み発生
0	DME	0	R/W	DMA マスタイネーブル 対応するチャネル（DMAOR0の場合はチャネル0～5、DMAOR1の場合はチャネル6～11、DMAOR2の場合はチャネル12～17、DMAOR3の場合はチャネル18～23）のDMA 転送を許可又は禁止します。DME ビット、及びCHCR のDE ビットを1 にすると、DMA 転送が許可されます。ただし転送を行うチャネルのCHCR にあるTE ビットとチャネルに対応するDMAOR のNMIF ビット、AE ビットのすべてが0 であることが必要です。本 ビットを0 にすると対応するチャネル（DMAOR0の場合はチャネル0～5、DMAOR1の場合はチャネル6～11、DMAOR2の場合はチャネル12～17、DMAOR3の場合はチャネル18～23）のDMA 転送が中断されます。 0：チャネル0～5 のDMA 転送を禁止（DMAOR0） チャネル6～11 のDMA 転送を禁止（DMAOR1） チャネル12～17のDMA転送を禁止（DMAOR2） チャネル18～23のDMA転送を禁止（DMAOR3） 1：チャネル0～5 のDMA 転送を許可（DMAOR0） チャネル6～11 のDMA 転送を許可（DMAOR1） チャネル12～17のDMA転送を許可（DMAOR2） チャネル18～23のDMA転送を許可（DMAOR3）

注.　“1”を読み出した後、“0”を書くと“0”になります。“1”を書いても変化しません。

14.3.9 DMA拡張リソースセレクタ0～11（DMARS0～DMARS11）

DMARSn（n＝0～11）は、読み出し／書き込み可能な16ビットレジスタです。各DMARSレジスタは、表14.3に示す対応チャネルの周辺モジュールからのDMA転送要求元を設定します。本レジスタで、SCIF2、SCIF3、SCIF4、ADC0、ADC1、SIM、ARC4、SDHI、CRYPTO ENGINE、RSPI、eMMC、RIIC、TMRの転送要求を設定できます。

表14.4以外のMID／RIDを設定したときの動作は保証できません。DMARSレジスタからの転送要求は、CHCR0～23レジスタのリソースセレクトビット（RS3～RS0）＝B'1000に設定したときのみ有効です。B'1000以外の場合は、DMARSを設定しても転送要求元として受け付けられません。また、1つの周辺モジュールの転送要求をDMACの複数のチャネルのリソースに割り当てないでください。割り当てた場合の動作の保証はできません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CjMID[5:0]						CjRID[1:0]		CkMID[5:0]						CkRID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注.　j＝2n+1、k＝2n

ビット	ビット名	初期値	R/W	説 明
15～10	CjMID[5:0]	000000	R/W	DMA チャネルj 転送要求元モジュールID5～ID0（MID） 表14.4 参照
9、8	CjRID[1:0]	00	R/W	DMA チャネルj転送要求元レジスタID1、ID0（RID） 表14.4 参照
7～2	CkMID[5:0]	000000	R/W	DMA チャネルk 転送要求元モジュールID5～ID0（MID） 表14.4 参照
1、0	CkRID[1:0]	00	R/W	DMA チャネルk 転送要求元レジスタID1、ID0（RID） 表14.4 参照

注.　j＝2n+1、k＝2n

表14.4　転送要求元一覧

DMAC チャネル	周辺モジュール	1 チャネル分の設定値（MID 、及びRID フィールド）	MID	RID	機能
DMAC チャネル 0～5	ARC4	H'A1	B'1010 00	B'01	書き込み
		H'A2		B'10	読み出し
	ADC0	H'AB	B'1010 10	B'11	読み出し
	ADC1	H'AF	B'1010 11	B'11	読み出し
	SDHI	H'C5	B'1100 01	B'01	送信
		H'C6		B'10	受信
	CRYPTO ENGINE	H’21	B’0010 00	B’01	書き込み (WRRDYB_4)
		H’22		B’10	書き込み (WRRDYB_0)
		H’29	B’0010 10	B’01	読み出し (RDRDYB_0)
		H’2A		B’10	読み出し (INTEGRATE_RDRDYB)
		H’73	B’0111 00	B’11	書き込み (WRRDYB_1)
		H’77	B’0111 01	B’11	読み出し (RDRDYB_1)
	eMMC	H'D3	B'1101 00	B'11	送信
		H'D7	B'1101 01	B'11	受信
DMAC チャネル 6～11	SCIF2	H'21	B'0010 00	B'01	送信
		H'22		B'10	受信
	SCIF3	H'29	B'0010 10	B'01	送信
		H'2A		B'10	受信
	SCIF4	H'41	B'0100 00	B'01	送信
		H'42		B'10	受信
	SIM	H'A1	B'1010 00	B'01	送信
		H'A2		B'10	受信
	RSPI	H'C1	B'1100 00	B'01	送信
		H'C2		B'10	受信
	RC_TX（PCIEC）	H'D3	B'1101 00	B'11	送信
	RC_RX（PCIEC）	H'D7	B'1101 01	B'11	受信

DMAC チャネル	周辺モジュール	1 チャネル分の設定値（MID 、及びRID フィールド）	MID	RID	機能
DMAC チャネル 12～17	TMR_0	H’73	B’0111 00	B’11	コンペアマッチ A
	TMR_2	H’77	B’0111 01	B’11	コンペアマッチ A
	RIIC0	H’21	B'0010 00	B'01	送信
		H’22		B'10	受信
	RIIC1	H’29	B'0010 10	B'01	送信
		H’2A		B'10	受信
	RIIC2	H’A1	B'1010 00	B'01	送信
		H’A2		B'10	受信
	RIIC3	H’AB	B'1010 10	B'11	送信
		H’AF	B'1010 11	B'11	受信
	RIIC4	H’C5	B'1100 01	B'01	送信
		H’C6		B'10	受信
DMAC チャネル 18～23	RIIC5	H’21	B'0010 00	B'01	送信
		H’22		B'10	受信
	RIIC6	H’29	B'0010 10	B'01	送信
		H’2A		B'10	受信
	RIIC7	H’41	B'0100 00	B'01	送信
		H’42		B'10	受信
	RIIC8	H’45	B'0100 01	B'01	送信
		H’46		B'10	受信
	RIIC9	H’51	B'0101 00	B'01	送信
		H’52		B'10	受信
	ADC0_SCAN	H’D3	B’1101 00	B’11	スキャン／マルチモード
	ADC1_SCAN	H’D7	B’1101 01	B’11	スキャン／マルチモード

14.3.10 DMA イネーブルレジスタ0（DMAER0）

DMAER0 は、読み出し／書き込み可能な 32 ビットのレジスタで、CRYPTO ENGINE、ADC0、ADC1 モジュールからの DMA 転送要求の許可／禁止を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	DMAE_CRYPTO ENGINE2	DMAE_CRYPTO ENGINE1	DMAE_CRYPTO ENGINE0	DMAE_ADC1	DMAE_ADC0	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
31～6	—	0	—	リザーブビット
5	DMAE_CRYPTO ENGINE2	0	R/W	CRYPTO ENGINE (RDRDYB_1) DMA イネーブル 0：CRYPTO ENGINEのDMA 転送要求出力禁止 1：CRYPTO ENGINEのDMA 転送要求出力許可（注1）
4	DMAE_CRYPTO ENGINE1	0	R/W	CRYPTO ENGINE (WRRDYB_1) DMA イネーブル 0：CRYPTO ENGINEのDMA 転送要求出力禁止 1：CRYPTO ENGINEのDMA 転送要求出力許可（注1）
3	DMAE_CRYPTO ENGINE0	0	R/W	CRYPTO ENGINE (WRRDYB_0、WRRDYB_4、INTEGRATE_RDRDYB、RDRDYB_0) DMA イネーブル 0：CRYPTO ENGINEのDMA 転送要求出力禁止 1：CRYPTO ENGINEのDMA 転送要求出力許可（注1）
2	DMAE_ADC1	0	R/W	ADC1 DMA イネーブル 0：ADC1 のDMA 転送要求出力禁止 1：ADC1 のDMA 転送要求出力許可（注2）
1	DMAE_ADC0	0	R/W	ADC0 DMA イネーブル 0：ADC0のDMA 転送要求出力禁止 1：ADC0のDMA 転送要求出力許可（注3）
0	—	0	—	リザーブビット

注1. CRYPTO ENGINEのDMA転送要求を許可した場合、INT2MSKR4 レジスタのCRYPTO ENGINEビットに 1 を設定してINTC への割り込みを発生させないようにすることを推奨します。
2. ADC1 のDMA 転送要求を許可した場合、INT2MSKR1 レジスタのADC1 ビットに1 を設定してINTC への割り込みを発生させないようにすることを推奨します。
3. ADC0 のDMA 転送要求を許可した場合、INT2MSKR1 レジスタのADC0 ビットに1 を設定してINTC への割り込みを発生させないようにすることを推奨します。

14.3.11 DMA イネーブルレジスタ1（DMAER1）

DMAER1は、読み出し／書き込み可能な32ビットのレジスタで、RSPIモジュールからのDMA転送要求の許可／禁止を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DMAE_RSPI	DMAE_RC_RX	DMAE_RC_TX	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～7	—	すべて0	—	リザーブビット
6	DMAE_RSPI	0	R/W	RSPI DMA イネーブル 0：RSPIのDMA 転送要求出力禁止 1：RSPIのDMA 転送要求出力許可（注）
5	DMAE_RC_RX	0	R/W	RC（PCIEC）受信イネーブル 0：RCのDMA受信要求出力禁止 1：RCのDMA受信要求出力許可
4	DMAE_RC_TX	0	R/W	RC（PCIEC）送信イネーブル 0：RCのDMA送信要求出力禁止 1：RCのDMA送信要求出力許可
3～0	—	0000	—	リザーブビット

注.　RSPIのDMA転送要求を許可した場合、INT2MSKR3レジスタのRSPIビットに1を設定してINTCへの割り込みを発生させないようにすることを推奨します。

14.3.12 DMA イネーブルレジスタ 2（DMAER2）

DMAER2 は、読み出し／書き込み可能な32 ビットのレジスタで、ADC、TMR、及び RIICモジュールからのDMA 転送要求の許可／禁止を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	DMAE_ADC_SCAN	DMAE_TMR	—	DMAE_IIC9	DMAE_IIC8	DMAE_IIC7	DMAE_IIC6	DMAE_IIC5	DMAE_IIC4	DMAE_IIC3	DMAE_IIC2	DMAE_IIC1	DMAE_IIC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～13	—	0	—	リザーブビット
12	DMAE_ADC_SCAN	0	R/W	ADC_SCAN0、1 DMA イネーブル 0：ADCのDMA 転送要求出力禁止 1：ADCのDMA 転送要求出力許可 (注1)
11	DMAE_TMR	0	R/W	TMR DMA イネーブル 0：TMRのDMA 転送要求出力禁止 1：TMRのDMA 転送要求出力許可 (注2)
10	—	0	—	リザーブビット
9	DMAE_IIC9	0	R/W	RIIC9 DMA イネーブル 0：RIIC9のDMA 転送要求出力禁止 1：RIIC9のDMA 転送要求出力許可 (注3)
8	DMAE_IIC8	0	R/W	RIIC8 DMA イネーブル 0：RIIC8のDMA 転送要求出力禁止 1：RIIC8のDMA 転送要求出力許可 (注3)
7	DMAE_IIC7	0	R/W	RIIC7 DMA イネーブル 0：RIIC7のDMA 転送要求出力禁止 1：RIIC7のDMA 転送要求出力許可 (注3)
6	DMAE_IIC6	0	R/W	RIIC6 DMA イネーブル 0：RIIC6のDMA 転送要求出力禁止 1：RIIC6のDMA 転送要求出力許可 (注3)
5	DMAE_IIC5	0	R/W	RIIC5 DMA イネーブル 0：RIIC5のDMA 転送要求出力禁止 1：RIIC5のDMA 転送要求出力許可 (注3)
4	DMAE_IIC4	0	R/W	RIIC4 DMA イネーブル 0：RIIC4のDMA 転送要求出力禁止 1：RIIC4のDMA 転送要求出力許可 (注3)
3	DMAE_IIC3	0	R/W	RIIC3 DMA イネーブル 0：RIIC3のDMA 転送要求出力禁止 1：RIIC3のDMA 転送要求出力許可 (注3)

ビット	ビット名	初期値	R/W	説 明
2	DMAE_IIC2	0	R/W	RIIC2 DMA イネーブル 0：RIIC2のDMA 転送要求出力禁止 1：RIIC2のDMA 転送要求出力許可 (注3)
1	DMAE_IIC1	0	R/W	RIIC1 DMA イネーブル 0：RIIC1のDMA 転送要求出力禁止 1：RIIC1のDMA 転送要求出力許可 (注3)
0	DMAE_IIC0	0	R/W	RIIC0 DMA イネーブル 0：RIIC0のDMA 転送要求出力禁止 1：RIIC0のDMA 転送要求出力許可 (注3)

注1. ADCのDMA転送要求を許可した場合、INT2MSKR1レジスタのADC0ビット及びADC1ビットに1 を設定してINTC への割り込みを発生させないようにすることを推奨します。
2. TMRのDMA 転送要求を許可した場合、INT2MSKR レジスタのTMR01ビット、TMR23ビット、及びTMR45ビットに1 を設定してINTC への割り込みを発生させないようにすることを推奨します。
3. RIICのDMA 転送要求を許可した場合、INT2MSKR2、INT2MSKR3レジスタの対応ビットに1 を設定してINTC への割り込みを発生させないようにすることを推奨します。

14.4　動作説明

DMA 転送要求があると、DMAC は決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、周辺モジュールリクエストの 3 種類のモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

14.4.1　DMA転送要求

DMA 転送要求はデータの転送元又は転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや周辺モジュールに発生させる使い方もできます。

転送要求の選択はDMAチャネルごとにRS3～0 ビット（CHCR レジスタのビット11～8）、及びDMARS0～5 レジスタによって行います。

(1)　オートリクエストモード（チャネル0～23）：RS[3:0]＝0100

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。AE ビット（DMAOR レジスタのビット 2）、NMIF ビット（同ビット 1）、及び TE ビット（CHCR レジスタのビット 1）が 0 、DME ビット（同ビット 0）が 1 のとき、各チャネルの DE ビット（CHCR レジスタのビット 0）を 1 にすると転送が開始されます。

(2)　外部リクエストモード（チャネル0、1）：RS[3:0]＝0000

外部リクエストモードは、DREQ0、DREQ1 端子に入力される外部デバイスからの転送要求信号（外部リクエスト）によって転送を開始させるモードです。DMA チャネル0、1 のみ有効です。AE ビット、NMIF ビット、及びTE ビットが0 、DME ビット及びDE ビットが1 のとき、$\overline{\text{DREQ}}$が入力されると転送が開始されます。

$\overline{\text{DREQ0}}$、$\overline{\text{DREQ1}}$ 端子に入力される転送要求信号 をエッジで検出するかレベルで検出するかは、表14.5 に示すDL ビット、DS ビット（CHCR0,1 レジスタのビット7、6）で選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表14.5　DL、DS ビットによる外部リクエスト検出の選択

CHCRn (n = 0、1)		外部リクエスト検出方法
DS	DL	
0	0	L レベル検出
	1	H レベル検出
1	0	立ち下がりエッジ検出
	1	立ち上がりエッジ検出

外部リクエストが受け付けられると、受け付けたリクエストに対するアクノリッジ（$\overline{\text{DACK}}$）出力開始後、CLKOUTの1サイクル経過するまで、次の外部リクエストは受け付けられません。

なお、レベル検出選択時は、DO ビット（CHCR0、1 レジスタのビット23）によって、表14.6に示す 2 種類の外部リクエスト受付タイミングを選択できます。

表14.6　レベル検出時の外部リクエスト受付タイミング

DO ビット	受付タイミング
0	オーバラン0：$\overline{\text{DACK}}$出力終了からCLKOUTの1サイクル経過以降に受け付け
1	オーバラン1：$\overline{\text{DACK}}$出力開始からCLKOUTの1サイクル経過以降に受け付け

DOビット：CHCR0、1 レジスタのビット23

図14.2～図14.5に$\overline{\text{DREQ}}$入力検出タイミング例を、図14.6、図14.7に$\overline{\text{TEND}}$出力タイミング例を示します。

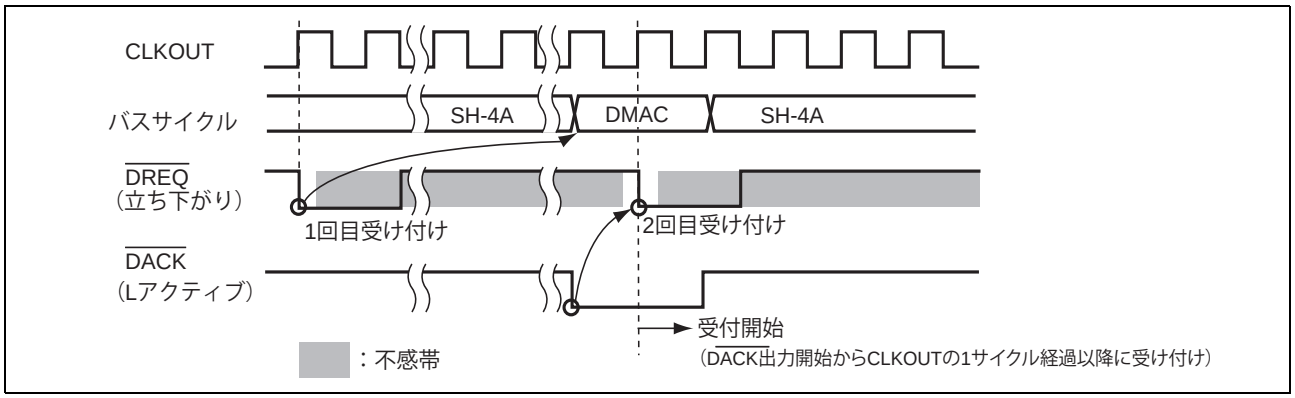


図 14.2　サイクルスチールモード・エッジ検出時の$\overline{\text{DREQ}}$ 入力検出タイミング例

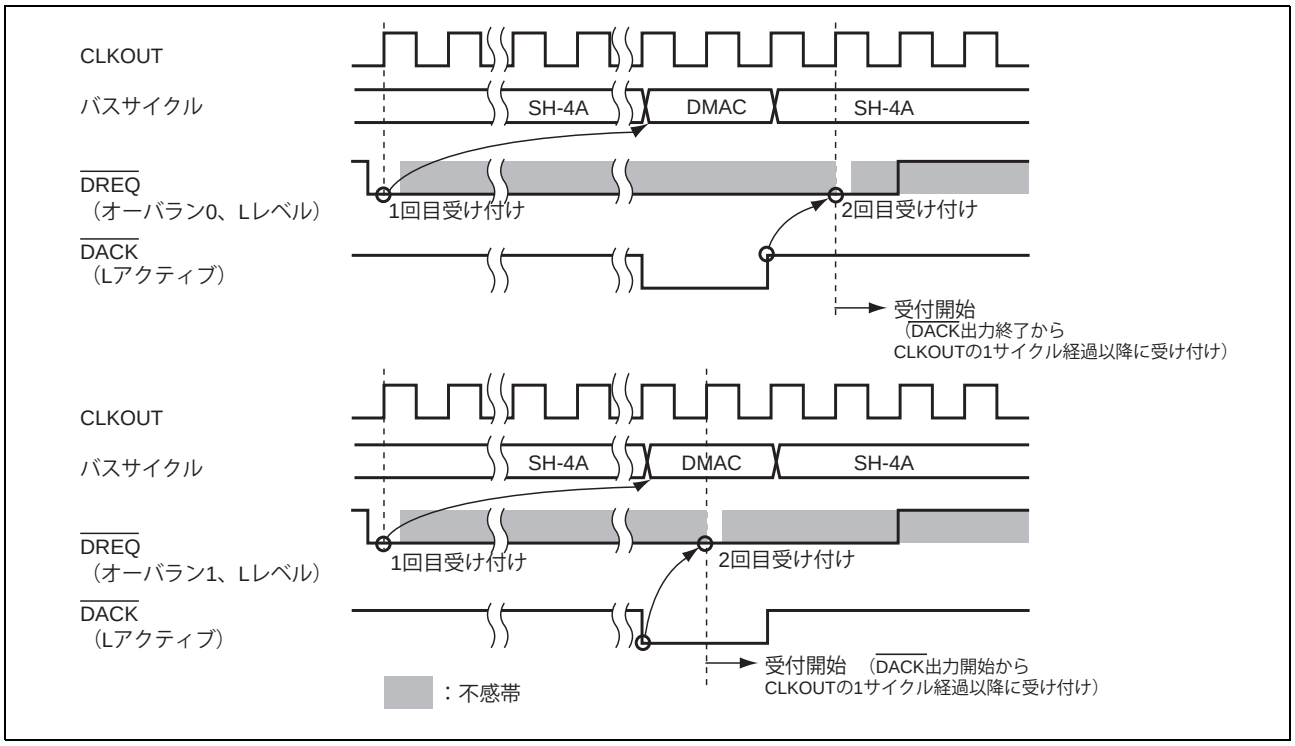


図 14.3　サイクルスチールモード・レベル検出時の$\overline{\text{DREQ}}$ 入力検出タイミング例

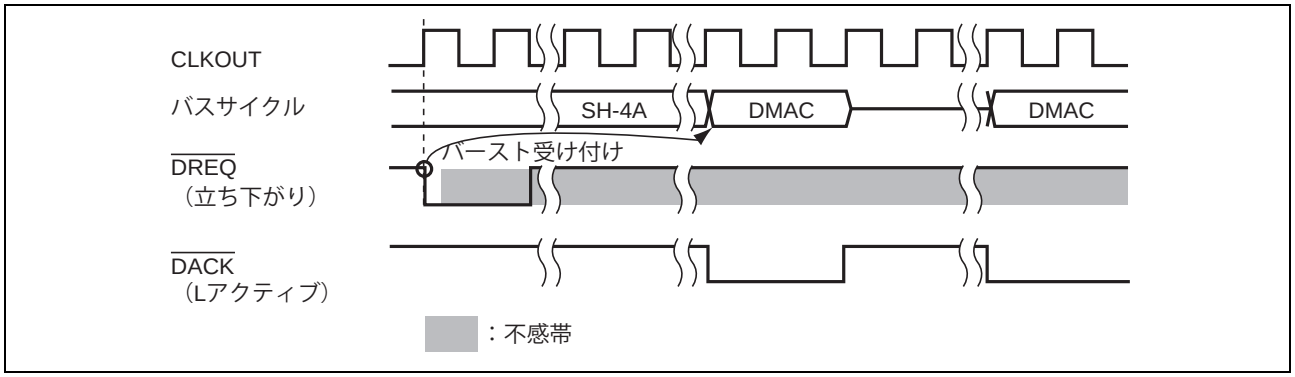


図 14.4　バーストモード・エッジ検出時の$\overline{\text{DREQ}}$ 入力検出タイミング例

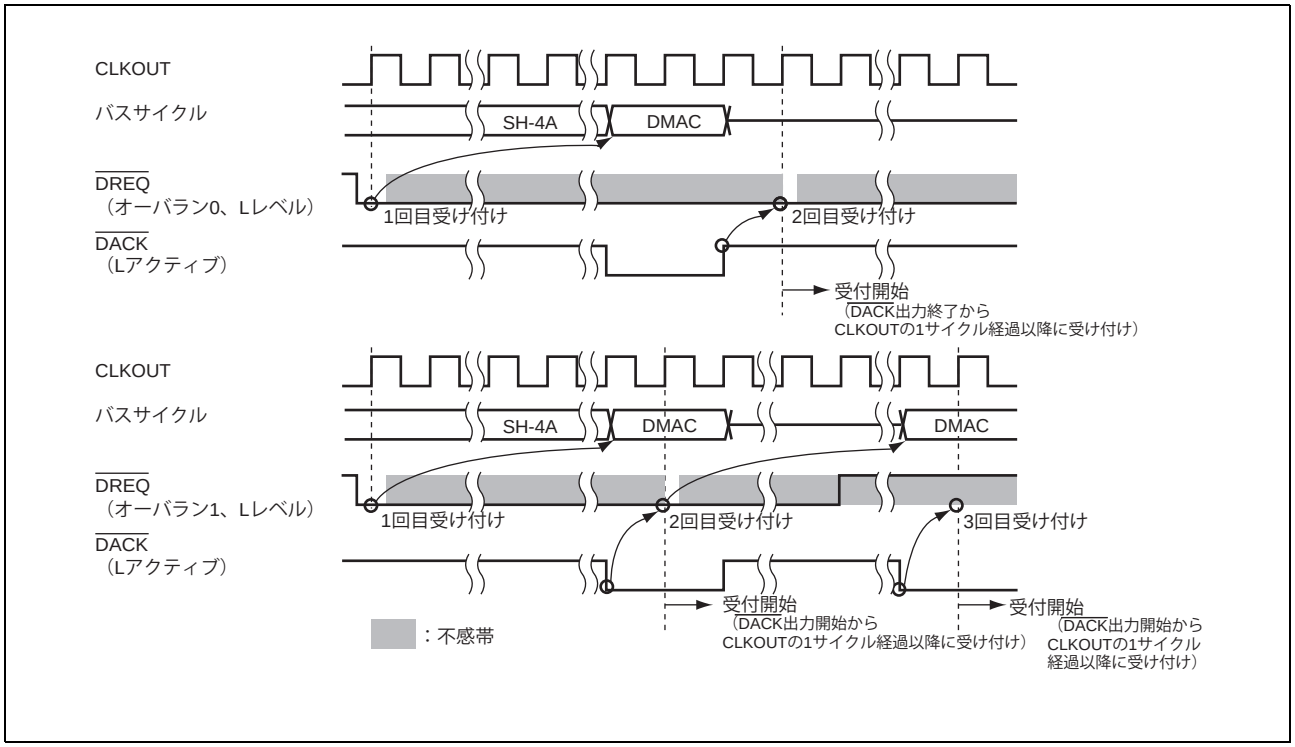


図 14.5　バーストモード・レベル検出時の$\overline{\text{DREQ}}$ 入力検出タイミング例

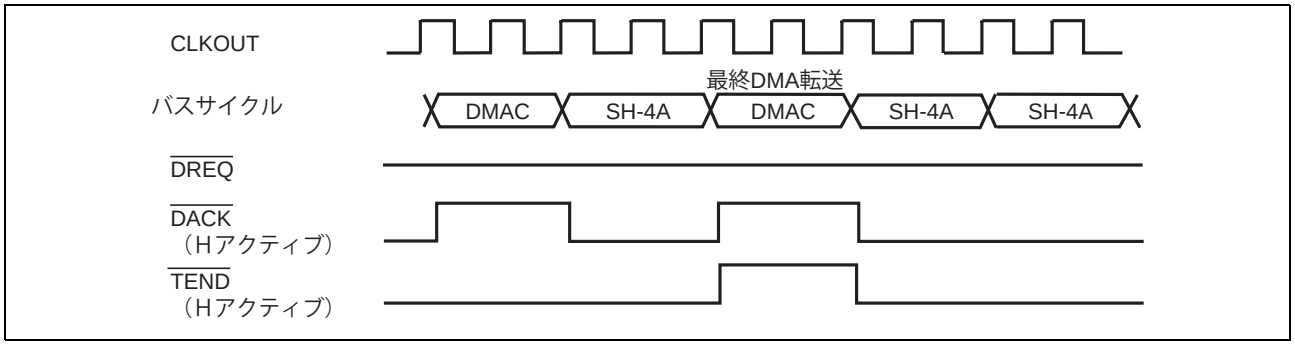


図 14.6　TEND 出力タイミング例（サイクルスチール・レベル検出）

8 ビット外部デバイスや16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスする場合、データをアライメントするため、図14.7に示すように、DACK 出力、及びTEND 出力が分割される場合があります。

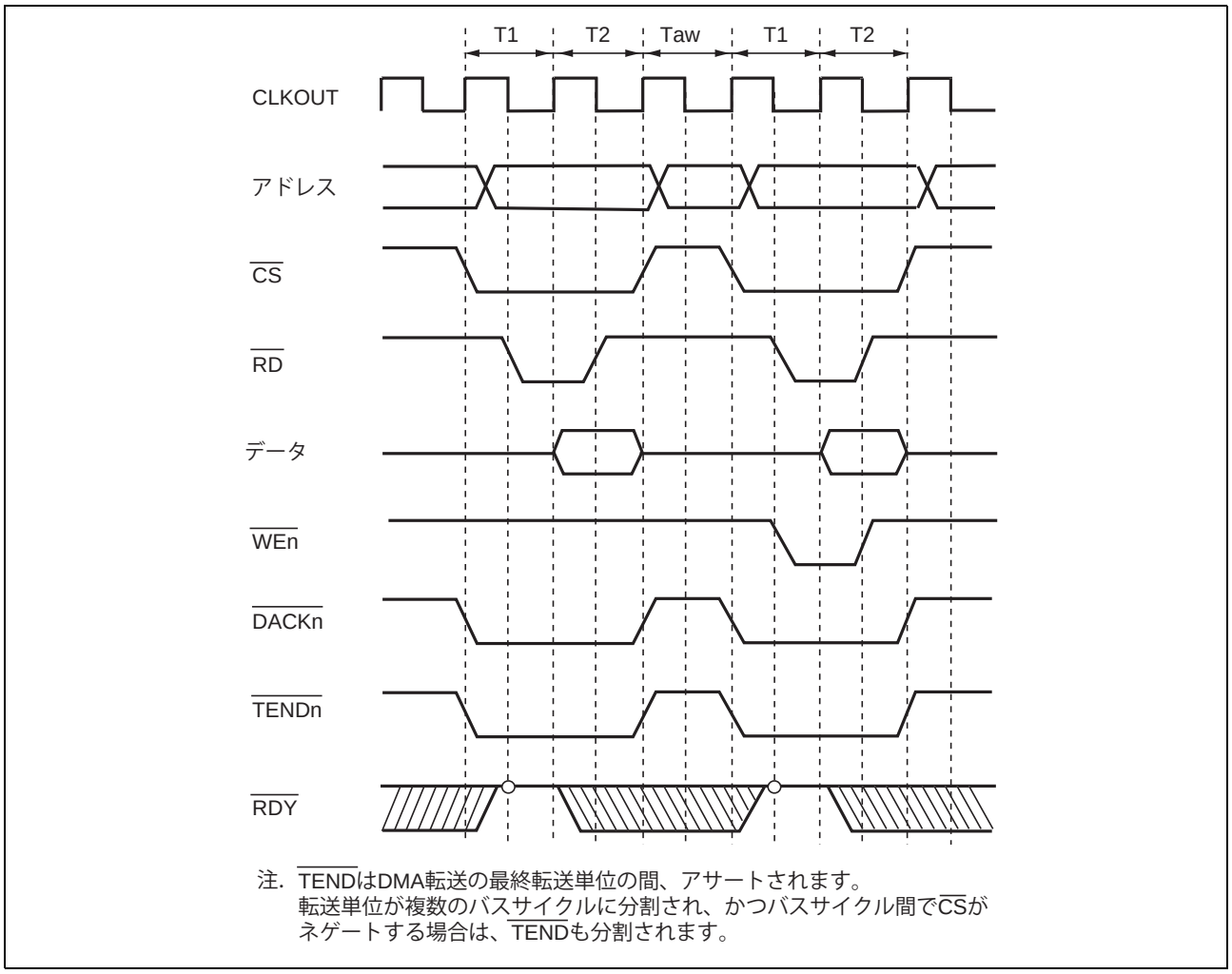


図 14.7　TEND 出力タイミング例
（ノーウェイト、アイドルサイクル1、16 ビットデバイスへのロングワードアクセス）

(3)　周辺モジュールリクエストモード（チャネル0～23）：RS[3:0]＝1000

周辺モジュールリクエストモードでは、周辺モジュールからのDMA転送要求信号によって転送が実行されます。DMA転送要求信号は、DMARS0～DMARS11にて設定するSCIF2、SCIF3、SCIF4、SIM、SDHI、CRYPTO ENGINE、RSPI、eMMC、RIIC、TMR、RC（PCIEC）からの送信データエンプティ転送要求と受信データフル転送要求、ADC0、ADC1、ARC4からの転送要求があります。

AEビット及びNMIFビットが0、DMEビット及びDEビットが1のとき、転送要求信号が入力されると転送が開始されます。

転送要求をSCIF2の送信データエンプティ転送要求に設定した場合、転送先を当該SCIF2のトランスミットFIFOデータレジスタ（送信データバッファ）とする必要があります。同様に転送要求をSCIF2の受信データフル転送要求に設定した場合、転送元を当該SCIF2のレシーブFIFOデータレジスタ（受信データバッファ）とする必要があります。これらはSCIF3、SCIF4、SIM、SDHI、CRYPTO ENGINE、RSPI、eMMC、RIIC、TMR、RC（PCIEC）も同様です。

表14.7　MID/RIDビットによる内蔵周辺モジュールリクエストの選択

DMAC チャネル	DMARS		DMA 転送要求元	DMA 転送要求信号	転送元	転送先
	MID	RID				
0～5	101000	01	ARC4 入力部	PUSH (TPR データエンプティ)	任意	TPR
		10	ARC4 出力部	POP (TCR データフル)	TCR	任意
	101010	11	ADC0	ADCI0 (A/D 変換終了割り込み)	ADDRn_0（注）	任意
	101011	11	ADC1	ADCI1 (A/D 変換終了割り込み)	ADDRn_1（注）	任意
	110001	01	SDHI 送信部	TXI (送信データエンプティ)	任意	SD_BUF0
		10	SDHI 受信部	RXI (受信データフル)	SD_BUF0	任意
	001000	01	CRYPTO ENGINE	WRRDYB_4	任意	CRYPTO ENGINE
		10		WRRDYB_0	任意	CRYPTO ENGINE
	001010	01		RDRDYB_0	CRYPTO ENGINE	任意
		10		INTEGRATE_RDRDYB	CRYPTO ENGINE	任意
	011100	11		WRRDYB_1	任意	CRYPTO ENGINE
	011101	11		RDRDYB_1	CRYPTO ENGINE	任意
	110100	11	eMMC 送信部	dmareq_mmc4_n[0]	任意	CE_DATA
	110101	11	eMMC 受信部	dmareq_mmc4_n[1]	CE_DATA	任意
6～11	001000	01	SCIF2 送信部	TXI (送信FIFO データエンプティ割り込み)	任意	SCFTDR2
		10	SCIF2 受信部	RXI (受信FIFO データフル割り込み)	SCFRDR2	任意
	001010	01	SCIF3 送信部	TXI (送信FIFO データエンプティ割り込み)	任意	SCFTDR3
		10	SCIF3 受信部	RXI (受信FIFO データフル割り込み)	SCFRDR3	任意
	010000	01	SCIF4 送信部	TXI (送信FIFO データエンプティ割り込み)	任意	SCFTDR4
		10	SCIF4 受信部	RXI (受信FIFO データフル割り込み)	SCFRDR4	任意
	101000	01	SIM 送信部	TXI (送信FIFO データエンプティ割り込み)	任意	SCTDR
		10	SIM 受信部	RXI (受信FIFO データフル割り込み)	SCRDR	任意
	110000	01	RSPI 送信部	TXI (送信データエンプティ割り込み)	任意	SPDR
		10	RSPI 受信部	RXI (受信データフル割り込み)	SPDR	任意
	110100	11	RC送信部	dmareq_ppb_tx_n	任意	RCMEMTDR
	110101	11	RC受信部	dmareq_ppb_rx_n	RCMEMRDR	任意

DMAC チャネル	DMARS		DMA 転送要求元	DMA 転送要求信号	転送元	転送先
	MID	RID				
12～17	011100	11	TMR_0	t80_tmadtg_n	任意	任意
	011101	11	TMR_2	t81_tmadtg_n	任意	任意
	001000	01	RIIC0	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	001010	01	RIIC1	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	101000	01	RIIC2	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	101010	11	RIIC3	TXI (送信データエンプティ割り込み)	任意	ICDRT
	101011	11		RXI (受信データフル割り込み)	ICDRR	任意
	110001	01	RIIC4	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
18～23	001000	01	RIIC5	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	001010	01	RIIC6	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	010000	01	RIIC7	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	010001	01	RIIC8	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	010100	01	RIIC9	TXI (送信データエンプティ割り込み)	任意	ICDRT
		10		RXI (受信データフル割り込み)	ICDRR	任意
	110100	11	ADC0_SCAN	dmascan_adscan_n	ADDRn_0 (注)	任意
	110101	11	ADC1_SCAN	dmascan_adscan_n	ADDRn_1 (注)	任意

注.　n = A～H

14.4.2　チャネルの優先順位

DMAC は、同時に複数のチャネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャネルの優先順位は、PR1,0 ビット（DMAOR レジスタのビット 9、8）の設定により、固定、ラウンドロビンの 2 種類のモードから選択できます。

チャネル 0～5、6～11、12～17、18～23 の優先順位の関係はラウンドロビンです。

リセット直後の優先順位は CH0～5 ＞ CH6～11 ＞ CH12～17 ＞ CH18～23 です。

(1)　固定モード

固定モードではチャネルの優先順位は変化しません。

固定モードは以下に示す 2 種類から選択できます。

- チャネル 0～5
  CH0 > CH1 > CH2 > CH3 > CH4 > CH5
  CH0 > CH2 > CH3 > CH1 > CH4 > CH5
- チャネル 6～11
  CH6 > CH7 > CH8 > CH9 > CH10 > CH11
  CH6 > CH8 > CH9 > CH7 > CH10 > CH11
- チャネル 12 ～17
  CH12 > CH13 > CH14 > CH15 > CH16> CH17
  CH12 > CH14 > CH15 > CH13 > CH16 > CH17
- チャネル 18 ～23
  CH18 > CH19 > CH20 > CH21 > CH22 > CH23
  CH18 > CH20 > CH21 > CH19 > CH22 > CH23

これらの選択も、PR1,0 ビットで設定します。

(2)　ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャネルで、1 転送単位（バイト、ワード、ロングワード、16 バイト、又は 32 バイト単位）の転送が終了するごとにそのチャネルの優先順位が一番低くなるように優先順位を変更します。

この動作を図 14.8 に示します。なおリセット直後のラウンドロビンモードの優先順位は以下のようになります。

CH0 ＞ CH1 ＞ CH2 ＞ CH3 ＞ CH4 ＞ CH5
CH6 ＞ CH7 ＞ CH8 ＞ CH9 ＞ CH10 ＞ CH11
CH12 ＞ CH13 ＞ CH14 ＞ CH15 ＞ CH16 ＞ CH17
CH18 ＞ CH19 ＞ CH20 ＞ CH21 ＞ CH22 ＞ CH23

ラウンドロビンモードを指定した場合、対応するチャネル（DMAOR0 の場合はチャネル 0 ～5、DMAOR1 の場合はチャネル 6～11、DMAOR2 の場合はチャネル 12～17、DMAOR3 の場合はチャネル 18～23）はすべて同じバスモードに設定してください。これらのチャネルにおいて、サイクルスチールモードとバーストモードの混在はできません。

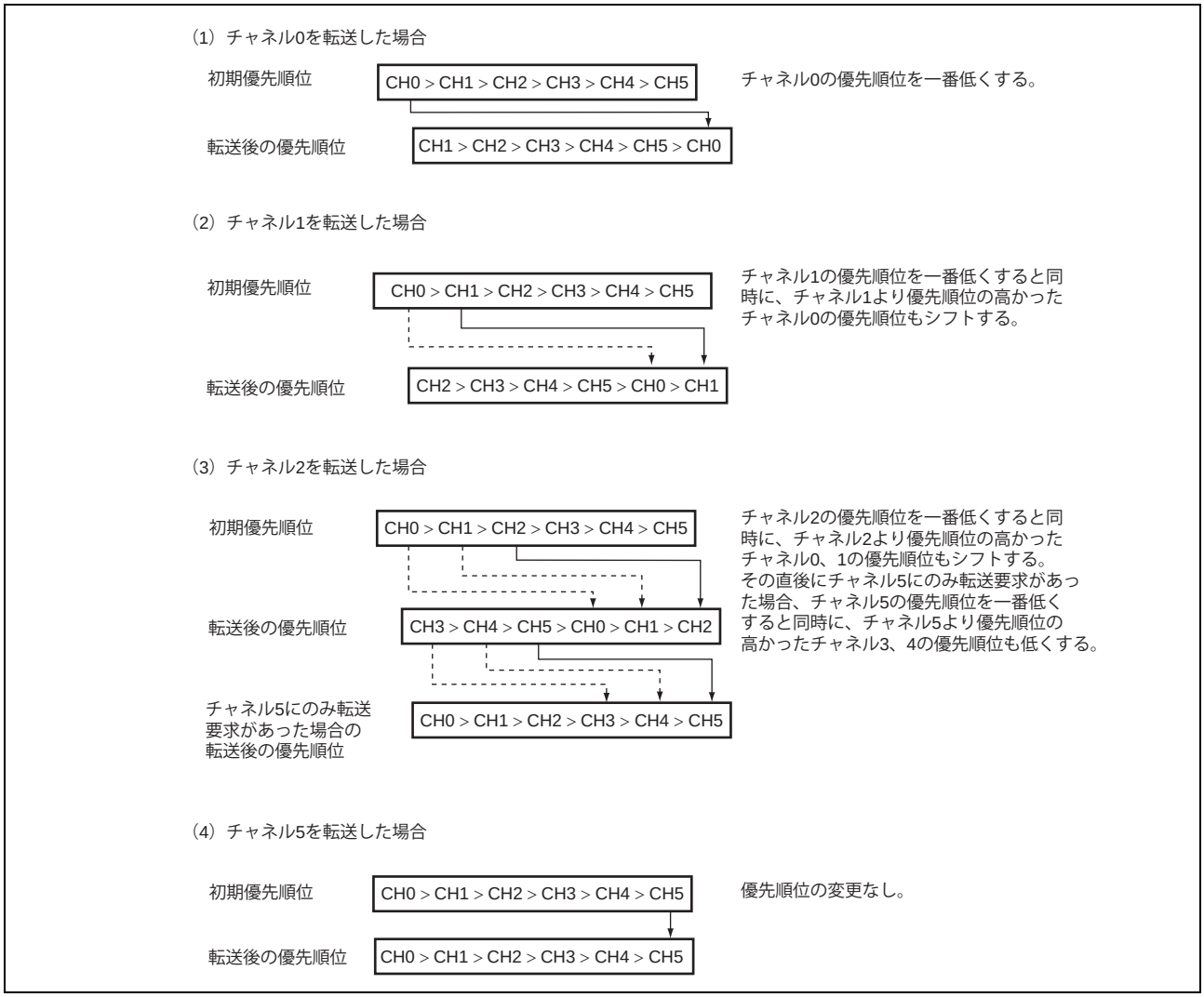


図 14.8　ラウンドロビンモード（例：チャネル0～5）

図 14.9 にチャネル 0 とチャネル 3 に同時に転送要求が発生し、チャネル 0 の転送中にチャネル 1 の転送要求が発生した場合のチャネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャネル0とチャネル3に同時に転送要求が発生します。
2. チャネル0のほうがチャネル3より優先順位が高いので、チャネル0の転送を開始します（チャネル3は転送待ち）。
3. チャネル0の転送中にチャネル1に転送要求が発生します（チャネル1とチャネル3は転送待ち）。
4. チャネル0の転送を終了すると、チャネル0の優先順位を一番低くします。
5. この時点でチャネル1のほうがチャネル3より優先順位が高いので、チャネル1の転送を開始します（チャネル3は転送待ち）。
6. チャネル1の転送を終了すると、チャネル1の優先順位を一番低くします。
7. チャネル3の転送を開始します。
8. チャネル3の転送を終了すると、チャネル3の優先順位が一番低くなるように、チャネル3と一緒にチャネル2の優先順位を低くします。

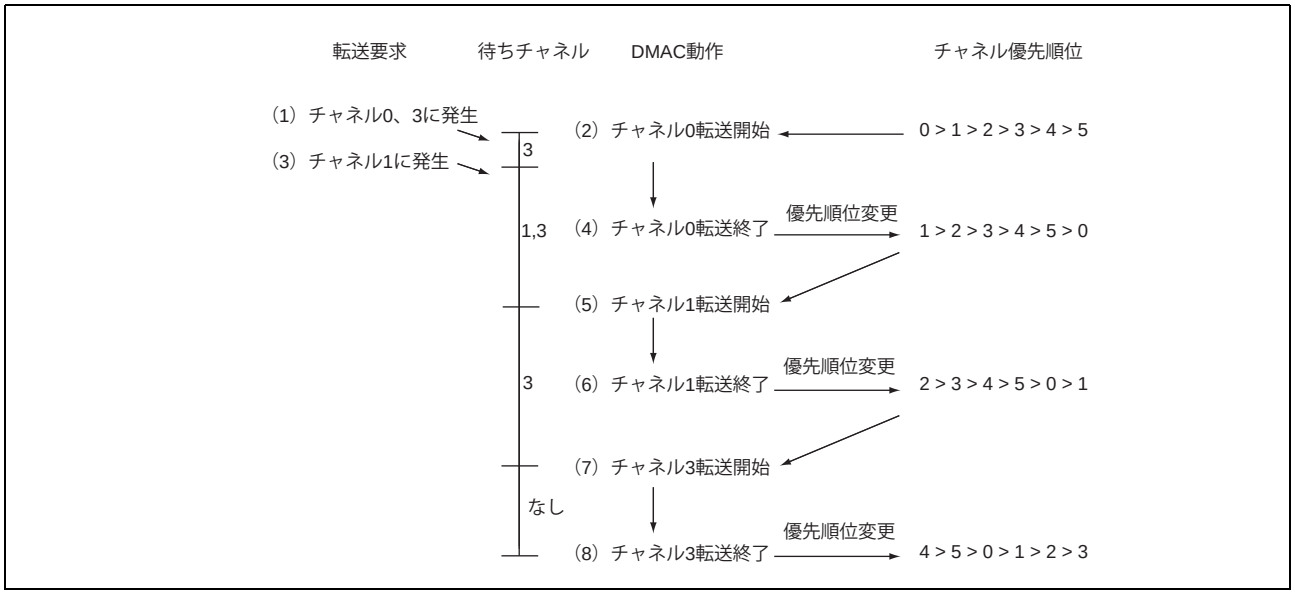


図 14.9　ラウンドロビンモードでのチャネル優先順位（例：チャネル0～5）

14.4.3 DMA転送の種類

アドレスモードは、デュアルアドレスモードをサポートします。また、表14.8にDMA転送の種類を示します。各モードによって、使用できるリクエストモードやチャネルが異なります。

表14.8　DMA転送の種類

バスモード		LCKNビット	TBビット	CMS[1:0]ビット	リクエストモード（使用可能チャネル）	データ転送モード（使用可能チャネル）
サイクルスチールモード	通常モード1	0	0	00	・外部リクエスト（0、1） ・オートリクエスト（0～23） ・周辺モジュールリクエスト（0～23）	・通常モード（0～23） ・リピートモード（0～3、6～9、12～15、18～21） ・リロードモード（0～3、6～9、12～15、18～21）
	通常モード2	1	0	00		
	インタミッテントモード16	0/1	0	10		
	インタミッテントモード64	0/1	0	11		
バーストモード		0	1	00	・外部リクエスト（0、1） ・オートリクエスト（0～23）	

LCKNビット　：CHCRレジスタのビット30
TBビット　：CHCRレジスタのビット5
CMS[1:0]ビット：DMAORレジスタのビット13、12

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスするモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMACは、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスするため、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図14.10のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

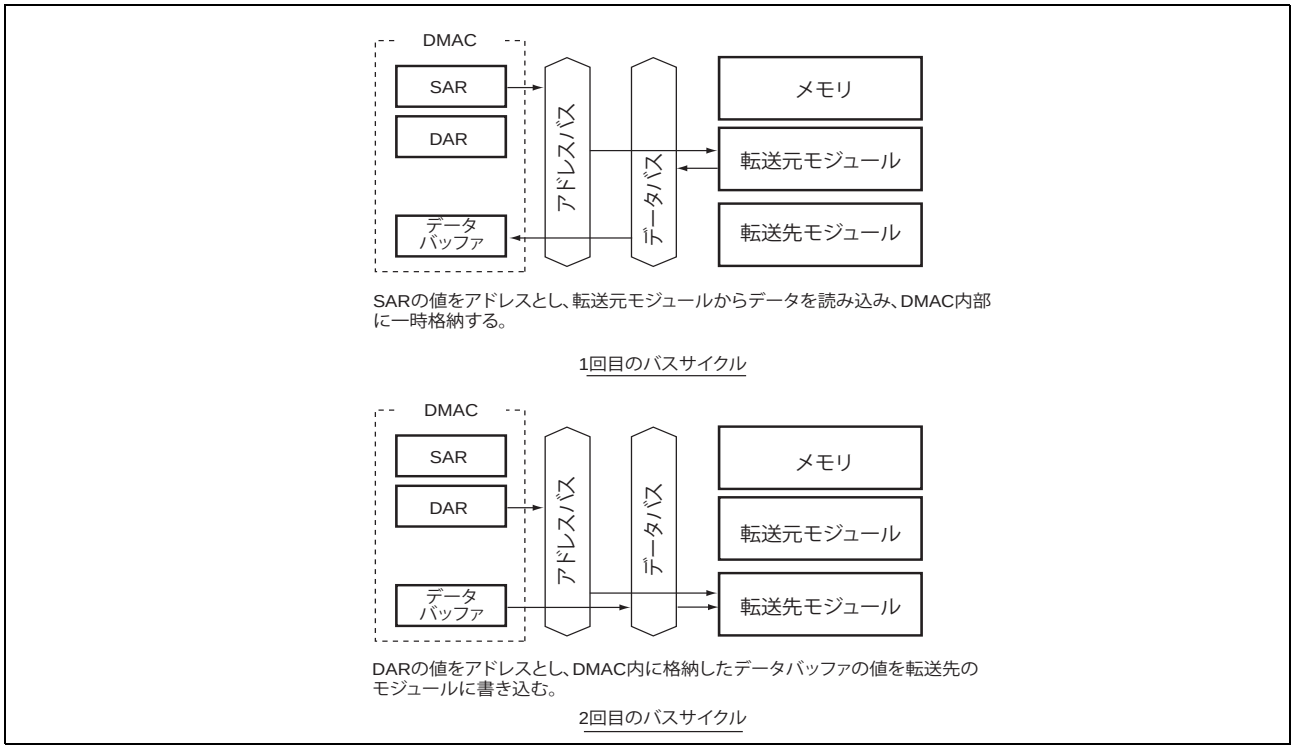


図14.10　デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、周辺モジュールリクエストのいずれでも可能です。DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはCHCR レジスタによって設定可能です。

図14.11 にDMA 転送タイミング例を示します。

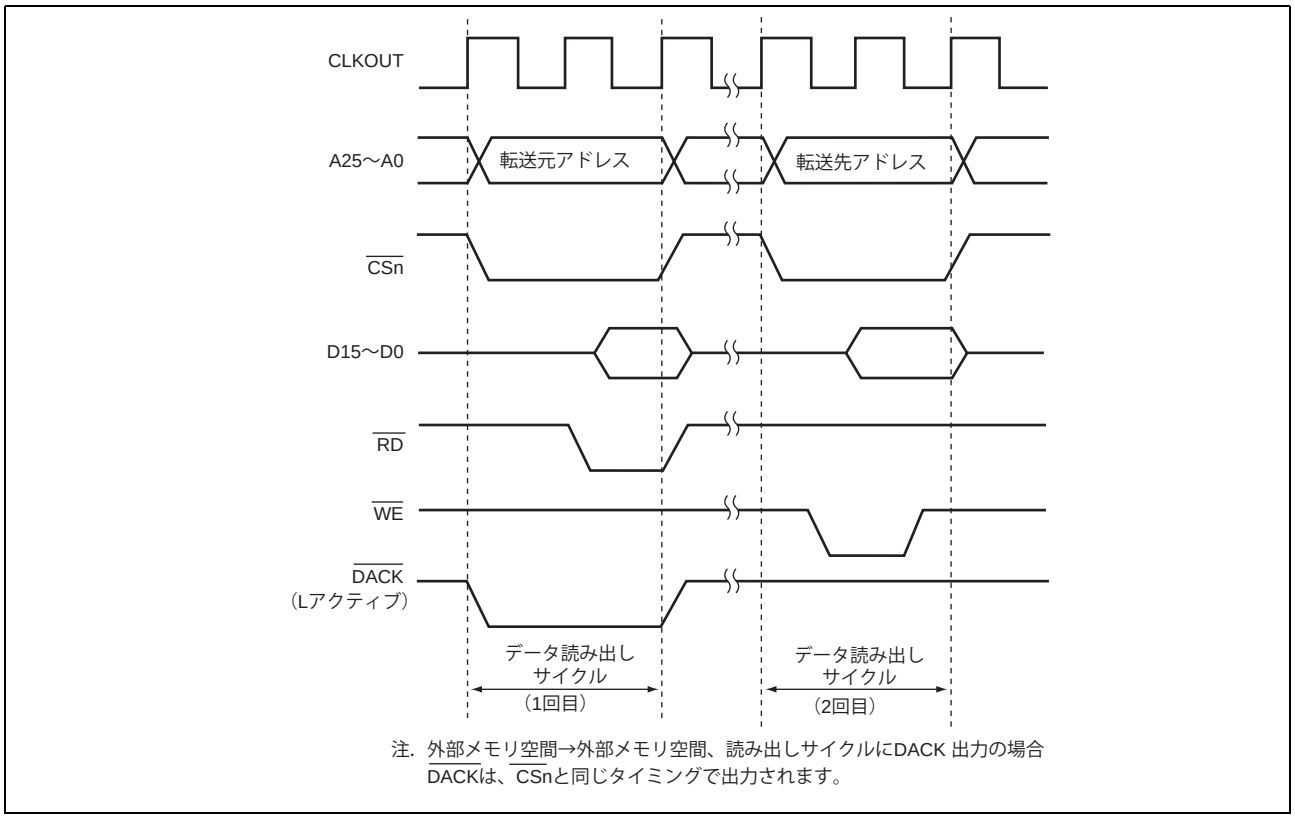


図 14.11　DMA 転送タイミング例（転送元：通常メモリ、転送先：通常メモリ）

(2) バスモード

表14.8にバスモードを示します。バスモードによって、使用できるリクエストモードやチャネルが異なります。

(a) サイクルスチールモード

- **通常モード1（DMAOR レジスタのCMS ビット＝ 00、CHCR レジスタのLCKN ビット＝0、CHCR レジスタのTB ビット＝0）**

  サイクルスチールの通常モード1では、DMACは一回の転送単位（バイト、ワード、ロングワード、16バイト、又は32バイト単位）の転送を終了するたびにSuperHywayバスのバス権を他のバスマスタに渡します。その後転送要求があれば、次の転送要求を発行し、バス権を取得し、再び1転送単位の転送を行い、その転送を終了するとまたSuperHywayバスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

図14.12にサイクルスチール通常モード1のDMA転送タイミング例を示します。

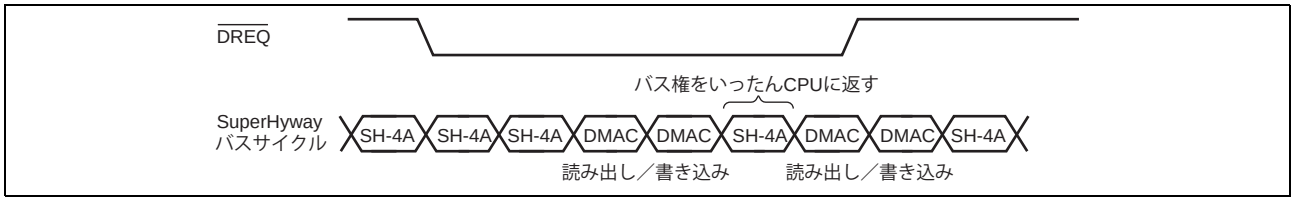


図 14.12　サイクルスチール通常モード1 のDMA 転送例（$\overline{\text{DREQ}}$ L レベル検出）

- **通常モード2（DMAOR レジスタのCMS ビット＝ 00、CHCR レジスタのLCKN ビット＝1、CHCR レジスタのTB ビット＝0）**

  サイクルスチールの通常モード2では、DMACはSuperHywayバスのバス権の確保は行わず、1転送単位の読み出しサイクル、書き込みサイクルごとにSuperHywayバスのバス権を取りに行く転送です。図14.13にサイクルスチールモード2でのDMA転送タイミング例を示します。

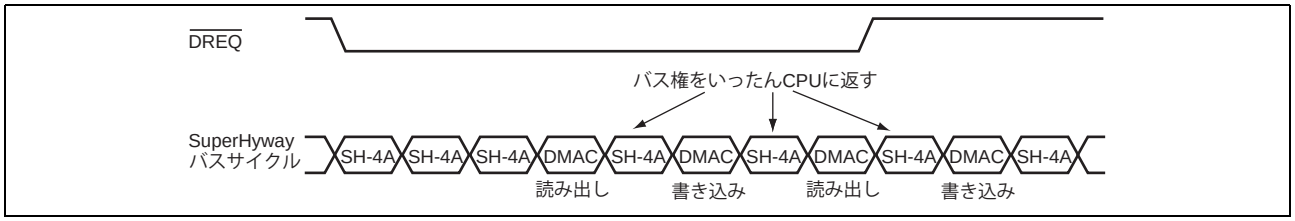


図 14.13　サイクルスチール通常モード2 のDMA 転送例（$\overline{\text{DREQ}}$ L レベル検出）

- **インタミッテントモード16（DMAOR レジスタのCMS ビット＝ 10、CHCR レジスタのLCKN ビット＝0又は1、CHCR レジスタのTB ビット＝0）、インタミッテントモード64（DMAOR レジスタのCMS ビット＝ 11、CHCR レジスタのLCKN ビット＝0又は1、CHCR レジスタのTB ビット＝0）**

  サイクルスチールのインタミッテントモードでは、DMACは1回の転送単位（バイト、ワード、ロングワード、16バイト、又は32バイト単位）の転送を終了するたびに、SuperHywayバスのバス権を他のバスマスタに渡します。その後転送要求があれば、Pckで8クロック又は32クロック待った後に、次の転送要求を発行し、再びバス権を獲得して1転送単位の転送を行い、その転送を終了すると、またバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合を、サイクルスチール通常モード1、通常モード2に比べ、低く抑えることが可能です。

  なお、DMACが再び次の転送要求を発行するときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

  インタミッテントモードは、DMAOR0に対応する全チャネル（チャネル0～5）、又はDMAOR1に対応する全チャネル（チャネル6～11）のバスモードがサイクルスチールモードであること

が必要です。
図14.14にサイクルスチールインタミッテントモードのDMA転送タイミング例を示します。

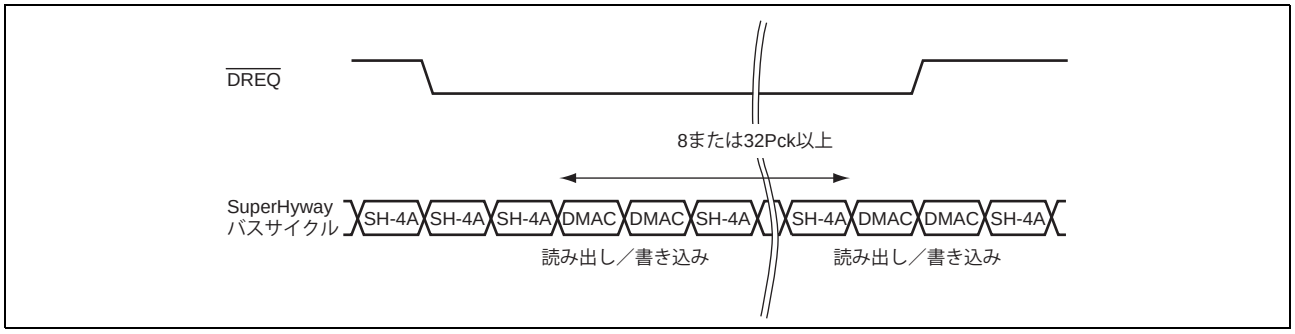


図 14.14　サイクルスチールインタミッテントモードのDMA 転送例（$\overline{\text{DREQ}}$ L レベル検出）

(b) バーストモード（LCKN＝0、TB＝1）

バーストモードではDMAC は一度 SuperHyway バスのバス権を取ると、転送終了条件が満たされるまでSuperHyway バスのバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、$\overline{\text{DREQ}}$ をレベルで検出する場合には、$\overline{\text{DREQ}}$ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けたDMA 転送終了後に他のバスマスタにSuperHyway バスのバス権を渡します。
バーストモードは、周辺モジュールが転送要求元となっている場合には使用できません。
図14.15 にバーストモードのDMA 転送タイミングを示します。

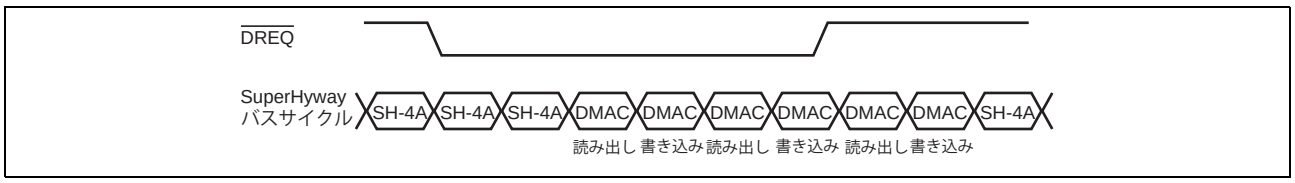


図 14.15　バーストモードのDMA 転送例（$\overline{\text{DREQ}}$ L レベル検出）

(3) DMA 転送区間

表14.9 にオートリクエストモードでのDMA 転送区間、表14.10 に外部リクエストモードでのDMA 転送区間、表14.11 に周辺モジュールリクエストモードでのDMA 転送区間を示します。

○：転送可能
×：転送不可

表14.9　オートリクエストモードでのDMA 転送区間

転送元	転送先			
	LBSC 空間	DDR 空間	周辺モジュール（注）	IL メモリ
LBSC 空間	○	○	○	○
DDR 空間	○	○	○	○
周辺モジュール（注）	○	○	○	○
IL メモリ	○	○	○	○

注．転送元又は転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズでの転送。

表14.10　外部リクエストモードでのDMA 転送区間（チャネル0、1 のみ）

転送元	転送先			
	LBSC 空間	DDR 空間	周辺モジュール（注1）	IL メモリ
LBSC 空間	○	○（注2）	○	○
DDR 空間	○（注3）	×	○（注3）	○（注3）
周辺モジュール（注1）	○	○（注2）	○	○
IL メモリ	○	○（注2）	○	○

注1. 転送元又は転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズでの転送。
2. AM ビット（CHCR レジスタのビット17）を0（読み出しサイクルでDACK を出力）に設定した場合は転送可能です。
3. AM ビット（CHCR レジスタのビット17）を1（書き込みサイクルでDACK を出力）に設定した場合は転送可能です。

表14.11　周辺モジュールリクエストモードでのDMA 転送区間

転送元	転送先			
	LBSC 空間	DDR 空間	周辺モジュール（注）	IL メモリ
LBSC 空間	×	×	○	×
DDR 空間	×	×	○	×
周辺モジュール（注）	○	○	○	○
IL メモリ	×	×	○	×

注．転送元又は転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズでの転送。転送元又は転送先は周辺リクエストの要求元レジスタである必要があります。また、サイクルスチールモードのみ選択可能です。

(4)　バスモードとチャネルの優先順位

優先順位固定モード（CH0＞CH1）において、チャネル1がバーストモード転送中でも、それより優先順位の高いチャネル0に転送要求が発生すると、ただちにチャネル0の転送を開始します。

このとき、チャネル0もバーストモードの場合は、優先順位の高いチャネル0の転送がすべて終了してから、チャネル1の転送を継続します。

また、チャネル0がサイクルスチールモードの場合、まず優先順位の高いチャネル0が1転送単位の転送を行った後、バス権を解放せずに連続してチャネル1が転送されます。その後も、チャネル0→チャネル1→チャネル0→チャネル1というように交互に転送が行われます。

この例を図14.16に示します。競合するバーストモードが複数チャネルある場合は、その中で一番優先順位の高いチャネルが優先実行されます。

DMA転送を複数チャネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに開放しません。

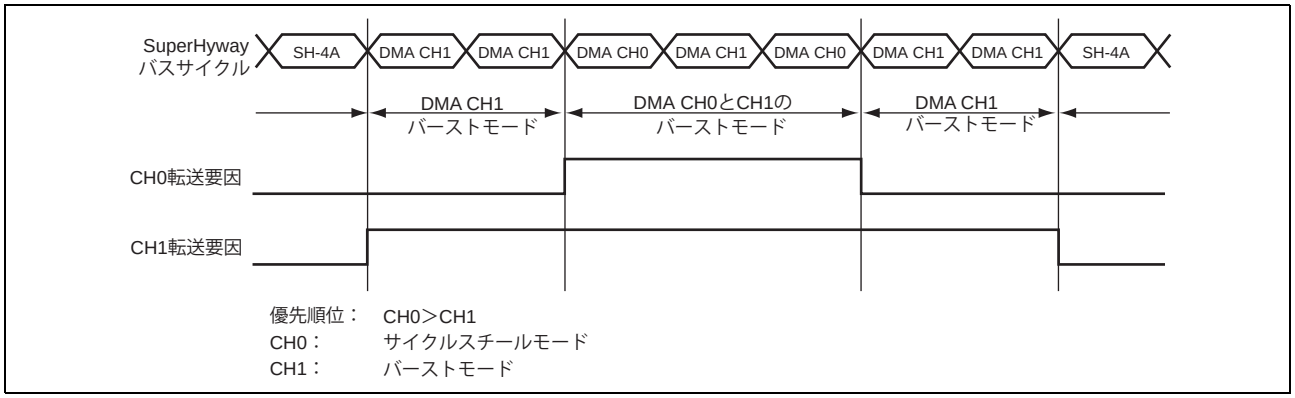


図 14.16　複数チャネルが動作する場合のバス状態

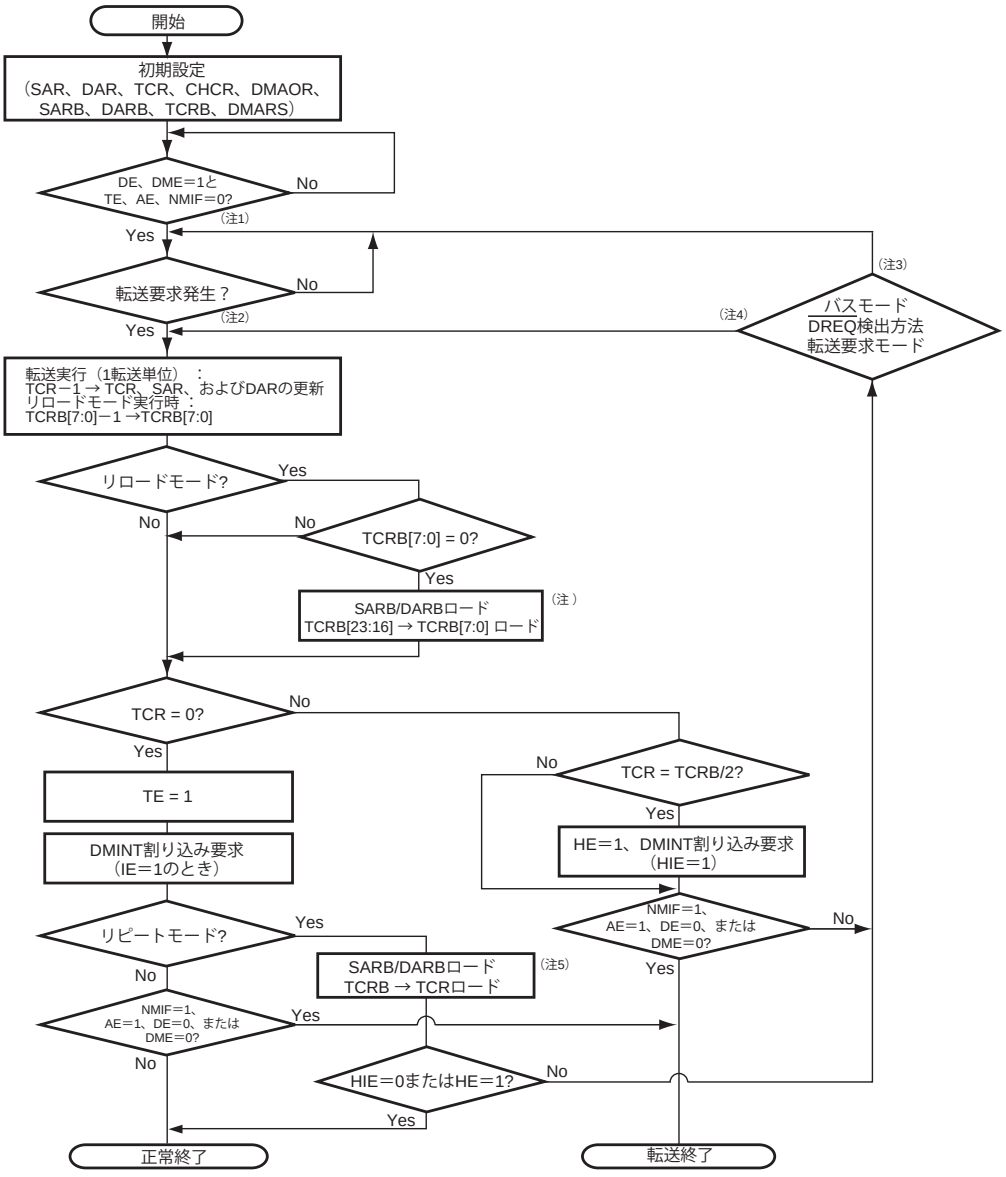
ラウンドロビンモードでは、図14.9に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャネルとバーストモードのチャネルを混在させることはできません。

14.4.4　転送フロー

DMA ソースアドレスレジスタ（SAR）、DMA デスティネーションアドレスレジスタ（DAR）、DMA トランスファカウントレジスタ（TCR）、DMA チャネルコントロールレジスタ（CHCR）、DMA オペレーションレジスタ（DMAOR）、DMA 拡張リソースセレクタ（DMARS）に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. オートリクエストモード時は、DME＝1、TE＝0、AE＝0、NMIF＝0のとき、DE＝1にすると、転送を開始します。外部リクエスト及び周辺モジュールリクエスト時は、DE＝1、DME＝1、TE＝0、AE＝0、NMIF＝0のとき転送要求が発生すると、転送を開始します。
2. 1回の転送（1転送単位：TS2～TS0の設定により決定）を行うごとに、TCRの値を1デクリメントします。
3. 指定された回数の転送を終える（TCR の値が 0 になる）と、転送を正常に終了します。このときCHCR のIE ビット＝ 1 であれば、CPU にDMINT 割り込みを発生します。
4. DMAC によるアドレスエラー又はNMI 割り込みが発生した場合には、転送を中断します。またCHCR のDE ビット又はDMAOR のDME ビットを“0”にしたときも転送を中断します。

図14.17にDMA 転送のフローチャートを示します。



注1. リピートモード実行時、HIE＝1 かつHE＝0 （ハーフエンド割り込みを許可し、
HE＝1になった後HE＝0にクリアした場合）であれば、TE＝1 でも転送要求を受け付けます。
2. オートリクエストの場合、NMIF＝0,AE＝0 かつ、TE＝0 もしくはTE＝1、HE＝0、HIE＝1
（リピートモード時）で、DE、DME が1 にセットされると転送を開始します。
3. バーストモードでDREQ がレベル検出(外部リクエスト)か、サイクルスチールモード
4. バーストモードでDREQ がエッジ検出(外部リクエスト)か、バーストモードでオートリクエスト
5. SAR 及びDAR へのロードは、各モードの動作条件によって異なります。

図 14.17　DMA 転送フローチャート

14.4.5　データ転送モード

(1)　リピートモード

リピートモードを選択すると、転送元アドレス／転送先アドレス／転送回数を再設定することなく、繰り返しDMA転送を実行できます。RPT[2:0]ビットの設定により、それら３つの設定値を繰り返し使用する（RPT[2:0]＝001）、転送先アドレス／転送回数の設定値を繰り返し使用する（RPT[2:0]＝010）、転送元アドレス／転送回数の設定値を繰り返し使用する（RPT[2:0]＝011）のいずれかが選択できます。

図14.18にリピートモードを示します。

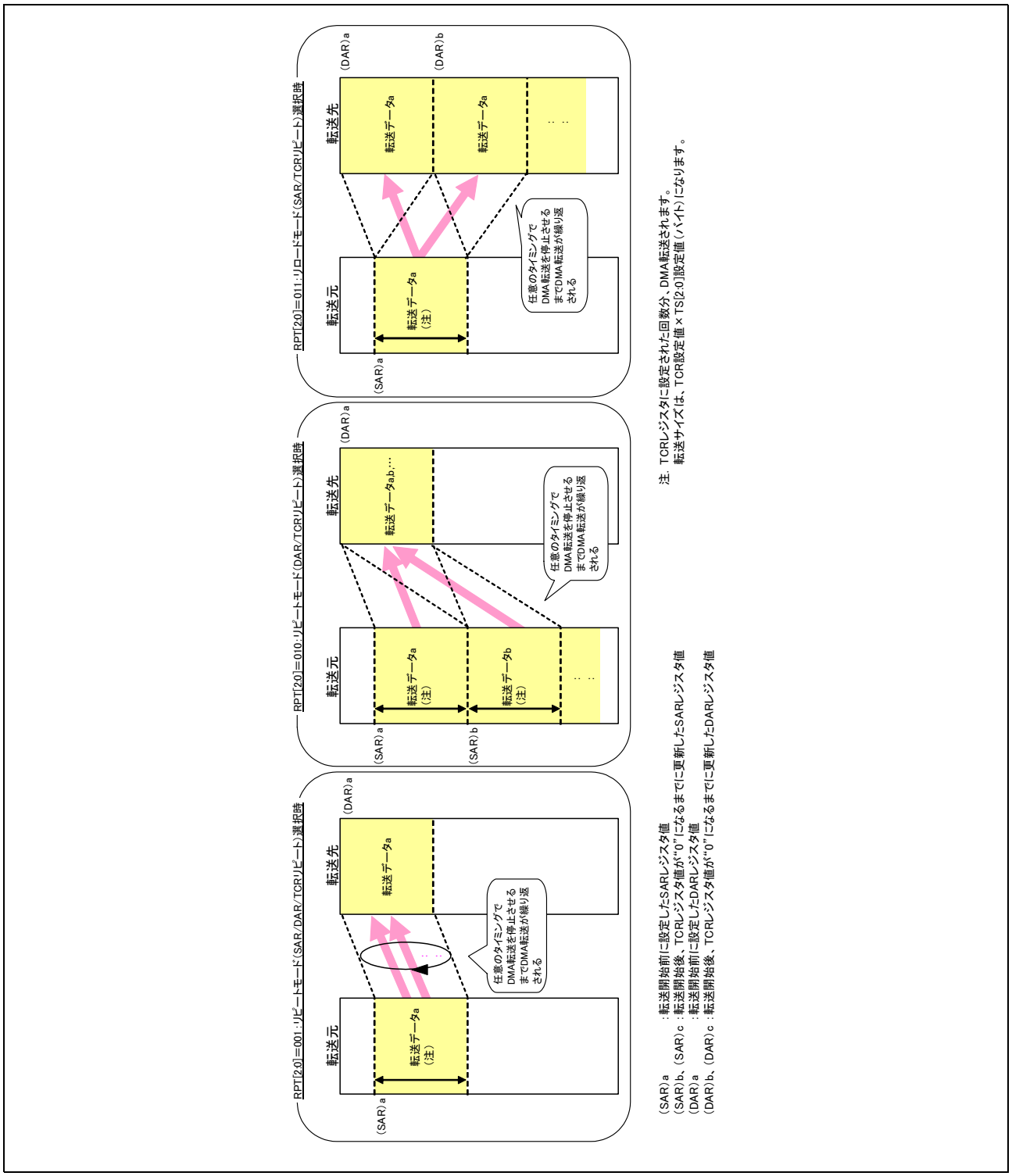


図 14.18　リピートモード

また、リピートモードをハーフエンド機能と同時に使用することで、ダブルバッファ転送を仮想的に実行できます。以下に、外部メモリから40ワードのデータを取り込むごとに順次処理を行う例について説明します。

1. DMACの設定
   SARに外部メモリのアドレスを設定します。
   DARに内部メモリのデータ格納領域のアドレスを設定します。
   TCRにH'50（80回）を設定します。
   CHCRに以下の設定をします。

RPT（ビット27、26、25）＝B'010	：リピートモード（DARをリピート領域として使用）
HIE（ビット18）＝B'1	：TCR/2の割り込み発生
DM（ビット15、14）＝B'01	：DARはインクリメント
SM（ビット13、12）＝B'00	：SARは固定
IE（ビット2）＝B'1	：割り込み許可
DE（ビット0）＝B'1	：DMA転送許可

   この他、TB、TSなど使用条件に合わせて設定。
   DMAORのCMS、PRを使用条件に合わせて設定し、DMEに1を設定します。
2. 1.の設定によりDMA転送開始
3. TCRが初期設定値の1/2になり割り込み発生。
   割り込み処理にて、CHCRを読み出しHE（ビット19）が1があることを確認した後HEを0にし、DARに設定したアドレスから40ワード分のデータの処理を実行。
4. TCRが0になり割り込み発生。
   割り込み処理にて、CHCRを読み出しTE（ビット1）が1であることを確認した後TEを0にし、DARに設定したアドレス＋40のアドレスから40ワード分のデータの処理を実行。
   この際、DMACでは、DARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値CH80に戻ります。
5. 以後、2.～4.がDME＝B'0もしくはDE＝B'0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます（3.でHEを0にしなかった場合、又は4.でTEを0にしなかった場合、HE＝1かつTE＝1の条件で停止します）。

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次処理が可能となります。

(2) リロードモード

リロードモードを選択すると、TCR＝0になるまで、転送元アドレス／転送先アドレスを再設定することなく、TCRB[23:16]に設定した回数分DMA転送を実行できます。RPT[2:0]ビットの設定により、転送元アドレス／転送先アドレスの設定値を繰り返し使用する（RPT[2:0]＝101）、転送先アドレスの設定値を繰り返し使用する（RPT[2:0]＝110）、転送元アドレスの設定値を繰り返し使用する（RPT[2:0]＝111）のいずれかが選択できます。

このモードは、特定エリアを使ったデータ転送を繰り返し行う際に有効です。

図14.19にリロードモードを示します。

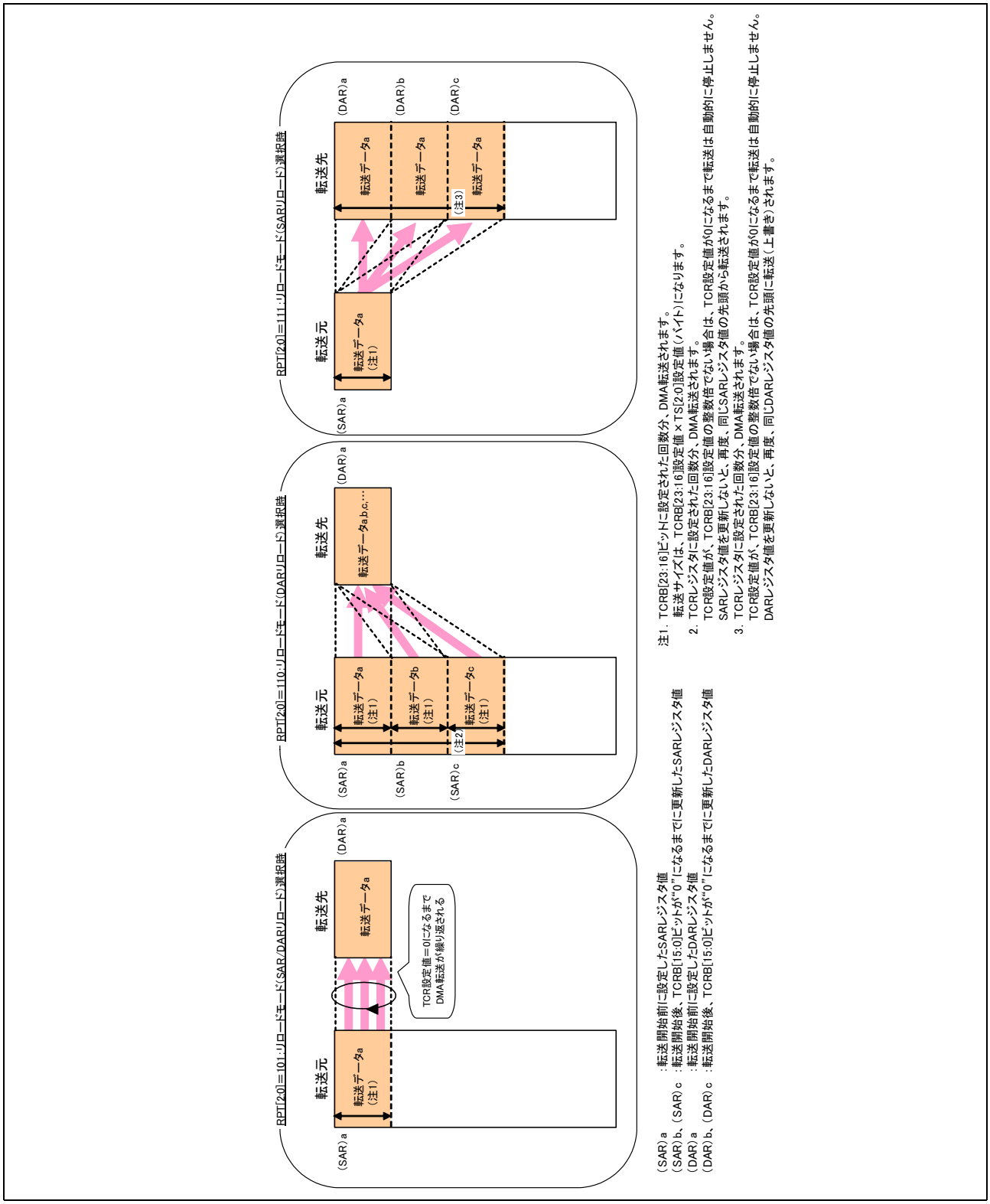


図 14.19　リロードモード転送

リロードモード時は、TCRB をリロードカウンタとして使用します。「14.3.6 DMA トランスファカウントレジスタ B0 ～ 3、6 ～ 9、12 ～ 15、18 ～ 21 （TCRB0 ～ 3、TCRB6 ～ 9、TCRB12 ～ 15、TCRB18 ～ 21）」を参照し、TCRB を設定してください。

14.5 使用上の注意

本DMAC を使用する際は、以下のことに注意してください。

14.5.1 モジュールストップについて

本 DMAC 動作中に、MSTPCR レジスタ設定によるモジュールストップを行わないでください。モジュールストップさせた場合、動作中の転送内容は保証できません。

14.5.2 アドレスエラーについて

DMA アドレスエラーが発生した場合、下記手順を行った後、DMAOR に対応する全チャネルの再設定をしてから転送を開始してください。

1. 下記モジュール関連レジスタへのダミーリード
   - LBSC　：BCR（バスステートコントロールレジスタ）
   - INTC　：INT2B3（内部モジュール割り込み要因レジスタ3）
     INT2A04（割り込み要因レジスタ04）
     INT2A05（割り込み要因レジスタ05）
   - IL メモリ
   - ETHER
2. SYNCO命令を発行
3. DMAアドレスエラーの発生したDMAORに対応する全チャネルの再設定
   - DMAOR0 レジスタの AE ビットが1にセットされた場合はチャネル0～5の再設定
   - DMAOR1 レジスタの AE ビットが1にセットされた場合はチャネル6～11の再設定
   - DMAOR2 レジスタの AE ビットが1にセットされた場合はチャネル12～17の再設定
   - DMAOR3 レジスタの AE ビットが1にセットされた場合はチャネル18～23の再設定

14.5.3 バーストモード転送時の注意

バーストモード転送中は、そのチャネルの転送が完了するまでスリープモードに遷移させないでください。

14.5.4 $\overline{\text{DACK}}$、$\overline{\text{TEND}}$ の分割出力

8 ビット外部デバイスや16 ビット外部デバイスに対するロングワードアクセス時、又は8 ビット外部デバイスに対するワードアクセス時など、DMA 転送単位が複数のバスサイクルに分割され、かつバスサイクル間でCS がネゲートする場合、データをアライメントするため$\overline{\text{CSn}}$ 同様に$\overline{\text{DACK}}$ 出力及び$\overline{\text{TEND}}$ 出力も分割されるので注意してください。

14.5.5 DMINT 割り込みのクリアについて

クリアしたDMINT 割り込みを再度受け付けないようにするために、INT2B3、INT2A04、INT2A05 レジスタの該当フラグが0 になったことを確認した後にBL ビットを0にするか、又はRTE 命令を実行してください。

14.5.6　外部バス幅を超えるDMA 転送サイズにおけるCSn 出力の設定

1 回のDMA 転送が複数のバスサイクルに分かれる場合 (注1)、それらのバスサイクル間でCSn がネゲートされないように設定してください (注2)。設定の詳細は表14.12 を参照してください。

バスサイクル間でCSn がネゲートされる設定をおこなった場合、DREQ のサンプリングが正しく行われず、誤動作する可能性があります。

注．LBSC 外部バス幅以上のDMA 転送単位で転送を行う場合。
例：8、16 ビットバス幅のエリアにロングワード（32 ビット）、16、32 バイト転送を行った場合、又は8 ビットのエリアにワード（16 ビット）転送を行った場合。

注．バスサイクル間でCSn がネゲートされる場合、DACK 出力もネゲートされます（DACK が分割されます）。

14.5.7　DACK のアサートとDREQ 検出について

2 回以上のDMA 転送において、DREQ レベル検出オーバラン1 、及びDREQ エッジ検出の場合、それぞれのDMA 転送の間もDACK がアサートされ続けてしまう場合 (注) があります。この場合、DMA 転送が途中で停止状態となり、正しく行われない可能性がありますので、下記のように設定して、それぞれのDMA 転送の間にアイドルを1 サイクル以上挿入してください。

■ 転送元がLBSC 空間で、読み出しサイクルにDACK を出力する設定（CHCR レジスタのAM ビット＝0）の場合
(1) IWRRD＝B'001～B'111（別空間リードーリードサイクル間アイドルを1 サイクル以上挿入）
(2) IWRRS＝B'001～B'111（同一空間リードーリードサイクル間アイドルを1 サイクル以上挿入）

■ 転送先がLBSC 空間で、書き込みサイクルにDACK を出力する設定（CHCR レジスタのAM ビット＝1）の場合
(3) IWW＝B'00～B'111（ライトーリード／ライトーライトサイクル間アイドルを1 サイクル以上挿入）

IWRRD ビット　：CSnBCR レジスタのビット18～16
IWRRS ビット　：CSnBCR レジスタのビット14～12
IWW ビット　　：CSnBCR レジスタのビット30～28

注．転送元がLBSC 空間で読み出しサイクルにDACK を出力する設定の場合、又は転送先がLBSC 空間で書き込みサイクルにDACK を出力する設定の場合で、アイドルサイクルなしを設定（CSnBCR レジスタのIWRRD ビット、IWRRS ビット、IWW ビットにB'000 を設定）した場合。転送元と転送先がともにLBSC 空間の場合は該当しません。

表14.12 に1 回のDMA 転送におけるバスサイクル発生数とLBSC のレジスタ設定を示します。本設定により、複数のバスサイクルが発生した場合においても、CSn はネゲートされません。なお、下記設定において、転送元又は転送先のどちらか一方のみがLBSC 空間の場合、2 回以上のDMA 転送の間もDACK がアサートされ続けてしまうのを避けるため、CSnBCR レジスタのIWRRD ビット、IWRRS ビット 又はIWW ビットをB'001～B'111 に設定してください。この場合、16 バイト転送では複数のバスサイクルが発生し、かつそれらバスサイクルの間でCSn がネゲートされるためDREQ のサンプリングが正しく行われず、誤動作する可能性がありますので注意してください。

表14.12　1回のDMA 転送におけるバスサイクル発生数とLBSC のレジスタ設定
（SRAM、バーストROM インタフェース使用時）

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	$\overline{\text{CSn}}$ がネゲートされない設定	
			IWRRD、IWRRS、又は IWW	ADS 、及び ADH
8	バイト	1	任意	任意
	ワード	2	任意	B'000
	ロングワード	4	任意	B'000
	16 バイト	16	B'000	B'000
	32 バイト	32	任意	B'000
16	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	2	任意	B'000
	16 バイト	8	B'000	B'000
	32 バイト	16	任意	B'000

15. シリアルペリフェラルインタフェース0（SPI0）

シリアルペリフェラルインタフェース0（SPI0）は、外部SPIデバイスとの通信機能、及び外部SPIフラッシュメモリからのブート機能を持ちます。

15.1 特長

- 転送データサイズ
  内蔵ILメモリアクセス、外部DDR3メモリアクセスともに32バイト単位

- 送信FIFO／受信FIFO：各8ビット×32段（32バイト）

- シリアルデータ
  送信／受信とも、MSBファースト／LSBファーストを選択可能

- ソフトウェアリセット
  ソフトウェアリセット可能
  送信FIFO／受信FIFOをリセット可能

- 割り込み要求
  - 転送終了割り込み
  - 送信FIFOエンプティ割り込み
  - 送信FIFOフル割り込み
  - 受信FIFOエンプティ割り込み
  - 受信FIFOフル割り込み

- チップセレクト信号：4本（$\overline{\text{SP0-SS0}}$～$\overline{\text{SP0-SS3}}$）

- デュアルアウトプットモードをサポート（デュアルインプットモード非対応）

- 外部SPIフラッシュメモリのサイズは8種類から選択可能
  BOOTSZ2、BOOTSZ1、BOOTSZ0端子により、8種類のSPIフラッシュメモリサイズ（1MB、2MB、4MB、8MB、16MB、32MB、64MB、128MB）を選択

- 2種類のアドレッシングモードをサポート
  16MB以下：3バイトアドレッシングモード
  32MB以上：4バイトアドレッシングモード
  注.BOOTSZ2、BOOTSZ1、BOOTSZ0端子の設定により、自動的に切り替わります。

- ライトプロテクト領域
  $\overline{\text{SP0-SS0}}$端子に接続しているSPIフラッシュメモリに対して、メモリ領域の上位半分と下位半分に、ライトプロテクト領域を設定できます。

- SPIブート機能
  MD6端子でSH-4Aのブート動作を制御します。MD6端子がHレベルの状態でパワーオンリセット又はマニュアルリセットを解除すると、$\overline{\text{SP0-SS0}}$端子に接続された外部SPIフラッシュメモリから2Kバイト分のプログラムを内蔵ILメモリに自動転送し、その後、内蔵ILメモリ上に転送したプログラムを自動的に実行します（「15.5.4 SPIブート機能」参照）。
  また、ABR（オルタネートブートブロックリカバリ）機能を使用すると、外部SPIフラッシュメモリ領域の下位半分/上位半分のいずれかの領域から内蔵ILメモリに転送したプログラムが正常に実行されなかった場合、自動的にもう一方の領域から転送を開始させることができます（「17. リセット、ウォッチドッグタイマ（WDT）」参照）。

15.2 ブロック図

SPI0 のブロック図を図15.1 に示します。図15.1 に示すようにSPI0 は、SPI コアとSPI SHwyIF から構成されます。

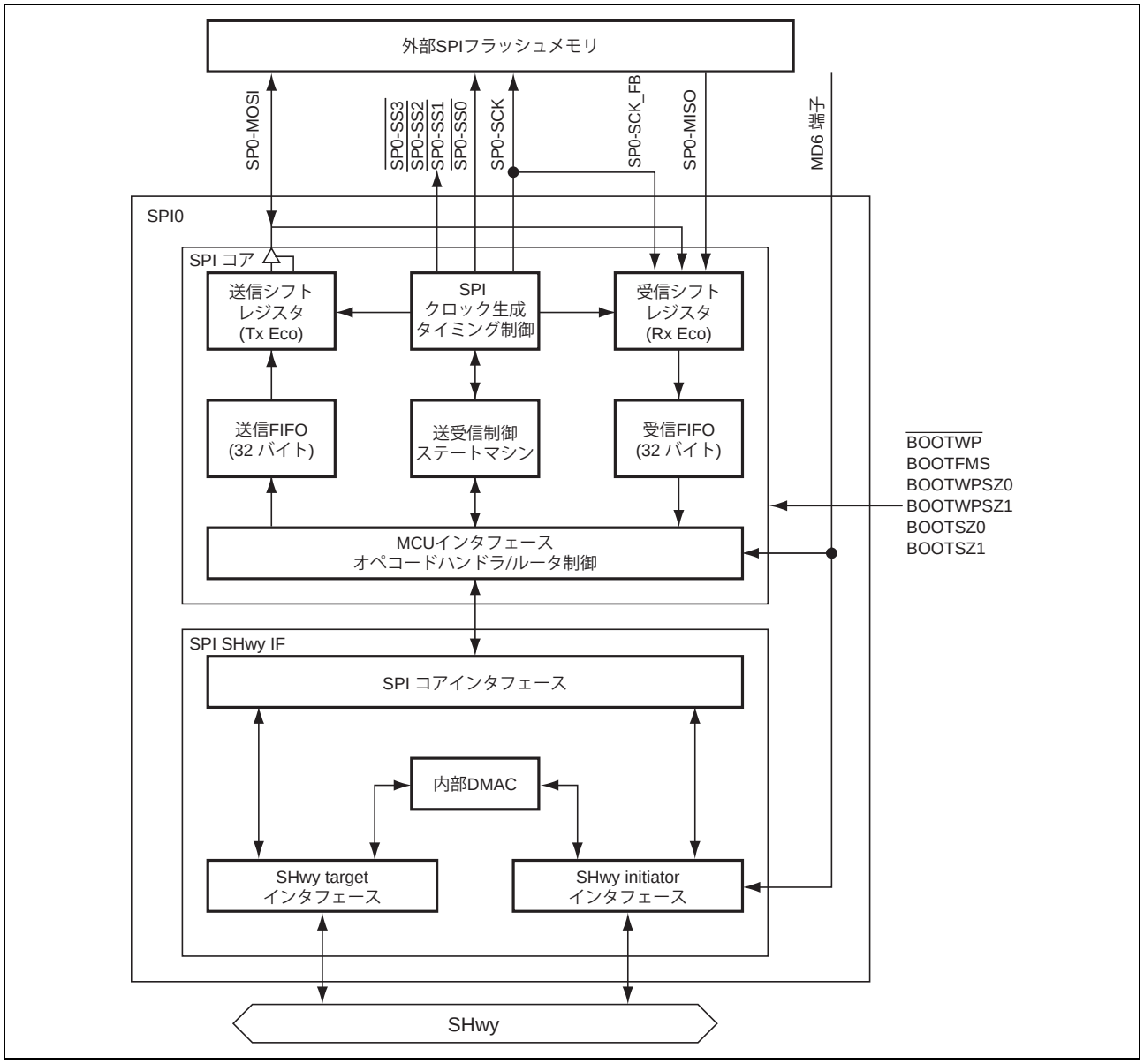


図 15.1　SPI0 ブロック図

15.3 入出力端子

SPI0 の入出力端子を表15.1 に示します。

表15.1 端子構成

名 称	記号	入出力	機 能
SPI0 マスタ出力	SP0-MOSI	入出力	SPI0 マスタデータ入出力端子
SPI0 マスタ入力	SP0-MISO	入力	SPI0 マスタデータ入力端子
SPI0 クロック	SP0-SCK	出力	SPI0 シリアルクロック出力端子
SPI0 クロックフィードバック	SP0-SCK_FB	入力	SPI0 シリアルクロックフィードバック入力端子
SPI0 チップセレクト3	$\overline{\text{SP0-SS3}}$	出力	SPI0 スレーブデバイス3 セレクト出力端子
SPI0 チップセレクト2	$\overline{\text{SP0-SS2}}$	出力	SPI0 スレーブデバイス2 セレクト出力端子
SPI0 チップセレクト1	$\overline{\text{SP0-SS1}}$	出力	SPI0 スレーブデバイス1 セレクト出力端子
SPI0 チップセレクト0	$\overline{\text{SP0-SS0}}$	出力	SPI0 スレーブデバイス0 セレクト出力端子
SPI0 ブートフラッシュライトプロテクト	$\overline{\text{BOOTWP}}$	入力	L ：SPI0ライトプロテクト有効 H ：SPI0ライトプロテクト無効
SPI0 ライトプロテクトサイズ	BOOTWPSZ1、0	入力	LL　：64KB LH　：128KB HL　：256KB HH　：512KB
SPI ブートフラッシュメモリ領域選択 （ABR開始アドレス）	BOOTFMS	入力	L ：SPI0はSPI フラッシュメモリエリアの下半分からロード H ：SPI0はSPI フラッシュメモリエリアの上半分からロード
SPI ブートフラッシュメモリ（ABR用）サイズ設定	BOOTSZ2、1、0	入力	LLL　：1MB（3バイトアドレッシングモード） LLH　：2MB（3バイトアドレッシングモード） LHL　：4MB（3バイトアドレッシングモード） LHH　：8MB（3バイトアドレッシングモード） HLL　：16MB（3バイトアドレッシングモード） HLH　：32MB（4バイトアドレッシングモード） HHL　：64MB（4バイトアドレッシングモード） HHH　：128MB（4バイトアドレッシングモード）
SPI0 ブートインジケータ	$\overline{\text{SPILOAD}}$	出力	SPI0ブート期間インジケータ出力端子
ブートモード設定	MD6、MD9	入力	LL　：LBSC ブート （H'0000 0000～H'03FF FFFFは$\overline{\text{CS0}}$領域） HL　：2KB SPI ブート （H'0000 0000～H'03FF FFFFは使用禁止） 上記以外：設定禁止

15.4　レジスタの説明

SPI0 のレジスタ構成、及び各処理モードにおけるレジスタの状態を表15.2 に示します。

指定されたビット幅で、レジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表15.2　レジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット(注2)
WDMA転送先アドレスレジスタ	SPIWDMADR	R/W	H'FE00 1018	32	H'0020 0000	H'0020 0000	H'0020 0000
WDMA転送数レジスタ	SPIWDMCNTR	R/W	H'FE00 1020	32	H'0000 0800	H'0000 0800	H'0000 0800
DMA コントロールレジスタ	SPIDMCOR	R/W	H'FE00 1028	32	H'0000 000X	H'0000 000X	H'0000 000X
割り込みステータスレジスタ	SPIDMINTSR	R/W	H'FE00 1188	32	H'0000 000X	H'0000 000X	H'0000 000X
割り込みマスクレジスタ	SPIDMINTMR	R/W	H'FE00 1190	32	H'0000 0007	H'0000 0007	保持
SPI コア送信バッファレジスタ	TBR	W	H'FE00 2000	32	H'XXXX XXXX	H'XXXX XXXX	H'XXXX XXXX
SPI コア受信バッファレジスタ	RBR	R	H'FE00 2000	32	H'0000 0000	H'0000 0000	H'0000 0000
SPI コアコントロール／ステータスレジスタ1	CR1	R/W	H'FE00 2008	32	H'0000 00AX	H'0000 00AX	保持
SPIコアコントロールレジスタ2	CR2	R/W	H'FE00 2010	32	H'0000 0007	H'0000 0007	保持
SPI コアコントロールレジスタ3	CR3	R/W	H'FE00 2018	32	H'0000 00XX	H'0000 00XX	保持
SPI コアコントロールレジスタ4	CR4	R/W	H'FE00 2020	32	H'0000 0002	H'0000 0002	保持
SPI コアコントロールレジスタ5	CR5	R/W	H'FE00 2028	32	H'0000 0000	H'0000 0000	保持
SPI コアコントロールレジスタ6	CR6	R/W	H'FE00 2030	32	H'0000 0000	H'0000 0000	保持
SPI コアコントロールレジスタ7（インデックスレジスタ）	CR7	R/W	H'FE00 2038	32	H'0000 0000	H'0000 0000	保持
SPIコアコントロールレジスタ8（データレジスタ）	CR8	R/W	H'FE00 2040	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ 0	OR0	R/W	N/A（注1）	32	H'0000 00XX	H'0000 00XX	保持
SPI オペレーションレジスタ 1（WRPG コマンド）	OR1	R/W	N/A（注1）	32	H'0000 0002	H'0000 0002	保持
SPI オペレーションレジスタ 2（ER32 コマンド）	OR2	R/W	N/A（注1）	32	H'0000 0052	H'0000 0052	保持
SPI オペレーションレジスタ 3（ER64 コマンド）	OR3	R/W	N/A（注1）	32	H'0000 00D8	H'0000 00D8	保持
SPI オペレーションレジスタ 4（ERSC コマンド）	OR4	R/W	N/A（注1）	32	H'0000 0020	H'0000 0020	保持
SPI オペレーションレジスタ 5（ERC1 コマンド）	OR5	R/W	N/A（注1）	32	H'0000 0060	H'0000 0060	保持
SPI オペレーションレジスタ 6（ERC2 コマンド）	OR6	R/W	N/A（注1）	32	H'0000 00C7	H'0000 00C7	保持
SPI オペレーションレジスタ 7（READ コマンド）	OR7	R/W	N/A（注1）	32	H'0000 0003	H'0000 0003	保持
SPI オペレーションレジスタ 8（RDFT コマンド）	OR8	R/W	N/A（注1）	32	H'0000 000B	H'0000 000B	保持
SPI オペレーションレジスタ 9（RDDO コマンド）	OR9	R/W	N/A（注1）	32	H'0000 003B	H'0000 003B	保持

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット(注2)
SPI オペレーションレジスタ A（WPA [31:24] ビット）	ORA	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ B（WPA [23:16] ビット）	ORB	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ C（WPA [15:8] ビット）	ORC	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ D（WPA [7:0] ビット）	ORD	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ E（WpM [31:24] ビット）	ORE	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ F（WpM [23:16] ビット）	ORF	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ 10（WpM [15:8] ビット）	OR10	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ 11（WpM [7:0] ビット）	OR11	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
SPI オペレーションレジスタ 12（ADDR32）	OR12	R	N/A（注1）	32	H'0000 000X	H'0000 000X	保持
SPI オペレーションレジスタ 20～SPI オペレーションレジスタ 37	OR20～OR37	R/W	N/A（注1）	32	H'0000 0000	H'0000 0000	保持
ストラップピンモニタレジスタ 2	PINMON2	R	H'FFC1 0224	32	H'XXXX XXXX	保持	保持

注1. インデックス レジスタ（CR7）、データレジスタ（CR8）の一組を介してアクセスするレジスタです。
2. SPIDMCOR レジスタの DMRST ビット＝1の場合。

15.4.1　WDMA 転送先アドレスレジスタ（SPIWDMADR）

SPIWDMADR は、読み出し／書き込み可能な32 ビットのレジスタで、DMA 転送時のデータの転送先アドレスを設定します。

本レジスタの値は、パワーオンリセット、マニュアルリセット、及び SPI SHwyIF のソフトウェアリセット（DMRST ビット（SPIDMCOR レジスタ のビット31）=1）時に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDMADR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDMADR[15:5]											—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	WDMADR[31:5]	H'001 0000	R/W	DMA 転送先アドレス 本ビットは、DMA 転送時のデータ転送先アドレスを設定します
4 ～ 0	—	0	—	リザーブビット

15.4.2　WDMA 転送数レジスタ（SPIWDMCNTR）

SPIWDMCNTR は、読み出し／書き込み可能な32 ビットのレジスタで、DMA 転送時のデータの転送数（バイト数）を設定します。

本レジスタの値は、パワーオンリセット、マニュアルリセット及びSPI SHwyインタフェースのソフトウェアリセット（DMRST ビット=1）時に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDMCNT[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDMCNT[15:5]											—	—	—	—	—
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	WDMCNT[31:5]	H'000 0040	R/W	DMA 転送数（注） 本ビットは、DMA 転送時のデータの転送数を32 バイト単位で設定します。
4～ 0	—	0	—	リザーブビット

注．PFCビット設定値以下の値を設定してください。

15.4.3　DMAコントロールレジスタ（SPIDMCOR）

SPIDMCOR は、SPI SHwyIF の動作／停止の制御を行います。

本レジスタの値は、ビット31（DMRST）を除きパワーオンリセット、マニュアルリセット、及びSPI SHwyIF のソフトウェアリセット（DMRSTビット=1）時に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMRST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	（注2）
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31	DMRST	0	W（注1）	SPI SHwyIF ソフトウェアリセット “1”を書くとSPI SHwyIFがリセットされます。
30 ～ 1	—	0	—	リザーブビット
0	DMEN	（注2）	R/W	DMA転送イネーブル 0：SPI SHwyIF のDMA 転送動作禁止 1：SPI SHwyIF のDMA 転送動作許可

注1.　読み出し時の値は“0”です。

2.　DMEN ビットの初期値は、パワーオンリセット時のMD6 端子の入力レベルに依存します。
MD6＝Lのとき“0”、MD6＝Hのとき“1”です。

15.4.4　割り込みステータスレジスタ（SPIDMINTSR）

SPIDMINTSR は、SPI SHwyIF の転送終了割り込み要因を示します。

本レジスタの値は、パワーオンリセット、マニュアルリセット、及び SPI SHwyIF のソフトウェアリセット（DMRST ビット＝1）時に初期化されます。割り込みマスクレジスタ（SPIDMINTMR）で転送終了割り込みが許可されていれば、SH-4A に対して割り込みを要求します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMEND	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	(注)	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 3	—	0	—	リザーブビット
2	DMEND	0	R/W（注）	転送終了 0：SPIWDMCNTR レジスタに設定された分のデータ転送が終了していない 1：SPIWDMCNTR レジスタに設定された分のデータ転送が終了した
1、0	—	—	—	リザーブビット（書き込む値は“0”にしてください）

注．“1”を書くと“0”になります。“0”を書いても変化しません。

15.4.5　割り込みマスクレジスタ（SPIDMINTMR）

SPIDMINTMR は、SPI SHwyIF の転送終了割り込み要因をマスクします。

本レジスタの値は、パワーオンリセット、及びSPI SHwyIF のマニュアルリセット（DMRST ビット=1）時に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DMENDM	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 3	—	0	—	リザーブビット
2	DMENDM	1	R/W	DMEND 割り込み要因マスク 0：DMEND=1のとき割り込みを発生しない 1：DMEND=1のとき割り込みを発生する
1、0	—	1	—	リザーブビット

15.4.6　SPI コア送信バッファレジスタ（TBR）

TBR は、書き込みのみ可能な32 ビットのレジスタで、外部SPI フラッシュメモリへ転送するデータを設定します。

TBRにデータを書き込むと、送信FIFOに書き込まれ、TBR にデータを書き込むごとに、送信FIFO のライトポインタがインクリメントされます。送信 FIFO の状態は、TBE、TBF ビット（CR1 レジスタ のビット7、6）で確認できます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXD							
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
31～ 8	—	—	—	リザーブビット（書き込む値は“0”にしてください）
7 ～ 0	TXD	—	W	SPIフラッシュメモリに送信するデータ（コマンド、アドレス、ライトデータ）を設定してください。(注)

注．　TBF＝1のときは書き込めません。

15.4.7　SPI コア受信バッファレジスタ（RBR）

RBR は、読み出しのみ可能な32 ビットのレジスタで、外部SPI フラッシュメモリから受信したデータを示します。

RBR を読み出すと、受信 FIFO に格納された受信データが読み出され、RBR のデータを読み出すごとに、受信 FIFO のリードポインタがインクリメントされます。受信 FIFO の状態は、RBE、RBF ビット（CR1 レジスタのビット5、4）で確認できます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RXD							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	RXD	0	R	SPIフラッシュメモリから受信した（読み出した）データが読み出されます。(注)

注．　RBE＝1のときは読み出せません（読み出し値は無効）。

15.4.8　SPI コアコントロール／ステータスレジスタ1（CR1）

CR1 は、読み出し／書き込み可能な32 ビットのレジスタで、SPI コア内送信FIFO／受信FIFO の状態を示し、SP0-SS3、SP0-SS2、SP0-SS1、SP0-SS0 端子出力を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TBE	TBF	RBE	RBF	—	SSDB	SSD	SSA
初期値：	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	(注2)
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7	TBE	1	R	SPI コア内送信FIFO エンプティフラグ（注1） 0：送信FIFOがエンプティ状態でない 1：送信FIFOがエンプティ状態
6	TBF	0	R	SPI コア内送信FIFO フルフラグ（注1） 0：送信FIFOがフル状態でない 1：送信FIFOがフル状態

ビット	ビット名	初期値	R/W	説 明
5	RBE	1	R	SPI コア内受信FIFO エンプティフラグ（注1） 0：受信FIFOがエンプティ状態でない 1：受信FIFOがエンプティ状態
4	RBF	0	R	SPI コア内受信FIFO フルフラグ（注1） 0：受信FIFOがフル状態でない 1：受信FIFOがフル状態
3	—	0	—	リザーブビット
2、1	SSDB、SSD	00	R/W	$\overline{\text{SP0-SSn}}$ ($\overline{\text{SP0-SS3}}$、$\overline{\text{SP0-SS2}}$、$\overline{\text{SP0-SS1}}$、$\overline{\text{SP0-SS0}}$) ネゲート制御 SSDB　SSD 0　0　：モード0 $\overline{\text{SSD}}$ビットに“1”が書き込まれたとき、$\overline{\text{SP0-SSn}}$がネゲートされる X　1　：モード1 SPIサイクル終了時、$\overline{\text{SP0-SSn}}$が自動的にネゲートされる 1　0　：モード2 最後のSPI サイクル（注2）終了時、$\overline{\text{SP0-SSn}}$が自動的にネゲートされる
0	SSA	（注2）	R/W	$\overline{\text{SP0-SSn}}$アサート制御 0: $\overline{\text{SP0-SSn}}$アサート禁止 1: $\overline{\text{SP0-SSn}}$アサート許可 ・送信時：TBEビット＝0のときアサート ・受信時：TBEビット＝1、かつ PFCビット＞0のときアサート

X：“0”又は“1”いずれでもよい。

注1.　これらのビットは、FIFO リセット（RSTFビット（CR2レジスタのビット7）＝1）時にも初期化されます。
2.　SSA ビットの初期値は、パワーオンリセット時のMD6 端子の入力レベルに依存します。
MD6＝Lのとき“0”、MD6＝Hのとき“1”です。
また、このビットは、WpAbort＝1のとき“0”になります。

15.4.9　SPI コアコントロールレジスタ2（CR2）

CR2は、読み出し／書き込み可能な32ビットのレジスタで、SPI動作モードとSPI信号プロトコル制御を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RSTF	—	CPOL	CPHA	L1M0	DIVCODE[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7	RSTF	0	R/W	SPI コア内送信FIFO／受信FIFO リセット 0：FIFO リセット解除 1：FIFO リセット ・SPI コア内送信FIFOライトポインタリセット ・SPI コア内受信FIFOリードポインタリセット ・TBEビット＝1、RBEビット＝1 ・TBFビット＝0、RBFビット＝0
6	—	0	—	リザーブビット
5	CPOL	0	R/W	SP0-SCK 極性選択 0：SP0-SCKは非アクティブ時Lレベルを出力 1：SP0-SCKは非アクティブ時Hレベルを出力
4	CPHA	0	R/W	SP0-SCK 位相選択 SP0-MOSI出力データの切り替え／SP0-MISO入力データの取り込みを行うタイミング（信号エッジ）を選択します（図15.2参照） ■CPOL＝0のとき 0：$\overline{\text{SP0-SSn}}$の立ち下がりエッジ及び SP0-SCKの立ち下がりエッジで出力データ切り替え SP0-SCKの立ち上がりエッジで入力データ取り込み 1：SP0-SCKの立ち上がりエッジで出力データ切り替え SP0-SCKの立ち下がりエッジで入力データ取り込み ■CPOL＝1のとき 0：$\overline{\text{SP0-SSn}}$の立ち下がりエッジ及び SP0-SCKの立ち上がりエッジで出力データ切り替え SP0-SCKの立ち下がりエッジで入力データ取り込み 1：SP0-SCKの立ち下がりエッジで出力データ切り替え SP0-SCKの立ち上がりエッジで入力データ取り込み

ビット	ビット名	初期値	R/W	説 明
3	L1M0	0	R/W	転送方向の選択 0：MSBファーストモード 転送時：TBR[7]→TBR[0]の順で送信 受信時：RBR[7]→RBR[0]の順で受信 1：LSBファーストモード 転送時：TBR[0]→TBR[7]の順で送信 受信時：RBR[0]→RBR[7]の順で受信
2～0	DIVCODE[2:0]	111	R/W	SP0-SCK 分周比（注） 011：SHckの4分周（48MHz） 100：SHckの5分周（38.4MHz） 101：SHckの6分周（32MHz） 110：SHckの7分周（27.4MHz） 111：SHckの8分周（24MHz） 上記以外：設定禁止

注．（ ）内はSP0-SCK周波数を示します。

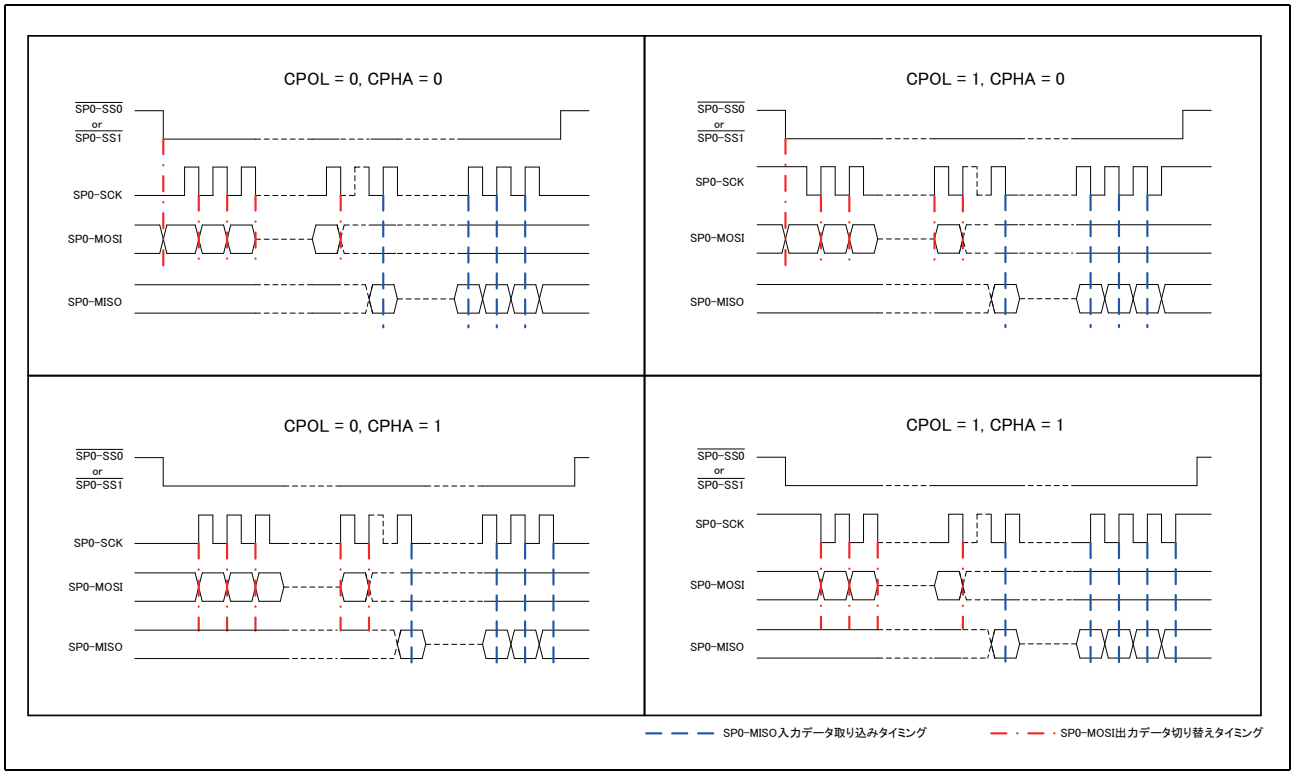


図 15.2　データ入出力タイミング

15.4.10 SPI コアコントロールレジスタ3（CR3）

CR3は、読み出し／書き込み可能な32 ビットのレジスタで、SP0-MISO端子から取り込む受信データバイト数（SPI 受信サイクル数）を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PFC							
初期値：	0	0	0	0	0	0	0	0	（注）	（注）	（注）	（注）	（注）	（注）	（注）	（注）
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7 ～ 0	PFC	（注）	R/W	受信データバイト数 H'00　：受信データ取り込み無効 H'00～H'FE：受信FIFOがフルでないときに受信FIFOに受信データを取り込み、受信FIFOがフルの間は取り込みを停止 PFCの値は1バイト取り込むごとにデクリメントされ、PFC＝H'00になると取り込みを停止する H'FF　：受信FIFOがフルでないときに受信FIFOに受信データを取り込み、受信FIFOがフルの間は取り込みを停止 PFCの値は受信データの取り込みでデクリメントされない

注．PFC ビットの初期値は、パワーオンリセット時のMD6 端子の入力レベルに依存します。
MD6＝LのときH'00、MD6＝HのときH'FFです。
MD6＝Hでパワーオンリセット（SPI ブート）時は、ブートプログラムの最後でPFC＝H'00 を設定し、受信データ取り込みを無効にしてください。

15.4.11 SPI コアコントロールレジスタ4（CR4）

CR4は、読み出し／書き込み可能な32ビットのレジスタで、SPIコア内送信FIFO／受信FIFO割り込みの許可／禁止、及びSP0-SS3、SP0-SS2、SP0-SS1、SP0-SS0の選択を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TBEI	TBFI	RBEI	RBFI	SSS1	Wp Abort	SpiS0	SSS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	（注2）	R	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7	TBEI	0	R/W	SPIコア内送信FIFOエンプティ割り込み 0：割り込み禁止 1：割り込み許可
6	TBFI	0	R/W	SPIコア内送信FIFOフル割り込み 0：割り込み禁止 1：割り込み許可
5	RBEI	0	R/W	SPIコア内受信FIFOエンプティ割り込み 0：割り込み禁止 1：割り込み許可
4	RBFI	0	R/W	SPIコア内受信FIFOフル割り込み 0：割り込み禁止 1：割り込み許可
3	SSS1	0	R/W	SPI0チップセレクト選択1 SSS0ビット参照
2	WpAbort	0	R/W （注2）	SPI0フラッシュライトプロテクトアボート（注1） SPI0ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時、ライトプロテクト領域に対するSPIサイクル開始時に、OR1～OR6及びOR20～OR37に設定されたコマンドコードを検出すると、SPIサイクルが中止され、このビットが“1”になります。 同時に、送信FIFOがリセットされます。
1	SpiS0	1	R	SPIアイドルステートS0 0：SPIサイクル処理中（新規のSPIサイクル受け付け不可） 1：アイドル状態（新規のSPIサイクル受け付け可能）
0	SSS0	0	R/W	SPI0チップセレクト選択0 SSS1 SSS0 0 0 ：$\overline{\text{SP0-SS0}}$有効 0 1 ：$\overline{\text{SP0-SS1}}$有効 1 0 ：$\overline{\text{SP0-SS2}}$有効 1 1 ：$\overline{\text{SP0-SS3}}$有効

注1. このビットは、SPI0ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時のみ有効です。
2. “1”を書くと“0”になります。“0”を書いても変化しません。

15.4.12 SPI コアコントロールレジスタ 5（CR5）

CR5は、送信FIFOに書き込まれたバイト数を示すレジスタです。このレジスタの値を確認することで、あと何バイト書き込めるかが確認できます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TBFCN[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	TBFCN[7:0]	H’00	R	送信FIFOデータ格納数カウンタ H'00　：0バイト（送信FIFOエンプティ） H'01～H'1F　：1～31バイト （送信FIFOに格納されているデータ数） H'20　：32バイト（送信FIFOフル）

15.4.13 コアコントロールレジスタ 6（CR6）

CR6は、受信FIFOに格納されたバイト数を示すレジスタです。このレジスタの値を確認することで、あと何バイト読み出せるかが確認できます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RBFCN[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7～ 0	RBFCN[7:0]	H'00	R	受信FIFOデータ格納数カウンタ H'00　：0バイト（受信FIFOエンプティ） H'01～H'1F　：1～31バイト （受信FIFOに格納されているデータ数） H'20　：32バイト（受信FIFOフル）

15.4.14 SPI コアコントロールレジスタ 7（CR7）

CR7はオペレーションレジスタ（OR0～OR37）をアクセスするためのインデックスレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	INX							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～8	—	0	—	リザーブビット
7～ 0	INX	H'00	R/W	OR0～OR37をアクセスするためのインデックスを設定します。 H'00 : OR0 H'01 : OR1 ：　： H'37 : OR37

15.4.15 SPI コアコントロールレジスタ8（CR8）

CR8はオペレーションレジスタ(OR0～OR37)のデータレジスタです。このレジスタに書き込んだ値は、INXビット（CR7レジスタのビット7～0）で指定したオペレーションレジスタに書き込まれます。このレジスタを読み出すと、INXビットで指定したオペレーションレジスタの値が読み出せます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DAT							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	DAT	H'00	R/W	書き込み時：INXビットで指定したオペレーションレジスタに書き込まれる 読み出し時：INXビットで指定したオペレーションレジスタの値が読み出せる

15.4.16 SPI オペレーションレジスタ0（OR0）

OR0は、SPIアクセス方法を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WpSzSl	RDDOen	ATD	—	—	—	—	FMS
初期値：	0	0	0	0	0	0	0	0	0	0	0	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	—	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7	WpSzSl	0	R/W （注1、3）	ライトプロテクトサイズ指定方法選択ビット 0：BOOTWPSZ1、BOOTWPSZ0端子で指定 1：WpM[31:0] (ORE～OR11)で指定
6	RDDOen	0	R/W（注1）	デュアルアウトプットモード読み出し有効 0：コマンドコードに関わらず、シングルアウトプットモードで読み出す 1：RDDOビット（OR9レジスタのビット7～0）の値と同じコマンドコードのときだけ、デュアルアウトプットモードで読み出す
5	ATD	0	R/W（注1）	$\overline{\text{SP0-SS0}}$領域のリード時のアドレス変換を選択（注2） （FMSビット＝1のときのみ有効） 0：リード時のアドレスが$\overline{\text{SP0-SS0}}$領域の下位半分側である場合、領域半分のオフセットが加算され、$\overline{\text{SP0-SS0}}$領域の上位半分側のアドレス値に自動的に変換される （$\overline{\text{SP0-SS0}}$領域の下位半分側はリードアクセス不可） リード時のアドレスが$\overline{\text{SP0-SS0}}$領域の上位半分側である場合は、アドレス変換なし 1：リード時のアドレス変換なし （$\overline{\text{SP0-SS0}}$領域の全領域にリードアクセス可能） 図15.7参照
4～1	—	—	—	リザーブビット
0	FMS	—	R（注1）	SPIブートフラッシュメモリ領域 SPIフラッシュのどの領域からブートしたかを示します。 0：SPIフラッシュの下位半分の領域 1：SPIフラッシュの上位半分の領域

注1. インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。

2. SPIサイクル中はこのビットを書き換えないでください。
FMS=0のときは、このビットの内容に関わらず、アドレス変換はされません（$\overline{\text{SP0-SS0}}$領域の全領域に対してリードアクセス可能）。
また、ライトアクセスは、FMSビット、ATDビットの内容に関わらず、アドレス変換はされません（$\overline{\text{SP0-SS0}}$領域の全領域に対してライトアクセス可能）。

3. 書き込みはBOOTWP=Hのときだけ有効です。

15.4.17 SPI オペレーションレジスタ 1（OR1）（WRPG）

このレジスタの初期値（H'02）は、SPIフラッシュメモリの3バイトアドレッシング用ライトページコマンドコードです。ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WRPG							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	WRPG	H'02	R/W（注）	ライトページコマンドコード ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリの3バイトアドレッシング用コマンドコード値を設定してください。 このビットにH'00を設定すると、このビットの値とコマンドコード値の比較は実施されません。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みは$\overline{\text{BOOTWP}}$＝Hのときだけ有効です。
4バイトアドレッシングモード時は、このレジスタの値を書き換えないでください。

15.4.18 SPI オペレーションレジスタ 2（OR2）（ER32）

このレジスタの初期値（H'52）は、SPI フラッシュメモリの 3 バイトアドレッシング用 32K バイトブロックイレーズコマンドコードです。ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

接続する SPI フラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER32							
初期値：	0	0	0	0	0	0	0	0	0	1	0	1	0	0	1	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	ER32	H'52	R/W（注）	32 K バイトブロックイレーズコマンドコード ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 このビットの初期値が接続する SPI フラッシュメモリのコマンドコードと異なる場合は、SPI フラッシュメモリへのアクセス前に、SPI フラッシュメモリの 3 バイトアドレッシング用コマンドコード値を設定してください。 このビットに H'00 を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みは $\overline{\text{BOOTWP}}$＝H のときだけ有効です。
4 バイトアドレッシングモード時は、このレジスタの値を書き換えないでください。

15.4.19 SPI オペレーションレジスタ3（OR3）（ER64）

このレジスタの初期値（H'D8）は、SPIフラッシュメモリの3バイトアドレッシング用64Kバイトブロックイレーズコマンドコードです。ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER64							
初期値：	0	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	ER64	H'D8	R/W（注）	64 Kバイトブロックイレーズコマンドコード このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリの3バイトアドレッシング用コマンドコード値を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。
4バイトアドレッシングモード時は、このレジスタの値を書き換えないでください。

15.4.20 SPI オペレーションレジスタ 4（OR4）（ERSC）

このレジスタの初期値（H'20）は、SPIフラッシュメモリの3バイトアドレッシング用セクタイレーズコマンドコードです。ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERSC							
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7～ 0	ERSC	H'20	R/W（注）	セクタイレーズコマンドコード ライトプロテクト有効（$\overline{\text{BOOTWP}}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリの3バイトアドレッシング用コマンドコード値を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注．$\overline{\text{インデックス}}$ レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みは$\overline{\text{BOOTWP}}$＝Hのときだけ有効です。
4バイトアドレッシングモード時は、このレジスタの値を書き換えないでください。

15.4.21 SPI オペレーションレジスタ 5（OR5）（ERC1）

このレジスタの初期値（H'60）は、SPIフラッシュメモリのチップイレーズ1コマンドコードです。ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC1							
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7～ 0	ERC1	H'60	R/W（注）	チップイレーズ1コマンドコード ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリのコマンドコード値を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.22 SPI オペレーションレジスタ 6（OR6）（ERC2）

このレジスタの初期値（H'C7）は、SPIフラッシュメモリのチップイレーズ2コマンドコードです。ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ERC2							
初期値：	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	ERC2	H'C7	R/W（注）	チップイレーズ2コマンドコード ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリのコマンドコード値を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です

15.4.23 SPI オペレーションレジスタ 7（OR7）（READ）

このレジスタの初期値（H'03）は、SPIフラッシュメモリのリードコマンドコードです。接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

なお、FMSビット及びATDビットの設定によって、リード時に指定したアドレスが自動変換され、実際にアクセスするアドレスが異なります（図15.7参照）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	READ							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7～ 0	READ	H'03	R/W（注）	リードコマンドコード このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリのコマンドコード値を設定してください。

注．　インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。

15.4.24 SPI オペレーションレジスタ 8（OR8）（RDFT）

このレジスタの初期値（H'0B）は、SPI フラッシュメモリの高速リードコマンドコードです。接続するSPI フラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

なお、FMS ビット及びATD ビットの設定によって、リード時に指定したアドレスが自動変換され、実際にアクセスするアドレスが異なります（図15.7参照）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RDFT							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	RDFT	H'0B	R/W（注）	高速リードコマンドコード このビットの初期値が接続するSPI フラッシュメモリのコマンドコードと異なる場合は、SPI フラッシュメモリへのアクセス前に、SPI フラッシュメモリのコマンドコード値を設定してください。

注．　インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。

15.4.25 SPI オペレーションレジスタ 9（OR9）（RDDO）

このレジスタの初期値（H'3B）は、SPI フラッシュメモリのデュアルアウトプットリードコマンドです。接続する SPI フラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

なお、FMS ビット及び ATD ビットの設定によって、リード時に指定したアドレスが自動変換され、実際にアクセスするアドレスが異なります（図15.7参照）。

RDDOen ビット（OR0 レジスタのビット6）が ”1” のとき、SPI サイクルごとに、送信データの最初の1バイトの値（SPI フラッシュコマンド）を判定し、RDDO ビットの値と等しい場合はデュアルアウトプットモードでデータを読み出します。RDDOen ビットが ”0” のときは、判定を行わずにシングルシリアル入力／出力モードで読み出します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RDDO							
初期値：	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	RDDO	H'3B	R/W（注）	デュアルアウトプットリードコマンドコード このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリのコマンドコード値を設定してください。

注．　インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。

15.4.26 SPI オペレーションレジスタ A（ORA）（WPA3）

ORAは、ライトプロテクト領域のベースアドレス（ビット31～24）を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WPA3							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～0	WPA3	H'00	R/W（注）	ライトプロテクトベースアドレスバイト3 ライトプロテクト領域のベースアドレス（ビット31～24）を設定してください。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.27 SPI オペレーションレジスタ B（ORB）（WPA2）

ORBは、ライトプロテクト領域のベースアドレス（ビット23～16）を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WPA2							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	WPA2	H'00	R/W（注）	ライトプロテクトベースアドレスバイト2 ライトプロテクト領域のベースアドレス（ビット23～16）を設定してください

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.28 SPI オペレーションレジスタ C（ORC）（WPA1）

ORCは、ライトプロテクト領域のベースアドレス（ビット15～8）を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WPA1							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	WPA1	H'00	R/W（注）	ライトプロテクトベースアドレスバイト1 ライトプロテクト領域のベースアドレス（ビット15～8）を設定してください。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.29 SPIオペレーションレジスタ D（ORD）（WPA0）

ORDは、ライトプロテクト領域のベースアドレス（ビット7～0）を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WPA0							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	WPA0	H'00	R/W（注）	ライトプロテクトベースアドレスバイト0 ライトプロテクト領域のベースアドレス（ビット7～0）を設定してください。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.30 SPI オペレーションレジスタ E（ORE）（WpM3）

OREは、ライトプロテクト領域サイズ（ビット31～24）を設定するレジスタです。

WpSzSlビット（OR0 レジスタのビット7）＝1のとき、BOOTWPSZ0、BOOTWPSZ1端子で指定するライトプロテクト領域サイズは無効となり、ORE ～ OR11 レジスタに設定するライトプロテクト領域サイズが有効になります。

ライトプロテクト領域についての詳細は、「15.5.2 ライトプロテクト機能」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WpM3							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7～ 0	WpM3	H'00	R/W（注）	ライトプロテクトマスクバイト3 ライトプロテクト領域サイズ（ビット31～24）を設定してください。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.31 SPI オペレーションレジスタ F（ORF）（WpM2）

ORFは、ライトプロテクト領域サイズ（ビット23～16）を設定するレジスタです。

WpSzSlビット（OR0レジスタのビット7）＝1のとき、BOOTWPSZ0、BOOTWPSZ1端子で指定するライトプロテクト領域サイズは無効となり、ORE～OR11レジスタに設定するライトプロテクト領域サイズが有効になります。

ライトプロテクト領域についての詳細は、「15.5.2 ライトプロテクト機能」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WpM2							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	WpM2	H'00	R/W（注）	ライトプロテクトマスクバイト2 ライトプロテクト領域サイズ（ビット23～16）を設定してください。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.32 SPI オペレーションレジスタ10（OR10）（WPM1）

OR10は、ライトプロテクト領域サイズ（ビット15～8）を設定するレジスタです。

WpSzSlビット（OR0レジスタのビット7）＝1のとき、BOOTWPSZ0、BOOTWPSZ1端子で指定するライトプロテクト領域サイズは無効となり、ORE～OR11レジスタに設定するライトプロテクト領域サイズが有効になります。

ライトプロテクト領域についての詳細は、「15.5.2 ライトプロテクト機能」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WpM1							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	WpM1	H'00	R/W（注）	ライトプロテクトマスクバイト1 ライトプロテクト領域サイズ（ビット15～8）を設定してください。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.33 SPI オペレーションレジスタ11（OR11）（WPM0）

OR11は、ライトプロテクト領域サイズ（ビット7～0）を設定するレジスタです。

WpSzSlビット（OR0レジスタのビット7）＝1のとき、BOOTWPSZ0、BOOTWPSZ1端子で指定するライトプロテクト領域サイズは無効となり、ORE ～ OR11レジスタに設定するライトプロテクト領域サイズが有効になります。

ライトプロテクト領域についての詳細は、「15.5.2 ライトプロテクト機能」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	WpM0							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	WpM0	H'00	R/W（注）	ライトプロテクトマスクバイト0 ライトプロテクト領域サイズ（ビット7～0）を設定してください。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.34 SPI オペレーションレジスタ12 (OR12)(ADDR32)

OR12は、BOOTSZ2～0端子で指定されたデバイス容量を示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADDR32
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	（注1）
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	—	—	リザーブビット（書き込む値は“0”にしてください）
0	ADDR32	（注1）	R（注2）	0：デバイス容量32Mバイト未満（3バイトアドレッシングモード） 1：デバイス容量32Mバイト以上（4バイトアドレッシングモード）

注1．ADDR32ビットの初期値は、パワーオンリセット時のBOOTSZ2～0端子の入力レベルに依存します。BOOTSZ2～0＝HLH、HHL、HHHのとき“1”、それ以外のとき“0”です。

2．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。

15.4.35 SPI オペレーションレジスタ20～27（OR20～27）

4バイトアドレッシング用のアドレス情報を必要とする任意のコマンドコードを設定するレジスタです。ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OR20-OR27							
初期値：	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	—	—	リザーブビット（書き込む値は“0”にしてください）
7～0	OR20-OR27	H’00	R/W（注）	ライトプロテクトコマンドコード ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 SPIフラッシュメモリへのアクセス前に、プロテクトしたいコマンドコード値（アドレスを4バイトで指定するコマンド）を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。
3バイトアドレッシングモード時は、これらのレジスタの値を書き換えないでください。

15.4.36 SPI オペレーションレジスタ 28～37 (OR28～37)

アドレス情報を必要としない任意のコマンドコードを設定するレジスタです。ライトプロテクト有効（BOOTWP = L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます（ライトプロテクト機能）。

OR5、OR6 に設定した以外のコマンドコードもプロテクトしたい場合は、これらのレジスタにコマンドコードを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	OR28-OR37							
初期値：	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	—	—	リザーブビット（書き込む値は“0”にしてください）
7 ～0	OR28～OR37	H’00	R/W（注）	ライトプロテクトコマンドコード ライトプロテクト有効（BOOTWP＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます。 SPI フラッシュメモリへのアクセス前に、プロテクトしたいコマンドコード値（アドレス指定の必要のないコマンド、又はアドレスに関係なく送信禁止としたいコマンド）を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注．インデックス レジスタ（CR7）、データレジスタ（CR8）を介してアクセスしてください。また、書き込みはBOOTWP＝Hのときだけ有効です。

15.4.37 ストラップピンモニタレジスタ2（PINMON2）

ストラップピンの設定を示す読み出し専用のレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	$\overline{\text{BOOT}}$ $\overline{\text{WP}}$	—	BOOT WPSZ[1:0]		$\overline{\text{WPLOCK}}$	BOOTSZ [2:0]		
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	R	—	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 24	—	—	—	リザーブビット
23	$\overline{\text{BOOTWP}}$		R	パワーオンリセット時の$\overline{\text{BOOTWP}}$端子の入力レベルを示します。 0：Lレベル 1：Hレベル
22	—	—	—	リザーブビット
21、20	BOOTWPSZ [1:0]	—	R	パワーオンリセット時のBOOTWPSZ1、BOOTWPSZ0端子の入力レベルを示します。 ビット21、20がそれぞれBOOTWPSZ1、BOOTWPSZ0に対応します。 0：Lレベル 1：Hレベル
19	$\overline{\text{WPLOCK}}$	—	—	パワーオンリセット時の$\overline{\text{WPLOCK}}$端子の入力レベルを示します。 0：Lレベル 1：Hレベル
18～16	BOOTSZ[2:0]	—	R	パワーオンリセット時のBOOTSZ2～BOOTSZ0端子の入力レベルを示します。 ビット18～16がそれぞれBOOTSZ2～BOOTSZ0に対応します。 0：Lレベル 1：Hレベル
15～0	—	—	—	リザーブビット

15.5　動作説明

15.5.1　SPI0フラッシュメモリアクセス

SPI0では、図15.3に示すように3種類のアクセスを制御できます。

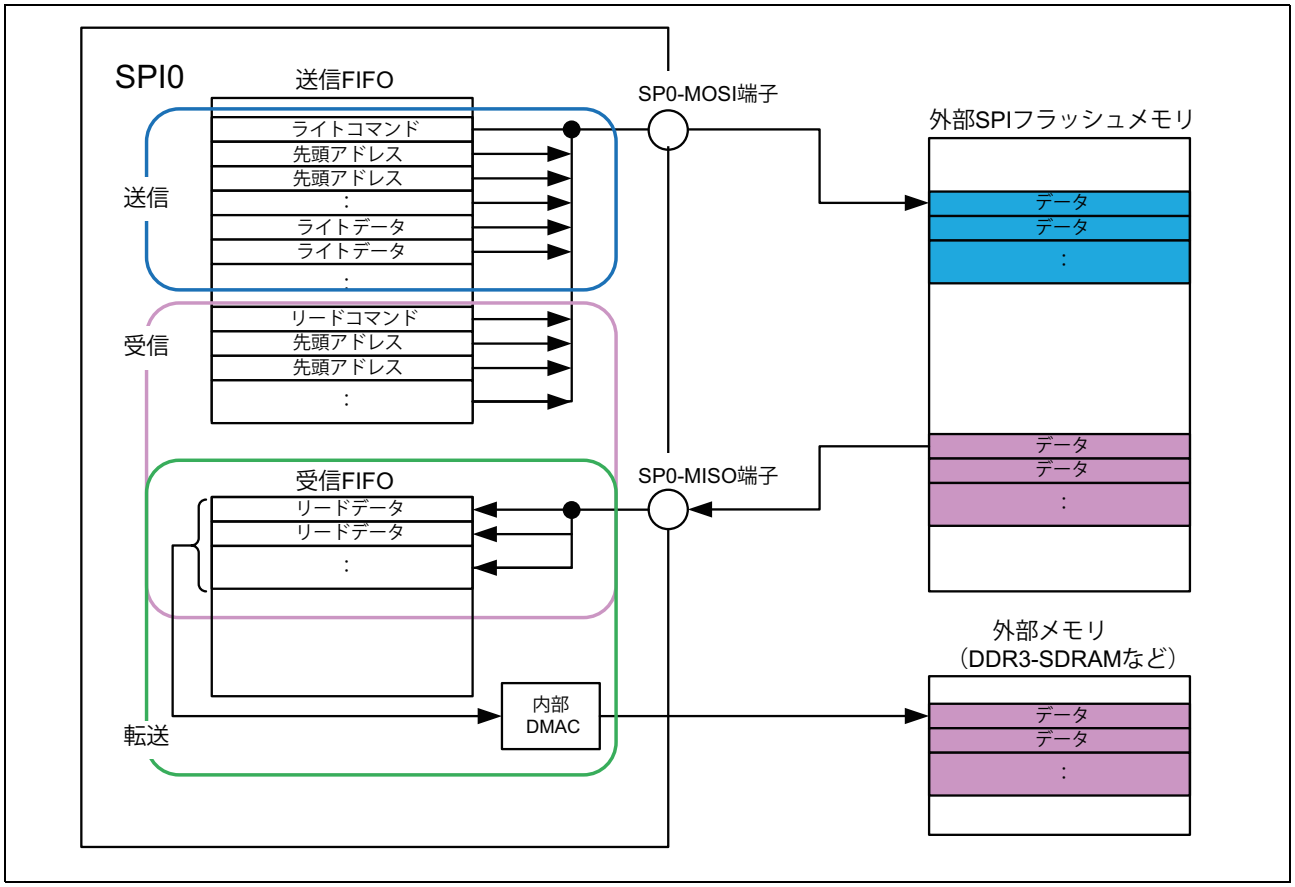


図 15.3　SPIフラッシュメモリアクセス制御

(1)　送信制御

外部SPIフラッシュメモリに対してコマンドを発行するときの制御です。

SSA＝1、かつTBE＝0（送信FIFOにコマンドコードと、必要に応じてリード／ライトする外部SPIフラッシュの先頭アドレス、ライトデータを書き込み済み）のとき、SP0-SSn（n＝0～3）がアサートされ、送信FIFOに設定したそれらのデータがSP0-MOSI端子から外部SPIフラッシュメモリに送信されます。図15.4に送信サイクルのタイミング図を示します。

送信FIFOが空になるとTBE＝1となり、TBEI＝1（割り込み許可）であれば、送信FIFOエンプティ割り込み要求が発生します。また、送信FIFOがフルになるとTBF＝1となり、TBFI＝1（割り込み許可）であれば、送信FIFOフル割り込み要求が発生します（「15.5.3 割り込み」参照）。

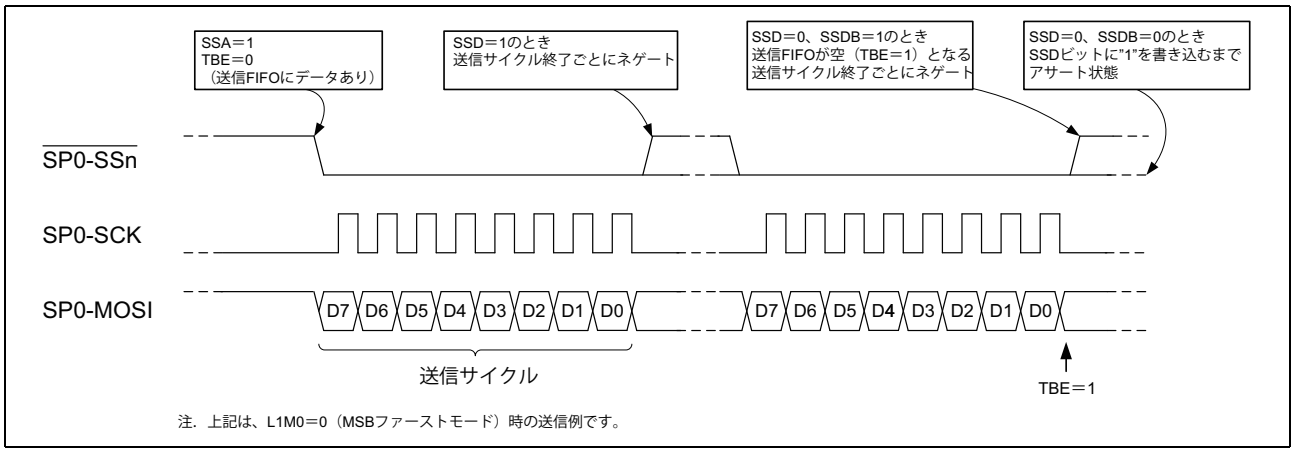


図 15.4　送信サイクルのタイミング

送信FIFOへは、TBRレジスタに設定することによって書き込みます。詳細は、「15.4.6 SPIコア送信バッファレジスタ（TBR）」を参照してください。

また、受信サイクルより送信サイクルが優先されますので、外部SPIフラッシュメモリからのデータ受信がすべて完了した後、送信FIFOにデータ（コマンドコード）を書き込んでください。

なお、BOOTSZ2、1、0端子で設定するメモリサイズによってアドレッシングモードが異なります。アドレスを指定するコマンドコードの場合は、表15.3に示すように、各アドレッシングモードに応じた先頭アドレスを設定してください。

表15.3　各アドレッシングモード選択時の送信FIFOへのコマンド設定方法

送信FIFO段数（設定数）	3バイトアドレッシング	4バイトアドレッシング
1	コマンドコード	コマンドコード
2	先頭アドレス（ビット23～16）	先頭アドレス（ビット31～24）
3	先頭アドレス（ビット15～8）	先頭アドレス（ビット23～16）
4	先頭アドレス（ビット7～0）	先頭アドレス（ビット15～8）
5		先頭アドレス（ビット7～0）

注．　BOOTSZ2,1,0で設定したメモリサイズが32Mバイト以上の場合、自動的に4バイトアドレッシングモードとなりますので、アドレスは4バイト分を設定してください。

(2)　受信制御

外部SPIフラッシュメモリからリードデータを受信するときの制御です。

SSA＝1、TBE＝1（送信完了）、かつPFC≠H'00（受信データバイト数をPFCビットに設定済み）のとき、SP0-SSnがアサートされ、受信クロックが生成されてSP0-SCK端子から出力され、SP0-MISO端子から取り込まれた受信データが受信FIFOに格納されます。図15.5に受信サイクルのタイミング図を示します。

受信FIFOが空になるとRBE＝1となり、RBEI＝1（割り込み許可）であれば、受信FIFOエンプティ割り込み要求が発生します。また、受信FIFOがフルになるとRBF＝1となり、RBFI＝1（割り込み許可）であれば、受信FIFOフル割り込み要求が発生します（「15.5.3 割り込み」参照）。

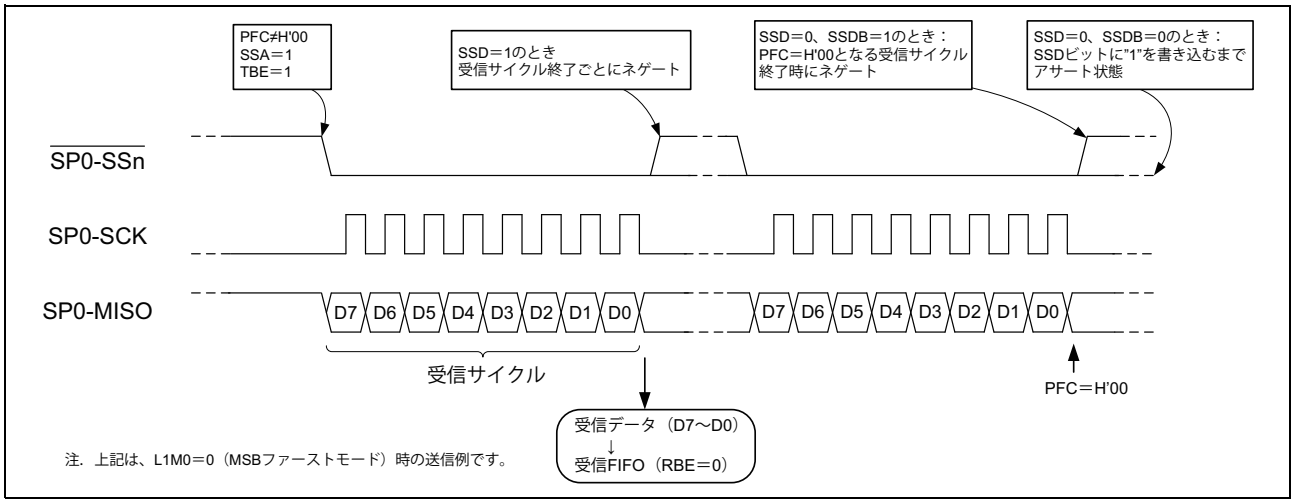


図 15.5　受信サイクルのタイミング図

(3)　転送制御

SPI0に内蔵された専用のDMAC（内部DMAC）によって、受信FIFOに格納されたデータを任意のアドレスに転送できます。

SPIWDMADRレジスタに転送先アドレスを、SPIWDMCNTRレジスタに転送バイト数をそれぞれ設定し、DMENビットを"1"にすると、受信FIFOにデータが格納されるごとに内部DMACが読み出し、SPIWDMADRレジスタに設定された転送先へ32バイト単位で転送します。

SPIWDMCNTRレジスタに設定された転送バイト数分のデータ転送を終了すると、DMEND＝1となり、DMENDM＝1（割り込み許可）であれば、転送終了割り込み要求が発生します（「15.5.3 割り込み」参照）。

SP0-SSn端子に接続する外部SPIフラッシュメモリのサイズは、BOOTSZ2、1、0端子で指定してください（表15.1参照）。

15.5.2　ライトプロテクト機能

ライトプロテクト機能は、$\overline{\text{BOOTWP}}$端子がLレベルのとき、$\overline{\text{SP0-SS0}}$端子に接続された外部SPIフラッシュメモリの任意の領域（ライトプロテクト領域）に対する書き込みを防ぐ機能です。

ライトプロテクト領域は、外部SPIフラッシュメモリの上位半分と下位半分に任意に設定できます。ライトプロテクト領域サイズは、BOOTWPSZ1、0端子又はORE ～ OR11 レジスタのいずれで設定するかを、WpSzSlビットで選択できます。表15.4にライトプロテクト領域の設定を、図15.6にライトプロテクト領域設定例を示します。

なお、WpSzSlビット、ORA～OR11レジスタは、$\overline{\text{BOOTWP}}$＝Hのときだけ書き込めます。

表15.4　ライトプロテクト領域の設定

項目	WpSzSlビット	
	0	1
先頭アドレス	ORA～ORDレジスタ（注1）	ORA～ORDレジスタ（注2）
領域サイズ	BOOTWPSZ1、0端子（注3）	ORE～OR11レジスタ（注3）
上位半分の領域の先頭アドレス	BOOTSZ2、1、0端子	BOOTSZ2、1、0端子

注1.　BOOTWPSZ1、0端子で設定した領域サイズの倍数となるように先頭アドレスを設定してください。
（例：領域サイズ256Kバイトのとき、H'0004 0000、H'0008 0000、・・・）
2.　ORE～OR11レジスタで設定した領域サイズの倍数となるように先頭アドレスを設定してください。
（例：領域サイズ256Kバイトのとき、H'0004 0000、H'0008 0000、・・・）
3.　ライトプロテクト領域サイズが外部SPIフラッシュメモリのページサイズの倍数となるように設定してください。
4.　設定するライトプロテクト領域は、上位半分／下位半分の各領域を超えないように設定してください。

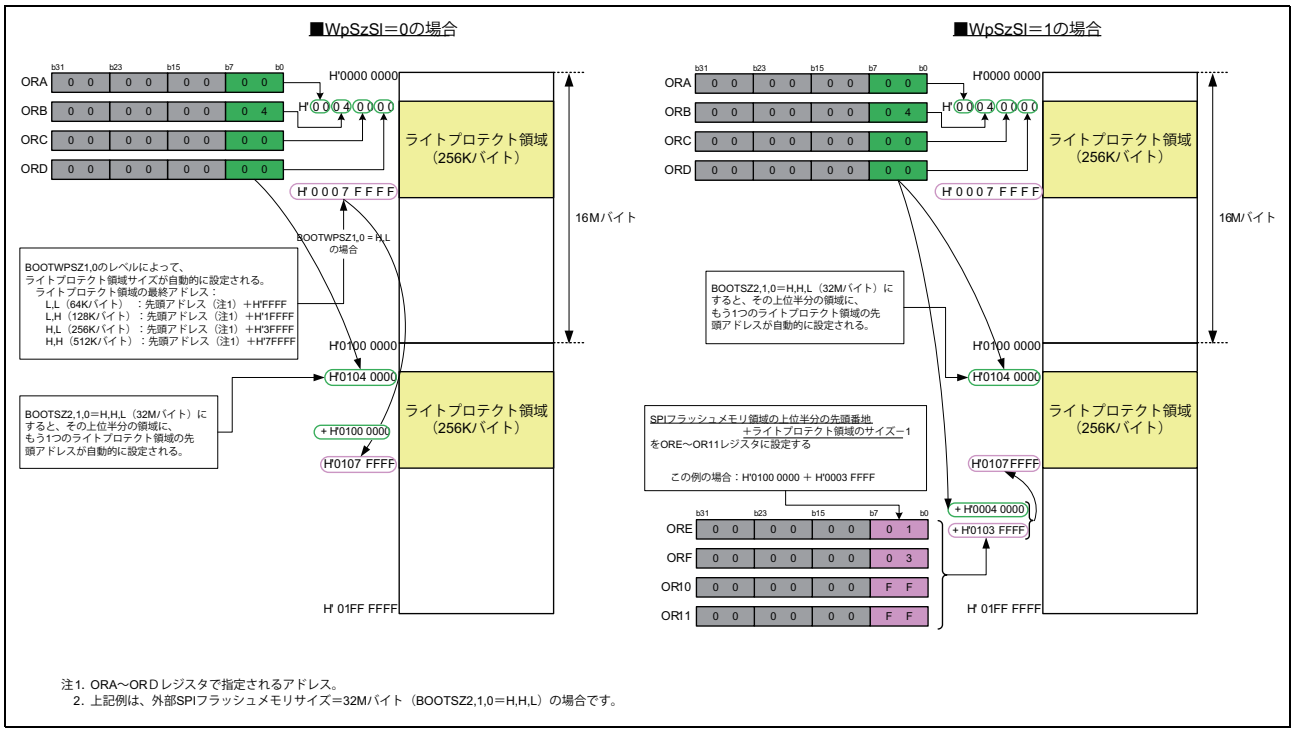


図 15.6　ライトプロテクト領域設定例

ライトプロテクト機能は、$\overline{\text{BOOTWP}}$＝L時、OR1～OR6、OR20～OR27、及びOR28～OR37レジスタに設定したコマンドコードの送信をブロックすることで実現されます。表15.5にライトプロテクト対象コマンドを示します。

OR1～OR4には3バイトのアドレスを指定するコマンドコードを、OR20～27には4バイトのアドレスを指定するコマンドコードを設定してください。$\overline{\text{BOOTWP}}$＝L時、指定したアドレスがライトプロテクト領域に該当する場合、そのコマンドコードの送信がブロックされます。

OR5、OR6、OR28～OR37レジスタには、アドレスが不要、またはアドレスに関係なく送信禁止にしたいコマンドコードを設定してください。$\overline{\text{BOOTWP}}$＝L時、これらのコマンドコードは、無条件に送信がブロックされます。

ライトプロテクト機能により、コマンドコードの送信がブロックされると、WpAbortビットが“1”になり、送信FIFOがリセットされます。

3バイト／4バイトの両アドレッシングモードに対応している外部SPIフラッシュメモリを接続している場合は、使用していないアドレッシングモードのコマンドコードもブロックする必要があります。この場合、そのコマンドがアドレス指定をするかしないかに関わらず、OR5、OR6、OR28～OR37レジスタに設定してください。

例　：BOOTSZ2、1、0＝HLH（フラッシュサイズ32MB：4バイトアドレッシングモード）の場合
3バイトアドレッシングモード用のライト、イレーズなどのコマンドコードを、OR28～OR37レジスタに設定する

表15.5　ライトプロテクト対象コマンド

コマンドレジスタ（注1）	リセット後（注2）		アドレス指定の有無（注3）
	初期値	コマンド	
OR1（注4）	H'02	ライトページ	あり
OR2（注4）	H'52	32Kバイトブロックイレーズ	あり
OR3（注4）	H'D8	64Kバイトブロックイレーズ	あり
OR4（注4）	H'20	セクタイレーズ	あり
OR5	H'60	チップイレーズ1	なし
OR6	H'C7	チップイレーズ2	なし
OR20～OR27（注5）	H'00	—（任意のコマンドコードを設定）	あり
OR28～OR37	H'00	—（任意のコマンドコードを設定）	なし

注1. これらのレジスタは、$\overline{\text{BOOTWP}}$＝Hのときだけ書き込めます。
2. パワーオンリセット後又はマニュアルリセット後。
3. アドレスを指定するコマンドは、BOOTWP＝L時、そのアドレスがライトプロテクト領域に該当する場合、送信がブロックされます。
アドレスを指定しないコマンドは、$\overline{\text{BOOTWP}}$＝L時、無条件に送信がブロックされます。
4. 3バイトアドレッシングモード用のレジスタです。4バイトアドレッシングモード時は、これらのレジスタの値を書き換えないでください。
5. 4バイトアドレッシングモード用のレジスタです。3バイトアドレッシングモード時は、これらのレジスタの値を書き換えないでください。

15.5.3　割り込み

SPI0には表15.6に示す割り込み要因があります。

表15.6　割り込み要因

割り込み要因	割り込み要求発生条件	割り込みフラグ	割り込み許可ビット
転送終了	SPIWDMCNTRレジスタに設定したバイト数分のデータ転送が終了したとき	DMEND	DMENDM
送信FIFOエンプティ	送信FIFOがエンプティ状態のとき（注）	TBE	TBEI
送信FIFOフル	送信FIFOがフル状態のとき（注）	TBF	TBFI
受信FIFOエンプティ	受信FIFOがエンプティ状態のとき（注）	RBE	RBEI
受信FIFOフル	受信FIFOがフル状態のとき（注）	RBF	RBFI

注．これらの割り込みは、送受信FIFOが発生条件を満たす状態である間、要求を出し続けます。
必要な割り込み処理を実行後、対応する割り込み許可ビットを“0”にして割り込みを禁止してください。

15.5.4　SPIブート機能

MD6端子がHの状態でパワーオンリセット又はマニュアルリセットを解除すると、SP0-SS0端子に接続された外部SPIフラッシュメモリから2Kバイト分のプログラムを内蔵ILメモリに自動転送し、その後、内蔵ILメモリ上に転送したプログラムを自動的に実行します。

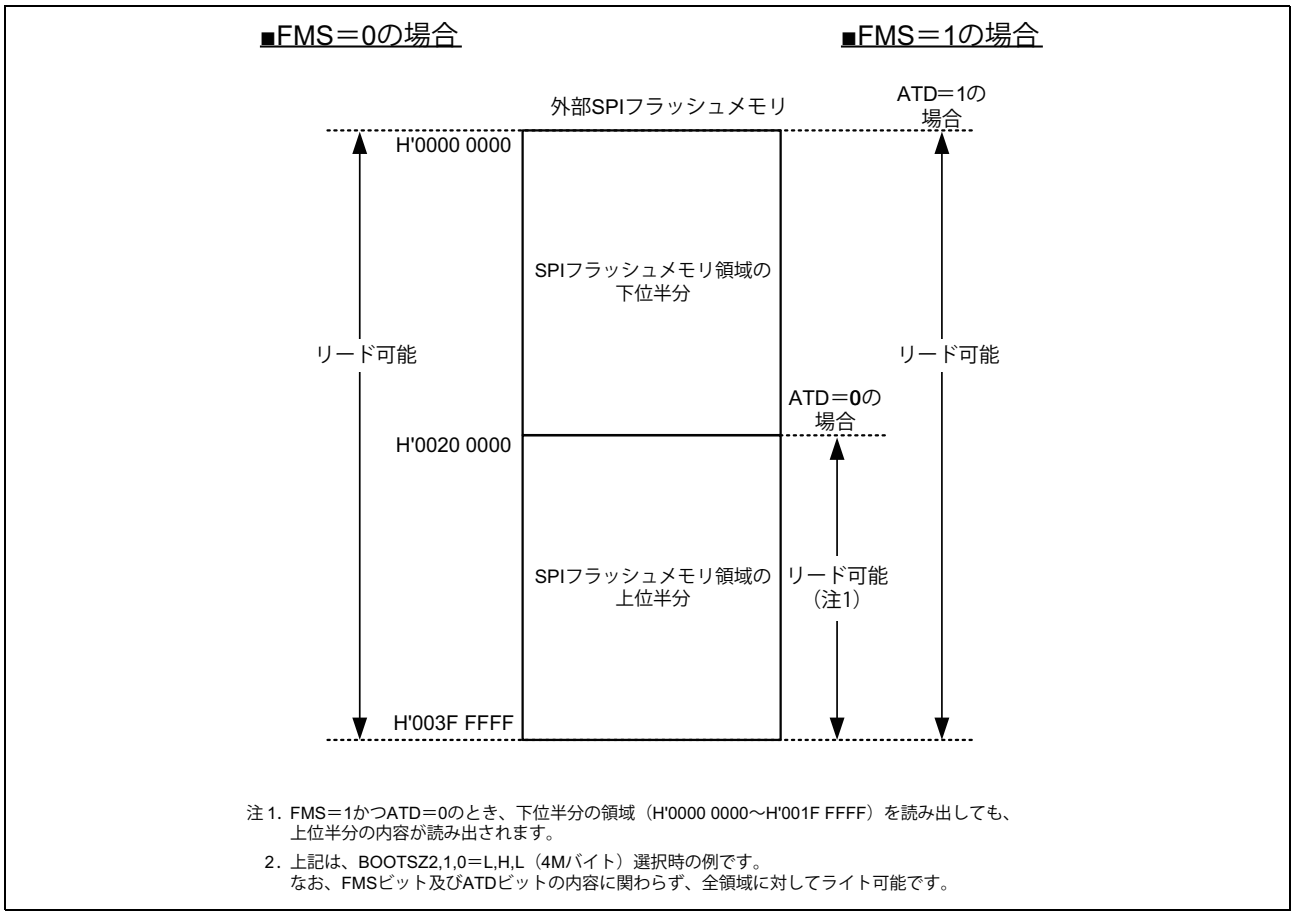
このとき、ABR（オルタネートブートブロックリカバリ）機能を使用すると、外部SPIフラッシュ領域の下位半分/上位半分のいずれかの領域から内蔵ILメモリに転送したプログラムが正常に実行されなかった場合、自動的にもう一方の領域から転送を開始させることができます（「17. リセット、ウォッチドッグタイマ（WDT）」参照）。

なお、上位半分が選択された場合（FMSビット=1）、ATDビット=0であれば、リード時のアドレス指定がSP0-SS0領域の下位半分側の場合でも、領域半分分のオフセットアドレス値が自動的に加算され、SP0-SS0領域の上位半分側をアクセスすることができます。ただし、このとき、SP0-SS0領域の下位半分側にリードアクセスすることができなくなります。SP0-SS1～SP0-SS3領域、およびライトアクセス時はATDビットの内容にかかわらず、設定した全領域をアクセスできます。

表15.7に各チップセレクト領域に対するアクセス可能範囲を、図15.7にSP0-SS0に接続されるSPIフラッシュメモリのリードアクセス可能範囲を示します。

表15.7　各チップセレクト領域に対するアクセス可能範囲

SP0-SS0（図15.7参照）				SP0-SS1～SP0-SS3	
リード			ライト	リード	ライト
FMS＝0	FMS＝1				
	ATD＝0	ATD＝1			
設定した全領域	上位半分の領域	設定した全領域	設定した全領域	設定した全領域	設定した全領域



注1. FMS＝1かつATD＝0のとき、下位半分の領域（H'0000 0000～H'001F FFFF）を読み出しても、上位半分の内容が読み出されます。

2. 上記は、BOOTSZ2,1,0＝L,H,L（4Mバイト）選択時の例です。
なお、FMSビット及びATDビットの内容に関わらず、全領域に対してライト可能です。

図15.7　SP0-SS0に接続されるSPIフラッシュメモリのリードアクセス可能範囲

図15.8にSPIブート機能を示します。

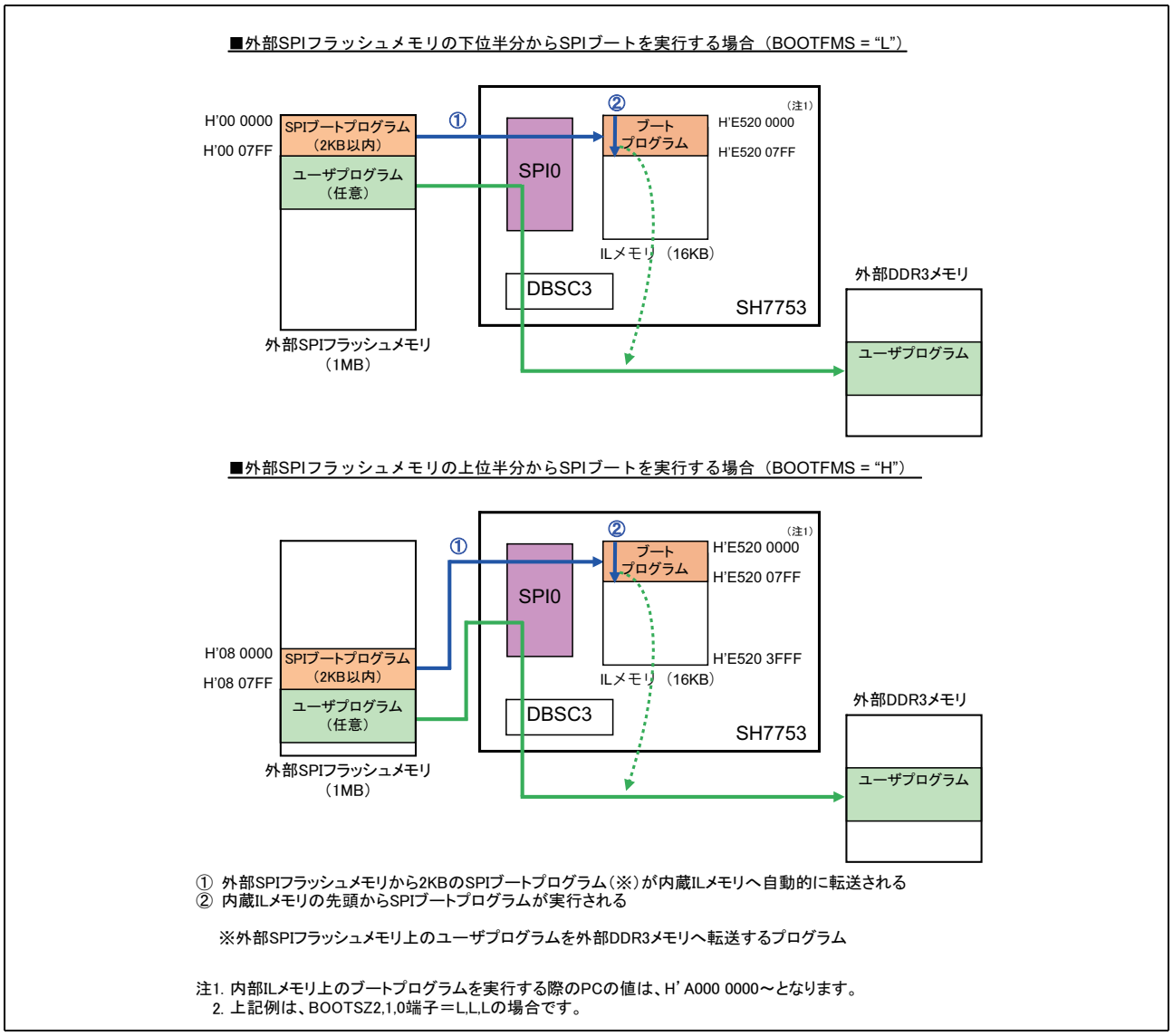


図 15.8　SPIブート機能

SPIブート機能で内蔵ILメモリに自動転送される2KバイトのSPIブートプログラムは、ユーザにて任意に作成してください。通常は、初期設定、及び外部SPIフラッシュメモリに格納されているユーザプログラムを外部DDR3メモリに転送する処理（「15.6.7 内部DMACを使用したSPIフラッシュメモリからのデータ転送」参照）となります。

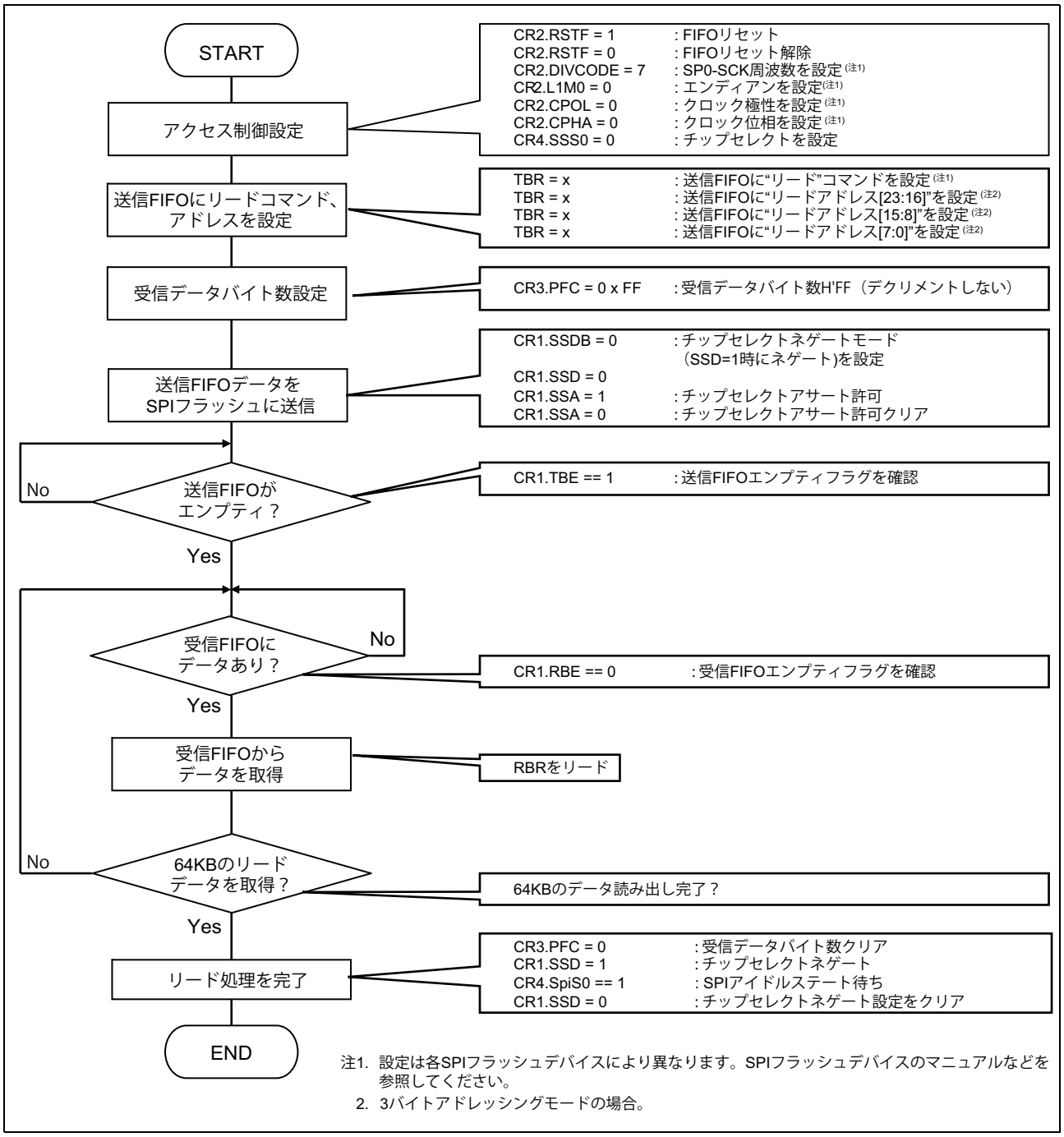
なお、SPIブート機能を使用する場合は、“H'03”（3バイトアドレッシングモード時）又は“H'13”（4バイトアドレッシングモード時）のリードコマンドコードをサポートしているSPIフラッシュメモリを使用してください。

15.6　設定手順例

以下に、外部SPIフラッシュメモリにアクセスする際の設定手順例を示します。

15.6.1　SPIフラッシュメモリリードアクセス

図15.9に、外部SPIフラッシュメモリから64Kバイトデータをリードする場合の設定手順を示します。



注1. 設定は各SPIフラッシュデバイスにより異なります。SPIフラッシュデバイスのマニュアルなどを参照してください。
2. 3バイトアドレッシングモードの場合。

図 15.9　SPIフラッシュメモリリードアクセス設定手順（64Kバイトデータリード）

15.6.2 SPIフラッシュメモリライトアクセス

図15.10に、外部SPIフラッシュメモリに64Kバイトデータをライトする場合の設定手順を示します。

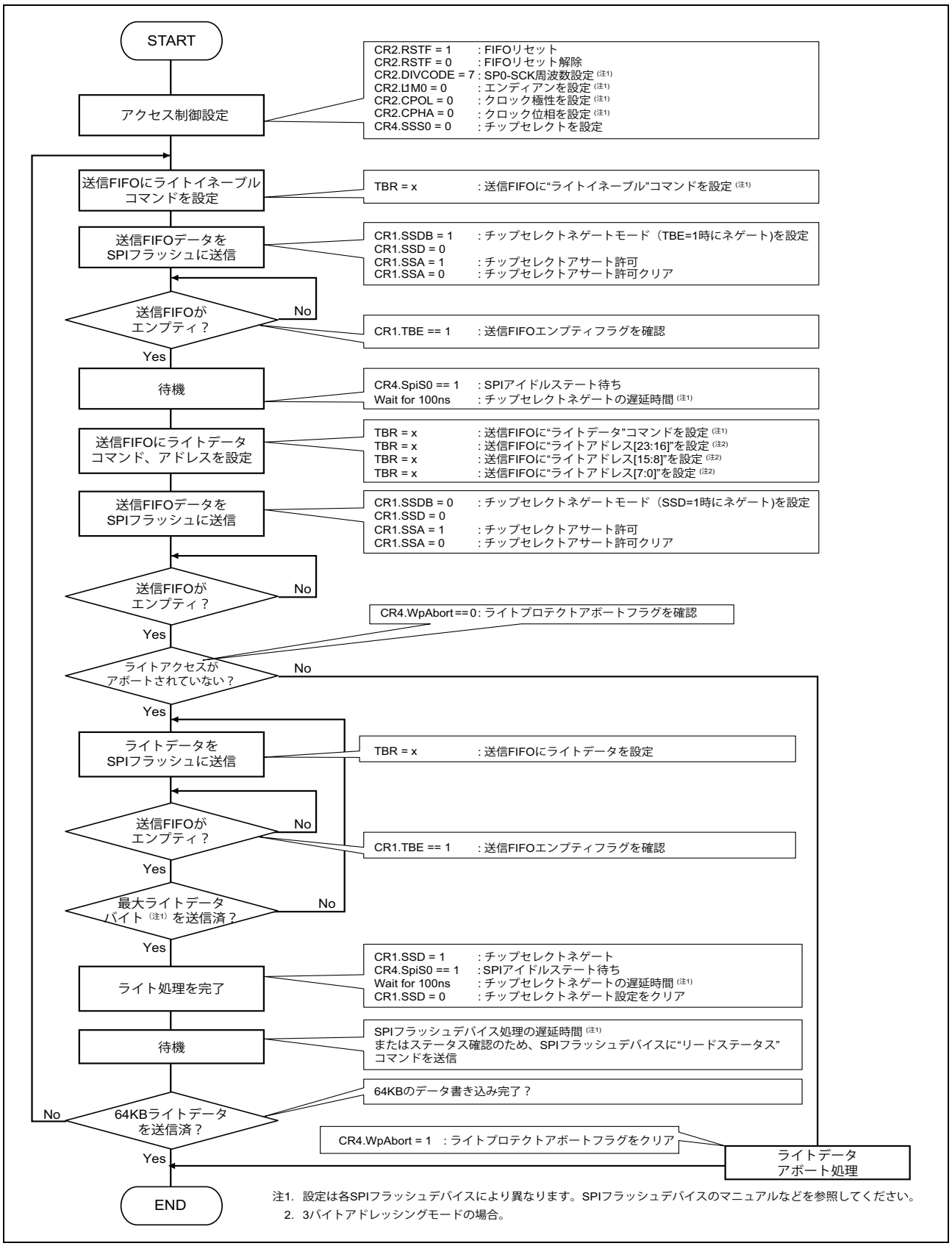


図 15.10　SPIフラッシュメモリライトアクセス設定手順（64Kバイトデータライト）

15.6.3 SPIフラッシュメモリセクタイレーズアクセス

図15.11に、外部SPIフラッシュメモリをセクタイレーズする場合の設定手順を示します。

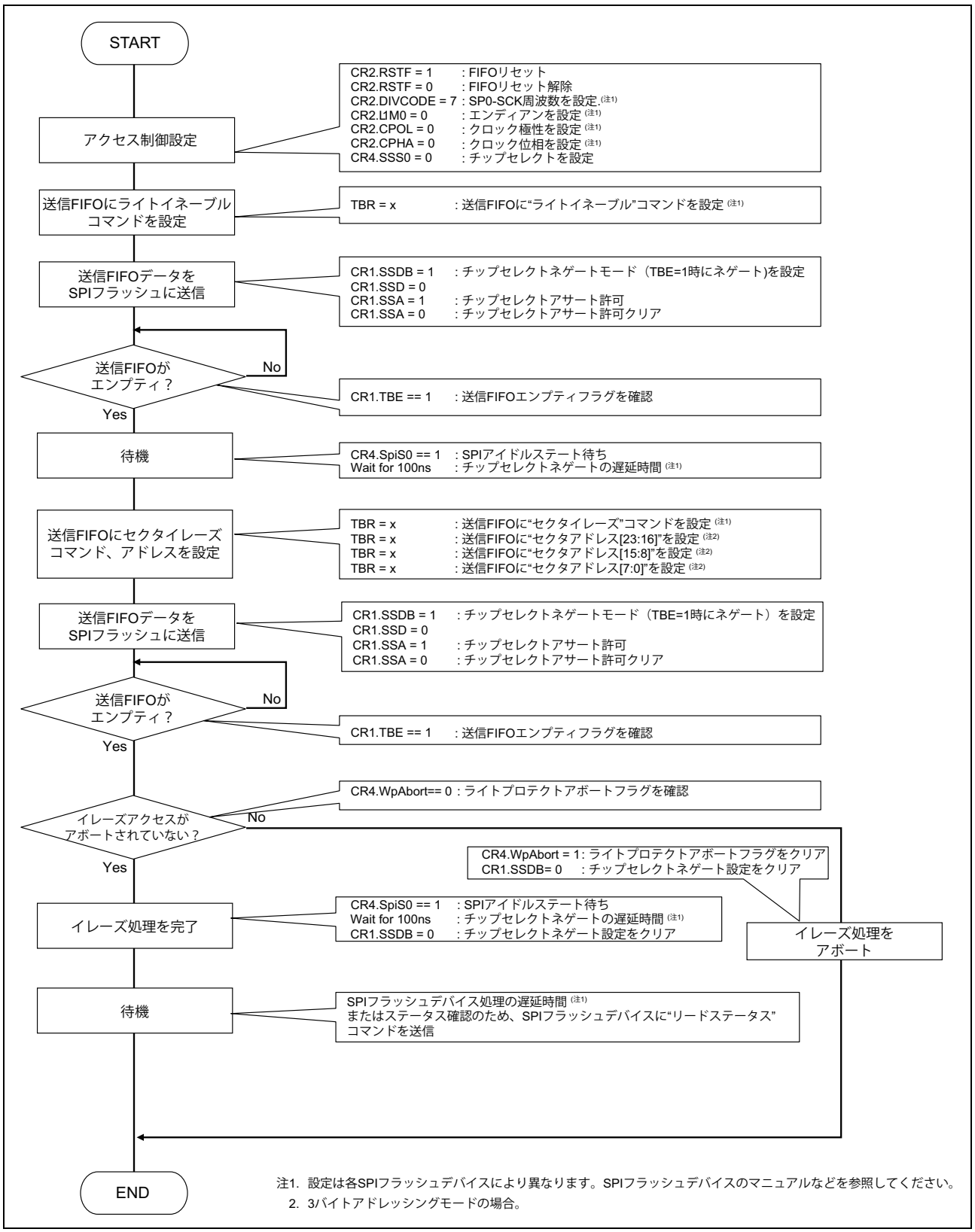


図 15.11　SPIフラッシュメモリセクタイレーズアクセス設定手順

15.6.4　SPIフラッシュメモリバルクイレーズアクセス

図15.12に、外部SPIフラッシュメモリをバルクイレーズする場合の設定手順を示します。

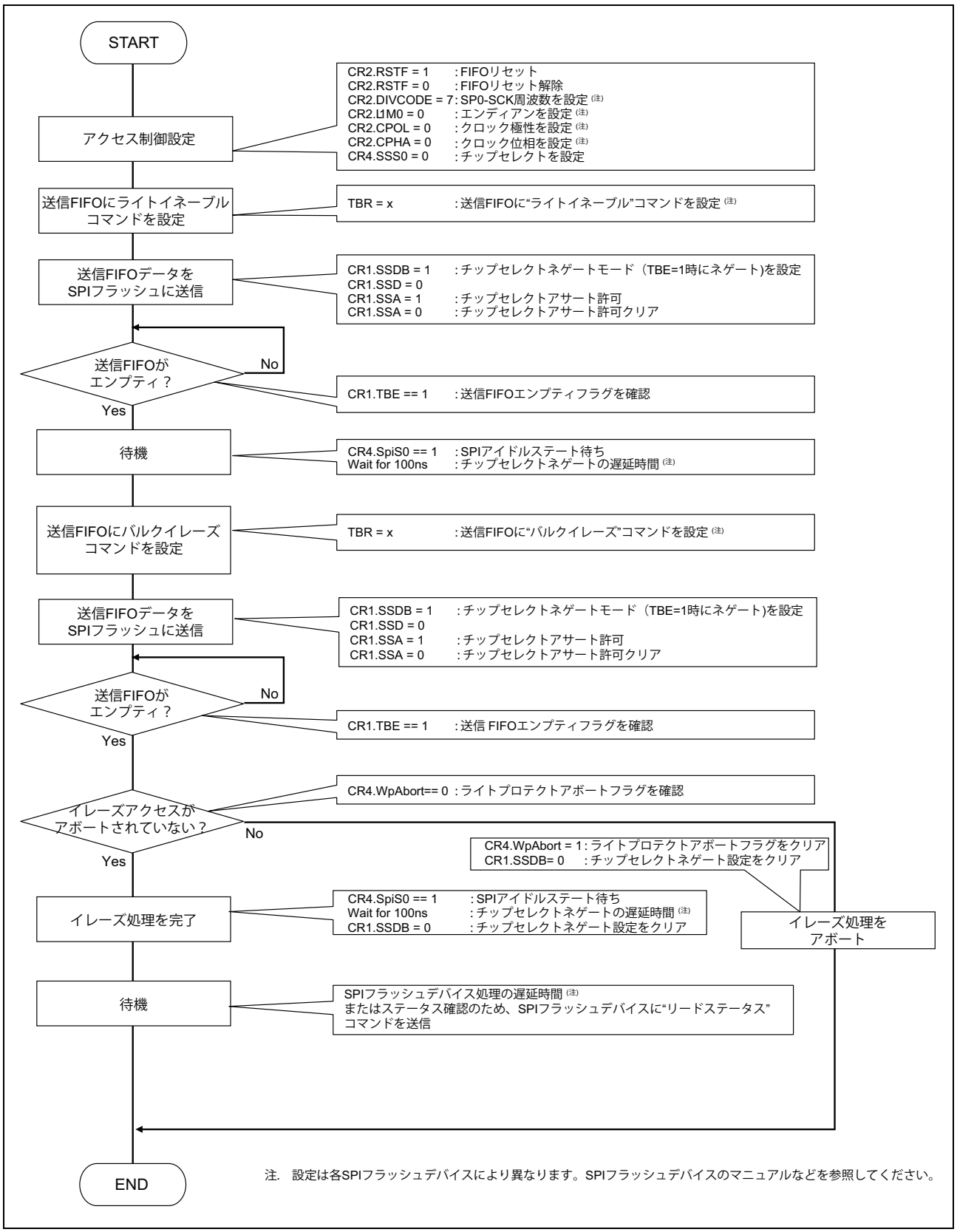
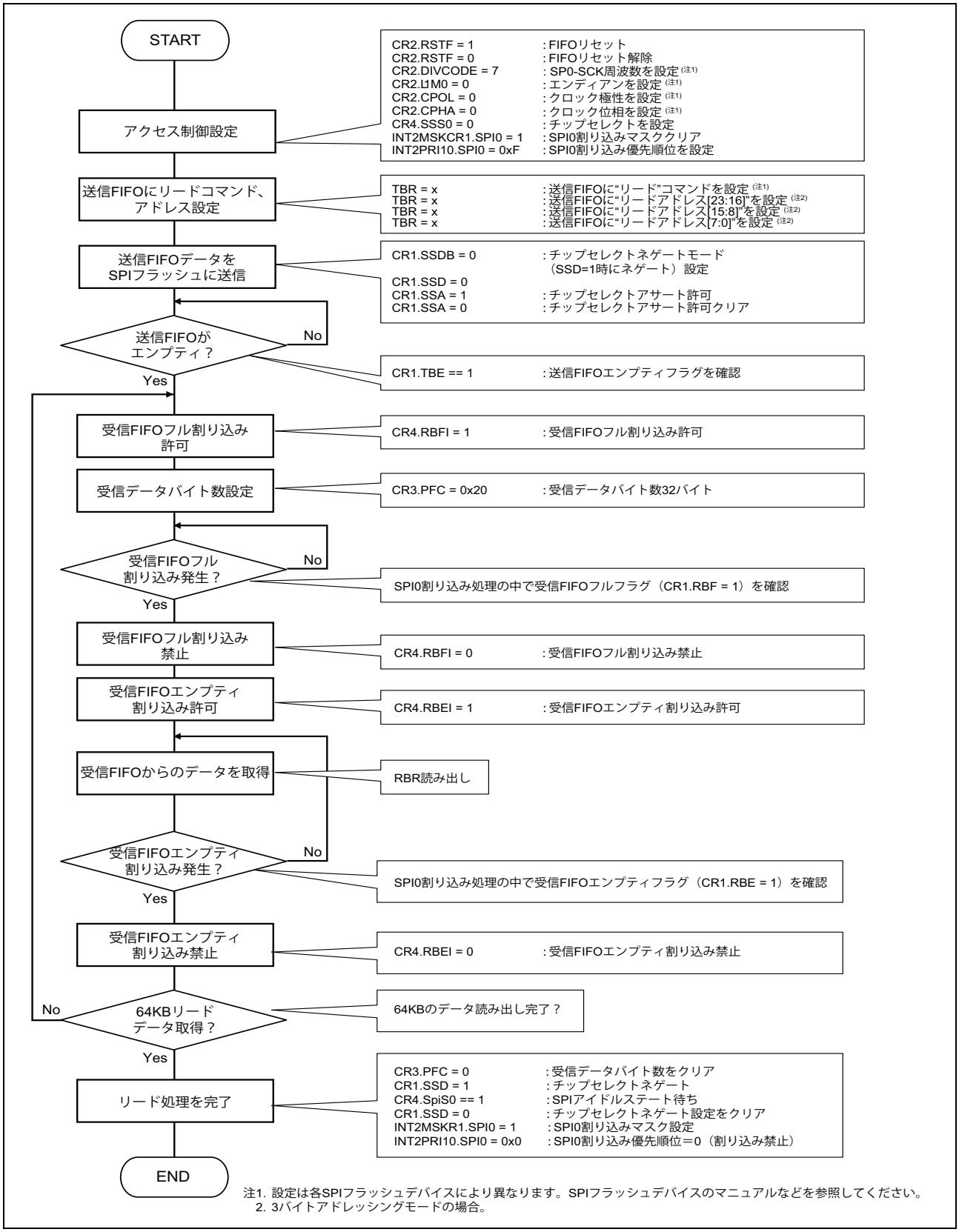


図 15.12　SPIフラッシュメモリバルクイレーズアクセス設定手順

15.6.5　割り込みを使用したSPIフラッシュメモリリードアクセス

図15.13に、割り込みを使用して外部SPIフラッシュメモリから64Kバイトデータをリードする場合の設定手順を示します。



注1. 設定は各SPIフラッシュデバイスにより異なります。SPIフラッシュデバイスのマニュアルなどを参照してください。
2. 3バイトアドレッシングモードの場合。

図 15.13　割り込みを使用したSPIフラッシュメモリリードアクセス設定手順（64Kバイトデータリード）

15.6.6　割り込みを使用したSPIフラッシュメモリライトアクセス

図15.14、図15.15に、割り込みを使用して外部SPIフラッシュメモリに64Kバイトデータをライトする場合の設定手順を示します。

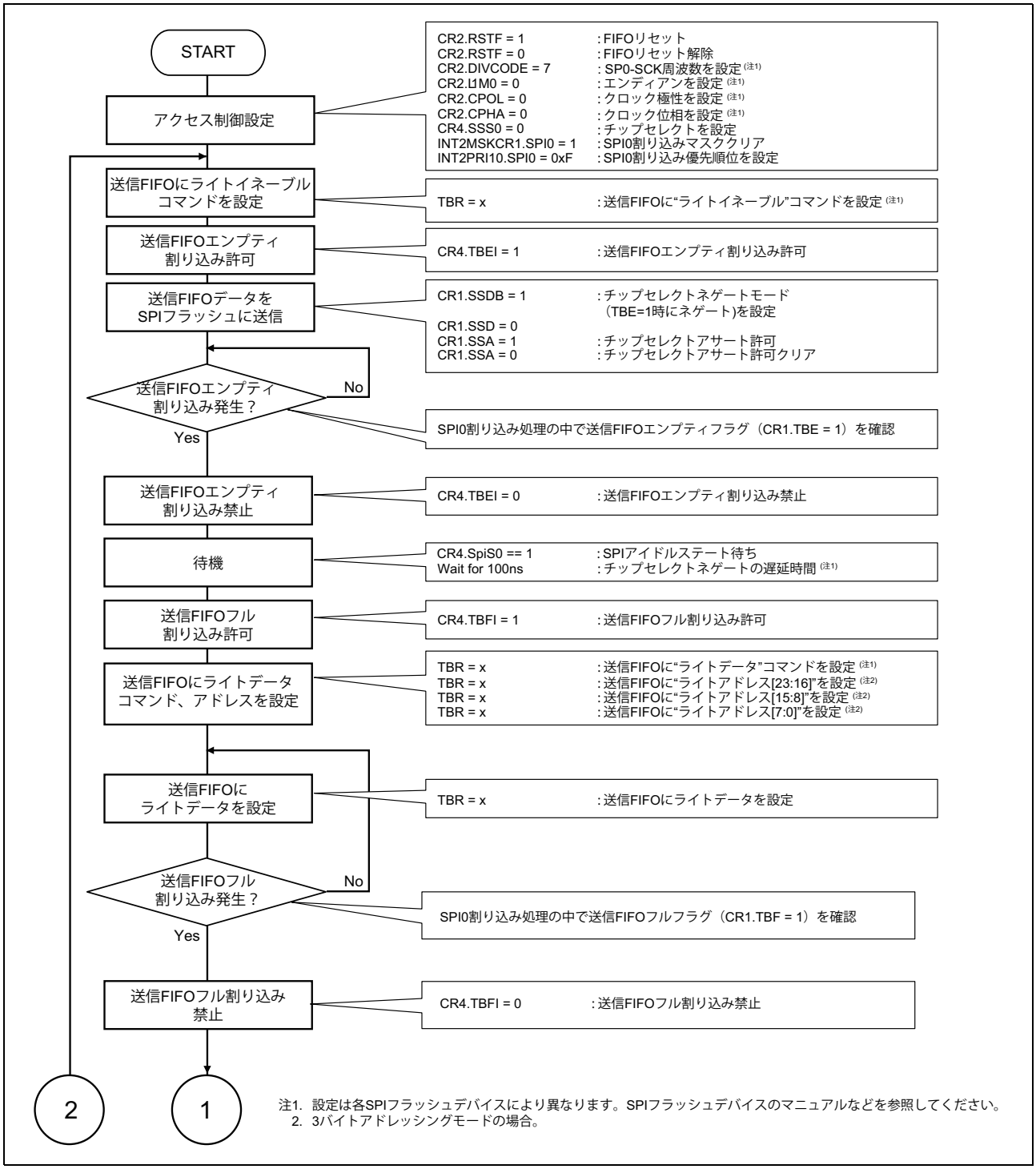


図 15.14　割り込みを使用したSPIフラッシュメモリライトアクセス設定手順（64Kバイトデータライト）（1）

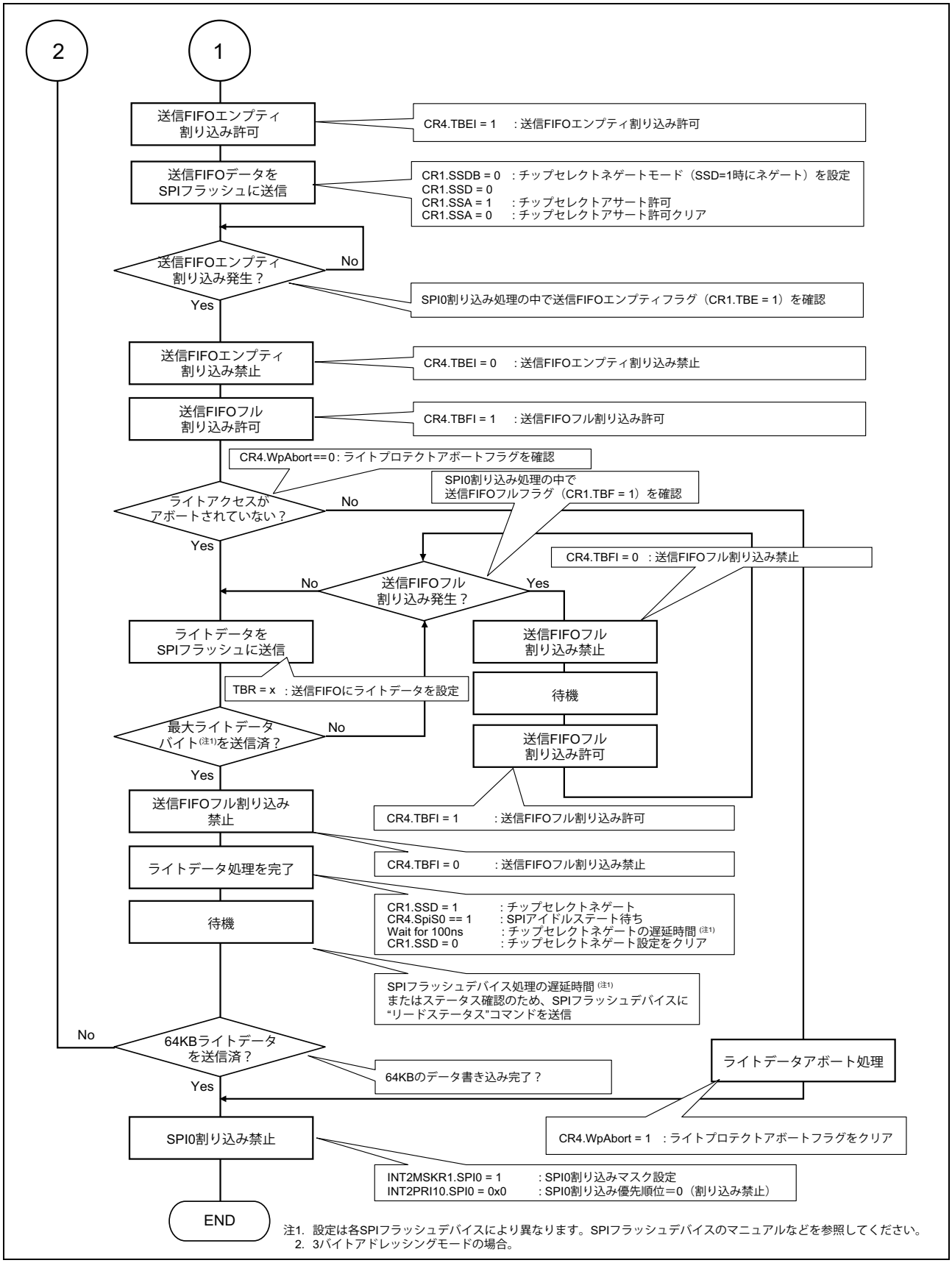
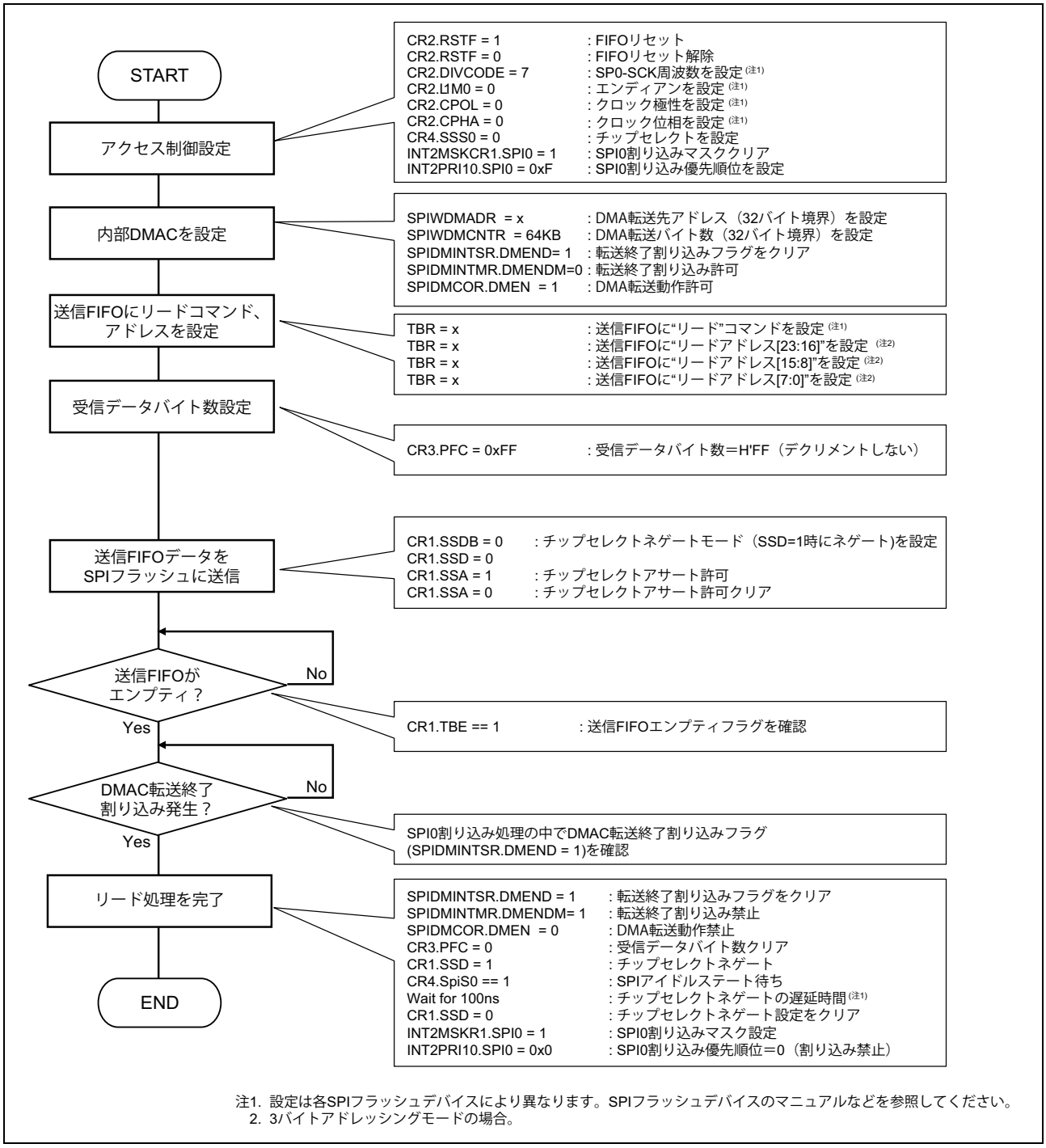


図 15.15　割り込みを使用したSPIフラッシュメモリライトアクセス設定手順
（64Kバイトデータライト）（2）

15.6.7　内部DMACを使用したSPIフラッシュメモリからのデータ転送

図15.16に、内部DMACを使用して外部SPIフラッシュメモリから64Kバイトデータを任意のアドレスに転送する場合の設定手順を示します。



注1. 設定は各SPIフラッシュデバイスにより異なります。SPIフラッシュデバイスのマニュアルなどを参照してください。
2. 3バイトアドレッシングモードの場合。

図 15.16　内部DMACを使用したデータ転送設定手順（64Kバイトデータ転送）

15.7 使用上の注意事項

1. SPIブート機能選択（MD6＝H）時は、“H'03”（3バイトアドレッシングモード時）又は“H'13”（4バイトアドレッシングモード時）のリードコマンドコードをサポートしているSPIフラッシュメモリを使用してください。なお、内蔵ILメモリがエリア0領域に割り当てられるため、エリア0をCS0領域としてLBSCアクセスすることはできません。
2. BOOTSZ2、1、0で指定する外部SPIフラッシュメモリのサイズが32Mバイト以上の場合は、自動的に4バイトアドレッシングモードになりますので、外部SPIフラッシュメモリに対するアドレス指定は4バイトで実施してください（表15.3参照）。
3. 受信サイクルより送信サイクルが優先されますので、外部SPIフラッシュメモリからのデータ受信がすべて完了した後、送信FIFOにデータ（コマンドコード）を書き込んでください。

16. クロック発振器（CPG）

クロック発振器（CPG）は本LSIの内蔵周辺モジュール、及び外部バスインタフェースに供給するクロックの生成と低消費電力の制御を行います。クロック発振器は、水晶発振回路、PLL回路、分周回路、及び制御部で構成されます。

16.1 特長

- 本LSI内部用のクロックを生成
  CPU、キャッシュ、TLBで使用するCPUクロック（Ick）と、SuperHywayで使用するSHwyクロック（SHck）、内蔵周辺モジュールへ供給する周辺クロック（Pck）を生成します。
- 本LSI外部用のクロックを生成
  外部バスインタフェースで使用する外部バスクロック（CLKOUT）とDDR3インタフェースで使用するDDR3クロック（DDRck）を生成します。
- クロックモード
  CPGへのクロック入力について水晶発振子入力か外部クロック入力かを選択できます。
  CPUクロックの逓倍率の組み合わせを2種類のクロック動作モードから選択できます。
- 低消費電力モードの制御
  スリープモードでのクロック停止、及びモジュールストップモードでの特定モジュールの停止が可能です（スリープモード、モジュールストップモードについては、「18. 低消費電力モード」を参照してください）。

図16.1 にCPG のブロック図を示します。

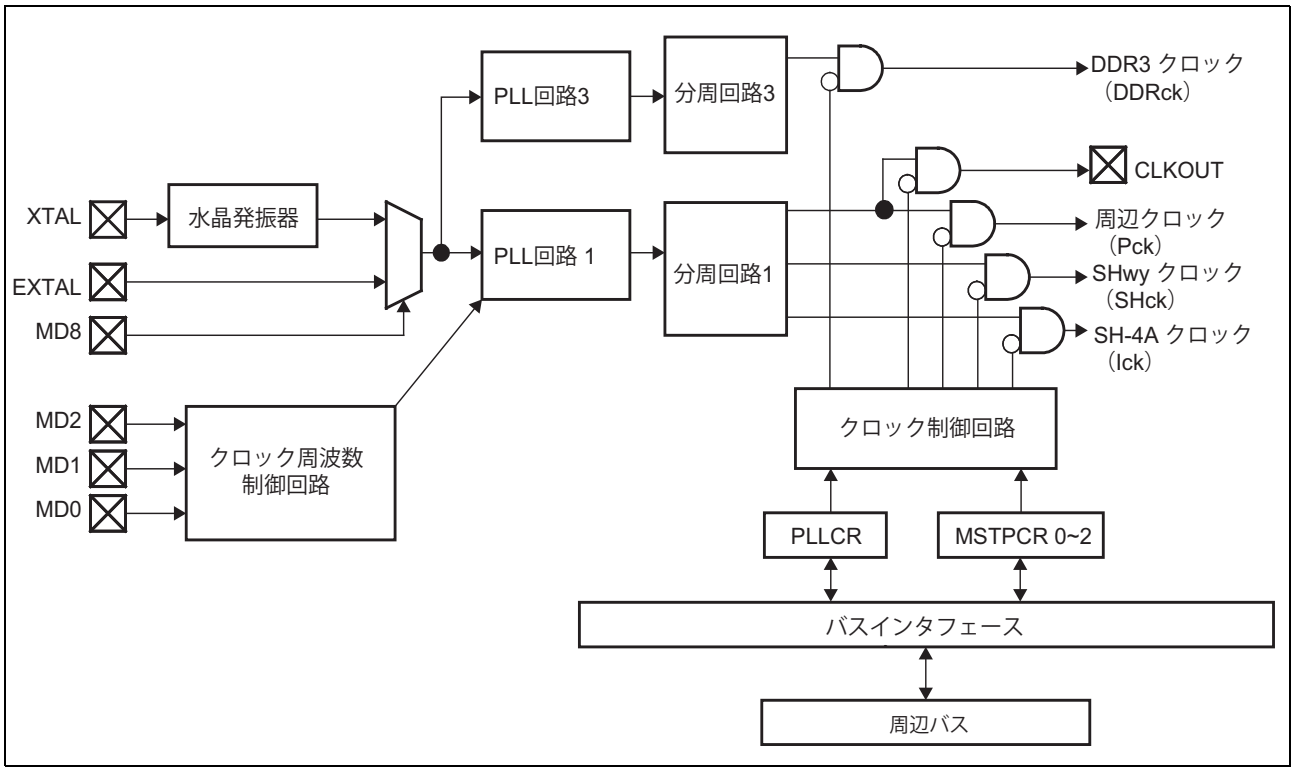


図 16.1　CPG ブロック図

CPG の各ブロックは次のように機能します。

(1)　水晶発振回路

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。
水晶発振回路はMD8 端子の設定により使用可能となります。

(2)　PLL 回路1、分周回路1

PLL 回路1及び分周回路1は、水晶発振回路 又はEXTAL 端子へ入力されるクロック周波数からCPU クロック（Ick）、SHwy クロック（SHck）、周辺クロック（Pck）を生成します。

(3)　PLL 回路3、分周回路3

PLL 回路3 及び分周回路3は、水晶発振回路又はEXTAL 端子へ入力されるクロック周波数からDDR3 クロック（DDRck）を生成します。

(4)　PLL 制御レジスタ（PLLCR）

PLL 制御レジスタには、CLKOUT 出力のON/OFF 制御ビットが割り当てられています。

(5)　モジュールストップレジスタ0～2（MSTPCR0～2）

モジュールストップレジスタ 0 ～ 2 には、各周辺モジュールの動作／停止を制御するビットが割り当てられています。本レジスタの仕様については「18. 低消費電力モード」を参照してください。

16.2 入出力端子

CPG の端子構成を表16.1 に示します。

表16.1 CPG の端子構成と機能

端子名	機能	入出力	説 明
MD2、1、0	クロック動作モード設定	入力	LLL：クロック動作モード0（表16.2参照） LLH：クロック動作モード1 注. 上記以外は設定禁止。
MD8	クロック端子機能設定	入力	L：外部クロック入力（EXTAL端子に外部クロック信号を入力） H：水晶発振子接続（EXTAL/XTAL端子間に水晶発振子を接続）
XTAL	水晶発振子	出力	水晶発振子を接続します。
EXTAL	水晶発振子／外部クロック	入力	水晶発振子を接続します。また、外部クロック信号を入力することもできます。
CLKOUT	システムクロック出力	出力	外部デバイスにシステムクロックを供給します。（CKOFFビット＝0のとき）

16.3 クロック動作モード

モード制御端子（MD0、MD1 、及びMD2）の組み合わせとクロック動作モードの関係を表16.2 に示します。

表16.2 クロック動作モード

クロック動作モード	モード端子（注1）			Ick		SHck		Pck		DDRck	
	MD2	MD1	MD0	周波数比（注2）	周波数（注3）	周波数比（注2）	周波数（注3）	周波数比（注2）	周波数（注3）	周波数比（注2）	周波数（注3）
0	L	L	L	8	384MHz	4	192MHz	1	48MHz	11	528MHz
1	L	L	H	12	576MHz	4	192MHz	1	48MHz	11	528MHz

注1. 上記以外のモード端子（MD2、MD1 、及びMD0）の組み合わせは設定しないでください。
2. 水晶発振回路又はEXTAL 端子からの入力クロック周波数を1 としたときの各クロック周波数比です。
3. EXTAL周波数が48MHzの場合。

16.4　レジスタの説明

CPG のレジスタ構成を表16.3 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表16.3　レジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
PLL 制御レジスタ	PLLCR	R/W	H'FFC8 0024	32	H'0000 F000	保持

16.4.1　PLL制御レジスタ（PLLCR）

PLLCR は、読み出し／書き込み可能な32 ビットのレジスタで、CLKOUT 端子からのクロック出力の有無の指定を行います。PLLCR はロングワードアクセスのみ可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKOFF	—
初期値：	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 12	—	1	—	リザーブビット
11 ～ 2	—	0	—	リザーブビット
1	CKOFF	0	R/W	CLKOUT 出力停止 0：CLKOUT 端子からクロックを出力する 1：CLKOUT 端子からクロックを出力しない（端子状態はHi-Z）
0	—	0	—	リザーブビット

16.5　発振回路例

CPGには発振子を接続、又は外部で生成されたクロックを入力してください。
発振回路例を以下に示します。

16.5.1　発振子の接続例（MD8＝H）

図16.2にEXTAL端子とXTAL端子の間に発振子を接続した例を示します。
図中の、Rf、Rd、Cin、Coutなどの回路定数は、発振子によって異なります。発振子メーカの推奨する値に設定してください。

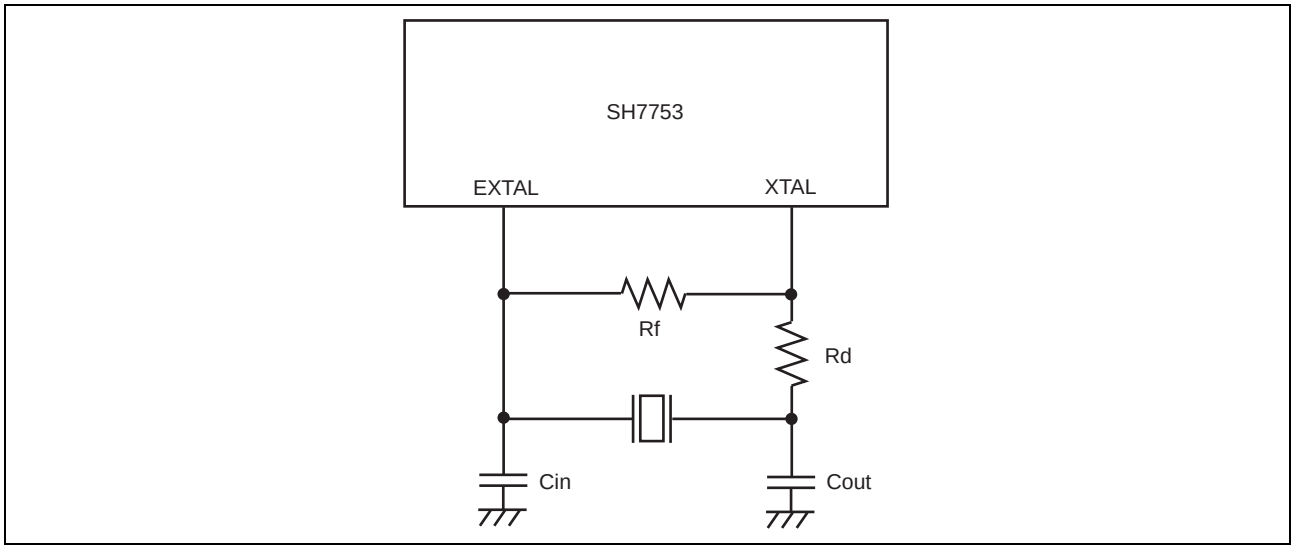


図 16.2　発振子の接続例

16.5.2　外部で生成されたクロックの入力例（MD8＝L）

図16.3に外部で生成されたクロックの入力例を示します。
この場合、EXTAL端子に外部で生成されたクロックを入力し、XTAL端子は開放してください。

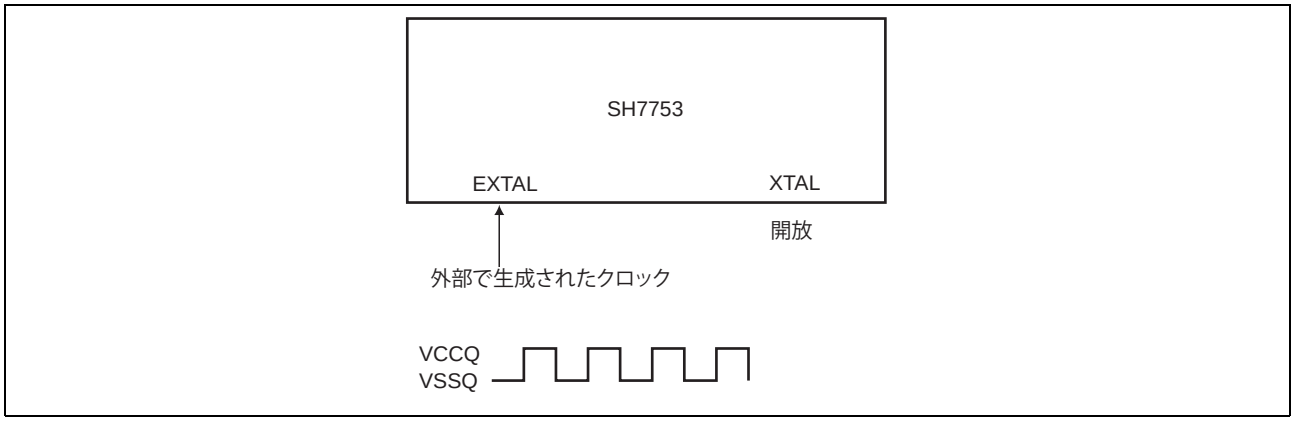


図 16.3　外部で生成されたクロックの入力例

17. リセット、ウォッチドッグタイマ（WDT）

リセット、ウォッチドッグタイマ（以下、リセット/WDT）は、リセット制御部とウォッチドッグタイマ制御部から構成され、パワーオンリセット時のシーケンス、リブートシーケンス及び内部モジュールや外部周辺デバイスのリセットなどを制御します。

17.1 特長

リセット/WDTは、以下の機能を持ちます。

■ WDT0、WDT1
WDT0、WDT1は、それぞれ独立した2チャネルのタイマです。ウォッチドッグタイマモード選択時、プログラムの暴走検知に使用できます。

■ ABRT
オルタネートブートブロックリカバリタイマ（ABRT）は、SPIブートシーケンスの異常を検知するためのタイマです。

■ リセット
3種類のリセット(パワーオンリセット、マニュアルリセット、ソフトウエアリセット)が使用できます。

■ BTC
バスタイムアウトカウンタ（BTC）は、マニュアルリセット時にバスがハングアップした場合、強制マニュアルリセットを発生させます。

表17.1にリセット/WDTの特長を、図17.1、図17.2に本モジュールのブロック図を示します。

表17.1　リセット/WDTの特長

項目			WDT0
WDT0、WDT1	入力クロック	WDT0	16種類（PCk分周クロック）
		WDT1	16種類（PCk分周クロック） 8種類（SUBck分周クロック）
	タイマモード		ウォッチドッグタイマモード： カウンタがオーバフローしたとき、マニュアルリセット発生（暴走検知/SPI0ブート） インターバルタイマモード： カウンタがオーバフローしたとき、インターバルタイマ割り込み発生
	割り込み		3要因：インターバルタイマ割り込み（WOVI/INT）、 早期警告割り込み（EWI）
ABRT	オーバフロー時間		3種類（22.4s、44.8s、89.5s） オーバフロー時、SPI0リセット信号及びリブート信号発生
リセット	パワーオンリセット （SH7753全体のリセット）		・電源投入時 ・$\overline{\text{PRESET}}$端子にLレベルを入力したとき ・H-UDIリセットが発生したとき（「43. ユーザデバッグインタフェース（H-UDI）」参照）
	マニュアルリセット （MRSTCR0～MRSTCR2の該当ビット＝1のモジュールをリセット）		・WDT0又はWDT1がオーバフローしたとき (WT/$\overline{\text{IT}}$ビット＝1かつRSTEビット＝1のとき) ・一般例外(ユーザブレークを除く)発生時(BLビット＝1のとき)
	ソフトウエアリセット （任意のモジュールをリセット）		SRSTR0～SRSTR2の該当ビットに“1”を書いたとき
BTC	強制マニュアルリセット発生時間		6種類（10.6ms、42.7ms、170.7ms、1.4s、5.5s、21.8s）

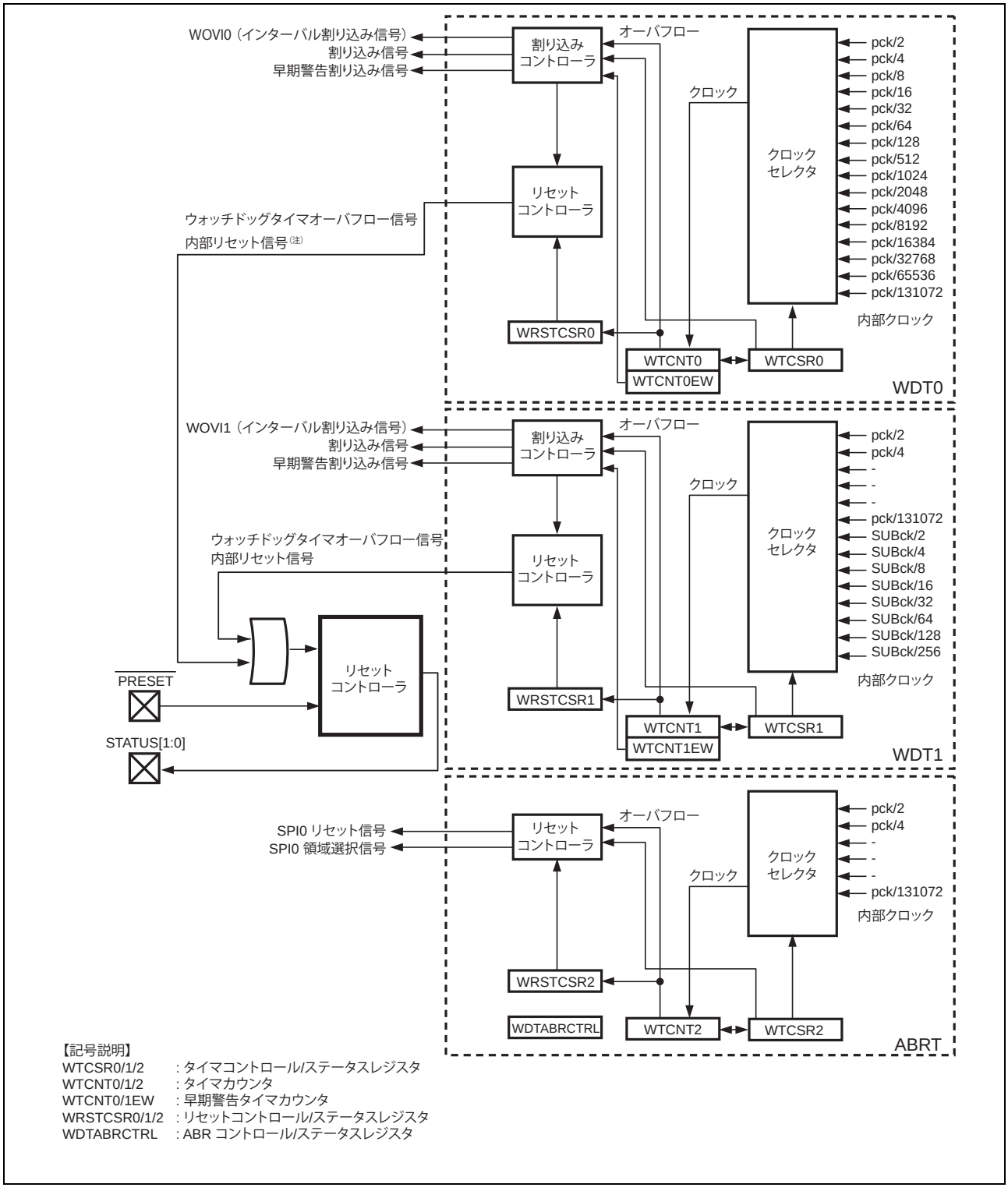


図 17.1　WDTのブロック図

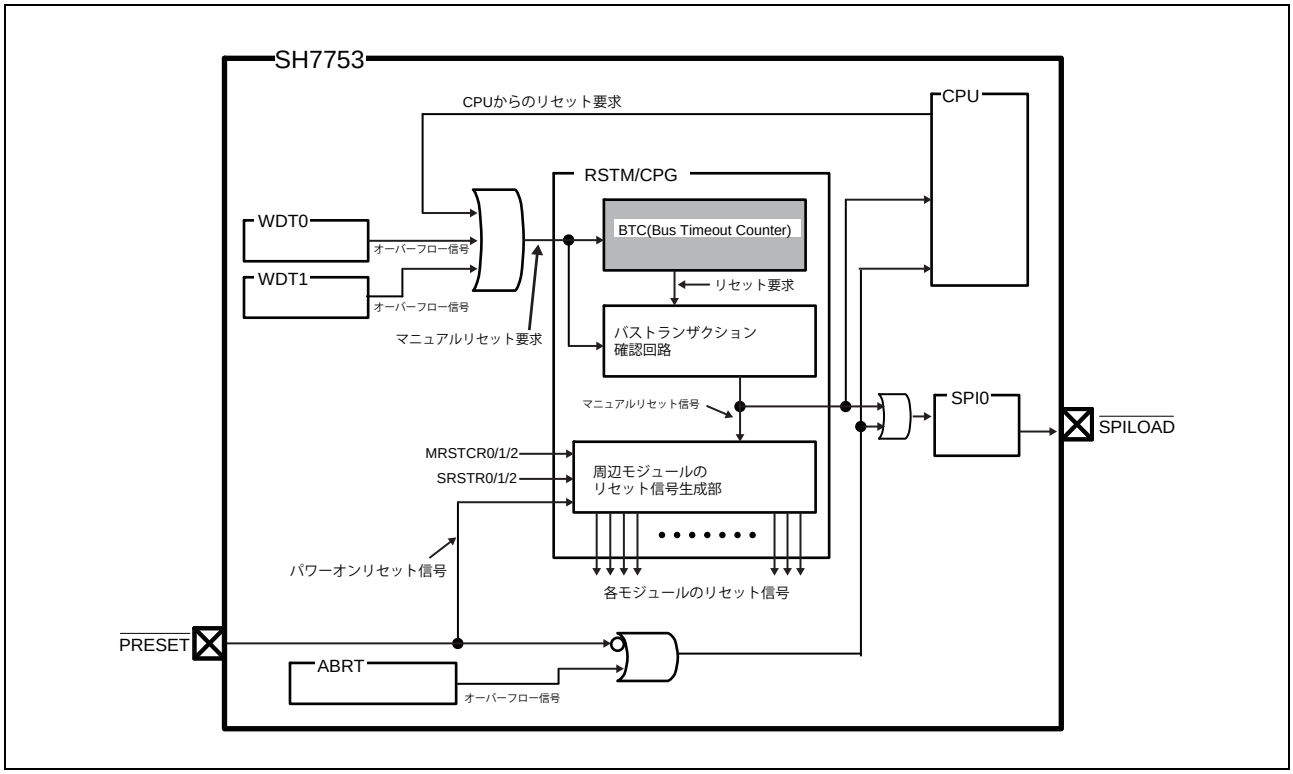


図 17.2　BTCによるリセット信号構成

17.2 入出力端子

表17.2にリセット/WDTの入出力端子を示します。

表17.2 リセット/WDTの入出力端子

端子名	機能	入出力	説明
$\overline{\text{PRESET}}$	パワーオンリセット	入力	“L” レベルを入力すると、SH7753はリセット状態になります。
SUB-CLKIN	クロック入力	入力	32.768kHz のクロック入力端子です。
BOOTFMS	SPI ブートフラッシュメモリ領域選択	入力	最初のSPI ブート時にロードするSPI0 フラッシュメモリ領域を設定する端子です。 L　：下位半分 H　：上位半分
WDTFOT1、WDTFOT0	ABR遅延時間設定	入力	ABRTのオーバフロー時間を設定する端子です。 LL　：ABR機能無効 LH　：22.4 秒 HL　：44.8 秒 HH　：89.5 秒
STATUS1、STATUS0（注）	ステータス出力	出力	プロセッサの動作状態を表します。 HH　：リセット HL　：スリープモード LL　：通常動作
$\overline{\text{SPILOAD}}$	SPI ブートインジケータ出力	出力	SPI ブート中であることを外部に知らせます。 L：SPI ブート中 H：SPI ブート中でない

注．STATUS1、TATUS0端子は、PWMX、GPIO端子とマルチプレクスされています。

17.3 レジスタ説明

表17.3にリセット/WDTのレジスタ構成を示します。
指定されたビット幅で、レジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

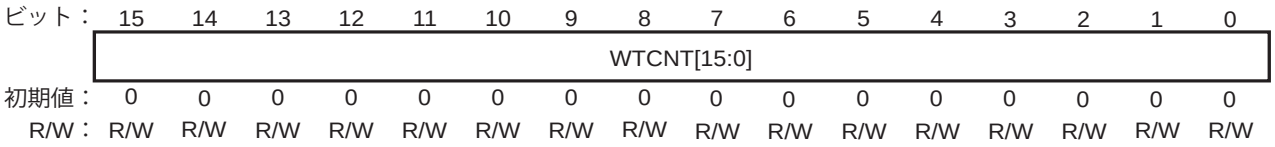
表17.3 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
タイマカウンタ0	WTCNT0	R/W	H'FFCC 0000	16	H'0000	H'0000
タイマコントロール／ステータスレジスタ0	WTCSR0	R/W（注1）	H'FFCC 0002	8	H'10	H'10
リセットコントロール／ステータスレジスタ0	WRSTCSR0	R/W（注1）	H'FFCC 0003	8	H'00	保持（注2）
早期警告タイマカウンタ 0	WTCNT0EW	R/W	H'FFCC 0004	16	H'0000	H'0000
タイマカウンタ1	WTCNT1	R/W	H'FFCD 0000	16	H'0000	H'0000
タイマコントロール／ステータスレジスタ1	WTCSR1	R/W（注1）	H'FFCD 0002	8	H'00	H'00
リセットコントロール／ステータスレジスタ1	WRSTCSR1	R/W（注1）	H'FFCD 0003	8	H'00	保持（注2）
早期警告タイマカウンタ 1	WTCNT1EW	R/W	H'FFCD 0004	16	H'0000	H'0000
タイマカウンタ 2	WTCNT2	R/W	H'FFF9 0000	16	H'0000	保持/H'0000(注4)
タイマコントロール／ステータスレジスタ 2	WTCSR2	R/W（注1、3）	H'FFF9 0002	8	H'10（注5）	保持
リセットコントロール／ステータスレジスタ 2	WRSTCSR2	R/W（注1、3）	H'FFF9 0003	8	H'00（注6）	保持
ABR コントロール／ステータスレジスタ	WDTABRCTRL	R/W（注1、3）	H'FFF9 0006	8	H'E8/H'F8（注7）	保持
マニュアルリセットコントロールレジスタ 0	MRSTCR0	R/W	H'FFD5 0030	32	H'FE1F FE7F	保持
マニュアルリセットコントロールレジスタ 1	MRSTCR1	R/W	H'FFD5 0034	32	H'FFF3 FFFF	保持
マニュアルリセットコントロールレジスタ 2	MRSTCR2	R/W	H'FFC1 0040	32	H'FFA0 FEFF	保持
ソフトウェアリセットレジスタ 0	SRSTR0	R/W	H'FFD5 0038	32	H'0000 0000	保持
ソフトウェアリセットレジスタ1	SRSTR1	R/W	H'FFD5 003C	32	H'0000 0000	保持
ソフトウェアリセットレジスタ2	SRSTR2	R/W	H'FFC1 0048	32	H'0000 0000	保持
バスタイムアウトカウンタ	BTC	R	H'FFC1 0300	32	H'XXXX XX00	H'XXXX XX00
バスタイムアウト制御レジスタ	BTCONT	R/W	H'FFC1 0304	32	H'0000 0004	H'0000 0004

注1. これらのレジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「17.5.1 WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み」を参照してください。
2. EOVFビットのみ、ウォッチドックタイマオーバフロー及びマニュアルリセットのいずれの場合でも“0”になります。
3. WTCNT2オーバフロー後、選択したクロックの64サイクルが経過するまでは、これらのレジスタに書き込みできません。
4. マニュアルリセット時、WTCNT2 のレジスタ状態はADIS ビット（WDTABRCTRL レジスタのビット0）の値に依存します。ADISビット＝0のとき保持、ADISビット＝1のときH'0000です。
5. WTCSR2 は、WDTFOT1,0 = L,L のときのみ H'10 に初期化されます。
6. WRSTCSR2 は、WDTFOT1,0 = L,L のときのみ H'00 に初期化されます。
7. WDTABRCTRL の初期値は、BOOTFMS端子の入力レベルに依存します。BOOTFMS = L のとき H'E8、BOOTFMS= H のとき H'F8です。

17.3.1　タイマカウンタ（WTCNT0 、WTCNT1）

WTCNT は、リード／ライト可能な16 ビットのアップカウンタです。

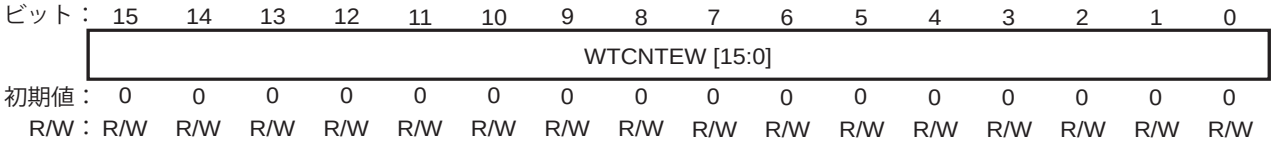


ビット	ビット名	初期値	R/W	説 明
15～0	WTCNT[15:0]	H'0000	R/W（注）	TMEビット（WTCSRレジスタのビット5）を“1”にすると、カウントを開始します。 WT/$\overline{IT}$ビット（WTCSRレジスタのビット6）＝1（ウォッチドッグタイマモード選択時）、かつRSTEビット（WRSTCSRレジスタのビット6）＝1（マニュアルリセット許可選択時）に、WTCNT[15:0]がオーバフローすると、マニュアルリセットが発生します。 また、WT/$\overline{IT}$ビット＝0（インターバルタイマモード選択時）、かつNMIEビット（WRSTCSRレジスタのビット2）＝1（インターバルタイマ割り込み許可選択時）に、WTCNT[15:0]がオーバフローすると、インターバルタイマ割り込みが発生します。

注．TMEビット＝1のときだけ書き込めます。また、TMEビット＝0のとき、このレジスタは初期化されます。

17.3.2　早期警告タイマカウンタ（WTCNT0EW 、WTCNT1EW）

WTCNTEWは、リード／ライト可能な16 ビットのアップカウンタです。



ビット	ビット名	初期値	R/W	説 明
15～0	WTCNTEW [15:0]	H'0000	R/W（注）	TMEビット（WTCSRレジスタのビット5）を“1”にすると、カウントを開始します。 EWEビット（WRSTCSRレジスタのビット3）＝1（早期警告割り込み許可選択時）に、WTCNTEW[15:0]がオーバフローすると、早期警告割り込みが発生します。

注．TMEビット＝1のときだけ書き込めます。また、TMEビット＝0のとき、このレジスタは初期化されます。

17.3.3　タイマコントロール／ステータスレジスタ（WTCSR0、WTCSR1）

WTCSRは、WTCNT に入力するクロック、モードの選択などを行います。

•WTCSR_0

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/$\overline{IT}$	TME	—	CKS[3:0]			
初期値：	0	0	0	1	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

•WTCSR_1

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/$\overline{IT}$	TME	PSS	CKS[3:0]			
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	OVF	0	R/W（注1）	インターバルタイマオーバフローフラグ インターバルタイマモードでWTCNT がオーバフロー (H'FFFF→H'0000) したとき、“1”になります。
6	WT/$\overline{IT}$（注2）	0	R/W	0：インターバルタイマモード 1：ウォッチドッグタイマモード
5	TME	0	R/W	0：WTCNT、WTCNTEWカウント停止 （WTCNT、WTCNTEWは初期化される）（注3） 1：WTCNT、WTCNTEWカウント開始
4	—	1	—	【WDT0】リザーブビット
	PSS（注2）	0	R/W	【WDT1】分周クロック選択 0：Pck分周クロックをカウント 1：SUBck（SUB-CLKIN入力クロック）分周クロックをカウント

ビット	ビット名	初期値	R/W	説 明
3～0	CKS[3:0]（注2）	0000	R/W	WTCNT入力クロック選択（注4） ■WDT0、WDT1（PSS=0のとき） 0000：Pck/2 (2.7 ms) 0001：Pck/4 (5.5 ms) 0010：Pck/8 (10.9 ms) 0011：Pck/16 (21.8 ms) 0100：Pck/32 (43.7 ms) 0101：Pck/64 (87.4 ms) 0110：Pck/128 (174.8 ms) 0111：Pck/512 (699.04 ms) 1000：Pck/1024 (1.4 s) 1001：Pck/2048 (2.8 s) 1010：Pck/4096 (5.6 s) 1011：Pck/8192 (12.2 s) 1100：Pck/16384 (22.4 s) 1101：Pck/32768 (44.8 s) 1110：Pck/65536 (89.5 s) 1111：Pck/131072 (179 s) ■WDT1（PSS=1のとき） CSK[2:0] ビットの設定のみ有効。CSK[3] ビットの設定は無効。 000：SUBck/2 (4 s) 001：SUBck/4 (8 s) 010：SUBck/8 (16 s) 011：SUBck/16 (32 s) 100：SUBck/32 (64 s) 101：SUBck/64 (128 s) 110：SUBck/128 (256 s) 111：SUBck/256 (512 s)

注1. “1”を読み出した後、“0”を書くと“0”になります。“1”を書いても変化しません。
2. これらのビットは、TMEビット（ビット5）＝0のときに設定してください。
3. ウォッチドッグタイマモード時は、WTCNTのオーバフロー時にもTMEビット＝0となります。
4. （ ）内はPck＝48MHz、SUBck＝32.768kHz のときのWTCNTオーバフロー周期を表します。
5. このレジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「17.5.1 WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み」を参照してください。

17.3.4　リセットコントロール／ステータスレジスタ（WRSTCSR0 、WRSTCSR1）

WRSTCSR は、WTCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

ビット：	7	6	5	4	3	2	1	0
	WOVF	RSTE	—	EOVF	EWE	NMIE	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
7	WOVF	0	R/W (注1)	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードでWTCNT がオーバフロー (H'FFFF→H'0000) したとき、“1”になります。
6	RSTE	0	R/W	ウォッチドッグタイマモードでWTCNT がオーバフローしたときのマニュアルリセット許可/禁止を選択。 0：マニュアルリセット禁止 1：マニュアルリセット許可
5	—	0	—	リザーブビット
4	EOVF	0	R/W （注1、2）	早期警告タイマオーバフローフラグ ウォッチドッグタイマモード及びインターバルタイマモードでWTCNTEW がオーバフロー (H'FFFF→H'0000) したとき、“1”になります。
3	EWE	0	R/W	早期警告割り込みイネーブル 0：EOVF＝1のとき早期警告割り込み禁止 1：EOVF＝1のとき早期警告割り込み許可
2	NMIE	0	R/W	インターバルタイマ割り込みイネーブル 0：OVF＝1のときインターバルタイマ割り込み禁止 1：OVF＝1のときインターバルタイマ割り込み許可
1、0	—	0	—	リザーブビット

注1.　“1”を読み出した後、“0”を書くと“0”になります。“1”を書いても変化しません。
2.　OVF ビット（WTCSR0、WTCSR1 レジスタのビット7）が“1”になると、このビットは“0”になります。
3.　このレジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「17.5.1 WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み」を参照してください。

17.3.5　タイマカウンタ（WTCNT2）

WTCNT2 は、リード／ライト可能な16 ビットのアップカウンタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WTCNT2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	WTCNT2[15:0]	H'0000	R/W	WDTFOT1,0＝L,H/H,L/H,Hの状態でSPIブートを開始すると、カウントを開始します。 WTCNT2[15:0]がオーバフローすると、リブートを開始します。 オーバフロー時間は、WDTFOT1,0端子の入力レベルに応じて、以下の3種類から選択できます。 WDTFOT1,0＝L,H：22.4s H,L：44.8s H,H：89.5s

17.3.6　タイマコントロール／ステータスレジスタ（WTCSR2）

WTCSRは、WTCNT2 に入力するクロック、WTCNT 2のカウントを開始するかどうかの選択などを行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	TME	—	—	—	—	—
初期値：	0	—	（注1）	1	—	—	—	—
R/W：	—	—	R/W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	—	—	—	リザーブビット （書き込むときは、読み出した値を書き込んでください）
5	TME	（注1）	R/W	ABRT有効（WDTFOT1,0 = L,L以外）時、ブートシーケンスが正常に行われた後は、このビットを“0”にしてWTCNT2のカウントを停止してください。 このとき、WTCNT2はH'00に初期化されます。
4	—	1	—	リザーブビット
3～0	—	—	—	リザーブビット （書き込むときは、読み出した値を書き込んでください）

注1.　このビットの初期値は、WDTFOT1,0端子の入力レベルに依存します。WDTFOT1,0 = L,L のとき“0”、それ以外のときは“1”です。

2.　このレジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「17.5.1 WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み」を参照してください。
また、WTCNT2オーバフロー後、選択したクロックの64サイクルが経過するまでは、このレジスタに書き込みで

きません。

17.3.7　リセットコントロール／ステータスレジスタ（WRSTCSR2）

WRSTCSR は、WTCNT2 のオーバフロー、及びパワーオンリセット時の WDTFOT1、0 端子の入力レベルを示します。

ビット：	7	6	5	4	3	2	1	0
	WOVF	—	—	—	—	—	ABR[1:0]	
初期値：	0	0	0	0	0	0	（注1）	（注1）
R/W：	R/W	—	—	—	—	—	R	R

ビット	ビット名	初期値	R/W	説 明
7	WOVF	0	R/W	WTCNT2オーバフローフラグ WTCNT2 がオーバフロー（H'FFFF→H'0000）するとセットされます。
6～2	—	0	—	リザーブビット
1、0	ABR[1:0]	（注1）	R	WDTFOT1、0端子に入力されたレベルを示します。 ABR[1:0] : WDTFOT1,0 00 : L,L 01 : L,H 10 : H,L 11 : H,H

注1.　パワーオンリセット時のWDTFOT1、0の入力レベルを示します。

2.　このレジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「17.5.1 WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み」を参照してください。
また、WTCNT2オーバフロー後、選択したクロックの64サイクルが経過するまでは、このレジスタに書き込みできません。

17.3.8　ABR コントロール／ステータスレジスタ（WDTABRCTRL）

WDTABRCTRL は SPI0 からのブート機能とリブート機能を制御します。パワーオンリセット後は BOOTFMS 端子の状態に応じて SPI0 領域の上位半分、又は下位半分からブートを開始します。HALF ビットは SPI0 のブート空間を示します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	HALF	—	—	—	ADIS
初期値：	1	1	1	(注1)	1	0	0	0
R/W：	—	—	—	R	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
7～5	—	1	—	リザーブビット
4	HALF	（注1）	R	ブートしたSPI0領域を示します。 0：SPI0 の下位半分の領域からブート 1：SPI0 の上位半分の領域からブート
3	—	1	—	リザーブビット
2, 1	—	0	—	リザーブビット
0	ADIS	0	R/W	0：SPI0のリブート領域を切り替えてリブート 1：SPI0のリブート領域を切り替えずにリブート （前回リブートした時と同じ領域からリブート）

注1. BOOTFMS＝Lのとき“0”、Hのとき“1”になります。

2. このレジスタは、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「17.5.1 WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み」を参照してください。
また、WTCNT2オーバフロー後、選択したクロックの64サイクルが経過するまでは、このレジスタに書き込みできません

17.3.9　マニュアルリセットコントロールレジスタ 0 （MRSTCR0）

MRSTCR0 は、各モジュールごとにマニュアルリセットによる初期化の許可／禁止を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWMX PCSR	RSPI	—	SIM	CRYPTO ENGINE	SDHI	ARC4	—	—	—	—	—	RIIC7	RIIC6	RIIC5	RIIC4
初期値：	1	1	1	1	1	1	1	0	0	0	0	1	1	1	1	1
R/W：	R/W	R/W	—	R/W	R/W	R/W	R/W	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIIC3	RIIC2	RIIC1	RIIC0	SCIF4	SCIF3	SCIF2	SCIF1	SCIF0	FRT	EVC	CRC	ADC1	ADC0	ETHER	DMAC
初期値：	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	PWMXPCSR	1	R/W	0：PWMX PCSR0/PCSR1 レジスタマニュアルリセット禁止 1：PWMX PCSR0/PCSR1 レジスタマニュアルリセット許可
30	RSPI	1	R/W	0：RSPIマニュアルリセット禁止 1：RSPIマニュアルリセット許可
29	—	1	—	リザーブビット
28	SIM	1	R/W	0：SIMマニュアルリセット禁止 1：SIMマニュアルリセット許可
27	CRYPTO ENGINE	1	R/W	0：CRYPTO ENGINEマニュアルリセット禁止 1：CRYPTO ENGINEマニュアルリセット許可
26	SDHI	1	R/W	0：SDHIマニュアルリセット禁止 1：SDHIマニュアルリセット許可
25	ARC4	1	R/W	0：ARC4マニュアルリセット禁止 1：ARC4マニュアルリセット許可
24～21	—	0	—	リザーブビット
20	—	1	—	リザーブビット
19	RIIC7	1	R/W	0：RIIC ch 7マニュアルリセット禁止 1：RIIC ch 7マニュアルリセット許可
18	RIIC6	1	R/W	0：RIIC ch 6マニュアルリセット禁止 1：RIIC ch 6マニュアルリセット許可
17	RIIC5	1	R/W	0：RIIC ch 5マニュアルリセット禁止 1：RIIC ch 5マニュアルリセット許可
16	RIIC4	1	R/W	0：RIIC ch 4マニュアルリセット禁止 1：RIIC ch 4マニュアルリセット許可
15	RIIC3	1	R/W	0：RIIC ch 3マニュアルリセット禁止 1：RIIC ch 3マニュアルリセット許可
14	RIIC2	1	R/W	0：RIIC ch 2マニュアルリセット禁止 1：RIIC ch 2マニュアルリセット許可

ビット	ビット名	初期値	R/W	説 明
13	RIIC1	1	R/W	0：RIIC ch 1マニュアルリセット禁止 1：RIIC ch 1マニュアルリセット許可
12	RIIC0	1	R/W	0：RIIC ch 0マニュアルリセット禁止 1：RIIC ch 0マニュアルリセット許可
11	SCIF4	1	R/W	0：SCIF4マニュアルリセット禁止 1：SCIF4マニュアルリセット許可
10	SCIF3	1	R/W	0：SCIF3マニュアルリセット禁止 1：SCIF3マニュアルリセット許可
9	SCIF2	1	R/W	0：SCIF2マニュアルリセット禁止 1：SCIF2マニュアルリセット許可
8	SCIF1	0	R/W	0：SCIF1マニュアルリセット禁止 1：SCIF1マニュアルリセット許可
7	SCIF0	0	R/W	0：SCIF0マニュアルリセット禁止 1：SCIF0マニュアルリセット許可
6	FRT	1	R/W	0：FRTマニュアルリセット禁止 1：FRTマニュアルリセット許可
5	EVC	1	R/W	0：EVCマニュアルリセット禁止 1：EVCマニュアルリセット許可
4	CRC	1	R/W	0：CRCマニュアルリセット禁止 1：CRCマニュアルリセット許可
3	ADC1	1	R/W	0：ADC ch 15 ～ 8マニュアルリセット禁止 1：ADC chs 15 ～ 8マニュアルリセット許可
2	ADC0	1	R/W	0：ADC ch 7 ～ 0マニュアルリセット禁止 1：ADC chs 7 ～ 0マニュアルリセット許可
1	ETHER	1	R/W	0：ETHERマニュアルリセット禁止 1：ETHERマニュアルリセット許可
0	DMAC	1	R/W	0：DMACマニュアルリセット禁止 1：DMACマニュアルリセット許可

17.3.10 マニュアルリセットコントロールレジスタ 1 （MRSTCR1）

MRSTCR1 は、各モジュールごとにマニュアルリセットによる初期化の許可／禁止を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	USBPHY	—	—	—	—	—	—	—	—	SECROM	—	SGPIO	—	PBI	RIIC9	RIIC8
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1
R/W：	R/W	—	—	—	—	—	—	—	—	R/W	—	R/W	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	USB0	USB1	TMU345	TMU012	TMR45	TMR23	TMR01	PWMX3	PWMX2	PWMX1	PWMX0	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	USBPHY	1	R/W	0：USBPHYマニュアルリセット禁止 1：USBPHYマニュアルリセット許可
30 ～ 23	—	1	—	リザーブビット
22	SECROM	1	R/W	0：SECROMマニュアルリセット禁止 1：SECROMマニュアルリセット許可
21	—	1	—	リザーブビット
20	SGPIO	1	R/W	0：SGPIOマニュアルリセット禁止 1：SGPIOマニュアルリセット許可
19	—	0	—	リザーブビット
18	PBI	0	R/W	0：PBIマニュアルリセット禁止 1：PBIマニュアルリセット許可
17	RIIC9	1	R/W	0：RIIC ch 9マニュアルリセット禁止 1：RIIC ch 9マニュアルリセット許可
16	RIIC8	1	R/W	0：RIIC ch 8マニュアルリセット禁止 1：RIIC ch 8マニュアルリセット許可
15	—	1	—	リザーブビット
14	USB0	1	R/W	0：USB0マニュアルリセット禁止 1：USB0マニュアルリセット許可
13	USB1	1	R/W	0：USB1マニュアルリセット禁止 1：USB1マニュアルリセット許可
12	TMU345	1	R/W	0：TMU ch 5 ～ 3マニュアルリセット禁止 1：TMU ch 5 ～ 3マニュアルリセット許可
11	TMU012	1	R/W	0：TMU ch 2 ～ 0マニュアルリセット禁止 1：TMU ch 2 ～ 0マニュアルリセット許可
10	TMR45	1	R/W	0：TMR ch 4、5マニュアルリセット禁止 1：TMR ch 4、5マニュアルリセット許可
9	TMR23	1	R/W	0：TMR ch 2、3マニュアルリセット禁止 1：TMR ch 2、3マニュアルリセット許可

ビット	ビット名	初期値	R/W	説 明
8	TMR01	1	R/W	0：TMR ch 0、1マニュアルリセット禁止 1：TMR ch 0 、1マニュアルリセット許可
7	PWMX3	1	R/W	0：PWMX3マニュアルリセット禁止 1：PWMX3マニュアルリセット許可
6	PWMX2	1	R/W	0：PWMX2マニュアルリセット禁止 1：PWMX2マニュアルリセット許可
5	PWMX1	1	R/W	0：PWMX1マニュアルリセット禁止 1：PWMX1マニュアルリセット許可
4	PWMX0	1	R/W	0：PWMX0マニュアルリセット禁止 1：PWMX0マニュアルリセット許可
3 ～ 0	—	1	—	リザーブビット

17.3.11 マニュアルリセットコントロールレジスタ 2（MRSTCR2）

MRSTCR2 は、各モジュールごとにマニュアルリセットによる初期化の許可／禁止を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	LBSC	DBSC/ECD	—	—	—	—	—	—	SPI1	—	—	—	—	—
初期値：	1	1	1	0	1	1	1	1	1	0	1	0	0	0	0	0
R/W：	—	—	R/W	R/W	—	—	—	—	—	—	R/W	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	GETHER	—	—	—	—	—	eMMC	—	DMAC2/3	—	—	PWMU
初期値：	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	R/W	—	—	—	—	—	R/W	—	R/W	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31、30	—	1	—	リザーブビット
29	LBSC	1	R/W	0：LBSC マニュアルリセット禁止 1：LBSC マニュアルリセット許可
28	DBSC/ECD	0	R/W	0：DBSC/ECD マニュアルリセット禁止 1：DBSC/ECD マニュアルリセット許可
27～23	—	1	—	リザーブビット
22	—	0	—	リザーブビット
21	SPI1	1	R/W	0：SPI1 マニュアルリセット禁止 1：SPI1 マニュアルリセット許可
20～16	—	0	—	リザーブビット
15～12	—	1	—	リザーブビット
11	GETHER	1	R/W	0：GETHER マニュアルリセット禁止 1：GETHER マニュアルリセット許可
10、9	—	1	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
8	—	0	—	リザーブビット
7、6	—	1	—	リザーブビット
5	eMMC	1	R/W	0：eMMC マニュアルリセット禁止 1：eMMC マニュアルリセット許可
4	—	1	—	リザーブビット
3	DMAC2/3	1	R/W	0：DMAC2/3 マニュアルリセット禁止 1：DMAC2/3 マニュアルリセット許可
2、1	—	1	—	リザーブビット
0	PWMU	1	R/W	0：PWMU マニュアルリセット禁止 1：PWMU マニュアルリセット許可

17.3.12 ソフトウエアリセットレジスタ0 （SRSTR0）

SRSTR0 は、各モジュールごとにソフトウェアリセットを発行します。ビットに 1 を書き込むと、対応するモジュールがリセット状態になります。リセット状態を解除するには対応するビットに 0 を書いてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PWMX PCSR	RSPI	—	SIM	CRYPTO ENGINE	SDHI	ARC4	—	—	—	—	—	RIIC7	RIIC6	RIIC5	RIIC4
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	R/W	R/W	R/W	R/W	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIIC3	RIIC2	RIIC1	RIIC0	SCIF4	SCIF3	SCIF2	SCIF1	SCIF0	FRT	EVC	CRC	ADC1	ADC0	ETHER	DMAC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	PWMXPCSR	0	R/W	0：PWMX PCSR0/PCSR1 レジスタリセット解除（通常状態） 1：PWMX PCSR0/PCSR1 レジスタリセット
30	RSPI	0	R/W	0：RSPI ソフトウェアリセット解除（通常状態） 1：RSPI ソフトウェアリセット
29	—	0	—	リザーブビット
28	SIM	0	R/W	0：SIM ソフトウェアリセット解除（通常状態） 1：SIM ソフトウェアリセット
27	CRYPTO ENGINE	0	R/W	0：CRYPTO ENGINE ソフトウェアリセット解除（通常状態） 1：CRYPTO ENGINE ソフトウェアリセット
26	SDHI	0	R/W	0：SDHI ソフトウェアリセット解除（通常状態） 1：SDHI ソフトウェアリセット
25	ARC4	0	R/W	0：ARC4 ソフトウェアリセット解除（通常状態） 1：ARC4 ソフトウェアリセット
24～20	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
19	RIIC7	0	R/W	0：RIIC ch7 ソフトウェアリセット解除（通常状態） 1：RIIC ch7 ソフトウェアリセット
18	RIIC6	0	R/W	0：RIIC ch6 ソフトウェアリセット解除（通常状態） 1：RIIC ch6 ソフトウェアリセット
17	RIIC5	0	R/W	0：RIIC ch5 ソフトウェアリセット解除（通常状態） 1：RIIC ch5 ソフトウェアリセット
16	RIIC4	0	R/W	0：RIIC ch4 ソフトウェアリセット解除（通常状態） 1：RIIC ch4 ソフトウェアリセット
15	RIIC3	0	R/W	0：RIIC ch3 ソフトウェアリセット解除（通常状態） 1：RIIC ch3 ソフトウェアリセット
14	RIIC2	0	R/W	0：RIIC ch2 ソフトウェアリセット解除（通常状態） 1：RIIC ch2 ソフトウェアリセット
13	RIIC1	0	R/W	0：RIIC ch1 ソフトウェアリセット解除（通常状態） 1：RIIC ch1 ソフトウェアリセット
12	RIIC0	0	R/W	0：RIIC ch0 ソフトウェアリセット解除（通常状態） 1：RIIC ch0 ソフトウェアリセット
11	SCIF4	0	R/W	0：SCIF4 ソフトウェアリセット解除（通常状態） 1：SCIF4 ソフトウェアリセット
10	SCIF3	0	R/W	0：SCIF3 ソフトウェアリセット解除（通常状態） 1：SCIF3 ソフトウェアリセット
9	SCIF2	0	R/W	0：SCIF2 ソフトウェアリセット解除（通常状態） 1：SCIF2 ソフトウェアリセット
8	SCIF1	0	R/W	0：SCIF1 ソフトウェアリセット解除（通常状態） 1：SCIF1 ソフトウェアリセット
7	SCIF0	0	R/W	0：SCIF0 ソフトウェアリセット解除（通常状態） 1：SCIF0 ソフトウェアリセット
6	FRT	0	R/W	0：FRT ソフトウェアリセット解除（通常状態） 1：FRT ソフトウェアリセット
5	EVC	0	R/W	0：EVC ソフトウェアリセット解除（通常状態） 1：EVC ソフトウェアリセット
4	CRC	0	R/W	0：CRC ソフトウェアリセット解除（通常状態） 1：CRC ソフトウェアリセット
3	ADC1	0	R/W	0：ADC ch15～8 ソフトウェアリセット解除（通常状態） 1：ADC ch15～8 ソフトウェアリセット
2	ADC0	0	R/W	0：ADC ch7～0 ソフトウェアリセット解除（通常状態） 1：ADC ch7～0 ソフトウェアリセット
1	ETHER	0	R/W	0：ETHER ソフトウェアリセット解除（通常状態） 1：ETHER ソフトウェアリセット
0	DMAC	0	R/W	0：DMAC ソフトウェアリセット解除（通常状態） 1：DMAC ソフトウェアリセット

17.3.13 ソフトウェアリセットレジスタ 1 （SRSTR1）

SRSTR1 は、各モジュールごとにソフトウェアリセットを発行します。ビットに”1” を書き込むと、対応するモジュールがリセット状態になります。リセット状態を解除するには対応するビットに ”0” を書いてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	USBPHY	—	—	—	—	—	—	—	—	SECROM	—	SGPIO	—	PBI	RIIC9	RIIC8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	R/W	—	R/W	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	USB0	USB1	TMU345	TMU012	TMR45	TMR23	TMR01	PWMX3	PWMX2	PWMX1	PWMX0	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	USBPHY	0	R/W	0：USBPHY ソフトウェアリセット解除（通常状態） 1：USBPHY ソフトウェアリセット
30 ～23	—	0	—	リザーブビット
22	SECROM	0	R/W	0：SECROM ソフトウェアリセット解除（通常状態） 1：SECROM ソフトウェアリセット
21	—	0	—	リザーブビット
20	SGPIO	0	R/W	0：SGPIO ソフトウェアリセット解除（通常状態） 1：SGPIO ソフトウェアリセット
19	—	0	—	リザーブビット
18	PBI	0	R/W	0：PBI ソフトウェアリセット解除（通常状態） 1：PBI ソフトウェアリセット
17	RIIC9	0	R/W	0：RIIC ch9 ソフトウェアリセット解除（通常状態） 1：RIIC ch9 ソフトウェアリセット
16	RIIC8	0	R/W	0：RIIC ch8 ソフトウェアリセット解除（通常状態） 1：RIIC ch8 ソフトウェアリセット
15	—	0	—	リザーブビット
14	USB0	0	R/W	0：USB0 ソフトウェアリセット解除（通常状態） 1：USB0 ソフトウェアリセット
13	USB1	0	R/W	0：USB1 ソフトウェアリセット解除（通常状態） 1：USB1 ソフトウェアリセット
12	TMU345	0	R/W	0：TMU ch5 ～ 3 ソフトウェアリセット解除（通常状態） 1：TMU ch5 ～ 3 ソフトウェアリセット
11	TMU012	0	R/W	0：TMU ch2 ～ 0 ソフトウェアリセット解除（通常状態） 1：TMU ch2 ～ 0 ソフトウェアリセット
10	TMR45	0	R/W	0：TMR ch4 、5 ソフトウェアリセット解除（通常状態） 1：TMR ch4 、5 ソフトウェアリセット
9	TMR23	0	R/W	0：TMR ch2 、3 ソフトウェアリセット解除（通常状態） 1：TMR ch2 、3 ソフトウェアリセット

ビット	ビット名	初期値	R/W	説 明
8	TMR01	0	R/W	0：TMR ch0 、1 ソフトウェアリセット解除（通常状態） 1：TMR ch0 、1 ソフトウェアリセット
7	PWMX3	0	R/W	0：PWMX3 ソフトウェアリセット解除（通常状態） 1：PWMX3 ソフトウェアリセット
6	PWMX2	0	R/W	0：PWMX2 ソフトウェアリセット解除（通常状態） 1：PWMX2 ソフトウェアリセット
5	PWMX1	0	R/W	0：PWMX1 ソフトウェアリセット解除（通常状態） 1：PWMX1 ソフトウェアリセット
4	PWMX0	0	R/W	0：PWMX0 ソフトウェアリセット解除（通常状態） 1：PWMX0 ソフトウェアリセット
3～0	—	0	—	リザーブビット

17.3.14 ソフトウェアリセットレジスタ 2 （SRSTR2）

SRSTR2 は、各モジュールごとにソフトウェアリセットを発行します。ビットに”1” を書き込むと、対応するモジュールがリセット状態になります。リセット状態を解除するには対応するビットに ”0” を書いてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	LBSC	DBSC/ECD	—	—	—	—	—	—	SPI1	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	—	—	—	—	—	—	R/W	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	GETHER	—	—	—	—	—	eMMC	—	DMAC2/3	—	—	PWMU
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	—	—	—	—	—	R/W	—	R/W	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31、30	—	0	—	リザーブビット
29	LBSC	0	R/W	0：LBSC ソフトウェアリセット解除（通常状態） 1：LBSC ソフトウェアリセット
28	DBSC/ECD	0	R/W	0：DBSC/ECD ソフトウェアリセット解除（通常状態） 1：DBSC/ECD ソフトウェアリセット
21	SPI1	0	R/W	0：SPI1 ソフトウェアリセット解除（通常状態） 1：SPI1 ソフトウェアリセット
20～12	—	0	—	リザーブビット
11	GETHER	0	R/W	0：GETHER ソフトウェアリセット解除（通常状態） 1：GETHER ソフトウェアリセット
10～6	—	0	—	リザーブビット
5	eMMC	0	R/W	0：eMMC ソフトウェアリセット解除（通常状態） 1：eMMC ソフトウェアリセット

ビット	ビット名	初期値	R/W	説 明
4	—	0	—	リザーブビット
3	DMAC2/3	0	R/W	0：DMAC2/3ソフトウェアリセット解除（通常状態） 1：DMAC2/3ソフトウェアリセット
2、1	—	0	—	リザーブビット
0	PWMU	0	R/W	0：PWMUソフトウェアリセット解除（通常状態） 1：PWMUソフトウェアリセット

17.3.15 バスタイムアウトカウンタ（BTC）

BTC[8:0]は9ビットのリード可能なアップカウンタで、WDT0/WDT1及び一般例外によるマニュアルリセット要求発生時に、カウントを開始します。BTC[8:0]がH'0FF → H'100になると、RENAビット（BTCONTレジスタのビット4）＝1のとき、強制マニュアルリセットが発生します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	BTC [8:0]								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～9	—	0	—	リザーブビット
8～0	BTC[8:0]	H'00	R	バスタイムアウトカウンタ

17.3.16 バスタイムアウト制御レジスタ（BTCONT）

BTCONTは32ビットのリード/ライト可能なレジスタです。本レジスタはWPROTECTレジスタ（H'FFC1 0000番地）＝H'A5A5 0123時のみロングワードで書き込みが可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CENA	RENA	CKS[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～6	—	0	—	リザーブビット
5	CENA	0	R/W	0：BTCカウント停止 1：BTCカウント（注1）
4	RENA	0	R/W	0：強制マニュアルリセットを発生させない 1：強制マニュアルリセットを発生させる
3～0	CKS[3:0]	0100	R/W	マニュアルリセット要求発生から強制マニュアルリセットが発生するまでの時間を設定 0010：10.6ms 0100：42.7ms 0110：170.7ms 1000：1.4 s 1010：5.5s 1100：21.8s 上記以外：設定禁止

注1. このビットは、BTC機能のデバッグ用です。

2. このレジスタへの設定は、以下の手順で実施してください。
・H'FFC1 0000番地にH'A5A5 0123を書き込む
・このレジスタに任意の値を設定する
・H'FFC1 0000番地にH'0000 0000を書き込む

17.4　動作説明

17.4.1　WDT0、WDT1

17.4.1.1　ウォッチドッグタイマモード

ウォッチドッグタイマモード時は、カウンタオーバフロー時にマニュアルリセットを発生させるかどうかを選択できます。

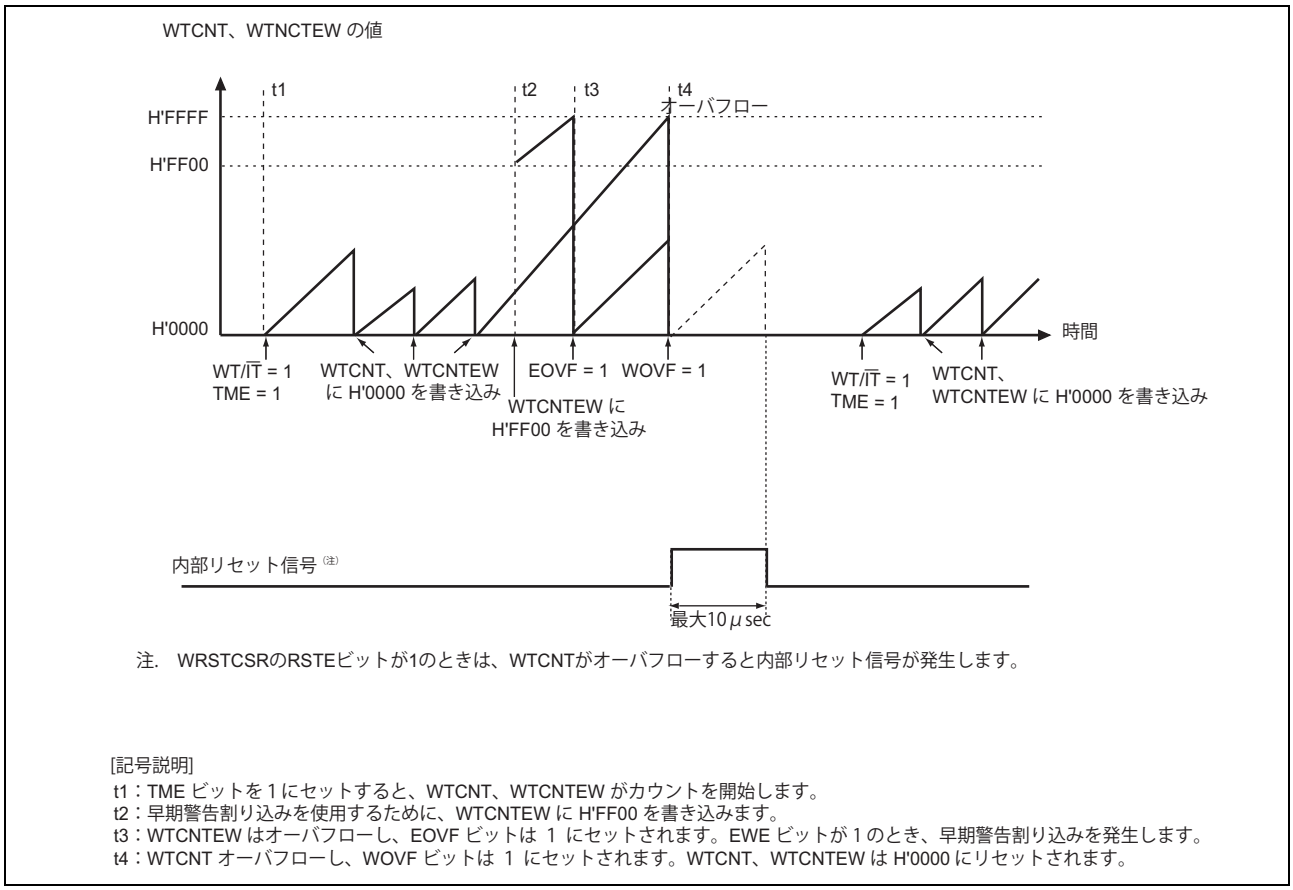
WT/IT ビット（WTCSR レジスタのビット 6）＝1、TME ビット（WTCSR レジスタのビット 5）＝1 にすると、WDT0、WDT1 はウォッチドッグタイマとして動作します。

WTCNT がオーバフローする前に WTCNT の値を書き換えて（通常は H'0000 をライトする）オーバフローを発生させないようにプログラムしておくことで、システムの暴走などにより WTCNT の値が書き換えられずオーバフローしたとき、RSTE ビット (WRSTCSR レジスタのビット 6) が “1” であれば、マニュアルリセットを発生させることができます。

WTCNT オーバフロー時、WOVF ビット (WRSTCSR レジスタのビット 7) が “1” になります。このビットは、マニュアルリセット後も保持されますので、マニュアルリセット後、システムが暴走したかどうかを WOVF ビットで判断することができます。

PRESET 端子入力によるリセットと WDT のオーバフローによるマニュアルリセットが同時に発生した場合は、PRESET 端子入力によるリセットが優先され、WOVF ビットは “0” になります。

なお、早期警告タイマを使用すると、WTCNT オーバフローまでの任意の時間に割り込みを発生させることができます。例えば、WTCNT ＝ H'0000、WTCNTEW ＝ H'FF00、EWE ビット (WRSTCSR レジスタのビット 3) ＝ 1 を設定して TME ビットを “1” にすると、WTCNT オーバフロー前 (WTCNT ＝ H'0100 時) に早期警告割り込みが発生します。この割り込み処理中で WTCNT 及び WTCNTEW を再設定することで、定期的に WTCNT を再設定することができます。



注.　WRSTCSRのRSTEビットが1のときは、WTCNTがオーバフローすると内部リセット信号が発生します。

[記号説明]
t1：TME ビットを 1 にセットすると、WTCNT、WTCNTEW がカウントを開始します。
t2：早期警告割り込みを使用するために、WTCNTEW に H'FF00 を書き込みます。
t3：WTCNTEW はオーバフローし、EOVF ビットは 1 にセットされます。EWE ビットが 1 のとき、早期警告割り込みを発生します。
t4：WTCNT オーバフローし、WOVF ビットは 1 にセットされます。WTCNT、WTCNTEW は H'0000 にリセットされます。

図 17.3　ウォッチドッグタイマモード時の動作

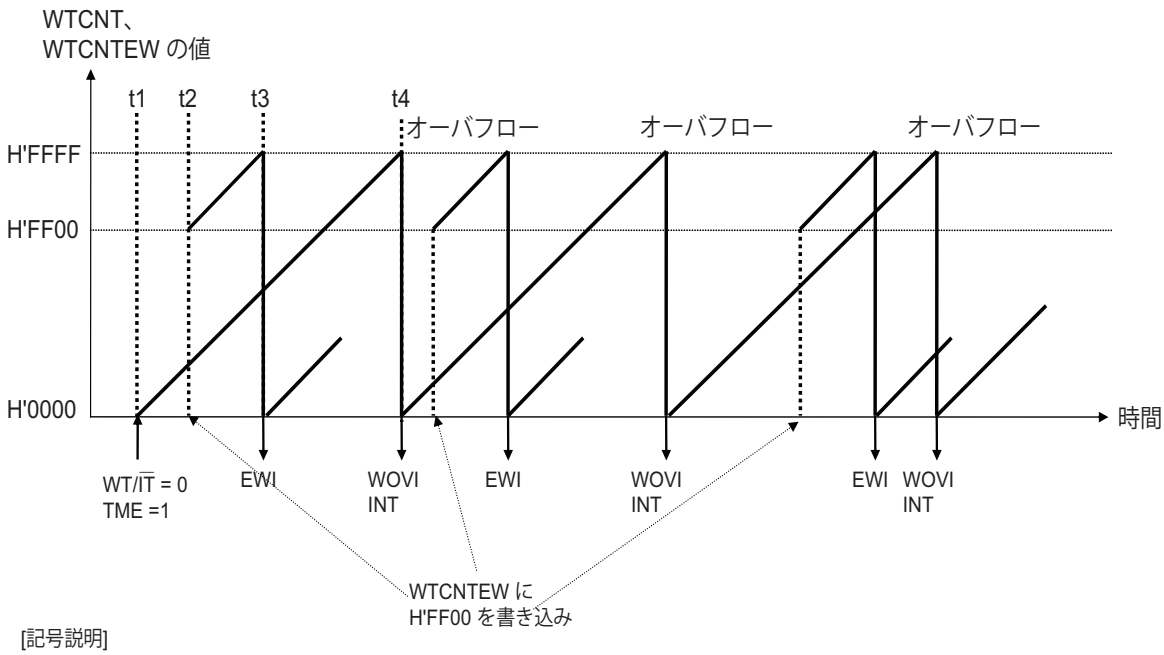
17.4.1.2　インターバルタイマモード

インターバルタイマモード時は、カウンタオーバフロー時に割り込みが発生しますので、一定間隔で割り込みを発生させることができます。

WT/IT ビット（WTCSR レジスタのビット 6）＝0、TME ビット（WTCSR レジスタのビット 5）＝1 にすると、WDT0、WDT1 はインターバルタイマとして動作します。

WTCNT がオーバフローすると、OVF ビット（WTCSR レジスタのビット 7）が“1”になり、同時にインターバルタイマ割り込み（WOVI、INT）要求が発生します。

また、ウォッチドッグタイマモード時と同様に、早期警告タイマを使用することもできます。



[記号説明]
WOVI: インターバルタイマ割り込み要求発生
INT　: 割り込み要求発生（NMIE ビットが 1 のとき）
EWI　: 早期警告割り込み要求発生（EWE ビット が 1 のとき）

t1：TME ビットを 1、WT/IT ビットを 0 にセットすると、WTCNT、WTCNTEW がインターバルタイマモードでカウントを開始します。
t2：WTCNTEW に H'FF00 を書き込むと、早期警告割り込みを発生します。
t3：WTCNTEW はオーバフローし、EOVF ビットは 1 にセットされます。EWE ビットが 1 のとき、早期警告割り込みを発生します。
t4：WTCNT オーバフローし、OVF ビットは 1 にセットされます。WOVI 信号が発生します。NMIE ビットが 1 のとき割り込みを発生します。

図 17.4　インターバルタイマモード時の動作

17.4.1.3　割り込み要因

WDT0、WDT1には、表17.4に示す3つの割り込み要因があります。

各割り込み要因フラグは、その割り込み処理内で“0”にしてください。

また、OVFフラグが“1”になると、EOVFフラグは自動的に“0”になります。WTCNTとWTCNTEWの設定値が近接している場合、早期警告割り込みが不当にクリアされる可能性がありますので、

WTCNTEW設定値＋早期警告割り込み処理時間 ＜ WTCNT設定値

となる値を設定してください。

表17.4　WDT0、WDT1割り込み要因

割り込み要因	略称	割り込み要因フラグ	割り込み要求発生条件
インターバルタイマ割り込み	WOVI	OVF（注）	インターバルタイマモード時、WTCNTがオーバフローしたとき
	INT		インターバルタイマモード時、WTCNTがオーバフローしたとき（NMIEビット＝1のときのみ）
早期警告割り込み	EWI	EOVF	WTCNTEWがオーバフローしたとき

注. MOVI割り込み、INT割り込み要求発生時は、同じOVFフラグが“1”になりますが、割り込みベクタはそれぞれ個別に割り当てられています。詳細は、「10. 割り込みコントローラ（INTC）」を参照してください。

17.4.2　ABRT

ABRTは、SPIブートシーケンスの異常を検知するためのタイマです。

WDTFOT1、WDTFOT0端子にL,L以外のレベルが入力されているとき、ABRTはSPIブート中にWTCNT2のカウントを開始し、WTCNT2がオーバフローするとSPI0へのリセット信号とリブート信号を発生させて、リブートを開始します（ABR機能）。

ブート後のプログラムでTME＝0（WTCNT2カウント停止）とすることにより、ブートシーケンスが正常に実施されない場合はWTCNT2のカウントが停止せずにオーバフローし、リブートさせることができます。このとき、ADISビット（WDTABRCTRLレジスタのビット0）＝0であれば、リブートの度にブート領域（SPI0領域の上位半分/下位半分）を切り替えます。ADISビット＝1の場合は、前回のブート時と同じ領域からリブートします。

WTCNT2のオーバフロー時間は、22.4s、44.8s、89.5sから選択できます。

なお、ブートシーケンスが正常に行われた後はWTCNT2のカウントを停止し、必要に応じてWDT0又はWDT1を使用してシステムの暴走を監視してください。

また、SPI0については、「15. シリアルペリフェラルインタフェース0（SPI0）」を参照してください。

図17.5にABRTによるリブートタイミングを示します。

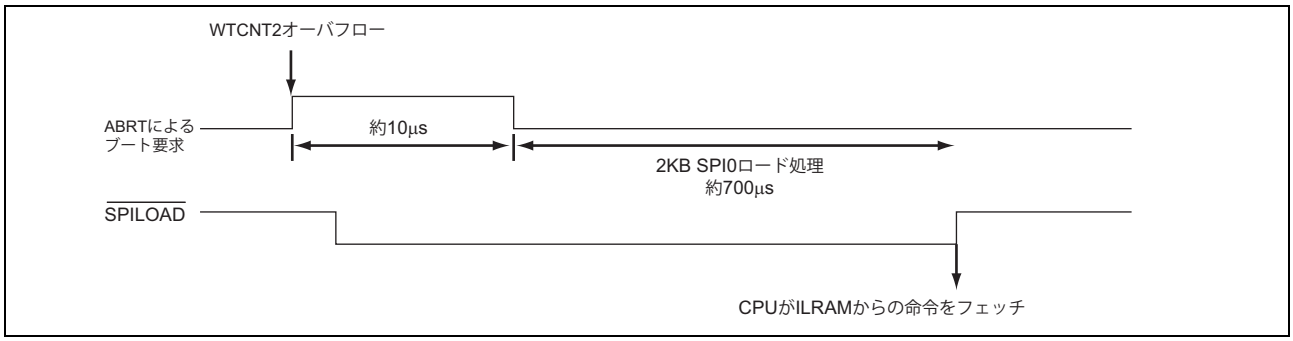


図 17.5　ABRTによるリブートタイミング

17.4.3　リセット

17.4.3.1　パワーオンリセット

1. 要因
   - 電源投入時（注1）
   - PRESET端子にLレベルを入力したとき
   - H-UDIリセットが発生したとき（「43. ユーザデバッグインタフェース（H-UDI）」参照）
2. 遷移先アドレス：H'A000 0000
3. パワーオンリセット動作：以下の動作がハードウェアで自動的に実行されます。
   - 例外コード(H'000)をEXPEVTにセット
   - VBR＝H'0000 0000(初期化)
   - SRレジスタ初期化
     MD、RB、BLビット（ビット30、29、28）＝1,1,1
     FDビット（ビット15）＝0
     IMASK3～IMASK0ビット（ビット7～4）＝1111
   - CPU及び周辺モジュールの初期化（注2）
   - PC＝H'A000 0000

注1. 電源投入時には、必ずPRESET端子にLレベルを入力してください。また、H-UDIを初期化するために、TRST端子にLレベルを入力してください。
2. パワーオンリセット後のレジスタ初期値については、各周辺モジュールの章を参照してください。

4. パワーオンリセットタイミング
   PRESET端子入力をLレベルからHレベルに変化させた後も、PLL発振安定時間を確保するために、内部でリセット状態を継続しています（EXTAL端子入力周期の5000サイクル未満）。
   図17.6にパワーオンリセット時の端子タイミング（電源投入時）、図17.7にパワーオンリセット時の端子タイミング（通常動作中及びスリープモード中）、図17.8にパワーオンリセットによるブートタイミングを示します。

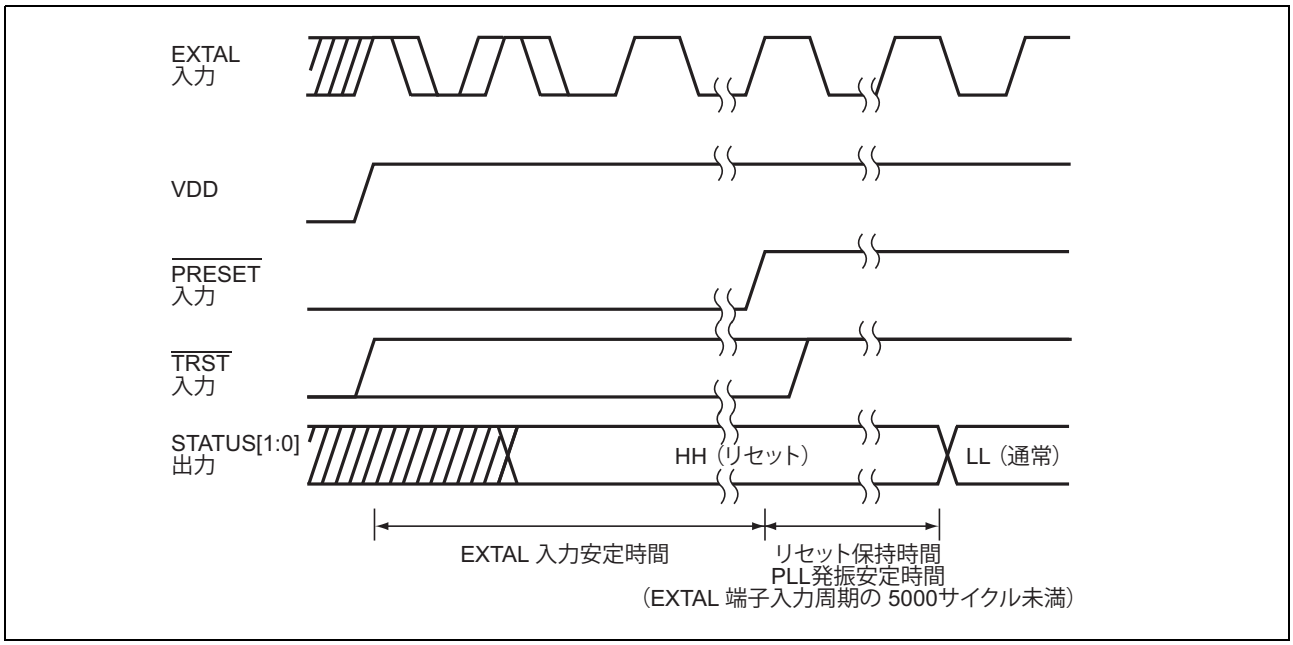


図 17.6　パワーオンリセット時の端子タイミング（電源投入時）

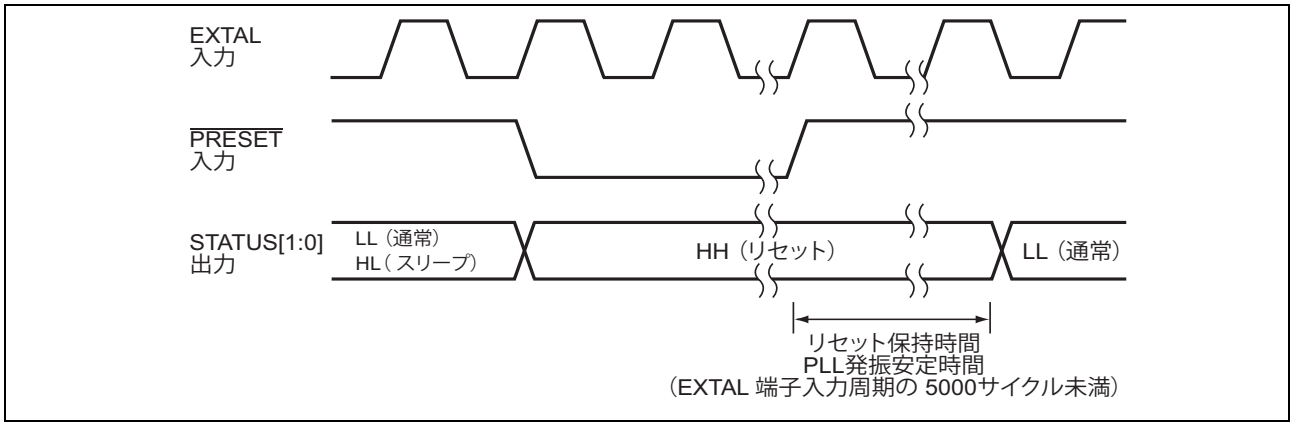


図 17.7　パワーオンリセット時の端子タイミング（通常動作中及びスリープモード中）

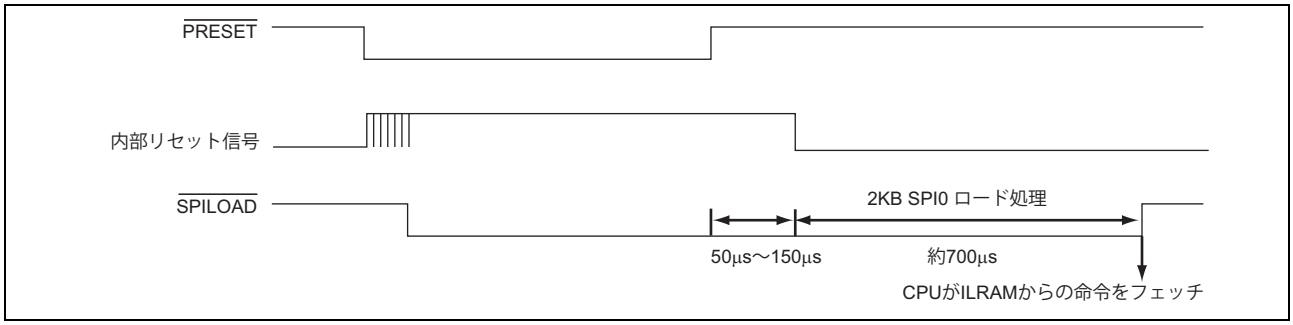


図 17.8　パワーオンリセットによるブートタイミング

17.4.3.2　マニュアルリセット

1. 要因
   ・WDT0又はWDT1のWDTCNTがオーバフローしたとき
   （WT/$\overline{IT}$ビット＝1かつRSTEビット＝1のとき）
   ・一般例外（ユーザブレークを除く）発生時（BLビット＝1のとき）

2. 遷移先アドレス：H'A000 0000

3. マニュアルリセット動作：以下の動作がハードウェアで自動的に実行されます。
   ・例外コード（H'020）をEXPEVTにセット
   ・VBR＝H'0000 0000（初期化）
   ・SRレジスタ初期化
   　MD、RB、BLビット（ビット30、29、28）＝1,1,1
   　FDビット（ビット15）＝0
   　IMASK3～IMASK0ビット（ビット7～4）＝1111
   ・CPU及び周辺モジュールの初期化（注）
   ・PC＝H'A000 0000

   注．　マニュアルリセット後のレジスタ初期値については、各周辺モジュールの章を参照してください。
   MRSTCR0～MRSTCR2の該当ビットを“0”にしたモジュールは、マニュアルリセットされません。

4. マニュアルリセットタイミング
   図17.9にマニュアルリセット時の端子タイミング、図17.10にマニュアルリセットによるリブートタイミングを示します。
   STATUS [1:0] 端子の出力タイミングは、Pckに同期しているため、EXTAL入力クロックとは非同期です。

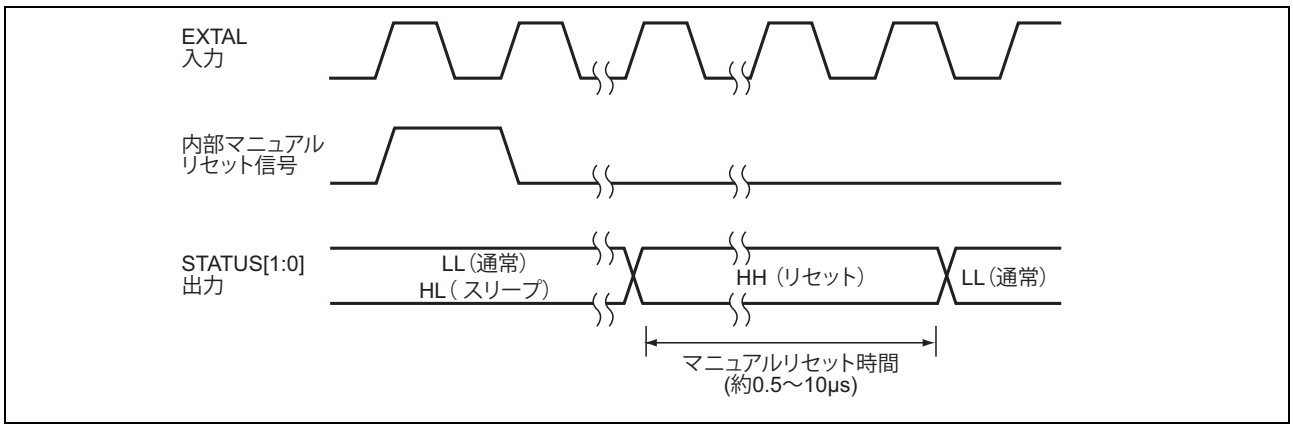


図 17.9　マニュアルリセット時の端子タイミング

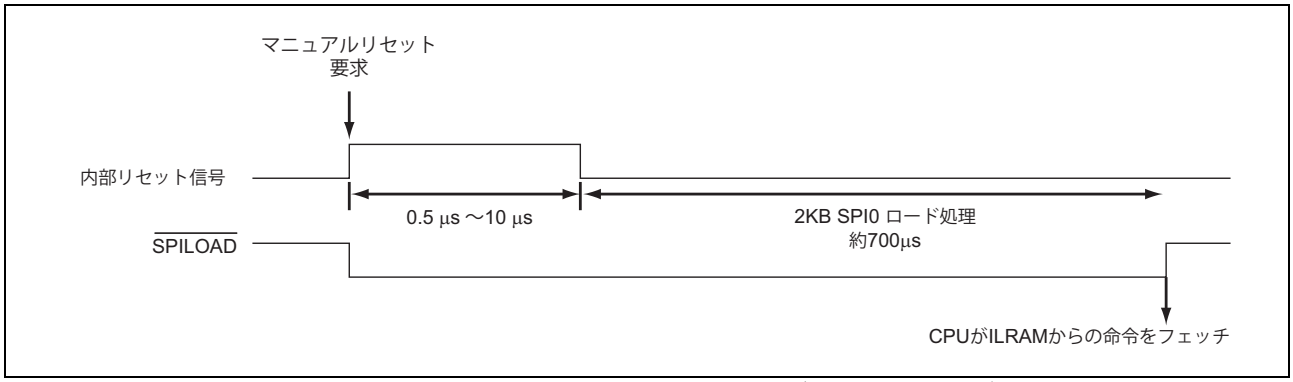


図 17.10　マニュアルリセットによるリブートタイミング

17.4.3.3　ソフトウエアリセット

SRSTR0～SRSTR2の該当ビットを“0”にすることで、任意のモジュールをリセットすることができます。ソフトウエアリセット後のレジスタ初期値については、各周辺モジュールの章を参照してください。

ソフトウエアリセットは、不具合によりモジュールが停止した場合に、各モジュールをリセットするために使用します。ただし、バスハングアップが発生する可能性がありますので、ソフトウエアリセットはデバッグ目的で使用してください。

17.4.4　BTC

BTCは、マニュアルリセット時のバスハングアップを検知するためのカウンタです。

マニュアルリセットが発生すると、BTCがカウントを開始します。BTCがH'0FF→H'100になると、RENAビット（BTCONTレジスタのビット4）＝1のとき、強制マニュアルリセットが発生し、リブートします。

マニュアルリセットが発生してから強制マニュアルリセットが発生するまでの時間は、10.6ms、42.7ms、170.7ms、1.4s、5.5s、21.8sから選択できます。

図17.11にBTCによる強制マニュアルリセットタイミングを示します。

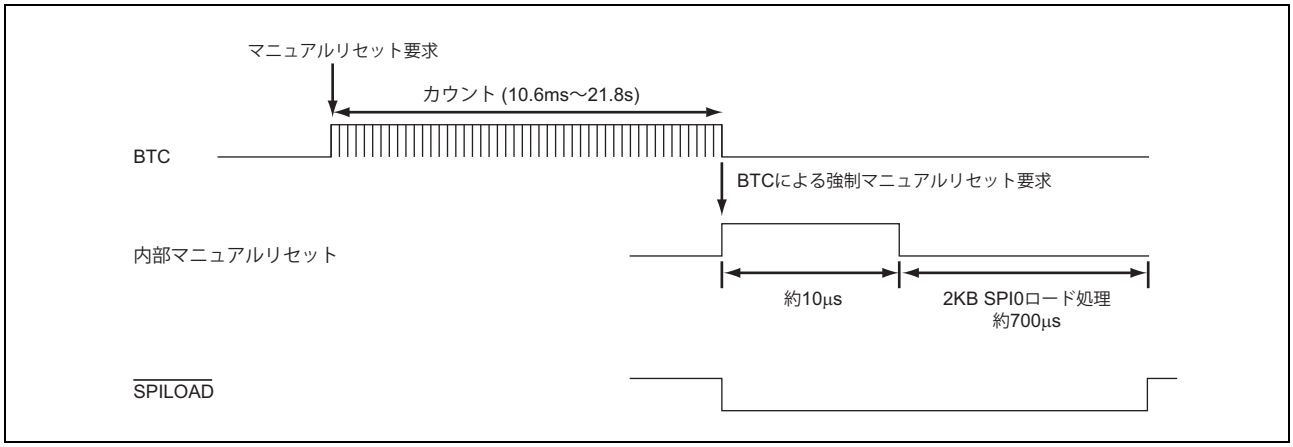


図 17.11　BTCによる強制マニュアルリセットタイミング

17.5　使用上の注意事項

17.5.1　WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み

WTCSR0～2、WRSTCSR0～2、WDTABRCTRL は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。これらのレジスタに設定するときは、図 17.12 に示すアドレスとデータを使用してワード単位で書き込んでください。バイト単位では書き込めません。

なお、これらのレジスタを読み出す場合は、バイト単位で読み出してください。

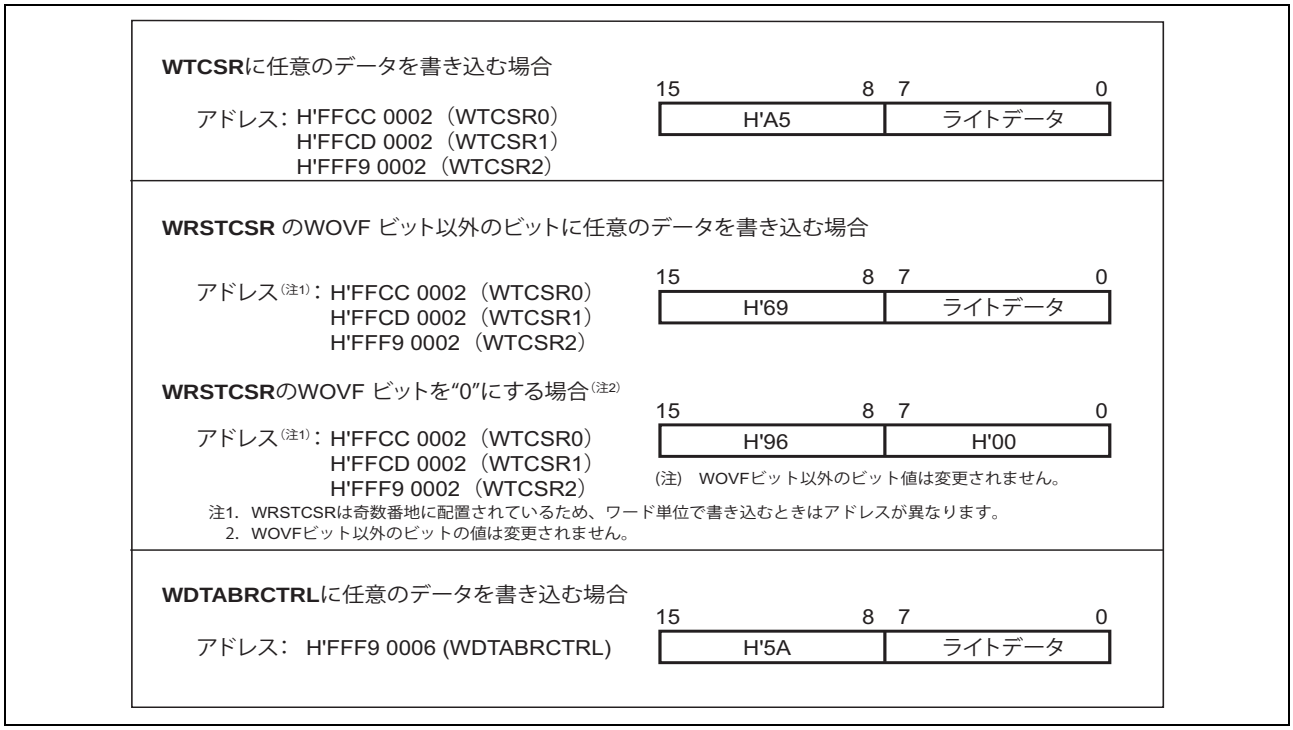


図 17.12　WTCSR0～2、WRSTCSR0～2、WDTABRCTRL への書き込み

17.5.2　タイマカウンタ（WTCNT）のライトとカウントアップの競合

WTCNT のライトサイクル中のT2 ステートでカウントアップが発生しても、カウントアップされずにWTCNTへのカウンタライトが優先されます。これを図17.13 に示します。

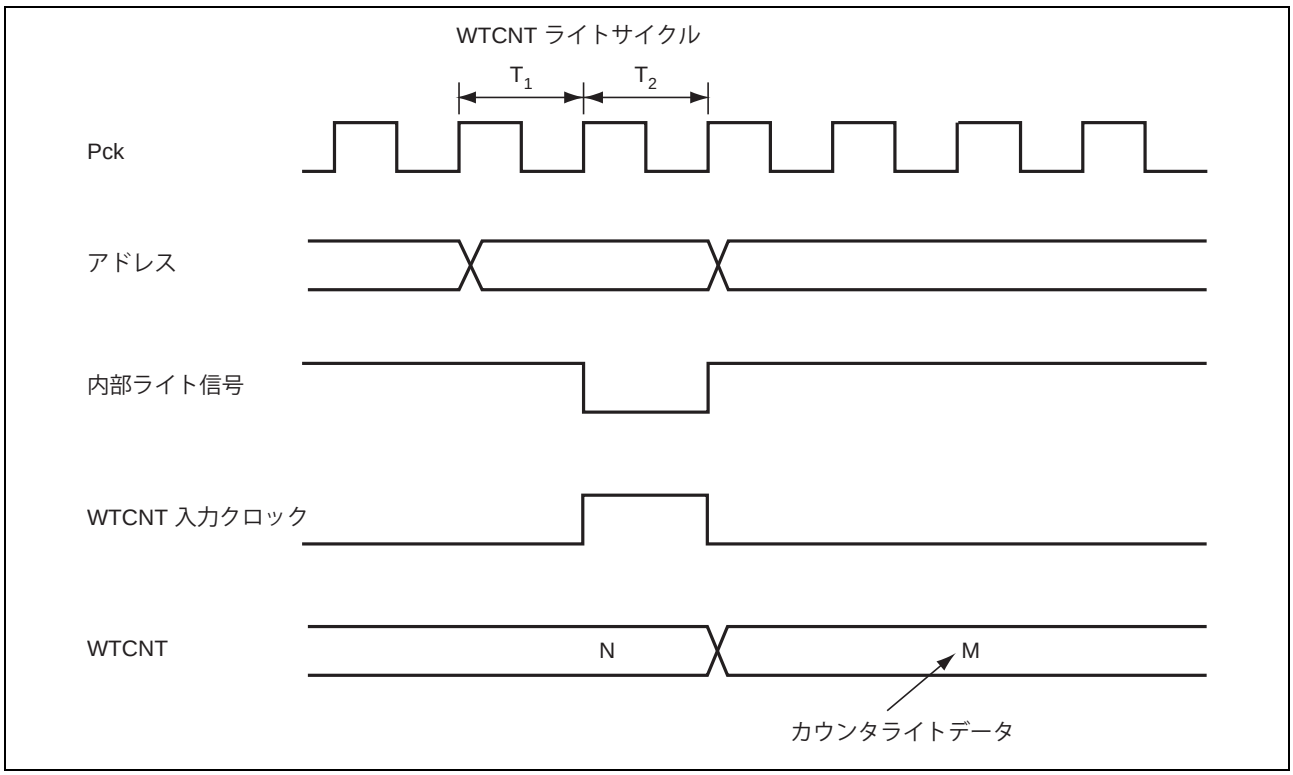


図 17.13　WTCNT のライトとカウントアップの競合

18. 低消費電力モード

低消費電力モードでは、内蔵モジュールの一部とCPUが機能を停止します。これによって、消費電力を低減させることができます。

18.1 特長

低消費電力モードには、次の2モードがあります。

- スリープモード
- モジュールストップモード

プログラム実行状態から各モードへ遷移する条件、各モードでのCPUや内蔵モジュールなどの状態、各モードの解除方法を表18.1に示します。

表18.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態					解除方法
		CPG	SH-4A	内蔵メモリ	内蔵モジュール	出力端子	
スリープ	SLEEP命令を実行	動作	停止（レジスタ内容は保持）	保持	動作	動作	・割り込み ・パワーオンリセット ・マニュアルリセット
モジュールストップ	MSTPCR0～MSTPCR2の該当ビットを1にする。	動作	動作	動作	指定モジュールが停止	直前の状態を保持	MSTPCR0～MSTPCR2の該当ビットを0にする。

18.2 入出力端子

低消費電力モード関連端子を表18.2に示します。

表18.2 端子構成

端子名	機能	入出力	説明		
STATUS1	SH7753動作状態	出力	STATUS1	STATUS0	動作状態
STATUS0			H	H	：リセット
			H	L	：スリープモード
			L	L	：通常動作

18.3　レジスタの説明

低消費電力モードのレジスタ構成を表18.3 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

なお、初期値と異なる値を書き込む必要のあるリザーブビットがありますので、注意してください。

表18.3　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
モジュールストップレジスタ0	MSTPCR0	R/W	H'FFC8 0030	32	H'0000 1000	保持
モジュールストップレジスタ1	MSTPCR1	R/W	H'FFC8 0034	32	H'0000 0000	保持
モジュールストップレジスタ2	MSTPCR2	R/W	H'FFC1 0028	32	H'0000 0000	保持

注.　モジュールストップレジスタ0～2 については、図16.1 も参照してください。

18.3.1　モジュールストップレジスタ0（MSTPCR0）

MSTPCR0 は、読み出し／書き込み可能な32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止（モジュールストップモード）の指定ができます。

MSTPCR0 は、ロングワード（32 ビット）アクセスのみ可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	DMAC	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SDHI	—	SPI0	EVC	RIIC
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～22	—	0	—	リザーブビット
21	DMAC	0	R/W	0：DMAC 動作 1：DMAC 停止（モジュールストップモード）（注）
20～13	—	0	—	リザーブビット
12	—	1	—	リザーブビット
11～5	—	0	—	リザーブビット
4	SDHI	0	R/W	0：SDHI動作 1：SDHI停止（モジュールストップモード）
3	—	0	—	リザーブビット（書き込む値は“1”にしてください）
2	SPI0	0	R/W	0：SPI0動作 1：SPI0停止（モジュールストップモード）
1	EVC	0	R/W	0：EVC動作 1：EVC停止（モジュールストップモード）

ビット	ビット名	初期値	R/W	説 明
0	RIIC	0	R/W	0：RIIC動作 1：RIIC停止（モジュールストップモード）

注. このビットを”1” にするときは、DMAC の転送動作が終了したこと（*）を確認してから行ってください。
また、DMACモジュールのストップモード移行中に、SLEEP命令を発行する場合は、SLEEP命令を発行する前にMSTPCR0 レジスタを2回ダミーリードしてください。

* DMEビット（DMAORレジスタのビット0）＝0、又はTEビット（CHCR0～23）のビット1）がすべて“1”。

18.3.2 モジュールストップレジスタ1（MSTPCR1）

MSTPCR1は、読み出し／書き込み可能な32ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR1は、ロングワードアクセスのみ可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	PCIEC	—		RSPI	SPI1	—	—	ETHER	ARC4	FRT	CRC	—	TMR45	TMR23	TMR01
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	—		R/W	R/W	—	—	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRYPTO ENGINE	TMU1	TMU0	SCIF4	SCIF3	SCIF2	ADC1	ADC0	PWMX 23	PWMX 01	SCIF1	SCIF0	USB1	USB0	PWMX 67	PWMX 45
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	—	0	—	リザーブビット
30	PCIEC	0	R/W	0：PCIEC動作 1：PCIEC停止（モジュールストップモード）
29	—	0	—	リザーブビット（書き込む値は“1”にしてください）
28	SIM	0	R/W	0：SIM動作 1：SIM停止（モジュールストップモード）
27	RSPI	0	R/W	0：RSPI 動作 1：RSPI 停止（モジュールストップモード）
26	SPI1	0	R/W	0：SPI1動作 1：SPI1停止（モジュールストップモード）
25	—	0	—	リザーブビット
24	—	0	—	リザーブビット（書き込む値は“1”にしてください）
23	ETHER	0	R/W	0：ETHER0、1 動作 1：ETHER0、1 停止（モジュールストップモード）
22	ARC4	0	R/W	0：ARC4 動作 1：ARC4 停止（モジュールストップモード）
21	FRT	0	R/W	0：FRT 動作 1：FRT 停止（モジュールストップモード）
20	CRC	0	R/W	0：CRC 動作 1：CRC 停止（モジュールストップモード）
19	—	0	—	リザーブビット（書き込む値は“1”にしてください）
18	TMR45	0	R/W	0：TMR チャネル4、5 動作 1：TMR チャネル4、5 停止（モジュールストップモード）
17	TMR23	0	R/W	0：TMR チャネル2、3 動作 1：TMR チャネル2、3 停止（モジュールストップモード）
16	TMR01	0	R/W	0：TMR チャネル0、1 動作 1：TMR チャネル0、1 停止（モジュールストップモード）

ビット	ビット名	初期値	R/W	説 明
15	CRYPTO ENGINE	0	R/W	0：CRYPTO ENGINE 動作 1：CRYPTO ENGINE 停止（モジュールストップモード）
14	TMU1	0	R/W	0：TMU チャネル3～5 動作 1：TMU チャネル3～5 停止（モジュールストップモード）
13	TMU0	0	R/W	0：TMU チャネル0～2 動作 1：TMU チャネル0～2 停止（モジュールストップモード）
12	SCIF4	0	R/W	0：SCIF4 動作 1：SCIF4 停止（モジュールストップモード）
11	SCIF3	0	R/W	0：SCIF3 動作 1：SCIF3 停止（モジュールストップモード）
10	SCIF2	0	R/W	0：SCIF2 動作 1：SCIF2 停止（モジュールストップモード）
9	ADC1	0	R/W	0：ADC1 動作 1：ADC1 停止（モジュールストップモード）
8	ADC0	0	R/W	0：ADC0 動作 1：ADC0 停止（モジュールストップモード）
7	PWMX23	0	R/W	0：PWMX チャネル2、3 動作 1：PWMX チャネル2、3 停止（モジュールストップモード）
6	PWMX01	0	R/W	0：PWMX チャネル0、1 動作 1：PWMX チャネル0、1 停止（モジュールストップモード）
5	SCIF1	0	R/W	0：SCIF1 動作 1：SCIF1 停止（モジュールストップモード）
4	SCIF0	0	R/W	0：SCIF0 動作 1：SCIF0 停止（モジュールストップモード）
3	USB1	0	R/W	0：USB1 動作 1：USB1 停止（モジュールストップモード）
2	USB0	0	R/W	0：USB0 動作 1：USB0 停止（モジュールストップモード）
1	PWMX67	0	R/W	0：PWMX チャネル6、7 動作 1：PWMX チャネル6、7 停止（モジュールストップモード）
0	PWMX45	0	R/W	0：PWMX チャネル4、5 動作 1：PWMX チャネル4、5 停止（モジュールストップモード）

18.3.3 モジュールストップレジスタ 2（MSTPCR2）

MSTPCR2 は、読み出し／書き込み可能な32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR2 は、ロングワードアクセスのみ可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	GETHER	PWMU	eMMC	—	ECD	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	—	R/W	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SCIF0/SCIF1	—	—	USPHY	—	—	—	SGPIO	PBI	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	—	—	R/W	—	—	—	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 23	—	0	—	リザーブビット
22	GETHER	0	R/W	0：GETHER 動作 1：GETHER 停止（モジュールストップモード）
21	PWMU	0	R/W	0：PWMU 動作 1：PWMU 停止（モジュールストップモード）
20	eMMC	0	R/W	0：eMMC動作 1：eMMC停止（モジュールストップモード）
19	—	0	—	リザーブビット（書き込む値は“1”にしてください）
18	ECD	0	R/W	0：ECD動作 1：ECD停止（モジュールストップモード）
17、16	—	0	—	リザーブビット（書き込む値は“1”にしてください）
15～10	—	0	—	リザーブビット
9	SCIF0/SCIF1	0	R/W	0：SCIF0/SCIF1動作 1：SCIF0/SCIF1停止（モジュールストップモード）
8、7	—	0	—	リザーブビット
6	USPHY	0	R/W	0：USB-PHY動作 1：USB-PHY停止（モジュールストップモード）
5	—	0	—	リザーブビット
4、3	—	0	—	リザーブビット（書き込む値は“1”にしてください）
2	SGPIO	0	R/W	0：SGPIO動作 1：SGPIO停止（モジュールストップモード）
1	PBI	0	R/W	0：PBI動作 1：PBI停止（モジュールストップモード）
0	—	0	—	リザーブビット

18.4 スリープモード

18.4.1 スリープモードへの遷移

プログラム実行状態でSLEEP命令を実行すると、スリープモードへ移行します。CPUはSLEEP命令実行後に停止しますが、CPUのレジスタ内容は保持されます。

CPU以外の内蔵モジュールは動作を続けます。また、CLKOUT端子からはクロックが出力されつづけます。

スリープモードでは、STATUS1端子からHレベルが、STATUS0端子からLレベルが出力されます。

18.4.2 スリープモードの解除

スリープモードは、割り込み（NMI、IRQ/$\overline{\text{IRL}}$[7:0]、内蔵モジュール）、及びリセットにより解除されます。

スリープモード中は、BLビット（SRレジスタのビット28）が1でも、割り込みを受け付けます。必要に応じて、SLEEP命令実行前にSPC、SSR等をスタックに退避してください。

(1) 割り込みによる解除

NMI、IRQ7/$\overline{\text{IRL7}}$～IRQ0/$\overline{\text{IRL0}}$

、内蔵モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVTレジスタには、割り込み要因に対応したコードがセットされます。

(2) リセットによる解除

$\overline{\text{PRESET}}$端子によるパワーオンリセット、及びウォッチドッグタイマオーバフロー時に発生するマニュアルリセットにより、スリープモードは解除されます。

18.5 モジュールストップモード

18.5.1 モジュールストップモードへの遷移

モジュールストップレジスタ（MSTPCR0～2）の各ビットに1をセットすることで、それぞれ対応した内蔵モジュールへのクロック供給を停止させることができます。

モジュールストップ状態にある各モジュールは、モジュールストップ状態に遷移する直前の状態が保持されます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールストップ状態から復帰すると、停止前の状態から動作を開始します。

注. モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態でビットに1をセットしてください。
なお、A/Dデータレジスタの内容は保持されません。

18.5.2 モジュールストップモードの解除

モジュールストップモードの解除は、モジュールストップレジスタ（MSTPCR0～2）の各ビットを0にするか、又はパワーオンリセットにより行います。

18.6 STATUS 端子の変化タイミング

18.6.1 リセットの場合

「17.5 リセット中の端子タイミング」を参照してください。

18.6.2 スリープ解除の場合

スリープモード中に割り込みが発生した場合のSTATUS 端子の変化タイミングを図18.1 に示します。

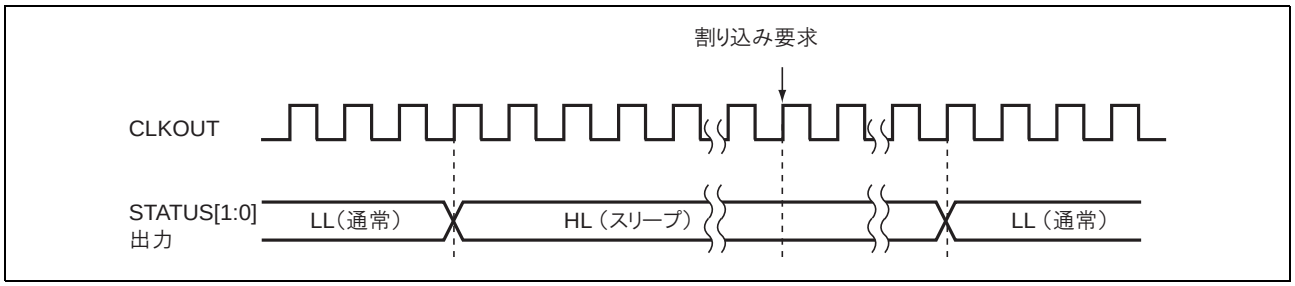


図 18.1 スリープモード中に割り込みが発生した場合のSTATUS 出力

19. 14 ビットPWM タイマ（PWMX）

本LSI は8 チャネルの14 ビットPWM（Pulse Width Modulation）を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビットD/A 変換器として使用できます。

19.1 特長

- リップルの少ないパルス分割方式
- 13種類の分解能を選択可能
  周辺クロック周波数の1、2、4、8、12、16、32、64、128、256、1024、4096、16384分周
- 2種類の基本周期を設定可能
  基本周期 T×64
  基本周期 T×256（T＝分解能）
- 26種類の動作クロック（基本周期2種類×分解能13種類）を選択可能

PWMX（D/A）のブロック図を図 19.1に示します。

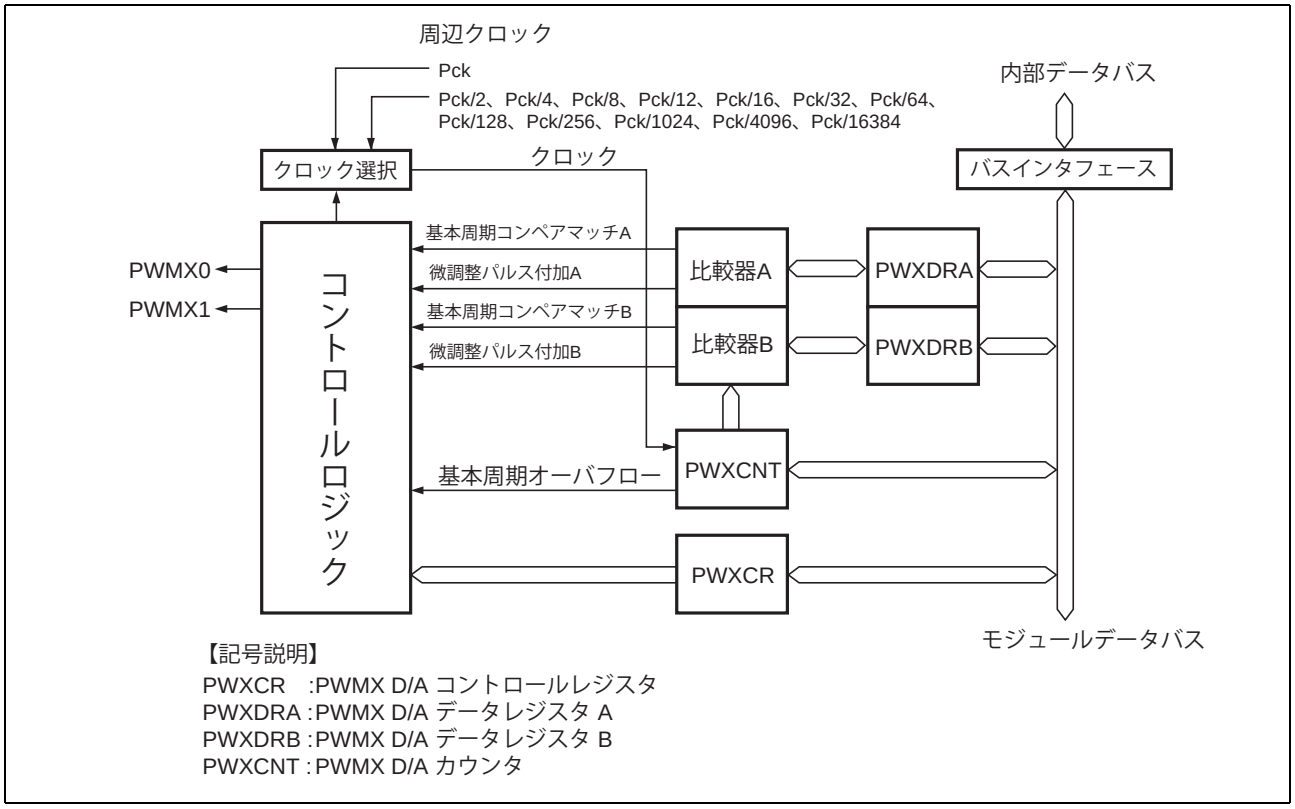


図 19.1　PWMX（D/A）のブロック図

19.2 入出力端子

PWMX（D/A）の入出力端子を表19.1 に示します。

表19.1 端子構成

ユニット	名 称	記号	入出力	機 能
0	PWMX 出力端子 0	PWMX0	出力	PWMX_0 チャネルA のPWM 出力
	PWMX 出力端子 1	PWMX1	出力	PWMX_0 チャネルB のPWM 出力
1	PWMX 出力端子 2	PWMX2	出力	PWMX_1 チャネルA のPWM 出力
	PWMX 出力端子 3	PWMX3	出力	PWMX_1 チャネルB のPWM 出力
2	PWMX 出力端子 4	PWMX4	出力	PWMX_2 チャネルA のPWM 出力
	PWMX 出力端子 5	PWMX5	出力	PWMX_2 チャネルB のPWM 出力
3	PWMX 出力端子 6	PWMX6	出力	PWMX_3 チャネルA のPWM 出力
	PWMX 出力端子 7	PWMX7	出力	PWMX_3 チャネルB のPWM 出力

19.3 レジスタの説明

PWMX（D/A）のレジスタ構成を表19.2に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表19.2 レジスタ構成

ユニット	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
0	PWMX (D/A) カウンタ 0	PWXCNT0	R/W	H'FFF0 0006	16	H'0003	H'0003	H'0003
	PWMX (D/A) データレジスタA0	PWXDRA0	R/W	H'FFF0 0000	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A) データレジスタ B0	PWXDRB0	R/W	H'FFF0 0006	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A) コントロールレジスタ 0	PWXCR0	R/W	H'FFF0 0000	8	H'30	H'30	H'30
1	PWMX (D/A) カウンタ 1	PWXCNT1	R/W	H'FFF1 0006	16	H'0003	H'0003	H'0003
	PWMX (D/A) データレジスタ A1	PWXDRA1	R/W	H'FFF1 0000	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A) データレジスタ B1	PWXDRB1	R/W	H'FFF1 0006	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A) コントロールレジスタ 1	PWXCR1	R/W	H'FFF1 0000	8	H'30	H'30	H'30
2	PWMX (D/A) カウンタ 2	PWXCNT2	R/W	H'FFF4 0006	16	H'0003	H'0003	H'0003
	PWMX (D/A) データレジスタA2	PWXDRA2	R/W	H'FFF4 0000	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A) データレジスタ B2	PWXDRB2	R/W	H'FFF4 0006	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A) コントロールレジスタ 2	PWXCR2	R/W	H'FFF4 0000	8	H'30	H'30	H'30
3	PWMX (D/A) カウンタ3	PWXCNT3	R/W	H'FFF5 0006	16	H'0003	H'0003	H'0003
	PWMX (D/A) データレジスタ A3	PWXDRA3	R/W	H'FFF5 0000	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A) データレジスタ B3	PWXDRB3	R/W	H'FFF5 0006	16	H'FFFF	H'FFFF	H'FFFF
	PWMX (D/A)コントロールレジスタ 3	PWXCR3	R/W	H'FFF5 0000	8	H'30	H'30	H'30
共通	周辺クロックセレクトレジスタ 0	PCSR0	R/W	H'FFF2 0000	8	H'00	H'00	H'00
	周辺クロックセレクトレジスタ1	PCSR1	R/W	H'FFF2 0001	8	H'00	H'00	H'00

注. PWXDRAとPWXCR、PWXDRBとPWXCNTのアドレスは同一です。レジスタの切り替えはPWXCNT又はPWXDRBのREGS ビットで行います。

19.3.1 PWMX（D/A）カウンタ（PWXCNT）

PWXCNT は14 ビットのリード／ライト可能なアップカウンタです。入力クロックはPWXCR のCKS ビットにより選択します。PWXCNT は、2 チャネルのPWMX（D/A）のタイムベースとして使用されます。14 ビット精度で使用する場合には全ビットを、12 ビット精度で使用する場合には上位2 ビットを無視し、下位12 ビットを利用します。PWXCNT は8 ビット単位のアクセスはできません。常に16 ビット単位でアクセスしてください。詳細は「19.4 バスマスタとのインタフェース」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UC7	UC6	UC5	UC4	UC3	UC2	UC1	UC0	UC8	UC9	UC10	UC11	UC12	UC13	—	REGS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	UC7 ～UC0	0	R/W	下位アップカウンタ
7 ～ 2	UC8 ～ UC13	0	R/W	上位アップカウンタ
1	—	1	—	リザーブビット
0	REGS	1	R/W	レジスタセレクト PWXDRA とPWXCR、PWXDRB とPWXCNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。これらのレジスタを変更する場合には、あらかじめこのビットを設定してから行ってください。 0：PWXDRA とPWXDRB がアクセス可能 1：PWXCR とPWXCNT がアクセス可能

19.3.2　PWMX（D/A）データレジスタA、B（PWXDRA、PWXDRB）

PWXDRA はPWMX（D/A）チャネルA に、PWXDRB はPWMX（D/A）チャネルB に対応します。PWXDR は8 ビット単位のアクセスはできません。常に16 ビット単位でアクセスしてください。詳細は「19.4 バスマスタとのインタフェース」を参照してください。

- PWXDRA

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	CFS	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

- PWXDRB

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- PWXDRA

ビット	ビット名	初期値	R/W	説 明
15～2	DA13 ～ DA0	1	R/W	D/A データ13～0 D/A 変換データを設定します。このレジスタの値はPWXCNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は本レジスタのCFS ビットによって設定します。範囲外の値を設定するとPWM出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ0 に固定します。 この下位2 ビットデータはUC12又はUC13 ビット（PWXCNT レジスタのビット3、2）との比較を行いません。
1	CFS	1	R/W	キャリアフリーケンシセレクト 0：基本周期＝分解能（T）×64 で動作 DA13～DA0 の値の範囲はH'0100～H'3FFF 1：基本周期＝分解能（T）×256 で動作 DA13～DA0 の値の範囲はH'0040～H'3FFF
0	—	1	—	リザーブビット

• PWXDRB

ビット	ビット名	初期値	R/W	説 明
15～2	DA13 ～ DA0	1	R/W	D/A データ 13～0 D/A 変換データを設定します。このレジスタの内容は、PWXCNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は本レジスタのCFS ビットによって設定します。範囲外の値をPWXDR に設定するとPWM 出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ0 に固定します。 この2 ビットデータはUC12 又はUC13 ビット（PWXCNT レジスタのビット3、2）との比較を行いません。
1	CFS	1	R/W	キャリアフリーケンシセレクト 0：基本周期＝分解能（T）×64 で動作 DA13～DA0 の値の範囲はH'0100～H'3FFF 1：基本周期＝分解能（T）×256 で動作 DA13～DA0 の値の範囲はH'0040～H'3FFF
0	REGS	1	R/W	レジスタセレクト PWXDRA とPWXCR、PWXDRB とPWXCNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。これらのレジスタを変更する場合には、あらかじめこのビットを設定してから行ってください。 0：PWXDRA とPWXDRB がアクセス可能 1：PWXCR とPWXCNT がアクセス可能

19.3.3　PWMX（D/A）コントロールレジスタ（PWXCR）

PWXCR は、出力の許可、出力位相及び動作速度を選択します。

ビット：	7	6	5	4	3	2	1	0
	—	PWME	—	—	OEB	OEA	OS	CKS
初期値：	0	0	1	1	0	0	0	0
R/W：	—	R/W	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	PWME	0	R/W	PWMX イネーブル PWXCNT の動作／停止を選択します。 0：PWXCNT は14 ビットのアップカウンタとして動作 1：PWXCNT＝H'0003 で停止
5、4	—	1	—	リザーブビット
3	OEB	0	R/W	アウトプットイネーブルB PWMX（D/A）チャネルB の出力の許可／禁止を選択します。 0：PWMX（D/A）チャネルB 出力（PWX1、PWX3、PWX5、PWX7 出力端子）を禁止 1：PWMX（D/A）チャネルB 出力（PWX1、PWX3、PWX5、PWX7 出力端子）を許可
2	OEA	0	R/W	アウトプットイネーブルA PWMX（D/A）チャネルA の出力の許可／禁止を選択します。 0：PWMX（D/A）チャネルA 出力（PWX0、PWX2、PWX4、PWX6 出力端子）を禁止 1：PWMX（D/A）チャネルA 出力（PWX0、PWX2、PWX4、PWX6 出力端子）を許可
1	OS	0	R/W	アウトプットセレクト PWMX(D/A)の出力位相を選択します。 0：PWMX（D/A）直接出力 1：PWMX（D/A）反転出力
0	CKS	0	R/W	クロックセレクト PWMX（D/A）の分解能を選択します。分解能は13 種類から選択できます。 0：分解能（T）＝周辺クロック周期（Pck）で動作 1：分解能（T）＝周辺クロック周期（Pck）の2、4、8、12、16、32、64、128、256、1024、4096、16384分周 で動作

19.3.4　周辺クロックセレクトレジスタ0（PCSR0）

PCSR0 は、PWXCR1、PWXCR0 のCKS ビットとあわせてPWMX_1、PWMX_0 の動作速度を選択します。

ビット:	7	6	5	4	3	2	1	0
	PWCKX 1B	PWCKX 1A	PWCKX 0B	PWCKX 0A	PWCKX 1C	PWCKX 1D	PWCKX 0D	PWCKX 0C
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	PWCKX1B、PWCKX1A	00	R/W	PWMX_1 クロックセレクト PWMX_1 のCKSビット（PWXCR レジスタのビット0）が1 の状態でクロックを選択します。表19.3 を参照してください。
5、4	PWCKX0B、PWCKX0A	00	R/W	PWMX_0 クロックセレクト PWMX_0 のCKSビット が1 の状態でクロックを選択します。表19.3 を参照してください。
3	PWCKX1C	0	R/W	PWMX_1 クロックセレクト PWMX_1 のCKS ビットが1 の状態でクロックを選択します。表19.3 を参照してください。
2	PWCKX1D	0	R/W	PWMX_1 クロックセレクト PWMX_1 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。
1	PWCKX0D	0	R/W	PWMX_0 クロックセレクト PWMX_0 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。
0	PWCKX0C	0	R/W	PWMX_0 クロックセレクト PWMX_0 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。

19.3.5　周辺クロックセレクトレジスタ1（PCSR1）

PCSR1 は、PWXCR3、PWXCR2 のCKS ビットとあわせてPWMX_3、PWMX_2 の動作速度を選択します。

ビット:	7	6	5	4	3	2	1	0
	PWCKX3B	PWCKX3A	PWCKX2B	PWCKX2A	PWCKX3C	PWCKX3D	PWCKX2D	PWCKX2C
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	PWCKX3B、PWCKX3A	00	R/W	PWMX_3 クロックセレクト PWMX_3 のCKSビット（PWXCR レジスタのビット0）が1 の状態でクロックを選択します。表19.3 を参照してください。
5、4	PWCKX2B、PWCKX2A	00	R/W	PWMX_2 クロックセレクト PWMX_2 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。
3	PWCKX3C	0	R/W	PWMX_3 クロックセレクト PWMX_3 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。
2	PWCKX3D	0	R/W	PWMX_3 クロックセレクト PWMX_3 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。
1	PWCKX2D	0	R/W	PWMX_2 クロックセレクト PWMX_2 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。
0	PWCKX2C	0	R/W	PWMX_2 クロックセレクト PWMX_2 のCKS ビットが1 の状態でクロックを選択します。表19.3を参照してください。

表19.3　クロック選択

PWCKX0D PWCKX1D PWCKX2D PWCKX3D	PWCKX0C PWCKX1C PWCKX2C PWCKX3C	PWCKX0B PWCKX1B PWCKX2B PWCKX3B	PWCKX0A PWCKX1A PWCKX2A PWCKX3A	分解能（T）
0	0	0	0	周辺クロック（Pck）/ 2で動作
0	0	0	1	周辺クロック（Pck）/ 64で動作
0	0	1	0	周辺クロック周期（Pck）/ 128で動作
0	0	1	1	周辺クロック周期（Pck）/ 256で動作
0	1	0	0	周辺クロック周期（Pck）/ 1024で動作
0	1	0	1	周辺クロック周期（Pck）/ 4096で動作
0	1	1	0	周辺クロック周期（Pck）/ 16384で動作
0	1	1	1	設定禁止
1	0	0	0	周辺クロック周期（Pck）/ 4で動作
1	0	0	1	周辺クロック周期（Pck）/ 8で動作
1	0	1	0	周辺クロック周期（Pck）/ 16で動作
1	0	1	1	周辺クロック周期（Pck）/ 32で動作
1	1	0	0	周辺クロック周期（Pck）/ 12で動作
1	1	0	1	設定禁止
1	1	1	0	設定禁止
1	1	1	1	設定禁止

19.4 バスマスタとのインタフェース

PWXCNT、PWXDRA、PWXDRB は16 ビットのレジスタです。一方、バスマスタとPWMX モジュールの間のデータバスは8 ビット幅です。したがって、バスマスタは8ビットのテンポラリレジスタ（TEMP）を介してこれらのレジスタをアクセスします。各レジスタのリード／ライトは次のような動作で行われます。

(1) **レジスタへのライト動作**

上位バイトのライトにより、上位バイトのデータがTEMP にストアされます。次に下位バイトのライトにより、TEMP にある上位バイトの値と合わせて16 ビットデータとしてレジスタにライトされます。

(2) **レジスタからのリード動作**

上位バイトのリードにより、上位バイトの値はCPU に転送され、下位バイトの値はTEMP に転送されます。次に下位バイトのリードにより、TEMP にある下位バイトの値がCPU に転送されます。

これらのレジスタのアクセスはMOV 命令を使用して常に16 ビット単位で行い、上位バイト、下位バイトの順序で行ってください。上位バイトのみ、下位バイトのみのアクセスではデータは正しく転送されません。

例1. PWXCNT へのライト

```
MOV.W R0, @PWXCNT       PWXCNT へR0 の内容をライト
```

例2. PWXDRA のリード

```
MOV.W @PWXDRA, R0       PWXDRA の内容をR0 に転送
```

19.5　動作説明

PWMX0～6 端子からは、図 19.2 に示すようなPWM 波形が出力されます。1 変換周期中に発生するパルス（CFS＝0の場合256 個、CFS＝1 の場合64 個）のL(0) レベル幅の合計（T_L）がPWXDR のDA13～DA0 と対応しています。OS＝0 の場合、この波形が直接出力されます。OS＝1 の場合、この波形が反転して出力されます。このとき H(1) レベル幅の合計（T_H）が PWXDR の DA13～DA0 と対応しています。出力波形を図 19.3、図 19.4に示します。

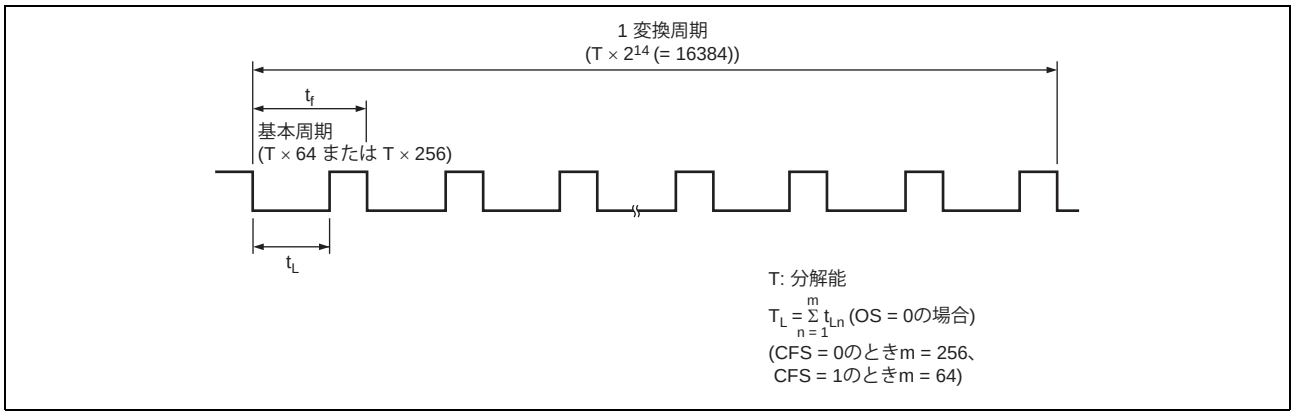


図 19.2　PWMX（D/A）の動作

CKS、CFS の設定と、分解能、基本周期、変換周期との関係を表 19.4 に示します。PWXDR の DA13～DA0 がある値以上でないと PWM 出力は固定レベルとなります。また、OS ビットと出力波形の関係を図 19.3 、図 19.4に示します。

表19.4　設定値と動作内容 （Pck = 33MHz 時の例）

PCSR PWCKX0～PWCKX3 D	C	B	A	CKS	分解能T (μs)	CFS	基本周期	変換周期	TL/TH (OS = 0 / OS = 1)	変換精度（ビット数）	ビットデータ DA3	DA2	DA1	DA0	変換周期（注） (ms)
—	—	—	—	0	0.02 (Pck)	0	1.33 (μs) /750.0kHz	341.33 (μs)	常時L/Hレベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	0.34
										12	—	—	0	0	0.08
										10	0	0	0	0	0.02
						1	5.33 (μs) /187.5kHz	341.33 (μs)	常時L/Hレベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	0.34
										12	—	—	0	0	0.08
										10	0	0	0	0	0.02
0	0	0	0	1	0.04 (Pck/2)	0	2.66 (μs) /375.0kHz	682.66 (μs)	常時L/Hレベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	0.68
										12	—	—	0	0	0.17
										10	0	0	0	0	0.04
						1	10.66 (μs) /93.7kHz	682.66 (μs)	常時L/Hレベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	0.68
										12	—	—	0	0	0.17
										10	0	0	0	0	0.04
0	0	0	1	1	1.33 (Pck/64)	0	85.33 (μs) /11.7kHz	21.84 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	21.84
										12	—	—	0	0	5.46
										10	0	0	0	0	1.36
						1	341.33 (μs) /2.9kHz	21.84 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	21.84
										12	—	—	0	0	5.46
										10	0	0	0	0	1.36
0	0	1	0	1	2.66 (Pck/128)	0	170.66 (μs) /5.8kHz	43.69 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	43.69
										12	—	—	0	0	10.92
										10	0	0	0	0	2.73
						1	682.66 (μs) /1.4kHz	43.69 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	43.69
										12	—	—	0	0	10.92
										10	0	0	0	0	2.73
0	0	1	1	1	5.33 (Pck/256)	0	341.33 (μs) /2.9kHz	87.38 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	87.38
										12	—	—	0	0	21.84
										10	0	0	0	0	5.46
						1	1365.33 (μs) /0.7kHz	87.38 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	87.38
										12	—	—	0	0	21.84
										10	0	0	0	0	5.46
0	1	0	0	1	21.33 (Pck/1024)	0	1.36 (ms) /732.4Hz	349.52 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	349.52
										12	—	—	0	0	87.38
										10	0	0	0	0	21.84
						1	5.46 (ms) /183.1Hz	349.52 (ms)	常時L/Hレベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	349.52
										12	—	—	0	0	87.38
										10	0	0	0	0	21.84

PCSR PWCKX0 ～ PWCKX3 D	C	B	A	CKS	分解能T (μs)	CFS	基本周期	変換周期	TL/TH (OS = 0 / OS = 1)	変換精度（ビット数）	ビットデータ DA3	DA2	DA1	DA0	変換周期（注） (ms)
0	1	0	1	1	85.33 (Pck/4096)	0	5.46 (ms) /183.1Hz	1.39 (s)	常時L/H レベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	1398.10
										12	—	—	0	0	349.52
										10	0	0	0	0	87.38
						1	21.84 (ms) /45.7Hz	1.39 (s)	常時L/H レベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	1398.10
										12	—	—	0	0	349.52
										10	0	0	0	0	87.38
0	1	1	0	1	341.33 (Pck/16384)	0	21.84 (ms) /45.7Hz	5.59 (s)	常時L/H レベル出力 DA13～0＝H'0000～H'00FF （データ値）×T DA13～0＝H'0100～H'3FFF	14	—	—	—	—	5592.40
										12	—	—	0	0	1398.10
										10	0	0	0	0	349.52
						1	87.38 (ms) /11.4Hz	5.59 (s)	常時L/H レベル出力 DA13～0＝H'0000～H'003F （データ値）×T DA13～0＝H'0040～H'3FFF	14	—	—	—	—	5592.40
										12	—	—	0	0	1398.10
										10	0	0	0	0	349.52
0	1	1	1	1	禁止	—	—	—	—	—	—	—	—	—	—
1	0	0	0	1	0.08 (Pck/4)	0	5.33 (μs) /187.5kHz	1.36 (ms)	常時L/H レベル出力 DA13 ～ 0 = H'0000 ～H'00FF （データ値）× T DA13 ～0 = H'0100 ～H'3FFF	14	—	—	—	—	1.36
										12	—	—	0	0	0.34
										10	0	0	0	0	0.08
						1	21.33 (μs) /46.8kHz	1.36 (ms)	常時L/H レベル出力 DA13 ～ 0 = H'0000 ～H'003F （データ値）× T DA13 ～0 = H'0040 ～H'3FFF	14	—	—	—	—	1.36
										12	—	—	0	0	0.34
										10	0	0	0	0	0.08
1	0	0	1	1	0.16 (Pck/8)	0	10.66 (μs) /93.7kHz	2.73 (ms)	常時L/H レベル出力 DA13 ～0 = H'0000 ～ H'00FF （データ値）× T DA13 ～0 = H'0100 ～H'3FFF	14	—	—	—	—	2.73
										12	—	—	0	0	0.68
										10	0	0	0	0	0.17
						1	42.66 (μs) /23.4kHz	2.73 (ms)	常時L/H レベル出力 DA13 ～ 0 = H'0000 ～H'003F （データ値）× T DA13 ～0 = H'0040 ～H'3FFF	14	—	—	—	—	2.73
										12	—	—	0	0	0.68
										10	0	0	0	0	0.17
1	0	1	0	1	0.33 (Pck/16)	0	21.33 (μs) /46.8kHz	5.46 (ms)	常時L/H レベル出力 DA13 ～0 = H'0000 ～ H'00FF （データ値）× T DA13 ～0 = H'0100 ～H'3FFF	14	—	—	—	—	5.46
										12	—	—	0	0	1.36
										10	0	0	0	0	0.34
						1	85.33 (μs) /11.7kHz	5.46 (ms)	常時L/H レベル出力 DA13 ～0 = H'0000 ～ H'003F （データ値）× T DA13 ～0 = H'0040 ～H'3FFF	14	—	—	—	—	5.46
										12	—	—	0	0	1.36
										10	0	0	0	0	0.34
1	0	1	1	1	0.66 (Pck/32)	0	42.66 (μs) /23.4kHz	10.92 (ms)	常時L/H レベル出力 DA13 ～ 0 = H'0000 ～H'00FF （データ値）× T DA13 ～0 = H'0100 ～H'3FFF	14	—	—	—	—	10.92
										12	—	—	0	0	2.73
										10	0	0	0	0	0.68
						1	170.66 (μs) /5.85kHz	10.92 (ms)	常時L/H レベル出力 DA13 ～ 0 = H'0000 ～H'003F （データ値）× T DA13 ～0 = H'0040 ～H'3FFF	14	—	—	—	—	10.92
										12	—	—	0	0	2.73
										10	0	0	0	0	0.68

PCSR				CKS	分解能T (μs)	CFS	基本周期	変換周期	TL/TH (OS = 0 / OS = 1)	変換精度（ビット数）	ビットデータ				変換周期（注） (ms)
PWCKX0 ～ PWCKX3											DA3	DA2	DA1	DA0	
D	C	B	A												
1	1	0	0	1	0.25	0	16 (μs) /62.5kHz	4.09 (ms)	常時L/H レベル出力 DA13 ～0 = H'0000 ～ H'00FF （データ値）× T DA13 ～0 = H'0100 ～H'3FFF	14	—	—	—	—	4.09
										12	—	—	0	0	1.02
										10	0	0	0	0	0.25
					(Pck/12)	1	64 (μs) /15.6kHz	4.09 (ms)	常時L/H レベル出力 DA13 ～0 = H'0000 ～ H'003F （データ値）× T DA13 ～0 = H'0040 ～H'3FFF	14	—	—	—	—	4.09
										12	—	—	0	0	1.02
										10	0	0	0	0	0.25
1	1	0	1	1	禁止	—	—	—	—	—	—	—	—	—	—
1	1	1	0	1	禁止	—	—	—	—	—	—	—	—	—	—
1	1	1	1	1	禁止	—	—	—	—	—	—	—	—	—	—

注. DA3～DA0 ビットを固定することにより得られる変換周期です。

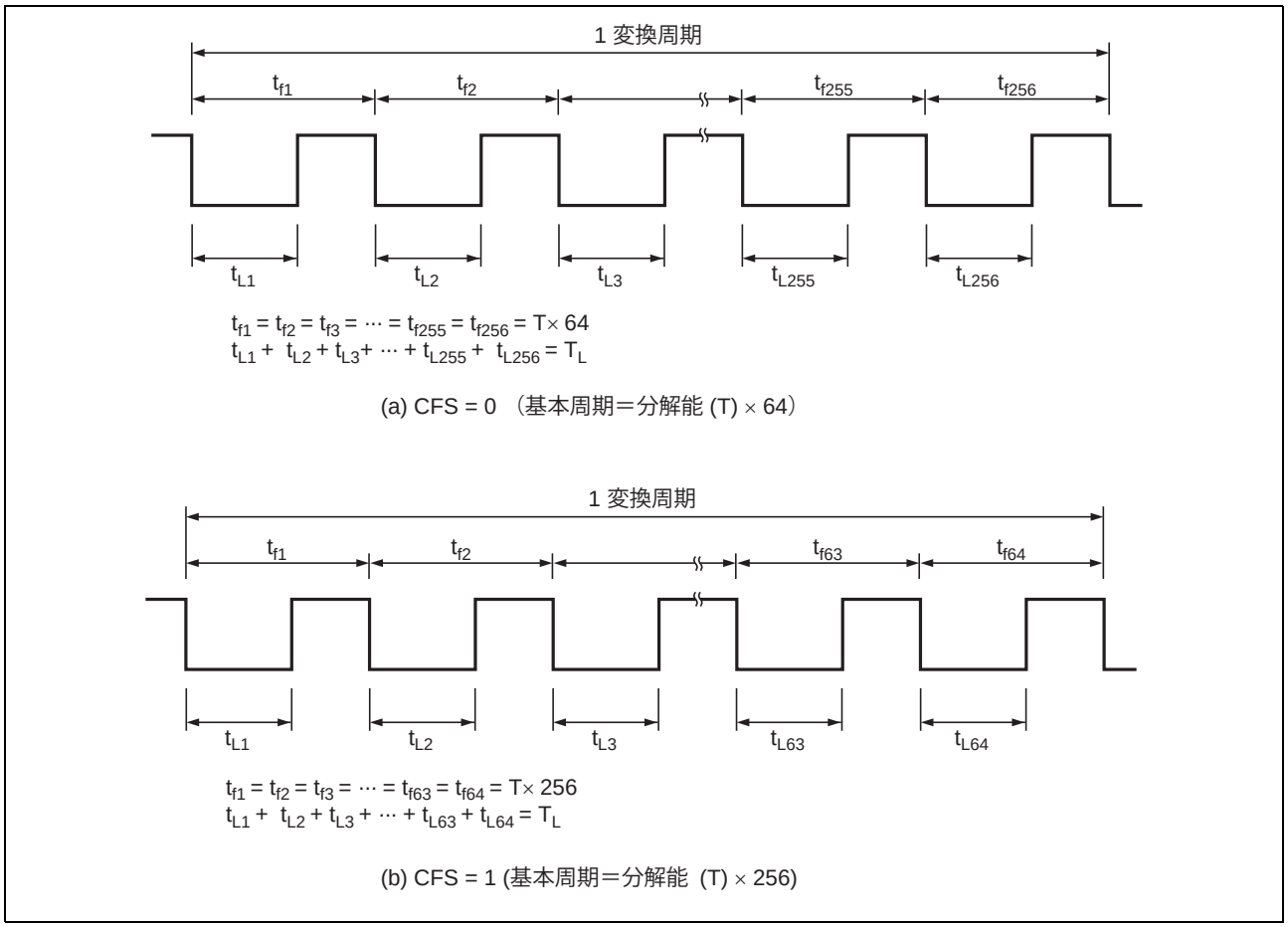


図 19.3　出力波形（OS＝0、PWXDR はT_Lに対応）

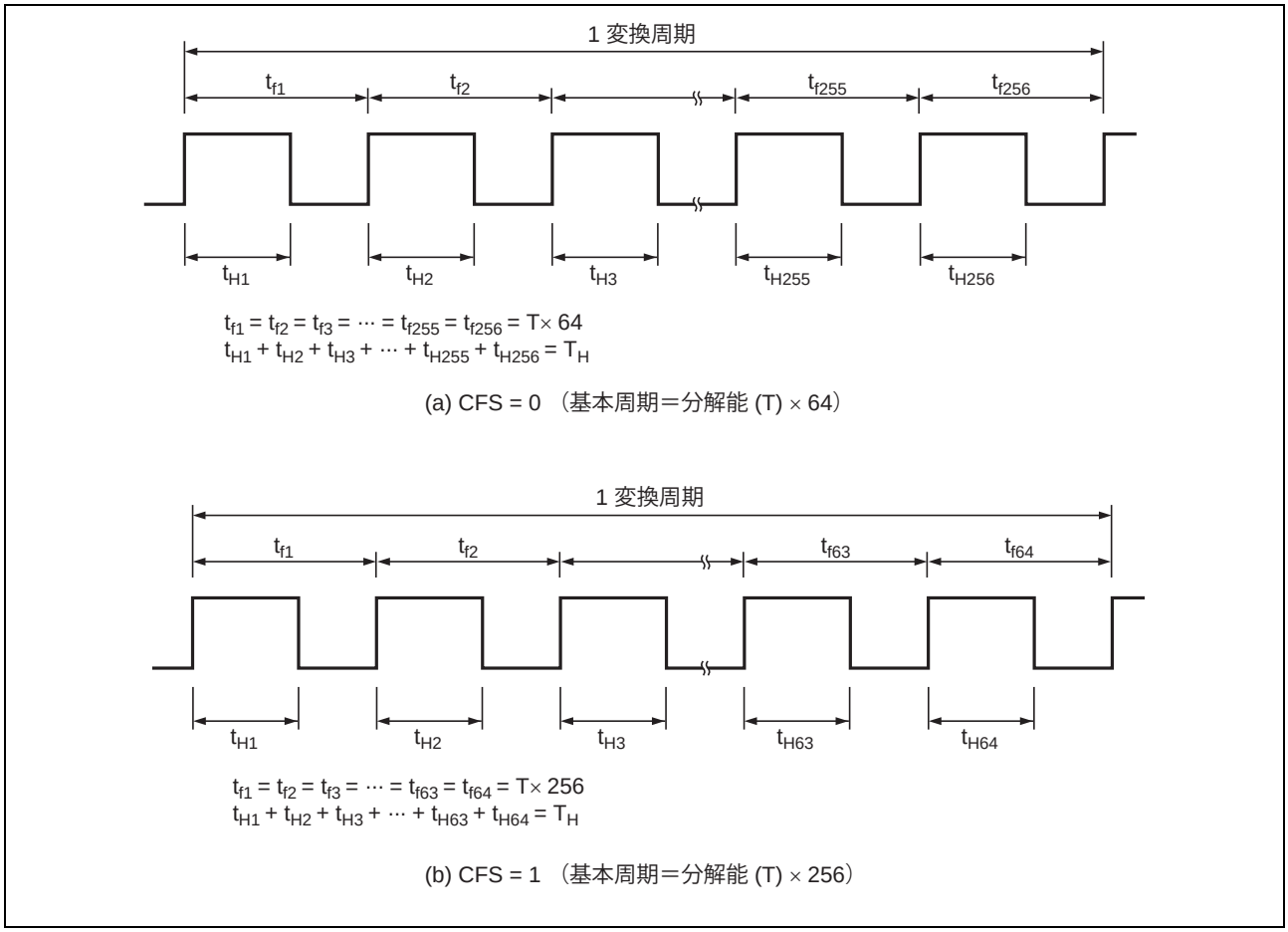


図 19.4　出力波形（OS＝1、PWXDR はT_Hに対応）

付加パルスについては、CFS＝1（基本周期＝分解能（T）×256）かつOS＝1（PWM 反転出力）の設定を例に示します。CFS＝1 のとき、図 19.5 に示すようにPWXDR の上位8 ビット（DA13～DA6）で基本パルスのデューティ比が、次の6 ビット（DA5～DA0）で付加パルスの位置が決定されます。

表19.5に付加パルスの位置を示します。

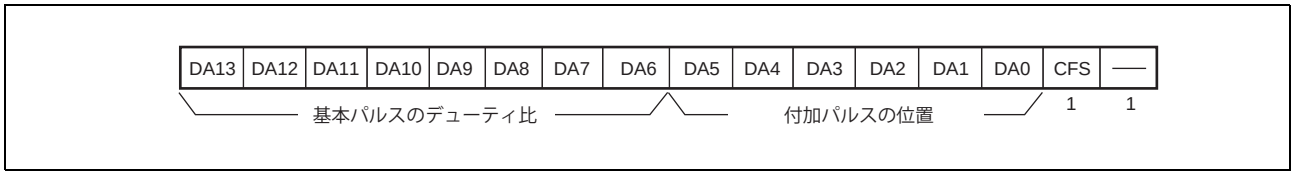


図 19.5　CFS＝1 のときのD/A データレジスタの構成

ここでは、PWXDR ＝ H'0207（B'0000 0010 0000 0111）の場合を考えます。図 19.6 に出力波形を示します。CFS＝1 であり、上位8 ビットの値がB'0000 0010 ですので、基本パルスはH 幅が2/256×（T）のデューティ比となります。

次に続く6 ビットの値がB'0000 01 ですので、表19.5 より、付加パルスは基本パルスNo.63 の位置でのみ出力されます。付加パルスは基本パルスに1/256×（T）だけ追加される形となります。

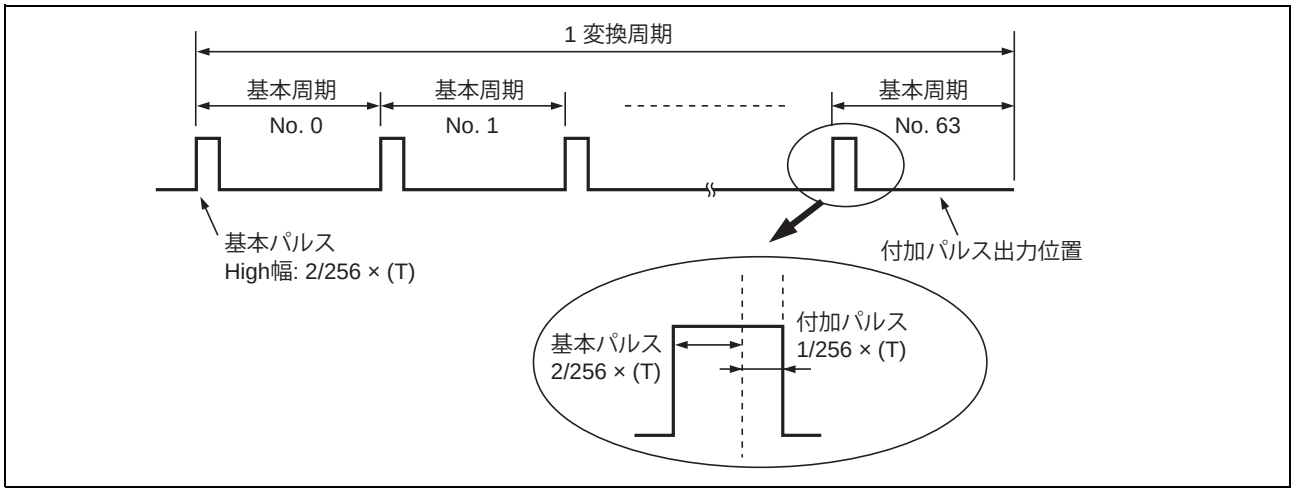
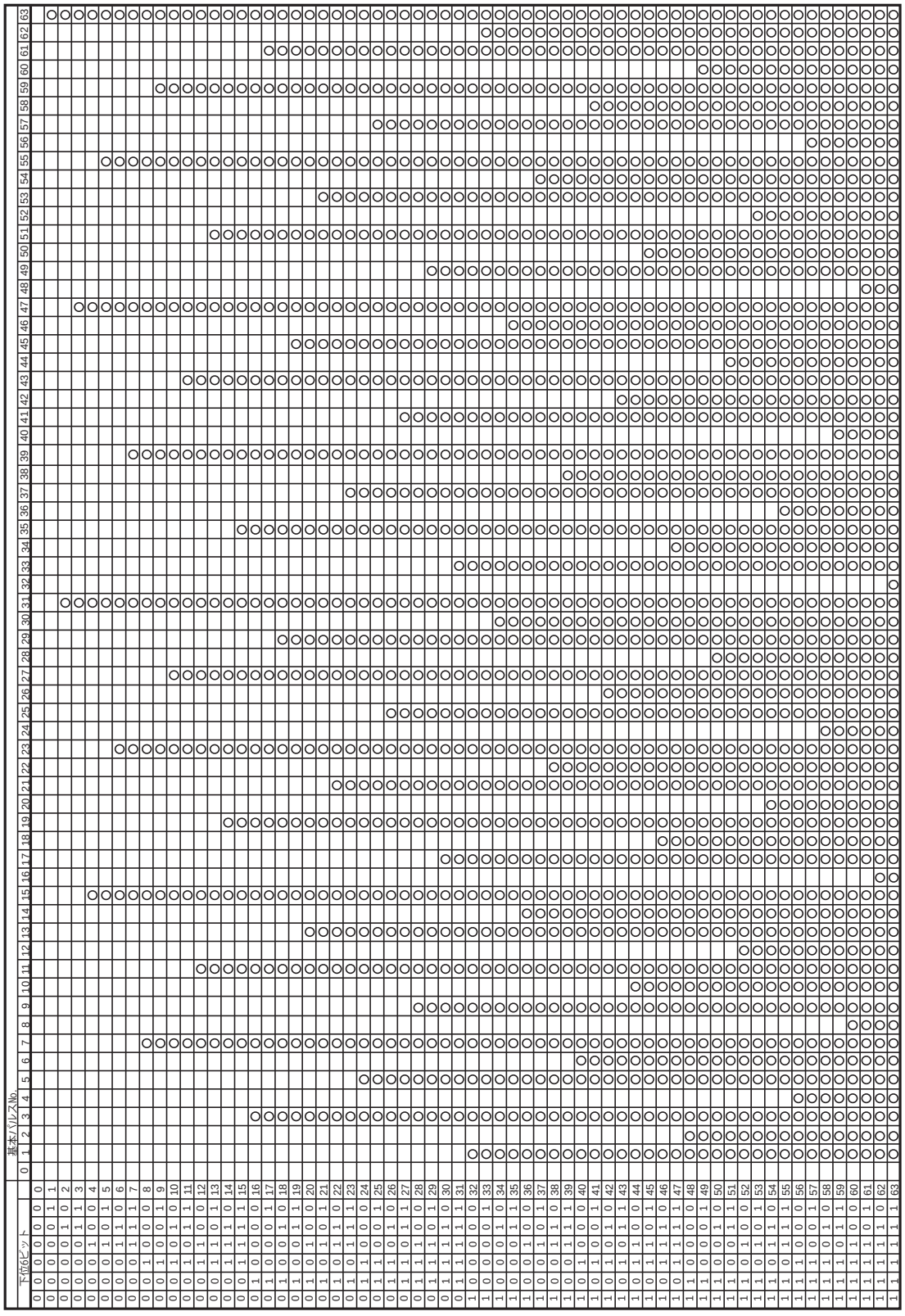


図 19.6　PWXDR＝H'0207 のときの出力波形（OS＝1）

なお、CFS＝0（基本周期＝分解能（T）×64）の場合、基本パルスのデューティ比は上位6 ビットで、付加パルスの位置はその次の8 ビットで決定されるという点以外は、同様な考え方となります。

表19.5　基本パルスに対する付加パルスの位置（CFS＝1 の場合）



20. 16 ビットフリーランニングタイマ（FRT）

本LSI は、16 ビットフリーランニングタイマ（FRT : Free Running Timer）を内蔵しています。FRT は16 ビットのフリーランニングカウンタ（FRC）をベースにしています。

20.1 特長

- 3種類のカウンタ入力クロックを選択可能
  3種類の周辺クロック（Pck/2、Pck/8、Pck/32）のうちから選択できます。
- 2本の独立したコンパレータ
  2種類のコンペアマッチ割り込みが可能です。
- カウンタのクリア指定が可能
  コンペアマッチAによりカウンタの値をクリアすることができます。
- 3種類の割り込み要因
  コンペアマッチ×2要因、オーバフロー ×1要因があり、それぞれ独立に要求することができます。
- 自動加算機能による特殊動作
  OCRA の内容にOCRAR、及びOCRAF の内容を自動的に加算し、ソフトウェアの介在なしに周期的な割り込みを生成することができます。

FRT のブロック図を図20.1 に示します。

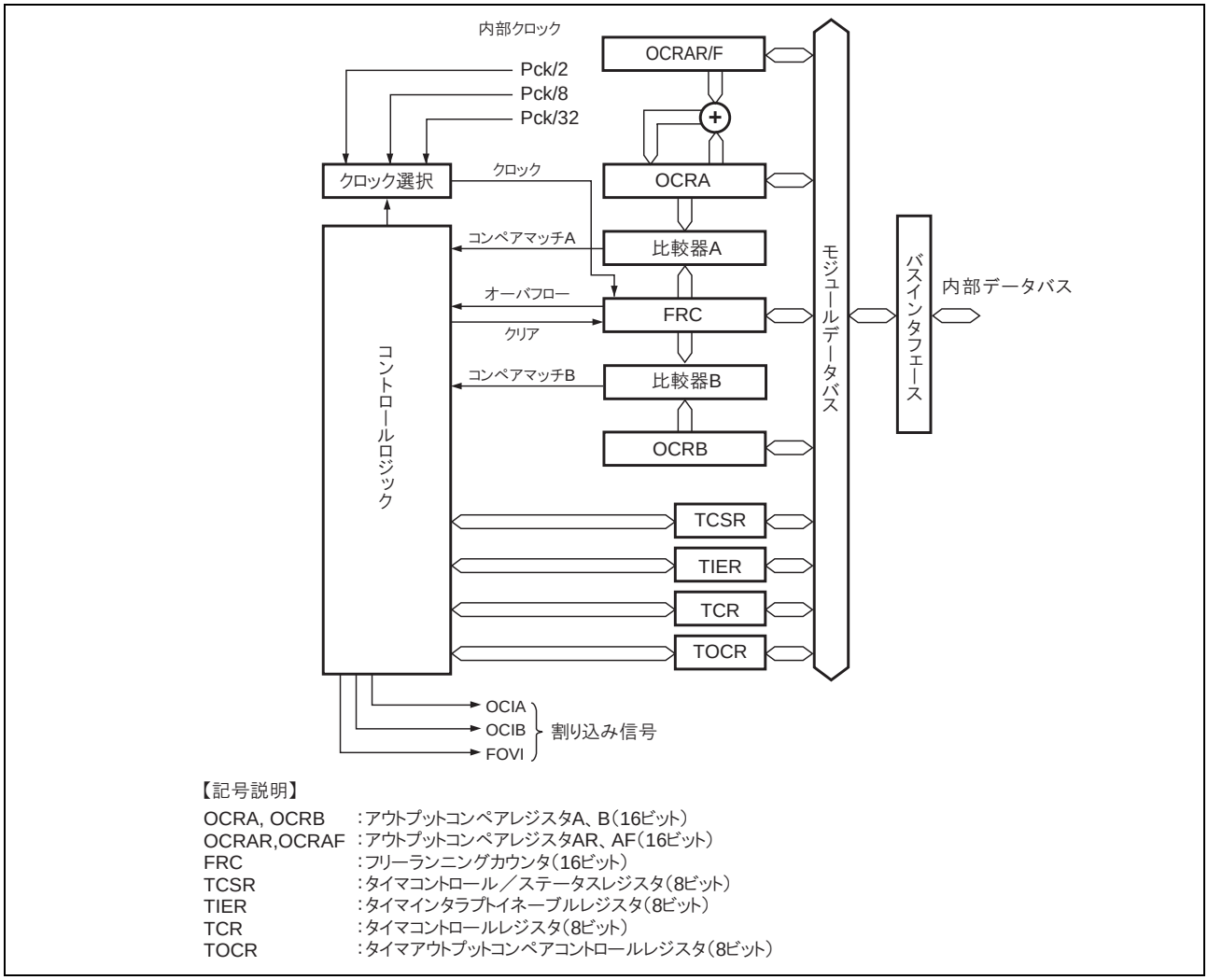


図 20.1　16 ビットフリーランニングタイマのブロック図

20.2　レジスタの説明

FRTのレジスタ構成、及び各処理モードにおけるレジスタの状態を表20.1 に示します。

指定されたビット幅を使用し、レジスタにアクセスする必要があります。指定されたビット幅以外のサイズでレジスタにアクセスする場合、動作保証はできません。

表20.1　レジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
フリーランニングカウンタ	FRC	R/W	H'FFEA 0002	16	H'0000	H'0000	H'0000
アウトプットコンペアレジスタ A	OCRA	R/W	H'FFEA 0004（注）	16	H'FFFF	H'FFFF	H'FFFF
アウトプットコンペアレジスタ B	OCRB	R/W	H'FFEA 0004（注）	16	H'FFFF	H'FFFF	H'FFFF
アウトプットコンペアレジスタ AR	OCRAR	R/W	H'FFEA 0008	16	H'FFFF	H'FFFF	H'FFFF
アウトプットコンペアレジスタ AF	OCRAF	R/W	H'FFEA 000A	16	H'FFFF	H'FFFF	H'FFFF
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'FFEA 0000	8	H'01	H'01	H'01
タイマコントロール／ステータスレジスタ	TCSR	R/W	H'FFEA 0001	8	H'00	H'00	H'00
タイマコントロールレジスタ	TCR	R/W	H'FFEA 0006	8	H'00	H'00	H'00
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'FFEA 0007	8	H'00	H'00	H'00

注.　OCRA とOCRB のアドレスは同一です。レジスタの切り替えはOCRSビット（TOCR レジスタのビット4）で行います。

20.2.1　フリーランニングカウンタ（FRC）

FRC は16 ビットのリード／ライト可能なアップカウンタです。入力クロックはTCR のCKS1、CKS0 ビットにより選択します。FRC はコンペアマッチA によりクリアすることができます。FRC がH'FFFF からH'0000 にオーバフローすると、TCSR のOVF が1 にセットされます。FRC は8 ビット単位のアクセスはできません。常に16ビットでアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.2.2　アウトプットコンペアレジスタA、B（OCRA、OCRB）

OCRA、OCRBは16ビットのリード／ライト可能なレジスタです。OCRA、OCRBの値は常にFRCの値と比較されます。両者の値が一致（コンペアマッチ）すると、TCSRのOCFA、OCFBフラグが1にセットされます。OCRは8ビット単位のアクセスはできません。常に16ビットでアクセスしてください。

• OCRA

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• OCRB

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.2.3　アウトプットコンペアレジスタAR、AF（OCRAR、OCRAF）

OCRAR、OCRAFは16ビットのリード／ライト可能なレジスタです。OCRAMSビット（TOCRレジスタのビット6）を1にセットすると、OCRAがOCRAR、OCRAFを使用した動作モードに設定されます。OCRAR、OCRAFの値は交互にOCRAに自動的に加算され、OCRAに書き込まれます。書き込みはコンペアマッチAのタイミングで行われます。

OCRAMSビットを1にセットした後の最初のコンペアマッチAでは、OCRAFが加算されます。コンペアマッチAの動作は、OCRAR、OCRAFのいずれを加算した後のコンペアマッチかによって異なります。

OCRAの自動加算機能を使用する場合には、FRCの入力クロックを内部クロックPck/2で、かつOCRAR（又はOCRAF）の値をH'0001以下に設定しないでください。

OCRAR、OCRAFは8ビット単位のアクセスはできません。常に16ビット単位でアクセスしてください。

• OCRAR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• OCRAF

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名:																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.2.4　タイマインタラプトイネーブルレジスタ（TIER）

TIER は、割り込み要求の許可／禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	OCIAE	OCIBE	OVIE	—
初期値:	0	0	0	0	0	0	0	1
R/W:	—	—	—	—	R/W	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
7 ～ 4	—	0	—	リザーブビット
3	OCIAE	0	R/W	アウトプットコンペアインタラプトA イネーブル 0：OCFA＝1のとき割り込み（OCIA）を禁止 1：OCFA ＝1のとき割り込み（OCIA）を許可
2	OCIBE	0	R/W	アウトプットコンペアインタラプトB イネーブル 0：OCFB ＝1のとき割り込み（OCIB）を禁止 1：OCFB ＝1のとき割り込み（OCIB）を許可
1	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル 0：OVF ＝1のとき割り込み（FOVI）を禁止 1：OVF ＝1のとき割り込み（FOVI）を許可
0	—	1	—	リザーブビット

20.2.5　タイマコントロール／ステータスレジスタ（TCSR）

TCSRはステータスの表示、及びカウンタクリアの選択を行います

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	OCFA	OCFB	OVF	CCLRA
初期値:	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W(注)	R/W(注)	R/W(注)	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 4	—	0	—	リザーブビット
3	OCFA	0	R/W(注)	アウトプットコンペアフラグA FRC とOCRA の値が一致すると”1”になります。
2	OCFB	0	R/W(注)	アウトプットコンペアフラグB FRC とOCRB の値が一致すると”1”になります。
1	OVF	0	R/W(注)	オーバフローフラグ FRC がオーバフロー（H'FFFF→H'0000）すると”1”になります。
0	CCLRA	0	R/W	カウンタクリアA コンペアマッチA（FRC とOCRA の一致信号）によりFRC をクリアするか、しないかを選択します。 0：FRC のクリアを禁止 1：コンペアマッチA によりFRC をクリア

注.　“1”を読み出した後、“0”を書くと“0”になります。“1”を書いても変化しません。

20.2.6　タイマコントロールレジスタ（TCR）

TCR は、FRC の入力クロックの選択を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 2	—	0	—	リザーブビット
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト1、0 FRC に入力するクロックを選択します。 00：内部クロック Pck/2 をカウント 01：内部クロック Pck/8 をカウント 10：内部クロック Pck/32 をカウント 11：設定禁止

20.2.7　タイマアウトプットコンペアコントロールレジスタ（TOCR）

TOCR は、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、OCRA の動作モードの切り替え制御を行います。

ビット:	7	6	5	4	3	2	1	0
	—	OCRAMS	OCRE	OCRS	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	OCRAMS	0	R/W	アウトプットコンペアA モードセレクト OCRA を通常の動作モードにするか、OCRAR、OCRAF を使用した動作モードにするかを選択します。 0：OCRA を通常の動作モードに設定 1：OCRA をOCRAR、OCRAF を使用した動作モードに設定
5	OCRE	0	R/W	アウトプットコンペアレジスタイネーブル OCRAR、OCRAF へのアクセスイネーブル制御を行います。 0：OCRAR、OCRAF へのアクセス不可 1：OCRAR、OCRAF へのアクセス可能
4	OCRS	0	R/W	アウトプットコンペアレジスタセレクト OCRA とOCRB のアドレスは同一です。このアドレスをリード／ライトするとき、どちらのレジスタを選択するか制御します。OCRA、OCRB の動作には影響を与えません。 0：OCRA レジスタを選択 1：OCRB レジスタを選択
3 ～ 0	—	0	—	リザーブビット

20.3　動作タイミング

20.3.1　FRC のカウントタイミング

FRC のカウントタイミングを図20.2 に示します。

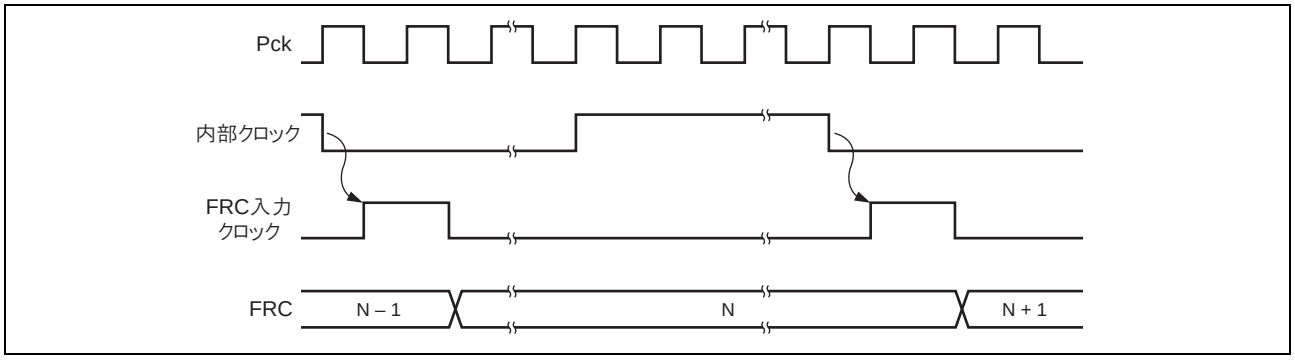


図 20.2　FRC のカウントタイミング

20.3.2　コンペアマッチタイミング

コンペアマッチ信号は、FRC と OCR の値が一致した最後のステート（FRC が一致したカウント値を更新するタイミング）で発生します。コンペアマッチA タイミングを図20.3 に示します。

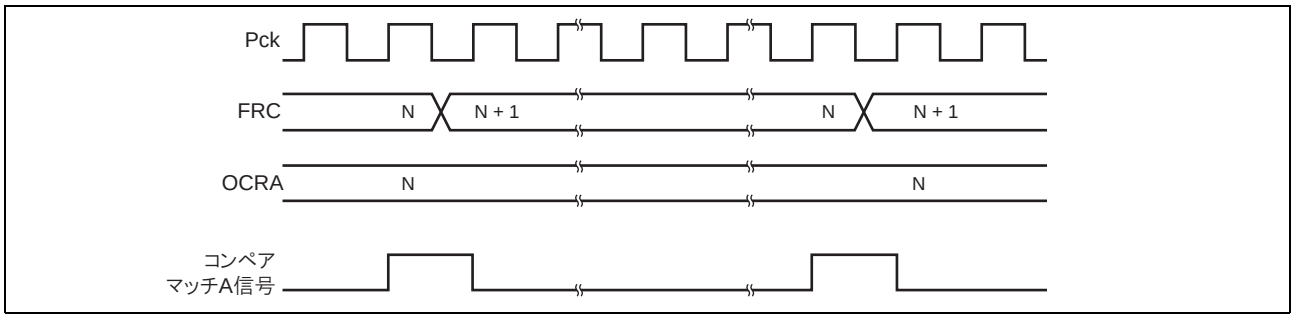


図 20.3　コンペアマッチA タイミング

20.3.3　FRC のクリアタイミング

FRC はコンペアマッチA 信号でクリアすることができます。このタイミングを図20.4 に示します。

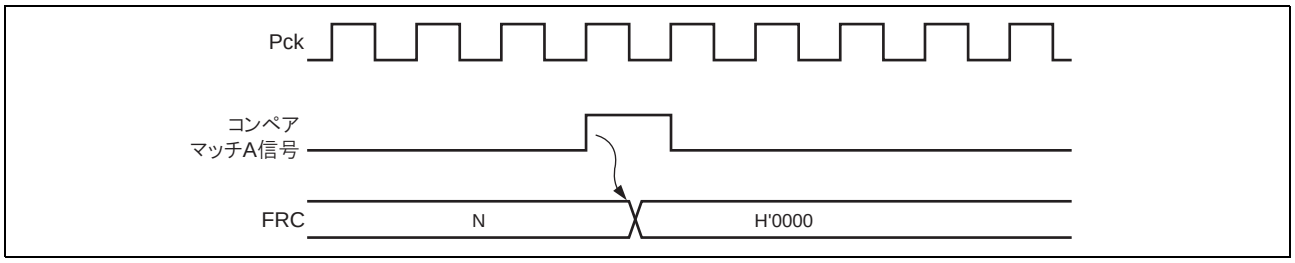


図 20.4　コンペアマッチA 信号によるFRC のクリアタイミング

20.3.4　アウトプットコンペアフラグ(OCF)のセットタイミング

OCFA、OCFB フラグは、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により1にセットされます。コンペアマッチ信号は値が一致した最後のステート（FRC が一致したカウント値を更新するタイミング）で発生します。OCRA、OCRB と FRC の値が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB フラグのセットタイミングを図20.5 に示します。

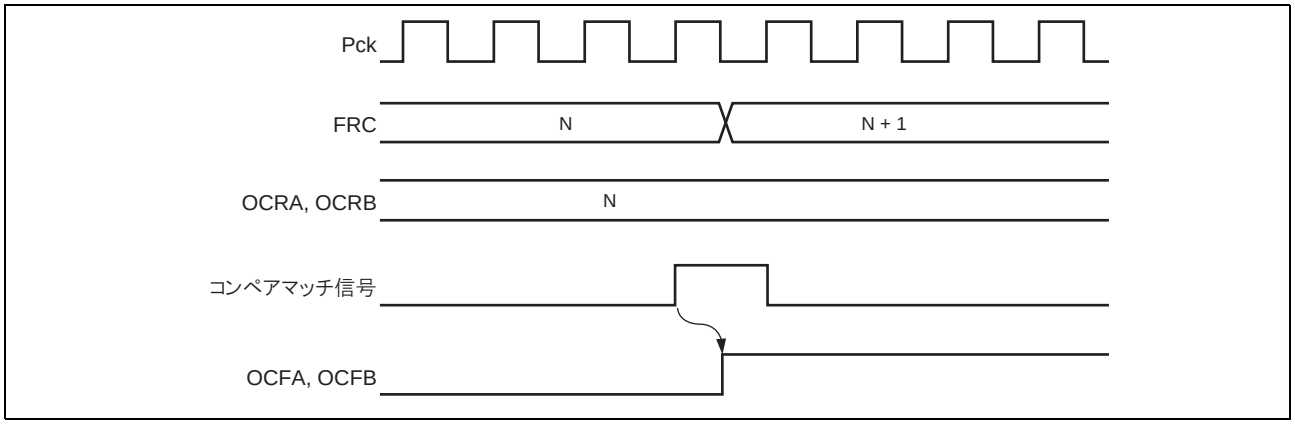


図 20.5　OCFA、OCFB フラグのセットタイミング

20.3.5　FRC オーバーフローフラグ(OVF)のセットタイミング

OVF フラグは、FRC がオーバフロー（H'FFFF→H'0000）したとき1 にセットされます。OVF フラグのセットタイミングを図20.6 に示します。

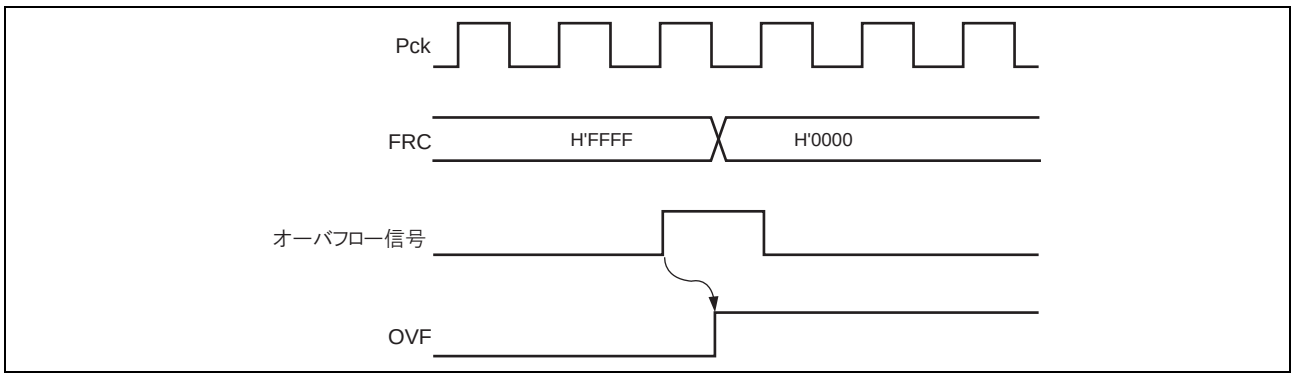


図 20.6　OVF フラグのセットタイミング

20.3.6　自動加算タイミング

OCRAMS ビット（TOCR レジスタのビット 6）が 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図20.7に示します。

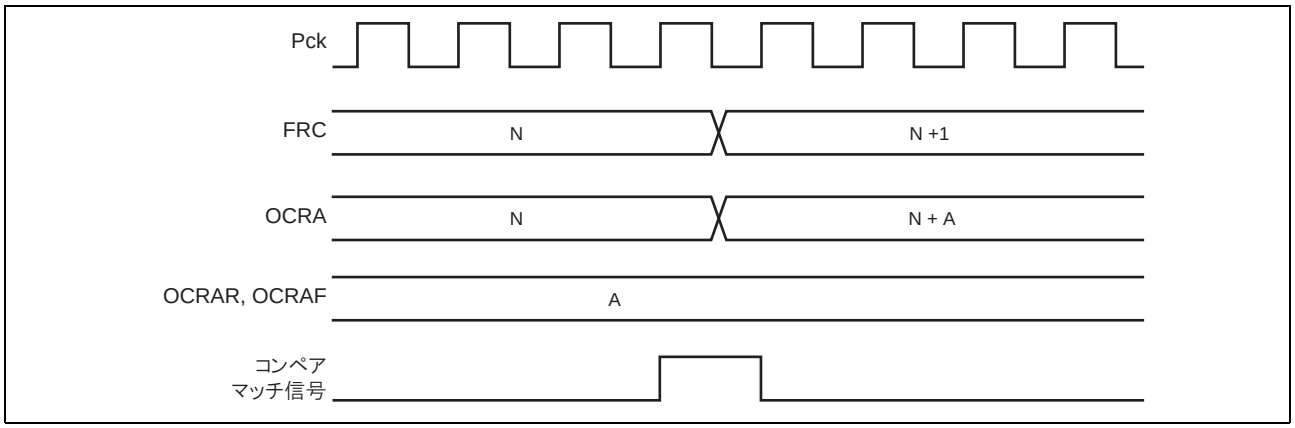


図 20.7　OCRA の自動加算タイミング

20.4　割り込み要因

FRT の割り込み要因はOCIA、OCIB 、及びFOVI の3 つあります。各割り込み要因はTIER の各割り込みイネーブルビットで許可又は禁止され、割り込みコントローラに送られます。表20.2 に各割り込み要因を示します。

表20.2　FRT 割り込み要因

名 称	割り込み要因	割り込みフラグ
OCIA	コンペアマッチA	OCFA
OCIB	コンペアマッチB	OCFB
FOVI	FRC のオーバフロー	OVF

FRT の割り込みは、割り込みコントローラにて 1 要因（FRTI）に束ねられます。3 つのうちどの割り込み要因が発生したかについては、TCSR を読み出すことによって確認可能です。

20.5　使用上の注意事項

20.5.1　FRC のライトとクリアの競合

FRC のライトサイクルの次のステートでカウンタクリア信号が発生すると、FRC へのライトは行われず、FRCのクリアが優先されます。このタイミングを図20.8 に示します。

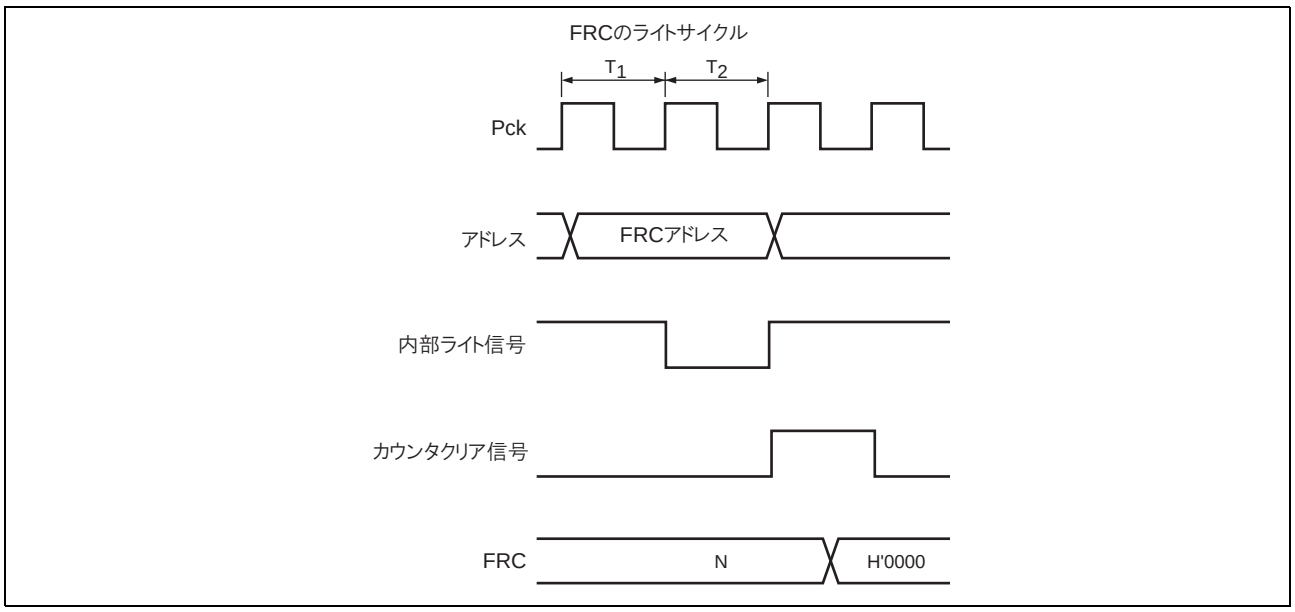


図 20.8　FRC のライトとクリアの競合

20.5.2　FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。このタイミングを図20.9 に示します。

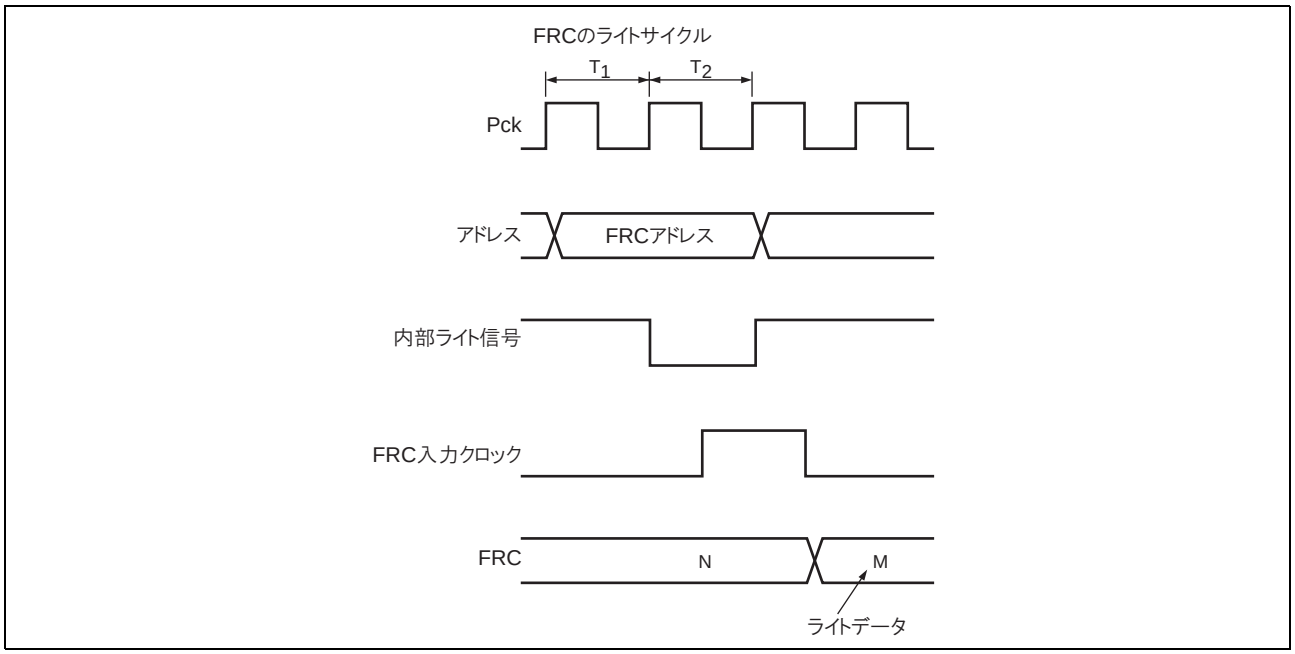


図 20.9　FRC のライトとカウントアップの競合

20.5.3　OCR のライトとコンペアマッチの競合

OCRA、OCRB のライトサイクルの次のステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図20.10 に示します。

OCRA の自動加算機能を選択しているとき、OCRA、OCRAR、OCRAF ライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAF のライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図20.11 に示します。

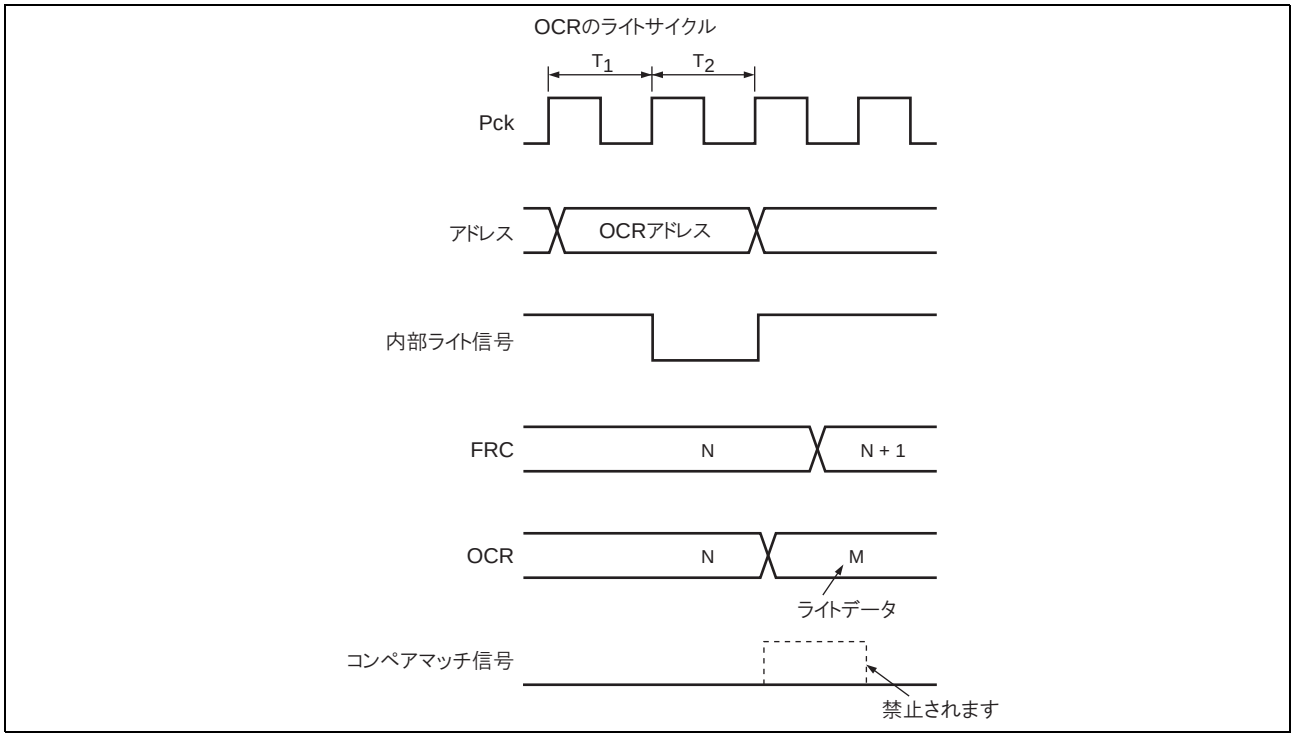


図 20.10　OCR のライトとコンペアマッチの競合（自動加算機能を使用していない場合）

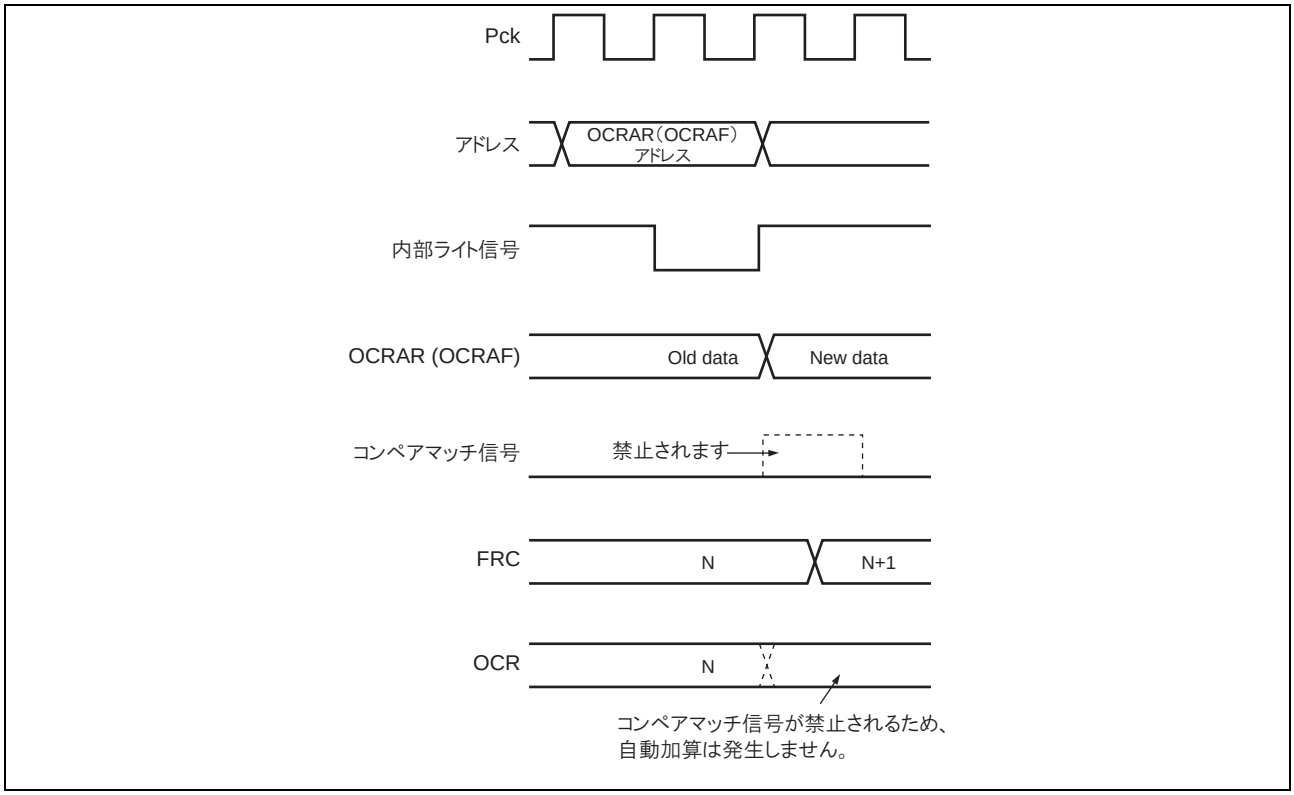
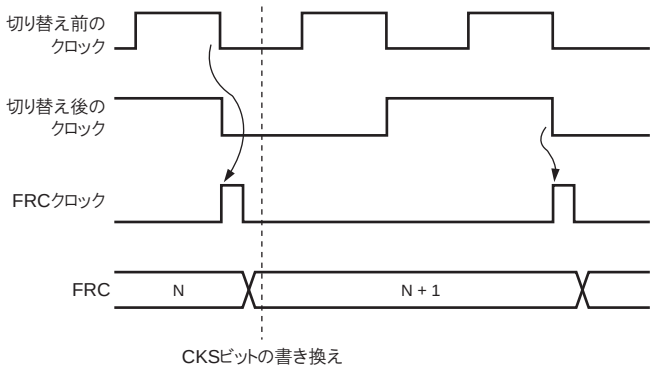
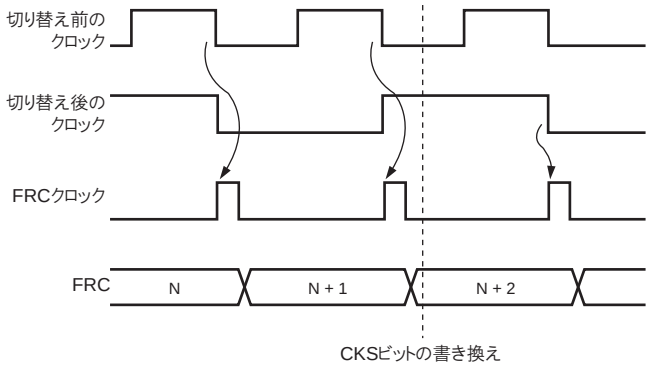
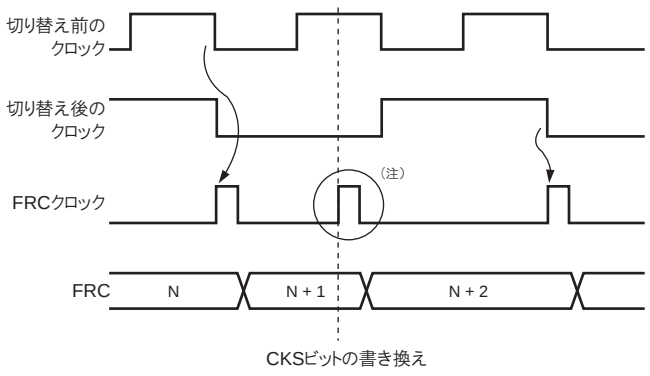


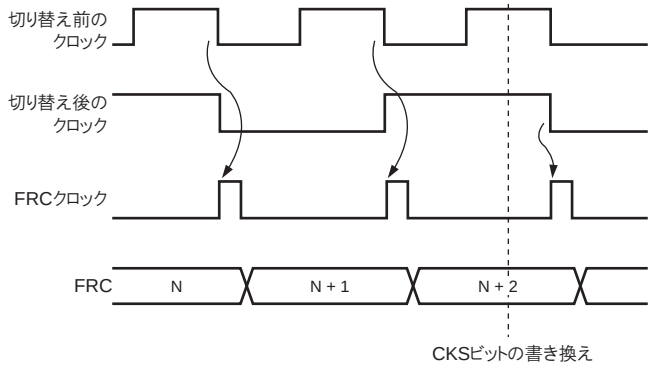
図 20.11　OCRAR/OCRAF ライトとコンペアマッチの競合（自動加算機能を使用している場合）

20.5.4　内部クロックの切り替えとカウンタの動作

内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1 ビット又は CKS0 ビット（TCR レジスタのビット 1、0）の書き換え）と FRC 動作の関係を表 20.3 に示します。内部クロックを使用する場合、周辺クロック (Pck) を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため、表 20.3 の No.3 のように切り替え前のクロック H→切り替え後のクロック L レベルになるような切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。

表 20.3　内部クロックの切り替えと FRC 動作

No.	TCKS1、CKS0 ビット 書き換えタイミング	FRC 動作
1	L → L レベルの切り替え	
2	L → H レベルの切り替え	
3	H → L レベルの切り替え	

No.	TCKS1、CKS0ビット 書き換えタイミング	FRC動作
4	H → Hレベルの切り替え	

注.　切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされます。

21. 8ビットタイマ （TMR）

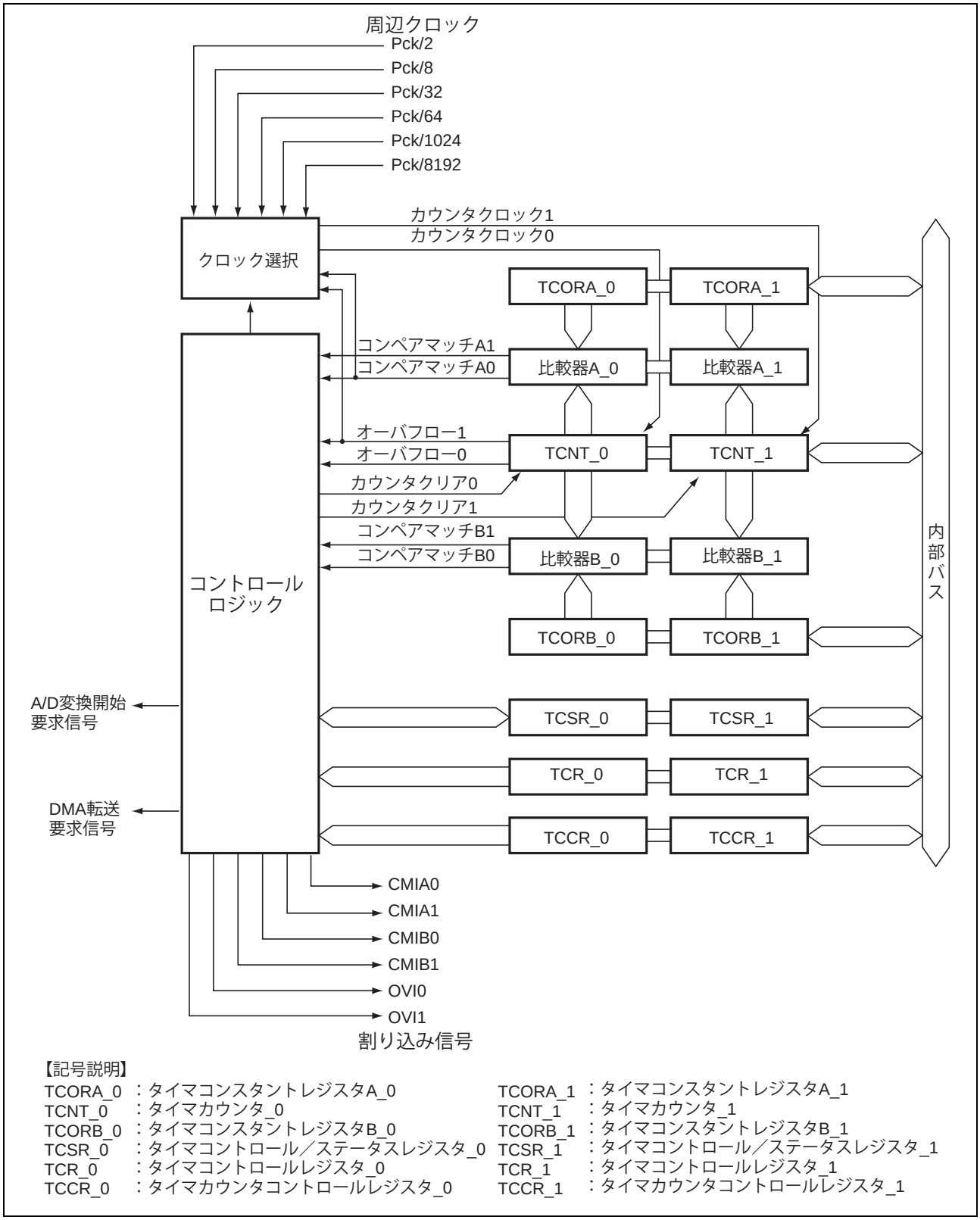
本LSIは、8ビットのカウンタをベースにした2チャネルの8ビットタイマを3ユニット（ユニット0、ユニット1、ユニット2）、合計6チャネル内蔵しています。2本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求など、多機能タイマとして種々の応用が可能です。

図21.1、図21.2、図21.3にユニット0、ユニット1、ユニット2のブロック図を示します。

本文中では、ユニット0（チャネル0、チャネル1）について説明しています。他のユニットも同一機能です。

21.1 特長

- 6種類のクロックを選択可能
  6種類の周辺クロック（Pck/2、Pck/8、Pck/32、Pck/64、Pck/1024、Pck/8192）のうちから選択できます。
- カウンタのクリア指定が可能
  コンペアマッチA、コンペアマッチBのうちから選択できます。
- 2チャネルのカスケード接続が可能（TMR_0、TMR_1）
  TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です（16ビットカウントモード）。
  TMR_1はTMR_0のコンペアマッチをカウント可能です（コンペアマッチカウントモード）。
- 3種類の割り込み要因
  コンペアマッチA、コンペアマッチB、オーバフローの3種類の割り込み要因があり、それぞれ独立に要求することができます。
- A/D変換器の変換スタートトリガを生成可能
- DMA転送のスタートトリガを生成可能



【記号説明】

TCORA_0	：タイマコンスタントレジスタA_0	TCORA_1	：タイマコンスタントレジスタA_1
TCNT_0	：タイマカウンタ_0	TCNT_1	：タイマカウンタ_1
TCORB_0	：タイマコンスタントレジスタB_0	TCORB_1	：タイマコンスタントレジスタB_1
TCSR_0	：タイマコントロール／ステータスレジスタ_0	TCSR_1	：タイマコントロール／ステータスレジスタ_1
TCR_0	：タイマコントロールレジスタ_0	TCR_1	：タイマコントロールレジスタ_1
TCCR_0	：タイマカウンタコントロールレジスタ_0	TCCR_1	：タイマカウンタコントロールレジスタ_1

図 21.1　8 ビットタイマ（ユニット0）のブロック図

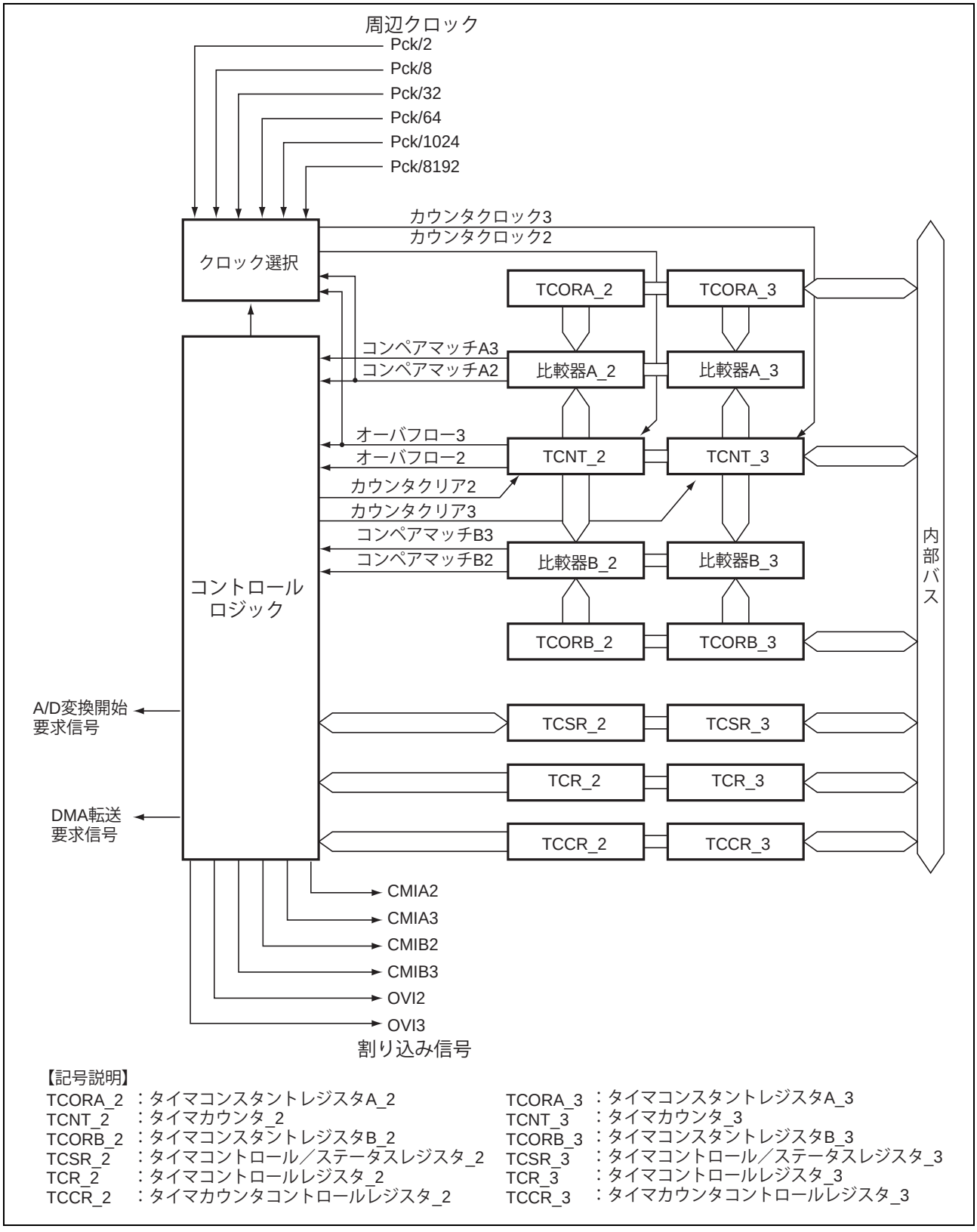


図 21.2　8 ビットタイマ（ユニット1）のブロック図

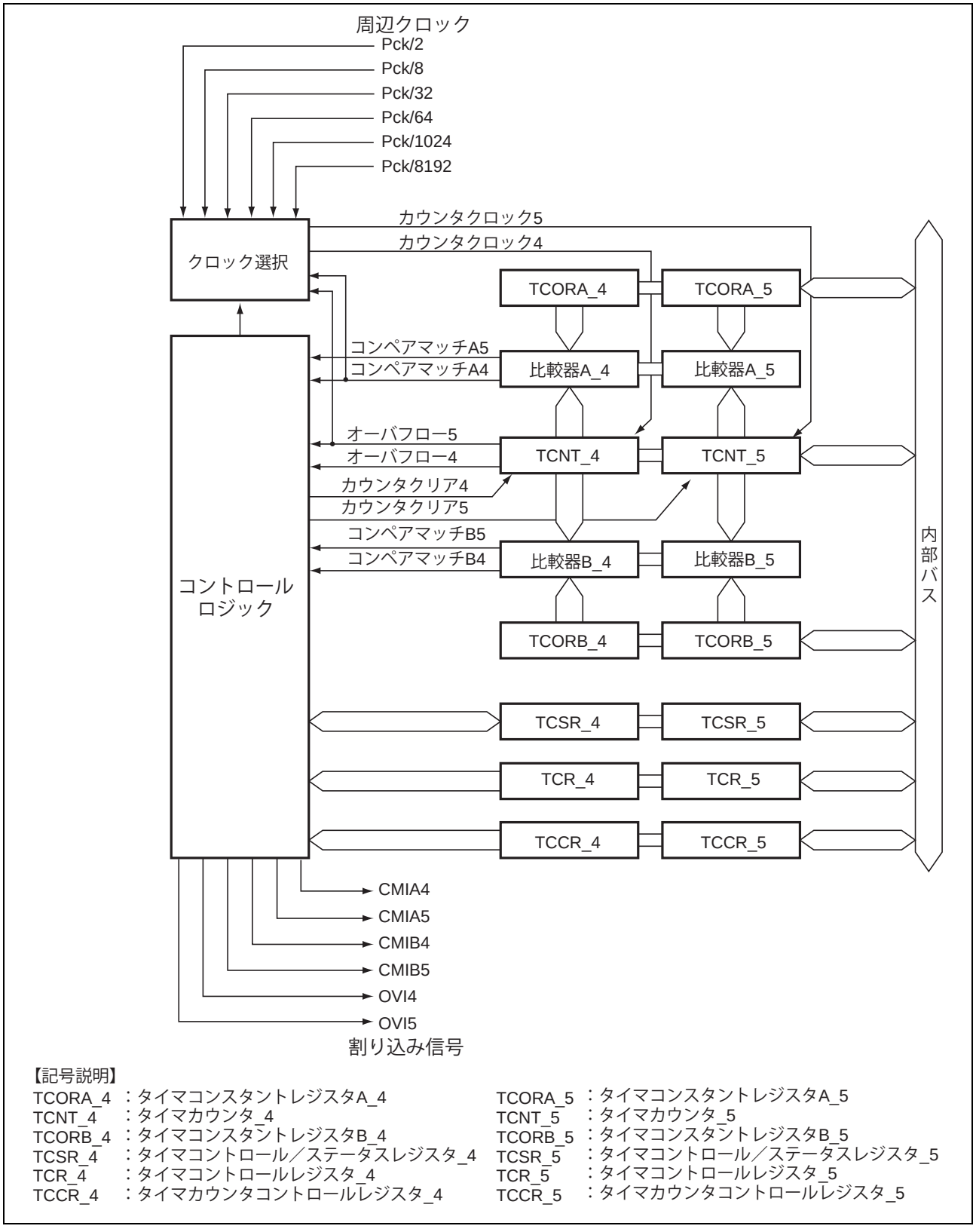


図 21.3　8 ビットタイマ（ユニット2）のブロック図

21.2 レジスタの説明

TMRのレジスタ構成、及び各処理モードにおけるレジスタの状態を表21.1に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表21.1 レジスタ構成

ユニット	チャネル	名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
							パワーオンリセット	マニュアルリセット	ソフトウェアリセット
0	0	タイマカウンタ_0	TCNT_0	R/W	H'FFE0 0008	8、16	H'00	H'00	H'00
		タイマコンスタントレジスタ A_0	TCORA_0	R/W	H'FFE0 0004	8、16	H'FF	H'FF	H'FF
		タイマコンスタントレジスタ B_0	TCORB_0	R/W	H'FFE0 0006	8、16	H'FF	H'FF	H'FF
		タイマコントロールレジスタ_0	TCR_0	R/W	H'FFE0 0000	8	H'00	H'00	H'00
		タイマカウンタコントロールレジスタ_0	TCCR_0	R/W	H'FFE0 000A	8	H'00	H'00	H'00
		タイマコントロール／ステータスレジスタ_0	TCSR_0	R/W	H'FFE0 0002	8	H'00	H'00	H'00
	1	タイマカウンタ_1	TCNT_1	R/W	H'FFE0 0009	8	H'00	H'00	H'00
		タイマコンスタントレジスタ A_1	TCORA_1	R/W	H'FFE0 0005	8	H'FF	H'FF	H'FF
		タイマコンスタントレジスタ B_1	TCORB_1	R/W	H'FFE0 0007	8	H'FF	H'FF	H'FF
		タイマコントロールレジスタ_1	TCR_1	R/W	H'FFE0 0001	8	H'00	H'00	H'00
		タイマカウンタコントロールレジスタ_1	TCCR_1	R/W	H'FFE0 000B	8	H'00	H'00	H'00
		タイマコントロール／ステータスレジスタ_1	TCSR_1	R/W	H'FFE0 0003	8	H'10	H'10	H'10
1	2	タイマカウンタ_2	TCNT_2	R/W	H'FFE1 0038	8、16	H'00	H'00	H'00
		タイマコンスタントレジスタ A_2	TCORA_2	R/W	H'FFE1 0034	8、16	H'FF	H'FF	H'FF
		タイマコンスタントレジスタ B_2	TCORB_2	R/W	H'FFE1 0036	8、16	H'FF	H'FF	H'FF
		タイマコントロールレジスタ_2	TCR_2	R/W	H'FFE1 0030	8	H'00	H'00	H'00
		タイマカウンタコントロールレジスタ_2	TCCR_2	R/W	H'FFE1 003A	8	H'00	H'00	H'00
		タイマコントロール／ステータスレジスタ_2	TCSR_2	R/W	H'FFE1 0032	8	H'00	H'00	H'00

ユニット	チャネル	名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
							パワーオンリセット	マニュアルリセット	ソフトウェアリセット
1	3	タイマカウンタ_3	TCNT_3	R/W	H'FFE1 0039	8	H'00	H'00	H'00
		タイマコンスタントレジスタ A_3	TCORA_3	R/W	H'FFE1 0035	8	H'FF	H'FF	H'FF
		タイマコンスタントレジスタ B_3	TCORB_3	R/W	H'FFE1 0037	8	H'FF	H'FF	H'FF
		タイマコントロールレジスタ_3	TCR_3	R/W	H'FFE1 0031	8	H'00	H'00	H'00
		タイマカウンタコントロールレジスタ_3	TCCR_3	R/W	H'FFE1 003B	8	H'00	H'00	H'00
		タイマコントロール／ステータスレジスタ_3	TCSR_3	R/W	H'FFE1 0033	8	H'10	H'10	H'10
2	4	タイマカウンタ_4	TCNT_4	R/W	H'FFE2 0048	8、16	H'00	H'00	H'00
		タイマコンスタントレジスタ A_4	TCORA_4	R/W	H'FFE2 0044	8、16	H'FF	H'FF	H'FF
		タイマコンスタントレジスタ B_4	TCORB_4	R/W	H'FFE2 0046	8、16	H'FF	H'FF	H'FF
		タイマコントロールレジスタ_4	TCR_4	R/W	H'FFE2 0040	8	H'00	H'00	H'00
		タイマカウンタコントロールレジスタ_4	TCCR_4	R/W	H'FFE2 004A	8	H'00	H'00	H'00
		タイマコントロール／ステータスレジスタ_4	TCSR_4	R/W	H'FFE2 0042	8	H'00	H'00	H'00
	5	タイマカウンタ_5	TCNT_5	R/W	H'FFE2 0049	8	H'00	H'00	H'00
		タイマコンスタントレジスタ A_5	TCORA_5	R/W	H'FFE2 0045	8	H'FF	H'FF	H'FF
		タイマコンスタントレジスタ B_5	TCORB_5	R/W	H'FFE2 0047	8	H'FF	H'FF	H'FF
		タイマコントロールレジスタ_5	TCR_5	R/W	H'FFE2 0041	8	H'00	H'00	H'00
		タイマカウンタコントロールレジスタ_5	TCCR_5	R/W	H'FFE2 004B	8	H'00	H'00	H'00
		タイマコントロール／ステータスレジスタ_5	TCSR_5	R/W	H'FFE2 0043	8	H'10	H'10	H'10

21.2.1　タイマカウンタ（TCNT）

TCNT は8 ビットのリード／ライト可能なアップカウンタです。TCNT_0、TCNT_1 を16 ビットレジスタとしてワードアクセスすることも可能です。クロックは、CKS2 ～ CKS0 ビット（TCR レジスタのビット2～0）、及びICKS1 又はICKS0 ビット（TCCR レジスタのビット1、0）により選択します。TCNT は、コンペアマッチA 信号、コンペアマッチB 信号によりクリアすることができます。いずれの信号でクリアするかは、CCLR1 及びCCLR0 ビット（TCR レジスタのビット4、3）により選択します。また、TCNT がオーバフロー（H'FF→H'00）すると、OVF ビット（TCSR レジスタのビット5）が1 にセットされます。TCNT の初期値はH'00 です。

	TCNT_0								TCNT_1							
ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名：																
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.2.2　タイマコンスタントレジスタA（TCORA）

TCORA は8 ビットのリード／ライト可能なレジスタです。TCORA_0、TCORA_1 を16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値はTCNT と常に比較され、一致するとCMFA ビット（TCSR レジスタのビット6）が1 にセットされます。ただし、TCORA へのライトサイクルのT2 ステートでの比較は禁止されています。TCORA の初期値はH'FF です。

	TCORA_0								TCORA_1							
ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名：																
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.2.3　タイマコンスタントレジスタB（TCORB）

TCORB は8 ビットのリード／ライト可能なレジスタです。TCORB_0、TCORB_1 を16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値はTCNT と常に比較され、一致するとCMFB ビット（TCSR レジスタのビット7）が1 にセットされます。ただし、TCORB へのライトサイクルのT2 ステートでの比較は禁止されています。TCORB の初期値はH'FF です。

	TCORB_0								TCORB_1							
ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
ビット名：																
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.2.4　タイマコントロールレジスタ（TCR）

TCR はTCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブルB CMFB（TCSR_0 レジスタのビット7）が1 にセットされたとき、CMFB による割り込み要求（CMIB）の許可又は禁止を選択します。 0：CMFB による割り込み要求（CMIB）を禁止 1：CMFB による割り込み要求（CMIB）を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブルA CMFA ビット（TCSR_0 レジスタのビット6）が1 にセットされたとき、CMFA による割り込み要求（CMIA）の許可又は禁止を選択します。 0：CMFA による割り込み要求（CMIA）を禁止 1：CMFA による割り込み要求（CMIA）を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル OVF ビット（TCSR_0 レジスタのビット5）が1 にセットされたとき、OVF による割り込み要求（OVI）の許可又は禁止を選択します。 0：OVF による割り込み要求（OVI）を禁止 1：OVF による割り込み要求（OVI）を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア1、0 TCNT のクリア条件を指定します。 00：クリアを禁止 01：コンペアマッチA によりクリア 10：コンペアマッチB によりクリア 11：設定禁止
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト2～0 ICKS1、0 ビット（TCCR レジスタのビット1、0）とともに、TCNT に入力するクロックとカウント条件を選択します。表21.2 を参照してください。

21.2.5　タイマカウンタコントロールレジスタ（TCCR）

TCCR はTCNT の内部クロックの選択の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 2	—	0	—	リザーブビット
1 0	ICKS1 ICKS0	0 0	R/W R/W	インターナルクロックセレクト1、0 CKS2～0ビット（TCRレジスタのビット2～0）とともに、TCNTに入力するクロックとカウント条件を選択します。表21.2を参照してください。

表21.2　TCNT に入力するクロックとカウント条件

チャネル	TCR			TCCR		説 明
	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	ビット1 ICKS1	ビット0 ICKS0	
TMR_0	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック：Pck/8 立ち上がりエッジでカウント
				0	1	内部クロック：Pck/2 立ち上がりエッジでカウント
				1	0	内部クロック：Pck/8 立ち下がりエッジでカウント
				1	1	内部クロック：Pck/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック：Pck/64立ち上がりエッジでカウント
				0	1	内部クロック：Pck/32 立ち上がりエッジでカウント
				1	0	内部クロック：Pck/64立ち下がりエッジでカウント
				1	1	内部クロック：Pck/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック：Pck/8192 立ち上がりエッジでカウント
				0	1	内部クロック：Pck/1024 立ち上がりエッジでカウント
				1	0	内部クロック：Pck/8192 立ち下がりエッジでカウント
				1	1	内部クロック：Pck/1024 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント（注）
TMR_1	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック：Pck/8 立ち上がりエッジでカウント
				0	1	内部クロック：Pck/2 立ち上がりエッジでカウント
				1	0	内部クロック：Pck/8 立ち下がりエッジでカウント
				1	1	内部クロック：Pck/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック：Pck/64 立ち上がりエッジでカウント
				0	1	内部クロック：Pck/32 立ち上がりエッジでカウント
				1	0	内部クロック：Pck/64 立ち下がりエッジでカウント
				1	1	内部クロック：Pck/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック：Pck/8192 立ち上がりエッジでカウント
				0	1	内部クロック：Pck/1024 立ち上がりエッジでカウント
				1	0	内部クロック：Pck/8192 立ち下がりエッジでカウント
				1	1	内部クロック：Pck/1024 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_0 のコンペアマッチA でカウント（注）
All	1	0	1	—	—	設定禁止
	1	1	0	—	—	設定禁止
	1	1	1	—	—	設定禁止

注．TMR_0 のクロック入力をTCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力をTCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しませんので、この組み合わせは設定しないでください。
また、カスケード接続選択時は、以下の順序でクロックとカウント条件を設定してください。
・16ビットカウントモード時　　：チャネル0 → チャネル1
・コンペアマッチカウントモード時：チャネル1 → チャネル0

21.2.6　タイマコントロール／ステータスレジスタ（TCSR）

TCSR はステータスフラグの表示、及びA/D 変換開始要求の制御を行います。

• TCSR_0

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W (注)	R/W (注)	R/W (注)	R/W	—	—	—	—

• TCSR_1

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	—	—	—	—
初期値：	0	0	0	1	0	0	0	0
R/W：	R/W (注)	R/W (注)	R/W (注)	—	—	—	—	—

• TCSR_0

ビット	ビット名	初期値	R/W	説 明
7	CMFB	0	R/W（注）	コンペアマッチフラグB 0：TCNTの値がTCORBの設定値と一致していない 1：TCNTの値がTCORBの設定値と一致
6	CMFA	0	R/W（注）	コンペアマッチフラグA 0：TCNTの値がTCORAの設定値と一致していない 1：TCNTの値がTCORAの設定値と一致
5	OVF	0	R/W（注）	タイマオーバフローフラグ 0：TCNTはオーバフローしていない 1：TCNTオーバフロー（H'FF→H'00）
4	ADTE	0	R/W	A/D トリガ、DMA トリガイネーブル コンペアマッチAによるA/D変換、及びDMA転送の開始要求の許可又は禁止を選択します。 0:コンペアマッチAによるA/D変換、及びDMA転送の開始要求を禁止 1:コンペアマッチAによるA/D変換、及びDMA転送の開始要求を許可
3 ～ 0	—	0	—	リザーブビット

注.　“1”を読み出した後、“0”を書くと“0”になります。“1”を書いても変化しません。

• TCSR_1

ビット	ビット名	初期値	R/W	説 明
7	CMFB	0	R/W（注）	コンペアマッチフラグB 0：TCNTの値がTCORBの設定値と一致していない 1：TCNTの値がTCORBの設定値と一致
6	CMFA	0	R/W（注）	コンペアマッチフラグA 0：TCNTの値がTCORAの設定値と一致していない 1：TCNTの値がTCORAの設定値と一致
5	OVF	0	R/W（注）	タイマオーバフローフラグ 0：TCNTはオーバフローしていない 1：TCNTオーバフロー（H'FF→H'00）
4	—	1	—	リザーブビット
3 ～ 0	—	0	—	リザーブビット

注. “1”を書いても変化しません。

21.3 動作タイミング

21.3.1 TCNT のカウントタイミング

内部クロック動作の場合のTCNT のカウントタイミングを図21.4 に示します。

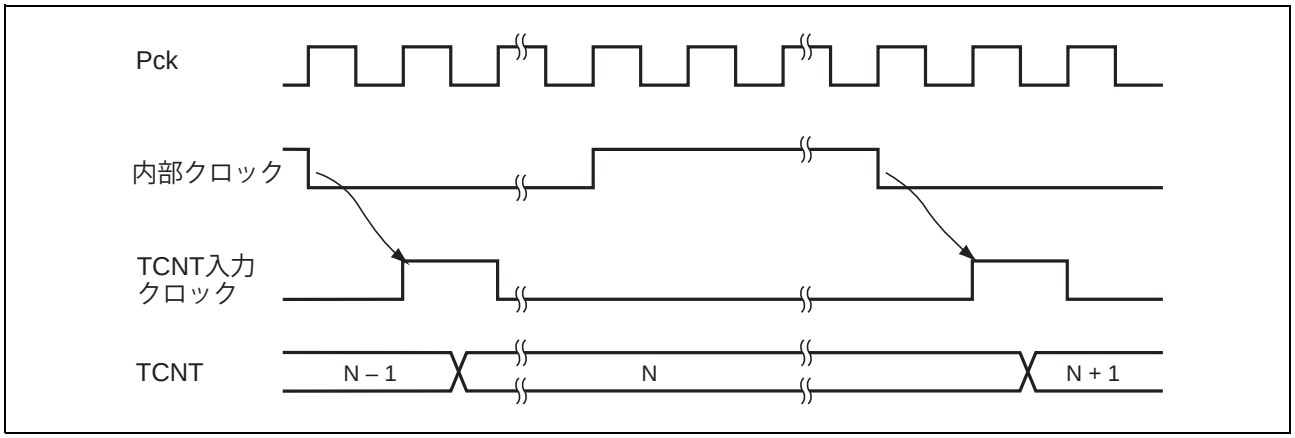


図 21.4 内部クロック立ち下がりエッジ動作時のカウントタイミング

21.3.2 コンペアマッチ時のCMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 21.5 に示します。

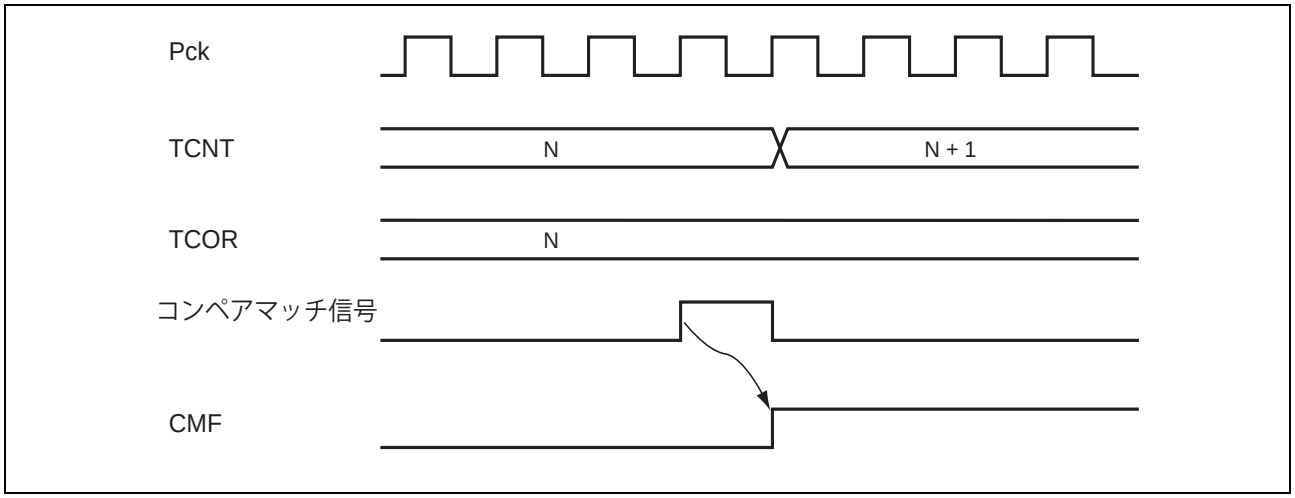


図 21.5 コンペアマッチ時のCMF フラグのセットタイミング

21.3.3　コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR のCCLR1、CCLR0 ビットの選択によりコンペアマッチA 又はコンペアマッチB でクリアされます。コンペアマッチによるカウンタクリアタイミングを図21.6 に示します。

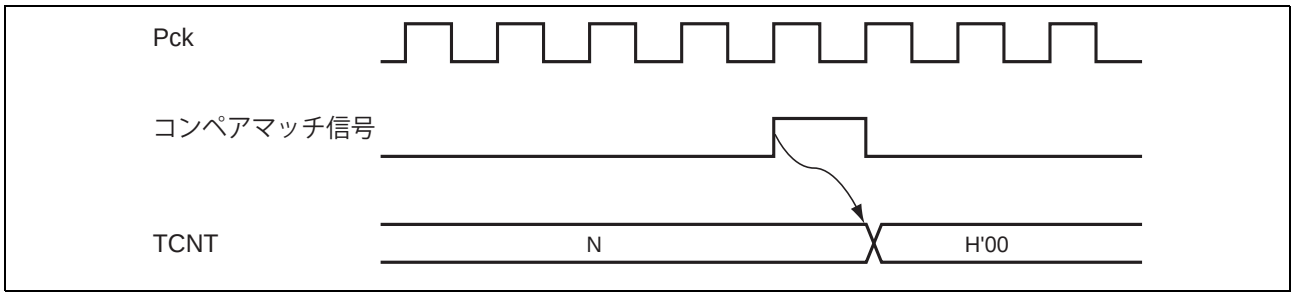


図 21.6　コンペアマッチによるカウンタクリアタイミング

21.3.4　オーバフローフラグ（OVF）のセットタイミング

TCSR のOVF は、TCNT がオーバフロー（H'FF→H'00）したとき出力されるオーバフロー信号により1 にセットされます。OVF フラグのセットタイミングを図21.7 に示します。

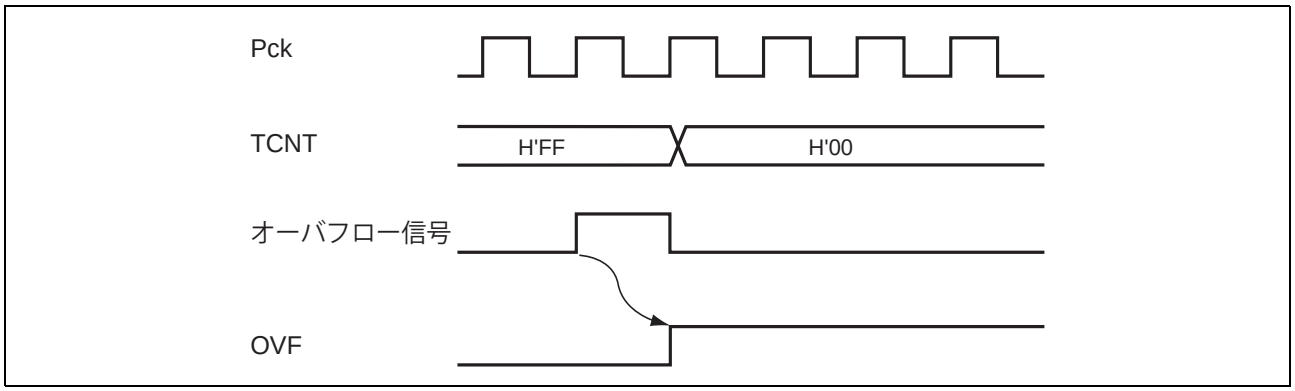


図 21.7　OVF フラグのセットタイミング

21.4 カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方のCKS2～CKS0 ビットをB'100 に設定すると、2 チャネルの8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットカウントモードか、又はチャネル 0 の 8 ビットタイマのコンペアマッチをチャネル 1 のタイマでカウントするコンペアマッチカウントモードにすることができます。

21.4.1 16ビットカウントモード

TCR_0 のCKS2～CKS0 ビットがB'100 のとき、タイマはチャネル0 を上位8 ビット、チャネル1 を下位8 ビットとする1 チャネルの16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ（TCNT_0、TCNT_1の両方）がクリアされます。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

21.4.2 コンペアマッチカウントモード

TCR_1 のCKS2～CKS0 ビットがB'100 のとき、TCNT_1 はチャネル0 のコンペアマッチA をカウントします。チャネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、カウンタクリアなどは各チャネルの設定に従います。

21.5 割り込み要因

21.5.1 割り込み要因

8 ビットタイマTMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の3 種類があります。表21.3 に各割り込み要因を示します。各割り込み要因は、TCR 又はTCSR の各割り込みイネーブルビットにより許可又は禁止が設定され、割り込みコントローラに送られます。

表21.3　8 ビットタイマTMR_0、TMR_1 の割り込み要因

名 称	割り込み要因	割り込みフラグ
CMIA0	TCORA_0 のコンペアマッチ	CMFA
CMIB0	TCORB_0 のコンペアマッチ	CMFB
OVI0	TCNT_0 のオーバフロー	OVF
CMIA1	TCORA_1 のコンペアマッチ	CMFA
CMIB1	TCORB_1 のコンペアマッチ	CMFB
OVI1	TCNT_1 のオーバフロー	OVF

TMR_0、TMR_1 の割り込みは、割り込みコントローラにて 1 要因（TMR01I）に束ねられます。6 つのうちどの割り込み要因が発生したかについては、TCSR_0、TCSR_1 を読み出すことによって確認可能です。

21.5.2 A/D 変換器の起動

TMR_0 のコンペアマッチA により A/D 変換器0 を、TMR_2 のコンペアマッチA により A/D 変換器1 を起動することができます。

TMR_0 のコンペアマッチA の発生により、TCSR_0 のCMFA フラグが1 にセットされたとき、ADTE ビットが1 にセットされていれば、A/D 変換器0 に対してA/D 変換の開始を要求します。この時A/D 変換器0 側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。TMR_2 とA/D 変換器1 の関係も同様です。

21.5.3 DMA転送器の起動

TMR_0のコンペアマッチA、及び TMR_2のコンペアマッチAにより DMA 転送器を起動することができます。転送の開始要求を許可する場合は、TCSR_n (n=0,2)のADTE ビットを 1 にセットしてください。

21.6　使用上の注意

21.6.1　周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT はTCOR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、カウンタの周波数は次の式になります（f：カウンタ周波数、Pck：周辺クロック周波数、N：TCOR の設定値）。

$$f = Pck / (N + 1)$$

21.6.2　TCNT のライトとカウンタクリアの競合

図 21.8 のように TCNT のライトサイクル中の T2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

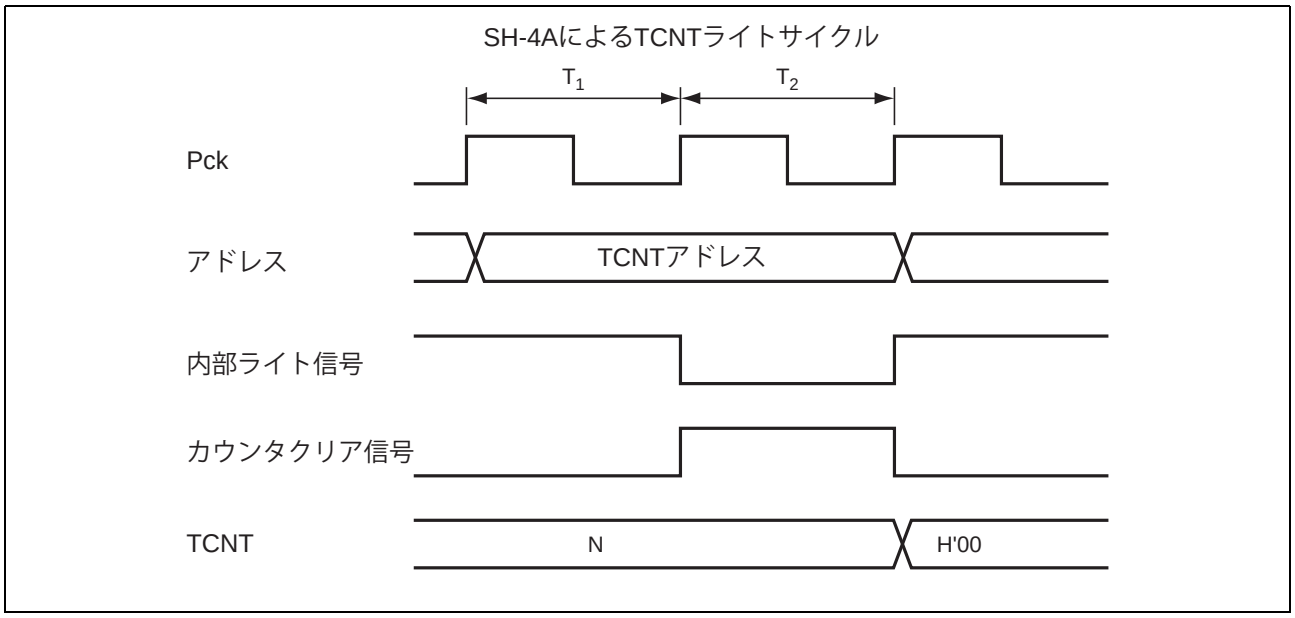


図 21.8　TCNT のライトとクリアの競合

21.6.3　TCNT のライトとカウントアップの競合

図 21.9 のように TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

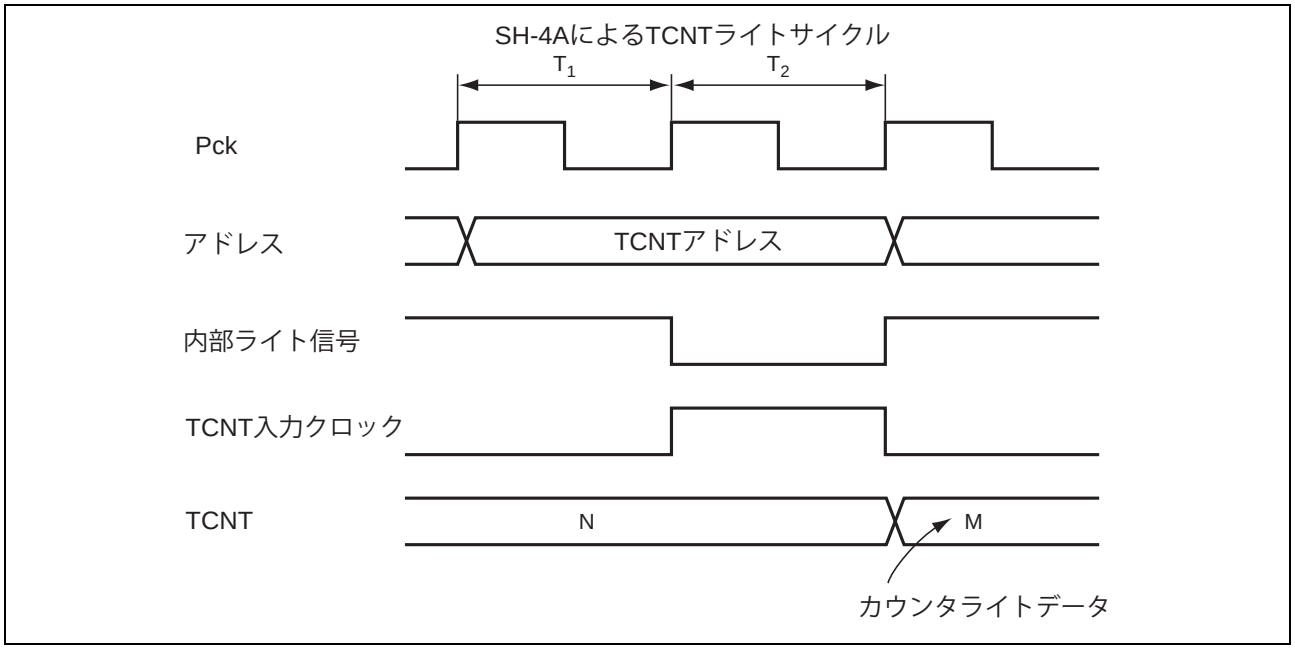


図 21.9 TCNT のライトとカウントアップの競合

21.6.4 TCOR のライトとコンペアマッチの競合

図21.10 のようにTCOR のライトサイクル中のT2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

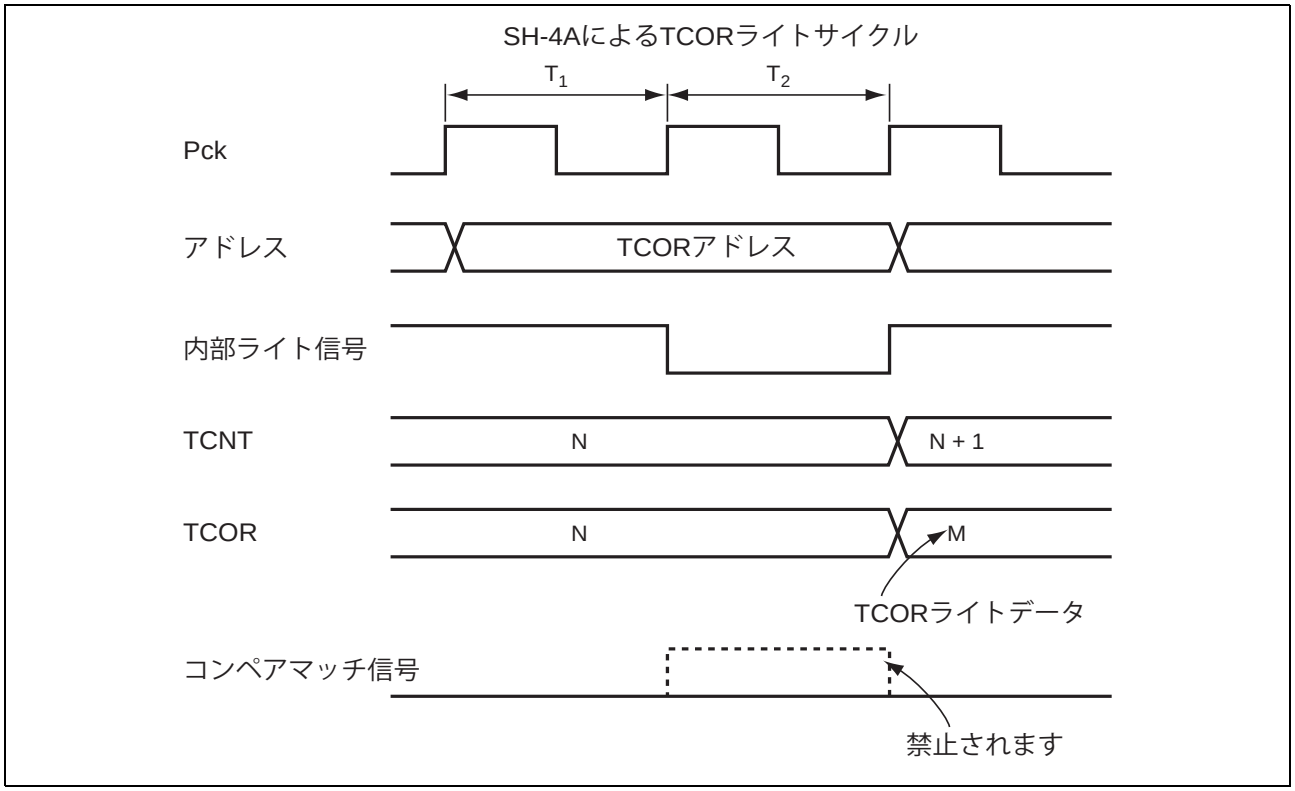


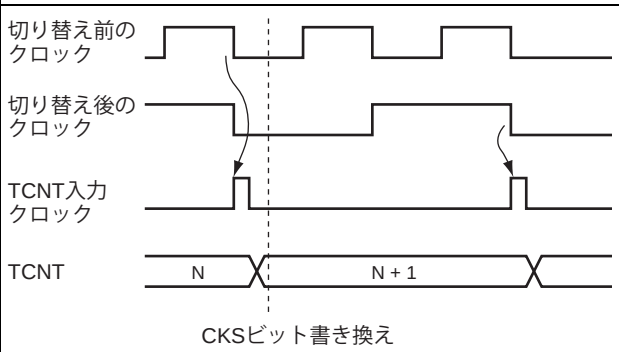
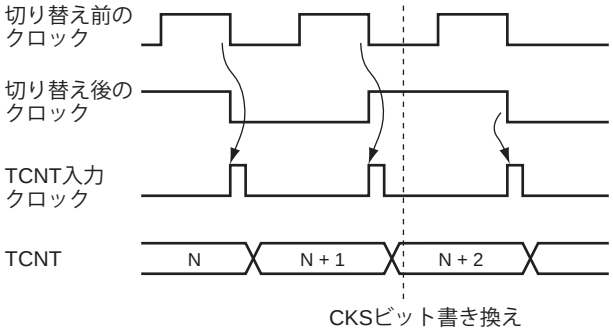
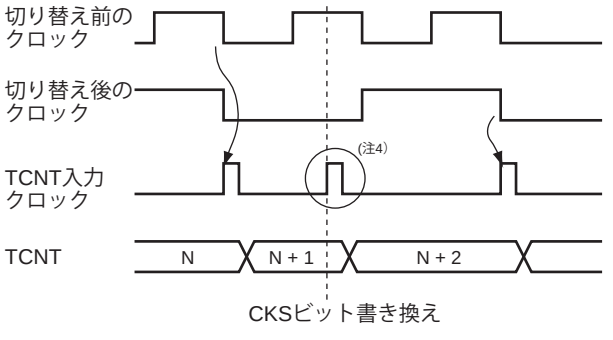
図 21.10 TCOR のライトとコンペアマッチの競合

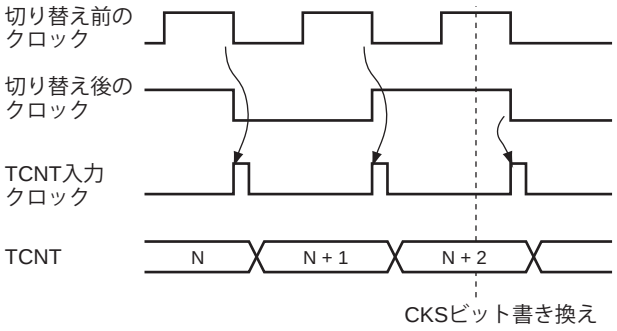
21.6.5　内部クロックの切り替えとTCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）とTCNT 動作の関係を表21.4 に示します。内部クロックからTCNT クロックを生成する場合、内部クロックの立ち上がりエッジ、又は立ち下がりエッジで検出しています。そのため、たとえば立ち下がりエッジを選択している場合表21.4 のNo.3 のように、H→L レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなしてTCNT クロックが発生し、TCNT がカウントアップされてしまいます。立ち上がりエッジを選択している場合も同様です。

また、内部クロックの立ち上がりエッジと立ち下がりエッジを切り替えるときも、TCNT がカウントアップされることがあります。

表21.4　内部クロックの切り替えとTCNT の動作

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	L→L レベル（注1）の切り替え	
2	L→H レベル（注2）の切り替え	
3	H→L レベル（注3）の切り替え	

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
4	H →H レベルの切り替え	

注1. L レベル→停止、及び停止→L レベルの場合を含みます。
2. 停止→H レベルの場合を含みます。
3. H レベル→停止の場合を含みます。
4. 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

21.6.6　カスケード接続時のモード設定

16 ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1 の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

21.6.7　モジュールストップの設定

モジュールストップレジスタにより、TMR の動作禁止／許可を設定することが可能です。初期値では、TMR は動作します。詳細は、「18. 低消費電力モード」を参照してください。

21.6.8　モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、SH-4A の割り込み要因の起動要因がクリアできません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

22. タイマユニット（TMU）

本LSIは6チャネル（チャネル0～5）の32ビットタイマにより構成される32ビットタイマユニット（TMU：Timer Unit）を内蔵しています。

22.1 特長

TMUには次のような特長があります。

- 各チャネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャネル2は、インプットキャプチャ機能を搭載
- チャネル0～2は、外部クロック選択時もしくはチャネル2インプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ／立ち下がりエッジ選択可能
- 各チャネルとも、任意の時点で読み出し／書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタ、及び32ビットダウンカウンタを搭載
- チャネル0～2は、6種類のカウンタ入力クロックを選択可能
  外部クロック（TCLK）、5種類の周辺クロック（Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024）（ただし、Pckは周辺クロック）
- チャネル3～5は、5種類のカウンタ入力クロックを選択可能
  5種類の周辺クロック（Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024）
- 2種類の割り込み要因
  アンダフロー×1要因（各チャネル）、インプットキャプチャ×1要因（チャネル2）があります。

図22.1 にTMU のブロック図を示します。

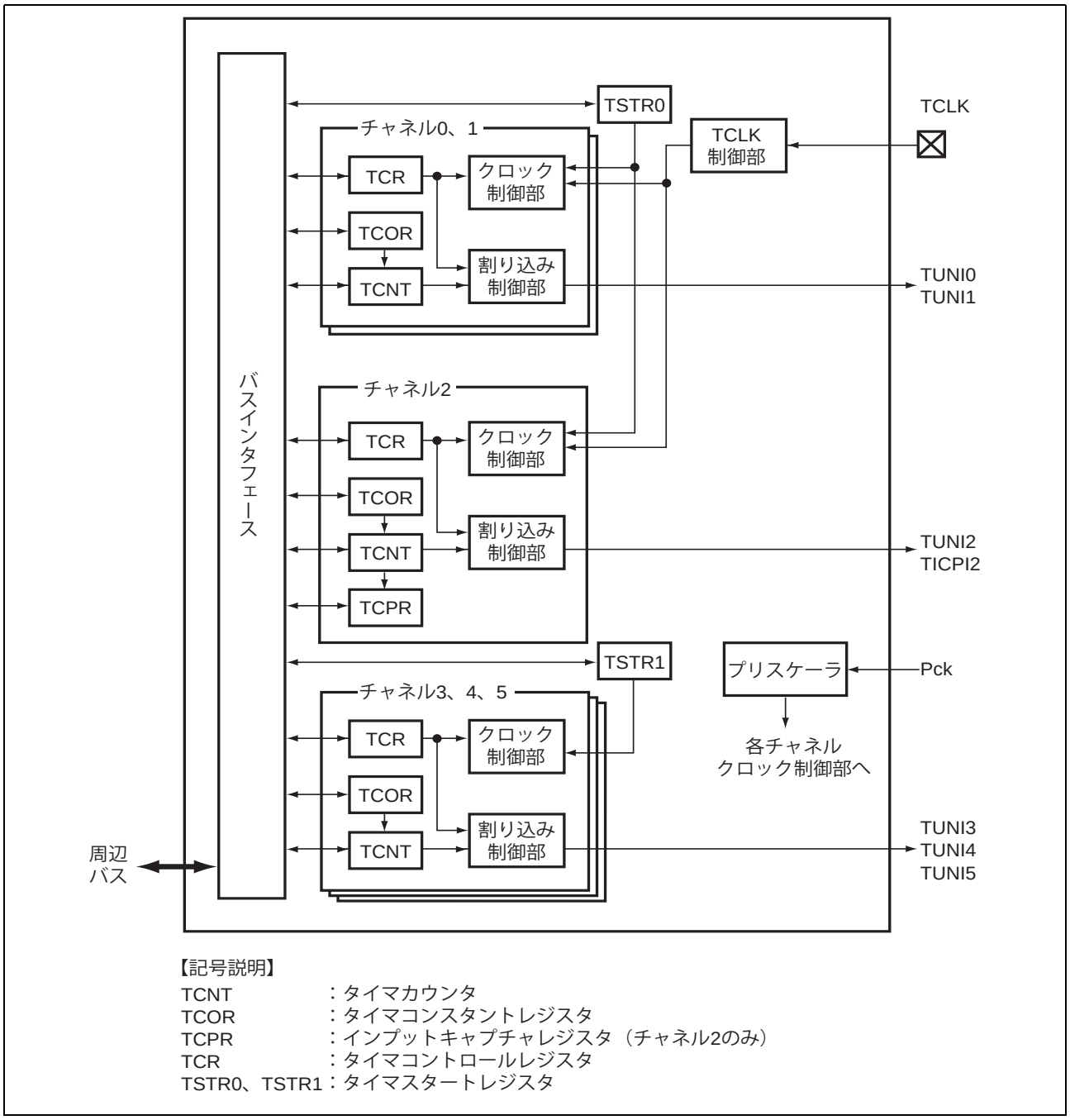


図 22.1　TMU のブロック図

22.2　入出力端子

表22.1 にTMU の端子構成を示します。

表22.1　端子構成

端子名	機 能	入出力	説 明
TCLK	タイマクロック	入力	タイマの外部クロック入力 チャネル2 のインプットキャプチャ信号端子としても使用できます

22.3 レジスタの説明

TMU のレジスタ構成、及び各処理モードにおけるレジスタの状態を表22.2 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表22.2　レジスタ構成

チャネル	名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
012 共通	タイマスタートレジスタ0	TSTR0	R/W	H'FE43 0004	8	H'00	H'00	H'00
0	タイマコンスタントレジスタ0	TCOR0	R/W	H'FE43 0008	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマカウンタ0	TCNT0	R/W	H'FE43 000C	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマコントロールレジスタ0	TCR0	R/W	H'FE43 0010	16	H'0000	H'0000	H'0000
1	タイマコンスタントレジスタ1	TCOR1	R/W	H'FE43 0014	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマカウンタ1	TCNT1	R/W	H'FE43 0018	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマコントロールレジスタ1	TCR1	R/W	H'FE43 001C	16	H'0000	H'0000	H'0000
2	タイマコンスタントレジスタ2	TCOR2	R/W	H'FE43 0020	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマカウンタ2	TCNT2	R/W	H'FE43 0024	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマコントロールレジスタ2	TCR2	R/W	H'FE43 0028	16	H'0000	H'0000	H'0000
	インプットキャプチャレジスタ2	TCPR2	R	H'FE43 002C	32	Retained	Retained	Retained
345 共通	タイマスタートレジスタ1	TSTR1	R/W	H'FE44 0004	8	H'00	H'00	H'00
3	タイマコンスタントレジスタ3	TCOR3	R/W	H'FE44 0008	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマカウンタ3	TCNT3	R/W	H'FE44 000C	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマコントロールレジスタ3	TCR3	R/W	H'FE44 0010	16	H'0000	H'0000	H'0000
4	タイマコンスタントレジスタ4	TCOR4	R/W	H'FE44 0014	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマカウンタ4	TCNT4	R/W	H'FE44 0018	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマコントロールレジスタ4	TCR4	R/W	H'FE44 001C	16	H'0000	H'0000	H'0000
5	タイマコンスタントレジスタ5	TCOR5	R/W	H'FE44 0020	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマカウンタ5	TCNT5	R/W	H'FE44 0024	32	H'FFFF FFFF	H'FFFF FFFF	H'FFFF FFFF
	タイマコントロールレジスタ5	TCR5	R/W	H'FE44 0028	16	H'0000	H'0000	H'0000

22.3.1　タイマスタートレジスタ（TSTR0、TSTR1）

TSTR は、読み出し／書き込み可能な8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

• TSTR0

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 3	—	0	—	リザーブビット
2	STR2	0	R/W	カウンタスタート2 TCNT2 を動作させるか、停止させるかを選択します。 0：TCNT2 のカウント動作は停止 1：TCNT2 はカウント動作する
1	STR1	0	R/W	カウンタスタート1 TCNT1 を動作させるか、停止させるかを選択します。 0：TCNT1 のカウント動作は停止 1：TCNT1 はカウント動作する
0	STR0	0	R/W	カウンタスタート0 TCNT0 を動作させるか、停止させるかを選択します。 0：TCNT0 のカウント動作は停止 1：TCNT0 はカウント動作する

• TSTR1

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR5	STR4	STR3
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 3	—	0	—	リザーブビット
2	STR5	0	R/W	カウンタスタート5 TCNT5 を動作させるか、停止させるかを選択します。 0：TCNT5 のカウント動作は停止 1：TCNT5 はカウント動作する
1	STR4	0	R/W	カウンタスタート4 TCNT4 を動作させるか、停止させるかを選択します。 0：TCNT4 のカウント動作は停止 1：TCNT4 はカウント動作する

ビット	ビット名	初期値	R/W	説 明
0	STR3	0	R/W	カウンタスタート3 TCNT3 を動作させるか、停止させるかを選択します。 0：TCNT3 のカウント動作は停止 1：TCNT3 はカウント動作する

22.3.2　タイマコンスタントレジスタ（TCORn）（n＝0～5）

TCOR は、読み出し／書き込み可能な32 ビットレジスタです。TCNT のカウントダウンの結果、アンダフローが発生すると、このTCOR の値がTCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.3.3　タイマカウンタ（TCNTn）（n＝0～5）

TCNT は、読み出し／書き込み可能な32 ビットレジスタです。TCNT は、TCR のTPSC2～TPSC0 ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャネルのTCR のUNF が1 にセットされます。また、同時にTCNT には、TCOR の値が設定され、設定された値からカウントダウン動作を続けます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.3.4　タイマコントロールレジスタ（TCRn）（n＝0～5）

TCR は、読み出し／書き込み可能な 16 ビットレジスタです。カウントクロックの選択、外部クロック選択時のエッジの選択、TCNT のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生の制御を行います。また、チャネル2 のTCR はインプットキャプチャ機能の制御、及びインプットキャプチャ時の割り込み発生の制御を行います。

• TCR0、TCR1、TCR3、TCR4、TCR5

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UNF	—	—	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W (注2)	—	—	R/W	R/W	R/W	R/W	R/W	R/W

• TCR2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ICPF	UNF	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W (注2)	R/W (注2)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	ICPF（注１）	0	R/W（注２）	インプットキャプチャ割り込みフラグ チャネル2 のみの機能で、インプットキャプチャの発生を示すステータスフラグです。 0：インプットキャプチャが発生していないことを示します ［クリア条件］ICPF に0 を書き込んだとき 1：インプットキャプチャが発生したことを示します ［セット条件］インプットキャプチャが発生したとき
8	UNF	0	R/W（注２）	アンダフローフラグ TCNT のアンダフローの発生を示すステータスフラグです。 0：TCNT がアンダフローを起こしていないことを示します ［クリア条件］UNF に0 を書き込んだとき 1：TCNT がアンダフローを起こしたことを示します ［セット条件］TCNT がアンダフローを起こしたとき

ビット	ビット名	初期値	R/W	説 明
7 6	ICPE1（注1） ICPE0（注1）	0 0	R/W R/W	インプットキャプチャ制御 チャネル2 のみの機能で、インプットキャプチャ機能を使用するかどうか、及び使用時の割り込み発生を許可するかどうかを制御します。 TCLK 端子の立ち上がりエッジ／立ち下がりエッジのいずれかを使ってTCPR2 にTCNT2 の値をセットするかは、CKEG ビットで設定します。 TCR2 のICPF ビットが0 のときのみ、TCNT2 の値がTCPR2 にセットされます。ICPF ビットが1 のときは、インプットキャプチャが発生してもTCPR2 はセットされません。 00：インプットキャプチャ機能を使用しないことを示します 01：設定禁止 10：インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み（TICPI2）を許可しないことを示します。 11：インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み（TICPI2）を許可することを示します。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT のアンダフローの発生を示すステータスフラグUNF が1 にセットされたときに割り込み発生を許可するかどうかを制御します。 0：アンダフローによる割り込み（TUNI）を許可しない 1：アンダフローによる割り込み（TUNI）を許可する
4 3	CKEG1 CKEG0	0 0	R/W R/W	クロックエッジ1、0 外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00：立ち上がりエッジでカウント／インプットキャプチャレジスタセット 01：立ち下がりエッジでカウント／インプットキャプチャレジスタセット 1X：立ち上がり／立ち下がりの両エッジでカウント／インプットキャプチャレジスタセット
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	タイマプリスケーラ2～0 TCNT のカウントクロックを選択します。 000：Pck/4 でカウント 001：Pck/16 でカウント 010：Pck/64 でカウント 011：Pck/256 でカウント 100：Pck/1024 でカウント 101：設定禁止 110：設定禁止 111：外部クロック（TCLK）でカウント（注3）

X：Don't care

注1.　チャネル0、1、3、4、5 ではリザーブビットです（初期値0、書き込む値は“0”にしてください）。
2.　“1”を書き込んでも値は変化しません。
3.　チャネル3、4、5 では設定禁止です。

22.3.5　インプットキャプチャレジスタ2（TCPR2）

TCPR2 は、チャネル 2 のみに内蔵されているインプットキャプチャ機能用の読み出し専用の 32 ビットレジスタです。TCR2 の ICPE ビット、及び CKEG ビットによって、インプットキャプチャ機能を制御します。インプットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

22.4　動作説明

各チャネルには、32 ビットのタイマカウンタ（TCNT）と 32 ビットのタイマコンスタントレジスタ（TCOR）があります。TCNT は、カウントダウン動作を行います。オートリロード機能によって周期カウント動作又は外部イベントカウント動作が可能です。また、チャネル 2 には、インプットキャプチャ機能があります。

22.4.1　カウンタの動作

TSTR0～TSTR1 の STR5～STR0 ビットを 1 にセットすると、対応するチャネルの TCNT はカウント動作を開始します。TCNT がアンダフローすると対応する TCR の UNF フラグが 1 にセットされます。このとき、TCR の UNIE ビットが 1 ならば、SH-4A に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、カウントダウン動作を継続します（オートリロード機能）。

(1)　カウント動作の設定手順例

図 22.2 にカウント動作の設定手順例を示します。

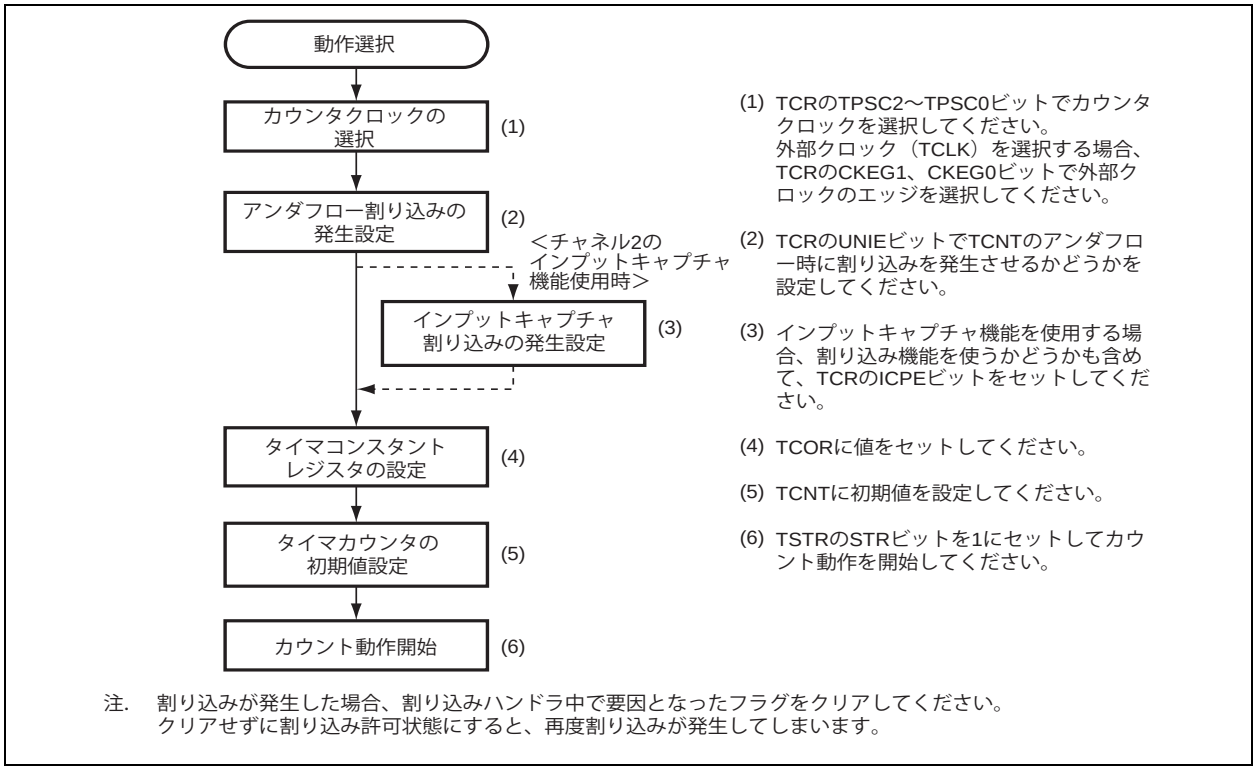


図 22.2　カウント動作設定手順例

(2)　オートリロードカウント動作

図22.3にTCNTのオートリロード動作を示します。

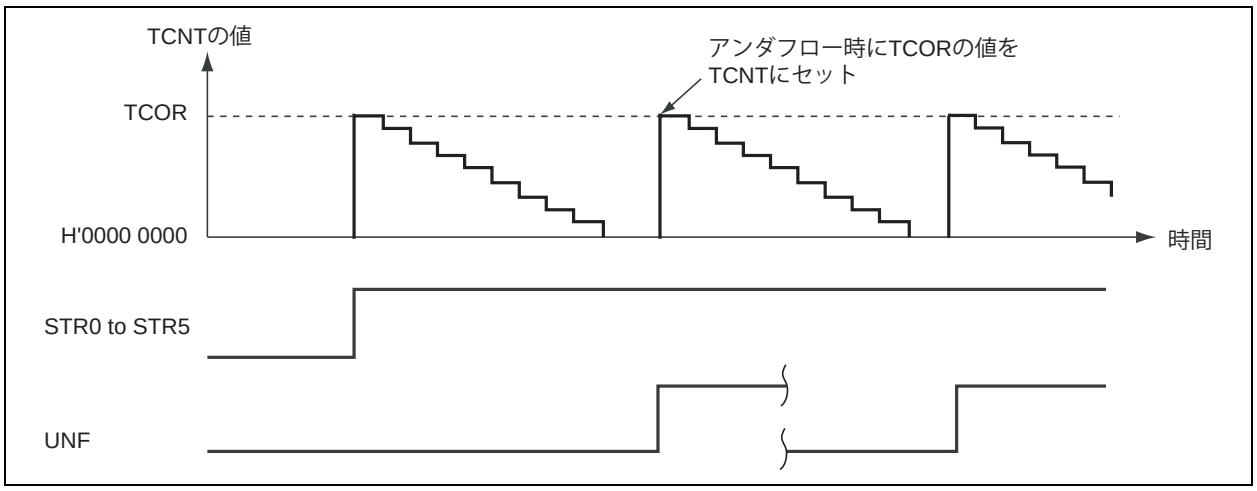


図 22.3　TCNT のオートリロード動作

(3)　TCNT のカウントタイミング

- **内部クロック動作の場合**

TCRのTPSC2～TPSC0ビットにより、カウントクロックとして周辺クロックを分周した5種類のクロック（Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024）を選択できます。

この時のタイミングを図22.4に示します。

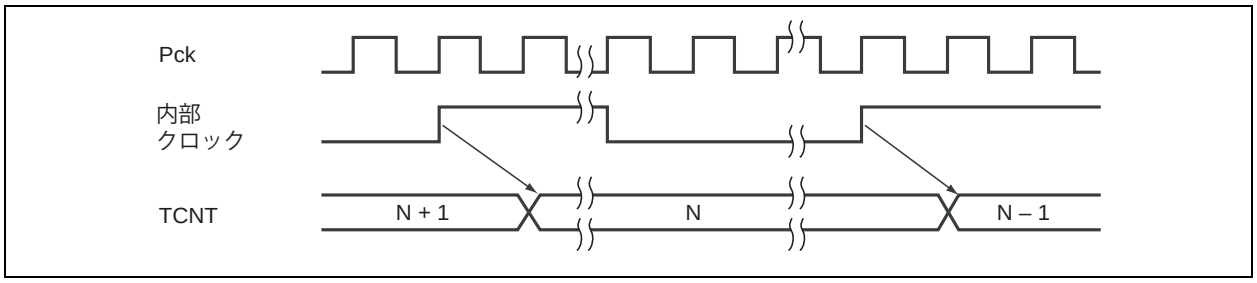


図 22.4　内部クロック動作時のカウントタイミング

- **外部クロック動作の場合**

チャネル0、1、2では、TCRのTPSC2～TPSC0ビットにより、タイマ用クロックとして外部クロック端子（TCLK）からの入力を選択できます。また、TCRのCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり／立ち下がり／両エッジの選択が可能です。

図22.5に両エッジ検出時のタイミングを示します。

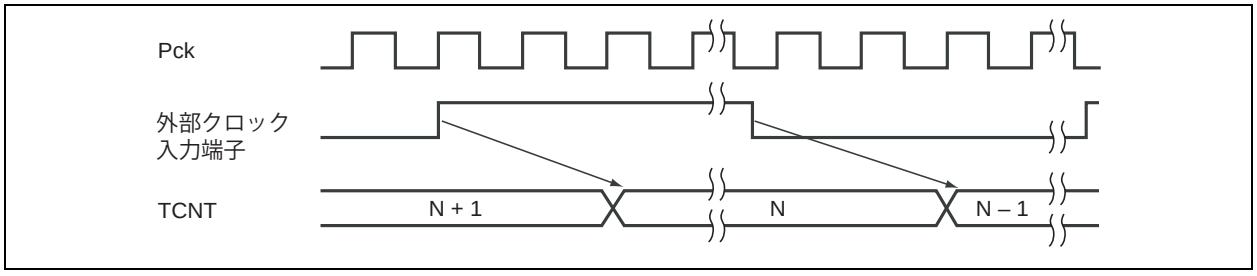


図 22.5　外部クロック動作時のカウントタイミング

22.4.2　インプットキャプチャ機能

チャネル2には、インプットキャプチャ機能があります。
インプットキャプチャ機能を利用するには、以下のような設定順序で行います。

1. TCRのTPSC2～TPSC0ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCRのICPE1、ICPE0ビットでインプットキャプチャ機能の使用、及び使用の際に割り込みを発生させるかを指定します。
3. TCRのCKEG1、CKEG0ビットでTCLK端子の立ち上がり／立ち下がりのどのエッジを使用してTCPR2にTCNTの値をセットするかを指定します。

インプットキャプチャ発生時、TCR2のICPFビットが0のときのみ、TCNT2の値をTCPR2にセットします。図22.6にインプットキャプチャ機能使用時の動作タイミングを示します（TCLKの立ち上がりエッジ使用）。

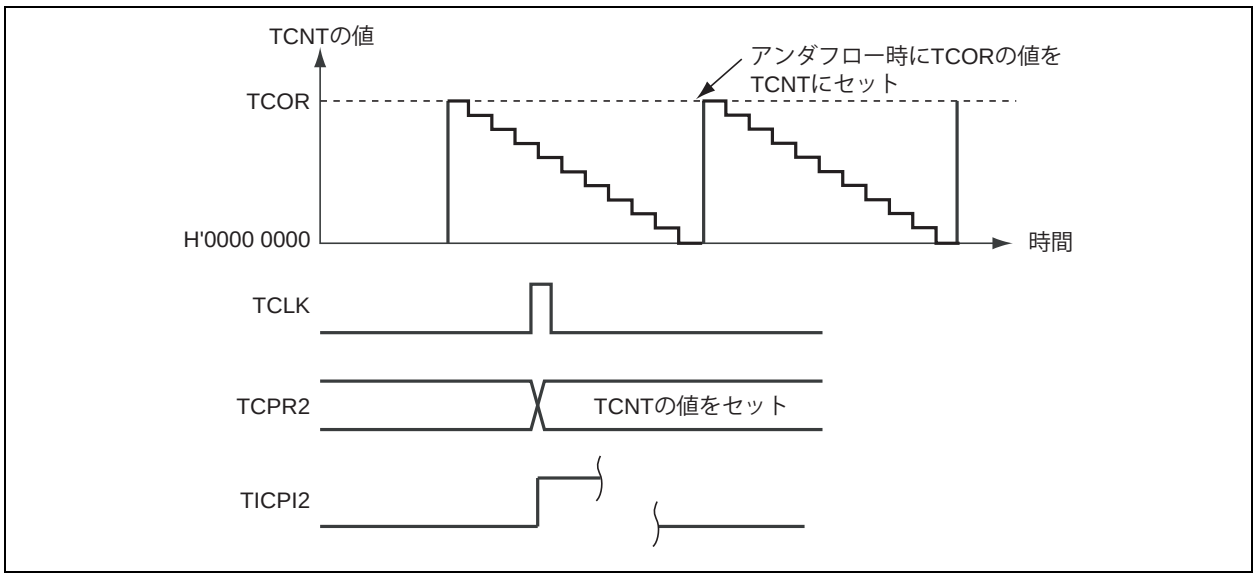


図 22.6　インプットキャプチャ機能使用時の動作タイミング

22.5 割り込み

TMUには7個の割り込み要因があり、アンダフロー割り込みが6要因、インプットキャプチャ機能使用時のインプットキャプチャ割り込みが1要因です。アンダフロー割り込みは各チャネルで、インプットキャプチャ割り込みはチャネル2のみで発生します。

UNFビットが1であり、そのチャネルの割り込み許可ビットが1のとき、アンダフロー割り込み要求を発生します（チャネルごと）。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生するとTCR2のICPFビットが1でTCR2のインプットキャプチャ制御ビット（ICPE1、ICPE0）が11の場合に割り込み要求が発生します。

表22.3にTMUの割り込み要因を示します。

表22.3　TMUの割り込み要因

チャネル	割り込み要因	内 容
0	TUNI0	アンダフロー割り込み0
1	TUNI1	アンダフロー割り込み1
2	TUNI2	アンダフロー割り込み2
	TICPI2	インプットキャプチャ割り込み2
3	TUNI3	アンダフロー割り込み3
4	TUNI4	アンダフロー割り込み4
5	TUNI5	アンダフロー割り込み5

22.6 使用上の注意事項

22.6.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TSTR の該当チャネルのスタートビット（STR5 ～ STR0）をクリアして、タイマのカウント動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウント動作中に行うことができます。カウント動作中にフラグ（UNF、ICPF）をクリアする際は、クリアするビット以外は変更しないようにしてください。

22.6.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

22.6.3 外部クロック周波数について

チャネル 0、1、2 への外部クロック（TCLK）入力周波数は Pck/4 を超えないようにしてください。

23. ギガビットイーサネットコントローラ（GETHER）

本LSIは、イーサネットあるいはIEEE802.3のMAC（Media Access Control）層規格に準拠したギガビットイーサネットコントローラ（GETHER）を内蔵しています。GETHERは、同規格に合致する物理層LSI（PHY-LSI）と接続することにより、イーサネット／IEEE802.3フレームの送受信を行うことができます。本LSI内蔵のイーサネットコントローラはMAC層インタフェースを2系統（以後、0系、1系と表記します）内蔵しており、それぞれ独立に送信及び受信動作をさせることができます。

GETHERは、専用のダイレクトメモリアクセスコントローラ（E-DMAC）を内蔵しており、送受信するイーサネットフレームデータを、メモリ上の送受信バッファとの間で高速に転送することが可能です。

また、GETHERは、受信処理を制御するTSU（Transfer Switching Unit）を内蔵しています。

23.1 特長

- MAC（Media Access Control）機能
  - データフレームの組み立て／分解（IEEE802.3, 2000Edition準拠フレーム形式）
  - 10Mbps、100Mbps、及び1000Mbps転送に対応
  - 全二重モード及び半二重モード対応
  - 2チャネル内蔵（GETHER0、GETHER1）
  - IEEE802.3x準拠のフロー制御が可能
  - IEEE802.3準拠PHYインタフェースをサポート：RGMII (Reduced Gigabit Media Independent Interface)
  - 上位プロトコルサポート（チェックサム）機能
- E-DMAC（イーサネットコントローラダイレクトメモリアクセスコントローラ）機能
  - GETHERと外部／内部メモリ間データ転送可能
  - 2チャネル内蔵
  - 32バイトバースト転送可能
  - 1フレーム／1ディスクリプタ、1フレーム／複数ディスクリプタ方式（マルチバッファ）対応可能
  - 転送データ幅：32ビット
  - 送受信FIFO搭載（送信用：2Kバイト、受信用：12Kバイト）

図23.1にGETHERの構成を示します。

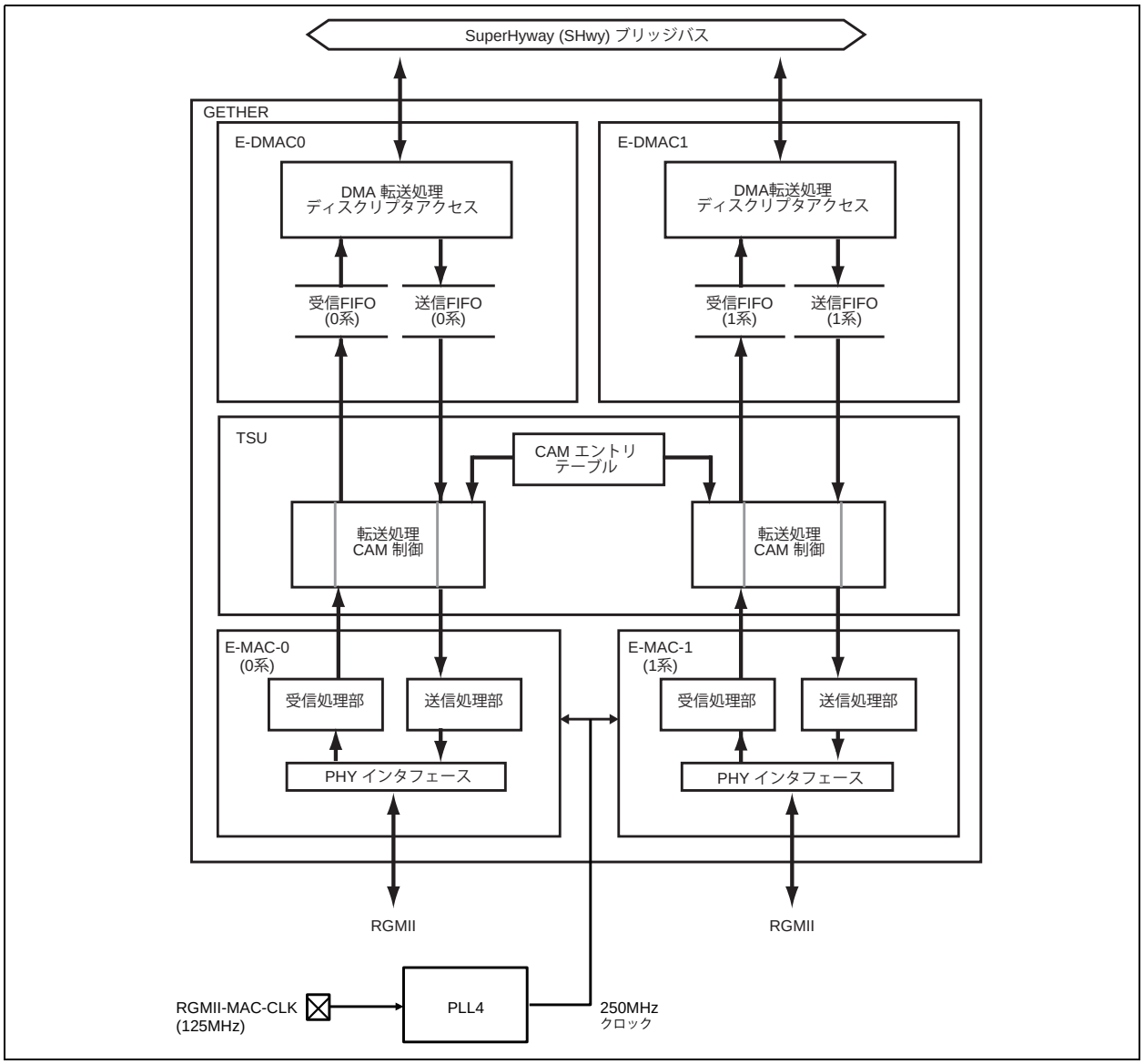


図 23.1　GETHER の構成

23.2 入出力端子

GETHER の端子構成を表23.1 に示します。

表23.1　端子構成

系	名称	記号	入出力	機能
0	送信クロック	ET0-TXC	出力	送信信号用クロック出力
	送信データ	ET0-TD[3:0]	出力	4ビットの送信データ用出力端子
	送信制御	ET0-TX_CTL	出力	送信信号用 制御信号出力
	受信クロック	ET0-RXC	入力	受信信号用 クロック入力
	受信データ	ET0-RD[3:0]	入力	4ビットの受信データ用入力端子
	受信制御	ET0-RX_CTL	入力	受信信号用 制御信号入力
	管理用クロック	ET0-MDC（注1）	出力	MDIO による転送情報のクロック信号
	管理用データ	ET0-MDIO（注1）	入出力	管理情報を交換する為の双方向のデータ端子
1	送信クロック	ET1-TXC	出力	送信信号用クロック出力
	送信データ	ET1-TD[3:0]	出力	4ビットの送信データ用出力端子
	送信制御	ET1-TX_CTL	出力	送信信号用 制御信号出力
	受信クロック	ET1-RXC	入力	受信信号用 クロック入力
	受信データ	ET1-RD[3:0]	入力	4ビットの受信データ用入力端子
	受信制御	ET1-RX_CTL	入力	受信信号用 制御信号入力
	管理用クロック	ET1-MDC（注1）	出力	MDIO による転送情報のクロック信号
	管理用データ	ET1-MDIO（注1）	入出力	管理情報を交換する為の双方向のデータ端子
共通	125MHz 基準クロック	RGMII-MAC-CLK（注2）	入力	ETHER RGMII リファレンスクロック

注1. MDIO端子、MDC端子はRMII、RGMIIでマルチプレックスされています。詳細は、「23.5 MII レジスタのアクセス方法」を参照してください。
2. 本モジュールを使用する際は、RGMII-MAC-CLK開始後少なくとも200us待ってください。

23.3　レジスタの説明

GETHER のレジスタ構成と各処理状態におけるレジスタの状態を表23.2 に示します。

CAM エントリテーブル関連のレジスタを除く各レジスタ略号の末尾の数字は、2 つのイーサネットインタフェースポートの番号（0 系又は 1 系の別）を表します。本文中では、レジスタ略号中の番号の記載を一部省略しています。

表23.2　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
ソフトウェアリセットレジスタ	ARSTR	R/W	H'FEE0 1800	32	H'0000 0000	H'0000 0000	H'0000 0000
E-MAC モードレジスタ	ECMR0	R/W	H'FEE0 0500	32	H'0000 0000	H'0000 0000	H'0000 0000
E-MAC ステータスレジスタ	ECSR0	R/W	H'FEE0 0510	32	H'0000 000X	H'0000 000X	H'0000 000X
E-MAC 割り込み許可レジスタ	ECSIPR0	R/W	H'FEE0 0518	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY 部インタフェースレジスタ	PIR0	R/W	H'FEE0 0520	32	H'0000 000X	H'0000 000X	H'0000 000X
MAC アドレス上位設定レジスタ	MAHR0	R/W	H'FEE0 05C0	32	H'0000 0000	H'0000 0000	H'0000 0000
MAC アドレス下位設定レジスタ	MALR0	R/W	H'FEE0 05C8	32	H'0000 0000	H'0000 0000	H'0000 0000
受信フレーム長レジスタ	RFLR0	R/W	H'FEE0 0508	32	H'0000 0000	H'0000 0000	H'0000 0000
送信リトライオーバカウンタレジスタ	TROCR0	R/W	H'FEE0 0700	32	H'0000 0000	H'0000 0000	H'0000 0000
遅延衝突検出カウンタレジスタ	CDCR0	R/W	H'FEE0 0708	32	H'0000 0000	H'0000 0000	H'0000 0000
キャリア消失カウンタレジスタ	LCCR0	R/W	H'FEE0 0710	32	H'0000 0000	H'0000 0000	H'0000 0000
CRC エラーフレーム受信カウンタレジスタ	CEFCR0	R/W	H'FEE0 0740	32	H'0000 0000	H'0000 0000	H'0000 0000
フレーム受信エラーカウンタレジスタ	FRECR0	R/W	H'FEE0 0748	32	H'0000 0000	H'0000 0000	H'0000 0000
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR0	R/W	H'FEE0 0750	32	H'0000 0000	H'0000 0000	H'0000 0000
指定バイト超フレーム受信カウンタレジスタ	TLFRCR0	R/W	H'FEE0 0758	32	H'0000 0000	H'0000 0000	H'0000 0000
端数ビットフレーム受信カウンタレジスタ	RFCR0	R/W	H'FEE0 0760	32	H'0000 0000	H'0000 0000	H'0000 0000
キャリア拡張消失カウンタレジスタ	CERCR0	R/W	H'FEE0 0768	32	H'0000 0000	H'0000 0000	H'0000 0000
キャリア拡張エラーカウンタレジスタ	CEECR0	R/W	H'FEE0 0770	32	H'0000 0000	H'0000 0000	H'0000 0000
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR0	R/W	H'FEE0 0778	32	H'0000 0000	H'0000 0000	H'0000 0000
自動ポーズフレーム設定レジスタ	APR0	R/W	H'FEE0 0554	32	H'0000 0000	H'0000 0000	H'0000 0000
手動ポーズフレーム設定レジスタ	MPR0	R/W	H'FEE0 0558	32	H'0000 0000	H'0000 0000	H'0000 0000
自動ポーズフレーム再送回数設定レジスタ	TPAUSER0	R/W	H'FEE0 0564	32	H'0000 0000	H'0000 0000	H'0000 0000
ポーズフレーム送信カウンタレジスタ	PFTCR0	R	H'FEE0 055C	32	H'0000 0000	H'0000 0000	H'0000 0000
ポーズフレーム受信カウンタレジスタ	PFRCR0	R	H'FEE0 0560	32	H'0000 0000	H'0000 0000	H'0000 0000
GETHER モードレジスタ	GECMR0	R/W	H'FEE0 05B0	32	H'0000 0020	H'0000 0020	H'0000 0020

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
バーストサイクル回数上限設定レジスタ	BCULR0	R/W	H'FEE0 05B4	32	H'0000 0800	H'0000 0800	H'0000 0800
インバンドステータスモード設定レジスタ	IBSMR0	R/W	H'FEE0 0530	32	H'0000 0000	H'0000 0000	H'0000 0000
インバンドステータスレジスタ	IBSR0	R	H'FEE0 0534	32	H'0000 000X	H'0000 000X	H'0000 000X
スピード／全二重／リンクモードレジスタ	SDLR0	R	H'FEE0 0538	32	H'0000 0009	H'0000 0009	H'0000 0009
RGMIIモード設定	RGMIIMR0	R/W	H'FEE0 053C	32	H'0000 0000	H'0000 0000	H'0000 0000
ブロードキャストフレーム受信カウント設定レジスタ	GBE_BCFRR0	R/W	H'FEE0 056C	32	H'0000 0000	H'0000 0000	H'0000 0000
BCFRRカウントリセット	GBE_CRBCFRR0	R/W	H'FEE0 0570	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラステータス	MDIOSTS0	R	H'FEE0 0780	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラコマンド	MDIOCMD0	R/W	H'FEE0 0784	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラアドレス	MDIOADR0	R/W	H'FEE0 0788	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラデータ	MDIODAT0	R/W	H'FEE0 078C	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラモード設定	MDIOMOD0	R/W	H'FEE0 0790	32	H'8000 00FF	H'8000 00FF	H'8000 00FF
E-MAC モードレジスタ	ECMR1	R/W	H'FEE0 0D00	32	H'0000 0000	H'0000 0000	H'0000 0000
E-MAC ステータスレジスタ	ECSR1	R/W	H'FEE0 0D10	32	H'0000 000X	H'0000 000X	H'0000 000X
E-MAC 割り込み許可レジスタ	ECSIPR1	R/W	H'FEE0 0D18	32	H'0000 0000	H'0000 0000	H'0000 0000
PHY 部インタフェースレジスタ	PIR1	R/W	H'FEE0 0D20	32	H'0000 000X	H'0000 000X	H'0000 000X
MAC アドレス上位設定レジスタ	MAHR1	R/W	H'FEE0 0DC0	32	H'0000 0000	H'0000 0000	H'0000 0000
MAC アドレス下位設定レジスタ	MALR1	R/W	H'FEE0 0DC8	32	H'0000 0000	H'0000 0000	H'0000 0000
受信フレーム長レジスタ	RFLR1	R/W	H'FEE0 0D08	32	H'0000 0000	H'0000 0000	H'0000 0000
送信リトライオーバカウンタレジスタ	TROCR1	R/W	H'FEE0 0F00	32	H'0000 0000	H'0000 0000	H'0000 0000
遅延衝突検出カウンタレジスタ	CDCR1	R/W	H'FEE0 0F08	32	H'0000 0000	H'0000 0000	H'0000 0000
キャリア消失カウンタレジスタ	LCCR1	R/W	H'FEE0 0F10	32	H'0000 0000	H'0000 0000	H'0000 0000
CRC エラーフレーム受信カウンタレジスタ	CEFCR1	R/W	H'FEE0 0F40	32	H'0000 0000	H'0000 0000	H'0000 0000
フレーム受信エラーカウンタレジスタ	FRECR1	R/W	H'FEE0 0F48	32	H'0000 0000	H'0000 0000	H'0000 0000
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR1	R/W	H'FEE0 0F50	32	H'0000 0000	H'0000 0000	H'0000 0000
指定バイト超フレーム受信カウンタレジスタ	TLFRCR1	R/W	H'FEE0 0F58	32	H'0000 0000	H'0000 0000	H'0000 0000
端数ビットフレーム受信カウンタレジスタ	RFCR1	R/W	H'FEE0 0F60	32	H'0000 0000	H'0000 0000	H'0000 0000
キャリア拡張消失カウンタレジスタ	CERCR1	R/W	H'FEE0 0F68	32	H'0000 0000	H'0000 0000	H'0000 0000
キャリア拡張エラーカウンタレジスタ	CEECR1	R/W	H'FEE0 0F70	32	H'0000 0000	H'0000 0000	H'0000 0000
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR1	R/W	H'FEE0 0F78	32	H'0000 0000	H'0000 0000	H'0000 0000

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
自動ポーズフレーム設定レジスタ	APR1	R/W	H'FEE0 0D54	32	H'0000 0000	H'0000 0000	H'0000 0000
手動ポーズフレーム設定レジスタ	MPR1	R/W	H'FEE0 0D58	32	H'0000 0000	H'0000 0000	H'0000 0000
自動ポーズフレーム再送回数設定レジスタ	TPAUSER1	R/W	H'FEE0 0D64	32	H'0000 0000	H'0000 0000	H'0000 0000
ポーズフレーム送信カウンタレジスタ	PFTCR1	R	H'FEE0 0D5C	32	H'0000 0000	H'0000 0000	H'0000 0000
ポーズフレーム受信カウンタレジスタ	PFRCR1	R	H'FEE0 0D60	32	H'0000 0000	H'0000 0000	H'0000 0000
GETHER モードレジスタ	GECMR1	R/W	H'FEE0 0DB0	32	H'0000 0020	H'0000 0020	H'0000 0020
バーストサイクル回数上限設定レジスタ	BCULR1	R/W	H'FEE0 0DB4	32	H'0000 0800	H'0000 0800	H'0000 0800
インバンドモード設定	IBSMR1	R/W	H'FEE0 0D30	32	H'0000 0000	H'0000 0000	H'0000 0000
インバンドステータスレジスタ	IBSR1	R	H'FEE0 0D34	32	H'0000 000X	H'0000 000X	H'0000 000X
スピード／全二重／リンクモードレジスタ	SDLR1	R	H'FEE0 0D38	32	H'0000 0009	H'0000 0009	H'0000 0009
RGMIIモード設定	RGMIIMR1	R/W	H'FEE0 0D3C	32	H'0000 0000	H'0000 0000	H'0000 0000
ブロードキャストフレーム受信カウント設定レジスタ	GBE_BCFRR1	R/W	H'FEE0 0D6C	32	H'0000 0000	H'0000 0000	H'0000 0000
BCFRRカウントリセット	GBE_CRBCFRR1	R/W	H'FEE0 0D70	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラステータス	MDIOSTS1	R	H'FEE0 0F80	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラコマンド	MDIOCMD1	R/W	H'FEE0 0F84	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラアドレス	MDIOADR1	R/W	H'FEE0 0F88	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIO コントローラデータ	MDIODAT1	R/W	H'FEE0 0F8C	32	H'0000 0000	H'0000 0000	H'0000 0000
MDIOMDIO コントローラモード設定	MDIOMOD1	R/W	H'FEE0 0F90	32	H'8000 00FF	H'8000 00FF	H'8000 00FF
TSU カウンタリセットレジスタ	TSU_CTRST	R/W	H'FEE0 1804	32	H'0000 0000	H'0000 0000	H'0000 0000
TSU受信機能設定レジスタ（0→1 系）	TSU_FWSL0	R/W	H'FEE0 1830	32	H'0000 0000	H'0000 0000	H'0000 0000
TSU受信機能設定レジスタ（1→0 系）	TSU_FWSL1	R/W	H'FEE0 1834	32	H'0000 0000	H'0000 0000	H'0000 0000
TSU受信機能設定レジスタ（共通）	TSU_FWSLC	R/W	H'FEE0 1838	32	H'0000 0000	H'0000 0000	H'0000 0000
VLAN tag 設定レジスタ（0 系）	TSU_VTAG0	R/W	H'FEE0 1858	32	H'0000 0000	H'0000 0000	H'0000 0000
VLAN tag 設定レジスタ（1 系）	TSU_VTAG1	R/W	H'FEE0 185C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル設定ビジーレジスタ	TSU_ADSBSY	R	H'FEE0 1860	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブルイネーブル設定レジスタ	TSU_TEN	R/W	H'FEE0 1864	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブルPOST1レジスタ	TSU_POST1	R/W	H'FEE0 1870	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブルPOST2レジスタ	TSU_POST2	R/W	H'FEE0 1874	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブルPOST3レジスタ	TSU_POST3	R/W	H'FEE0 1878	32	H'0000 0000	H'0000 0000	H'0000 0000

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
CAM エントリテーブルPOST 4レジスタ	TSU_POST4	R/W	H'FEE0 187C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル0H レジスタ	TSU_ADRH0	R/W	H'FEE0 1900	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル1H レジスタ	TSU_ADRH1	R/W	H'FEE0 1908	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル2H レジスタ	TSU_ADRH2	R/W	H'FEE0 1910	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル3H レジスタ	TSU_ADRH3	R/W	H'FEE0 1918	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル4H レジスタ	TSU_ADRH4	R/W	H'FEE0 1920	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル5H レジスタ	TSU_ADRH5	R/W	H'FEE0 1928	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル6H レジスタ	TSU_ADRH6	R/W	H'FEE0 1930	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル7H レジスタ	TSU_ADRH7	R/W	H'FEE0 1938	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル8H レジスタ	TSU_ADRH8	R/W	H'FEE0 1940	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル9H レジスタ	TSU_ADRH9	R/W	H'FEE0 1948	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル10H レジスタ	TSU_ADRH10	R/W	H'FEE0 1950	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル11H レジスタ	TSU_ADRH11	R/W	H'FEE0 1958	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル12H レジスタ	TSU_ADRH12	R/W	H'FEE0 1960	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル13H レジスタ	TSU_ADRH13	R/W	H'FEE0 1968	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル14H レジスタ	TSU_ADRH14	R/W	H'FEE0 1970	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル15H レジスタ	TSU_ADRH15	R/W	H'FEE0 1978	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル16H レジスタ	TSU_ADRH16	R/W	H'FEE0 1980	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル 17H レジスタ	TSU_ADRH17	R/W	H'FEE0 1988	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル18H レジスタ	TSU_ADRH18	R/W	H'FEE0 1990	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル19H レジスタ	TSU_ADRH19	R/W	H'FEE0 1998	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル20H レジスタ	TSU_ADRH20	R/W	H'FEE0 19A0	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル21H レジスタ	TSU_ADRH21	R/W	H'FEE0 19A8	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル22H レジスタ	TSU_ADRH22	R/W	H'FEE0 19B0	32	H'0000 0000	H'0000 0000	H'0000 0000

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
CAM エントリテーブル23Hレジスタ	TSU_ADRH23	R/W	H'FEE0 19B8	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル24Hレジスタ	TSU_ADRH24	R/W	H'FEE0 19C0	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル25Hレジスタ	TSU_ADRH25	R/W	H'FEE0 19C8	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル26Hレジスタ	TSU_ADRH26	R/W	H'FEE0 19D0	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル27Hレジスタ	TSU_ADRH27	R/W	H'FEE0 19D8	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル28Hレジスタ	TSU_ADRH28	R/W	H'FEE0 19E0	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル29Hレジスタ	TSU_ADRH29	R/W	H'FEE0 19E8	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル30Hレジスタ	TSU_ADRH30	R/W	H'FEE0 19F0	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル31Hレジスタ	TSU_ADRH31	R/W	H'FEE0 19F8	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル0Lレジスタ	TSU_ADRL0	R/W	H'FEE0 1904	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル1Lレジスタ	TSU_ADRL1	R/W	H'FEE0 190C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル2Lレジスタ	TSU_ADRL2	R/W	H'FEE0 1914	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル3Lレジスタ	TSU_ADRL3	R/W	H'FEE0 191C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル4Lレジスタ	TSU_ADRL4	R/W	H'FEE0 1924	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル5Lレジスタ	TSU_ADRL5	R/W	H'FEE0 192C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル6Lレジスタ	TSU_ADRL6	R/W	H'FEE0 1934	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル7Lレジスタ	TSU_ADRL7	R/W	H'FEE0 193C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル8Lレジスタ	TSU_ADRL8	R/W	H'FEE0 1944	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル9Lレジスタ	TSU_ADRL9	R/W	H'FEE0 194C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル10Lレジスタ	TSU_ADRL10	R/W	H'FEE0 1954	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル11Lレジスタ	TSU_ADRL11	R/W	H'FEE0 195C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル12Lレジスタ	TSU_ADRL12	R/W	H'FEE0 1964	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル13Lレジスタ	TSU_ADRL13	R/W	H'FEE0 196C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル14Lレジスタ	TSU_ADRL14	R/W	H'FEE0 1974	32	H'0000 0000	H'0000 0000	H'0000 0000

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
CAM エントリテーブル15L レジスタ	TSU_ADRL15	R/W	H'FEE0 197C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル16L レジスタ	TSU_ADRL16	R/W	H'FEE0 1984	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル17L レジスタ	TSU_ADRL17	R/W	H'FEE0 198C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル18L レジスタ	TSU_ADRL18	R/W	H'FEE0 1994	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル19L レジスタ	TSU_ADRL19	R/W	H'FEE0 199C	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル20L レジスタ	TSU_ADRL20	R/W	H'FEE0 19A4	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル21L レジスタ	TSU_ADRL21	R/W	H'FEE0 19AC	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル22L レジスタ	TSU_ADRL22	R/W	H'FEE0 19B4	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル23L レジスタ	TSU_ADRL23	R/W	H'FEE0 19BC	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル24L レジスタ	TSU_ADRL24	R/W	H'FEE0 19C4	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル25L レジスタ	TSU_ADRL25	R/W	H'FEE0 19CC	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル26L レジスタ	TSU_ADRL26	R/W	H'FEE0 19D4	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル27L レジスタ	TSU_ADRL27	R/W	H'FEE0 19DC	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル28L レジスタ	TSU_ADRL28	R/W	H'FEE0 19E4	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル29L レジスタ	TSU_ADRL29	R/W	H'FEE0 19EC	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル30L レジスタ	TSU_ADRL30	R/W	H'FEE0 19F4	32	H'0000 0000	H'0000 0000	H'0000 0000
CAM エントリテーブル31L レジスタ	TSU_ADRL31	R/W	H'FEE0 19FC	32	H'0000 0000	H'0000 0000	H'0000 0000
送信フレーム数カウンタレジスタ（0 系）（正常送信のみ）	TXNLCR0	R	H'FEE0 1880	32	H'0000 0000	H'0000 0000	H'0000 0000
送信フレーム数カウンタレジスタ（0 系）（正常及び障害発生を含むすべて）	TXALCR0	R	H'FEE0 1884	32	H'0000 0000	H'0000 0000	H'0000 0000
受信フレーム数カウンタレジスタ（0 系）（正常受信のみ）	RXNLCR0	R	H'FEE0 1888	32	H'0000 0000	H'0000 0000	H'0000 0000
受信フレーム数カウンタレジスタ（0 系）（正常及び障害発生を含むすべて）	RXALCR0	R	H'FEE0 188C	32	H'0000 0000	H'0000 0000	H'0000 0000
送信フレーム数カウンタレジスタ（1 系）（正常送信のみ）	TXNLCR1	R	H'FEE0 18A0	32	H'0000 0000	H'0000 0000	H'0000 0000
送信フレーム数カウンタレジスタ（1 系）（正常及び障害発生を含むすべて）	TXALCR1	R	H'FEE0 18A4	32	H'0000 0000	H'0000 0000	H'0000 0000

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
受信フレーム数カウンタレジスタ（1 系）（正常受信のみ）	RXNLCR1	R	H'FEE0 18A8	32	H'0000 0000	H'0000 0000	H'0000 0000
受信フレーム数カウンタレジスタ（1 系）（正常及び障害発生を含むすべて）	RXALCR1	R	H'FEE0 18AC	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMAC 起動レジスタ	EDSR0	W	H'FEE0 0000	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMAC モードレジスタ	EDMR0	R/W	H'FEE0 0400	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMAC 送信要求レジスタ	EDTRR0	R/W	H'FEE0 0408	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMAC 受信要求レジスタ	EDRRR0	R/W	H'FEE0 0410	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR0	R/W	H'FEE0 0010	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタフェッチアドレスレジスタ	RDLAR0	R/W	H'FEE0 0030	32	H'0000 0000	H'0000 0000	H'0000 0000
E-MAC/E-DMAC ステータスレジスタ	EESR0	R/W	H'FEE0 0428	32	H'0000 0000	H'0000 0000	H'0000 0000
E-MAC/E-DMAC ステータス割り込み許可レジスタ	EESIPR0	R/W	H'FEE0 0430	32	H'0000 0000	H'0000 0000	H'0000 0000
送受信ステータスコピー指示レジスタ	TRSCER0	R/W	H'FEE0 0438	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ミスドフレームカウンタレジスタ	RMFCR0	R/W	H'FEE0 0440	32	H'0000 0000	H'0000 0000	H'0000 0000
送信FIFO しきい値指定レジスタ	TFTR0	R/W	H'FEE0 0448	32	H'0000 0000	H'0000 0000	H'0000 0000
FIFO 容量指定レジスタ	FDR0	R/W	H'FEE0 0450	32	H'0000 0000	H'0000 0000	H'0000 0000
受信方式制御レジスタ	RMCR0	R/W	H'FEE0 0458	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ディスクリプタフェッチアドレスレジスタ	RDFAR0	R/W	H'FEE0 0034	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ディスクリプタ処理済アドレスレジスタ	RDFXR0	R/W	H'FEE0 0038	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ディスクリプタ最終フラグレジスタ	RDFFR0	R/W	H'FEE0 003C	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタフェッチアドレスレジスタ	TDFAR0	R/W	H'FEE0 0014	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタ処理済アドレスレジスタ	TDFXR0	R/W	H'FEE0 0018	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタ最終フラグレジスタ	TDFFR0	R/W	H'FEE0 001C	32	H'0000 0000	H'0000 0000	H'0000 0000
オーバフロー予告FIFO しきい値設定レジスタ	FCFTR0	R/W	H'FEE0 0468	32	H'0017 00FF	H'0017 00FF	H'0017 00FF
受信データパディング挿入設定レジスタ	RPADIR0	R/W	H'FEE0 0460	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMAC起動レジスタ	EDSR1	W	H'FEE0 0800	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMACモードレジスタ	EDMR1	R/W	H'FEE0 0C00	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMAC送信要求レジスタ	EDTRR1	R/W	H'FEE0 0C08	32	H'0000 0000	H'0000 0000	H'0000 0000
E-DMAC受信要求レジスタ	EDRRR1	R/W	H'FEE0 0C10	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR1	R/W	H'FEE0 0810	32	H'0000 0000	H'0000 0000	H'0000 0000

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR1	R/W	H'FEE0 0830	32	H'0000 0000	H'0000 0000	H'0000 0000
E-MAC/E-DMAC ステータスレジスタ	EESR1	R/W	H'FEE0 0C28	32	H'0000 0000	H'0000 0000	H'0000 0000
E-MAC/E-DMAC ステータス割り込み許可レジスタ	EESIPR1	R/W	H'FEE0 0C30	32	H'0000 0000	H'0000 0000	H'0000 0000
送受信ステータスコピー指示レジスタ	TRSCER1	R/W	H'FEE0 0C38	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ミスドフレームカウンタレジスタ	RMFCR1	R/W	H'FEE0 0C40	32	H'0000 0000	H'0000 0000	H'0000 0000
送信FIFO しきい値指定レジスタ	TFTR1	R/W	H'FEE0 0C48	32	H'0000 0000	H'0000 0000	H'0000 0000
FIFO 容量指定レジスタ	FDR1	R/W	H'FEE0 0C50	32	H'0000 0000	H'0000 0000	H'0000 0000
受信方式制御レジスタ	RMCR1	R/W	H'FEE0 0C58	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ディスクリプタフェッチアドレスレジスタ	RDFAR1	R/W	H'FEE0 0834	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ディスクリプタ処理済アドレスレジスタ	RDFXR1	R/W	H'FEE0 0838	32	H'0000 0000	H'0000 0000	H'0000 0000
受信ディスクリプタ最終フラグレジスタ	RDFFR1	R/W	H'FEE0 083C	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタフェッチアドレスレジスタ	TDFAR1	R/W	H'FEE0 0814	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタ処理済アドレスレジスタ	TDFXR1	R/W	H'FEE0 0818	32	H'0000 0000	H'0000 0000	H'0000 0000
送信ディスクリプタ最終フラグレジスタ	TDFFR1	R/W	H'FEE0 081C	32	H'0000 0000	H'0000 0000	H'0000 0000
オーバフロー予告FIFO しきい値設定レジスタ	FCFTR1	R/W	H'FEE0 0C68	32	H'0017 00FF	H'0017 00FF	H'0017 00FF
受信データパディング挿入設定レジスタ	RPADIR1	R/W	H'FEE0 0C60	32	H'0000 0000	H'0000 0000	H'0000 0000
GETHERコントロールレジスタ	GBECONT	R/W	H'FFC1 0100	32	H'0000 0000	保持	保持

23.3.1　ソフトウェアリセットレジスタ（ARSTR）

ARSTR は、GETHER すべてのブロック（E-MAC、TSU 及びE-DMAC）をリセットするレジスタです。

このレジスタの ARST ビットに ”1” を書き込むことにより、GETHER のすべてのブロックに対しソフトウェアリセットが発行されます（Pck の 128 サイクルの間）。ソフトウェアリセット発行期間中は、全 GETHER レジスタにアクセスしないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～1	—	0	—	リザーブビット
0	ARST	0	R/W（注）	ソフトウェアリセット このビットに“1”を書くと、GETHERのすべてのブロック、及びTSU_ADRH0～TSU_ADRH31、TSU_ADRL0～TSU_ADRL31レジスタを除く全レジスタがリセットされます。 このビットを“1”にしてから、Pckの128サイクルの間は、全GETHERレジスタにアクセスしないでください。

注．　読み出し時の値は常に“0”です。

23.3.2　E-MAC モードレジスタ（ECMR）

ECMR は、読み出し又は書き込み可能な 32 ビットのレジスタで、GETHER の動作モードを指定します。通常、このレジスタの設定は、リセット後の初期設定時に行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TRCCM	—	—	RCSC	—	DPAD	RZPF	ZPF	PFR	RXF	TXF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	—	—	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MCT	—	—	—	MPDE	—	—	RE	TE	—	ILB	—	DM	PRM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	—	—	—	R/W	—	—	R/W	R/W	—	R/W	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～27	—	0	—	リザーブビット
26	TRCCM	0	R/W	カウンタクリアモード カウンタレジスタのクリア方法を設定します。各レジスタの説明を参照してください。 0：当該レジスタに、任意の値を書き込むと 0クリアされます。 1：当該レジスタを読み出すと0クリアされます。
25、24	—	0	—	リザーブビット
23	RCSC	0	R/W	チェックサム計算 受信フレームデータ部のチェックサムの自動計算（ハードウェア計算）を行うかどうかを指定します。 0：チェックサム自動計算を行いません。 1：チェックサム自動計算を行います。 ただし、VLAN tag を含むフレームに対するチェックサム自動計算はサポートしておりません。
22	—	0	—	リザーブビット
21	DPAD	0	R/W	データパディング 0：60 バイト未満のデータにパディングを行い、60 バイトのデータとして送信します 1：60 バイト未満のデータにパディングを行わず、そのまま送信します
20	RZPF	0	R/W	0TIME ポーズフレーム受信 0：TIME パラメータ値が0 のポーズフレームの受信が無効です 1：TIME パラメータ値が0 のポーズフレームの受信が有効です

ビット	ビット名	初期値	R/W	説 明
19	ZPF	0	R/W	0TIME ポーズフレーム使用許可 0：TIME パラメータ値が0 のポーズフレーム制御を無効にする Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。Timer 値の示す時間が0 のポーズフレームを受信した場合、ポーズフレームを破棄します。 1：TIME パラメータ値が0 のポーズフレーム制御を有効にする Timer 値の示す時間が経過していない状態で、受信FIFO のデータ量がFCFTR レジスタ設定値未満になるとTimer 値が0 の自動ポーズフレームを送信します。Timer 値の示す時間が0 のポーズフレームを受信した場合、送信待ち状態を解除します。
18	PFR	0	R/W	ポーズフレーム受信モード 0：ポーズフレームをE-DMAC に転送しません 1：ポーズフレームをE-DMAC に転送します
17	RXF	0	R/W	受信系フロー制御動作モード 0：ポーズフレームの検出機能が無効になります 1：受信系のフロー制御機能が有効になります
16	TXF	0	R/W	送信系フロー制御動作モード 0：送信系のフロー制御機能が無効になります （自動ポーズフレームは送信されません。） 1：送信系のフロー制御機能が有効になります （必要に応じて自動ポーズフレームが送信されます。）
15、14	—	0	—	リザーブビット
13	MCT	0	R/W	マルチキャストアドレスフレーム受信モード 0：CAM エントリテーブル0～31（H/L）レジスタで設定したマルチキャストアドレス以外のフレームのみ受信します。ただし、内蔵CAM エントリテーブル参照が無効になっているときは、マルチキャストアドレスフレームをすべて受信します。 1：CAM エントリテーブル0～31（H/L）レジスタで設定したマルチキャストアドレスのみ受信します。
12 ～ 10	—	0	—	リザーブビット
9	MPDE	0	R/W	マジックパケット検出許可 イーサネットからの起動を有効にするため、ハードウェアによるマジックパケットの検出機能を許可するかしないかの選択を行います。 0：マジックパケットの検出を許可しません 1：マジックパケットの検出を許可する
8、7	—	0	—	リザーブビット
6	RE	0	R/W	受信許可 本ビットを受信機能有効（RE＝1）から無効（RE＝0）としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0：受信機能を無効にする 1：受信機能を有効にする

ビット	ビット名	初期値	R/W	説 明
5	TE	0	R/W	送信許可 本ビットを送信機能有効（TE＝1）から無効（TE＝0）としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0：送信機能を無効にする 1：送信機能を有効にする
4	—	0	—	リザーブビット
3	ILB	0	R/W	内部ループバックモード GETHER 内部でのループバックモードを指定します。 0：通常のデータ送受信を行う 1：DM＝1 のとき、GETHER 内のE-MAC 内部でのデータのループバックを行う
2	—	0	—	リザーブビット
1	DM	0	R/W	転送モード GETHER の転送方式を指示します。 0：半二重転送方式を指定する 1：全二重転送方式を指定する
0	PRM	0	R/W	プロミスキャスモード 本ビットを設定するとすべてのイーサネットフレームが受信できます。すべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの違いやそれらの有効、無効の状態に関係なくすべての受信可能なフレームのことです。 0：GETHER は、通常動作を行う 1：GETHER は、プロミスキャスモード動作を行う

注．　TE 及びRE ビットを除くすべてのビットは、送受信FIFO制御部のソフトウエアリセット（SWRTビット＝1、SWRRビット＝1）後、送受信無効状態（TEビット＝0、RE＝0）で設定してください。

23.3.3 E-MAC ステータスレジスタ（ECSR）

ECSR は、読み出し又は書き込み可能な32 ビットのレジスタで、E-MAC 内のステータスを示します。このレジスタの各ビットが“1”になったとき、ECSIPR レジスタの対応ビットが“1”であれば、割り込み要求が発生します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PFROI	—	—	MPD	ICD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	—	—	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	—	0	—	リザーブビット
4	PFROI	0	R/W	ポーズフレーム送信リトライオーバ フロー制御を用いる際のポーズフレームの再送において、再送回数がポーズフレーム再送回数設定レジスタ（TPAUSER）に設定した再送上限値を超えたことを表します。 0：ポーズフレーム再送信回数が上限値を超えていない 1：ポーズフレーム再送信回数が上限値を超えた
3、2	—	—	—	リザーブビット（書き込む値は“0”にしてください）
1	MPD	0	R/W	マジックパケット検出 回線上からマジックパケットを検出したことを表します。 0：マジックパケットを検出していない 1：マジックパケットを検出した
0	ICD	0	R/W	不正キャリア検出 回線上でPHY-LSI が不正なキャリアを検出したことを表します。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用するPHY-LSIのタイミングを参照してください。 0：PHY-LSI は、回線上で不正キャリアを検出していない 1：PHY-LSI は、回線上で不正キャリアを検出した 注．　転送速度が1000Mbpsのとき、 ICDは対応していません。

注．　このレジスタは、送受信FIFO制御部のソフトウエアリセット（SWRTビット＝1、SWRRビット＝1）後、送受信無効状態（TEビット＝0、RE＝0）で設定してください。

23.3.4　E-MAC 割り込み許可レジスタ（ECSIPR）

ECSIPR は、読み出し又は書き込み可能な 32 ビットのレジスタで、ECSR レジスタの対応ビットが “1” になったときに割り込み要求を発生させるかどうかを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PFROIP	—	—	MPDIP	ICDIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～5	—	0	—	リザーブビット
4	PFROIP	0	R/W	ポーズフレーム再送割り込み許可ビット 0：PFROI の割り込み通知を禁止 1：PFROI の割り込み通知を許可
3、2	—	0	—	リザーブビット
1	MPDIP	0	R/W	マジックパケット検出割り込み許可ビット 0：MPD の割り込み通知を禁止 1：MPD の割り込み通知を許可
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0：ICD の割り込み通知を禁止 1：ICD の割り込み通知を許可 注．　転送速度が1000Mbpsのとき、 ICDは対応していません。

23.3.5　PHY 部インタフェースレジスタ（PIR）

PIR は、読み出し又は書き込み可能な32 ビットのレジスタで、MDIOを経由してPHY-LSI 内部のレジスタにアクセスする際に使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	—	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～4	—	0	—	リザーブビット
3	MDI	不定	R	マネジメントデータイン ET_MDIO 端子のレベルを表します。
2	MDO	0	R/W	マネジメントデータアウト MMD ビットが1 のとき、本ビットに設定された値をET_MDIO 端子より出力します。
1	MMD	0	R/W	マネジメントモード ET_MDIO端子のリード／ライト方向を規定します。 0：リード方向を規定 1：ライト方向を規定
0	MDC	0	R/W	マネジメントデータクロック 本ビットに設定された値をET_MDC 端子より出力し、PHY-LSI へのマネジメントデータクロックを供給します。PHY-LSI レジスタへのアクセス方法については、「23.5 MII レジスタのアクセス方法」を参照してください。

23.3.6　MAC アドレス上位設定レジスタ（MAHR）

MAHR は、読み出し又は書き込み可能な32 ビットのレジスタで、48 ビットの MAC アドレスの上位32 ビットを設定します。通常、このレジスタの設定は、リセット後の初期設定時に行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	MA[47:16]	H'0000 0000	R/W	MACアドレスビット47～16 MAC アドレスの上位32 ビットを設定します。 MAC アドレスが01-23-45-67-89-AB（16 進数表示）である場合、このレジスタにはH'0123 4567 を設定します。

注.　このレジスタは、送受信FIFO制御部のソフトウエアリセット（SWRTビット＝1、SWRRビット＝1）後、送受信無効状態（TEビット＝0、RE＝0）で設定してください。

23.3.7　MAC アドレス下位設定レジスタ（MALR）

MALR は、読み出し又は書き込み可能な32 ビットのレジスタで、48 ビットのMAC アドレスの下位16 ビットを設定します。通常、このレジスタの設定は、リセット後の初期設定時に行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	MA[15:0]	H'0000	R/W	MACアドレスビット15～0 MAC アドレスの下位16 ビットを設定します。 MAC アドレスが01-23-45-67-89-AB（16 進数表示）である場合、本ビットにはH'89AB を設定します。

注.　このレジスタは、送受信FIFO制御部のソフトウエアリセット（SWRTビット＝1、SWRRビット＝1）後、送受信無効状態（TEビット＝0、RE＝0）で設定してください。

23.3.8　受信フレーム長上限レジスタ（RFLR）

RFLR は、読み出し又は書き込み可能な32 ビットのレジスタで、本LSI が受信することのできる最大フレーム長をバイト単位で指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFL[17:16]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFL[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～18	—	0	—	リザーブビット
17～ 0	RFL[17:0]	H'00000	R/W	受信フレームデータ長 ここでのフレームデータは、宛先アドレスからCRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは破棄されます。 H'00000 ～ H'005EE: 1,518 バイト H'005EF: 1,519 バイト H'005F0: 1,520 バイト ：　： H'007FF: 2,047 バイト H'00800: 2,048 バイト ：　： H'01000: 4,096 バイト ：　： H'10000: 65,536 バイト ：　： H'20000 ～ H'3FFFF: 131,072 バイト

注．　このレジスタは、受信無効状態（RE＝0）で設定してください。

23.3.9　送信リトライオーバカウンタレジスタ（TROCR）

TROCR は、送信時に再送を合わせて16 回の試行で送信できなかったフレーム数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～16	—	0	—	リザーブビット
15 ～ 0	TROC[15:0]	H'0000	R/W（注）	送信リトライオーバカウント 送信時に、再送を合わせて16 回の試行で送信できなかったフレームのカウント数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むとH'0000 0000になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すとH'0000 0000になります。

23.3.10　遅延衝突検出カウンタレジスタ（CDCR）

CDCR は、送信開始以降すべての回線上の衝突回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15～ 0	COSDC[15:0]	H'0000	R/W（注）	衝突検出カウント 送信開始からのすべての衝突の回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むとH'0000 0000になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すとH'0000 0000になります。

23.3.11 キャリア消失カウンタレジスタ（LCCR）

LCCR は、データの送信中にキャリアが消失した回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	LCC[15:0]	H'0000	R/W（注）	キャリア消失カウント データ送信中にキャリアが消失した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むとH'0000 0000になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すとH'0000 0000になります。

23.3.12 CRC エラーフレーム受信カウンタレジスタ（CEFCR）

CEFCR は、CRC エラーとなったフレームの受信回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15～ 0	CEFC[15:0]	H'0000	R/W（注）	CRC エラーフレームカウント CRC エラーとなったフレームを受信した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むとH'0000 0000になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すとH'0000 0000になります。

23.3.13 フレーム受信エラーカウンタレジスタ（FRECR）

FRECR は、PHY-LSI から ETn-RX_CTL 端子に入力されるエラー信号により、受信エラーとなったフレームの個数を示す 16 ビットのカウンタです。ETn-RX_CTL 端子への入力信号の立ち上がりをカウントします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FREC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	FREC[15:0]	H'0000	R/W（注）	フレーム受信エラーカウント フレームを受信中にエラーとなった回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むと H'0000 0000 になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すと H'0000 0000 になります。

23.3.14 64 バイト未満フレーム受信カウンタレジスタ （TSFRCR）

TSFRCR は、64 バイト未満のフレームを受信した回数を示す 16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	TSFC[15:0]	H'0000	R/W	64バイト未満フレーム受信カウント 64 バイト未満のフレームを受信した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むと H'0000 0000 になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すと H'0000 0000 になります。

23.3.15 指定バイト超フレーム受信カウンタレジスタ（TLFRCR）

TLFRCR は、受信フレーム長上限レジスタ（RFLR）で指定した値を超えるフレームを受信した回数を示す16ビットのカウンタです。端数ビットを含むフレームを受信した場合は、カウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ（RFCR）に反映されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	TLFC[15:0]	H'0000	R/W	指定バイト超フレーム受信カウント RFLR の値を超えるフレームを受信した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むと H'0000 0000 になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すと H'0000 0000 になります。

23.3.16 端数ビットフレーム受信カウンタレジスタ（RFCR）

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信した回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	RFC[15:0]	H'0000	R/W	端数ビットフレーム受信カウント 端数ビットデータを含むフレームを受信した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むと H'0000 0000 になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すと H'0000 0000 になります。

23.3.17 キャリア拡張消失カウンタレジスタ（CERCR）

CERCR は、キャリア拡張を消失したフレームを受信した回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CERC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	CERC[15:0]	H'0000	R/W	キャリア拡張消失フレーム受信カウント キャリア拡張を消失したフレームを受信した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むとH'0000 0000になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すとH'0000 0000になります。

23.3.18 キャリア拡張エラーカウンタレジスタ（CEECR）

CEECR は、キャリア拡張が不正なフレームを受信した回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEEC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	CEEC[15:0]	H'0000	R/W	キャリア拡張エラーカウント キャリア拡張が不正なフレームを受信した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むとH'0000 0000になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すとH'0000 0000になります。

23.3.19 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）

MAFCR は、マルチキャストアドレスを指定するフレームを受信した回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	MAFC[15:0]	H'0000	R/W	マルチキャストアドレスフレームカウント マルチキャストフレームを受信した回数を表します。 H'0000 FFFF になるとカウントを停止します。

注．TRCCM ビット＝0 のとき、このレジスタに任意の値を書き込むとH'0000 0000になります。
TRCCM ビット＝1 のとき、このレジスタを読み出すとH'0000 0000になります。

23.3.20 自動ポーズフレーム設定レジスタ（APR）

APR は、自動ポーズフレームのTIME パラメータ値を設定します。自動ポーズフレームを送信するときに、このレジスタに設定した値をポーズフレームのTIME パラメータとして使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AP[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	AP[15:0]	H'0000	R/W	自動ポーズ 自動ポーズフレームのTIME パラメータ値を設定します。このとき1 ビットは、512 ビット時間を表します。 送信時のフロー制御機能（ポーズフレーム送信）を有効とした場合（TXF ビット（ECMR レジスタのビット16）=1）、本ビットにはH'0000 以外の値を設定してください。 H'0000：設定禁止 H'0001：512×1 ビット時間 H'0002：512×2 ビット時間 ：　　： H'FFFF：512×65535 ビット時間 注．ビット時間は、転送速度に応じて以下のようになります。 1000Mbps 時：1 ビット時間＝1ns 100Mbps 時：1 ビット時間＝10ns 10Mbps 時：1 ビット時間＝100ns

23.3.21 手動ポーズフレーム設定レジスタ（MPR）

MPR は、手動ポーズフレームのTIME パラメータ値を設定します。手動ポーズフレームを送信するときに、このレジスタに設定した値をポーズフレームのTIME パラメータとして使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	MP[15:0]	H'0000	R/W	手動ポーズ 手動ポーズフレームのTIME パラメータ値を設定します。このとき1 ビットは、512 ビット時間を表します。 H'0000：設定禁止 H'0001：512×1 ビット時間 H'0002：512×2 ビット時間 ：　： H'FFFF：512×65535 ビット時間 注．ビット時間は、転送速度に応じて以下のようになります。 1000Mbps 時：1 ビット時間＝1ns 100Mbps 時：1 ビット時間＝10ns 10Mbps 時：1 ビット時間＝100ns

23.3.22 自動ポーズフレーム再送回数設定レジスタ（TPAUSER）

TPAUSER は、自動ポーズフレームの再送回数の上限値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPAUSE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	TPAUSE[15:0]	H'0000	R/W	自動ポーズフレーム再送回数上限値 H'0000：再送回数無制限 H'0001：再送回数は、1 回 ：　： H'FFFF：再送回数は、65535 回

注．　このレジスタは、送信無効状態（TEビット＝0）で設定してください。

23.3.23 ポーズフレーム送信カウンタレジスタ（PFTCR）

PFCTR は、ポーズフレームを送信した回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFTXC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	PFTXC[15:0]	H'0000	R	ポーズフレーム送信カウント 自動ポーズフレームと手動ポーズフレームの送信回数をあわせて表します。

注．　このレジスタは、読み出すとH'0000 0000になります。

23.3.24 ポーズフレーム受信カウンタレジスタ（PFRCR）

PFCTR は、ポーズフレームを受信した回数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFRXC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	PFRXC[15:0]	H'0000	R	ポーズフレーム受信カウント 受信時のフロー制御機能有効（RXF ビット（ECMR レジスタのビット17）＝1）時、ポーズフレームを受信した回数を表します。

注.　このレジスタは、読み出すとH'0000 0000になります。

23.3.25 GETHER モードレジスタ（GECMR）

GECMR は、GETHER の動作モードを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	SPEED [1:0]		—	—	BSE	—
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—	—	R/W	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 6	—	0	—	リザーブビット
5、4	SPEED[1:0]	10	R/W	転送速度 00:10 Mbps 01:100 Mbps 10:1000 Mbps 11:設定禁止
3、2	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
1	BSE	0	R/W	バースト転送許可 0：バースト転送を行いません。 1：転送速度が1Gbps で、半二重転送モード（DM ビット（ECMR レジスタのビット1）=0）時、バースト転送を行います。
0	—	0	—	リザーブビット

23.3.26 バーストサイクル回数上限設定レジスタ（BCULR）

BCULR は、バーストサイクル回数の上限値を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	BSTLMT[11:0]											
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 12	—	0	—	リザーブビット
11 ～ 0	BSTLMT[11:0]	H'800	R/W	バーストサイクル上限値 バーストサイクルの上限値を設定します。バーストタイマがこのレジスタの設定値を超えるとバースト転送を終了します。フレームの転送中に、バーストタイマがこのレジスタの設定値を超えたとき、転送中のフレームの転送終了を待ってバースト転送を終了します。 H'000～H'100：バーストサイクル数は、256 サイクル H'101：バーストサイクル数は、257 サイクル ：　： H'FFE：バーストサイクル数は、4094 サイクル H'FFF：バーストサイクル数は、4095 サイクル 注．1 サイクル＝32ns です。

23.3.27 インバンドステータスモード設定レジスタ（IBSMR）

IBSMR は E-MAC の動作モードの選択にインバンドステータスフィールドを使用するかどうかを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SEL_SPEED	SEL_DUPLEX	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 3	—	0	—	リザーブビット
2	SEL_SPEED	0	R/W	E-MACスピード選択 0: GECMR レジスタの値を使用 1: インバンドステータスフィールドからの情報を使用 注． PHY がインバンドステータスフィールドに適合しない場合は、本ビットに“0”をセットしてください。
1	SEL_DUPLEX	0	R/W	デュプレックス選択 0: ECMR レジスタの DM ビット値を使用 1: インバンドステータスフィールドからの情報を使用 注． PHY がインバンドステータスフィールドに適合しない場合は、本ビットに“0”をセットしてください。
0	—	0	—	リザーブビット

注． このレジスタは、送受信無効状態（TEビット＝0、RE＝0）で設定してください。

23.3.28 インバンドステータス（IBSR）

IBSRはRGMIIインタフェースのインバンドステータスを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	INBAND_SPEED		INBAND_DUPLEX	INBAND_LINK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R (注)	R (注)	R (注)	R (注)

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	—	0	—	リザーブビット
3、2	INBAND_SPEED	—	R（注）	インバンドステータス速度 10：1Gbps 01：100Mbps 00：10Mbps
1	INBAND_DUPLEX	—	R（注）	インバンドステータスデュプレックス 0：半二重 1：全二重
0	INBAND_LINK	—	R（注）	インバンドステータスリンク 0：リンクオフ（リンクダウン） 1：リンクオン（リンクアップ）

注．インバンドステータスをサポートしないPHYを使用するときは、読み出した値は不定となります。

23.3.29 E-MACモードのスピード／デュプレックス通知（SDLR）

SDLRはE-MACの動作モードを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	SPEED[1:0]		INBAND_DUPLEX	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	—	0	—	リザーブビット
3、2	SPEED[1:0]	10	R	10：1Gbps 01：100Mbps 00：10Mbps
1	INBAND_DUPLEX	0	R	0：半二重 1：全二重
0	—	1	—	リザーブビット

23.3.30 RGMIIモードレジスタ（RGMIIMR）

RGMIIMRはRGMIIインタフェースを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DOWN_CNT												—	DLY_MTXC		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DLY_MTXC				—	—	—	—	DLY_MHTX	DLY_GHTX	DIS_RXCRR	DIS_MRXER	—	DIS_MCRSFCI	DIS_GCRSFCI	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W	—	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
31 ～20	DOWN_CNT	H’000	R/W	250MHz クロックダウンカウンタ 本フィールドでは、250MHz クロックの 1 サイクル（4 ns）ごとにカウントダウンを行います。すべてのビットが0のとき、カウントが停止します。例えば、800 (H’320) がDOWN_CNTに書き込まれると、3.2μs(3200ns)後にDOWN_CNT＝H'000になります。
19	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
18 ～12	DLY_MTXC	0000000	R/W	10/100-Mbps動作におけるETn-TXC遅延値を示します。 0：0サイクル遅延 1：1サイクル遅延 ： 49：49サイクル遅延 50：50サイクル遅延（50サイクル早着） ： 99：99サイクル遅延（1サイクル早着）（注1） 100～127：設定禁止 これらのビット値が変わると、ETn-TXC遅延の新しい値への反映は最大で3.2 µs (3200ns)かかります。したがって、追加の送受信の前に少なくとも3.2 µs 待つことで新しい値が有効になるようにしてください。
11 ～ 8	—	0	—	リザーブビット
7	DLY_MHTX	0	R/W	10/100Mbps時の半二重操作用の送信遅延モード（デバッグで使用）。
6	DLY_GHTX	0	R/W	1Gbps時の半二重操作用の送信遅延モード（デバッグで使用）。
5	DIS_RXCRR	0	R/W	10/100 Mbps動作におけるキャリアセンシング受信ディセーブルビットです。 0：キャリアセンス (PLS_Carrier.Indicate) 値はCRSとして使用されます。 1：キャリアセンス (PLS_Carrier.Indicate) 値はCRSとして使用されません。
4	DIS_MRXER	0	R/W	10/100 Mbps 動作におけるRX_ER ディセーブルビットです。 0：ETn-RXC の立ち上がり、立ち下がりエッジの ETn-RX_CTL 排他的論理和(XOR)はRX_ER信号として使用されます。 1：ETn-RXC の立ち上がり、立ち下がりエッジの ETn-RX_CTL 排他的論理和(XOR)はRX_ER信号として使用されません。
3	—	0	—	リザーブビット
2	DIS_MCRSFCI	0	R/W	10/100Mbps動作中のCRSジャッジメントにおけるディセーブルFCIビットです。 0：FCI （不正キャリア）はCRSとして使用されます。 1：FCI （不正キャリア）はCRSとして使用されません。
1	DIS_GCRSFCI	0	R/W	10/100-Mbps動作中のCRSジャッジメントにおけるディセーブルFCIビットです（デバッグで使用）。
0	—	0	—	リザーブビット

注1.　1サイクル＝4ns。
2.　このレジスタは、送受信無効状態（TEビット＝0、RE＝0）で設定してください。DLY_MTXCを変更する場合、追加で送受信する前に少なくとも3.2µs待ってください。
なお、10/100Mbps動作用の設定は、1Gbps動作時は無効です。同様に、1Gbps動作の設定は、10/100Mbps動作時は無効です。

23.3.31 ブロードキャストフレーム受信カウント設定レジスタ（GBE_BCFRR）

BCFRRは連続して受信するブロードキャストフレームの数をセットするレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCF [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	BCF [15:0]	H'0000	R/W	連続ブロードキャストフレーム受信カウント設定 DA（宛先アドレス）は受信数がビットの設定値に達するまでブロードキャストアドレスを含むフレームを受信できます。フレーム数が設定値を上回った場合は、次のブロードキャストフレームは廃棄されます。 H'0000：制限なし H'0001：1フレーム受信 ：　： H'FFFF： 65535フレーム受信

23.3.32 BCFRRカウントリセット（GBE_CRBCFRR）

CRBCFRRはブロードキャストフレーム受信回数がBCFRRレジスタ設定値を超えた回数をカウントするレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	CNT[15:0]	H'0000	R/W	ブロードキャストフレーム受信回数がBCFRRレジスタ設定値を超えたとき、インクリメントします。 H'FFFFになると、インクリメントを停止します。 最終フレームがブロードキャストされた場合はインクリメントしません。

23.3.33 MDIOコントローラステータス（MDIOSTS）

MDIOSTS は、SEL_MDIO ビット＝1のとき、PHY部レジスタのアクセス状態を示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BSY
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	BSY	0	R	PHY部 レジスタアクセスビジーフラグ 0：アクセス有効 1：ビジー状態 このビットが“1”のときは、MDIOCMD、MDIOADR、MDIODAT、MDIOMOD レジスタに書き込まないでください。

23.3.34 MDIOコントローラコマンド（MDIOCMD）

MDIOCMD は、SEL_MDIO ビット＝1のとき、PHY部レジスタアクセスのコマンドを指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OP	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 2	—	0	—	リザーブビット
1、0	OP	00	R/W	PHY レジスタにアクセスするオペレーションコード 00：設定禁止 01：ライト 10：リード 11：設定禁止

注.　このレジスタは、SEL_MDIO ビット＝1のとき有効です。また、BSY ビット＝0のときに書き込んでください。

23.3.35 MDIOコントローラアドレス（MDIOADR）

MDIOADRは、SEL_MDIOビット＝1のとき、PHYアドレス及びPHY部レジスタアドレスを指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	A[9:5]					A[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 10	—	0	—	リザーブビット
9 ～5	A[9:5]	00000	R/W	PHYアドレス
4 ～ 0	A[4:0]	00000	R/W	PHY部レジスタアドレス

注.　このレジスタは、SEL_MDIOビット＝1のとき有効です。また、BSYビット＝0のときに書き込んでください。

23.3.36 MDIOコントローラデータ（MDIODAT）

MDIODATは、SEL_MDIOビット＝1のとき、PHY部レジスタへの書き込みデータを設定するレジスタです。また、このレジスタを読み出すとPHY部レジスタからのデータが読み出せます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	D[15:0]	H'0000	R/W	PHY部レジスタデータ 書き込み時：PHY部レジスタに書き込まれます。 読み出し時：PHY部レジスタのデータが読み出せます。

注.　このレジスタは、SEL_MDIOビット＝1のとき有効です。また、BSYビット＝0のときに書き込んでください。

23.3.37 MDIOコントローラモード設定（MDIOMOD）

MDIOMODは、PHY部レジスタアクセスモード及びMDIOコントロールクロックを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SEL_MDIO	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CYC_OCLK							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	SEL_MDIO	1	R/W	PHY部レジスタアクセスモード 0：MDIOアクセス 1：PIRアクセス
30 ～ 8	—	0	—	リザーブビット
7 ～ 0	CYC_OCLK	H’FF	R/W	MDC（MDIOコントロールクロック）の半周期を認定 H'26: 39サイクル H'27: 40サイクル H'28: 41サイクル H'29: 42サイクル ： H’FE：255 サイクル H’FF：256 サイクル 1サイクルは5.208ns（192MHzの1周期）です。

注.　このレジスタは、BSYビット＝0のときに書き込んでください。

23.3.38 TSU カウンタリセットレジスタ（TSU_CTRST）

TSU_CTRST は、送信及び受信フレーム数カウンタレジスタを初期化するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CTRST	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 9	—	0	—	リザーブビット
8	CTRST	0	R/W（注）	TSU カウンタリセット “1”を書くと、 TXNLCR0/TXNLCR1、TXALCR0/TXALCR1、 RXNLCR0/RXNLCR1、RXALCR0/RXALCR1 レジスタ がH'0000 0000になります。
7 ～ 0	—	0	—	リザーブビット

注．　読み出し値は常に“0”です。

23.3.39 TSU受信機能設定レジスタ（0 系）（TSU_FWSL0）

TSU_FWSL0 は、0 系受信時のフレームごとの処理方法（TSU 受信の許可又は禁止）を設定するレジスタです。マルチキャストフレームと宛先が本 LSI 以外のフレームについては、CAM の判定によってTSU受信動作を決定することができます（「23.4.4　CAM 機能」参照）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RMSA0	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～5	—	0	—	リザーブビット
4	RMSA0	0	R/W	ソースアドレスがエントリテーブルに登録されていない0系受信フレームの受信処理 0：フレームを受信しない 1：フレームを受信する ただし、VLAN tag 判定により破棄となったフレームは受信しません。 ソースアドレスがエントリテーブルに未登録のフレームを受信した場合は、フレームを受信するしないにかかわらずキャリア拡張エラーを発行します。
3 ～ 0	—	0	—	リザーブビット

23.3.40 TSU受信機能設定レジスタ（1系）（TSU_FWSL1）

TSU_FWSL1は、1系受信受信時のフレームごとの処理方法（TSU受信の許可又は禁止）を設定するレジスタです。マルチキャストフレームと宛先が本LSI以外のフレームについては、CAMの判定によってTSU受信動作を決定することができます（「23.4.4　CAM機能」参照）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RMSA1	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	—	0	—	リザーブビット
4	RMSA1	0	R/W	ソースアドレスがエントリテーブルに登録されていない1系受信フレームの受信処理 0：フレームを受信しない 1：フレームを受信する ただし、VLAN tag判定により破棄となったフレームは受信しません。 ソースアドレスがエントリテーブルに未登録のフレームを受信した場合は、フレームを受信するしないにかかわらずキャリア拡張エラーを発行します。
3～0	—	0	—	リザーブビット

23.3.41 TSU受信機能設定レジスタ（共通）（TSU_FWSLC）

TSU_FWSLC は、TSU_POST1 ～ TSU_POST4 レジスタによる CAM エントリテーブルの参照条件設定を有効にするか無効にするかを設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	POSTENU	POSTENL	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 14	—	0	—	リザーブビット
13	POSTENU	0	R/W	CAM エントリテーブル0～15 のPOST フィールド設定 （TSU_POST1 及びTSU_POST2 レジスタによる設定） 0：無効 （CAM エントリテーブルは、0 系受信時のみ参照） 1：有効 （CAM エントリテーブル参照条件は、POSTフィールド設定に従う）
12	POSTENL	0	R/W	CAM エントリテーブル16～31 のPOST フィールド設定 （TSU_POST3 及びTSU_POST4 レジスタによる設定） 0：無効 （CAM エントリテーブルは、1 系受信時のみ参照） 1：有効 （CAM エントリテーブル参照条件は、POSTフィールド設定に従う）
11 ～ 0	—	0	—	リザーブビット

23.3.42 VLAN tag 設定レジスタ（0 系）（TSU_VTAG0）

TSU_VTAG0 は、0 系受信動作で、VLAN 番号によるフレームの受信／破棄判定機能の有効／無効、及びそのときのVLAN 番号を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VTAG0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VID0[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	VTAG0	0	R/W	0 系VLAN tag 判定機能 （VLAN 番号によるフレームの受信／破棄判定機能） 0：無効 1：有効
30 ～ 12	—	0	—	リザーブビット
11 ～ 0	VID0[11:0]	H’000	R/W	V-LAN ID 設定（VID） 0 系受信フレームで受信するVLAN 番号を設定してください。

23.3.43 VLAN tag 設定レジスタ（1 系）（TSU_VTAG1）

TSU_VTAG1 は、1 系受信動作で、VLAN 番号によるフレームの受信／破棄判定機能の有効／無効、及びそのときのVLAN 番号を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VTAG1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VID1[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	VTAG1	0	R/W	1 系VLAN tag 判定機能 （VLAN 番号によるフレームの受信／破棄判定機能） 0：無効 1：有効
30 ～ 12	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～ 0	VID1[11:0]	H'000	R/W	V-LAN ID 設定（VID） 1 系受信フレームで受信するVLAN 番号を設定してください。

23.3.44 CAM エントリテーブル設定ビジーレジスタ（TSU_ADSBSY）

CAM エントリテーブルレジスタ（TSU_ADRH0 ～ TSU_ADRH31、TSU_ADRL0 ～ TSU_ADRL31）を設定すると、このレジスタのADSBSY ビットが“1” にセットされます。TSU 内部でCAM エントリテーブルレジスタの内容がCAM 制御部へ反映されると、ADSBSY ビットは自動的に“0”になります。

ADSBSY ビット＝1のときは、TSU_ADRH0 ～ TSU_ADRH31 及びTSU_ADRL0 ～ TSU_ADRL31 にアクセスしないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADSBSY
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31 ～1	—	0	—	リザーブビット
0	ADSBSY	0	R	CAM エントリテーブル設定ビジー TSU_ADRH0 ～ TSU_ADRH31 及びTSU_ADRL0 ～ TSU_ADRL31 を設定すると、“1” になります。TSU 内部でこれらのレジスタの内容がCAM 制御部へ反映されると、自動的に“0”になります。 このビットが“1”のとき、TSU_ADRH0 ～ TSU_ADRH31 及び TSU_ADRL0 ～ TSU_ADRL31 にアクセスしないでください。

23.3.45 CAM エントリテーブルイネーブル設定レジスタ（TSU_TEN）

TSU_TEN は、CAM エントリテーブルレジスタ（TSU_ADRH0 ～ TSU_ADRH31、TSU_ADRL0 ～ TSU_ADRL31）の有効又は無効を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEN0	TEN1	TEN2	TEN3	TEN4	TEN5	TEN6	TEN7	TEN8	TEN9	TEN10	TEN11	TEN12	TEN13	TEN14	TEN15
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEN16	TEN17	TEN18	TEN19	TEN20	TEN21	TEN22	TEN23	TEN24	TEN25	TEN26	TEN27	TEN28	TEN29	TEN30	TEN31
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	TEN0	0	R/W	CAM エントリテーブル0（TSU_ADRH0、TSU_ADRL0） 0：無効 1：有効
30	TEN1	0	R/W	CAM エントリテーブル1（TSU_ADRH1、TSU_ADRL1） 0：無効 1：有効
29	TEN2	0	R/W	CAM エントリテーブル2（TSU_ADRH2、TSU_ADRL2） 0：無効 1：有効
28	TEN3	0	R/W	CAM エントリテーブル3（TSU_ADRH3、TSU_ADRL3） 0：無効 1：有効
27	TEN4	0	R/W	CAM エントリテーブル4（TSU_ADRH4、TSU_ADRL4） 0：無効 1：有効
26	TEN5	0	R/W	CAM エントリテーブル5（TSU_ADRH5、TSU_ADRL5） 0：無効 1：有効
25	TEN6	0	R/W	CAM エントリテーブル6（TSU_ADRH6、TSU_ADRL6） 0：無効 1：有効
24	TEN7	0	R/W	CAM エントリテーブル7（TSU_ADRH7、TSU_ADRL7） 0：無効 1：有効
23	TEN8	0	R/W	CAM エントリテーブル8（TSU_ADRH8、TSU_ADRL8） 0：無効 1：有効

ビット	ビット名	初期値	R/W	説 明
22	TEN9	0	R/W	CAM エントリテーブル9（TSU_ADRH9、TSU_ADRL9） 0：無効 1：有効
21	TEN10	0	R/W	CAM エントリテーブル10（TSU_ADRH10、TSU_ADRL10） 0：無効 1：有効
20	TEN11	0	R/W	CAM エントリテーブル11（TSU_ADRH11、TSU_ADRL11） 0：無効 1：有効
19	TEN12	0	R/W	CAM エントリテーブル12（TSU_ADRH12、TSU_ADRL12） 0：無効 1：有効
18	TEN13	0	R/W	CAM エントリテーブル13（TSU_ADRH13、TSU_ADRL13） 0：無効 1：有効
17	TEN14	0	R/W	CAM エントリテーブル14（TSU_ADRH14、TSU_ADRL14） 0：無効 1：有効
16	TEN15	0	R/W	CAM エントリテーブル15（TSU_ADRH15、TSU_ADRL15） 0：無効 1：有効
15	TEN16	0	R/W	CAM エントリテーブル16（TSU_ADRH16、TSU_ADRL16） 0：無効 1：有効
14	TEN17	0	R/W	CAM エントリテーブル17（TSU_ADRH17、TSU_ADRL17） 0：無効 1：有効
13	TEN18	0	R/W	CAM エントリテーブル18（TSU_ADRH18、TSU_ADRL18） 0：無効 1：有効
12	TEN19	0	R/W	CAM エントリテーブル19（TSU_ADRH19、TSU_ADRL19） 0：無効 1：有効
11	TEN20	0	R/W	CAM エントリテーブル20（TSU_ADRH20、TSU_ADRL20） 0：無効 1：有効
10	TEN21	0	R/W	CAM エントリテーブル21（TSU_ADRH21、TSU_ADRL21） 0：無効 1：有効
9	TEN22	0	R/W	CAM エントリテーブル22（TSU_ADRH22、TSU_ADRL22） 0：無効 1：有効

ビット	ビット名	初期値	R/W	説 明
8	TEN23	0	R/W	CAM エントリテーブル23（TSU_ADRH23、TSU_ADRL23） 0：無効 1：有効
7	TEN24	0	R/W	CAM エントリテーブル24（TSU_ADRH24、TSU_ADRL24） 0：無効 1：有効
6	TEN25	0	R/W	CAM エントリテーブル25（TSU_ADRH25、TSU_ADRL25） 0：無効 1：有効
5	TEN26	0	R/W	CAM エントリテーブル26（TSU_ADRH26、TSU_ADRL26） 0：無効 1：有効
4	TEN27	0	R/W	CAM エントリテーブル27（TSU_ADRH27、TSU_ADRL27） 0：無効 1：有効
3	TEN28	0	R/W	CAM エントリテーブル28（TSU_ADRH28、TSU_ADRL28） 0：無効 1：有効
2	TEN29	0	R/W	CAM エントリテーブル29（TSU_ADRH29、TSU_ADRL29） 0：無効 1：有効
1	TEN30	0	R/W	CAM エントリテーブル30（TSU_ADRH30、TSU_ADRL30） 0：無効 1：有効
0	TEN31	0	R/W	CAM エントリテーブル31（TSU_ADRH31、TSU_ADRL31） 0：無効 1：有効

23.3.46 CAM エントリテーブルPOST1 レジスタ（TSU_POST1）

TSU_POST1 は、TSU_ADRH0 ～ TSU_ADRH7 及び TSU_ADRL0 ～ TSU_ADRL7 を参照する条件を指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST0[3:0]				POST1[3:0]				POST2[3:0]				POST3[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST4[3:0]				POST5[3:0]				POST6[3:0]				POST7[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 28	POST0[3:0]	0000	R/W	CAMエントリテーブル0 参照条件 “1”にしたビットの条件が有効になります。 POST0[3]：0 系の受信時にCAM エントリテーブル0 を参照 POST0[2]：リザーブビット POST0[1]：1 系の受信時にCAM エントリテーブル0 を参照 POST0[0]：リザーブビット
27 ～ 24	POST1[3:0]	0000	R/W	CAMエントリテーブル1 参照条件 “1”にしたビットの条件が有効になります。 POST1[3]：0 系の受信時にCAM エントリテーブル1 を参照 POST1[2]：リザーブビット POST1[1]：1 系の受信時にCAM エントリテーブル1 を参照 POST1[0]：リザーブビット
23 ～ 20	POST2[3:0]	0000	R/W	CAMエントリテーブル2 参照条件 “1”にしたビットの条件が有効になります。 POST2[3]：0 系の受信時にCAM エントリテーブル2 を参照 POST2[2]：リザーブビット POST2[1]：1 系の受信時にCAM エントリテーブル2 を参照 POST2[0]：リザーブビット
19 ～ 16	POST3[3:0]	0000	R/W	CAMエントリテーブル3 参照条件 “1”にしたビットの条件が有効になります。 POST3[3]：0 系の受信時にCAM エントリテーブル3 を参照 POST3[2]：リザーブビット POST3[1]：1 系の受信時にCAM エントリテーブル3 を参照 POST3[0]：リザーブビット
15 ～ 12	POST4[3:0]	0000	R/W	CAMエントリテーブル4 参照条件 “1”にしたビットの条件が有効になります。 POST4[3]：0 系の受信時にCAM エントリテーブル4 を参照 POST4[2]：リザーブビット POST4[1]：1 系の受信時にCAM エントリテーブル4 を参照 POST4[0]：リザーブビット

ビット	ビット名	初期値	R/W	説 明
11～8	POST5[3:0]	0000	R/W	CAMエントリテーブル5 参照条件 “1”にしたビットの条件が有効になります。 POST5[3]：0 系の受信時にCAM エントリテーブル5 を参照 POST5[2]：リザーブビット POST5[1]：1 系の受信時にCAM エントリテーブル5 を参照 POST5[0]：リザーブビット
7～4	POST6[3:0]	0000	R/W	CAMエントリテーブル6 参照条件 “1”にしたビットの条件が有効になります。 POST6[3]：0 系の受信時にCAM エントリテーブル6 を参照 POST6[2]：リザーブビット POST6[1]：1 系の受信時にCAM エントリテーブル6 を参照 POST6[0]：リザーブビット
3～0	POST7[3:0]	0000	R/W	CAMエントリテーブル7参照条件 “1”にしたビットの条件が有効になります。 POST7[3]：0 系の受信時にCAM エントリテーブル7 を参照 POST7[2]：リザーブビット POST7[1]：1 系の受信時にCAM エントリテーブル7 を参照 POST7[0]：リザーブビット

注.　このレジスタは、POSTENU ビット＝1のとき有効です。

23.3.47 CAM エントリテーブルPOST2 レジスタ（TSU_POST2）

TSU_POST2 は、TSU_ADRH8 ～ TSU_ADRH15 及びTSU_ADRL8 ～ TSU_ADRL15 を参照する条件を指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST8[3:0]				POST9[3:0]				POST10[3:0]				POST11[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST12[3:0]				POST13[3:0]				POST14[3:0]				POST15[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 28	POST8[3:0]	0000	R/W	CAMエントリテーブル8 参照条件 “1”にしたビットの条件が有効になります。 POST8[3]：0 系の受信時にCAM エントリテーブル8 を参照 POST8[2]：リザーブビット POST8[1]：1 系の受信時にCAM エントリテーブル8 を参照 POST8[0]：リザーブビット
27 ～ 24	POST9[3:0]	0000	R/W	CAMエントリテーブル9 参照条件 “1”にしたビットの条件が有効になります。 POST9[3]：0 系の受信時にCAM エントリテーブル9 を参照 POST9[2]：リザーブビット POST9[1]：1 系の受信時にCAM エントリテーブル9 を参照 POST9[0]：リザーブビット
23 ～ 20	POST10[3:0]	0000	R/W	CAMエントリテーブル10 参照条件 “1”にしたビットの条件が有効になります。 POST10[3]：0 系の受信時にCAM エントリテーブル10 を参照 POST10[2]：リザーブビット POST10[1]：1 系の受信時にCAM エントリテーブル10 を参照 POST10[0]：リザーブビット
19 ～ 16	POST11[3:0]	0000	R/W	CAMエントリテーブル11 参照条件 “1”にしたビットの条件が有効になります。 POST11[3]：0 系の受信時にCAM エントリテーブル11 を参照 POST11[2]：リザーブビット POST11[1]：1 系の受信時にCAM エントリテーブル11 を参照 POST11[0]：リザーブビット
15 ～ 12	POST12[3:0]	0000	R/W	CAMエントリテーブル12 参照条件 “1”にしたビットの条件が有効になります。 POST12[3]：0 系の受信時にCAM エントリテーブル12 を参照 POST12[2]：リザーブビット POST12[1]：1 系の受信時にCAM エントリテーブル12 を参照 POST12[0]：リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～ 8	POST13[3:0]	0000	R/W	CAMエントリテーブル13 参照条件 “1”にしたビットの条件が有効になります。 POST13[3] : 0 系の受信時にCAM エントリテーブル13 を参照 POST13[2] : リザーブビット POST13[1] : 1 系の受信時にCAM エントリテーブル13 を参照 POST13[0] : リザーブビット
7 ～ 4	POST14[3:0]	0000	R/W	CAMエントリテーブル14 参照条件 “1”にしたビットの条件が有効になります。 POST14[3] : 0 系の受信時にCAM エントリテーブル14 を参照 POST14[2] : リザーブビット POST14[1] : 1 系の受信時にCAM エントリテーブル14 を参照 POST14[0] : リザーブビット
3 ～ 0	POST15[3:0]	0000	R/W	CAMエントリテーブル15 参照条件 “1”にしたビットの条件が有効になります。 POST15[3] : 0 系の受信時にCAM エントリテーブル15 を参照 POST15[2] : リザーブビット POST15[1] : 1 系の受信時にCAM エントリテーブル15 を参照 POST15[0] : リザーブビット

注.　このレジスタは、POSTENU ビット＝1のとき有効です。

23.3.48 CAM エントリテーブルPOST3 レジスタ（TSU_POST3）

TSU_POST3 は、TSU_ADRH16 ～ TSU_ADRH23 及びTSU_ADRL16 ～ TSU_ADRL23 を参照する条件を指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST16[3:0]				POST17[3:0]				POST18[3:0]				POST19[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST20[3:0]				POST21[3:0]				POST22[3:0]				POST23[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 28	POST16[3:0]	0000	R/W	CAMエントリテーブル16 参照条件 “1”にしたビットの条件が有効になります。 POST16[3]：0 系の受信時にCAM エントリテーブル16 を参照 POST16[2]：リザーブビット POST16[1]：1 系の受信時にCAM エントリテーブル16 を参照 POST16[0]：リザーブビット
27～ 24	POST17[3:0]	0000	R/W	CAMエントリテーブル17 参照条件 “1”にしたビットの条件が有効になります。 POST17[3]：0 系の受信時にCAM エントリテーブル17 を参照 POST17[2]：リザーブビット POST17[1]：1 系の受信時にCAM エントリテーブル17 を参照 POST17[0]：リザーブビット
23 ～ 20	POST18[3:0]	0000	R/W	CAMエントリテーブル18 参照条件 “1”にしたビットの条件が有効になります。 POST18[3]：0 系の受信時にCAM エントリテーブル18 を参照 POST18[2]：リザーブビット POST18[1]：1 系の受信時にCAM エントリテーブル18 を参照 POST18[0]：リザーブビット
19 ～ 16	POST19[3:0]	0000	R/W	CAMエントリテーブル19 参照条件 “1”にしたビットの条件が有効になります。 POST19[3]：0 系の受信時にCAM エントリテーブル19 を参照 POST19[2]：リザーブビット POST19[1]：1 系の受信時にCAM エントリテーブル19 を参照 POST19[0]：リザーブビット
15 ～ 12	POST20[3:0]	0000	R/W	CAMエントリテーブル20 参照条件 “1”にしたビットの条件が有効になります。 POST20[3]：0 系の受信時にCAM エントリテーブル20 を参照 POST20[2]：リザーブビット POST20[1]：1 系の受信時にCAM エントリテーブル20 を参照 POST20[0]：リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～ 8	POST21[3:0]	0000	R/W	CAMエントリテーブル21 参照条件 “1”にしたビットの条件が有効になります。 POST21[3]：0 系の受信時にCAM エントリテーブル21 を参照 POST21[2]：リザーブビット POST21[1]：1 系の受信時にCAM エントリテーブル21 を参照 POST21[0]：リザーブビット
7 ～ 4	POST22[3:0]	0000	R/W	CAMエントリテーブル22 参照条件 “1”にしたビットの条件が有効になります。 POST22[3]：0 系の受信時にCAM エントリテーブル22 を参照 POST22[2]：リザーブビット POST22[1]：1 系の受信時にCAM エントリテーブル22 を参照 POST22[0]：リザーブビット
3～ 0	POST23[3:0]	0000	R/W	CAMエントリテーブル23 参照条件 “1”にしたビットの条件が有効になります。 POST23[3]：0 系の受信時にCAM エントリテーブル23 を参照 POST23[2]：リザーブビット POST23[1]：1 系の受信時にCAM エントリテーブル23 を参照 POST23[0]：リザーブビット

注.　このレジスタは、POSTENU ビット＝1のとき有効です。

23.3.49 CAM エントリテーブルPOST4 レジスタ（TSU_POST4）

TSU_POST4 は、TSU_ADRH24 ～ TSU_ADRH31 及びTSU_ADRL24 ～ TSU_ADRL31 を参照する条件を指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST24[3:0]				POST25[3:0]				POST26[3:0]				POST27[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST28[3:0]				POST29[3:0]				POST30[3:0]				POST31[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 28	POST24[3:0]	0000	R/W	CAMエントリテーブル24 参照条件 “1”にしたビットの条件が有効になります。 POST24[3]：0 系の受信時にCAM エントリテーブル24 を参照 POST24[2]：リザーブビット POST24[1]：1 系の受信時にCAM エントリテーブル24 を参照 POST24[0]：リザーブビット
27 ～ 24	POST25[3:0]	0000	R/W	CAMエントリテーブル25 参照条件 “1”にしたビットの条件が有効になります。 POST25[3]：0 系の受信時にCAM エントリテーブル25 を参照 POST25[2]：リザーブビット POST25[1]：1 系の受信時にCAM エントリテーブル25 を参照 POST25[0]：リザーブビット
23 ～ 20	POST26[3:0]	0000	R/W	CAMエントリテーブル26 参照条件 “1”にしたビットの条件が有効になります。 POST26[3]：0 系の受信時にCAM エントリテーブル26 を参照 POST26[2]：リザーブビット POST26[1]：1 系の受信時にCAM エントリテーブル26 を参照 POST26[0]：リザーブビット
19 ～ 16	POST27[3:0]	0000	R/W	CAMエントリテーブル27 参照条件 “1”にしたビットの条件が有効になります。 POST27[3]：0 系の受信時にCAM エントリテーブル27 を参照 POST27[2]：リザーブビット POST27[1]：1 系の受信時にCAM エントリテーブル27 を参照 POST27[0]：リザーブビット
15 ～ 12	POST28[3:0]	0000	R/W	CAMエントリテーブル28 参照条件 “1”にしたビットの条件が有効になります。 POST28[3]：0 系の受信時にCAM エントリテーブル28 を参照 POST28[2]：リザーブビット POST28[1]：1 系の受信時にCAM エントリテーブル28 を参照 POST28[0]：リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～ 8	POST29[3:0]	0000	R/W	CAMエントリテーブル29 参照条件 “1”にしたビットの条件が有効になります。 POST29[3]：0 系の受信時にCAM エントリテーブル29 を参照 POST29[2]：リザーブビット POST29[1]：1 系の受信時にCAM エントリテーブル29 を参照 POST29[0]：リザーブビット
7 ～ 4	POST30[3:0]	0000	R/W	CAMエントリテーブル30 参照条件 “1”にしたビットの条件が有効になります。 POST30[3]：0 系の受信時にCAM エントリテーブル30 を参照 POST30[2]：リザーブビット POST30[1]：1 系の受信時にCAM エントリテーブル30 を参照 POST30[0]：リザーブビット
3 ～ 0	POST31[3:0]	0000	R/W	CAMエントリテーブル31 参照条件 “1”にしたビットの条件が有効になります。 POST31[3]：0 系の受信時にCAM エントリテーブル31 を参照 POST31[2]：リザーブビット POST31[1]：1 系の受信時にCAM エントリテーブル31 を参照 POST31[0]：リザーブビット

注.　このレジスタは、POSTENU ビット＝1のとき有効です。

23.3.50 CAM エントリテーブル0～31H レジスタ（TSU_ADRH0 ～ TSU_ADRH31）

TSU_ADRH0～TSU_ADRH31 は、受信の際にCAM に参照されるエントリテーブルです。これらのレジスタは、48 ビットのMAC アドレスの上位32 ビットを設定します。最大32 エントリのMAC アドレスを登録することができます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRHn[31:16] (n = 0 to 31)															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRHn[15:0] (n = 0 to 31)															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	ADRHn[31:0] (n: 0 ～ 31)	H'0000 0000	R/W	MACアドレスビット MAC アドレスの上位32 ビットを設定します。 MAC アドレスが01-23-45-67-89-AB（16 進数表示）である場合、このレジスタにはH'0123 4567 を設定します。

注. CAM エントリテーブルは、ADSBSY ビット＝0のときに、MACアドレス上位32ビット（TSU_ADRH0～TSU_ADRH31）、MACアドレス下位16ビット（TSU_ADRL0～TSU_ADRL31）の順に設定してください。

23.3.51 CAM エントリテーブル0～31L レジスタ（TSU_ADRL0 ～ TSU_ADRL31）

TSU_ADRL0～TSU_ADRL31 は、受信の際にCAM に参照されるエントリテーブルです。これらのレジスタは、48 ビットのMAC アドレスの下位16 ビットを設定します。最大32 エントリのMAC アドレスを登録することができます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRLn[15:0] (n = 0 ~ 31)															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	ADRLn[15:0] (n: 0 ～ 31)	H'0000	R/W	MACアドレスビット MAC アドレスの下位16 ビットを設定します。 MAC アドレスが01-23-45-67-89-AB（16 進数表示）である場合、このレジスタにはH'0000 89AB を設定します。

注. CAM エントリテーブルは、ADSBSY ビット＝0のときに、MACアドレス上位32ビット（TSU_ADRH0～TSU_ADRH31）、MACアドレス下位16ビット（TSU_ADRL0～TSU_ADRL31）の順に設定してください。

23.3.52 送信フレーム数カウンタレジスタ（0 系）（正常送信のみ）（TXNLCR0）

TXNLCR0 は、E-MAC-0 で正常に送信が完了したフレーム数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NTC0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NTC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	NTC0[31:0]	H'0000 0000	R	0系送信フレームカウンタビット 正常に送信が完了したフレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注． このレジスタは、読み出すとH'0000 0000になります。

23.3.53 送信フレーム数カウンタレジスタ（0 系）（正常及び障害発生を含むすべて）（TXALCR0）

TXALCR0 は､E-MAC-0 で障害が発生した送信フレーム数を含んだ送信フレーム数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TC0[31:0]	H'0000 0000	R	0系送信フレームカウンタビット 正常に送信された送信フレーム及び障害が発生した送信フレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注． このレジスタは、読み出すとH'0000 0000になります。

23.3.54 受信フレーム数カウンタレジスタ（0 系）（正常受信のみ）（RXNLCR0）

RXNLCR0 は、E-MAC-0 で正常に受信が完了したフレーム数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NRC0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NRC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	NRC0[31:0]	H'0000 0000	R	0系受信フレームカウンタビット 正常に受信が完了したフレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注．　このレジスタは、読み出すとH'0000 0000になります。

23.3.55 受信フレーム数カウンタレジスタ（0 系）（正常及び障害発生を含むすべて）（RXALCR0）

RXALCR0 は、E-MAC-0 で障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RC0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RC0[31:0]	H'0000 0000	R	0系受信フレームカウンタビット 正常に受信された受信フレーム及び障害が発生した受信フレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注．　このレジスタは、読み出すとH'0000 0000になります。

23.3.56 送信フレーム数カウンタレジスタ（1 系）（正常送信のみ）（TXNLCR1）

TXNLCR1 は、E-MAC-1 で正常に送信が完了したフレーム数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NTC1[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NTC1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	NTC1[31:0]	H'0000 0000	R	1系送信フレームカウンタビット 正常に送信が完了したフレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタは、読み出すとH'0000 0000になります。

23.3.57 送信フレーム数カウンタレジスタ（1 系）（正常及び障害発生を含むすべて）（TXALCR1）

TXALCR1 は､E-MAC-1 で障害が発生した送信フレーム数を含んだ送信フレーム数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC1[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TC1[31:0]	H'0000 0000	R	1系送信フレームカウンタビット 正常に送信された送信フレーム及び障害が発生した送信フレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタは、読み出すとH'0000 0000になります。

23.3.58 受信フレーム数カウンタレジスタ（1 系）（正常受信のみ）（RXNLCR1）

RXNLCR1 は、E-MAC-1 で正常に受信が完了したフレーム数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NRC1[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NRC1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	NRC1[31:0]	H'0000 0000	R	1系受信フレームカウンタビット 正常に受信が完了したフレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタは、読み出すとH'0000 0000になります。

23.3.59 受信フレーム数カウンタレジスタ（1 系）（正常及び障害発生を含むすべて）（RXALCR1）

RXALCR1 は、E-MAC-1 で障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RC1[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RC1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RC1[31:0]	H'0000 0000	R	1系受信フレームカウンタビット 正常に受信された受信フレーム及び障害が発生した受信フレームのカウント数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタは、読み出すとH'0000 0000になります。

23.3.60 E-DMAC 起動レジスタ（EDSR）

EDSR は、E-DMAC の送信部、受信部の起動を指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENT	ENR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	W	W

ビット	ビット名	初期値	R/W	説 明
31 ～ 2	—	0	—	リザーブビット
1	ENT	0	W	0：E-DMAC 送信部停止 1：E-DMAC 送信部起動
0	ENR	0	W	0：E-DMAC 受信部停止 1：E-DMAC 受信部起動

23.3.61 E-DMAC モードレジスタ（EDMR）

EDMR は、読み出し又は書き込み可能な 32 ビットのレジスタで、E-DMAC のリセット指示及び送受信ディスクリプタ長を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DE	DL[1:0]		—	—	SWRT	SWRR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 7	—	0	—	リザーブビット
6	DE	0	R/W	送受信フレームエンディアン（注1） 送受信FIFO・送受信バッファ間のフレームデータ DMA 転送時のエンディアンを設定します 0：ビッグエンディアンモード（ロングワードアクセス） 1：リトルエンディアンモード（ロングワードアクセス）
5、4	DL[1:0]	00	R/W	送受信ディスクリプタ長（注1、2） ディスクリプタ長を指定します （「23.4.1　ディスクリプタとディスクリプタリスト」参照） 00：16 バイト 01：32 バイト 10：64 バイト 11：設定禁止
3、2	—	0	—	リザーブビット
1、0	SWRT、SWRR	00	R/W	送受信FIFO制御部ソフトウエアリセット（注3） これらのビットに“11”を書くと、TDLAR、RDLAR、RMFCR、TSU関連レジスタを除くE-DMACレジスタが初期化されます。 初期化後は、自動的に“0”になります。

注1.　これらのビットは、TR[1:0]ビット＝00及びRR ビット＝0のときに設定してください。
2.　これらのビットは、送受信FIFO制御部のソフトウエアリセット（SWRTビット＝1、SWRRビット＝1）後に設定してください。
3.　ソフトウエアリセット実行時は、送受信停止中に、これらのビットに“11”を書き込んでください。
なお、ソフトウェアリセット発行期間中（“11”書き込み後、Pckの32サイクル経過するまで）は、全GETHERレジスタにアクセスしないでください。

23.3.62 E-DMAC 送信要求レジスタ（EDTRR）

EDTRR は、読み出し又は書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。TR[1:0] ビットに 11 を書き込むと、E-DMAC は TDLAR レジスタに設定されたアドレスの送信ディスクリプタを読み込みます。この送信ディスクリプタの TACT ビットが 1（有効）であれば、E-DMAC による送信 DMA 転送が開始されます。最初の送信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の送信ディスクリプタを読み込み、TACT ビット＝1 であれば送信 DMA 動作を継続し、TACT ビット＝0（無効）であれば TR[1:0] ビットを 00 にして送信 DMAC の動作を停止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 2	—	0	—	リザーブビット
1、0	TR[1:0]	00	R/W	送信要求 00、01、10：送信停止 00、01、あるいは10 を書き込むと、現在処理中の送信ディスクリプタのDMA 転送を終了し、その次の送信ディスクリプタを読み込んだ後に、この ビットが00になります。送信ディスクリプタエンプティあるいは送信完了を検出した場合も、この ビットが00になります。いずれの場合も、それまでに検出した有効な送信ディスクリプタに対してはライトバックまで完了させます。 11：E-DMAC による送信 DMA 動作中 11 を書き込むと、送信ディスクリプタの読み込みが開始されます。

23.3.63 E-DMAC 受信要求レジスタ（EDRRR）

EDRRR は、読み出し又は書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。このレジスタの RR ビットに 1 を書き込むと、E-DMAC は RDLAR レジスタに設定されたアドレスの受信ディスクリプタを読み込みます。この受信ディスクリプタの RACT ビットが 1（有効）で受信 FIFO に受信したフレームがあれば、E-DMAC による受信 DMA 転送が開始されます。最初の受信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の受信ディスクリプタを読み込み、RACT ビット＝1 であれば、受信 DMA 動作を継続します。ただし、受信 FIFO に受信データがない場合には、E-DMAC は受信 DMA 動作を待機状態にします。また、RACT ビット＝0（無効）の場合は、RR ビットを 0 にして受信 DMAC の動作を停止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	RR	0	R/W	受信要求 0：受信機能無効（注） 0を書き込むと、1フレームのDMA転送が終了した時点で受信機能が停止し、このビットが0になります。 受信ディスクリプタエンプティを検出した場合も、このビットが0になります。 1：1を書き込むと、受信ディスクリプタの読み込みが開始され、E-DMACが受信可能状態になります。

注.　受信を停止する場合は、REビット＝0にし、受信ディスクリプタのライトバックを確認してから、このビットを“0”にしてください。
フレームの受信中にこのビットを“0”にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、E-DMAC は正常な動作ができなくなります。この場合は、SWRT ビット及び SWRR ビットでソフトウェアリセットを実行し、E-DMAC を受信可能状態にしてください。

23.3.64 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）

TDLAR は、読み出し又は書き込み可能な32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタの先頭アドレスは、DL ビットで設定したサイズ境界に設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDLA[31:15]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

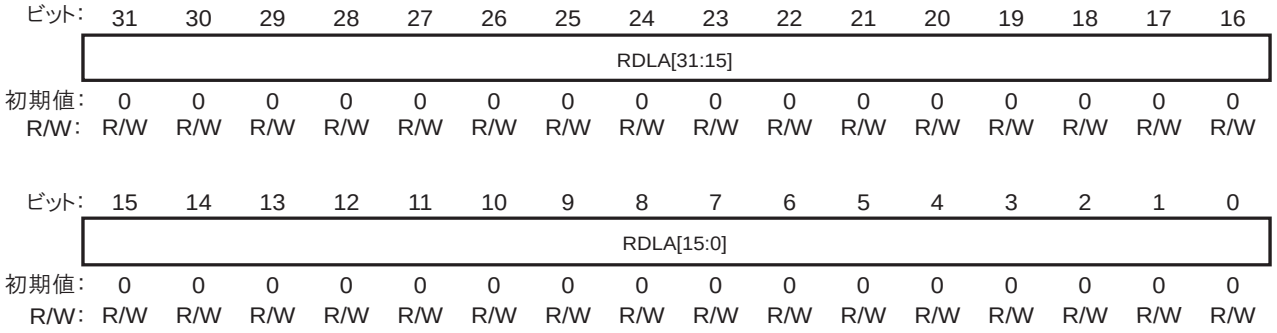
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～0	TDLA[31:0]	H'0000 0000	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定してください。 16 バイト境界：TDLA[3:0]＝0000 32 バイト境界：TDLA[4:0]＝00000 64 バイト境界：TDLA[5:0]＝000000

注.　このレジスタは、送受信FIFO制御部のソフトウエアリセット（SWRTビット＝1、SWRRビット＝1）後、TR[1:0]ビット＝00のときに設定してください。

23.3.65 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）

RDLAR は、読み出し又は書き込み可能な32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタの先頭アドレスは、DL ビットで設定したサイズ境界に設定してください。



ビット	ビット名	初期値	R/W	説 明
31 ～0	RDLA[31:0]	H'0000 0000	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定してください。 16 バイト境界：RDLA[3:0]＝0000 32 バイト境界：RDLA[4:0]＝00000 64 バイト境界：RDLA[5:0]＝000000

注.　このレジスタは、送受信FIFO制御部のソフトウエアリセット（SWRTビット＝1、SWRRビット＝1）後、RRビット＝0のときに設定してください。

23.3.66 E-MAC/E-DMAC ステータスレジスタ（EESR）

EESR は、読み出し又は書き込み可能な32 ビットのレジスタで、E-MAC 及びE-DMAC の通信ステータスを示します。このレジスタの各ビットが“1”になったとき、EESIPR レジスタの対応ビットが“1”であれば、割り込み要求を発生します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB[1:0]		TC[1]	TUC	ROC	TABT	RABT	RFCOF	—	ECI	TC[0]	TDE	TFUF	FR	RDE	RFOF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DLC	CD	TRO	RMAF	—	CELF	RRF	RTLF	RTSF	PRE	CERF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31、30	TWB[1:0]	00	R/W （注1）	ライトバック完了 送信ディスクリプタのTWBI ビットが1のとき、フレーム送信完了後のE-DMAC からの当該ディスクリプタへのライトバックが完了すると“11”になります。 00：ライトバック未完了又は送信未指示 11：ライトバック完了 その他：無効
29	TC[1]	0	R/W （注1）	フレーム送信完了 TC[0] ビットとの組み合わせで、送信ディスクリプタによって指定されたデータをすべてE-MAC 部から送信したことを示します。1 フレーム／1 ディスクリプタでは、1 フレームの送信が完了し次のディスクリプタ内の送信ディスクリプタ有効ビット（TACT）＝0 の場合、また1 フレーム／複数ディスクリプタ（マルチバッファフレーム処理）では、フレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット（TACT）＝0の場合に送信完了とみなし、11 になります。 フレーム送信完了後は、E-DMAC は送信状態を当該ディスクリプタにライトバックします。 TC[1:0] 00：送信未完了又は送信未指示 11：送信完了 その他：無効
28	TUC	0	R/W （注1）	送信アンダフローフレームライトバック完了 0：送信アンダフローを起こしたフレームのライトバック未完了 1：送信アンダフローを起こしたフレームのライトバック完了
27	ROC	0	R/W （注1）	受信オーバフローフレームライトバック完了 0：受信アンダフローを起こしたフレームのライトバック未完了 1：受信アンダフローを起こしたフレームのライトバック完了

ビット	ビット名	初期値	R/W	説 明
26	TABT	0	R/W （注1）	送信中断検出 フレーム送信時、障害等によりE-MAC がフレーム送信を中断したことを示します。 0：フレーム送信中断未発生又は送信未指示 1：フレーム送信中断発生
25	RABT	0	R/W （注1）	受信中断検出 フレーム受信時、障害等によりE-MAC がフレーム受信を中断したことを示します。 0：フレーム受信中断未発生又は受信未指示 1：フレーム受信中断発生
24	RFCOF	0	R/W （注1）	受信フレームカウンタオーバフロー 受信FIFO 内のフレームカウンタがオーバフローしたことを示します。 0：受信フレームカウンタオーバフロー未発生 1：受信フレームカウンタオーバフロー発生
23	—	0	—	リザーブビット
22	ECI	0	R	E-MAC ステータスレジスタ要因（注2） 0：E-MAC ステータス割り込み要因未検出 1：E-MAC ステータス割り込み要因検出
21	TC[0]	0	R/W （注1）	フレーム送信完了 TC[1] ビット参照
20	TDE	0	R/W （注1）	送信ディスクリプタエンプティ 1 フレーム／複数ディスクリプタであるマルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMAC が送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット（TACT）＝1でなかったことを示します。結果として不完全なフレームを送出する場合があります。 0：TACT＝1 を検出 1：TACT＝0 を検出 送信ディスクリプタエンプティ（TDE＝1）が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）に格納されているアドレスからの開始となります。
19	TFUF	0	R/W （注1）	送信FIFO アンダフロー フレームを送信中に送信FIFO にアンダフローが発生したことを示します。回線上には、不完全なデータが送出されます。 0：アンダフロー未発生 1：アンダフロー発生
18	FR	0	R/W （注1）	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1 フレームを受信するたびに“1”になります。 0：フレーム未受信 1：フレーム受信済み

ビット	ビット名	初期値	R/W	説 明
17	RDE	0	R/W （注1）	受信ディスクリプタエンプティ E-DMAC が受信DMA のため読み込んだ受信ディスクリプタの RACT ビットが0（無効）であったことを示します。 受信ディスクリプタエンプティ（RDE＝1）が発生した場合は、RACT ビット＝0 となっていた受信ディスクリプタをRACT＝1 に設定しEDRRR のRR ビットに1を書き込むことで、受信を再開することができます。 0：RACT＝1 を検出 1：RACT＝0 を検出
16	RFOF	0	R/W （注1）	受信FIFO オーバフロー フレームを受信中に受信FIFO がオーバフローしたことを示します。 0：オーバフロー未発生 1：オーバフロー発生
15 ～ 11	—	0	—	リザーブビット
10	DLC	0	R/W （注1）	キャリア消失検出 フレームを送信中にキャリア消失を検出したことを示します。 0：キャリア消失未検出 1：キャリア消失検出
9	CD	0	R/W （注1）	遅延衝突検出 フレームを送信中に遅延衝突を検出したことを示します。 0：遅延衝突未検出 1：遅延衝突検出
8	TRO	0	R/W （注1）	送信リトライオーバ E-MAC が送信を開始後、バックオフアルゴリズムに基づく15 回の再送をあわせ全部で16 回の送信試行に失敗（リトライオーバが発生）したことを示します。 0：送信リトライオーバ未検出 1：送信リトライオーバ検出
7	RMAF	0	R/W （注1）	マルチキャストアドレスフレーム受信 0：マルチキャストアドレスフレーム未受信 1：マルチキャストアドレスフレーム受信
6	—	0	—	リザーブビット
5	CELF	0	R/W （注1）	キャリア拡張消失 1 ギガビット／半二重転送モード時、キャリア拡張が消失した（フレームとキャリア拡張の長さの合計がSLOT_TIME（4096bit）未満である）ことを示します。 0：キャリア拡張消失未発生 1：キャリア拡張消失発生
4	RRF	0	R/W （注1）	端数ビットフレーム受信 0：端数ビットフレーム未受信 1：端数ビットフレーム受信

ビット	ビット名	初期値	R/W	説 明
3	RTLF	0	R/W （注1）	ロングフレーム受信エラー RFLR で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0：ロングフレーム未受信 1：ロングフレーム受信
2	RTSF	0	R/W （注1）	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0：ショートフレーム未受信 1：ショートフレーム受信
1	PRE	0	R/W （注1）	PHY-LSI 受信エラー 0：PHY-LSI 受信エラー未検出 1：PHY-LSI 受信エラー検出
0	CERF	0	R/W （注1）	受信フレームCRC エラー 0：CRC エラー未検出 1：CRC エラー検出

注1.　“1”を書くと“0”になります。“0”を書いても変化しません。
2.　ECSR レジスタの要因がすべて“0”になると、このビットが“0”になります。

23.3.67　E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）

EESIPR は、読み出し又は書き込み可能な32 ビットのレジスタで、EESR レジスタの対応ビットが“1”になったときに割り込み要求を発生させるかどうかを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB1IP	TWB0IP	TC1IP	TUCIP	ROCIP	TABTIP	RABTIP	RFCOFIP	—	ECIIP	TC0IP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	DLCIP	CDIP	TROIP	RMAFIP	—	CELFIP	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	TWB1IP	0	R/W	ライトバック完了割り込み許可 0：ライトバック完了割り込み禁止 1：ライトバック完了割り込み許可
30	TWB0IP	0	R/W	ライトバック完了割り込み許可 0：ライトバック完了割り込み禁止 1：ライトバック完了割り込み許可
29	TC1IP	0	R/W	フレーム送信完了割り込み許可 0：フレーム送信完了割り込み禁止 1：フレーム送信完了割り込み許可

ビット	ビット名	初期値	R/W	説 明
28	TUCIP	0	R/W	送信アンダフローフレームライトバック完了 0：送信アンダフローフレームライトバック完了割り込み禁止 1：送信アンダフローフレームライトバック完了割り込み許可
27	ROCIP	0	R/W	受信オーバフローフレームライトバック完了 0：送信オーバフローフレームライトバック完了割り込み禁止 1：送信オーバフローフレームライトバック完了割り込み許可
26	TABTIP	0	R/W	送信中断検出割り込み許可 0：受信中断検出割り込み禁止 1：受信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0：受信中断検出割り込み禁止 1：受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバフロー割り込み許可 0：受信フレームカウンタオーバフロー割り込み禁止 1：受信フレームカウンタオーバフロー割り込み許可
23	—	0	—	リザーブビット
22	ECIIP	0	R/W	E-MAC ステータスレジスタ要因割り込み許可 0：E-MAC ステータス割り込み禁止 1：E-MAC ステータス割り込み許可
21	TC0IP	0	R/W	フレーム送信完了割り込み許可 0：フレーム送信完了割り込み禁止 1：フレーム送信完了割り込み許可
20	TDEIP	0	R/W	送信ディスクリプタエンプティ割り込み許可 0：送信ディスクリプタエンプティ割り込み禁止 1：送信ディスクリプタエンプティ割り込み許可
19	TFUFIP	0	R/W	送信FIFO アンダフロー割り込み許可 0：アンダフロー割り込み禁止 1：アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0：フレーム受信割り込み禁止 1：フレーム受信割り込み許可
17	RDEIP	0	R/W	受信ディスクリプタエンプティ割り込み許可 0：受信ディスクリプタエンプティ割り込み禁止 1：受信ディスクリプタエンプティ割り込み許可
16	RFOFIP	0	R/W	受信FIFO オーバフロー割り込み許可 0：オーバフロー割り込み禁止 1：オーバフロー割り込み許可
15 ～ 11	—	0	—	リザーブビット
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 0：キャリア消失検出割り込み禁止 1：キャリア消失検出割り込み許可

ビット	ビット名	初期値	R/W	説 明
9	CDIP	0	R/W	遅延衝突検出割り込み許可 0：遅延衝突割り込み禁止 1：遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバ割り込み許可 0：送信リトライオーバ割り込み禁止 1：送信リトライオーバ割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0：マルチキャストアドレスフレーム受信割り込み禁止 1：マルチキャストアドレスフレーム受信割り込み許可
6	—	0	—	リザーブビット
5	CELFIP	0	R/W	キャリア拡張消失割り込み許可 0：キャリア拡張消失割り込み禁止 1：キャリア拡張消失割り込み許可
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0：端数ビットフレーム受信割り込み禁止 1：端数ビットフレーム受信割り込み許可
3	RTLFIP	0	R/W	ロングフレーム受信エラー割り込み許可 0：ロングフレーム受信エラー割り込み禁止 1：ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0：ショートフレーム受信エラー割り込み禁止 1：ショートフレーム受信エラー割り込み許可
1	PREIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0：PHY-LSI 受信エラー割り込み禁止 1：PHY-LSI 受信エラー割り込み許可
0	CERFIP	0	R/W	受信フレームCRC エラー割り込み許可 0：CRC エラー割り込み禁止 1：CRC エラー割り込み許可

23.3.68 送受信ステータスコピー指示レジスタ（TRSCER）

TRSCERは、E-MAC/E-DMACステータスレジスタ（EESR）のビット26、25、7、5～0の値を当該ディスクリプタのTFE又はRFEビットに反映するかどうかを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TABTCE	RABTCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

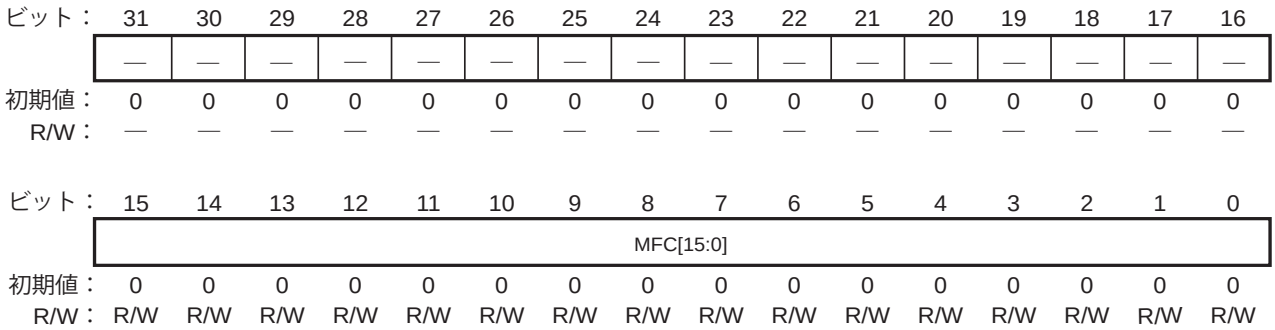
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RMAFCE	—	CELFCE	RRFCE	RTLFCE	RTSFCE	PRECE	CERFCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 18	—	0	—	リザーブビット
17	TABTCE	0	R/W	TABT ビットコピー 0：TABT ビットのステータスを送信ディスクリプタのTFE ビットに反映する 1：該当する要因が発生しても送信ディスクリプタのTFE ビットに反映しない
16	RABTCE	0	R/W	RABT ビットコピー 0：RABT ビットのステータスを受信ディスクリプタのRFE ビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない
15 ～ 8	—	0	—	リザーブビット
7	RMAFCE	0	R/W	RMAF ビットコピー 0：RMAF ビットのステータスを受信ディスクリプタのRFE ビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない
6	—	0	—	リザーブビット
5	CELFCE	0	R/W	CELF ビットコピー 0：CELF ビットのステータスを受信ディスクリプタのRFE ビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない
4	RRFCE	0	R/W	RRF ビットコピー 0：RRF ビットのステータスを受信ディスクリプタのRFEビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない

ビット	ビット名	初期値	R/W	説 明
3	RTLFCE	0	R/W	RTLF ビットコピー 0：RTLF ビットのステータスを受信ディスクリプタのRFE ビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない
2	RTSFCE	0	R/W	RTSF ビットコピー 0：RTSF ビットのステータスを受信ディスクリプタのRFE ビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない
1	PRECE	0	R/W	PRE ビットコピー 0：PRE ビットのステータスを受信ディスクリプタのRFEビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない
0	CERFCE	0	R/W	CERF ビットコピー 0：CERF ビットのステータスを受信ディスクリプタのRFE ビットに反映する 1：該当する要因が発生しても受信ディスクリプタのRFE ビットに反映しない

23.3.69 ミスドフレームカウンタレジスタ（RMFCR）

RMFCR は、受信FIFOオーバフロー後に受信したため、受信FIFOに格納されずに破棄されたフレーム数を示す16 ビットのカウンタです。



ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	MFC[15:0]	H’0000	R/W	ミスドフレームカウンタ 受信FIFOに格納しきれずに破棄されたフレーム数を示します。 H'FFFFになるとカウントを停止します。

23.3.70 送信FIFO しきい値指定レジスタ（TFTR）

TFTR は、読み出し又は書き込み可能な32 ビットのレジスタで、最初の送信を開始するための送信FIFO のしきい値を指定します。送信FIFO 内のデータ数がこのレジスタで指定されたバイト数を超えるか、送信FIFO がフル、又は1 フレーム分のデータ書き込みが行われると送信が開始されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TFT[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 11	—	0	—	リザーブビット
10 ～ 0	TFT[10:0]	H'000	R/W (注1)	送信FIFO しきい値 送信FIFO のしきい値は、必ずFDR で指定したFIFO 容量値より小さい32 バイト単位の値で設定してください。 H'000：ストア＆フォワードモード H'008：32 バイト H'010：64 バイト H'018：96バイト H'020：128バイト ：　： H'080：512 バイト ：　： H'100：1024 バイト ：　： H'200：2048 バイト H'201～H'7FF：設定禁止

注1. ビット2～0は書き込めません。読み出し時の値は“0”です。
2. 1フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。
3. このレジスタは、TR[1:0] ビット＝00のときに設定してください。

23.3.71 FIFO 容量指定レジスタ（FDR）

FDR は、読み出し又は書き込み可能な32 ビットのレジスタで、送信FIFO及び受信FIFO の容量を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TFD[2:0]			—	—	RFD[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 11	—	0	—	リザーブビット
10 ～ 8	TFD[2:0]	000	R/W	送信FIFO 容量 000：256 バイト 001：512 バイト 010：768 バイト 011：1024 バイト 100：1280 バイト 101：1536 バイト 110：1792 バイト 111：2048 バイト
7、6	—	0	—	リザーブビット
5 ～ 0	RFD[5:0]	000000	R/W	受信FIFO 容量 000000 ：256バイト 000001 ：512バイト 000010 ：768バイト 000011 ：1024 バイト 000100 ：1280バイト ：　： 000111 ：2048バイト ：　： 011111 ：8192 バイト ：　： 101111 ：12288 バイト 110000～111111：設定禁止

注.　このレジスタは、TR[1:0]＝00及びRR＝0のときに設定してください。

23.3.72 受信方式制御レジスタ（RMCR）

RMCR は、読み出し又は書き込み可能な32 ビットのレジスタで、フレームを受信するときのREビットの制御の方法を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～1	—	0	—	リザーブビット
0	RNC	0	R/W	受信許可制御 フレーム受信を継続する／しないを設定します。 0：1 フレーム受信完了時、ディスクリプタへのライトバック後に、RR ビットを自動的に“0”にする（1フレーム単位の受信） 1：1フレーム受信完了時、ディスクリプタへのライトバック後は、RR ビットを“0”にせず、次のディスクリプタが読み込み、次のフレーム受信に備える（連続受信）

23.3.73 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。このレジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタ情報をもとに処理を実行しているかを確認できます。ただし、E-DMAC が実行しているディスクリプタフェッチ処理対象アドレスとレジスタ読み出し値が一致していない場合もあります。初期設定の際は、処理を開始する受信ディスクリプタの先頭アドレスを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RDFA[31:0]	H'0000 0000	R/W	受信ディスクリプタフェッチアドレス フェッチ対象受信ディスクリプタ先頭アドレスを示します。

注.　このレジスタは、RR＝0のときに設定してください。

23.3.74 受信ディスクリプタ処理済アドレスレジスタ（RDFXR）

RDFXR は、E-DMAC が、直前にライトバック処理を完了した受信ディスクリプタ先頭アドレスを格納するレジスタです。このレジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタまで処理を実行したかを確認できます。初期設定の際は、RDFAR レジスタ設定値の１つ前の受信ディスクリプタの先頭アドレスを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFX[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFX[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RDFX[31:0]	H'0000 0000	R/W	受信ディスクリプタ処理済アドレス ライトバック完了受信ディスクリプタ先頭アドレスを示します。

注.　このレジスタは、RR＝0のときに設定してください。

23.3.75 受信ディスクリプタ最終フラグレジスタ（RDFFR）

RDFFR は、先頭アドレスがRDFX レジスタに格納されている、直前にライトバック処理を完了した受信ディスクリプタが、受信ディスクリプタリストの最終であるかどうかを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDLF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	RDLF	0	R/W	受信ディスクリプタリスト最終フラグ 先頭アドレスがRDFXR レジスタ に格納されている受信ディスクリプタが受信ディスクリプタリストの最終であるかどうかを示します。 0：受信ディスクリプタリストの最終でない 1：受信ディスクリプタリストの最終

23.3.76 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）

TDFARは、E-DMACが送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納するレジスタです。このレジスタに表示されるアドレスをモニタすることにより、E-DMACがどの送信ディスクリプタ情報をもとに処理を実行しているかを確認できます。ただし、E-DMACが実行しているディスクリプタフェッチ処理対象アドレスとレジスタ読み出し値が一致していない場合もあります。初期設定の際は、処理を開始する送信ディスクリプタの先頭アドレスを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TDFA[31:0]	H'0000 0000	R/W	送信ディスクリプタフェッチアドレス フェッチ対象送信ディスクリプタ先頭アドレスを示します。

注.　このレジスタは、TR[1:0]＝00のときに設定してください。

23.3.77 送信ディスクリプタ処理済アドレスレジスタ（TDFXR）

TDFXRは、E-DMACが、直前にライトバック処理を完了した送信ディスクリプタ先頭アドレスを格納するレジスタです。このレジスタに表示されるアドレスをモニタすることにより、E-DMACがどの送信ディスクリプタまで処理を実行したかを確認できます。初期設定の際は、TDFARレジスタ設定値の1つ前の送信ディスクリプタの先頭アドレスを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFX[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFX[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TDFX[31:0]	H'0000 0000	R/W	送信ディスクリプタ処理済アドレス ライトバック完了送信ディスクリプタ先頭アドレスを示します。

注.　このレジスタは、TR[1:0]＝00のときに設定してください。

23.3.78 送信ディスクリプタ最終フラグレジスタ（TDFFR）

TDFFR は、先頭アドレスが TDFXR レジスタに格納されている、直前にライトバック処理を完了した送信ディスクリプタが、送信ディスクリプタリストの最終であるかどうかを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDLF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～1	—	0	—	リザーブビット
0	TDLF	0	R/W	送信ディスクリプタリスト最終フラグ 先頭アドレスがTDFXR レジスタに格納されている送信ディスクリプタが送信ディスクリプタリストの最終であるかどうかを示します。 0：送信ディスクリプタリストの最終でない 1：送信ディスクリプタリストの最終

23.3.79 オーバフロー予告FIFO しきい値設定レジスタ（FCFTR）

FCFTR は、読み出し又は書き込み可能な32 ビットのレジスタで、E-MAC のフロー制御の設定を行います。受信データ容量しきい値（RFD[7:0]）、受信フレーム数しきい値（RFF[4:0]）をそれぞれ設定でき、いずれかのしきい値が満たされたとき、フロー制御を開始します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	RFF[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFD[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 21	—	0	—	リザーブビット
20 ～ 16	RFF[4:0]	10111	R/W	受信フレーム数しきい値 00000：受信フレームを受信FIFO 内に1 フレーム格納完了時 00001：受信フレームを受信FIFO 内に2 フレーム格納完了時 ：　： 10110：受信フレームを受信FIFO 内に23 フレーム格納完了時 10111：受信フレームを受信FIFO 内に24 フレーム格納完了時 11000～11111：設定禁止
15 ～ 8	—	0	—	リザーブビット
7 ～0	RFD[7:0]	H'FF	R/W	受信データ容量しきい値（注） H'00：受信FIFOに256 - 32バイトのデータが格納されたとき H'01：受信FIFOに512 - 32バイトのデータが格納されたとき ：　： H'06：受信FIFOに1,792 - 32バイトのデータが格納されたとき H'07：受信FIFOに2,048 - 64バイトのデータが格納されたとき ：　： H'FF：受信FIFOに65536 - 64バイトのデータが格納されたとき

注．　RFD[7:0]ビットの設定値は、RFD[5:0]（FDRレジスタのビット5～0）の設定値以下としてください。
なお、RFDレジスタのRFD[5:0]ビットの設定値と同じ値を設定する場合は、「－32」が「－64」となります。

23.3.80 受信データパディング挿入設定レジスタ（RPADIR）

RPADIR は、読み出し又は書き込み可能な32 ビットのレジスタで、受信データのパディングの挿入を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	PADS[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PADR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 21	—	0	—	リザーブビット
20 ～ 16	PADS[4:0]	00000	R/W	パディングサイズ 00000：パディング挿入なし 00001：1 バイト挿入 ：　： 11111：31 バイト挿入
15 ～ 0	PADR[15:0]	H'0000	R/W	パディング範囲 H'0000：受信データの1 バイト目の直前にパディングサイズ分挿入 H'0001：受信データの2 バイト目の直前にパディングサイズ分挿入 ：　： H'FFFF：受信データの64K バイト目の直前にパディングサイズ分挿入

23.3.81 GETHERコントロールレジスタ（GBECONT）

GBECONTはGETHER動作モードを制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	RG1PUDIS	RG0PUDIS	—	—	RMII1	RMII0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—	—	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RX1DLY			—	TX1DLY			—	RX0DLY			—	TX0DLY		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 22	—	0	—	リザーブビット
21	RG1PUDIS	0	R/W	RGMII ポート1 プルアップ 0：プルアップ有効 1：プルアップ無効
20	RG0PUDIS	0	R/W	RGMII ポート0プルアップ 0：プルアップ有効 1：プルアップ無効
19、18	—	0	—	リザーブビット
17	RMII1	0	R/W	MDC/MDIOポート1 コントロールソース 0：RGMII1 (GETHER) 1：RMII1 (ETHER)
16	RMII0	0	R/W	MDC/MDIOポート0 コントロールソース 0：RGMII0 (GETHER) 1：RMII0 (ETHER)
15	—	0	—	リザーブビット
14 ～ 12	RX1DLY	000	R/W	ポート1の受信クロック遅延 000：0° 遅延 010：–10° 遅延 011：10° 遅延 100：90° 遅延 110：80° 遅延 111：100° 遅延
11	—	0	—	リザーブビット
10 ～ 8	TX1DLY	000	R/W	ポート1の送信クロック遅延（注） 000：0° 遅延 010：–10° 遅延 011：10° 遅延 100：90° 遅延 110：80° 遅延 111：100° 遅延
7	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
6 ～ 4	RX0DLY	000	R/W	ポート0の受信クロック遅延 000：0° 遅延 010：–10° 遅延 011：10° 遅延 100：90° 遅延 110：80° 遅延 111：100° 遅延
3	—	0	—	リザーブビット
2 ～ 0	TX0DLY	000	R/W	ポート0の送信クロック遅延（注） 000：0° 遅延 010：–10° 遅延 011：10° 遅延 100：90° 遅延 110：80° 遅延 111：100° 遅延

注.　通常は“010”（-10°遅延）を設定してください。ループバックテスト時は、“110”（80°遅延）を設定してください。

23.4 動作説明

GETHER は、以下の3 つの機能から構成されています。

- DMA転送制御部（E-DMAC）：メモリ上の送受信バッファと送受信FIFO間のDMA転送
- MAC制御部（E-MAC）：送信／受信FIFOとRGMII間の送信／受信処理
- 転送制御部（TSU）：CAM処理

E-DMAC は、E-DMAC に内蔵されているダイレクトメモリアクセス（DMA）機能を使用し、ユーザが指定するイーサネットフレームデータの格納先（アクセス可能なメモリ空間：送信バッファ／受信バッファ）と送信／受信 FIFO との間でフレームデータの転送を行います。ユーザがCPU を介して直接送信／受信FIFO のデータを読み書きすることはできません。

E-DMAC がDMA 転送を行うためには、ディスクリプタと呼ぶ送信／受信データの格納アドレス等が書かれた情報（データ）が必要になります。E-DMAC は、ディスクリプタに書かれた情報に従って送信データを送信バッファから読み出す、あるいは受信データを受信バッファへ書き込みます。このディスクリプタは、読み書き可能なメモリ空間に配置されます。ディスクリプタを複数個並べ、ディスクリプタ列（リスト）化することによって、複数のイーサネットフレームデータの送信／受信を連続的に行うことができます。

E-DMAC は、0 系と1 系の2 系統あります。送信、受信とも、0 系と1 系それぞれ独立して動作します。

E-MAC は、送信FIFO に書き込まれたデータからイーサネットフレームを構成し、RGMIIへ送信します。また、RGMIIから受信したイーサネットフレームのCRC チェックを行った後、分解し受信FIFO に書き込みます。

E-MAC は、0 系と1 系の2 系統あります。それぞれE-DMAC の0 系と1 系と対応しています。

TSU は、0 系のE-MAC と1 系のE-MAC 間でイーサネットフレームデータの転送を行います。TSU は、E-DMAC と E-MAC の間に位置し、CAM エントリテーブルを参照しながら、E-MAC に入力されたイーサネットフレームのDA（宛先アドレス）を元に、以下のいずれかの処理を選択します。

1. 受信し受信FIFOに書き込む
2. 破棄する

図23.2 にフレームデータ経路と各種設定の概要を示します。

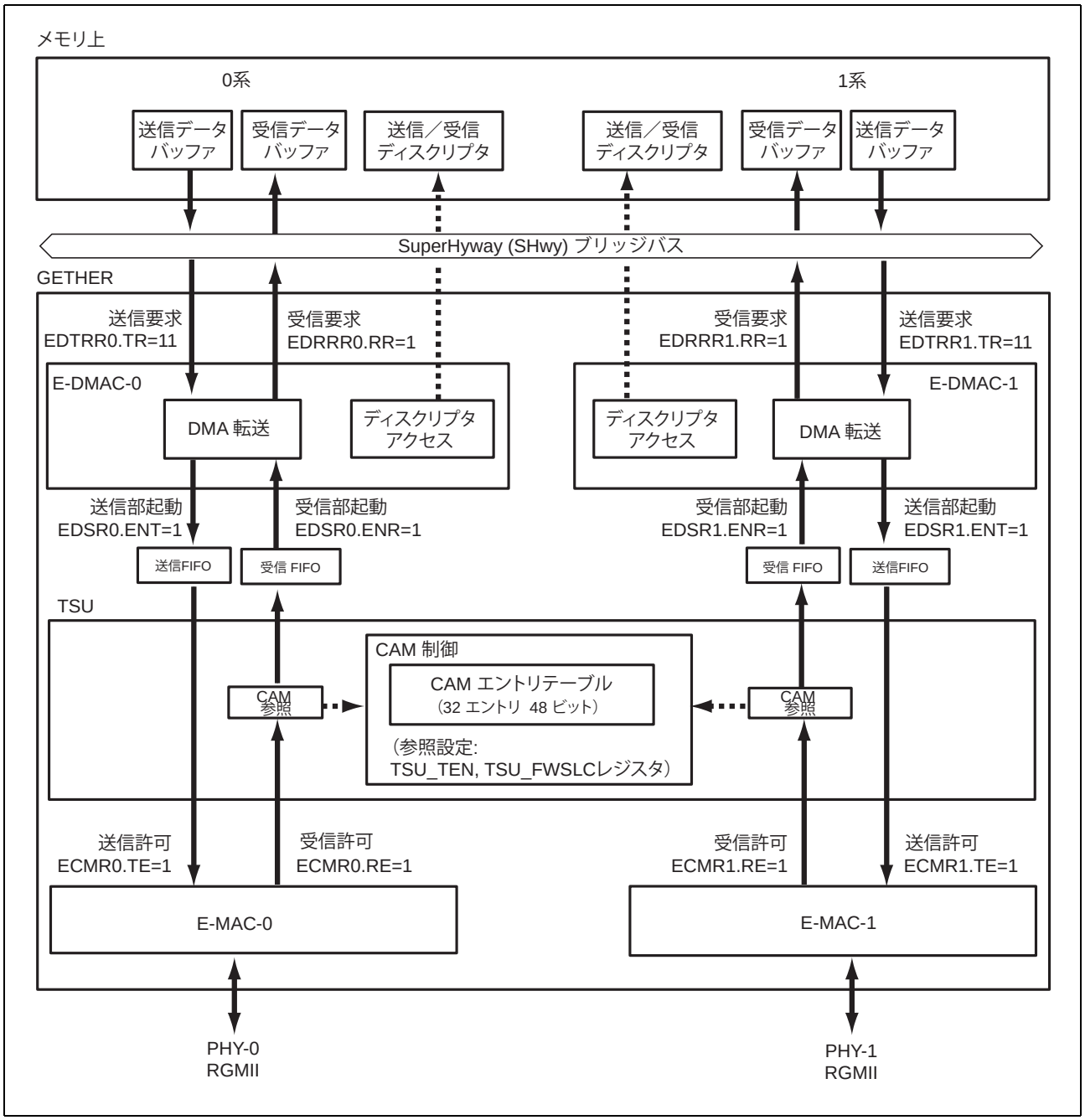


図 23.2　GETHER のデータ経路と各種設定

23.4.1　ディスクリプタとディスクリプタリスト

E-DMAC は、メモリ空間上に書き込まれたディスクリプタと呼ぶ情報（データ）に従ってDMA 転送を行います。ディスクリプタには、送信ディスクリプタと受信ディスクリプタの2 種類があります。DMA 転送を起動する前に、ソフトウェアで、送信／受信フレームデータの格納アドレス等の DMA 転送に関する情報を設定しておく必要があります。

E-DMAC は、EDTRR のTR[1:0] ビットが11／EDRRR のRR ビットが1 になると、送信／受信ディスクリプタを読み込み、ディスクリプタに記述された情報に従って、送信／受信バッファと送信／受信FIFO の間で、フレームデータのDMA 伝送を行います。フレームデータの送信／受信が完了した後には、E-DMAC がディスクリプタの有効／無効ビットを無効とし、送信／受信の結果をディスクリプタ上のステータスビットに反映します。

ディスクリプタは、読み書き可能なメモリ空間に配置し、先頭ディスクリプタ（E-DMAC が最初に読み込むディスクリプタ）のアドレスをTDLAR/RDLAR に設定します。複数のディスクリプタをディスクリプタ列（ディスクリプタリスト）として用意する場合には、EDMR の DL[0:1] ビットに設定したディスクリプタ長に従って連続したアドレス（メモリ番地）に配置します。

E-DMAC には、0 系と1 系の2 系統あります。0 系と1 系及び送信と受信それぞれのDMAC は独立して動作します。0 系と1 系及び送信と受信用のディスクリプタを、各ディスクリプタのアドレス空間が重ならないように配置してください。アドレスが重なるとE-DMAC は正常に動作をしません。

(1)　送信ディスクリプタ

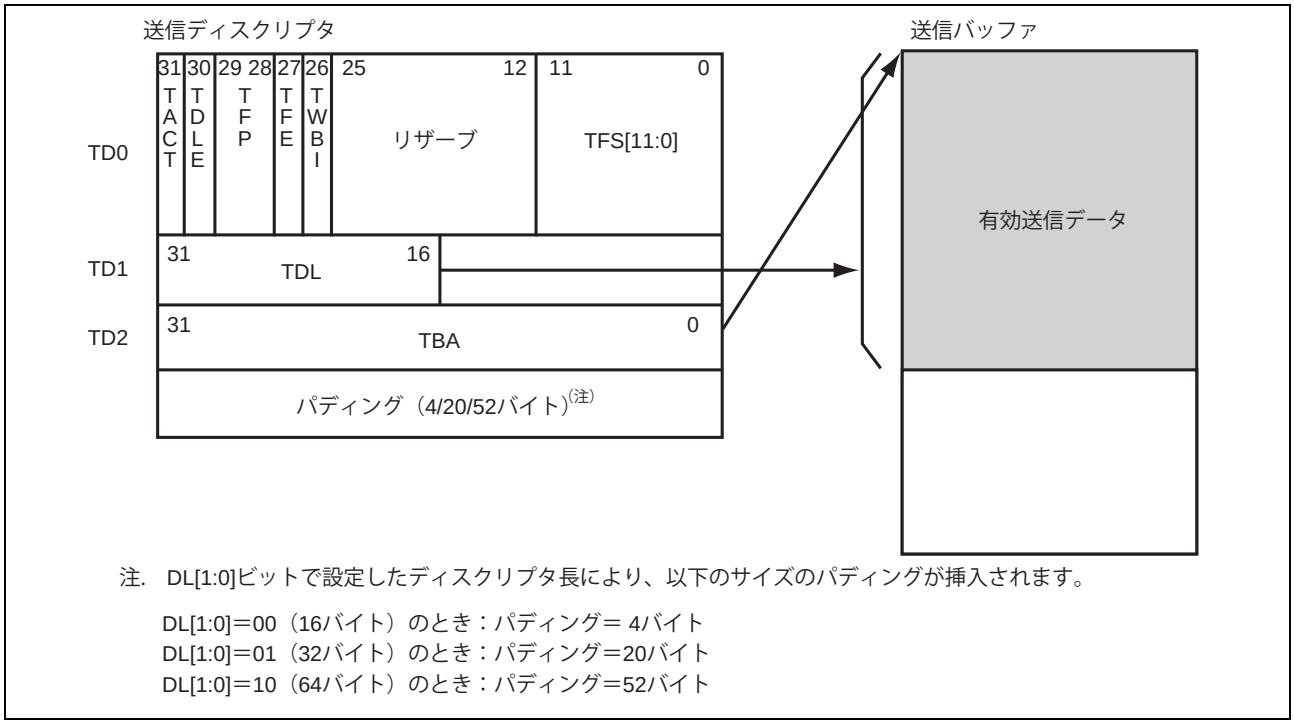
図23.3 に送信ディスクリプタの構成と送信バッファの関係を示します。

送信ディスクリプタは、データの先頭から32 ビット単位にTD0、TD1、TD2 及びパディングで構成されます。

最後のパディングはEDMR のDL[1:0] ビットで指定するディスクリプタ長に従い長さが決まります。

TD0 は、送信ディスクリプタの有効／無効、ディスクリプタの構成情報及びステータス情報を示します。TD1 は、そのディスクリプタで指示する転送すべき送信バッファのデータ長（TBL）を示します。TD2 は、転送する送信バッファの先頭アドレス（TBA）を示します。

本ディスクリプタの指示内容により、ディスクリプタ1 個で1 フレームの送信データを全部指定すること（1フレーム／1 バッファ）あるいはディスクリプタ複数個で1 フレームの送信データを指定すること（1 フレーム／マルチバッファ）が可能です。1 フレーム／マルチバッファの具体例としては、イーサネットフレーム中毎回の送信で固定的に使われるデータ部分を複数のディスクリプタで参照するという方法があります。たとえば、イーサネットフレーム中の宛先アドレス、送信元アドレスのデータを複数のディスクリプタで共有して、残りのデータを各々別のバッファに格納するという方法が考えられます。



注.　DL[1:0]ビットで設定したディスクリプタ長により、以下のサイズのパディングが挿入されます。

DL[1:0]＝00（16バイト）のとき：パディング＝ 4バイト
DL[1:0]＝01（32バイト）のとき：パディング＝20バイト
DL[1:0]＝10（64バイト）のとき：パディング＝52バイト

図 23.3　送信ディスクリプタと送信バッファの関係

(a)　送信ディスクリプタ 0（TD0）

TD0 は、EDTRR の TR[1:0] ビット＝ 11 とする以前に、ユーザがあらかじめディスクリプタの有効／無効ビットの設定やディスクリプタの構成を設定します。イーサネットフレームの送信が完了した後に、E-DMAC がディスクリプタの有効／無効ビットを無効にし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31 ～ 28、26 にディスクリプタの構成に従った値を書き込んでください。またビット 27、25 ～ 0 には 0 を書き込んでください。

ビット：	31 (注)	30	29	28	27 (注)	26	25	24	23	22	21	20	19	18	17	16
	TACT	TDLE	TFP[1:0]		TFE	TWBI	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TFS[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注. ライトバックされるビットです。

ビット	ビット名	初期値	R/W	説 明
31	TACT（注1）	0	R/W	送信ディスクリプタ 0：送信ディスクリプタ無効 1：送信ディスクリプタ有効

ビット	ビット名	初期値	R/W	説 明
30	TDLE	0	R/W	送信ディスクリプタリスト最終 0：当該ディスクリプタがディスクリプタリストの最終でない E-DMAC は本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。 1：当該ディスクリプタがディスクリプタリストの最終である E-DMAC は本ディスクリプタの転送が完了した後、TDLAR が示すアドレスにあるディスクリプタを読み込みます。
29、28	TFP[1:0]	00	R/W	送信フレーム内位置（注2） 本ディスクリプタの情報が送信フレームの先頭かその途中又は最終かを示します。 00：本ディスクリプタの情報はフレームの中間である 01：本ディスクリプタの情報はフレームの最後である 10：本ディスクリプタの情報はフレームの先頭である 11：本ディスクリプタの情報はフレームの先頭と最後を含む（1 フレーム／1 ディスクリプタ（1 バッファ）である） 【参考】 1 フレームを分割して使用する際の分割数に応じたディスクリプタ列における本ビットの指定要領を示します。 • 1 フレーム／1 ディスクリプタの場合 1 番目のディスクリプタ：TFP[1:0] = 11 • 1 フレーム／2 ディスクリプタの場合 1 番目のディスクリプタ：TFP[1:0] = 10 2 番目のディスクリプタ：TFP[1:0] = 01 • 1 フレーム／3 ディスクリプタの場合 1 番目のディスクリプタ：TFP[1:0] = 10 2 番目のディスクリプタ：TFP[1:0] = 00 3 番目のディスクリプタ：TFP[1:0] = 01 以降、分割数が多い場合には、中間の TFP[1:0] = 00 であるディスクリプタを追加していくことでディスクリプタ列を構成します。
27	TFE（注1）	0	R/W	送信フレームエラー発生 送信フレームに何らかのエラーが発生したことを示します。 0：TFS[11:0]のすべてのビットの値が0 1：TFS[11:0]のいずれかのビットの値が1 TRSCER レジスタで、TFS[8:0]の要因単位にマスクすることができます。ただし、TFS[11:9]はマスクすることができません。
26	TWBI	0	R/W	ライトバック完了割り込み通知 0：ライトバック完了割り込みを通知しません。 1：本ディスクリプタへのライトバック完了後、TWB[1:0]ビット（EESR レジスタのビット31、30）に11 をセットし、CPU にライトバック完了割り込みを通知します。 本ビットは、送信フレームの最後を含むディスプリプタ（TFP＝01 あるいは11）でのみ有効です。本ビットはライトバックによって0 になります。
25 ～ 12	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～0	TFS[11:0]	H'000	R/W	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMAC によりライトバックされ、1 で当該の事象が発生したことを示します。 • TFS[11:10]：リザーブビット • TFS[9]：送信FIFO アンダフロー（EESR のTUC ビットに相当） • TFS[8]：送信中断検出（EESR のTABT ビットに相当） • TFS[7:3]：リザーブビット • TFS[2]：キャリア損失検出（EESR のDLC ビットに相当） • TFS[1]：遅延衝突検出（EESR のCD ビットに相当） • TFS[0]：送信タイムアウトEESR のTRO ビットに相当）

注1.　ライトバックされるビットです。
2.　前後のディスクリプタで位置関係が正しくなるように設定してください。

(b)　送信ディスクリプタ1（TD1）

TD1 には、送信バッファ長を設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TBL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	TBL	H'0000	R/W	送信バッファデータ長（単位：バイト） 対象となる送信バッファの有効バイト長（1～H'FFE0）を設定してください。
15 ～ 0	—	0	—	リザーブビット

(c)　送信ディスクリプタ2（TD2）

TD2には、送信バッファの先頭アドレスを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TBA	H'0000 0000	R/W	送信バッファ先頭アドレス 当該送信バッファの先頭アドレスを4バイト境界で設定してください。

送信フレームを3つ以上の送信ディスクリプタに分割した場合、E-DMACは以下のようにライトバックします。

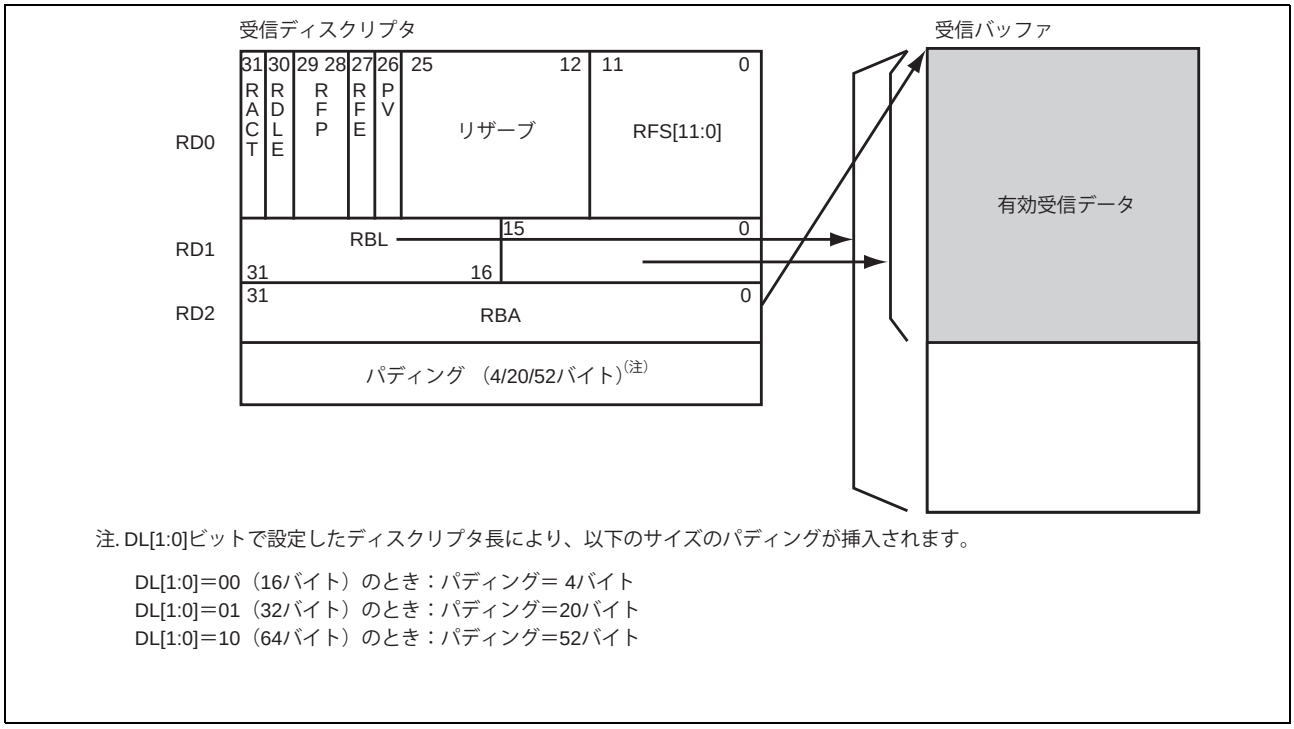
- 送信フレームの先頭を含む送信ディスクリプタ（TFP＝10あるいはTFP＝11）と送信フレームの最後を含む送信ディスクリプタ（TFP＝01あるいはTFP＝11）に対してのみライトバックをします。
- 送信フレームの中間に対応する送信ディスクリプタ（TFP＝00）に対してはライトバックしません。

ただし、TFE（送信フレームエラー発生）やTFS（送信フレームステータス）は、送信フレームの最後を含む送信ディスクリプタ（TFP＝01あるいはTFP＝11）にのみライトバックされます。

また、ソフトウェアで送信ディスクリプタを再設定する場合は、未処理の送信ディスクリプタの上書き（再設定）を防ぐために、送信フレームの最後を含む送信ディスクリプタ（TFP＝01あるいはTFP＝11）がライトバックされている（TACT＝0になっている）ことを再設定の前にあらかじめ確認する必要があります。

(2)　受信ディスクリプタ

図23.4 に受信ディスクリプタと受信バッファの関係を示します。受信ディスクリプタは、データの先頭から32 ビット単位にRD0、RD1、RD2、及びパディングで構成されます。最後のパディングはEDMR の DL[0:1] ビットで指定するディスクリプタ長に従い長さが決まります。RD0 は、受信ディスクリプタの有効／無効、ディスクリプタの構成情報、及びステータス情報を示します。RD1 は、そのディスクリプタで指示する受信可能な受信バッファのデータ長（RBL）と受信したフレームのデータ長（RDL）を示します。RD2 は、受信データを格納する受信バッファの先頭アドレス（RBA）を示します。本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの受信データ全部を受信バッファに格納すること（1 フレーム／1 バッファ）あるいはディスクリプタ複数個で 1 フレームの受信データを受信バッファに格納すること（1 フレーム／マルチバッファ）が可能です。1 フレーム／マルチバッファのケースとしては、あらかじめ複数のディスクリプタ列（ディスクリプタリスト）を用意しておき、各ディスクリプタの RBL を 500 バイトとしたときに 1514 バイトのイーサネットフレームを受信したとします。この場合、受信したイーサネットフレームは最初のディスクリプタから順に 500 バイトずつバッファに転送され、最後の 14 バイトだけが 4 つ目のバッファに転送されます。このようにE-DMAC は、受信したフレームがディスクリプタの RBL を超える長さのフレームを受信した場合には、連続する次のディスクリプタを使用していくことによって受信バッファに転送していきます。また、1 フレーム／マルチバッファの効率的な具体例としては、イーサネットフレーム中の処理レイヤの異なる情報をバッファによって分離するという方法があります。たとえば、イーサネットフレーム中の宛先アドレス、送信元アドレス、及びタイプフィールドのデータをバッファ 1（RBL を 14 バイトに指定）に格納し、残りのデータをバッファ 2（RBL を 1500 バイトに指定）に格納するという方法があります。もちろん、複数のディスクリプタを用意してすべてのディスクリプタの RBL を 1514 バイト（イーサネットフレームの最大長）以上にすれば、すべての受信フレームを 1 バッファに収めることができます。



注. DL[1:0]ビットで設定したディスクリプタ長により、以下のサイズのパディングが挿入されます。

DL[1:0]＝00（16バイト）のとき：パディング＝ 4バイト
DL[1:0]＝01（32バイト）のとき：パディング＝20バイト
DL[1:0]＝10（64バイト）のとき：パディング＝52バイト

図 23.4　受信ディスクリプタと受信バッファの関係

(a)　受信ディスクリプタ0（RD0）

このレジスタではディスクリプタの有効／無効、及び受信ディスクリプタリストの最終であるか否かを設定します。

この設定はEDRRRレジスタのRRビット＝1にして、E-DMACの読み込みを開始する前に行って下さい。

イーサネットフレームの受信バッファへのDMA 転送が完了した後、E-DMAC がディスクリプタの有効／無効ビットを無効とし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット31、30 にディスクリプタの構成に従った値を書き込んでください。また、ビット29～0 には0 を書き込んでください。

ビット：	31 (注)	30	29 (注)	28 (注)	27 (注)	26 (注)	25	24	23	22	21	20	19	18	17	16
	RACT	RDLE	RFP[1:0]		RFE	PV	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11 (注)	10 (注)	9 (注)	8 (注)	7 (注)	6 (注)	5 (注)	4 (注)	3 (注)	2 (注)	1 (注)	0 (注)
	—	—	—	—	RFS[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注. ライトバックされるビットです。

ビット	ビット名	初期値	R/W	説 明
31	RACT （注1）	0	R/W	受信ディスクリプタ 0：本受信ディスクリプタ無効 1：本受信ディスクリプタ有効
30	RDLE	0	R/W	受信ディスクリプタリスト最終 0：当該ディスクリプタがディスクリプタリストの最終でない E-DMAC は本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。 1：当該ディスクリプタがディスクリプタリストの最終である E-DMAC は本ディスクリプタの転送が完了した後、RDLAR が示すアドレスにあるディスクリプタを読み込みます。

ビット	ビット名	初期値	R/W	説 明
29、28	RFP[1:0]	00	R/W	受信フレーム内位置（注2） 本ディスクリプタの情報が受信フレームの先頭かその途中又は最終かをE-DMAC がライトバックによって示します。 00：本ディスクリプタの情報はフレームの中間である 01：本ディスクリプタの情報はフレームの最後である 10：本ディスクリプタの情報はフレームの先頭である 11：本ディスクリプタの情報はフレームの先頭と最後を含む （1 フレーム／1 ディスクリプタ（1 バッファ）） 【参考】 1 フレームを受信した後のフレームとディスクリプタの関係を示します。 • 1 フレーム／1 ディスクリプタの場合 1 番目のディスクリプタ：RFP[1:0] = 11 • 1 フレーム／2 ディスクリプタの場合 1 番目のディスクリプタ：RFP[1:0] = 10 2 番目のディスクリプタ：RFP[1:0] = 01 • 1 フレーム／3 ディスクリプタの場合 1 番目のディスクリプタ：RFP[1:0] = 10 2 番目のディスクリプタ：RFP[1:0] = 00 3 番目のディスクリプタ：RFP[1:0] = 01 以降、分割数が多い場合には、中間のRFP[1:0] = 00 であるディスクリプタが増えることになります。
27	RFE（注1）	0	R/W	受信フレームエラー発生 受信フレームに何らかのエラーが発生したことを示します。 0：RFS[11:0]のすべてのビットの値が0 1：RFS[11:0]のいずれかのビットの値が1 TRSCER レジスタで、RFS[8:0]の要因単位にマスクすることができます。ただし、RFS[11:9]はマスクすることができません。
26	PV（注1）	0	R/W	パディング挿入 本ディスクリプタで処理した受信フレームが、RPADIR レジスタで指定されたパディングが挿入されている受信フレームかどうかを示します。 0：パディングの挿入なし 1：パディングの挿入あり
25 ～ 12	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～ 0	RFS[11:0] （注1）	H'000	R/W	受信フレームステータス 当該フレームのステータスを示します。以下のビットは1 で当該の事象が発生したことを示します。また、RFS[9]～RFS[0]の事象が発生した場合にはフレームの受信は不完全です。 • RFS[11:10]：リザーブビット • RFS[9]：受信FIFO オーバフロー（EESR のRFOF ビットに相当） • RFS[8]：受信中断検出（EESR のRABT ビットに相当） • RFS[7]：マルチキャストアドレスフレームを受信（EESR のRMAF ビットに相当） • RFS[6]：リザーブビット • RFS[5]：キャリア拡張消失（EESR のCELF ビットに相当） • RFS[4]：端数ビットフレーム受信（EESR のRRF ビットに相当） • RFS[3]：ロングフレーム受信エラー（EESR のRTLF ビットに相当） • RFS[2]：ショートフレーム受信エラー（EESR のRTSF ビットに相当） • RFS[1]：PHY-LSI 受信エラー（EESR のPRE ビットに相当） • RFS[0]：受信フレームCRC エラー（EESR のCERF ビットに相当）

注1.　ライトバックされるビットです。
2.　前後のディスクリプタで位置関係が正しくなるように設定してください。

(b)　受信ディスクリプタ1（RD1）

RD1には、受信バッファ長を設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15 (注)	14 (注)	13 (注)	12 (注)	11 (注)	10 (注)	9 (注)	8 (注)	7 (注)	6 (注)	5 (注)	4 (注)	3 (注)	2 (注)	1 (注)	0 (注)
	RDL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注. ライトバックされるビットです。

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	RBL	H'0000	R/W	当該受信バッファの受信可能なデータ長を、32バイト単位で設定してください。 最大長は64K－32（H'FFE0）バイトです。

ビット	ビット名	初期値	R/W	説 明
15 ～ 0	RDL	H'0000	R	受信データ長 受信バッファに格納された受信フレームのデータ長を示します。 受信バッファに転送される受信データには、フレームの最後であるCRC データ（4 バイト）が含まれていません。また、受信フレーム長は、このCRC データを含めない（有効データバイト）語数が報告されます。 1 フレーム／複数バッファ（ディスクリプタ）となった場合には、最終ディスクリプタの本受信データ長のみが有効です。途中のディスクリプタの受信データ長は意味を持ちません。 受信可能な最大受信データ長は以下のようになります。 パディング機能無効時：64K－1（H'FFFF）バイト パディング機能有効時：64K－32（H'FFE0）バイト

(c)　受信ディスクリプタ 2（RD2）

RD2 には、受信バッファの先頭アドレスを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RBA	H'0000 0000	R/W	受信バッファ先頭アドレス 当該受信バッファの先頭アドレスを32 バイト境界で設定してください。

E-DMAC は、RBA（受信バッファアドレス）に設定されたアドレスから 32 バイト単位で受信フレームを受信バッファへDMA 転送します。したがって、RBL（受信バッファ長）へは32 バイトの整数倍を設定してください。

以下のようにデータが32 バイトに満たない場合は、無効なデータが書き込まれます。

【転送例】

受信フレーム長＝170 バイト、必要な受信バッファ容量＝192 バイト（32 バイト×6）の場合、6 回目のDMAにおいて、無効なデータも受信バッファにDMA 転送されます（DMA データ32 バイト中、前半の10 バイトは有効データで後半の22 バイトは無効データ）。

受信データパディング挿入設定レジスタ（RPADIR）を設定することで、受信フレームの任意の位置に1 か所だけ値0 をパディングすることが可能です。パディングサイズは1 バイト単位で任意であり、最小 1 バイト、最大 31 バイトです。受信フレームにパディングを行う場合は、「受信フレーム長＋パディングサイズ」分の受信バッファ領域が必要です。なお、RPADIR の設定はすべての受信フレームに対して有効です。

RFE（受信フレームエラー発生）、PV（パディング挿入）、RFS（受信フレームステータス）、及びRFL（受信フレーム長）は、受信フレームの最後を含む受信ディスクリプタ（RFP＝01 あるいは11）にのみライトバックされます。

ソフトウェアで受信ディスクリプタを再設定する場合は、未処理の受信ディスクリプタの上書き（再設定）を防ぐために、受信ディスクリプタがライトバックされている（RACT＝0 になっている）ことを再設定の前にあらかじめ確認する必要があります。

(3)　ディスクリプタと送受信バッファ

(a)　送信

送信ディスクリプタごとに1つの送信バッファを保持します。E-DMACは、送信ディスクリプタで示された送信バッファに格納されている送信フレームを送信FIFOへ転送します。また、複数の送信ディスクリプタで示された各送信バッファに格納されている送信フレームをそれぞれ連結して1つの送信フレームとして送信FIFOへ転送することも可能です。

図23.5に送信ディスクリプタと送信バッファとの関係を示します。

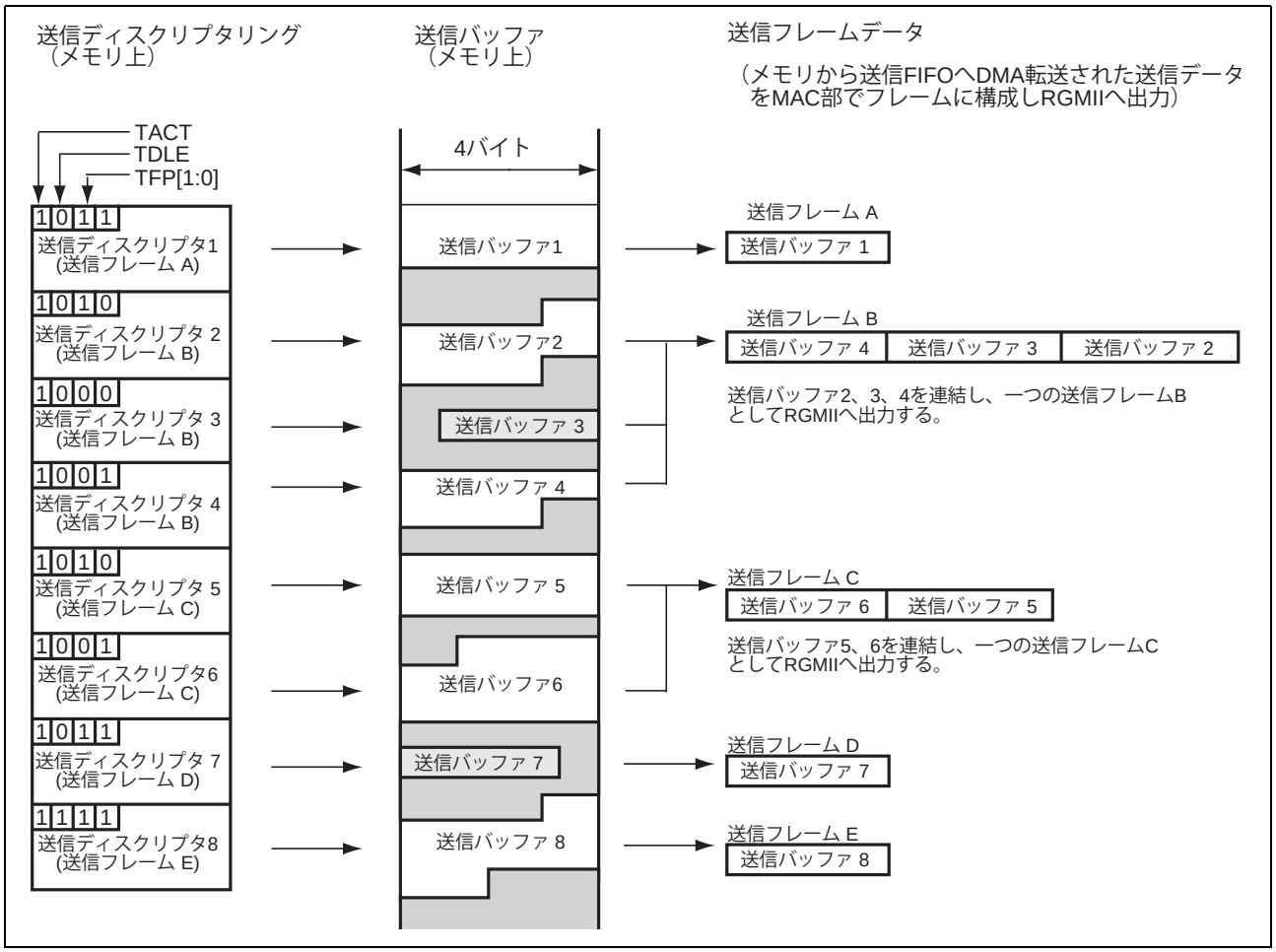


図 23.5　送信ディスクリプタと送信バッファとの関係

(b)　受信

受信ディスクリプタごとに1つの受信バッファを保持します。E-DMACは、受信ディスクリプタで示された受信バッファへ受信FIFOから受信したフレームを格納します。ここで、受信フレームのサイズが受信バッファのサイズをオーバする場合は、別の受信ディスクリプタで示された受信バッファへ当該受信フレームのオーバした部分を格納します。このように、1つの受信フレームを複数の受信バッファに分けて格納することも可能です。

図23.6に受信ディスクリプタと受信バッファとの関係を示します。

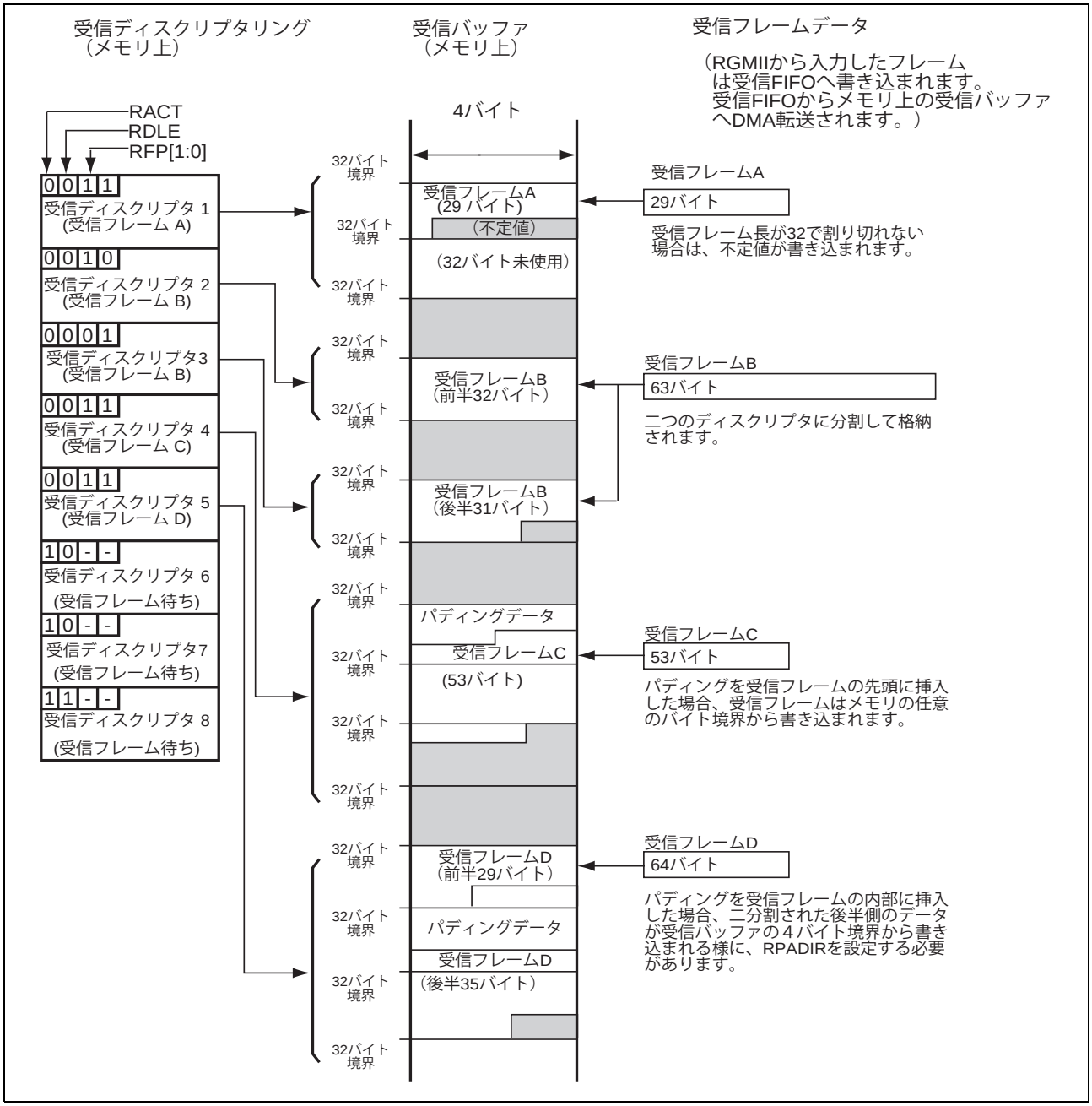


図 23.6　受信ディスクリプタと受信バッファとの関係

(4) ディスクリプタポインタ

E-DMACは、送信ディスクリプタ及び受信ディスクリプタのメモリ上のアドレスや処理順序を以下に示すレジスタを用いて制御します。

1. 送信ディスクリプタ関連

- TDLARレジスタ：送信ディスクリプタリストの先頭ディスクリプタのアドレス
- TDFARレジスタ：処理すべき送信ディスクリプタのアドレス
- TDFXRレジスタ：処理を最後に完了した（ライトバックした）送信ディスクリプタのアドレス
- TDFFRレジスタ（DLビット）：TDFXRで示された送信ディスクリプタのTDLE値が1かどうかを指示

2. 受信ディスクリプタ関連

- RDLARレジスタ：受信ディスクリプタリストの先頭ディスクリプタのアドレス
- RDFARレジスタ：処理すべき受信ディスクリプタのアドレス
- RDFXRレジスタ：処理を最後に完了した（ライトバックした）受信ディスクリプタのアドレス
- RDFFRレジスタ（DLビット）：RDFXRで示された受信ディスクリプタのRDLE値が1かどうかを指示

送信ディスクリプタ及び受信ディスクリプタはそれぞれリング構成をとっています。処理した送信ディスクリプタ（受信ディスクリプタ）のTDLE（RDLE）値が0であった場合、当該ディスクリプタの次に位置するディスクリプタを処理します。次に位置するディスクリプタとは、処理した送信ディスクリプタ（受信ディスクリプタ）のアドレスに、E-DMACモードレジスタ（EDMR）のディスクリプタ長ビット（DL）で指定されたディスクリプタ長を加算して得られたアドレスに存在する送信ディスクリプタ（受信ディスクリプタ）です。一方、処理した送信ディスクリプタ（受信ディスクリプタ）のTDLE（RDLE）値が1であった場合、次に処理するディスクリプタはTDLAR（RDLAR）で示された送信ディスクリプタ（受信ディスクリプタ）です。図23.7に送信／受信ディスクリプタリングとリードポインタの関係の例を示します。

送信ディスクリプタに関しては、必ず送信フレームを5つ以上ポイントすることができる大きさのリスト構成にしてください。送信フレームを4つ以下しかポイントできないリスト構成の場合、E-DMACの動作が保証できません（すなわち、4つ以下の送信フレームでリング内のすべての送信ディスクリプタを使用するという設定は行わないでください）。一方、受信ディスクリプタリストについては、このような制約はありません。たとえば、1つの受信フレームでリスト内のすべての受信ディスクリプタを使用しても問題ありません。

初期設定では、ソフトウェアでディスクリプタリストの先頭アドレスを、TDLAR（RDLAR）レジスタとTDFAR（RDFAR）に、ディスクリプタリストの最終ディスクリプタのアドレスをTDFXR（RDFXR）に設定してください。

E-DMACは、ディスクリプタを処理するごとに、TDFAR（RDFAR）、TDFXR（RDFXR）、TDFFRレジスタのDLビット（RDFFRレジスタのDLビット）をそれぞれ更新します。

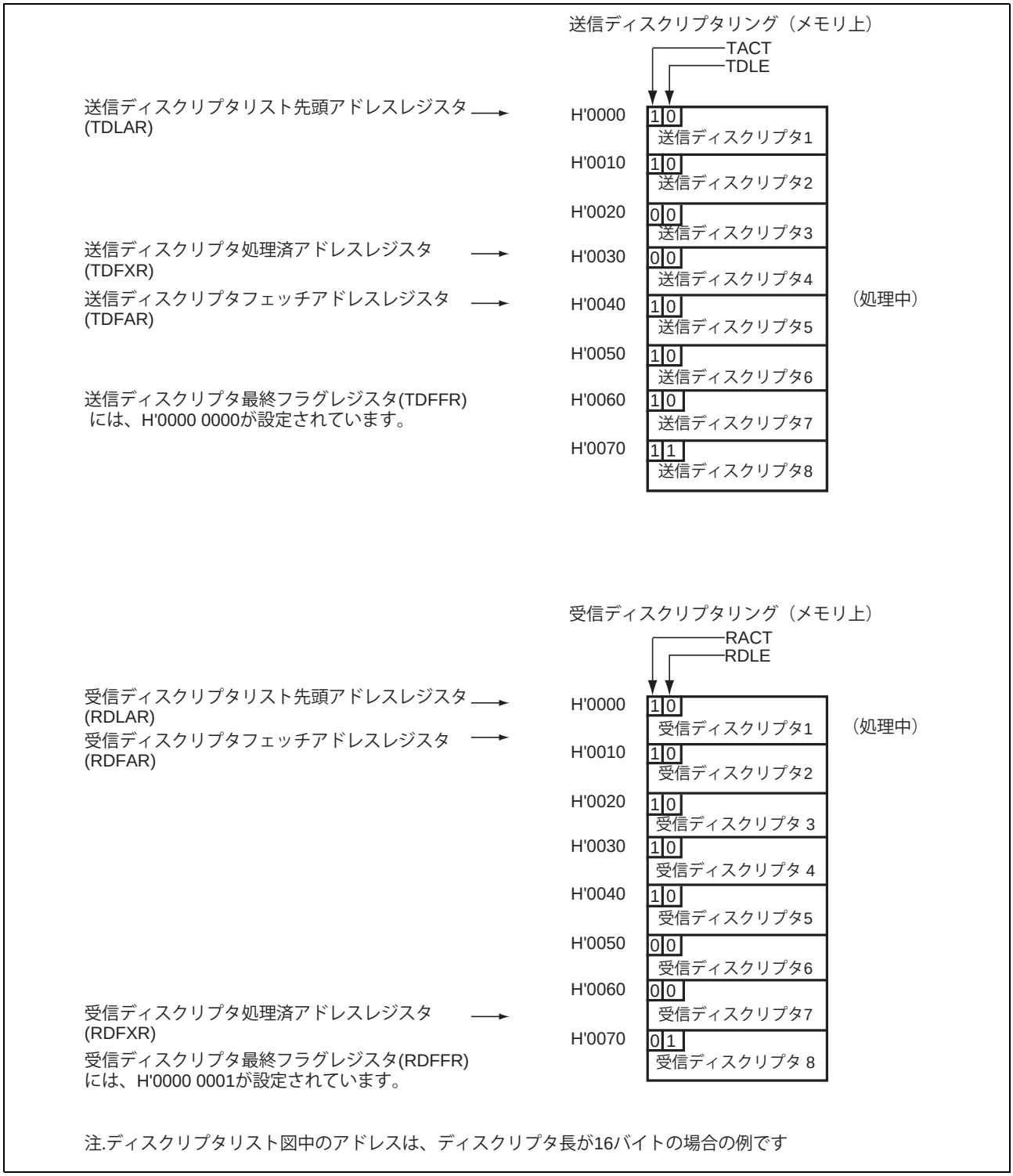


図 23.7　送受信ディスクリプタとディスクリプタポイントレジスタとの関係

23.4.2　送信動作

(1)　送信手順とフロー

E-DMAC モードレジスタ（ECMR）の TE ビットが 1 の状態で E-DMAC 送信要求レジスタ（EDTRR）の送信要求ビット（TR[1:0]）に 11 が書き込まれたときに、送信 FIFO に 32 バイト以上の空きがあれば、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初回起動時は送信ディスクリプタ先頭アドレスレジスタ（TDLAR）で示すディスクリプタ）を読み込みます。

読み込んだディスクリプタの TACT ビットが 1（有効）の場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して送信 FIFO に転送します。E-DMAC は送信フレームを作成し RGMII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP ＝ 10（フレーム開始）
  DMA 転送後、ディスクリプタのライトバック（TACT ビットの 0 書き込み）を行います。
- TFP ＝ 01 or 11（フレーム終了）
  フレームの送信完了後、ディスクリプタのライトバック（TACT ビットの 0 及びステータスの書き込み）を行います。
- TFP ＝ 00（フレーム継続）
  ディスクリプタのライトバックは行いません。TACT ビットは 1 のままですので注意してください。

読み込んだディスクリプタの TACT ビットが 1（有効）の間は、E-DMAC はディスクリプタの読み込みとフレームの送信を継続します。

読み込んだディスクリプタの TACT ビットが 0（無効）の場合は、E-DMAC は以下の処理を行った後、送信処理を終了します。

- E-DMAC 送信要求レジスタ（EDTRR）の TR[1:0] ビットに 00 を書き込みます。
- E-DAC/E-DMAC ステータスレジスタ（EESR）の TC ビットに 11 を書き込み、CPU に対して割り込みを発生させます。

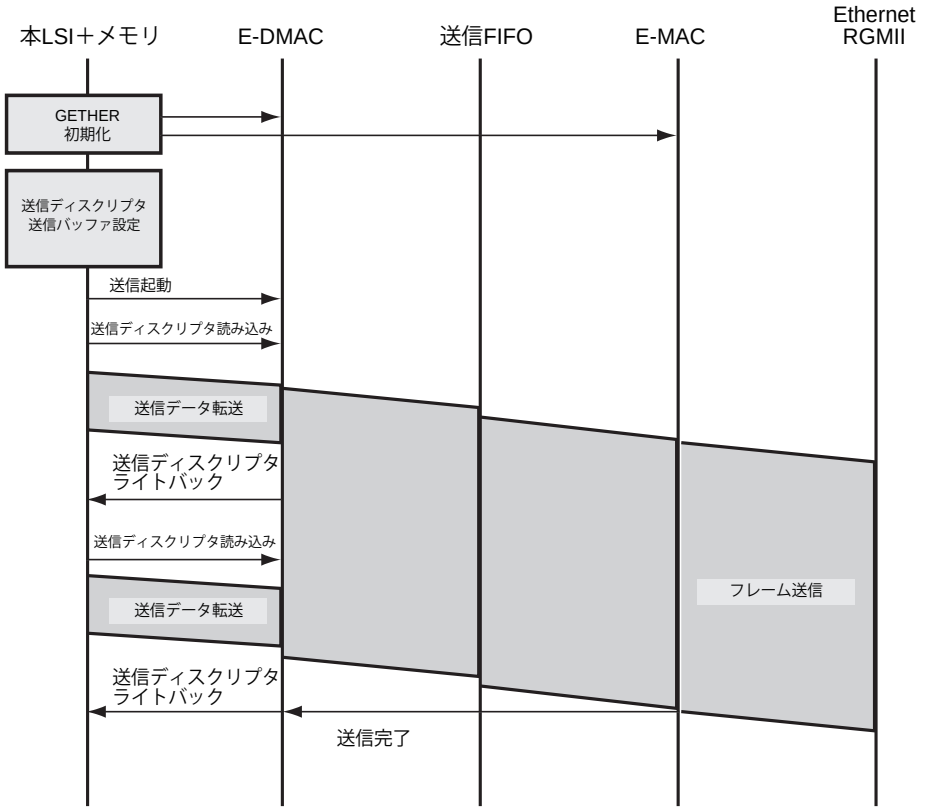
なお、E-DMAC は、送信 FIFO に最大で 4 フレーム分のデータを格納することが可能です。

E-MAC 送信処理部は、以下の条件が成立すると、送信 FIFO から送信データを読み出しフレームに組み立てて RGMII へ送信します。

- 送信 FIFO に送信 FIFO しきい値指定レジスタ（TFTR）で設定したバイト数以上のデータが格納された。
- 送信 FIFO に 1 フレーム以上のデータが格納された。
- 送信 FIFO に空き領域がなくなった。（RGMII への送信待ちデータでフルになっている）

図 23.8 に、送信フローの例を示します。

送信フロー



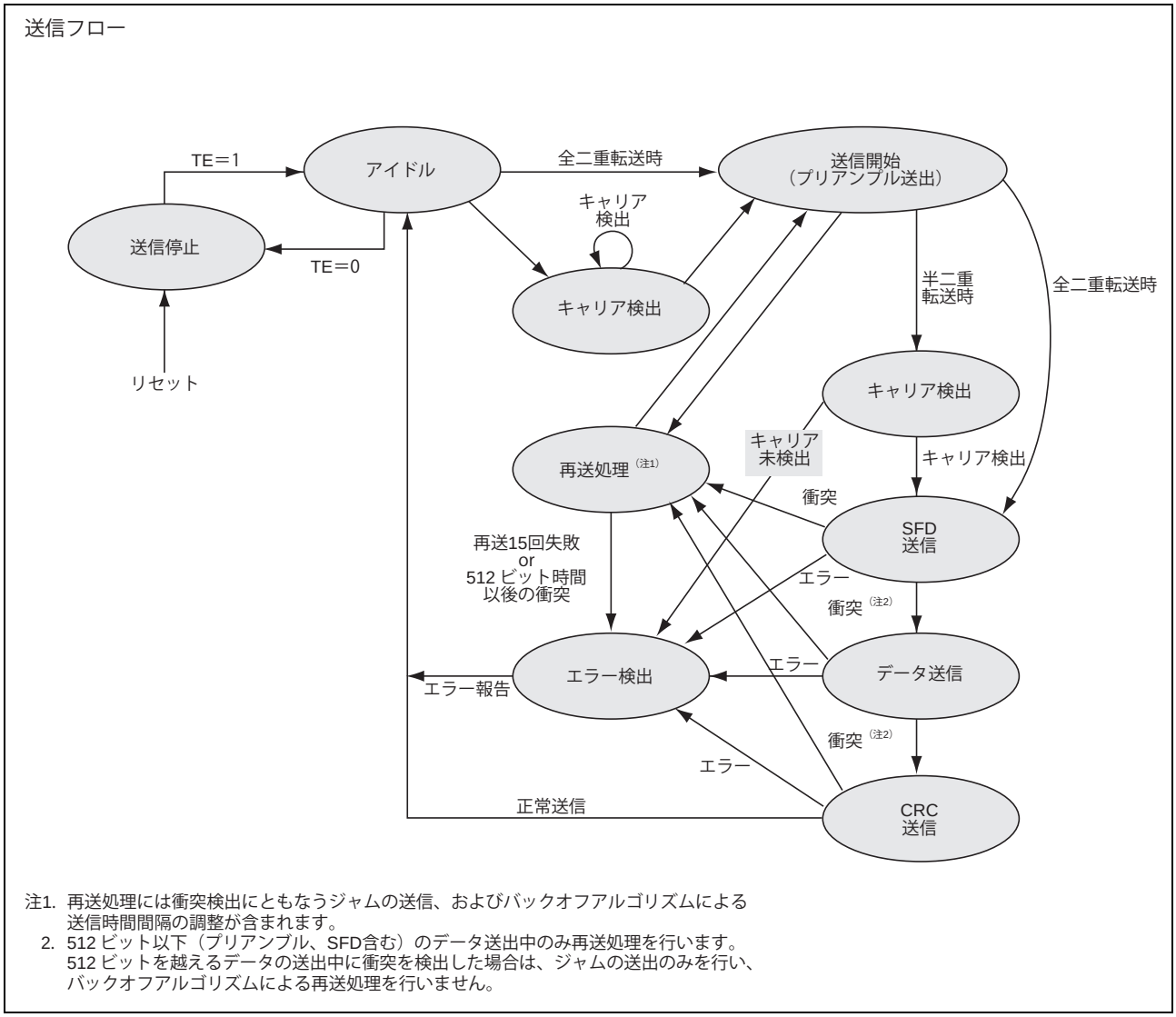
【記号説明】

GETHER初期化	：EDMRのSWRTビット1によるソフトウェアリセットを実行します。
送信ディスクリプタ、 送信バッファ設定	：送信ディスクリプタ、送信バッファ設定の他、E-MAC、E-DMACのレジスタ設定を行います。最後にECMRのTEビット1、EDTRRのTR[1:0]ビット11の書き込みを行います。
送信起動	：ECMRのTEビット1、EDTRRのTR[1:0]ビット11の書き込みにより発生します。
送信ディスクリプタ読み込み	：E-DMACが送信ディスクリプタを読み込みます。
送信データ転送	：E-DMACのDMA転送により送信データを送信FIFOに書き込みます。
送信ディスクリプタライトバック	：E-DMACがTACTビットに0および送信ステータスを送信ディスクリプタに書き込みます。

図 23.8　送信フローの例（1 フレーム／2 ディスクリプタ）

E-MAC 送信部の状態遷移図を図23.9 に示します。この動作は、0 系及び1 系共に共通です。

1. E-MACモードレジスタ（ECMR）の送信許可ビット（TE）がセットされると、送信アイドル状態に遷移します。
2. 送信 E-DMAC から送信要求があると、E-MAC はキャリア検出、フレーム間隔時間の送信延期を経てプリアンブルをRGMIIに送信します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリア ンブルを送出します。
3. SFD、データ、CRC を順次送信します。送信を終了すると送信 E-DMACが送信終了割り込み（TC）を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を継続します。



注1. 再送処理には衝突検出にともなうジャムの送信、およびバックオフアルゴリズムによる送信時間間隔の調整が含まれます。
2. 512 ビット以下（プリアンブル、SFD含む）のデータ送出中のみ再送処理を行います。512 ビットを越えるデータの送出中に衝突を検出した場合は、ジャムの送出のみを行い、バックオフアルゴリズムによる再送処理を行いません。

図 23.9　E-MAC 送信部状態遷移図

(2) 送信エラー処理

(a) 送信アボート

送信FIFOからRGMIIへのフレーム送信中に送信エラーを検出すると、送信FIFOからRGMIIへの該当フレームのデータ送出を中断します。また、送信バッファから送信FIFOへの当該フレームのDMA転送がまだ終了していない場合は、本DMA転送も同様に中断します。

送信エラー終了した送信フレームに関連する送信ディスクリプタのライトバックの終了後、E-MAC/E-DMACステータスレジスタ（EESR）の送信中断検出ビット（TABT）に1を書き込み、CPUへ割り込みを発生します。以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

(b) 送信FIFOのアンダフロー

送信FIFOからRGMIIへのフレーム送信中に送信FIFOが空（送信FIFOのアンダフロー）になると、E-MACは、当該送信フレームのRGMIIへの送信を強制的に中断します。このとき、E-MACがE-DMACから受信した当該フレームは途中で切断されたフレームとなります。そしてE-MACは以下の動作を行います。

- E-MAC/E-DMACステータスレジスタ（EESR）の送信FIFOアンダフロービット（TFUF）に1を書き込み、CPUへ割り込みを発生します。
- 該当送信フレームに対する送信ディスクリプタにライトバック
- 上記ライトバックの終了後、E-DAC/E-DMACステータスレジスタ（EESR）の送信FIFOアンダフローライトバック完了ビット（TUC）に1を書き込み、CPUへ割り込みを発生します。

以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

E-MACは、送信FIFOに送信FIFOしきい値指定レジスタ（TFTR）で設定したバイト数以上のデータが格納されるまで送信FIFOからRGMIIへのフレーム送信を開始しません。本TFTRを有効利用することにより、送信FIFOのアンダフローの発生頻度を制御することが可能です。

(c) 送信ディスクリプタエンプティ

読み込んだ送信ディスクリプタのTACTビットが0（無効）の場合で、前回処理したディスクリプタのTFPビットが00あるいは10の場合、送信ディスクリプタエンプティと判断し、E-MAC/E-DMACステータスレジスタ（EESR）の送信ディスクリプタエンプティ（TDE）に1を書き込み、SH-4Aへ割り込みを発生します。

送信ディスクリプタエンプティが発生したときは、ソフトウェアリセットを実行した後に送信処理を起動してください。

23.4.3　受信動作

(1)　受信手順とフロー

E-MAC 受信部は、RGMII から入力したフレームを、プリアンブル、SFD、データ及び CRC データに分解し、DA（宛先アドレス）からデータまでを受信 FIFO に書き込みます。受信 FIFO には最大 24 フレームまで書き込むことが可能です。E-MAC 受信部の状態遷移図を図 23.10 に示します。この動作は、0 系及び 1 系共に共通です。

1. E-MAC モードレジスタ（ECMR）の受信許可ビット（RE）が 1 にセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンブルに続く SFD（スタートフレームデリミタ）を検出すると受信処理を開始します。
   不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームの DA（宛先アドレス）が本 LSI 宛の場合、ブロードキャストフレームの場合、又はマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. RGMII からのデータ受信後、フレームデータ部の CRC チェックを行います。結果は受信 FIFO へフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。

フレームを受信後、ECMR 内の RE ビットが 1 に設定されていると、次のフレーム受信に備えます。

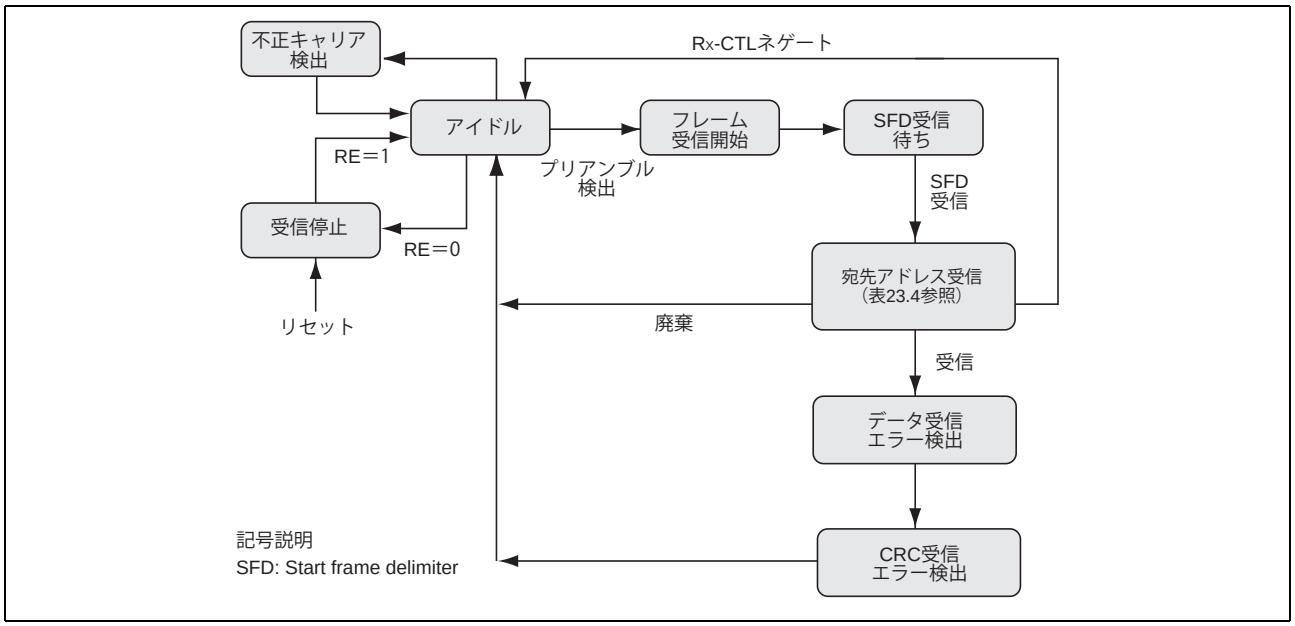


図 23.10　E-MAC 受信部状態遷移図

また、受信時のフレーム処理では CAM の判定を参照することができます（CAM 機能を使用する場合については、「23.4.4　CAM 機能」を参照してください）。

ECMR の RE ビットが 1 の状態で E-DMAC 受信要求レジスタ（EDRRR）の受信要求ビット（RR）に 1 を書き込むと、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初回起動時は受信ディスクリプタ先頭アドレスレジスタ（RDLAR）で示すディスクリプタ）を読み込んだ後に受信待機状態となります。E-DMAC は、受信 FIFO に 32 バイト以上のデータ格納されているか、受信フレームの最終バイトが格納されている場合、受信ディスクリプタの RACT ビットが 1（有効）の受信ディスクリプタに従い受信 FIFO のデータを RD2 で指定される受信バッファに転送します。

受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック（RFP＝10 or 00）を行った後、次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。

以下の条件が成立すると、当該ディスクリプタにライトバック（RFP ＝ 11 or 01）を行った後に、E-MAC/E-DMAC ステータスレジスタ（EESR）のフレーム受信完了ビット（FR）に 11 を書き込み、CPU に割り込みを発生します。

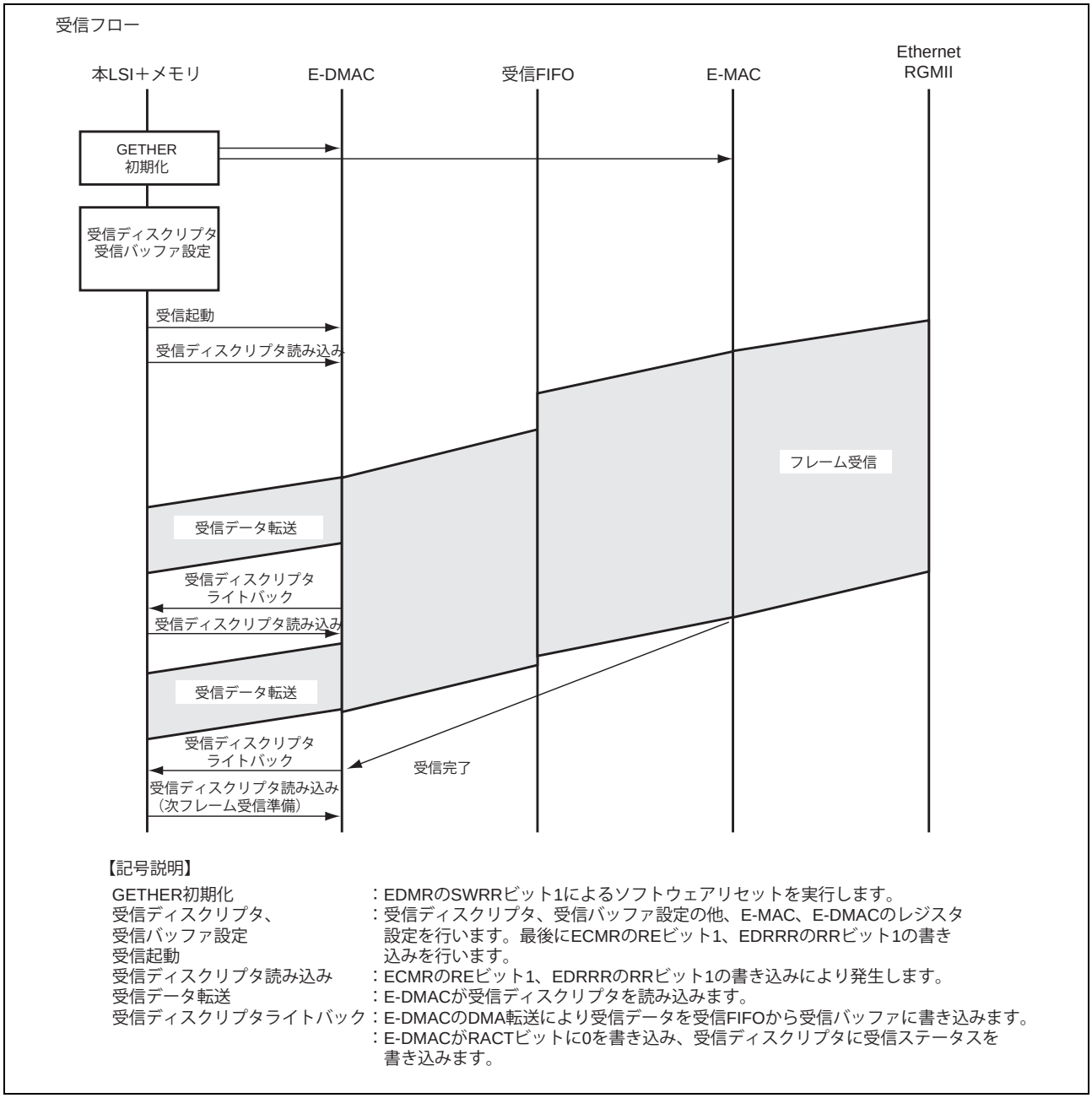
- 受信バッファがDMA転送でフルになった。
- 受信フレームの最終バイトの受信バッファへのDMA転送が終了した。

当該フレームの受信処理が終了した後、次のディスクリプタを読み込み受信待機状態となります。このとき、受信FIFO に32 バイト以上のデータが格納されているか、受信フレームの最終バイトが格納されている場合、続けて次の受信ディスクリプタの処理を行います。

読み込んだ受信ディスクリプタのTACT ビットが0（無効）の場合は、受信ディスクリプタエンプティと判断し、E-MAC/E-DMAC ステータスレジスタ（EESR）の受信ディスクリプタエンプティ（RDE）に 1 を書き込み、CPU へ割り込みを発生します。

なお、連続してフレームを受信するには、受信方式制御レジスタ（RMCR）内の受信コントロールビット（RNC）を1 に設定してください。

図23.11 に、受信フローの例を示します。



【記号説明】

GETHER初期化	：EDMRのSWRRビット1によるソフトウェアリセットを実行します。
受信ディスクリプタ、受信バッファ設定	：受信ディスクリプタ、受信バッファ設定の他、E-MAC、E-DMACのレジスタ設定を行います。最後にECMRのREビット1、EDRRRのRRビット1の書き込みを行います。
受信起動	
受信ディスクリプタ読み込み	：ECMRのREビット1、EDRRRのRRビット1の書き込みにより発生します。
受信データ転送	：E-DMACが受信ディスクリプタを読み込みます。
受信ディスクリプタライトバック	：E-DMACのDMA転送により受信データを受信FIFOから受信バッファに書き込みます。 ：E-DMACがRACTビットに0を書き込み、受信ディスクリプタに受信ステータスを書き込みます。

図 23.11　受信フローの例（1 フレーム／2 ディスクリプタ）

(2) 受信エラー処理

(a) 受信エラー

受信エラーが発生した場合、受信エラーフレームに関連する受信ディスクリプタのライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ（EESR）のフレーム受信完了ビット（FR）及び受信中断検出ビット（RABT）に1 を設定し、CPU へ割り込みを発生します。

なお、RGMII から受信したフレームのバイト長が 32 バイト未満のときに受信エラーが発生した場合は、当該フレームの受信バッファへのDMA 転送は行いません。この場合、E-DMAC 内部で当該受信フレームを破棄します（フラッシュ機能）。ただし、受信データパディング挿入設定レジスタ（RPADIR）により受信フレームにパディング挿入した場合は、パディングバイト数を含めた長さが32 バイト未満であるときに本フラッシュ機能が働きます。

(b) 受信FIFO のオーバフロー

下記どちらかの状態のときは、E-MAC はRGMIIからの受信フレームを格納する領域がないためRGMIIからフレームを受信することができません。この状態では E-MAC へ新たに転送してきた受信フレームは、すべてE-MAC 内部で破棄されます（受信FIFO のオーバフロー）。

- 受信FIFOがDMA転送待ちデータでフルになった（受信FIFOに空き領域がない）
- DMA転送待ち受信フレーム数が計24になった（受信フレーム情報管理領域に空きがない：最大管理フレーム数は24）

前者によりオーバフローした場合、受信FIFO オーバフロービット（RFOF）（EESR レジスタのビット16）に”1” をセットし、SH-4A へ割り込みを発生します。一方、後者によりオーバフローした場合、受信フレームカウンタオーバフロービット（RFCOF）（EESR レジスタのビット24）に”1” をセットし、SH-4A へ割り込みを発生します。また、オーバフローで受信フレームを1 つ破棄するごとに、ミスドフレームカウンタレジスタ（RMFCR）をカウントアップします。ただし、受信FIFO 空き容量不足により途中で切断された受信フレームについては、RMFCR のカウントアップの対象外です。なお、受信FIFO 空き容量不足により受信フレームを途中で切断した（途中までは受信 FIFO に格納した）場合、E-DMAC は以下の動作を行います。

- 受信FIFOに格納済みの切断フレームを受信バッファへDMA転送
- 上記DMA転送の終了後、該当受信ディスクリプタをライトバック
- 上記ライトバックの終了後、EESRの受信FIFOオーバフローフレームライトバック完了ビット（ROC）に1をセットし、SH-4Aへ割り込みを発生

受信 FIFO が DMA 転送待ちデータでフルの場合、受信 FIFO から受信バッファへの DMA 転送が行われ、受信FIFO に32 バイト以上の空き領域が生じると、RGMIIからのフレーム受信が再び可能になります。一方、DMA 転送待ち受信フレーム数が計24 の場合、受信FIFO から受信バッファへの1 フレーム以上のDMA 転送が完了すると、RGMIIからのフレーム受信が再び可能になります。なお、RGMIIからのフレーム受信を再開する際、E-DMAC はフレームの先頭からのみ受信を再開します。

(c) フロー制御

E-DMAC は、受信FIFO の受信データ量あるいは受信フレーム数が以下の状態になった場合、E-MAC へ通知し、E-MAC から受信FIFO への書き込みを制御することができます

- 受信 FIFO の使用容量が、オーバフロー予告 FIFO しきい値設定レジスタ（FCFTR）で設定したデータ容量を超えた場合
- 受信FIFOの受信フレーム数が、FCFTRで設定したフレーム数を超えた場合

受信データ量のしきい値は、256～65536 バイト（256 バイト刻み）が設定可能です。

受信フレームのしきい値は、1～24 フレーム（1 フレーム刻み）が設定可能です。

(d) 受信ディスクリプタのエンプティ

読み込んだディスクリプタの RACT ビットが 0（無効）の場合は、受信ディスクリプタエンプティと判断し、DMA 転送処理を停止し、以下の動作を行います。

- EDRRRのRRビットに0を書き込む
- EESRの受信ディスクリプタエンプティビット（RDE）に1をセットし、CPUへ割り込みを発生

再度、受信バッファへの DMA 転送を行うためには、ソフトウェアが割り込み要因をクリアし、受信ディスクリプタを再設定し、EDRRR のRR ビットに1 を書き込む必要があります。

なお、受信ディスクリプタエンプティの場合においても、受信 FIFO 容量や受信フレーム情報管理領域に空きがあれば、RGMII 受信 FIFO へのフレーム受信は継続します。したがって、受信ディスクリプタエンプティの場合でも、オーバフローする前に受信バッファへの DMA 転送を再開させることができれば、RGMII からの受信フレームを破棄することなく受信バッファへDMA 転送することが可能です。

23.4.4　CAM 機能

E-MAC 部分に入力されたフレームは、次の4 種類に分類されます。

（1）本LSI 宛ユニキャスト
（2）ブロードキャスト
（3）マルチキャスト
（4）他宛ユニキャスト

このうち、（1）及び（2）のMAC アドレスは固定であり、レジスタ設定のみで判定を行います。したがって、CAM を用いて受信及び転送するかどうかの判定を行うのは、（3）マルチキャスト、（4）他宛ユニキャストのみです（ユニキャストフレームのうち、当該フレーム内の宛先MAC アドレスが本LSI と一致するフレームを本LSI 宛ユニキャストフレーム、一致しないフレームを他宛ユニキャストフレームと称しています）。

さらに、TSU ではCAMを利用する他宛ユニキャスト及びマルチキャストフレームの受信の判定をTSU 内蔵の CAM エントリテーブルを参照して行います。本機能を使用することにより、受信不要なフレームデータの蓄積による受信FIFO のオーバフローを未然に防ぎ、受信判定要否のためのCPU 処理を低減できます。

また、POST テーブルは、4 ビットから構成され、それぞれ0 系受信、1 系受信に対応し、当該ビットが1 のときCAM 判定結果を受信の判定に使用します。

内蔵CAM は32 エントリのMAC アドレスを登録できるエントリテーブルを有しており、その内容はTSU_ADRH0～TSU_ADRH31 及びTSU_ADRL0～TSU_ADRL31 で設定することができます。内蔵CAM エントリテーブル参照の有効／無効の設定は、CAM 判定を行うかどうかを設定するCAM エントリテーブルイネーブル設定レジスタとCAM 判定結果を受信判定に使用するかを設定するCAMエントリテーブルPOST 設定レジスタにより行います。受信時の内蔵CAM エントリテーブル参照が有効になっている場合は、フレームの中の宛先アドレスとCAM エントリテーブルに登録されたMAC アドレスを比較することにより、E-MAC に入力されたフレームをE-DMAC に引き渡す（E-DMAC にフレームを受信させる）か破棄するかが判定されます。表23.3にE-MAC-0→E-DMAC0 又はE-MAC-1→E-DMAC1 受信動作時のフレームの種類に対する処理方法（受信又は破棄）の対応を示します。

表23.3　受信フレーム処理

CAMエントリテーブル参照結果	フレーム種類	PRM = 0（通常モード）		PRM = 1（プロミスキャスモード）	
		MCT = 0	MCT = 1	MCT = 0	MCT = 1
CAMヒット	本LSI 宛フレーム	破棄		破棄	
	ブロードキャストフレーム	破棄		破棄	
	マルチキャストフレーム	破棄	受信	破棄	受信
	本LSI 以外を宛先とするフレーム	受信		破棄	
CAMミスヒット CAMディセーブル	本LSI 宛フレーム	受信		受信	
	ブロードキャストフレーム	受信		受信	
	マルチキャストフレーム	受信	破棄	受信	破棄
	本LSI 以外を宛先とするフレーム	破棄		受信	

【記号説明】
PRMビット（ECMR レジスタのビット0）　:プロミスキャスモード
（0: 通常モード、1: プロミスキャスモード）
MCTビット（ECMR レジスタのビット13）　: マルチキャスト受信モード
（0：CAM ミスヒット時受信、1：CAM ヒット時受信）

23.4.5　マルチバッファフレーム（1 フレーム／複数ディスクリプタ）の送受信処理について

(1)　マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 23.12 に示す処理を行います。

図中で送信ディスクリプタが無効（TACT ビットが 0）である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効（TACT ビットが 1）である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効（TACT ビットが 1）である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます（継続[B'00]又は終了[B'01]）。

継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE 及び TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

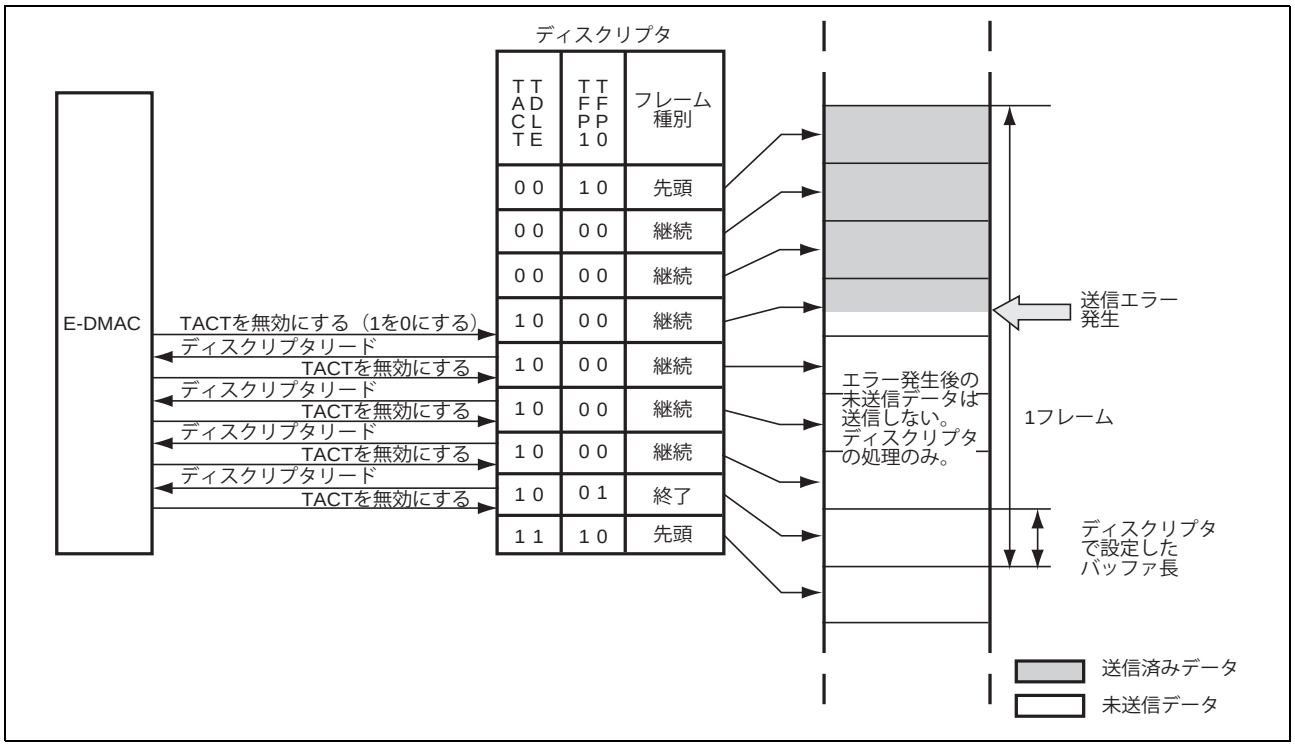


図 23.12　送信エラー発生後の E-DMAC 動作

(2)　マルチバッファフレームとなるケースの受信処理

受信フレームが複数のバッファに分割されマルチバッファフレームとなるケースでの受信中にエラーが発生した場合は、E-DMAC は図23.13 に示す処理を行います。

図中で受信ディスクリプタが無効（RACT ビットが0）である部分はすでにバッファに格納されるデータを正常に受信した部分を、受信ディスクリプタが有効（RACT ビットが 1）である部分は未受信バッファであることを示します。図中のディスクリプタ部分でフレーム受信エラーが発生した場合は、該当するディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

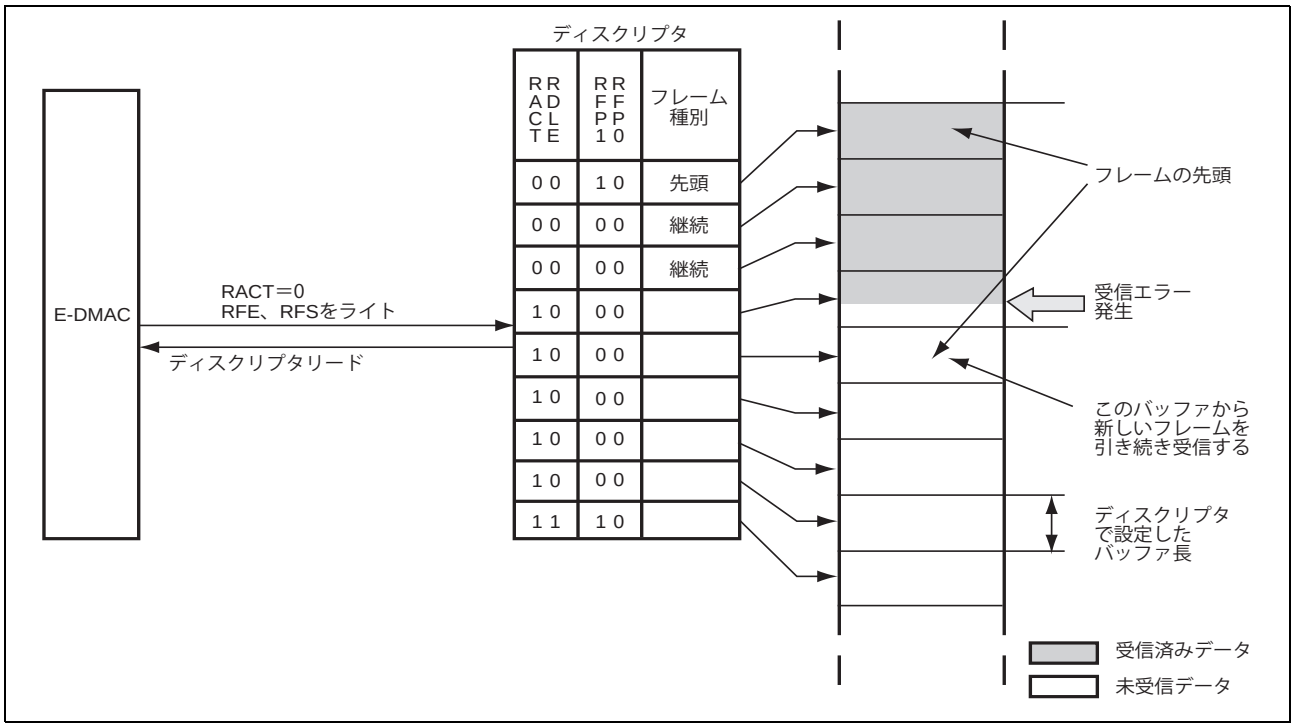


図 23.13　受信エラー発生後のE-DMAC 動作

23.4.6　受信データへのパディング挿入について

E-DMAC は、受信データ処理能力の向上のため、受信データの任意のバイト位置に1～3 バイトのパディングを挿入できます。この機能を使用することで、たとえば、イーサネットフレームの MAC ヘッダ（14 バイト）の後に2 バイトのパディングを挿入することによって以降のデータを4 バイト境界の先頭に置くことができます。

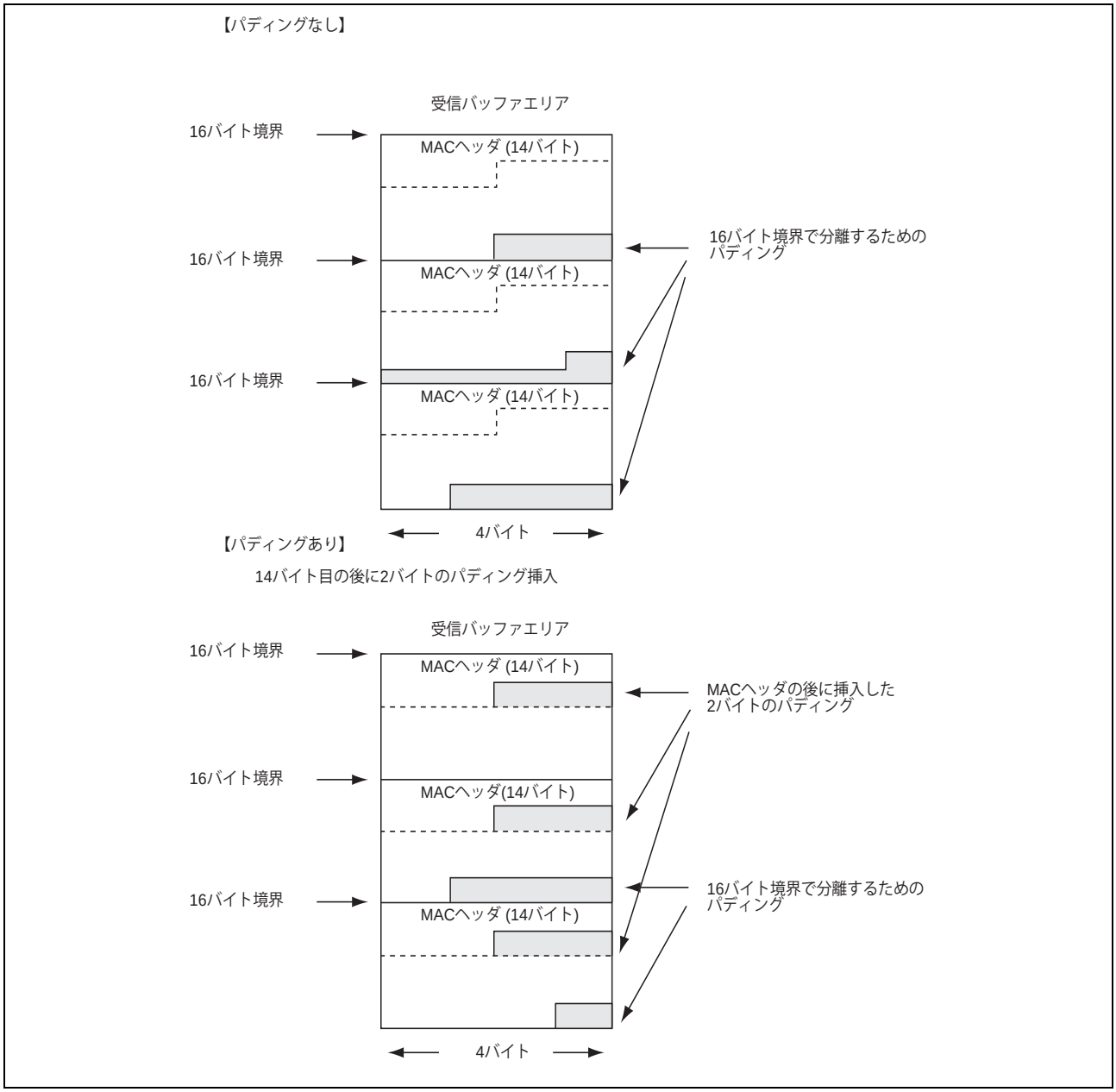


図 23.14　受信データへのパディング挿入

23.4.7　割り込み動作

(1)　割り込み要因

GETHER からCPU に対して発行する割り込みには、0 系送受信割り込み（GEINT0）、1 系送受信割り込み（GEINT1）の2 種類があります。表23.4 に、2 種類の割り込みとそれぞれの割り込みの要因、割り込み要因が発生したときに設定される割り込みステータスレジスタ／ビット、及び割り込み発生タイミングを示します。

GEINT0 とGEINT1 は、0 系あるいは1 系の送受信動作に関連して発生する割り込みです。割り込み要因が発生するとEESR0 レジスタあるいはEESR1 にセットされるとともにCPU に対して割り込みを発行します。ただし、割り込み要因によっては、レジスタへのセット／割り込みの発行が、割り込み要因を検出した直後ではなく、ディスクリプタへのライトバックが完了した時点のものもあります。E-MAC ステータスレジスタ要因（ECI ビット）を除く各割り込みの要因は、対応する要因ビットに 1 を書き込むことによりクリアされます。E-MAC ステータスレジスタ要因（ECI ビット）の割り込み要因は、ECSR レジスタの対応するビットに ”1” を書き込むことによりクリアされます。これらの割り込み要因は、クリアされるまではその値を保持します。GEINT0 と GEINT1 の各割り込み要因は、EESIPR0 あるいは EESIPR1 レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。また、E-MAC ステートレジスタ要因（ECI ビット）に含まれる個々の割り込み要因は、ECSIPR レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。許可ビットの初期値は割り込み禁止の状態になっています。

表23.4　GETHER割り込み一覧

割り込み種類	割り込み要因	レジスタ、ビット名	レジスタ、ビット名 割り込み発生タイミング
0系送受信 割り込み (GEINT0)	ライトバック完了	EESR0.TWB	ライトバック後
	送信アンダフローフレームライトバック完了	EESR0.TUC	ライトバック後
	受信オーバフローフレームライトバック完了	EESR0.ROC	ライトバック後
	送信中断検出	EESR0.TABT	ライトバック後
	受信中断検出	EESR0.RABT	ライトバック後
	受信フレームカウンタオーバフロー	EESR0.RFCOF	割り込み要因検出時
	E-MACステータスレジスタ要因	EESR0.ECI	割り込み要因検出時
	フレーム送信完了	EESR0.TC	ライトバック後
	送信ディスクリプタエンプティ	EESR0.TDE	割り込み要因検出時
	送信FIFO アンダフロー	EESR0.TFUF	割り込み要因検出時
	フレーム受信	EESR0.FR	ライトバック後
	受信ディスクリプタエンプティ	EESR0.RDE	割り込み要因検出時
	受信FIFO オーバフロー	EESR0.RFOF	割り込み要因検出時
	キャリア消失検出	EESR0.DLC	割り込み要因検出時
	遅延衝突検出	EESR0.CD	割り込み要因検出時
	送信リトライオーバ	EESR0.TRO	割り込み要因検出時
	マルチキャストアドレスフレーム受信	EESR0.RMAF	ライトバック後
	キャリア拡張消失	EESR0.CELF	ライトバック後
	端数ビットフレーム受信	EESR0.RRF	ライトバック後
	ロングフレーム受信エラー	EESR0.RTLF	ライトバック後
	ショートフレーム受信エラー	EESR0.RTSF	ライトバック後
	PHY-LSI 受信エラー	EESR0.PRE	ライトバック後
	受信フレームCRC エラー	EESR0.CERF	ライトバック後

割り込み種類	割り込み要因	レジスタ、ビット名	レジスタ、ビット名 割り込み発生タイミング
1 系送受信割り込み(GEINT1)	ライトバック完了	EESR1.TWB	ライトバック後
	送信アンダフローフレームライトバック完了	EESR1.TUC	ライトバック後
	受信オーバフローフレームライトバック完了	EESR1.ROC	ライトバック後
	送信中断検出	EESR1.TABT	ライトバック後
	受信中断検出	EESR1.RABT	ライトバック後
	受信フレームカウンタオーバフロー	EESR1.RFCOF	割り込み要因検出時
	E-MACステータスレジスタ要因	EESR1.ECI	割り込み要因検出時
	フレーム送信完了	EESR1.TC	ライトバック後
	送信ディスクリプタエンプティ	EESR1.TDE	割り込み要因検出時
	送信FIFO アンダフロー	EESR1.TFUF	割り込み要因検出時
	フレーム受信	EESR1.FR	ライトバック後
	受信ディスクリプタエンプティ	EESR1.RDE	割り込み要因検出時
	受信FIFO オーバフロー	EESR1.RFOF	割り込み要因検出時
	キャリア消失検出	EESR1.DLC	割り込み要因検出時
	遅延衝突検出	EESR1.CD	割り込み要因検出時
	送信リトライオーバ	EESR1.TRO	割り込み要因検出時
	マルチキャストアドレスフレーム受信	EESR1.RMAF	ライトバック後
	キャリア拡張消失	EESR1.CELF	ライトバック後
	端数ビットフレーム受信	EESR1.RRF	ライトバック後
	ロングフレーム受信エラー	EESR1.RTLF	ライトバック後
	ショートフレーム受信エラー	EESR1.RTSF	ライトバック後
	PHY-LSI 受信エラー	EESR1.PRE	ライトバック後
	受信フレームCRC エラー	EESR1.CERF	ライトバック後

23.4.8　起動手順

以下の手順でGETHER を起動してください。

(1)　リセット

1.　パワーオンリセット
2.　E-DMAC送信部／受信部の起動（ディスクリプタエンジン起動）
   • E-DMAC起動レジスタ（EDSR）の設定：ENT=1、ENR=1
3.　ソフトウェアリセット
   • E-DMACモードレジスタ（EDMR）の設定：SWRR=1、SWRT=1（同時に設定のこと）
4.　ディスクリプタエントリテーブルの初期化
5.　ソフトウェアリセットの解除確認
   • E-DMACモードレジスタ（EDMR）の確認：SWRR=0、SWRT=0に戻っていること

(2)　ディスクリプタリング登録

メモリに構成されたディスクリプタリングのアドレスをディスクリプタエントリテーブルに登録します。

1.　送信ディスクリプタの設定
   • 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）の設定
   • 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）の設定
   • 送信ディスクリプタ処理済アドレスレジスタ（TDFXR）の設定
   • 送信ディスクリプタ最終フラグレジスタ（TDFFR）の設定：TDFXRが示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001を設定

2.　受信ディスクリプタの設定
   • 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）の設定
   • 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）の設定
   • 受信ディスクリプタ処理済アドレスレジスタ（RDFXR）の設定
   • 受信ディスクリプタ最終フラグレジスタ（RDFFR）の設定：RDFXRが示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001を設定

(3)　レジスタ設定

必要に応じて以下のレジスタを設定してください。

1.　E-DMAC関連レジスタの設定
   • E-DMACモードレジスタ（EDMR）の設定：動作モード他
   • E-DAC/E-DMACステータス割り込み許可レジスタ（EESIPR）の設定：割り込みマスク
   • 送受信ステータスコピー指示レジスタ（TRSCER）の設定：エラーマスク
   • 送信FIFOしきい値指定レジスタ（TFTR）の設定：送信FIFOしきい値
   • FIFO容量指定レジスタ（FDR）の設定：外部FIFO容量値
   • 受信方式制御レジスタ（RMCR）の設定：受信起動リセット方法
   • 受信データパディング挿入設定レジスタ（RPADIR）の設定：受信データへのパディング挿入
   • オーバフロー予告FIFOしきい値設定レジスタ（FCFTR）の設定：受信BSY送出しきい値
2.　E-MAC関連レジスタの設定
   • E-MACモードレジスタ（ECMR）の設定：送信、受信仕様
   • E-MAC割り込み許可レジスタ（ECSIPR）の設定：割り込みマスク
   • MACアドレス上位設定レジスタ（MAHR）の設定：MACアドレス
   • MACアドレス下位設定レジスタ（MALR）の設定：MACアドレス
   • 受信フレーム長上限レジスタ（RFLR）の設定：受信フレーム長上限
   • 自動ポーズフレーム設定レジスタ（APR）の設定：自動ポーズフレームTIMEパラメータ値
   • 手動ポーズフレーム設定レジスタ（MPR）の設定：手動ポーズフレームTIMEパラメータ値
   • 自動ポーズフレーム再送回数設定レジスタ（TPAUSER）の設定：ポーズフレーム再送回数上限値
   • GETHERモードレジスタ（GECMR）の設定：転送速度等
   • バーストサイクル回数上限設定レジスタ（BCULR）の設定：バーストサイクル上限値

(4)　起動

1.　E-DMAC送受信機能の起動

- E-DMAC送信要求レジスタ（EDTRR）の設定：TR[1:0]＝11
- E-DMAC受信要求レジスタ（EDRRR）の設定：RR＝1

2.　E-MAC送受信機能の起動

- E-MACモードレジスタ（ECMR）の設定：TE＝1、RE=1

23.4.9　フロー制御

GETHERは、全二重動作時に、IEEE802.3x準拠のフロー制御をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときのポーズフレームの送信には、次の（1）、（2）の方法があります。

(1)　自動ポーズフレーム送信

受信フレームに対しては、受信FIFOに書き込まれたデータ量が、オーバフロー予告FIFOしきい値設定レジスタ（FCFTR）に設定された値に達するとポーズフレームを自動的に送信します。このときのポーズフレームに含まれるTIMEパラメータ値は、自動ポーズフレーム設定レジスタ（APR）で設定します。ポーズフレームの再送回数上限を規定しない場合、自動ポーズフレームの送信は、受信FIFO内のデータが読み出されてデータ量がFCFTR設定値未満になるまで繰り返されます。また、ポーズフレーム再送回数設定レジスタ（TPAUSER）によりポーズフレームの再送信回数の上限値を1～65535回の範囲で設定することができます。この場合は、自動ポーズフレームの送信は、受信FIFO内のデータ量がFCFTR設定値未満になるか、送信回数がTPAUSERの設定値に達するまで繰り返されます。送信回数カウンタは、いったん受信FIFO内のデータ量がFCFTR設定値未満になった後、次のポーズフレームが送信される時点で0になります。

自動ポーズフレームの送信は、E-MACモードレジスタ（ECMR）のTXFビットが1の場合に有効になります。

(2)　手動ポーズフレーム送信

ソフトウェアからの指示により、ポーズフレームを送信することができます。手動ポーズフレーム設定レジスタ（MPR）へTimer値を書き込むと、手動ポーズフレームの送信を開始します。この手順によるポーズフレームの送信は1回（1フレーム）のみです。

(3)　ポーズフレーム受信

ポーズフレームを受信した場合、TIMEパラメータ値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。ポーズフレームの受信はE-MACモードレジスタ（ECMR）のRXFビットが1の場合に有効となります。ポーズフレーム受信回数をカウントします。

(4)　0 TIME ポーズフレーム制御

TIMEパラメータ値が0のポーズフレームによるフロー制御を行うことができます。TIMEパラメータ値が0のポーズフレーム制御を有効／無効するかを、E-MACモードレジスタ（ECMR）のZPFビットで指定することができます。

- TIMEパラメータ値が0のポーズフレーム制御有効時

  TIMEパラメータ値の示す時間が経過していない状態で、受信FIFOの容量がオーバフロー予告FIFOしきい値設定レジスタ（FCFTR）の設定値未満になると、TIMEパラメータ値が0のポーズフレームを送信します。

  TIMEパラメータ値が0のポーズフレームを受信した場合、フレーム送信待ち状態を解除します。

- TIMEパラメータ値が0のポーズフレーム制御無効時

  TIMEパラメータ値が0のポーズフレームを送信しません。また、TIMEパラメータ値が0のポーズフレームを受信した場合は、そのポーズフレームを破棄します。

23.4.10 マジックパケットの検出

GETHER は、マジックパケットの検出機能を有しています。本機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能（WOL：Wake-On-LAN）を提供します。これによって、ホスト装置などから送出されるマジックパケットを周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。マジックパケットを検出したときには、それ以前に受信していたブロードキャストパケット等によって受信FIFO にはデータが蓄積され、E-MAC には受信ステータスなどが報告されます。本割り込み処理から通常の動作に復帰するためには、ソフトウェアリセットレジスタ（ARSTR）のARSTビットによりE-MAC、TSU、及びE-DMAC の初期化を実行してください。

マジックパケットにおいては、宛先アドレスにかかわらず受信を行います。結果として、マジックパケット内のフォーマットで指定される宛先に合致する場合のみ有効となり ET_WOL 端子が有効となります。マジックパケットに関する詳細については、AMD 社の技術資料を参照してください。

本LSI を用いてWOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可／マスクレジスタによって割り込み要因の出力を禁止します。
2. E-MACモードレジスタ（ECMR）のマジックパケット検出許可ビット（MPDE）を設定します。
3. E-MAC 割り込み許可レジスタ（ECSIPR）のマジックパケット検出割り込み許可ビット（MPDIP）をイネーブルに設定します。
4. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールストップモードに設定します。
5. マジックパケットを検出すると、CPUには割り込みが通知されます。

23.5　MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへのアクセスには、MDIO レジスタを使用する方法（MDIO アクセス）と、PIR レジスタを経由する方法（PIR アクセス）の 2 種類があります。これらは、SEL_MDIO ビットによって切り替えられ、SEL_MDIO ビット＝0 のとき MDIO アクセス、SEL_MDIO ビット＝1 のとき PIR アクセスが選択されます。

ここでは、PIR アクセス方法について説明します。

PIR アクセスでは、IEEE802.3u で規定される MII フレームフォーマットに従って PIR レジスタに設定することにより、ETn-MDC 端子及び ETn-MDIO 端子で MII レジスタにアクセスします。

なお、ETn-MDC 端子及び ETn-MDIO 端子は、ETHER/GETHER でマルチプレクスされています。これらの端子を GETHER で使用する場合は、RMII1 ビット、RMII0 ビット（GBECONT レジスタのビット 17、16）を“0”にしてください（図 23.15 参照）。

また、ETHER/GETHER を合わせて 3 チャネル以上を使用する場合は、1 つのチャネルで複数の PHY と接続するか、他の端子（GPIO など）を使用して、MII レジスタへアクセスしてください。

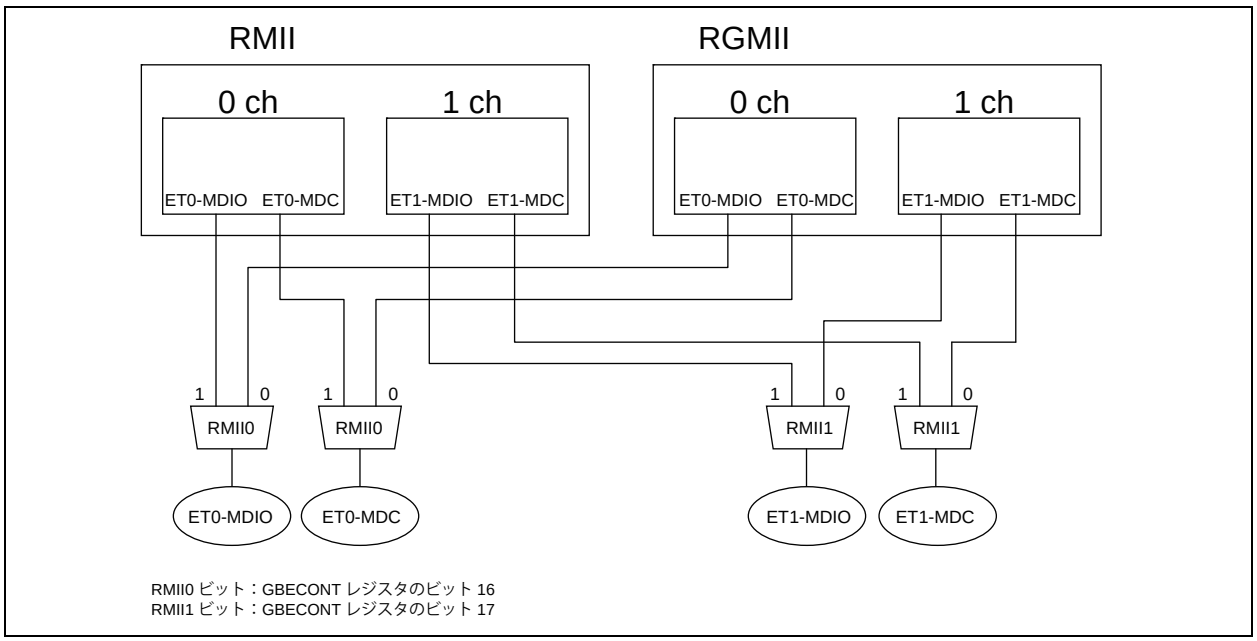


図 23.15　RMII、RGMII の構成

(1) MII 管理フレームフォーマット

MII 管理フレームのフォーマットを表 23.5 に示します。MII レジスタをアクセスするには、この管理フレームに示されたデータのリード／ライトを、「(2) ETn-MDC 端子及び ETn-MDIO 端子による制御方法」で示す制御により、1 ビットずつ実行してください。

表23.5　MII管理フレームフォーマット

アクセス種別	管理フレーム　（(）内は各データのビット数を示す）							
	PRE (32)	ST (2)	OP (2)	PHYAD (5)	REGAD (5)	TA (2)	DATA (16)	IDLE
MII レジスタの読み出し	1を32個ライト	01をライト	10をライト	（注1）	（注2）	バス開放	データをリード	—
MII レジスタへ書き込み	1を32個ライト	01をライト	01をライト	（注1）	（注2）	10をライト	データをライト	単独バス開放

注1. PHY-LSIのアドレスを5ビットでライトしてください。
例：PHY-LSIのアドレスが1番の場合は00001

2. レジスタのアドレスを5ビットでライトしてください。
例：レジスタのアドレスが1番の場合は00001

3. 表中のリード、ライト、バス開放、単独バス開放の制御については、それぞれ、図23.16～図23.19を参照してください。
また、ライトは、MSB（表に示すビット並びの左側）から1ビットずつ実施してください。

(2)　ETn-MDC端子及びETn-MDIO端子による制御方法

MII レジスタへのアクセスは、ETn-MDC端子及びETn-MDIO端子を制御し、1ビットずつ実施します。

PIR レジスタのMDC ビットに0又は1を書き込むことで、ETn-MDC端子から制御クロックを出力します。MMD ビットに0又は1を書き込むことで、ETn-MDIO端子からデータを取り込み（リード）又はETn-MDIO 端子からデータを出力（ライト）します。リード時は、ETn-MDIO 端子から取り込んだデータがMDI ビットに反映され、ライト時は、ETn-MDIO端子から出力するデータをMDO ビットに設定します。

これらの制御を1 ビットずつ実行するための制御フローを、図23.16 ～図23.19 に示します。リード及びライトの他、バス解放及び単独バス解放の制御を組み合わせて、MII レジスタに対する読み出し、書き込みを実現します。

なお、アクセスタイミングは、PHY-LSIによって異なります。

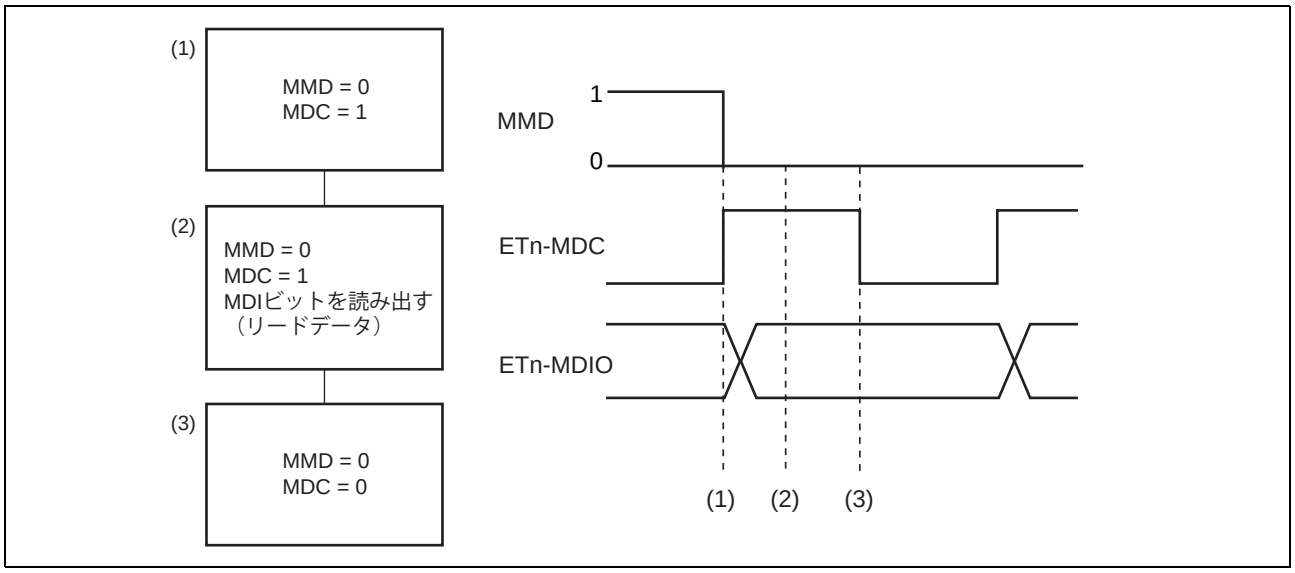


図 23.16 1 ビットデータリードフロー

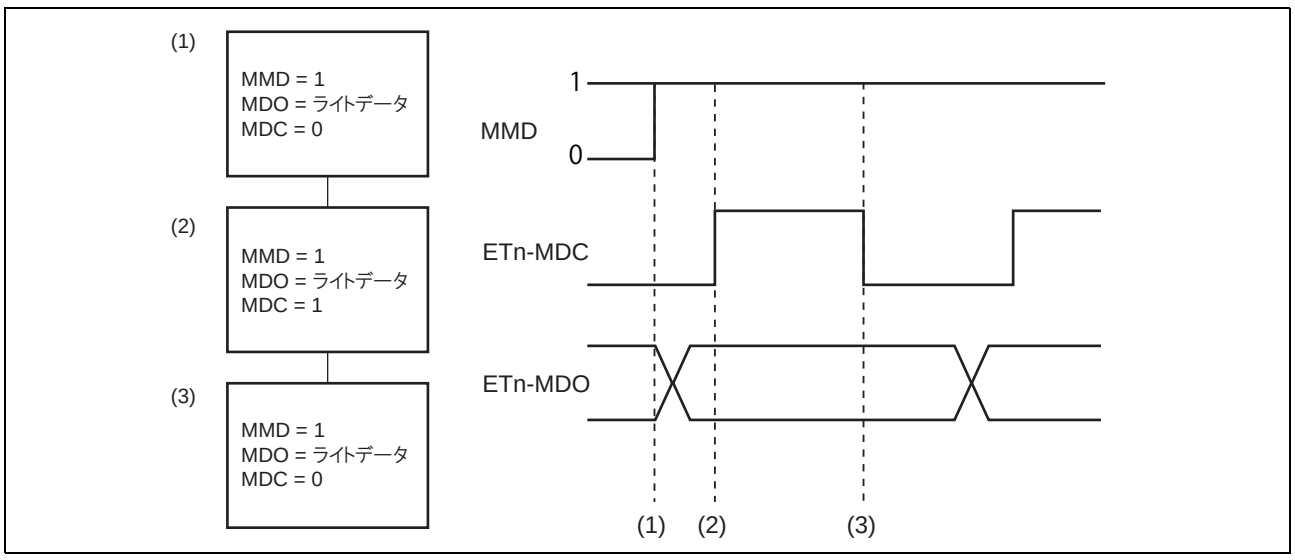


図 23.17　1 ビットデータライトフロー

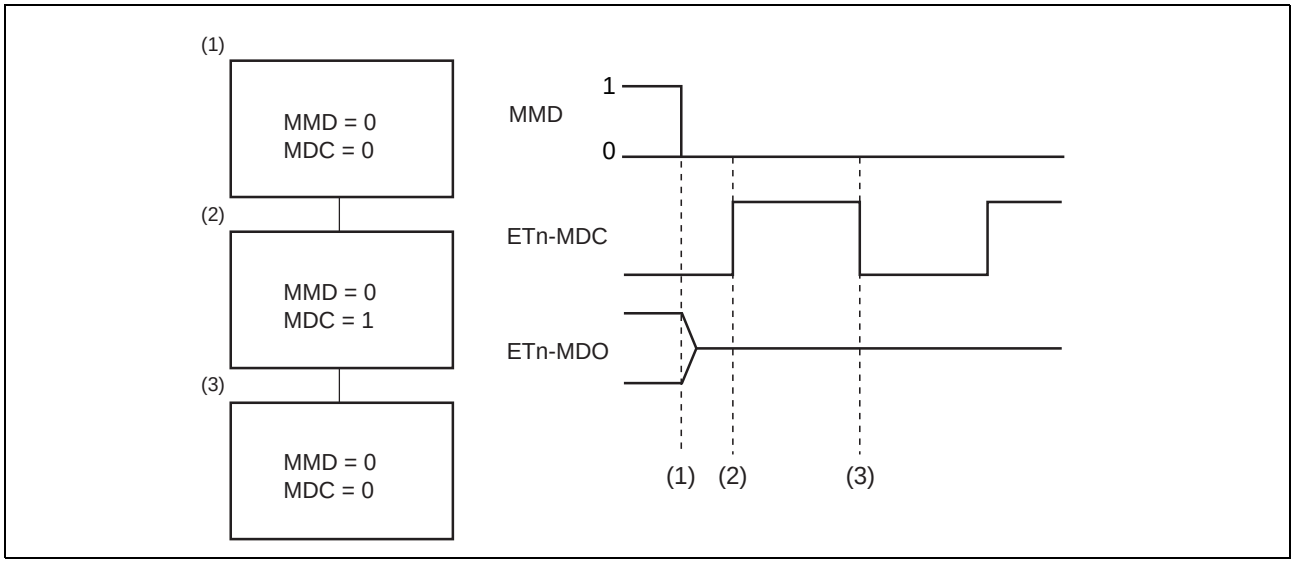


図 23.18　バス解放フロー

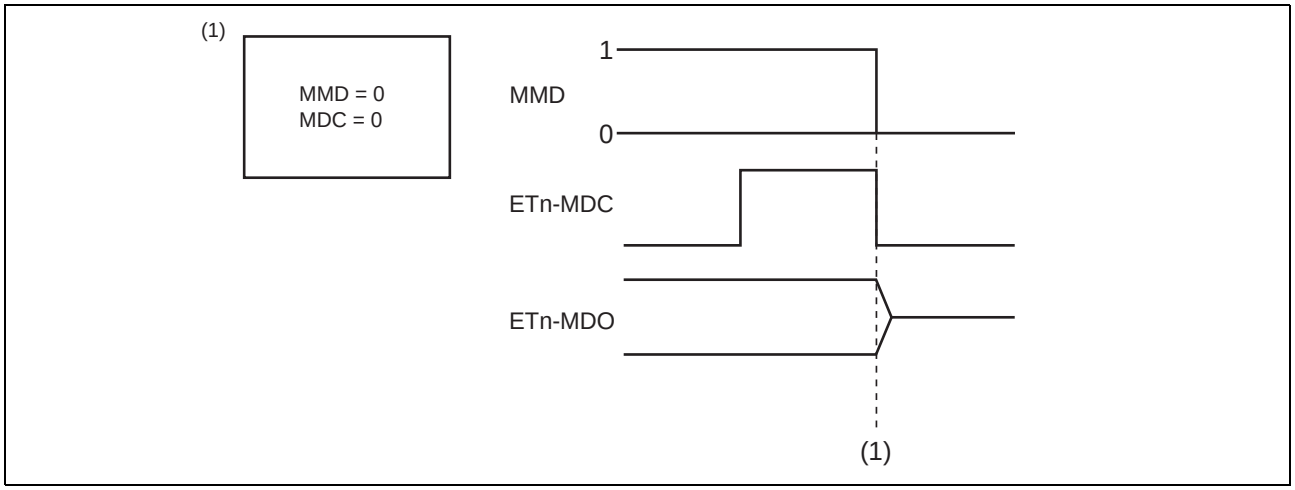


図 23.19　単独バス解放フロー

23.6　使用上の注意事項

23.6.1　イーサネットフレームのチェックサム計算

本LSIでは、受信フレームのチェックサムデータを計算することができます。チェックサムの計算対象は、イーサネットフレームのデータ部分です。図23.20にチェックサム計算対象データを示します。計算方法は、16ビットごとの加算のみで、ビットの反転は行いません。

なお、チェックサムデータ有効時はCRCデータ（4バイト）は受信フレームとしては転送されず、チェックサムデータ（2バイト）が自動的に付加されます。図23.21にチェックサムデータ付加後のイーサネットフレームを示します。

注．VLAN Tagが挿入されたフレームに対しても、先頭15バイト目以降、CRCデータの直前までを計算対象としますのでご注意ください。

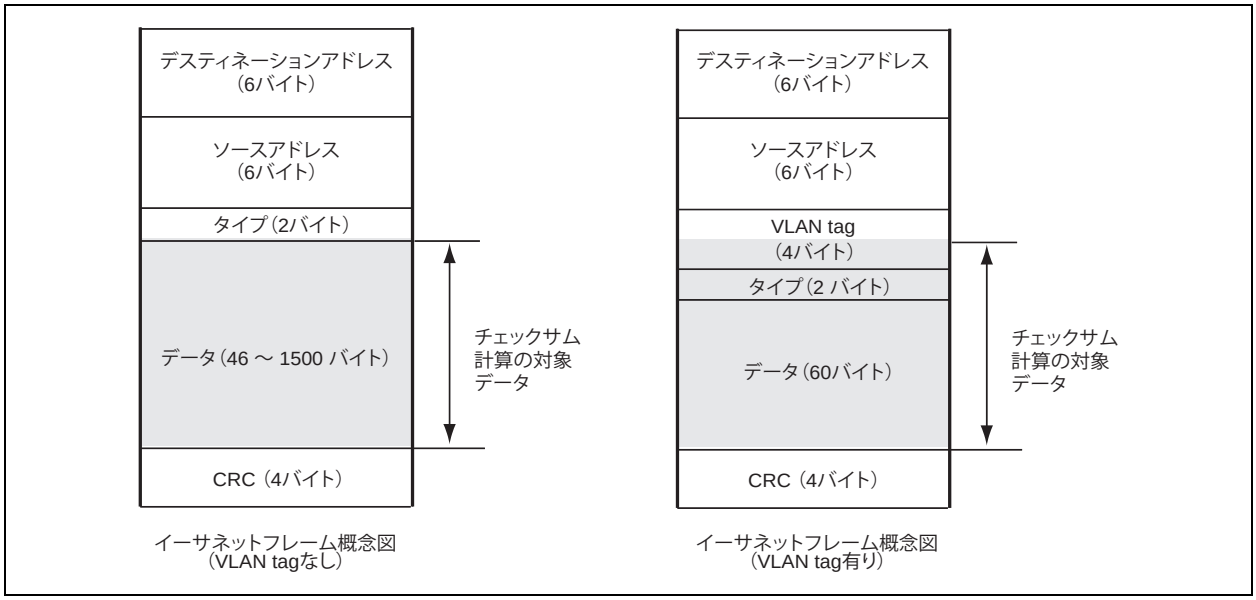


図 23.20　チェックサム計算対象データ

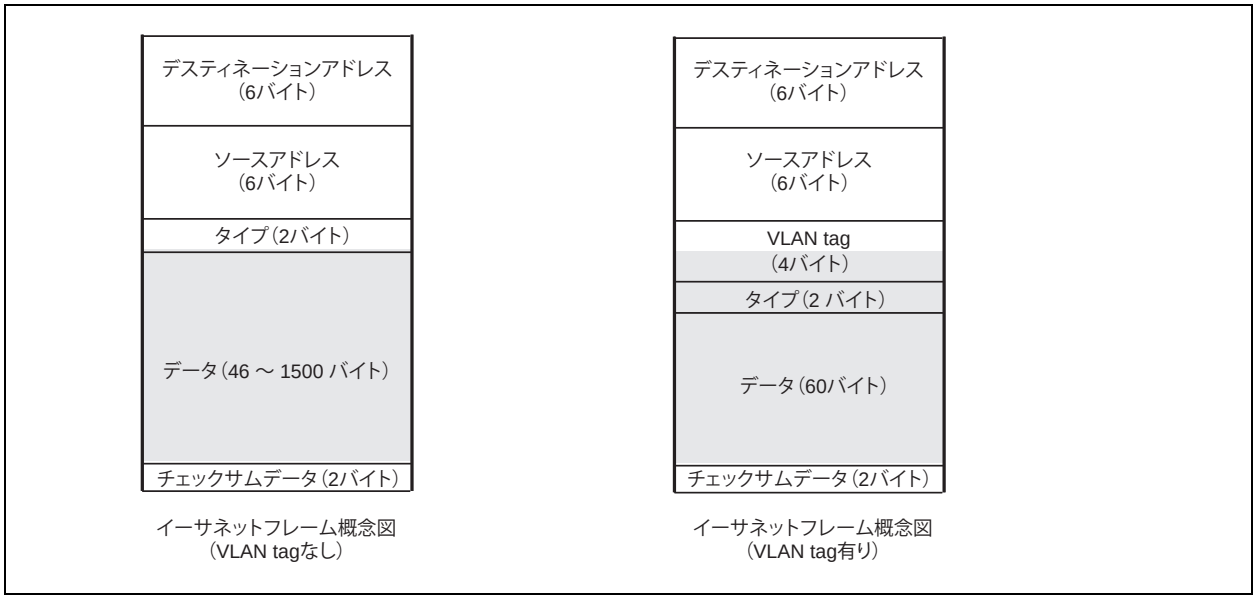


図 23.21　チェックサムデータ付加後のイーサネットフレーム

24. イーサネットコントローラ(ETHER)

イーサネットコントローラ（ETHER）はイーサネットあるいはIEEE802.3 のMAC（Media Access Control）層規格に準拠しており、同規格に合致する物理層LSI（PHY-LSI）と接続することにより、イーサネット／IEEE802.3 フレームの送受信を行うことができます。ETHER はMAC 層インタフェースを2 系統（MAC-0、MAC-1）内蔵しており、それぞれ独立に送信及び受信動作をさせることができます。

また、専用のダイレクトメモリアクセスコントローラを2チャネル（E-DMAC0、E-DMAC1）内蔵しています。これにより、E-DMAC 内の送信／受信FIFO と任意のデータ格納先（バッファ）との間で送受信データをDMA転送できます。このDMA 転送時に、E-DMAC が参照する情報を送信／受信ディスクリプタと呼び、ユーザがメモリ上に配置します。

この機能によってSH-4Aの負荷を軽減し、効率の良いデータ送受信制御を行うことができます。E-DMAC0/E-DMAC1 は、それぞれMAC-0/MAC-1 のデータ送受信を制御します（以下、E-DMAC0 で制御される系統を0 系、E-DMAC1 で制御される系統を1 系と称します）。

24.1 特長

- イーサネット／IEEE802.3フレームの送受信
- 10Mbps及び100Mbps転送に対応
- 全二重転送モード及び半二重転送モードに対応
- RMII（Reduced Media Independent Interface）に対応
- 送信／受信2チャネルの独立したDMAC内蔵
- チャネルごとに受信用FIFO（8KB）、送信用FIFO（2KB）を搭載
- ディスクリプタ管理方式によるSH-4A負荷の軽減
- 送受信フレームステータスのディスクリプタへの反映
- DMAブロック転送（16バイト単位）によるシステムバスの効率使用
- シングルフレーム、マルチバッファ方式対応可能
- 受信データへのパディング挿入によるソフトウェアの処理能力の向上

図24.1にETHERの構成を示します。

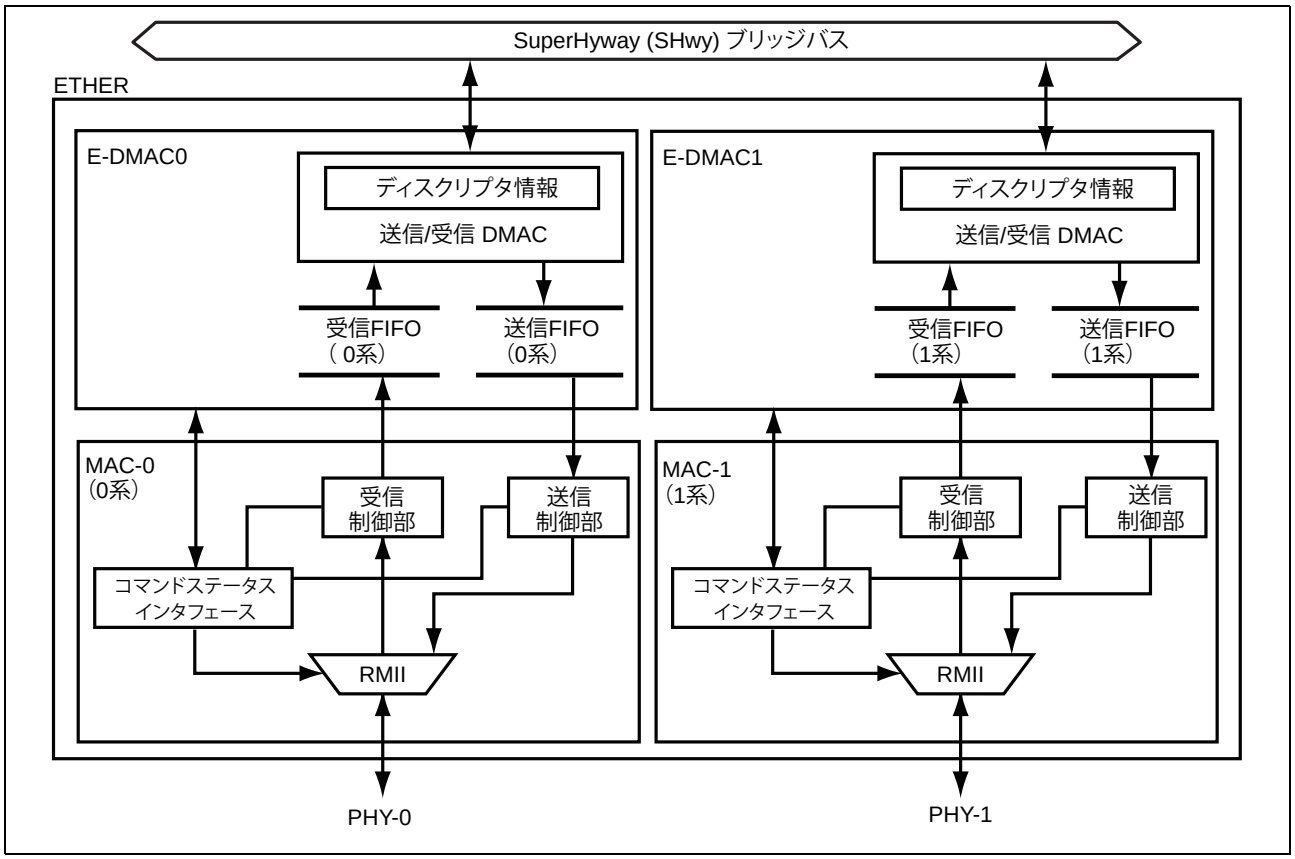


図 24.1　ETHERの構成

24.2 入出力端子

ETHERの端子構成を表24.1に示します。

表24.1 端子構成

系	名称	略称	入出力	機能
0	送受信クロック	RMII0-REFCLK	入力	送受信信号用タイミング参照信号 （RMII0-TXEN、RMII0-TXD1、RMII0-TXD0、RMII0-CRS_DV、RMII0-RXD1、RMII0-RXD0、及びRMII0-RX_ER用）
	送信イネーブル	RMII0-TXEN	出力	RMII0-TXD1及びRMII0-TXD0端子上に送信データが準備できたことを示します
	送信データ	RMII0-TXD1、RMII0-TXD0	出力	2ビットの送信データ用端子
	キャリア検出／データ有効	RMII0-CRS_DV	入力	キャリア検出／受信データ有効信号の入力端子
	受信データ	RMII0-RXD1、RMII0-RXD0	入力	2ビットの受信用入力端子
	受信エラー	RMII0-RX_ER	入力	受信中に発生したエラーを通知する端子
	管理用データクロック	ET0-MDC（注）	出力	MDIOによる情報転送用の参照クロック信号
	管理用データ入出力	ET0-MDIO（注）	入出力	本LSIとPHYとの間で管理情報を交換するための双方向信号
1	送受信クロック	RMII1-REFCLK	入力	送受信信号用タイミング参照信号 （RMII1-TXEN、RMII1-TXD1、RMII1-TXD0、RMII1-CRS_DV、RMII1-RXD1、RMII1-RXD0、及びRMII1-RX_ER用）
	送信イネーブル	RMII1-TXEN	出力	RMII1-TXD1及びRMII1-TXD0端子上に送信データが準備できたことを示します
	送信データ	RMII1-TXD1、RMII1-TXD0	出力	2ビットの送信データ用端子
	キャリア検出／データ有効	RMII1-CRS_DV	入力	キャリア検出／受信データ有効信号の入力端子
	受信データ	RMII1-RXD1、RMII1-RXD0	入力	受信中に発生したエラーを通知する端子
	受信エラー	RMII1-RX_ER	入力	データ受信中に発生したエラー状態を認識
	管理用データクロック	ET1-MDC（注）	出力	MDIOによる転送情報のクロック信号
	管理用データ入出力	ET1-MDIO（注）	入出力	本LSIとPHYとの間で管理情報を交換するための双方向信号

注. MDIO端子、MDC端子はRMII、RGMIIでマルチプレクスされています。詳細は、「24.5 MII レジスタのアクセス方法」を参照してください。

24.3 レジスタの説明

ETHER のレジスタ構成と各処理モードにおけるレジスタの状態を表24.2 に示します。

表24.2　レジスタ構成

系	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
0	ETHERモードレジスタ	ECMR0	R/W	H'FEF0 0100	32	H'0000 0000	H'0000 0000	H'0000 0000
	ETHER ステータスレジスタ	ECSR0	R/W	H'FEF0 0110	32	H'0000 0000	H'0000 0000	H'0000 0000
	ETHER 割り込み許可レジスタ	ECSIPR0	R/W	H'FEF0 0118	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信フレーム長上限レジスタ	RFLR0	R/W	H'FEF0 0108	32	H'0000 0000	H'0000 0000	H'0000 0000
	PHY 部インタフェースレジスタ	PIR0	R/W	H'FEF0 0120	32	H'0000 000X	H'0000 000X	H'0000 000X
	MAC アドレス上位設定レジスタ	MAHR0	R/W	H'FEF0 01C0	32	H'0000 0000	H'0000 0000	H'0000 0000
	MAC アドレス下位設定レジスタ	MALR0	R/W	H'FEF0 01C8	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信リトライオーバカウンタレジスタ	TROCR0	R/W	H'FEF0 01D0	32	H'0000 0000	H'0000 0000	H'0000 0000
	遅延衝突検出カウンタレジスタ	CDCR0	R/W	H'FEF0 01D4	32	H'0000 0000	H'0000 0000	H'0000 0000
	キャリア消失カウンタレジスタ	LCCR0	R/W	H'FEF0 01D8	32	H'0000 0000	H'0000 0000	H'0000 0000
	キャリア未検出カウンタレジスタ	CNDCR0	R/W	H'FEF0 01DC	32	H'0000 0000	H'0000 0000	H'0000 0000
	CRC エラーフレーム受信カウンタレジスタ	CEFCR0	R/W	H'FEF0 01E4	32	H'0000 0000	H'0000 0000	H'0000 0000
	フレーム受信エラーカウンタレジスタ	FRECR0	R/W	H'FEF0 01E8	32	H'0000 0000	H'0000 0000	H'0000 0000
	64 バイト未満フレーム受信カウンタレジスタ	TSFRCR0	R/W	H'FEF0 01EC	32	H'0000 0000	H'0000 0000	H'0000 0000
	指定バイト超フレーム受信カウンタレジスタ	TLFRCR0	R/W	H'FEF0 01F0	32	H'0000 0000	H'0000 0000	H'0000 0000
	端数ビットフレーム受信カウンタレジスタ	RFCR0	R/W	H'FEF0 01F4	32	H'0000 0000	H'0000 0000	H'0000 0000
	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR0	R/W	H'FEF0 01F8	32	H'0000 0000	H'0000 0000	H'0000 0000
	IPG 設定レジスタ	IPGR0	R/W	H'FEF0 0150	32	H'0000 0014	H'0000 0014	H'0000 0014
	自動ポーズフレーム設定レジスタ	APR0	R/W	H'FEF0 0154	32	H'0000 0000	H'0000 0000	H'0000 0000
	手動ポーズフレーム設定レジスタ	MPR0	R/W	H'FEF0 0158	32	H'0000 0000	H'0000 0000	H'0000 0000
	自動ポーズフレーム再送回数設定レジスタ	TPAUSER0	R/W	H'FEF0 0164	32	H'0000 0000	H'0000 0000	H'0000 0000
	乱数生成カウンタ上限値設定レジスタ	RDMLR0	R/W	H'FEF0 0140	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信ポーズフレームカウンタレジスタ	RFCF0	R/W	H'FEF0 0160	32	H'0000 0000	H'0000 0000	H'0000 0000
	ポーズフレーム再送回数設定レジスタ	TPAUSECR0	R/W	H'FEF0 0168	32	H'0000 0000	H'0000 0000	H'0000 0000

系	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
0	ブロードキャストフレーム受信回数設定レジスタ	BCFRR0	R/W	H'FEF0 016C	32	H'0000 0000	H'0000 0000	H'0000 0000
	指定フレーム超ブロードキャスト連続受信カウンタレジスタ	CRBCFRR0	R/W	H'FEF0 0170	32	H'0000 0000	H'0000 0000	H'0000 0000
	送受信レート設定レジスタ	RTRATE0	R/W	H'FEF0 01FC	32	H'0000 0000	H'0000 0000	H'0000 0000
	E-DMAC モードレジスタ	EDMR0	R/W	H'FEF0 0000	32	H'0000 0000	H'0000 0000	H'0000 0000
	E-DMAC 送信要求レジスタ	EDTRR0	R/W	H'FEF0 0008	32	H'0000 0000	H'0000 0000	H'0000 0000
	E-DMAC 受信要求レジスタ	EDRRR0	R/W	H'FEF0 0010	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR0	R/W	H'FEF0 0018	32	H'0000 0000	H'0000 0000	保持
	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR0	R/W	H'FEF0 0020	32	H'0000 0000	H'0000 0000	保持
	ETHER/E-DMAC ステータスレジスタ	EESR0	R/W	H'FEF0 0028	32	H'0000 0000	H'0000 0000	H'0000 0000
	ETHER/E-DMAC ステータス割り込み許可レジスタ	EESIPR0	R/W	H'FEF0 0030	32	H'0000 0000	H'0000 0000	H'0000 0000
	送受信ステータスコピー指示レジスタ	TRSCER0	R/W	H'FEF0 0038	32	H'0000 0000	H'0000 0000	H'0000 0000
	ミスドフレームカウンタレジスタ	RMFCR0	R	H'FEF0 0040	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信FIFO しきい値指定レジスタ	TFTR0	R/W	H'FEF0 0048	32	H'0000 0000	H'0000 0000	H'0000 0000
	FIFO 容量指定レジスタ	FDR0	R/W	H'FEF0 0050	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信方式制御レジスタ	RMCR0	R/W	H'FEF0 0058	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信FIFO アンダランカウントレジスタ	TFUCR0	R/W	H'FEF0 0064	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信FIFO オーバフローカウントレジスタ	RFOCR0	R/W	H'FEF0 0068	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信バッファライトアドレスレジスタ	RBWAR0	R	H'FEF0 00C8	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信ディスクリプタフェッチアドレスレジスタ	RDFAR0	R	H'FEF0 00CC	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信バッファリードアドレスレジスタ	TBRAR0	R	H'FEF0 00D4	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信ディスクリプタフェッチアドレスレジスタ	TDFAR0	R	H'FEF0 00D8	32	H'0000 0000	H'0000 0000	H'0000 0000
	フロー制御開始FIFO しきい値設定レジスタ	FCFTR0	R/W	H'FEF0 0070	32	H'0007 0007	H'0007 0007	H'0007 0007
	受信データパディング挿入設定レジスタ	RPADIR0	R/W	H'FEF0 0078	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信割り込み設定レジスタ	TRIMD0	R/W	H'FEF0 007C	32	H'0000 0000	H'0000 0000	H'0000 0000

系	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
1	ETHER モードレジスタ	ECMR1	R/W	H'FEF0 0900	32	H'0000 0000	H'0000 0000	H'0000 0000
	ETHER ステータスレジスタ	ECSR1	R/W	H'FEF0 0910	32	H'0000 0000	H'0000 0000	H'0000 0000
	ETHER 割り込み許可レジスタ	ECSIPR1	R/W	H'FEF0 0918	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信フレーム長上限レジスタ	RFLR1	R/W	H'FEF0 0908	32	H'0000 0000	H'0000 0000	H'0000 0000
	PHY 部インタフェースレジスタ	PIR1	R/W	H'FEF0 0920	32	H'0000 000X	H'0000 000X	H'0000 000X
	MAC アドレス上位設定レジスタ	MAHR1	R/W	H'FEF0 09C0	32	H'0000 0000	H'0000 0000	H'0000 0000
	MAC アドレス下位設定レジスタ	MALR1	R/W	H'FEF0 09C8	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信リトライオーバカウンタレジスタ	TROCR1	R/W	H'FEF0 09D0	32	H'0000 0000	H'0000 0000	H'0000 0000
	遅延衝突検出カウンタレジスタ	CDCR1	R/W	H'FEF0 09D4	32	H'0000 0000	H'0000 0000	H'0000 0000
	キャリア消失カウンタレジスタ	LCCR1	R/W	H'FEF0 09D8	32	H'0000 0000	H'0000 0000	H'0000 0000
	キャリア未検出カウンタレジスタ	CNDCR1	R/W	H'FEF0 09DC	32	H'0000 0000	H'0000 0000	H'0000 0000
	CRC エラーフレーム受信カウンタレジスタ	CEFCR1	R/W	H'FEF0 09E4	32	H'0000 0000	H'0000 0000	H'0000 0000
	フレーム受信エラーカウンタレジスタ	FRECR1	R/W	H'FEF0 09E8	32	H'0000 0000	H'0000 0000	H'0000 0000
	64 バイト未満フレーム受信カウンタレジスタ	TSFRCR1	R/W	H'FEF0 09EC	32	H'0000 0000	H'0000 0000	H'0000 0000
	指定バイト超フレーム受信カウンタレジスタ	TLFRCR1	R/W	H'FEF0 09F0	32	H'0000 0000	H'0000 0000	H'0000 0000
	端数ビットフレーム受信カウンタレジスタ	RFCR1	R/W	H'FEF0 09F4	32	H'0000 0000	H'0000 0000	H'0000 0000
	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR1	R/W	H'FEF0 09F8	32	H'0000 0000	H'0000 0000	H'0000 0000
	IPG 設定レジスタ	IPGR1	R/W	H'FEF0 0950	32	H'0000 0014	H'0000 0014	H'0000 0014
	自動ポーズフレーム設定レジスタ	APR1	R/W	H'FEF0 0954	32	H'0000 0000	H'0000 0000	H'0000 0000
	手動ポーズフレーム設定レジスタ	MPR1	R/W	H'FEF0 0958	32	H'0000 0000	H'0000 0000	H'0000 0000
	自動ポーズフレーム再送回数設定レジスタ	TPAUSER1	R/W	H'FEF0 0964	32	H'0000 0000	H'0000 0000	H'0000 0000
	乱数生成カウンタ上限値設定レジスタ	RDMLR1	R/W	H'FEF0 0940	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信ポーズフレームカウンタレジスタ	RFCF1	R/W	H'FEF0 0960	32	H'0000 0000	H'0000 0000	H'0000 0000
	ポーズフレーム再送回数設定レジスタ	TPAUSECR1	R/W	H'FEF0 0968	32	H'0000 0000	H'0000 0000	H'0000 0000
	ブロードキャストフレーム受信回数設定レジスタ	BCFRR1	R/W	H'FEF0 096C	32	H'0000 0000	H'0000 0000	H'0000 0000
	指定フレーム超ブロードキャスト連続受信カウンタレジスタ	CRBCFRR1	R/W	H'FEF0 0970	32	H'0000 0000	H'0000 0000	H'0000 0000
	送受信レート設定レジスタ	RTRATE1	R/W	H'FEF0 09FC	32	H'0000 0000	H'0000 0000	H'0000 0000

系	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
1	E-DMAC モードレジスタ	EDMR1	R/W	H'FEF0 0800	32	H'0000 0000	H'0000 0000	H'0000 0000
	E-DMAC 送信要求レジスタ	EDTRR1	R/W	H'FEF0 0808	32	H'0000 0000	H'0000 0000	H'0000 0000
	E-DMAC 受信要求レジスタ	EDRRR1	R/W	H'FEF0 0810	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR1	R/W	H'FEF0 0818	32	H'0000 0000	H'0000 0000	保持
	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR1	R/W	H'FEF0 0820	32	H'0000 0000	H'0000 0000	保持
	ETHER/E-DMAC ステータスレジスタ	EESR1	R/W	H'FEF0 0828	32	H'0000 0000	H'0000 0000	H'0000 0000
	ETHER/E-DMAC ステータス割り込み許可レジスタ	EESIPR1	R/W	H'FEF0 0830	32	H'0000 0000	H'0000 0000	H'0000 0000
	送受信ステータスコピー指示レジスタ	TRSCER1	R/W	H'FEF0 0838	32	H'0000 0000	H'0000 0000	H'0000 0000
	ミスドフレームカウンタレジスタ	RMFCR1	R	H'FEF0 0840	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信FIFO しきい値指定レジスタ	TFTR1	R/W	H'FEF0 0848	32	H'0000 0000	H'0000 0000	H'0000 0000
	FIFO 容量指定レジスタ	FDR1	R/W	H'FEF0 0850	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信方式制御レジスタ	RMCR1	R/W	H'FEF0 0858	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信FIFO アンダランカウントレジスタ	TFUCR1	R/W	H'FEF0 0864	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信FIFO オーバフローカウントレジスタ	RFOCR1	R/W	H'FEF0 0868	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信バッファライトアドレスレジスタ	RBWAR1	R	H'FEF0 08C8	32	H'0000 0000	H'0000 0000	H'0000 0000
	受信ディスクリプタフェッチアドレスレジスタ	RDFAR1	R	H'FEF0 08CC	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信バッファリードアドレスレジスタ	TBRAR1	R	H'FEF0 08D4	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信ディスクリプタフェッチアドレスレジスタ	TDFAR1	R	H'FEF0 08D8	32	H'0000 0000	H'0000 0000	H'0000 0000
	フロー制御開始FIFO しきい値設定レジスタ	FCFTR1	R/W	H'FEF0 0870	32	H'0007 0007	H'0007 0007	H'0007 0007
	受信データパディング挿入設定レジスタ	RPADIR1	R/W	H'FEF0 0878	32	H'0000 0000	H'0000 0000	H'0000 0000
	送信割り込み設定レジスタ	TRIMD1	R/W	H'FEF0 087C	32	H'0000 0000	H'0000 0000	H'0000 0000

24.3.1 ETHER モードレジスタ (ECMR)

ECMR は、読み出し又は書き込み可能な32 ビットのレジスタで、イーサネットコントローラの動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PRCEF	—	—	MPDE	—	—	RE	TE	—	ILB	—	DM	PRM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	—	—	R/W	—	—	R/W	R/W	—	R/W	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 21	—	0	—	リザーブビット
20	TPC	0	R/W	ポーズフレーム送信（注） 0：ポーズ期間中にはポーズフレームを送信しない 1：ポーズ期間中でもポーズフレームを送信する
19	ZPF	0	R/W	0time ポーズフレーム使用許可（注） 0：TIME パラメータが0 のポーズフレーム制御を無効にする Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。 Timer 値の示す時間が0 のポーズフレームを受信した場合、ポーズフレームを破棄します。 1：TIME パラメータが0 のポーズフレーム制御を有効にする Timer 値の示す時間が経過していない状態で、受信FIFO のデータ量がFCFTR 設定値未満になるとTimer 値が0 の自動ポーズフレームを送信します。 Timer 値の示す時間が0 のポーズフレームを受信した場合、送信待ち状態を解除します。
18	PFR	0	R/W	ポーズフレーム受信モード（注） 0：ポーズフレームをE-DMAC へ転送しない 1：ポーズフレームをE-DMAC へ転送する
17	RXF	0	R/W	受信系フロー制御動作モード（注） 0：ポーズフレーム検出機能無効 1：受信フロー制御機能有効
16	TXF	0	R/W	送信系フロー制御動作モード（注） 0：ポーズフレーム検出機能無効 （自動ポーズフレームは送信されません） 1：送信フロー制御機能有効 （必要に応じて自動ポーズフレームが送信されます）
15 ~ 13	—	0	—	リザーブビット
12	PRCEF	0	R/W	CRC エラーフレーム受信許可（注） 0：CRC エラーとなった受信フレームをエラーとする 1：CRC エラーとなった受信フレームをエラーとしない
11、10	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
9	MPDE	0	R/W	マジックパケット検出許可（注） イーサネットからの起動を有効にするため、ハードウェアによるマジックパケットの検出機能を許可するかしないかの選択を行います。 0：マジックパケットの検出を許可しない 1：マジックパケットの検出を許可する
8、7	—	0	—	リザーブビット
6	RE	0	R/W	受信許可 0：受信機能を無効にする （フレーム受信中であれば、当該フレームの受信終了まで受信機能は有効） 1：受信機能を有効にする
5	TE	0	R/W	送信許可 0：送信機能を無効にする （フレーム送信中であれば、当該フレームの送信終了まで送信機能は有効） 1：送信機能を有効にする
4	—	0	—	リザーブビット
3	ILB	0	R/W	内部ループバックモード（注） 0：通常のデータ送受信 1：DM＝1 のとき、E-MAC 内部でループバック
2	—	0	—	リザーブビット
1	DM	0	R/W	転送モード（注） 0：半二重転送モード 1：全二重転送モード
0	PRM	0	R/W	プロミスキャスモード（注） 0：通常動作 1：プロミスキャスモード

注．　これらのビットは、SWRビット（EDMRレジスタのビット0）＝1でETHERをリセット後、送受信無効状態（TEビット＝0、REビット＝0）で設定してください。

24.3.2　ETHER ステータスレジスタ （ECSR）

ECSR は、読み出し又は書き込み可能な32 ビットのレジスタで、ETHER 内のステータスを示します。このレジスタの各ビットが“1”になったとき、ECSIPR レジスタの対応ビットが“1”であれば、割り込み要求が発生します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	BFR	PSRTO	—	—	MPD	ICD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～6	—	0	—	リザーブビット
5	BFR	0	R/W(注1)	ブロードキャストフレーム連続受信割り込み 0：ブロードキャストフレーム連続受信回数がBCFRR レジスタ設定値を超えていない 1：ブロードキャストフレーム連続受信回数がBCFRR レジスタ設定値を超えた
4	PSRTO	0	R/W(注1)	ポーズフレーム送信リトライオーバ 0：ポーズフレーム再送回数が上限値（TPAUSER レジスタ設定値）を超えていない 1：ポーズフレーム再送回数が上限値（TPAUSER レジスタ設定値）を超えた
3、2	—	0	—	リザーブビット
1	MPD	0	R/W(注1)	マジックパケット検出 0：マジックパケット未検出 1：マジックパケット検出
0	ICD	0	R/W(注1)	不正キャリア検出（注2） 0：PHY-LSI による不正キャリア未検出 1：PHY-LSI による不正キャリア検出

注1. “1”を書くと“0”になります。“0”を書いても変化しません。
2. PHY-LSI から入力される信号がソフトウェアの確認時間よりも早く変化するような場合は、正しい情報が得られないことがあります。使用するPHY-LSIのタイミングを確認してください。

24.3.3　ETHER 割り込み許可レジスタ（ECSIPR）

ECSIPR は、読み出し又は書き込み可能な 32 ビットのレジスタで、ECSR レジスタの対応ビットが“1”になったときに割り込み要求を発生させるかどうかを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	BFSIPR	PSRTOIP	—	—	MPDIP	ICDIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 6	—	0	—	リザーブビット
5	BFSIPR	0	R/W	ブロードキャスト フレーム連続受信割り込み許可 0：BFR ＝1のとき割り込みを禁止 1：BFR ＝1のとき割り込みを許可
4	PSRTOIP	0	R/W	ポーズフレーム再送リトライオーバ割り込み許可 0：PRSTO ＝1のとき割り込みを禁止 1：PRSTO ＝1のとき割り込みを許可
3、2	—	0	—	リザーブビット
1	MPDIP	0	R/W	マジックパケット検出割り込み許可 0：MPD ＝1のとき割り込みを禁止 1：MPD ＝1のとき割り込みを許可
0	ICDIP	0	R/W	不正キャリア検出割り込み許可 0：ICD ＝1のとき割り込みを禁止 1：ICD ＝1のとき割り込みを許可

24.3.4　PHY部インタフェースレジスタ（PIR）

PIR は、読み出し又は書き込み可能な32 ビットのレジスタで、RMII を経由したPHY-LSI 内部レジスタ（MII レジスタ）へのアクセスを制御します。このレジスタを使用したMII レジスタへのアクセス方法については、「24.5 MII レジスタのアクセス方法」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	—	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	—	0	—	リザーブビット
3	MDI	—	R	MDIO 端子の入力レベルを示します。 0：L レベル 1：H レベル
2	MDO	0	R/W	MMD ビットが1 のとき、MDIO端子から出力するレベルを設定します。 0：L レベル 1：H レベル
1	MMD	0	R/W	MDIO端子の入出力を設定します。 0：入力（リード） 1：出力（ライト）
0	MDC	0	R/W	MDC端子から出力するレベルを設定します。 0：L レベル 1：H レベル

24.3.5　MACアドレス上位設定レジスタ（MAHR）

MAHR は、読み出し又は書き込み可能な32 ビットのレジスタで、48 ビットの MAC アドレスの上位32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA [47:32]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	MA[47:16]	H'0000 0000	R/W	MAC アドレスの上位32 ビット MAC アドレスが01-23-45-67-89-AB（16 進数表示）である場合、本レジスタにはH'0123 4567 を設定します。

注.　このレジスタは、SWR ビット（EDMR レジスタのビット0）＝1でETHER をリセット後、送受信無効状態（TE ビット＝0、RE ビット＝0）で設定してください。

24.3.6　MACアドレス下位設定レジスタ（MALR）

MALR は、読み出し又は書き込み可能な32 ビットのレジスタで、48 ビットのMAC アドレスの下位16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～ 16	—	0	—	リザーブビット
15～ 0	MA[15:0]	H'0000	R/W	MAC アドレスの下位16 ビット MAC アドレスが01-23-45-67-89-AB（16 進数表示）である場合、本レジスタにはH'0000 89AB を設定します。

注.　このレジスタは、SWR ビット（EDMR レジスタのビット0）＝1でETHER をリセット後、送受信無効状態（TE ビット＝0、RE ビット＝0）で設定してください。

24.3.7　受信フレーム長上限レジスタ（RFLR）

RFLR は、読み出し又は書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RFL[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 12	—	0	—	リザーブビット
11 ～ 0	RFL[11:0]	H'000	R/W	受信フレームデータ長11～0 ここでのフレームデータは、宛先アドレスからCRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。 H'000～H'5EE：1,518 バイト H'5EF：1,519 バイト H'5F0：1,520 バイト ：　： H'7FF：2,047 バイト H'800～H'FFF：2,048 バイト 上記以外：設定禁止

注．　このレジスタは、送受信無効状態（TEビット＝0、REビット＝0）で設定してください。

24.3.8　送信リトライオーバカウンタレジスタ（TROCR）

TROCR は、16 回以内で送信できなかったフレーム数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TROC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	TROC[31:0]	H'0000 0000	R/W（注）	送信リトライオーバカウント 16 回以内で送信できなかったフレーム数を示します。 レジスタの値が、H'FFFF FFFF になるとインクリメントを停止します。

注．　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.9　遅延衝突検出カウンタレジスタ（CDCR）

CDCR は、送信開始以降すべての回線上の遅延衝突回数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	COSDC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	COSDC[31:0]	H'0000 0000	R/W（注）	遅延衝突検出カウント 送信開始からのすべての遅延衝突の回数を示します。 H'FFFF FFFFになるとカウントを停止します。

注．　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.10 キャリア消失カウンタレジスタ（LCCR）

LCCR は、データの送信中にキャリアが消失した回数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LCC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	LCC[31:0]	H'0000 0000	R/W（注）	消失キャリアカウント データ送信中にキャリアが消失した回数を示します。 H'FFFF FFFF になるとカウントを停止します。

注． このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.11 キャリア未検出カウンタレジスタ（CNDCR）

CNDCR は､プリアンブルを送出中にキャリアを検出できなかった回数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNDC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNDC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～ 0	CNDC[31:0]	H'0000 0000	R/W（注）	キャリア未検出カウント キャリアの未検出回数を示します。 H'FFFF FFFF になるとカウントを停止します。

注． このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.12 CRC エラーフレーム受信カウンタレジスタ（CEFCR）

CEFCR は、CRC エラーとなったフレームの受信回数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CEFC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	CEFC[31:0]	H'0000 0000	R/W（注）	CRC エラーフレームカウント CRCエラーとなったフレームの受信回数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.13 フレーム受信エラーカウンタレジスタ（FRECR）

FRECR は、受信エラーとなったフレームの個数を示す32 ビットのカウンタです。RMIIn-RX_ER端子入力（PHY-LSIからのエラー信号入力）の立ち上がりごとにインクリメントします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FREC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FREC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	FREC[31:0]	H'0000 0000	R/W（注）	フレーム受信エラーカウント 受信エラーとなったフレーム数を示します。 RMIIn-RX_ER端子入力の立ち上がりをカウントします。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.14 64バイト未満フレーム受信カウンタレジスタ（TSFRCR）

TSFRCRは、64バイト未満のフレームの受信回数を示す32ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSFC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TSFC[31:0]	H'0000 0000	R/W（注）	64バイト未満フレーム受信カウント 64バイト未満のフレームの受信回数を示します。 H'FFFF FFFFになるとカウントを停止します。

注．　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.15 指定バイト超フレーム受信カウンタレジスタ（TLFRCR）

TLFRCRは、受信フレーム長上限レジスタ（RFLR）で指定した値を超えるフレームの受信回数を示す32ビットのカウンタです。

なお、端数ビットを含むフレームを受信した場合は、このレジスタではなく、端数ビットフレーム受信カウンタレジスタ（RFCR）でカウントされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TLFC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TLFC[31:0]	H'0000 0000	R/W（注）	指定バイト超フレーム受信カウント RFLRレジスタ設定値を超えるフレームの受信回数を示します。 H'FFFF FFFFになるとカウントを停止します。

注．　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.16 端数ビットフレーム受信カウンタレジスタ（RFCR）

RFCR は、8 ビットに満たない端数ビットデータを含むフレームの受信回数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	RFC[31:0]	H'0000 0000	R/W（注）	端数ビットフレーム受信カウント 端数ビットデータを含むフレームの受信回数を示します。 H'FFFF FFFF になるとカウントを停止します。

注．　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.17 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）

MAFCR は、マルチキャストアドレスを指定するフレームの受信回数を示す32 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MAFC [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFC [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	MAFC[31:0]	H'0000 0000	R/W（注）	マルチキャストアドレスフレームカウント マルチキャストフレームの受信回数を示します。 H'FFFF FFFF になるとカウントを停止します。

注．　このレジスタに任意の値を書き込むと、H'0000 0000になります。

24.3.18 IPG 設定レジスタ（IPGR）

IPGR は、IPG（Inter Packet Gap）の値を設定するレジスタです（詳細は「24.4.7 IPG 設定による動作」を参照してください）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	IPG [4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	—	0	—	リザーブビット
4 ～ 0	IPG[4:0]	H'14	R/W	IPG 値 4 ビット時間単位でPG 値を設定します。 H'00：16 ビット時間 H'01：20 ビット時間 ：　： H'14：96 ビット時間 ：　： H'1F：140 ビット時間

注．　このレジスタは、送受信無効状態（TEビット＝0、REビット＝0）で設定してください。

24.3.19 自動ポーズフレーム設定レジスタ（APR）

APR は、自動ポーズフレームのTIME パラメータ値を設定します。

自動ポーズフレームを送信するときに、このレジスタに設定した値をポーズフレームの TIME パラメータとして使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AP [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	AP[15:0]	H'0000	R/W	自動ポーズフレームのTIME パラメータ値 設定値をnとすると、512×nビット時間となります。

24.3.20 手動ポーズフレーム設定レジスタ（MPR）

MPR は、手動ポーズフレームのTIME パラメータ値を設定します。

手動ポーズフレームを送信するときに、このレジスタに設定した値をポーズフレームの TIME パラメータとして使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	MP[15:0]	H'0000	R	手動ポーズフレームのTIME パラメータ値 設定値をnとすると、512×nビット時間となります。

24.3.21 自動ポーズフレーム再送回数設定レジスタ（TPAUSER）

TPAUSER は、自動ポーズフレームの再送回数の上限値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPAUSE [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	TPAUSE[15:0]	H'0000	R/W	自動ポーズフレーム再送回数上限値 H'0000：無制限 H'0001：1 回 ：　： H'FFFF：65535 回

注.　このレジスタは、送受信無効状態（TEビット＝0、REビット＝0）で設定してください。

24.3.22 乱数生成カウンタ上限値設定レジスタ（RDMLR）

RDMLR は乱数生成部で使用しているカウンタの上限値を設定することができるレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RMD [19:16]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMD [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 20	—	0	—	リザーブビット
19～ 0	RMD[19:0]	H'0 0000	R/W	乱数生成部で使用しているカウンタの上限値 H'0000：通常動作での設定値 H'0001～H'FFFF：設定した値が上限値となる

24.3.23 受信ポーズフレームカウンタレジスタ（RFCF）

RFCF はポーズフレームの受信カウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RPAUSE [7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	RPAUSE[7:0]	H'00	R/W	ポーズフレームの受信回数を示します。

24.3.24 ポーズフレーム再送回数カウンタレジスタ（TPAUSECR）

TPAUSECR はポーズフレームの再送回数を示すカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXP [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	TXP[15:0]	H'0000	R/W	ポーズフレームの再送回数を示します。

24.3.25 ブロードキャストフレーム受信回数設定レジスタ（BCFRR）

BCFRR はブロードキャストフレーム連続受信回数を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCF [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	BCF[15:0]	H'0000	R/W	ブロードキャストフレームの連続受信回数設定（注） H'0000：受信回数制限なし H'0001：1 フレーム受信 ：　： H'FFFF：65535 フレーム受信

注．　このビットの設定値を超えて受信した場合は、以降のブロードキャストフレームは破棄されます。

24.3.26 指定フレーム超ブロードキャスト連続受信カウンタレジスタ（CRBCFRR）

CRBCFRR はBCFRR レジスタで設定した値を超えたブロードキャストフレーム連続受信の回数を示す16ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	CNT[15:0]	H'0000	R/W	指定フレーム超ブロードキャスト連続受信カウンタ ブロードキャストフレームの連続受信がBCFRRの設定値を超えた後、ブロードキャストフレーム以外のフレームを受信したときにインクリメントします。

フレーム	B	B	B	B	M	M	B	B	B	M	B	B	B	B	B	M
ブロードキャストフレームの連続受信回数	1	2	3	4	0	0	1	2	3	0	1	2	3	4	5	0
データの受信/破棄	受信	受信	受信	破棄	受信	受信	受信	受信	受信	受信	受信	受信	受信	破棄	破棄	受信
CNT[15:0]値	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	2
				a	b									a	a	b

a ：CRBCFRR（CNT[15:0]）の設定値を超えてブロードキャストフレームを受信したため、データは破棄される

b ：CRBCFRR（CNT[15:0]）の設定値を超えたブロードキャストフレームを連続受信後、ブロードキャストフレーム以外のフレームを受信したため、CNT[15:0] がインクリメントされる

B：ブロードキャストフレーム
M：マルチキャストフレーム

注. 上記は、BCFRR レジスタ＝H'0000 0003 のときの例です。

図 24.2　ブロードキャストフレーム受信とCRBCFRR レジスタ（CNT[15:0] ビット）のカウントの関係

24.3.27 送受信レート設定レジスタ（RTRATE）

RTRATE は、送受信レートを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RTM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	RTM	0	R/W	送受信レート 0: 10 Mbps 1: 100 Mbps

24.3.28 E-DMAC モードレジスタ（EDMR）

EDMR は、読み出し又は書き込み可能な 32 ビットのレジスタで、E-DMAC の動作モードの指定と、ETHERモジュールのリセットを行います。このレジスタの設定は、通常リセット後の初期設定時に行ってください。なお、データ送信中に本レジスタによって ETHER を初期化すると、回線上に異常データを送出する可能性があります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DE	DL1	DL0	—	—	—	SWR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～7	—	0	—	リザーブビット
6	DE	0	R/W	送受信データのエンディアンモード指定（注1、2） 0：ビッグエンディアンモード（ロングワードアクセス） 1：リトルエンディアンモード（ロングワードアクセス）

ビット	ビット名	初期値	R/W	説 明
5、4	DL[1:0]	00	R/W	送受信ディスクリプタ長の指定（注2） 00：16 バイト 01：32 バイト 10：64 バイト 11：設定禁止
3 ～ 1	—	0	—	リザーブビット
0	SWR	0	R/W	ソフトウェアリセット “1”を書くとETHERをリセットします リセットが完了すると、自動的に“0”になります（注3）

注1. 送受信ディスクリプタ、及びレジスタは、ビッグエンディアンモード固定です。
2. これらのビットは、SWRビット＝1でETHERをリセット後、送受信無効状態（TEビット＝0、REビット＝0）で設定してください。
3. このビットを“1”にした後は、Pckの32 サイクル待ってから、ETHERレジスタにアクセスしてください。
なお、0系はEDMR0レジスタのSWRビット、1系はEDMR1レジスタのSWRビットでそれぞれリセットされます。ETHERビット（SRSTR0レジスタのビット1）では、0系及び1系がリセットされます（「17.3.12 ソフトウエアリセットレジスタ0 （SRSTR0）」）。

24.3.29 E-DMAC 送信要求レジスタ（EDTRR）

EDTRR は、読み出し又は書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。このディスクリプタ内の送信ディスクリプタ有効ビットが有効であれば、送信を継続します。また、送信ディスクリプタ有効ビットが無効の場合は、TR ビットが“0”になり、送信DMACが停止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	TR	0	R/W（注）	送信要求 0：送信停止状態 1：送信開始 該当するディスクリプタを読み込み、TACTビット＝1であるフレームを送信します

注． “0”書き込みは無効です（送信は停止しません）。

24.3.30 E-DMAC 受信要求レジスタ（EDRRR）

EDRRR は、読み出し又は書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。E-DMACは、受信要求ビットがセットされると当該受信ディスクリプタを読み込みます。ディスクリプタ内のディスクリプタ有効ビットが有効であれば、ETHERからの受信要求に備えます。受信バッファ分の受信が完了すると、E-DMAC は次のディスクリプタを読み込みフレームの受信に備えます。このとき、受信ディスクリプタの受信ディスクリプタ有効ビットが無効の場合は、RR ビットを"0"にして受信DMAC 動作を停止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	RR	0	R/W	受信要求 0：受信機能無効（注） 1：受信機能有効 受信ディスクリプタを読み込み、E-DMAC 受信可能状態にします

注.　受信ディスクリプタのRACTビット＝0の場合は、自動的に“0”になります。
フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度E-DMAC を受信可能状態とするためには、SWRビット（EDMRレジスタのビット0）によりソフトウェアリセットを実行してください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、REビット（ECMRレジスタのビット6）により受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。

24.3.31 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）

TDLAR は、読み出し又は書き込み可能な32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタの先頭アドレスは、DL ビット（EDMR レジスタのビット5、4）で設定したサイズ境界に設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDLA [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLA [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TDLA[31:0]	H'0000 0000	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定してください。 16 バイト境界：TDLA[3:0]＝0000 32 バイト境界：TDLA[4:0]＝00000 64 バイト境界：TDLA[5:0]＝000000

注.　このレジスタは、TR ビット＝0のときに設定してください。

24.3.32 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）

RDLAR は、読み出し又は書き込み可能な32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタの先頭アドレスは、DL ビット（EDMR レジスタのビット5、4）で設定したサイズ境界に設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDLA [31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLA [15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	RDLA[31:0]	H'0000 0000	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定してください。 16 バイト境界：RDLA[3:0]＝0000 32 バイト境界：RDLA[4:0]＝00000 64 バイト境界：RDLA[5:0]＝000000

注.　このレジスタは、RR ビット＝0のときに設定してください。

24.3.33 ETHER/E-DMAC ステータスレジスタ（EESR）

EESR は、読み出し又は書き込み可能な 32 ビットのレジスタで、ETHER 及び E-DMAC の通信ステータスを示します。このレジスタの各ビットが“1”になったとき、EESIPR レジスタの対応ビットが“1”であれば、割り込み要求を発生します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TWB	—	—	—	TABT	RABT	RFCOF	—	ECI	TC	TDE	TFUF	FR	RDE	RFOF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	—	—	—	R/W	R/W	R/W	—	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
30	TWB	0	R/W （注1）	ライトバック完了 TISビット＝1のとき、TIMビットで指定したタイミングでライトバックが完了すると“1”になります。 0：ライトバック未完了又は送信未指示 1：ライトバック完了
29 ～ 27	—	0	—	リザーブビット
26	TABT	0	R/W （注1）	送信中断検出 フレーム送信時、障害等によりETHERがフレーム送信を中断したことを示します。 0：フレーム送信中断未発生又は送信未指示 1：フレーム送信中断発生
25	RABT	0	R/W （注1）	受信中断検出 フレーム受信時、障害等によりETHERがフレーム受信を中断したことを示します。 0：フレーム受信中断未発生又は受信未指示 1：フレーム受信中断発生
24	RFCOF	0	R/W （注1）	受信フレームカウンタオーバフロー 受信FIFO 内のフレームカウンタがオーバフローしたことを示します。 0：受信フレームカウンタオーバフロー未発生 1：受信フレームカウンタオーバフロー発生
23	—	0	—	リザーブビット
22	ECI	0	R	ETHERステータスレジスタ要因（注2） 0：ETHERステータス割り込み要因未検出 1：ETHERステータス割り込み要因検出
21	TC	0	R/W （注1）	フレーム送信完了 送信ディスクリプタによって指定されたデータをすべてETHERより送信したことを示します。1 フレーム／1 バッファ処理では、1 フレームの送信が完了した場合、また、マルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内のTACTビット＝0の場合に送信完了とみなし、“1”になります。フレーム送信完了後は、E-DMAC は転送状態を当該ディスクリプタにライトバックします。 0：送信未完了又は送信未指示 1：送信完了
20	TDE	0	R/W （注1）	送信ディスクリプタエンプティ マルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMAC が送信ディスクリプタを読み込んだときに、ディスクリプタ内のTACTビット＝1でなかったことを示します。結果として不完全なフレームを送出する場合があります。 0：TACT＝1 を検出 1：TACT＝0 を検出 送信ディスクリプタエンプティ（TDE＝1）が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）に格納されているアドレスからの開始となります。

ビット	ビット名	初期値	R/W	説 明
19	TFUF	0	R/W （注1）	送信FIFO アンダフロー フレームを送信中に送信FIFO にアンダフローが発生したことを示します。回線上には、不完全なデータが送出されます。 0：アンダフロー未発生 1：アンダフロー発生
18	FR	0	R/W （注1）	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1 フレームを受信するたびに“1”になります。 0：フレーム未受信 1：フレーム受信済み
17	RDE	0	R/W （注1）	受信ディスクリプタエンプティ 受信ディスクリプタエンプティ（RDE＝1）が発生した場合は、当該受信ディスクリプタをRACT＝1 に設定し受信起動をかけることで、受信を再開することができます。 0：RACT＝1 を検出 1：RACT＝0 を検出
16	RFOF	0	R/W （注1）	受信FIFO オーバフロー フレームを受信中に受信FIFO がオーバフローしたことを示します。 0：オーバフロー未発生 1：オーバフロー発生
15 ～ 12	—	0	—	リザーブビット
11	CND	0	R/W （注1）	キャリア未検出 キャリアの検出状態を示します。 0：送信開始時にキャリア検出 1：キャリア未検出
10	DLC	0	R/W （注1）	キャリア消失検出 フレーム送信中のキャリア消失を検出したことを示します。 0：キャリア消失未検出 1：キャリア消失検出
9	CD	0	R/W （注1）	遅延衝突検出 フレーム送信中に遅延衝突を検出したことを示します。 0：遅延衝突未検出 1：遅延衝突検出
8	TRO	0	R/W （注1）	送信リトライオーバ ETHERが送信を開始後、バックオフアルゴリズムに基づく15 回の再送をあわせ全部で16 回の送信試行に失敗（リトライオーバが発生）したことを示します。 0：送信リトライオーバ未検出 1：送信リトライオーバ検出
7	RMAF	0	R/W （注1）	マルチキャストアドレスフレーム受信 0：マルチキャストアドレスフレーム未受信 1：マルチキャストアドレスフレーム受信
6、5	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
4	RRF	0	R/W（注）	端数ビットフレーム受信 0：端数ビットフレーム未受信 1：端数ビットフレーム受信
3	RTLF	0	R/W（注）	ロングフレーム受信エラー ETHERのRFLRで設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0：ロングフレーム未受信 1：ロングフレーム受信
2	RTSF	0	R/W（注）	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0：ショートフレーム未受信 1：ショートフレーム受信
1	PRE	0	R/W（注）	PHY-LSI 受信エラー 0：PHY-LSI 受信エラー未検出 1：PHY-LSI 受信エラー検出
0	CERF	0	R/W（注）	受信フレームCRC エラー 0：CRC エラー未検出 1：CRC エラー検出

注1. “1”を書くと“0”になります。“0”を書いても変化しません。
2. ECSR レジスタの要因がすべて“0”になると、このビットが“0”になります。

24.3.34 ETHER/E-DMAC ステータス割り込み許可レジスタ（EESIPR）

EESIPR は、読み出し又は書き込み可能な32 ビットのレジスタで、EESR レジスタの対応ビットが“1”になったときに割り込み要求を発生させるかどうかを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TWBIP	—	—	—	TABTIP	RABTIP	RFCOFIP	—	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	—	—	—	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CNDIP	DLCIP	CDIP	TROIP	RMAFIP	—	—	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	—	0	—	リザーブビット
30	TWBIP	0	R/W	ライトバック完了割り込み許可 0：ライトバック完了割り込み禁止 1：ライトバック完了割り込み許可
29 ～ 27	—	0	—	リザーブビット
26	TABTIP	0	R/W	送信中断検出割り込み許可 0：送信中断検出割り込み禁止 1：送信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0：受信中断検出割り込み禁止 1：受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバフロー割り込み許可 0：受信フレームカウンタオーバフロー割り込み禁止 1：受信フレームカウンタオーバフロー割り込み許可
23	—	0	—	リザーブビット
22	ECIIP	0	R/W	ETHERステータスレジスタ要因割り込み許可 0：ETHERステータス割り込み禁止 1：ETHERステータス割り込み許可
21	TCIP	0	R/W	フレーム送信完了割り込み許可 0：フレーム送信完了割り込み禁止 1：フレーム送信完了割り込み許可
20	TDEIP	0	R/W	送信ディスクリプタエンプティ割り込み許可 0：送信ディスクリプタエンプティ割り込み禁止 1：送信ディスクリプタエンプティ割り込み許可
19	TFUFIP	0	R/W	送信FIFO アンダフロー割り込み許可 0：アンダフロー割り込み禁止 1：アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0：フレーム受信割り込み禁止 1：フレーム受信割り込み許可

ビット	ビット名	初期値	R/W	説 明
17	RDEIP	0	R/W	受信ディスクリプタエンプティ割り込み許可 0：受信ディスクリプタエンプティ割り込み禁止 1：受信ディスクリプタエンプティ割り込み許可
16	RFOFIP	0	R/W	受信FIFO オーバフロー割り込み許可 0：オーバフロー割り込み禁止 1：オーバフロー割り込み許可
15 ～ 12	—	0	—	リザーブビット
11	CNDIP	0	R/W	キャリア未検出割り込み許可 0：キャリア未検出割り込み禁止 1：キャリア未検出割り込み許可
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 0：キャリア消失検出割り込み禁止 1：キャリア消失検出割り込み許可
9	CDIP	0	R/W	遅延衝突検出割り込み許可 0：遅延衝突割り込み禁止 1：遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバ割り込み許可 0：送信リトライオーバ割り込み禁止 1：送信リトライオーバ割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0：マルチキャストアドレスフレーム受信割り込み禁止 1：マルチキャストアドレスフレーム受信割り込み許可
6、5	—	0	—	リザーブビット
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0：端数ビットフレーム受信割り込み禁止 1：端数ビットフレーム受信割り込み許可
3	RTLFIP	0	R/W	ロングフレーム受信エラー割り込み許可 0：ロングフレーム受信エラー割り込み禁止 1：ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0：ショートフレーム受信エラー割り込み禁止 1：ショートフレーム受信エラー割り込み許可
1	PREIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0：PHY-LSI 受信エラー割り込み禁止 1：PHY-LSI 受信エラー割り込み許可
0	CERFIP	0	R/W	受信フレームCRC エラー割り込み許可 0：CRC エラー割り込み禁止 1：CRC エラー割り込み許可

24.3.35 送受信ステータスコピー指示レジスタ（TRSCER）

TRSCER は、RMAF ビット又は RRF ビット（EESR レジスタのビット 7、4）の値を当該ディスクリプタの RFE に反映するかどうかを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RMAFCE	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7	RMAFCE	0	R/W	RMAF ビットコピー 0：RMAF ビットのステータスを受信ディスクリプタの RFS7 ビットに反映する。 1：RMAF ビットのステータスを受信ディスクリプタの RFS7 ビットに反映しない。
6～0	—	0	—	リザーブビット

24.3.36 ミスドフレームカウンタレジスタ（RMFCR）

RMFCR は、受信FIFOオーバフロー後に受信したため、受信FIFOに格納されずに廃棄されたフレーム数を示す16 ビットのカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15～ 0	MFC[15:0]	H'0000	R（注）	ミスドフレームカウンタ 受信FIFOに格納しきれずに廃棄されたフレーム数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタを読み出すと、H'0000になります。

24.3.37 送信FIFO しきい値指定レジスタ（TFTR）

TFTR は、読み出し又は書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信FIFO のしきい値を指定します。送信FIFO 内のデータ数がこのレジスタで指定されたバイト数を越えるか、送信FIFO がフル、又は1 フレーム分のデータ書き込みが行われると送信が開始されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TFT[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 11	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
10 ～ 0	TFT[10:0]	H'000	R/W	送信FIFO しきい値（注1） H'000：ストア＆フォワードモード H'001～H'00C：設定禁止 H'00D：52 バイト H'00E：56 バイト ：　： H'01F：124 バイト H'020：128 バイト ：　： H'03F：252 バイト H'040：256 バイト ：　： H'07F：508 バイト H'080：512 バイト ：　： H'0FF：1020 バイト H'100：1024 バイト ：　： H'1FF：2044 バイト H'200：2048 バイト H'201 ～ H'7FF：設定禁止

注1. FDR レジスタで設定したFIFO容量より小さい値を設定してください。
2. 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合は、アンダフローが発生しないようにしてください。
3. このレジスタは、TR ビット＝0のときに設定してください。

24.3.38 FIFO 容量指定レジスタ（FDR）

FDR は、読み出し又は書き込み可能な 32 ビットのレジスタで、送信及び受信 FIFO の容量を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TFD[4:0]					—	—	—	RFD[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～13	—	0	—	リザーブビット
12～8	TFD[4:0]	00000	R/W	送信FIFO 容量 00000：256 バイト 00001：512 バイト 00010：768 バイト 00011：1024 バイト 00100：1280 バイト 00101：1536 バイト 00110：1792 バイト 00111：2048 バイト 上記以外：設定禁止
7～5	—	0	—	リザーブビット
4～0	RFD[4:0]	00000	R/W	受信FIFO 容量 00000：256 バイト 00001：512 バイト 00010：768 バイト 00011：1024 バイト 00100：1280 バイト 00101：1536 バイト 00110：1792 バイト 00111：2048 バイト 上記以外：設定禁止

注.　このレジスタは、TR ビット＝0かつRR ビット＝0のときに設定してください。

24.3.39 受信方式制御レジスタ（RMCR）

RMCR は、読み出し又は書き込み可能な32 ビットのレジスタで、フレームを受信するときのRR ビット（EDRRR レジスタのビット0）の制御方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNC	RNR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 2	—	0	—	リザーブビット
1	RNC	0	R/W	RR ビットリセットモード 0：RACT＝0のとき、RR ビットを自動的に“0”にする 1：RACT＝0のとき、RR ビットを自動的に“0”にしない（連続受信）
0	RNR	0	R/W	受信起動ビットリセット 0：1フレーム受信完了時、RR ビットを自動的に“0”にする（1フレーム単位の受信） 1：1フレーム受信完了時、RR ビットを自動的に“0”にしない（連続受信）

24.3.40 送信FIFO アンダランカウント（TFUCR）

送信FIFO がアンダフローした回数を示すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UNDER[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
15 ～0	UNDER[15:0]	H'0000	R/W（注）	送信FIFO アンダフロー数 送信FIFOがアンダフローした回数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタに任意の値を書き込むと、H'0000になります。

24.3.41 受信FIFO オーバフローカウント（RFOCR）

受信FIFO がオーバフローした回数を示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVER[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 0	OVER[15:0]	H'0000	R/W（注）	受信FIFO オーバフロー数 受信FIFOがオーバフローした回数を示します。 H'FFFF FFFF になるとカウントを停止します。

注.　このレジスタに任意の値を書き込むと、H'0000になります。

24.3.42 受信バッファライトアドレスレジスタ（RBWAR）

RBWARは、E-DMACが受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを示します。このレジスタに表示されるアドレスをモニタすることにより、E-DMACが受信バッファ内のどの辺のアドレスに対して処理を実行しているかを確認できます。ただし、E-DMACが実行しているバッファライト処理対象アドレスとレジスタ読み出し値が一致していない場合もあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PBWA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBWA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～0	RBWA[31:0]	H'0000 0000	R	受信バッファライトアドレス 書き込み対象受信バッファアドレスを示します。

24.3.43 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）

RDFARは、E-DMACが受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを示します。このレジスタに表示されるアドレスをモニタすることにより、E-DMACがどの辺の受信ディスクリプタ情報をもとに処理を実行しているかを確認できます。ただし、E-DMACが実行しているディスクリプタフェッチ処理対象アドレスとレジスタ読み出し値が一致していない場合もあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～0	RDFA[31:0]	H'0000 0000	R	受信ディスクリプタフェッチアドレス フェッチ対象受信ディスクリプタ先頭アドレスを示します。

24.3.44 送信バッファリードアドレスレジスタ（TBRAR）

TBRAR は、E-DMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを示します。このレジスタに表示されるアドレスをモニタすることにより、E-DMAC が送信バッファ内のどの辺のアドレスに対して処理を実行しているかを確認できます。ただし、E-DMAC が実行しているバッファリード処理対象アドレスとレジスタ読み出し値が一致していない場合もあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TBRA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TBRA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～0	TBRA[31:0]	H'0000 0000	R	送信バッファリードアドレス 読み出し対象送信バッファアドレスを示します。

24.3.45 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）

TDFAR は、E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを示します。このレジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の送信ディスクリプタ情報をもとに処理を実行しているか認識できます。ただし、E-DMAC が実行しているディスクリプタフェッチ処理対象アドレスとレジスタ読み出し値が一致していない場合もあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TDFA[31:0]	H'0000 0000	R	送信ディスクリプタフェッチアドレス フェッチ対象送信ディスクリプタ先頭アドレスを示します。

24.3.46 フロー制御開始FIFO しきい値設定レジスタ（FCFTR）

FCFTR は、読み出し又は書き込み可能な32 ビットのレジスタで、ETHERのフロー制御の設定（自動ポーズ送信のしきい値設定）を行います。受信 FIFO データ容量しきい値（RFDO2 ～ RFDO0）、受信フレーム数しきい値（RFFO2～RFFO0）をそれぞれ設定でき、いずれかのしきい値が満たされたとき、フロー制御を開始します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFO[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDO[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 19	—	0	—	リザーブビット
18 ～ 16	RFFO[2:0]	111	R/W	受信フレーム数しきい値 000：受信フレームを受信FIFO 内に2 フレーム格納完了時 001：受信フレームを受信FIFO 内に4 フレーム格納完了時 010：受信フレームを受信FIFO 内に6 フレーム格納完了時 ： 110：受信フレームを受信FIFO 内に14 フレーム格納完了時 111：受信フレームを受信FIFO 内に16 フレーム格納完了時
15 ～ 3	—	0	—	リザーブビット
2 ～ 0	RFDO[2:0]	111	R/W	受信FIFO データ容量しきい値（注） 000：受信FIFO 内に256－32 バイトのデータ容量を格納時 001：受信FIFO 内に512－32 バイトのデータ容量を格納時 ： 110：受信FIFO 内に1792－32 バイトのデータ容量を格納時 111：受信FIFO 内に2048－64 バイトのデータ容量を格納時

注.　RFDO[2:0]ビットの設定値は、RFD[4:0]ビット（FDRレジスタのビット4～0）の設定値以下としてください。なお、RFD[4:0]ビットの設定値と同じ値を設定する場合は、「－32」が「－64」となります。

24.3.47 受信データパディング挿入設定レジスタ（RPADIR）

RPADIR は、読み出し又は書き込み可能な32 ビットのレジスタで、受信データに対するパディング挿入を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PADS[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PADR[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 18	—	0	—	リザーブビット
17、16	PADS[1:0]	00	R/W	パディングサイズ 00：パディング挿入なし 01：1 バイト挿入 10：2 バイト挿入 11：3 バイト挿入
15 ～6	—	0	—	リザーブビット
5 ～ 0	PADR[5:0]	H'00	R/W	パディング範囲 H'00：受信データの1 バイト目の直前にパディングサイズ分挿入 H'01：受信データの2 バイト目の直前にパディングサイズ分挿入 ： H'3E：受信データの63 バイト目の直前にパディングサイズ分挿入 H'3F：受信データの64 バイト目の直前にパディングサイズ分挿入

注.　このレジスタは、SWR ビット（EDMR レジスタのビット0）でリセット後、再設定してください。

24.3.48 送信割り込み設定レジスタ（TRIMD）

TRIMD は、読み出し又は書き込み可能な32 ビットのレジスタで、送信動作時にフレームごとのライトバック完了をTWB ビット（EESR レジスタのビット30）に反映するかどうかを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TIM	—	—	—	TIS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 5	—	0	—	リザーブビット
4	TIM	0	R/W	ライトバック完了割り込みモード 0：毎送信フレームモード 各送信フレームのライトバック完了時に割り込み要求発生 1：ライトバック完了モード TWBI ビット＝1である送信ディスクリプタへのライトバック完了時に割り込み要求発生
3～ 1	—	0	—	リザーブビット
0	TIS	0	R/W	ライトバック完了割り込み設定 0：ライトバック完了割り込み無効 TIM ビットで指定したモードの割り込み要求を発生しない 1：ライトバック完了割り込み有効 TIMビットで指定したモードの条件が成立したときに、TWB ビットを“1”にする

24.4　動作説明

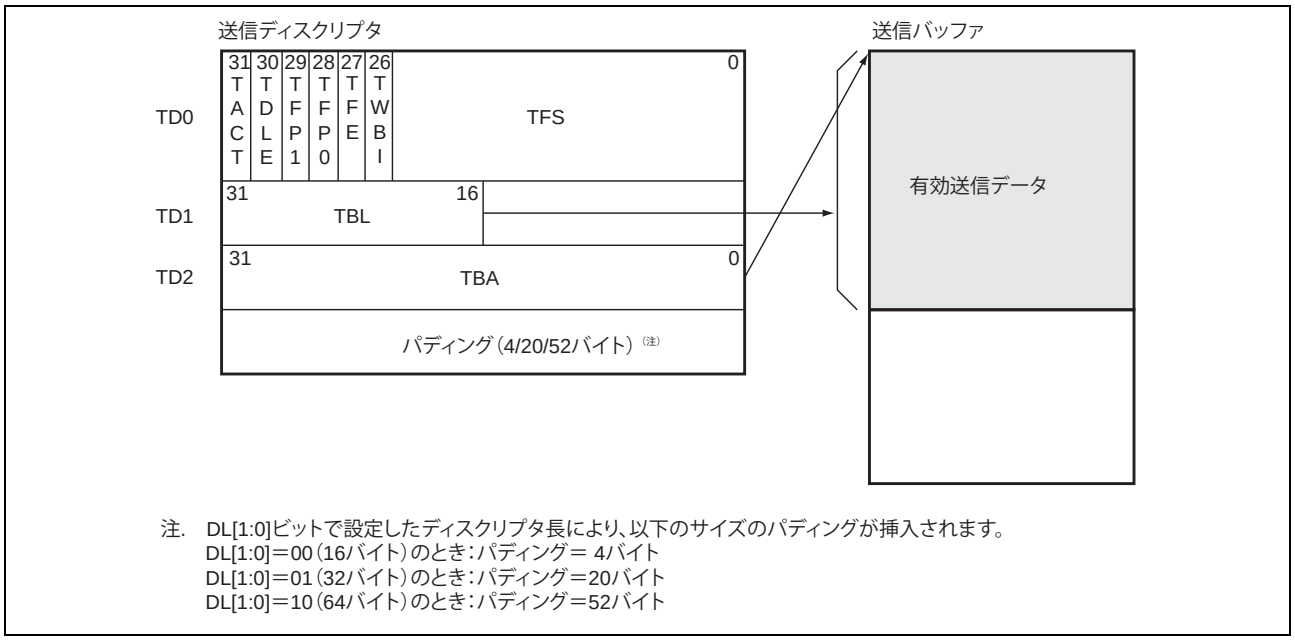
24.4.1　ディスクリプタリスト

E-DMAC は、メモリ空間上に書き込まれたディスクリプタと呼ぶ情報（データ）に従ってDMA 転送を行います。このため、プログラムで送受信を開始する前に、E-DMACが参照する情報を送信／受信ディスクリプタリストとしてメモリ上に作成する必要があります。このディスクリプタリストの先頭アドレスは、送信／受信ディスクリプタリスト先頭アドレスレジスタに設定してください。

(1)　送信ディスクリプタ

図24.3 に送信ディスクリプタと送信バッファの関係を示します。

このディスクリプタの指示により、送信フレームと送信バッファの構成を1 フレーム／1 バッファ又は1 フレーム／マルチバッファのように関連付けることが可能です。



注.　DL[1:0]ビットで設定したディスクリプタ長により、以下のサイズのパディングが挿入されます。
DL[1:0]＝00（16バイト）のとき：パディング＝ 4バイト
DL[1:0]＝01（32バイト）のとき：パディング＝20バイト
DL[1:0]＝10（64バイト）のとき：パディング＝52バイト

図 24.3　送信ディスクリプタと送信バッファの関係

（a） 送信ディスクリプタ0（TD0）

TD0は、送信フレームのステータスを示します。

ビット：	31 (注)	30	29	28	27 (注)	26	25	24	23	22	21	20	19	18	17	16
	TACT	TDLE	TFP[1:0]		TFE	TWBI	TFS									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFS															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注. ライトバックされるビットです。

ビット	ビット名	初期値	R/W	説 明
31	TACT（注1）	0	R/W	送信ディスクリプタ有効（注2） 0：送信ディスクリプタ無効 1：送信ディスクリプタ有効
30	TDLE	0	R/W	送信ディスクリプタリング最終 0：当該ディスクリプタがディスクリプタリングの最終でない 1：当該ディスクリプタがディスクリプタリングの最終である
29、28	TFP[1:0]	00	R/W	送信フレーム内位置 送信バッファと送信フレームの関連づけを行います。前後のディスクリプタにおいて、本ビット及びTBL ビット（送信ディスクリプタ1のビット31～16）の設定は、理論的に正しい関係を維持してください。 00：本ディスクリプタで指示する送信バッファのフレーム送信を維持する（フレームを完結しない） 01：本ディスクリプタで指示する送信バッファはフレームの最後を含む（フレームを完結する） 10：本ディスクリプタで指示する送信バッファはフレームの先頭である（フレームを完結しない） 11：本ディスクリプタで指示する送信バッファの内容が1 フレームに相当する（1 フレーム／1 バッファ）
27	TFE（注1）	0	R/W	送信フレームエラー TFS25～ TFS0に示す送信フレームステータスのいずれかのビットがセットされていることを示します。 0：送信エラーなし 1：送信エラーあり
26	TWBI	0	R/W	ライトバック完了後割り込み指示（注3） このビットを“1”にすると、このディスクリプタへのライトバック完了時に割り込み要求が発生します。

ビット	ビット名	初期値	R/W	説 明
25 ～ 0	TFS	H'000 0000	R/W	送信フレームステータス フレーム送信中のエラーステータスを表示します。 TFS25～9：リザーブビット TFS8：送信アボート検出 （TFS3～0 のいずれかのビットがセットされたことを示します） TFS7～4：リザーブビット TFS3：ノーキャリア検出（CNDビット（EESRレジスタのビット11）に相当） TFS2：キャリア消失検出（DLCビット（EESRレジスタのビット10）に相当） TFS1：送信中の遅延衝突検出（CDビット（EESRレジスタのビット9）に相当） TFS0：送信リトライオーバ（TROビット（EESRレジスタのビット8）に相当）

注1.　ライトバックされるビットです。
2.　1フレームの送信が完了したとき、又は何らかの要因により送信がアボートされたときに、自動的に“0”になります。
3.　このビットは、TIMビット＝1のときのみ有効です。

（b）　送信ディスクリプタ1（TD1）

TD1 には、送信バッファ長を設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TBL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	TBL	H'0000	R/W	送信バッファ長 対象となる送信バッファの有効バイト長を設定してください。(注)
15～ 0	—	0	—	リザーブビット

注．　0バイトは設定しないでください。

（c） 送信ディスクリプタ2（TD2）

TD2には、送信バッファの先頭アドレスを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

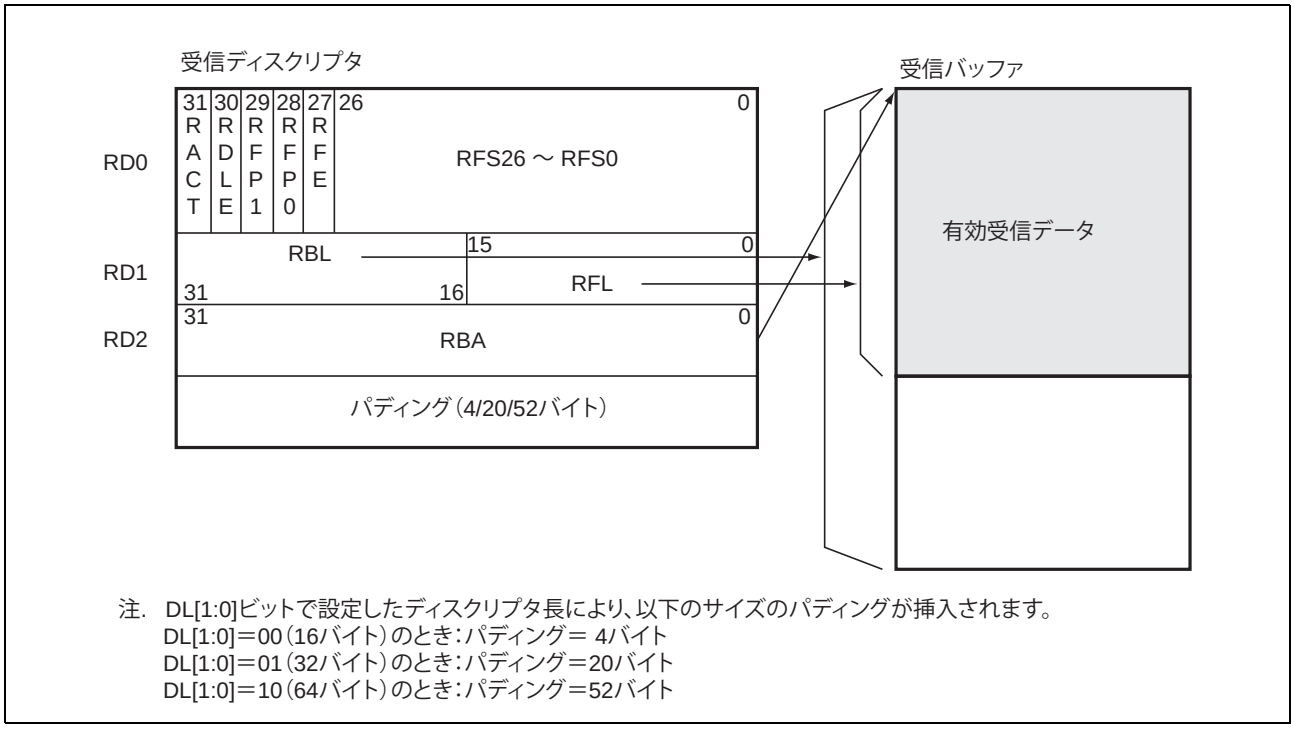
ビット	ビット名	初期値	R/W	説 明
31 ～ 0	TBA	H'0000 0000	R/W	送信バッファアドレス 送信バッファの先頭アドレスを設定してください。(注)

注. 送信バッファ長（TBL設定値）を1 ～ 16 バイトに設定した場合は、32 バイト境界のアドレスを設定してください。

(2) 受信ディスクリプタ

図24.4に受信ディスクリプタと受信バッファの関係を示します。

すべての受信フレームを1バッファに収めることができます。

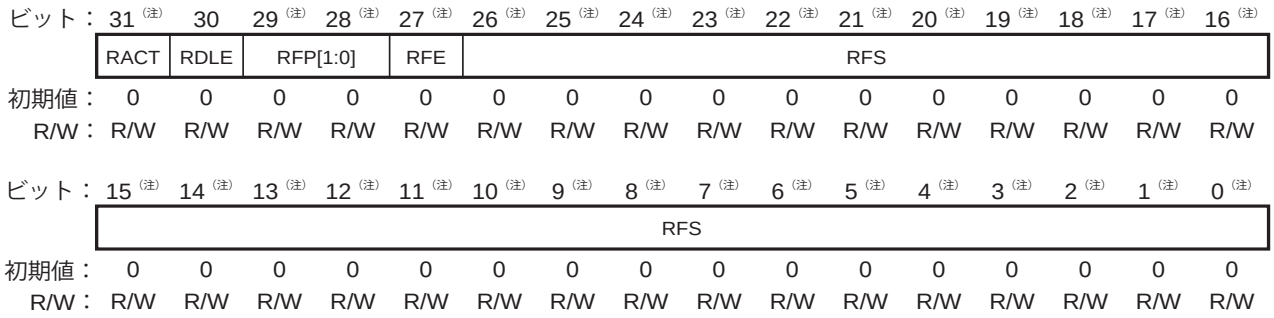


注. DL[1:0]ビットで設定したディスクリプタ長により、以下のサイズのパディングが挿入されます。
DL[1:0]＝00（16バイト）のとき：パディング＝ 4バイト
DL[1:0]＝01（32バイト）のとき：パディング＝20バイト
DL[1:0]＝10（64バイト）のとき：パディング＝52バイト

図 24.4　受信ディスクリプタと受信バッファの関係

（a） 受信ディスクリプタ0（RD0）

RD0は、受信フレームのステータスを示します。



注. ライトバックされるビットです。

ビット	ビット名	初期値	R/W	説 明
31	RACT（注1）	0	R/W	受信ディスクリプタ有効（注2） 0：受信ディスクリプタ無効 1：受信ディスクリプタ有効
30	RDLE	0	R/W	受信ディスクリプタリング最終 0：当該ディスクリプタがディスクリプタリングの最終でない 1：当該ディスクリプタがディスクリプタリングの最終である
29、28	RFP[1:0]（注1）	00	R/W	受信フレーム内位置 受信バッファと受信フレームの関連づけを行います。 00：本ディスクリプタで指示する受信バッファのフレーム受信を維持する（フレームを完結しない） 01：本ディスクリプタで指示する受信バッファはフレームの最後を含む（フレームを完結する） 10：本ディスクリプタで指示する受信バッファはフレームの先頭である（フレームを完結しない） 11：本ディスクリプタで指示する受信バッファの内容が1フレームに相当する（1フレーム/1バッファ）
27	RFE（注1）	0	R/W	受信フレームエラー RFS26～RFS0に示す受信フレームステータスのいずれかのビットがセットされていることを示します。 0：受信エラーなし 1：受信エラーあり

ビット	ビット名	初期値	R/W	説 明
26 ～ 0	RFS（注1）	H'000 0000	R/W	受信フレームステータス（注3） フレーム受信中のエラーステータスを表示します。 RFS26～10：リザーブビット RFS9：受信FIFO オーバフロー（RFOFビット（EESRレジスタのビット16）に相当） RFS8：アボート検出 （RFS9、RFS7、及びRFS4～RFS0のいずれかのビットがセットされたことを示します） RFS7：マルチキャストアドレスフレームを受信 （RMAFビット（EESRレジスタのビット7）に相当） RFS6、5：リザーブビット RFS4：端数ビットフレーム受信エラー （RRFビット（EESRレジスタのビット4）に相当） RFS3：ロングフレーム受信エラー （RTLFビット（EESRレジスタのビット3）に相当） RFS2：ショートフレーム受信エラー （RTSFビット（EESRレジスタのビット2）に相当） RFS1：PHY-LSI 受信エラー（PREビット（EESRレジスタのビット1）に相当） RFS0：受信フレームCRC エラー検出 （CERFビット（EESRレジスタのビット0）に相当）

注1. ライトバックされるビットです。
2. 受信フレームすべてを受信バッファに転送完了したとき、又は受信バッファがフルになったときに、自動的に“0”になります。
3. RFS7ビットには、RMAFCEビット＝0のとき、RMAFビットの内容が反映されます。

（b） 受信ディスクリプタ1（RD1）

RD1には、受信バッファ長を設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15 (注)	14 (注)	13 (注)	12 (注)	11 (注)	10 (注)	9 (注)	8 (注)	7 (注)	6 (注)	5 (注)	4 (注)	3 (注)	2 (注)	1 (注)	0 (注)
	RFL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注. ライトバックされるビットです。

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	RBL	H'0000	R/W	受信バッファ長 対象となる受信バッファの有効バイト数（32×n：n＝1、2、・・・）を設定してください。(注2)
15～ 0	RFL（注1）	H'0000	R	受信フレーム長 バッファ内に格納された受信フレームのバイト数を示します。 RPADIR ビットで指定されたパディング分のバイト数は含みません。フレームの最後を含むディスクリプタにライトバックされます。

注1. ライトバックされるビットです。

2. 1フレーム／1バッファ（ディスクリプタ）の場合は、受信フレーム長が最大1514バイト（CRCデータ除く）となるため、これの16バイト境界である1520バイト（H'05F0）を設定してください。

（c） 受信ディスクリプタ2（RD2）

RD2には、受信バッファの先頭アドレスを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

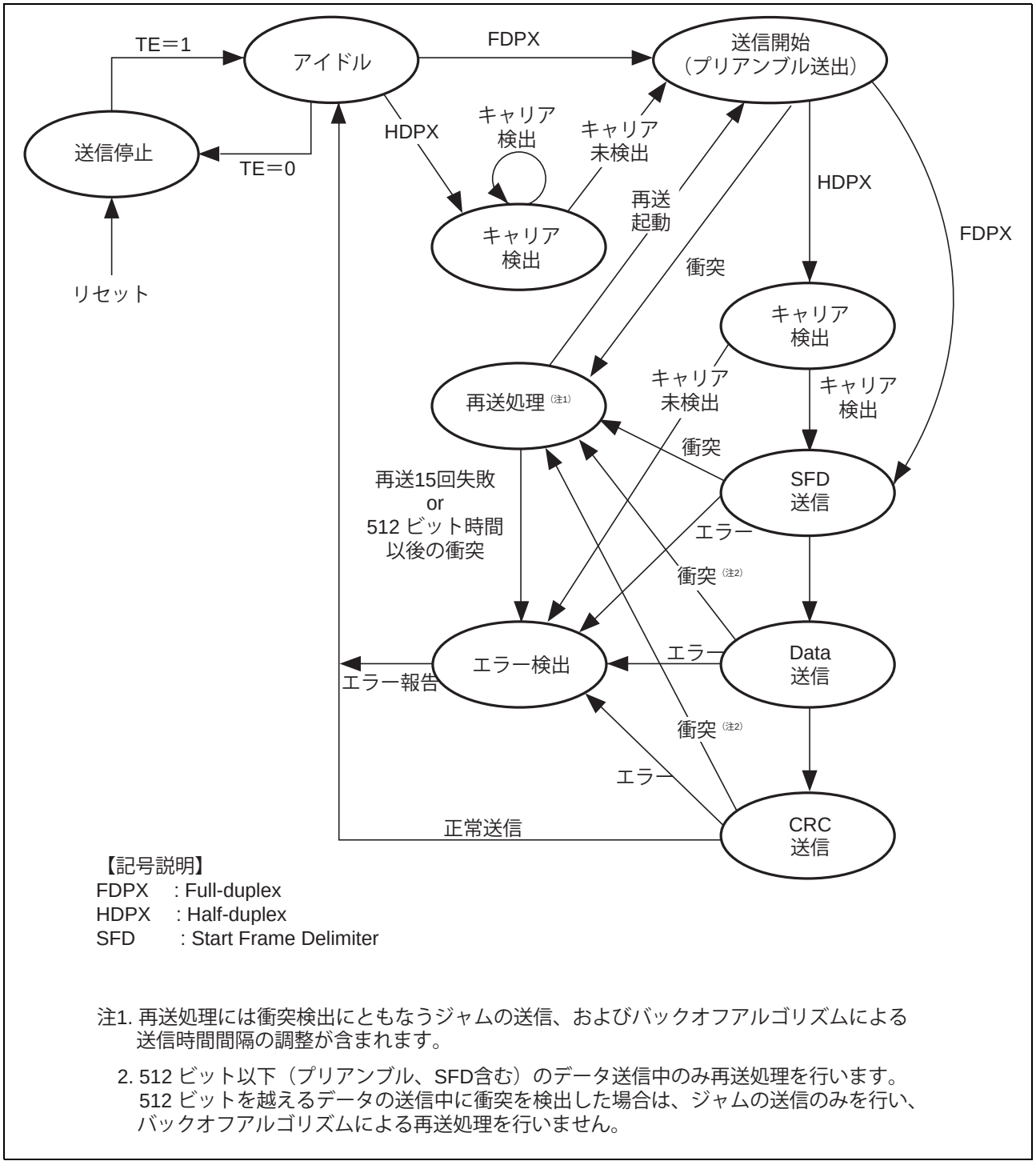
ビット	ビット名	初期値	R/W	説 明
31 ～ 0	RBA	H'0000 0000	R/W	受信バッファ先頭アドレス 受信バッファの先頭アドレスを設定してください。(注)

注． 32バイト境界のアドレスを設定してください。

24.4.2　送信機能

(1)　ETHER 送信動作

ETHER 送信部は、送信E-DMAC から送信要求があると、送信データをフレームに組み立ててRMII に出力します。RMII を経由した送信データは、PHY-LSI によって回線上に送出されます。ETHER 送信部状態遷移図を図24.5 に示します。



【記号説明】
FDPX　: Full-duplex
HDPX　: Half-duplex
SFD　　: Start Frame Delimiter

注1. 再送処理には衝突検出にともなうジャムの送信、およびバックオフアルゴリズムによる送信時間間隔の調整が含まれます。

2. 512 ビット以下（プリアンブル、SFD含む）のデータ送信中のみ再送処理を行います。512 ビットを越えるデータの送信中に衝突を検出した場合は、ジャムの送信のみを行い、バックオフアルゴリズムによる再送処理を行いません。

図 24.5　ETHER送信部状態遷移図

1. TEビット（ECMRレジスタのビット5）が“1”になると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があるとETHERは、フレーム間隔時間の送信延期を経てプリアンブルをRMIIに送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACがフレーム送信完了割り込み（TC）を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を継続します。

(2) E-DMAC 送信動作

送信機能が有効でTEビット（ECMRレジスタのビット5）が”1”の時にTRビット（EDTRRレジスタのビット0）を“1”にすると、E-DMACは送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初期状態では送信ディスクリプタ先頭アドレスレジスタ（TDLAR）で示すディスクリプタ）を読み込みます。読み込んだディスクリプタのTACT ビットが有効な場合は、E-DMAC はTD2で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出してETHER に転送します。ETHERは送信フレームを作成しRMII へ向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分のDMA 転送後、TFP の値によって以下のような処理を行います。

1. TFP＝00 or 10（フレーム継続）：
   DMA転送後、ディスクリプタのライトバック（TACTビット）を行います。
2. TFP＝01 or 11（フレーム終了）：
   フレームの送信完了後、ディスクリプタのライトバック（TACTビット及びステータス）を行います。

読み込んだディスクリプタの TACT ビットが有効な間は、E-DMAC ディスクリプタの読み込みとフレームの送信を継続します。TACT ビットが無効なディスクリプタを読み込むと、E-DMAC はTR ビットを“0”にして送信処理を完了します。

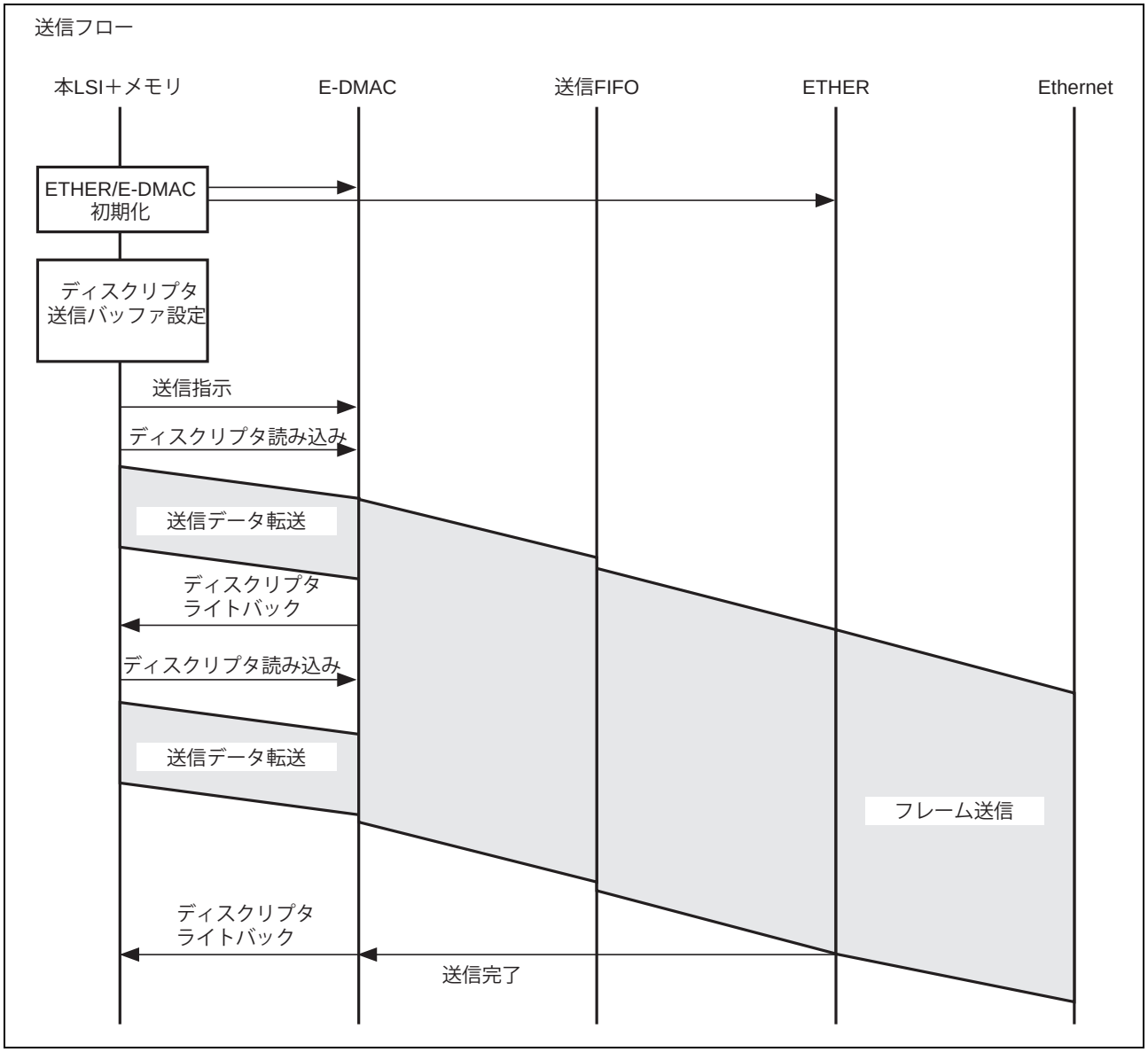

送信フロー
本LSI＋メモリ
E-DMAC
送信FIFO
ETHER
Ethernet
ETHER/E-DMAC
初期化
ディスクリプタ
送信バッファ設定
送信指示
ディスクリプタ読み込み
送信データ転送
ディスクリプタ
ライトバック
ディスクリプタ読み込み
送信データ転送
フレーム送信
ディスクリプタ
ライトバック
送信完了

図 24.6 送信フロー例

24.4.3　受信動作

(1)　ETHER受信動作

ETHER受信部は、RMII より入力されたフレームを、プリアンブル、SFD、データ及びCRC データに分解し、受信 E-DMAC には DA（宛先アドレス）から CRC データまでを出力します。ETHER 受信部状態遷移図を図24.7に示します。

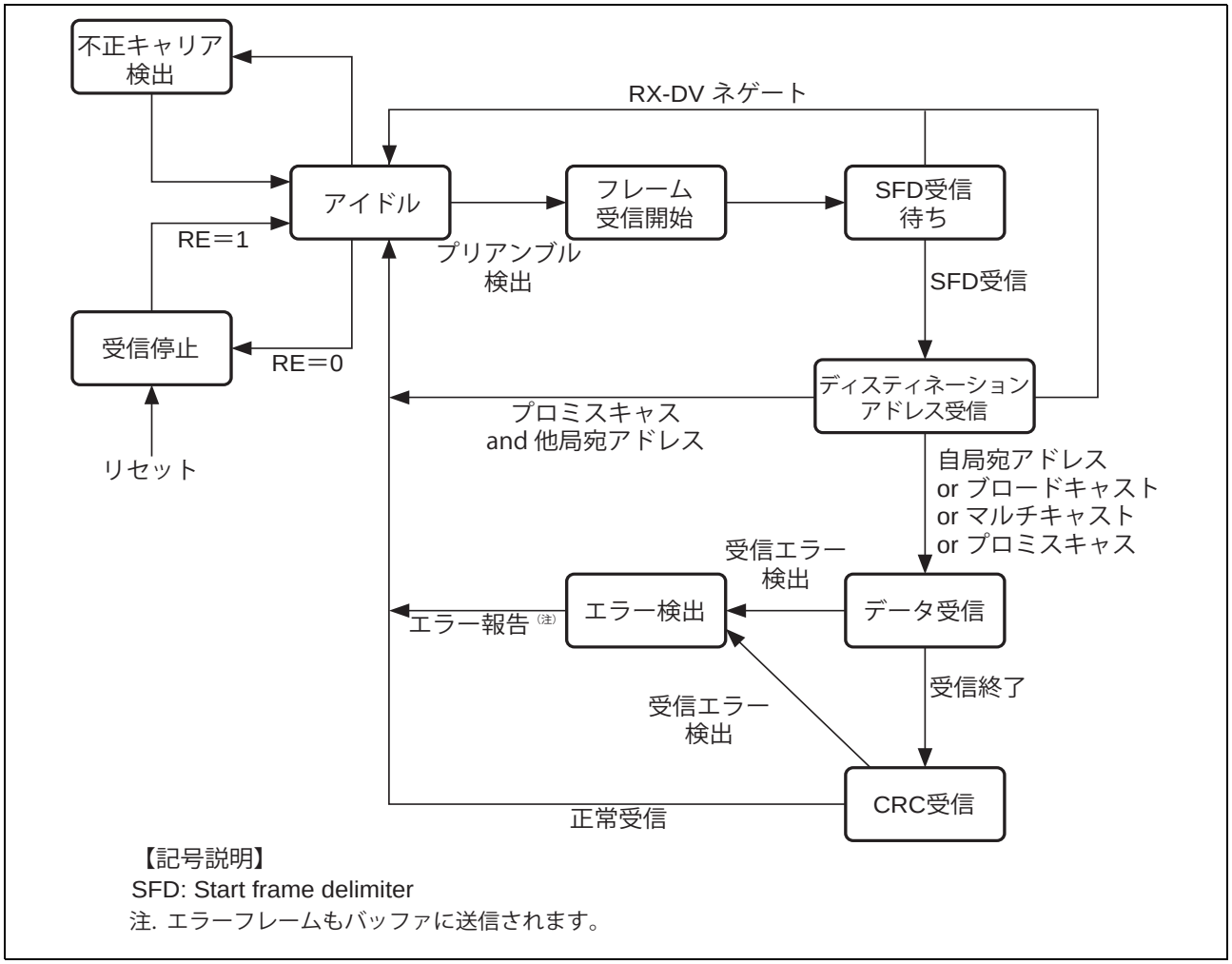


図 24.7　ETHER受信部状態遷移図

1. REビット（ECMR レジスタのビット6）が“1”になると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンブルに続く SFD（スタートフレームデリミタ）を検出すると受信処理を開始します。
   不当パターンの場合は、フレームを破棄します。
3. 通常モードでフレームのデスティネーションアドレスがSH7753の場合、又はブロードキャストフレーム、マルチキャストフレーム、プロミスキャスモードが指定された場合に、データ受信を開始します。
4. RMIIからのデータ受信後、フレームデータ部のCRCチェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。
5. 1フレームを受信後RE＝1であれば、次のフレーム受信に備えます。

(2) E-DMAC 受信動作

受信機能が有効でSH-4AがRRビット（EDRRRレジスタのビット0）を“1”にすると、E-DMACは受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初期状態では受信ディスクリプタ先頭アドレスレジスタ（RDLAR）で示すディスクリプタ）を読み込んだ後に受信待機状態となります。RACTビットが有効で、かつ自局あてのフレームを受信すると、RD2で指定される受信バッファに転送します。受信したフレームのデータ長がRD1で与えられるバッファ長よりも大きい場合は、E-DMACはバッファが満了となった時点でディスクリプタにライトバック（RFP＝10 or 00）を行った後に次のディスクリプタを読み込みます。そして新たなRD2によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、又は何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック（RFP＝11 or 01）を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

なお、連続してフレームを受信するには、RNCビット（RMCRレジスタのビット1）を“1”にしてください。

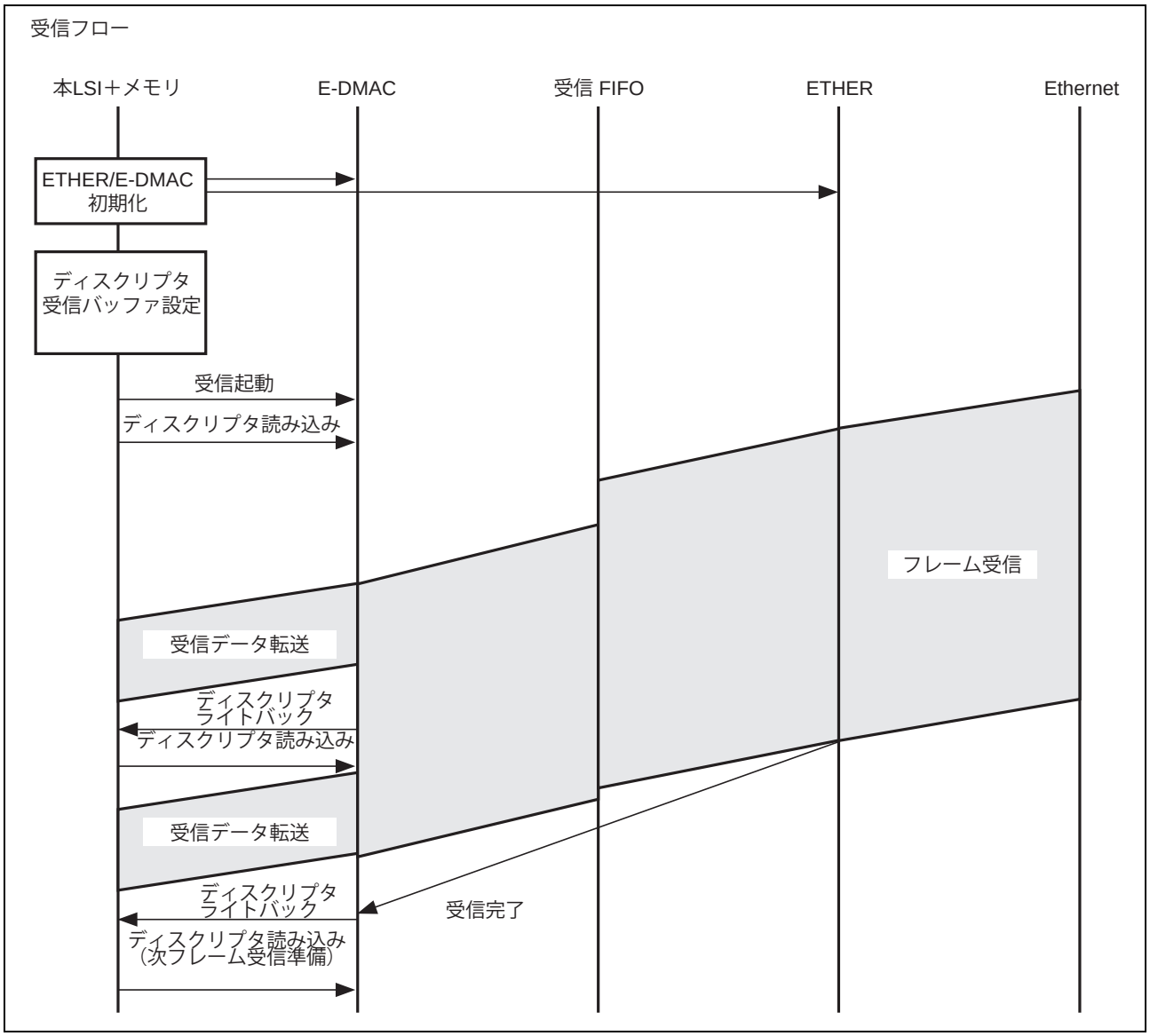


図 24.8　受信フロー例

24.4.4　マルチバッファフレームの送受信処理について

(1)　マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 24.9 に示す処理を行います。

送信ディスクリプタが有効（TACT ビットが 1）である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを “0” にします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます（継続 [B'00] 又は終了 [B'01]）。継続ディスクリプタである場合は、TACT ビットを “0” にするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを “0” にし、TFE 及び TFS ビットへライトバックします。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。ETHER/E-DMAC ステータス割り込み許可レジスタ（EESIPR）でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

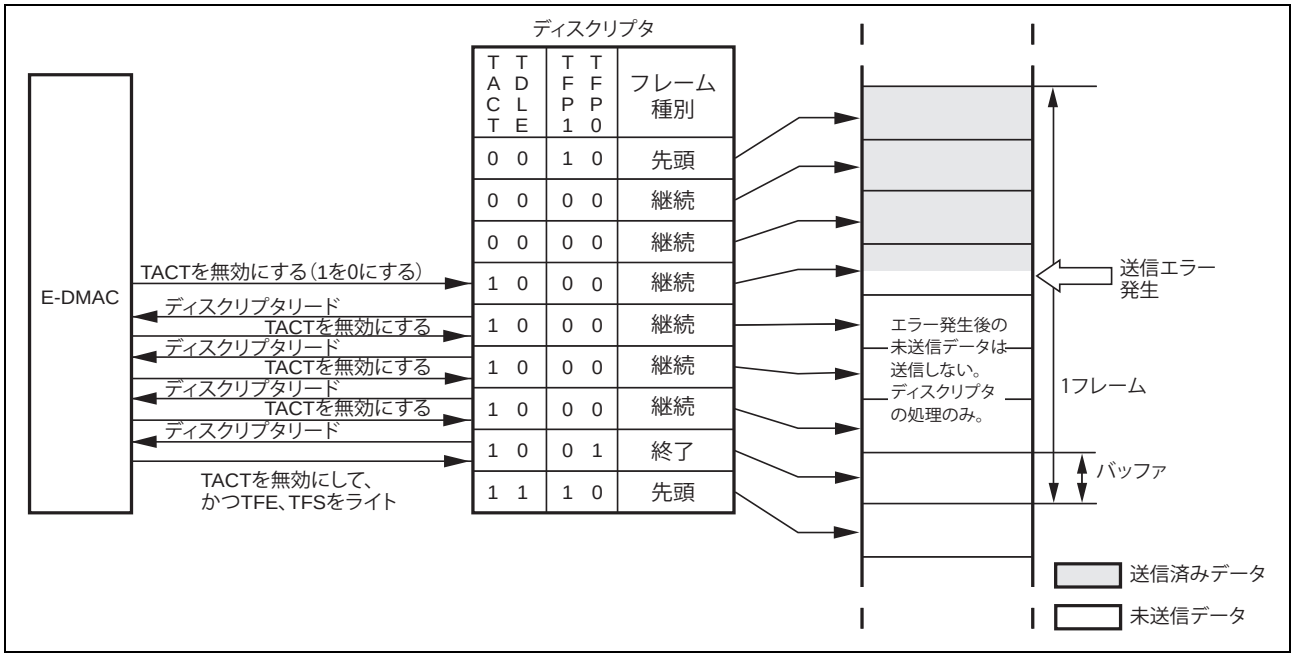


図 24.9　送信エラー発生後の E-DMAC 動作

(2) マルチバッファフレームの受信処理

マルチバッファフレームの受信中にエラーが発生した場合は、E-DMAC は図 24.10 に示す処理を行います。RACT ビットが 1 である最初のディスクリプタ部分でフレーム受信エラーが発生した場合は、ディスクリプタにステータスのライトバックを行います。

ETHER/E-DMAC ステータス割り込み許可レジスタ (EESIPR) でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

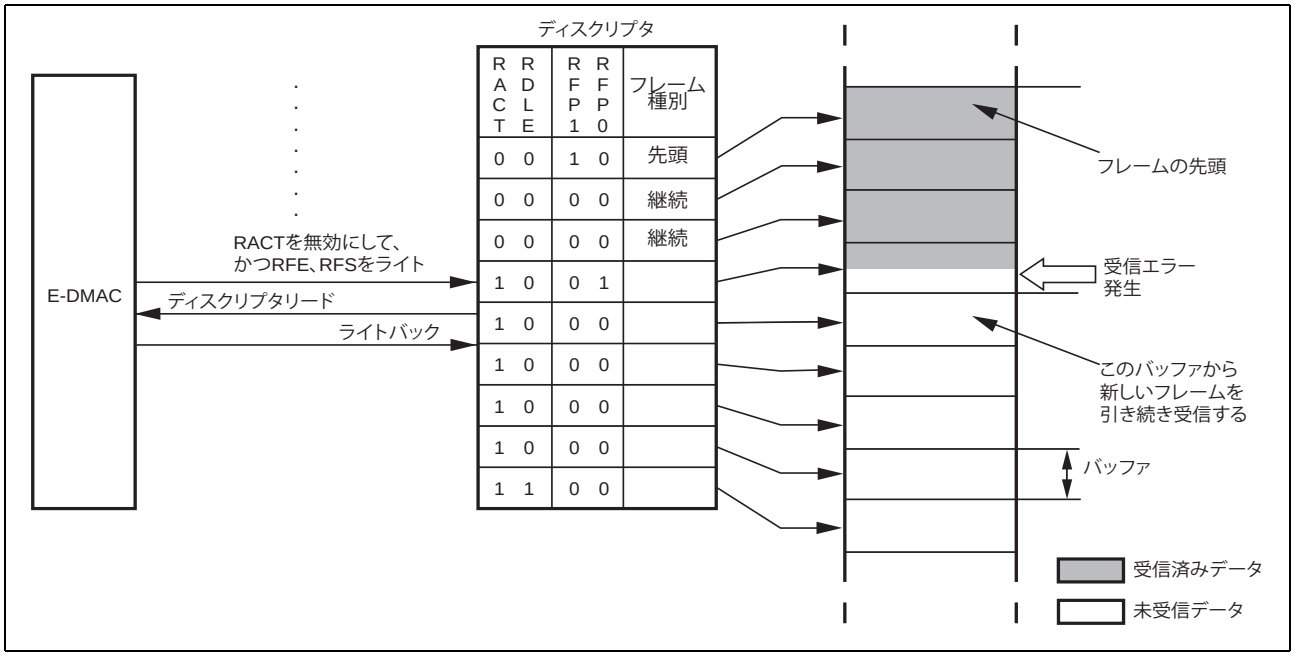


図 24.10　受信エラー発生後の E-DMAC 動作

24.4.5 RMII フレームタイミング

RMII フレームの送信及び受信タイミングを図24.11 に示します。

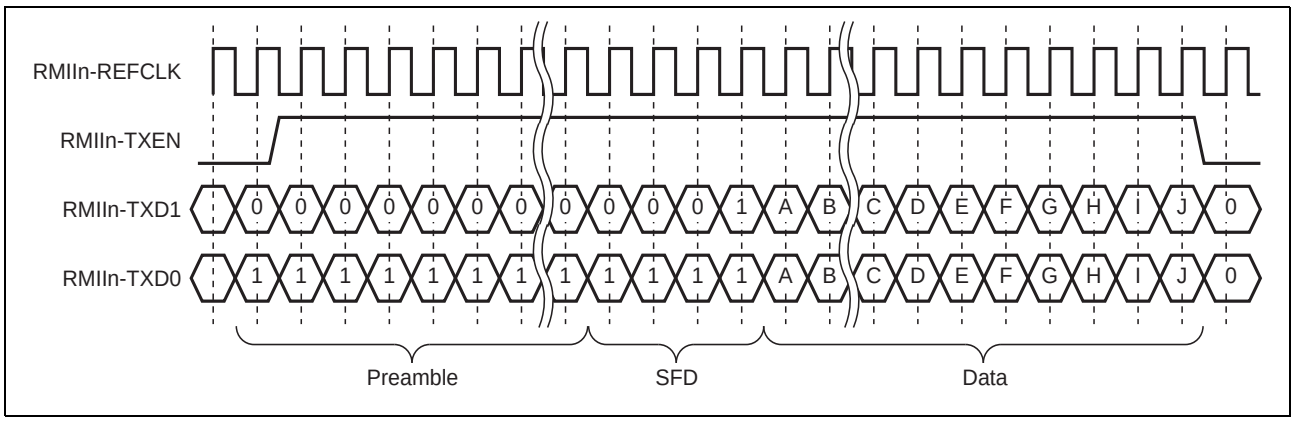


図 24.11 (1) RMII フレーム送信タイミング（正常送信時）

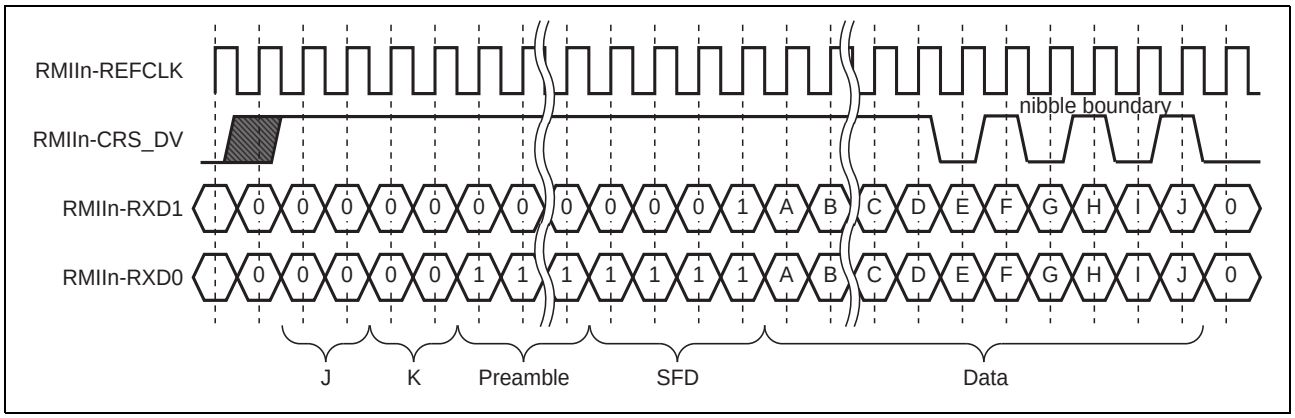


図 24.11 （2）RMII フレーム送信タイミング（正常受信時）

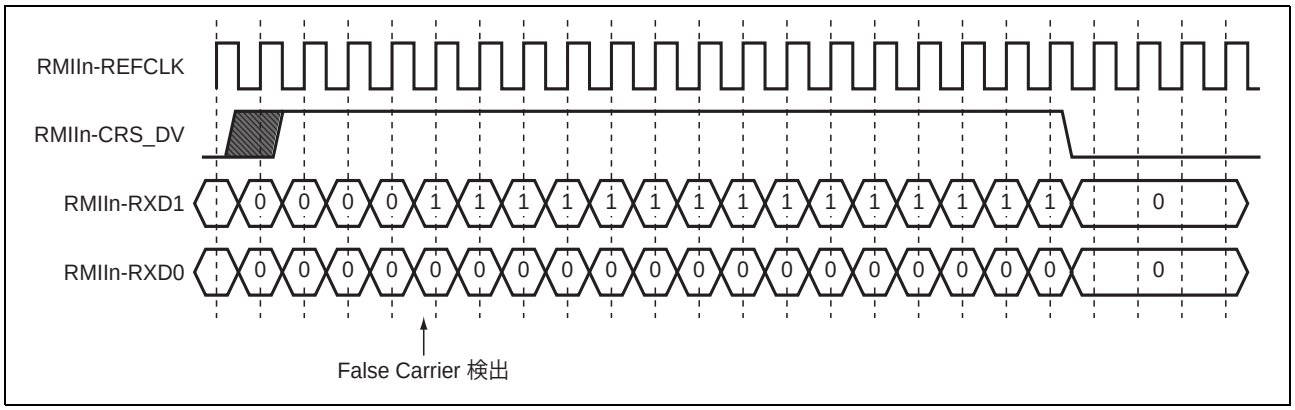


図 24.11 (3) RMII フレーム受信タイミング（False Carrier を伴う受信時）

24.4.6　マジックパケットの検出

ETHERは、マジックパケット検出時に割り込み要求を発生させることができます。この機能により、SH-4Aがスリープモードであっても、LAN経由でホストなどからマジックパケットが送信されてきたときに、自動的に起動することができます（WOL：Wake-On-LAN）。

マジックパケット検出時は、受信FIFO、受信ステータスなどが、それ以前の受信状態のままとなっていますので、通常動作に復帰する前に、SWRビット（EDMRレジスタのビット0）でETHER及びE-DMACを初期化してください。

マジックパケットの詳細については、AMD社の技術資料を参照してください。

WOLのための設定順序を以下に示します。

1. 各種割り込み許可／マスクレジスタによって、他のモジュールの割り込み、及び、ETHERのマジックパケット検出以外の割り込みを禁止してください。
2. MPDEビット（ECMRレジスタのビット9）を“1”（マジックパケット検出許可）にしてください。
3. MPDIPビット（ECSIPRレジスタのビット1）を“1”（マジックパケット検出割り込み有効）にしてください。
4. 必要に応じて、SH-4Aをスリープモードに、周辺機能をモジュールストップモードに設定します。
5. マジックパケットを検出すると、SH-4Aに割り込み要求が送信されます。

24.4.7　IPG 設定による動作

IPGRレジスタの設定値を変更することで、送信フレーム間の無送信期間IPG（Inter Packet Gap）を変更できます。これにより、伝送効率を標準値よりも上げたり下げたりすることができます。なお、IPGの設定はIEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

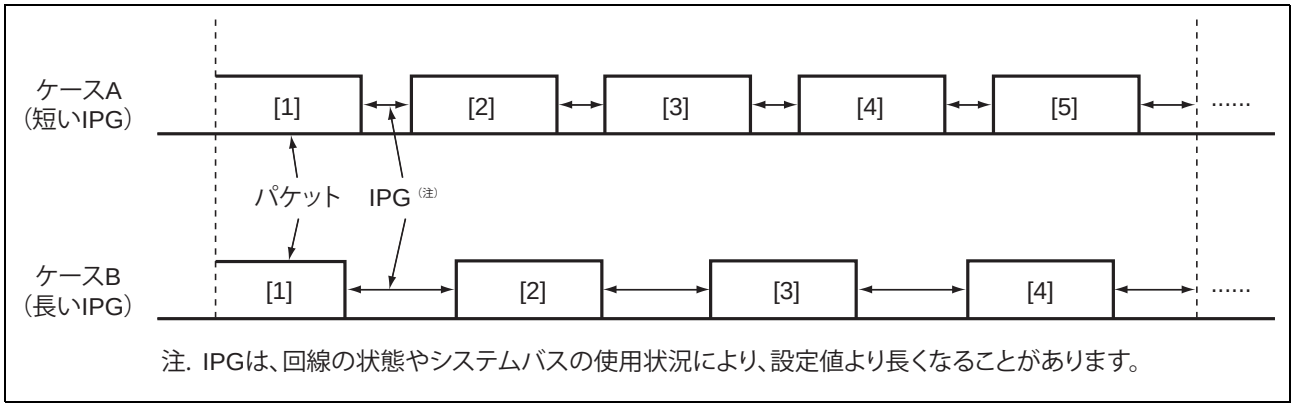


図 24.12　IPG の変更による伝送効率の違い

24.4.8　フロー制御

全二重転送モード時、IEEE802.3x 準拠のフロー制御機能を使用できます。フロー制御は、受信と送信の双方の動作に対して適用できます。フロー制御をするときのポーズフレームの送受信を以下に示します。

(1)　自動ポーズフレームの送信

受信フレームに対しては、受信 FIFO に書き込まれたデータ量が FCFTR レジスタに設定されたしきい値に達すると、ポーズフレームが自動送信されます。このときのポーズフレームに含まれる TIME パラメータは、APR レジスタで設定してください。

自動ポーズフレームの送信は、受信 FIFO 内のデータ量が FCFTR レジスタ設定値未満になるまで繰り返されます。また、TPAUSER レジスタで、ポーズフレームの再送信回数の上限値を設定することもできます。この場合は、受信 FIFO 内のデータ量が FCFTR レジスタ設定値未満になるか、送信回数が TPAUSER レジスタ設定値に達するまで、ポーズフレームの送信が繰り返されます。自動ポーズフレームの送信は、TXF ビット（ECMR レジスタのビット 16）が 1 の場合に有効となります。

(2)　手動ポーズフレームの送信

ソフトウェアからの指示により、ポーズフレームを送信します。MPR レジスタに TIME パラメータ値を書き込むと、手動ポーズフレームの送信を開始します。この手順によるポーズフレームの送信は、1 回のみです。

(3)　ポーズフレームの受信

ポーズフレームを受信した場合、TIME パラメータ値の示す時間が経過するまで、次のフレーム送信を待ちます。ただし、送信中のフレームについては送信を継続します。ポーズフレームの受信は RXF ビット（ECMR レジスタのビット 17）が 1 の場合に有効となります。

24.4.9　PHY-LSI との接続

図 24.18 に AMD 社の AM79C875 との接続例を示します。

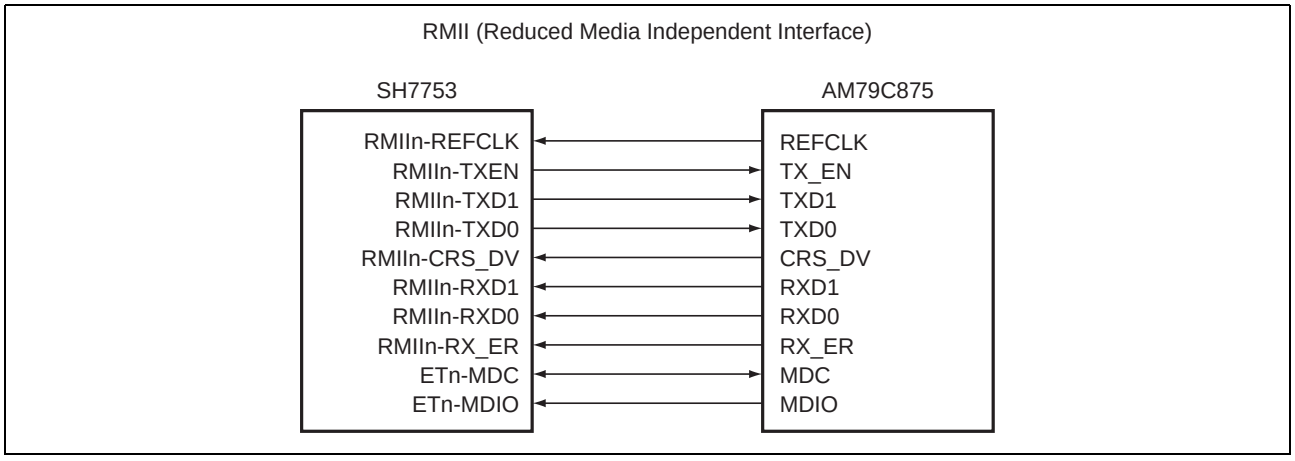


図 24.13　AM79C875 との接続例

24.5　MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、PIR レジスタを経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従って PIR レジスタに設定することにより、ETn-MDC 端子及び ETn-MDIO 端子で MII レジスタにアクセスします。

なお、ETn-MDC 端子及び ETn-MDIO 端子は、ETHER/GETHER でマルチプレクスされています。これらの端子を ETHER で使用する場合は、RMII1 ビット、RMII0 ビット（GBECONT レジスタのビット 17、16）を“1”にしてください（図 24.12 参照）。

また、ETHER/GETHER を合わせて 3 チャネル以上を使用する場合は、1 つのチャネルで複数の PHY と接続するか、他の端子（GPIO など）を使用して、MII レジスタへアクセスしてください。

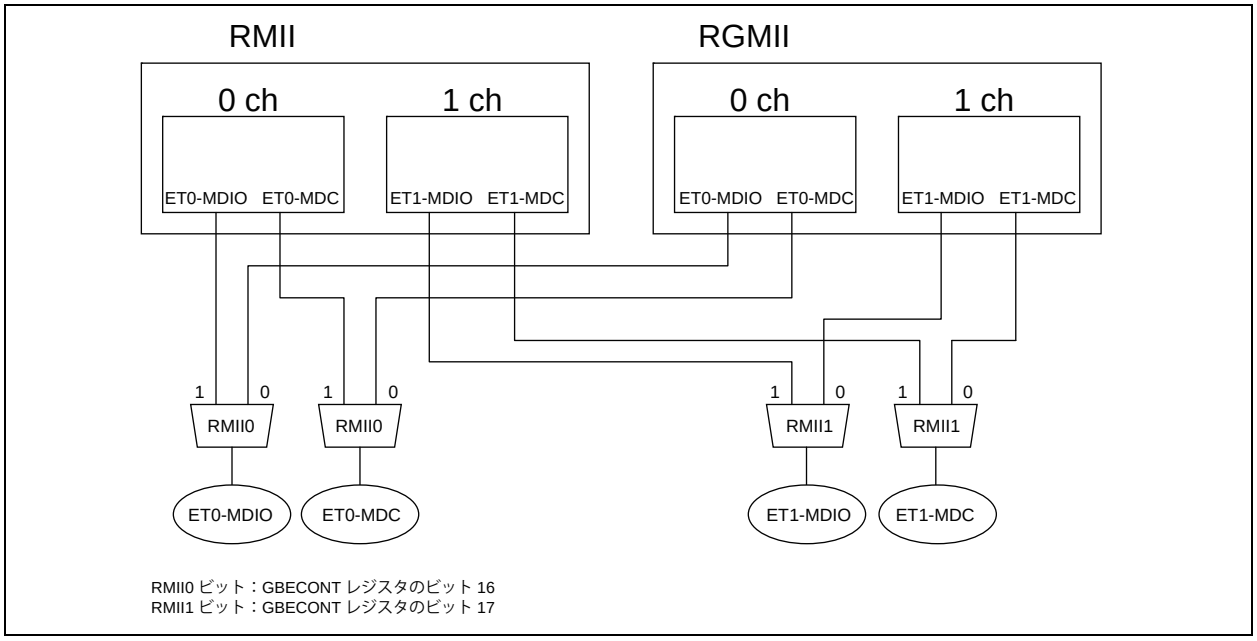


図 24.14　RMII、RGMII の構成

(1)　MII 管理フレームフォーマット

MII 管理フレームのフォーマットを表 24.3 に示します。MII レジスタをアクセスするには、この管理フレームに示されたデータのリード／ライトを、「(2) ETn-MDC 端子及び ETn-MDIO 端子による制御方法」で示す制御により、1 ビットずつ実行してください。

表 24.3　MII 管理フレームフォーマット

アクセス種別	管理フレーム　（( ) 内は各データのビット数を示す）							
	PRE (32)	ST (2)	OP (2)	PHYAD (5)	REGAD (5)	TA (2)	DATA (16)	IDLE
MII レジスタの読み出し	1 を 32 個ライト	01 をライト	10 をライト	（注 1）	（注 2）	バス開放	データをリード	—
MII レジスタへ書き込み	1 を 32 個ライト	01 をライト	01 をライト	（注 1）	（注 2）	10 をライト	データをライト	単独バス開放

注 1.　PHY-LSI のアドレスを 5 ビットでライトしてください。
　　例：PHY-LSI のアドレスが 1 番の場合は 00001
2.　レジスタのアドレスを 5 ビットでライトしてください。
　　例：レジスタのアドレスが 1 番の場合は 00001
3.　表中のリード、ライト、バス開放、単独バス開放の制御については、それぞれ、図 24.13～図 24.16 を参照してください。
　　また、ライトは、MSB（表に示すビット並びの左側）から 1 ビットずつ実施してください。

(2)　ETn-MDC端子及びETn-MDIO端子による制御方法

MIIレジスタへのアクセスは、ETn-MDC端子及びETn-MDIO端子を制御し、1ビットずつ実施します。

PIRレジスタのMDCビットに0又は1を書き込むことで、ETn-MDC端子から制御クロックを出力します。MMDビットに0又は1を書き込むことで、ETn-MDIO端子からデータを取り込み（リード）又はETn-MDIO端子からデータを出力（ライト）します。リード時は、ETn-MDIO端子から取り込んだデータがMDIビットに反映され、ライト時は、ETn-MDIO端子から出力するデータをMDOビットに設定します。

これらの制御を1ビットずつ実行するための制御フローを、図24.13～図24.16に示します。リード及びライトの他、バス解放及び単独バス解放の制御を組み合わせて、MIIレジスタに対する読み出し、書き込みを実現します。

なお、アクセスタイミングは、PHY-LSIによって異なります。

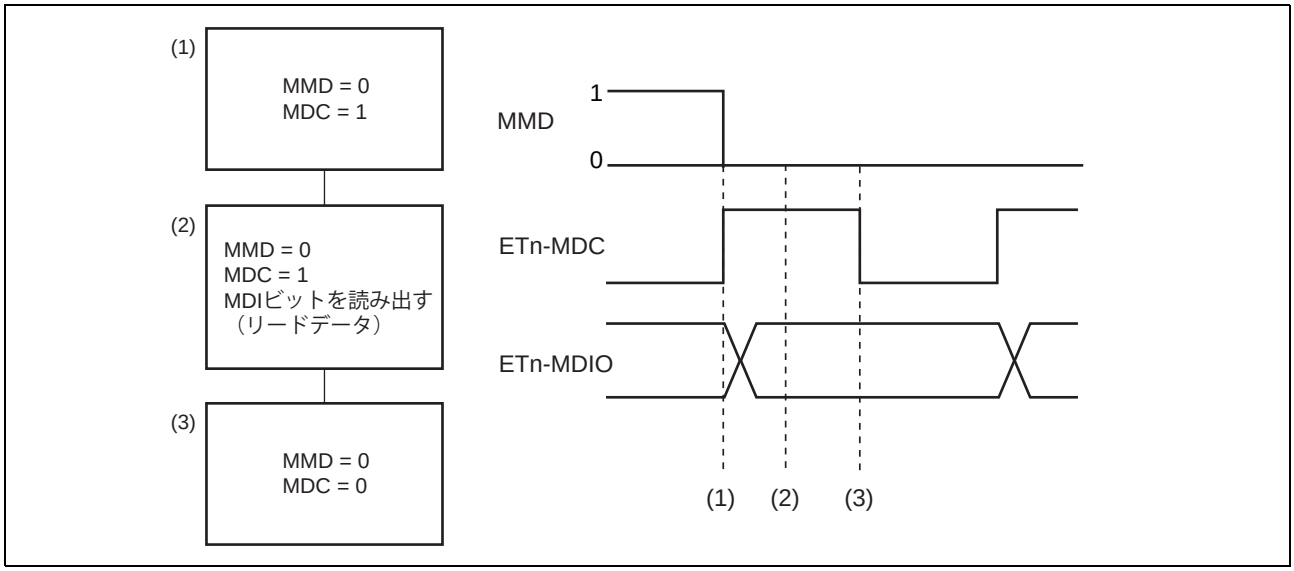


図 24.15　1 ビットデータリードフロー

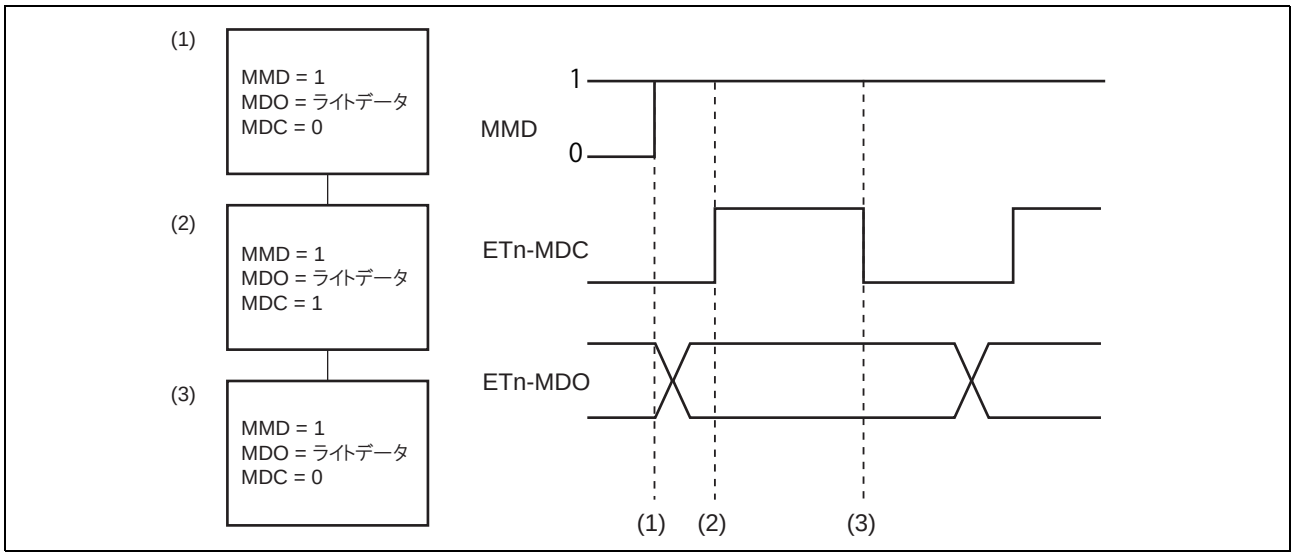


図 24.16　1 ビットデータライトフロー

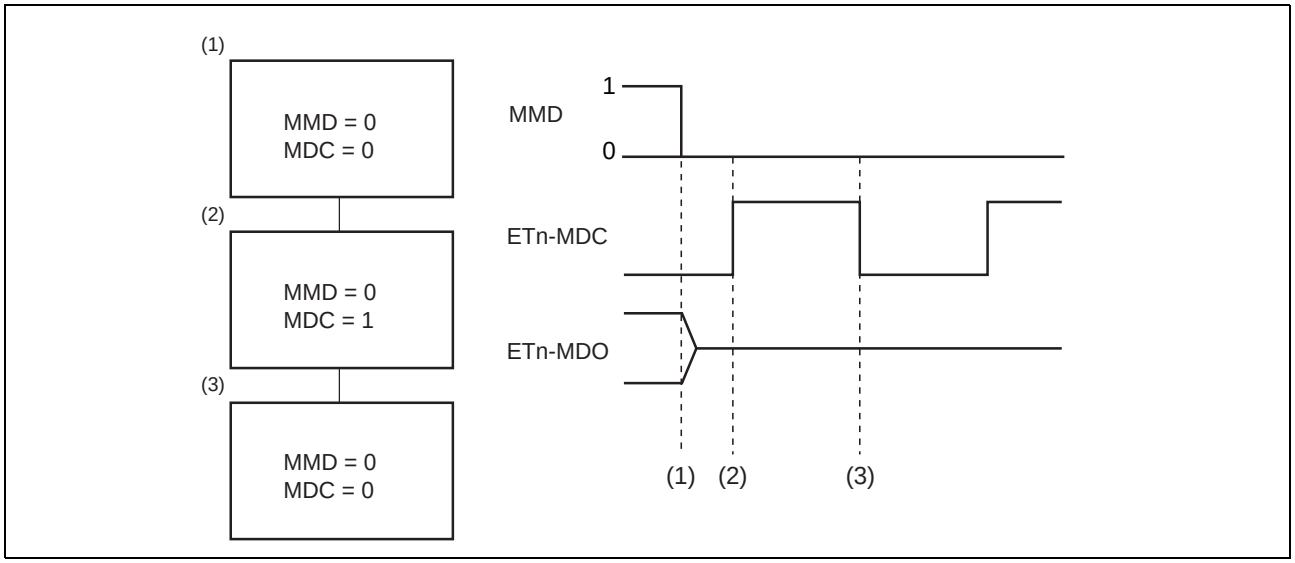


図 24.17 バス解放フロー

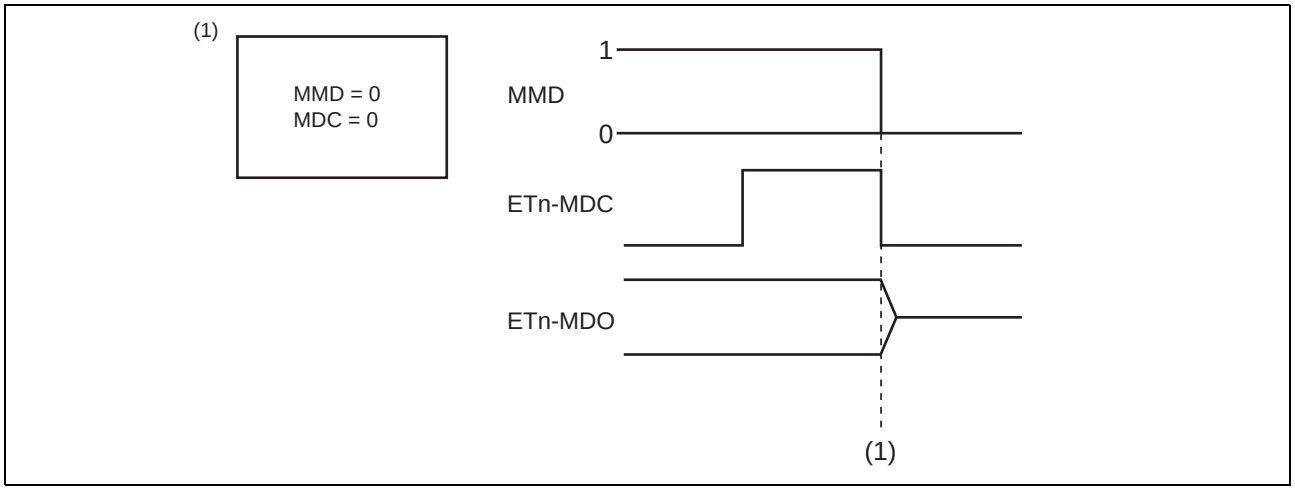


図 24.18 単独バス解放フロー

24.6 使用上の注意事項

24.6.1 フロー制御不具合（1）

全二重転送モードで受信系フロー制御を有効（RXF ビット＝1）にしている場合、ポーズフレームを受信すると、以降、通常の自局宛ユニキャストフレーム（CRC エラーでない非ポーズフレーム）を受信する度に、先のポーズフレームで指定された TIME パラメータが不正に適用されるため、不必要な待ち時間が発生し、送信スループットが低下することがあります。なお、TIME パラメータ値は、次のポーズフレームを受信するまで保持されます。

この不具合は、相手局が SH7753 と同様、TIME ポーズフレーム送信機能をサポートしている場合、以下のとおり回避可能です。SH7753 の 0TIMEPAUSE フレームの使用を許可（ZPF ビット＝1）にしておき、相手局から 0TIMEPAUSE フレームを受信することで、ETHER 内部で不正に保持されたタイムパラメータをクリアでき、不正な送信待ち時間を抑止することができます。

24.6.2 フロー制御不具合（2）

全二重転送モードで受信系／送信系フロー制御を共に有効（RXF ビット＝1/TXF ビット＝1）にしていて、ポーズ期間が発生した場合、非ポーズフレームの送信は待たされますが、ポーズフレームの送信も不正に待たされてしまいます（IEEE802.3 では、ポーズ期間中の非ポーズフレームの送信は禁止されていますが、ポーズフレームの送信は許可されている）。

ただし、相手局からの要求（相手局からのポーズフレームの受信）によってポーズ期間が発生している場合は、相手局の負荷が高く、逆に自局の負荷が比較的軽い状態であるため、この期間に自局からポーズフレームを送信する必要度は通常低いと想定されるので、この不具合の影響は、実使用上、低いと考えられます。

25. I2C バスインタフェース（RIIC）

SH7753は、10チャネルのI2Cバスインタフェース（RIIC）を内蔵しています。

RIIC は、NXP 社が提唱する I2C バス（Inter-IC-Bus）インタフェース方式に準拠しており、そのサブセット機能を搭載しています。

25.1 概要

表25.1 にRIIC の仕様を、図25.1 にRIIC のブロック図を、図25.2 に入出力端子の外部回路接続例（I2C バス構成例）を示します。表25.2 にRIIC で使用する入出力端子を示します。

表25.1　RIICの仕様

項目	内容
通信フォーマット	• I2Cバスフォーマット/SMBusフォーマット • マスタ/スレーブ選択可能 • 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	～1Mbps
SCLクロック	• マスタ時、SCLクロックのデューティ比を4%～96%の範囲で設定可能
条件発行・条件検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション（リスタートコンディション含む）/ストップコンディション検出可能
スレーブアドレス	• スレーブアドレスを3セット設定可能 • 7ビット/10ビットアドレスフォーマット対応（混在可能） • ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノーアクノリッジ受信時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能（返信についてはACK 又はNACKから選択できます）
ウェイト機能	• 受信時、SCLクロックのLホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト（このときに 受信データフル割り込みのタイミングを選択できます） 9クロック目と次の送信の1クロック目の間をウェイト（WAIT機能）
SDA出力遅延機能	• ノーアクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 • バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止） • ノーアクノリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 • スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	• 内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	• SCL、SDA入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能

項目	内容
割り込み要因	• 4種類 通信エラー/イベント発生 （AL検出、NACK検出、タイムアウト検出、 スタートコンディション検出（リスタートコンディション含む）、ストップコンディション検出） 受信データフル（スレーブアドレス一致時含む） 送信データエンプティ（スレーブアドレス一致時含む） 送信終了

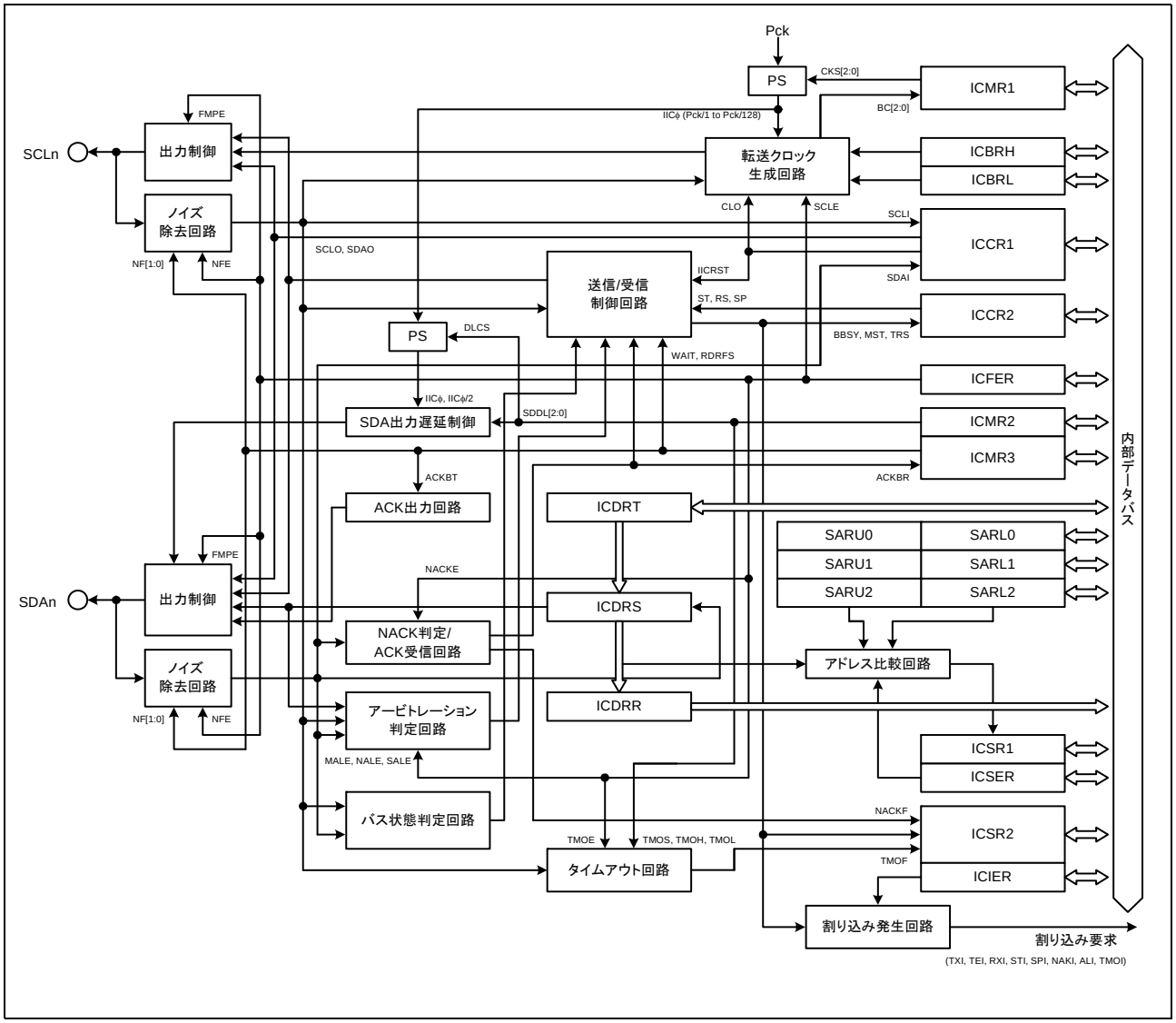


図 25.1　RIIC のブロック図

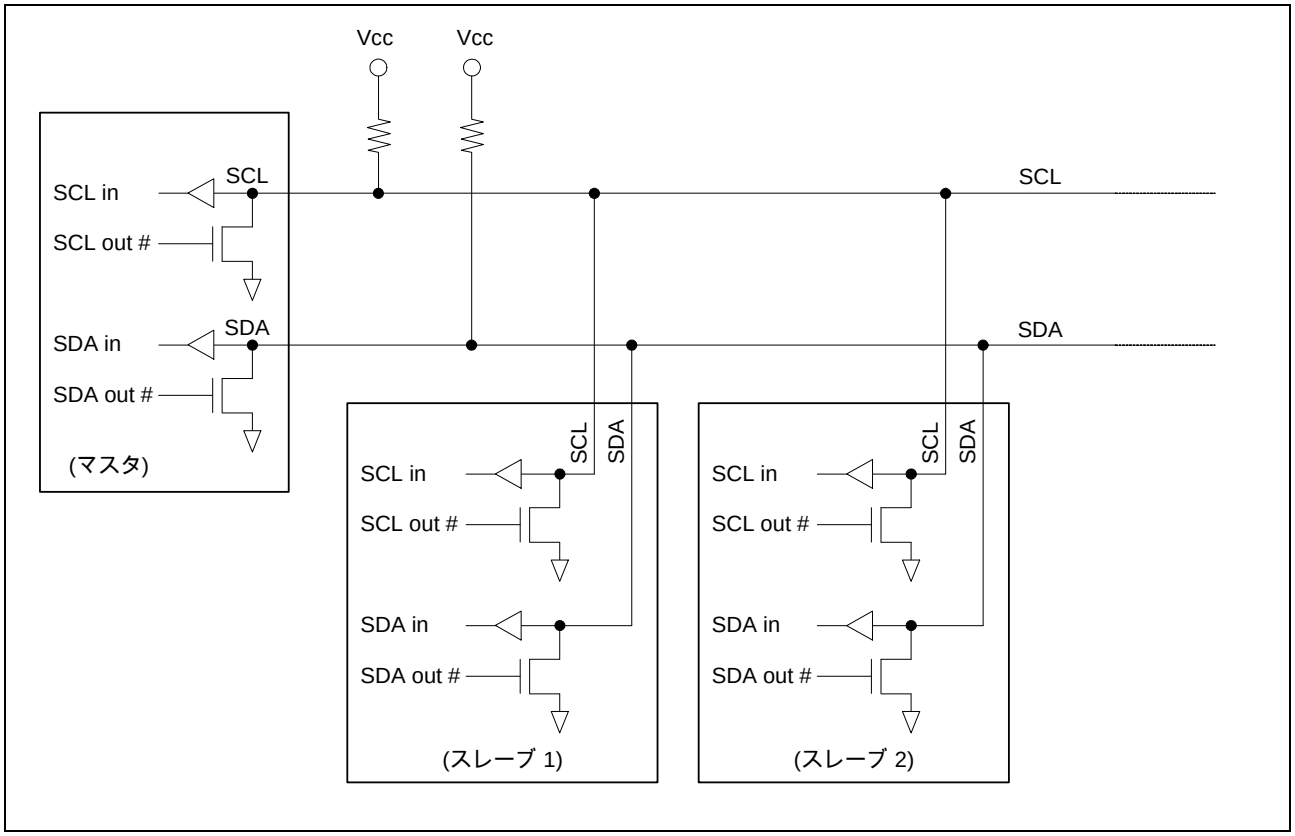


図 25.2　入出力端子の外部回路接続例（I2C バス構成例）

表25.2　RIICの入出力端子

チャネル	端子名	入出力	機能
RIIC0	SCL0	I/O	RIIC0 側シリアルクロック入出力端子
	SDA0	I/O	RIIC0 側シリアルデータ入出力端子
RIIC1	SCL1	I/O	RIIC1 側シリアルクロック入出力端子
	SDA1	I/O	RIIC1 側シリアルデータ入出力端子
RIIC2	SCL2	I/O	RIIC2 側シリアルクロック入出力端子
	SDA2	I/O	RIIC2 側シリアルデータ入出力端子
RIIC3	SCL3	I/O	RIIC3 側シリアルクロック入出力端子
	SDA3	I/O	RIIC3 側シリアルデータ入出力端子
RIIC4	SCL4	I/O	RIIC4 側シリアルクロック入出力端子
	SDA4	I/O	RIIC4 側シリアルデータ入出力端子
RIIC5	SCL5	I/O	RIIC5側シリアルクロック入出力端子
	SDA5	I/O	RIIC5 側シリアルデータ入出力端子
RIIC6	SCL6	I/O	RIIC6 側シリアルクロック入出力端子
	SDA6	I/O	RIIC6 側シリアルデータ入出力端子
RIIC7	SCL7	I/O	RIIC7 側シリアルクロック入出力端子
	SDA7	I/O	RIIC7 側シリアルデータ入出力端子
RIIC8	SCL8	I/O	RIIC8 側シリアルクロック入出力端子
	SDA8	I/O	RIIC8 側シリアルデータ入出力端子
RIIC9	SCL9	I/O	RIIC9側 シリアルクロック入出力端子
	SDA9	I/O	RIIC9側シリアルデータ入出力端子

25.2　レジスタの説明

表25.3にRIIC のレジスター一覧を示します。

表25.3　RIICのレジスター一覧

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
RIIC0	I²C バスコントロールレジスタ 1	ICCR1	R/W	H'FE50 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ 2	ICCR2	R/W	H'FE50 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ 1	ICMR1	R/W	H'FE50 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ 2	ICMR2	R/W	H'FE50 0003	8	H'06	H'06	H'06
	I²C バスモードレジスタ 3	ICMR3	R/W	H'FE50 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE50 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE50 0006	8	H'09	H'09	H'09
	I²C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE50 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ 1	ICSR1	R/W	H'FE50 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ 2	ICSR2	R/W	H'FE50 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L0	SARL0	R/W	H'FE50 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタ U0	SARU0	R/W	H'FE50 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L1	SARL1	R/W	H'FE50 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタ U1	SARU1	R/W	H'FE50 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L2	SARL2	R/W	H'FE50 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタ U2	SARU2	R/W	H'FE50 000F	8	H'00	H'00	H'00
	I²C バスビット L レベルレジスタ	ICBRL	R/W	H'FE50 0010	8	H'FF	H'FF	H'FF
	I²C バスビット H レベルレジスタ	ICBRH	R/W	H'FE50 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE50 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE50 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC1	I²C バスコントロールレジスタ 1	ICCR1	R/W	H'FE51 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ 2	ICCR2	R/W	H'FE51 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ 1	ICMR1	R/W	H'FE51 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ 2	ICMR2	R/W	H'FE51 0003	8	H'06	H'06	H'06
	I²C バスモードレジスタ 3	ICMR3	R/W	H'FE51 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE51 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE51 0006	8	H'09	H'09	H'09
	I²C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE51 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ 1	ICSR1	R/W	H'FE51 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ 2	ICSR2	R/W	H'FE51 0009	8	H'00	H'00	H'00

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
RIIC1	スレーブアドレスレジスタL0	SARL0	R/W	H'FE51 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタ U0	SARU0	R/W	H'FE51 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L1	SARL1	R/W	H'FE51 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE51 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタL2	SARL2	R/W	H'FE51 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタU2	SARU2	R/W	H'FE51 000F	8	H'00	H'00	H'00
	I²C バスビットLレベルレジスタ	ICBRL	R/W	H'FE51 0010	8	H'FF	H'FF	H'FF
	I²Cバスビットレベルレジスタ	ICBRH	R/W	H'FE51 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE51 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE51 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC2	I²C バスコントロールレジスタ1	ICCR1	R/W	H'FE52 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ 2	ICCR2	R/W	H'FE52 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ1	ICMR1	R/W	H'FE52 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ2	ICMR2	R/W	H'FE52 0003	8	H'06	H'06	H'06
	I²C バスモードレジスタ3	ICMR3	R/W	H'FE52 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE52 0005	8	H'72	H'72	H'72
	I²Cバスステータスイネーブルレジスタ	ICSER	R/W	H'FE52 0006	8	H'09	H'09	H'09
	I²Cバスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE52 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ1	ICSR1	R/W	H'FE52 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ2	ICSR2	R/W	H'FE52 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタL0	SARL0	R/W	H'FE52 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE52 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE52 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE52 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタL2	SARL2	R/W	H'FE52 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタU2	SARU2	R/W	H'FE52 000F	8	H'00	H'00	H'00
	I²CバスビットLレベルレジスタ	ICBRL	R/W	H'FE52 0010	8	H'FF	H'FF	H'FF
	I²C バスビットレベルレジスタ	ICBRH	R/W	H'FE52 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE52 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE52 0013	8	H'00	H'00	H'00
	I²Cバスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC3	I²C バスコントロールレジスタ 1	ICCR1	R/W	H'FE53 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ2	ICCR2	R/W	H'FE53 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ1	ICMR1	R/W	H'FE53 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ2	ICMR2	R/W	H'FE53 0003	8	H'06	H'06	H'06

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
RIIC3	I²C バスモードレジスタ 3	ICMR3	R/W	H'FE53 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE53 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE53 0006	8	H'09	H'09	H'09
	I²Cバスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE53 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ1	ICSR1	R/W	H'FE53 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ2	ICSR2	R/W	H'FE53 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタL0	SARL0	R/W	H'FE53 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE53 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE53 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE53 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタL2	SARL2	R/W	H'FE53 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタ U2	SARU2	R/W	H'FE53 000F	8	H'00	H'00	H'00
	I²CバスビットLレベルレジスタ	ICBRL	R/W	H'FE53 0010	8	H'FF	H'FF	H'FF
	I²C バスビットHレベルレジスタ	ICBRH	R/W	H'FE53 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE53 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE53 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC4	I²C バスコントロールレジスタ 1	ICCR1	R/W	H'FE54 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ2	ICCR2	R/W	H'FE54 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ1	ICMR1	R/W	H'FE54 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ2	ICMR2	R/W	H'FE54 0003	8	H'06	H'06	H'06
	I²Cバスモードレジスタ 3	ICMR3	R/W	H'FE54 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE54 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE54 0006	8	H'09	H'09	H'09
	I²Cバスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE54 0007	8	H'00	H'00	H'00
	I²Cバスステータスレジスタ 1	ICSR1	R/W	H'FE54 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ2	ICSR2	R/W	H'FE54 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタL0	SARL0	R/W	H'FE54 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE54 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE54 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE54 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L2	SARL2	R/W	H'FE54 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタU2	SARU2	R/W	H'FE54 000F	8	H'00	H'00	H'00
	I²C バスビットLレベルレジスタ	ICBRL	R/W	H'FE54 0010	8	H'FF	H'FF	H'FF

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
RIIC4	I²C バスビットHレベルレジスタ	ICBRH	R/W	H'FE54 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE54 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE54 0013	8	H'00	H'00	H'00
	I²Cバスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC5	I²C バスコントロールレジスタ1	ICCR1	R/W	H'FE55 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ2	ICCR2	R/W	H'FE55 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ1	ICMR1	R/W	H'FE55 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ2	ICMR2	R/W	H'FE55 0003	8	H'06	H'06	H'06
	I²C バスモードレジスタ3	ICMR3	R/W	H'FE55 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE55 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE55 0006	8	H'09	H'09	H'09
	I²C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE55 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ1	ICSR1	R/W	H'FE55 0008	8	H'00	H'00	H'00
	I²Cバスステータスレジスタ2	ICSR2	R/W	H'FE55 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタL0	SARL0	R/W	H'FE55 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE55 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE55 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE55 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタL2	SARL2	R/W	H'FE55 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタU2	SARU2	R/W	H'FE55 000F	8	H'00	H'00	H'00
	I²C バスビットLレベルレジスタ	ICBRL	R/W	H'FE55 0010	8	H'FF	H'FF	H'FF
	I²C バスビットHレベルレジスタ	ICBRH	R/W	H'FE55 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE55 0012	8	H'FF	H'FF	H'FF
	I²Cバス受信データレジスタ	ICDRR	R	H'FE55 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC6	I²C バスコントロールレジスタ1	ICCR1	R/W	H'FE56 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ2	ICCR2	R/W	H'FE56 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ1	ICMR1	R/W	H'FE56 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ2	ICMR2	R/W	H'FE56 0003	8	H'06	H'06	H'06
	I²C バスモードレジスタ 3	ICMR3	R/W	H'FE56 0004	8	H'00	H'00	H'00
	I²Cバスファンクションイネーブルレジスタ	ICFER	R/W	H'FE56 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE56 0006	8	H'09	H'09	H'09
	I²Cバスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE56 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ 1	ICSR1	R/W	H'FE56 0008	8	H'00	H'00	H'00

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
RIIC6	I²C バスステータスレジスタ2	ICSR2	R/W	H'FE56 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L0	SARL0	R/W	H'FE56 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE56 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE56 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE56 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタL2	SARL2	R/W	H'FE56 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタU2	SARU2	R/W	H'FE56 000F	8	H'00	H'00	H'00
	I²CバスビットLレベルレジスタ	ICBRL	R/W	H'FE56 0010	8	H'FF	H'FF	H'FF
	I²C バスビットHレベルレジスタ	ICBRH	R/W	H'FE56 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE56 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE56 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC7	I²C バスコントロールレジスタ1	ICCR1	R/W	H'FE57 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ2	ICCR2	R/W	H'FE57 0001	8	H'00	H'00	H'00
	I²Cバスモードレジスタ 1	ICMR1	R/W	H'FE57 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ2	ICMR2	R/W	H'FE57 0003	8	H'06	H'06	H'06
	I²Cバスモードレジスタ 3	ICMR3	R/W	H'FE57 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE57 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE57 0006	8	H'09	H'09	H'09
	I²C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE57 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ1	ICSR1	R/W	H'FE57 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ2	ICSR2	R/W	H'FE57 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタL0	SARL0	R/W	H'FE57 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE57 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE57 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE57 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタL2	SARL2	R/W	H'FE57 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタU2	SARU2	R/W	H'FE57 000F	8	H'00	H'00	H'00
	I²C バスビットLレベルレジスタ	ICBRL	R/W	H'FE57 0010	8	H'FF	H'FF	H'FF
	I²CバスビットHレベルレジスタ	ICBRH	R/W	H'FE57 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE57 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE57 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
RIIC8	I²C バスコントロールレジスタ 1	ICCR1	R/W	H'FE58 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ 2	ICCR2	R/W	H'FE58 0001	8	H'00	H'00	H'00
	I²C バスモードレジスタ1	ICMR1	R/W	H'FE58 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ 2	ICMR2	R/W	H'FE58 0003	8	H'06	H'06	H'06
	I²C バスモードレジスタ3	ICMR3	R/W	H'FE58 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE58 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE58 0006	8	H'09	H'09	H'09
	I²Cバスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE58 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ1	ICSR1	R/W	H'FE58 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ2	ICSR2	R/W	H'FE58 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタL0	SARL0	R/W	H'FE58 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE58 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE58 000C	8	H'00	H'00	H'00
	スレーブアドレスレジスタU1	SARU1	R/W	H'FE58 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L2	SARL2	R/W	H'FE58 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタ U2	SARU2	R/W	H'FE58 000F	8	H'00	H'00	H'00
	I²CバスビットLレベルレジスタ	ICBRL	R/W	H'FE58 0010	8	H'FF	H'FF	H'FF
	I²C バスビットHレベルレジスタ	ICBRH	R/W	H'FE58 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE58 0012	8	H'FF	H'FF	H'FF
	I²Cバス受信データレジスタ	ICDRR	R	H'FE58 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—
RIIC9	I²C バスコントロールレジスタ 1	ICCR1	R/W	H'FE59 0000	8	H'1F	H'1F	H'1F
	I²C バスコントロールレジスタ2	ICCR2	R/W	H'FE59 0001	8	H'00	H'00	H'00
	I²Cバスモードレジスタ1	ICMR1	R/W	H'FE59 0002	8	H'08	H'08	H'08
	I²C バスモードレジスタ2	ICMR2	R/W	H'FE59 0003	8	H'06	H'06	H'06
	I²C バスモードレジスタ3	ICMR3	R/W	H'FE59 0004	8	H'00	H'00	H'00
	I²C バスファンクションイネーブルレジスタ	ICFER	R/W	H'FE59 0005	8	H'72	H'72	H'72
	I²C バスステータスイネーブルレジスタ	ICSER	R/W	H'FE59 0006	8	H'09	H'09	H'09
	I²C バスインタラプトイネーブルレジスタ	ICIER	R/W	H'FE59 0007	8	H'00	H'00	H'00
	I²C バスステータスレジスタ1	ICSR1	R/W	H'FE59 0008	8	H'00	H'00	H'00
	I²C バスステータスレジスタ2	ICSR2	R/W	H'FE59 0009	8	H'00	H'00	H'00
	スレーブアドレスレジスタL0	SARL0	R/W	H'FE59 000A	8	H'00	H'00	H'00
	スレーブアドレスレジスタU0	SARU0	R/W	H'FE59 000B	8	H'00	H'00	H'00
	スレーブアドレスレジスタL1	SARL1	R/W	H'FE59 000C	8	H'00	H'00	H'00

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
RIIC9	スレーブアドレスレジスタU1	SARU1	R/W	H'FE59 000D	8	H'00	H'00	H'00
	スレーブアドレスレジスタ L2	SARL2	R/W	H'FE59 000E	8	H'00	H'00	H'00
	スレーブアドレスレジスタU2	SARU2	R/W	H'FE59 000F	8	H'00	H'00	H'00
	I²C バスビットLレベルレジスタ	ICBRL	R/W	H'FE59 0010	8	H'FF	H'FF	H'FF
	I²C バスビットHレベルレジスタ	ICBRH	R/W	H'FE59 0011	8	H'FF	H'FF	H'FF
	I²C バス送信データレジスタ	ICDRT	R/W	H'FE59 0012	8	H'FF	H'FF	H'FF
	I²C バス受信データレジスタ	ICDRR	R	H'FE59 0013	8	H'00	H'00	H'00
	I²C バスシフトレジスタ	ICDRS	—	—	8	—	—	—

25.2.1　I2C バスコントロールレジスタ1（ICCR1）

ICCR1 レジスタは、RIIC の動作/ 停止、RIIC の内部状態のリセット、SCL クロックの追加出力、SCLn 端子/SDAn 端子の操作、SCLn 端子/SDAn 端子のモニタなどを行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
7	ICE	0	R/W	I2C バスインタフェース許可ビット（注1） 0：RIICは機能停止（SCLn端子/SDAn端子はポート機能） 1：RIICは転送動作可能（SCLn端子/SDAn端子はバス駆動）
6	IICRST	0	R/W	I2C バスインタフェース内部リセットビット 0：RIIC/内部リセット解除 1：RIIC/内部リセット状態 （ビットカウンタのクリア、SCLn/SDAn出力ラッチを解除）
5	CLO	0	R/W	SCLクロック追加出力ビット 0：SCLクロックを追加で出力しない（通常状態） 1：SCLクロックを1クロック追加で出力する （1クロック出力後、自動的に“0”になる）
4	SOWP	1	R/W	SCLO/SDAOライトプロテクトビット（注2） “0”を書くとSCLO、SDAOビットに値が書き込める （読むと“1”が読める）
3	SCLO	1	R/W	SCL出力制御ビット（注2、3） 読み出し時 0：SCLn端子はL出力 1：SCLn端子はハイインピーダンス 書き込み時 0：SCLn端子をL出力に変更 1：SCLn端子をハイインピーダンスに変更 （外部プルアップ抵抗によりH出力）
2	SDAO	1	R/W	SDA出力制御ビット（注2、3） 読み出し時 0：SDAn端子はL出力 1：SDAn端子はハイインピーダンス 書き込み時 0：SDAn端子をL出力に変更 1：SDAn端子をハイインピーダンスに変更 （外部プルアップ抵抗によりH出力）
1	SCLI	1	R	SCLバス入力モニタビット 0：SCLn端子入力はL 1：SCLn端子入力はH

ビット	ビット名	初期値	R/W	説 明
0	SDAI	1	R	SDAバス入力モニタビット 0：SDAn端子入力はL 1：SDAn端子入力はH

注1. SCLn端子/SDAn端子はGPIOと兼用になっていますので、以下のレジスタ設定も併せて実施してください。
・RIIC0 ～ RIIC7　：PRCR = H'0000、RSCR = H'0000、PMCR = H'0000
・RIIC8、RIIC9　：PRCR = H'0000、RSCR = H'0000、PMCR = H'0000
H'FFEC 006E番地＝H'0C
2. SDAOビット及びSCLOビットを書き換える場合は、同時にSOWPビットを“0”にしてください。
3. 通信中に書き込みをしないでください。通信中に値を変更すると、送信/受信動作の異常動作やAL エラーが発生する場合があります。

ICE ビット（I²C バスインタフェース許可ビット）

RIIC の転送動作可能/機能停止を選択します。

ICE ビットを“0”（機能停止）にするとSCLn 端子/SDAn 端子はポート機能になります。また、ICE ビットが“0” のときIICRST ビットを“1” にするとRIIC リセット、ICE ビットが“1” のときIICRST ビットを“1” にすると内部リセットになります。

なお、予期せぬ通信開始を防止するためRIIC のレジスタの設定を行う際には、ICE ビットを“0”（機能停止）にし、すべてのレジスタ設定が完了した後ICE ビットを“1”（転送動作可能状態）にしてください。

IICRST ビット（I²C バス内部リセットビット）

RIIC の内部状態をリセットします。

IICRST ビットを“1” にすると、RIIC リセット又は内部リセットを行うことができます。

RIIC リセット、内部リセットはICE ビットとの組み合わせによって決定します。表25.4 にRIIC のリセットの種類を示します。

RIIC リセットではBBSY フラグ（ICCR2 レジスタのビット7）を含めた全レジスタ及び内部状態を、内部リセットではビットカウンタ（BC[2:0]ビット（ICMR1 レジスタのビット2～0））、I²Cバスシフトレジスタ（ICDRS）、I²C バスステータスレジスタ（ICSR1、ICSR2）及び内部状態をリセットします。各レジスタのリセット状況については、「25.14 リセット状況」を参照してください。

動作中（ICE ビット=1 の状態）、通信不具合などによりバス状態やRIIC がハングアップしたときにIICRST ビットを“1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずにRIIC の内部状態をリセットすることができます。

またRIIC がL を出力したままハングアップした場合、内部状態をリセットすることでSCLn 端子/SDAn 端子をハイインピーダンスにしてバスを解放することができます。

注. スレーブモード時でマスタデバイスと通信中にバスハングアップなどによりIICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時にSCLn ラインをL 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、又はストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディション又はリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表25.4　RIICのリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC全レジスタ及び内部状態をリセット
	1	内部リセット	ICMR1レジスタのBC[2:0]ビット、ICSR1、ICSR2、ICDRSレジスタ及び内部状態をリセット

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを1クロック単位で追加出力をする機能で、デバッグ時又は異常処理時に使用します。
通常は“0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「25.11.2 SCL クロック追加出力機能」を参照してください。

SOWP ビット（SCLO/ SDAO ライトプロテクトビット）

SCLO、SDAO ビットへの書き込みを制御します。

SCLO ビット（SCL 出力制御ビット）

SCLn 端子の出力レベルを制御します。また、SCLn 端子の出力状態を示します。

SDAO ビット（SDA 出力制御ビット）

SDAn 端子の出力レベルを制御します。また、SDAn 端子の出力状態を示します。

SCLI ビット（SCL バス入力モニタビット）

SCLn 端子の入力レベルを示します。

SDAI ビット（SDA バス入力モニタビット）

SDAn 端子の入力レベルを示します。

25.2.2　I²C バスコントロールレジスタ2（ICCR2）

ICCR2 レジスタは、I²C バスインタフェースの制御を行うレジスタで、I²C バスの占有/解放、送受信モード選択、マスタ/スレーブモード選択などの機能を持ちます。

ビット:	7	6	5	4	3	2	1	0
	BBSY	MST	TRS	-	SP	RS	ST	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W(注)	R/W(注)	—	R/W	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R	バスビジー検出フラグ 0：I²Cバスが解放状態（バスフリー状態） 1：I²Cバスが占有状態（バスビジー状態又はバスフリーの期間中）
6	MST	0	R/W（注）	マスタ/スレーブモードビット 0：スレーブモード 1：マスタモード
5	TRS	0	R/W（注）	送信/受信モードビット 0：受信モード 1：送信モード
4	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
3	SP	0	R/W	ストップコンディション発行要求ビット 0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する
2	RS	0	R/W	リスタートコンディション発行要求ビット 0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する
1	ST	0	R/W	スタートコンディション発行要求ビット 0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する
0	—	0	—	リザーブビット

注.　ICMR1 レジスタの MTWP ビットが“1”のとき、書き込めます。

BBSY フラグ（バスビジー検出フラグ）

I2C バスの占有（バスビジー）/ 解放状態（バスフリー）を示します。

SCLn ラインが H の状態で SDAn ラインが H から L に変化すると、スタートコンディションが発行されたと認識して“1” になります。

SCLn ラインが H の状態で SDAn ラインが L から H に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき“0” になります。

［“1” になる条件］

- スタートコンディションを検出したとき

［“0” になる条件］

- ストップコンディションを検出後、バスフリーの時間（ICBRL レジスタに設定した時間）スタートコンディション検出がないとき
- ICE ビット（ICCR1 レジスタのビット 7）が“0” の状態で IICRST ビット（ICCR1 レジスタのビット 6）に“1” を書いたとき（RIIC リセット）

MST ビット（マスタ / スレーブモードビット）

マスタモード/ スレーブモードを示すビットです。

MST ビットが“0” のときスレーブモード、MST ビットが“1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行 / 検出などで“1”/“0” になり、動作モードは自動的にマスタモード又はスレーブモードに移行します。ICMR1 レジスタの MTWP ビットが“1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（ST ビットが“1” の状態で、スタートコンディションを検出したとき）
- MTWP ビット（ICMR1 レジスタのビット 7）が“1” の状態で“1” を書いたとき

［“0” になる条件］

- ストップコンディションを検出したとき
- AL フラグ（ICSR2 レジスタのビット 1）が“1” になったとき（アービトレーションロスト）
- ICMR1 レジスタの MTWP ビットが“1” の状態で“0” を書いたとき
- ICCR1 レジスタの IICRST ビットに“1” を書き、RIIC リセット又は内部リセットしたとき

TRS ビット（送信/ 受信モードビット）

送信/ 受信モードを示すビットです。

TRS ビットが“0” のとき受信モード、TRS ビットが“1” のとき送信モードを表し、MST ビットとの組み合わせでRIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/ 検出及びR/$\overline{W}$ ビットなどで“1”/“0” になり、動作モードは自動的に送信モード又は受信モードに移行します。ICMR1 レジスタのMTWP ビットが“1” のとき書き込みはできますが、通常では書き込みの必要はありません。

［“1” になる条件］

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（STビットが“1” の状態で、スタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加したR/$\overline{W}$ ビットが“0” のとき
- スレーブモード時、受信したスレーブアドレスがICSER　レジスタで有効にしたアドレスと一致し、かつR/$\overline{W}$ ビットに“1” を受信したとき
- ICMR1 レジスタのMTWP ビットが“1” の状態で“1” を書いたとき

［“0” になる条件］

- ストップコンディションを検出したとき
- ICSR2 レジスタのAL フラグが“1” になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加したR/$\overline{W}$ ビットが“1” のとき
- スレーブモード時、受信したスレーブアドレスがICSER　レジスタで有効にしたアドレスと一致し、かつR/$\overline{W}$ ビットに“0” を受信したとき（ジェネラルコールアドレス含む）
- スレーブモード時、リスタートコンディションを検出したとき
（ICCR2.BBSY=1、ICCR2.MST=0 の状態でスタートコンディションを検出したとき)
- ICMR1 レジスタのMTWP ビットが“1” の状態で“0” を書いたとき
- ICCR1 レジスタのIICRST ビットに“1” を書いた時

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1” になるとストップコンディションの発行を要求し、BBSY フラグが“1”（バスビジー）でかつMST ビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「25.10.3 ストップコンディション発行動作」を参照してください。

［“1” になる条件］

- SP = 0 を読み出した後” 1 ”を書いたとき

［“0” になる条件］

- SP = 1 を読み出した後”0”を書いたとき
- ストップコンディションの発行が完了したとき、又はストップコンディションを検出したとき
- ICSR2 レジスタのAL フラグが“1” になったとき（アービトレーションロスト）
- スタートコンディション及びリスタートコンディションを検出したとき
- ICCR1 レジスタのIICRST ビットに“1” を書き、RIIC リセット又は内部リセットしたとき

注1. BBSY フラグ=0（バスフリー）のとき書き込みはできません。
2. リスタートコンディション発行中にSP ビットを“1” にしないでください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1” になるとリスタートコンディションの発行を要求し、BBSY フラグが“1”（バスビジー）でかつMST ビットが“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「25.10.2 リスタートコンディション発行動作」を参照してください。

［“1” になる条件］
- “1” を書いたとき

［“0” になる条件］
- “0” を書いたとき
- リスタートコンディションの発行が完了したとき、又はスタートコンディションを検出したとき
- ICSR2 レジスタの AL フラグが“1” になったとき（アービトレーションロスト）
- ICCR1 レジスタの IICRST ビットに“1” を書き、RIIC リセット又は内部リセットしたとき

注1. BBSY フラグが”0”のとき（バスフリー）、RS ビットに書き込めません。
2. ストップコンディション発行中に RS ビットを“1” にしないでください
3. マスタモード以外で RS ビットに“1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは“1” のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

ST ビット（スタートコンディション発行要求ビット）

マスタモードへの移行及びスタートコンディションの発行を要求します。

ST ビットが“1” になるとスタートコンディションの発行を要求し、BBSY フラグが“0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「25.10.1 スタートコンディション発行動作」を参照してください。

［“1” になる条件］
- “1” を書いたとき

［“0” になる条件］
- “0” を書いたとき
- スタートコンディションの発行が完了したとき
- ICSR2 レジスタの AL フラグが“1” になったとき（アービトレーションロスト）
- ICCR1 レジスタの IICRST ビットに“1” を書き、RIIC リセット又は内部リセットしたとき

注．ST ビットは、BBSY フラグが“0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。BBSY フラグが“1”（バスビジー）のとき、ST ビットを“1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

25.2.3　I²Cバスモードレジスタ1（ICMR1）

ICMR1 レジスタは、RIIC の内部基準クロックソースを選択したり、転送ビット数情報を得たり、ICCR2 レジスタのMST、TRS ビットのライトプロテクトを制御したりするレジスタです。

ビット:	7	6	5	4	3	2	1	0
	MTWP	CKS[2:0]			BCWP	BC[2:0]		
初期値:	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MTWP	0	R/W	MST/TRSライトプロテクトビット 0：ICCR2 レジスタのMST、TRSビットへの書き込み禁止 1：ICCR2 レジスタのMST、TRSビットへの書き込み許可
6 ～ 4	CKS[2:0]	000	R/W	内部基準クロック (IICϕ)選択ビット b6 b5 b4 0 0 0 : Pck 0 0 1 : Pck/2 0 1 0 : Pck/4 0 1 1 : Pck/8 1 0 0 : Pck/16 1 0 1 : Pck/32 1 1 0 : Pck/64 1 1 1 : Pck/128
3	BCWP	1	R/W	BCライトプロテクトビット（注） 0：BC[2:0]の値を設定許可（読むと“1”が読めます）
2 ～ 0	BC[2:0]	000	R/W	ビットカウンタ（注） b2 b1 b0 0 0 0 : 9 ビット 0 0 1 : 2 ビット 0 1 0 : 3 ビット 0 1 1 : 4 ビット 1 0 0 : 5 ビット 1 0 1 : 6 ビット 1 1 0 : 7 ビット 1 1 1 : 8 ビット

注．　BC[2:0]ビットは、BCWPビット＝0と同時に（MOV命令で）書き換えてください。

MTWP ビット（MST/TRS ライトプロテクトビット）

ICCR2 レジスタのMST、TRS ビットへの書き込みを制御します。

CKS[2:0] ビット（内部基準クロック選択ビット）

RIIC の内部基準クロックソース（IICφ）を選択します。

BCWP ビット（BC ライトプロテクトビット）

BC[2:0] ビットへの書き込みを制御します。

BC[2:0] ビット（ビットカウンタ）

SCLn ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出し及び書き込みはできますが、通常ではアクセスする必要はありません。

なお、書き込みを行う場合には転送するデータのビット数＋ 1 を指定し（データにアクノリッジ1 ビットが付加されて転送される）、転送フレーム間でかつSCLn ラインがL の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、自動的に“000” に戻ります。

25.2.4　I²C バスモードレジスタ 2（ICMR2）

ICMR2 レジスタは、タイムアウト検出機能、SDA 出力遅延機能を持つレジスタです。

ビット:	7	6	5	4	3	2	1	0
	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
初期値:	0	0	0	0	0	1	1	0
R/W:	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	DLCS	0	R/W	SDA出力遅延クロックソース選択ビット 0：SDA出力遅延カウンタのクロックソースに内部基準クロック (IICϕ) を選択 1：SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周 (IICϕ/2) を選択
6～4	SDDL[2:0]	000	R/W	SDA出力遅延カウンタ • ICMR2 レジスタの DLCS = 0 (IICϕ) のとき b6 b5 b4 0 0 0 : 出力遅延なし 0 0 1 : 1 IICϕ サイクル 0 1 0 : 2 IICϕ サイクル 0 1 1 : 3 IICϕ サイクル 1 0 0 : 4 IICϕ サイクル 1 0 1 : 5 IICϕ サイクル 1 1 0 : 6 IICϕ サイクル 1 1 1 : 7 IICϕ サイクル • ICMR2 レジスタの DLCS = 1 (IICϕ/2) のとき b6 b5 b4 0 0 0 : 出力遅延なし 0 0 1 : 1 or 2 IICϕ サイクル 0 1 0 : 3 or 4 IICϕ サイクル 0 1 1 : 5 or 6 IICϕ サイクル 1 0 0 : 7 or 8 IICϕ サイクル 1 0 1 : 9 or 10 IICϕ サイクル 1 1 0 : 11 or 12 IICϕ サイクル 1 1 1 : 13 or 14 IICϕ サイクル
3	—	0	—	リザーブビット
2	TMOH	1	R/W	タイムアウトHカウント制御ビット 0：SCLnラインがHでカウント禁止 1：SCLnラインがHでカウント有効
1	TMOL	1	R/W	タイムアウトLカウント制御ビット 0：SCLnラインがLでカウント禁止 1：SCLnラインがLでカウント有効

ビット	ビット名	初期値	R/W	説 明
0	TMOS	0	R/W	タイムアウト検出時間選択ビット 0：ロングモードを選択 1：ショートモードを選択

DLCS ビット（SDA 出力遅延クロックソース選択ビット）

SDA 出力遅延時間のクロックソースに内部基準クロック（IICφ）か、内部基準クロックの2 分周（IICφ/2）かを選択するビットです。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべてのSDA 出力に適用されます。

本機能の詳細については、「25.5 SDA 出力遅延機能」を参照してください。

注1. SDA 出力遅延の設定は、I²C バス規格（データ有効時間/ アクノリッジ有効時間（注2）内）又はSMBus 規格（データホールド時間：300ns 以上、かつSCL クロックのL 幅ーデータセットアップ時間：250ns の範囲内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディション又はストップコンディションになる可能性がありますので注意してください。

注2. データ有効時間/ アクノリッジ有効時間
3,450ns（～100kbps ：スタンダードモード[Sm]）
900ns（～400kbps ：ファストモード[fm]）
450ns（～1Mbps ：ファストモードプラス[fm+]）

TMOH ビット（タイムアウトH カウント制御ビット）

タイムアウト検出機能有効時（TMOE ビット（ICFER レジスタのビット0）=1）にSCLn ラインがH 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOL ビット（タイムアウトL カウント制御ビット）

タイムアウト検出機能有効時（ICFER レジスタのTMOE ビット=1）にSCLn ラインがL 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（ICFER レジスタのTMOE ビット=1）にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16 ビットカウンタとして、またショートモードでは14 ビットカウンタとして動作し、SCLn ラインがTMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICϕ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「25.11.1 タイムアウト検出機能」を参照してください。

25.2.5　I²C バスモードレジスタ 3（ICMR3）

ICMR3 レジスタは、アクノリッジ送受信機能、RIIC 受信動作における RDRF フラグ、WAIT 動作などを制御するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	SMBS	0	R/W	SMBus/I²C バス選択ビット 0: I²C バス選択 （SCL/SDAの入力バッファはシュミットタイプが選択される） 1: SMBus 選択 （SCL/SDAの入力バッファはCMOSタイプが選択される）
6	WAIT	0	R/W	WAITビット（注１） 0：WAITなし （9クロック目と1クロック目の間をLにホールドしない） 1：WAITあり （9クロック目と1クロック目の間をLにホールドする） ICDRR レジスタを読み出すと、Lホールドが解除される
5	RDRFS	0	R/W	RDRFフラグセットタイミング選択ビット（注１） 0：SCLクロックの9クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLにホールドしない） 1：SCLクロックの8クロック目の立ち上がり時に“1”になる （8クロック目の立ち下がりでSCLnラインをLにホールドする） ACKBTビットに書き込むと、Lホールドが解除される
4	ACKWP	0	R/W	ACKBTライトプロテクトビット 0：ACKBTビットへの書き込み禁止 1：ACKBTビットへの書き込み許可（注2）
3	ACKBT	0	R/W	送信アクノリッジビット（注2） 0：アクノリッジビットに“0”を送出（ACK送信） 1：アクノリッジビットに“1”を送出（NACK送信）
2	ACKBR	0	R	受信アクノリッジビット 0：アクノリッジビットに“0”を受信（ACK受信） 1：アクノリッジビットに“1”を受信（NACK受信）
1、0	NF[1:0]	00	R/W	ノイズフィルタ段数選択ビット b1 b0 0　0：1-IICφ 以下のノイズを除去（フィルタは1段） 0　1：2-IICφ 以下のノイズを除去（フィルタは2段） 1　0：3-IICφ 以下のノイズを除去（フィルタは3段） 1　1：4-IICφ 以下のノイズを除去（フィルタは4段）

注1.　WAITビット及びRDRFSビットは、受信モード時のみ有効です。
2.　ACKWPビットを“1”にした後、ACKBTビットへ書き込んでください。ACKBTビットへの書き込みと同時にACKWPビットを“1”にしても、ACKBTビットに書き込めません。

SMBS ビット（SMBus/I2C バス選択ビット）

SMBS ビットを“1”にすると、SMBus が選択されHOAE ビット（ICSER レジスタのビット7）が有効になります。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて1 バイト受信ごとに受信データバッファ（ICDRR レジスタ）の読み出しが完了するまで、SCL クロックの9 クロック目と1 クロック目の間をL にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの9 クロック目と1 クロック目の間のL ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1” のとき、1 バイト受信ごとに9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCLn ラインをL にホールドします。これにより1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0” にする場合は、ICDRR を先に読んでから“0” にしてください。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミング及び SCL クロックの 8 クロック目の立ち下がりで SCLn ラインのL ホールドを行うかどうかを選択します。

RDRFS ビットが“0” のとき、8 クロック目の立ち下がりで SCLn ラインのL ホールドは行わず、9 クロック目の立ち上がりでRDRF フラグを“1” にします。

RDRFS ビットが“1” のとき、RDRF フラグは8 クロック目の立ち上がりで“1” にし、8 クロック目の立ち下がりでSCLn ラインをL にホールドします。この SCLn ラインのL ホールドはACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前にSCLn ラインを自動的にL にホールドするため、受信データの内容に応じてACK（ACKBT ビットが“0”）又はNACK（ACKBT ビットが“1”）を送出する処理が可能です。

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

［“1” になる条件］

- ACKWP ビットが“1” の状態で“1” を書いたとき

［“0” になる条件］

- ACKWP ビットが“1” の状態で“0” を書いたとき
- ストップコンディションの発行を検出したとき（SP ビット（ICCR2 レジスタのビット3）が“1”の状態でストップコンディションを検出したとき）
- ICCR1 レジスタのICE ビットが“0” の状態でICCR1 レジスタのIICRST ビットに“1” を書いたとき（RIIC リセット）

注. ACKBT ビットに書き込みを行う場合には、ACKWP ビットが“1” の状態で行ってください。
ACKWP ビットが“0” の状態で書き込みを行った場合には、ACKBT ビットへの書き込みは無効となります。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

［“1” になる条件］

• TRS ビット（ICCR2 レジスタのビット 5）が“1” の状態でアクノリッジビットに“1” を受信したとき

［“0” になる条件］

• ICCR2 レジスタの TRS ビットが“1” の状態でアクノリッジビットに“0” を受信したとき

• ICCR1 レジスタの ICE ビットが“0” の状態で ICCR1 レジスタの IICRST ビットに“1” を書いたとき（RIIC リセット）

NF[1:0] ビット（ノイズフィルタ段数選択ビット）

デジタルノイズフィルタの段数を選択します。

注. ノイズフィルタで除去するノイズ幅の設定は、SCLn ラインの H/L 幅よりも狭くしてください。（SCL クロックの幅：H 幅又は L 幅のいずれか短い方）－｛1.5 内部基準クロック同期（IICφ）｝と同じか、それ以上に設定した場合は、RIIC のノイズフィルタ機能により SCL クロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

25.2.6　I²C バスファンクションイネーブルレジスタ（ICFER）

ICFER レジスタは、タイムアウト検出機能、アービトレーションロスト、NACK 受信時の受信動作、SCL 同期回路、デジタルノイズフィルタ回路の使用 / 不使用などを制御するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
初期値:	0	1	1	1	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	FMPE	0	RW	Fast-mode Plus 許可ビット 0：SCLn 端子/SDAn 端子に fm+ 用スロープ制御回路を使用しない 1：SCLn 端子/SDAn 端子に fm+ 用スロープ制御回路を使用する
6	SCLE	1	RW	SCL 同期回路許可ビット 0：SCL 同期回路無効 1：SCL 同期回路有効
5	NFE	1	RW	デジタルノイズフィルタ回路許可ビット 0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する
4	NACKE	1	RW	NACK 受信転送中断許可ビット 0：NACK 受信時、転送を中断しない（転送中断禁止） 1：NACK 受信時、転送を中断する（転送中断許可）
3	SALE	0	RW	スレーブアービトレーションロスト検出許可ビット 0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可
2	NALE	0	RW	NACK 送信アービトレーションロスト検出許可ビット 0：NACK 送信アービトレーションロスト検出禁止 1：NACK 送信アービトレーションロスト検出許可

ビット	ビット名	初期値	R/W	説 明
1	MALE	1	RW	マスタアービトレーションロスト検出許可ビット 0：マスタのアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2 レジスタのMST、TRS ビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2 レジスタのMST、TRS ビットの自動クリアを行う）
0	TMOE	0	RW	タイムアウト検出機能許可ビット 0：タイムアウト検出機能無効 1：タイムアウト検出機能有効

FMPE ビット（ファストモードプラス許可ビット）

ファストモードプラス[fm+] 用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを“1” にすると I2C バスのファストモードプラス [fm+] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択され、“0” にするとI2C バスのスタンダードモード[Sm] 及びファストモード[fm] のスロープ制御規格（tof）に準拠したスロープ制御回路が選択されます。

通信速度をI2C バス規格の～ 1Mbps（ファストモードプラス [fm+]）で使用する場合は“1” にし、それ以外の通信速度（～ 100kbps[Sm]、～ 400kbps[fm]）又はSMBus（10kbps ～ 100kbps）で使用する場合は“0” にしてください。

SCLE ビット（SCL 同期回路許可ビット）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1” にしてください。

SCLE ビットを“0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIICはSCLn ラインの状態に関わらずICBRH 及びICBRL レジスタで設定された転送速度のSCL クロックを出力します。そのため、I2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいてSCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行及びSCL クロック追加出力の連続出力にも影響します。

SCLE ビットはデバッグ中に、設定した転送速度が出力されているかどうかを確認する場合などを除き“0” にしないでください。

NFE ビット（デジタルノイズフィルタ回路許可ビット）

デジタルノイズフィルタ回路の使用/ 不使用を選択します。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1” にしてください。

NACKE ビットが“1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「25.8.2 NACK 受信転送中断機能」を参照してください。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

マスタモード時にアービトレーションロスト検出機能の有効/ 無効を決定します。通常は“1” にしてください。

TMOE ビット（タイムアウト検出機能許可ビット）

タイムアウト検出機能の有効/ 無効を選択します。
タイムアウト検出機能の詳細については、「25.11.1 タイムアウト検出機能」を参照してください。

25.2.7　I2C バスステータスイネーブルレジスタ（ICSER）

ICSER レジスタは、スレーブアドレス比較、ジェネラルコールアドレス検出、デバイス ID コマンド検出、ホストアドレス検出の有効/ 無効を選択するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	—	R/W	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	HOAE	0	R/W	ホストアドレス許可ビット 0：ホストアドレス検出は無効 1：ホストアドレス検出は有効
6	—	0	—	リザーブビット
5	DIDE	0	R/W	デバイスIDアドレス検出許可ビット 0：デバイスIDアドレス検出は無効 1：デバイスIDアドレス検出は有効
4	—	0	—	リザーブビット
3	GCAE	1	R/W	ジェネラルコールアドレス許可ビット 0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効
2	SAR2E	0	R/W	スレーブアドレスレジスタ2許可ビット 0：SARL2、SARU2の設定値は無効 1：SARL2、SARU2の設定値は有効

ビット	ビット名	初期値	R/W	説 明
1	SAR1E	0	R/W	スレーブアドレスレジスタ1許可ビット 0：SARL1、SARU1の設定値は無効 1：SARL1、SARU1の設定値は有効
0	SAR0E	1	R/W	スレーブアドレスレジスタ0許可ビット 0：SARL0、SARU0の設定値は無効 1：SARL0、SARU0の設定値は有効

HOAE ビット（ホストアドレス許可ビット）

SMBS ビット（ICMR3 レジスタのビット7）が“1” の場合、ホストアドレス（0001 000）を受信したとき、無視するかどうかを選択します。

ICMR3 レジスタの SMBS ビットが“1” でかつ HOAE ビットが“1” の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLm、SARUm レジスタ（m=0 ～ 2）で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3 レジスタの SMBS ビットが“0” 又は HOAE ビットが“0” の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出許可ビット）

スタートコンディション又はリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（1111 100）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1” の場合、受信した第1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/$\overline{W}$ ビットが“0”[W] のとき第2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0” の場合、受信した第1 フレームがデバイス ID アドレスと一致しても無視され、第1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「25.7.3 デバイス ID アドレス検出機能」を参照してください。

GCAE（ジェネラルコールアドレス許可ビット）

ジェネラルコールアドレス（0000 000 ＋ 0[W] : All“0”）を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLm、SARUm レジスタ（m=0 ～ 2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

SARmE ビット（スレーブアドレスレジスタ m 許可ビット）（m= 0 ～ 2）

SARLm、SARUm レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARmE ビットを“1” にすると、SARLm、SARUm レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARmE ビットを“0” にすると、SARLm、SARUm レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

25.2.8　I²C バスインタラプトイネーブルレジスタ（ICIER）

ICIER レジスタは、各種割り込み要因の使用/ 不使用を選択します。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	送信データエンプティ割り込み許可ビット 0：送信データエンプティ割り込み（TXI）の禁止 1：送信データエンプティ割り込み（TXI）の許可
6	TEIE	0	R/W	送信終了割り込み許可ビット 0：送信終了割り込み（TEI）の禁止 1：送信終了割り込み（TEI）の許可
5	RIE	0	R/W	受信データフル割り込み許可ビット 0：受信データフル割り込み（RXI）の禁止 1：受信データフル割り込み（RXI）の許可
4	NAKIE	0	R/W	NACK 受信割り込み許可ビット 0：NACK 受信割り込み（NAKI）の禁止 1：NACK 受信割り込み（NAKI）の許可
3	SPIE	0	R/W	ストップコンディション検出割り込み許可ビット 0：ストップコンディション検出割り込み（SPI）の禁止 1：ストップコンディション検出割り込み（SPI）の許可
2	STIE	0	R/W	スタートコンディション検出割り込み許可ビット 0：スタートコンディション検出割り込み（STI）の禁止 1：スタートコンディション検出割り込み（STI）の許可
1	ALIE	0	R/W	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み（ALI）の禁止 1：アービトレーションロスト割り込み（ALI）の許可
0	TMOIE	0	R/W	タイムアウト割り込み許可ビット 0：タイムアウト割り込み（TMOI）の禁止 1：タイムアウト割り込み（TMOI）の許可

TIE ビット（送信データエンプティ割り込み許可ビット）

TDRE フラグ（ICSR2 レジスタのビット7）が1” のとき、送信データエンプティ割り込み（TXI）の許可/ 禁止を選択します。

TEIE ビット（送信終了割り込み許可ビット）

TEND フラグ（ICSR2 レジスタのビット6）が“1” のとき、送信終了割り込み（TEI）の許可/ 禁止を選択します。TEI 割り込みは、TEND フラグを“0” にするか、又はTEIE ビットを“0” にすることで解除できます。

RIE ビット（受信データフル割り込み許可ビット）

RDRF フラグ（ICSR2 レジスタのビット 5）が“1” のとき、受信データフル割り込み（RXI）の許可/ 禁止を選択します。

NAKIE ビット（NACK 受信割り込み許可ビット）

NACKF フラグ（ICSR2 レジスタのビット 4）が“1” のとき、NACK 受信割り込み（NAKI）の許可/ 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0” にするか、又はNAKIE ビットを“0” にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み許可ビット）

STOP フラグ（ICSR2 レジスタのビット 3）が“1” のとき、ストップコンディション検出割り込み（SPI）の許可/ 禁止を選択します。SPI 割り込みは、STOP フラグを“0” にするか、又はSPIE ビットを“0” にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み許可ビット）

START フラグ（ICSR2 レジスタのビット 2）が“1” のとき、スタートコンディション検出割り込み（STI）の許可/ 禁止を選択します。STI 割り込みは、START フラグを“0” にするか、又はSTIE ビットを“0” にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

ICSR2 レジスタのAL フラグが“1” のとき、アービトレーションロスト割り込み（ALI）の許可/ 禁止を選択します。ALI 割り込みは、AL フラグを“0” にするか、又はALIE ビットを“0” にすることで解除できます。

TMOIE ビット（タイムアウト割り込み許可ビット）

TMOF フラグ（ICSR2 レジスタのビット 0）が“1” のとき、タイムアウト割り込み（TMOI）の許可/ 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0” にするか、又はTMOIE ビットを“0” にすることで解除できます。

25.2.9　I2C バスステータスレジスタ1（ICSR1）

ICSR1 レジスタは、各種アドレス検出のステータスの確認を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	—	R/W	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	HOA	0	R/W	ホストアドレス検出フラグ 0：ホストアドレス未検出 1：ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス（0001 000）と一致した場合
6	—	0	—	リザーブビット
5	DID	0	R/W	デバイスID アドレス検出フラグ 0：デバイスID アドレス未検出 1：デバイスID アドレス検出 • スタートコンディション直後の第1フレームがデバイスID アドレス（1111 100）＋0[W]と一致した場合
4	—	0	—	リザーブビット
3	GCA	0	R/W	ジェネラルコールアドレス検出フラグ 0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出 • 受信したスレーブアドレスがジェネラルコールアドレス（All“0”）と一致した場合
2	AAS2	0	R/W	スレーブアドレス2検出フラグ 0：スレーブアドレス2未検出 1：スレーブアドレス2検出 • SARU2 レジスタのFS ビット=0（7 ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL2 レジスタのSVA[7:1]と一致したとき • SARU2 レジスタのFS ビット=1（10 ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0＋SARU2 レジスタのSVA[9:8]に一致し、それに続くアドレスがSARL2 レジスタと一致したとき （“1”になるタイミングは、SARL2 一致判定フレームのSCL クロックの9 クロック目の立ち上がり時）

ビット	ビット名	初期値	R/W	説 明
1	AAS1	0	R/W	スレーブアドレス1検出フラグ 0：スレーブアドレス1未検出 1：スレーブアドレス1検出 • SARU1レジスタのFSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL1レジスタのSVA[7:1]と一致したとき • SARU1レジスタのFSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0＋SARU1レジスタのSVA[9:8]に一致し、それに続くアドレスがSARL1レジスタと一致したとき （“1”になるタイミングは、SARL1一致判定フレームのSCLクロックの9クロック目の立ち上がり時）
0	AAS0	0	R/W	スレーブアドレス0検出フラグ 0：スレーブアドレス0未検出 1：スレーブアドレス0検出 • SARU0レジスタのFSビット=0（7ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスがSARL0レジスタのSVA[7:1]と一致したとき • SARU0レジスタのFSビット=1（10ビットアドレスフォーマット選択）の場合、受信したスレーブアドレスが1111 0b＋SARU0レジスタのSVA[9:8]に一致し、それに続くアドレスがSARL0レジスタと一致したとき （“1”になるタイミングは、SARL0一致判定フレームのSCLクロックの9クロック目の立ち上がり時）

HOA フラグ（ホストアドレス検出フラグ）

［“1” になる条件］

• ICSER レジスタの HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

• “1” を読んだ後、“0” を書いたとき
• ストップコンディションを検出したとき
• ICMR3 レジスタの SMBS ビットに “0” 又は ICSER レジスタの HOAE ビットに “0” を書いたとき
• ICSER レジスタの HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
• ICCR1 レジスタの IICRST ビットに “1” を書いたとき

DID フラグ（デバイス ID アドレス検出フラグ）

［“1” になる条件］

• DIDE ビット（ICSER レジスタのビット 5）が “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出又はリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100）＋ 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

• “1” を読んだ後、“0” を書いたとき
• ストップコンディションを検出したとき

- ICSER レジスタの DIDE ビットが“1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出又はリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER レジスタの DIDE ビットが“1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出又はリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100）＋ 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

GCA フラグ（ジェネラルコールアドレス検出フラグ）

［“1” になる条件］

- GCAE ビット（ICSER レジスタのビット 3）が“1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000 ＋ 0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSER レジスタの GCAE ビットが“1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000 ＋ 0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

AASm フラグ（スレーブアドレス m 検出フラグ）（m= 0 ～ 2）

［“1” になる条件］

【7 ビットアドレスフォーマット選択時: SARUm レジスタの FS ビット = 0】

- SARmE ビット（ICSER レジスタのビット 2 ～ 0）が“1”（スレーブアドレス m 検出有効）の状態で、受信したスレーブアドレスが SVA[7:1] ビット（SARLm レジスタのビット 7 ～ 1）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時: SARUm レジスタの FS ビット = 1】

- ICSER レジスタの SARmE ビットが“1”（スレーブアドレス m 検出有効）の状態で、受信したスレーブアドレスが 11110 ＋ SVA[9:8] ビット（SARUm レジスタのビット 2、1）と一致し、それに続くアドレスが SARL m レジスタと一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

【7 ビットアドレスフォーマット選択時: SARUm レジスタの FS ビット = 0】

- ICSER レジスタの SARmE ビットが“1”（スレーブアドレス m 検出有効）の状態で、受信したスレーブアドレスが SARLm レジスタの SVA[7:1] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時: SARU レジスタの FS ビット = 1】

- ICSER レジスタの SARmE ビットが“1”（スレーブアドレス m 検出有効）の状態で、受信したスレーブアドレスが 11110 ＋ SARUm レジスタの SVA[9:8] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- ICSER レジスタの SARE ビットが“1”（スレーブアドレス m 検出有効）の状態で、受信したスレーブアドレスが 11110 ＋ SARUm レジスタの SVA[9:8] と一致し、それに続くアドレスが SARLm レジスタと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

25.2.10 I2C バスステータスレジスタ2（ICSR2）

ICSR2 レジスタは、各種割り込み要求フラグ及びステータスの確認を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	送信データエンプティフラグ 0：ICDRT レジスタに送信データあり 1：ICDRT レジスタに送信データなし
6	TEND	0	R/W	送信終了フラグ 0：データ送信中 1：データ送信終了
5	RDRF	0	R/W	受信データフルフラグ 0：ICDRR レジスタに受信データなし 1：ICDRR レジスタに受信データあり
4	NACKF	0	R/W	NACK 検出フラグ 0：NACK 未検出 1：NACK 検出
3	STOP	0	R/W	ストップコンディション検出フラグ 0：ストップコンディション未検出 1：ストップコンディション検出
2	START	0	R/W	スタートコンディション検出フラグ 0：スタートコンディション未検出 1：スタートコンディション検出
1	AL	0	R/W	アービトレーションロストフラグ 0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり
0	TMOF	0	R/W	タイムアウト検出フラグ 0：タイムアウト未検出 1：タイムアウト検出

TDRE フラグ（送信データエンプティフラグ）

［“1” になる条件］

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2 レジスタの TRS ビットが “1” になったとき
  (a) スタートコンディション（リスタートコンディション含む）検出後、ICCR2 レジスタの MST ビットが “1” のとき
  (b) 受信モードから送信モードになったとき
  (c) ICMR1 レジスタの MTWP ビットが “1” の状態で、“1” を書いたとき
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

［“0” になる条件］
- ICDRT レジスタへデータを書いたとき
- ICCR2 レジスタの TRS ビットが“0” になったとき
  (a) ストップコンディションを検出したとき
  (b) 送信モードから受信モードになったとき
  (c) ICMR1 レジスタの MTWP ビットが“1” の状態で、“0” を書いたとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

TEND フラグ（送信終了フラグ）

［“1” になる条件］
- TDRE フラグが“1” の状態で、SCL クロックの 9 クロック目の立ち上がり

［“0” になる条件］
- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

RDRF フラグ（受信データフルフラグ）

［“1” になる条件］
- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3 レジスタの RDRFS ビットの設定により SCL クロックの 8 又は 9 クロック目の立ち上がりで“1” になります。
- スタートコンディション（リスタートコンディション含む）検出後、受信したスレーブアドレスが一致し ICCR2 レジスタの TRS ビットが“0” のとき

［“0” になる条件］
- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

NACKF フラグ（NACK 検出フラグ）

［“1” になる条件］
- ICFER レジスタの NACKE ビットが“1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

［“0” になる条件］
- “1” を読んだ後、“0” を書いたとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

注． NACKF フラグが“1” になると RIIC は通信動作を中断します。NACKF フラグが“1” の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0” にしてください。

STOP フラグ（ストップコンディション検出フラグ）

［“1” になる条件］
- ストップコンディションを検出したとき

［“0” になる条件］
- “1” を読んだ後、“0” を書いたとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

START フラグ（スタートコンディション検出フラグ）

［“1” になる条件］
- スタートコンディション（リスタートコンディション含む）を検出したとき

［“0” になる条件］
- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレス及びデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDAn ラインのレベルを監視し、出力データと SDAn ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定によりマスタモード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

［“1” になる条件］

【マスタアービトレーションロスト検出有効時：ICFER レジスタの MALE ビット＝ 1】
- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致（内部 SDA 出力が H 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDAn ラインに L を検出）したとき
- ICCR2 レジスタの ST ビットが“1”(スタートコンディション発行要求)の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき
- ICCR2 レジスタの BBSY フラグが“1” の状態で ICCR2 レジスタの ST ビットが“1”（スタートコンディション発行要求）に設定したとき

【NACK アービトレーションロスト検出有効時：ICFER レジスタの NALE ビット＝ 1】
- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：ICFER レジスタの SALE ビット＝ 1】
- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき

［“0” になる条件］
- “1” を読んだ後、“0” を書いたとき
- ICCR1 レジスタの IICRST ビットに“1” を書いたとき

表 25.5　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	×	×	1	スタートコンディション発行エラー	ICCR2 レジスタの ST=1 の状態でスタートコンディション検出時に自分が出した SDA 信号と SDAn ライン上の信号の状態が不一致のとき
					ICCR2 レジスタの BBSY=1 の状態で ICCR2 レジスタの ST=1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
×	1	×	1	NACK 送信不一致	マスタ受信モード又はスレーブ受信モードで NACK 送信時に ACK を検出したとき
×	×	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

×：“0”又は“1”いずれでもよい。

TMOF フラグ（タイムアウト検出フラグ）

SCLn ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1” になります。
［“1” になる条件］
- ICFER レジスタの TMOE ビットが “1”（タイムアウト検出機能有効）で、かつマスタモード又はスレーブ指定された状態で ICMR2 レジスタの TMOH、TMOL、TMOS ビットで選択された条件の期間 SCLn ラインの状態に変化がないとき

［“0” になる条件］
- “1” を読んだ後、“0” を書いたとき
- ICCR1 レジスタの IICRST ビットに “1” を書いたとき

25.2.11 スレーブアドレスレジスタ Lm（SARLm）（m= 0 ～ 2）

SARLm レジスタは、スレーブアドレス m（7 ビットアドレス又は 10 ビットアドレス下位 8 ビット）を設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SVA[7:1]							SVA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～1	SVA[7:1]	H’00	R/W	スレーブアドレス 7～1 • 7 ビットアドレスフォーマット選択（FS ビット=0）時 7 ビットスレーブアドレスを設定してください • 10 ビットアドレスフォーマット選択（FS ビット=1）時 10 ビットスレーブアドレスの下位 7～0 ビットを設定してください。
0	SVA0	0	R/W	スレーブアドレス 0 • 7 ビットアドレスフォーマット選択（FS ビット=0）時 このビットは無効です • 10 ビットアドレスフォーマット選択（FS ビット=1）時 10 ビットスレーブアドレスの最下位ビットを設定してください

SVA[7:1] ビット（7 ビットアドレス/10 ビットアドレス下位ビット）

7 ビットアドレスフォーマット選択時（FS ビット（SARUm レジスタのビット 0）=0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（SARUm レジスタの FS ビット=1）、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER レジスタの SARmE ビットが “0” のとき設定値は無視されます。

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（SARUm レジスタの FS ビット=1）、10 ビットアドレス最下位ビットとして機能し、SVA[7:1] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER レジスタの SARmE ビットが“1”（SARLm、SARUm レジスタ有効）でかつ SARUm レジスタの FS ビットが“1” のとき設定値が有効になり、SARUm レジスタの FS ビット又は SARmE ビットが“0” のとき設定値は無視されます。

25.2.12 スレーブアドレスレジスタ Um（SARUm）（m= 0 ～ 2）

SARUm レジスタは、7 ビット/10 ビットアドレスフォーマットの選択と 10 ビットスレーブアドレスの上位ビットを設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SVA[9:8]		FS
初期値:	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	0	—	リザーブビット
2、1	SVA[9:8]	00	R/W	スレーブアドレス 9、8 • 7 ビットアドレスフォーマット選択（FS ビット=0）時 このビットは無効です • 10 ビットアドレスフォーマット選択（FS ビット=1）時 10 ビットスレーブアドレスの上位 2 ビットを設定してください
0	FS	0	R/W	7 ビット/10 ビットアドレスフォーマット選択ビット 0：7 ビットアドレスフォーマット選択 1：10 ビットアドレスフォーマット選択

SVA[9:8] ビット（10 ビットアドレス上位ビット）

10 ビットアドレスフォーマット選択時（FS ビット=1）、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER レジスタの SARmE ビットが“1”（SARLm、SARUm レジスタ有効）でかつ SARUm レジスタの FS ビットが“1” のとき設定値が有効になり、SARUm レジスタの FS ビット又は SARmE ビットが“0” のとき設定値は無視されます。

FS ビット（7 ビット/10 ビットアドレスフォーマット選択ビット）

スレーブアドレス m（SARLm、SARUm レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER レジスタの SARmE ビットが“1”（SARLm、SARUm レジスタ有効）でかつ SARUm レジスタの FS ビットが“0” のとき、スレーブアドレス m は 7 ビットアドレスフォーマットが選択され、SARLm レジスタの SVA[7:1] ビットの設定値が有効になり SVA[9:8] ビット及び SVA0 ビット（SARLm レジスタのビット 0）の設定値は無視されます。

ICSER レジスタの SARmE ビットが “1”（SARLm、SARUm レジスタ有効）でかつ SARUm レジスタの FS ビットが “1” のとき、スレーブアドレス m は 10 ビットアドレスフォーマットが選択され、SVA[9:8] ビット、SARLm レジスタの設定値が有効になります。

ICSER レジスタの SARmE ビットが “0”（SARLm、SARUm レジスタ無効）のとき SARUm レジスタの FS ビットの設定値は無効です。

25.2.13 I2C バスビットレート L レベルレジスタ（ICBRL）

ICBRL レジスタは、SDA 内部入力遅延と SCL クロックの L 幅を設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	SDID [1:0]		—	BRL[4:0]				
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	SDID [1:0]	11	R/W	SDA 内部入力遅延ビット b7 b6 0 0 : 1 IICϕ サイクル 0 1 : 2 IICϕ サイクル 1 0 : 4 IICϕ サイクル 1 1 : 入力遅延なし
5	—	1	—	リザーブビット
4～0	BRL [4:0]	11111	R/W	ビットレート L 幅設定ビット SCL クロックの L 幅の値を設定

BRL ビットは CKS[2:0] ビット（ICMR1 レジスタのビット 6～4）で選択した内部基準クロックソース（IICφ）で L 幅をカウントします。ICBRL レジスタの BRL はマスターモード時に有効です。RIIC をスレーブモードでのみ使用する場合には、本レジスタに L 幅を設定する必要はありません。

SDID[1:0] ビットは SDA 内部入力遅延を設定します。入力された SDA のレベル変化を検出する信号を SDID ビットで設定された IICφ サイクル分遅延します。

それにより SDA がデータインプットホールドタイム（tSDAH)違反の信号で、立下り / 立ち上がりエッジが急峻な場合に、スタートコンディション / ストップコンディションの誤検出を起こりにくくすることができます。

25.2.14 I²C バスビットレートHレベルレジスタ（ICBRH）

ICBRHレジスタはSCLクロックのH幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、H幅を設定する必要はありません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	BRH[4:0]				
初期値：	1	1	1	1	1	1	1	1
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7～5	—	1	—	リザーブビット
4～0	BRH[4:0]	11111	R/W	ビットレートH幅設定ビット SCLクロックのH幅の値を設定

ICBRHレジスタはICMR1レジスタのCKS[2:0]ビットで選択された内部基準クロックソース（IICφ）でH幅をカウントします。

I²C転送速度及びSCLクロックのデューティ比は以下の式で算定します。

転送速度 = IICϕ/(tr(注1) x IICϕ + tf(注1) x IICϕ + ICBRH + ICBRL + 4 + フィルタ段数(注2) x 2 + 1(注3))

SCLnのL 幅/H 幅：

L 幅 = (ICBRL + 2 + フィルタ段数(注2)) x 1/IICϕ + 1/IICϕ(注3)

H 幅 = (ICBRH + 2 + フィルタ段数(注2)) x 1/IICϕ + 1/IICϕ(注3)

注1. tr: SCLnライン立ち上がり時間
tf: SCLnライン立ち下がり時間
trとtfは全体のバスライン静電容量[Cb]とプルアップ抵抗[Rp]によって変動します。
詳細についてはNXPセミコンダクターズ社のI²Cバス規格書を参照してください。
2. デジタルノイズフィルタの段数はICMR3のNF[1:0]ビットによって設定されます。
3. IICϕ = Pck (CKS[2:0] = 000)のときに限り必要です。

ICBRH、ICBRLレジスタの値の設定例を表25.6に示します。

表25.6　転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK（MHz）		
	48		
	CKS[2:0]	ICBRH	ICBRL
100	011	23 (H'17)	23 (H'17)
400	001	20 (H'14)	19 (H'13)
1000	000	14 (H'0E)	14 (H'0E)

注.　表内のICBRH、ICBRLは以下の値で計算されています。
SCLnライン立ち上がり時間(tr)）を～100kbps以下[Sm]は1000ns、～400kbps[Fm]は300ns、～1Mbps[Fm+]は120ns
SCLnライン立ち下がり時間 (tf)を～400kbps以下[Sm/Fm]は300ns、～1Mbps[Fm+]は120n
SCLnライン立ち上がり時間 (tr)とSCLnライン立ち下がり時間(tf)の規格値については、NXP社のI²Cバス規格書を参照してください。
SCL負荷のため、実際の周波数は計算した値より低くなります。その場合はICBRHとICBRLの値を下げて、周波数を調整することが必要です。

25.2.15 I2C バス送信データレジスタ（ICDRT）

ビット:	7	6	5	4	3	2	1	0
	ICDRT [7:0]							
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICDRT レジスタは、送信データを格納する8 ビットの読み書き可能なレジスタです。

I2C バスシフトレジスタ（ICDRS）の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータをICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し/書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに1 回だけ行ってください。

25.2.16 I2Cバス受信データレジスタ（ICDRR）

ビット:	7	6	5	4	3	2	1	0
	ICDRR[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ICDRR レジスタは、受信データを格納する8 ビットの読み出し専用のレジスタです。

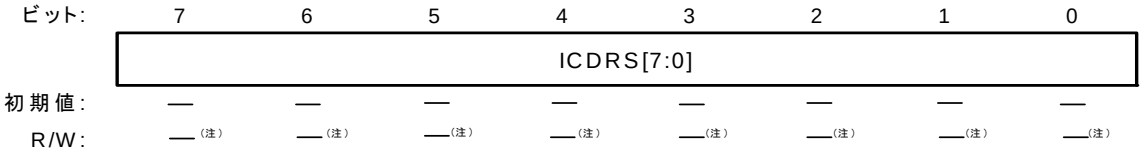
1 バイトのデータの受信が終了すると、受信したデータは I2C バスシフトレジスタ（ICDRS）から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータをICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み（RXI）要求が発生したときに1 回だけ行ってください。

受信データをICDRR レジスタから読み出ししないまま（ICSR2 レジスタのRDRF フラグが“1” の状態のまま）次の受信データを受け取ると、RIIC はRDRF フラグが次に“1” になるタイミングの1 つ手前のSCLn クロックで自動的にL ホールドを行います。

25.2.17 I2C バスシフトレジスタ（ICDRS）



注. 送信時に、データはICDRT レジスタからICDRS レジスタへ転送されます。受信時に、データはICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは、データを送信/受信するためのシフトレジスタです。

送信時はICDRT レジスタから送信データがICDRS レジスタに転送され、SDAn 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

25.3　動作説明

25.3.1　通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディション及びリスタートコンディションに続くフレームは、アドレスフレームでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 25.3 に I²C バスフォーマットを、図 25.4 に I²C バスタイミングを示します。

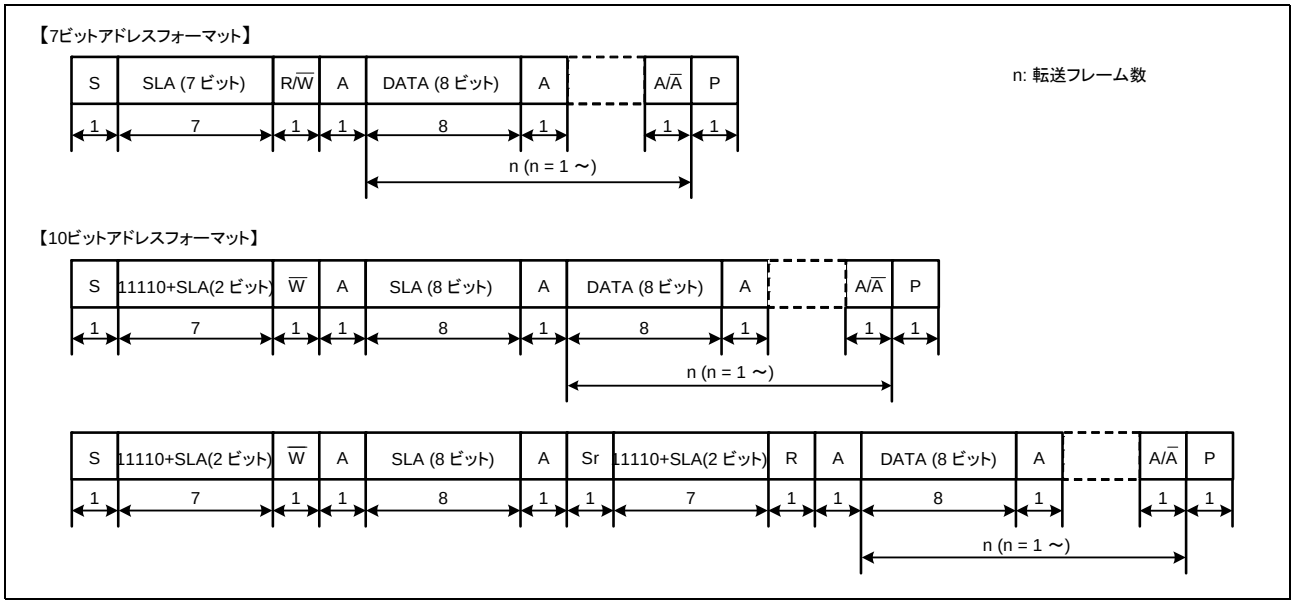


図 25.3　I²C バスフォーマット

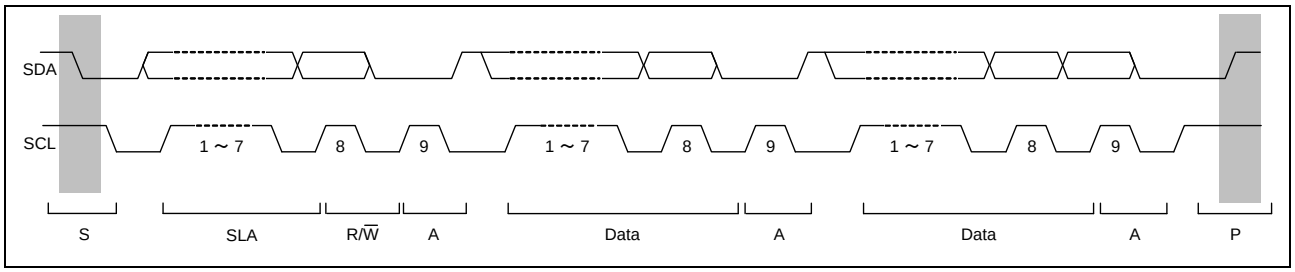


図 25.4　I²C バスタイミング（SLA=7 ビットの場合）

【記号説明】

S　：スタートコンディションを示します。マスタデバイスが、SCLn ラインが H の状態で SDAn ラインが H から L に変化します。

SLA　：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W　：送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。

A　：アクノリッジを示します。受信デバイスが SDAn ラインを L にします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

Sr　：リスタートコンディションを示します。マスタデバイスが、SCLn ラインが H の状態でセットアップ時間経過後に SDAn ラインが H から L に変化します。

DATA　：送受信データを示します。

P　：ストップコンディションを示します。マスタデバイスが、SCLn ラインが H の状態で SDAn ラインが L から H に変化します。

25.3.2　初期設定

データの送信/受信を開始する場合、図25.5 に示す手順に従ってRIIC を初期化してください。



図 25.5　RIIC の初期化フローチャート例

25.3.3　マスタ送信動作

マスタ送信では、マスタデバイスであるRIICがSCLクロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図25.6にマスタ送信の使用例を、図25.7～図25.9にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

1. ICCR1レジスタのICEビットを“0”（機能停止状態）にしたままICCR1レジスタのIICRSTビットを“1”（内部リセット）にした後、“0”（リセット解除）にします。これによりICSR1レジスタの各フラグや内部状態の初期化を行います。その後、ICCR2、ICMR1、ICMR2、ICMR3、SARLn、SARUn（n = 0～2）、ICBRH、ICBRLレジスタを設定し、その他のレジスタは必要に応じて設定してください（RIICの初期設定については図25.5参照）。必要なレジスタの設定が終了したら、ICEビットを“1”（転送可能状態）にしてください。すでにRIICの初期化が完了している場合、この手順は不要です。
2. ICCR2レジスタのBBSYフラグを読んでバスが解放状態であることを確認した後、STビット（ICCR2レジスタのビット1）に“1”を書きます（スタートコンディション発行要求）。RIICはスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIICはスタートコンディションを検出するとBBSYフラグ、ICSR2レジスタのSTARTフラグを自動的に“1”にし、STビットを自動的に“0”にします。このときSTビットが“1”の状態で自分が出したSDA信号とSDAnラインの状態がずれることなくスタートコンディションを検出した場合、RIICはSTビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2レジスタのMST、TRSビットを自動的に“1”にしてマスタ送信モードになります。またICSR2レジスタのTDREフラグ は、TRSビット=1により自動的に“1”になります。
3. ICSR2レジスタのTDREフラグが“ 1 ”であることを確認した後、ICDRTレジスタに送信データ（スレーブアドレスとR/$\overline{W}$ビット）を書いてください。ICDRTレジスタに送信データを書くとTDREフレジスタのラグは自動的に“0”になり、ICDRTレジスタからICDRSレジスタにデータが転送されて、再びTDREフラグが“1”になります。R/$\overline{W}$ビットを含むスレーブアドレスの送信が完了すると、送信されたR/$\overline{W}$ビットにより自動的にTRSビットが変更され送信モード/受信モードが選択されます。RIICはR/$\overline{W}$ビット=0を受信すると、引き続きマスタ送信モードの状態を継続します。このときICSR2レジスタのNACKFフラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行はICCR2レジスタのSPビットに“1”を書くことで行われます。なお10ビットアドレスフォーマットで送信する場合は、まず1回目のアドレス送信処理でICDRTレジスタに1111 0+スレーブアドレスの上位2ビット＋Wを書き、2回目のアドレス送信処理でICDRTレジスタにスレーブアドレスの下位8ビットを書いてください。
4. ICSR2レジスタのTDREフラグが“ 1 ”であることを確認した後、送信データをICDRTレジスタに書いてください。なお、送信データの準備ができるまで、又はストップコンディションを発行するまでの間RIICは自動的にSCLnラインをLにホールドします。
5. 送信する全バイトをICDRTレジスタに書いた後、ICSR2レジスタのTENDフラグが“1”になるまで待ってからICCR2レジスタのSPビットに“1”を書いてください（ストップコンディション発行要求）。RIICはストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
6. RIICはストップコンディションを検出すると、ICCR2レジスタのMST、TRSビットが自動的に“00”になり、スレーブ受信モードに移行します。また、ストップコンディション検出によりICSR2レジスタのTDRE、TENDフラグも自動的に“0”になり、ICSR2レジスタのSTOPフラグが“1”になります。
7. ICSR2レジスタのSTOPフラグが“ 1 ”であることを確認した後、次通信のためにICSR2レジスタのNACKF、STOPフラグを“0”にしてください。

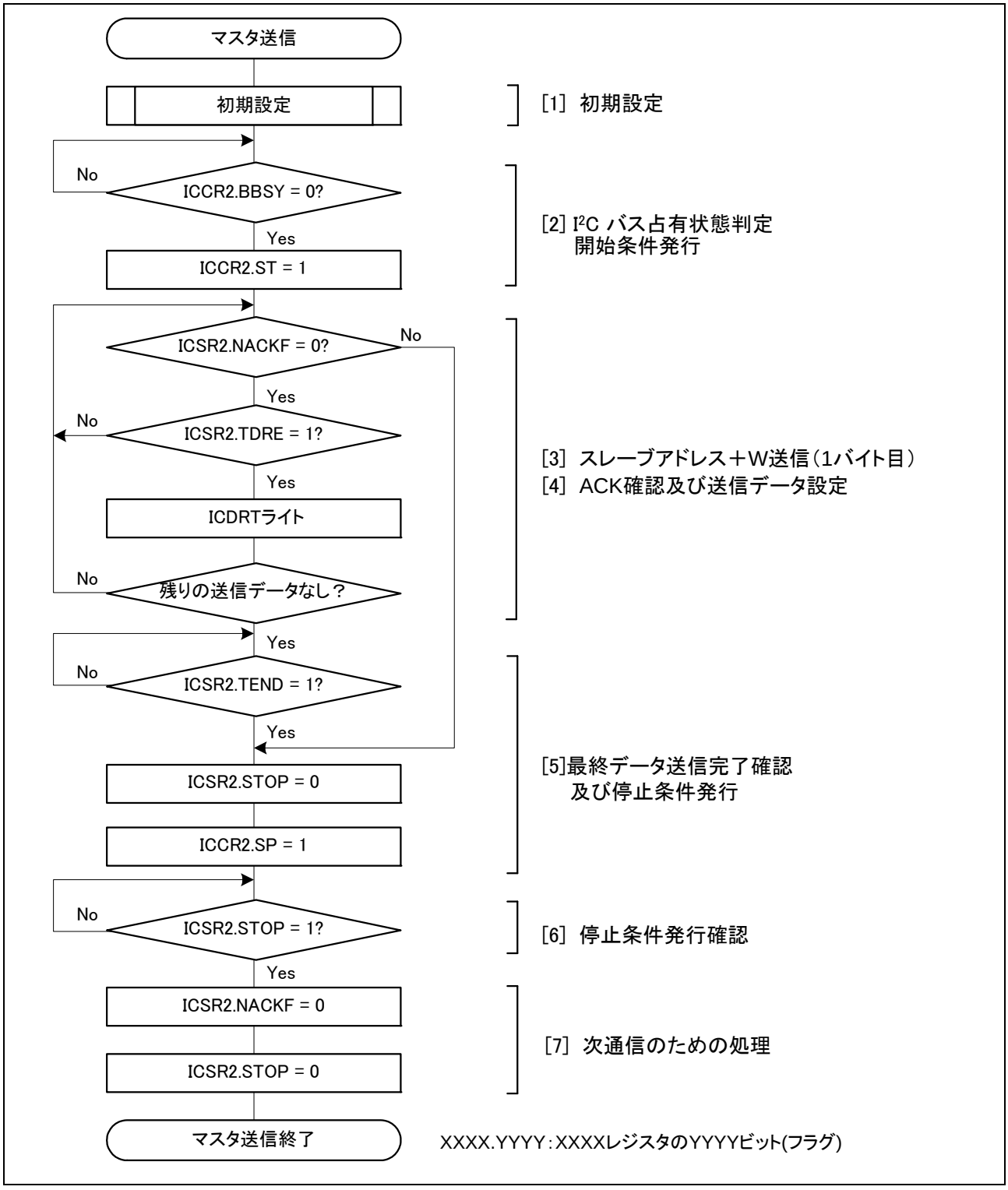


図 25.6　マスタ送信のフローチャート例

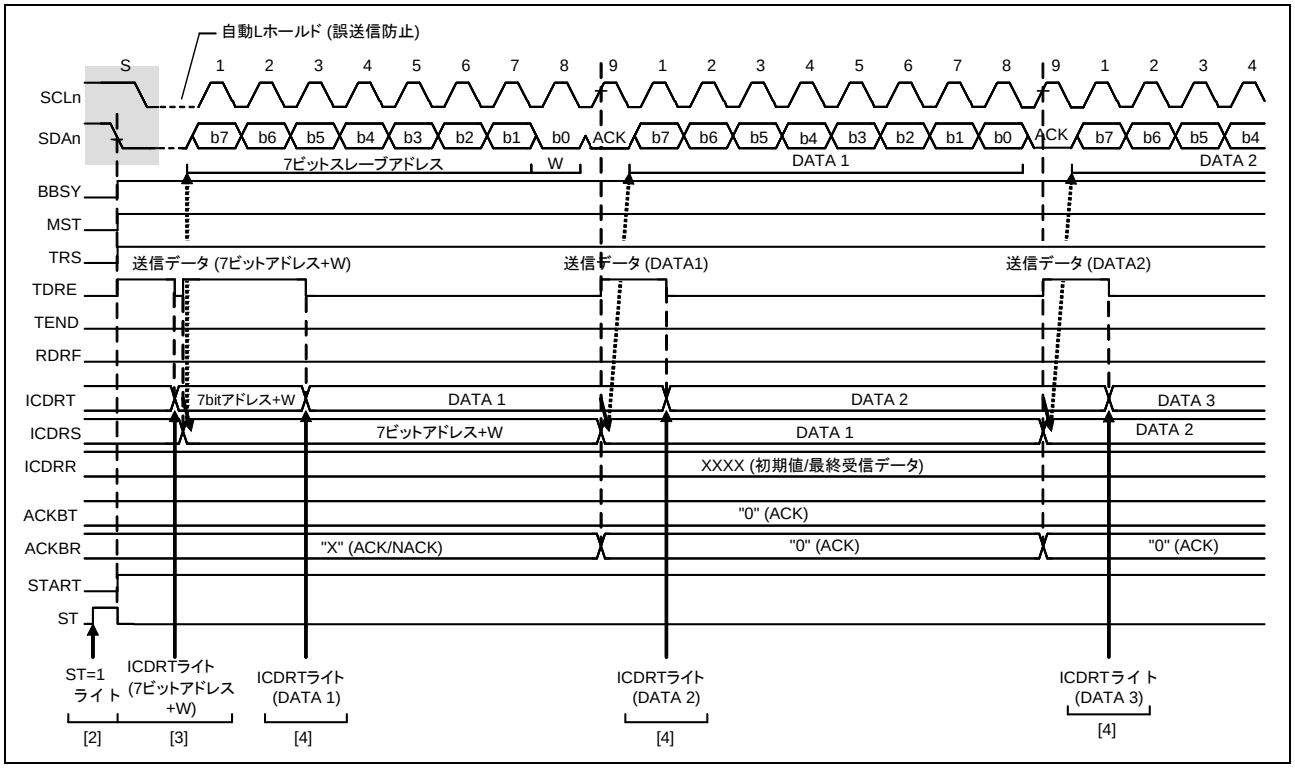


図 25.7　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

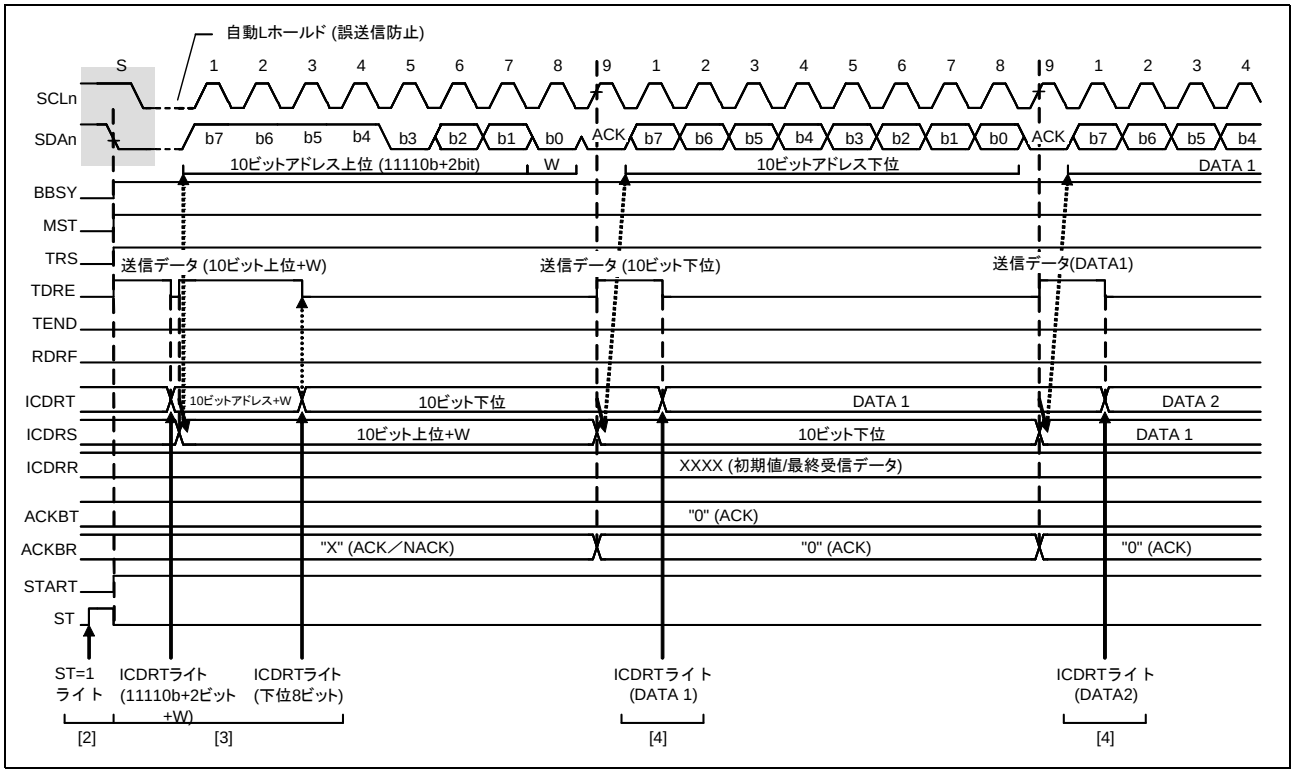


図 25.8　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

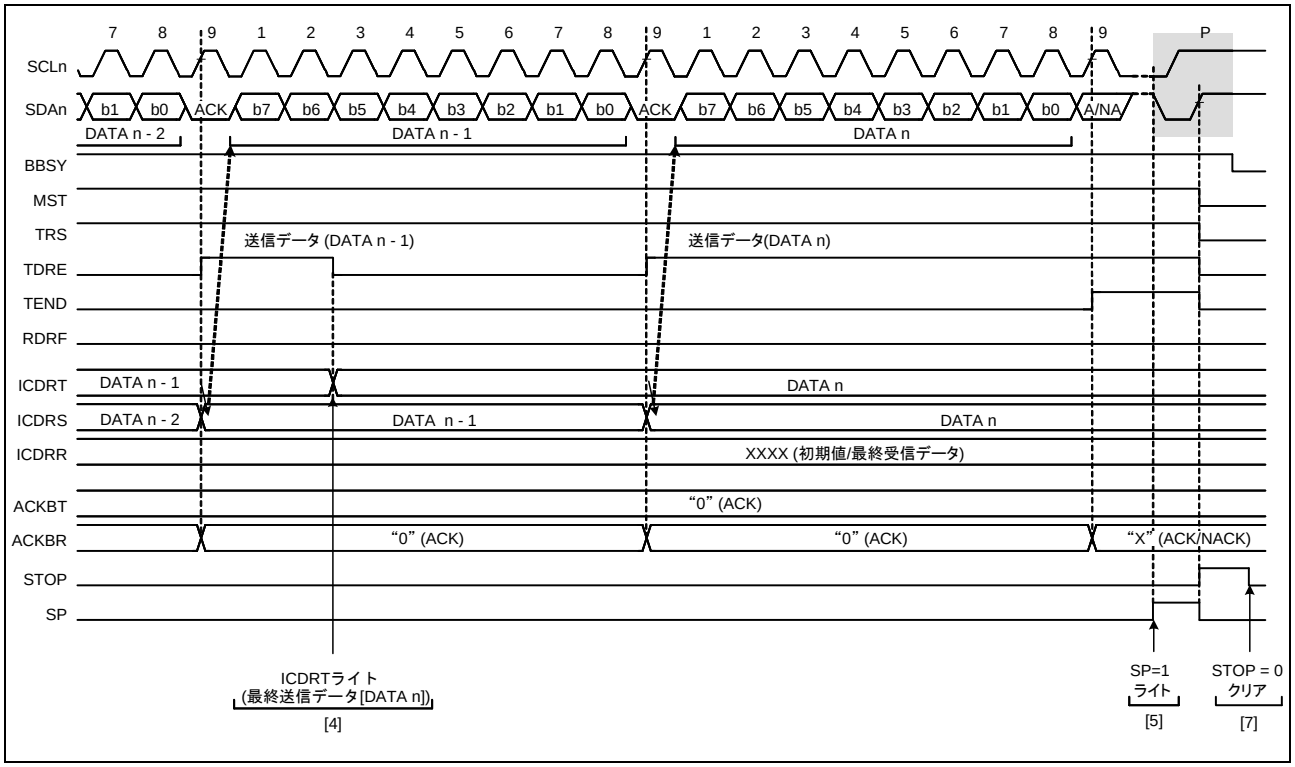


図 25.9　マスタ送信の動作タイミング（3）

25.3.4　マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 25.10 にマスタ受信の使用例（7 ビットアドレスフォーマットの場合）を、図 25.11 ～図 25.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

1. ICCR1 レジスタの ICE ビットを“0”（機能停止状態）にしたまま ICCR1 レジスタの IICRST ビットを“1”（内部リセット）にした後、“0”（リセット解除）にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、ICCR2、ICMR1、ICMR2、ICMR3、SARLn、SARUn (n = 0 ～ 2)、ICBRH、ICBRL を設定してください（RIIC の初期設定については図 25.5 参照）。必要なレジスタの設定が終了した後、ICE ビットを“1”（転送可能状態）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。
2. ICCR2 レジスタの BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2 レジスタの ST ビットに“1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2 レジスタの START フラグを自動的に“1” にし、ST ビットを自動的に“0” にします。このとき ST ビットが“1”の状態で自分が出した SDA 信号と SDAn ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2 レジスタの MST、TRS ビットを自動的に“1” にしてマスタ送信モードになります。また ICSR2 レジスタの TDRE フラグは、TRS ビット=1 により自動的に“1” になります。
3. ICSR2 レジスタの TDRE フラグが“ 1 ”であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/$\overline{W}$ ビット）を書いてください。ICDRT レジスタに送信データを書くと TDRE フ

ラグは自動的に“0” になり、ICDRT レジスタからICDRS レジスタにデータが転送されて、再びTDRE フラグが“1” になります。R/W ビットを含むスレーブアドレスの送信が完了すると、送信されたR/W ビットにより自動的にICCR2 レジスタのTRS ビットが変更され送信モード/ 受信モードが選択されます。RIIC はR/W ビット= 1 を受信すると、9 クロック目の立ち上がりでTRS ビットを“0” にしてマスタ受信モードに移行します。このとき TDRE フラグは “0” に、ICSR2 レジスタの RDRF フラグは自動的に“1” になります。このときICSR2 レジスタのNACKF フラグが“1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行はICCR2 レジスタのSP ビットに“1” を書くことで行えます。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0+ スレーブアドレスの上位2 ビット＋ R/W（ここではR/W=0）を送信することで、マスタ受信モードに移行します。

4. ICSR2 レジスタのRDRF フラグが“1” であることを確認した後、ダミーでICDRR レジスタを読むと、RIIC はSCL クロックを出力して受信動作を開始します。
5. 1 バイトのデータ受信が終了し、RDRFS ビット（ICMR3 レジスタのビット5）で設定したSCL クロックの8 クロック目、あるいは9 クロック目の立ち上がりで、ICSR2 レジスタの RDRF フラグが“1” になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時にRDRF フラグは自動的に “0” になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ACKBT ビット（ICMR3 レジスタのビット3）に設定された値が返信されます。また、次の受信バイトが最終バイトー 1 の場合、ICDRR レジスタ（最終バイトー 2 バイト目）を読む前にWAIT ビット（ICMR3 レジスタのビット6）を“1”（WAIT あり）にしてください。これにより、続く 6 の処理（ICMR3・・・＝“1”(NACK)）が他割り込みなどにより遅れた場合でも最終バイトでNACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCLn ラインを L に固定して、ストップコンディション発行可能状態にすることができます。
6. ICMR3 レジスタの RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3 レジスタのACKBT ビットを“1”（NACK）にしてください。
7. ICDRR レジスタ（最終バイトー 1 バイト目）読み出し後、ICSR2 レジスタのRDRF フラグが“1” であることを確認してから、ICCR2 レジスタのSP ビットに“1” を書いて（ストップコンディション発行要求）、ICDRR レジスタ（最終バイト）を読んでください。RIIC はICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目のL 出力終了又はSCL ラインのL ホールド解除後にストップコンディションを発行します。
8. RIIC はストップコンディションを検出すると、ICCR2 レジスタのMST、TRS ビットは自動的に“00” になり、スレーブ受信モードに移行します。また、ストップコンディション検出によりICSR2 レジスタのSTOP フラグが“1” になります。
9. 次通信のためにICSR2 レジスタのNACKF、STOP フラグを “0” にしてください。

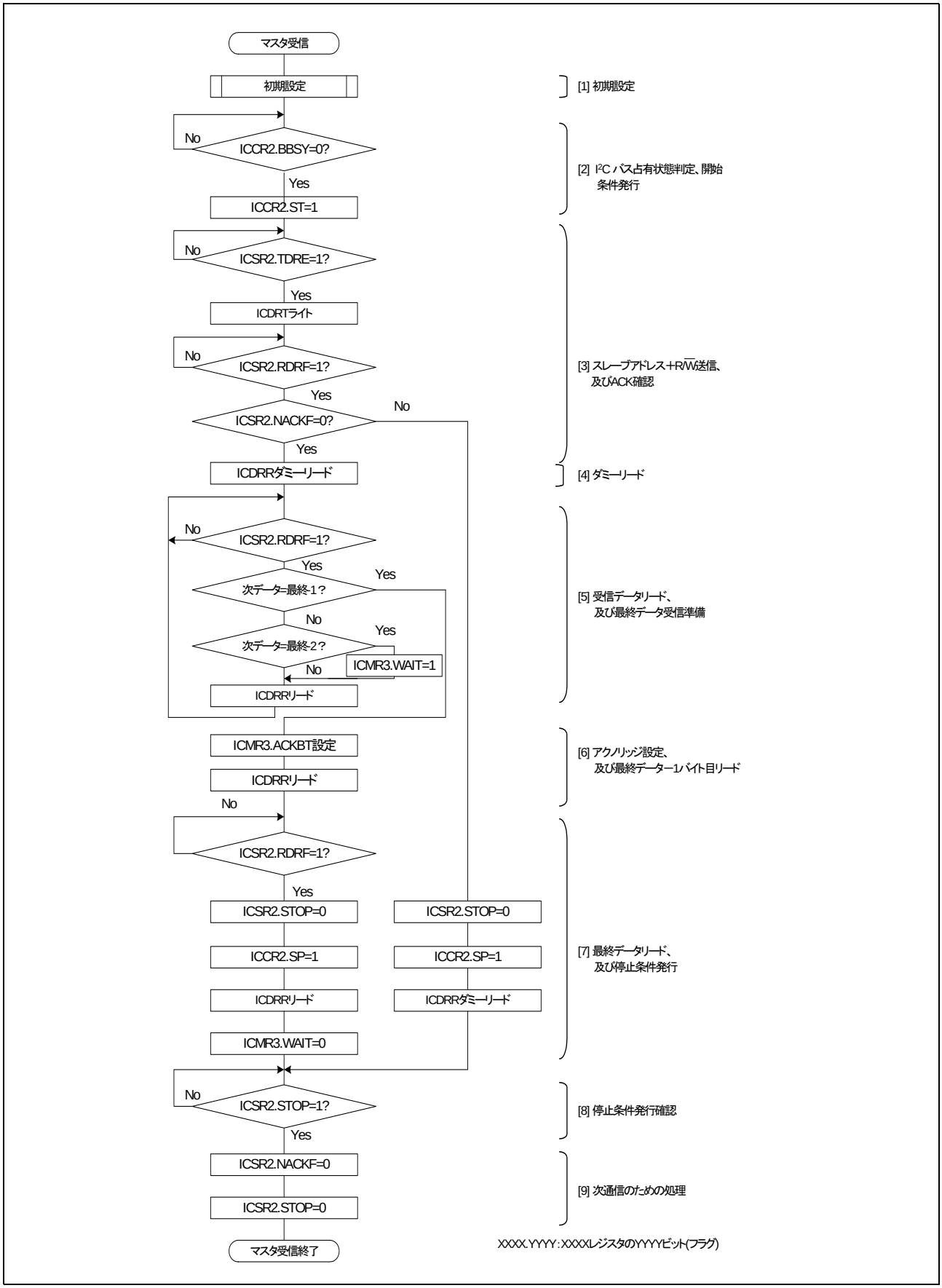


図 25.10　マスタ受信のフローチャート例（7 ビットアドレスフォーマットの場合）

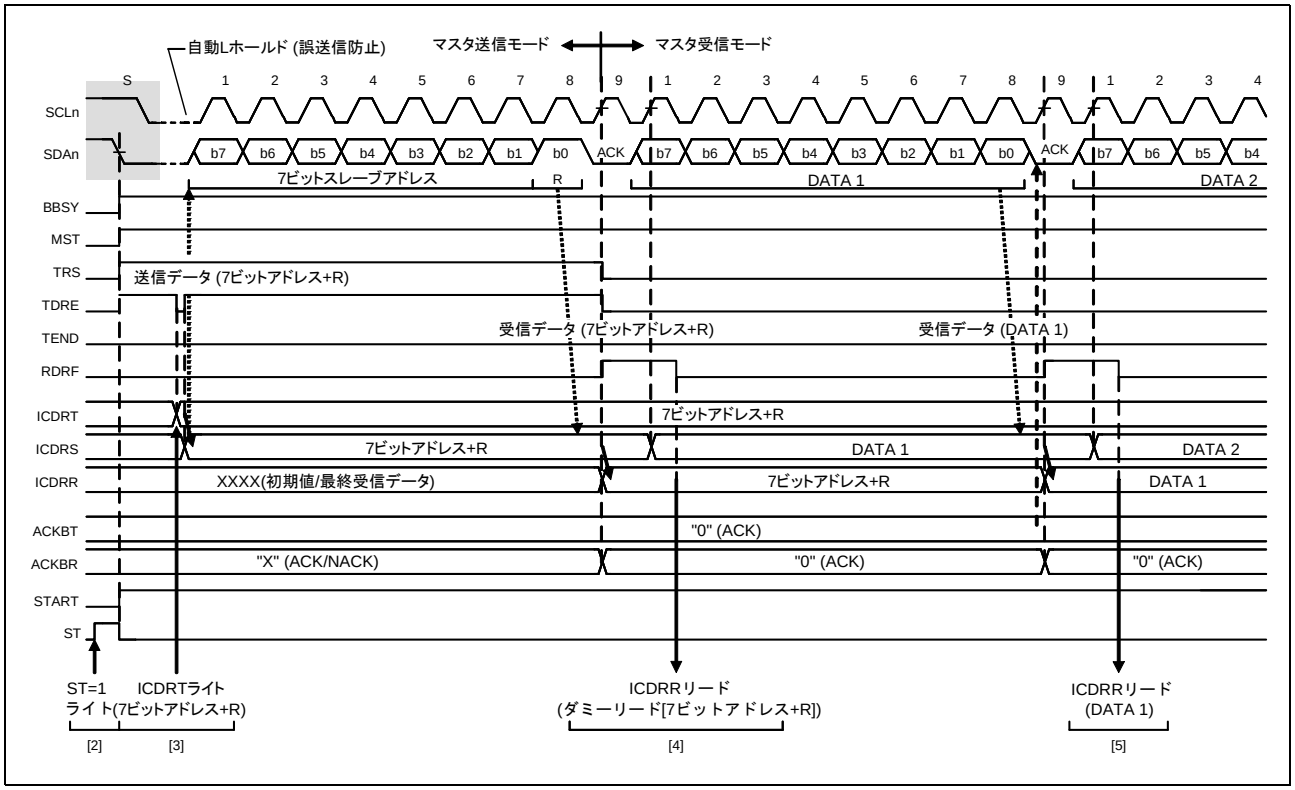


図 25.11　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS=0 のとき）

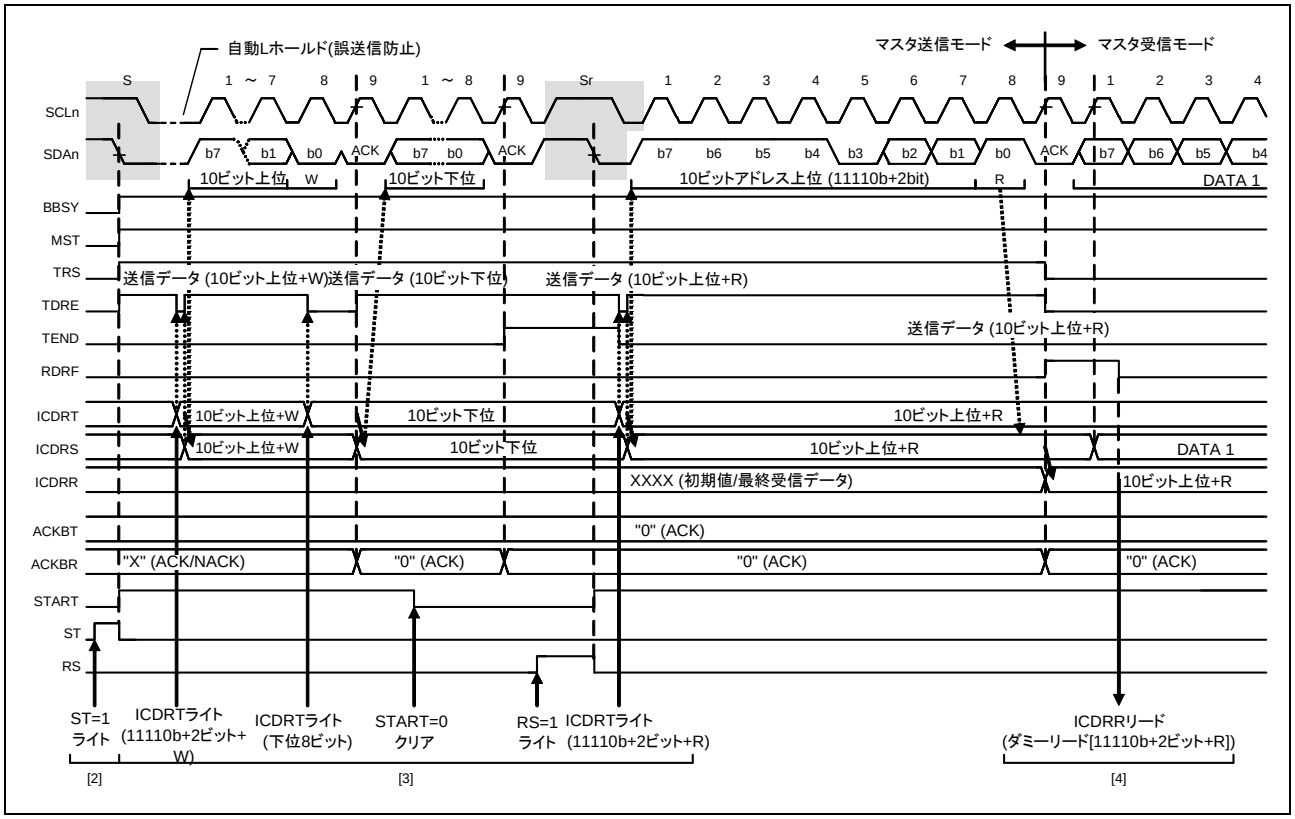


図 25.12　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS=0 のとき）

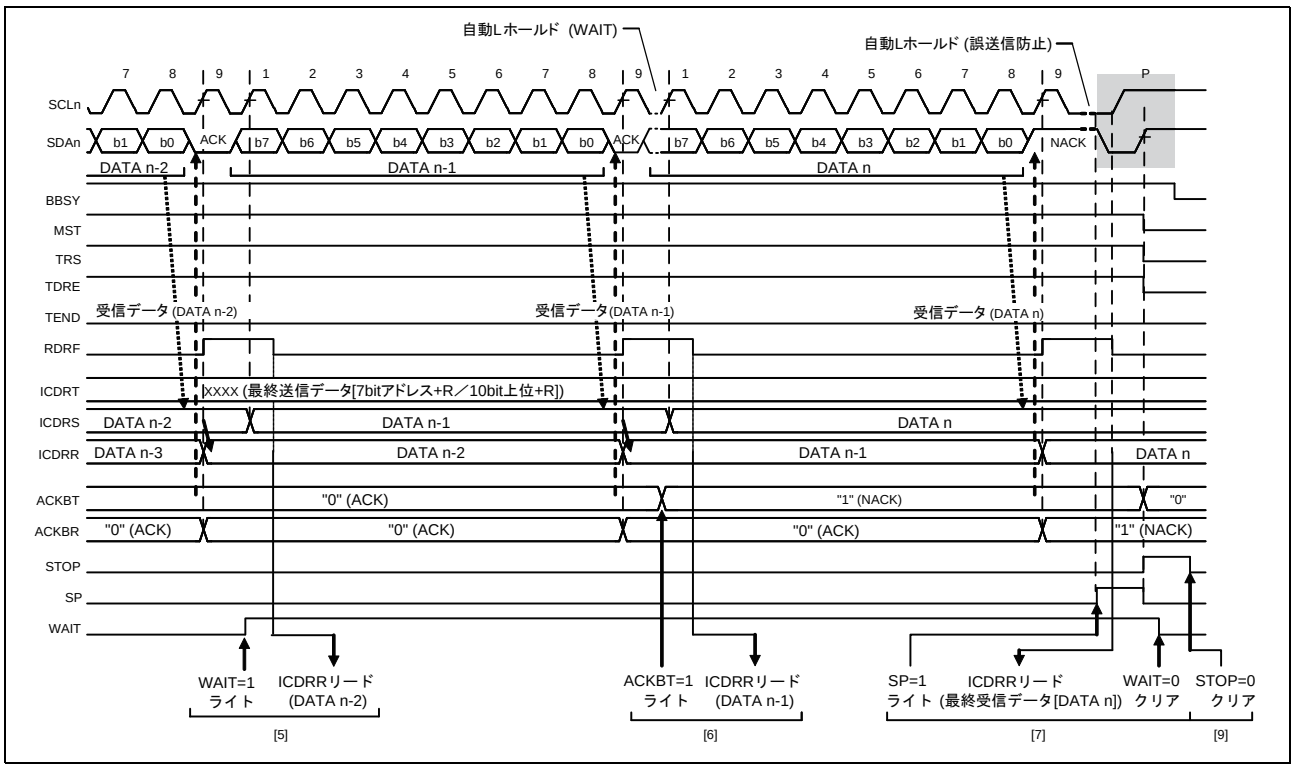


図 25.13　マスタ受信の動作タイミング（3）（RDRFS=0 のとき）

25.3.5　スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 25.14 にスレーブ送信の使用例を示します。図 25.15、図 25.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します

1. 図 25.5 に示す手順で RIIC を初期設定してください。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
2. RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する HOA、GCA、AASn ビット（n=0 ～ 2）（ICSR1 レジスタのビット 7、3、2 ～ 0）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3 レジスタの ACKBT ビットに設定した値を返信します。このとき受信した R/$\overline{W}$ ビットが “1” のとき、ICCR2 レジスタの TRS ビット及び ICSR2 レジスタの TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。
3. ICSR2 レジスタの TDRE フラグが “1” であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER レジスタの NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。
4. ICSR2 レジスタの NACKF フラグが “1” になるか、又は最終送信データを ICDRT レジスタに書いた後、ICSR2 レジスタの TDRE フラグが “1” の状態で、ICSR2 レジスタの TEND フラグが “1” になるまで待ってください。ICSR2 レジスタの NACKF フラグが “1” 又は TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCLn ラインを L にホールドします。
5. ICSR2 レジスタの NACKF フラグが “1” 又は ICSR2 レジスタの TEND フラグが “1” の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCLn ラインを開放します。
6. RIIC はストップコンディションを検出すると、ICSR1 レジスタの HOA、GCA、AASn ビット (n=0 ～ 2)、ICSR2 レジスタの TDRE、TEND フラグ、ICCR2 レジスタの TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。
7. 次通信のために ICSR2 レジスタの NACKF、STOP フラグを “0” にしてください

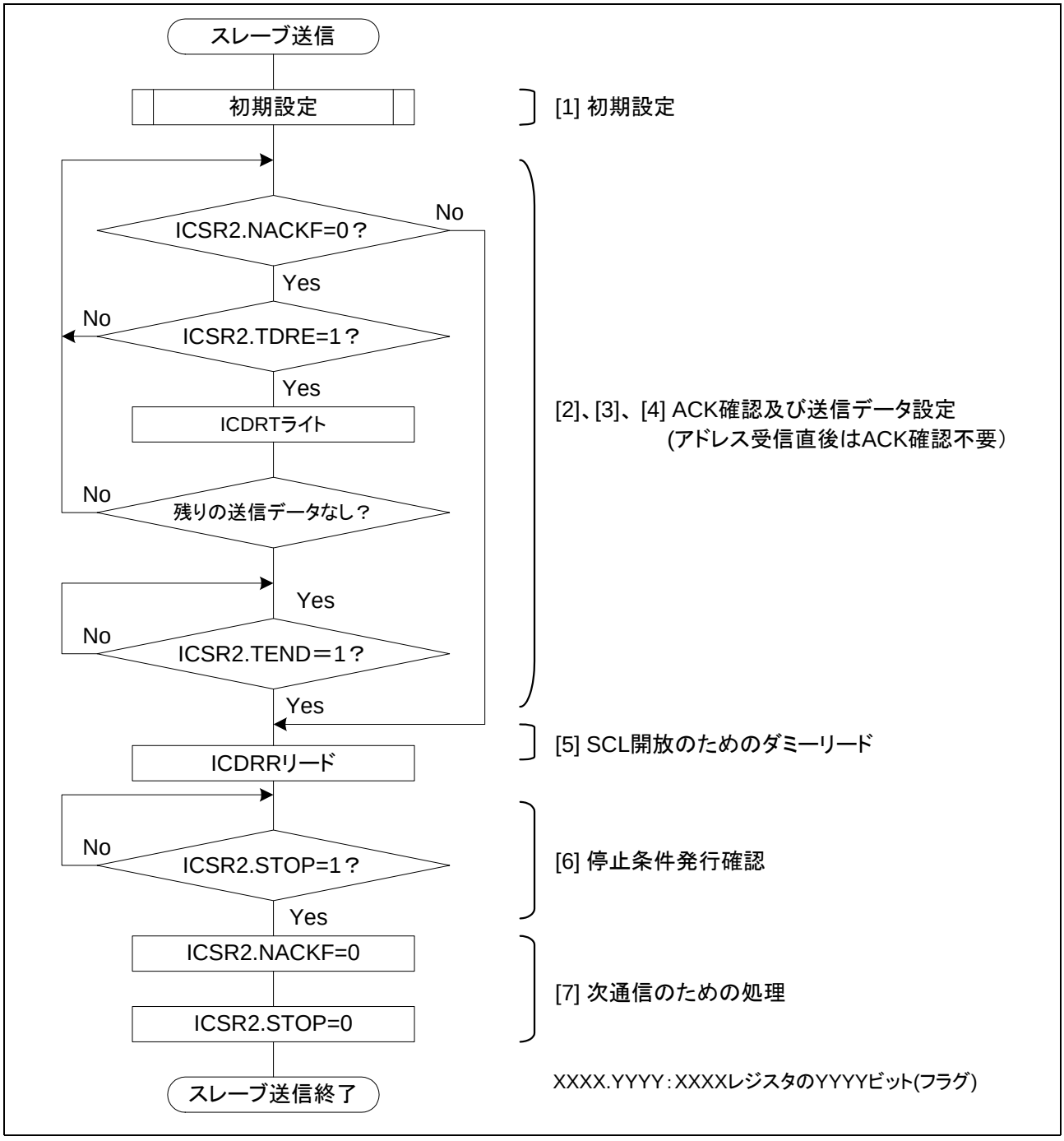


図 25.14　スレーブ送信のフローチャート例

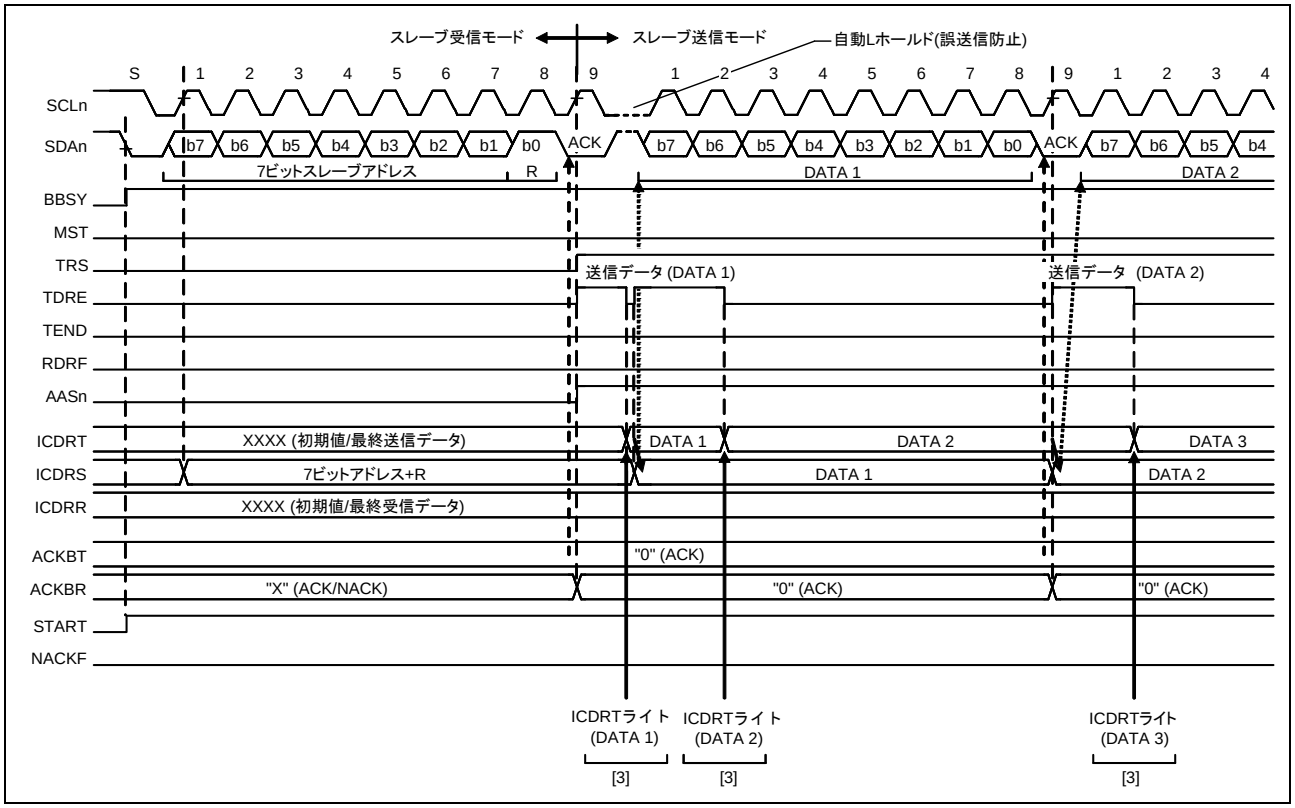


図 25.15　スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

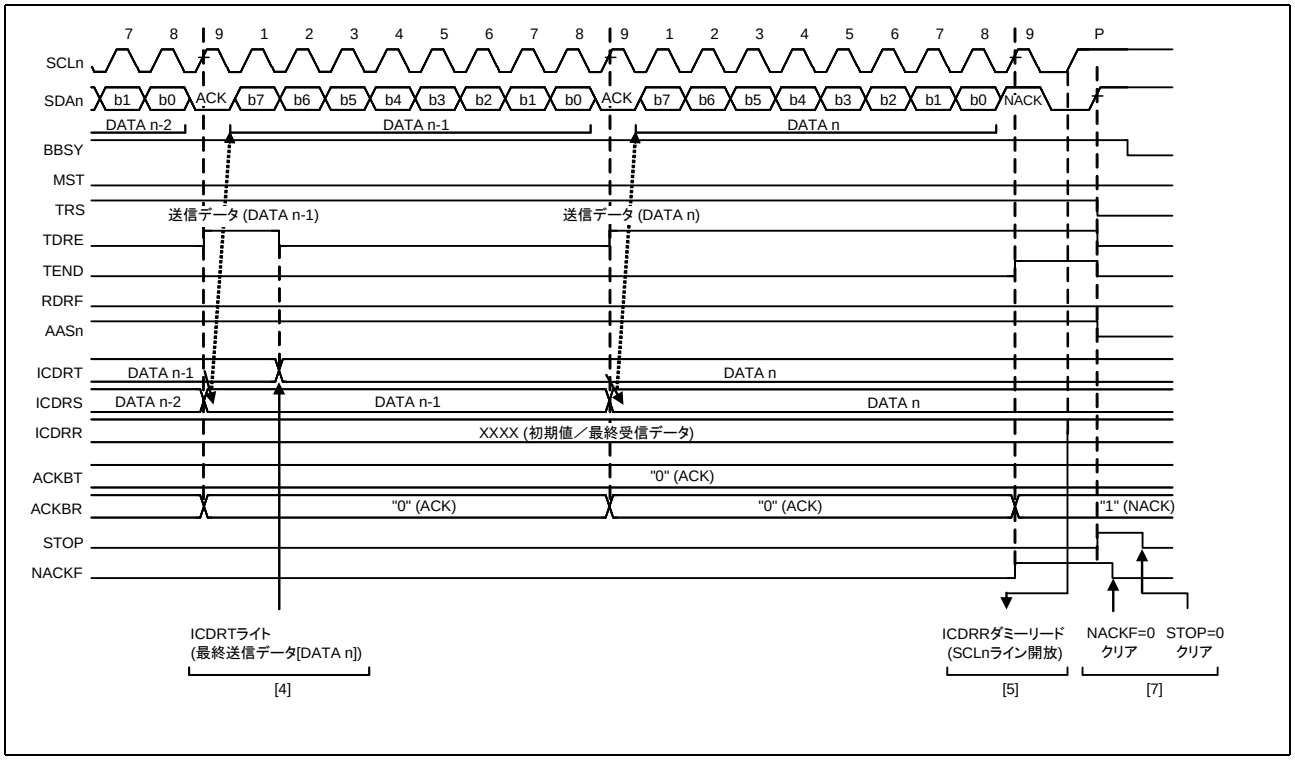


図 25.16　スレーブ送信の動作タイミング（2）

25.3.6　スレーブ受信動作

スレーブ受信では、マスタデバイスがSCL クロックと送信データを出力し、スレーブデバイスであるRIICがアクノリッジを返します。

図25.17 にスレーブ受信の使用例を図25.18、図25.19 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

1. 図 25.5 に示す手順で RIIC を初期設定してください。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
2. RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当するICSR1 レジスタのHOA、GCA、AASn ビット(n=0 ～ 2) のいずれかを“1” にし、SCL クロックの9 クロック目のアクノリッジビットにICMR3 レジスタのACKBT ビットに設定した値を返信します。このとき受信したR/$\overline{W}$ ビットが“0” なら、スレーブ受信モードの状態を継続し、ICSR2 レジスタのRDRF フラグを“1” にします。
3. ICSR2 レジスタのSTOP フラグが“0” で、かつICSR2 レジスタのRDRF フラグが“1” であることを確認したら、最初の1 回目はICDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは7 ビットアドレスフォーマット時にスレーブアドレス＋ R/$\overline{W}$ ビット、10 ビットアドレスフォーマット時は下位8 ビットアドレスになります)。
4. ICDRR レジスタを読むと RIIC はICSR2 レジスタの RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1” になった状態で次のデータを受信すると、RIIC はRDRF フラグが " 1” になるタイミングの1 つ手前のSCL クロック立ち下がりでSCLn ラインをL にホールドします。このL ホールドはICDRR レジスタを読むことで解除されRIIC はSCLn ラインを開放します。ICSR2 レジスタの STOP フラグが “1” で、かつ ICSR2 レジスタの RDRF フラグが“1” の場合、又は全データ受信が完了するタイミングで ICDRR レジスタ（最終データ) を読んでください。
5. RIIC はストップコンディションを検出すると、ICSR1 レジスタのHOA、GCA、AASn ビット(n=0 ～ 2) を自動的に “0”にします。
6. 次通信のためにICSR2 レジスタの STOP フラグを “0” にしてください。

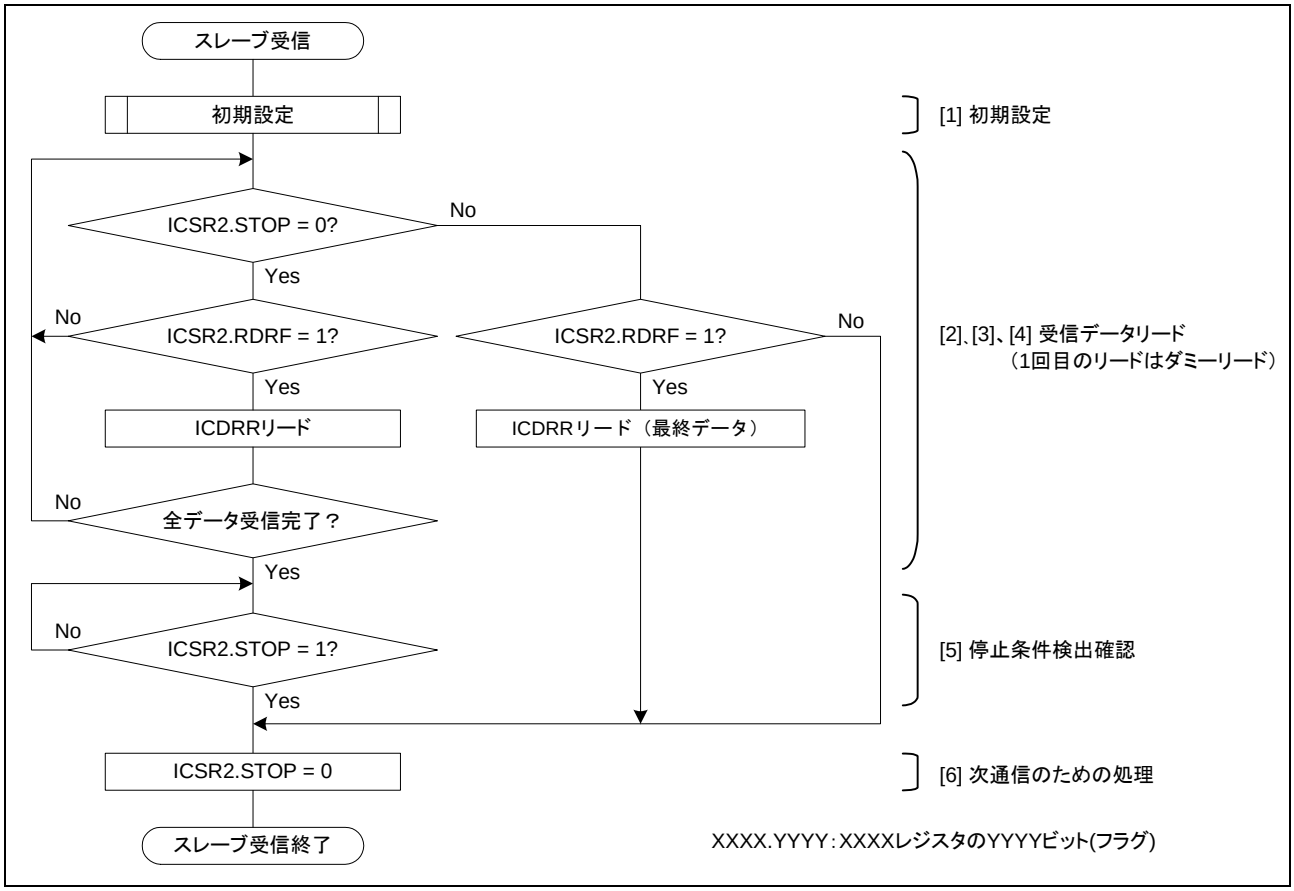


図 25.17　スレーブ受信のフローチャート例

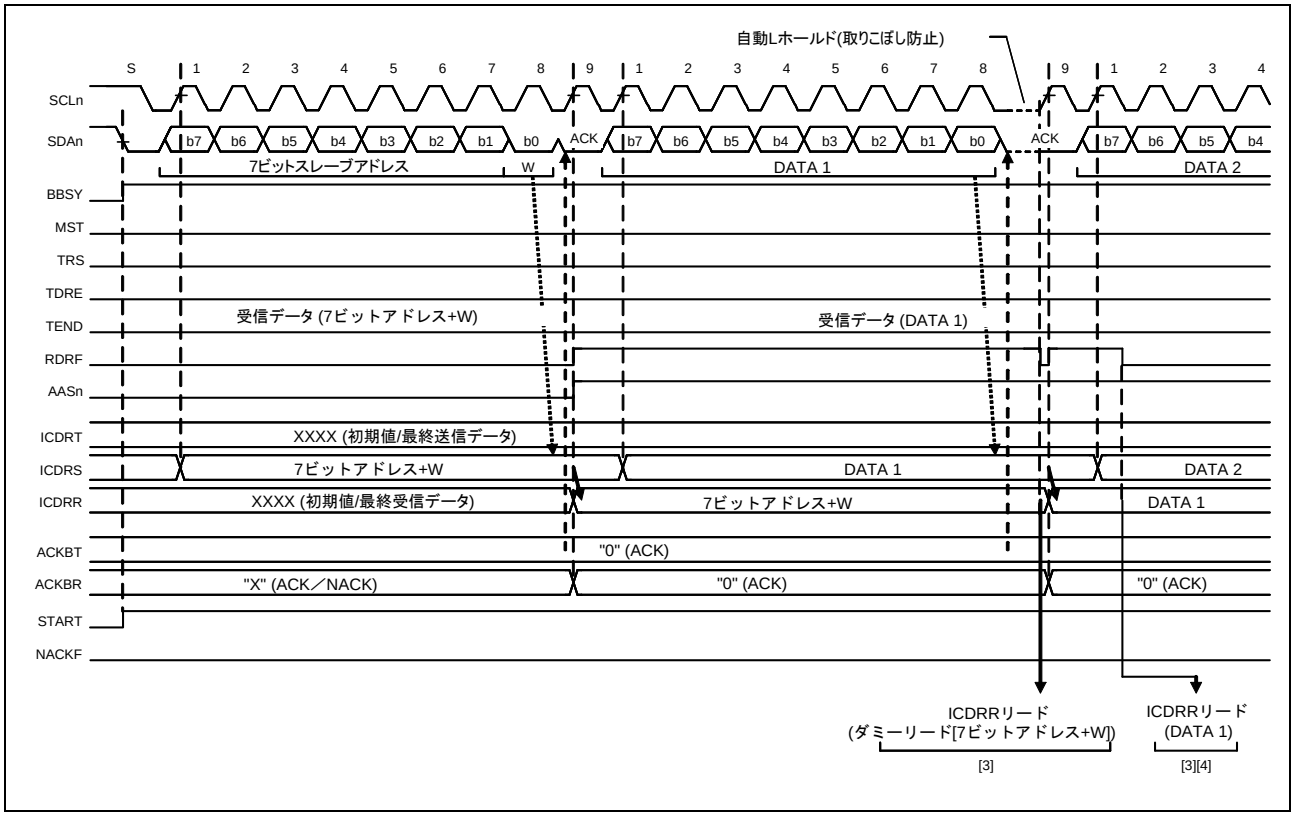


図 25.18　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS=0 のとき）

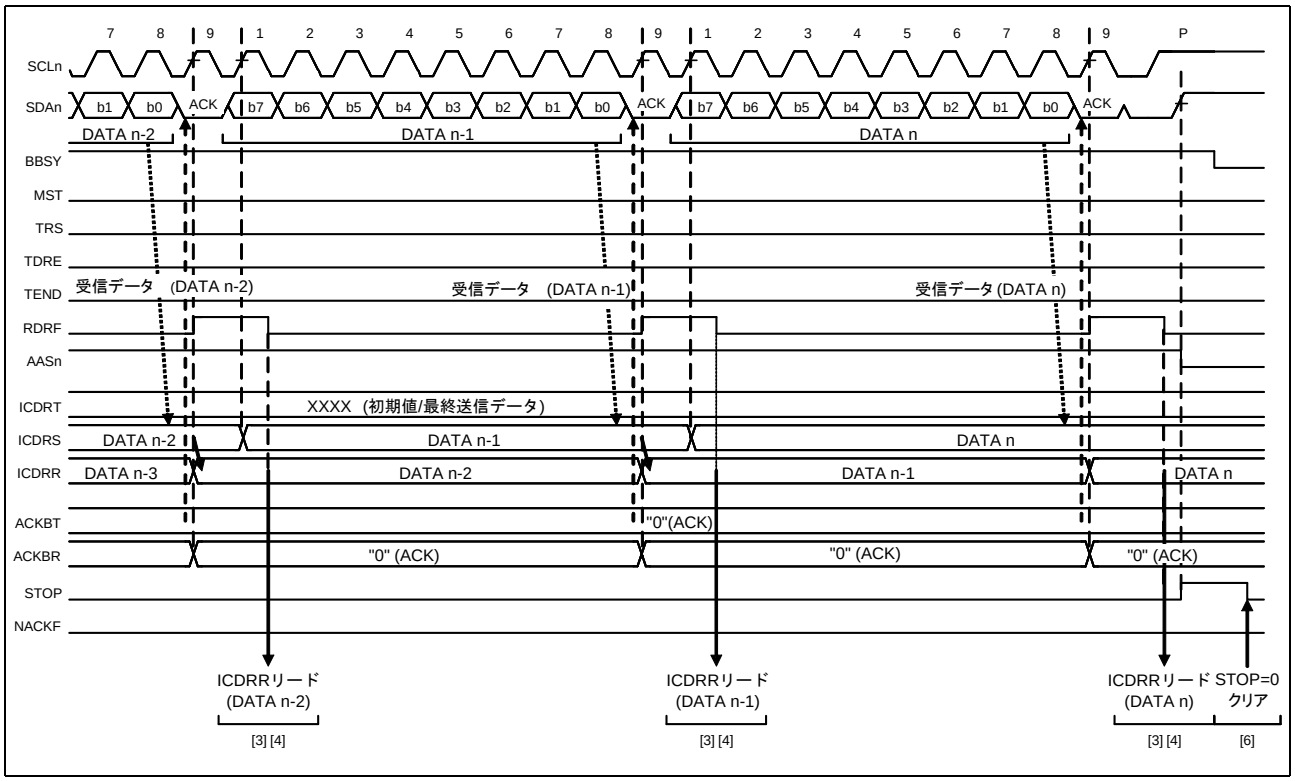


図 25.19　スレーブ受信の動作タイミング（2）（RDRFS=0 のとき）

25.4　SCL 同期回路

RIIC のSCL クロック生成はSCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定されたH 幅のカウントを開始し、H 幅のカウントが終了するとSCLn ラインをL にドライブして立ち下げます。またSCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定されたL 幅のカウントを開始し、L 幅のカウントが終了するとSCLn ラインのL ドライブを終了してSCLn ラインを開放します。これによりSCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合によりSCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスはSCL クロックの同期化を行う必要があります。このSCL クロックの同期はビットごとに行う必要があり、RIIC はマスタモード時にSCLn ラインを監視してビットごとに同期を取りながらSCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC がSCLn ラインの立ち上がりを検出しICBRH レジスタで設定されたH 幅のカウント中に他のマスタデバイスのSCL クロック出力によりSCLn ラインが立ち下げられた場合、RIIC はSCLn ラインの立ち下がりを検出するとH幅のカウントアップ動作を中断し、SCLnラインのL ドライブを行うのと同時にICBRL レジスタで設定されたL 幅のカウントアップを開始します。L 幅のカウントが終了するとSCLnラインのL ドライブを終了してSCLn ラインを開放します。このとき他のマスタデバイスのSCL クロックのL幅がRIIC で設定されたL 幅よりも長い場合、SCL クロックのL 幅は延長されます。他のマスタデバイスのL 幅出力が終了すると、SCLn ラインが開放されSCL クロックが立ち上がります。そのためSCL クロック出力衝突時のSCL クロックのH 幅は短いクロックに同期し、L 幅は長いクロックに同期化されます。なお、このSCL 同期はICFER レジスタのSCLE ビットが“1” のとき有効です。

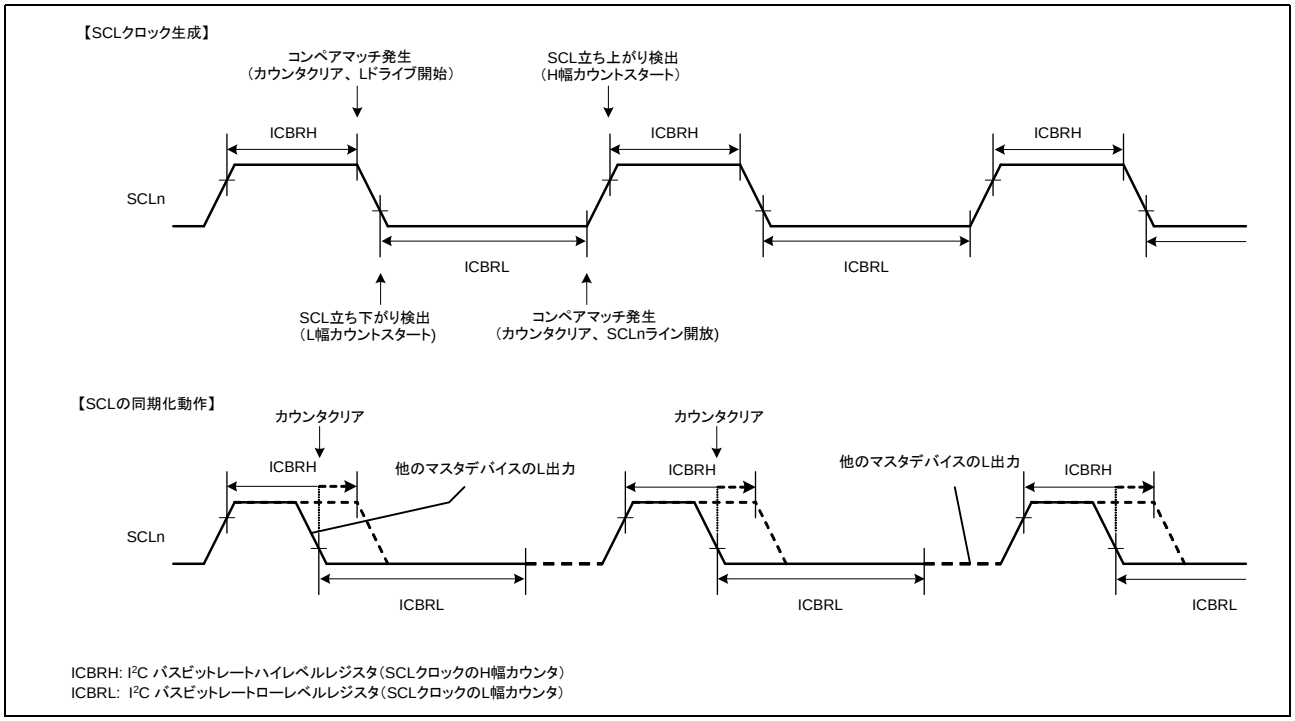


図 25.20　RIIC のSCL クロック生成及びSCL 同期化動作

25.5　SDA 出力遅延機能

RIIC にはSDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべてのSDA 出力タイミング（発行動作（開始/ 再開始/ 停止）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出からSDA 出力を遅延させ、確実にSCL クロックのL 期間中にSDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBus のデータホールド時間:300ns（min）の規格を満たす目的でも使用することができます。

このSDA 出力遅延機能はSDDL[2:0] ビット（ICMR2 レジスタのビット6～4）が“000” 以外のとき有効で、SDDL[2:0] ビットが“000”のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが“000” 以外）のとき、SDA 出力遅延カウンタはICMR2 レジスタのDLCS ビットで選択された内部基準クロック（IICφ）又はその2 分周クロック（IICφ/2）をカウントソースとしてSDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIIC はSDA 出力（発行動作（開始/ 再開始/ 停止）、データ出力、ACK/NACK 出力）を行います。

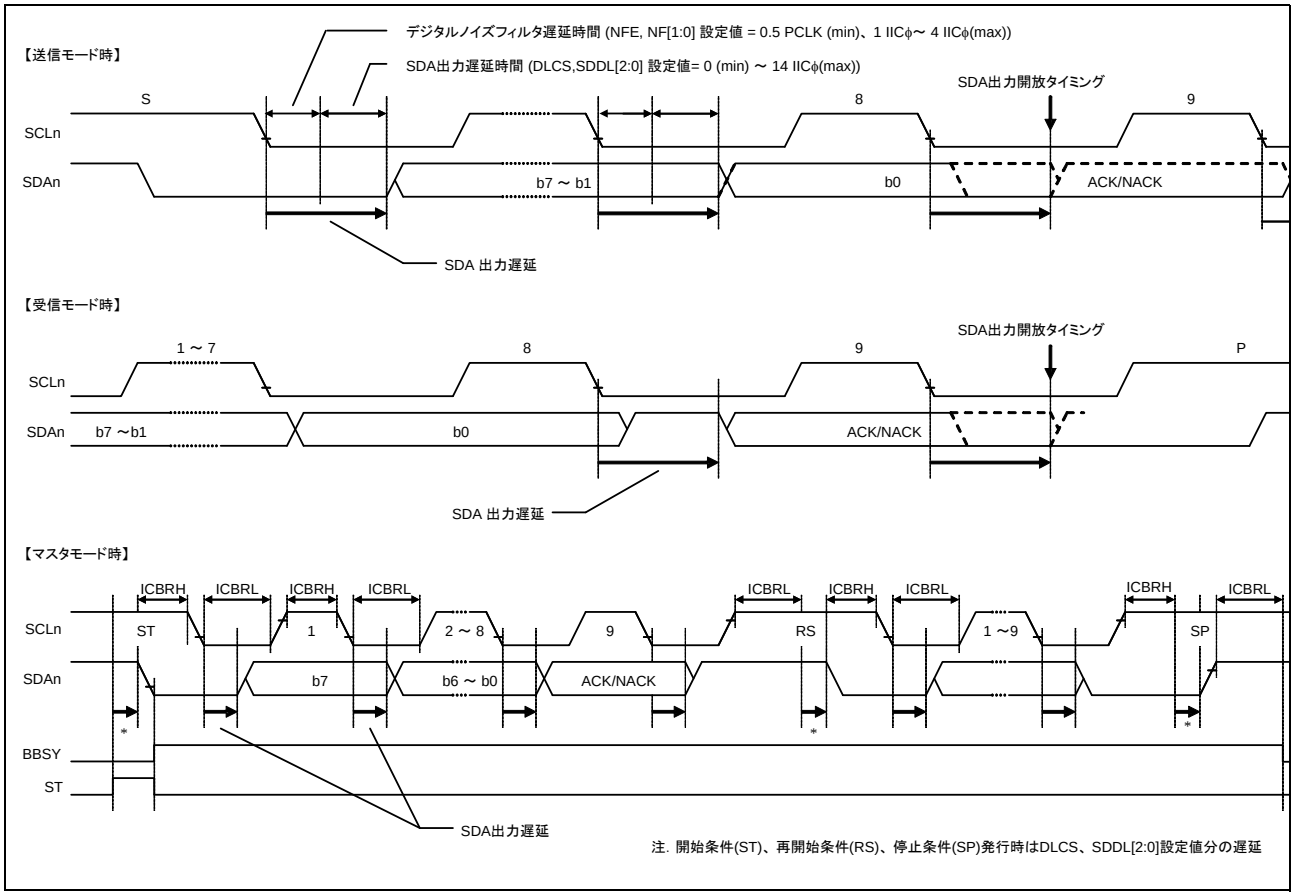


図 25.21　SDA 出力遅延タイミング

25.6　デジタルノイズフィルタ回路

SCLn 端子及びSDAn 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。図25.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数はNF[1:0] ビット（ICMR3 レジスタのビット1、0）で選択し、ノイズ除去能力は選択した有効段数に応じて1IICφ ～ 4IICφサイクル分となります。

SCLn 端子入力信号（又はSDAn 端子入力信号）はPck の立ち下がりでサンプリングされ、ICMR3 レジスタのNF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

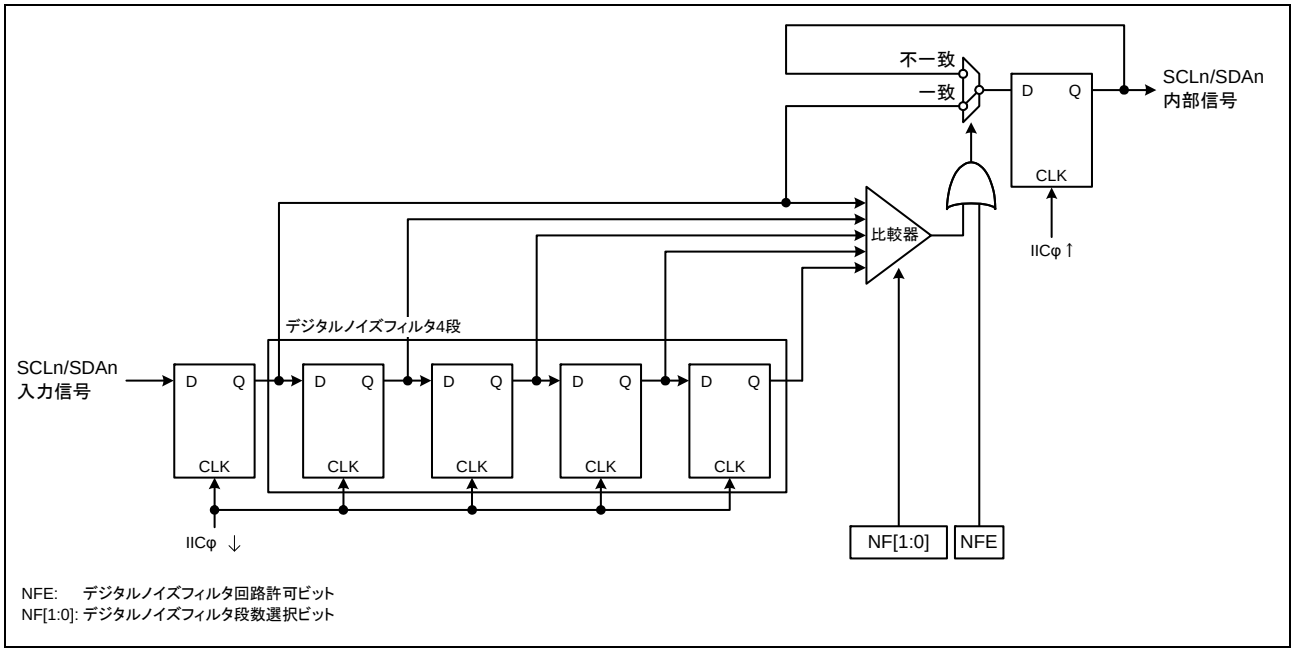


図 25.22 デジタルノイズフィルタ回路のブロック図

25.7　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには7 ビットアドレス又は10 ビットアドレスの設定が可能です。

25.7.1　スレーブアドレス一致検出機能

RIIC は3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER レジスタの SARnE ビット (n=0 ～ 2) が“1” のとき、SARUn/SARLn レジスタ (n=0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの9 クロック目の立ち上がりで該当する ICSR1 レジスタの AASn フラグ (n=0 ～ 2) を“1” にし、続く R/W ビットにより ICSR2 レジスタの RDRF フラグ又は ICSR2 レジスタの TDRE フラグを “1” にします。これにより受信データフル割り込み（RXI）又は送信データエンプティ割り込み（TXI）を発生させることができ、AASn フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 25.23 ～図 25.25 に AASn フラグが“1” になるタイミングを示します。

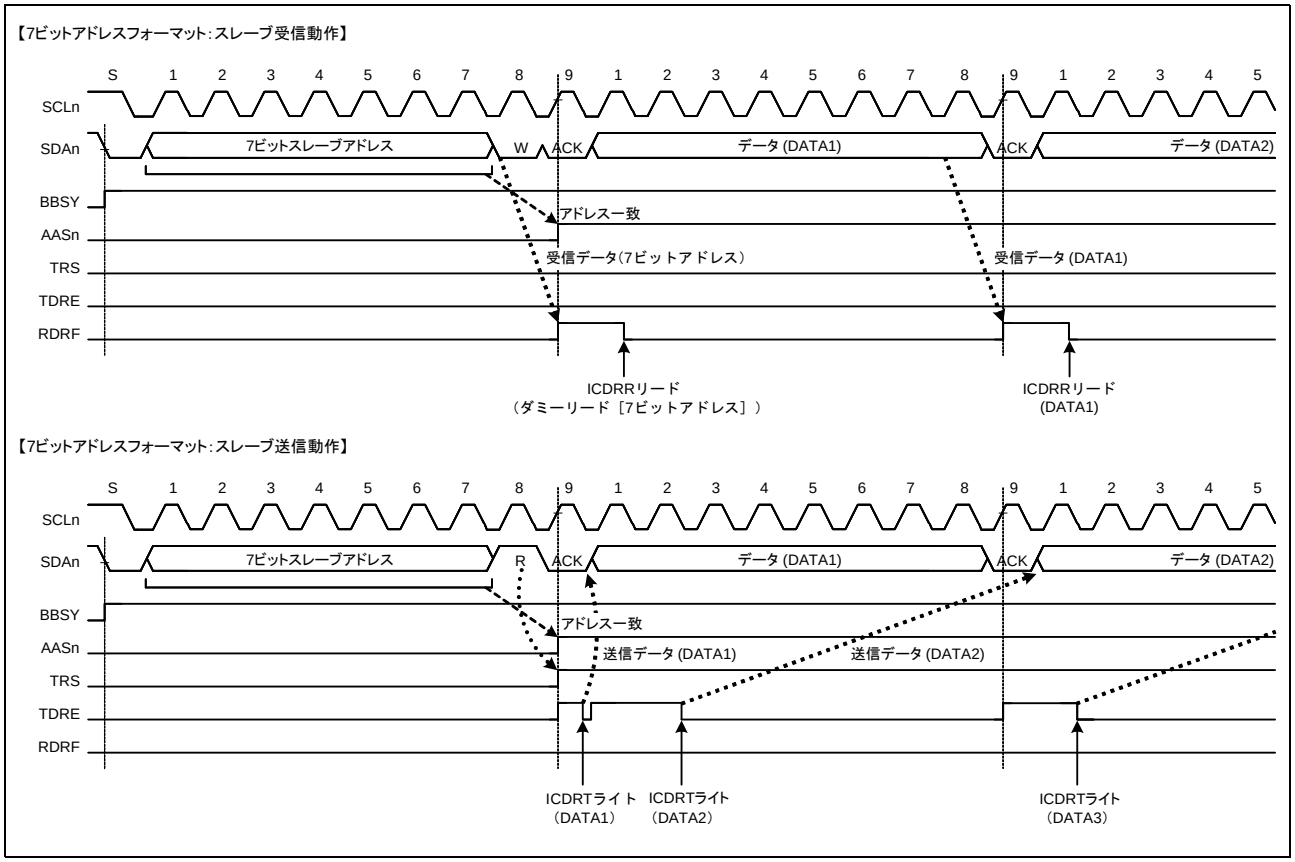


図 25.23　7 ビットアドレスフォーマット選択時に AASn フラグが“1” になるタイミング

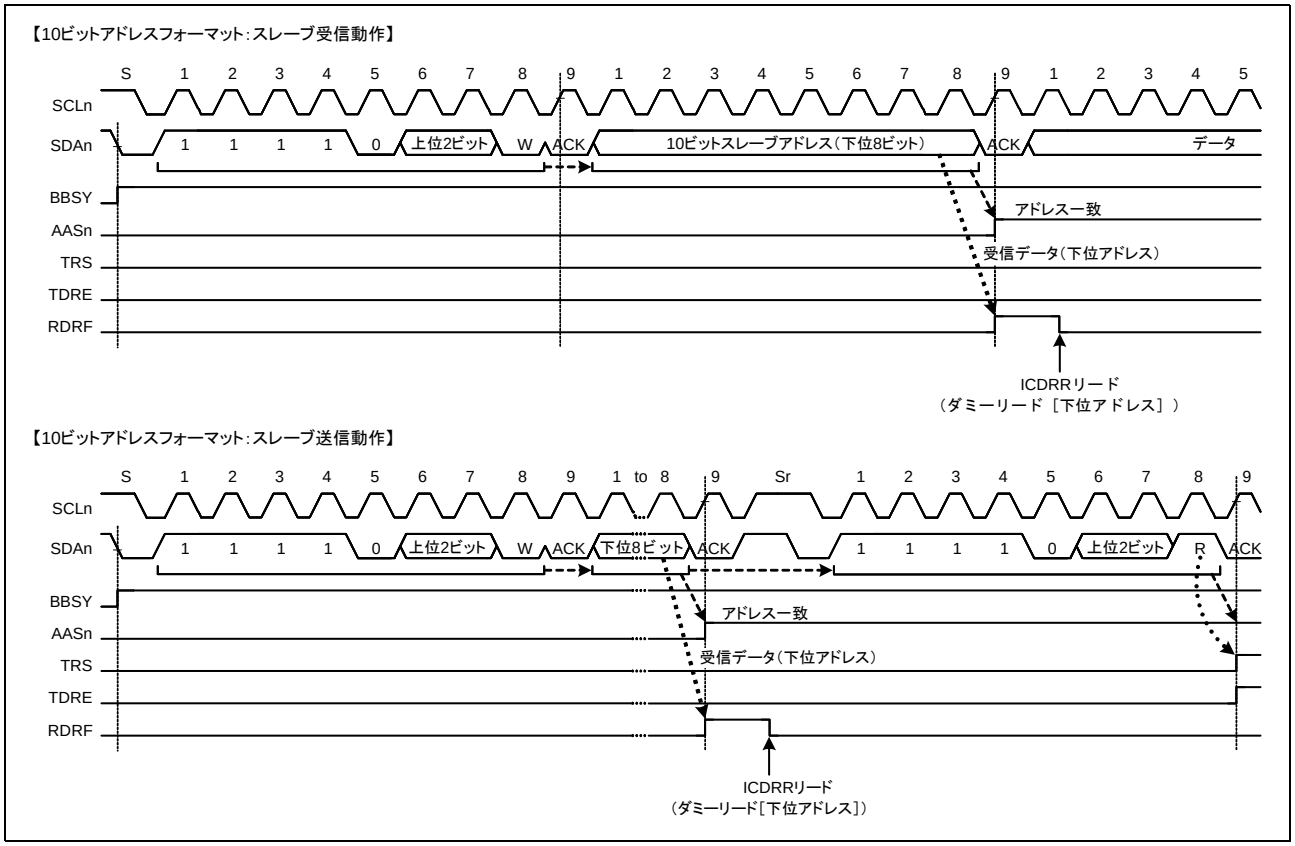


図 25.24　10 ビットアドレスフォーマット選択時にAASn フラグが“1” になるタイミング

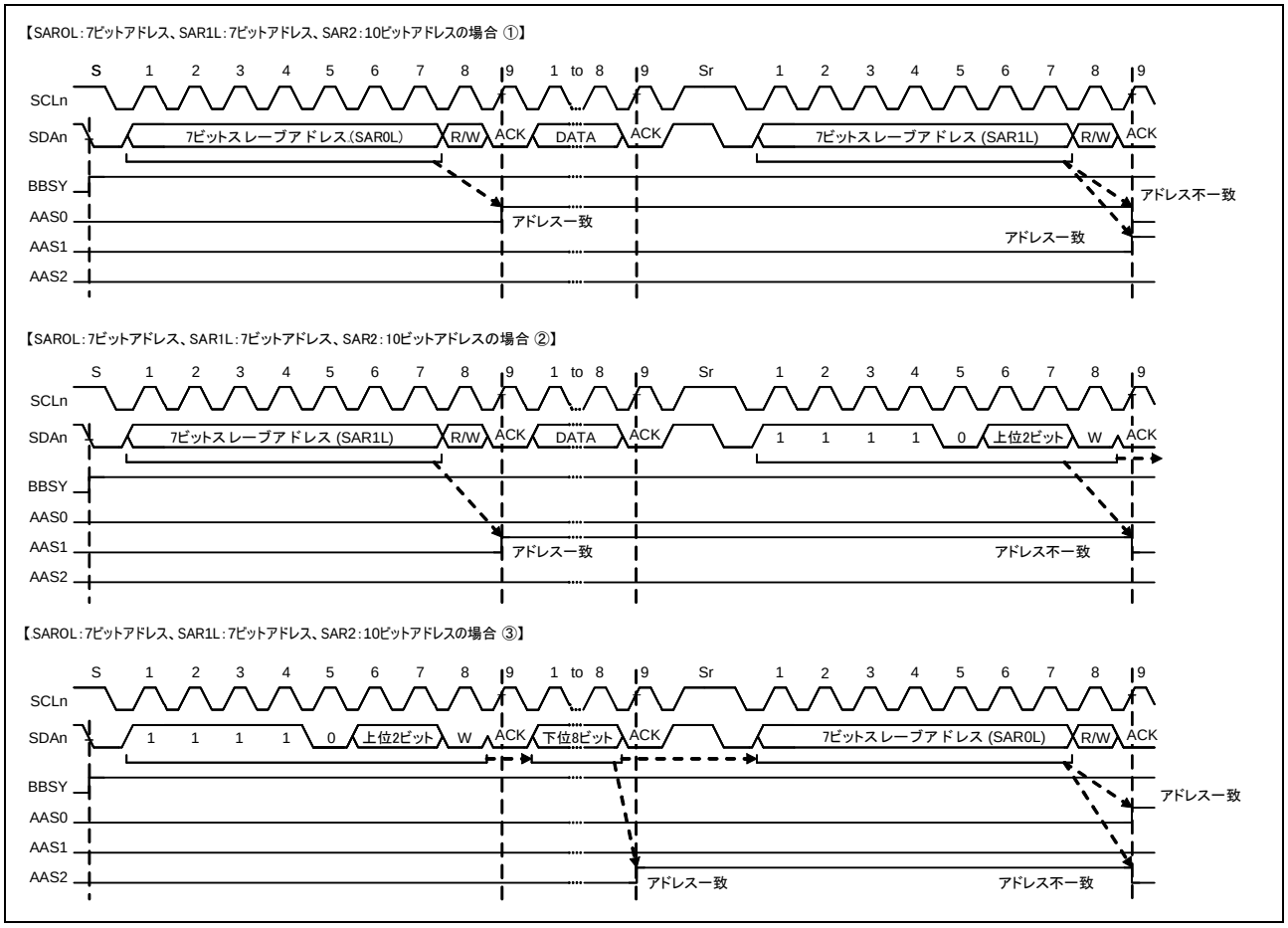


図 25.25　7 ビット/10 ビットアドレスフォーマット混在時にAASnフラグが“1”/“0” になるタイミング

25.7.2　ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス（0000 000 ＋ 0[W]）の検出機能を備えています。ICSER レジスタの GCAE ビットが“1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディション又はリスタートコンディション後のアドレスが 0000 000 ＋ 1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち下がりで ICSR1 レジスタの GCA フラグを“1” にし、同時に ICSR2 レジスタの RDRF フラグを“1” にします。これにより受信データフル割り込み（RXI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

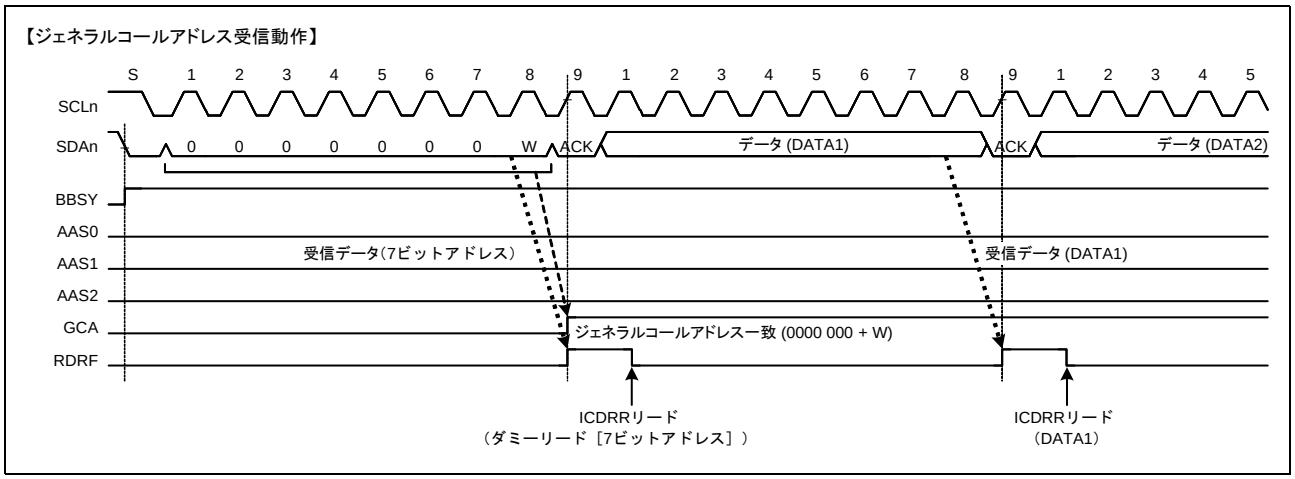


図 25.26　ジェネラルコールアドレス受信時に GCA フラグが“1” になるタイミング

25.7.3　デバイスID アドレス検出機能

RIIC はI2C バス（Rev.03）に準拠したデバイスID アドレスの検出機能を備えています。ICSER レジスタのDIDE ビットを“1” にした状態で、スタートコンディション又はリスタートコンディション後の1 バイト目に1111 100 を受信すると、RIIC はこのアドレスをデバイスID アドレスと認識し、続くR/W ビットが“0” のときSCL クロックの9 クロック目の立ち上がりでICSR1 レジスタのDID フラグを“1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1 レジスタのAASｎ フラグ(ｎ=0 ～ 2) が“1” になります。

その後スタートコンディション又はリスタートコンディション後の1 バイト目が再びデバイスID アドレス（1111 100）と一致し、続くR/W ビットが“1” のときRIIC は続く2 バイト目以降はアドレス比較動作を行わず、ICSR2 レジスタのTDRE フラグを“1” にします。

デバイスID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスID アドレスと不一致の場合、DID フラグを“0” にします。そのため、TDRE=1 確認後 DID フラグをチェックすることで、デバイスID を受信したことを確認することができます。

なお、一連のデバイスID 受信後にホストに送信するデバイスID フィールドとして必要な情報（3 バイト分：メーカ[12 ビット] ＋部品識別[9 ビット] ＋リビジョン[3 ビット]）は、通常の送信データと同様あらかじめ準備してください。また、デバイスID フィールドに必要な情報の詳細についてはNXP 社にお問い合わせください。

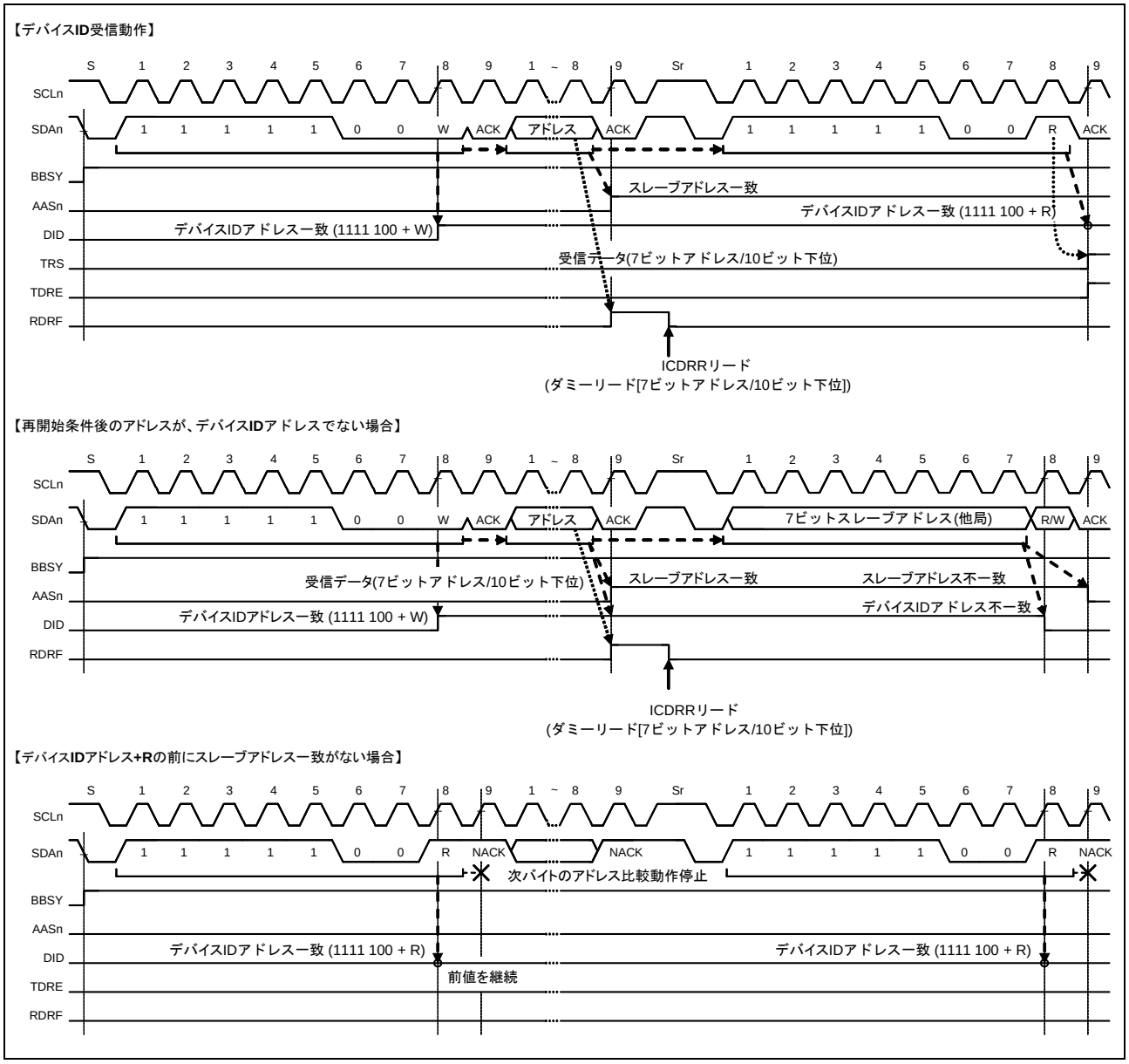


図 25.27　デバイス ID アドレス受信時の AASn、DID フラグセット/ クリアタイミング

25.7.4　ホストアドレス検出機能

RIIC にはSMBus 動作時にホストアドレス検出機能を備えています。ICMR3 レジスタのSMBS ビットが“1” のときHOAE ビット（ICSER レジスタのビット7）を“1” にすると、スレーブ受信モード（ICCR2 レジスタのMST、TRS ビット=00）にホストアドレス（0001 000）を検出することが可能です。

RIIC はホストアドレスを検出すると、SCL クロックの9 クロック目の立ち下がりでICSR1 レジスタのHOA フラグを“1” にし、Wr ビット（R/W ビットに“0” を受信）のときICSR2 レジスタのRDRF フラグを“1” にします。これにより受信データフル割り込み(RXI) を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス（0001 000）に続くビットがRd ビット（R/W ビットに“1” を受信）の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

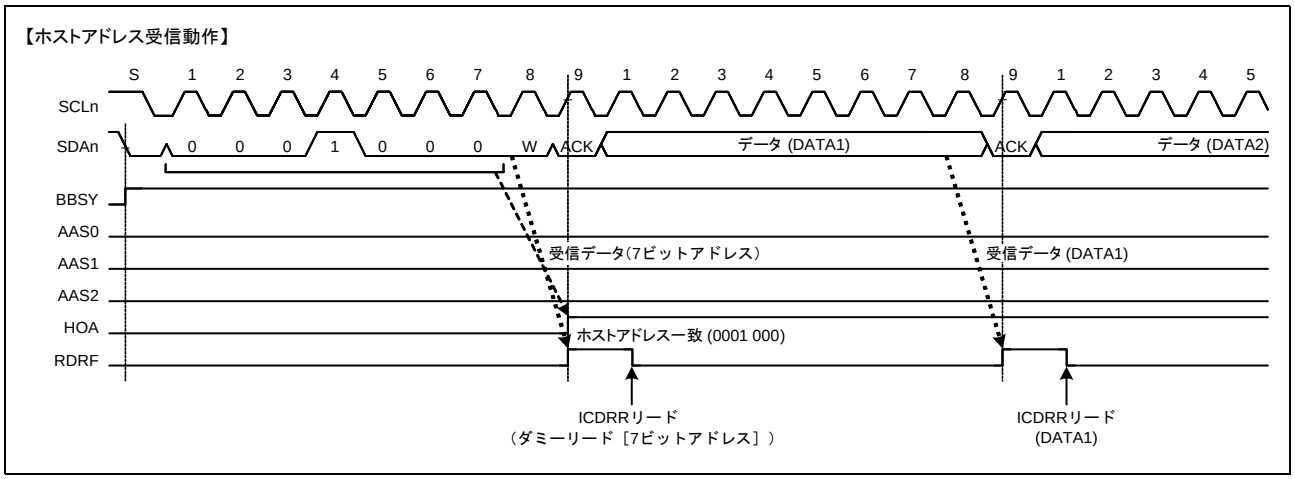


図 25.28　ホストアドレス受信時にHOA フラグが“1” になるタイミング

25.8　SCL の自動L ホールド機能

25.8.1　送信データ誤送信防止機能

RIIC は送信モード時（ICCR2 レジスタのTRS ビット=1）、シフトレジスタ（ICDRS レジスタ）が空の状態でかつ送信データ（ICDRT レジスタ）が書かれていない場合、以下に示す区間、自動的にSCLn ラインのL ホールドを行います。このL ホールドは送信データの書き込みが行われるまでの期間L 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》
- スタートコンディション/ リスタートコンディション発行後のL 区間
- 9 クロック目と次の1クロック目との間のL 区間

《スレーブ送信モード》
- 9 クロック目と次の1クロック目との間のL 区間

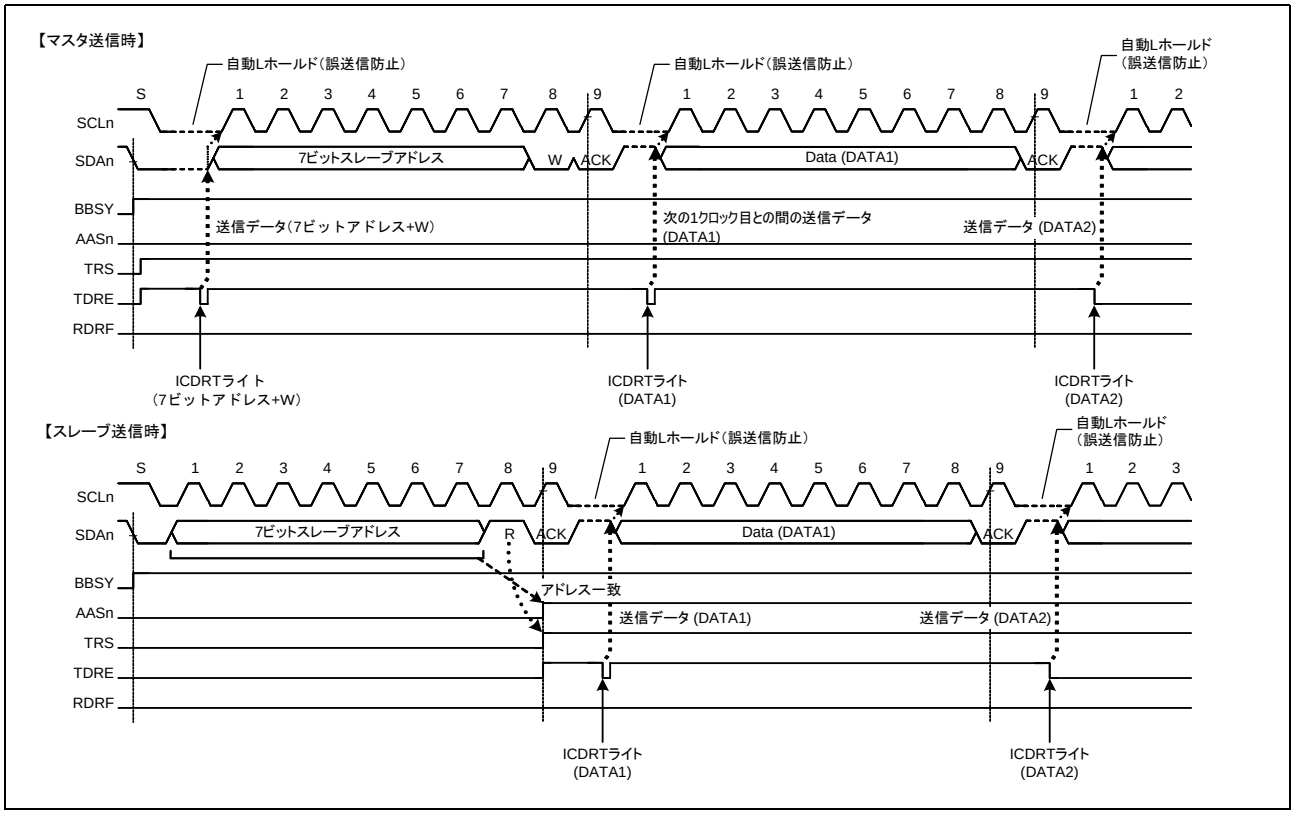


図 25.29　送信モードの自動L ホールド動作

25.8.2　NACK 受信転送中断機能

RIIC は送信モード時（ICCR2 レジスタの TRS ビット=1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER レジスタの NACKE ビットが“1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（ICSR2 レジスタの TDRE フラグ=0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB ビットが“0” のときの SDAn ライン L 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（ICSR2 レジスタの NACKF フラグ=1）、以後の送信動作及び受信動作は行いません。動作を再開するには NACKF フラグを“0” にしてください。またマスタ送信モードの場合には NACKF フラグを“0” にした後、リスタートコンディション発行又はストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

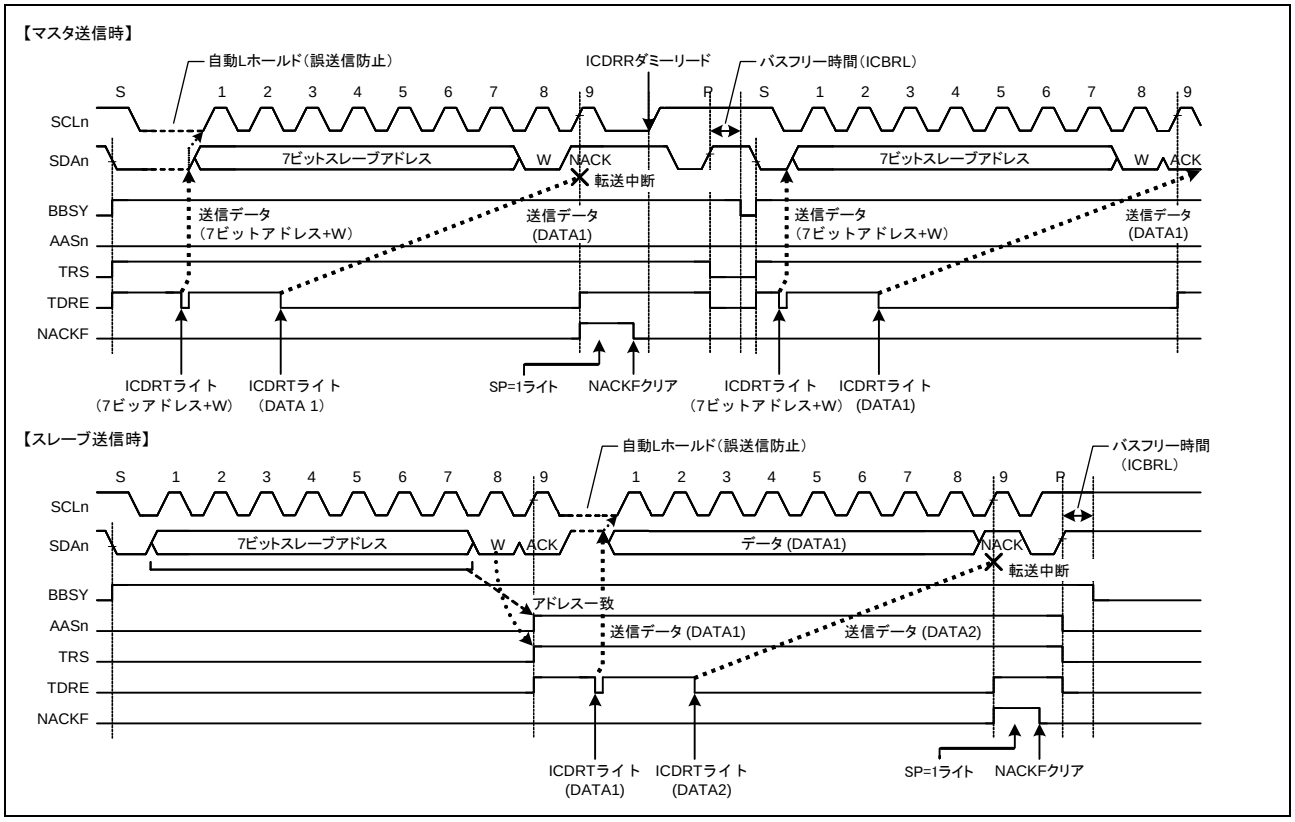


図 25.30　NACK 受信時の転送中断動作（NACKE=1 のとき）

25.8.3　受信データ取りこぼし防止機能

RIIC は受信モード時（ICCR2 レジスタの TRS ビット=0）、受信データフル（ICSR2 レジスタの RDRF フラグ=1）の状態で受信データ（ICDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCLn ラインの L ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動L ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこのL ホールドは行わないため、他の通信を阻害しません。

また、RIIC ではICMR3 レジスタのWAIT、RDRFS ビットの組み合わせにより L ホールドを行う区間を選択することができます。

(1)　WAIT ビットによる 1 バイト受信動作/ 自動L ホールド機能

ICMR3 レジスタのWAIT ビットを“1” にすると、RIIC はWAIT ビット機能による 1 バイト受信動作になります。ICMR3 レジスタのRDRFS ビットが“0” のとき、RIIC はSCL クロックの8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3 レジスタの ACKBT ビットの内容が送出され、9 クロック目立ち下がりを検出するとWAIT ビット機能により自動的にSCLn ラインをL にホールドします。このL ホールドはICDRR レジスタの読み出しによって解除されます。そのため1 バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モード時又はスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

(2)　RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）/ 自動L ホールド機能

ICMR3 レジスタのRDRFS ビットを“1” にすると、RIIC はRDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信データフルフラグ（ICSR2 レジスタの RDRF フラグ）が“1” になるタイミングがSCL クロックの8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCLn ラインを L にホールドします。この L ホールドは ICMR3 レジスタの ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため1 バイトごとに受信したデータの内容に応じたACK/NACK 送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時又はスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

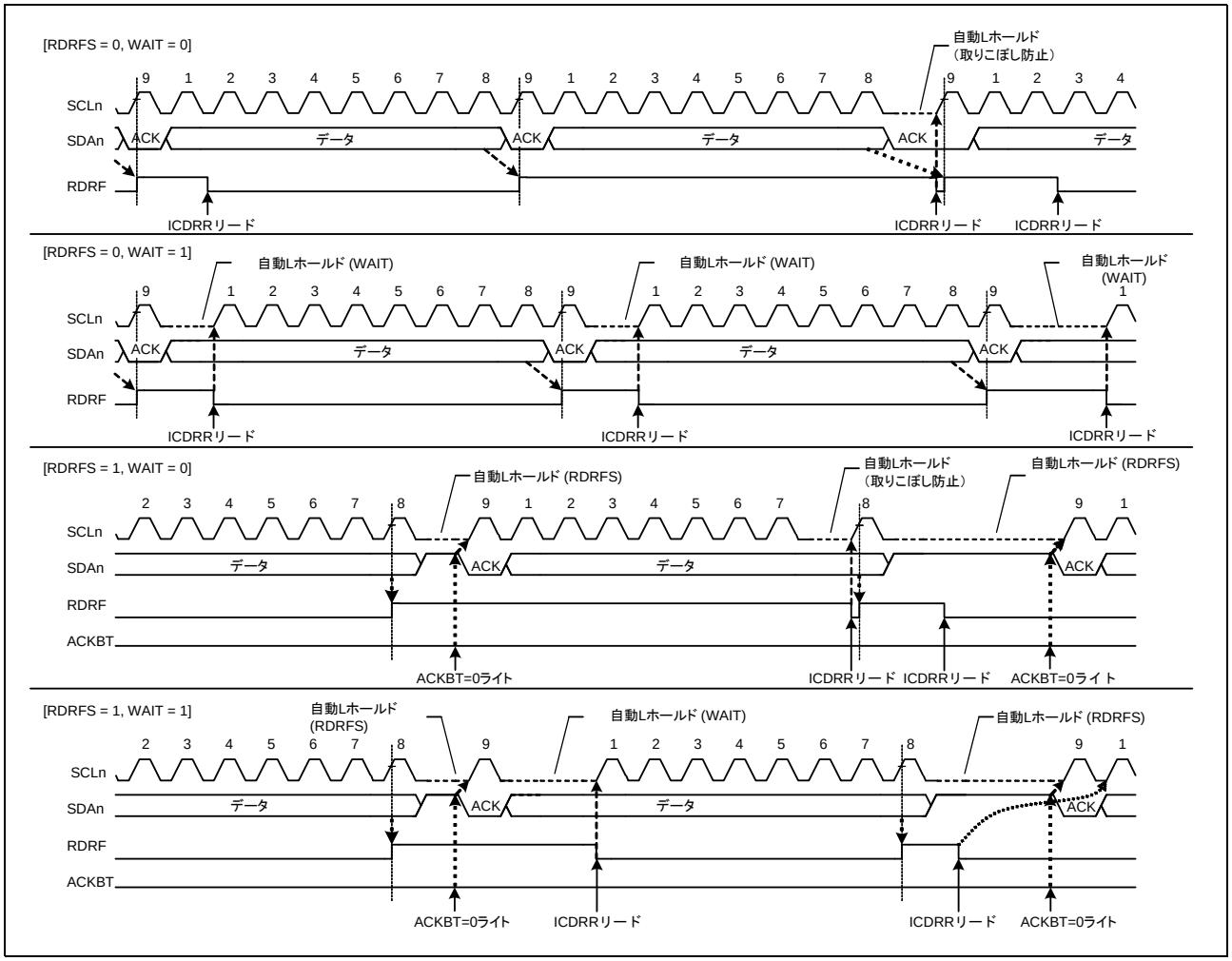


図 25.31　受信モードの自動L ホールド動作（RDRFS、WAIT ビット）

25.9　アービトレーションロスト検出機能

RIIC にはI²C バス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

25.9.1　マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際SDAn ラインをL にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDAn ラインをL にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2 レジスタのBBSY フラグが“1”（バスビジー中）のときにICCR2 レジスタのST ビットを“1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA 信号）とSDAn ラインに不一致が生じた場合（自分が出したSDA 出力がH 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDA ラインにL を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC は直ちにスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、MALE ビット（ICFER レジスタのビット1）が“1”（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［マスタアービトレーションロスト条件］

- ICCR2レジスタのBBSYフラグ=0の状態でICCR2レジスタのSTビット=1によるスタートコンディション発行時にSDA信号とSDAn ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- ICCR2 レジスタのBBSY フラグ=1 でICCR2 レジスタのST ビットを“1” にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（ICCR2 レジスタのMST、TRS ビット=11）、アクノリッジを除く送信データ（SDA 信号）とSDAn ライン上の信号の状態が不一致のとき

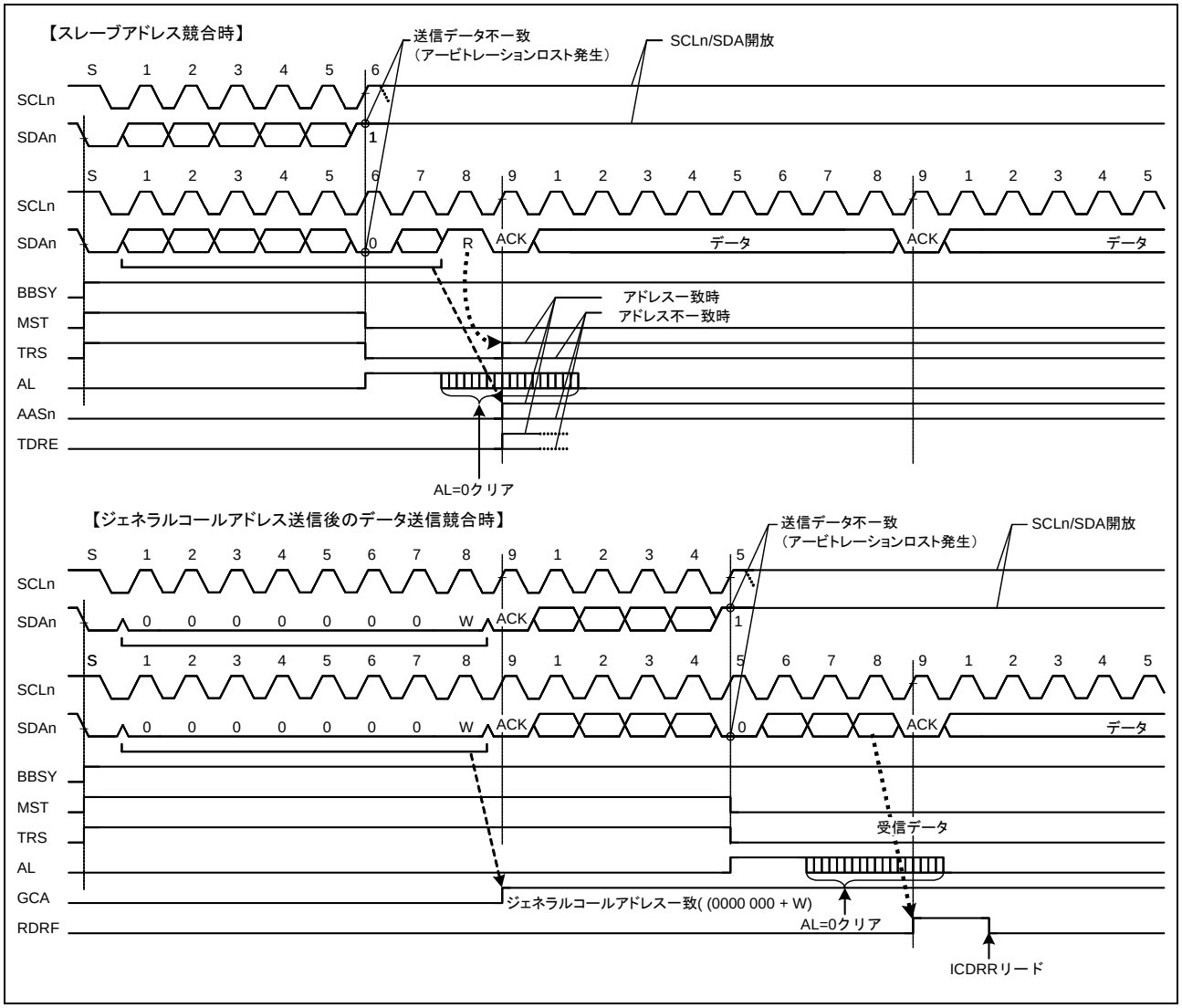


図 25.32　マスタアービトレーションロスト検出動作例（MALE=1 のとき）

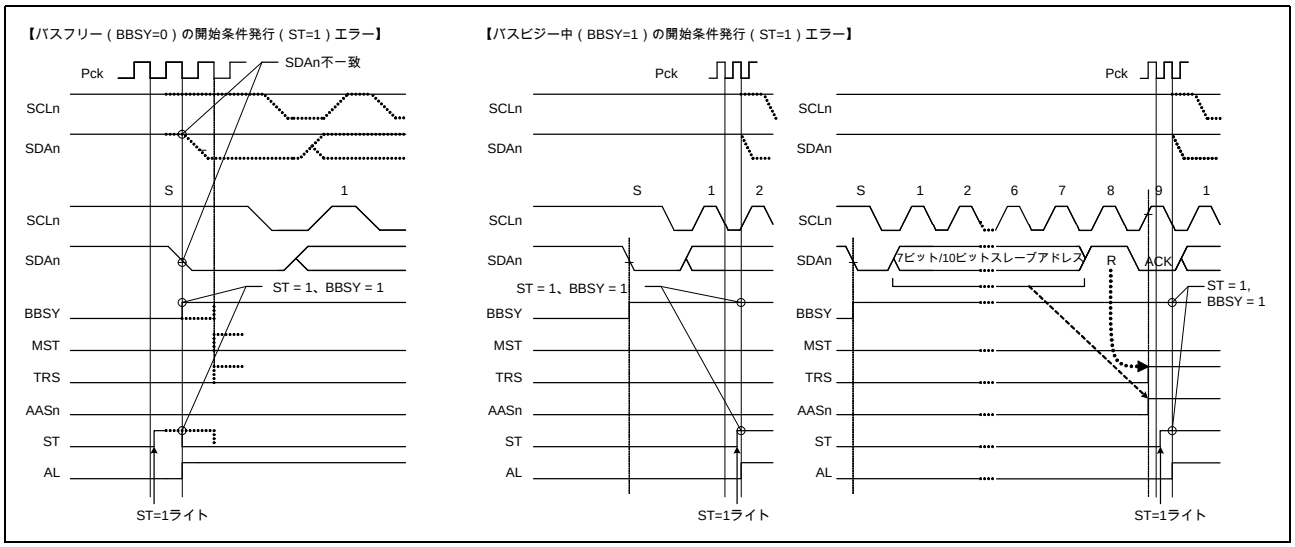


図 25.33　スタートコンディション発行時のアービトレーションロスト（MALE=1 のとき）

25.9.2　NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時でNACK 送信時に自分が出したSDA 信号とSDA ライン上の信号の状態が不一致の場合（自分が出したSDA 出力がH 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDA ラインにL を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK 送信とACK 送信が衝突することで発生します。これは2 つ以上のマスタデバイスが1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図25.34 にNACK 送信アービトレーションロスト検出動作例を示します。

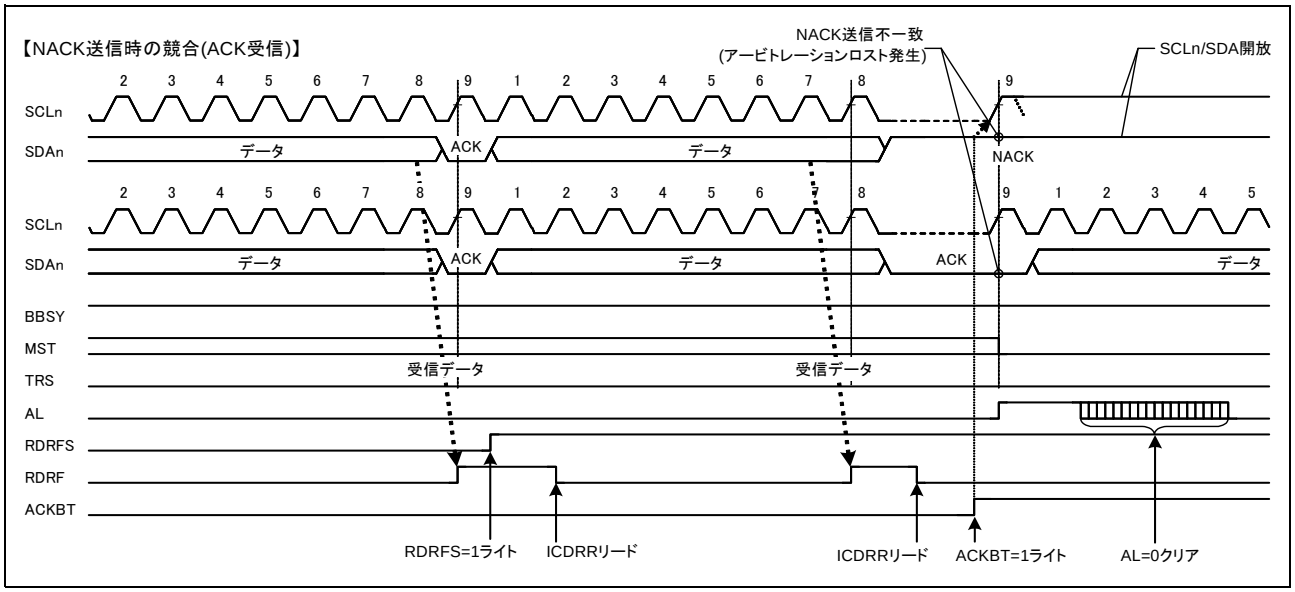


図 25.34　NACK 送信アービトレーションロスト検出動作例（NALE=1 のとき）

2 つのマスタデバイス（マスタA、マスタB）と1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタA はスレーブデバイスから2 バイト受信、マスタB はスレーブデバイスから4 バイト分のデータ受信を行うものとします。

このときマスタA とマスタB が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタB ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタA、マスタB ともどちらもバス権を取得したものと認識して動作します。ここでマスタA は、スレーブデバイスから最終バイトである2 バイト分の受信が完了した時点でNACK を送信します。一方マスタB は、スレーブデバイスから必要な4 バイト受信に満たないためACK 送信を行います。このときマスタA のNACK 送信とマスタB のACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタA はマスタB が出したACK 送信を検出できないままストップコンディション発行動作を行うため、マスタB のSCL クロック出力と競合し通信を阻害します。

RIIC はこのようなNACK 送信時にACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC は直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、アサインアドレスの UDID（ユニークデバイスアイデンティファイ）不一致時の NACK 送信以降、及びアサインアドレス確定後の Get UDID（汎用）の NACK 送信以降の余剰処理（FFh 送信処理）を省くことができます。

なおNACK 送信アービトレーションロスト検出は、NALE ビット（ICFER レジスタのビット2）が“1”（NACK 送信アービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

- NACK送信時（ICMR3 レジスタのACKBT ビット=1）、自分が出したSDA信号とSDAnライン上の信号の状態が不一致のとき（ACK を受信したとき）

25.9.3　スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（自分が出したSDA 信号）とSDA ライン上の信号の状態に不一致が生じた場合（自分が出したSDA 出力がH 出力（＝ SDAn 端子はハイインピーダンス状態）で、SDA ラインにL を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にSMBus のUDID（ユニークデバイスアイデンティファイ）送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC は直ちにスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能によりSMBus のUDID 送信時のデータ衝突検出及びデータ衝突以降の余剰処理（FFh 送信処理）を省くことができます。

なおスレーブアービトレーションロスト検出は、SALE ビット（ICFER レジスタのビット3）が“1”（スレーブアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

- スレーブ送信モード時（ICCR2 レジスタのMST、TRS ビット=01）、アクノリッジを除く送信データ（自分が出したSDA 信号）とSDAn ライン上の信号の状態が不一致のとき

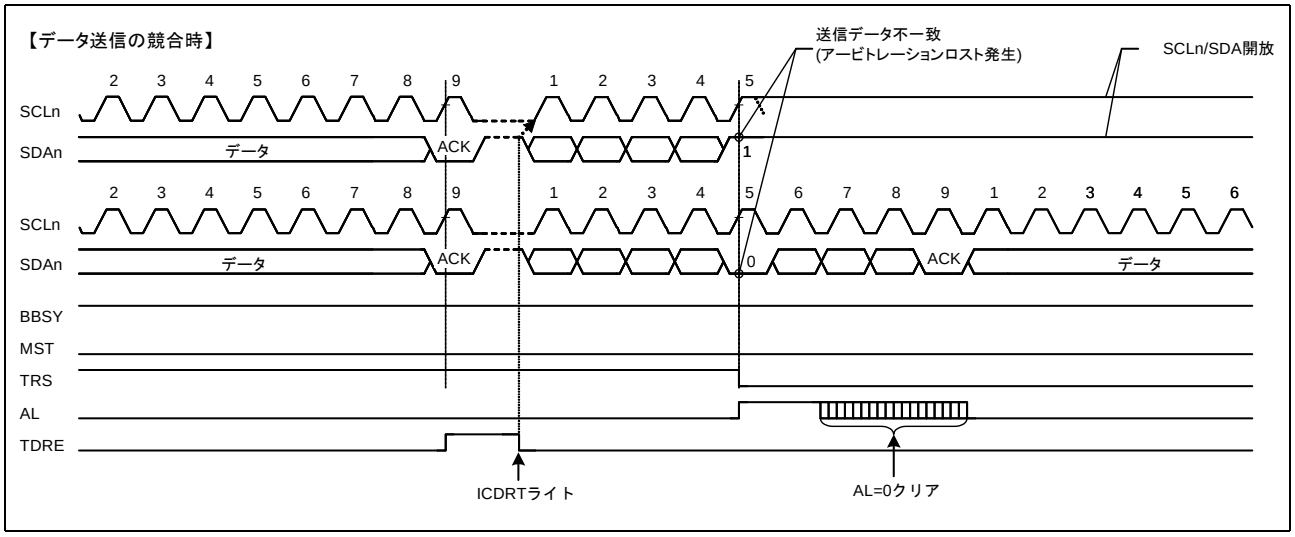


図 25.35　スレーブアービトレーションロスト検出動作例（SALE=1 のとき）

25.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

25.10.1 スタートコンディション発行動作

RIIC は、ICCR2 レジスタの ST ビットによりスタートコンディションの発行を行います。

ST ビットを“1”にすると、スタートコンディション発行の要求が行われ ICCR2 レジスタの BBSY フラグが“0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

［スタートコンディション発行動作］

(1) SDAn ラインを立ち下げ（H から L に遷移）
(2) ICBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
(3) SCLn ラインを立ち下げ（H から L に遷移）
(4) SCLn ライン の L を検出後、ICBRL レジスタで設定した時間 SCLn ライン の L 幅を確保

25.10.2 リスタートコンディション発行動作

RIIC は RS ビット（ICCR2 レジスタのビット 2）によりリスタートコンディションの発行を行います。

RS ビットを“1”にするとリスタートコンディション発行の要求が行われ、RIIC は ICCR2 レジスタの BBSY フラグが“1”（バスビジー）の状態でかつ MST ビット（ICCR2 レジスタのビット 6）が“1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

［リスタートコンディション発行動作］

(1) SDAn ラインを開放
(2) ICBRL レジスタで設定した時間 SCLn ライン の L 幅を確保
(3) SCLn ラインを開放（L から H に遷移）
(4) SCLn ライン の H 検出後、ICBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
(5) SDAn ラインを立ち下げ（H から L に遷移）
(6) ICBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
(7) SCLn ラインを立ち下げ（H から L に遷移）
(8) SCLn ライン の L を検出後、ICBRL レジスタで設定した時間 SCLn ライン の L 幅を確保

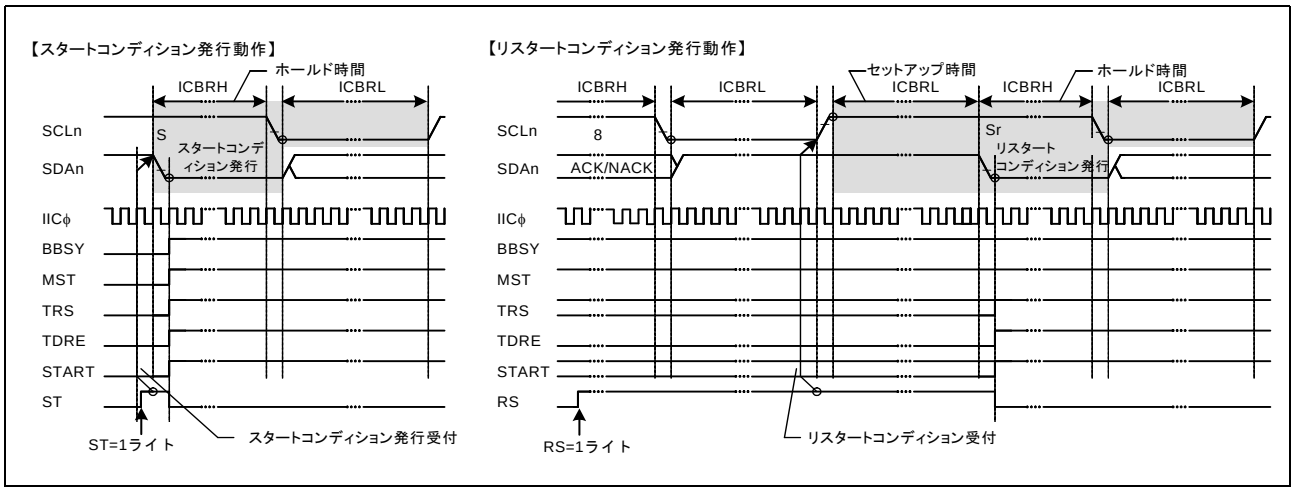


図 25.36　スタートコンディション/ リスタートコンディション発行動作タイミング（ST、RS ビット）

25.10.3 ストップコンディション発行動作

RIIC はICCR2 レジスタのSP ビットによりストップコンディションの発行を行います。

SP ビットを“1” にするとストップコンディション発行の要求が行われ、RIIC はICCR2 レジスタのBBSY フラグが“1”（バスビジー）の状態でかつICCR2 レジスタのMST ビットが“1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

［ストップコンディション発行動作］

(1) SDAn ラインを立ち下げ（H からL に遷移）
(2) ICBRL レジスタで設定した時間SCLn ラインのL 幅を確保
(3) SCLn ラインを開放（L からH に遷移）
(4) SCLn ラインのH 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
(5) SDAn ラインを開放（L からH に遷移）
(6) ICBRL レジスタで設定した時間バスフリー時間を確保
(7) BBSY フラグクリア（バス権解放）

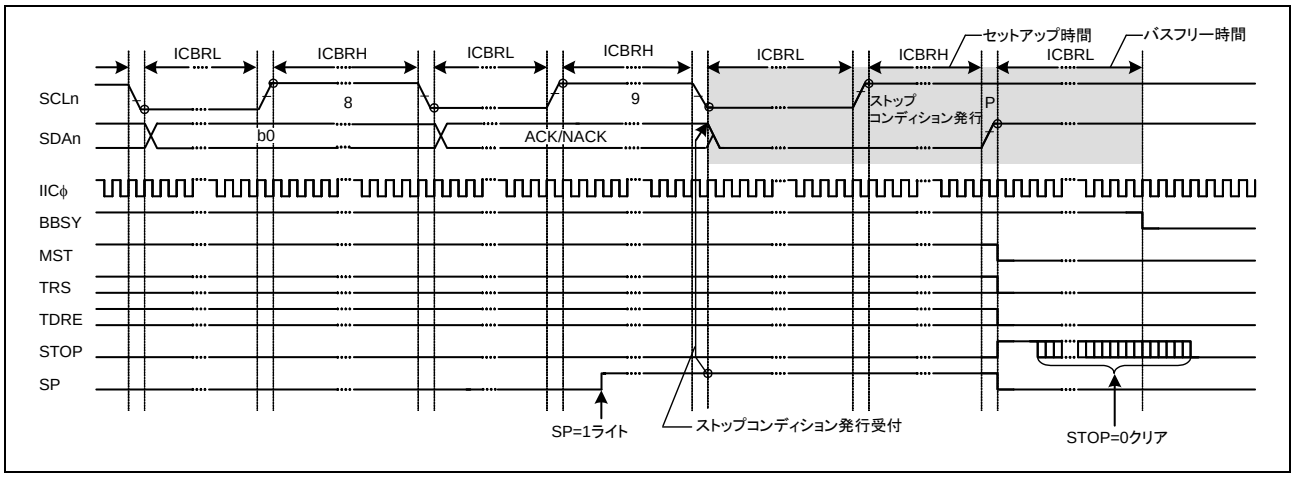


図 25.37　ストップコンディション発行動作タイミング（SP ビット）

25.11 バスハングアップ

I2C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCLn ラインやSDAn ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対しSCLn ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCL クロック追加出力機能及びRIIC/ 内部リセット機能を備えています。

また、SCLO、SDAO、SCLI、SDAI ビット（ICCR1 レジスタのビット3、２、１、0）を確認することで、RIIC 自身がSCLn ライン/SDAn ラインにL 出力しているか、あるいは通信デバイス側がL 出力しているかどうかを確認することが可能です。

25.11.1 タイムアウト検出機能

RIIC にはSCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC はバスがビジー状態のとき、SCLn ラインがL 又はH に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCLn ラインの状態を監視し、L 又はH の時間を内部カウンタでカウントします。タイムアウト検出機能はSCLn ラインに変化（立ち上がり/ 立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能はICFER レジスタのTMOE ビットが“1” のとき有効で、マスタモード時はバスビジー時（ICCR2 レジスタのBBSY フラグ=1 の状態）、スレーブモード時はBBSY フラグが“1” の状態でかつ自スレーブアドレス一致時（ICSR1 レジスタ≠ 00h）のときSCLn ラインのL 固定又はH 固定のバス異常状態を検出します。

タイムアウト検出機能の内部カウンタは、ICMR1 レジスタのCKS[2:0] ビットで設定された内部基準クロック（IICφ）をカウントソースとして動作し、ロングモード選択時（ICMR2 レジスタのTMOS ビット=0）16 ビットカウンタ、ショートモード選択時（TMOS ビット=1）14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCLn ラインがL 状態のときカウントさせるか、H 状態のときカウントさせるか、あるいはその両方をカウントさせるかをICMR2 レジスタのTMOH、TMOL ビットの設定により選択することが可能です。なおTMOH、TMOL ビットの両方を“0” にした場合は、内部カウント動作を行いません。

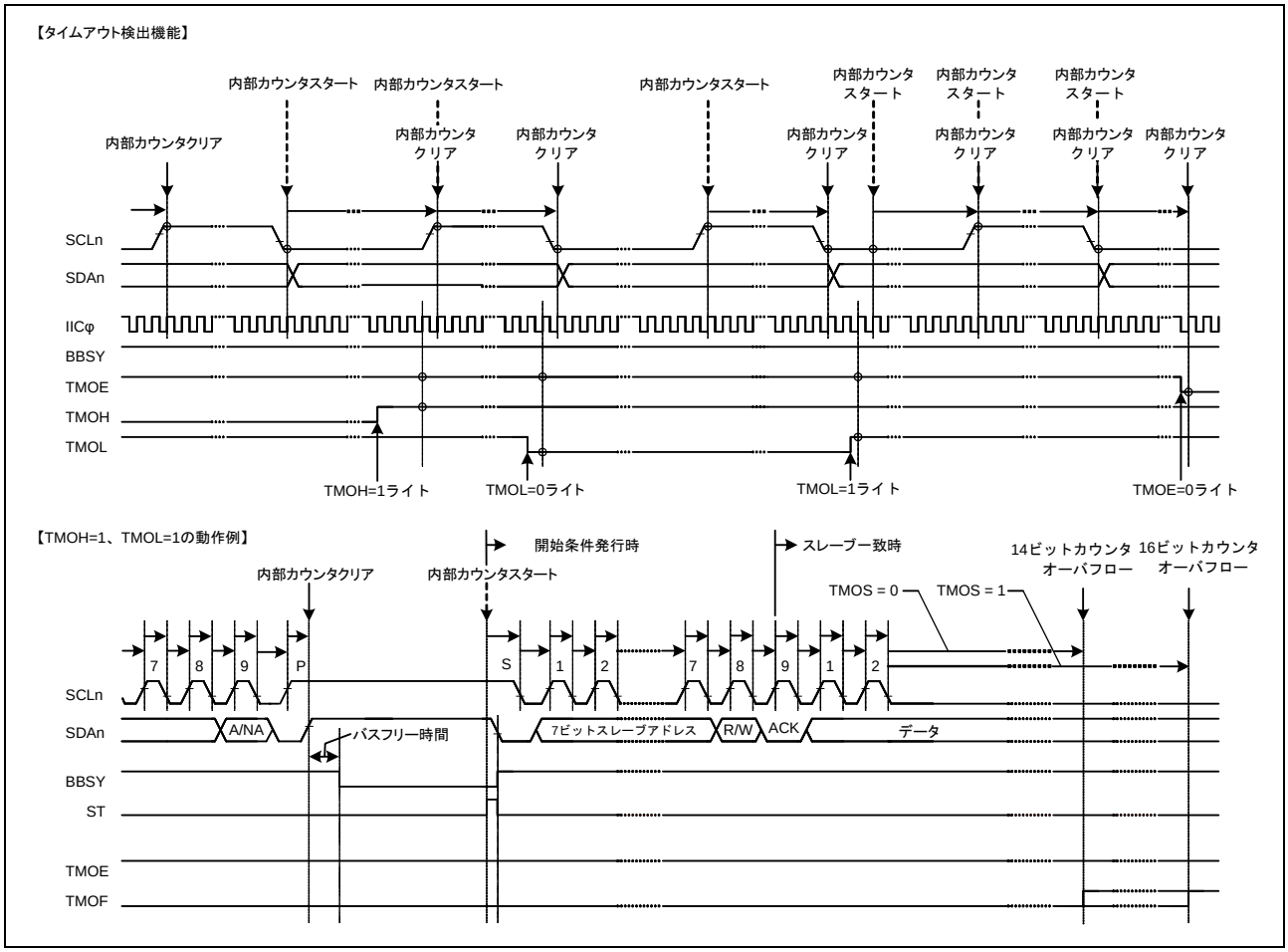


図 25.38　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

25.11.2 SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン L 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDAn ラインを L 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDAn ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力はマスターモード時に、CLO ビット（ICCR1 レジスタのビット 5）を “1” にすると、ICMR1 レジスタの CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。そのためソフトウェアで CLO ビットが “0” であることを確認後 “1” を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDAn ラインを L 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDAn ラインの L 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDAn ライン開放は ICCR1 レジスタの SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDAn ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。なお、この機能を使用する場合は ICFER レジスタの MALE ビットを “0”（マスタアービトレーションロスト検出禁止）にして使用してください。MALE ビットが “1”（マスタアービトレーションロスト検出許可）の場合、ICCR1 レジスタの SDAO ビットの値と SDAn ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1 レジスタのCLO ビットの出力条件]

- バスフリー状態（ICCR2 レジスタのBBSY フラグ=0）又はマスタモード（ICCR2 レジスタのMST ビット=1、BBSY フラグ=1 の状態）のとき
- 通信デバイスがSCLn ラインをL ホールドにしていない状態のとき

図25.39 にSCL クロック追加出力機能（CLO ビット）を示します。

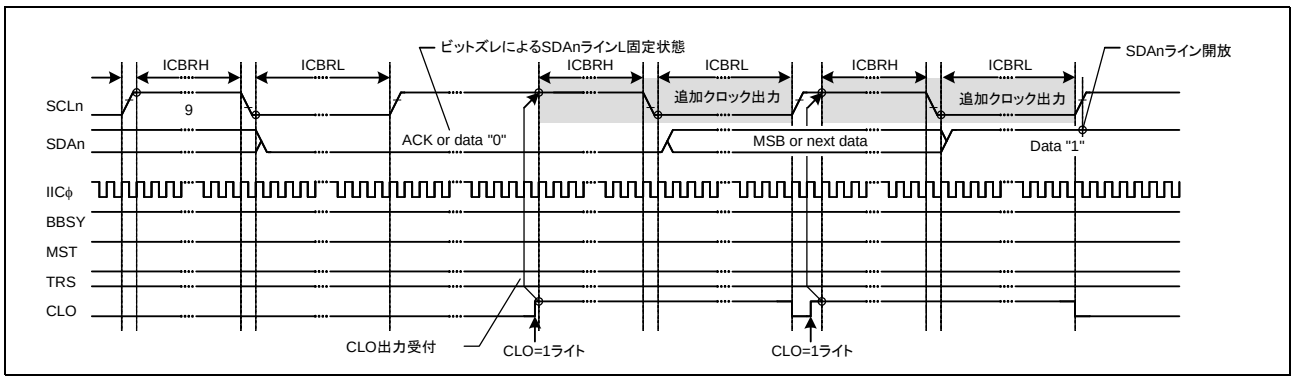


図 25.39　SCL クロック追加出力機能（CLO ビット）

25.11.3 RIIC/ 内部リセット

RIIC はRIIC モジュールをリセットするための機能を備えています。リセットには2 種類のリセットがあり、1 つはICCR2 レジスタのBBSY フラグを含めた全レジスタの初期化を行うRIIC リセット、もう1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

ICCR1レジスタのICEビットが”0”のときにICCR1レジスタのIICRST ビットを”1”にするとRIICリセットになり、ICCR1 レジスタのICE ビットが”1” のときにICCR1 レジスタのIICRST ビットを”1”にすると内部リセットになります

リセット後はICCR1 レジスタのIICRST ビットを“0” にしてください。

いずれのリセットもSCLn 端子 /SDAn 端子の出力状態を解除しハイインピーダンス状態に戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。またRIIC リセット（ICCR1 レジスタのICE、IICRST ビット=01b）のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC/ 内部リセットの詳細については、「25.14 リセット状況」を参照してください。

25.12 SMBus 動作

RIIC は SMBus（Ver.2.0）に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3 レジスタの SMBS ビットを“1” にして SCLn 端子/SDAn 端子機能の SMBus に準拠した入力レベルを選択してください。転送速度は SMBus 規格の 10kbps ～ 100kbps の範囲に収まるよう ICMR1 レジスタの CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間:300ns（min）の規格を守るよう DLCS ビット（ICMR2 レジスタのビット 7）及び ICMR2 レジスタの SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要です。

なお SMBus デバイスデフォルトアドレス（1100 001）はスレーブアドレスレジスタ L0 ～ L2（SARL0、SARL1、SARL 2）のいずれか 1 本を使用し、該当する SARU n レジスタの FS ビット (n=0 ～ 2)（7 ビット/10 ビットアドレスフォーマット選択ビット）は“0”（7 ビットアドレスフォーマット）を選択してください。

また、UDID（ユニークデバイスアイデンティファイ）送信時には、ICFER レジスタの SALE ビットを“1” にしてスレーブアービトレーションロスト検出機能を有効にしてください。

25.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- **スタートコンディションからストップコンディション**

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（STI）、ストップコンディション検出割り込み（SPI）を利用してスタートコンディション検出からストップコンディション検出までの時間を TMU 又は TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック L の累積時間［スレーブデバイス］$T_{LOW:SEXT}$：25ms（max）以内である必要があります。

TMU 又は TMR で計測した時間が、SMBus 規格のクロック L 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1 レジスタの IICRST ビットに“1” を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCLn 端子/SDAn 端子のバス駆動を中止し、端子をハイインピーダンス状態にすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- **スタートコンディションからアクノリッジビット**
- **アクノリッジビットから次のアクノリッジビット**
- **アクノリッジビットからストップコンディション**

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（STI）、ストップコンディション検出割り込み（SPI）、及び送信終了割り込み（TEI）又は受信データフル割り込み（RXI）を利用して、それぞれの区間を TMU 又は TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック L の累積時間［マスタデバイス］$T_{LOW:MEXT}$：10ms（max）以内である必要があり、スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ を加算した結果が $T_{LOW:SEXT}$：25ms（max）以内である必要があります。

ACK 受信タイミング（SMBCLK の 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は ICSR2 レジスタの TEND フラグ、マスタ受信モード時（マスタレシーバ）は ICSR2 レジスタの RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3 レジスタの RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

TMU 又はTMR で計測した時間が、SMBus 規格のクロックL の累積時間［マスタデバイス］$T_{LOW:MEXT}$：10ms（max）又は各計測時間の加算した結果が、SMBus 規格のクロックL 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作（ICDRT レジスタへの書き込み動作）を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

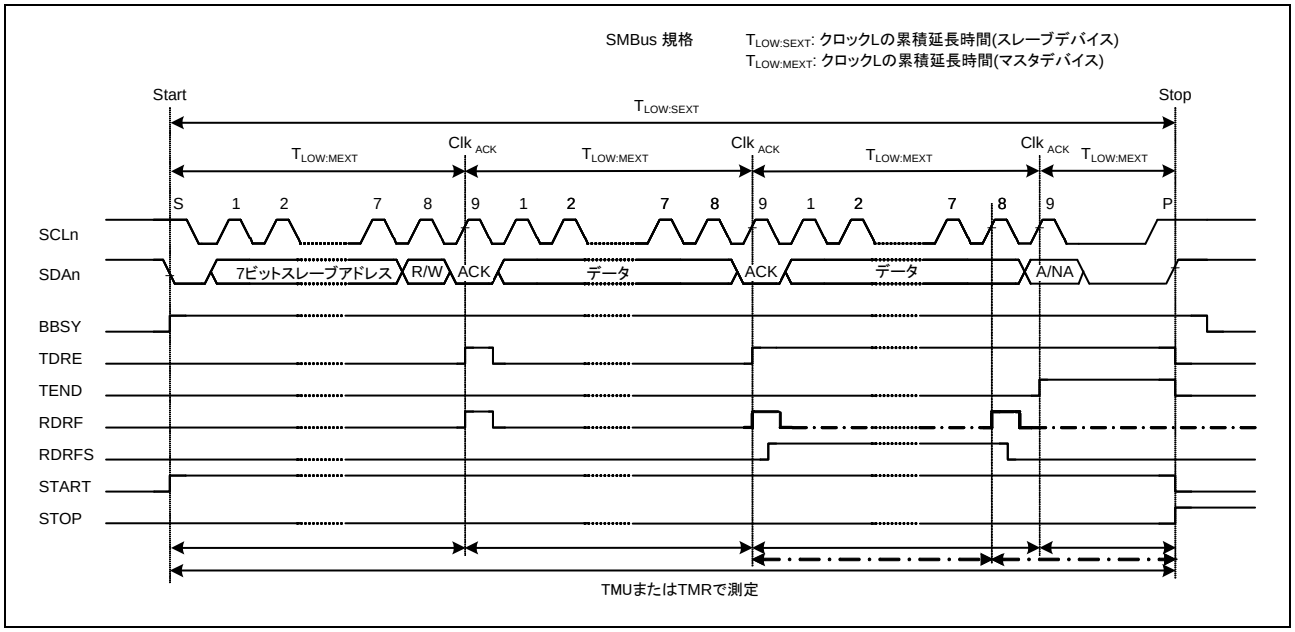


図 25.40　SMBus タイムアウト測定

25.12.2 SMBus ホスト通知プロトコル/Notify ARP master

SMBus ではスレーブデバイスがSMBus ホスト（又はARP マスタ）に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知（又は要求）することができます。

SH7753 をSMBus ホスト（又はARP マスタ）として動作させる場合、スレーブデバイスからのホストアドレス（0001 000）送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3 レジスタのSMBS ビットを“1”、ICSER レジスタのHOAE ビットを“1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

25.13 割り込み要因

RIIC の割り込み要因には、通信エラー/イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の4 種類があります。

表 25.7 に割り込み要因を示します。受信データフル及び送信データエンプティ割り込み要求により、DMAC を起動してデータ転送を行うことができます。

なお、RXI割り込み及びTXI割り込みには、使用上の注意事項がありますので、「10.7.4 RIIC割り込み使用時の注意」も併せて参照してください。

表25.7　割り込み要因

略称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位	割り込み条件
TXI	送信データエンプティ	TDRE	可能	高 ↓ 低	TDRE = 1 かつ TIE = 1
TEI	送信終了	TEND	不可能		TEND = 1 かつ TEIE = 1
RXI	受信データフル	RDRF	可能		RDRF = 1 かつ RIE = 1
EEI	通信エラー / イベント発生	AL、NACKF、TMOF、START、STOP	不可能		AL = 1 かつ ALIE = 1 NACKF = 1 かつ NAKIE = 1 TMOF = 1 かつ TMOIE = 1 START = 1 かつ STIE = 1 STOP = 1 かつ SPIE = 1

割り込み処理の中でそれぞれのフラグをクリア又はマスクしてください。

【割り込み処理上の注意】

(1) CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリア又はマスクした場合は再度フラグを読み、クリア又はマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

(2) TXI 割り込みはエッジ割り込みのためクリアの必要はありません。またTXI 割り込みの条件となるICSR2 レジスタのTDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2 レジスタのSTOP フラグ=1）で自動的に“0” になります。

(3) RXI 割り込みはエッジ割り込みのためクリアの必要はありません。またRXI 割り込みの条件となるICSR2 レジスタのRDRF フラグは、ICDRR レジスタの読み出しで自動的に“0” になります。

(4) ICSR2 レジスタのTEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2 レジスタのSTOP フラグ=1）で自動的に“0” になります。
[DMA送信の注意事項]
DMA 要求のために TXIを使用するときは、TDRE がアサートされていることを確認してからDMAC (CHCR レジスタのDE=1) を開始してください。

25.14 リセット状況

RIIC はチップリセット、RIIC リセット及び内部リセットのリセット機能を持っています。表 25.8 に各リセットのリセット範囲及びリセット状況を示します。

表25.8　リセット状況

項目		チップリセット	RIICリセット（ICEビット=0、IICRSTビット=1）	内部リセット（ICEビット=1、IICRSTビット=1）	スタートコンディション/リスタートコンディション検出	ストップコンディション条件検出
ICCR1	ICE、IICRST	リセット	保持	保持	動作 (保持)	動作(保持)
	SCLO、SDAO		リセット	リセット		
	上記以外			保持		
ICCR2	BBSY	リセット	リセット	動作	動作	動作
	ST			リセット	リセット	動作(保持)
	上記以外					リセット
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	動作 (保持)
	上記以外			保持	動作 (保持)	
ICMR2		リセット	リセット	保持	動作 (保持)	動作 (保持)
ICMR3		リセット	リセット	保持	動作 (保持)	動作(保持)
ICFER		リセット	リセット	保持	動作(保持)	動作 (保持)
ICSER		リセット	リセット	保持	動作 (保持)	動作 (保持)
ICIER		リセット	リセット	保持	動作(保持)	動作 (保持)
ICSR1		リセット	リセット	リセット	動作 (保持)	リセット
ICSR2	TDRE、TEND	リセット	リセット	リセット	動作 (保持)	リセット
	START				動作	
	STOP				動作 (保持)	動作
	上記以外					動作(保持)
SARL0 ～ SARL2 SARU0～ SARU2		リセット	リセット	保持	動作(保持)	動作 (保持)
ICBRH、ICBRL		リセット	リセット	保持	動作 (保持)	動作(保持)
ICDRT		リセット	リセット	保持	動作 (保持)	動作(保持)
ICDRR		リセット	リセット	保持	動作 (保持)	動作(保持)
ICDRS		リセット	リセット	リセット	動作(保持)	動作 (保持)
タイムアウト検出機能		リセット	リセット	動作	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

25.15 Offloadエンジン

25.15.1 概要

RIIC通信では大容量のI2C転送によるデータロードやI2Cのタイミング要求（SMBus及びPMBusとして使用する場合など）に対応するため、リアルタイム動作が必要な場合があります。RIICモジュールに搭載されたOffloadエンジンのシーケンサ（ISQ0～ISQ9）は、I2Cトランザクションの開始から停止までの動作をハードウエアで制御するため、上記の処理をスムーズに行うことができます。

以下にシーケンサの特長を、図25.41にOffloadエンジンブロック図を示します。

- ハードウェアによるトランザクション自動実行（SH-4Aの介在不要）
- 4モードをサポート：マスタ送信、マスタ受信、スレーブ送信、スレーブ受信
- アービトレーションロストエラー及びタイムアウトエラー検出サポート
  （アービトレーションロストエラーはスレーブ受信モードでは発生しません）
- 7ビットアドレスのみ対応
- トランザクション完了時、割り込みフラグ（SSR1レジスタのSENDFビット）及びシーケンス完了割り込みを発生
- マスタ送信→リスタート→マスタ受信の順でのリスタートに対応

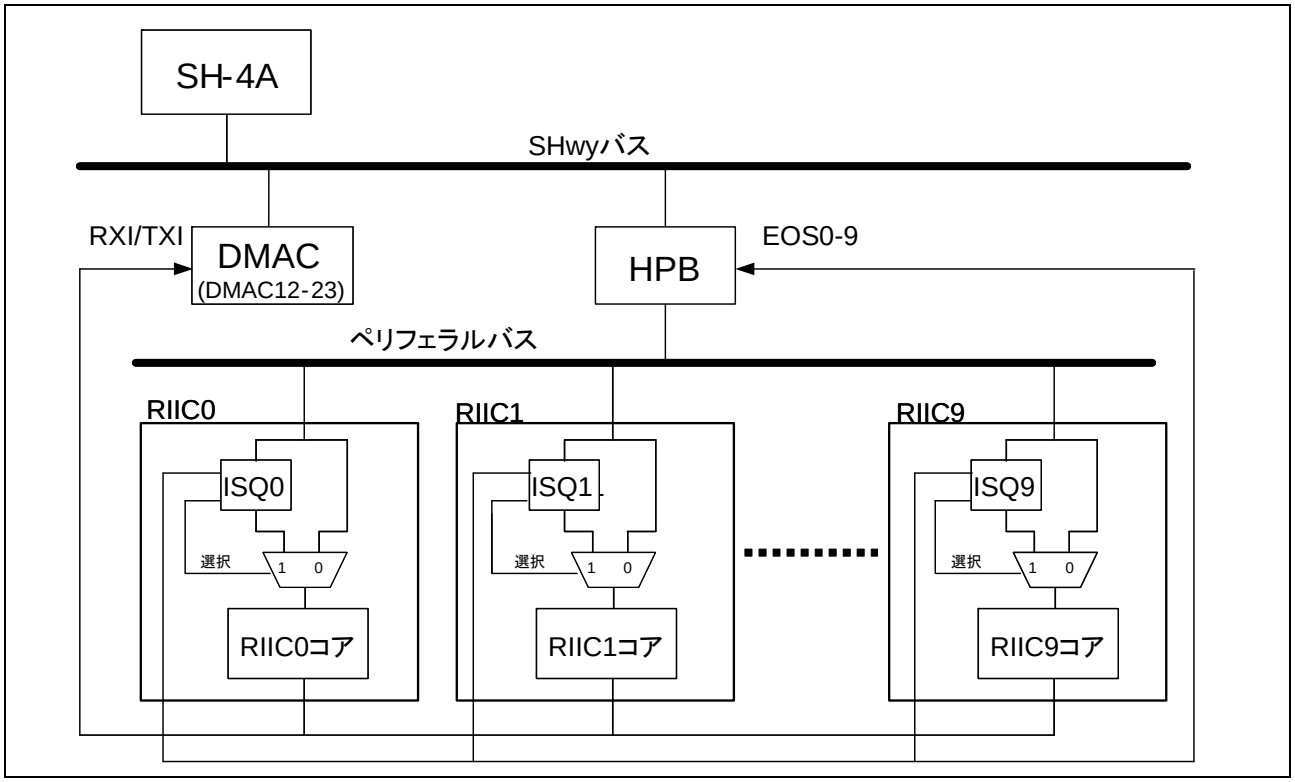


図 25.41　Offloadエンジンブロック図

[記号説明]

DMAC　：ダイレクトメモリアクセスコントローラ（注）
DMACn：DMACチャネルn（n=12～23）（注）
ISQn　：シーケンサチャネルn （n=0～9）
EOSn　：ISQnシーケンサ完了割り込み（n=0～9）

注．DMAC及びDMACnについては、「14. ダイレクトメモリアクセスコントローラ（DMAC）」を参照してください。

RIIC の Offload エンジンは、CPU を介さず、ハードウエア（シーケンサ）で自動的にデータ転送を制御します。

RIICn コア、DMACn及びシーケンサ（ISQn）を設定すると、送受信処理の開始から停止までをハードウェアで行います。図25.42にシーケンサを用いたマスタ送信例を示します。

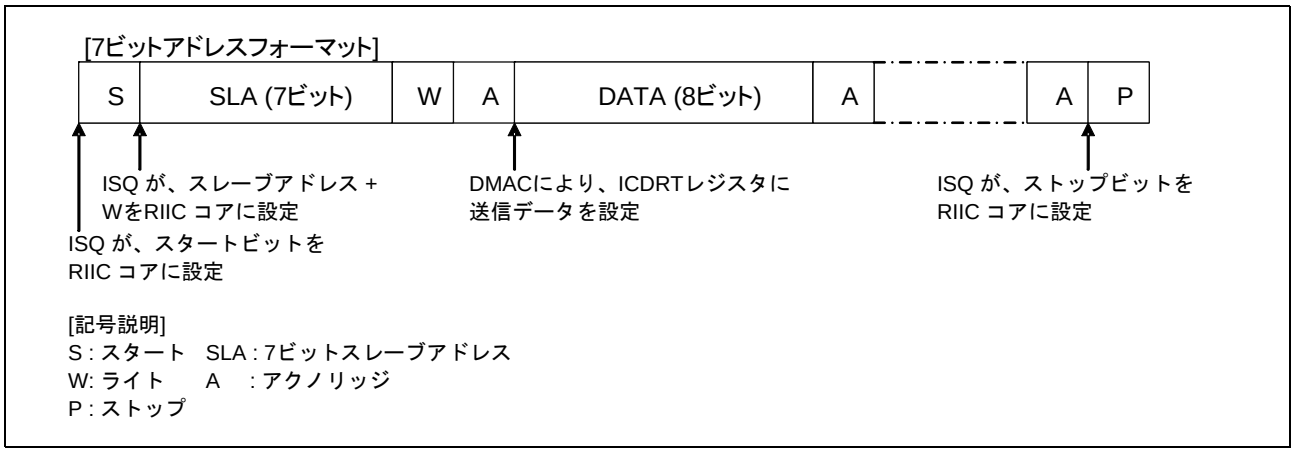


図 25.42　シーケンサを用いたマスタ送信例

25.15.2 レジスタ構成

シーケンサ（ISQn）のレジスタ構成を表25.9に示します。

指定されたビット幅で、レジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表25.9　シーケンサ（ISQn）のレジスタ構成

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
ISQ0	シーケンサコントロールレジスタ	SCR	R/W	H'FE50 0080	8	H'00	H'00	H'00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE50 0081	8	H'00	H'00	H'00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE50 0082	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE50 0084	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE50 0085	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE50 0086	8	H'00	H'00	H'00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE50 0088	8	H'00	H'00	H'00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE50 0089	8	H'00	H'00	H'00
ISQ1	シーケンサコントロールレジスタ	SCR	R/W	H'FE51 0080	8	H'00	H'00	H'00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE51 0081	8	H'00	H'00	H'00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE51 0082	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE51 0084	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE51 0085	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE51 0086	8	H'00	H'00	H'00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE51 0088	8	H'00	H'00	H'00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE51 0089	8	H'00	H'00	H'00
ISQ2	シーケンサコントロールレジスタ	SCR	R/W	H'FE52 0080	8	H'00	H'00	H'00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE52 0081	8	H'00	H'00	H'00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE52 0082	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE52 0084	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE52 0085	8	H'00	H'00	H'00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE52 0086	8	H'00	H'00	H'00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE52 0088	8	H'00	H'00	H'00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE52 0089	8	H'00	H'00	H'00

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
ISQ3	シーケンサコントロールレジスタ	SCR	R/W	H'FE53 0080	8	H’00	H’00	H’00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE53 0081	8	H’00	H’00	H’00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE53 0082	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE53 0084	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE53 0085	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE53 0086	8	H’00	H’00	H’00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE53 0088	8	H’00	H’00	H’00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE53 0089	8	H’00	H’00	H’00
ISQ4	シーケンサコントロールレジスタ	SCR	R/W	H'FE54 0080	8	H’00	H’00	H’00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE54 0081	8	H’00	H’00	H’00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE54 0082	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE54 0084	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE54 0085	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE54 0086	8	H’00	H’00	H’00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE54 0088	8	H’00	H’00	H’00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE54 0089	8	H’00	H’00	H’00
ISQ5	シーケンサコントロールレジスタ	SCR	R/W	H'FE55 0080	8	H’00	H’00	H’00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE55 0081	8	H’00	H’00	H’00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE55 0082	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE55 0084	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE55 0085	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE55 0086	8	H’00	H’00	H’00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE55 0088	8	H’00	H’00	H’00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE55 0089	8	H’00	H’00	H’00
ISQ6	シーケンサコントロールレジスタ	SCR	R/W	H'FE56 0080	8	H’00	H’00	H’00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE56 0081	8	H’00	H’00	H’00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE56 0082	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE56 0084	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE56 0085	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE56 0086	8	H’00	H’00	H’00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE56 0088	8	H’00	H’00	H’00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE56 0089	8	H’00	H’00	H’00

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
ISQ7	シーケンサコントロールレジスタ	SCR	R/W	H'FE57 0080	8	H’00	H’00	H’00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE57 0081	8	H’00	H’00	H’00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE57 0082	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE57 0084	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE57 0085	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE57 0086	8	H’00	H’00	H’00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE57 0088	8	H’00	H’00	H’00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE57 0089	8	H’00	H’00	H’00
ISQ8	シーケンサコントロールレジスタ	SCR	R/W	H'FE58 0080	8	H’00	H’00	H’00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE58 0081	8	H’00	H’00	H’00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE58 0082	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE58 0084	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE58 0085	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE58 0086	8	H’00	H’00	H’00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE58 0088	8	H’00	H’00	H’00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE58 0089	8	H’00	H’00	H’00
ISQ9	シーケンサコントロールレジスタ	SCR	R/W	H'FE59 0080	8	H’00	H’00	H’00
	シーケンサ割り込み有効レジスタ	SIER	R/W	H'FE59 0081	8	H’00	H’00	H’00
	シーケンサデスティネーションアドレスレジスタ	SDADR	R/W	H'FE59 0082	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ0	STCNT0	R/W	H'FE59 0084	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ1	STCNT1	R/W	H'FE59 0085	8	H’00	H’00	H’00
	シーケンサ転送カウントレジスタ2	STCNT2	R/W	H'FE59 0086	8	H’00	H’00	H’00
	シーケンサステータスレジスタ0	SSR0	R/W	H'FE59 0088	8	H’00	H’00	H’00
	シーケンサステータスレジスタ1	SSR1	R/W	H'FE59 0089	8	H’00	H’00	H’00

25.15.2.1 シーケンサコントロールレジスタ（SCR）

ビット:	7	6	5	4	3	2	1	0
	-	-	IGNSP	RS	SMST	STRS	SRST	SENB
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	—	0	—	リザーブビット
5	IGNSP	0	R/W	STOP発行無視 0：転送完了時にSPビットを設定する （ストップコンディションを要求） 1：転送完了時にSPビットを設定しない （スタートコンディションを使用する場合）
4	RS	0	R/W	リスタート発行（注1） 0：STビットを設定する （スタートコンディション発行） 1：RSビットを設定する （リスタートコンディション発行）
3	SMST	0	R/W	シーケンサモード選択 SMST　STRS 0　X　：スレーブモード 1　0　：マスタ受信モード 1　1　：マスタ送信モード
2	STRS	0	R/W	
1	SRST	0	R/W	シーケンサソフトリセット このビットに“1”を書くと、ISQn内の全レジスタがリセットされ、ISQn内のステートマシンはアイドル状態になります。 “1”を書いた後、このビットは自動的に“0”になります。
0	SENB	0	R/W （注2）	シーケンサ有効 0：シーケンサ無効（HPBはRIICnコアに直接アクセス） 1：シーケンサ有効（HPBはISQn経由でRIICnコアにアクセス）

注1. SENBビット＝1のときのみ有効です。
2. このビットは、以下の場合、“0”になります。
・SRSTビット（SCRレジスタのビット1）に“1”を書いたとき
・トランザクション終了時
・SENDFビット（SSRレジスタのビット6）が“1”になったとき

X：”0”又は“1”いずれでもよい。

25.15.2.2 シーケンサ割り込み有効レジスタ（SIER）

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SEIE
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	R/W

ビット	ビット名	初期値	R/W	説 明
7～1	—	0	—	リザーブビット
0	SEIE	0	R/W	シーケンサ終了割り込み有効 0：SENDF＝1のとき、シーケンサ終了（EOS）割り込みは発生しない 1：SENDF＝1のとき、シーケンサ終了（EOS）割り込みが発生する

25.15.2.3 シーケンサデスティネーションアドレスレジスタ（SDADR）

ビット:	7	6	5	4	3	2	1	0
	DADR[7:1]							-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-

ビット	ビット名	初期値	R/W	説 明
7～1	DADR[7:1]	0	R/W	7ビットデスティネーションアドレス （マスタモード受信/送信モード時のみ有効）
0	—	0	—	リザーブビット

25.15.2.4 シーケンサ転送カウントレジスタ2～0（STCNT2～0）

ビット:	7	6	5	4	3	2	1	0
	STCNT							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	STCNT	0	R/W	STCNT2（上位8ビット）、STCNT1（中位8ビット）、STCNT0（下位8ビット）に転送バイト数（1～16777216バイト）を設定する（注） 1～H'FFFFFF ：1～16777215バイト H'000000 ：16777216バイト（最大）

注. シーケンサ転送中は未送信のバイト数を示します。
なお、DMACを使用する場合は、このレジスタの設定値とDMACnのTCRレジスタの設定値を同じにしてください。

25.15.2.5 シーケンサステータスレジスタ0（SSR0）

ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R	送信データエンプティフラグ ICSR2レジスタのTDREビットが“1”になると“1”になります ICDRTレジスタに送信データを書くと“0”になります
6	TEND	0	R/W	送信終了フラグ ICSR2レジスタのTENDビットが“1”になると“1”になります ICDRTレジスタに送信データを書くと“0”になります
5	RDRF	0	R	受信データフルフラグ ICSR2レジスタのRDRFビットが“1”になると“1”になります ICDRRレジスタから受信データを読み出すと“0”になります
4	NACKF	0	R/W	NACK検出フラグ ICSR2レジスタのNACKFビットが“1”になると“1”になります
3	STOP	0	R/W	ストップコンディション検出フラグ ICSR2レジスタのSTOPビットが“1”になると“1”になります
2	START	0	R/W	スタートコンディション検出フラグ ICSR2レジスタのSTARTビットが“1”になると“1”になります
1	AL	0	R/W	アービトレーションロストフラグ ICSR2レジスタのALビットが“1”になると“1”になります

ビット	ビット名	初期値	R/W	説 明
0	TMOF	0	R/W	タイムアウト検出フラグ ICSR2 レジスタの TMOF ビットが“1”になると“1”になります

注. このレジスタは、SRST ビット（SCR レジスタのビット 1）に“1”を書くと、H'00 になります。

25.15.2.6 シーケンスステータスレジスタ 1（SSR1）

ビット:	7	6	5	4	3	2	1	0
	BBSY	SENDF	-	-	-	AAS2	AAS1	AAS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	-	-	-	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R（注）	バスビジー検出フラグ ICCR2 レジスタの BBSY ビットが“1”になると“1”になります
6	SENDF	0	R/W（注）	シーケンサ終了フラグ 以下の場合、このビットは“1”になります。 ・ストップが発行され、シーケンサが ICSR2 レジスタをクリアしたとき ・全データをマスタ送信モードで送信し、IGNSP ビット（SCR レジスタのビット 5）に 1 を書いたとき ・全データをマスタ受信モードで受信し、IGNSP ビット（SCR レジスタのビット 5）に 1 を書いたとき ・アービトレーションロスト発生後、AL ビット（ICSR2 レジスタのビット 1）に 1 を書いたとき ・タイムアウト発生後、TMOF ビット（ICSR2 レジスタのビット 0）に 1 を書いたとき
5～3	—	0	—	リザーブビット
2	AAS2	0	R/W（注）	スレーブアドレス 2 検出フラグ ICSR1 レジスタの AAS2 ビット＝1 のときに RIICn レジスタの ICSR1 ビットをスレーブモードで読み込んだとき“1”になります
1	AAS1	0	R/W（注）	スレーブアドレス 1 検出フラグ ICSR1 レジスタの AAS1 ビット＝1 のときに RIICn レジスタの ICSR1 ビットをスレーブモードで読み込んだとき“1”になります
0	AAS0	0	R/W（注）	スレーブアドレス 0 検出フラグ ICSR1 レジスタの AAS0 ビット＝1 のときに RIICn レジスタの ICSR1 ビットをスレーブモードで読み込んだとき“1”になります

注. これらのビットは、以下の場合、“0”になります。
・SRST ビット（SCR レジスタのビット 1）に“1”を書いたとき
・このレジスタに H'00 を書いたとき

25.15.3 シーケンサ動作

シーケンサでは4つのモード（マスタ送信、マスタ受信、スレーブ送信、スレーブ受信）でデータ転送ができます。ソフトウェアによる初期設定後、トランザクションの開始から終了までの処理はハードウェアで自動的に行います。シーケンサ動作フローを図25.43に示します。

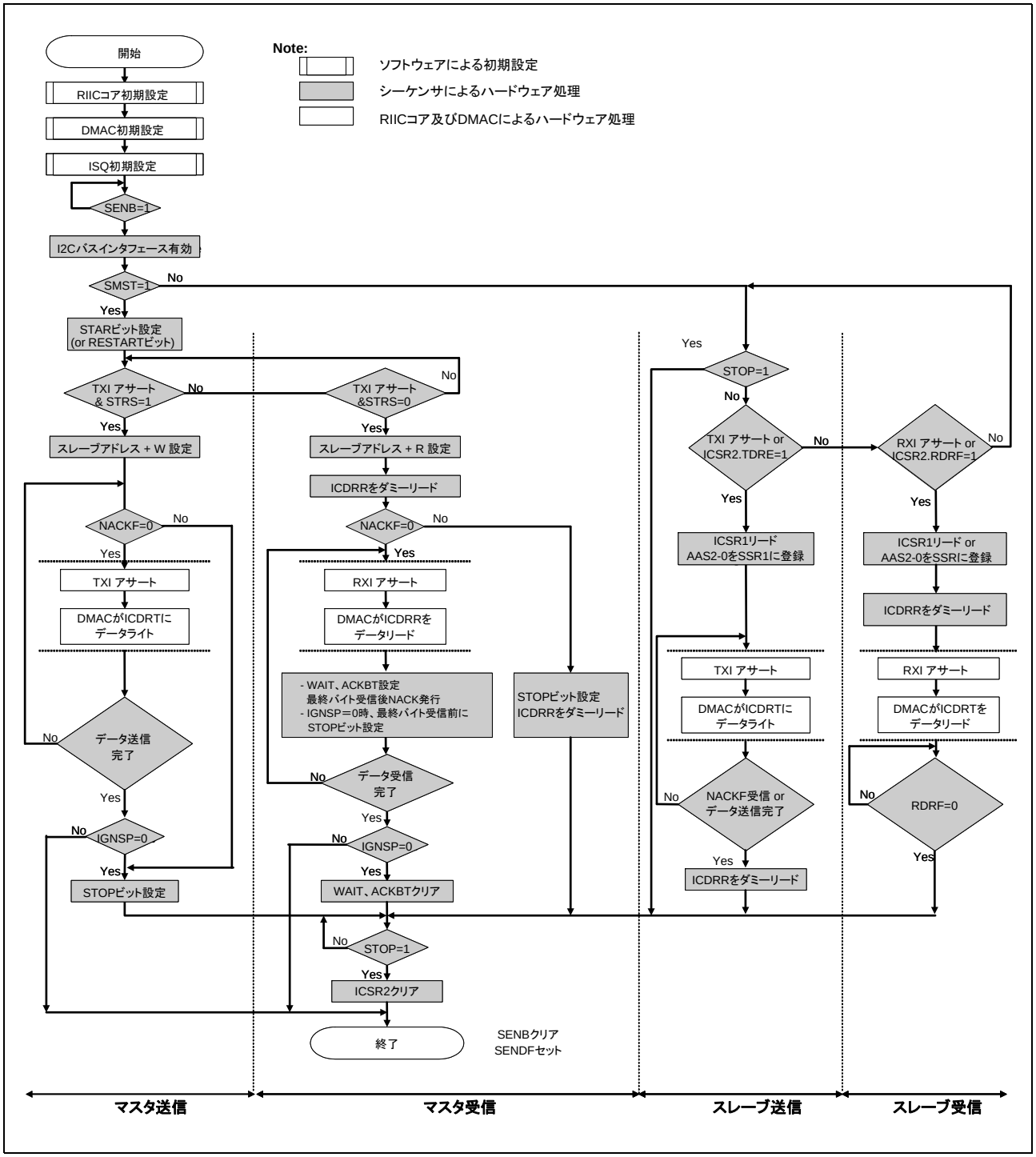


図 25.43　シーケンサ動作フロー

25.15.4 初期設定

RIICコアの初期設定内容は一部を除き「25.3.2 初期設定」の内容と同じです。
図25.44にシーケンサ使用時のRIICコア初期設定例を示します。

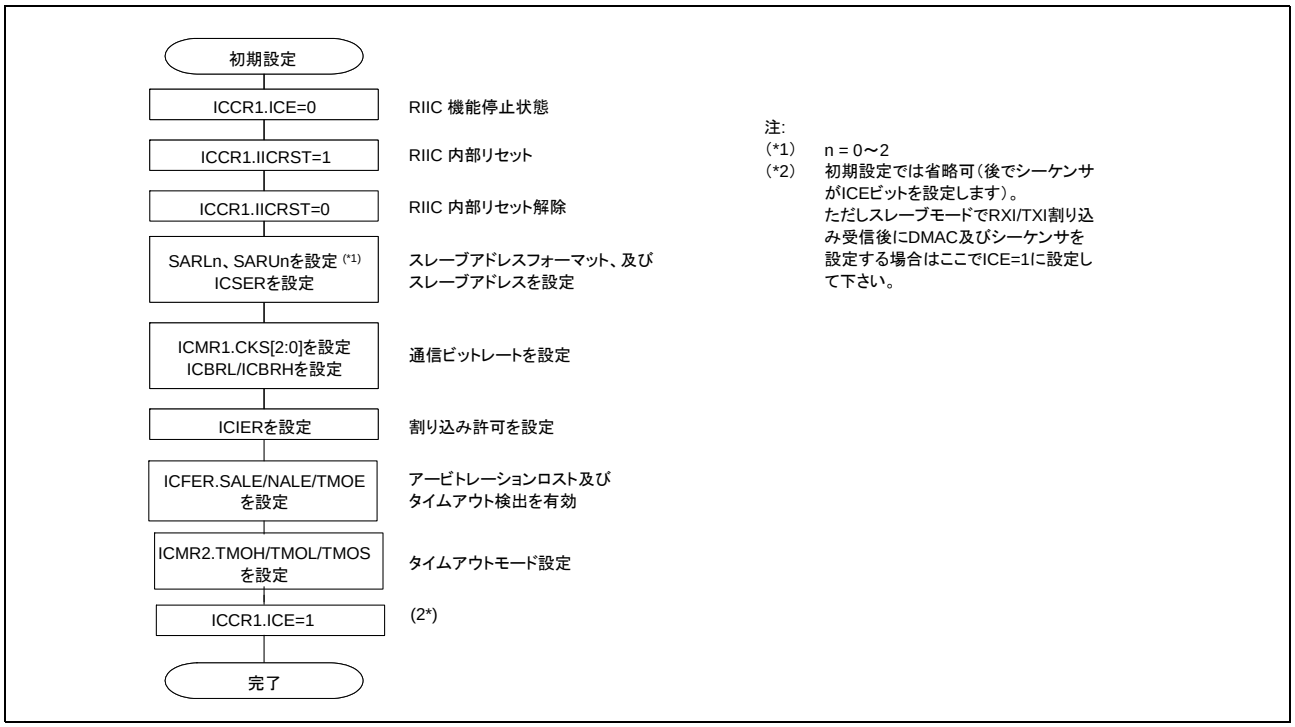


図 25.44　シーケンサ使用時のRIICコア初期設定例

表25.10にRIICコアの各レジスタの設定条件を示します。シーケンサ使用時のセットアップ時に本表を参照し必要な設定を行って下さい。

表25.10　RIICコア各レジスタの設定条件

レジスタ	ビット	ビット名	初期値（POR時）	R/W	モード			
					マスタ送信	マスタ受信	スレーブ送信	スレーブ受信
ICCR1	7	ICE	0	R/W	0	0	A	A
	6	IICRST	0	R/W	0	0	0	0
	5	CLO	0	R/W	—	—	—	—
	4	SOWP	1	R/W	—	—	—	—
	3	SCLO	1	R/W	—	—	—	—
	2	SDAO	1	R/W	—	—	—	—
	1	SCLI	1	R	—	—	—	—
	0	SDAI	1	R	—	—	—	—
ICCR2	7	BBSY	0	R	—	—	—	—
	6	MST	0	R/W	—	—	—	—
	5	TRS	0	R/W	—	—	—	—
	4	—	1	R	—	—	—	—
	3	SP	0	R/W	—	—	—	—
	2	RS	0	R/W	—	—	—	—
	1	ST	0	R	—	—	—	—
	0	—	0	R	—	—	—	—
ICMR1	7	MTWP	0	R	—	—	—	—
	6～4	CKS[2:0]	0	R/W	A	A	—	—
	3	BCWP	1	R/W	—	—	—	—
	2～0	BC[2:0]	0	R/W	—	—	—	—
ICMR2	7	DLCS	0	R	A	A	A	A
	6～4	SDDL[2:0]	0	R/W	A	A	A	A
	3	—	0	R	—	—	—	—
	2	TMOH	1	R/W	1	1	1	1
	1	TMOL	1	R/W	1	1	1	1
	0	TMOS	0	R/W	A	A	A	A

レジスタ	ビット	ビット名	初期値（POR時）	R/W	モード			
					マスタ送信	マスタ受信	スレーブ送信	スレーブ受信
ICMR3	7	SMBS	0	R/W	A	A	A	A
	6	WAIT	0	R/W	—	（注）	—	—
	5	RDRFS	0	R/W	—	—	—	—
	4	ACKWP	1	R/W	—	（注）	—	—
	3	ACKBT	0	R/W	—	（注）	—	—
	2	ACKBR	0	R	—	—	—	—
	1、0	NF[1:0]	0	R/W	A	A	A	A
ICFER	7	FMPE	0	R/W	A	A	A	A
	6	SCLE	1	R/W	—	—	—	—
	5	NFE	1	R/W	A	A	A	A
	4	NACKE	1	R/W	1	1	1	1
	3	SALE	0	R/W	1	1	1	1
	2	NALE	0	R/W	1	1	1	1
	1	MALE	1	R/W	1	1	1	1
	0	TMOE	0	R/W	1	1	1	1
ICSER	7	HOAE	0	R/W	—	—	—	—
	6	—	0	R	—	—	—	—
	5	DIDE	0	R/W	—	—	—	—
	4	—	0	R	—	—	—	—
	3	GCAE	1	R/W	—	—	0	0
	2	SAR2E	0	R/W	—	—	A	A
	1	SAR1E	0	R/W	—	—	A	A
	0	SAR0E	1	R/W	—	—	A	A
ICIER	7	TIE	0	R/W	1	1	1	1
	6	TEIE	0	R/W	1	1	1	1
	5	RIE	0	R/W	1	1	1	1
	4	NAKIE	0	R/W	1	1	1	1
	3	SPIE	0	R/W	1	1	1	1
	2	STIE	0	R/W	—	—	—	—
	1	ALIE	0	R/W	1	1	1	1
	0	TMOIE	0	R/W	1	1	1	1

レジスタ	ビット	ビット名	初期値（POR時）	R/W	モード			
					マスタ送信	マスタ受信	スレーブ送信	スレーブ受信
ICSR1	7	HOA	0	R/W	—	—	—	—
	6	—	0	R	—	—	—	—
	5	DID	0	R/W	—	—	—	—
	4	—	0	R	—	—	—	—
	3	GCA	0	R/W	—	—	—	—
	2	AAS2	0	R/W	—	—	—	—
	1	AAS1	0	R/W	—	—	—	—
	0	AAS0	0	R/W	—	—	—	—
ICSR2	7	TDRE	0	R/W	—	—	—	—
	6	TEND	0	R/W	—	—	—	—
	5	RDRF	0	R/W	—	—	—	—
	4	NACKF	0	R/W	—	—	—	—
	3	STOP	0	R/W	—	—	—	—
	2	START	0	R/W	—	—	—	—
	1	AL	0	R/W	—	—	—	—
	0	TMOF	0	R/W	—	—	—	—
SARL 0～2	7～1	SVA[7:1]	0	R/W	—	—	A	A
	0	SVA0	0	R/W	—	—	—	—
SARU 0～2	7～3	—	0	R	—	—	—	—
	2、1	SVA[9:8]	0	R/W	—	—	—	—
	0	FS	0	R/W	—	—	—	—
ICBRL	7、6	SDID[1:0]	1	R/W	—	—	—	—
	5	—	1	R	—	—	—	—
	4～0	BRL[4:0]	1	R/W	A	A	—	—
ICBRH	7～5	—	1	R/W	—	—	—	—
	4～0	BRH[4:0]	1	R/W	A	A	—	—
ICDRT	7～0	ICDRT[7:0]	1	R/W	—	—	—	—
ICDRR	7～0	ICDRR[7:0]	0	R	—	—	—	—

A　：任意の値（“0”又は“1”）を設定
0　：“0”を設定
1　：“1”を設定
—　：初期値を設定

注. 受信データ数が1バイトの場合、“1”を設定してください。
　　受信データ数が1バイト以上の場合、“0”を設定してください。

図25.45にシーケンサ使用時のDMAC初期設定例を示します。

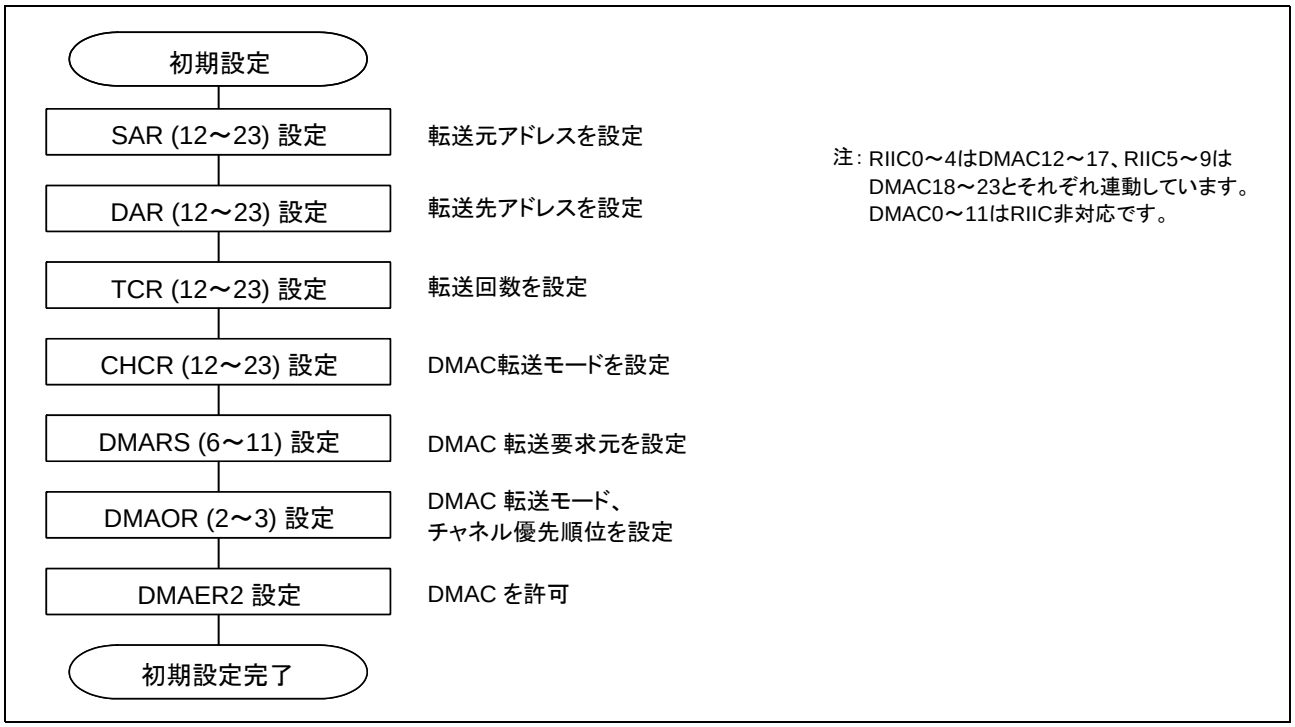


図 25.45　シーケンサ使用時のDMAC初期設定例

図25.46にシーケンサ初期設定例を示します。

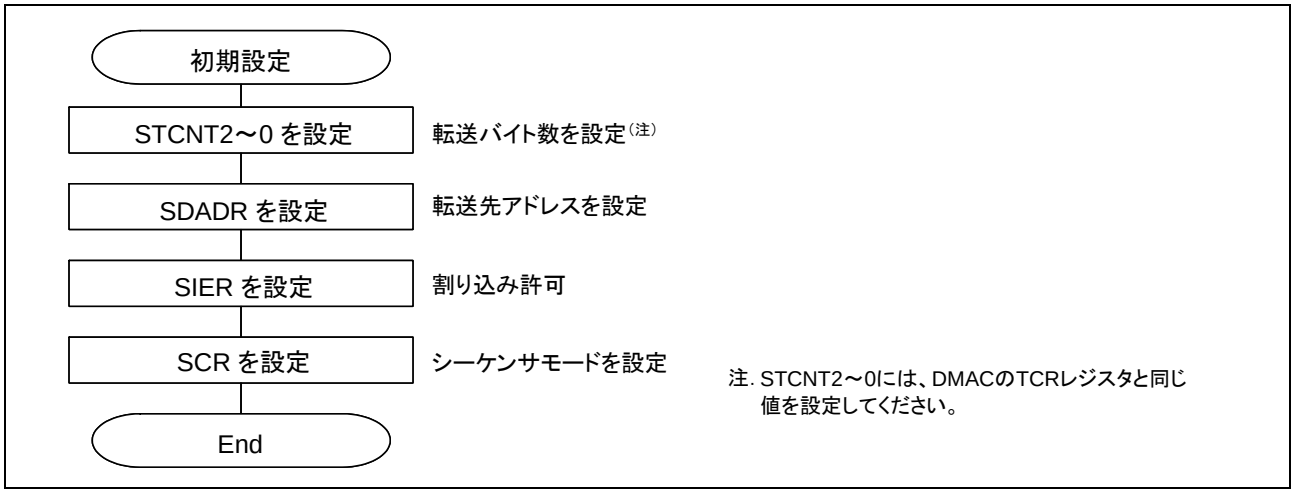


図 25.46　シーケンサ初期設定例

25.15.5 マスタ送信動作

「25.3.3 マスタ送信動作」はSH-4Aが制御するため、リアルタイム処理ではありません。シーケンサを使用した場合は、ハードウエアによるリアルタイム処理となります。

マスタ送信の手順と動作は以下の通りです。

1.SH-4AでRIICコア（ICCR1レジスタのICEビット＝0）、DMAC、及びシーケンサ（SCRレジスタのSMSTビット＝1、SCRレジスタのSTRSビット＝1）の初期設定を行います。シーケンサ設定の最終段階でSCRレジスタのSENBビットをセットするとシーケンサの動作を開始します。

2.SCRレジスタのSENBビットをセット後ICCR1レジスタのICEビットをセットするとI2Cバスインタフェースが有効になり、シーケンサがSCRレジスタのSMSTビット＝1になったことを確認し、ICCR2レジスタのSTビット及びRSビットがセットされます。

3.このときTX1がDMACにアサートされ、DMACはICDRTにデータを転送し送信の準備をします。このステップを全データが送信されるまで繰り返します。

4.転送中にシーケンサがNACKを認識すると、転送処理を終了します。ACKを認識し全データの転送が完了した場合もシーケンサは転送処理を終了します。

- SCRレジスタのIGNSPビット＝0の場合、シーケンサはICCR2レジスタのSPビットをセットしストップコンディションを発行します。ICSR2レジスタがクリアされ、SCRレジスタのSENBビットがクリアされると、SSR1レジスタのSENDFビットがセットされ、シーケンス終了（EOS）割り込みがアサートされます。
- SCRレジスタのIGNSPビット＝1の場合、ICCR2レジスタのSPビットはセットされず、ストップコンディションも発行されません。ICSR2レジスタもクリアされません。SCRレジスタのSENBビットのみクリアされるとSSR1レジスタのSENDFビットがセットされシーケンス終了（EOS）割り込みがアサートされます。

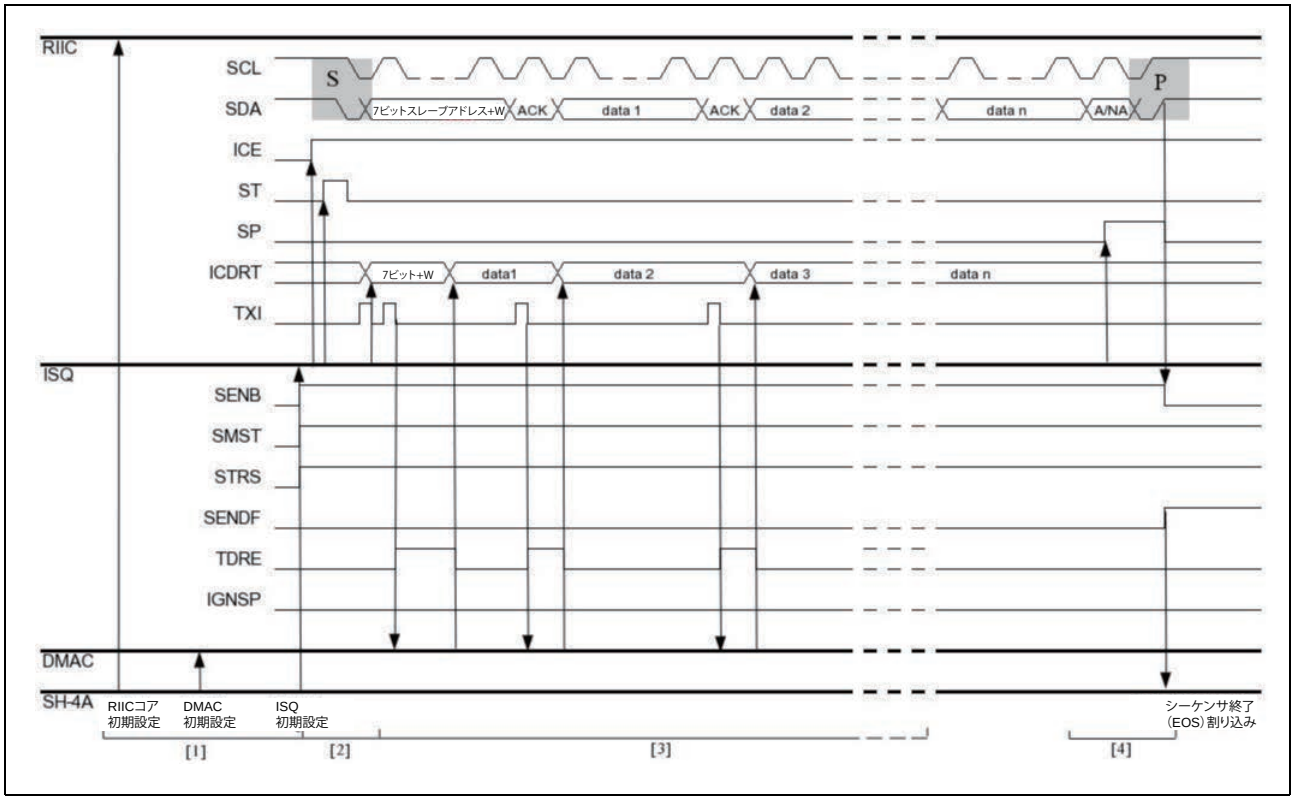


図 25.47　マスタ送信動作タイミング

マスタ送信→リスタート→マスタ受信の使用例は以下のようになります。

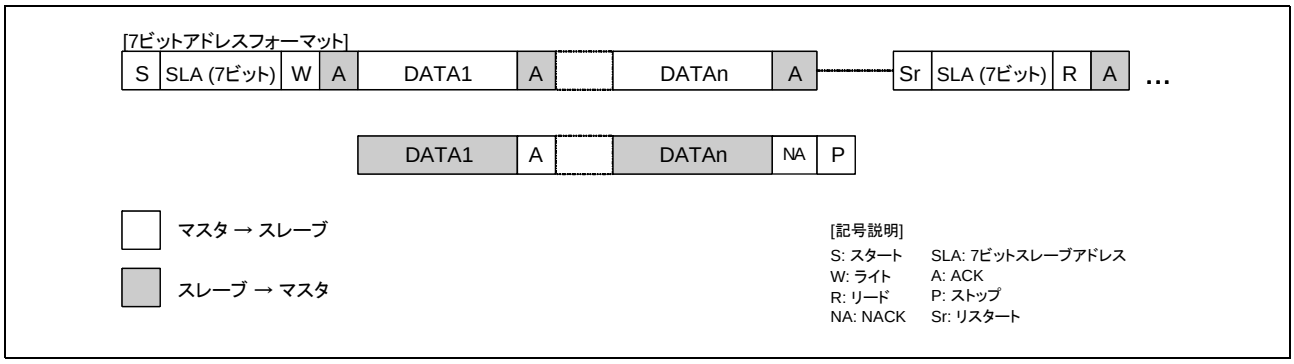


図 25.48　マスタ送信→リスタート→マスタ受信例

マスタ送信→リスタート→マスタ受信時のRSビット及びIGNSPビットの設定を以下に示します。

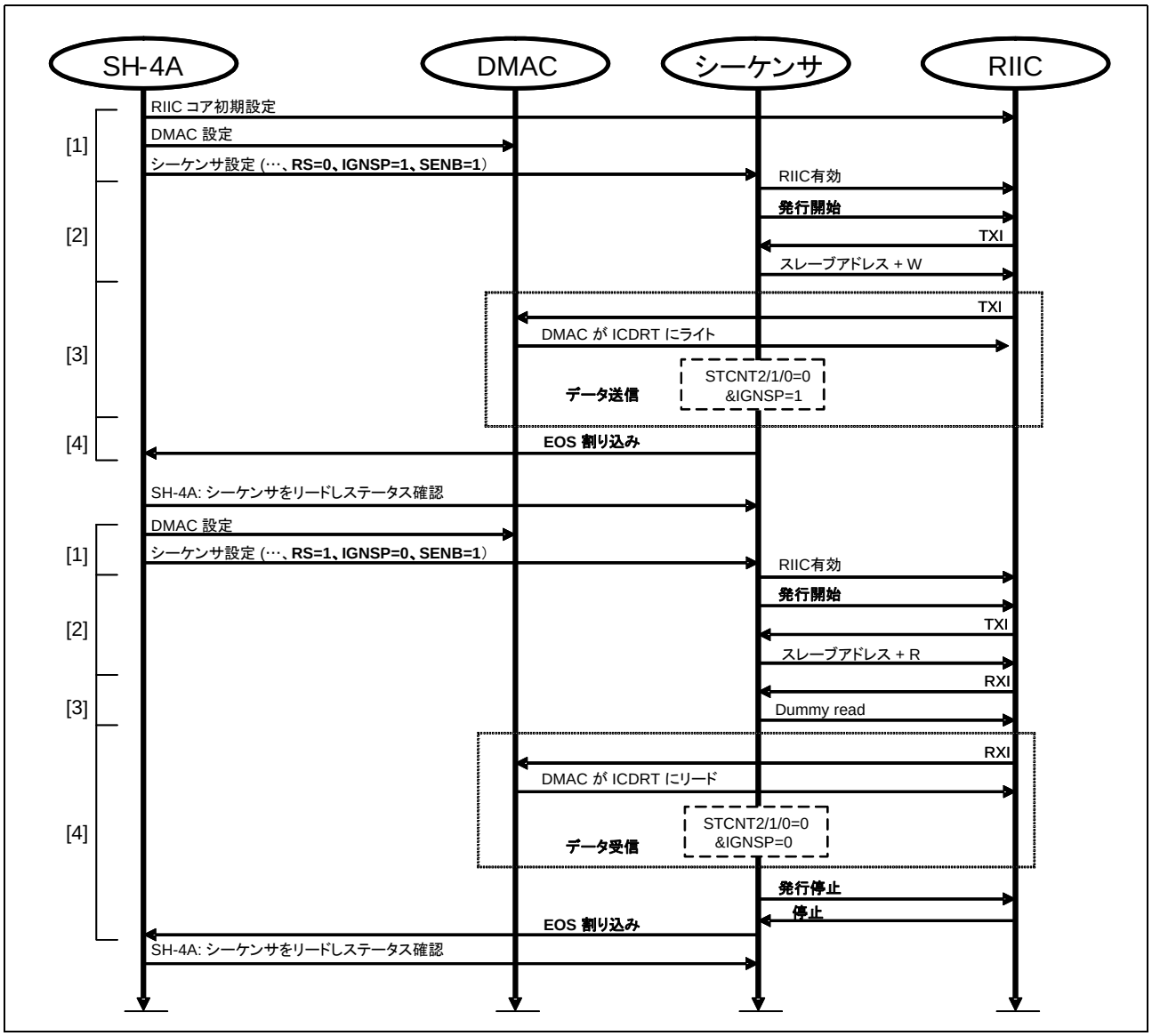


図 25.49　マスタ送信→リスタート→マスタ受信のシーケンス図

マスタ送信→リスタート→マスタ受信時の波形を図25.50に示します。

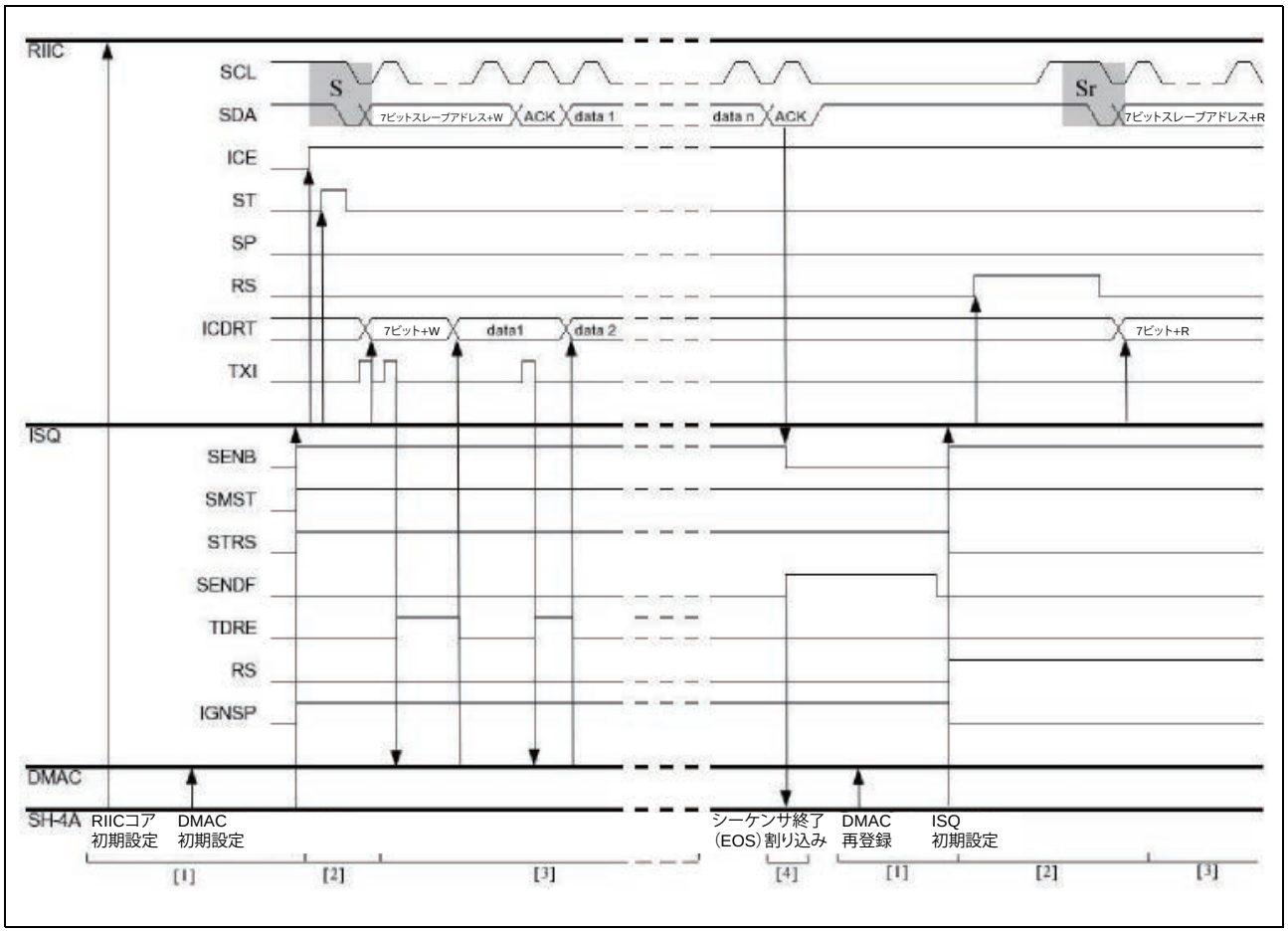


図 25.50　マスタ送信器の動作（リスタートのタイミング図含む）

25.15.6 マスタ受信動作

「25.3.4 マスタ受信動作」はSH-4Aが制御するため、リアルタイム処理ではありません。シーケンサを使用した場合は、ハードウエアによるリアルタイム処理となります。

マスタ受信の手順と動作は以下の通りです。

1. SH-4AでRIICコア（ICCR1レジスタのICEビット＝0）、DMAC、及びシーケンサ（SCRレジスタのSMSTビット＝1、SCRレジスタのSTRSビット＝0）の初期設定を行います。シーケンサ設定の最終段階でSCRレジスタのSENBビットをセットするとシーケンサの動作を開始します。

2. SCRレジスタのSENBビットをセット後ICCR1レジスタのICEビットをセットするとI2Cバスインタフェースが有効になり、シーケンサがSCRレジスタのSMSTビット＝1になったことを確認し、ICCR2レジスタのSTビット及びRSビットがセットされます。TXIがアサートされSCRレジスタのSTRSビットが0のとき、シーケンサがRIICコア（ICDRT={SDADR[7:1],1'b1}）に7ビットスレーブアドレス+Rをセットします。

3. 7ビットスレーブアドレス+Rを発行しACKを受信すると、シーケンサによるICDRRのダミーリードが行われ、RIICコアがSCL信号の出力を開始し、データ受信の準備をします。NACKを受信した場合（スレーブアドレスがどのスレーブとも一致しない場合）、ICCR2レジスタのSPビットをセットし、ストップコンディション発行後シーケンサは動作を終了します。

4. 全バイトを受信するとRXIがDMACにアサートされ、DMACはICDRRレジスタを読み込みデータをメモリに転送します。全データをメモリに転送するまでこの動作を繰り返します。DMACが（n-1）バイト分のデータを読み込む前にシーケンサはRIICコアが最終バイトの9クロック目でNACKを発行するように、ICMR2レジスタのWAITビット及びICMR3レジスタのACKBTビットをセットします。DMACがnバイト（最終バイト）を読み込む前に以下の動作を行います。

- SCRレジスタのIGNSPビット＝0の場合、シーケンサはICCR2レジスタのSPビットをセットしストップコンディションを発行します。ICSR3レジスタがクリアされると同時にICMRレジスタのWAITビット及びICMR3レジスタのACKBTビットがクリアされ、SCRレジスタのSENBビットがクリアされると、SSR1レジスタのSENDFビットがセットされ、シーケンス終了（EOS）割り込みがアサートされます。
- SCRレジスタのIGNSPビット＝1の場合、ICCR2レジスタのSPビットはセットされず、ストップコンディションも発行されません。ICMR3及びICSR2レジスタはクリアされませんがSCRレジスタのSENBビットはクリアされます。SSR1レジスタのSENDFビットがセットされ、シーケンス終了（EOS）割り込みがアサートされます。

注. 通常の場合、リスタートができるのはマスタ送信のみでマスタ受信からのリスタートはできません。マスタ受信の場合はSCRレジスタのIGNSPビットを0に設定して下さい）

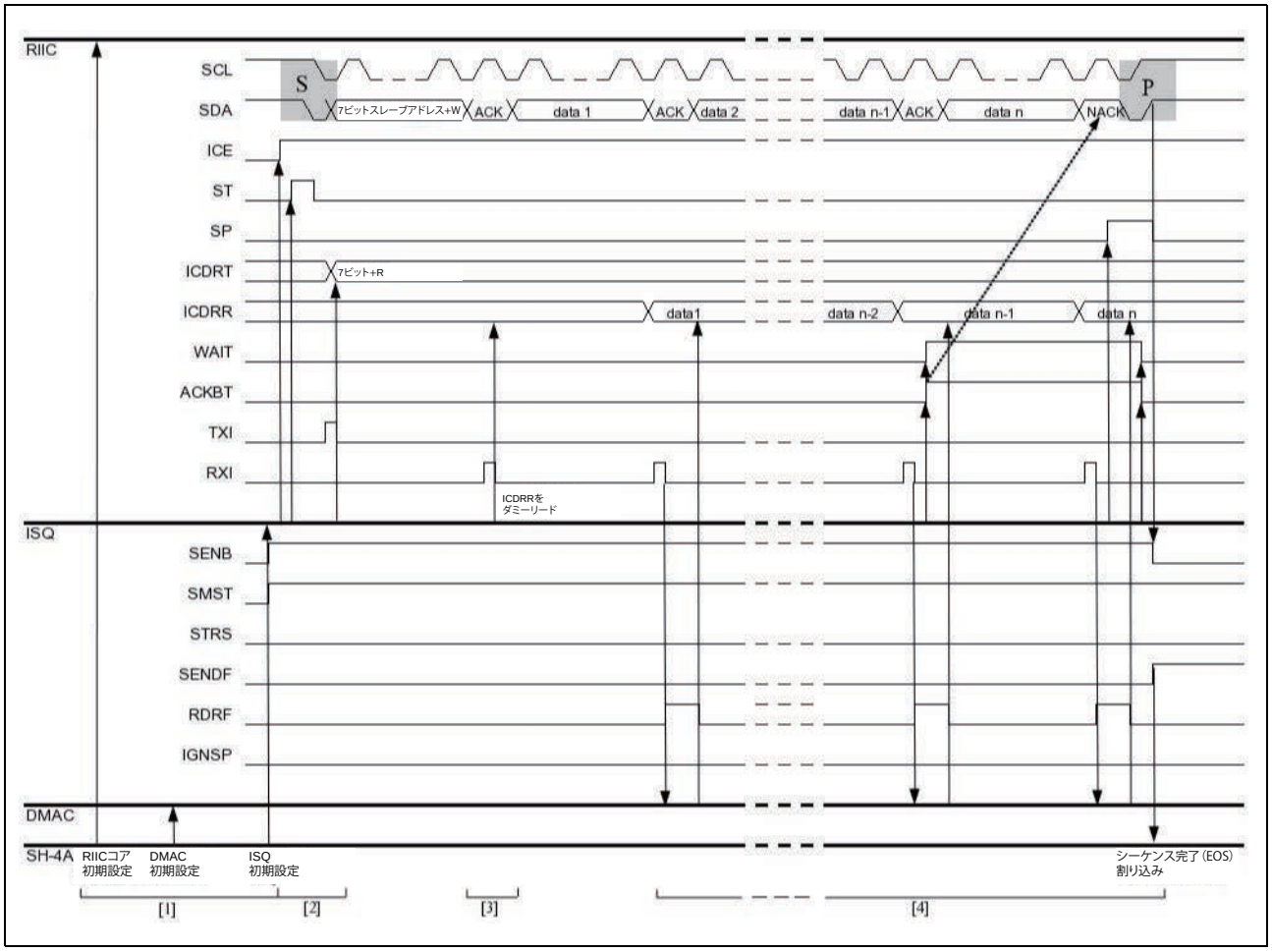


図 25.51　マスタ受信器の動作タイミング

25.15.7 スレーブ送信動作

「25.3.5 スレーブ送信動作」はSH-4Aが制御するため、リアルタイム処理ではありません。シーケンサを使用した場合は、ハードウエアによるリアルタイム処理となります。

スレーブ送信の手順と動作は以下の通りです。

1. SH-4AでRIICコア（ICCR1レジスタのICEビット＝0）、DMAC、及びシーケンサ（SCRレジスタのSMSTビット＝0、SCRレジスタのSTRSビット＝x）を初期化します。シーケンサ設定の最終段階でSCRレジスタのSENBビットを設定するとシーケンサの動作を開始します。

2. SCRレジスタのSENBビット設定後、ICCR1レジスタのICEビットをセットするとI2Cバスインタフェースが有効になります。SCRレジスタのSMSTビット＝0の場合、シーケンサがICSR2レジスタを読み込み、レジスタ内のTDREフラグ及びRDRFフラグをチェックします。その中に1のフラグがない場合シーケンサはSSR0.STOP、TXI及びRXIのアサート待ちになります。SSR.STOP＝1はストップコンディションが発行されシーケンサが終了ステートになったことを示します。ICSR2レジスタのTDREビット＝1又はTXIがアサートされるとシーケンサは引き続きICSR1レジスタを読み込み、ICSR1レジスタのAAS[2:0]ビットの内容をSSR1に記録します。

3. このとき、DMACがデータをICDRTに転送しデータ送信の準備をします。TXIがDMACにアサートされ、データの転送を続けます。全データが送信されるまでこのステップを繰り返します。

4. 送信中にNACKを認識すると、シーケンサは転送処理をストップします。ACKを認識し全データの転送が完了した場合もシーケンサは転送処理を終了します。このときシーケンサがICDRRをダミーリードしSCLラインを解除します。その後シーケンサはストップコンディション待ちになり、ICSR2レジスタのクリアによりSCRレジスタのSENBビットがクリアされ、SSR1レジスタのSENDFビットがセットされた後シーケンス終了（EOS）割り込みがアサートされます。

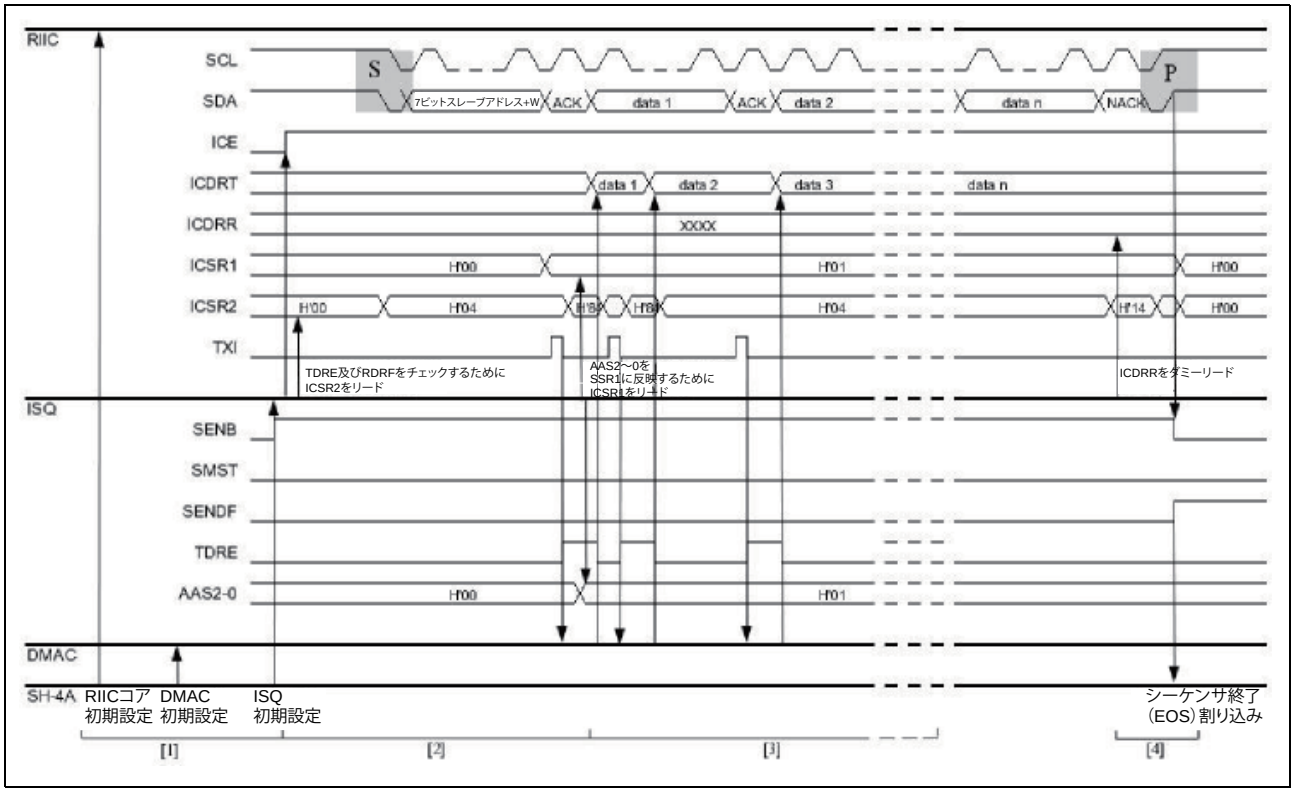


図 25.52　スレーブ送信動作タイミング

25.15.8 スレーブ受信動作

「25.3.6 スレーブ受信動作」はSH-4Aが制御するため、リアルタイム処理ではありません。シーケンサを使用した場合は、ハードウエアによるリアルタイム処理となります。

スレーブ受信の手順と動作は以下の通りです。

1. SH-4AでRIICコア（ICCR1レジスタのICEビット＝0）、DMAC、及びシーケンサ（SCRレジスタのSMSTビット＝0、SCRレジスタのSTRSビット＝x）を初期化します。シーケンサ設定の最終段階でSCRレジスタのSENBビットを設定するとシーケンサの動作を開始します。

2. SCRレジスタのSENBビット設定後、ICCR1レジスタのICEビットをセットするとI2Cバスインタフェースが有効になります。SCRレジスタのSMSTビット＝0の場合、シーケンサがICSR2レジスタを読み込み、レジスタ内のTDREフラグ及びRDRFフラグをチェックします。その中に1のフラグがない場合シーケンサはSSR0.STOP、TXI及びRXIのアサート待ちになります。SSR.STOP＝1はストップコンディションが発行されシーケンサが終了ステートになったことを示します。ICSR2レジスタのRDRFビット＝1又はRXIがアサートされるとシーケンサは引き続きICSR1レジスタを読み込み、ICSR1レジスタのAAS[2:0]ビットの内容をSSR1に記録します。記録後、シーケンサはICDRRレジスタをダミーリードし、データ受信待ちになります。

3. 全バイトを受信するとRXIがDMACにアサートされ、DMACはICDRRレジスタを読み込みデータをメモリに転送します。全データをメモリに転送するまでこの動作を繰り返します。

4. 受信中にストップコンディションを検出すると、シーケンサはDMACが最終バイトの読み込みが完了する（SSR0.RDRF＝0）のを待ちます。読み込みが完了するとシーケンサがICSR2をクリアし、続いてSCRレジスタのSENBビットをクリアし、SSR1レジスタのSENDFビットをセットし動作を終了します。

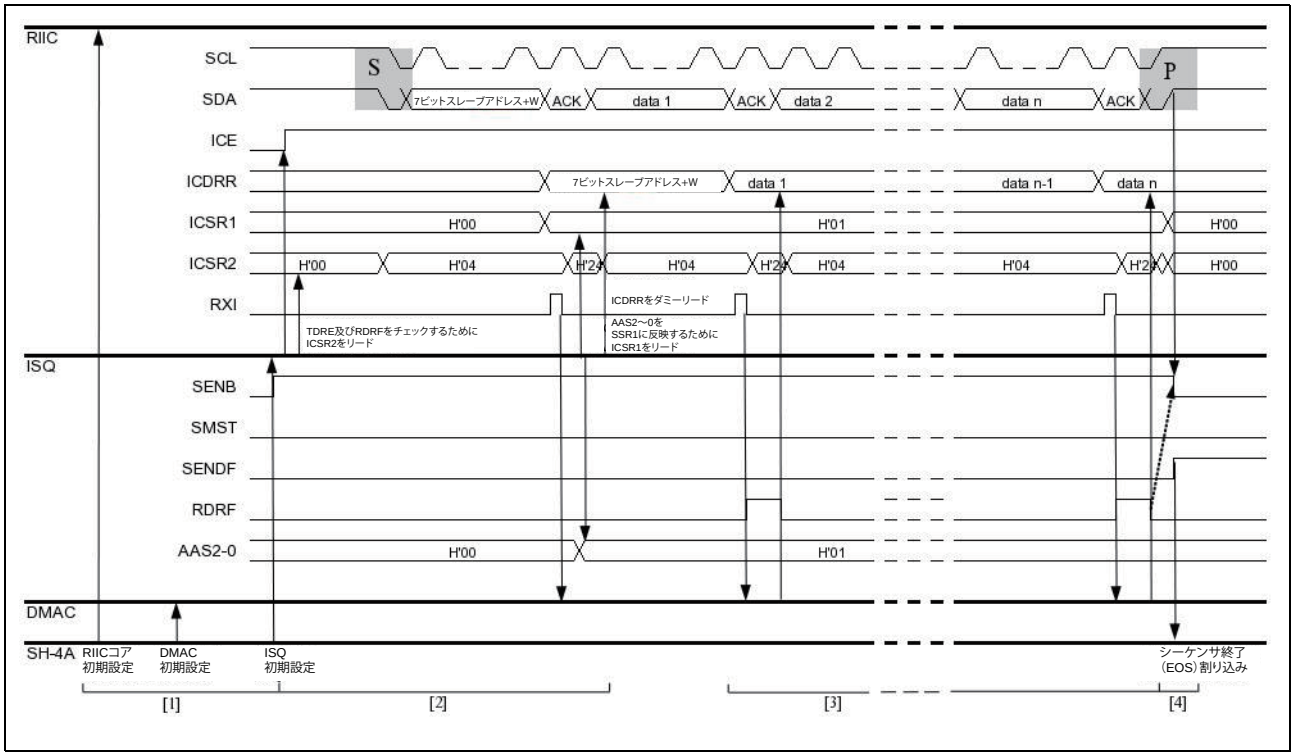


図 25.53　スレーブ受信動作タイミング

25.15.9 スレーブモード非通知によるスレーブ動作

「25.15.7 スレーブ送信動作」及び「25.15.8 スレーブ受信動作」ではSH-4Aにスレーブモード（スレーブ送信モード又はスレーブ受信モード）であることを通知した上でスレーブ送受信を行いましたが、ここではSH-4Aに事前にスレーブモードを通知せずに処理を行う方法について説明します。

スレーブモード非通知で処理を行う手順は以下の通りです。

1. SH-4AでRIICコア（ICCR1レジスタのICEビット＝1）を初期化します。この時点でRIICはスレーブモードに入り、マスタからの要求待ちになります。
   RIICの次の動作はマスタからの要求に依存します。7ビットスレーブアドレス+Rを受信した場合はスレーブ送信を行うため、下記2、3、4、5の動作に移ります。7ビットスレーブアドレス+Wを受信した場合はスレーブ受信を行うため、下記6、7、8、9の動作に移ります。

2. RIICコアが7ビットスレーブアドレス+Rを受信し、それがRIICのスレーブアドレスと一致する場合、RIICコアはTXI割り込み（注1）をSH-4Aにアサートします。SH-4AがRIICコアレジスタをチェックし、DMACとシーケンサ（SCRレジスタのSMSTビット＝1、SCRレジスタのSTRSビット＝x）の初期化を行います。シーケンサ設定の最終段階でSCRレジスタのSENBビットがセットされ、シーケンサの動作を開始します。（注2）

3. SCRレジスタのSENBビットがセットされると、シーケンサがICCR1レジスタのICEビットを再度セットします。セット後シーケンサがICSR2レジスタを読み込み、レジスタ内のTDREフラグ及びRDRFフラグをチェックします。TDREフラグ＝1の場合はシーケンサがTXIをDMACへアサートし、ICSR1の読み込みを続行しICSR1レジスタのAAS[2:0]ビットをSSR1に記録します。

4. このとき、DMACがデータをICDRTに転送しデータ送信の準備をします。TXIがDMACにアサートされ、データの転送を続けます。全データが送信されるまでこのステップを繰り返します。

5. 送信中にNACKを認識すると、シーケンサは送信処理をストップします。ACKを認識し全データの転送が完了した場合もシーケンサは送信処理を終了します。このときシーケンサがICDRRをダミーリードしSCLラインを解除します。その後シーケンサはストップコンディション待ちになり、ICSR2レジスタのクリアによりSCRレジスタのSENBビットがクリアされ、SSR1レジスタのSENDFビットがセットされた後シーケンス終了（EOS）割り込みがアサートされます。

6. RIICコアが7ビットスレーブアドレス+Wをマスタから受信し、それがRIICのスレーブアドレスと一致する場合、RIICコアはRXI（*1）割り込みをSH-4Aにアサートします。SH-4AがRIICコアレジスタをチェックし、DMACとシーケンサ（SCRレジスタのSMSTビット＝0、SCRレジスタのSTRSビット＝x）の初期化を行います。シーケンサ設定の最終段階でSCRレジスタのSENBビットがセットされ、シーケンサの動作を開始します。（注2）

7. SCRレジスタのSENBビットがセットされると、シーケンサがICCR1レジスタのICEビットを再度セットします。セット後シーケンサがICSR2レジスタを読み込み、レジスタ内のTDREフラグ及びRDRFフラグをチェックします。RDRFフラグ＝1の場合はICSR1の読み込みを続行しICSR1レジスタのAAS[2:0]ビットをSSR1に記録します。記録後、シーケンサはICDRRレジスタをダミーリードしレジスタ内のアドレスを消去し、データ受信待ちになります。

8. 全バイトを受信するとRXIがDMACにアサートされ、DMACはICDRRレジスタを読み込みデータをメモリに転送します。全データをメモリに転送するまでこの動作を繰り返します。

9. 受信中にストップコンディションを検出すると、シーケンサはDMACが最終バイトの読み込みが完了する（SSR0.RDRF＝0）のを待ちます。読み込みが完了するとシーケンサがICSR2をクリアし、続いてSCRレジスタのSENBビットをクリアし、SSR1レジスタのSENDFビットをセットした後、動作を終了します。

注1. RIICn（n=0～9）のTXI及びRXIの設定については「10. 割り込みコントローラ（INTC）」の表10.6を参照して下さい。初回の割り込み（TXI及びRXI）に対する割り込みハンドラの実行が完了する前にSH-4AでTXI及びRXI割り込みをマスクし、以降のTXI及びRXIで作動させないようにします。

2. SCRレジスタのSENBビット＝1にセットしていない状態でスレーブ動作が起こるのを防ぐため（トランザクション完了後すぐに次のトランザクションが続く場合）、SH-4AでICSERレジスタのSAR0Eビット、SAR1Eビット及びSAR2Eビットをクリアして下さい。

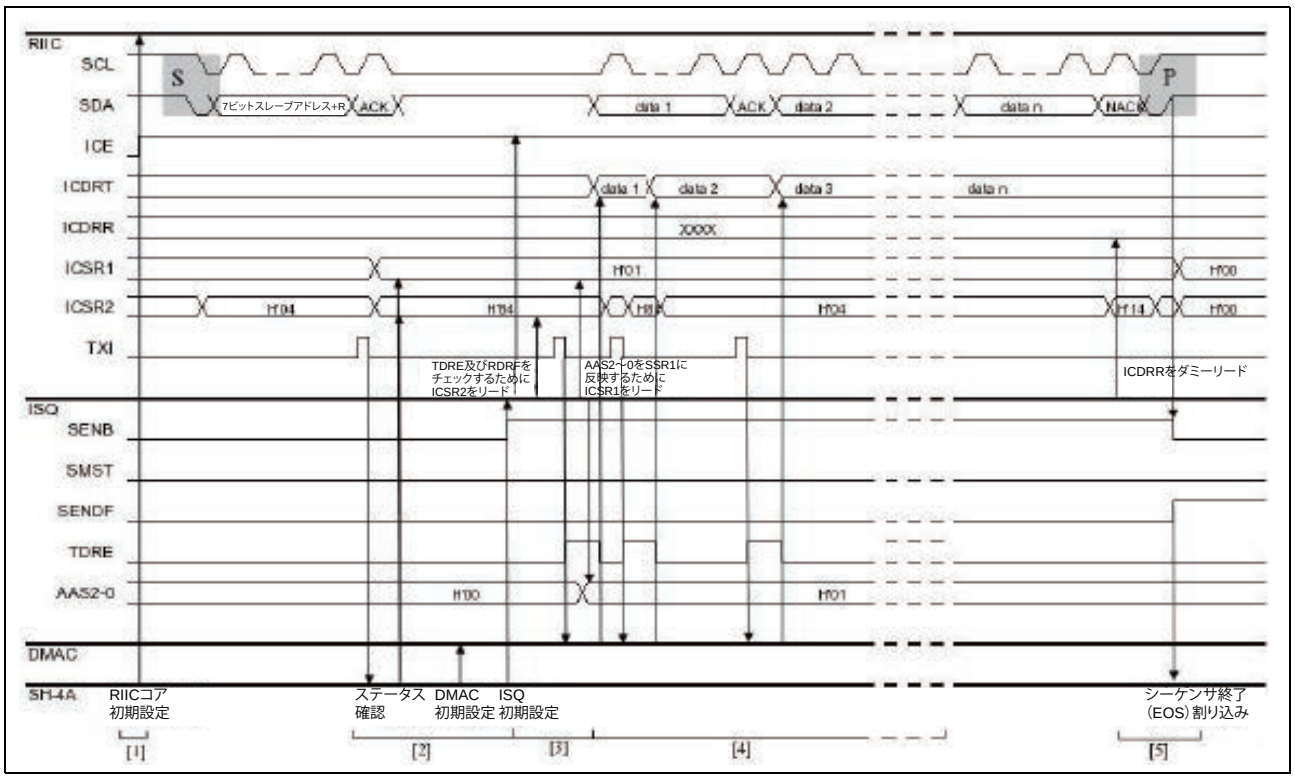


図 25.54　SH-4AがTXI受付後スレーブ送信

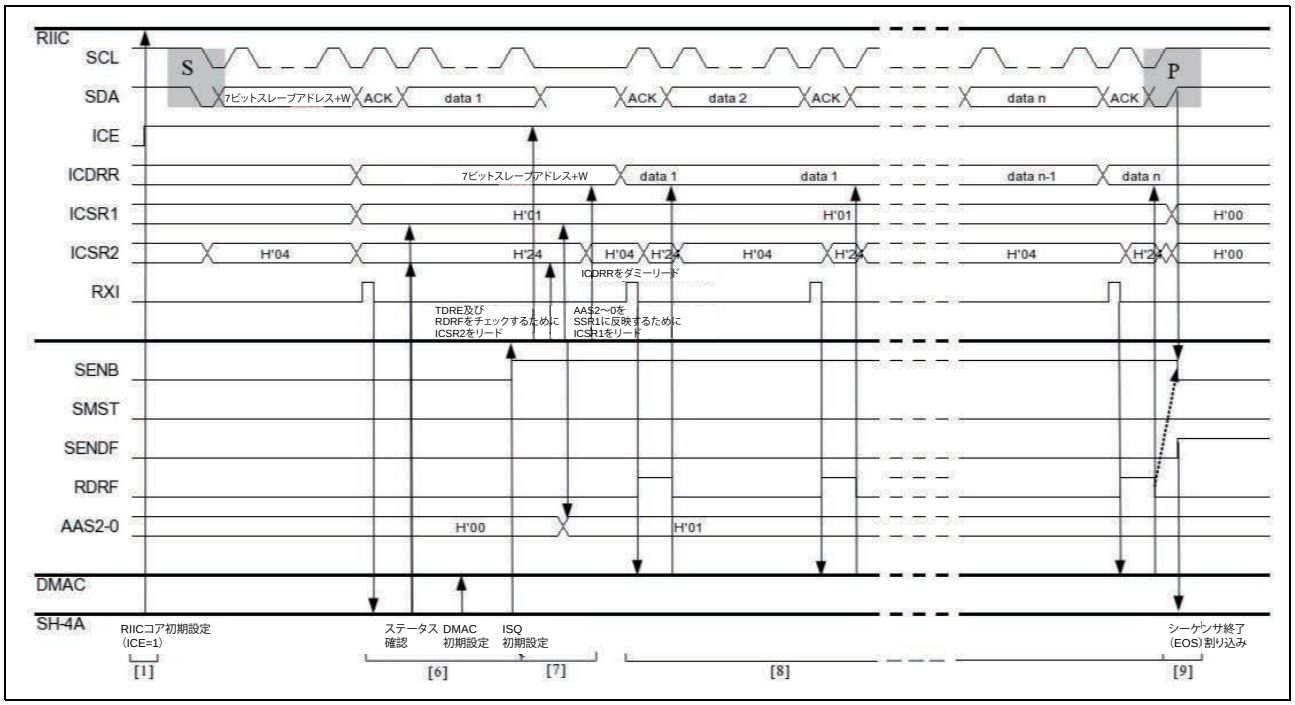


図 25.55　SH-4AがRXI受付後のスレーブ受信

25.15.10 割り込み要求

シーケンサ使用時の割り込み要因は、シーケンス終了（EOS）割り込みのみです。EOS割り込みは以下の条件で発生します。

- ストップコンディションが発行され、シーケンサがICSR2レジスタをクリアしたとき
- INGSPビット＝1でマスタ送信モードでのデータ送信が完了したとき
- INGSPビット＝1でマスタ受信モードでのデータ受信が完了したとき
- タイムアウトエラーが発生したとき
- アービトレーションロストエラーが発生したとき

シーケンサ割り込み要因を表25.11に示します。なお、シーケンサ有効時は、EOS割り込みはEEI割り込みに割り当てられます。INTC関連レジスタについては、EEI割り込み関連ビットを設定してください。

表25.11　シーケンサ割り込み要因

略称	割り込み要因	割り込みフラグ	割り込み条件
EOS	シーケンス終了	SENDF	SENDF=1 かつ SEIE=1

25.15.11 使用時の注意

1.正常な動作を保証するため、シーケンサ有効時にはRIICnコア及びシーケンサへのアクセスはしないで下さい（表25.12参照）。

表25.12　シーケンサ有効時のRIICコア／ISQnレジスタへのアクセス

レジスタアクセス	読み出し	書き込み
ISQn	可	不可
RIICn コア	不可	不可

2.スレーブ受信モード時、DMACnレジスタのTCRビット及びISQnレジスタのSTCNT2～0ビットは受信バイト数と同じかそれ以上に設定して下さい。ストップコンディションを認識するとシーケンサは正常終了します。TCRビット及びSTCNT2～0ビットの設定値が受信バイト数より小さい場合、SCLはLに固定され（バスハングアップ状態）、タイムアウトエラーが発生します。

3.RIICn動作時にタイムアウトエラー又はアービトレーションロストエラーが発生した場合は、シーケンス終了（EOS）割り込みが発生します。エラー要因確認後は、ソフトウェアで初期化を実行し、次のトランザクションを開始してください。

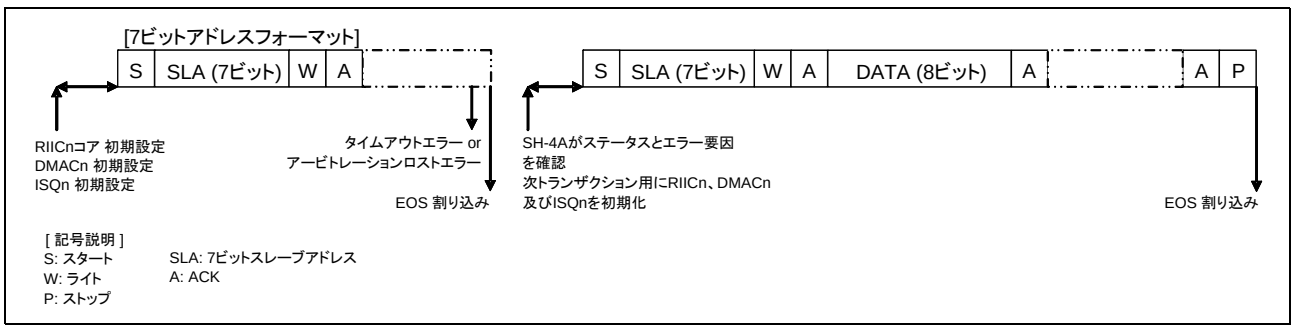


図 25.56　タイムアウトエラー及びアービトレーションロストエラー

26. シリアルペリフェラルインタフェース1（SPI1）

シリアルペリフェラルインタフェース1（SPI1）は、外部SPIデバイスとの通信機能を持ちます。
図26.1にSPI1の構成を示します。

26.1 特長

- SPIマスタ通信対応
- シングルバイト転送モード及びバースト転送モードに対応
- 送信FIFO／受信FIFO：各8ビット×32段（32バイト）
- 最大SPIクロック周波数：48MHz
- 内蔵クロック分周回路により、1分周～8分周のSPIクロック周波数設定可能
- チップセレクト信号：2本（$\overline{\text{SP1-SS0}}$、$\overline{\text{SP1-SS1}}$）
- 外部SPIフラッシュメモリのサイズは8種類から選択可能
  FLSHSZ2、FLSHSZ1、FLSHSZ0端子により、8種類のSPIフラッシュメモリサイズ（2MB、4MB、8MB、16MB、32MB、64MB、128MB、256MB）を選択
- 2種類のアドレッシングモードをサポート
  16MB以下：3バイトアドレッシングモード
  32MB以上：4バイトアドレッシングモード

  注. FLSHSZ2、FLSHSZ1、FLSHSZ0端子の設定により、自動的に切り替わります。
- ライトプロテクト機能
  SP1-SS0端子に接続されているSPIフラッシュメモリに対して、メモリ領域の上位半分と下位半分に、ライトプロテクト領域を設定できます。

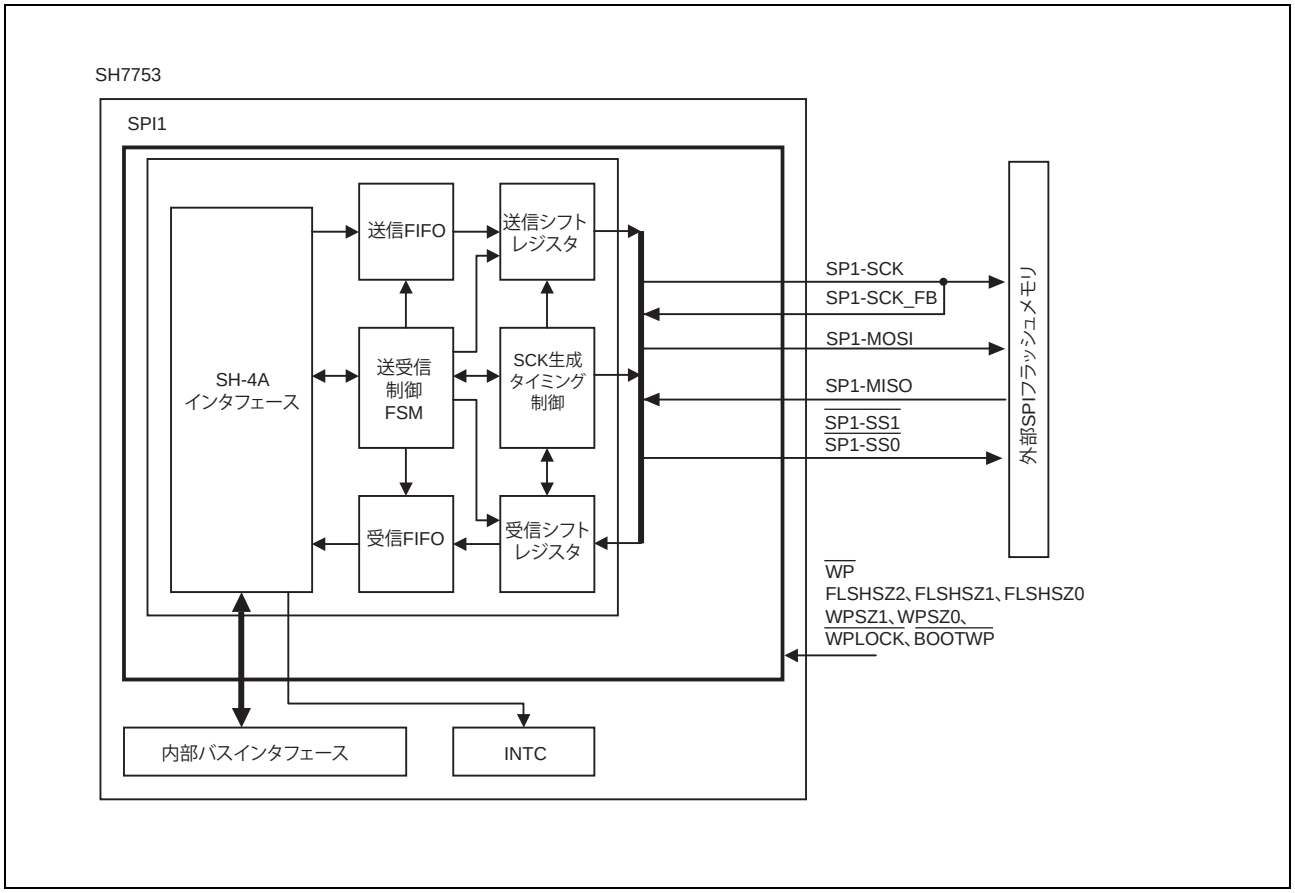


図 26.1　　SPI1 ブロック図

26.2 入出力端子

SPI1 の端子構成を表26.1 に示します。

表26.1　端子構成

名称	記号	入出力	説明
SPI1 マスタ出力	SP1-MOSI	出力	SPI1 マスタデータ出力端子
SPI1 マスタ入力	SP1-MISO	入力	SPI1 マスタデータ入力端子
SPI1 クロック	SP1-SCK	出力	SPI1 シリアルクロック出力端子
SPI1 クロック フィードバック	SP1-SCK_FB	入力	SPI1 シリアルクロックフィードバック入力端子
SPI1 チップセレクト1	$\overline{\text{SP1-SS1}}$	出力	SPI1 スレーブデバイス1 セレクト出力端子
SPI1 チップセレクト0	$\overline{\text{SP1-SS0}}$	出力	SPI1 スレーブデバイス0 セレクト出力端子
SPI1フラッシュ ライトプロテクト設定	$\overline{\text{WP}}$	入力	L：SPI1ライトプロテクト有効 H：SPI1ライトプロテクト無効
SPI1フラッシュメモリサイズ設定	FLSHSZ2、1、0	入力	LLL　：2MB（3バイトアドレッシングモード） LLH　：4MB（3バイトアドレッシングモード） LHL　：8MB（3バイトアドレッシングモード） LHH　：16MB（3バイトアドレッシングモード） HLL　：32MB（4バイトアドレッシングモード） HLH　：64MB（4バイトアドレッシングモード） HHL　：128MB（4バイトアドレッシングモード） HHH　：256MB（4バイトアドレッシングモード）
SPI1フラッシュ ライトプロテクトエリアサイズ設定	WPSZ1、0	入力	L, L：256 KB L, H：512 KB H, L：1 MB H, H：2MB
SPI1ライトプロテクト コマンドレジスタロック	$\overline{\text{WPLOCK}}$	入力	L：ライトプロテクトコマンドレジスタは、読み出しのみ可能 H：ライトプロテクトコマンドレジスタは、$\overline{\text{BOOTWP}}$＝Hのとき、読み出し及び書き込みが可能
SPI0ブートフラッシュ ライトプロテクト設定（注）	$\overline{\text{BOOTWP}}$	入力	L ：SPI0ライトプロテクト有効 H ：SPI0ライトプロテクト無効

注．SPI0のライトプロテクトを設定する端子ですが、$\overline{\text{WPLOCK}}$端子入力と組み合わせてSPI1のライトプロテクトコマンドレジスタのR/W属性切り替えにも使用します。

26.3 レジスタの説明

SPI1 のレジスタ構成を表26.2 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表26.2　レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	ソフトウェアリセット	マニュアルリセット
送信バッファレジスタ	TBR	W	H'FFD8 EE70	8	H'00	H'00	H'00
受信バッファレジスタ	RBR	R	H'FFD8 EE70	8	H'00	H'00	H'00
コントロールレジスタ 1	CR1	R/W	H'FFD8 EE72	8	H'A0	H'A0	H'A0
コントロールレジスタ 2	CR2	R/W	H'FFD8 EE74	8	H'01	H'01	H'01
コントロールレジスタ 3	CR3	R/W	H'FFD8 EE76	8	H'00	H'00	H'00
コントロールレジスタ 4	CR4	R/W	H'FFD8 EE78	8	H'02	H'02	H'02
コントロールレジスタ 5	CR5	R	H'FFD8 EE7A	8	H'00	H'00	H'00
コントロールレジスタ 6	CR6	R	H'FFD8 EE7C	8	H'00	H'00	H'00
コントロールレジスタ 7	CR7	R	H'FFD8 EE7E	8	H'XX	H'XX	H'XX
コントロールレジスタ 8	CR8	R	H'FFD8 EE80	8	H'XX	H'XX	H'XX
コントロールレジスタ 9	CR9	R/W (注1)	H'FFD8 EE82	8	H'02/H'12(注2)	H'02/H'12(注2)	H'02/H'12(注2)
コントロールレジスタ 10	CR10	R/W (注1)	H'FFD8 EE84	8	H'D8/H'DC(注3)	H'D8/H'DC(注3)	H'D8/H'DC(注3)
コントロールレジスタ 11	CR11	R/W (注1)	H'FFD8 EE86	8	H'C7	H'C7	H'C7
コントロールレジスタ 20	CR20	R/W (注1)	H'FFD8 EF00	8	H'20	保持	保持
コントロールレジスタ 21	CR21	R/W (注1)	H'FFD8 EF02	8	H'00	保持	保持
コントロールレジスタ 22	CR22	R/W (注1)	H'FFD8 EF04	8	H'00	保持	保持
コントロールレジスタ 23	CR23	R/W (注1)	H'FFD8 EF06	8	H'00	保持	保持
コントロールレジスタ 24	CR24	R/W (注1)	H'FFD8 EF08	8	H'00	保持	保持
コントロールレジスタ 25	CR25	R/W (注1)	H'FFD8 EF0A	8	H'00	保持	保持
コントロールレジスタ 26	CR26	R/W (注1)	H'FFD8 EF0C	8	H'00	保持	保持
コントロールレジスタ 27	CR27	R/W (注1)	H'FFD8 EF0E	8	H'00	保持	保持
コントロールレジスタ 28	CR28	R/W (注1)	H'FFD8 EF10	8	H'12	保持	保持
コントロールレジスタ 29	CR29	R/W (注1)	H'FFD8 EF12	8	H'21	保持	保持
コントロールレジスタ 2A	CR2A	R/W (注1)	H'FFD8 EF14	8	H'DC	保持	保持
コントロールレジスタ 2B	CR2B	R/W (注1)	H'FFD8 EF16	8	H'38	保持	保持
コントロールレジスタ 2C	CR2C	R/W (注1)	H'FFD8 EF18	8	H'34	保持	保持
コントロールレジスタ 2D	CR2D	R/W (注1)	H'FFD8 EF1A	8	H'32	保持	保持
コントロールレジスタ 2E	CR2E	R/W (注1)	H'FFD8 EF1C	8	H'60	保持	保持
コントロールレジスタ 2F	CR2F	R/W (注1)	H'FFD8 EF1E	8	H'52	保持	保持
コントロールレジスタ 30	CR30	R/W (注1)	H'FFD8 EF20	8	H'00	保持	保持
コントロールレジスタ 31	CR31	R/W (注1)	H'FFD8 EF22	8	H'00	保持	保持
コントロールレジスタ 32	CR32	R/W (注1)	H'FFD8 EF24	8	H'00	保持	保持
コントロールレジスタ 33	CR33	R/W (注1)	H'FFD8 EF26	8	H'00	保持	保持

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	ソフトウェアリセット	マニュアルリセット
コントロールレジスタ 34	CR34	R/W (注1)	H'FFD8 EF28	8	H'00	保持	保持
コントロールレジスタ 35	CR35	R/W (注1)	H'FFD8 EF2A	8	H'00	保持	保持
コントロールレジスタ 36	CR36	R/W (注1)	H'FFD8 EF2C	8	H'00	保持	保持
コントロールレジスタ 37	CR37	R/W (注1)	H'FFD8 EF2E	8	H'00	保持	保持
コントロールレジスタ 38	CR38	R/W (注1)	H'FFD8 EF30	8	H'21	保持	保持
コントロールレジスタ 39	CR39	R/W (注1)	H'FFD8 EF32	8	H'00	保持	保持
コントロールレジスタ 3A	CR3A	R/W (注1)	H'FFD8 EF34	8	H'00	保持	保持
コントロールレジスタ 3B	CR3B	R/W (注1)	H'FFD8 EF36	8	H'00	保持	保持
コントロールレジスタ 3C	CR3C	R/W (注1)	H'FFD8 EF38	8	H'00	保持	保持
コントロールレジスタ 3D	CR3D	R/W (注1)	H'FFD8 EF3A	8	H'00	保持	保持
コントロールレジスタ 3E	CR3E	R/W (注1)	H'FFD8 EF3C	8	H'00	保持	保持
コントロールレジスタ 3F	CR3F	R/W (注1)	H'FFD8 EF3E	8	H'00	保持	保持
コントロールレジスタ 40	CR40	R/W (注1)	H'FFD8 EF40	8	H'02	保持	保持
コントロールレジスタ 41	CR41	R/W (注1)	H'FFD8 EF42	8	H'20	保持	保持
コントロールレジスタ 42	CR42	R/W (注1)	H'FFD8 EF44	8	H'D8	保持	保持
コントロールレジスタ 43	CR43	R/W (注1)	H'FFD8 EF46	8	H'38	保持	保持
コントロールレジスタ 44	CR44	R/W (注1)	H'FFD8 EF48	8	H'34	保持	保持
コントロールレジスタ 45	CR45	R/W (注1)	H'FFD8 EF4A	8	H'32	保持	保持
コントロールレジスタ 46	CR46	R/W (注1)	H'FFD8 EF4C	8	H'60	保持	保持
コントロールレジスタ 47	CR47	R/W (注1)	H'FFD8 EF4E	8	H'52	保持	保持
コントロールレジスタ 48	CR48	R/W (注1)	H'FFD8 EF50	8	H'00	保持	保持
コントロールレジスタ 49	CR49	R/W (注1)	H'FFD8 EF52	8	H'00	保持	保持
コントロールレジスタ 4A	CR4A	R/W (注1)	H'FFD8 EF54	8	H'00	保持	保持
コントロールレジスタ 4B	CR4B	R/W (注1)	H'FFD8 EF56	8	H'00	保持	保持
コントロールレジスタ 4C	CR4C	R/W (注1)	H'FFD8 EF58	8	H'00	保持	保持
コントロールレジスタ 4D	CR4D	R/W (注1)	H'FFD8 EF5A	8	H'00	保持	保持
コントロールレジスタ 4E	CR4E	R/W (注1)	H'FFD8 EF5C	8	H'00	保持	保持
コントロールレジスタ 4F	CR4F	R/W (注1)	H'FFD8 EF5E	8	H'00	保持	保持
ストラップピンモニタレジスタ2	PINMON2	R	H'FFC1 0224	32	H'XXXX XXXX	保持	保持

注1. これらのレジスタの書き込みは、$\overline{\text{WPLOCK}}$＝Hかつ$\overline{\text{BOOTWP}}$＝Hのときだけ有効です。
2. このレジスタの初期値は、パワーオンリセット時のFLSHSZ2端子の入力レベルに依存します。FLSHSZ2=Lのとき"H'02"、FLSHSZ2＝Hのとき"H'12"です。
3. このレジスタの初期値は、パワーオンリセット時のFLSHSZ2端子の入力レベルに依存します。FLSHSZ2=Lのとき"H'D8"、FLSHSZ2＝Hのとき"H'DC"です。
4. このモジュールを使用する場合は、パワーオンリセット、マニュアルリセット、及びソフトウエアリセット後、H'FFD8 EE88番地にH'40を書いてください。

26.3.1　送信バッファレジスタ（TBR）

TBRは、書き込みのみ可能な8ビットのレジスタで、外部SPIフラッシュメモリへ転送するデータを設定します。

TBRにデータを書き込むと、送信FIFOに書き込まれ、TBRにデータを書き込むごとに、送信FIFOのライトポインタがインクリメントされます。送信FIFOの状態はTBE、TBFビット（CR1レジスタのビット7、6）で確認できます。

なお、TBRとRBRのアドレスは同じです。

ビット：	7	6	5	4	3	2	1	0
	TxD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
7～0	TxD[7:0]	H'00	W	SPIフラッシュメモリに送信するデータ（コマンド、ライトデータ）を設定してください（注）

注．TBF＝1のときは書き込めません。

26.3.2　受信バッファレジスタ（RBR）

RBRは、読み出しのみ可能な8ビットのレジスタで、外部SPIフラッシュメモリから受信したデータを示します。

RBRを読み出すと、受信FIFOに格納された受信データが読み出され、RBRのデータを読み出すごとに、受信FIFOのリードポインタがインクリメントされます。受信FIFOの状態は、RBE、RBFビット（CR1レジスタのビット5、4）で判断できます。

なお、TBRとRBRのアドレスは同じです。

ビット：	7	6	5	4	3	2	1	0
	RxD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7～0	RxD[7:0]	H'00	R	SPIフラッシュメモリから受信した（読み出した）データが読み出されます（注）

注．RBE＝1のときは読み出せません（読み出し値は無効）。

26.3.3　コントロールレジスタ1（CR1）

CR1は、読み出し／書き込み可能な8ビットのレジスタで、送信FIFO／受信FIFOの状態を示し、チップセレクト出力を制御します。

ビット：	7	6	5	4	3	2	1	0
	TBE	TBF	RBE	RBF	—	SSDB	SSD	SSA
初期値：	1	0	1	0	0	0	0	0
R/W：	R	R	R	R	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TBE	1	R	送信FIFO エンプティフラグ（注1） 0：送信FIFOがエンプティ状態でない 1：送信FIFOがエンプティ状態
6	TBF	0	R	送信FIFO フルフラグ（注1） 0：送信FIFOがフル状態でない 1：送信FIFOがフル状態
5	RBE	1	R	受信FIFO エンプティフラグ（注1） 0：受信FIFOがエンプティ状態でない 1：受信FIFOがエンプティ状態
4	RBF	0	R	受信FIFO フルフラグ（注1） 0：受信FIFOがフル状態でない 1：受信FIFOがフル状態
3	—	0	—	リザーブビット
2、1	SSDB、SSD	00	R/W	$\overline{\text{SP1-SSn}}$ネゲート制御 SSDB SSD 0 0：モード0 SSDビットに“1”が書き込まれたとき、$\overline{\text{SP1-SSn}}$がネゲートされる x 1：モード1 SPIサイクル終了時、$\overline{\text{SP1-SSn}}$が自動的にネゲートされる 1 0：モード2 最後のSPI サイクル（注2）終了時、$\overline{\text{SP1-SSn}}$が自動的にネゲートされる
0	SSA	0	R/W	$\overline{\text{SP1-SSn}}$アサート制御（注3） 0：$\overline{\text{SP1-SSn}}$アサート禁止 1：$\overline{\text{SP1-SSn}}$アサート許可 ・送信時：TBEビット＝0のときアサート ・受信時：TBEビット＝1、 かつPFCビット＞0のときアサート

X：“0”又は“1”いずれでもよい。

注1. これらのビットは、FIFO リセット（RstFビット（CR2レジスタのビット7）＝1）時にも初期化されます。
2. TBE=1 (送信完了) かつ PFC=H'00 (受信完了) のとき。
3. このビットは、WpAbort＝1のとき“0”になります。

26.3.4　コントロールレジスタ2（CR2）

CR2は、読み出し／書き込み可能な8ビットのレジスタで、SPI動作モードとSPI信号プロトコル制御を設定します。

ビット：	7	6	5	4	3	2	1	0
	RstF	—	CPOL	CPHA	L1M0	DIVCODE[2:0]		
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	RstF	0	R/W	FIFO リセット 0: FIFO リセット解除 1: FIFO リセット ・送信FIFOライトポインタリセット ・受信FIFOリードポインタリセット ・TBEビット＝1、RBEビット＝1 ・TBFビット＝0、RBFビット＝0
6	—	0	—	リザーブビット
5	CPOL	0	R/W	SP1-SCK極性選択 0：SP1-SCK は非アクティブ時Lレベルを出力 1：SP1-SCK は非アクティブ時Hレベルを出力
4	CPHA	0	R/W	SCK 位相選択 SP1-MOSI出力データの切り替え／SP1-MISO入力データの取り込みを行うタイミング（信号エッジ）を選択します（図26.2参照） ■CPOL＝0のとき 0：$\overline{\text{SP1-SSn}}$の立ち下がりエッジ及び SP1-SCKの立ち下がりエッジで出力データ切り替え SP1-SCKの立ち上がりエッジで入力データ取り込み 1：SP1-SCKの立ち上がりエッジで出力データ切り替え SP1-SCKの立ち下がりエッジで入力データ取り込み ■CPOL＝1のとき 0：$\overline{\text{SP1-SSn}}$の立ち下がりエッジ及び SP1-SCKの立ち上がりエッジで出力データ切り替え SP1-SCKの立ち下がりエッジで入力データ取り込み 1：SP1-SCKの立ち下がりエッジで出力データ切り替え SP1-SCKの立ち上がりエッジで入力データ取り込み
3	L1M0	0	R/W	転送方向の選択 0：MSB ファーストモード 転送時：TBR[7]→TBR[0]の順で送信 受信時：RBR[7]→RBR[0]の順で受信 1：LSB ファーストモード 転送時：TBR[0]→TBR[7]の順で送信 受信時：RBR[0]→RBR[7]の順で受信

ビット	ビット名	初期値	R/W	説 明
2 ～ 0	DIVCODE[2:0]	001	R/W	SP1-SCK分周比（注） 000: Pckの1分周（48MHz） 001: Pckの2分周（24MHz） 010: Pckの3分周（16MHz） 011: Pckの4分周（12MHz） 100: Pckの5分周（9.6MHz） 101: Pckの6分周（8MHz） 110: Pckの7分周（6.9MHz） 111: Pckの8分周（6MHz）

注.　（ ）内はSP1-SCK周波数を示します。

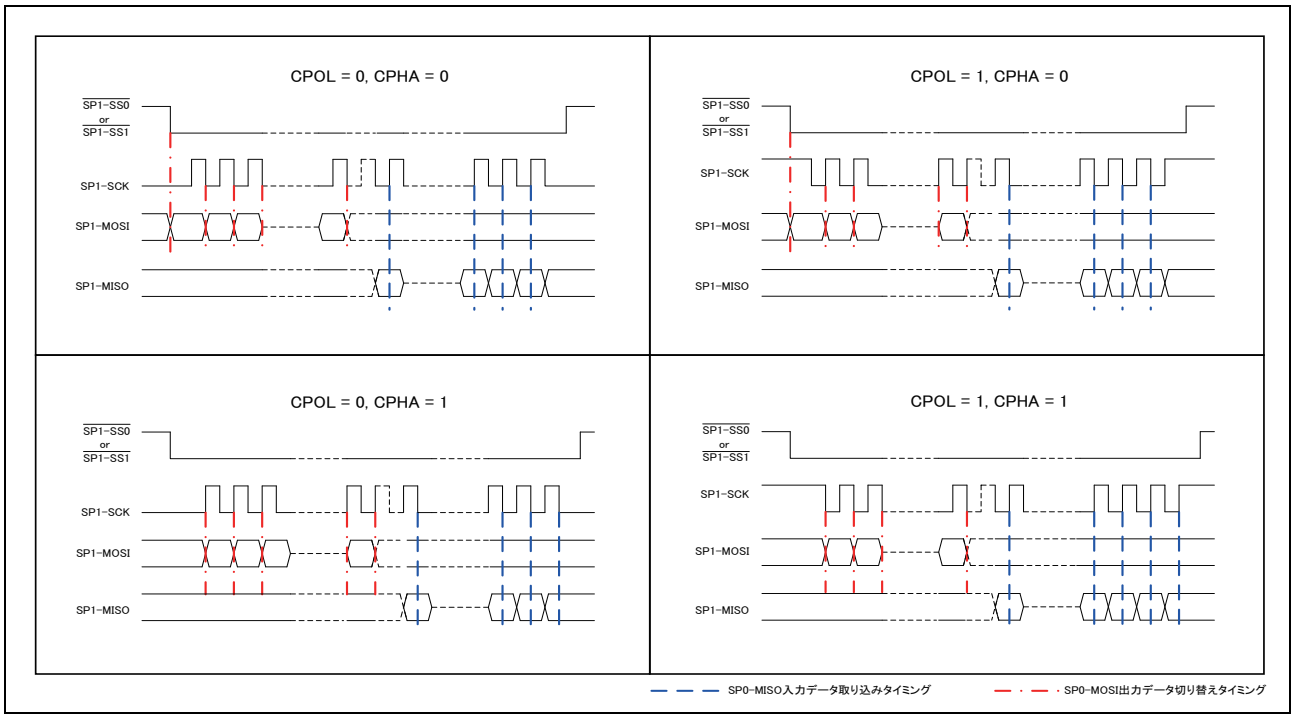


図 26.2　データ入出力タイミング

26.3.5　コントロールレジスタ3（CR3）

CR3は、読み出し／書き込み可能な8ビットのレジスタで、SP1-MISO端子から取り込む受信データバイト数（SPI受信サイクル数）を設定します。

ビット：	7	6	5	4	3	2	1	0
	PFC[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PFC[7:0]	H'00	R/W	受信データバイト数 H'00　：受信データ取り込み無効 H'01～H'FE　：受信FIFOがフルでないときに受信FIFOに受信データを取り込み、受信FIFOがフルの間は取り込みを停止 PFCの値は1バイト取り込むごとにデクリメントされ、PFC＝H'00になると取り込みを停止する H'FF　：受信FIFOがフルでないときに受信FIFOに受信データを取り込み、受信FIFOがフルの間は取り込みを停止 PFCの値は受信データの取り込みでデクリメントされない

26.3.6　コントロールレジスタ4（CR4）

CR4は、読み出し／書き込み可能な8ビットのレジスタで、送信FIFO／受信FIFO割り込みの許可／禁止、及びSP1-SS0、SP1-SS1の選択を設定します。

ビット：	7	6	5	4	3	2	1	0
	TBEI	TBFI	RBEI	RBFI	—	Wp Abort	SpiS0	SSS
初期値：	0	0	0	0	0	0	1	0
R/W：	R/W	R/W	R/W	R/W	—	R/W (注)	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	TBEI	0	R/W	送信FIFO エンプティ割り込み 0: 割り込み禁止 1: 割り込み許可
6	TBFI	0	R/W	送信FIFO フル割り込み 0: 割り込み禁止 1: 割り込み許可
5	RBEI	0	R/W	受信FIFO エンプティ割り込み 0: 割り込み禁止 1: 割り込み許可
4	RBFI	0	R/W	受信FIFO フル割り込み 0: 割り込み禁止 1: 割り込み許可
3	—	0	—	リザーブビット
2	WpAbort	0	R/W（注）	SPI1フラッシュ ライトプロテクトアボート SPI1ライトプロテクト有効（$\overline{WP}$＝L）時、ライトプロテクト領域に対するSPIサイクル開始時に、ライトプロテクトコマンドレジスタに設定されたコマンドコードを検出すると、SPIサイクルが中止され、このビットが“1”になります（「26.4.2 ライトプロテクト機能」参照）。
1	SpiS0	1	R	SPI アイドルステートS0 0：SPI サイクル処理中（新規のSPIサイクル受け付け不可） 1：アイドル状態（新規のSPIサイクル受付可能）
0	SSS	0	R/W	SPI1チップセレクト選択 0：$\overline{SP1\text{-}SS0}$ 有効 1：$\overline{SP1\text{-}SS1}$ 有効

注.　“1”を書くと“0”になります。“0”を書いても変化しません。

26.3.7　コントロールレジスタ5（CR5）

CR5は、送信FIFOに書き込まれたバイト数を示すレジスタです。このレジスタの値を確認することで、あと何バイト書き込めるかが確認できます。

ビット：	7	6	5	4	3	2	1	0
	—	—	TBFcn[5:0]					
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	—	0	—	リザーブビット
5～0	TBFcn[5:0]	000000	R	送信FIFOデータ格納数カウンタ H'00　：0バイト（送信FIFOエンプティ） H'01～H'1F　：1～31バイト （送信FIFOに格納されているデータ数） H'20　：32バイト（送信FIFOフル）

26.3.8　コントロールレジスタ6（CR6）

CR6は、受信FIFOに格納されたバイト数を示すレジスタです。このレジスタの値を確認することで、あと何バイト読み出せるかが確認できます。

ビット：	7	6	5	4	3	2	1	0
	—	—	RBFcn[5:0]					
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	—	0	—	リザーブビット
5～0	RBFcn[5:0]	000000	R	受信FIFOデータ格納数カウンタ H'00　：0バイト（受信FIFOエンプティ） H'01～H'1F　：1～31バイト （受信FIFOに格納されているデータ数） H'20　：32バイト（受信FIFOフル）

26.3.9　コントロールレジスタ7（CR7）

CR7は、ストラップピンの設定を示す読み出し専用のレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	WpSz[1:0]		—	FlshSz[2:0]		
初期値：	0	0	—	—	0	—	—	—
R/W：	—	—	R	R	—	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	—	0	—	リザーブビット
5、4	WpSz[1:0]	—	R	パワーオンリセット時のWPSZ1、WPSZ0端子の入力レベルを示します。 ビット5、4がそれぞれWPSZ1、WPSZ0に対応します。 0：Lレベル 1：Hレベル
3	—	0	—	リザーブビット
2～0	FlshSz[2:0]	—	R	パワーオンリセット時のFLSHSZ2～FLSHSZ0端子の入力レベルを示します。 ビット2～0がそれぞれFLSHSZ2～FLSHSZ0に対応します。 0：Lレベル 1：Hレベル

26.3.10　コントロールレジスタ8（CR8）

CR8は、ストラップピンの設定を示す読み出し専用のレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	Wpn	—	—	—	—	—	—
初期値：	0	—	0	—	0	—	0	—
R/W：	—	R	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	Wpn	—	R	$\overline{\text{WP}}$端子の入力レベルを示します。 0：Lレベル 1：Hレベル
5	—	0	—	リザーブビット
4	—	—	—	リザーブビット
3	—	0	—	リザーブビット
2	—	—	—	リザーブビット
1	—	0	—	リザーブビット
0	—	—	—	リザーブビット

26.3.11 コントロールレジスタ9（CR9）

このレジスタの初期値は、SPIフラッシュメモリのライトのコマンドコードです。ライトプロテクト有効（$\overline{WP}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	7	6	5	4	3	2	1	0
	OpWrR[7:0]							
初期値：	—(注1)	0	0	0	0	0	1	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	OpWrR[7:0]	(注1)	R/W (注2)	ライトコマンドコード ライトプロテクト有効（$\overline{WP}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリのコマンドコード値を設定してください。

注1. このビットの初期値は、パワーオンリセット時のFLSHSZ2端子の入力レベルに依存します。
FLSHSZ2＝L（フラッシュサイズが16Mバイト以下）のときH'02（3バイトアドレッシングライトコマンド）、
FLSHSZ2＝H（フラッシュサイズが32Mバイト以上）のときH'12（4バイトアドレッシングライトコマンド）です。

2. このレジスタの書き込みは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ有効です。

26.3.12 コントロールレジスタ10（CR10）

このレジスタの初期値は、SPIフラッシュメモリのセクタイレーズのコマンドコードです。ライトプロテクト有効（$\overline{WP}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	7	6	5	4	3	2	1	0
	OpSeR[7:0]							
初期値：	1	1	0	1	1	—（注1）	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	OpSeR[7:0]	（注1）	R/W （注2）	セクタイレーズコマンドコード ライトプロテクト有効（$\overline{WP}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリのコマンドコード値を設定してください。

注1. このビットの初期値は、パワーオンリセット時のFLSHSZ2端子の入力レベルに依存します。
FLSHSZ2＝L（フラッシュサイズが16Mバイト以下）のときH'D8（3バイトアドレッシングセクタイレーズコマンド）、
FLSHSZ2＝H（フラッシュサイズが32Mバイト以上）のときH'DC（4バイトアドレッシングセクタイレーズコマンド）です。

2. このレジスタの書き込みは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ有効です。

26.3.13 コントロールレジスタ11（CR11）

このレジスタの初期値は、SPIフラッシュメモリのバルクイレーズのコマンドコードです。ライトプロテクト有効（$\overline{WP}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます（ライトプロテクト機能）。

接続するSPIフラッシュメモリのコマンドコード値が異なる場合は、このレジスタ値を書き換えてください。

ビット：	7	6	5	4	3	2	1	0
	OpBeR[7:0]							
初期値：	1	1	0	0	0	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	OpBeR[7:0]	H'C7	R/W（注）	バルクイレーズコマンドコード ライトプロテクト有効（$\overline{WP}$＝L）時、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます。 このビットの初期値が接続するSPIフラッシュメモリのコマンドコードと異なる場合は、SPIフラッシュメモリへのアクセス前に、SPIフラッシュメモリのコマンドコード値を設定してください。

注．　このレジスタの書き込みは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ有効です。

26.3.14 コントロールレジスタ20～27（CR20～27）

アドレス情報を必要とする3バイトアドレッシング用のライトプロテクトコマンドコードを設定するレジスタです。これらのレジスタは、ライトプロテクト有効（$\overline{WP}$＝L）かつ3バイトアドレッシングモード（FLSHSZ2＝L：フラッシュサイズが16Mバイト以下）のときのみ有効で、このとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

3バイトアドレッシングモード時、CR9、CR10に設定した以外のコマンドコードもプロテクトしたい場合は、これらのレジスタにコマンドコードを設定してください。

ビット：	7	6	5	4	3	2	1	0
	CR20[7:0] ~ CR27[7:0]							
初期値：	（初期値は表26.3を参照）							
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	CR20 ～ CR27	表26.3参照	R/W(注)	ライトプロテクトコマンド ライトプロテクト有効（$\overline{WP}$＝L）かつFLSHSZ2＝L（フラッシュサイズが16Mバイト以下）のとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 SPIフラッシュメモリへのアクセス前に、プロテクトしたいコマンドコード値（アドレスを3バイトで指定するコマンド）を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注.　これらのレジスタの書き込みは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ有効です。

26.3.15 コントロールレジスタ28～37（CR28～37）

アドレス情報を必要としない3バイトアドレッシング用のライトプロテクトコマンドコードを設定するレジスタです。これらのレジスタは、ライトプロテクト有効（$\overline{WP}$＝L）かつ3バイトアドレッシングモード（FLSHSZ2＝L：フラッシュサイズが16Mバイト以下）のときのみ有効で、このとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます（ライトプロテクト機能）。

3バイトアドレッシングモード時、CR11に設定した以外のコマンドコードもプロテクトしたい場合は、これらのレジスタにコマンドコードを設定してください。

ビット：	7	6	5	4	3	2	1	0
	CR28[7:0] ~ CR37[7:0]							
初期値：	（初期値は表26.3を参照）							
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	CR28 ～ CR37	表26.3参照	R/W(注)	ライトプロテクトコマンド ライトプロテクト有効（$\overline{WP}$＝L）かつFLSHSZ2＝L（フラッシュサイズが16Mバイト以下）のとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます。 SPIフラッシュメモリへのアクセス前に、プロテクトしたいコマンドコード値（アドレス指定の必要のないコマンド、又はアドレスに関係なく送信禁止としたいコマンド）を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注.　これらのレジスタの書き込みは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ有効です。

26.3.16 コントロールレジスタ38～3F（CR38～3F）

アドレス情報を必要とする4バイトアドレッシング用のライトプロテクトコマンドコードを設定するレジスタです。これらのレジスタは、ライトプロテクト有効（$\overline{WP}$＝L）かつ4バイトアドレッシングモード（FLSHSZ2＝H：フラッシュサイズが32Mバイト以上）のときのみ有効で、このとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます（ライトプロテクト機能）。

4バイトアドレッシングモード時、CR9、CR10に設定した以外のコマンドコードもプロテクトしたい場合は、これらのレジスタにコマンドコードを設定してください。

ビット：	7	6	5	4	3	2	1	0
	CR38[7:0] ~ CR3F[7:0]							
初期値：	（初期値は表26.3を参照）							
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	CR38 ～ CR3F	表26.3参照	R/W(注)	ライトプロテクトコマンド ライトプロテクト有効（$\overline{WP}$＝L）かつFLSHSZ2＝H（フラッシュサイズが32Mバイト以上）のとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じで、かつ、そのアドレス情報がライトプロテクト領域であった場合、その送信は禁止されます。 SPIフラッシュメモリへのアクセス前に、プロテクトしたいコマンドコード値（アドレスを4バイトで指定するコマンド）を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注.　これらのレジスタの書き込みは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ有効です。

26.3.17 コントロールレジスタ40～4F（CR40～4F）

アドレス情報を必要としない4バイトアドレッシング用のライトプロテクトコマンドコードを設定するレジスタです。これらのレジスタは、ライトプロテクト有効（$\overline{WP}$＝L）かつ4バイトアドレッシングモード（FLSHSZ2＝H：フラッシュサイズが32Mバイト以上）のときのみ有効で、このとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます（ライトプロテクト機能）。

4バイトアドレッシングモード時、CR11に設定した以外のコマンドコードもプロテクトしたい場合は、これらのレジスタにコマンドコードを設定してください。

ビット：	7	6	5	4	3	2	1	0
	CR40[7:0] ~ CR4F[7:0]							
初期値：	（初期値は表26.3を参照）							
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	CR40 ～ CR4F	表26.3参照	R/W(注)	ライトプロテクトコマンド ライトプロテクト有効（$\overline{WP}$＝L）かつFLSHSZ2＝H（フラッシュサイズが32Mバイト以上）のとき、送信しようとしたコマンドコードがこのレジスタに設定された値と同じであった場合、その送信は禁止されます。 SPIフラッシュメモリへのアクセス前に、プロテクトしたいコマンドコード値（アドレス指定の必要のないコマンド、又はアドレスに関係なく送信禁止としたいコマンド）を設定してください。 このビットにH'00を設定すると、送信時にこのビットの値とコマンドコード値の比較は実施されません。

注.　これらのレジスタの書き込みは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ有効です。

表26.3　ライトプロテクト対象コマンドレジスタ

アドレス指定の有無（注1）	3バイトアドレッシングモード（FLSHSZ2＝L時）		4バイトアドレッシングモード（FLSHSZ2＝H時）	
	コマンドレジスタ（注2）	初期値	コマンドレジスタ（注2）	初期値
あり	CR9	H'02	CR9	H'12
	CR10	H'D8	CR10	H'DC
	CR20	H'20	CR38	H'21
	CR21	H'00	CR39	H'00
	CR22	H'00	CR3A	H'00
	CR23	H'00	CR3B	H'00
	CR24	H'00	CR3C	H'00
	CR25	H'00	CR3D	H'00
	CR26	H'00	CR3E	H'00
	CR27	H'00	CR3F	H'00
なし	CR11	H'C7	CR11	H'C7
	CR28	H'12	CR40	H'02
	CR29	H'21	CR41	H'20
	CR2A	H'DC	CR42	H'D8
	CR2B	H'38	CR43	H'38
	CR2C	H'34	CR44	H'34
	CR2D	H'32	CR45	H'32
	CR2E	H'60	CR46	H'60
	CR2F	H'52	CR47	H'52
	CR30	H'00	CR48	H'00
	CR31	H'00	CR49	H'00
	CR32	H'00	CR4A	H'00
	CR33	H'00	CR4B	H'00
	CR34	H'00	CR4C	H'00
	CR35	H'00	CR4D	H'00
	CR36	H'00	CR4E	H'00
	CR37	H'00	CR4F	H'00

注1. アドレスを指定するコマンドは、$\overline{\text{WP}}$＝L時、指定アドレスがライトプロテクト領域に該当する場合、送信がブロックされます。
アドレスを指定しないコマンドは、$\overline{\text{WP}}$＝L時、無条件に送信がブロックされます。

2. これらのレジスタは、$\overline{\text{WPLOCK}}$＝Hかつ$\overline{\text{BOOTWP}}$＝Hのときだけ書き込めます。

26.3.18 ストラップピンモニタレジスタ2（PINMON2）

ストラップピンの設定を示す読み出し専用のレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	$\overline{\text{BOOTWP}}$	—	BOOTWPSZ[1:0]		$\overline{\text{WPLOCK}}$	BOOTSZ [2:0]		
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	R	—	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 24	—	—	—	リザーブビット
23	$\overline{\text{BOOTWP}}$		R	パワーオンリセット時の$\overline{\text{BOOTWP}}$端子の入力レベルを示します。 0：Lレベル 1：Hレベル
22	—	—	—	リザーブビット
21、20	BOOTWPSZ [1:0]	—	R	パワーオンリセット時のBOOTWPSZ1、BOOTWPSZ0端子の入力レベルを示します。 ビット21、20がそれぞれBOOTWPSZ1、BOOTWPSZ0に対応します。 0：Lレベル 1：Hレベル
19	$\overline{\text{WPLOCK}}$	—	—	パワーオンリセット時の$\overline{\text{WPLOCK}}$端子の入力レベルを示します。 0：Lレベル 1：Hレベル
18～16	BOOTSZ[2:0]	—	R	パワーオンリセット時のBOOTSZ2～BOOTSZ0端子の入力レベルを示します。 ビット18～16がそれぞれBOOTSZ2～BOOTSZ0に対応します。 0：Lレベル 1：Hレベル
15～0	—	—	—	リザーブビット

26.4　動作説明

26.4.1　SPIフラッシュメモリアクセス

SPI1では、図26.3に示すように2種類のアクセスを制御できます。

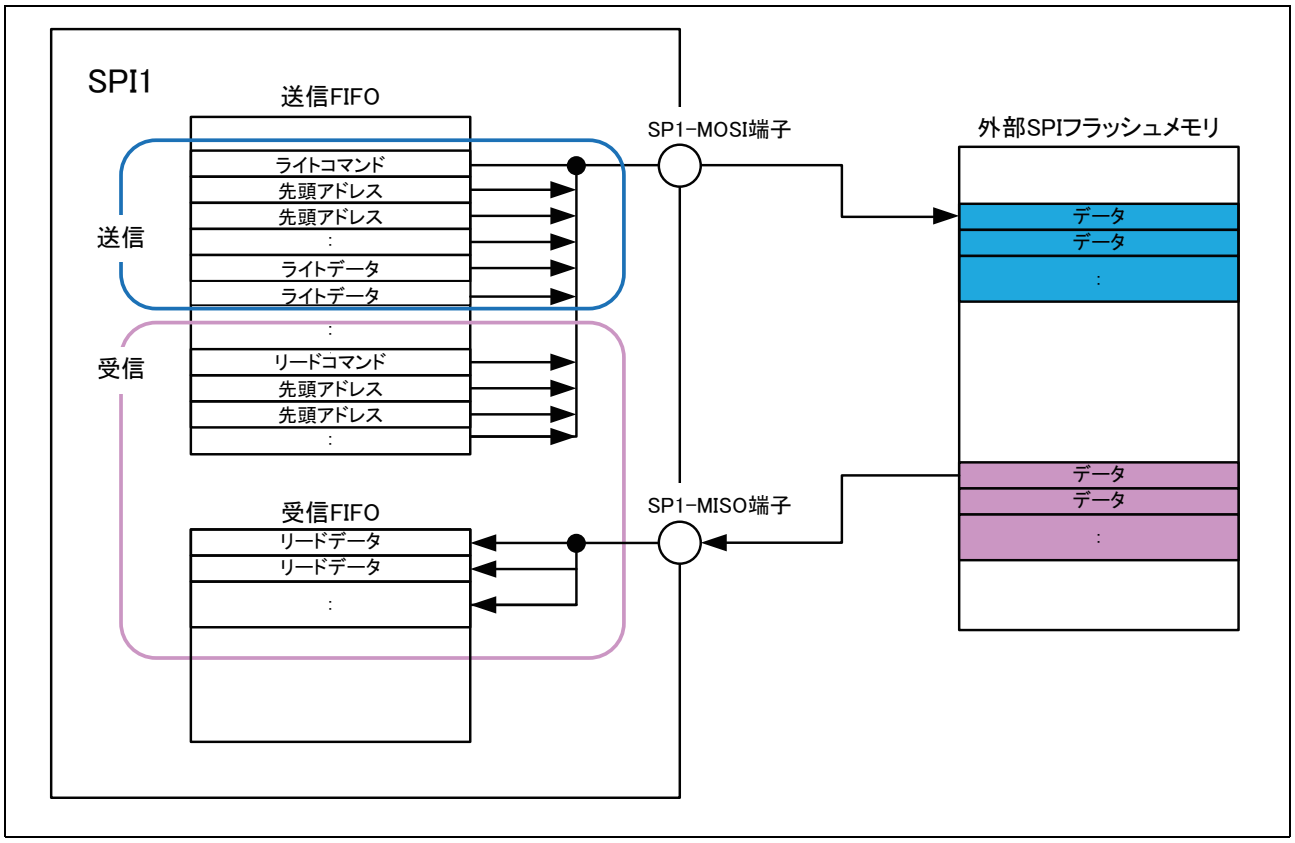


図 26.3　SPIフラッシュメモリアクセス制御

(1)　送信制御

外部SPIフラッシュメモリに対してコマンドを発行するときの制御です。

SSA＝1、かつTBE＝0（送信FIFOにコマンドコードと、必要に応じてリード／ライトする外部SPIフラッシュの先頭アドレス、ライトデータを書き込み済み）のとき、SP1-SSnがアサートされ、送信FIFOに設定したそれらのデータがSP1-MOSI端子から外部SPIフラッシュメモリに送信されます。図26.4に送信サイクルのタイミング図を示します。

送信FIFOが空になるとTBE＝1となり、TBEI＝1（割り込み許可）であれば、送信FIFOエンプティ割り込み要求が発生します。また、送信FIFOがフルになるとTBF＝1となり、TBFI＝1（割り込み許可）であれば、送信FIFOフル割り込み要求が発生します（「26.4.3 割り込み」参照）。

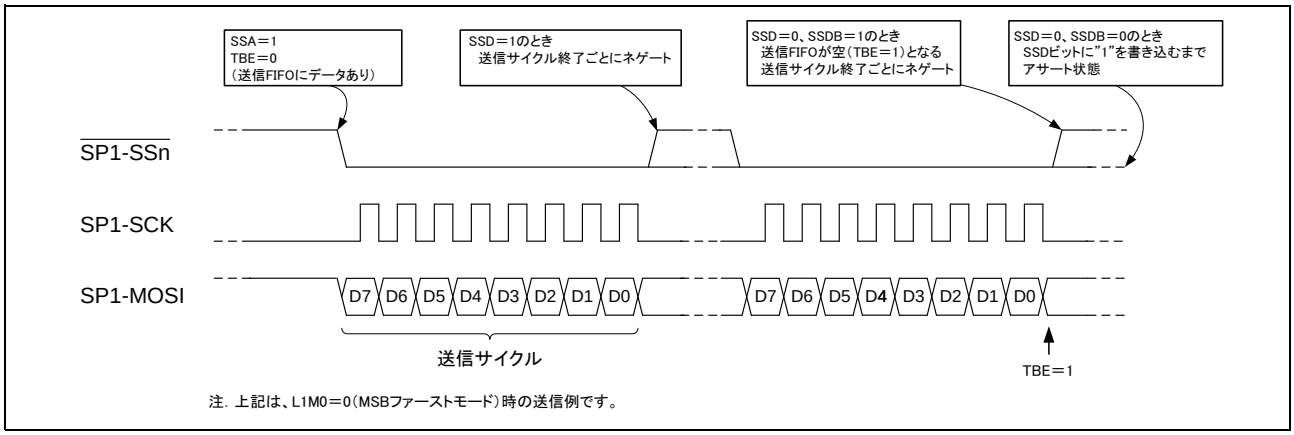


図 26.4　送信サイクルのタイミング

送信FIFOへは、TBRレジスタに設定することによって書き込みます。詳細は、「26.3.1 送信バッファレジスタ（TBR）」を参照してください。

また、受信サイクルより送信サイクルが優先されますので、外部SPIフラッシュメモリからのデータ受信がすべて完了した後、送信FIFOにデータ（コマンドコード）を書き込んでください。

なお、FLSHSZ2、1、0端子で設定するメモリサイズによってアドレッシングモードが異なります。表26.4に示すように、各アドレッシングモードに応じた先頭アドレスを設定してください。

表26.4　各アドレッシングモード選択時の送信FIFOへのコマンド設定方法

送信FIFO段数（設定数）	3バイトアドレッシング	4バイトアドレッシング
1	コマンドコード	コマンドコード
2	先頭アドレス（ビット23～16）	先頭アドレス（ビット31～24）
3	先頭アドレス（ビット15～8）	先頭アドレス（ビット23～16）
4	先頭アドレス（ビット7～0）	先頭アドレス（ビット15～8）
5		先頭アドレス（ビット7～0）

注.　FLSHSZ2,1,0で設定したメモリサイズが32Mバイト以上の場合、自動的に4バイトアドレッシングモードとなりますので、アドレスは4バイト分を設定してください。

(2)　受信制御

外部SPIフラッシュメモリからリードデータを受信するときの制御です。

SSA＝1、TBE＝1（送信完了）、かつPFC≠H'00（受信データバイト数をPFCビットに設定済み）のとき、SP1-SSnがアサートされ、受信クロックが生成されてSP1-SCK端子から出力され、SP1-MISO端子から取り込まれた受信データが受信FIFOに格納されます。図26.5に受信サイクルのタイミング図を示します。

受信FIFOが空になるとRBE＝1となり、RBEI＝1（割り込み許可）であれば、受信FIFOエンプティ割り込み要求が発生します。また、受信FIFOがフルになるとRBF＝1となり、RBFI＝1（割り込み許可）であれば、受信FIFOフル割り込み要求が発生します（「26.4.3 割り込み」参照）。

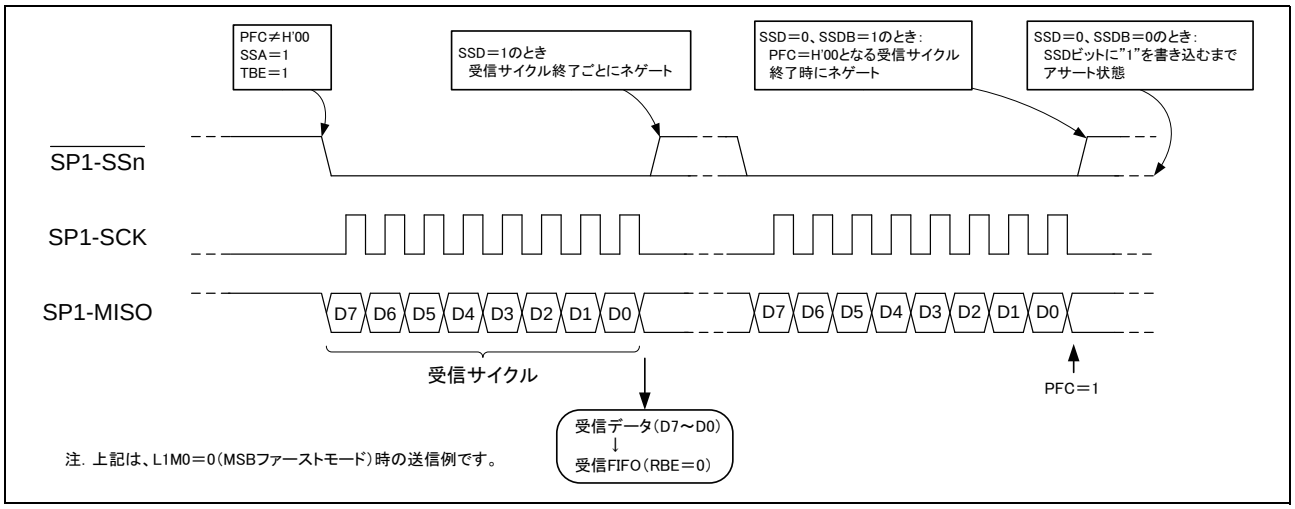


図 26.5　受信サイクルのタイミング図

26.4.2　ライトプロテクト機能

ライトプロテクト機能は、WP端子がLレベルのとき、SP1-SS0端子に接続された外部SPIフラッシュメモリの任意の領域（ライトプロテクト領域）に対する書き込みを防ぐ機能です。

ライトプロテクト領域は、外部SPIフラッシュメモリの上位半分と下位半分の上位アドレス側に、WPSZ1,0端子で指定するサイズ分（表26.1参照）を設定できます。図26.6、図26.7にライトプロテクト領域設定例を示します。

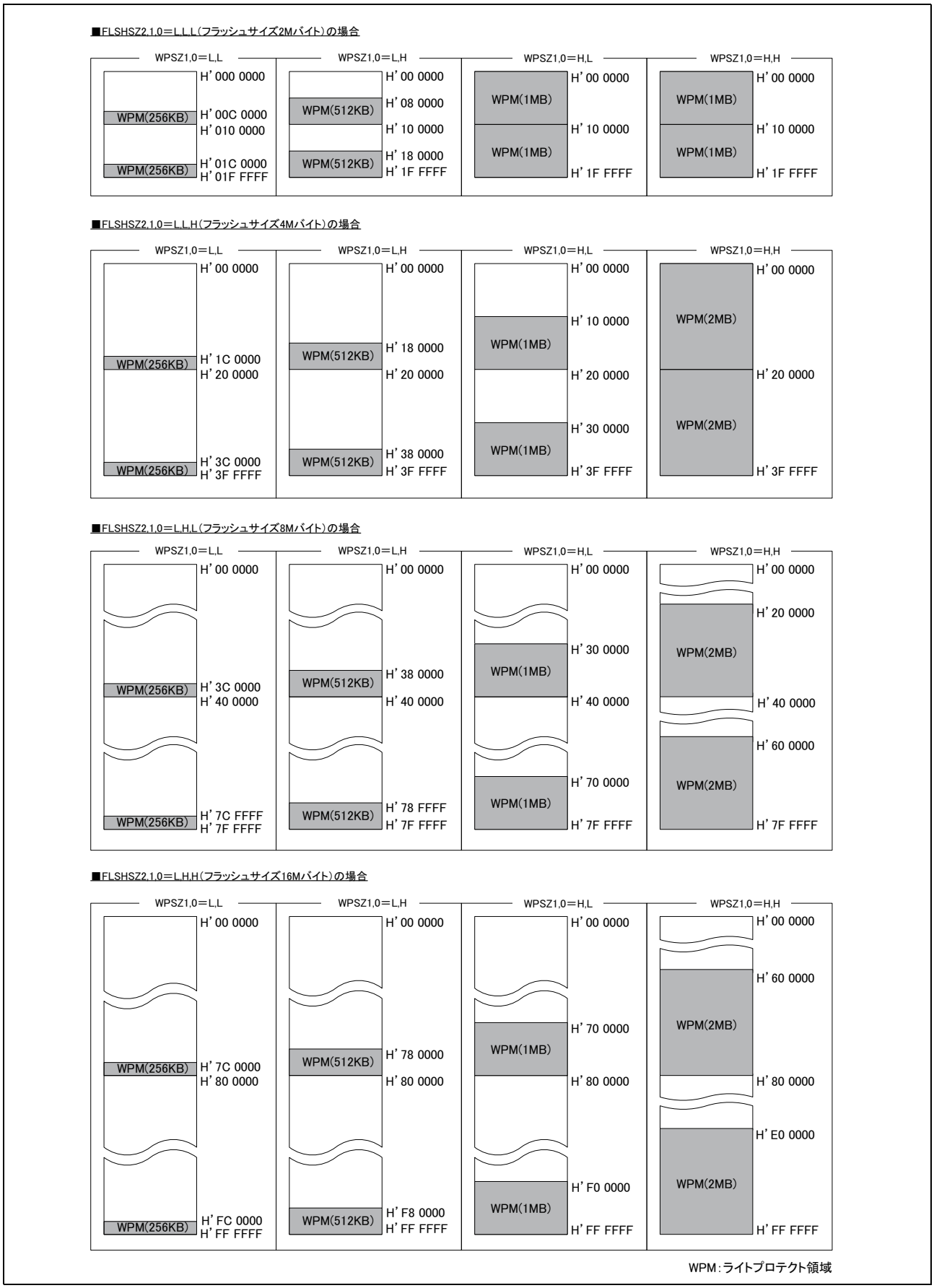


図 26.6　ライトプロテクト領域設定例（3バイトアドレッシングモード）

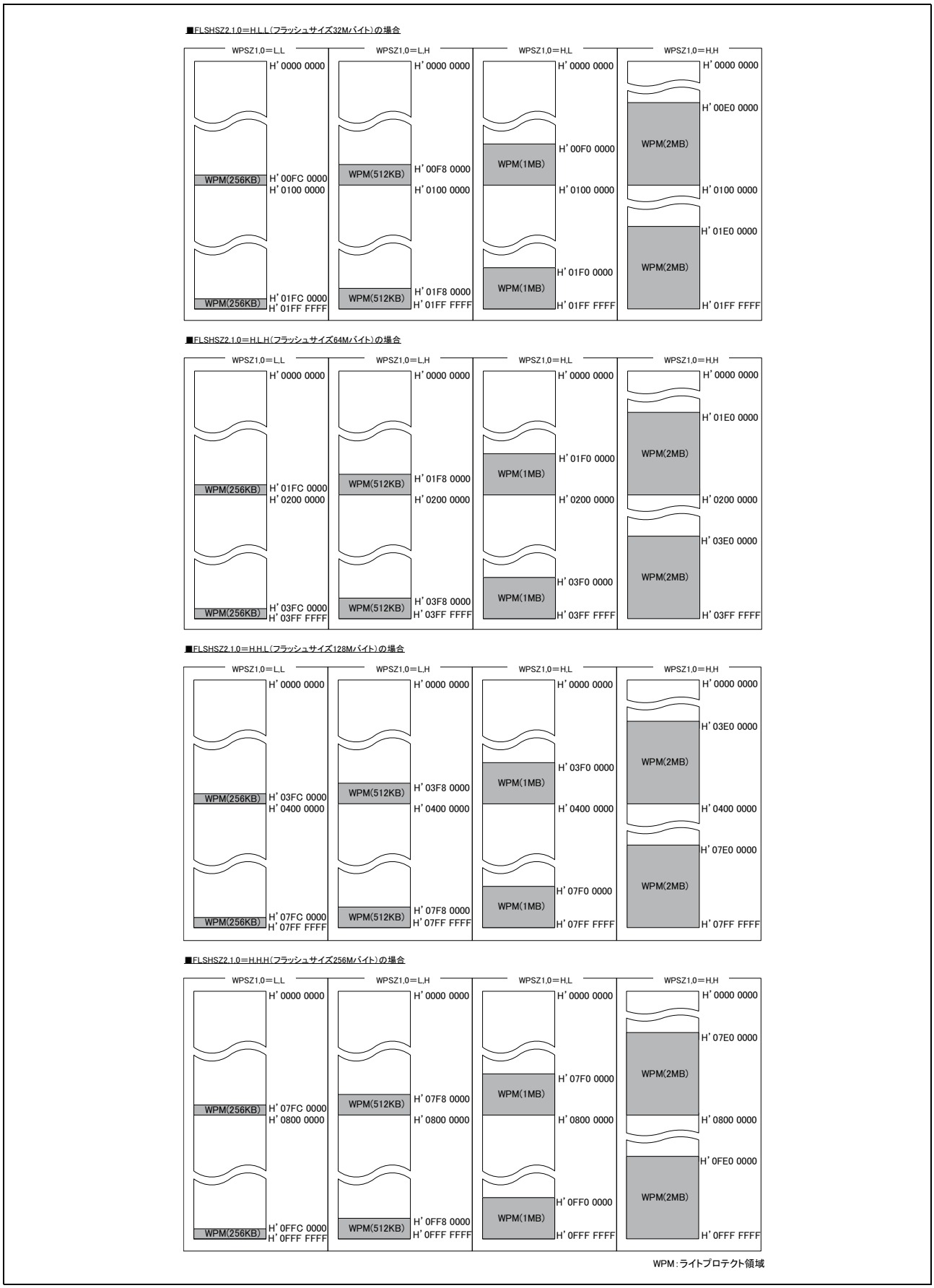


図 26.7　ライトプロテクト領域設定例（4バイトアドレッシングモード）

ライトプロテクト機能は、$\overline{WP}$＝L時、表26.3に示すコマンドレジスタに設定したコマンドコードの送信をブロックすることで実現されます。

FLSHSZ2＝L（3バイトアドレッシングモード）のとき、CR9、CR10、CR20～CR27レジスタには、アドレスを指定するコマンドコードを設定してください。$\overline{WP}$＝L時、指定したアドレスがライトプロテクト領域に該当する場合、そのコマンドコードの送信がブロックされます。

CR11、CR28～CR37レジスタには、アドレスが不要、またはアドレスに関係なく送信禁止にしたいコマンドコードを設定してください。$\overline{WP}$＝L時、これらのコマンドコードは、無条件に送信がブロックされます。

FLSHSZ2 ＝ H（4バイトアドレッシングモード）のとき、CR9、CR10、CR38 ～ CR3F レジスタには、アドレスを指定するコマンドコードを設定してください。$\overline{WP}$＝L時、指定したアドレスがライトプロテクト領域に該当する場合、そのコマンドコードの送信がブロックされます。

CR11、CR40～CR4Fレジスタには、アドレスが不要、またはアドレスに関係なく送信禁止にしたいコマンドコードを設定してください。$\overline{WP}$＝L時、これらのコマンドコードは、無条件に送信がブロックされます。

ライトプロテクト機能により、コマンドコードの送信がブロックされると、WpAbort ビットが “1” になり、送信FIFOがリセットされます。

なお、CR9～CR11、CR20～CR4Fレジスタは、$\overline{WPLOCK}$＝Hかつ$\overline{BOOTWP}$＝Hのときだけ書き込めます。

3バイト／4バイトの両アドレッシングモードに対応している外部SPIフラッシュメモリを接続している場合は、使用していないアドレッシングモードのコマンドコードもブロックする必要があります。この場合、そのコマンドがアドレス指定をするかしないかに関わらず、アドレスを指定しないコマンドコードを設定するライトプロテクトコマンドレジスタに設定してください。

例　：FLSHSZ2＝L（3バイトアドレッシングモード）の場合
4バイトアドレッシングモード用のライト、イレーズなどのコマンドコードを、CR11、CR28～CR37レジスタ（注）に設定する

注．3バイトアドレッシングモード時に有効なこれらのレジスタに設定しないと、コマンドコードの判定が行われません。

26.4.3　割り込み

SPI1には表26.5に示す割り込み要因があります。

表26.5　割り込み要因

割り込み要因	割り込み要求発生条件	割り込みフラグ	割り込み許可ビット
送信FIFOエンプティ	送信FIFOがエンプティ状態のとき（注）	TBE	TBEI
送信FIFOフル	送信FIFOがフル状態のとき（注）	TBF	TBFI
受信FIFOエンプティ	受信FIFOがエンプティ状態のとき（注）	RBE	RBEI
受信FIFOフル	受信FIFOがフル状態のとき（注）	RBF	RBFI

注．　これらの割り込みは、送受信FIFOが発生条件を満たす状態である間、要求を出し続けます。
必要な割り込み処理を実行後、対応する割り込み許可ビットを“0”にして割り込みを禁止してください。

26.5　設定手順例

以下に、外部SPIフラッシュメモリにアクセスする際の設定手順例を示します。

26.5.1　SPIフラッシュメモリリードアクセス

図26.8に、外部SPIフラッシュメモリから64Kバイトデータをリードする場合の設定手順を示します。

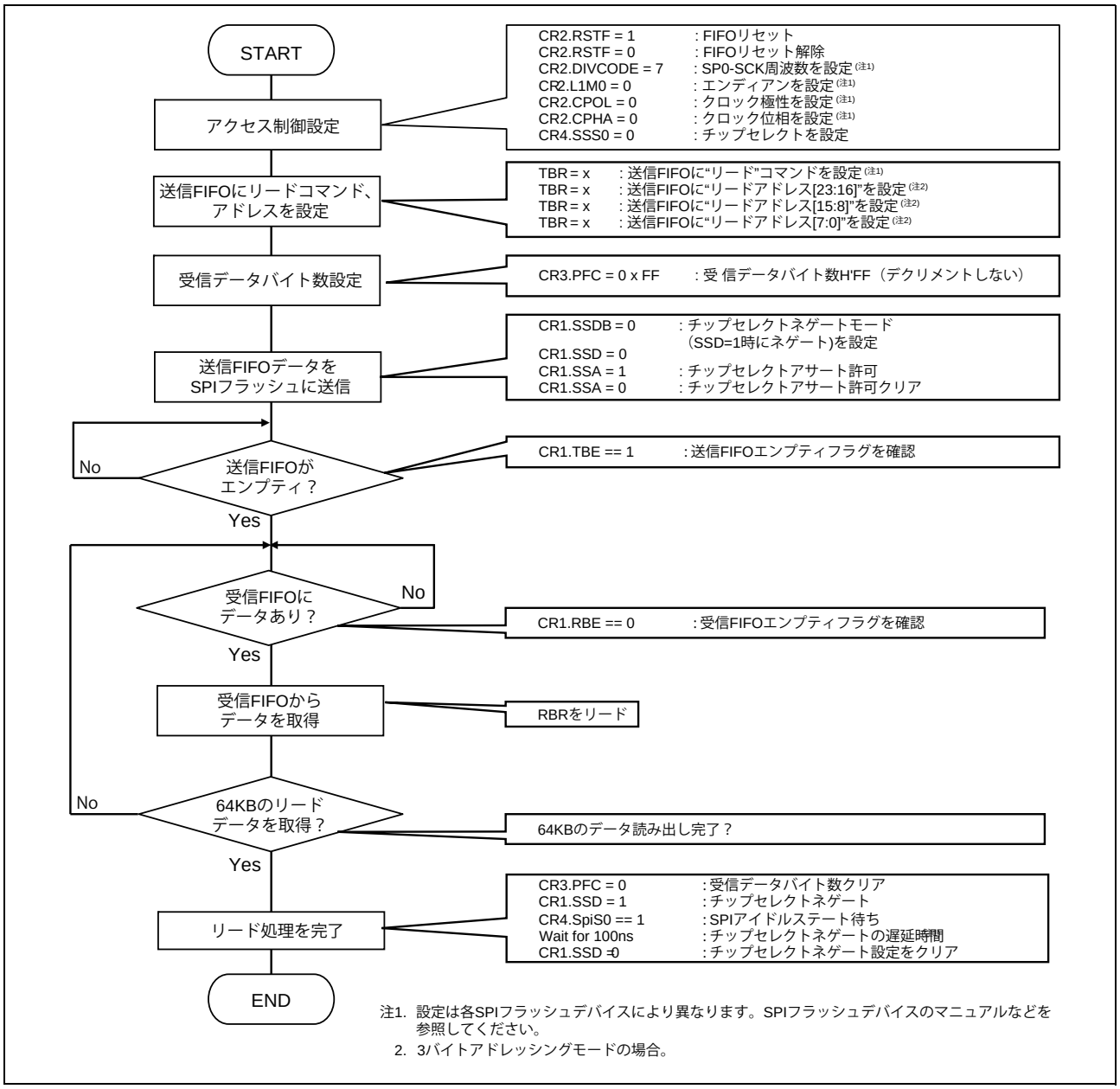


図 26.8　SPIフラッシュメモリリードアクセス設定手順（64Kバイトデータリード）

26.5.2　SPIフラッシュメモリライトアクセス

図26.9に、外部SPIフラッシュメモリに64Kバイトデータをライトする場合の設定手順を示します。

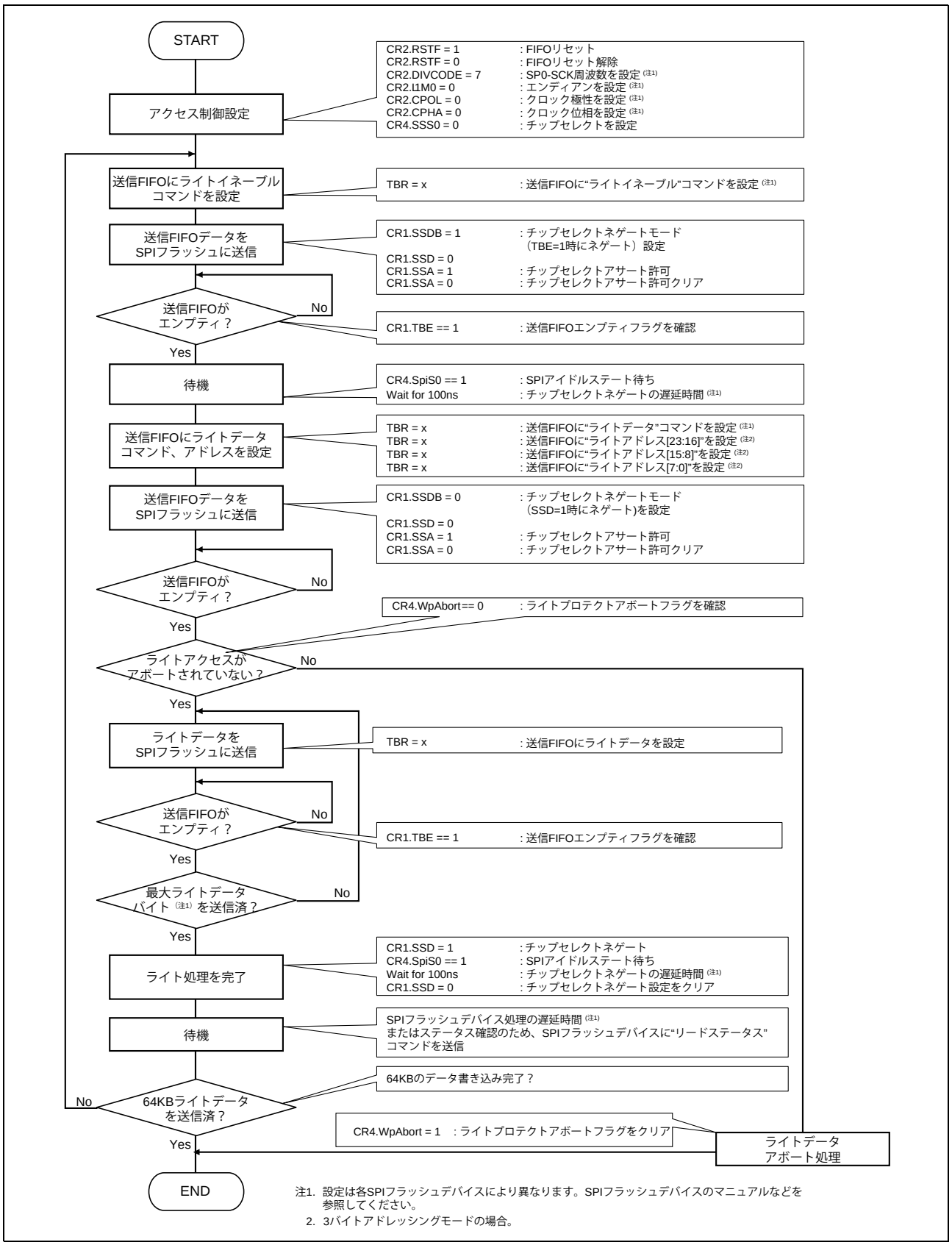


図 26.9　SPIフラッシュメモリライトアクセス設定手順（64Kバイトデータライト）

26.5.3　SPIフラッシュメモリセクタイレーズアクセス

図26.10に、外部SPIフラッシュメモリをセクタイレーズする場合の設定手順を示します。

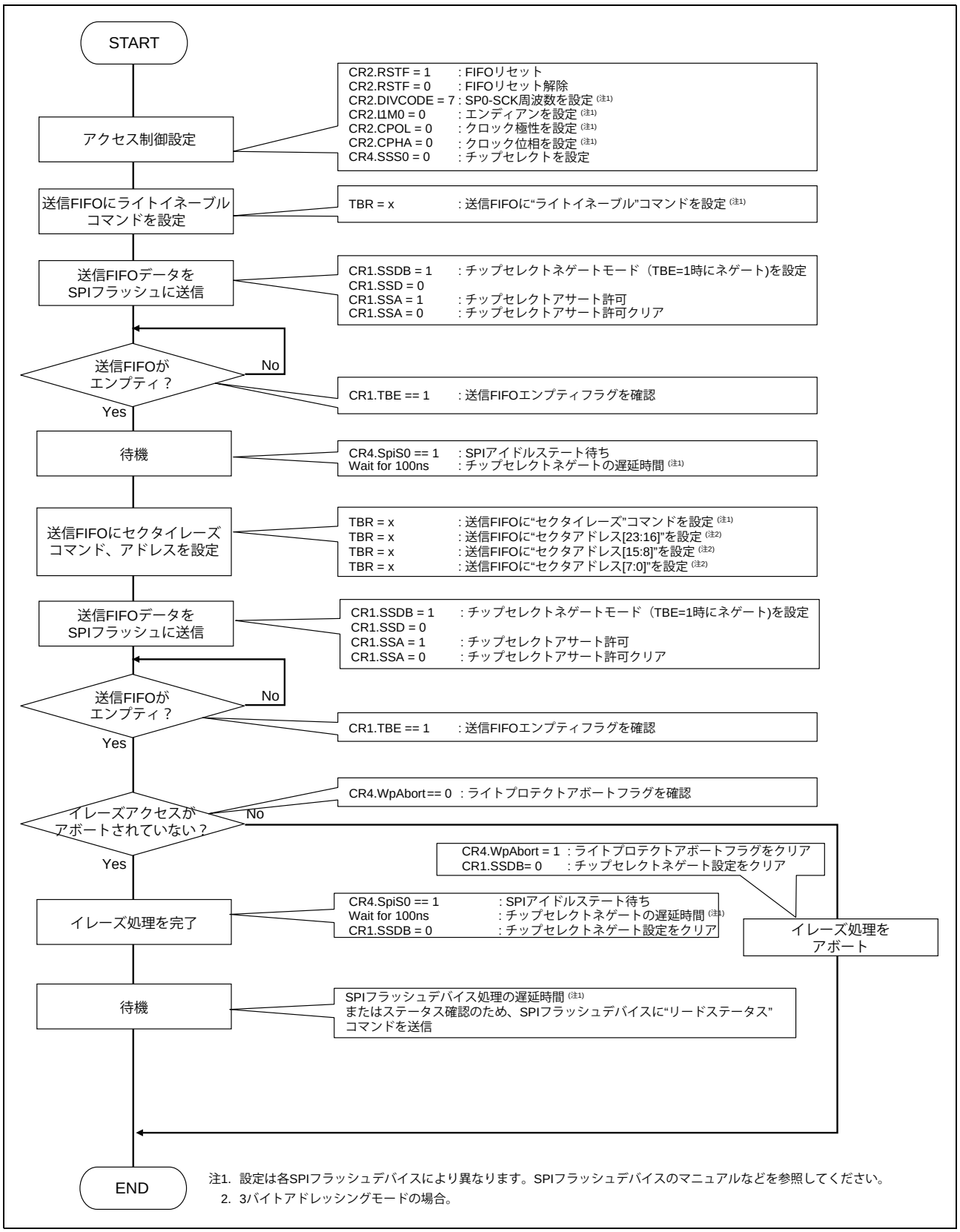


図 26.10　SPIフラッシュメモリセクタイレーズアクセス設定手順

26.5.4　SPIフラッシュメモリバルクイレーズアクセス

図26.11に、外部SPIフラッシュメモリをバルクイレーズする場合の設定手順を示します。

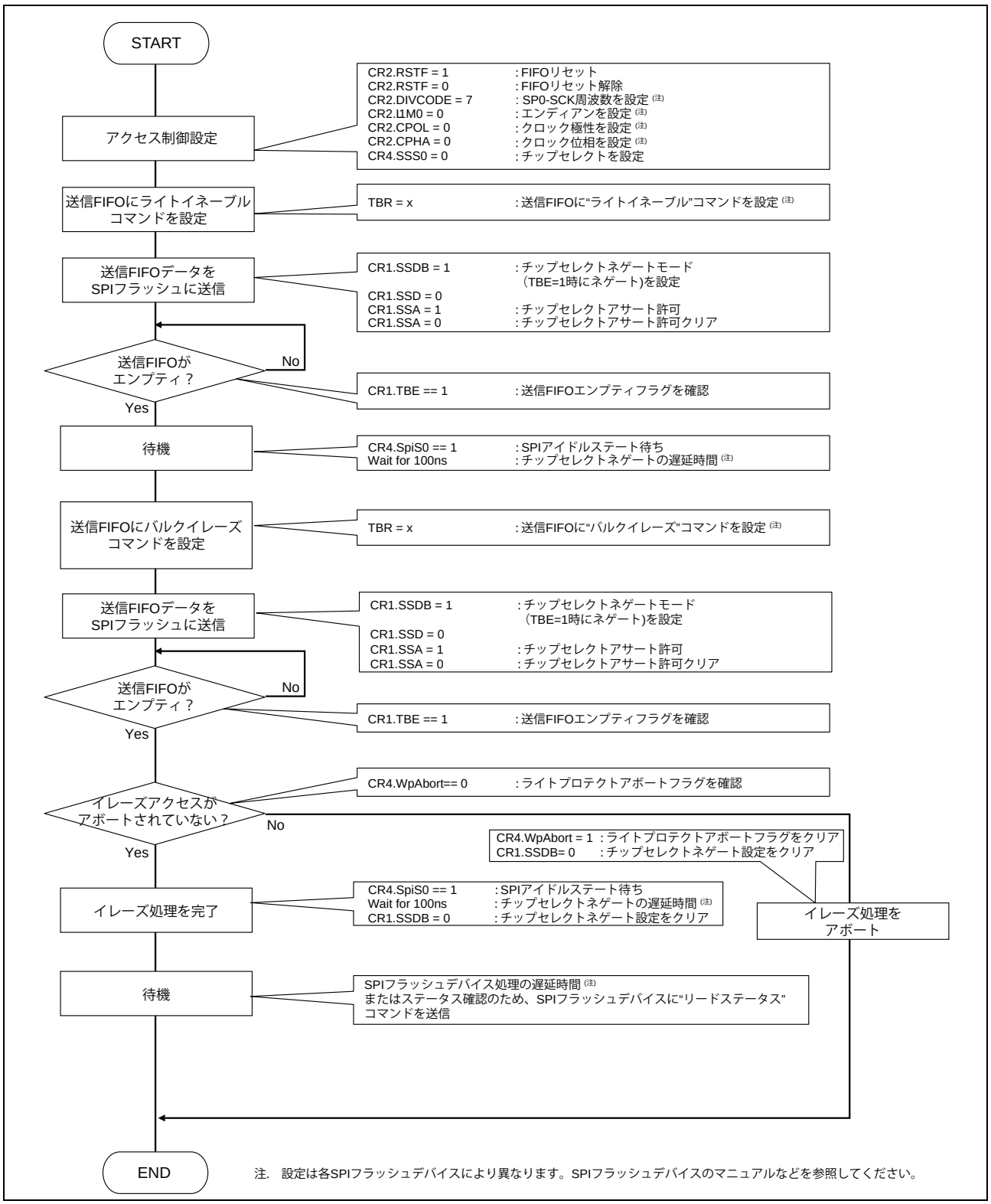


図 26.11　SPIフラッシュメモリバルクイレーズアクセス設定手順

26.5.5　割り込みを使用したSPIフラッシュメモリリードアクセス

図26.12に、割り込みを使用して外部SPIフラッシュメモリから64Kバイトデータをリードする場合の設定手順を示します。

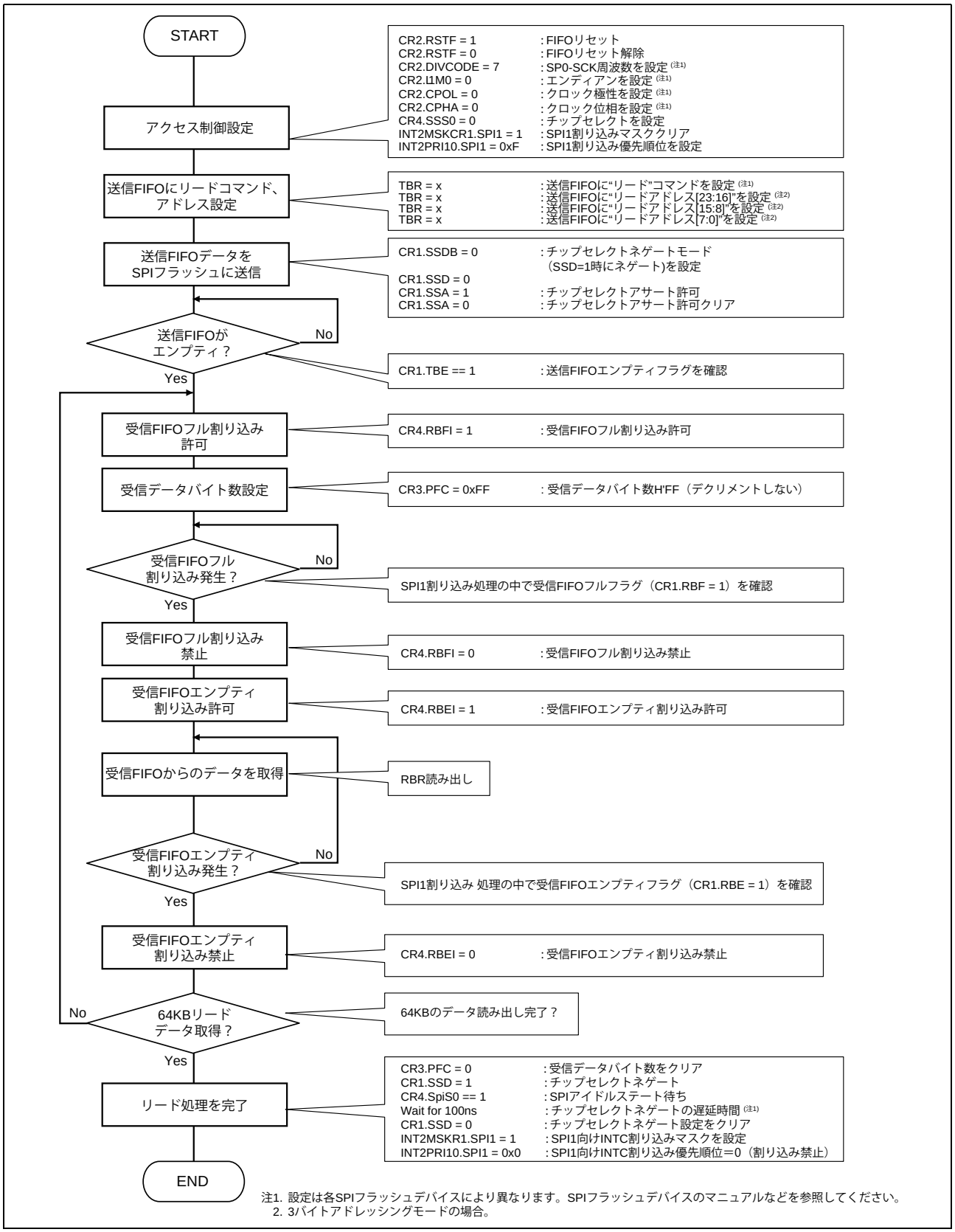


図 26.12　割り込みを使用したSPIフラッシュメモリリードアクセス設定手順（64Kバイトデータリード）

26.5.6　割り込みを使用したSPIフラッシュメモリライトアクセス

図26.13、図26.14に、割り込みを使用して外部SPIフラッシュメモリに64Kバイトデータをライトする場合の設定手順を示します。

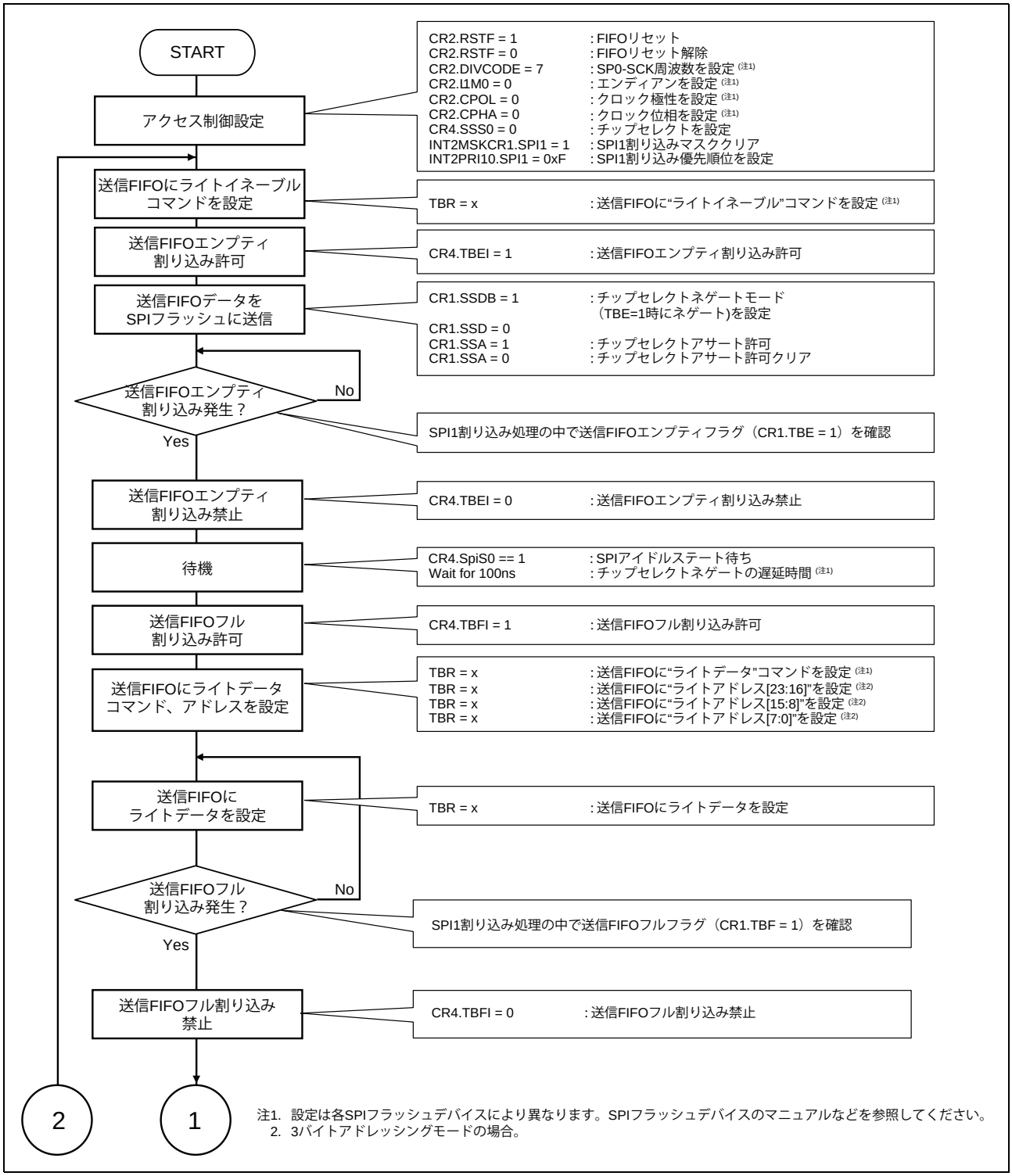
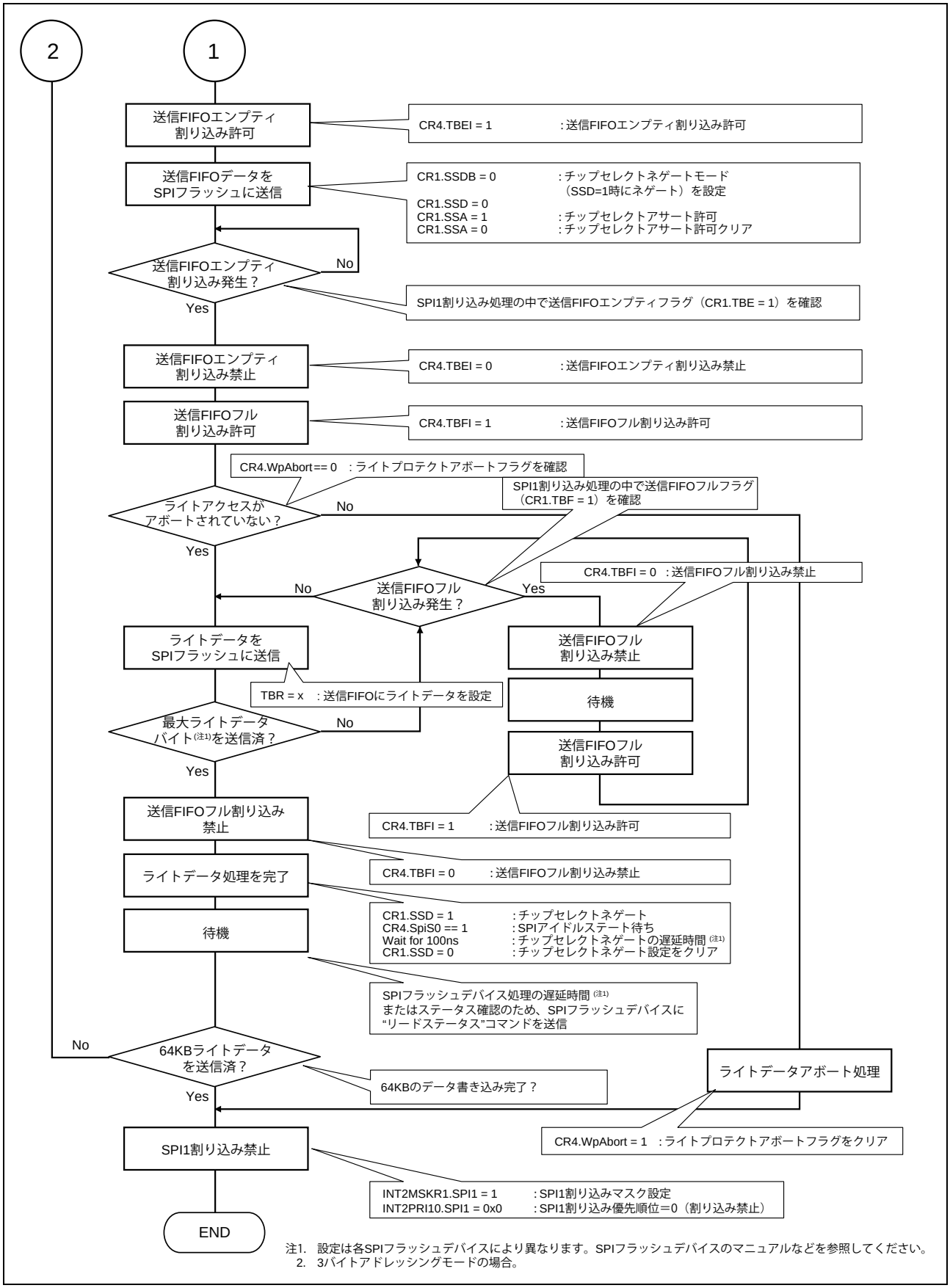


図 26.13　割り込みを使用したSPIフラッシュメモリライトアクセス設定手順（64Kバイトデータライト）（1）



注1. 設定は各SPIフラッシュデバイスにより異なります。SPIフラッシュデバイスのマニュアルなどを参照してください。
2. 3バイトアドレッシングモードの場合。

図 26.14　割り込みを使用したSPIフラッシュメモリライトアクセス設定手順
（64Kバイトデータライト）（2）

27. FIFO 内蔵シリアルコミュニケーションインタフェース0、1（SCIF0、SCIF1）

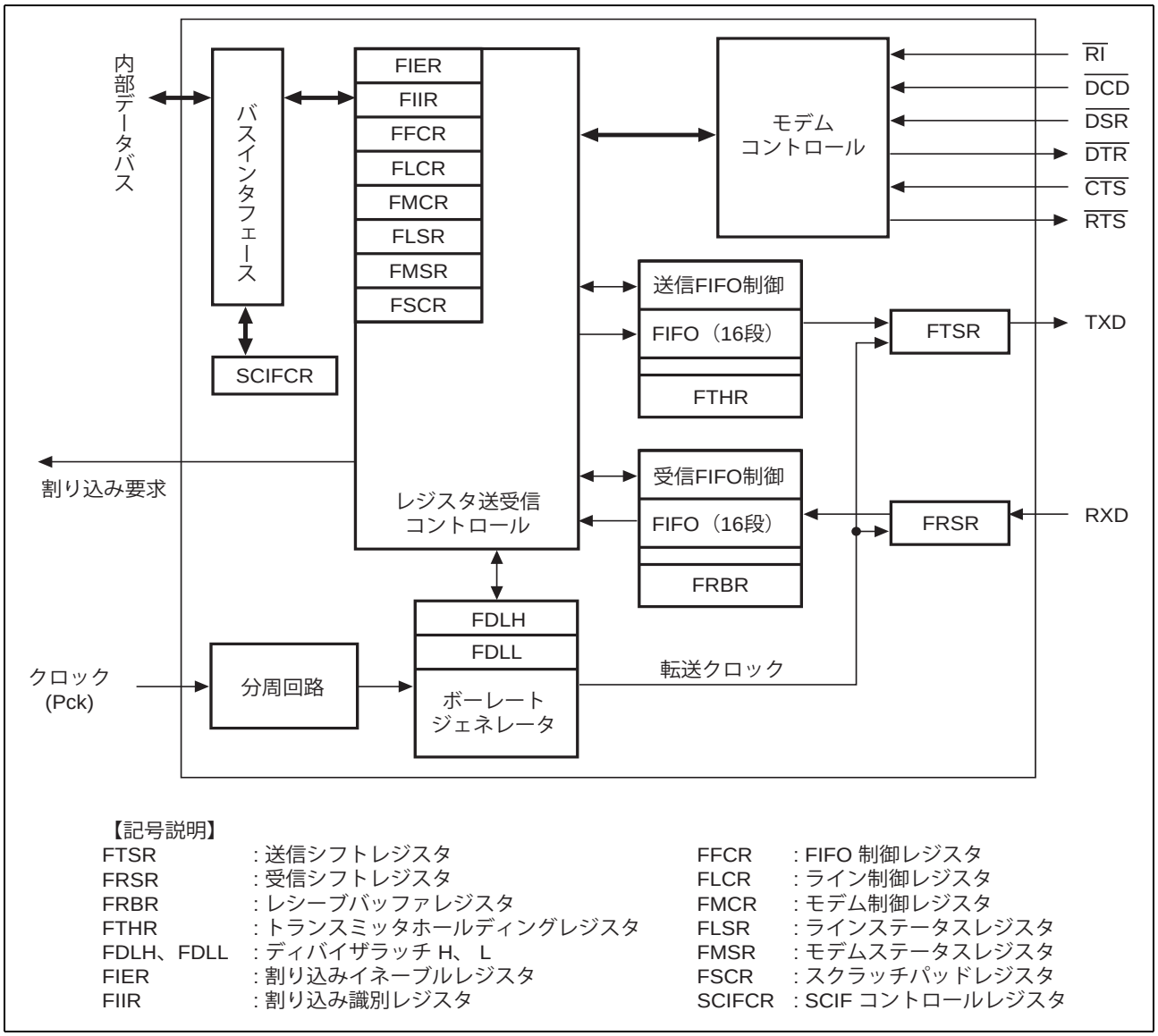
本LSI は、2 チャネルのFIFO バッファ内蔵のシリアルコミュニケーションインタフェース（SCIF）を内蔵しています。SCIF は調歩同期式のシリアル通信が可能です。通信方式は調歩同期式で、Universal Asynchronous Receiver/Transmitter（UART）などの標準の調歩同期式通信用LSI とのシリアル通信ができます。送受信にFIFO バッファを各々 16 段内蔵しており、効率の良い高速連続通信を行うことができます。

27.1　特長

- 16550 レジスタに準拠
- 全二重通信が可能
  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部及び受信部ともに16段のFIFOバッファ構造になっており、シリアルデータの連続送受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- モデムコントロール機能内蔵

調歩同期式モード：
- データ長：5～8ビットから選択可能
- パリティ：偶数パリティ／奇数パリティ／スタック1／スタック0／パリティなしから選択可能
- ストップビット長：1、1.5、2ビットから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出

SCIF のブロック図を図27.1 に示します。



【記号説明】

FTSR	: 送信シフトレジスタ	FFCR	: FIFO 制御レジスタ
FRSR	: 受信シフトレジスタ	FLCR	: ライン制御レジスタ
FRBR	: レシーブバッファレジスタ	FMCR	: モデム制御レジスタ
FTHR	: トランスミッタホールディングレジスタ	FLSR	: ラインステータスレジスタ
FDLH、FDLL	: ディバイザラッチ H、 L	FMSR	: モデムステータスレジスタ
FIER	: 割り込みイネーブルレジスタ	FSCR	: スクラッチパッドレジスタ
FIIR	: 割り込み識別レジスタ	SCIFCR	: SCIF コントロールレジスタ

図 27.1　SCIF のブロック図

27.2　入出力端子

SCIF の入出力端子を表27.1 に示します。

表27.1　端子構成

チャネル	端子名	機能	入出力	説明
0	TXD0	送信データ	出力	送信データ出力端子
	RXD0	受信データ	入力	受信データ入力端子
	$\overline{\text{RI0}}$	リングインジケータ	入力	リングインジケータ入力端子
	$\overline{\text{DCD0}}$	データキャリア検出	入力	データキャリア検出入力端子
	$\overline{\text{DSR0}}$	データセットレディ	入力	データセットレディ入力端子
	$\overline{\text{DTR0}}$	データターミナルレディ	出力	データターミナルレディ出力端子
	$\overline{\text{CTS0}}$	送信許可	入力	モデム制御信号で送信許可入力端子
	$\overline{\text{RTS0}}$	送信要求	出力	モデム制御信号で送信要求出力端子
1	TXD1	送信データ	出力	チャネル1 の送信データ出力端子
	RXD1	受信データ	入力	チャネル1 の受信データ入力端子
	$\overline{\text{RI1}}$	リングインジケータ	入力	チャネル1 のリングインジケータ入力端子
	$\overline{\text{DCD1}}$	データキャリア検出	入力	チャネル1 のデータキャリア検出入力端子
	$\overline{\text{DSR1}}$	データセットレディ	入力	チャネル1 のデータセットレディ入力端子
	$\overline{\text{DTR1}}$	データターミナルレディ	出力	チャネル1 のデータターミナルレディ出力端子
	$\overline{\text{CTS1}}$	送信許可	入力	モデム制御信号で送信許可入力端子
	$\overline{\text{RTS1}}$	送信要求	出力	モデム制御信号で送信要求出力端子

27.3　レジスタの説明

SCIF のレジスタ構成と各処理モードにおけるレジスタの状態をを表27.2 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表27.2　レジスタ構成

チャネル	名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態				
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット	SCIFRST	REGRST
0	受信シフトレジスタ_0	FRSR_0	—	—	—	—	—	—	—	—
	レシーブバッファレジスタ_0	FRBR_0	R	H'FE41 0000	8	H'00	H'00	H'00	H'00	H'00
	送信シフトレジスタ_0	FTSR_0	—	—	—	—	—	—	—	—
	トランスミッタホールディングレジスタ_0	FTHR_0	W	H'FE41 0000	8	—	—	—	—	—
	ディバイザラッチH_0	FDLH_0	R/W	H'FE41 0001	8	H'00	H'00	H'00	保持	H'00
	ディバイザラッチL_0	FDLL_0	R/W	H'FE41 0000	8	H'00	H'00	H'00	保持	H'00
	割り込みイネーブルレジスタ_0	FIER_0	R/W	H'FE41 0001	8	H'00	H'00	H'00	保持	H'00
	割り込み識別レジスタ_0	FIIR_0	R	H'FE41 0002	8	H'01	H'01	H'01	保持	H'01
	FIFO 制御レジスタ_0	FFCR_0	W	H'FE41 0002	8	H'00	H'00	H'00	保持	H'00
	ライン制御レジスタ_0	FLCR_0	R/W	H'FE41 0003	8	H'00	H'00	H'00	保持	H'00
	モデム制御レジスタ_0	FMCR_0	R/W	H'FE41 0004	8	H'00	H'00	H'00	保持	H'00
	ラインステータスレジスタ_0	FLSR_0	R	H'FE41 0005	8	H'60	H'60	H'60	保持	H'60
	モデムステータスレジスタ_0	FMSR_0	R	H'FE41 0006	8	H'00	H'00	H'00	保持	H'00
	スクラッチパッドレジスタ_0	FSCR_0	R/W	H'FE41 0007	8	H'00	H'00	H'00	保持	H'00
	SCIF コントロールレジスタ_0	SCIFCR_0	R/W	H'FE41 0008	8	H'00	H'00	H'00	保持	保持

チャネル	名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態				
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット	SCIFRST	REGRST
1	受信シフトレジスタ_1	FRSR_1	—	—	—	—	—	—	—	—
	レシーブバッファレジスタ_1	FRBR_1	R	H'FE42 0000	8	H'00	H'00	H'00	H'00	H'00
	送信シフトレジスタ_1	FTSR_1	—	—	—	—	—	—	—	—
	トランスミッタホールディングレジスタ_1	FTHR_1	W	H'FE42 0000	8	—	—	—	—	—
	ディバイザラッチH_1	FDLH_1	R/W	H'FE42 0001	8	H'00	H'00	H'00	保持	H'00
	ディバイザラッチL_1	FDLL_1	R/W	H'FE42 0000	8	H'00	H'00	H'00	保持	H'00
	割り込みイネーブルレジスタ_1	FIER_1	R/W	H'FE42 0001	8	H'00	H'00	H'00	保持	H'00
	割り込み識別レジスタ_1	FIIR_1	R	H'FE42 0002	8	H'01	H'01	H'01	保持	H'01
	FIFO 制御レジスタ_1	FFCR_1	W	H'FE42 0002	8	H'00	H'00	H'00	保持	H'00
	ライン制御レジスタ_1	FLCR_1	R/W	H'FE42 0003	8	H'00	H'00	H'00	保持	H'00
	モデム制御レジスタ_1	FMCR_1	R/W	H'FE42 0004	8	H'00	H'00	H'00	保持	H'00
	ラインステータスレジスタ_1	FLSR_1	R	H'FE42 0005	8	H'60	H'60	H'60	保持	H'60
	モデムステータスレジスタ_1	FMSR_1	R	H'FE42 0006	8	H'00	H'00	H'00	保持	H'00
	スクラッチパッドレジスタ_1	FSCR_1	R/W	H'FE42 0007	8	H'00	H'00	H'00	保持	H'00
	SCIFコントロールレジスタ_1	SCIFCR_1	R/W	H'FE42 0008	8	H'00	H'00	H'00	保持	保持
0/1	SCIFボーレートレジスタ1	FDLMON	R	H'FFC1_0130	32	H'0000 0000	H'0000 0000	H'0000 0000	保持	H'0000 0000
	SCIFボーレートレジスタ2	FLCRMON	R	H'FFC1_013C	32	H'0000 0000	H'0000 0000	H'0000 0000	保持	H'0000 0000

27.3.1　受信シフトレジスタ (FRSR)

FRSR は RXD 端子から入力されたシリアルデータをパラレルデータに変換するための受信用レジスタです。シリアルデータはLSB（ビット0）から受信したデータを格納します。1 フレーム分のシリアルデータを受信すると、データはFRBR に転送されます。

FRSR はSH-4Aからはリードできません。

27.3.2　レシーブバッファレジスタ (FRBR)

FRBR は受信したシリアルデータを格納するための8 ビットのリード専用レジスタで、FLCR のDLAB ビットが0 のときアクセス可能です。FLSR のDR ビットがセットされているとき、正しいデータをリードすることができます。

FIFO イネーブルでレジスタをリードしたとき、受信 FIFO の先頭をリードします。受信 FIFO が満杯になると、それ以降の受信データは失われ、オーバランエラーになります。

FIFO ディスエーブルでは、次のデータを受信する前に必ず FRBR のデータをリードしてください。リードする前にデータを受信すると上書きされ、オーバランエラーになります。

ビット：	7	6	5	4	3	2	1	0
	FRBR[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

27.3.3　送信シフトレジスタ (FTSR)

FTSR はTXD 端子からパラレルデータをシリアルデータに変換して送信するレジスタです。1 フレーム分のシリアルデータを送信すると、データはFTHR から転送されます。シリアルデータはLSB（ビット0）から送信されます。

FTSRはSH-4Aからはライトできません。

27.3.4　トランスミッタホールディングレジスタ (FTHR)

FTHR は送信するシリアルデータを格納するための8 ビットのライト専用レジスタで、FLCR のDLAB ビットが 0 のときアクセス可能です。FLSR の THRE ビットがセットされているとき、送信データをライトすることができます。

FIFO イネーブルで THRE ビットがセットされているとき、FIFO が満杯になるまでデータをライトすることができます。FIFO が満杯の状態でデータをライトすると、ライトしたデータは無効になります。

FIFO ディスエーブルでTHRE ビットがセットされているとき、FTHR にデータをライトすると、THRE ビットはクリアされます。THRE ビットがセットされていないときにFTHR にデータをライトすると、データは上書きされます。

ビット：	7	6	5	4	3	2	1	0
	FTHR[7:0]							
初期値：	—	—	—	—	—	—	—	—
R/W：	W	W	W	W	W	W	W	W

27.3.5　ディバイザラッチH、L (FDLH、FDLL)

FDLH、FDLL はボーレートを設定するための8 ビットのリード／ライト可能なレジスタで、FLCR の DLAB ビットが 1 のときアクセス可能です。分周値は 1 ～（2^{16} － 1）の範囲で設定可能です。FDLH、FDLL が 0（初期値）のとき分周回路は停止します。ビットレートエラーを考慮してビット値を設定してください(表27.4参照)。

ボーレートは以下の計算で求まります。

ボーレート＝（ボーレートジェネレータに入力するクロックの周波数）／（16×ディバイザ値）

•FDLH

ビット：	7	6	5	4	3	2	1	0
	FDL[15:8]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

•FDLL

ビット：	7	6	5	4	3	2	1	0
	FDL[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

27.3.6　割り込みイネーブルレジスタ (FIER)

FIER は割り込みの許可／禁止を設定するための 8 ビットのリード／ライト可能なレジスタで、FLCR のDLABビットが0 のときアクセス可能です。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	EDSSI	ELSI	ETBEI	ERBFI
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～4	—	0	—	リザーブビット
3	EDSSI	0	R/W	モデムステータス割り込みイネーブル 0：モデムステータス割り込み禁止 1：モデムステータス割り込み許可
2	ELSI	0	R/W	受信ラインステータス割り込みイネーブル 0：受信ラインステータス割り込み禁止 1：受信ラインステータス割り込み許可
1	ETBEI	0	R/W	FTHR エンプティ割り込みイネーブル 0：FTHR エンプティ割り込み禁止 1：FTHR エンプティ割り込み許可

ビット	ビット名	初期値	R/W	説 明
0	ERBFI	0	R/W	受信データレディ割り込みイネーブル FIFO イネーブル時は、キャラクタタイムアウト割り込みイネーブルと兼用です。 0：受信データレディ割り込み禁止 キャラクタタイムアウト割り込み禁止 1：受信データレディ割り込み許可 キャラクタタイムアウト割り込み許可

27.3.7　割り込み識別レジスタ (FIIR)

FIIR は割り込み要因を識別するための8 ビットのリード専用レジスタです。

ビット：	7	6	5	4	3	2	1	0
	FIFOE[1:0]		—	—	INTID[2:0]			INT PEND
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	—	—	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7、6	FIFOE[1:0]	00	R	FIFO イネーブル1、0 送信／受信FIFO の設定状態を示します。 00：送信／受信FIFO ディスエーブル 11：送信／受信FIFO イネーブル 01: 設定禁止 10: 設定禁止
5、4	—	0	—	リザーブビット
3～1	INTID[2:0]	000	R	インタラプトID2～ID0 実行待ちの割り込みの中でもっとも優先順位の高い割り込みを示します。詳細は表27.3 を参照してください。 000：モデムステータス 001：FTHR エンプティ 010：受信データレディ 011：受信ラインステータス 110：キャラクタタイムアウト（FIFO イネーブル時）
0	INTPEND	1	R	インタラプトペンディング 実行待ちの割り込みの有無を示すビットです。詳細は表27.4 を参照してください。 0：実行待ちの割り込みあり 1：実行待ちの割り込みなし

表27.3　割り込み制御機能

FIIR				割り込みセット／クリア			
INTID			INTPEND	優先順位	割り込みの種類	割り込み要因	割り込みクリア
2	1	0					
0	0	0	1	—	割り込みなし	なし	—
0	1	1	0	1（高）	受信ラインステータス	オーバランエラー、パリティエラー、フレーミングエラー、ブレーク割り込み	FLSR リード
0	1	0	0	2	受信データレディ	RCVRTRIG[1:0] ビット（FFCR レジスタのビット7,6）で設定したトリガレベル以上のキャラクタ数のデータが受信FIFOに格納されている	FRBR リード又は受信FIFO がトリガレベル以下
1	1	0	0	2	キャラクタタイムアウト（FIFO イネーブル時）	RCVRTRIG[1:0] ビット（FFCR レジスタのビット7,6）で設定したトリガレベル未満のキャラクタ数のデータが受信FIFOに格納されている状態で、4 キャラクタタイムの間受信FIFO にデータの入出力がない(注)	FRBR リード
0	0	1	0	3	FTHR エンプティ	FTHR エンプティ	FIIR リード又はFTHR ライト
0	0	0	0	4（低）	モデムステータス	CTS、DSR、RI、DCD	FMSR リード

注．トリガレベルを1キャラクタ（RCVRTRIG[1:0]＝00）に設定した場合は、キャラクタタイムアウト割り込みは発生しません。

27.3.8　FIFO 制御レジスタ(FFCR)

FFCR は送信／受信FIFO を制御するための8 ビットのライト専用レジスタです。

ビット：	7	6	5	4	3	2	1	0
	RCVRTRIG[1:0]		—	—	—	XMITF RST	RCVRF RST	FIFOE
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	—	—	—	W	W	W

ビット	ビット名	初期値	R/W	説 明
7、6	RCVRTRIG[1:0]	00	W	受信FIFO 割り込みトリガレベル1、0 受信データレディ割り込みを発生するトリガレベルを設定します。 00：1 キャラクタ受信で割り込み発生（注） 01：4 キャラクタ受信で割り込み発生 10：8 キャラクタ受信で割り込み発生 11：14 キャラクタ受信で割り込み発生
5～3	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
2	XMITFRST	0	W	送信FIFO リセット 1 をライトすると送信FIFO の全データがクリアされます。ただし、FTSR のデータはクリアされません。 このビットは自動的にクリアされます。
1	RCVRFRST	0	W	受信FIFO リセット 1 をライトすると受信FIFO の全データがクリアされます。ただし、FRSR のデータはクリアされません。 このビットは自動的にクリアされます。
0	FIFOE	0	W	FIFO イネーブル 0：送信／受信FIFO ディスエーブル 送受信FIFO の全データはクリアされます。 1：送信／受信FIFO イネーブル

注．00（1キャラクタ受信で割り込み発生）設定時は、キャラクタタイムアウト割り込みは発生しません。

27.3.9　ライン制御レジスタ (FLCR)

FLCR は送受信データのフォーマットを設定する8 ビットのリード／ライト可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	DLAB	BREAK	STICK PARITY	EPS	PEN	STOP	CLS[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	DLAB	0	R/W	ディバイザラッチアドレスビット FDLL、FDLH はFRBR/FTHR、FIER と同一アドレスに配置されています。このビットはどちらのレジスタをアクセスするかを選択します。 0：FRBR/FTHR、FIER のリード／ライト許可 1：FDLL、FDLH のリード／ライト許可
6	BREAK	0	R/W	ブレークコントロール シリアル出力信号TXD をL レベルにしてブレークを発生させます。 ブレーク状態はビットをクリアすることにより解除されます。 0：ブレーク解除 1：ブレーク発生
5、4	STICKPARITY、EPS	00	R/W	パリティビットの種類を選択します。 00：奇数パリティ 01：偶数パリティ 10：スタック1 11：スタック0
3	PEN	0	R/W	パリティイネーブル 0：パリティビットの付加（送信時）／チェック（受信時）なし 1：パリティビットの付加（送信時）／チェック（受信時）あり

ビット	ビット名	初期値	R/W	説 明
2	STOP	0	R/W	ストップビット 送信時のストップビットの長さを選択します。受信時は設定にかかわらず、最初に受信したストップビットのみをチェックします。 0：1 ストップビット 1：1.5 ストップビット（データ長が5 ビットのとき） 2 ストップビット（データ長が6～8 ビットのとき）
1、0	CLS[1:0]	00	R/W	キャラクタレングスセレクト1、0 送受信キャラクタのデータ長を設定します。データ長は5～8 ビットを設定可能です。 00：5 ビット 01：6 ビット 10：7 ビット 11：8 ビット

27.3.10 モデム制御レジスタ (FMCR)

FMCR は出力信号を制御する8 ビットのリード／ライト可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	LOOP BACK	OUT2	OUT1	RTS	DTR
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 5	—	0	—	リザーブビット
4	LOOPBACK	0	R/W	ループバックテスト ループバックテスト機能が許可されると、送信データ出力と受信データ入力が内部で接続されます。また、モデム制御出力 (DTR、RTS、OUT1、OUT2) とモデム制御入力 (DSR、CTS、RI、DCD) も内部で接続されます。受信入力端子 (RXD、DSR、CTS、RI、DCD) は外部との接続が切り離され、送信出力端子 (TXD、DTR、RTS) は‘High’に固定されます。したがって、ループデバックテスト時には、送信データは直ちに受信されます。また、割り込みの許可／禁止はSCIFCR のOUT2LOOP ビットとFIER で設定します。 0：ループバックテスト機能を禁止 1：ループバックテスト機能を許可
3	OUT2	0	R/W	$\overline{\text{OUT2}}$ 信号制御 • 通常動作時 0：割り込み禁止 1：割り込み許可 • ループバックテスト時 0: $\overline{\text{DCD}}$ 内にH レベルを入力。 外部 DCD 端子に影響はありません。 1: $\overline{\text{DCD}}$ 内にL レベルを入力。 外部 DCD端子に影響はありません。
2	OUT1	0	R/W	$\overline{\text{OUT1}}$ 信号制御 • 通常動作時 動作に影響を与えません。 • ループバックテスト時 0: $\overline{\text{RI}}$ 内にH レベルを入力。 外部 RI端子に影響はありません。 1: $\overline{\text{RI}}$ 内にL レベルを入力。 外部 RI端子に影響はありません。
1	RTS	0	R/W	リクエストトゥーセンド $\overline{\text{RTS}}$ の出力レベルを制御します。 0: $\overline{\text{RTS}}$ 出力はH レベル 1: $\overline{\text{RTS}}$ 出力はL レベル
0	DTR	0	R/W	データターミナルレディ $\overline{\text{DTR}}$ の出力レベルを制御します。 0: $\overline{\text{DTR}}$ 出力はH レベル 1: $\overline{\text{DTR}}$ 出力はL レベル

27.3.11 ラインステータスレジスタ (FLSR)

FLSR はデータ転送のステータスを示す8 ビットのリード専用レジスタです。

ビット：	7	6	5	4	3	2	1	0
	RXFIFOERR	TEMT	THRE	BI	FE	PE	OE	DR
初期値：	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	RXFIFOERR	0	R	受信FIFO エラー FIFO イネーブル時に、パリティエラー、フレーミングエラー、ブレーク割り込みのデータエラーのいずれかが発生したことを示します。 • FIFO イネーブル時 0：受信FIFO エラーなし ［クリア条件］ FRBR をリードするか、又はFIFO クリアによってエラー要因となるデータがFIFOになくなった状態でFLSRをリードしたとき 1：受信FIFO エラーあり ［セット条件］ FIFO イネーブル時、パリティエラー、フレーミングエラー、ブレーク割り込みのいずれかが発生したとき • FIFO ディスエーブル時 常に0 が読み出されます。
6	TEMT	1	R	トランスミッタエンプティ 送信データがあるかどうかを示します。 • FIFO イネーブル時 0：送信FIFO 又はFTSR に送信データあり ［クリア条件］ FTHR に送信データをライトしたとき 1：送信FIFO とFTSR に送信データなし ［セット条件］ 送信FIFO とFTSR の送信データがなくなったとき • FIFO ディスエーブル時 0：FTHR 又はFTSR に送信データあり ［クリア条件］ FTHR に送信データをライトしたとき 1：FTHR とFTSR に送信データなし ［セット条件］ FTHR とFTSR の送信データがなくなったとき

ビット	ビット名	初期値	R/W	説 明
5	THRE	1	R	FTHR エンプティ 送信のための新しいデータの受け入れ準備ができていることを示します。 • FIFO ディスエーブル時 0：FTHR に送信データあり ［クリア条件］ FTHR に送信データをライトしたとき 1：FTHR に送信データなし ［セット条件］ FTHR のデータをFTSR に転送完了したとき • FIFO イネーブル時 0：送信FIFO に1 キャラクタ以上の送信データあり ［クリア条件］ FTHR に送信データをライトしたとき 1：送信FIFO に送信データなし ［セット条件］ 送信FIFO が空になったとき
4	BI	0	R	ブレーク割り込み 受信データのブレーク信号の検出を示します。FIFO イネーブル時には、FIFO 内の個々の受信データにより発生し、この受信データがFIFO の最上位にあるとき、セットされます。また、次のデータ受信は、受信データ入力がマーク状態に遷移し有効なスタートビットを受信した後に開始します。 0：ブレーク信号未検出 ［クリア条件］ FLSR をリードしたとき 1：ブレーク信号検出 ［セット条件］ フレーミングエラーを伴うデータを受信したとき、引き続き1フレーム長以上スペース0（L レベル）の場合
3	FE	0	R	フレーミングエラー 受信データのストップビットが無効であることを示します。FIFOイネーブル時には、FIFO 内の個々の受信データにより発生しこの受信データがFIFO の最上位にあるときにセットされます。フレーミングエラー後、UART は再同期化を実行します。この際、フレーミングエラーは次のスタートビットによるものと想定し、このスタートビットをサンプリングしてスタートビットとします。 0：フレーミングエラーなし ［クリア条件］ FLSR をリードしたとき 1：フレーミングエラーあり ［セット条件］ 受信データのストップビットが無効であったとき

ビット	ビット名	初期値	R/W	説 明
2	PE	0	R	パリティエラー FLCR のPEN ビットが1 のとき、受信したデータにパリティエラーがあることを示します。FIFO イネーブル時には、FIFO 内の個々の受信データにより発生し、この受信データがFIFO の最上位にあるときにセットされます。 0：パリティエラーなし ［クリア条件］ FLSR をリードしたとき ただし、オーバランエラー時にセットされた場合はFLSR を2回リード 1：パリティエラーあり ［セット条件］ 受信データがパリティエラーだったとき
1	OE	0	R	オーバランエラー オーバランエラーが発生したことを示します。 • FIFO イネーブル時 FIFO が満杯になり、次のデータの受信が完了したときにオーバランエラーが発生します。FIFO の全データは保持されますが、最後に受信したデータは失われます。 0：オーバランエラーなし ［クリア条件］ FLSR をリードしたとき 1：オーバランエラー ［セット条件］ オーバランエラー発生したとき • FIFO ディスエーブル時 FRBR の受信データがリードする前に次のデータを受信完了したときにオーバランエラーが発生し、前のデータは失われます。
0	DR	0	R	データレディ FRBR 又はFIFO に1キャラクタ以上の受信データが格納されたことを示します。 0：受信データなし ［クリア条件］ FRBR をリード、又はFIFO 内の全データをリードしたとき 1：受信データあり ［セット条件］ データを1キャラクタ以上受信したとき

27.3.12 モデムステータスレジスタ (FMSR)

FMSR はモデム制御端子の状態又は変化を示す8 ビットのリード専用レジスタです。

ビット：	7	6	5	4	3	2	1	0
	DCD	RI	DSR	CTS	DDCD	TERI	DDSR	DCTS
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	DCD	0	R	データキャリア検出 $\overline{\text{DCD}}$ 入力端子の反転した状態を示します。
6	RI	0	R	リングインジケータ $\overline{\text{RI}}$入力端子の反転した状態を示します。
5	DSR	0	R	データセットレディ $\overline{\text{DSR}}$ 入力端子の反転した状態を示します。
4	CTS	0	R	クリアトゥセンド $\overline{\text{CTS}}$ 入力端子の反転した状態を示します。
3	DDCD	0	R	デルタデータキャリア検出 DDCD ビットをリード後に $\overline{\text{DCD}}$ 入力信号が変化したことを示します。 0：FMSR リード後、$\overline{\text{DCD}}$ 入力信号変化なし ［クリア条件］ FMSR をリードしたとき 1：FMSR リード後、$\overline{\text{DCD}}$ 入力信号が変化 ［セット条件］ $\overline{\text{DCD}}$ 入力信号が変化したとき
2	TERI	0	R	トレイリングエッジリングインジケータ TERI ビットをリード後に $\overline{\text{RI}}$ 入力信号が立ち上がったことを示します。 0：FMSR リード後、$\overline{\text{RI}}$ 入力信号変化なし ［クリア条件］ FMSR をリードしたとき 1：FMSR リード後、$\overline{\text{RI}}$ 入力信号が立ち上がった ［セット条件］ $\overline{\text{RI}}$ 入力端子が立ち上がったとき
1	DDSR	0	R	デルタデータセットレディ DDSR ビットをリード後に $\overline{\text{DSR}}$ 入力信号が変化したことを示します。 0：FMSR リード後、$\overline{\text{DSR}}$ 入力信号変化なし ［クリア条件］ FMSR をリードしたとき 1：FMSR リード後、$\overline{\text{DSR}}$ 入力信号が変化 ［セット条件］ $\overline{\text{DSR}}$ 入力信号が変化したとき

ビット	ビット名	初期値	R/W	説 明
0	DCTS	0	R	デルタクリアトゥーセンド DCTS ビットをリード後に CTS入力信号が変化していることを示します。 0：FMSR リード後、CTS入力信号変化なし ［クリア条件］ FMSR をリードしたとき 1：FMSR リード後、CTS 入力信号が変化 ［セット条件］ CTS 入力信号が変化したとき

27.3.13 スクラッチパッドレジスタ (FSCR)

FSCR は8 ビットのリード／ライト可能なレジスタです。このレジスタはSCIF の制御には使用しません。プログラムの一時的なデータ保持に使用することができます。

ビット：	7	6	5	4	3	2	1	0
	FSCR[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

27.3.14 SCIF コントロールレジスタ (SCIFCR)

SCIFCR はSCIF の動作を制御する 8 ビットのリード／ライト可能なレジスタです。本レジスタを読み出した後には同じチャネルのSCIF レジスタ (SCIFCR以外) をダミーリードしてください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	OUT2 LOOP	CKSEL[1:0]		SCIF RST	REG RST
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～5	—	0	—	リザーブビット
4	OUT2LOOP	0	R/W	OUT2 ループバック ループバックテスト時、割り込みの許可／禁止を設定します。 0：ループバックテスト時の割り込みを許可 1：ループバックテスト時の割り込みを禁止
3、2	CKSEL[1:0]	00	R/W	クロック選択1、0 ボーレートジェネレータに入力するクロックを選択します。 00: クロック (Pck) の26 分周クロック 01: クロック (Pck) の13 分周クロック 10: クロック (Pck) の2 分周クロック 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
1	SCIFRST(注)	0	R/W	SCIF リセット ボーレートジェネレータ、FRSR、FTSR をリセットします。 0：通常動作 1：リセット
0	REGRST（注）	0	R/W	レジスタリセット SCIFCR 以外で SH-4A からアクセス可能なレジスタをリセットします。 0：通常動作 1：レジスタリセット

注.　正しく動作させるために、２つのリセットビット（SCIFRST 、REGRST）は同時にリセットしてください。1つのビットのみをリセットすると予期しない動作が起こる事があります。これらの ビットをデアサートするときは、SCIFRSTビットを先にデアサートしてください。

27.3.15　SCIFボーレートレジスタ1 (FDLMON)

FDLMONは読み出し専用のレジスタです。SCIF0及びSCIF1の分周値を格納します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FDLMON1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FDLMON0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～16	FDLMON1	H'0000	R	SCIF1の分周値を格納します。
15～0	FDLMON0	H'0000	R	SCIF0の分周値を格納します。

27.3.16　SCIFボーレートレジスタ2 (FLCRMON)

FDLMONは読み出し専用のレジスタです。SCIF0及びSCIF1のライン制御値を格納します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FLCRMON1								FLCRMON0							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～16	—	H’0000	—	リザーブビット
15～8	FLCRMON1	H’00	R	SCIF1のライン制御値を格納します。
7～0	FLCRMON0	H’00	R	SCIF0のライン制御値を格納します。

27.4　動作説明

27.4.1　ボーレート

SCIF はボーレートジェネレータを内蔵しており、FDLH、FDLL と SCIFCR の CKSEL ビットにより、任意のボーレートを設定できます。表 27.4にクロック (Pck) が48MHz の場合のボーレートの設定例を示します。

表27.4　ボーレートの設定例（Pck＝48MHz の場合）

CKSEL1、CKSEL0	B'00（26分周）		B'01（13分周）		B'10（2分周）	
ボーレート	FDLH、FDLL	エラー (%)	FDLH、FDLL	エラー (%)	FDLH、FDLL	エラー (%)
1200	96	0.16 %	192	0.16 %	1250	0.00 %
2400	48	0.16 %	96	0.16 %	625	0.00 %
3600	32	0.16 %	64	0.16 %	416	0.16 %
4800	24	0.16 %	48	0.16 %	312	0.16 %
7200	16	0.16 %	32	0.16 %	208	0.16 %
9600	12	0.16 %	24	0.16 %	156	0.16 %
14400	8	0.16 %	16	0.16 %	104	0.16 %
19200	6	0.16 %	12	0.16 %	78	0.16 %
28800	4	0.16 %	8	0.16 %	52	0.16 %
38400	3	0.16 %	6	0.16 %	39	0.16 %
57600	2	0.16 %	4	0.16 %	26	0.16 %
115200	1	0.16 %	2	0.16 %	13	0.16 %
230400	—	—	1	0.16 %	—	—
750000	—	—	—	—	2	0.00 %
1500000	—	—	—	—	1	0.00 %

27.4.2　調歩同期式通信の動作

調歩同期式シリアル通信のフォーマットを図 27.2 に示します。1 フレームは、スタートビット（L レベル）から始まり送受信データ（LSB ファースト：最下位ビットから）、パリティビット、ストップビット（H レベル）の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態（H レベル）に保たれています。SCIF は通信回線を監視し、スペース状態（L レベル）を検出するとスタートビットとみなしてシリアル通信を開始します。SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が個々に16 段のFIFO バッファ構造になっていますので、送信及び受信中にデータのリード／ライトができ、連続送受信が可能です。

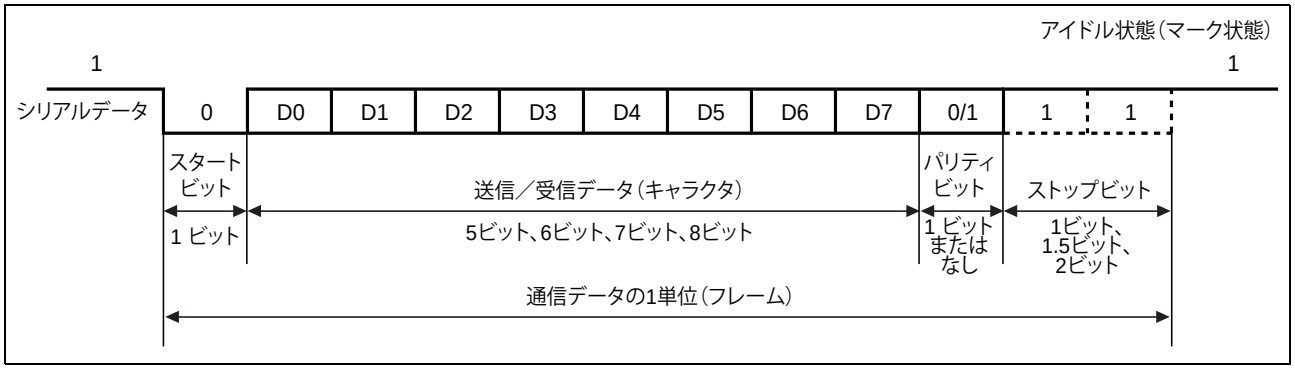


図 27.2　シリアル送信／受信データフォーマット例
（8 ビットデータ／パリティあり／2 ストップビット）

27.4.3　SCIF の初期化

データ送受信の前に図27.3 のフローチャート例に従って初期化を行ってください。

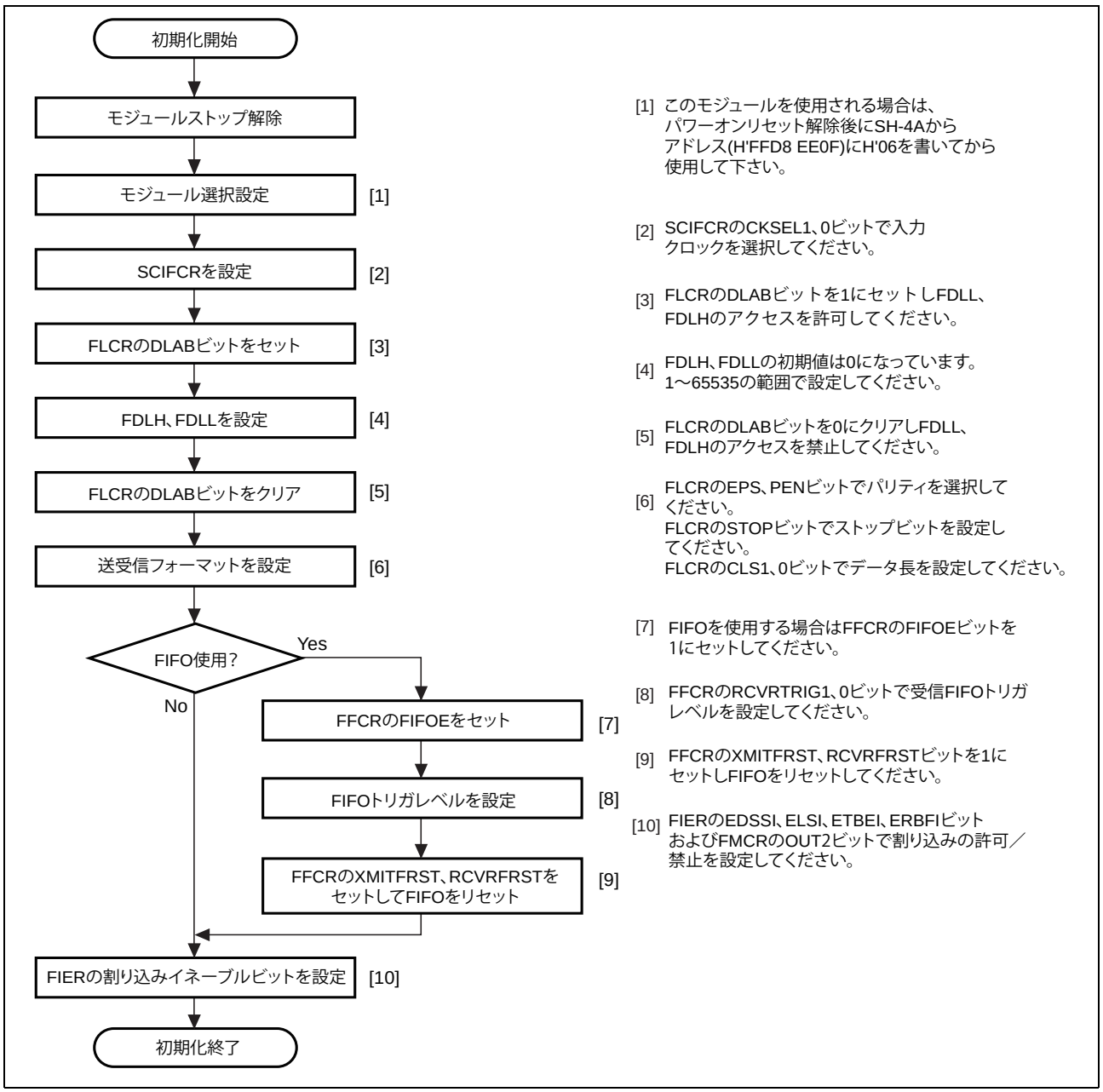


図 27.3　初期化フローチャートの例

27.4.4　シリアルデータ送信

図27.4 に送信フローチャートの例を示します。

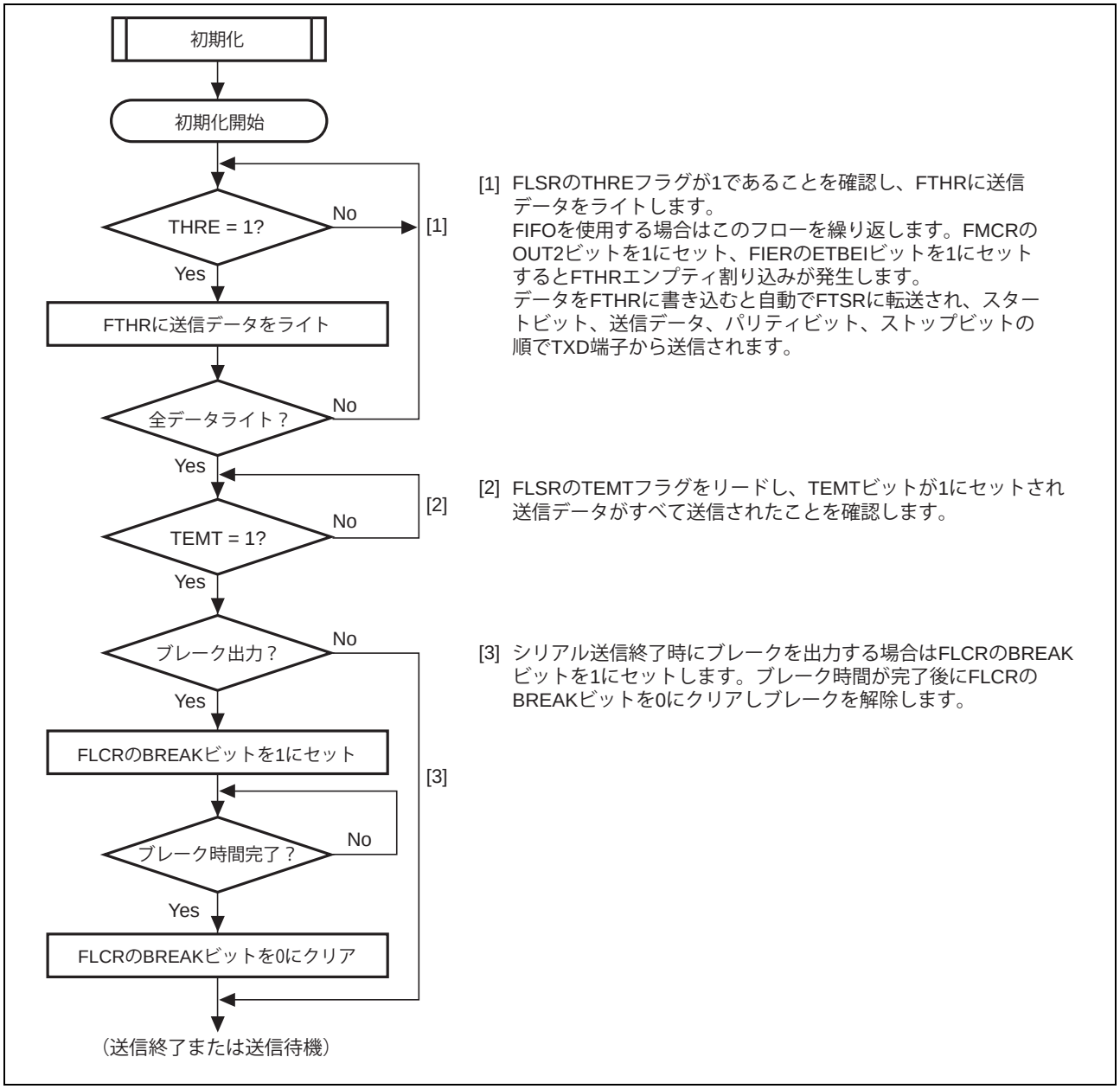


図 27.4　データ送信フローチャートの例

27.4.5　シリアルデータ受信

図27.5 に受信フローチャートの例を示します。

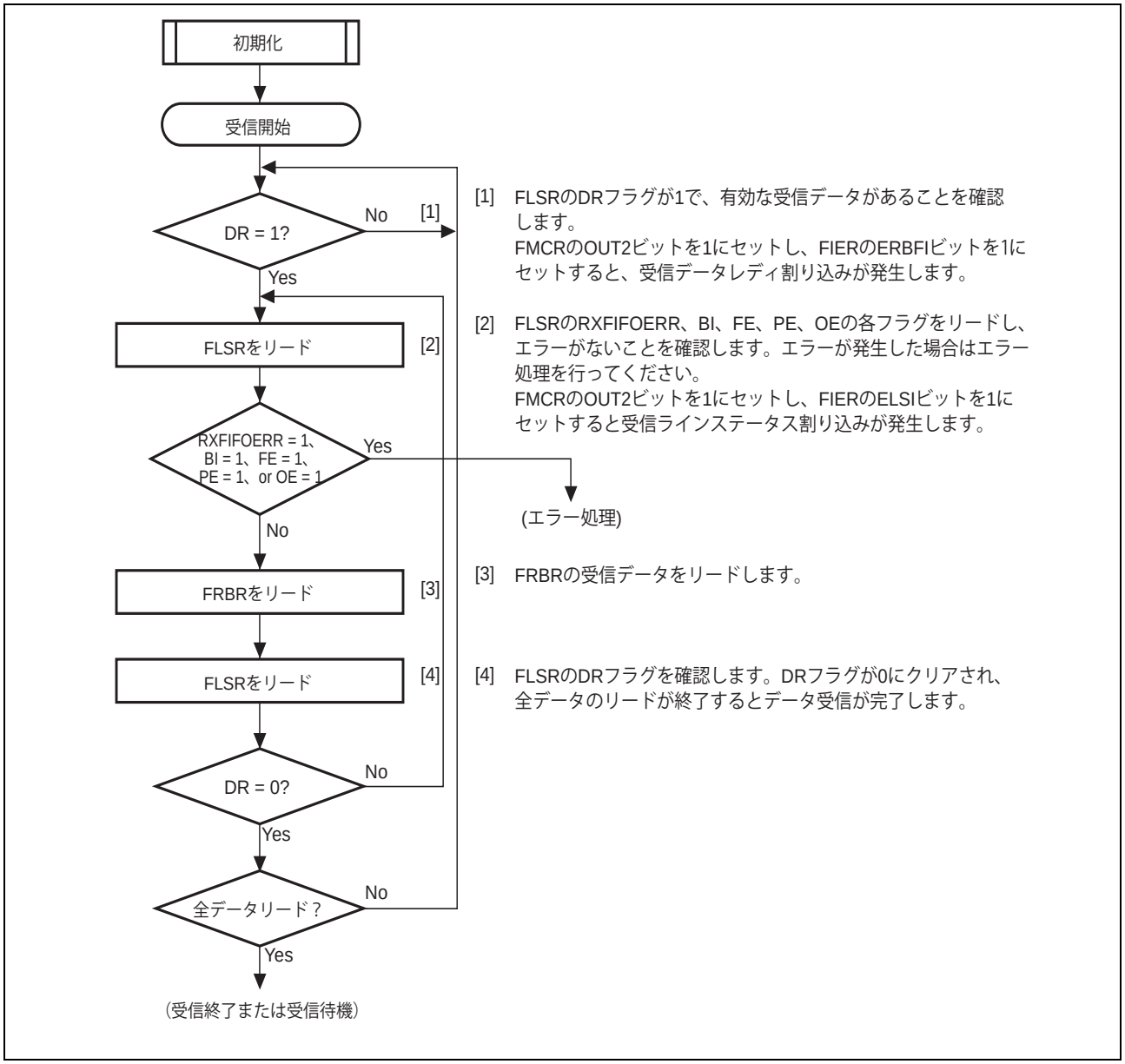


図 27.5　データ受信フローチャートの例

27.4.6　フロー制御を行った送受信

CTS/RTS を使用したフロー制御を行う場合の送受信の例を示します。

(1)　初期化

図27.6 に初期化フローチャートの例を示します。

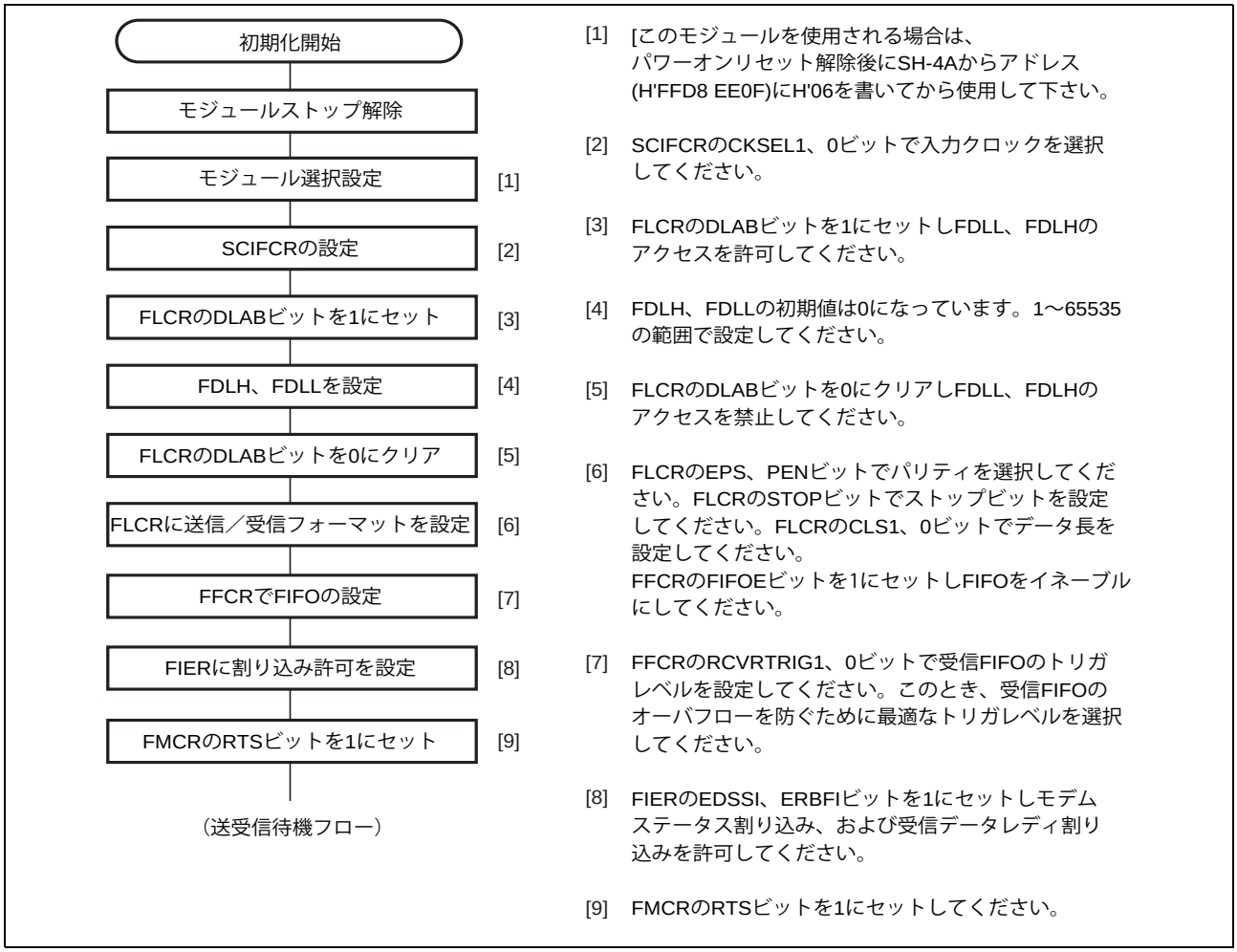


図 27.6　初期化フローチャートの例

(2)　送受信待機

図27.7 に送受信待機フローチャートの例を示します。

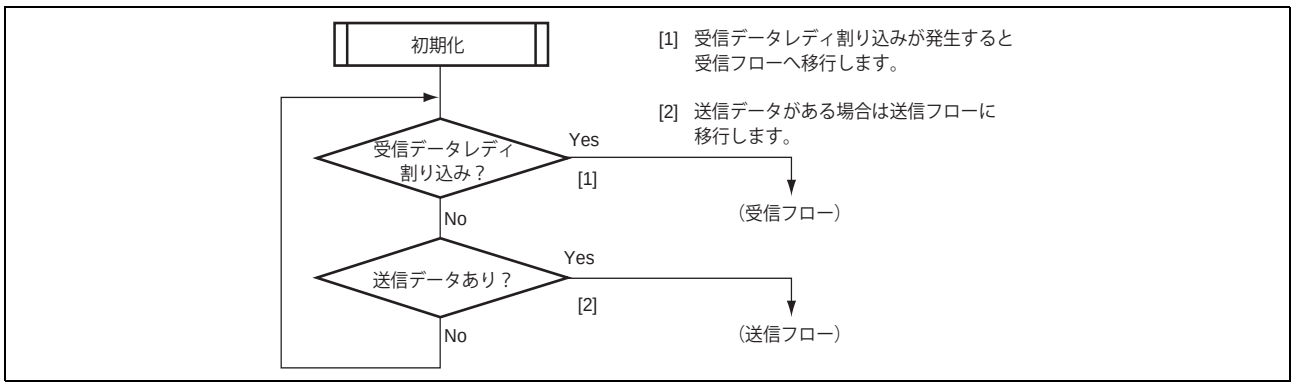


図 27.7　送受信待機フローチャートの例

(3)　送信

図27.8 に送信フローチャートの例を示します。

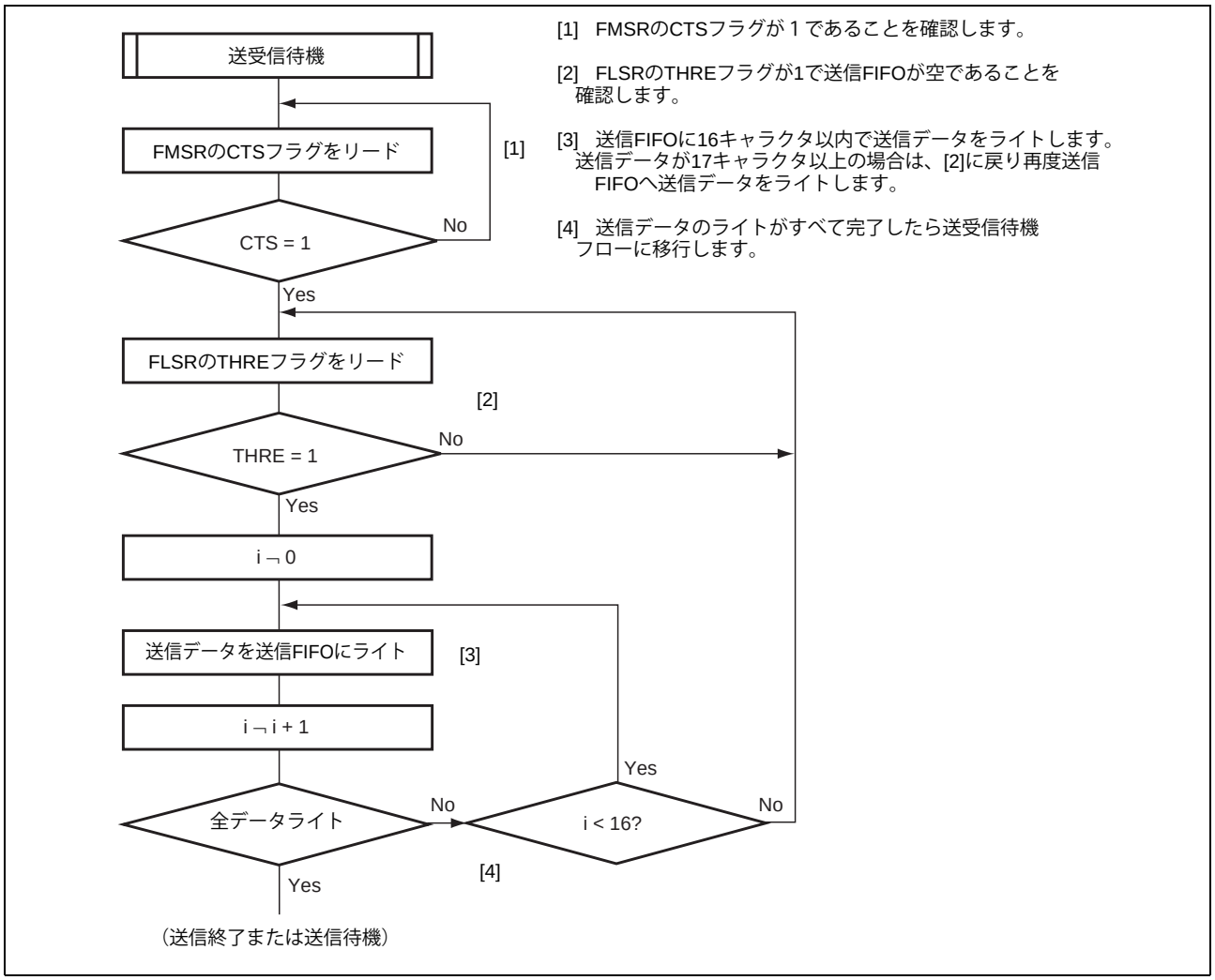


図 27.8　送信フローチャートの例

(4) 送信中断

図27.9 に送信中断フローチャートの例を示します。

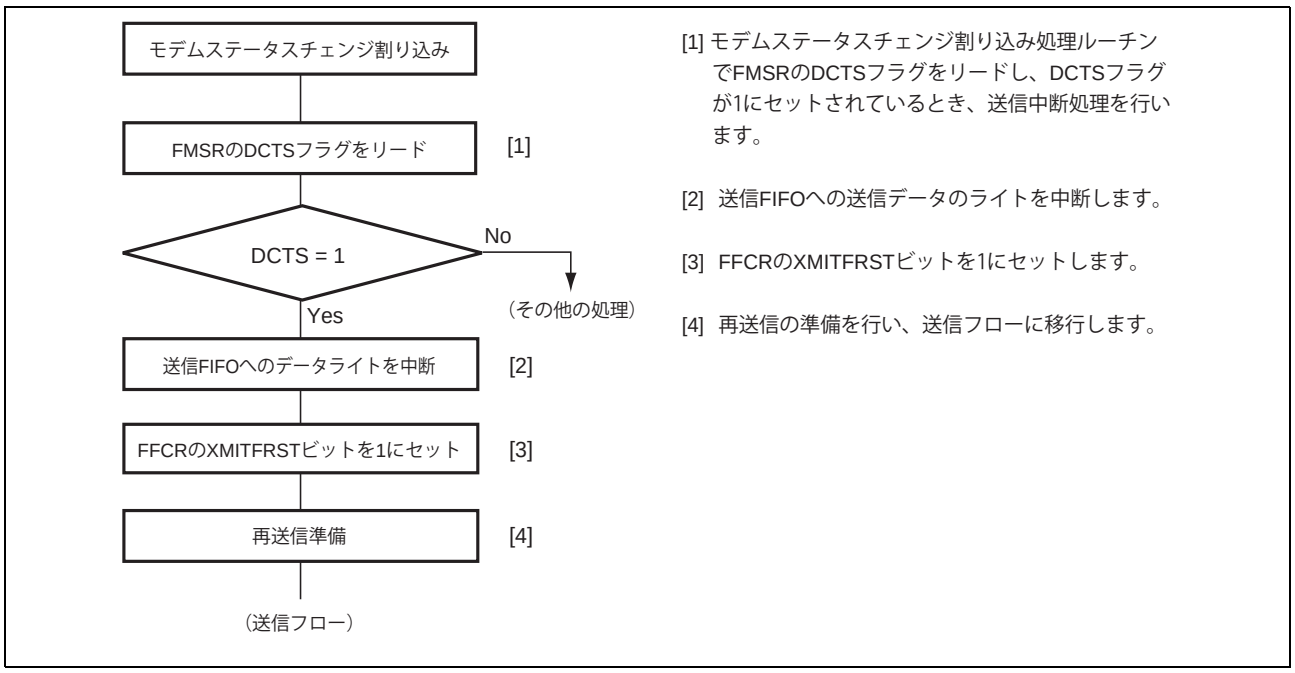


図 27.9　送信中断フローチャートの例

(5) 受信

図27.10 に受信フローチャートの例を示します。

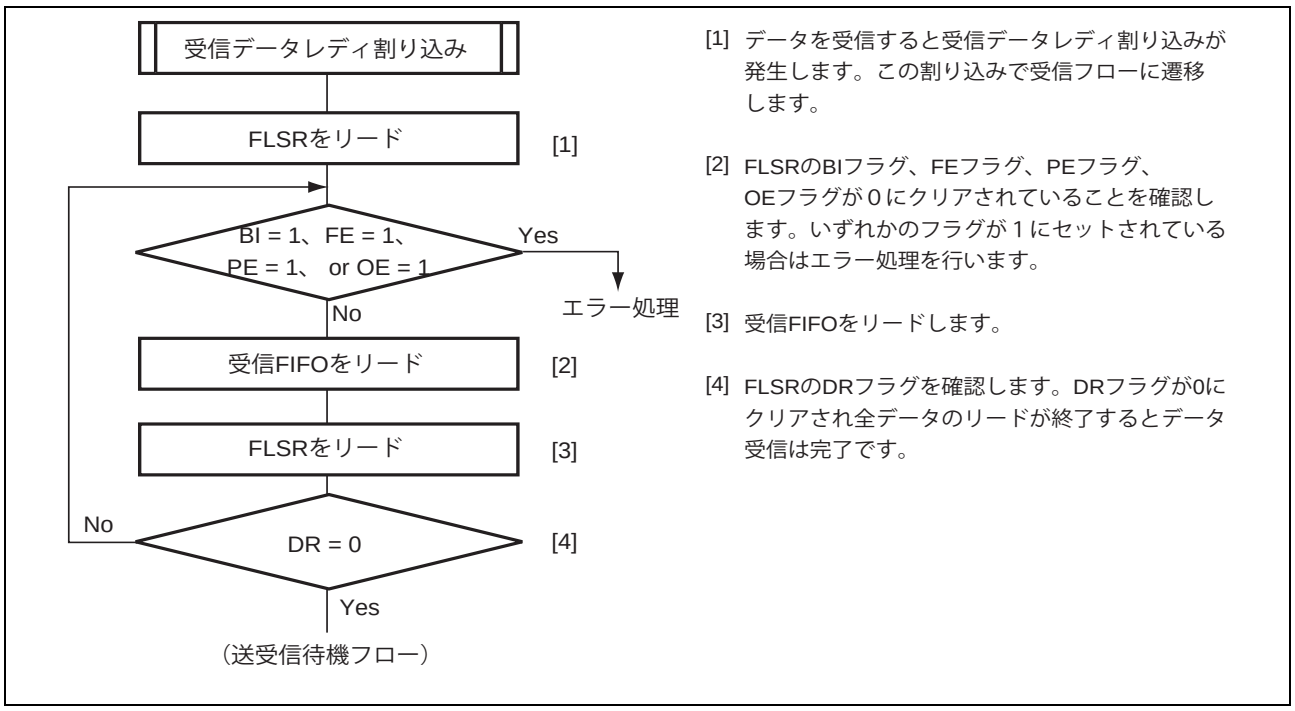


図 27.10　受信フローチャートの例

(6)　受信中断

図27.11 に受信中断フローチャートの例を示します。

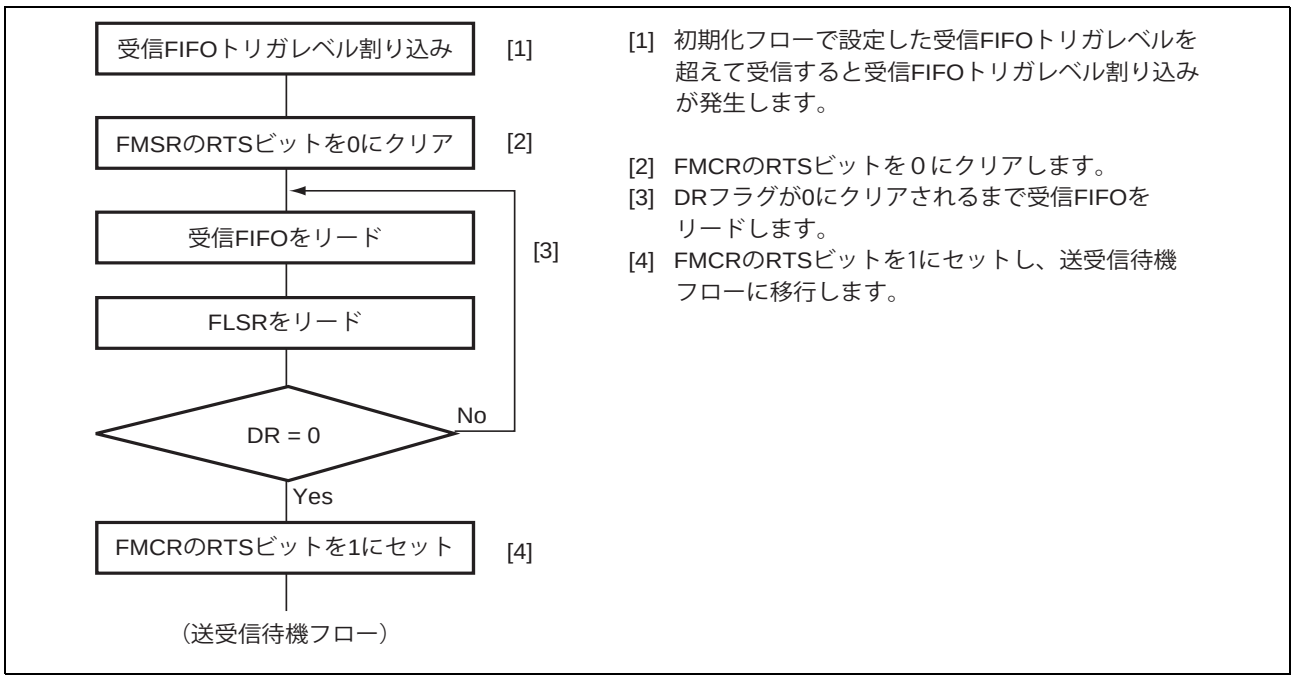


図 27.11　受信中断フローチャートの例

27.5　割り込み要因

表27.7 に割り込み要因を示します。各割り込み要因には共通の1 つの割り込みベクタが割り当てられています。

表27.5　割り込み要因

名 称	割り込み要因	優先順位
受信ラインステータス	オーバランエラー、パリティエラー、フレーミングエラー、 ブレーク割り込み	高 ↑ 低
受信データレディ	受信データあり、FIFO トリガレベル	
キャラクタタイムアウト （FIFO イネーブル時）	RCVRTRIG[1:0]ビット（FFCR レジスタのビット7,6）で設定したトリガレベル未満のキャラクタ数のデータが受信FIFOに格納されている状態で、4 キャラクタタイム間受信FIFO にデータの入出力がない（注）	
FTHR エンプティ	FTHR エンプティ	
モデムステータス	CTS、DSR、RI、DCD	

注．トリガレベルを1キャラクタ（RCVRTRIG[1:0]＝00）に設定した場合は、キャラクタタイムアウト割り込みは発生しません。

28. FIFO 内蔵シリアルコミュニケーションインタフェース2、3、4（SCIF2、SCIF3、SCIF4）

本LSI は、3 チャネルのFIFO バッファ内蔵のシリアルコミュニケーションインタフェース（SCIF）を内蔵しています。SCIF は、調歩同期式とクロック同期式の2 方式でシリアル通信ができます。

送受信にFIFO バッファをおのおの16 段内蔵しており、効率の良い高速連続通信を行うことができます。

28.1　特長

SCIF には次のような特長があります。

- 調歩同期式モード

  キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal AsynchronousReceiver/Transmitter（UART）やAsynchronous Communication Interface Adapter（ACIA）など標準の調歩同期式通信用LSIとのシリアルデータ通信ができます。

  シリアルデータ通信フォーマットを8種類のフォーマットから選択できます。

  -データ長：7ビット、又は8ビット

  -ストップビット長：1ビット、又は2ビット

  -パリティ：偶数パリティ、奇数パリティ、又はパリティなし

  -受信エラーの検出：パリティエラー、フレーミングエラー、オーバランエラーを検出

  -ブレークの検出：フレーミングエラーが発生し、引き続き1フレーム長以上スペース0（L レベル）の場合、ブレークを検出します。また、フレーミングエラー発生時にRXD 端子のレベルをシリアルポートレジスタ（SCSPTR）から直接読み出すことによってもブレークを検出できます。

- クロック同期式モード

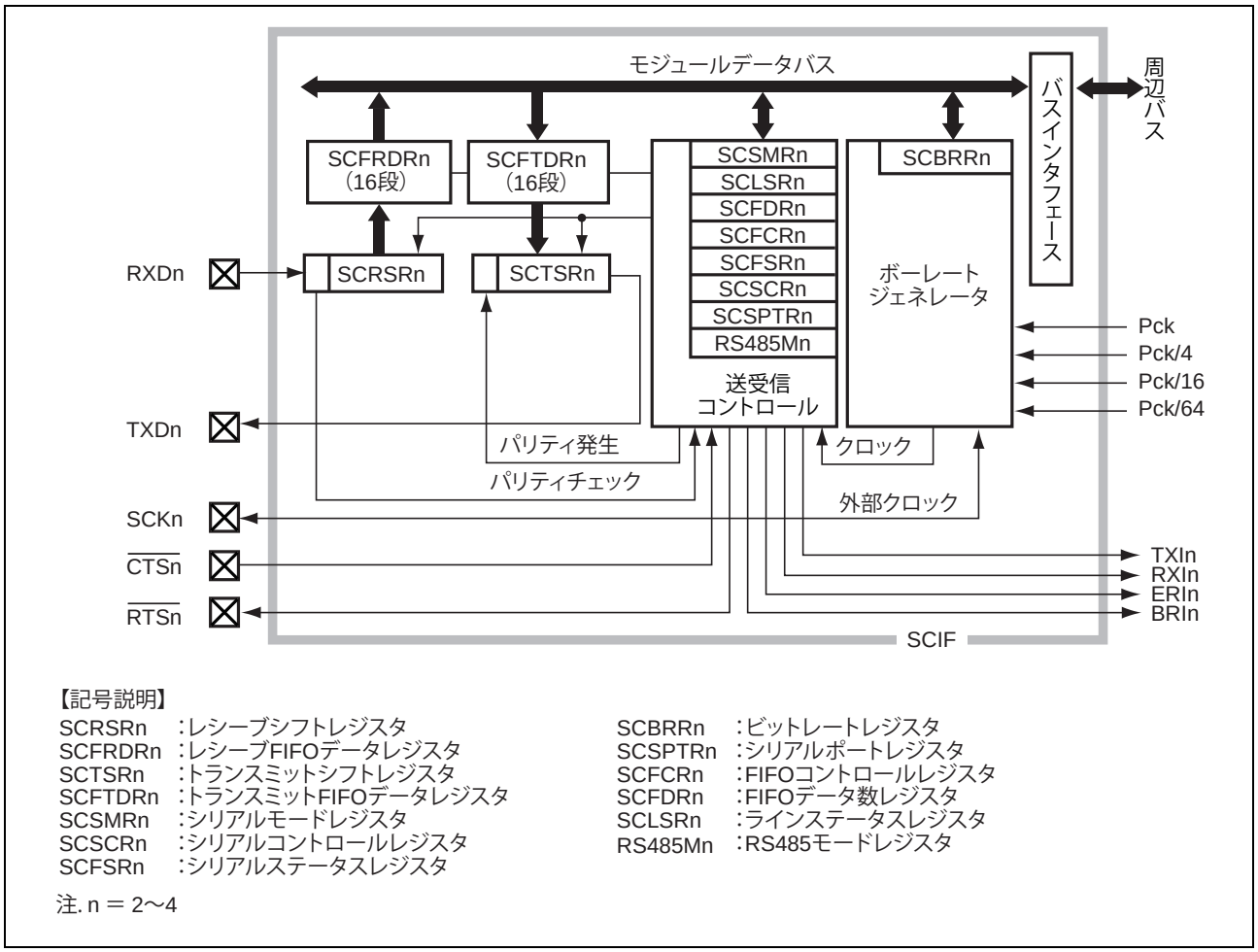
  クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信ができます。シリアルデータ通信フォーマットは1種類です。

  -データ長：8ビット

  -受信エラーの検出：オーバランエラーを検出

- 全二重通信が可能
  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部及び受信部ともに16段のFIFOバッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。
- データの送受信はLSBが先頭（LSB First）
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- クロックソース：ボーレートジェネレータからの内部クロック、又はSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因
  送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ（DMAC）を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能（$\overline{\text{RTS}}$、$\overline{\text{CTS}}$）を内蔵しています。
- 送受信 FIFO レジスタ内のデータ数及び受信 FIFO レジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー（DR）を検出できます。
- RS-485 半二重方向制御をサポート

図28.1 にSCIF2～4 のブロック図を、図28.2～図28.6 にI/O ポートのブロック図を示します。本LSI は3 チャネルあります。図28.1、図28.4～図28.6 ではチャネル番号をn（n＝2～4）と表記しています。



【記号説明】

SCRSRn　：レシーブシフトレジスタ
SCFRDRn　：レシーブFIFOデータレジスタ
SCTSRn　：トランスミットシフトレジスタ
SCFTDRn　：トランスミットFIFOデータレジスタ
SCSMRn　：シリアルモードレジスタ
SCSCRn　：シリアルコントロールレジスタ
SCFSRn　：シリアルステータスレジスタ
SCBRRn　：ビットレートレジスタ
SCSPTRn　：シリアルポートレジスタ
SCFCRn　：FIFOコントロールレジスタ
SCFDRn　：FIFOデータ数レジスタ
SCLSRn　：ラインステータスレジスタ
RS485Mn　：RS485モードレジスタ

注. n ＝ 2～4

図 28.1　SCIF2～4 のブロック図

SCIF のI/O ポートのブロック図を図28.2～図28.6 に示します。

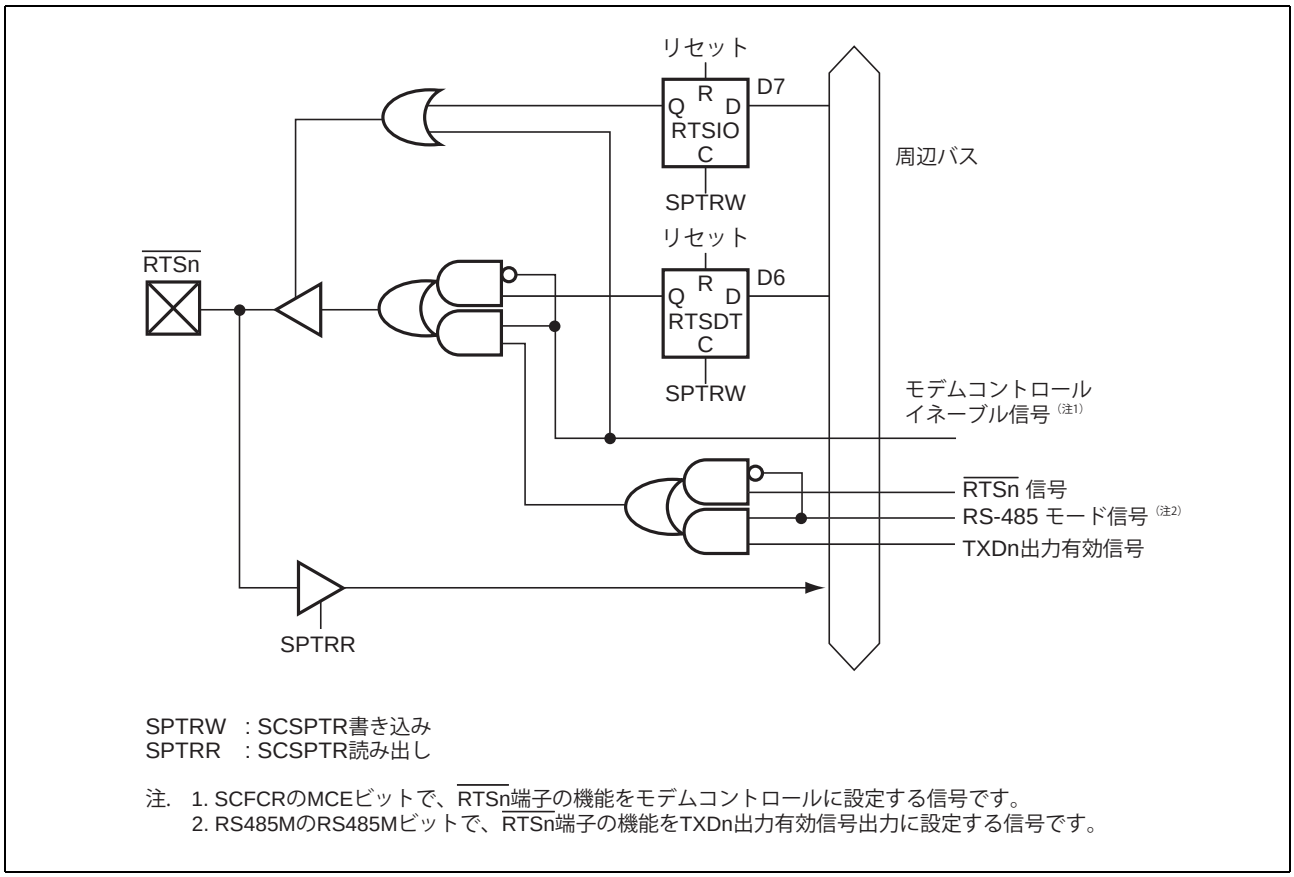


図 28.2　RTSn 端子（n＝2～4）

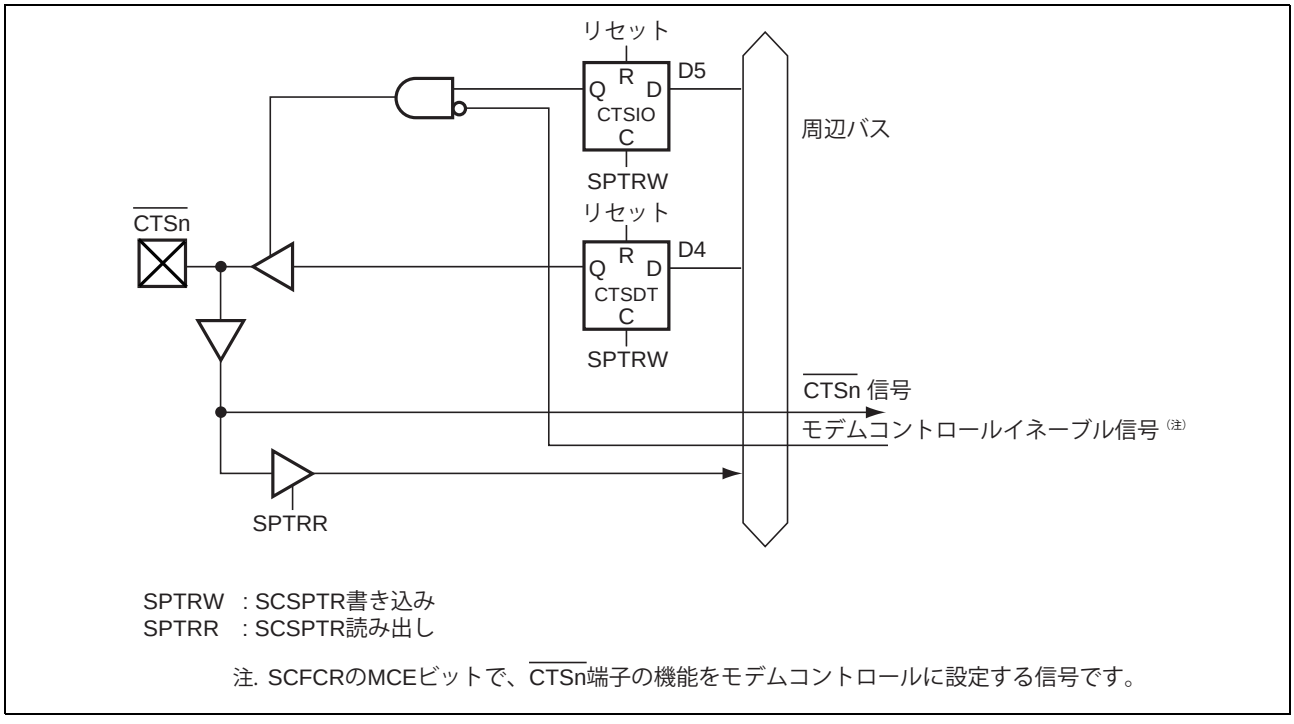


図 28.3　CTSn 端子（n＝2～4）

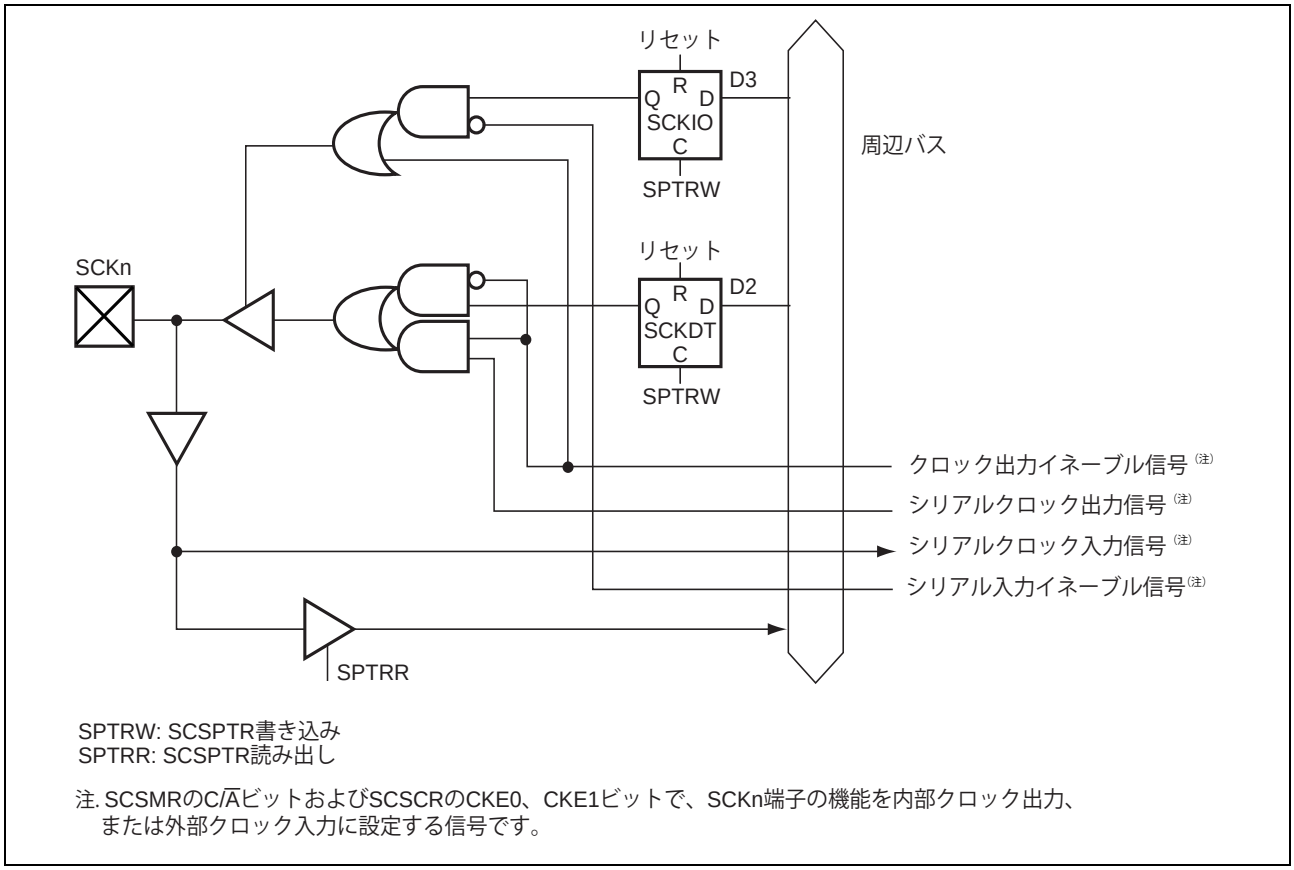


図 28.4　SCKn 端子（n＝2～4）

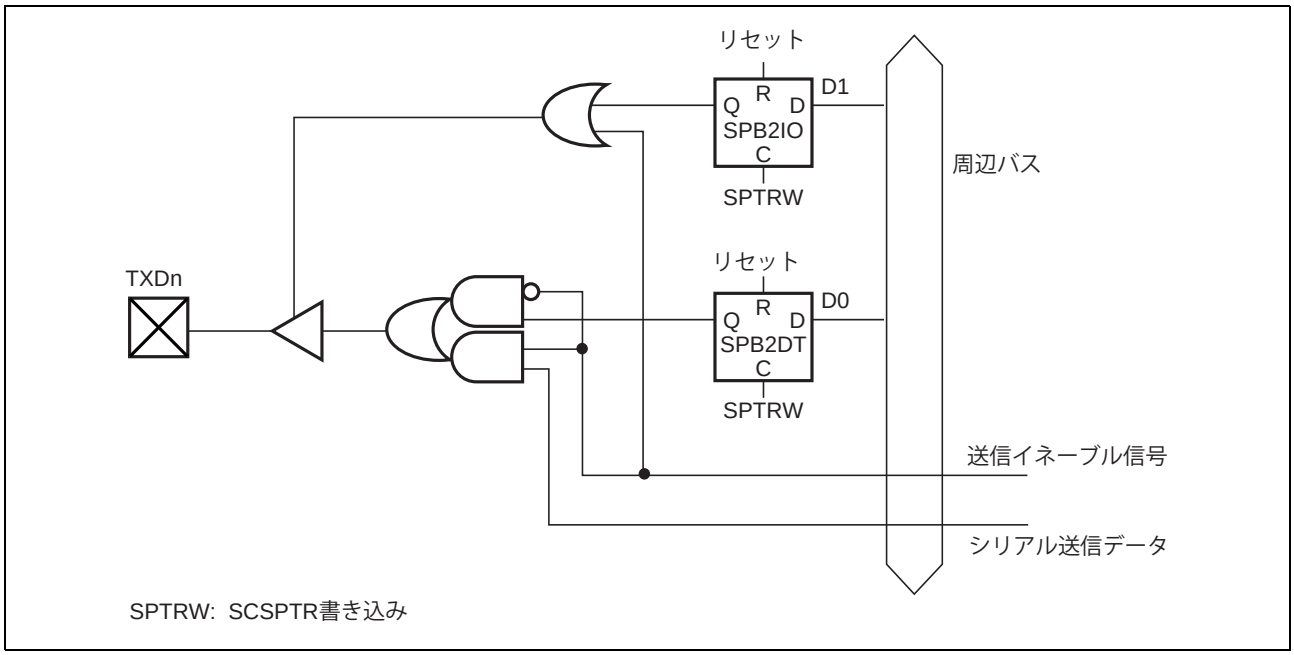


図 28.5　TXDn 端子（n＝2～4）

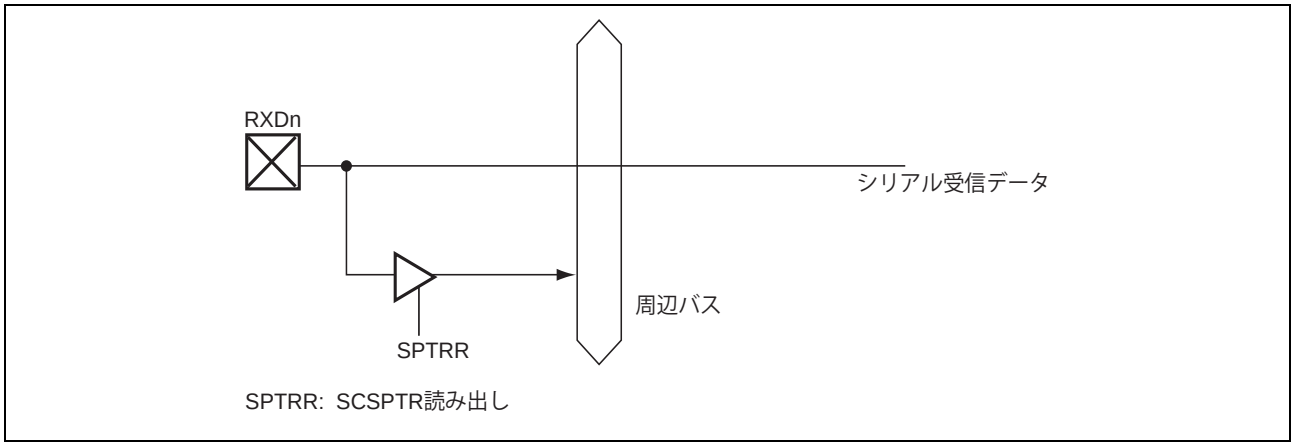


図 28.6　RXDn 端子（n＝2～4）

28.2　入出力端子

SCIF の端子構成を表28.1 に示します。

表28.1　SCIF の端子構成

チャネル	端子名	機能	入出力	説明
2	SCK2	シリアルクロック端子	入出力	クロック入出力
	RXD2	受信データ端子	入力	受信データ入力
	TXD2	送信データ端子	出力	送信データ出力
	$\overline{\text{CTS2}}$	クリアトゥセンド端子	入出力	送信可
	$\overline{\text{RTS2}}$	リクエストトゥセンド端子	入出力	送信要求
3	SCK3	シリアルクロック端子	入出力	クロック入出力
	RXD3	受信データ端子	入力	受信データ入力
	TXD3	送信データ端子	出力	送信データ出力
	$\overline{\text{CTS3}}$	クリアトゥセンド端子	入出力	送信可
	$\overline{\text{RTS3}}$	リクエストトゥセンド端子	入出力	送信要求
4	SCK4	シリアルクロック端子	入出力	クロック入出力
	RXD4	受信データ端子	入力	受信データ入力
	TXD4	送信データ端子	出力	送信データ出力
	$\overline{\text{CTS4}}$	クリアトゥセンド端子	入出力	送信可
	$\overline{\text{RTS4}}$	リクエストトゥセンド端子	入出力	送信要求

注.　SCIF の動作設定をSCSMR のC/$\overline{\text{A}}$ ビット、SCSCR のTE、RE、CKE1、CKE0 ビット及びSCFCR のMCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIF のSCSPTR によって行うことができます。

28.3　レジスタの説明

SCIF のレジスタ構成と各処理モードにおけるレジスタの状態を表28.2 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表28.2　レジスタ構成

チャネル	名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
2	レシーブシフトレジスタ 2	SCRSR2	—	—	—	—	—	—
	レシーブFIFO データレジスタ2	SCFRDR2	R	H'FE4B 0014	8	不定	不定	不定
	トランスミットシフトレジスタ2	SCTSR2	—	—	—	—	—	—
	トランスミットFIFOデータレジスタ2	SCFTDR2	W	H'FE4B 000C	8	不定	不定	不定
	シリアルモードレジスタ2	SCSMR2	R/W	H'FE4B 0000	16	H'0000	H'0000	H'0000
	シリアルコントロールレジスタ2	SCSCR2	R/W	H'FE4B 0008	16	H'0000	H'0000	H'0000
	シリアルステータスレジスタ2	SCFSR2	R/W（注1）	H'FE4B 0010	16	H'0060	H'0060	H'0060
	ビットレートレジスタ2	SCBRR2	R/W	H'FE4B 0004	8	H'FF	H'FF	H'FF
	FIFO コントロールレジスタ2	SCFCR2	R/W	H'FE4B 0018	16	H'0000	H'0000	H'0000
	FIFO データ数レジスタ2	SCFDR2	R	H'FE4B 001C	16	H'0000	H'0000	H'0000
	シリアルポートレジスタ2	SCSPTR2	R/W	H'FE4B 0020	16	H'00XX	H'00XX	H'00XX
	ラインステータスレジスタ2	SCLSR2	R/W（注2）	H'FE4B 0024	16	H'0000	H'0000	H'0000
	RS485 モードレジスタ2	RS485M2	R/W	H'FE4B 0028	16	H'0000	H'0000	H'0000

チャネル	名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
3	レシーブシフトレジスタ 3	SCRSR3	—	—	—	—	—	—
	レシーブFIFO データレジスタ3	SCFRDR3	R	H'FE4C 0014	8	不定	不定	不定
	トランスミットシフトレジスタ3	SCTSR3	—	—	—	—	—	—
	トランスミットFIFOデータレジスタ3	SCFTDR3	W	H'FE4C 000C	8	不定	不定	不定
	シリアルモードレジスタ3	SCSMR3	R/W	H'FE4C 0000	16	H'0000	H'0000	H'0000
	シリアルコントロールレジスタ3	SCSCR3	R/W	H'FE4C 0008	16	H'0000	H'0000	H'0000
	シリアルステータスレジスタ3	SCFSR3	R/W（注1）	H'FE4C 0010	16	H'0060	H'0060	H'0060
	ビットレートレジスタ3	SCBRR3	R/W	H'FE4C 0004	8	H'FF	H'FF	H'FF
	FIFO コントロールレジスタ3	SCFCR3	R/W	H'FE4C 0018	16	H'0000	H'0000	H'0000
	FIFO データ数レジスタ3	SCFDR3	R	H'FE4C 001C	16	H'0000	H'0000	H'0000
	シリアルポートレジスタ3	SCSPTR3	R/W	H'FE4C 0020	16	H'00XX	H'00XX	H'00XX
	ラインステータスレジスタ3	SCLSR3	R/W（注2）	H'FE4C 0024	16	H'0000	H'0000	H'0000
	RS485 モードレジスタ3	RS485M3	R/W	H'FE4C 0028	16	H'0000	H'0000	H'0000
4	レシーブシフトレジスタ 4	SCRSR4	—	—	—	—	—	—
	レシーブFIFO データレジスタ4	SCFRDR4	R	H'FE4D 0014	8	不定	不定	不定
	トランスミットシフトレジスタ4	SCTSR4	—	—	—	—	—	—
	トランスミットFIFOデータレジスタ4	SCFTDR4	W	H'FE4D 000C	8	不定	不定	不定
	シリアルモードレジスタ4	SCSMR4	R/W	H'FE4D 0000	16	H'0000	H'0000	H'0000
	シリアルコントロールレジスタ4	SCSCR4	R/W	H'FE4D 0008	16	H'0000	H'0000	H'0000
	シリアルステータスレジスタ4	SCFSR4	R/W（注1）	H'FE4D 0010	16	H'0060	H'0060	H'0060
	ビットレートレジスタ4	SCBRR4	R/W	H'FE4D 0004	8	H'FF	H'FF	H'FF
	FIFO コントロールレジスタ4	SCFCR4	R/W	H'FE4D 0018	16	H'0000	H'0000	H'0000
	FIFO データ数レジスタ4	SCFDR4	R	H'FE4D 001C	16	H'0000	H'0000	H'0000
	シリアルポートレジスタ4	SCSPTR4	R/W	H'FE4D 0020	16	H'00XX	H'00XX	H'00XX
	ラインステータスレジスタ4	SCLSR4	R/W（注2）	H'FE4D 0024	16	H'0000	H'0000	H'0000
	RS485 モードレジスタ4	RS485M4	R/W	H'FE4D 0028	16	H'0000	H'0000	H'0000

注1.　ビット7～4、1、0 はフラグをクリアするための0 書き込みのみ可能です。
2.　ビット0 はフラグをクリアするための0 書き込みのみ可能です。

レジスタ、端子、割り込みの機能は各チャネルで同じであるため、以下チャネル番号n（n＝2～4）は省略しています。

28.3.1　レシーブシフトレジスタ（SCRSR）

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR にRXD 端子から入力されたシリアルデータをLSB（ビット0）から受信した順にセットし、パラレルデータに変換します。1キャラクタのデータ受信を終了すると、データは自動的にSCFRDRへ転送されます。

SCRSR は、SH-4A から直接読み出し／書き込みできません。

ビット：	7	6	5	4	3	2	1	0
	SCRSR[7:0]							
初期値：	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—

28.3.2　レシーブFIFO データレジスタ（SCFRDR）

SCFRDR は、受信したシリアルデータを格納する8 ビット長の16 段FIFO レジスタです。

SCIF は、1 キャラクタのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる16 キャラクタデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですのでSH-4Aから書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。

ビット：	7	6	5	4	3	2	1	0
	SCFRDR[7:0]							
初期値：	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R

28.3.3　トランスミットシフトレジスタ（SCTSR）

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったんSCTSR に転送し、LSB（ビット0）から順にTXD 端子に送り出すことでシリアルデータ送信を行います。1 キャラクタのデータ送信を終了すると自動的にSCFTDR からSCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、SH-4A から直接読み出し／書き込みできません。

ビット：	7	6	5	4	3	2	1	0
	SCTSR[7:0]							
初期値：	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—

28.3.4　トランスミットFIFO データレジスタ（SCFTDR）

SCFTDR は、シリアル送信するデータを格納する8 ビット長の16 段FIFO レジスタです。

SCIF は、送信データがSCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データをSCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですのでSH-4Aから読み出すことはできません。SCFTDR 内の送信データが16 キャラクタでいっぱいのときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット：	7	6	5	4	3	2	1	0
	SCFTDR[7:0]							
初期値：	—	—	—	—	—	—	—	—
R/W：	W	W	W	W	W	W	W	W

28.3.5　シリアルモードレジスタ（SCSMR）

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための16 ビットのレジスタです。

SCSMR は、常にSH-4A による読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	—	CKS[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 8	—	0	—	リザーブビット
7	C/$\overline{A}$	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モード又はクロック同期式モードのいずれかから選択します。 0：調歩同期式モード 1：クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は8 ビットデータ固定です。7 ビットデータを選択した場合、MSB ビット（SCFTDR レジスタのビット7）は送信されません。 0：8 ビットデータ 1：7 ビットデータ

ビット	ビット名	初期値	R/W	説 明
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加及びチェックは行いません。 0：パリティビットの付加、及びチェックを禁止 1：パリティビットの付加、及びチェックを許可（注） 注．PE ビットに1 をセットすると送信時には、O/$\overline{E}$ ビットで指定した偶数、又は奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/E ビットで指定した偶数、又は奇数パリティになっているかどうかをチェックします。
4	O/$\overline{E}$	0	R/W	パリティモード パリティの付加やチェックを偶数パリティ、又は奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードでPE ビットに1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。 0：偶数パリティ 1：奇数パリティ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1 の数の合計が偶数であるかどうかをチェックします。 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1 の数の合計が奇数であるかどうかをチェックします。
3	STOP	0	R/W	ストップビットレングス 調歩同期式モードでのストップビットの長さを1 ビット／2 ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。 0：1 ストップビット（注1） 1：2 ストップビット（注2） なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの1 ビット目のみをチェックします。ストップビットの2 ビット目が1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。 注1. 送信時には、送信キャラクタの最後尾に1 ビットの1（ストップビット）を付加して送信します。 2. 送信時には、送信キャラクタの最後尾に2 ビットの1（ストップビット）を付加して送信します。
2	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
1、0	CKS[1:0]	00	R/W	クロックセレクト1、0 内蔵ボーレートジェネレータへの入力クロックを選択します。CKS1、CKS0 ビットの設定でPck、Pck/4、Pck/16、Pck/64 の4種類から選択できます。 選択したクロックと、ビットレートレジスタの設定値、及びボーレートの関係については、「28.3.8 ビットレートレジスタ（SCBRR）」を参照してください。 00：Pck 01：Pck/4 10：Pck/16 11：Pck/64 注．　Pck：周辺クロック

28.3.6　シリアルコントロールレジスタ（SCSCR）

SCSCR は、SCIF の送信／受信動作、シリアルクロック出力、割り込み要求の許可／禁止、及び送信／受信クロックソースの選択を行うレジスタです。

SCSCR は、常にSH-4Aによる読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	CKE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	—	0	—	リザーブビット
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR からSCTSR へシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR のTDFE フラグが1 にセットされたときに、送信FIFO データエンプティ割り込み（TXI）要求の発生を許可／禁止します。 TXI の解除は、SCFSR のTDFE フラグの1 を読み出した後、SCFTDR に送信トリガ設定数より多い送信データを書き込み、SCFSR のTDFE フラグを0 にするか、又はTIE を0 にすることで行うことができます。 0：送信FIFO データエンプティ割り込み（TXI）要求を禁止 1：送信FIFO データエンプティ割り込み（TXI）要求を許可

ビット	ビット名	初期値	R/W	説 明
6	RIE	0	R/W	レシーブインタラプトイネーブル SCFSR のRDF フラグ又はDR フラグが1 にセットされたときの受信データフル割り込み（RXI）要求、SCFSR のER フラグが1 にセットされたときの受信エラー割り込み（ERI）要求、SCFSR のBRK フラグ又はSCLSR のORER フラグが1 にセットされたときのブレーク割り込み（BRI）要求の発生を許可／禁止します。 0：受信データフル割り込み（RXI）要求、及び受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を禁止 1：受信データフル割り込み（RXI）要求、及び受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を許可 注．RXI 割り込み要求の解除は、SCFSR のRDF フラグ又はDR フラグの1 を読み出した後で0 にするか、RIE ビットを0 にすることで行えます。ERI、BRI 割り込み要求の解除は、SCFSR のER、BRK、SCLSR のORER の各フラグで1 を読み出した後、0 にするか、RIE、REIE ビットを0 にすることで行えます。
5	TE	0	R/W	トランスミットイネーブル SCIF のシリアル送信動作の開始を許可／禁止します。 TE ビットが1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。 0：送信動作を禁止 1：送信動作を許可（注） 注．なお、TE ビットを1 にセットする前に必ずSCSMR、SCFCR の設定を行い、送信FIFO をリセットしてください。
4	RE	0	R/W	レシーブイネーブル SCIF のシリアル受信動作の開始を許可／禁止します。 RE ビットが1 のときに調歩同期式モードの場合はスタートビットを、クロック同期式モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。 RE ビットを0 にしてもSCFSR のER、BRK、FER、PER、RDF、DR、SCLSR のORER の各フラグは影響を受けず、状態を保持しますので注意してください。 この状態でスタートビットを検出すると、シリアル受信を開始します。 0：受信動作を禁止 1：受信動作を許可（注） 注．なお、RE ビットを1 にセットする前に必ずSCSMR、SCFCRの設定を行い、受信フォーマットを決定し、受信FIFO をリセットしてください。

ビット	ビット名	初期値	R/W	説 明
3	REIE	0	R/W	レシーブエラーインタラプトイネーブル 受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求の発生を許可／禁止します。ただし、REIE ビットの設定はRIE ビットが0 のときのみ有効です。 受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求の解除は、SCFSR のER、BRK、SCLSR のORER の各フラグで1 を読み出した後で0 にするか、RIE とREIE ビットを0 にすることで行えます。 RIE を0 に設定しても、REIE を1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMA 転送時にERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。 0：受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を禁止 1：受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を許可
2	—	0	—	リザーブビット
1、0	CKE[1:0]	00	R/W	クロックイネーブル1、0 SCIF のクロックソースの選択、及びSCK 端子からのクロック出力の許可／禁止を設定します。CKE1 ビットとCKE0 ビットの組み合わせによってSCK 端子をシリアルクロック出力端子にするか、又はシリアルクロック入力端子にするかが決まります。ただしCKE0 ビットの設定は、内部クロック動作（CKE1＝0）のときにのみ有効です。外部クロック動作（CKE1＝1）の場合は、CKE0 ビットの設定は無効です。また、SCSMR でSCIFの動作モードを決定する前に、必ずCKE1、CKE0 ビットの設定をしてください。 • 調歩同期式 00：内部クロック／SCK 端子はSCSPTR の設定によりポートとして使用可能 01：内部クロック／SCK 端子はクロック出力（注1） 1x：外部クロック／SCK 端子はクロック入力（注2） • クロック同期式 0x：内部クロック／SCK 端子は同期クロック出力 1x：外部クロック／SCK 端子は同期クロック入力 【記号説明】x：Don't care 注1. 出力クロックの周波数はビットレートの16 倍 2. 入力クロックの周波数はビットレートの16 倍

28.3.7　シリアルステータスレジスタ（SCFSR）

SCFSR は16 ビット長のレジスタです。上位8 ビットはSCFRDR 内のデータの受信エラー数を、下位8 ビットはSCIF の動作状態を示します。

SCFSR の上位8 ビットは常にSH-4A から読み出すことができます。SCFSR の下位8 ビットは常にSH-4Aから読み出し／書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ1 を書き込むことはできません。また、これらを0 にするためには、あらかじめ1 を読み出しておく必要があります。なお、FER フラグ、及びPER フラグは読み出し専用であり、書き込むことはできません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PERC[3:0]				FERC[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R	R	R/W (注)	R/W (注)

ビット	ビット名	初期値	R/W	説 明
15～12	PERC[3:0]	0000	R	パリティエラー数 SCFRDR に格納されている受信データで、パリティエラーの発生しているデータ数を示します。ER ビット（SCFSR レジスタのビット7）がセットされた後、PERC ビットで示される値がパリティエラー発生データ数を示します。SCFRDR の16 キャラクタの受信データのすべてがパリティエラーを伴う場合、PERC ビットは0 を表示します。
11 ～ 8	FERC[3:0]	0000	R	フレーミングエラー数 SCFRDR に格納されている受信データで、フレーミングエラーの発生しているデータ数を示します。ER ビット（SCFSR レジスタのビット7）がセットされた後、FERC ビットで示される値がフレーミングエラー発生データ数を示します。 SCFRDR の16 キャラクタの受信データのすべてがフレーミングエラーを伴う場合、FERC ビットは0 を表示します。

ビット	ビット名	初期値	R/W	説 明
7	ER	0	R/W（注）	レシーブエラー 受信時にフレーミングエラー、パリティエラーが発生したことを示します。 RE ビット（SCSCR レジスタのビット4）を0 にしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データはSCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR のFER、PER ビットで判定できます。 0：受信時にフレーミングエラー又はパリティエラーが発生していないことを表示 [クリア条件] • パワーオンリセット、マニュアルリセット時 • ER＝1 の状態を読み出した後、0 を書き込んだとき 1：受信時にフレーミングエラー又はパリティエラーが発生したことを表示 [セット条件] • 受信終了時に受信データの最後尾のストップビットが1 であるかどうかをチェックし、ストップビットが0 であったとき（注） • 受信時の受信データとパリティビットを合わせた1 の数がO/E ビット（シリアルモードレジスタ（SCSMR）のビット4）で指定した偶数／奇数パリティの設定と一致しなかったとき 注．2 ストップモードのときは、1 ビット目のストップビットが1 であるかどうかのみを判定し、2 ストップビット目のストップビットはチェックしません。
6	TEND	1	R/W（注）	トランスミットエンド 送信キャラクタの最後尾ビットの送信後にSCFTDR に有効なデータがなく、送信を終了したことを示します。 0：送信中であることを表示 [クリア条件] • SCFTDR に送信データを書き込み、TEND フラグが1 の状態を読み出した後、TEND フラグに0 を書き込んだとき • DMAC でSCFTDR へデータを書き込んだとき 1：送信を終了したことを表示 [セット条件] • パワーオンリセット、マニュアルリセット時 • TE ビット（SCSCR レジスタのビット5）が0 のとき • 1 キャラクタのシリアル送信キャラクタの最後尾ビットの送信後にSCFTDR に送信データがないとき

ビット	ビット名	初期値	R/W	説 明
5	TDFE	1	R/W（注）	トランスミットFIFO データエンプティ SCFTDR からSCTSR にデータ転送が行われ、SCFTDR 内のデータ数がSCFCR のTTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。 0：SCFTDR 内の送信データ数が送信トリガ設定数より多いことを表示 [クリア条件] • TDFE＝1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき • DMACでSCFTDRに送信トリガ設定数を超えるデータを書き込んだとき 1：SCFTDR の送信データ数が送信トリガ設定数以下であることを表示 [セット条件] • パワーオンリセット、マニュアルリセット時 • SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき（注） 注．SCFTDR は16 バイトのFIFO レジスタですのでTDFE＝1 で書き込むことができる最大データ数は、16－（送信トリガ設定数）になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数はSCFDR の上位8ビットに示されます。
4	BRK	0	R/W(注)	ブレーク検出 受信データのブレーク信号を検出して示します。 0：ブレーク信号を受信していないことを表示 [クリア条件] • パワーオンリセット、マニュアルリセット時 • BRK＝1 の状態を読み出した後、0 を書き込んだとき 1：ブレーク信号を受信したことを表示（注） [セット条件] • フレーミングエラーを伴うデータを受信したとき、引き続き1フレーム長以上スペース0（L レベル）の場合 注．ブレーク検出すると受信データ（H'00）のFIFO への転送は停止します。ブレークが終了し、受信信号がマーク1 に戻ると受信データの転送が再開します。
3	FER	0	R	フレーミングエラー表示 調歩同期式モードで、次にSCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。 0：次にSCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示 [クリア条件] • パワーオンリセット、マニュアルリセット時 • 次にSCFRDR から読み出す受信データにフレーミングエラーなし 1：次にSCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示 [セット条件] • 次にSCFRDR から読み出す受信データにフレーミングエラーあり

ビット	ビット名	初期値	R/W	説 明
2	PER	0	R	パリティエラー表示 調歩同期式モードで、次にSCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。 0：次にSCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示 [クリア条件] • パワーオンリセット、マニュアルリセット時 • 次にSCFRDR から読み出す受信データにパリティエラーなし 1：次にSCFRDR から読み出す受信データにパリティエラーが発生していることを表示 [セット条件] • 次にSCFRDR から読み出すデータにパリティエラーあり
1	RDF	0	R/W（注）	レシーブFIFO データフル 受信したデータがSCRSR からSCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR のRTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。 0：SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示 [クリア条件] • パワーオンリセット、マニュアルリセット時 • RDF＝1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまでSCFRDR を読み出し、0 を書き込んだとき • DMAC でSCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまでSCFRDR を読み出したとき 1：SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示 [セット条件] • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき 注．SCFRDR は16 バイトのFIFO レジスタです。RDF＝1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態でデータを読み出すと不定値が読み出されます。なおSCFRDR 内の受信データ数はSCFDR の下位8ビットに示されます。

ビット	ビット名	初期値	R/W	説 明
0	DR	0	R/W（注）	レシーブデータレディ 調歩同期式モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから15etu 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。 0：受信中又は正常に受信完了してSCFRDR に受信データが残っていないことを表示 ［クリア条件］ • パワーオンリセット、マニュアルリセット時 • DR＝1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC でSCFRDR 内の受信データをすべて読み出したとき 1：次の受信データが来ないことを表示 ［セット条件］ • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから15etu 時間以上次のデータが来ないとき 【記号説明】etu（Elementary Time Unit：1 ビットの転送期間の略） 注．　15etu 時間は、8 ビット長1 ストップビットフォーマット時の1.5フレーム時間に相当します。

注．　“0”を書くと“0”になります。“1”を書いても変化しません。

28.3.8　ビットレートレジスタ（SCBRR）

SCBRR は、SCSMR のCKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信／受信のビットレートを設定する8 ビットのレジスタです。ビットレート誤差を考慮して本レジスタ値を設定してください（ビットレート誤差の計算式は以下を参照してください）。

SCBRR は、常にSH-4Aによる読み出し／書き込みが可能です。

ビット：	7	6	5	4	3	2	1	0
	SCBRR[7:0]							
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B ：ビットレート（bit/s）

N ：ボーレートジェネレータのSCBRR の設定値（0≦N≦255）

Pck ：周辺モジュール用動作周波数（MHz）
n ：0、1、2、3
（n とボーレートジェネレータ入力クロックの関係は、表28.3 を参照してください）

表28.3　SCSMR の設定値

n	ボーレートジェネレータ入力クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

注．調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{Pck} \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n - 1}} - 1 \right\} \times 100$$

28.3.9　FIFO コントロールレジスタ（SCFCR）

SCFCR は送信／受信の各 FIFO レジスタのリセット及びトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。
SCFCR は、常に SH-4A による読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RSTRG[2:0]			RTRG[1:0]		TTRG[1:0]		MCE	TFCL	RFCL	LOOP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～11	—	0	—	リザーブビット
10～8	RSTRG[2:0]	000	R/W	$\overline{\text{RTS}}$ 出力アクティブトリガ SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき、$\overline{\text{RTS}}$ 信号はH レベルになります。 000:15 001:1 010:4 011:6 100:8 101:10 110:12 111:14

ビット	ビット名	初期値	R/W	説 明
7、6	RTRG[1:0]	00	R/W	レシーブFIFO データ数トリガ SCFSR のRDF フラグをセットする受信データ数を設定するビットです。SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったときRDF フラグをセットします。 • 調歩同期式モード 00:1 01:4 10:8 11:14 • クロック同期式モード 00:1 01:2 10:8 11:14
5、4	TTRG[1:0]	00	R/W	トランスミットFIFO データ数トリガ SCFSR のTDFE フラグをセットする未送信のデータ数を設定するビットです。 送信動作によりSCFTDR 内の送信データ数が、下に示すトリガ設定数以下になったときTDFE フラグをセットします。 00: 8 (8) 01:4 (12) 10: 2 (14) 11: 0 (16) 注．（ ）内の値はTDFE フラグセット時のSCFTDR の空き数を示します。
3	MCE	0	R/W	モデムコントロールイネーブル モデムコントロール信号$\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を有効にします。クロック同期モードではMCE ビットを常に0 にしてください。 0：モデム信号を無効（注） 1：モデム信号を有効 注．$\overline{\text{CTS}}$ は入力値にかかわらず0 アクティブに固定され、RTS出力はハイインピーダンスになります。
2	TFCL	0	R/W	トランスミットFIFO データ数レジスタクリア トランスミットFIFO データ数レジスタ内の送信データ数を0 にします。 0：クリアしない 1：FIFO データ数を0 にする 注．パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。
1	RFCL	0	R/W	レシーブFIFO データ数レジスタクリア レシーブFIFO データ数レジスタ内の受信データ数を0 にします。 0：クリアしない 1：FIFO データ数を0 にする 注．パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

ビット	ビット名	初期値	R/W	説 明
0	LOOP	0	R/W	ループバックテスト 送信出力端子（TXD）と受信入力端子（RXD）、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。 0：ループバックテストを禁止 1：ループバックテストを許可

28.3.10 FIFO データ数レジスタ（SCFDR）

SCFDR は、SCFTDR 及び SCFRDR 内に格納されているデータ数を示す 16 ビット長のレジスタです。上位 8 ビットは SCFTDR 内の送信データ数を、下位 8 ビットは SCFRDR 内の受信データ数を示します。

SCFDR は常に SH-4A から読み出すことができます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TFDC[4:0]					—	—	—	RFDC[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R	R	R	R	R	—	—	—	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 13	—	0	—	リザーブビット
12 ～ 8	TFDC[4:0]	0	R	トランスミット FIFO データ数 SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'10 は SCFTDR に最大数（16 キャラクタ）の送信データが格納されていることを示します。
7～ 5	—	0	—	リザーブビット
4 ～ 0	RFDC[4:0]	0	R	レシーブ FIFO データ数 SCFRDR 内に格納されている受信データ数を示します。H'00 は受信データがないことを、H'10 は SCFRDR に最大数（16 キャラクタ）の受信データが格納されていることを示します。

28.3.11 シリアルポートレジスタ（SCSPTR）

SCSPTR は、常に SH-4A による読み出し／書き込み可能な 16 ビットのレジスタで、SCIF の端子にマルチプレクスされたポートの入出力及びデータを制御します。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。

パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、2、0 は不定です。SCSPTR はモジュールストップ時には初期化されません。

シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値：	0	0	0	0	0	0	0	0	0	—	0	—	0	—	1	1
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 8	—	0	—	リザーブビット
7	RTSIO	0	R/W	シリアルポート $\overline{\text{RTS}}$ ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、MCE ビット（SCFCR レジスタのビット 3）を 0 に設定してください。 0：$\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しないことを示します 1：$\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力することを示します
6	RTSDT	—	R/W	シリアルポート $\overline{\text{RTS}}$ ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは $\overline{\text{RTS}}$IO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0：入出力データが L レベルであることを示します 1：入出力データが H レベルであることを示します
5	CTSIO	0	R/W	シリアルポート $\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、MCE ビット（SCFCR レジスタのビット 3）を 0 に設定してください。 0：$\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しないことを示します 1：$\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力することを示します
4	CTSDT	—	R/W	シリアルポート $\overline{\text{CTS}}$ ポートデータ シリアルポートの $\overline{\text{CTS}}$ 端子の入出力データを指定します。入力か出力かは $\overline{\text{CTS}}$IO ビットで指定します。出力の場合、CTSDT ビットの値が $\overline{\text{CTS}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは $\overline{\text{CTS}}$ 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0：入出力データが L レベルであることを示します 1：入出力データが H レベルであることを示します

ビット	ビット名	初期値	R/W	説 明
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートのSCK 端子の入出力を指定します。実際にSCK 端子をポート出力端子としてSCKDT ビットで設定した値を出力する場合は、SCSCR のCKE1、CKE0 ビットを0 に設定してください。 0：SCK 端子にSCKDT ビットの値を出力しないことを示します 1：SCK 端子にSCKDT ビットの値を出力することを示します
2	SCKDT	—	R/W	シリアルポートクロックポートデータ シリアルポートのSCK 端子の入出力データを指定します。入力か出力かはSCKIO ビットで指定します。出力の場合、SCKDT ビットの値がSCK端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからはSCK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0：入出力データがL レベルであることを示します 1：入出力データがH レベルであることを示します
1	SPB2IO	1	R/W	シリアルポートブレーク入出力 シリアルポートのTXD 端子の出力条件を指定します。実際にTXD 端子をポート出力端子としてSPB2DT ビットで設定した値を出力する場合は、TE ビット（SCSCR レジスタのビット5）を0 に設定してください。 0：TXD 端子にSPB2DT ビットの値を出力しないことを示します 1：TXD 端子にSPB2DT ビットの値を出力することを示します
0	SPB2DT	1	R/W	シリアルポートブレークデータ シリアルポートのRXD 端子の入力データ及びTXD 端子の出力データを指定します。TXD 端子の出力条件はSPB2IO ビットで指定します。TXD端子を出力に設定した場合、SPB2DT ビットの値がTXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからはRXD 端子の値が読み出されます。 0：入出力データがL レベルであることを示します 1：入出力データがH レベルであることを示します

28.3.12 ラインステータスレジスタ（SCLSR）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W (注)

ビット	ビット名	初期値	R/W	説 明
15～1	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
0	ORER	0	R/W（注）	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0：受信中、又は正常に受信を完了したことを表示 ［クリア条件］ • パワーオンリセット、マニュアルリセット時 • ORER＝1 の状態を読み出した後、0 を書き込んだとき SCSCR の RE ビットを0 にしたときには、ORER フラグは影響を受けず以前の状態を保持します。 1：受信時にオーバランエラーが発生したことを表示 ［セット条件］ • SCFRDR が最大数（16 キャラクタ）のデータを受信した状態で次のシリアル受信を完了したとき SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER＝1 にセットされた状態で、以降のシリアル受信を続けることはできません。

注.　“0”を書くと“0”になります、“1”を書いても変化しません。

28.3.13 RS485 モードレジスタ（RS485M）

RS485M は16 ビットのレジスタで、RS485 モードの制御を行います。RS485M は常に SH-4A による読み出し／書き込みが可能です。.

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RS485M	RS485_SD[2:0]			RS485_ED[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	—	0	—	リザーブビット
7	RS485M	0	R/W	RS-485 送信モード $\overline{\text{RTS}}$ 端子を外部 RS-485 トランシーバ向けの出力有効信号として使用してRS-485 半二重方向制御を有効にするか無効にするかを指定します 。この設定はSCFCRのモデムコントロールイネーブル (MCE) 端子が1のときのみ有効になります。 0: RS-485 送信モード無効 1: RS-485 送信モード有効
6～4	RS485_SD[2:0]	000	R/W	開始遅延時間設定 TXD 端子に出力される送信データの出力開始遅延時間を設定します。 本設定はRS485=1 のときのみ有効になります。 000：開始遅延時間は0 データビット時間 001：開始遅延時間は1 データビット時間 ： 111：開始遅延時間は7 データビット時間
3～0	RS485_ED[3:0]	0000	R/W	終了遅延時間設定 $\overline{\text{RTS}}$ 端子に出力されるTXD 出力有効信号の終了遅延時間（0 から1 へのネゲートタイミング）を設定します。本設定はRS485=1 のときのみ有効になります。 0000：終了遅延時間は0 データビット時間 0001：終了遅延時間は1 データビット時間 ： 1111：終了遅延時間は15 データビット時間

28.4　動作説明

28.4.1　概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2 方式でシリアル通信ができます。調歩同期式モードの動作については、「28.4.2 調歩同期式モードの動作」を参照してください。

送受信おのおのに16 段のFIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号としてRTS、CTS 信号を内蔵しています。送受信フォーマットの選択は、SCSMR で行います。これを表28.4 に示します。また、SCIF のクロックソースは、SCSMR のC/A ビット及びSCSCR のCKE1、CKE0 ビットの組み合わせで決まります。これを表28.5 に示します。

注．各チャネルにおける動作はモデムコントロールを除き同じであるため、以下の説明ではチャネル番号n(n=2、3、4)は省略しています。

(1)　調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- データの送受信はLSBが先頭（LSB First）
- パリティの付加及び1ビット／2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信／受信フォーマット、及びキャラクタ長を決定）
- .受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、及びブレークの検出が可能
- 送受信FIFO レジスタのおのおのの格納データ数を表示
- SCIFのクロックソース：周辺クロック（Pck）／SCK端子入力から選択可能
  周辺クロック（Pck）を選択した場合：SCIFはボーレートジェネレータのクロックで動作
  （SCK端子からビットレートの16倍の周波数でクロックを出力可能）
  SCK端子入力を選択した場合：ビットレートの16倍の周波数でクロックを入力することが必要
  （内蔵ボーレートジェネレータを使用しない）

(2)　クロック同期式モード

- データ長：8ビットに固定
- データの送受信はLSBが先頭（LSB First）
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：周辺クロック（Pck）／SCK端子入力から選択可能
  周辺クロック（Pck）を選択した場合：SCIFはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
  SCK端子入力を選択した場合：入力同期クロックで動作
  （内蔵ボーレートジェネレータを使用しない）

表28.4　SCSMR の設定値とシリアル送信／受信フォーマット

SCSMR の設定値				モード	SCIF の送信／受信フォーマット		
ビット 7: C/A	ビット 6: CHR	ビット 5: PE	ビット 3: STOP		データ長	パリティビット	ストップビット長
0	0	0	0	調歩同期式モード	8ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1ビット
			1				2 ビット
	1	0	0		7ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8ビットデータ	なし	なし

注．　x: Don't care

表28.5　SCSMR、SCSCR の設定とSCIF のクロックソースの選択

SCSMR	SCSCR Settings		モード	クロックソース	SCK 端子の機能
ビット 7: C/A	ビット 1: CKE1	ビット 0: CKE0			
0	0	0	調歩同期式モード	内部	SCIF はSCK 端子を使用しません
		1			ビットレートの16 倍の周波数でクロックを出力
	1	0		外部	ビットレートの16 倍の周波数でクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

28.4.2　調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに16 段のFIFO バッファ構造になっていて、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図28.7 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（H レベル）に保たれています。SCIF は通信回線を監視し、スペース（L レベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1 キャラクタは、スタートビット（L レベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（H ／L レベル）、最後にストップビット（H レベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを1 ビット期間の16 倍の周波数で入出力するクロックの8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

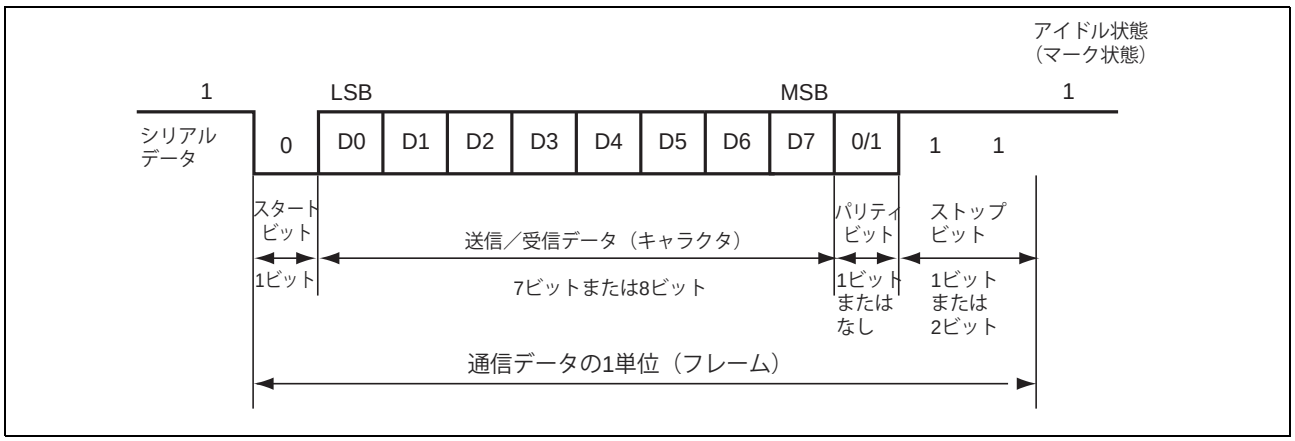


図 28.7　調歩同期式通信のデータフォーマット例
（8 ビットデータ／パリティあり／2 ストップビット）

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、表28.6 に示します。

送信／受信フォーマットは8 種類あり、SCSMR の設定により選択できます。

表28.6　シリアル送信／受信フォーマット（調歩同期式モード）

SCSMRの設定			シリアル送信/受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S　　：スタートビット
STOP　：ストップビット
P　　：パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/$\overline{A}$ ビット及び SCSCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック又はSCK 端子から入力された外部クロックの2 種類から選択できます。SCIF のクロックソースの選択については表28.5 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数でクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16 倍です。

(3) SCIF の初期化（調歩同期式）

データの送信／受信前には、まずSCSCR のTE ビット、及びRE ビットを0 にした後、以下の順でSCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビット及びREビットを0 にしてから次の手順で変更を行ってください。

1. TEビットを0にすると、SCTSRが初期化されます。TE、REビットを0にしても、SCFSR、SCFTDR、及びSCFRDRの内容は保持されますので注意してください。
2. TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFCLビットをいったん1にセットしてSCFTDRをリセットしてください。
3. 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図28.8 にSCIF の初期化フローチャート例を示します。

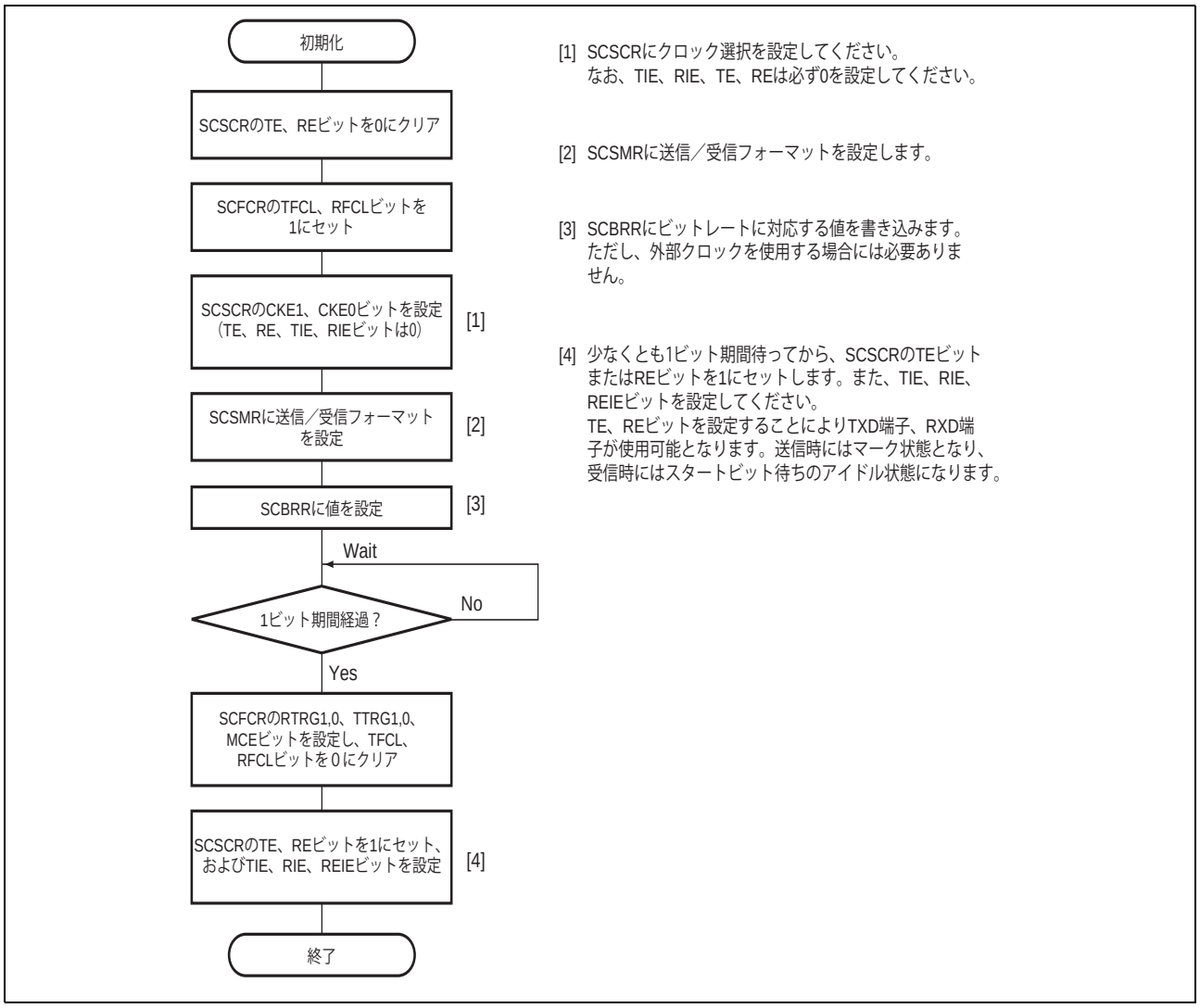


図 28.8　SCIF の初期化フローチャート例

(4)　シリアルデータ送信（調歩同期式）

図28.9 にシリアル送信のフローチャート例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

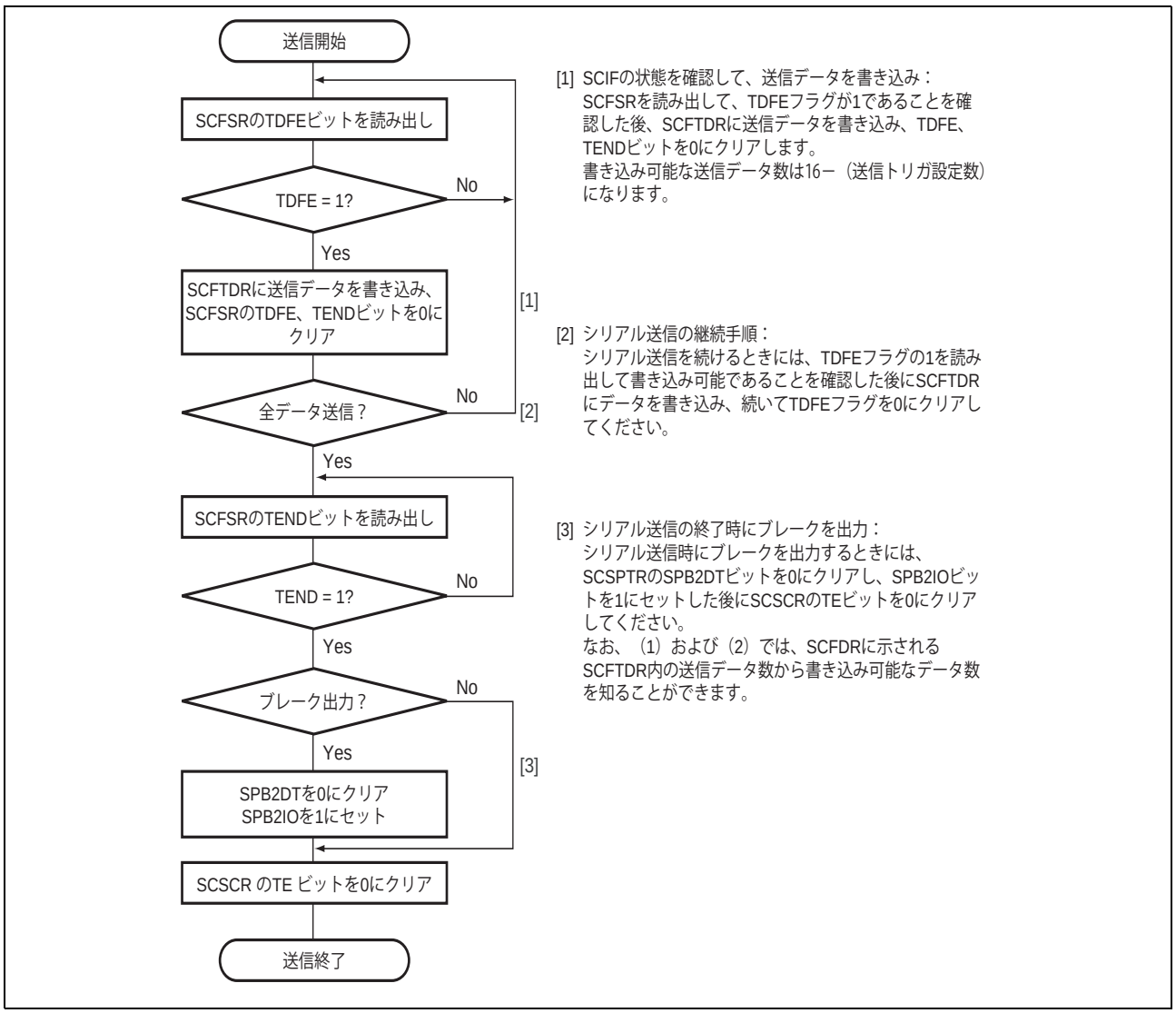


図 28.9　シリアル送信のフローチャート例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDR にはSCFSR の TDFE フラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16－（送信トリガ設定数）です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、TIEビット（SCSCRレジスタのビット7）が1にセットされていると送信FIFOデータエンプティ割り込み（TXI）要求を発生します。
   シリアル送信データは、以下の順にTXD 端子から送り出されます。

   (a) スタートビット：1ビットの0（”L”）が出力されます。

   (b) 送信データ：8ビット又は7ビットのデータがLSBから順に出力されます。

   (c) パリティビット（偶数パリティ、又は奇数パリティ）が出力されます。
   なお、パリティビットを出力しないフォーマットも選択できます。

   (d) ストップビット：1ビット又は2ビットの1（”H”）が出力されます。

   (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図28.10 に示します。

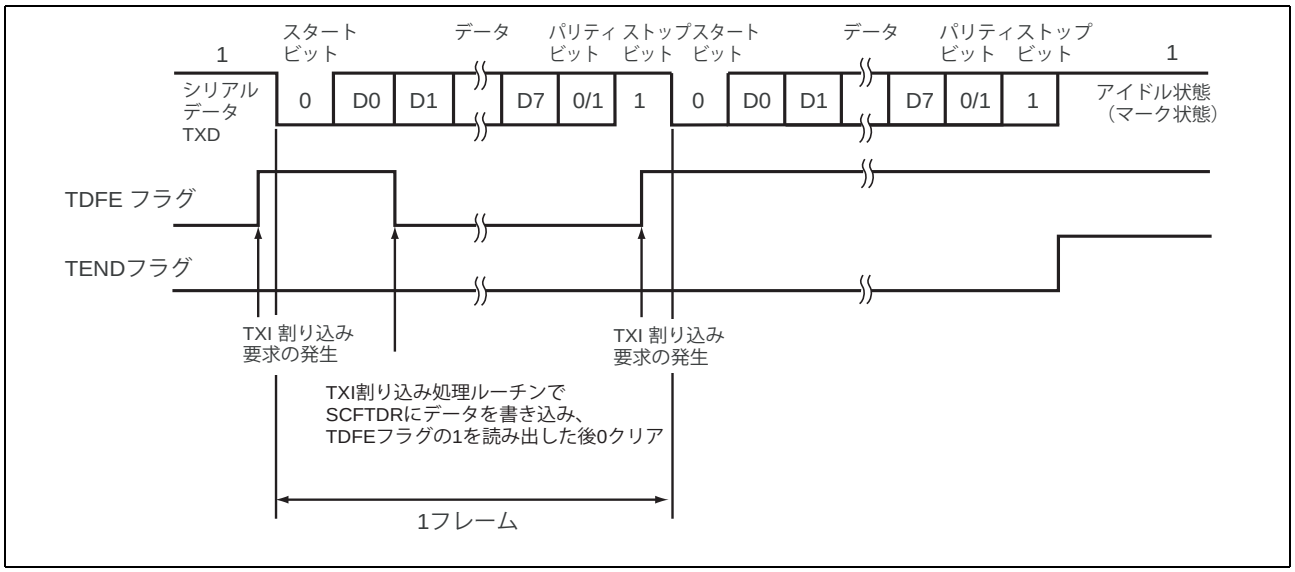


図 28.10　送信時の動作例（8 ビットデータ／パリティあり／1 ストップビット）

4. モデムコントロールイネーブル時は $\overline{\text{CTS}}$ 入力値によって送信動作を停止／再開することができます。$\overline{\text{CTS}}$ が1になると現在送信中のときは1フレーム送信終了後マーク状態になります。$\overline{\text{CTS}}$ を0にすると再びスタートビットから次の送信データを出力します。

. モデムコントロール時の動作例を図28.11に示します。

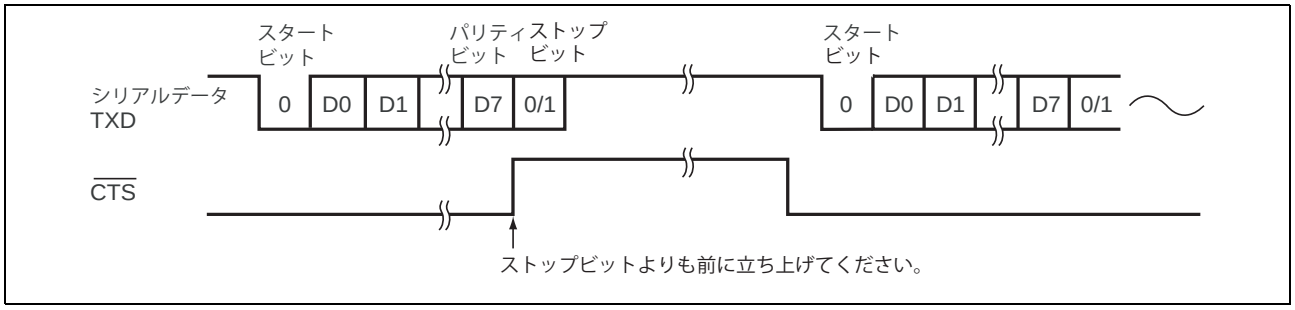


図 28.11　モデムコントロール（$\overline{\text{CTS}}$）時の動作例

(5)　シリアルデータ受信（調歩同期式）

図28.12にシリアル受信フローチャート例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、図28.12の手順で行ってください。

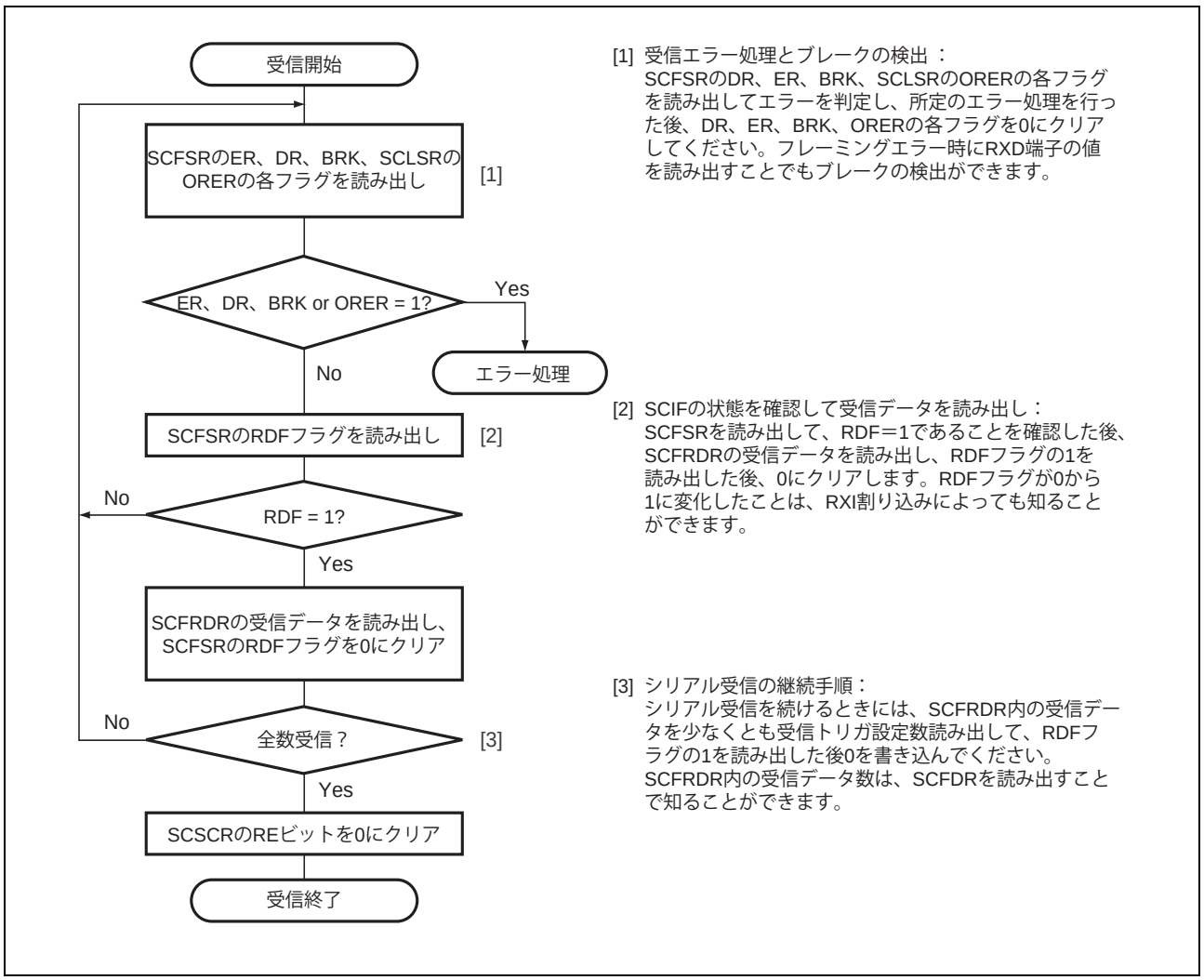
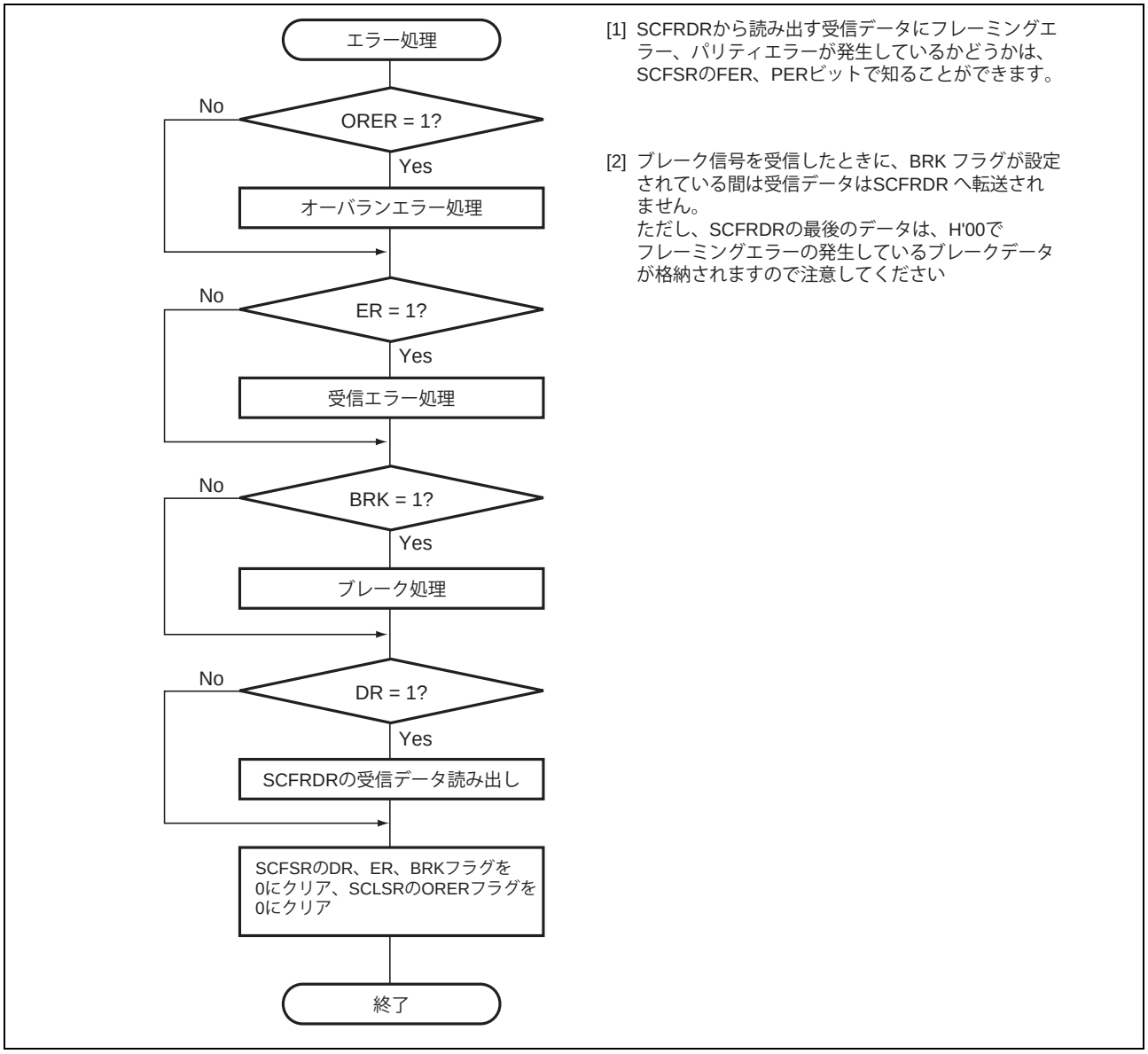


図 28.12　シリアル受信のフローチャート例（1）



[1] SCFRDRから読み出す受信データにフレーミングエラー、パリティエラーが発生しているかどうかは、SCFSRのFER、PERビットで知ることができます。

[2] ブレーク信号を受信したときに、BRK フラグが設定されている間は受信データはSCFRDR へ転送されません。
ただし、SCFRDRの最後のデータは、H'00でフレーミングエラーの発生しているブレークデータが格納されますので注意してください

図 28.12　シリアル受信のフローチャート例（2）

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビット及びストップビットを受信します。
   受信後、SCIF は以下のチェックを行います。

   (a) ストップビットチェック：ストップビットが1 であるかをチェックします。
   ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。

   (b) 受信データをSCRSR からSCFRDR に転送できる状態であるかをチェックします。(注)

   (c) オーバランエラーチェック：ORER フラグが 0 であり、オーバランエラーが発生していないことをチェックします。(注)

   (a) ブレークチェック：BRK フラグが0 であり、ブレーク状態でないことをチェックします。(注)
   (b) (c) (d) のチェックがパスしたとき、SCFRDR に受信データが格納されます。

   注. パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグ又はDRフラグが1になったとき、RIEビット（SCSCRレジスタのビット6）が1にセットされていると受信FIFOデータフル割り込み（RXI）要求を発生します。
   また、ER フラグが 1 になったとき、RIE ビット（SCSCR レジスタのビット 6）又は REIE ビット（SCSCR レジスタのビット 3）が 1 にセットされていると受信エラー割り込み（ERI）要求を発生します。
   さらに、BRKフラグ又はORERフラグが1になったとき、SCSCRのRIEビット又はREIEビットが1にセットされていると、ブレーク受信割り込み（BRI）要求を発生します。

調歩同期式モード受信時の動作例を図28.13 に示します。

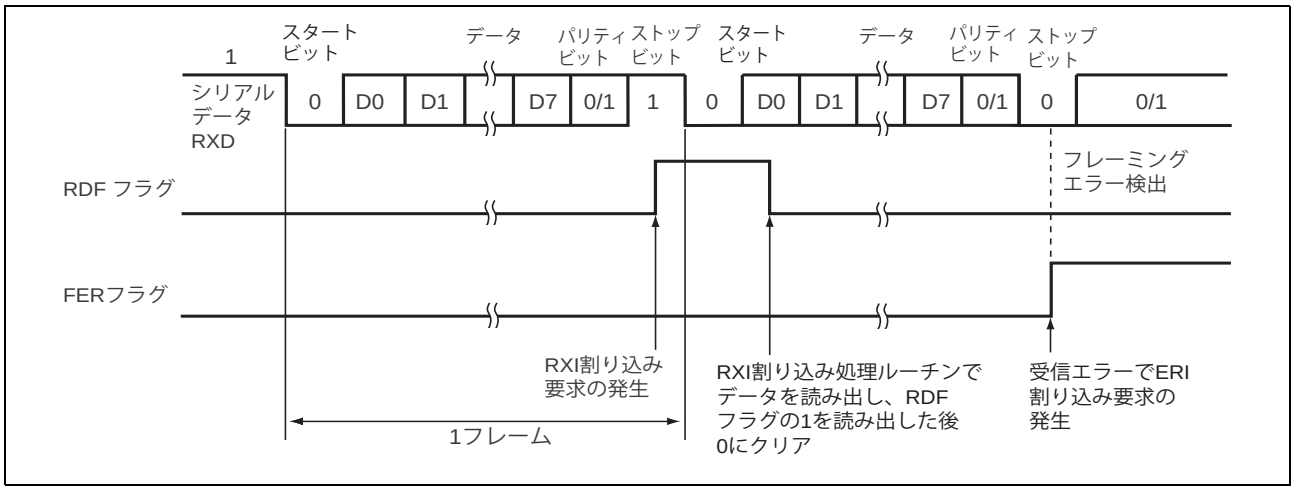


図 28.13　SCIF の受信時の動作例
（8 ビットデータ／パリティあり／1 ストップビット）

5. モデムコントロールイネーブル時は、SCFRDR の空き状況によって $\overline{\text{RTS}}$ 信号を出力します。$\overline{\text{RTS}}$ が0のときは受信可能状態です。$\overline{\text{RTS}}$ が1のときはSCFRDR内のデータ数が、$\overline{\text{RTS}}$ 出力アクティブトリガ設定数以上であることを示します。$\overline{\text{RTS}}$ 出力アクティブトリガ値は、「28.3.9 FIFO コントロールレジスタ（SCFCR）」のビット10～8で指定します。また、SCSCR の RE ビットが0のときも、$\overline{\text{RTS}}$ が1になります。

. モデムコントロール時の動作例を図28.14に示します。

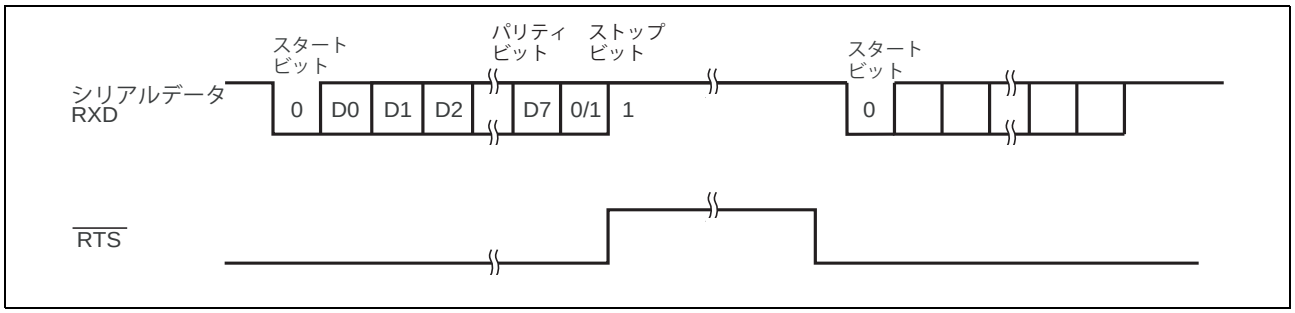


図 28.14　モデムコントロール（$\overline{\text{RTS}}$）時の動作例

28.4.3　クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFIO バッファ構造になっていますので送信／受信中にデータの読み出し／書き込みができ連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図28.15 に示します。

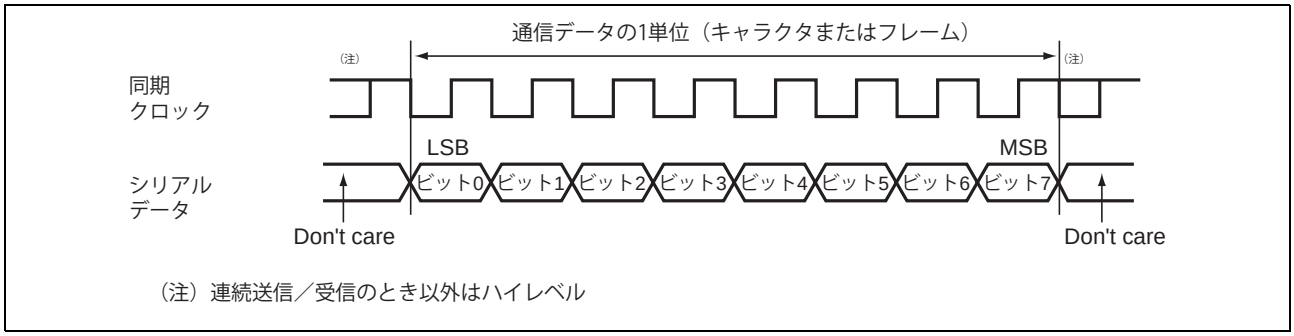


図 28.15　クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、LSB から始まり最後にMSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1)　送信／受信フォーマット

8 ビット固定です。パリティビットの付加はできません。

(2)　クロック

SCSMR の C/$\overline{A}$ ビットと SCSCR レジスタの CKE1、CKE0 ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、又は、SCK 端子から入力された外部同期クロックの2 種類から選択できます。SCIF のクロックソース選択については、表28.5 を参照してください。

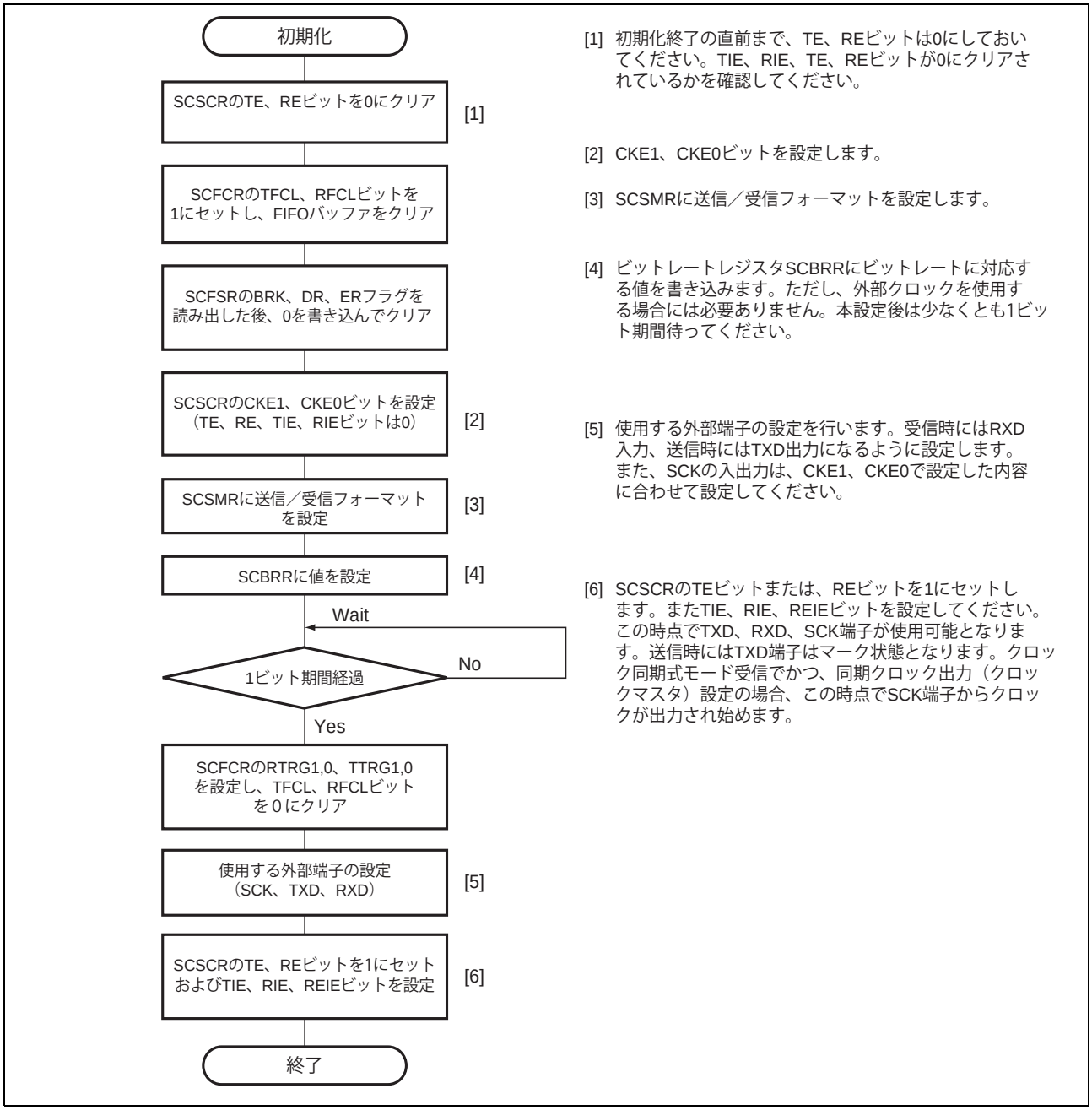
内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは1 キャラクタの送受信で8 パルス出力され、送信／受信を行わないときにはH レベルに固定されます。受信動作のみの場合、内部クロックを選択するとSCSCR レジスタ のRE ビットが1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3)　SCIF の初期化（クロック同期式）

データの送信／受信前にSCSCR レジスタのTE、RE ビットを0 にした後、以下の手順でSCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、及びRE ビットを0 にしてから下記手順で変更してください。TE ビットを0 にするとSCTSR が初期化されます。RE ビットを0 にしてもRDF、PER、FER、ORER の各フラグ、及びSCFRDR の内容は保持されますので注意してください。

図28.16 にSCIF の初期化フローチャート例を示します。



[1] 初期化終了の直前まで、TE、REビットは0にしておいてください。TIE、RIE、TE、REビットが0にクリアされているかを確認してください。

[2] CKE1、CKE0ビットを設定します。

[3] SCSMRに送信／受信フォーマットを設定します。

[4] ビットレートレジスタSCBRRにビットレートに対応する値を書き込みます。ただし、外部クロックを使用する場合には必要ありません。本設定後は少なくとも1ビット期間待ってください。

[5] 使用する外部端子の設定を行います。受信時にはRXD入力、送信時にはTXD出力になるように設定します。また、SCKの入出力は、CKE1、CKE0で設定した内容に合わせて設定してください。

[6] SCSCRのTEビットまたは、REビットを1にセットします。またTIE、RIE、REIEビットを設定してください。この時点でTXD、RXD、SCK端子が使用可能となります。送信時にはTXD端子はマーク状態となります。クロック同期式モード受信でかつ、同期クロック出力（クロックマスタ）設定の場合、この時点でSCK端子からクロックが出力され始めます。

図 28.16　SCIF 初期化フローチャート例

(4)　シリアルデータ送信（クロック同期式）

図28.17 にシリアル送信のフローチャート例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

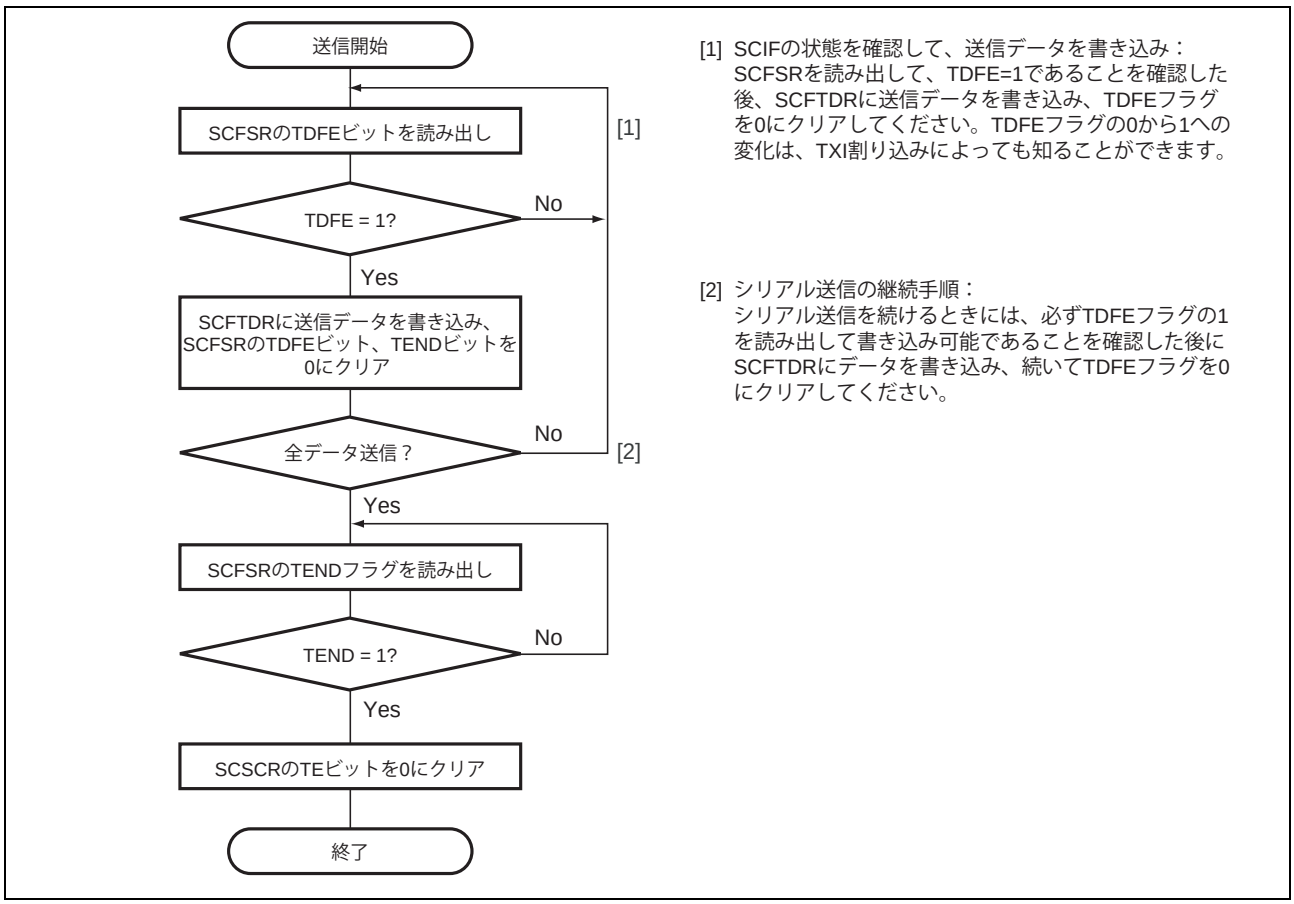


図 28.17　シリアル送信のフローチャート例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。
   SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16－（送信トリガ設定数）です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み（TXI）要求を発生します。
3. クロック出力モードに設定したときには、SCIFは1データに対し同期クロック8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。
   シリアル送信データは、LSBから順にTXD端子から送り出されます。
4. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子（TXD端子）は状態を保持します。
5. シリアル送信終了後、SCSCRのCKE1ビットが0のとき、SCK端子から出力する同期クロックはHレベル固定になります。
   図28.18 にクロック同期式のSCIF の送信時の動作例を示します。

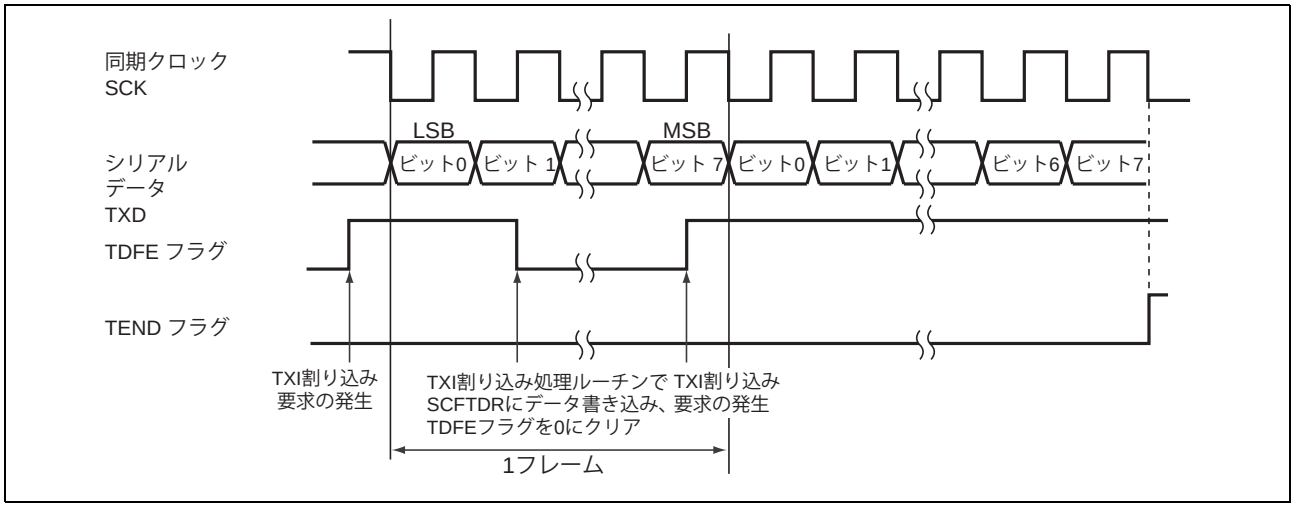


図 28.18　SCIF 送信時の動作例

(5)　シリアルデータ受信（クロック同期式）

図28.19にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、SCLSR のORER、SCFSR のPER、FER の各フラグが0 にクリアされていることを確認してください。

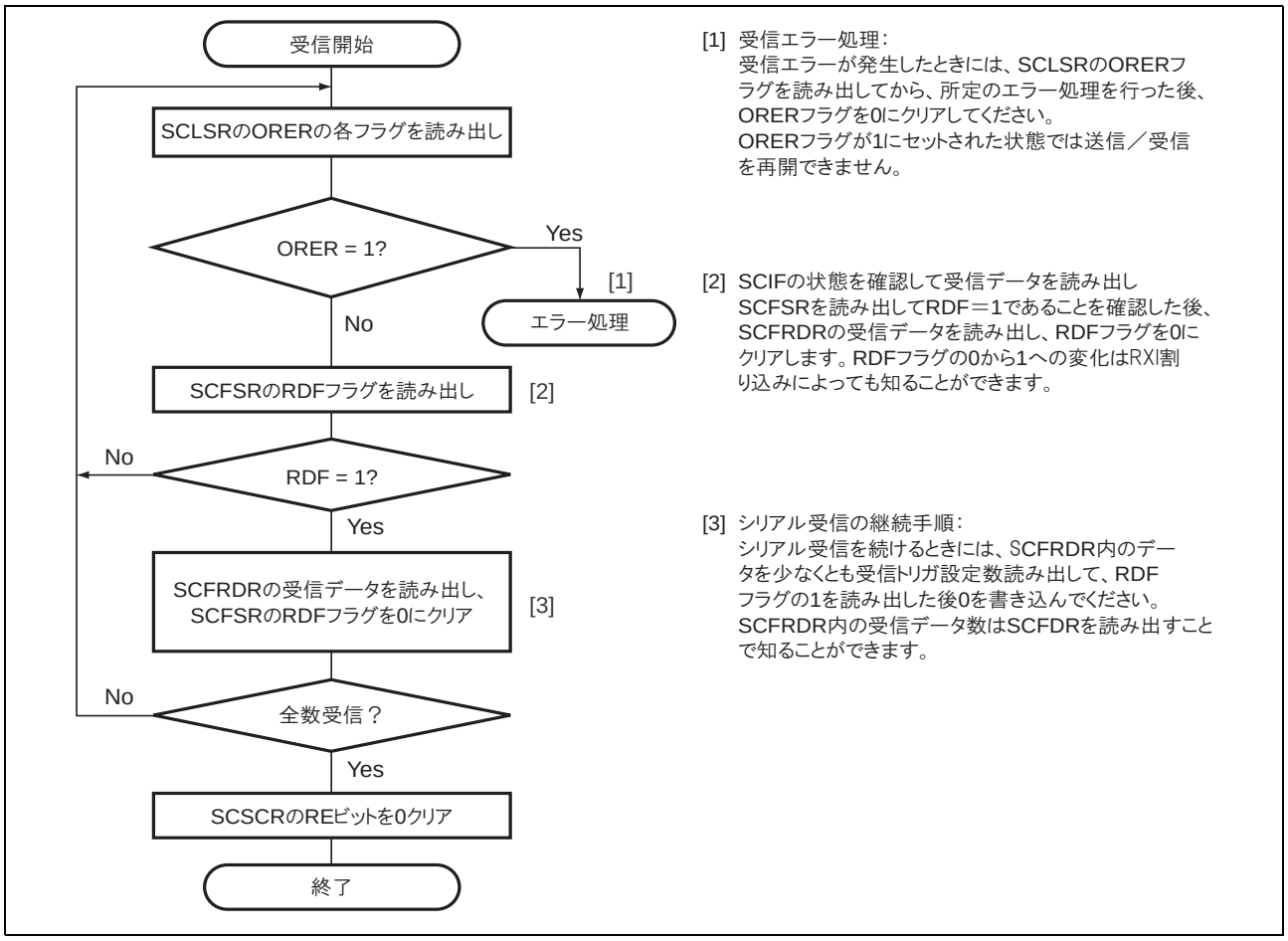


図 28.19　シリアル受信のフローチャート例（1）

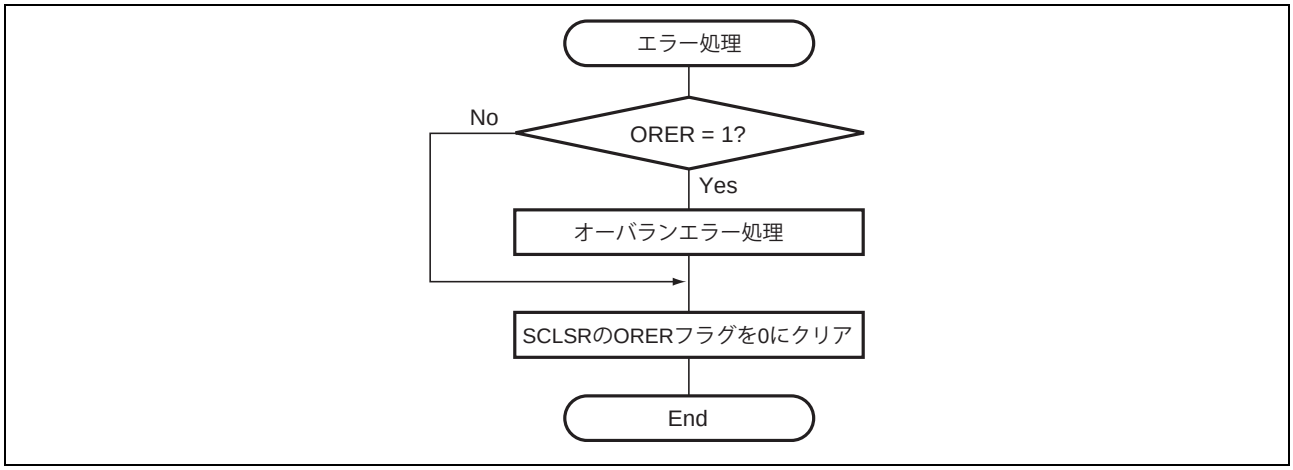


図 28.19　シリアル受信のフローチャート例（2）

SCIF はシリアル受信時に以下のように動作します。

1. SCIF は同期クロックの入力又は出力に同期して受信を開始します。
2. 受信したデータを SCRSR の LSB から MSB の順に格納します。
   受信後、SCIF は受信データを SCRSR から SCFRDR に転送できる状態であるかをチェックし、このチェックがパスしたとき SCFRDR に受信データが格納されます。
   エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。
3. RDF フラグが 1 になったとき、RIE ビット（SCSCR レジスタのビット 6）が 1 にセットされていると受信 FIFO データフル割り込み（RXI）要求を発生します。また、ORER フラグが 1 になったとき、RIE ビット（SCSCR レジスタのビット 3）が 1 にセットされているとブレーク割り込み（BRI）要求を発生します。
   図 28.20 にクロック同期式の SCIF の受信時の動作例を示します。

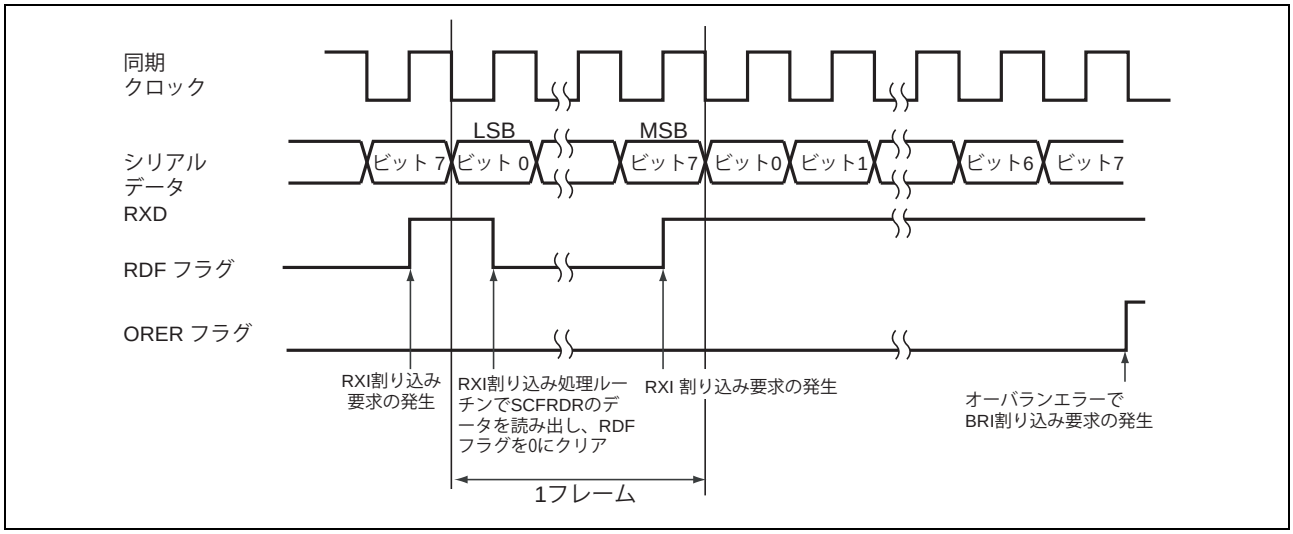


図 28.20　SCIF の受信時の動作例

(6)　シリアルデータ送受信同時動作（クロック同期式）

図28.21 にシリアル送受信同時動作のフローチャート例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

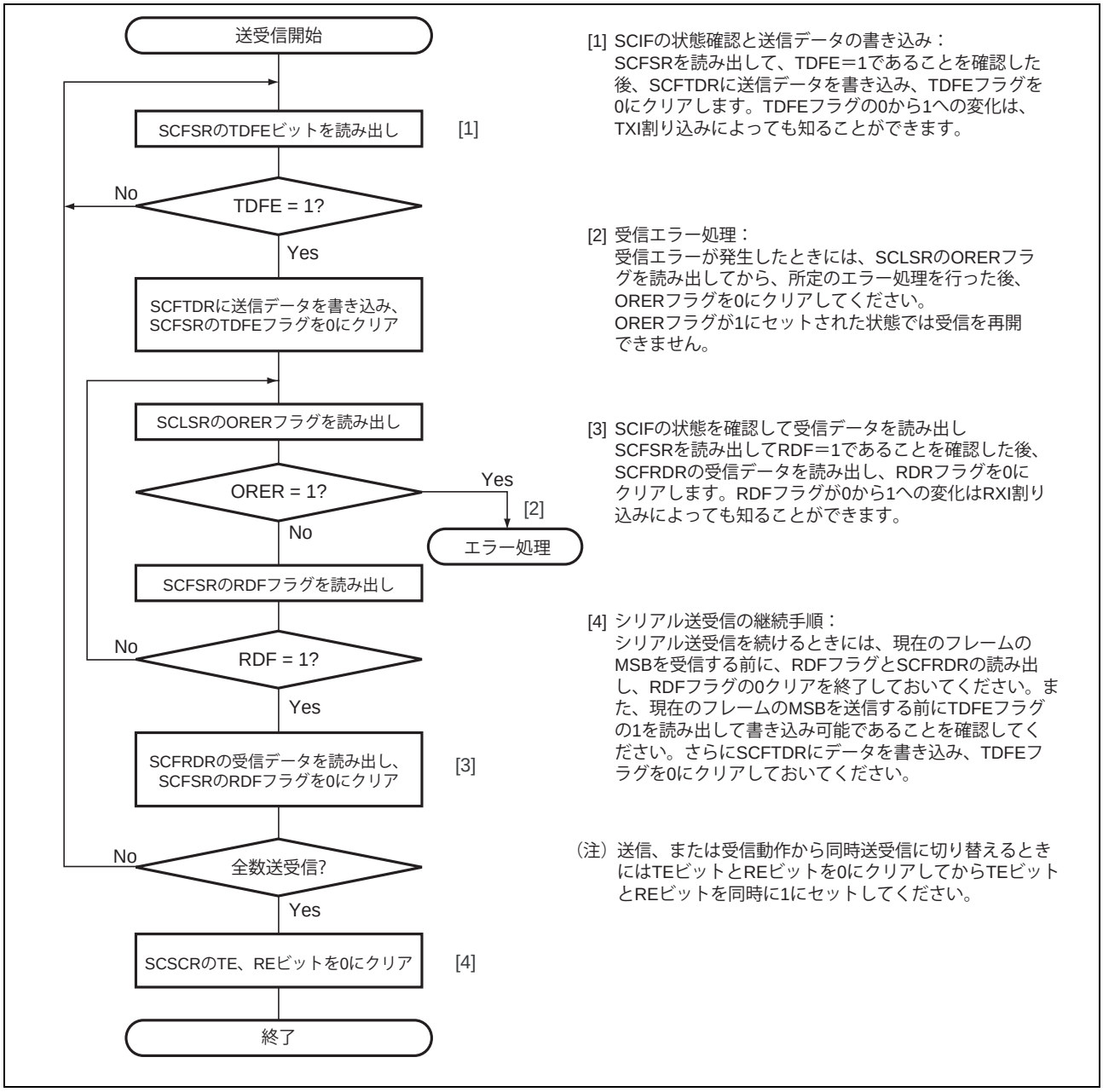


図 28.21　シリアル送受信のフローチャート例

28.4.4　RS-485 送信モード

SCIFnの各$\overline{\text{RTS}}$信号は、外部RS-485トランシーバと併用できるように半二重の方向を交互制御する信号として構成できます。RS485モードでは、該当SCIFnのキャラクタ送信期間中に半二重送信イネーブル制御信号がアサートされます。このRS-485半二重送信イネーブル信号は送信された各キャラクタブロックの前後で開始、停止遅延をプログラムできます(開始遅延が0から7ビット、停止遅延が0から15ビット)。開始遅延と停止遅延はRS485M レジスタにおいてそれぞれ別のSCIFn モジュールに対して独立してプログラム可能です。

図28.22にRS-485 SCIFn 送信モード関連の波形を示します。

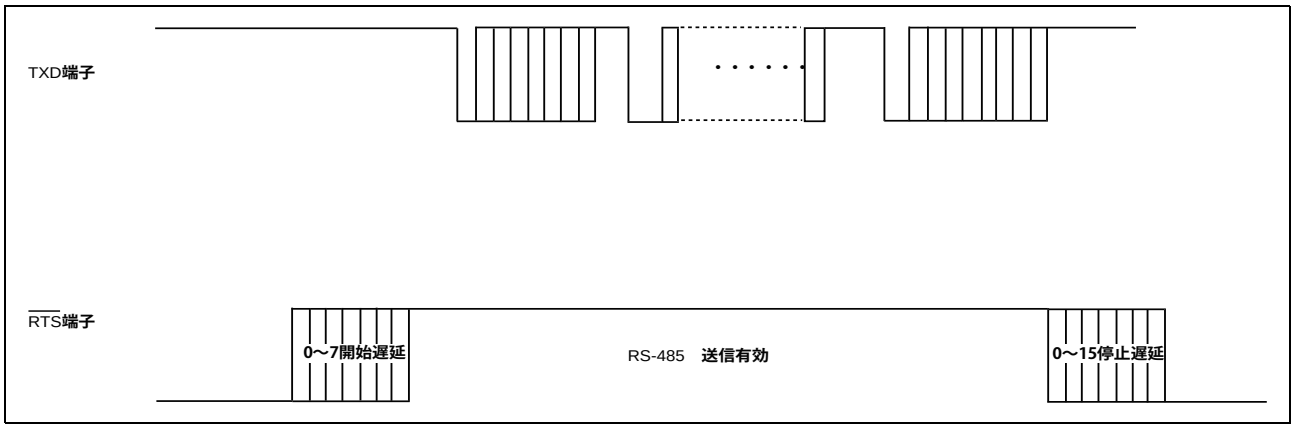


図 28.22　RS-485 SCIFn 送信モード関連の信号波形

28.5　SCIF 割り込み要因とDMAC

SCIF はチャネルごとに、送信 FIFO データエンプティ割り込み（TXI）要求、受信エラー割り込み（ERI）要求、受信FIFO データフル割り込み（RXI）要求、ブレーク割り込み（BRI）要求の4 種類の割り込み要因を持っています。

表28.7 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR のTIE、RIE、REIE ビットで、許可又は禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCFSR のTDFE フラグが1 にセットされると、TXI 割り込み要求と送信FIFO データエンプティ DMA転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが1 にセットされると、送信FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR のRDF フラグ又はDR フラグが1 にセットされると、RXI 割り込み要求と受信FIFO データフルDMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグ又はDR フラグが1 にセットされると、受信FIFO データフルDMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが1 にセットされたことによるRXI 割り込み又は受信FIFO データフルDMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR のBRK フラグ又はSCLSR のORER フラグが1 にセットされると、BRI 割り込み要求が発生します。DMAC を使って送受信を行う場合は、先にDMAC を設定し、イネーブル状態にしてからSCIF の設定を行ってください。また、割り込みコントローラへRXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係にDMAC によってクリアされます。

SCSCR のRIE ビットを0 に設定し、REIE ビットを1 に設定すると、RXI 割り込み要求を出さずにERI 割り込み要求だけを出すことができます。

表28.7　SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー（ER）による割り込み	不可	高
RXI	受信FIFO データフル（RDF）又は受信データレディ（DR）（注）による割り込み	可	↑
BRI	ブレーク（BRK）又はオーバランエラー（ORER）による割り込み	不可	
TXI	送信FIFO データエンプティ（TDFE）による割り込み	可	低

注．　DR によるRXI 割り込みは、調歩同期モード時のみ可能です。

28.6　使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1)　SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCFDR で知ることができます。

(2)　SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCFDR で知ることができます。

(3)　ブレークの検出と処理について

フレーミングエラー（FER）検出時に RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。

ブレークでは、RXD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4)　ブレークの送り出し

TXD 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット（送信可能）するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定（出力、H レベル）しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0（L レベル）にした後、TE ビットを 0 にクリア（送信停止）します。TE ビットを 0 にすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子からは 0 が出力されます。

(5)　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍を周波数とする基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 28.23 に示します。

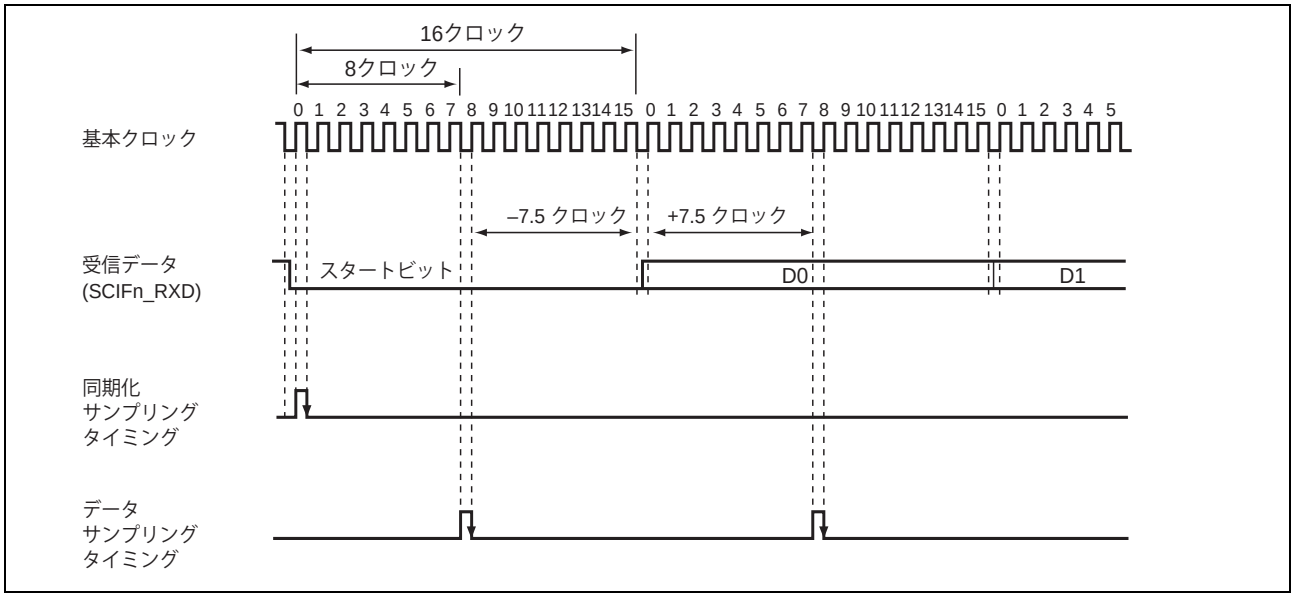


図 28.23　調歩同期式の受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

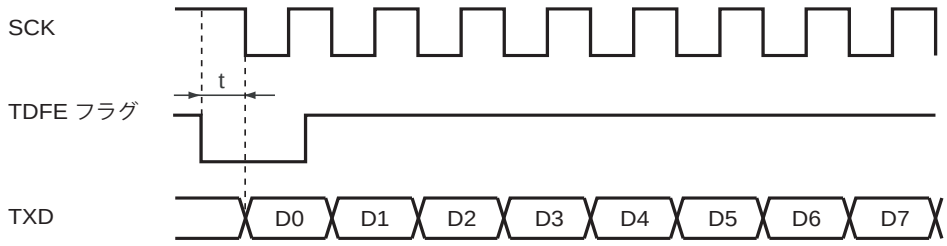
$$M = \left| (0.5 - \frac{1}{2N}) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ \% \quad \text{.....(1)}$$

M:受信マージン（%）
N:クロックに対するビットレートの比（N＝16）
D:クロックデューティ（D＝0～1.0）
L:フレーム長（L＝9～12）
F:クロック周波数の偏差の絶対値
式（1）で、F＝0、D＝0.5 とすると、受信マージンは式（2）より 46.875%となります。
D ＝0.5、F＝0 のとき
$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\%$ .....式(2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20～30%の余裕を持たせてください。

(6) クロック同期式モードでDMAC によりSCFTDR を更新する場合の注意事項

クロック同期式モードにおいてSCK 端子入力を使用する場合、DMAC によるSCFTDR の更新後、周辺クロック（Pck）で5 サイクル以上経過した後にSCK 端子にクロックを入力してください。SCFTDR の更新後4 サイクル以内に送信クロックを入力すると誤動作することがあります（図28.24）。



（注）　外部クロックで動作させるときは、t>4に設定してください。

図 28.24　DMAC による同期クロック転送例

29. シリアルコミュニケーションインタフェース端子マルチプレクス機能 (SERMUX)

シリアルコミュニケーションインタフェース端子マルチプレクス機能(SERMUX)はCOM1、COM2、RACポートに4つのシリアルインタフェースモジュール（SCIF0～SCIF3）のインタフェース端子を割り付ける機能です。端子の割り付けは13のモード（シリアルマルチプレクスモード0～6、8～D）から選択することができます。

パワーオンリセット後、シリアルマルチプレクスモード8が選択されています。このとき、SCIF0はRACポート、SCIF1はCOM2ポートと接続されます。

なお、SCIF についての詳細は「27. FIFO 内蔵シリアルコミュニケーションインタフェース0、1（SCIF0、SCIF1）」及び「28. FIFO 内蔵シリアルコミュニケーションインタフェース2、3、4（SCIF2、SCIF3、SCIF4）」を参照してください。

29.1 特長

- COM1、COM2、RACポートを内部で接続することが可能
- 13種類のシリアルマルチプレクスモードに対応
- SCIF2及びSCIF3にモデム制御信号($\overline{\text{DTR}}$)の出力制御機能、モデムステータス信号($\overline{\text{DSR}}$、$\overline{\text{DCD}}$、$\overline{\text{RI}}$)のモニタ機能
- SCIF2及びSCIF3のモデムステータス信号で以下の割り込み要求を発生させることが可能
  MIR2：モデムステータス入力2割り込み
  MIR3：モデムステータス入力3割り込み

29.2　入出力端子

SERMUXの入出力端子構成を表29.1、SCIF0～SCIF3の入出力信号を表29.2に示します。

表29.1　SERMUXの入出力端子構成

ポート	端子名	入出力	機 能
COM1ポート	COM1-TXD	出力	COM1 ポートの送信データ出力端子
	COM1-RXD	入力	COM1 ポートの受信データ入力端子
	$\overline{\text{COM1-CTS}}$	入力	COM1 ポートの送信許可入力端子
	$\overline{\text{COM1-RTS}}$	出力	COM1 ポートの送信要求出力端子
COM2ポート	COM2-TXD	出力	COM2 ポートの送信データ出力端子
	COM2-RXD	入力	COM2 ポートの受信データ入力端子
	$\overline{\text{COM2-RI}}$	入力	COM2 ポートのリングインジケータ入力端子
	$\overline{\text{COM2-DCD}}$	入力	COM2 ポートのデータキャリア検出入力端子
	$\overline{\text{COM2-DSR}}$	入力	COM2 ポートのデータセットレディ入力端子
	$\overline{\text{COM2-DTR}}$	出力	COM2 ポートのデーターミナルレディ出力端子
	$\overline{\text{COM2-CTS}}$	入力	COM2 ポートの送信許可入力端子
	$\overline{\text{COM2-RTS}}$	出力	COM2 ポートの送信要求出力端子
RACポート	RAC-TXD	入出力	RAC ポートの送信データ入出力端子
	RAC-RXD	入出力	RAC ポートの受信データ入出力端子
	$\overline{\text{RAC-RI}}$	入出力	RAC ポートのリングインジケータ入出力端子
	$\overline{\text{RAC-DCD}}$	入出力	RAC ポートのデータキャリア検出入出力端子
	$\overline{\text{RAC-DSR}}$	入出力	RAC ポートのデータセットレディ入出力端子
	$\overline{\text{RAC-DTR}}$	入出力	RAC ポートのデーターミナルレディ入出力端子
	$\overline{\text{RAC-CTS}}$	入出力	RAC ポートの送信許可入出力端子
	$\overline{\text{RAC-RTS}}$	入出力	RAC ポートの送信要求入出力端子
SCIF2ポート	TXD2	出力	SCIF2 ポートの送信データ出力端子
	RXD2	入力	SCIF2 ポートの受信データ入力端子
	$\overline{\text{CTS2}}$	入力	SCIF2ポートの送信許可入力端子
	$\overline{\text{RTS2}}$	出力	SCIF2 ポートの送信要求出力端子
SCIF3ポート	TXD3	出力	SCIF3 ポートの送信データ出力端子
	RXD3	入力	SCIF3 ポートの受信データ入力端子
	$\overline{\text{CTS3}}$	入力	SCIF3ポートの送信許可入力端子
	$\overline{\text{RTS3}}$	出力	SCIF3ポートの送信要求出力端子

表29.2　SCIF0～SCIF3の入出力信号

ポート	端子名	入出力	機 能
SCIF0ポート	SCIF0-TXD	入力	SCIF0ポートの送信データ入力信号
	SCIF0-RXD	出力	SCIF0 ポートの受信データ出力信号
	$\overline{\text{SCIF0-RI}}$	出力	SCIF0 ポートのリングインジケータ出力信号
	$\overline{\text{SCIF0-DCD}}$	出力	SCIF0 ポートのデータキャリア検出出力信号
	$\overline{\text{SCIF0-DSR}}$	出力	SCIF0 ポートのデータセットレディ出力信号
	$\overline{\text{SCIF0-DTR}}$	入力	SCIF0 ポートのデーターミナルレディ入力信号
	$\overline{\text{SCIF0-CTS}}$	出力	SCIF0 ポートの送信許可出力信号
	$\overline{\text{SCIF0-RTS}}$	入力	SCIF0 ポートの送信要求入力信号
SCIF1ポート	SCIF1-TXD	入力	SCIF1 ポートの送信データ入力信号
	SCIF1-RXD	出力	SCIF1ポートの受信データ出力信号
	$\overline{\text{SCIF1-RI}}$	出力	SCIF1 ポートのリングインジケータ出力信号
	$\overline{\text{SCIF1-DCD}}$	出力	SCIF1 ポートのデータキャリア検出出力信号
	$\overline{\text{SCIF1-DSR}}$	出力	SCIF1 ポートのデータセットレディ出力信号
	$\overline{\text{SCIF1-DTR}}$	入力	SCIF1 ポートのデーターミナルレディ入力信号
	$\overline{\text{SCIF1-CTS}}$	出力	SCIF1 ポートの送信許可出力信号
	$\overline{\text{SCIF1-RTS}}$	入力	SCIF1 ポートの送信要求入力信号
SCIF2 ポート	SCIF2-TXD	入力	SCIF2 ポートの送信データ入力信号
	SCIF2-RXD	出力	SCIF2 ポートの受信データ出力信号
	$\overline{\text{SCIF2-CTS}}$	出力	SCIF2ポートの送信許可出力信号
	$\overline{\text{SCIF2-RTS}}$	入力	SCIF2 ポートの送信要求入力信号
SCIF3ポート	SCIF3-TXD	入力	SCIF3 ポートの送信データ入力信号
	SCIF3-RXD	出力	SCIF3ポートの受信データ出力信号
	$\overline{\text{SCIF3-CTS}}$	出力	SCIF3ポートの送信許可出力信号
	$\overline{\text{SCIF3-RTS}}$	入力	SCIF3 ポートの送信要求入力信号

29.3　レジスタの説明

表29.3にSERMUXのレジスタ構成、及び各リセット時のレジスタの状態を示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表29.3　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
シリアルマルチプレクスレジスタ0	SMR0	R/W	H'FE47 0000	8	H'30	保持
シリアルマルチプレクスレジスタ1	SMR1	R	H'FE47 0001	8	H'0X	保持
シリアルマルチプレクスレジスタ2	SMR2	R	H'FE47 0002	8	H'X0	保持
シリアルマルチプレクスレジスタ3	SMR3	R/W	H'FE47 0003	8	H'00	保持
シリアルマルチプレクスレジスタ4	SMR4	R	H'FE47 0004	8	H'X0	保持
シリアルマルチプレクスレジスタ5	SMR5	R/W	H'FE47 0005	8	H'00	保持

29.3.1　シリアルマルチプレクスレジスタ0（SMR0）

SMR0は、シリアルマルチプレクス機能や各モードの制御をするレジスタです。

ビット:	7	6	5	4	3	2	1	0
	MSIE3	MSIE2	MS3	SME	BUSY	MS2	MS1	MS0
初期値:	0	0	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSIE3	0	R/W	SCIF3 のモデムステータス割り込み有効 0：割り込み無効 1：DDCD3、TERI3、DDSR3、DCTS3による割り込み有効
6	MSIE2	0	R/W	SCIF2 のモデムステータス割り込み有効 0：割り込み無効 1：DDCD2、TERI2、DDSR2、DCTS2による割り込み有効
5	MS3	1	R/W	シリアルマルチプレクスモード選択 3 詳細は本レジスタの MS[2:0] ビットの説明を参照してください。
4	SME	1	R/W	シリアルマルチプレクス機能有効 0：シリアルマルチプレクス機能無効 1：シリアルマルチプレクス機能有効
3	BUSY	0	R	ビジー 端子切り替え制御中であることを示すビットです。本ビットが1の間、SMR0に対する書き込みは無効になります。 0：端子切り替え制御待ち状態 [クリア条件] SMR0への書き込みからPckの２サイクル後 1：端子切り替え制御中 [セット条件] SMR0 への書き込み

ビット	ビット名	初期値	R/W	説 明
2 ～ 0	MS[2:0]	0	R/W	シリアルマルチプレクスモード選択 [2:0] MS3、及びMS[2:0] で構成されている MS[3:0] ビットにより、13種類のモードからマルチプレクスモードの端子が 1 つ選択可能です。本ビットによる制御は、SME ビットが 1 のとき有効になります。 MS[3:0] 0000 :シリアルマルチプレクスモード 0に設定 0001 :シリアルマルチプレクスモード 1に設定 0010 :シリアルマルチプレクスモード 2に設定 0011 :シリアルマルチプレクスモード 3に設定 0100 :シリアルマルチプレクスモード 4に設定 0101 :シリアルマルチプレクスモード 5に設定 0110 :シリアルマルチプレクスモード 6に設定 0111 :設定禁止 1000 :シリアルマルチプレクスモード 8に設定 1001 :シリアルマルチプレクスモード 9に設定 1010 :シリアルマルチプレクスモード Aに設定 1011 :シリアルマルチプレクスモード Bに設定 1100 :シリアルマルチプレクスモード Cに設定 1101 :シリアルマルチプレクスモード Dに設定 1110 ～ 1111 :設定禁止

29.3.2　シリアルマルチプレクスレジスタ1（SMR1）

SMR1 はポートの端子状態をモニタをするレジスタです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	$\overline{\text{DCD}}$	$\overline{\text{RI}}$	$\overline{\text{DSR}}$	—
初期値:	0	0	0	0	—	—	—	—
R/W:	—	—	—	—	R	R	R	—

ビット	ビット名	初期値	R/W	説 明
7 ～ 4	—	0	—	リザーブビット
3	$\overline{\text{DCD}}$	—	R	$\overline{\text{DCD}}$ 端子モニタ シリアルマルチプレクスモード0、2、5 のとき、$\overline{\text{COM2-DCD}}$ 端子状態をモニタ。
2	$\overline{\text{RI}}$	—	R	$\overline{\text{RI}}$ 端子モニタ シリアルマルチプレクスモード0、2、5 のとき、$\overline{\text{COM2-RI}}$ 端子状態をモニタ。
1	$\overline{\text{DSR}}$	—	R	$\overline{\text{DSR}}$ 端子モニタ シリアルマルチプレクスモード0、2、5 のとき、$\overline{\text{COM2-DSR}}$ 端子状態をモニタ。
0	—	—	—	リザーブビット（書き込む値は“1”にしてください）

29.3.3　シリアルマルチプレクスレジスタ2（SMR2）

SMR2は、SCIF 2のモデムステータスを示すレジスタです。SCIF 2モジュール自身は、モデムステータス入力（DCD、RI、DSR、CTS）に対応していません。本レジスタが、モデムステータス入力のシミュレーション機能を備えています。

ビット:	7	6	5	4	3	2	1	0
	DCD2	RI2	DSR2	CTS2	DDCD2	TERI2	DDSR2	DCTS2
初期値:	—	—	—	—	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	DCD2	—	R	DCD2に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
6	RI2	—	R	RI2に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
5	DSR2	—	R	DSR2に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
4	CTS2	—	R	CTS2に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
3	DDCD2	0	R	DCD2が0から1（入力信号の立ち下がりエッジ）もしくは1から0（入力信号の立ち上がりエッジ）に変化した時、1になります。MSIE2ビット（SMR0レジスタのビット6）とDDCDE2ビット（SMR3レジスタのビット7）が1の場合、MIR2割り込みが発生します。 このビットは読み出すと0になります。
2	TERI2	0	R	RI2が0から1（入力信号の立ち下がりエッジ）に変化した時、1になります。MSIE2ビット（SMR0レジスタのビット6）とTERIE2ビット（SMR3レジスタのビット6）が1の場合、MIR2割り込みが発生します。 このビットは読み出すと0になります。
1	DDSR2	0	R	DSR2が0から1（入力信号の立ち下がりエッジ）もしくは1から0（入力信号の立ち上がりエッジ）に変化した時、1になります。MSIE2ビット（SMR0レジスタのビット6）とDDSRE2ビット（SMR3レジスタのビット5）が1の場合、MIR2割り込みが発生します。 このビットは読み出すと0になります。

ビット	ビット名	初期値	R/W	説 明
0	DCTS2	0	R	CTS2が0から1（入力信号の立ち下がりエッジ）もしくは1から0（入力信号の立ち上がりエッジ）に変化した時、1になります。MSIE2ビット（SMR0レジスタのビット6）とDDSRE2ビット（SMR3レジスタのビット5）が1の場合、MIR2割り込みが発生します。 このビットは読み出すと0になります。

29.3.4　シリアルマルチプレクスレジスタ3（SMR3）

SMR3は、SCIF 2のモデム制御を示すレジスタです。SCIF 2モジュール自身は、モデム制御出力(DTR)に対応していません。本レジスタが、モデム制御出力のシミュレーション機能を備えています。

ビット:	7	6	5	4	3	2	1	0
	DDCDE2	TERIE2	DDSRE2	DCTSE2	DO2	RO2	—	DTR2
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

ビット	ビット名	初期値	R/W	説 明
7	DDCDE2	0	R/W	割り込み有効ビットです。本ビットとMSIE2ビットが共に1の場合、DDCD2ビット（SMR2レジスタのビット3）が1になると、MIR2割り込みが発生します。 0：割り込み無効 1：割り込み有効
6	TERIE2	0	R/W	割り込み有効ビットです。本ビットとMSIE2ビット（SMR0レジスタのビット6）が共に1の場合、TERI2ビット（SMR2レジスタのビット2）ビットが1になると、MIR2割り込みが発生します。 0：割り込み無効 1：割り込み有効
5	DDSRE2	0	R/W	割り込み有効ビットです。本ビットとMSIE2ビット（SMR0レジスタのビット6）が共に1の場合、DDSR2ビット（SMR2レジスタのビット1）が1になると、MIR2割り込みが発生します。 0：割り込み無効 1：割り込み有効
4	DCTSE2	0	R/W	割り込み有効ビットです。本ビットとMSIE2ビット（SMR0レジスタのビット6）が共に1の場合、DCTS2ビット（SMR2レジスタのビット0）が1になると、MIR2割り込みが発生します。 0：割り込み無効 1：割り込み有効
3	DO2	0	R/W	DO2で設定した値に応じて、信号を出力します。反転した論理値で値を設定します。 0：Hレベルを出力 1：Lレベルを出力

ビット	ビット名	初期値	R/W	説 明
2	RO2	0	R/W	RO2で設定した値に応じて、信号を出力します。反転した論理値で値を設定します。 0：Hレベルを出力 1：Lレベルを出力
1	—	0	—	リザーブビット
0	DTR2	0	R/W	DTR2で設定した値に応じて、信号を出力します。反転した論理値で値を設定します。 0：Hレベルを出力 1：Lレベルを出力

29.3.5　シリアルマルチプレクスレジスタ4（SMR4）

SMR4は、SCIF3のモデムステータスを示すレジスタです。SCIF3モジュール自身は、モデムステータス入力（DCD、RI、DSR、CTS）に対応していません。本レジスタが、モデムステータス入力のシミュレーション機能を備えています。

ビット:	7	6	5	4	3	2	1	0
	DCD3	RI3	DSR3	CTS3	DDCD3	TERI3	DDSR3	DCTS3
初期値:	—	—	—	—	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	DCD3	—	R	DCD3に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
6	RI3	—	R	RI3に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
5	DSR3	—	R	DSR3に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
4	CTS3	—	R	CTS3に入力される信号のモニタビットです。信号レベルに対して、反転した論理値を示します。 0：入力信号がHレベル 1：入力信号がLレベル
3	DDCD3	0	R	DCD3が0から1（入力信号の立ち下がりエッジ）もしくは1から0（入力信号の立ち上がりエッジ）に変化した時、1になります。MSIE3ビット（SMR0レジスタのビット7）とDDCDE3ビット（SMR5レジスタのビット7）が1の場合、MIR3割り込みが発生します。 このビットは読み出すと0になります。
2	TERI3	0	R	RI3が0から1（入力信号の立ち下がりエッジ）に変化した時、1になります。MSIE3ビット（SMR0レジスタのビット7）とTERIE3ビット（SMR5レジスタのビット6）が1の場合、MIR3割り込みが発生します。 このビットは読み出すと0になります。
1	DDSR3	0	R	DSR3が0から1（入力信号の立ち下がりエッジ）もしくは1から0（入力信号の立ち上がりエッジ）に変化した時、1になります。MSIE3ビット（SMR0レジスタのビット7）とDDSRE3ビット（SMR5レジスタのビット5）が1の場合、MIR3割り込みが発生します。 このビットは読み出すと0になります。

ビット	ビット名	初期値	R/W	説 明
0	DCTS3	0	R	CTS3が0から1（入力信号の立ち下がりエッジ）もしくは1から0（入力信号の立ち上がりエッジ）に変化した時、1になります。MSIE3ビット（SMR0レジスタのビット7）とDCTSE3ビット（SMR5レジスタのビット4）が1の場合、MIR3割り込みが発生します。 このビットは読み出すと0になります。

29.3.6　シリアルマルチプレクスレジスタ5（SMR5）

SMR3は、SCIF3のモデム制御を示すレジスタです。SCIF3モジュール自身は、モデム制御出力(DTR)に対応していません。本レジスタが、モデム制御出力のシミュレーション機能を備えています。

ビット:	7	6	5	4	3	2	1	0
	DDCDE3	TERIE3	DDSRE3	DCTSE3	DO3	RO3	—	DTR3
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

ビット	ビット名	初期値	R/W	説 明
7	DDCDE3	0	R/W	割り込み有効ビットです。本ビットとMSIE3ビット（SMR0レジスタのビット7）が共に1の場合、DDCD3ビット（SMR4レジスタのビット3）が1になると、MIR3割り込みが発生します。 0：割り込み無効 1：割り込み有効
6	TERIE3	0	R/W	割り込み有効ビットです。本ビットとMSIE3ビット（SMR0レジスタのビット7）が共に1の場合、TERI3ビット（SMR4レジスタのビット2）が1になると、MIR3割り込みが発生します。 0：割り込み無効 1：割り込み有効
5	DDSRE3	0	R/W	割り込み有効ビットです。本ビットとMSIE3ビット（SMR0レジスタのビット7）が共に1の場合、DDSR3ビット（SMR4レジスタのビット1）が1になると、MIR3割り込みが発生します。 0：割り込み無効 1：割り込み有効
4	DCTSE3	0	R/W	割り込み有効ビットです。本ビットとMSIE3ビット（SMR0レジスタのビット7）が共に1の場合、DCTS3ビット（SMR4レジスタのビット0）が1になると、MIR3割り込みが発生します。 0：割り込み無効 1：割り込み有効
3	DO3	0	R/W	DO3で設定した値に応じて、信号を出力します。反転した論理値で値を設定します。 0：Hレベルを出力 1：Lレベルを出力
2	RO3	0	R/W	RO3で設定した値に応じて、信号を出力します。反転した論理値で値を設定します。 0：Hレベルを出力 1：Lレベルを出力

ビット	ビット名	初期値	R/W	説 明
1	—	0	—	リザーブビット
0	DTR3	0	R/W	DTR3で設定した値に応じて、信号を出力します。反転した論理値で値を設定します。 0：Hレベルを出力 1：Lレベルを出力

29.4　動作モード

シリアルマルチプレクスモードはSMR0レジスタのMS2～MS0ビットで13種類のモードを選択することができます。モード毎にシリアルインタフェース（SCIF0～SCIF4）とポート(COM1、COM2、RAC、SCIF2、SCIF3)の接続が異なります。

SCIF2、SCIF3はモデム制御信号、及びモデムステータス信号に対応していません。代わりに二つのシミュレーション機能があります。

- モデム制御信号出力機能
  シリアルインタフェース又はポートとSMR3、SMR5レジスタのDTRi、DOi、ROiビット（i=2、3）が接続される場合、モデム制御信号の代わりに出力信号を制御することができます。

- モデムステータス信号モニタ機能
  シリアルインタフェースもしくはポートとSMR2、SMR4レジスタのDCDj、RIj、DSRj、CTSjビット（j=2、3）が接続される場合、モデムステータス信号（$\overline{\text{DSR}}$、$\overline{\text{DCD}}$、$\overline{\text{RI}}$）をモニタすることができます。シリアルインタフェース端子もしくはポートとSMR1、SMR2、SMR4レジスタのモニタビットが接続されない場合、モニタビットは0になります。

COM2ポートの$\overline{\text{COM2-TXD}}$とSCIF2のSCK2、COM2ポートの$\overline{\text{COM2-DCD}}$とSCIF3のSCK3、COM2ポートの$\overline{\text{COM2-DSR}}$とSCIF4のSCK4は端子を兼用しています。COM2ポートを使用する場合、SCIF2、SCIF3、SCIF4はクロック同期式シリアル通信モードを使用することができません。

シリアルマルチプレクスモード１、３、６とシリアルマルチプレクスモード無効時、SCIF2のCTS2とRTS2は端子と接続されますがTXD2とRXD2は端子と接続されませんので、SCIF2を使用することはできません。

29.4.1～29.4.14にシリアルマルチプレクスモード0～6、8～Dの端子接続とシリアルマルチプレクスモード無効時の端子接続を示します。

29.4.1　シリアルマルチプレクスモード0

図29.1にシリアルマルチプレクスモード0の端子接続を示します。このモードではSCIF0をCOM1ポート、SCIF2をSCIF2ポート、SCIF3をCOM2ポートに接続します。SCIF1はポートに接続されませんので使用できません。SCIF3ポートとRACポートはシリアルインタフェースと接続しません。

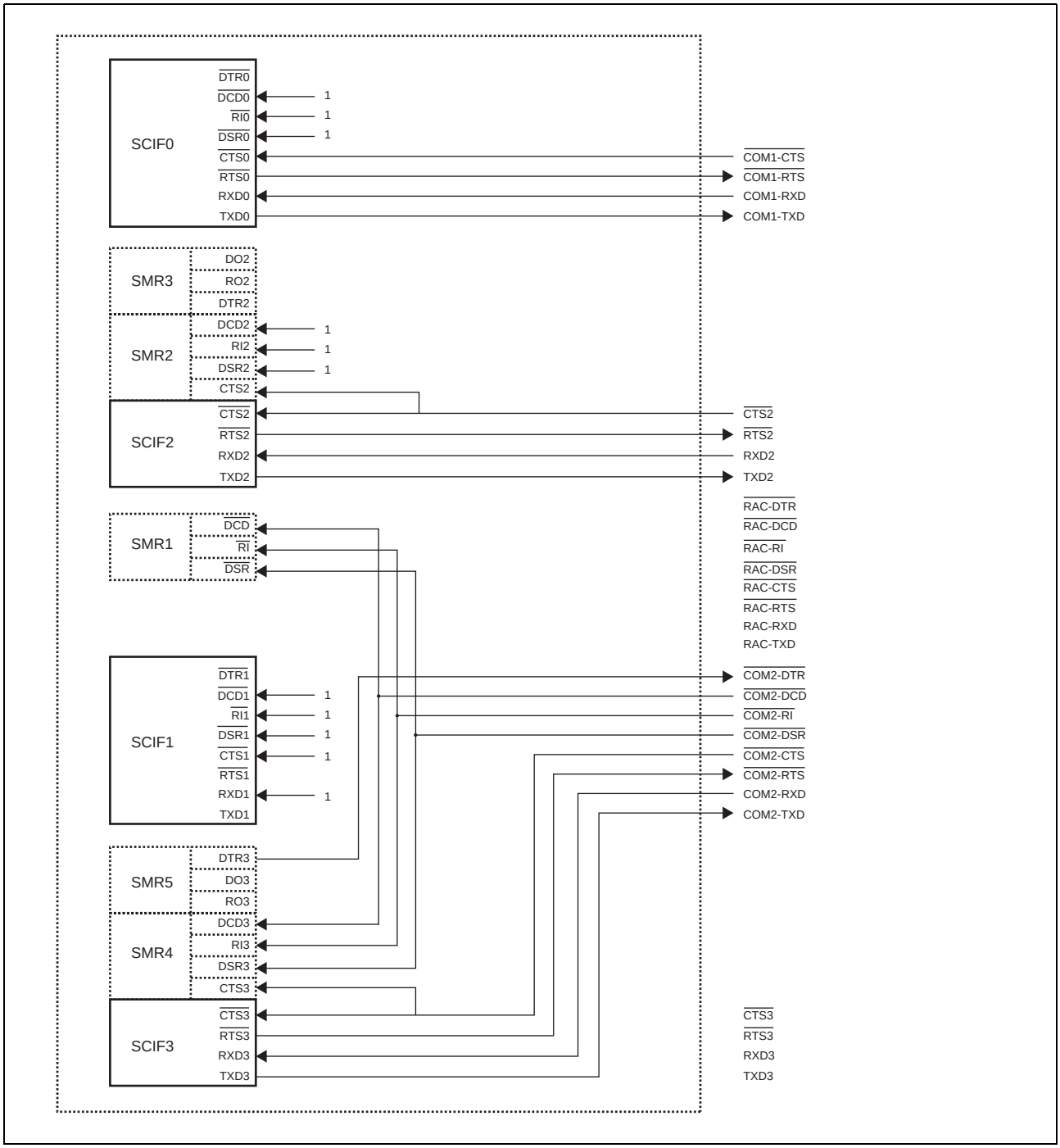


図 29.1　シリアルマルチプレクスモード0 時の端子接続

29.4.2　シリアルマルチプレクスモード1

図29.2にシリアルマルチプレクスモード1の端子接続を示します。このモードではSCIF0をCOM1ポート、SCIF3をSCIF3ポートに接続します。SCIF1とSCIF2はポートに接続されませんので使用できません。COMポートとRACポートを接続します。SCIF2ポートはシリアルインタフェースと接続しません。

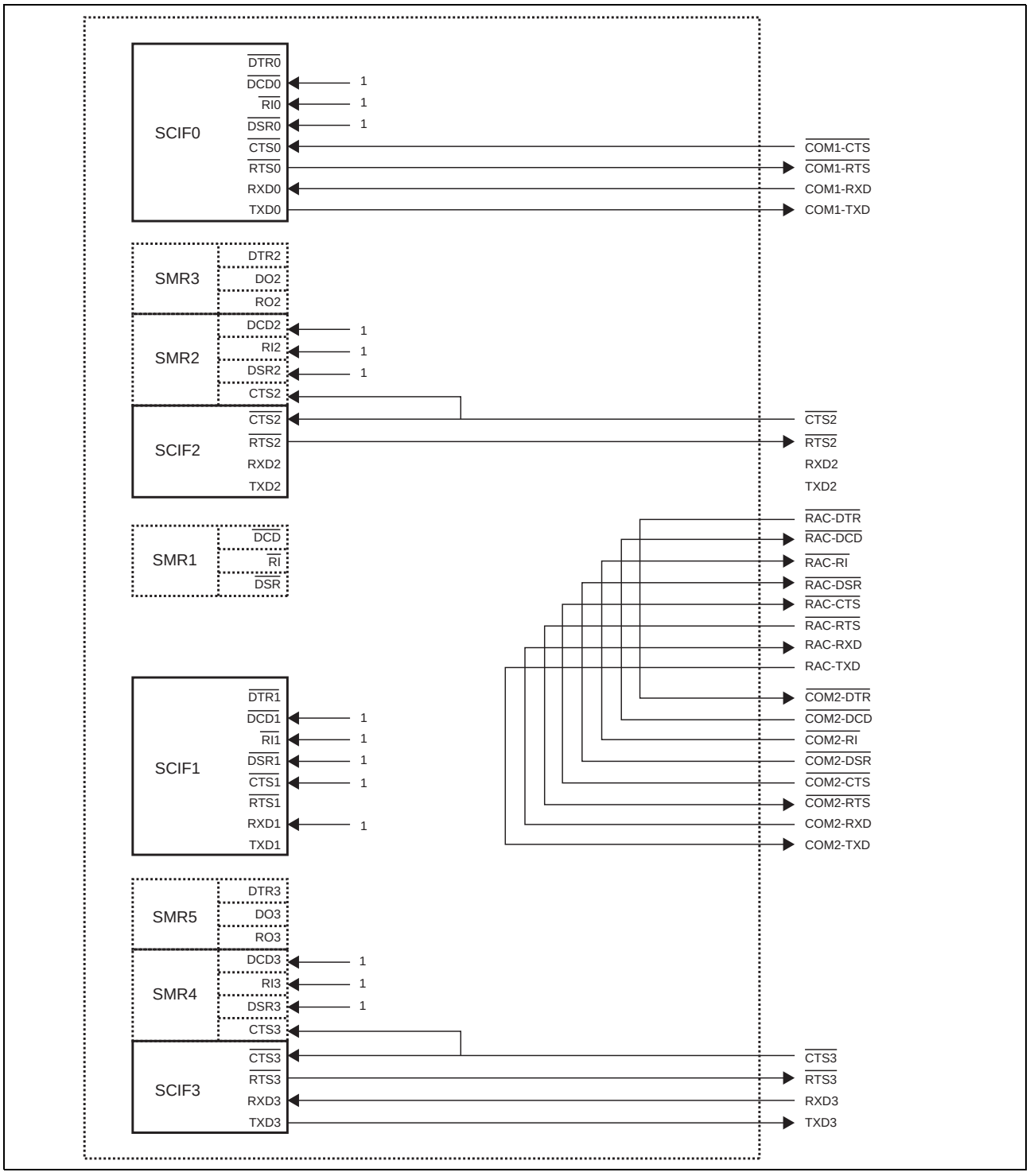


図 29.2　シリアルマルチプレクスモード1 時の端子接続

29.4.3　シリアルマルチプレクスモード2

図29.3にシリアルマルチプレクスモード2の端子接続を示します。このモードではSCIF0をCOM1ポート、SCIF1をCOM2ポート、SCIF2をSCIF2ポートに接続します。SCIF3はCOM2の入力ポートに接続します。SCIF3ポートとRACポートはシリアルインタフェースと接続しません。

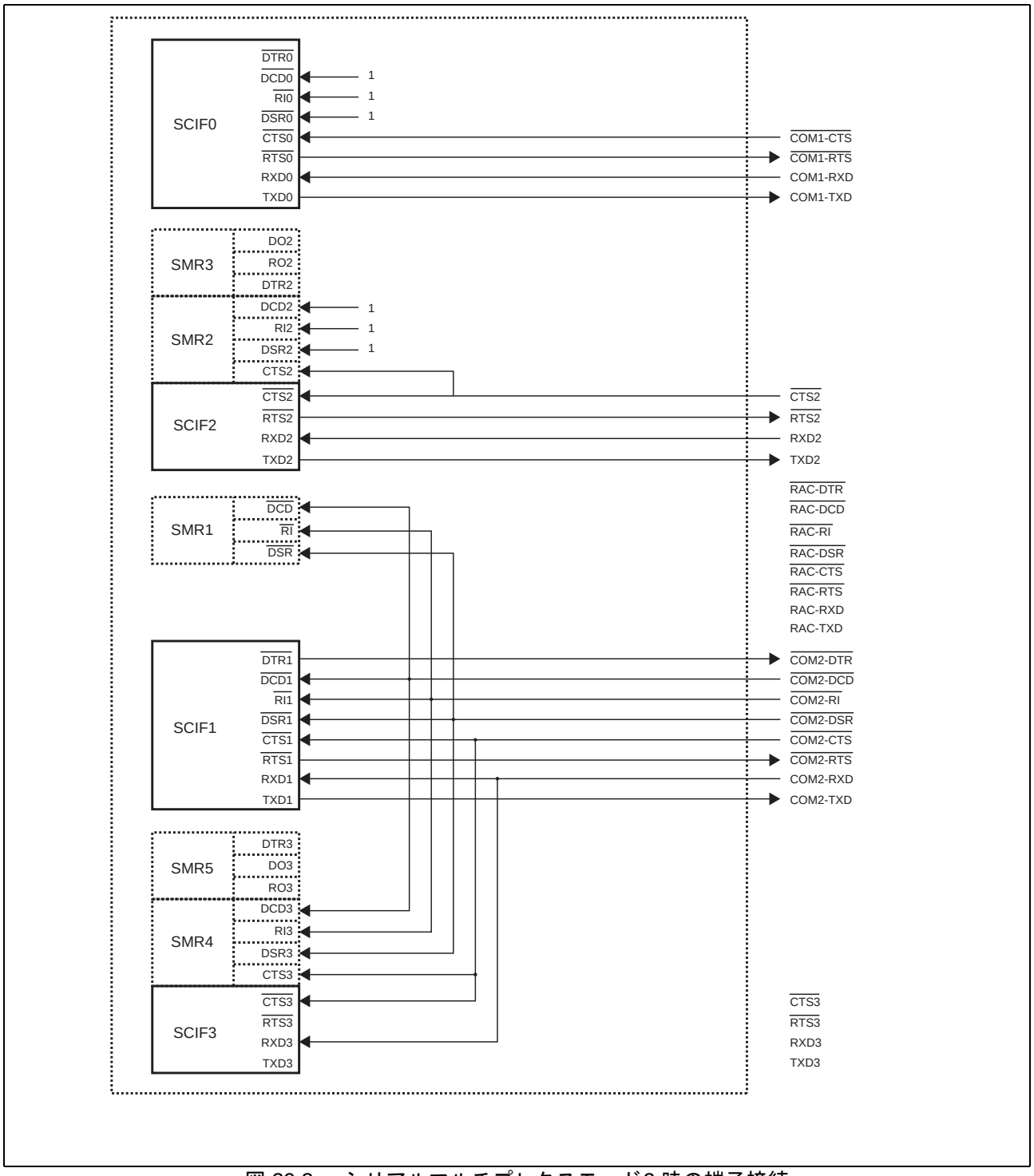


図 29.3　シリアルマルチプレクスモード2 時の端子接続

29.4.4　シリアルマルチプレクスモード 3

図29.4にシリアルマルチプレクスモード3の端子接続を示します。このモードではSCIF0をCOM1ポート、SCIF1をCOM2ポート、SCIF3をSCIF3ポートに接続します。SCIF2はポートに接続されませんので使用できません。RACポートはCOM2の入力ポートと接続します。SCIF2ポートはシリアルインタフェースと接続しません。

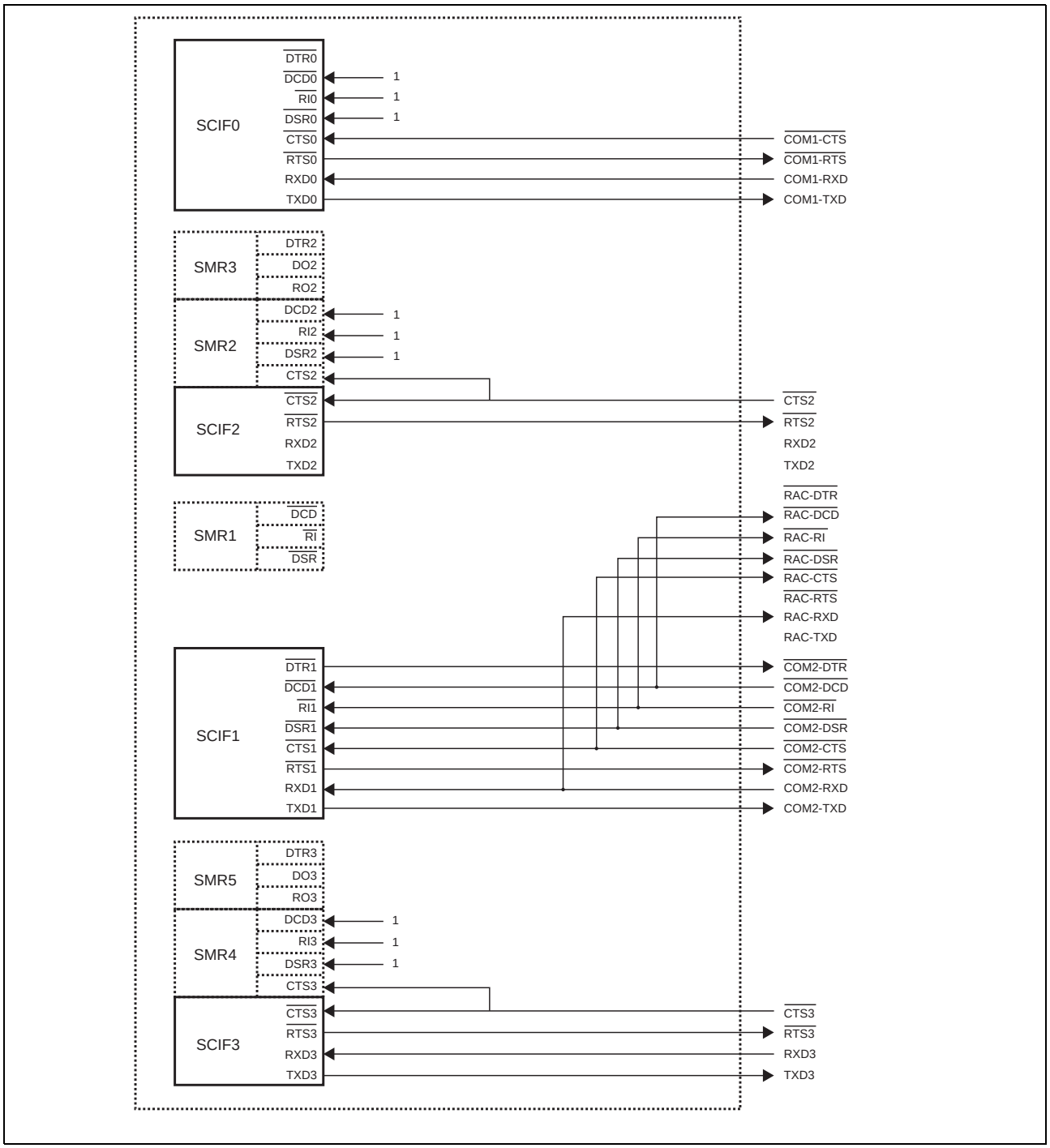


図 29.4　シリアルマルチプレクスモード3 時の端子接続

29.4.5　シリアルマルチプレクスモード 4

図29.5にシリアルマルチプレクスモード4の端子接続を示します。このモードではSCIF0をCOM2ポート、SCIF2をSCIF2ポートに接続します。SCIF1とSCIF3を内部接続し、ポートと接続しません。COM1ポート、RACポート、SCIF3ポートはシリアルインタフェースと接続しません。

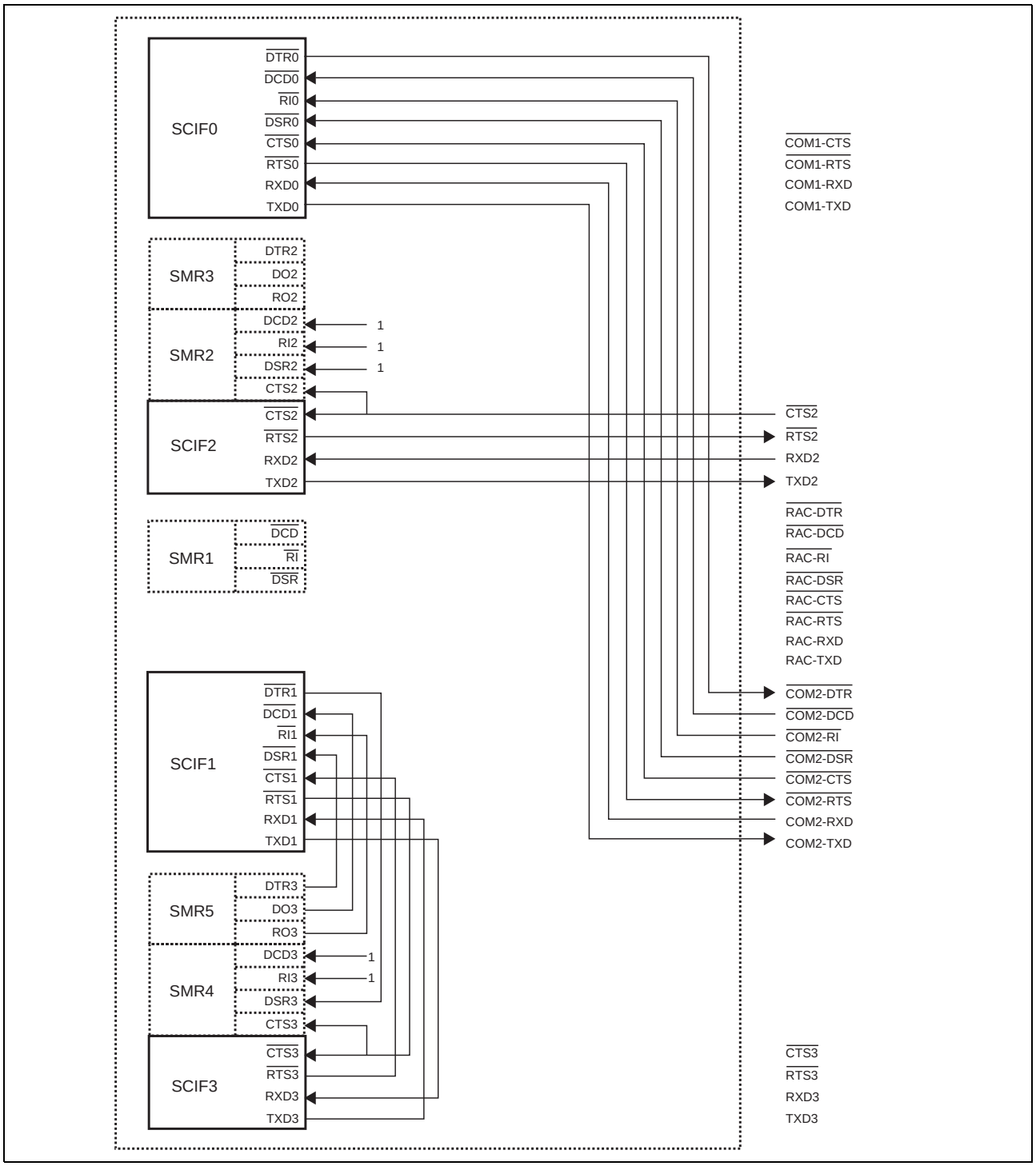


図 29.5　シリアルマルチプレクスモード4時の端子接続

29.4.6　シリアルマルチプレクスモード 5

図 29.6 にシリアルマルチプレクスモード 5 の端子接続を示します。このモードでは SCIF0 を RAC ポート、SCIF2 を COM2 ポートに接続します。SCIF1 と SCIF3 を内部接続し、ポートと接続しません。COM1 ポート、SCIF2 ポート、SCIF3 ポートはシリアルインタフェースと接続しません。

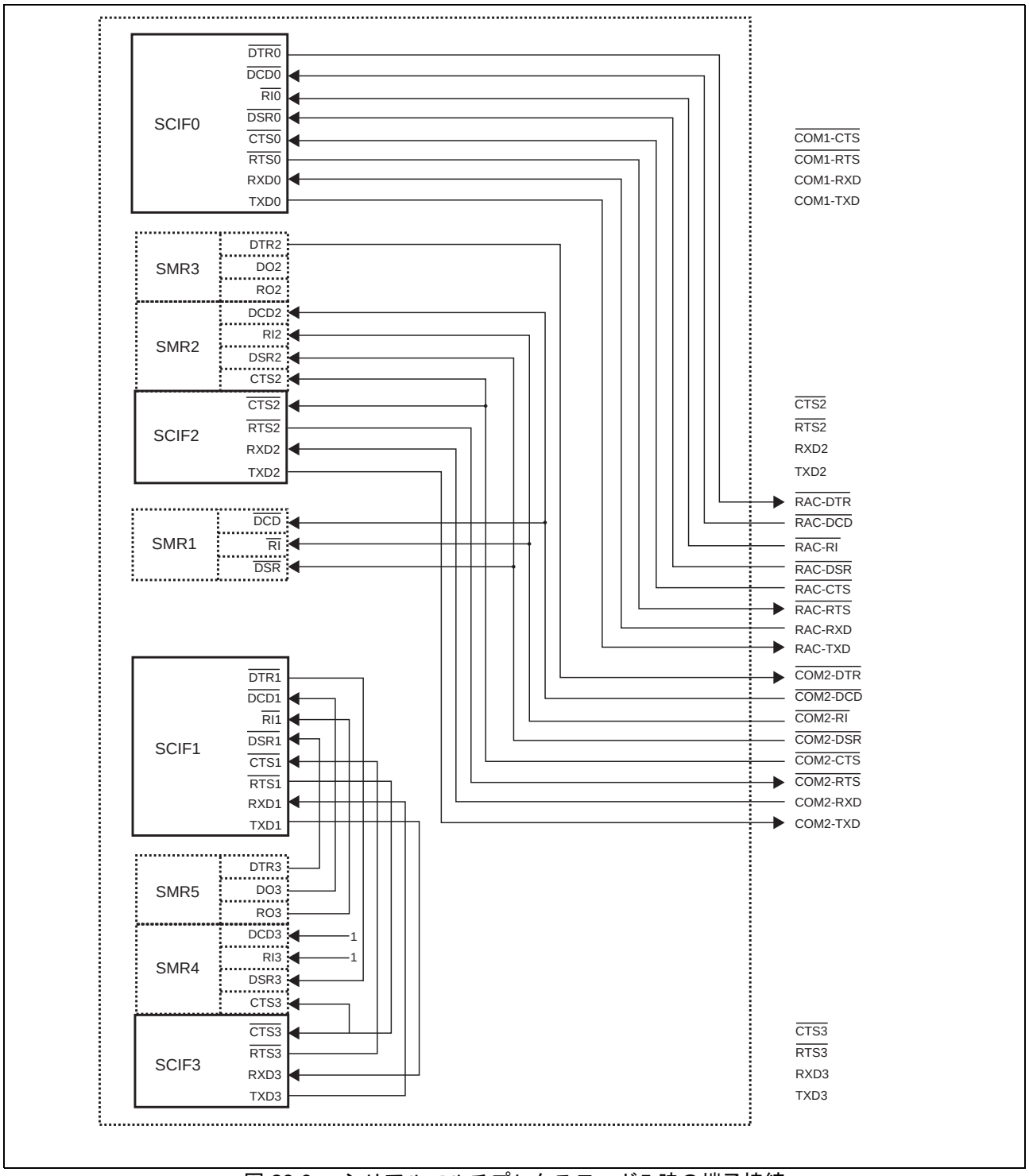


図 29.6　シリアルマルチプレクスモード 5 時の端子接続

29.4.7　シリアルマルチプレクスモード 6

図29.7にシリアルマルチプレクスモード6の端子接続を示します。このモードではSCIF0をCOM2ポート、SCIF1をRACポート、SCIF3をSCIF3ポートに接続します。SCIF2はポートに接続されませんので使用できません。COM1ポート、SCIF2ポートはシリアルインタフェースと接続しません。

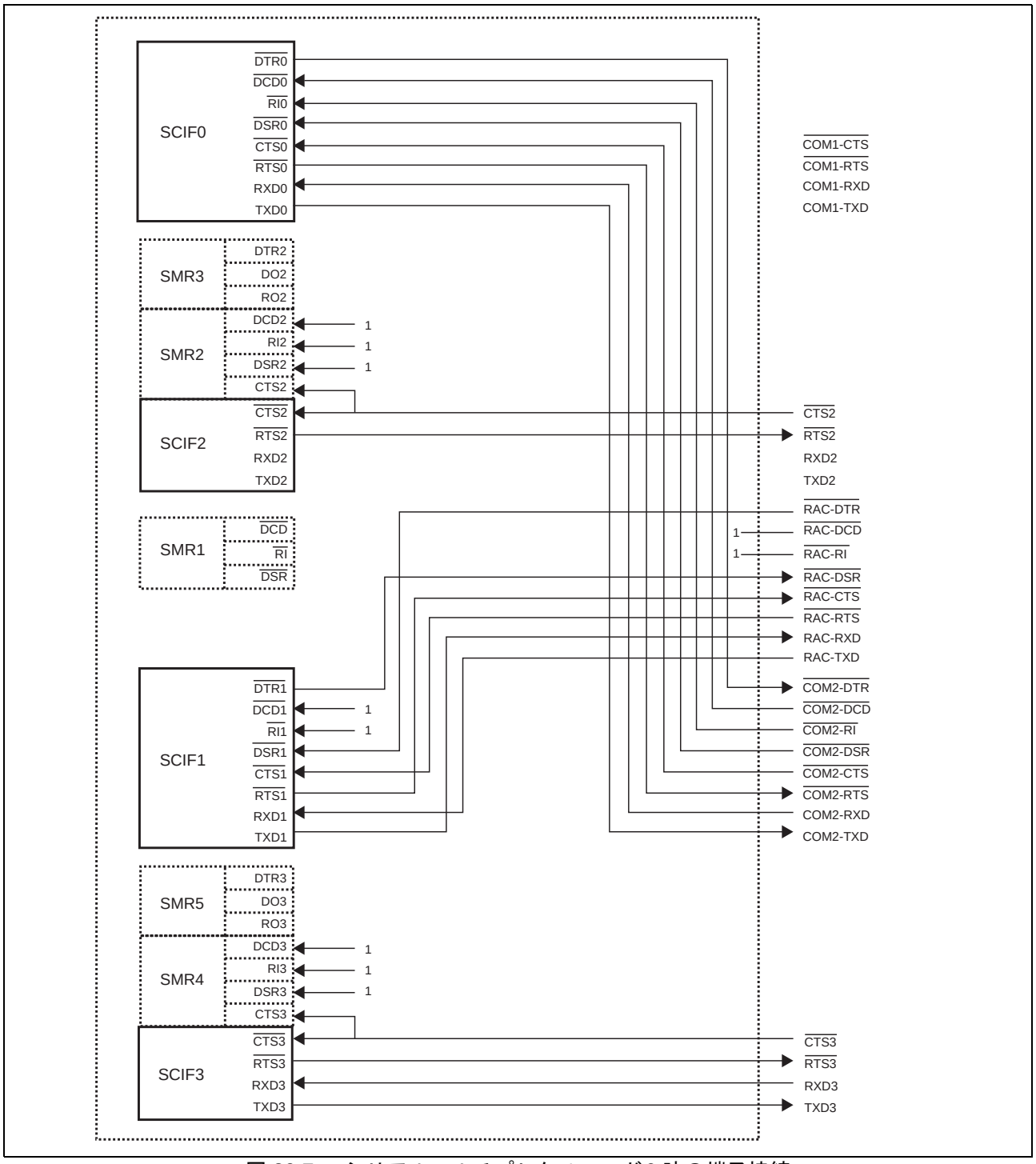


図 29.7　シリアルマルチプレクスモード6 時の端子接続

29.4.8　シリアルマルチプレクスモード 8

図 29.8 にシリアルマルチプレクスモード 8 の端子接続を示します。このモードでは SCIF0 を RAC ポート、SCIF1 を COM2 ポート、SCIF2 を RAC の入力ポート、SCIF3 を COM2 の入力ポートに接続します。COM1 ポート、SCIF2 ポート、SCIF3 ポートはシリアルインタフェースと接続しません。

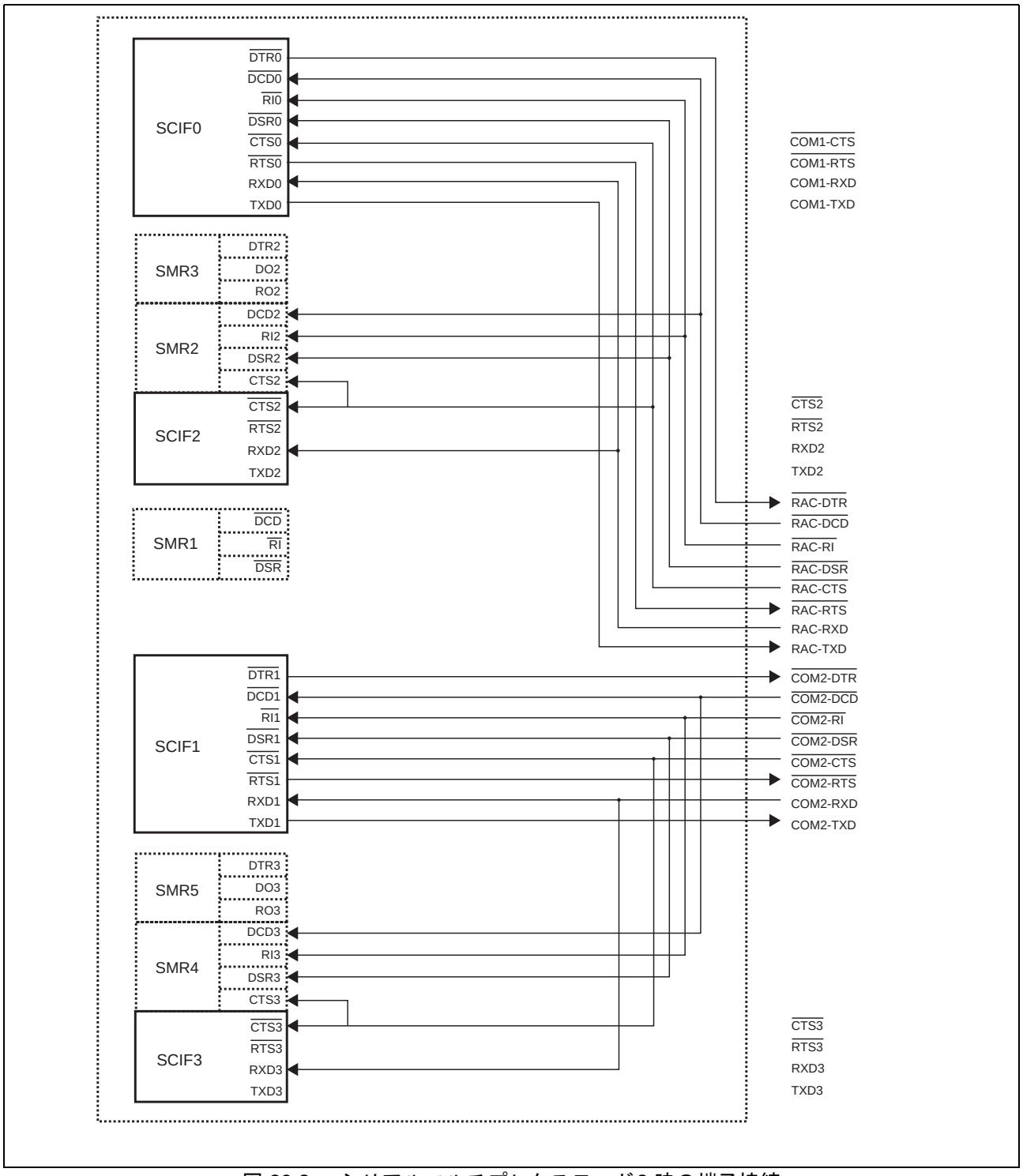


図 29.8　シリアルマルチプレクスモード 8 時の端子接続

29.4.9　シリアルマルチプレクスモード 9

図 29.9 にシリアルマルチプレクスモード 9 の端子接続を示します。このモードでは SCIF0 を RAC ポート、SCIF2 を RAC の入力ポートに接続します。SCIF1 と SCIF3 を内部接続し、ポートと接続しません。COM1 ポート、COM2 ポート、SCIF2 ポート、SCIF3 ポートはシリアルインタフェースと接続しません。

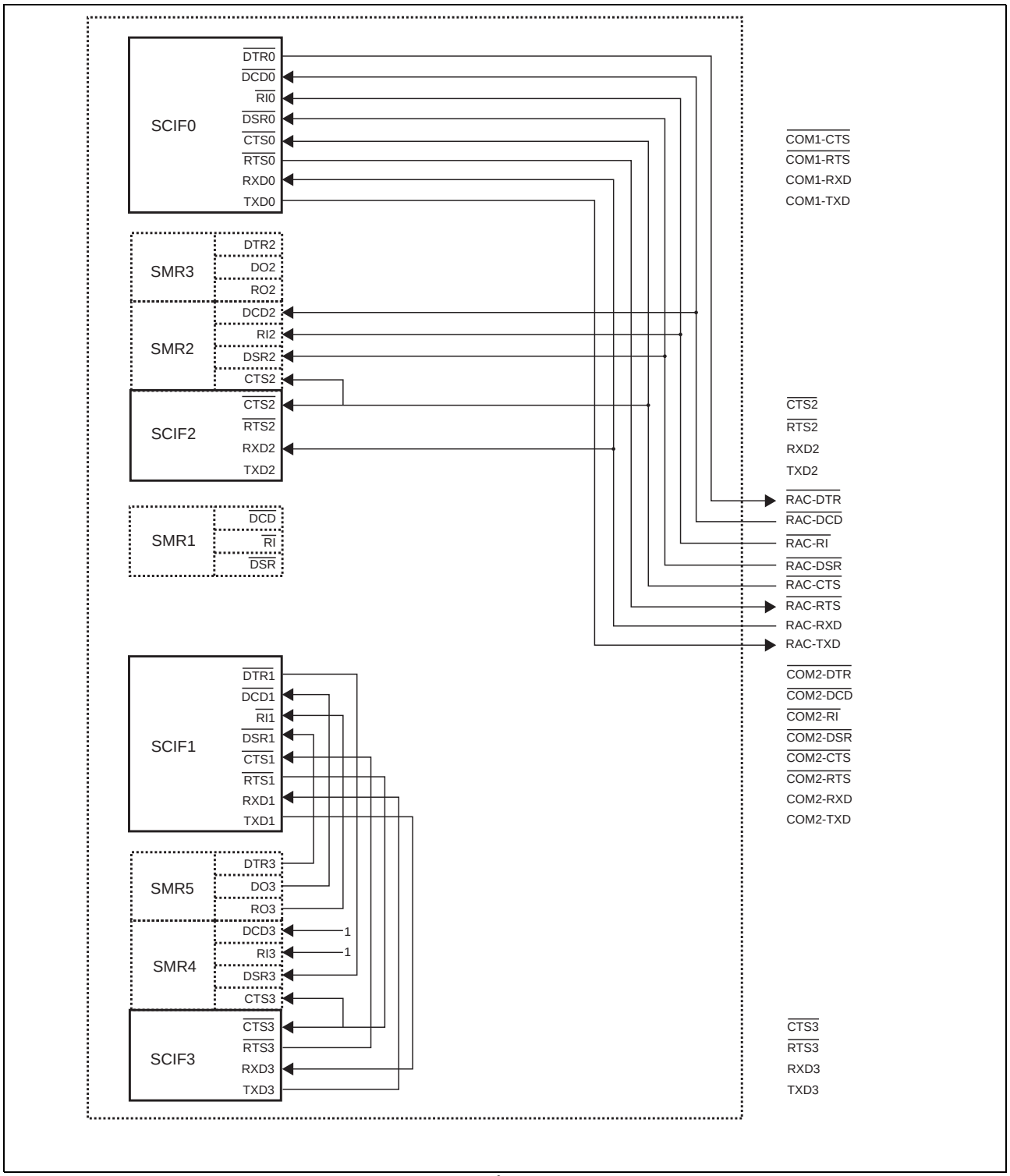


図 29.9　シリアルマルチプレクスモード 9 時の端子接続

29.4.10 シリアルマルチプレクスモード A

図 29.10 にシリアルマルチプレクスモード A の端子接続を示します。このモードでは SCIF1 を COM2 ポート、SCIF2 を RAC ポート、SCIF3 を COM2 の入力ポートに接続します。SCIF0 はポートに接続されませんので使用できません。COM1 ポート、SCIF2 ポート、SCIF3 ポートはシリアルインタフェースと接続しません。

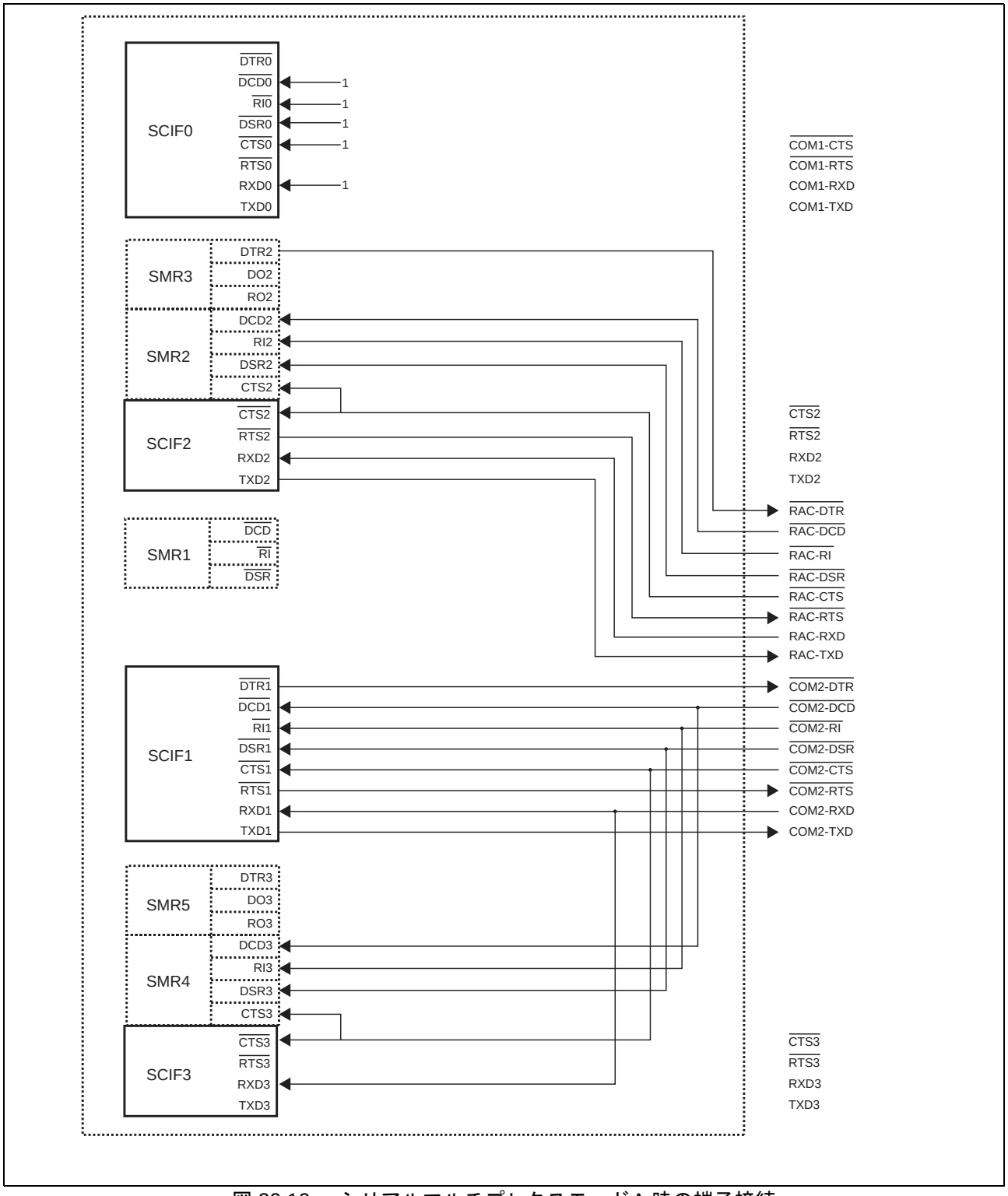


図 29.10　シリアルマルチプレクスモード A 時の端子接続

29.4.11　シリアルマルチプレクスモード B

図29.11にシリアルマルチプレクスモードBの端子接続を示します。このモードではSCIF2をRACポートに接続します。SCIF0はポートに接続されませんので使用できません。SCIF1とSCIF3は内部接続し、ポートと接続しません。COM1 ポート、COM2 ポート、SCIF2 ポート、SCIF3 ポートはシリアルインタフェースと接続しません。

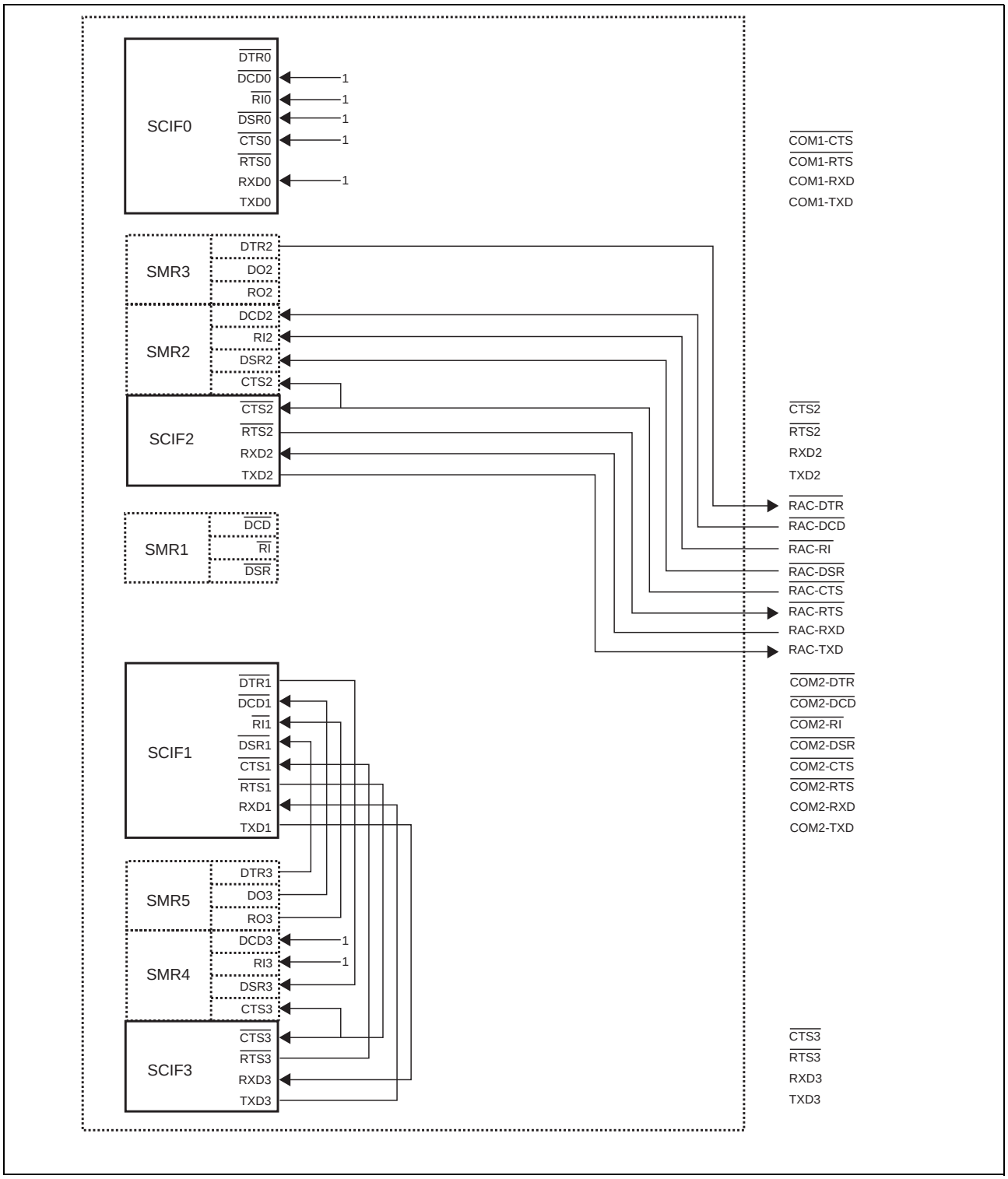


図 29.11　シリアルマルチプレクスモードB 時の端子接続

29.4.12 シリアルマルチプレクスモード C

図 29.12 にシリアルマルチプレクスモード C の端子接続を示します。このモードでは SCIF1 を COM2 ポート、SCIF3 を COM2 の入力ポートに接続します。SCIF0 と SCIF2 を内部接続し、ポートと接続しません。COM1 ポート、RAC ポート、SCIF2 ポート、SCIF3 ポートはシリアルインタフェースと接続しません。

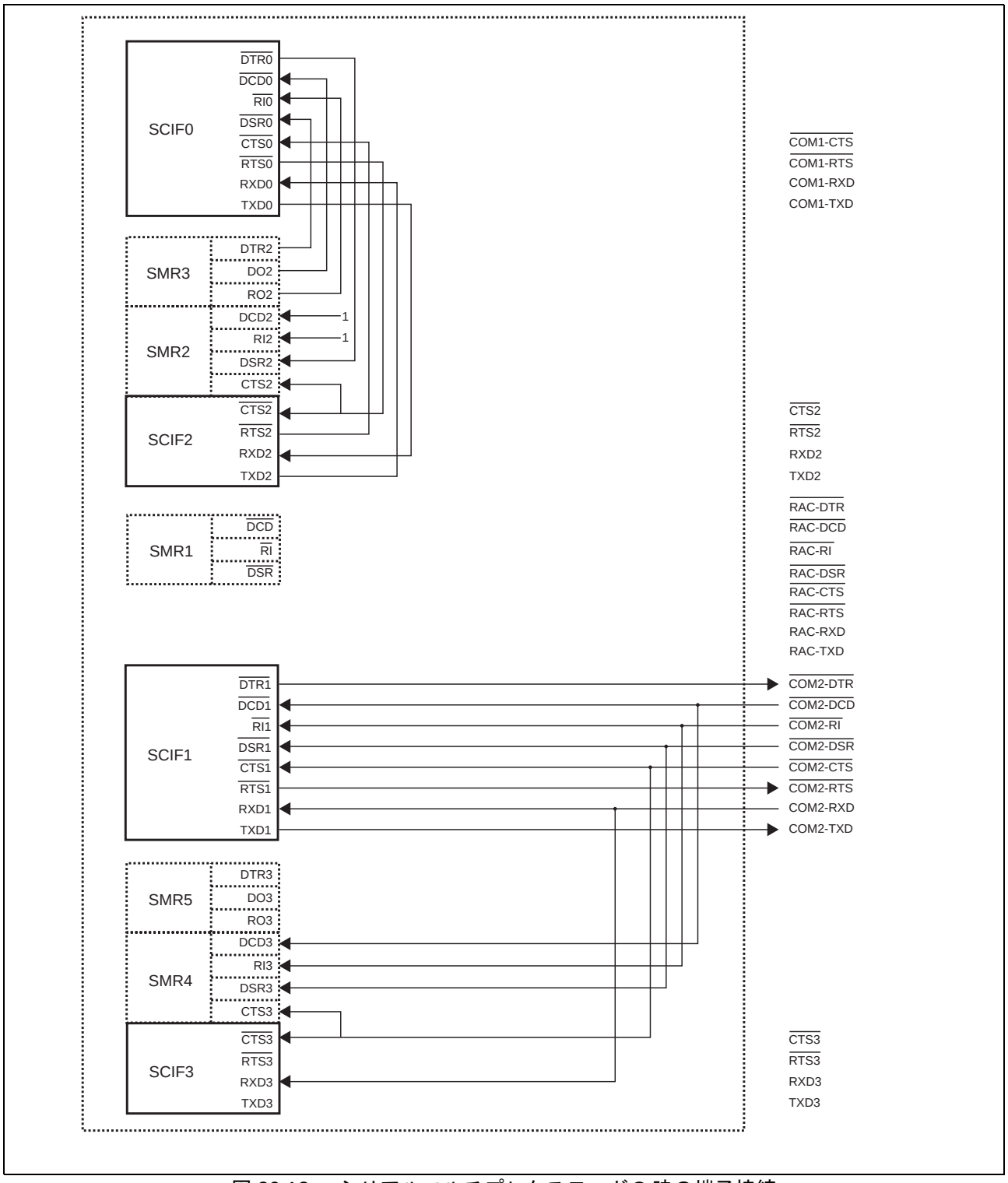


図 29.12　シリアルマルチプレクスモード C 時の端子接続

29.4.13 シリアルマルチプレクスモード D

図29.13にシリアルマルチプレクスモードDの端子接続を示します。このモードではSCIF0とSCIF2を内部接続、SCIF1とSCIF3を内部接続し、ポートと接続しません。COM1ポート、COM2ポート、RACポート、SCIF2ポート、SCIF3ポートはシリアルインタフェースと接続しません。

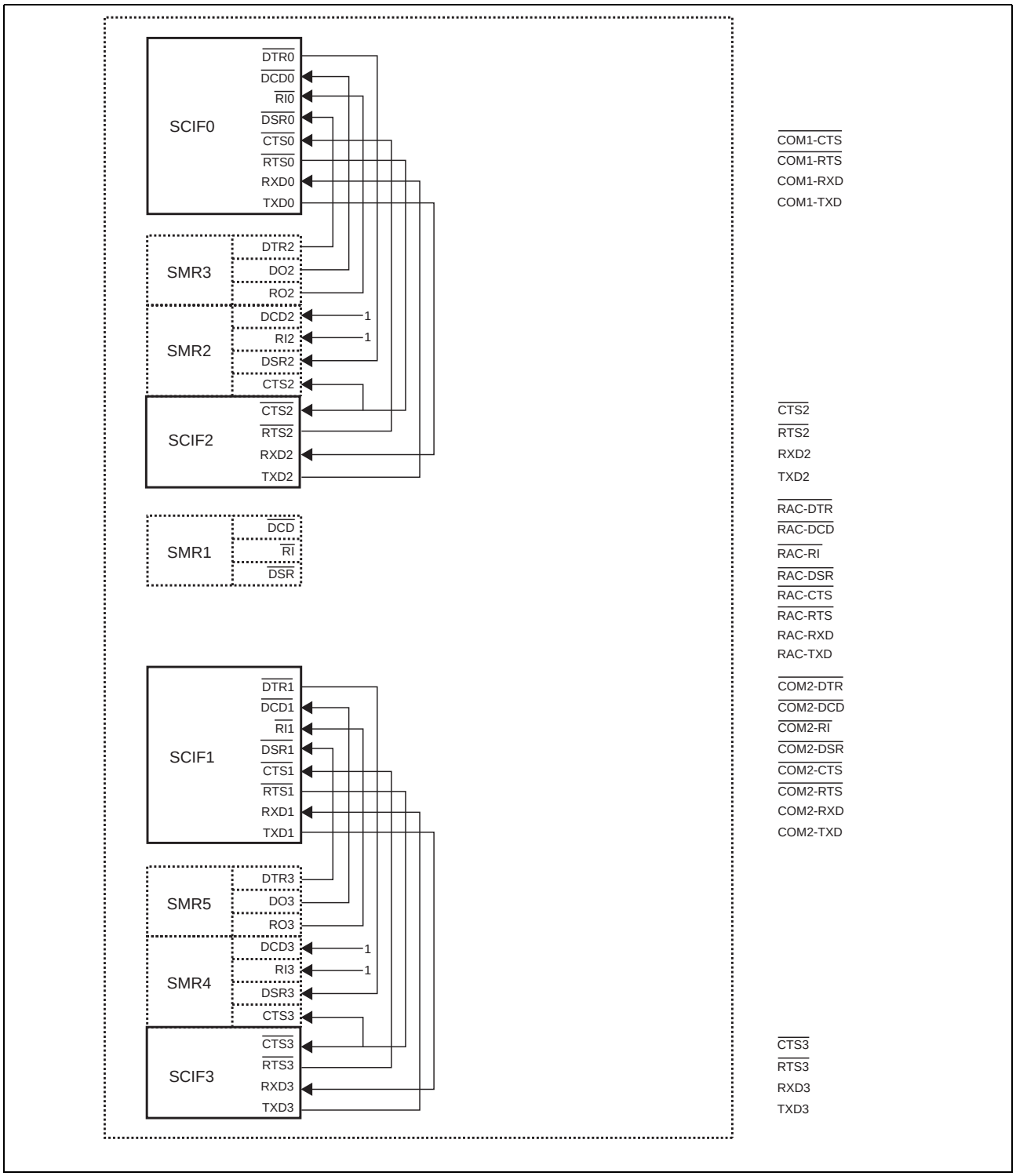


図 29.13　シリアルマルチプレクスモードD 時の端子接続

29.4.14　シリアルマルチプレクス機能無効時の接続

図 29.14 にシリアルマルチプレクス機能無効時の端子接続を示します。シリアルマルチプレクス機能無効時は SCIF0 を RAC ポート、SCIF1 を COM2 ポート、SCIF3 を SCIF3 ポートに接続します。SCIF2 はポートに接続されませんので使用できません。COM1 ポート、SCIF2 ポートはシリアルインタフェースと接続しません。

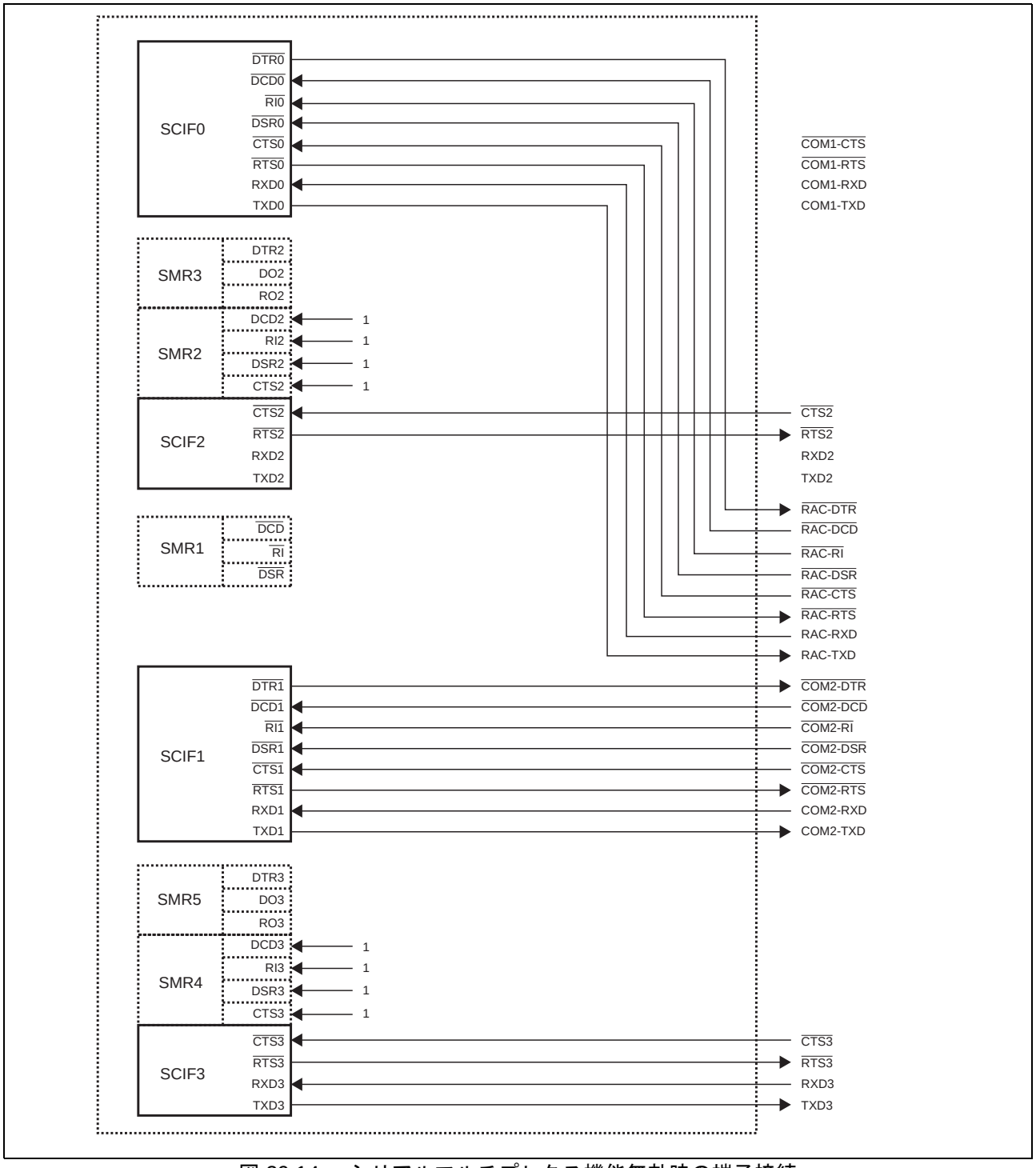


図 29.14　シリアルマルチプレクス機能無効時の端子接続

30. SIM カードモジュール(SIM)

スマートカードモジュールは、ISO/IEC 7816-3（Identification Card）に対応したIC カード（スマートカード）インタフェースをサポートしています。

30.1 特長

- 通信機能
  調歩式半二重伝送
  プロトコル形式T＝0モードとT＝1モードの選択可能
  データ長：8ビット
  パリティビットの生成及びチェック
  キャラクタ保護追加時間を選択可能
  1etu当たりの出力クロック数を選択可能（etu：Elementary Time Unit）
  T＝0モードで受信モードにおけるエラーシグナル（パリティエラー）の送出
  T＝0モードで送信モードにおけるエラーシグナルの検出とキャラクタの自動再送信
  T＝1モードで最小キャラクタ間隔11etu（N＝255）選択可能
  ダイレクトコンベンション／インバースコンベンションの選択可能
  出力クロックをハイ又はローの状態に固定可能
- 内蔵ボーレートジェネレータによる任意のビットレートの選択可能
- 4種類の割り込み要因
  送信データエンプティ、受信データフル、送受信エラー、送信完了
- DMA転送
  送信データエンプティDMA転送要求と受信データフルDMA転送要求により、ダイレクトメモリアクセスコントローラ（DMAC）を起動させてデータの転送を行うことができます。
- T＝0モードで作業待ち時間、T＝1モードでキャラクタ待ち時間を観測可能

スマートカードインタフェースのブロック図を図30.1 に示します。

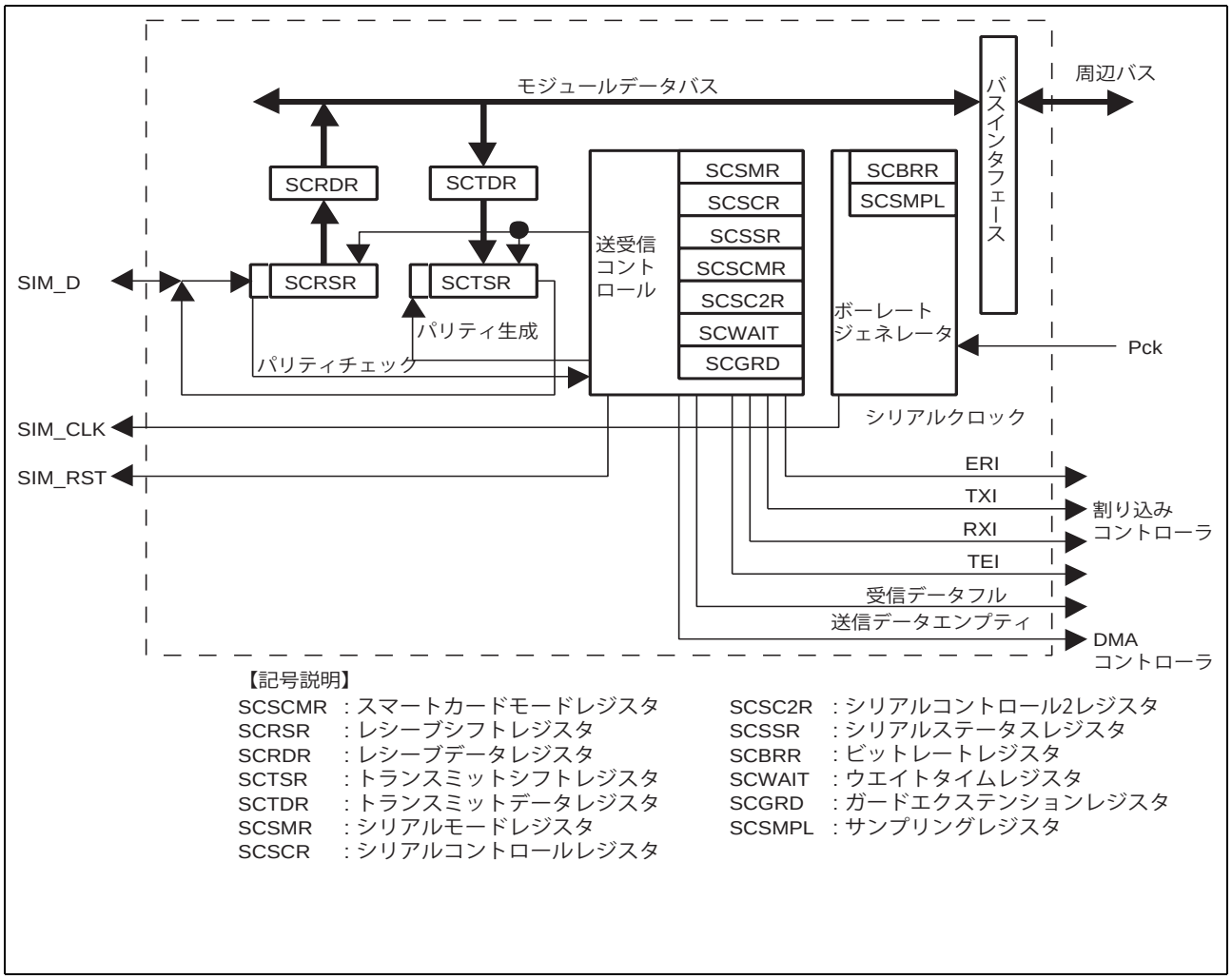


図 30.1　スマートカードインタフェース

30.2　入出力端子

スマートカードインタフェースの端子構成を表30.1 に示します。

表30.1　端子構成

名称	略称	入出力	機 能
トランスミット／レシーブデータ	SIM_D（注）	入出力	送受信データ入出力
クロック出力	SIM_CLK	出力	クロック出力
スマートカードリセット	SIM_RST	出力	スマートカードリセット出力

注.　送信及び受信動作を説明するために、送信データ側をTXD と、受信データ側をRXD と記載します。

30.3 レジスタの説明

SIM カードモジュールのレジスタ構成と各処理モードにおけるレジスタの状態をを表30.2 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表30.2 レジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
シリアルモードレジスタ	SCSMR	R/W	H'FE49 0000	8	H'20	H'20	H'20
ビットレートレジスタ	SCBRR	R/W	H'FE49 0002	8	H'07	H'07	H'07
シリアルコントロールレジスタ	SCSCR	R/W	H'FE49 0004	8	H'00	H'00	H'00
トランスミットシフトレジスタ	SCTSR	—	—	—	H'FF	H'FF	H'FF
トランスミットデータレジスタ	SCTDR	R/W	H'FE49 0006	8	H'FF	H'FF	H'FF
シリアルステータスレジスタ	SCSSR	R/W	H'FE49 0008	8	H'84	H'84	H'84
レシーブシフトレジスタ	SCRSR	—	—	—	H'00	H'00	H'00
レシーブデータレジスタ	SCRDR	R	H'FE49 000A	8	H'00	H'00	H'00
スマートカードモードレジスタ	SCSCMR	R/W	H'FE49 000C	8	H'01	H'01	H'01
シリアルコントロール2レジスタ	SCSC2R	R/W	H'FE49 000E	8	H'00	H'00	H'00
ガードエクステンションレジスタ	SCGRD	R/W	H'FE49 0012	8	H'00	H'00	H'00
ウエイトタイムレジスタ	SCWAIT	R/W	H'FE49 0010	16	H'0000	H'0000	H'0000
サンプリングレジスタ	SCSMPL	R/W	H'FE49 0014	16	H'0173	H'0173	H'0173

30.3.1　シリアルモードレジスタ（SCSMR）

SCSMR は、読み出し／書き込み可能な 8 ビットのレジスタで、スマートカードインタフェースの通信フォーマットの設定を選択します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	O/$\overline{E}$	—	—	—	—
初期値：	0	0	1	0	0	0	0	0
R/W：	—	—	—	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7、6	—	0	—	リザーブビット
5	—	1	—	リザーブビット
4	O/$\overline{E}$	0	R/W	パリティモード パリティの付加やチェックを偶数パリティ、又は奇数パリティのいずれで行うかを選択します。 0：偶数パリティ（注1） 1：奇数パリティ（注2） 注. 1. 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1 の数の合計が偶数であるかどうかをチェックします。 2. 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1 の数の合計が奇数であるかどうかをチェックします。
3 ～0	—	0	—	リザーブビット

30.3.2　ビットレートレジスタ（SCBRR）

SCBRR は、読み出し／書き込み可能な8 ビットのレジスタで、送信／受信のビットレートを設定します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	BRR[2:0]		
初期値：	0	0	0	0	0	1	1	1
R/W：	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	0	—	リザーブビット
2～0	BRR[2:0]	111	R/W	送信／受信のビットレート2～0 を設定します。

SCBRR の設定値は以下の計算式で求められます。

$$\text{sck_frequency} = \frac{\text{Pck}}{2\,(\text{brr} + 1)}$$

Pck＝ 周辺クロック周波数 とsck_frequency の単位はMHz です。

30.3.3　シリアルコントロールレジスタ（SCSCR）

SCSCR は、読み出し／書き込み可能な8 ビットのレジスタで、スマートカードインタフェースの送信／受信動作、シリアルクロック出力、割り込み要求の許可／禁止の選択を行います。

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミットデータレジスタ（SCTDR）からトランスミットシフトレジスタ（SCTSR）へシリアル送信データが転送されシリアルステータスレジスタ（SCSSR）のTDRE フラグが1 にセットされたときに、送信データエンプティ割り込み（TXI）要求の発生を許可／禁止します。 0：送信データエンプティ割り込み（TXI）要求を禁止（注） 1：送信データエンプティ割り込み（TXI）要求を許可 注. TXI の解除は、TDRE フラグを0 にするか、又はTIE を0 にすることで行うことができます。

ビット	ビット名	初期値	R/W	説 明
6	RIE	0	R/W	レシーブインタラプトイネーブル シリアル受信データがレシーブシフトレジスタ（SCRSR）からレシーブデータレジスタ（SCRDR）へ転送されてSCSSR のRDRF フラグが1 にセットされたときの受信データフル割り込み（RXI）要求、及びパリティエラー、オーバランエラー、エラーシグナルステータスによる送受信エラー割り込み（ERI）要求の発生を許可／禁止します。 0：受信データフル割り込み（RXI）要求、及び送受信エラー割り込み（ERI）要求を禁止（注1、2） 1：受信データフル割り込み（RXI）要求、及び送受信エラー割り込み（ERI）要求を許可（注2） 注. 1. RXI、及びERI 割り込み要求の解除は、RDRF フラグ、又はPER、ORER、ERS フラグを0 にするか、RIE ビットを0 にすることで行えます。 2. ウエイトエラーによる割り込み（ERI）要求の許可／禁止は、本レジスタ のWAIT_IE ビットで行えます。
5	TE	0	R/W	トランスミットイネーブル シリアル送信動作を許可／禁止します。 0：送信動作を禁止（注1） 1：送信動作を許可（注2、3） 注. 1. SCSSR のTDRE フラグは1 に固定されます。 2. この状態で、SCTDR に送信データを書き込むと、送信動作が開始します。なお、TE ビットを1 にセットする前に必ずシリアルモードレジスタ（SCSMR）、スマートカードモードレジスタ（SCSCMR）の設定を行い、送信フォーマットを決定してください。 3. TE ビットを0 にしてもERS フラグは影響を受けず、状態を保持しますので注意してください。
4	RE	0	R/W	レシーブイネーブル シリアル受信動作を許可／禁止します。 0：受信動作を禁止（注1） 1：受信動作を許可（注2） 注. 1. RE ビットを0 にしてもRDRF、PER、ERS、ORER、WAIT_ER の各フラグは影響を受けず、状態を保持しますので注意してください。 2. この状態でスタートビットを検出すると、シリアル受信を開始します。なお、RE ビットを1 にセットする前に必ずSCSMR、SCSCMRの設定を行い、受信フォーマットを決定してください。
3	WAIT_IE	0	R/W	ウエイトイネーブル ウエイトエラーによる割り込み要求を許可／禁止します。 0：ウエイトエラーによる割り込み（ERI）要求を禁止 1：ウエイトエラーによる割り込み（ERI）要求を許可

ビット	ビット名	初期値	R/W	説 明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 送信が終了してTEND フラグが1 にセットされたときの、送信終了割り込み（TEI）要求の発生を許可／禁止します。 0：送信終了割り込み（TEI）要求を禁止（注） 1：送信終了割り込み（TEI）要求を許可（注） 注. TEI の解除は、SCSSRのTDREフラグの1を読み出した後、SCTDRに送信データを書き込んでTEND ビットを0 にするか、TEIEビットを0 にすることで行うことができます。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル1、0 スマートカードインタフェースのクロックソースの選択、及びSIM_CLK端子からのクロック出力の許可／禁止を設定します。 00：出力端子としてLレベル出力固定 01：出力端子としてクロック出力 10：出力端子としてHレベル出力固定 11：出力端子としてクロック出力

30.3.4　トランスミットシフトレジスタ（SCTSR）

SCTSR は、シリアルデータを送信するためのシフトレジスタです。

スマートカードインタフェースは、トランスミットデータレジスタ（SCTDR）から送信データをいったん SCTSR に転送し、LSB 又は MSB から順に SIM_TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR から SCTSR へ次の送信データを転送し、送信を開始します。シリアルステータスレジスタ（SCSSR）の TDRE フラグが 1 にセットされている場合には、SCTDR から SCTSR へのデータ転送を行いません。

SH-4A やDMAC から、直接SCTSR の読み出し／書き込みをすることはできません。

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	—	H'FF	—	スマートカードインタフェース SH-4A やDMAC から、直接SCTSR の読み出し／書き込みをすることはできません。

30.3.5　トランスミットデータレジスタ（SCTDR）

SCTDR は、読み出し／書き込み可能な8 ビットのレジスタで、シリアル送信するデータを格納します。

スマートカードインタフェースは、トランスミットシフトレジスタ（SCTSR）が空であることを検出すると、SCTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCTSR のシリアルデータ送信中に SCTDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

ビット：	7	6	5	4	3	2	1	0
	SCTD[7:0]							
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～ 0	SCTD7 ～ SCTD0	H'FF	R/W	トランスミットデータ シリアル送信するデータを格納

30.3.6　シリアルステータスレジスタ（SCSSR）

SCSSR は、読み出し／書き込み可能な8 ビットのレジスタで、スマートカードインタフェースの動作状態を示します。

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	—
初期値：	1	0	0	0	0	1	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R	R/W	—

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/W	トランスミットデータレジスタエンプティ トランスミットデータレジスタ（SCTDR）からトランスミットシフトレジスタ（SCTSR）にデータ転送が行われSCTDR に次のシリアル送信データを書き込むことが可能になったことを示します。 0：SCTDR に有効な送信データが書き込まれていることを表示 【クリア条件】 • TE ビット（SCSCR レジスタのビット5）が1 のときにSCTDR へデータを書き込んだとき • TDRE に0 を書き込んだとき 1：SCTDR に有効な送信データがないことを表示 【セット条件】 • リセット時 • TE ビット（SCSCR レジスタのビット5）が0 のとき • SCTDR からSCTSR にデータ転送が行われSCTDR にデータの書き込みが可能になったとき
6	RDRF	0	R/W	レシーブデータレジスタフル 受信したデータがレシーブデータレジスタ（SCRDR）に格納されていることを示します。 0：SCRDR に有効な受信データが格納されていないことを表示 【クリア条件】 • リセット時 • SCRDRのデータを読み出したとき • RDRF に0 を書き込んだとき 1：SCRDR に有効な受信データが格納されていることを表示 【セット条件】 シリアル受信が正常終了し、SCRSR からSCRDR へ受信データが転送されたとき 注.T＝0 モードでは、受信時パリティエラーを検出したとき、SCRDRの内容とRDRF フラグは影響を受けず以前の状態を保持します。一方、T＝1 モードでは、受信時パリティエラーを検出したとき受信データがSCRDR に転送されRDRF フラグは1 にセットされます。なお、T＝0 とT1 の両モードともに、シリアルコントロールレジスタ（SCSCR）のRE ビットを0 にしても、SCRDR の内容とRDRF フラグは影響を受けず以前の状態を保持します。

ビット	ビット名	初期値	R/W	説 明
5	ORER	0	R/W	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0：受信中、又は正常に受信を完了したことを表示（注1） 【クリア条件】 • リセット時 • ORER に0 を書き込んだとき 1：受信時にオーバランエラーが発生したことを表示（注2） 【セット条件】 RDRF＝1 の状態で次のシリアル受信を完了したとき 注. 1. RE ビット（SCSCR レジスタのビット4）を0 にしたときには、ORER フラグは影響を受けず以前の状態を保持します。 2. SCRDR ではオーバランエラーが発生する前の受信データが失われ、オーバランエラー発生時に受信したデータを保持します。さらに、ORER＝1 にセットされた状態で、以降のシリアル受信を続けることはできません。
4	ERS	0	R/W	エラーシグナルステータス このフラグは送信時に受信側から送り返されるエラーシグナルのステータスを示します。T＝1 モードのときはセットされません。 0：受信側からパリティエラーの検出を示すエラーシグナルが送出されなかったことを表示 【クリア条件】 • リセット時 • ERS に0 を書き込んだとき 1：受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 【セット条件】 エラーシグナルをサンプリングしたとき 注. TE ビット（SCSCR レジスタのビット5）を0 にしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット	ビット名	初期値	R/W	説 明
3	PER	0	R/W	パリティエラー 受信時にパリティエラーが発生して異常終了したことを示します。 0：受信中、又は正常に受信を完了したことを表示（注1） 【クリア条件】 • リセット時 • PER に0 を書き込んだとき 1：受信時にパリティエラーが発生したことを表示（注2） 【セット条件】 受信時の受信データとパリティビットを合わせた論理1 の数が、シリアルモードレジスタ（SCSMR）のO/E ビットで指定した偶数パリティ／奇数パリティの設定と一致しなかったとき 注. 1.RE ビット（SCSCR レジスタのビット4）を0 にしたときには、PER フラグは影響を受けず以前の状態を保持します。 2. T＝0 モードでは、パリティエラーが発生したときの受信データはSCRDR に転送されず、RDRF フラグはセットされません。一方、T＝1 モードでは、パリティエラーが発生したときの受信データはSCRDR に転送され、RDRF フラグはセットされます。パリティエラーが発生したときは、次のパリティビットのサンプリングタイミングまでに、PER フラグを0 にしてください。
2	TEND	1	R	トランスミットエンド 送信を終了したことを示します。 TEND フラグは読み出し専用ですので、書き込むことはできません。 0：送信中であることを表示 【クリア条件】 SCTDR からSCTSR に送信データが転送され、シリアル送信が開始したとき 1：送信を終了したことを表示 【セット条件】 • リセット時 • 1 バイトのシリアルキャラクタ及びパリティビット送信後にERS＝0（正常送信）のとき 注. TEND フラグはキャラクタ保護時間が終了する1etu 前にセットされます。

ビット	ビット名	初期値	R/W	説 明
1	WAIT_ER	0	R/W	ウエイトエラー このフラグはウエイトタイマのエラーステータスを示します。 0：2 つの連続するキャラクタの先端間隔が、SCWAIT で設定したetu を超過していないことを表示 【クリア条件】 • リセット時 • WAIT_ER に0 を書き込んだとき 1：2 つの連続するキャラクタの先端間隔が、SCWAIT で設定したetu を超過していることを表示 【セット条件】 • T＝0 モードの場合、受信するキャラクタとその直前に送信又は受信したキャラクタの先端間隔が（60×SCWAIT の値：作業待ち時間）etu を超過したとき • T＝1 モードの場合、2 つの連続する受信キャラクタの先端間隔が（SCWAIT の値：キャラクタ保護時間）etu を超過したとき 注. 1. RE ビット（SCSCR レジスタのビット4）を0 にしても、WAIT_ER フラグは影響を受けず以前の状態を保持します。 2. T＝0 の場合は、RE ビットを0 から1 にセットしたときにWAIT_ER フラグのセット条件が満たされてもWAIT_ER フラグはセットされない場合がありますのでご注意ください。このとき、RE ビットを1 にセットした後、最後の送信又は受信から60×（SCWAIT＋n）etu（n は0 以上の整数：RE ビットを1 にセットするタイミングに依存）後にWAIT_ER フラグがセットされます。ただし、RE ビットを1 にセットした後60etu 以内にキャラクタを受信した場合、WAIT_ER フラグはセットされないことがあります。 3. T＝0 の場合は、最後の送信又は受信から60×（SCWAIT＋n）etu 後にWAIT_ER フラグをセットしたくない場合は、スマートカードモードレジスタ（SCSCMR）のプロトコルビット（PB）にて、T＝0 からT＝1 に設定し、再びT＝0 に戻してください。また、T＝1 の場合は、最後の受信から、（SCWAIT）etu 後にWAIT_ER フラグをセットしたくない場合は、スマートカードモードレジスタ（SCSCMR）のプロトコルビット（PB）にてT＝1 からT＝0 に設定し、再びT＝1 に戻してください。
0	—	0	—	リザーブビット

30.3.7　レシーブシフトレジスタ（SCRSR）

SCRSR は、シリアルデータを受信するためのレジスタです。

スマートカードインタフェースは、SCRSR に SIM_RXD 端子から入力されたシリアルデータを LSB 又は MSB から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR へ転送されます。SH-4A や DMAC から直接 SCRSR の読み出し／書き込みをすることはできません。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	—	0	—	スマートカードインタフェース SH-4A やDMAC から直接SCRSR の読み出し／書き込みをすることはできません。

30.3.8　レシーブデータレジスタ（SCRDR）

SCRDR は、読み出し専用の8 ビットのレジスタで、受信したシリアルデータを格納します。

スマートカードインタフェースは、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ（SCRSR）から SCRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になります。このように、SCRSR と SCRDR はダブルバッファになっているため連続した受信動作が可能です。SCRDR は SH-4A やDMAC から書き込むことはできません。

ビット：	7	6	5	4	3	2	1	0
	SCRD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	SCRD7～ SCRD0	H'00	R	レシーブデータ 受信したシリアルデータを格納

30.3.9　スマートカードモードレジスタ（SCSCMR）

SCSCMR は、スマートカードインタフェースの機能の選択を行う 8 ビットの読み出し／書き込み可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	LCB	PB	—	SDIR	SINV	RST	SMIF
初期値：	0	0	0	0	0	0	0	1
R/W：	—	R/W	R/W	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	LCB	0	R/W	ラストキャラクタ このビットが1 に設定されるとキャラクタ保護時間は2etu になり、ガードエクステンションレジスタの設定は無効になります。 0：キャラクタ保護時間はガードレジスタの値によって決まります 1：キャラクタ保護時間は2etu になります
5	PB	0	R/W	プロトコル プロトコル形式T＝0 又はT＝1 を選択します。 0：スマートカードインタフェースはT＝0 プロトコルで動作 1：スマートカードインタフェースはT＝1 プロトコルで動作
4	—	0	—	リザーブビット
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル／パラレル変換のフォーマットを選択します。 0：SCTDR の内容をLSB ファーストで送信 受信データをLSB ファーストとしてSCRDR に格納 1：SCTDR の内容をMSB ファーストで送信 受信データをMSB ファーストとしてSCRDR に格納
2	SINV	0	R/W	スマートカードデータインバート データのロジックレベルの反転を指定します。ビット3 の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットの値には影響しません。 0：SCTDR の内容をそのまま送信 受信データをそのままSCRDR に格納 1：SCTDR の内容を反転してデータを送信 受信データを反転してSCRDR に格納
1	RST	0	R/W	スマートカードリセット スマートカードインタフェースのSIM_RST 端子の出力を制御します。 0：スマートカードインタフェースのSIM_RST 端子はL レベルを出力 1：スマートカードインタフェースのSIM_RST 端子はH レベルを出力
0	SMIF	1	R/W	スマートカードインタフェースモードセレクト このビットは常に1 が読み出されます。書き込む値も常に1 にしてください。

30.3.10 シリアルコントロール2 レジスタ（SCSC2R）

SCSC2R は、読み出し／書き込み可能な 8 ビットのレジスタで、受信データフル割り込み（RXI）要求の許可／禁止の選択を行います。

ビット：	7	6	5	4	3	2	1	0
	EIO	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが1 のとき、RIE ビット（SCSCR レジスタのビット6）が1 にセットされていても、SH-4A へ受信データフル割り込み（RXI）を要求しません。この設定でDMAC を使用した場合、SH-4A はERI 要求のみを処理します。 受信データフル割り込み（RXI）要求はRIE ビットの設定によって決まります。
6 ～ 0	—	0	—	リザーブビット 読み出すと常に0 が読み出されます。書き込む値も常に0 にしてください。

30.3.11 ガードエクステンションレジスタ（SCGRD）

SCGRD は8 ビットの読み出し／書き込み可能なレジスタです。キャラクタ保護追加時間を設定します。

ビット：	7	6	5	4	3	2	1	0
	SCGRD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～ 0	SCGRD7 ～ SCGRD0	H’00	R/W	ガードエクステンション スマートカードへ送信されたキャラクタのうち、キャラクタ保護追加時間を示します。2 つの連続したキャラクタ先端間の間隔は、このレジスタの値がH'00 のとき12 etu（追加なし）を示しH'01 のとき13 etu、…、H'FEのとき266 etu になります。また、このレジスタの値がH'FF の場合2 つの連続したキャラクタ先端間の間隔は、T＝1 モードで11etu 、T＝0 モードでは12etu になります。

30.3.12 ウエイトタイムレジスタ（SCWAIT）

SCWAIT は16 ビットの読み出し／書き込みが可能なレジスタです。2 つの連続したキャラクタの先端間隔が、設定した値（単位：etu）を超過するとウエイトエラーを発生します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCWAIT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～0	SCWAIT15 ～ SCWAI T0	H'0000	R/W	ウエイトタイムレジスタ • T＝0 モードでは、このレジスタは作業待ち時間を設定できます。受信するキャラクタと、その直前に送信又は受信したキャラクタの先端間隔が（60×このレジスタで設定する値）etu を超過したらWAIT_ER フラグが1 にセットされます。但し、SCWAIT＝H'0000 を設定した場合60etu後にWAIT_ER フラグがセットされます。 • T＝1 モードでは、このレジスタはキャラクタ待ち時間を設定できます。受信する２つの連続したキャラクタの先端間隔が、（このレジスタで設定する値）etu を超過したらWAIT_ER フラグが1 にセットされます。ただし、SCWAIT＝H'0000～H'0002 を設定した場合、RE ビットを1 に設定した直後はキャラクタ受信を待たずに1etu 以内に、その後はキャラクタの先端受信から1etu 後にWAIT_ER フラグがセットされます。

30.3.13 サンプリングレジスタ（SCSMPL）

SCSMPL は16 ビットで読み出し／書き込み可能なレジスタです。1etu あたりのシリアルクロックサイクル数を設定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCSMPL[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	1	1	1	0	0	1	1
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～ 11	—	0	—	リザーブビット
10 ～ 0	SCSMPL10 ～ SCSMPL0	H'173	R/W	1etu あたりのシリアルクロックサイクル数設定値 1etu あたりのシリアルクロックサイクル数は（SCSMPL の値＋1）です。SCSMPL に書き込む値は、必ずH'0007 以上にしてください。

30.4 動作説明

30.4.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- フレームは、8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで、SCGRD、及びSCSCMRのLCBビット、PBビットで設定したキャラクタ保護時間をおきます。
- T＝0モードの受信時にパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルとしてLレベルを1etu期間出力します。
- T＝0モードの送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- 調歩同期式通信機能のみサポートし、クロック同期式通信機能はありません。

30.4.2 データフォーマット

図30.2にスマートカードインタフェースのデータフォーマットを示します。スマートカードインタフェースは受信時に1フレームごとにパリティチェックを行います。

T＝0モードで受信時にパリティエラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

T＝1モードで受信時にパリティエラーが検出された場合、エラーシグナルを送り返しません。送信時はエラーシグナルのサンプリングとデータの再送信を行いません。

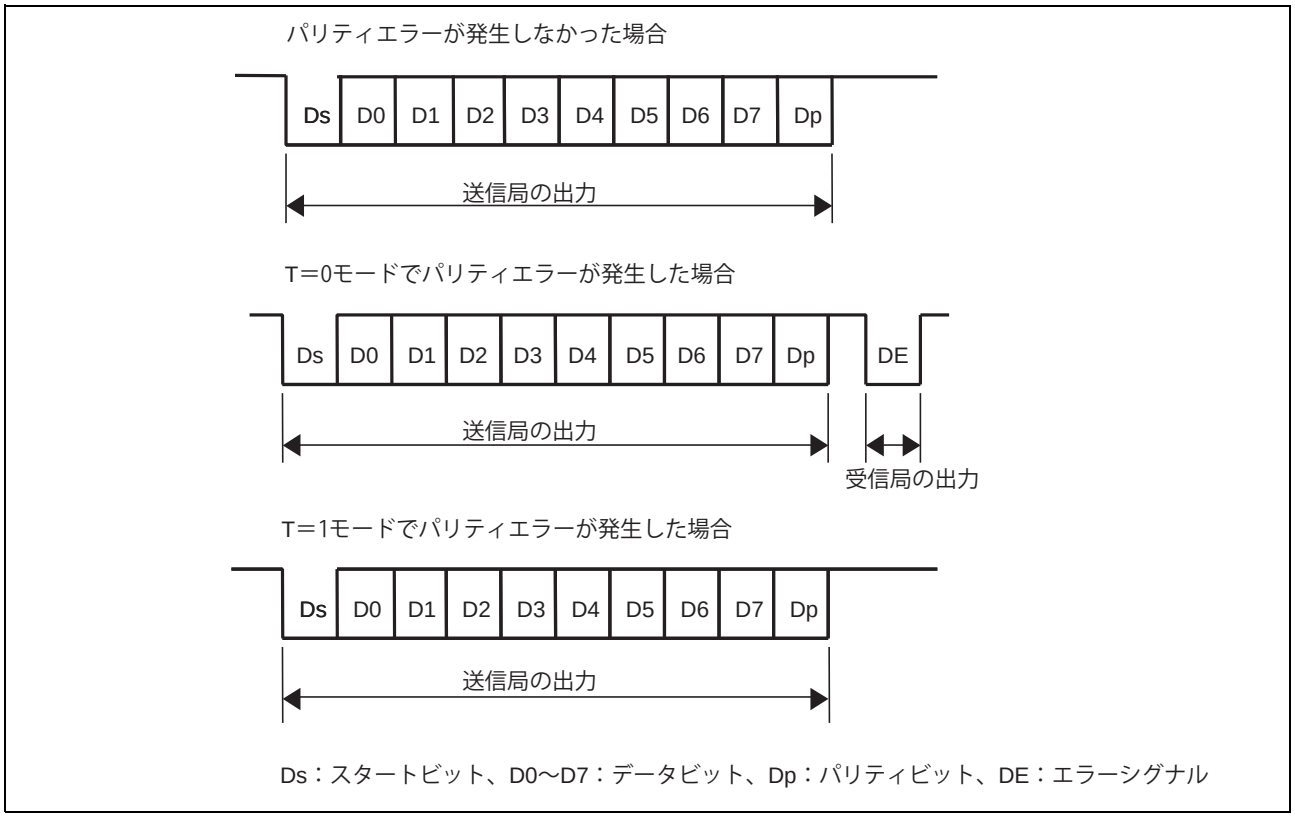


図30.2 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

①データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHレベルに固定されます。
②送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット（Ds：Lレベル）から開始します。この後に、8ビットのデータビット（D0～D7）とパリティビット（Dp）が続きます。
③スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHレベルになります。
④受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、T＝0モードのとき、エラーシグナル（DE：Lレベル）を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHレベルに戻ります。T＝1モードのときは、パリティエラーが発生してもエラーシグナルを出力しません。
⑤送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、T＝0モードでエラーシグナルを受信した場合は、エラーとなったデータを②に戻り再送信します。
T＝1モードではエラーシグナルの受信、及び再送信をしません。

30.4.3 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表30.3に示します。
0又は1が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表30.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCSMR	0	0	1	O/$\overline{E}$	0	0	0	0
SCBRR	0	0	0	0	0	BRR2	BRR1	BRR0
SCSCR	TIE	RIE	TE	RE	WAIT_IE	TEIE	CKE1	CKE0
SCTDR	SCTD7	SCTD6	SCTD5	SCTD4	SCTD3	SCTD2	SCTD1	SCTD0
SCSSR	TDRE	RDRF	ORER	ERS	PER	TEND	WAIT_ER	0
SCRDR	SCRD7	SCRD6	SCRD5	SCRD4	SCRD3	SCRD2	SCRD1	SCRD0
SCSCMR	0	LCB	PB	0	SDIR	SINV	RST	1
SCSC2R	EIO	0	0	0	0	0	0	0
SCWAIT	SCWAIT15 ～ SCWAIT0							
SCGRD	SCGRD7～ SCGRD0							
SCSMPL	SCSMPL10～ SCSMPL0、ビット11 ～15は0							

- **シリアルモードレジスタ（SCSMR）の設定**
  O/$\overline{E}$ビットはICカードがダイレクトコンベンション時は0を設定し、インバースコンベンション時は1を設定します。
- **ビットレートレジスタ（SCBRR）の設定**
  ビットレートを設定します。設定値の算出方法は「30.4.4 クロック」を参照してください。
- **シリアルコントロールレジスタ（SCSCR）の設定**
  TIE、RIE、TEIE、WAIT_IEビットで各種割り込みの許可／禁止を選択します。
  TE、REビットのどちらかを1にセットすることで、送信／受信を選択します。
  CKE1、CKE0 ビットはクロック出力状態を選択します。詳細は「30.4.4 クロック」を参照してください。
- **スマートカードモードレジスタ（SCSCMR）の設定**
  SDIRビット及びSINVビットは、ICカードがダイレクトコンベンション時はどちらも0を設定し、インバースコンベンション時はどちらも1を設定します。
  SMIFビットは必ず1を書き込みます。
  以下に2種類のICカード（ダイレクトコンベンションタイプとインバースコンベンションタイプ）に対するレジスタ設定値と開始キャラクタでの波形例を図30.3に示します。
  ダイレクトコンベンションタイプでは、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信する方式です。上記の開始キャラクタのデータはH'3Bとなります。パリティビットは、スマートカードの規程により偶数パリティで1となります。
  インバースコンベンションタイプでは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信する方式です。図30.3の開始キャラクタのデータはH'3Fとなります。パリティビットは、スマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。

なお、SINVビットによる反転はデータビットD7～D0のみとなっています。パリティビットの反転のためにSCSMRのO/$\overline{E}$ビットを奇数パリティモードに設定します。送信、受信とも同様です。

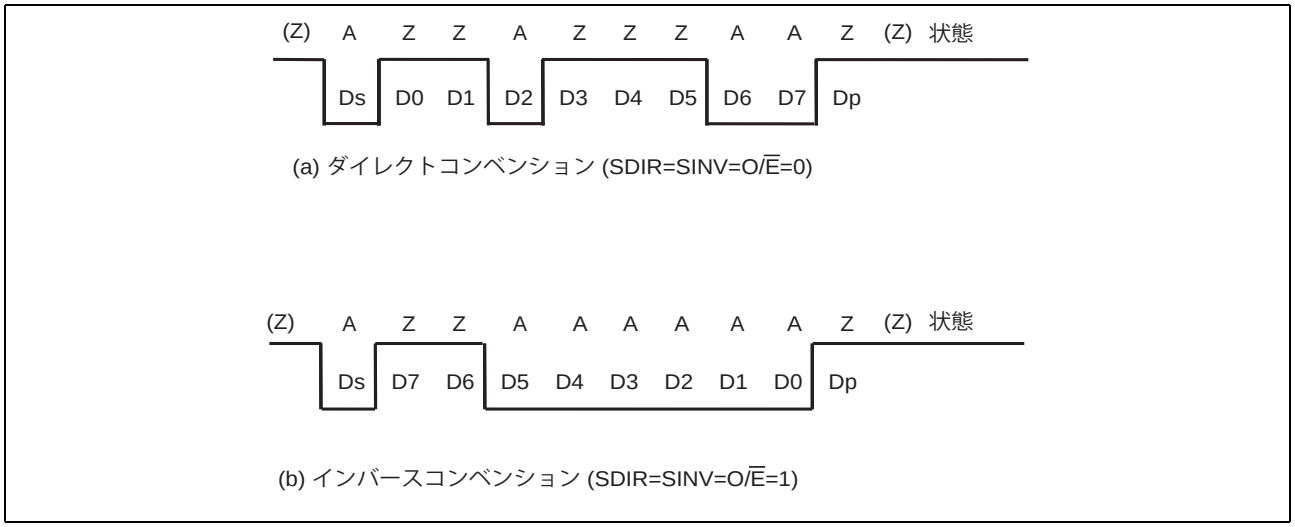


図 30.3　開始キャラクタの波形例

30.4.4　クロック

スマートカードインタフェースにおける送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ（SCBRR）とサンプリングレジスタ（SCSMPL）で設定され、以下に示す計算式になります。ビットレートの例を表30.4に示します。

このときCKE0＝1でクロック出力を選択するとSIM_CLK端子からはビットレートを（SCSMPL＋1）倍した周波数のクロックが出力されます。

$$B = Pck \times 10^6 / \{(S+1) \times 2\ (N+1)\}$$

B = ビットレート（bits/秒）
Pck = 周辺モジュール用動作周波数
S = SCSMPL 設定値 (0 ≤ S ≤ 2047)
N = SCBRR 設定値 (0 ≤ N ≤ 7).

表30.4　SCBRR の設定に対するビットレート（bits/秒）の例(Pck = 48 MHz、SCSMPL = 356)

SCBRR 設定値	SCK周波数(MHz)	ビットレート（bits/秒）
7	3	8403
6	3.429	9603
5	4	11204
4	4.8	13445
3	6	16806
2	8	22308
1	12	33613
0	24	67226

注.　ビットレートは小数点以下を四捨五入した数値です。

30.4.5　データの送信／受信動作

(1)　初期化

データの送受信の前に、以下の手順でスマートカードインタフェースを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。初期化のフロー例を図30.4 に示します。以下の①～⑦は、図30.4 に対応します。

① シリアルコントロールレジスタ（SCSCR）のTE、REビットを0にします。
② シリアルステータスレジスタ（SCSSR）のエラーフラグPER、ORER、ERS、WAIT_ERを0にしてください。
③ シリアルモードレジスタ（SCSMR）のパリティビット（O/$\overline{E}$ビット）を設定してください。
④ スマートカードモードレジスタ（SCSCMR）の LCB、PB、SMIF、SDIR、SINV ビットを設定してください。
⑤ ビットレートに対応する値をビットレートレジスタ（SCBRR）に設定します。
⑥ シリアルコントロールレジスタ（SCSCR）のクロックソースの選択ビット（CKE1、CKE0ビット）を設定してください。このとき、TIE、RIE、TE、RE、TEIE、WAIT_IEビットは、0に設定してください。CKE0ビットを1にセットした場合は、SIM_CLK端子からクロック出力されます。
⑦ 少なくとも、1etu期間待ってから、SCSCRのTIE、RIE、TE、RE、TEIE、WAIT_IEビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

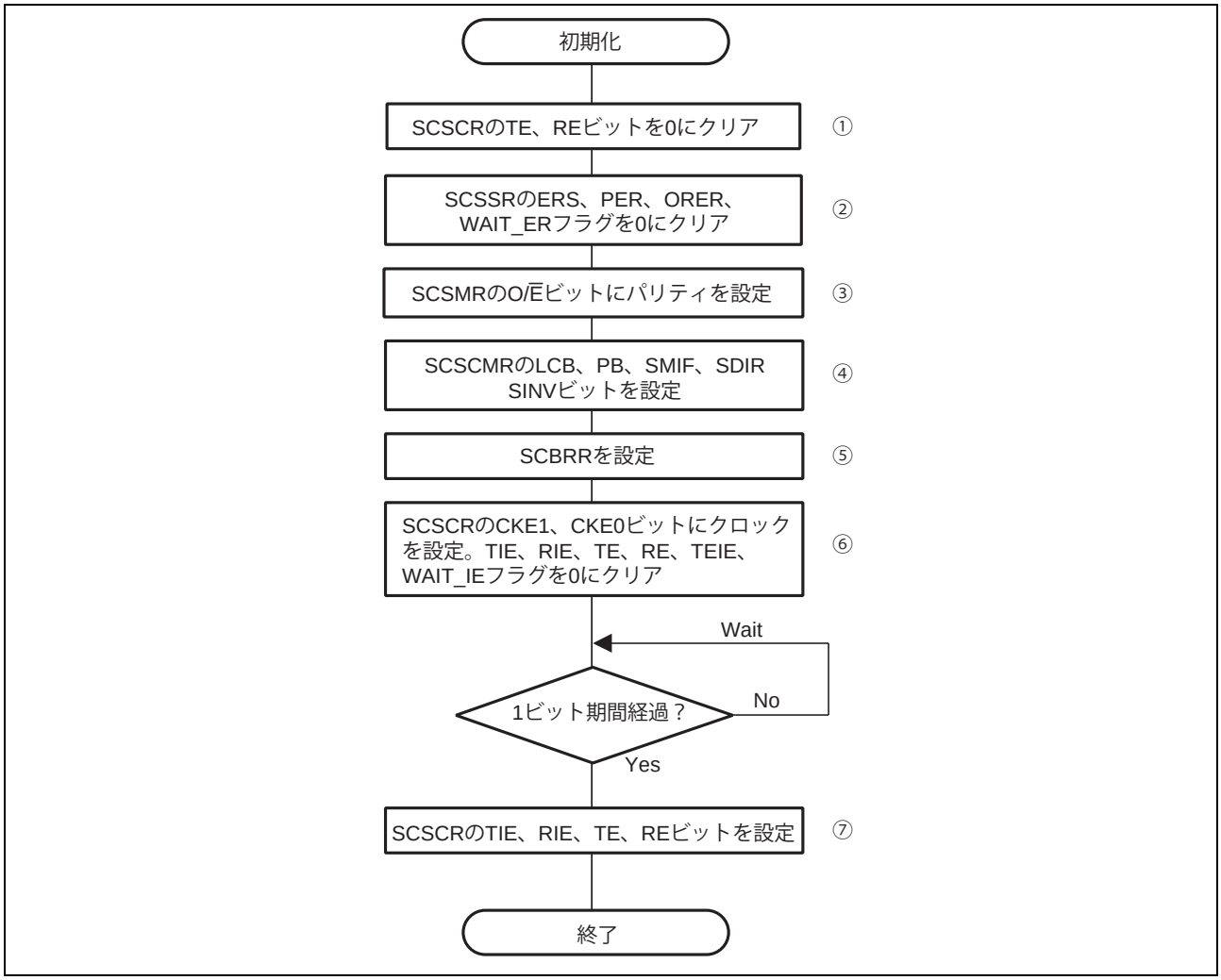


図 30.4　初期化のフロー例

(2)　シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があります。送信処理フローの例を図30.5 に示します。以下の①～⑥は、図30.5 の①～⑥に対応します。

①「(1) 初期化」の手順に従いスマートカードインタフェースモードに初期化します。
② SCSSR のエラーフラグ ERS ビットが 0 にされていることを確認してください。
③ SCSSR の TDRE フラグが 1 にセットされていることが確認できるまで、②、③を繰り返してください。
④ SCTDR に送信データを書き込んで、送信動作を行います。このとき、TDRE フラグは自動的に 0 にクリアされます。スタートビットの送信が開始されると TEND フラグは自動的に 0 にクリアされ、TDRE フラグは自動的に 1 にセットされます。
⑤ 連続してデータを送信する場合は、②に戻ってください。
⑥ 送信を終了する場合は、TE ビットを 0 にします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビット（SCSCR レジスタのビット 7）を 1 にセットし、割り込み要求を許可しておいたとき、送信が開始し TDRE フラグが 1 にセットされると、送信データエンプティ割り込み（TXI）要求を発生します。RIE ビット（SCSCR レジスタのビット 6）を 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み（ERI）要求を発生します。

詳細は「(5) 割り込み動作」を参照してください。

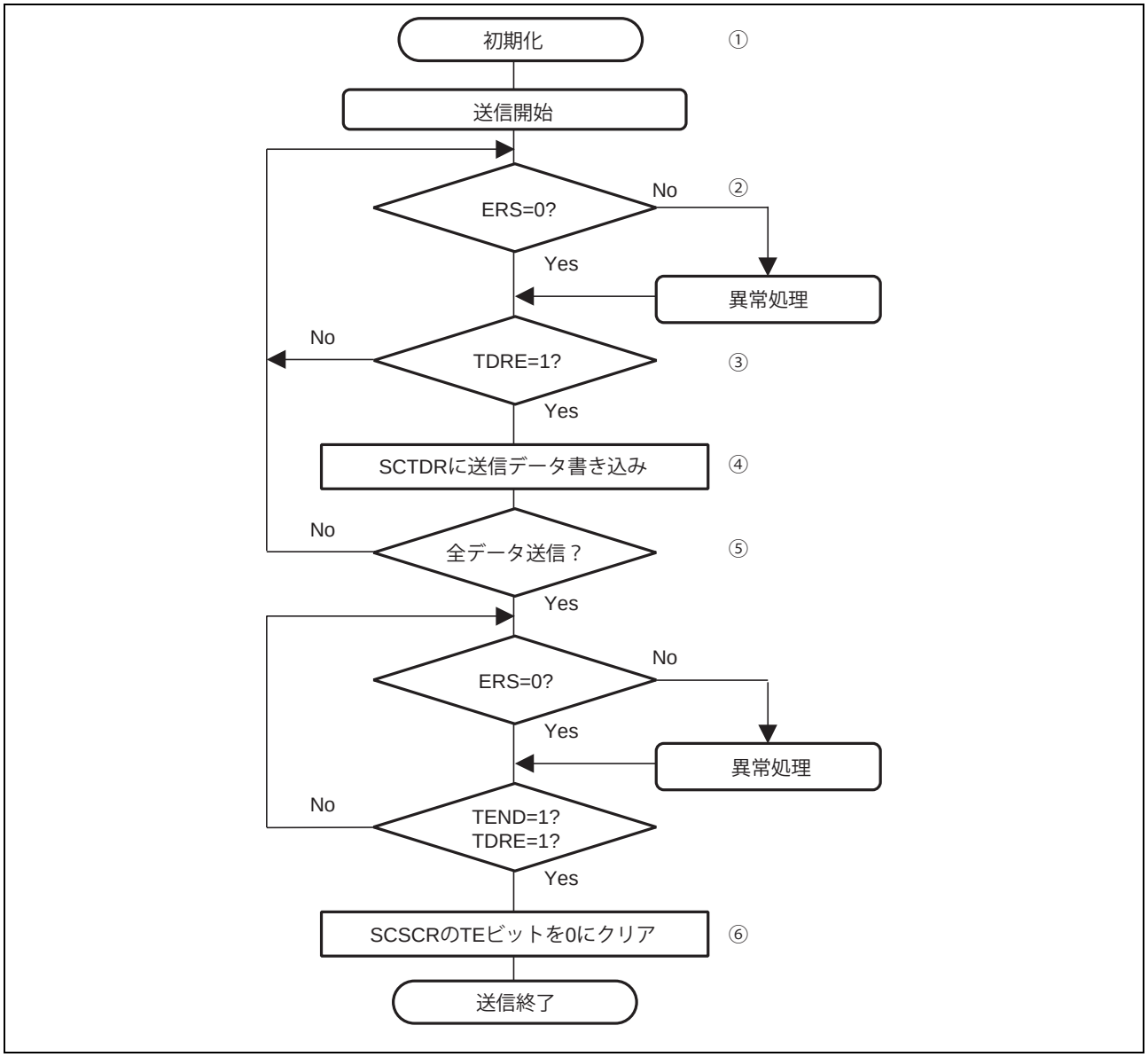


図 30.5　送信処理フローの例

(3)　シリアルデータ受信

スマートカードモードのデータ受信処理フローの例を図30.6 に示します。以下の①～⑥は、図30.6 の①～⑥に対応します。

① スマートカードインタフェースを「(1) 初期化」に従い初期化します。
② SCSSR の PER、ORER、WAIT_ER フラグが 0 であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、PER、ORER、WAIT_ER フラグを 0 にしてください。
③ RDRF フラグが 1 であることを確認できるまで②、③を繰り返してください。
④ SCRDR から受信データを読み出してください。
⑤ 継続してデータを受信する場合は、②に戻ってください。
⑥ 受信を終了する場合は、RE ビットを 0 にします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1、EIO ビットを 0 にセットしておいたとき RDRF フラグが 1 にセットされると、受信データフル割り込み（RXI）要求が発生します。また、RIE ビット（SCSCR レジスタのビット 6）を 1 にセットし受信時にエラーが発生し、ORER、PER、WAIT_ER フラグのいずれかが 1 にセットされると、送受信エラー割り込み（ERI）要求を発生します。

詳細は「(5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合、T = 0 では受信したデータは SCRDR に転送されませんのでこのデータを読み出すことはできません。T = 1 では受信したデータは SCRDR に転送されますので、このデータを読み出すことができます。

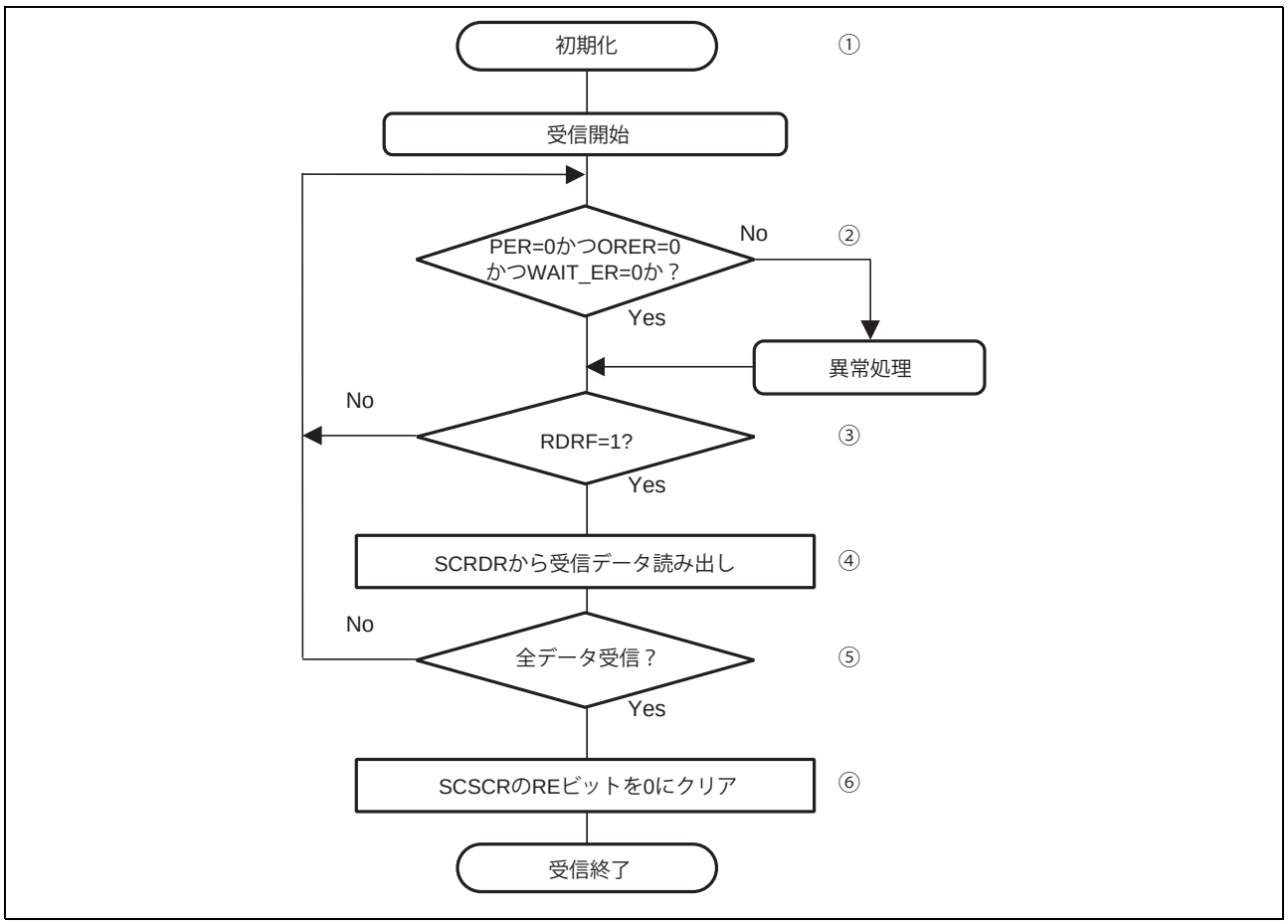


図 30.6　受信処理フローの例

(4)　モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE＝0、TE＝1 に設定してください。受信動作の完了はRDRF フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE＝0、RE＝1 に設定してください。送信動作の完了はTDRE、TEND フラグで確認できます。

(5)　割り込み動作

スマートカードインタフェースでは、送信データエンプティ割り込み（TXI）要求、送受信エラー割り込み（ERI）要求、受信データフル割り込み（RXI）要求、送信終了割り込み（TEI）要求の 4 種類の割り込み要因があります。

- SCSSR のTDRE フラグが1 にセットされると、TXI 要求が発生します。
- SCSSR のRDRF フラグが1 にセットされると、RXI 要求が発生します。
- SCSSR のERS、ORER、PER、WAIT_ER フラグが1 にセットされると、ERI 要求が発生します。
- SCSSR のTEND フラグがセットされると、TEI 要求が発生します。

表30.5 にスマートカードインタフェースの割り込み要因を示します。各割り込み要求はSCSCR のTIE、RIE、TEIE、WAIT_IE 及びSCSC2R のEIO ビットで許可又は禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

表30.5　スマートカードインタフェース割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TDRE	TIE	TXI
		TEND	TEIE	TEI
	エラー	ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE、EIO	RXI
	エラー	ORER、PER	RIE	ERI
		WAIT_ER	WAIT_IE	ERI

(6) DMAC によるデータ転送動作

スマートカードインタフェースは、DMAC を使って送受信を行うことができます。

送信動作では、SCSSR の TDRE フラグが 1 にセットされると、送信データエンプティー DMA 転送要求が発生します。あらかじめ DMAC の起動要因に送信データエンプティー DMA 転送要求を設定しておけば、送信データエンプティー DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T＝0 モードのとき、送信時にエラーシグナルを受信した場合、自動的に同じデータを再送信します。この再送信のとき DMA 転送要求は発生しませんので DMAC に指定したバイト数の送信ができます。

DMAC で送信データ処理を行い、SH-4A への割り込み要求でエラー処理を行う場合、TIE ビット（SCSCR レジスタのビット 7）を 0 にセットし TXI 要求が発生しないようにして、RIE ビット（SCSCR レジスタのビット 6）を 1 にセットして ERI 要求が発生するようにしてください。エラーシグナルを受信したときにセットされる ERS フラグは、自動的にクリアされませんので SH-4A への割り込み要求でクリアしてください。

受信動作では、SCSSR の RDRF フラグが 1 にセットされると受信データフル DMA 転送要求が発生します。あらかじめ DMAC の起動要因に受信データフル DMA 転送要求を設定しておけば、受信データフル DMA 転送要求により DMAC を起動してデータ転送を行うことができます。

T ＝ 0 モードのとき、受信時にパリティエラーが発生した場合データの再送信要求をします。このとき RDRF フラグはセットされず DMA 転送要求は発生しませんので DMAC に指定したバイト数の受信ができます。

DMAC で受信データ処理を行い、SH-4A への割り込み要求でエラー処理を行う場合、RIE ビットを 1、EIO ビット（SCSC2R レジスタのビット 7）を 1 にセットして、RXI 要求が発生せず ERI 要求のみ発生するように設定してください。

受信エラーによりセットされる PER、ORER、WAIT_ER フラグは自動的にクリアされませんので SH-4A への割り込み要求でクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてからスマートカードインタフェースの設定を行ってください。

30.5 使用上の注意事項

スマートカードインタフェースを使用する際は、以下のことに注意してください。

(1) 受信データタイミングと受信マージン

SCSMPL レジスタが初期値の場合、スマートカードインタフェースは転送レートの372 倍の周波数の基本クロックで動作しています。

受信時にスマートカードインタフェースは、スタートビットの立ち下がりをシリアルクロックでサンプリングして、内部を同期化します。また、受信データをシリアルクロックの186 クロック目の立ち上がりエッジで内部に取り込みます。これを図30.7 に示します。

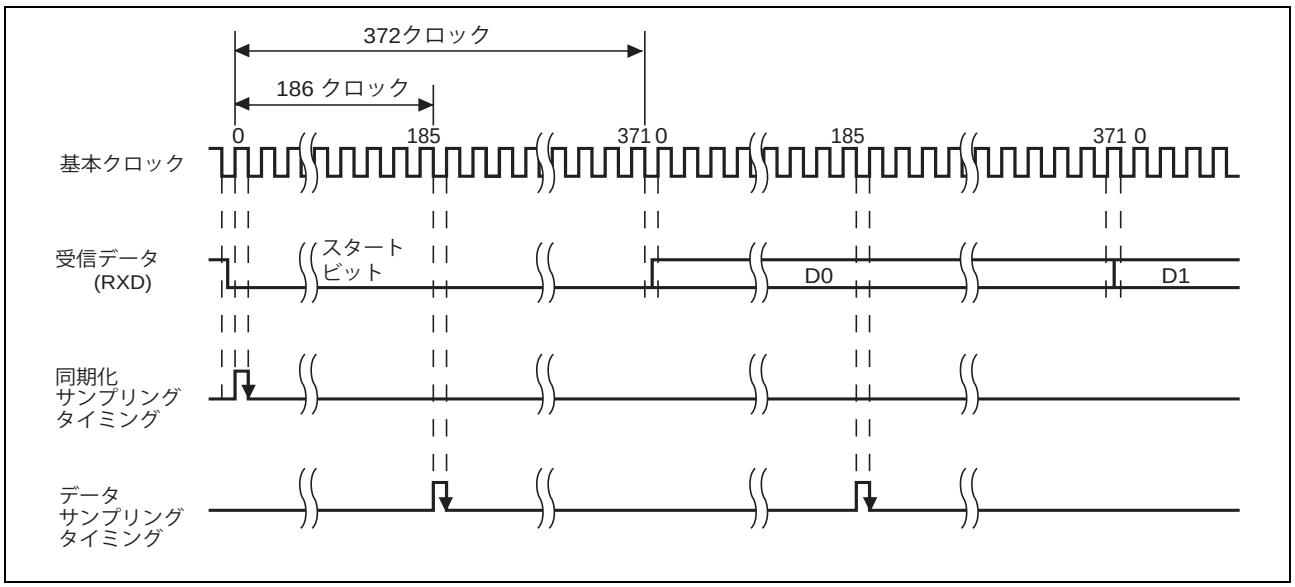


図 30.7 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(L + F) \right| \times 100\%$$

M: 受信マージン（%）
N: クロックに対するビットレートの比 (N ＝372)
D: クロックデューティ (D ＝0 ～ 1.0)
L: フレーム長 (L ＝ 10)
F: クロック周波数の偏差の絶対値

上式で、F＝0、D＝0.5 とすると、受信マージン式は次のようになります。

D＝0.5、F＝0 のとき、

M ＝ (0.5 – 1/2 × 372) × 100%

＝49.866%

(2) 再転送動作

スマートカードインタフェースがそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

- スマートカードインタフェースが受信モードの場合の再転送動作（T＝0）

  スマートカードインタフェースが受信モードの場合の再転送動作を図30.8 に示します。図30.8 の(1)～（5）は、以下の動作に対応します。

1. 受信したパリティビットをチェックした結果、エラーが検出されると、PERビット（SCSSRレジスタのビット3）が自動的に1にセットされます。このとき、RIEビット（SCSCRレジスタのビット6）がイネーブルになっていれば、ERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、PERビットを0にしてください。
2. パリティエラーが発生したフレームでは、RDRFビット（SCSSRレジスタのビット6）はセットされません。
3. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、PERビットはセットされません。
4. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、RDRFビットが自動的に1にセットされます。このときRIEビットが1、EIOビットが0になっていれば、RXI要求が発生します。
5. 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

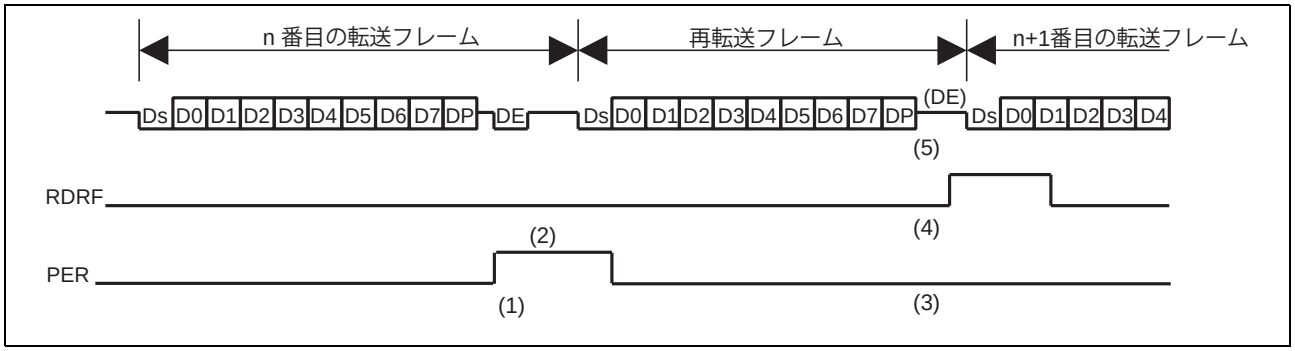


図 30.8　スマートカードインタフェース受信モードの場合の再転送動作

• スマートカードインタフェースが送信モードの場合の再転送動作（T＝0）

スマートカードインタフェースが送信モードの場合の再転送動作を図30.9に示します。図30.9の（1）～（4）は、以下の動作に対応します。

1. 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、ERSビット（SCSSRレジスタのビット4）が1にセットされます。このとき、RIEビット（SCSCRレジスタのビット6）が許可になっていれば、ERI要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSRのERSビットを0にしてください。
2. T＝0モードのとき異常を示すエラーシグナルを受信したフレームでは、SCSSRのTENDビットはセットされません。
3. 受信側からエラーシグナルが返ってこない場合は、ERSビット（SCSSRレジスタのビット2）はセットされません。
4. 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、TENDビットが1にセットされます。このときTIEビット（SCSCRレジスタのビット7）がイネーブルになっていれば、TEI割り込み要求を発生します。

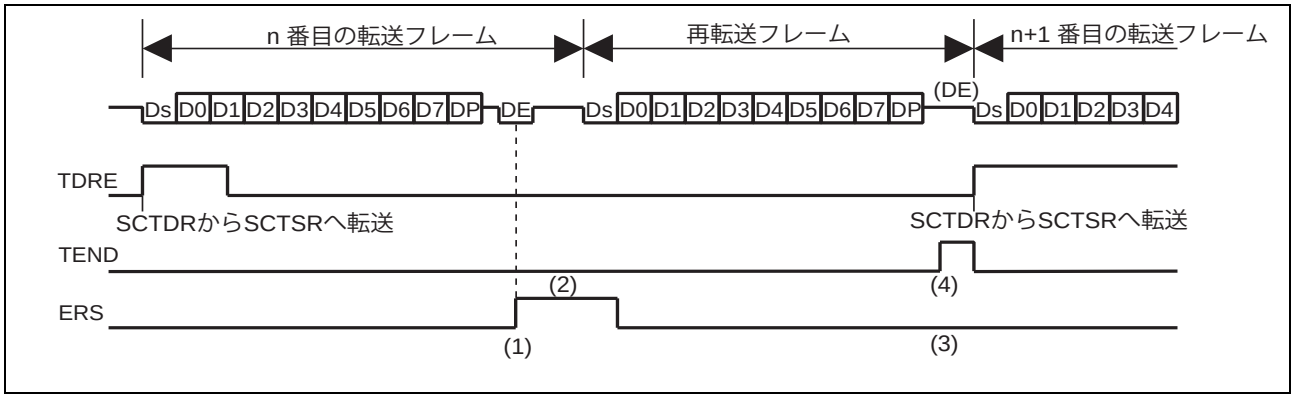


図 30.9 スマートカードインタフェース送信モードの場合の再転送動作スタンバイモード（クロックストップ）

(3) スタンバイモードの切り替え

スマートカードインタフェースモードとスタンバイモード間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。切り替え手順を図 30.10 に示します。図30.10 の（1）～（7）は、以下の操作に対応します。

- スマートカードインタフェースモードからスタンバイモードに遷移するとき

1. シリアルコントロールレジスタ（SCSCR）のTEビットとREビットに0を書き込み、送信／受信動作を停止させます。同時に、CKE1ビットをスタンバイモード時の出力固定状態の値に設定します。
2. CKE0ビット（SCSCRのビット0）に0を書き込み、クロックを停止させます。
3. シリアルクロックの1クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
4. スタンバイ状態に遷移させます。

- スタンバイモードからスマートカードインタフェースモードに戻すとき

1. スタンバイ状態を解除します。
2. CKE1ビット（SCSCRのビット1）をスタンバイ開始時の出力固定状態（現在のSIM_CLK端子の状態）の値に設定します。
3. SCSCRのCKE0ビットに1を書き込みクロックを出力させます。正常なデューティにてクロック信号発生を開始します。

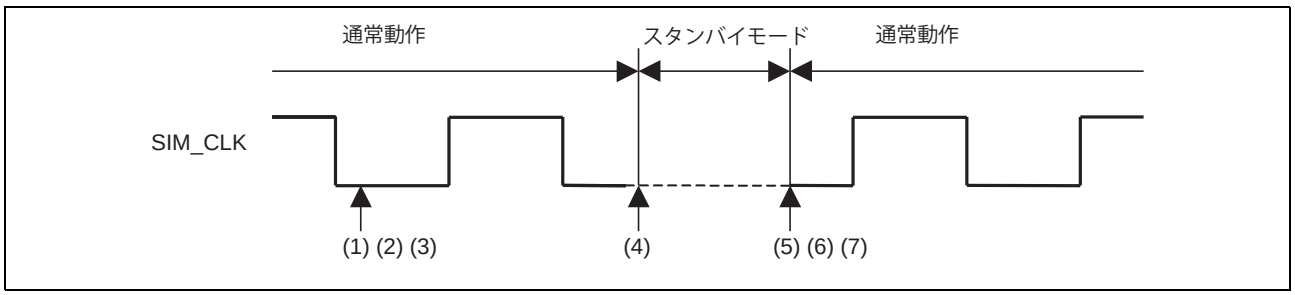


図 30.10 クロック停止、再起動手順

(4)　電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗／プルダウン抵抗を使用します。
2. CKE1ビット（SCSCRのビット1）で指定の出力に固定します。
3. CKE0ビット（SCSCRのビット0）を1に設定して、クロック出力を開始します。

(5)　端子接続

スマートカードインタフェースに関する端子接続例を図30.11 に示します。

スマートカードとの通信においては、1 本のデータ伝送線で送信と受信が行われます。また、データ伝送線は、抵抗で電源V_{CC}側にプルアップしてください。

スマートカードインタフェースで生成するクロックをIC カードで使用する場合は、SIM_CLK 端子出力をIC カードのCLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

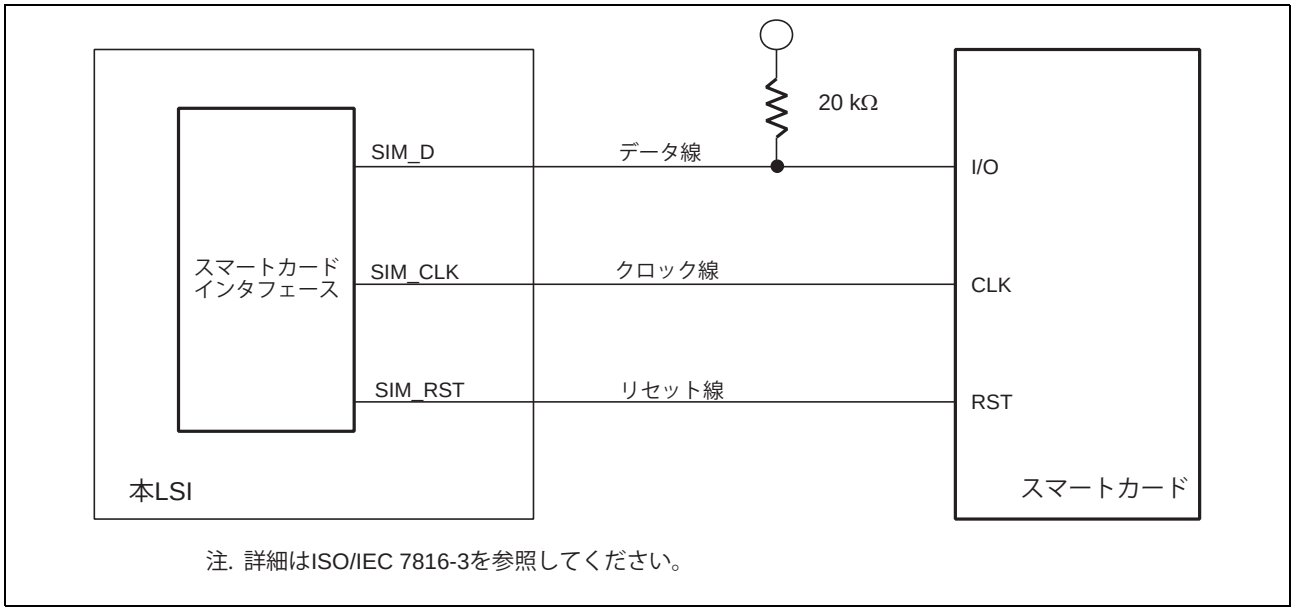


図 30.11　スマートカードインタフェース端子接続例

注.　IC カードを接続しないでRE＝TE＝1 に設定すると、閉じた送信／受信が可能となり自己診断をすることができます。

(6)　送信終了割り込みについて

連続送信時、TEIE（SCSCR レジスタのビット 2）が常に 1 にセットされていると TEND ビット（SCSSR レジスタのビット 2）は送信終了時に毎回 1 にセットされるため、必要のない送信終了割り込み（TEI）要求が発生します。

最後の送信データをトランスミットデータレジスタ（SCTDR）に書き込んでトランスミットシフトレジスタ（SCTSR）が送信を開始してから、シリアルコントロールレジスタ（SCSCR）のビット 2（TEIE）を 1 にセットすることで、不要な TEI 割り込み要求の発生を回避することができます。

図 30.12 に TEIE を 1 にセットするタイミングの波形を示します。

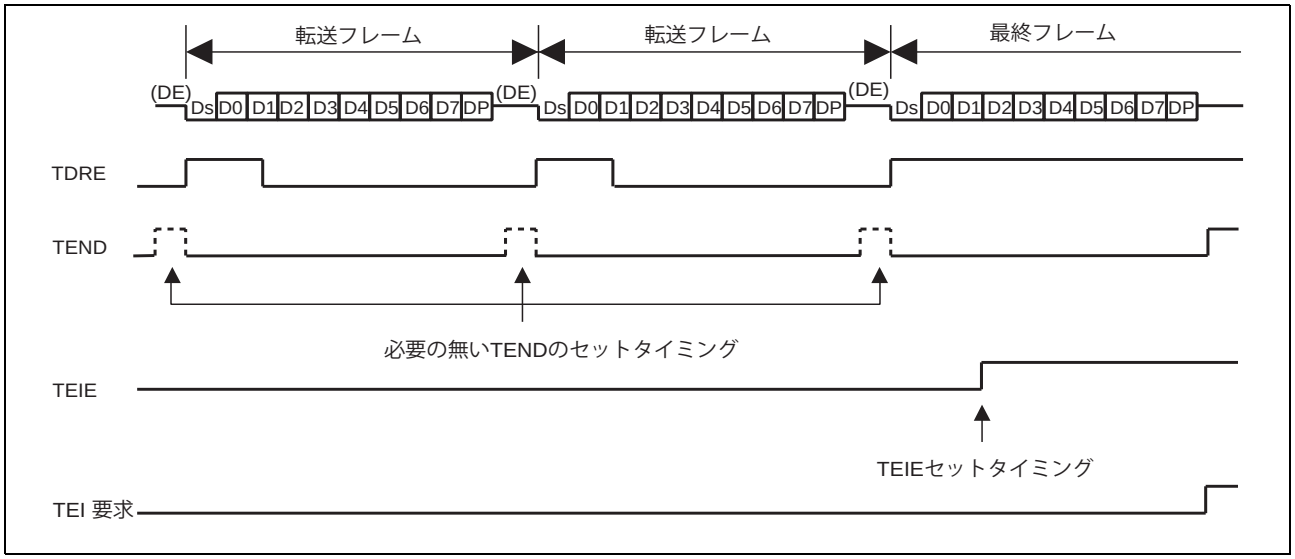


図 30.12　TEIE セットタイミング

31. USBファンクションモジュール0（USB0）

本USBファンクションモジュール0（USB0）は、USB ファンクションコントロール機能を備えたUSB コントローラです。USB（Universal Serial Bus）規格 2.0 のハイスピード転送、フルスピード転送に対応します。また、本モジュールは、USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用に8.5K バイトのバッファメモリを内蔵し、デフォルトコントロールパイプを含む最大10本のパイプを使用できます。また、パイプ1～9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

なお、USBホスト/ファンクションモジュール1（USB1）で、USBファンクションを選択した場合のUSBファンクションコントロール機能も、本USB0と同様です。

USB0 と通信するメモリは DDR（DBSC3 経由）に限ります。ILRAM、OLRAM、外部メモリ（LBSC 経由）は使用できません。

31.1　特長

(1)　USB ハイスピード対応のファンクションコントローラを内蔵

- ハイスピード転送（480Mbps）とフルスピード転送（12Mbps）に対応
- ハイスピード／フルスピードUSB トランシーバ内蔵

(2)　少ない外付け素子かつ省スペース実装が可能

- VBUS信号を本モジュールの入力端子に直接接続可能
- D+プルアップ抵抗内蔵
- D+、D-終端抵抗内蔵（ハイスピード動作時）
- D+、D-出力抵抗内蔵（フルスピード動作時）

(3)　USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送（High Bandwidthは非対応）
- アイソクロナス転送（High Bandwidthは非対応）

(4)　内部バスインタフェース

- 専用のDMAインタフェースを1チャネル内蔵（SUDMAC）

(5)　パイプコンフィギュレーション

- 8.5Kバイトの USB通信用バッファメモリを内蔵
- 最大10本のパイプを選択可能（デフォルトコントロールパイプを含む）
- プログラマブルなパイプ構成
- パイプ1～9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下の通り。

パイプ0　：コントロール転送専用のパイプ（デフォルトコントロールパイプ：DCP）、64バイト固定シングルバッファ

パイプ1、2　：バルク転送又はアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラマブル（最大2Kバイトでダブルバッファ指定可能）

パイプ3～5　：バルク転送用のパイプ、連続転送モード、バッファサイズはプログラマブル（最大2Kバイトでダブルバッファ指定可能）

パイプ6～9　：インタラプト転送用のパイプ、64バイト固定シングルバッファ

(6)　その他の機能

- リセットハンドシェイク自動応答による、ハイスピード動作もしくはフルスピード動作の自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能（NRDY）

- SOF補間機能
- トランザクションカウントによるトランスファ終了機能
- BRDY割り込みイベント通知タイミング変更機能（BFRE）
- D0FIFOポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能（DCLRM）
- トランスファ終了による応答PIDのNAK設定機能（SHTNAK）

31.2　入出力端子

USB0の端子構成を表31.1に示します。

表31.1　USB0の端子構成

端子名	名称	入出力	機能
USDP0	USB D+ データ	入出力	USB内蔵トランシーバD+入出力です。 USBバスのD+端子に接続してください。
USDM0	USB D- データ	入出力	USB内蔵トランシーバD-入出力です。 USBバスのD-端子に接続してください。
VBUS0	Vbus入力	入力	USBケーブル接続モニタ端子です。 USBバスのVbusに接続してください。Vbusの接続／切断を検出することができます。USBバスのVbusと接続しない場合は、5Vに固定してください。
REFRIN	リファレンス入力	入力	基準抵抗接続用端子です。 USB 1でも使用します。 5.6KΩ±1%抵抗を介してグランドに接続してください（VSS：ボール番号AE19（推奨）、AF19、又はAD22）。
VCCQ-USB	USBアナログ3.3V用電源	—	トランシーバ部アナログ端子電源です。
VSS	グランド	—	グランド
VDD-USB	USBデジタル1.2V用電源	—	トランシーバ部デジタルコア電源です。

31.3　リセット

USBトランシーバはリセットで初期化され、USBポート及びUSBコントローラは、PHYインタフェースと切断された状態になります。

USB0を使用する場合は、まずPHYポートコントロールレジスタを設定してトランシーバとコントローラ間の接続を有効にし、次にPHYリセットレジスタをリセット解除に設定してください。

31.3.1　PHYインタフェースレジスタの説明

USB PHYリセットを制御するレジスタの構成を表31.2に示します。

表31.2　レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
PHYリセットレジスタ	RESET	R/W	H'FE5F 0000	16	H'0100	H'0100	H'0100
PHYポートコントロールレジスタ	PORTSEL	R/W	H'FE5F 000A	16	H'0000	H'0000	H'0000

31.3.2　PHYリセットレジスタ（RESET）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PLLEN	—	—	—	RESET_1	—	—	—	RESET_0
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	R/W	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
15～9	—	0	—	リザーブビット
8	PLLEN	1	R/W	USB PHYのPLLのスタンバイコントロール 0：待機中 1：動作中
7～5	—	0	—	リザーブビット
4	RESET_1	0	R/W	USBポート1のリセット信号 0：リセット中 1：リセット解除
3～1	—	0	—	リザーブビット
0	RESET_0	0	R/W	USBポート0のリセット信号 0：リセット中 1：リセット解除

RESET_0、RESET_1ビットを“1”にしてリセットを解除する前に、PT_SELビット(PORTSELレジスタのビット1、0)＝10にして、各PHYポートを有効にしてください。また、USB1ではFSELビット（PORT1SELレジスタのビット0）でUSB1ポートのホストとファンクションも切り替えてください。

31.3.3　PHYポートコントロールレジスタ（PORTSEL）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PT_SEL	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～2	—	0	—	リザーブビット
1、0	PT_SEL	00	R/W	USB ポートセレクト 00：USB ポート非選択 01：設定禁止 10：PHY ポート 0：USB0、PHY ポート 1 ：USB1 11：設定禁止 PHY リセットを解除する前に、本ビットを”10” にセットしてください。

USB ポートが切断されている場合、UTMI PHY 信号は以下の値に固定されます。

表31.3　ポートが非選択時のシグナルステータス

固定される信号	値	信号名
UTMI PHY 信号	1 に固定	TERMSELECT、TX_ENABLE_N、XCVRSELECT[0]、DPPULLDOWN、DMPULLDOWN
	0 に固定	DATAIN、TXVALID、TXVALIDH、SUSPENDM、OPEMODE[1:0]、TX_DAT、TX_SE0、XCVRSELECT[1]、FSLSSERIALMODE
USB0コントローラ信号、USB1 コントローラ信号	1 に固定	HOSTDISCONNECT
	0 に固定	DATAOUT、TXREADY、RXACTIVE、RXVALID、RXVALIDH、RXERROR、RX_DP、RX_DM、RX_RCV、LINESTATE、VBUSON

31.4　システムコンフィギュレーション

USB0ファンクションモジュールとUSB1ホスト/ファンクションモジュールのブロック図を図31.1に示します。

USB0とUSB1のファンクションコントローラはそれぞれ、内部データバスに接続される専用DMAC(SUDMAC)を持っています。 USBファンクションコントローラとDMAC(SUDMAC)の相関について表31.4に示します。

USB0、USB1と通信するメモリはDDR（DBSC経由）に限ります。ILRAM、OLRAM、外部メモリ（LBSC経由）は使用できません。

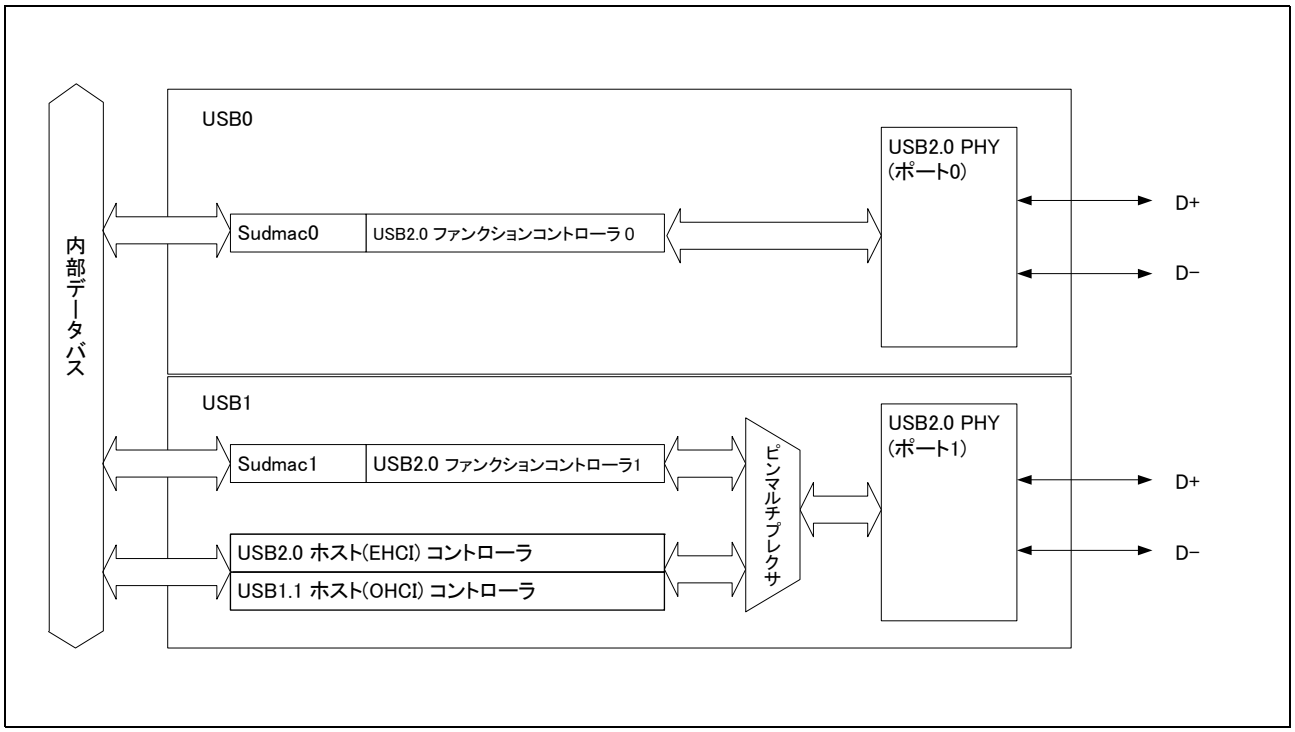


図 31.1　USB0モジュールとUSB1 モジュールのブロック図

表31.4　USB ファンクションコントローラとDMAC（SUDMAC）の相関

USBポート	ファンクション	DMAC
ポート 0	USB 2.0ファンクションコントローラ 0 ベースアドレス = H'FE45 0000	SUDMAC0 ベースアドレス = H'FE45 1000
ポート1	USB 2.0ファンクションコントローラ1 ベースアドレス = H'FE4F 0000	SUDMAC1 ベースアドレス = H'FE4F 0300

31.5　レジスタの説明

USB0/USB1 のファンクションコントローラのレジスタ構成を表 31.5 に示します。

表31.5　レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
システムコンフィギュレーションコントロールレジスタ	SYSCFG	R/W	ベースアドレス + H'000	16	H'0020	H'0020	H'0020
SH-4Aバスウエイト設定レジスタ	BUSWAIT	R/W	ベースアドレス + H'002	16	H'000F	H'000F	H'000F
システムコンフィギュレーションステータスレジスタ	SYSSTS	R	ベースアドレス + H'004	16	H'000X	H'000X	H'000X
デバイスステートコントロールレジスタ	DVSTCTR	R/W	ベースアドレス + H'008	16	H'0000	H'0000	H'0000
テストモードレジスタ	TESTMODE	R/W	ベースアドレス + H'00C	16	H'0000	H'0000	H'0000
CFIFOポートレジスタ	CFIFO	R/W	ベースアドレス + H'014	8/16/32	H'0000 0000	H'0000 0000	H'0000 0000
CFIFOポート選択レジスタ	CFIFOSEL	R/W	ベースアドレス + H'020	16	H'0000	H'0000	H'0000
CFIFOポートコントロールレジスタ	CFIFOCTR	R/W	ベースアドレス + H'022	16	H'0000	H'0000	H'0000
D0FIFOポート選択レジスタ	D0FIFOSEL	R/W	ベースアドレス + H'028	16	H'0000	H'0000	H'0000
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	ベースアドレス + H'02A	16	H'0000	H'0000	H'0000
割り込み許可レジスタ	INTENB	R/W	ベースアドレス + H'030	16	H'0000	H'0000	H'0000
BRDY割り込み許可レジスタ	BRDYENB	R/W	ベースアドレス + H'036	16	H'0000	H'0000	H'0000
NRDY割り込み許可レジスタ	NRDYENB	R/W	ベースアドレス + H'038	16	H'0000	H'0000	H'0000
BEMP割り込み許可レジスタ	BEMPENB	R/W	ベースアドレス + H'03A	16	H'0000	H'0000	H'0000
SOF出力コンフィグレーションレジスタ	SOFCFG	R/W	ベースアドレス + H'03C	16	H'0000	H'0000	H'0000
割り込みステータスレジスタ	INTSTS	R/W	ベースアドレス + H'040	16	H'X0X0	H'X0X0	H'X0X0
BRDY割り込みステータスレジスタ	BRDYSTS	R/W	ベースアドレス + H'046	16	H'0000	H'0000	H'0000
NRDY割り込みステータスレジスタ	NRDYSTS	R/W	ベースアドレス + H'048	16	H'0000	H'0000	H'0000
BEMP割り込みステータスレジスタ	BEMPSTS	R/W	ベースアドレス + H'04A	16	H'0000	H'0000	H'0000
フレームナンバーレジスタ	FRMNUM	R/W	ベースアドレス + H'04C	16	H'0000	H'0000	H'0000
マイクロフレームナンバーレジスタ	UFRMNUM	R	ベースアドレス + H'04E	16	H'0000	H'0000	H'0000

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
USBアドレスレジスタ	USBADDR	R	ベースアドレス + H'050	16	H'0000	H'0000	H'0000
USBリクエストタイプレジスタ	USBREQ	R	ベースアドレス + H'054	16	H'0000	H'0000	H'0000
USBリクエストバリューレジスタ	USBVAL	R	ベースアドレス + H'056	16	H'0000	H'0000	H'0000
USBリクエストインデックスレジスタ	USBINDX	R	ベースアドレス + H'058	16	H'0000	H'0000	H'0000
USBリクエストレングスレジスタ	USBLENG	R	ベースアドレス + H'05A	16	H'0000	H'0000	H'0000
DCPマックスパケットサイズレジスタ	DCPMAXP	R/W	ベースアドレス + H'05E	16	H'0040	H'0040	H'0040
DCPコントロールレジスタ	DCPCTR	R/W	ベースアドレス + H'060	16	H'0040	H'0040	H'0040
パイプウィンドウ選択レジスタ	PIPESEL	R/W	ベースアドレス + H'064	16	H'0000	H'0000	H'0000
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	ベースアドレス + H'068	16	H'0000	H'0000	H'0000
パイプバッファ指定レジスタ	PIPEBUF	R/W	ベースアドレス + H'06A	16	H'0000	H'0000	H'0000
パイプマックスパケットサイズレジスタ	PIPEMAXP	R/W	ベースアドレス + H'06C	16	H'0000	H'0000	H'0000
パイプ周期制御レジスタ	PIPEPERI	R/W	ベースアドレス + H'06E	16	H'0000	H'0000	H'0000
パイプ1コントロールレジスタ	PIPE1CTR	R/W	ベースアドレス + H'070	16	H'0000	H'0000	H'0000
パイプ2コントロールレジスタ	PIPE2CTR	R/W	ベースアドレス + H'072	16	H'0000	H'0000	H'0000
パイプ3コントロールレジスタ	PIPE3CTR	R/W	ベースアドレス + H'074	16	H'0000	H'0000	H'0000
パイプ4コントロールレジスタ	PIPE4CTR	R/W	ベースアドレス + H'076	16	H'0000	H'0000	H'0000
パイプ5コントロールレジスタ	PIPE5CTR	R/W	ベースアドレス + H'078	16	H'0000	H'0000	H'0000
パイプ6コントロールレジスタ	PIPE6CTR	R/W	ベースアドレス + H'07A	16	H'0000	H'0000	H'0000
パイプ7コントロールレジスタ	PIPE7CTR	R/W	ベースアドレス + H'07C	16	H'0000	H'0000	H'0000
パイプ8コントロールレジスタ	PIPE8CTR	R/W	ベースアドレス + H'07E	16	H'0000	H'0000	H'0000
パイプ9コントロールレジスタ	PIPE9CTR	R/W	ベースアドレス + H'080	16	H'0000	H'0000	H'0000
パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	R/W	ベースアドレス + H'090	16	H'0000	H'0000	H'0000
パイプ1トランザクションカウンタレジスタ	PIPE1TRN	R/W	ベースアドレス + H'092	16	H'0000	H'0000	H'0000

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウエアリセット
パイプ2 トランザクションカウンタイネーブルレジスタ	PIPE2TRE	R/W	ベースアドレス + H'094	16	H'0000	H'0000	H'0000
パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	R/W	ベースアドレス + H'096	16	H'0000	H'0000	H'0000
パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	R/W	ベースアドレス + H'098	16	H'0000	H'0000	H'0000
パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	R/W	ベースアドレス + H'09A	16	H'0000	H'0000	H'0000
パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	R/W	ベースアドレス + H'09C	16	H'0000	H'0000	H'0000
パイプ4トランザクションカウンタレジスタ	PIPE4TRN	R/W	ベースアドレス + H'09E	16	H'0000	H'0000	H'0000
パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	R/W	ベースアドレス + H'0A0	16	H'0000	H'0000	H'0000
パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	R/W	ベースアドレス + H'0A2	16	H'0000	H'0000	H'0000
UTMI サスペンドモードレジスタ	SUSPMODE	R/W	ベースアドレス + H'102	16	H'0000	H'0000	H'0000

注.　ベースアドレスに関しては、表 31.4 のファンクションの欄を参照してください。

31.5.1　システムコンフィギュレーションコントロールレジスタ（SYSCFG）

SYSCFG は、ハイスピード動作の許可、DP 端子の制御及び本モジュールの動作許可制御を行うレジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HSE	—	—	DPRPU	—	—	—	USBE
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	—	—	R/W	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 8	—	0	—	リザーブビット
7	HSE	0	R/W	ハイスピード動作許可 0：ハイスピード動作禁止（フルスピード動作のみ許可します） 1：ハイスピード動作許可（本モジュールが通信スピードを検出します） HSE＝0 を設定した場合、本モジュールはフルスピード動作を行います。HSE＝1 を設定した場合、本モジュールはリセットハンドシェークプロトコルを実行し、その結果に従い自動的にハイスピード又はフルスピード動作を行います。 本ビットの書き換えは、DPRPU＝0 のときに行ってください。
6	—	0	—	リザーブビット
5	—	1	—	リザーブビット
4	DPRPU	0	R/W	D+ライン抵抗制御 D+ラインのプルアップの禁止／許可を指定します。 0：プルアップ禁止 1：プルアップ許可 本ビットを” 1 ”に設定すると、本モジュールはD+ラインを3.3Vにプルアップし、USB ホストに対してアタッチを通知することができます。また、本ビットを”1” から”0” に変更することにより、本モジュールはD+ラインのプルアップを解消しますので、USB ホストに対してデタッチしたと見せることができます。
3～ 1	—	0	—	リザーブビット
0	USBE	0	R/W	USB モジュール動作許可 0：USB モジュール動作禁止 1：USB モジュール動作許可 本ビットを ”1” から”0” に変更したときに初期化されるレジスタとビットを表31.6 に示します。 本ビットの変更は、SUSPM＝1 のときに行ってください。

表31.6　USBE＝0 書き込みにより初期化されるレジスタ

レジスタ名	ビット名
SYSSTS	LNST
DVSTCTR	RHST
INTSTS	DVSQ
USBADDR	USBADDR
USEREQ	bRequest、bmRequestType
USBVAL	wValue
USBINDX	wIndex
USBLENG	wLength

31.5.2　SH-4Aバスウエイトレジスタ（BUSWAIT）

BUSWAITは、SH-4Aから本モジュールに対するアクセスウエイト数を指定します。初期値はH'000Fです。初期化ルーチンでH'0002以上の値に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 4	—	0	—	リザーブビット
3 ～ 0	BWAIT[3:0]	1111	R/W	SH-4Aバスウエイト 本モジュールに対するアクセスウエイト数を設定します。 0000 ：設定禁止 0001 ：設定禁止 0010 ：2 ウエイト (アクセスサイクル4) 0011 ：3 ウエイト (アクセスサイクル5) 0100 ：4 ウエイト (アクセスサイクル6) 0101 ：5 ウエイト(アクセスサイクル7) 0110 ：6 ウエイト (アクセスサイクル8) 0111 ：7 ウエイト(アクセスサイクル9) 1000 ：8 ウエイト (アクセスサイクル10) 1001 ：9 ウエイト (アクセスサイクル11) 1010 ：10ウエイト (アクセスサイクル12 1011 ：11ウエイト (アクセスサイクル13) 1100 ：12 ウエイト (アクセスサイクル14) 1101 ：13 ウエイト (アクセスサイクル15) 1110 ：14 ウエイト (アクセスサイクル16 1111 ：15 ウエイト (アクセスサイクル17)

31.5.3　システムコンフィギュレーションステータスレジスタ（SYSSTS）

SYSSTS は、USB データバスのラインステータス（D+及びD-ライン）をモニタします。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—	—
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 2	—	0	—	リザーブビット
1、0	LNST[1:0]	不定（注）	R	USB データラインステータスモニタ USB データバスライン（D+ライン、D-ライン）のステータスが表示されます。USB データバスラインステータスを表31.7 に示します。 本ビットの参照は、アタッチ処理（DPRPU＝1 設定）以後に行ってください。

注．　USDP0、USDM0 端子の状態に依存します。

表31.7　USB データバスラインステータス表

LNST[1]	LNST[0]	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	Squelch	Squelch
0	1	J state	Not squelch	Chirp J
1	0	K state	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

【記号説明】
Chirp　：ハイスピード動作許可の状態（HSE ビット（SYSCFG レジスタのビット7）が1）でリセットハンドシェイクプロトコル（RHSP）実行中
Squelch　：SE0 又はアイドル状態
Not squelch：ハイスピードJ-State 又はハイスピードK-State
Chirp J　：Chirp J state
Chirp K　：Chirp K state

31.5.4　デバイスステートコントロールレジスタ（DVSTCTR）

DVSTCTR は、USB データバスの状態制御及び確認をします。
また、WKUP ビットはUSB バスリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W (注)	—	—	—	—	—	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 9	—	0	—	リザーブビット
8	WKUP	0	R/W（注）	USB バス上へのリモートウェイクアップ（レジューム信号出力） 0：リモートウェイクアップ信号非出力 1：リモートウェイクアップ信号出力 本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。 本ビットに”1” を設定すると、本モジュールは10ms のK-State を出力した後、本ビットを”0” にします。 USB 規格では、リモートウェイクアップ信号の送信までに最短5ms のUSB バスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに1 を書き込んでも、2ms 待ってからK-State を出力します。 注．本ビットへの”1” 書き込みは、デバイスステートがサスペンド（DVSQ ビット（INTSTS レジスタのビット6～4）は1xx）であり、かつUSB ホストからリモートウェイクアップが許可されている場合にのみ行ってください。本ビットに”1” を書き込む場合は、サスペンド中であっても内部クロックを停止しないでください。
7 ～ 3	—	0	—	リザーブビット
2 ～ 0	RHST[2:0]	000	R	リセットハンドシェイク状態 000：通信速度不定 100：リセットハンドシェイク処理中 010：フルスピード接続時 011：ハイスピード接続時 HSE＝1 を設定している場合、本モジュールがUSBバスリセットを検出すると、本ビットは100 を示します。その後、本モジュールがChirpK を出力し、USBホストからのChirpJK を3 回検出した時点で本ビットは011 を示します。 ChirpK 出力後、2.5ms 以内にハイスピードに確定しなければ、本ビットは010 を示します。 HSE＝0 を設定している場合、本モジュールがUSBバスリセットを検出すると、本ビットは010 を示します。 本モジュールがUSB バスリセットを検出後、RHST ビットが010又は011に確定した時点で、DVST 割り込みが発生します。

注．　”1”書き込みのみ有効です。

31.5.5　テストモードレジスタ（TESTMODE）

TESTMODE は、ハイスピード動作時のUSB テスト信号出力を制御します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 4	—	0	—	リザーブビット
3 ～ 0	UTST[3:0]	0000	R/W	テストモード 本ビットに値を書き込むことにより、本モジュールは、ハイスピード動作時のUSB テスト信号を出力します。 本モジュールのテストモード動作表を表 31.8 に示します。 ハイスピード通信時のUSB ホストからのSetFeature リクエストに従って本ビットを書き込んでください。 本ビットに 0001～0100 を設定している時には、本モジュールはサスペンド状態へ遷移しません。 テストモード設定後、通常のUSB 通信を行う場合は、パワーオンリセットを実施してください。

表31.8　テストモード動作表

テストモード	UTST ビット設定
通常動作	0000
Test_J	0001
Test_K	0010
Test_SE0_NAK	0011
Test_Packet	0100
リザーブ	0101 ～ 1111

31.5.6　FIFO ポートレジスタ（CFIFO）

FIFOポートは、FIFOバッファメモリへのデータ読み出し/書き込みを行うポートレジスタで、CFIFOとD0FIFOの2つのポートがあります。

CFIFO ポートのみ、CFIFO バッファメモリへのデータのリード／ライトを行うレジスタで構成されています。

各FIFO ポートには、以下の特徴があります。

- DCP用FIFOバッファへのアクセスは、CFIFOポートを通して行ってください。
- D0FIFOポートは専用のDMA バス (SUDMAC)に接続されているので、SH-4Aからはアクセスできません。
- FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号（選択パイプ）を変更できません（DMA転送機能使用時など）。
- FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- 同一パイプを別々のFIFOポートに割り当てないでください。
- FIFOバッファの状況には、アクセス権がSH-4A側にある場合とSIE側にある場合の２種類があります。FIFOバッファのアクセス権がSIE側にある場合は、SH-4Aからアクセスができません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～0	FIFOPORT [31:0]	H'0000 0000	R/W	FIFOポート 本ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくはFIFO バッファへの送信データの書き込みを行います。 本レジスタへのアクセスは、コントロールレジスタ（CFIFOCTR）のFRDY ビットが1 を示しているときのみ可能です。 本レジスタの有効ビットは、MBW ビットの設定値及びBIGENDビットの設定値により異なります。有効ビットを、表31.9～表31.11に示します。

表31.9　32 ビットアクセス時のエンディアン動作表（MBW ビット= 10 時）

BIGENDビット	31 ～ 24ビット	23 ～ 16ビット	15 ～ 8ビット	7 ～ 0ビット
0	N + 3 アドレス	N + 2 アドレス	N + 1 アドレス	N + 0 アドレス
1	N + 0 アドレス	N + 1 アドレス	N + 2 アドレス	N + 3 アドレス

表31.10　16 ビットアクセス時のエンディアン動作表（MBW ビット= 01 時）

BIGENDビット	31 ～ 24ビット	23 ～ 16ビット	15 ～ 8ビット	7 ～ 0ビット
0	書き込み：無効、読み出し：禁止（注）		N + 1 アドレス	N + 0 アドレス
1	N + 0 アドレス	N + 1 アドレス	書き込み：無効、読み出し：禁止（注）	

注.　無効レジスタへのワードリード又はバイトリードは禁止です。

表31.11　8 ビットアクセス時のエンディアン動作表（MBW ビット= 00 時）

BIGENDビット	31 ～ 24ビット	23～ 16ビット	15 ～ 8ビット	7 ～ 0ビット
0	書き込み：無効、読み出し：禁止（注）			N + 0 アドレス
1	N + 0 アドレス	書き込み：無効、読み出し：禁止（注）		

注.　無効レジスタへのワードリード又はバイトリードは禁止です。

31.5.7　FIFO ポート選択レジスタ（CFIFOSEL、D0FIFOSEL）

CFIFOSEL 、D0FIFOSELは、FIFO ポートに割り当てるパイプの選択、各FIFO ポートへのアクセスの制御をします。

CFIFOSEL 、D0FIFOSELのCURPIPE ビットに同一のパイプを指定しないでください。また、CURPIPEビット（D0FIFOSEL レジスタのビット3～0）の設定がB'0000 場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

(1)　CFIFOSEL

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]		—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W (注)	—	—	R/W	R/W	—	R/W	—	—	R/W	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RCNT	0	R/W	リードカウントモード DTLN ビット（CFIFOCTR レジスタのビット11～0）の読み出しモードを指定します。 0：CFIFO の全受信データ読み出し終了時にDTLN ビットを0クリア （ダブルバッファの場合は一面のみ読み出し終了時） 1：CFIFO 受信データ読み出しごとにDTLN ビットをカウントダウン
14	REW	0	R/W（注）	バッファポインタリワインド 0：バッファポインタリワインドしない 1：バッファポインタリワインドする 選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに”1”を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。 REW＝1 の設定とCURPIPE ビットの設定変更を同時に行わないでください。 REW＝1 の設定は、必ずFRDY＝1 であることを確認してから行ってください。 送信方向のパイプに対してFIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。
13、12	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
11、10	MBW[1:0]	00	R/W	CFIFO ポートアクセスビット幅 00：8 ビット幅 01：16 ビット幅 10：32 ビット幅 11：設定禁止 選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまでMBWビットの変更を行わないでください。 また選択パイプが受信方向の場合、CURPIPE ビットとMBWビットを同時に設定してください。 選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に8 ビット幅から16 ビット幅／32 ビット幅、又は16ビット幅から32 ビット幅へのビット幅切り替えは行えません。 8 ビット／16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。
9	—	0	—	リザーブビット
8	BIGEND	0	R/W	CFIFO ポートエンディアン制御 0：選択禁止 1：ビッグエンディアン
7、6	—	0	—	リザーブビット
5	ISEL	0	R/W	DCP 選択時のCFIFO ポートアクセス方向 0：バッファメモリ読み出し選択 1：バッファメモリ書き込み選択 選択パイプがDCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスする事ができます。 本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。
4	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
3 ～ 0	CURPIPE[3:0]	0000	R/W	CFIFO ポートアクセスパイプ指定 CFIFO ポート経由で、データの読み出し又は書き込みを行いたいパイプ番号を設定してください。 0000：DCP 0001：パイプ1 0010：パイプ2 0011：パイプ3 0100：パイプ4 0101：パイプ5 0110：パイプ6 0111：パイプ7 1000：パイプ8 1001：パイプ9 1010 ～ 1111：リザーブ 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 CFIFOSEL レジスタ、D0FIFOSEL レジスタのCURPIPE ビットに同じパイプ番号を設定しないでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

注.　”0”読み出しのみ有効です。

(2)　D0FIFOSEL

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	—	—	—	—	—	—	—	—	CURPIPE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W (注)	R/W	R/W	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RCNT	0	R/W	リードカウントモード D0FIFOCTR レジスタのDTLN ビットの読み出しモードを指定します。 0：D0FIFOの全受信データ読み出し終了時にDTLN ビットを0クリア （ダブルバッファの場合は一面分の読み出し終了時） 1：D0FIFO受信データ読み出しごとにDTLN ビットカウントダウン BFRE ビットに”1” を設定してD0FIFOにアクセスを行う場合は、本ビットに”0”を設定してください。

ビット	ビット名	初期値	R/W	説 明
14	REW	0	R/W (注1)	バッファポインタリワインド 0：バッファポインタリワインドしない 1：バッファポインタリワインドする 選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに”1”を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。 REW＝1 の設定とCURPIPE ビットの設定変更を同時に行わないでください。 REW＝1 の設定は、必ずFRDY＝1 であることを確認してから行ってください。 BFRE ビットに”1”を設定してD0FIFOにアクセスを行う場合は、ショートパケットデータを読み出し終えた状態で本ビットに”1”を設定しないでください。 送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。
13	DCLRM	0	R/W	選択パイプのデータ読み出し後の自動バッファメモリクリアモード 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可 本ビットに” 1” を設定した場合、選択パイプに割り当てたFIFO バッファが空の状態でZero-Length packet を受信したとき、又はBFRE＝1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへのBCLR＝1処理を本モジュールが行います。 BRDYM＝1 に設定して本モジュールを使用するときには、必ず本ビットに”0”を設定してください。
12	DREQE	0	R/W	DMA 転送要求許可 0：DMA 転送要求禁止 1：DMA 転送要求許可 DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに”1”を設定してください。 CURPIPE ビット設定を変更するときには、本ビットに“0”を設定した後で変更を行ってください。
11 ～ 9	—	0	—	リザーブビット
8	—	0	—	リザーブビット（注2） 書き込む場合は、直前に読み出した値を書き込んでください。
7 ～4	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
3 ～ 0	CURPIPE[3:0]	0000	R/W	FIFO ポートアクセスパイプ指定 D0FIFOポート経由で、データの読み出し又は書き込みを行いたいパイプ番号を設定してください。 0000：指定なし 0001：パイプ1 0010：パイプ2 0011：パイプ3 0100：パイプ4 0101：パイプ5 0110：パイプ6 0111：パイプ7 1000：パイプ8 1001：パイプ9 1010 ～ 1111：リザーブ 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 CFIFOSEL レジスタ、D0FIFOSEL レジスタのCURPIPE ビットに同じパイプ番号を設定しないでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスする事ができます。

注1. ”0”読み出しのみ有効です。
2. 本モジュールの初期化ルーチンで必ず”1” を書き込んでください。

31.5.8　FIFO ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR）

CFIFOCTR 、D0FIFOCTR は、バッファメモリの書き込み終了、SH-4A 側バッファクリア、及び FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応しています。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W (注2)	R/W (注1)	R	—	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	BVAL	0	R/W（注2）	バッファメモリ有効フラグ CURPIPE に指定したパイプ（選択パイプ）のSH-4A 側のFIFO バッファの書き込み終了時に”1” を指定します。 0：無効 1：書き込み終了 選択パイプが送信方向のとき、以下の場合に本ビットに”1” を設定してください。 本モジュールはSH-4A側のFIFO バッファをSIE 側にし、送信可能状態にします。 • ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに”1” を設定 • Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本ビットに”1” を設定 • 連続転送モードのパイプに対して、PIPEMAXP レジスタ設定値 の自然数倍かつBufferSize未満のデータ書き込み後に本ビットに”1” を設定 非連続転送モードのパイプに対してPIPEMAXP レジスタ設定値分のデータを書き込むと、本モジュールが本ビットを”1” にし、SH-4A側のFIFO バッファをSIE 側にして、送信可能状態にします。 本ビットへの”1” 書き込みは、本モジュールがFRDY＝1 を示しているときに実施してください。 選択パイプが受信方向のときには、本ビットへの”1” 書き込みを行わないでください。

ビット	ビット名	初期値	R/W	説 明
14	BCLR	0	R/W（注1）	SH-4Aバッファクリア 選択パイプのSH-4A側のFIFO バッファをクリアする場合に”1”を指定します。 0：無効 1：SH-4A側バッファメモリクリア 選択パイプにアサインされているFIFO バッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本モジュールは片面のFIFOバッファのみをクリアします。 選択パイプがDCP の場合は、FIFO バッファがSH-4A 側、SIE 側にかかわらず、BCLR＝1 設定により本モジュールはFIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP のPID ビットを必ずNAK に設定した後でBCLR＝1 を行ってください。 選択パイプが送信方向の場合、BVAL ビットとBCLR ビットへ同時に”1” を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。 選択パイプがDCP 以外の場合、本ビットへの”1” 書き込みは、本モジュールがFRDY＝1 を示しているときに実施してください。
13	FRDY	0	R	FIFOポートレディ 0：SH-4A（DMAC）からFIFO ポートアクセス不可 1：SH-4A（DMAC）からFIFO ポートアクセス可能 以下の場合には、本モジュールはFRDY＝1 を表示しますが、読み出すべきデータがないためFIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR＝1 を設定してFIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。 • 選択パイプにアサインされているFIFO バッファが空の状態でZero-Lengthパケット受信した場合。 • BFRE＝1 設定時に、ショートパケットを受信し、データ読み出しを完了した場合。
12	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～ 0	DTLN[11:0]	H'000	R	受信データ長 FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値により以下のように異なります。 • RCNT＝0 設定時： SH-4A（DMAC）がFIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。 BFRE＝1 設定時には、読み出しが完了してもBCLR＝1 を行うまでは本モジュールは受信データ長を保持します。 • RCNT＝1 設定時： 読み出し毎に本モジュールはDTLN ビットの表示をダウンカウントします。 （MBW＝0 設定時は-1、MBW＝1 設定時は-2 ずつダウンカウント） 1 面分のFIFO バッファ読み出し完了時に、本モジュールはDTLN＝0 を表示します。ただし、ダブルバッファ設定時かつFIFO バッファ 1 面分の受信データの読み出しを完了する前にもう1 面分のFIFO バッファに受信完了した場合は、先の1 面分の読み出し完了時に後の1 面分の受信データ長をDTLN ビットに表示します。 RCNT＝1 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出すときには、FIFO ポートへのリードサイクル後150ns 後までに本モジュールは本ビットの更新値を表示します。

注1.　読み出すと常に”0” が読み出されます。書き込みは”1” のみ有効です。
2.　”1” 書き込みのみ有効です。

31.5.9　割り込み許可レジスタ（INTENB）

INTENBは、各割り込み有効／無効の指定を行います。

このレジスタの割り込み許可ビットが“1”のとき、対応するINTSTSレジスタの割り込みステータスビットが”1”になると、USB割り込みが発生します。

なお、このレジスタの設定にかかわらず、割り込み発生条件が成立すれば、INTSTSレジスタの割り込みステータスビットは“1”になります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
15	VBSE	0	R/W	VBUS割り込み 0：割り込み禁止 1：割り込み許可
14	RSME	0	R/W	レジューム割り込み 0：割り込み禁止 1：割り込み許可
13	SOFE	0	R/W	フレーム番号更新割り込み 0：割り込み禁止 1：割り込み許可
12	DVSE	0	R/W	デバイスステート遷移割り込み 0：割り込み禁止 1：割り込み許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み 0：割り込み禁止 1：割り込み許可
10	BEMPE	0	R/W	バッファエンプティ割り込み 0：割り込み禁止 1：割り込み許可
9	NRDYE	0	R/W	バッファノットレディ応答割り込み 0：割り込み禁止 1：割り込み許可
8	BRDYE	0	R/W	バッファレディ割り込み 0：割り込み禁止 1：割り込み許可
7～0	—	0	—	リザーブビット

31.5.10 BRDY割り込み許可レジスタ（BRDYENB）

BRDYENBは、各パイプのBRDY割り込み検出時に、BRDYビット（INTSTSレジスタのビット8）を1に設定することを禁止するか／許可するかを指定します。

本レジスタに”1”を設定したパイプに対して、本モジュールがBRDY割り込みを検出した場合に、本モジュールはBRDYSTSレジスタのPIPEBRDYビットの対応するビットに”1”を表示し、INTSTSレジスタのBRDYビットに”1”を表示し、BRDY割り込みを発生します。

BRDYSTSレジスタのPIPEBRDYビットの少なくともひとつのビットが”1”を示している状態で、本レジスタの対応する割り込み許可ビットを0から1に変更すれば、本モジュールはBRDY割り込みを発生します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE	PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	PIPE9BRDYE	0	R/W	パイプ9のBRDY割り込み 0：割り込み禁止 1：割り込み許可
8	PIPE8BRDYE	0	R/W	パイプ8のBRDY割り込み 0：割り込み禁止 1：割り込み許可
7	PIPE7BRDYE	0	R/W	パイプ7のBRDY割り込み 0：割り込み禁止 1：割り込み許可
6	PIPE6BRDYE	0	R/W	パイプ6のBRDY割り込み 0：割り込み禁止 1：割り込み許可
5	PIPE5BRDYE	0	R/W	パイプ5のBRDY割り込み 0：割り込み禁止 1：割り込み許可
4	PIPE4BRDYE	0	R/W	パイプ4のBRDY割り込み 0：割り込み禁止 1：割り込み許可
3	PIPE3BRDYE	0	R/W	パイプ3のBRDY割り込み 0：割り込み禁止 1：割り込み許可
2	PIPE2BRDYE	0	R/W	パイプ2のBRDY割り込み 0：割り込み禁止 1：割り込み許可
1	PIPE1BRDYE	0	R/W	パイプ1のBRDY割り込み 0：割り込み禁止 1：割り込み許可

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BRDYE	0	R/W	パイプ0のBRDY割り込み 0：割り込み禁止 1：割り込み許可

31.5.11 NRDY割り込み許可レジスタ（NRDYENB）

NRDYENBは、各パイプのNRDY割り込み検出時にNRDYビット（INTSTSレジスタのビット9）を”1”に設定することを禁止する／許可するかを指定します。

本レジスタに”1”を設定したパイプに対して、本モジュールがNRDY割り込み要因を検出した場合に、本モジュールはNRDYSTSレジスタのPIPENRDYビットの対応するビットに”1”を表示し、INTSTSレジスタのNRDYビットに”1”を表示し、NRDY割り込みを発生します。

NRDYSTSレジスタのPIPENRDYビットの少なくともひとつのビットが”1”を示している状態で、本レジスタの対応する割り込み許可ビットを”0”から”1”に変更すれば、本モジュールはNRDY割り込みを発生します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	PIPE9NRDYE	0	R/W	パイプ9のNRDY割り込み 0：割り込み禁止 1：割り込み許可
8	PIPE8NRDYE	0	R/W	パイプ8のNRDY割り込み 0：割り込み禁止 1：割り込み許可
7	PIPE7NRDYE	0	R/W	パイプ7のNRDY割り込み 0：割り込み禁止 1：割り込み許可
6	PIPE6NRDYE	0	R/W	パイプ6のNRDY割り込み 0：割り込み禁止 1：割り込み許可
5	PIPE5NRDYE	0	R/W	パイプ5のNRDY割り込み 0：割り込み禁止 1：割り込み許可
4	PIPE4NRDYE	0	R/W	パイプ4のNRDY割り込み 0：割り込み禁止 1：割り込み許可
3	PIPE3NRDYE	0	R/W	パイプ3のNRDY割り込み 0：割り込み禁止 1：割り込み許可

ビット	ビット名	初期値	R/W	説 明
2	PIPE2NRDYE	0	R/W	パイプ2のNRDY 割り込み 0：割り込み禁止 1：割り込み許可
1	PIPE1NRDYE	0	R/W	パイプ1のNRDY 割り込み 0：割り込み禁止 1：割り込み許可
0	PIPE0NRDYE	0	R/W	パイプ0のNRDY 割り込み 0：割り込み禁止 1：割り込み許可

31.5.12 BEMP割り込み許可レジスタ（BEMPENB）

BEMPENBは、各パイプのBEMP割り込み検出時にBEMPビット（INTSTSレジスタのビット10）を”1”に設定することを禁止する／許可するかを指定します。

本レジスタに”1”を設定したパイプに対して、本モジュールがBEMP割り込み要因を検出した場合に、本モジュールはBEMPSTSレジスタのPIPEBEMPビットの対応するビットに”1”を表示し、INTSTSレジスタのBEMPビットに”1”を表示し、BEMP割り込みを発生します。

BEMPSTSレジスタのPIPEBEMPビットの少なくともひとつのビットが”1”を示している状態で、本レジスタの対応する割り込み許可ビットを0から1に変更すれば、本モジュールはBEMP割り込みを発生します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE	PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	PIPE9BEMPE	0	R/W	パイプ9のBEMP割り込み 0：割り込み禁止 1：割り込み許可
8	PIPE8BEMPE	0	R/W	パイプ8のBEMP割り込み 0：割り込み禁止 1：割り込み許可
7	PIPE7BEMPE	0	R/W	パイプ7のBEMP割り込み 0：割り込み禁止 1：割り込み許可
6	PIPE6BEMPE	0	R/W	パイプ6のBEMP割り込み 0：割り込み禁止 1：割り込み許可
5	PIPE5BEMPE	0	R/W	パイプ5のBEMP割り込み 0：割り込み禁止 1：割り込み許可
4	PIPE4BEMPE	0	R/W	パイプ4のBEMP割り込み 0：割り込み禁止 1：割り込み許可
3	PIPE3BEMPE	0	R/W	パイプ3のBEMP割り込み 0：割り込み禁止 1：割り込み許可
2	PIPE2BEMPE	0	R/W	パイプ2のBEMP割り込み 0：割り込み禁止 1：割り込み許可
1	PIPE1BEMPE	0	R/W	パイプ1のBEMP割り込み 0：割り込み禁止 1：割り込み許可

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BEMPE	0	R/W	パイプ0のBEMP 割り込み 0：割り込み禁止 1：割り込み許可

31.5.13 SOF 出力コンフィグレーションレジスタ（SOFCFG）

SOFCFG は、各パイプのBRDY 割り込みステータスクリアタイミングを指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	BRDYM	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0(注)	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
15 ～ 7	—	0	—	リザーブビット
6	BRDYM	0	R/W	各パイプのBRDY 割り込みステータスクリアタイミング設定 0：ステータスをクリア 1：FIFO バッファの読み出し又はFIFO バッファへの書き込み動作により本モジュールがステータスをクリア
5	—	0	—	リザーブビット（注） 書き込む場合は、直前に読み出した値を書き込んでください。
4～0	—	0	—	リザーブビット

注．　本モジュールの初期化ルーチンで必ず”1” を書き込んでください。

31.5.14 割り込みステータスレジスタ（INTSTS）

INTSTS は、各検出された割り込みのステータスを表示します。
また、DVSQ[2:0] ビットはUSB バスリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値：	0	0	0	(注1)	0	0	0	0	0	(注2)	(注2)	(注2)	0	0	0	0
R/W：	R/W (注6)	R/W (注6)	R/W (注6)	R/W (注6)	R/W (注6)	R	R	R	R	R	R	R	R/W (注6)	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	VBINT	0	R/W（注6）	VBUS 割り込みステータス（注4）（注5） 0：VBUS 割り込み非発生 1：VBUS 割り込み発生 VBUS 端子入力値が変化（Hレベルからレベルへの変化あるいはLレベルからHレベルへの変化）したときに“1”になります。VBINT 割り込み発生時は、VBSTS ビットを数回読み出して値の一致を確認し、チャタリング除去を実施してください。
14	RESM	0	R/W（注6）	レジューム割り込みステータス（注4）（注5） 0：レジューム割り込み非発生 1：レジューム割り込み発生 USB0がサスペンド状態（DVSQ＝1XX）時、USDP0端子が立ち下がると“1”になります。
13	SOFR	0	R/W（注6）	フレーム番号更新割り込みステータス（注4） 0：SOF 割り込み非発生 1：SOF 割り込み発生 フレームナンバーが更新されると“1”になります（更新の検出は1ms毎）。 USB ホストからのSOF パケットが破損したときでも、内部補間により、SOFR 割り込みが検出されます。
12	DVST	（注1）	R/W（注6）	デバイスステート遷移割り込みステータス（注4） 0：デバイスステート遷移割り込み非発生 1：デバイスステート遷移割り込み発生 デバイスステートが変化すると“1”になります。同時に、DVSQ の値が更新されます。 本割り込みが発生したときには、本モジュールが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。
11	CTRT	0	R/W（注6）	コントロール転送ステージ遷移割り込みステータス（注4） 0：コントロール転送ステージ遷移割り込み非発生 1：コントロール転送ステージ遷移割り込み発生 コントロール転送のステージ遷移時に“1”になります。 同時に、CTSQ の値が更新されます。 本割り込みが発生したときには、本モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

ビット	ビット名	初期値	R/W	説 明
10	BEMP	0	R	バッファエンプティ割り込みステータス 0：BEMP 割り込み非発生 1：BEMP 割り込み発生 BEMPENB レジスタのPIPEBEMPE ビットに”1” を設定したパイプに対応するBEMPSTS レジスタのPIPEBEMP ビットのうち、少なくともひとつが”1” の状態になったとき（BEMP 割り込みを許可したパイプのうち少なくともひとつの割り込みが発生したとき）“1”になります。 PIPEBEMP ステータスのアサート条件は、「31.7.2(3)　BEMP 割り込み」を参照ください。 PIPEBEMPE ビットで許可を設定しているパイプに対応するPIPEBEMP ビットすべてに”0” を書き込むと、“0”になります。
9	NRDY	0	R	バッファノットレディ割り込みステータス 0：NRDY 割り込み非発生 1：NRDY 割り込み発生 NRDYENB レジスタのPIPENRDYE ビットに”1” を設定したパイプに対応するNRDYSTS レジスタのPIPENRDY ビットのうち、少なくともひとつが”1” の状態になったとき（NRDY 割り込みを許可したパイプのうち少なくともひとつの割り込みが発生したとき）“1”になります。 PIPENRDY ステータスのアサート条件は、「31.7.2(2)　NRDY 割り込み」を参照ください。 PIPENRDYE ビットで許可を設定しているパイプに対応するPIPENRDY ビットのすべてに”0” を書き込むと、“0”になります。
8	BRDY	0	R	バッファレディ割り込みステータス BRDY 割り込みステータスが表示されます。 0：BRDY 割り込み非発生 1：BRDY 割り込み発生 BRDYENB レジスタのPIPEBRDYE ビットに”1” を設定したパイプに対応するBRDYSTS レジスタのPIPEBRDY ビットのうち、少なくともひとつが”1”の状態になったとき（BRDY 割り込みを許可したパイプのうち少なくともひとつの割り込みが発生したとき）“1”になります。 PIPEBRDY ステータスのアサート条件は、「31.7.2(1)　BRDY 割り込み」を参照ください。 PIPEBRDYE ビットで許可を設定しているパイプに対応するPIPEBRDY ビットのすべてに”0” を書き込むと、“0”になります。
7	VBSTS	0	R	VBUS 入力ステータス（注3） 0：VBUS 端子がL レベル 1：VBUS 端子がH レベル
6 ～ 4	DVSQ[2:0]	（注2）	R	デバイスステート 000：パワードステート 001：デフォルトステート 010：アドレスステート 011：コンフィギュレーションステート 1xx：サスペンドステート

ビット	ビット名	初期値	R/W	説 明
3	VALID	0	R/W（注6）	USB リクエスト受信 0：未検出 1：セットアップパケット受信
2 ～ 0	CTSQ[2:0]	000	R	コントロール転送ステージ 000：アイドル又はセットアップステージ 001：コントロールリードデータステージ 010：コントロールリードステータスステージ 011：コントロールライトデータステージ 100：コントロールライトステータスステージ 101：コントロールライト（NoData）ステータスステージ 110：コントロール転送シーケンスエラー 111：リザーブ

注1. パワーオンリセットのとき”0”、USB バスリセットのとき”1”です。
2. パワーオンリセットのとき000、USB バスリセットのとき001 です。
3. PORTSEL レジスタでUSBポートを選択し、RESET レジスタでUSBポートのリセットを解除した後、VBUS端子の入力レベルが示されます。
4. VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、又はCTRT ビットをクリアする場合は、クリアしたいビットにのみ”0” を、その他のビットには”1” を書き込んでください。”0” を示しているステータスビットへの”0”の書き込みを行わないでください。
5. VBINT ビット、RESM ビットが示すステータス変化をクロック停止中でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。
6. “0” を書くと“0”になります。“1” を書いても変化しません。

31.5.15 BRDY 割り込みステータスレジスタ（BRDYSTS）

BRDYSTS は、各パイプのBRDY 割り込みステータスを表示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)	R/W (注1)

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	PIPE9BRDY	0	R/W（注1）	パイプ9 のBRDY 割り込みステータス（注2） 0：割り込み非発生 1：割り込み発生
8	PIPE8BRDY	0	R/W（注1）	パイプ 8 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生
7	PIPE7BRDY	0	R/W（注1）	パイプ 7 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生
6	PIPE6BRDY	0	R/W（注1）	パイプ 6 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生
5	PIPE5BRDY	0	R/W（注1）	パイプ 5 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生
4	PIPE4BRDY	0	R/W（注1）	パイプ 4 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生
3	PIPE3BRDY	0	R/W（注1）	パイプ 3 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生
2	PIPE2BRDY	0	R/W（注1）	パイプ 2 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生
1	PIPE1BRDY	0	R/W（注1）	パイプ1 のBRDY 割り込みステータス（注2） 0：割り込み非発生 1：割り込み発生
0	PIPE0BRDY	0	R/W（注1）	パイプ 0 の BRDY 割り込みステータス（注 2） 0：割り込み非発生 1：割り込み発生

注1. BRDYM＝0 設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ”0” を、その他のビットには”1” を書き込んでください。
2. BRDYM＝0 設定の場合、本割り込みのクリアは、必ずFIFO アクセスを行う前に実施してください。

31.5.16 NRDY 割り込みステータスレジスタ（NRDYSTS）

NRDYSTS は、各パイプのNRDY 割り込みステータスを表示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	PIPE9NRDY	0	R/W（注）	パイプ9 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
8	PIPE8NRDY	0	R/W（注）	パイプ8 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
7	PIPE7NRDY	0	R/W（注）	パイプ7 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
6	PIPE6NRDY	0	R/W（注）	パイプ6 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
5	PIPE5NRDY	0	R/W（注）	パイプ5 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
4	PIPE4NRDY	0	R/W（注）	パイプ4 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
3	PIPE3NRDY	0	R/W（注）	パイプ3 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
2	PIPE2NRDY	0	R/W（注）	パイプ2 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
1	PIPE1NRDY	0	R/W（注）	パイプ1 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生
0	PIPE0NRDY	0	R/W（注）	パイプ0 のNRDY 割り込みステータス 0：割り込み非発生 1：割り込み発生

注.　本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ”0” を、その他のビットには”1” を書き込んでください。

31.5.17 BEMP 割り込みステータスレジスタ（BEMPSTS）

BEMPSTS は、各パイプのBEMP 割り込みステータスを表示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP	PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	PIPE9BEMP	0	R/W（注）	パイプ9 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
8	PIPE8BEMP	0	R/W（注）	パイプ8 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
7	PIPE7BEMP	0	R/W（注）	パイプ7 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
6	PIPE6BEMP	0	R/W（注）	パイプ6 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
5	PIPE5BEMP	0	R/W（注）	パイプ5 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
4	PIPE4BEMP	0	R/W（注）	パイプ4 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
3	PIPE3BEMP	0	R/W（注）	パイプ3 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
2	PIPE2BEMP	0	R/W（注）	パイプ2 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
1	PIPE1BEMP	0	R/W（注）	パイプ1 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生
0	PIPE0BEMP	0	R/W（注）	パイプ0 のBEMP 割り込みステータス 0：割り込み非発生 1：割り込み発生

注.　本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに”0” を、他のビットには”1” を書き込んでください。

31.5.18 フレームナンバーレジスタ（FRMNUM）

FRMNUM は、アイソクロナスエラー通知の要因判別及びフレーム番号等の表示をします。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W (注)	R/W (注)	—	—	—	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	OVRN	0	R/W（注）	オーバラン／アンダーラン検出ステータス アイソクロナス転送を行っているパイプに対するオーバラン／アンダーランエラー検出の有無が表示されます。 0：エラーなし 1：以下のいずれかのエラー発生 • 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのにIN トークン を受信したとき。 • 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分のFIFO バッファの空がない状態で、OUT トークンを受信したとき。
14	CRCE	0	R/W（注）	受信データエラー アイソクロナス転送中のパイプに対するCRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。 0：エラーなし 1：エラー発生 CRC エラーの検出時には、本モジュールは内部NRDY 割り込み要求を発生させません。
13 ～ 11	—	0	—	リザーブビット
10 ～ 0	FRNM[10:0]	H'000	R	フレーム番号 本モジュールは、1ms に1回のSOF 発行タイミング又はSOF 受信時に本ビットを書き換え、最新のフレーム番号を表示します。 本ビットを読み出すときは、2 度一致で読み出してください。

注.　“0” を書くと“0”になります。“1” を書いても変化しません。
また、このビットに“0” を書くときは、このレジスタの他のビットには”1” を書き込んでください。

31.5.19 マイクロフレームナンバーレジスタ（UFRMNUM）

UFRMNUMは、マイクロフレーム番号を表示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 3	—	0	—	リザーブビット
2 ～ 0	UFRNM[2:0]	000	R	■ハイスピード動作時 マイクロフレーム番号を示します。 ■ハイスピード動作時以外 000 を表示します。 このビットは、2回読み出して値の一致を確認してください。

31.5.20 USB アドレスレジスタ（USBADDR）

USBADDRは、USBアドレスを表示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 7	—	0	—	リザーブビット
6 ～0	USBADDR [6:0]	H'00	R/W	USB アドレス SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられたUSB アドレスを表示します。USBリセット時、H'00に初期化されます。

31.5.21 USB リクエストタイプレジスタ（USBREQ）

USBREQ は、コントロール転送のセットアップリクエストを格納するためのレジスタです。
USBREQ は、受信したbRequest 及びbmRequestType の値が格納されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 8	BREQUEST [7:0]	H'00	R	リクエスト SETUP トランザクションで受信したUSB リクエストbRequest 値を表示します。
7～ 0	BMREQUEST-TYPE[7:0]	H'00	R	リクエストタイプ SETUP トランザクションで受信したUSB リクエスト bmRequestType値を表示します。

31.5.22 USB リクエストバリューレジスタ（USBVAL）

USBVAL は、受信したwValue の値が格納されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WVALUE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 0	WValue[15:0]	H'0000	R	バリュー SETUP トランザクションで受信したUSB リクエストwValue の値を表示します。

31.5.23 USB リクエストインデックスレジスタ（USBINDX）

コントロール転送のセットアップリクエストを格納するためのレジスタです。
USBINDX は、受信したwIndex の値が格納されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 0	WINDEX[15:0]	H'0000	R	インデックス SETUP トランザクションで受信したUSB リクエストwIndex の値を表示します。

31.5.24 USB リクエストレングスレジスタ（USBLENG）

コントロール転送のセットアップリクエストを格納するためのレジスタです。
USBLENG は、受信したwLength の値が格納されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 0	WLENGTH [15:0]	H'0000	R	レングス SETUP トランザクションで受信したUSB リクエストwLength の値を表示します。

31.5.25 DCP マックスパケットサイズレジスタ（DCPMAXP）

DCPMAXP は、DCP に対して、マックスパケットサイズを指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	MXPS[6:0]						
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
15 ～ 7	—	0	—	リザーブビット
6 ～ 0	MXPS[6:0]	H'40	R/W	マックスパケットサイズ DCP の最大データペイロード（マックスパケットサイズ）を本ビットに設定してください。 MXPS ビットの設定は、USB 規格に準拠した値を設定してください。 このビットの設定は、PID＝00（NAK応答）及びCURPIPE ビットでパイプを選択する前に行ってください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合に、PBUSY＝0 を確認後、変更してください。ただし、PIDビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。 MXPS＝H'00でのFIFO バッファへの書き込み、及びPID＝01（BUF応答）の設定は行わないでください。

注.　MXPS[2:0] ビットは B'000 に固定されます。

31.5.26 DCP コントロールレジスタ（DCPCTR）

DCPCTR は、DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、及び応答 PID の設定を行います。

また、CCPL、PID[1:0] ビットはUSB バスリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	R	—	—	—	—	—	—	R/W (注1)	R/W (注1)	R	R	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSTS	0	R	DCP FIFO バッファステータス ■ISEL ビット（CFIFOSEL レジスタのビット5）＝0のとき 0：受信データ読み出し不可 1：受信データ読み出し可能 ■ISEL ビット＝1 のとき 0：送信データ書き込み不可 1：送信データ書き込み可能
14 ～ 9	—	0	—	リザーブビット
8	SQCLR	0	R/W（注）	トグルビットクリア DCP の転送において、次のトランザクションのシーケンストグルビットの期待値をDATA0 に設定する事ができます。 0：無効 1：DATA0 指定 SQCLR ビットとSQSET ビットに同時に”1” を設定しないでください。 このビットは、PID＝00（NAK応答）及びCURPIPE ビットでパイプを選択する前に“1”に設定してください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットに”1” を設定する場合は、PBUSY＝0を確認後、設定してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
7	SQSET	0	R/W（注）	トグルビットセット DCP の転送において、次のトランザクションのシーケンストグルビットの期待値をDATA1 に設定することができます。 0：無効 1：DATA1 指定 SQCLR ビットとSQSET ビットに同時に”1” を設定しないでください。 このビットは、PID＝00（NAK応答）及びCURPIPE ビットでパイプを選択する前に“1”にしてください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットに”1” を設定する場合は、PBUSY＝0を確認後、設定してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
6	SQMON	1	R	シーケンストグルビットモニタ DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1 トランザクションが正常処理すると、このビットの値がトグルします。ただし、受信方向転送時のDATA-PID ミスマッチ発生時には、トグルしません。 SETUP パケット正常受信時、このビットは“1”になります。 ステータスステージのIN/OUT トランザクションではこのビットは無効です。
5	PBUSY	0	R	パイプビジー DCP がPID ビットをBUF からNAK に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。 0：DCP はトランザクションで未使用 1：DCP はトランザクションで使用 当該パイプのUSB トランザクションが開始されたとき、”0” から”1” になります。ひとつのトランザクションが終了したとき、”1” から”0” になります。 PID＝NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「31.7.3 (1)　パイプコントロールレジスタの切り替え手順」を参照してください。
4、3	—	0	—	リザーブビット
2	CCPL	0	R/W	コントロール転送終了許可 0：無効 1：コントロール転送終了許可 対応する PID ビットがBUF のとき、このビットに”1” を設定すると、以下のようにコントロール転送のステージが完了します。 ・コントロールリード転送時 USB ホストからのOUT トランザクションに対してACK ハンドシェイクが送信される ・コントロールライト及びノーデータコントロール転送時 USB ホストからのIN トランザクションに対してZero-Length パケットが送信される ただし、SET_ADDRESS リクエスト検出時は、このビットの値に関わらず、SETUPステージからステータスステージ完了まで自動応答が実施されます。 新たな SETUP パケットを受信したとき、”1” から”0” になります。 VALID＝1 のときは、このビットに”1” を書き込めません。

ビット	ビット名	初期値	R/W	説 明
1、0	PID[1:0]	00	R/W	コントロール転送応答PID 00：NAK 応答 01：BUF 応答（バッファ状態に従う） 10：STALL 応答 11：STALL 応答 • SETUP パケット受信時、00（NAK応答）になります。同時に、VALID＝1となり、VALID＝0 を設定するまでは、このビットに書き込めません。 • 01（BUF応答）設定時、DCPMAXP レジスタ設定値を超えるデータを受信した場合は、11（STALL応答）になります。 • コントロール転送シーケンスエラー発生時、10又は11（STALL応答）になります。 • USB バスリセット時、00に初期化されます。 • SET_ADDRESS リクエスト処理（自動処理）時、このビットは無効です。

注. 読み出すと常に”0” が読み出されます。書き込みは”1” のみ有効です。

31.5.27 パイプウィンドウ選択レジスタ（PIPESEL）

パイプ1～9の設定は、PIPESEL、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE及びPIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを指定した後、PIPECFG、PIPEBUF、PIPEMAXP 及びPIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPnTRE、及びPIPnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

パワーオンリセット及びUSB バスリセット時は、選択されているパイプだけではなく、すべてのパイプのレジスタの該当ビットが初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 4	—	0	—	リザーブビット
3 ～ 0	PIPESEL[3:0]	0000	R/W	パイプウィンドウ選択 書き込み／読み出しをの対象とするPIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタに対応するパイプ番号を指定します。 0000：未選択 0001：パイプ1 0010：パイプ2 0011：パイプ3 0100：パイプ4 0101：パイプ5 0110：パイプ6 0111：パイプ7 1000：パイプ8 1001：パイプ9 1010~1111：リザーブ 本ビットで指定したパイプ番号に対応するPIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタの読み出し／書き込みができます。 本ビットに 0000 を設定したときは、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、及びPIPEnCTR レジスタの各ビットには書き込めません。読み出し値は“0”になります。

31.5.28 パイプコンフィギュレーションレジスタ（PIPECFG）

パイプ1～9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、及びエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、及び転送終了時のパイプ動作を禁止するか否かの選択をします。また、USBバスリセットでTYPE[1:0]は初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]		—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	TYPE[1:0]	00	R/W	転送タイプ PIPESEL ビットに指定したパイプ（選択パイプ）の転送タイプを指定します。 • パイプ1、2 の場合 00：パイプ不使用 01：バルク転送 10：設定禁止 11：アイソクロナス転送 • パイプ3～5 の場合 00：パイプ不使用 01：バルク転送 10：設定禁止 11：設定禁止 • パイプ6～9 の場合 00：パイプ不使用 01：設定禁止 10：インタラプト転送 11：設定禁止 選択したパイプでPID＝01（BUF応答）を設定する（選択したパイプを使用したUSB 通信を開始する）前に、このビットを”00”以外の値に設定してください。 このビットの変更は、選択パイプがPID＝00（NAK応答）のときに行ってください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
13 ～ 11	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
10	BFRE	0	R/W	BRDY 割り込み動作指定 0：データ送受信でBRDY 割り込み 1：データ読み出し完了時にBRDY 割り込み 選択パイプがPIPE1 ～ PIPE5のとき有効です。 このビットに”1” を設定し、かつ選択パイプを受信方向で使用している場合、転送が終了し、そのパケットを読み出し終えたとき、BRDY 割り込みが発生します。BRDY 割り込みが発生後、BCLR＝1にするまでは、選択パイプに割り付けられたFIFO バッファは受信可能状態になりません。 このビットに”1” を設定し、かつ、選択パイプを送信方向で使用している場合は、BRDY 割り込みが発生しません。 詳細は、「31.7.2 (1)　BRDY 割り込み」を参照してください。 このビットの変更は、PID＝00（NAK応答）及びCURPIPE ビットでパイプを選択する前に行ってください。 また、選択パイプを使用したUSB 通信を行った後、このビットの設定を変更する場合は、CSSTSビット、PIDビット、CURPIPEビットを設定し、ACLRM＝1、ACLRM＝0 を連続して書き込んで、選択パイプに割り付けられたFIFOバッファをクリアしてください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
9	DBLB	0	R/W	ダブルバッファモード 選択パイプが使用するFIFO バッファがシングルバッファかダブルバッファかを指定します。 0：シングルバッファ 1：ダブルバッファ このビットはパイプ1～5 選択時に有効です。 ダブルバッファ選択時は、選択パイプに対し、BUFSIZE ビット（PIPEBUF レジスタのビット14～10）で指定したFIFO バッファサイズが2 面分割り当てられます。 ダブルバッファ選択時、選択パイプを送信方向で使用している場合は、BRDY 割り込みが発生しません。 詳細は、「31.7.2 (1)　BRDY 割り込み」を参照してください。 このビットの変更は、PID＝00（NAK応答）、及びCURPIPE ビットでパイプを選択する前に行ってください。 また、選択パイプを使用したUSB 通信を行った後、このビットの設定を変更する場合は、CSSTSビット、PIDビット、CURPIPEビットを設定し、ACLRM＝1、ACLRM＝0 を連続して書き込んで、選択パイプに割り付けられたFIFOバッファをクリアしてください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
8	CNTMD	0	R/W	連続転送モード 選択パイプを連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード このビットは、PIPESEL ビットでパイプ1～5を選択し、かつバルク転送選択時（TYPE＝01）に有効です。 このビットの変更は、PID＝00（NAK応答）、及びCURPIPE ビットでパイプを選択する前に行ってください。 また、選択パイプを使用したUSB 通信を行った後、このビットの設定を変更する場合は、CSSTSビット、PIDビット、CURPIPEビットを設定し、ACLRM＝1、ACLRM＝0 を連続して書き込んで、選択パイプに割り付けられたFIFOバッファをクリアしてください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
7	SHTNAK	0	R/W	トランスファ終了時のパイプ禁止 選択パイプが受信方向の場合に、トランスファ終了時にPID をNAK に変更するかどうかを指定します。 0：トランスファ終了時にパイプ継続 1：トランスファ終了時にパイプ禁止 このビットは、選択パイプがパイプ1～パイプ5であり、かつ、受信方向である場合に有効なビットです。 受信方向パイプに対してこのビットに”1” を設定している場合、以下に示す転送終了時、PID＝00（NAK応答）になります。 • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき • トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき このビットの変更は、PID＝00（NAK応答）時に行ってください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビット変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。 送信方向パイプに対しては、このビットを”0” に設定してください。
6、5	—	0	—	リザーブビット
4	DIR	0	R/W	選択パイプの転送方向 0：受信方向 1：送信方向 このビットの変更は、PID＝00（NAK応答）及びCURPIPE ビットでパイプを選択する前に行ってください。 また、選択パイプを使用したUSB 通信を行った後、このビットの設定を変更する場合は、PIDビット、CURPIPEビットを設定し、ACLRM＝1、ACLRM＝0 を連続して書き込んで、選択パイプに割り付けられたFIFOバッファをクリアしてください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
3 ～ 0	EPNUM[3:0]	0000	R/W	選択パイプのエンドポイント番号 0000 の設定は、未使用パイプを意味します。 このビットの変更は、PID＝00（NAK応答）の状態のときに行ってください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。 なお、DIR ビットとEPNUM ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください（EPNUM＝0000 の設定は重複可能です）。

31.5.29 パイプバッファ指定レジスタ（PIPEBUF）

PIPEBUFは、パイプ1～9に対して、バッファサイズ及びバッファ番号を指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BUFSIZE[4:0]					—	—	BUFNMB[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	—	0	—	リザーブビット
14 ～ 10	BUFSIZE[4:0]	H'00	R/W	選択パイプのバッファサイズ 00000（H'00）：1ブロック（64 バイト） 00001（H'01）：2ブロック（128 バイト） ：　： 11111（H'1F）：32ブロック（2Kバイト） 選択パイプに対して割り当てるFIFOバッファサイズを指定します。 バッファサイズ：(BUFSIZE＋1)×64×(DBLB＋1) [バイト] ・パイプ1～5の場合: BUFSIZE＝H'00～H'1F を設定してください。 ・パイプ6～9の場合: BUFSIZE＝H'00 を設定してください。 NTMD＝1 で使用する場合は、このビットに、PIPEMAXP レジスタ設定値の整数倍の値を設定してください。 なお、DBLB＝1（ダブルバッファ）設定時は、選択パイプに対して、上記バッファサイズが2 面分割り当てられます。 このビットの変更は、PID＝00（NAK応答）及びCURPIPE ビットでパイプを選択する前に行ってください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
9、8	—	0	—	リザーブビット
7 ～ 0	BUFNMB[7:0]	H'00	R/W	選択パイプのFIFOバッファ番号 選択パイプのFIFO バッファ番号（H'04～H'87）を指定します。 （注） パイプ1～5 ：ユーザシステムに合わせた値を設定してください。 パイプ6　：4（自動的に設定される） パイプ7　：5（自動的に設定される） パイプ8　：6（自動的に設定される） パイプ9　：7（自動的に設定される） このビットの変更は、PID＝00（NAK応答）及びCURPIPE ビットでパイプを選択する前に行ってください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、このビットを変更してください。 ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。

注.　BUFNMB＝0～3はDCP専用です。
パイプ6～9選択時は、自動的にバッファが割り当てられるため、このビットでバッファ番号を変更することはできません。
なお、パイプ6～9に割り当てられるバッファは、そのパイプを使用しない場合、パイプ1～5で使用できます。

31.5.30　パイプマックスパケットサイズレジスタ（PIPEMAXP）

PIPEMAXP は、パイプ1～9 に対して、マックスパケットサイズを指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	MXPS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0 (注)	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 11	—	0	—	リザーブビット
10 ～0	MXPS[10:0]	（注）	R/W	マックスパケットサイズ 選択パイプの最大データペイロード（マックスパケットサイズ）を指定します。パイプごとに設定可能な値の範囲を以下に示します。 パイプ 1、2：1 バイト (H'001)～1024 バイト (H'400) パイプ3～5：8 バイト（H'008）、16 バイト（H'010）、32バイト（H'020）、64 バイト（H'040）、512 バイト（H'200） パイプ6～9：1 バイト (H'001）～64 バイト（H'040） MXPS ビットの設定は、転送タイプ毎にUSB 規格に準拠した値を設定してください。 アイソクロナスパイプをスプリットトランザクションで通信する場合には、MXPS ビットには188 バイト以下の値を設定してください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。 また、MXPS＝0 の設定でのFIFO バッファへの書き込み、及びPID＝01（BUF応答）設定は行わないでください。

注.　PIPESEL レジスタのPIPESEL ビットでパイプを選択していないときH'000、選択しているときH'040 です。

31.5.31 パイプ周期制御レジスタ（PIPEPERI）

パイプ1～9に対して、アイソクロナスIN転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、及びインターバルエラーの検出間隔の設定をします。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 13	—	0	—	リザーブビット
12	IFIS	0	R/W	選択パイプのアイソクロナスIN バッファフラッシュ 0：バッファフラッシュ（バッファクリア）しない 1：バッファフラッシュ（バッファクリア）する 選択パイプの転送タイプがアイソクロナス、かつ転送方向がIN転送の場合において、IITV ビットに設定したインターバル毎の（マイクロ）フレーム中にUSB ホストからIN トークン を受信しなかった場合、このビットが“1”であれば、自動的にFIFOバッファがクリアされます。 ダブルバッファ設定時（DBLB＝1 設定時）は、古い方の1 面分のデータのみがクリアされます。 FIFO バッファクリアのタイミングは、IN トークン を受信するはずの（マイクロ）フレーム直後のSOF パケット受信時です。またSOF パケットが破損した場合でも、内部補間機能によりSOFを受信すべきタイミングにクリアされます。 選択パイプの転送タイプがアイソクロナス以外の場合は、このビットを“0”にしてください。
11 ～ 3	—	0	—	リザーブビット
2 ～ 0	IITV[2:0]	000	R/W	インターバルエラー検出間隔 このビットの設定値をnとすると、選択パイプのインターバルエラー検出間隔は2^n になります。 このビットの設定は、PID＝00（NAK応答）、及びCURPIPE ビットでパイプを選択する前に行ってください。 選択パイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。 このビットを設定し、USB 通信を行った後で別の値に変更する場合は、PID＝00（NAK応答）設定後、ACLRM＝1 にして、インターバルタイマを初期化してください。 パイプ3～5 では、このビットは割り当てられていませんので、このレジスタのビット2～0には000 を設定してください。

31.5.32 パイプn コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）

パイプ1～9に対して、バッファメモリステータスの確認、データPIDシーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、及び応答PIDの設定を行います。本設定は、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

また、PID[1:0]ビットはUSBバスリセットで初期化されます。

(1) PIPEnCTR （n = 1 ～ 5）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	—	—	—	R/W	R/W	R/W (注)	R/W (注)	R	R	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSTS	0	R	バッファステータス 0：SH-4Aからのバッファアクセス不可 1：SH-4Aからのバッファアクセス可 表31.12 参照。
14	INBUFM	0	R	送信バッファモニタ 0：バッファメモリに送信可能データなし 1：バッファメモリに送信可能データあり 選択パイプが送信方向（DIR＝1）設定時、ソフトウェア（又はDMAC）が少なくとも1面分のデータをFIFOバッファに書き込み完了したときに、“1”になります。 書き込みが完了している面のFIFOバッファ上のデータがすべて送信されたときに、“0”になります。ダブルバッファ使用時（DBLB＝1設定時）は、2面分のデータが送信完了され、かつソフトウェア（又はDMAC）が1面分のデータ書き込みを完了していないとき“0”になります。 選択パイプが受信方向（DIR＝0）に設定されている場合は、BSTSビットと同じ値になります。
13 ～ 11	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
10	ATREPM	0	R/W	自動応答モード 0：自動応答禁止 1：自動応答許可 選択パイプの転送タイプがバルクの場合のみ、“1”（自動応答許可）が設定できます。 ”1” を設定した場合、USB ホストからのトークンに対して以下のように応答します。 • 選択パイプがBulk IN 転送（TYPE＝01 かつDIR＝1 を設定）の場合 ATREPM＝1 かつPID＝01（BUF応答）設定時は、IN トークンに対してZero-Length パケットが送信されます。また、USB ホストからのACK 受信の度に、シーケンストグルビット（DATA-PID）が更新（トグル）されます。 BRDY 割り込み、BEMP 割り込みは発生しません。 • 選択パイプがBulk OUT 転送（TYPE＝01 かつDIR＝0 を設定）の場合 ATREPM＝1 かつPID＝01（BUF応答）設定時は、OUT トークン（又はPING トークン）に対してNAK 応答が送信され、同時にNRDY 割り込みが発生します。 このビットの変更は、PID＝00（NAK応答）設定時に行ってください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。 このビットは、FIFOバッファが空の状態で“1”にしてください。また、このビットが”1” の状態でUSB通信を行っている間は、FIFOバッファへの書き込みを行わないでください。 選択パイプの転送タイプがアイソクロナス転送の場合は、このビットを“0”にしてください。
9	ACLRM	0	R/W	自動バッファクリアモード 0：禁止 1：許可（全バッファ初期化） このビットに“1”、“0”を連続して書き込むと、選択パイプに割り付けたFIFOバッファの内容を含む表31.13に示す内容がクリアされます。 このビットの変更は、PID＝00（NAK応答）設定時に行ってください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
8	SQCLR	0	R/W（注）	トグルビットクリア 0：無効 1：DATA0 指定 このビットに”1” を設定すると、選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0 に設定します。 このビットは、PID＝00（NAK応答）時に“1” を設定してください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットに”1” を設定する場合は、PBUSY＝0 を確認後、設定してください。ただし、PIDビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
7	SQSET	0	R/W（注）	トグルビットセット 0：無効 1：DATA1 指定 このビットに”1” を設定すると、選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1 に設定します。 このビットは、PID＝00（NAK応答）時に“1”を設定してください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットに”1” を設定する場合は、PBUSY＝0 を確認後、設定してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
6	SQMON	0	R	トグルビット確認 選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1 選択パイプの転送タイプがアイソクロナス転送以外の場合に、トランザクションが正常処理すると、このビットの値がトグルします。ただし、受信方向転送時のDATA-PID ミスマッチ発生時は、トグルしません。
5	PBUSY	0	R	パイプビジー 0：選択パイプはトランザクションで未使用 1：選択パイプはトランザクションで使用中 選択パイプのUSB トランザクションが開始されたとき、“1”になります。 1トランザクションが終了したとき、“0”になります。 PID＝00（NAK応答）を設定した後、このビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「31.7.3(1)　パイプコントロールレジスタの切り替え手順」を参照してください。
4 ～ 2	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
1、0	PID[1:0]	00	R/W	応答PID 選択パイプの次回トランザクションにおける応答方法を指定します。 00：NAK 応答 01：BUF 応答（バッファ状態に従う） 10：STALL 応答 11：STALL 応答 選択パイプでUSB転送を行う場合は、このビットに01（BUF応答）を設定してください。 選択パイプがUSB通信中のときに、このビットを01（BUF応答）から00（NAK応答）に変更する場合、00を書き込んだ後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSY＝1であることを確認してください。ただし、このビットが自動的に00（NAK応答）に変更された場合には、PBUSY ビットの確認は必要ありません。 • 選択パイプが受信方向の場合、かつ選択パイプのSHTNAKビットに”1” を設定している場合、転送終了時に00（NAK応答）になります。 • 選択パイプに対し、PIPEMAXPレジスタ設定値を超えるペイロードのデータパケットを受信した場合、11（STALL応答）になります。 • USB バスリセット時、00（NAK応答）になります。 本ビットの設定は以下の手順で行ってください。 • 00（NAK応答）状態からSTALL状態にする場合は、10を書き込んでください。 • 01（BUF応答）状態からSTALL状態にする場合は、11 を書き込んでください。 • 11（STALL応答）状態からNAK状態にする場合には、一度10を書き込んでから00を書き込んでください。 • STALL状態からBUF状態にする場合は、一度00を書き込んでから01を書き込んでください。 設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は、表31.14を参照してください。

注.　読み出すと常に”0” が読み出されます。書き込みは”1” のみ有効です。

表31.12　BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの意味
0	0	0	0：データの読み出し完了 1：データの読み出し可能
		1	この組み合わせは設定禁止です。
	1	0	1：データの読み出し可能 注．　データの読み出しが完了した後でBCLR＝1 を書き込んだときにこのビットは0になります。
		1	0：データの読み出し完了 1：データの読み出し可能
1	0	0	0：データの読み出し完了 1：データの読み出し可能
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表31.13　ACLRM＝1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFO バッファのすべての内容 (ダブルバッファ設定時はFIFO バッファを２面ともクリア)	
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	FIFO バッファトグル制御	DBLB ビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表31.14　PID ビットによる本モジュールの動作一覧

PID ビット	転送タイプ	転送方向 （DIR ビット）	本モジュールの動作
00 (NAK)	バルク、又は インタラプト	設定値に依存しない	USB ホストからのトークンにNAK 応答を行う ただし、ATREPM＝1 設定時の動作はATREPM ビットの説明を参照してください。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う
01 (BUF)	バルク	受信方向(DIR = 0)	USB ホストからのOUT トークンに対し、当該パイプに対応するFIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK 応答を行う。 USB ホストからのPING トークンに対し、当該パイプに対応するFIFO バッファが受信可能な状態ならばACK 応答を行う。受信可能な状態でなければNYET 応答を行う
	インタラプト	受信方向 (DIR = 0)	USB ホストからのOUT トークンに対し、当該パイプに対応するFIFO バッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK 応答を行う
	バルク、又は インタラプト	送信方向 (DIR = 1)	対応するFIFO バッファが送信可能な状態ならばUSB ホストからのトークンに対しデータを送信する。送信可能でなければNAK 応答を行う
	アイソクロナス	受信方向 (DIR = 0)	USB ホストからのOUT トークンに対し、当該パイプに対応するFIFO バッファが受信可能な状態ならばデータを受信する。 受信可能な状態でなければデータを破棄する。
	アイソクロナス	送信方向 (DIR = 1)	対応するFIFO バッファが送信可能な状態ならばUSB ホストからのトークンに対しデータを送信する。送信可能でなければZero-Length パケットを送信する
10 (STALL)又は 11 (STALL)	バルク、又は インタラプト	設定値に依存しない	USB ホストからのトークンにSTALL 応答を行う。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う。

(2) PIPEnCTR （n = 6 ～ 9）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	—	—	—	—	—	R/W	R/W (注1)	R/W (注1)	R	R	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSTS	0	R	バッファステータス 0：バッファアクセス不可 1：バッファアクセス可 表31.12参照。
14 ～ 10	—	0	—	リザーブビット
9	ACLRM	0	R/W	自動バッファクリアモード 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可（全バッファ初期化） このビットに“1”、“0”を連続して書き込むと、選択パイプに割り付けたFIFOバッファの内容を含む表31.15に示す内容がクリアされます。 このビットの変更は、PID＝00（NAK応答）及びCURPIPEビットでパイプを選択する前に行ってください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
8	SQCLR	0	R/W（注）	トグルビットクリア 選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0 にクリアするときに”1” を指定します。 0：無効 1：DATA0 指定 このビットに”1” を設定すると、選択パイプのシーケンストグルビットの期待値がDATA0 に設定されます。 このビットは、PID＝00（NAK応答）時に“1”を設定してください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットに”1” を設定する場合は、PBUSY＝0 を確認後、設定してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説 明
7	SQSET	0	R/W	トグルビットセット 選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1 にセットするときに”1” を指定します。 0：無効 1：DATA1 指定 このビットに”1” を設定すると、選択パイプのシーケンストグルビットの期待値がDATA1 に設定されます。 このビットは、PID＝00（NAK応答）時に“1”に設定してください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットに”1” を設定する場合は、PBUSY＝0を確認後、設定してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。
6	SQMON	0	R	トグルビット確認 選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1 選択パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると、このビットの値がトグルします。ただし、受信方向転送時のDATA-PID ミスマッチ発生時は、トグルしません。
5	PBUSY	0	R	パイプビジー 選択パイプを現在USB バスで使用中かどうかが表示されます。 0：選択パイプをUSB バスにて未使用 1：選択パイプをUSB バスにて使用中 選択パイプのUSB トランザクションが開始されたとき、“1”になります。 1トランザクションが終了したとき、“0”になります。 PID＝00（NAK応答）を設定後、このビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。 詳細は「31.7.3　(1)　パイプコントロールレジスタの切り替え手順」を参照してください。
4 ～ 2	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
1、0	PID[1:0]	00	R/W	応答PID 選択パイプの次回トランザクションにおける応答方法を指定します。 00：NAK 応答 01：BUF 応答（バッファ状態に従う） 10：STALL 応答 11：STALL 応答 選択パイプでUSB転送を行う場合は、このビットに01（BUF応答）を設定してください。 選択パイプがUSB通信中のときに、このビットを01（BUF応答）から00（NAK応答）に変更する場合、00を書き込んだ後、実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSY＝1 であることを確認してください。ただし、このビットが自動的に00（NAK応答）に変更された場合には、PBUSY ビットの確認は必要ありません。 • 選択パイプが受信方向の場合、かつ選択パイプのSHTNAK ビットに”1” を設定している場合、転送終了時に00（NAK応答）になります。 • 選択パイプに対し、PIPEMAXP レジスタ設定値を超えるペイロードのデータパケットを受信した場合、11（STALL応答）になります。 • USB バスリセット時、00（NAK応答）になります。 本ビットの設定は以下の手順で行ってください。 • 00（NAK応答）状態からSTALL状態にする場合は、10を書き込んでください。 • 01（BUF応答）状態からSTALL状態にする場合は、11 を書き込んでください。 • 11（STALL応答）状態からNAK状態にする場合には、一度10を書き込んでから00を書き込んでください。 • STALL状態からBUF状態にする場合は、一度00を書き込んでから01を書き込んでください。 設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は、表31.14を参照してください。

注．　読み出すと常に”0” が読み出されます。書き込みは”1” のみ有効です。

表31.15　ACLRM＝1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFO バッファのすべての内容	
2	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
3	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

31.5.33 パイプn トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）

PIPEnTRE は、パイプ1～5 に対応するトランザクションカウンタの無効／有効の指定や、カウンタクリアの指定を行います。

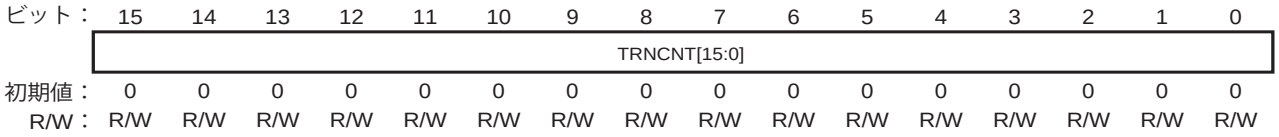
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
15 ～ 10	—	0	—	リザーブビット
9	TRENB	0	R/W	トランザクションカウンタ有効 0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効 受信パイプに対して、TRNCNT ビットに総パケット数を設定した後、このビットを”1”にすると、TRNCNTビットの設定値と同数のパケット受信を終了したときに以下の制御が実行されます。 • 連続送受信モード使用（CNTMD＝1 設定）時 受信完了時にFIFO バッファがフルの状態でなくても、SH-4A側にトグルさせます。 • SHTNAK＝1 設定時 TRNCNT ビットの設定値と同数のパケット受信を完了した時点で、対応するパイプのPID ビットを00（NAK応答）にします。 • BFRE＝1 設定時 TRNCNT ビットの設定値と同数のパケット受信を完了し、最後のデータを読み出し終えたときに、BRDY 割り込みを発生させます。 トランザクションカウント機能を使用する場合は、このビットに”1”を設定する前にTRNCNT ビットを設定してください。また、トランザクションカウントの対象となる最初のパケットを受信する前に、このビットを”1”にしてください。 送信パイプの場合は、このビットを”0” にしてください。 トランザクションカウント機能を使用しない場合も、このビットを”0”にしてください。
8	TRCLR	0	R/W	トランザクションカウンタクリア このビットに“1”を書くと、選択パイプに対応するトランザクションカウンタの現在のカウント値がクリアされます。 読み出し時の値は常に“0”です。
7～0	—	0	—	リザーブビット

注.　本レジスタの各ビットの変更は、PID＝00（NAK応答）時に行ってください。
対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、各ビットの設定値を変更する場合は、PBUSY＝0 を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。

31.5.34 パイプn トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）

PIPEnTRN は、パイプ1～5 に対応するトランザクションカウンタです。
また、USB バスリセットで設定値が保持されます。



ビット	ビット名	初期値	R/W	説 明
15 ～ 0	TRNCNT[15:0]	H'0000	R/W	トランザクションカウンタ DMA 転送のトランザクション回数を設定します。 TRENB＝0時に読み出すと、設定したトランザクション回数が読み出せます。 TRENB＝1時に読み出すと、カウント中のトランザクション回数が読み出せます。 受信時の状態が以下のすべてを満たしたとき、このビットはインクリメントされます。 • TRENB＝1 • パケット受信時のカウント値が、（TRNCNT 設定値－1）でない • 受信したパケットのペイロードがMXPS ビットの設定値と一致 また、以下のいずれかの条件が満たされたとき、このビットは“0”になります。 • TRENB＝1で、パケット受信時に現在のカウント値が（TRNCNT設定値－1）と等しく、受信したパケットのペイロードがMXPS ビットの設定値と一致 • TRENB＝1で、ショートパケットを受信 • TRENB＝1で、TRCLR ビットに”1” を設定した 送信パイプの場合は、このビットを”0” にしてください。 トランザクションカウント機能を使用しない場合も、このビットを”0”にしてください。 このビットの変更は、PID＝00（NAK応答）、かつTRENB＝0 設定時に行ってください。 対応するパイプのPID ビットを01（BUF応答）から00（NAK応答）へ変更後、このビットを変更する場合は、PBUSY＝0を確認後、変更してください。ただし、PID ビットが自動的に00（NAK応答）に変更された場合は、PBUSY ビットの確認は必要ありません。 このビットの値を変更後、TRCLR＝1を設定してから、TRENB＝1を設定してください。

31.5.35 UTMIサスペンドモードレジスタ（SUSPMODE）

SUSPMODE はUTMIへの SuspendM 信号を制御するレジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SUSPM	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
15	—	0	—	リザーブビット
14	SUSPM	0	R/W	UTMI SuspendM 制御 0：UTMI サスペンドモード 1：UTMI 通常モード 本コントローラを開始する前に本ビットを ”1” にしてください。 UTMI規格に準拠したデバイスでは、クロック出力は通常 SuspendM 信号で制御できます。SuspendM = 0 のとき、LINK へのクロック供給を停止します。 SUSPM ビットが” 0” のとき（UTMI クロック停止中）、このコントローラへの書き込み無効です（読み出しは可能）。ただし、以下のレジスタへの書き込みは　SUSPM ビットが ”0” のときでも有効です。 SYSCFG BUSWAIT SUSPMODE UTMI クロック停止状態（SUSPM = 0）でSYSCFG レジスタに設定した値は、UTMI クロック発振を開始した（SUSPM = 1）後に反映されます。
13 ～ 0	—	0	—	リザーブビット

31.6　SUDMACレジスタの構成

USB0/USB1 SUDMACのレジスタ構成を表31.16に示します。

表31.16　レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	ソフトウエアリセット	マニュアルリセット
コンフィグレーションレジスタ	CH0CFG	R/W	ベースアドレス + H'000	32	H'0000 0030	H'0000 0030	H'0000 0030
ベースアドレス レジスタ	CH0BA	R/W	ベースアドレス + H'010	32	H'0000 0000	H'0000 0000	H'0000 0000
ベースバイトカウントレジスタ	CH0BBC	R/W	ベースアドレス + H'018	32	H'0000 0000	H'0000 0000	H'0000 0000
カレントアドレスレジスタ	CH0CA	R	ベースアドレス + H'020	32	H'0000 0000	H'0000 0000	H'0000 0000
カレントバイトカウントレジスタ	CH0CBC	R	ベースアドレス + H'028	32	H'0000 0000	H'0000 0000	H'0000 0000
DMAイネーブルレジスタ	CH0DEN	R/W	ベースアドレス + H'030	32	H'0000 0000	H'0000 0000	H'0000 0000
DMA ステータスクリアレジスタ	DSTSCLR	W	ベースアドレス + H'038	32	H'0000 0000	H'0000 0000	H'0000 0000
DMAバッファコントロールレジスタ	DBUFCTRL	R/W	ベースアドレス + H'03C	32	H'0000 0000	H'0000 0000	H'0000 0000
DMA割り込みコントロールレジスタ	DINTCTRL	R/W	ベースアドレス + H'040	32	H'0000 0000	H'0000 0000	H'0000 0000
DMA割り込みステータスレジスタ	DINTSTS	R	ベースアドレス + H'044	32	H'0000 0000	H'0000 0000	H'0000 0000
DMA割り込みステータスクリアレジスタ	DINTSTSCLR	R/W	ベースアドレス + H'048	32	H'0000 0000	H'0000 0000	H'0000 0000
SHwy転送コントロールレジスタ	CH0SHCTRL	R/W	ベースアドレス + H'050	32	H'0908 0000	H'0908 0000	H'0908 0000

注.　ベースアドレスに関しては、表31.4のDMACの欄を参照してください。

31.6.1　コンフィグレーションレジスタ（CH0CFG）

CH0CFG は、DMAC の構成を指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SEND BUFM	—	—	—	RCV ENDM	—	—	WAIT[1:0]		—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
R/W：	—	—	—	R/W	—	—	—	R/W	—	—	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 13	—	0	—	リザーブビット
12	SENDBUFM	0	R/W	送信バッファモード 0：DMA転送終了にてLINKの送信FIFOバッファを書込み完了状態にし、送信可能状態にします 1：DMA転送終了後、LINKの送信FIFOバッファを書込み可能状態のまま継続します DMA 転送後、SH-4A で FIFO に追加の書き込み（フッターデータ等）を行う場合は、本ビットに ”1” を書き込んでください。また、追加のデータを書き込む前に、CFIFO への LINK の FIFO ポートを切り替えてください。 本ビットに ”1” を設定した場合でも、転送データサイズがマックスパケットサイズの整数倍のとき、DMA 転送終了時にLINK の送信用 FIFOバッファは書き込み完了の状態に設定されます。
11 ～ 9	—	0	—	リザーブビット
8	RCVENDM	0	R/W	受信データ転送終了モード 0：トランスファ単位でのDMA転送終了 1：ベースバイトカウントでDMA 転送終了
7、6	—	0	—	リザーブビット
5、4	WAIT	11	R/W	ローカルバスアクセスウェイト 11　　：3 ウェイト 上記以外：設定禁止
3 ～ 0	—	0	—	リザーブビット

31.6.2　ベースアドレスレジスタ（CH0BA）

CH0BA は、SHwy へアクセスする先頭アドレスを指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	BA	H'0000 0000	R/W	SHwy アクセス先頭アドレス SHwy へアクセスする先頭アドレスを指定します。 本ビット 31～0 は SHwy へアクセスするアドレスのビット31～0 に対応しています。 DMA 転送を開始するとき、この値がカレントアドレスビット（CA）にコピーされ、SHwy へのアクセスアドレスとして使用されます。 注1. 下位の3ビットは 0 のみ設定可能です。 2. DMA転送を禁止（DEN = 0）しているときのみ設定可能です。

31.6.3　ベースバイトカウントレジスタ（CH0BBC）

CH0BBC は、DMA 転送バイト数を指定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	BBC[25:16]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BBC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 26	—	0	—	リザーブビット
25 ～ 0	BBC	H'000 0000	R/W	DMA 転送バイト数 1バイト（0x000_0001）～（64M - 1）バイト（0x3FF_FFFF）を転送バイト数として設定できます。 注1. DMA転送を禁止（DEN = 0）しているときのみ設定可能です。 2. 送信データ転送（SHwy → ローカルバス）選択時、もしくは、RCVENDM = 1時の受信データ転送（ローカルバス→ SHwy）選択時、本レジスタが”0”の状態でDMA転送を許可（DEN = 1）しないでください。

31.6.4　カレントアドレスレジスタ（CH0CA）

CH0CA は、現在の転送アドレスを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	CA	H'0000 0000	R	カレントアドレス 現在の転送先アドレスを示します。 本ビット 31～0は SHwy へアクセスするアドレスのビット31～0 に対応しています。 DMA 転送を開始するとき、ベースアドレスビット（BA）に設定した値が本レジスタにコピーされます。SHwy上で 1 パケット（32 バイト）転送ごとにその値を更新します。（現在の転送バイト数 + ベースアドレス） CH0STCLRのステータスクリアビットに ”1” を書き込むと、CA ビットは初期値(すべて “0”) になります。

31.6.5　カレントバイトカウントレジスタ（CH0CBC）

CH0CBC は、現在転送しているバイト数を示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	CBC[25:16]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 26	—	0	—	リザーブビット
25 ～ 0	CBC	H'000 0000	R	カレントバイト数 転送したバイト数を示します。 DMA 転送を開始後、SHwy上で 1 パケット（32 バイト）転送ごとに本ビットの値を更新し、現在の転送バイト数を示します。 CH0STCLRのステータスクリアビットに ”1” を書き込むと、CBC ビットは初期値(すべて “0”) になります。

31.6.6　DMAイネーブルレジスタ（CH0DEN）

CH0DENは、DMA転送を許可／禁止するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	DEN	0	R/W	DMA転送許可 0：禁止 1：許可 本ビットが ”1” のとき、DMA-FIFOから転送要求信号により、DMA 転送を開始します。 本ビットは以下の(1) もしくは (2)のとき、ハードウェアにより ”0” クリアされます。 (1) DMA 転送の終了時 (2) SHwy レスポンスエラーが発生したとき DMA転送中に、本ビットを クリア”0” するとDMA 転送は停止します。 この場合に SHwy へのアクセスが実行中であると、本ビットは1が読み出され、SHwy へのアクセスが完了するとハードウェアにより ”0” クリアされます。 またこの場合では、転送終了割り込み（CH0ENDS）は発生しません。 注．ソフトウエアによりDMA 転送を停止させた場合、SUDMAC の残りのデータは保証されません。ステータス（CH0STCLR = 1）をクリアし、かつUSB-LINK IP 内の対応するPIPE のバッファも（BCLRビットで）クリアしてください（残りのDMA 転送を再開できません）。また、USB通信を完全に停止した状態（USBディスコネクト、もしくは相手デバイスのよる通信の停止）で、DMA転送を停止させた場合は、SUDMAC内の残りのデータ転送を再開できます。詳細は、CH0BUFWビットの説明を参照してください。

31.6.7　DMA ステータスクリアレジスタ（DSTSCLR）

DSTSCLR はDMA のステータスビットを クリアするレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CH0STCLR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	CH0STCLR	0	W	DMA ステータスクリア 0：無効 1：DMA ステータスをクリア 本ビットに ”1” を書き込むと以下のステータスビットは ”0” になり、DMA転送の初期ステータスを保持します。 • カレントアドレスレジスタ • カレントバイトカウントレジスタ 本ビットへ ”0” を書いても変化しません。 読み出すと ”0” が読めます。 注1. DMA 転送中のときに（DEN = 1）、CH0STCLR に ”1” を書き込まないでください。 2. CH0BUFW = 1 を書き込んだ後は、CH0BUFS = 1（バッファデータ転送中）のとき、CH0BUFW = 1 の書き込みは禁止です。

31.6.8　DMA バッファコントロールレジスタ（DBUFCTRL）

DBUFCTRL は、DMA バッファを制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CH0 BUFW	—	—	—	—	—	—	—	CH0 BUFS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 9	—	0	—	リザーブビット
8	CH0BUFW	0	R/W	DMA バッファデータ転送許可 0：禁止 1：許可 USB通信を完全に停止した状態（USBディスコネクト、もしくは相手デバイスのよる通信の停止）で、DEN ビット（CH0DEN レジスタのビット0）に ”0” を書き込むと、DMA 転送は停止します。その状態で本ビットへの設定を行うと、DMA バッファの残りの未転送のデータをSHwy へ転送します。 SHwyへの転送が終了すると、本ビットの値はハードウェアの動作により“0”になります。 本ビットへの設定での転送終了時、転送終了割り込みを発生しません。（レスポンスエラーを検出するときのみ、エラー割り込みを発生します。） 転送開始後、転送が完了したのを確認するためにCH0BUFW ビットを読み出してください。 注1. DEN = 1時、もしくはUSB LINK との転送中は、本ビットに“1”を書き込まないでください。また、CH0DEN レジスタのDEN ビットに 0 を書き込み後、DEN ビットをポーリングし DEN ビットの値が 0 か（SHwyバッファの転送を完了）確認後に、本ビットに値を設定してください。 2. DMA バッファにデータが残っていないとき（CH0BUFS = 0）、本ビットに“1”を書き込まないでください。 3. 送信データ転送（SHwy →ローカルバス）が選択されているとき、本ビットに“1”を書き込まないでください。 4. CH0BUFWに1 を書き込み転送を開始した後、ハードウェアにより本ビットが“0”になるまでは、DMA 転送開始（DEN = 1）、及びステータスビットのクリア（CH0STCLR = 1）はしないでください。
7 ～1	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
0	CH0BUFS	0	R	DMA バッファステータス 0：DMA バッファにデータなし 1：DMA バッファにデータあり

31.6.9　DMA割り込みコントロールレジスタ（DINTCTRL）

DINTCTRL は、割り込み（UDMAC_INT_N）を許可／禁止するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CH0 ERRE	—	—	—	—	—	—	—	CH0 ENDE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 9	—	0	—	リザーブビット
8	CH0ERRE	0	R/W	SHwy レスポンスエラー検出割り込み許可 0：禁止 1：許可 SHwy レスポンスエラー検出割り込みを許可／禁止します。 本ビットに”0” を書き込むと、SHwy レスポンスエラー検出割り込みは発生しません。 本ビットに”1” を書き込むと、SHwy レスポンスパケットでエラーが検出したとき、割り込み要求を割り込みコントローラに発生します。 また､CH0ERRS ビットが ”1” の間に本ビットの値を ”0” から”1” に変更した場合、割り込み要求を割り込みコントローラに発生します。
7 ～1	—	0	—	リザーブビット
0	CH0ENDE	0	R/W	DMA 転送終了割り込み許可 0：禁止 1：許可 DMA 転送終了割り込みを許可／禁止できます。 本ビットに”0” を書き込むと、DMA 転送終了割り込みは発生しません。 本ビットに ”1” を書き込むと、DMA 転送終了を検出したとき、割り込み要求を割り込みコントローラに発生します。 また、CH0ENDS ビットが ”1” の間に本ビットの値を”0” から”1” に変更した場合、割り込み要求を割り込みコントローラに発生します。

31.6.10 DMA割り込みステータスレジスタ（DINTSTS）

DINTSTSは、現在の割り込みステータスを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CH0 ERRS	—	—	—	—	—	—	—	CH0 ENDS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R	—	—	—	—	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 9	—	0	—	リザーブビット
8	CH0ERRS	0	R	SHwy レスポンスエラー検出割り込みステータス 0：SHwy レスポンスエラーを未検出 1：SHwy レスポンスエラーを検出 SHwy レスポンスエラー検出時、本ビットは ”1” にセットされます。CH0ERRC ビットに ”1” を書き込むと、本ビットをクリアできます。CH0BUFW ビット（DBUFCTRL レジスタのビット8）によりバッファの転送を許可しエラーを検出した場合も、同様の動作になります。 エラーを検出したとき、ハードウェアの動作によりDEN ビットを ”0” にし、DMA 転送を強制終了します。また、ステータスをクリア（CH0STCLR = 1）するまで、カレントアドレスとカレントバイトカウントは保持されます。またこの場合、DMA 転送終了割り込み（CH0ENDS）はアサートされません。
7 ～ 1	—	0	—	リザーブビット
0	CH0ENDS	0	R	DMA 転送終了割り込みステータス 0：DMA 転送終了を未検出 1：DMA 転送終了を検出 DMA 転送終了を検出したとき、本ビットは”1” にセットされます。 CH0ENDC ビットに ”1” を書き込むと、本ビットをクリアできます。

31.6.11 DMA割り込みステータスクリアレジスタ（DINTSTSCLR）

DINTSTSCLR は、割り込みステータスビットを クリアするレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CH0 ERRC	—	—	—	—	—	—	—	CH0 ENDC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 9	—	0	—	リザーブビット
8	CH0ERRC	0	R/W	SHwy レスポンスエラー検出割り込みステータスクリア 0：無効 1：SHwy レスポンスエラー検出割り込みステータスクリア 本ビットに ”1” を書き込むと、SHwy レスポンスエラー検出割り込みステータスビットは ”0”になります。 読み出すと“0”が読めます。
7 ～ 1	—	0	—	リザーブビット
0	CH0ENDC	0	R/W	DMA 転送終了割り込みステータスをクリア 0：無効 1：DMA 転送終了割り込みステータスをクリア 本ビットに ”1” を書き込むと、DMA 転送終了割り込みステータスビットは” 0”になります。 読み出すと“0”が読めます。

31.6.12 SHwy転送コントロールレジスタ（CH0SHCTRL）

CH0SHCTRL は、SHwy 上の転送を制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PRITIME				—	—	—	—	—	—	—	PRIEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 28	—	0	—	リザーブビット
27	—	1	—	リザーブビット
26、25	—	0	—	リザーブビット
24	—	1	—	リザーブビット
23 ～ 20	—	0	—	リザーブビット
19	—	1	—	リザーブビット
18～ 12	—	0	—	リザーブビット
11 ～ 8	PRITIME[3:0]	H'0	R/W	連続プライオリティカウント 出力するハイプライオリティの連続回数を指定します。 注. 連続プライオリティ制御カウンタは、転送終了後、自動的に” 0” になります。
7 ～ 1	—	0	—	リザーブビット
0	PRIEN	0	R/W	プライオリティ制御許可 0：禁止 1：許可 本ビットへの設定は、DMA PIPE の設定を変更するときのみ行ってください。また、本ビットの使用は、対応するDMA チャネル用に設定したPIPE がインタラプト転送、もしくはアイソクロナス転送のときのみに限ります。 プライオリティ制御中は、USBバスのBandwidthは確保しますが、SH-4A、及びグラフィックモジュールなどの他のモジュール用のBandwidth は確保できなくなるので、USB データ転送が最優先事項であるときのみ使用してください。

31.7　動作説明

31.7.1　システム制御及び発振制御

本節では、本モジュールの初期設定に必要なレジスタ操作及び消費電力制御を行うために必要なレジスタについて説明します。

(1)　リセット

本モジュールのリセット種別の一覧を表 31.17 に示します。なお、各リセット動作後のレジスタ初期化状態については、「31.5　レジスタの説明」を参照してください。

表31.17　リセット種別一覧表

名称	操 作
パワーオンリセット	$\overline{\text{PRESET}}$ 端子からのLレベル入力
USBバスリセット	本モジュールがD+、D-ラインから自動検出

(2)　ハイスピード動作の許可

本モジュールは、USB 通信速度（通信ビットレート）をハイスピード動作又はフルスピード動作のどちらかに設定できます。本モジュールでハイスピード動作を許可する場合は、SYSCFG レジスタのHSE ビットを1 に設定してください。ハイスピード動作が許可されている場合は、本モジュールがリセットハンドシェイクプロトコルを実行し、USB 通信速度を自動的に設定します。リセットハンドシェイクの結果は、RHST ビット（DVSTCTR レジスタのビット2～0）で確認できます。

ハイスピード動作が禁止されている場合は、本モジュールはフルスピードでのみ動作します。

HSE ビットの変更は、D+のプルアップ禁止状態（DPRPU＝0）のときに行ってください。

(3)　USB データバス抵抗制御

本モジュールとUSB コネクタの接続図を図 31.2 に示します。

本モジュールは、D+信号のプルアップ抵抗を内蔵しています。SYSCFG レジスタのDPRPU ビットの設定により、D+信号のプルアップを設定してください。

また、本モジュールはD+、D- 信号のハイスピード動作時の終端抵抗とフルスピード動作時の出力抵抗の制御を行います。ホストコントローラとの接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本モジュールが自動的に行います。

なお、ホストコントローラと通信中にSYSCFG レジスタの DPRPU ビットに ”0” を設定した場合は、USB データラインのプルアップ抵抗（又は終端抵抗）をディスエーブルにしますので、USB ホストにデバイスの切断を通知することができます。

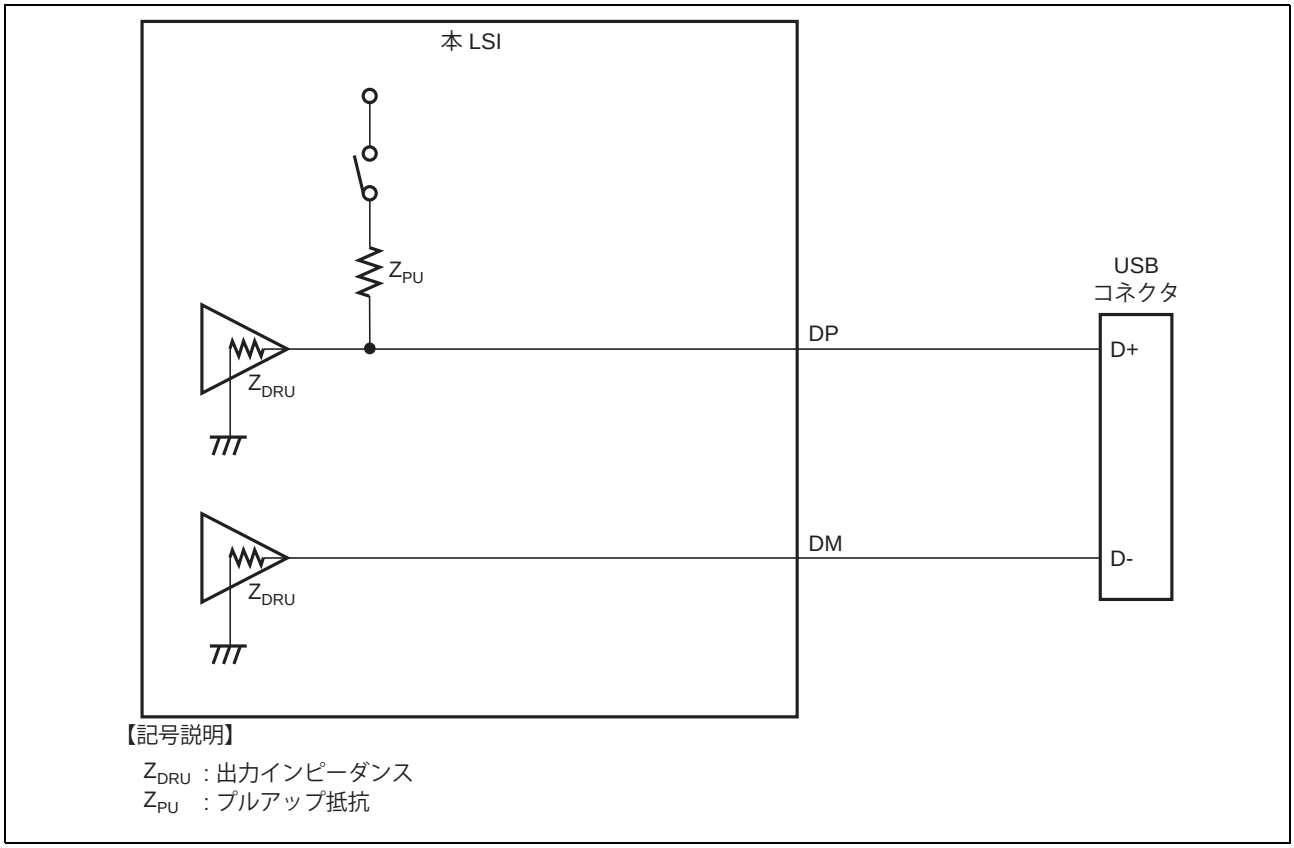


図 31.2　USB コネクタ接続図

31.7.2　割り込み機能

本モジュールの割り込み発生条件一覧表を表31.18に示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、本モジュールは割り込みコントローラ（INTC）へUSB割り込み要求を発行します。

表31.18　割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	関連ステータス
VBINT	VBUS割り込み	• VBUS0入力端子の状態変化を検出したとき（L→H、H→Lの両方の変化）	VBSTS
RESM	レジューム割り込み	• サスペンド状態においてUSBバスの状態変化を検出したとき（J-State→K-State又はJ-State→SE0）	—
SOFR	フレーム番号更新割り込み	• フレーム番号の異なるSOFパケットを受信したとき	—
DVST	デバイスステート遷移割り込み	• デバイスステートの遷移を検出したとき USBバスリセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信	DVSQ
CTRT	コントロール転送ステージ遷移割り込み	• コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	CTSQ
BEMP	バッファエンプティ割り込み	• バッファメモリ中の全データを送信してバッファが空になったとき • マックスパケットサイズを超えたパケットを受信したとき	BEMPSTS.PIPEBEMP
NRDY	バッファノットレディ割り込み	• INトークン／OUTトークン／PINGトークンに対してNAKを応答したとき。 • アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生したとき • アイソクロナス転送でデータ受信時にオーバラン／アンダーランが発生したとき	NRDYSTS.PIPENRDY
BRDY	バッファレディ割り込み	• バッファがレディ（リード又はライト可能状態）になったとき	BRDYSTS.PIPEBRDY

注.　レジスタ名が示されていないビットのレジスタはすべてINTSTSです。

本モジュールの割り込み関連図を図31.3に示します。

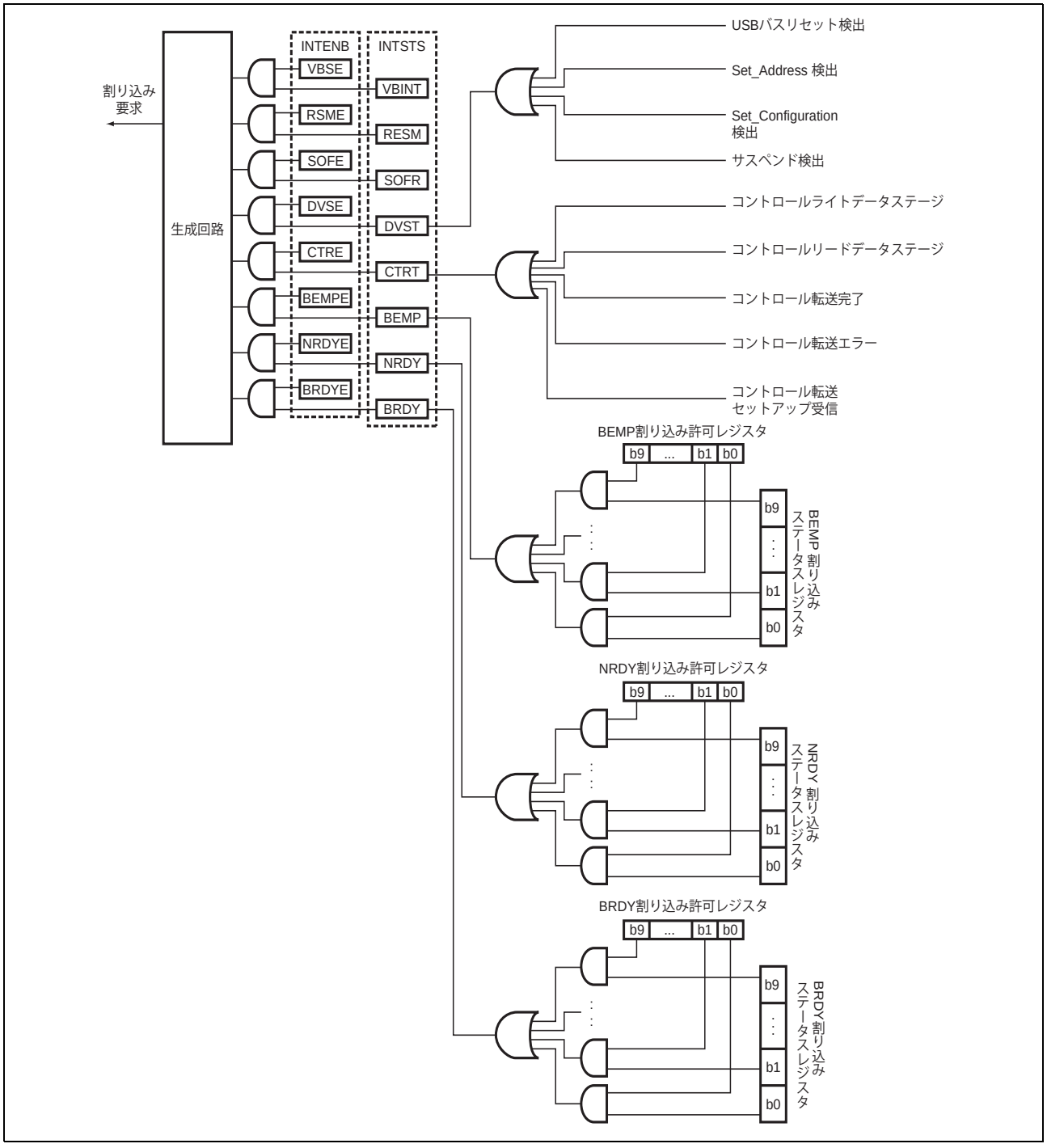


図 31.3　割り込みの関連図

(1)　BRDY 割り込み

各パイプが下記の条件を満たしたときに、本モジュールはBRDYSTS レジスタの該当ビットを”1 ”にセットします。このとき、当該パイプに対応するBRDYENB レジスタのPIPEBRDYE ビットを”1 ”に設定し、かつ、INTENB レジスタのBRDYE ビットを”1 ”に設定していれば、本モジュールはBRDY 割り込みを発生させます。

BRDY 割り込みは、BRDYM ビット及び各パイプのBFRE ビットの設定により、発生条件及びクリア方法が異なります。

(a) BRDYM＝0 かつBFRE＝0 設定時

この設定の場合、BRDY 割り込みはFIFO ポートにアクセス可能になったことを示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応するPIPEBRDY ビットに1 を表示します。

1. 送信方向に設定したパイプの場合

- DIR ビットを0から1に変更したとき。
- 当該パイプに割り付けたFIFOバッファへのSH-4Aからの書き込みが不可状態のとき（BSTS ビット読み出し値が0のとき）に、本モジュールが当該パイプのパケット送信を完了したとき。
  連続送受信モードに設定した場合には、FIFOバッファ一面分のデータの送信完了時に要求トリガが発生します。
- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であったとき。
  FIFOバッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき。
- ACLRM ビットに1を書き込むことより、FIFOバッファが書き込み不可状態から書き込み可能状態になったとき。

DCP に対しては（即ち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

2. 受信方向に設定したパイプの場合

- 当該パイプに割り付けたFIFOバッファへのSH-4Aからの読み出しが不可状態のとき（BSTS ビット読み出し値が0のとき）に、パケット受信が正常に完了し、FIFOバッファが読み出し可能状態になったとき。
  データPID ミスマッチのトランザクションに対しては要求トリガは発生しません。
  連続送受信モードの場合には、PIPEMAXP レジスタ設定値のデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。
  ショートパケットを受信した場合には、FIFOバッファに空きがあっても要求トリガは発生します。
  トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生しま す。このとき、FIFOバッファにまだ空きがあっても要求トリガは発生します。
- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき
  読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

コントロール転送のステータスステージでの通信では本割り込みは発生しません。

当該パイプに対応するBRDYSTS レジスタのPIPEBRDY ビットに0 を書き込むことにより、当該パイプのPIPEBRDY 割り込みステータスを0 にクリアすることができます。このとき、他のパイプに対応するビットには1 を書き込んでください。

本割り込みステータスのクリアは、必ずFIFO バッファへのアクセスを行う前に実施してください。

(b) BRDYM＝0 かつBFRE＝1 設定時

この設定の場合、本モジュールは、受信パイプにおいて1 トランスファー分の全データ読み出し完了時に、BRDY割り込み発生と判断し、本レジスタの当該パイプに対応するビットに1 を表示します。本モジュールは､以下のいずれかのときに1 トランスファーにおける最後のデータを受信したと判定します。

- Zero-Lengthパケットを含むショートパケットを受信したとき
- トランザクションカウンタ (TRNCNTビット) を使用し､TRNCNTビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケット受信した場合は、Zero-Length パケットデータがSH-4A 側へトグルされた時点で､本モジュールは1 トランスファー分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する BCLR ビット（FIFOCTRレジスタのビット14）に1 を書き込んでください。

本設定の場合には、本モジュールは送信パイプに対してBRDY 割り込みを検出しません。

当該パイプに対応するPIPEBRDY ビットに0 を書き込むことにより、当該パイプのPIPEBRDY 割り込みステータスを0 にクリアすることができます。このとき他のパイプに対応するビットには1 を書き込んでください。

本モードを使用するときには､トランスファ分の処理を終了するまでBFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプのFIFO バッファをすべてクリアしてください。

(c) BRDYM＝1 かつBFRE＝0 設定時

この設定の場合、PIPEBRDY ビットの値は各パイプのBSTS ビットに連動します。即ち、BRDY 割り込みステータスはFIFO バッファの状態によって本モジュールが1、0 を表示します。

1. 送信方向に設定したパイプの場合
   FIFO ポートにデータが書き込み可能な状態であれば1 を表示し、書き込み不可の状態になれば0 を表示します。
   ただしDCPの送信パイプが書き込み可能であっても、BRDY割り込みは発生しません。

2. 受信方向に設定したパイプの場合
   FIFO ポートにデータが読み出し可能な状態であれば1 を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）0 を表示します。
   FIFOバッファが空でZero-Lengthパケットを受信した場合、BCLR＝1 を書き込むまで該当ビットには1が表示されBRDY割り込みは発生し続けます。

本設定時、PIPEBRDYビットの0クリアを行うことはできません。
BRDYM＝1設定時は、BFREビットは必ずすべて（全パイプ）0に設定してください。
BRDY 割り込み発生タイミング図を図 31.4 に示します。

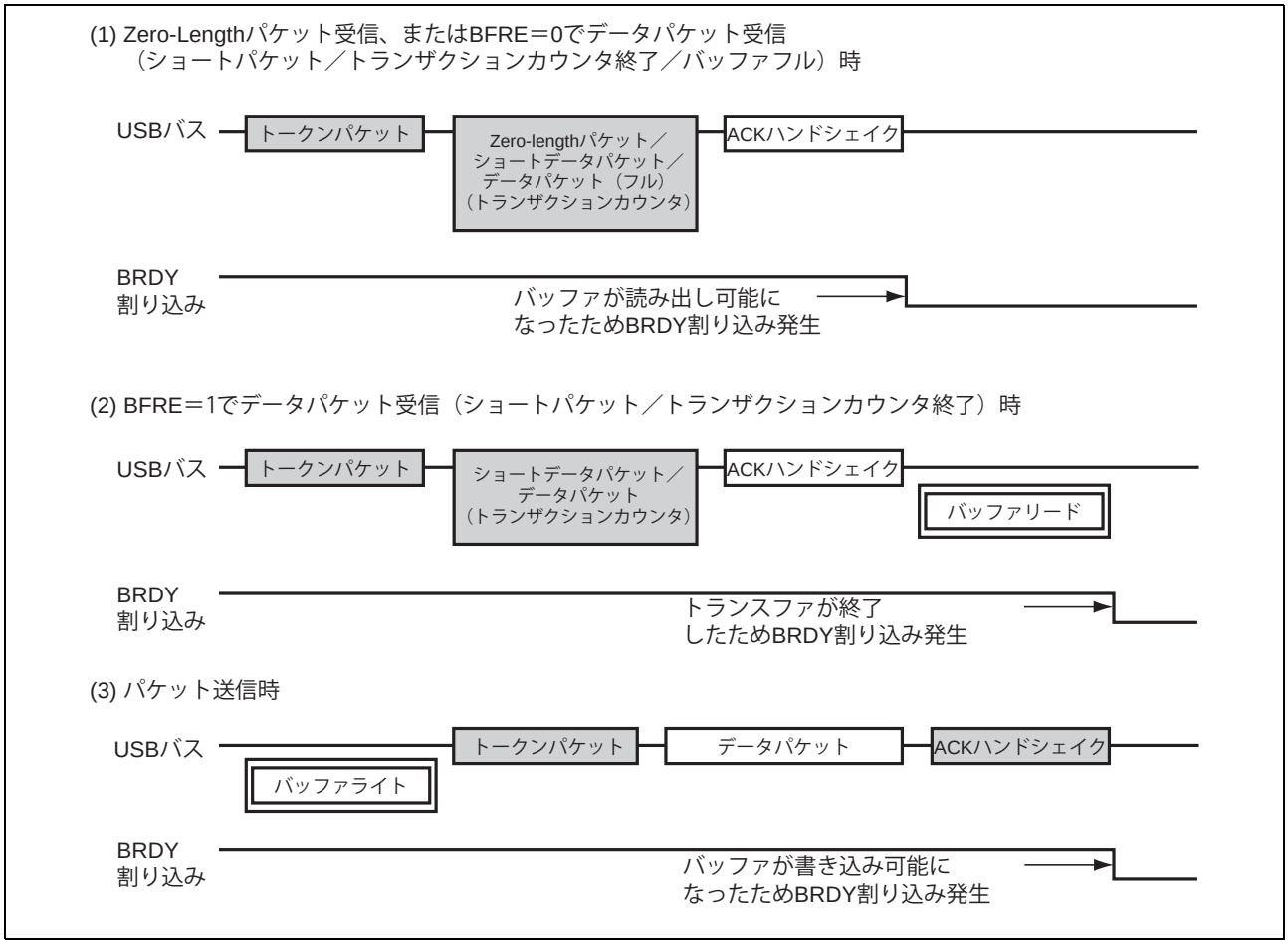


図 31.4　BRDY 割り込み発生タイミング図

(2)　NRDY 割り込み

PID ＝ BUF に設定したパイプに対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールはNRDYSTS レジスタのPIPENRDY ビットの対応するビットに1 を表示します。このとき、NRDYENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS レジスタのNRDY ビットに1 を表示し、USB 割り込みを発生します。

本モジュールが、あるパイプに対して内部NRDY 割り込み要求を発生させる条件を以下に示します。ただし、コントロール転送ステータスステージ実行時は割り込み要求を発生させません。

1. 送信方向パイプの場合
   - FIFOバッファに送信データがない状態でIN トークンを受信したとき
     IN トークン受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDY ビットに1を表示します。
     割り込み発生パイプの転送タイプがアイソクロナスの場合、本モジュールはZero-Lengthパケットを送信し、OVRN ビットに1を表示します。

2. 受信方向パイプの場合
   - FIFOバッファに空きがない状態でOUT トークンを受信したとき
     割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に本モジュールはNRDY割り込み要求を発生させ、PIPENRDY ビットに1を表示し、OVRN ビットに1を表示します。
     割り込み発生パイプの転送タイプがアイソクロナス以外の場合、本モジュールは、OUT トークンに続くデータ受信後 NAK ハンドシェークを送信するときに NRDY 割り込み要求を発生させ、PIPENRDY ビットに1を表示します。
     ただし、再送時（DATA-PID ミスマッチ発生時）には、NRDY 割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。

   - FIFOバッファに空きがない状態でPING トークンを受信したとき
     PING トークン受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDY ビットに1を表示します。

   - 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
     SOF 受信のタイミングで本モジュールは、NRDY 割り込み要求を発生させ、PIPENRDY ビットに1を表示します。

NRDY 割り込み発生タイミング図を図 31.5 に示します。

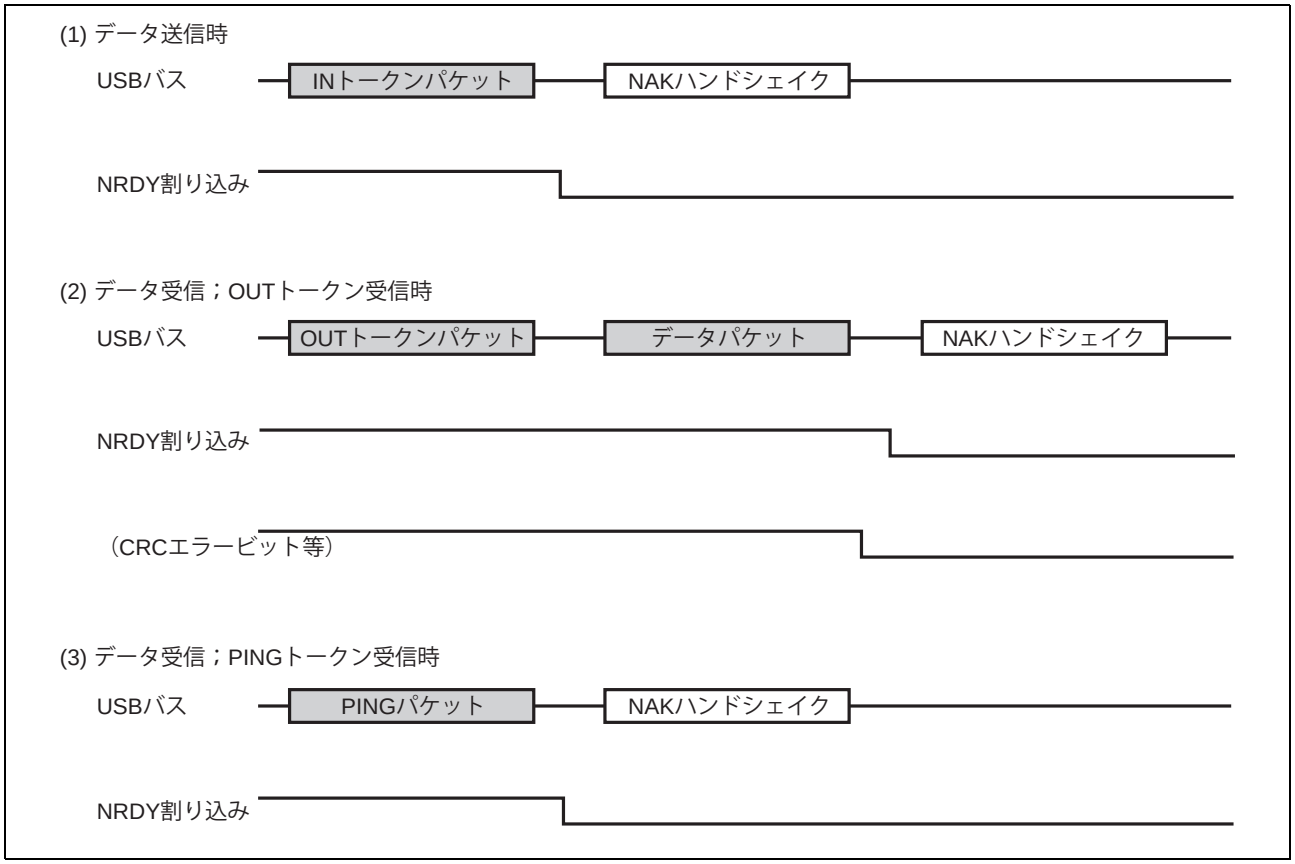


図 31.5　NRDY 割り込み発生タイミング図

(3)　BEMP 割り込み

PID ＝ BUF に設定したパイプに対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールはBEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示します。このとき、BEMPENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS レジスタの BEMP ビットに 1 を表示し、USB 割り込みを発生します。

以下の場合に、本モジュールは内部BEMP 割り込み要求を発生させます。

1. 送信方向パイプにおいて、送信完了時（Zero-Lengthパケットの送信時を含む) に、対応するパイプのFIFOバッファが空のとき。
   シングルバッファ設定時は、DCP 以外のパイプに対してはBRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。
   ただし、以下の場合は内部BEMP割り込み要求を発生させません。
   - ダブルバッファ設定時に、1 面分のデータ送信完了時にソフトウェア（DMAC）が SH-4A 側の FIFOバッファに対する書き込みを開始している場合
   - また､ACLRM ビット又はBCLR ビットに1を書き込むことによるバッファクリア(エンプティ)。
   - コントロール転送ステータスステージのIN転送（Zero-Lengthパケット送信）時

2. 受信方向パイプの場合
   DCPMAXP/PIPEMAXP レジスタの設定値より大きなデータサイズを正常受信したとき。
   この場合、本モジュールは、BEMP割り込み要求を発生させ、PIPEBEMP ビットの対応するビットに1を表示し、受信データを破棄し、対応するパイプのPID ビットをSTALL（11）に変更します。このとき本モジュールは、STALL応答を行います。

   ただし、以下の場合は内部BEMP割り込み要求を発生させません。
   - 受信データにCRCエラー、又はビットスタッフィングエラー等を検出したとき
   - SETUP トランザクション実行時

PIPEBEMP ビットに0を書き込むことにより、ステータスをクリアすることができます。
PIPEBEMP ビットに1を書き込んでも、何もしません。
BEMP 割り込み発生タイミング図を図 31.6 に示します。

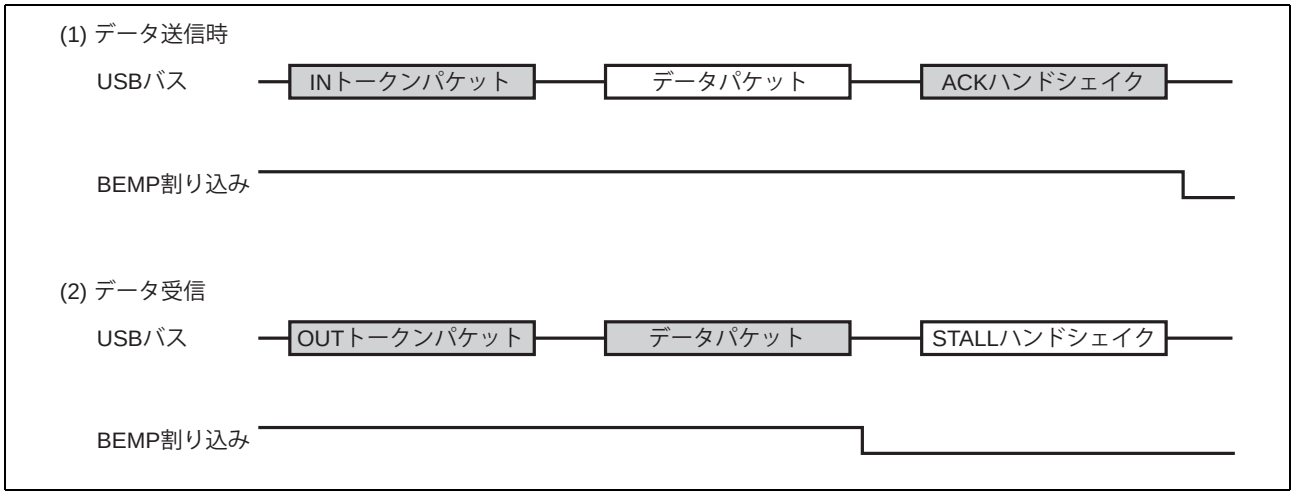


図 31.6　BEMP 割り込み発生タイミング図

(4)　デバイスステート遷移割り込み

本モジュールのデバイスステート遷移図を図31.7に示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENBレジスタで個別に割り込みの許可又は禁止を設定することができます。また、遷移したデバイスステートは、INTSTSレジスタのDVSQビットにて確認できます。

デフォルトステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

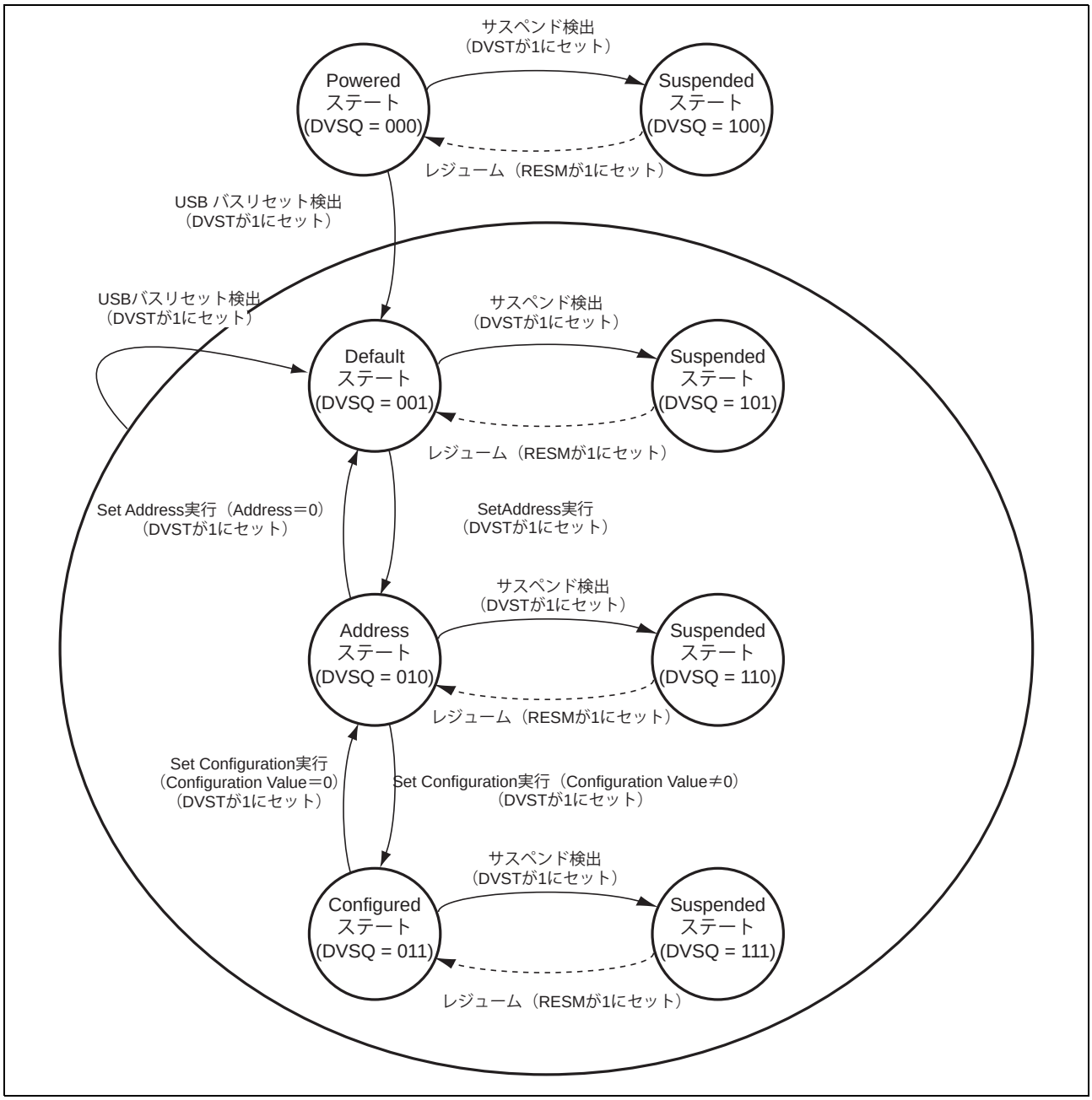


図 31.7　デバイスステート遷移図

(5) コントロール転送ステージ遷移割り込み

本モジュールのコントロール転送ステージ遷移図を図31.8に示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENBレジスタで個別に割り込みの許可又は禁止を設定することができます。また、遷移した転送ステージはCTSQビット（INTSTSレジスタのビット2～0）にて確認できます。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTRレジスタのPIDビットがB'1x（STALL応答）になります。

1. コントロールリード転送時
   - データステージのINトークンに対して、一度もデータ転送していない状態でOUT又はPINGトークンを受信
   - ステータスステージでINトークン受信
   - ステータスステージでデータパケットがDATAPID＝DATA0のパケットを受信

2. コントロールライト転送時
   - データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
   - データスステージで最初のデータパケットがDATAPID＝DATA0のパケットを受信
   - ステータスステージでOUT又はPINGトークン受信

3. コントロールライトノーデータコントロール転送時
   - ステータスステージでOUT又はPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数がUSBリクエストのwLength値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Lengthパケット以外のパケット受信には、ACK応答を行い正常終了します。

シーケンスエラーによるCTRT割り込み発生時（SERR＝1設定）は、CTSQ＝110の値がシステムからCTRT＝0書き込み（割り込みステータスクリア）するまで保持されます。このため、CTSQ＝110が保持されている状態では、新しいUSBリクエストを受信しても、セットアップステージ完了のCTRT割り込みは発生しません（セットアップステージ完了は、本モジュールで保持されており、割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します）。

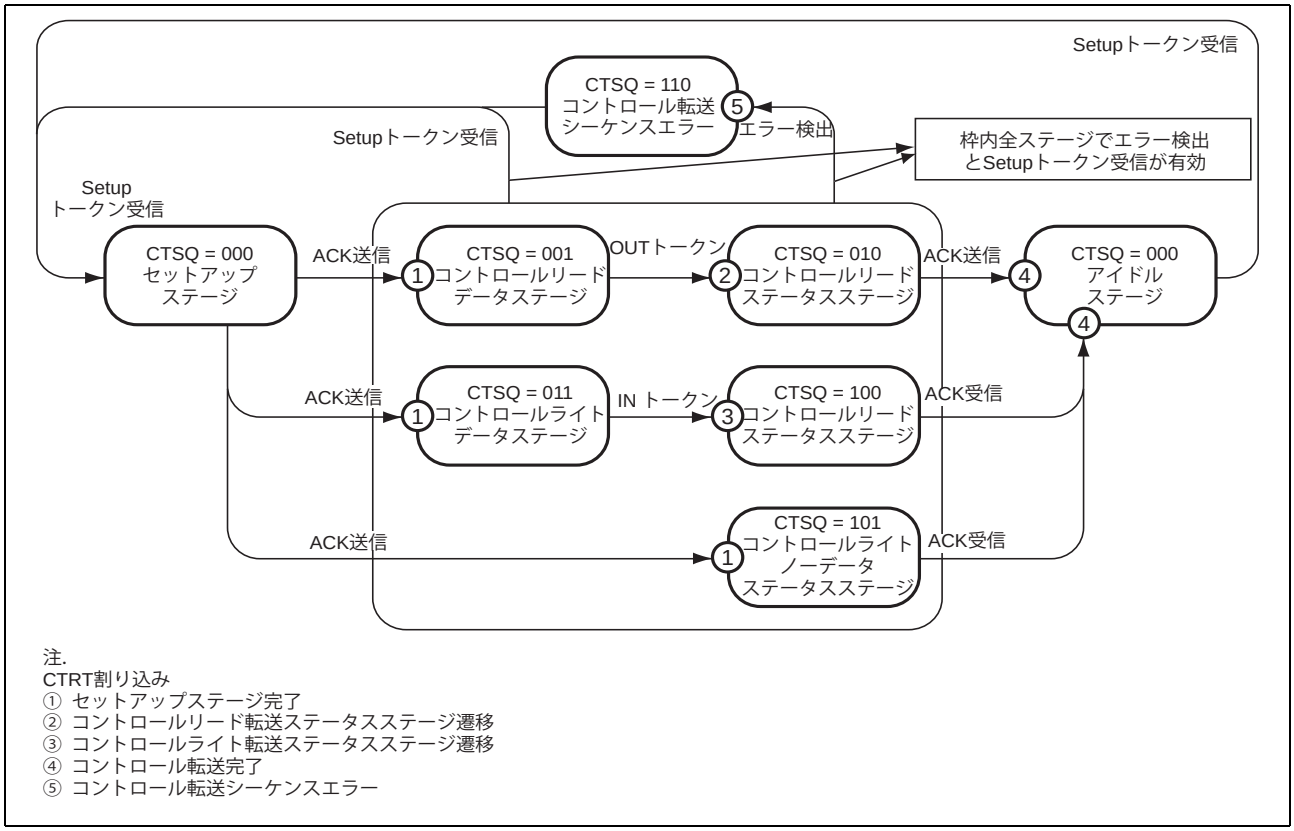


図 31.8　コントロール転送ステージ遷移図

(6)　フレーム更新割り込み

本モジュールのSOFR割り込み出力タイミング例を図31.9に示します。

フレーム番号が更新されたときにSOFR割り込みが発生します。

本モジュールは、フルスピード動作中に新しいSOFパケットを検出すると、フレーム番号を更新してSOFR割り込みを発生します。しかし、ハイスピード動作中はμSOFロック状態にならないと、フレーム番号を更新せずSOFR割り込みも発生しません。また、SOFの補間機能も動作しません。μSOFロック状態とは、エラーなしでフレーム番号の異なるμSOFパケットを2回連続受信することです。

なお、μSOFロック監視開始条件及びμSOFロック監視停止条件は下記1.、2.のとおりです。

1. μSOFロック監視開始条件
   USBE＝1
2. μSOFロック監視停止条件
   USBE＝0、USBバスリセット受信、又はサスペンド検出

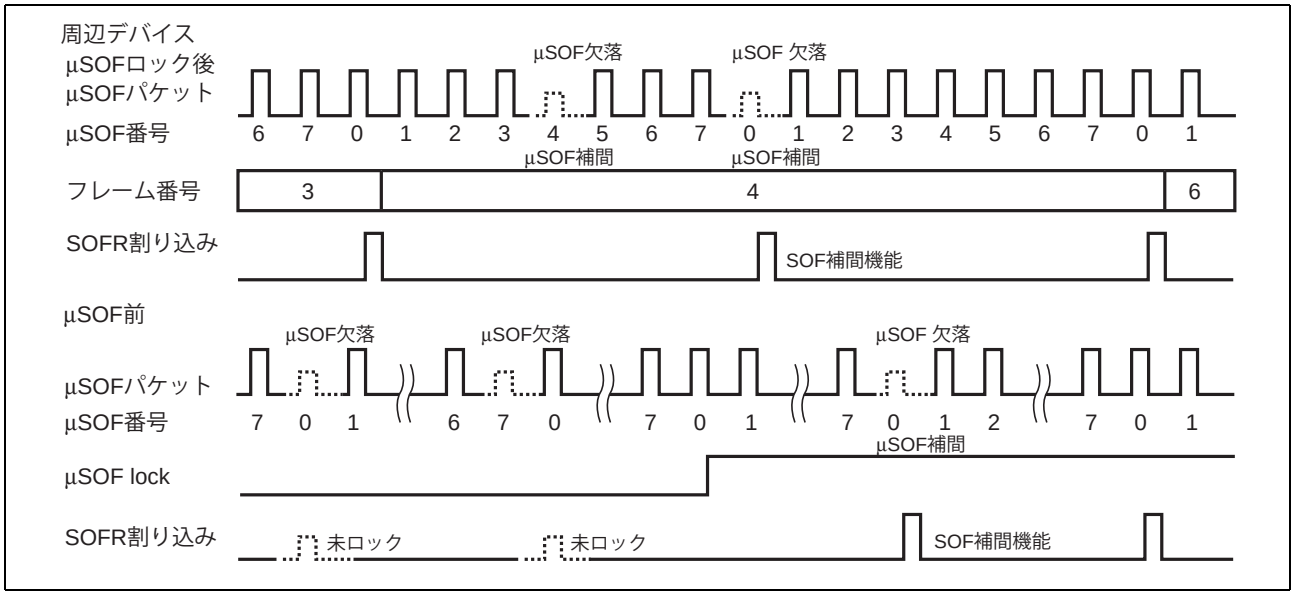


図 31.9　SOFR 割り込み出力タイミングの例

(7)　VBUS 割り込み

VBUS0 端子に変化があった場合にVBUS 割り込みが発生します。VBSTS ビット（INTSTS レジスタのビット7）にてVBUS0端子のレベルを確認できます。VBUS割り込みによってホストコントローラの接続及び切断の確認ができます。

ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS0 端子が変化しないため、最初のVBUS 割り込みが発生しません。

(8)　レジューム割り込み

デバイスステートがサスペンド状態でUSB バス状態が変化（J-State→K-State 又はJ-State→SE0）したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

31.7.3　パイプコントロール

本モジュールのパイプ設定項目一覧表を表31.19に示します。USBデータ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に10本のパイプがあります。

各パイプは、システムの仕様に合わせて設定を行ってください。

表31.19　パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備考
PIPECFG	TYPE	転送タイプを指定	パイプ1～9：設定可
	BFRE	BRDY割り込みモードを選択	パイプ1～パイプ5：設定可
	DBLB	ダブルバッファを選択	パイプ1～パイプ5：設定可
	CNTMD	連続転送又は非連続転送を選択	DCP：設定可 パイプ1、パイプ2：設定可（バルク転送選択時のみ設定可能） パイプ3～パイプ5：設定可
	DIR	転送方向を選択	IN又はOUT設定可
	EPNUM	エンドポイント番号	パイプ1～パイプ9：設定可 パイプ使用時は0000以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	DCP：設定可 パイプ1、パイプ2：設定可（バルク転送選択時のみ設定可能） パイプ3～パイプ5：設定可
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP：設定不可（64バイト固定） パイプ1～パイプ5：設定可（最大2Kバイトまで指定可） パイプ6～パイプ9：設定不可（64バイト固定）
	BUFNMB	バッファメモリ番号	DCP：設定不可（領域H'0固定） パイプ1～パイプ5:設定可（領域H'8～H'87で指定可） パイプ6～パイプ9：設定不可（領域H'4～H'7固定）
DCPMAXP PIPEMAXP	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1、パイプ2：設定可（アイソクロナス転送選択時のみ） パイプ3～パイプ5：設定不可 パイプ6～パイプ9：設定不可
	IITV	インターバルカウンタ	パイプ1、パイプ2:設定可（アイソクロナス転送選択時のみ） パイプ3～パイプ5：設定不可 パイプ6～パイプ9：設定不可
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPはISELビットにより、受信／送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ1～パイプ5搭載
	ATREPM	自動応答モード	パイプ1～パイプ5：設定可
	ACLRM	自動バッファクリア	パイプ1～パイプ9：設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答PID	「31.7.3 (6)　応答PID」を参照してください。

レジスタ名	ビット名	設定内容	備 考
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～パイプ5：設定可
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～パイプ5：設定可
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1～パイプ5：設定可

(1)　パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可（PID＝NAK）であるときのみ書き換えが可能です。

USB 通信許可（PID＝BUF）状態では設定禁止であるレジスタ
- DCPMAXP レジスタの各ビット
- DCPCTR レジスタのSQCLR ビット、SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPExCTR レジスタのATREPM ビット、ACLRM ビット、SQCLR ビット、SQSET ビット
- PIPExTRE レジスタ、PIPExTRN レジスタの各ビット

USB 通信許可（PID＝BUF）状態から、上記ビットを切り替える際は以下の手順に従ってください。
1. パイプコントロールレジスタのビット変更要求発生。
2. 当該パイプのPIDをNAKに変更。
3. 当該パイプのPBUSYビットが0になるまで待つ。
4. パイプコントロールレジスタのビット変更開始。

またパイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL レジスタのいずれのCURPIPE ビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORT のCURPIPE に設定中に設定禁止であるレジスタ
- DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、CURPIPE ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

(2)　転送タイプ

PIPECFGレジスタのTYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。
- DCP：設定不要（コントロール転送固定）です。
- パイプ1、2：バルク転送又はアイソクロナス転送を設定してください。
- パイプ3～5：バルク転送を設定してください。
- パイプ6～9：インタラプト転送を設定してください。

(3)　エンドポイント番号

PIPECFG レジスタのEPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント0 に固定されています。他のパイプは、エンドポイント1 からエンドポイント15 までの設定が可能です。
- DCP：設定不要（エンドポイント0固定）です。
- パイプ1～9：1から15までを選択して設定してください。

ただし、DIR ビットとEPNUM ビットの組み合わせが重複しないように設定してください。

(4)　マックスパケットサイズ設定

DCPMAXPレジスタ及びPIPEMAXPレジスタのMXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP 及びパイプ1～5 はUSB 規格で定義されているすべてのマックスパケットサイズに

設定が可能です。パイプ6～9は最大64バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前（PID＝BUF）に設定してください。

- DCP：ハイスピード動作時は64を設定してください。
- DCP：フルスピード動作時は、8、16、32、64から選択して設定してください。
- パイプ1～5：ハイスピードバルク転送時は、512を設定してください。
- パイプ1～5：フルスピードバルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2：ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- パイプ1、2：フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- パイプ6～9：1から64の値を設定してください。

インタラプト転送及びアイソクロナス転送のHigh Bandwidthは未対応です。

(5) トランザクションカウンタ（パイプ1～5読み出し方向）

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタは、D0FIFOポートにて選択されているパイプが、バッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定するTRNCNTレジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。TRCLRビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENBビットの設定により、TRNCNTレジスタ読み出し時の情報が異なります。

- TRENB＝0：設定したトランザクションカウンタ値が読み出せます。
- TRENB＝1：内部でカウントしたカレントカウンタ値が読み出せます。

TRCLRビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID＝BUFの場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

(6) 応答PID

DCPCTRレジスタ及びPIPEnCTRレジスタのPIDビットにて各パイプの応答PIDを設定します。
各設定における本モジュールの動作は下記のとおりです。
応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定：発生したトランザクションに対して常にNAK応答します。
- BUF設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定：発生したトランザクションに対して常にSTALL応答します。

注.セットアップトランザクションに対しては、PIDの設定にかかわらず、常にACK応答し、レジスタにUSBリクエストを格納します。

PIDビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールによりPIDビットへの書き込みが発生するのは以下の場合です。

- NAK設定：以下の場合にPID＝NAKとなり、トランザクションに対して常にNAK応答します。
  SETUPトークンを正常に受信したとき（DCPのみ）
  バルク転送時にSHTNAKビット（PIPECFGレジスタのビット7）を1に設定し、トランザクションカウンタが終了したとき、又はショートパケットを受信したとき
- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID＝STALLとなり、トランザクションに対して常にSTALL応答します。
  受信データパケットでマックスパケットサイズオーバエラーを検出したとき
  コントロール転送シーケンスエラーを検出したとき（DCPのみ）

(7) データPIDシーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータPIDのシーケンスビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンスビットは、DCPCTRレジスタ及びPIPEnCTRレジスタのSQMONビットにて確認できます。データ送信時はACKハンドシェイク受信タイミングで、データ受信時はACKハン

ドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタ及びPIPEnCTR レジスタのSQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

コントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時はDATA0 になり、ステータスステージではDATA1 で応答します。このため、設定は必要ありません。

ClearFeature リクエストの送信又は受信時などは、データ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定パイプは、SQSET ビットによるシーケンスビット操作を行うことはできません。

(8) 応答PID＝NAK 機能

本モジュールには、PIPECFG レジスタのSHTNAK ビットに”1” を設定することで、トランスファの最後（ショートパケット受信又はトランザクションカウンタでモジュールが自動識別）のデータパケット受信タイミングで、パイプ動作を禁止（応答PID＝NAK）する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、再度パイプ許可（応答PID＝BUF）設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

(9) オート応答モード

バルク転送のパイプ（パイプ1～5）において、ATREPM ビット（PIPEnCTR レジスタのビット10）に1 をセットすると、オート応答モードとなります。OUT 転送時（DIR ＝ 0）にはOUT-NAK モードとなり、IN 転送時（DIR＝1）にはNull 自動応答モードとなります。

- OUT-NAK モード

  バルク OUT 転送のパイプにおいて、ATREPM ビットに1 をセットすると、OUT トークン又はPINGトークンに対してNAK 応答し、NRDY 割り込みを出力します。通常モードからOUT-NAK モードへ設定するためには、パイプ動作禁止状態（応答PID＝NAK）でOUT-NAK モードに設定して、パイプ動作許可（応答PID＝BUF）を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前でOUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK 応答されます。

  OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答PID＝NAK）でOUT-NAKモードを解除して、パイプ動作許可（応答PID＝BUF）を行ってください。通常モードでは、OUT データ受信が可能となり、PING トークンに対しては、バッファが受信可能であればACK を返します。

- Null 自動応答モード

  バルク IN 転送のパイプにおいて、ATREPM ビットに1 をセットすると、Zero-Length パケットを送信し続けます。

  通常モードからNull 自動応答モードへ設定するためには、パイプ動作禁止状態（応答PID＝NAK）で、Null 自動応答モードに設定して、パイプ動作許可（応答 PID ＝ BUF）を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが 0 であることで確認してください。INBUFM ビットが 1 の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

  Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答PID＝NAK）を Zero-Length パケット送信分ウェイト（フルスピード時：10µs、ハイスピード時：3µs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答PID＝BUF）を行うことにより、ホストへのパケット送信が可能となります。

31.7.4　FIFO バッファメモリ

(1)　FIFO バッファメモリ割り当て

本モジュールのFIFO バッファメモリマップ例を図31.10に示します。FIFO バッファメモリはSH-4Aと本モジュールが共用する領域です。FIFO バッファメモリの状況には、アクセス権がシステム（SH-4A側）にある場合と本モジュール（SIE 側）にある場合があります。

FIFO バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを1 ブロックとして、ブロック先頭番号とブロック数（PIPEBUF レジスタのBUFNMB 及びBUFSIZE ビット）で設定します。

CNTMD ビット（PIPECFG レジスタのビット8）にて連続転送モードを選択した場合には、BUFSIZEビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。またPIPECFGレジスタのDBLB ビットにてダブルバッファを選択した場合には、同一パイプに対してPIPEBUF レジスタのBUFSIZE ビットにて指定したメモリ領域を2 面分割り当てられます。

また、バッファメモリへのアクセス（データ読み書き）は2 本のFIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/D0FIFOSEL レジスタのCURPIPE ビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTR レジスタ及びPIPEnCTR レジスタのBSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、FRDY ビット（CFIFOCTR レジスタ及びD0FIFOCTR レジスタのビット13）で確認できます。

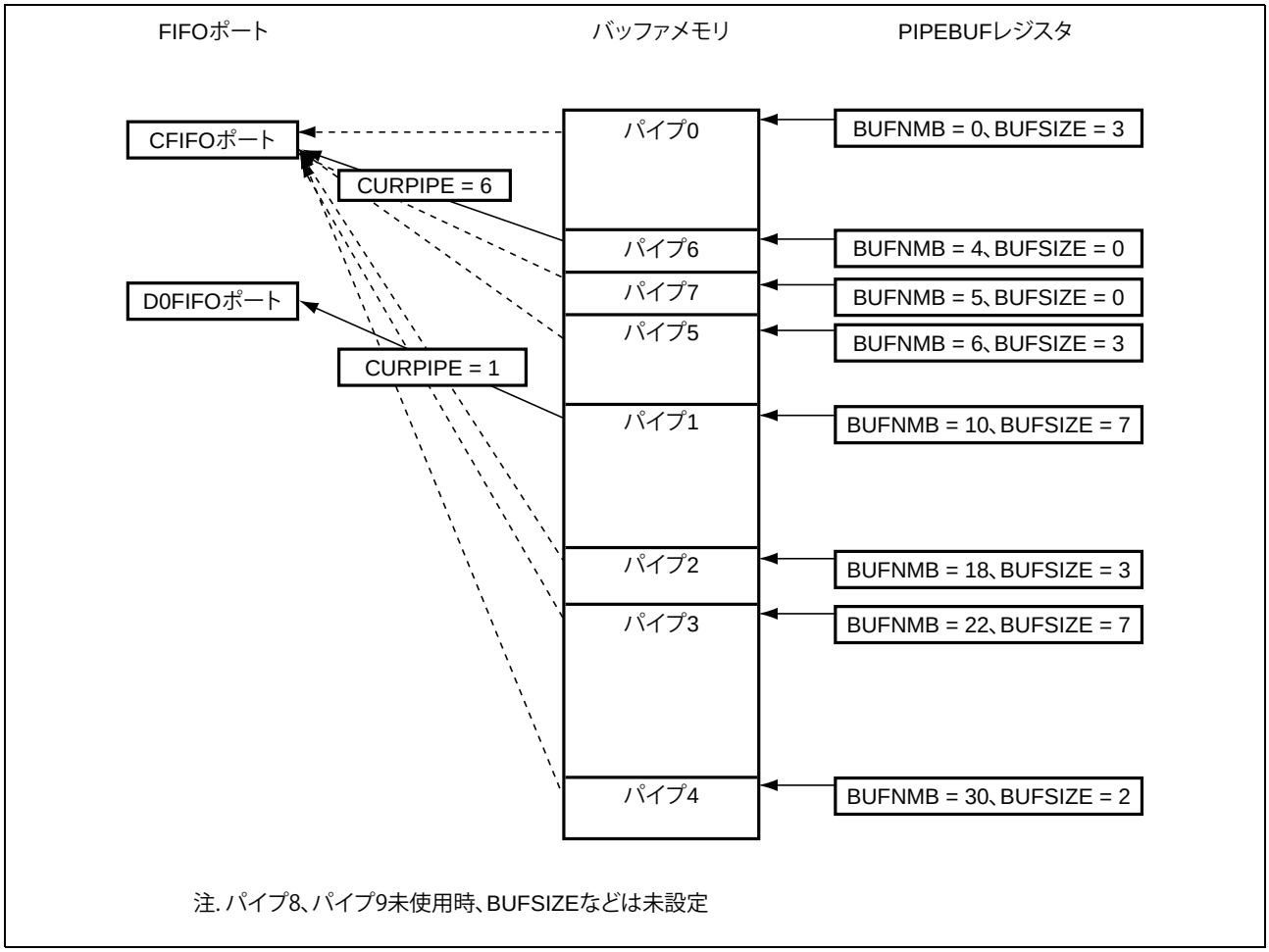


図 31.10　バッファメモリマップ例

- **バッファステータス**
  本モジュールのバッファステータス表を表 31.20 及び表 31.21 に示します。バッファメモリステータスをBSTS ビット（DCPCTR レジスタのビット 15）及びINBUFM ビット（PIPEnCTR レジスタのビット 14）にて確認できます。バッファメモリのアクセス方向は、DIR ビット（PIPECFG レジスタのビット 4）又はCFIFOSEL レジスタのISEL ビット（DCP 選択時）で、バッファメモリのアクセス方向を指定します。

  なお、INBUFM ビットは送信方向のパイプ 1～5 でのみ有効です。

  送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットはSH-4A 側のバッファの状態を、INBUFM ビットはSIE 側のバッファの状態を判断するために使用します。SH-4A（DMAC）によるFIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表31.20　BSTS ビットによるバッファステータス表

ISEL 又はDIR	BSTS	バッファメモリの状態
0 （受信方向）	0	受信データなし、又は受信中 FIFO ポートからの読み出し不可
0（受信方向）	1	受信データあり、又はZero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1 （送信方向）	0	送信を完了していない FIFO ポートへの書き込み不可
1 （送信方向）	1	送信完了 SH-4A は書き込み可能

表31.21　INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0 （受信方向）	無効	無効
1 （送信方向）	0	送信可能データを送信完了した 送信可能データなし
1（送信方向）	1	送信可能データがFIFO ポートから書き込まれた 送信可能データあり

- FIFO バッファクリア

  本モジュールによる FIFO バッファメモリのクリア一覧表を表 31.22 に示します。バッファメモリは、BCLR、DCLRM、ACLRM ビットにてクリアできます。

表31.22　バッファクリアー覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ D0FIFOCTR レジスタ	D0FIFOSEL レジスタ	PIPEnCTR レジスタ
機能	SH-4A 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1ライトでクリア	1：モード有効 0：モード無効	1：モード有効 0：モード無効

- バッファ領域

  本モジュールのバッファメモリマップを表31.23 に示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域及びユーザ設定が可能なユーザ領域があります。
  DCP 用バッファは、コントロールリード転送及びコントロールライト転送で、同一領域を使用する専用固定領域です。
  パイプ 6～9 領域は、あらかじめ領域を割り当ててありますが、パイプ6～9 を使用しない場合はユーザ領域としてパイプ1～5 に割り当てて使用可能です。
  各パイプで領域が重ならないように設定してください。特にダブルバッファ設定時は領域が設定値の倍になりますので注意してください。
  また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないでください。

表31.23　バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
H'0	64バイト	DCP専用固定領域	シングルバッファ
H'1 ～ H'3	—	使用禁止	—
H'4	64バイト	パイプ6用固定領域	シングルバッファ
H'5	64バイト	パイプ7用固定領域	シングルバッファ
H'6	64バイト	パイプ8用固定領域	シングルバッファ
H'7	64バイト	パイプ9用固定領域	シングルバッファ
H'8 ～ H'87	最大8192バイト	パイプ1 ～パイプ5 ユーザ領域	ダブルバッファ設定可能、連続転送可能

- **自動バッファクリアモード機能**
  本モジュールは、ACLRM ビット（PIPEnCTR レジスタのビット9）に”1” を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対してACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。
  また、ACLRM ビットに”1” を設定し、続けて”0” を設定することで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。
  ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの1 書き込みと0 書き込みの間隔を100ns以上とってください。

- **バッファメモリ仕様（シングル／ダブル設定）**
  パイプ1～5は、DBLB ビット（PIPECFG レジスタのビット9）にてシングルバッファ又はダブルバッファを選択できます。ダブルバッファは同一パイプに対してPIPEBUF レジスタのBUFSIZE ビットにて指定したメモリ領域を2 面分割り当てる機能です。本モジュールのバッファメモリ設定例を図31.11 に示します。

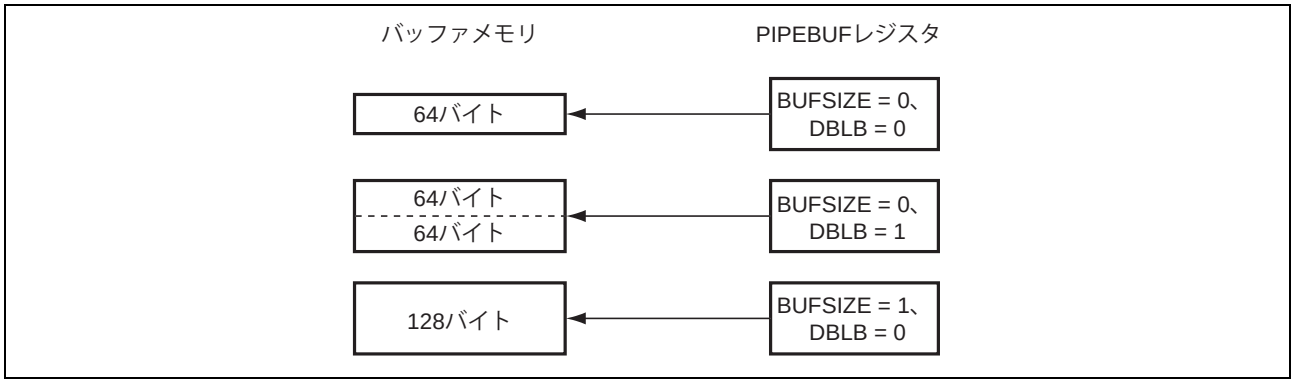


図 31.11　バッファメモリ設定例

- **バッファメモリ動作（連続転送設定）**
  PIPECFG レジスタのCNTMD ビットにて連続転送モード、又は非連続転送モードを選択できます。この選択は、パイプ1～5に対して有効です。
  連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまでSH-4Aへ割り込みを発生させずにデータ転送ができます。
  連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信（ショートパケット又はマックスパケットサイズの整数倍でバッファサイズ未満）の場合には、送信データの書き込み後BVAL＝1 を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウントの終了、又はショートパケットを受信するまで割り込みは発生しません。
CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係を表 31.24 に示します。

表31.24　CNTMD ビット設定値とFIFO バッファに対する送受信完了判定方法の関係

連続転送モード	読み出し可能状態、送信可能判定方法
非連続転送 (CNTMD = 0)	受信方向設定時（DIR＝0）FIFO バッファ読み出し可能状態になる条件： • 本モジュールが1 パケット受信したとき
	送信方向設定時（DIR＝1）FIFO バッファ送信可能状態になる条件： 以下のいずれかを満たしたとき • ソフトウェア（又はDMAC）がマックスパケットサイズ分のデータをFIFO バッファに書き込んだ。 • ソフトウェア（又はDMAC）がショートパケット分のデータ（0 バイトの場合を含む）をFIFO バッファに書き込み、BVAL＝1 を書き込んだ。
連続転送 (CNTMD = 1)	受信方向設定時（DIR＝0）FIFO バッファ読み出し可能状態になる条件： • 選択パイプに割り当てられたFIFO バッファに受信したデータのバイト数と、割り当てられたバイト数（(BUFSIZE+1) x 64）が等しくなったとき • 本モジュールがZero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられたFIFO バッファにすでにデータが格納されている状態で、本モジュールがZero-Length パケットを受信したとき。 • 選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき
	送信方向設定時（DIR＝1）FIFO バッファ送信可能状態になる条件： 以下のいずれかをを満たしたとき • ソフトウェア（又はDMAC）が書き込んだデータ数が、選択パイプに割り当てられたFIFO バッファサイズ1 面分と等しくなったとき。 • ソフトウェア（又はDMAC）が、選択パイプに割り当てられたFIFO バッファサイズ1 面分よりも小さいデータ数（0 バイトの場合を含む）をFIFO バッファに書き込み、BVAL＝1 を書き込んだとき。

本モジュールのバッファメモリ動作例を図 31.12に示します。

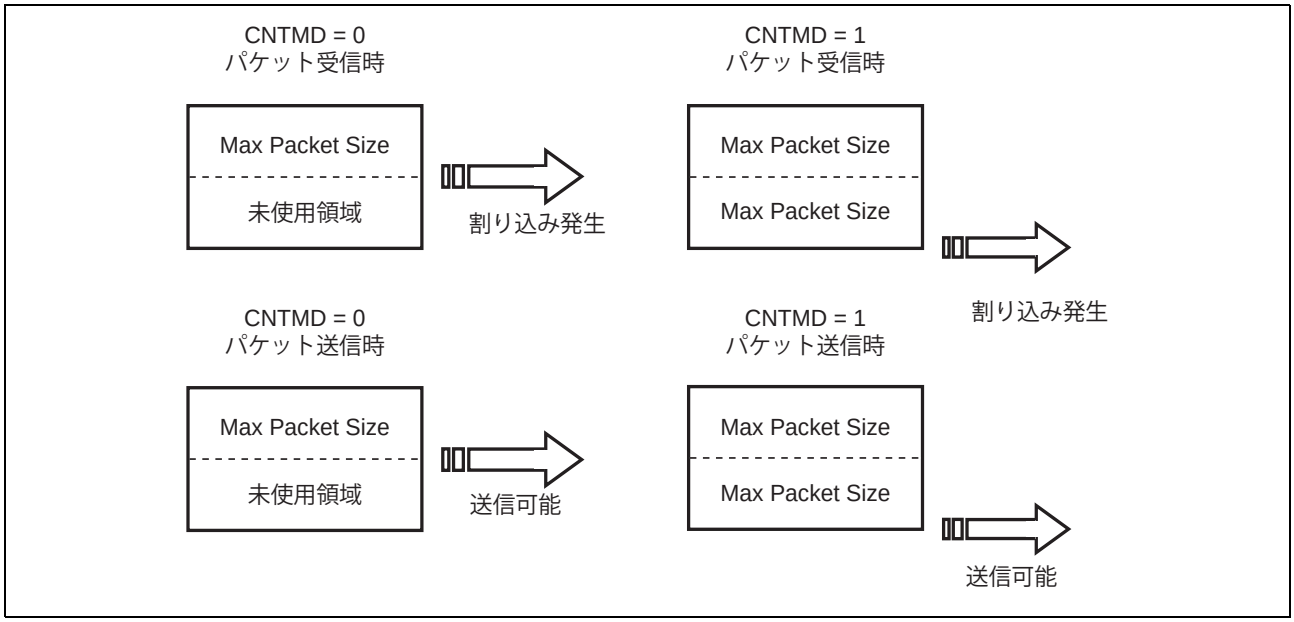


図 31.12　バッファメモリ動作例

(2)　FIFO ポートの機能

本モジュールの FIFO ポート機能設定表を表 31.25 に示します。データ書き込みアクセス時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的に送信可能状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、BVAL ビット（C/D0FIFOCTR レジスタのビット 15）による書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時（DTLN ＝ 0）は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/D0FIFOCTR レジスタの DTLN ビットにて確認します。

表 31.25　FIFO ポート機能設定表

レジスタ名	ビット名	機能	備考
C/D0FIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリワインド（再読み出し、再書き込み）	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	D0FIFO 専用
	DREQE	DMA 転送許可	D0FIFO 専用
	MBW	FIFO ポートアクセスビット幅	CFIFO 専用
	BIGEND	FIFO ポートエンディアン選択	CFIFO 専用
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレントパイプ選択	
C/D0FIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	SH-4A 側バッファメモリクリア	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

各 FIFO ポートで選択可能なパイプ表を表 31.26 に示します。C/D0FIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだCURPIPE 値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中である事を示します）FRDY ＝ 1 を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 31.26　パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	SH-4A アクセス	CFIFO ポートレジスタ
パイプ 1 ～パイプ 9	SH-4A アクセス	CFIFO ポートレジスタ
	DMA アクセス	D0FIFO ポートレジスタ

(b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、REWビット（C/D0FIFOSELレジスタのビット14）を使用します。

C/D0FIFOSELレジスタのCURPIPEビット設定と同時にREWビットを1に設定してパイプ選択を行うと、バッファメモリの読み出し又は書き込みポインタをリセットし、最初のバイトから読み出し又は書き込みを行うことができます。また、0に設定しパイプ選択を行うと、バッファメモリの読み出し又は書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFOポートへアクセスするには、パイプ選択後、FRDY＝1を確認する必要があります。

(3) DMA転送（D0FIFOポート）

(a) DMA転送概要

パイプ1～9は、DMACを使用してFIFOポートにアクセス可能です。DMAに設定したパイプのバッファがアクセス可能になったとき、DMA転送要求を出力します。

CURPIPEビットにDMA転送を行うパイプを選択するよう設定してください。なお、DMA転送中は選択しているパイプを変更しないでください。

(b) D0FIFO自動クリアモード（D0FIFOポート読み出し方向）

本モジュールは、DCLRMビット（D0FIFOレジスタのビット13）に1を書き込むことで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

各設定での、パケット受信とバッファメモリクリア処理の関連事項を表31.27に示します。表31.27に示すように、BFREビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRMビットを使用することでバッファクリアが不要になり、ソフトウェアを介在させないDMA転送が可能になります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表31.27　パケット受信とバッファメモリクリア処理の関連表

パケット受信時のバッファ状態	レジスタ設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

31.7.5　コントロール転送（DCP）

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ（DCP）を使用します。

DCP のバッファメモリは、コントロールリード及びコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(a)　セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して必ずACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。
   - INTSTS レジスタのVALID ビットを”1”にセット
   - DCPCTR レジスタのPID ビットをNAK にセット
   - DCPCTR レジスタのCCPL ビットを”0”にセット
2. セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、及びUSBLENG レジスタに格納します。

コントロール転送に対する応答処理は、必ずVALID＝0 を設定後に行ってください。VALID＝1 状態ではPID＝BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しいUSB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信したUSB リクエストの方向ビット（bmRequestType のビット 7）及びリクエストデータ長（wLength）を自動判別し、コントロールリード転送、コントロールライト転送、及びコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図31.8 を参照してください。

(b)　データステージ

受信したUSB リクエストに対応したデータ転送をDCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタのISEL ビットにてアクセス方向指定を行ってください。

転送データがDCP バッファメモリのサイズより大きい場合には、コントロールライト転送ではBRDY 割り込みを、コントロールリード転送ではBEMP 割り込みを使用してデータ転送を行ってください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じてNYET ハンドシェイク応答を行います。

(c)　ステータスステージ

DCPCTR レジスタのPID ビットがPID＝BUF の状態で、CCPL ビットに”1” を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- **コントロールリード転送の場合**
  本モジュールはZero-Length パケットの送信を行い、USB ホストからのACK 応答を受信します。
- **コントロールライト転送、ノーデータコントロール転送の場合**
  USB ホストからのZero-Length パケットを受信し、ACK 応答を送信します。

(d)　コントロール転送自動応答機能

本モジュールは、正常なSET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合は応答が必要です。

- **コントロールリード転送以外の場合**：bmRequestType ≠ H'00
- **リクエストエラーの場合**：wIndex ≠ H'00
- **ノーデータコントロール転送以外の場合**：wLength ≠ H'00
- **リクエストエラーの場合**：wValue ＞ H'7F

- **デバイスステートエラーのコントロール転送**：DVSQ＝011（Configured）

SET_ADDRESS以外のすべてのリクエストには対応する応答が必要です。

31.7.6　バルク転送（パイプ1～5）

バルク転送は、バッファメモリ使用方法（シングル／ダブルバッファ設定、又は連続／非連続転送モード設定）の選択ができます。バッファメモリサイズは、最大2Kバイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、NYETハンドシェイクには自動応答します。

本モジュールのNYETハンドシェイク応答表を表31.28に示します。本モジュールのNYET応答は、下記の条件に従います。ただし、ショートパケット受信時は、NYETパケット応答をせずにACK応答となります。また、コントロールライト転送のデータステージも同様です。

表31.28　NYETハンドシェイク応答表

DCPCTRレジスタのPIDビット設定値	バッファメモリの状態	トークン	応答	備 考
NAK/STALL	—	SETUP	ACK	—
	—	IN/OUT/PING	NAK/STALL	—
BUF	—	SETUP	ACK	—
	RCV-BRDY1	OUT/PING	ACK	OUTトークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT (Short)	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/DATA1	データパケット送信
	TRN-NRDY	IN	NAK	TRN-NRDY

【記号説明】
RCV-BRDY1　：OUT/PINGトークン受信時にバッファメモリに2パケット分以上の空き領域がある
RCV-BRDY2　：OUTトークン受信時にバッファメモリに1パケット分の空き領域しかない
RCV-NRDY　：PINGトークン受信時にバッファメモリに空き領域がない
TRN-BRDY　：INトークン受信時にバッファメモリに送信データがある
TRN-NRDY　：INトークン受信時にバッファメモリに送信データがない

31.7.7　インタラプト転送（パイプ6～9）

本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PINGパケットは無視（無応答になる）します。また、NYETハンドシェイクを送信せず、ACK、NAK、STALL応答を行います。

なお、本モジュールは、インタラプト転送のHigh-Bandwidth転送には対応していません。

31.7.8　アイソクロナス転送（パイプ1、2）

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- **アイソクロナス転送のエラー情報通知**
- **インターバルカウンタ（IITVビット指定）**
- **アイソクロナスIN転送データセットアップコントロール（IDLY機能）**
- **アイソクロナスIN転送バッファフラッシュ機能（IFISビット指定）**

本モジュールは、アイソクロナス転送のHigh-Bandwidth転送には対応していません。

(1)　アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を管理可能なように、下記のエラー情報の検出機能を持っています。本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて表31.29及び表31.30に示します。

1. PIDエラー
   - 受信パケットのPIDが不正な場合
2. CRCエラー、ビットスタッフィングエラー
   - 受信パケットのCRCにエラーがあった場合又はビットスタッフィングが不正な場合
3. マックスパケットサイズオーバ
   - 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた
4. オーバラン、アンダーランエラー
   - IN方向（送信）の転送時にINトークン受信時にバッファメモリにデータがない場合
   - OUT方向（受信）の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合
5. インターバルエラー
   - アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
   - アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表31.29　トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）。
2	CRCエラー、ビットスタッフィングエラー	割り込み発生せず（破損パケットとして無視）。
3	オーバラン、アンダーランエラー	NRDY 割り込みを発生させ、OVRN ビットをセットします。 IN トークンに対してZero-Length パケットを送信します。 OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	NRDY割り込みを発生させます。

表31.30　データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込み発生せず（破損パケットとして無視）。
2	CRCエラー、ビットスタッフィングエラー	NRDY割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバエラー	BEMP 割り込みを発生させて、PID をSTALL にセットします。

(2)　DATA-PID

本モジュールは、High-Bandwidth 転送には対応していません。受信したPID に対する対応を以下に示します。

1. IN方向
   - DATA0：データパケットのPIDとして送信します。
   - DATA1：送信しません。
   - DATA2：送信しません。
   - mDATA：送信しません。
2. OUT方向（フルスピード動作時）
   - DATA0：データパケットのPIDとして正常受信します。
   - DATA1：データパケットのPIDとして正常受信します。
   - DATA2：パケットを無視します。
   - mDATA：パケットを無視します。
3. OUT方向（ハイスピード動作時）
   - DATA0：データパケットのPIDとして正常受信します。

• DATA1：データパケットのPIDとして正常受信します。
• DATA2：データパケットのPIDとして正常受信します。
• mDATA：データパケットのPIDとして正常受信します。

(3) インターバルカウンタ

IITV ビット（PIPEPERI レジスタのビット2～0）によりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、表31.31 に示す機能を実現します。

表31.31　インターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナスIN 転送でインターバルフレームにIN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナスOUT 転送でインターバルフレームにOUT トークンを正常受信できない。

インターバルのカウントは、SOF の受信又は補間されたSOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は2^{IITV}フレーム又は2^{IITV}マイクロフレームです。

(a) カウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット
  IITV ビットが初期化されます。
- ACLRMによるバッファメモリ初期化
  IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを0にすることにより、IITVの設定値からカウントを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記1.又は2.の条件でインターバルのカウントを開始します。

1. PID＝BUF状態でIN トークンに対して、データを送信後のSOF受信
2. PID＝BUF状態でOUT トークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PIDビットをNAK又はSTALLに設定した場合
   インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
2. USBバスリセット及びUSBサスペンド
   IITV ビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

(b) インターバルカウントと転送制御

1. 選択パイプがアイソクロナスOUT転送パイプの場合

IITV ビットに設定したインターバル毎の（マイクロ）フレーム中に DATA パケットを受信しなかったとき、本コントローラはNRDY割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、又は FIFO バッファがフルのために本モジュールがデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。

ただしIITV＝0以外のときには、インターバルカウント開始後のインターバル毎のSOFパケット受信時にNRDY割り込みを発生させます。

インターバルタイマ起動後、PIDビットにNAKを設定した場合、本モジュールはSOFパケットを受信してもNRDY割り込みを発生させません。

インターバルのカウント開始条件は、IITVビットの設定値により異なります。

• IITV＝0のとき：選択パイプのPIDビットをBUFに変更した次の（マイクロ）フレームからインターバルのカウントを開始します。

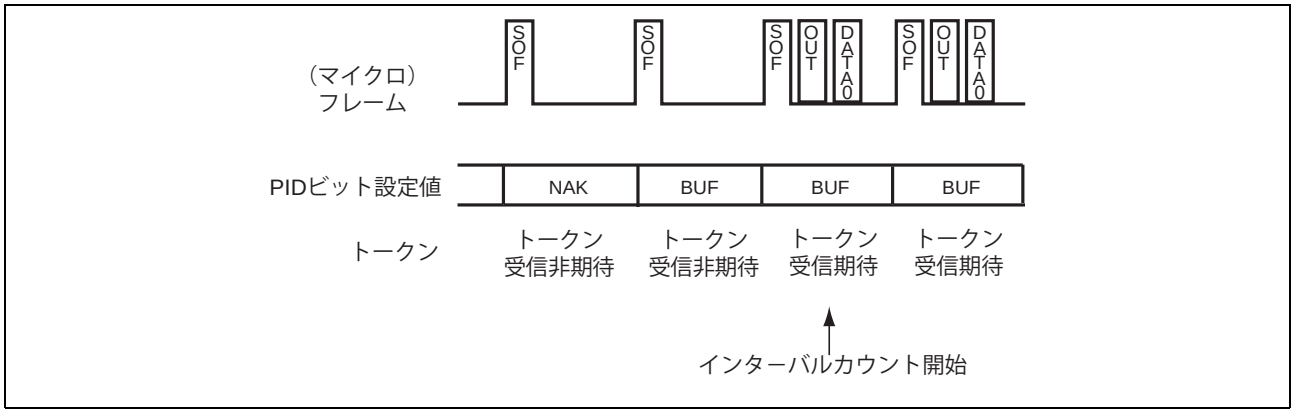


図 31.13　IITV＝0 の場合の（マイクロ）フレームとトークン 受信期待有無の関係

• IITV＝0以外のとき：選択パイプのPIDビットをBUFに変更した後最初のDATAパケット正常受信完了時点からインターバルのカウントを開始します。

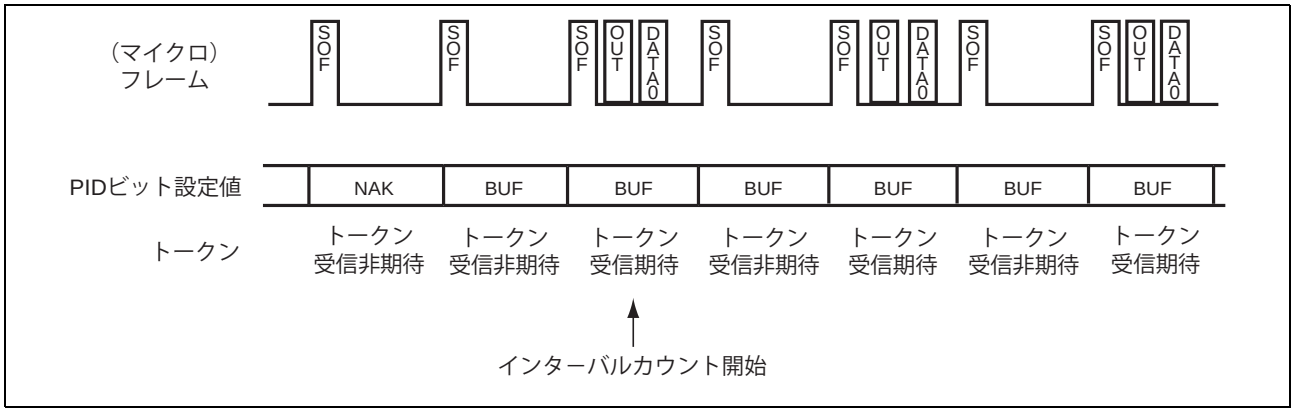


図 31.14　IITV＝0 以外の場合の（マイクロ）フレームとトークン 受信期待有無の関係

2. 選択パイプがアイソクロナスIN転送パイプの場合

IFIS ＝ 1 と組み合わせて使用します。IFIS ＝ 0 の場合にはIITV ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS ＝ 1 を設定している場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定したインターバル毎の（マイクロ）フレーム中に IN トークンを受信しなかったとき、本モジュールはFIFOバッファをクリアします。
INトークンにCRCエラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。
FIFOバッファクリアのタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングにFIFOバッファクリアを行います
インターバルのカウント開始条件は、IITV ビットの設定値により異なります。（OUT 時と同様です）
インターバルカウント条件は以下のいずれかの場合です。

- 本モジュールがハードウェアリセットされた場合
  （このとき、IITV ビットへの設定値も0にクリアされます。）
- ACLRM＝1を設定した場合

(4)　アイソクロナス転送送信データセットアップ

本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

本モジュールで、IITV ＝ 0（毎フレーム）を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を図 31.15 に示します。Zero-Length パケット送出は図中で網掛け Null と表示しています。

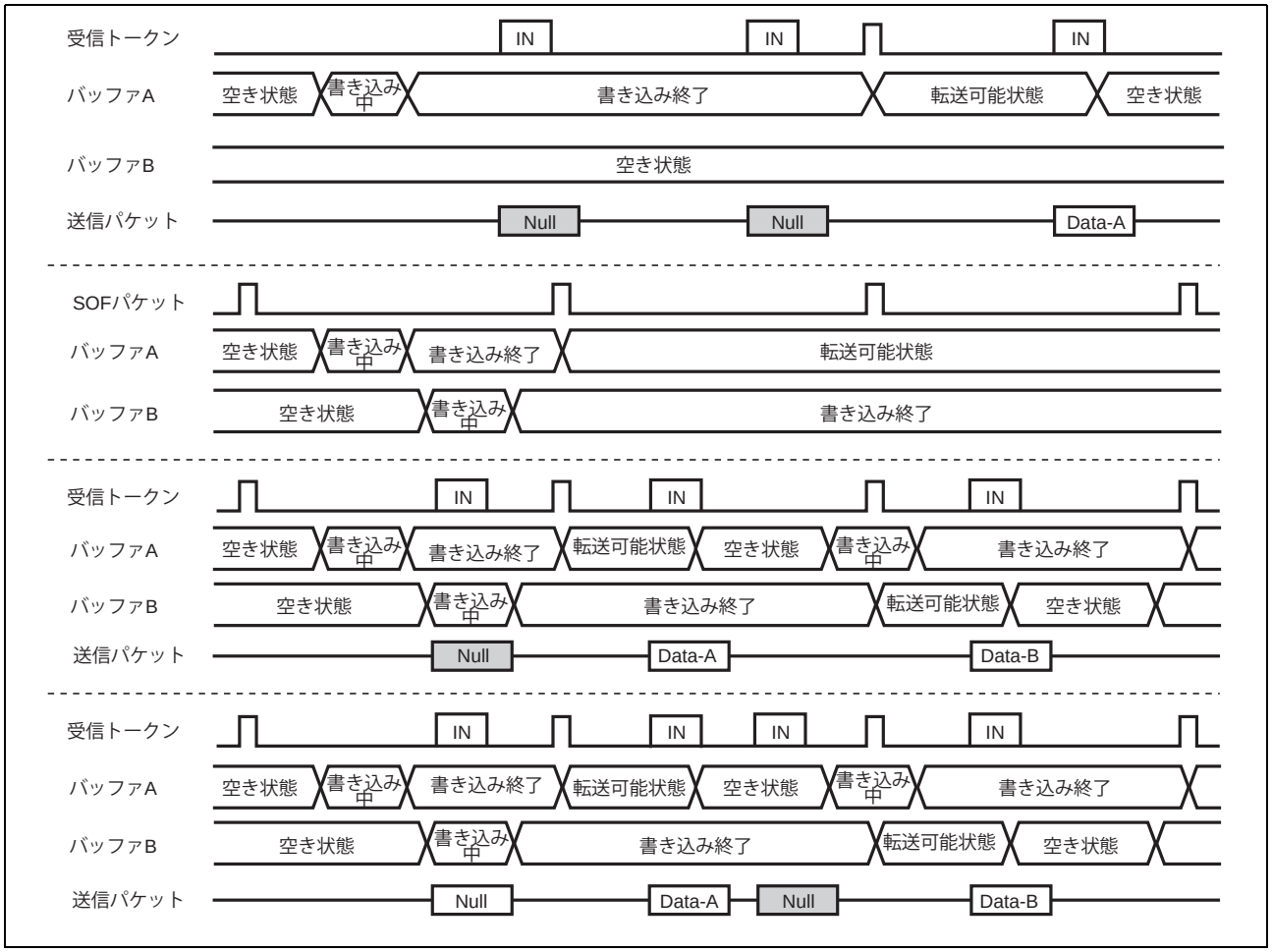


図 31.15　データセットアップ機能動作例

(5)　アイソクロナス転送送信バッファフラッシュ

本モジュールは、アイソクロナスデータ送信でインターバルフレームにIN トークンを受信せず、次フレームのSOF またμSOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF 又はμSOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能はIITV ビット設定値により動作開始タイミングが異なります。

- IITV＝0の場合
  パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV＝0以外の場合
  最初の正常なトランザクション以降バッファフラッシュ動作します。

本モジュールのバッファフラッシュ機能の動作例を図 31.16に示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出又はアンダーランエラーとしてZero-Length パケットを送出します。

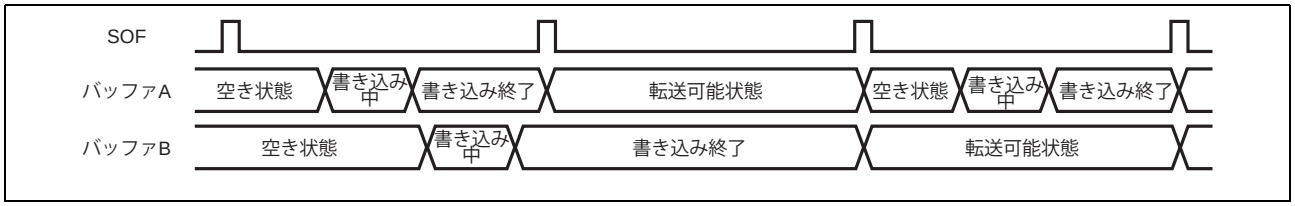


図 31.16　バッファフラッシュ機能動作例

本モジュールのインターバルエラー発生例を図 31.17 に示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーはIN 転送時にバッファフラッシュ機能が動作し、OUT 転送時はNRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向
   - バッファ転送可能状態であればデータ転送し正常応答
   - バッファ転送不能状態であればZero-Lengthパケット送信しアンダーランエラー

2. OUT方向
   - バッファ受信可能状態であればデータ受信し正常応答
   - バッファ受信不能状態であればデータ破棄しオーバランエラー

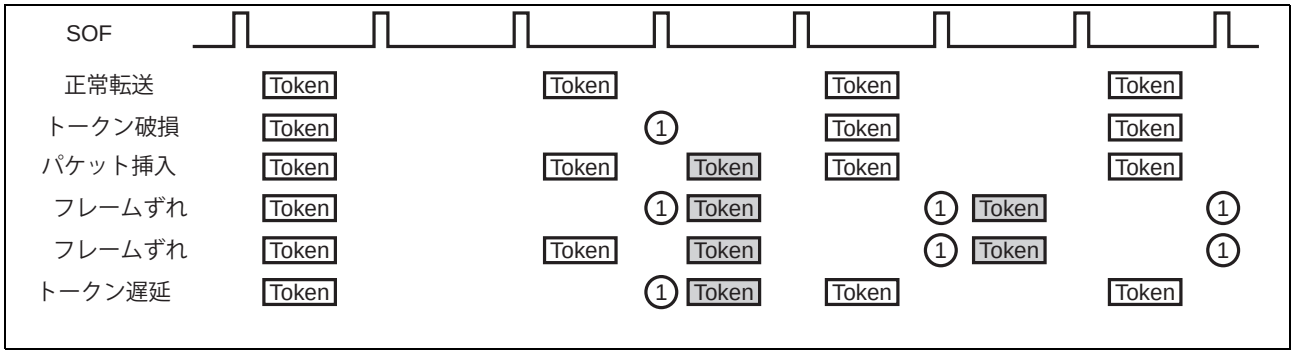


図 31.17　IITV＝1 のときのインターバルエラー発生例

31.7.9　SOF 補間機能

SOF パケットの破損又は欠落のために、1ms（フルスピード動作時）又は 125µs（ハイスピード動作時）間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は USBE ビット（SYSCFG レジスタのビット 0）が 1、SUSPM ビット（SUSPMODE レジスタのビット 14）が 1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USB バスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- フレーム間隔（125µs 又は 1ms）はリセットハンドシェイクプロトコルの結果に従う。
- SOF パケット受信までは補間機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48MHz で 125µs 又は 1ms をカウントし補間する。
- 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時及び USB バスリセット受信中は補間しない。
  （ハイスピード時のサスペンド移行では最終パケットから 3ms の間は補間を継続します）

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号及びマイクロフレーム番号の更新
- SOFR 割り込みタイミング及び µSOF ロック
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRNM ビット（FRMNUM レジスタのビット 10～0）は更新されません。ハイスピード動作時に µSOF パケットが欠落した場合には、UFRNM ビット（UFRMNUM レジスタのビット 2～0）が更新されます。ただし、UFRNM＝000 の µSOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する UFRNM＝000 以外の µSOF パケットが正常に受信されても FRNM ビットは更新されません。

31.7.10 SUDMAC

(1) SUDMAC機能

SUDMAC 機能を表 31.32 に示します。

表31.32　SUDMAC機能

項目	機能
チャネル	1チャネル
転送方向	受信データ転送（ローカルバス→SHwy）／トランスミットデータ転送（SHwy→ローカルバス）
転送要求	ファンクションコントローラからのDMA 転送要求信号
最大転送バイト	1バイト～64Mバイト
アドレス空間	4G バイト（8バイトのアライメント）
転送方法	LOAD32、STORE32
アドレッシングモード	インクリメントのみ
バッファ	（64 ビット×4）×2
割り込み要求	DMA 転送終了割り込み／SHwy 応答エラー検出割り込み
ローカルバスアクセスウェイトサイクル	0～15 のウェイトサイクルを指定可能（ローカルバスの転送レートが50Mバイト／秒以下になるよう、適切なウェイトサイクルを指定してください。）
転送バッファモード	DMA 転送終了後に、送信バッファを書き込み完了か書き込み準備の状態に設定可能
受信データ転送終了モード	DMA 転送を転送単位で、もしくはベースバイトカウントに従って終了可能
DMA バッファデータ転送	DMA バッファ内の未転送のデータはSHwyへ転送可能

表 31.33 にSUDMAC 転送終了の判定を示します。

表31.33　SUDMAC 転送終了の判定

転送方向	受信データ転送終了モード	DMA 転送終了の判定
受信データ転送（ローカルバス→SHwy）	DMA 転送を転送単位で終了（RCVENDM = 0 時）	以下の (1) ～ (3)の条件のいずれかの場合にDMA 転送終了とします。 (1) ショートパケットデータを受信し、SHwyに転送したとき (2) Zero-Length packet をFIFO ポートに発生したとき (3) トランザクションカウンタ分のパケットを受信し、トランザクションカウント機能有効でSHwyに転送したとき
	DMA 転送をベースバイトカウントに従い終了（RCVENDM = 1 時）	カレントバイトカウント（CBC ビット）がベースバイトカウント（BBC ビット）と一致し、SHwyへの転送が完了したとき、DMA 転送終了とします。
送信データ転送（SHwy→ローカルバス）	—	カレントバイトカウント（CBC ビット）がベースバイトカウント（BBC ビット）と一致し、ローカルバスへの転送が完了したとき、DMA 転送終了とします。

(2)　SUDMAC 転送

(a) 受信データ転送

受信データの転送手順を図31.18 に示します。

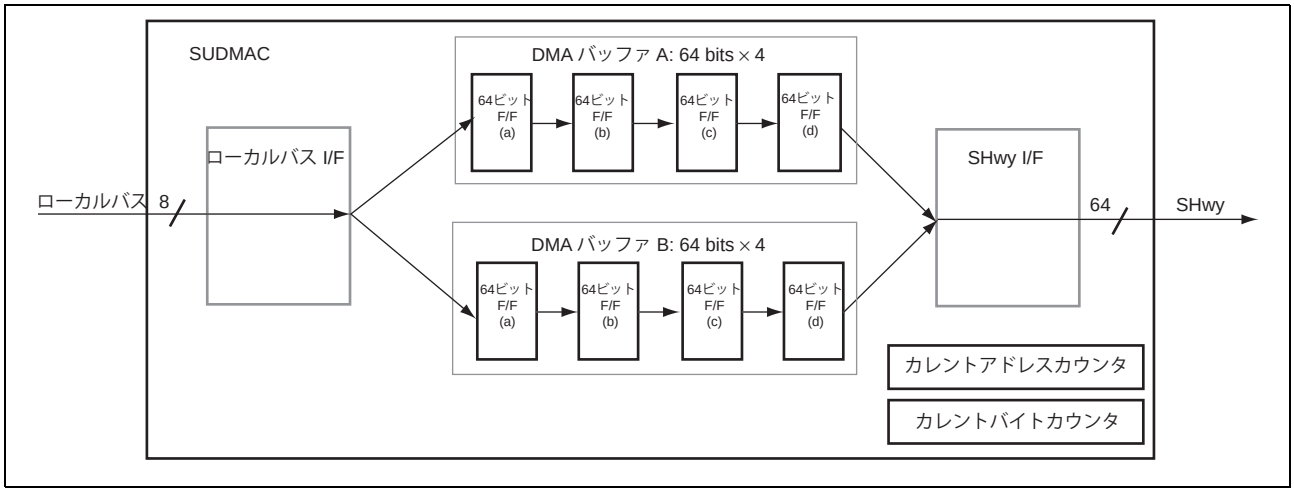


図 31.18　受信データの転送手順

- SUDMAC は、64 ビット×4×2面のバッファ（DMAバッファ AとDMAバッファ B）を持ちます。
- ローカルバス幅を８ ビットに固定してください（ファンクションコントローラの MBW ビット（D0FIFOSEL レジスタのビット11、10）に 00 を設定してください）。
- SUDMAC はファンクションコントローラから DMA 転送要求を検出すると、ローカルバスから連続32回データを読み出し、そのデータをDMA バッファ A に格納します。
- 32 バイトのデータがDMA バッファ Aに格納されたら、SHwyに対してSTORE32 を発行し、そのデータを転送します。
- DMA バッファ AがSHwyにアクセスしている間に、ローカルバスからの読み出しデータはDMA バッファ B に格納されます。これにより、データの連続転送を可能にします。
- DMAバッファ Aからのデータ転送を完了し、DMA バッファ Bに32 バイトのデータが格納されていれば、SHwyに対してSTORE32を発行し、DMA バッファ B のデータを転送します。

受信データの転送例を図 31.19 に示します。

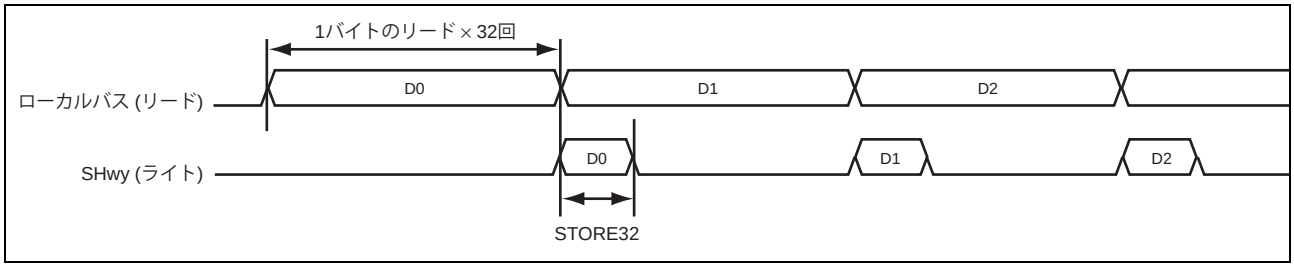


図 31.19　受信データの転送例

(b) 送信データ転送

送信データの転送手順を図31.20に示します。

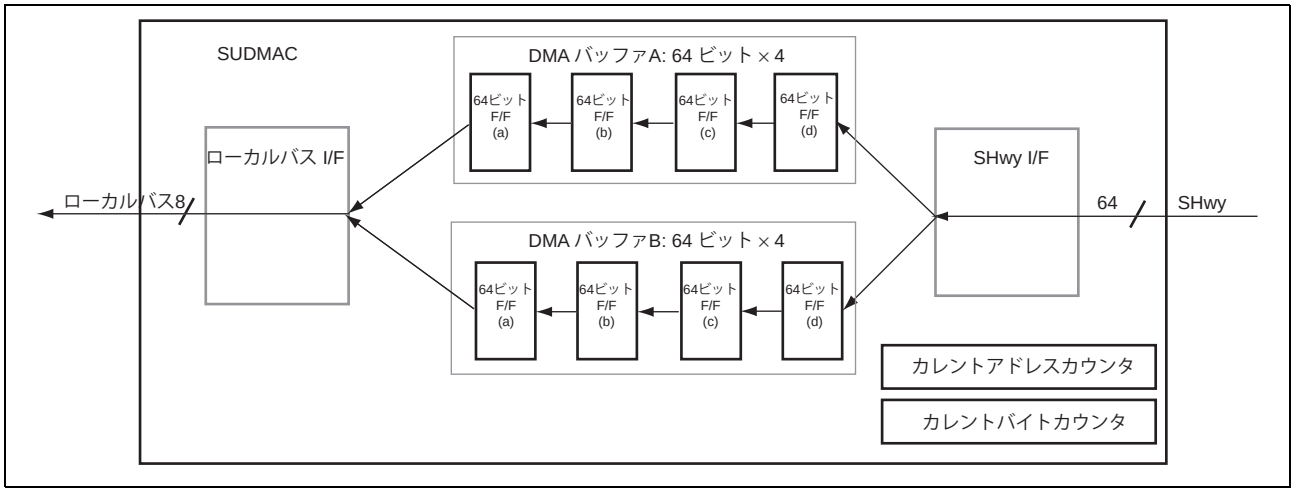


図 31.20　送信データの転送手順

- SUDMAC は、64 ビット×4×2面のバッファ（DMAバッファ AとDMAバッファ B）があります。
- ローカルバス幅を 8 ビットに固定してください(ファンクションコントローラのD0FIFOSEL レジスタのMBW ビットを 00 に設定してください)。
- ファンクションコントローラからDMA転送要求を検出すると、SHwyにLOAD32を発行し、DMA バッファ A にSHwyから読み出されたデータを格納します。
- 32 バイトのデータがDMA バッファ Aに格納されたら、ローカルバスに連続32回データを書き込みます。
- DMA バッファ Aがローカルバスにアクセスしている間に、SHwyからの読み出しデータはDMA バッファ B に格納されます。これにより、データの連続転送を可能にします。
- DMAバッファ Aからのデータ転送を完了し、32 バイトデータをDMA バッファ Bに保持する場合、ローカルバスにライトアクセスし、DMA バッファ B のデータを転送します。

送信データの転送例を図31.21に示します。

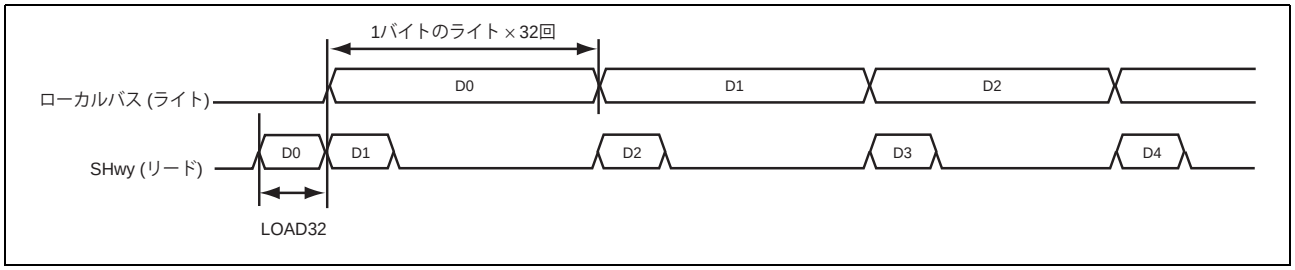


図 31.21　送信データの転送例

(3) SUDMAC転送ソフトウェアのフローチャート例

(a) 受信データを転送するソフトウェアのフローチャート例

受信データを転送するソフトウェアの手順例を図 31.22 に示します。

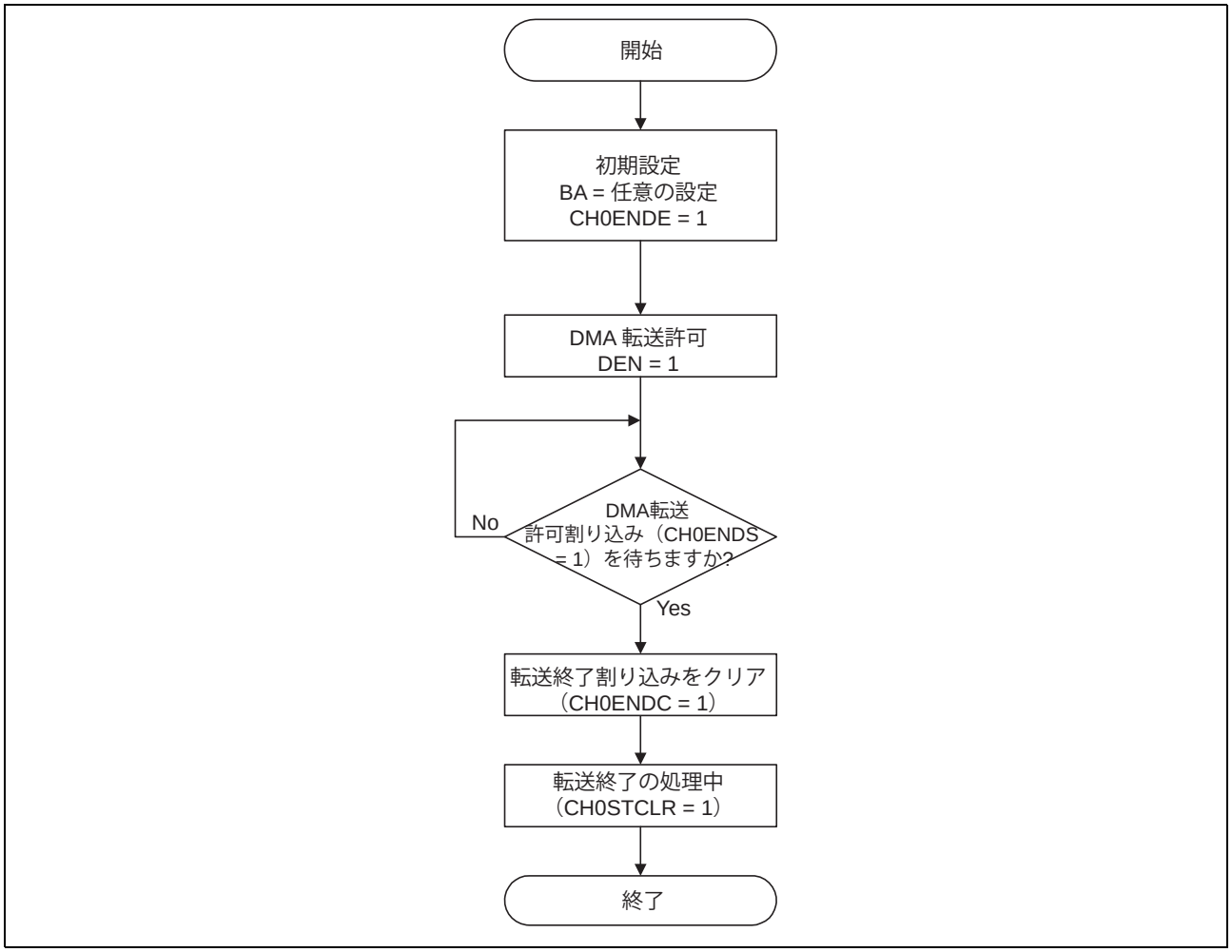


図 31.22　受信データを転送するソフトウェアフローチャート例

1. 受信データを転送の場合、DMA 転送を許可する前に以下の初期設定（a）～（d）を行う必要があります。
   (a) 受信終了モード（RCVENDM）を設定します。
   (a') 転送終了条件としてベースバイトカウントを上記（b）(RCVENDM = 1) で設定した場合、転送バイトカウントをベースバイトカウント（BBC）に設定します。
   (b) 転送先のベースアドレス（BA）を設定します。
   (c) 転送終了時に割り込みを発生させるため、転送終了割り込み許可 (CH0ENDE) に 1 を書き込んでください。
2. DMA 転送を許可します。ファンクションコントローラから DMA 転送要求を検出すると、SUDMACがDMA 転送を開始します。
3. DMA 転送終了時、 転送終了割り込みを発生します （CH0ENDS = 1）。
4. 転送終了割り込みをクリアします （CH0ENDC = 1）。
5. 転送終了処理として、DMA ステータスをクリア（CH0STCLR = 1）します。これでカレントアドレス（CA）とカレントバイト（CBC）が初期化されます。

(b) 送信データ転送のソフトウェアフローチャート

送信データを転送するソフトウェアの手順例を図 31.23 に示します。

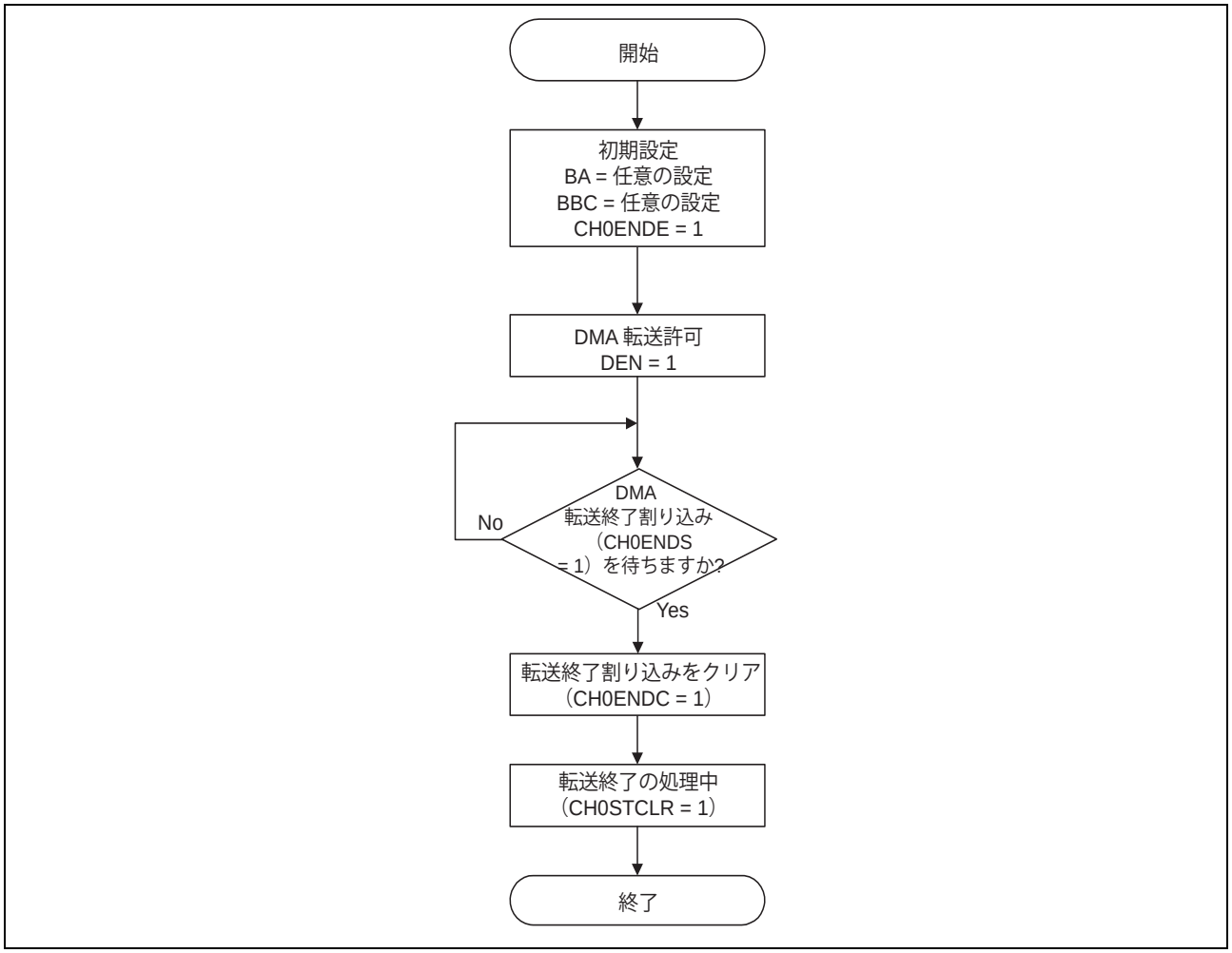


図 31.23　送信データを転送するソフトウェアフローチャート例

1. 送信データ転送の場合、DMA 転送を許可する前に、以下の初期設定（a）～（e）を行う必要があります。
   (a) 送信バッファモード（SENDBUFM）を設定します。
   (b) 転送先のベースアドレス（BA）を設定します。
   (c) ベースバイトカウント（BBC）ビットの転送バイトカウントを設定します。
   (d) 転送終了時に割り込みを発生させるため､転送終了割り込み許可ビット(CH0ENDE)に ”1” を書き込んでください。
2. DMA 転送を許可します。 ファンクションコントローラから DMA 転送要求を検出すると、SUDMAC が DMA 転送を開始します。
3. DMA 転送終了時、 転送終了割り込みを発生します （CH0ENDS = 1）。
4. 転送終了割り込みをクリアします （CH0ENDC = 1）。
5. 転送終了処理として、 DMA ステータスをクリア （CH0STCLR = 1） します。 これでカレントアドレス （CA） とカレントバイト （CBC） が初期化されます。

32. USB ホスト/ファンクションモジュール 1 （USB1）

USB ホスト/ファンクション モジュール 1（USB1）は USB ホスト コントローラ機能と USB ファンクション コントローラを備えた USB コントローラです。USB ホスト コントローラと USB ファンクションコントローラは互いに排他的に使用できます。

USB ホスト コントローラは EHCI（Enhanced Host Controller Interface）と OHCI（Open Host Controller Interface）で構成されます。EHCI はハイスピード転送、OHCIはフルスピード又はロースピード転送に使用されます。

本モジュールのUSB ファンクション コントーラは本LSIに実装されているUSB0 ファンクション コントローラ0と同じです。USB ファンクション コントローラの詳細については「31. USBファンクションモジュール0（USB0）」を参照してください。

USB1 と通信するメモリは DDR （DBSC3 経由）を使用してください。ILRAM、OLRAM、外部メモリ（LBSC経由）は使用できません。

32.1　特長

(1)　EHCI と OHCI をサポートするホストコントローラ(HC)

- Universal Serial Bus 規格の2.0に準拠
- 「Enhanced Host Controller Interface Specification for Universal Serial Bus、Revision 1.0」に準拠
  - ーハイスピード転送（480 Mbps）に対応
- 「Open Host Controller Interface Specification for USB、Release 1.0a」に準拠
  - ーフルスピード転送（12 Mbps）とロースピード転送（1.5 Mbps）に対応
  - ーキーボード/マウスのレガシーエミュレーションは非対応
- 電源用ICのインタフェースを装備

(2)　USB ハイスピード対応のファンクションコントローラを内蔵

- ハイスピード転送（480Mbps）とフルスピード転送（12Mbps）に対応
- ハイスピード／フルスピードUSB トランシーバ内蔵

(3)　少ない外付け素子かつ省スペース実装が可能

- VBUS信号を本モジュールの入力端子に直接接続可能
- D+プルアップ抵抗内蔵
- D+、D-終端抵抗内蔵（ハイスピード動作時）
- D+、D-出力抵抗内蔵（フルスピード動作時）

(4)　USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送（High Bandwidthは非対応）
- アイソクロナス転送（High Bandwidthは非対応）

(5)　ファンクションコントローラの内部バスインタフェース

- ファンクションコントローラに専用のDMAインタフェースを1チャネル内蔵（SUDMAC）

(6)　ファンクション コントローラのパイプコンフィギュレーション

- 8.5Kバイトの USB通信用バッファメモリを内蔵
- 最大10本のパイプを選択可能（デフォルトコントロールパイプを含む）
- プログラマブルなパイプ構成
- パイプ1～9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下の通り。

  パイプ0　　：コントロール転送専用のパイプ（デフォルトコントロールパイプ：DCP）、64バイト固定シングルバッファ

  パイプ1、2 ：バルク転送又はアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラマブル（最大2Kバイトでダブルバッファ指定可能）

パイプ3 ～ 5: バルク転送専用のパイプ、連続転送モード、バッファサイズはプログラマブル（最大2Kバイトでダブルバッファ指定可能）
パイプ6 ～ 9: インタラプト転送専用のパイプ、64バイト固定シングルバッファ

(7)　ファンクション コントローラのその他の機能

- リセットハンドシェイク自動応答による、ハイスピード動作もしくはフルスピード動作の自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能（NRDY）
- SOF補間機能
- トランザクションカウントによるトランスファ終了機能
- BRDY割り込みイベント通知タイミング変更機能（BFRE）
- D0FIFOポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能（DCLRM）
- トランスファ終了による応答PIDのNAK設定機能（SHTNAK）

32.2　入出力端子

USB1 の端子構成を表32.1 に示します。

表32.1　USB1 の端子構成

端子名	名称	入出力	機能
USDP1	USB D+ データ	入出力	USB 内蔵トランシーバD+ 入出力です。 USB バスのD+端子に接続してください。
USDM1	USB D- データ	入出力	USB 内蔵トランシーバD– 入出力です。 USB バスのD-端子に接続してください。
VBUS1	VBUS入力	入力	USB ケーブル接続モニタ端子です。 USB バスのVBUS に接続してください。VBUS の接続／切断を検出することができます。USB バスのVBUS と接続しない場合は、5V に固定してください。
VBUS_EN	VBUS 電源許可	出力	VBUS 電源出力信号です。 ホスト コントローラモードのみ使用可能です。 VBUS 電源コントロールICのVBUSイネーブルピンに接続してください。VBUSの電源を制御することができます。
VBUS_OC	過電流信号入力	入力	VBUS 電源コントロールICの過電流通知信号 です。 VBUS 電源コントロールICの過電流通知信号に接続してください。
REFRIN	リファレンス入力	入力	基準抵抗接続用端子です。 USB0でも使用します。 5.6 kΩ ±1% 抵抗を介してトランシーバ部グランドに接続してください（VSS: ボール番号 AE19（推奨）、AF19、又はAD22）。
VCCQ-USB	USBアナログ3.3 V用電源	—	トランシーバ部アナログ端子電源です。
VSS	グランド	—	グランド
VDD-USB	USB デジタル1.2 V用電源	—	トランシーバ部デジタルコア電源です。

32.3　リセット

USB トランシーバはリセットで初期化され、USB ポート及び USB ホスト／ファンクションコントローラは、PHY インタフェースと切断された状態になります。

USB1 を使用する場合は、まず USB1 ポートコントローラ選択レジスタでホストかファンクションを選択し、次に PHY ポートコントロールレジスタを設定してトランシーバとコントローラ間の接続を有効にした後、PHY リセットレジスタをリセット解除に設定してください。

PHY ポートコントロールレジスタについては、「31.3.3 PHY ポートコントロールレジスタ（PORTSEL）」を参照してください。

32.4　USB1 端子 マルチプレクサ

USB1 端子マルチプレクサは USB ホストコントローラ又は USB ファンクションコントローラから USB ポート 1 への接続を制御します。USB1 モジュールがリセットされると、USB ファンクションコントローラは直ちに選択、接続されます。

32.4.1　ブロック図

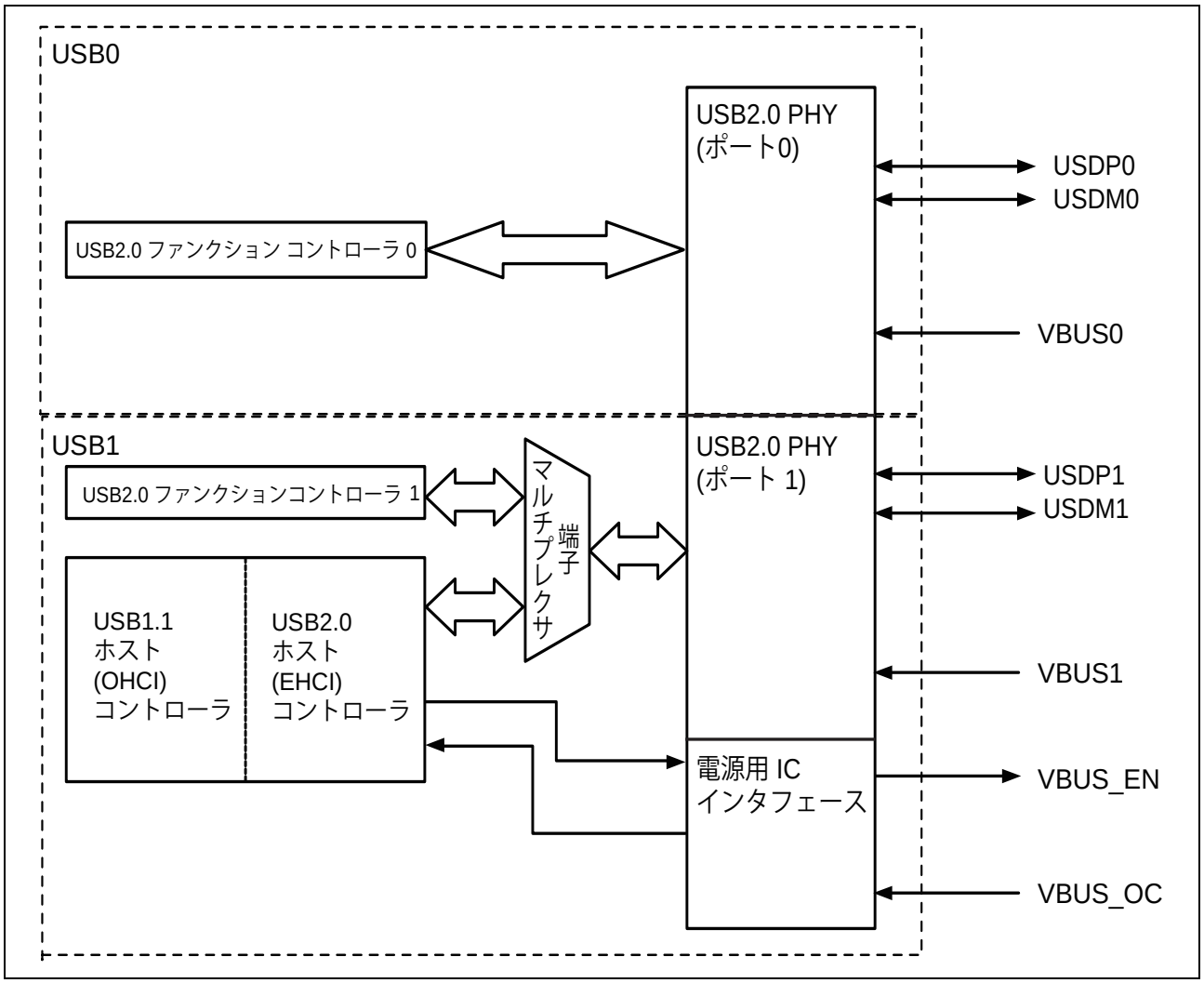


図 32.1　ブロック図

32.4.2　レジスタの説明

USBポート 1で使用されるコントローラを選択する際のレジスタ構成を表 32.2 に示します。

表32.2　レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
USB1 ポートコントローラ選択レジスタ	PORT1SEL	R/W	H'FE4F 2000	32	H'0000 0000	H'0000 0000	H'0000 0000
USB1 割り込みステータスレジスタ	USB1INTSTS	R	H'FE4F 2008	32	H'0000 0000	H'0000 0000	H'0000 0000

32.4.3　USB1 ポートコントローラ選択レジスタ（PORT1SEL）

このレジスタはUSB1ポートで使用するコントローラを選択します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FSEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	FSEL	0	R/W（注）	USB1 ポートで使用するコントローラを選択します。 0: ファンクション コントローラ 1: ホスト コントローラ（EHCI/OHCI）

注．　RESET_1（RESETレジスタのビット4）＝0のときに設定してください。

32.4.4　USB1 割り込みステータスレジスタ（USB1INTSTS）

このレジスタは読み出し専用で、USB1 割り込みが発生したどうかを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OHCI
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EHCI	—	—	—	FUNC DMAC	—	—	—	FUNC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R	—	—	—	R	—	—	—	R

ビット	ビット名	初期値	R/W	説 明
31 ～17	—	0	—	リザーブビット
16	OHCI	0	R	OHCI モジュール割り込み 0：割り込み発生なし 1：割り込み発生あり
15 ～ 9	—	0	—	リザーブビット
8	EHCI	0	R	EHCIモジュール割り込み 0：割り込み発生なし 1：割り込み発生あり
7～ 5	—	0	—	リザーブビット
4	FUNCDMAC	0	R	ファンクション モジュール用のSUDMAC割り込み 0：割り込み発生なし 1：割り込み発生あり
3～ 1	—	0	—	リザーブビット
0	FUNC	0	R	ファンクションモジュール割り込み 0：割り込み発生なし 1：割り込み発生あり

32.5　レジスタの説明

USB1（ホスト コントローラ）のレジスタ構成と各処理モードにおけるレジスタの状態 を表32.3に示します。USB1 ファンクション コントローラと SUDMAC のレジスタ構成については USB0 と同様です（表31.5、表31.16参照）。

表32.3　レジスタ構成

	レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
EHCIコントローラレジスタ	Capability レジスタ	HCCAPBASE	R	H'FE4F 1000	32	H'0100 0010	H'0100 0010	H'0100 0010
	Structural Parameters レジスタ	HCSPARAMS	R	H'FE4F 1004	32	H'0000 1212	H'0000 1212	H'0000 1212
	Capability Parameters レジスタ	HCCPARAMS	R	H'FE4F 1008	32	H'0000 A016	H'0000 A016	H'0000 A016
	USB command レジスタ	USBCMD	R/W	H'FE4F 1010	32	H'0008 0B00	H'0008 0B00	H'0008 0B00
	USB status レジスタ	USBSTS	R/W	H'FE4F 1014	32	H'0000 1000	H'0000 1000	H'0000 1000
	USB interrupt enable レジスタ	USBINTR	R/W	H'FE4F 1018	32	H'0000 0000	H'0000 0000	H'0000 0000
	USB frame index レジスタ	FRINDEX	R/W	H'FE4F 101C	32	H'0000 0000	H'0000 0000	H'0000 0000
	Control data structure segment レジスタ	CTRLSEG	—	H'FE4F 1020	32	H'0000 0000	H'0000 0000	H'0000 0000
	Periodic frame list base address レジスタ	PLSTBASE	R/W	H'FE4F 1024	32	H'0000 0000	H'0000 0000	H'0000 0000
	Current asynchronous list address レジスタ	ALSTADDR	R/W	H'FE4F 1028	32	H'0000 0000	H'0000 0000	H'0000 0000
	Configured flag レジスタ	CFGFLAG	R/W	H'FE4F 1050	32	H'0000 0000	H'0000 0000	H'0000 0000
	Port status and control レジスタ	PORTSC	R/W	H'FE4F 1054	32	H'0000 2000	H'0000 2000	H'0000 2000
	EHCI IP内蔵バッファ制御レジスタ1	EIIBC1	R/W	H'FE4F 1094	32	H'0040 0040	H'0040 0040	H'0040 0040
	EHCI IP 内蔵バッファ制御レジスタ2	EIIBC2	R/W	H'FE4F 109C	32	H'0000 0000	H'0000 0000	H'0000 0000
OHCIコントローラレジスタ	HcRevision レジスタ	HCREV	R/W	H'FE4F 1800	32	H'0000 0010	H'0000 0010	H'0000 0010
	HcControl レジスタ	HCCTRL	R/W	H'FE4F 1804	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcCommandStatus レジスタ	HCCMDSTS	R/W	H'FE4F 1808	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcInterruptStatus レジスタ	HCINTSTS	R/W	H'FE4F 180C	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcInterruptEnable レジスタ	HCINTENB	R/W	H'FE4F 1810	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcInterruptDisable レジスタ	HCINTDIS	R/W	H'FE4F 1814	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcHCCA レジスタ	HCHCCA	R/W	H'FE4F 1818	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcPeriodCurrentED レジスタ	HCPCED	R	H'FE4F 181C	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcControlHeadED レジスタ	HCCHED	R/W	H'FE4F 1820	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcControlCurrentED レジスタ	HCCCED	R/W	H'FE4F 1824	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcBulkHeadED レジスタ	HCBHED	R/W	H'FE4F 1828	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcBulkCurrentED レジスタ	HCBCED	R/W	H'FE4F 182C	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcDoneHead レジスタ	HCDH	R	H'FE4F 1830	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcFmInterval レジスタ	HCFI	R/W	H'FE4F 1834	32	H'0000 2EDF	H'0000 2EDF	H'0000 2EDF

レジスタ名		略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウェアリセット
OHCIコントローラレジスタ	HcFmRemaining レジスタ	HCFR	R/W	H'FE4F 1838	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcFmNumber レジスタ	HCFN	R/W	H'FE4F 183C	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcPeriodicStart レジスタ	HCPS	R/W	H'FE4F 1840	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcLSThreshold レジスタ	HCLST	R/W	H'FE4F 1844	32	H'0000 0628	H'0000 0628	H'0000 0628
	HcRhDescriptorA レジスタ	HCRDA	R/W	H'FE4F 1848	32	H'FF00 0902	H'FF00 0902	H'FF00 0902
	HcRhDescriptorB レジスタ	HCRDB	R/W	H'FE4F 184C	32	H'0006 0000	H'0006 0000	H'0006 0000
	HcRhStatus レジスタ	HCRSTS	R/W	H'FE4F 1850	32	H'0000 0000	H'0000 0000	H'0000 0000
	HcRhPortStatus レジスタ	HCRPSTS	R/W	H'FE4F 1854	32	H'0000 0X00	H'0000 0X00	H'0000 0X00
パワーイネーブルコントロールレジスタ		OCPOWEN	R/W	H'FE5F 0002	16	H'1001	H'1001	H'1001
過電流コントロール レジスタ		OCMSK	R/W	H'FE4F 2004	32	H'0000 0000	H'0000 0000	H'0000 0000
EHCI データアライメントコントロール レジスタ		EHCIDATAC	R/W	H'FE4F E018	32	H'0001 0000	H'0001 0000	H'0001 0000
OHCI データアライメントコントロールレジスタ		OHCIDATAC	R/W	H'FE4F E118	32	H'0001 0000	H'0001 0000	H'0001 0000

32.5.1　USB ファンクション コントローラレジスタ

USB1、USB0に内蔵されているUSB ファンクションコントローラとその SUDMACはレジスタ空間を除き同じです。USB ファンクション コントローラレジスタの仕様については「31.5 レジスタの説明」を参照してください。

32.5.2　EHCI コントローラレジスタ

EHCI コントローラは共通インタフェースを備え、ハイスピード転送に対応する標準コントローラです。EHCIコントローラは EHCI Specification for Universal Serial Bus、Revision 1.0に準拠しています。EHCIの詳細については関連する仕様書を参照してください。

(1)　Capabilityレジスタ（HCCAPBASE）

このレジスタは EHCI オペレーショナルレジスタ空間の先頭とHCのバージョンを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCIVERSION															
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CAPLENGTH							
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～16	HCIVERSION	H'0100	R	ホスト コントローラインタフェースバージョン 本HCで対応しているEHCI改訂番号 のBCD暗号化を含む2バイトのレジスタです。最上位バイトには大幅な修正（H'01）が最下位バイトには軽微な修正が示されます（H'00）。
15～8	—	0	—	リザーブビット
7～ 0	CAPLENGTH	H'10	R	Capability レジスタ長 このレジスタはUSBCMD レジスタを探すためにレジスタベースにオフセットとして追加されるときに使用されます。

(2) Structural Parameters レジスタ（HCSPARAMS）

このレジスタは HC の構造パラメータを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DPN				—	—	—	PI
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	—	—	—	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	N_CC				N_PCC				PRR	—	—	PPC	N_PORTS			
初期値：	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1	0
R/W：	R	R	R	R	R	R	R	R	R	—	—	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～24	—	0	—	リザーブビット
23 ～ 20	DPN	0000	R	Debug Port Number 本モジュールはデバッグポート非対応です。
19～17	—	0	—	リザーブビット
16	PI	0	R	Port Indicators（P_INDICATOR） 本モジュールはポートインディケータコントロール非対応です。
15～12	N_CC	0001	R	Number of Companion Controller（N_CC） 本モジュールはcompanion USB 1.1 host controller（OHCI）を1つ搭載しています。ホスト コントローラ ルートポートはハイスピードのデバイスに加えてフルスピードとロースピードのデバイスをサポートしています。
11～8	N_PCC	0010	R	Number of Ports per Companion Controller（N_PCC） 1つのコンパニオンHCが持つポートの数を示します。ソフトウェア用のポートルーティングを構成するときに用いられます。本モジュールに関しては、N_PORT = 2、N_CC = 1、N_PCC=2のように1つのコンパニオンコントローラが2つのダウンストリームポートをサポートしています。しかし、実際に使用できるのは1ダウンストリームポートです （PHYに接続）。したがって、コンパニオンコントローラで制御されるポートの数は1つです。
7	PRR	0	R	Port Routing Rules それぞれのポートをどのコンパニオンHC に割り当てるかを定めるルーティングルールを指定します。 0：N_PCC 個数分ずつ、HC の若い番号順に割り当てます。 N_PORT=8、N_CC=2、N_PCC=4 だとすると、No1～No4のポートは最初のコンパニオンHCに、No5～No8 のポートは2 番目のコンパニオンHCに割り当てられます。 1：HCSP-PORTROUTE に割り当てルールを定義し、それに従って割り当てます。 本ビットは1つのコンパニオンコントローラがすべてのポートを制御することを示します。
6、5	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
4	PPC	1	R	Port Power Control（PPC） ポート電源のON、OFF を切り替え可能かを示します。 0：ポート電源は切り替え不可。 1：ポート電源は切り替え可能。 本ビットの値は各ポートステータスとコンロールレジスタの機能に影響を与えます。（「32.5.2 (12) Port status and control レジスタ（PORTSC）」参照）
3 ～ 0	N_PORTS	0010	R	N_PORTS HCが持つ物理的ダウンストリームポートの数を示します。この値によってオペレーショナルレジスタ空間のポートレジスタの個数も決まります。本ビットでは本モジュールに関して2つのダウンストリームがあることが示されていますが、実際に使用できるのは1つです（PHYに接続）。

(3)　Capability Parameters レジスタ（HCCPARAMS）

このレジスタは HC の能力に関するパラメータ群を示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EECP								IST				—	ASPC	PFLF	AC
初期値：	1	0	1	0	0	0	0	0	0	0	0	1	0	1	1	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	—	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15 ～ 8	EECP	H'A0	R	EHCI Extended Capabilities Pointer (EECP) ケイパビリティ 一覧を示します。 H'00　：エクステンデッド ケイパビリティは実行されていません。 H'00以外　：最初の EHCI エクステンデッド ケイパビリティのPCIコンフィグレーションスペースがオフセットされます。 本モジュールにPCI インタフェースがないため、本ビットは意味がありません。
7～ 4	IST	0001	R	Isochronous Scheduling Threshold ホスト コントローラを実行する現在の位置に関連して、アイソクロナススケジュールを確実に更新できることを示します。 ビット7＝0　：下位3ビットはマイクロフレームは新しい状態になる前にアイソクロナス データ構造体（1つ以上）を保持できます。 ビット7=1　：1フレーム 分丸ごとキャッシングするのでホストソフトウェアは アイソクロナスデータ構造体をキャッシングできます。

ビット	ビット名	初期値	R/W	説 明
3	—	0	—	リザーブビット
2	ASPC	1	R	Asynchronous Schedule Park Capability アシンクロナススケジュール 内のハイスピード用キューヘッド(QH)に対するパーク機能を有効にするかを指定します。 0：パーク 機能無効 1：パーク 機能有効 この場合、Asynchronous Schedule Park ModeEnableビット、Asynchronous Schedule Park Mode Count ビット（USBCMD レジスタのビット11、9～8）によりパーク機能を使うことができます。
1	PFLF	1	R	Programmable Frame List Flag フレームリスト のサイズが可変かどうかを指定します。 0：フレームリストの要素数は1024 で固定。 この場合、USBCMD レジスタのFrame List Size は読み出し専用であり、0 となります。 1：フレームリストの要素数を変更できます（512、256 に変更することができます）。Frame List Sizeビット（USBCMD レジスタのビット3,2）により変更できます。 フレームリストは常に 4K ページ境界で調整されます。この条件でフレームリストが常に物理的に連続していることを保証しています。
0	AC	0	R	64-bit Addressing Capability 0：32ビットアドレッシング 1：64ビットアドレッシング 本モジュールは32ビットアドレッシングのみをサポートしています。

(4) USB command レジスタ（USBCMD）

このレジスタはシリアルバスホスト コントローラで実行されるコマンドを示します。レジスタに書き込むことで実行予定のコマンドが生じます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	ITC							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ASPME	—	ASPMC		LHCR	IAAD	ASE	PSE	FLS		HCRESET	RS
初期値：	0	0	0	0	1	0	1	1	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 24	—	0	—	リザーブビット
23～ 16	ITC	H'08	R/W	Interrupt Threshold Control ホスト コントローラがハードウェア割り込みを発生させる頻度（割り込みの最大間隔）を設定します。 H'00: 設定禁止 H'01: 1マイクロフレーム H'02: 2マイクロフレーム H'04: 4マイクロフレーム H'08: 8マイクロフレーム（初期値、1ms） H'10: 16マイクロフレーム（2 ms） H'20: 32マイクロフレーム（4 ms） H'40: 64マイクロフレーム（8 ms） このビットは、HCHALTビット（USBSTSレジスタのビット12）が“1” のときに設定してください。
15 ～ 12	—	0	—	リザーブビット
11	ASPME	1	R/W	Asynchronous Schedule Park Mode Enable アシンクロナススケジュールのパークモードを有効にします。 0：パークモード無効 1：パークモード有効
10	—	0	—	リザーブビット
9、8	ASPMC	11	R/W	Asynchronous Schedule Park Mode Count 連続したトランザクションの数を示します。これは横断的なアシンクロナススケジュールを継続する前にホスト コントローラがハイスピードキューの先頭より実行することが許可されているものです。有効値は H'1～ H'3です。Asynchronous Schedule Park Mode Enableが”1”のとき本ビットに”0”を書き込まないでください。不定な値となります。

ビット	ビット名	初期値	R/W	説 明
7	LHCR	0	R/W	Light Host Controller Reset 本ビットに”1”をセットすると、ドライバはポートの状態やコンパニオンHCに影響を与えることなくEHCI コントローラをリセットできます。 0：Light Host Controller Reset は完了。 HC を再初期化してください。 1：Light Host Controller Reset 実行中。
6	IAAD	0	R/W	Interrupt on Async Advance Doorbell HCに対して、アシンクロナススケジュールの処理を進めたときに割り込みを発生させるように依頼するためのものです。 本ビットに”1”が書き込まれる必要があります。HCがすべてのキャッシュされたスケジュールの状態を取り込んだ場合、Interrupt on Async Advance ビット（USBSTS レジスタのビット5）がセットされます。 0：USBINTR レジスタのInterrupt on Async Advance Enable が”1”にセットされた後にセットします。 1：HCは次の割り込みスレショールドで割り込みを発生させます。 アシンクロナススケジュールが無効のときに本ビットに”1”を書き込まないでください。不定な値となります。
5	ASE	0	R/W	Asynchronous Schedule Enable HC がアシンクロナススケジュールを実行するか、もしくは実行しないでスキップするかを指定します。 0：アシンクロナススケジュール を処理しません。 1：ALSTADDR レジスタを使って、アシンクロナススケジュール を処理します。
4	PSE	0	R/W	Periodic Schedule Enable HC がピリオデックスケジュールを実行するか、もしくは実行しないでスキップするかを指定します。 0：ピリオデックスケジュール を処理しません。 1：PLSTBASE レジスタを使って、ピリオデックスケジュールを処理します。
3、2	FLS	00	R/W	Frame List Size フレームリストのサイズを規定します。 このビットで規定したフレームリスト のサイズによって、FRINDEX レジスタのどのビットをFrame List Current Index のために使うかが決まります。 00：1024 要素 （4096 バイト） 01：512 要素 （2048 バイト） 10：256 要素 （1024 バイト）（リソースが制約されている環境用） 11：設定禁止

ビット	ビット名	初期値	R/W	説 明
1	HCRESET	0	R/W	Host Controller Reset (HCRESET) HC をリセットします。このビットによりHC がリセットされた場合、ルートハブ のレジスタについては、チップのハードウェアリセットと同様になります。 このビットに”1”をセットした場合、HC内のパイプライン、タイマ、カウンタ、ステート・マシン などがリセットされ、初期値がセットされます。また、その時点で行われているすべての転送が直ちに終了します。 ダウンストリームポートにはこのリセットはドライブされません。 ポートレジスタ、ポートステート・マシンを含めたすべてのオペレーショナルレジスタは初期値に戻されます。ポート のオーナシップはコンパニオン HCに戻されます。そのため、リセット後HC を再度動作状態に戻すために、HC を再初期化する必要があります。 HCがリセット処理が完了したときにビットをクリアします。リセット処理中に本ビットをクリアしてリセット処理を中断させることはできません。 このビットは、HCHALT ビット（USBSTS レジスタのビット12）が“1”のときに設定してください。
0	RS	0	R/W	Run/Stop 0：停止 ”0” を書くと、HC は現在実行中のすべての通信を完了させて、動作を停止します。HC の停止は、HCHALT ビット（USBSTS レジスタのビット12）で確認してください。 1：動作（HC はスケジュール実行中） このビットへの“1”設定は、HCHALT ビットが“0”のときに行ってください。

(5) USB status レジスタ（USBSTS）

このレジスタは割り込みなどホスト コントローラの各種のステータス情報を示します。シリアルバスからの通信により生じた結果は示されていません。”1”を書き込むことで本ビットをクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ASS	PSS	REC	HC HALT	—	—	—	—	—	—	IAA	HSE	FLR	PCD	USBER RINT	USB INT
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15	ASS	0	R	Asynchronous Schedule Status アシンクロナススケジュールの現在の状態を示します。 0：アシンクロナススケジュール無効 1：アシンクロナススケジュール有効 本ビットとUSBCMD レジスタのAsynchronous Schedule Enable ビットが一致していれば、アシンクロナススケジュールが有効か無効 か確認可能です。
14	PSS	0	R	Periodic Schedule Status ピリオデックスケジュールの現在の状態を示します。 0：ピリオデックスケジュール無効 1：ピリオデックスケジュール有効 このビットとPeriodic Schedule Enable ビット（USBCMD レジスタのビット4）が一致していれば、ピリオデックスケジュールが有効 か無効 か確認可能です。
13	REC	0	R	Reclamation 読み出し専用のステータスビットで、アシンクロナススケジュールが空の状態を検出した場合にセットされます。
12	HCHALT	1	R	HCHalted 0：USBCMD レジスタのRun/Stop ビットが1 である場合。 1：USBCMD レジスタのRun/Stop ビットがクリアされて、HC が停止した場合。 USBCMD レジスタのRun/Stop ビットのクリアは、ソフトウェア、ハードウェアからも行われます（内部エラーなどの場合）。
11～6	—	0	—	リザーブビット
5	IAA	0	R/W（注）	Interrupt on Async Advance HCがアシンクロナススケジュールを進めたときに、Interrupt On Async Advance Doorbell ビット（USBCMD レジスタ のビット6）に”1”を書き込むことで割り込み発生を強制することができます。 本ステータスビットは、割り込み要因を示します。

ビット	ビット名	初期値	R/W	説 明
4	HSE	0	R/W（注）	Host System Error 内部バスアクセスの最中に重大なエラーが起こった場合に、HC が本ビットを”1”にセットします。 このエラーが起こった場合、HC はRun/Stop ビット（USBCMD レジスタのビット0）を”0 ”にして、スケジュールされているトランスファディスクリプタ (TD)が実行されないようにします。
3	FLR	0	R/W（注）	Frame List Rollover FRINDEX レジスタが最大値から0 へロール オーバした場合に、HCが本ビットを”1”にセットします。 ロール オーバの実際の値はFrame List Size によって異なります。例えば、(USBCMD レジスタのFrame List Sizeでプログラミングされているように）Frame List Sizeが1024 にセットされていれば、FRINDEX[13]がトグルするたびに ロール オーバします。同様に、512 なら、FRINDEX[12]がトグルするたびに ロール オーバします。
2	PCD	0	R/W（注）	Port Change Detect このビットは、以下の場合にHC がセットします。 • Port Owner ビットが”0” であるポートで、Port Owner ビットが”1” になった場合。 • サスペンド中のポートで、J-K の遷移を検出し、Force Resume Transition ビットが”0 ”から”1”に変化した場合。 • Connect Status Changeが”1” で、Port Owner ビットに”1” を書き込み、ポートのオーナシップを放棄した場合。
1	USBERRINT	0	R/W（注）	USB Error Interrupt (USBERRINT) USB 転送がエラーになった場合に（つまり、エラーカウンタがアンダフローした場合）、HC が本ビットを”1”にセットします。 IOCが”1”となったTDがエラーになった場合は、本ビットとUSBSTS レジスタのUSBINT ビットの両方がセットされます。
0	USBINT	0	R/W（注）	USB Interrupt (USBINT) HCがUSB 転送が完了した際に本ビットを”1”にセットし、その結果IOCが”1”となってTD がリタイアします。 ショートパケットが検出された場合（受信したデータサイズが、期待していたサイズより少なかった場合）にもHCは本ビットを”1”にセットします。

注.　“1” を書くと“0”になります、“0” を書いても変化しません。

(6) USB interrupt enable レジスタ（USBINTR）

このレジスタは、割り込みの有効／無効を設定します。割り込みを無効にしても、USBSTS レジスタの割り込み要因ビットはクリアされませんので、割り込みを使用せず、ソフトウエアで割り込み要因ビットをポーリングすることも可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	AAE	HSEE	FLRE	PCIE	UEIE	UIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 6	—	0	—	リザーブビット
5	AAE	0	R/W	Interrupt on Async Advance Enable 0：無効 1：有効 本ビットが”1”で、かつInterrupt on Async Advanceビット（USBSTS レジスタのビット5）が”1”にセットされていれば、HC はハードウェア割り込みを発生させます。ソフトウェアで Interrupt on Async Advance ビットをクリアするとハードウェアの割り込みが通知されます。
4	HSEE	0	R/W	Host System Error Enable 0：無効 1：有効 本ビットが”1”で、かつHost System Error ビット（USBSTS レジスタのビット4）が”1”にセットされていれば、HC はハードウェア割り込みを発生させます。ソフトウェアで Host System Error ビットをクリアするとハードウェアの割り込みが通知されます。
3	FLRE	0	R/W	Frame List Rollover Enable 0：無効 1：有効 本ビットが”1”で、かつFrame List Rollover ビット（USBSTS レジスタのビット3）が”1”にセットされていれば、HC はハードウェア割り込みを発生させます。ソフトウェアでFrame List Rollover ビットをクリアするとハードウェアの割り込みが通知されます。
2	PCIE	0	R/W	Port Change Interrupt Enable 0：無効 1：有効 本ビットが”1”で、かつPort Change Detect ビット（USBSTS レジスタのビット2）が”1”にセットされていれば、HC はハードウェア割り込みを発生させます。ソフトウェアで Port Change Detectビットをクリアするとハードウェアの割り込みが通知されます。

ビット	ビット名	初期値	R/W	説 明
1	UEIE	0	R/W	USB Error Interrupt Enable 0：無効 1：有効 本ビットが”1”で、かつUSBERRINT ビット（USBSTS レジスタのビット1）が”1”にセットされていれば、HCはハードウェア割り込みを発生させます。ソフトウェアで USBSTS レジスタのUSBERRINTビットをクリアするとハードウェアの割り込みが通知されます。
0	UIE	0	R/W	USB Interrupt Enable 0：無効 1：有効 本ビットが”1”で、かつUSBINT ビット（USBSTS レジスタのビット0）が”1”にセットされていれば、HCはハードウェア割り込みを発生させます。ソフトウェアで USBSTS レジスタのUSBINTビットをクリアするとハードウェアの割り込みが通知されます。

(7)　USB frame index レジスタ （FRINDEX）

HC がピリオデックフレームリストを参照するときにこのレジスタを使用します。このレジスタは 125µs ごとアップデートされます（各マイクロフレームに 1 回）。ピリオデックスケジュールを実行している間にピリオデックフレームリストへの特別なエントリを選別する際に [N:3] ビットを使用します。インデックスで使用されているビット数はフレームリストのサイズによって異なり、Frame List Size ビット（USBCMD レジスタのビット 3、2）からセットします。

このレジスタはロングワードで書き込みをする必要があります。バイトで書き込むと不定な値となります。HCHALT ビット（USBSTS レジスタのビット 12）で記載したように、HC が Halted state になるまでこのレジスタには書き込めません。Run/Stop ビット（USBCMD レジスタのビット 0）が ”1” にセットされているときにこのレジスタに書き込むと不定な値となります。また、SOF 値にも影響を及ぼします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	FI													
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 14	—	0	—	リザーブビット
13 ～ 0	FI	H'0000	R/W	Frame Index 各フレームの最後に、この値がインクリメントされます（例：マイクロフレーム）。フレームリストのカレントインデックス のために[N:3]ビットを使います。つまり、フレームリストのそれぞれの場所へのアクセスは、8 マイクロフレーム（1 フレーム）ごとに行われます。以下はFrame List Size ビット（USBCMD レジスタのビット 3、2）の N ベースの値を示します。

Frame List Size（FLS ビット）	要素数	N
00	1024	12
01	512	11
10	256	10
11	選択禁止	—

このレジスタから SOF トークン用の SOF フレーム番号を発生あるいは管理します。FRINDEX の値は SOF トークン値より 125 µs （1 マイクロフレーム）進んでいる必要があります。SOF 値は 11 ビットシャドーレジスタとして実行される可能性があります。したがって、このシャドーレジスタは 11 ビットで名称は SOFV です。SOFV は 8 マイクロフレームごとに更新します（1 ミリ秒）。例えば、FRINDEX[2:0] が 0 から ”1” にインクリメントするたびに SOFV インクリメントします。

ソフトウェアによる場合は現在のマイクロフレーム番号を発生させるために FRINDEX の値を使用する必要があります。これは、ハイスピードのアイソクロナススケジューリングとクライアントドライバが求める「get micro-frame number」を提供するためです。したがって、チップがリセットしたり FRINDEX に書き込む場合には FRINDEX と SOFV の値は一致している必要があります。FRINDEX に書き込む場合は FRINDEX[13:3] ～ SOFV[10:0] まで書き込む必要があります。更新を可能な限り簡素化するために、下位 3 ビットが 111 あるいは 000 のときは書き込めません。

(8)　Control data structure segment レジスタ (CTRLSEG)

このレジスタはすべてのEHCIデータ構造体の上位32ビット [63:32] を示します。64ビット Addressing Capability ビット（HCCPARAMS レジスタのビット0）が0のとき、このレジスタは使用されません。ソフトウェアによる場合はこのレジスタに書き込めず、読み出した場合は”0”に戻ります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～0	—	H'0000 0000	—	本モジュールは 32 ビットアドレッシングのみをサポートしているため、このレジスタはリザーブビットとなります。

(9)　Periodic frame list base address レジスタ（PLSTBASE）

システムメモリ内のピリオデックフレームリストの先頭アドレスを含む 32 ビットのレジスタです。ソフトウェアを使用するときは、HC がピリオデックスケジュールを実行する前にこのレジスタをロードします。物理メモリポインタで参照されるメモリ構造体は 4K バイトで調整されることになっています。このレジスタと FRINDEX レジスタによって、HC がピリオデックフレームリストを順序どおりに処理できることになります。アクセスはロングワードで実行してください、バイトで書き込むと不定な値となります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BASE															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BASE				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 12	BASE	H'0 0000	R/W	Base Address それぞれ [31:12] のメモリアドレス信号に対応します。
11 ～ 0	—	0	—	リザーブビット ランタイムのときはビット値は不定となります。

(10) Current asynchronous list address レジスタ（ALSTADDR）

次に実行されるアシンクロナスQHのアドレスを含む32ビットのレジスタです。このレジスタの [4:0] ビットはソフトウェアで修正できず、読み出されると必ず ”0” に戻ります。この物理メモリポインタで参照されるメモリ構造体は32バイト（キャッシュライン）で調整されることになっています。アクセスはロングワードで実行してください、バイトで書き込むと不定な値となります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LPL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LPL											—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～5	LPL	H'000 0000	R/W	Link Pointer Low それぞれ [31:5]のメモリアドレス信号に対応します。 QHの参照に限ります。
4～ 0	—	0	—	リザーブビット

(11) Configured flag レジスタ（CFGFLAG）

ポートのオーナシップを示す 32 ビットのレジスタです。アクセスはロングワードで実行してください、バイトで書き込むと不定な値となります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～ 1	—	0	—	リザーブビット
0	CF	0	R/W	Configure Flag HC構成処理の最後の動作として本ビットをセットします。本ビットはデフォルトのポートルーティングルールを規定します。 0 : それぞれのポートは、それぞれ対応のHCにルーティングされます。 1 : 全ポートは、HCにルーティングされます。

(12) Port status and control レジスタ（PORTSC）

HCで実際に実装されたポートレジスタの数はHCSPARAMレジスタで確認できます。入力パラメータに必要なポートの数を決める際にこの情報を使用します。SH7753では1ポートしか使用できませんので、PORTSC1レジスタのみが有効となります。すべてのポートは以下の構造を有しています。

ポートの初期状態：
- デバイスは接続されていない
- ポートは無効

ポート電源制御をする場合は、ポート電源を”1”にセットして電源をポートに適用するまでポートの状態を変更することはできません。ポート電源が安定するまで、ポートの状態を変更しないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	WKOC_E	WKDSCNT_E	WKCNNT_E	PTC			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIC		PO	PP	LSTATE		—	PR	SUSP	FPR	OCC	OCA	PEC	PE	CSC	CCS
初期値：	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	—	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説 明
31 ～23	—	0	—	リザーブビット
22	WKOC_E	0	R/W	Wake on Over-Current Enable 0：ポート電源が”0”のとき 1：ウエイクアップイベントとして、ポートの過電流検出を有効にします。
21	WKDSCNNT_E	0	R/W	Wake on Disconnect Enable 0：ポート電源が”0”のとき 1：ウエイクアップイベントとして、デバイスの切断検出を有効にします。
20	WKCNNT_E	0	R/W	Wake on Connect Enable 0：ポート電源が”0”のとき 1：ウエイクアップイベントとして、デバイスの接続検出を有効にします。
19～ 16	PTC	0000	R/W	Port Test Control ポートのテストモードを制御します。テストモードのエンコードは以下のとおり（0110 ～ 1111は設定禁止）： 0000: テストモード無効 0001: Test J_STATE 0010: Test K_STATE 0011: Test SE0_NAK 0100: Test Packet 0101: Test FORCE_ENABLE

ビット	ビット名	初期値	R/W	説 明
15、14	PIC	00	R/W	Port Indicator Control 本モジュールはポートインディケータコントロールをサポートしません。ビットに書き込んでも無効です。
13	PO	1	R/W	Port Owner CFビット（CFGFLAGレジスタのビット0）が0→1になった場合は、このビットは無条件で”0” になります。逆にCFビットが”0” になった場合、このビットは無条件で”1 ”になります。 接続されたデバイスがハイスピード デバイスでない場合、このビットを“1”にして、オーナシップを解放してください。 接続されたデバイスがハイスピードデバイスでない場合のポートのオーナーは、コンパニオンHCです。
12	PP	0	R/W	Port Power HCはポート電源制御スイッチを持っています。本ビットはスイッチの現在の状況を示します（0 = off、1 = on）。本ビットが ”0” つまりポート電源がOFF の場合はポートが機能しないので、接続・切断の検知なども行われません。過電流 が検出された場合で、PPC=1 である場合は、そのポートのPPビットはHC によって”1”から”0”にクリアされ、ポート電源がOFFにされます。
11、10	LSTATE	00	R	Line State 現在のD+/D-の論理レベルを示します。D+が11ビット目、D-が10ビット目に示されます。このビットはポートリセット／ポートイネーブル処理に先立って、ロースピード デバイスの接続を検知するために使われます。このビットの値は、ポートイネーブルが0 かつこのレジスタのCurrent Connect Statusが”1”である場合のみ有効です。 ビットのエンコードを以下に示します。 [11:10] ビット　USBの状態　説明 00　SE0　ロースピードデバイスではありません。EHCI リセットを行ってください。 10　J-state　ロースピードデバイスではありません。EHCI リセットを行ってください。 01　K-state　ロースピードデバイスです。ポートのオーナーシップを解放してください。 11　不定　ロースピードデバイスではありません。EHCI リセットを行ってください。 このレジスタのPort Powerが”0”のとき、このビットの値は不定となります。
9	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
8	PR	0	R/W	Port Reset 0：ポートはリセット 中ではありません。 1：ポートはリセット中です。 本ビットに書き込み”0”から”1”にすると、USB2.0 仕様書で規定されたバスリセット処理が開始します。バスリセット処理を完了するために、本ビットに0 ライトする必要があります。USB2.0 仕様書で規定されたリセット期間が完了するまで、このビットを”1”に保ちつづける必要があります。 注1. このビットを0→1 にする場合は、このレジスタのPort Enabledビットを”0 ”にする必要があります。 2. このビットを”0” にしても、このビットが”0” になるのは多少遅延します。 このビットをリードしても、リセット処理が完了するまでは、”0” が読み出されません。ポートがハイスピードモードの場合で、リセットが完了した場合は、HC は自動的にポートを有効にします（PortEnable=1）。HC はこのビットを”0” にセットしてから2ms 以内に、リセットを完了させてポートを安定させる必要があります。たとえば、ポートリセット中にハイスピード デバイスの接続を検知した場合、このビットを”0” にセットしてから2ms 以内に、ポートを有効にする必要があります。 3. このビットは、HCHALTビット（USBSTS レジスタのビット12）が“0”のときに設定してください。 HCは、HCHALTビットが”1 ”である間は、このPortReset ビットを”1” に保ちつづける必要があります。 ポート電源が”0”のとき、このビットは”0”となります。
7	SUSP	0	R/W	Suspend 0：ポートはサスペンド状態ではありません。 1：ポートはサスペンド状態です。 Port EnabledとSuspendビットのセットにより、ポートの状態は以下のようになります。 ビット [Port Enabled、Suspend]　ポートの状態 0X　無効 10　有効 11　サスペンド サスペンド 状態では、このポートのダウンストリームへのデータの伝播はブロックされます。ただし、Port Reset は伝わります。転送が処理中でビットに”1”が書き込まれた場合、現在の転送の最後の段階でデータのブロックが行われます。サスペンド 状態では、ポートはレジュームを検出することができます。 ポートがサスペンド状態になるまでこのビットは変化しません。また、現在の転送がUSBで処理中の場合、ポートのサスペンドに遅れが生じる可能性があります。 本ビットを”0”にしてもHCは無視します。HC は以下の条件が成立したら無条件でこのビットをクリアします。 • Force Port Resume ビットを0→1 にセット。 • Port Reset ビットを0→1 にセット。 ポートが有効でなく（つまり、Port Enable ビットが0のとき）本ビットを”1”にセットしたとき、不定となります。 ポート電源が”0”のとき、このビットは”0”となります。

ビット	ビット名	初期値	R/W	説 明
6	FPR	0	R/W	Force Port Resume 0：ポートはレジューム（K 状態）を検知してないし、ドライブもしていません。 1：ポートがレジューム したことを検知もしくは、レジュームをドライブしていることを検知しました。 Suspend ビットの値により、本ビットの機能面での定義は異なります。たとえば、ポートがサスペンド状態ではなく（Suspend ビット＆PortEnable ビットがともに”1”）本ビットを”1”にすると、バスの効果は不定となります。 本ビットに”1”をセットしてレジューム信号を起動します。J→K の遷移が検知されたため本ビットが”1”になったときはPort Change Detect ビット（USBSTS レジスタのビット2）も”1”にセットされます。本ビットが”1”にセットされたときはHCはPort Change Detect ビットをセットできません。 注． EHCI がポートのオーナである場合は、レジューム の処理はUSB2.0 仕様書に従います。このビットが”1” である間中、レジューム信号（Full-Speed K）をドライブしつづけます。適切な時間だけレジューム して、十分な時間レジュームしたあと、このビットに0 をセットする必要があります。このビットを1→0 にセットすると、ポートはハイスピード モードに戻ります（バスをハイスピード のアイドル にフォースする）。このビットは、ハイスピードのアイドルにスイッチできるまでは0 を書き込まれても”1” のままです。HCはソフトウェアがこのビットに”0” を書き込んでから2ms 以内にこのスイッチを完了する必要があります。 ポート電源が”0”のとき、このビットは”0”となります。
5	OCC	0	R/W	Over-Current Change 0：状態に変化はありません。 1：ポートの過電流状態が非アクティブ からアクティブ 状態に変化したことを示します。 ソフトウェアはこのビットに”1”を書き込むことで、このビットをクリアすることができます。
4	OCA	0	R	Over-Current Active 0：ポートは過電流状態にはありません。 1：ポート は過電流状態にあります。 本ビットは 過電流状態が取り除かれたら、自動的に”0” へとクリアされます。
3	PEC	0	R/W	Port Enable/Disable Change 0：状態に変化はありません。 1：ポートの有効/無効の状態が変化したことを示します。 このビットが”1”にセットされるのは、EOF2 の時点でポートが無効になるような条件が存在していて、ポートが無効にになった場合のみです。本ビットに”1”を書き込むことでクリアします。 ポート電源が”0”のとき、このビットは”0”となります。

ビット	ビット名	初期値	R/W	説 明
2	PE	0	R/W	Port Enabled/Disabled 0：ポートが無効（デフォルト） 1：ポートが有効 ポートが有効になるのは、ポートリセットを行ったときのみであり、ソフトウェアが本ビットをセットすることでポートを有効にすることはできません。ポートを有効にできるのはHC だけです。 HCは、リセットシーケンスによって接続デバイスがハイスピードデバイスであると確定したときのみ、本ビットをセットすることができます。 ポートは、フォルトコンディションになった場合（ディスコネクト 発生やその他フォルトイベント）、もしくはソフトウェアによってのみ無効にされます。 注1. ポートの状態が本当に変化するまでは、このビットの状態は変化しません。 HC の別の処理やバス の処理などで、ポートが有効／無効 になるのが遅れる場合があります。 2. このビットが”0”でポートが無効のときはダウンストリーム にデータは伝播しません。ただし、リセットは伝わります。 ポート電源が”0”のとき、このビットは”0”となります。
1	CSC	0	R/W	Connect Status Change 0：変化ありません。 1：Current Connect Status が変化がありました。 本ビットをクリアしていなくても、ポートのデバイス接続状態になんらかの変化が起これば、HC は本ビットをセットします。例えば、変化した条件がをクリアする前に挿入の状態は2回変化し、ハブハードウェアはすでにセットされたビットとして「セット」されます（つまり、ビットはセットされたままです）。”1 ”を書き込むことで、このビットを”0”にクリアすることができます。 ポート電源が”0”のとき、このビットは”0”となります。
0	CCS	0	R	Current Connect Status 0：デバイスがポートに存在していません。 1：デバイスがポートに存在しています。 このビットは、ポートの状態を反映するものであり、Connect Status Changeビットがセットされるようなイベントが発生してもそれに直接は影響されません。 ポート電源が”0”のとき、このビットは”0”となります。

(13) EHCI IP内蔵バッファ制御レジスタ1（EIIBC1）

EHCI IP 内部にはUSB転送時に使用する1024 バイト（1Kバイト）バッファを搭載しています。このバッファはUSBバスへの転送とAHBマスタ転送の調停を行っており、転送開始しきい値をこのレジスタで設定することができます。

OUT転送の場合、AHBマスタリードにより1Kバイトバッファに送信データを一時的に保存し、OUT_THRESHOLDビットで設定した値×4バイト、または、qHEAD/iTD/siTDで設定したMaxPacketSizeまでデータが保存されると、実際にUSB OUT転送が開始されます。何らかの原因でAHBマスタリードの速度がUSB転送速度より低くなると、EHCI規格で規定されたデータバッファエラーが発生し、CRCエラーのパケットを送信し、データを再送します（アイソクロナスの場合は再送なし）。そのため、OUT_THRESHOLDビットは最大値（H'FF）に設定することを推奨します。

IN転送の場合、USB IN転送で受信したデータを1K バイトバッファに一時的に保存し、IN_THRESHOLDビットで設定した値×4 バイトまでデータが保存されると、AHBマスタライトが発生します。IN転送の場合、IN_THRESHOLDビットの値にかかわらず、AHBマスタライトの速度が遅くなってもデータバッファエラーは発生しません。ただし、IN_THRESHOLDビットの設定値が小さいとAHBバスのリクエストが分割されて転送効率が落ちる可能性があるため、IN_THRESHOLDビットはH’40に設定することを推奨します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	OUT_THRESHOLD							
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IN_THRESHOLD							
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 24	—	0	—	リザーブビット
23～ 16	OUT_THRESHOLD	H'40	R/W	EHCI IP 転送用内部バッファ USB OUT転送開始しきい値 （4バイト/1 ビット） 推奨値 ：OUT_THRESHOLD [7:0] = H'FF EHCIが使用されるとき、OUT_THRESHOLDの値と関係なく、BUFFER_ENABLE ビット（EIIBC2 レジスタのビット0）を”1”にしてください。
15 ～ 8	—	0	—	リザーブビット
7 ～0	IN_THRESHOLD	H'40	R/W	EHCI IP 転送用内部バッファ AHBマスタライト開始しきい値（4 バイト/1 ビット） 推奨値 ：IN_THRESHOLD [7:0] = H'40 EHCIが使用されるとき、IN_THRESHOLDの値と関係なくBUFFER_ENABLE ビット（EIIBC2 レジスタのビット0）を”1”にしてください。

(14) EHCI IP内蔵バッファ制御レジスタ 2 （EIIBC2）

EHCI IP 内蔵バッファ制御レジスタ 2 は EHCI 転送の内蔵バッファ機能を有効にするレジスタです。EHCIが使用されるときは、このレジスタのBUFFER_ENABLE ビットに常に” 1 ”をセットしてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUFFER ENABLE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	BUFFER_ENABLE	0	R/W	EHCI IP OUT/IN 転送に有効な転送用内部バッファファンクション 0：転送用内部バッファファンクションは無効です。 1：転送用内部バッファファンクションは有効です。 EHCIが使用されるとき、常にビットに”1” をセットしてください。

32.5.3　OHCI コントローラレジスタ

USB1 に実装されているもうひとつの HC である OHCI コントローラは EHCI コンパニオンコントローラとして機能します。Universal Serial Bus Specification Revision 2.0 規格でハイスピード転送をサポートする EHCI と異なり、OHCI コントローラは Universal Serial Bus Specification Revision 1.1 でフルスピードとロースピードの転送をサポートします。OHCI コントローラは標準コントローラです。OHCI の詳細については、Open Host Controller Interface Specification for USB Revision 1.0a を参照してください。

(1)　HcRevision レジスタ（HCREV）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REV							
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	—	0	—	リザーブビット
7 ～ 0	REV	H'10	R	Revision ハードウェアがサポートする Open HCI 仕様のリビジョン番号を示します。本 USB HC は、Open HCI 1.0 仕様をサポートしています。

(2)　HcControl レジスタ（HCCTRL）

このレジスタは HC の動作モードを割り当てます。Host Controller Function State と Remote Wakeup Command fields を除くこのレジスタのすべてのビットはホストコントローラドライバ（HCD）により修正されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RWE	RWC	IR	HCFS		BLE	CLE	IE	PLE	CBSR	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～ 11	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
10	RWE	0	R/W	Remote Wakeup Enable リモートウェイクアップ信号をサポートしている場合、このビットでリモートウェイクアップ機能を有効にします。USB ホストモジュールではリモートウェイクアップ信号をサポートしていないので、このビットは無視されます。必ず”0”を書き込んでください。
9	RWC	0	R/W	Remote Wakeup Connected HCがリモートウェイクアップ信号をサポートするかどうかを示します。リモートウェイクアップがサポートされ、使用されている場合、システムファームウエアがパワーオンシステムテスト(POST)の間に本ビットを設定します。本ファンクションはサポートされていません。
8	IR	0	R/W	Interrupt Routing 割り込みの通知先を指定します。このファンクションはサポートされていません。本モジュールにはPCIインタフェースがないため、通常の割り込みとシステムマネージメント割り込み（SMI）は同様に扱われます。すべての割り込みは割り込みコントローラに接続します（INTC）。
7、6	HCFS	00	R/W	Host Controller Functional State 00：USB リセット 01：USB レジューム 10：USB 動作 11：USB サスペンド HCDがStart Of Frameビット（HcInterruptStatusレジスタのビット2）を読み出すことでSOFを送信し始めたかどうかを示します。 USBサスペンド状態のときに限り、HCは本ビットを変更できます。HCは、ダウンストリームのポートから送信されたレジューム信号を検出すると、強制的にUSBサスペンド状態をUSBレジューム状態に切り替えます。 HCはソフトウェアリセットの後にUSBサスペンド状態になり、ハードウェアリセットの後にUSB 状態になります。後者の場合、ルートハブもリセットされ、ダウンストリームのポートにリセット信号をアサートします。
5	BLE	0	R/W	Bulk List Enable このビットをセットすると、バルクリストの処理を有効にします。リストの処理を決定するときはHCはいつでも本ビットをチェックします。無効のときは、HCDはリストを修正します。HcBulkCurrentEDレジスタが削除予定のエンドポイントを指しているときは、HCDはリストの処理が再度できなくなる前にHcBulkCurrentEDレジスタを更新して、ポインタを進める必要があります。
4	CLE	0	R/W	Control List Enable このビットをセットすると、コントロールリストの処理を有効にします。クリアになった場合は、コントロールリストの処理は次のSOFの後には行われません。リストの処理を決定するときはHCはいつでも本ビットをチェックします。無効のときは、HCDはリストを修正します。HcControlCurrentEDが 削除予定のエンドポイントを指しているときは、HCDはリストの処理が再度できなくなる前にHcControlCurrentEDを更新してポインタを進める必要があります。

ビット	ビット名	初期値	R/W	説 明
3	IE	0	R/W	Isochronous Enable ピリオデックリストが有効なとき、このビットをクリアすると、アイソクロナスリストを無効にします。ピリオデックリスト処理中に、HCはアイソクロナスエンドポイント を見つけると、このビットの状態をチェックします。セット（有効）のときは、エンドポイントの処理が継続します。クリア（無効）のときは、ピリオデックリストの処理が停止します（現在はアイソクロナスエンドポイントのみが含まれています）そしてバルク/コントロールリストの処理が開始します。本ビットをセットすることで次のフレーム（現在のフレームではなく）で効果を出すことが保証されます。
2	PLE	0	R/W	Periodic List Enable このビットをセットすると、ピリオデックリスト（インタラプトリストとアイソクロナスリスト）の処理を有効にします。クリアになると、次のSOFの後にピリオデックリストの処理は発生しません。フレーム内のピリオデック転送を行う前に、HCはこのビットの状態をチェックします。
1、0	CBSR	00	R/W	Control Bulk Service Ratio CBSR : バルクエンドポイント1個に対するコントロールエンドポイントの処理数 00：1:1 01：2:1 10：3:1 11：4:1 バルクエンドポイント1 個に対し、いくつのコントロールエンドポイントを処理するかを指定します。すべての非周期リスト処理を行う前に、他のコントロールエンドポイントの処理を続けるか、あるいはバルクエンドポイントに切り替えるかを決定するにあたって、HCはどれだけのノンエンプティコントロールエンドポイントが処理されたかをインターナルカウントで規定された割合と比較しなければなりません。インターナルカウントは境界を越えるときに保持されます。リセットのときは、HCDがこの値を再設定する必要があります。

(3) HcCommandStatus レジスタ（HCCMDSTS）

このレジスタはHCDが発行するコマンドを受け取るのと、HCの現在の状態を反映するのに使用します。HCDに対しては「設定用の書き込み」レジスタとなります。このレジスタのビットに”1”を書き込むと対応するビットが”1”にセットされます。”0”を書き込むと対応するビットは変化しません。HCDは以前発行されたコマンドの改ざんを気にすることなく複数の異なるコントローラをHCへ発行できます。すべてのビットに正常にリードアクセスできます。

HCがscheduling overrun エラーを検出したフレームの数がScheduling Overrun Countビット（HcCommandStatusレジスタのビット17、16）に示されています。このエラーは、ピリオデックリストがEOFの前に完成しなかったときに発生します。Scheduling overrun エラーが検出されたとき、HCはカウンタをインクリメントし、HcInterruptStatusレジスタにScheduling Overrun ビットをセットします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOC	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	OCR	BLF	CLF	HCR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 18	—	0	—	リザーブビット
17、16	SOC	00	R	Scheduling Overrun Count ビット値はscheduling overrunエラーごとにインクリメントされます。カウント値11 のあとにインクリメントが起こると、値は00 に戻ります。Scheduling Overrun ビット（HcInterruptStatusレジスタのビット0）が既に“1”になっている場合でも、scheduling overrunが検出されたときに、このビットの値がインクリメントされます。本ビット、HCDがすべての繰り返し起こるスケジューリングも問題をモニタするのに使用されます。
15 ～ 4	—	0	—	リザーブビット
3	OCR	0	R/W	Ownership Change Request OS HCDがHCの制御リクエストを変更するときに本ビットがセットされます。ソフトウェアでこのビットをセットすると、Ownership Change ビット（HcInterruptStatus レジスタのビット30）がセットされます。このビットは、OS HCDから次のリクエストがあるまでソフトウェアでクリアできます。

ビット	ビット名	初期値	R/W	説 明
2	BLF	0	R/W	Bulk List Filled このビットがセットされているとき、バルクリストにアクティブエンドポイント があることを示します。このビットは、ソフトウェアとHCのどちらからもセットできます。 HCは、バルクリストの先頭から処理を開始するたびに、このビットをクリアします。 0：バルクリストの処理は開始されません。 1：バルクリストの処理が開始され、BFが”0”にセットされます。 リストにTDがあるときはBulk List Filledが”1”にセットされ、バルクリスト処理が継続します。 リストにTDがないときは、Bulk List Filledは 0 のままです。HCはバルクリストの処理を完了し、バルクリストの処理は停止します。
1	CLF	0	R/W	Control List Filled このビットがセットされているとき、コントロールリストにアクティブエンドポイント があることを示します。このビットは、ソフトウェアとHCのどちらからもセットできます。 HCは、コントロールリストの先頭から処理を開始するたびに、このビットをクリアします。 0：コントロールリストの処理は開始されません。 1：コントロールリストの処理が開始され、Control List Filled が”0”にセットされます。 リストにTDがあるときはControl List Filled が”1”にセットされ、コントロールリスト処理が継続します。 リストにTDがなくControl List Filledがセットされないときは、Control List Filledは ”0” のままです。HCはコントロールリストの処理を完了し、コントロールリストの処理は停止します。
0	HCR	0	R/W	Host Controller Reset このビットをセットすると、ソフトウェアリセットを開始します。HCの機能上の状態と関係なく、異なる記載がされているもの（例：HcControlのInterrupt Routing ビット）を除き、ほとんどのオペレーショナルレジスタがリセットされるUSBサスペンドステートへ移行します。ホストバスアクセスは許可されていません。リセット動作が完了すると、HCがこのビットをクリアします。本ビットはセットされるとルートハブ へのリセットは行われず、連続したリセット信号はダウンストリームポートにアサートされません。

(4) HcInterruptStatus レジスタ（HCINTSTS）

このレジスタはハードウェア割り込みの原因となる様々なイベントを示します。イベントが発生すると、HCは対応するビットをこのレジスタにセットします。ビットがセットされて、HcInterruptEnableレジスタの割り込みが有効になるとハードウェアの割り込みが発生し（「(5) HcInterruptEnable レジスタ（HCINTENB）」参照）、Master Interrupt Enable ビットがセットされます。ハードウェア割り込みが発生すると、割り込みコントローラ (INTC)の割り込み要因レジスタ (INT2A01)のUSB1 ビットもセットされます。ビットをクリアするときは、対応するビットに1 を書き込んでください。HCDはこれらのビットをセット、クリアを行いません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	OC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	—	リザーブビット
30	OC	0	R/W	Ownership Change Ownership Change Request ビット（HcCommand Status レジスタのビット3）がセットされると、このビットがセットされます。 ”1”を書き込むとクリアになります。
29 ～ 7	—	0	—	リザーブビット
6	RHSC	0	R/W	Root Hub Status Change HcRhStatus レジスタ又はHcRhPortStatus レジスタの値が変化すると、このビットがセットされます。 ”1”を書き込むとクリアになります。
5	FNO	0	R/W	Frame Number Overflow Frame Number のビット15 の値が”0” から”1” へ、又は”1” から”0” へ変化し、HccaFrameNumber が更新すると、このビットがセットされます。 ”1”を書き込むとクリアになります。
4	UE	0	R/W	Unrecoverable Error HC が USB に関わらないシステムエラーを検出すると、このビットがセットされます。HCD は HC がリセットされると本ビットをクリアします。 ”1” を書き込むとクリアになります。
3	RD	0	R/W	Resume Detected HC がダウンストリームポートからのレジューム信号を検出すると、このビットがセットされます。ノーレジューム信号からレジューム信号への遷移があったときに本ビットがセットされます。HCD が USB レジューム状態をセットしたとき、本ビットはセットされません。 ”1” を書き込むとクリアになります。

ビット	ビット名	初期値	R/W	説明
2	SF	0	R/W	Start of Frame フレームマネージャが Start of Frame（フレーム開始）のイベントを通知すると、このビットがセットされます。SOF トークンも同時に発生します。 ”1” を書き込むとクリアになります。
1	WDH	0	R/W	Writeback Done Head HC が HcDoneHead レジスタの値を HccaDoneHead に書き込むと、このビットがセットされます。本ビットがクリアになるまで HccaDoneHead は更新されません。HccaDoneHead が保存された後に限り、HCD は本ビットをクリアできます。 ”1” を書き込むとクリアになります。
0	SO	0	R/W	Scheduling Overrun リストプロセッサが、スケジュールオーバランが発生したと判断し、HccaFrameNumber が更新すると、このビットがセットされます。スケジュールオーバランが発生すると、Scheduling Overrun Count ビット（HcCommandStatus レジスタのビット 17、16）がインクリメントされます。 ”1” を書き込むとクリアになります。

(5) HcInterruptEnable レジスタ（HCINTENB）

HcInterruptEnable レジスタの各種イネーブルビットはHcInterruptStatus レジスタの関連する割り込みビットに対応します。HcInterruptEnable レジスタはハードウェア割り込みを発生されるイベントを制御するのに使用されます。HcInterruptStatus レジスタ、HcInterruptEnable レジスタの各対応するビット、Master Interrupt Enable ビット がセットされるとハードウェアの割り込みがリクエストされます。ハードウェア割り込みが発生すると、割り込みコントローラ (INTC) の割り込み要因レジスタ (INT2A01) の USB1 ビットもセットされます。

このレジスタのビットに”1 ”を書き込むと、対応するビットがセットされます。ただし、”0” を書き込んでもビットの値は変化しません。読み出すと、このレジスタの現在の値が返されます。HcInterruptDisable レジスタを使用して割り込みを無効にしてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	MIE	0	R/W	Master Interrupt Enable 0：無視されます。 1：以下のビットで有効にした割り込みの発生を許可します。
30	OC	0	R/W	Ownership Change Enable 0：無視されます。 1：所有権の変更（Ownership Change）による割り込みを有効にします。
29～7	—	0	—	リザーブビット
6	RHSC	0	R/W	Root Hub Status Change Enable 0：無視されます。 1：ルートハブ状態の変更（Root Hub Status Change）による割り込みを有効にします。
5	FNO	0	R/W	Frame Number Overflow Enable 0：無視されます。 1：フレーム番号のオーバフロー（Frame Number Overflow）による割り込みを有効にします。
4	UE	0	R/W	Unrecoverable Error Enable 0：無視されます。 1：回復できないエラー（Unrecoverable Error）による割り込みを有効にします。
3	RD	0	R/W	Resume Detected Enable 0：無視されます。 1：開始信号の検出（Resume Detected）による割り込みを有効にします。

ビット	ビット名	初期値	R/W	説 明
2	SF	0	R/W	Start of Frame Enable 0：無視されます。 1：フレームの開始（Start of Frame）による割り込みを有効にします。
1	WDH	0	R/W	Writeback Done Head Enable 0：無視されます。 1：Writeback Done Head による割り込みを有効にします。
0	SO	0	R/W	Scheduling Overrun Enable 0：無視されます。 1：スケジュールオーバラン（Scheduling Overrun）による割り込みを有効にします。

(6)　HcInterruptDisable レジスタ（HCINTDIS）

HcInterruptDisable レジスタの各種 Disable ビットは HcInterruptStatus レジスタの関連する割り込みビットに対応します。HcInterruptDisable レジスタと HcInterruptEnable レジスタは対になっています。このレジスタのビットに”1 ”を書き込むと、HcInterruptEnable レジスタの対応するビットがクリアされます。ただし、”0” を書き込んでもビットの値は変化しません。読み出すと、このレジスタの現在の値が返されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MIE	OC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RHSC	FNO	UE	RD	SF	WDH	SO
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	MIE	0	R/W	Master Interrupt Disable 0：無視されます。 1：すべての割り込みの発生を禁止します。 本ビットはハードウェア又はソフトウェアリセットの後にセットされます。 ”1” を書き込むとクリアになります。
30	OC	0	R/W	Ownership Change Disable 0：無視されます。 1：HC所有権の変更（Ownership Change）による割り込みを禁止します。 ”1” を書き込むとクリアになります。
29～7	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
6	RHSC	0	R/W	Root Hub Status Change Disable 0：無視されます。 1：ルートハブ状態の変更（Root Hub Status Change）による割り込みを禁止します。 ”1”を書き込むとクリアになります。
5	FNO	0	R/W	Frame Number Overflow Disable 0：無視されます。 1：フレーム番号のオーバフロー（Frame Number Overflow）による割り込みを禁止します。 ”1”を書き込むとクリアになります。
4	UE	0	R/W	Unrecoverable Error Disable 0：無視されます。 1：回復できないエラー（Unrecoverable Error）による割り込みを禁止します。 ”1”を書き込むとクリアになります。
3	RD	0	R/W	Resume Detected Disable 0：無視されます。 1：開始信号の検出（Resume Detected）による割り込みを禁止します。 ”1”を書き込むとクリアになります。
2	SF	0	R/W	Start of Frame Disable 0：無視されます。 1：フレームの開始（Start of Frame）による割り込みを禁止します。 ”1”を書き込むとクリアになります。
1	WDH	0	R/W	Writeback Done Head Disable 0：無視されます。 1：Writeback Done Head による割り込みを禁止します。 ”1”を書き込むとクリアになります。
0	SO	0	R/W	Scheduling Overrun Disable 0：無視されます。 1：スケジュールオーバラン（Scheduling Overrun）による割り込みを禁止します。 ”1”を書き込むとクリアになります。

(7)　HcHCCA レジスタ（HCHCCA）

このレジスタは HC 通信領域の物理アドレスを含みます。HCD はすべて 1 を HcHCCA に書き込み、HcHCCA の内容を読み出してアライメントのルールを決定します。下位ビットの ”0” の数を調べることでアライメントが評価されます。最小アライメントは256バイトです。したがってビット0～7は、常に “0” が読み出されます。制御構造を保持し、HC と HCD の両方がアクセスする割り込みデーブル を保持するときに本領域は使用されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HCCA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HCCA								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 8	HCCA	H'00 0000	R/W	HCCA ベースアドレスへのポインタ
7 ～ 0	—	0	—	リザーブビット

(8)　HcPeriodCurrentED レジスタ（HCPCED）

このレジスタは現在のアイソクロナスあるいはインタラプトエンドポイントディスクリプタ の物理アドレスを含みます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PCED															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCED												—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	PCED	H'000 0000	R	Period Current ED 現在のピリオデックリスト先頭エンドポイント へのポインタ。ピリオデックエンドポイントが処理された後、このレジスタの内容が更新されます。HCD は内容を読み出してどのエンドポイントが現在処理中かを決めます。
3 ～ 0	—	0	—	リザーブビット

(9) HcControlHeadED レジスタ（HCCHED）

このレジスタはコントロールリストの先頭エンドポイントの物理アドレスを含みます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHED															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHED												—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～4	CHED	H'000 0000	R/W	Control Head ED コントロールリストの先頭エンドポイント へのポインタ
3～0	—	0	—	リザーブビット

(10) HcControlCurrentED レジスタ（HCCCED）

このレジスタはコントロールリストの先頭エンドポイントの物理アドレスを含みます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCED															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCED												—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～4	CCED	H'000 0000	R/W	Control Current ED このポインタは現在のエンドポイントに使用した後、次のエンドポイントに進みます。HCは最後のフレームで止めたところからリストの処理を継続します。Control List Enableビット（HcControl レジスタのビット4）がクリアになったときに限り、HCDはこのレジスタを修正できます。セットされると、HCDはこのレジスタの瞬間値のみを読み出します。コントロールリストの終端を示すために、最初は”0”にセットされています。
3 ～0	—	0	—	リザーブビット

(11) HcBulkHeadED レジスタ（HCBHED）

このレジスタはバルクリストの先頭エンドポイントの物理アドレスを含みます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BHED															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BHED												—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	BHED	H'000 0000	R/W	Bulk Head ED バルクリストの先頭エンドポイント へのポインタ
3～ 0	—	0	—	リザーブビット

(12) HcBulkCurrentED レジスタ（HCBCED）

このレジスタはバルクリストの先頭エンドポイントの物理アドレスを含みます。バルクリストはラウンドロビンモードで使用されますので、リストへの挿入でエンドポイントの順位がつけられます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BCED															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BCED												—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	BCED	H'000 0000	R/W	Bulk Current ED このポインタは現在のエンドポイントに使用した後、次のエンドポイントに進みます。HCは最後のフレームで止めたところからリストの処理を継続します。Bulk List Enableビット（HcControlレジスタのビット5）がクリアになったときに限り、HCDはこのレジスタを修正できます。セットされると、HCDはこのレジスタの瞬間値のみを読み出します。バルクリストの終端を示すために、最初は”0”にセットされています。
3～ 0	—	0	—	リザーブビット

(13) HcDoneHead レジスタ（HCDH）

このレジスタは Done queue に追加され、最後に完了した TD の物理アドレスを含みます。レジスタの内容が定期的にHCCAに書き込まれるため、HCDはこのレジスタを読み出す必要はありません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DH															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DH												—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	DH	H'000 0000	R	Done Head TD が完了すると、HcDoneHeadの内容を次のTDビットに書き込みます。HC は本TDのアドレスで HcDoneHead の内容を上書きします。HCがこのレジスタの内容をHCCAに書き込むときは常に”0”にセットされます。
3 ～ 0	—	0	—	リザーブビット

(14) HcFmInterval レジスタ（HCFI）

このレジスタはフレームにおけるビットタイムインターバル（2つの連続した SOF）を示す14ビット値とHCがスケジュールオーバランを起こすことなく送受信できるフルスピード最大パケットサイズを示す15ビット値を含みます。HCDは各SOFに新しい値を書き込むことでFrameIntervalに小規模な修正を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIT	FSMPS														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	FI													
初期値：	0	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	FIT	0	R/W	Frame Interval Toggle 新しい値をこのレジスタのFrame Interval ビットにロードするたびに、HCDがこのビットの値を反転します。

ビット	ビット名	初期値	R/W	説 明
30 ～ 16	FSMPS	H'0000	R/W	FS Largest Data Packet 各フレームの最初で最大データパケットカウンタ（Largest Data Packet Counter）にロードする値を指定します。カウンタ値はHCが1回にスケジュールオーバランを発生させることなく一定の期間に送受信できるビットの最大データを示します。HCDがビット値を計算します。
15、14	—	0	—	リザーブビット
13～0	FI	H'2EDF	R/W	Frame Interval フレーム長を（ビット時間—1）の形で指定します。1 フレームあたり12,000 ビット時間の場合、11,999 を指定します。HCDはHCをリセットする前に本ビットの現在の値を格納します。HCが本ビットをリセットして通常の値にすることから、HostControllerResetビット（HcCommandStatusレジスタのビット0）をセットすることによって行います。リセットシーケンスの完了にあたって、HCDは 格納したデータのリストアを選択できます。

(15) HcFmRemaining レジスタ（HCFR）

このレジスタは現在のフレームの残りのビット時間を示す14ビットダウンカウンタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRT	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	FR													
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	FRT	0	R/W	Frame Remaining Toggle FRビットが“0”になると、FITビット（HCFIレジスタのビット31）の内容がこのビットに反映されます。HCDは本ビットを使用してFrame Interval ビットとFrame Remainingビットを同期します。
30 ～ 14	—	0	—	リザーブビット
13 ～ 0	FR	H'0000	R/W	Frame Remaining このビットは14 ビットのダウンカウンタで、フレームのタイミングを決めるために用います。HCがUSB 動作 状態にあるとき、このカウンタは、12 MHz のクロックごとにデクリメントします。カウンタ値が0 になったときが、フレームの終わりです。このとき、カウンタにはFrame Interval ビット（HcFmInterval レジスタのビット13～0）の値がリロードされます。また、HCの状態がUSB動作 に遷移するタイミングでも、このカウンタはリロードされます。

(16) HcFmNumber レジスタ（HCFN）

このレジスタは16ビットのカウンタです。HCとHCDで生じているイベントのタイミング基準を示します。HCDはこのレジスタで指定されている16ビット値を使用してレジスタに頻繁にアクセスすることなく32ビットのフレーム番号を発生させます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FN															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15～ 0	FN	H'0000	R/W	Frame Number Frame Remaining ビット（HcFmRemaining レジスタのビット13～0）へのロードと同時に、値をインクリメントします。カウンタ値は、H'FFFF を超えるとH'0000 に戻ります。USB 動作状態になると、このレジスタは自動的にインクリメントされます。HCが各フレームの境界でフレーム番号をインクリメントしSOFを送信後、そのフレームで先頭エンドポイントを読み出す前に 内容がHCCAに書き込まれます。HCCAへの書き込みの後、HCはStart Of Frameビット（HcInterruptStatus レジスタのビット2）をセットします。

(17) HcPeriodicStart レジスタ（HCPS）

このレジスタは14ビットプログラマブルの値を持ち、HCにおける最も早いピリオデックリストの処理開始時間を決定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PS													
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 14	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
13 ～ 0	PS	H'0000	R/W	Periodic Start ハードウェアリセット後、このビットはクリアになります。HCが初期化されている間、このレジスタがセットされます。HcFmIntervalより約10%少なく値が計算されます。基準値はH'3E67です。HcFmRemainingが指定された値に達するとピリオデックリストの処理がコントロール/バルク処理よりも優先的に行われます。したがって、HCは現在処理中のコントロールあるいはバルク送信が完了した後に割り込みリストの処理を開始します。

(18) HcLSThreshold レジスタ（HCLST）

このレジスタは12ビットプログラマブルの値を持ちHCがEOFの前に最大8バイトの ロースピードパケットを送信するかどうかの決定に使用されます。HC、HCDのいずれもこの値を変更できません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	LST											
初期値：	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 12	—	0	—	リザーブビット
11 ～ 0	LST	H'628	R/W	LS Threshold フレームマネージャが、現在のフレームでロースピードトランザクションを行えるかどうかを判断するために必要な値をセットします。HcFmRemaining レジスタのFrame Remainingビットが本ビット以上のときに限りトランザクションが開始します。この値は送信とセットアップ オーバヘッドを考慮にいれて計算されます。

(19) HcRhDescriptiorA レジスタ（HCRDA）

このレジスタはルートハブの特性を持つ2つのレジスタのうちの1番目のレジスタです。HCD がハブクラスディスクリプタのディスクリプタ長（11）、ディスクリプタタイプ（TBD）とハブコントローラカレント（0）ビットをエミュレートします。他のビットはすべて HcRhDescriptorA と HcRhDescriptorB レジスタにあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POTPGT								—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	NOCP	OCPM	DT	NPS	PSM	NDP							
初期値：	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1	0
R/W：	—	—	—	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～24	POTPGT	H'FF	R/W	Power On To Power Good Time 本ビットはHCDがルートハブのpowered-on portにアクセスする前の持続時間を指定します。このビットの値は、2ms 単位で指定します。持続時間はPOTPGT x 2 msで計算します。
23 ～13	—	0	—	リザーブビット
12	NOCP	0	R/W	No Over Current Protection USB HCが全体の過電流通知を行うかどうかを指定します。本ビットがクリアになるとこのレジスタのOver Current Protection Mode ビットは全体あるいはポートごとの通知を指定します。 0：過電流状態を通知します。 1：過電流状態を通知しません。
11	OCPM	1	R/W	Over Current Protection Mode USB ホスト全体の過電流通知を行うかどうかを指定します。リセット時には、電源切り替えモードと同じモードが本ビットに反映されます。このビットのセットは、このレジスタのNo Over Current Protection ビットがクリアされているときにのみ有効です。 0：全体の過電流を通知します。 1：個別の過電流を通知します。
10	DT	0	R	Device Type USB HCが複合デバイスでないことを示します。ルートハブを複合デバイスにすることはできません。本ビットは常に”0”が読み出されます。
9	NPS	0	R/W	No Power Switching USB HCが全体の電源切り替えをサポートしているかどうかを指定します。本ビットがクリアになるとこのレジスタのPower Switching Mode ビットは全体の電源切り替えあるいはポートごとの通知を指定します。 0：ポートの電源切り替えは可能です。 1：ポートは常に電源オン状態です。

ビット	ビット名	初期値	R/W	説 明
8	PMS	1	R/W	Power Switching Mode USB HCが全体の電源切り替えをサポートしているかどうかを指定します。このビットのセットは、このレジスタのNo Power Switching ビットがクリアされているときのみ有効です。 0：全体の電源を切り替えます。 1：個別に電源を切り替えます。 このモードで、ポートパワーをグローバルスイッチ（全体）又はポートごとのスイッチのいずれかで制御することが可能になります。Port Power Control Mask ビット（HcRhDescriptorB レジスタのビット31～16）がセットされると、ポートはport powerコマンドだけに反応します（Set/ClearPortPower）。ポートマスクがクリアになると、全体の電源切り替えのみがポートを制御します（Set/ClearGlobalPower）。
7～0	NDP	H'02	R	Number Downstream Ports USB HCが1つのダウンストリームポートをサポートしていることを示します。これらのビットが本モジュールに関して2を示していますが、HCポート1のみがPHYに接続されています。HCポート2はPHYに接続されていません。

(20) HcRhDescriptorB レジスタ（HCRDB）

このレジスタはルートハブの特性を持つ2つのレジスタのうちの2番目のレジスタです。システムの初期化時に、ルートハブをセットするために、このレジスタに書き込みます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPCM															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	—

ビット	ビット名	初期値	R/W	説 明
31～16	PPCM	H'0006	R/W	Port Power Control Mask このビットは、No Power Switching ビット（HcRhDescriptiorA レジスタのビット9）がクリアされ、Power Switching Mode ビット（同ビット8）がセットされているとき（個別のポート切り替え時）のみ、有効です。このビットをセットすると、ポートは個別ポート電源切り替えコマンド（Set/ClearPortPower）でのみ切り替えられます。このビットをクリアすると、ポートは全体ポート電源切り替えコマンド（Set/ClearGlobalPower）でのみ切り替えられます。デバイスが全体電源切り替えモードになると（Power Switching Mode = 0）、このビットは無効になります。 ビットとポートの対応 ビット 16：リザーブ ビット 17：ポート1 ビット18～31：リザーブ

ビット	ビット名	初期値	R/W	説 明
15 ～ 0	DR	H'0000	R/W	Device Removable 各ビットがルートハブのポート専用です。 0：デバイスは取り外し可能です。 1：デバイスは取り外し不可です。 ビットとポートの対応 ビット 0：リザーブ ビット 1：ポート1 ビット 2 ～ 15：リザーブ

(21) HcRhStatus レジスタ（HCRSTS）

このレジスタは 2 つの部分に分かれます。ロングワードの下位ワードは Hub Status ビットを示し、上位ワードは Hub Status Change ビットを示します。書き込む値は常に ”0” にしてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCIC	LPSC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRWE	—	—	—	—	—	—	—	—	—	—	—	—	—	OCI	LPS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R/W

ビット	ビット名	初期値	R/W	説 明
31	CRWE	0	W	（ライト時）Clear Remote Wakeup Enable ”1” を書き込むと、このレジスタの Device Remote Wakeup Enable ビットをクリアします。”0” を書き込んでも変化しません。
30 ～ 18	—	0	—	リザーブビット
17	OCIC	0	R/W	OverCurrent Indicator Change このレジスタの Over Current Indicator ビットが変化すると、このビットがセットされます。”1” を書き込むとビットをクリアします。”0” を書き込んでも変化しません。
16	LPSC	0	R/W	（リード時）Local Power Status Change 本 LSI ではサポートしません。読み出し値は常に 0 です。 （ライト時）Set Global Power 全体電源モードのとき (Power Switching Mode = 0)、”1” を書き込むとすべてのポートに電源が投入されます（clear Port Power Status）。個別電源モードのとき、Port Power Control Mask ビット（HcRhDescriptorB レジスタのビット 31 ～ 16）がセットされていないポートのみ Port Power Status ビット（HcRhPortStatus レジスタのビット 8）がセットされます。”0” を書き込んでも変化しません。

ビット	ビット名	初期値	R/W	説 明
15	DRWE	0	R/W	（リード時）Device Remove Wakeup Enable ポートの Connect Status Change をリモートウェイクアップイベントとして有効にします。 0：無効 1：有効 （ライト時）Set Remove Wakeup Enable ”1” を書き込むと Device Remote Wakeup Enable ビットをセットします。”0” を書き込んでも変化しません。
14 ～ 2	—	0	—	リザーブビット
1	OCI	0	R	OverCurrent Indicator 本ビットは全体通知が導入されているときに過電流状態を通知します。 0：すべての電源は正常です。 1：過電流状態です。 個別ポート過電流保護が導入された場合、本ビットは常に”0” です。
0	LPS	0	R/W	（リード時）Local Power Status 本 LSI ではサポートしません。読み出し値は常に”0” です。 （ライト時）Clear Global Power 全体電源モードのとき (Power Switching Mode = 0)、”1” を書き込むとすべてのポートの電源が切れます（clear Port Power Status）。個別電源モードのとき、Port Power Control Mask ビット（HcRhDescriptorB レジスタのビット 31 ～ 16）がセットされていないポートのみ Port Power Status がクリアになります。”0” を書き込んでも変化しません。

(22) HcRhPortStatus レジスタ（HCRPSTS）

このレジスタはポートごとのイベントを通知し、制御するのに使用されます。

Number Downstream Ports はハードウェアに実装されている HcRhPortStatus レジスタの数を示します。SH7753はポート1しか使用できませんので、HcRhPortStatus レジスタのみが有効です。下位ワードはポートの状態を反映するのに、上位ワードはステータスチェンジビットを反映するのに使用されます。一部のステータスビットは特定の書き込み特性を持って実装されます （以下参照）。チェンジポートステータスへの書き込み中にトランザクション（トークンからハンドシェークまで）が発生したときは、トランザクションが完了するまでポートステータスチェンジは延期します。リザーブビットへの書き込む値は常に”0”にしてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	PRSC	OCIC	PSSC	PESC	CSC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	LSDA	PPS	—	—	—	PRS	POCI	PSS	PES	CCS
初期値：	0	0	0	0	0	0	—	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～21	—	0	—	リザーブビット
20	PRSC	0	R/W（注）	Port Reset Status Change 10ms ポートリセット信号の出力完了でセットされます。 0：ポートリセットは未完了です。 1：ポートリセットは完了しています。
19	OCIC	0	R/W（注）	Port OverCurrent Indicator Change 個別ポートベースで過電流状態が通知されたときに限り有効です。Over Current Indicator ビットが変化すると、このビットがセットされます。 0：Port OverCurrent Indicatorは変更されていません。 1：Port OverCurrent Indicatorは変更されました。
18	PSSC	0	R/W（注）	Port Suspend Status Change ポートのレジュームシーケンスが完了したことを示します。本シーケンスには20s レジュームパルス、LS EOP、3ms 再同期による遅延を含みます。Port Reset Status Changeがセットされても本ビットはクリアされます。 0：レジュームは未完了です。 1：レジュームは完了しています。
17	PESC	0	R/W（注）	Port Enable Status Change ハードウェアのイベントにより、ポートが無効になっている（HcRhPortStatus レジスタのPort Enable Statusビットがクリアされている）ことを示します。変更しても本ビットはセットされません。 0：Port Enable Statusは変化していません。 1：Port Enable Statusが変化しています。

ビット	ビット名	初期値	R/W	説 明
16	CSC	0	R/W（注）	Connect Status Change 接続あるいは切断イベントが検出されたことを示します。”0” を書き込んでも変化しません。Set Port Reset、Set Port Enable、Set Port Suspend の書き出し時に Current Connect Status がクリアになると強制的にドライバがセットされます。ポートが切断されたときにこれらの書き込みが発生しないので、接続状態を再評価するためです。 0：Current Connect Status は変化していません。 1：Current Connect Status は変化しています。 注．Device Removable ビットがセットされると、デバイスが接続されたことをシステムに通知するために、本ビットはルートハブリセットの後にのみセットされます。
15～10	—	0	—	リザーブビット
9	LSDA	—	R/W（注）	（リード時）Low Speed Device Attached 接続されているデバイスのスピードを示します。セットされると、ロースピードデバイスがこのポートに接続されます。クリアになると、フルスピードデバイスがこのポートに接続されます。Current Connect Status ビットがセットされているときのみ有効です。 0：フルスピード 1：ロースピード （ライト時）Clear Port Power
8	PPS	0	R/W	（リード時）Port Power Status 電源切り替えモードにかかわらず、ポートの電源状態を示します。過電流状態が検出されると本ビットはクリアされます。このレジスタの Set Port Power 又は Set Global Power ビット（HcRhStatus レジスタのビット 16）に書き込むことでセットされます。このレジスタの Clear Port Power あるいは Clear Global Power（HcRhStatus レジスタのビット 0）に書き込むことでクリアされます。どの電源スイッチが有効かどうかを決定するのは Power Switching Mode（HcRhDescriptiorA レジスタ 8）と Port Power Control Mask（HcRhDescriptorB レジスタのビット 31～16）です。全体電源モードでは （Power Switching Mode = 0）、Set/Clear Global Power のみが本ビットを制御します。個別電源切り替えでは (Power Switching Mode = 1)、Port Power Control Mask ビットがセットされると、Set/Clear Port Power コマンドのみが有効となります。マスクされていないときは Set/Clear Global Power コマンドが有効になります。ポートパワーが無効になると、このレジスタの Current Connect Status、Port Enable Status、Port Suspend Status、Port Reset Status がリセットされます。 0：ポートの電源はオフ。 1：ポートの電源はオン。 （ライト時）Set Port Power ”1” を書き込むと、Port Power Status ビットをセットします。”0” を書き込んでも変化しません。 注．No Power Switching ビット（HcRhDescriptiorA レジスタのビット 9）がセットされていると、このビットの読み出し値は常に ”1” です。
7～5	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
4	PRS	0	R/W	（リード時）Port Reset Status Set Port Resetに書き込んで本ビットがセットされると、ポートリセット信号がアサートされます。リセットが完了し、Port Reset Status Change がセットされるとクリアされます。Current Connect Statusがクリアされると本ビットはセットされません。 0：ポートリセット信号はアクティブではありません。 1：ポートリセット信号はアクティブです。 （ライト時）Set Port Reset ”1”を書き込むと、Port Reset Status ビットをセットします。”0”を書き込んでも変化しません。このレジスタのCurrent Connect Statusビットがクリアされると書き込みによりPort Reset StatusではなくConnect Status Changeビット（PORTSC レジスタのビット1）がセットされます。これは切断されたポートへポートリセット信号のアサートを試みているドライバに通知されます。
3	POCI	0	R/W	（リード時）Port OverCurrent Indicator No Over Current Protection ビット（HcRhDescriptiorA レジスタのビット12）がクリアされこのレジスタのOver Current Protection Mode ビットがセットされているときのみ有効です。個別ポートの過電流通知がサポートされていないときは”0”になります。クリアされるとすべての電源動作は正常になります。セットされると、ポートに過電流状態が存在します。常に過電流入力信号が反映されます。 0：過電流状態は検出されていません。 1：過電流状態が検出されています。 （ライト時）Clear Suspend Status ”1”を書き込むと、対応するポートの選択的再開シーケンスを開始します。”0 ”を書き込んでも変化しません。Suspend Statusがセットされたときに限り、リセットが開始します。
2	PSS	0	R/W	（リード時）Port Suspend Status ポートが サスペンドあるいはレジュームシーケンスにあることを示します。本ビットはSet Suspend Stateの書き込みでセットされ、レジュームインターバルの終点でこのレジスタのPort Suspend Status Changeがセットされるとクリアされます。このレジスタのCurrent Connect Statusビットがクリアされると本ビットがセットされません。また、Port Reset Status Change（HcRhPortStatus レジスタのビット20）がポートリセットの終点でセットされるか、HCがUSBレジュームクリアされます。アップストリームレジュームが進行中のときは、これがHCに伝えられます。 0：ポートは非サスペンド状態。 1：ポートはサスペンド状態。 （ライト時）Set Port Suspend “1”を書き込むと“1”になります。”0” を書き込んでも変化しません。Current Connect Status ビットがクリアされると、書き込みによってPort Suspend StatusではなくこのレジスタのConnect Status Changeがセットされます。これは切断されたポートへサスペンド信号のアサートを試みているドライバに通知されます。

ビット	ビット名	初期値	R/W	説 明
1	PES	0	R/W	（リード時）Port Enable Status ポートが有効か無効かを示します。過電流状態、切断時、電源オフ、パケットの混信のようなバス動作エラーが検出されたとき、ルートハブは本ビットをクリアにします。この変更によって、このレジスタのPort Enable Status Change もセットされます。このレジスタのSet Port Enableに書き込むことで本ビットがセットされ、Clear Port Enableに書き込むことでクリアされます。このレジスタのCurrent Connect Status がクリアされると本ビットはセットされません。また、このビットがセットされるのはReset Status Changeがセットされてポートのリセットが完了したときあるいはSuspend Status Changeがセットされてポートが一時停止したときです。 0：ポートは無効です。 1：ポートは有効です。 （ライト時）Set Port Enable ”1” を書き込むと、Port Enable Status ビットをセットします。”0” を書き込んでも変化しません。このレジスタのCurrent Connect Statusがクリアされると書き込みによってPort Enable StatusではなくこのレジスタのConnect Status Changeがセットされます。これは切断されたポートへの通信を試みているドライバに通知されます。
0	CCS	0	R/W	（リード時）Current Connect Status 本ビットはダウンストリームポートの現在の状態を反映します。 0：デバイスが接続されていません。 1：デバイスが接続されています。 （ライト時）Clear Port Enable ”1” を書き込むとPESビットを“0”にします。”0” を書き込んでも変化しません。Current Connect Statusは書き込んでも変化しません。 注．　接続されたデバイスがリムーバブルデバイスでない場合（DeviceRemovable）、常に“1”が読み出されます。

注．　“1” を書くと“0”になります。“0” を書いても変化しません。

32.5.4　パワーイネーブルコントロールレジスタ（OCPOWEN）

このレジスタは VBUS_EN 出力信号（VBUS 電源出力イネーブル）と VBUS_OC 入力信号（過電流通知）を制御します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	OVER CRNT MASK	—	—	—	—	—	—	—	PWR _POL	—	—	—	PWR _CNTL
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	—	—	—	R/W	—	—	—	—	—	—	—	R/W	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～13	—	0	—	リザーブビット
12	OVERCRNT_MASK	1	R/W	Over-Current Mask Control 0 :HCへの信号はマスクされません。 1 :HCへの信号はL レベルに固定されマスクされます（デフォルト）。
11 ～5	—	0	—	リザーブビット
4	PWR_POL	0	R/W	Power Enable Signal Polarity Control 0 :Power control信号は反転せずに出力されます（デフォルト）。 1 :Power control 信号は反転後に出力されます。
3～1	—	0	—	リザーブビット
0	PWR_CNTL	1	R/W	Power Enable Signal Output Control VBUS_EN 信号が出力できるように本ビットは入出力バッファを有効にします。 0 :PWR_POLビットから制御されるように、Power control信号はHCから出力されます。 1 :VBUS_EN 端子はHi-Z 出力状態になります（デフォルト）。

表32.4　IC電源イネーブル信号制御

PWR_CNTL	PWR_POL	VBUS_EN 端子
1	—	High-Z
0	0	HCからのPower control信号は反転せずに出力されます。
0	1	HCからのPower control信号は反転後に出力されます。

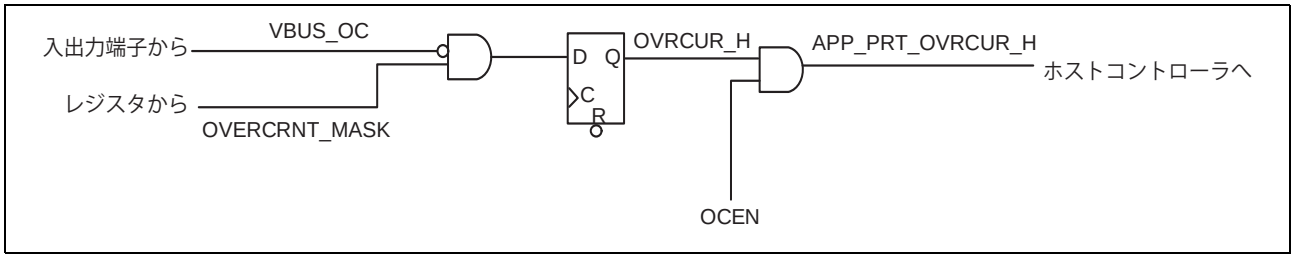


図 32.2　信号制御

32.5.5　過電流コントロールレジスタ（OCMSK）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OCEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	OCEN	0	R/W	Over-Current Notification Enable 本ビットは過電流信号をHCに通知するかどうかを決定します。 0 : 過電流信号はマスクされ、信号レベルは”0”に固定されます（デフォルト）。 1 : 過電流信号は有効です。

32.5.6　EHCI データアラインメントコントロールレジスタ（EHCIDATAC）

EHCI コントローラがメモリにアクセスするときにこのレジスタは使用されているデータアラインメント法を制御します。これはUSB HCが開始される前にセットされる必要があります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 17	—	0	—	リザーブビット
16	DATA	1	R/W	Transfer Data Access用のData Alignment Control 0 : データは4バイトユニットに調整されます（リトルエンディアン用）。 1 : データは1バイトユニットに調整されます（ビッグエンディアン用）。
15 ～0	—	0	—	リザーブビット

32.5.7　OHCI データアラインメントコントロールレジスタ（OHCIDATAC）

OHCI コントローラがメモリにアクセスするときにこのレジスタは使用されているデータアラインメント法を制御します。これはUSB HCが開始される前にセットされる必要があります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DATA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～17	—	0	—	リザーブビット
16	DATA	1	R/W	Transfer Data Access用のData Alignment Control 0：データは4バイトユニットに調整されます（リトルエンディアン用）。 1：データは1バイトユニットに調整されます（ビッグエンディアン用）。
15～0	—	0	—	リザーブビット

32.6　USB HCによるデータの格納

32.6.1　データの格納

USB HCはSH-4Aエンディアン設定に従って メモリを読み出し、送信します。以下にUSBコントローラがデータをメモリから読み出す方法を示します。

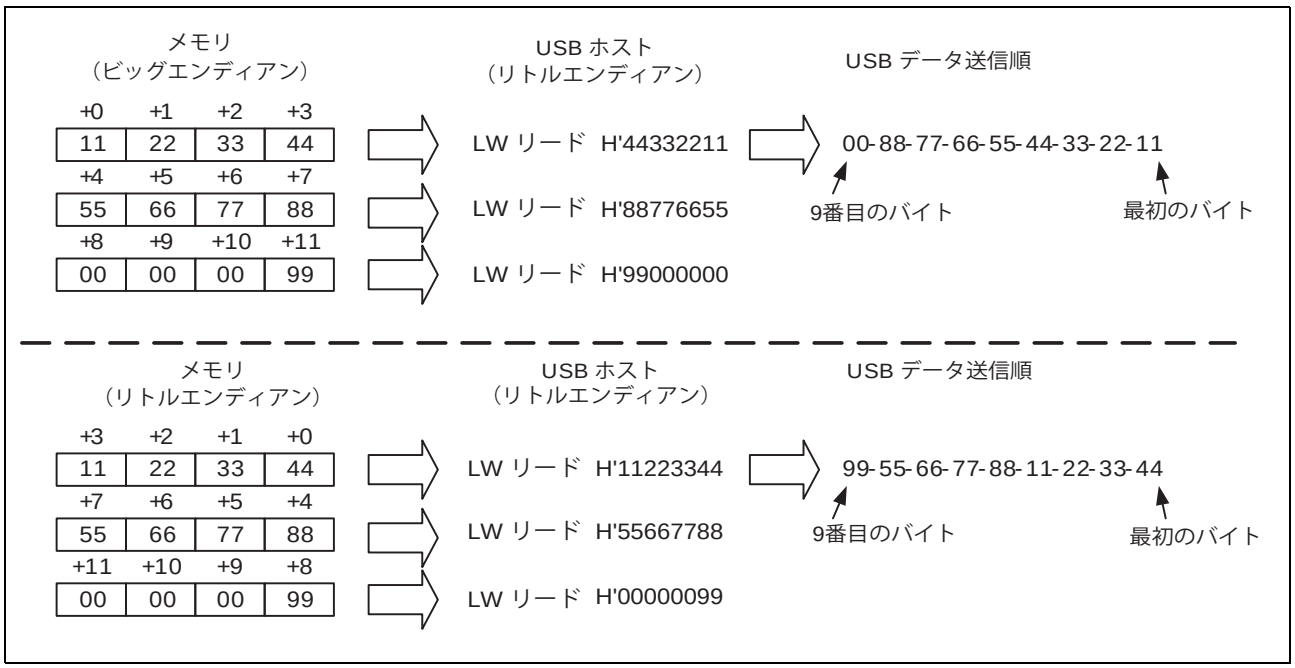


図 32.3　データの格納

ビッグエンディアンが SH-4A用にセットされると、図の上半分のようにデータが送信されます。リトルエンディアンがセットされると、図の下半分のようにデータが送信されます。両方とも送信例を示します。受信も同様に行われます。つまり、データがメモリに格納される前にエンディアンの変換が自動的に行われます。

32.6.2　ディスクリプタテーブルの格納

USB HC はディスクリプタテーブルの処理ならびに転送を行います。ディスクリプタテーブルの転送の方式はUSBデータ転送とは異なります。USB HCはリトルエンディアンでメモリからディスクリプタテーブルを読み出しますので、EHCI/OHCIディスクリプタテーブルは、リトルエンディアンで作成してください。

また、ディスクリプタテーブルは32ビット幅でのため、メモリのロングワード境界に配置してください。

なお、EHCI/OHCI 用のディスクリプタ及び送受信バッファは、DDR メモリ上に配置してください。ILRAM及び外部SRAMには配置しないでください。

33. CRC 演算器

CRC（Cyclic Redundancy Check）演算器は、データブロックの誤り検出を行います。

33.1 特長

- 8ビット単位の任意のデータ長に対してCRCコードを生成
- CRC演算は8ビットずつ並列に実行
- 生成多項式を3つの多項式から選択可能
- LSBファースト通信用CRCコード生成／MSBファースト通信用CRCコード生成の選択が可能

図33.1 にCRC 演算器のブロック図を示します。

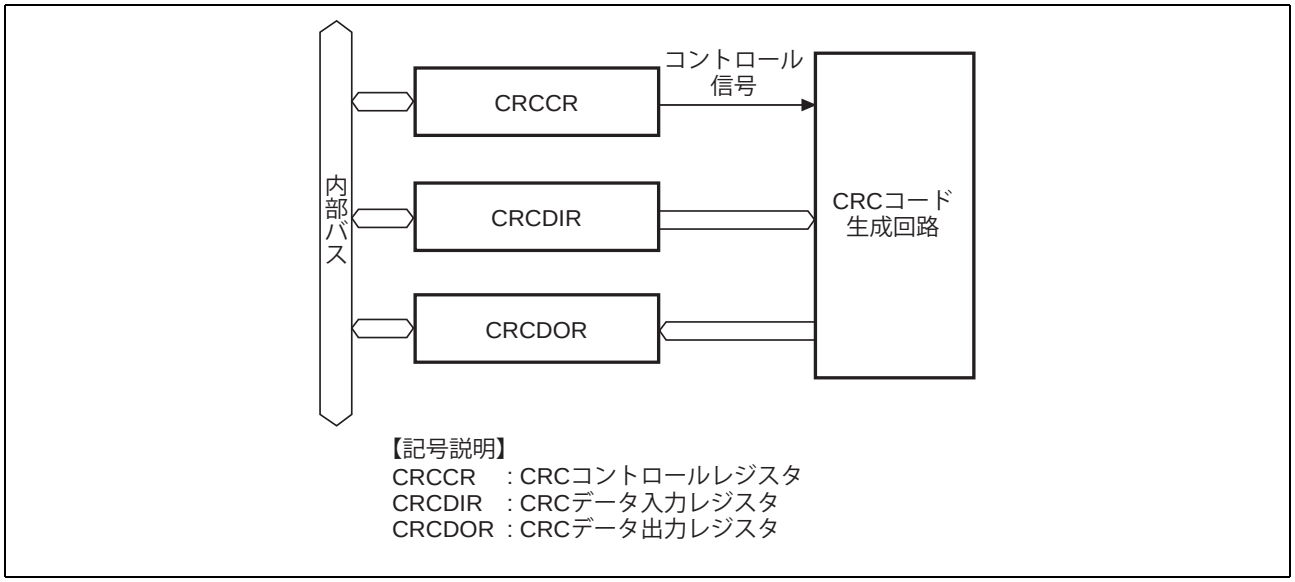


図 33.1 ブロック図

33.2 レジスタの説明

CRC 演算器のレジスタ構成を表33.1 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表33.1 レジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
CRC コントロールレジスタ	CRCCR	R/W	H'FFEB 0000	8	H'00	H'00	H'00
CRC データ入力レジスタ	CRCDIR	R/W	H'FFEB 0001	8	H'00	H'00	H'00
CRC データ出力レジスタ	CRCDOR	R/W	H'FFEB 0002	16	H'0000	H'0000	H'0000

33.2.1 CRCコントロールレジスタ（CRCCR）

CRCCR はCRC 演算器の初期化、演算切り替え、生成多項式を選択します。

ビット：	7	6	5	4	3	2	1	0
	DORCLR	—	—	—	—	LMS	G[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	W	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	DORCLR	0	W	CRCDOR クリア このビットに1を書くと、CRCDOR がH'0000 になります。 0を書いてもフラグは変化しません。
6 ～ 3	—	0	—	リザーブビット
2	LMS	0	R/W	CRC 演算切り替え LSB ファースト通信用CRC コード生成か、MSB ファースト通信用CRC コード生成かを選択します。 0：LSB ファーストで通信する場合のCRC 演算を行います。CRCDOR の内容（CRC コード）を2 バイトに分けて送信する場合、下位バイト（ビット7～0）を先に送信します。 1：MSB ファーストで通信する場合のCRC 演算を行います。CRCDOR の内容（CRC コード）を2 バイトに分けて送信する場合、上位バイト（ビット15～8）を先に送信します。
1、0	G[1:0]	00	R/W	CRC 生成多項式切り替え 多項式を選択します。 00：演算しない 01：$X^8 + X^2 + X + 1$ 10：$X^{16} + X^{15} + X^2 + 1$ 11：$X^{16} + X^{12} + X^5 + 1$

33.2.2 CRCデータ入力レジスタ（CRCDIR）

CRCDIR は8 ビットのリード／ライト可能なレジスタです。CRCDIR にCRC 演算対象のバイトを書き込むとCRCDOR に結果が得られます。

ビット：	7	6	5	4	3	2	1	0
	CRCDIR							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

33.2.3 CRCデータ出力レジスタ（CRCDOR）

CRCDORは16ビットのリード／ライト可能なレジスタです。CRCDORクリア後、CRCDIRにCRC演算対象のバイトを書き込むとCRCDORに結果が得られます。また、受信したデータ、及びCRCコードを連続してCRC演算すると、CRCエラーがなければ結果が“H’0000”になります。CRCCRレジスタのビット1、0をG1＝0、G0＝1と指定した場合、下位バイトに結果が得られます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRCDOR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

33.3 動作説明

CRC 演算器は、LSB ファースト／MSB ファースト通信用 CRC コードを生成します。以下に CRCCR の G1、G0 ビットを B'11 として $X^{16}+X^{12}+X^{5}+1$ の多項式を使用し、16 進数 H'F0 データについて CRC コードを生成する使用例を示します。

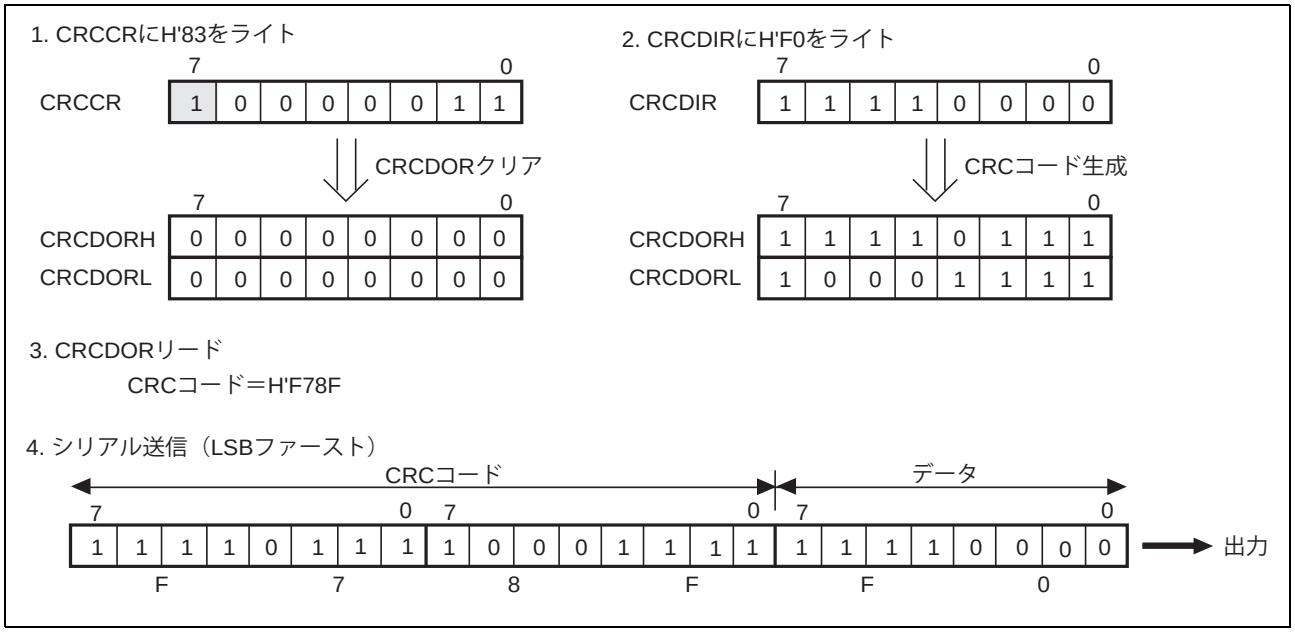


図 33.2 LSB ファーストでのデータ送信

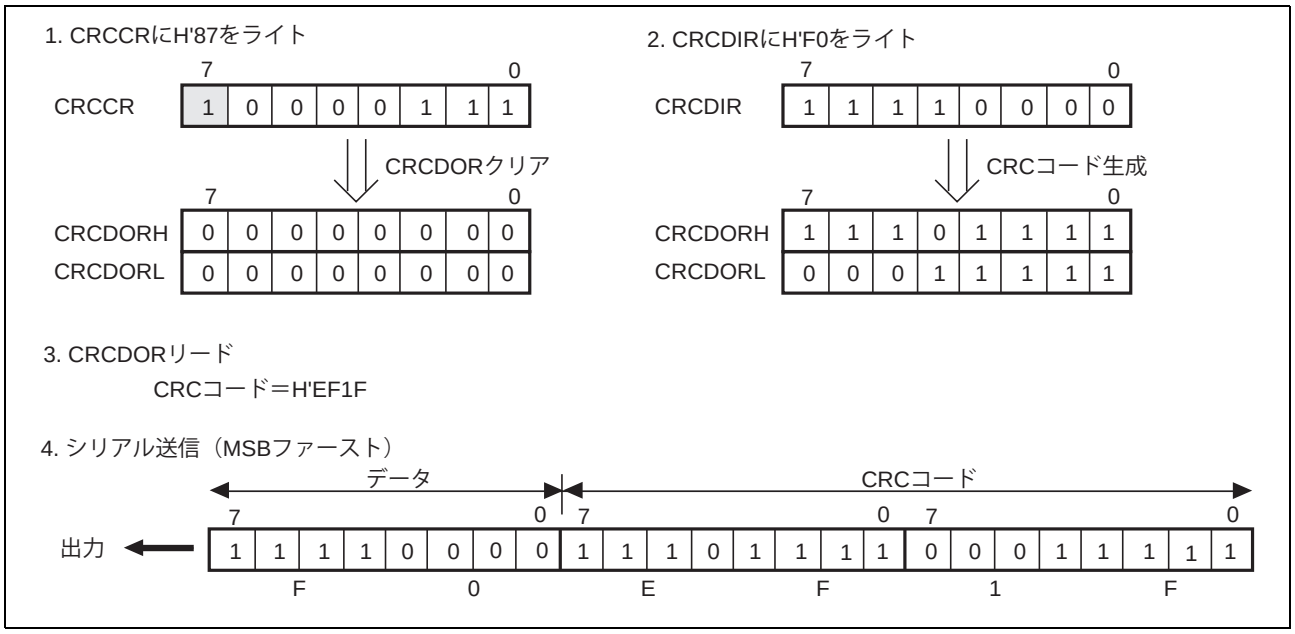


図 33.3 MSB ファーストでのデータ送信

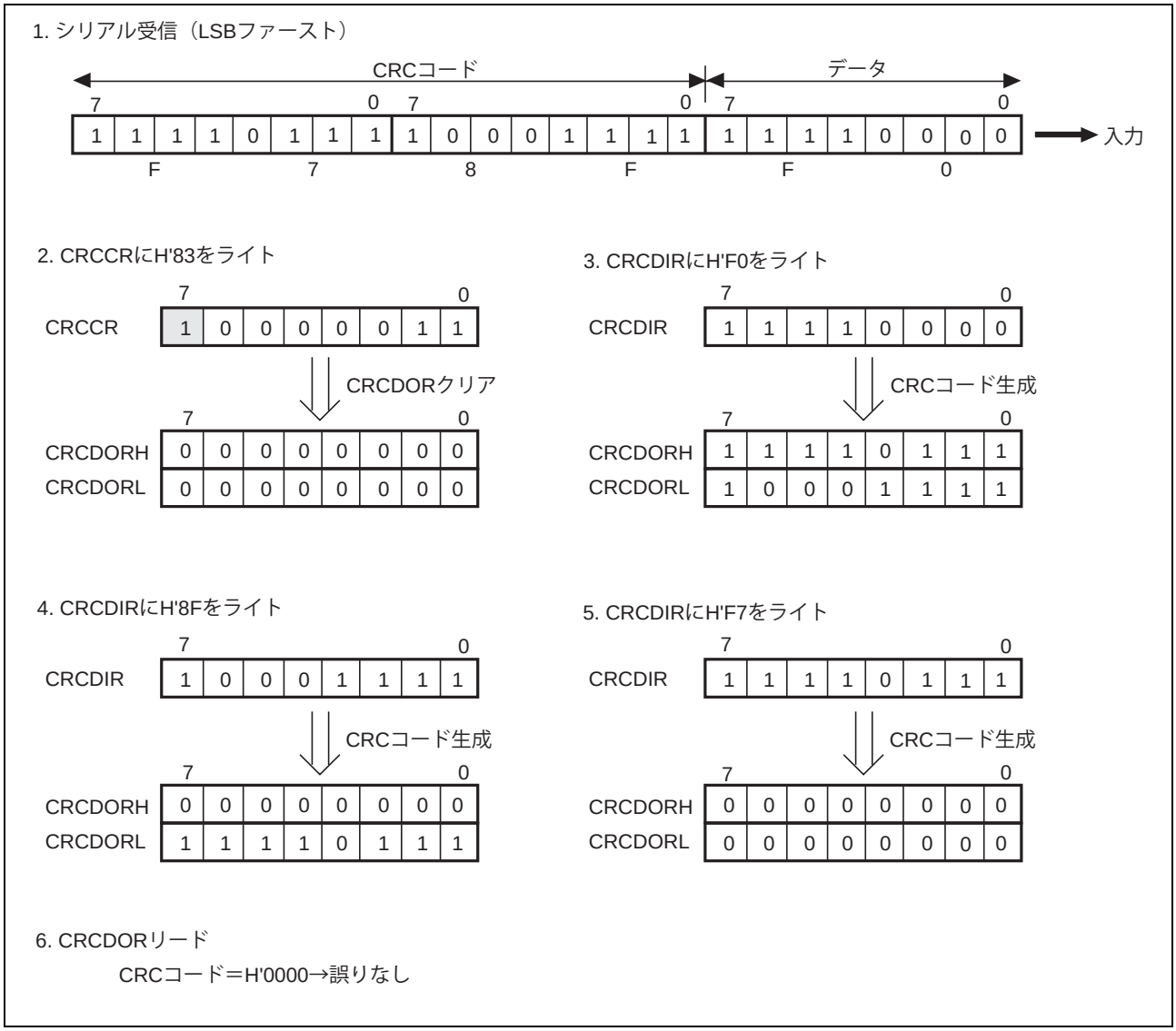


図 33.4 LSB ファーストでのデータ受信

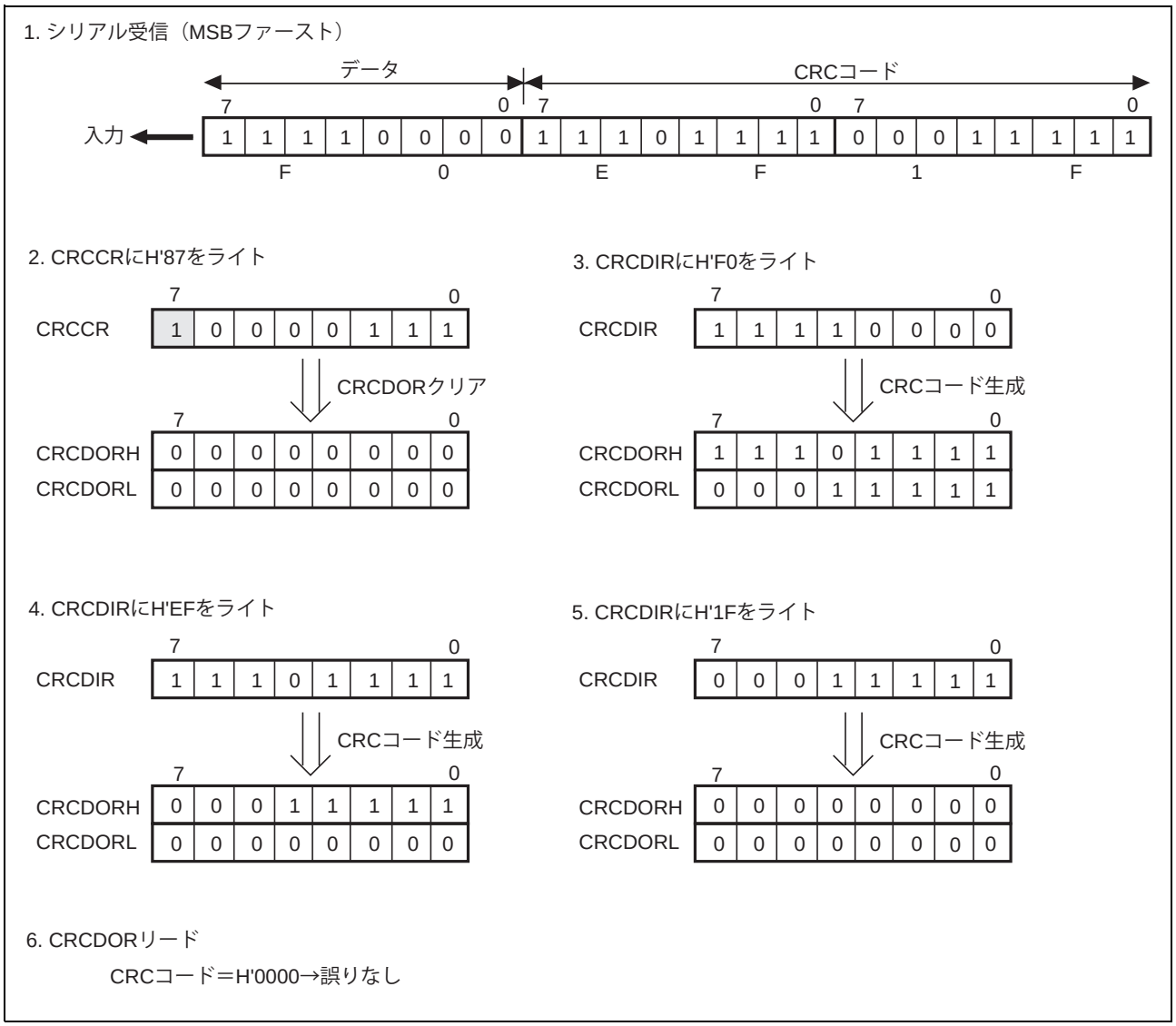


図 33.5 MSB ファーストでのデータ受信

33.4 使用上の注意事項

LSB ファーストで送信する場合と MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので、注意してください。

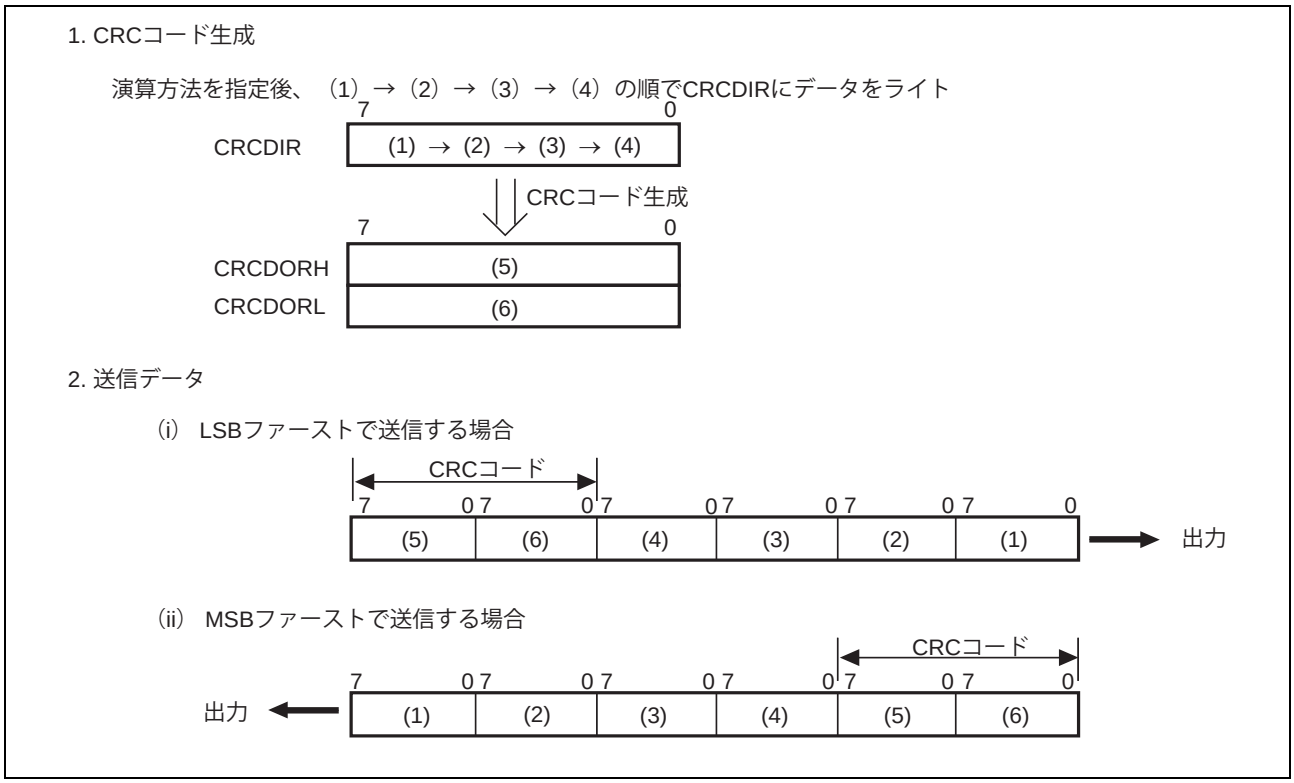


図 33.6 LSB ファーストと MSB ファーストの送信データ

34. ルネサスシリアルペリフェラルインタフェース（RSPI）

ルネサスシリアルペリフェラルインタフェース（RSPI）は、全二重同期式のシリアル通信及び送信専用の動作が可能で、複数のプロセッサや周辺デバイスとの高速なシリアル通信を実現できます。

34.1 特長

1. RSPI転送機能
   - SPI動作（4線式）／クロック同期式動作（3線式）でシリアル通信が可能
   - 送信専用の動作が可能
   - マスタ／スレーブモードでのシリアル通信が可能
   - モードフォルトエラー、オーバランエラー、パリティエラーを検出可能
   - シリアル転送クロックの極性／位相を変更可能

2. データフォーマット
   - MSBファースト／LSBファーストを選択可能
   - 転送ビット長を8～16、20、24、32ビットから選択可能
   - 一度の送受信で最大4フレームを転送（1フレームは最大32ビット）

3. バッファ構成
   - 送信バッファ、受信バッファは各64ビット

4. SSL制御機能
   - チップセレクト信号：2本（RSPI-SSL0、RSPI-SSL1）
   - SSL出力のアサートからRSPI-RSPCK動作までの遅延（RSPI-RSPCK遅延）を設定可能
     設定範囲：1～8 RSPI-RSPCKサイクル
   - RSPI-RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を設定可能
     設定範囲：1～8 RSPI-RSPCKサイクル
   - 次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を設定可能
     設定範囲：1～8 RSPI-RSPCK + 2Pckサイクル
   - SSL極性変更可能

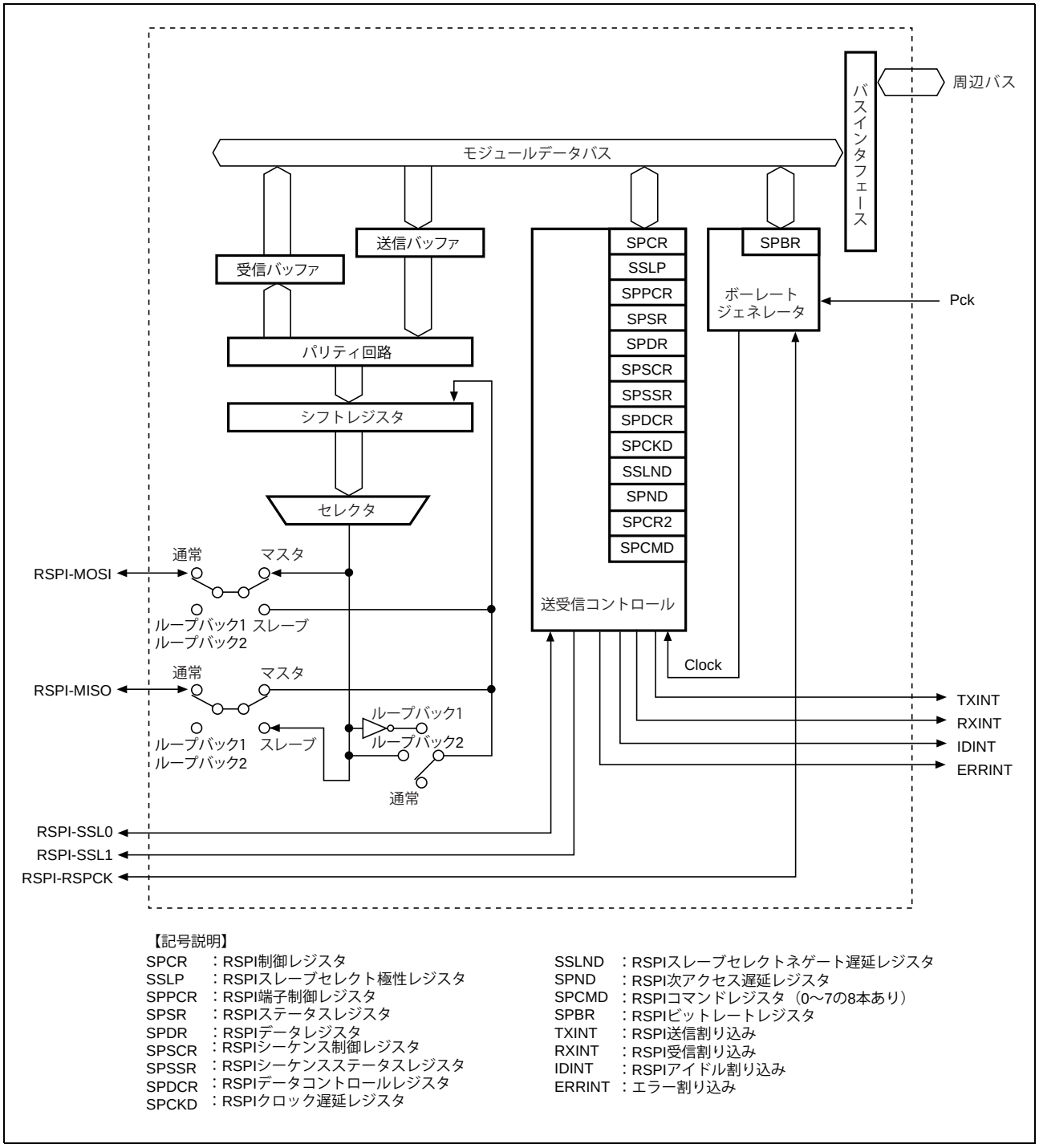
5. マスタ転送時の制御方式
   - 最大8コマンドで構成された転送をシーケンシャルにループ実行可能
   - 各コマンドに設定可能な項目は、以下のとおり
     SSL信号値、ビットレート、RSPI-RSPCK極性／位相、転送データ長、LSB/MSBファースト、バースト、RSPI-RSPCK遅延、SSLネゲート遅延、次アクセス遅延
   - 転送起動は、以下の2種類から選択可能
     - 送信バッファへの書き込み
     - SPTEFビットクリア
   - SSLネゲート時のRSPI-MOSI信号極性を設定可能

6. 割り込み要因
   - RSPI受信割り込み（受信バッファフル）
   - RSPI送信割り込み（送信バッファエンプティ）
   - RSPIエラー割り込み（モードフォルト、オーバラン及びパリティエラー）
   - RSPIアイドル割り込み（RSPIアイドル）

7. その他
   - ループバックモード
   - RSPIディスエーブル（初期化）機能

34.1.1　内部ブロック図

図34.1 にRSPI 内部ブロック図を示します。



【記号説明】

SPCR	：RSPI制御レジスタ	SSLND	：RSPIスレーブセレクトネゲート遅延レジスタ
SSLP	：RSPIスレーブセレクト極性レジスタ	SPND	：RSPI次アクセス遅延レジスタ
SPPCR	：RSPI端子制御レジスタ	SPCMD	：RSPIコマンドレジスタ（0～7の8本あり）
SPSR	：RSPIステータスレジスタ	SPBR	：RSPIビットレートレジスタ
SPDR	：RSPIデータレジスタ	TXINT	：RSPI送信割り込み
SPSCR	：RSPIシーケンス制御レジスタ	RXINT	：RSPI受信割り込み
SPSSR	：RSPIシーケンスステータスレジスタ	IDINT	：RSPIアイドル割り込み
SPDCR	：RSPIデータコントロールレジスタ	ERRINT	：エラー割り込み
SPCKD	：RSPIクロック遅延レジスタ		

図 34.1　RSPI のブロック図

34.2　入出力端子

RSPIの入出力端子を表34.1に示します。RSPI-SSL0端子の入出力方向は、シングルマスタ選択時は出力、スレーブ選択時は入力に自動的に切り替わります。RSPI-RSPCK、RSPI-MOSI、RSPI-MISOの入出力方向は、マスタ／スレーブ設定とRSPI-SSL0入力レベルに応じて自動的に切り替わります（「34.4.2 RSPI端子の制御」参照）。

表34.1　端子構成

名称	端子名	入出力	機能
RSPIクロック端子	RSPI-RSPCK	入出力	RSPIクロック入出力 マスタ設定　：出力 スレーブ設定：入力
マスタ送信データ端子	RSPI-MOSI	入出力	RSPIマスタ送信データ マスタ設定　：出力 スレーブ設定：入力
スレーブ送信データ端子	RSPI-MISO	入出力	RSPIスレーブ送信データ マスタ設定　：入力 スレーブ設定：出力
スレーブセレクト0端子	RSPI-SSL0	入出力	RSPIスレーブセレクト0 マスタ設定　：出力 スレーブ設定：入力
スレーブセレクト1端子	RSPI-SSL1	出力	RSPIスレーブセレクト1

34.3 レジスタの説明

RSPIのレジスタ構成、及び各処理モードにおけるレジスタの状態を表34.2に示します。

指定されたビット幅で、レジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表34.2　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
RSPI 制御レジスタ	SPCR	R/W	H'FE48 0000	8、16	H'00	H'00	H'00
RSPI スレーブセレクト極性レジスタ	SSLP	R/W	H'FE48 0001	8、16	H'00	H'00	H'00
RSPI 端子制御レジスタ	SPPCR	R/W	H'FE48 0002	8、16	H'00	H'00	H'00
RSPI ステータスレジスタ	SPSR	R/W	H'FE48 0003	8、16	H'20	H'20	H'20
RSPI データレジスタ	SPDR	R/W	H'FE48 0004	16、32	H'0000 0000	H'0000 0000	H'0000 0000
RSPI シーケンス制御レジスタ	SPSCR	R/W	H'FE48 0008	8、16	H'00	H'00	H'00
RSPI シーケンスステータスレジスタ	SPSSR	R	H'FE48 0009	8、16	H'00	H'00	H'00
RSPI ビットレートレジスタ	SPBR	R/W	H'FE48 000A	8、16	H'FF	H'FF	H'FF
RSPI データ制御レジスタ	SPDCR	R/W	H'FE48 000B	8、16	H'00	H'00	H'00
RSPI クロック遅延レジスタ	SPCKD	R/W	H'FE48 000C	8、16	H'00	H'00	H'00
RSPI スレーブセレクトネゲート遅延レジスタ	SSLND	R/W	H'FE48 000D	8、16	H'00	H'00	H'00
RSPI 次アクセス遅延レジスタ	SPND	R/W	H'FE48 000E	8、16	H'00	H'00	H'00
RSPI 制御レジスタ 2	SPCR2	R/W	H'FE48 000F	8、16	H'00	H'00	H'00
RSPI コマンドレジスタ 0	SPCMD0	R/W	H'FE48 0010	16	H'070D	H'070D	H'070D
RSPI コマンドレジスタ 1	SPCMD1	R/W	H'FE48 0012	16	H'070D	H'070D	H'070D
RSPI コマンドレジスタ 2	SPCMD2	R/W	H'FE48 0014	16	H'070D	H'070D	H'070D
RSPI コマンドレジスタ 3	SPCMD3	R/W	H'FE48 0016	16	H'070D	H'070D	H'070D
RSPI コマンドレジスタ 4	SPCMD4	R/W	H'FE48 0018	16	H'070D	H'070D	H'070D
RSPI コマンドレジスタ 5	SPCMD5	R/W	H'FE48 001A	16	H'070D	H'070D	H'070D
RSPI コマンドレジスタ 6	SPCMD6	R/W	H'FE48 001C	16	H'070D	H'070D	H'070D
RSPI コマンドレジスタ 7	SPCMD7	R/W	H'FE48 001E	16	H'070D	H'070D	H'070D

34.3.1 RSPI 制御レジスタ（SPCR）

SPCR は、RSPI の動作モードを設定するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	RXINTE	SPE	TXINTE	ERRINTE	MSTR	MODFEN	TXMD	SPMS
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	RXINTE	0	R/W	受信バッファフル割り込みイネーブル 0：受信バッファフル割り込み禁止 1：受信バッファフル割り込み許可
6	SPE	0	R/W	RSPI 機能イネーブル 0：RSPI機能無効（「34.4.9 RSPI の初期化」参照） 1：RSPI機能有効（注1）
5	TXINTE	0	R/W	送信バッファエンプティ割り込みイネーブル 0：送信バッファエンプティ割り込み禁止 1：送信バッファエンプティ割り込み許可（注3）
4	ERRINTE	0	R/W	エラー（モードフォルトエラー、オーバランエラー、パリティエラー）割り込みイネーブル 0：エラー割り込み禁止 1：エラー割り込み許可
3	MSTR	0	R/W	RSPI マスタ／スレーブモード選択（注2） 0：スレーブモード 1：マスタモード
2	MODFEN	0	R/W	モードフォルトエラー検出イネーブル（注2） 0：モードフォルトエラー検出禁止 1：モードフォルトエラー検出許可
1	TXMD	0	R/W	通信モード選択（注2） 0：全二重同期式モード 1：送信専用モード
0	SPMS	0	R/W	動作モード選択 0：SPI 動作（4 線式）モード 1：クロック同期式動作（3線式）モード

注1. モードフォルトエラー発生（MODF ビット＝1）時は、このビットを“1”にできません（「34.4.8 エラー検出」参照）。
2. これらのビットは、SPE ビット＝0の時に書き込んでください。
3. SPE ビット＝0（RSPI機能無効）のとき、SPTEF ビットは“1”になっています。したがって、RSPI機能無効時に、このビットを“1”にすると送信バッファエンプティ割り込み要求が発生しますので、注意してください。

34.3.2 RSPI スレーブセレクト極性レジスタ（SSLP）

SSLP は、RSPI-SSL0、RSPI-SSL1信号の極性を設定するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SSL1P	SSL0P
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～2	—	0	—	リザーブビット
1	SSL1P	0	R/W	SSLi 信号極性設定ビット（i＝0、1）（注） 0：SSLi 信号はL アクティブ 1：SSLi 信号はH アクティブ
0	SSL0P	0	R/W	

注．　これらのビットは、SPE ビット＝0の時に書き込んでください。

34.3.3 RSPI 端子制御レジスタ（SPPCR）

SPPCR は、RSPI の端子モードを設定するために使用されるレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	—	0	—	リザーブビット
5	MOIFE	0	R/W	RSPI-MOSI アイドル値選択（注1、2） SSL ネゲート期間中の RSPI-MOSI 出力値を設定します。 0：前回転送の最終データ 1：MOIFV ビットの設定値
4	MOIFV	0	R/W	RSPI-MOSI アイドル固定値（注1、2） MOIFE ビット＝1のときの、SSL ネゲート期間中の RSPI-MOSI 出力を設定します。 0：“L” レベル 1：“H” レベル
3、2	—	0	—	リザーブビット
1、0	SPLP2、SPLP	00	R/W	ループバックモード選択（注1） SPLP2、SPLP 0　0：通常モード 0　1：ループバックモード1 （送信データの反転＝受信データ） 1　X：ループバックモード2 （送信データ＝受信データ）

X：“0”又は“1”いずれでもよい。

注1. これらのビットは、SPE ビット＝0の時に書き込んでください。
2. これらのビットは、マスタモード時のみ有効です。

34.3.4 RSPI ステータスレジスタ（SPSR）

SPSR は、RSPI の動作状態を示すレジスタです。

ビット：	7	6	5	4	3	2	1	0
	SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W	—	R/W	—	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	SPRF	0	R/W （注1、2）	RSPI 受信バッファフルフラグ 受信バッファにに格納されている有効受信データの容量を示します。 0：SPFC[1:0] ビットで設定したフレーム数に満たない 1：SPFC[1:0] ビットで設定したフレーム数分ある
6	—	0	—	リザーブビット
5	SPTEF	1	R/W （注1、3）	RSPI 送信バッファエンプティフラグ 0：送信バッファにデータあり 1：送信バッファにデータなし
4	—	0	—	リザーブビット
3	PERF	0	R/W （注1、4）	パリティエラーフラグ 0：パリティエラーなし 1：パリティエラー発生
2	MODF	0	R/W （注1、5）	モードフォルトエラーフラグ 0：モードフォルトエラーなし 1：モードフォルトエラー発生
1	IDLNF	0	R	RSPI アイドルフラグ RSPI の転送状況を示します。 ■マスタモード時 以下の時、“0”になります ・SPE ビット＝ 0（RSPI 初期化） ・以下の条件をすべて満たした時 - SPSR レジスタの SPTEF ビットが 1 （次のデータが準備されていない） - SPSSR の SPCP ビットが 000 （ループ状態時にトップコマンドポインタでシーケンス制御） - RSPI 内部シーケンサがアイドル状態へ遷移 （次アクセス遅延を完了するまで動作） 上記を満たさない場合、“1”になります ■スレーブモード時 以下の時、“0”になります。 ・SPE ビット＝ 0（RSPI 初期化） 上記を満たさない場合、“1”になります

ビット	ビット名	初期値	R/W	説 明
0	OVRF	0	R/W （注1）	オーバランエラーフラグ 0：オーバランエラーなし 1：オーバランエラー発生

注1. “1”を読み出した後、“0”を書くと“0”になります。“1”を書いても変化しません。
2. SPDRから受信データを読み出したとき“0”になります。
3. SPDRに送信データを書き込んだとき“0”になります。
4. このビットは、パリティ有効（SPPE＝1、かつTXMD＝0）時のみ有効です。
5. このビットは、MODFEN＝1のときのみ有効です。

34.3.5 RSPI データレジスタ（SPDR）

SPDR は、RSPI 送受信用のデータを格納するバッファです。

送信用バッファと受信用バッファは独立したバッファで、これらのバッファが SPDR に割り付けられています。

SPDR へのリード／ライトは、RSPI データコントロールレジスタ（SPDCR）の RSPI ロングワードアクセス／ワードアクセス設定ビット（SPLW）の設定によって、ワード／ロングワードで行ってください。SPLW が 0 のとき、SPDR は、64 ビットのバッファで最大 16 ビットの 4 フレームから構成され、SPLW が 1 のとき、SPDR は、128 ビットのバッファで最大32 ビットの4 フレームから構成されます。

SPDR の使用するフレーム長はRSPI データコントロールレジスタ（SPDCR）のフレーム数設定ビット（SPFC1 ～ SPFC0）によって決定され、使用するビット長は RSPI コマンドレジスタ（SPCMD）の RSPI データ長設定ビット（SPB3～0）によって決定されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～0	SPD[31:0]	H'0000 0000	R/W	SPTEFビット＝1（送信バッファにデータなし）のときにこのレジスタに書き込むと、送信バッファにデータが書き込まれます。（注1） SPRDTDビット＝0のときにこのレジスタを読み出すと、受信バッファの内容が読み出せます。 SPRDTDビット＝1のときにこのレジスタを読み出すと、SPTEFビット＝1であれば、直前に書き込んだ送信バッファの内容が読み出せます。（注2）

注1. SPTEFビット＝0（送信バッファにデータあり）のときにこのレジスタに書き込んでも、送信バッファには書き込まれません。
2. SPRDTDビット＝1、SPTEFビット＝0のときに読み出すと、H'0000 0000が読み出されます。

34.3.6 RSPI シーケンス制御レジスタ（SPSCR）

SPSCR は、RSPI がマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SPSLN[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	0	—	リザーブビット
2～0	SPSLN[2:0]	0	R/W	RSPI シーケンス長設定（注） 000　：1シーケンス 001　：2シーケンス 010　：3シーケンス 011　：4シーケンス 100　：5シーケンス 101　：6シーケンス 110　：7シーケンス 111　：8シーケンス

注.　このビットは、SPE ビット＝0の時に書き込んでください。
また、このビットはマスタモード時のみ有効です。
このビットの設定によって、参照するSPCMD レジスタが決まります。詳細は「(c) シーケンス制御」を参照してください。
なお、SPFC[1:0] ビットとの組み合わせに制限があります（表34.4参照）。

34.3.7 RSPI シーケンスステータスレジスタ（SPSSR）

SPSSR は、マスタモード時のシーケンス制御の状態を示すレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	SPECM[2:0]			—	SPCP[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	—	R	R	R	—	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6～4	SPECM2～SPECM0	0	R	RSPI エラーコマンド（注） オーバフローエラー、モードフォルトエラー、パリティエラーが検出されたコマンドレジスタを示します。 000：SPCMD0 001：SPCMD1 010：SPCMD2 011：SPCMD3 100：SPCMD4 101：SPCMD5 110：SPCMD6 111：SPCMD7
3	—	0	—	リザーブビット
2～0	SPCP2～SPCP0	0	R	RSPI コマンドポインタ シーケンス制御中のコマンドレジスタを示します。 000：SPCMD0 001：SPCMD1 010：SPCMD2 011：SPCMD3 100：SPCMD4 101：SPCMD5 110：SPCMD6 111：SPCMD7

注.　このビットは、エラー検出時のみ更新されます。OVRF ビット、MODF ビット、PERF ビットのいずれかが“1”のときに参照してください。

34.3.8 RSPI ビットレートレジスタ（SPBR）

SPBR は、マスタモード時のビットレートを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	SPR[7:0]							
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	SPR[7:0]	H'FF	R/W	このレジスタの設定値をn（n＝0～255）、BRDV[1:0]ビットの設定値をN（N＝0～3）とすると、ビットレートは以下になります $\text{ビットレート} = \frac{f(Pck)}{2 \times (n+1) \times 2^N}$

注.　このレジスタは、SPE ビット＝0の時に書き込んでください。
また、このレジスタはマスタモード時のみ有効です。

SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレートを表34.3 に示します。

表34.3　SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート

SPBRの設定値（n）	BRDV[1:0]の設定値（N）	ビットレート
0	0	24.0 Mbps
1	0	12.0 Mbps
2	0	8.00 Mbps
3	0	6.00 Mbps
4	0	4.80 Mbps
5	0	4.00 Mbps
5	1	2.00 Mbps
5	2	1.00 Mbps
5	3	500 kbps
255	3	11.7 kbps

34.3.9 RSPI データコントロールレジスタ（SPDCR）

SPDCR は、SPDR レジスタに格納するフレーム数、SSL 端子出力、SPDR レジスタアクセスを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	SPLW	SPRDTD	SLSEL[1:0]		SPFC[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

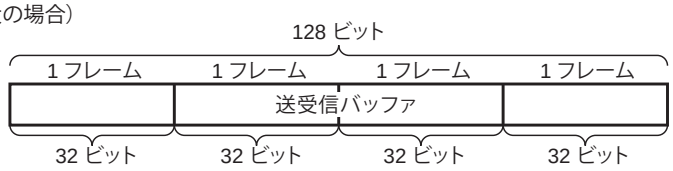
ビット	ビット名	初期値	R/W	説 明
7、6	—	0	—	リザーブビット
5	SPLW	0	R/W	SPDR レジスタアクセス幅設定（注1） 0：ワードアクセス 1：ロングワードアクセス
4	SPRDTD	0	R/W	RSPI 受信／送信データ選択ビット（注1） 0：SPDR レジスタを読み出すと受信バッファの内容が読み出せる 1：SPDR レジスタを読み出すと送信バッファの内容が読み出せる（注2）
3、2	SLSEL[1:0]	00	R/W	RSPI-SSL1端子出力選択ビット（注1） マスタモード時のRSPI-SSL1端子出力を設定します。 00：出力 01：入出力 10：出力 11：設定禁止
1、0	SPFC[1:0]	00	R/W	フレーム数設定ビット（注1、3） 送受信バッファに格納できるフレーム数を設定します。 00：1フレーム 01：2フレーム 10：3フレーム 11：4フレーム

注1. これらのビットは、SPE ビット＝0の時に書き込んでください。
2. SPTEF＝1のときに読み出してください。
3. SPSLN[2:0]ビットとの組み合わせに制限があります（表34.4参照）。

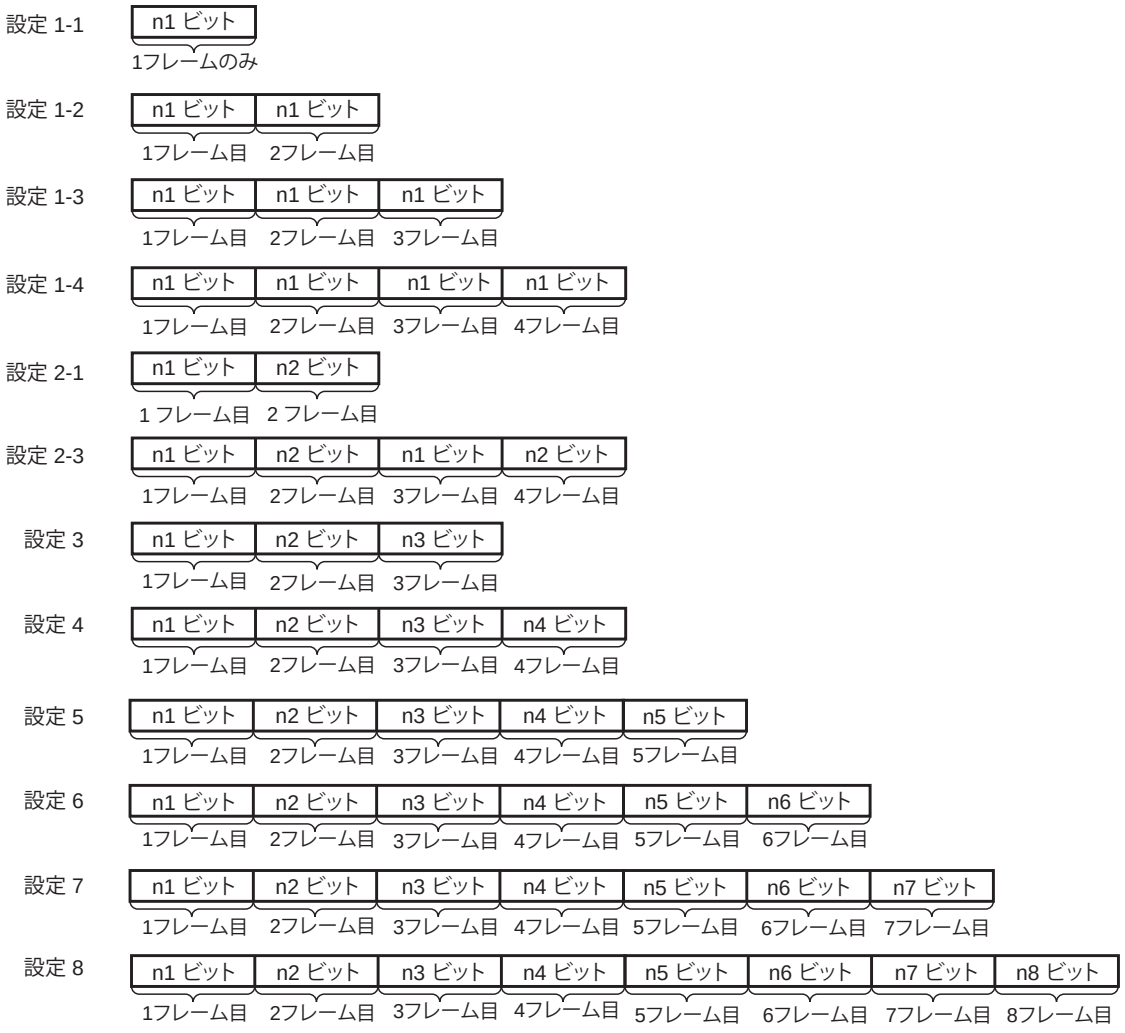
表34.4　フレーム数設定ビットの組み合わせ

設定	SPSLN[2:0] （シーケンス長）	SPFC[1:0] （フレーム数）	転送する フレーム数	SPRF を1 に、 SPTEF を0 にする フレーム数
1-1	000 (1)	00 (1)	1	1
1-2	000 (1)	01 (2)	2	2
1-3	000 (1)	10 (3)	3	3
1-4	000 (1)	11 (4)	4	4
2-1	001 (2)	01 (2)	2	2
2-2	001 (2)	11 (4)	4	4
3	010 (3)	10 (3)	3	3
4	011 (4)	11 (4)	4	4
5	100 (5)	00 (1)	5	1
6	101 (6)	00 (1)	6	1
7	110 (7)	00 (1)	7	1
8	111 (8)	00 (1)	8	1

• フレーム構成（最大の場合）



• 送受信設定の組み合わせ例
表34.4 の1-1～8 の設定時、1 回の起動で以下のようにデータが送受信できます。



n1～n8：SPB[3:0]ビットで設定するデータ長（8～16、20、24、32ビット）

図 34.2　フレームの配列と送受信設定の組み合わせ例

34.3.10 RSPI-RSPCK 遅延レジスタ（SPCKD）

SPCKD は、SSL 信号アサート開始からRSPI-RSPCK 発振までの期間（RSPI-RSPCK 遅延）を設定するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKDL[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	0	—	リザーブビット
2～0	SCKDL[2:0]	000	R/W	RSPI-RSPCK 遅延設定（注） 000：1 RSPI-RSPCK 001：2 RSPI-RSPCK 010：3 RSPI-RSPCK 011：4 RSPI-RSPCK 100：5 RSPI-RSPCK 101：6 RSPI-RSPCK 110：7 RSPI-RSPCK 111：8 RSPI-RSPCK

注.　このビットは、SPE ビット＝0の時に書き込んでください。
また、このビットはマスタモードでSCKDENビット＝1のときのみ有効です。スレーブモード時は“000”にしてください。

34.3.11 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）

SSLND は、マスタモード時、シリアル転送の最終 RSPI-RSPCK エッジから SSL 信号がネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SLNDL[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	0	—	リザーブビット
2～0	SLNDL[2:0]	000	R/W	SSL ネゲート遅延設定（注） 000：1 RSPI-RSPCK 001：2 RSPI-RSPCK 010：3 RSPI-RSPCK 011：4 RSPI-RSPCK 100：5 RSPI-RSPCK 101：6 RSPI-RSPCK 110：7 RSPI-RSPCK 111：8 RSPI-RSPCK

注．　このビットは、SPE ビット＝0の時に書き込んでください。
　　また、このビットはマスタモード時のみ有効です。スレーブモード時は“000”にしてください。

34.3.12 RSPI 次アクセス遅延レジスタ（SPND）

SPND は、シリアル転送終了後のSSL 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SPNDL[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～3	—	0	—	リザーブビット
2～0	SPNDL[2:0]	000	R/W	RSPI 次アクセス遅延設定（注） 000：1 RSPI-RSPCK + 2 Pck 001：2 RSPI-RSPCK + 2 Pck 010：3 RSPI-RSPCK + 2 Pck 011：4 RSPI-RSPCK + 2 Pck 100：5 RSPI-RSPCK + 2 Pck 101：6 RSPI-RSPCK + 2 Pck 110：7 RSPI-RSPCK + 2 Pck 111：8 RSPI-RSPCK + 2 Pck

注. このビットは、SPE ビット＝0の時に書き込んでください。
また、このビットはマスタモードでSPNDENビット＝1のときのみ有効です。スレーブモード時は“000”にしてください。

34.3.13 RSPI 制御レジスタ 2（SPCR2）

SPCR2 は、RSPI の動作モードを設定するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	PTE	IDINTE	SPOE	SPPE
初期値：	0	0	0	0	0	0	0	0
R/W：	0	0	0	0	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～4	—	0	—	リザーブビット
3	PTE	0	R/W	パリティセルフダイアグノシス パリティ機能が正常か確認するためのパリティ回路のセルフダイアグノシス機能を有効にします。 0：パリティ回路のセルフダイアグノシス機能無効 1：パリティ回路のセルフダイアグノシス機能有効
2	IDINTE	0	R/W	RSPI アイドル割り込みイネーブル RSPI がアイドル状態であることを検出して IDLNF ビット（RSPI ステータスレジスタ （SPSR)のビット 1）を 1 にした場合、RSPI アイドル割り込み要求の発生を許可／禁止 するためのビットです。 0：IDLNF ビット＝1のとき RSPI アイドル割り込み要求の発生を禁止 1：IDLNF ビット＝1のとき RSPI アイドル割り込み要求の発生を許可
1、0	SPOE、SPPE	00	R/W	パリティ機能設定（注） SPOE、SPPE X　0　：パリティ機能無効 0　1　：偶数パリティ 1　1　：奇数パリティ

X：“0”又は“1”いずれでもよい。

注.　これらのビットは、SPE ビット＝0の時に書き込んでください。

34.3.14 RSPI コマンドレジスタ 0～7（SPCMD0～7）

SPCMD0～SPCMD7 は、マスタモード時の RSPI の転送フォーマットを設定するレジスタです。また、SPCMD0 の一部のビットは、スレーブモード時の RSPI の転送フォーマットを設定するためにも使用されます。

ビット：	15	14	13	12	11	10	9	8
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
初期値：	0	0	0	0	0	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	SSLKP	—	—	SSLA	BRDV[1:0]		CPOL	CPHA
初期値：	0	0	0	0	1	1	0	1
R/W：	R/W	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	SCKDEN	0	R/W	RSPI-RSPCK 遅延設定イネーブル（注1） SSL 信号アサート開始から RSPI-RSPCK 発振までの期間（RSPI-RSPCK 遅延）を設定します。 0：1RSPI-RSPCK 1：SCKDL[2:0] ビットで設定した遅延値
14	SLNDEN	0	R/W	SSL ネゲート遅延設定イネーブル（注1） マスタモード時、シリアル転送の最終 RSPI-RSPCK エッジから SSL 信号がネゲートするまでの期間（SSL ネゲート遅延）を設定します。 0：1RSPI-RSPCK 1：SLNDL[2:0] ビットで設定した遅延値
13	SPNDEN	0	R/W	RSPI 次アクセス遅延イネーブル（注1） シリアル転送終了後の SSL 信号の非アクティブ期間（次アクセス遅延）を設定します。 0：1RSPI-RSPCK + 2Pck 1：SPNDL[2:0] ビットで設定した遅延値
12	LSBF	0	R/W	送受信データフォーマット（注2） 0：MSB ファースト 1：LSB ファースト

ビット	ビット名	初期値	R/W	説 明
11～8	SPB[3:0]	0111	R/W	RSPI データ長設定（注2、3） 0100～0111：8 ビット 1000：9 ビット 1001：10 ビット 1010：11 ビット 1011：12 ビット 1100：13 ビット 1101：14 ビット 1110：15 ビット 1111：16 ビット 0000：20 ビット 0001：24 ビット 0010、0011：32 ビット
7	SSLKP	0	R/W	SSL 信号レベル保持（注1） マスタモード時のシリアル転送で、現コマンドに対応するSSL ネゲートタイミングから次コマンドに対応するSSLアサートタイミングの間に、現コマンドのSSL 信号レベルを保持するか、ネゲートするかを設定します。 0：転送終了時に全SSL 信号をネゲート 1：転送終了後から次アクセス開始までSSL 信号レベルを保持
6、5	—	0	—	リザーブビット
4	SSLA	0	R/W	SSL 信号アサート設定（注1） マスタモード時のシリアル転送で、SSL 信号のアサートを制御するためのビットです。SSL信号アサート時の信号極性は、SSL1P、SSL0Pビットで設定してください。 00：RSPI-SSL0 01：RSPI-SSL1
3、2	BRDV[1:0]	11	R/W	ビットレート分周設定（注1） SPBR レジスタと併せてビットレートを設定します（「34.3.8 RSPI ビットレートレジスタ（SPBR）」参照）。
1	CPOL	0	R/W	RSPI-RSPCK 極性設定（注2、4） 0：RSPI-RSPCKはアイドル時Lレベルを出力 1：RSPI-RSPCKはアイドル時Hレベルを出力
0	CPHA	1	R/W	RSPI-RSPCK 位相設定（注2、4） 0：奇数エッジで入力データ取り込み、偶数エッジで出力データ切り替え 1：奇数エッジで出力データ切り替え、偶数エッジで入力データ取り込み

注1. これらのビットは、マスタモード時のみ有効です。スレーブモード時は初期値を設定してください。
2. これらのビットは、SPCMD0 レジスタにのみ配置されています。SPCMD1～8 レジスタではリザーブビットになります。
3. SPLW ビット＝0（SPDR レジスタ ワードアクセス）のときは、8～16 ビットのいずれかを設定してください。
4. データ通信を行うモジュール間で、同一の極性及び位相を設定してください。
5. これらのレジスタは、SPTEF ビット＝0の時に書き込んでください。
また、スレーブモード時、SPCMD0 レジスタはSPE ビット＝0の時に書き込んでください

34.4　動作説明

本章では、有効データのドライブ開始から最終有効データの取り込みまでの期間を「シリアル転送期間」と呼びます。

34.4.1　RSPI 動作の概要

RSPI は、表34.5に示す４つのモードでの同期式シリアル転送が可能です。

表34.5　各モードの概要

モード	SPI動作		クロック同期式動作	
	スレーブ	マスタ	スレーブ	マスタ
MSTR ビット	0	1	0	1
MODFEN ビット	X	0	0	0
SPMS ビット	0	0	1	1
RSPI-RSPCK 端子	入力	出力	入力	出力
RSPI-MOSI 端子	入力	出力	入力	出力
RSPI-MISO 端子	出力／Hi-Z	入力	出力	入力
RSPI-SSL0 端子	入力	出力	Hi-Z	Hi-Z
RSPI-SSL1 端子	Hi-Z	出力／Hi-Z	Hi-Z	Hi-Z
SSL 極性変更機能	あり	あり	なし	なし
転送レート	最大Pck/8	最大Pck/2	最大Pck/8	最大Pck/2
クロックソース	RSPI-RSPCK 入力	内蔵ボーレート ジェネレータ	RSPI-RSPCK 入力	内蔵ボーレート ジェネレータ
クロック極性	2種	2種	2種	2種
クロック位相	2種	2種	1種 (CPHA = 1)	2種
MSB/LSB ファースト	MSB／LSB	MSB／LSB	MSB／LSB	MSB／LSB
転送データ長	8～32 ビット	8～32 ビット	8～32 ビット	8～32 ビット
バースト転送	あり (CPHA = 1)	あり (CPHA = 0、1)	なし	なし
RSPI-RSPCK 遅延制御	なし	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	なし	あり
次アクセス遅延制御	なし	あり	なし	あり
転送起動方法	SSL 入力アクティブ 又はRSPI-RSPCK 発振	SPTEF=1 で 送信バッファ書き込み	RSPI-RSPCK 発振	SPTEF=1 で 送信バッファ書き込み
シーケンス制御	なし	あり	なし	あり
送信バッファエンプティ検出	あり	あり	あり	あり
受信バッファフル検出（注1）	あり	あり	あり	あり
オーバランエラー検出（注1）	あり	あり	あり	あり
パリティエラー検出（注1、注2）	あり	あり	あり	あり
モードフォルトエラー検出	あり (MODFEN = 1)	なし	なし	なし

注1. TXMD ビット=1 の場合は、受信バッファフル、オーバランエラー、及びパリティエラーを検出しません。
2. SPPE ビット=0 の場合は、パリティエラーを検出しません。

34.4.2 RSPI 端子の制御

MSTR ビット、MODFEN ビット、SPMS ビットの設定によって、端子方向と出力モードが自動的に切り替わります。端子状態と各ビットの設定値の関係を表 34.6 に示します。

表 34.6　RSPI 端子の状態と制御ビット設定値の関係

モード	端子	端子の状態（注1）
マスタ（SPI 動作） （MSTR = 1、MODFEN = 0、SPMS = 0）	RSPI-RSPCK	CMOS 出力
	RSPI-SSL0	CMOS 出力
	RSPI-SSL1	CMOS 出力/Hi-Z
	RSPI-MOSI	CMOS 出力
	RSPI-MISO	入力
スレーブ（SPI 動作） （MSTR = 0、SPMS = 0）	RSPI-RSPCK	入力
	RSPI-SSL0	入力
	RSPI-SSL1	Hi-Z
	RSPI-MOSI	入力
	RSPI-MISO（注2）	CMOS 出力/Hi-Z
マスタ（クロック同期式動作） （MSTR = 1、MODFEN = 0、SPMS = 1）	RSPI-RSPCK	CMOS 出力
	RSPI-SSL0、RSPI-SSL1（注3）	Hi-Z
	RSPI-MOSI	CMOS 出力
	RSPI-MISO	入力
スレーブ（クロック同期式動作） （MSTR = 0、SPMS = 1）	RSPI-RSPCK	入力
	RSPI-SSL0、RSPI-SSL1（注3）	Hi-Z
	RSPI-MOSI	入力
	RSPI-MISO	CMOS 出力

注1. RSPI 機能が選択されていないマルチファンクションピンには、RSPI の設定値は反映されません。
2. RSPI-SSL0 が非アクティブレベル又は SPE ビット（SPCR レジスタのビット 6）が 0 の場合、端子状態が Hi-Z になります。
3. クロック同期式動作時は、RSPI-SSL0、RSPI-SSL1 を入出力ポートとして使用可能。

SPI 動作時のマスタモードでは、MOIFE ビット（SPPCR レジスタのビット 5）と MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間も含む）の RSPI-MOSI 信号値を表 34.7 のように決定します。

表 34.7　SSL ネゲート期間の RSPI-MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の RSPI-MOSI 信号値
0	0、1	前回転送の最終データ
1	0	常に 0
1	1	常に 1

34.4.3　RSPI システム構成例

(1)　シングルマスタ／シングルスレーブ（本LSI＝マスタ）

図34.3 に、本LSI をマスタとして使用した場合のシングルマスタ／シングルスレーブのRSPI システムの構成例を示します。シングルマスタ／シングルスレーブの構成では、本LSI（マスタ）のRSPI-SSL0、RSPI-SSL1 出力は使用しません。RSPI スレーブのSSL 入力は0 に固定して、RSPI スレーブを常にセレクト状態にします。RSPI 制御レジスタ（SPCR）のCPHA ビットが0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本LSI のSSL 出力をスレーブデバイスのSSL 入力に接続してください。

本LSI（マスタ）は、RSPI-RSPCK とRSPI-MOSI を常にドライブします。RSPI スレーブは、RSPI-MISO を常にドライブします。

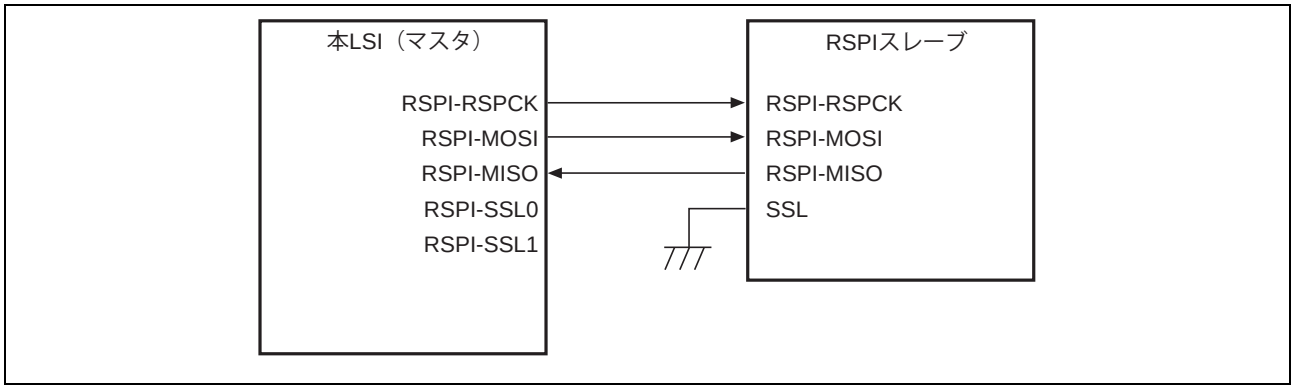


図 34.3　シングルマスタ／シングルスレーブの構成例（本LSI＝マスタ）

(2)　シングルマスタ／シングルスレーブ（本LSI＝スレーブ）

図34.4 に、本LSI をスレーブとして使用した場合のシングルマスタ／シングルスレーブのRSPI システム構成例を示します。本LSI をスレーブとして使用する場合には、RSPI-SSL0 端子をSSL 入力として使用します。RSPI マスタは、RSPI-RSPCK と RSPI-MOSI を常にドライブします。本 LSI（スレーブ）は、RSPI-MISO を常にドライブします。RSPI-SSL0 がアクティブレベルの場合、端子状態がHi-Z になります。

CPHA ビット（RSPI コマンドレジスタ（SPCMD）のビット0）を1 に設定したシングルスレーブ構成の場合には、本LSI（スレーブ）のRSPI-SSL0 入力を0 に固定して本LSI（スレーブ）を常に選択状態とし、シリアル転送を実行することも可能です（図34.5）。

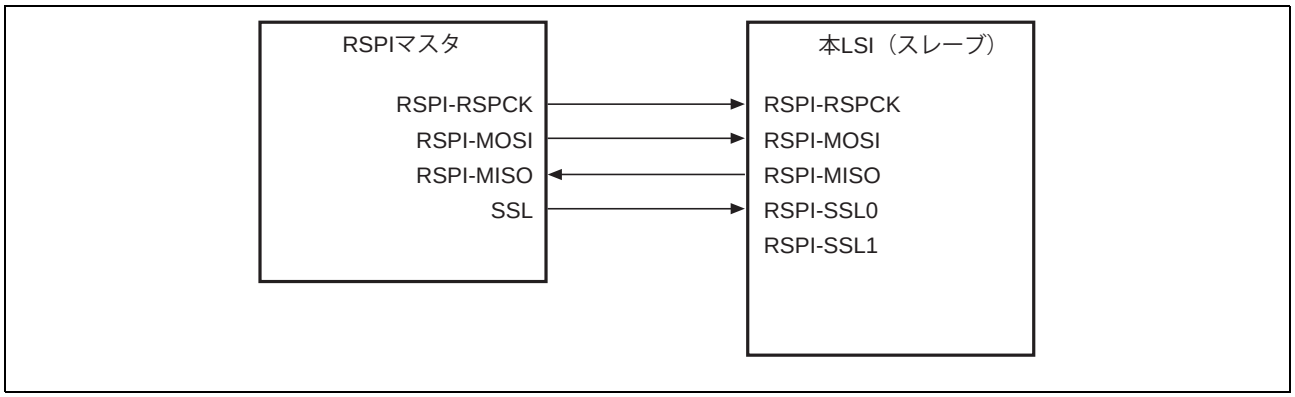


図 34.4　シングルマスタ／シングルスレーブの構成例（本LSI＝スレーブ）

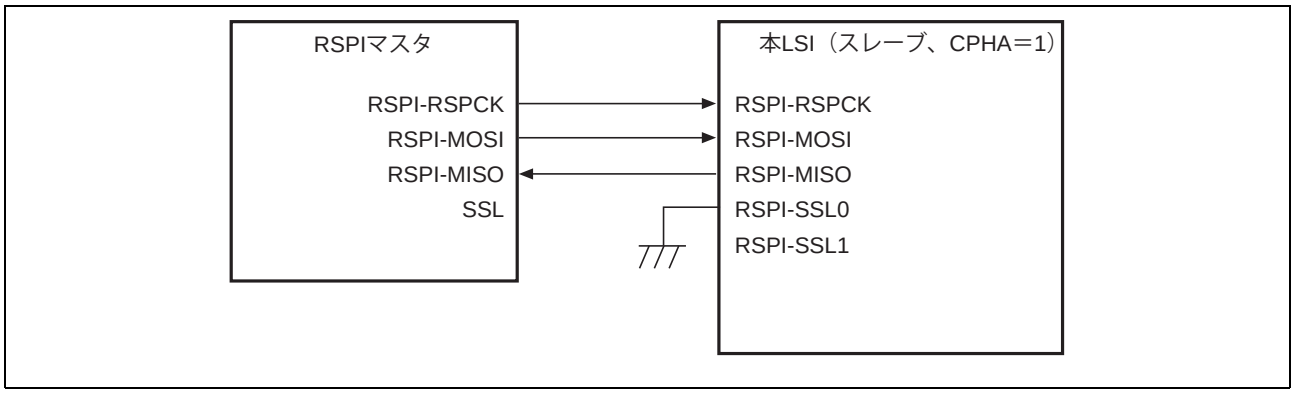


図 34.5　シングルマスタ／シングルスレーブの構成例（本LSI＝スレーブ、CPHA＝1）

(3)　シングルマスタ／マルチスレーブ（本LSI＝マスタ）

図34.6 に、本LSI をマスタとして使用した場合のシングルマスタ／マルチスレーブのRSPI システム構成例を示します。図34.6 の例では、本LSI（マスタ）と2 つのスレーブ（RSPI スレーブ0、RSPI スレーブ1）からRSPI システムを構成しています。

本LSI（マスタ）のRSPI-RSPCK 出力とRSPI-MOSI 出力は、RSPI スレーブ0、RSPI スレーブ1 のRSPI-RSPCK 入力とRSPI-MOSI 入力に接続します。RSPI スレーブ0、RSPI スレーブ1 のRSPI-MISO 出力は、すべて本LSI（マスタ）のRSPI-MISO 入力に接続します。本LSI（マスタ）のRSPI-SSL0、RSPI-SSL1出力は、それぞれRSPI スレーブ0、RSPI スレーブ1 のSSL 入力に接続します。

本LSI（マスタ）は、RSPI-RSPCK、RSPI-MOSI、RSPI-SSL0、RSPI-SSL1を常にドライブします。RSPI スレーブ0、RSPI スレーブ1のうち、SSL 入力に0 を入力されているスレーブがRSPI-MISO をドライブします。

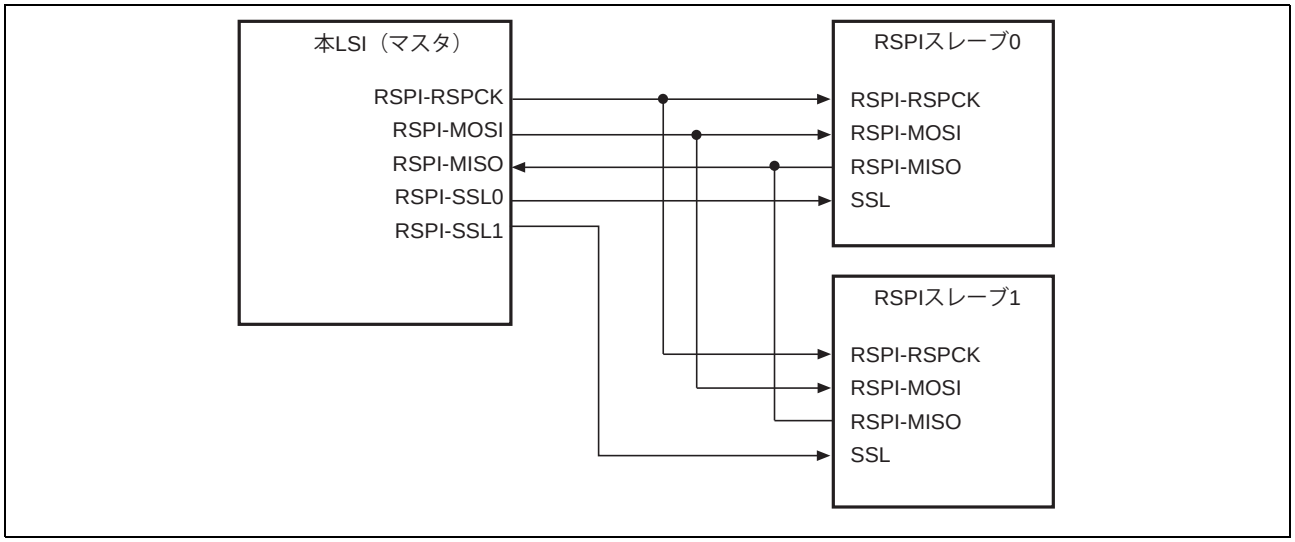


図 34.6　シングルマスタ／マルチスレーブの構成例（本LSI＝マスタ）

(4)　シングルマスタ／マルチスレーブ（本LSI＝スレーブ）

図34.7 に、本LSI をスレーブとして使用した場合のシングルマスタ／マルチスレーブのRSPI システム構成例を示します。図34.7 の例では、RSPI マスタと2 つの本LSI（スレーブX、スレーブY）からRSPI システムを構成しています。

RSPI マスタのRSPI-RSPCK 出力とRSPI-MOSI 出力は、本LSI（スレーブX、スレーブY）のRSPI-RSPCK 入力とRSPI-MOSI 入力に接続します。本LSI（スレーブX、スレーブY）のRSPI-MISO 出力は、RSPI マスタのRSPI-MISO 入力に接続します。RSPIマスタのSSLX 出力、SSLY 出力は、本LSI（スレーブX、スレーブY）のRSPI-SSL0 入力に接続します。

RSPI マスタは、RSPI-RSPCK、RSPI-MOSI、SSLX、SSLY を常にドライブします。本LSI（スレーブX、スレーブY）のうち、RSPI-SSL0 入力に0 を入力されているスレーブが、RSPI-MISO をドライブします。

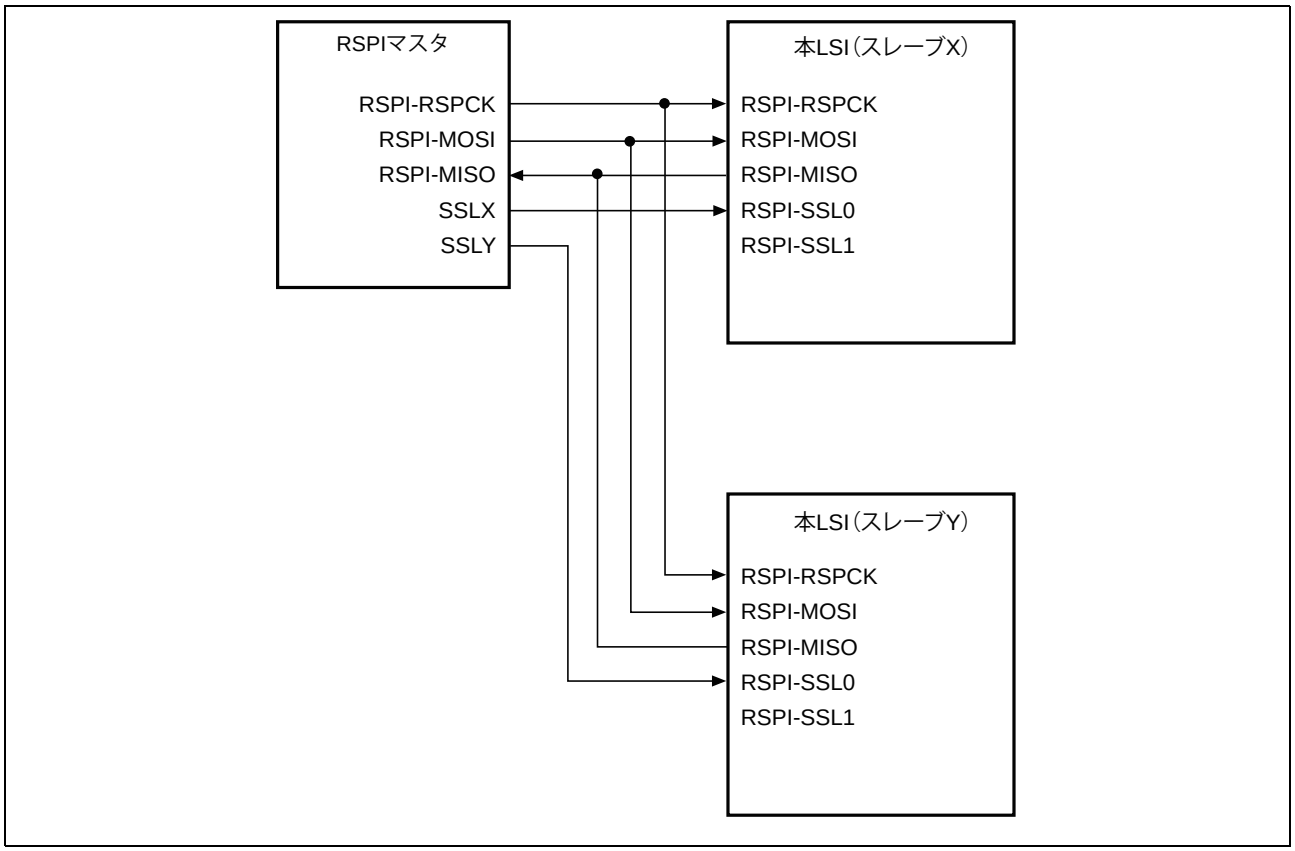


図 34.7　シングルマスタ／マルチスレーブの構成例（本LSI＝スレーブ）

(5)　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本LSI＝マスタ）

図34.8 に、本LSI をマスタとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の RSPI システムの構成例を示します。マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成では、本LSI（マスタ）のRSPI-SSL0、RSPI-SSL1 出力は使用しません。

本LSI（マスタ）は、RSPI-RSPCK と RSPI-MOSI を常にドライブします。RSPI スレーブは、RSPI-MISO を常にドライブします。

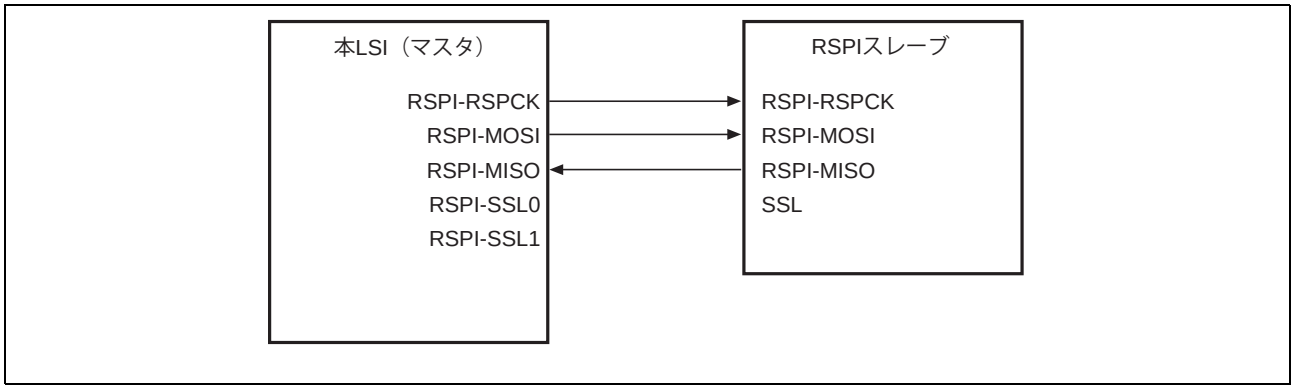


図 34.8　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例（本LSI＝マスタ）

(6)　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）（本LSI＝スレーブ）

図 34.9 に、本 LSI をスレーブとして使用した場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）のRSPI システム構成例を示します。本LSI をスレーブ（クロック同期式動作）として使用する場合には、本 LSI（スレーブ）は、RSPI-MISO を常にドライブし、RSPI マスタは、RSPI-RSPCK と RSPI-MOSI を常にドライブします。また、本LSI（スレーブ）のRSPI-SSL0、RSPI-SSL1 は使用しません。

CPHA ビット（RSPI コマンドレジスタ（SPCMD）のビット0）を1 に設定したシングルスレーブ構成の場合のみ、本LSI（スレーブ）はシリアル転送を実行することが可能です。

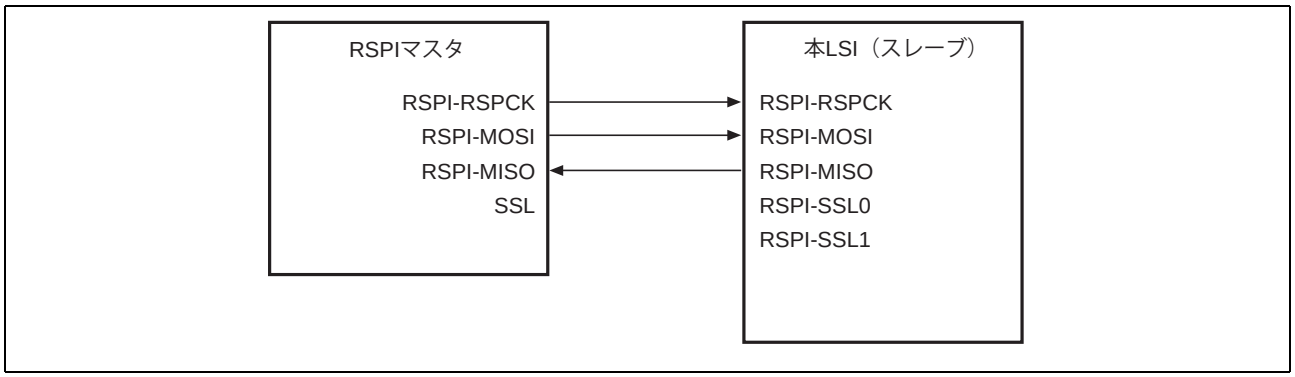


図 34.9　マスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の構成例
（本LSI＝スレーブ、CPHA＝1）

34.4.4　転送フォーマット

(1)　CPHA＝0 の場合

図34.10 にRSPI コマンドレジスタ（SPCMD）のCPHA ビットが0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI スレーブモード動作（MSTR=0）時、かつCPHA ビットが0 の場合のクロック同期式動作（RSPI 制御レジスタ（SPCR）のSPMS ビットが1 の場合）は保証しません。図34.10 において、RSPI-RSPCK（CPOL＝0）はSPCMD のCPOL ビットが0 の場合、RSPI-RSPCK（CPOL＝1）はCPOL ビットが1 の場合のRSPI-RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「34.4.2 RSPI 端子の制御」を参照してください。

CPHA ビットが0 の場合には、SSL 信号のアサートタイミングで、RSPI-MOSI 信号への有効データ出力とRSPI-MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初のRSPI-RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降1RSPI-RSPCK 周期ごとにデータがサンプリングされます。RSPI-MOSI 信号とRSPI-MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの1/2RSPI-RSPCK 周期後になります。CPOL ビットの設定値は、RSPI-RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートからRSPI-RSPCK 発振までの期間（RSPI-RSPCK 遅延）です。t2 は、RSPI-RSPCK 発振停止からSSL信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のためのSSL 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本LSI のRSPI がマスタモードである場合のt1、t2、t3 については、「34.4.10 SPI動作」を参照してください。

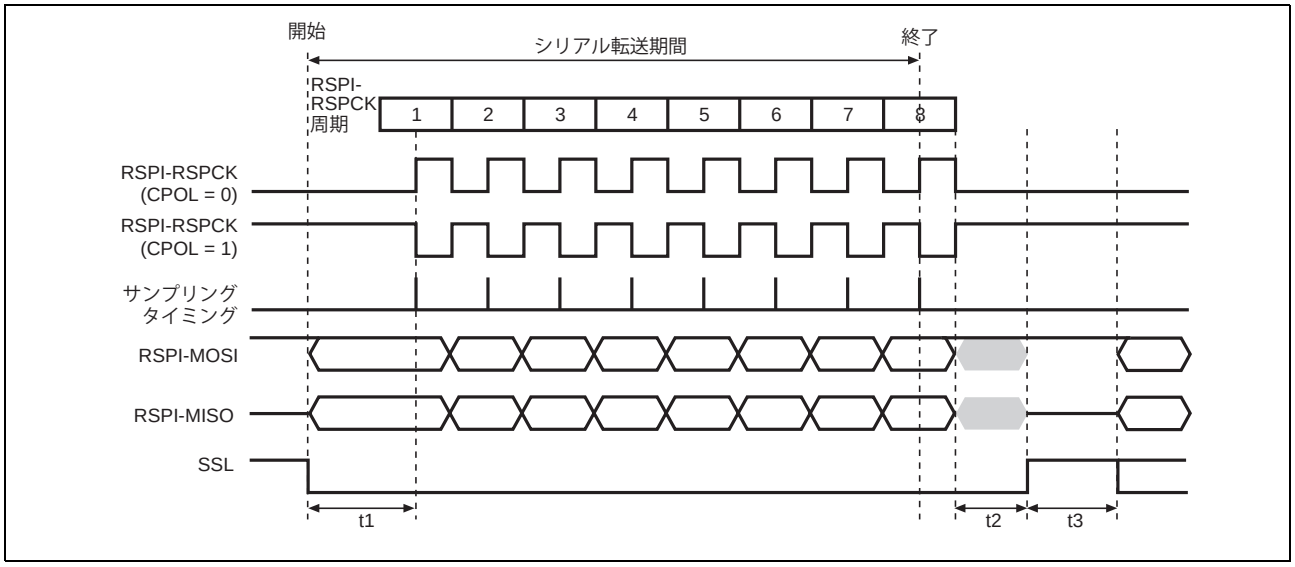


図 34.10　RSPI 転送フォーマット（CPHA＝0）

(2)　CPHA＝1 の場合

図 34.11 に CPHA ビット（RSPI コマンドレジスタ（SPCMD）のビット 0）が 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPMS ビット（RSPI 制御レジスタ（SPCR）のビット 0）が 1 の場合は SSL 信号を用いず、RSPI-RSPCK 信号、RSPI-MOSI 信号、RSPI-MISO 信号のみで通信を行います。図 34.11 において、RSPI-RSPCK（CPOL ＝ 0）は CPOL ビット（SPCMD レジスタのビット 1）が 0 の場合、RSPI-RSPCK（CPOL ＝ 1）は CPOL ビットが 1 の場合の RSPI-RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード（マスタ／スレーブ）に依存します。詳細は「34.4.2 RSPI 端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、RSPI-MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPI-RSPCK 信号変化タイミングで、RSPI-MOSI 信号と RSPI-MISO 信号への有効データの出力が開始され、このタイミング以降 1RSPI-RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPI-RSPCK 周期後になります。CPOL ビットの設定値は RSPI-RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。t1、t2、t3 の内容は、CPHA ＝ 0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「34.4.10 SPI 動作」を参照してください。

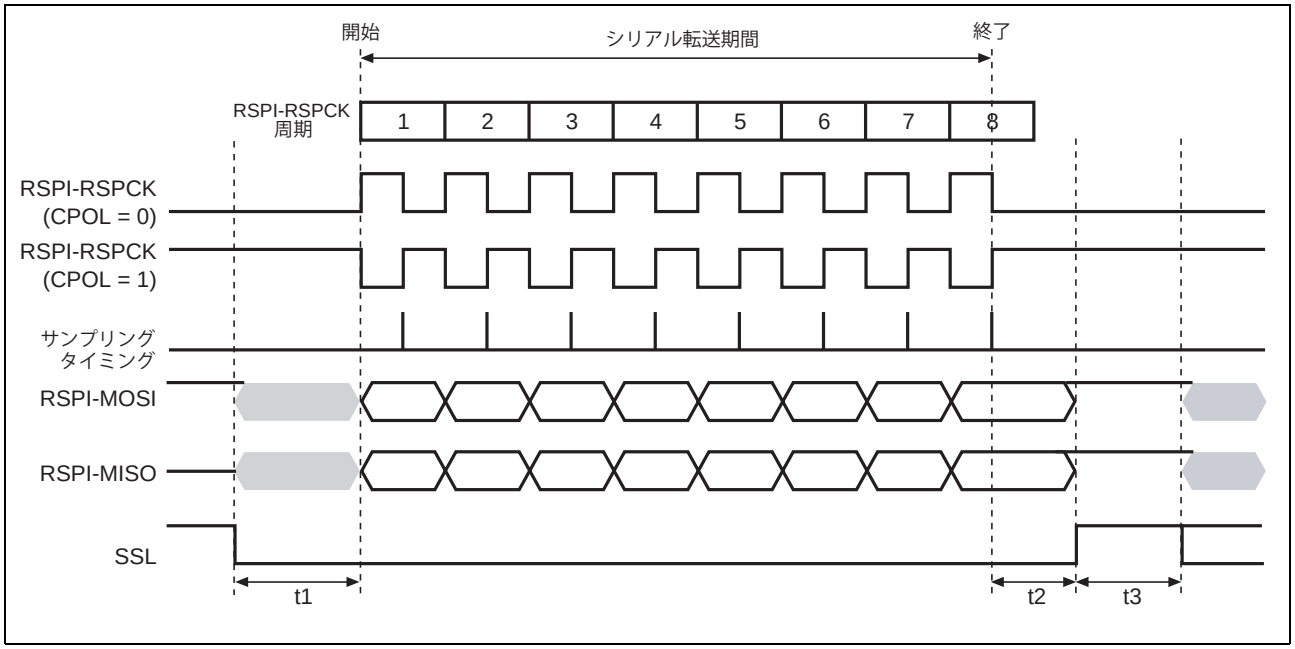


図 34.11　RSPI 転送フォーマット（CPHA＝1）

34.4.5　データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ（SPCMD）とパリティ有効ビット（SPPE）（RSPI コントロールレジスタ 2（SPCR2）レジスタのビット 0）の設定値に依存します。MSB／LSB ファーストにかかわらず、RSPI は RSPI データレジスタ（SPDR）の LSB から設定データ長分の範囲を転送データとして扱います。

RSPI コマンドレジスタ（SPCMD）の RSPI データ長設定ビット（SPB3～0）、RSPI シーケンス制御レジスタ（SPSCR）のシーケンス長設定ビット（SPSLN2～0）、RSPI データコントロールレジスタ（SPDCR）のフレーム数設定ビット（SPFC1～0）の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

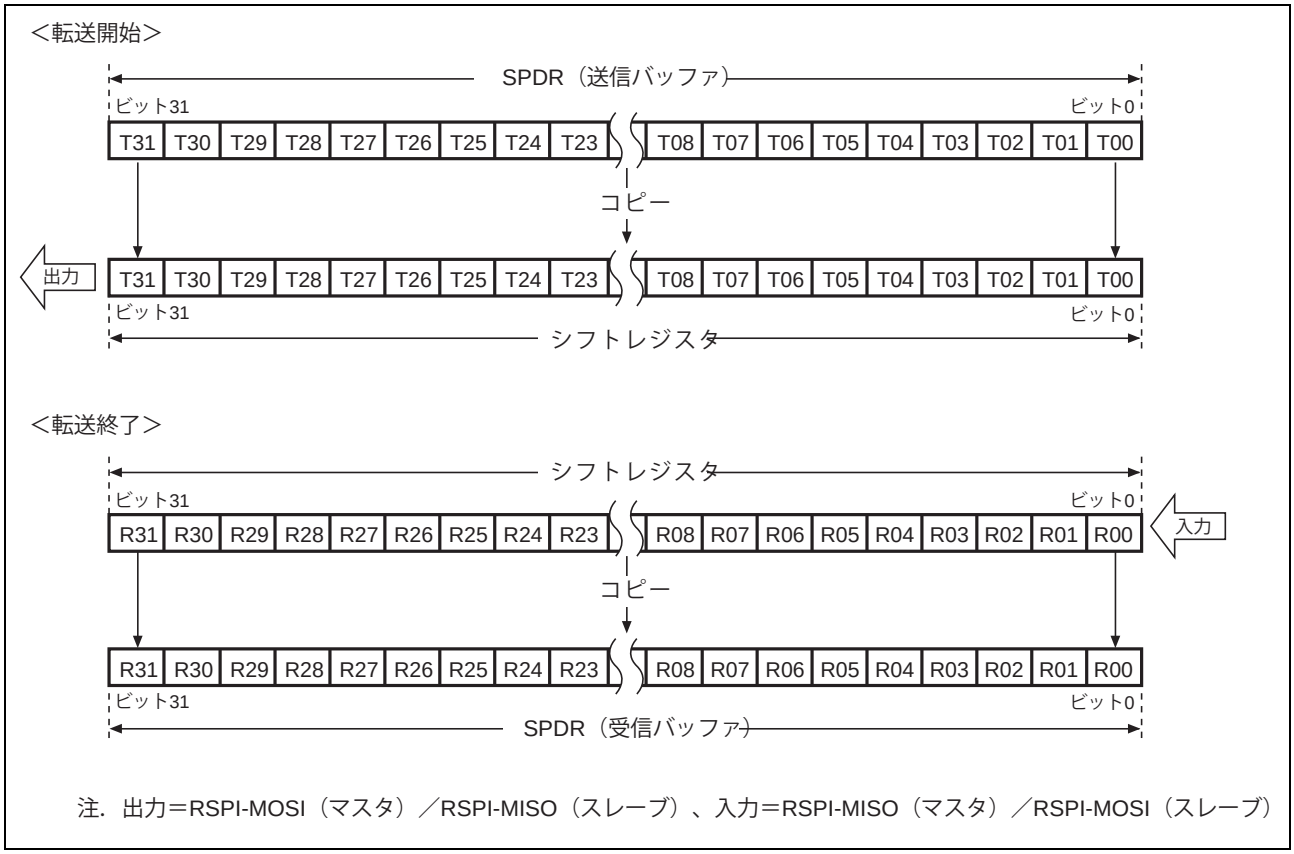
(1)　MSB ファースト転送（32 ビットデータ）

(a)　パリティ機能無効(SPPE=0)

図 34.12 に、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又は DMAC は、SPDR の送信バッファに T31～T00 を書き込みます。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット 5）が 0 かつシフトレジスタが空であれば、RSPI が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPI-RSPCK 周期を経過すると、シフトレジスタにはデータ R31～R00 が格納されます。この状態で、全二重同期式のシリアル通信（TXMD = 0）の場合、RSPI はシフトレジスタから SPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU 又は DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31～R00 がシフトレジスタからシフトアウトされます。



注．出力＝RSPI-MOSI（マスタ）／RSPI-MISO（スレーブ）、入力＝RSPI-MISO（マスタ）／RSPI-MOSI（スレーブ）

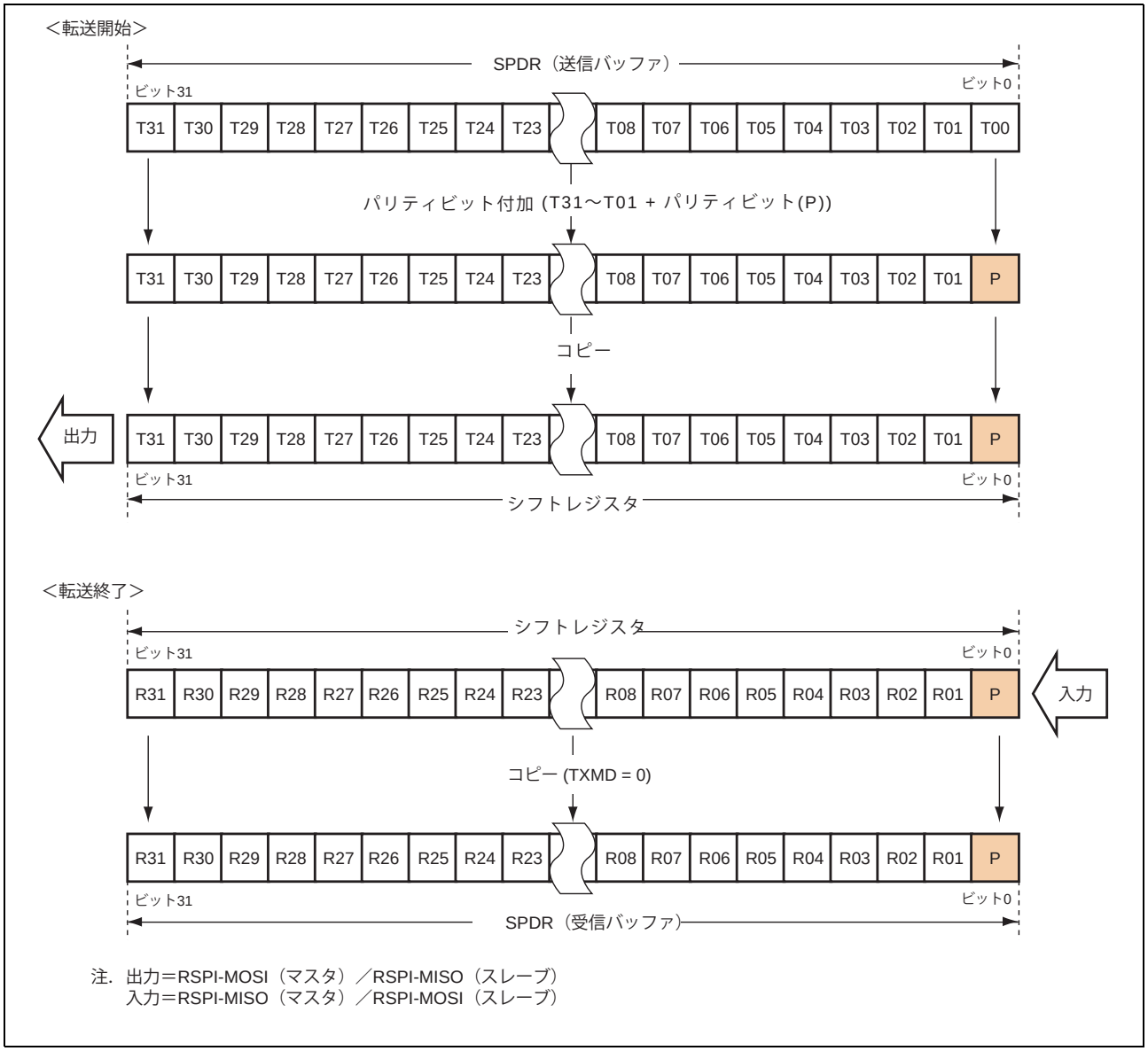
図 34.12　MSB ファースト転送（32 ビットデータ）

(b)　パリティ機能有効（SPPE = 1）

図34.13 に、RSPI がデータ長32 ビットのMSB ファースト転送を実施する場合のRSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又はDMAC は、SPDR の送信バッファにT31 ～T00 を書き込みます。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット5）が0 かつシフトレジスタが空であれば、RSPI がSPDR の送信バッファに格納されているデータ（T00）をパリティビット（P）に変換します。その後、RSPI はパリティビット（P）を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのMSB（ビット31）からデータを出力し、シフトレジスタのLSB（ビット0）からデータをシフトインします。32 ビット分のシリアル転送に必要なRSPI-RSPCK 周期を経過すると、シフトレジスタにはデータR31 ～P が格納されます。この状態で、全二重同期式のシリアル通信（TXMD = 0）の場合、RSPI はシフトレジスタからSPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU 又はDMAC がSPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データR31 ～P がシフトレジスタからシフトアウトされます。



注. 出力＝RSPI-MOSI（マスタ）／RSPI-MISO（スレーブ）
入力＝RSPI-MISO（マスタ）／RSPI-MOSI（スレーブ）

図 34.13　MSB ファースト転送（32 ビットデータ、パリティ機能有効）

(2) MSB ファースト転送（24 ビットデータ）

(a) パリティ機能無効(SPPE=0)

図34.14 に、RSPI が32 ビット以外のデータをMSB ファースト転送する例として、24 ビットのデータ転送を実施する場合のRSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又はDMAC は、SPDR の送信バッファにT31～T00 を書き込みます。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット5）が0 かつシフトレジスタが空であれば、RSPI がSPDR の送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット23 からデータを出力し、シフトレジスタのLSB（ビット0）からデータをシフトインします。24 ビット分のシリアル転送に必要なRSPI-RSPCK 周期を経過すると、シフトレジスタのビット23～ビット0 には受信データR23～R00 が格納されます。シリアル転送完了後のシフトレジスタのビット24～ビット31 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信（TXMD = 0）の場合、RSPI はビット順が逆転したデータをシフトレジスタからSPDR の受信バッファにコピーし、シフトレジスタを空にします。

なお、CPU 又はDMAC がSPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データR23～R00 がシフトレジスタからシフトアウトされます。

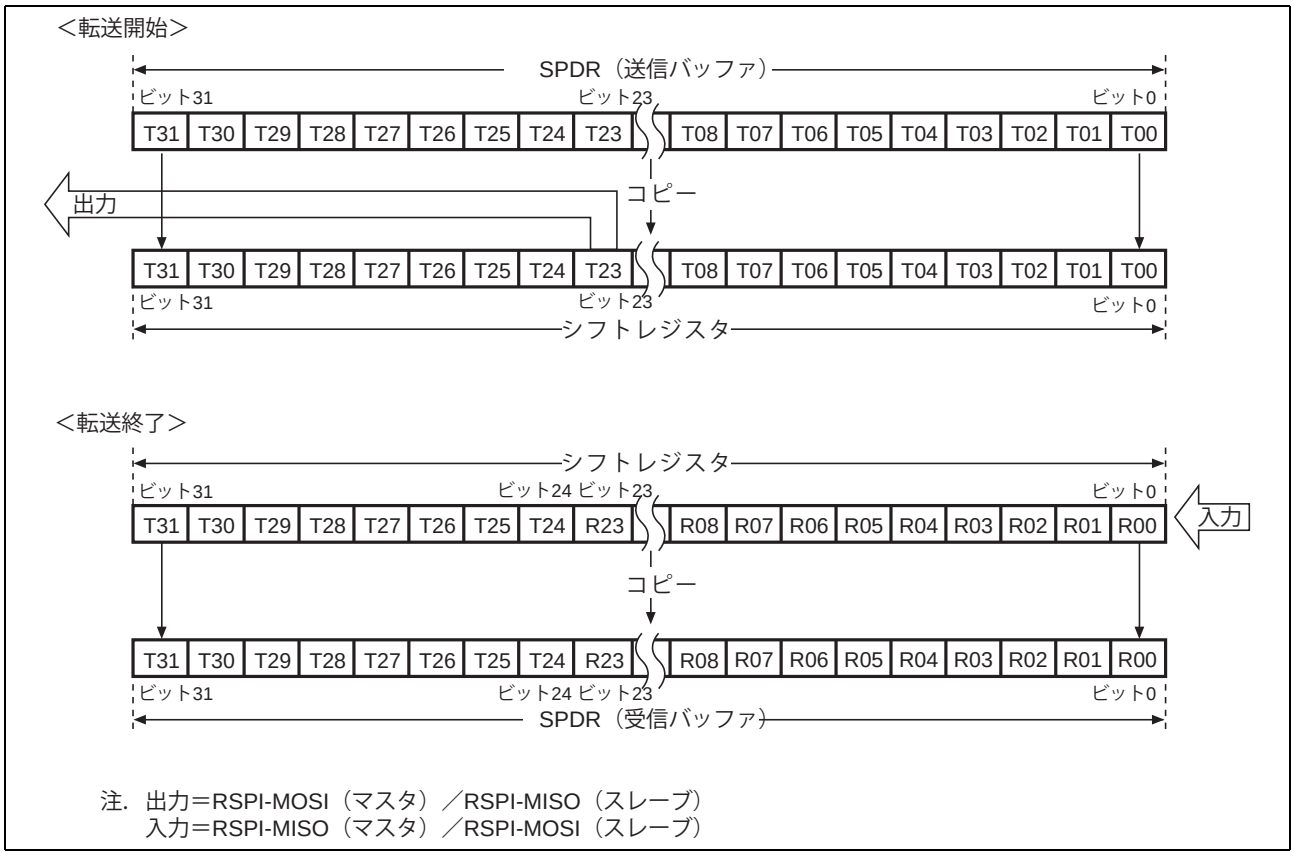


図 34.14　MSB ファースト転送（24 ビットデータ）

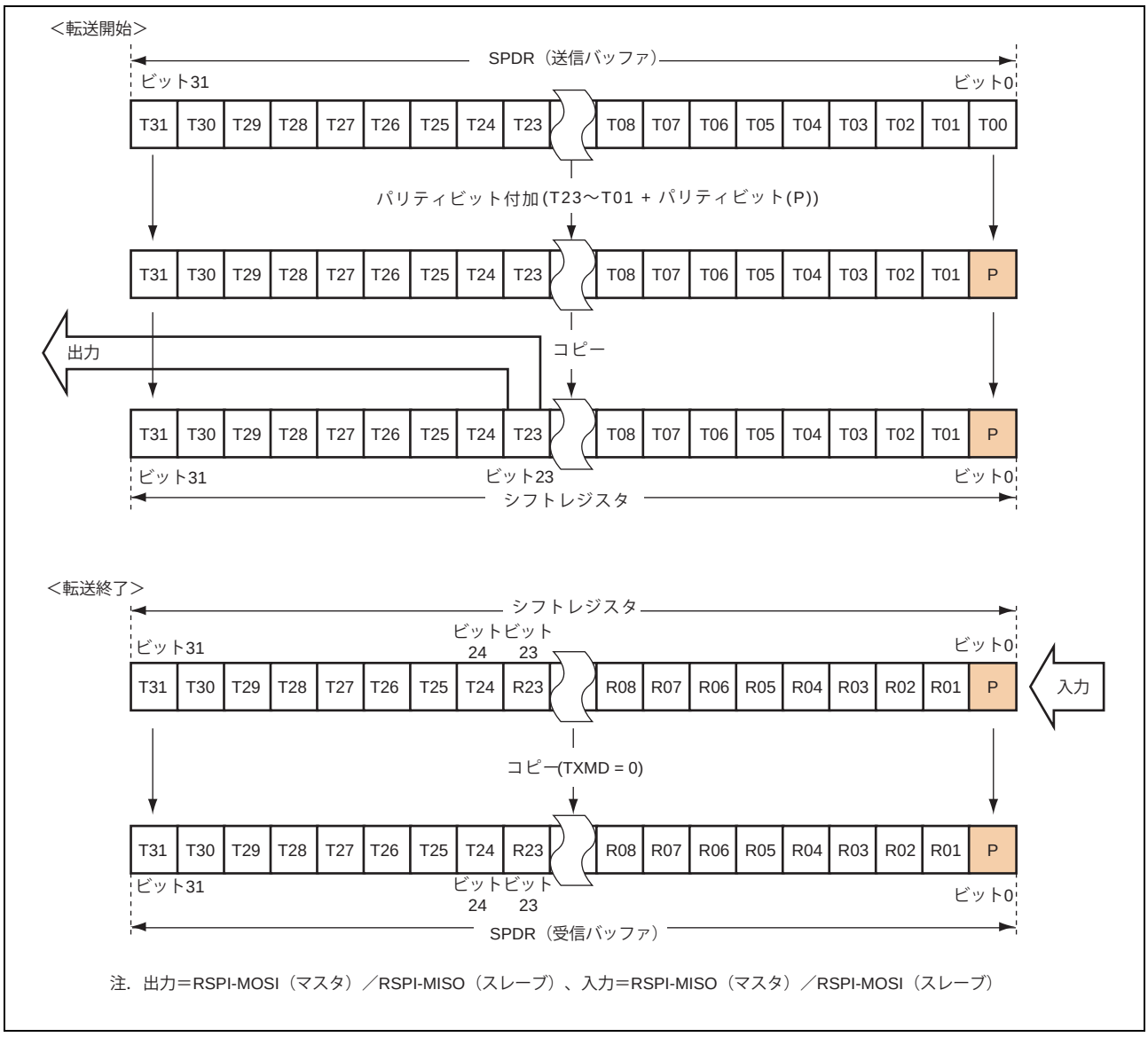
(b) パリティ機能有効（SPPE = 1）

図34.15 に、RSPI がデータ長24 ビットのMSB ファースト転送（データ長32 ビット以外の転送動作を例に挙げます）を実施する場合のRSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又はDMAC は、SPDR の送信バッファにT31～T00 を書き込みます。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット5）が0 かつシフトレジスタが空であれば、RSPI がSPDR の送信バッファに格納されているデータ（T00）をパリティビット（P）に変換します。その後、RSPI はパリティビット（P）を付加したデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのMSB（ビット23）からデータを出力し、シ

フトレジスタのLSB（ビット0）からデータをシフトインします。24 ビット分のシリアル転送に必要なRSPI-RSPCK 周期を経過すると、シフトレジスタの0～23 ビットに受信データR23～P が格納されます。シリアル転送完了後のシフトレジスタのビット24～ビット31 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信（TXMD = 0）の場合、RSPI はシフトレジスタからSPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU 又はDMAC がSPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データR23～P がシフトレジスタからシフトアウトされます。



注. 出力＝RSPI-MOSI（マスタ）／RSPI-MISO（スレーブ）、入力＝RSPI-MISO（マスタ）／RSPI-MOSI（スレーブ）

図 34.15　MSB ファースト転送（24 ビットデータ、パリティ機能有効）

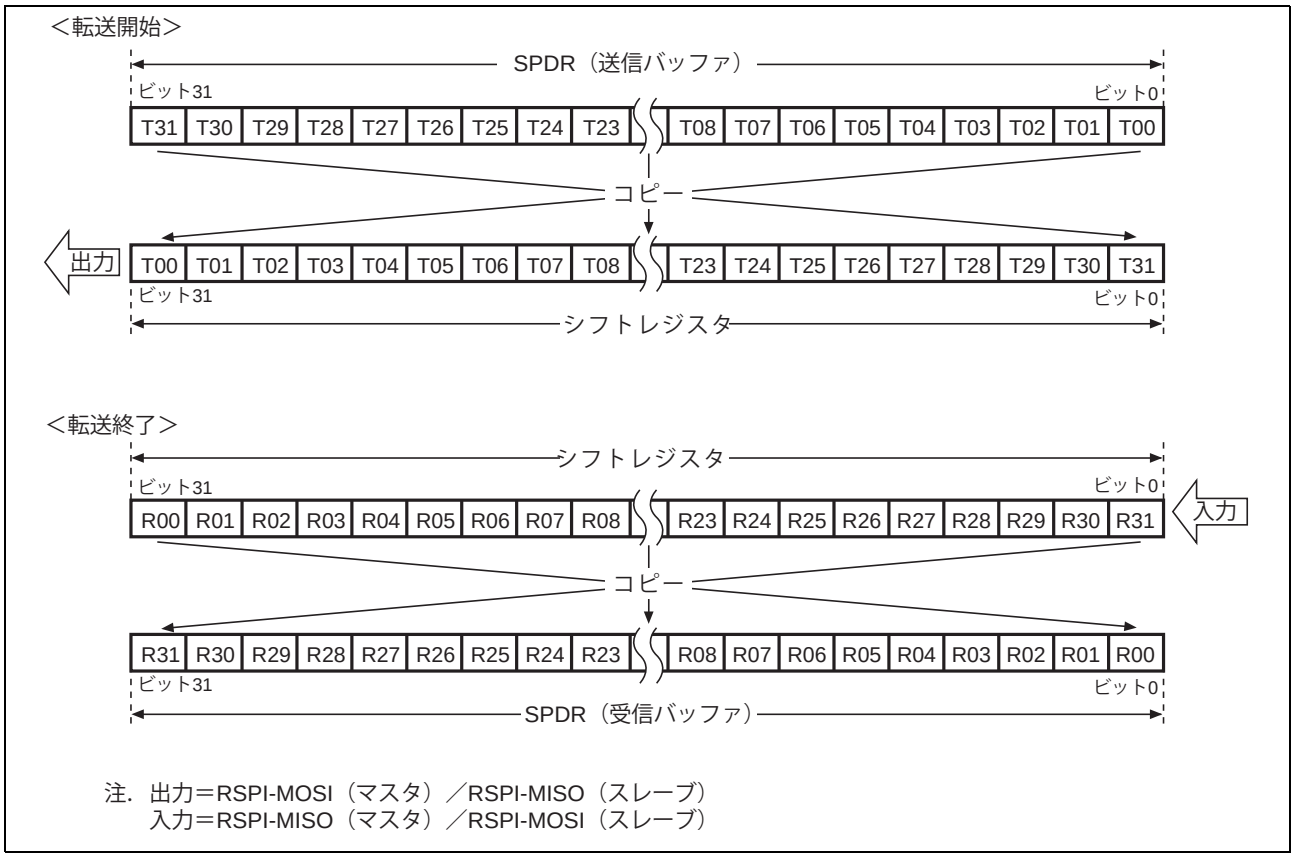
(3) LSB ファースト転送（32 ビットデータ）

(a) パリティ機能無効（SPPE=0）

図 34.16 に、RSPI がデータ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又は DMAC は、SPDR の送信バッファに T31～T00 を書き込みます。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット 5）が 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPI-RSPCK 周期を経過すると、シフトレジスタにはデータ R00～R31 が格納されます。この状態で、全二重同期式のシリアル通信（TXMD = 0）の場合、RSPI はシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU 又は DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00～R31 がシフトレジスタからシフトアウトされます。



注. 出力＝RSPI-MOSI（マスタ）／RSPI-MISO（スレーブ）
　　入力＝RSPI-MISO（マスタ）／RSPI-MOSI（スレーブ）

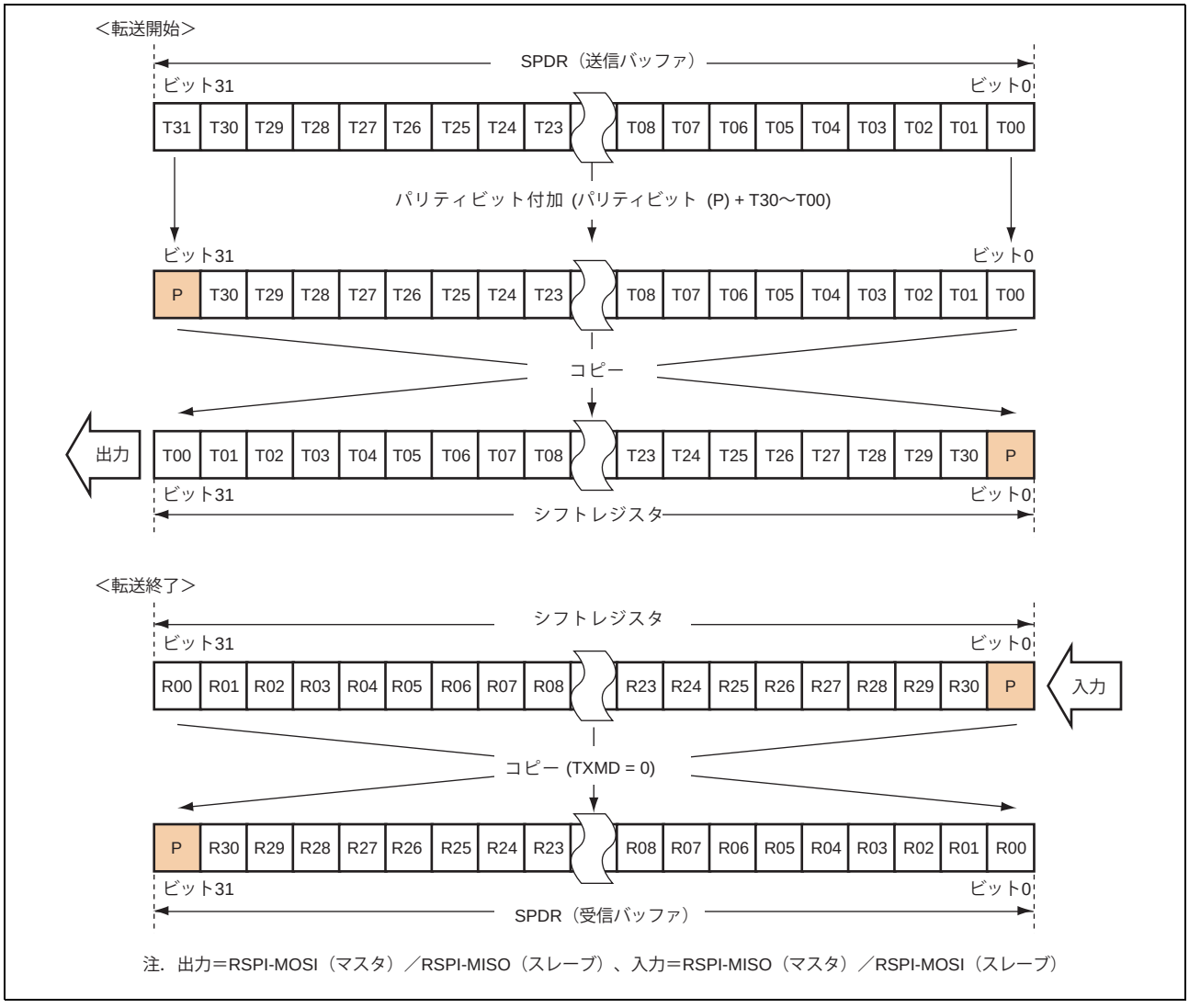
図 34.16　LSB ファースト転送（32 ビットデータ）

(b)　パリティ機能有効（SPPE = 1）

図34.17 に、RSPI がデータ長32 ビットのLSB ファースト転送（パリティ機能有効）を実施する場合のRSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又はDMAC は、SPDR の送信バッファにT31～T00 を書き込みます。RSPI がSPDR の送信バッファに格納されているデータ（T31）をパリティビット（P）に変換します。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット5）が0 かつシフトレジスタが空であれば、RSPI はパリティビット（P）を付加したデータのビット順を逆転してシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのMSB（ビット31）からデータを出力し、シフトレジスタのLSB（ビット0）からデータをシフトインします。32 ビット分のシリアル転送に必要なRSPI-RSPCK 周期を経過すると、シフトレジスタにはデータR00～P が格納されます。この状態で、全二重同期式のシリアル通信（TXMD = 0）の場合、RSPI はシフトレジスタからSPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU 又はDMAC がSPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データR00～P がシフトレジスタからシフトアウトされます。



注．出力＝RSPI-MOSI（マスタ）／RSPI-MISO（スレーブ）、入力＝RSPI-MISO（マスタ）／RSPI-MOSI（スレーブ）

図 34.17　LSB ファースト転送（32 ビットデータ、パリティ機能有効）

(4) LSB ファースト転送（24 ビットデータ）

(a) パリティ機能無効（SPPE=0）

図34.18 に、RSPI が32 ビット以外のデータをLSB ファースト転送する例として、24 ビットのデータ転送（パリティ機能無効）を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又はDMAC は、SPDR の送信バッファにT31～T00 を書き込みます。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット5）が 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのMSB（ビット31）からデータを出力し、シフトレジスタのビット8 からデータをシフトインします。24 ビット分のシリアル転送に必要なRSPI-RSPCK 周期を経過すると、シフトレジスタのビット31～ビット8 には受信データR00～R23 が格納されます。シリアル転送完了後のシフトレジスタのビット7～ビット0 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信（TXMD = 0）の場合、RSPI はシフトレジスタからSPDR の受信バッファにビット順が逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU 又はDMAC がSPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データR00～R23 がシフトレジスタからシフトアウトされます。

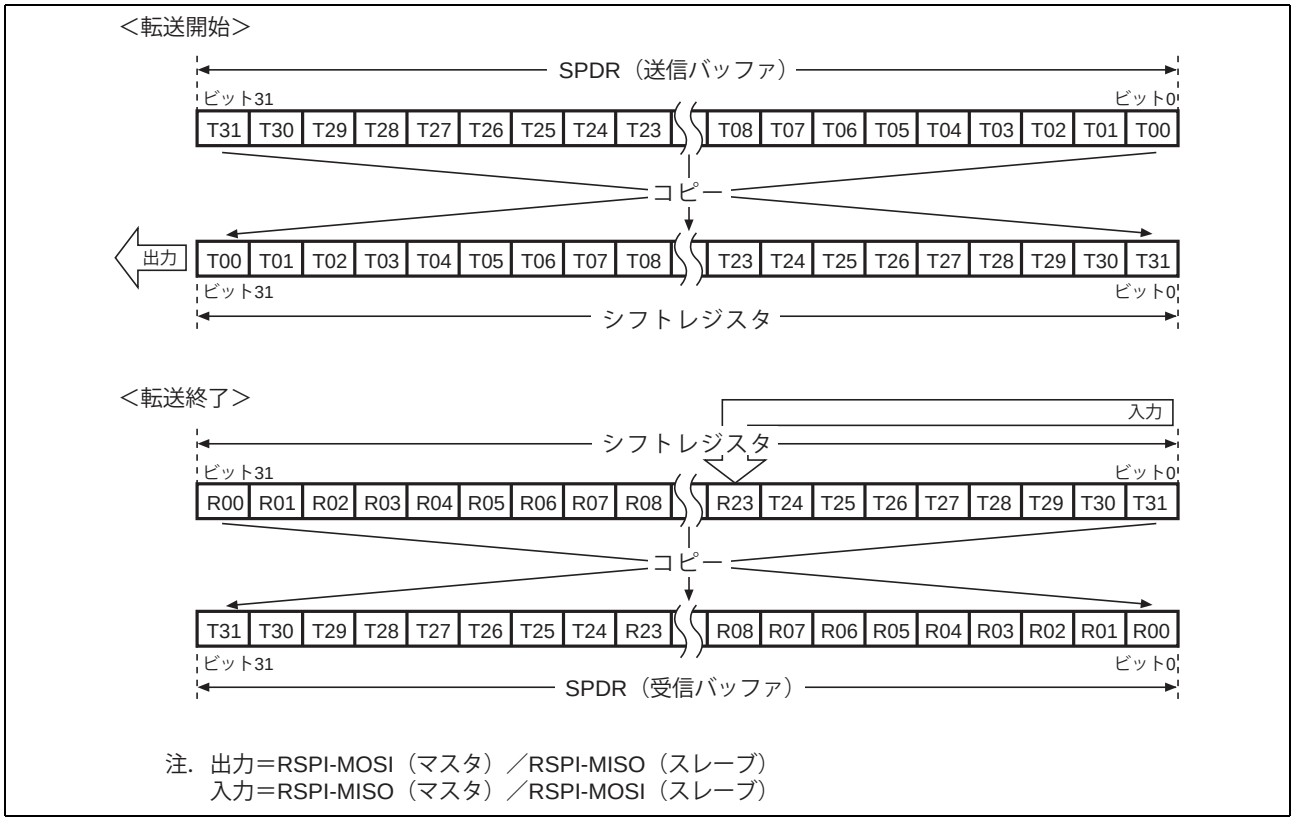


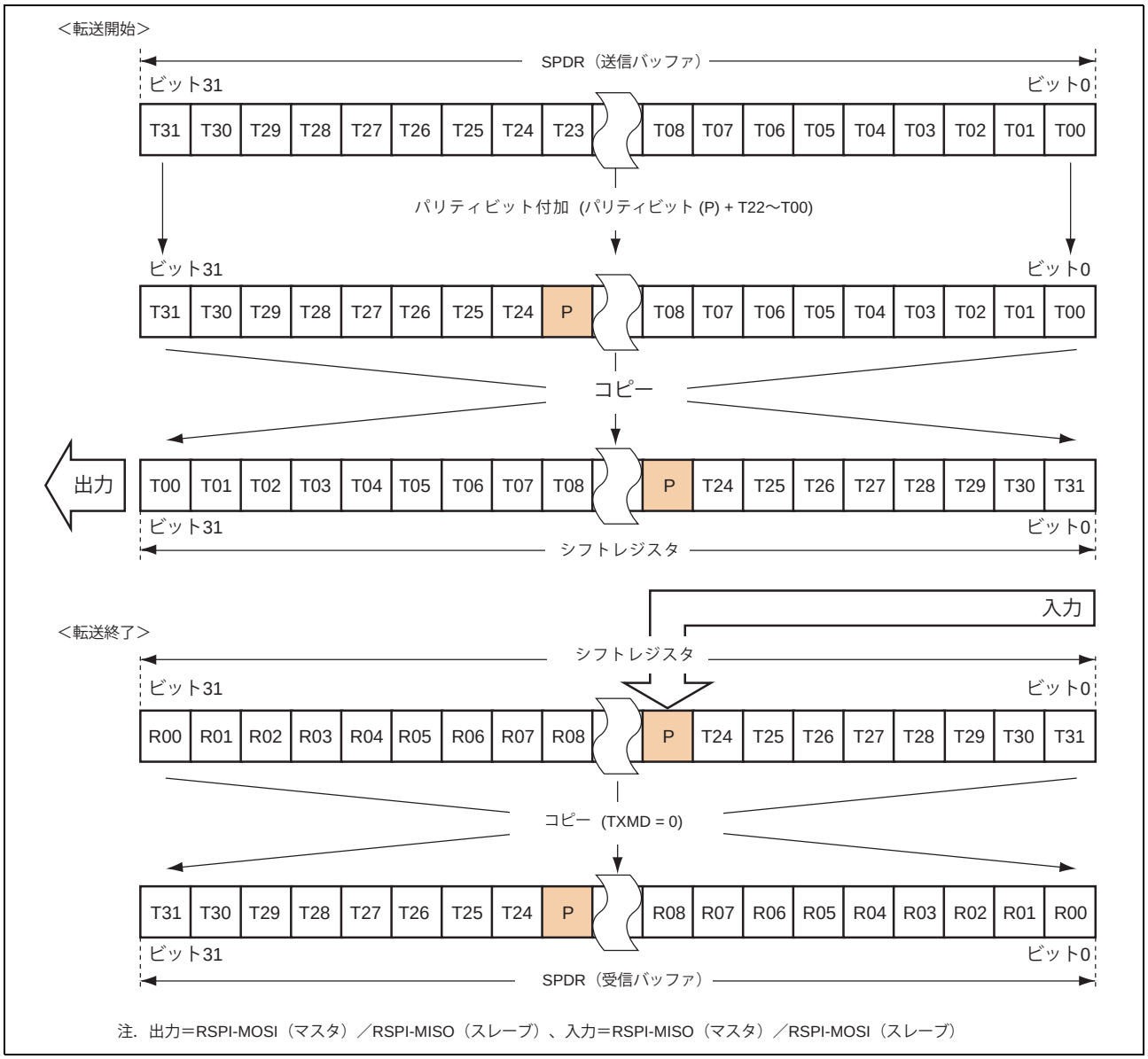
図 34.18　LSB ファースト（24 ビットデータ）

(b)　パリティ機能有効（SPPE = 1）

図34.19 に、RSPI がデータ長24 ビットのLSB ファースト転送（データ長32 ビット以外の転送動作を例に挙げます）を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU 又はDMAC は、SPDR の送信バッファにT31～T00 を書き込みます。RSPI がSPDR の送信バッファに格納されているデータ（T23）をパリティビット（P）に変換します。SPTEF ビット（RSPI ステータスレジスタ（SPSR）のビット5）が0 かつシフトレジスタが空であれば、RSPI はパリティビット（P）を付加したデータのビット順を逆転してシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのMSB（ビット31）からデータを出力し、シフトレジスタの（ビット 8）からデータをシフトインします。24 ビット分のシリアル転送に必要なRSPI-RSPCK 周期を経過すると、シフトレジスタの31～8 ビットに受信データR00～P が格納されます。シリアル転送完了後のシフトレジスタのビット0～ビット7 には、転送前のデータが保持されています。この状態で、全二重同期式のシリアル通信の場合、RSPI はシフトレジスタからSPDR の受信バッファにビット順が逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU 又はDMAC がSPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データR00～P がシフトレジスタからシフトアウトされます。



注．出力＝RSPI-MOSI（マスタ）／RSPI-MISO（スレーブ）、入力＝RSPI-MISO（マスタ）／RSPI-MOSI（スレーブ）

図 34.19　LSB ファースト転送（24 ビットデータ、パリティ機能有効）

34.4.6　通信動作モード

通信動作モード選択ビット（TXMD）（RSPI 制御レジスタ（SPCR）のビット 1）で全二重同期式のシリアル通信か送信専用の動作を選択できます。図 34.20 と図 34.21 の SPDR アクセスは、RSPI データレジスタ（SPDR）へのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクルを示しています。

(1)　全二重同期式のシリアル通信（TXMD = 0）

図 34.20 にTXMD ビット（SPCR レジスタのビット 1）= 0 の設定の動作例を示します。図34.20 の例では、SPFC1 及びSPFC0 ビット（SPDCR レジスタのビット 1、0）＝00、CPHA ビット（SPCMD レジスタのビット 0）＝1、CPOL（SPCMD レジスタのビット 1）＝0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPI-RSPCK 波形の下に記載した数字はRSPI-RSPCK サイクル数（＝転送ビット数）を示しています。

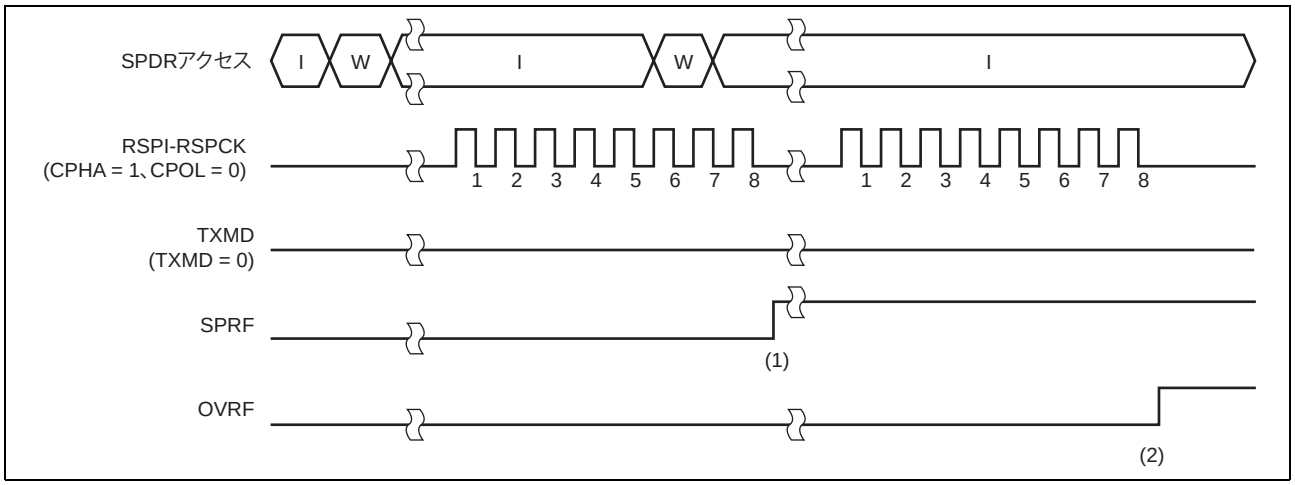


図 34.20　TXMD = 0 の動作例

以下に、図中の（1）、（2）に示したタイミングでのフラグの動作内容を説明します。

1. SPDR の受信バッファが空の状態でシリアル転送が終了すると、RSPI は SPRF ビット（SPSR レジスタのビット 7）を 1 にしてシフトレジスタの受信データを受信バッファにコピーします。
2. 前回シリアル転送時の受信データが SPDR の受信バッファに保持されている状態でシリアル転送を終了すると、RSPI は OVRF ビット（SPSR レジスタのビット 0）を 1 にしてシフトレジスタの受信データを破棄します。

全二重同期式のシリアル通信（TXMD = 0）は、送信データを転送し受信データを受信します。したがって、（1）、（2）のタイミングでSPRF ビットと OVRF ビットに 1 を設定してください。

(2)　送信専用の動作（TXMD = 1）

図 34.21 に通信動作モード選択ビット（TXMD）（RSPI 制御レジスタ（SPCR）のビット 1）が 1 の設定の動作例を示します。図34.21 の例では、SPFC1 ビット（RSPI データ制御レジスタ（SPDCR）のビット1）とSPFC0（同ビット0）が00、CPHA ビット（RSPI コマンドレジスタ（SPCMD）のビット0）が 1 の設定で、CPOL ビット （同ビット 1）が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行します。RSPI-RSPCK 波形の下に記載した数字はRSPI-RSPCK サイクル数（＝転送ビット数）を示しています。

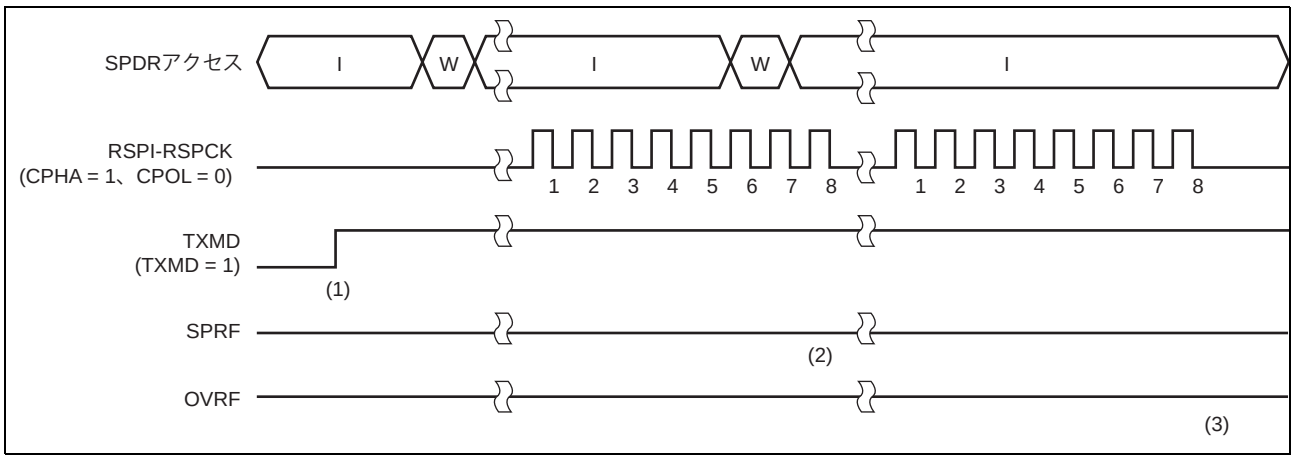


図 34.21　TXMD = 1 の動作例

以下に、図中の（1）～（3）に示したタイミングでのフラグの動作内容を説明します。

1. 送信専用の動作（TXMD = 1）にシフトする前に SPRF ビット（SPSR レジスタのビット 7） と OVRF ビット（ビット0）が 0 であるかを確認します。
2. 転送専用の動作（TXMD = 1）時に SPDR の受信バッファが空の状態でシリアル転送が終了すると、SPRF ビット（SPSR レジスタのビット 7）の値を 0 のまま保持し、シフトレジスタのデータを受信バッファにコピーしません。
3. 前回シリアル転送時の受信データが、SPDR の受信バッファに保持されていないので、シリアル転送を終了すると、OVRF ビットの値を 0 のまま保持し、シフトレジスタのデータを受信バッファにコピーしません。

送信専用の動作（TXMD = 1）の場合、送信データは転送しますが、受信データを受信しません。したがって、（1）～（3）のタイミングでSPRF ビットと OVRF ビットに 0 を設定してください。

34.4.7　送信バッファエンプティ／受信バッファフルフラグ

図34.22 にRSPI ステータスレジスタ（SPSR）のRSPI 送信バッファエンプティフラグ（SPTEF）とRSPI 受信バッファフルフラグ（SPRF）の動作例を示します。図 34.22 に記載した SPDR アクセスは、RSPI データレジスタ（SPDR）へのアクセス状況を示しています。I はアイドルサイクル、W は書き込みサイクル、R は読み出しサイクルを示しています。図34.16 の例では、TXMD ビット（SPCR レジスタのビット 1）＝ 0、RSPI データコントロールレジスタ（SPDCR）の SPFC[1:0] ＝ 00、RSPI コマンドレジスタ（SPCMD）のCPHA が1、CPOL が0 の設定で、RSPI が8 ビットのシリアル転送を実行しています。RSPI-RSPCK 波形の下に記載した数字はRSPI-RSPCK サイクル数（＝転送ビット数）を示しています。

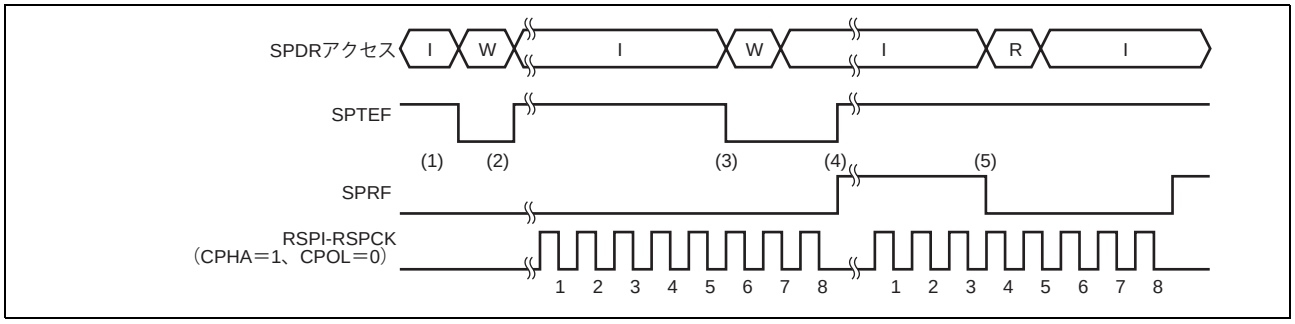


図 34.22　SPTEF、SPRF ビットの動作例

以下に、図中の（1）～（5）に示したタイミングでのフラグの動作内容を説明します。

1. SPDRの送信バッファが空の状態で、SPDRに送信データを書き込むと、RSPIはSPTEFビットを0にして送信バッファにデータを書き込みます。SPRFフラグは変化しません。
2. シフトレジスタが空の場合には、RSPIはSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。SPRFフラグは変化しません。なお、シリアル転送の開始方法は、RSPIのモードに依存します。詳細は、「34.4.10 SPI動作」及び「34.4.11 クロック同期式動作」を参照してください。
3. SPDRの送信バッファが空の状態で、SPDRに送信データを書き込むと、RSPIがSPTEFビットを0にして送信バッファにデータを書き込みます。SPRF フラグは変化しません。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR の受信バッファが空の状態でシリアル転送が終了すると、RSPI は SPRF を 1 にしてシフトレジスタの受信データを受信バッファにコピーします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPIがSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフルの状態で、SPDRを読み出すと、RSPIはSPRFを0にして、受信バッファのデータをチップ内部バスに送出します。

SPTEF ビットが0 の状態で、CPU 又はDMAC がSPDR に書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR に書き込む場合には、必ずSPTEF が1 であることを確認してください。SPTEF が1であることは、SPSR を読み出す、あるいはRSPI 送信割り込みを利用することによって確認できます。RSPI 送信割り込みを利用する場合には、SPCR のTXINTE ビットを1 にしてください。

RSPI ディスエーブル（SPCR の SPE ビットが 0）の場合には、SPTEF ビットが 1 に初期化されます。このため RSPI ディスエーブル状態で SPCR の TXINTE ビットを 1 にすると、RSPI 送信割り込みが発生します。SPRF ビットが 1 の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します（「34.4.8 エラー検出」を参照）。受信データのオーバランを防ぐためには、シリアル転送の終了よりも前にSPRF ビットを0 にして

ください。SPRF が 1 であることは、SPSR の読み出し、あるいは RSPI 受信割り込みの利用によって確認できます。RSPI 受信割り込みを利用する場合には、SPCR の RXINTE ビットを 1 にしてください。

34.4.8　エラー検出

通常の RSPI のシリアル転送では、RSPI データレジスタ（SPDR）の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR の受信バッファから読み出すことができます。SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始／終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラー、パリティエラー又はモードフォルトエラーとして検出します。表 34.8 に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 34.8　通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI 動作	エラー検出
A	送信バッファフルの状態で、SPDR に書き込み。	送信バッファ内容を保持。 書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファエンプティの状態で、SPDR を読み出し。	前回シリアル受信データを出力。	なし
D	受信バッファフルの状態で、シリアル転送が終了。	受信バッファ内容を保持。 シリアル受信データ欠落。	オーバランエラー検出
E	全二重同期式のシリアル通信でパリティ機能有効時に誤ったパリティビットを受信。	パリティエラーフラグアサート。	パリティエラー検出
F	スレーブモードでシリアル転送中に RSPI-SSL0 入力信号がネゲート。	シリアル転送を中断。 送受信データ欠落。 RSPI-MISO 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出

表 34.8 の A に示した動作に対しては、RSPI はエラーを検出しません。SPDR 書き込み時にデータを欠落させないために、必ず RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 1 の状態で SPDR への書き込みを実施してください。

B に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは、SPDR の受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前に SPDR を読み出さないと、オーバランエラーが発生します）。

C に示した動作に対しても、RSPI はエラーを検出しません。不必要なデータを読み出さないようにするためには、SPSR の SPRF ビットが 1 の状態で SPDR の読み出しを実行するようにしてください。

D に示したオーバランエラーについては、「34.4.8 (1) オーバランエラー」で詳しく説明します。また、E に示したパリティエラーについては、「34.4.8 (2) パリティエラー」で説明します。また、F に示したモードフォルトエラーについては、「34.4.8 (3) モードフォルトエラー」で説明します。なお、SPSR の SPTEF ビットと SPRF ビットの動作については、「34.4.7 送信バッファエンプティ／受信バッファフルフラグ」を参照してください。

(1)　オーバランエラー

RSPI データレジスタ（SPDR）の受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、システムリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を CPU が読み出した後に、OVRF に 0 を書き込む必要があります。

図 34.23 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。図 34.23 に SPSR と SPDR へのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 34.23 の例では、RSPI コマンドレジスタ（SPCMD）の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPI-RSPCK 波形の下に記載した数字は RSPI-RSPCK サイクル数（＝転送ビット数）を示しています。

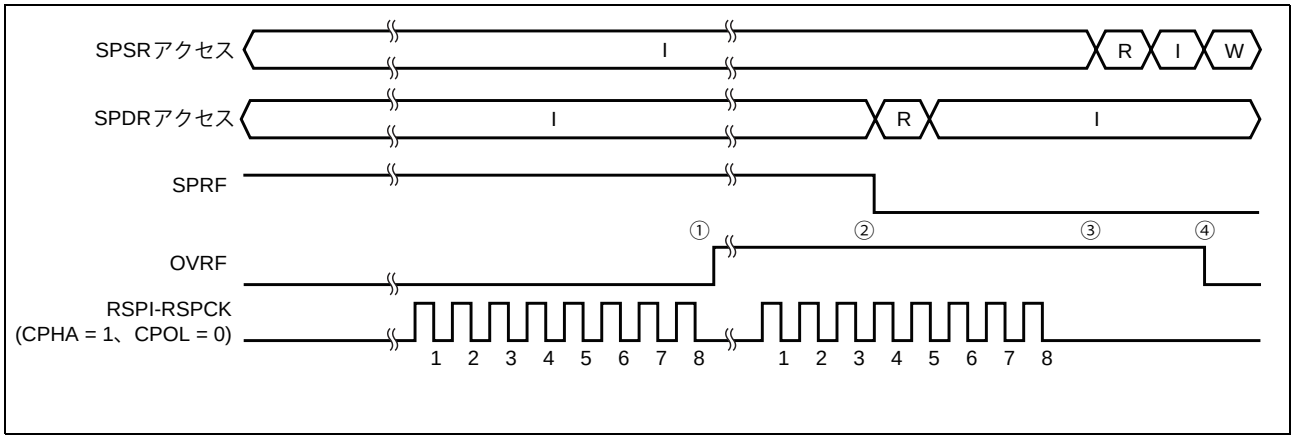


図 34.23　SPRF、OVRF ビットの動作例

以下に、図中の①～④に示したタイミングでのフラグの動作内容を説明します。

① SPRF ビットが 1 の状態（受信バッファフル）でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF ビットを 1 にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。SPPE ビットが 1 でもパリティエラーを検出しません。また、マスタモードの場合には、RSPI は RSPI シーケンスステータスレジスタ（SPSSR）の SPECM 2 ～ SPECM0 ビットに、RSPI コマンドレジスタ（SPCMD）に対するポインタの値をコピーします。
② SPDR を読み出すと、RSPI は SPRF ビットを 0 にして受信バッファのデータを内部バスに出力します。受信バッファが空になっても、OVRF ビットはクリアされません。
③ OVRF ビットが 1 の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPI は SPRF ビットを 0 のまま更新しません。また、RSPI はシフトレジスタのデータを受信バッファにコピーしません。SPPE ビットが 1 になっても、パリティエラーを検出しません。マスタモードの RSPI の場合に、RSPI は SPSSR の SPECM2 ～ SPECM0 ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
④ OVRF ビットが 1 の状態で SPSR を読み出した後、OVRF に 0 を書き込むと、RSPI は OVRF ビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ（SPCR）の ERRINTE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR の SPECM2 ～ 0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

オーバランエラーが発生して OVRF ビットが 1 になると、OVRF ビットをクリアするまで正常な受信動作ができなくなります。

(2)　パリティエラー

RSPI 制御レジスタ（SPCR）の TXMD ビットに 0 を設定、及び RSPI 制御レジスタ 2（SPCR2）の SPPE ビットに 1 を設定して全二重同期式のシリアル通信を行うと、転送完了後にパリティエラーがあるかどうかを検出します。RSPI は受信データのパリティエラーを検出し、RSPI ステータスレジスタ（SPSR）の PERF ビットを 1 にします。RSPI は OVRF ビットが 1 の状態でシフトレジスタのデータを受信バッファにコピーしないので、受信データに対してパリティエラー検出を実施しません。SPSR の PERF ビットを 0 にするためには、システムリセットを実施するか、PERF ビットを 1 に設定した状態の SPSR を CPU が読み出した後に、PERF に 0 を書き込む必要があります。

図 34.24 に SPSR へのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 34.24 の例では、RSPI 制御レジスタ（SPCR）の TXMD ビットに 1 を設定、及び RSPI 制御レジスタ 2（SPCR2）の SPPE ビットに 0 を設定して全二重同期式のシリアル通信を実行しています。RSPI コマンドレジスタ（SPCMD）の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPI-RSPCK 波形の下に記載した数字は RSPI-RSPCK サイクル数（＝転送ビット数）を示しています。

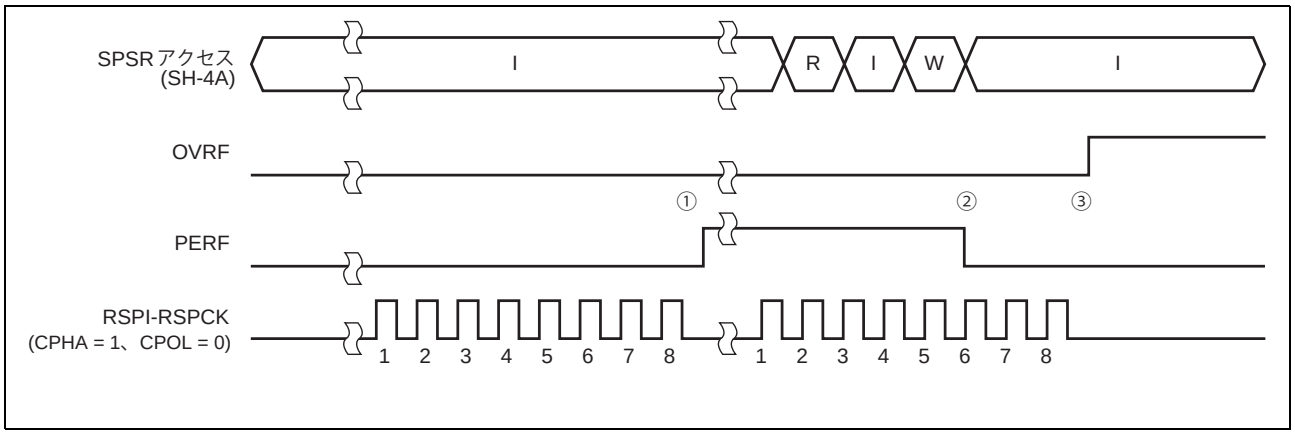


図 34.24　PERF ビットの動作例

以下に、図中の①～③に示したタイミングでのフラグの動作内容を説明します。

① RSPI のオーバランエラーを検出しない状態でシリアル転送を終了すると、RSPI はシフトレジスタのデータを受信バッファにコピーします。このとき、RSPI は受信データを診断し、パリティエラーを検出すると PERF ビットを 1 にします。また、マスタモード時、RSPI は RSPI シーケンスステータスレジスタ（SPSSR）の SPECM0～2 ビットに、RSPI コマンドレジスタ（SPCMD）に対するポインタの値をコピーします。
② PERF ビット＝1 を読み出した後、PERF ビットに“0”を書き込むと、PERF ビットは“0”になります。
③ RSPI のオーバランエラーを検出した状態でシリアル転送を終了すると、RSPI はシフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR の読み出し、あるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ（SPCR）の ERRINTE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPSR を読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR の SPECM2 ～ 0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

(3) モードフォルトエラー

MSTR ビットが 0 の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に RSPI-SSL0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止及び SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます（「34.4.9 RSPI の初期化」を参照）。

モードフォルトエラーの発生は、SPSR の読み出し、あるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ（SPCR）の ERRINTE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR の SPECM2～0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

MODF ビットが 1 の状態では、RSPI は CPU による SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODF が 1 にされた状態の SPSR を CPU が読み出した後、CPU が MODF に 0 を書き込む
- システムリセット

34.4.9 RSPI の初期化

CPU が RSPI 制御レジスタ（SPCR）の SPE ビットに 0 を書き込んだ場合、又はモードフォルトエラー検出により RSPI が SPE ビットを 0 にクリアした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPI はモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化とシステムリセットによる初期化について説明します。

(1) SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合には、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- RSPI 内部ステートの初期化
- RSPI ステータスレジスタ（SPSR）の SPTEF ビットの初期化

SPE ビットのクリアによる初期化では、RSPI の制御ビットは初期化されません。このため、CPU が SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR の SPRF ビット、OVRF ビット、MODF ビットの値は初期化されません。また、RSPI シーケンスステータスレジスタ（SPSSR）の値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認が可能です。

SPSR の SPTEF ビットの値は、1 に初期化されます。このため、RSPI 初期化後に SPCR の TXINTE ビットが 1 に設定されていると、RSPI 送信割り込みが発生します。CPU で RSPI を初期化する場合に、RSPI 送信割り込みを禁止するためには、SPE ビットへの 0 書き込みと同時に TXINTE ビットにも 0 を書き込んでください。モードフォルトエラー検出後の RSPI 送信割り込みを禁止するためには、エラー処理ルーチンで TXINTE ビットに 0 を書き込んでください。

(2) システムリセット

システムリセットによる初期化では、(1) に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

34.4.10 SPI動作

(1) マスタモード動作

(a) シリアル転送の開始

RSPI ステータスレジスタ（SPSR）のSPTEF ビットが1 の状態で、CPU 又はDMAC がRSPI データレジスタ（SPDR）へデータを書き込むと、RSPI はSPDR の送信バッファのデータを更新します。SPDR への0 書き込み、又はSPTEF の1 読み出し後の0 書き込みによってSPTEF ビットを0 にクリアした状態で、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスをCPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。

(b) シリアル転送の終了

RSPI コマンドレジスタ（SPCMD）のCPHA ビットにかかわらず、RSPI はサンプルタイミングに対応するRSPI-RSPCK エッジを送出するとシリアル転送を終了します。RSPI ステータスレジスタ（SPSR）のSPRF ビットが0 で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタからRSPI データレジスタ（SPDR）の受信バッファにデータをコピーします。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。マスタモードのRSPI のデータ長は、RSPI コマンドレジスタ（SPCMD）のSPB3～SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。

(c)　シーケンス制御

マスタモード時の転送フォーマットは、RSPI シーケンス制御レジスタ（SPSCR）、RSPI コマンドレジスタ 0～7（SPCMD0～7）、RSPI ビットレートレジスタ（SPBR）、RSPI クロック遅延値レジスタ（SPCKD）、RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）、RSPI 次アクセス遅延値レジスタ（SPND）によって決定されます。

SPSCR は、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0～7 には、SSL 出力信号値、MSB／LSB ファースト、データ長、ビットレート設定の一部、RSPI-RSPCK 極性／位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD には RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

RSPI は、SPSCR に設定されたシーケンス長に従って、SPCMD0～7 の一部又は全部から構成されるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、RSPI シーケンスステータスレジスタ（SPSSR）の SPCP2～0 ビットの読み出しによって CPU から確認可能です。RSPI 制御レジスタ（SPCR）の SPE ビットを 1 にして RSPI 機能をイネーブルにすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

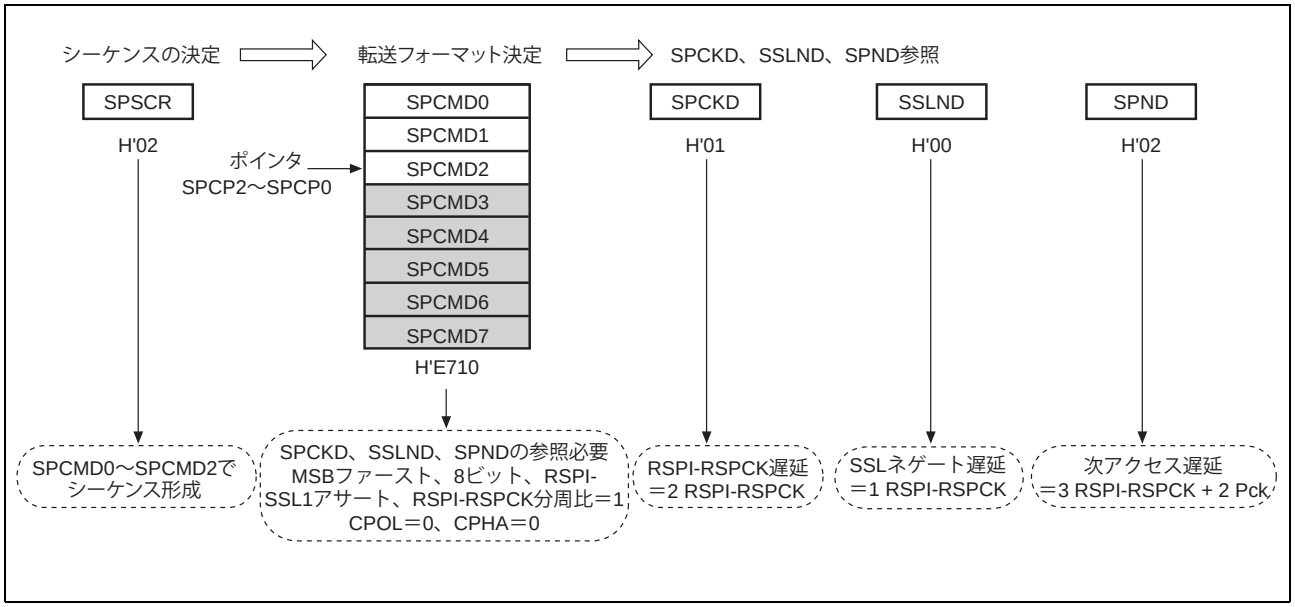


図 34.25　マスタモードでのシリアル転送方式の決定方法

(d)　バースト転送

RSPI が現在のシリアル転送で参照している RSPI コマンドレジスタ（SPCMD）の SSLKP ビットが 1 の場合には、RSPI はシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、RSPI は SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 34.26 に、SPCMD0～1 の設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 34.26 に記載した (1)～(7) の RSPI 動作内容について、以下に説明します。なお、SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

(1)SPCMD0 に従った SSL 信号のアサートと RSPI-RSPCK 遅延の挿入を実施します。
(2)SPCMD0 に従ったシリアル転送を実行します。
(3)SSL ネゲート遅延を挿入します。

(4)SPCMD0のSSLKPビットが1であるため、SPCMD0でのSSL信号値を保持します。この期間は、最短の場合にはSPCMD0の次アクセス遅延＋2Pck継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
(5)SPCMD1に従ったSSL信号のアサートとRSPI-RSPCK遅延の挿入を実施します。
(6)SPCMD1に従ったシリアル転送を実行します。
(7)SPCMD1のSSLKPビットが0であるため、SSL信号をネゲートします。また、SPCMD1にしたがった次アクセス遅延が挿入されます。

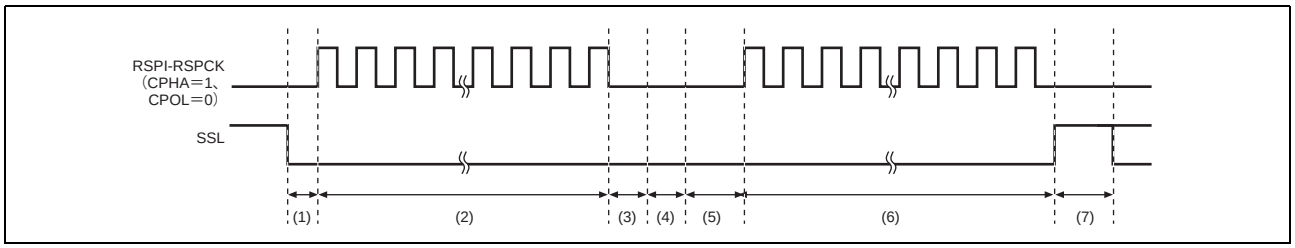


図 34.26　SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSL 信号のアサート時（図 34.26 の(5)）に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、RSPI-MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので、注意してください。

マスタモードの RSPI は、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMD の CPHA ビットが 0 の場合でも、RSPI は内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。（「34.4.10 SPI 動作」参照）

(e)　RSPI-RSPCK 遅延（t1）

マスタモードの RSPI の RSPI-RSPCK 遅延値は、RSPI コマンドレジスタ（SPCMD）の SCKDEN ビットの設定と RSPI-RSPCK 遅延レジスタ（SPCKD）の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、表 34.9 のようにシリアル転送時の RSPI-RSPCK 遅延値を決定します。なお、RSPI-RSPCK 遅延の定義については、「34.4.4 転送フォーマット」を参照してください。

表 34.9　SCKDEN、SPCKD と RSPI-RSPCK 遅延の関係

SCKDEN	SPCKD	RSPI-RSPCK 遅延値
0	000～111	1 RSPI-RSPCK
1	000	1 RSPI-RSPCK
	001	2 RSPI-RSPCK
	010	3 RSPI-RSPCK
	011	4 RSPI-RSPCK
	100	5 RSPI-RSPCK
	101	6 RSPI-RSPCK
	110	7 RSPI-RSPCK
	111	8 RSPI-RSPCK

(f)　SSL ネゲート遅延（t2）

マスタモードの RSPI の SSL ネゲート遅延値は、RSPI コマンドレジスタ（SPCMD）の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ（SSLND）の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、表 34.10 のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「34.4.4 転送フォーマット」を参照してください。

表 34.10　SSLND と SSL ネゲート遅延の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000～111	1 RSPI-RSPCK
1	000	1 RSPI-RSPCK
	001	2 RSPI-RSPCK
	010	3 RSPI-RSPCK
	011	4 RSPI-RSPCK
	100	5 RSPI-RSPCK
	101	6 RSPI-RSPCK
	110	7 RSPI-RSPCK
	111	8 RSPI-RSPCK

(g)　次アクセス遅延（t3）

マスタモードのRSPI の次アクセス遅延は、RSPI コマンドレジスタ（SPCMD）のSPNDEN ビットの設定とRSPI 次アクセス遅延レジスタ（SPND）の設定に依存します。RSPI は、シリアル転送で参照するSPCMD をポインタ制御によって決定し、選択したSPCMD のSPNDEN ビットとSPND を使用して、表34.11 のようにシリアル転送時のRSPI-RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、「34.4.4 転送フォーマット」を参照してください。

表34.11　SPNDEN、SPND と次アクセス遅延の関係

SPNDEN	SPND	次アクセス遅延値
0	000～111	1 RSPI-RSPCK + 2 Pck
1	000	1 RSPI-RSPCK + 2 Pck
	001	2 RSPI-RSPCK + 2 Pck
	010	3 RSPI-RSPCK + 2 Pck
	011	4 RSPI-RSPCK + 2 Pck
	100	5 RSPI-RSPCK + 2 Pck
	101	6 RSPI-RSPCK + 2 Pck
	110	7 RSPI-RSPCK + 2 Pck
	111	8 RSPI-RSPCK + 2 Pck

(h)　初期化フロー

図34.27 に、SPI 動作時のRSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください

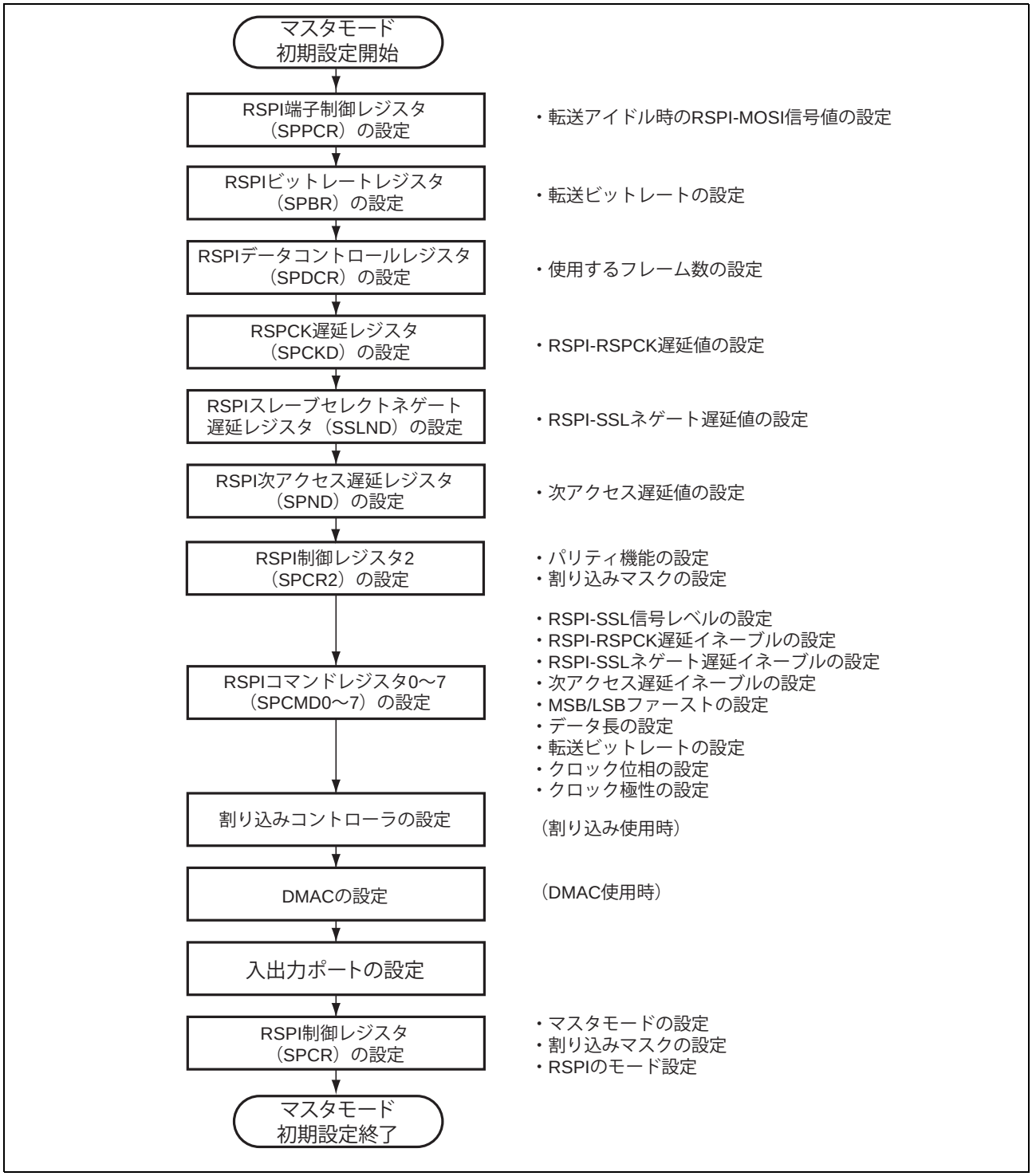


図 34.27　マスタモード時の初期化フロー例

(i)　転送動作フロー

図34.28 に、SPI 動作時、マスタモードの転送動作フローを示します。

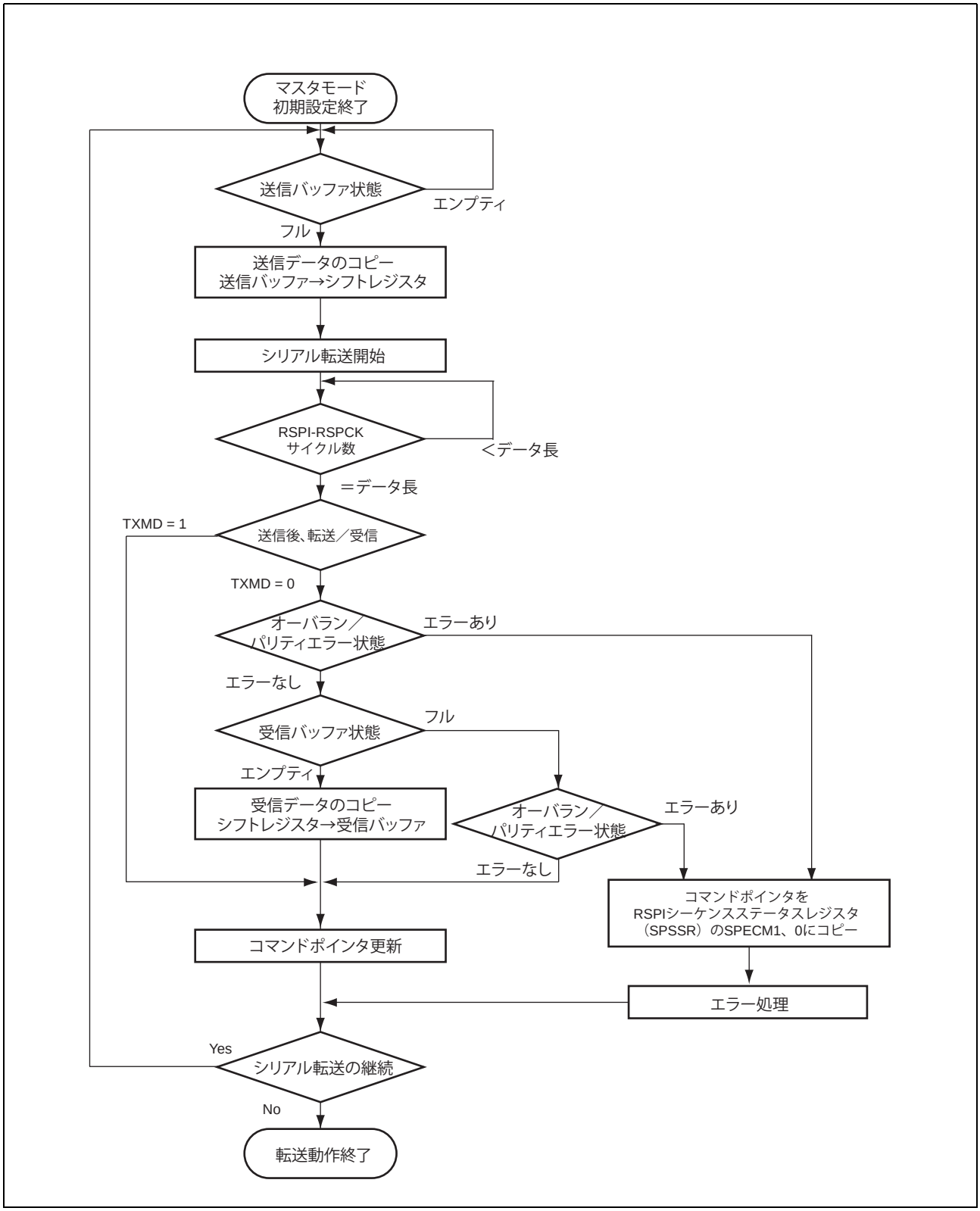


図 34.28　マスタモード時の転送動作フロー

(1)　スレーブモード動作

スレーブモードのRSPI では、常にSPCMD0 を参照します。

(a)　シリアル転送の開始

RSPI コマンドレジスタ0（SPCMD0）のCPHA ビットが0 の場合、RSPI がRSPI-SSL0 入力信号のアサートを検出すると、RSPI-MISO 出力信号への有効データのドライブを開始する必要があります。このため、RSPI-SSL0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが1 の場合、RSPI はRSPI-SSL0 入力信号のアサート状態で最初のRSPI-RSPCK エッジを検出すると、RSPI-MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が1 の場合には、RSPI-SSL0 信号アサート状態における最初のRSPI-RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI がRSPI-MISO 出力信号のドライブを開始するタイミングは、RSPI-SSL0 信号アサートタイミングとなります。CPHA ビットの設定によって、RSPI が出力するデータの有効／無効が異なります。

なお、RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。RSPI-SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）のSSL0P ビットの設定値に依存します。

(b)　シリアル転送の終了

RSPI コマンドレジスタ0（SPCMD0）のCPHA ビットにかかわらず、RSPI は最終サンプルタイミングに相当するRSPI-RSPCK エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ（SPSR）のSPRF ビットが0 で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタからRSPI データレジスタ（SPDR）の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPI がRSPI-SSL0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（「34.4.8 エラー検出」参照）。

なお、最終サンプルタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPI のデータ長はSPCMD0 のSPB3～SPB0 ビットの設定値に依存します。RSPI-SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）のSSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。

(c)　シングルスレーブ時の注意点

RSPI コマンドレジスタ0（SPCMD0）のCPHA ビットが0 の場合には、RSPI はRSPI-SSL0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図34.5 の例に示したような構成でRSPI をシングルスレーブで使用する場合には、RSPI-SSL0 入力信号が常にアクティブ状態に固定されるため、CPHA を0 に設定したRSPI ではシリアル転送を正しく開始できません。RSPI-SSL0 入力信号をアクティブ状態に固定する構成で、スレーブモードRSPI の送受信を正しく実行するためには、CPHA ビットを1 にしてください。CPHA ビットを0 にする必要がある場合には、RSPI-SSL0 入力信号を固定しないでください。

(d)　バースト転送

RSPI コマンドレジスタ0（SPCMD0）のCPHA ビットが1 の場合、RSPI-SSL0 入力信号のアサート状態を保持したままで、連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが1 の場合には、RSPI-SSL0 入力信号アクティブ状態における最初のRSPI-RSPCK エッジから最終ビット受信のためのサンプルタイミングまでが、シリアル転送期間に相当します。RSPI-SSL0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが0 の場合には、(c) と同じ理由のために、バースト転送の2 回目以降のシリアル転送を正しく実行できません。

(e)　初期化フロー

図 34.29 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください

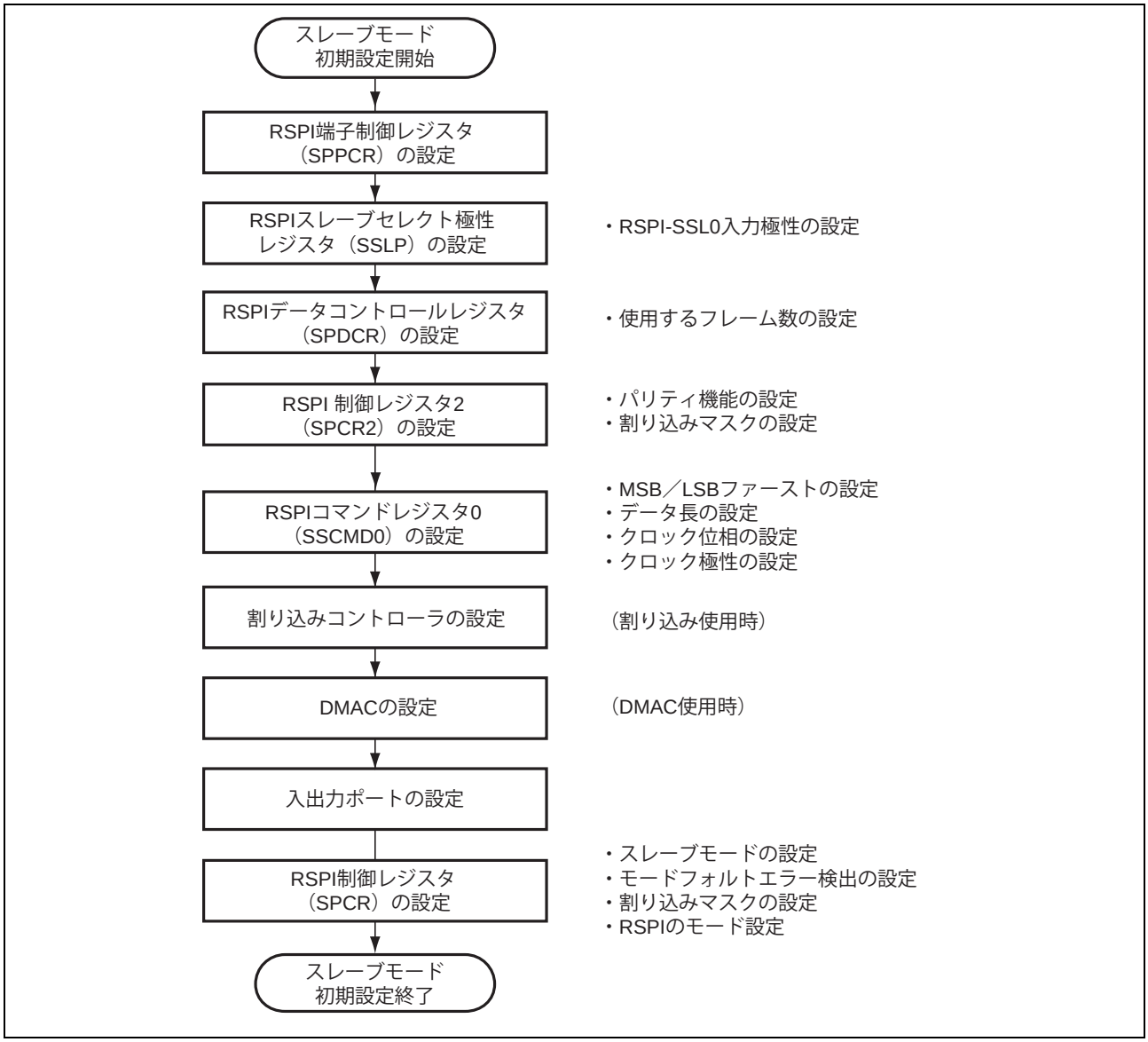


図 34.29　スレーブモード時の初期化フロー例

(f)　転送動作フロー（CPHA＝0）

図 34.30 に、SPI 動作時、RSPI コマンドレジスタ 0（SPCMD0）の CPHA ビットを 0 に設定したスレーブモードの RSPI の転送動作フローを示します。

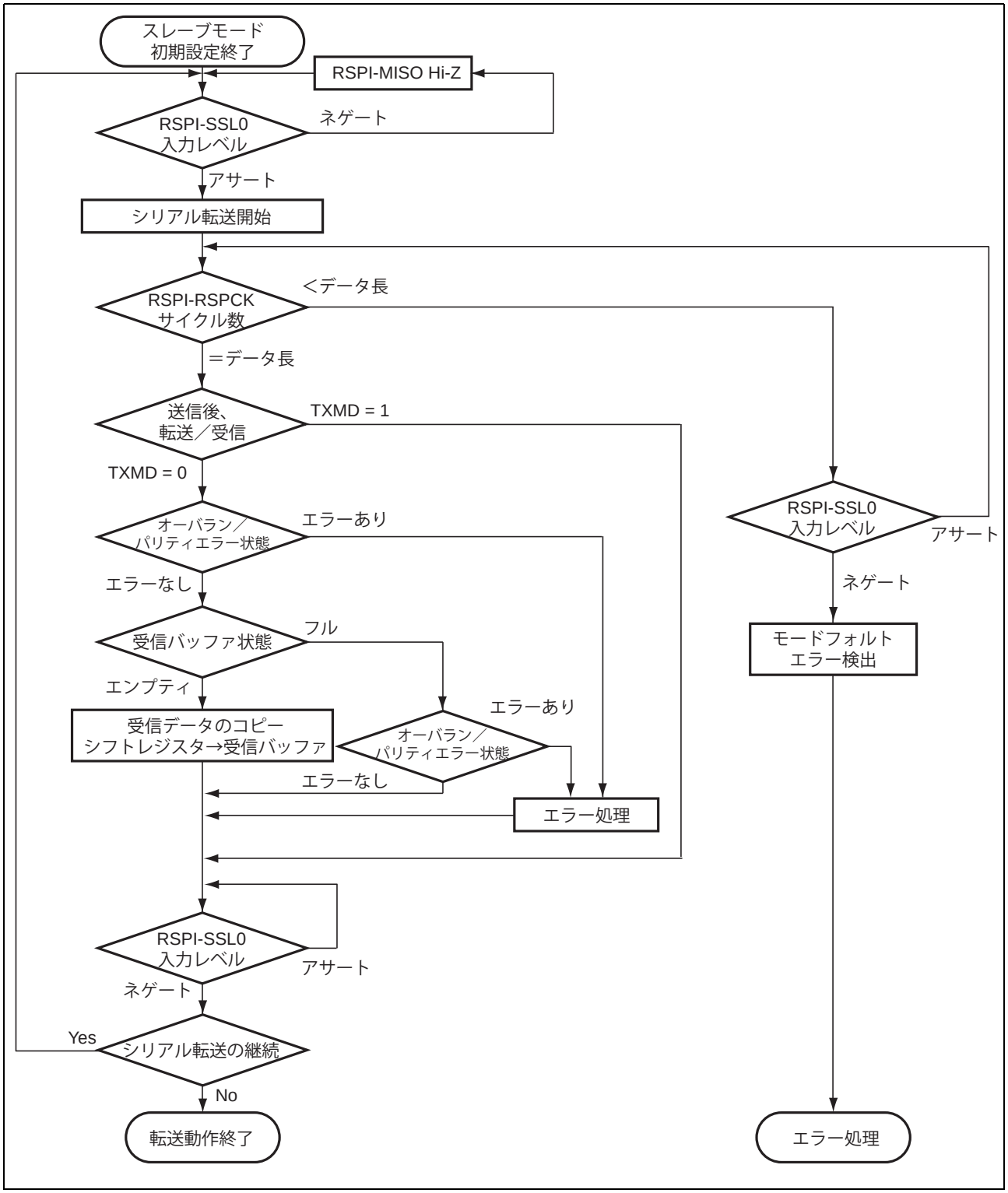


図 34.30　スレーブモード時の転送動作フロー（CPHA＝0）

(g)　転送動作フロー（CPHA＝1）

図34.31 に、SPI 動作時、RSPI コマンドレジスタ0（SPCMD0）のCPHA ビット及びRSPI制御レジスタ（SPCR）のMODFEN ビットを1 に設定したスレーブモードのRSPI の転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、データ長より短いRSPI-RSPCK サイクル数でRSPI-SSL0 入力レベルをネゲートした場合、以後の動作は保証されません。

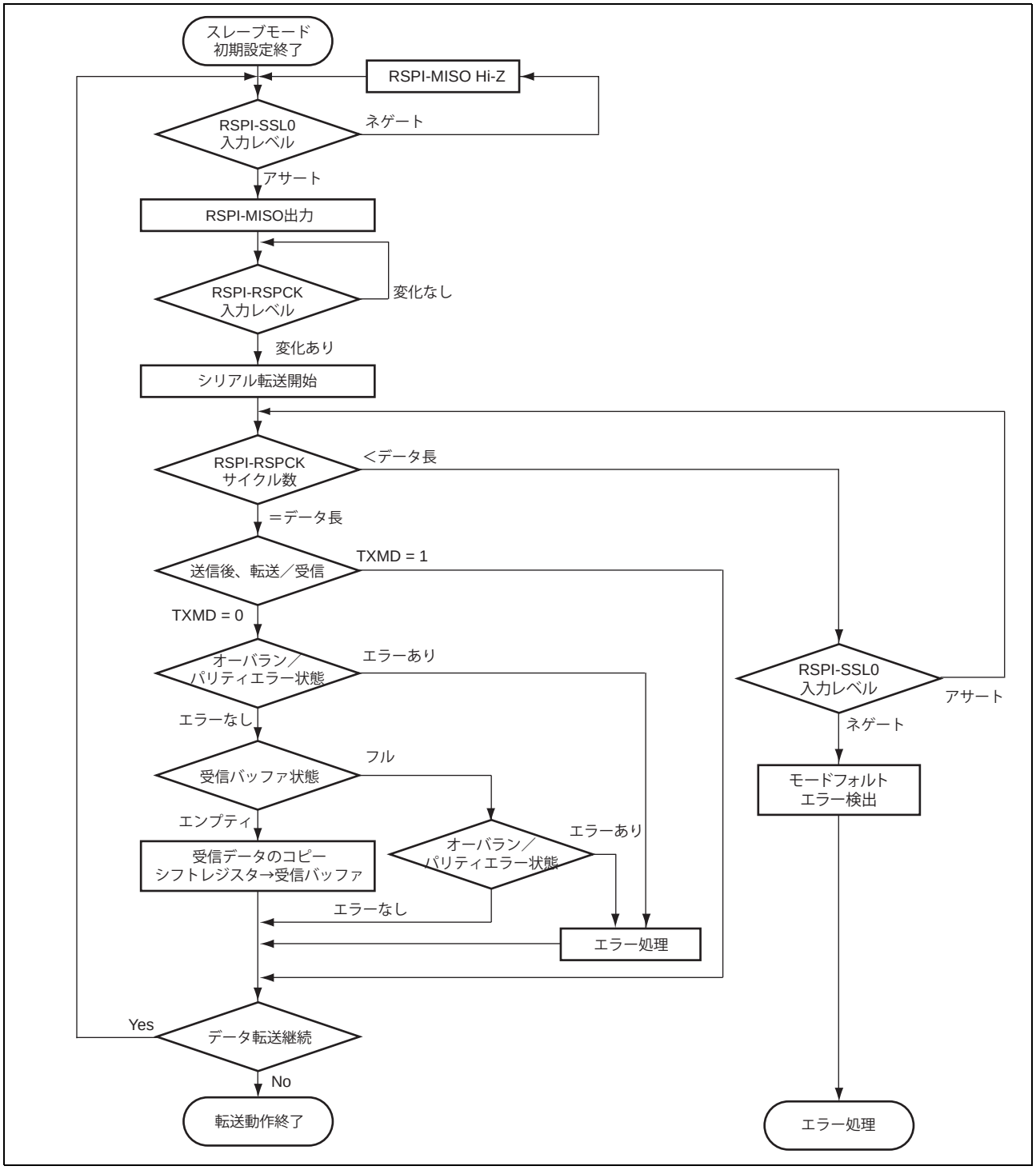


図 34.31　スレーブモード時の転送動作フロー（CPHA＝1）

34.4.11 クロック同期式動作

RSPI は、RSPI 制御レジスタ（SPCR）の SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSL 端子を使用せず、RSPI-RSPCK、RSPI-MOSI、RSPI-MISO の 3 本の端子を用いて通信を行い、SSL 端子は IO ポートとして使用することができます。

クロック同期式動作は、SSL 端子を使用せず通信を行いますが、モジュール内部の動作は SPI 動作と同様の動作をします。

マスタ動作、スレーブ動作において、SPI 動作時と同様のフローで通信を行うことができますが、SSL 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード（MSTR=0）時に RSPI コマンドレジスタ（SPCMD）の CPHA ビットを 0 に設定した場合の動作について保証しておりません。

(1) マスタモード動作

(a) シリアル転送の開始

RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 1 の状態で、RSPI データレジスタ（SPDR）へデータを書き込むと、RSPI は SPDR の送信バッファのデータを更新します。SPDR への書き込み、又は CPU から SPTEF の 1 読み出し後の 0 書き込みによって SPTEF ビットを 0 にクリアした状態で、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。

(b) シリアル転送の終了

RSPI はサンプルタイミングに対応する RSPI-RSPCK エッジを送出するとシリアル転送を終了します。RSPI ステータスレジスタ（SPSR）の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPI データレジスタ（SPDR）の受信バッファにデータをコピーします。なお、最終サンプルタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、RSPI コマンドレジスタ（SPCMD）の SPB3～SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。

(c)　シーケンス制御

マスタモード時の転送フォーマットは、RSPI シーケンス制御レジスタ（SPSCR）、RSPI コマンドレジスタ 0～7（SPCMD0~7)、RSPI ビットレートレジスタ（SPBR）、RSPI クロック遅延値レジスタ（SPCKD）、RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）、RSPI 次アクセス遅延値レジスタ（SPND）によって決定されます。クロック同期式動作時は、SSL 信号の出力を行いませんが、これらの設定は有効です。

SPSCR は、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0～7 には、SSL 出力信号値、MSB／LSB ファースト、データ長、ビットレート設定の一部、RSPI-RSPCK 極性／位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD には RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

RSPI は、SPSCR に設定されたシーケンス長に従って、SPCMD0～7 の一部／全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、RSPI シーケンスステータスレジスタ（SPSSR）の SPCP2～0 の読み出しによって CPU から確認可能です。RSPI 制御レジスタ（SPCR）の SPE ビットを 1 にして RSPI 機能をイネーブルにすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

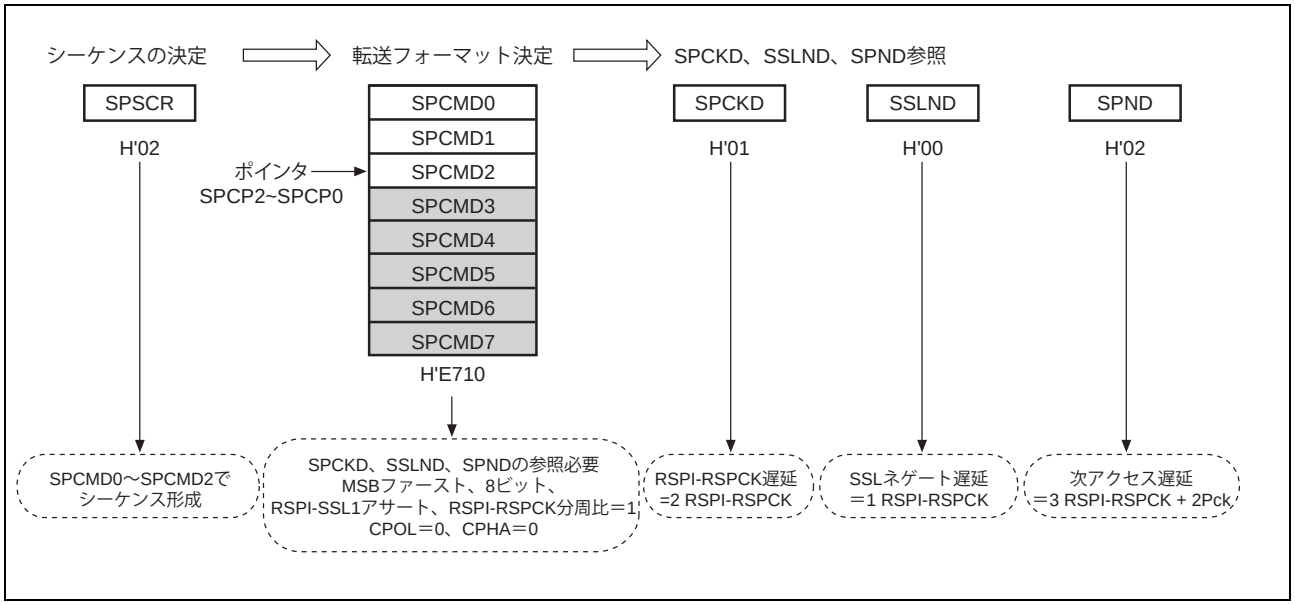


図 34.32　マスタモードでのシリアル転送方式の決定方法

(d)　初期化フロー

図 34.33 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

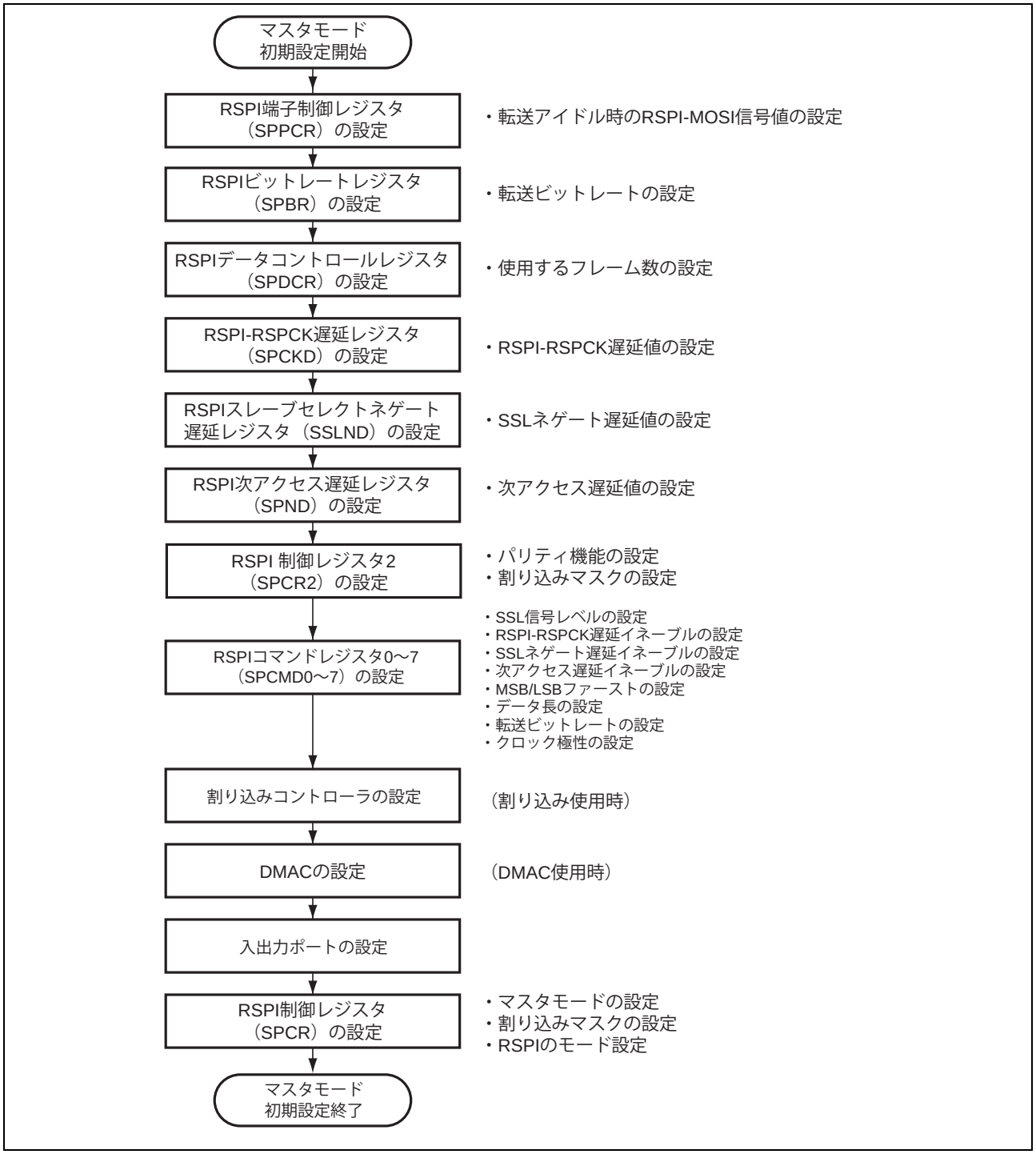


図 34.33　マスタモード時の初期化フロー例

(e)　転送動作フロー

図34.34 に、クロック同期式動作時、マスタモードの転送動作フローを示します。

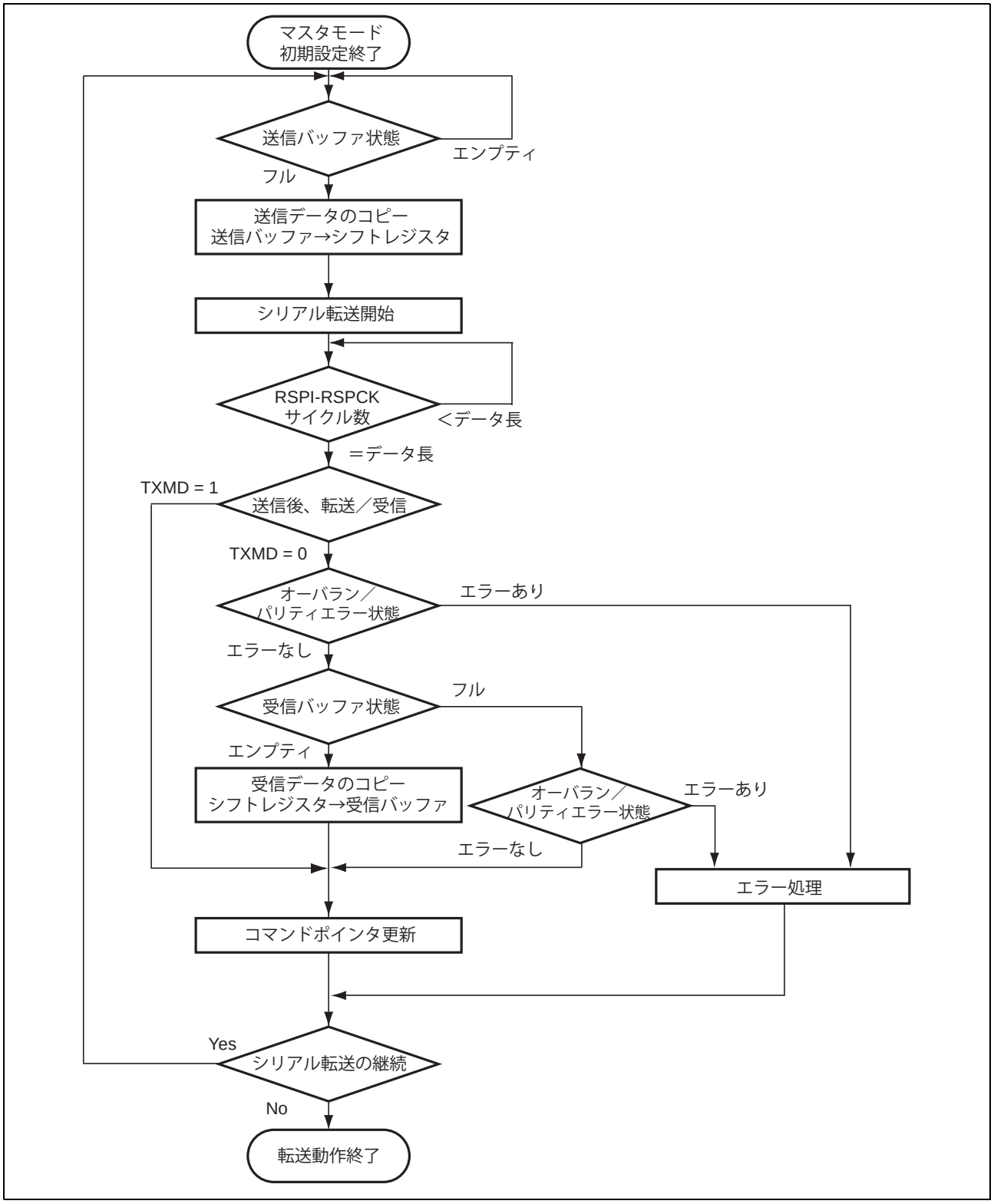


図 34.34　マスタモード時の転送動作フロー

(1) スレーブモード動作

(a) シリアル転送の開始

RSPI は、RSPI 制御レジスタ（SPCR）の SPMS ビットが 1 であるとき、最初の RSPI-RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

SPMS ビットが 1 であるときは、RSPI は RSPI-MISO 出力信号を常にドライブします。

なお、RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。

(b) シリアル転送の終了

RSPI は最終サンプルタイミングに相当する RSPI-RSPCK エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ（SPSR）の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから RSPI データレジスタ（SPDR）の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプルタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0 の SPB3～SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、「34.4.4 転送フォーマット」を参照してください。

(c)　初期化フロー

図 34.35 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、DMAC、入出力ポートの設定方法については、各ブロックの説明を参照してください。

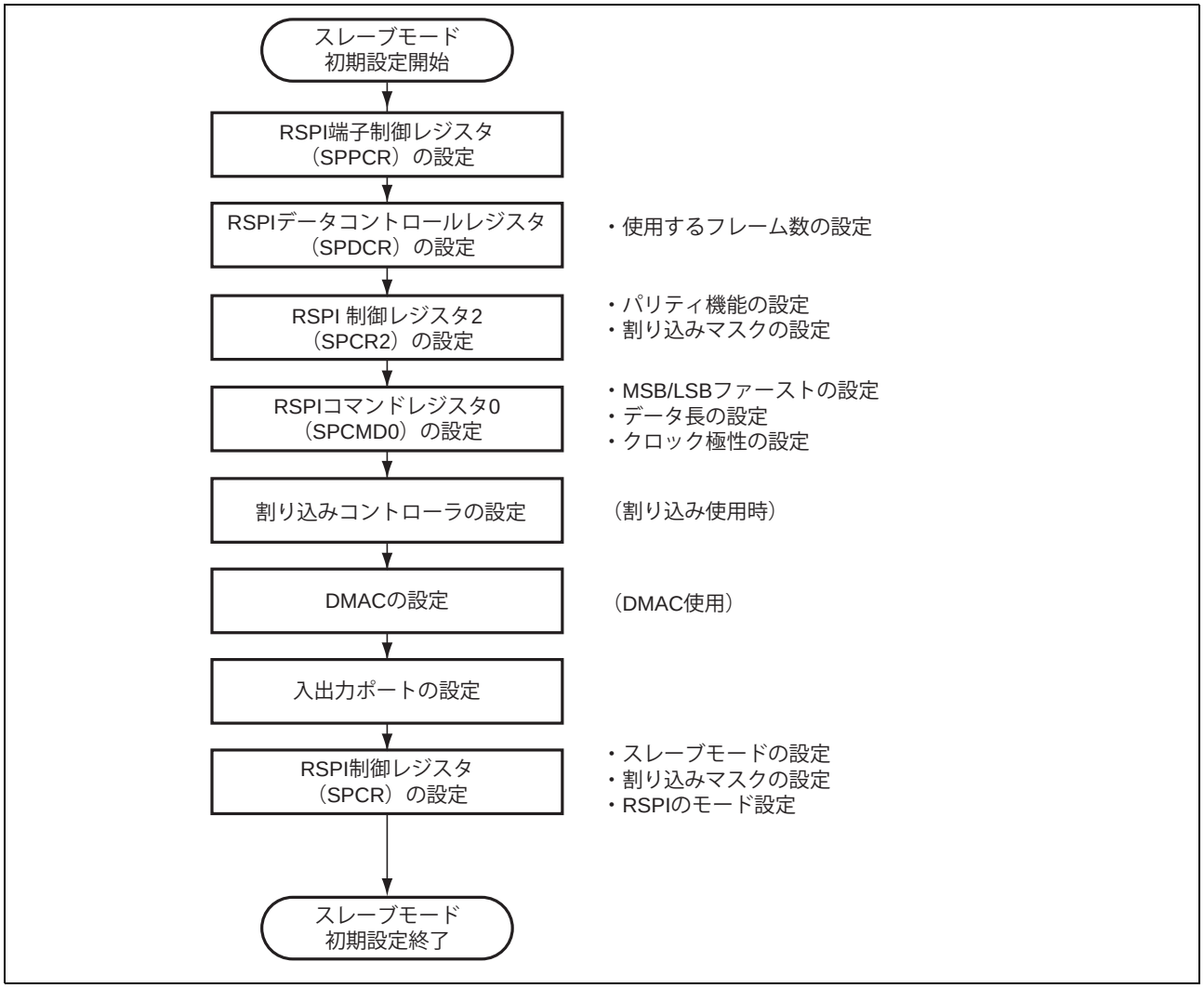


図 34.35　スレーブモード時の初期化フロー例

(d)　転送動作フロー

図34.36 に、クロック同期式動作時のRSPI の転送動作フローを示します。

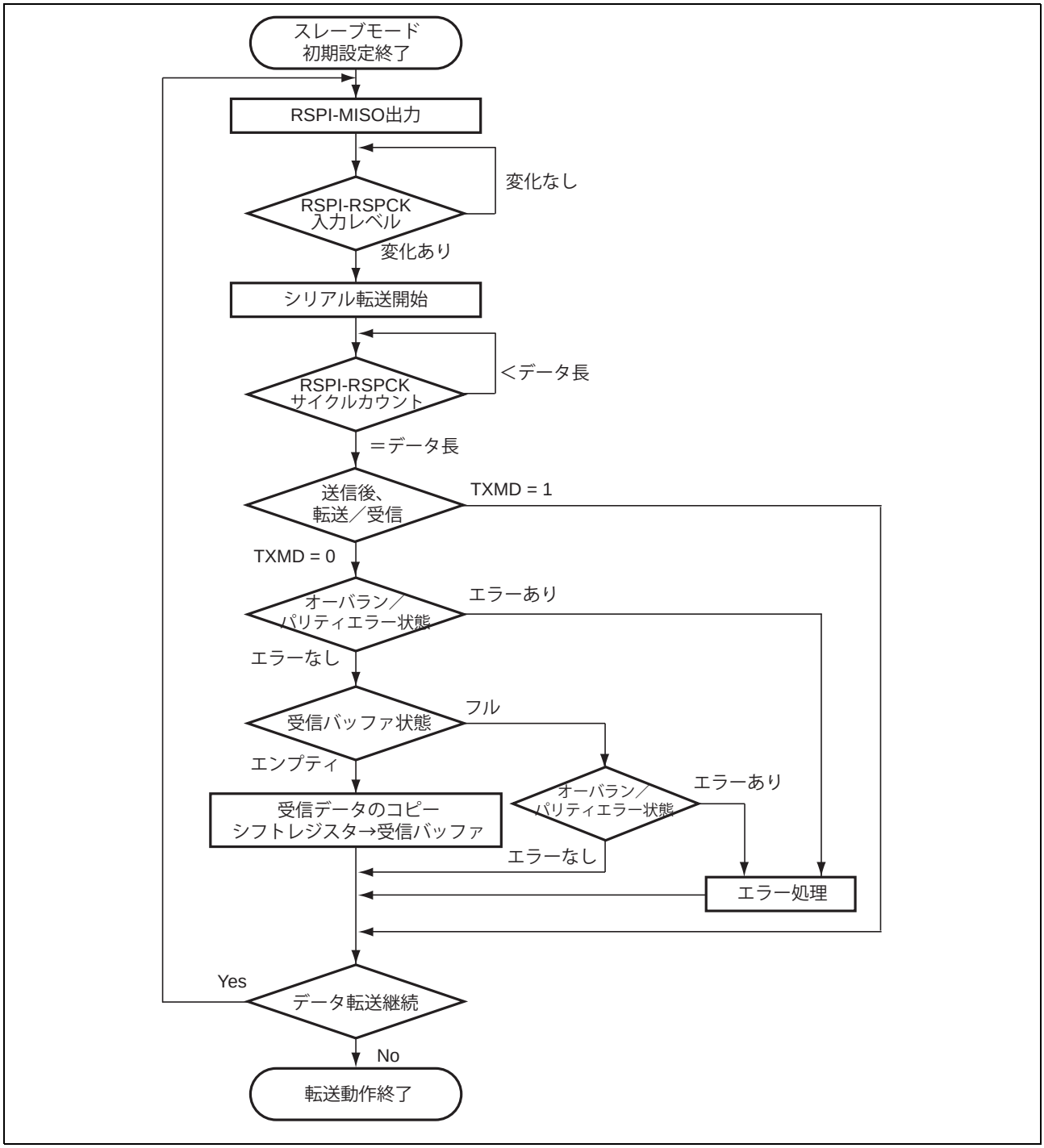


図 34.36　スレーブモード時の転送動作フロー（CPHA＝1）

34.4.12 エラー処理

図 34.37、図 34.38、図 34.39 に、RSPI のエラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

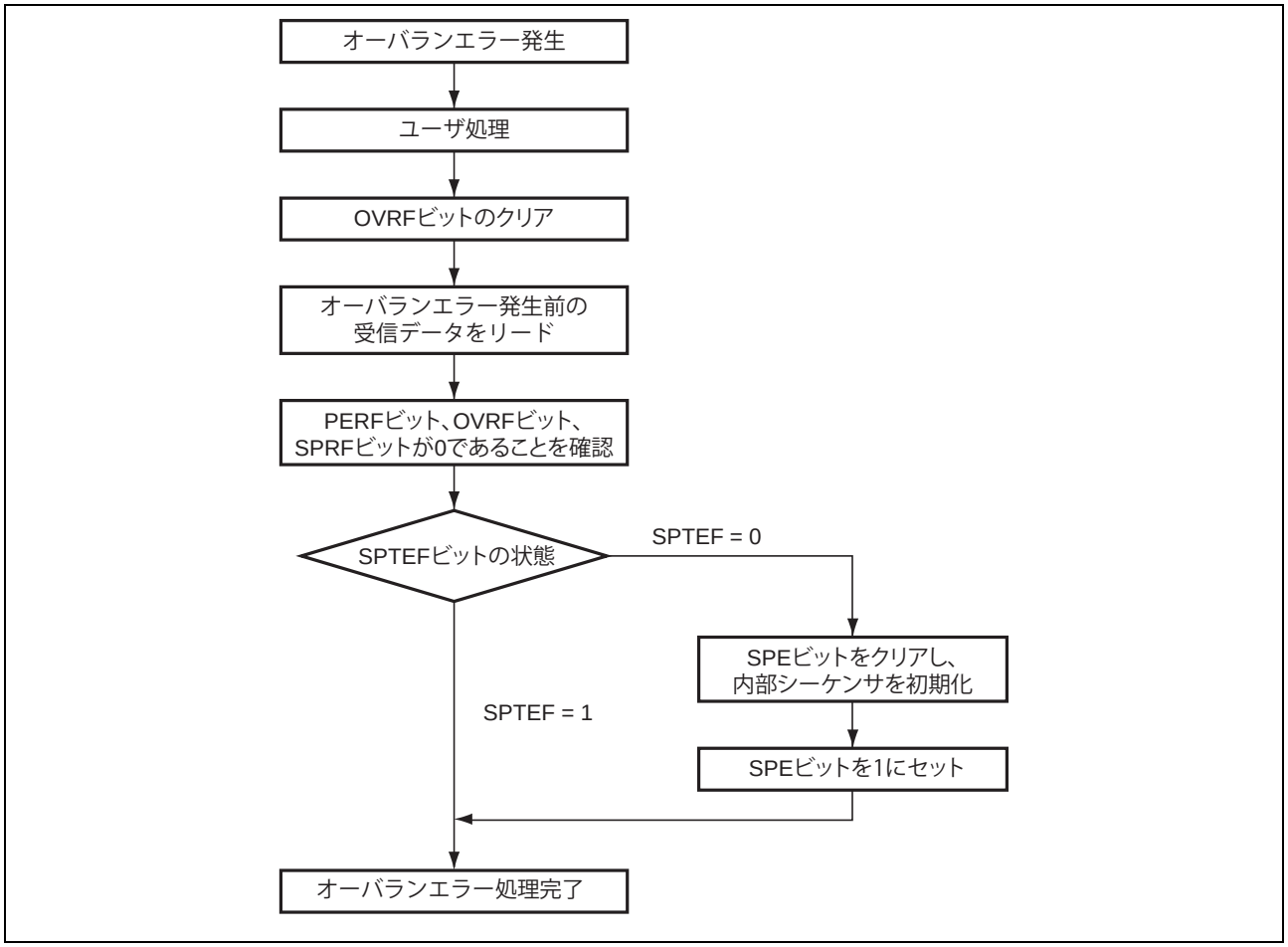


図 34.37　エラー処理（オーバランエラー）

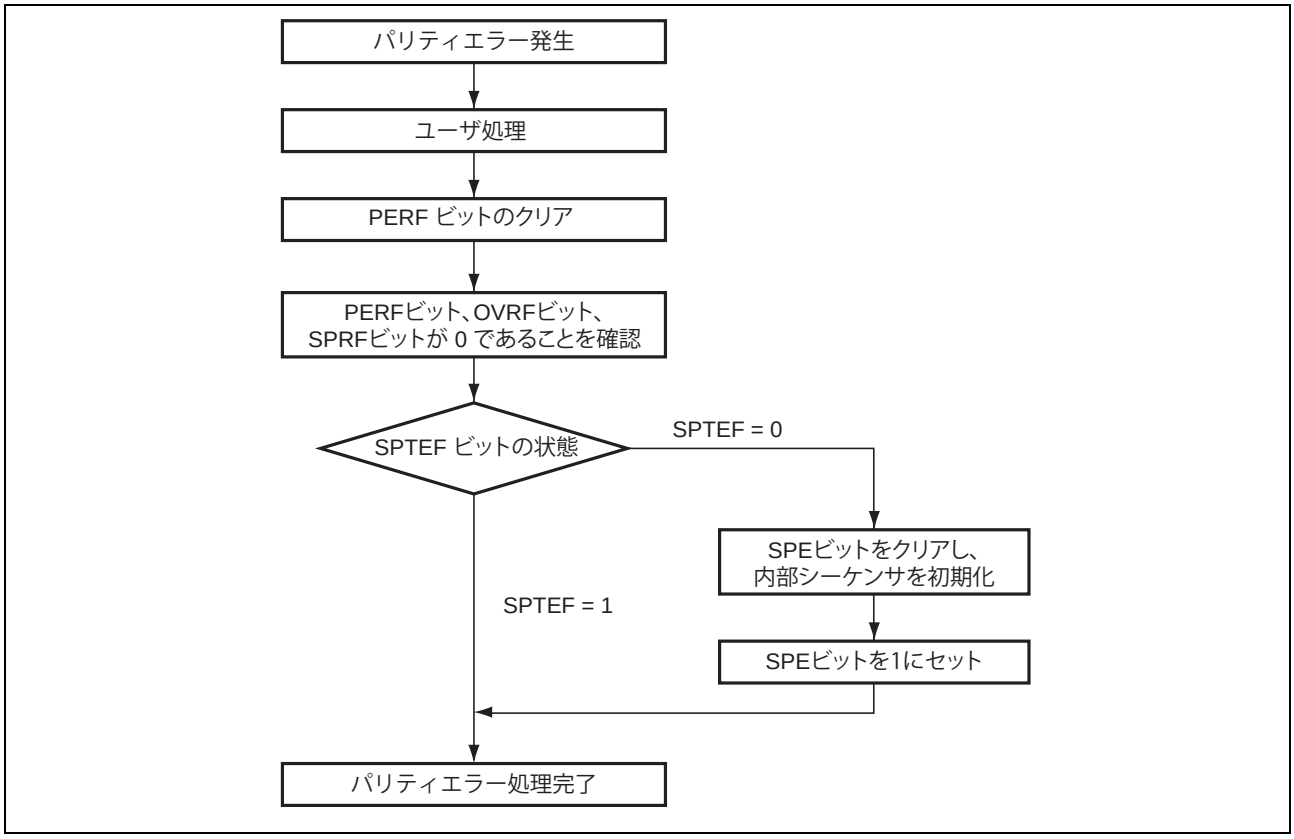


図 34.38　エラー処理（パリティエラー）

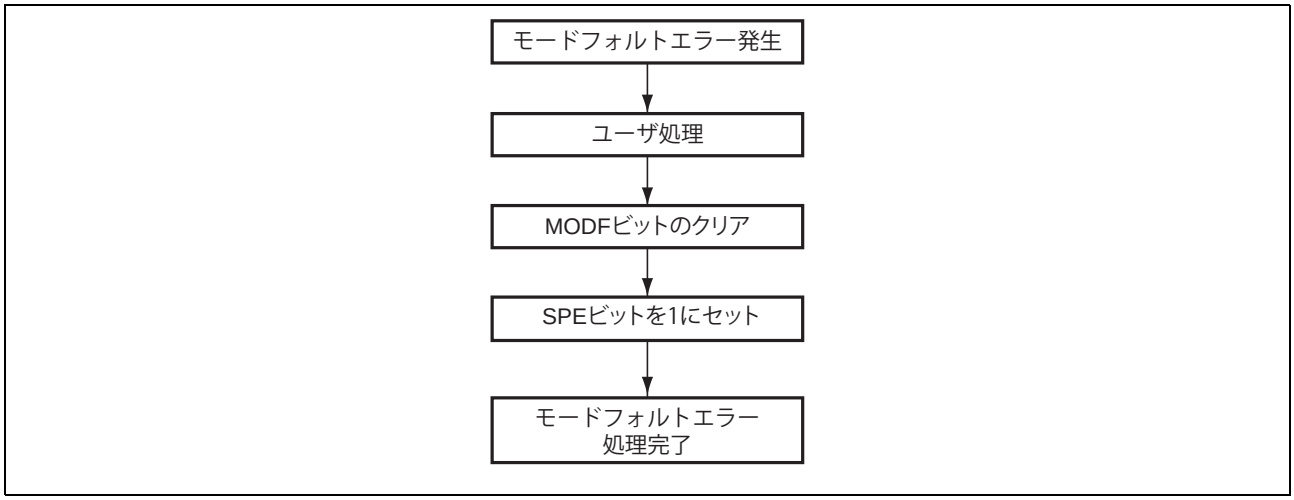


図 34.39　エラー処理（モードフォルトエラー）

34.4.13 ループバックモード

CPU が RSPI 端子制御レジスタ（SPPCR）の SPLP2 ビットか SPLP ビットに 1 を書き込むと、RSPI は RSPI-MISO 端子とシフトレジスタ間、及び RSPI-MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します（ループバックモード）。ループバックモードでシリアル転送を実行すると、送信データ、又は反転した送信データが受信データとなります。

表 34.12 に、SPLP2 ビットと SPLP ビットの設定と受信データの関係を示します。

表 34.12　SPLP2 ビットと SPLP ビットの設定と受信データ

SPLP2	SPLP	モード
0	0	通常モード（RSPI-MOSI 端子又は RSPI-MISO 端子からの入力データが受信データとなる）
0	1	ループバックモード 1（送信データの反転データが受信データとなる）
1	×	ループバックモード 2（送信データが受信データとなる）

×：“0”又は“1”いずれでもよい。

図 34.40 に、マスタモードの RSPI をループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します（SPLP2 = 1）。

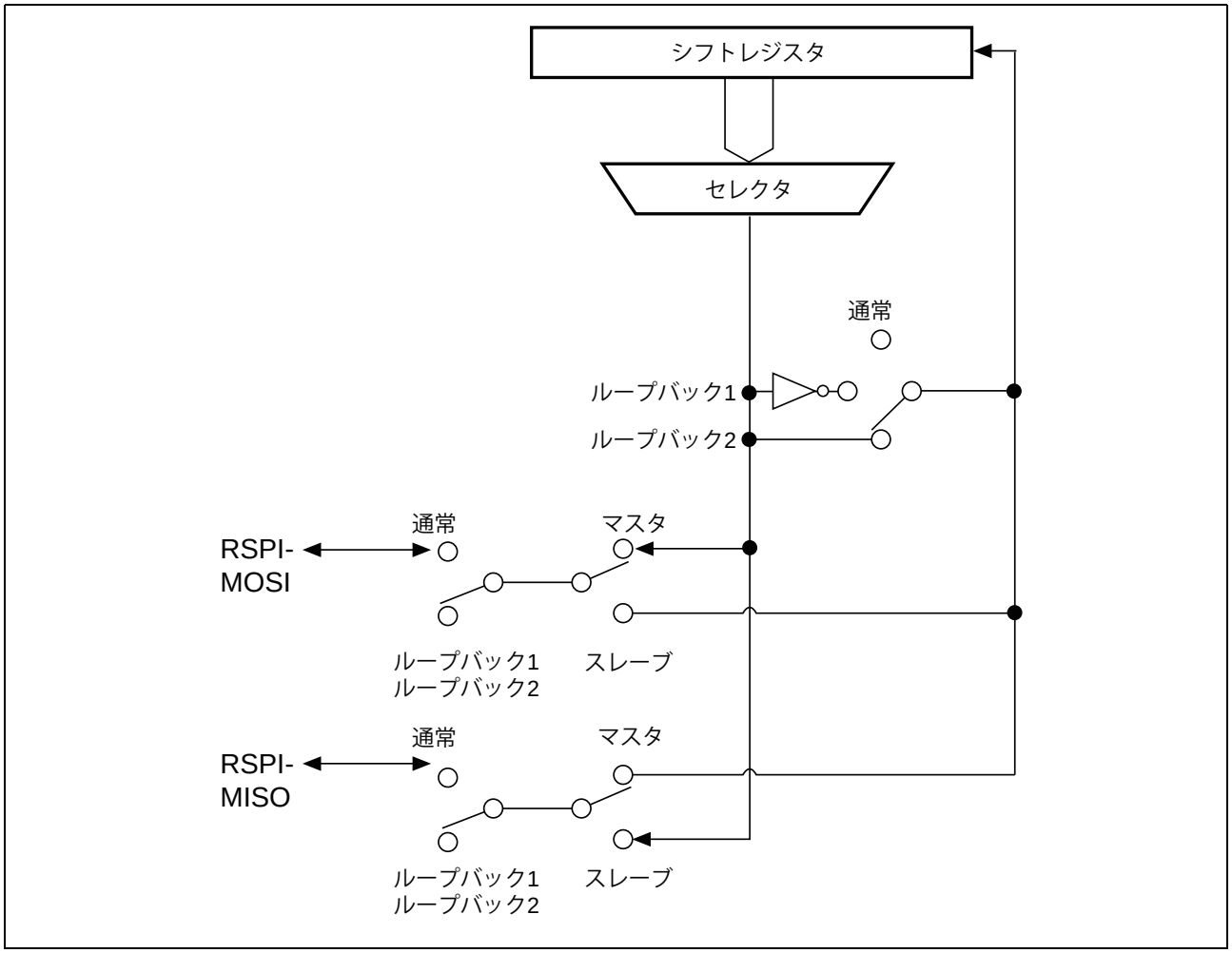


図 34.40　ループバックモード時のシフトレジスタ入出力構成（マスタモード）

34.4.14 パリティ機能のセルフダイアグノシス

パリティ回路は、送信データ用のパリティ付加ユニットと受信データ用のエラー検出ユニットで構成されています。図 34.41 にパリティ回路のセルフダイアグノシス機能のフローチャートを示します。パリティ回路のパリティ付加ユニットとエラー検出ユニットの欠陥を検出します。

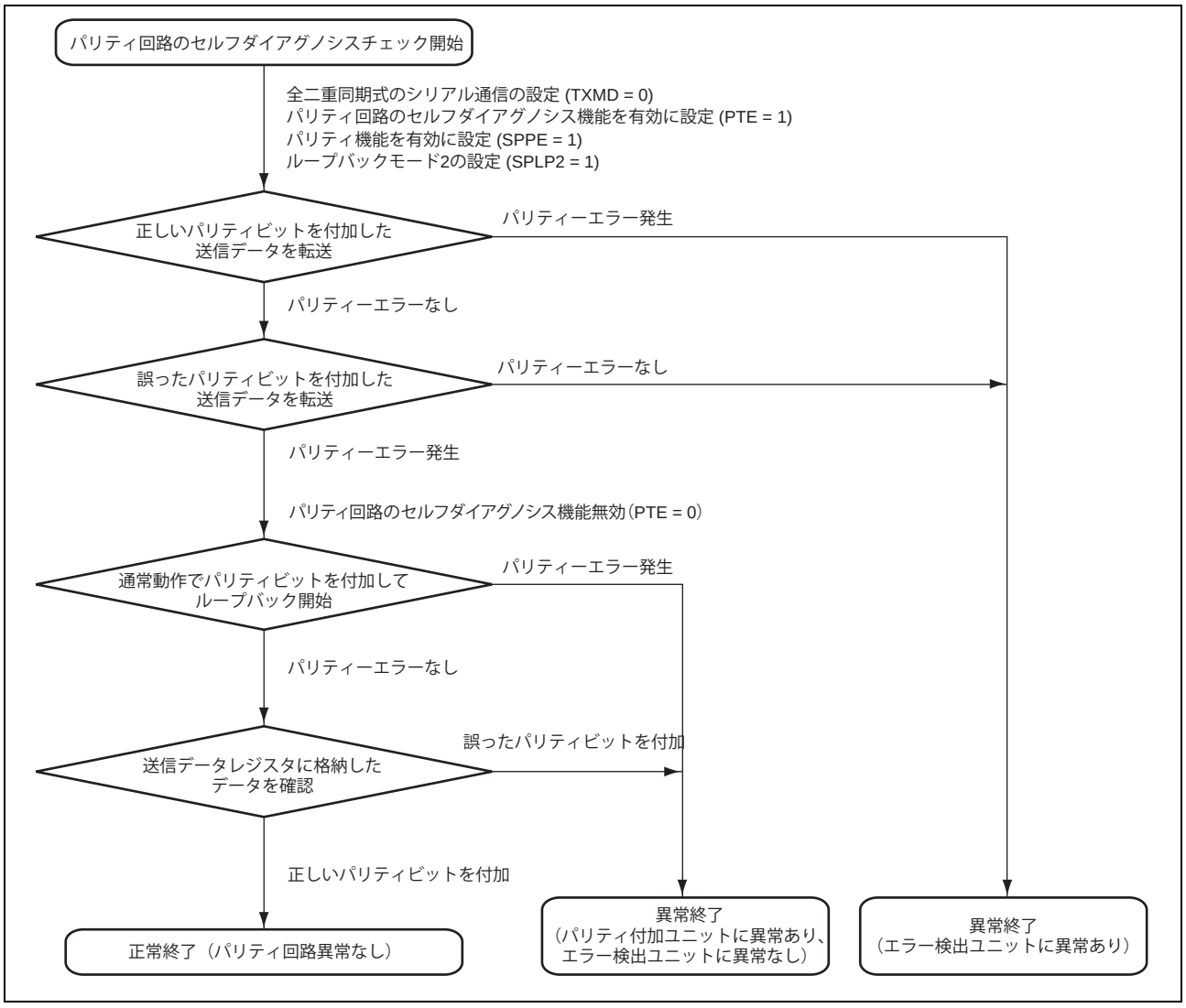


図 34.41　パリティ回路のセルフダイアグノシス機能のフローチャート

34.4.15 割り込み

RSPI の割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルトエラー、オーバランエラー、パリティエラー、アイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDMAC を起動し、データ転送を行うことができます。

モードフォルトエラー、オーバランエラー、パリティエラーの割り込み要求はERRINT のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表34.13 に、RSPI の割り込み要因を示します。

表34.13 の割り込み条件が成立すると、割り込みが発生します。CPU 又はDMAC によるデータ転送で割り込み要因をクリアしてください。

表34.13　RSPI の割り込み要因

名称	割り込み要因	割り込み条件	DMAC 起動	割り込みベクタ
RXINT	受信バッファフル	RXINTE=1 かつSPRF=1	○	H'1D80
TXINT	送信バッファエンプティ	TXINTE=1かつSPTEF=1	○	H'1DA0
ERRINT	モードフォルトエラー	ERRINTE=1かつMODF= 1	—	H'1DE0
	オーバランエラー	ERRINTE=1かつOVRF=1	—	
	パリティエラー	ERRINTE=1かつPERF=1	—	
IDINT	アイドル	IDINTE=1かつIDLNF=1	—	H'1DC0

35. PCI Expressコントローラ（PCIEC）

本モジュール（PCIEC：PCI Expressコントローラ）は、PCI Expressの制御を行い、本LSIの内部バスとPCI Expressに接続されるPCIデバイス間のデータ転送を行います。本モジュールにより、PCI Expressを用いたシステム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を可能にします。

本LSIは、1レーン（x1）に対応するPCI Expressの物理モジュールを搭載しています。また、ルートポート、エンドポイントの2つのモードを持ち、PCI Expressで規定されているルートポートまたはエンドポイントとしての動作が可能です。

35.1 特長

PCI Expressコントローラには以下の特徴があります。

- 次の規格に準拠
  - PCI Express Base Specification, Revision 2.1
  - PCI Express to PCI/PCI-X Bridge Specification, Revision 1.0
  - PCI Local Bus Specification, Revision 2.2.
- PCI Expressインタフェースはシングルファンクションで1レーン、2.5GT/sをサポート
- Max Payload Size: 128 bytes
- Max Read Request Size: 128 bytes
- Read Completion Boundary: 64 bytes, 128 bytes
- Power Management Capabilityをサポート
  - Device Power State: D0, D3hot, D3cold
  - Link Power State: L0, L0s, L1
- Interrupt Capability (INTxとMSI)をサポート
- Advanced Error Reporting Capabilityをサポート
- ACS Extended Capabilityをサポート

35.2　ブロック図

図35.1にPCIECのブロック図を示します。

PCIECはルートコンプレックス制御部、エンドポイント制御部、データリンク・物理部からなります。

ルートコンプレックス制御部は、データリンク層を制御するための制御レジスタを持ち、CPUからそのレジスタにアクセスすることでPCI Expressの規格で規定されるトランザクションの発行を可能にします。また、高速なデータ転送用に128バイトのデータバッファを持ち、CPUから最初のメモリトランザクションのヘッダ情報を与えることにより、その後はDMACを用いてデータバッファにアクセスするだけでCPUに負荷をかけずに連続的にデータを転送することができます。

エンドポイント制御部は、内部バスとPCI Expressとを接続するブリッジの機能を持ち、共有メモリ、メールボックス、VDMバッファを用いてPCI Expressの接続相手（PCIホスト）とデータを共有します。共有メモリは、CPUとPCIホストの双方のメモリ空間上に4Kバイトのメモリが直接マッピングされており双方からアクセスできます。メールボックスは、CPUとPCIホストの双方のメモリ空間上にマッピングされた制御レジスタを用いて何れか一方がアクセス権を取得したのち、データレジスタにアクセスすることで最大4Kバイトのデータを格納することができます。また、割り込みレジスタにアクセスすることで接続相手にデータアクセスの完了を通知することができます。VDMバッファは、PCI Expressの規格で規定されるVendor Defined Messageのトランザクションを用いて最大32KバイトのVDMヘッダおよびデータを転送することができます。また、VDMバッファとDDRメモリ間の高速なデータ転送用に専用のDMACを実装しており、CPUに負荷をかけずに連続的にVDMを転送することができます。なお、これらのエンドポイントの機能を使用するには初期設定としてPCI Expressプラットフォームのシーケンサ部分に96Kバイトのマイクロコードをダウンロードする必要があります。

データリンク・物理部は、PCI Expressの規格で規定されるデータリンク層と物理層の機能を実装しており、ルートコンプレックス制御部とエンドポイント制御部が共通で使用します。なお、ルートコンプレックス制御部とエンドポイント制御部はPCIECの初期化処理においてどちらか一方を静的に選択してください。

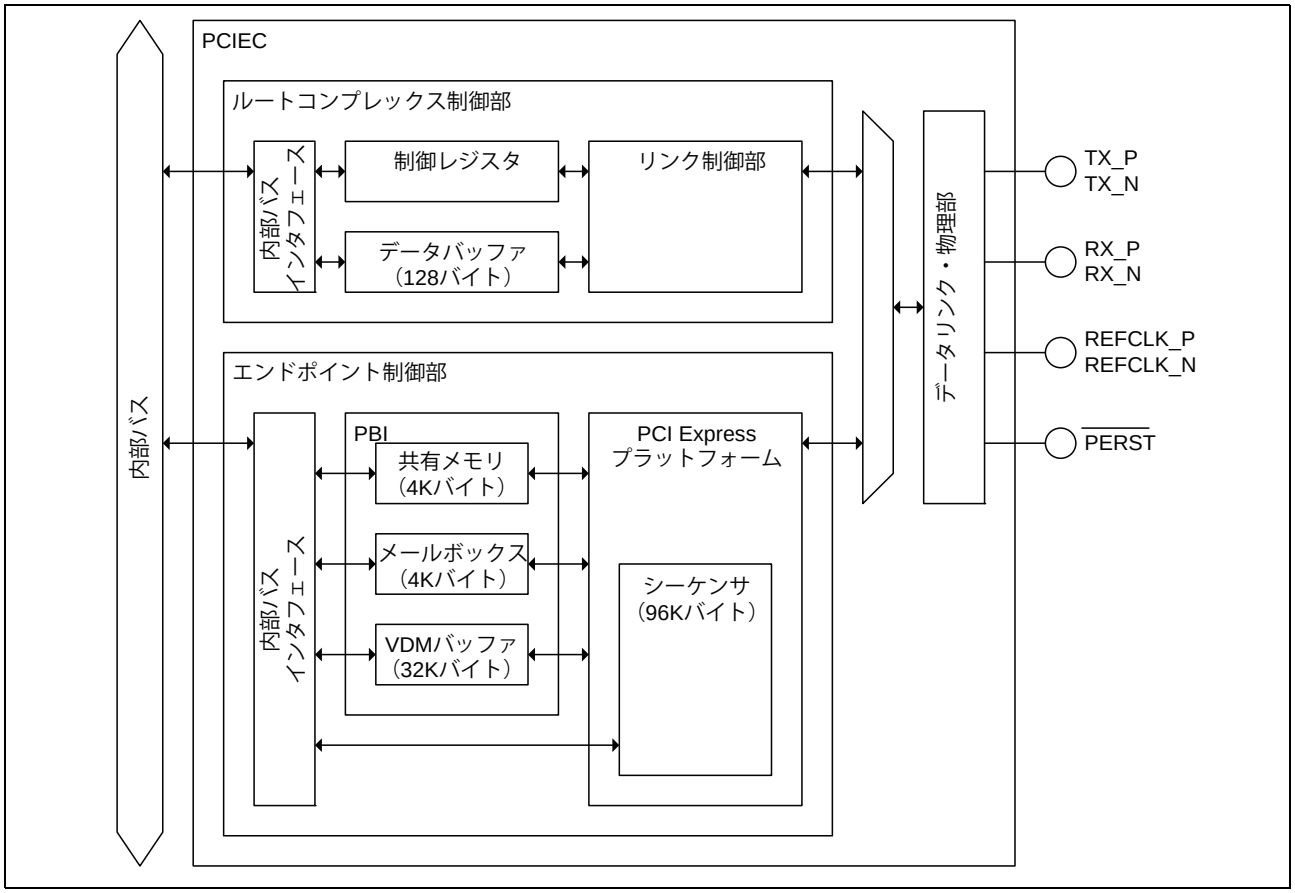


図 35.1　PCIECブロック図

35.3 入出力端子

表35.1に端子構成を示します。

表35.1　端子構成

端子名	入出力	機能
TX0_P	出力	PCI Express差動データ出力(+)
TX0_N	出力	PCI Express差動データ出力(-)
RX_P	入力	PCI Express差動データ入力(+)
RX_N	入力	PCI Express差動データ入力(-)
REFCLK_P	入力	PCI Expressリファレンスクロック(+)、100MHz ルートコンプレックス、エンドポイントの設定を問わず入力が必要です。
REFCLK_N	入力	PCI Expressリファレンスクロック(-)、100MHz ルートコンプレックス、エンドポイントの設定を問わず入力が必要です。
$\overline{\text{PERST}}$	入力	PCI Expressリセット ルートコンプレックス設定時　：使用しません。1か0に固定してください。 エンドポイント設定時　：PCI Expressリセット信号と接続してください。

35.4　レジスタの説明

表35.2にPCIECレジスター覧を示します。

PCIECレジスタには、本LSIのCPUからアクセスできるCPUレジスタと、エンドポイントとして動作させている際にPCIホストからアクセスできるPCIコンフィグレーションレジスタがあります。

CPUレジスタには、ルートコンプレックス機能とエンドポイント機能の選択に使用する共通レジスタ、ルートコンプレックス機能を制御するためのRCレジスタおよびLINKレジスタ、エンドポイント機能のPCI Expressプラットフォームを起動するためのPS/PPBレジスタおよびPCI Expressバスインタフェースを制御するためのPBIレジスタがあります。本節では、共通レジスタの説明を行います。他のレジスタに詳細ついては、各機能を説明する節を参照してください。

PCIコンフィグレーションレジスタには、エンドポイント機能におけるPCI Expressプラットフォームの PS/PPBコンフィグレーションレジスタと、PCI Expressバスインタフェースの PBIコンフィグレーションレジスタがあります。これらのレジスタの説明については、各機能を説明する節を参照してください。

表35.2　PCIECレジスター覧

大分類	小分類	機能
CPUレジスタ	共通レジスタ	ルートコンプレックス/エンドポイントの選択レジスタ 35.4.1参照
	RCレジスタ、LINKレジスタ	ルートコンプレックス機能を制御するためのレジスタ 35.5.2参照
	PS/PPBレジスタ	PCI Expressプラットフォームを制御するためのレジスタ 35.6.1.2参照
	PBIレジスタ	PCI Expressバスインタフェースを制御するためのレジスタ 35.6.2.10参照
PCIコンフィグレーションレジスタ	PS/PPBコンフィグレーションレジスタ	PCI ExpressプラットフォームのPCIコンフィグレーションレジスタ 35.6.1.2参照
	PBIコンフィグレーションレジスタ	PCI ExpressバスインタフェースのPCIコンフィグレーションレジスタ 35.6.2.10参照

35.4.1　共通レジスタ

表35.3に共通レジスター覧を示します。共通レジスタは、ルートコンプレックス/エンドポイントの選択に使用するレジスタです。

表35.3　共通レジスター覧

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
PCIECリセット制御レジスタ	PCIECRSTR	R/W	H'FFD6 0000	32	H'0000 0003	保持

(1) PCIECリセット制御レジスタ（PCIECRSTR）

本レジスタは、ルートコンプレックス／エンドポイントの選択に使用します。初期値は双方ともにリセット状態となっていますので、どちらか一方のリセットを該当するライトプロテクトコードを用いて解除してください。なお、エンドポイントを選択する場合は、リセット解除前に96Kバイトのマイクロコードのダウンロードを行う必要があります。マイクロコードのダウンロードの詳細は「35.6.1.3.1 初期化処理」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WPCD								—	—	—	—	—	—	RRST	ERST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～8	WPCD	すべて0	R/W	ライトプロテクトコードです。 ERST（ビット0）への書き込み時に0xA5を設定してください。 RRST（ビット1）への書き込み時に0xC3を設定してください。 ERSTとRRSTは、何れか一方しかリセットを解除することができません。 本ビットの読み出し値は常に0です。
7～2	—	0	—	リザーブビット
1	RRST	1	R/W	ルートコンプレックス機能をリセットします。 リセット実行は20μs以上継続してください。20μs未満でリセットを解除した場合、動作を保証できません。 0：リセット解除 1：リセット実行
0	ERST	1	R/W	エンドポイント機能をリセットします。 リセット実行は20μs以上継続してください。20μs未満でリセットを解除した場合、動作を保証できません。 0：リセット解除 1：リセット実行

35.5　ルートコンプレックス（RC）

ルートコンプレックス（RC）は、PCI Expressの規格で規定されたルートコンプレックスとしての処理を実現するための機能です。

35.5.1　特長

ルートコンプレックス機能には以下の特長があります。

- $\overline{\text{PERST}}$の出力が必要な場合、SH7753のGPIO制御で実現可能。
- CPUからデータリンク層を直接制御するための制御レジスタを搭載。
- CPUによる制御レジスタへのアクセスによりPCI Expressの規格で規定された全てのトランザクションの発行が可能。
- DMACによる高速なMemoryトランザクションの発行が可能。
  - 連続したアドレスに対するシーケンシャルなメモリリードまたはメモリライトの処理が対象。
  - 先頭のトランザクションヘッダをCPUから制御レジスタに設定することで後続のヘッダは自動的に生成される。
  - ヘッダを自動的に生成するため、AddressとTagフィールドをインクリメントする機能を搭載。
  - トランザクションサイズは、1,2,4,8,16,32DW（DW：ダブルワード＝4バイト）の6通りに対応。
  - 開始アドレスはトランザクションサイズの倍数が128バイトのアドレス境界にアラインされるポイントで設定可能。
  - DMACの転送サイズは常に1DWを指定。
  - DMACが転送するのはデータのみであり、トランザクションヘッダは含まない。
  - 最大16,777,216回のMemoryトランザクション発行に対応。
- CPUに対する割り込みによる通知機能を搭載。

下図はルートコンプレックス制御部とその周辺モジュールとの関係を示したブロック図です。

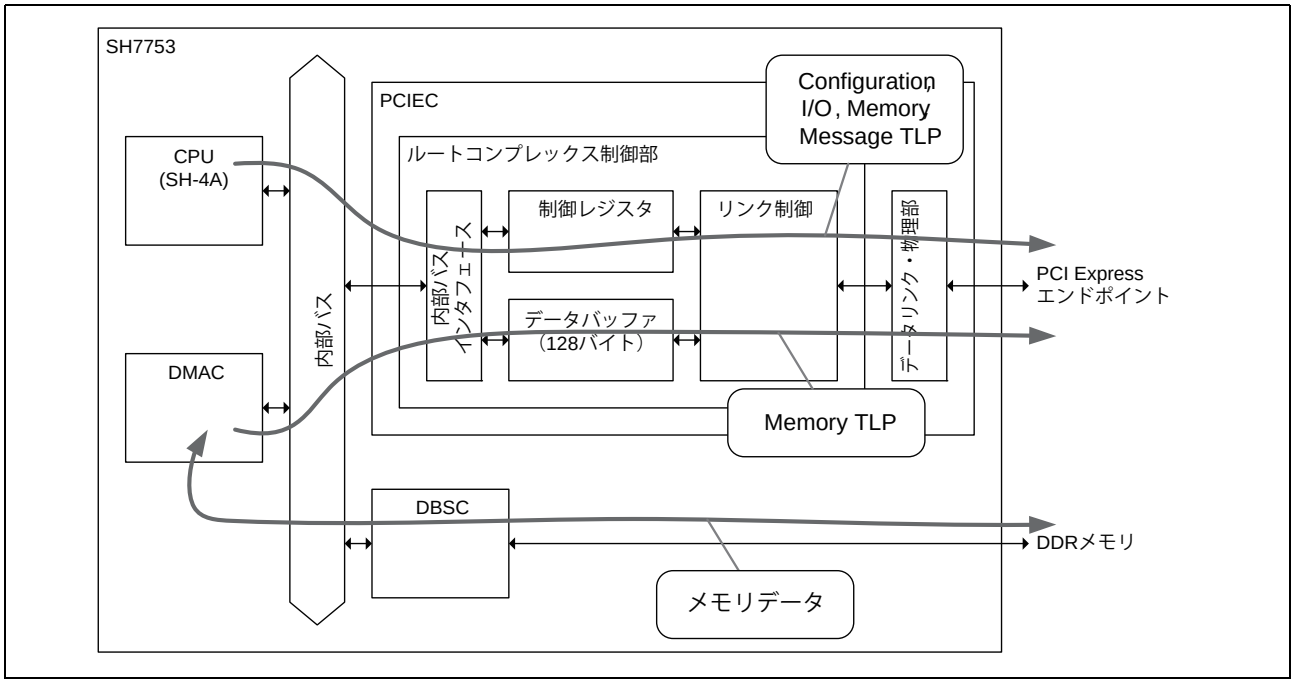


図 35.2　ルートコンプレックス制御部のブロック図

35.5.2　レジスタの説明

ルートコンプレックス機能のレジスタには、本LSIのCPUからアクセスするRCレジスタと、RCレジスタ経由で間接的にアクセスするLINKレジスタがあります。

35.5.2.1　RCレジスタ

表35.4にRCレジスター一覧を示します。

表35.4　RCレジスター一覧

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
RC割り込み許可レジスタ	RCINTENR	R/W	H'FFD6 0020	32	H'0000 0000	保持
RC割り込み要因レジスタ	RCINTSRCR	R/W	H'FFD6 0024	32	H'0000 0000	保持
RC-DMA起動レジスタ	RCDMACFGR	R/W	H'FFD6 0100	32	H'0000 0000	保持
RC-DMA割り込み許可レジスタ	RCDINTENR	R/W	H'FFD6 0104	32	H'0000 0000	保持
RC-DMA割り込み要因レジスタ	RCDINTSRCR	R/W	H'FFD6 0108	32	H'0000 0000	保持
RCメモリ転送設定レジスタ	RCMEMCFGR	R/W	H'FFD6 0110	32	H'0000 0000	保持
RC TLP転送数設定レジスタ	RCTLPTCCFGR	R	H'FFD6 0114	32	H'0000 0000	保持
RC TLP転送数モニタレジスタ	RCTLPTCMONR	R/W	H'FFD6 0118	32	H'0000 0000	保持
RCメモリ転送ヘッダレジスタ3～0	RCMEMHDR3～0	R/W	H'FFD6 0120～H'FFD6 012C	32	H'0000 0000	保持
RCメモリ送信データレジスタ	RCMEMTDR	R/W	H'FFD6 0140	32	H'0000 0000	保持
RCメモリ受信データレジスタ	RCMEMRDR	R	H'FFD6 0160	32	H'0000 0000	保持
リンク割り込み許可レジスタ	INTLINKENR	R/W	H'FFD6 1008	32	H'0000 0000	保持
リンク割り込み要因レジスタ	INTLINKR	R/W	H'FFD6 100C	32	H'0000 0000	保持
リンクステータスレジスタ0	LINKSTSR0	R	H'FFD6 1040	32	H'0000 0000	保持
リンクステータスレジスタ1	LINKSTSR1	R	H'FFD6 1044	32	H'0000 0000	保持
リンク受信ステータスレジスタ0	LINKRXSTSR0	R/W	H'FFD6 1200	32	H'0000 0000	保持
リンク受信ステータスレジスタ1	LINKRXSTSR1	R	H'FFD6 1204	32	H'0000 0000	保持
リンク受信ステータスレジスタ2	LINKRXSTSR2	R	H'FFD6 1208	32	H'0000 0000	保持
リンク受信ヘッダ選択レジスタ	LINKRXHDSELR	R/W	H'FFD6 120C	32	H'0000 0000	保持
リンク受信ヘッダレジスタ7～0	LINKRXHDR7～0	R	H'FFD6 1220～H'FFD6 123C	32	H'0000 0000	保持
リンク送信ステータスレジスタ	LINKTXSTSR	R/W	H'FFD6 1240	32	H'0000 0000	保持
リンク送信ヘッダ選択レジスタ	LINKTXHDSELR	R/W	H'FFD6 1244	32	H'0000 0000	保持
リンク送信ヘッダレジスタ7～0	LINKTXHDR7～0	R/W	H'FFD6 1260～H'FFD6 127C	32	H'0000 0000	保持
制御バスライトデータレジスタ1～0	ESQCWDR1～0	R/W	H'FFD6 1400～H'FFD6 1404	32	H'0000 0000	保持
制御バスリードデータレジスタ1～0	ESQCRDR1～0	R	H'FFD6 1408～H'FFD6 140C	32	H'0000 0000	保持
制御バスアドレスレジスタ	ESQCADR	R/W	H'FFD6 1410	32	H'0000 0000	保持
受信バスライトデータレジスタ3～0	ESQRWDR3～0	R/W	H'FFD6 1420～H'FFD6 142C	32	H'0000 0000	保持
受信バスリードデータレジスタ3～0	ESQRRDR3～0	R	H'FFD6 1430～H'FFD6 143C	32	H'0000 0000	保持

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
受信バスアドレスレジスタ	ESQRADR	R/W	H'FFD6 1440	32	H'0000 0000	保持
送信バスライトデータレジスタ3～0	ESQTWDR3～0	R/W	H'FFD6 1460～H'FFD6 146C	32	H'0000 0000	保持
送信バスリードデータレジスタ3～0	ESQTRDR3～0	R	H'FFD6 1470～H'FFD6 147C	32	H'0000 0000	保持
送信バスアドレスレジスタ	ESQTADR	R/W	H'FFD6 1480	32	H'0000 0000	保持
コマンド設定レジスタ	ESQCMDR	R/W	H'FFD6 14A8	32	H'0000 0000	保持
コマンド開始レジスタ	ESQSTR	R/W	H'FFD6 14AC	32	H'0000 0000	保持

(1) RC割り込み許可レジスタ（RCINTENR）

本レジスタは、ルートコンプレックス割り込みの許可/不許可を設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LINTE	DINTE	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
31～3	—	0	—	リザーブビット
2	LINTE	0	R/W	リンク割り込み許可 0：不許可 1：許可
1	DINTE	0	R/W	RC-DMA割り込み許可 0：不許可 1：許可
0	—	0	—	リザーブビット

(2) RC割り込み要因レジスタ（RCINTSRCR）

本レジスタは、ルートコンプレックス割り込みの要因を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LINT	DINT	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
31～3	—	0	—	リザーブビット
2	LINT	0	R/W	リンク割り込み 本ビットは1をライトすることで0にクリアされます。 本ビットの読み出し値は常に0です。
1	DINT	0	R/W	RC-DMA割り込み 本ビットは1をライトすることで0にクリアされます。 本ビットの読み出し値は常に0です。
0	—	0	—	リザーブビット

(3) RC-DMA起動レジスタ（RCDMACFGR）

本レジスタは、DMACによるメモリトランザクションの発行を開始するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PRDY	—	—	—	BSY	—	—	SP	ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R	—	—	—	R	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～9	—	0	—	リザーブビット
8	PRDY	0	R	物理層のレディー通知 物理層のPLLがロックし、リンク層より上位に対してクロック供給を開始したことを示します。クロック供給が開始すると1が読み出せます。PCI Expressのリセット検出などにより、クロック供給が停止すると0が読み出せます。
7～5	—	0	—	リザーブビット
4	BSY	0	R	DMA転送のビジー通知 ルートコンプレックスのDMA転送中であることを示します。DMA転送中は1が読み出せます。
3～2	—	0	—	リザーブビット
1	SP	0	R/W	DMA転送の停止要求 ルートコンプレックスのDMA転送を途中で停止する場合に1にセットしてください。DMA転送の開始要求（ビット0）と同時に1にセットしないでください。 本ビットの読み出し値は常に0です。
0	ST	0	R/W	DMA転送の開始要求 ルートコンプレックスのDMA転送を開始する場合に1にセットしてください。 本ビットの読み出し値は常に0です。

(4) RC-DMA割り込み許可レジスタ（RCDINTENR）

本レジスタは、ルートコンプレックスのDMA割り込みの許可/不許可を設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PRDYE	DACTE	MACE	DLE	CERRE	ERPE	CTOE	UTLPE	GENDE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～9	—	0	—	リザーブビット
8	PRDYE	0	R/W	物理層レディー割り込み許可 0：不許可 1：許可
7	DACTE	0	R/W	DL_Active割り込み許可 0：不許可 1：許可
6	MACE	0	R/W	MAC割り込み許可 0：不許可 1：許可
5	DLE	0	R/W	DL割り込み許可 0：不許可 1：許可
4	CERRE	0	R/W	受信Completionエラー割り込み許可 0：不許可 1：許可
3	ERPE	0	R/W	エラーパケット受信割り込み許可 0：不許可 1：許可
2	CTOE	0	R/W	Completionタイムアウト割り込み許可 0：不許可 1：許可
1	UTLPE	0	R/W	Unexpected TLP割り込み許可 0：不許可 1：許可
0	GENDE	0	R/W	DMA転送の正常終了割り込み許可 0：不許可 1：許可

(5) RC-DMA割り込み要因レジスタ（RCDINTSRCR）

本レジスタは、ルートコンプレックスのDMA割り込みの要因を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PRDY	DACT	MAC	DL	CERR	ERP	CTO	UTLP	GEND
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～9	—	0	—	リザーブビット
8	PRDY	0	R/W	物理層レディー割り込み 物理層のPLLがロックし、リンク層より上位に対してクロック供給を開始したこと（PhyRdy）を通知します。 本ビットは1をライトすることで0にクリアされます。
7	DACT	0	R/W	DL_Active割り込み リンク層のトレーニングシーケンスが完了し、リンクアップしたことを通知します。 本ビットは1をライトすることで0にクリアされます。
6	MAC	0	R/W	MAC割り込み リンク層のMAC割り込みを通知します。MAC割り込みの要因はLINKレジスタで設定してください。本割り込みがDMA転送中に発生しても、DMA転送が自動的に停止することはありません。 本ビットは1をライトすることで0にクリアされます。
5	DL	0	R/W	DL割り込み リンク層のDL割り込みを通知します。DL割り込みの要因はLINKレジスタで設定してください。本割り込みがDMA転送中に発生しても、DMA転送が自動的に停止することはありません。 本ビットは1をライトすることで0にクリアされます。
4	CERR	0	R/W	受信Completionエラー割り込み リンク層が受信したCompletionに何らかのエラーを検出したことを通知します。本割り込みがDMA転送中に発生すると、DMA転送を自動的に停止します。 本ビットは1をライトすることで0にクリアされます。
3	ERP	0	R/W	エラーパケット受信割り込み リンク層がエラーパケットを受信したことを通知します。本割り込みがDMA転送中に発生すると、DMA転送を自動的に停止します。 本ビットは1をライトすることで0にクリアされます。
2	CTO	0	R/W	Completionタイムアウト割り込み リンク層が発行したNon-Postedリクエストに対するCompletionタイムアウトを検出したことを通知します。本割り込みがDMA転送中に発生すると、DMA転送を自動的に停止します。 本ビットは1をライトすることで0にクリアされます。

ビット	ビット名	初期値	R/W	説 明
1	UTLP	0	R/W	Unexpected TLP受信割り込み DMA転送中に期待外のTLPを受信したことを通知します。期待外のTLPとは、以下の条件の何れかが成立したことを示します。 本ビットは1をライトすることで0にクリアされます。 メモリライト転送中 ・何らかのTLPを受信した場合 注. RCMEMCFGR.MWCE=1の場合のみ有効 メモリリード転送中 ・Completion以外を受信した場合 ・Completionステータスが SC（Successful）以外の場合 ・Completionヘッダ数が3以上の場合
0	GEND	0	R/W	DMA転送の正常終了割り込み 設定した全てのTLP転送が正常に実行できたことを通知します。 本ビットは1をライトすることで0にクリアされます。

(6) RCメモリ転送設定レジスタ（RCMEMCFGR）

本レジスタは、DMACによるメモリ転送の設定を行うために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ED	—	TSZ			MWCE	TAG	DIR	ADR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～9	—	0	—	リザーブビット
8	ED	0	R/W	送信・受信データレジスタのバイトエンディアン設定 DMACが送信・受信データレジスタに4バイトアクセスを行う際のバイトエンディアンを設定します。 0：ビックエンディアン 1：リトルエンディアン
7	—	0	—	リザーブビット
6～4	TSZ	すべて0	R/W	TLPサイズ指定 DMA転送で生成するTLPのサイズ（Double Word（4バイト）データ数）を指定します。 000：1DW 001：2DW 010：4DW 011：8DW 100：16DW 101：32DW その他：設定禁止

ビット	ビット名	初期値	R/W	説 明
3	MWCE	0	R/W	メモリライト中のTLP受信判定許可 本ビットを1にセットすることで、DMACによるメモリライト処理中に何らかのTLP受信した場合、DMA転送を停止してUnexpected TLP受信割り込みを通知することができます。 0：不許可 1：許可
2	TAG	0	R/W	TAGサイズ指定 DMA転送でTAGフィールドを自動的にインクリメントする際のTAGのビット幅を指定します。 0：5ビットTAG 1：8ビットTAG
1	DIR	0	R/W	DMAメモリ転送方向指定 DMACによるメモリ転送の方向を指定します。 0：メモリライト（MemWr） 1：メモリリード（MemRd）
0	ADR	0	R/W	DMAメモリ転送アドレッシング指定 DMACによるメモリ転送のアドレッシングのビット幅を指定します。 0：32ビットアドレッシング 1：64ビットアドレッシング

(7) RC TLP転送数設定レジスタ（RCTLPTCCFGR）

本レジスタは、DMACによるメモリ転送数（TLP数）を設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TNUM							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TNUM															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～24	—	0	—	リザーブビット
23～0	TNUM	すべて0	R/W	Memoryトランザクション転送回数指定 1回のルートコンプレックスのDMA起動で転送するTLPの数を指定します。指定回数のTLP転送が終わると、ルートコンプレックスのDMA転送が完了となります。 H'00 0001　：1回 H'00 0002　：2回 ： H'FF FFFF　：16,777,215回 H'00 0000　：16,777,216回（最大）

(8) RC TLP転送数モニタレジスタ（RCTLPTCMONR）

本レジスタは、DMACによるメモリ転送の実行数（TLP数）を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	TMON							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMON															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～24	—	0	—	リザーブビット
23～0	TMON	すべて0	R	Memoryトランザクション転送回数モニタ DMA転送を開始してから転送したTLPの数を示します。転送中のTLPもカウントに含めますので、例えばカウント数が3の場合、2回のTLP転送は完了し、3回目のTLP転送が実行中であることを示します。

(9) RCメモリ転送ヘッダレジスタ3～0 （RCMEMHDR3～0）

本レジスタは、DMACによるメモリ転送の最初のトランザクションヘッダを設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MHR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MHR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	MHR3 MHR2 MHR1 MHR0	すべて0	R/W	128ビットの先頭ヘッダを設定します。 MHR3（アドレスオフセット+0）：ビット[127:96] MHR2（アドレスオフセット+4）：ビット[95:64] MHR1（アドレスオフセット+8）：ビット[63:32] MHR0（アドレスオフセット+C）：ビット[31:0] ユーザが設定できるフィールドには制限がありますので、下表を参照してください。

グレーの塗りつぶし箇所は、ユーザが直接設定できないフィールドを示しており、MHR3～0で設定してもエンドポイント側に送信されるリクエストヘッダには適用されません。

ビット	ビット名	値	説 明
127-125	Format[2:0]	000b	メモリリード - 32ビット指定時 RCMEMCFGRのDIR=1, ADR=0

ビット	ビット名	値	説 明
127-125	Format[2:0]	001b	メモリリード - 64ビット指定時 RCMEMCFGRのDIR=1, ADR=1
		010b	メモリライト - 32ビット指定時 RCMEMCFGRのDIR=0, ADR=0
		011b	メモリライト - 64ビット指定時 RCMEMCFGRのDIR=0, ADR=1
124-120	Type	00000b	固定値
119	Reserved	0b	固定値
118-116	Traffic Class	ユーザ設定値	
115	Reserved	0b	固定値
114	Attr[2]	ユーザ設定値	ID-Based Orderingの指定
113	Reserved	0b	固定値
112	TH	0b	TPH TLPはサポートしない。
111	TD（TLP Digest）	ユーザ設定値	ECRC付加有無の指定
110	EP	ユーザ設定値	Data Poisoningの宣言
109-108	Attr[1:0]	ユーザ設定値	[1]はRelaxed Orderingの指定 [0]はNo Snoopの指定
107-106	AT[1:0]	ユーザ設定値	Address Typeの指定 00 : Default/Untranslated 01 : Translation Request 10 : Translated 11 : reserved
105-96	Length	001h	1DW（RCMEMCFGR.TSZ=000）
		002h	2DW（RCMEMCFGR.TSZ=001）
		004h	4DW（RCMEMCFGR.TSZ=010）
		008h	8DW（RCMEMCFGR.TSZ=011）
		010h	16DW（RCMEMCFGR.TSZ=100）
		020h	32DW（RCMEMCFGR.TSZ=101）
95-80	Requester ID	ユーザ設定値	Bus, Device, Function番号
79-72	Tag	上位3ビット=000b, ユーザ設定値5ビット	Extended TAG無効時（RCMEMCFGR.TAG=0） 5ビットのユーザ設定値をTLP送信のたびに自動インクリメント
		ユーザ設定値8ビット	Extended TAG有効時（RCMEMCFGR.TAG=1） 8ビットのユーザ設定値をTLP送信のたびに自動インクリメント
71-68	Last BE	0000b	1DW転送時
		1111b	2DW/TLP以上転送時
67-64	1st BE	1111b	Byte転送はサポートしない。

32ビットアドレッシング指定時（RCMEMCFGR.ADR=0）			
63-39	Address[31:7]	ユーザ設定値	転送アドレス
38	Address[6]	ユーザ設定値 / 0b	転送アドレス、32DW/TLP以上転送時は0固定
37	Address[5]	ユーザ設定値 / 0b	転送アドレス、16DW/TLP以上転送時は0固定
36	Address[4]	ユーザ設定値 / 0b	転送アドレス、8DW/TLP以上転送時は0固定

35	Address[3]	ユーザ設定値 / 0b	転送アドレス、4DW/TLP以上転送時は0固定
34	Address[2]	ユーザ設定値 / 0b	転送アドレス、2DW/TLP以上転送時は0固定
33-32	Address[1:0]	00b	0固定
31-0	Reserved	0000_0000h	固定値

64ビットアドレッシング指定時（RCMEMCFGR.ADR=1）			
63-7	Address[63:7]	ユーザ設定値	転送アドレス
6	Address[6]	ユーザ設定値 / 0b	転送アドレス、32DW/TLP以上転送時は0固定
5	Address[5]	ユーザ設定値 / 0b	転送アドレス、16DW/TLP以上転送時は0固定
4	Address[4]	ユーザ設定値 / 0b	転送アドレス、8DW/TLP以上転送時は0固定
3	Address[3]	ユーザ設定値 / 0b	転送アドレス、4DW/TLP以上転送時は0固定
2	Address[2]	ユーザ設定値 / 0b	転送アドレス、2DW/TLP以上転送時は0固定
1-0	Address[1:0]	00b	0固定

(10) RCメモリ送信データレジスタ　（RCMEMTDR）

本レジスタは、DMACによるメモリ転送の送信データを格納するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	TDR	すべて0	R/W	メモリ送信データレジスタ メモリ転送設定レジスタで指定したTLPサイズ分の書き込みが完了した時点で、自動的にトランザクションヘッダを付加してメモリライトトランザクションが送信されます。 本ビットの読み出し値は常に0です。

(11) RCメモリ受信データレジスタ　（RCMEMRDR）

本レジスタは、DMACによるメモリ転送の受信データを取得するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～0	RDR	すべて0	R	メモリ受信データレジスタ メモリ転送設定レジスタで指定したTLPサイズ分の読み出しが完了した時点で、自動的にトランザクションヘッダを生成してメモリリードトランザクションが送信されます。

(12) リンク割り込み許可レジスタ（INTLINKENR）

本レジスタは、リンク割り込みの許可/不許可を設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CTOE	DLDNE	—	ERPE	RXV0E			TXV0E			PME	MACE	DLE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～13	—	0	—	リザーブビット
12	CTOE	0	R/W	Completionタイムアウト割り込み許可 0：不許可 1：許可
11	DLDNE	0	R/W	DL_Down割り込み許可 0：不許可 1：許可
10	—	0	—	リザーブビット
9	ERPE	0	R/W	エラーパケット受信割り込み許可 0：不許可 1：許可
8～6	RXV0E	すべて0	R/W	VC0受信割り込み許可 0：不許可 1：許可

ビット	ビット名	初期値	R/W	説 明
5～3	TXV0E	すべて0	R/W	VC0送信割り込み許可 0：不許可 1：許可
2	PME	0	R/W	パワーマネジメント割り込み許可 0：不許可 1：許可
1	MACE	0	R/W	MAC割り込み許可 0：不許可 1：許可
0	DLE	0	R/W	DL割り込み許可 0：不許可 1：許可

(13) リンク割り込み要因レジスタ（INTLINKR）

本レジスタは、リンク割り込みの要因を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CTO	DLDN	—	ERP	RXV0			TXV0			PM	MAC	DL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～13	—	0	—	リザーブビット
12	CTO	0	R/W	Completionタイムアウト割り込み リンク層が発行したNon-Postedリクエストに対するCompletionタイムアウトを検出したことを通知します。 本ビットは1をライトすることで0にクリアされます。
11	DLDN	0	R/W	DL_Down割り込み リンク層がダウンしたことを通知します。 本ビットは1をライトすることで0にクリアされます。
10	—	0	—	リザーブビット
9	ERP	0	R/W	エラーパケット受信割り込み リンク層がエラーパケットを受信したことを通知します。 本ビットは1をライトすることで0にクリアされます。
8～6	RXV0	すべて0	R/W	VC0受信割り込み VC0受信バッファがフル状態であることを通知します。 本ビットは1をライトすることで0にクリアされます。 ビット2：Posted受信バッファフル ビット1：Non-Posted受信バッファフル ビット0：Completion受信バッファフル

ビット	ビット名	初期値	R/W	説 明
5～3	TXV0	すべて0	R/W	VC0送信割り込み VC0送信バッファがエンプティ状態であることを示します。 本ビットは1をライトすることで0にクリアされます。 ビット2：Posted送信バッファエンプティ ビット1：Non-Posted送信バッファエンプティ ビット0：Completion送信バッファエンプティ
2	PM	0	R/W	パワーマネジメント割り込み リンク層のパワーマネジメント割り込みが発生したことを通知します。 本ビットは1をライトすることで0にクリアされます。
1	MAC	0	R/W	MAC割り込み リンク層のMAC割り込みが発生したことを通知します。 本ビットは1をライトすることで0にクリアされます。
0	DL	0	R/W	DL割り込み リンク層のDL割り込みが発生したことを通知します。 本ビットは1をライトすることで0にクリアされます。

(14) リンクステータスレジスタ0 （LINKSTSR0）

本レジスタは、データリンク層の状態を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	L1FAEG	—	PMEL1 RX	PMSTATE			DLLACT	DLDN	DLLPE	RPTO	RPNRO	BADTLP	BAD DLLP	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R	—	R	R	R	R	R	R	R	R	R	R	R	—	—

ビット	ビット名	初期値	R/W	説 明
31～15	—	0	—	リザーブビット
14	L1FAEG	0	R	リンク層のL1起動シーケンスが中断、もしくは完了したときに1にセットされます。 0：L1起動シーケンスは、完了または中断していない。 1：L1起動シーケンスが完了または中断した。
13	—	0	—	リザーブビット
12	PMEL1RX	0	R	PM_ENTER_L1 DLLPを受信したときに1にセットされます。 0：PM_ENTER_L1 DLLPを受信していない。 1：PM_ENTER_L1 DLLPを受信した。

ビット	ビット名	初期値	R/W	説 明
11～9	PMSTATE	すべて0	R	パワーマネジメントステートマシンのステートを示します。 000：LDnステート 001：L0ステート 010：L1ステート 011：L2ステート 100：L0sステート その他：設定禁止
8	DLLACT	0	R	データリンク層のDL_Active状態を示します。 0：DL_Activeではない。 1：DL_Activeである。
7	DLDN	0	R	データリンク層のDL_Down状態を示します。リンク間DLで通信が確立していないときに1にセットされます。 0：DL_Downではない。 1：DL_Downである。
6	DLLPE	0	R	データリンク層のプロトコルエラーの発生を示します。 0：プロトコルエラーが発生していない。 1：プロトコルエラーが発生した。
5	RPTO	0	R	Replay Timeoutの発生を示します。 0：Replay Timeoutが発生していない。 1：Replay Timeoutが発生した。
4	RPNRO	0	R	Replay Number Roll Overの発生を示します。 0：Replay Number Roll Overが発生していない。 1：Replay Number Roll Overが発生した。
3	BADTLP	0	R	BAD TLPの発生を示します。 0：BAD TLPを検出していない。 1：BAD TLPを検出した。
2	BADDLLP	0	R	BAD DLLPの発生を示します。 0：BAD DLLPを検出していない。 1：BAD DLLPを検出した。
1～0	—	0	—	リザーブビット

(15) リンクステータスレジスタ1 （LINKSTSR1）

本レジスタは、データリンク層の状態を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RVERR	LKTR	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R	R	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～12	—	0	—	リザーブビット
11	RVERR	0	R	MACが以下のエラーを検出したとき、Receiver Errorとみなし、本ビットをセットします。 ・8b/10b エラー ・ディスパリティエラー ・エラスティックバッファオーバーフロー ・エラスティックバッファアンダーフロー ・レーン間デスキュー エラー
10	LKTR	0	R	MACのLTSSMが Recoverまたは Configuration状態で Link Training実行中であることを示します。 0：Link Training中ではない。 1：Link Training中である。
9～0	—	0	—	リザーブビット

(16) リンク受信ステータスレジスタ0 （LINKRXSTSR0）

本レジスタは、データリンク層の受信バスの状態を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CTO	PER	NPER	CPLER	PFL	NPFL	CPLFL	PFLC	NPFLC	CPLFLC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～10	—	0	—	リザーブビット
9	CTO	0	R	Completionタイムアウト リンク層が発行したNon-Postedリクエストに対するCompletionタイムアウトを検出したことを示します。
8	PER	0	R	Postedエラーステータス リンク層が受信したPostedリクエスト内にエラーを検出したことを示します。

ビット	ビット名	初期値	R/W	説 明
7	NPER	0	R	Non-Postedエラーステータス リンク層が受信したNon-Postedリクエスト内にエラーを検出したことを示します。
6	CPLER	0	R	Completionエラーステータス リンク層が受信したCompletionレスポンス内にエラーを検出したことを示します。
5	PFL	0	R	Postedフルステータス リンク層の受信Postedバッファ内に有効なリクエストが存在することを示します。
4	NPFL	0	R	Non-Postedフルステータス リンク層の受信Non-Postedバッファ内に有効なリクエストが存在することを示します。
3	CPLFL	0	R	Comletionフルステータス リンク層の受信Completionバッファ内に有効なレスポンスが存在することを示します。
2	PFLC	0	R	Postedフルクリア 本ビットに1を書き込むことで、リンク層の受信Postedバッファに対するクリアパルスを出力します。
1	NPFLC	0	R/W	Non-Postedフルクリア 本ビットに1を書き込むことで、リンク層の受信Non-Postedバッファに対するクリアパルスを出力します。
0	CPLFLC	0	R/W	Completionフルクリア 本ビットに1を書き込むことで、リンク層の受信Comletionバッファに対するクリアパルスを出力します。

(17) リンク受信ステータスレジスタ1 （LINKRXSTSR1）

本レジスタは、データリンク層の受信バスの状態を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTAG								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～8	CTAG	すべて0	R	Completion TAGデータ Completionタイムアウト時に本レジスタからTAG情報を取得します。
7～0	—	0	—	リザーブビット

(18) リンク受信ステータスレジスタ2 （LINKRXSTSR2）

本レジスタは、データリンク層の受信バスの状態を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CHNUM						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～7	—	0	—	リザーブビット
6～0	CHNUM	すべて0	R	Completionヘッダ数 Multiple Completion受信時に本レジスタからCompletion数を確認します。

(19) リンク受信ヘッダ選択レジスタ （LINKRXHDSELR）

本レジスタは、データリンク層の受信バスのヘッダを選択するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	EUD	HUD	HSEL		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～5	—	0	—	リザーブビット
4	EUD	0	R/W	エラーデータアップデート 本ビットに1を書き込むことでエラーデータを更新します。
3	HUD	0	R/W	ヘッダデータアップデート 本ビットに1を書き込むことでヘッダデータを更新します。
2～0	HSEL	すべて0	R/W	受信ヘッダデータ選択 000：Postedヘッダデータ 001：Non-Postedヘッダデータ 010：Completionヘッダデータ その他：設定禁止

(20) リンク受信ヘッダレジスタ7～0 （LINKRXHDR7～0）

本レジスタは、データリンク層の受信バスのヘッダデータを取得するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RHR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	RHR7 RHR6 RHR5 RHR4 RHR3 RHR2 RHR1 RHR0	すべて0	R	128ビットの受信ヘッダを取得します。 RHR7（アドレスオフセット+0）：ビット[127:112] RHR6（アドレスオフセット+4）：ビット[111:96] RHR5（アドレスオフセット+8）：ビット[95:80] RHR4（アドレスオフセット+C）：ビット[79:64] RHR3（アドレスオフセット+10）：ビット[63:48] RHR2（アドレスオフセット+14）：ビット[47:32] RHR1（アドレスオフセット+18）：ビット[31:16] RHR0（アドレスオフセット+1C）：ビット[15:0]

(21) リンク送信ステータスレジスタ （LINKTXSTSR）

本レジスタは、データリンク層の送信バスの状態を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PEP	NPEP	CPLEP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～3	—	0	—	リザーブビット
2	PEP	0	R	Postedエンプティ 送信Postedバッファに空きがあることを示します。
1	NPEP	0	R	Non-Postedエンプティ 送信Non-Postedバッファに空きがあることを示します。
0	CPLEP	0	R	Completionエンプティ 送信Completionバッファに空きがあることを示します。

(22) リンク送信ヘッダ選択レジスタ　（LINKTXHDSELR）

本レジスタは、データリンク層の送信バスの状態を確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PHW	NPHW	CPLHW
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～3	—	0	—	リザーブビット
2	PHW	0	R/W	Postedヘッダライトストローブ 送信Postedヘッダを書き込みます。 本ビットの読み出し値は常に0です。
1	NPHW	0	R/W	Non-Postedヘッダライトストローブ 送信Non-Postedヘッダを書き込みます。 本ビットの読み出し値は常に0です。
0	CPLHW	0	R/W	Completionヘッダライトストローブ 送信Completionヘッダを書き込みます。 本ビットの読み出し値は常に0です。

(23) リンク送信ヘッダレジスタ7～0　（LINKTXHDR7～0）

本レジスタは、データリンク層の送信バスのヘッダデータを格納するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	THR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	THR7 THR6 THR5 THR4 THR3 THR2 THR1 THR0	すべて0	R/W	128ビットの送信ヘッダを格納します。 THR7（アドレスオフセット+0）：ビット[127:112] THR6（アドレスオフセット+4）：ビット[111:96] THR5（アドレスオフセット+8）：ビット[95:80] THR4（アドレスオフセット+C）：ビット[79:64] THR3（アドレスオフセット+10）：ビット[63:48] THR2（アドレスオフセット+14）：ビット[47:32] THR1（アドレスオフセット+18）：ビット[31:16] THR0（アドレスオフセット+1C）：ビット[15:0]

(24) 制御バスライトデータレジスタ1～0 （ESQCWDR1～0）

本レジスタは、データリンク層の制御バスにデータを格納するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CWD															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	CWD1 CWD0	すべて0	R/W	32ビットの制御バスデータを格納します。 CWD1（アドレスオフセット+0）：　ビット[31:16] CWD0（アドレスオフセット+4）：　ビット[15:0]

(25) 制御バスリードデータレジスタ1～0 （ESQCRDR1～0）

本レジスタは、データリンク層の制御バスからデータを取得するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRD															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	CRD1 CRD0	すべて0	R	32ビットの制御バスデータを取得します。 CRD1（アドレスオフセット+0）：　ビット[31:16] CRD0（アドレスオフセット+4）：　ビット[15:0]

(26) 制御バスアドレスレジスタ　（ESQCADR）

本レジスタは、データリンク層の制御バスのアドレスを指定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAD															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	CAD	すべて0	R/W	16ビットの制御バスアドレスを指定します。 ビット[1:0]には常に00を書き込んでください。

(27) 受信バスライトデータレジスタ3～0　（ESQRWDR3～0）

本レジスタは、データリンク層の受信バスにデータを格納するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RWD															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	RWD3 RWD2 RWD1 RWD0	すべて0	R/W	64ビットの受信バスデータを格納します。 RWD3（アドレスオフセット+0）：　ビット[63:48] RWD2（アドレスオフセット+4）：　ビット[47:32] RWD1（アドレスオフセット+8）：　ビット[31:16] RWD0（アドレスオフセット+C）：　ビット[15:0]

(28) 受信バスリードデータレジスタ3～0（ESQRRDR3～0）

本レジスタは、データリンク層の受信バスからデータを取得するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RRD															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	RRD3 RRD2 RRD1 RRD0	すべて0	R	64ビットの受信バスデータを取得します。 RRD3（アドレスオフセット+0）：ビット[63:48] RRD2（アドレスオフセット+4）：ビット[47:32] RRD1（アドレスオフセット+8）：ビット[31:16] RRD0（アドレスオフセット+C）：ビット[15:0]

(29) 受信バスアドレスレジスタ　（ESQRADR）

本レジスタは、データリンク層の受信バスのアドレスを指定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RAD									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～10	—	0	—	リザーブビット
9～0	RAD	すべて0	R/W	10ビットの受信バスアドレスを指定します。 ビット[2:0]には常に000を書き込んでください。

(30) 送信バスライトデータレジスタ3～0 （ESQTWDR3～0）

本レジスタは、データリンク層の送信バスにデータを格納するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TWD															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	TWD3 TWD2 TWD1 TWD0	すべて0	R/W	64ビットの送信バスデータを格納します。 TWD3（アドレスオフセット+0）：ビット[63:48] TWD2（アドレスオフセット+4）：ビット[47:32] TWD1（アドレスオフセット+8）：ビット[31:16] TWD0（アドレスオフセット+C）：ビット[15:0]

(31) 送信バスリードデータレジスタ3～0（ESQTRDR3～0）

本レジスタは、データリンク層の送信バスからデータを取得するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRD															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～16	—	0	—	リザーブビット
15～0	TRD3 TRD2 TRD1 TRD0	すべて0	R	64ビットの送信バスデータを取得します。 TRD3（アドレスオフセット+0）：ビット[63:48] TRD2（アドレスオフセット+4）：ビット[47:32] TRD1（アドレスオフセット+8）：ビット[31:16] TRD0（アドレスオフセット+C）：ビット[15:0]

(32) 送信バスアドレスレジスタ（ESQTADR）

本レジスタは、データリンク層の送信バスのアドレスを指定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TAD									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～10	—	0	—	リザーブビット
9～0	TAD	すべて0	R/W	10ビットの送信バスアドレスを指定します。 ビット[2:0]には常に000を書き込んでください。

(33) コマンド設定レジスタ（ESQCMDR）

本レジスタは、データリンク層の制御／送信／受信バスにアクセスする際のコマンドを設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CMD			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～4	—	0	—	リザーブビット
3～0	CMD	すべて0	R/W	コマンド設定 0000　：制御バスライト 0001　：制御バスリード 0100　：送信バスライト 0101　：送信バスリード 0110　：受信バスライト 1000　：受信バスリード その他：設定禁止

(34) コマンド開始レジスタ（ESQSTR）

本レジスタは、データリンク層の制御/送信/受信バスにアクセスする際のコマンドを実行するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	BSY	—	ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～3	—	0	—	リザーブビット
2	BSY	0	R	コマンドビジー コマンドスタートした後、本ビットの読み出し値が1の場合、コマンド処理中であることを示します。本ビットの読み出し値が0になると、コマンド実行が完了したことを示します。
1	—	0	—	リザーブビット
0	ST	0	R/W	コマンドスタート 本ビットに1を書き込むことでESQCMDRで指定したコマンドを実行します。 本ビットの読み出し値は常に0です。

35.5.2.2 LINKレジスタ

LINKレジスタにアクセスするバスは、制御バス、送信バス、受信バスの3系統があり、RCレジスタ経由で各バスを制御することができます。なお、LINKレジスタにはLTSSM（Link Training Status State Machine）の初期化のために固定値の入力が必要なものがあります。RCレジスタ経由でPhyRdyになったことを確認した後、LTSSMを初期化するために、以下の番号順に制御バスに対して固定値を入力してください。LTSSMを初期化した後は、LINKレジスタ経由でDL_Active状態になることを確認してください。

番号	バス系統	LINKアドレス	アクセスサイズ	設定値
1	制御	H'0070	32	H'0042 0010
2	制御	H'000C	32	H'0001 0000
3	制御	H'0074	32	H'0000 8020
4	制御	H'007C	32	H'0003 F411
5	制御	H'1090	32	H'0100 0000
6	制御	H'1094	32	H'0000 0000
7	制御	H'107C	32	H'0000 0001
8	制御	H'1074	32	H'0000 0000
9	制御	H'1058	32	H'00FF 0000

表35.5にLINKレジスター一覧を示します。

表35.5　LINKレジスター一覧

レジスタ名称	略称	バス系統	LINKアドレス	アクセスサイズ
制御バス				
PCIコンフィグレーションレジスタ15	PCICONF15	制御	H'003C	32
PCIパワーマネジメントケイパビリティレジスタ1	PMCAP1	制御	H'0044	32
PCI Expressケイパビリティレジスタ4	EXPCAP4	制御	H'0080	32
PCI Expressケイパビリティレジスタ10	EXPCAP10	制御	H'0098	32
TLコントロールレジスタ	TLCTLR	制御	H'1048	32
DLステータスレジスタ	DLSR	制御	H'104C	32
MACステータスレジスタ	MACSR	制御	H'1054	32
PMステータスレジスタ	PMSR	制御	H'105C	32
PMコントロールレジスタ	PMCTLR	制御	H'1060	32
DL割り込みイネーブルレジスタ	DLINTENR	制御	H'1068	32
MAC割り込みイネーブルレジスタ	MACINTENR	制御	H'106C	32
PM割り込みイネーブルレジスタ	PMINTENR	制御	H'1070	32
送信バス				
送信VC0データコントロールレジスタ	TXVC0DCTLR	送信	H'100	64
送信VC0ステータスレジスタ	TXVC0SR	送信	H'108	64
VC0 Postedリクエストデータ送信レジスタ	VC0PDTXR	送信	H'110	64
VC0 Non-Postedリクエストデータ送信レジスタ	VC0NPDTXR	送信	H'120	64
VC0 Completionリクエストデータ送信レジスタ	VC0CDTXR	送信	H'130	64

レジスタ名称	略称	バス系統	LINKアドレス	アクセスサイズ
受信バス				
受信データコントロールレジスタ	RXDCTLR	受信	H'000	64
エラーパケットコントロールレジスタ	ERPCTLR	受信	H'008	64
エラーパケットヘッダレジスタ	ERPHR	受信	H'010	64
エラーパケットエラーレジスタ	ERPERR	受信	H'018	64
受信VC0データコントロールレジスタ	RXVC0DCTLR	受信	H'100	64
VC0 Postedリクエストデータ受信レジスタ	VC0PDRXR	受信	H'140	64
VC0 Postedリクエストエラーレジスタ	VC0PERR	受信	H'150	64
VC0 Non-Postedリクエストデータ受信レジスタ	VC0NPDRXR	受信	H'158	64
VC0 Non-Postedリクエストエラーレジスタ	VC0NPERR	受信	H'168	64
VC0 Completionリクエストデータ受信レジスタ	VC0CDRXR	受信	H'170	64
VC0 Completionリクエストエラーレジスタ	VC0CERR	受信	H'178	64

35.5.2.2.1　LINK制御バスレジスタ

(1) PCIコンフィグレーションレジスタ15（PCICONF15）

本レジスタは、セカンダリインタフェースをリセットするために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	SECBRST	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～23	—	0	—	リザーブビット
22	SECBRST	0	R/W	セカンダリインタフェースをリセットします。 1：セットされた場合、LTSSMをHot Reset状態に遷移します。 0：クリアされた場合、LTSSMのHot Reset状態を解除します。
21～8	—	0	—	リザーブビット
7～0	—	1	—	リザーブビット

(2) PCIパワーマネジメントケイパビリティレジスタ1（PMCAP1）

本レジスタは、パワーステートを指示するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PWRST	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～2	—	0	—	リザーブビット
1～0	PWRST	すべて0	R/W	パワーステートを指示します。 00：D0 11：D3hot その他：設定禁止

(3) PCI Expressケイパビリティレジスタ4（EXPCAP4）

本レジスタは、データリンク層のPCI Express専用機能を設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EXT SYNC	—	RTR NLK	LKDIS	—	—	ASPMCTL	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	—	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7	EXTSYNC	0	R/W	MAC LTSSMがL0sから遷移するとき、またはRecovery状態に送信オーダードセットを送信します。
6	—	0	—	リザーブビット
5	RTRNLK	0	R/W	リンク リトレーニングを指示します。 本ビットの読み出し値は常に0です。
4	LKDIS	0	R/W	リンクをディセーブルします。
3～2	—	0	—	リザーブビット
1～0	ASPMCTL	すべて0	R/W	ASPMのサポートレベルを指示します。 00：Disabled 01：L0s遷移イネーブル その他：設定禁止

(4) PCI Expressケイパビリティレジスタ10（EXPCAP10）

本レジスタは、Completionタイムアウト機能を有効にするために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CTODIS	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～5	—	0	—	リザーブビット
4	CTODIS	0	R/W	Completionタイムアウト機能の設定をします。 0：Completionタイムアウト機能を無効にする。 1：Completionタイムアウト機能を有効にする。
3～0	—	0	—	リザーブビット

(5) TLコントロールレジスタ（TLCTLR）

本レジスタは、ルートコンプレックスのバス、デバイス番号の指定やCompletionタイムアウトの時間設定を行うために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BNUM								DNUM					—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CTOT						—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31～24	BNUM	すべて0	R/W	本デバイスのバス番号を設定してください。
23～19	DNUM	すべて0	R/W	本デバイスのデバイス番号を設定してください。
18～14	—	0	—	リザーブビット
13～8	CTOT	すべて0	R/W	Completionタイムアウト時間（単位 msec）を設定します。本設定時間までにCompletionを受信できなかった場合、Completionタイムアウトとなります。初期化時に10～50の間で設定してください。
7～0	—	0	—	リザーブビット

(6) DLステータスレジスタ（DLSR）

本レジスタは、データリンク層のステータスを確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DLLACT	DLDN	DLLPE	RPTO	RPNRO	BADTLP	BAD DLLP	—	—	—	—	—	—	—	—	—
初期値：	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	DLLACT	0	R	Data Link Control and Management State MachineのDL_Active状態を示します。 0：DLCMSMはDL_Activeではない。 1：DLCMSMはDL_Activeである。
30	DLDN	1	R	DL_Downを示します。リンク間で通信が確立してないとき1にセットされます。 0：DL_Down状態ではない。 1：DL_Down状態である。
29	DLLPE	0	R/W	Data Link Layer Protocol Errorの発生を示します。 1書き込みのみできます。その場合、本ビットはクリアされます。 0：Data Link Layer Protocol Errorが発生していない。 1：Data Link Layer Protocol Errorが発生した。
28	RPTO	0	R/W	Replay Timeoutの発生を示します。 1書き込みのみできます。その場合、本ビットはクリアされます。 0：Replay Timeoutが発生していない。 1：Replay Timeoutが発生した。
27	RPNRO	0	R/W	Replay Number Roll Overの発生を示します。 1書き込みのみできます。その場合、本ビットはクリアされます。 0：Replay Timeout Roll Overが発生していない。 1：Replay Timeout Roll Overが発生した。
26	BADTLP	0	R/W	BAD TLPの検出を示します。 1書き込みのみできます。その場合、本ビットはクリアされます。 0：BAD TLPを検出していない。 1：BAD TLPを検出した。
25	BADDLLP	0	R/W	BAD DLLPの検出を示します。 1書き込みのみできます。その場合、本ビットはクリアされます。 0：BAD DLLPを検出していない。 1：BAD DLLPを検出した。
24～18	—	0	—	リザーブビット
17、16	—	1	—	リザーブビット
15～0	—	0	—	リザーブビット

(7) MACステータスレジスタ（MACSR）

本レジスタは、MACのステータスを確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RVERR	LKTR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1
R/W：	R/W	R	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	RVERR	0	R/W	MACが以下のエラーを検出したとき、Receiver Errorとみなし、本ビットをセットします。 ・8b/10bエラー ・ディスパリティエラー ・エラスティックバッファオーバーフロー ・エラスティックバッファアンダーフロー ・レーン間デスキューエラー 1：書き込みのみできます。その場合、本ビットはクリアされます。 0：Receiver Errorを検出していない。
30	LKTR	0	R	MACのLTSSMがRecoverまたはConfiguration状態でLink Training実行中であることを示します。 0：Link Training中ではない。 1：Link Training中である。
29～23	—	0	—	リザーブビット
22	—	1	—	リザーブビット
21～17	—	0	—	リザーブビット
16	—	1	—	リザーブビット
15～0	—	0	—	リザーブビット

(8) PMステータスレジスタ（PMSR）

本レジスタは、パワーマネジメントのステータスを確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1FAEG	—	—	—	—	—	—	—	PME L1RX	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	L1FAEG	0	R/W	PMCTLR.L1IATN=1ライトによって起動されたL1起動シーケンスが中断、もしくは完了したときに1にセットされます。 1ライトでクリアされます。0ライトは無効です。 0：L1起動シーケンスは完了または中断していない。 1：L1起動シーケンスが完了または中断した。
30～24	—	0	—	リザーブビット
23	PMEL1RX	0	R/W	PM_ENTER_L1 DLLPを受信したときに1にセットされます。 1ライトでクリアされます。0ライトは無効です。 0：PM_ENTER_L1 DLLPを受信していない。 1：PM_ENTER_L1 DLLPを受信した。
22～0	—	0	—	リザーブビット

(9) PMコントロールレジスタ（PMCTLR）

本レジスタは、パワーマネジメントのL1起動シーケンスを実行するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1IATN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	L1IATN	0	R/W	ライト時：1ライトによりL1遷移の開始（起動）を行います。0ライトは無効です。 リード時：L1遷移途中のとき1を示します。PMステートがL0から別のステートに遷移すると0を示します。 0：L1起動シーケンスは起動していない。 1：L1状態への遷移の過程にある。
30～0	—	0	—	リザーブビット

(10) DL割り込みイネーブルレジスタ（DLINTENR）

本レジスタは、データリンク層の割り込みを許可するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DLL ACTE	DLDNE	DLLPEE	RPTOE	RPN ROE	BAD TLPE	BAD DLLPE	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	DLLACTE	0	R/W	DL_Activeによる割り込みを許可します。 0：DL_Activeによる割り込みを許可しません。 1：DL_Activeによる割り込みを許可します。
30	DLDNE	0	R/W	DL_Downによる割り込みを許可します。 0：DL_Downによる割り込みを許可しません。 1：DL_Downによる割り込みを許可します。
29	DLLPEE	0	R/W	Data Link Layer Protocol Errorによる割り込みを許可します。 0：Data Link Layer Protocol Errorによる割り込みを許可しません。 1：Data Link Layer Protocol Errorによる割り込みを許可します。
28	RPTOE	0	R/W	Replay Timeoutによる割り込みを許可します。 0：Replay Timeoutによる割り込みを許可しません。 1：Replay Timeoutによる割り込みを許可します。
27	RPNROE	0	R/W	Replay Number Roll Overによる割り込みを許可します。 0：Replay Timeout Roll Overによる割り込みを許可しません。 1：Replay Timeout Roll Overによる割り込みを許可します。
26	BADTLPE	0	R/W	BAD TLPによる割り込みを許可します。 0：BAD TLPによる割り込みを許可しません。 1：BAD TLPによる割り込みを許可します。
25	BADDLLPE	0	R/W	BAD DLLPによる割り込みを許可します。 0：BAD DLLPによる割り込みを許可しません。 1：BAD DLLPによる割り込みを許可します。
24～0	—	0	—	リザーブビット

(11) MAC割り込みイネーブルレジスタ（MACINTENR）

本レジスタは、MACの割り込みを許可するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RVERRE	LKTRE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	RVERRE	0	R/W	Receiver Errorによる割り込みを許可します。 0：Receiver Errorによる割り込みを許可しません。 1：Receiver Errorによる割り込みを許可します。
30	LKTRE	0	R/W	Link Trainingによる割り込みを許可します。 0：Link Trainingによる割り込みを許可しません。 1：Link Trainingによる割り込みを許可します。
29～0	—	0	—	リザーブビット

(12) PM割り込みイネーブルレジスタ（PMINTENR）

本レジスタは、パワーマネジメントの割り込みを許可するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L1FAEGE	—	—	—	—	—	—	—	PMEL1RXE	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31	L1FAEGE	0	R/W	L1FAEGによる割り込みを許可します。 0：L1FAEGによる割り込みを許可しません。 1：L1FAEGによる割り込みを許可します。
30～24	—	0	—	リザーブビット
23	PMEL1RXE	0	R/W	PM_ENTER_L1 DLLP受信による割り込みを許可します。 0：PM_ENTER_L1 DLLP受信による割り込みを許可しません。 1：PM_ENTER_L1 DLLP受信による割り込みを許可します。
22～0	—	0	—	リザーブビット

35.5.2.2.2 LINK送信バスレジスタ

(1) 送信VC0データコントロールレジスタ（TXVC0DCTLR）

本レジスタは、送信バスの初期化を行うために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	TME	—	—	—	—	—	—	—	PTEIE	—	—	—	NPTEIE	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	R/W	—	—	—	R/W	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	CTEIE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63	TME	0	R/W	VC0送信マスタイネーブルを設定します。 DL_Active確認後に1を書き込んでください。
63～56	—	0	—	リザーブビット
55	PTEIE	0	R/W	VC0 Postedリクエスト送信バッファエンプティによる 割り込み発生を許可します。 DL_Active確認後に1を書き込んでください。
54～52	—	0	—	リザーブビット
51	NPTEIE	0	R/W	VC0 Non-Postedリクエスト送信バッファエンプティによる 割り込み発生を許可します。 DL_Active確認後に1を書き込んでください。
50～48	—	0	—	リザーブビット
47	CTEIE	0	R/W	VC0 Completion送信バッファエンプティによる 割り込み発生を許可します。 DL_Active確認後に1を書き込んでください。
46～0	—	0	—	リザーブビット

(2) 送信VC0ステータスレジスタ（TXVC0SR）

本レジスタは、送信バスのステータスを確認するために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	TBCLR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63	TBCLR	0	R/W	VC0送信バッファをクリアします。 Postedリクエスト/Non Postedリクエスト/Completionの送信ヘッダ、データバッファがクリアされます。1ライトのみ可能な1Shotトリガです。リードは常に0となります。 0：(初期値) 1：VC0 送信バッファをクリアする。
62～56	—	0	—	リザーブビット
55	—	1	—	リザーブビット
54～52	—	0	—	リザーブビット
51	—	1	—	リザーブビット
50～48	—	0	—	リザーブビット
47	—	1	—	リザーブビット
46～0	—	0	—	リザーブビット

(3) VC0 Postedリクエストデータ送信レジスタ（VC0PDTXR）

本レジスタは、送信バスのPostedリクエストデータを格納するために使用します。

ビット：	63															0
	VC0PDTX															
初期値：	All 0															
R/W：	R/W															

ビット	ビット名	初期値	R/W	説 明
63～0	VC0PDTX	すべて0	R/W	VC0 Posted リクエスト送信バッファの 送信データ書き込みレジスタです。

(4) VC0 Non-Postedリクエストデータ送信レジスタ（VC0NPDTXR）

本レジスタは、送信バスのNon-Postedリクエストデータを格納するために使用します。

ビット：	63															0
	VC0NPDTX															
初期値：	All 0															
R/W：	R/W															

ビット	ビット名	初期値	R/W	説 明
63～0	VC0NPDTX	すべて0	R/W	VC0 Non Posted リクエスト送信バッファの 送信データ書き込みレジスタです。

(5) VC0 Completionリクエストデータ送信レジスタ（VC0CDTXR）

本レジスタは、送信バスのCompletionリクエストデータを格納するために使用します。

ビット：	63															0
	VC0CDTX															
初期値：	All 0															
R/W：	R/W															

ビット	ビット名	初期値	R/W	説 明
63～0	VC0CDTX	すべて0	R/W	VC0 Completion 送信バッファの 送信データ書き込みレジスタです。

35.5.2.2.3 LINK受信バスレジスタ

(1) 受信データコントロールレジスタ（RXDCTLR）

本レジスタは、受信バスのエラーパケットヘッダによる割り込み設定を行うために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	—	—	—	—	—	—	—	—	EPFIE	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R/W	—	—	—	—	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63～56	—	0	—	リザーブビット
55	EPFIE	0	R/W	エラーパケットヘッダバッファのFullによる割り込みを許可します。 DL_Active確認後に1を書き込んでください。
54～0	—	0	—	リザーブビット

(2) エラーパケットコントロールレジスタ（ERPCTLR）

本レジスタは、受信バスのエラーパケットバッファのフル状態を確認し、バッファをクリアするために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	—	—	—	—	—	—	—	—	EPBF	EPBF CLR	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	R	R/W	—	—	—	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63～56	—	0	—	リザーブビット
55	EPBF	0	R	エラーパケットバッファのFullフラグを示します。 エラーパケットバッファに1ヘッダを保存すると 本ビットセットされます。本ビット確認後 エラーパケットバッファの読み出しを行ってください。EPFLCLRの1ライトによりクリアされます。 0：エラーパケットバッファはフルではない。 1：エラーパケットバッファに受信した。
54	EPBFCLR	0	R/W	エラーパケットバッファのFullフラグをクリアします。 エラーパケットヘッダレジスタから、エラーパケットヘッダを1ヘッダ分読み出し後、1ライトし,Fullフラグをクリアしてください。1ライトのみ可能な1Shotトリガです。0ライトは何も動作しません。 リード値は常に0となります。 0：エラーパケットバッファのフルフラグをクリアしません。 1：エラーパケットバッファのフルフラグをクリアします。
53～0	—	0	—	リザーブビット

(3) エラーパケットヘッダレジスタ（ERPHR）

本レジスタは、エラーパケットバッファのヘッダデータを取得するために使用します。

ビット：	63															0
	ERPH															
初期値：	All 0															
R/W：	R															

ビット	ビット名	初期値	R/W	説 明
63～0	ERPH	すべて0	R	受信エラーパケットヘッダの読み出しレジスタです。エラーを起こしVC0受信バッファに受信できなかったパケットのヘッダが保存されています。本レジスタの値はEPBF=1の時のみ有効です。

(4) エラーパケットエラーレジスタ（ERPERR）

本レジスタは、受信バスのエラーパケットバッファのエラー情報を取得するために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	MFT	PST	UR	UCPL	POVF	NPOVF	ECRCF	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	—	—	—	—	—	—	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63	MFT	0	R	エラーパケットバッファに受信したパケットがMalformed TLPであることを示します。本ビットの値はEPBF=1の時のみ有効です。
62	PST	0	R	エラーパケットバッファに受信したパケットがPoisoned TLPであることを示します。本ビットの値はEPBF=1の時のみ有効です。
61	UR	0	R	エラーパケットバッファに受信したパケットがUnsupported Requestであることを示します。本ビットの値はEPBF=1の時のみ有効です。
60	UCPL	0	R	リクエストしていないCompletion（Unexpected Completion）を受信したことを示します。本ビットの値はEPBF=1の時のみ有効です。

ビット	ビット名	初期値	R/W	説 明
59	POVF	0	R	Postedリクエストデータ受信レジスタ、またはヘッダ受信レジスタが2面ともフル状態の時にPosted リクエストを受信し、受信バッファがオーバーフローしたことを示します。本ビットの値はEPBF=1の時のみ有効です。エラーパケットヘッダレジスタを読み出し、パケットヘッダを確認してください。
58	NPOVF	0	R	Non Postedリクエストデータ受信レジスタ、またはヘッダ受信レジスタが2面ともフル状態の時にNon Posted リクエストを受信し、受信バッファがオーバーフローしたことを示します。本ビットの値はEPBF=1の時のみ有効です。エラーパケットヘッダレジスタを読み出し、パケットヘッダを確認してください。
57	ECRCF	0	R	エラーパケットバッファに受信したパケットのECRCが不正であることを示します。本ビットの値はEPBF=1の時のみ有効です。
56～0	—	0	—	リザーブビット

(5) 受信VC0データコントロールレジスタ（RXVC0DCTLR）

本レジスタは、受信バスの初期化を行うために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	—	—	—	—	—	—	—	—	—	—	PRFIE	—	—	—	NPRFIE	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—	R/W	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	CRFIE	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63～54	—	0	—	リザーブビット
53	PRFIE	0	R/W	VC0のPosted リクエスト受信バッファのFullによる割り込みを許可します。 DL_Active確認後に1を書き込んでください。
52～50	—	0	—	リザーブビット
49	NPRFIE	0	R/W	VC0のNon-Posted リクエスト受信バッファのFullによる割り込みを許可します。 DL_Active確認後に1を書き込んでください。
48～46	—	0	—	リザーブビット
45	CRFIE	0	R/W	VC0のCompletion受信バッファのFullによる割り込みを許可します。 DL_Active確認後に1を書き込んでください。

ビット	ビット名	初期値	R/W	説 明
44～0	—	0	—	リザーブビット

(6) VC0 Postedリクエストデータ受信レジスタ（VC0PDRXR）

本レジスタは、受信バスのPostedリクエストデータを取得するために使用します。

ビット：	63	0
	VC0PDRX	
初期値：	All 0	
R/W：	R	

ビット	ビット名	初期値	R/W	説 明
63～0	VC0PDRX	すべて0	R	VC0 Postedリクエスト 受信バッファの 受信データ読み出しレジスタです。 本レジスタの値はLINKRXSTSR0.PFL=1の時のみ有効です。

(7) VC0 Postedリクエストエラーレジスタ　（VC0PERR）

本レジスタは、受信バスのPostedリクエスバッファのエラー情報を取得するために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	MFT	PST	UR	—	—	—	ECRCF	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	—	—	—	R	—	—	—	—	—	—	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63	MFT	0	R	VC0 Postedリクエストバッファに受信したパケットがMalformed TLPであることを示します。本ビットの値はLINKRXSTSR0.PFL=1の時のみ有効です。
62	PST	0	R	VC0 Postedリクエストバッファに受信したパケットがPoisoned TLPであることを示します。本ビットの値はLINKRXSTSR0.PFL=1の時のみ有効です。
61	UR	0	R	VC0 Postedリクエストバッファに受信したパケットがUnsupported Requestであることを示します。本ビットの値はLINKRXSTSR0.PFL=1の時のみ有効です。

ビット	ビット名	初期値	R/W	説 明
60～58	—	0	—	リザーブビット
57	ECRCF	0	R	VC0 Postedリクエストバッファに受信したパケットのECRCが不正であることを示します。本ビットの値はLINKRXSTSR0.PFL=1の時のみ有効です。
56～0	—	0	—	リザーブビット

(8) VC0 Non-Postedリクエストデータ受信レジスタ　（VC0NPDRXR）

本レジスタは、受信バスのNon-Postedリクエストデータを取得するために使用します。

ビット：	63	0
	VC0NPDRX	
初期値：	All 0	
R/W：	R	

ビット	ビット名	初期値	R/W	説 明
63～0	VC0NPDRX	すべて0	R	VC0 Non Postedリクエスト 受信バッファの 受信データ読み出しレジスタです。 本レジスタの値はLINKRXSTSR0.NPFL=1の時のみ有効です。

(9) VC0 Non-Postedリクエストエラーレジスタ　（VC0NPERR）

本レジスタは、受信バスのNon-Postedリクエスバッファのエラー情報を取得するために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	MFT	PST	UR	—	—	—	ECRCF	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	—	—	—	R	—	—	—	—	—	—	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

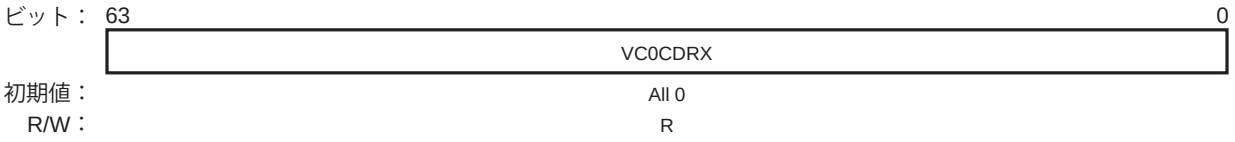
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63	MFT	0	R	VC0 Non Postedリクエストバッファに受信したパケットがMalformed TLPであることを示します。本ビットの値はLINKRXSTSR0.NPFL=1の時のみ有効です。

ビット	ビット名	初期値	R/W	説 明
62	PST	0	R	VC0 Non Postedリクエストバッファに受信したパケットが Poisoned TLPであることを示します。本ビットの値は LINKRXSTSR0.NPFL=1の時のみ有効です。
61	UR	0	R	VC0 Non Postedリクエストバッファに受信したパケットが Unsupported Requestであることを示します。本ビットの値は LINKRXSTSR0.NPFL=1の時のみ有効です。
60～58	—	0	—	リザーブビット
57	ECRCF	0	R	VC0 Non Postedリクエストバッファに受信したパケットの ECRCが不正であることを示します。本ビットの値は LINKRXSTSR0.NPFL=1の時のみ有効です。
56～0	—	0	—	リザーブビット

(10)　VC0 Completionリクエストデータ受信レジスタ（VC0CDRXR）

本レジスタは、受信バスのCompletionリクエストデータを取得するために使用します。



ビット	ビット名	初期値	R/W	説 明
63～0	VC0CDRX	すべて0	R	VC0 Completion 受信バッファの 受信データ読み出しレジスタです。 本レジスタの値はLINKRXSTSR0.CPLFL=1の時のみ有効です。

(11) VC0 Completionリクエストエラーレジスタ（VC0CERR）

本レジスタは、受信バスのCompletionリクエストバッファのエラー情報を取得するために使用します。

ビット：	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
	MFT	PST	—	—	—	—	ECRCF	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	—	—	—	—	R	—	—	—	—	—	—	—	—	—

ビット：	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
63	MFT	0	R	受信したVC0 Completionパケットが Malformed TLPであることを示します。本ビットの値はLINKRXSTSR0.CPLFL=1の時のみ有効です。
62	PST	0	R	受信したVC0 Completionパケットが Poisoned TLPであることを示します。本ビットの値はLINKRXSTSR0.CPLFL=1の時のみ有効です。
61～58	—	0	—	リザーブビット
57	ECRCF	0	R	受信したVC0 CompletionパケットのECRCが不正であることを示します。本ビットの値はLINKRXSTSR0.CPLFL=1の時のみ有効です。
56～0	—	0	—	リザーブビット

35.5.3　動作説明

35.5.3.1　初期化処理

ルートコンプレックスの初期化は、まずルートコンプレックスのリセットを解除し、物理層のPLLがロックすること（PhyRdy）を待ちます。物理層のPLLがロックすると、リンク層を含む上位層へのクロック供給が始まりますので、次にリンク層のLTSSMの初期化を行い、PCI Expressのトレーニングシーケンスを始めます。トレーニングシーケンスの結果、リンクアップ（DL_Active）すると、次にリンク層の各バッファの初期化を行ってください。図35.3にルートコンプレックスの初期化手順を示します。

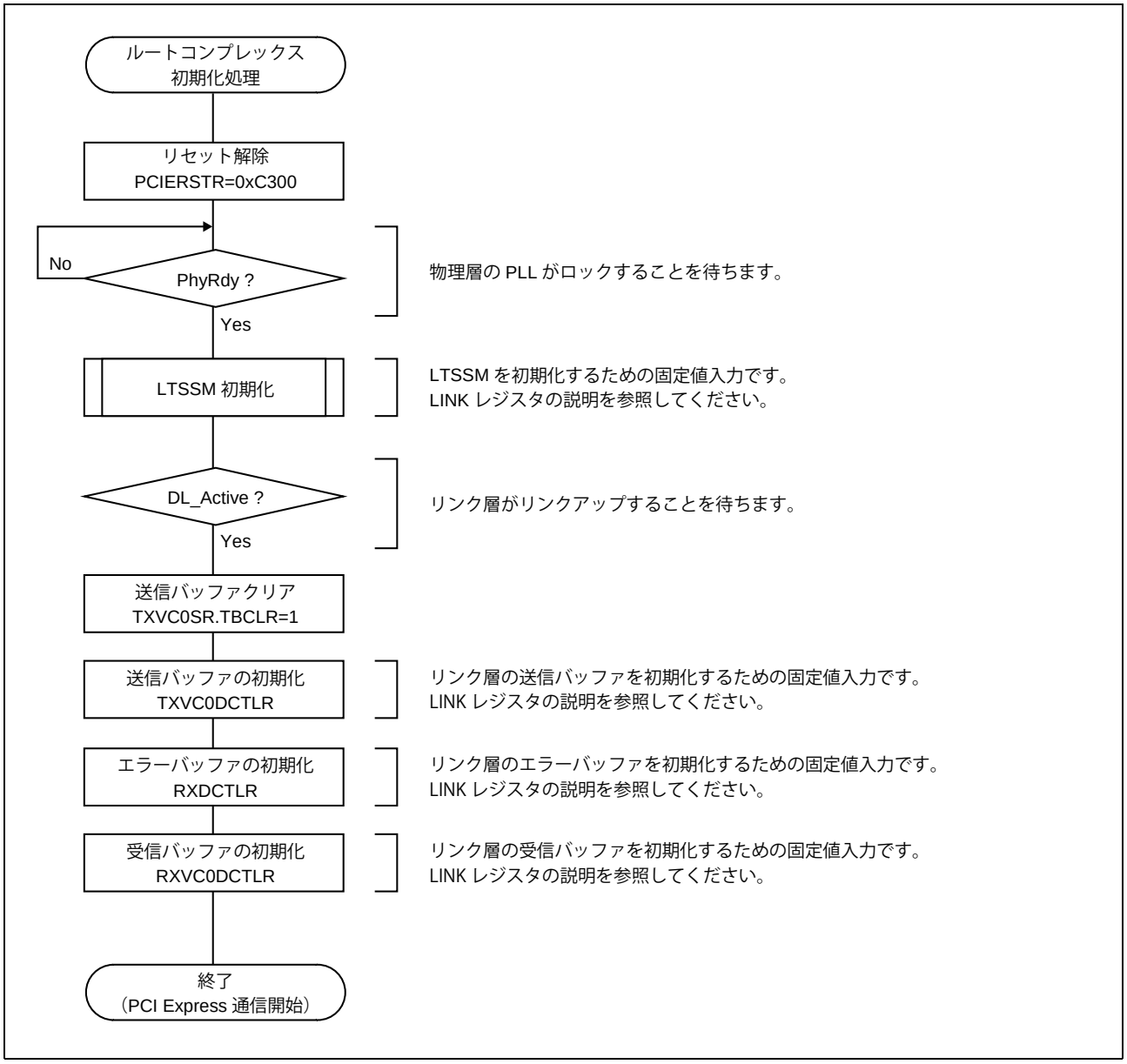


図 35.3　ルートコンプレックスの初期化手順

35.5.3.2　LINKレジスタアクセス

LINKレジスタにアクセスするバスは、制御バス、送信バス、受信バスの3系統があり、RCレジスタ経由で各バスを制御することができます。制御バスは32ビット単位、送信バスと受信バスは64ビット単位でライト/リードを実行してください。

35.5.3.2.1　LINK制御バスライト

データリンク層の制御バスのライトは、図35.4の手順に従って実行してください。

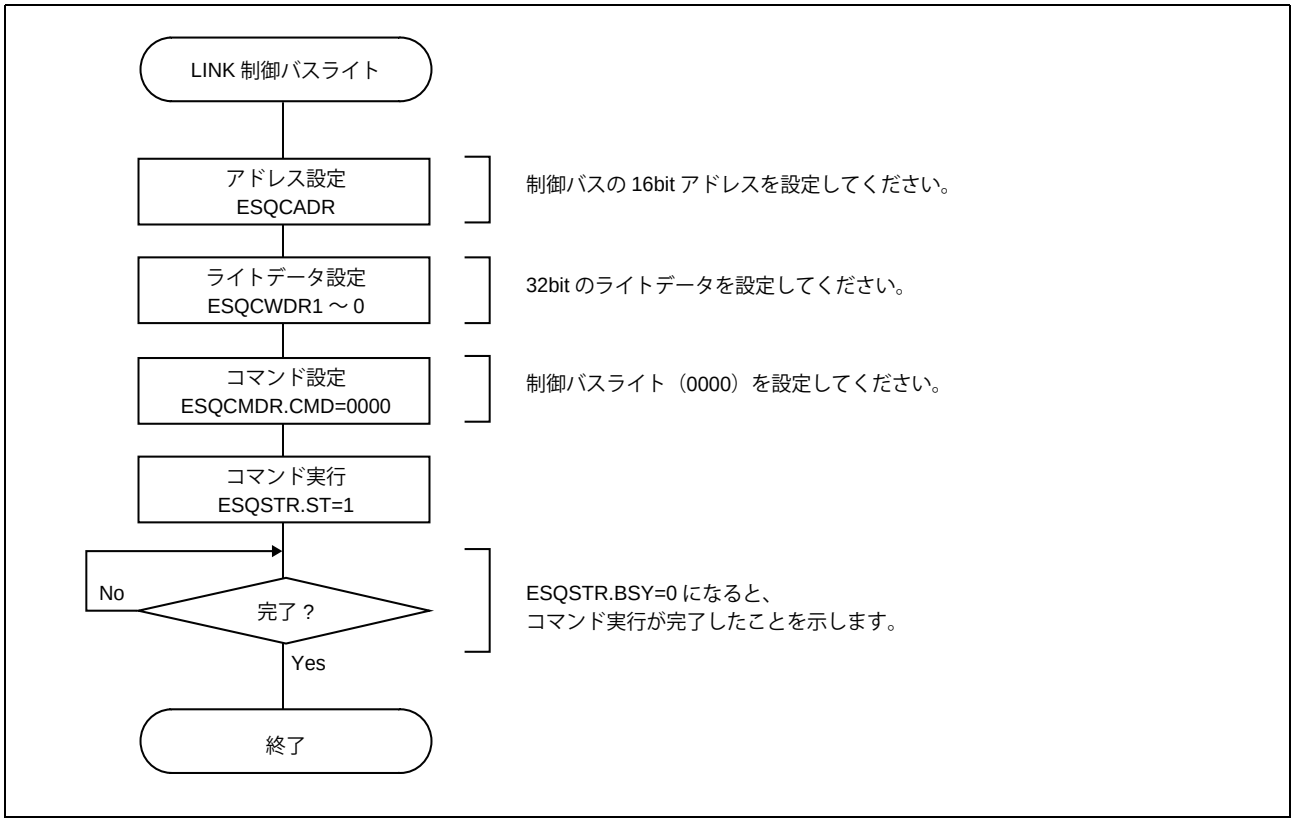


図 35.4　制御バスライトの実行手順

35.5.3.2.2　LINK制御バスリード

データリンク層の制御バスのリードは、図 35.5の手順に従って実行してください。

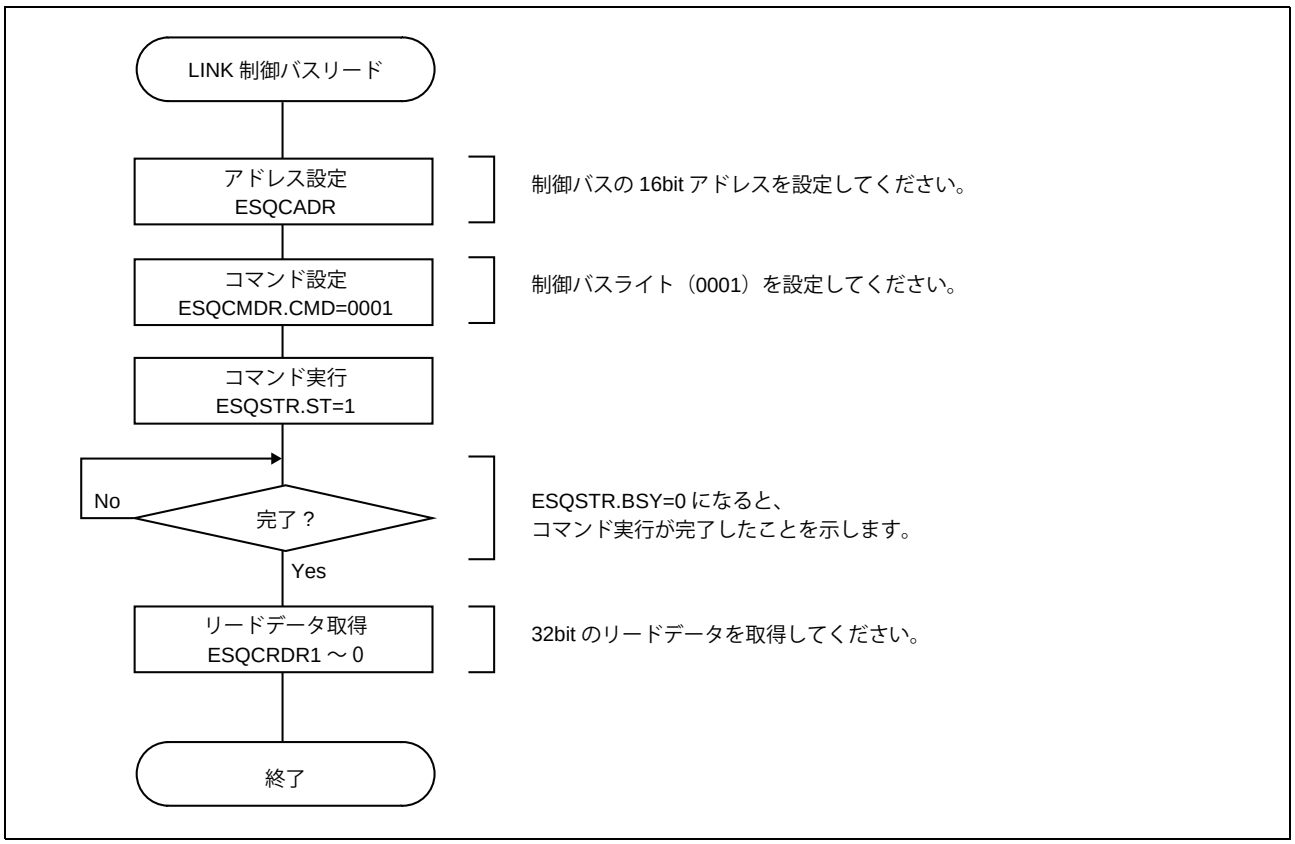


図 35.5　制御バスリードの実行手順

35.5.3.2.3　LINK送信バスライト

データリンク層の送信バスのライトは、図35.6の手順に従って実行してください。

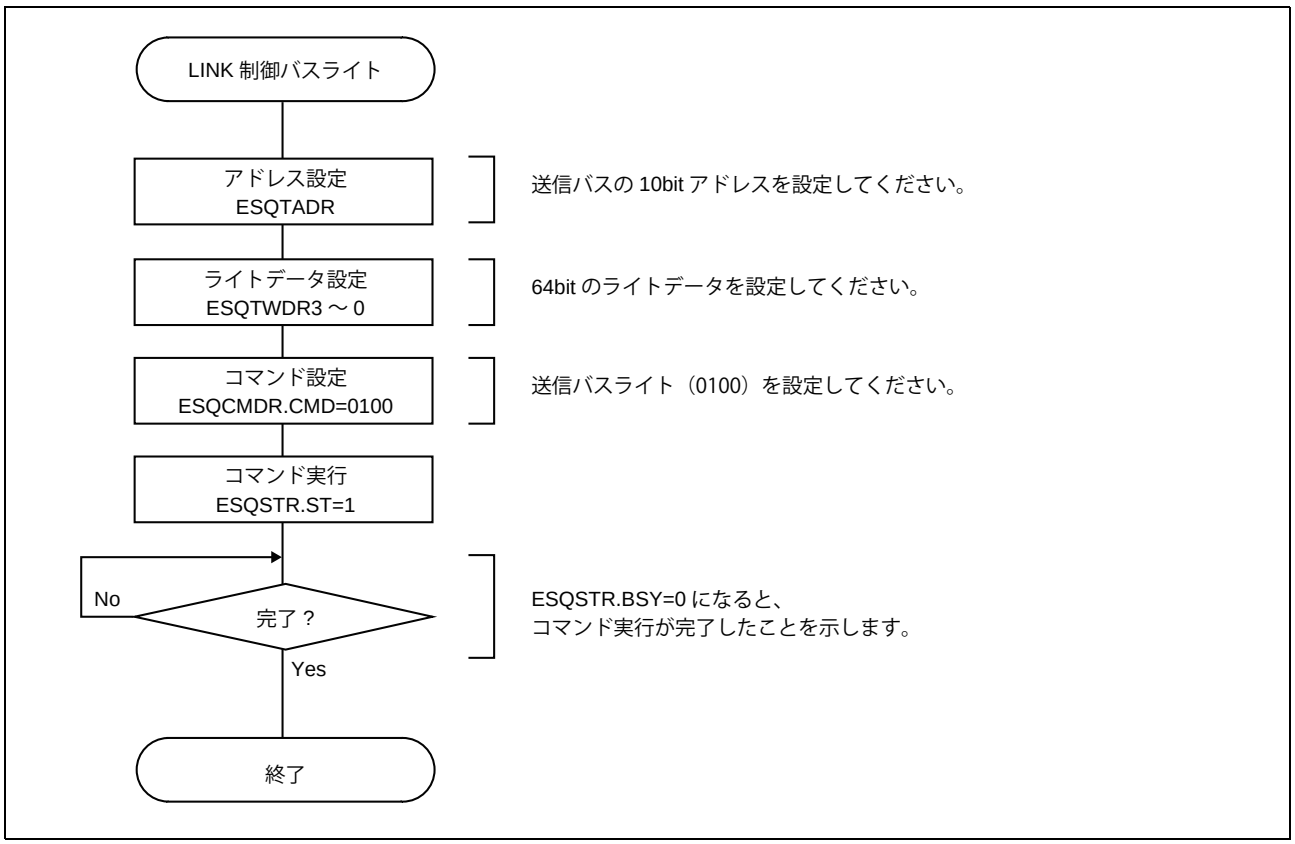


図 35.6　送信バスライトの実行手順

35.5.3.2.4　LINK送信バスリード

データリンク層の送信バスのリードは、図35.7の手順に従って実行してください。

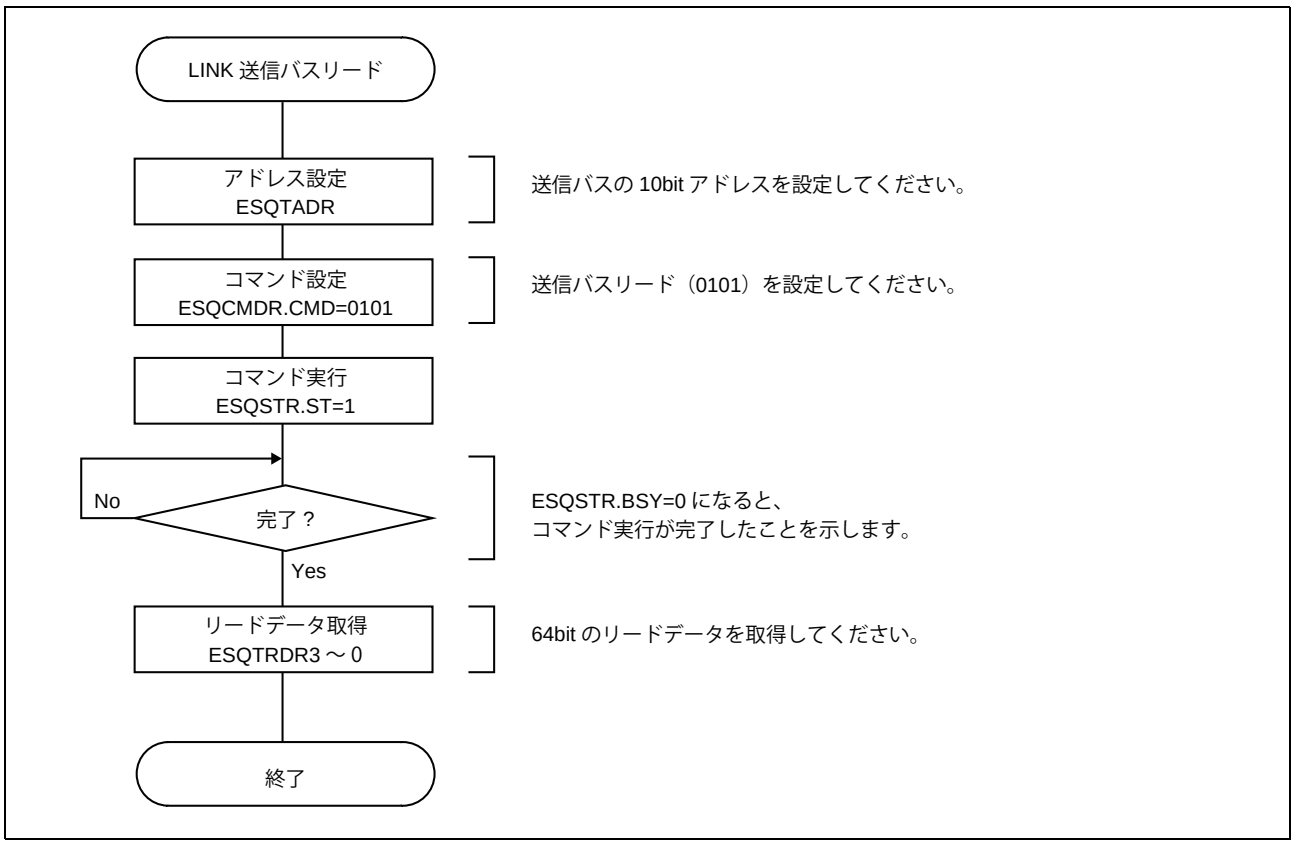


図 35.7　送信バスリードの実行手順

35.5.3.2.5　LINK受信バスライト

データリンク層の受信バスのライトは、図35.8の手順に従って実行してください。

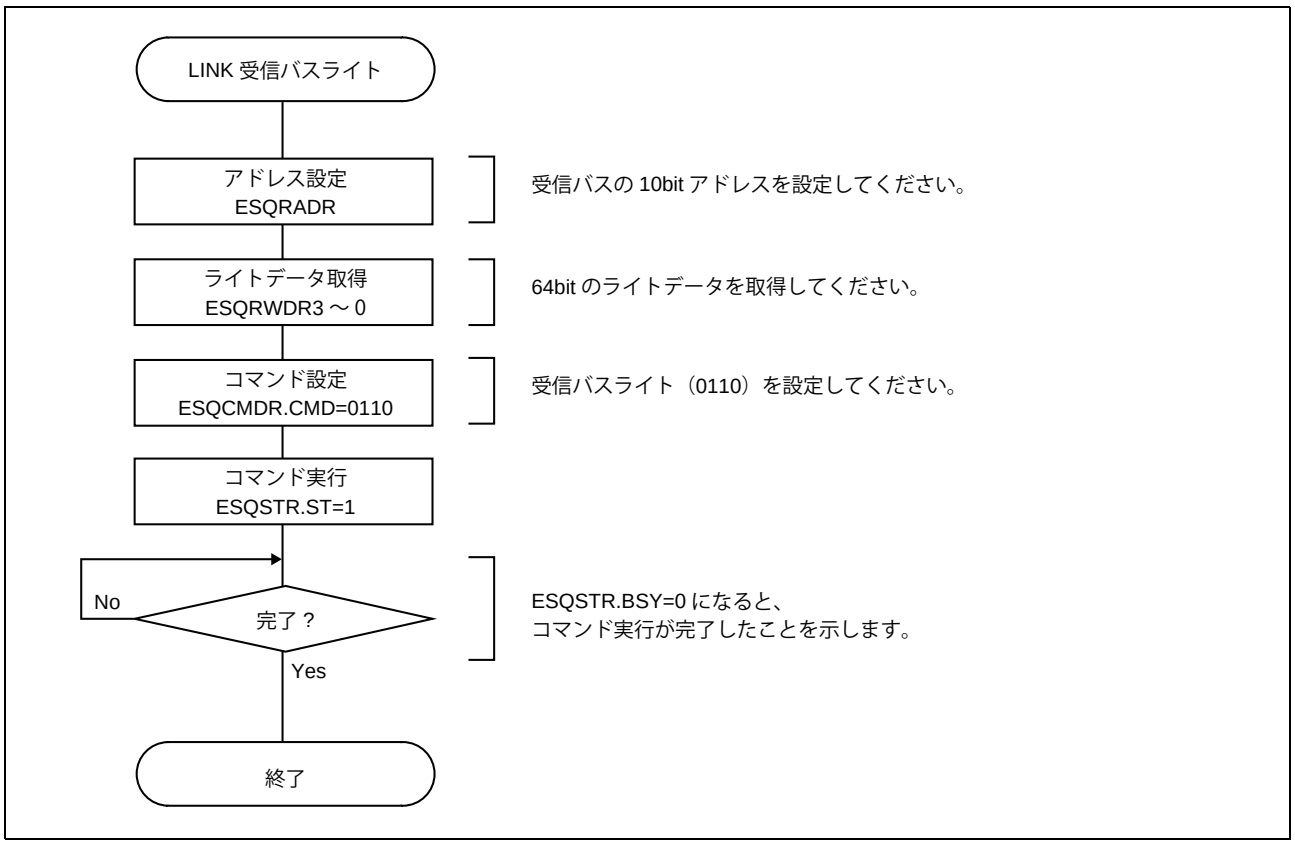


図 35.8　受信バスライトの実行手順

35.5.3.2.6　LINK受信バスリード

データリンク層の受信バスのリードは、図35.9の手順に従って実行してください。

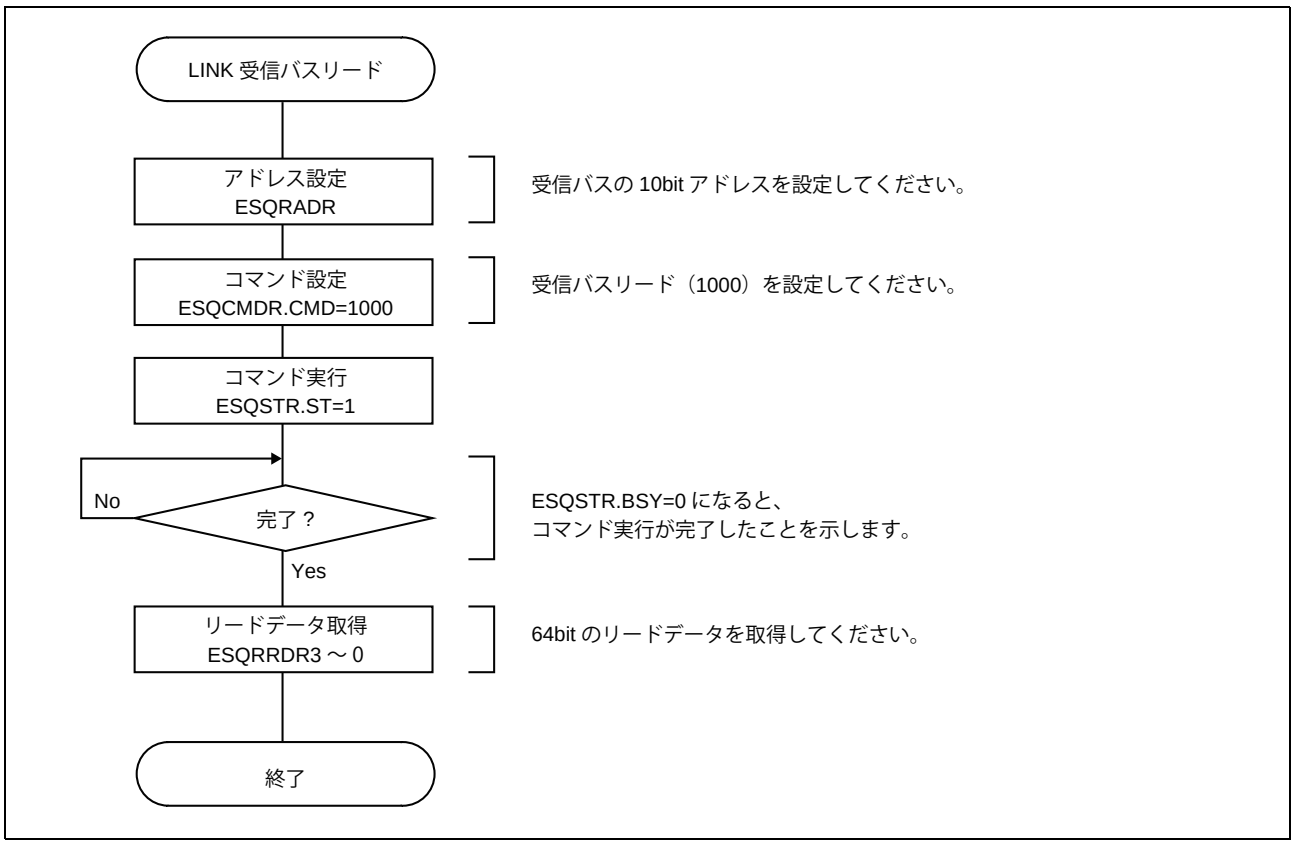


図 35.9　受信バスリードの実行手順

35.5.3.3　割り込み動作

図35.10にRC割り込みの関係図を示します。

RC割り込みを使用してルートコンプレックスの制御を行うことができます。RC割り込みには、RC-DMA割り込みとLINK割り込みに大別されます。DMAを使ったメモリ転送は、RC-DMA割り込みだけを使用して実現できます。CPUによる各トランザクション処理は、LINK割り込みを使用して直接データリンク層のイベントを監視して実現してください。

各割り込みは割り込み許可信号でマスクできるようになっています。RC-DMA割り込みまたはLINK割り込みのビットをクリアする場合、その要因となり得る割り込みの許可信号を一度全て不許可にした後、許可に書き戻してください。また、LINK レジスタに要因ビットが存在する割り込みをクリアする場合は、表35.6 に従って関連するLINK レジスタの割り込み許可信号も一度全て不許可にした後、許可に書き戻してください。これにより割り込みをクリアする際に、既に別要因の割り込みが成立していた場合でも、その別要因でRC割り込みを発生させることができます。

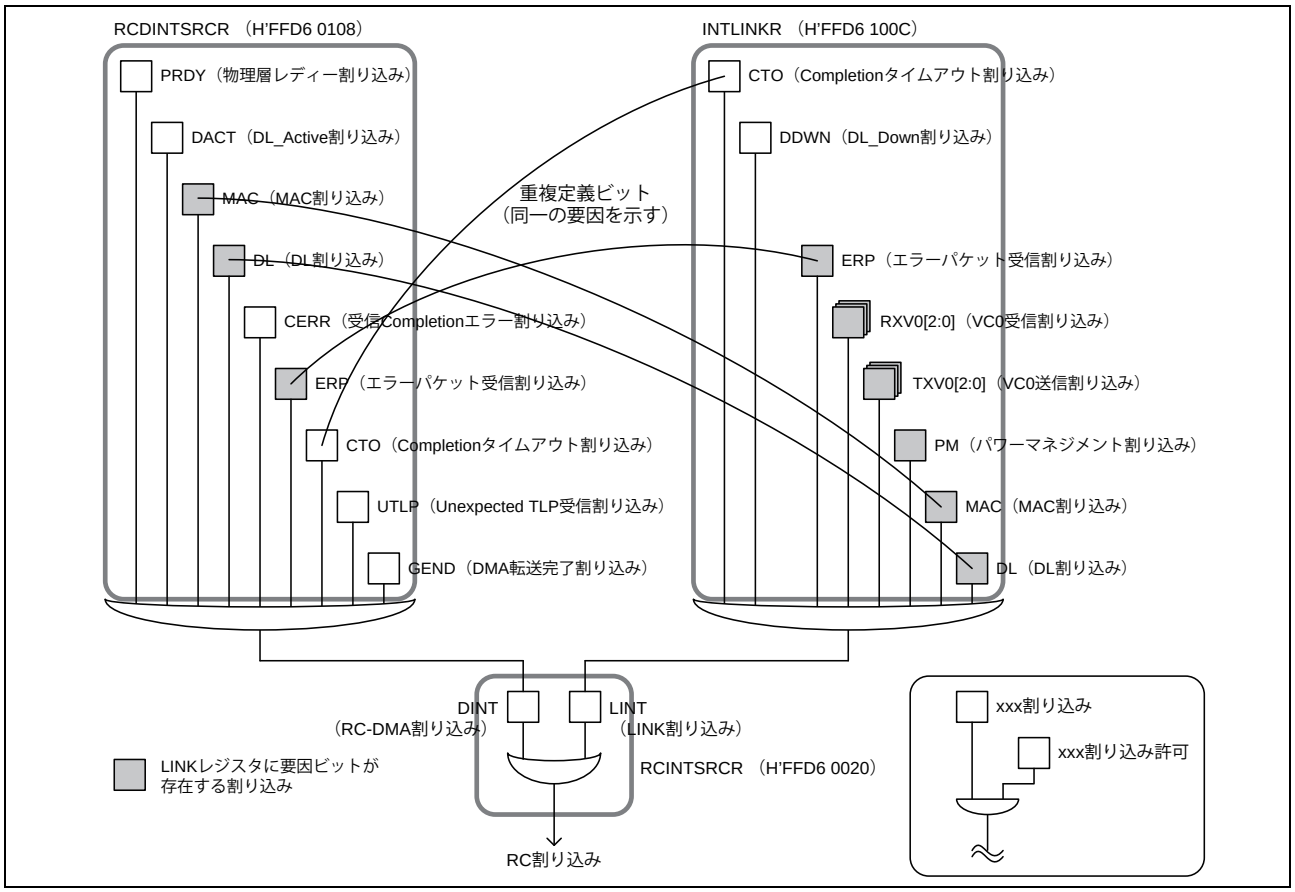


図 35.10　RC割り込み関係図

各割り込みの許可ビット、要因ビット、クリアビット、及びクリアする際に不許可、許可の操作が必要となるレジスタの関係を表35.6 に示します。例えば、RC-DMA 割り込みの許可ビットはRCINTENR.DINTE であり、このDINTE が1 の場合にRC-DMA 割り込みがCPU 側に通知されます。この場合、CPU から要因ビットであるRCINTSRCR.DINT が1 になっていることを確認した後、RCINTSRCR.DINT に1 をライトして割り込み要因をクリアしてください。それに続けてRCDINTENRレジスタの全割り込み要因を不許可に設定してください。以下同様に表35.6 に従って割り込みの根元を辿っていき、その根元の割り込み要因をクリアした後に不許可にしていた割り込みを許可に戻してください。

表35.6　RC 割り込み関連ビットとレジスタの関係

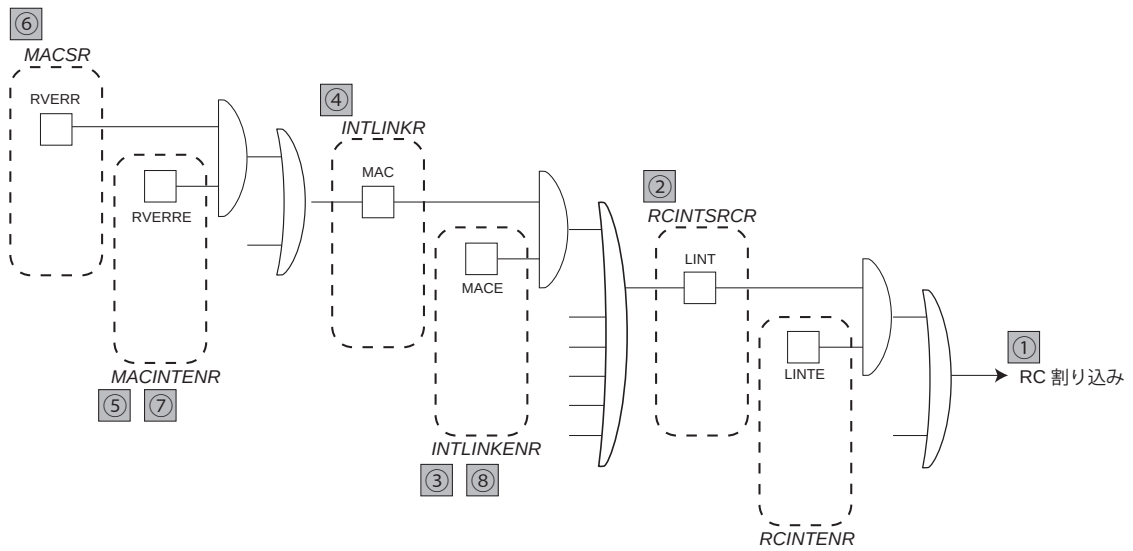
割り込み	許可ビット	要因ビット	クリアビット	不許可／許可レジスタ
RC-DMA 割り込み	RCINTENR.DINTE	RCINTSRCR.DINT	←要因ビット	RCDINTENR
リンク割り込み	RCINTENR.LINTE	RCINTSRCR.LINT	←要因ビット	INTLINKENR
物理層レディー割り込み	RCDINTENR.PRDYE	RCDINTSRCR.PRDY	←要因ビット	なし
DL_Active 割り込み	RCDINTENR.DACTE	RCDINTSRCR.DACT	←要因ビット	なし
MAC 割り込み（注1）	RCDINTENR.MACE	RCDINTSRCR.MAC	←要因ビット	MACINTENR
	INTLINKENR.MACE	INTLINKR.MAC	←要因ビット	MACINTENR
DL 割り込み（注1）	RCDINTENR.DLE	RCDINTSRCR.DL	←要因ビット	DLINTENR
	INTLINKENR.DLE	INTLINKR.DL	←要因ビット	DLINTENR
受信Completion エラー割り込み	RCDINTENR.CERRE	RCDINTSRCR.CERR	←要因ビット	なし
エラーパケット受信割り込み（注1）	RCDINTENR.ERPE	RCDINTSRCR.ERP	←要因ビット	RXDCTLR
	INTLINKENR.ERPE	INTLINKR.ERP	←要因ビット	RXDCTLR
Completion タイムアウト割り込み	RCDINTENR.CTOE	RCDINTSRCR.CTO	←要因ビット	なし
	INTLINKENR.CTOE	INTLINKR.CTO	←要因ビット	なし
Unexpected TLP 割り込み	RCDINTENR.UTLPE	RCDINTSRCR.UTLP	←要因ビット	なし
DMA 転送の正常終了割り込み	RCDINTENR.GENDE	RCDINTSRCR.GEND	←要因ビット	なし
DL_Down 割り込み	INTLINKENR.DLDNE	INTLINKR.DLDN	←要因ビット	なし
VC0 受信割り込み（Posted 受信）	INTLINKENR.RXV0E[2]	INTLINKR.RXV0[2]	←要因ビット	RXVC0DCTLR
VC0 受信割り込み（Non-Posted 受信）	INTLINKENR.RXV0E[1]	INTLINKR.RXV0[1]	←要因ビット	RXVC0DCTLR
VC0 受信割り込み（Completion 受信）	INTLINKENR.RXV0E[0]	INTLINKR.RXV0[0]	←要因ビット	RXVC0DCTLR
VC0 送信割り込み（Posted 送信）	INTLINKENR.TXV0E[2]	INTLINKR.TXV0[2]	←要因ビット	TXVC0DCTLR
VC0 送信割り込み（Non-Posted 送信）	INTLINKENR.TXV0E[1]	INTLINKR.TXV0[1]	←要因ビット	TXVC0DCTLR
VC0 送信割り込み（Completion 送信）	INTLINKENR.TXV0E[0]	INTLINKR.TXV0[0]	←要因ビット	TXVC0DCTLR
パワーマネジメント割り込み	INTLINKENR.PME	INTLINKR.PM	←要因ビット	PMINTENR
(DL) DL_Active	DLINTENR.DLLACTE	DLSR.DLLACT	なし（注2）	なし
(DL) DL_Down	DLINTENR.DLDNE	DLSR.DLDN	なし（注2）	なし
(DL) Data Link Layer Protocol Error	DLINTENR.DLLPEE	DLSR.DLLPE	←要因ビット	なし
(DL) Replay Timeout	DLINTENR.RPTOE	DLSR.RPTO	←要因ビット	なし
(DL) Replay Number Roll Over	DLINTENR.RPNROE	DLSR.RPNRO	←要因ビット	なし
(DL) BAD TLP	DLINTENR.BADTLPE	DLSR.BADTLP	←要因ビット	なし
(DL) BAD DLLP	DLINTENR.BADDLLPE	DLSR.BADDLLP	←要因ビット	なし
(MAC) Receiver Error	MACINTENR.RVERRE	MACSR.RVERR	←要因ビット	なし
(MAC) Link Training	MACINTENR.LKTRE	MACSR.LKTR	なし（注2）	なし
(PM) L1 Fall Edge	PMINTENR.L1FAEGE	PMSR.L1FAEG	←要因ビット	なし
(PM) PM_ENTER_L1 DLLP 受信	PMINTENR.PMEL1RXE	PMSR.PMEL1RX	←要因ビット	なし
(TX) Posted 送信エンプティ	TXVC0DCTLR.PTEIE	なし（注3）	LINKTXHDSELR.PHW	なし
(TX) Non-Posted 送信エンプティ	TXVC0DCTLR.NPTEIE	なし（注3）	LINKTXHDSELR.NPHW	なし
(TX) Completion 送信エンプティ	TXVC0DCTLR.CTEIE	なし（注3）	LINKTXHDSELR.CPLHW	なし
(RX) Posted 受信フル	RXVC0DCTLR.PRFIE	なし（注3）	LINKRXSTSR0.PFLC	なし
(RX) Non-Posted 受信フル	RXVC0DCTLR.NPRFIE	なし（注3）	LINKRXSTSR0.NPFLC	なし
(RX) Completion 受信フル	RXVC0DCTLR.CRFIE	なし（注3）	LINKRXSTSR0.CPLFLC	なし
(ERR) エラーパケット受信フル	RXDCTLR.EPFIE	ERPCTLR.EPBF	ERPCTLR.EPBFCLR	なし

注1. 同一の割り込み要因が2 つのレジスタに重複して定義されていますので、いずれか一方を使用してください。
2. 要因となっているリンク層の状態を抜ければ自動的にクリアされます。

3. VC0 受信割り込み、またはVC0 送信割り込みの要因ビットを確認し、データ受信、または送信が完了した時点でクリアビットをセットしてください。

リンク割り込みの一つであるMAC のReceiver Error をクリアする際の処理順序を図35.11 に示します。

① CPU がRC 割り込みを検出します。
② RCINTSRCR レジスタからリンク割り込み（LINT）を確認し、それをクリアしてください。
③ 表 35.6 に従い、LINT クリア後に INTLINKENR レジスタで全ての割り込みを不許可にしてください。
④ INTLINKR レジスタからMAC 割り込み（MAC）を確認し、それをクリアしてください。
⑤ 表 35.6 に従い、MAC クリア後に MACINTENR レジスタの全ての割り込みを不許可にしてください。
⑥ Receiver Error 割り込みをクリアしてください。
⑦ MACINTENR レジスタの中で必要な割り込みを許可に戻してください。
⑧ INTLINKR レジスタの中で必要な割り込みを許可に戻してください。



	RVERRR	RVERRE	MAC	MACE	LINT	LINTE	
①	1	1	1	1	1	1	RC 割り込みが発生
②	1	1	1	1	0	1	リンク割り込みクリア
③	1	1	1	0	0	1	リンク割り込みを全て不許可
④	1	1	0	0	0	1	MAC 割り込みクリア
⑤	1	0	0	0	0	1	MAC 割り込みを全て不許可
⑥	0	0	0	0	0	1	Receiver Error 割り込みクリア
⑦	0	1	0	0	0	1	MAC 割り込みを許可
⑧	0	1	0	1	0	1	LINK 割り込みを許可

図 35.11　MAC/Receiver Error 割り込みのクリア手順

35.5.3.4　トランザクション送信

35.5.3.4.1　Posted送信

Posted送信は、Memory Write、Messageトランザクションが対象です。

Posted送信を行う場合、まずリンク層のPosted送信バッファがエンプティであること（INTLINKR.TXV0[2]=1）を確認してください。エンプティの場合、送信データをVC0 Postedリクエストデータ送信レジスタ（VC0PDTXR）にライトしてください。全てのデータをライト後、送信ヘッダをリンク送信ヘッダレジスタ7～0（LINKTXHDR7～0）に設定して、Postedヘッダライトストローブを発行することで（LINKTXHDSELR.PHW=1）、リンク層にヘッダをライトしください。エンプティでない（INTLINKR.TXV0[2]=0）場合は、送信データ、送信ヘッダのライトはできません。ライト順序は送信データ→送信ヘッダの順で行ってください。図35.11にPosted送信手順を示します。

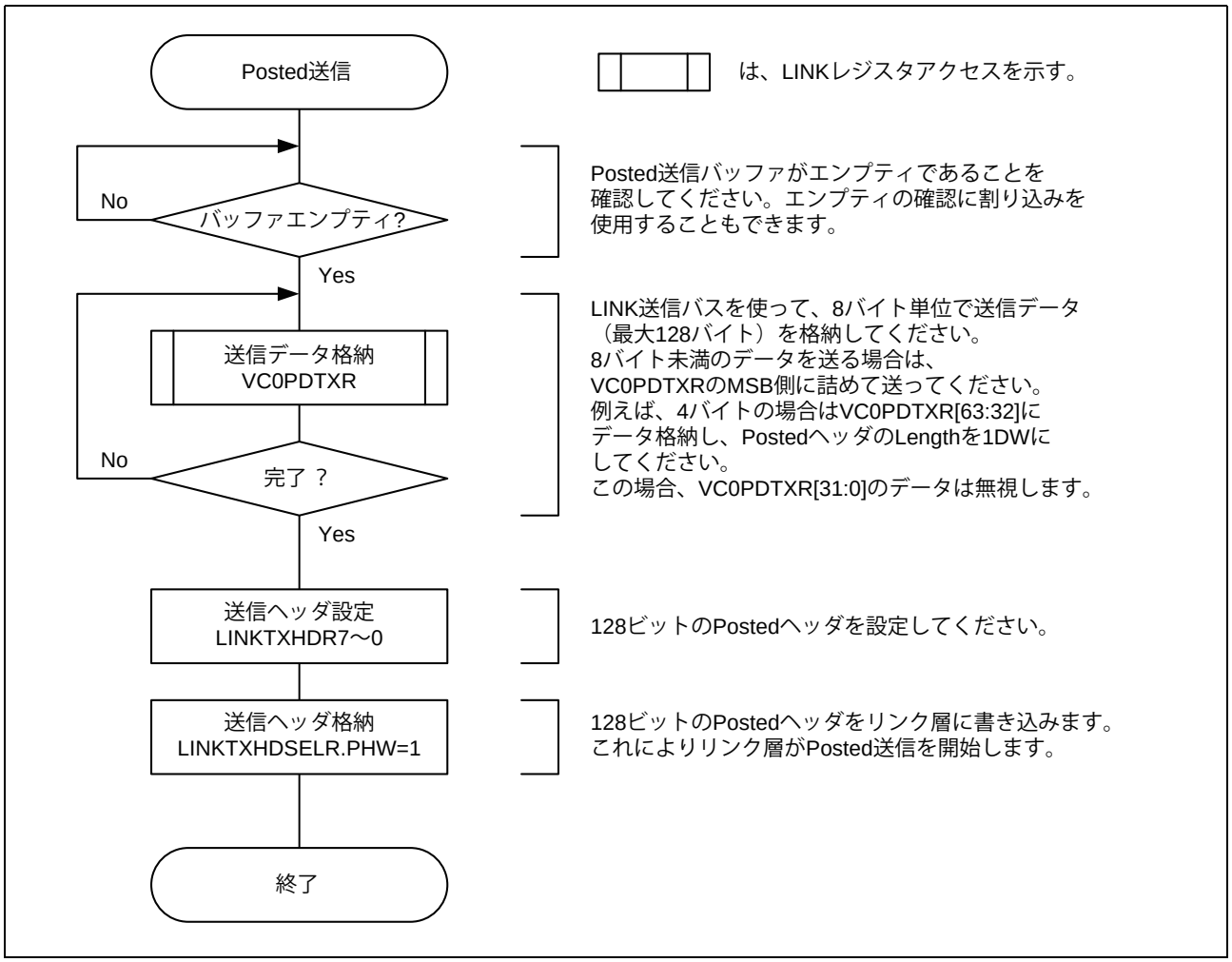


図 35.12　Posted送信手順

35.5.3.4.2　Non-Posted送信

Non-Posted送信は、Configuraion Read/Write、I/O Read/Write、Memory Readトランザクションが対象です。

Non-Posted送信を行う場合、まずリンク層のNon-Posted送信バッファがエンプティであること（INTLINKR.TXV0[1]=1）を確認してください。エンプティの場合、送信データをVC0 Non-Postedリクエストデータ送信レジスタ（VC0NPDTXR）にライトしてください。全てのデータをライト後、送信ヘッダをリンク送信ヘッダレジスタ7～0（LINKTXHDR7～0）に設定して、Non-Postedヘッダライトストローブを発行することで（LINKTXHDSELR.NPHW=1）、リンク層にヘッダをライトしてください。エンプティでない（INTLINKR.TXV0[1]=0）場合は、送信データ、送信ヘッダのライトはできません。ライト順序は送信データ→送信ヘッダの順で行ってください。図35.12にNon-Posted送信手順を示します。

なお、Configuration Read、I/O ReadやMemory Readなどのデータ送信を伴わないNon-Posted送信の場合は、送信データのライトを行わずに送信ヘッダのライトのみを行ってください。また、リードリクエストで要求するデータサイズは、128バイト以下にしてください。

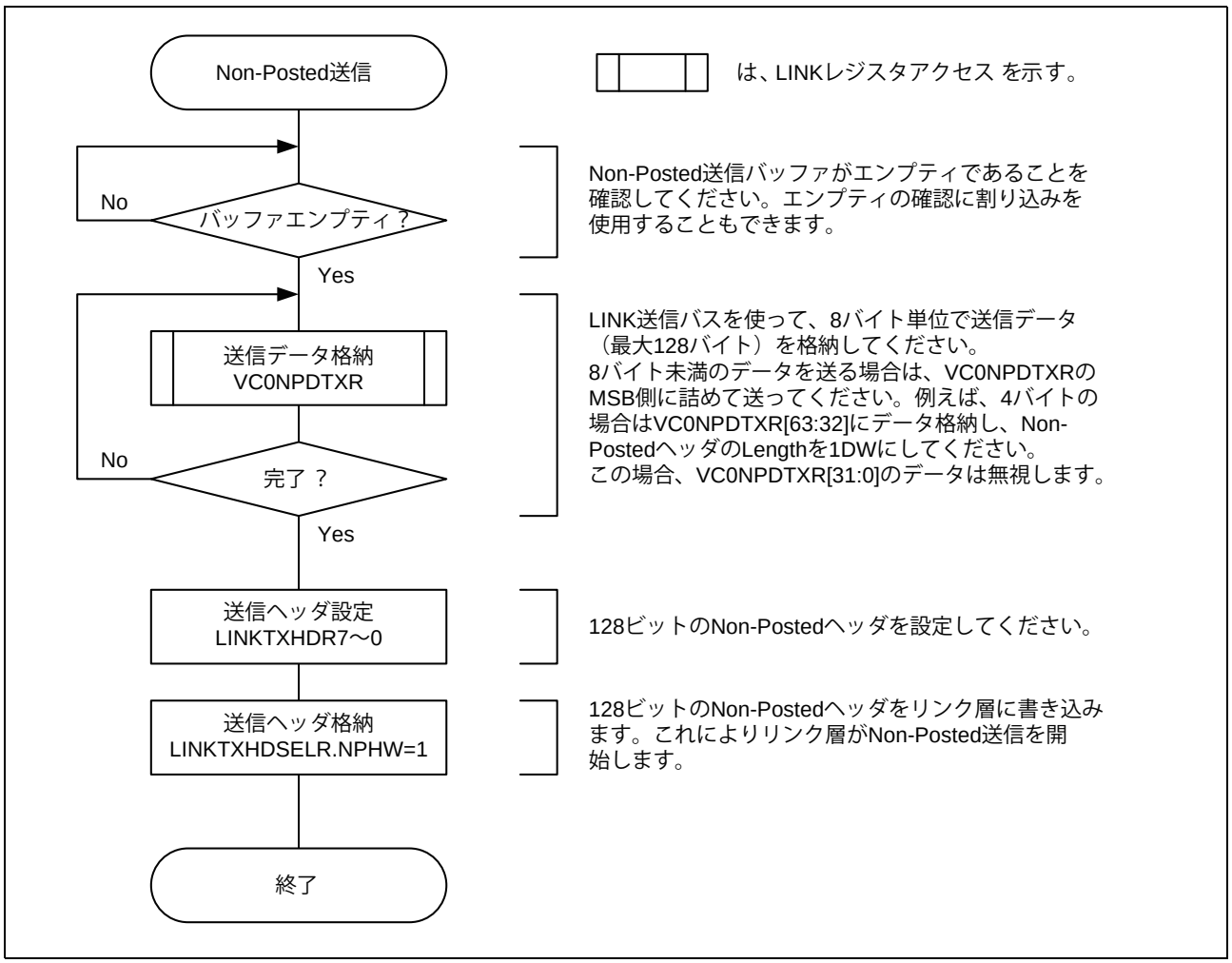


図 35.13　Non-Posted送信手順

35.5.3.4.3　Completion送信

Completion送信を行う場合、まずリンク層のCompletion送信バッファがエンプティであること（INTLINKR.TXV0[0]=1）を確認してください。エンプティの場合、送信データをVC0 Completionリクエストデータ送信レジスタ（VC0CDTXR）にライトしてください。全てのデータをライト後、送信ヘッダをリンク送信ヘッダレジスタ7～0（LINKTXHDR7～0）に設定して、Completionヘッダライトストローブを発行することで（LINKTXHDSELR.CPLHW=1）、リンク層にヘッダをライトしください。エンプティでない（INTLINKR.TXV0[0]=0）場合は、送信データ、送信ヘッダのライトはできません。ライト順序は送信データ→送信ヘッダの順で行ってください。図35.13にCompletion送信手順を示します。

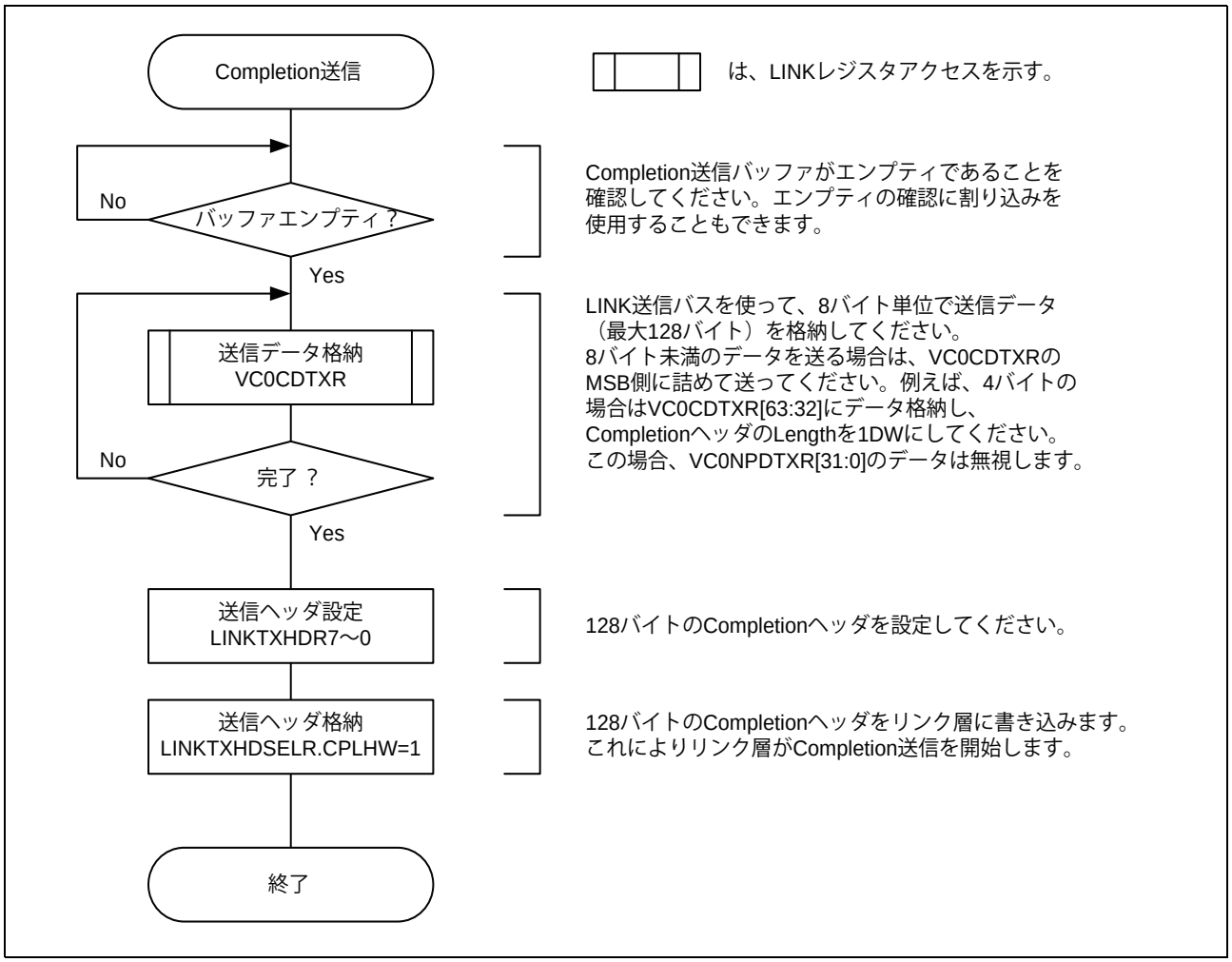


図 35.14　Completion送信手順

35.5.3.5　トランザクション受信

35.5.3.5.1　Posted受信

Posted受信は、Memory Write、Messageトランザクションが対象です。

Postedのトランザクションを受信した場合、Posted受信フルステータスがセットされます（INTLINKR.RXV0[2]=1）。

受信したPostedにエラーが含まれている場合、Posted受信エラーステータスが一緒にセットされます（LINKRXSTSR0.PER=1）。エラーが含まれている場合、受信データは不正なデータであるため破棄してください。さらに、エラーの種別を判定するためにVC0 Postedリクエストエラーレジスタ（VC0PERR）をリードしてください。

エラーが含まれていない場合は正常なデータとなります。まずリンク受信ヘッダ選択レジスタでPostedヘッダデータを選択し（LINKRXHDSELR.HSEL=000）、リンク受信ヘッダレジスタ7～0（LINKRXHDR7～0）から受信ヘッダをリードして、受信データサイズを確認して下さい。確認した受信データサイズ分、VC0 Postedリクエストデータ受信レジスタ（VC0PDRXR）から受信データのリードを行ってください。

全ての処理が完了後、リード完了を示すPosted受信フルクリアに"1"ライトを行います（LINKRXSTSR0.PFLC=1）。本ライトにより、読み出しを行っていたPosted受信バッファはH/Wによりクリアされ、次の受信が可能となります。

図35.14にPosted受信手順を示します。

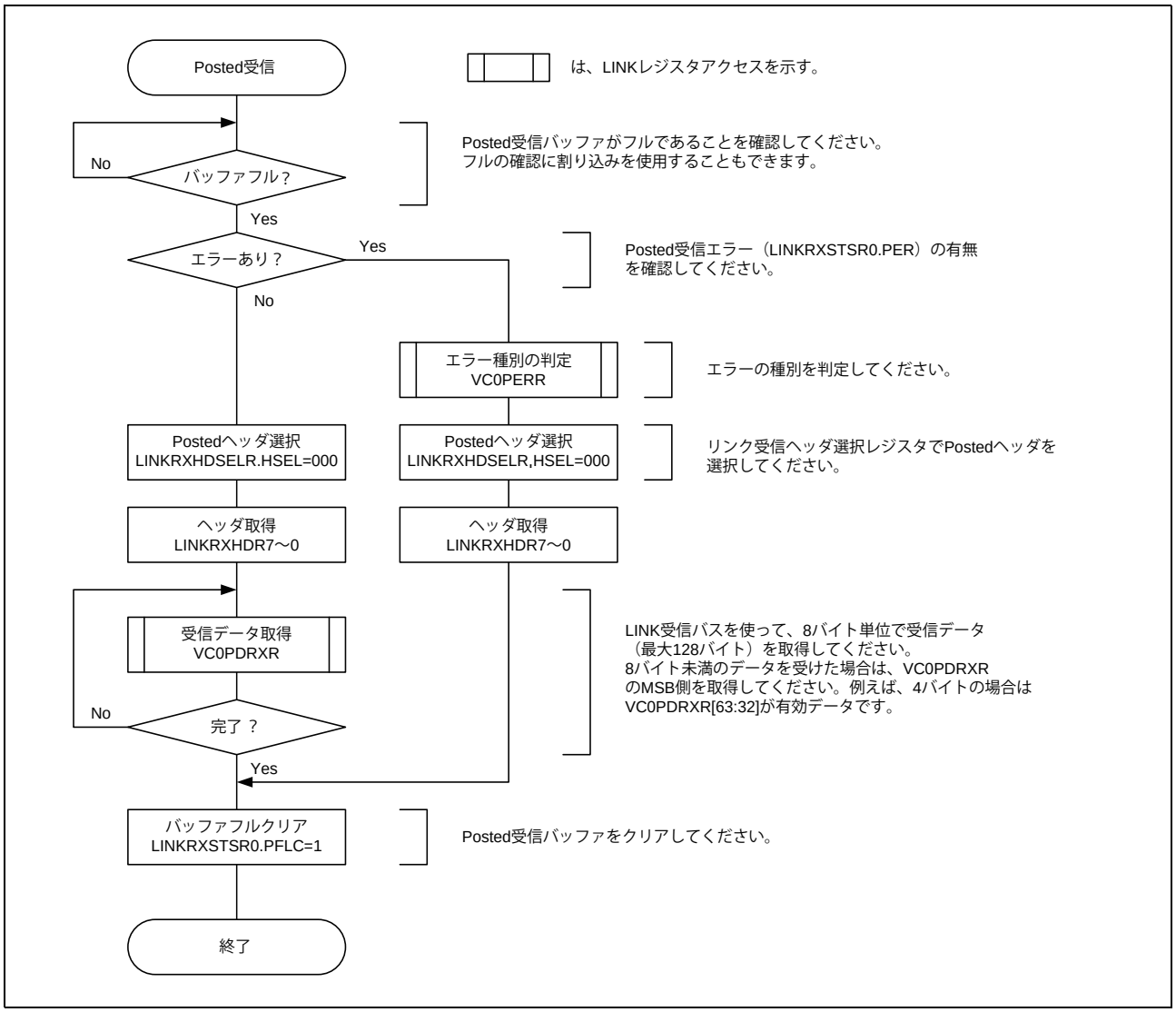


図 35.15　Posted受信手順

35.5.3.5.2　Non-Posted受信

Non-Posted受信は、Configuraion Read/Write、I/O Read/Write、Memory Readトランザクションが対象です。

Non-Postedのトランザクションを受信した場合、Non-Posted受信フルステータスがセットされます（INTLINKR.RXV0[1]=1）。

受信したNon-Postedにエラーが含まれている場合、Non-Posted受信エラーステータスが一緒にセットされます（LINKRXSTSR0.NPER=1）。エラーが含まれている場合、受信データは不正なデータであるため破棄してください。さらに、エラーの種別を判定するためにVC0 Non-Postedリクエストエラーレジスタ（VC0NPERR）をリードしてください。

エラーが含まれていない場合は正常なデータとなります。まずリンク受信ヘッダ選択レジスタでNon-Postedヘッダデータを選択し（LINKRXHDSELR.HSEL=001）、リンク受信ヘッダレジスタ7～0（LINKRXHDR7～0）から受信ヘッダをリードして、受信データサイズを確認して下さい。確認した受信データサイズ分、VC0 Non-Postedリクエストデータ受信レジスタ（VC0NPDRXR）から受信データのリードを行ってください。

全ての処理が完了後、リード完了を示すNon-Posted受信フルクリアに"1"ライトを行います（LINKRXSTSR0.NPFLC=1）。本ライトにより、読み出しを行っていたNon-Posted受信バッファはH/Wによりクリアされ、次の受信が可能となります。

図35.15にNon-Posted受信手順を示します。

なお、Configuration Read、I/O ReadやMemory Readなどのデータ送信を伴わないNon-Posted受信の場合は、受信データのリードを行わずに受信ヘッダのリードのみを行ってください。

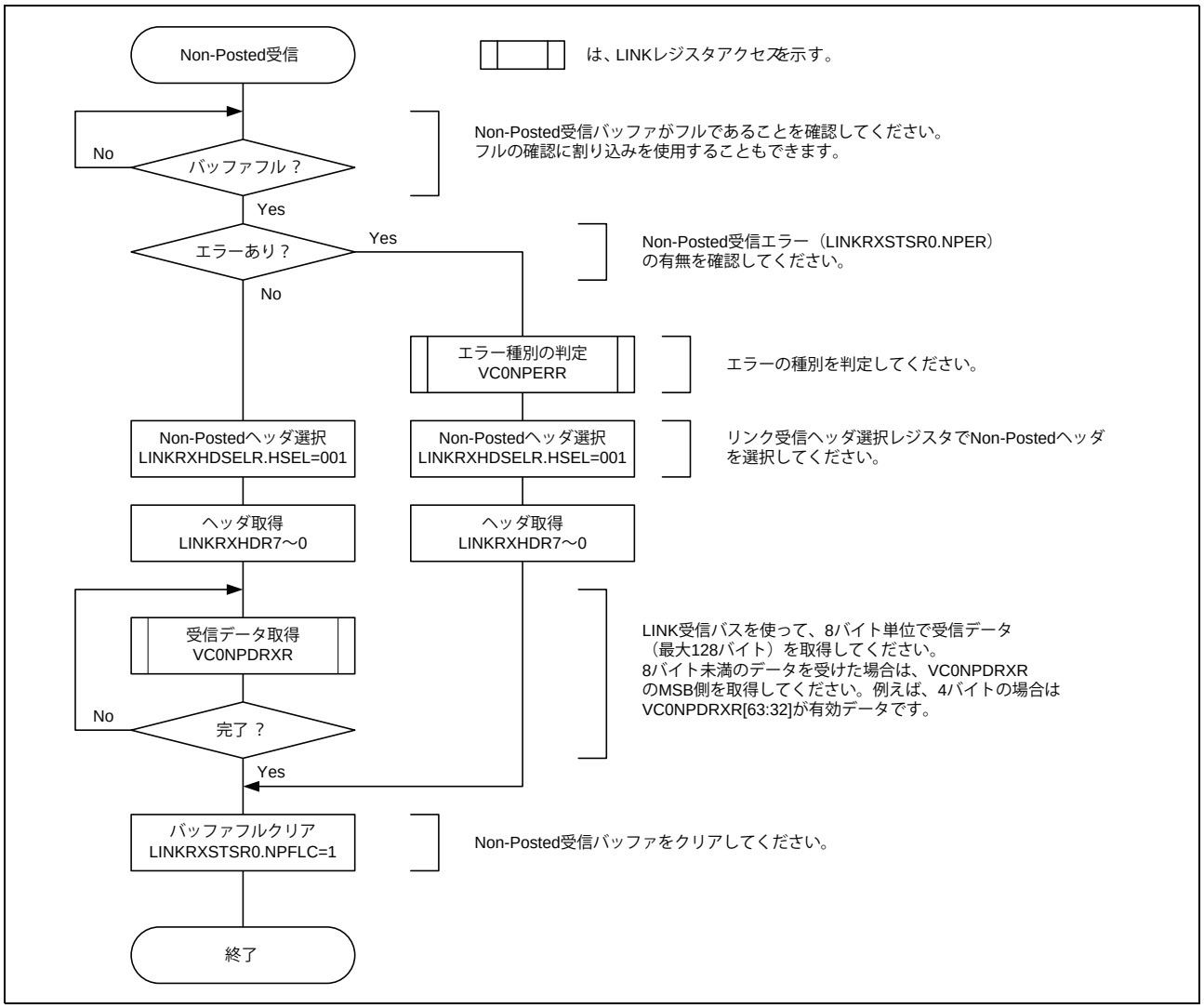


図 35.16　Non-Posted受信手順

35.5.3.5.3　Completion受信

Completionのトランザクションを受信した場合、Completion受信フルステータスがセットされます（INTLINKR.RXV0[0]=1）。

Completionタイムアウトの場合（INTLINKR.CTO=1）、要求したCompletionがタイムアウトしています。どのリクエストに対するCompletionがタイムアウトしたか判別するために、Completion ID TAG（LINKRXSTSR1.CTAG）を確認してください（Completion ID TAG（LINKRXSTSR1.CTAG）は自分がNon-Postedを発行したときのTAGの値を保持します。受信したCompletionヘッダに示された値ではありません）。また、必要に応じてリクエストを再送してください。

受信個数は、LINKRXSTSR2.CHNUMを確認してください。1つも受信できずにCompletionタイムアウトが発生した場合、LINKRXSTSR2.CHNUM=0を示します。1回で受信完了の場合はLINKRXSTSR2.CHNUM=1を示します。

受信したCompletionにエラーが含まれている場合、Completion受信エラーステータスが一緒にセットされます（LINKRXSTSR0.CPLER=1）。エラーが含まれている場合、受信データは不正なデータであるため破棄してください。さらに、エラーの種別を判定するためにVC0 Completionリクエストエラーレジスタ（VC0CERR）をリードしてください。

エラーが含まれていない場合は正常なデータとなります。まずリンク受信ヘッダ選択レジスタでCompletionヘッダデータを選択し（LINKRXHDSELR.HSEL=010）、リンク受信ヘッダレジスタ7～0（LINKRXHDR7～0）から受信ヘッダをリードして、受信データサイズを確認して下さい。確認した受信データサイズ分、VC0 Completionリクエストデータ受信レジスタ（VC0CDRXR）から受信データのリードを行ってください。

全ての処理が完了後、リード完了を示すCompletion受信フルクリアに"1"ライトを行います（LINKRXSTSR0.CPLFLC=1）。本ライトにより、読み出しを行っていたCompletion受信バッファはH/Wによりクリアされ、次の受信が可能となります。

図35.16にCompletion受信手順を示します。

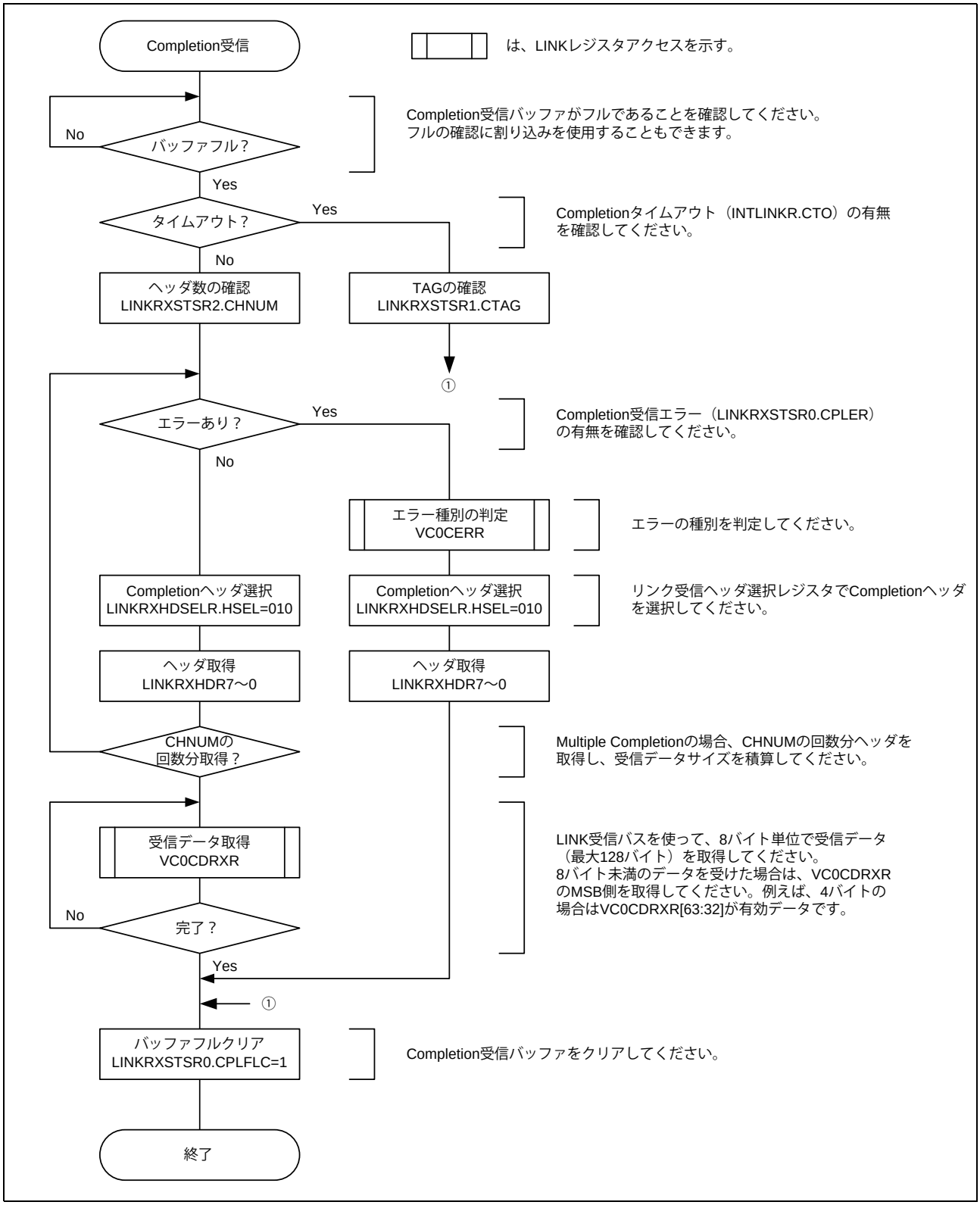


図 35.17　Completion受信手順

35.5.3.6 DMA動作

35.5.3.6.1 Memory Write送信

DMACでMemory Writeリクエストの送信（RC-DMA送信）を行う場合、まずDMACに適切な転送パラメータを設定してください。RC-DMA送信はDMACのチャネル6～11の何れか1チャネルを使用して行います。表35.6にDMACのチャネル6を用いてH'5000 0000に格納した1Kバイト（128バイトTLP×8回）のデータをエンドポイント側に送信する際のDMACのレジスタ設定例を示します。

表35.7　RC-DMA送信のDMAC設定例

レジスタ名	アドレス	ビット	設定値	設定内容
DMAER1	H'FE46 0000	b4	1	RC-DMA送信要求有効
SAR6	H'FF61 8020	b[31:0]	H'5000 0000	送信元：送信データ格納アドレス
DAR6	H'FF61 8024	b[31:0]	H'FFD6 0140	送信先：RCMEMTDR
TCR6	H'FF61 8028	b[31:0]	H'0000 0100	転送回数：256回（4バイト×256＝1Kバイト）
CHCR6	H'FF61 802C	b20,4,3	010	転送ユニット：4バイト
		b[15:14]	00	デスティネーションアドレス：固定
		b[13:12]	01	ソースアドレス：インクリメント
		b[11:8]	1000	周辺モジュールリクエスト
		b5	0	サイクルスチールモード
		b2	0	DMA完了時の割り込み無効
		b0	1	DMA転送有効
DMAOR1	H'FF61 8060	b0	1	DMAマスタ有効
DMARS3	H'FF61 9000	b[7:0]	H'D3	MID&RID：RC送信許可

次にRCメモリ転送設定レジスタ（RCMEMCFGR）にTLPサイズやTAGサイズ、転送方向などを設定し、RC TLP転送数設定レジスタ（RCTLPTCCFGR）にMemory Writeの送信回数（TLP数）を設定してください。上記のDMAC設定例の場合、TLPサイズは128バイト、TLP数は8回になります。

RC-DMA転送は、先頭のTLPヘッダデータをCPUからRCメモリ転送ヘッダレジスタ3～0（RCMEMHDR3～0）に設定することで、後続のヘッダはH/Wで自動的に生成されます。Memory Writeトランザクションの先頭ヘッダデータをRCメモリ転送ヘッダレジスタ3～0に設定してください。

RC-DMA転送の完了を割り込みを使ってCPUに通知することができます。RC-DMA転送を開始する前に、必要に応じてRC関連の割り込みを許可にしてください。

RC-DMAの開始要求ビットに1をライト（RCDMACFGR.ST=1）することで、RC制御回路がDMACに対して起動要求を発行し、送信データを取得した後にTLPヘッダを付加してエンドポイント側にMemory Writeトランザクションとして送信します。

RC TLP転送数設定レジスタに設定したTLP回数分の転送が正常に終わると、RC-DMA転送の正常終了を割り込みで通知します（RCDINTSRCR.GEND=1）。転送中にエラーが発生した場合は、正常終了の割り込みの代わりに該当するエラー割り込みが発生します。

図35.17にRC-DMA送信を起動するまでの処理手順を示します。

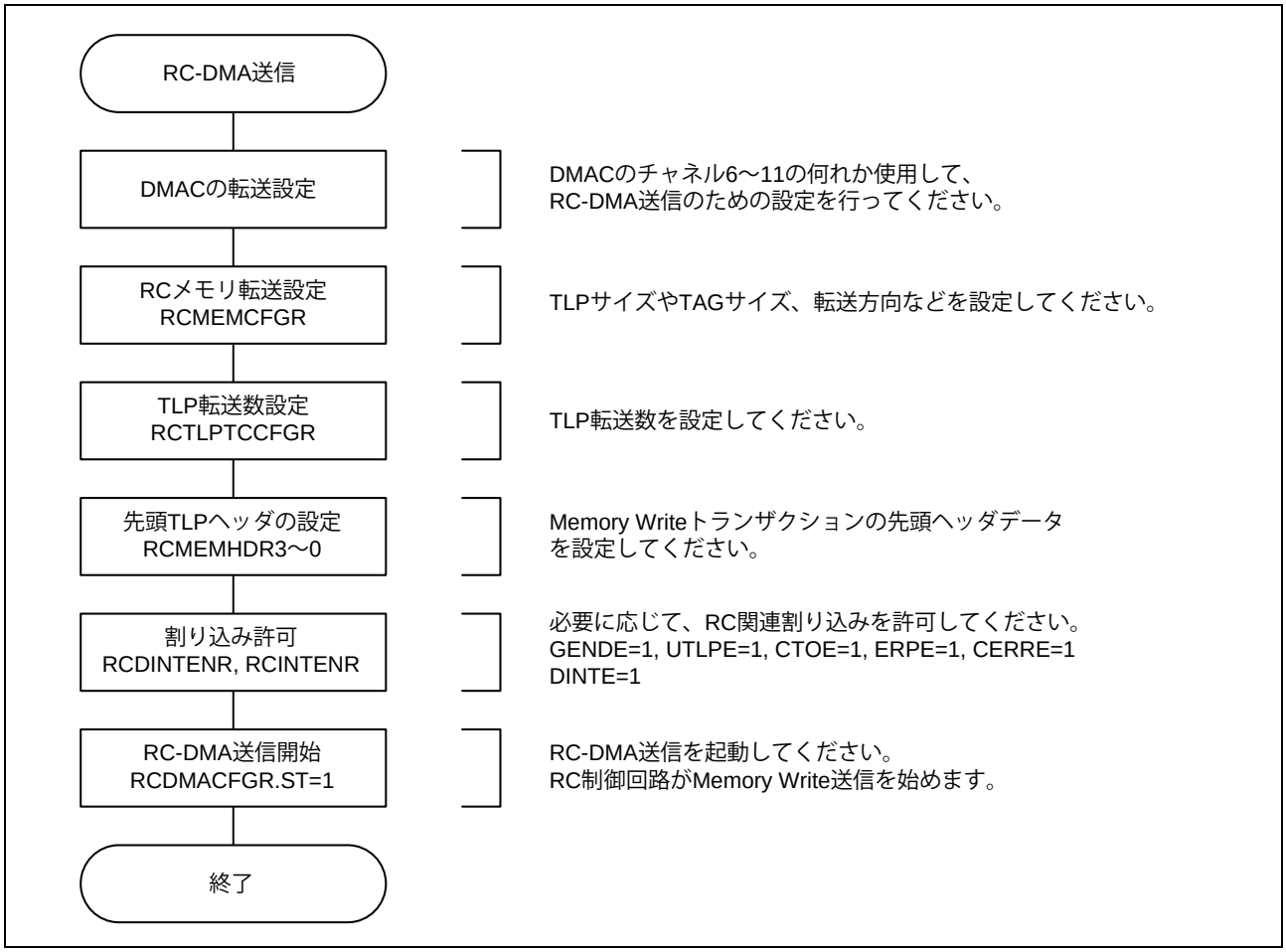


図 35.18　RC-DMA送信の起動手順

35.5.3.6.2 Memory Read送信

DMACでMemory Readリクエストの送信（RC-DMA受信）を行う場合、まずDMACに適切な転送パラメータを設定してください。RC-DMA受信はDMACのチャネル6～11の何れか1チャネルを使用して行います。表35.7にDMACのチャネル7を用いて1Kバイト（128バイトTLP×8回）のデータをエンドポイント側から受信してH'5000 0000に転送する際のDMACのレジスタ設定例を示します。

表35.8　RC-DMA送信のDMAC設定例

レジスタ名	アドレス	ビット	設定値	設定内容
DMAER1	H'FE46 0000	b5	1	RC-DMA受信要求有効
SAR7	H'FF61 8030	b[31:0]	H'FFD6 0160	送信元：RCMEMRDR
DAR7	H'FF61 8034	b[31:0]	H'5000 0000	送信先：受信データ格納アドレス
TCR7	H'FF61 8038	b[31:0]	H'0000 0100	転送回数：256回（4バイト×256＝1Kバイト）
CHCR7	H'FF61 803C	b20,4,3	010	転送ユニット：4バイト
		b[15:14]	01	デスティネーションアドレス：インクリメント
		b[13:12]	00	ソースアドレス：固定
		b[11:8]	1000	周辺モジュールリクエスト
		b5	0	サイクルスチールモード
		b2	0	DMA完了時の割り込み無効
		b0	1	DMA転送有効
DMAOR1	H'FF61 8060	b0	1	DMAマスタ有効
DMARS3	H'FF61 9000	b[7:0]	H'D7	MID&RID：RC受信許可

次にRCメモリ転送設定レジスタ（RCMEMCFGR）にTLPサイズやTAGサイズ、転送方向などを設定し、RC TLP転送数設定レジスタ（RCTLPTCCFGR）にMemory Writeの送信回数（TLP数）を設定してください。上記のDMAC設定例の場合、TLPサイズは128バイト、TLP数は8回になります。

RC-DMA転送は、先頭のTLPヘッダをCPUからRCメモリ転送ヘッダレジスタ3～0（RCMEMHDR3～0）に設定することで、後続のヘッダはH/Wで自動的に生成されます。Memory Readトランザクションの先頭ヘッダデータをRCメモリ転送ヘッダレジスタ3～0に設定してください。

RC-DMA転送の完了を割り込みを使ってCPUに通知することができます。RC-DMA転送を開始する前に、必要に応じてRC関連の割り込みを許可にしてください。

RC-DMAの開始要求ビットに1をライト（RCDMACFGR.ST=1）することで、RC制御回路がTLPヘッダを生成してエンドポイント側にMemory Readトランザクションとして送信します。それに対するCompletionを受信すると、DMACに対して起動要求を発行し、受信データを指定したアドレスに転送します。

RC TLP転送数設定レジスタに設定したTLP回数分の転送が正常に終わると、RC-DMA転送の正常終了を割り込みで通知します（RCDINTSRCR.GEND=1）。転送中にエラーが発生した場合は、正常終了の割り込みの代わりに該当するエラー割り込みが発生します。

図35.18にRC-DMA受信を起動するまでの処理手順を示します。

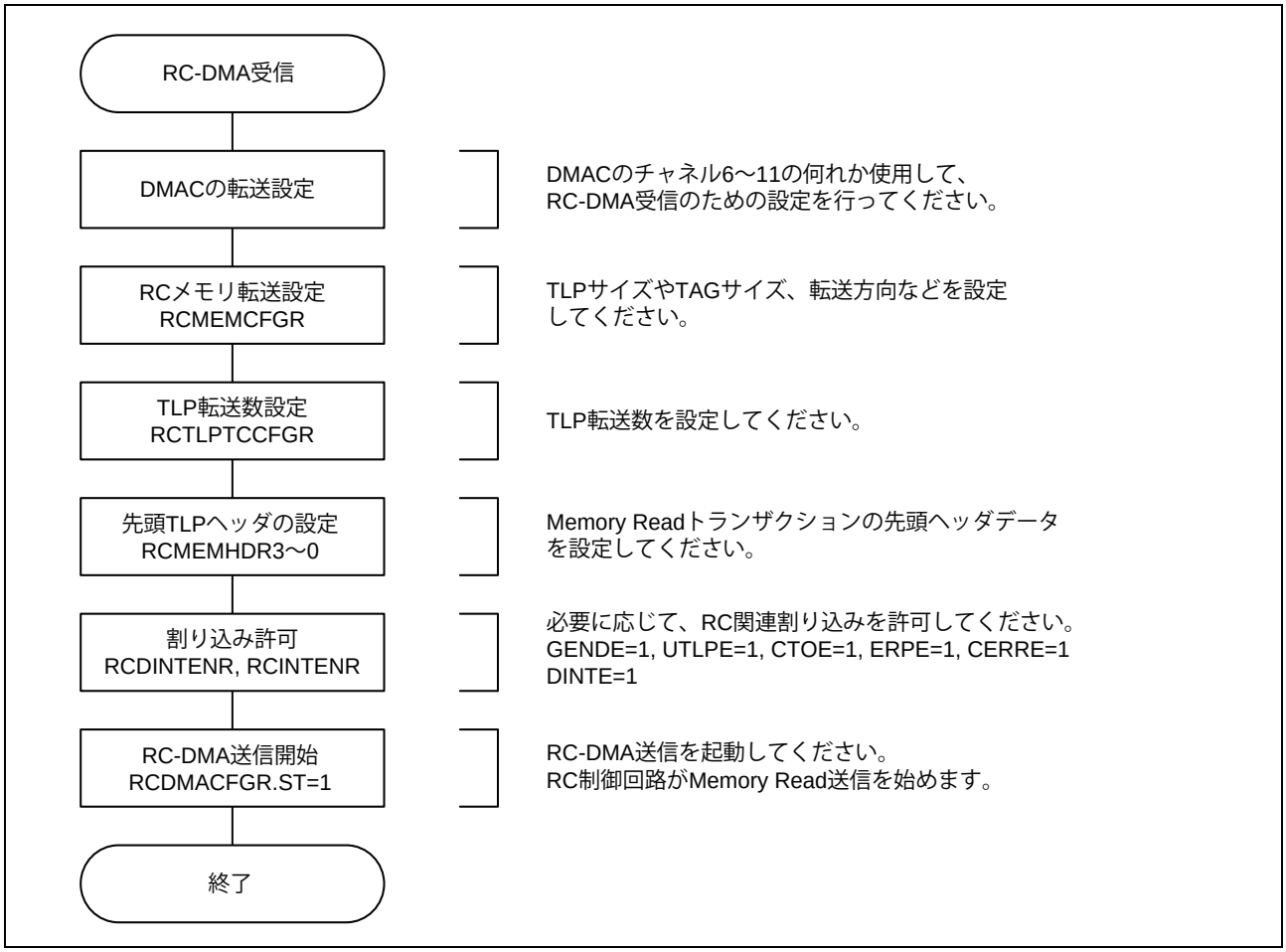


図 35.19　RC-DMA受信の起動手順

35.6 エンドポイント

エンドポイントは、PCI Expressプラットフォームと PCI Expressバスインタフェース（PBI）から構成されます。

PCI Expressプラットフォームは、PCI Expressの規格で規定される PCI Express Switch と PCI Expres to PCI Bridge で構成しており、ダウンストリーム側にレガシーな PCIデバイスと PCI Express のエンドポイントが接続できる構成となっています。本 LSI では、PCIデバイスは接続しておらず、PCI Express のエンドポイントとして PCI Expressバスインタフェースを接続しています。

PCI Express バスインタフェースは、PCI Express プラットフォームに接続される PCI Express のエンドポイントです。本LSIの内部バスと PCI Express とを接続するブリッジの機能を持ち、共有メモリ、メールボックス、VDMバッファを用いて PCI Expressの接続相手（PCIホスト）とデータを共有します。

本節では、PCI Expressプラットフォームを PCI Express Switch/PCI Express to PCI Bridge（PS/PPB）と称して説明します。

35.6.1 PCI Express Switch/PCI Express to PCI Bridge（PS/PPB）

PS/PPB（PCI Expressプラットフォーム）は PCI Express Switch（PS）と PCI Expres to PCI Bridge（PPB）から構成されます。

35.6.1.1 特長

PS/PPB には以下の特長があります。

- 1つのアップストリームポートと、2つのダウンストリームポートを備えた PCI Express Swtich を搭載
- PCI Express Switch のダウンストリーム側に PCI Express to PCI Bridge を搭載
- ダウンストリーム側に PCIデバイスと PCI Expressエンドポイントの接続が可能
- ハードウェアシーケンサにより、CPUに負荷をかけないトランザクション転送を実現
  注. リセット解除前に96Kバイトのマイクロコードのダウンロードが必要

図35.19に PS/PPB のバストポロジを示します。本LSIでは、ダウンストリーム側の PCIバス上に PCIデバイスは接続されておらず、仮想 PCI Expressバス上に PCI Expressバスインタフェース（PBI）が接続されています。

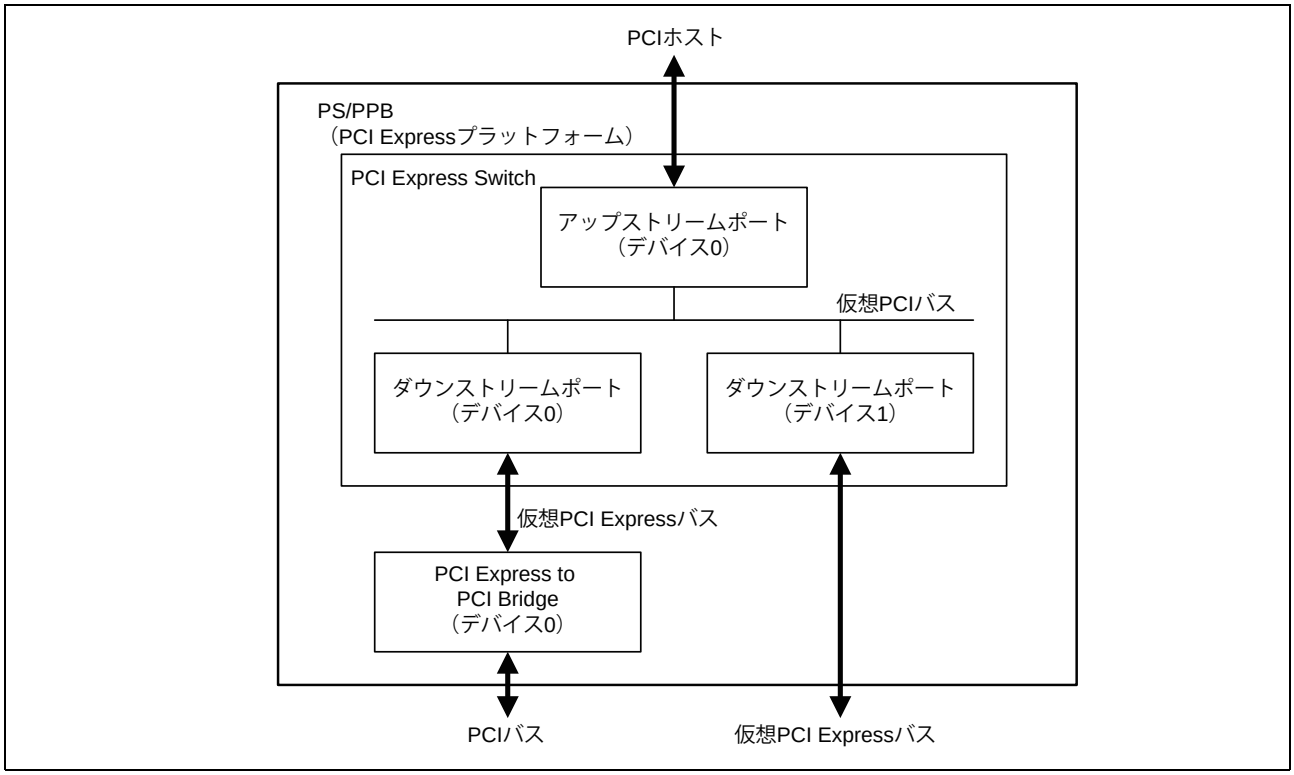


図 35.20　PS/PPB（PCI Expressプラットフォーム）のバストポロジ

35.6.1.2　レジスタの説明

PS/PPBのレジスタには、本LSIのCPUからアクセスするPS/PPBレジスタと、PCI Expressの接続相手であるPCIホストからアクセスするPS/PPBコンフィグレーションレジスタがあります。

35.6.1.2.1　PS/PPBレジスタ

表35.8にPS/PPBレジスター覧を示します。

表35.9　PS/PPBレジスター覧

レジスタ名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
コード転送用アドレスレジスタ	CPADRR	R/W	H'FFD6 0010	16	H'0000	保持
コード転送用データレジスタ	CPDATAR	R/W	H'FFD6 0014	16	H'0000	保持
PS/PPBバージョンレジスタ	PSPPBVERR	R	H'FFD6 0060	32	H'0000 0000	保持
PS/PPB制御レジスタ	PSPPBCTLR	R	H'FFD6 0080	32	H'0000 0000	保持

(1) コード転送用アドレスレジスタ（CPADRR）

本レジスタは、ハードウェアシーケンサのマイクロコードをダウンロードするときに、アドレスを指定するために使用します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CADR															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	CADR	すべて0	R/W	マイクロコード転送用のオフセットワードアドレスを設定します。CPDATARレジスタへのリードまたはライト後に自動的に+1されます。

(2) コード転送用データレジスタ（CPDATAR）

本レジスタは、ハードウェアシーケンサのマイクロコードをダウンロードするときに、コードデータを転送するために使用します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDT															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～0	CDT	すべて0	R/W	本レジスタをリードするとCPADRRで指定したアドレスのデータが読み出されます。ライトするとCPADDRで指定したアドレスにデータが書き込まれます。

(3) PS/PPBバージョンレジスタ　（PSPPBVERR）

本レジスタは、PS/PPBのバージョンを確認するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PVER															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PVER															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～0	PVER	すべて0	R	PS/PPBのバージョンを示します。 マイクロコードのダウンロード後にエンドポイントのリセットを解除するとシーケンサにより本レジスタにバージョン情報（すべて0以外の値）が自動的に設定されます。すべて0はPS/PPBバージョンではありません。 H'0000 0000　：未定義 H'0000 0000以外：PS/PPBバージョン

(4) PS/PPB制御レジスタ（PSPPBCTLR）

本レジスタは、CPUからPS/PPBコンフィグレーションレジスタの特定箇所に任意の値を設定するために使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	VDB							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～8	—	0	—	リザーブビット
7～0	VDB	すべて0	R/W	ベンダ定義バイト このレジスタはPCIホストに任意の情報を通知するために使用します。このレジスタは初期化処理においてPBICTL3.INIDONEに1をセットする前に設定してください。PCIホストはPCI Express Switchのアップストリームポートのコンフィグレーションレジスタ（H'0FC）からこのレジスタの値を読み出すことができます。

35.6.1.2.2　PS/PPBコンフィグレーションレジスタ

Configurationレジスタの初期値を以下に示します。

表35.10　PS/PPBコンフィグレーションレジスタ初期値

		Initial Value			
Register Name	**Address**	**Upstream**	**Downstream (Device 0)**	**Downstream (Device 1)**	**Bridge**
Vender ID Device ID	H'000	H'001D 1912	H'001D 1912	H'001D 1912	H'001A 1912
Command Status	H'004	H'0010 0000	H'0010 0000	H'0010 0000	H'0010 0000
Revision ID Class Code	H'008	H'0604 0000	H'0604 0000	H'0604 0000	H'0604 0000
CacheLine Size Latency Timer Header Type BIST	H'00C	H'8001 0000	H'8001 0000	H'8001 0000	H'8001 0000
BAR0	H'010	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
BAR1	H'014	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Primary Bus Number Secondary Bus Number Subordinate Bus Number Secondary Latency Timer	H'018	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
I/O Base I/O Limit Secondary Status	H'01C	H'0000 01F1	H'0000 01F1	H'0000 01F1	H'0000 01F1
Memory Base Memory Limit	H'020	H'0000 FFF0	H'0000 FFF0	H'0000 FFF0	H'0000 FFF0
Prefetchable Memory Base Prefetchable Memory Limit	H'024	H'0001 FFF1	H'0001 FFF1	H'0001 FFF1	H'0001 FFF1
Prefetchable Base Upper 32 bits	H'028	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Prefetchable Limit Upper 32 bits	H'02C	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
I/O Base Upper 16 bits I/O Limit Upper 16 bits	H'030	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Capability Pointer	H'034	H'0000 0040	H'0000 0040	H'0000 0040	H'0000 0040
Expansion ROM Base Address	H'038	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Int Line Int Pin Bridge Control	H'03C	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Capability ID Next Pointer Power Management Capabilities	H'040	H'C803 5001	H'C803 5001	H'C803 5001	H'0003 5001

Register Name	Address	Initial Value			
		Upstream	Downstream (Device 0)	Downstream (Device 1)	Bridge
PMCSR PMCSR BSE Ext. Data	H'044	H'0000 0008	H'0000 0008	H'0000 0008	H'0000 0008
Capability ID Next Pointer Message Control	H'050	H'0080 7005	H'0080 7005	H'0080 7005	H'0080 7005
Message Address	H'054	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Message Upper Address	H'058	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Message Data	H'05C	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
PCIe Cap ID Next Cap Pointer PCIe Capability	H'070	H'0052 B010	H'0062 B010	H'0062 B010	H'0072 B010
Device Capabilities	H'074	H'0000 8020	H'0000 8020	H'0000 8020	H'0000 8020
Device Control Device Status	H'078	H'0000 0910	H'0000 0910	H'0000 0910	H'0000 0910
Link Capabilities	H'07C	H'0043 F411	H'0043 F011	H'0143 F011	H'0043 F011
Link Control Link Status	H'080	H'1011 0000	H'1011 0000	H'1011 0000	H'1011 0000
Slot Capabilities	H'084	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Slot Control Slot Status	H'088	H'0000 0000	H'0040 0000	H'0040 0000	H'0000 0000
Root Control Root Capabilities	H'08C	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Root Status	H'090	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Device Capabilities 2	H'094	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Device Control 2 Device Status 2	H'098	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Link Capabilities 2	H'09C	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Link Control 2 Link Status 2	H'0A0	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Slot Capabilities 2	H'0A4	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Slot Control 2 Slot Status 2	H'0A8	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
PCIe CapID Next Cap Pointer	H'0B0	H'0000 000D	H'0000 000D	H'0000 000D	H'0000 000D
SSVID SSID	H'0B4	H'001D 1912	H'001D 1912	H'001D 1912	H'001A 1912
Vendor Defined Byte	H'0FC	H'0000 00XX	—	—	—
PCIe Enhanced Capability Header	H'100	H'0001 0001	H'0001 0001	H'1501 0001	H'0001 0001

Register Name	Address	Initial Value			
		Upstream	Downstream (Device 0)	Downstream (Device 1)	Bridge
Uncorrectable Error Status	H'104	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Uncorrectable Error Mask	H'108	H'0040 0000	H'0040 0000	H'0040 0000	H'0040 0000
Uncorrectable Error Severity	H'10C	H'0046 2030	H'0046 2030	H'0046 2030	H'0046 2030
Correctable Error Status	H'110	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Correctable Error Mask	H'114	H'0000 E000	H'0000 E000	H'0000 E000	H'0000 E000
Advanced Error Capabilities and Control	H'118	H'0000 00A0	H'0000 00A0	H'0000 00A0	H'0000 00A0
Header Log (1st DW)	H'11C	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Header Log (2nd DW)	H'120	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Header Log (3rd DW)	H'124	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Header Log (4th DW)	H'128	H'0000 0000	H'0000 0000	H'0000 0000	H'0000 0000
Secondary Uncorrectable Error Status	H'12C	—	—	—	H'0000 0000
Secondary Uncorrectable Error Mask	H'130	—	—	—	H'0000 17A8
Secondary Uncorrectable Error Severity	H'134	—	—	—	H'0000 1340
Secondary Error Capabilities and Control	H'138	—	—	—	H'0000 0000
Secondary Header Log (1st DW)	H'13C	—	—	—	H'0000 0000
Secondary Header Log (2nd DW)	H'140	—	—	—	H'0000 0000
Secondary Header Log (3rd DW)	H'144	—	—	—	H'0000 0000
Secondary Header Log (4th DW)	H'148	—	—	—	H'0000 0000
ACS Extended Capability Header	H'150	—	—	H'0001 000D	—
ACS Capability ACS Control	H'154	—	—	H'0000 005F	—
PBIINF0	H'E00	—	—	H'0000 0000	—
PBIINF1	H'E04	—	—	H'0000 0000	—
PBIINF2	H'E08	—	—	H'0000 0000	—
PBIINF3	H'E0C	—	—	H'0000 0000	—
PBIINF4	H'E10	—	—	H'0000 0000	—
PBIINF5	H'E14	—	—	H'0000 0000	—
PBICTL0	H'EF0	—	—	H'0000 0000	—

35.6.1.2.2.1. Register Description Format

表35.10にレジスタ説明のフォーマットを示します。Functionsフィールドの略語の意味は次の通りです。

- "Up"はPCI Express Switchアップストリームポートを意味します。
- "D0"はPCI Express Switchダウンストリームポート（デバイス0）を意味します。
- "D1"はPCI Express Switchダウンストリームポート（デバイス1：PBI側）を意味します。
- "Bg"はPCI Express to PCI Bridgeを意味します。
- 説明されたビットを搭載したファンクションには○が入っています。そのビットの機能をサポートしているとの意味ではありませんので注意してください。

表35.11にレジスタビットフィールドのタイプを示します。

表35.11 Register Description Format

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
15 to 0	Vender ID	O	O	O	O	RO	H'1912

表35.12 Register and Register Bit-Field Types

Register Attribute	Description
HwInit	Hardware Initialized – Register bits are initialized by hardware mechanisms. Bits are read-only after initialization and can only be reset (for write-once by firmware) with Fundamental Reset. HwInit register bits are not modified by an FLR.
RO	Read-only – Register bits are read-only and cannot be altered by software. Register bits are permitted to be initialized by hardware mechanisms such as pin strapping or serial EEPROM.
RW	Read-Write – Register bits are read-write and are permitted to be either Set or Cleared by software to the desired state.
RW1C	Write-1-to-clear status – Register bits indicate status when read. A Set bit indicates a status event which is Cleared by writing 1. Writing 0 to RW1C bits has no effect.
ROS	Sticky - Read-only – Register bits are read-only and cannot be altered by software. Bits are neither initialized nor modified by hot reset or FLR. Where noted, devices that consume AUX power must preserve sticky register values when AUX power consumption (via either AUX power or PME Enable) is enabled. In these cases, registers are neither initialized nor modified by hot, warm, or cold reset.
RWS	Sticky - Read-Write – Register bits are read-write and are Set or Cleared by software to the desired state. Bits are neither initialized nor modified by hot reset or FLR. Where noted, devices that consume AUX power must preserve sticky register values when AUX power consumption (via either AUX power or PME Enable) is enabled. In these cases, registers are neither initialized nor modified by hot, warm, or cold reset.
RW1CS	Sticky - Write-1-to-clear status – Registers indicate status when read. A Set bit indicates a status event which is Cleared by writing 1. Writing 0 to RW1CS bits has no effect. Bits are neither initialized nor modified by hot reset or FLR. Where noted, devices that consume AUX power must preserve sticky register values when AUX power consumption (via either AUX power or PME Enable) is enabled. In these cases, registers are neither initialized nor modified by hot, warm, or cold reset.
RsvdP	Reserved and Preserved – Reserved for future RW implementations. Registers are read-only and must return zero when read. Software must preserve the value read for writes to bits.
RsvdZ	Reserved and Zero – Reserved for future RW1C implementations. Registers are read-only and must return zero when read. Software must use 0 for writes to bits.

35.6.1.2.2.2. PCI-Compatible Configuration Registers

b31				b0	Address
Device ID			Vender ID		H'000
Status			Command		H'004
Class Code				Revision ID	H'008
BIST	Header Type		Latency Timer	CacheLine Size	H'00C
BAR0					H'010
BAR1					H'014
Secondary Latency Timer	Subordinate Bus Number		Secondary Bus Number	Primary Bus Number	H'018
Secondary Status			I/O Limit	I/O Base	H'01C
Memory Limit			Memory Base		H'020
Prefetchable Memory Limit			Prefetchable Memory Base		H'024
Prefetchable Base Upper 32 bits					H'028
Prefetchable Limit Upper 32 bits					H'02C
I/O Limit Upper 16 bits			I/O Base Upper 16 bits		H'030
reserved				Capability Pointer	H'034
Expansion ROM Base Address					H'038
Bridge Control			Int Pin	Int Line	H'03C

(1) Vender ID/Device ID Register (H'000)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
15 to 0	Vender ID This field identifies the Vender ID of Renesas (H'1912).	O	O	O	O	RO	H'1912
31 to 16	Device ID	O	O	O	—	RO	H'001D
	This field identifies the Device ID numbered by Renesas.	—	—	—	O	RO	H'001A

(2) Command/Status Register (H'004)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
0	I/O Space Enable 0: Respond to all I/O Requests on the primary interface with an Unsupported Request Completion. Forward all I/O transactions from the secondary interface to the primary interface (if supported). 1: Enable forwarding of I/O Requests to the secondary	O	O	O	O	RW	0
1	Memory Space Enable 0: Respond to all Memory Requests on the primary interface as Unsupported Request Received. Forward all memory requests from the secondary interface to the primary interface. 1: Enable forwarding of memory transactions to the secondary interface and any internal function.	O	O	O	O	RW	0
2	Bus Master Enable 0: Do not initiate memory or I/O transactions on the primary interface and disable response to memory and I/O transactions on secondary interface. 1: Enable the bridge to operate as a master on the primary interface for memory and I/O transactions forwarded from the secondary interface.	O	O	O	O	RW	0
3	Special Cycle Enable This function is not supported.	O	O	O	O	RO	0
4	Memory Write and Invalidate This function is not supported.	O	O	O	O	RO	0
5	VGA Palette Snoop This function is not supported.	O	O	O	O	RO	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
6	Parity Error Response 0: Disables the setting of the Master Data Parity Error bit. 1: Enables the setting of the Master Data Parity Error bit.	O	O	O	O	RW	0
7	IDSEL Stepping/Wait Cycle Control This function is not supported.	O	O	O	O	RO	0
8	$\overline{\text{SERR}}$ Enable 0: Disable the reporting of bridge non-fatal errors and fatal errors to the Root Complex. 1: Enable the reporting of bridge non-fatal errors and fatal errors to the Root Complex.	O	O	O	O	RW	0
9	Fast Back-to-Back Transactions Enable This function is not supported.	O	O	O	O	RO	0
10	Interrupt Disable This function is not supported.	O	O	O	O	RW	0
18 to 11	(Reserved)	O	O	O	O	RsvdP	00000000
19	Interrupt Status This function is not supported.	O	O	O	O	RO	0
20	Capabilities List Indicates the presence of an Extended Capability list item.	O	O	O	O	RO	1
21	66 MHz Capable This function is not supported.	O	O	O	O	RO	0
22	(Reserved)	O	O	O	O	RsvdP	0
23	Fast Back-to-Back Transactions Capable This function is not supported.	O	O	O	O	RO	0
24	Master Data Parity Error 0: No uncorrectable data error detected on the primary interface. 1: Uncorrectable data error detected on the primary interface.	O	O	O	O	RW1C	0
26, 25	$\overline{\text{DEVSEL}}$ Timing This function is not supported.	O	O	O	O	RO	00
27	Signaled Target-Abort 0: Completer Abort Completion not transmitted on the primary interface. 1: Completer Abort Completion transmitted on the primary interface.	O	O	O	O	RW1C	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
28	Received Target-Abort 0: Completer Abort Completion Status not received on primary interface. 1: Completer Abort Completion Status received on primary interface.	O	O	O	O	RW1C	0
29	Received Master-Abort 0: Unsupported Request Completion Status not received on primary interface. 1: Unsupported Request Completion Status received on primary interface.	O	O	O	O	RW1C	0
30	Signaled System Error 0: Neither ERR_FATAL nor ERR_NONFATAL transmitted on primary interface. 1: ERR_FATAL or ERR_NONFATAL transmitted on primary interface.	O	O	O	O	RW1C	0
31	Detected Parity Error 0: Data poisoning and bad ECRC not detected by the bridge on its primary interface. 1: Data poisoning or bad ECRC detected by the bridge on its primary interface.	O	O	O	O	RW1C	0

(3) Revision ID/Class Code Register (H'008)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Revision ID This field identifies the Revision ID numbered by Renesas.	O	O	O	O	RO	H'00
15 to 8	Register-Level Programming Interface This field identifies the programming interface.	O	O	O	O	RO	H'00
23 to 16	Sub-Class Code This field identifies the Sub-Class code of PCI-to-PCI bridge (H'04).	O	O	O	O	RO	H'04
31 to 24	Base Class Code This field identifies the Base Class code of Bridge device.	O	O	O	O	RO	H'06

(4) CacheLine Size/Latency Timer/Header Type/BIST Register (H'00C)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
7 to 0	CacheLine Size This field specifies the system cacheline size in units of DWORDs, but behavior of PS/PPB is not affected by the value of this register.	O	O	O	O	RW	H'00
15 to 8	Master Latency Timer This function is not supported.	O	O	O	O	RO	H'00
22 to 16	Header Type This field identifies the configuration space header that adheres to the Type-1 layout.	O	O	O	O	RO	H'01
23	Multiple Function This bit identifies PS/PPB is single function.	O	O	O	O	RO	0
27 to 24	BIST Result A value of 0 means the device has passed its test. Non-zero values mean the device failed.	O	O	O	O	RO	0000
29, 28	(Reserved)	O	O	O	O	RsvdP	00
30	Start BIST Write 1 to invoke BIST. A value of 1 is kept during the executing BIST and this bit is cleared when BIST is complete.	O	O	O	O	RW	0
31	BIST Capable This bit identifies BIST capability.	O	O	O	O	RO	1

(5) BAR0 Register (H'010)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	Base Address 0 This function is not supported.	O	O	O	O	RO	H'0000 0000

(6) BAR1 Register (H'014)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	Base Address 1 This function is not supported.	O	O	O	O	RO	H'0000 0000

(7) Primary Bus Number/Secondary Bus Number/Subordinate Bus Number/Secondary Latency Timer Register (H'018)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
7 to 0	Primary Bus Number This field is used to record the Bus Number of the logical PCI bus segment to which the primary interface of the bridge is connected.	O	O	O	O	RW	H'00
15 to 8	Secondary Bus Number This field is used to record the Bus Number of the PCI bus segment to which the secondary interface of the bridge is connected.	O	O	O	O	RW	H'00
23 to 16	Subordinate Bus Number This field is used to record the Bus Number of the highest numbered PCI bus segment which is downstream of (or subordinate to) the bridge.	O	O	O	O	RW	H'00
31 to 24	Secondary Latency Timer This function is not supported.	O	O	O	O	RO	H'00

(8) I/O Base/I/O Limit/Secondary Status Register (H'01C)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
3 to 0	I/O Base Addressing Capability PS/PPB supports 32-bit I/O address decoding.	O	O	O	O	RO	0001
7 to 4	I/O Base Address [15:12] This field is used as I/O Base Address [15:12]. PS/PPB assumes that the lower 12 address bits of the I/O base address are zero (I/O Base Address [11:0] = H'000).	O	O	O	O	RW	1111
11 to 8	I/O Limit Addressing Capability PS/PPB supports 32-bit I/O address decoding.	O	O	O	O	RO	0001
15 to 12	I/O Limit Address [15:12] This field is used as I/O Limit Address [15:12]. PS/PPB assumes that the lower 12 address bits of the I/O limit address are one (I/O Limit Address [11:0] = H'FFF).	O	O	O	O	RW	0000
20 to 16	(Reserved)	O	O	O	O	RsvdP	00000
21	66 MHz Capable This function is not supported.	O	O	O	O	RO	0
22	(Reserved)	O	O	O	O	RsvdP	0
23	Fast Back-to-Back Transactions Capable This function is not supported.	O	O	O	O	RO	0

Bit(s)	Description	Functions Up	D0	D1	Br	Type	Initial Value
24	Master Data Parity Error 0: No uncorrectable data error detected on the secondary interface. 1: Uncorrectable data error detected on the secondary interface.	O	O	O	O	RW1C	0
26, 25	$\overline{\text{DEVSEL}}$ Timing This function is not supported.	O	O	O	O	RO	00
27	Signaled Target-Abort 0: Target-Abort not signaled on secondary interface. 1: Target-Abort signaled on secondary interface.	O	O	O	O	RW1C	0
28	Received Target-Abort 0: Target-Abort not detected on secondary interface. 1: Target-Abort detected on secondary interface.	O	O	O	O	RW1C	0
29	Received Master-Abort 0: Master-Abort not detected on secondary interface. 1: Master-Abort detected on secondary interface.	O	O	O	O	RW1C	0
30	Received System Error 0: $\overline{\text{SERR}}$ assertion on the secondary interface has not been detected. 1: $\overline{\text{SERR}}$ assertion on the secondary interface has been detected.	O	O	O	O	RW1C	0
31	Detected Parity Error 0: Uncorrectable address, attribute, or data error not detected on secondary interface 1: Uncorrectable address, attribute, or data error detected on secondary interface	O	O	O	O	RW1C	0

(9) Memory Base/Memory Limit Register (H'020)

Bit(s)	Description	Functions Up	D0	D1	Br	Type	Initial Value
3 to 0	(Reserved)	O	O	O	O	RsvdP	0000
15 to 4	Memory Base Address [31:20] This field is used as Memory Base Address [31:20]. PS/PPB assumes that the lower 20 address bits of the memory base address are zero (Memory Base Address [19:0] = H'00000).	O	O	O	O	RW	H'FFF
19 to 16	(Reserved)	O	O	O	O	RsvdP	0000
31 to 20	Memory Limit Address [31:20] This field is used as Memory Limit Address [31:20]. PS/PPB assumes that the lower 20 address bits of the memory limit address are one (Memory Limit Address [19:0] = H'FFFFF).	O	O	O	O	RW	H'000

(10) Prefetchable Memory Base/Prefetchable Memory Limit Register (H'024)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
3 to 0	Prefetchable Memory Base Capability PS/PPB supports 64-bit addresses for Prefetchable Memory access.	O	O	O	O	RO	0001
15 to 4	Prefetchable Memory Base Address [31:20] This field is used as Prefetchable Memory Base Address [31:20]. PS/PPB assumes that the lower 20 address bits of the prefetchable memory base address are zero (Prefetchable Memory Base Address [19:0] = H'00000).	O	O	O	O	RW	H'FFF
19 to 16	Prefetchable Memory Limit Capability PS/PPB supports 64-bit addresses for Prefetchable Memory access.	O	O	O	O	RO	0001
31 to 20	Prefetchable Memory Limit Address [31:20] This field is used as Prefetchable Memory Limit Address [31:20]. PS/PPB assumes that the lower 20 address bits of the prefetchable memory limit address are one (Prefetchable Memory Limit Address [19:0] = H'FFFFF).	O	O	O	O	RW	H'000

(11) Prefetchable Base Upper 32 bits Register (H'028)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	Prefetchable Base Upper 32 bits This field is used as Prefetchable Memory Base Address [63:32].	O	O	O	O	RW	H'0000 0000

(12) Prefetchable Limit Upper 32 bits Register (H'02C)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	Prefetchable Limit Upper 32 bits This field is used as Prefetchable Memory Limit Address [63:32].	O	O	O	O	RW	H'0000 0000

(13) I/O Base Upper 16 bits/I/O Limit Upper 16 bits Register (H'030)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
15 to 0	I/O Base Upper 16 Bits This field is used as I/O Base Address [31:16].	O	O	O	O	RW	H'0000
31 to 16	I/O Limit Upper 16 Bits This field is used as I/O Limit Address [31:16].	O	O	O	O	RW	H'0000

(14) Capability Pointer Register (H'034)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Capability Pointer This field is used to point to a linked list of additional capabilities implemented by PS/PPB.	O	O	O	O	RO	H'40
31 to 8	(Reserved)	O	O	O	O	RsvdP	H'000000

(15) Expansion ROM Base Address Register (H'038)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	Expansion ROM Base Address This function is not supported	O	O	O	O	RO	H'0000 0000

(16) Int Line/Int Pin /Bridge Control Register (H'03C)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Interrupt Line This field is used to communicate interrupt line routing information, but PS/PPB does not use this value.	O	O	O	O	RW	H'00
15 to 8	Interrupt Pin The Interrupt Pin register is used to indicate which interrupt virtual wire. PS/PPB has no legacy interrupt message.	O	O	O	O	RO	H'00
16	Parity Error Response Enable 0: Ignore uncorrectable address, attribute, and data errors on the secondary interface. 1: Enable uncorrectable address, attribute, and data error detection and reporting on the secondary interface.	O	O	O	O	RW	0
17	$\overline{\text{SERR}}$ Enable 0: Disable the forwarding of $\overline{\text{SERR}}$ from the secondary interface to ERR_FATAL and ERR_NONFATAL ($\overline{\text{SERR}}$ might still be forwarded if the $\overline{\text{SERR}}$ Advanced Error mask bit is cleared). 1: Enable the forwarding of secondary $\overline{\text{SERR}}$ to ERR_FATAL or ERR_NONFATAL.	O	O	O	O	RW	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
18	ISA Enable 0: Forward downstream all I/O addresses in the address range defined by the I/O Base and I/O Limit registers. 1: Forward upstream ISA I/O addresses in the address range defined by the I/O Base and I/O Limit registers that are in the first 64 Kbytes of the PCI I/O address space (top 768 bytes of each 1-Kbyte block).	O	O	O	O	RW	0
19	VGA Enable 0: Do not forward VGA compatible memory and I/O addresses from the primary to the secondary interface unless they are enabled for forwarding by the defined I/O and memory address ranges. 1: Forward VGA compatible memory and I/O addresses from the primary interface to the secondary interface (if the I/O Enable and Memory Enable bits are set) independent of the I/O and memory address ranges and independent of the ISA Enable bit.	O	O	O	O	RW	0
20	VGA 16-Bit Decode 0: Execute 10-bit address decodes on VGA I/O accesses. 1: Execute 16-bit address decodes on VGA I/O accesses.	O	O	O	O	RW	0
21	Master-Abort Mode	—	—	—	O	RW	0
	0: Do not report Master-Aborts. When a UR response is received from PCI Express for non-posted transactions, and when the secondary side is operating in conventional PCI mode, return H'FFFF FFFF on reads and complete I/O writes normally. When a Master-Abort is received on the secondary interface for posted transactions initiated from the primary interface, no action is taken (i.e., all data is discarded). 1: Report UR Completions from PCI Express by signaling Target-Abort on the secondary interface when the secondary interface is operating in conventional PCI mode. For posted transactions initiated from the primary interface and Master-Aborted on the secondary interface, the PS/PPB returns an ERR_NONFATAL (by default) or ERR_FATAL transaction (provided the $\overline{\text{SERR}}$ Enable bit is set in the Command register).	O	O	O	—	RO	0
22	Secondary Bus Reset 0: Do not force the assertion of the secondary interface $\overline{\text{RST}}$. 1: Force the assertion of the secondary interface $\overline{\text{RST}}$.	O	O	O	O	RW	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
23	Fast Back-to-Back Enable This function is not supported.	O	O	O	O	RO	0
24	Primary Discard Timer This function is not supported.	O	O	O	O	RO	0
25	Secondary Discard Timer	O	O	O	—	RO	0
	This function is not supported.	—	—	—	O	RW	0
26	Discard Timer Status This function is not supported.	O	O	O	O	RO	0
27	Discard Timer $\overline{\text{SERR}}$ Enable	O	O	O	—	RO	0
	This function is not supported.	—	—	—	O	RW	0
31 to 28	(Reserved)	O	O	O	O	RsvdP	0000

35.6.1.2.2.3. PCI Power Management Capability Registers

b31				b0	Address
Power Management Capabilities			Next Pointer	Capability ID	H'040
Data	PMCSR_BSE Ext.	PMCSR			H'044

(1) Capability ID/Next Pointer/Power Management Capabilities Register (H'040)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
7 to 0	Capability ID This field, when H'01 identifies the linked list item as being the PCI Power Management registers.	O	O	O	O	RO	H'01
15 to 8	Next Capability Pointer This field provides an offset into the function's PCI Configuration Space pointing to the location of next item in the function's capability list.	O	O	O	O	RO	H'50
18 to 16	Version A value of 011 indicates that this function complies with revision 1.2 of the PCI Power Management Interface Specification.	O	O	O	O	RO	011
19	PME Clock This function is not supported.	O	O	O	O	RO	0
20	(Reserved)	O	O	O	O	RsvdP	0
21	Device-Specific Initialization This function is not supported.	O	O	O	O	RO	0
24 to 22	AUX Current This function is not supported.	O	O	O	O	RO	000
25	D1 Support This function is not supported.	O	O	O	O	RO	0
26	D2 Support This function is not supported.	O	O	O	O	RO	0
31 to 27	PME Support	O	O	O	—	RO	11001
	Bits 31, 30, and 27 must be set for PCI-PCI Bridge structures representing Ports on Switches to indicate that the Bridge will forward PME Messages. b31: PME message can be issued from D3cold b30: PME message can be issued from D3hot b29: PME message can be issued from D2 b28: PME message can be issued from D1 b27: PME message can be issued from D0	—	—	—	O	RO	00000

(2) PMCSR/PMCSR_BSE Ext./Data Register (H'044)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
1, 0	Power State This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state. The definition of the field values is given below. 00 - D0 01 - D1 (unsupported) 10 - D2 (unsupported) 11 - D3hot	O	O	O	O	RW	00
2	(Reserved)	O	O	O	O	RsvdP	0
3	No Soft Reset Indicates that PS/PPB transitioning from D3hot to D0 because of PowerState commands do not perform an internal reset.	O	O	O	O	RO	1
7 to 4	(Reserved)	O	O	O	O	RsvdP	0000
8	PME Enable 0: PME message generation is disabled. 1: PME message generation is enabled.	O	O	O	O	RWS	0
12 to 9	Data Select This function is not supported.	O	O	O	O	RO	0000
14, 13	Data Scale This function is not supported.	O	O	O	O	RO	00
15	PME Status This bit is set when the function would normally generate the PME message independent of the state of the PME_En bit. Writing 1 to this bit will clear it. Writing 0 has no effect.	O	O	O	O	RW1CS	0
21 to 16	(Reserved)	O	O	O	O	RsvdP	000000
22	B2/B3 Support This function is not supported.	O	O	O	O	RO	0
23	Bus Power/Clock Control Enable This function is not supported.	O	O	O	O	RO	0
31 to 24	Data This function is not supported.	O	O	O	O	RO	H'00

35.6.1.2.2.4. MSI Capability Registers

b31			b0	Address
Message Control		Next Pointer	Capability ID	H'050
Message Address				H'054
Message Upper Address				H'058
reserved		Message Data		H'05C

(1) Capability ID/Next Pointer/Message Control Register (H'050)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
7 to 0	Capability ID The value of H'05 in this field identifies the function as being MSI capable.	O	O	O	O	RO	H'05
15 to 8	Next Capability Pointer This field provides an offset into the function's PCI Configuration Space pointing to the location of next item in the function's capability list.	O	O	O	O	RO	H'70
16	MSI Enable 0: PS/PPB does not use MSI to request service 1: PS/PPB uses MSI to request service and does not generate INTx Assert/Deassert Message.	O	O	O	O	RW	0
19 to 17	Multiple Message Capable System software reads this field to determine the number of requested vectors. The encoding of vectors requested is defined as: 000: 1 001: 2 010: 4 011: 8 100: 16 101: 32 110: Reserved 111: Reserved	O	O	O	O	RO	000
22 to 20	Multiple Message Enable Software writes to this field to indicate the number of allocated vectors (equal to or less than the number of requested vectors). The encoding rule is same as Multiple Message Capable.	O	O	O	O	RW	000
23	MSI 64-Bit Address Capable PS/PPB is capable of sending a 64-bit message address.	O	O	O	O	RO	1
24	Per Vector Masking Capable This function is not supported.	O	O	O	O	RO	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 25	(Reserved)	O	O	O	O	RsvdP	0000000

(2) Message Address Register (H'054)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
1, 0	(Reserved)	O	O	O	O	RsvdP	00
31 to 2	Message Address If the Message Enable bit (bit 0 of the Message Control register) is set, the contents of this register specify the DWORD-aligned address (Address [31:2]) for the MSI memory write request. Address [1:0] are fixed to zero.	O	O	O	O	RW	H'0000 0000

(3) Message Upper Address Register (H'058)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	Message Upper Address If the Message Enable bit (bit 0 of the Message Control register) is set, the contents of this register (if non-zero) specify the upper 32-bits of a 64-bit message address (Address [63:32]). If the contents of this register are zero, PS/PPB uses the 32-bit address specified by the message address register.	O	O	O	O	RW	H'0000 0000

(4) Message Data Register (H'05C)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
15 to 0	Message Data If the Message Enable bit (bit 0 of the Message Control register) is set, the message data is used as the lower word (Data [15:0]) of the memory write request. Data [31:16] are fixed to zero.	O	O	O	O	RW	H'0000
31 to 16	(Reserved)	O	O	O	O	RsvdP	H'0000

35.6.1.2.2.5. PCI Express Capability Registers

b31			b0	Address
PCIe Capability	Next Cap Pointer	PCIe Cap ID		H'070
Device Capabilities				H'074
Device Status	Device Control			H'078
Link Capabilities				H'07C
Link Status	Link Control			H'080
Slot Capabilities*				H'084
Slot Status*	Slot Control*			H'088
Root Capabilities*	Root Control*			H'08C
Root Status*				H'090
Device Capabilities 2*				H'094
Device Status 2*	Device Control 2*			H'098
Link Capabilities 2*				H'09C
Link Status 2*	Link Control 2*			H'0A0
Slot Capabilities 2*				H'0A4
Slot Status 2*	Slot Control 2*			H'0A8

Note: * PS/PPB does not implement these registers. These spaces are hardwired to 0, with the exception of the Presence Detect State bit in the Slot Status register of Downstream Ports, which is hardwired to 1.

(1) PCIe Cap ID/Next Cap Pointer/PCIe Capability Register (H'070)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Capability ID Indicates the PCI Express Capability structure. This field must return a Capability ID of H'10 indicating that this is a PCI Express Capability structure.	O	O	O	O	RO	H'10
15 to 8	Next Capability Pointer This field contains the offset to the next PCI Capability structure or H'00 if no other items exist in the linked list of capabilities.	O	O	O	O	RO	H'B0
19 to 16	Capability Version Indicates PCI-SIG defined PCI Express Capability structure version number.	O	O	O	O	RO	0010
23 to 20	Device/Port Type	O	—	—	—	RO	0101
	0000: PCI Express Endpoint	—	O	O	—	RO	0110
	0001: Legacy PCI Express Endpoint	—	—	—	O	RO	0111
	0100: Root Port of PCI Express Root Complex 0101: Upstream Port of PCI Express Switch 0110: Downstream Port of PCI Express Switch 0111: PCI Express to PCI/PCI-X Bridge 1000: PCI/PCI-X to PCI Express Bridge 1001: Root Complex Integrated Endpoint 1010: Root Complex Event Collector						
24	Slot Implemented This function is not supported.	O	O	O	O	RO	0
29 to 25	Interrupt Message Number The value in this field indicates the offset between the base Message Data and the interrupt message that is generated. Hardware is required to update this field so that it is correct if the number of MSI Messages assigned to the Function changes when software writes to the Multiple Message Enable field in the MSI Message Control register.	O	O	O	O	RO	00000
31, 30	(Reserved)	O	O	O	O	RsvdP	00

(2) Device Capabilities Register (H'074)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
2 to 0	Max_Payload_Size Supported 128 bytes max payload size supported.	O	O	O	O	RO	000
4, 3	Phantom Functions Supported This function is not supported.	O	O	O	O	RO	00

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
5	Extended Tag Field Supported 8-bit Tag field supported	O	O	O	O	RO	1
8 to 6	Endpoint L0s Acceptable Latency This function is not supported.	O	O	O	O	RO	000
11 to 9	Endpoint L1 Acceptable Latency This function is not supported.	O	O	O	O	RO	000
14 to 12	(Reserved)	O	O	O	O	RsvdP	000
15	Role-Based Error Reporting This bit must be set by all functions conforming to the ECN, PCI Express Base Specification, Revision 1.1, or subsequent PCI Express Base Specification revisions.	O	O	O	O	RO	1
17, 16	(Reserved)	O	O	O	O	RsvdP	00
25 to 18	Captured Slot Power Limit Value This function is not supported.	O	O	O	O	RO	H'00
27, 26	Captured Slot Power Limit Scale This function is not supported.	O	O	O	O	RO	00
28	Function Level Reset Capability This function is not supported.	O	O	O	O	RO	0
31 to 29	(Reserved)	O	O	O	O	RsvdP	000

(3) Device Control/Device Status Register (H'078)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
0	Correctable Error Reporting Enable This bit, in conjunction with other bits, controls sending ERR_COR Messages.	O	O	O	O	RW	0
1	Non-Fatal Error Reporting Enable This bit, in conjunction with other bits, controls sending ERR_NONFATAL Messages.	O	O	O	O	RW	0
2	Fatal Error Reporting Enable This bit, in conjunction with other bits, controls sending ERR_FATAL Messages.	O	O	O	O	RW	0
3	Unsupported Request Reporting Enable This bit, in conjunction with other bits, controls the signaling of Unsupported Requests by sending error Messages.	O	O	O	O	RW	0
4	Enable Relaxed Ordering If this bit is Set, the Function is permitted to set the Relaxed Ordering bit in the Attributes field of transactions it initiates that do not require strong write ordering.	O	O	O	O	RW	1

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 5	Max_Payload_Size PS/PPB supports only the 128-byte max payload size.	O	O	O	O	RO	000
8	Extended Tag Field Enable When Set, this bit enables a Function to use an 8-bit Tag field as a Requester. If the bit is Clear, PS/PPB is restricted to a 5-bit Tag field.	O	O	O	O	RW	1
9	Phantom Functions Enable This function is not supported.	O	O	O	O	RO	0
10	Auxiliary (AUX) Power PM Enable This function is not supported.	O	O	O	O	RO	0
11	Enable No Snoop If this bit is Set, the Function is permitted to Set the No Snoop bit in the Requester Attributes of transactions it initiates that do not require hardware enforced cache coherency.	O	O	O	O	RW	1
14 to 12	Max_Read_Request_Size These bits are hardwired to 0, because PS/PPB does not generate Read Requests on its own behalf.	O	O	O	O	RO	000
15	Bridge Configuration Retry Enable	O	O	O	—	RsvdP	0
	For PCI Express to PCI/PCI-X Bridges, when Set, this bit enables PCI Express to PCI/PCI-X bridges to return Configuration Request Retry Status (CRS) in response to Configuration Requests that target devices below the bridge. For all others, this bit is a reserved bit.	—	—	—	O	RW	0
16	Correctable Error Detected This bit indicates status of correctable errors detected. Errors are logged in this register regardless of whether error reporting is enabled or not in the Device Control register.	O	O	O	O	RW1C	0
17	Non-Fatal Error Detected This bit indicates status of Nonfatal errors detected. Errors are logged in this register regardless of whether error reporting is enabled or not in the Device Control register.	O	O	O	O	RW1C	0
18	Fatal Error Detected This bit indicates status of Fatal errors detected. Errors are logged in this register regardless of whether error reporting is enabled or not in the Device Control register.	O	O	O	O	RW1C	0

Bit(s)	Description	Functions Up	D0	D1	Br	Type	Initial Value
19	Unsupported Request Detected This bit indicates that the Function received an Unsupported Request. Errors are logged in this register regardless of whether error reporting is enabled or not in the Device Control register.	O	O	O	O	RW1C	0
20	AUX Power Detected This function is not supported.	O	O	O	O	RO	0
21	Transactions Pending This function is not supported.	O	O	O	O	RO	0
31 to 22	(Reserved)	O	O	O	O	RsvdP	H'000

(4) Link Capabilities Register (H'07C)

Bit(s)	Description	Functions Up	D0	D1	Br	Type	Initial Value
3 to 0	Supported Link Speeds 0001: 2.5 GT/s Link speed supported 0010: 5.0 GT/s and 2.5 GT/s Link speeds supported	O	O	O	O	RO	0001
9 to 4	Maximum Link Width 000001: x1	O	O	O	O	RO	000001
11, 10	Active State Power Management (ASPM) Support	O	—	—	—	RO	01
	00 : No ASPM Support 01 : L0s Supported 10 : L1 Supported 11 : L0s and L1 Supported	—	O	O	O	RO	00
14 to 12	L0s Exit Latency 111: More than 4 μs	O	O	O	O	RO	111
17 to 15	L1 Exit Latency 111: More than 64 μs	O	O	O	O	RO	111
18	Clock Power Management This function is not supported.	O	O	O	O	RO	0
19	Surprise Down Error Reporting Capable This function is not supported.	O	O	O	O	RO	0
20	Data Link Layer Link Active Reporting Capable This function is not supported.	O	O	O	O	RO	0
21	Link Bandwidth Notification Capability This function is not supported.	O	O	O	O	RO	0
22	ASPM Optionality Compliance This bit must be set to 1 to indicate hardware that conforms to PCI Express Base Specification, Revision 2.1.	O	O	O	O	Hwlnit	1
23	(Reserved)	O	O	O	O	RsvdP	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 24	Port Number	O	O	—	O	RO	H'00
	This field indicates the PCI Express Port number for the given PCI Express Link.	—	—	O	—	RO	H'01

(5) Link Control/Link Status Register (H'080)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
1, 0	Active State Power Management (ASPM) Control 00: Disabled 01: L0s Entry Enabled 10 to 11: Reserved	O	O	O	O	RW	00
2	(Reserved)	O	O	O	O	RsvdP	0
3	Read Completion Boundary (RCB)	O	O	O	—	RO	0
	For PCIe-PCI Bridge, this field indicates as below, 0: 64 bytes 1: 128 bytes For Switch Ports, this bit is reserved.	—	—	—	O	RW	0
4	Link Disable	—	O	O	—	RW	0
	This bit disables the Link by directing the LTSSM to the Disabled state when Set. Writes to this bit are immediately reflected in the value read from the bit, regardless of actual Link state. For Upstream Port of Switch, and PCIe-PCI Bridge, this bit is reserved.	O	—	—	O	RO	0
5	Retrain Link A write of 1 to this bit initiates Link retraining by directing the Physical Layer LTSSM to the Recovery state. If the LTSSM is already in Recovery or Configuration, re-entering Recovery is permitted but not required. Reads of this bit always return 0. For Upstream Port of Switch, and PCIe-PCI Bridge, this bit is reserved	—	O	O	—	RW	0
		O	—	—	O	RO	0
6	Common Clock Configuration When Set, this bit indicates that this component and the component at the opposite end of this Link are operating with a distributed common reference clock. A value of 0 indicates that this component and the component at the opposite end of this Link are operating with asynchronous reference clock.	O	O	O	O	RW	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7	Extended Synch When Set, this bit forces the transmission of additional Ordered Sets when exiting the L0s state and when in the Recovery state.	O	O	O	O	RW	0
8	Enable Clock Power Management This function is not supported.	O	O	O	O	RO	0
9	Hardware Autonomous Width Disable This function is not supported.	O	O	O	O	RO	0
10	Link Bandwidth Management Interrupt Enable This function is not supported.	O	O	O	O	RO	0
11	Link Autonomous Bandwidth Interrupt Enable This function is not supported.	O	O	O	O	RO	0
15 to 12	(Reserved)	O	O	O	O	RsvdP	0000
19 to 16	Current Link Speed 0001: 2.5 GT/s PCI Express Link	O	O	O	O	RO	0001
25 to 20	Negotiated Link Width 000001: x1	O	O	O	O	RO	000001
26	(Reserved)	O	O	O	O	RsvdP	0
27	Link Training	—	O	O	—	RO	0
	This read-only bit indicates that the Physical Layer LTSSM is in the Configuration or Recovery state, or that 1 was written to the Retrain Link bit but Link training has not yet begun. Hardware clears this bit when the LTSSM exits the Configuration/Recovery state. This bit is not applicable and reserved for Endpoints, PCI Express to PCI/PCI-X bridges, and Upstream Ports of Switches, and must be hardwired to 0.	O	—	—	O	RsvdP	0
28	Slot Clock Configuration This bit indicates that the component uses the same physical reference clock that the platform provides on the connector.	O	O	O	O	HwInit	1
29	Data Link Layer Link Active This function is not supported.	O	O	O	O	RO	0
30	Link Bandwidth Management Status This function is not supported.	O	O	O	O	RO	0
31	Link Autonomous Bandwidth Status This function is not supported.	O	O	O	O	RO	0

(6) Slot Capabilities Register (H'084)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(7) Slot Control/Slot Status Register (H'088)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	—	—	O	RO	H'0000 0000
	Note that the Presence Detect bit of Downstream Port is hardwired to 1.	—	O	O	—	RO	H'0040 0000

(8) Root Control/Root Capabilities Register (H'08C)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(9) Root Status Register (H'090)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(10) Device Capabilities 2 Register (H'094)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(11) Device Control 2/Device Status 2 Register (H'098)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(12) Link Capabilities 2 Register (H'09C)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(13) Link Control 2/Link Status 2 Register (H'0A0)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(14) Slot Capabilities 2 Register (H'0A4)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

(15) Slot Control 2/Slot Status 2 Register (H'0A8)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	This register is not supported.	O	O	O	O	RO	H'0000 0000

35.6.1.2.2.6. Subsystem ID and Subsystem Vendor ID Capability Registers

b31		b0	Address
Reserved	Next Cap Pointer	PCIe Cap ID	H’0B0
SSID	SSVID		H’0B4

(1) PCIe Cap ID/Next Cap Pointer Register (H’0B0)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
7 to 0	Capability ID Indicates the SSID/SSVID Capability structure. This field must return a Capability ID of H’0D indicating that this is a SSID/SSVID Capability structure.	O	O	O	O	RO	H'0D
15 to 8	Next Capability Pointer This field contains the offset to the next PCI Capability structure or H’00 if no other items exist in the linked list of capabilities.	O	O	O	O	RO	H’00
31 to 16	(Reserved)	O	O	O	O	RsvdP	H’0000

(2) SSVID/SSID Register (H’0B4)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
15 to 0	SSVID The Vendor ID (H’1912) is used as the SSVID.	O	O	O	O	RO	H'1912
31 to 16	SSID The Device ID (H’001D/H’001A) is used as the SSID.	O	O	O	-	RO	H’001D
		-	-	-	O	RO	H’001A

35.6.1.2.2.7. Advanced Error Reporting Capability

b31	b0	Address
PCIe Enhanced Capability Header		H'100
Uncorrectable Error Status		H'104
Uncorrectable Error Mask		H'108
Uncorrectable Error Severity		H'10C
Reserved	Correctable Error Status	H'110
Reserved	Correctable Error Mask	H'114
Reserved	Advanced Error Capabilities and Control	H'118
Header Log (1st DW)		H'11C
Header Log (2nd DW)		H'120
Header Log (3rd DW)		H'124
Header Log (4th DW)		H'128
Reserved	Secondary Uncorrectable Error Status	H'12C
Reserved	Secondary Uncorrectable Error Mask	H'130
Reserved	Secondary Uncorrectable Error Severity	H'134
Reserved	Secondary Error Capabilities and Control	H'138
Secondary Header Log (1st DW)		H'13C
Secondary Header Log (2nd DW)		H'140
Secondary Header Log (3rd DW)		H'144
Secondary Header Log (4th DW)		H'148

(1) PCIe Enhanced Capability Header Register (H'100)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
15 to 0	PCI Express Extended Capability ID This field is a PCI-SIG defined ID number that indicates the nature and format of the Extended Capability. The Extended Capability ID for the Advanced Error Reporting Capability is H'0001.	O	O	O	O	RO	H'0001
19 to 16	Capability Version This field is a PCI-SIG defined version number that indicates the version of the Capability structure present.	O	O	O	O	RO	0001

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 20	Next Capability Offset	—	—	O	—	RO	H'150
	This field contains the offset to the next PCI Express Capability structure or H'000 if no other items exist in the linked list of Capabilities. For Extended Capabilities implemented in Configuration Space, this offset is relative to the beginning of PCI compatible Configuration Space and thus must always be either H'000 (for terminating list of Capabilities) or greater than H'0FF.	O	O	—	O	RO	H'000

(2) Uncorrectable Error Status Register (H'104)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
3 to 0	(Reserved)	O	O	O	O	RsvdP	0000
4	Data Link Protocol Error Status	O	—	—	—	RW1CS	0
	0: No error is detected	—	O	O	O	RO	0
	1: Error is detected						
5	Surprise Down Error Status	O	—	—	—	RW1CS	0
	0: No error is detected	—	O	O	O	RO	0
	1: Error is detected.						
11 to 6	(Reserved)	O	O	O	O	RsvdZ	000000
12	Poisoned TLP Status	O	O	O	O	RW1CS	0
	0: No error is detected						
	1: Error is detected						
13	Flow Control Protocol Error Status	O	O	O	O	RO	0
	This function is not supported.						
14	Completion Timeout Status	O	O	O	O	RO	0
	This function is not supported.						
15	Completer Abort Status	O	O	O	O	RW1CS	0
	0: No error is detected						
	1: Error is detected						
16	Unexpected Completion Status	O	O	O	O	RW1CS	0
	0: No error is detected						
	1: Error is detected						
17	Receiver Overflow Status	O	—	—	—	RW1CS	0
	0: No error is detected	—	O	O	O	RO	0
	1: Error is detected						
18	Malformed TLP Status	O	O	O	O	RW1CS	0
	0: No error is detected						
	1: Error is detected						

Bit(s)	Description	Functions Up	D0	D1	Br	Type	Initial Value
19	ECRC Error Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
20	Unsupported Request Error Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
21	ACS Violation Status	—	—	O	—	RW1CS	0
	0: No error is detected 1: Error is detected	O	O	—	O	RO	0
22	Uncorrectable Internal Error Status This function is not supported.	O	O	O	O	RO	0
23	MC Blocked TLP Status This function is not supported.	O	O	O	O	RO	0
24	AtomicOp Egress Blocked Status This function is not supported.	O	O	O	O	RO	0
25	TLP Prefix Blocked Error Status This function is not supported.	O	O	O	O	RO	0
31 to 26	(Reserved)	O	O	O	O	RsvdZ	000000

(3) Uncorrectable Error Mask Register (H'108)

Bit(s)	Description	Functions Up	D0	D1	Br	Type	Initial Value
3 to 0	(Reserved)	O	O	O	O	RsvdP	0000
4	Data Link Protocol Error Mask 0: Enable to record or reported in the Header Log register and update the First Error Pointer. 1: Disable to record or reported in the Header Log register and update the First Error Pointer.	O	O	O	O	RWS	0
5	Surprise Down Error Mask	O	—	—	—	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer. 1: Disable to record or reported in the Header Log register and update the First Error Pointer.	—	O	O	O	RO	0
11 to 6	(Reserved)	O	O	O	O	RsvdP	000000
12	Poisoned TLP Mask 0: Enable to record or reported in the Header Log register and update the First Error Pointer. 1: Disable to record or reported in the Header Log register and update the First Error Pointer.	O	O	O	O	RWS	0
13	Flow Control Protocol Error Mask This function is not supported.	O	O	O	O	RO	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
14	Completion Timeout Mask	O	O	O	—	RO	0
	This function is not supported.	—	—	—	O	RWS	0
15	Completer Abort Mask	O	O	O	O	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer.						
	1: Disable to record or reported in the Header Log register and update the First Error Pointer.						
16	Unexpected Completion Mask	O	O	O	O	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer.						
	1: Disable to record or reported in the Header Log register and update the First Error Pointer.						
17	Receiver Overflow Mask	O	—	—	—	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer.	—	O	O	O	RO	0
	1: Disable to record or reported in the Header Log register and update the First Error Pointer.						
18	Malformed TLP Mask	O	O	O	O	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer.						
	1: Disable to record or reported in the Header Log register and update the First Error Pointer.						
19	ECRC Error Mask	O	O	O	O	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer.						
	1: Disable to record or reported in the Header Log register and update the First Error Pointer.						
20	Unsupported Request Error Mask	O	O	O	O	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer.						
	1: Disable to record or reported in the Header Log register and update the First Error Pointer.						
21	ACS Violation Mask	—	—	O	—	RWS	0
	0: Enable to record or reported in the Header Log register and update the First Error Pointer.	O	O	—	O	RO	0
	1: Disable to record or reported in the Header Log register and update the First Error Pointer.						
22	Uncorrectable Internal Error Mask	O	O	O	O	RO	1
	This function is not supported.						
23	MC Blocked TLP Mask	O	O	O	O	RO	0
	This function is not supported.						
24	AtomicOp Egress Blocked Mask	O	O	O	O	RO	0
	This function is not supported.						

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
25	TLP Prefix Blocked Error Mask This function is not supported.	O	O	O	O	RO	0
31 to 26	(Reserved)	O	O	O	O	RsvdP	000000

(4) Uncorrectable Error Severity Register (H'10C)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
3 to 0	(Reserved)	O	O	O	O	RsvdP	0000
4	Data Link Protocol Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	O	O	O	O	RWS	1
5	Surprise Down Error Severity	O	—	—	—	RWS	1
	0: Report as a non-fatal error	—	O	O	O	RO	1
	1: Report as a fatal error.						
11 to 6	(Reserved)	O	O	O	O	RsvdP	000000
12	Poisoned TLP Severity 0: Report as a non-fatal error 1: Report as a fatal error	O	O	O	O	RWS	0
13	Flow Control Protocol Error Severity This function is not supported.	O	O	O	O	RO	1
14	Completion Timeout Error Severity	O	O	O	—	RO	0
	This function is not supported.	—	—	—	O	RWS	0
15	Completer Abort Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	O	O	O	O	RWS	0
16	Unexpected Completion Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	O	O	O	O	RWS	0
17	Receiver Overflow Error Severity	O	—	—	—	RWS	1
	0: Report as a non-fatal error	—	O	O	O	RO	1
	1: Report as a fatal error						
18	Malformed TLP Severity 0: Report as a non-fatal error 1: Report as a fatal error	O	O	O	O	RWS	1
19	ECRC Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	O	O	O	O	RWS	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
20	Unsupported Request Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	O	O	O	O	RWS	0
21	ACS Violation Severity	—	—	O	—	RWS	0
	0: Report as a non-fatal error	O	O	—	O	RO	0
	1: Report as a fatal error						
22	Uncorrectable Internal Error Severity This function is not supported.	O	O	O	O	RO	1
23	MC Blocked TLP Severity This function is not supported.	O	O	O	O	RO	0
24	AtomicOps Egress Blocked Severity This function is not supported.	O	O	O	O	RO	0
25	TLP Prefix Blocked Error Severity This function is not supported.	O	O	O	O	RO	0
31 to 26	(Reserved)	O	O	O	O	RsvdP	000000

(5) Correctable Error Status Register (H'110)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
0	Receiver Error Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
5 to 1	(Reserved)	O	O	O	O	RsvdZ	00000
6	Bad TLP Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
7	Bad DLLP Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
8	REPLAY_NUM Rollover Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
11 to 9	(Reserved)	O	O	O	O	RsvdZ	000
12	Replay Timer Timeout Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
13	Advisory Non-Fatal Error Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
14	Corrected Internal Error Status This function is not supported.	O	O	O	O	RO	0
15	Header Log Overflow Status 0: No error is detected 1: Error is detected	O	O	O	O	RW1CS	0
31 to 16	(Reserved)	O	O	O	O	RsvdZ	H'0000

(6) Correctable Error Mask Register (H'114)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
0	Receiver Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	O	O	O	O	RWS	0
5 to 1	(Reserved)	O	O	O	O	RsvdP	00000
6	Bad TLP Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	O	O	O	O	RWS	0
7	Bad DLLP Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	O	O	O	O	RWS	0
8	REPLAY_NUM Rollover Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	O	O	O	O	RWS	0
11 to 9	(Reserved)	O	O	O	O	RsvdP	000
12	Replay Timer Timeout Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	O	O	O	O	RWS	0
13	Advisory Non-Fatal Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	O	O	O	O	RWS	1

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
14	Corrected Internal Error Mask This function is not supported.	O	O	O	O	RWS	1
15	Header Log Overflow Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	O	O	O	O	RWS	1
31 to 16	(Reserved)	O	O	O	O	RsvdP	H'0000

(7) Advanced Error Capabilities and Control Register (H'118)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
4 to 0	First Error Pointer The First Error Pointer is a field that identifies the bit position of the first error reported in the Uncorrectable Error Status register.	O	O	O	O	ROS	00000
5	ECRC Generation Capable If Set, this bit indicates that the Function is capable of generating ECRC.	O	O	O	O	RO	1
6	ECRC Generation Enable When Set, ECRC generation is enabled	O	O	O	O	RWS	0
7	ECRC Check Capable If Set, this bit indicates that the Function is capable of checking ECRC	O	O	O	O	RO	1
8	ECRC Check Enable When Set, ECRC checking is enabled	O	O	O	O	RWS	0
9	Multiple Header Recording Capable This function is not supported.	O	O	O	O	RO	0
10	Multiple Header Recording Enable This function is not supported.	O	O	O	O	RO	0
11	TLP Prefix Log Present This function is not supported.	O	O	O	O	RO	0
31 to 12	(Reserved)	O	O	O	O	RO	H'00000

(8) Header Log Register 1st DW (H'11C)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Header of TLP associated with error [byte 3]	O	O	O	O	ROS	H'00
15 to 8	Header of TLP associated with error [byte 2]	O	O	O	O	ROS	H'00
23 to 16	Header of TLP associated with error [byte 1]	O	O	O	O	ROS	H'00

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 24	Header of TLP associated with error [byte 0]	O	O	O	O	ROS	H'00

(9) Header Log Register 2nd DW (H'120)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Header of TLP associated with error [byte 7]	O	O	O	O	ROS	H'00
15 to 8	Header of TLP associated with error [byte 6]	O	O	O	O	ROS	H'00
23 to 16	Header of TLP associated with error [byte 5]	O	O	O	O	ROS	H'00
31 to 24	Header of TLP associated with error [byte 4]	O	O	O	O	ROS	H'00

(10) Header Log Register 3rd DW (H'124)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Header of TLP associated with error [byte 11]	O	O	O	O	ROS	H'00
15 to 8	Header of TLP associated with error [byte 10]	O	O	O	O	ROS	H'00
23 to 16	Header of TLP associated with error [byte 9]	O	O	O	O	ROS	H'00
31 to 24	Header of TLP associated with error [byte 8]	O	O	O	O	ROS	H'00

(11) Header Log Register 4th DW (H'128)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
7 to 0	Header of TLP associated with error [byte 15]	O	O	O	O	ROS	H'00
15 to 8	Header of TLP associated with error [byte 14]	O	O	O	O	ROS	H'00
23 to 16	Header of TLP associated with error [byte 13]	O	O	O	O	ROS	H'00
31 to 24	Header of TLP associated with error [byte 12]	O	O	O	O	ROS	H'00

(12) Secondary Uncorrectable Error Status Register (H'12C)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
0	Target-Abort on Split Completion Status This function is not supported.	—	—	—	O	RO	0
1	Master-Abort on Split Completion Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
2	Received Target-Abort Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
3	Received Master-Abort Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
4	(Reserved)	—	—	—	O	RsvdZ	0
5	Unexpected Split Completion Error Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
6	Uncorrectable Split Completion Message Data Error Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
7	Uncorrectable Data Error Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
8	Uncorrectable Attribute Error Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
9	Uncorrectable Address Error Status 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
10	Delayed Transaction Discard Timer Expired Status (No Header Log) 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
11	$\overline{\text{PERR}}$ Assertion Detected 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
12	$\overline{\text{SERR}}$ Assertion Detected (No Header Log) 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
13	Internal Bridge Error Status (No Header Log) 0: No error is detected 1: Error is detected	—	—	—	O	RW1CS	0
31 to 14	(Reserved)	—	—	—	O	RsvdZ	H'00000

(13) Secondary Uncorrectable Error Mask Register (H'130)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
0	Target-Abort on Split Completion Mask This function is not supported.	—	—	—	O	RO	0
1	Master-Abort on Split Completion Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	0
2	Received Target-Abort Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	0
3	Received Master-Abort Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	1
4	(Reserved)	—	—	—	O	RsvdP	0
5	Unexpected Split Completion Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	1
6	Uncorrectable Split Completion Message Data Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	0
7	Uncorrectable Data Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	1
8	Uncorrectable Attribute Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	1
9	Uncorrectable Address Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	1

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
10	Delayed Transaction Discard Timer Expired Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	1
11	$\overline{\text{PERR}}$ Assertion Detected Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	0
12	$\overline{\text{SERR}}$ Assertion Detected Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	1
13	Internal Bridge Error Mask 0: Enable to report to the PCI Express Root Complex via a PCI Express error Message. 1: Disable to report to the PCI Express Root Complex via a PCI Express error Message.	—	—	—	O	RWS	0
31 to 14	(Reserved)	—	—	—	O	RsvdP	H'00000

(14) Secondary Uncorrectable Error Severity Register (H'134)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
0	Target-Abort on Split Completion Severity This function is not supported.	—	—	—	O	RO	0
1	Master-Abort on Split Completion Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0
2	Received Target-Abort Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0
3	Received Master-Abort Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0
4	(Reserved)	—	—	—	O	RsvdP	0
5	Unexpected Split Completion Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
6	Uncorrectable Split Completion Message Data Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	1
7	Uncorrectable Data Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0
8	Uncorrectable Attribute Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	1
9	Uncorrectable Address Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	1
10	Delayed Transaction Discard Timer Expired Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0
11	$\overline{\text{PERR}}$ Assertion Detected Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0
12	$\overline{\text{SERR}}$ Assertion Detected Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	1
13	Internal Bridge Error Severity 0: Report as a non-fatal error 1: Report as a fatal error	—	—	—	O	RWS	0
31 to 14	(Reserved)	—	—	—	O	RsvdP	H'00000

(15) Secondary Error Capabilities and Control Register (H'138)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
4 to 0	Secondary Uncorrectable First Error Pointer This field indicates the bit position of the first error reported in the Secondary Uncorrectable Error Status register.	—	—	—	O	ROS	00000
31 to 5	(Reserved)	—	—	—	O	RsvdP	H'0000000

(16) Secondary Header Log Register 1st DW (H'13C)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	Transaction Address (2nd Address Phase) The 32-bit value transferred on AD[31:0] during the second address phases. In the case of a 32-bit address, bits this field will be set to zero.	—	—	—	O	ROS	H'0000 0000

(17) Secondary Header Log Register 2nd DW (H'140)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	Transaction Address (1st Address Phase) The 32-bit value transferred on AD[31:0] during the first address phases.	—	—	—	O	ROS	H'0000 0000

(18) Secondary Header Log Register 3rd DW (H'144)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
3 to 0	Transaction Attribute (C/$\overline{\text{BE}}$[3:0]) The 4-bit value transferred on C/$\overline{\text{BE}}$[3:0] during the attribute phase.	—	—	—	O	ROS	0000
7 to 4	Transaction Command Lower The 4-bit value transferred on C/$\overline{\text{BE}}$[3:0] during the first address phase.	—	—	—	O	ROS	0000
11 to 8	Transaction Command Upper The 4-bit value transferred on C/$\overline{\text{BE}}$[3:0] during the second address phase of a DAC transaction.	—	—	—	O	ROS	0000
31 to 20	(Reserved)	—	—	—	O	ROS	H'00000

(19) Secondary Header Log Register 4th DW (H'148)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	Transaction Attribute (AD[31:0]) The 32-bit value transferred on AD[31:0] during the attribute phase.	—	—	—	O	ROS	H'0000 0000

35.6.1.2.2.8. ACS Extended Capability

b31	b0	Address
ACS Extended Capability Header		H'150
ACS Control Register	ACS Capability Register	H'154

(1) ACS Extended Capability Header Register (H'150)

		Functions					
Bit(s)	Description	Up	D0	D1	Br	Type	Initial Value
15 to 0	PCI Express Extended Capability ID This field is a PCI-SIG defined ID number that indicates the nature and format of the Extended Capability. PCI Express Extended Capability ID for the ACS Extended Capability is H'000D.	—	—	O	—	RO	H'000D
19 to 16	Capability Version This field is a PCI-SIG defined version number that indicates the version of the Capability structure present.	—	—	O	—	RO	0001
31 to 20	Next Capability Offset This field contains the offset to the next PCI Express Extended Capability structure or H'000 if no other items exist in the linked list of Capabilities.	—	—	O	—	RO	H'000

(2) ACS Capability / ACS Control Register (H'154)

		Functions					
Bit(s)	Description	Up	D0	D1	Br	Type	Initial Value
0	ACS Source Validation (V) If 1, indicates that the component implements ACS Source Validation.	—	—	O	—	RO	1
1	ACS Translation Blocking (B) If 1, indicates that the component implements ACS Translation Blocking.	—	—	O	—	RO	1
2	ACS P2P Request Redirect (R) If 1, indicates that the component implements ACS P2P Request Redirect.	—	—	O	—	RO	1
3	ACS P2P Completion Redirect (C) If 1, indicates that the component implements ACS P2P Completion Redirect.	—	—	O	—	RO	1
4	ACS Upstream Forwarding (U) If 1, indicates that the component implements ACS Upstream Forwarding.	—	—	O	—	RO	1
5	ACS P2P Egress Control (E) This function is not supported.	—	—	O	—	RO	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
6	ACS Direct Translated P2P (T) If 1b, indicates that the component implements ACS Direct Translated P2P.	—	—	O	—	RO	1
7	(Reserved)	—	—	O	—	RsvdP	0
15 to 8	Egress Control Vector Size This function is not supported.	—	—	O	—	RsvdP	H'00
16	ACS Source Validation Enable (V) When Set, the component validates the Bus Number from the Requester ID of Upstream Requests against the secondary / subordinate Bus Numbers.	—	—	O	—	RW	0
17	ACS Translation Blocking Enable (B) When Set, the component blocks all Upstream Memory Requests whose Address Translation (AT) field is not set to the default value.	—	—	O	—	RW	0
18	ACS P2P Request Redirect Enable (R) In conjunction with ACS P2P Egress Control and ACS Direct Translated P2P mechanisms, determines when the component redirects peer-to-peer Requests Upstream. Note that with Downstream Ports, this bit only applies to Upstream Requests arriving at the Downstream Port, and whose normal routing targets a different Downstream Port.	—	—	O	—	RW	0
19	ACS P2P Completion Redirect Enable (C) Determines when the component redirects peer-to-peer Completions Upstream; applicable only to Completions (includes Read Completions, AtomicOp Completions, and other Completions with or without Data) whose Relaxed Ordering Attribute is clear.	—	—	O	—	RW	0
20	ACS Upstream Forwarding Enable (U) When Set, the component forwards Upstream any Request or Completion TLPs it receives that were redirected Upstream by a component lower in the hierarchy. Note that this bit only applies to Upstream TLPs arriving at a Downstream Port, and whose normal routing targets the same Downstream Port.	—	—	O	—	RW	0
21	ACS P2P Egress Control Enable (E) This function is not supported.	—	—	O	—	RO	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
22	ACS Direct Translated P2P Enable (T) When Set, overrides the ACS P2P Request Redirect and ACS P2P Egress Control mechanisms with peer-to-peer Memory Requests whose Address Translation (AT) field indicates a Translated address. This bit is ignored if ACS Translation Blocking (B) is 1.	—	—	O	—	RW	0
31 to 23	(Reserved)	—	—	O	—	RsvdP	H'0000

35.6.1.2.2.9. Device Specific Registers

b31	b0	Address
Reserved	Vendor Defined Byte	H'0FC
PBIINF0		H'E00
PBIINF1		H'E04
PBIINF2		H'E08
PBIINF3		H'E0C
PBIINF4		H'E10
PBIINF5		H'E14
PBICTL0		H'EF0

(1) Vendor Defined Byte Register (H'0FC)

		Functions					
Bit(s)	**Description**	**Up**	**Dg**	**Dp**	**Br**	**Type**	**Initial Value**
7 to 0	Vendor Defined Byte This register is used to inform the host of any information. The SH-4A can set this register value via PS/PPB VDB register (H'FFD6 0080).	O	—	—	—	ROS	H'XX (User defined value)
31 to 8	(Reserved)	O	—	—	—	RO	H'000000

(2) PBI Information 0 Register (H'E00)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	PBIINF0 This register is used to inform the host of any information. The SH-4A can access this register via PBI registers.	—	—	O	—	ROS	H'0000 0000

(3) PBI Information 1 Register (H'E04)

		Functions					
Bit(s)	**Description**	**Up**	**D0**	**D1**	**Br**	**Type**	**Initial Value**
31 to 0	PBIINF1 This register is used to inform the host of any information. The SH-4A can access this register via PBI registers.	—	—	O	—	ROS	H'0000 0000

(4) PBI Information 2 Register (H'E08)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	PBIINF2 This register is used to inform the host of any information. The SH-4A can access this register via PBI registers.	—	—	O	—	ROS	H'0000 0000

(5) PBI Information 3 Register (H'E0C)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	PBIINF3 This register is used to inform the host of any information. The SH-4A can access this register via PBI registers.	—	—	O	—	ROS	H'0000 0000

(6) PBI Information 4 Register (H'E10)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	PBIINF4 This register is used to inform the host of any information. The SH-4A can access this register via PBI registers.	—	—	O	—	ROS	H'0000 0000

(7) PBI Information 5 Register (H'E14)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
31 to 0	PBIINF5 This register is used to inform the host of any information. The SH-4A can access this register via PBI registers.	—	—	O	—	ROS	H'0000 0000

(8) PBI Control Register 0 (H'EF0)

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
15 to 0	ACCID Set an unique ID when the host writes data in this register.	—	—	O	—	RWS	H'0000
16	LOCK Locks or unlocks this register. When this bit is 1, this register can be written only at the time when the expected data is written in bit 31-25 and 15-0.	—	—	O	—	RWS	0

Bit(s)	Description	Functions				Type	Initial Value
		Up	D0	D1	Br		
17	CONFIGDIS Enables or disables the PBI device to respond to configuration cycles from the host including warm reset. 0: Enable 1: Disable	—	—	O	—	RWS	0
18	IODIS Enables or disables the PBI device to respond to I/O cycles from the host. 0: Enable 1: Disable	—	—	O	—	RWS	0
19	MEMDIS Enables or disables the PBI device to respond to memory cycles from the host. 0: Enable 1: Disable	—	—	O	—	RWS	0
20	INTDIS Enables or disables the PBI device to assert the interrupt cycles to the host. 0: Enable 1: Disable	—	—	O	—	RWS	0
21	PBIDIS Enables or disables the PBI device operation. When this bit is 1, PBI device does not respond to all host cycle and it does not forward any cycle to host. 0: Enable 1: Disable	—	—	O	—	RWS	0
24 to 22	(Reserved)	—	—	O	—	RO	000
31 to 25	ACCKEY Set the access key for this register, when the host writes it. The ACCKEY code is defined by SH-4A when this device is started. The default ACCKEY code is 1010010. The read value always returns 0000000.	—	—	O	—	RWS	0000000

35.6.1.3　動作説明

35.6.1.3.1　初期化処理

PS/PPBは、ハードウェアシーケンサを搭載しており、そのシーケンサを起動するための初期化処理において96Kバイトのマイクロコードをダウンロードする必要があります。マイクロコードのダウンロードは、CPDATARに16ビットデータを繰り返し書き込むことで行いますが、この書き込み処理はアンバッファドライトの設定（PASCR.UB[7]=1：CPUが書き込み毎にバスアクセスの完了を待つ設定）で行ってください。マイクロコードのダウンロード後にエンドポイント機能のリセットを解除することでシーケンサが動作を開始します。一方、PS/PPBのダウンストリームポートに接続されたPCI Expressバスインタフェース（PBI）はCPUによる初期化処理が完了するまで正しく動作しません。CPUによるPBIの初期化処理が完了した後に、PBICTL3.INIDONEを1にセットしてください。PS/PPBのシーケンサは、その初期化処理の中でPBICTL3.INIDONEの値を監視しており、PBICTL3.INIDONEが1にセットされると、シーケンサによるPCI Expressの通信が始まります。図35.20にエンドポイントの初期化手順を示します。

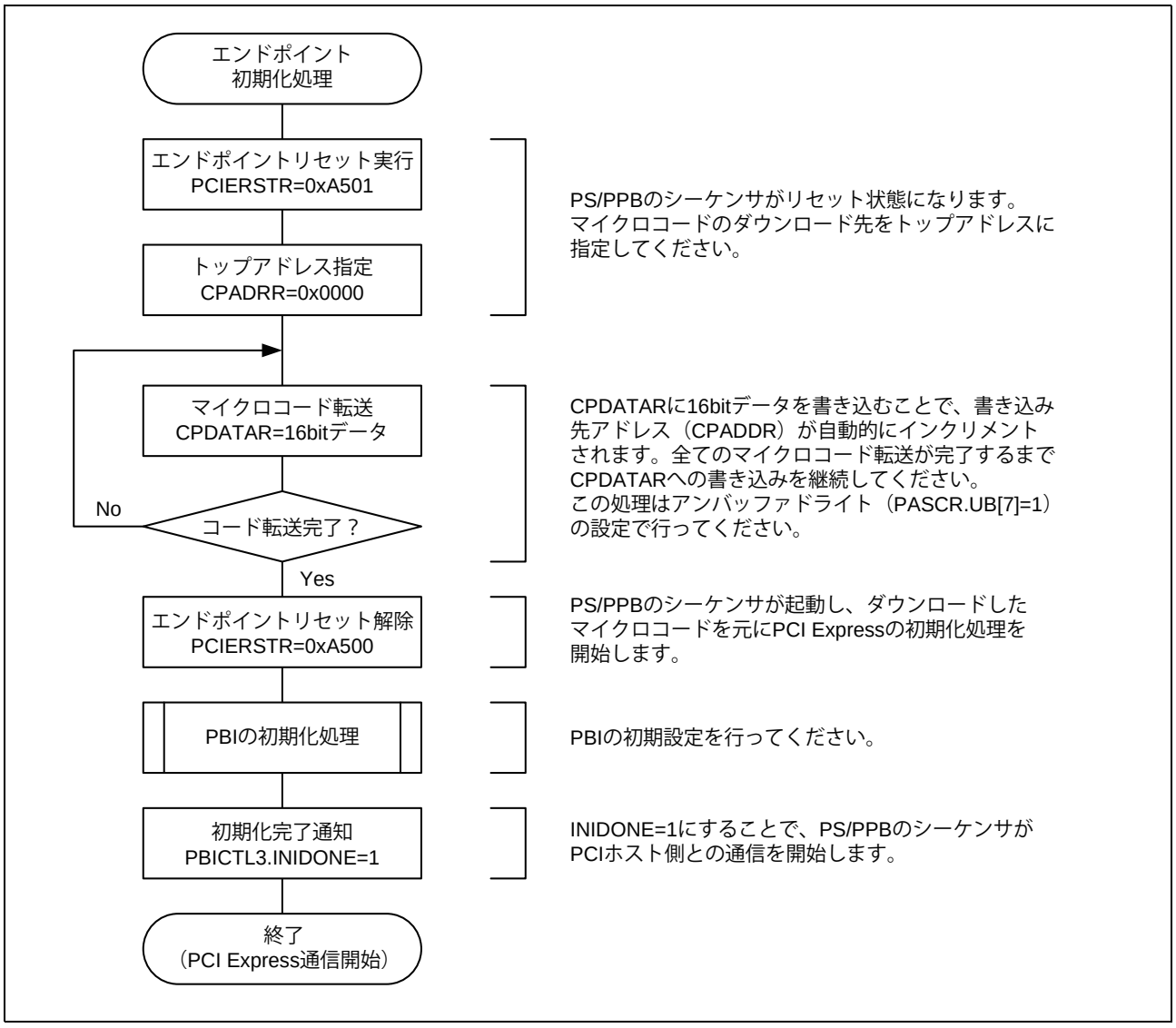


図 35.21　エンドポイントの初期化手順

35.6.1.3.2 パワーマネジメント

(1) L0s/L1ステート遷移

本LSIのPCI Expressトポロジは、PCI Expressリンク層がL0sかL1ステートに遷移した場合のみ、省電力の状態の移行します。

L0sステート遷移

PCI Expressリンク層が4μ秒以上アイドル状態になった場合、L0sステートに自動的に遷移します。次の状態をPCI Expressリンクアイドルと定義します。

- トランザクション（TLP）が送信されていない時
  1. 送信されるTLPがVCバッファにスケジュールされていない場合
  2. スケジュールされていてもクレジットが足りず、VCバッファ内のTLPを送信することができない場合
  3. 既に送信済みのNon-Postedに対するCompletionを8つとも受信していない場合
- DLLPが送信スケジュールされていない時

L1ステート遷移

PCI Express Switchのアップストリームポートが D3hot ステートに遷移した場合、それに連動してPCI Expressリンク層がL1ステートに遷移します。

(2) D3hot遷移モード

このモジュールはD3hot次のTLP制御に関する2種類のモードを搭載しており、PBIのレジスタ設定により選択できます。レジスタについては、「35.6.2 PCI Expressバスインタフェース（PBI）」を参照してください。

PCI Express準拠モード

- D3hot中は、ConfigurationとMessageトランザクションのみ許可される。
- MemoryとI/Oトランザクションは、Unsupported Request（UR）として処理される。

スペシャルモード

- D3hot中は、ConfigurationとMessageに加えて、Memoryトランザクションも許可される。
- I/Oトランザクションのみ、Unsupported Requeset（UR）として処理される。

35.6.1.3.3　PBI有効/無効の切り替え機能

PCI Express Swtichのダウンストリームポートは、PCIホストからのコンフィグレーションレジスタの設定により、それに接続されるデバイスへのアクセスを無効にするための機能を搭載しています。本LSIではダウンストリーム1にPBIが接続されていますが、設定によりPCIホストからの全てのPBIアクセスを無効にする機能に加えて、トランザクションの種類ごとに有効/無効を設定する機能を搭載しています。例えば、PBIに対するMemoryトランザクションのみを無効にすることができます。

この機能はロック機能を持ったレジスタ（PBICTL0）により制御されます。初期状態であるロックされていない状態において、「固有のアクセスID」と「CPUが設定するアクセスキー（初期値は1010010b）」用いることで、PCIホスト側の特定のアプリケーションが他のアプリケーションによるレジスタ設定の変更を無効化することができます。

図35.21はアプリケーション1と2がPBICTL0レジスタを用いてお互いのアクセスを無効化させる際の手順を示しています。アプリケーション1がロックしている間、アプリケーション2はPBICTL0レジスタの上書きができません。アプリケーション2はPBICTL0.LOCKが0にクリアされるのを待ってからPBICTL0レジスタにアクセスすることなります。

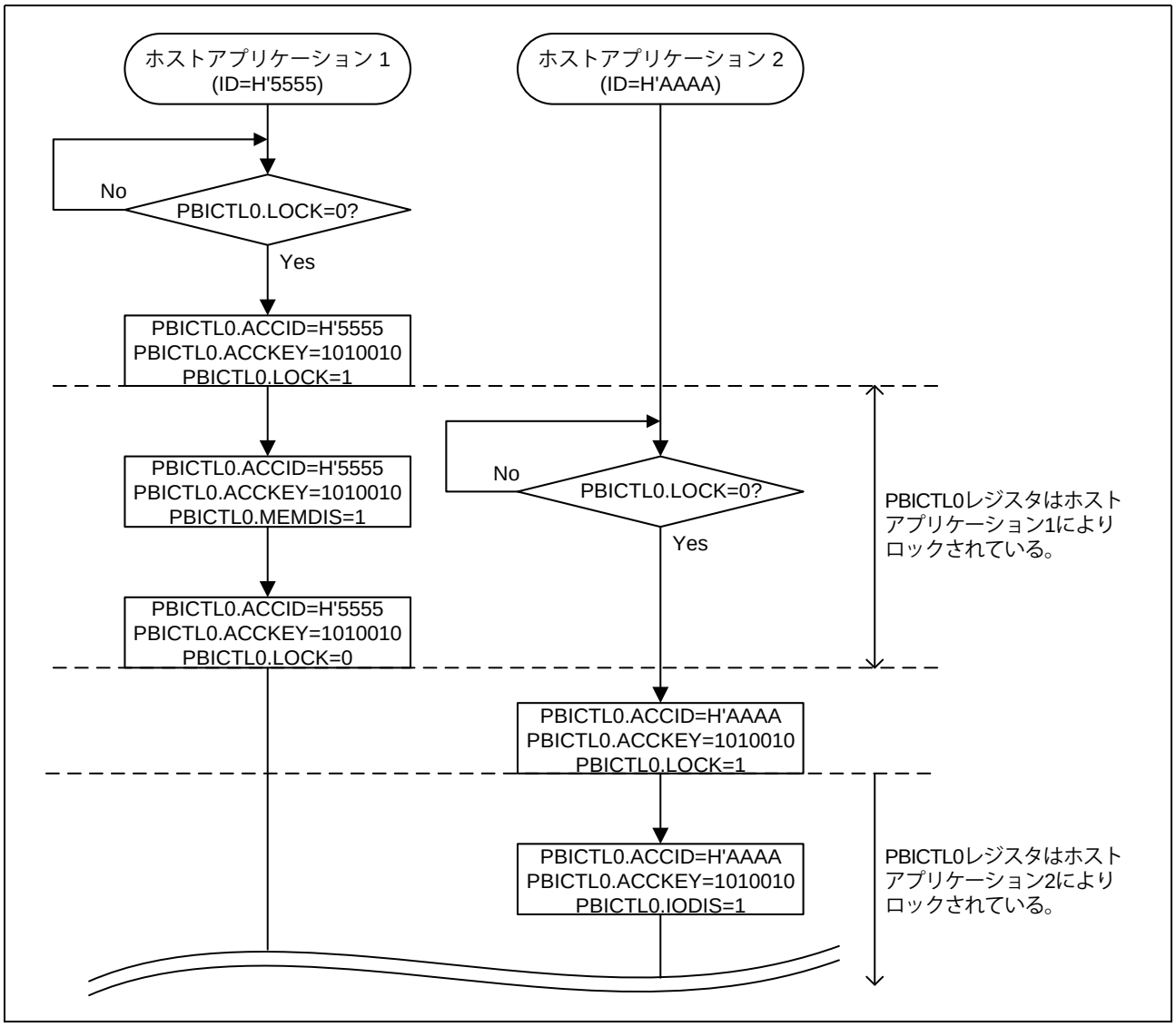


図 35.22　PBI有効/無効の設定手順

35.6.2　PCI Expressバスインタフェース（PBI）

本モジュールはSH7753とホスト間のデータ転送用PCI Express（PCIe）インタフェースです。

SH7753のシステムバスであるSHwyバスに接続されています。また、SH7753及びホストの両方で利用できる専用リソースとして4KBのshared memoryとMailbox機能を内蔵しています。

本モジュールのPCIインタフェースはPCI Expressスイッチに仮想バスで接続されており、TLPの送受信をPCI Expressから直接行うことができます。仮想バスを使用しないPhysicalモジュール及びData Link Layerモジュールは内蔵されていません。

35.6.2.1　特長

- PCI Express Base Specification Revision 2.1に準拠
- PCI Express エンドポイントインタフェース対応
- 最大ペイロードサイズ：128バイト
- 4KバイトShared Memoryに対応
- 4KバイトのMailbox機能に対応
- INTA/MSI割り込みに対応

PCIeバスインタフェースのブロック図を図35.22に示します。

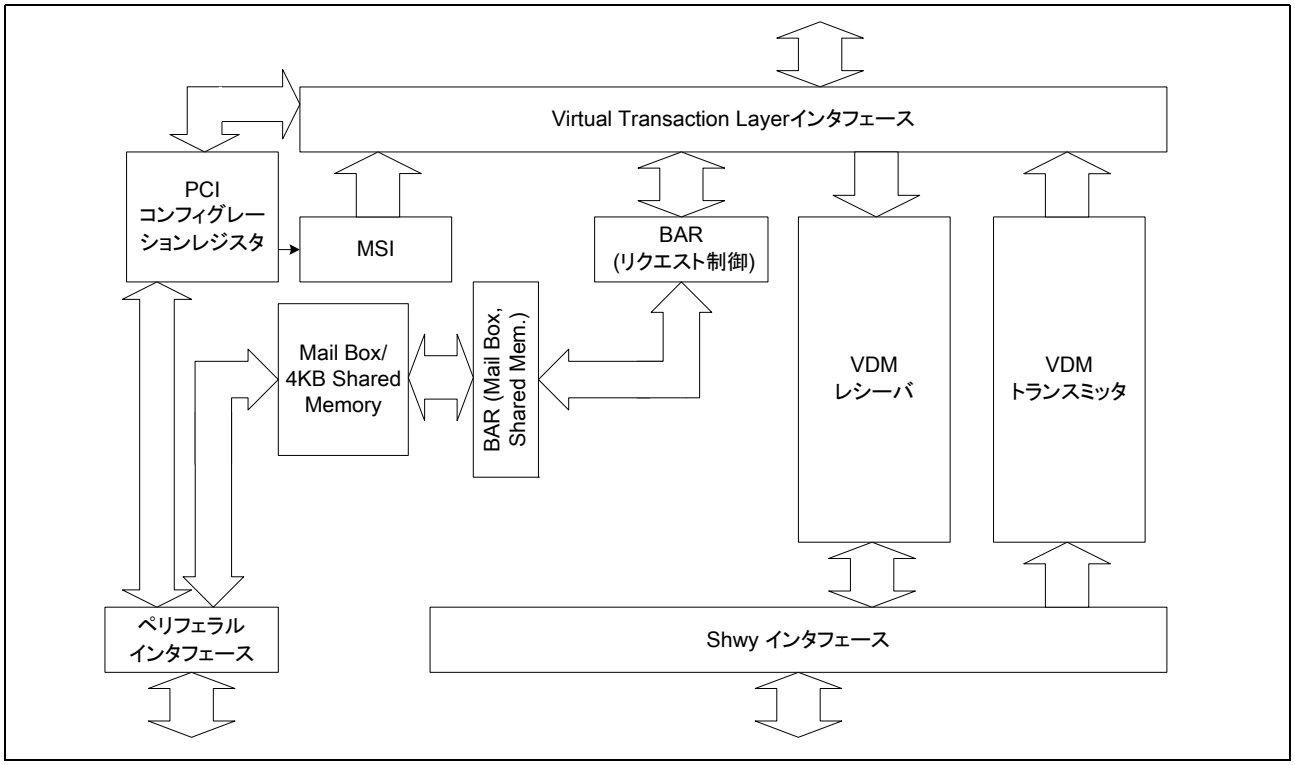


図 35.23　ブロック図

35.6.2.2　アドレスマップ

PCIe コンフィグレーションレジスタ空間（4KB）、Mailbox レジスタ空間（32 バイト）及び Shared Memory 空間（4KB）には SH7753 の内部バス及び PCIe バスを通じてアクセスできます。その他のアドレス空間には SH7753 内部バスからのみアクセスが可能です。図 35.23 に SH7753 内部バスアドレスと PCI バスアドレスの相関関係を示します。

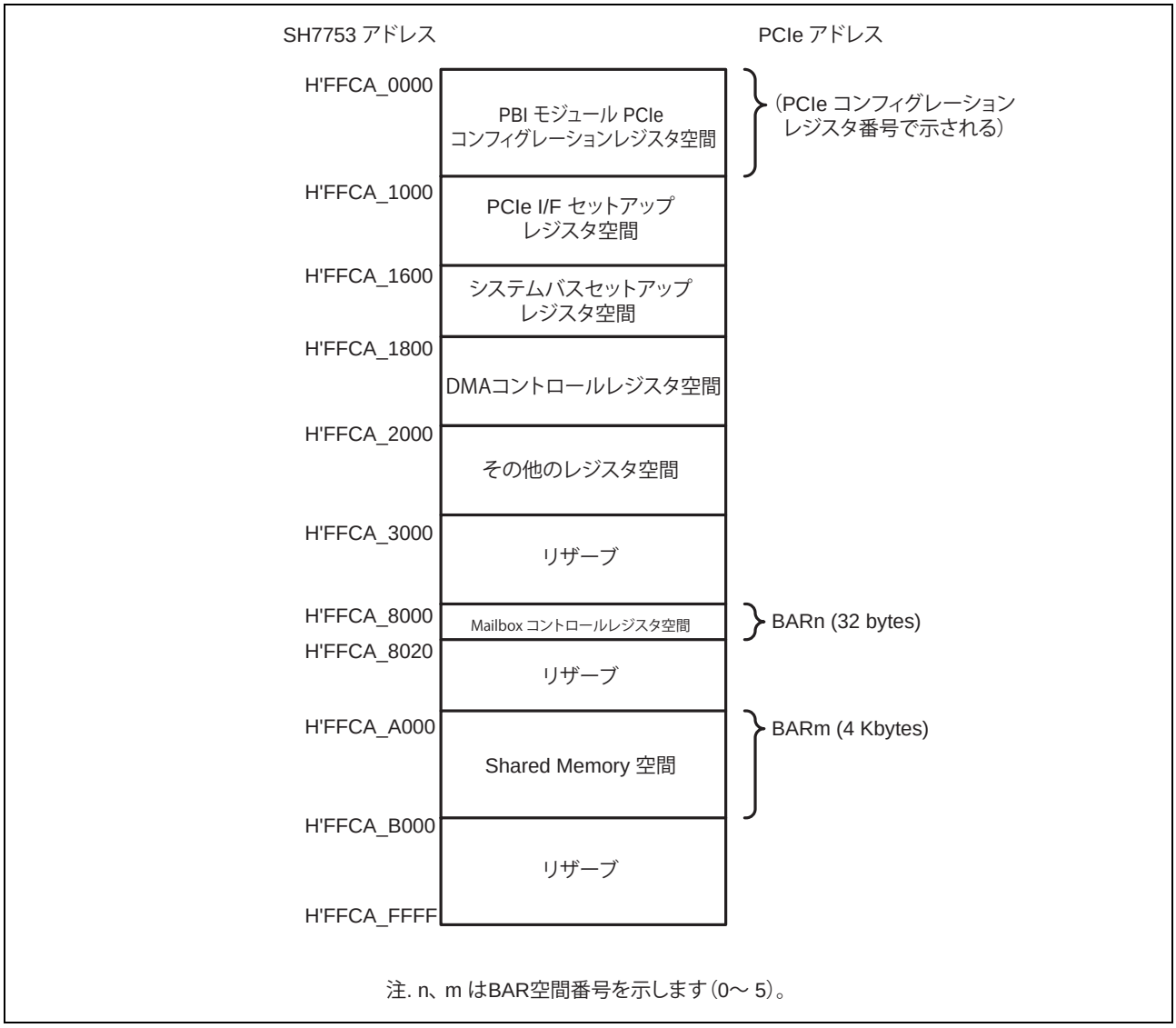


図 35.24　アドレスマップ

本モジュールのコンフィグレーションレジスタ空間にはエンドポイントモジュールのコンフィグレーションレジスタが配置されています。コンフィグレーションレジスタの設定は PCIe バスを通し BIOS などのソフトウェアで行います。このレジスタ空間で各レジスタの設定を確認できます。

PCIeインタフェースセットアップレジスタ空間には SH7753 のシステムバス関連のレジスタが配置されています。この中にはシステムバス間のエンディアンを制御するレジスタがあります。

DMA コントロールレジスタ空間には PCIe 及び VDM 送受信の設定を行うレジスタがあります。

Mailbox コントロールレジスタ空間には Mailbox を制御するためのレジスタが配置されています。本レジスタには特別な設定なしでアクセスが可能です。ただし PCIe バスからアクセスする場合はベースアドレスレジスタに PCIe バスアドレスを設定する必要があります。設定は PCIe バスを通し BIOS などのソフトウェアで行います。各 Mailbox レジスタには BAR0～BAR5 のうち 1 つの BAR 空間が割り当て可能です。

Shared Memory空間には4KBのShared Memoryが配置されています。本LSIとホストがこの空間にアクセスできます。

Mailboxアドレス空間及びShared Memory空間がBAR0～BAR5に割り当てられていない場合、PCIeバスからアクセスできません。MailboxとShared Memoryを使用しない場合はBAR0～BAR5に割り当てないで下さい。BARMAPレジスタでBARを指定せずにBAR空間にアクセスすると、Unsupported Requestと処理されます。つまり、BAR空間が有効にされていれば、ホストはPCIアドレスを割り当てることが可能になりますが、この空間へのアクセスは無効となります。

35.6.2.3　リセット

本モジュールは複数の要因によるリセットが可能です。使用できるリセット要因は以下の通りです。

- パワーオンリセット（$\overline{\text{PRESET}}$端子のアサート）
- PCIeスイッチハードウェアリセット（$\overline{\text{PERST}}$端子のアサート）
- ファンクションレベルリセット（FLR）
- PCIeスイッチによる2ndバスリセット
- PCIeスイッチによるホットリセット
- ウォッチドッグタイマによるSH7753モジュールリセット（マニュアルリセット／ソフトウェアリセット）

本モジュールはSHwy／ペリフェラルインタフェースを除き、PBICTL3レジスタのINIDONEビットが1になりPCIeスイッチとホスト間で通信可能状態になるまでリセット状態をキープします。ただし、PCIeインタフェースセットアップレジスタ及びシステムバスセットアップレジスタについてはリセット状態でも設定が可能です。

パワーオンリセット要因はSH7753のパワーオンリセットを実行します。パワーオンリセットは電源投入時にチップを初期状態に戻すためのものですが本モジュールでは各レジスタのスティッキービットを初期化する場合に使います。PCIインタフェースセットアップレジスタ及びシステムバスセットアップレジスタのほとんどはパワーオンリセットでのみ初期化されるので、PCIバスからのリセット要求時は、PCIeを再設定する必要がありません。

$\overline{\text{PERST}}$端子がアサートされるとSH7753のPCIeの全回路をリセットします。

注. VDMトランスミッタDMAはPCIリセットで初期化されますが、VDMレシーバDMAはマニュアル／ソフトウェア／パワーオンリセットでしか初期化できません。PCIリセットでもVDM受信DMAは中断しません。

ファンクションレベルリセット（FLR）及び2ndバスリセットで本モジュールのリセットを要求します。モジュール内のソフトウェアソースによるリセットである点を除けばリセットの内容は$\overline{\text{PERST}}$端子で行うものと同じです。

DL_Downにより PCIe リンクの非通信状態が示されている場合、、ホットリセットがリクエストされます。本モジュールのホットリセットとは PERST ピンへの入力によるリセットと同じです。ただし、PCIインタフェースセットアップレジスタ空間のHOTRSTDISビット（PBICTL2レジスタのビット1）でホットリセットのリクエストを無効にできます。

SH7753モジュールリセット（ソフトウェアリセット、マニュアルリセット）はSH7753のリセットをリクエストします。ウォッチドッグタイマの期限切れなどの要因によってこのリクエストが出されます。このリセットはVDMレシーバ回路、PBIモジュールのペリフェラルバスインタフェース及びSHwyバスインタフェースのみを初期化します。このリクエストが出されると、DMAの処理は中断され、PCIeバスからの完了レスポンスも破棄されます。SH7753の専用リソースは使用しないため、PCIeバスからMailbox又はShared Memoryへのリセット要求は正常に完了します。本LSIが本モジュールにソフトウェアリセットをリクエストする場合は事前にVMD DMA（トランスミッタ/レシーバ）の開始ビットをクリアしておく必要があります。

SHwyバス、ペリフェラルバスインタフェース及びVDMレシーバ回路を除き、本モジュールはPCIeバスリセット要求で初期化されます。つまりVDM送信器やMailboxも初期化されます。ただしShared

MemoryについてはPCIeバスからリセットのリクエストが出されていても本LSIからアクセスが可能です。

本モジュールにはPBIC割り込みが内蔵されています。この割り込みでPCIリセットイベント（アサート／ネゲート）を本LSIへ通知します。

注. PCIリセットイベントは$\overline{\text{PERST}}$端子の状態を示すものではありません。PCI起因の全てのリセットを示します。つまりファンクションレベルリセット、2ndバスリセット、DL_downなどが含まれます。

35.6.2.4　初期化処理

ここでは本モジュール使用前に設定が必要なレジスタについて説明します。

35.6.2.4.1　PCIインタフェース設定レジスタ空間

パワーオンリセットの実行後、SH-4パワーオンリセットの実行後、SH-4AによるPCIコンフィグレーションアクセスの前に本モジュールは初期化設定を行う必要があります。

本レジスタ空間にはモジュールのPCIリセットの立ち上がりエッジでPCIコンフィグレーションレジスタ空間に初期値を反映するレジスタがいくつか含まれています（IDSET0-1、SUBIDSET、LINKCONFSET0-3）。PBICTL3レジスタのINIDONEビットでPCIリセット信号をネゲートするタイミングを設定します。設定方法には以下の二つがあります。

注. SH-4Aから書き込み可能なPCIコンフィグレーションレジスタにアクセスすると、書き込み値がただちにレジスタに反映されます。

35.6.2.4.1.1　BAR レジスタの初期化

下記のレジスタでPCIeコンフィグレーションレジスタ空間のBAR領域を定義します。本モジュールには6本のBAR空間（BAR0～BAR5）があります。

- LADMSK0 ～ LADMSK5：ローカルアドレスマスクレジスタ（0～5）
- BARMAP：Mailbox及びShared Memory用BAR割り当てレジスタ
- BARACSIZE：BARアクセスサイズレジスタ

BARMAPレジスタではMailbox及びShared MemoryへのBARの割り当てを設定します。Mailbox及びShared Memoryに割り当てないBARはLADMSKnレジスタで無効にしておく必要があります。

LADMSK0～LADMSK5レジスタではPCIバスの中から利用可能なBAR空間サイズ及びタイプを指定します。

LADMSKnレジスタのビット0ではBARn空間をI/O空間かメモリ空間に指定します。BARn空間をShared Memory用に割り当てる場合はI/O空間は指定できません。その場合メモリ空間に指定してください。Shared Memory以外のリソースはI/O空間かメモリ空間に割り当てられます。

LADMSKnレジスタのビット1でBARn空間の有効／無効を切り替えます。

BARnをメモリ空間に定義する場合、LADMSKnレジスタのビット2で64ビットBAR領域にするかどうかを指定できます。64ビットの場合はBAR0とBAR1、BAR2とBAR3、BAR4とBAR5をそれぞれ組み合わせてBAR領域を指定します（BAR0／2／4でアドレスの下位32ビットとエリア属性、BAR1／3／5で上位32ビットを指定）。また64ビットBARの場合、BARMAPレジスタなど各BARの制御はBAR0/BAR2/BAR4と同様に動作するため、BAR0/BAR2/BAR4で定義されます。ただし、SH7753のグラフィックモジュールは32ビットアドレスのみの対応となるため、LADMSKnレジスタのビット2は0にする必要があります。

BARnをメモリ空間に定義する場合、LADMSKnレジスタのビット3でプリフェッチの有効／無効を指定します。本モジュールではSH7753のマスタデバイスによるメモリ更新を検知しないため、PCIeバスのキャッシュフラッシュ要求は発行されません。したがってプリフェッチ設定は間違いなく更新されない領域（ROMなど）に行って下さい。

LADMSKnレジスタのビット31～4又はビット31～2で割り当てられたリソースのサイズを指定します。ビット31～4はメモリ空間用、ビット31～2はI/O空間用です。4KBのShared Memory

空間と32バイトのMailbox空間の例を下記に示します。リソースのサイズは2n-1の形式で表示します。

Shared Memory	LADMSKn: H'0000 0FF2	4KBメモリ空間（プリフェッチ不可）
Mailbox	LADMSKn: H'0000 001F	32バイトI/O空間

BARMAP レジスタのビット2～0ではMailbox機能が配置されたBAR領域を表示します。このビットではBAR領域の番号（0～5）を設定します。ビット6～4も同様です。0～5以外の値を設定すると、Mailbox機能はBAR領域外に配置されている意味になります。また、MailboxとShared Memoryを同じBAR領域に配置した場合動作の保証はできませんので、絶対に配置しないで下さい。

SH7753ではShared Memoryのサイズが4KB以下であれば、本LSIから見たShared Memory空間はH'FFCA A000から開始します。例えば、Shared MemoryのLADMASK設定がH'0000 03F2（1KB）の場合、本LSIから見たShared MemoryはPCI Address[11:10]の値に関係なくH'FFCA A000からH'FFCA A3FFまでです。

BARACSIZEレジスタではBAR空間のプログラミングモデルを設定します。各BAR空間のアクセス許容サイズを限定するのに使用します。例を挙げると、Mailboxレジスタは32ビット単位でのアクセスが条件になっていますが、本レジスタでWordアクセスを無効に設定している場合にMailbox関連のBAR空間にアクセスしようとするとCA（Completer Abort）が返されます。I/O空間の有効なアクセスサイズはバイト（BE=0001/0010/0100/1000）、ワード（BE=0011/1100）、ダブルワード（BE=1111）のみです。もしI/O空間にこれ以外の設定のbyte enableでアクセスすると、BARACSIZEレジスタの設定と無関係にCAが返されます。メモリ空間の制限を無効にし、任意のbyte enableの組み合わせを許可するようにして下さい。

35.6.2.4.1.2　MSI マッピングレジスタ初期設定

本モジュールではMSIによる割り込み通知が可能です。MSIマッピングレジスタではホストに通知する割り込みベクタ数を設定します。デフォルトでは各割り込み数値が設定されていますが、この設定は必要に応じ変更が可能です。

本モジュールは6種類の割り込みをホストに送ります。ただし、PCIeコンフィグレーションレジスタ空間のMSI Capability構造体で割り込みベクタ数が制限されている場合は上位ビットがマスクされた状態でホストに送信します。ベクタ数がデフォルトの場合の設定例を表35.12に示します。下表にもある通り、MSIマッピングレジスタのデフォルト値はMSI Capability構造体のメッセージコントロールレジスタで定義されたものです。

表35.13　MSIベクトル番号マッピング例

	MSIMAP レジスタ初期値	割り込みベクタ数 (16ビットメモリ書き込み値)					
		MMESE = 101 (32 ベクタ)	MMESE = 100 (16 ベクタ)	MMESE = 011 (8 ベクタ)	MMESE = 010 (4 ベクタ)	MMESE = 001 (2 ベクタ)	MMESE = 000 (1 ベクタ)
RSTINT	00101	MD[15:5],00101	MD[15:4],0101	MD[15:3],101	MD[15:2],01	MD[15:1],1	MD[15:0]
USERINT	00100	MD[15:5],00100	MD[15:4],0100	MD[15:3],100	MD[15:2],00	MD[15:1],0	MD[15:0]
MLINTRST	00011	MD[15:5],00011	MD[15:4],0011	MD[15:3],011	MD[15:2],11	MD[15:1],1	MD[15:0]
MLINTUND	00010	MD[15:5],00010	MD[15:4],0010	MD[15:3],010	MD[15:2],10	MD[15:1],0	MD[15:0]
MLINTOVF	00001	MD[15:5],00001	MD[15:4],0001	MD[15:3],001	MD[15:2],01	MD[15:1],1	MD[15:0]
MLINTDN	00000	MD[15:5],00000	MD[15:4],0000	MD[15:3],000	MD[15:2],00	MD[15:1],0	MD[15:0]

注1.　MD[15:0]はMSI Capabiliy構造体のメッセージデータレジスタを示します。
2.　割り込みベクタ数の下位ビットの数字はMSIMAPレジスタの設定値を示します。
3.　MMESEを110又は111に設定した場合、MSIの動作は保証しません。

ホストに送る割り込みはホスト側で許可／無効の設定が可能です。Mailboxレジスタ空間にあるHINTENレジスタで設定を行って下さい。不要な割り込みは無効にして下さい。

35.6.2.4.2　システムバスセットアップレジスタ空間

本レジスタ空間ではSH7753のシステムバスであるSHwyバスの設定を行います。

35.6.2.4.2.1　エンディアン制御レジスタ初期設定

本モジュールにおけるエンディアン制御のデフォルト設定は以下の通りです。

- 周辺バスからShared Memoryへのアクセス：ビッグエンディアンモード
- PCIバスからShared Memoryへのアクセス：ビッグエンディアンモード
- PCIバスからMailboxレジスタへのアクセス：リトルエンディアンモード
- VDMによるSHwyへのアクセス：MD5端子状態による

MD5端子の状態がビッグエンディアンの場合はビッグエンディアンモードでSHwyにアクセスし、同様にMD5端子がリトルエンディアンの場合はリトルエンディアンモードでSHwyにアクセスします。ただし、Shared Memoryへのアクセスは使用するシステムによってはすべてビッグエンディアンモードに変換される場合があります。その場合、リトルエンディアンモードでアクセスするにはレジスタ設定を変更する必要があります。

エンディアンの変換回路の配置を図35.24に示します。

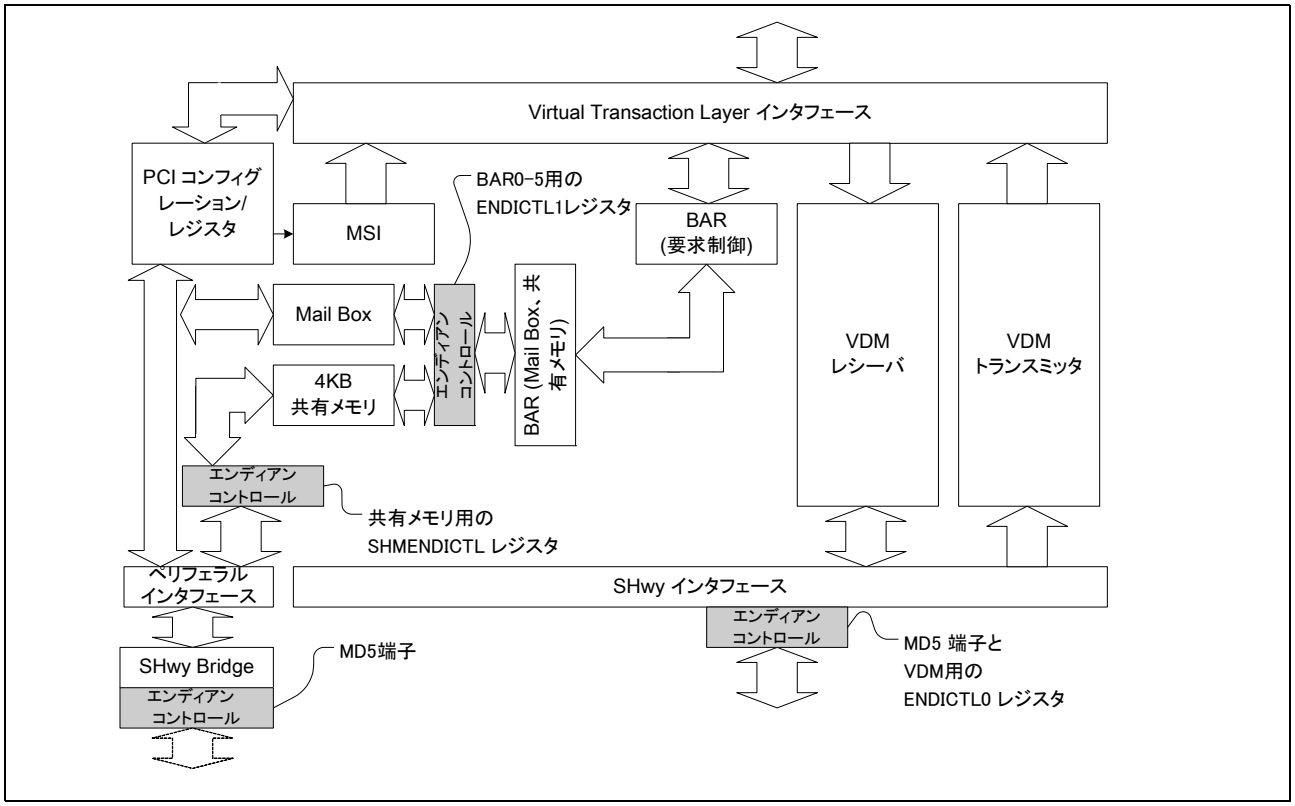


図 35.25　エンディアンコントロール回路の配置

各エンディアン変換回路はレジスタ設定によりエンディアンモードの切り替えを行います。

本LSIからShared Memoryにアクセスする場合、「その他のレジスタ」空間のSHMENDICTLビットでエンディアンモードの変更を行います。

PCIバスからBAR空間にアクセスする場合、システムバスセットアップレジスタ空間のENDICTL1ビットでBAR空間別にエンディアンモードの変更を行います。

VDM送信器／受信器回路でメモリへアクセスする場合、システムバスセットアップレジスタ空間のENDICTL0ビットでエンディアンモードの変更を行います。VDMはディスクリプタテーブルに従いデータ転送を行うため、エンディアンモードの設定はディスクリプタテーブルにアクセスする場合とデータにアクセスする場合をそれぞれ指定して下さい。ディスクリプタテーブル

のフォーマットはMD5端子の影響を受けないので、エンディアンモードの切り替えを行い、本LSIからスムーズにアクセスできるようにして下さい。

本LSIからShared Memoryにアクセスする場合のエンディアン設定では、1ビットのみを使用しデータレーンの切り替えを行います。ただし、その他のアクセスのエンディアン設定はバイト、ワード、又はダブルワード単位で行い、データレーンの切り替えをコントロールします。バイト、ワード、又はダブルワード単位でのデータレーン切り替えの回路を図35.25に示します。

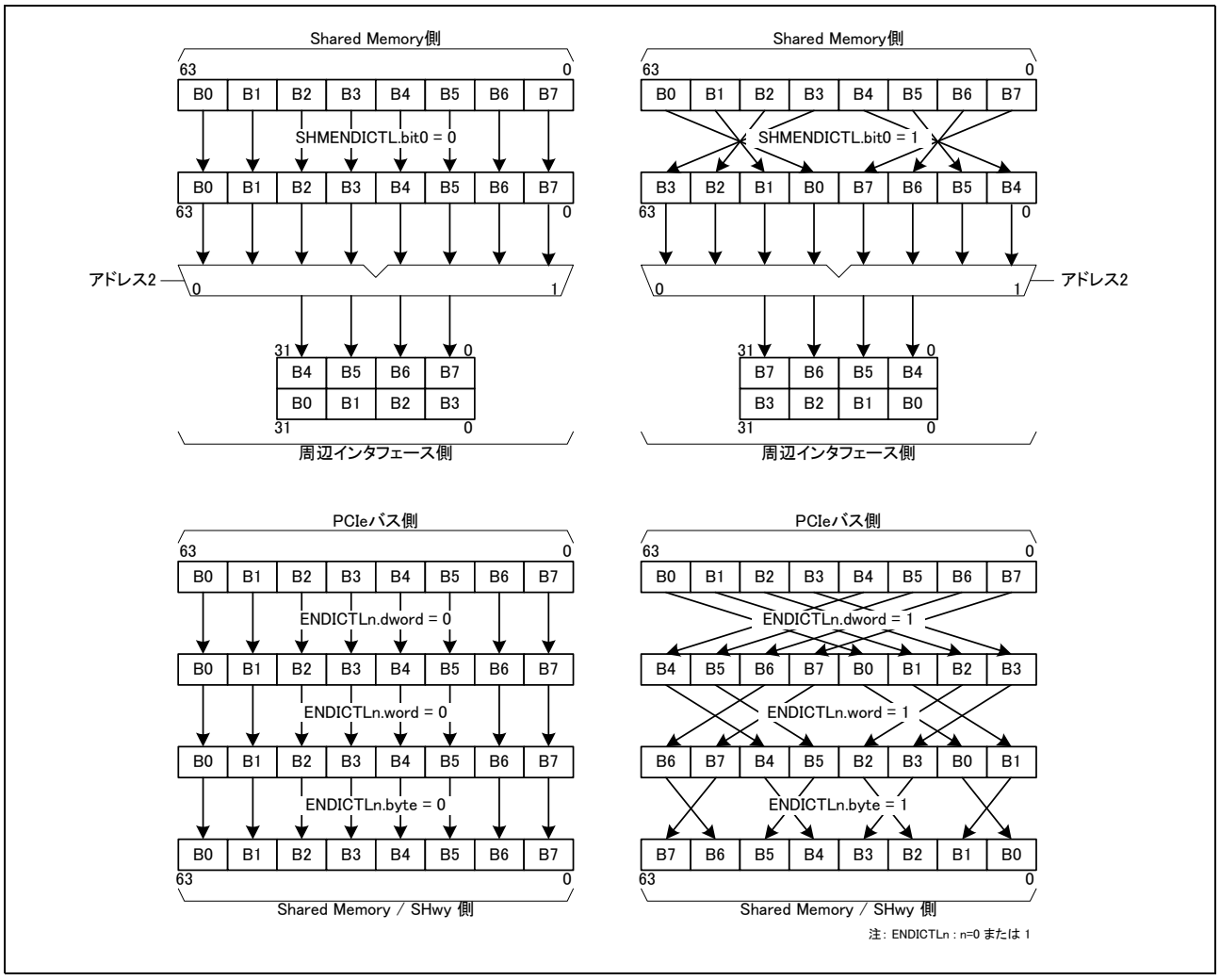


図 35.26　エンディアンコントロール回路

上図の通り、各レジスタのビットが0の場合はMD5端子指定のバイト配列を使用します（エンディアンは変換されません）。各レジスタのビットが1の場合はMD5端子指定のバイト配列を転換し、エンディアンの変換を行います。

Shared Memoryへのアクセスは MD5端子の状態に関係なく常時ビッグエンディアンモードで行われるため、エンディアンモード切り替えの際はSHMENDICTLレジスタのビット0を設定する必要があります。

SHwyへのアクセスの場合はMD5端子の状態に応じてエンディアンモードの変換を自動で行います。

35.6.2.4.2.2 SHwyデバッグレジスタ

本モジュールにはソフトウェアデバッグに対応するため、アクセス範囲のモニタリングを行うレジスタを内蔵しています。このレジスタを有効にすると、想定外のメモリ空間へのアクセスがあった場合はアクセスを却下し、DMA処理を中断します。

本レジスタでモニタリング可能なSHwyアドレス範囲は以下の通りです。

- One address range for VDM: Region 0

このアドレス範囲は上位及び下位アドレスで定義されます。この機能は下位アドレス設定レジスタ（R0ADRL）イネーブルビットで有効にできます。

指定範囲外のアドレスにアクセスしてもSHwyには転送しません。その際VDM／DMAは動作を中止し、PBIB割り込みを発生させます。

35.6.2.4.3　パワーオン初期化フロー

ここではパワーオン初期化フローについて説明します。

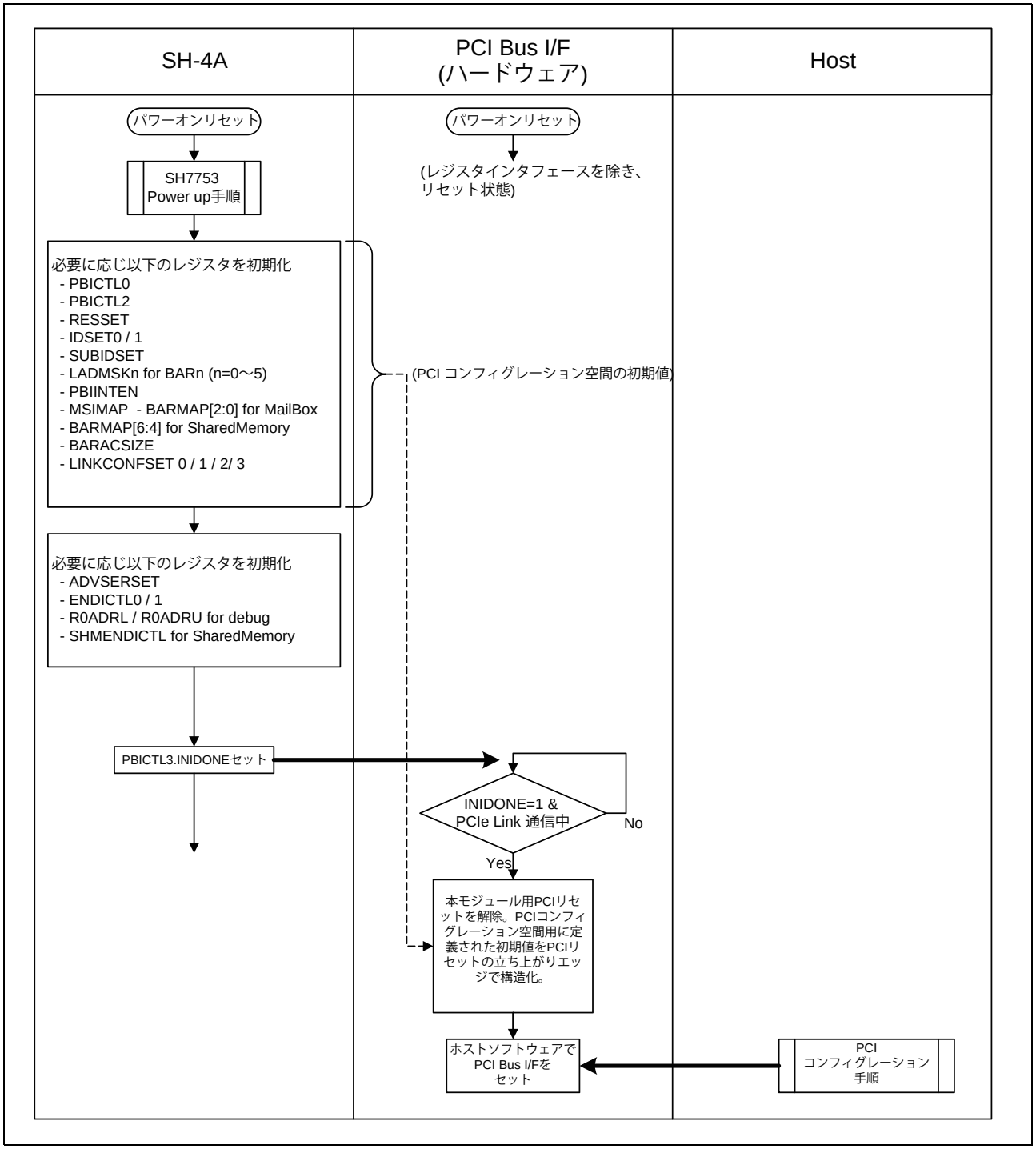


図 35.27　パワーオン初期化フロー

本モジュールには本LSIでPCIコンフィグレーションレジスタの初期値を定義するためのレジスタを内蔵しています。本モジュールへのPCIリセット信号がネゲートされると、レジスタの情報を取り込みます。このため、本LSIはPCIリセット信号をネゲートするタイミングを通知する必要があります。タイミングの通知はPBICTL3レジスタのINIDONEビットで行います。

注. PCICONF1レジスタのビット[2:0]のうちのいずれかがセットされていないとVDMトランスミッタ／レシーバの開始ビットはセットできません。

35.6.2.5　VDM（Vendor Defined Message）の受信

本モジュールはType-1のPCI e Express VDM（Vendor Defined Message）の受信機能を装備しています。この機能はPCI Express Vendor Defined Message（VDM）を使用してMCTPパケットを受信するために実装されました。VDMはDistribution Management Task Force, Inc（http://www.dmtf.org/）で規定されています。

受信したVDMはディスクリプタテーブルで指定したメモリ領域内のDMAに格納されます。格納できるのはVDMRXCMDレジスタのSTRビット（ビット0）が1かつTLPのVendor IDがVDMRXVID0/1レジスタのIDと一致している場合のみです。

35.6.2.5.1　VDM受信用ディスクリプタテーブル

この回路では図35.27に示すフォーマットで定義されたエントリ情報を使用してDMA転送を行います。このエントリ情報はリトルエンディアンでメモリに書き込んで下さい。ディスクリプタテーブルの開始アドレスはVDMRXTADRで指定し、128バイトアドレス境界に配置して下さい。

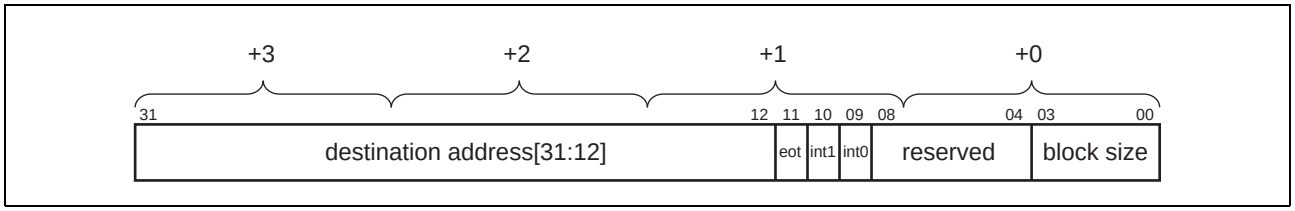


図 35.28　VDM受信用テーブルエントリフォーマット

各フィールドの内容は以下の通りです。

・destination address[31:12]　ビット31～12でデータ格納先ブロックの開始アドレスを指定します。受信VDMは格納先ブロックの開始アドレスから順に格納されます。

・eot　テーブル最終列
テーブルエントリの最後を示します。
0：次のダブルワードに有効なエントリが含まれます
2：最後のテーブルエントリです。

・int1　割り込み要求（type-1）
0：type-1割り込み要求なし
1：格納先ブロックの最終ダブルワード分が埋まると割り込み要求を発信

・int0　割り込み要求(type-0)
0: type-0割り込み要求なし
1: 全受信データをメモリに格納すると割り込み要求を発信（＝受信データバッファが空になると割り込みをアサート）
注.複数のテーブルを使用する場合、各エントリのint0ビットは同じ値にして下さい。異なる値を設定した場合動作の保証はしません。

・reserved　今後使用するものにつき、今回は0にしておいて下さい。

・block size　テーブルエントリで指定するメモリサイズです。
0001: 4 KB
0010: 8 KB
0011: 12 KB
0100: 16 KB
0101: 20 KB
0110: 24 KB
0111: 28 KB
1000: 32 KB
1001: 36 KB
1010: 40 KB
1011: 44 KB
1100: 48 KB
1101: 52 KB
1110: 56 KB
1111: 60 KB
0000: 64 KB

本回路ではVDM受信領域のサイズ（4～64KB）を1テーブルエントリにつき4KB単位で指定します。受信データは先頭のテーブルエントリで指定したアドレスから順にメモリに格納されます。

35.6.2.5.2　格納データ

VDMはビッグエンディアンでメモリに格納されます（MD5端子がビッグエンディアンかつエンディアンコントロールレジスタがデフォルト設定の場合）。詳細は下記参考資料のFigure 1（MCTP over PCI Express Packet Format）を参照して下さい。

Management Component Transport Protocol (MCTP)
PCIe VDM Transport Binding Specification Version 1.0.0a

後続のVDMも同じ方式で格納されます。例えばペイロードデータが1バイトのVDMを本モジュールで受信すると、5ダブルワード（TLPヘッダ用×4＋ペイロードデータ用×1）がメモリに格納されます。
エントリの残量が受信したVDMより少ない場合、VDMは2エントリのメモリブロックに分割されます。

35.6.2.5.3　DMA中断

VDM受信用DMAコントローラは以下の場合にDMA転送処理を中断します。

- SH7753システムバスからエラーが報告されたとき
- SHwyデバッグレジスタ（R0ADRL/R0ADRU）有効時に指定外のアドレスにアクセスし、中断がリクエストされたとき
- ディスクリプタテーブルで指定した最終エントリまでのデータ格納を完了したとき

上記いずれかの理由でVDM受信処理が中断したときは、VDMRXSTSレジスタのERRビットで表示します。エラー要因についてはVDMRXERFR[8:0]ビットで確認が可能です。
VDMRXERFR[0]（及びINNERER[5:4]）がセットされていると、該当するモジュールがSHwyにない又はSHwy内の対象モジュールからの返答がないことが表示されます。このような場合はディスクリプタテーブルの情報を確認して下さい。

VDMRXCMDレジスタのSTRビットをクリアし、DMA中断処理をハードウェアで行うと受信VDMは破棄されます。具体的にはモジュールリセットがネゲートされた後からVDMRXCMDビットが1になるまでの間にデータの破棄が行われます。

もし用意したデスクリプタテーブルが全てＶＤＭ受信で使われてしまうと、エラーが報告されます。その為、ＶＤＭ受信の為には十分大きな領域を割り当てる必要があります。

Virtual Transaction Layerインタフェースにエラーが発生してもDMAは動作を中断しません。このエラーはおそらくVDMによるものですが、重大なエラーではないためVDMは格納の動作を続けます。VDM受信時にこのエラーが検出された場合、VDMはメモリに転送されません。

PCIeリセットがリクエストされてもVDM受信に使用しているDMAエンジンはリセットされません。この場合、転送中のデータは破棄されますが、バッファ内のデータはメモリに転送されます。PCIeリセットのリクエスト状況はPBIINTFRレジスタのビット29で確認が可能です。

35.6.2.5.4　VDM受信動作フロー

35.6.2.5.4.1　基本動作

ここではVDM受信の基本動作について説明します。

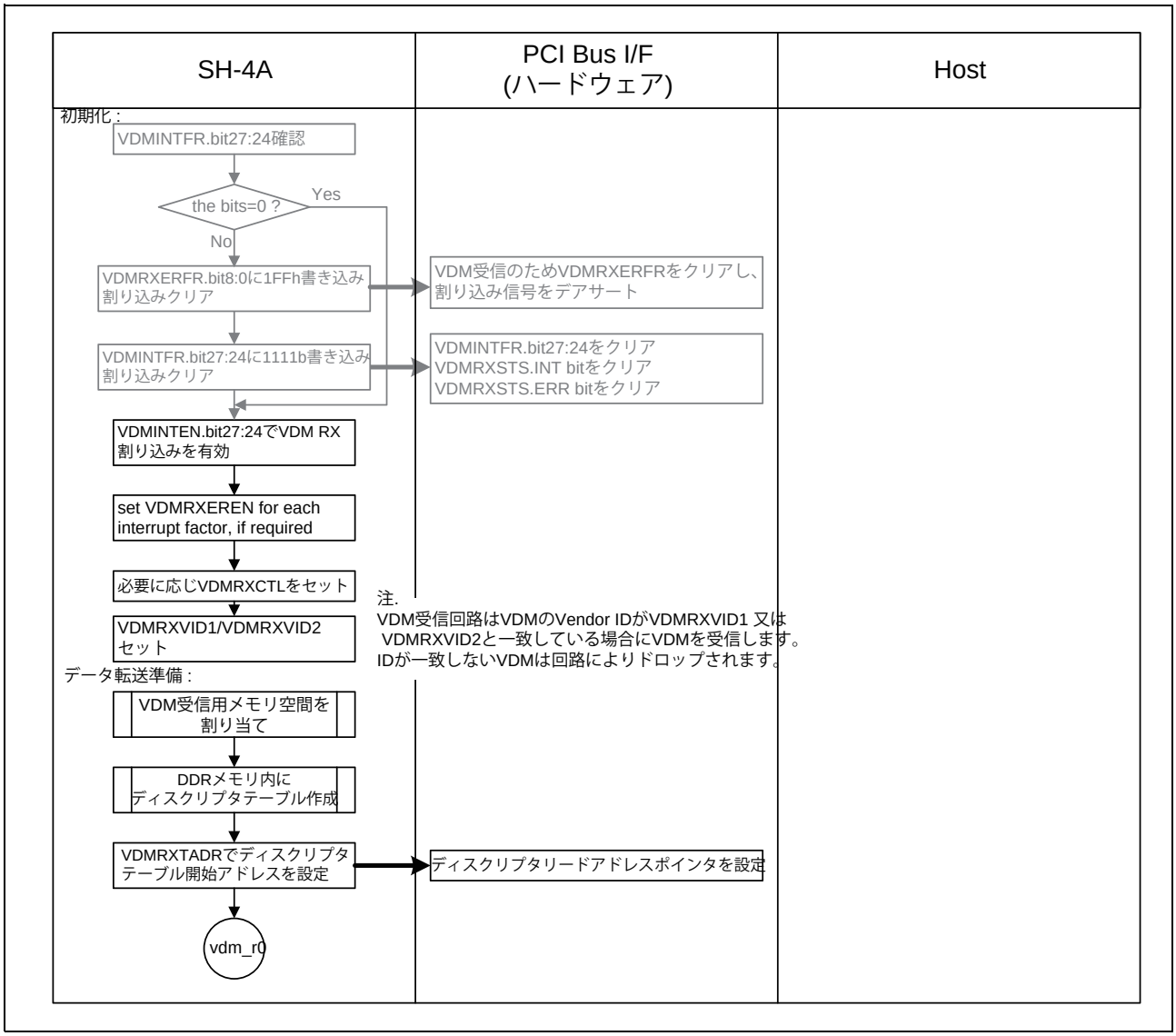


図 35.29　VDM レシーバの基本動作 (1)

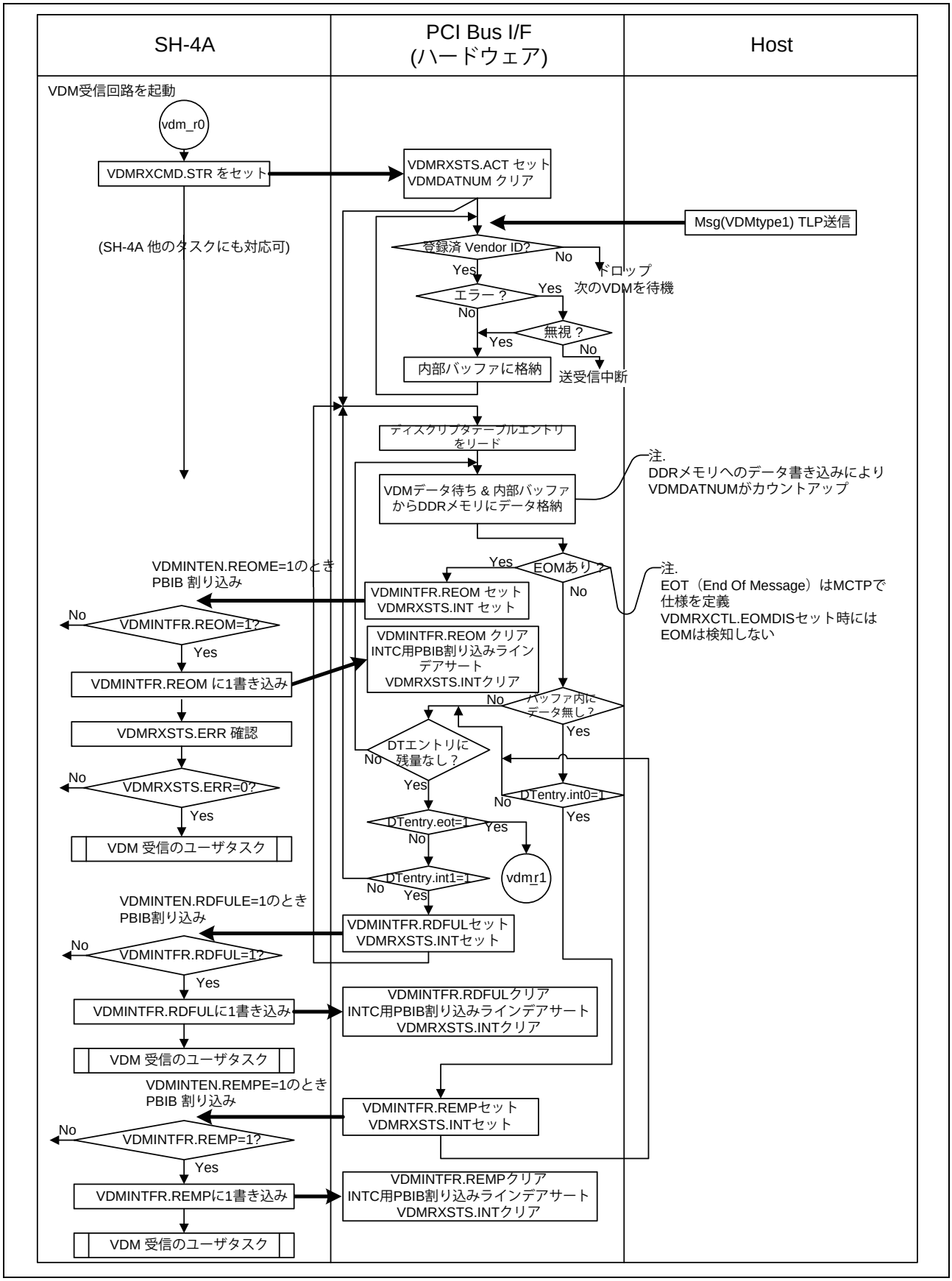


図 35.30　VDM レシーバの基本動作(2)

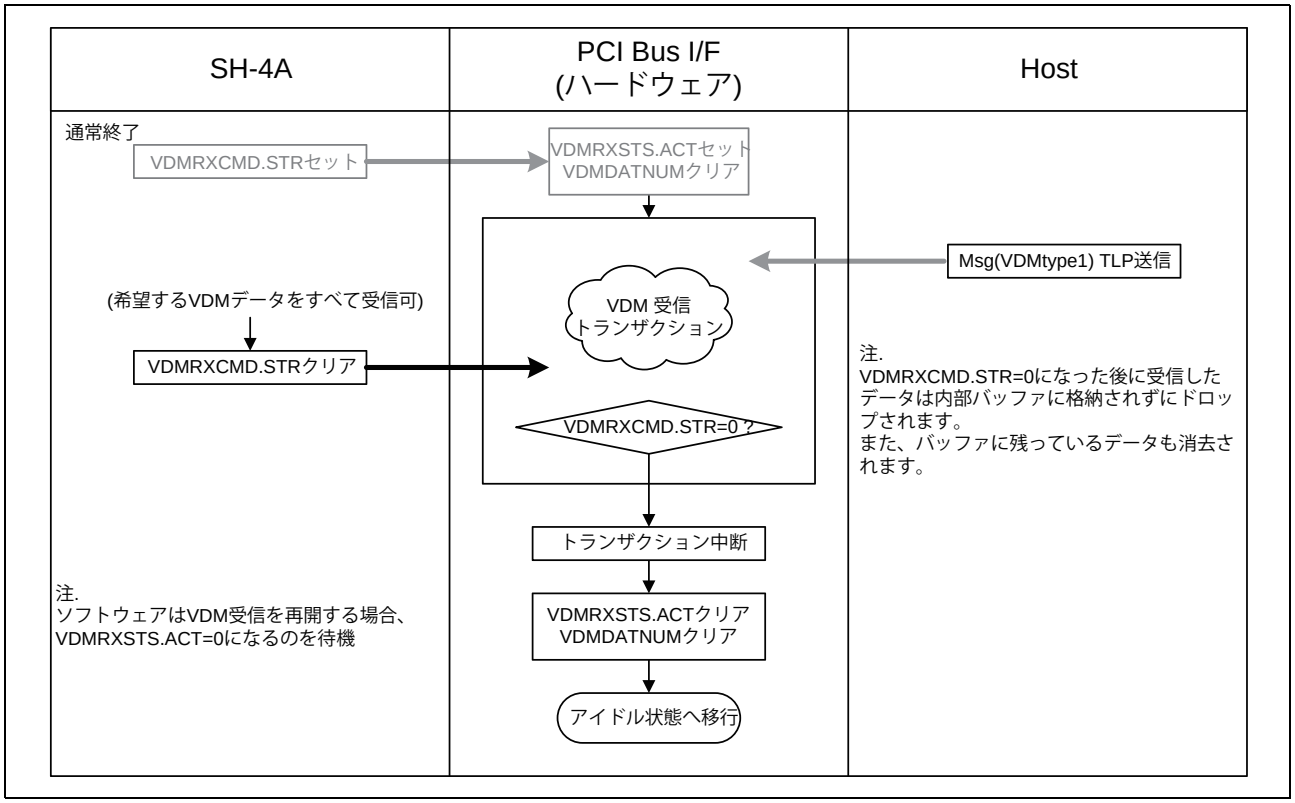


図 35.31　VDM レシーバの基本動作 (3)

本DMAはディスクリプタテーブルにより動作を行います。DMAを起動する前にディスクリプタテーブルをDDR メモリ内に作成して下さい。VDM はVendor ID がVDMRXVID0 又はVDMRXVID1の設定と一致する場合のみ格納されます。したがって、MCTPメッセージを受信する場合はDMTFのVendor ID（H'1AB4）をVDMRXVID0又はVDMRXVID1に設定しておく必要があります。

VDMRXCMD レジスタのSTR ビットがセットされるとDMAが起動し、クリアすると終了します。DMAを起動するとDDRメモリからディスクリプタテーブルの32エントリをまとめて読み込み、ホストからのVDM 待機状態になります。DMA はバッファを内蔵し、VDM がバッファに格納されると、本モジュールがシステムSHwyバスのオーナシップを持っている場合に限り、DDRメモリにデータが格納されます。

内部バッファが空白になりテーブルエントリのint0 ビットが1になると、割り込み（type-0）が発生します。受信したVDMにEOM（End of Message）が含まれVDMRXCTL レジスタのEOMDISビットがセットされていない場合、EOM割り込みが発信されます。EOM はMCTP で定められた仕様です。割り込み（type-0、type-1、及びEOM）によりVDMRXSTS レジスタのINT ビットがアサートされます。ただしVDM送信（VDMTXSTS.INT）とはアサートの方法が異なるので注意して下さい。

35.6.2.5.4.2　格納スペースなしエラー

ここではVDMレシーバによる、格納スペースなしエラーについて説明します。

VDM受信の場合、ディスクリプタテーブルで定義したメモリブロックがVDM情報で埋め尽くされているとエラーとなります。メモリブロックの最後のダブルワード（eot=1）が埋まるとDMAは動作を中断し、割り込みでエラーを通知します。

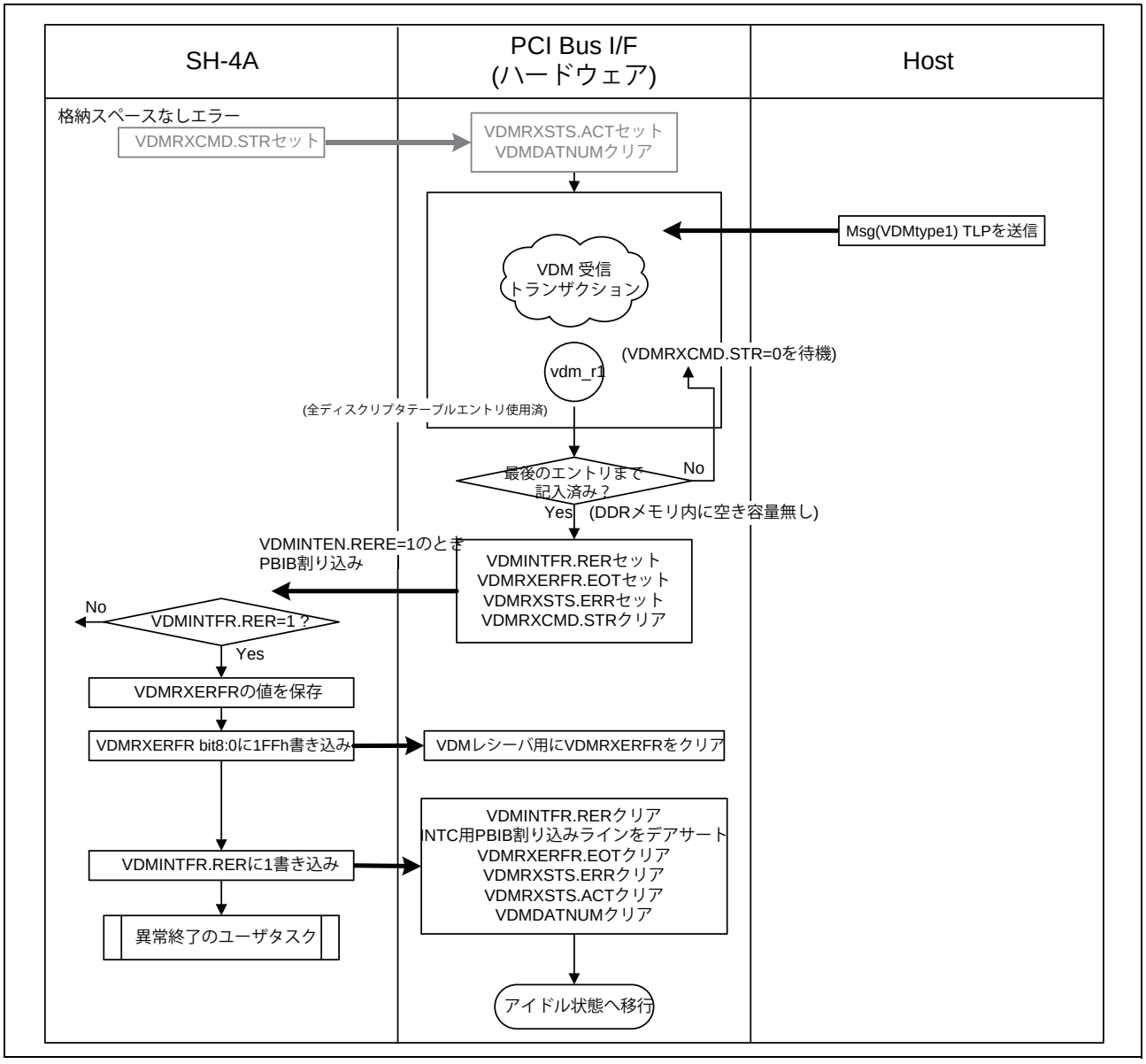


図 35.32　格納スペースなしエラー

35.6.2.5.4.3　エラーによる中断

ここではエラーによるVDM受信の中断について説明します。

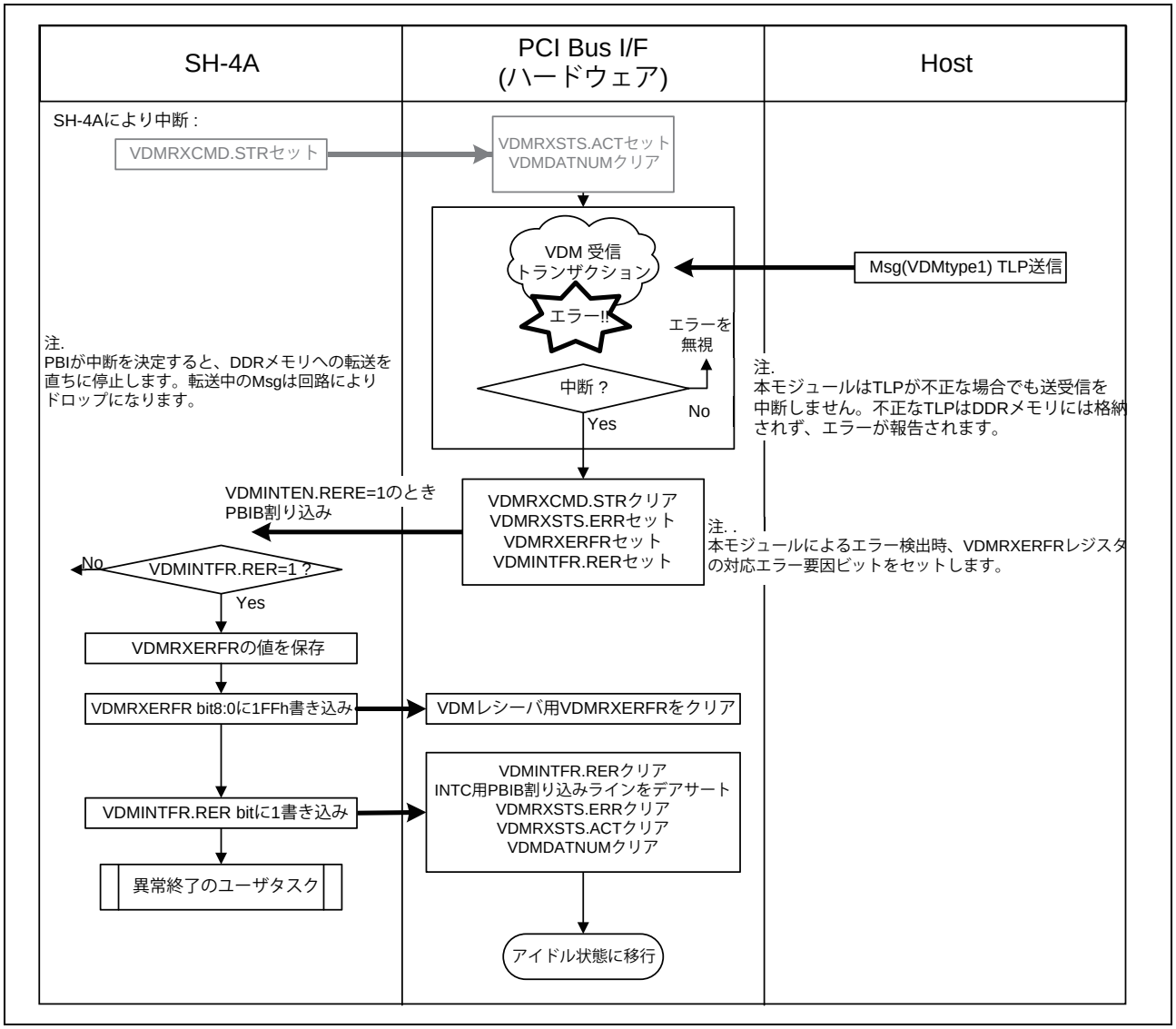


図 35.33　エラーによるVDM受信中断

35.6.2.5.3で説明したエラーが発生するとDMAは動作を中断し、VDMRXERFRレジスタを更新し、有効になっている場合はPBIB割り込みを発生させます。この中断は多くの場合、システムSHwyバスのエラーによるものです。

不正なTLPパケットを受信してもDMAは動作を中断しません。TLPはDDRメモリには格納されません。本LSIがパケットエラーの検出を行い、データの再送信を要求するかを決めます。

VDMRXCTL[2:0]ビットがセットされていると不正なTLPパケットは破棄されず、DDRメモリに格納されます。

35.6.2.6　VDM送信

本モジュールにはVDM送信機能が装備されています。この機能はPCI ExpressのVDM（Vendor Defined Message）を使用しMCTPパケットを送信するためのものです。VDMの仕様はDistributed Management Task Force, Inc.（http://www.dmtf.org/）が定めています。

MCTPパケットの送信はDMA機能の一つとして行われます。MCTPパケットはVDMデータとしてメモリ内に配置されています。ディスクリプタテーブルでは1エントリにつき1つのVDMデータをポイントします。VDMデータはVDMヘッダとペイロードデータで構成されています。詳細は下記参考資料のFigure 1（MCTP over PCI Express Packet Format）に従い、PCIe VDMヘッダ及びPCIe VDMペイロードデータをビッグエンディアン形式でメモリ内に作成して下さい（MD5端子がビッグエンディアンかつエンディアンコントロールレジスタがデフォルト設定の場合）。

Management Component Transport Protocol (MCTP)
PCIe VDM Transport Binding Specification Version 1.0.0a

続いてディスクリプタテーブルの"source address"に開始アドレスを、"packet size"にはダブルワード単位でパケットサイズをそれぞれ登録して下さい。

注. ECRC生成が有効時でもソフトウェアプログラマでECRCデータを計算する必要はありません。計算はハードウェアが行います。ECRCデータをDDRメモリに移す必要もありません。VDMTXCTLレジスタのECRCGENDISビットが0の場合、TLPヘッダのTDビットはハードウェアから生成されます。メモリ上のTLPヘッダにあるTDビットはこの生成されたTDビットと入れ替わります。一方、ECRCGENDISビットが1の場合、ECRCの生成が有効時はTLPヘッダのTDビットはソフトウェアでセットして下さい。セットしなかった場合はECRCなしのTLPが送信されます。

MCTPパケット送信の目的以外で本機能を使用した場合、動作の保証はしません。

35.6.2.6.1　VDM送信用ディスクリプタテーブル

DMA送信は図35.33に示すフォーマットで定義されたエントリ情報を使用し行われます。1エントリは2ダブルワードで構成されており、メモリにはリトルエンディアン形式で書き込まれる必要があります。ディスクリプタテーブルの開始アドレスはVDMTXTADRで指定し、128バイトアドレス境界に配置して下さい。

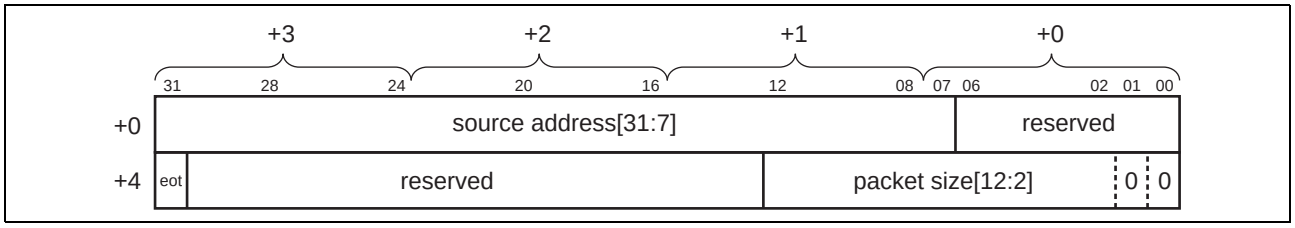


図 35.34　VDM送信のテーブルエントリフォーマット

各フィールドの意味は以下の通りです。

・source address[31:7]　送信元VDMの開始アドレスを設定します。送信するVDMは128バイトアドレス境界に配置して下さい。

・reserved　今後使用するものにつき、今回は0にしておいて下さい。

・Eot　テーブル最終列
テーブルエントリの最後を示します。
0：次のダブルワードに有効なエントリが含まれます
2：最後のテーブルエントリです。

・packet size[12:0]　送信するVDMのパケットサイズを指定します。VDMヘッダとVDMペイロードデータを合計したサイズをダブルワード単位で指定して下さい。したがってビット[1:0]は0に設定します。

本機能はMCTPパケット送信用に装備され、最大パケットサイズは80バイト（20ダブルワード）です。ただし、VDMデータのサイズがMax_Payload_Sizeを上回るパケットサイズを設定することはPCIe規格（VDM最大ペイロードサイズ＝Max_Payload_Size）に反するため、エラーとみなしVDM送信が中断されます。

35.6.2.6.2　DMA中断

VDM送信用のDMAは以下の場合に転送処理を中断します。

- SH7753システムバスからエラーが報告されたとき
- デバッグレジスタ有効時に指定外のアドレスにアクセスし、中断がリクエストされたとき
- VDMTXCTLレジスタのTLPCHKEビット＝0のとき、VDMヘッダにエラーがありVDMデータのうちAT[1:0]及びVendor IDしか送信できなかった場合又はVDMTXCTLレジスタのTLPCHKEビット＝1のときVDMヘッダにエラーがあり、VDMデータが一切送信できなかった場合
- Max_Payload_Sizeを上回るサイズのVDMデータ送信がテーブルエントリでリクエストされたとき
- PCIeスイッチに接続されたVirtual Transaction Layerインタフェースでエラーが報告されたとき
- SH7753のソフトウェアリセット／マニュアルリセットがリクエストされたとき

上記いずれかの理由でVDM送信処理を中断したときは、VDMTXSTSレジスタのERRビットで表示します。エラー要因についてはVDMTXERFR[10:0]で確認が可能です。

VDMTXERFR[0]（及びINNERER[7:6]）＝1のとき、アクセスしたアドレスのSHwy内に目的のモジュールがないか、モジュールの返答がないことを示します。このエラーが発生した場合はディスクリプタテーブルの内容をチェックして下さい。

VDM受信時とは異なり、ディスクリプタテーブルで指定されたVDMをすべて送信するとVDM送信は正常に終了します。

PCIeリセットのリクエストでモジュール全体がリセットされます。リクエスト時に送信中のVDM情報はすべて破棄されます。上記VDMTXERFRビットも初期化されます。本モジュールでは、PCIeリセット要求によるPBIC割り込みが通知されるため、PCIeリセットによるDMA停止は割り込みで確認できます。また、PBIINTERレジスタのビット29を読み出すことでもPCIeリセットのリクエスト状況が確認できます。PCIeリセットではVDM送信関連のレジスタは全てリセットされるため、テーブルエントリ送信の進捗状況（どのエントリまで送信が完了していたか）は確認できません。

35.6.2.6.3　VDM送信動作フロー

35.6.2.6.3.1　基本動作

ここではVDM送信の基本動作フローを説明します。

本DMAはディスクリプタテーブルにより動作を行います。DMAを起動する前にディスクリプタテーブルをDDRメモリ内に作成して下さい。1エントリにつき1送信データをポイントします。送信データはVDMヘッダ（4ダブルワード）及びVDMペイロードデータ（最大128バイト）で構成されます。本モジュールではこのVDMヘッダの基本内容をチェックする機能があります。本モジュールはVDMTXCTLレジスタのTLPCHKEビットが0のとき、以下の項目をチェックします。

- Fmt[2:0]＝001 / 011
- Type[4:3]＝10
- Requester ID＝VDMTXTRSID[15:0]
- Message Code＝(01111111)

一方、VDMTXCTLレジスタのTLPCHKEビットが1のときは以下の項目をチェックします。

- Fmt[2:0]＝001 / 011).
- Type[4:3]＝10
- AT[1:0]＝00
- Requester ID＝VDMTXTRSID[15:0].
- Message Code ＝01111111
- Vendor ID ＝ VDMTXVID0 & VDMTXVID1

本機能を使用する場合はDMAを起動する前にVDMTXVID0及びVDMTXVID1レジスタをセットしておいて下さい。

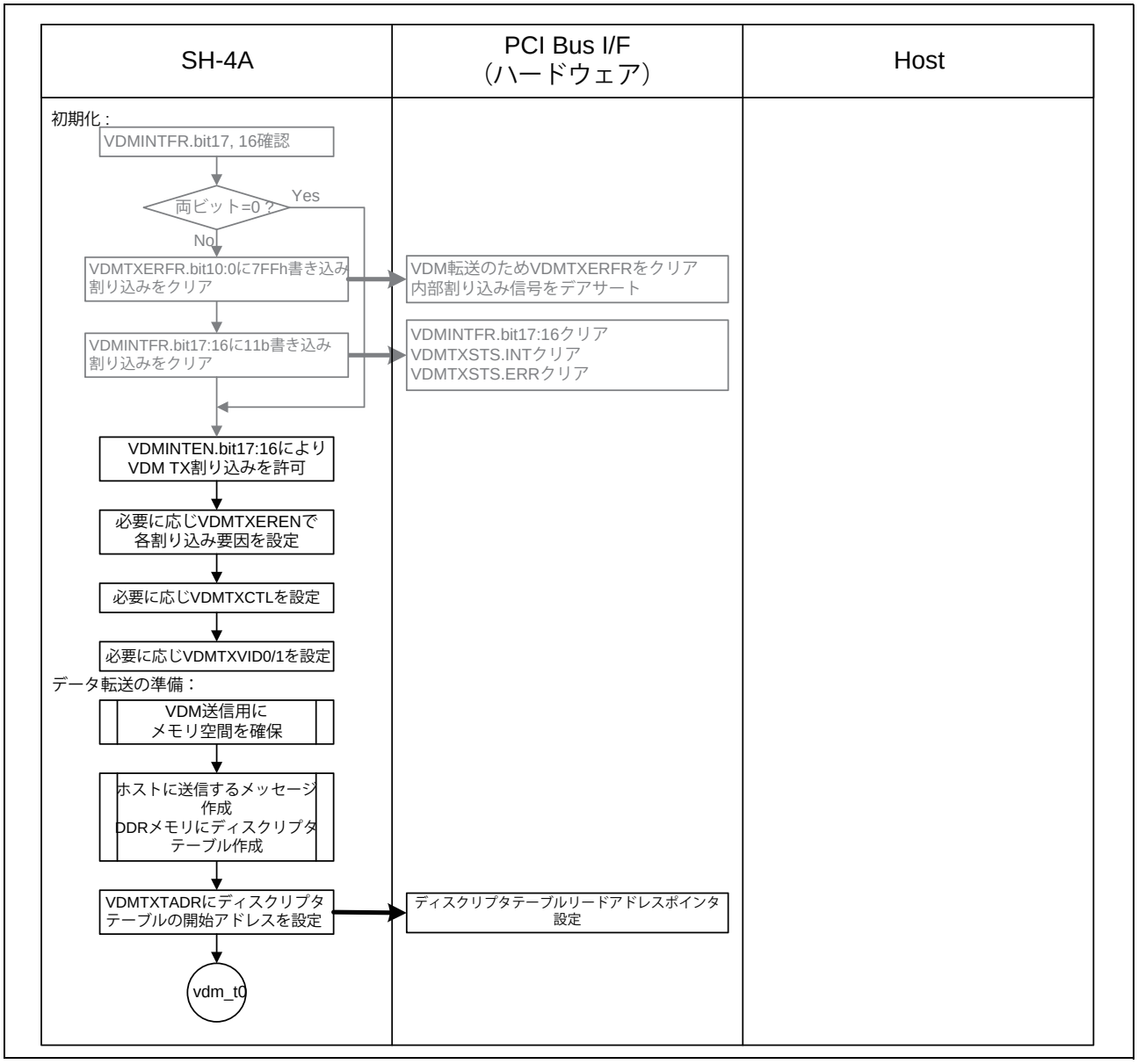


図 35.35　VDM送信の基本動作(1)

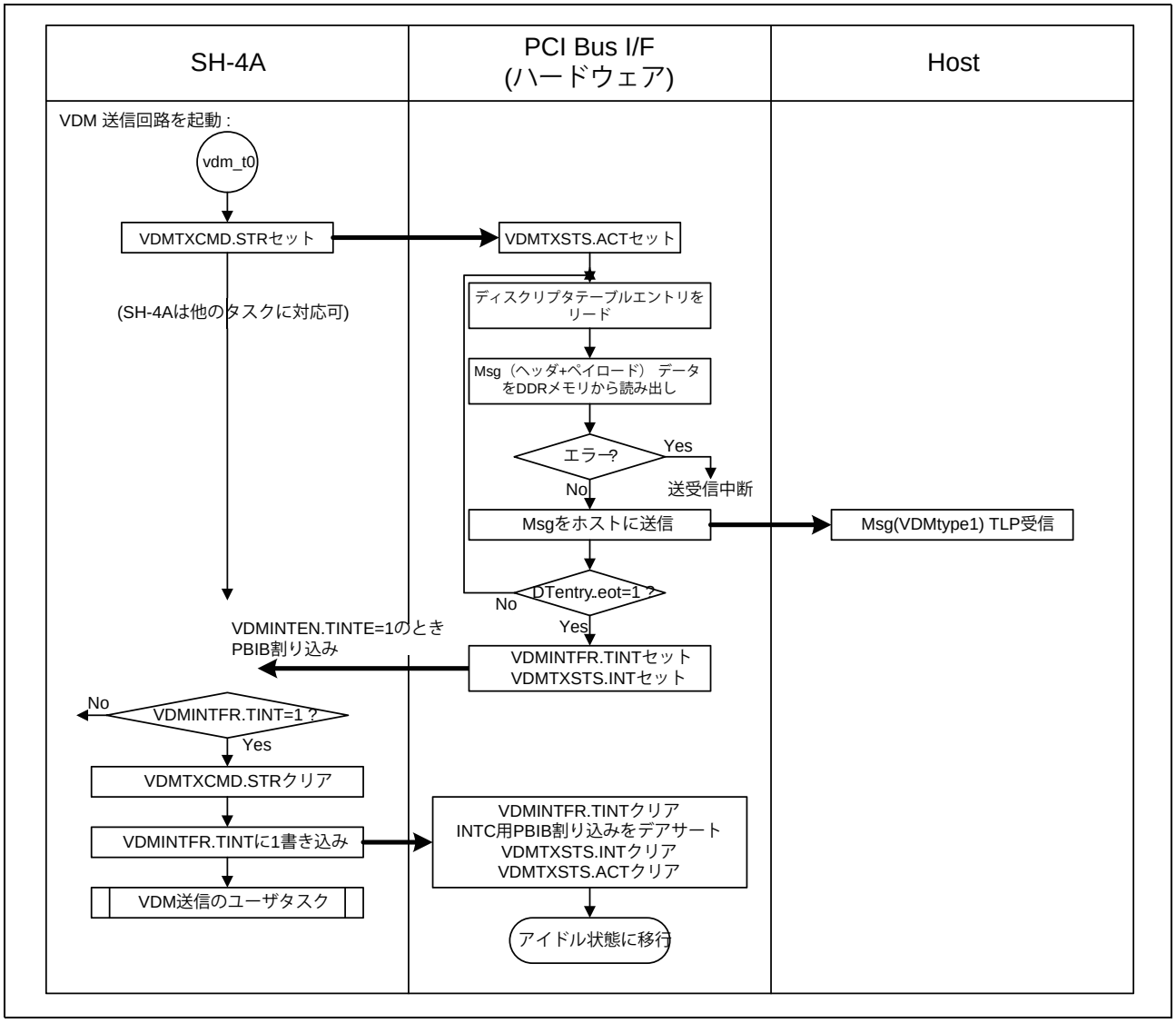


図 35.36　VDM送信の基本動作(2)

DMAはVDMTXCMDレジスタのSTRビットがセットされると起動し、ホストへのMCTPパケット送信が完了すると終了します。DMAを起動するとDDRメモリから16ディスクリプタテーブルをまとめて読み込み、VDM送信を開始します。1エントリにつき1送信データをポイントします。ホストへのVDMデータ送信をすべて完了するとホストへ割り込みを発生させます。本LSIでVDMTXCMDレジスタのSTRビット及びVDMINTFRレジスタのTINTビットをクリアし、DMAをアイドル状態に移行させて下さい。

35.6.2.6.3.2　本LSIによるDMA中断

ここではVDM送信器の「本LSIによるDMA中断のフロー」について説明します。

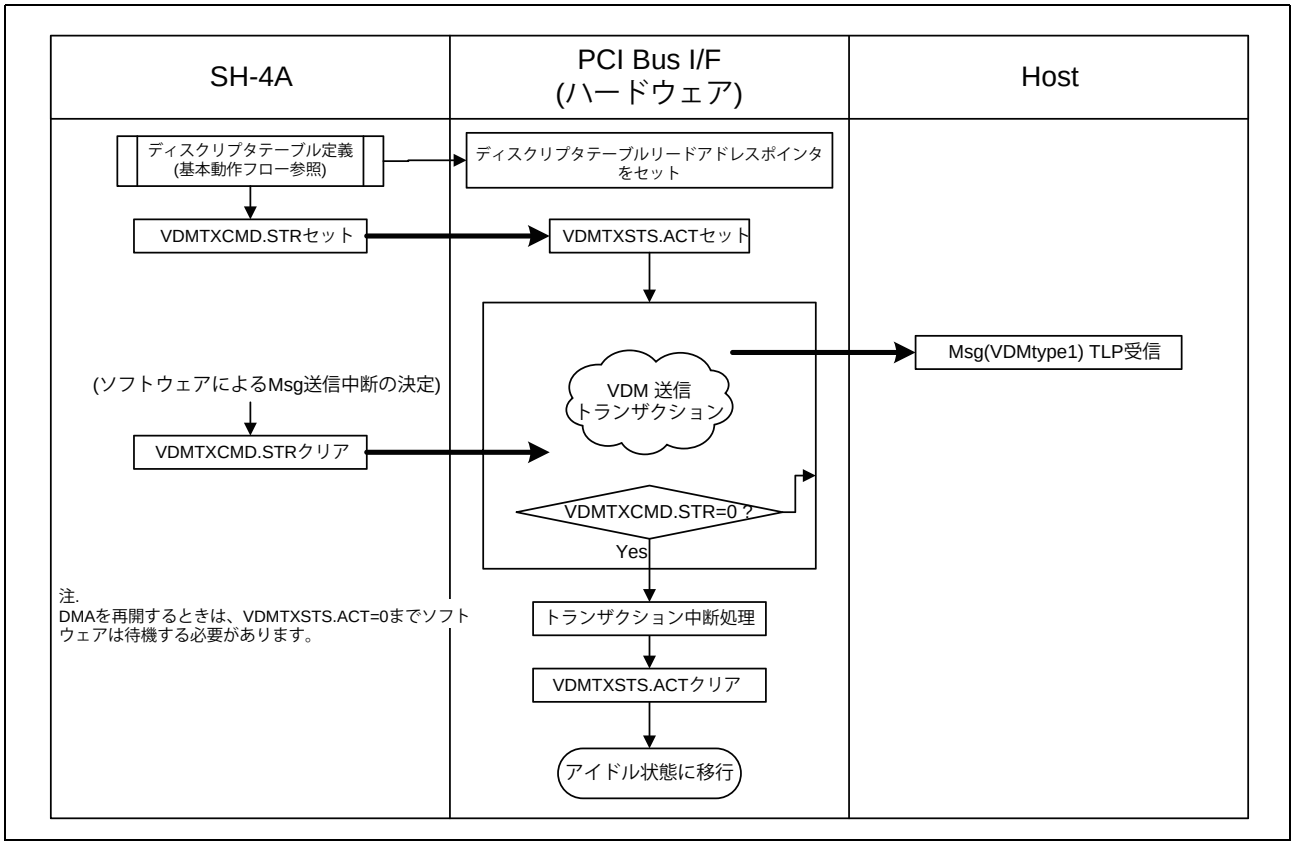


図 35.37　本LSIによるDMA中断フロー

本モジュールはホストへのVDM送信処理を中断できます。本LSIでDMAトランザクションの中断を決定すると、VDMTXCMDレジスタのSTRビットをクリアしDMAを中断します。STRビットをクリア直後に転送が中断し、DMAが終了します。DMAを再開する場合はソフトウェアはVDMTXSTSレジスタのACT=0になるまで待機して下さい。

35.6.2.6.3.3　エラーによる中断

ここではVDMトランスミッタのエラーによる中断について説明します。

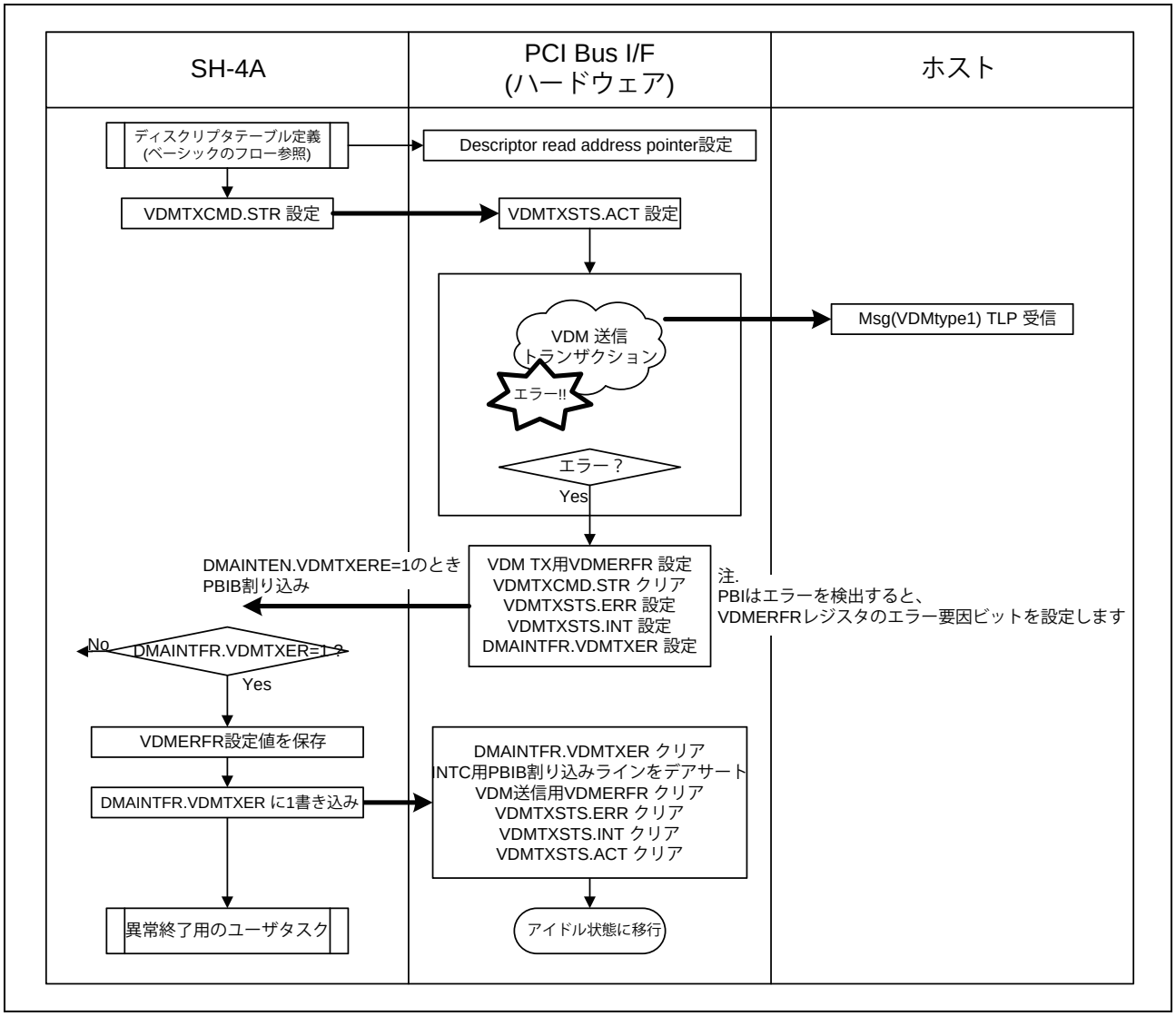


図 35.38　エラーによるVDM送信中断

この場合、DMAはシステムSHwy及びPCIeエラー発生で中断します。つまり、VDMTXERFR[10:0]ビットの1つでもセットされるとDMAは中断します。

35.6.2.7　Mailbox

Mailboxは本LSIとホスト間の情報転送に使用する4KBの双方向FIFOです。

本LSIとホストがこのMailboxを使用して情報を伝える場合、アービトレーション及び割り込み発生の機能を使用して両者の間でハンドシェイクできます。ホストからの要求はPBIA割り込みで判断します。

本LSIとホストはMailboxにアクセスできるように、ほぼ同様のレジスタセットを使用しています。

データサイズはバイト長のため、SH7753の外部と内部のエンディアンモードの違いは考慮の必要がありません。

35.6.2.7.1　Mailbox書き込みオーナーシップのアービトレーション

本モジュールはMailbox（FIFO）書き込みの際、オーナシップを取得するしくみになっています。書き込み側のオーナシップが決定すれば読み出し側はオーナシップ設定の必要がありません。

OWNREQビットに1を書き込むとFIFO書き込みのオーナシップを取得できます。オーナシップの取得状況はWTOWNER[1:0]ビットで確認できます。

書き込みオーナシップのアービトレーションは原則的に先着順で行います。本LSIとホストがリクエストを同じサイクルで行った場合、1つ前の書き込みサイクルでオーナシップのなかった方が優先されます。Mailboxの書き込みデータをすべて読み出すか、Mailboxのリセットのリクエストでオーナシップは取り消されます。つまりOWNREQビットの設定でオーナシップを取得し、FIFOにデータ書き込みを完了してもデータを読み出さない限りはオーナシップが持続するということになります。

本LSIはオーナシップなしではFIFOに書き込みができません。オーナシップなしで書き込みを行った場合、そのデータは破棄されます。書き込みオーナシップの取得に失敗した場合は、情報を送信するために一定の時間をおいて再度オーナシップをリクエストして下さい。

FIFO書き込み後のデータ読み出しは必ず書き込みが完了してから行って下さい。書き込み中にデータ読み出しを完了してしまうとオーナシップが解除され、書き込みができなくなります。また、本モジュールでは書き込みデータの読み出し中に別のデータを書き込む機能はサポートしていません。

35.6.2.7.2　ユーザ割り込み

Mailboxにはホストと本LSIの間に割り込みを発生させる機能が内蔵されています。この機能はMailboxのハードウェアとは連携しておらず、単純に相手のCPUに割り込みを伝えるだけなので、hostと本LSIでmailbox用途以外のsoftware処理の為に使うこともできます。

ユーザ割り込みを発生させるには、HWTCTL又はBWTCTLレジスタのUSERINTビットに1を書き込みます。例えば本LSIからBWTCTLレジスタのUSERINTビットに1を書き込むとHSTATUSレジスタのUSERINTビットが1になり、ホストにINTA（MSI）割り込み要求が送信されます。同様にホストからHWTCTLレジスタのUSERINTビットに1を書き込み、BSTATUSレジスタのUSERINTビットが1になると本LSIにPBIA割り込み要求が送信されます。

ユーザ割り込みをネゲートするには、割り込みを受信した本LSIのHSTATUS/BSTATUSレジスタのUSERINTビットに1を書き込みます。

35.6.2.7.3　ユーザステータス通知

MailboxはHSTATUS/BSTATUSレジスタのビット[15:8]を8ビットユーザステータスフィールドに使用し、これによりホストと本LSIはお互いのステータスを通知しあうことができます。HSTATUS/BSTATUSレジスタのユーザステータスフィールドでは同じ値が参照されます。

HSTATUS/BSTATUSレジスタのユーザステータスフィールドは読み出し専用です。HUSRSTSCTL/ BUSRSTSCTLレジスタでユーザステータスフィールドのセット／クリアを行います。HUSRSTSCTL/ BUSRSTSCTLレジスタのビット[23:16]でHSTATUS/BSTATUSレジスタのビット[15:8]をクリアします。セット／クリアを一度にリクエストすることはできません。個別にリクエストして下さい。HUSRSTSCTL/ BUSRSTSCTLレジスタのビット8（セット要求）とビット24（クリア要求）でセット／クリアを行います。ビット8又は24のいずれかが1の場合のみセット／クリアが実行されます。ビット8及び24が同じ値の場合、そのリクエストは無効となり、セット／クリアは行いません。

35.6.2.7.4　Mailbox動作フロー例

35.6.2.7.4.1　Mailbox基本動作例

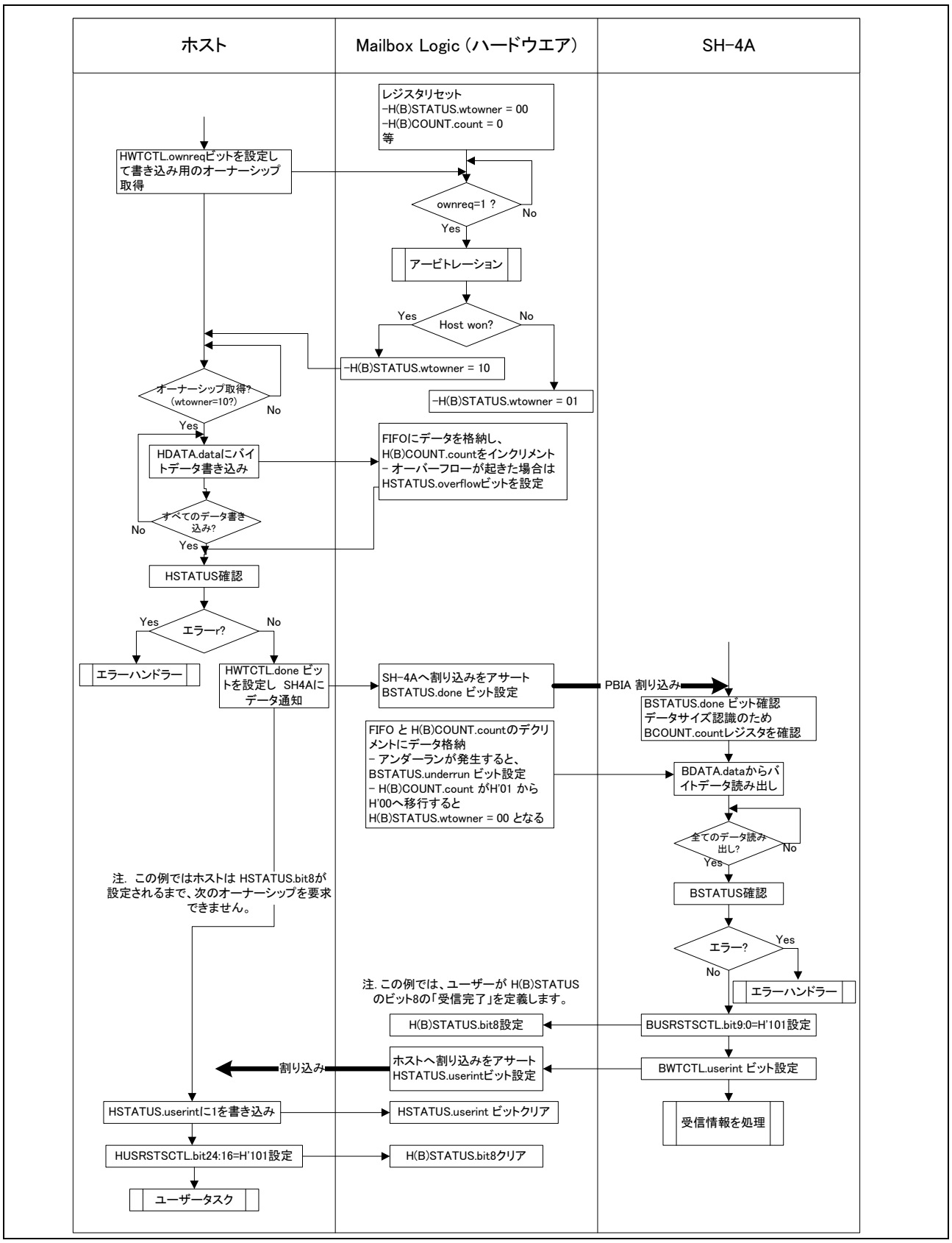


図 35.39　Mailbox 基本動作例

図35.38はホストから本LSIに情報を送信するフローチャートです。反対に本LSIからホストに送信する場合、フローの方向は逆になります。

1. Mailbox を使いホストからの情報を本 LSI（PBI）に送りたい場合は、HWTCTL レジスタの OWNREQ ビットを1にし、Mailbox書き込みのオーナシップを取得します。
2. 本LSIからはリクエストを送る機能はないため、代わりにMailboxが書き込みのオーナシップをホストに発行します。書き込みの許可をホストに通知するにはHSTATUS レジスタのWTOWNERビットを10にします。

   注. WTOWNERビットが10の場合のみ、ホストはHDATA経由で情報を書き込むことができます。WTOWNERビットが00（本LSI、ホスト共にオーナシップなし）になっているとHDATA経由で書き込んだデータは破棄されます。
3. WTOWNER ビットが 10 になり書き込み許可を確認すると、ホストは HDATA に必要な量のデータを書き込みます。
4. MailboxがデータをFIFOに書き込まれた順に保存します。このとき、HCOUNTの値がインクリメントされ、書き込まれたデータ容量（バイト）を本LSIに通知します（HCOUNT及びBCOUNTは同じ値を示します）。Mailboxの許容データサイズである4KB以上のデータが書き込まれた場合は、HSTATUS レジスタのOVFLWビットがセットされ、割り込みが有効になっていれば割り込みリクエストをホストに送信します。

   注1. FIFOに書き込み中にFIFOの読み出しを行った場合の動作の保証はしません。

   2. 割り込みのネゲートはOVFLWビットをクリアして下さい。
5. Mailboxへのデータ書き込みを完了後、ホストがHSTATUSレジスタを読み出しオーバフロー及びエラーが発生していないかを確認します。確認後HWTCTL レジスタのDONEビットをセットし、本LSIにデータを送ります。
6. HWTCTL レジスタのDONEビットがセットされると、MailboxがBSTATUSレジスタ（本LSI側）のDONEビットをセットし、PBIA割り込みを発生させ、本LSIがデータを取り込みます。

   注1. 割り込みのネゲートはDONEビットをクリアして下さい。

   2. WTOWNERビットがクリアできないため、FIFOが空の状態でDONEビットをセットしないで下さい。DONEビットの設定は必ずFIFOにデータが書き込まれた後に行って下さい。データ転送を伴わずにPBIA割り込みを発生させる為にはユーザ割り込みを使って下さい。
7. 本LSIが割り込みを検出し、BSTATUS レジスタのDONEビットが1になっているか確認します。確認後、本LSIはBSTATUSのDONEビットに1を書き戻し、割り込みをクリアします。BCOUNTレジスタを読み込みデータの書き込み量（バイト）を確認すると、本LSIは書き込まれた容量分のデータをBDATAから読み出します。
8. BDATA読み出し後、Mailboxは保存された順にデータを取り込み、本LSIに送信します。このとき、BCOUNTのカウンタはデクリメントします。書き込まれたデータ量以上のデータを読み出すとBSTATUSレジスタのUDRUNビットがセットされ、割り込みが有効になっていれば割り込みリクエストを本LSIに送信します。BCOUNTが1→0になるとWTOWNERビットは00になります。
9. 全データ読み出しが完了すると本LSIがBSTATUSを読み出し、UDRNビットがセットされていないか又はエラーが発生していないかを確認します。確認後ホストから受信したデータの処理を行います。
10. ここでは H(B)STATUS.USERDFSTS[0]=SH-4A 受信完了に定義するものとして説明を進めます。受信完了を通知するため、本LSIからBUSRSTSCTLビットにH'0000 0101を書き込み、H(B)STATUSレジスタのUSERDFSTSビットをセットします。また、BWTCTLレジスタのUSERINTビットを1にし、ホストに割り込みを送信します。

11. ホストが割り込みを検知すれば本LSIに全データの送信が完了したことになります。ホストからHSTATUSレジスタのUSERINTビットに1を書き戻し、割り込みをネゲートします。また、HUSRSTSCTLにH'0101 0000を書き込み、USERDFSTS[0]ビットをクリアします。

35.6.2.7.4.2 Mailbox リセット例

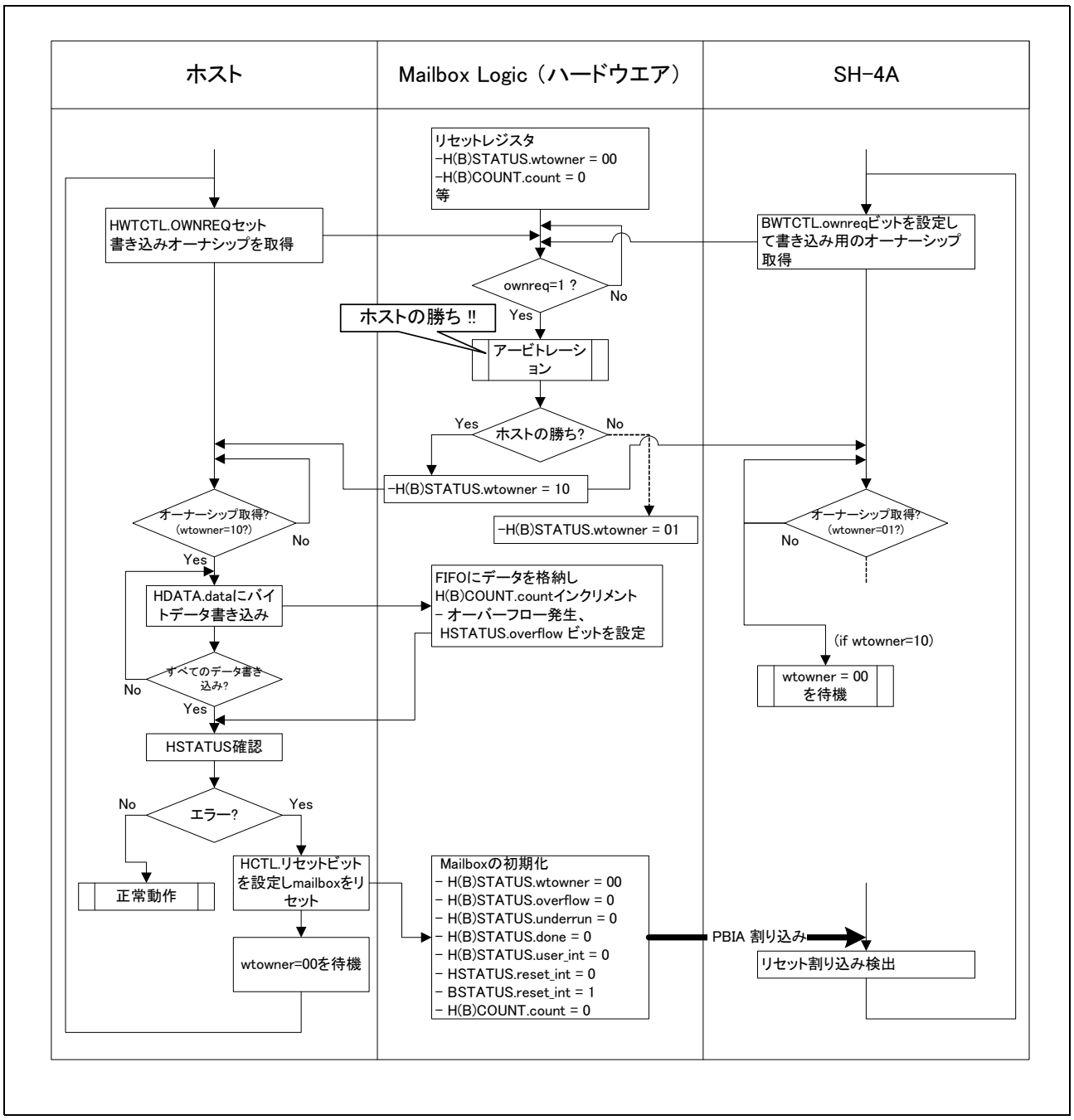


図 35.40　Mailboxリセット動作例

図35.39はホストから本LSIに情報が送信され、オーバフローが発生し、先にMailboxに格納されていたデータが破棄されるまでのフローを示しています。ホストと本LSIが同じタイミングでMailboxにリクエストを行った場合も同じフローとなります。

本LSIでリセットを行う場合も同様の手順となります。

1. Mailboxを使いホストからの情報を本LSI（PBI）に送りたい場合は、ホストでHWTCTLレジスタのOWNREQビットを1にし、Mailbox書き込みのオーナシップを取得します。
2. Mailboxを使い本LSI（PBI）からの情報をホストへ送りたい場合は、本LSIでBWTCTLレジスタのOWNREQビットを1にし、Mailbox書き込みのオーナシップを取得します。

3. Mailboxは本LSIとホストからの同時リクエストを受け付けますが、前回の書き込みサイクルでは本LSIがMailboxのユーザだったため、今回のサイクルではホストがオーナシップを取得します。ホストがオーナシップを取得したことを通知するため、WTOWNERビットが10にセットされます。
4. WTOWNERビットのセットにより、ホストのオーナシップ取得が通知されると、本LSIはWTOWNERビットが00になるまで待機します。
5. WTOWNERビット＝10が確認され書き込みが許可されるとホストはHDATAに一定量のデータを書き込みます。ここではホストが誤って4KB以上のデータを書き込んだ場合について説明します。
6. Mailboxが容量を超えるデータを受信するとHSTATUSレジスタのOVFLWビットがセットされ、割り込み有効の場合はホストに割り込みを送信します。

   注.　4KB以上のデータ書き込んだ場合、BCOUNTのインクリメントはH’1000でストップし、超過分のデータが先に保存されたデータを破壊する原因となります。Mailboxに保存するデータは4KB以内に収めて下さい。
7. オーバフローエラーを検出すると、ホストはSH-4Aに破損したデータを送信しないようにします。ホストによりHCTLレジスタのRESETビットがセットされ、Mailboxのリセットを要求します。その後、必要であれば情報を再送信します。
8. ソフトウエアリセットが要求されたMailboxはレジスタとFIFOアクセスポインタを初期化します。また、PBIA割り込みを本LSIに送信し、WTOWNERビットが00にクリアされたことを通知します。
9. 割り込みの受信に関しては、SH-4AはBSTATUSレジスタのRESETをライトバックして割り込みをクリアします。自ら一時停止した送信要求を開始するため、ホストへのMailboxがリセットされWTOWNERビットが00にクリアされてから、本LSIはBWTCTLレジスタのOWNREQビットを再度”1”にしてMailboxに書き込むオーナーシップを要求します。

35.6.2.8　パワーマネジメント

本モジュールのPCIeコンフィグレーション空間にはパワーマネジメント機能一覧があります。D0とD3hotステータスに対応しています。

ホストはPCIコンフィグレーションアクセスによりステータスの変更が可能です。D3hotでの動作はPBICTL2.ACD3H=1の状態とは異なります。

- PBICTL2.ACD3H = 0（デフォルト）のとき：PCIe準拠モード

<ホストの要求>

- コンフィグレーション及びメッセージ送受信を許可
- メモリ送受信及びI/O送受信をUnsupported Request（UR）として処理

<本LSIの要求>

- PBIモジュールのオールアクセス許可
- ホストへのアクセス及びMSI/VDM転送をPBIモジュールに要求する場合、本LSIはPME送信処理が必要

- PBICTL2.ACD3H = 1：特別モード

<ホストの要求>

- コンフィグレーション及びメッセージ送受信に加え、メモリ送受信を許可
- I/O送受信をUnsupported Request（UR）として処理

<本LSIの要求>

- PBIモジュールのオールアクセス許可
- PME送信処理なしでホストへのMSI/VDM転送を許可

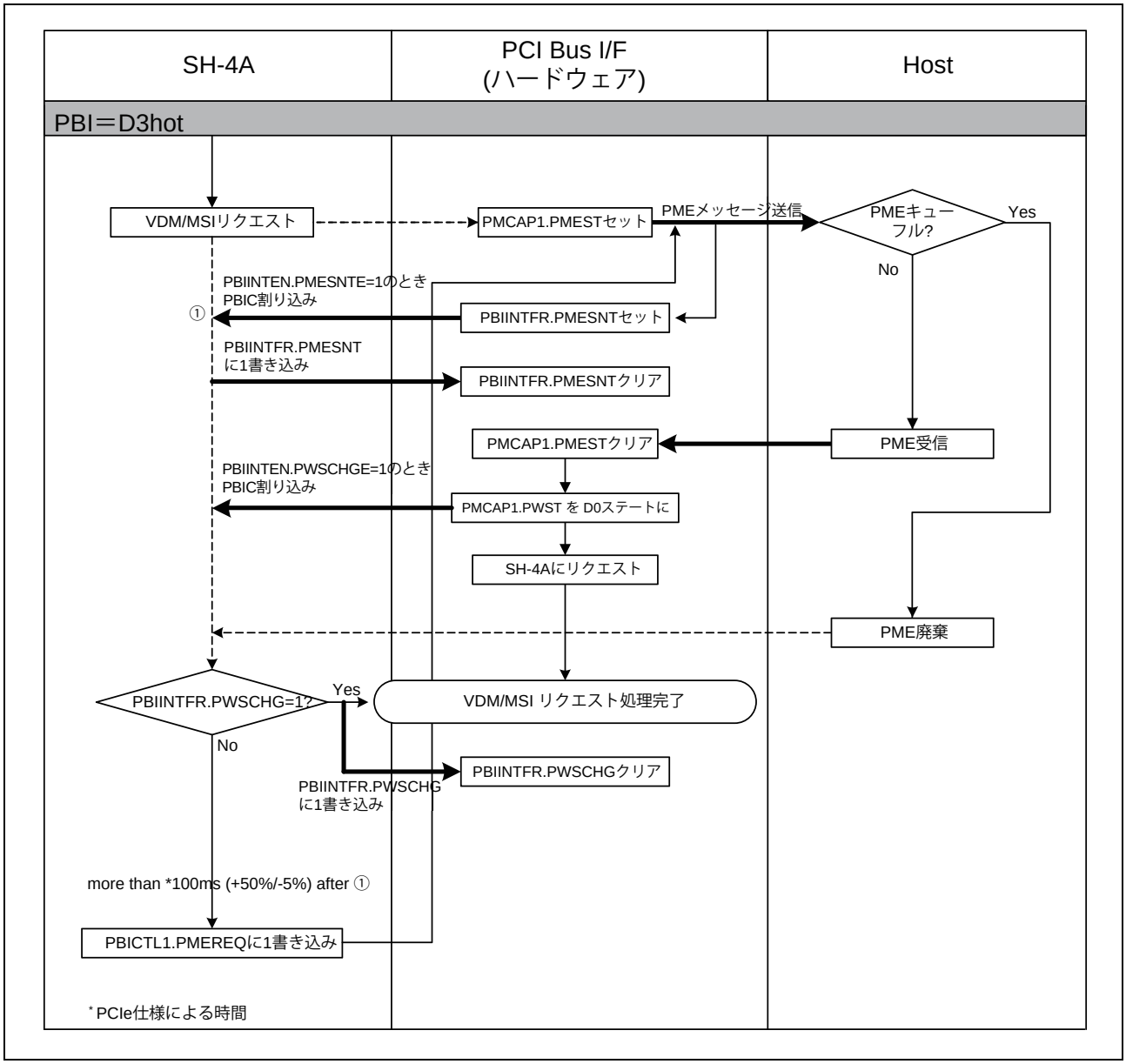


図 35.41　PME送信処理例

35.6.2.9　エラー処理

ここでは、PCIeバスインタフェースモジュールのエラー処理について説明します。

35.6.2.9.1　PCIeで定義されたエラー

本モジュールはPCIe 仕様で定義されたエラーのときに表35.13 のような動作をします。ADVSERSET レジスタではAdvisory Error 報告の制御が可能です。必要に応じてセットして下さい。また、CA/URステータス下でPBIモジュールが完了を送信すると、AERにAdvisory Non-Fatalエラーとして報告されます。

表35.14　PCIe で定義されたエラーの処理

エラー名	エラーの種類	説明	PBIの動作
アンコレクタブル内部エラー	修正不可能 （致命的でありデフォルトでマスクされる） 注.SH7753チップが故障した場合のみ発生	他のSHwyデバイス用にパケット受信又はPBIが想定外サイズのデータをSHwyから受信 （INNERER[13:11]がエラーを報告）	SHwyからのパケットを削除 注.このエラーの後、PBIの動作は保証されません。
		Virtual Transaction Layerインタフェースエラー	TLP削除 BAR：TLPの削除のみ VDM（レシーバ）：TLPの削除のみ
		リクエストTLPヘッダのルーティングミス	TLP削除 BAR：TLPの削除のみ VDM（レシーバ）：TLPの削除のみ
不正な形式のTLP	修正不可能 （致命的）	注.SH7753外部で起こる本エラーについてはほぼPCIe Switch（アップストリームポート）により報告されます。 - Length>Max_Payload_Sizeの場合 - Length !＝ペイロードサイズの場合 - I/OのLength !=1の場合 - I/OのAT[1:0] !=0又はAttr[1:0] != 0の場合 - I/O及びMRdLkのTC[2:0] !=0の場合 - Length=1のときLast DW BE !=0の場合 - Length=2で後続のBEなし、かつ奇数のダブルワードアドレスの場合 - Length=2で後続のBEなしの場合 - Length>1のとき最初又は最後のダブルワードBEが0000の場合 - リクエストTLPが4KBアドレス境界にまたがっている場合	（PBIでこのエラーが発生した場合） TLP削除 BAR：TLPの削除のみ PCIコンフィギュレーション：TLPの削除のみ VDM（レシーバ）：TLPの削除のみ
ECRCエラー	修正不可能 （非致命的）	ECRC Check Enableビット＝1のときECRCエラーを検出	TLP削除 BAR：TLPの削除のみ（注2） PCIコンフィギュレーション：TLPの削除のみ VDM（レシーバ）：TLPの削除のみ

エラー名	エラーの種類	説明	PBIの動作
Unsupported Request (UR) エラー	修正不可能（非致命的）	BAR領域のアドレス指定なし	Posted Request： BAR：TLPの削除のみ
			Non-Posted Request： BAR：URステータスで完了を送信
		BARMAPレジスタで指定されていないBAR領域へのアドレス指定	Posted Request： BAR：TLPの削除のみ（注3）
			Non-Posted Request： BAR：URステータスで完了を送信
	修正不可能（非致命的）	MRdLkリクエストを受信	BAR：URステータスで完了を送信
		VDM type-1以外のメッセージを受信	VDM（レシーバ）：TLPの削除のみ（注4）
		PCIe Base Specification r2.1でURに分類されるエラーを引きおこすCfgRd/Wrを受信	PCIコンフィギュレーション： URステータスで完了を送信
Completer Abort	修正不可能（非致命的）	プログラミングモデル違反（注5）	Posted Request： BAR：TLPの削除のみ
			Non-Posted Request： BAR：URステータスで完了を送信
有害なTLPを受信	修正不可能（非致命的）	PBICTL2 レジスタのEP Check Disable フィールドが”00”のときEP=1のpayload dataを受信（注6） （VDMレシーバの場合はVDMRXCTL.EPIGNOR（ビット0）=0のとき）	TLP削除 BAR：TLPの削除のみ VDM（レシーバ）：TLPの削除のみ（注7）
		EP=1のCfgWr0を受信	PCIコンフィギュレーション： URステータスで完了を送信
	修正可能	PBICTL2 レジスタのEP Check Disable フィールドが01のとき、EP=1のpayload dataを受信（VDMレシーバの場合はVDMRXCTL.EPIGNOR（ビット0）=1のとき）	EPビットを無視 BAR：メモリ又はI/Oデバイスに書き込み VDM（レシーバ）：メモリにTLPを書き込み

注1. AER Capabilityレジスタと ADVSERRSET レジスタがエラーメッセージを制御。
2. PBICTL2 レジスタのビット24がセットされていないときもエラーチェックは行われません。
3. BARMAPレジスタで指定されていないBAR領域がMailbox又はShared Memoryと重複している場合、重複部分へのアクセス時にエラーが発生しません。BARMAPレジスタで指定されていないBAR領域は無視されます。
4. VDM（レシーバ）はCODEIGNORレジスタのVDMRXCTLビット=1のときメッセージを格納します。
5. 各BAR 領域のプログラミングモデルはBARACSIZEレジスタで定義します。
   以下のアクセスが許可されます：
   I/O = バイト、ワード、ダブルワード
   メモリ = 制限なし、シングルアクセス用にバイト/ワード/ダブルワード、クワッドワード境界からの偶数ダブルワードのアクセス
6. PBICTL2 レジスタのEP Check Disableフィールドが11のときPoisoned Check featureは無効になります。
7. VDMRXCTLレジスタのEPIGNORビット=1のとき、VDM（レシーバ）はメッセージを格納します。

35.6.2.9.2　PCIeバスインタフェースで定義されたエラー

本モジュールはPCIeバスインタフェースで定義されたエラーのときに表35.14のような動作をします。

表35.15　PCIeバスインタフェースで定義されたエラーの処理

エラーの種類	説明	PBIの動作
メモリ残量なし	ディスクリプタテーブルで定義したメモリ空間が受信メッセージで埋まっている	VDM（レシーバ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.RER） 本LSIがVDMレシーバDMAを再開するまでは内部バッファ上のVDMと、その後受信したVDMを破棄
内部バッファフル	レシーバの内部バッファに空き容量がなく、受信VDMが格納できない	VDM（レシーバ）： 受信TLPを削除（VDMRXSTS.BFUL） （DMA中断なし）
VDMヘッダ	VDM送信回路が以下のデータで構成されるTLPヘッダの送信を準備： - Fmt[2:0]=001及び011以外 - Type[4:3]＝10以外 - Requester ID=PBI ID以外 - MessageCode=0111_1111以外（VDM type-1以外） また、VDMTXCTLレジスタのTLPCHKEビット=1の場合は以下の項目もチェック： - AT[1:0]=00以外 - VendorID＝VDMTXVID0及びVDMTXVID1 レジスタで登録されていないもの	VDM（トランスミッタ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.TER） （TLPの送信はなし）
	TLPヘッダのLengthフィールドがMPS以上に設定、又はディスクリプタテーブルのPacket sizeフィールドが(MPS + 16バイト)以上に設定	VDM（トランスミッタ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.TER） （TLPの送信はなし）
システムSHwy	マニュアルリセット及びソフトウェアリセットのリクエスト	VDM（レシーバ）： VDM（レシーバ）回路をリセット（初期化）
		VDM（トランスミッタ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.TER）
	リージョン0に定義された以外の領域からのアクセス	VDM（レシーバ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.RER） 本LSIがVDMレシーバDMAを再開するまでは内部バッファ上のVDMと、その後受信したVDMを破棄
		VDM（トランスミッタ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.TER） （TLPの送信はなし）

システムSHwy	SHwyによるエラー報告（ターゲットアドレス無しetc.） （INNERER[7:4]でも報告あり）	VDM（レシーバ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.RER） 本LSIがVDMレシーバDMAを再開するまでは内部バッファ上のVDMと、その後受信したVDMを破棄
		VDM（トランスミッタ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.TER） （TLPの送信はなし）
Vritual Transaction Layerインタフェース	PBIによる不正なTLP送信 （PCIe SWによるエラー報告）	VDM（トランスミッタ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.TER）
		BAR： BARの完了に対するアクションなし
	Vritual Transaction Layerインタフェースによるエラー報告	VDM（トランスミッタ）： DMAを中断＆本LSIに割り込み送信（VDMINTFR.TER）

35.6.2.10　レジスタの説明

ここでは「35.6.2.2 アドレスマップ」でも説明した、本モジュール内蔵の各レジスタグループの動作について説明します。

レジスタグループにはPCIeコンフィグレーションレジスタ、PCIインタフェースセットアップレジスタ、システムバスセットアップレジスタ、DMAコントロールレジスタ、その他のレジスタ、及びMailboxコントロールレジスタがあります。

35.6.2.10.1　PCIeコンフィグレーションレジスタ

35.6.2.10.1.1　PCIeコンフィグレーションレジスタのアドレス

このレジスタグループはSH-4A及びホストの両方からアクセス可能です。本LSIとホストで属性とアドレスが異なります。表39.15に本LSI、表39.16にホスト用の特長を示します。

レジスタの属性	説明
HwInit	Hardware Initialized ：ファームウエア又はハードウエアで初期化されます。初期化後は読み出し専用となり、パワーオンリセットでのみリセットが可能です。
R	Read-only：読み出し専用ビットであり、ソフトウェアからは変更できません。
R/W	Read-Write：読み書き可能ビットであり、ソフトウェアによるセット及びクリアが可能です。
RW1C	Write-1-to-clear status：読み出すとビットの状態を示します。”1”を書くとクリアされます。”0”を書いても変化しません。
ROS	Sticky - Read-only：読み出し専用のビットでソフトウェアからは変更できません。ホットリセット及びFLRでも変更・初期化されません。
RWS	Sticky - Read-Write：読み書き可能ビットでソフトウェアによるセット及びクリアが可能です。このビットはホットリセット及びFLRでも変更・初期化されません。
RW1CS	Sticky - Write-1-to-clear status：読み出すとレジスタの状態を示します。”1”を書くとクリアされます。”0”を書いても変化しません。このビットはホットリセット及びFLRでも変更・初期化されません。
RsvdP	Reserved and Preserved：後に読み書きを行うためのリザーブです。レジスタは読み出し専用で読み出すときは”0”にクリアします。書き込み用にソフトウェアで値を保存する必要があります。
RsvdZ	Reserved and Zero：後にRW1Cを実行するためのリザーブです。レジスタは読み出し専用で読み出すときは”0”にクリアします。ソフトウェアは”0”を使用して下さい。

表35.16　SH-4A用のPCIeコンフィグレーションレジスタアドレス

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット	ソフトウエアリセット	PCIeリセット（注2）
PCIeコンフィグレーションレジスタ0	PCICONF0	R	H'FFCA 0000	32	H'0000 0000	保持	保持	H'XXXX XXXX（注3）
PCIeコンフィグレーションレジスタ1	PCICONF1	R/W	H'FFCA 0004	32	H'0010 0000	保持	保持	H'00X0 0000
PCIeコンフィグレーションレジスタ 2	PCICONF2	R	H'FFCA 0008	32	H'FF00 0000	保持	保持	H'XXXX XXXX（注4）
PCIeコンフィグレーションレジスタ 3	PCICONF3	R/W	H'FFCA 000C	32	H'0000 0000	保持	保持	H'XXXX 0000
PCIeコンフィグレーションレジスタ 4	PCICONF4	R	H'FFCA 0010	32	H'0000 0000	保持	保持	H'XXXX XXXX（注5）
PCIeコンフィグレーションレジスタ 5	PCICONF5	R	H'FFCA 0014	32	H'0000 0000	保持	保持	H'XXXX XXXX（注6）
PCIeコンフィグレーションレジスタ 6	PCICONF6	R	H'FFCA 0018	32	H'0000 0000	保持	保持	H'XXXX XXXX（注7）
PCIeコンフィグレーションレジスタ 7	PCICONF7	R	H'FFCA 001C	32	H'0000 0000	保持	保持	H'XXXX XXXX（注8）
PCIeコンフィグレーションレジスタ 8	PCICONF8	R	H'FFCA 0020	32	H'0000 0000	保持	保持	H'XXXX XXXX（注9）
PCIeコンフィグレーションレジスタ 9	PCICONF9	R	H'FFCA 0024	32	H'0000 0000	保持	保持	H'XXXX XXXX（注10）
PCIeコンフィグレーションレジスタ 10	PCICONF10	R	H'FFCA 0028	32	H'0000 0000	保持	保持	H'0000 0000
PCIeコンフィグレーションレジスタ 11	PCICONF11	R	H'FFCA 002C	32	H'0000 0000	保持	保持	H'XXXX XXXX（注11）
PCIeコンフィグレーションレジスタ 12	PCICONF12	R	H'FFCA 0030	32	H'0000 0000	保持	保持	H'0000 0000
PCIeコンフィグレーションレジスタ 13	PCICONF13	R/W	H'FFCA 0034	32	H'0000 0040	保持	保持	H'0000 00XX
PCIeコンフィグレーションレジスタ 14	PCICONF14	R/W	H'FFCA 003C	32	H'0000 00FF	保持	保持	H'0000 XXFF
電源管理Capabilityレジスタ0	PMCAP0	R/W	H'FFCA 0040	32	H'4003 5001	保持	保持	H'XXXX XXXX
電源管理Capabilityレジスタ1	PMCAP1	R/W	H'FFCA 0044	32	H'0000 0008	保持	保持	H'00X0 0X08
MSI Capabilityレジスタ0	MSICAP0	R/W	H'FFCA 0050	32	H'0086 7005	保持	保持	H'0XXX XXXX
MSI Capabilityレジスタ1	MSICAP1	R/W	H'FFCA 0054	32	H'0000 0000	保持	保持	H'0000 0000
MSI Capabilityレジスタ2	MSICAP2	R/W	H'FFCA 0058	32	H'0000 0000	保持	保持	H'0000 0000
MSI Capabilityレジスタ3	MSICAP3	R/W	H'FFCA 005C	32	H'0000 0000	保持	保持	H'0000 0000
PCI Express Capabilityレジスタ0	EXPCAP0	R/W	H'FFCA 0070	32	H'0E02 0010	保持	保持	H'XX02 XX10

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット	ソフトウエアリセット	PCIeリセット（注2）
PCI Express Capability レジスタ1	EXPCAP1	R/W	H'FFCA 0074	32	H'1000 8020	保持	保持	H'X000 XXX0
PCI Express レジスタ2	EXPCAP2	R/W	H'FFCA 0078	32	H'0000 2910	保持	保持	H'0000 2XX0
PCI Express レジスタ3	EXPCAP3	R/W	H'FFCA 007C	32	H'0043 F411	保持	保持	H'XXXX XXXX（注12）
PCI Expressレジスタ4	EXPCAP4	R/W	H'FFCA 0080	32	H'0011 0000	保持	保持	H'XXXX XXXX（注13）
PCI Express Capability レジスタ5	EXPCAP5	R	H'FFCA 0094	32	H'0000 0010	保持	保持	H'0000 0010
PCI Express Capability レジスタ6	EXPCAP6	R/W	H'FFCA 0098	32	H'0000 0000	保持	保持	H'0000 000X
PCI Express Capability レジスタ7	EXPCAP7	R	H'FFCA 009C	32	H'0000 0000	保持	保持	H'XXXX XXXX（注14）
PCI Express Capability レジスタ8	EXPCAP8	R/W	H'FFCA 00A0	32	H'0000 0000	保持	保持	H'XXXX XXXX（注15）
アドバンストエラー報告 Capability レジスタ0	ADERCAP0	R	H'FFCA 0100	32	H'0001 0001	保持	保持	H'0001 0001
アドバンストエラー報告 Capability レジスタ1	ADERCAP1	R	H'FFCA 0104	32	H'0000 0000	保持	保持	保持
アドバンストエラー報告 Capability レジスタ2	ADERCAP2	R	H'FFCA 0108	32	H'0040 0000	保持	保持	保持
アドバンストエラー報告 Capability レジスタ3	ADERCAP3	R	H'FFCA 010C	32	H'0044 0010	保持	保持	保持
アドバンストエラー報告 Capability レジスタ4	ADERCAP4	R	H'FFCA 0110	32	H'0000 0000	保持	保持	保持
アドバンストエラー報告 Capability レジスタ5	ADERCAP5	R	H'FFCA 0114	32	H'0000 A000	保持	保持	保持
アドバンストエラー報告 Capability レジスタ6	ADERCAP6	R/W	H'FFCA 0118	32	H'0000 02A0	保持	保持	保持
アドバンストエラー報告 Capability レジスタ7	ADERCAP7	R	H'FFCA 011C	32	H'0000 0000	保持	保持	保持
アドバンストエラー報告 Capability レジスタ8	ADERCAP8	R	H'FFCA 0120	32	H'0000 0000	保持	保持	保持
アドバンストエラー報告 Capability レジスタ9	ADERCAP9	R	H'FFCA 0124	32	H'0000 0000	保持	保持	保持
アドバンストエラー報告 Capability レジスタ10	ADERCAP10	R	H'FFCA 0128	32	H'0000 0000	保持	保持	保持

注1. このリセットは$\overline{\text{PRESET}}$端子によってアサートされます。
2. このリセットはPCIeスイッチハードウエアリセット、モジュールリセット、ファンクションレベルリセット、PCIeスイッチからの2ndバスリセット又はPCIeスイッチからのHotリセットに対応しています。これらのリセットは「35.6.2.3 リセット」に記載されています。
3. ID セットレジスタ 1 (H'FFCA1204)によって値が設定されます。
4. ローカルアドレスマスクレジスタ0 (H'FFCA1264)によって値が設定されます。
5. ローカルアドレスマスクレジスタ1 (H'FFCA126C)によって値が設定されます。
6. ローカルアドレスマスクレジスタ2 (H'FFCA1274)によって値が設定されます。
7. ローカルアドレスマスクレジスタ3 (H'FFCA127C)によって値が設定されます。

8. ローカルアドレスマスクレジスタ4 (H'FFCA1284)によって値が設定されます。
9. ローカルアドレスマスクレジスタ5 (H'FFCA128C)によって値が設定されます。
10. SubID セットレジスタ(H'FFCA1208)によって値が設定されます。
11. リンクコンフィグレーション設定レジスタ0 (H'FFCA1214)によって値が設定されます。
12. リンクコンフィグレーション設定レジスタ1 (H'FFCA1218)によって値が設定されます。
13. リンクコンフィグレーション設定レジスタ2 (H'FFCA121C)によって値が設定されます。
14. リンクコンフィグレーション設定レジスタ3 (H'FFCA1220)によって値が設定されます。

表35.17　ホスト用のPCIeコンフィグレーションレジスタアドレス

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット	ソフトウエアリセット	PCIeリセット（注2）
PCIeコンフィグレーションレジスタ0	PCICONF0	R	H'0000	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注3）
PCIeコンフィグレーションレジスタ1	PCICONF1	R/W	H'0004	8、16、32	H'0010 0000	保持	保持	H'00X0 0000
PCIeコンフィグレーションレジスタ2	PCICONF2	R	H'0008	8、16、32	H'FF00 0000	保持	保持	H'XXXX XXXX（注4）
PCIeコンフィグレーションレジスタ3	PCICONF3	R/W	H'000C	8、16、32	H'0000 0000	保持	保持	H'XXXX 0000
PCIeコンフィグレーションレジスタ4	PCICONF4	R/W	H'0010	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注5）
PCIeコンフィグレーションレジスタ5	PCICONF5	R/W	H'0014	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注6）
PCIeコンフィグレーションレジスタ6	PCICONF6	R/W	H'0018	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注7）
PCIeコンフィグレーションレジスタ7	PCICONF7	R/W	H'001C	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注8）
PCIeコンフィグレーションレジスタ8	PCICONF8	R/W	H'0020	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注9）
PCeコンフィグレーションレジスタ9	PCICONF9	R/W	H'0024	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注10）
PCIeコンフィグレーションレジスタ10	PCICONF10	R	H'0028	8、16、32	H'0000 0000	保持	保持	H'0000 0000
PCIeコンフィグレーションレジスタ11	PCICONF11	R	H'002C	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注11）
PCIeコンフィグレーションレジスタ12	PCICONF12	R	H'0030	8、16、32	H'0000 0000	保持	保持	H'0000 0000
PCIeコンフィグレーションレジスタ13	PCICONF13	R	H'0034	8、16、32	H'0000 0040	保持	保持	H'0000 00XX
PCIeコンフィグレーションレジスタ14	PCICONF14	R/W	H'003C	8、16、32	H'0000 00FF	保持	保持	H'0000 XXFF
電源管理Capabilityレジスタ0	PMCAP0	R	H'0040	8、16、32	H'4003 5001	保持	保持	H'XXXX XXXX
電源管理Capabilityレジスタ1	PMCAP1	R/W	H'0044	8、16、32	H'0000 0008	保持	保持	H'00X0 0X08
MSI Capability レジスタ0	MSICAP0	R/W	H'0050	8、16、32	H'0086 7005	保持	保持	H'0XXX XXXX
MSI Capability レジスタ1	MSICAP1	R/W	H'0054	8、16、32	H'0000 0000	保持	保持	H'0000 0000
MSI Capability レジスタ2	MSICAP2	R/W	H'0058	8、16、32	H'0000 0000	保持	保持	H'0000 0000
MSI Capability レジスタ3	MSICAP3	R/W	H'005C	8、16、32	H'0000 0000	保持	保持	H'0000 0000
PCI Express Capabilityレジスタ0	EXPCAP0	R	H'0070	8、16、32	H'0E02 0010	保持	保持	H'XX02 XX10
PCI Express Capabilityレジスタ1	EXPCAP1	R	H'0074	8、16、32	H'1000 8020	保持	保持	H'X000 XXX0
PCI Express Capabilityレジスタ2	EXPCAP2	R/W	H'0078	8、16、32	H'0000 2910	保持	保持	H'0000 2XX0

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット	ソフトウエアリセット	PCIeリセット（注2）
PCI Express Capability レジスタ3	EXPCAP3	R	H'007C	8、16、32	H'0040 3F411	保持	保持	H'XXXX XXXX（注12）
PCI Express Capability レジスタ4	EXPCAP4	R/W	H'0080	8、16、32	H'0011 0000	保持	保持	H'XXXX XXXX（注13）
PCI Express Capability レジスタ5	EXPCAP5	R	H'0094	8、16、32	H'0000 0010	保持	保持	H'0000 0010
PCI Express Capability レジスタ6	EXPCAP6	R/W	H'0098	8、16、32	H'0000 0000	保持	保持	H'0000 000X
PCI Express Capability レジスタ7	EXPCAP7	R	H'009C	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注14）
PCI Express Capability レジスタ8	EXPCAP8	R	H'00A0	8、16、32	H'0000 0000	保持	保持	H'XXXX XXXX（注15）
アドバンストエラー報告Capabilityレジスタ0	ADERCAP0	R	H'0100	8、16、32	H'0001 0001	保持	保持	H'0001 0001
アドバンストエラー報告Capabilityレジスタ1	ADERCAP1	R/W	H'0104	8、16、32	H'0000 0000	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ2	ADERCAP2	R/W	H'0108	8、16、32	H'0040 0000	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ3	ADERCAP3	R/W	H'010C	8、16、32	H'0044 0010	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ4	ADERCAP4	R/W	H'0110	8、16、32	H'0000 0000	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ5	ADERCAP5	R/W	H'0114	8、16、32	H'0000 A000	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ6	ADERCAP6	R/W	H'0118	8、16、32	H'0000 02A0	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ7	ADERCAP7	R	H'011C	8、16、32	H'0000 0000	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ8	ADERCAP8	R	H'0120	8、16、32	H'0000 0000	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ9	ADERCAP9	R	H'0124	8、16、32	H'0000 0000	保持	保持	保持
アドバンストエラー報告Capabilityレジスタ10	ADERCAP10	R	H'0128	8、16、32	H'0000 0000	保持	保持	保持

注1. このリセットは$\overline{\text{PRESET}}$端子によってアサートされます。
2. このリセットはPCIeスイッチハードウエアリセット、モジュールリセット、ファンクションレベルリセット、PCIeスイッチからの2ndバスリセット又はPCIeスイッチからのHotリセットに対応しています。これらのリセットは「35.6.2.3 リセット」に記載されています。
3. ID セットレジスタ0 (H'FFCA1200)によって値が設定されます。
4. ID セットレジスタ 1 (H'FFCA1204)によって値が設定されます。
5. ローカルアドレスマスクレジスタ0 (H'FFCA1264)によって値が設定されます。
6. ローカルアドレスマスクレジスタ1 (H'FFCA126C)によって値が設定されます。
7. ローカルアドレスマスクレジスタ2 (H'FFCA1274)によって値が設定されます。
8. ローカルアドレスマスクレジスタ3 (H'FFCA127C)によって値が設定されます。
9. ローカルアドレスマスクレジスタ4 (H'FFCA1284)によって値が設定されます。
10. ローカルアドレスマスクレジスタ5 (H'FFCA128C)によって値が設定されます。
11. SubID セットレジスタ (H'FFCA1208)によってこの値が設定されます。

12. リンクコンフィグレーション設定レジスタ0 (H'FFCA1214)によって値が設定されます。
13. リンクコンフィグレーション設定レジスタ1 (H'FFCA1218)によって値が設定されます。
14. リンクコンフィグレーション設定レジスタ2 (H'FFCA121C)によって値が設定されます。
15. リンクコンフィグレーション設定レジスタ3 (H'FFCA1220)によって値が設定されます。

35.6.2.10.1.2　PCIeコンフィグレーションレジスタの説明

(1) PCIeコンフィグレーションレジスタ0 (PCICONF0)

このレジスタはPCIe互換コンフィグレーションレジスタのベンダIDとデバイスIDに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEVID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15 ～ 0	VID	0	R	R	Vendor ID PCIeデバイスベンダが割り付けたデバイスIDを示します。 IDSET0レジスタのDEVIDビットに設定された値を示します。
31 ～ 16	DEVID	0	R	R	Device ID PCIeデバイスベンダが割り付けたデバイスIDを示します。 IDSET0レジスタのDEVIDビットに設定された値を示します。

(2) PCIeコンフィグレーションレジスタ0 (PCICONF0)

このレジスタはPCIe互換コンフィグレーションレジスタのコマンドとステータスレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DPE	SSE	RMA	RTA	STA	—	—	MDPE	—	—	—	CAPL	INTST	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
ホストR/W:	RW1C	RW1C	RW1C	RW1C	RW1C	—	—	RW1C	—	—	—	R	R	—	—	—
SH-4A R/W:	RW1C	RW1C	RW1C	RW1C	RW1C	—	—	RW1C	—	—	—	RW	R	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	INT DIS	—	SERRE	—	PERS	—	—	—	BME	MSE	ISE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	RW	—	RW	—	RW	—	—	—	RW	RW	RW
SH-4A R/W:	—	—	—	—	—	RW	—	RW	—	RW	—	—	—	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	ISE	0	R/W	R/W	I/O Space Enable I/O空間へのアクセスを許可します。0クリアされると、本インタフェースへのI/O要求はUnsupported Requestとして処理されます。
1	MSE	0	R/W	R/W	Memory Space Enable メモリ空間へのアクセスを許可します。0クリアされると、本インタフェースへのメモリ要求はUnsupported Requestとして処理されます。
2	BME	0	R/W	R/W	Bus Master Enable メモリ要求の送信を許可します。クリアされると、メモリ要求は送信されません。
5 ～ 3	—	0	—	—	リザーブビット
6	PERS	0	R/W	R/W	Parity Error Response ステータスレジスタのMaster Data Parity Errorビット(PCICONF1.MDPE)にあるpoisoned TLPのログを制御します。
7	—	0	—	—	リザーブビット
8	SERRE	0	R/W	R/W	SERR# Enable 致命的又は非致命的エラーが検出されたとき、エラーメッセージを送信します。”1”がセットされると、エラーメッセージの送信が有効になります。
9	—	0	—	—	リザーブビット
10	INTDIS	0	R/W	R/W	Interrupt Disable INTA メッセージを送信します。”1”がセットされると、INTA メッセージは送信されません。
18 ～ 11	—	0	—	—	リザーブビット
19	INTST	0	R	R	Interrupt Status INTA メッセージ送信で割り込みが行われると、”1”がセットされます。要求された割り込み処理が完了すると0クリアされます。デバイスがMSIを使用しているとき、”1”はセットされません。

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
20	CAPL	1	R	R/W	Capabilities List PCIe互換コンフィグレーション空間の拡張capabilitiesリストを示します。本インタフェースには拡張capabilitiesリストを内蔵しています。”1”以外の値を書き込まないでください。
23 ～ 21	—	0	—	—	リザーブビット
24	MDPE	0	RW1C	RW1C	Master Data Parity Error PCICONF1レジスタのPERSビットが1で以下の条件の成立時”1”にセットされます。 • リクエスタがpoisoned completionを受信 • リクエスタがpoisoned completionを送信
26、25	—	0	—	—	リザーブビット
27	STA	0	RW1C	RW1C	Signaled Target Abort Completer Abort完了ステータスを発行して要求を終了させたときに”1”にセットされます。
28	RTA	0	RW1C	RW1C	Received Target Abort Completer Abort完了ステータスが受信されると、”1”にセットされます。
29	RMA	0	RW1C	RW1C	Received Master Abort Unsupported Request完了ステータスが受信されると、”1”にセットされます。
30	SSE	0	RW1C	RW1C	Signaled System Error システムエラーが検出されたことを示します。PCICONF1レジスタのSERREビットが”1”でERR_FATAL又はNON_FATALメッセージが送信されたときに”1”がセットされます。
31	DPE	0	RW1C	RW1C	Detected Parity Error パリティエラーが検出されたことを示します。Poisoned TLPが受信されると、”1”にセットされます。

(3) PCIeコンフィグレーションレジスタ2 (PCICONF2)

このレジスタはPCIe互換コンフィグレーションレジスタのRevision IDとClass Codeレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CLCD								SCLCD							
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROGIF								REVID							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 0	REVID	すべて0	R	R	Revision ID IDSET1レジスタのREVIDビットに設定された値を示します。
15 ～ 8	PROGIF	すべて0	R	R	Programming Interface IDSET1レジスタのPROGIFビットに設定された値を示します。
23 ～ 16	SCLCD	すべて0	R	R	Sub Class Code IDSET1レジスタのSCLCDビットに設定された値を示します。
31 ～ 24	CLCD	すべて1	R	R	Class Code IDSET1レジスタのCLCDビットに設定された値を示します。

(4) PCIeコンフィグレーションレジスタ3 (PCICONF3)

このレジスタはPCIe互換コンフィグレーションレジスタのCache Line Size、Latency Timer、Header TypeとBISTレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BST CAP	STBST	—	—	BSTCODE				SFMF	HDTP						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	—	—	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	RW	RW	—	—	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLT								CLS							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 0	CLS	すべて0	R/W	R/W	Cache Line Size このフィールドはPCIeデバイスがレガシーに対応するためにR/Wフィールドとして実行しているものですが、PCIeデバイスの動作に影響はありません。
15 ～ 8	MLT	すべて0	R	R	Master Latency Timer このフィールドはPCIeに適用されません。
22 ～ 16	HDTP	すべて0	R	R/W	Header Type H'00：タイプ00 H'01：タイプ01 H'02：タイプ02 このインタフェースはエンドポイントデバイスとして使用するので、ビットは ～ H'00 （タイプ00）にセットされます。書き込む値は常に”0”にしてください。
23	SFMF	0	R	R/W	Single Function/Multi Function このインタフェースがシングルファンクションかマルチファンクションデバイスかを示します。 1：マルチファンクションデバイス 0：シングルファンクションデバイス このインタフェースはマルチファンクションとして機能しないため、このビットは常に”0”にしてください。
27 ～ 24	BSTCODE	すべて0	R	R/W	BIST Completion Code BISTファンクションが完了したときのステータスコードを示します。 H'1 ～ FH：不具合を検出 H'0：BISTテスト通過
29、28	—	0	—	—	リザーブビット
30	STBST	0	R又はW	R又はR/W	Start BIST BISTファンクションを開始します。 1：BISTファンクションが進行中です。 0：BISTファンクションが完了しました。 注．　ビット31が”1”のとき、このビットはホストから "W" 、SH-4Aからは"R/W"となります。デフォルトは両方ともRです。
31	BSTCAP	0	R	R/W	BIST Capable BISTファンクションがサポートされているかを示します。 1：BISTファンクションをサポートします。 0：BISTファンクションは未サポート。

(5) PCIeコンフィグレーションレジスタ4 (PCICONF4)

このレジスタはPCIe互換コンフィグレーションレジスタのベースアドレスレジスタ0に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	BAR0	すべて0	R/W	R	ベースアドレスレジスタ0 ローカルアドレスマスクレジスタ0（LADMSK0）が初期値を設定します。 書き込み可能な空間はLADMSK0 設定に従います。 他のBARレジスタと同じ値を設定することは禁止されています。

(6) PCIeコンフィグレーションレジスタ5 (PCICONF5)

このレジスタはPCIe互換コンフィグレーションレジスタのベースアドレスレジスタ1に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	BAR1	すべて0	R/W	R	ベースアドレスレジスタ1 ローカルアドレスマスクレジスタ1（LADMSK1）が初期値を設定します。 書き込み可能な空間はLADMSK1 設定に従います。 他のBARレジスタと同じ値を設定することは禁止されています。

(7) PCIeコンフィグレーションレジスタ6 (PCICONF6)

このレジスタはPCIe互換コンフィグレーションレジスタのベースアドレスレジスタ2に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	BAR2	すべて0	R/W	R	ベースアドレスレジスタ2 ローカルアドレスマスクレジスタ2（LADMSK2）が初期値を設定します。 書き込み可能な空間はLADMSK2設定に従います。 他のBARレジスタと同じ値を設定することは禁止されています。

(8) PCIeコンフィグレーションレジスタ7 (PCICONF7)

このレジスタはPCIe互換コンフィグレーションレジスタのベースアドレスレジスタ3に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR3															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR3															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	BAR3	すべて0	R/W	R	ベースアドレスレジスタ3 ローカルアドレスマスクレジスタ3（LADMSK3）が初期値を設定します。 書き込み可能な空間もLADMSK3 設定に従います。 他のBARレジスタと同じ値を設定することは禁止されています。

(9) PCIeコンフィグレーションレジスタ8 (PCICONF8)

このレジスタはPCIe互換コンフィグレーションレジスタのベースアドレスレジスタ4に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR4															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR4															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	BAR4	すべて0	R/W	R	ベースアドレスレジスタ4 ローカルアドレスマスクレジスタ4（LADMSK4）が初期値を設定します。 書き込み可能な空間もLADMSK4 設定に従います。 他のBARレジスタと同じ値を設定することは禁止されています。

(10) PCIeコンフィグレーションレジスタ9 (PCICONF9)

このレジスタはPCIe互換コンフィグレーションレジスタのベースアドレスレジスタ5に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR5															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR5															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	BAR5	すべて 0	R/W	R	ベースアドレスレジスタ5 ローカルアドレスマスクレジスタ5（LADMSK5）が初期値を設定します。 書き込み可能な空間もLADMSK5 設定に従います。 他のBARレジスタと同じ値を設定することは禁止されています。

(11) PCIeコンフィグレーションレジスタ10 (PCICONF10)

このレジスタはPCIe互換コンフィグレーションレジスタのCardBus CIS Pointerレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBCP															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBCP															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	CBCP	すべて0	R	R	Cardbus CIS Pointer このインタフェースはcard bus CIS pointerをサポートしていません。 本ビットは0で固定されています。

(12) PCIeコンフィグレーションレジスタ11 (PCICONF11)

このレジスタはPCIe互換コンフィグレーションレジスタのSubsystem Vendor IDとSubsystem IDレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSVID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15 ～ 0	SSVID	すべて0	RO	RO	Subsystem Vendor ID SUBIDSETレジスタのsub system vendor IDビットに設定された値を示します。
31 ～ 16	SSID	すべて0	RO	RO	Subsystem ID SUBIDSETレジスタのsub system IDビットに設定された値を示します。

(13) PCIeコンフィグレーションレジスタ12 (PCICONF12)

このレジスタはPCIe互換コンフィグレーションレジスタの拡張ROMベースアドレスレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EROMBAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EROMBAR					—	—	—	—	—	—	—	—	—	—	EROME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	—	—	—	—	—	—	—	—	—	—	R
SH-4A R/W:	R	R	R	R	R	—	—	—	—	—	—	—	—	—	—	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	EROME	0	RO	RO	Expansion ROM Enable PCIe規格に則り拡張ROMのアクセスを許可します。本インタフェースでは拡張ROMをサポートしていません。
10 ～ 1	—	0	—	—	リザーブビット
31 ～ 11	EROMBAR	すべて0	RO	RO	Expansion ROM Base Address PCIe規格に則り拡張ROMベースアドレスレジスタの値を示します。本インタフェースでは拡張ROMをサポートしていません。

(14) PCIeコンフィグレーションレジスタ 13 (PCICONF13)

このレジスタはPCIe互換コンフィグレーションレジスタのCapabilities Pointerレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CAPP							
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R
SH-4A R/W:	—	—	—	—	—	—	—	—	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 0	CAPP	H'40	RO	RW	Capabilities Pointer 拡張capabilityリスト用のポインタです。 本インタフェースは拡張capabilityリストを内蔵しています。本ビットではPCIe PM capability ポインタH'40を示します。
31 ～ 8	—	0	—	—	リザーブビット

(15) PCIeコンフィグレーションレジスタ 14 (PCICONF14)

このレジスタはPCIe互換コンフィグレーションレジスタのInterrupt LineとInterrupt Pinレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTPIN								INTLINE							
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
ホストR/W:	R	R	R	R	R	R	R	R	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 0	INTLINE	H'FF	RW	RW	Interrupt Line レガシー割り込みルーティング情報を示します。

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15 ～ 8	INTPIN	すべて0	RO	RW	Interrupt Pin 初期化の際にデバイスが使用するレガシー割り込みメッセージを指定して下さい。レガシー割り込みを使用しないとき、本ビットは”0”になります。 H'0：レガシー割り込みを使用しません H'1：INTAを使用 上記以外の設定は禁止です。
31 ～ 16	—	0	—	—	リザーブビット

(16) 電源管理Capabilityレジスタ0 (PMCAP0)

このレジスタはPCIe互換コンフィグレーションレジスタの電源管理Capabilityレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMESUP					D2SUP	D1SUP	AUXCURT			DSI	—	PMEC	PMV		
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	1
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	—	R	R	R	R
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	—	RW	RW	RW	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCP								CID							
初期値:	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 0	CID	H'01	RO	RW	Capability ID 本ビットがH'01のとき、Capabilityリスト上でリンクされた項目はPCIe電源管理レジスタとして認識されます。
15 ～ 8	NCP	H'50	RO	RW	Next Capability Pointer Capabilityリストの次の項目をポイントするPCIeコンフィグレーション空間のオフセットを示します。
18 ～ 16	PMV	H'3	RO	RW	バージョン 011のとき、このファンクションがPCI Power Management Interface SpecificationのRevision 1.2に準拠していることを示します。
19	PMEC	0	RO	RW	PME Clock PCIeに適用されません。
20	—	0	—	—	リザーブビット
21	DSI	0	RO	RW	Device Specific Initialization 汎用デバイスドライバを使用可能にする前に、ファンクションに対し特別な初期化を行う（PCIe規格のコンフィグレーションヘッダを無視する）かどうかを示します。

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
24 ～ 22	AUXCURT	すべて0	RO	RW	Aux_Current PCIeファンクション用に3.3-V 補助電流要求を示します。 111：375 mA 110：320 mA 101：270 mA 100：220 mA 011：160 mA 010：100 mA 001：55 mA 000：0 mA （自己出力型）
25	D1SUP	0	RO	RW	D1_Support ”1”のときはD1電源管理ステートをサポートします。ファンクションがD1をサポートしない場合は常に”0”を返す必要があります （未サポート）。
26	D2SUP	0	RO	RW	D2_Support ”1”のときはD2電源管理ステートをサポートします。ファンクションがD2をサポートしない場合は常に”0”を返す必要があります （未サポート）。
31 ～ 27	PMESUP	0 1000	RO	RW	PME_Support ファンクションにより PMEメッセージを送信できる電源ステートを示します。 31 30 29 28 27 X X X X 1： PMEメッセージがD0から送信 X X X 1 X： PMEメッセージがD1から送信 X X 1 X X： PMEメッセージがD2から送信 X 1 X X X： PMEメッセージがD3hotから送信 1 X X X X： PMEメッセージがD3coldから送信

(17) 電源管理Capabilityレジスタ1 (PMCAP1)

このレジスタはPCIe互換コンフィグレーションレジスタの電源管理コントロールとステータスレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA								BPCCE	B2B3SP	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	—	—	—	—	—	—
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMEST	DTSC		DTSE				PMEE	—	—	—	—	NOS RST	—	PWST	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
ホストR/W:	RW1C	R	R	R	R	R	R	R	—	—	—	—	R	—	RW	RW
SH-4A R/W:	R	RW	RW	RW	RW	RW	RW	RW	—	—	—	—	R	—	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
1、0	PWST	すべて0	RW	RW	Power State このビットはファンクションの電源ステートを指定する場合、又はファンクションを別のステートに移行させたい場合の両方に使用できます。ビット値の定義は以下の通りです。 00：D0 01：D1 （未サポート） 10：D2 （未サポート） 11：D3hot
2	—	0	—	—	リザーブビット
3	NOSRST	1	RO	RO	No_Soft_Reset "1"にすると、PowerStateコマンドで電源ステートがD3hotからD0に移行するデバイスについては内部リセットを行いません。 コンフィグレーション時のステート状況は保存されます。 D3hotからD0に移行した場合もPowerStateビットに書き込む以外はOSの特別な介入は不要です。
7 ～ 4	—	0	—	—	リザーブビット
8	PMEE	0	RWS 又は RO	RW	PME_En ”1”にすると PMEメッセージを送信できます。” 0”を設定すると送信は無効になります。 注. ホストからの属性はPMCAP0 （アドレス：H'40）レジスタのビット30によって変わります。ビットが”0”のときは、ROになります。デフォルトの属性はRWSです。
12 ～ 9	DTSE	すべて0	RO	RW	Data_Select どのビットがDATAビットとData_Scaleビットを通して示されるのかを選択するときに使用されます（未サポート）。

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
14、13	DTSC	すべて0	RO	RW	Data_Scale DATAビットの値を解釈しているときのスケーリング要因を示します。ビット値と意味はData_Select ビットがどの値を選択したかによって変わります（未サポート）。
15	PMEST	0	RW1C 又は RO	RO	PME_Status PME_En ビットの状態と関係なく通常PMEメッセージが送信されるときにこのビットは”1”にセットされます。 注. ホストからの属性はPMCAP0 （アドレス：H'40）レジスタのビット30によって変わります。ビットが”0”のときは、ROになります。デフォルトの属性はRW1Cです。
21 ～ 16	—	0	—	—	リザーブビット
22	B2B3SP	0	RO	RW	B2_$\overline{B3}$ (B2/B3 support for D3hot) ファンクションをD3hotにプログラミングの結果、直接生じるアクションを決定します（未サポート）
23	BPCCE	0	RO	RW	BPCC_En (Bus Power/Clock Control Enable) ”1”は バスパワー/クロック制御メカニズムが有効になったことを示します（未サポート）。
31 ～ 24	DATA	すべて0	RO	RW	Data Data_Selectビットが要求した状態依存データを示すときに使用されます。レジスタの値はData_Scale ビットが示す値で測定されます（未サポート）。

(18) MSI Capability レジスタ 0 (MSICAP0)

このレジスタはPCIe互換コンフィグレーションレジスタの Message Control レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	PVMSK	64AD CAP	MMESE			MMESCAP			MSIE
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0
ホストR/W:	—	—	—	—	—	—	—	R	R	RW	RW	RW	R	R	R	RW
SH-4A R/W:	—	—	—	—	—	—	—	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCP								CID							
初期値:	0	1	1	1	0	0	0	0	0	0	0	0	0	1	0	1
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 0	CID	H'05	RO	RW	Capability ID 本ビットがH’05のとき、MSIが有効であることを示します。

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15 ～ 8	NCP	H'70	RO	RW	Next Capability ID Capabilities リストの次の項目をポイントします。
16	MSIE	0	RW	RW	MSI Enable ”1”のとき、MSIを利用してサービスを要求することは許可されますが、INTx メッセージを利用することは禁止されます。システムコンフィグレーションソフトウエアがMSIを有効にするために本ビットを設定します。サービス要求をマスクするためのデバイスドライバによるビットへの書き込みは禁止されています。”0”のとき、サービス要求のためにMSIを使用することは禁止されます。
19 ～ 17	MMESCAP	H'3	RO	RW	Multiple Message Capable 要求されたベクタ数を決めるため、これらのビットが読み出されます。 割り当てられているベクタのエンコードは以下の通りです。 000：1 001：2 010：4 011：8 100：16 101：32 110：設定禁止 111：設定禁止
22 ～ 20	MMESE	すべて 0	RW	RW	Multiple Message Enable 割り当てられたベクタ数（要求されたベクタ数以下）を表示するため、ソフトウェアからこのビットに値を書き込みます。 割り当てられているベクタのエンコードは以下の通りです。 000：1 001：2 010：4 011：8 100：16 101：32 110：設定禁止 111：設定禁止
23	64ADCAP	1	RO	RW	64-bit Address Capable 1：64ビットメッセージアドレス送信可 0：64ビットメッセージアドレス送信不可
24	PVMSK	0	RO	RW	Per-Vector Masking Capable 1：ベクタごとのMSIマスキング可 0：ベクタごとのMSIマスキング不可 書き込む値は常に”0”にしてください。
31 ～ 25	—	0	—	—	リザーブビット

(19) MSI Capability レジスタ1 (MSICAP1)

このレジスタはPCIe互換コンフィグレーションレジスタ内のMessage Addressレジスタの最下位32ビットに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MLA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLA														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	—	—
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	—	—

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
1、0	—	0	—	—	リザーブビット
31 ～ 2	MLA	すべて0	RW	RW	Message Lower Address。 メッセージイネーブルビット（Message contol レジスタのビット0）がセットされると、本レジスタの内容によってMSIメモリライトトランザクションに必要なダブルワードアライメントされたアドレスを指定します。

(20) MSI Capability レジスタ2 (MSICAP2)

このレジスタはPCIe互換コンフィグレーションレジスタ内Message Addressレジスタの最上位32ビットに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MUA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MUA															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	MUA	すべて0	RW	RW	Message Upper Address システム指定メッセージ上位アドレス。 このレジスタはオプションで、64ビットメッセージアドレスがサポートされている場合にのみ使用します（MSICAP0レジスタのビット23が1のとき）。

(21) MSI Capability レジスタ3 (MSICAP3)

このレジスタはPCIe互換コンフィグレーションレジスタMessage Dataレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MD															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15 ～ 0	MD	すべて0	RW	RW	Message Data システム指定メッセージデータ。
31 ～ 16	—	0	—	—	リザーブビット

(22) PCIe Capability レジスタ0 (EXPCAP0)

このレジスタはPCI Express Capability レジスタ内のPCIe Capability List とPCIe Capabilities レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	IMN					SLTIMP	DPT				CV			
初期値:	0	0	0	0	1	1	1	0	0	0	0	0	0	0	1	0
ホストR/W:	—	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	—	R	RW	RW	RW	RW	RW	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCP								CID							
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 0	CID	H'10	RO	RO	Capability ID PCI Express Capability構造体を示します。
15 ～ 8	NCP	すべて0	RO	RW	Next Capability Pointer 次のPCI Express Capability構造体へのオフセットを指定します。
19 ～ 16	CV	H'2	RO	RO	Capability Version PCI-SIG で定義されたPCI Express Capability構造体のバージョンを示します。 初期値はファンクションがrevision 2.1 仕様に対応していることを示します。
23 ～ 20	DPT	すべて0	RO	RO	Device/Port Type PCI Express ファンクションのタイプを示します。 0000：PCI Expressエンドポイント 0001：Legacy PCI Express エンドポイント 0100：PCI Express root complexのRoot ポート 0101：PCI Expressスイッチの Upstream ポート 0110：PCI Expressスイッチの Downstream ポート 0111：PCI Expressブリッジから PCI/PCI-X 1000：PCI/PCI-XからPCI Expressブリッジ 1001：Root complex 統合 エンドポイント 1010：Root complex event collector
24	SLTIMP	0	RO	RO	Slot Implemented リザーブビット （本モジュールはエンドポイントデバイスです）
29 ～ 25	IMN	H'7	RO	RW	Interrupt Message Number PCI Express機能構造体の中の任意のステータスビットにより発生する割り込みメッセージが使用するMSIベクタを示します。ベースメッセージデータと生成された割り込みメッセージの間のオフセットを示します。
30	—	0	RO	RO	リザーブビット
31	—	0	—	—	RsvdP

(23) PCIe Capability レジスタ 1 (EXPCAP1)

このレジスタはPCI Express Capabilityレジスタ内の Device Capabilities レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	FLRCAP	CAPSLPLSC		CSPLV								—	—
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	R	R	R	R	R	R	R	R	R	R	R	—	—
SH-4A R/W:	—	—	—	RW	R	R	R	R	R	R	R	R	R	R	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBER	—	—	—	EL1ACLAT			EL0ACLAT			ETAGS	PFS		MPSS		
初期値:	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
ホストR/W:	R	—	—	—	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	RW	—	—	—	RW	RW	RW	RW	RW	RW	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
2 ～ 0	MPSS	すべて0	RO	RO	Max_Payload_Size Supported TLPに対応可能な最大ペイロードサイズを示します。 定義されたエンコードは以下の通りです。 000：最大128バイトペイロードサイズ 001：最大256バイトペイロードサイズ 010：最大512バイトペイロードサイズ 011：最大1024バイトペイロードサイズ 100：最大2048バイトペイロードサイズ 101：最大4096バイトペイロードサイズ 110：設定禁止 111：設定禁止
4、3	PFS	すべて0	RO	RO	Phantom Functions Supported Unclaimed function numbers (e.g. phantom function numbers)のサポートがあるかどうかを示します。このビットを設定することにより、Unclaimed function numberに設定されたOutstandingトランザクション数の上限を拡張します。（未サポート）
5	ETAGS	1	RO	RO	Extended Tag Field Supported リクエスタとしてのタグフィールドの最大サポートサイズを示します。 定義されたエンコードは以下の通りです。 0：5ビットタグフィールドサポート 1：8ビットタグフィールドサポート
8 ～ 6	EL0ACLAT	すべて0	RO	RW	Endpoint L0s Acceptable Latency リザーブビット
11 ～ 9	EL1ACLAT	すべて0	RO	RW	Endpoint L1 Acceptable Latency リザーブビット
14 ～ 12	—	0	—	—	リザーブビット

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15	RBER	1	RO	RW	Role-Based Error Reporting 1にセットすると、エラー報告を行うECNに定義されたファンクションが実行されることを示します。
17, 16	—	0	—	—	RsvdP
25 ～ 18	CSPLV	すべて0	RO	RO	Captured Slot Power Limit Value スロットパワーのリミットスケール値と合わせて、スロットが供給する電源上限値が示されます。 Set_Slot_Power_Limit メッセージが値を設定します（未サポート）。
27、26	CAPSLPLSC	すべて0	RO	RO	Captured Slot Power Limit Scale スロットパワーリミット値で使用されるスケールを指定します。 値の範囲： 00：= 1.0x 01：= 0.1x 10：= 0.01x 11：= 0.001x Set_Slot_Power_Limit メッセージが値を設定します（未サポート）。
28	FLRCAP	1	RO	RW	Function Level Reset Capability "1"にセットすると、ファンクションレベルのリセット機能（オプション）をサポートします。
31 ～ 29	—	0	—	—	RsvdP

(24) PCIe Capability レジスタ2 (EXPCAP2)

このレジスタはPCI Express Capabilityレジスタ内のDevice Controlとステータスレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	TRPD	AUXP DTCD	URD TCD	FED TCD	NFED TCD	CED TCD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	R	R	RW1C	RW1C	RW1C	RW1C
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	R	R	RW1C	RW1C	RW1C	RW1C

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IFLR	MRRS			ENSNP	AUXP PME	PFE	ETAGE	MPS			ERLOD	URRPE	FERPE	NFE RPE	CERPE
初期値:	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0	0
ホストR/W:	RW	RW	RW	RW	RW	R	R	RW	R	R	R	RW	RW	RW	RW	RW
SH-4A R/W:	RW	R	R	R	RW	R	R	RW	R	R	R	RW	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	CERPE	0	RW	RO	コレクタブルエラー報告許可 ERR_COR メッセージの送信を制御します。 ”1”がセットされると、メッセージの送信が可能になります。
1	NFERPE	0	RW	RO	非致命的エラー報告許可 ERR_NONFATAL メッセージの送信を制御します。 ”1”がセットされると、メッセージの送信が可能になります。
2	FERPE	0	RW	RO	致命的エラー報告許可 ERR_FATAL メッセージの送信を制御します。 ”1”がセットされると、メッセージの送信が可能になります。
3	URRPE	0	RW	RO	Unsupported Request報告許可 エラーメッセージ ERR_NONFATAL 又は ERR_FATAL によるUnsupported Requests信号の送信を制御します。 ”1”がセットされると、メッセージの送信が可能になります。
4	ERLOD	1	RW	RW	Enable Relaxed Ordering 本ビットがセットされると、トランザクションの属性フィールドでRelaxed Ordering設定が許可されます。トランザクションには厳格な書き込み整列は求められていません。 注．本モジュールでRelaxed Orderingリクエストは実行できません。

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7 ～ 5	MPS	すべて0	RO	RO	Max_Payload_Size ファンクションの最大TLPペイロードサイズを設定します。レシーバ時、ファンクションは本ビットの設定サイズ分のTLPを処理します。トランスミッタ時は設定値以内のサイズでTLPを作成するようにします。ペイロードサイズの上限はDevice capabilityレジスタのMax_Payload_Sizeサポートフィールド内に示されます。 定義されたエンコードは以下の通りです。 000：最大128 バイトペイロードサイズ 001：最大 256 バイトペイロードサイズ 010：最大512 バイトペイロードサイズ 011：最大 1024バイトペイロードサイズ（未サポート） 100：最大2048バイトペイロードサイズ（未サポート） 101：最大 4096バイトペイロードサイズ（未サポート） 110：設定禁止 111：設定禁止
8	ETAGE	1	RW	RW	Extended Tag Field Enable ”1”がセットされると、リクエスタとして 8ビット tagフィールドを使用できます。
9	PFE	0	RO	RO	Phantom Functions Enable ”1”がセットされると、未処理のトランザクション数を増加させるため未請求のファンクションをphantomファンクションとして使用できます（未サポート）。
10	AUXPPME	0	RO	RO	Auxiliary (AUX) Power PM Enable ”1”がセットされると、PME AUXパワーと独立してAUX パワーを引き込むことができます（未サポート）。
11	ENSNP	1	RW	RW	Enable No Snoop ”1”がセットされると、トランザクションのRequester Attributes に No Snoopビットをセットすることが許可されます。ハードウエアが実施するキャッシュ不要のトランザクションを開始します。
14 ～ 12	MRRS	H'2	RW	RO	Max_Read_Request_Size リクエスタとしての最大読み出し要求サイズを設定します。設定値を超えるサイズで読み出し要求をすることはできません。 定義されたエンコードは以下の通りです。 000：128 バイト最大読み出し要求サイズ 001：256 バイト最大読み出し要求サイズ 010：512 バイト最大読み出し要求サイズ 011：1024バイト最大読み出し要求サイズ 100：2048バイト最大読み出し要求サイズ 101：4096バイト最大読み出し要求サイズ 110：設定禁止 111：設定禁止

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15	IFLR	0	RW	RW	Initiate Function Level Reset ”1”を書くとファンクションレベルリセットを開始します。読み出し時の値は“0”です。（SH-4Aはこのビットを設定しません。）
16	CEDTCD	0	RW1C	RW1C	Correctable Error Detected コレクタブルエラーの検出／未検出を示します。
17	NFEDTCD	0	RW1C	RW1C	Non-Fatal Error Detected 非致命的なエラー検出／未検出を示します。
18	FEDTCD	0	RW1C	RW1C	Fatal Error Detected 致命的なエラーの検出／未検出を示します。
19	URDTCD	0	RW1C	RW1C	Unsupported Request Detected Unsupprted Requestの検出／未検出を示します。
20	AUXPDTCD	0	RO	RO	AUX Power Detected AUX パワーが検出されたときに、AUXパワーにこのビットを表示させます（未サポート）。
21	TRPD	0	RO	RO	Transactions Pending ”1”がセットされると完了していない non-posted リクエストが発行されたことを示します。
31 ～ 22	—	0	—	—	RsvdZ

(25) PCIe Capability レジスタ 3 (EXPCAP3)

このレジスタはPCI Express Capabilityレジスタ内のLink Capabilitiesレジスタに対応しています。初期値を変更するときは、トレーニングシーケンスを開始する前にLINKCONFSET0を設定してください。属性がRWの場合でも、SH-4Aは直接レジスタに値を書き込むことはできません。このモジュールはPhysical又はData Link Layerモジュールを含みません。したがって、レジスタの設定はモジュールの動作に影響を及ぼしません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PN								—	ASP MOC	LBNC	DLLL ARC	SDERC	CPM	L1EL	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
ホストR/W:	R	R	R	R	R	R	R	R	—	R	R	R	R	R	R	R
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	—	R	RW	RW	RW	RW	RW	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1EL	L0sEL			ASPMS		MLW						SLS			
初期値:	1	1	1	1	0	1	0	0	0	0	0	1	0	0	0	1
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
3 ～ 0	SLS	すべて1	RO	RW（注）	Supported Link Speeds 関連ポートがサポートするリンクスピードを示します。 定義されたエンコードは以下の通りです。 0001：2.5 GT/s リンクスピードをサポート 0010：5.0 GT/s と 2.5 GT/s リンクスピードをサポート
9 ～ 4	MLW	すべて1	RO	RW（注）	Maximum Link Width コンポーネントが実行した最大リンク幅を示します(xN： N Lanesに対応)。 定義されたエンコードは以下の通りです。 000000：設定禁止 000001： x1 000010： x2 000100： x4 001000： x8 001100： x12 010000： x16 100000： x32
11、10	ASPMS	すべて1	RO	RW（注）	Active State Power Management (ASPM) Support 任意のPCI Express Linkでサポートされるの ASPMのレベルを示します。 定義されたエンコードは以下の通りです。 00：ASPM 未サポート 01：L0s サポート 10：L1 サポート 11：L0s 及びL1 サポート

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
14 ～ 12	L0sEL	H'7	RO	RW（注）	L0s Exit Latency 任意のPCI Express LinkのL0終了レイテンシを示します。表示された値は ポートがL0s からL0へ移行するときに必要な時間を示します。 定義されたエンコードは以下の通りです。 000：64 ns未満 001：64 ns ～128 ns未満 010：128 ns ～256 ns未満 011：256 ns～ 512 ns未満 100：512 ns ～ 1 μs未満 101：1 μs ～ 2 μs未満 110：2 μs ～ 4 μs 111：4 μs以上
17 ～ 15	L1EL	H'7	RO	RW（注）	L1 Exit Latency 任意のPCI Express Linkの L1 終了レイテンシを示します。表示された値は ポートがL1 からL0へ移行するときに必要な時間を示します。 定義されたエンコードは以下の通りです。 000：1 μs未満 001：1 μs ～ 2 μs未満 010：2 μs ～ 4 μs未満 011：4 μs ～ 8 μs未満 100：8 μs ～ 16 μs未満 101：16 μs ～n 32 μs未満 110：32 μs ～ 64 μs 111：64 μs以上
18	CPM	0	RO	RW（注）	Clock Power Management Link が L1とL2/L3 Ready Link 状態のとき、上位ポート用に”1”がセットされると、「clock request」(CLKREQ) メカニズムを経由したすべてのリファレンスクロックの削除が許可されます。
19	SDERC	0	RO	RW（注）	Surprise Down Error Reporting Capable Surprise downエラー状況を検出、表示するオプション機能がサポートされるとき、下位ポート用に本ビットがセットされる必要があります。
20	DLLLARC	0	RO	RW（注）	Data Link Layer Link Active Reporting Capable リザーブビット （本モジュールはエンドポイントデバイスです）
21	LBNC	0	RO	RW（注）	Link Bandwidth Notification Capability リザーブビット （本モジュールはエンドポイントデバイスです）
22	ASPMOC	1	RO	RO	ASPM Optionality Compliance ASPM を有効にするか、ASPM 適合性試験を実施するかを決めるのに、本ビット値を使用することができます。 LINKCONFSET0値に関係なく、PCIeリセット後は”1”にセットされます。読み出し時の値は“0”です。
23	—	0	—	—	RsvdP

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 24	PN	すべて0	RO	RW（注）	Port Number 任意のPCI Express Link用にPCI Express ポート番号を示します。

注.　ビット属性がRWの場合でも本レジスタに直接値を書き込むことは禁止されています。

(26) PCIe Capability レジスタ4 (EXPCAP4)

このレジスタはPCI Express Capability レジスタ内の Link Control とステータスレジスタに対応しています。初期値を変更するときは、トレーニングシーケンスを開始する前に LINKCONFSET1 を設定してください。属性がRWの場合でも、SH-4Aは直接レジスタに値を書き込むことはできません。このモジュールには Physical 又は Data Link Layer モジュールを含みません。したがって、レジスタの設定はRCB （ビット3）を除くモジュールの動作に影響を及ぼしません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LABS	LBMS	DLLLA	SCC	LT	—	NLW						CLS			
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
ホストR/W:	R	R	R	R	R	—	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	RW	RW	RW	RW	RW	—	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	LABIE	LBMIE	HAWD	ECPM	ES	CCC	RL	LD	RCB	—	ASPMC	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	R	R	R	R	RW	RW	R	R	RW	—	RW	RW
SH-4A R/W:	—	—	—	—	R	R	R	R	RW	RW	R	R	RW	—	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
1、0	ASPMC	すべて0	RW	RW	Active State Power Management (ASPM) Control 任意のPCI Express Linkで有効になるASPMのレベルを制御します。 定義されたエンコードは以下の通りです。 00：無効 01：L0sエントリ有効 10：L1エントリ有効 11：L0s 及び L1エントリ有効
2	—	0	—	—	RsvdP
3	RCB	0	RW	RW	Read Completion Boundary (RCB) エンドポイント又はブリッジから上位ルートポートのRCB 値を示すオプションビットです。 定義されたエンコードは以下の通りです。 0： 64バイト 1： 128 バイト
4	LD	0	RO	RO	Link Disable リザーブビット （本モジュールはエンドポイントデバイスです）

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
5	RL	0	RO	RO	Retrain Link リザーブビット （本モジュールはエンドポイントデバイスです）
6	CCC	0	RW	RW	Common Clock Configuration ”1”がセットされると、本コンポーネントと本リンクの反対側のコンポーネントが分散型の共通リファレンスクロックで動作していることを示します。
7	ES	0	RW	RW	Extended Synch L0s 状態を終了し、回復状態のとき”１”がセットされると、追加のレイヤパケットが強制的に送信されます。
8	ECPM	0	RO	RO	Enable Clock Power Management 上位ポートと "clock request" ($\overline{\text{CLKREQ}}$) メカニズムをサポートするForm Factorがある場合に限り適用されます。以下のように動作します。 0：クロック電源管理は無効で、$\overline{\text{CLKREQ}}$ 信号をLowに保つことが必要です。 1：適切なForm Factor Specificationで定義されたプロトコルに従い、$\overline{\text{CLKREQ}}$ 信号を使用して Linkクロックの電源管理をすることができます。
9	HAWD	0	RO	RO	Hardware Autonomous Width Disable "1”がセットされると、信頼できないLink動作を修正しようとする理由以外でLink幅を狭めてLink幅を変更する動作は無効になります。
10	LBMIE	0	RO	RO	Link Bandwidth Management Interrupt Enable リザーブビット （本モジュールはエンドポイントデバイスです）
11	LABIE	0	RO	RO	Link Autonomous Bandwidth Interrupt Enable リザーブビット （本モジュールはエンドポイントデバイスです）
15 ～ 12	—	0	—	—	RsvdP
19 ～ 16	CLS	すべて1	RO	RW	Current Link Speed 任意の PCI Express Linkで設定されたスピードを示します。 定義されたエンコードは以下の通りです。 0001：2.5 GT/s PCI Express Link 0010：5.0 GT/s PCI Express Link
25 ～ 20	NLW	すべて1	RO	RW	Negotiated Link Width 任意のPCI Express Linkで設定された幅を示します。 定義されたエンコードは以下の通りです。 00 0001：x1 00 0010：x2 00 0100：x4 00 1000：x8 00 1100：x12 01 0000：x16 10 0000：x32

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
26	—	0	—	—	リザーブビット
27	LT	0	RO	RW	Link Training リザーブビット （本モジュールはエンドポイントデバイスです）
28	SCC	0	RO	RW	Slot Clock Configuration プラットフォームがコネクタ用に提供した同じ物理リファレンスクロックが使用されていることを示します。
29	DLLLA	0	RO	RW	Data Link Layer Link Active data link control と management state machineの状態を示します。DL_Active 状態を示すのに"1"を返します。それ以外の場合は"0"を返します。
30	LBMS	0	RO	RW	Link Bandwidth Management Status リザーブビット （本モジュールはエンドポイントデバイスです）
31	LABS	0	RO	RW	Link Autonomous Bandwidth Status リザーブビット （本モジュールはエンドポイントデバイスです）

(27) PCIe Capability レジスタ5 (EXPCAP5)

このレジスタはPCI Express Capabilityレジスタ内のDevice Capabilities 2 レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	MEETLPP		EETL PPS	EFFS	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	R	R	R	R	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	R	R	R	R	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TPH		LTRMS	NOROP RPRP	128CA SCS	64AO CS	32AO CS	AORS	ARIFS	CTDS	CTRS			
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
ホストR/W:	—	—	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	—	—	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
3 ～ 0	CTRS	すべて0	RO	RO	Completion Timeout Ranges Supported オプションである、タイムアウトプログラマビリティの完了がサポートされていることを示します。完了タイムアウト値を修正することが可能になります。 4種類の時間値が定義されています。 Range A：50 μs ～ 10 ms Range B：10 ms ～ 250 ms Range C：250 ms ～ 4 s Range D：4 s ～ 64 s タイムアウト値rangeがサポートされていることを示すために、以下の表に従ってセットされます。. 0000：完了タイムアウトプログラミング未サポート。50 μs ～ 50 msの範囲でタイムアウトを実行。 0001：Range A 0010：Range B 0011：Ranges A及びB 0110：Ranges B 及び C 0111：Ranges A、B、及び C 1110：Ranges B、C 及び D 1111：Ranges A、B、C、及び D 上記以外：設定禁止
4	CTDS	1	RO	RO	Completion Timeout Disable Supported "1"は完了タイムアウト無効の方法を示します。
5	ARIFS	0	RO	RO	ARI Forwarding Supported リザーブビット （本モジュールはエンドポイントデバイスです）
6	AORS	0	RO	RO	AtomicOp Routing Supported リザーブビット （本モジュールはエンドポイントデバイスです）
7	32AOCS	0	RO	RO	32ビット AtomicOp Completer Supported （未サポート）

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
8	64AOCS	0	RO	RO	64ビットAtomicOp Completer Supported （未サポート）
9	128CASCS	0	RO	RO	128ビット CAS Completer Supported（未サポート）
10	NOROPRPRP	0	RO	RO	No RO-enabled PR-PR Passing リザーブビット （本モジュールはエンドポイントデバイスです）
11	LTRMS	0	RO	RO	LTR Mechanism Supported
13, 12	TPH	すべて0	RO	RO	TPH Completer Supported（未サポート）
19～14	—	0	—	—	RsvdP
20	EFFS	0	RO	RO	Extended Fmt Field Supported "1"がセットされると、Fmt フィールド3ビット定義がサポートされます（未サポート）。
21	EETLPPS	0	RO	RO	End-End TLP Prefix Supported（未サポート）
23, 22	MEETLPP	すべて0	RO	RO	Max End-End TLP Prefixes（未サポート）
31～24	—	0	—	—	RsvdP

(28) PCIe Capability レジスタ6 (EXPCAP6)

このレジスタはPCI Express Capabilityレジスタ内の Device Control 2 と Device Status 2 レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EETL PPB	—	—	—	—	LTRME	IDOCE	IDORE	AOEB	AORE	ARIFE	CTD	CTV			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	—	—	—	—	R	R	R	R	R	R	RW	R	R	R	R
SH-4A R/W:	R	—	—	—	—	R	R	R	R	R	R	R	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
3 ～ 0	CTV	すべて0	RO	RW	Completion Timeout Value 完了タイムアウトプログラマビリティをサポートするデバイスファンクションにおいて、システムソフトウェアから完了タイムアウト値の修正が可能になります。 定義されたエンコードは以下の通りです。 0000 : 初期値 50 μs ～ 50 ms 完了タイムアウトが10 ms未満で期限が切れないことが強く推奨されます。 Range A (50 μs ～10 ms) プログラマビリティがサポートされると値を利用できます。 0001 : 50 μs ～ 100 μs 0010 : 1 ms ～ 10 ms Range B (10 ms ～ 250 ms) プログラマビリティがサポートされると値を利用できます。 0101 : 16 ms ～ 55 ms 0110 : 65 ms～ 210 ms Range C (250 ms ～ 4 s) プログラマビリティがサポートされると値を利用できます。 1001 : 260 ms ～ 900 ms 1010 : 1 s ～3.5 s Range D (4 s ～ 64 s) プログラマビリティがサポートされると値を利用できます。 1101 : 4 s～ 13 s 1110 : 17 s ～ 64 s
4	CTD	0	RW	RO	Completion Timeout Disable "1"がセットされると、完了タイムアウト法が無効になります。
5	ARIFE	0	RO	RO	ARI Forwarding Enable ARI forwarding サポートビットが"0"のとき、、本ビットの値は"0"に固定して下さい。（未サポート）
6	AORE	0	RO	RO	AtomicOp Requester Enable（未サポート）

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
7	AOEB	0	RO	RO	AtomicOp Egress Blocking リザーブビット （本モジュールはエンドポイントデバイスです）
8	IDORE	0	RO	RO	IDO Request Enable 本ビットがセットされると、開始されたリクエストのうちのID-based ordering (IDO) ビット（属性 [2]）の設定が許可されます（未サポート）。
9	IDOCE	0	RO	RO	IDO Completion Enable 本ビットがセットされると、返されたリクエストのうちのID-based ordering (IDO) ビット（属性 [2]）の設定が許可されます（未サポート）。
10	LTRME	0	RO	RO	LTR Mechanism Enable.
14～11	—	すべて0	—	—	RsvdP
15	EETLPPB	0	RO	RO	End-End TLP Prefix Blocking （未サポート）
31～16	—	0	—	—	RsvdZ

(29) PCIe Capability レジスタ 7 (EXPCAP7)

このレジスタはPCI Express Capabilityレジスタ内のLink Capabilities 2 レジスタに対応しています。初期値を変更するときは、トレーニングシーケンスを開始する前に LINKCONFSET2 を設定してください。属性がRWの場合でも、SH-4Aは直接レジスタに値を書き込むことはできません。このモジュールには Physical 又は Data Link Layer モジュールを含みません。したがって、レジスタの設定はモジュールの動作に影響を及ぼしません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31～0	—	0	—	—	RsvdP 本レジスタを要求するcapabilities はありません。

(30) PCIe Capability レジスタ8 (EXPCAP8)

このレジスタはPCI Express Capabilityレジスタの Link Control 2 と Link Status 2 レジスタに対応しています。初期値を変更するときは、トレーニングシーケンスを開始する前に LINKCONFSET3 を設定してください。属性がRWの場合でも、SH-4Aは直接レジスタに値を書き込むことはできません。このモジュールには Physical 又は Data Link Layer モジュールを含みません。したがって、レジスタの設定はモジュールの動作に影響を及ぼしません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CDL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RW

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CD	CSOS	EMC	TM			SD	HAASD	EC	TLS			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	—	—	—	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
3～0	TLS	すべて0	RO	RW	Target Link Speed 下位ポート用に Link 動作スピードに上限を設定します。これはトレーニングシーケンスの上位コンポーネントで示される値を制限して行います。 定義されたエンコードは以下の通りです。 0001：2.5 GT/s Target Link Speed 0010：5.0 GT/s Target Link Speed 注．2.5GT/s スピードのみをサポートするコンポーネントは0000に設定することができます。
4	EC	0	RO	RW	Enter Compliance ソフトウェア側からLinkを強制的にコンプライアンスモードに入れることが許されます。このビットを"1"に設定（Link上の両コンポーネント）し、Link上でHotリセットを行うと対象のlink speedフィールドにLinkスピードが表示されます。
5	HAASD	0	RO	RW	Hardware Autonomous Speed Disable "1"を設定すると、ハードウェアがデバイス上の理由でリンクスピードを変更する機能を無効にできます（不確定なリンク動作を修正する動作は除きます）。サポート内での最速の共通リンクスピードへの初期の変更は対象ではありません。
6	SD	0	RO	RW	Selectable De-emphasis リザーブビット （本モジュールはエンドポイントデバイスです）
9～7	TM	すべて0	RO	RW	Transmit Margin 送信ピンでデエンファシスされていない電圧レベルを制御します。

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
10	EMC	0	RO	RW	Enter Modified Compliance "1"がセットされ、LTSSMがPolling.Compliance sub-stateに入るとデバイスは修正されたコンプライアンスパターンに移行します。
11	CSOS	0	RO	RW	Compliance SOS "1"がセットされ、コンプライアンスパターン又は修正コンプライアンスパターンを送信するとき、LTSSM はシーケンスの間にSKPパケットを送信することが必要です。
12	CD	0	RO	RW	Compliance De-emphasis ンプライアンスビットが"1"になったことでエントリが生じた場合にPolling Complianceステートにおけるデエンファシスレベルを設定します。 定義されたエンコードは以下の通りです。 1：-3.5 dB 0：-6 dB
15～13	—	0	—	—	RsvdP
16	CDL	0	RO	RW	Current De-emphasis Level Linkが5 GT/sスピードで動作するとき、デエンファシスレベルを反映します。 定義されたエンコードは以下の通りです。 1：-3.5 dB 0：-6 dB
31～17	—	0	—	—	RsvdZ

(31) ADER Capability レジスタ 0 (ADERCAP0)

このレジスタはPCI Express Capability レジスタの PCIe Enhanced Capability レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NCO												CV			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCIEECID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
15 ～ 0	PCIEECID	H'1	RO	RO	PCI Express Extended ID
19 ～ 16	CV	H'1	RO	RO	Capability Version
31 ～ 20	NCO	すべて0	RO	RO	Next Capability Offset

(32) ADER Capability レジスタ1 (ADERCAP1)

このレジスタはPCI Express Capabilityレジスタの Uncorrectable Error Status レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	TLPPBES	AOEBS	MCBTLPS	UIES	ACSVS	URES	ECRCES	MTLPS	ROS	UCS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	R	R	R	RW1CS	R	RW1CS	RW1CS	RW1CS	R	RW1CS
SH-4A R/W:	—	—	—	—	—	—	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAS	CTS	FCPES	PTLPS	—	—	—	—	—	—	SDES	DLPES	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW1CS	RW1CS	R	RW1CS	—	—	—	—	—	—	R	R	—	—	—	—
SH-4A R/W:	R	R	R	R	—	—	—	—	—	—	R	R	—	—	—	—

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	—	0	—	—	リザーブビット
3 ～ 1	—	0	—	—	RsvdZ
4	DLPES	0	RO	RO	Data Link Protocol Error Status（未サポート）
5	SDES	0	RO	RO	Surprise Down Error Status（未サポート）
11 ～ 6	—	0	—	—	RsvdZ
12	PTLPS	0	RW1CS	RO	Poisoned TLP Status
13	FCPES	0	RO	RO	Flow Control Protocol Error Status （未サポート）
14	CTS	0	RW1CS	RO	Completion Timeout Status
15	CAS	0	RW1CS	RO	Completer Abort Status
16	UCS	0	RW1CS	RO	Unexpected Completion Status
17	ROS	0	RO	RO	Receiver Overflow Status （未サポート）
18	MTLPS	0	RW1CS	RO	Malformed TLP Status
19	ECRCES	0	RW1CS	RO	ECRC Error Status
20	URES	0	RW1CS	RO	Unsupported Request Error Status
21	ACSVS	0	RO	RO	ACS Violation Status （未サポート）
22	UIES	0	RW1CS	RO	Uncorrectable Internal Error Status
23	MCBTLPS	0	RO	RO	MC Blocked TLP Status（未サポート）
24	AOEBS	0	RO	RO	AtomicOP Egress Blocked Error Status（未サポート）
25	TLPPBES	0	RO	RO	TLP Prefix Blocked Error Status （未サポート）
31 ～ 26	—	0	—	—	RsvdZ

(33) ADER Capability レジスタ2 (ADERCAP2)

このレジスタはPCI Express Capabilityレジスタの Uncorrectable Error Mask レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	TLPPBEM	AOEBM	MCBTLPM	UIEM	ACSVM	UREM	ECRCEM	MTLPM	ROM	UCM
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	R	R	R	RWS	R	RWS	RWS	RWS	R	RWS
SH-4A R/W:	—	—	—	—	—	—	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM	CTM	FCPEM	PTLPM	—	—	—	—	—	—	SDEM	DLPEM	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RWS	RWS	R	RWS	—	—	—	—	—	—	R	RWS	—	—	—	—
SH-4A R/W:	R	R	R	R	—	—	—	—	—	—	R	R	—	—	—	—

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	—	0	—	—	リザーブビット
3 ～ 1	—	0	—	—	RsvdP
4	DLPEM	0	RWS	RO	Data Link Protocol Error Mask （未サポート）
5	SDEM	0	RO	RO	Surprise Down Error Mask （未サポート）
11 ～ 6	—	0	—	—	RsvdP
12	PTLPM	0	RWS	RO	Poisoned TLP Mask
13	FCPEM	0	RO	RO	Flow Control Protocol Error Mask （未サポート）
14	CTM	0	RWS	RO	Completion Timeout Mask
15	CAM	0	RWS	RO	Completer Abort Mask
16	UCM	0	RWS	RO	Unexpected Completion Mask
17	ROM	0	RO	RO	Receiver Overflow Mask （未サポート）
18	MTLPM	0	RWS	RO	Malformed TLP Mask
19	ECRCEM	0	RWS	RO	ECRC Error Mask
20	UREM	0	RWS	RO	Unsupported Request Error Mask
21	ACSVM	0	RO	RO	ACS Violation Mask （未サポート）
22	UIEM	1	RWS	RO	Uncorrectable Internal Error Mask
23	MCBTLPM	0	RO	RO	MC Blocked TLP Mask （未サポート）
24	AOEBM	0	RO	RO	AtomicOP Egress Blocked Error Mask （未サポート）
25	TLPPBEM	0	RO	RO	TLP Prefix Blocked Error Mask （未サポート）
31 ～ 26	—	0	—	—	RsvdP

(34) ADER Capability レジスタ 3 (ADERCAP3)

このレジスタはPCI Express Capability レジスタのUncorrectable Error Severity レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	TLPPBES	AOEBS	MCBTLPS	UIES	ACSVS	URES	ECRCES	MTLPS	ROS	UCS
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0
ホストR/W:	—	—	—	—	—	—	R	R	R	RWS	R	RWS	RWS	RWS	R	RWS
SH-4A R/W:	—	—	—	—	—	—	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAS	CTS	FCPES	PTLPS	—	—	—	—	—	—	SDES	DLPES	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
ホストR/W:	RWS	RWS	R	RWS	—	—	—	—	—	—	R	RWS	—	—	—	—
SH-4A R/W:	R	R	R	R	—	—	—	—	—	—	R	R	—	—	—	—

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	—	0	—	—	リザーブビット
3 ～ 1	—	0	—	—	RsvdP
4	DLPES	1	RWS	RO	Data Link Protocol Error Severity（未サポート）
5	SDES	0	RO	RO	Surprise Down Error Severity（未サポート）
11 ～ 6	—	0	—	—	RsvdP
12	PTLPS	0	RWS	RO	Poisoned TLP Severity
13	FCPES	0	RO	RO	Flow Control Protocol Error Severity （未サポート）
14	CTS	0	RWS	RO	Completion Timeout Severity
15	CAS	0	RWS	RO	Completer Abort Severity
16	UCS	0	RWS	RO	Unexpected Completion Severity
17	ROS	0	RO	RO	Receiver Overflow Severity （未サポート）
18	MTLPS	1	RWS	RO	Malformed TLP Severity
19	ECRCES	0	RWS	RO	ECRC Error Severity
20	URES	0	RWS	RO	Unsupported Request Error Severity
21	ACSVS	0	RO	RO	ACS Violation Severity （未サポート）
22	UIES	1	RWS	RO	Uncorrectable Internal Error Severity
23	MCBTLPS	0	RO	RO	MC Blocked TLP Severity（未サポート）
24	AOEBS	0	RO	RO	AtomicOP Egress Blocked Error Severity（未サポート）
25	TLPPBES	0	RO	RO	TLP Prefix Blocked Error Severity（未サポート）
31 ～ 26	—	0	—	—	RsvdP

(35) ADER Capability レジスタ4 (ADERCAP4)

このレジスタはPCI Express Capabilityレジスタの Correctable Error Statusレジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HLOS	CIES	ANFES	RTTS	—	—	—	RNUMRS	BDLLPS	BTLPS	—	—	—	—	—	RES
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RW1CS	R	RW1CS	R	—	—	—	R	R	R	—	—	—	—	—	R
SH-4A R/W:	R	R	R	R	—	—	—	R	R	R	—	—	—	—	—	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	RES	0	RO	RO	Receiver Error Status リザーブビット
5 ～ 1	—	0	—	—	RsvdZ
6	BTLPS	0	RO	RO	Bad TLP Status リザーブビット
7	BDLLPS	0	RO	RO	Bad DLLP Status リザーブビット
8	RNUMRS	0	RO	RO	REPLAY_NUM Rollover Status リザーブビット
11 ～ 9	—	0	—	—	RsvdZ
12	RTTS	0	RO	RO	Replay Timer Timeout Status リザーブビット
13	ANFES	0	RW1CS	RO	Advisory Non-Fatal Error Status
14	CIES	0	RO	RO	Corrected Internal Error Status （未サポート）
15	HLOS	0	RW1CS	RO	Header Log Overflow Status ヘッダログレジスタが複数あるときに、このビットがセットされます。
31 ～ 16	—	0	—	—	RsvdZ

(36) ADER Capability レジスタ5 (ADERCAP5)

このレジスタはPCI Express Capabilityレジスタの Correctable Error Mask レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HLOM	CIEM	ANFEM	RTTM	—	—	—	RNUMRM	BDLLPM	BTLPM	—	—	—	—	—	REM
初期値:	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	RWS	R	RWS	R	—	—	—	RWS	RWS	RWS	—	—	—	—	—	RWS
SH-4A R/W:	R	R	R	R	—	—	—	R	R	R	—	—	—	—	—	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
0	REM	0	RWS	RO	Receiver Error Mask リザーブビット
5 ～ 1	—	0	—	—	RsvdZ
6	BTLPM	0	RWS	RO	Bad TLP Mask リザーブビット
7	BDLLPM	0	RWS	RO	Bad DLLP Mask リザーブビット
8	RNUMRM	0	RWS	RO	REPLAY_NUM Rollover Status リザーブビット
11 ～ 9	—	0	—	—	RsvdP
12	RTTM	0	RO	RO	Replay Timer Timeout Mask リザーブビット
13	ANFEM	1	RWS	RO	Advisory Non-Fatal Error Mask
14	CIEM	0	RO	RO	Corrected Internal Error Mask （未サポート）
15	HLOM	1	RWS	RO	Header Log Overflow Mask
31 ～ 16	—	0	—	—	RsvdP

(37) ADER Capability レジスタ 6 (ADERCAP6)

このレジスタは PCI Express Capability レジスタの Correctable Error Advanced Error Capability 及び Control レジスタに対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TLP PLP	MHRE	MHRC	ECR CCE	ECR CCC	ECR CGE	ECR CGC	FEP				
初期値:	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0
ホストR/W:	—	—	—	—	R	RWS	R	RWS	R	RWS	R	R	R	R	R	R
SH-4A R/W:	—	—	—	—	R	R	RW	R	RW	R	RW	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
4 ～ 0	FEP	すべて0	ROS	RO	First Error Pointer Uncorrectable Error Status Registerに報告された最初のエラーの位置を識別するフィールドです。
5	ECRCGC	1	RO	RW	ECRC Generation Capable "1"がセットされると、ECRCの生成が可能であることが示されます。
6	ECRCGE	0	RWS	RO	ECRC Generation Enable "1"がセットされると、ECRC の生成が有効になります。
7	ECRCCC	1	RO	RW	ECRC Check Capable "1"がセットされると、ECRCの確認が可能であることが示されます。.
8	ECRCCE	0	RWS	RO	ECRC Check Enable "1"がセットされると、ECRC確認が有効になります。
9	MHRC	1	RO	RW	Multiple Header Recording Capable "1"がセットされると、複数のエラーヘッダの記録が可能であることが示されます。
10	MHRE	0	RWS	RO	Multiple Header Recording Enable "1"がセットされると、複数のエラーヘッダの記録が可能になります。
11	TLPPLP	0	RO	RO	TLP Prefix Log Present "1"がセットされ、最初のエラーポインタが有効になると、有効な情報を含む TLP プレフィックスログレジスタが示されます（未サポート）。
31 ～ 12	—	0	—	—	RsvdP

(38) ADER Capability レジスタ 7 (ADERCAP7)

このレジスタはPCI Express Capabilityレジスタの Header Log Register 0 に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HLR0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HLR0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	HLR0	すべて0	ROS	RO	Header Log Register 0 このレジスタには検出されたエラーに対応するTLPヘッダの最初のダブルワードが含まれています。

(39) ADER Capability レジスタ 8 (ADERCAP8)

このレジスタはPCI Express Capabilityレジスタの Header Log Register 1 に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HLR1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HLR1															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	HLR1	すべて0	ROS	RO	Header Log Register 1 このレジスタには検出されたエラーに対応するTLPヘッダの2番目のDWが含まれています。

(40) ADER Capability レジスタ 9 (ADERCAP9)

このレジスタはPCI Express Capabilityレジスタの Header Log Register 2 に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HLR2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HLR2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	HLR2	すべて0	ROS	RO	Header Log Register 2 このレジスタには検出されたエラーに対応するTLPヘッダの3番目のDWが含まれています。

(41) ADER Capability レジスタ 10 (ADERCAP10)

このレジスタはPCI Express Capabilityレジスタの Header Log Register 3 に対応しています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HLR3															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HLR3															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			ホスト	SH-4A	
31 ～ 0	HLR3	すべて0	ROS	RO	Header Log Register 3 このレジスタには検出されたエラーに対応するTLPヘッダの4番目のDWが含まれています。

35.6.2.10.2　PCIe I/F Setup レジスタ

35.6.2.10.2.1　PCIe I/F Setup レジスタのアドレス

表35.18　PCIe I/F Setup レジスタのアドレス

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット（注2）	ソフトウエアリセット（注2）	PCIeリセット（注3）
PBI 制御レジスタ0	PBICTL0	R	H'FFCA 1000	32	H'0000 0000	保持	保持	保持
リソース設定レジスタ	RESSET	R/W	H'FFCA 1008	32	H'0000 0000	保持	保持	保持
PBI Information レジスタ0	PBIINF0	R/W	H'FFCA 1010	32	H'0000 0000	保持	保持	保持
PBI Information レジスタ1	PBIINF1	R/W	H'FFCA 1014	32	H'0000 0000	保持	保持	保持
PBI Information レジスタ2	PBIINF2	R/W	H'FFCA 1018	32	H'0000 0000	保持	保持	保持
PBI Information レジスタ3	PBIINF3	R/W	H'FFCA 101C	32	H'0000 0000	保持	保持	保持
PBI Information レジスタ4	PBIINF4	R/W	H'FFCA 1020	32	H'0000 0000	保持	保持	保持
PBI Information レジスタ5	PBIINF5	R/W	H'FFCA 1024	32	H'0000 0000	保持	保持	保持
ID Set レジスタ0	IDSET0	R/W	H'FFCA 1200	32	H'0011 1912	保持	保持	保持
ID Set レジスタ1	IDSET1	R/W	H'FFCA 1204	32	H'FF00 0000	保持	保持	保持
SubID Set レジスタ	SUBIDSET	R/W	H'FFCA 1208	32	H'0000 0000			
Link Configuration Set レジスタ0	LINKCONFSET0	R/W	H'FFCA 1214	32	H'0003 F411	保持	保持	保持
Link Configuration Set レジスタ1	LINKCONFSET1	R/W	H'FFCA 1218	32	H'0011 0000	保持	保持	保持
Link Configuration Set レジスタ2	LINKCONFSET2	R/W	H'FFCA 121C	32	H'0000 0000	保持	保持	保持
Link Configuration Set レジスタ3	LINKCONFSET3	R/W	H'FFCA 1220	32	H'0000 0000	保持	保持	保持
Transaction ID Set レジスタ	TRSID	R	H'FFCA 1224	32	H'0000 0000	保持	保持	H'0000 0000
Local Address Mask レジスタ0	LADMSK0	R/W	H'FFCA 1264	32	H'0000 0000	保持	保持	保持
Local Address Mask レジスタ1	LADMSK1	R/W	H'FFCA 126C	32	H'0000 0000	保持	保持	保持
Local Address Mask レジスタ2	LADMSK2	R/W	H'FFCA 1274	32	H'0000 0000	保持	保持	保持
Local Address Mask レジスタ3	LADMSK3	R/W	H'FFCA 127C	32	H'0000 0000	保持	保持	保持
Local Address Mask レジスタ4	LADMSK4	R/W	H'FFCA 1284	32	H'0000 0000	保持	保持	保持
Local Address Mask レジスタ5	LADMSK5	R/W	H'FFCA 128C	32	H'0000 0000	保持	保持	保持
VDM RX ベンダID レジスタ0	VDMRXVID0	R/W	H'FFCA 1408	32	H'0000 0000	保持	保持	保持
VDM RX ベンダID レジスタ1	VDMRXVID1	R/W	H'FFCA 140C	32	H'0000 0000	保持	保持	保持
PBI Interrupt Factor レジスタ	PBIINTFR	R/W	H'FFCA 1414	32	H'0000 0000	保持	保持	保持
PBI Interrupt Enable レジスタ	PBIINTEN	R/W	H'FFCA 1418	32	H'0000 0000	保持	保持	保持
MSI Mapping レジスタ	MSIMAP	R/W	H'FFCA 141C	32	H'0A41 8820	保持	保持	保持
BAR Mapping レジスタ	BARMAP	R/W	H'FFCA 1420	32	H'0000 0077	保持	保持	保持
BAR Access Size レジスタ	BARACSIZE	R/W	H'FFCA 1424	32	H'0000 0000	保持	保持	保持
Advisory Error Set レジスタ	ADVSERSET	R/W	H'FFCA 1428	32	H'0000 0000	保持	保持	保持
PBI Control レジスタ3	PBICTL3	R/W	H'FFCA 142C	32	H'0000 0000	保持	保持	保持

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット（注2）	ソフトウエアリセット（注2）	PCIeリセット（注3）
PBI Control レジスタ1	PBICTL1	R/W	H'FFCA 1450	32	H'0000 0000	保持	保持	保持
Scratch Pad レジスタ0	SCRATCH0	R/W	H'FFCA 1454	32	H'0000 0000	保持	保持	保持
PBI Control レジスタ2	PBICTL2	R/W	H'FFCA 1470	32	H'0005 5500	保持	保持	保持
PBI Revision ID	PBIREV	R	H'FFCA 1478	32	H'0000 0010	保持	保持	保持

注1. このリセットは$\overline{\text{PRESET}}$端子によりアサートされます。
2. この領域のレジスタはリセットモジュールで初期化されません。
3. このリセットはPCIeスイッチハードウエアリセット、モジュールリセット、ファンクションレベルリセット、PCIeスイッチからの2ndバスリセット又はPCIeスイッチからのHotリセットに対応しています。これらのリセットは「35.6.2.3 リセット」に記載されています。

35.6.2.10.2.2　Setupレジスタの説明

(1) PBI 制御レジスタ 0 (PBICTL0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ACCKEY							—	—	—	PBIDIS	INTDIS	MEM DIS	IODIS	CONFIG DIS	LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	W	W	W	W	W	W	W	—	—	—	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACCID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
15 ～ 0	ACCID	すべて0	R	ビットの詳細については「35.6.1.2.2.9. Device Specific Registers」の説明を参照してください。.
16	LOCK	0	R	
17	CONFIGDIS	0	R	
18	IODIS	0	R	
19	MEMDIS	0	R	
20	INTDIS	0	R	
21	PBIDIS	0	R	
24 ～ 22	—	0	—	リザーブビット
31 ～ 25	ACCKEY	すべて0	W	Access Key ホスト側でこのレジスタの値を変更する場合はここにアクセスキー codeを書き込んでください。アクセスキー codeはデフォルト設定では1010010です。この設定はこのビット16が0の時、SH-4Aでのみ変更が可能です。

(2) リソース設定レジスタ (RESSET)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LOCK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	VDMDIS	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
3～0	—	0	—	リザーブビット
4	VDMDIS	0	R/W	1にセットすると、本モジュールのトランスファ及びレシーバは動作しません。
30～5	—	0	—	リザーブビット
31	LOCK	0	R	1にセットすると、LSIからこのレジスタ及びBAR機能設定レジスタ（LADMSK0-5及びBARMAPレジスタ）を変更できなくなります。

(3) PBI Information レジスタ 0 (PBIINF0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31 ～ 0	INFO	すべて0	R/W	Information PBIからホストへの任意の情報を通知します。 レジスタの値はPCIeスイッチのdownstreamポートレジスタ（デバイス1、アドレスH'E00）のようにホストから読み出せます。

(4) PBI Information レジスタ 1 (PBIINF1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31 ～ 0	INFO	すべて0	R/W	Information PBIからホストへの任意の情報を通知します。 レジスタの値はPCIeスイッチのdownstreamポートレジスタ（デバイス1、アドレスH'E04）のようにホストから読み出せます。

(5) PBI Information レジスタ 2 (PBIINF2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	INFO	すべて0	R/W	Information PBIからホストへの任意の情報を通知します。 レジスタの値はPCIeスイッチのdownstreamポートレジスタ（デバイス1、アドレスH'E08）のようにホストから読み出せます。

(6) PBI Information レジスタ 3 (PBIINF3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	INFO	すべて0	R/W	Information PBIからホストへの任意の情報を通知します。 レジスタの値はPCIeスイッチのdownstreamポートレジスタ（デバイス1、アドレスH'E0C）のようにホストから読み出せます。

(7) PBI Information レジスタ 4 (PBIINF4)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	INFO	すべて0	R/W	Information PBIからホストへの任意の情報を通知します。 レジスタの値はPCIeスイッチのdownstreamポートレジスタ（デバイス1、アドレスH'E10）のようにホストから読み出せます。

(8) PBI Information レジスタ 5 (PBIINF5)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INFO															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	INFO	すべて0	R/W	Information PBIからホストへの任意の情報を通知します。 レジスタの値はPCIeスイッチのdownstreamポートレジスタ（デバイス1、アドレスH'E14）のようにホストから読み出します。

(9) ID Setting レジスタ 0 (IDSET0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEVID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VID															
初期値:	0	0	0	1	1	0	0	1	0	0	0	1	0	0	1	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	VID	H'1912	R/W	Vendor ID PCIeデバイスにアサインされたベンダー IDを初期化時に書き込みます。ビットの値はPCIeリセットのネゲート時PCICONF0 レジスタの Vendor ID ビットに反映されます。
31～16	DEVID	H'0011	R/W	Device ID PCIeデバイスにアサインされたデバイス IDを初期化時に書き込みます。ビットの値はPCIeリセットのネゲート時PCICONF0 レジスタの Device ID ビットに反映されます。

(10) ID Setting レジスタ 1 (IDSET1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CLCD								SCLCD							
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PROGIF								REVID							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
7～0	REVID	すべて0	R/W	Revision ID Revision IDを初期化時に書き込みます。本ビットの値はPCIeリセットのネゲート時PCICONF2 レジスタの Revision ID ビットに反映されます。
15～8	PROGIF	すべて0	R/W	Programming Interface 初期化時にProgramming IF Codeを書き込みます。本ビットの値はPCIeリセットのネゲート時PCICONF2レジスタのPROG IFビットに反映されます。
23～16	SCLCD	すべて0	R/W	Sub Class Code 初期化時にSub Class Codeを書き込みます。本ビットの値はPCIeリセットのネゲート時PCICONF2レジスタのSub Class Codeビットに反映されます。
31～24	CLCD	H'FF	R/W	Class Code 初期化時にClass Codeを書き込みます。本ビットの値はPCIeリセットのネゲート時PCICONF2レジスタのClass Codeビットに反映されます。

(11) SUBID Setting レジスタ (SUBIDSET)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSVID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	SSVID	すべて0	R/W	Sub System Vendor ID PCIeデバイスのサブシステムベンダIDを初期化の際に書き込みます。ビットの値はPCIeリセットのネゲート時PCICONF11 レジスタの サブシステムベンダID ビットに反映されます。
31～16	SSID	すべて0	R/W	Sub System ID PCIeデバイスのサブシステムデバイスIDを初期化の際に書き込みます。ビットの値はPCIeリセットのネゲート時PCICONF11 レジスタの Subsystem ID ビットに反映されます。

(12) Link Configuration Setting レジスタ 0 (LINKCONFSET0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LCAP0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCAP0															
初期値:	1	1	1	1	0	1	0	0	0	0	0	1	0	0	0	1
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	LCAP0	H'0003 F411	R/W	Link Capabilities 0 初期化の際link capabilitiesレジスタに設定する値を書き込みます。ビットの値はPCIeリセットのネゲート時EXPCAP3ビットに反映されます。

(13) Link Configuration Setting レジスタ 1 (LINKCONFSET1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LSTS															
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCTL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	LCTL	すべて0	R/W	Link Control 初期化の際link controlレジスタに設定する値を書き込みます。ビットの値はPCIeリセットのネゲート時EXPCAP4ビットに反映されます。
31～16	LSTS	H'0011	R/W	Link Status 初期化の際link statusレジスタに設定する値を書き込みます。ビットの値はPCIeリセットのネゲート時EXPCAP4ビットに反映されます。

(14) Link Configuration Setting レジスタ 2 (LINKCONFSET2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LCAP2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCAP2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	LCAP2	すべて0	R/W	Link Capabilities 2 初期化の際link capabilitiesレジスタ2に設定する値を書き込みます。ビットの値はPCIeリセットのネゲート時EXPCAP7ビットに反映されます。

(15) Link Configuration Setting レジスタ 3 (LINKCONFSET3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LSTS2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCTL2															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	LCTL2	すべて0	R/W	Link Control 2 初期化の際link controlレジスタ2に設定する値を書き込みます。ビットの値はPCIeリセットのネゲート時EXPCAP8ビットに反映されます。
31～16	LSTS2	すべて0	R/W	Link Status 2 初期化の際link statusレジスタ2に設定する値を書き込みます。ビットの値はPCIeリセットのネゲート時EXPCAP8ビットに反映されます。

(16) Transaction ID レジスタ (TRSID)

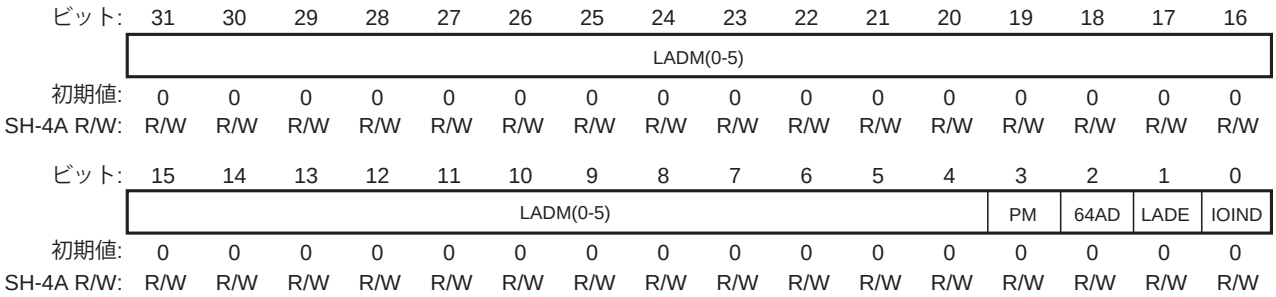
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	BNUM							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DNUM					—	FNUM		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	R	R	R	R	R	—	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
2～0	FNUM	すべて0	R	Function Number 本モジュールのファンクションナンバーを示します。 この値はコンフィギュレーションライトアクセスのたびに更新されます。
3	—	0	—	リザーブビット
8～4	DNUM	すべて0	R	Device Number 本モジュールのデバイスナンバーを示します。 この値はコンフィギュレーションライトアクセスのたびに更新されます。
15～9	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
23～16	BNUM	すべて0	R	Bus Number 本モジュールのバスナンバーを示します。 この値はコンフィギュレーションライトアクセスのたびに更新されます。
31～24	—	0	—	リザーブビット

(17) Local Address Mask レジスタ 0 ～ 5 (LADMSK0 ～ LADMSK5)



ビット	ビット名	初期値	R/W SH-4A	説明
0	IOIND	0	R/W	I/O Space Indicator PCIeから内部バスに転送されるトランザクションに使用するPCIeアドレス空間のタイプを指定します。 0: メモリ空間 1: I/O 空間
1	LADE	0	R/W	Local Address Enable ローカルアドレスの禁止/許可を指定します。本ビットが1のとき、LADn又はLADMSKnで指定された領域内での転送を許可します。LADn又はLADMSKnのアドレス変換を許可するには本ビットを1に設定します。1に設定できるのは対応のBARが使用されている場合のみです。
2	64AD	0	R/W	64 bit Address Enable IOINDビットが0のとき、BARで定義されたメモリ空間のアドレス幅を指定します。 0：LADMSKnを32ビットアドレスで使用中 1：LADMSKnを64ビットアドレスで使用中 IOINDビットが1のとき、本ビットはマスクビットの1つ（ビット2）として機能します。 0：4バイトの空間使用時 1：8バイト以上の空間使用時 LADMSKnを64ビットアドレスで使用する場合、LADMSKn+1をLADMSKnの上位アドレス用に使用するため、単体での使用はできなくなります。本ビットを0に設定してください。 注　本モジュールは64ビットアドレスをサポートしていません。このビットは設定禁止です。

ビット	ビット名	初期値	R/W SH-4A	説明
3	PM	0	R/W	Prefetchable Memory IOINDビットが0のとき、prefetchable memoryを使用する/しないを指定します。 0: プリフェッチ不可メモリを使用 1: プリフェッチ可メモリを使用 IOINDビットが1のとき、本ビットはマスクビット（LADMSKn）の1つ（ビット3）として機能します。 0：4バイト又は8バイトの空間使用時 1：8バイト以上の空間使用時 LADMSKnを64ビットアドレスで使用する場合、LADMSKn+1はLADMSKnの上位アドレス用に使用するため、単体での使用はできなくなります。本ビットを0に設定してください。
31～4	LADM (0～5)	すべて0	R/W	Local Address Mask (0～5) 対応するBAR空間（LADMSK0-5はPCICONF4-9に対応）のサイズを定義します。本ビットが1に設定されている場合、PCICONF4-9の対応ビットは1に設定できません。 0000_0000_0000_0000_0000_0000_0000: 4, 8, 及び 16 バイト 0000_0000_0000_0000_0000_0000_0001: 32 バイト 0000_0000_0000_0000_0000_0000_0011: 64 バイト : 0011_1111_1111_1111_1111_1111_1111: 1 Gバイト 0111_1111_1111_1111_1111_1111_1111: 2 Gバイト 1111_1111_1111_1111_1111_1111_1111: 4 Gバイト 上記以外の設定はしないで下さい。 LADMSKnを64ビットアドレスで使用する場合、LADMSKn+1はLADMSKnの上位アドレス用に使用するため、単体での使用はできなくなります。以下のように設定してください。 0000_0000_0000_0000_0000_0000_0000_0000: 4 Gバイト

(18) VDM RX ベンダIDレジスタ0/1 (VDMRXVID0/1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VIDA/VIDC															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VIDB/VIDD															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	VIDB/VIDD	すべて0	R/W	ベンダID (A)、ベンダID (B)、ベンダID (C)、ベンダID (D) 受信可能なVDMのベンダIDを設定します。本ビットに設定したベンダIDのVDMを受信できます。
31～16	VIDA/VIDC	すべて0	R/W	

(19) PBI Interrupt Factor レジスタ (PBIINTFR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RST	RSTNEG	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PMESNT	IDCHG	—	—	PWSCHG	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	R/W	R/W	—	—	R/W	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
7～0	—	0	—	リザーブビット
8	PWSCHG	0	R/W	Power State Change モジュールの電源状態変更を示します。PBIINENレジスタのPWSCHGEビット＝1の時に本ビットをセットすると本LSIにPBIC割り込みを発信します。1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
9、10	—	0	—	リザーブビット
11	IDCHG	0	R/W	ID Change 本モジュールのリクエスタIDが0から他の値に変更したことを示します。PBIINTENレジスタのIDCHGEビット＝1の時に本ビットをセットすると本LSIにPBIC割り込みを発信します。1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。

ビット	ビット名	初期値	R/W SH-4A	説明
12	PMESNT	0	R/W	PME Sent 本モジュールによりPMEがホストに送信されたことを示します。PBIINTENレジスタのPMESNTEビット＝1の時に本ビットをセットすると本LSIにPBIC割り込みを発信します。1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
27～13	—	0	—	リザーブビット
28	RSTNEG	0	R/W	Reset Negate PCIリセットのネゲートを示します。PBIINTENレジスタのRSTNEGEビット＝1の時に本ビットをセットすると本LSIにPBIC割り込みを発信します。1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
29	RST	0	R/W	Reset PCIeリセットのアサートを示します。 PBIINTENレジスタのRSTEビット＝1の時に本ビットをセットすると本LSIにPBIC割り込みがアサートされます。 1を書き込むとビットはクリアされ、割り込みはデアサートされます。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
31, 30	—	0	—	リザーブビット

(20) PBI Interrupt Enable レジスタ (PBIINTEN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RSTE	RST NEGE	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PME SNTE	IDC HGE	—	—	PWS CHGE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	R/W	R/W	—	—	R/W	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
7～0	—	0	—	リザーブビット
8	PWSCHGE	0	R/W	Power State Change Interrupt Enable PBIIBTFR関連ビットにより発生するPBIC割り込みを許可します。1にすると割り込み許可になります。
9、10	—	0	—	リザーブビット
11	IDCHGE	0	R/W	ID Change Interrupt Enable PBIIBTFR関連ビットにより発生するPBIC割り込みを許可します。1にすると割り込み許可になります。
12	PMESNTE	0	R/W	PME Sent Interrupt Enable PBIIBTFR関連ビットにより発生するPBIC割り込みを許可します。1にすると割り込み許可になります。
27～13	—	0	—	リザーブビット
28	RSTNEGE	0	R/W	Reset Negate Interrupt Enable PBIIBTFR関連ビットにより発生するPBIC割り込みを許可します。1にすると割り込み許可になります。
29	RSTE	0	R/W	Reset Interrupt Enable PBIINTFRの関連ビットによるPBIC割り込みを有効にします。本ビットが1のときは割り込みが有効です。
31, 30	—	0	—	リザーブビット

(21) MSI Mapping レジスタ (MSIMAP)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	RSTINT					USERINT					MLINTRST			
初期値:	0	0	0	0	1	0	1	0	0	1	0	0	0	0	0	1
SH-4A R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MLIN TRST	MLINTUND					MLINTOVF					MLINTDN				
初期値:	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
4～0	MLINTDN	H'0	R/W	Mailbox INT Done HSTATUS（Mailboxステータスレジスタ）のDONEビットセット時に発生する割り込みのベクタを設定します。 設定された値はMSIデータとして使用され、値はMSICAP0[22:20]の値に応じて変化します。 MSICAP[22:20]: MSI データ (2バイト) 000: MSICAP3[15:0] 001: MSICAP3[15:1], MLINTDN[0] 010: MSICAP3[15:2], MLINTDN[1:0] 011: MSICAP3[15:3], MLINTDN[2:0] 100: MSICAP3[15:4], MLINTDN[3:0] 101: MSICAP3[15:5], MLINTDN[4:0] 詳細は表35.12を参照してください。
9～5	MLINTOVF	H'1	R/W	Mailbox INT Overflow HSTATUS（Mailboxステータスレジスタ）のOVFLWビットセット時に発生する割り込みのベクタを設定します。 MSIデータとの関係はMLINTDNビットとの関係と同じです。
14～10	MLINTUND	H'2	R/W	Mailbox INT Underrun HSTATUS（Mailboxステータスレジスタ）のUDRUNビットセット時に発生する割り込みのベクタを設定します。 MSIデータとの関係はMLINTDNビットとの関係と同じです。
19～15	MLINTRST	H'3	R/W	Mailbox INT Reset HSTATUS（Mailboxステータスレジスタ）のRSTビットセット時に発生する割り込みのベクタを設定します。 MSIデータとの関係はMLINTDNビットとの関係と同じです。
2～20	USERINT	H'4	R/W	User INT HSTATUS（Mailboxステータスレジスタ）のUSERINTビットセット時に発生する割り込みのベクタを設定します。 MSIデータとの関係はMLINTDNビットとの関係と同じです。
29～5	RSTINT	H'5	R/W	Reset INT HSTATUS（Mailboxステータスレジスタ）のPBIRSTビットセット時に発生する割り込みのベクタを設定します。 MSIデータとの関係はMLINTDNビットとの関係と同じです。
31, 30	—	0	—	リザーブビット

(22) BAR Mapping レジスタ (BARMAP)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SMM			—	MM		
初期値:	0	0	0	0	0	0	0	0	0	1	1	1	0	1	1	1
SH-4A R/W:	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
2～0	MM	H’7	R/W	Mailbox Mapping Mailboxにアサインする BARナンバーを設定します。 MM ビットと BARナンバーとの関係は以下の通りです。 000: BAR0 001: BAR1 010: BAR2 011: BAR3 100: BAR4 101: BAR5 111: 無効 Mailbox と Shared Memoryに同じ BARナンバーをアサインしないでください。
3	—	0	—	リザーブビット
6～4	SMM	H’7	R/W	Shared Memory Mapping Shared memoryにアサインする BARナンバーを設定します BARナンバーとの関係は上記 MM ビットのものと同じです。 Mailbox と Shared Memoryに同じ BARナンバーをアサインしないでください。
31～7	—	0	—	リザーブビット

(23) BAR Access Size レジスタ (BARACSIZE)

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	ALBAR5	ALBAR4	ALBAR3	ALBAR2	ALBAR1	ALBAR0	—	BAR5			—	BAR4		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BAR3			—	BAR2			—	BAR1			—	BAR0		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
2～0	BAR0	すべて0	R/W	BAR0 Access Size BAR0で許可するアクセスサイズを設定します。本ビットの設定値とアクセスサイズの関係は以下の通りです。 000 – ダブルワードアクセス (IO アクセス時にチェック有効) （注） 001 – バイトアクセス (IO/メモリ共に有効) 010 – ワードアクセス (IO/メモリ共有効) 100 – ダブルワードアクセス (IO/メモリ共に有効) 011 – バイト及びワードアクセス (IO/メモリ共に有効) : 111 – バイト、ワード及びダブルワードアクセス (IO/メモリ共に有効) 指定サイズ以外のアクセスはCompleter Abortとして破棄されます。 本ビットのセット時、隣接しないバイトのenable accessは禁止されます。 詳細は「35.6.2.4.1.1 BAR レジスタの初期化」を参照してください。
3	—	0	—	リザーブビット
6～4	BAR1	すべて0	R/W	BAR1 Access Size BAR1で許可するアクセスサイズを設定します。本ビットの設定値とアクセスサイズの関係は上記BAR0ビットのものと同じです。
7	—	0	—	リザーブビット
10～8	BAR2	すべて0	R/W	BAR2 Access Size BAR2で許可するアクセスサイズを設定します。本ビットの設定値とアクセスサイズの関係は上記BAR0ビットのものと同じです。
11	—	0	—	リザーブビット
14～12	BAR3	すべて0	R/W	BAR3 Access Size BAR3で許可するアクセスサイズを設定します。本ビットの設定値とアクセスサイズの関係は上記BAR0ビットのものと同じです。
15	—	0	—	リザーブビット
18～16	BAR4	すべて0	R/W	BAR4 Access Size BAR4で許可するアクセスサイズを設定します。本ビットの設定値とアクセスサイズの関係は上記BAR0ビットのものと同じです。
19	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
22～20	BAR5	すべて0	R/W	BAR5 Access Size BAR5で許可するアクセスサイズを設定します。本ビットの設定値とアクセスサイズの関係は上記BAR0ビットのものと同じです。
23	—	0	—	リザーブビット
24	ALBAR0	0	R/W	Alignment Constraint for BAR0 本ビット＝1の時、BAR0で定義されているメモリ領域はクアッドワードでアライメントされたアクセスのみを受け入れ、それ以外はCAとして破棄します。
25	ALBAR1	0	R/W	Alignment Constraint for BAR1 本ビット＝1の時、BAR1で定義されているメモリ領域はクアッドワードでアライメントされたアクセスのみを受け入れ、それ以外はCAとして破棄します。
26	ALBAR2	0	R/W	Alignment Constraint for BAR2 本ビット＝1の時、BAR2で定義されているメモリ領域はクアッドワードでアライメントされたアクセスのみを受け入れ、それ以外はCAとして破棄します。
27	ALBAR3	0	R/W	Alignment Constraint for BAR3 本ビット＝1の時、BAR3で定義されているメモリ領域はクアッドワードでアライメントされたアクセスのみを受け入れ、それ以外はCAとして破棄します。
28	ALBAR4	0	R/W	Alignment Constraint for BAR4 本ビット＝1の時、BAR4で定義されているメモリ領域はクアッドワードでアライメントされたアクセスのみを受け入れ、それ以外はCAとして破棄します。
29	ALBAR5	0	R/W	Alignment Constraint for BAR5 本ビット＝1の時、BAR5で定義されているメモリ領域はクアッドワードでアライメントされたアクセスのみを受け入れ、それ以外はCAとして破棄します。
31, 30	—	0	—	リザーブビット

注.　メモリアクセスではPCIe規格で定められているすべてのアクセスサイズ、アライメントタイプが利用できます。

(24) Advisory Error Setting レジスタ (ADVSERSET)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	UIE	—	URE	ECRCE	MTLP	—	UC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	R/W	—	R/W	R/W	R/W	—	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
14～0	—	0	—	リザーブビット 初期値は変更しないでください。
15	CA（注）	0	R/W	Advisory Setting of Completer Abort この値が1のときはCompleter Abortを Advisory Non-Fatal Errorとして報告します。AERのSeverity設定がFatalになっているとき本ビットの設定は無視されます。
16	UC（注）	0	R/W	Advisory Setting of Unexpected Completion この値が1のときはUnexpected Completionを Advisory Non-Fatal Errorとして報告します。AERのSeverity設定がFatalになっているとき本ビットの設定は無視されます。
17	—	0	—	リザーブビット
18	MTLP	0	R/W	Advisory Setting of Malformed TLP この値が1のときはMalformed TLPを Advisory Non-Fatal Errorとして報告します。AERのSeverity設定がFatalになっているとき本ビットの設定は無視されます。
19	ECRCE	0	R/W	Advisory Setting of ECRC Error この値が1のときはECRCを Advisory Non-Fatal Errorとして報告します。AERのSeverity設定がFatalになっているとき本ビットの設定は無視されます。
20	URE（注）	0	R/W	Advisory Setting of Unsupported Request この値が1のときはUnsupported Requestを Advisory Non-Fatal Errorとして報告します。AERのSeverity設定がFatalになっているとき本ビットの設定は無視されます。
21	—	0	—	リザーブビット
22	UIE	0	R/W	Advisory Setting of Uncorrectable Internal Error この値が1のときはUncorrectable Internal Errorを Advisory Non-Fatal Errorとして報告します。AERのSeverity設定がFatalになっているとき本ビットの設定は無視されます。
31～23	—	0	—	リザーブビット

注.　PCIe規格に合わせるためにはビットの値を1にしてください。

(25) PBI Control レジスタ 3 (PBICTL3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INIDONE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	INIDONE	0	R/W	Initialize Done 本LSIがPBIレジスタの初期設定を完了するとこのビットがセットされます。
31～1	—	0	—	リザーブビット

(26) PBI Control レジスタ 1 (PBICTL1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PME REQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	PMEREQ	0	R/W	PME Request 本LSIが本ビットに1を書き込むと、本モジュールによりPMEがホストに送信されます。本LSIは本ビットから常に0を読み出します。
31～1	—	0	—	リザーブビット

(27) Scratch Pad レジスタ0 (SCRATCH0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SCRATCH 0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCRATCH 0															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	SCRATCH 0	すべて0	R/W	Scratch Pad 0 必要に応じ任意の値を設定してください。 本レジスタはモジュールの動作には影響しません。

(28) PBI Control レジスタ2 (PBICTL2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	MSIBE SET	BARLOG SET	—	—	—	—	—	—	—	EPCHKDISBAR5		EPCHKDISBAR4	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
SH-4A R/W:	—	—	—	R/W	R/W	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EPCHKDISBAR3		EPCHKDISBAR2		EPCHKDISBAR1		EPCHKDISBAR0		—	—	—	—	—	—	HOTRS TDIS	ACD 3H
初期値:	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	ACD3H	0	R/W	Access Control on D3hot 1にセットすると本モジュールはD3hot時でもD0のように動作を行います。 詳細は「35.6.2.8 パワーマネジメント」を参照。
1	HOTRSTDIS	0	R/W	Hot Reset Disable 1にセットすると本デバイスは動作モードに入ります。動作モード時本デバイスはPCIe ホットリセットでも初期化されません。
7～2	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
9、8	EPCHKDIS BAR0	H'1	R/W	EP check disable for BAR0 モジュールがpoisoned TLPを受信した際のBAR0領域のアクションを決定するビットです。 00：PCIe Config regのエラービットをセット データ受信拒否 01：PCIe Config regのエラービットをセット データ受信可 10：PCIe Config regのエラービットをセットしない データ受信拒否 11：PCIe Config regのエラービットをセットしない データ受信可 注　00に設定の場合、BAR0領域のレシーバはseveryty設定によってはpoisoned errorをFatal又はNon-fatal errorとみなす場合があります。 01に設定の場合、BAR0領域のレシーバはseverityの設定によってはpoisoned errorをFatal又はadvisory Non-Fatal errorとみなす場合があります。
11、10	EPCHKDIS BAR1	H'1	R/W	EP check disable for BAR1 モジュールがpoisoned TLPを受信した際のBAR1領域のアクションを決定するビットです。設定のルールはEPCHKDISBAR0ビットのときと同じです。
13、12	EPCHKDIS BAR2	H'1	R/W	EP check disable for BAR2 モジュールがpoisoned TLPを受信した際のBAR2領域のアクションを決定するビットです。設定のルールはEPCHKDISBAR0ビットのときと同じです。
15、14	EPCHKDIS BAR3	H'1	R/W	EP check disable for BAR3 モジュールがpoisoned TLPを受信した際のBAR3領域のアクションを決定するビットです。設定のルールはEPCHKDISBAR0ビットのときと同じです。
17、16	EPCHKDIS BAR4	H'1	R/W	EP check disable for BAR4 モジュールがpoisoned TLPを受信した際のBAR4領域のアクションを決定するビットです。設定のルールはEPCHKDISBAR0ビットのときと同じです。
19、18	EPCHKDIS BAR5	H'1	R/W	EP check disable for BAR5 モジュールがpoisoned TLPを受信した際のBAR5領域のアクションを決定するビットです。設定のルールはEPCHKDISBAR0ビットのときと同じです。
23～20	—	0	—	リザーブビット
24	ECRCCHKDIS BAR	0	R/W	ECRC Check Disable for BAR モジュールがECRCエラーを含むTLPを受信した際のBARレシーバのアクションを決定するビットです。1の場合、アクションを中断しません。
26、25	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
27	BARLOGSET	H'0	R/W	BAR Header Log Setting 修復不能な内部エラーを検出する際のPCIe Configuration Registerのヘッダログレジスタでラッチするログ値を決定するビットです。 1'b0: すべて1 1'b1: 実際のヘッダ値
28	MSIBESET	H'0	R/W	MSI Byte enable Setting MSIのTLPのファーストバイトイネーブル形式を設定します。 1'b0: 4'b0011 1'b1: 4'b1111
31～29	—	0	—	リザーブビット

注.　レジスタ設定はADERCAP6レジスタのECRCCEビットが1のときのみ有効です。

(29) PBI Revision ID レジスタ (PBIREV)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	REVID							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH-4A R/W:	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
7～0	REVID	H'1	R	Revision ID 本モジュールののRevision IDを示します。
31～8	—	0	—	リザーブビット.

35.6.2.10.3 System Bus Setup レジスタ

35.6.2.10.3.1 System Bus Setup レジスタアドレス

表35.19 System Bus Setup レジスタのアドレス

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット（注2）	ソフトウエアリセット（注2）	PCIリセット（注3）
SHwy 制御レジスタ	SHWCTL	R/W	H'FFCA 1600	32	H'0888 8888	保持	保持	保持
Endian 制御レジスタ0	ENDICTL0	R/W	H'FFCA 160C	32	H'0000 0000	保持	保持	保持
Endian 制御レジスタ1	ENDICTL1	R/W	H'FFCA 1610	32	H'0000 0000	保持	保持	保持
Internal Error Factor レジスタ	INNERER	R/W	H'FFCA 1614	32	H'0000 0000	保持	保持	保持
SHwy Debug レジスタ0	SHWDBG0	R	H'FFCA 1618	32	H'0000 0000	保持	保持	保持
SHwy Debug レジスタ1	SHWDBG1	R	H'FFCA 161C	32	H'0000 0000	保持	保持	保持
SHwy Debug レジスタ3	SHWDBG3	R/W	H'FFCA 1624	32	H'0000 0000	保持	保持	保持
領域0下位アドレス設定レジスタ	R0ADRL	R/W	H'FFCA 1628	32	H'0000 0000	保持	保持	保持
領域0上位アドレス設定レジスタ	R0ADRU	R/W	H'FFCA 162C	32	H'0000 0000	保持	保持	保持
Virtual Transaction I/F Error Factor レジスタ	VTRSERFR	R/W	H'FFCA 1658	32	H'0000 0000	保持	保持	保持

注1. このリセットは$\overline{\text{PRESET}}$端子によりアサートされます。
2. この領域のレジスタはリセットモジュールで初期化されません。
3. このリセットはPCIeスイッチハードウエアリセット、モジュールリセット、ファンクションレベルリセット、PCIeスイッチからの2ndバスリセット又はPCIeスイッチからのHotリセットに対応しています。これらのリセットは「35.6.2.3 リセット」に記載されています。

35.6.2.10.3.2　System Bus Setup Registersの説明

(1) SHwy 制御レジスタ (SHWCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STMCTL															
初期値:	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
27～0	STMCTL	H'888 8888	R/W	System Control 初期値は変更しないでください。
31～28	—	0	—	リザーブビット

(2) Endian 制御レジスタ 0 (ENDICTL0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ECDVDMT			—	ECTVDMT			—	ECDVDMR			—	ECTVDMR		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
2～0	ECTVDMR	すべて0	R/W	Endian Control for Descriptor Table Access by VDM Receiver VDM レシーバによるディスクリプタテーブルアクセス時のエンディアンを制御します。 000: エンディアン変更なし 001: バイト単位で変更 010: ワード単位で変更 100: ダブルワード単位で変更
3	—	0	—	リザーブビット
6～4	ECDVDMR	すべて0	R/W	Endian Control for Data Access by VDM Receiver VDM レシーバによるデータアクセス時のエンディアンを制御します。設定方法はECTVDMRビットと同じです。
7	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
10～8	ECTVDMT	すべて0	R/W	Endian Control for Descriptor Table Access by VDM Transmitter VDMトランスミッタによるディスクリプタテーブルアクセス時のエンディアンを制御します。設定方法はECTVDMRビットと同じです。
11	—	0	—	リザーブビット
14～12	ECDVDMT	すべて0	R/W	Endian Control for Data Access by VDM Transmitter VDMトランスミッタによるデータアクセス時のエンディアンを制御します。設定方法はECTVDMRビットと同じです。
31～15	—	0	—	リザーブビット

注.　詳細は「35.6.2.4.2.1 エンディアン制御レジスタ初期設定」を参照して下さい。

(3) Endian 制御レジスタ 1 (ENDICTL1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ECBAR3			—	ECBAR2			—	ECBAR1			—	ECTBAR0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
2～0	ECBAR0	すべて0	R/W	Endian Control for BAR0 BAR0に指定されたエリアにアクセスする際のエンディアンを制御します。 000: エンディアン変更なし 001: バイト単位で変更 010: ワード単位で変更 100: ダブルワード単位で変更
3	—	0	—	リザーブビット
6～4	ECBAR1	すべて0	R/W	Endian Control for BAR1 BAR1に指定された空間へのアクセス時のエンディアンを制御するビットです。設定方法はECBAR0ビットと同じです。
7	—	0	—	リザーブビット
10～8	ECBAR2	すべて0	R/W	Endian Control for BAR2 BAR2に指定された空間へのアクセス時のエンディアンを制御するビットです。設定内容はECBAR0ビットと同じです。
11	—	0	—	リザーブビット
14～12	ECBAR3	すべて0	R/W	Endian Control for BAR3 BAR3に指定された空間へのアクセス時のエンディアンを制御するビットです。設定内容はECBAR0ビットと同じです。

ビット	ビット名	初期値	R/W SH-4A	説明
15	—	0	—	リザーブビット
18～16	ECBAR4	すべて0	R/W	Endian Control for BAR4 BAR4に指定された空間へのアクセス時のエンディアンを制御するビットです。設定内容はECBAR0ビットと同じです。
19	—	0	—	リザーブビット
22～20	ECBAR5	すべて0	R/W	Endian Control for BAR5 BAR5に指定された空間へのアクセス時のエンディアンを制御するビットです。設定内容はECBAR0ビットと同じです。
31～23	—	0	—	リザーブビット

注.　詳細は「35.6.2.4.2 システムバスセットアップレジスタ空間」を参照してください。

(4) Internal Error Factor レジスタ (INNERER)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	UNKN WSRC	UNKN WTID	ERD LEN	—	—	—	ERV DMTD	ERV DMTT	ERV DMRD	ERV DMRT	—	—	—	ERRE GION0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	R/W	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	—	—	—	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	ERREGION0	0	R/W	Region 0 Error VDM回路によるアクセスが領域0の外であることを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
3～1	—	0	—	リザーブビット
4	ERVDMRT	0	R/W	VDM Receiver Error on Table Read VDMレシーバによるディスクリプタテーブル読み込み時にエラーが発生したことを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
5	ERVDMRD	0	R/W	VDM Receiver Error on Data Write VDMレシーバによる受信データ書き込み時にエラーが発生したことを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。

ビット	ビット名	初期値	R/W SH-4A	説明
6	ERVDMTT	0	R/W	VDM Transmitter Error on Table Read VDMトランスミッタによるディスクリプタテーブル読み出し時にエラーが発生したことを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
7	ERVDMTD	0	R/W	VDM Transmitter Error on Data Read VDMトランスミッタによる転送データ読み出し時にエラーが発生したことを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。
10～8	—	0	—	リザーブビット
11	ERDLEN	0	R/W	Data Length Error 読み出し時に受信したデータの長さがリクエストの内容と一致しないことを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
12	UNKNWTID	0	R/W	Unknown TID 内部バスにエラーが起きたことを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
13	UNKNWSRC	0	R/W	Unknown src ID 内部バスにエラーが起きたことを示します。 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
31～14	—	0	—	リザーブビット

(5) SHwy Debug レジスタ0 (SHWDBG0)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
31 ～ 0	INF	すべて0	R	Information デバッグに使用されるレジスタです。

(6) SHwy Debug レジスタ1 (SHWDBG1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	INF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INF															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
31 ～ 0	INF	すべて0	R	Information デバッグに使用されるレジスタです。

(7) SHwy Debug レジスタ 3 (SHWDBG3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CTL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CTL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	CTL	すべて0	R/W	Control デバッグに使用されるレジスタです。初期値は変更しないでください。

(8) Region 0 Lower Address Setting Register (R0ADRL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRL															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRL													—	—	R0E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	R0E	0	R/W	Region 0 Enable 1にセットするとVDM回路のアクセス範囲のチェックが有効になります。 本レジスタのADRLビット及びR0ADRUレジスタのADRUビットで設定したアドレスの外にアクセスすると、INNERERレジスタのERREGION0ビットがセットされます。
2、1	—	0	—	リザーブビット
31～3	ADRL	すべて0	R/W	Lower Address 領域0の下位アドレスを指定します。

(9) Region 0 Upper Address Setting Register (R0ADRU)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRU															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRU													—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
2～0	—	0	—	リザーブビット
31～3	ADRU	すべて0	R/W	Upper Address 領域0の上位アドレスを指定します。

(10) Virtual Transaction I/F Error Factor レジスタ (VTRSERFR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ERR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ERR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	ERR	すべて0	R/W	Error 1を書き込むとクリアします。 本ビットはハードウェアで設定を行います。本LSIでは設定できません。

35.6.2.10.4　DMAコントロールレジスタ

35.6.2.10.4.1　DMAコントロールレジスタのアドレス

表35.20　DMAコントロールレジスタのアドレス

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット（注2）	ソフトウエアリセット（注2）	PCIeリセット（注3）
VDM RXコマンドレジスタ	VDMRXCMD	R/W	H'FFCA 1800	32	H'0000 0000	H'0000 0000	H'0000 0000	保持
VDM RXステータスレジスタ	VDMRXSTS	R	H'FFCA 1804	32	H'0000 0000	H'0000 0000	H'0000 0000	保持
VDM RXテーブルアドレスレジスタ	VDMRXTADR	R/W	H'FFCA 1808	32	H'0000 0000	H'0000 0000	H'0000 0000	保持
VDMデータナンバレジスタ	VDMDATNUM	R	H'FFCA 180C	32	H'0000 0000	H'0000 0000	H'0000 0000	保持
VDM TLPナンバレジスタ	VDMTLPNUM	R	H'FFCA 1810	32	H'0000 0000	H'0000 0000	H'0000 0000	保持
VDM RXコントロールレジスタ	VDMRXCTL	R/W	H'FFCA 1814	32	H'0000 0300	H'0000 0300	H'0000 0300	保持
VDM RXエラー要因レジスタ	VDMRXERFR	R/W	H'FFCA 1818	32	H'0000 0000	H'0000 0000	H'0000 0000	保持
VDM RXエラー割り込み許可レジスタ	VDMRXEREN	R/W	H'FFCA 181C	32	H'0000 0183	H'0000 0183	H'0000 0183	保持
VDM TXコマンドレジスタ	VDMTXCMD	R/W	H'FFCA 1820	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXステータスレジスタ	VDMTXSTS	R	H'FFCA 1824	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXテーブルアドレスレジスタ	VDMTXTADR	R/W	H'FFCA 1828	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXトランザクションIDレジスタ	VDMTRSID	R	H'FFCA 182C	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXベンダIDレジスタ0	VDMTXVID0	R/W	H'FFCA 1830	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXベンダIDレジスタ1	VDMTXVID1	R/W	H'FFCA 1834	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXコントロールレジスタ	VDMTXCTL	R/W	H'FFCA 1838	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXエラー要因レジスタ	VDMTXERFR	R/W	H'FFCA 183C	32	H'0000 0000	保持	保持	H'0000 0000
VDM TXエラー割り込み許可レジスタ	VDMTXEREN	R/W	H'FFCA 1840	32	H'0000 07FF	保持	保持	H'0000 07FF
VDM割り込み要因レジスタ	VDMINTFR	R	H'FFCA 1844	32	H'0000 0000	H'000X 0000 *	H'000X 0000 *	H'0000 0000
VDM割り込み許可レジスタ	VDMINTEN	R/W	H'FFCA 1848	32	H'0F03 0000	H'0F0X 0000 *	H'0F0X 0000 *	H'0F03 0000 *
メッセージ最大ペイロードサイズレジスタ	MSGMPS	R	H'FFCA 1870	32	H'0000 0000	保持	保持	H'0000 0000

注.　各レジスタによりリセットの種類が異なります。VDMRX系レジスタはマニュアル及びソフトウェアリセットでリセットされ、VDMTX系のレジスタはPCIリセットでリセットされます。

35.6.2.10.4.2　DMAコントロールレジスタ詳細

(1) VDM RXコマンドレジスタ (VDMRXCMD)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	STR	0	R/W	Start 1にセットするとモジュールによる VDM 受信を開始します。
31～1	—	0	—	リザーブビット

(2) VDM RXステータスレジスタ (VDMRXSTS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BFUL	INT	ERR	ACT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
0	ACT	0	R	Active VDM レシーバが動作中であることを示します。VDMRXCMD レジスタの STR ビットを設定するときは本ビットを 0 にして下さい。
1	ERR	0	R	Error VDM レシーバにエラーが発生したことを示します。実行中の転送処理を中断します。エラーの原因については VDMRXERFR レジスタを参照して下さい。PBIB 割り込みがアサートされます。
2	INT	0	R	Interrupt VDM レシーババッファ容量を使い果たしたことを示します。PBIB 割り込みがアサートされます。エラーの原因については VDMINTFR レジスタを参照して下さい。
3	BFUL	0	R	Buffer Full VDM レシーババッファフルにつき VDM TLP が一部ドロップしたことを示します。
31～4	—	0	—	リザーブビット

(3) VDM RXテーブルアドレスレジスタ (VDMRXTADR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRS															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRS									—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
6～0	—	0	—	リザーブビット
31～7	ADRS	すべて0	R/W	Address VDMレシーバが参照するディスクリプタテーブルの開始アドレスを指定します。

(4) VDMデータナンバレジスタ (VDMDATNUM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NUM															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NUM															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
31～0	NUM	すべて0	R	Number ディスクリプタテーブルで指定した送信先アドレス（ダブルワード）へ転送済のデータ数を示します。

(5) VDM TLPナンバレジスタ (VDMTLPNUM)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	NUM		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NUM															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
18～0	NUM	すべて0	R	Number VDMレシーババッファに受信済のTLPの数を示します。
31～19	—	0	—	リザーブビット

(6) VDM RXコントロールレジスタ (VDMRXCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EOM DIS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RCV TYPE	—	—	—	—	—	—	TC IGNOR	CODE IGNOR	EP IGNOR
初期値:	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	R/W	—	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	EPIGNOR	0	R/W	EP Ignore Poisoned dataを含むVDMの処理方法を設定します。 0：VDMを破棄 1：VDMを受信
1	CODEIGNOR	0	R/W	Code Error Ignore Message Codeが7Fhに設定されていないVDMの処理方法を設定します。 0：VDMを破棄 1：VDMを受信
2	TCIGNOR	0	R/W	TC Error Ignore TC (Traffic Class)が0に設定されていないVDMの処理方法を設定します。 0：VDMを破棄 1：VDMを受信

ビット	ビット名	初期値	R/W SH-4A	説明
8	—	1	—	リザーブビット
7～3	—	0	—	リザーブビット
9	RCVTYPE	1	R/W	Receivable Routing Type ルーティング方法がID又はブロードキャストに設定されていないVDMの処理方法を設定します。 0：VDMを破棄 1：VDMを受信
15～10	—	0	—	リザーブビット
16	EOMDIS	0	R/W	EOM Function Disable 1にセットするとVDMレシーバにEOM=1のMCTPを受信してもVDMINTFRレジスタのEOMビットをセットしません。
31～17	—	0	—	リザーブビット

(7) VDM RXエラー要因レジスタ (VDMRXERFR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LEN	REGION	—	—	—	—	—	EOT	SB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	R/W	R/W	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	SB	0	R/W	System Bus Error VDMレシーバ動作中にシステムバスエラーが発生したことを示します。 本ビット又はVDMINTFRレジスタのRERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
1	EOT	0	R/W	End of Table ディスクリプタテーブルに登録した転送が完了したことを示します。 本ビット又はVDMINTFRレジスタのRERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
6～2	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
7	REGION	0	R/W	Region Error 領域0チェックが有効の状態でVDM受信動作中、領域0指定の範囲外にアクセスしたことを示します。 本ビット又はVDMINTFRレジスタのRERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
8	LEN	0	R/W	Length Error VDMレシーバがディスリプタテーブルを読み出すにあたり、データ長が不適切であることを示します。
31～9	—	0	—	リザーブビット

(8) VDM RXエラー割り込み許可レジスタ (VDMRXEREN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	LENE	REGIONE	—	—	—	—	—	EOTE	SBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	R/W	R/W	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	SBE	1	R/W	System Bus Error Interrupt Enable VDMRXERFRレジスタのSBビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
1	EOTE	1	R/W	End of Table Interrupt Enable VDMRXERFRレジスタのEOTビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
6～2	—	0	—	リザーブビット
7	REGIONE	1	R/W	Region Error Interrupt Enable VDMRXERFRレジスタのREGIONビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可

ビット	ビット名	初期値	R/W SH-4A	説明
8	LENE	1	R/W	Length Error Interrupt Enable VDMRXERFR レジスタのLENビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
31～9	—	0	—	リザーブビット

(9) VDM TXコマンドレジスタ (VDMTXCMD)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	STR	0	R/W	Start 1にセットするとVDM送信動作を開始します。
31～1	—	0	—	リザーブビット

(10) VDM TXステータスレジスタ (VDMTXSTS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	INT	ERR	ACT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
0	ACT	0	R	Active VDM トランスミッタが作動中のときこのビットは1になります。VDMTXCMD レジスタのSTRビットを設定する場合、本ビットは0にして下さい。

ビット	ビット名	初期値	R/W SH-4A	説明
1	ERR	0	R	Error VDMトランスミッタにエラーが発生したことを示します。実行中の転送処理は中断します。エラーの原因についてはVDMTXERFRビットを参照して下さい。
2	INT	0	R	Interrupt VDMトランスミッタが本LSIに割り込み（PBIB）を通知するとこのビットは1になります。割り込み要因についてはVDMINTFRを確認して下さい。
31～3	—	0	—	リザーブビット

(11) VDM TXテーブルアドレスレジスタ (VDMTXTADR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADRS															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRS									—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
6～0	—	0	—	リザーブビット
31～7	ADRS	すべて0	R/W	Address VDMトランスミッタが参照するディスクリプタテーブルの開始アドレスを指定します。

(12) VDM TXトランザクションIDレジスタ (VDMTRSID)

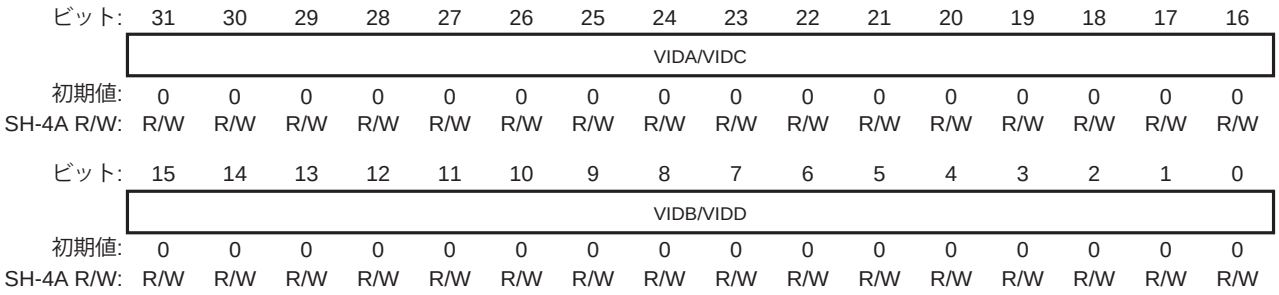
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REQID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	REQID	すべて0	R	Requester ID 本モジュールのRequester IDを示します。

ビット	ビット名	初期値	R/W SH-4A	説明
31～16	—	0	—	リザーブビット

(13) VDM TXベンダIDレジスタ0/1 (VDMTXVID0/1)



ビット	ビット名	初期値	R/W SH-4A	説明
15～0	VIDB/VIDD	すべて0	R/W	Vendor ID B / Vendor ID D 本モジュールが送信を許可するVendor IDを設定します。 VDMTXCTLレジスタのTLPCHKEビットが1のとき、本モジュールはVIDA/VIDB/VIDC/VIDDに設定したVendor IDと一致するVDMを送信できます。
31～16	VIDA/VIDC	すべて0	R/W	Vendor ID A / Vendor ID C 本モジュールが送信を許可するVendor IDを設定します。 VDMTXCTLレジスタのTLPCHKEビットが1のとき、本モジュールはVIDA/VIDB/VIDC/VIDDに設定したVendor IDと一致するVDMを送信できます。

注． VIDA及びVIDBはVDMTXVID0レジスタに、VIDC及びVIDBはVDMTXVID1レジスタに配置しています。

(14) VDM TXコントロールレジスタ (VDMTXCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECRC GENDIS	TLP CHKE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	TLPCHKE	0	R/W	TLP Check Enable 1にセットすると送信するTLPヘッダをVDMトランスミッタがチェックします。 チェック項目は以下の通りです。 AT[1:0] = 00b Vendor ID = VDMTXVID0及びVDMTXVID1 注．　以下の項目については本ビットの設定とは無関係にチェックを行います。 Fmt[2:0] = 001b/011b Type[4:3] = 10b Requester ID[15:0] = VDMTXTRSID Message Code[7:0] = 01111111b
1	ERCRGENDIS	0	R/W	ECRC Generation Disable ECRCの発生が有効（ADERCAP6レジスタのECRCGEビット=1）のとき、メモリに書き込まれているTLPとは無関係にVDMトランスミッタはTD=1のTLPを送信します。 本ビット = 1のときVDMトランスミッタは実際にメモリに書き込まれたTDビットの値のTLPを送信します。 VDMトランスミッタでMCTPメッセージを送信する場合はこのビットを1にして下さい。
31～2	—	0	—	リザーブビット

(15) VDM TXエラー要因レジスタ (VDMTXERFR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TLP CHK	LEN	HD	REGION	RST	—	—	—	—	MPS	SB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	SB	0	R/W	System Bus Error VDMトランスミッタの処理中にシステムバスエラーが発生したことを示します。 本ビット又はVDMINTFRレジスタのTERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
1	MPS	0	R/W	MPS Error ディスクリプタテーブルのエントリが最大ペイロードサイズに違反していることを示します。 本ビット又はVDMINTFRレジスタのTERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
5～2	—	0	—	リザーブビット
6	RST	0	R/W	Reset Error VDM送信処理中に本モジュールの内部バスリセットがアサートされたことを示します。 本ビット又はVDMINTFRレジスタのTERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
7	REGION	0	R/W	Region Error 領域0チェックが有効の状態でVDM送信処理中、領域0指定の範囲外にアクセスしたことを示します。 本ビット又はVDMINTFRレジスタのTERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
8	HD	0	R/W	Header Error VDMトランスミッタが送信したトランザクションのヘッダが不正であることを示します。 本ビット又はVDMINTFRレジスタのTERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。

ビット	ビット名	初期値	R/W SH-4A	説明
9	LEN	0	R/W	Length Error VDMトランスミッタの処理中に送信／受信したデータのデータ長が予定のものと異なる場合を示します。 本ビット又はVDMINTFRレジスタのTERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
10	TLPCHK	0	R/W	TLP Check Error TLPチェックの基準に満たなかったため、VDM送信が中断されたことを示します。 本ビット又はVDMINTFRレジスタのTERビットに1を書き込むとクリアされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
31～11	—	0	—	リザーブビット

(16) VDM TXエラー割り込み許可レジスタ (VDMTXEREN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TLP CHKE	LENE	HDE	REGIONE	RSTE	—	—	—	—	MPSE	SBE
初期値:	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
SH-4A R/W:	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	SBE	1	R/W	System Bus Error Interrupt Enable VDMTXERFRレジスタのSBビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
1	MPSE	1	R/W	MPS Error Interrupt Enable VDMTXERFRレジスタのMPSビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
5～2	—	1	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
6	RSTE	1	R/W	Reset Error Interrupt Enable VDMTXERFRレジスタのRSTビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
7	REGIONE	1	R/W	Region Error Interrupt Enable VDMTXERFRレジスタのREGIONビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
8	HDE	1	R/W	Header Error Interrupt Enable VDMTXERFRレジスタのHDビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
9	LENE	1	R/W	Length Error Interrupt Enable VDMTXERFRレジスタのLENビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
10	TLPCHKE	1	R/W	TLP Check Error Interrupt Enable VDMTXERFRレジスタのTLPCHKビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
31～11	—	0	—	リザーブビット

(17) VDM割り込み要因レジスタ (VDMINTFR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	RER	RDFUL	REMP	REOM	—	—	—	—	—	—	TER	TINT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	R/W	R/W	R/W	R/W	—	—	—	—	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
16	TINT	0	R/W	VDM TX Interrupt VDMトランスミッタによる転送処理が完了、又は送信中にエラーを検出したことを示します。 本ビットは1書き込みによりクリアされ、PBIB割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
17	TER	0	R/W	VDM TX Error VDMトランスミッタにenabled errorが発生したことを示します。割り込み要因についてはVDMTXERFRレジスタを参照して下さい。割り込み許可レジスタはVDMTXERENです。 本ビットは1書き込みによりクリアされ、PBIB割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
23～18	—	0	—	リザーブビット
24	REOM	0	R/W	VDM RX EOM VDMレシーバにエラーが発生したことを示します。割り込み要因についてはVDMTXERFRレジスタを参照して下さい。 本ビットは1書き込みによりクリアされ、PBIB割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
25	REMP	0	R/W	VDM RX Buffer Empty VDMレシーバのバッファが空になったことを示します。 本ビットは1書き込みによりクリアされ、PBIB割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
26	RDFUL	0	R/W	VDM RX DDR Area Full ディスクリプタテーブルで設定したDDR空間がVDM受信中にに空きがなくなったことを示します。 本ビットは1書き込みによりクリアされ、PBIB割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
27	RER	0	R/W	VDM RX Error VDMレシーバにエラーが発生したことを示します。割り込み要因についてはVDMRXERFRを参照して下さい。 本ビットは1書き込みによりクリアされ、PBIB割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
31～28	—	0	—	リザーブビット

(18) VDM割り込み許可レジスタ (VDMINTEN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	RERE	RDFULE	REMPE	REOME	—	—	—	—	—	—	TERE	TINTE
初期値:	0	0	0	0	1	1	1	1	0	0	0	0	0	0	1	1
SH-4A R/W:	—	—	—	—	R/W	R/W	R/W	R/W	—	—	—	—	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	—	0	—	リザーブビット
16	TINTE	1	R/W	VDM TX Interrupt Enable VDMINFR レジスタのTINTビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
17	TERE	1	R/W	VDM TX Error Interrupt Enable VDMINFR レジスタのTERビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
23～18	—	0	—	リザーブビット
24	REOME	1	R/W	VDM RX EOM Interrupt Enable VDMINFR レジスタのREOMビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
25	REMPE	1	R/W	VDM RX Buffer Empty Interrupt Enable VDMINFR レジスタのREMPビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
26	RDFULE	1	R/W	VDM RX DDR Area Full Interrupt Enable VDMINFR レジスタのRDFULビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
27	RERE	1	R/W	VDM RX Error Interrupt Enable VDMINFR レジスタのRERビットにより発生した割り込みを許可／禁止します。 0：割り込みを禁止 1：割り込みを許可
31～28	—	0	—	リザーブビット

(19) メッセージ最大ペイロードサイズレジスタ (MSGMPS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPS	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
1, 0	MPS	00	R	Max Payload Size EXPCAP2 レジスタの MPS ビットの値を示します。
31～2	—	0	—	リザーブビット

35.6.2.10.5　その他のレジスタ

35.6.2.10.5.1　その他のレジスタのアドレス

表35.21　SH-4Aのみアクセス可能なレジスタ

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態			
					パワーオンリセット（注1）	マニュアルリセット（注2）	ソフトウエアリセット（注2）	PCIeリセット（注3）
Shared Memoryエンディアン制御レジスタ	SHMENDICTL	R/W	H'FFCA 2000	32	H'0000 0000	保持	保持	保持

注1. このリセットは$\overline{\text{PRESET}}$端子によってアサートされます。
2. この領域のレジスタはリセットモジュールで初期化されません。
3. このリセットはPCIeスイッチハードウエアリセット、モジュールリセット、ファンクションレベルリセット、PCIeスイッチからの2ndバスリセット又はPCIeスイッチからのHotリセットに対応しています。これらのリセットは「35.6.2.3 リセット」に記載されています。

35.6.2.10.5.2　その他のレジスタの詳細

(1) Shared Memoryエンディアン制御レジスタ (SHMENDICTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
0	EC	0	R/W	Endian Control 本ビットが1にセットされると、本LSIからのメモリアクセス時にエンディアンを変更します。 詳細は「35.6.2.4.2.1 エンディアン制御レジスタ初期設定」を参照してください。
31～1	—	0	—	リザーブビット

35.6.2.10.6　Mailbox制御レジスタ

35.6.2.10.6.1　Mailbox制御レジスタのアドレス

表35.22　SH-4Aよりアクセス可能なレジスタグループ一覧

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態					
					パワーオンリセット（注1）	マニュアルリセット（注2）	ソフトウエアリセット（注2）	PCIeリセット（注3）	ソフトウエアリセット1（注4）	ソフトウエアリセット2（注5）
PBI Mailbox データレジスタ	BDATA	R/W	H'FFCA 8000	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
PBI Mailbox 書き込み制御レジスタ	BWTCTL	W	H'FFCA 8004	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
PBI Mailbox カウントレジスタ	BCOUNT	R	H'FFCA 8008	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
PBI Mailbox ステータスレジスタ	BSTATUS	R/W	H'FFCA 800C	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'8000 0000
PBI Mailbox 割り込みイネーブルレジスタ	BINTEN	R/W	H'FFCA 8010	32	H'E103 0000	保持	保持	H'E103 0000	H'E103 0000	H'X103 0000
PBI Mailbox 制御レジスタ	BCTL	W	H'FFCA 8014	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
PBI Mailbox ユーザステータス制御レジスタ	BUSRSTSCTL	R/W	H'FFCA 8018	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000

注1. このリセットは$\overline{\text{PRESET}}$端子によってアサートされます。
2. この領域のレジスタはリセットモジュールで初期化されません。
3. このリセットはPCIeスイッチハードウエアリセット、モジュールリセット、ファンクションレベルリセット、PCIeスイッチからの2ndバスリセット又はPCIeスイッチからのホットリセットに対応しています。これらのリセットは「35.6.2.3 リセット」に記載されています。
4. このソフトウェアリセットはBTCL[31]により行われます。
5. このソフトウェアリセットはHCTL[31]により行われます。

表35.23　ホストよりアクセス可能なレジスタグループ一覧

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態					
					パワーオンリセット（注1）	マニュアルリセット（注2）	ソフトウエアリセット（注2）	PCIeリセット（注3）	ソフトウエアリセット1（注4）	ソフトウエアリセット2（注5）
ホストMailboxデータレジスタ	HDATA	R/W	H'0000	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
ホストMailbox書き込み制御レジスタ	HWTCTL	W	H'0004	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
ホストMailboxカウントレジスタ	HCOUNT	R	H'0008	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
ホストMailboxステータスレジスタ	HSTATUS	R/W	H'000C	32	H'0000 0000	H'XX1X XXXX	H'XX1X XXXX	H'0000 0000	H'8000 0000	H'0000 0000
ホストMailbox割り込みイネーブルレジスタ	HINTEN	R/W	H'0010	32	H'E103 0000	保持	保持	H'E103 0000	H'X103 0000	H'E103 0000
ホストMailbox制御レジスタ	HCTL	W	H'0014	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000
ホストMailboxユーザステータス制御レジスタ	HUSRSTSCTL	R/W	H'0018	32	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	H'0000 0000

注1. このリセットは$\overline{\text{PRESET}}$端子によってアサートされます。
2. この領域のレジスタはリセットモジュールで初期化されません。
3. このリセットはPCIeスイッチハードウエアリセット、モジュールリセット、ファンクションレベルリセット、PCIeスイッチからの2ndバスリセット又はPCIeスイッチからのホットリセットに対応しています。これらのリセットは「35.6.2.3 リセット」に記載されています。
4. このソフトウェアリセットはBTCL[31]により行われます。
5. このソフトウェアリセットはHCTL[31]により行われます。

35.6.2.10.6.2　Mailbox制御レジスタの詳細

(1) PBI Mailbox データレジスタ (BDATA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DATA							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
7～0	DATA	すべて0	R/W	Data SH-4AからMailboxのFifoにアクセスする場合はこのビットにアクセスします。
31～8	—	0	—	リザーブビット

(2) PBI Mailbox書き込み制御レジスタ (BWTCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	USE RINT	DONE	—	—	—	OWN REQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	W	W	—	—	—	W

ビット	ビット名	初期値	R/W SH-4A	説明
0	OWNREQ	0	W	Owner Request Mailbox FIFOへのライトアクセスが衝突するのを防ぐためSH-4AからMailboxアクセス時本ビットに1を書き込み、ライトオーナーシップを取得します。1書き込み後、BSTATUSレジスタのWTOWNERビットが01になっていることを確認して下さい。ただし、WTOWNERビットが00ではない場合ライトオーナーシップは取得できません。
3～1	—	0	—	リザーブビット
4	DONE	0	W	Done SH-4Aからホストに転送されたデータがFIFOにすべて書き込まれた場合、このビットに1を書き込みます。
5	USERINT	0	W	User Interrupt SH-4Aからホストに任意割り込みを送信したいときに使用します。1を書き込むとホストに割り込み（PBIA）を送信します。

ビット	ビット名	初期値	R/W SH-4A	説明
31～6	—	0	—	リザーブビット

(3) PBI Mailbox カウントレジスタ (BCOUNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	COUNT												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
12～0	COUNT	すべて0	R	Count MailboxのFIFOに書き込まれたデータの容量を示します。SH-4AからMailbox FIFOにリードアクセスを行うときはこのビットでデータサイズを確認します。ビットの値とデータサイズの関係は以下の通りです。 H'0: 0 バイト H'1: 1 バイト : H'1000: 4096 バイト
31～13	—	0	—	リザーブビット

(4) PBI Mailbox ステータスレジスタ (BSTATUS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RESET	UDRUN	OVFLW	—	—	—	—	—	—	—	—	—	—	—	USERINT	DONE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	USERDFSTS								—	—	—	—	—	—	WTOWNER	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	R	R	R	R	R	R	R	R	—	—	—	—	—	—	R	R

ビット	ビット名	初期値	R/W SH-4A	説明
1, 0	WTOWNER	0	R	Write Owner CPU（SH-4A又はホスト）がMailbox FIFOにライトアクセスが可能であることを示します。本ビットで設定されたCPUのみにライトアクセスが可能です。 00: どちらもアクセス不可 01: SH-4Aのみ可 10: ホストのみ可 11: 設定禁止
7～2	—	0	—	リザーブビット
15～8	USERDFSTS	すべて0	R	User Define Status ユーザが設定した値を示します。 SH-4Aから本ビットを設定又はリセットする場合はBUSRSTSCTLレジスタにアクセスして下さい。
16	DONE	0	R/W	Done ホストからMailbox FIFOへのライトアクセスが終了したことを示します。ライトアクセスが終了するとリードアクセスを開始します。本ビット及びBINTEN[16]が1にセットされている場合、割り込み（PBIA）がアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
17	USERINT	0	R/W	User Interrupt ユーザが定義した割り込みが発生したことを示します。 本ビット及びBINTEN[17]が1にセットされている場合、割り込み（PBIA）がアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
28～18	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W SH-4A	説明
29	OVFLW	0	R/W	Overflow SH-4AからMailbox FIFOへのライトアクセス時に4KB以上のデータ書き込みによるFIFOのオーバフローが起きたことを示します。本ビット及びBINTEN[29]が1にセットされている場合、割り込み（PBIA）がアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
30	UDRUN	0	R/W	Underrun SH-4AからMailbox FIFOへのリードアクセス時、書き込みデータの容量よりも大きいデータが読み出されたことを示します。本ビット及びBINTEN[30]が1にセットされている場合、割り込み（PBIA）がアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
31	RESET	0	R/W	Reset Mailboxがホストからリセットされたことを示します。本ビット及びBINTEN[31]が1にセットされている場合、割り込み（PBIA）がアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。

(5) PBI Mailbox 割り込みイネーブルレジスタ (BINTEN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RESETE	UDRUNE	OVFLWE	—	—	—	—	—	—	—	—	—	—	—	USERINTE	DONEE
初期値:	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1
SH-4A R/W:	R/W	R/W	R/W	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
15～0	—	0	—	リザーブビット
16	DONEE	1	R/W	Done Interrupt Enable 1にセットすると、BSTATUSレジスタのDONEビット＝1設定時にSH-4Aへ割り込み要求（PBIA）を送信します。

ビット	ビット名	初期値	R/W SH-4A	説明
17	USERINTE	1	R/W	User Interrupt Enable 1にセットすると、BSTATUSレジスタのUSERINTビット＝1設定時にSH-4Aに割り込み要求（PBIA）を送信します。
28～18	—	0	—	リザーブビット
29	OVFLWE	1	R/W	Overflow Interrupt Enable 1にセットすると、BSTATUSレジスタのOVFLWビット＝1設定時にSH-4Aに割り込み要求（PBIA）を送信します。
30	UDRUNE	1	R/W	Underrun Interrupt Enable 1にセットすると、BSTATUSレジスタのUDRUNビット＝1設定時にSH-4Aに割り込み要求（PBIA）を送信します。
31	RESETE	1	R/W	Reset Interrupt Enable 1にセットすると、BSTATUSレジスタのRESETビット＝1設定時にSH-4Aに割り込み要求（PBIA）を送信します。

(6) PBI Mailbox 制御レジスタ (BCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W SH-4A	説明
30～0	—	0	—	リザーブビット
31	RESET	0	W	Reset このビットに1を書き込むと、Mailboxのみリセットが行われます。

(7) PBI Mailbox ユーザステータス制御レジスタ (BUSRSTSCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CLR REQ	STSCLR							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SET REQ	STSSET							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH-4A R/W:	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
7～0	STSSET	すべて0	R/W	Status Set 本ビットはBSTATUS/HSTATUSレジスタのUSERDFSTSビットに対応しています。 BUSRSTSCTLレジスタのSETREQビットが1'b1のとき、本ビットのうち1に設定されたビットがBSTATUS/HSTATUSレジスタのUSERDFSTSビットに反映（1に設定）されます。0に設定されたビットの設定は反映されません。 BUSRSTCTLレジスタのSETREQビットが1'b0のとき、あるいはBUSRSTCTLレジスタのSETREQビットが1'b1の状態でCLRREQビットが1'b1のとき本ビットの設定には反映されません。 SH-4Aがこのビットを読み出すと、直近の書き込み値を読み出します。
8	SETREQ	0	R/W	Set Request 本ビットに1を書き込むとBSTATUS/HSTATUSレジスタのUSERDFSTSビットはBUSRSTSCTLレジスタのSTSSETビットの設定に応じて値を変更します。 SH-4Aがこのビットを読み出すと、直近の書き込み値を読み出します。
15～9	—	0	—	リザーブビット
23～16	STSCLR	すべて0	R/W	Status Clear 本ビットはBSTATUS/HSTATUSレジスタのUSERDFSTSビットに対応しています。BUSRSTSCTLレジスタのCLRREQビットが1'b1にセットされているとき、本ビットのうち1に設定されたビットがBSTATUS/HSTATUSレジスタのUSERDFSTSビットに反映（0クリア）されます。0に設定されたビットの設定は反映されません。 BUSRSTCTLレジスタのSETREQビットが1'b0のとき、あるいはSETREQビットが1'b1の状態でCLRREQビットが1'b1のとき本ビットの設定は反映されません。 SH-4Aがこのビットを読み出すと、直近の書き込み値を読み出します。

ビット	ビット名	初期値	R/W SH-4A	説明
24	CLRREQ	0	R/W	Clear Request 本ビットに1を書き込むとBSTATUS/HSTATUSレジスタのUSERDFSTSビットはBUSRSTSCTLレジスタのSTSCLRビットの設定に応じて値を変更します。 SH-4Aがこのビットを読み出すと、直近の書き込み値を読み出します。
31～25	—	0	—	リザーブビット

(8) ホストMailboxデータレジスタ (HDATA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DATA							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
7～0	DATA	すべて0	R/W	Data ホストからMailbox FIFOにアクセスするときは本ビットにアクセスして下さい。
31～8	—	0	—	リザーブビット

(9) ホストMailbox書き込み制御レジスタ (HWTCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	USERINT	DONE	—	—	—	OWNREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	W	W	—	—	—	W

ビット	ビット名	初期値	R/W Host	説明
0	OWNREQ	0	W	Owner Request Mailbox FIFOへの複数のライトアクセスが衝突するのを防ぐためホストからMailbox FIFOアクセス時本ビットに1を書き込み、ライトオーナーシップを取得します。書き込み後、HSTATUSレジスタのWTOWNERビットが10になっていることを確認して下さい。ただし、WTOWNERビットが00ではない場合ライトオーナーシップは取得できません。
3～1	—	0	—	リザーブビット
4	DONE	0	W	Done ホストからSH-4Aに転送されるデータがすべてFIFOに書き込まれると本ビットに1が書きこまれます。
5	USERINT	0	W	User Interrupt ホストからSH-4Aに任意割り込みを送信したいときに使用します。1を書き込むとSH-4Aに割り込み（PBIA）を送信します。
31～6	—	0	—	リザーブビット

(10) ホストMailboxカウンタレジスタ (HCOUNT)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	COUNT												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W Host	説明
12～0	COUNT	すべて0	R	Count Mailbox FIFOに書き込まれたデータサイズを示します。ホストからMailbox FIFOにリードアクセスを行うときはこのビットを参照してデータサイズを確認します。ビットの値とデータサイズの関係は以下の通りです。 H'0: 0 バイト H'1: 1 バイト : H'1000: 4096 バイト
31～13	—	0	—	リザーブビット

(11) ホストMailboxステータスレジスタ (HSTATUS)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RESET	UDRUN	OVFLW	—	—	—	—	—	—	—	—	PBI RST	—	—	USE RINT	DONE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R/W	R/W	R/W	—	—	—	—	—	—	—	—	R/W	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	USERDFSTS								—	—	—	—	—	—	WTOWNER	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	R	R	R	R	R	R	R	R	—	—	—	—	—	—	R	R

ビット	ビット名	初期値	R/W Host	説明
1, 0	WTOWNER	すべて0	R	Write Owner CPU（SH-4A又はホスト）がMailbox FIFOにライトアクセスが可能であることを示します。本ビットが示すCPUのみにライトアクセスが可能です。 00：どちらもアクセス不可 01：SH-4Aのみアクセス可 10：ホストのみアクセス可 11；設定禁止
7～2	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W Host	説明
15～8	USERDFSTS	すべて0	R	User Define Status ユーザが設定した値を示します。 ホストから本ビットを設定又はリセットする場合はHUSRSTSCTLにアクセスします。
16	DONE	0	R/W	Done SH-4AからMailbox FIFOへのライトアクセスが終了したことを示します。ライトアクセスが終了するとリードアクセスを開始します。本ビット及びHINTEN[16]が1にセットされている場合、割り込みがホストへアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
17	USERINT	0	R/W	User Interrupt SH-4Aからユーザ定義の割り込みが発生したことを示します。本ビット及びHINTEN[17]が1にセットされている場合、割り込みがホストへアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
19, 18	—	0	—	リザーブビット
20	PBIRST	0	R/W	PBI Reset PBIリセット（マニュアル/ソフトウェアリセット）がアサートされたことを示します。 本ビット及びHINTEN[20]が1にセットされている場合、割り込みがホストへアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
28～21	—	0	—	リザーブビット
29	OVFLW	0	R/W	Overflow ホストからMailbox FIFOへのライトアクセス時に4KB以上のデータ書き込みによるFIFOのオーバフローが起きたことを示します。 本ビット及びHINTEN[29]が1にセットされている場合、割り込みがホストへアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。

ビット	ビット名	初期値	R/W Host	説明
30	UDRUN	0	R/W	Underrun ホストからMailbox FIFOへのライトアクセス時に読み出しデータが書き込みの容量よりも大きいことを示します。本ビット及びHINTEN[30]が1にセットされている場合、割り込みがホストへアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。
31	RESET	0	R/W	Reset MailboxがSH-4Aからリセットされたことを示します。本ビット及びHINTEN[31]が1にセットされている場合、割り込みがホストへアサートされます。 1を書き込むとビットがクリアされ、割り込みがデアサートされます。 本ビットはハードウェアで設定を行います。SH-4Aでは設定できません。

(12) ホストMailbox割り込みイネーブルレジスタ (HINTEN)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RESETE	UDRUNE	OVFLWE	—	—	—	—	—	—	—	—	PBIRSTE	—	—	USERINTE	DONEE
初期値:	1	1	1	0	0	0	0	0	0	0	0	1	0	0	1	1
ホストR/W:	R/W	R/W	R/W	—	—	—	—	—	—	—	—	R/W	—	—	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W Host	説明
15 ～ 0	—	0	—	リザーブビット
16	DONEE	1	R/W	Done Interrupt Enable HSTATUSレジスタのDONEビット=1のときに本ビットを1にするとホストに割り込み要求を送信します。
17	USERINTE	1	R/W	User Interrupt Enable HSTATUSレジスタのUSERINTビット=1のときに本ビットを1にするとホストに割り込み要求を送信します。
19, 18	—	0	—	リザーブビット
20	PBIRSTE	1	R/W	PBI Reset Interrupt Enable HSTATUSレジスタのPBIRSTビット=1のときに本ビットを1にするとホストに割り込み要求を送信します。
28 ～ 21	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W Host	説明
29	OVFLWE	1	R/W	Overflow Interrupt Enable HSTATUSレジスタのOVFLWビット=1のときに本ビットを1にするとホストに割り込み要求を送信します。
30	UDRUNE	1	R/W	Underrun Interrupt Enable HSTATUSレジスタのUDRUNビット=1のときに本ビットを1にするとホストに割り込み要求を送信します。
31	RESETE	1	R/W	Reset Interrupt Enable HSTATUSレジスタのRESETビット=1のときに本ビットを1にするとホストに割り込み要求を送信します。

(13) ホストMailbox制御レジスタ (HCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W Host	説明
30 ～ 0	—	0	—	リザーブビット
31	RESET	0	W	Reset このビットに1を書き込むと、Mailboxのみリセットが行われます。

(14) ホストMailboxユーザステータス制御レジスタ (HUSRSTSCTL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CLR REQ	STSCLR							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SET REQ	STSSET							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
ホストR/W:	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W SH-4A	説明
7 ～ 0	STSSET	すべて0	R/W	Status Set 本ビットはBSTATUS/HSTATUS レジスタのUSERDFSTS ビットに対応しています。HUSRSTSCTL レジスタのSETREQ ビットが1'b1にセットされているとき、本ビットのうち1に設定されたビットがBSTATUS/HSTATUS レジスタのUSERDFSTS ビットに反映（1に設定）されます。0に設定されたビットの設定は反映されません。HUSRSTSCTL.SETREQ = 1'b0のとき、及びHUSRSTSCTL.CLRREQ = 1'b1の状態でHUSRSTSCTL.SETREQ = 1'b1のとき本ビットの値は反映されません。 ホストが本ビットを読み出すと、直近の書き込み値を読み出します。
8	SETREQ	0	R/W	Set Request 本ビットに1が書き込まれると、HUSRSTSCTL レジスタのSTSSET ビットの設定値に応じてBSTATUS/HSTATUS レジスタのUSERDFSTS ビットの値が変更されます。 ホストが本ビットを読み出すと、直近の書き込み値を読み出します。
15 ～ 9	—	0	—	リザーブビット
23 ～ 16	STSCLR	すべて0	R/W	Status Clear 本ビットはBSTATUS/HSTATUS レジスタのUSERDFSTS ビットに対応しています。HUSRSTSCTL レジスタのCLRREQ ビットが1'b1にセットされているとき、本ビットのうち1に設定されたビットがBSTATUS/HSTATUS レジスタのUSERDFSTS ビットに反映（0クリア）されます。0に設定されたビットの設定は反映されません。 HUSRSTSCTL.SETREQ = 1'b0のとき、及びHUSRSTSCTL.CLRREQ = 1'b1の状態でHUSRSTSCTL.SETREQ = 1'b1のときも本ビットの値は反映されません。 ホストが本ビットを読み出すと、直近の書き込み値を読み出します。
24	CLRREQ	0	R/W	Clear Request 本ビットに1が書き込まれるとHUSRSTSCTL レジスタのSTSCLR ビットの設定値に応じてBSTATUS/HSTATUS レジスタのUSERDFSTS ビットの値が変化します。 ホストがこのビットを読み出すと、直近の書き込み値を読み出します。

ビット	ビット名	初期値	R/W SH-4A	説明
31 ～ 25	—	0	—	リザーブビット

36. イベントカウンタ（EVC）

イベントカウンタ（EVC）は、外部端子（EVENT0～EVENT15）入力イベントのカウントを行います。

36.1 特長

- 16チャネルの外部端子入力イベントを独立にカウント可能
- イベントは、立ち上がりエッジ／立ち下がりエッジを選択可能
- イベントカウント機能の有効／無効をチャネル毎に独立に設定可能

図36.1 にEVC のブロック図を示します。

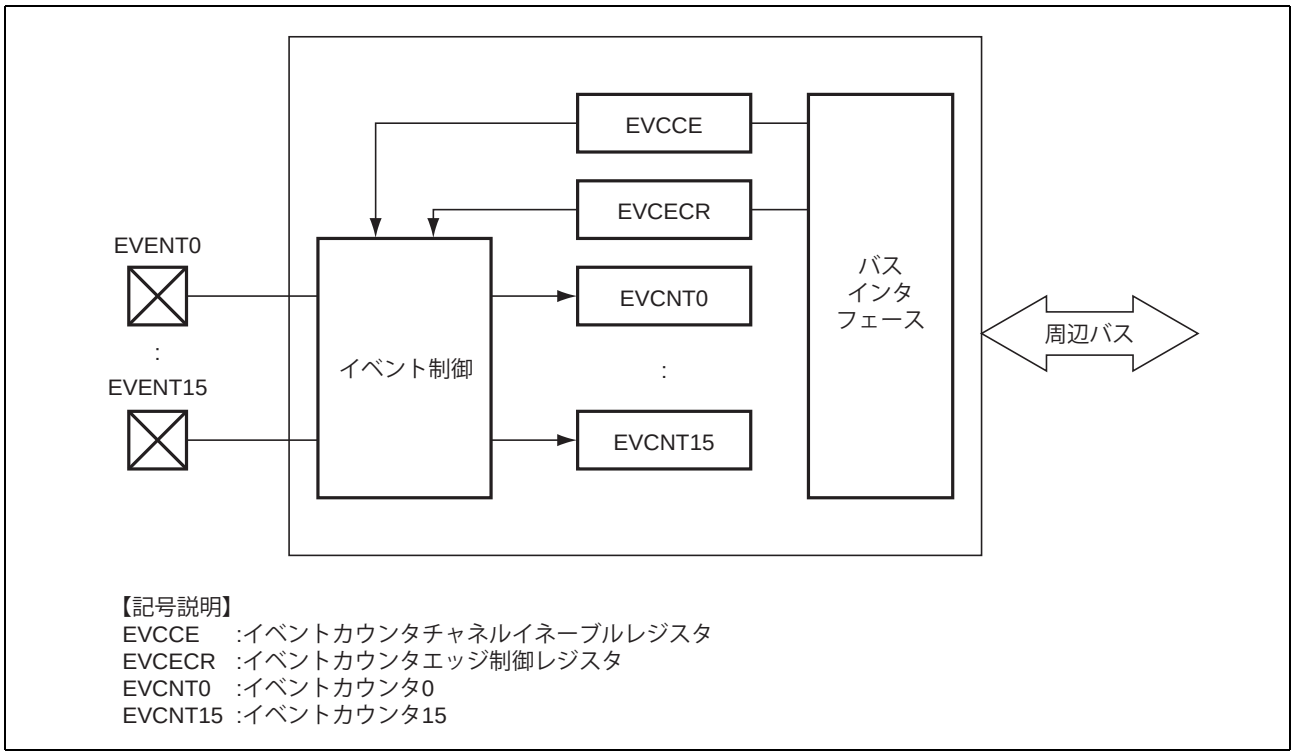


図 36.1　EVC ブロック図

36.2　入出力端子

EVC の端子構成を表36.1 に示します。

表36.1　EVC の端子構成

名称	記号	入出力	機 能
Event input 0（注1）	EVENT0	入力	外部イベント 0 入力用の入力端子です。
Event input 1（注1）	EVENT1	入力	外部イベント 1 入力用の入力端子です。
Event input 2（注1）	EVENT2	入力	外部イベント 2 入力用の入力端子です。
Event input 3（注1）	EVENT3	入力	外部イベント 3 入力用の入力端子です。
Event input 4（注1）	EVENT4	入力	外部イベント 4 入力用の入力端子です。
Event input 5（注1）	EVENT5	入力	外部イベント 5 入力用の入力端子です。
Event input 6（注1）	EVENT6	入力	外部イベント 6 入力用の入力端子です。
Event input 7（注1）	EVENT7	入力	外部イベント 7 入力用の入力端子です。
Event input 8（注2）	EVENT8	入力	外部イベント 8 入力用の入力端子です。
Event input 9（注2）	EVENT9	入力	外部イベント 9 入力用の入力端子です。
Event input 10（注2）	EVENT10	入力	外部イベント 10 入力用の入力端子です。
Event input 11（注2）	EVENT11	入力	外部イベント 11 入力用の入力端子です。
Event input 12（注2）	EVENT12	入力	外部イベント 12 入力用の入力端子です。
Event input 13（注2）	EVENT13	入力	外部イベント 13 入力用の入力端子です。
Event input 14（注2）	EVENT14	入力	外部イベント 14 入力用の入力端子です。
Event input 15（注2）	EVENT15	入力	外部イベント 15 入力用の入力端子です。

注1.　EVENT0～EVENT7 端子はGPIO 機能及びLBSC 端子機能とマルチプレクスされています。イベントカウント機能を使用する場合はPSEL6、PSEL7 レジスタの設定が必要です。詳細は「41. 汎用入出力ポート（GPIO）」を参照してください。

2.　EVENT8～EVENT15 端子はAD 入力機能とマルチプレクスされています。イベントカウント機能を使用する場合はADC を停止（ADCSR_1 レジスタのADST ビット＝0）してください。詳細は「40. A/D 変換器（ADC）」を参照してください。

36.3　レジスタの説明

EVC のレジスタ構成を表36.2 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表36.2　レジスタ構成

名 称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
イベントカウンタチャネルイネーブルレジスタ	EVCCE	R/W	H'FFE8 0000	16	H'0000	H'0000	H'0000
イベントカウンタエッジ制御レジスタ	EVCECR	R/W	H'FFE8 0002	16	H'0000	H'0000	H'0000
イベントカウンタ 0	EVCNT0	R/W	H'FFE8 0004	16	H'0000	H'0000	H'0000
イベントカウンタ 1	EVCNT1	R/W	H'FFE8 0006	16	H'0000	H'0000	H'0000
イベントカウンタ 2	EVCNT2	R/W	H'FFE8 0008	16	H'0000	H'0000	H'0000
イベントカウンタ 3	EVCNT3	R/W	H'FFE8 000A	16	H'0000	H'0000	H'0000
イベントカウンタ 4	EVCNT4	R/W	H'FFE8 000C	16	H'0000	H'0000	H'0000
イベントカウンタ 5	EVCNT5	R/W	H'FFE8 000E	16	H'0000	H'0000	H'0000
イベントカウンタ 6	EVCNT6	R/W	H'FFE8 0010	16	H'0000	H'0000	H'0000
イベントカウンタ 7	EVCNT7	R/W	H'FFE8 0012	16	H'0000	H'0000	H'0000
イベントカウンタ 8	EVCNT8	R/W	H'FFE8 0014	16	H'0000	H'0000	H'0000
イベントカウンタ 9	EVCNT9	R/W	H'FFE8 0016	16	H'0000	H'0000	H'0000
イベントカウンタ 10	EVCNT10	R/W	H'FFE8 0018	16	H'0000	H'0000	H'0000
イベントカウンタ 11	EVCNT11	R/W	H'FFE8 001A	16	H'0000	H'0000	H'0000
イベントカウンタ 12	EVCNT12	R/W	H'FFE8 001C	16	H'0000	H'0000	H'0000
イベントカウンタ 13	EVCNT13	R/W	H'FFE8 001E	16	H'0000	H'0000	H'0000
イベントカウンタ 14	EVCNT14	R/W	H'FFE8 0020	16	H'0000	H'0000	H'0000
イベントカウンタ 15	EVCNT15	R/W	H'FFE8 0022	16	H'0000	H'0000	H'0000

36.3.1　イベントカウンタチャネルイネーブルレジスタ（EVCCE）

EVCCE は、読み出し／書き込み可能な16 ビットのレジスタで、イベントカウント機能の有効／無効制御を行います。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EVC15E	EVC14E	EVC13E	EVC12E	EVC11E	EVC10E	EVC9E	EVC8E	EVC7E	EVC6E	EVC5E	EVC4E	EVC3E	EVC2E	EVC1E	EVC0E
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	EVC15E	0	R/W	EVENT15 カウントイネーブル 0：EVENT15 端子イベント入力のカウント無効 1：EVENT15 端子イベント入力のカウント有効
14	EVC14E	0	R/W	EVENT14 カウントイネーブル 0：EVENT14 端子イベント入力のカウント無効 1：EVENT14 端子イベント入力のカウント有効
13	EVC13E	0	R/W	EVENT13 カウントイネーブル 0：EVENT13 端子イベント入力のカウント無効 1：EVENT13 端子イベント入力のカウント有効
12	EVC12E	0	R/W	EVENT12 カウントイネーブル 0：EVENT12 端子イベント入力のカウント無効 1：EVENT12 端子イベント入力のカウント有効
11	EVC11E	0	R/W	EVENT11 カウントイネーブル 0：EVENT11 端子イベント入力のカウント無効 1：EVENT11 端子イベント入力のカウント有効
10	EVC10E	0	R/W	EVENT10 カウントイネーブル 0：EVENT10 端子イベント入力のカウント無効 1：EVENT10 端子イベント入力のカウント有効
9	EVC9E	0	R/W	EVENT9 カウントイネーブル 0：EVENT9 端子イベント入力のカウント無効 1：EVENT9 端子イベント入力のカウント有効
8	EVC8E	0	R/W	EVENT8 カウントイネーブル 0：EVENT8 端子イベント入力のカウント無効 1：EVENT8 端子イベント入力のカウント有効
7	EVC7E	0	R/W	EVENT7 カウントイネーブル 0：EVENT7 端子イベント入力のカウント無効 1：EVENT7 端子イベント入力のカウント有効
6	EVC6E	0	R/W	EVENT6 カウントイネーブル 0：EVENT6 端子イベント入力のカウント無効 1：EVENT6 端子イベント入力のカウント有効
5	EVC5E	0	R/W	EVENT5 カウントイネーブル 0：EVENT5 端子イベント入力のカウント無効 1：EVENT5 端子イベント入力のカウント有効

ビット	ビット名	初期値	R/W	説 明
4	EVC4E	0	R/W	EVENT4 カウントイネーブル 0：EVENT4 端子イベント入力のカウント無効 1：EVENT4 端子イベント入力のカウント有効
3	EVC3E	0	R/W	EVENT3 カウントイネーブル 0：EVENT3 端子イベント入力のカウント無効 1：EVENT3 端子イベント入力のカウント有効
2	EVC2E	0	R/W	EVENT2 カウントイネーブル 0：EVENT2 端子イベント入力のカウント無効 1：EVENT2 端子イベント入力のカウント有効
1	EVC1E	0	R/W	EVENT1 カウントイネーブル 0：EVENT1 端子イベント入力のカウント無効 1：EVENT1 端子イベント入力のカウント有効
0	EVC0E	0	R/W	EVENT0 カウントイネーブル 0：EVENT0 端子イベント入力のカウント無効 1：EVENT0 端子イベント入力のカウント有効

36.3.2　イベントカウンタエッジ制御レジスタ（EVCECR）

EVCECR は、読み出し／書き込み可能な 16 ビットのレジスタで、イベントの検出エッジの選択を行います。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDS15	EDS14	EDS13	EDS12	EDS11	EDS10	EDS9	EDS8	EDS7	EDS6	EDS5	EDS4	EDS3	EDS2	EDS1	EDS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	EDS15	0	R/W	EVENT15 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
14	EDS14	0	R/W	EVENT14 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
13	EDS13	0	R/W	EVENT13 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
12	EDS12	0	R/W	EVENT12 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
11	EDS11	0	R/W	EVENT11 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
10	EDS10	0	R/W	EVENT10 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
9	EDS9	0	R/W	EVENT9 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
8	EDS8	0	R/W	EVENT8 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
7	EDS7	0	R/W	EVENT7 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
6	EDS6	0	R/W	EVENT6 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
5	EDS5	0	R/W	EVENT5 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント

ビット	ビット名	初期値	R/W	説 明
4	EDS4	0	R/W	EVENT4 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
3	EDS3	0	R/W	EVENT3 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
2	EDS2	0	R/W	EVENT2 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
1	EDS1	0	R/W	EVENT1 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント
0	EDS0	0	R/W	EVENT0 入力エッジ選択 0：立ち上がりエッジをカウント 1：立ち下がりエッジをカウント

36.3.3　イベントカウンタ 0～15（EVCNT0～EVCNT15）

EVCNT0～EVCNT15 は、16 本の読み出し／書き込み可能な16 ビットのレジスタで、それぞれEVENT0～EVENT15 端子入力で検出されたイベントの回数を格納します。バイト単位でのアクセスは禁止です。必ずワード単位でアクセスしてください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EVCNT															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

37. 暗号機能（ARC4）

本章は、守秘契約を結んでいただいたうえで公開いたします。
詳細は、弊社の営業担当にご確認ください。

38. 暗号エンジン（CRYPTO ENGINE）

本章は、守秘契約を結んでいただいたうえで公開いたします。
詳細は、弊社の営業担当にご確認ください。

39. SD ホストインタフェース（SDHI）

本章は、守秘契約を結んでいただいたうえで公開いたします。
詳細は、弊社の営業担当にご確認ください。

40. A/D 変換器（ADC）

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を 2 ユニット内蔵しています。2 ユニット合わせて最大 16 チャネルのアナログ入力を選択することができます。

40.1 特長

- 分解能：10 ビット
- 入力チャネル：16 チャネル（1 ユニット当たり 8 チャネル）
- 最小変換時間：1 チャネル当たり 5.5µs
- 動作モード：3 種類
  - シングルモード　：1 チャネルの A/D 変換
  - マルチモード　　：1～4 チャネルの A/D 変換又は 1～8 チャネルの A/D 変換
  - スキャンモード　：1～4 チャネルの連続 A/D 変換又は 1～8 チャネルの連続 A/D 変換
- データレジスタ：16 本（1 ユニット当たり 8 本）
- 変換結果を各チャネルに対応した 16 ビットデータレジスタに保持
- サンプル＆ホールド機能付き
- A/D 変換開始方法：3 種類
  - ソフトウェア
  - 8 ビットタイマ（TMR）による変換開始トリガ
  - 外部トリガ信号
- 割り込み要因
  A/D 変換終了時に、A/D 変換終了割り込み（ADI）要求を発生可能
- モジュールスタンバイモードの設定可能

図 40.1 に A/D 変換器 0 のブロック図、図 40.2 に A/D 変換器 1 のブロック図を示します。

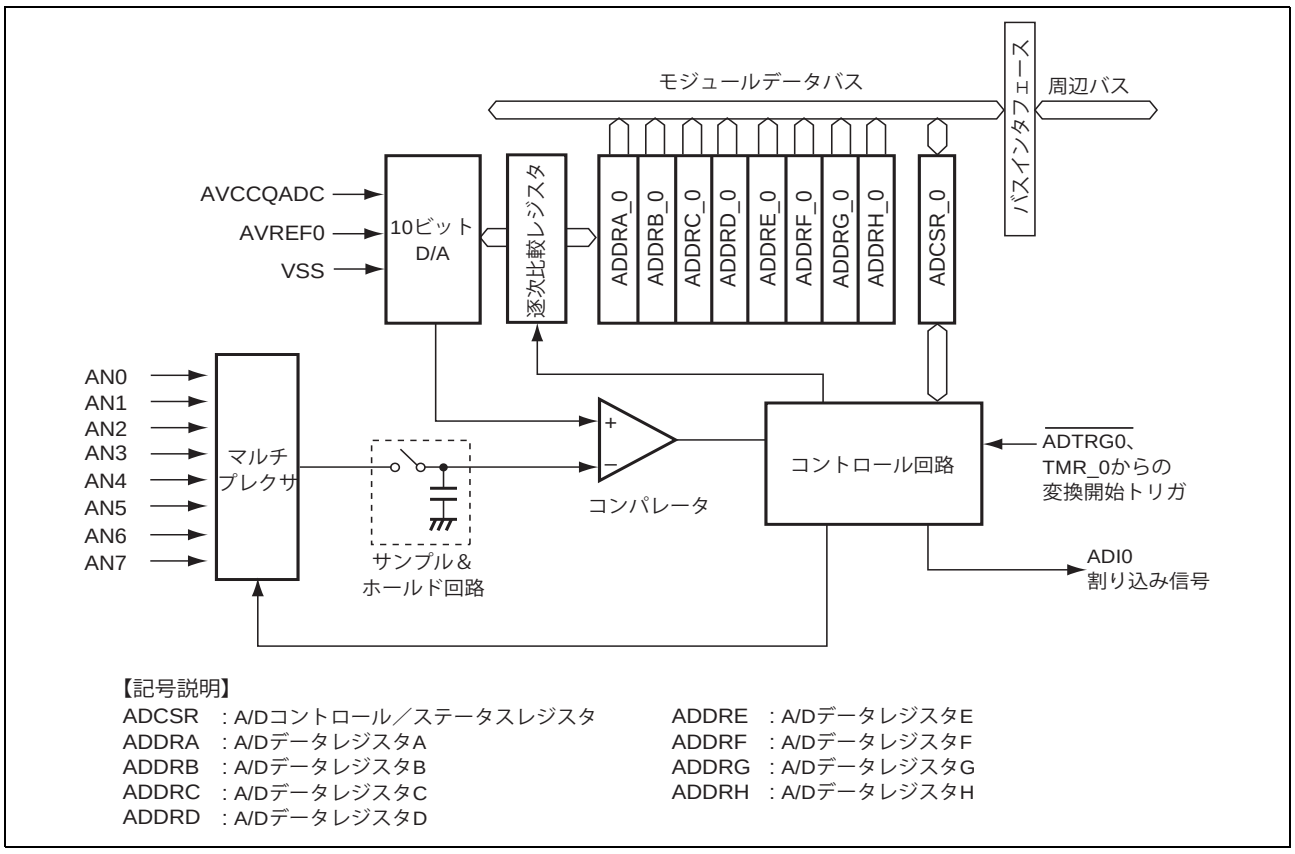


図 40.1　A/D 変換器 0 のブロック図

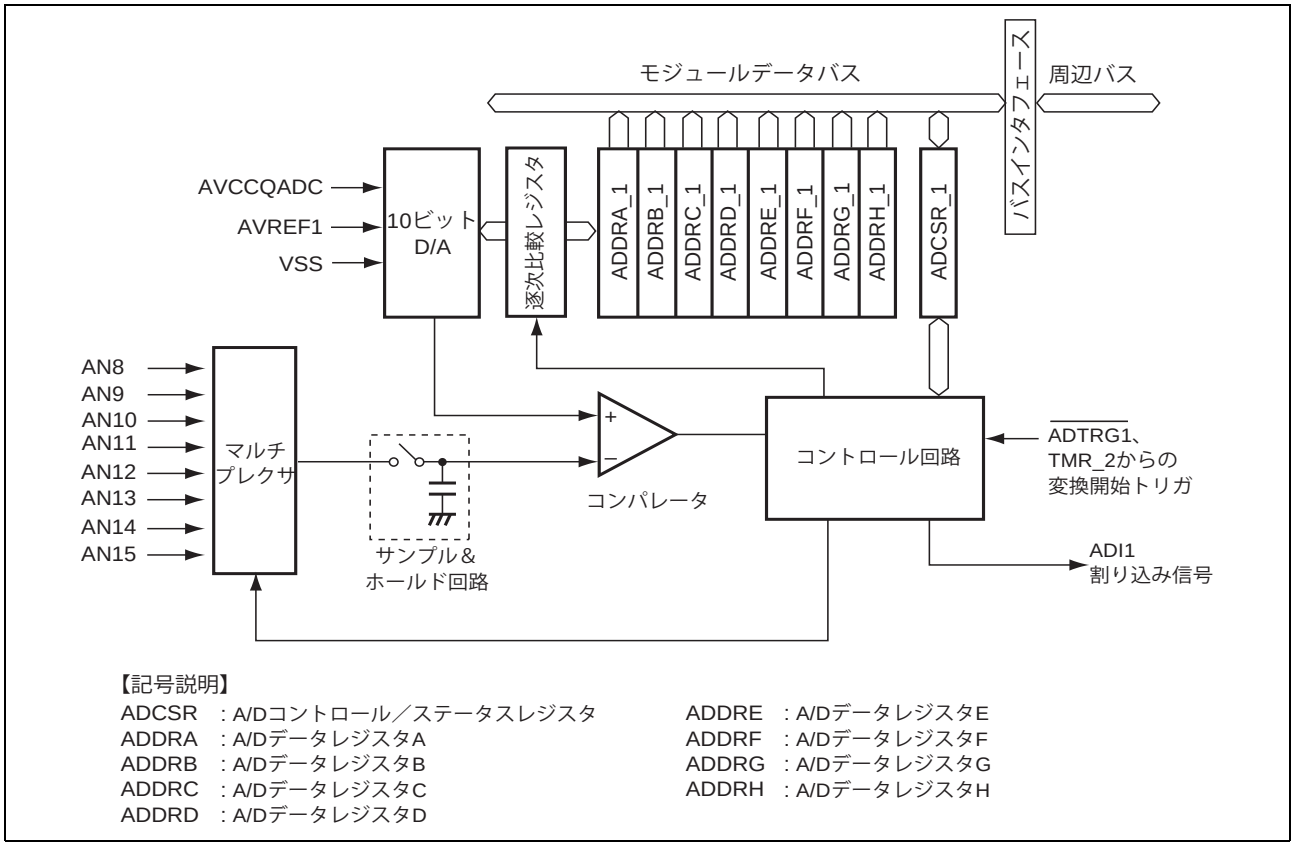


図 40.2 A/D 変換器1 のブロック図

40.2 入出力端子

A/D 変換器で使用する入力端子を表40.1 に示します。

表40.1 端子構成

ユニット	機能	端子名	入出力	説明
共用	アナログ電源端子	AVCCQADC	入力	アナログ部の電源端子
	グランド端子	VSS	入力	グランド端子及びA/D 変換の基準グランド
0	アナログ入力端子0	AN0	入力	アナログ入力
	アナログ入力端子1	AN1	入力	
	アナログ入力端子2	AN2	入力	
	アナログ入力端子3	AN3	入力	
	アナログ入力端子4	AN4	入力	
	アナログ入力端子5	AN5	入力	
	アナログ入力端子6	AN6	入力	
	アナログ入力端子7	AN7	入力	
	A/D 外部トリガ入力端子0	$\overline{\text{ADTRG0}}$	入力	A/D 変換開始のための外部トリガ入力
	リファレンス電源端子 0	AVREF0	入力	A/D変換器の基準電圧端子
1	アナログ入力端子8	AN8	入力	アナログ入力
	アナログ入力端子9	AN9	入力	
	アナログ入力端子10	AN10	入力	
	アナログ入力端子11	AN11	入力	
	アナログ入力端子12	AN12	入力	
	アナログ入力端子13	AN13	入力	
	アナログ入力端子14	AN14	入力	
	アナログ入力端子15	AN15	入力	
	A/D 外部トリガ入力端子1	$\overline{\text{ADTRG1}}$	入力	A/D 変換開始のための外部トリガ入力
	リファレンス電源端子 1	AVREF1	入力	A/D変換器の基準電圧端子

40.3 レジスタの説明

表40.2 にレジスタ構成と各リセット時のレジスタの状態を示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表40.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
A/D データレジスタ A_0	ADDRA_0	R	H'FFE3 0000	16	H'0000	H'0000	H'0000
A/D データレジスタ B_0	ADDRB_0	R	H'FFE3 0002	16	H'0000	H'0000	H'0000
A/D データレジスタ C_0	ADDRC_0	R	H'FFE3 0004	16	H'0000	H'0000	H'0000
A/D データレジスタ D_0	ADDRD_0	R	H'FFE3 0006	16	H'0000	H'0000	H'0000
A/D データレジスタ E_0	ADDRE_0	R	H'FFE3 0008	16	H'0000	H'0000	H'0000
A/D データレジスタ F_0	ADDRF_0	R	H'FFE3 000A	16	H'0000	H'0000	H'0000
A/D データレジスタ G_0	ADDRG_0	R	H'FFE3 000C	16	H'0000	H'0000	H'0000
A/D データレジスタ H_0	ADDRH_0	R	H'FFE3 000E	16	H'0000	H'0000	H'0000
A/D コントロール／ステータスレジスタ_0	ADCSR_0	R/W	H'FFE3 0010	16	H'0040	H'0040	H'0040
A/D データレジスタ A_1	ADDRA_1	R	H'FFE4 0000	16	H'0000	H'0000	H'0000
A/D データレジスタ B_1	ADDRB_1	R	H'FFE4 0002	16	H'0000	H'0000	H'0000
A/D データレジスタ C_1	ADDRC_1	R	H'FFE4 0004	16	H'0000	H'0000	H'0000
A/D データレジスタ D_1	ADDRD_1	R	H'FFE4 0006	16	H'0000	H'0000	H'0000
A/D データレジスタ E_1	ADDRE_1	R	H'FFE4 0008	16	H'0000	H'0000	H'0000
A/D データレジスタ F_1	ADDRF_1	R	H'FFE4 000A	16	H'0000	H'0000	H'0000
A/D データレジスタ G_1	ADDRG_1	R	H'FFE4 000C	16	H'0000	H'0000	H'0000
A/D データレジスタ H_1	ADDRH_1	R	H'FFE4 000E	16	H'0000	H'0000	H'0000
A/D コントロール／ステータスレジスタ_1	ADCSR_1	R/W	H'FFE4 0010	16	H'0040	H'0040	H'0040

40.3.1　A/D データレジスタ A～H（ADDRA_i～ADDRH_i（i=0,1））

ADDR は、A/D 変換された結果を格納する16 ビットの読み出し専用レジスタで、ADDRA_i～ADDRH_i の16本があります。

A/D 変換されたデータは10 ビットデータで、変換されたチャネルに対応するADDR のビット15～6 に転送され、保持されます。ビット5～0 は読み出すと常に0 が読み出されます。

ADDR へのアクセスは常に16 ビット単位で行ってください。

ADDR は、パワーオンリセット、マニュアルリセット、及びモジュールスタンバイモードでH'0000 に初期化されます。

アナログ入力チャネルとADDR の対応を表40.3 に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[9:0]										—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
15 ～ 6	DATA[9:0]	すべて0	R	ビットデータ（10 ビット）
5 ～ 0	—	0	—	リザーブビット

表40.3　アナログ入力チャネルとADDR の対応

アナログ入力チャネル	変換結果が格納されるA/D データレジスタ
AN0	ADDRA_0
AN1	ADDRB_0
AN2	ADDRC_0
AN3	ADDRD_0
AN4	ADDRE_0
AN5	ADDRF_0
AN6	ADDRG_0
AN7	ADDRH_0
AN8	ADDRA_1
AN9	ADDRB_1
AN10	ADDRC_1
AN11	ADDRD_1
AN12	ADDRE_1
AN13	ADDRF_1
AN14	ADDRG_1
AN15	ADDRH_1

40.3.2　A/D コントロール／ステータスレジスタ（ADCSR）

ADCSR は、16 ビットの読み出し／書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、及び外部トリガ入力による A/D 変換開始の許可又は禁止の選択を行います。

ADCSR は、パワーオンリセット、マニュアルリセット、及びモジュールスタンバイモードで H'0040 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	—	TRGS[3:0]				CKS[1:0]		MDS[2:0]			CH[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	ADF	0	R/W	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 ［クリア条件］ • ADF＝1 の状態で ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき • ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき ［セット条件］ • シングルモードで A/D 変換が終了したとき • マルチモードで選択されたすべてのチャネルの A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき
14	ADIE	0	R/W	A/D インタラプトイネーブル A/D 変換の終了による割り込み（ADI）要求の許可又は禁止を選択します。 ADIE ビットの設定は変換停止中に行ってください。 0：A/D 変換の終了による割り込み（ADI）要求を禁止 1：A/D 変換の終了による割り込み（ADI）要求を許可
13	ADST	0	R/W	A/D スタート A/D 変換の開始又は停止を選択します。A/D 変換中は1 を保持します。 0：A/D 変換を停止 1：シングルモード時：A/D 変換を開始。指定したチャネルの A/D 変換が終了すると自動的にクリア。 マルチモード時　：A/D 変換を開始。指定したすべてのチャネルを一巡して A/D 変換が終了すると自動的に0 にクリア。 スキャンモード時：A/D 変換を開始。ソフトウェア、パワーオンリセット、マニュアルリセット、又はモジュールスタンバイモードへの遷移により 0 になるまで連続変換します。
12	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
11 ～ 8	TRGS[3:0]	0000	R/W	タイマトリガセレクト トリガ信号によるA/D 変換開始の許可又は禁止を選択します。 0000 ：外部トリガによるA/D 変換開始を禁止 0001～1000 ：設定禁止 1001 ：ADTRG によるA/D 変換開始 1010 ：TMR からの変換トリガによるA/D 変換開始 1011～1111 ：設定禁止
7、6	CKS[1:0]	01	R/W	クロックセレクト A/D変換時間の設定を行います。変換時間の設定は変換停止中（ADST=0）に行ってください。絶対精度を満足するためには、「40.4.5 入力サンプリングとA/D 変換時間」に記載する最小変換時間以上となるように設定してください。 00：変換時間＝Pckの138サイクル 01：変換時間＝Pckの274サイクル 10：変換時間＝Pckの546サイクル 11：設定禁止
5 ～ 3	MDS[2:0]	000	R/W	マルチスキャンモード A/D 変換の動作モードを選択します。 0xx ：シングルモード 100 ：マルチモード。1～4 チャネルのA/D 変換 101 ：マルチモード。1～8 チャネルのA/D 変換 110 ：スキャンモード。1～4 チャネルのA/D 変換 111 ：スキャンモード。1～8 チャネルのA/D 変換
2 ～ 0	CH[2:0]	000	R/W	チャネルセレクト ADCSR のMDS ビットとともにアナログ入力を選択します。 MDS[2:0]=0xxのとき / MDS[2:0]=100,110のとき / MDS[2:0]=101,111のとき 000: AN0 (AN8) / 000: AN0 (AN8) / 000: AN0 (AN8) 001: AN1 (AN9) / 001: AN0、AN1(AN8、AN9) / 001: AN0、AN1 (AN8、AN9) 010: AN2 (AN10) / 010: AN0 ～ AN2 (AN8～AN10) / 010: AN0 ～ AN2 (AN8 ～AN10) 011: AN3 (AN11) / 011: AN0 ～ AN3 (AN8～AN 11) / 011: AN0 ～ AN3 (AN8～AN 11) 100: AN4 (AN12) / 100: AN4 (AN12) / 100: AN0 ～ AN4 (AN8～AN 12) 101: AN5 (AN13) / 101: AN4、AN5 (AN12、AN13) / 101: AN0 ～ AN5 (AN8～AN 13) 110: AN6 (AN14) / 110: AN4 ～ AN6 (AN12～AN14) / 110: AN0 ～ AN6 (AN8～AN 14) 111: AN7 (AN15) / 111: AN4 ～ AN7 (AN12～ AN15) / 111: AN0 ～ AN7 (AN8～AN 15)

記号説明． x：Don't care

40.4　動作説明

A/D 変換器は逐次比較方式で分解能は10 ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるためADST ビット（ADCSR レジスタ のビット13）が0 の状態で行ってください。動作モードやアナログ入力チャネルの変更とADST ビットのセットは同時に行うことができます。

40.4.1　シングルモード

シングルモードは、1 チャネルのみのA/D 変換を行う場合に選択します。
シングルモードは、指定された1 チャネルのアナログ入力を以下のように1 回A/D 変換します。

1. ソフトウェア、TMR 又は外部トリガ入力によってADST ビット（ADCSR レジスタのビット13）が1にセットされると、選択されたチャネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADF ビット（ADCSR レジスタのビット15）が1にセットされます。このとき、ADIE ビット（ADCSR レジスタのビット14）が1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0になりA/D変換器は待機状態になります。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるためにADST ビットを0 にし、A/D 変換を停止した状態で行ってください。更新した後、ADST ビットを1 にセットすると（モード及びチャネルの変換とADST ビットのセットは同時に行うことができます）、再びA/D 変換を開始します。

シングルモードでチャネル1（AN1）が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図40.3 に示します（動作例におけるビットの指定はADCSR_0 レジスタです）。

1. 動作モードをシングルモードに、入力チャネルをAN1に（CH2＝0、CH1＝0、CH0＝1）、A/D割り込み要求許可（ADIE＝1）に設定して、A/D変換を開始（ADST＝1）します。
2. A/D変換が終了すると、A/D変換結果がADDRB_0に転送されます。同時に、ADF＝1、ADST＝0となり、A/D変換器0は変換待機となります。
3. ADF＝1、ADIE＝1となっているため、ADI0割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. ADF=1を読み出した後、ADFに0を書き込みます。
6. A/D変換結果（ADDRB_0）を読み出して、処理します。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを1 にセットするとA/D変換が開始され2.～7.を行います。

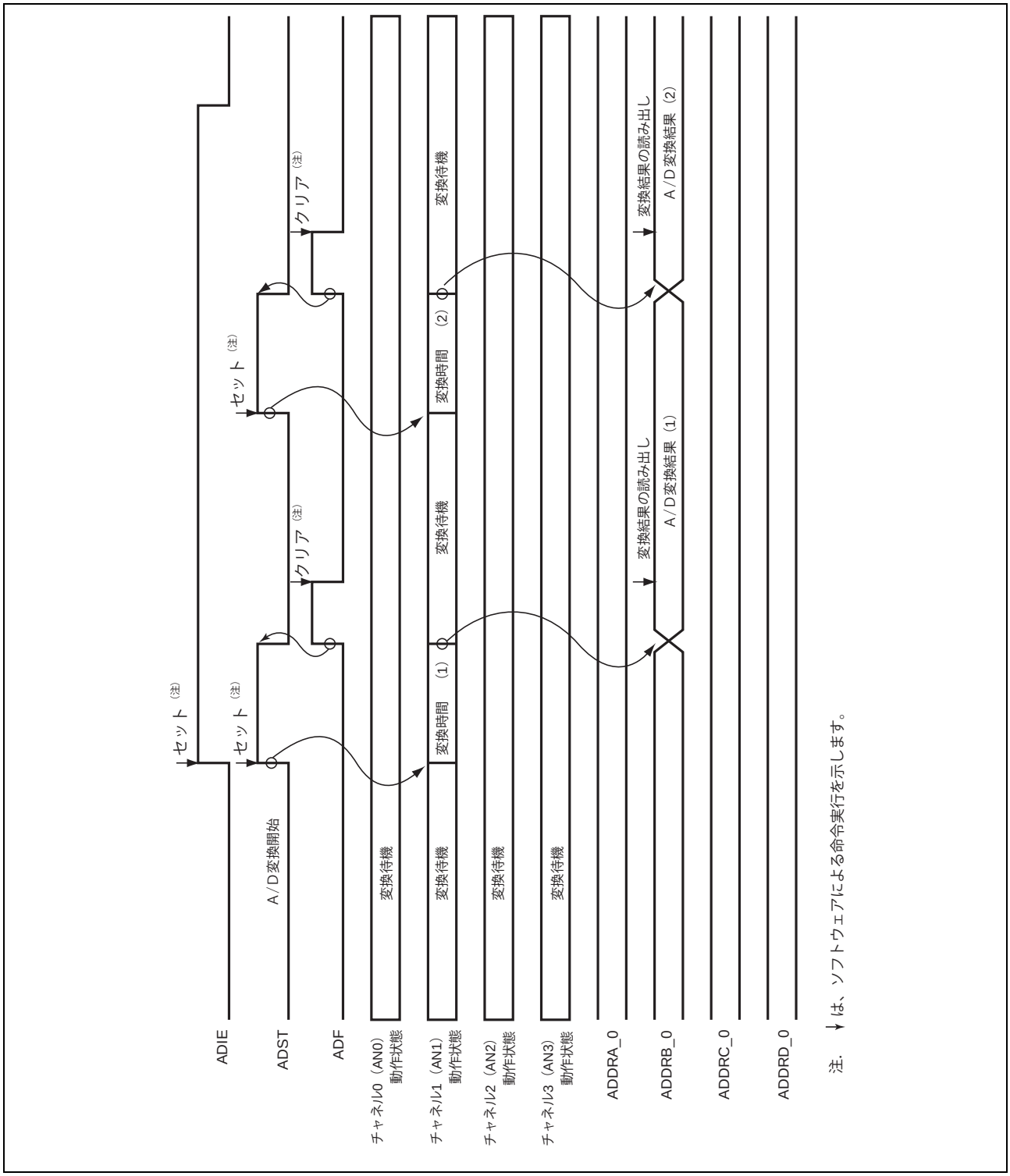


図 40.3 A/D 変換器の動作例（シングルモード、チャネル1 選択時）

40.4.2 マルチモード

マルチモードは、複数チャネル（1 チャネルを含む）のアナログ入力をそれぞれ1 回順次変換します。マルチモードは指定された最大8 チャネルのアナログ入力を以下のように1 回A/D 変換します。

1. ソフトウェア、TMR 又は外部トリガ入力によってADST ビット（ADCSR レジスタのビット13）が1にセットされると、アナログ入力チャネル番号の小さい順（たとえばAN0、AN1…AN3）にA/D変換を実行します。
2. それぞれのチャネルのA/D変換が終了すると、A/D変換結果は順次そのチャネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャネルのA/D変換が終了すると、ADF ビット（ADCSR レジスタのビット15）が1にセットされます。このときADIE ビット（ADCSR レジスタのビット14）が1にセットされていると、ADI割り込み要求を発生します。
4. ADST ビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。A/D 変換中にADST ビットを0 にクリアすると変換を中止し、A/D 変換器は待機状態になります。
   ADF ビットは、ADF＝1を読み出した後、ADF ビットに0を書き込むとクリアされます。

A/D 変換は、指定したすべてのチャネルを一巡して変換します。変換された結果は、各チャネルに対応したADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるためにADST ビットを0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに1 をセットすると（モード及びチャネルの変更とADST ビットのセットは同時に行うことができます）、第1チャネルが選択され、再びA/D 変換を開始します。

マルチモードで3 チャネル（AN0～AN2）を選択してA/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図40.4 に示します。

1. 動作モードをマルチモード（MDS2＝1、MDS1＝0）に、アナログ入力チャネルをAN0～AN2（CH2＝0、CH1＝1、CH0＝0）に設定してA/D変換を開始（ADST＝1）します。
2. 第1チャネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRA_0に転送します。
3. 次に第2チャネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャネル（AN2）まで変換を行います。
5. 選択されたすべてのチャネル（AN0～AN2）の変換が終了すると、ADF＝1となり、ADSTビットを0にして変換を終了します。
   このときADIE ビットが1であると、A/D変換終了後、ADI0割り込みを発生します。

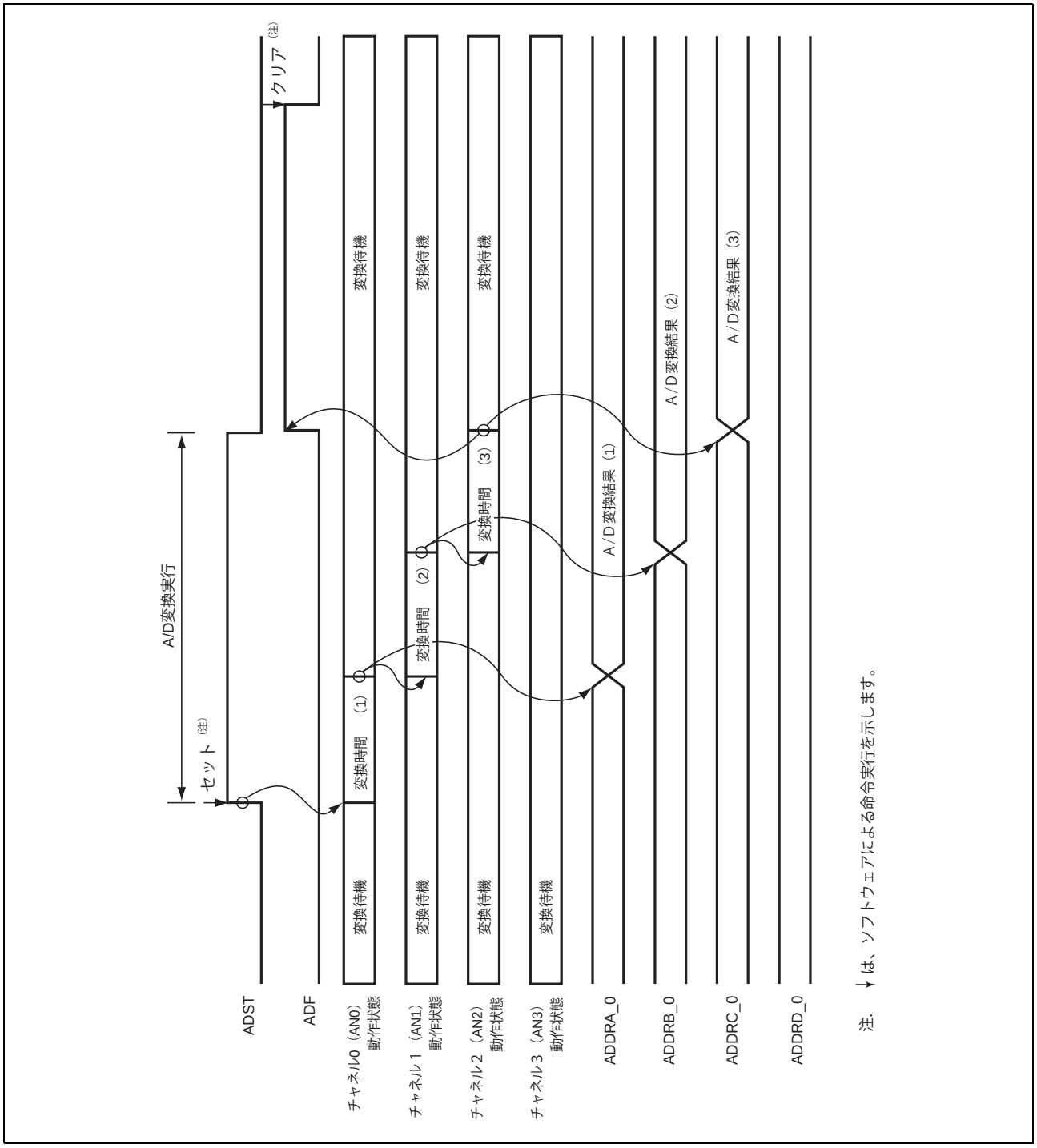


図 40.4 A/D 変換器の動作例（マルチモード、AN0～AN2 の3 チャネル選択時）

40.4.3　スキャンモード

スキャンモードは、複数チャネル（1 チャネルを含む）のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大8 チャネルのアナログ入力を以下のように順次連続してA/D 変換します。

1. ソフトウェア、TMR 又は外部トリガ入力によってADST ビット（ADCSR レジスタのビット13）が1にセットされると、アナログ入力チャネル番号の小さい順（たとえばAN0、AN1…AN3）にA/D変換を実行します。
2. それぞれのチャネルのA/D変換が終了すると、A/D変換結果は順次そのチャネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャネルのA/D変換が終了すると、ADF ビット（ADCSR レジスタのビット15）が1にセットされます。このときADIE ビット（ADCSR レジスタのビット14）が1にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びチャネル番号の小さい順にA/D変換を実行します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.～3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。
   ADFビットは、ADF＝1を読み出したあと、ADFビットに0を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに1 をセットすると（モード及びチャネルの変更とADST ビットのセットは同時に行うことができます）、第1チャネルが選択され、再びA/D 変換を開始します。

スキャンモードで3 チャネル（AN0～AN2）を選択してA/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図40.5 に示します。

1. 動作モードをスキャンモード（MDS2＝1、MDS1＝1）に、アナログ入力チャネルをAN0～AN2（CH2＝0、CH1＝1、CH0＝0）に設定してA/D変換を開始（ADST＝1）します。
2. 第1チャネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRA_0に転送します。
3. 次に第2チャネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャネル（AN2）まで変換を行います。
5. 選択されたすべてのチャネル（AN0～AN2）の変換が終了すると、ADF＝1となり、再び、第1チャネル（AN0）を選択し、連続して変換が行われます。このときADIE ビットが1 であると、A/D変換（第3チャネルの変換）終了後、ADI0割り込みを発生します。
6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は2.～4.を繰り返します。繰り返している間はADF＝1を保持しています。ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF＝1を読み出した後、ADFビットに0を書き込むとクリアされます。

2.～4.を繰り返している間ADF＝1 でADIE＝1 の場合、常にADI0 割り込みを発生します。第3 チャネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADF ビットを0 にしてください。

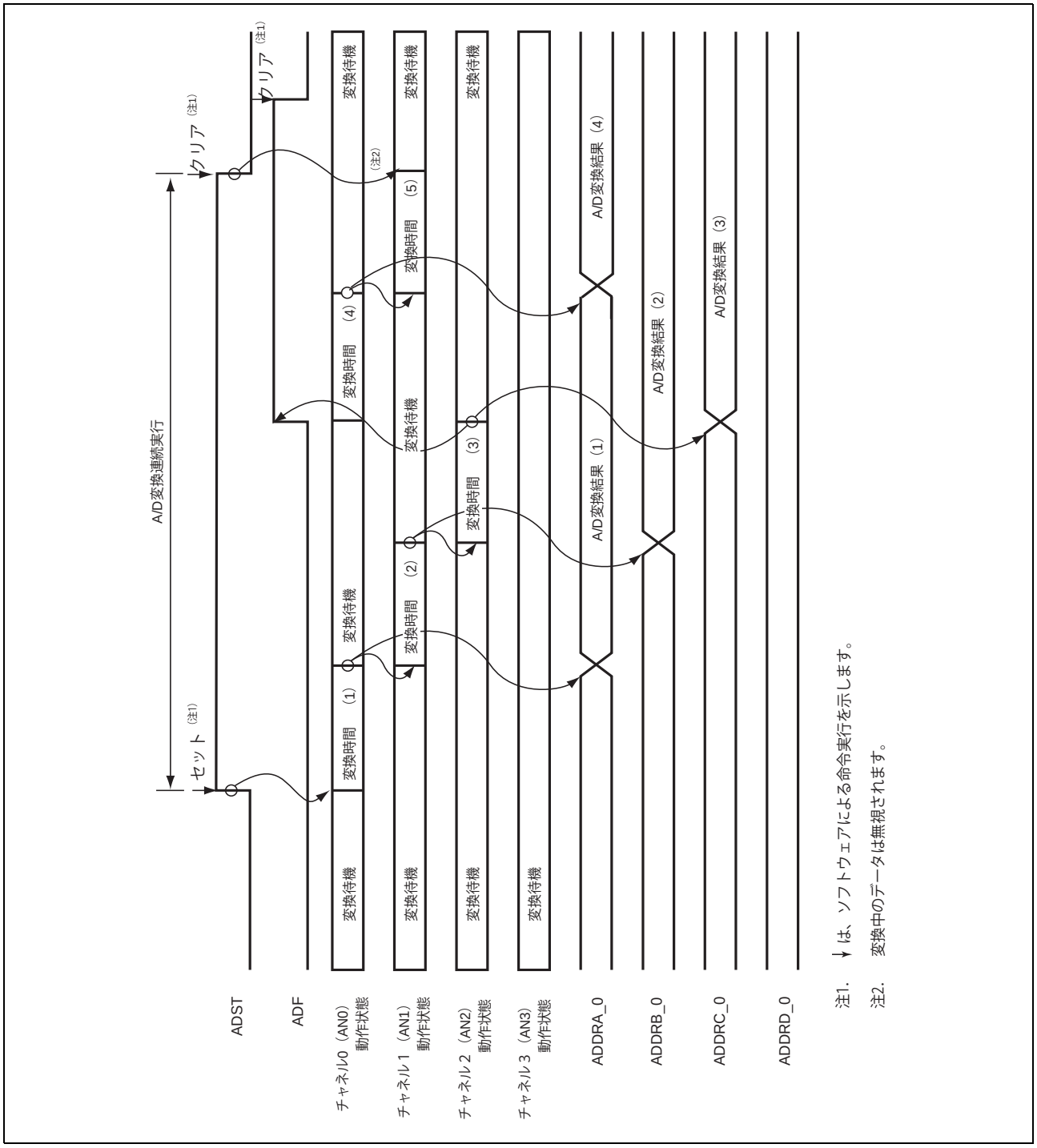


図 40.5　A/D 変換器の動作例（スキャンモード、AN0～AN2 の 3 チャネル選択時）

40.4.4　外部トリガ、TMR によるA/D 変換器の起動

外部トリガ、TMR からの A/D 変換要求によって、A/D 変換器を独立に起動することができます。外部トリガ、TMR からA/D 変換器を起動するときには、A/D トリガイネーブルビット（TRGS3～TRGS0）の設定を行います。この状態で外部トリガ、TMR のA/D 変換要求が発生すると、ADST ビット（ADCSR レジスタのビット13）を1 にセットします。これで、A/D 変換が開始されます。変換を行うチャネルは、ADCSR の CH2～CH0 ビットで決まります。ADST ビットが1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに1 を書き込んだ場合と同じです。なお、A/D 変換器0 は外部トリガ ADTRG0、TMR_0 からの A/D 変換要求によって、A/D 変換器1 は外部トリガ ADTRG1、TMR_2 からのA/D 変換要求によって起動することができます。

40.4.5　入力サンプリングとA/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビット（ADCSR レジスタのビット13）が1 にセットされてからA/D 変換開始遅延時間（t_D）経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図40.6 に示します。また、A/D 変換時間を表40.4 に示します。

A/D 変換時間（t_{CONV}）は、図40.6 に示すように、t_D と入力サンプリング時間（t_{SPL}）を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表40.4に示す範囲で変化します。

マルチモード及びスキャンモードの変換時間は、表 40.4 に示す値が 1 回目の変換時間となります。2回目以降の変換時間は表40.5 に示す値となります。

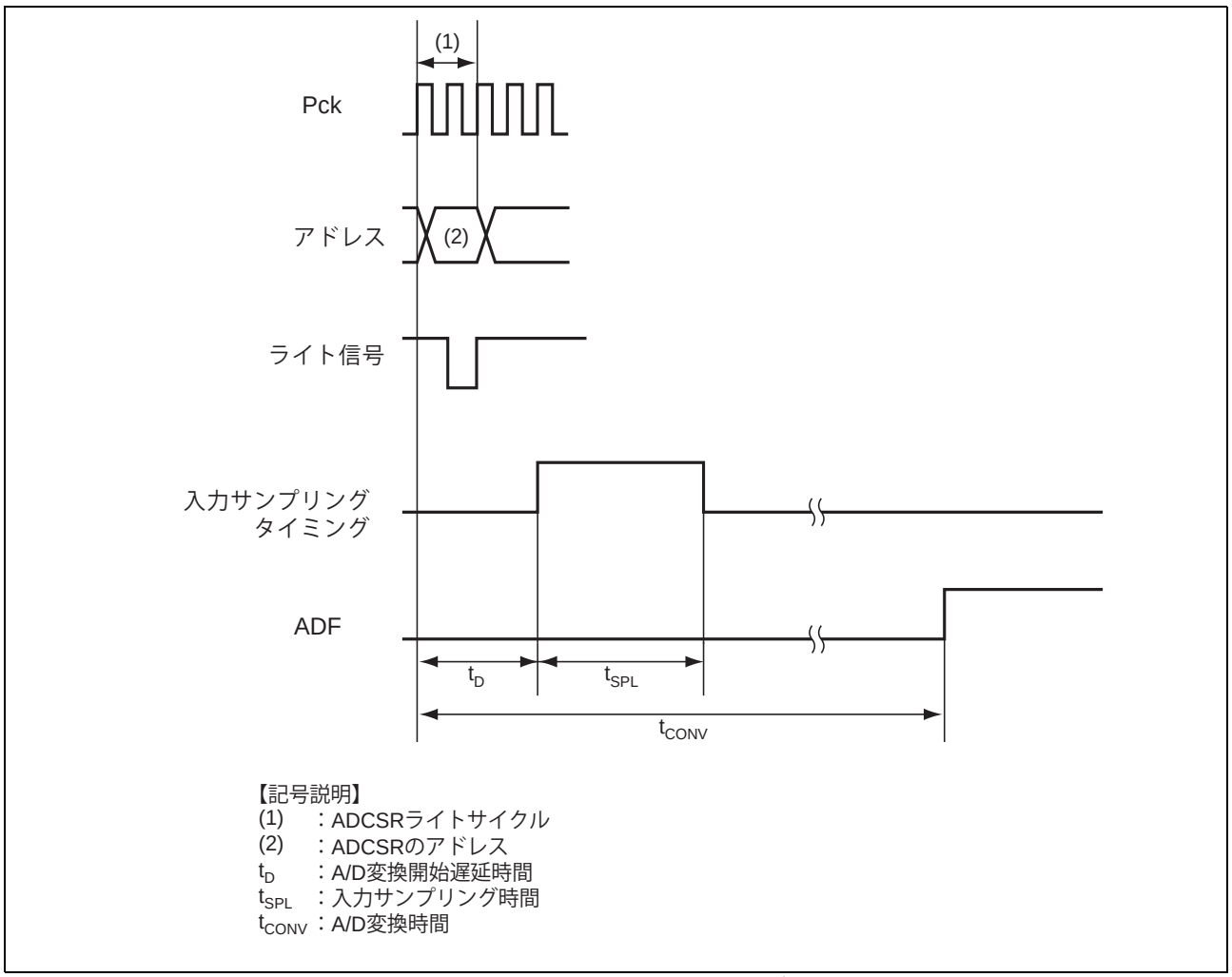


図 40.6　A/D 変換タイミング

表40.4　A/D 変換時間（シングルモード）

項目	記号	CKS1 = 0						CKS1 = 1		
		CKS0 = 0			CKS0 = 1			CKS0 = 0		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	t_D	11	—	14	19	—	26	35	—	50
入力サンプリング時間	t_{SPL}	—	33	—	—	65	—	—	129	—
A/D 変換時間	t_{CONV}	135	—	138	267	—	274	531	—	546

注.　表中の数値の単位はPckサイクルです。
以下に設定例を示します。
Pck=48MHz、CKS[1:0]=01の場合、A/D変換時間(tCONV)は
267(cycle)/48(MHz)＝5.56μs
となります。

表40.5　A/D 変換時間（マルチモード／スキャンモード）

CKS1	CKS0	変換時間（ステート）
0	0	128（固定）
	1	256（固定）
1	0	512（固定）

注.　表中の数値の単位はPckサイクルです。

40.4.6　外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS3～TRGS0 ビットが B'1001 にセットされているとき、ADTRG 端子から入力されます。ADTRG の立ち下がりエッジで、ADST ビット（ADCSR レジスタのビット 13）が 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード／マルチモード／スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 40.7 に示します。

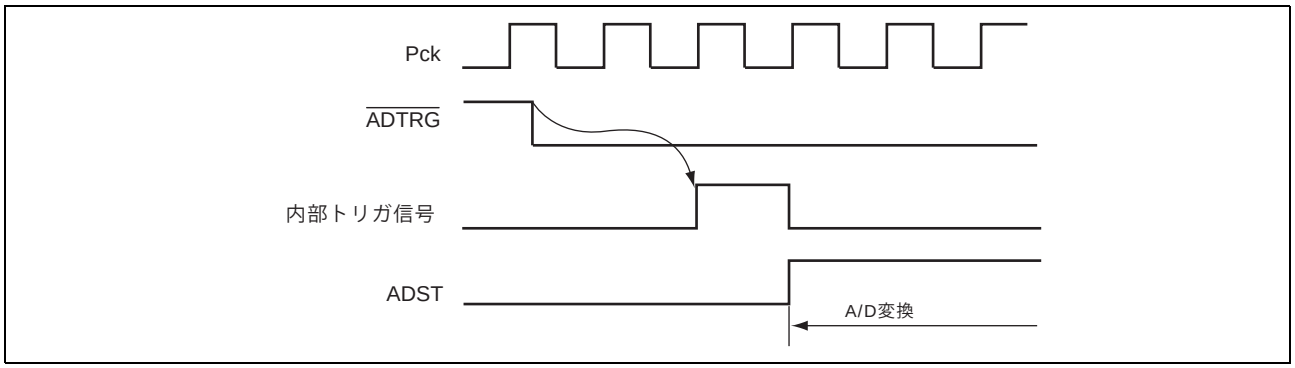


図 40.7　外部トリガ入力タイミング

40.5 割り込み要因とDMAC 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み（ADI）を発生します。ADI 割り込み要求は、A/D 変換終了後ADF ビット（ADCSR レジスタのビット15）が1 にセットされ、このときADIE ビット（ADCSR レジスタのビット14）が1 にセットされているとADI 割り込み要求を発生します。

後述のとおり、A/D 変換器の動作モードに応じて２種類のDMA転送要求信号を使用できます。

(1) シングルモード

ADCI0 又は ADCI1をDMACのDMA転送要求信号に設定すると、ADI割り込み信号発生時にDMACを起動できます。このとき、SH-4Aへの割り込み要求は発生されません。
ADI割り込み信号により、DMACを起動する場合、DMACによるデータ転送時にADCSRのADF ビットは自動的に0になります。

表40.6 割り込み要因とDMAC 転送要求の関係

割り込みの名称	割り込み要因	割り込みフラグ	DMAC 転送要求信号
ADI0	A/D変換器0のA/D変換終了割り込み	ADCSR_0のADF	ADCI0
ADI1	A/D変換器１のA/D変換終了割り込み	ADCSR_1のADF	ADCI1

(2) スキャンモード又はマルチモード

ADC0_SCAN(ADC0-dmacscan_adscan_n)又はADC1_SCAN(ADC1-dmacscan_adscan_n)をDMACのDMA転送要求信号に設定すると、各チャネル(ANi(i=1～15))のA/D変換が終了する毎にDMA転送要求が発生します。したがって、変換終了時に変換結果データをDMACで転送します。
この場合、ADI割り込みを無効にしてください。A/D変換を終了する場合、DMAC転送終了時に発生するDMAC割り込みを使用してください
DMACによるデータ転送時にADCSRのADFビットは自動的に0になりません。

40.6　A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときのA/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. **オフセット誤差**
2. **フルスケール誤差**
3. **量子化誤差**
4. **非直線性誤差**

図40.8 に沿って、上記1.～4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速A/D変換器を3 ビットの中速A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'0000000000（図では000）からB'0000000001（図では001）に変化するときの、実際のA/D 変換特性と理想A/D 変換特性との偏差（図40.8（1））です。フルスケール誤差とはデジタル出力値がB'1111111110（図では110）から最大値（フルスケール電圧）B'1111111111（図では111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 40.8（2））です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 40.8（3））。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際のA/D 変換特性と理想A/D 変換特性との偏差（図40.8（4））です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

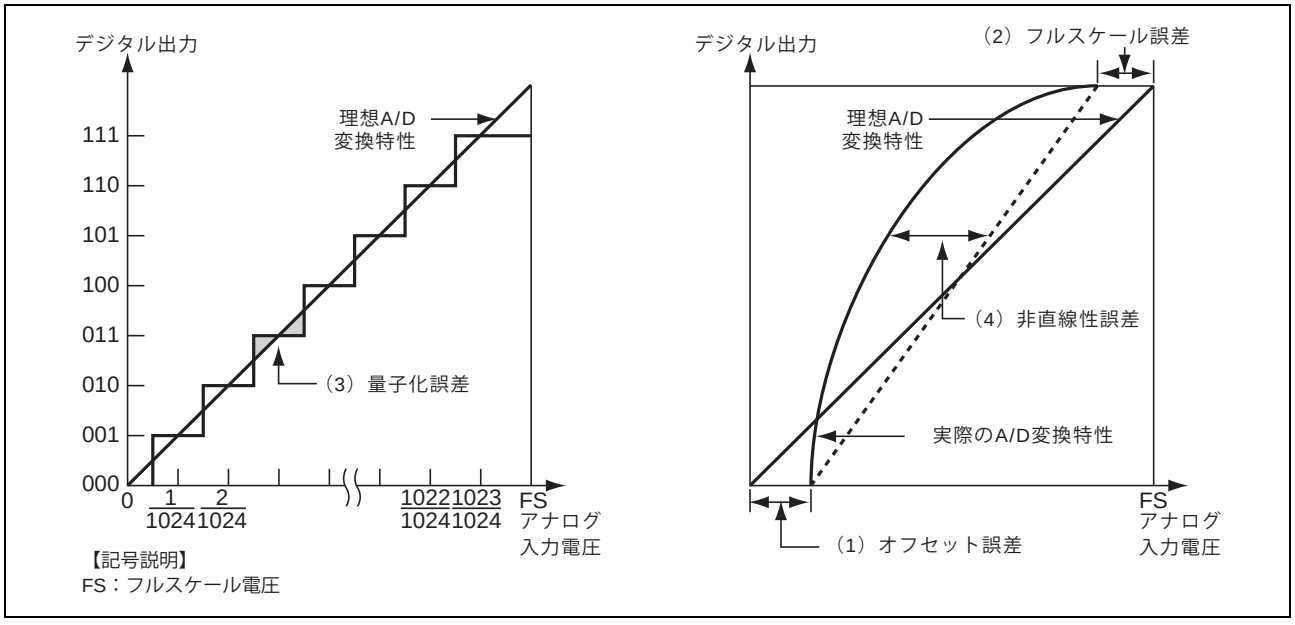


図 40.8　A/D 変換精度の定義

40.7 使用上の注意事項

A/D 変換器を使用する際は、以下のことに注意してください。

40.7.1 モジュールスタンバイモードの設定

モジュールストップレジスタにより、A/D 変換器の動作禁止／許可を設定することが可能です。初期値では、A/D 変換器は動作します。詳細は、「18. 低消費電力モード」を参照してください。

40.7.2 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 ANn に印加する電圧は VSS ≦ ANn ≦ AVCCQADC の範囲としてください。（n＝0～15）

(2) AVCCQADC 入力電圧

AVCCQADC 入力電圧は、VCCQ - 0.3 V ≦ AVCCQADC ≦ VCCQ としてください。さらに、A/D 変換器を使用しないときでも、AVCCQADC 端子をオープンにしないでください。使用しないときは、必ず AVCCQADC は電源（VCCQ）に接続してください。

(3) AVREFm (m = 0, 1) 入力電圧の設定範囲

AVREFm 端子によるリファレンス電圧範囲は 3.0 V ≦ AVREFm ≦ AVCCQADC にしてください。

40.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号（AN0 ～ AN15）、アナログ基準電圧 (AVREFm (m = 0, 1))、アナログ電源（AVCCQADC）は、アナロググランド（VSS）で、デジタル回路を分離してください。

40.7.4 アナログ入力端子の取り扱い

アナログ入力端子（AN0～AN15）には、過大サージなどの異常電圧による破壊を防ぐために、図 40.9 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 40.10 にアナログ入力端子の等価回路を、表 40.7 にアナログ入力端子の規格を示します。

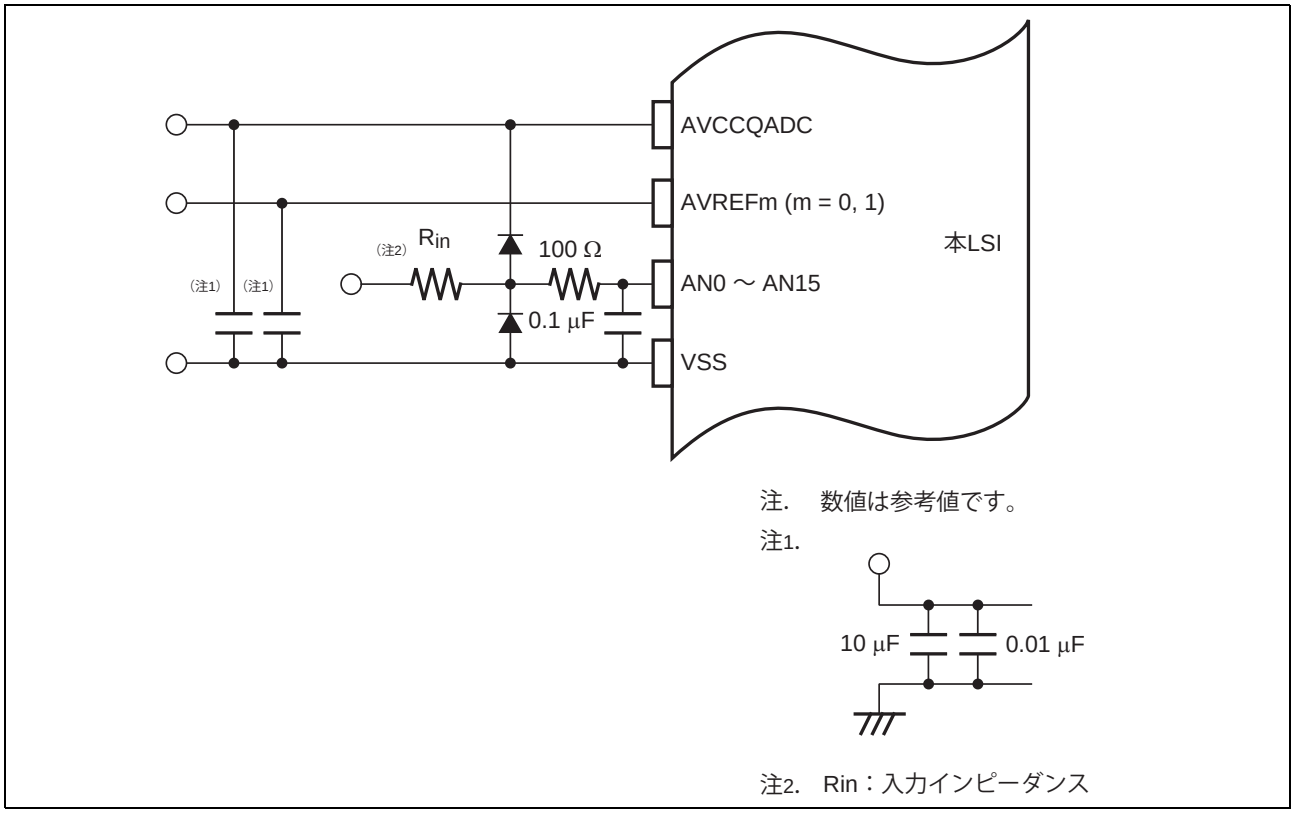


図 40.9 アナログ入力端子の保護回路例

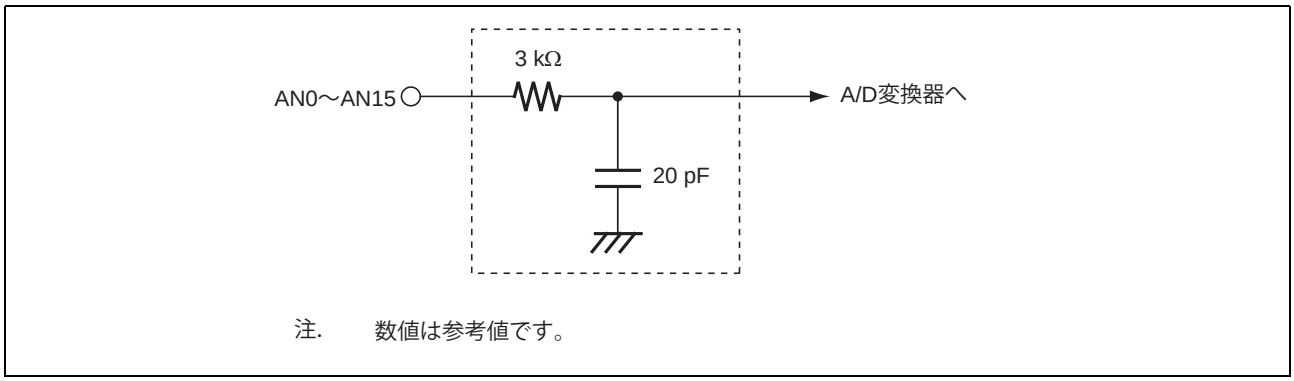


図 40.10 アナログ入力端子の等価回路

表40.7 アナログ入力端子の規格

項目	Min.	Max.	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	kΩ

40.7.5　許容信号源インピーダンス

本LSI のアナログ入力は、信号源インピーダンスが5kΩ以下の入力信号に対し、変換精度が保証されます。これはA/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが5kΩを超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の3kΩだけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば5mV/μs 以上）には追従できないことがあります（図 40.11）。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

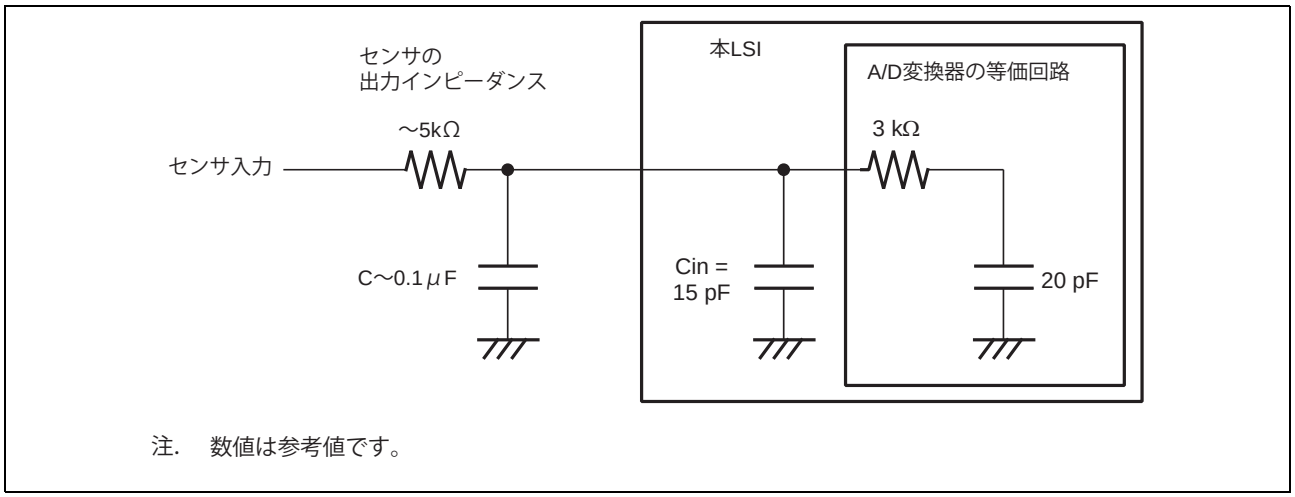


図 40.11　アナログ入力回路の例

40.7.6　絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ずAVss 等は電気的に安定なGND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

41. 汎用入出力ポート（GPIO）

41.1 特長

本LSIは26組（ポートA～Z）の汎用ポート（入出力：187本、入力：9本）があります。汎用入出力ポート（GPIO）の各ポートは周辺モジュールの端子とマルチプレクスされており、関連レジスタでGPIO、周辺モジュールの選択を行います。

GPIOには次のような特長があります。

- それぞれのポート端子は、ポートコントロールレジスタで端子機能とプルアップMOS制御を端子ごとに行えるマルチプレクス端子です。
- ポートはそれぞれ端子のデータを格納するためのデータレジスタを1本ずつ持っています。

表41.1に汎用入出力ポート（GPIO）のレジスタで制御されるマルチプレクス端子を示します。

表41.1　ポートコントロールレジスタで制御されるマルチプレクス端子

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
A	PTA7 入出力（ポート）	$\overline{\text{BS}}$ 出力(LBSC)	—	—	
	PTA6 入出力（ポート）	$\overline{\text{RDWR}}$ 出力(LBSC)	—	—	
	PTA5 入出力（ポート）	$\overline{\text{WE1}}$ 出力(LBSC)	—	—	
	PTA4 入出力（ポート）	$\overline{\text{RDY}}$ 入力 (LBSC)	—	—	
	PTA3 入出力（ポート）	ET0–MDC 出力(RGMII or RMII)	—	—	
	PTA2 入出力（ポート）	ET0–MDIO 入出力(RGMII or RMII)	—	—	
	PTA1 入出力（ポート）	ET1–MDC 出力(RGMII or RMII)	—	—	
	PTA0 入出力（ポート）	ET1–MDIO 入出力(RGMII or RMII)	—	—	
B	PTB7 入出力（ポート）	—	—	—	ポート入力ノイズキャンセル回路
	PTB6 入出力（ポート）	—	—	—	
	PTB5 入出力（ポート）	—	—	—	
	PTB4 入出力（ポート）	—	—	—	
	PTB3 入出力（ポート）	—	—	—	
	PTB2 入出力（ポート）	—	—	—	
	PTB1 入出力（ポート）	—	—	—	
	PTB0 入出力（ポート）	TCLK 出力(TMU)	—	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
C	PTC7 入出力（ポート）	IRQ7/$\overline{\text{IRL7}}$ 入力(INTC)	PWMU0 出力(PWMU)	—	ポート入力ノイズキャンセル回路
	PTC6 入出力（ポート）	IRQ6/$\overline{\text{IRL6}}$ 入力(INTC)	PWMU1 出力(PWMU)	—	
	PTC5 入出力（ポート）	IRQ5/$\overline{\text{IRL5}}$ 入力(INTC)	PWMU2 出力(PWMU)	—	
	PTC4 入出力（ポート）	IRQ4/$\overline{\text{IRL4}}$ 入力(INTC)	PWMU3 出力(PWMU)	—	
	PTC3 入出力（ポート）	IRQ3/$\overline{\text{IRL3}}$ 入力(INTC)	PWMU4 出力(PWMU)	—	
	PTC2 入出力（ポート）	IRQ2/$\overline{\text{IRL2}}$ 入力(INTC)	PWMU5 出力(PWMU)	—	
	PTC1 入出力（ポート）	IRQ1/$\overline{\text{IRL1}}$ 入力(INTC)	—	—	
	PTC0 入出力（ポート）	IRQ0/$\overline{\text{IRL0}}$ 入力(INTC)	—	—	
D	PTD6 入出力（ポート）	SP0-MISO 入力(SPI0)	—	—	—
	PTD4 入出力（ポート）	SP0-SCK_FB 入力(SPI0)	—	—	
	PTD2 入出力（ポート）	$\overline{\text{SP0-SS1}}$ 出力(SPI0)	$\overline{\text{DREQ0}}$ 入力(DMAC)	—	
	PTD1 入出力（ポート）	$\overline{\text{SP0-SS2}}$ 出力(SPI0)	$\overline{\text{DACK0}}$ 出力(DMAC)	—	
	PTD0 入出力（ポート）	$\overline{\text{SP0-SS3}}$ 出力(SPI0)	$\overline{\text{TEND0}}$ 出力(DMAC)	—	
E	PTE7 入出力（ポート）	RMII0-CRS_DV 入力(RMII)	—	—	—
	PTE6 入出力（ポート）	RMII0-TXD1 出力(RMII)	—	BOOTWPSZ1 入力(Strap)	
	PTE5 入出力（ポート）	RMII0-TXD0 出力(RMII)	—	BOOTWPSZ0 入力(Strap)	
	PTE4 入出力（ポート）	RMII0-TXEN 出力(RMII)	—	MD3 入力(Strap)	
	PTE3 入出力（ポート）	RMII0-REFCLK 入力(RMII)	—	—	
	PTE2 入出力（ポート）	RMII0-RXD1 入力(RMII)	—	—	
	PTE1 入出力（ポート）	RMII0-RXD0 入力(RMII)	—	—	
	PTE0 入出力（ポート）	RMII0-RX_ER 入力(RMII)	—	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
F	PTF7 入出力（ポート）	RMII1-CRS_DV 入力(RMII)	—	—	—
	PTF6 入出力（ポート）	RMII1-TXD1 出力(RMII)	—	WDTFOT0 入力(Strap)	
	PTF5 入出力（ポート）	RMII1-TXD0 出力(RMII)	—	WDTFOT1 入力(Strap)	
	PTF4 入出力（ポート）	RMII1-TXEN 出力(RMII)	—	—	
	PTF3 入出力（ポート）	RMII1-REFCLK 入力(RMII)	—	—	
	PTF2 入出力（ポート）	RMII1-RXD1 入力(RMII)	$\overline{\text{RAC-RI}}$/$\overline{\text{RI0}}$ 入出力(SERMUX)	—	
	PTF1 入出力（ポート）	RMII1-RXD0 入力(RMII)	—	—	
	PTF0 入出力（ポート）	RMII1-RX_ER 入力(RMII)	—	—	
G	PTG7 入出力（ポート）	BOOTFMS 入力(SPI0)	—	—	—
	PTG5 入出力（ポート）	A25 出力(LBSC)	MMCCLK 出力(eMMC)	—	
	PTG4 入出力（ポート）	A24 出力(LBSC)	MMCCMD 入出力(eMMC)	—	
	PTG3 入出力（ポート）	—	—	—	
	PTG1 入出力（ポート）	—	—	—	
	PTG0 入出力（ポート）	—	—	—	
H	PTH6 入出力（ポート）	SP1-MISO 入力(SPI1)	$\overline{\text{DREQ1}}$ 出力(DMAC)	—	—
	PTH4 入出力（ポート）	SP1-SCK_FB 入力(SPI1)	$\overline{\text{ADTRG1}}$ 入力(ADC)	—	
	PTH2 入出力（ポート）	$\overline{\text{SP1-SS1}}$ 出力(SPI1)	$\overline{\text{ADTRG0}}$ 入力(ADC)	—	
	PTH0 入出力（ポート）	—	—	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
I	PTI7 入出力（ポート）	D15 入出力(LBSC)	SDWP 入力(SDHI)	—	—
	PTI6 入出力（ポート）	D14 入出力(LBSC)	SDCD 入力(SDHI)	—	
	PTI5 入出力（ポート）	D13 入出力(LBSC)	SDCLK 出力(SDHI)	—	
	PTI4 入出力（ポート）	D12 入出力(LBSC)	SDCMD 入出力(SDHI)	—	
	PTI3 入出力（ポート）	D11 入出力(LBSC)	SDDAT3 入出力(SDHI)	—	
	PTI2 入出力（ポート）	D10 入出力(LBSC)	SDDAT2 入出力(SDHI)	—	
	PTI1 入出力（ポート）	D9 入出力(LBSC)	SDDAT1 入出力(SDHI)	—	
	PTI0 入出力（ポート）	D8 入出力(LBSC)	SDDAT0 入出力(SDHI)	—	
J	PTJ6 入出力（ポート）	$\overline{\text{RTS3}}$ 入出力(SCIF)	—	—	—
	PTJ5 入出力（ポート）	$\overline{\text{CTS3}}$ 入出力(SCIF)	—	—	
	PTJ4 入出力（ポート）	TXD3 出力(SCIF)	—	—	
	PTJ3 入出力（ポート）	RXD3 入力(SCIF)	—	—	
	PTJ2 入出力（ポート）	$\overline{\text{RTS4}}$ 入出力(SCIF)	—	—	
	PTJ1 入出力（ポート）	RXD4 入力(SCIF)	—	—	
	PTJ0 入出力（ポート）	TXD4 出力(SCIF)	—	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
K	PTK7 入出力（ポート）	COM2-TXD/TXD1 出力(SERMUX)	SCK2 入出力(SCIF)	—	—
	PTK6 入出力（ポート）	COM2-RXD/RXD1 入力(SERMUX)	—	—	
	PTK5 入出力（ポート）	$\overline{\text{COM2-RTS}}$/$\overline{\text{RTS1}}$ 出力(SERMUX)	—	—	
	PTK4 入出力（ポート）	$\overline{\text{COM2-CTS}}$/$\overline{\text{CTS1}}$ 入力(SERMUX)	—	—	
	PTK3 入出力（ポート）	$\overline{\text{COM2-DTR}}$/$\overline{\text{DTR1}}$ 出力(SERMUX)	—	—	
	PTK2 入出力（ポート）	$\overline{\text{COM2-DSR}}$/$\overline{\text{DSR1}}$ 入力(SERMUX)	SCK4 入出力(SCIF)	—	
	PTK1 入出力（ポート）	$\overline{\text{COM2-DCD}}$/$\overline{\text{DCD1}}$ 入力(SERMUX)	SCK3 入出力(SCIF)	—	
	PTK0 入出力（ポート）	CLKOUT 出力(LBSC)	—	—	
L	PTL6 入出力（ポート）	RAC-RXD/RXD0 入出力(SERMUX)	RXD2 入力(SCIF)	—	—
	PTL5 入出力（ポート）	$\overline{\text{RAC-RTS}}$/$\overline{\text{RTS0}}$ 入出力(SERMUX)	$\overline{\text{CS5}}$ 出力(LBSC)	—	
	PTL4 入出力（ポート）	$\overline{\text{RAC-CTS}}$/$\overline{\text{CTS0}}$ 入出力(SERMUX)	$\overline{\text{CS6}}$ 出力(LBSC)	—	
	PTL3 入出力（ポート）	$\overline{\text{RAC-DTR}}$/$\overline{\text{DTR0}}$ 入出力(SERMUX)	—	—	
	PTL2 入出力（ポート）	$\overline{\text{RAC-DSR}}$/$\overline{\text{DSR0}}$ 入出力(SERMUX)	AUDSYNC 出力(AUD)	—	
	PTL1 入出力（ポート）	$\overline{\text{RAC-DCD}}$/$\overline{\text{DCD0}}$ 入出力(SERMUX)	AUDCK 出力(AUD)	—	
	PTL0 入出力（ポート）	RAC-TXD/TXD0 入出力(SERMUX)	TXD2 出力(SCIF)	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
M	PTM7 入出力（ポート）	$\overline{\text{CS4}}$ 出力(LBSC)	—	—	—
	PTM6 入出力（ポート）	$\overline{\text{RD}}$ 出力(LBSC)	—	—	
	PTM5 入出力（ポート）	$\overline{\text{WE0}}$ 出力(LBSC)	—	—	
	PTM4 入出力（ポート）	$\overline{\text{CS0}}$ 出力(LBSC)	—	—	
	PTM3 入出力（ポート）	SDA6 入出力(IIC)	—	—	
	PTM2 入出力（ポート）	SCL6 入出力(IIC)	—	—	
	PTM1 入出力（ポート）	SDA7 入出力(IIC)	—	—	
	PTM0 入出力（ポート）	SCL7 入出力(IIC)	—	—	
N	PTN6 入出力（ポート）	VBUS_EN 出力(USB)	—	—	—
	PTN5 入出力（ポート）	VBUS_OC 入力(USB)	—	—	
	PTN4 入出力（ポート）	—	SGPIO1-CLK 出力(SPGIO)	BOOTSZ2 入力(Strap)	
	PTN3 入出力（ポート）	—	SGPIO1-LOAD 出力(SPGIO)	BOOTSZ0 入力(Strap)	
	PTN2 入出力（ポート）	—	SGPIO1-DO 出力(SPGIO)	BOOTSZ1 入力(Strap)	
	PTN1 入出力（ポート）	—	SGPIO1-DI 入力(SPGIO)	—	
	PTN0 入出力（ポート）	—	SUB-CLKIN 入力(WDT)	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
O	PTO7 入出力（ポート）	SGPIO0-CLK 出力(SGPIO)	—	MD10 入力(Strap)	—
	PTO6 入出力（ポート）	SGPIO0-LOAD 出力(SGPIO)	—	MD8 入力(Strap)	
	PTO5 入出力（ポート）	SGPIO0-DI 入力(SGPIO)	—	—	
	PTO4 入出力（ポート）	SGPIO0-DO 出力(SGPIO)	—	—	
	PTO3 入出力（ポート）	SGPIO2-CLK 出力(SGPIO)	COM1-TXD 出力(SERMUX)	—	
	PTO2 入出力（ポート）	SGPIO2-LOAD 出力(SGPIO)	COM1-RXD 出力(SERMUX)	MD1 入力(Strap)	
	PTO1 入出力（ポート）	SGPIO2-DI 入力(SGPIO)	$\overline{\text{COM1-RTS}}$ 出力(SERMUX)	—	
	PTO0 入出力（ポート）	SGPIO2-DO 出力(SGPIO)	$\overline{\text{COM1-CTS}}$ 入力(SERMUX)	MD0 入力(Strap)	
P	PTP7 入力（ポート）	EVENT15 入力(EVC)	AN15 入力(ADC)	—	—
	PTP6 入力（ポート）	EVENT14 入力(EVC)	AN14 入力(ADC)	—	
	PTP5 入力（ポート）	EVENT13 入力(EVC)	AN13 入力(ADC)	—	
	PTP4 入力（ポート）	EVENT12 入力(EVC)	AN12 入力(ADC)	—	
	PTP3 入力（ポート）	EVENT11 入力(EVC)	AN11 入力(ADC)	—	
	PTP2 入力（ポート）	EVENT10 入力(EVC)	AN10 入力(ADC)	—	
	PTP1 入力（ポート）	EVENT9 入力(EVC)	AN9 入力(ADC)	—	
	PTP0 入力（ポート）	EVENT8 入力(EVC)	AN8 入力(ADC)	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
Q	PTQ6 入出力（ポート）	—	—	—	—
	PTQ5 入出力（ポート）	—	—	—	
	PTQ4 入出力（ポート）	—	—	—	
	PTQ3 入出力（ポート）	—	—	—	
	PTQ2 入出力（ポート）	—	—	—	
	PTQ1 入出力（ポート）	—	—	—	
	PTQ0 入出力（ポート）	—	—	—	
R	PTR7 入出力（ポート）	SDA8 入出力(IIC)	—	—	—
	PTR6 入出力（ポート）	SCL8 入出力(IIC)	—	—	
	PTR5 入出力（ポート）	SDA2 入出力(IIC)	—	—	
	PTR4 入出力（ポート）	SCL2 入出力(IIC)	—	—	
	PTR3 入出力（ポート）	SDA1 入出力(IIC)	—	—	
	PTR2 入出力（ポート）	SCL1 入出力(IIC)	—	—	
	PTR1 入出力（ポート）	SDA0 入出力(IIC)	—	—	
	PTR0 入出力（ポート）	SCL0 入出力(IIC)	—	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
S	PTS7 入出力（ポート）	SDA9 入出力(IIC	—	—	—
	PTS6 入出力（ポート）	SCL9 入出力(IIC)	—	—	
	PTS5 入出力（ポート）	SDA5 入出力(IIC)	—	—	
	PTS4 入出力（ポート）	SCL5 入出力(IIC)	—	—	
	PTS3 入出力（ポート）	SDA4 入出力(IIC)	—	—	
	PTS2 入出力（ポート）	SCL4 入出力(IIC)	—	—	
	PTS1 入出力（ポート）	SDA3 入出力(IIC)	—	—	
	PTS0 入出力（ポート）	SCL3 入出力(IIC)	—	—	
T	PTT7 入出力（ポート）	PWMX7 出力(PWMX)	AUDATA3 出力(AUD)	MD2 入力(Strap)	シンク電流 12mA
	PTT6 入出力（ポート）	PWMX6 出力(PWMX)	AUDATA2 出力(AUD)	—	
	PTT5 入出力（ポート）	PWMX5 出力(PWMX)	AUDATA1 出力(AUD)	FLSHSZ2 入力（Strap）	
	PTT4 入出力（ポート）	PWMX4 出力(PWMX)	AUDATA0 出力(AUD)	$\overline{\text{WPLOCK}}$ 入力（Strap）	
	PTT3 入出力（ポート）	PWMX3 出力(PWMX)	STATUS1 出力(System)	—	
	PTT2 入出力（ポート）	PWMX2 出力(PWMX)	STATUS0 出力(System)	—	
	PTT1 入出力（ポート）	PWMX1 出力(PWMX)	—	—	
	PTT0 入出力（ポート）	PWMX0 出力(PWMX)	—	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
U	PTU7 入出力（ポート）	—	—	—	—
	PTU6 入出力（ポート）	—	—	—	
	PTU5 入出力（ポート）	—	—	—	
	PTU4 入出力（ポート）	—	—	—	
	PTU3 入出力（ポート）	—	—	—	
	PTU2 入出力（ポート）	—	—	—	
	PTU1 入出力（ポート）	—	—	—	
	PTU0 入出力（ポート）	—	—	—	
V	PTV7 入出力（ポート）	A23 出力(LBSC)	$\overline{\text{COM2-RI}}$/$\overline{\text{RI1}}$ 入力(SERMUX)	—	—
	PTV6 入出力（ポート）	A22 出力(LBSC)	RSPI-MOSI 入出力(RSPI)	—	
	PTV5 入出力（ポート）	A21 出力(LBSC)	RSPI-MISO 入出力(RSPI)	—	
	PTV4 入出力（ポート）	A20 出力(LBSC)	RSPI-RSPCK 入出力(RSPI)	—	
	PTV3 入出力（ポート）	A19 出力(LBSC)	$\overline{\text{RSPI-SSL0}}$ 入出力(RSPI)	—	
	PTV2 入出力（ポート）	A18 出力(LBSC)	$\overline{\text{RSPI-SSL1}}$ 入出力(RSPI)	—	
	PTV1 入出力（ポート）	A17 出力(LBSC)	EVENT7 入力(EVC)	—	
	PTV0 入出力（ポート）	A16 出力(LBSC)	EVENT6 入力(EVC)	—	

ポート	ポートの機能 （関連モジュール）	その他の機能1 （関連モジュール）	その他の機能2 （関連モジュール）	その他の機能3 （関連モジュール）	入出力形態
W	PTW7 入出力（ポート）	A15 出力(LBSC)	EVENT5 入力(EVC)	—	—
	PTW6 入出力（ポート）	A14 出力(LBSC)	EVENT4 入力(EVC)	—	
	PTW5 入出力（ポート）	A13 出力(LBSC)	EVENT3 入力(EVC)	—	
	PTW4 入出力（ポート）	A12 出力(LBSC)	EVENT2 入力(EVC)	—	
	PTW3 入出力（ポート）	A11 出力(LBSC)	EVENT1 入力(EVC)	—	
	PTW2 入出力（ポート）	A10 出力(LBSC)	EVENT0 入力(EVC)	—	
	PTW1 入出力（ポート）	A9 出力(LBSC)	$\overline{\text{CTS4}}$ 入出力(SCIF)	—	
	PTW0 入出力（ポート）	A8 出力(LBSC)	$\overline{\text{CTS2}}$ 入出力(SCIF)	—	
X	PTX7 入出力（ポート）	A7 出力(LBSC)	$\overline{\text{RTS2}}$ 入出力(SCIF)	—	—
	PTX6 入出力（ポート）	A6 出力(LBSC)	SIM_D 入出力(SIM)	—	
	PTX5 入出力（ポート）	A5 出力(LBSC)	SIM_CLK 出力(SIM)	—	
	PTX4 入出力（ポート）	A4 出力(LBSC)	SIM_RST 出力(SIM)	—	
	PTX3 入出力（ポート）	A3 出力(LBSC)	—	—	
	PTX2 入出力（ポート）	A2 出力(LBSC)	—	—	
	PTX1 入出力（ポート）	A1 出力(LBSC)	—	—	
	PTX0 入出力（ポート）	A0 出力(LBSC)	—	—	

ポート	ポートの機能 (関連モジュール)	その他の機能1 (関連モジュール)	その他の機能2 (関連モジュール)	その他の機能3 (関連モジュール)	入出力形態
Y	PTY7 入出力（ポート）	D7 入出力(LBSC)	—	—	—
	PTY6 入出力（ポート）	D6 入出力(LBSC)	—	—	
	PTY5 入出力（ポート）	D5 入出力(LBSC)	—	—	
	PTY4 入出力（ポート）	D4 入出力(LBSC)	—	—	
	PTY3 入出力（ポート）	D3 入出力(LBSC)	—	—	
	PTY2 入出力（ポート）	D2 入出力(LBSC)	—	—	
	PTY1 入出力（ポート）	D1 入出力(LBSC)	—	—	
	PTY0 入出力（ポート）	D0 入出力(LBSC)	—	—	
Z	PTZ7 入出力（ポート）	MMCDAT7 入出力(eMMC)	—	—	—
	PTZ6 入出力（ポート）	MMCDAT6 入出力(eMMC)	—	WPSZ1 入力(Strap)	
	PTZ5 入出力（ポート）	MMCDAT5 入出力(eMMC)	—	WPSZ0 入力(Strap)	
	PTZ4 入出力（ポート）	MMCDAT4 入出力(eMMC)	—	—	
	PTZ3 入出力（ポート）	MMCDAT3 入出力(eMMC)	—	MD6 入力(Strap)	
	PTZ2 入出力（ポート）	MMCDAT2 入出力(eMMC)	—	MD9 入力(Strap)	
	PTZ1 入出力（ポート）	MMCDAT1 入出力(eMMC)	—	FLSHSZ1 入力(Strap)	
	PTZ0 入出力（ポート）	MMCDAT0 入出力(eMMC)	—	FLSHSZ0 入力(Strap)	

注1. 表において、ハッチングの端子がリセット直後から使用できる端子機能です （ MD3 = H、MD6 = Lの場合)。
2. 周辺モジュール を使用する場合は、関連する端子の機能選択を行ってから、各モジュールの初期設定を行ってください。
3. PTT7 ～ PTT0 はLED駆動(高駆動)ポートとして使用できます。
4. MD0～MD3、MD5、MD6、MD8～MD10、FLSHSZ0、FLSHSZ1、FLSHSZ2、WPSZ0、WPSZ1、BOOTSZ0、BOOTSZ1、BOOTSZ2、BOOTWPSZ0、BOOTWPSZ1、BOOTFMS、WDTFOT0、WDTFOT1、WPLOCK は、パワーオンリセット期間中のみ有効となります。

41.2 レジスタの説明

GPIO のレジスタ構成を表41.2 に示します。

指定されたアクセスサイズ（ビット幅）でレジスタにアクセスしてください。それ以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表41.2　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
ポート A コントロールレジスタ	PACR	R/W	H'FFEC 0000	16	MD3=Lかつ MD6=Lのとき　：H'F000 上記以外のとき　：H'FF00	保持
ポート B コントロールレジスタ	PBCR	R/W	H'FFEC 0002	16	H'AAAA	保持
ポート C コントロールレジスタ	PCCR	R/W	H'FFEC 0004	16	H'AAAA	保持
ポート D コントロールレジスタ	PDCR	R/W	H'FFEC 0006	16	MD6=L のとき：H'333F MD6=Hのとき：H'003F	保持
ポート E コントロールレジスタ	PECR	R/W	H'FFEC 0008	16	H'EAFF	保持
ポート F コントロー 41.ルレジスタ	PFCR	R/W	H'FFEC 000A	16	H'EAFF	保持
ポート G コントロールレジスタ	PGCR	R/W	H'FFEC 000C	16	MD6=L のとき：H'0B8A MD6=Hのとき：H'008A	保持
ポート H コントロールレジスタ	PHCR	R/W	H'FFEC 000E	16	H'3333	保持
ポート I コントロールレジスタ	PICR	R/W	H'FFEC 0010	16	MD3=Lかつ MD6=Lのとき　：H'0000 上記以外のとき　：H'AFFF	保持
ポート J コントロールレジスタ	PJCR	R/W	H'FFEC 0012	16	H'FFFF	保持
ポート K コントロールレジスタ	PKCR	R/W	H'FFEC 0014	16	H'FFFF	保持
ポート L コントロールレジスタ	PLCR	R/W	H'FFEC 0016	16	H'FFFF	保持
ポート M コントロールレジスタ	PMCR	R/W	H'FFEC 0018	16	MD6=L のとき：H'00AA MD6=Hのとき：H'FFAA	保持
ポート N コントロールレジスタ	PNCR	R/W	H'FFEC 001A	16	H'C2AF	保持
ポート O コントロールレジスタ	POCR	R/W	H'FFEC 001C	16	H'AEAE	保持
ポート Q コントロールレジスタ	PQCR	R/W	H'FFEC 0020	16	H'EAAA	保持
ポート R コントロールレジスタ	PRCR	R/W	H'FFEC 0022	16	H'AAAA	保持
ポート S コントロールレジスタ	PSCR	R/W	H'FFEC 0024	16	H'AAAA	保持
ポート T コントロールレジスタ	PTCR	R/W	H'FFEC 0026	16	H'AFFF	保持
ポート U コントロールレジスタ	PUCR	R/W	H'FFEC 0028	16	H'0000	保持
ポート V コントロールレジスタ	PVCR	R/W	H'FFEC 002A	16	MD6=L のとき：H'0000 MD6=Hのとき：H'FFFA	保持
ポート W コントロールレジスタ	PWCR	R/W	H'FFEC 002C	16	MD6=L のとき：H'0000 MD6=Hのとき：H'AAAF	保持
ポート X コントロールレジスタ	PXCR	R/W	H'FFEC 002E	16	MD6=L のとき：H'0000 MD6=Hのとき：H'FFFF	保持
ポート Y コントロールレジスタ	PYCR	R/W	H'FFEC 0030	16	MD6=L のとき：H'0000 MD6=Hのとき：H'FFFF	保持
ポート Z コントロールレジスタ	PZCR	R/W	H'FFEC 0032	16	H'AAAA	保持
ポート A データレジスタ	PADR	R/W	H'FFEC 0034	8	H'XX	保持
ポート B データレジスタ	PBDR	R/W	H'FFEC 0036	8	H'XX	保持

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
ポート C データレジスタ	PCDR	R/W	H'FFEC 0038	8	H'XX	保持
ポート D データレジスタ	PDDR	R/W	H'FFEC 003A	8	H'XX	保持
ポート E データレジスタ	PEDR	R/W	H'FFEC 003C	8	H'XX	保持
ポート F データレジスタ	PFDR	R/W	H'FFEC 003E	8	H'XX	保持
ポート G データレジスタ	PGDR	R/W	H'FFEC 0040	8	H'XX	保持
ポート H データレジスタ	PHDR	R/W	H'FFEC 0042	8	H'XX	保持
ポート I データレジスタ	PIDR	R/W	H'FFEC 0044	8	H'XX	保持
ポート J データレジスタ	PJDR	R/W	H'FFEC 0046	8	H'XX	保持
ポート K データレジスタ	PKDR	R/W	H'FFEC 0048	8	H'XX	保持
ポート L データレジスタ	PLDR	R/W	H'FFEC 004A	8	H'XX	保持
ポート M データレジスタ	PMDR	R/W	H'FFEC 004C	8	H'XX	保持
ポート N データレジスタ	PNDR	R/W	H'FFEC 004E	8	H'XX	保持
ポート O データレジスタ	PODR	R/W	H'FFEC 0050	8	H'XX	保持
ポート P データレジスタ	PPDR	R	H'FFEC 0052	8	H'XX	保持
ポート Q データレジスタ	PQDR	R/W	H'FFEC 0054	8	H'XX	保持
ポート R データレジスタ	PRDR	R/W	H'FFEC 0056	8	H'XX	保持
ポート S データレジスタ	PSDR	R/W	H'FFEC 0058	8	H'XX	保持
ポート T データレジスタ	PTDR	R/W	H'FFEC 005A	8	H'XX	保持
ポート U データレジスタ	PUDR	R/W	H'FFEC 005C	8	H'XX	保持
ポート Vデータレジスタ	PVDR	R/W	H'FFEC 005E	8	H'XX	保持
ポート W データレジスタ	PWDR	R/W	H'FFEC 0060	8	H'XX	保持
ポート X データレジスタ	PXDR	R/W	H'FFEC 0062	8	H'XX	保持
ポート Y データレジスタ	PYDR	R/W	H'FFEC 0064	8	H'XX	保持
ポート Z データレジスタ	PZDR	R/W	H'FFEC 0066	8	H'XX	保持
ピンセレクトレジスタ 0	PSEL0	R/W	H'FFEC 0070	16	H'0000	保持
ピンセレクトレジスタ 1	PSEL1	R/W	H'FFEC 0072	16	H'0000	保持
ピンセレクトレジスタ 2	PSEL2	R/W	H'FFEC 0074	16	H'0000	保持
ピンセレクトレジスタ 3	PSEL3	R/W	H'FFEC 0076	16	H'0000	保持
ピンセレクトレジスタ 4	PSEL4	R/W	H'FFEC 0078	16	H'0000	保持
ピンセレクトレジスタ 5	PSEL5	R/W	H'FFEC 007A	16	H'0000	保持
ピンセレクトレジスタ 6	PSEL6	R/W	H'FFEC 007C	16	H'0000	保持
ピンセレクトレジスタ 7	PSEL7	R/W	H'FFEC 0082	16	H'0000	保持
ノイズキャンセライネーブルレジスタ	NCER	R/W	H'FFEC 0068	16	H'0000	保持
ノイズキャンセラモードコントロールレジスタ	NCMCR	R/W	H'FFEC 006A	16	H'0000	保持
ノイズキャンセラ周期設定レジスタ	NCCSR	R/W	H'FFEC 006C	16	H'0000	保持

41.2.1　ポートA コントロールレジスタ（PACR）

PACR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7MD[1:0]		PA6MD[1:0]		PA5MD[1:0]		PA4MD[1:0]		PA3MD[1:0]		PA2MD[1:0]		PA1MD[1:0]		PA0MD[1:0]	
初期値：	1	1	1	1	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PA7MD[1:0]	11	R/W	PTA7モード 00: その他の機能（$\overline{\text{BS}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PA6MD[1:0]	11	R/W	PTA6モード 00: その他の機能（$\overline{\text{RDWR}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PA5MD[1:0]	0/1（注）	R/W	PTA5モード 00: その他の機能（$\overline{\text{WE1}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PA4MD[1:0]	0/1（注）	R/W	PTA4モード 00: その他の機能（$\overline{\text{RDY}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PA3MD[1:0]	00	R/W	PTA3モード 00: その他の機能（ET0-MDC） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PA2MD[1:0]	00	R/W	PTA2モード 00: その他の機能（ET0-MDIO） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PA1MD[1:0]	00	R/W	PTA1モード 00: その他の機能（ET1-MDC） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
1、0	PA0MD[1:0]	00	R/W	PTA0モード 00: その他の機能（ET1-MDIO） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注. PA5MD1、PA5MD0、PA4MD1、及びPA4MD0ビットの初期値は、MD3及びMD6 端子の設定により異なります。MD3 = L かつ MD6 = Lのとき0、それ以外のとき1 になります。

41.2.2 ポートB コントロールレジスタ（PBCR）

PBCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7MD[1:0]		PB6MD[1:0]		PB5MD[1:0]		PB4MD[1:0]		PB3MD[1:0]		PB2MD[1:0]		PB1MD[1:0]		PB0MD[1:0]	
初期値：	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PB7MD[1:0]	10	R/W	PTB7モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
13、12	PB6MD[1:0]	10	R/W	PTB6モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PB5MD[1:0]	10	R/W	PTB5モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
9、8	PB4MD[1:0]	10	R/W	PTB4モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
7、6	PB3MD[1:0]	10	R/W	PTB3モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
5、4	PB2MD[1:0]	10	R/W	PTB2モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
3、2	PB1MD[1:0]	10	R/W	PTB1モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
1、0	PB0MD[1:0]	10	R/W	PTB0モード 00: その他の機能（TCLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

41.2.3 ポートC コントロールレジスタ（PCCR）

PCCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7MD[1:0]		PC6MD[1:0]		PC5MD[1:0]		PC4MD[1:0]		PC3MD[1:0]		PC2MD[1:0]		PC1MD[1:0]		PC0MD[1:0]	
初期値：	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PC7MD[1:0]	10	R/W	PTC7モード 00: その他の機能（IRQ7/$\overline{\text{IRL7}}$、PWMU0） 01:ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
13、12	PC6MD[1:0]	10	R/W	PTC6 モード 00: その他の機能（IRQ6/$\overline{\text{IRL6}}$、PWMU1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PC5MD[1:0]	10	R/W	PTC5 モード 00: その他の機能（IRQ5/$\overline{\text{IRL5}}$、PWMU2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
9、8	PC4MD[1:0]	10	R/W	PTC4 モード 00: その他の機能（IRQ4/$\overline{\text{IRL4}}$、PWMU3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
7、6	PC3MD[1:0]	10	R/W	PTC3 モード 00: その他の機能（IRQ3/$\overline{\text{IRL3}}$、PWMU4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
5、4	PC2MD[1:0]	10	R/W	PTC2 モード 00: その他の機能（IRQ2/$\overline{\text{IRL2}}$、PWMU5） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
3、2	PC1MD[1:0]	10	R/W	PTC1 モード 00: その他の機能（IRQ1/$\overline{\text{IRL1}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
1、0	PC0MD[1:0]	10	R/W	PTC0 モード 00: その他の機能（IRQ0/$\overline{\text{IRL0}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

41.2.4　ポートD コントロールレジスタ（PDCR）

PDCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PD6MD[1:0]		—	—	PD4MD[1:0]		—	—	PD2MD[1:0]		PD1MD[1:0]		PD0MD[1:0]	
初期値：	0	0	0/1 (注)	0/1 (注)	0	0	0/1 (注)	0/1 (注)	0	0	1	1	1	1	1	1
R/W:	—	—	R/W	R/W	—	—	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	0	—	リザーブビット
13、12	PD6MD[1:0]	0/1（注）	R/W	PTD6モード 00:その他の機能（SP0-MISO） 01:ポート出力 10:ポート入力（プルアップMOS：オフ） 11:ポート入力（プルアップMOS：オン）
11、10	—	0	—	リザーブビット
9、8	PD4MD[1:0]	0/1（注）	R/W	PTD4 モード 00: その他の機能（SP0-SCK_FB） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	—	0	—	リザーブビット
5、4	PD2MD[1:0]	11	R/W	PTD2 モード 00: その他の機能（$\overline{\text{SP0-SS1}}$、$\overline{\text{DREQ0}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PD1MD[1:0]	11	R/W	PTD1 モード 00: その他の機能（$\overline{\text{SP0-SS2}}$、$\overline{\text{DACK0}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PD0MD[1:0]	11	R/W	PTD0 モード 00: その他の機能（$\overline{\text{SP0-SS3}}$、$\overline{\text{TEND0}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注.　PD6MD1、PD6MD0、PD4MD1、及びPD4MD0 ビットの初期値は、MD6端子の設定により異なります。MD6 = L のとき1、MD6=Hのとき0になります。

41.2.5　ポートE コントロールレジスタ（PECR）

PECR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE7MD[1:0]		PE6MD[1:0]		PE5MD[1:0]		PE4MD[1:0]		PE3MD[1:0]		PE2MD[1:0]		PE1MD[1:0]		PE0MD[1:0]	
初期値：	1	1	1	0	1	0	1	0	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PE7MD[1:0]	11	R/W	PTE7 モード 00: その他の機能（RMII0-CRS_DV） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PE6MD[1:0]	10	R/W	PTE6 モード 00: その他の機能（RMII0-TXD1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PE5MD[1:0]	10	R/W	PTE5 モード 00: その他の機能（RMII0-TXD0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PE4MD[1:0]	10	R/W	PTE4 モード 00: その他の機能（RMII0-TXEN） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PE3MD[1:0]	11	R/W	PTE3 モード 00: その他の機能（RMII0-REFCLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PE2MD[1:0]	11	R/W	PTE2 モード 00: その他の機能（RMII0-RXD1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PE1MD[1:0]	11	R/W	PTE1 モード 00: その他の機能（RMII0-RXD0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
1、0	PE0MD[1:0]	11	R/W	PTE0 モード 00: その他の機能（RMII0-RX_ER） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.6 ポートF コントロールレジスタ（PFCR）

PFCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF7MD[1:0]		PF6MD[1:0]		PF5MD[1:0]		PF4MD[1:0]		PF3MD[1:0]		PF2MD[1:0]		PF1MD[1:0]		PF0MD[1:0]	
初期値：	1	1	1	0	1	0	1	0	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PF7MD[1:0]	11	R/W	PTF7 モード 00: その他の機能（RMII1-CRS_DV） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PF6MD[1:0]	10	R/W	PTF6 モード 00: その他の機能（RMII1-TXD1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PF5MD[1:0]	10	R/W	PTF5 モード 00: その他の機能（RMII1-TXD0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PF4MD[1:0]	10	R/W	PTF4 モード 00: その他の機能（RMII1-TXEN） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PF3MD[1:0]	11	R/W	PTF3 モード 00: その他の機能（RMII1-REFCLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
5、4	PF2MD[1:0]	11	R/W	PTF2 モード 00: その他の機能（RMII1-RXD1、$\overline{\text{RAC-RI}}$/$\overline{\text{RI0}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PF1MD[1:0]	11	R/W	PTF1 モード 00: その他の機能（RMII1-RXD0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PF0MD[1:0]	11	R/W	PTF0 モード 00: その他の機能（RMII1-RX_ER） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.7 ポートG コントロールレジスタ（PGCR）

PGCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG7MD[1:0]		—	—	PG5MD[1:0]		PG4MD[1:0]		PG3MD[1:0]		—	—	PG1MD[1:0]		PG0MD[1:0]	
初期値：	0	0	0	0	0/1 (注)	0	0/1 (注)	0/1 (注)	1	0	0	0	1	0	1	0
R/W:	R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PG7MD[1:0]	00	R/W	PTG7 モード 00: その他の機能（BOOTFMS） 01: ポート出力 10: 設定禁止 11: ポート入力（プルアップMOS：オン）
13、12	—	0	—	リザーブビット
11、10	PG5MD[1:0]	00/10（注）	R/W	PTG5 モード 00: その他の機能（A25、MMCCLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
9、8	PG4MD[1:0]	0/1（注）	R/W	PTG4 モード 00: その他の機能（A24、MMCCMD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
7、6	PG3MD[1:0]	10	R/W	PTG3 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
5、4	—	00	—	リザーブビット
3、2	PG1MD[1:0]	10	R/W	PTG1 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
1、0	PG0MD[1:0]	10	R/W	PTG0 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

注. PG5MD1、PG4MD1、及びPG4MD0ビットの初期値は、MD6端子の設定により異なります。MD6 = Lのとき0、MD6 = Hのとき1になります。

41.2.8　ポートH コントロールレジスタ（PHCR）

PHCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PH6MD[1:0]		—	—	PH4MD[1:0]		—	—	PH2MD[1:0]		—	—	PH0MD[1:0]	
初期値：	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
R/W:	—	—	R/W	R/W	—	—	R/W	R/W	—	—	R/W	R/W	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	0	—	リザーブビット
13、12	PH6MD[1:0]	11	R/W	PTH6 モード 00: その他の機能 (SP1-MISO、$\overline{\text{DREQ1}}$) 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	—	0	—	リザーブビット
9、8	PH4MD[1:0]	11	R/W	PTH4 モード 00: その他の機能（SP1-SCK_FB、$\overline{\text{ADTRG1}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	—	0	—	リザーブビット
5、4	PH2MD[1:0]	11	R/W	PTH2 モード 00: その他の機能（$\overline{\text{SP1-SS1}}$、$\overline{\text{ADTRG0}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	—	0	—	リザーブビット
1、0	PH0MD[1:0]	11	R/W	PTH0 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.9　ポートI コントロールレジスタ（PICR）

PICR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PI7MD[1:0]		PI6MD[1:0]		PI5MD[1:0]		PI4MD[1:0]		PI3MD[1:0]		PI2MD[1:0]		PI1MD[1:0]		PI0MD[1:0]	
初期値：	0/1 (注)	0	0/1 (注)	0	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PI7MD[1:0]	00/10（注）	R/W	PTI7 モード 00: その他の機能（D15、SDWP） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
13、12	PI6MD[1:0]	00/10（注）	R/W	PTI6 モード 00: その他の機能（D14、SDCD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PI5MD[1:0]	0/1（注）	R/W	PTI5 モード 00: その他の機能（D13、SDCLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PI4MD[1:0]	0/1（注）	R/W	PTI4 モード 00: その他の機能（D12、SDCMD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PI3MD[1:0]	0/1（注）	R/W	PTI3 モード 00: その他の機能（D11、SDDAT3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PI2MD[1:0]	0/1（注）	R/W	PTI2 モード 00: その他の機能（D10、SDDAT2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PI1MD[1:0]	0/1（注）	R/W	PTI1 モード 00: その他の機能（D9、SDDAT1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
1、0	PI0MD[1:0]	0/1（注）	R/W	PTI0 モード 00: その他の機能（D8、SDDAT0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注.　PI7MD1～PI0MD1、及びPI5MD0～PI0MD0 ビットの初期値は、MD3及びMD6 端子の設定により異なります。MD3 = L かつ MD6 = Lのとき0、それ以外のとき1になります。

41.2.10 ポートJ コントロールレジスタ（PJCR）

PJCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PJ6MD[1:0]		PJ5MD[1:0]		PJ4MD[1:0]		PJ3MD[1:0]		PJ2MD[1:0]		PJ1MD[1:0]		PJ0MD[1:0]	
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	1	—	リザーブビット
13、12	PJ6MD[1:0]	11	R/W	PTJ6 モード 00: その他の機能（$\overline{\text{RTS3}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PJ5MD[1:0]	11	R/W	PTJ5 モード 00: その他の機能（$\overline{\text{CTS3}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PJ4MD[1:0]	11	R/W	PTJ4 モード 00: その他の機能（TXD3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PJ3MD[1:0]	11	R/W	PTJ3 モード 00: その他の機能（RXD3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PJ2MD[1:0]	11	R/W	PTJ2 モード 00: その他の機能（$\overline{\text{RTS4}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
3、2	PJ1MD[1:0]	11	R/W	PTJ1 モード 00: その他の機能（RXD4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PJ0MD[1:0]	11	R/W	PTJ0 モード 00: その他の機能（TXD4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.11 ポートK コントロールレジスタ（PKCR）

PKCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK7MD[1:0]		PK6MD[1:0]		PK5MD[1:0]		PK4MD[1:0]		PK3MD[1:0]		PK2MD[1:0]		PK1MD[1:0]		PK0MD[1:0]	
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PK7MD[1:0]	11	R/W	PTK7 モード 00: その他の機能（COM2-TXD、SCK2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PK6MD[1:0]	11	R/W	PTK6 モード 00: その他の機能（COM2-RXD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PK5MD[1:0]	11	R/W	PTK5 モード 00: その他の機能（$\overline{\text{COM2-RTS}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PK4MD[1:0]	11	R/W	PTK4 モード 00: その他の機能（$\overline{\text{COM2-CTS}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
7、6	PK3MD[1:0]	11	R/W	PTK3 モード 00: その他の機能（$\overline{\text{COM2-DTR}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PK2MD[1:0]	11	R/W	PTK2 モード 00: その他の機能（$\overline{\text{COM2-DSR}}$、SCK4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PK1MD[1:0]	11	R/W	PTK1 モード 00: その他の機能（$\overline{\text{COM2-DCD}}$、SCK3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PK0MD[1:0]	11	R/W	PTK0 モード 00: その他の機能（CLKOUT） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.12 ポートL コントロールレジスタ（PLCR）

PLCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PL6MD[1:0]		PL5MD[1:0]		PL4MD[1:0]		PL3MD[1:0]		PL2MD[1:0]		PL1MD[1:0]		PL0MD[1:0]	
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	1	—	リザーブビット
13、12	PL6MD[1:0]	11	R/W	PTL6 モード 00: その他の機能 (RAC-RXD、RXD2) 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PL5MD[1:0]	11	R/W	PTL5 モード 00: その他の機能 ($\overline{\text{RAC-RTS}}$、$\overline{\text{CS5}}$) 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PL4MD[1:0]	11	R/W	PTL4 モード 00: その他の機能（$\overline{\text{RAC-CTS}}$、$\overline{\text{CS6}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PL3MD[1:0]	11	R/W	PTL3 モード 00: その他の機能（$\overline{\text{RAC-DTR}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PL2MD[1:0]	11	R/W	PTL2 モード（注） 00: その他の機能（$\overline{\text{RAC-DSR}}$、AUDSYNC） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PL1MD[1:0]	11	R/W	PTL1 モード（注） 00: その他の機能（$\overline{\text{RAC-DCD}}$、AUDCK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
1、0	PL0MD[1:0]	11	R/W	PTL0 モード 00: その他の機能（RAC-TXD、TXD2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注.　E10Aエミュレータのトレース機能を有効にすると、ビットの設定にかかわらず、これらのポートは強制的にAUDポートとなります。

41.2.13 ポートM コントロールレジスタ（PMCR）

PMCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PM7MD[1:0]		PM6MD[1:0]		PM5MD[1:0]		PM4MD[1:0]		PM3MD[1:0]		PM2MD[1:0]		PM1MD[1:0]		PM0MD[1:0]	
初期値：	0/1 (注)		0/1 (注)		0/1 (注)		0/1 (注)		0/1 (注)		0/1 (注)		1	0	1	0
R/W:	R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	

ビット	ビット名	初期値	R/W	説 明
15、14	PM7MD[1:0]	0/1（注）	R/W	PTM7モード 00: その他の機能（$\overline{CS4}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PM6MD[1:0]	0/1（注）	R/W	PTM6 モード 00: その他の機能（$\overline{RD}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PM5MD[1:0]	0/1（注）	R/W	PTM5 モード 00: その他の機能（$\overline{WE0}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PM4MD[1:0]	0/1（注）	R/W	PTM4 モード 00: その他の機能（$\overline{CS0}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PM3MD[1:0]	10	R/W	PTM3 モード 00: その他の機能（SDA6） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
5、4	PM2MD[1:0]	10	R/W	PTM2 モード 00: その他の機能（SCL6） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
3、2	PM1MD[1:0]	10	R/W	PTM1 モード 00: その他の機能（SDA7） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
1、0	PM0MD[1:0]	10	R/W	PTM0 モード 00: その他の機能（SCL7） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

注.　PM7MD1～PM4MD1、及びPM7MD0～PM4MD0ビットの初期値は、MD6端子の設定により異なります。
MD6=Lのとき0、MD6=Hのとき1になります。

41.2.14 ポートN コントロールレジスタ（PNCR）

PNCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PN6MD[1:0]		PN5MD[1:0]		PN4MD[1:0]		PN3MD[1:0]		PN2MD[1:0]		PN1MD[1:0]		PN0MD[1:0]	
初期値：	1	1	0	0	0	0	1	0	1	0	1	0	1	1	1	1
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	1	—	リザーブビット
13、12	PN6MD[1:0]	00	R/W	PTN6 モード 00: その他の機能 (VBUS_EN) 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PN5MD[1:0]	00	R/W	PTN5 モード 00: その他の機能（VBUS_OC） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
9、8	PN4MD[1:0]	10	R/W	PTN4 モード 00: その他の機能（SGPIO1-CLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PN3MD[1:0]	10	R/W	PTN3 モード 00: その他の機能（SGPIO1-LOAD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PN2MD[1:0]	10	R/W	PTN2 モード 00: その他の機能（SGPIO1-DO） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PN1MD[1:0]	11	R/W	PTN1 モード 00: その他の機能（SGPIO1-DI） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PN0MD[1:0]	11	R/W	PTN0 モード 00: その他の機能（SUB-CLKIN） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.15 ポートO コントロールレジスタ（POCR）

POCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PO7MD[1:0]		PO6MD[1:0]		PO5MD[1:0]		PO4MD[1:0]		PO3MD[1:0]		PO2MD[1:0]		PO1MD[1:0]		PO0MD[1:0]	
初期値：	1	0	1	0	1	1	1	0	1	0	1	0	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PO7MD[1:0]	10	R/W	PTO7モード 00: その他の機能（SGPIO0-CLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PO6MD[1:0]	10	R/W	PTO6 モード 00: その他の機能（SGPIO0-LOAD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PO5MD[1:0]	11	R/W	PTO5 モード 00: その他の機能（SGPIO0-DI） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PO4MD[1:0]	10	R/W	PTO4 モード 00: その他の機能（SGPIO0-DO） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PO3MD[1:0]	10	R/W	PTO3 モード 00: その他の機能（SGPIO2-CLK、COM1-TXD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PO2MD[1:0]	10	R/W	PTO2 モード 00: その他の機能（SGPIO2-LOAD、COM1-RXD） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PO1MD[1:0]	11	R/W	PTO1 モード 00: その他の機能（SGPIO2-DI、$\overline{\text{COM1-RTS}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
1、0	PO0MD[1:0]	10	R/W	PTO0 モード 00: その他の機能（SGPIO2-DO、$\overline{\text{COM1-CTS}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.16 ポートQ コントロールレジスタ（PQCR）

PQCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PQ6MD[1:0]		PQ5MD[1:0]		PQ4MD[1:0]		PQ3MD[1:0]		PQ2MD[1:0]		PQ1MD[1:0]		PQ0MD[1:0]	
初期値：	1	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	—	1	—	リザーブビット
13、12	PQ6MD[1:0]	10	R/W	PTQ6 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PQ5MD[1:0]	10	R/W	PTQ5 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
9、8	PQ4MD[1:0]	10	R/W	PTQ4 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
7、6	PQ3MD[1:0]	10	R/W	PTQ3 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
5、4	PQ2MD[1:0]	10	R/W	PTQ2 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
3、2	PQ1MD[1:0]	10	R/W	PTQ1 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
1、0	PQ0MD[1:0]	10	R/W	PTQ0 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

41.2.17 ポートR コントロールレジスタ（PRCR）

PRCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PR7MD[1:0]		PR6MD[1:0]		PR5MD[1:0]		PR4MD[1:0]		PR3MD[1:0]		PR2MD[1:0]		PR1MD[1:0]		PR0MD[1:0]	
初期値：	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PR7MD[1:0]	10	R/W	PTR7 モード 00: その他の機能（SDA8）（注） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
13、12	PR6MD[1:0]	10	R/W	PTR6モード 00: その他の機能（SCL8）（注） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PR5MD[1:0]	10	R/W	PTR5 モード 00: その他の機能（SDA2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
9、8	PR4MD[1:0]	10	R/W	PTR4 モード 00: その他の機能（SCL2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
7、6	PR3MD[1:0]	10	R/W	PTR3 モード 00: その他の機能（SDA1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
5、4	PR2MD[1:0]	10	R/W	PTR2 モード 00: その他の機能（SCL1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
3、2	PR1MD[1:0]	10	R/W	PTR1 モード 00: その他の機能（SDA0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
1、0	PR0MD[1:0]	10	R/W	PTR0 モード 00: その他の機能（SCL0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

注. その他の機能を使用する場合は、H'FFEC 006E番地にH'0Cを設定してください。

41.2.18 ポートS コントロールレジスタ（PSCR）

PSCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PS7MD[1:0]		PS6MD[1:0]		PS5MD[1:0]		PS4MD[1:0]		PS3MD[1:0]		PS2MD[1:0]		PS1MD[1:0]		PS0MD[1:0]	
初期値：	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PS7MD[1:0]	10	R/W	PTS7 モード 00: その他の機能（SDA9）（注） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
13、12	PS6MD[1:0]	10	R/W	PTS6 モード 00: その他の機能（SCL9）（注） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PS5MD[1:0]	10	R/W	PTS5 モード 00: その他の機能（SDA5） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
9、8	PS4MD[1:0]	10	R/W	PTS4 モード 00: その他の機能（SCL5） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
7、6	PS3MD[1:0]	10	R/W	PTS3 モード 00: その他の機能（SDA4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
5、4	PS2MD[1:0]	10	R/W	PTS2 モード 00: その他の機能（SCL4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
3、2	PS1MD[1:0]	10	R/W	PTS1 モード 00: その他の機能（SDA3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
1、0	PS0MD[1:0]	10	R/W	PTS0 モード 00: その他の機能（SCL3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

注. その他の機能を使用する場合は、H'FFEC 006E番地にH'0Cを設定してください。

41.2.19 ポートT コントロールレジスタ（PTCR）

PTCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PT7MD[1:0]		PT6MD[1:0]		PT5MD[1:0]		PT4MD[1:0]		PT3MD[1:0]		PT2MD[1:0]		PT1MD[1:0]		PT0MD[1:0]	
初期値：	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PT7MD[1:0]	10	R/W	PTT7 モード（注） 00: その他の機能（PWMX7、AUDATA3) 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PT6MD[1:0]	10	R/W	PTT6 モード（注） 00: その他の機能（PWMX6、AUDATA2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PT5MD[1:0]	11	R/W	PTT5 モード（注） 00: その他の機能（PWMX5、AUDATA1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PT4MD[1:0]	11	R/W	PTT4 モード（注） 00: その他の機能（PWMX4、AUDATA0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PT3MD[1:0]	11	R/W	PTT3 モード 00: その他の機能（PWMX3、STATUS1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
5、4	PT2MD[1:0]	11	R/W	PTT2 モード 00: その他の機能（PWMX2、STATUS0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PT1MD[1:0]	11	R/W	PTT1 モード 00: その他の機能（PWMX1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PT0MD[1:0]	11	R/W	PTT0 モード 00: その他の機能（PWMX0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注. E10Aエミュレータのトレース機能を有効にすると、ビットの設定にかかわらず、これらのポートは強制的にAUDポートとなります。

41.2.20 ポートU コントロールレジスタ（PUCR）

PUCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PU7MD[1:0]		PU6MD[1:0]		PU5MD[1:0]		PU4MD[1:0]		PU3MD[1:0]		PU2MD[1:0]		PU1MD[1:0]		PU0MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PU7MD[1:0]	00	R/W	PTU7 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PU6MD[1:0]	00	R/W	PTU6 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PU5MD[1:0]	00	R/W	PTU5 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
9、8	PU4MD[1:0]	00	R/W	PTU4 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PU3MD[1:0]	00	R/W	PTU3 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PU2MD[1:0]	00	R/W	PTU2 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PU1MD[1:0]	00	R/W	PTU1 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PU0MD[1:0]	00	R/W	PTU0 モード 00: 設定禁止 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.21 ポートV コントロールレジスタ（PVCR）

PVCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PV7MD[1:0]		PV6MD[1:0]		PV5MD[1:0]		PV4MD[1:0]		PV3MD[1:0]		PV2MD[1:0]		PV1MD[1:0]		PV0MD[1:0]	
初期値：	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0	0/1 (注)	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PV7MD[1:0]	0/1（注）	R/W	PTV7 モード 00: その他の機能（A23、$\overline{\text{COM2}}$-RI/$\overline{\text{RI1}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PV6MD[1:0]	0/1（注）	R/W	PTV6 モード 00: その他の機能（A22、RSPI-MOSI） 01:ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PV5MD[1:0]	0/1（注）	R/W	PTV5 モード 00: その他の機能（A21、RSPI-MISO） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PV4MD[1:0]	0/1（注）	R/W	PTV4 モード 00: その他の機能（A20、RSPI-RSPCK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PV3MD[1:0]	0/1（注）	R/W	PTV3 モード 00: その他の機能（A19、$\overline{\text{RSPI-SSL0}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PV2MD[1:0]	0/1（注）	R/W	PTV2 モード 00: その他の機能（A18、$\overline{\text{RSPI-SSL1}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PV1MD[1:0]	00/10（注）	R/W	PTV1 モード 00: その他の機能（A17、EVENT7） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
1、0	PV0MD[1:0]	00/10（注）	R/W	PTV0 モード 00: その他の機能（A16、EVENT6） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

注.　PV7MD1～PV0MD1 及びPV7MD0～PV2MD0 ビットの初期値は、MD6 端子の設定により異なります。MD6＝L のとき0、MD6＝H のとき1 になります。

41.2.22 ポートW コントロールレジスタ（PWCR）

PWCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PW7MD[1:0]		PW6MD[1:0]		PW5MD[1:0]		PW4MD[1:0]		PW3MD[1:0]		PW2MD[1:0]		PW1MD[1:0]		PW0MD[1:0]	
初期値：	0/1 (注)	0	0/1 (注)	0	0/1 (注)	0	0/1 (注)	0	0/1 (注)	0	0/1 (注)	0	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PW7MD[1:0]	00/10（注）	R/W	PTW7 モード 00: その他の機能（A15、EVENT5） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
13、12	PW6MD[1:0]	00/10（注）	R/W	PTW6 モード 00: その他の機能（A14、EVENT4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
11、10	PW5MD[1:0]	00/10（注）	R/W	PTW5 モード 00: その他の機能（A13、EVENT3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
9、8	PW4MD[1:0]	00/10（注）	R/W	PTW4 モード 00: その他の機能（A12、EVENT2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
7、6	PW3MD[1:0]	00/10（注）	R/W	PTW3 モード 00: その他の機能（A11、EVENT1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
5、4	PW2MD[1:0]	00/10（注）	R/W	PTW2 モード 00: その他の機能（A10、EVENT0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: 設定禁止
3、2	PW1MD[1:0]	0/1（注）	R/W	PTW1 モード 00: その他の機能（A9、$\overline{\text{CTS4}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PW0MD[1:0]	0/1（注）	R/W	PTW0 モード 00: その他の機能（A8、$\overline{\text{CTS2}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注.　PW7MD1～PW0MD1及びPW1MD0～PW0MD0ビットの初期値は、MD6 端子の設定により異なります。MD6＝L のとき0、MD6＝H のとき1になります。

41.2.23 ポートX コントロールレジスタ（PXCR）

PXCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PX7MD[1:0]		PX6MD[1:0]		PX5MD[1:0]		PX4MD[1:0]		PX3MD[1:0]		PX2MD[1:0]		PX1MD[1:0]		PX0MD[1:0]	
初期値：	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PX7MD[1:0]	0/1（注）	R/W	PTX7 モード 00: その他の機能（A7、$\overline{\text{RTS2}}$） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PX6MD[1:0]	0/1（注）	R/W	PTX6 モード 00: その他の機能（A6、SIM_D） 01:ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PX5MD[1:0]	0/1（注）	R/W	PTX5 モード 00:その他の機能（A5、SIM_CLK） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
9、8	PX4MD[1:0]	0/1（注）	R/W	PTX4 モード 00: その他の機能（A4、SIM_RST） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PX3MD[1:0]	0/1（注）	R/W	PTX3 モード 00: その他の機能（A3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PX2MD[1:0]	0/1（注）	R/W	PTX2 モード 00: その他の機能（A2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PX1MD[1:0]	0/1（注）	R/W	PTX1 モード 00: その他の機能（A1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PX0MD[1:0]	0/1（注）	R/W	PTX0 モード 00: その他の機能（A0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注.　PX7MD1～PX0MD1 及びPX7MD0～PX0MD0 ビットの初期値は、MD6 端子の設定により異なります。MD6＝L のとき0、MD6＝H のとき1になります。

41.2.24 ポートY コントロールレジスタ（PYCR）

PYCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PY7MD[1:0]		PY6MD[1:0]		PY5MD[1:0]		PY4MD[1:0]		PY3MD[1:0]		PY2MD[1:0]		PY1MD[1:0]		PY0MD[1:0]	
初期値：	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)	0/1 (注)
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PY7MD[1:0]	0/1（注）	R/W	PTY7 モード 00: その他の機能（D7） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PY6MD[1:0]	0/1（注）	R/W	PTY6 モード 00: その他の機能（D6） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PY5MD[1:0]	0/1（注）	R/W	PTY5 モード 00: その他の機能（D5） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PY4MD[1:0]	0/1（注）	R/W	PTY4 モード 00: その他の機能（D4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PY3MD[1:0]	0/1（注）	R/W	PTY3 モード 00: その他の機能（D3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
5、4	PY2MD[1:0]	0/1（注）	R/W	PTY2 モード 00: その他の機能（D2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PY1MD[1:0]	0/1（注）	R/W	PTY1 モード 00: その他の機能（D1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
1、0	PY0MD[1:0]	0/1（注）	R/W	PTY0 モード 00: その他の機能（D0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

注.　PY7MD1～PY0MD1 及びPY7MD0～PY0MD0 ビットの初期値は、MD6 端子の設定により異なります。MD6＝L のとき0、MD6＝H のとき1 になります。

41.2.25 ポートZ コントロールレジスタ（PZCR）

PZCR は、読み出し／書き込み可能な16 ビットのレジスタで、端子機能を選択します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PZ7MD[1:0]		PZ6MD[1:0]		PZ5MD[1:0]		PZ4MD[1:0]		PZ3MD[1:0]		PZ2MD[1:0]		PZ1MD[1:0]		PZ0MD[1:0]	
初期値：	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PZ7MD[1:0]	10	R/W	PTZ7 モード 00: その他の機能（MMCDAT7） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
13、12	PZ6MD[1:0]	10	R/W	PTZ6 モード 00: その他の機能（MMCDAT6） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
11、10	PZ5MD[1:0]	10	R/W	PTZ5 モード 00: その他の機能（MMCDAT5） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
9、8	PZ4MD[1:0]	10	R/W	PTZ4 モード 00: その他の機能（MMCDAT4） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
7、6	PZ3MD[1:0]	10	R/W	PTZ3 モード 00: その他の機能（MMCDAT3） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

ビット	ビット名	初期値	R/W	説 明
5、4	PZ2MD[1:0]	10	R/W	PTZ2 モード 00: その他の機能（MMCDAT2） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
3、2	PZ1MD[1:0]	10	R/W	PTZ1 モード 00: その他の機能（MMCDAT1） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）
1、0	PZ0MD[1:0]	10	R/W	PTZ0 モード 00: その他の機能（MMCDAT0） 01: ポート出力 10: ポート入力（プルアップMOS：オフ） 11: ポート入力（プルアップMOS：オン）

41.2.26 ポートA データレジスタ（PADR）

PADR は、読み出し／書き込み可能な8 ビットのレジスタでポートA のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	PA7DT～ PA0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.27 ポートB データレジスタ（PBDR）

PBDR は、読み出し／書き込み可能な8 ビットのレジスタでポートB のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PB7DT～ PB0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.28 ポートC データレジスタ（PCDR）

PCDR は、読み出し／書き込み可能な8 ビットのレジスタでポートC のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PC7DT ～ PC0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.29 ポートD データレジスタ（PDDR）

PDDR は、読み出し／書き込み可能な8 ビットのレジスタでポートD のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PD7DT ～ PD0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.30 ポートE データレジスタ（PEDR）

PEDR は、読み出し／書き込み可能な8 ビットのレジスタでポートE のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～0	PE7DT ～ PE0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.31 ポートF データレジスタ（PFDR）

PFDR は、読み出し／書き込み可能な8 ビットのレジスタでポートF のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PF7DT ～ PF0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.32 ポートG データレジスタ（PGDR）

PGDR は、読み出し／書き込み可能な8 ビットのレジスタでポートG のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7～0	PG7DT～ PG0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.33 ポートH データレジスタ（PHDR）

PHDR は、読み出し／書き込み可能な8 ビットのレジスタでポートH のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PH7DT ～ PH0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.34 ポートI データレジスタ（PIDR）

PIDR は、読み出し／書き込み可能な8 ビットのレジスタでポートI のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PI7DT	PI6DT	PI5DT	PI4DT	PI3DT	PI2DT	PI1DT	PI0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PI7DT ～ PI0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.35 ポートJ データレジスタ（PJDR）

PJDR は、読み出し／書き込み可能な8 ビットのレジスタでポートJ のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	—	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT
初期値：	0	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6 ～0	PJ6DT ～ PJ0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.36 ポートK データレジスタ（PKDR）

PKDR は、読み出し／書き込み可能な8 ビットのレジスタでポートK のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PK7DT ～ PK0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.37 ポートL データレジスタ（PLDR）

PLDR は、読み出し／書き込み可能な8 ビットのレジスタでポートL のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	—	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	PL1DT	PL0DT
初期値：	0	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6 ～ 0	PL6DT ～ PL0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.38 ポートM データレジスタ（PMDR）

PMDR は、読み出し／書き込み可能な8 ビットのレジスタでポートM のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PM7DT	PM6DT	PM5DT	PM4DT	PM3DT	PM2DT	PM1DT	PM0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～0	PM7DT～ PM0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。 PTM3～PTM0端子はオープンドレインポートのため、これらのポートから“H” レベルを出力する場合には、外部プルアップ抵抗が必要です。

41.2.39 ポートN データレジスタ（PNDR）

PNDR は、読み出し／書き込み可能な8 ビットのレジスタでポートN のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	—	PN6DT	PN5DT	PN4DT	PN3DT	PN2DT	PN1DT	PN0DT
初期値：	0	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6 ～ 0	PN7DT ～ PN0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.40 ポートO データレジスタ（PODR）

PODR は、読み出し／書き込み可能な8 ビットのレジスタでポートO のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PO7DT	PO6DT	PO5DT	PO4DT	PO3DT	PO2DT	PO1DT	PO0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PO7DT ～ PO0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.41 ポートP データレジスタ（PPDR）

PPDR は、読み出し可能な8 ビットのレジスタでポートP のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PP7DT	PP6DT	PP5DT	PP4DT	PP3DT	PP2DT	PP1DT	PP0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7 ～0	PP7DT ～ PP0DT	端子状態	R	本レジスタを読み出すと、対応する端子の状態が読み出せます。

41.2.42 ポートQ データレジスタ（PQDR）

PQDR は、読み出し／書き込み可能な8 ビットのレジスタでポートQ のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	—	PQ6DT	PQ5DT	PQ4DT	PQ3DT	PQ2DT	PQ1DT	PQ0DT
初期値：	0	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6 ～ 0	PQ6DT ～ PQ0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.43 ポートR データレジスタ（PRDR）

PRDR は、読み出し／書き込み可能な8 ビットのレジスタでポートR のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PR7DT	PR6DT	PR5DT	PR4DT	PR3DT	PR2DT	PR1DT	PR0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PR7DT ～ PR0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。 ポートRはオープンドレインポートのため、これらのポートから“H”レベルを出力する場合には、外部プルアップ抵抗が必要です

41.2.44 ポートS データレジスタ（PSDR）

PSDR は、読み出し／書き込み可能な8 ビットのレジスタでポートS のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PS7DT	PS6DT	PS5DT	PS4DT	PS3DT	PS2DT	PS1DT	PS0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PS7DT ～ PS0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。 ポートSはオープンドレインポートのため、これらのポートから“H”レベルを出力する場合には、外部プルアップ抵抗が必要です。

41.2.45 ポートT データレジスタ（PTDR）

PTDR は、読み出し／書き込み可能な8 ビットのレジスタでポートT のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PT7DT	PT6DT	PT5DT	PT4DT	PT3DT	PT2DT	PT1DT	PT0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PT7DT～ PT0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.46 ポートU データレジスタ（PUDR）

PUDR は、読み出し／書き込み可能な8 ビットのレジスタでポートU のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PU7DT	PU6DT	PU5DT	PU4DT	PU3DT	PU2DT	PU1DT	PU0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PU7DT ～ PU0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.47 ポートV データレジスタ（PVDR）

PVDR は、読み出し／書き込み可能な8 ビットのレジスタでポートV のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PV7DT	PV6DT	PV5DT	PV4DT	PV3DT	PV2DT	PV1DT	PV0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PV7DT ～ PV0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.48 ポートW データレジスタ（PWDR）

PWDR は、読み出し／書き込み可能な8 ビットのレジスタでポートW のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PW7DT	PW6DT	PW5DT	PW4DT	PW3DT	PW2DT	PW1DT	PW0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～0	PW7DT ～ PW0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.49 ポートX データレジスタ（PXDR）

PXDR は、読み出し／書き込み可能な8 ビットのレジスタでポートX のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PX7DT	PX6DT	PX5DT	PX4DT	PX3DT	PX2DT	PX1DT	PX0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PX7DT ～ PX0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.50 ポートY データレジスタ（PYDR）

PYDR は、読み出し／書き込み可能な8 ビットのレジスタでポートY のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PY7DT	PY6DT	PY5DT	PY4DT	PY3DT	PY2DT	PY1DT	PY0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PY7DT ～ PY0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.51 ポートZ データレジスタ（PZDR）

PZDR は、読み出し／書き込み可能な8 ビットのレジスタでポートZ のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PZ7DT	PZ6DT	PZ5DT	PZ4DT	PZ3DT	PZ2DT	PZ1DT	PZ0DT
初期値：	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態	端子状態
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7 ～ 0	PZ7DT～ PZ0DT	端子状態	R/W	■端子機能が汎用出力ポート又はその他の機能の出力端子の場合 本レジスタに書いた値が対応する端子から出力されます。 本レジスタを読み出すと、書いた値が読み出せます。 ■端子機能が汎用入力ポート又はその他の機能の入力端子の場合 本レジスタを読み出すと、対応する端子の状態が読み出せます。 本レジスタに値を書き込んでも反映されません。

41.2.52 ピンセレクトレジスタ0（PSEL0）

PSEL0 は、読み出し／書き込み可能な16 ビットのレジスタで、ポートB（PTB）、ポートC（PTC）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL0 を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PB0SEL	PC7SEL	PC6SEL	PC5SEL	PC4SEL	PC3SEL	PC2SEL	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
15 ～ 9	—	0	R/W	リザーブビット
8	PB0SEL	0	R/W	ポートB（PTB0）の機能を選択します。 1：TCLK機能を選択 (注)
7	PC7SEL	0	R/W	ポートC（PTC7）の機能を選択します。 0：IRQ7/$\overline{\text{IRL7}}$ 機能を選択 1：PWMU0 機能を選択
6	PC6SEL	0	R/W	ポートC（PTC6）の機能を選択します。 0：IRQ6/$\overline{\text{IRL6}}$ 機能を選択 1：PWMU1 機能を選択
5	PC5SEL	0	R/W	ポートC（PTC5）の機能を選択します。 0: IRQ5/$\overline{\text{IRL5}}$ 機能を選択 1: PWMU2 機能を選択
4	PC4SEL	0	R/W	ポートC（PTC4）の機能を選択します。 0: IRQ4/$\overline{\text{IRL4}}$ 機能を選択 1: PWMU3 機能を選択

ビット	ビット名	初期値	R/W	説 明
3	PC3SEL	0	R/W	ポートC（PTC3）の機能を選択します。 0: IRQ3/IRL3 機能を選択 1: PWMU4 機能を選択
2	PC2SEL	0	R/W	ポートC（PTC2）の機能を選択します。 0: IRQ2/IRL2 機能を選択 1: PWMU5 機能を選択
1、0	—	0	—	リザーブビット

注．　TCLK端子選択（PB0MD[1:0]＝00）時は、“1”にしてください。
（TCLK端子を選択しない場合（PB0MD[1:0]＝01又は10）は、“0”でも“1”でも良い）

41.2.53　ピンセレクトレジスタ1（PSEL1）

PSEL1は、読み出し／書き込み可能な16ビットのレジスタで、ポートD（PTD）、ポートF（PTF）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL1を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PD2SEL	PD1SEL	PD0SEL	—	—	—	—	—	PF2SEL	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W	—	—	—	—	—	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
15 ～ 11	—	0	—	リザーブビット
10	PD2SEL	0	R/W	ポートD（PTD2）の機能を選択します。 0: SP0-SS1 機能を選択 1: DREQ0 機能を選択
9	PD1SEL	0	R/W	ポートD（PTD1）の機能を選択します。 0: SP0-SS2 機能を選択 1: DACK0 機能を選択
8	PD0SEL	0	R/W	ポートD（PTD0）の機能を選択します。 0: SP0-SS3 機能を選択 1: TEND0 機能を選択
7 ～3	—	0	—	リザーブビット
2	PF2SEL	0	R/W	ポートF（PTF2）の機能を選択します。 0: RMII1-RXD1 機能を選択 1: RAC-RI/RI0 機能を選択
1、0	—	0	—	リザーブビット

41.2.54 ピンセレクトレジスタ2（PSEL2）

PSEL2は、読み出し／書き込み可能な16ビットのレジスタで、ポートG（PTG）、ポートH（PTH）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL2を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PG5SEL	PG4SEL	—	—	—	—	PH7SEL	PH6SEL	PH5SEL	PH4SEL	—	PH2SEL	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W	—	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
15、14	—	0	—	リザーブビット
13	PG5SEL	0	R/W	ポートG（PTG5）の機能を選択します。 0: A25 機能を選択 1: MMCCLK 機能を選択
12	PG4SEL	0	R/W	ポートG（PTG4）の機能を選択します。 0: A24 機能を選択 1: MMCCMD 機能を選択
11 ～8	—	0	—	リザーブビット
7	PH7SEL	0	R/W	ポートH（PTH7）の機能を選択します。 0: SP1-MOSI 機能を選択 1: $\overline{\text{TEND1}}$ 機能を選択
6	PH6SEL	0	R/W	ポートH（PTH6）の機能を選択します。 0: SP1-MISO 機能を選択 1: $\overline{\text{DREQ1}}$ 機能を選択
5	PH5SEL	0	R/W	ポートH（PTH5）の機能を選択します。 0: SP1-SCK 機能を選択 1: $\overline{\text{DACK1}}$ 機能を選択
4	PH4SEL	0	R/W	ポートH（PTH4）の機能を選択します。 0: SP1-SCK_FB 機能を選択 1: $\overline{\text{ADTRG1}}$ 機能を選択
3	—	0	—	リザーブビット
2	PH2SEL	0	R/W	ポートH（PTH2）の機能を選択します。 0: $\overline{\text{SP1-SS1}}$ 機能を選択 1: $\overline{\text{ADTRG0}}$ 機能を選択
1、0	—	0	—	リザーブビット

41.2.55 ピンセレクトレジスタ3（PSEL3）

PSEL3は、読み出し／書き込み可能な16ビットのレジスタで、ポートI（PTI）、ポートK（PTK）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL3を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PI7SEL	PI6SEL	PI5SEL	PI4SEL	PI3SEL	PI2SEL	PI1SEL	PI0SEL	PK7SEL	—	—	—	—	PK2SEL	PK1SEL	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—	R/W	R/W	—

ビット	ビット名	初期値	R/W	説 明
15	PI7SEL	0	R/W	ポートI（PTI7）の機能を選択します。 0: D15 機能を選択 1: SDWP 機能を選択
14	PI6SEL	0	R/W	ポートI（PTI6）の機能を選択します。 0: D14 機能を選択 1: SDCD 機能を選択
13	PI5SEL	0	R/W	ポートI（PTI5）の機能を選択します。 0: D13 機能を選択 1: SDCLK 機能を選択
12	PI4SEL	0	R/W	ポートI（PTI4）の機能を選択します。 0: D12 機能を選択 1: SDCMD 機能を選択
11	PI3SEL	0	R/W	ポートI（PTI3）の機能を選択します。 0: D11 機能を選択 1: SDDAT3 機能を選択
10	PI2SEL	0	R/W	ポートI（PTI2）の機能を選択します。 0: D10 機能を選択 1: SDDAT2 機能を選択
9	PI1SEL	0	R/W	ポートI（PTI1）の機能を選択します。 0: D9 機能を選択 1: SDDAT1 機能を選択
8	PI0SEL	0	R/W	ポートI（PTI0）の機能を選択します。 0: D8 機能を選択 1: SDDAT0 機能を選択
7	PK7SEL	0	R/W	ポートK（PTK7）の機能を選択します。 0: COM2-TXD/TXD1 機能を選択 1: SCK2 機能を選択
6 ～ 3	—	0	—	リザーブビット
2	PK2SEL	0	R/W	ポートK（PTK2）の機能を選択します。 0: $\overline{\text{COM2-DSR}}$/$\overline{\text{DSR1}}$ 機能を選択 1: SCK4 機能を選択

ビット	ビット名	初期値	R/W	説 明
1	PK1SEL	0	R/W	ポートK（PTK1）の機能を選択します。 0: $\overline{\text{COM2-DCD}}$/$\overline{\text{DCD1}}$ 機能を選択 1: SCK3 機能を選択
0	—	0	—	リザーブビット

41.2.56 ピンセレクトレジスタ4（PSEL4）

PSEL4は、読み出し／書き込み可能な16ビットのレジスタで、ポートL（PTL）、ポートN（PTN）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL4を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PL6SEL	PL5SEL	PL4SEL	—	PL2SEL	PL1SEL	PL0SEL	—	—	—	PN4SEL	PN3SEL	PN2SEL	PN1SEL	PN0SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	—	0	—	リザーブビット
14	PL6SEL	0	R/W	ポートL（PTL6）の機能を選択します。 0: RAC-RXD/RXD0 機能を選択 1: RXD2 機能を選択
13	PL5SEL	0	R/W	ポートL（PTL5）の機能を選択します。 0: RAC-$\overline{\text{RTS}}$/$\overline{\text{RTS0}}$ 機能を選択 1: $\overline{\text{CS5}}$ 機能を選択
12	PL4SEL	0	R/W	ポートL（PTL4）の機能を選択します。 0: RAC-$\overline{\text{CTS}}$/$\overline{\text{CTS0}}$ 機能を選択 1: $\overline{\text{CS6}}$ 機能を選択
11	—	0	—	リザーブビット
10	PL2SEL	0	R/W	ポートL（PTL2）の機能を選択します。(注) 0: RAC-$\overline{\text{DSR}}$/$\overline{\text{DSR0}}$ 機能を選択 1: AUDSYNC 機能を選択
9	PL1SEL	0	R/W	ポートL（PTL1）の機能を選択します。(注) 0: RAC-$\overline{\text{DCD}}$/$\overline{\text{DCD0}}$ 機能を選択 1: AUDCK 機能を選択
8	PL0SEL	0	R/W	ポートL（PTL0）の機能を選択します。 0: RAC-TXD/TXD0 機能を選択 1: TXD2 機能を選択
7～5	—	0	—	リザーブビット
4	PN4SEL	0	R/W	ポートN（PTN4）の機能を選択します。 0: 選択禁止 1: SGPIO1-CLK 機能を選択

ビット	ビット名	初期値	R/W	説 明
3	PN3SEL	0	R/W	ポートN（PTN3）の機能を選択します。 0: 選択禁止 1: SGPIO1-LOAD 機能を選択
2	PN2SEL	0	R/W	ポートN（PTN2）の機能を選択します。 0: 選択禁止 1: SGPIO1-DO 機能を選択
1	PN1SEL	0	R/W	ポートN（PTN1）の機能を選択します。 0: 選択禁止 1: SGPIO1-DI 機能を選択
0	PN0SEL	0	R/W	ポートN（PTN0）の機能を選択します。 0: 選択禁止 1: SUB-CLKIN 機能を選択

注. E10Aエミュレータのトレース機能を有効にすると、ビットの設定にかかわらず、これらのポートは強制的にAUDポートとなります。

41.2.57 ピンセレクトレジスタ5（PSEL5）

PSEL5は、読み出し／書き込み可能な16ビットのレジスタで、ポートO（PTO）、ポートT（PTT）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL5を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PO3SEL	PO2SEL	PO1SEL	PO0SEL	PT7SEL	PT6SEL	PT5SEL	PT4SEL	PT3SEL	PT2SEL	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説 明
15～12	—	0	—	リザーブビット
11	PO3SEL	0	R/W	ポートO（PTO3）の機能を選択します。 0: SGPIO2-CLK 機能を選択 1: COM1-TXD 機能を選択
10	PO2SEL	0	R/W	ポートO（PTO2）の機能を選択します。 0: SGPIO2-LOAD 機能を選択 1: COM1-RXD 機能を選択
9	PO1SEL	0	R/W	ポートO（PTO1）の機能を選択します。 0: SGPIO2-DI 機能を選択 1: $\overline{\text{COM1-RTS}}$ 機能を選択
8	PO0SEL	0	R/W	ポートO（PTO0）の機能を選択します。 0: SGPIO2-DO 機能を選択 1: $\overline{\text{COM1-CTS}}$ 機能を選択
7	PT7SEL	0	R/W	ポートT（PTT7）の機能を選択します。（注） 0: PWMX7 機能を選択 1: AUDATA3 機能を選択
6	PT6SEL	0	R/W	ポートT（PTT6）の機能を選択します。（注） 0: PWMX6 機能を選択 1: AUDATA2 機能を選択
5	PT5SEL	0	R/W	ポートT（PTT5）の機能を選択します。（注） 0: PWMX5 機能を選択 1: AUDATA1 機能を選択
4	PT4SEL	0	R/W	ポートT（PTT4）の機能を選択します。（注） 0: PWMX4 機能を選択 1: AUDATA0 機能を選択
3	PT3SEL	0	R/W	ポートT（PTT3）の機能を選択します。 0: PWMX3 機能を選択 1: STATUS1 機能を選択
2	PT2SEL	0	R/W	ポートT（PTT2）の機能を選択します。 0: PWMX2 機能を選択 1: STATUS0 機能を選択

ビット	ビット名	初期値	R/W	説 明
1、0	—	0	—	リザーブビット

注. E10Aエミュレータのトレース機能を有効にすると、ビットの設定にかかわらず、これらのポートは強制的にAUDポートとなります。

41.2.58 ピンセレクトレジスタ6（PSEL6）

PSEL6は、読み出し／書き込み可能な16ビットのレジスタで、ポートV（PTV）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL6を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PV7SEL	PV6SEL	PV5SEL	PV4SEL	PV3SEL	PV2SEL	PV1SEL	PV0SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15～8	—	0	—	リザーブビット
7	PV7SEL	0	R/W	ポートV（PTV7）の機能を選択します。 0: A23 機能を選択 1: $\overline{\text{COM2-RI}}$/$\overline{\text{RI1}}$ 機能を選択
6	PV6SEL	0	R/W	ポートV（PTV6）の機能を選択します。 0: A22 機能を選択 1: RSPI-MOSI 機能を選択
5	PV5SEL	0	R/W	ポートV（PTV5）の機能を選択します。 0: A21 機能を選択 1: RSPI-MISO機能を選択
4	PV4SEL	0	R/W	ポートV（PTV4）の機能を選択します。 0: A20 機能を選択 1: RSPI-RSPCK機能を選択
3	PV3SEL	0	R/W	ポートV（PTV3）の機能を選択します。 0: A19 機能を選択 1: $\overline{\text{RSPI-SSL0}}$機能を選択
2	PV2SEL	0	R/W	ポートV（PTV2）の機能を選択します。 0: A18 機能を選択 1: $\overline{\text{RSPI-SSL1}}$ 機能を選択
1	PV1SEL	0	R/W	ポートV（PTV1）の機能を選択します。 0: A17 機能を選択 1: EVENT7 機能を選択
0	PV0SEL	0	R/W	ポートV（PTV0）の機能を選択します。 0: A16 機能を選択 1: EVENT6 機能を選択

41.2.59 ピンセレクトレジスタ7（PSEL7）

PSEL7は、読み出し／書き込み可能な16ビットのレジスタで、ポートW（PTW）、ポートX（PTX）の「その他の機能」とマルチプレクスしている端子の機能を選択します。

「その他の機能」を使用する場合、PSEL7を設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PW7SEL	PW6SEL	PW5SEL	PW4SEL	PW3SEL	PW2SEL	PW1SEL	PW0SEL	PX7SEL	PX6SEL	PX5SEL	PX4SEL	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
15	PW7SEL	0	R/W	ポートW（PTW7）の機能を選択します。 0: A15 機能を選択 1: EVENT5 機能を選択
14	PW6SEL	0	R/W	ポートW（PTW6）の機能を選択します。 0: A14 機能を選択 1: EVENT4 機能を選択
13	PW5SEL	0	R/W	ポートW（PTW5）の機能を選択します。 0: A13 機能を選択 1: EVENT3 機能を選択
12	PW4SEL	0	R/W	ポートW（PTW4）の機能を選択します。 0: A12 機能を選択 1: EVENT2 機能を選択
11	PW3SEL	0	R/W	ポートW（PTW3）の機能を選択します。 0: A11 機能を選択 1: EVENT1 機能を選択
10	PW2SEL	0	R/W	ポートW（PTW2）の機能を選択します。 0: A10 機能を選択 1: EVENT0 機能を選択
9	PW1SEL	0	R/W	ポートW（PTW1）の機能を選択します。 0: A9 機能を選択 1: $\overline{\text{CTS4}}$ 機能を選択
8	PW0SEL	0	R/W	ポートW（PTW0）の機能を選択します。 0: A8 機能を選択 1: $\overline{\text{CTS2}}$ 機能を選択
7	PX7SEL	0	R/W	ポートX（PTX7）の機能を選択します。 0: A7 機能を選択 1: $\overline{\text{RTS2}}$ 機能を選択
6	PX6SEL	0	R/W	ポートX（PTX6）の機能を選択します。 0: A6 機能を選択 1: SIM_D 機能を選択

ビット	ビット名	初期値	R/W	説 明
5	PX5SEL	0	R/W	ポートX（PTX5）の機能を選択します。 0: A5 機能を選択 1: SIM_CLK 機能を選択
4	PX4SEL	0	R/W	ポートX（PTX4）の機能を選択します。 0: A4 機能を選択 1: SIM_RST 機能を選択
3 ～ 0	—	0	—	リザーブビット

41.2.60 ノイズキャンセライネーブルレジスタ（NCER）

NCER は、読み出し／書き込み可能な16 ビットのレジスタで、ポートB（PTB）、ポートC（PTC）のノイズキャンセル回路の有効／無効をビットごとに制御します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7NCE	PB6NCE	PB5NCE	PB4NCE	PB3NCE	PB2NCE	PB1NCE	PB0NCE	PC7NCE	PC6NCE	PC5NCE	PC4NCE	PC3NCE	PC2NCE	PC1NCE	PC0NCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 8	PB7NCE ～ PB0NCE	すべて0	R/W	ノイズキャンセル回路をイネーブルにして、NCCSR で設定したサンプリング周波数で端子状態をPBDR に取り込みます。 0：ノイズキャンセル回路無効 1：ノイズキャンセル回路有効
7 ～ 0	PC7NCE ～ PC0NCE	すべて0	R/W	ノイズキャンセル回路をイネーブルにして、NCCSR で設定したサンプリング周波数で端子状態をPCDR に取り込みます。 0：ノイズキャンセル回路無効 1：ノイズキャンセル回路有効

41.2.61 ノイズキャンセラモードコントロールレジスタ（NCMCR）

NCMCR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B（PTB）、ポート C（PTC）の入力信号で 1 期待か 0 期待かをビットごとに設定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7NCMC	PB6NCMC	PB5NCMC	PB4NCMC	PB3NCMC	PB2NCMC	PB1NCMC	PB0NCMC	PC7NCMC	PC6NCMC	PC5NCMC	PC4NCMC	PC3NCMC	PC2NCMC	PC1NCMC	PC0NCMC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 8	PB7NCMC ～ PB0NCMC	すべて 0	R/W	ノイズキャンセル回路の動作モードを選択します。 0：0 が安定して端子に入力されている時に PBDR に 0 が格納されます。 1：1 が安定して端子に入力されている時に PBDR に 1 が格納されます。
7 ～ 0	PC7NCMC ～ PC0NCMC	すべて 0	R/W	ノイズキャンセル回路の動作モードを選択します。 0：0 が安定して端子に入力されている時に PCDR に 0 が格納されます。 1：1 が安定して端子に入力されている時に PCDR に 1 が格納されます。

41.2.62 ノイズキャンセラ周期設定レジスタ（NCCSR）

NCCSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B（PTB）、ポート C（PTC）のノイズキャンセル回路のサンプリング周期を設定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	PBNCCK[2:0]			—	—	—	—	—	PCNCCK[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W	—	—	—	—	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～ 11	—	0	—	リザーブビット
10 ～ 8	PBNCCK2 ～ PBNCCK0	000	R/W	ポート B のノイズキャンセル回路のサンプリング周期を設定します Pck = 48 MHz 000 ：0.04 us　Pck/2 001 ：0.67 us　Pck/32 010 ：10.7 us　Pck/512 011 ：170.7 us　Pck/8192 100 ：682.7 us　Pck/32768 101 ：1.4 ms　Pck/65536 110 ：2.7 ms　Pck/131072 111 ：5.5 ms　Pck/262144
7 ～ 3	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説 明
2 ～ 0	PCNCCK2 ～ PCNCCK0	000	R/W	ポートC のノイズキャンセル回路のサンプリング周期を設定します Pck = 48 MHz 000 ：0.04 us Pck/2 001 ：0.67 us Pck/32 010 ：10.7 us Pck/512 011 ：170.7 us Pck/8192 100 ：682.7 us Pck/32768 101 ：1.4 ms Pck/65536 110 ： 2.7 ms Pck/131072 111 ： 5.5 ms Pck/262144

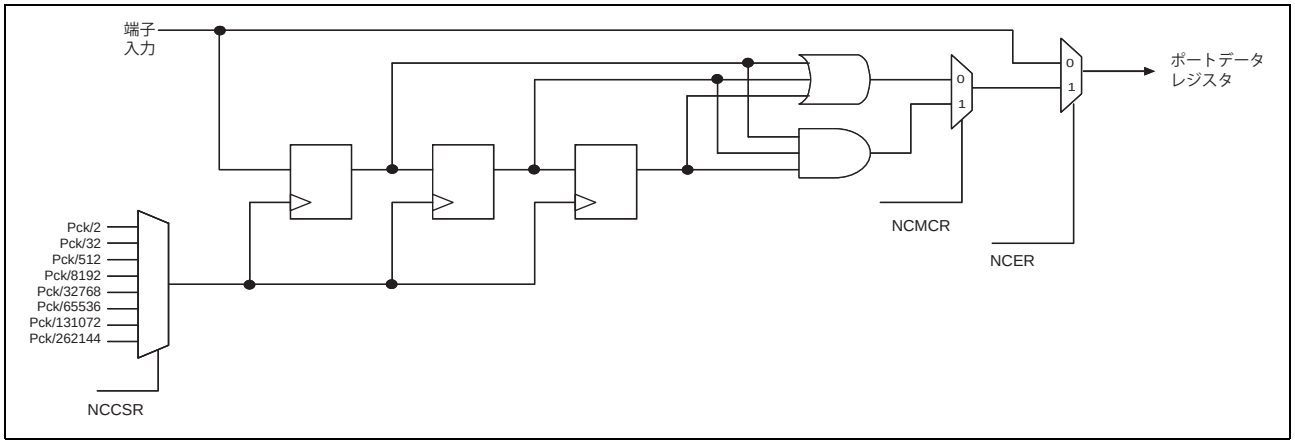


図 41.1　ノイズキャンセル回路

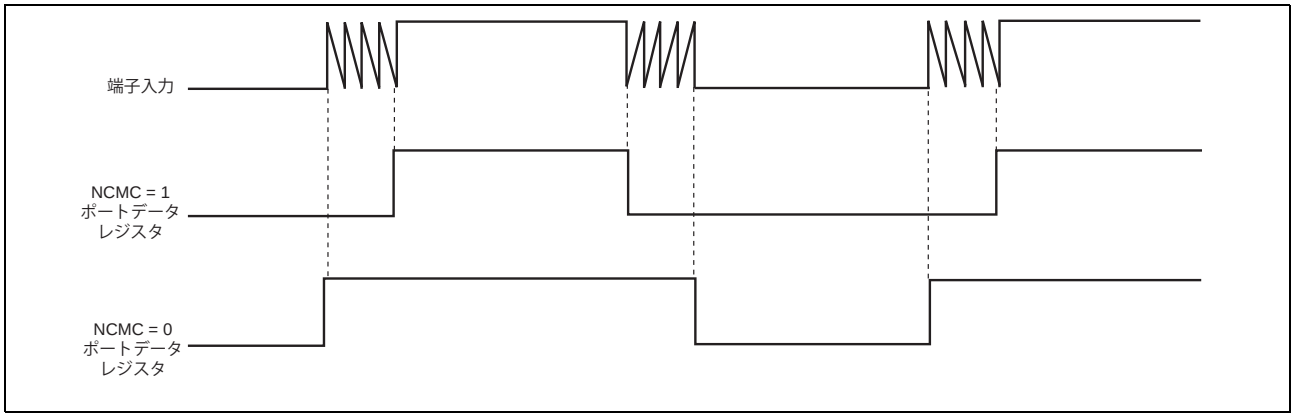


図 41.2　ノイズキャンセル回路動作概念図

41.3　設定手順例

汎用入出力ポート（GPIO）の設定手順例を示します。

41.3.1　ポート出力機能

ポート出力機能の設定は、ポートコントロールレジスタ（PACR～POCR、PQCR～PZCR）の該当する2ビットにB'01を書き込んでください。ポートデータレジスタ（PADR～PODR、PQDR～PZDR）の該当するビットの値を端子に出力します。

41.3.2　ポート入力機能

ポート入力機能の設定は、ポートコントロールレジスタ（PACR～PZCR）の該当する2ビットにプルアップMOSを使用しない場合はB'10を、使用する場合はB'11を書き込んでください。ポートデータレジスタ（PADR～PZDR）の該当するビットから端子に入力している値が読み出せます。

また、「その他の機能」の入力端子に設定した端子に対しても、ポートデータレジスタ（PADR～PZDR）の該当するビットから端子状態が読み出せます。

41.3.3　周辺モジュール機能

周辺モジュール機能の設定は、まずピンセレクトレジスタ（PSEL0～PSEL8）で使用するモジュールを選択してください。

最後に、ポートコントロールレジスタ（PACR～PZDR）の該当する2ビットにB'00を書き込んでください。

41.3.4　AUD モジュール機能

E10Aエミュレータのトレース機能を有効にすると、ピンセレクトレジスタ(PSEL4、PSEL5)の設定、ポートコントロールレジスタ(PLCR、PTCR)の設定にかかわらず、以下のポートは強制的にAUDポートとなります。

AUDSYNC(PTL2)、AUDCK(PTL1)、AUDATA3(PTT7)、AUDATA2(PTT6)、AUDATA1(PTT5)、AUDATA0(PTT4)

42. ユーザブレークコントローラ（UBC）

ユーザブレークコントローラ（UBC）は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても、本LSI単体で手軽にプログラムをデバッグできます。UBCに設定できるブレーク条件には、命令フェッチ又はオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、及び命令フェッチのときの停止タイミングがあります。

42.1 特長

(1) ブレークチャネル数：2チャネル（チャネル0と1）
ユーザブレークは、チャネル0、1独立に、又は連続した（シーケンシャル）一つの条件として設定することができます（シーケンシャルブレーク設定：チャネル0のブレーク条件が一致した後チャネル1のブレーク条件の一致が発生、又はチャネル1のブレーク条件が一致した後チャネル0のブレーク条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき）。
以下のようなブレーク比較条件を設定できます。

- アドレス
  ASIDとアドレス32ビットから構成された40ビットの比較において、ASIDは全ビット比較又は全ビットマスクのいずれかを選択できます。
  アドレス32ビットの比較はビットごとにマスク可能で、ユーザは下位12ビット（4Kバイトページ）、下位10ビット（1Kバイトページ）、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ
  チャネル1のみ、32ビットマスク可能。

- バスサイクル
  命令フェッチでのブレーク（PCブレーク）又はオペランドアクセスでのブレーク

- 読み出し又は書き込み

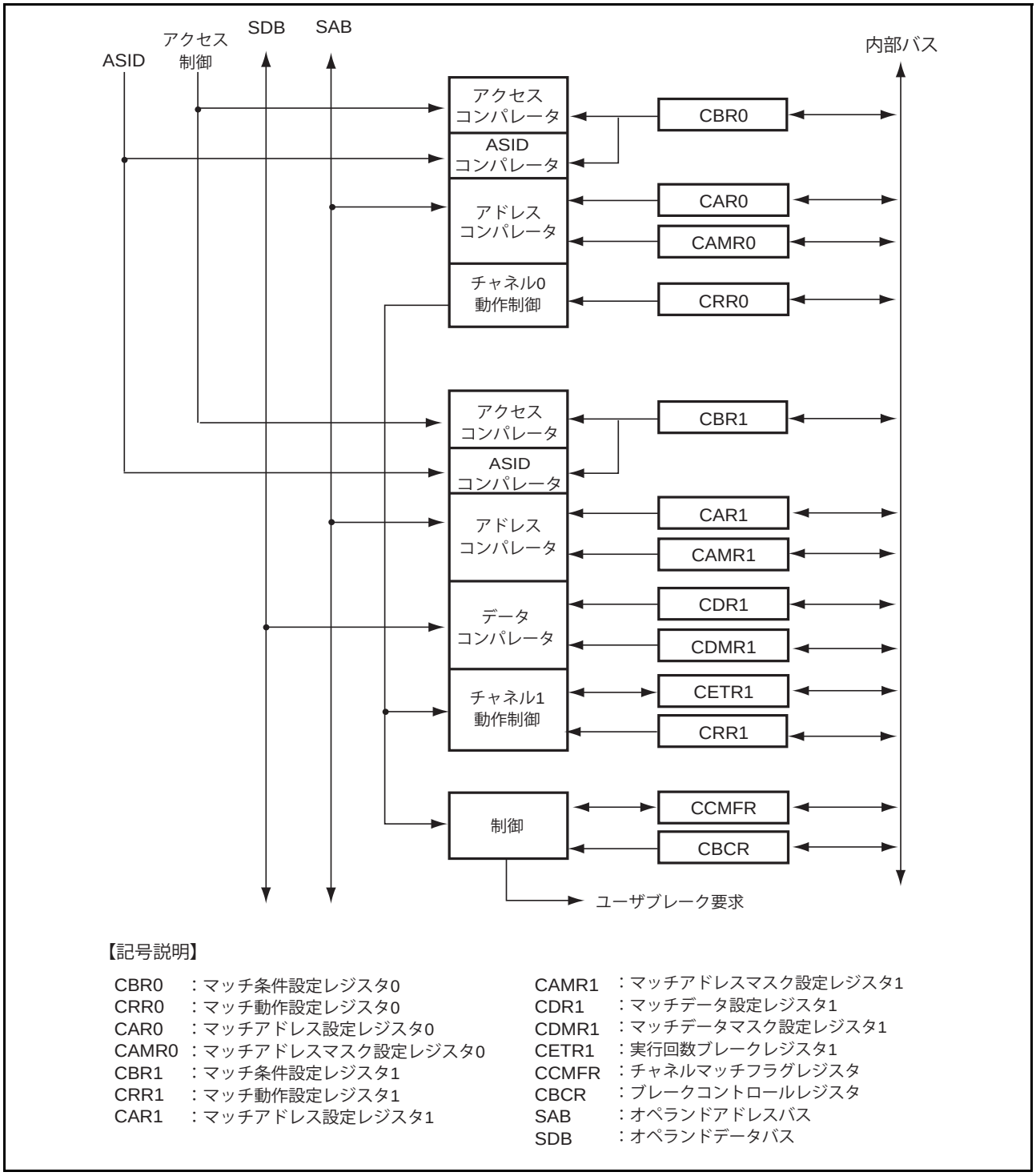
- オペランドサイズ
  バイト、ワード、及びロングワードをサポート

(2) ユーザ指定のユーザブレーク条件例外処理ルーチンを実行可能。

(3) PCブレークにおいて、ブレークを命令の実行の前に設定するか、後に設定するかを指定可能。

(4) ブレーク条件（チャネル1に対してのみ）として、最大$2^{12}-1$回まで繰り返し回数を指定可能。

図42.1 にUBC のブロック図を示します。



【記号説明】

CBR0	：マッチ条件設定レジスタ0	CAMR1	：マッチアドレスマスク設定レジスタ1
CRR0	：マッチ動作設定レジスタ0	CDR1	：マッチデータ設定レジスタ1
CAR0	：マッチアドレス設定レジスタ0	CDMR1	：マッチデータマスク設定レジスタ1
CAMR0	：マッチアドレスマスク設定レジスタ0	CETR1	：実行回数ブレークレジスタ1
CBR1	：マッチ条件設定レジスタ1	CCMFR	：チャネルマッチフラグレジスタ
CRR1	：マッチ動作設定レジスタ1	CBCR	：ブレークコントロールレジスタ
CAR1	：マッチアドレス設定レジスタ1	SAB	：オペランドアドレスバス
		SDB	：オペランドデータバス

図 42.1　UBC のブロック図

42.2　レジスタの説明

UBC のレジスタ構成を表42.1 に示します。

指定されたビット幅でレジスタにアクセスしてください。指定されたビット幅以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表42.1　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
マッチ条件設定レジスタ0	CBR0	R/W	H'FF20 0000	32	H'2000 0000	保持
マッチ動作設定レジスタ0	CRR0	R/W	H'FF20 0004	32	H'0000 2000	保持
マッチアドレス設定レジスタ0	CAR0	R/W	H'FF20 0008	32	H'XXX XXXX	保持
マッチアドレスマスク設定レジスタ0	CAMR0	R/W	H'FF20 000C	32	H'XXX XXXX	保持
マッチ条件設定レジスタ1	CBR1	R/W	H'FF20 0020	32	H'2000 0000	保持
マッチ動作設定レジスタ1	CRR1	R/W	H'FF20 0024	32	H'0000 2000	保持
マッチアドレス設定レジスタ1	CAR1	R/W	H'FF20 0028	32	H'XXX XXXX	保持
マッチアドレスマスク設定レジスタ1	CAMR1	R/W	H'FF20 002C	32	H'XXX XXXX	保持
マッチデータ設定レジスタ1	CDR1	R/W	H'FF20 0030	32	H'XXX XXXX	保持
マッチデータマスク設定レジスタ1	CDMR1	R/W	H'FF20 0034	32	H'XXX XXXX	保持
実行回数ブレークレジスタ1	CETR1	R/W	H'FF20 0038	32	H'0000 0XXX	保持
チャネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	32	H'0000 0000	保持
ブレークコントロールレジスタ	CBCR	R/W	H'FF20 0620	32	H'0000 0000	保持

上記のレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

42.2.1　マッチ条件設定レジスタ0、1（CBR0、CBR1）

CBR0、CBR1は、読み出し／書き込み可能な32ビットのレジスタであり、それぞれチャネル0、チャネル1のブレーク条件を指定します。設定可能なブレーク条件は、(1) マッチフラグの有無、(2) ASIDの有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) バスタイプ、(7) 命令フェッチ又はオペランドアクセス、(8) 読み出し又は書き込みです。

• CBR0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値：	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SZ			—	—	—	—	CD		ID		—	RW		CE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	—	—	—	—	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタのMFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が1 のとき、条件一致となります。 0：マッチフラグはマッチ条件に含まれず、チェックされない 1：マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタのAIV ビットで指定したASID を含めるかどうかを指定します。 0：ASID はマッチ条件に含まれず、チェックされない 1：マッチ条件にASID を含める
29 ～ 24	MFI	100000	R/W	マッチフラグ指定（注） マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタのMF0 ビット 000001：CCMFR レジスタのMF1 ビット 上記以外：リザーブ（設定禁止）
23 ～ 16	AIV	H’00	R/W	ASID 指定 マッチ条件とするASID 値を指定します。
15	—	0	—	リザーブビット
14 ～ 12	SZ	000	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000：オペランドサイズはマッチ条件に含まれず、チェックされない（すべてのサイズが対象となる） 001：バイトアクセスを対象とする 010：ワードアクセスを対象とする 011：ロングワードアクセスを対象とする 上記以外：リザーブ（設定禁止）

ビット	ビット名	初期値	R/W	説 明
11 ～ 8	—	0	—	リザーブビット
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする 上記以外：リザーブ（設定禁止）
5、4	ID	00	R/W	命令フェッチ／オペランドアクセスセレクト マッチ条件として、命令フェッチサイクル又はオペランドアクセスサイクルを指定します。 00：命令フェッチサイクル又はオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクル又はオペランドアクセスサイクルを対象とする
3	—	0	—	リザーブビット
2、1	RW	00	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクル又は書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクル又は書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクル又は書き込みサイクルを対象とする
0	CE	0	R/W	チャネルイネーブル チャネルを有効にするかどうかを指定します。本ビットに0 を設定した場合、他のビットの設定はすべて無効です。 0：本チャネルは無効 1：本チャネルは有効

注.　初期値はリザーブ（設定禁止）の状態になりますが、CBR0[0]に1を書き込む際に必ず000000 あるいは000001 を設定してください。
またMF0 ビット（CCRMF レジスタのビット0）が0 の状態で、本レジスタのMFE ビットを1 に、MFI ビットを000000 に設定するとチャネル0でヒットしなくなりますので注意してください。

• CBR1

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値：	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	—	—	—	CD		ID		—	RW		CE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタのMFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が1のとき、条件一致となります。 0：マッチフラグはマッチ条件に含まれず、チェックされない 1：マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタのAIV ビットで指定したASID を含めるかどうかを指定します。 0：ASID はマッチ条件に含まれず、チェックされない 1：マッチ条件にASID を含める
29～24	MFI	100000	R/W	マッチフラグ指定（注1） マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタのMF0 ビット 000001：CCMFR レジスタのMF1 ビット 上記以外：リザーブ（設定禁止）
23～16	AIV	0	R/W	ASID 指定 マッチ条件とするASID 値を指定します。
15	DBE	0	R/W	データ値イネーブル（注2） マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0：データ値はマッチ条件に含まれず、チェックされない 1：マッチ条件にデータ値を含める
14～12	SZ	0	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000：オペランドサイズはマッチ条件に含まれず、チェックされない（すべてのサイズが対象となる） 001：バイトアクセスを対象とする 010：ワードアクセスを対象とする 011：ロングワードアクセスを対象とする 上記以外：リザーブ（設定禁止）

ビット	ビット名	初期値	R/W	説 明
11	ETBE	0	R/W	実行回数値イネーブル マッチ条件に実行回数値を含めるかどうかを指定します。このビットが1の場合、マッチ条件が成立した回数がCETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0：実行回数値はマッチ条件に含まれず、チェックされない 1：マッチ条件に実行回数値を含める
10 ～ 8	—	0	—	リザーブビット
7、6	CD	0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする 上記以外：リザーブ（設定禁止）
5、4	ID	0	R/W	命令フェッチ／オペランドアクセスセレクト マッチ条件として、命令フェッチサイクル又はオペランドアクセスサイクルを指定します。 00：命令フェッチサイクル又はオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクル又はオペランドアクセスサイクルを対象とする
3	—	0	—	リザーブビット
2、1	RW	0	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクル又は書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクル又は書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクル又は書き込みサイクルを対象とする
0	CE	0	R/W	チャネルイネーブル チャネルを有効にするかどうかを指定します。本ビットに0 を設定した場合、他のビットの設定はすべて無効です。 0：本チャネルは無効 1：本チャネルは有効

注.1　初期値はリザーブ（設定禁止）の状態になりますが、CBR1[0]に1を書き込む際に必ず000000 あるいは000001 を設定してください。また、MF1 ビット（CCRMF レジスタのビット1）が0 の状態で、本レジスタのMFE ビットを1 に、MFI ビットを000001 に設定するとチャネル1 でヒットしなくなりますので注意してください。

2.　データ値をマッチ条件に含める場合は、SZ ビットでオペランドサイズ（SZ=001 又は010 又は011）を指定してください。また、OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

42.2.2　マッチ動作設定レジスタ0、1（CRR0、CRR1）

CRR0、CRR1は、読み出し／書き込み可能な32ビットのレジスタであり、それぞれチャネル0、チャネル1がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブレークタイミング、(2) ブレーク要求の有無です。

・CRR0、CRR1

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値：	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 14	—	0	—	リザーブビット
13	—	1	—	リザーブビット
12～ 2	—	0	—	リザーブビット
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0：PC ブレークを命令実行前に設定する 1：PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0：ブレーク要求しない 1：ブレークを要求する

42.2.3　マッチアドレス設定レジスタ0、1（CAR0、CAR1）

CAR0、CAR1は、それぞれ読み出し／書き込み可能な32ビットのレジスタであり、チャネル0、チャネル1のブレーク条件とする仮想アドレスを指定します。

• CAR0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]にSABのアドレスを指定します。

• CAR1

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]にSABのアドレスを指定します。

42.2.4　マッチアドレスマスク設定レジスタ0、1（CAMR0、CAMR1）

CAMR0、CAMR1は、それぞれ読み出し／書き込み可能な32ビットのレジスタであり、対応するチャネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに1を設定します）。

• CAMR0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに1 を指定します）。 0：アドレスビットCA[n]は、ブレーク条件に含まれる 1：アドレスビットCA[n]はマスクされ、ブレーク条件に含まれない 注.n＝31～0

• CAMR1

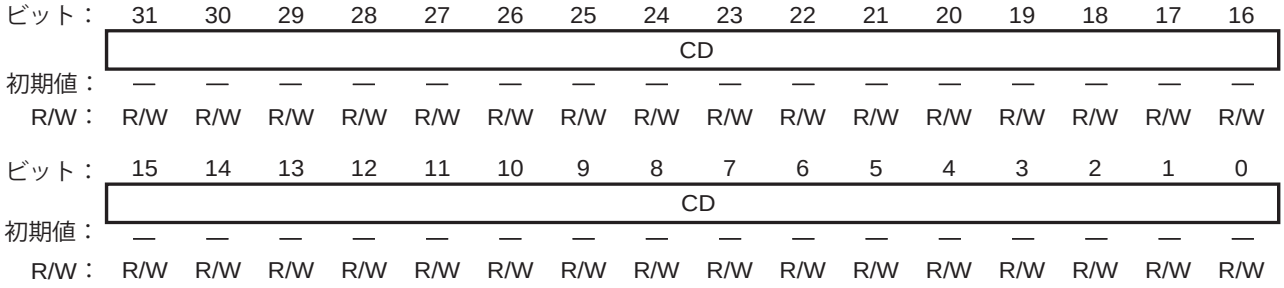
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに1 を指定します）。 0：アドレスビットCA[n]は、ブレーク条件に含まれる 1：アドレスビットCA[n]はマスクされ、ブレーク条件に含まれない 注.n＝31～0

42.2.5　マッチデータ設定レジスタ1（CDR1）

CDR1は、読み出し／書き込み可能な32ビットのレジスタであり、チャネル1のブレーク条件とするデータ値を指定します。



ビット	ビット名	初期値	R/W	説 明
31～0	CD	不定	R/W	比較データ値 ブレーク条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]にSDBのデータ値を指定します。

表42.2　マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス（バイト）	Don't care	Don't care	Don't care	SDB7 ～ SDB0
オペランドバス（ワード）	Don't care	Don't care	SDB15 ～ SDB8	SDB7 ～ SDB0
オペランドバス（ロングワード）	SDB31 ～ SDB24	SDB23 ～ SDB16	SDB15 ～ SDB8	SDB7 ～ SDB0

注1.　データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
2.　OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

42.2.6　マッチデータマスク設定レジスタ1（CDMR1）

CDMR1は、読み出し／書き込み可能な32ビットのレジスタであり、マッチデータよって指定されるデータ値のうちマスクするビットを指定します（マスクするビットに1を設定します）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	CDM	不定	R/W	比較データ値マスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します（マスクするビットに1 を指定します）。 0：データ値ビットCD[n]は、ブレーク条件に含まれる 1：データ値ビットCD[n]はマスクされ、ブレーク条件に含まれない 注.n＝31～0

42.2.7　実行回数ブレークレジスタ1（CETR1）

CETR1は、読み出し／書き込み可能な32ビットのレジスタであり、ブレークが発生するまでのチャネルヒット回数を指定します。指定できる最大値は$2^{12}-1$です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャネルがヒットするごとに本レジスタ値は1ずつデクリメントされ、レジスタ値がH'001になった後さらにヒットするとブレークが発生します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
初期値：	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 12	—	0	—	リザーブビット
11 ～ 0	CET	不定	R/W	実行回数 ブレーク条件とする実行回数を指定します。

42.2.8　チャネルマッチフラグレジスタ（CCMFR）

CCMFR は、読み出し／書き込み可能な32 ビットのレジスタであり、各チャネルのマッチ条件が成立したかどうかを示します。チャネルのマッチ条件が成立した場合、対応するフラグビットに1 が設定されます。フラグのクリアは、クリアしたいビットを0、それ以外のビットを1 にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャネルによるシーケンシャル動作を実現できます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 2	—	0	—	リザーブビット
1	MF1	0	R/W	チャネル1 条件一致フラグ チャネル1 にセットしたマッチ条件が成立すると、このフラグは1 にセットされます。フラグをクリアするには、このビットに0 を書き込みます。 0：チャネル1 のマッチ条件不一致 1：チャネル1 のマッチ条件一致
0	MF0	0	R/W	チャネル0 条件一致フラグ チャネル0 にセットしたマッチ条件が成立すると、このフラグは1 にセットされます。フラグをクリアするには、このビットに0 を書き込みます。 0：チャネル0 のマッチ条件不一致 1：チャネル0 のマッチ条件一致

42.2.9　ブレークコントロールレジスタ（CBCR）

CBCR は、読み出し／書き込み可能な32 ビットのレジスタであり、ユーザブレークデバッグサポート機能を使用するかどうかを指定します。ユーザブレークデバッグサポート機能の詳細については、「42.4 ユーザブレークデバッグサポート機能」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	—	0	—	リザーブビット
0	UBDE	0	R/W	ユーザブレークデバッグサポート機能イネーブル ユーザブレークデバッグサポート機能を使用するかどうかを指定します。 0：デバッグサポート機能を使用しない 1：デバッグサポート機能を使用する

42.3　動作説明

42.3.1　アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアクセスを指します。たとえば、命令MOV.W @(disp,PC),Rn のアドレス（PC＋disp×2＋4）に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセス又は書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP、及びOCBWB命令　：読み出しアクセスとして扱います。
- MOVCA.L、及びOCBI命令　：書き込みアクセスとして扱います。
- TAS.B命令　：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

42.3.2　ユーザブレーク動作の流れ

ブレーク条件の設定からユーザブレーク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ／オペランドアクセス、読み出し／書き込み条件を、マッチ条件設定レジスタ（CBR0又はCBR1）により指定します。ブレークアドレスをマッチアドレス設定レジスタ（CAR0、CAR1）、アドレスのマスク条件をマッチアドレスマスク設定レジスタ（CAMR0、CAMR1）により指定します。マッチ条件にASIDを含める場合は、AIEビット（マッチ条件設定レジスタのビット30）をセットし、AIVビット（同23～16ビット）によりASIDを指定します。マッチ条件にデータ値を含める場合は、DBE ビット（マッチ条件設定レジスタのビット15）をセットし、ブレークデータをマッチデータ設定レジスタ（CDR1）、データのマスク条件をマッチデータマスク設定レジスタ（CDMR1）により指定します。マッチ条件に実行回数を含める場合は、ETBEビット（マッチ条件設定レジスタのビット11）をセットし、実行回数条件を実行回数ブレークレジスタ（CETR1）により指定します。シーケンシャルブレークを設定する場合、MFEビット（マッチ条件設定レジスタのビット31）をセットし、シーケンス元チャネル番号をMFIにより指定します。

2. マッチ条件が成立した場合のブレーク要求の有無、命令フェッチによる条件成立の場合のブレーク位置を、マッチ動作設定レジスタ（CRR0、CRR1）により指定します。他のすべてのレジスタ、及びCE ビット（マッチ条件設定レジスタのビット0）を除くビットの設定が終了したのち、マッチ条件設定レジスタのCE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからCE ビット（CBR0、CBR1 レジスタのビット0）をセットした場合、意図しないブレークが発生する場合があります。

3. マッチ条件が成立すると、チャネルマッチフラグレジスタ（CCMFR）の該当する条件一致フラグ（MF1、MF0）がセットされます。さらに、マッチ動作設定レジスタ（CRR0、CRR1）の設定内容により、CPU へのブレーク要求が発生します。SR レジスタのBL ビットにより、ブレーク要求に対するCPU の動作が異なります。BL ビットが0 のとき、ブレーク要求は受理され所定の例外処理が行われますが、BL ビットが1 の場合例外処理は行われません。

4. マッチ条件の一致又は不一致をチェックするため、該当する条件一致フラグ（MF1、MF0）を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャネルマッチフラグレジスタ（CCMFR）に対するメモリストア命令により0を書き込んでください。

5. チャネル0及びチャネル1で設定したブレークがほぼ同時に発生する場合があります。CPUに対するブレーク要求は1つだけであっても、これらのブレークに対する条件一致フラグが2つともセットされる場合があります。

6. SRレジスタのBLビットが1の期間は、すべてのブレーク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。

7. シーケンシャル条件指定時、各チャネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャネルのマッチ条件が成立し、シーケンス先チャネルのマッチ条件が未成立のときにシーケンス元チャネルのマッチ状態をクリアするには、シーケンス元チャネルの条件一致フラグをクリアしてください。

42.3.3　命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ（CBR0 又は CBR1）に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャネルに対するBIEビット（マッチ動作設定レジスタ（CRR0又はCRR1）のビット0）をセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビット（マッチ動作設定レジスタ（CRR0又はCRR1）のビット1）で指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ（CAR0又はCAR1）のLSBを0にしてください。このビットが1にセットされているとブレークは発生しません。

2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン（分岐又は割り込みの遷移中にフェッチされ、しかも実行されない命令）によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「6. 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。

3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「6. 例外処理」を参照してください。遅延分岐命令及びその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。

4. チャネル1のマッチ条件として命令フェッチサイクルを指定すると、DBEビット（CBR1 レジスタのビット15）は無効となり、マッチデータ設定レジスタCDR1及びマッチデータマスク設定レジスタCDMR1の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

42.3.4　オペランドアクセスサイクルブレーク

1. オペランドアクセスサイクルブレークの場合、マッチ条件設定レジスタ（CBR0又はCBR1）のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表42.3　オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
ロングワード	アドレスビットA31～A2
ワード	アドレスビットA31～A1
バイト	アドレスビットA31～A0
マッチ条件に含まれない	ロングワードアクセス時のアドレスビットA31～A2 ワードアクセス時のアドレスビットA31～A1 バイトアクセス時のアドレスビットA31～A0

これは、たとえばマッチアドレス設定レジスタ（CAR0又はCAR1）にアドレスH'0000 1003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合）以下が含まれることを意味します。

アドレスH'0000 1000に対するロングワードアクセス
アドレスH'0000 1002に対するワードアクセス
アドレスH'0000 1003に対するバイトアクセス

2. チャネル1のマッチ条件にデータ値が含まれる場合
データ値をマッチ条件に含める場合は、SZビット（CBR1レジスタのビット14～12）によりロングワード、ワード、又はバイトを指定し、かつマッチデータ設定レジスタ（CDR1）及びマッチデータマスク設定レジスタ（CDMR1）を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値及びマスクは、それぞれCDR1及びCDMR1のビット7～0、ビット15～0、ビット31～0に設定します。

3. PREF、OCBP、OCBWB、OCBI命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレークが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブレークが発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレークが発生した場合は、分岐先の最初の命令までブレークは発生しません。RTE命令の遅延スロットには、オペランドブレークを設定しないでください。また、データ値を条件に含める場合は、RTE命令の1～6命令前でブレークを発生させないでください。

42.3.5　シーケンシャルブレーク

1. マッチ条件設定レジスタ（CBR0、CBR1）のMFEビット（ビット31）及びMFIビット（ビット29～24）を設定することで、シーケンシャル条件（チャネル0マッチ条件が成立した後チャネル1マッチ条件が成立、又はその逆）を指定することができます。シーケンス元チャネルについては、マッチ条件設定レジスタのMFE、及びマッチ動作設定レジスタのBIEビット（ビット0）をクリアしてください。シーケンス先チャネルについては、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャネル番号をMFIビットで指定します。シーケンシャル条件成立時のブレーク要求の有無は、シーケンス先マッチ動作設定レジスタのBIEビットにより指定します。シーケンシャル条件指定時、各チャネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャネルのマッチ条件が成立し、シーケンス先チャネルのマッチ条件が未成立のときにシーケンス元チャネルのマッチ状態をクリアするには、シーケンス元チャネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャネル1については実行回数ブレーク条件も指定することができます。
3. シーケンス元チャネルとシーケンス先チャネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

• シーケンス元チャネル、シーケンス先チャネルとも命令フェッチサイクルでマッチ成立

命令Bは命令Aの0命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令Bは命令Aの1命令後	シーケンシャル動作は保証されません。
命令Bは命令Aの2命令以上後	シーケンシャル動作は保証されます。

• シーケンス元チャネルは命令フェッチサイクルでマッチ成立、シーケンス先チャネルはオペランドアクセスサイクルでマッチ成立

命令Bは命令Aの0又は1命令後	シーケンシャル動作は保証されません。
命令Bは命令Aの2命令以上後	シーケンシャル動作は保証されます。

• シーケンス元チャネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャネルは命令フェッチサイクルでマッチ成立

命令Bは命令Aの0～5命令後	シーケンシャル動作は保証されません。
命令Bは命令Aの6命令以上後	シーケンシャル動作は保証されます。

• シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令Bは命令Aの0～5命令後	シーケンシャル動作は保証されません。
命令Bは命令Aの6命令以上後	シーケンシャル動作は保証されます。

42.3.6　退避されるプログラムカウンタの値

ブレーク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレークの発生する命令を一意に決定することができます。

1. 命令フェッチサイクル（命令実行前）をマッチ条件として指定する場合
   SPC には、マッチ条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレークが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

2. 命令フェッチサイクル（命令実行後）をマッチ条件として指定する場合
   SPC には、マッチ条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレークが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

3. オペランドアクセス（アドレスのみ）をマッチ条件として指定する場合
   SPC には、ブレーク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレークが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

4. オペランドアクセス（アドレス＋データ）をマッチ条件として指定する場合
   データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレークが発生し、その命令のアドレスが SPC に退避されます。ブレークが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレークが発生するときがあります。この場合も、SPC には分岐先のアドレスが退避されます。

42.4　ユーザブレークデバッグサポート機能

ユーザブレークデバッグサポート機能を用いることにより、CPU がユーザブレーク要求を受理した場合の分岐先アドレスを変更することができます。UBDE ビット（CBCR レジスタのビット 0）を 1 にセットすることにより、[VBR ＋オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレークデバッグサポート機能のフローチャートを図 42.2 に示します。

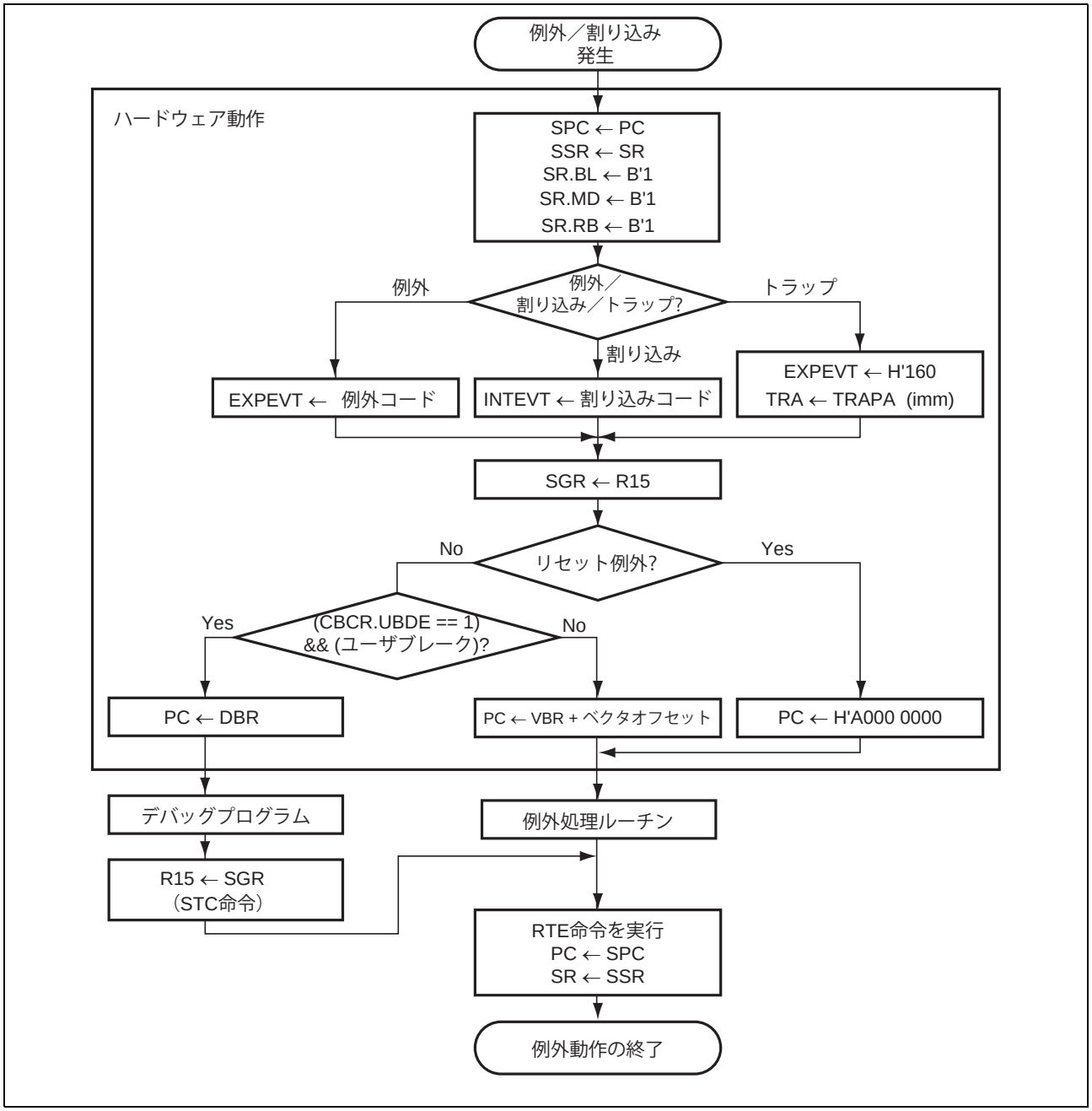


図 42.2　ユーザブレークデバッグサポート機能のフローチャート

42.5　ユーザブレーク使用例

(1)　命令フェッチサイクルに指定したマッチ条件

• 例1-1

レジスタ設定
CBR0 = H'0000 0013 / CRR0 = H'0000 2003 / CAR0 = H'0000 0404 / CAMR0 = H'0000 0000 /
CBR1 = H'0000 0013 / CRR1 = H'0000 2001 / CAR1 = H'0000 8010 / CAMR1 = H'0000 0006 /
CDR1 = H'0000 0000 / CDMR1 = H'0000 0000 / CETR1 = H'0000 0000 / CBCR = H'0000 0000
指定条件：チャネル0／チャネル1 独立条件

【チャネル0】
アドレス：H'0000 0404、アドレスマスク：H'0000 0000
バスサイクル：命令フェッチ（命令実行後）
ASID は条件に含まれない
【チャネル1】
アドレス：H'0000 8010、アドレスマスク：H'0000 0006
データ：H'0000 0000 、データマスク：H'0000 0000 、実行回数：H'0000 0000
バスサイクル：命令フェッチ（命令実行前）
ASID、データ値、実行回数は条件に含まれない

ユーザブレークは、アドレスH'0000 0404 の命令実行後、又はアドレスH'0000 8010～H'0000 8016 の命令実行前に発生します。

• 例1-2

レジスタ設定
CBR0 = H'4080 0013 / CRR0 = H'0000 2000 / CAR0 = H'0003 7226 / CAMR0 = H'0000 0000 /
CBR1 = H'C070 0013 / CRR1 = H'0000 2001 / CAR1 = H'0003 722E / CAMR1 = H'0000 0000 /
CDR1 = H'0000 0000 / CDMR1 = H'0000 0000 / CETR1 = H'0000 0000 / CBCR = H'0000 0000
指定条件：チャネル0 → チャネル1 シーケンシャルモード

【チャネル0】
アドレス：H'0003 7226、アドレスマスク：H'0000 0000 、ASID：H'80
バスサイクル：命令フェッチ（命令実行前）
【チャネル1】
アドレス：H'0003 722E 、アドレスマスク：H'0000 0000、ASID：H'70
データ：H'0000 0000、データマスク：H'0000 0000 、実行回数：H'0000 0000
バスサイクル：命令フェッチ（命令実行前）
データ値、実行回数は条件に含まれない

ASID＝H'80 かつアドレスH'0003 7226 の命令が実行された後、ASID＝H'70 かつアドレスH'0003 722E の命令実行前にユーザブレークが発生します。

• 例1-3

レジスタ設定
CBR0 = H'0000 0013 / CRR0 = H'0000 2001 / CAR0 = H'0002 7128 / CAMR0 = H'0000 0000 /
CBR1 = H'0000 0013 / CRR1 = H'0000 2001 / CAR1 = H'0003 1415 / CAMR1 = H'0000 0000 /
CDR1 = H'0000 0000 / CDMR1 = H'0000 0000 / CETR1 = H'0000 0000 / CBCR = H'0000 0000
指定条件：チャネル0／チャネル1 独立条件

【チャネル0】
アドレス：H'0002 7128 、アドレスマスク：H'0000 0000
バスサイクル：命令フェッチ（命令実行前）
ASID は条件に含まれない
【チャネル1】
アドレス：H'0003 1415、アドレスマスク：H'0000 0000

データ：H'0000 0000 、データマスク：H'0000 0000 、実行回数：H'0000 0000
バスサイクル：命令フェッチ（命令実行前）
ASID、データ値、実行回数は条件に含まれない

チャネル0 では、アドレスH'0002 7128 の命令実行前に発生します。チャネル1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレークは発生しません。

• 例1-4
レジスタ設定
CBR0 = H'4080 0013 / CRR0 = H'0000 2000 / CAR0 = H'0003 7226 / CAMR0 = H'0000 0000 /
CBR1 = H'C070 0013 / CRR1 = H'0000 2001 / CAR1 = H'0003 722E / CAMR1 = H'0000 0000 /
CDR1 = H'0000 0000 / CDMR1 = H'0000 0000 / CETR1 = H'0000 0000 / CBCR = H'0000 0000
指定条件：チャネル0 → チャネル1 シーケンシャルモード

【チャネル0】
アドレス：H'0003 7226 、アドレスマスク：H'0000 0000 、ASID＝H'80
バスサイクル：命令フェッチ（命令実行前）

【チャネル1】
アドレス：H'0003 722E 、アドレスマスク：H'0000 0000 、ASID＝H'70
データ：H'0000 0000 、データマスク：H'0000 0000、実行回数：H'0000 0000
バスサイクル：命令フェッチ（命令実行前）
データ値、実行回数は条件に含まれない

ASID＝H'80 かつアドレスH'0003 7226 の命令が実行された後、ASID＝H'70 かつアドレスH'0003 722E の命令実行前にユーザブレークが発生します。

• 例1-5
レジスタ設定
CBR0 = H'0000 0013 / CRR0 = H'0000 2001 / CAR0 = H'0000 0500 / CAMR0 = H'0000 0000 /
CBR1 = H'0000 0813 / CRR1 = H'0000 2001 / CAR1 = H'0000 1000 / CAMR1 = H'0000 0000 /
CDR1 = H'0000 0000 / CDMR1 = H'0000 0000 / CETR1 = H'0000 0005 / CBCR = H'0000 0000
指定条件：チャネル0／チャネル1 独立条件

【チャネル0】
アドレス：H'0000 0500、アドレスマスク：H'0000 0000
バスサイクル：命令フェッチ（命令実行前）
ASID は条件に含まれない
【チャネル1】
アドレス：H'0000 1000 、アドレスマスク：H'0000 0000
データ：H'0000 0000、データマスク：H'0000 0000、実行回数：H'0000 0005
バスサイクル：命令フェッチ（命令実行前）
実行回数：5 回
ASID、データ値は条件に含まれない

チャネル0 では、ユーザブレークはアドレスH'0000 0500 の命令の実行前に生じます。チャネル1 では、ユーザブレークは、アドレスH'0000 1000 の命令を4 回実行した後、5 回目の命令実行前に生じます。

• 例1-6

レジスタ設定
CBR0 = H'4080 0013 / CRR0 = H'0000 2003 / CAR0 = H'0000 8404 / CAMR0 = H'0000 0FFF /
CBR1 = H'4070 0013 / CRR1 = H'0000 2001 / CAR1 = H'0000 8010 / CAMR1 = H'0000 0006 /
CDR1 = H'0000 0000 / CDMR1 = H'0000 0000 / CETR1 = H'0000 0000 / CBCR = H'0000 0000
指定条件：チャネル0／チャネル1 独立条件

【チャネル0】
アドレス：H'0000 8404、アドレスマスク：H'0000 0FFF 、ASID：H'80
バスサイクル：命令フェッチ（命令実行後）
【チャネル1】
アドレス：H'0000 8010 、アドレスマスク：H'0000 0006、ASID：H'70
データ：H'0000 0000 、データマスク：H'0000 0000 、実行回数：H'0000 0000
バスサイクル：命令フェッチ（命令実行前）
データ値、実行回数は条件に含まれない

ユーザブレークは、ASID＝H'80 でアドレスH'0000 8000～H'0000 8FFE の命令の実行後、又は、ASID＝H'70 でアドレスH'0000 8010～H'0000 8016 の命令の実行前に生じます。

(2) **オペランドアクセスサイクルに指定したマッチ条件**

• 例2-1

レジスタ設定
CBR0 = H'4080 0023 / CRR0 = H'0000 2001 / CAR0 = H'0012 3456 / CAMR0 = H'0000 0000 /
CBR1 = H'4070 A025 / CRR1 = H'0000 2001 / CAR1 = H'000A BCDE / CAMR1 = H'0000 00FF /
CDR1 = H'0000 A512 / CDMR1 = H'0000 0000 / CETR1 = H'0000 0000 / CBCR = H'0000 0000
指定条件：チャネル0／チャネル1 独立条件

【チャネル0】
アドレス：H'0012 3456 、アドレスマスク：H'0000 0000、ASID：H'80
バスサイクル：オペランドバス／オペランドアクセス／読み出し（オペランドサイズは条件に含まれない）
【チャネル1】
アドレス：H'000A BCDE、アドレスマスク：H'0000 00FF 、ASID：H'70
データ：H'0000 A512 、データマスク：H'0000 0000 、実行回数：H'0000 0000
バスサイクル：オペランドバス／オペランドアクセス／書き込み／ワード
実行回数は条件に含まれない

チャネル0 では、ユーザブレークは、ASID＝H'80 でアドレスH'0012 3454 に対するロングワードの読み出し、アドレスH'0012 3456 に対するワード読み出し、あるいはアドレスH'0012 3456 に対するバイト読み出しで生じます。チャネル1 では、ユーザブレークはASID＝H'70 でH'000A BC00～H'000A BCFE にワードH'A512 を書き込むときに生じます。

42.6　使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。UBCレジスタを変更後、ブレーク対象の命令を実行する前に、以下の（1）～（3）のいずれかを実行してください。

   (1)　変更したレジスタをリードした後、RTE命令による分岐を実行してください
   （レジスタリードとRTE命令は連続している必要はありません）。
   (2)　変更したレジスタをリードした後、任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください（レジスタリードとICBI命令は連続している必要はありません）。
   (3)　UBCレジスタの変更前にIRMCR.R1＝0（初期値）と設定しておき、レジスタライト→レジスタリード→（もう一度同じ値を）レジスタライトというシーケンスでレジスタを更新してください。

   なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0及びCRR1のPCBビットは、命令フェッチをマッチ条件にしたときのみ有効です。
3. シーケンシャル条件設定時、シーケンス元チャネルのマッチ条件成立後シーケンス先チャネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャネル0、及びチャネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレークは発生しません。
4. SLEEP命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレークを発生させないでください。また、SLEEP命令の1～5命令前では、オペランドアクセスをマッチ条件とするブレークを発生させないでください。
5. ユーザブレークと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「6. 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレークは発生しません。

   - 命令実行前のブレークは他のどの例外よりも優先して受け付けられます。
   - 命令実行後ブレークやデータアクセスブレークは、より優先度の高い再実行型の例外（命令実行前ブレークを含む）と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレークが発生し、フラグがセットされます。
   - 命令実行後ブレークやオペランドアクセスブレークが、より優先度の高い完了型の例外（TRAPA）と同時に発生した場合は、ブレークは発生しませんが、条件一致を示すフラグはセットされます。

6. チャネル0、チャネル1において、マッチ条件が同時に独立して成立し、またその結果SPCの値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャネルともにセットされます。たとえば、
   アドレス110の命令（チャネル0で命令フェッチに対する実行後ブレーク）
   →SPC＝112、CCMFRMF0＝1
   アドレス112の命令（チャネル1で命令フェッチに対する実行前ブレーク）
   →SPC＝112、CCMFR.MF1＝1
7. RTE命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE命令の1～6命令前でブレークを発生させないでください。
8. 実行ステートが2以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、MF0ビット（CCMFRレジスタのビッ

ト0）及びMF1ビット（CCMFRレジスタのビット1）が1にセットされる場合と、セットされない場合があります。

43. ユーザデバッグインタフェース（H-UDI）

ユーザデバッグインタフェース（H-UDI）は、JTAG (IEEE 1149.1: IEEE Standard Test Access Port and Boundary-Scan Architecture) に準拠したシリアル入出力インタフェースで、エミュレータの接続に使用します。

43.1 特長

H-UDI は6 本の端子（TCK、TMS、TDI、TDO、$\overline{\text{TRST}}$、$\overline{\text{ASEBRK}}$/BRKACK）を持ちます。$\overline{\text{ASEBRK}}$/BRKACK を除く端子機能やシリアル転送プロトコルは、JTAG の規格に準拠します。さらにエミュレータ用端子として6本の信号（AUDSYNC、AUDCK、AUDATA3～AUDATA0）、チップモード指定端子として1 本の信号（MPMD）があります。エミュレータ用端子は兼用端子であり、GPIOのPLCR、PTCR、PSEL4、PSEL5 レジスタによって機能を切り替えます。なお、E10A エミュレータのトレース機能を有効にすると、レジスタの設定にかかわらず、これらの端子は強制的にエミュレータ用端子となります。

本LSI のH-UDI はバウンダリスキャン用TAP コントローラとバウンダリスキャン以外のH-UDI の機能を制御するTAP コントローラを分離しています。電源投入時を含め、$\overline{\text{TRST}}$ のアサートによりバウンダリスキャン用TAPコントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン用TAP コントローラはSH-4A からアクセスすることはできません。

図43.1 にH-UDI のブロック図を示します。

H-UDI 回路は内部にTAP (Test Access Port) コントローラと、SDBPR、SDBSR、SDIR、SDINT の計4 本のレジスタを持ちます。SDBPR はJTAG のバイパスモードをサポートするためのレジスタ、SDBSR はJTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDINT はH-UDI 割り込み用のレジスタです。SDIR はTDI、TDO 端子から直接アクセスできます。

TAP コントローラ、制御レジスタ、及びバウンダリスキャン用TAP コントローラは$\overline{\text{PRESET}}$端子によるリセットでは初期化されません。$\overline{\text{TRST}}$ 端子をL レベルにするか、TMS 端子に“H” レベルを入力した状態でTCK 端子に を5 サイクル以上入力することによりリセットがかかります。その他の回路は、$\overline{\text{PRESET}}$端子によるリセット期間中にリセットがかかり初期化されます。

なお、H-UDI は、エミュレータとの接続に使用されるため、エミュレータを使用する場合は本インタフェースの機能を使用しないでください。また、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

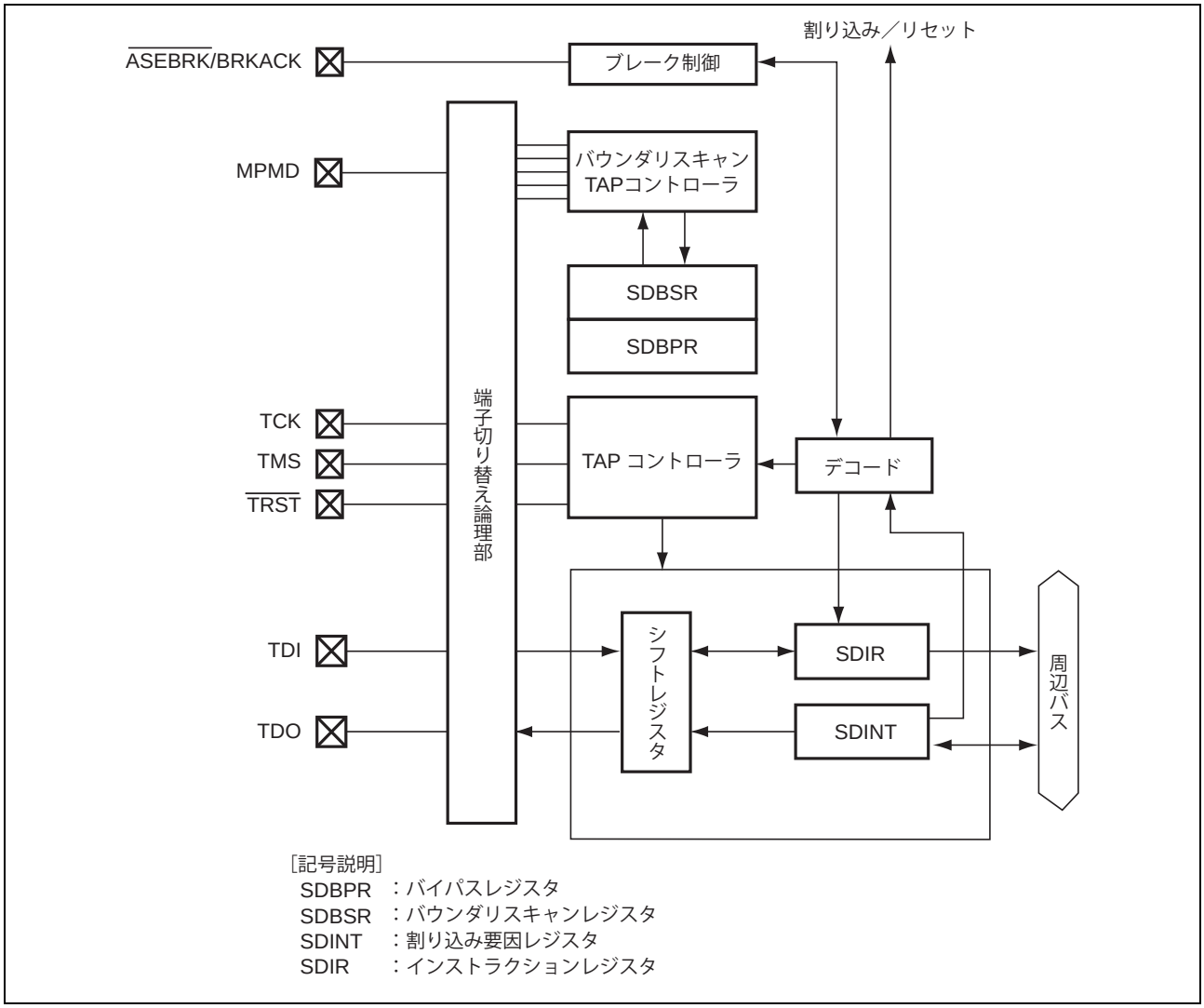


図 43.1　H-UDI のブロック図

43.2 入出力端子

H-UDI の端子構成を表43.1 に示します。

表43.1　H-UDI の端子構成

端子名	機 能	入出力	説明	未使用時
TCK	テスト クロック端子	入力	この端子への入力信号に同期してデータ入力端子TDI からH-UDI 回路にデータを与えるか、データ出力端子TDO からデータを読み出します。	オープン
TMS	テストモード セレクト端子	入力	TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルはJTAG（IEEE 1149.1）規格に準拠します。	オープン（注1）
$\overline{\text{TRST}}$（注2）	テスト リセット端子	入力	TCK とは非同期に受け付け、L レベルでJTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に$\overline{\text{TRST}}$ を一定期間L レベルにしなければなりません。これはIEEE の規格と異なります。	グランド固定 又は $\overline{\text{PRESET}}$ 接続 （注3）
TDI	テストデータ 入力端子	入力	TCK に同期してこの端子への入力信号を変化させることでH-UDI 回路にデータを送ります	オープン（注1）
TDO	テストデータ 出力端子	出力	TCK に同期してこの端子からの出力信号を読むことで、H-UDI 回路からデータを読み出します。	オープン
$\overline{\text{ASEBRK}}$/ BRKACK	エミュレータ 用端子	入出力	エミュレータ専用の端子です。	オープン（注1）
AUDSYNC、 AUDCK、 AUDATA3 ～ AUDATA0	エミュレータ 用端子	出力	エミュレータ専用の端子です。	オープン
MPMD	チップモード 指定端子	入力	本LSIの動作モードを選択します。 L：エミュレーションモード H：ノーマルモード（チップモード）	オープン（注1）

注1. LSI内でプルアップされていますが、これらの端子を使用する場合、外部にプルアップ抵抗を付けても問題ありません。

2. H-UDI機能（エミュレータ接続、バウンダリスキャンテスト）を使用する場合は、電源投入時に$\overline{\text{PRESET}}$ と重複する期間$\overline{\text{TRST}}$ をL レベルにし、かつ$\overline{\text{TRST}}$ 単独でも制御可能となるようにしてください。

3. グランド、$\overline{\text{PRESET}}$端子、又は$\overline{\text{PRESET}}$ と同じ挙動の端子と接続してください。

TCK の周波数が本LSI の周辺クロックの周波数より低くなるようにTCK あるいは本LSI のCPG の設定を行ってください。

43.3 バウンダリスキャン用TAP コントローラ（IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS）

本LSI のH-UDI は、バウンダリスキャン用TAP コントローラと、H-UDI リセット及びH-UDI 割り込み機能を制御するTAP コントローラを分離しています。電源投入時を含め、TRST アサートによりバウンダリスキャン用TAP コントローラが有効になり、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット及びH-UDI 割り込み機能が利用できるようになります。ただし、以下の制限事項が存在します。

- 以下の端子がバウンダリスキャンの対象から外れます。
  クロック関連信号（EXTAL、XTAL、RGMII-MAC-CLK)
  H-UDI関連信号 (TCK、TDI、TDO、TMS、TRST、MPMD)
  DBSC3関連端子
  USB関連端子 (USDP0、USDM0、VBUS0、REFRIN、USDP1、USDM1、VBUS1)
  ADC関連端子(AN0～AN7、AVREF0、AVREF1)
- バウンダリスキャン（IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS コマンド）実行時、TCK の最大周波数は2MHz です。
- H-UDI 側（外部コントローラ）からバウンダリスキャン用TAP コントローラへのアクセスサイズは8ビットです。

注. バウンダリスキャン時、MPMD 端子、PRESET 端子はH レベルに固定にしてください。

表43.2 に、バウンダリスキャン用TAP コントローラのサポートコマンドを示します。

表43.2　バウンダリスキャン用TAP コントローラのサポートコマンド

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説 明
0	1	0	1	0	1	0	1	IDCODE
1	1	1	1	1	1	1	1	BYPASS
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
上記以外								設定禁止

43.4 レジスタの説明

H-UDI のレジスタ構成を表43.3、表43.4 に示します。
指定されたアクセスサイズ（ビット幅）でレジスタにアクセスしてください。それ以外のサイズでレジスタにアクセスした場合、動作は保証できません。

表43.3　レジスタ構成（SH-4A側）

名称	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット(注1)	マニュアルリセット
インストラクションレジスタ	SDIR	R	H'FC11 0000	16	H'0EFF	保持
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	16	H'0000	保持
バウンダリスキャンレジスタ(注2)	SDBSR	—	—	—	—	—
バイパスレジスタ(注2)	SDBPR	—	—	—	—	—

注1. $\overline{\text{TRST}}$ 端子がLレベル、又はTAP コントローラがTest-Logic-Reset の状態で初期化されます。
2. SDBSR とSDBPR はSH-4A 側からアクセスできません。

表43.4　レジスタ構成（H-UDI側）

名称	略称	R/W	アクセスサイズ	レジスタの状態
				初期値（注1）
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD（注2）
割り込み要因レジスタ	SDINT	W(注3)	32	H'0000 0000
バウンダリスキャンレジスタ（注4）	SDBSR	—	—	—
バイパスレジスタ	SDBPR	R/W	1	X

注1. $\overline{\text{TRST}}$ 端子がLレベル、又はTAPコントローラがTest-Logic-Reset の状態で初期化されます。
2. H-UDI からの読み出し値は常にH'FFFF FFFDとなります。
3. H-UDI 割り込みコマンドにより最下位ビットへ1 を書き込むことができます。
4. SDBSR は JTAG バウンダリスキャンモードをサポートするシフトレジスタです。

43.4.1　インストラクションレジスタ（SDIR）

SDIR は、SH-4A からは読み出しのみ可能な 16 ビットのレジスタです。シリアル入力（TDI 端子）から値（コマンド）をセットします。$\overline{\text{TRST}}$ ＝ L 又は TAP コントローラの Test Logic Reset ステートで初期状態になります。H-UDI からは、SH-4A の動作モードとは関係なく書き込みができます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								−	−	−	−	−	−	−	−
初期値：	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	−	−	−	−	−	−	−	−

ビット	ビット名	初期値	R/W	説 明
15～8	TI	0000 1110	R（注1）	テストインストラクションビット7～0 0110xxxx：H-UDI リセットネゲート 0111xxxx：H-UDI リセットアサート(注2) 101xxxxx：H-UDI 割り込み 00001110：初期状態 上記以外：設定禁止
7～0	—	1	—	リザーブビット

注1. 本レジスタはH-UDI側からのみ書き込みが可能です。
2. H-UDI リセットを行ってもCPG 及びリセットモジュールの一部は初期化されません。

43.4.2　割り込み要因レジスタ（SDINT）

SDINT はH-UDI割り込み要求を示す16 ビットのレジスタです。

H-UDI 端子からSDIR に「H-UDI割り込み」コマンドをすると（Update-IR）、INTREQ ビットが1 になります。SDIR に「H-UDI 割り込み」コマンドがセットされている間、TDI端子とTDO 端子の間にSDINT が接続され、32 ビットのレジスタとして読み出せます。その場合、上位16 ビットが0 に、下位16 ビットがSDINTの内容になります。

SH-4A 側からはINTREQ ビットに0 を書き込むことしかできません。このビットが1 の間は割り込み要求が発行され続けますので、割り込み処理ルーチン内で必ず0 にしてください。このレジスタ値はTRST ＝ L 又はTAP コントローラのTest Logic Reset ステートで初期状態になります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
15 ～1	—	0	—	リザーブビット
0	INTREQ	0	R/W (注)	割り込み要求ビット 0 :「H-UDI割り込み」コマンドによる割り込み要求なし 1 :「H-UDI割り込み」コマンドによる割り込み要求あり

注．“0”を書くと“0”になります（割り込み要求のクリア）。“1”を書いても変化しません。

43.4.3　バイパスレジスタ（SDBPR）

バイパスレジスタ（SDBPR）はJTAG のバイパスモードをサポートするための1 ビットのレジスタです。バウンダリスキャン用TAP コントローラにBYPASS コマンドがセットされると、TDI とTDO の間にSDBPR が接続されます。SH-4A からはこのレジスタをアクセスできません。このレジスタはパワーオンリセットあるいはTRST ＝ L でも初期化されません。ただし、Capture-DR ステートでは0 に初期化されます。

43.4.4　バウンダリスキャンレジスタ（SDBSR）

バウンダリスキャンレジスタ（SDBSR）はJTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うためにPAD 上に配置されたシフトレジスタで、SAMPLE/PRELOAD、EXTEST コマンドを用いてJTAG（IEEE Std1149.1）規格に準拠したバウンダリスキャンテストを行うことができます。チップのモードにかかわらずSH-4A からのアクセスはできません。このレジスタはパワーオンリセットあるいはTRST ＝ L でも初期化されません。

43.5　動作説明

43.5.1　TAP 制御

図43.2 にTAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- TRST＝0への遷移で、TCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

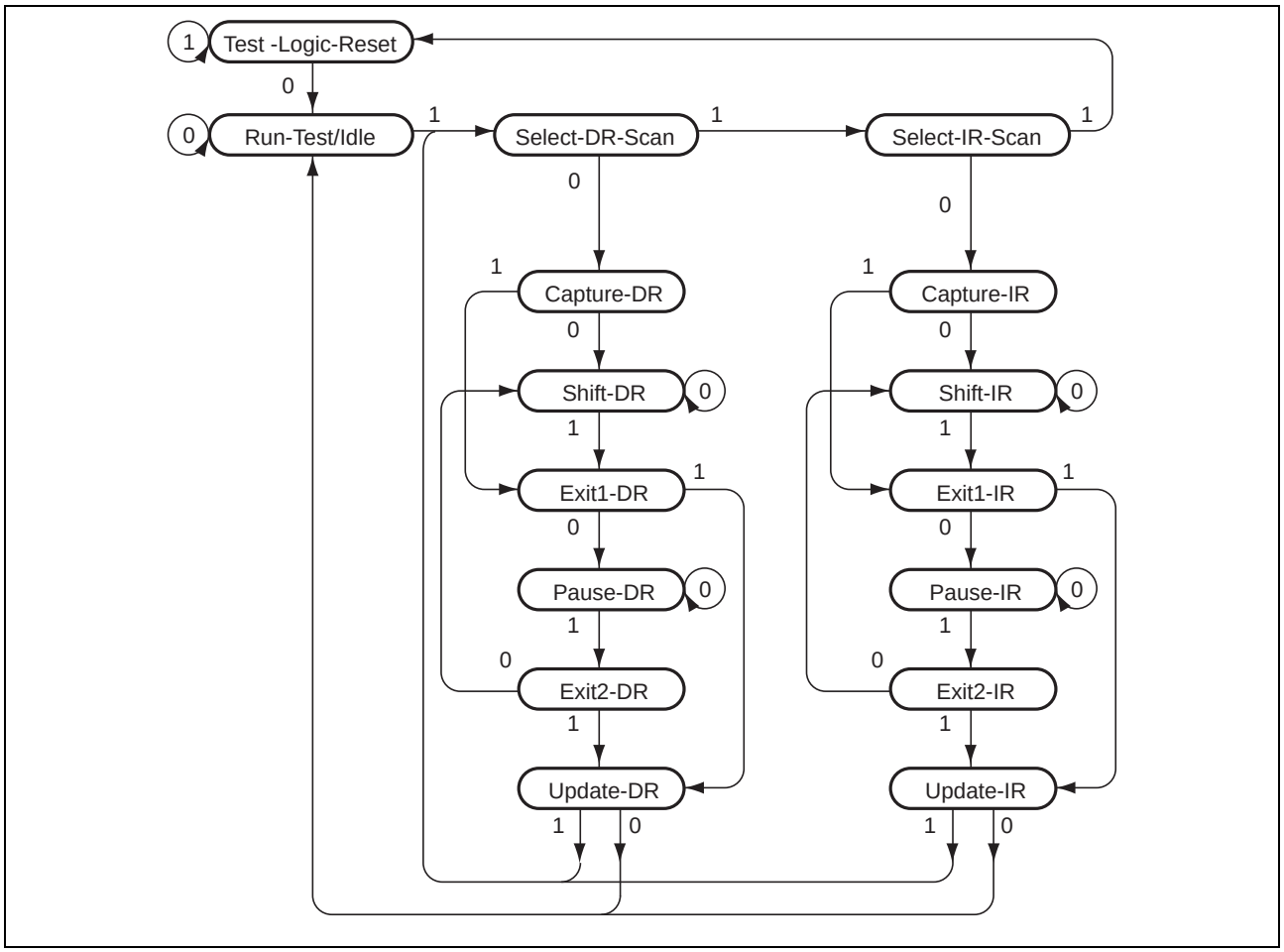


図 43.2　TAP 制御状態遷移図

43.5.2　H-UDI リセット

H-UDI 端子からH-UDI リセットアサートコマンド、H-UDI リセットネゲートコマンドをSDIR レジスタに設定することで、パワーオンリセットと同様のリセットを発行することができます（図43.3 参照）。H-UDIリセットアサートコマンドを設定してからH-UDI リセットネゲートコマンドを設定するまでに必要な時間は、パワーオンリセットをかけるためにPRESET端子をL レベルに保つ時間と同じです。

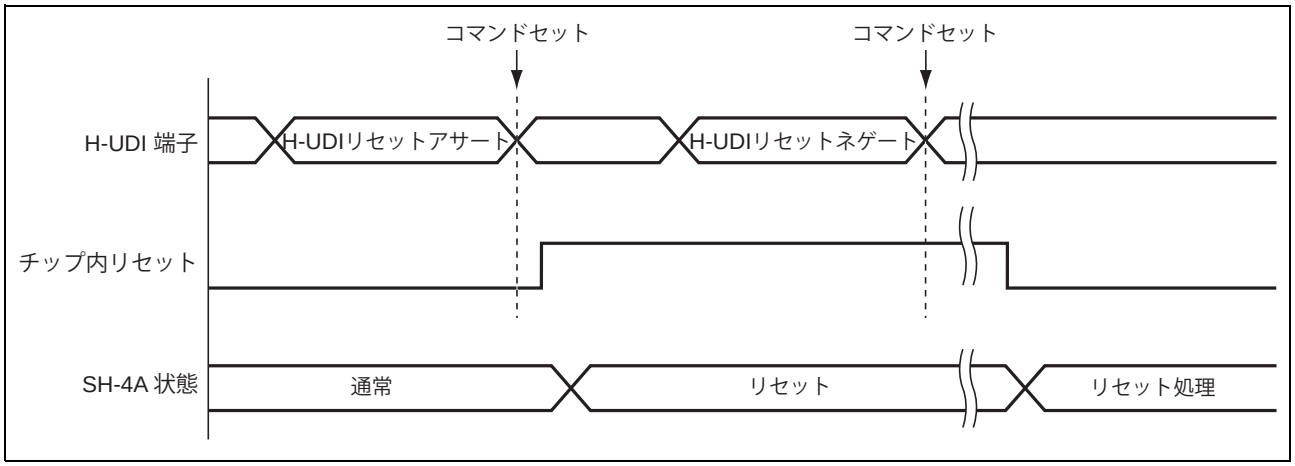


図 43.3　H-UDI リセット

43.5.3　H-UDI 割り込み

H-UDI 端子からH-UDI コマンドをSDIR レジスタに設定することで、割り込みを発生させることができます。H-UDI 割り込みは一般例外／割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。この時、割り込み事象レジスタINTEVT に格納される例外コードはH'600 です。また割り込み優先順位は、割り込みコントローラのINT2PRI3 レジスタのビット28～24 により設定することができます。

H-UDI 割り込みコマンドがSDIR レジスタに設定される（Update-IR）と、SDINT レジスタのINTREQ ビットが“1”になり、H-UDI 割り込み要求信号がアサートされます。ソフトウェアによりINTREQ ビットに“0”を書き込むまで、割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありませんが、INTREQ ビットが“1”の間は割り込み要求がアサートされ続けますので、割り込み処理ルーチン内で必ず“0”にしてください。H-UDI 割り込みコマンドがSDIR にセットされている間は、TDI とTDO の間にSDINT が接続されます。

43.6 注意事項

1. SDIR レジスタに設定されたコマンドは、$\overline{\text{TRST}}$ ＝ L、又は TAP を Test-Logic-Reset 状態にすることによる初期化以外は、H-UDI から他のコマンドを書き込まない限り変化しません。
2. スリープモードは、H-UDI 割り込み、H-UDI リセットにより解除され、その後、それらの要求が受け付けられます。
3. H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。
4. マスターモジュールから H-UDI のアサインされていないエリア (H'FC13 0000 ～ H'FC14 FFFF) にアクセスしないでください。
   マスターモジュールが H-UDI のアサインされていないエリア (H'FC13 0000 ～ H'FC14 FFFF) にアクセスすると、H-UDI モジュールは反応せず、SHwy バスは停止します。停止した SHwy バスは、パワーオンリセット信号がアサートされるまで回復しません。

44. eMMCホストインタフェース

本モジュールは、JEDEC STANDARD JESD84-A43 に対応したホストコントローラです。MMC（Multi Media Card）インタフェースを持つフラッシュメモリカードと接続することが可能です。

44.1 特徴

eMMCホストインタフェースモジュールの特長を以下に示します。

- 1/4/8 ビットの MMC bus に対応
- MMC クロック周波数≦周辺クロック周波数 Pck
- データバッファ：512 バイト×2
- 割り込み要求：2 本（通常動作、エラー / タイムアウト）
- DMA 転送要求：バッファライト、バッファリード
- MMC モードサポート（SPI モードは非サポート）

44.2 モジュールの構成

本モジュールのブロック図を図 44.1 に示します。

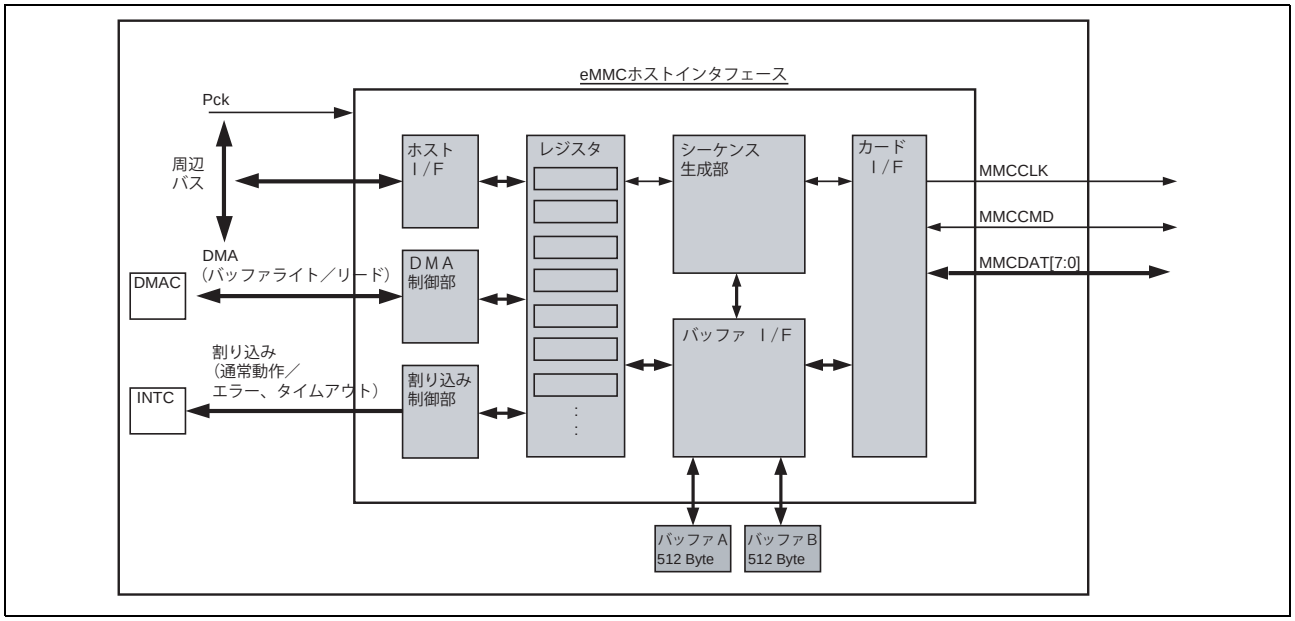


図 44.1　MMCホストインタフェースのブロック図

44.3 入出力端子

本モジュールの端子構成を表 44.1に示します。

表44.1 端子構成

名称	入出力	機能
MMCCLK	出力	MMCクロック
MMCCMD	入出力	コマンド／レスポンス
MMCDAT[7:0]	入出力	送信データ／受信データ

44.4 レジスタの説明

本モジュールのレジスタ構成を表 44.2に示します。

表44.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
コマンド設定レジスタ	CE_CMD_SET	R/W	H'FFCB 0000	16、32	H'0000 0000	H'0000 0000	H'0000 0000
アーギュメントレジスタ	CE_ARG	R/W	H'FFCB 0008	16、32	H'0000 0000	H'0000 0000	H'0000 0000
自動CMD12 アーギュメントレジスタ	CE_ARG_CMD12	R/W	H'FFCB 000C	16、32	H'0000 0000	H'0000 0000	H'0000 0000
コマンド制御レジスタ	CE_CMD_CTRL	R/W	H'FFCB 0010	16、32	H'0000 0000	H'0000 0000	H'0000 0000
転送ブロック設定レジスタ	CE_BLOCK_SET	R/W	H'FFCB 0014	16、32	H'0000 0200	H'0000 0200	H'0000 0200
クロックコントロールレジスタ	CE_CLK_CTRL	R/W	H'FFCB 0018	16、32	H'0000 0000	H'0000 0000	H'0000 0000
バッファアクセス設定レジスタ	CE_BUF_ACC	R/W	H'FFCB 001C	16、32	H'0000 0000	H'0000 0000	H'0000 0000
レスポンスレジスタ３	CE_RESP3	R	H'FFCB 0020	16、32	H'0000 0000	H'0000 0000	H'0000 0000
レスポンスレジスタ２	CE_RESP2	R	H'FFCB 0024	16、32	H'0000 0000	H'0000 0000	H'0000 0000
レスポンスレジスタ１	CE_RESP1	R	H'FFCB 0028	16、32	H'0000 0000	H'0000 0000	H'0000 0000
レスポンスレジスタ０	CE_RESP0	R	H'FFCB 002C	16、32	H'0000 0000	H'0000 0000	H'0000 0000
自動CMD12 レスポンスレジスタ	CE_RESP_CMD12	R	H'FFCB 0030	16、32	H'0000 0000	H'0000 0000	H'0000 0000
データレジスタ	CE_DATA	R/W	H'FFCB 0034	16（注）、32	H'0000 0000	H'0000 0000	H'0000 0000
割り込みフラグレジスタ	CE_INT	R/W	H'FFCB 0040	16、32	H'0000 0000	H'0000 0000	H'0000 0000
割り込みマスクレジスタ	CE_INT_MASK	R/W	H'FFCB 0044	16、32	H'0000 0000	H'0000 0000	H'0000 0000
ステータスレジスタ１	CE_HOST_STS1	R	H'FFCB 0048	16、32	H'X0XX 0000	H'X0XX 0000	H'X0XX 0000
ステータスレジスタ２	CE_HOST_STS2	R	H'FFCB 004C	16、32	H'0000 0000	H'0000 0000	H'0000 0000
バージョンレジスタ	CE_VERSION	R/W	H'FFCB 007C	16、32	H'0000 8000	H'0000 8000	H'0000 8000

注. 16ビットアクセス時は(H'FFCB 0034)のみアクセス可能です。

44.4.1　コマンド設定レジスタ（CE_CMD_SET）

CE_CMD_SETは、コマンドシーケンスを設定するレジスタです。コマンドインデックスCMD[5:0]を含むビット31～16に書き込むとコマンドシーケンスが開始します。なお、コマンドシーケンス実行中（CE_HOST_STS1レジスタのCMDSEQビット＝1の時）はこのレジスタに書き込めません。

このレジスタの設定値は「44.8.10 CE_CMD_SET設定値」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMD[5:0]						RTYP[1:0]		RBSY	—	WDAT	DWEN	CMLTE	CMD12EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIDXC[1:0]		RCRC7C[1:0]		—	CRC16C	—	CRCSTE	TBIT	OPDM	—	—	—	—	DATW[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	—	R/W	—	R/W	R/W	R/W	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	0	—	リザーブビット
29～24	CMD[5:0]	000000	R/W	コマンドインデックス コマンドのインデックスを設定します。
23、22	RTYP[1:0]	00	R/W	レスポンスタイプ 00：レスポンス無し 01：6バイトのレスポンス(R1、R1b、R3、R4、R5) 10：17バイトのレスポンス(R2) 11：設定禁止
21	RBSY	0	R/W	レスポンスビジー選択 レスポンス受信時のビジーの有無を選択します。 0：レスポンスビジー無し 1：レスポンスビジー有り(R1b)
20	—	0	—	リザーブビット
19	WDAT	0	R/W	データ有り/無し 0：データ無し 1：データ有り
18	DWEN	0	R/W	リード/ライト（注1） 0：カードからリード 1：カードへライト
17	CMLTE	0	R/W	シングルブロック転送/マルチブロック転送選択（注1） 0：シングルブロック転送 1：マルチブロック転送
16	CMD12EN	0	R/W	自動CMD12発行設定（マルチブロック転送時有効） 0：CMD12を自動発行しない 1：CMD12を自動発行する(＝自動CMD12)（注2）

ビット	ビット名	初期値	R/W	説明
15、14	RIDXC[1:0]	00	R/W	レスポンスインデックスチェック 6バイトレスポンスの[45:40]、又は17バイトレスポンスの[133:128]に対するチェック内容を設定します。 00：インデックスチェック （コマンドのインデックスと一致することを確認） 01：check bitsチェック （All 1になっていることを確認） 10：チェック無し 11：設定禁止
13、12	RCRC7C[1:0]	00	R/W	レスポンスCRC7チェック 6バイトレスポンス、又は17バイトレスポンスの[7:1]に対するチェック内容を設定します。 00：CRC7チェック （RTYP[1:0]ビット＝01にしてください） 01：check bitsチェック（All 1になっていることを確認） （RTYP[1:0]ビット＝01にしてください） 10：internal CRC7チェック（R2専用） （RTYP[1:0]ビット＝10にしてください） 11：チェック無し
11	—	0	—	リザーブビット
10	CRC16C	0	R/W	リードデータCRC16チェック（注1） 0：リードデータのCRC16をチェックする 1：リードデータのCRC16をチェックしない （CMD14の時に使用）
9	—	0	—	リザーブビット
8	CRCSTE	0	R/W	CRC status受信（注1） 0：ライト時CRC statusを受信する 1：ライト時CRC statusを受信しない（CMD19の時に使用）
7	TBIT	0	R/W	トランスミッションビット設定 0：コマンドのトランスミッションビット（[46]）を1にする 1：コマンドのトランスミッションビット（[46]）を0にする
6	OPDM	0	R/W	MMCCMD端子オープンドレイン出力モード設定 0：通常出力 1：オープンドレイン出力
5～2	—	0	—	リザーブビット
1、0	DATW[1:0]	00	R/W	データバス幅設定（注1） 00：1ビット 01：4ビット 10：8ビット 11：設定禁止

注1.　データ有りの時有効。
2.　自動CMD12発行選択時、転送ブロックサイズは512バイトに設定してください。また、RBSYビットは0にしてください（「44.7.2 自動CMD12発行」参照）。

44.4.2　アーギュメントレジスタ（CE_ARG）

CE_ARG は、コマンドのアーギュメントを設定するレジスタです。コマンドシーケンスを開始する（CE_CMD_SET レジスタの CMD[5:0] ビットに設定する）前にこのレジスタを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARG[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ARG[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 0	ARG[31:0]	H'0000 0000	R/W	アーギュメント（コマンドの[39:8]）を設定

注.　自動CMD12 のアーギュメントは、CE_ARG_CMD12 で設定してください。

44.4.3　自動CMD12アーギュメントレジスタ（CE_ARG_CMD12）

CE_ARG_CMD12は、マルチブロック転送時にCMD12を自動発行するときの、自動CMD12のアーギュメントを設定するレジスタです。コマンドシーケンスを開始する（CE_CMD_SET レジスタのCMD[5:0] ビットに設定する）前にこのレジスタを設定してください。自動CMD12については、「44.7.2 自動CMD12発行」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C12ARG[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C12ARG[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 0	C12ARG[31:0]	H'0000 0000	R/W	自動CMD12のアーギュメント（コマンドの[39:8]）を設定

44.4.4　コマンド制御レジスタ（CE_CMD_CTRL）

CE_CMD_CTRLは、コマンドシーケンスの強制終了を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BREAK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 1	—	0	—	リザーブビット
0	BREAK	0	R/W	コマンドシーケンス強制終了 コマンドシーケンスを中断する場合は、このビットが0のときに1を書き込んだ後、0を書き込んでください。 その後、CE_HOST_STS1レジスタのCMDSEQビットが0になると、次の処理が可能になります。

44.4.5　転送ブロック設定レジスタ（CE_BLOCK_SET）

CE_BLOCK_SETは、転送するデータのブロックサイズとブロック数を設定するレジスタです。コマンドシーケンスを開始する（CE_CMD_SETレジスタのCMD[5:0]ビットに設定する）前にこのレジスタを設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLKCNT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLKSIZ[15:0]															
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 16	BLKCNT[15:0]	H'0000	R/W	転送ブロック数（注）
15 ～ 0	BLKSIZ[15:0]	H'0200	R/W	転送ブロックサイズ シングルブロック転送設定時：1～512バイト マルチブロック転送設定時　：512バイト

注.　マルチブロック転送時有効。

44.4.6　クロックコントロールレジスタ（CE_CLK_CTRL）

CE_CLK_CTRL は、MMC クロックの制御とタイムアウト値を設定するレジスタです。コマンドシーケンスを開始する（CE_CMD_SET レジスタの CMD[5:0] ビットに設定する）前にこのレジスタに設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CLKEN	—	—	—	—	CLKDIV[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	—	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SRSPTO[1:0]		SRBSYTO[3:0]				SRWDTO[3:0]				—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31 ～ 25	—	0	—	リザーブビット
24	CLKEN	0	R/W	MMCクロック出力制御 0：MMCクロックを出力しない（"L"固定） 1：MMCクロックを出力する
23 ～ 20	—	0	—	リザーブビット
19 ～ 16	CLKDIV[3:0]	0000	R/W	MMCクロック周波数設定 0000：Pck/2 0001：Pck/2^2 ： 0111：Pck/2^8 1000：Pck/2^9 1001～1110：設定禁止 1111：Pck（反転出力）(注)
15、14	—	0	—	リザーブビット
13、12	SRSPTO[1:0]	00	R/W	レスポンスタイムアウト設定 00：64×MMCクロックの期間でタイムアウト 01：128×MMCクロックの期間でタイムアウト 10：256×MMCクロックの期間でタイムアウト 11：設定禁止
11 ～ 8	SRBSYTO[3:0]	0000	R/W	レスポンスビジータイムアウト設定 0000：2^{14}×MMCの期間でタイムアウト 0001：2^{15}×MMCの期間でタイムアウト ： 1110：2^{28}×MMCの期間でタイムアウト 1111：2^{29}×MMCの期間でタイムアウト

ビット	ビット名	初期値	R/W	説明
7 ～ 4	SRWDTO[3:0]	0000	R/W	ライトデータタイムアウト/リードデータタイムアウト設定 0000：2^{14}×MMCクロックの期間でタイムアウト 0001：2^{15}×MMCクロックの期間でタイムアウト ： 1110：2^{28}×MMCクロックの期間でタイムアウト 1111：2^{29}×MMCクロックの期間でタイムアウト
3 ～ 0	—	0	—	リザーブビット

注. CLKDIV[3:0]=1111に設定する場合、又はCLKDIV[3:0]=1111から他の値に設定変更する場合は、CLKEN=0（MMCクロック出力禁止）の状態でCLKDIV[3:0]に書き込んでください。

44.4.7 バッファアクセス設定レジスタ（CE_BUF_ACC）

CE_BUF_ACCは、データレジスタのアクセス方法とDMAの転送モードを設定するレジスタです。コマンドシーケンスを開始する（CE_CMD_SET レジスタのCMD[5:0] ビットに設定する）前にこのレジスタに設定してください。バッファの説明については「44.7.4 CE_DATAアクセス時のバッファアクセス選択機能」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DMAWEN	DMAREN	—	—	—	—	—	—	BUSW	ATYP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	R/W	R/W	—	—	—	—	—	—	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31 ～ 26	—	0	—	リザーブビット
25	DMAWEN	0	R/W	バッファライトDMA転送要求イネーブル 0：バッファライトDMA転送要求を禁止 1：バッファライトDMA転送要求を許可
24	DMAREN	0	R/W	バッファリードDMA転送要求イネーブル 0：バッファリードDMA転送要求を禁止 1：バッファリードDMA転送要求を許可
23 ～ 18	—	0	—	リザーブビット
17	BUSW	0	R/W	データレジスタアクセス幅選択 0：CE_DATAに32ビット単位でアクセス 1：CE_DATAに16ビット単位でアクセス
16	ATYP	0	R/W	バッファアクセス選択 0：バイト単位差し替え無し 1：バイト単位差し替え有り
15 ～ 0	—	0	—	リザーブビット

44.4.8　レスポンスレジスタ３～０（CE_RESP3～0）

CE_RESP3～0は、受信したレスポンス値が格納されるレジスタです。レスポンス値のフォーマットについては「44.7.1 コマンド/レスポンスのフォーマット」を参照してください。

注．自動CMD12に対するレスポンスは、CE_RESP_CMD12レジスタに格納されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[127:112]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[111:96]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	RSP[127:96]	H'0000 0000	R	17バイトレスポンス（R2）の[127:96]を格納

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[95:80]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[79:64]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	RSP[95:64]	H'0000 0000	R	17バイトレスポンス（R2）の[95:64]を格納

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[63:48]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[47:32]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	RSP[63:32]	H'0000 0000	R	17バイトレスポンス（R2）の[63:32]を格納

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 0	RSP[31:0]	H'0000 0000	R	6バイトレスポンスの[39:8]、又は 17バイトレスポンス（R2）の[31:0]を格納

44.4.9 自動CMD12レスポンスレジスタ（CE_RESP_CMD12）

CE_RESP_CMD12は、CMD12を自動発行した際に、CMD12に対するレスポンス値が格納されるレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP12[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP12[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 0	RSP12[31:0]	H'0000 0000	R	自動CMD12に対するレスポンスの[39:8]を格納

44.4.10 データレジスタ（CE_DATA）

CE_DATA は、バッファにアクセスするためのレジスタです。このレジスタに書き込むと、バッファに書き込まれます。このレジスタを読み出すと、バッファに格納されている値が読み出せます。16 ビットアクセス時はDATA[31:16]のみアクセス可能です。ライトデータ/リードデータのフォーマットについては「44.7.5 データフォーマット」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 0	DATA[31:0]	H'0000 0000	R/W	バッファライトデータ[31:0]/バッファリードデータ[31:0]

注. このレジスタに書き込んだ場合は、BUFWENビットに"0"を書き込んでからCE_BLOCK_SETレジスタに値を設定してください。このレジスタを読み出した場合は、BUFWENビット（CE_INTレジスタのビット21に"0"を書き込んでからCE_BLOCK_SETレジスタに値を設定してください。

44.4.11 割り込みフラグレジスタ（CE_INT）

CE_INT は、コマンドシーケンス実行中の各種ステータスを表すレジスタです。各ビットはセット条件を満たすと 1 になります。ビットをクリアする際は、クリアするビットのみ 0 を設定し、それ以外のビットは1を設定してください。

エラー、タイムアウト発生時の処理については「44.7.6 エラー、タイムアウト発生時の本モジュールの処理」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CMD12 DRE	CMD12 RBE	CMD12 CRE	DT RANE	BUF RE	BUF WEN	BUF REN	—	—	RBSYE	CRSPE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)	—	—	R/W (注)	R/W (注)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD VIO	BUF VIO	—	—	WDAT ERR	RDAT ERR	RIDX ERR	RSP ERR	—	—	—	CRCS TO	WDAT TO	RDAT TO	RBSY TO	RSP TO
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W (注)	R/W (注)	—	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	—	—	—	R/W (注)	R/W (注)	R/W (注)	R/W (注)	R/W (注)

ビット	ビット名	初期値	R/W	説明
31～27	—	0	—	リザーブビット
26	CMD12DRE	0	R/W (注1)	自動CMD12 &バッファリード完了 自動CMD12のレスポンスビジー及びバッファリードが完了すると"1"になります。(注2)

ビット	ビット名	初期値	R/W	説明
25	CMD12RBE	0	R/W (注1)	自動CMD12レスポンスビジー完了 自動CMD12のレスポンス受信及びレスポンスビジーが完了すると"1"になります。(注3)
24	CMD12CRE	0	R/W (注1)	自動CMD12コマンドレスポンス完了 自動CMD12のレスポンスを受信すると"1"になります。
23	DTRANE	0	R/W (注1)	データ送信完了 全ブロックの全データの送信が完了すると"1"になります。 •CRC statusを受信する（CRCSTEビット＝0）場合 CRC status後のビジー（データビジー）が完了したとき •CRC statusを受信しない（CRCSTEビット＝1）場合 データの送信が完了したとき
22	BUFRE	0	R/W (注1)	バッファリード完了 全ブロックの全データの受信が完了し、バッファからの読み出しが完了すると"1"になります。
21	BUFWEN	0	R/W (注1)	バッファライト可 バッファが空で書き込み可能になると"1"になります。(注4)
20	BUFREN	0	R/W (注1)	バッファリード可 バッファに転送ブロックサイズ分のデータが格納され読み出し可能になると"1"になります。(注5)
19、18	—	0	—	リザーブビット
17	RBSYE	0	R/W (注1)	レスポンスビジー完了 レスポンス受信とレスポンスビジーが完了すると"1"になります。(注6)
16	CRSPE	0	R/W (注1)	コマンドレスポンス完了 コマンドレスポンスが完了すると"1"になります。(注7) • レスポンス無し（RTYP[1:0]ビット＝00）の場合 コマンドの送信が完了したとき • 6バイト又は17バイトのレスポンス （RTYP[1:0]ビット＝01又は10）の場合 レスポンスを受信したとき
15	CMDVIO	0	R/W (注1)	コマンド発行エラー コマンド発行に以下のようなエラーが発生すると"1"になります。 •下記のいずれかの組み合わせをCE_CMD_SET、CE_BLOCK_SETレジスタへ設定した状態で、CMD[5:0]ビット（CE_CMD_SETレジスタのビット29～24）へ書き込んだとき - レスポンス無し＋レスポンスビジー有り - レスポンス無し＋データ有り - データ無し＋CMD12を自動発行する - データ有り＋シングルブロック転送＋CMD12を自動発行する - データ有り＋レスポンスビジー有り＋ CMD12を自動発行する - データ有り＋転送ブロックサイズ=0 - データ有り＋転送ブロックサイズ≧513 - データ有り＋マルチブロック転送＋転送ブロック数=0 •コマンドシーケンス実行中にCMD[5:0]ビットへ書き込んだとき（このとき、コマンドシーケンスは自動停止しません）

ビット	ビット名	初期値	R/W	説明
14	BUFVIO	0	R/W（注1）	バッファアクセスエラー バッファアクセス時に以下のようなエラーがあると"1"になります。このとき、コマンドシーケンスは自動停止しません。 • BLKSIZ[15:0]ビット（CE_BLOCK_SETレジスタのビット15～0）に設定したブロックサイズより多く CE_DATAへアクセスしたとき • カードからデータをリード中、BUFRENビットが"1"になっていない（DMA使用時は、バッファリードDMA転送要求が出ていない）にもかかわらずCE_DATAへアクセスしたとき • カードへデータをライト中、BUFWENビットが"1"になっていない（DMA使用時は、バッファライトDMA転送要求が出ていない）にもかかわらずCE_DATAへアクセスしたとき
13、12	—	0	—	リザーブビット
11	WDATERR	0	R/W（注1）	ライトデータエラー ライトデータ（CRC statusのステータス値、又はCRC statusのエンドビット）にエラーがあると"1"になります。 このとき、コマンドシーケンスは自動停止します。
10	RDATERR	0	R/W（注1）	リードデータエラー リードデータのCRC16、又はエンドビットにエラーがあると"1"になります。 このとき、コマンドシーケンスは自動停止します。
9	RIDXERR	0	R/W（注1）	レスポンスインデックスエラー レスポンスのインデックスにエラーがあると"1"になります。 このとき、コマンドシーケンスは自動停止します。 •RIDXC[1:0]＝00の場合 コマンドのインデックスと一致していないとき •RIDXC[1:0]＝01の場合 いずれかのビットが"1"になっていないとき
8	RSPERR	0	R/W（注1）	レスポンスエラー レスポンスに以下のエラーがあると"1"になります。 このとき、コマンドシーケンスは自動停止します。 •トランスミッションビットが"1"のとき •エンドビットにエラーがあるとき •CRC7にエラーがあるとき RCRC7C[1:0]ビット（CE_CMD_SETレジスタのビット13、12）＝00の場合 6バイトレスポンスのCRC7がコマンドのCRC7と一致していないとき RCRC7C[1:0]＝01の場合 6バイトレスポンスのCRC7のいずれかのビットが"1"になっていないとき RCRC7C[1:0]＝10の場合 17バイトレスポンスのCRC7にエラーがあるとき
7～5	—	0	—	リザーブビット
4	CRCSTO	0	R/W（注1）	CRC statusタイムアウト CRC statusを受信できないと"1"になります。 このとき、コマンドシーケンスは自動停止しません。

ビット	ビット名	初期値	R/W	説明
3	WDATTO	0	R/W（注1）	ライトデータタイムアウト CRC status受信後、SRWDTO[3:0]ビット（CE_CLK_CTRLレジスタのビット7～4）に設定した期間を超えてビジーが続くと"1"になります。 このとき、コマンドシーケンスは自動停止しません。
2	RDATTO	0	R/W（注1）	リードデータタイムアウト リードコマンド送信後、又はリードデータ受信後、SRWDTO[3:0]ビット（CE_CLK_CTRLレジスタのビット7～4）に設定した期間以内に次のリードデータを受信できないと"1"になります。 このとき、コマンドシーケンスは自動停止しません。
1	RBSYTO	0	R/W（注1）	レスポンスビジータイムアウト コマンド（自動CMD12含む）送信後、SRBSYTO[3:0]ビット（CE_CLK_CTRLレジスタのビット11～8）に設定した期間を超えてビジーが続くと"1"になります。 このとき、コマンドシーケンスは自動停止しません。
0	RSPTO	0	R/W（注1）	レスポンスタイムアウト コマンド（自動CMD12含む）送信後、SRSPTO[1:0]ビット（CE_CLK_CTRLレジスタのビット13、12）に設定した期間以内にレスポンスが受信できないと"1"になります。 このとき、コマンドシーケンスは自動停止しません。

注1. “1”を書くと“0”になります。“0”を書いても変化しません。
2. CMD12DREが“1”になると、同時にCMD12RBE、CMD12CRE、BUFREビットも“1”になりますので、これらのビットも併せて“0”にしてください。
3. CMD12RBEが“1”になると、同時にCMD12CREビットも“1”になりますので、併せて“0”にしてください。
また、マルチブロックライト時にCMD12RBEが“1”になると、同時にDTRANEビットも“1”になりますので、併せて“0”にしてください。
4. バッファライトDMA転送要求を許可（DMAWENビット（CE_BUF_ACレジスタのビット25）＝1）している場合は“1”になりません。
5. バッファリードDMA転送要求を許可（DMAWENビット（CE_BUF_ACレジスタのビット25＝1）している場合は“1”になりません。
6. RBSYEが“1”になると、同時にCRSPEビットが“1”になりますので、併せて“0”にしてください。なお、自動CMD12のレスポンスとレスポンスビジーについては、CMD12RBEビットに反映されます。
7. 自動CMD12のレスポンスについては、CMD12CREビットに反映されます。

44.4.12 割り込みマスクレジスタ（CE_INT_MASK）

CE_INT_MASKは、CE_INTレジスタの割り込み出力を制御するレジスタです。CE_INT_MASKレジスタの各ビットに"1"を設定しているとき、CE_INTレジスタ内の対応ビットが"1"になると割り込み要求が発生します。

割り込みの詳細については「44.5 割り込み要求」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MCMD12DRE	MCMD12RBE	MCMD12CRE	MDTRANE	MBUFRE	MBUFWEN	MBUFREN	—	—	MRBSYE	MCRSPE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCMDVIO	MBUFVIO	—	—	MWDATERR	MRDATERR	MRIDXERR	MRSPERR	—	—	—	MCRCSTO	MWDATTO	MRDATTO	MRBSYTO	MRSPTO
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	—	R/W	R/W	R/W	R/W	—	—	—	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～27	—	0	—	リザーブビット
26	MCMD12DRE	0	R/W	CMD12DRE割り込みマスク 0：CMD12DREビット（CE_INTレジスタのビット26）による割り込み出力を禁止 1：CMD12DREビット＝1のとき割り込み要求発生
25	MCMD12RBE	0	R/W	CMD12RBE割り込みマスク 0：CMD12RBEビット（CE_INTレジスタのビット25）による割り込み出力を禁止 1：CMD12RBEビット＝1のとき割り込み要求発生
24	MCMD12CRE	0	R/W	CMD12CRE割り込みマスク 0：CMD12CREビット（CE_INTレジスタのビット24）による割り込み出力を禁止 1：CMD12CREビット＝1のとき割り込み要求発生
23	MDTRANE	0	R/W	DTRANE割り込みマスク 0：DTRANEビット（CE_INTレジスタのビット23）による割り込み出力を禁止 1：DTRANEビット＝1のとき割り込み要求発生
22	MBUFRE	0	R/W	BUFRE割り込みマスク 0：BUFREビット（CE_INTレジスタのビット22）による割り込み出力を禁止 1：BUFREビット＝1のとき割り込み要求発生
21	MBUFWEN	0	R/W	BUFWEN割り込みマスク 0：BUFWENビット（CE_INTレジスタのビット21）による割り込み出力を禁止 1：BUFWENビット＝1のとき割り込み要求発生
20	MBUFREN	0	R/W	BUFREN割り込みマスク 0：BUFRENビット（CE_INTレジスタのビット20）による割り込み出力を禁止 1：BUFRENビット＝1のとき割り込み要求発生
19、18	—	0	—	リザーブビット

ビット	ビット名	初期値	R/W	説明
17	MRBSYE	0	R/W	RBSYE割り込みマスク 0：RBSYEビット（CE_INTレジスタのビット17）による割り込み出力を禁止 1：RBSYEビット＝1のとき割り込み要求発生
16	MCRSPE	0	R/W	CRSPE割り込みマスク 0：CRSPEビット（CE_INTレジスタのビット16）による割り込み出力を禁止 1：CRSPEビット＝1のとき割り込み要求発生
15	MCMDVIO	0	R/W	CMDVIO割り込みマスク 0：CMDVIOビット（CE_INTレジスタのビット15）による割り込み出力を禁止 1：CMDVIOビット＝1のとき割り込み要求発生
14	MBUFVIO	0	R/W	BUFVIO割り込みマスク 0：BUFVIOビット（CE_INTレジスタのビット14）による割り込み出力を禁止 1：BUFVIOビット＝1のとき割り込み要求発生
13、12	—	0	—	リザーブビット
11	MWDATERR	0	R/W	WDATERR割り込みマスク 0：WDATERRビット（CE_INTレジスタのビット11）による割り込み出力を禁止 1：WDATERRビット＝1のとき割り込み要求発生
10	MRDATERR	0	R/W	RDATERR割り込みマスク 0：RDATERRビット（CE_INTレジスタのビット10）による割り込み出力を禁止 1：RDATERRビット＝1のとき割り込み要求発生
9	MRIDXERR	0	R/W	RIDXERR割り込みマスク 0：RIDXERRビット（CE_INTレジスタのビット9）による割り込み出力を禁止 1：RIDXERRビット＝1のとき割り込み要求発生
8	MRSPERR	0	R/W	RSPERR割り込みマスク 0：RSPERRビット（CE_INTレジスタのビット8）による割り込み出力を禁止 1：RSPERRビット＝1のとき割り込み要求発生
7～5	—	0	—	リザーブビット
4	MCRCSTO	0	R/W	CRCSTO割り込みマスク 0：CRCSTOビット（CE_INTレジスタのビット4）による割り込み出力を禁止 1：CRCSTOビット＝1のとき割り込み要求発生
3	MWDATTO	0	R/W	WDATTO割り込みマスク 0：WDATTOビット（CE_INTレジスタのビット3）による割り込み出力を禁止 1：WDATTOビット＝1のとき割り込み要求発生

ビット	ビット名	初期値	R/W	説明
2	MRDATTO	0	R/W	RDATTO割り込みマスク 0：RDATTOビット（CE_INTレジスタのビット2）による割り込み出力を禁止 1：RDATTOビット＝1のとき割り込み要求発生
1	MRBSYTO	0	R/W	RBSYTO割り込みマスク 0：RBSYTOビット（CE_INTレジスタのビット1）による割り込み出力を禁止 1：RBSYTOビット＝1のとき割り込み要求発生
0	MRSPTO	0	R/W	RSPTO割り込みマスク 0：RSPTOビット（CE_INTレジスタのビット0）による割り込み出力を禁止 1：RSPTOビット＝1のとき割り込み要求発生

44.4.13 ステータスレジスタ 1 （CE_HOST_STS1）

CE_HOST_STS1 は、転送完了したブロック数、MMCCMD 端子／MMCDAT 端子の状態、受信したレスポンスのインデックス、コマンドシーケンスの状態を示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD SEQ	CMD SIG	RSPIDX[5:0]						DATSIG[7:0]							
初期値：	0	−	0	0	0	0	0	0	−	−	−	−	−	−	−	−
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCVBLK[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CMDSEQ	0	R	コマンドシーケンス状態 0：コマンドシーケンス初期状態 1：コマンドシーケンス実行中
30	CMDSIG	—	R	MMCCMD端子状態 0：MMCCMD端子はLレベル 1：MMCCMD端子はHレベル
29 ～ 24	RSPIDX[5:0]	000000	R	レスポンスインデックス 6バイトレスポンスの[45:40]、又は、 17バイトレスポンスの[133:128]を表示します。
23 ～ 16	DATSIG[7:0]	—	R	MMCDAT[7:0]端子状態（注） 0：MMCDAT[7:0]端子はLレベル 1：MMCDAT[7:0]端子はHレベル 注． DATSIG[i]ビットがMMCDAT[i]端子状態を示します。
15 ～ 0	RCVBLK[15:0]	H'0000	R	転送完了ブロック数 •CE_CMD_SETレジスタのDWENビット＝0のとき カードから読み出したブロック数 •CE_CMD_SETレジスタのDWENビット＝1のとき カードへ書き込んだブロック数

注． 通信エラー又はタイムアウトが発生すると、MMCDAT[0]端子がL状態のままの場合があります。

44.4.14 ステータスレジスタ２（CE_HOST_STS2）

CE_HOST_STS2は、各種タイムアウト、各種エラーの状態を示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRC STE	CRC 16E	AC12 CRCE	RSP CRC7E	CRC STEBE	RDAT EBE	AC12 REBE	RSP EBE	AC12 IDXE	RSP IDXE	—	—	—	CRCST[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	—	—	—	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	STRDAT TO	DATBSY TO	CRCST TO	AC12 BSYTO	RSP BSYTO	AC12 RSPTO	STRSP TO	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	R	R	R	R	R	R	R	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31	CRCSTE	0	R	CRC statusエラー CRC status値にエラーがあると"1"になります。
30	CRC16E	0	R	リードデータCRC16エラー リードデータのCRC16にエラーがあると"1"になります。
29	AC12CRCE	0	R	自動CMD12レスポンスCRC7エラー 自動CMD12に対するレスポンスのCRC7に以下のエラーがあると"1"になります。 •RCRC7C[1:0]＝00の場合 コマンドのCRC7と一致していないとき •RCRC7C[1:0]＝01の場合 いずれかのビットが"1"になっていないとき
28	RSPCRC7E	0	R	コマンドレスポンスCRC7エラー（自動CMD12以外） 6バイトレスポンス、又は17バイトレスポンスのCRC7に以下のエラーがあると"1"になります。 •RCRC7C[1:0]＝00の場合 6バイトレスポンスのCRC7がコマンドのCRC7と一致していないとき •RCRC7C[1:0]＝01の場合 6バイトレスポンスのCRC7のいずれかのビットが"1"になっていないとき •RCRC7C[1:0]＝10の場合 17バイトレスポンスのCRC7にエラーがあるとき
27	CRCSTEBE	0	R	CRC statusエンドビットエラー CRC statusのエンドビットにエラーがあると"1"になります。
26	RDATEBE	0	R	リードデータエンドビットエラー リードデータのエンドビットにエラーがあると"1"になります。
25	AC12REBE	0	R	自動CMD12レスポンスエンドビットエラー 自動CMD12に対するレスポンスのエンドビットにエラーがあると"1"になります。
24	RSPEBE	0	R	コマンドレスポンスエンドビットエラー（自動CMD12以外） レスポンスのエンドビットにエラーがあると"1"になります。

ビット	ビット名	初期値	R/W	説明
23	AC12IDXE	0	R	自動CMD12レスポンスインデックスエラー 自動CMD12に対するレスポンスのインデックスにエラーがあると"1"になります。 •RIDXC[1:0]＝00の場合 コマンドのインデックスと一致していないとき •RIDXC[1:0]＝01の場合 いずれかのビットが"1"になっていないとき
22	RSPIDXE	0	R	コマンドレスポンスインデックスエラー（自動CMD12以外） レスポンスのインデックスにエラーがあると"1"になります。 •RIDXC[1:0]＝00の場合 コマンドのインデックスと一致していないとき •RIDXC[1:0]＝01の場合 いずれかのビットが"1"になっていないとき
21 ～ 19	—	0	—	リザーブビット
18 ～ 16	CRCST[2:0]	000	R	CRC status 受信したCRC status値を表示します。
15	—	0	—	リザーブビット
14	STRDATTO	0	R	リードデータタイムアウト リードコマンド送信後、又はリードデータ受信後、SRWDTO[3:0]ビット（CE_CLK_CTRLレジスタのビット7～4）に設定した期間以内に次のリードデータが受信できないと"1"になります。
13	DATBSYTO	0	R	データビジータイムアウト CRC status受信後、SRWDTO[3:0]ビット（CE_CLK_CTRLレジスタのビット7～4）ビットに設定した期間を超えてビジーが続くと"1"になります。
12	CRCSTTO	0	R	CRC statusタイムアウト CRC statusを受信できないと"1"になります。
11	AC12BSYTO	0	R	自動CMD12レスポンスビジータイムアウト 自動CMD12送信後、SRBSYTO[3:0]ビット（CE_CLK_CTRLレジスタのビット11～8）に設定した期間を超えてビジーが続くと"1"になります。
10	RSPBSYTO	0	R	レスポンスビジータイムアウト コマンド（自動CMD12以外）送信後、SRBSYTO[3:0]ビット（CE_CLK_CTRLレジスタのビット11～8）に設定した期間を超えてビジーが続くと"1"になります。
9	AC12RSPTO	0	R	自動CMD12レスポンスタイムアウト 自動CMD12送信後、SRSPTO[1:0]ビット（CE_CLK_CTRLレジスタのビット13、12）に設定した期間以内にレスポンスが受信できないと"1"になります。
8	STRSPTO	0	R	レスポンスタイムアウト コマンド（自動CMD12以外）送信後、SRSPTO[1:0]ビット（CE_CLK_CTRLレジスタのビット13、12）に設定した期間以内にレスポンスを受信できないと"1"になります。
7 ～ 0	—	0	—	リザーブビット

44.4.15 バージョンレジスタ（CE_VERSION）

CE_VERSIONは、本モジュールのバージョンナンバの表示とソフトウエアリセットを制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SWRST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VERSION[15:0]															
初期値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	SWRST	0	R/W	ソフトウエアリセット 0：ソフトウエアリセット解除（通常動作） 1：ソフトウエアリセット中
30 ～ 16	—	0	—	リザーブビット
15 ～ 0	VERSION[15:0]	H'8000	R	バージョンナンバ

44.5 割り込み要求

本モジュールの割り込み要求の仕様を表 44.3に示します。本モジュールには、通常動作割り込み、エラー/タイムアウト割り込みの2種類の割り込み要求があります。割り込み要求ビットが"1"、かつ割り込みマスクビットが"1"のとき割り込み要求が発生します。

表44.3 割り込み要求の仕様

割り込み要求ビット		割り込みマスクビット		割り込み要求
レジスタ名	ビット名	レジスタ名	ビット名	
CE_INT	CMD12DRE	CE_INT_MASK	MCMD12DRE	通常動作割り込み（MMC2）
	CMD12RBE		MCMD12RBE	
	CMD12CRE		MCMD12CRE	
	DTRANE		MDTRANE	
	BUFRE		MBUFRE	
	BUFWEN		MBUFWEN	
	BUFREN		MBUFREN	
	RBSYE		MRBSYE	
	CRSPE		MCRSPE	
	CMDVIO		MCMDVIO	
	BUFVIO		MBUFVIO	
	WDATERR		MWDATERR	エラー/タイムアウト割り込み
	RDATERR		MRDATERR	
	RIDXERR		MRIDXERR	
	RSPERR		MRSPERR	
	CRCSTO		MCRCSTO	
	WDATTO		MWDATTO	
	RDATTO		MRDATTO	
	RBSYTO		MRBSYTO	
	RSPTO		MRSPTO	

44.6 DMA仕様

本モジュールはバッファリード用とバッファライト用の２チャンネルのDMA 転送要求を持ちます。

44.6.1 バッファライトDMA

DMAWENビット（CE_BUF_ACCレジスタのビット25）が"1"のときバッファが空になると、バッファライトDMA転送要求が発生します。

DMA転送要求は、（BLKSIZ[15:0]ビットに設定した転送ブロックサイズ）×（BLKCNT[15:0]ビットに設定した転送ブロック数）の間発生し、最終ブロックの転送が終わると無効になります。このとき、BUFWENビット（CE_INTレジスタのビット21）は"1"になりません。

DMA転送中にエラーが発生するか、DMA転送が強制終了されると、コマンドシーケンスが自動停止するため、DMA転送要求は無効になります。

44.6.2 バッファリードDMA

DMARENビット（CE_BUF_ACCレジスタのビット24）が"1"のとき、BLKSIZ[15:0]ビットに設定した転送ブロックサイズ分のデータがたまっていると、バッファリードDMA転送要求が発生します。

DMA転送要求は、（BLKSIZ[15:0]ビットに設定した転送ブロックサイズ）×（BLKCNT[15:0]ビットに設定した転送ブロック数）の間発生し、最終ブロックの転送が終わると無効になります。このとき、BUFWENビット（CE_INTレジスタのビット21）は"1"になりません。

DMA転送中にエラーが発生するか、DMA転送が強制終了されると、コマンドシーケンスが自動停止するため、DMA転送要求は無効になります。

44.7 動作説明

44.7.1 コマンド/レスポンスのフォーマット

送信するコマンドのフォーマットを図44.2に示します。CMD[5:0]ビット（CE_CMD_SETレジスタのビット29～24）に設定したコマンドインデックスとARG[31:0]ビット（CE_ARGレジスタのビット31～0）に設定したアーギュメントが反映されます。

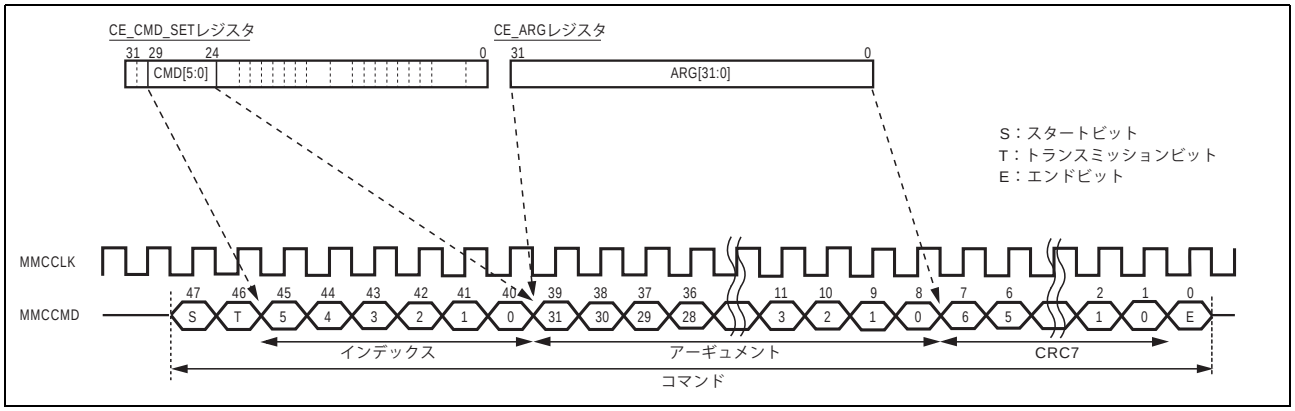


図 44.2 コマンドのフォーマット

6バイトレスポンス受信時のフォーマットを図44.3に、17バイトレスポンス(R2)受信時のフォーマットを図44.4に示します。受信したレスポンスインデックス値はRSPIDX[5:0]ビット（CE_HOST_STS1レジスタのビット29～24）に格納されます。また、受信したステータス値はCE_RESP0レジスタ又はCE_RESP3～0レジスタに格納されます。レスポンスのチェック内容は、RIDXC[1:0]ビット（CE_CMD_SETレジスタのビット15、14）とRCRC7C[1:0]ビット（CE_CMD_SETレジスタのビット13、12）で設定します。

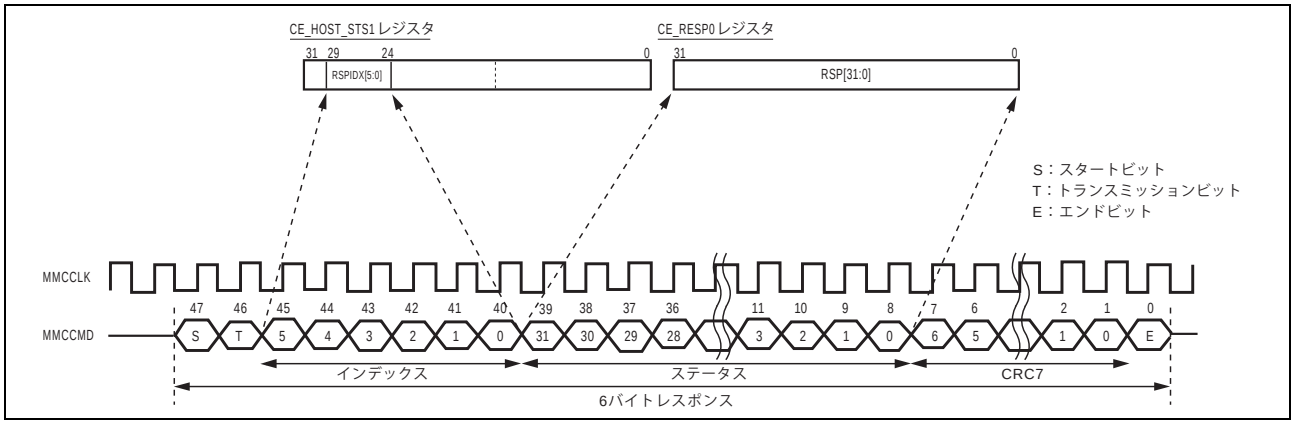


図 44.3　6バイトレスポンスのフォーマット

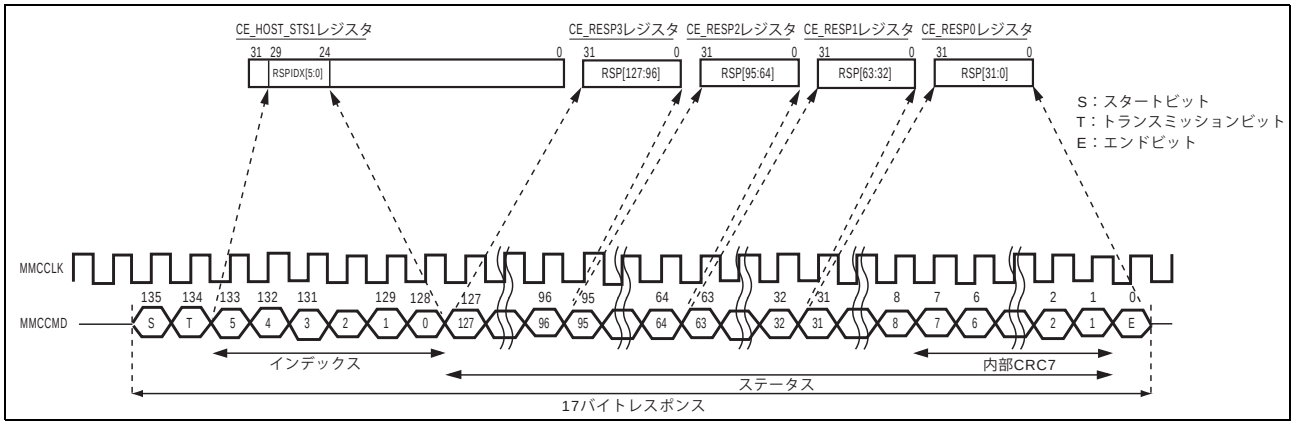


図 44.4　17バイトレスポンスのフォーマット（R2）

44.7.2　自動CMD12発行

CMD12EN ビット（CE_CMD_SET レジスタのビット 16）を 1 に設定しマルチブロック転送を行うと、CMD12 を自動で発行します。

図 44.5 にマルチブロックリード時の自動 CMD12 発行タイミングを示します。CMD12 は、最終ブロック受信中にデータのエンドビットから 2 ビット前にコマンドのエンドビットが来るように発行されます。

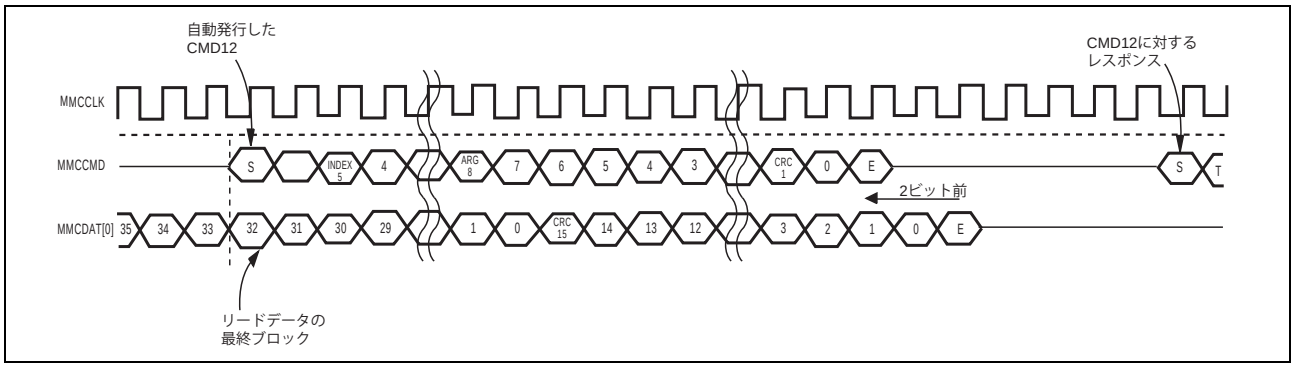


図 44.5　マルチブロックリード時の自動CMD12発行タイミング
（データバス幅1ビット：DATW[1:0]ビット＝00時）

図 44.6 にマルチブロックライト時の自動CMD12発行タイミングを示します。CMD12は、最終ブロックの送信後のデータビジーが終了した後に発行されます。

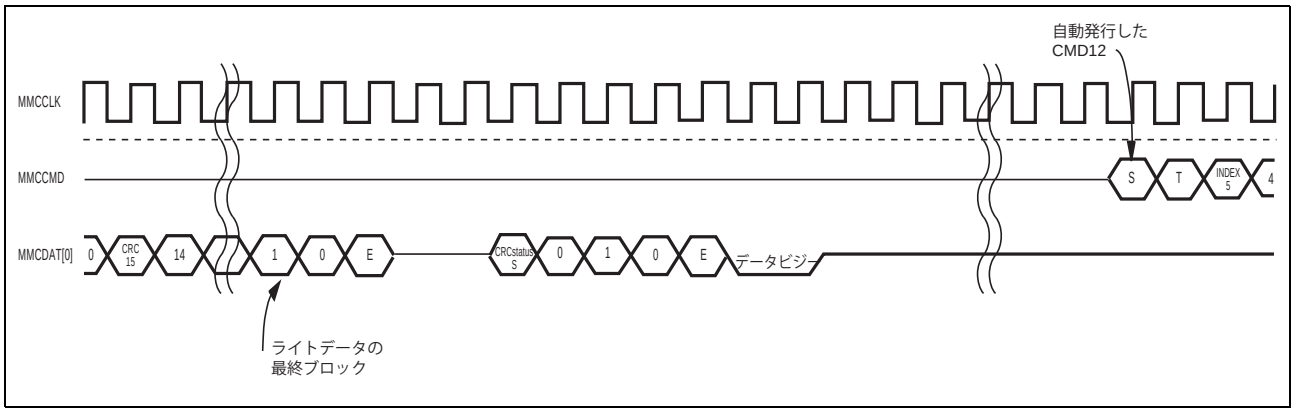


図 44.6　マルチブロックライト時の自動CMD12発行タイミング
（データバス幅1ビット：DATW[1:0]ビット＝00時）

なお、自動 CMD12 のアーギュメントは、CE_ARG_CMD12 レジスタに設定してください。CMD12 に対するレスポンス [39:8] は、CE_RESP_CMD12 レジスタに格納されます。また、レスポンス受信時のビジーを受信します。

44.7.3　バッファ構造とバッファアクセス

本モジュールは 図 44.7 に示すように、2 つの512 バイトのRAMをダブルバッファとして使用します。

バッファには、CE_DATA を使ってアクセスします。転送ブロックサイズを4×n+1もしくは4×n+3 と設定した場合、16 ビットアクセス時は 4×n+2 バイトもしくは 4×(n+1) バイト分 CE_DATA にアクセスしてください。32 ビットアクセス時は4×(n+1)バイト分CE_DATA にアクセスしてください。(n=0,1,2,3,…,127)

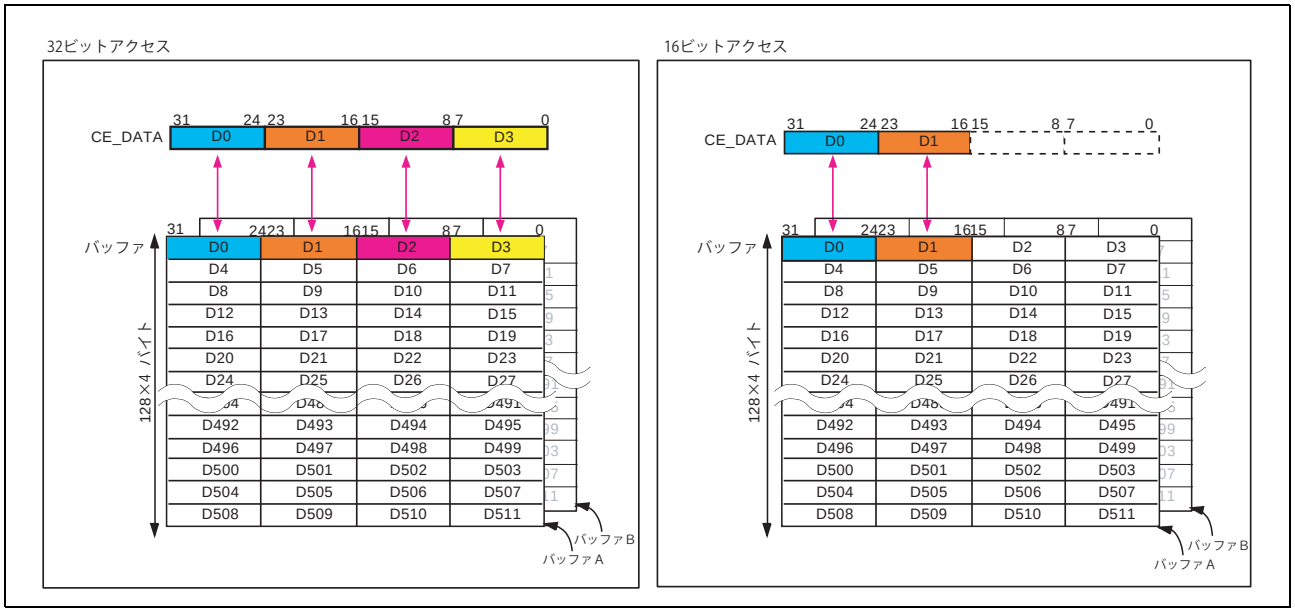


図 44.7　ダブルバッファの構造

44.7.4　CE_DATAアクセス時のバッファアクセス選択機能

ATYPビット（CE_BUF_ACCレジスタのビット16）によって、CE_DATAにライト、リードする際に、データを1バイト単位で差し替えてバッファをアクセスすることができます（バッファアクセス選択機能）。図44.8にバッファアクセス選択機能を示します。

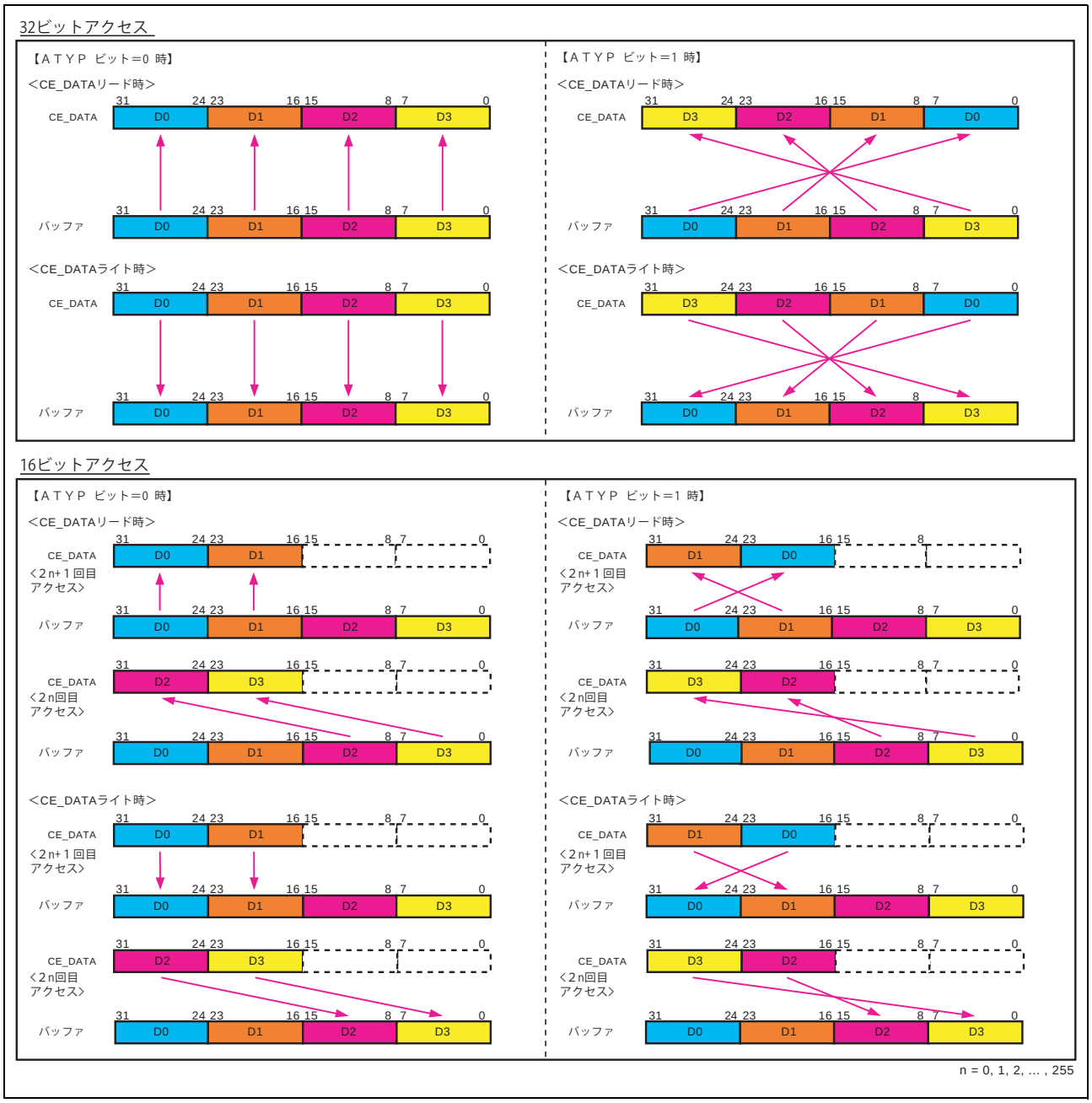


図 44.8　バッファアクセス選択機能

44.7.5　データフォーマット

データのフォーマットを図 44.9、図 44.10、図 44.11に示します。送信（カードへの書き込み）時、バッファに格納されたデータを送信します。受信（カードからの読み出し）時、受信したデータをバッファに格納します。

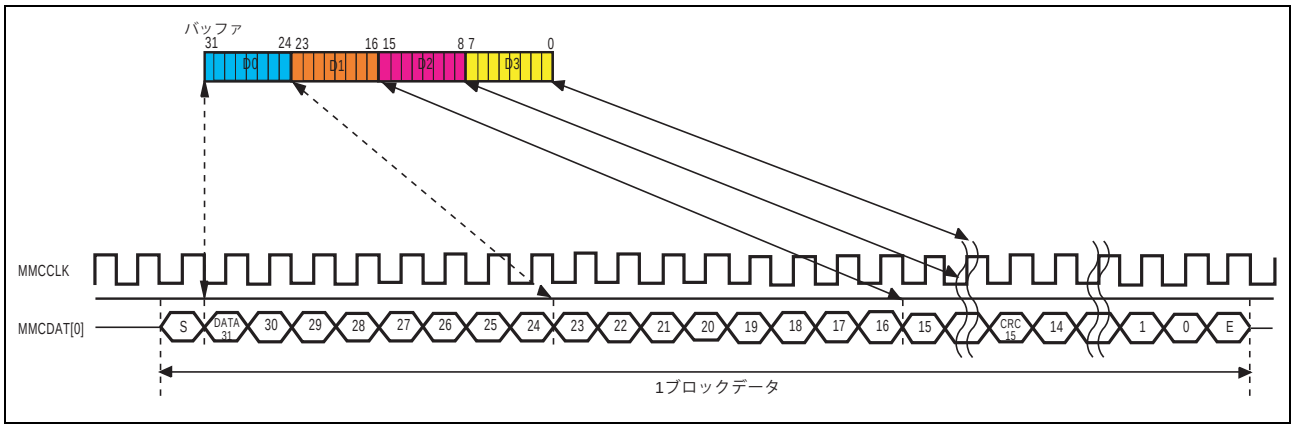


図 44.9　データのフォーマット（データバス幅1ビット：DATW[1:0]ビット＝00時）

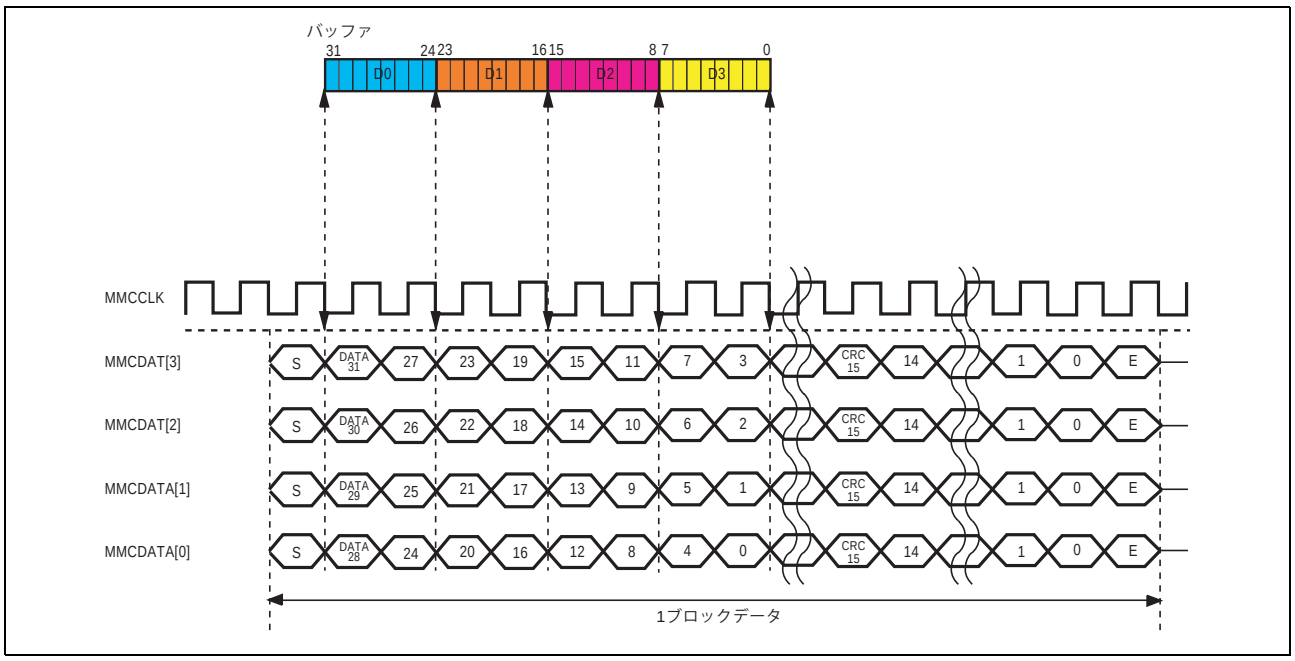


図 44.10　データのフォーマット（データバス幅4ビット：DATW[1:0]ビット＝01時）

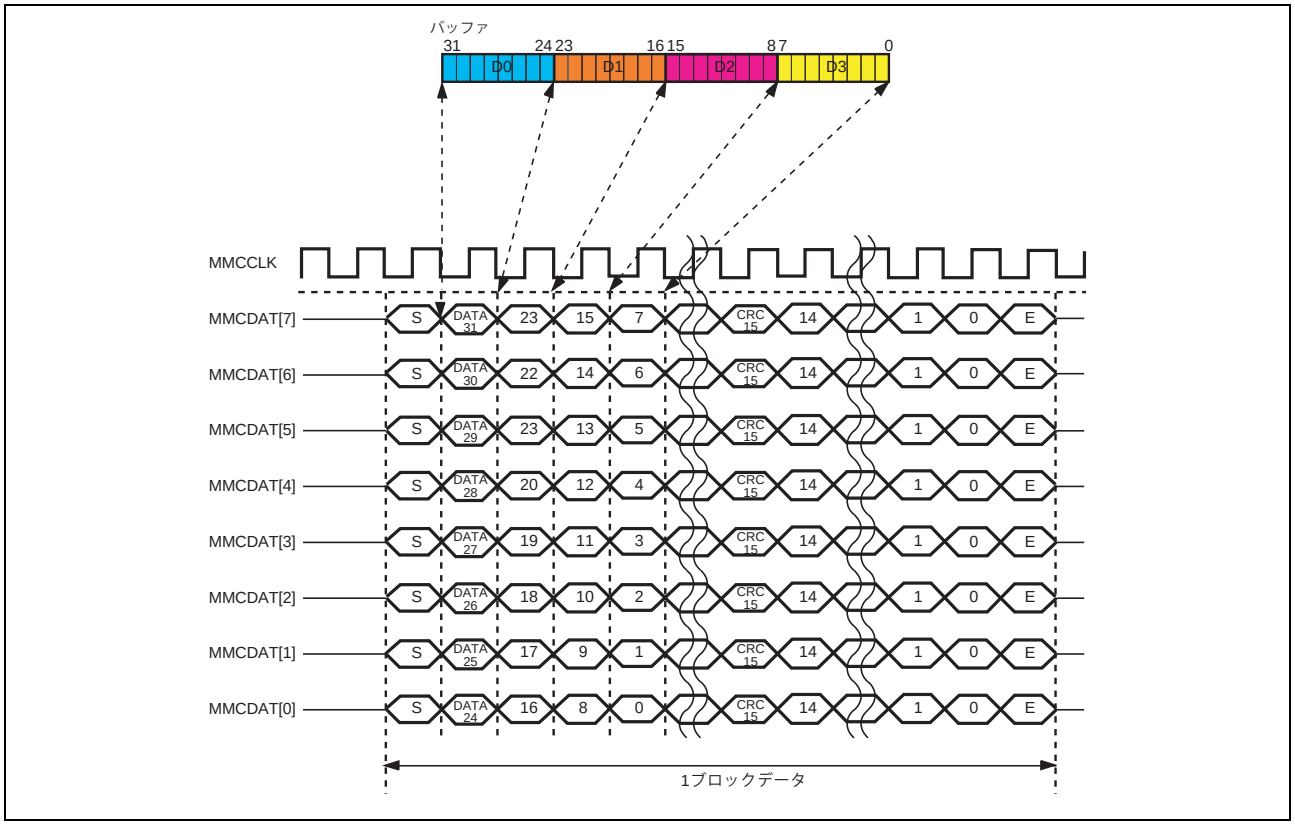


図 44.11　データのフォーマット（データバス幅8ビット：DATW[1:0]ビット＝10時）

44.7.6　エラー、タイムアウト発生時の本モジュールの処理

エラー、又はタイムアウトが発生したとき、コマンドシーケンスが実行中（CE_HOST_STS1レジスタのCMDSEQビット＝1）であれば、強制終了実施後、ソフトウエアリセットを実行してから、再度コマンドを発行してください。

なお、エラー発生時にバッファに格納されていた送信データ、受信データは保証されません。

44.8　設定例

代表的なコマンドシーケンスを実行する手順について説明します。

44.8.1　凡例

図に使用されている記号について図 44.12 に示します。

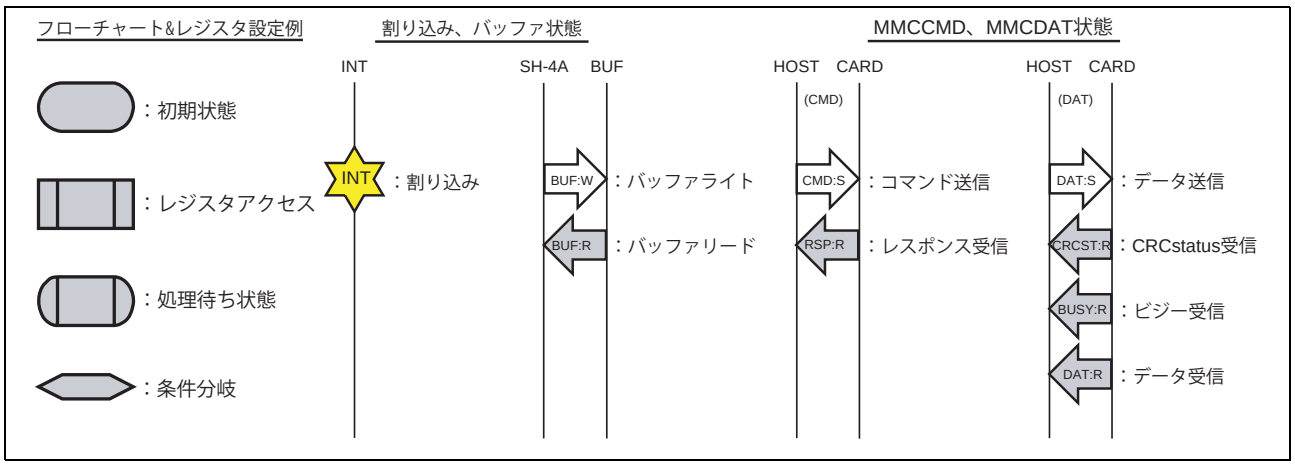


図 44.12　図中記載記号の凡例

44.8.2　コマンド送信設定例

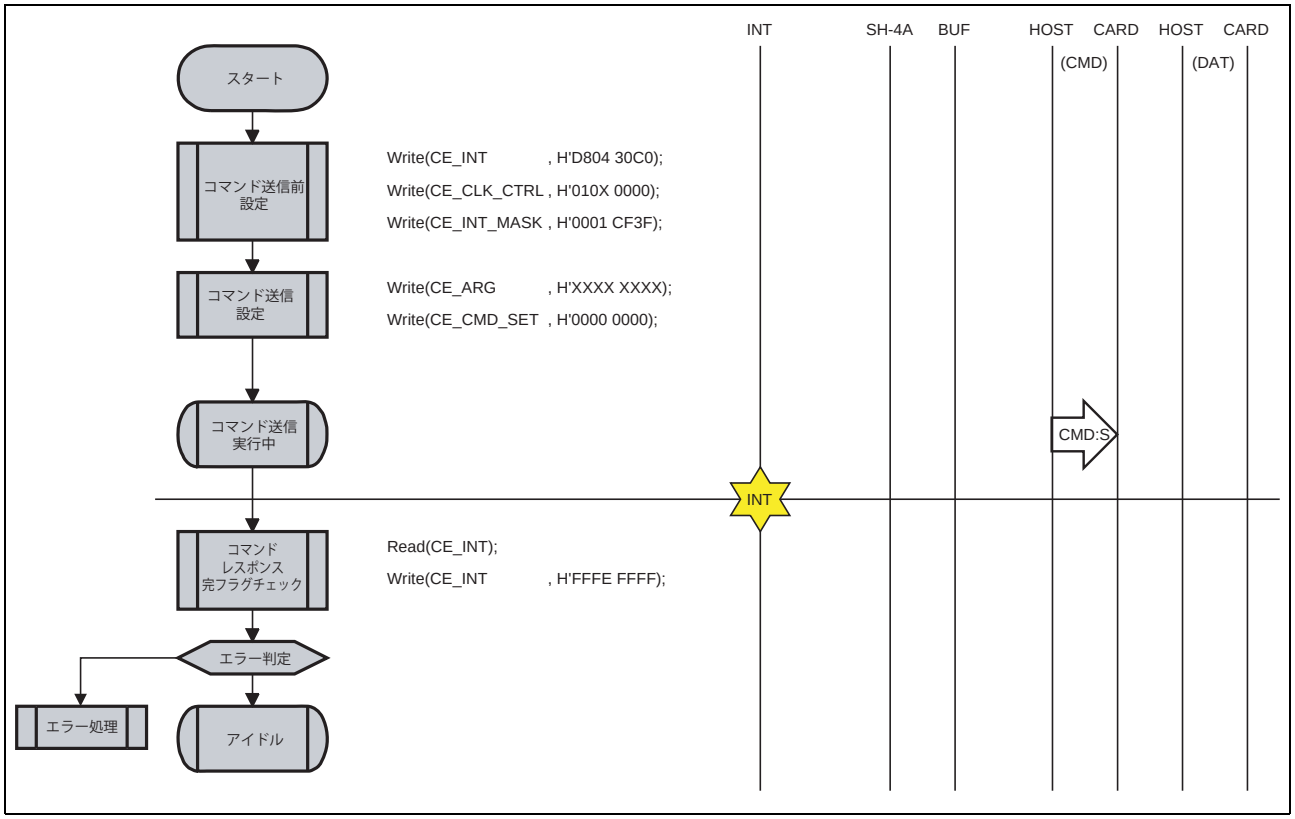


図 44.13　コマンド送信設定例（CMD0）

44.8.3 コマンド送信→レスポンス受信設定例

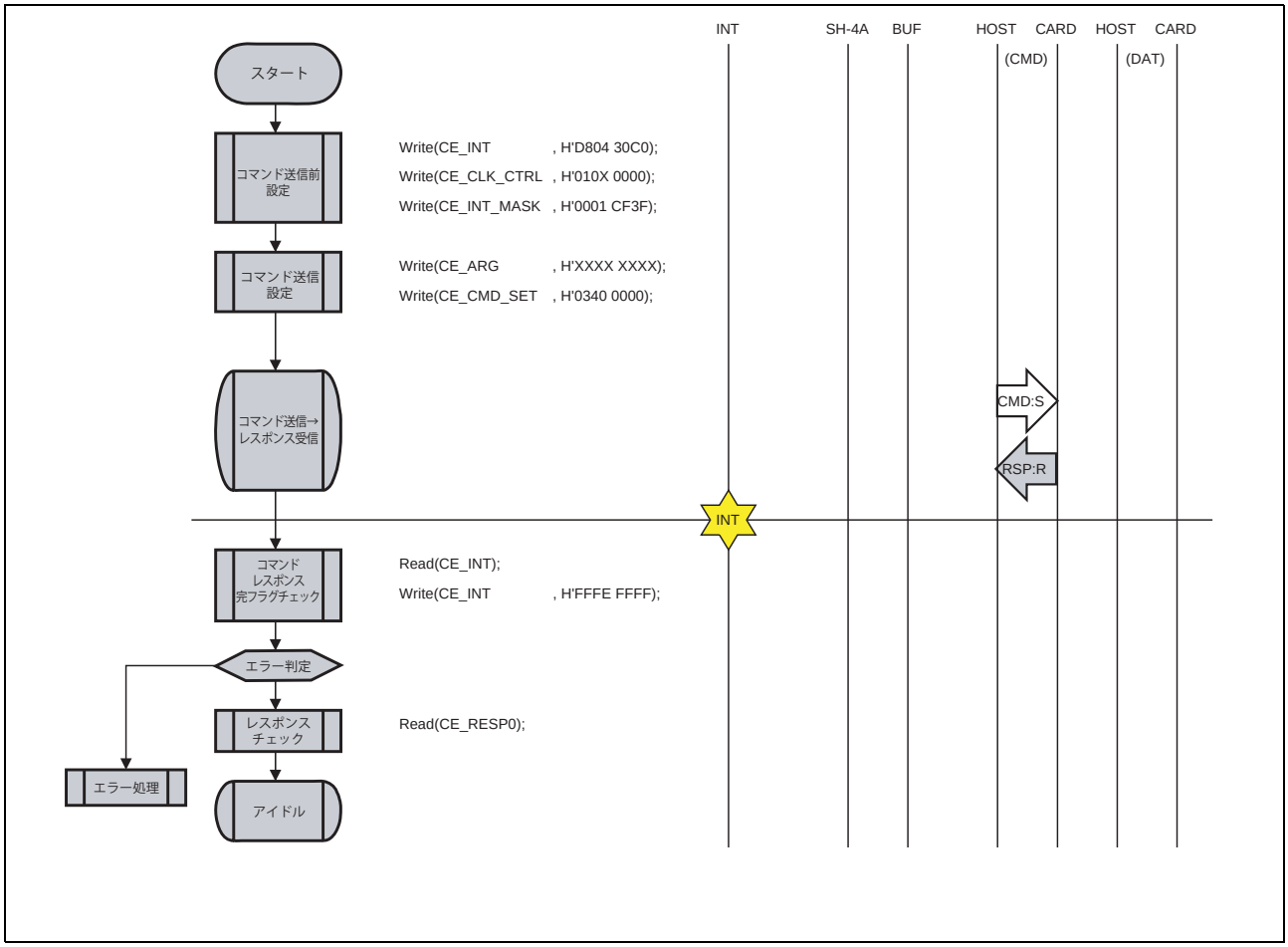


図 44.14 コマンド送信→レスポンス受信設定例（CMD13）

44.8.4 コマンド送信→レスポンス受信（レスポンスビジー有り）設定例

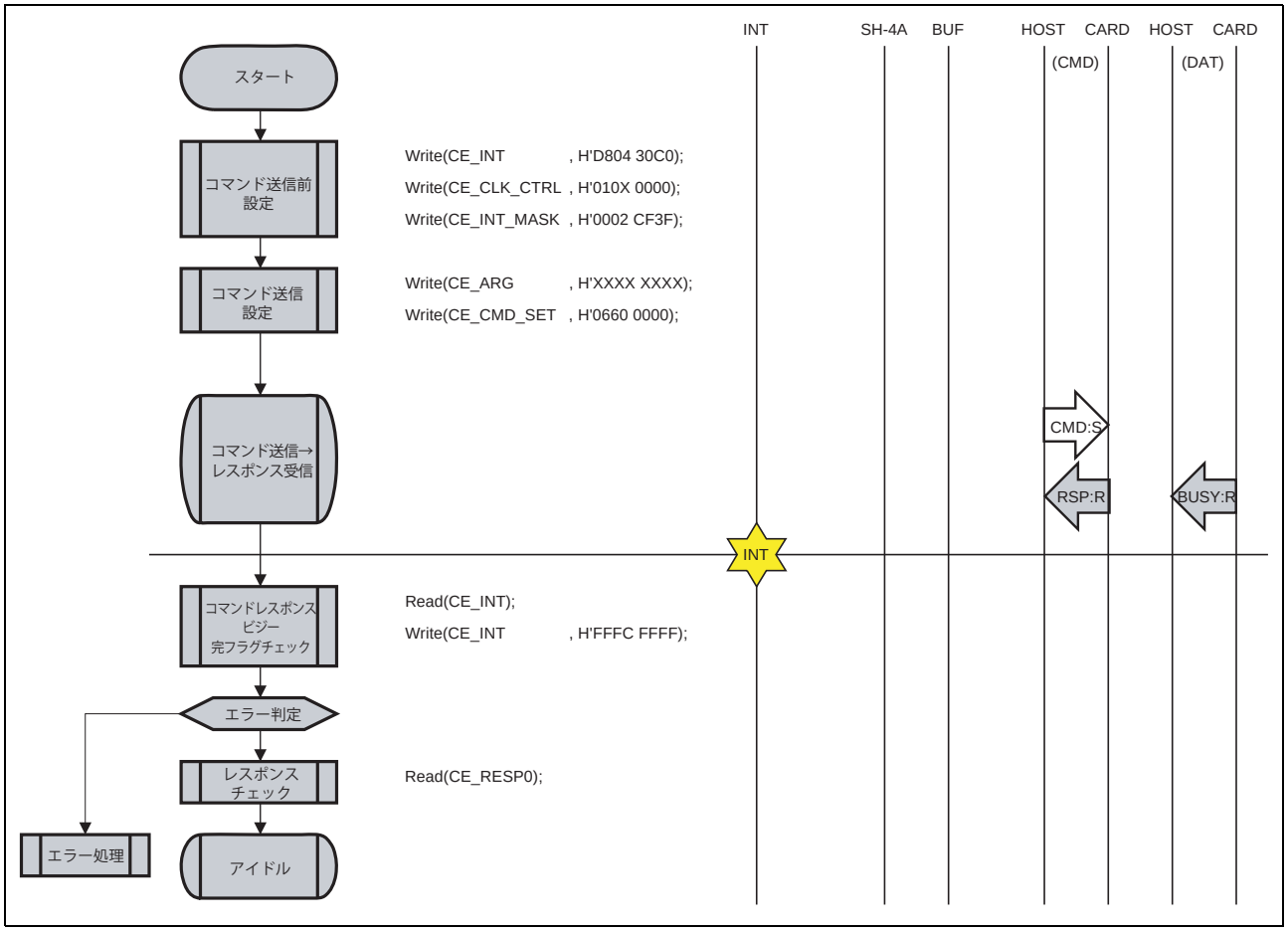


図 44.15 コマンド送信→レスポンス受信(レスポンスビジー有り)設定例（CMD6）

44.8.5 シングルブロックリード設定例

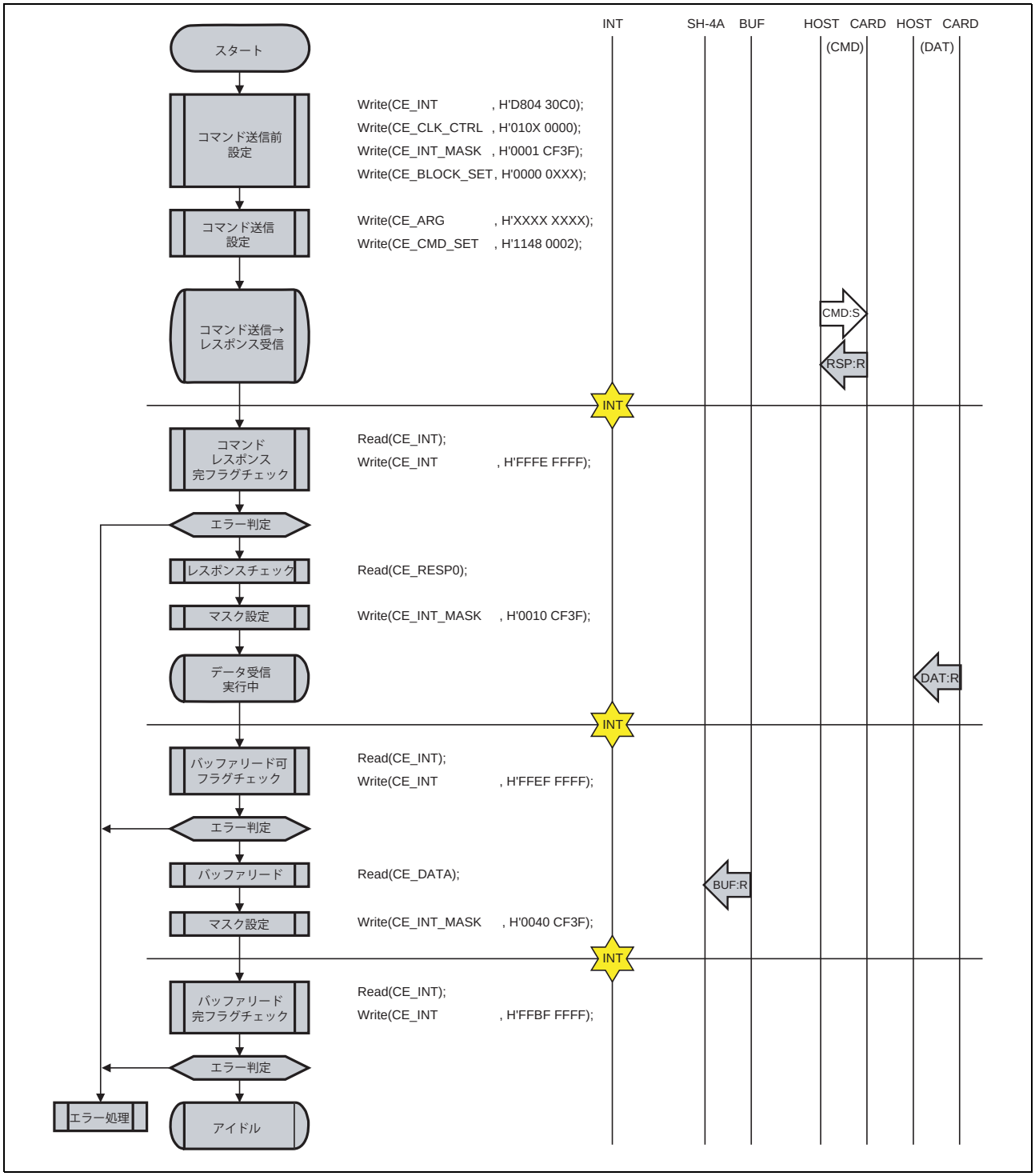


図 44.16 シングルブロックリード設定例（CMD17）

44.8.6 マルチブロックリード（自動CMD12 発行有り）設定例

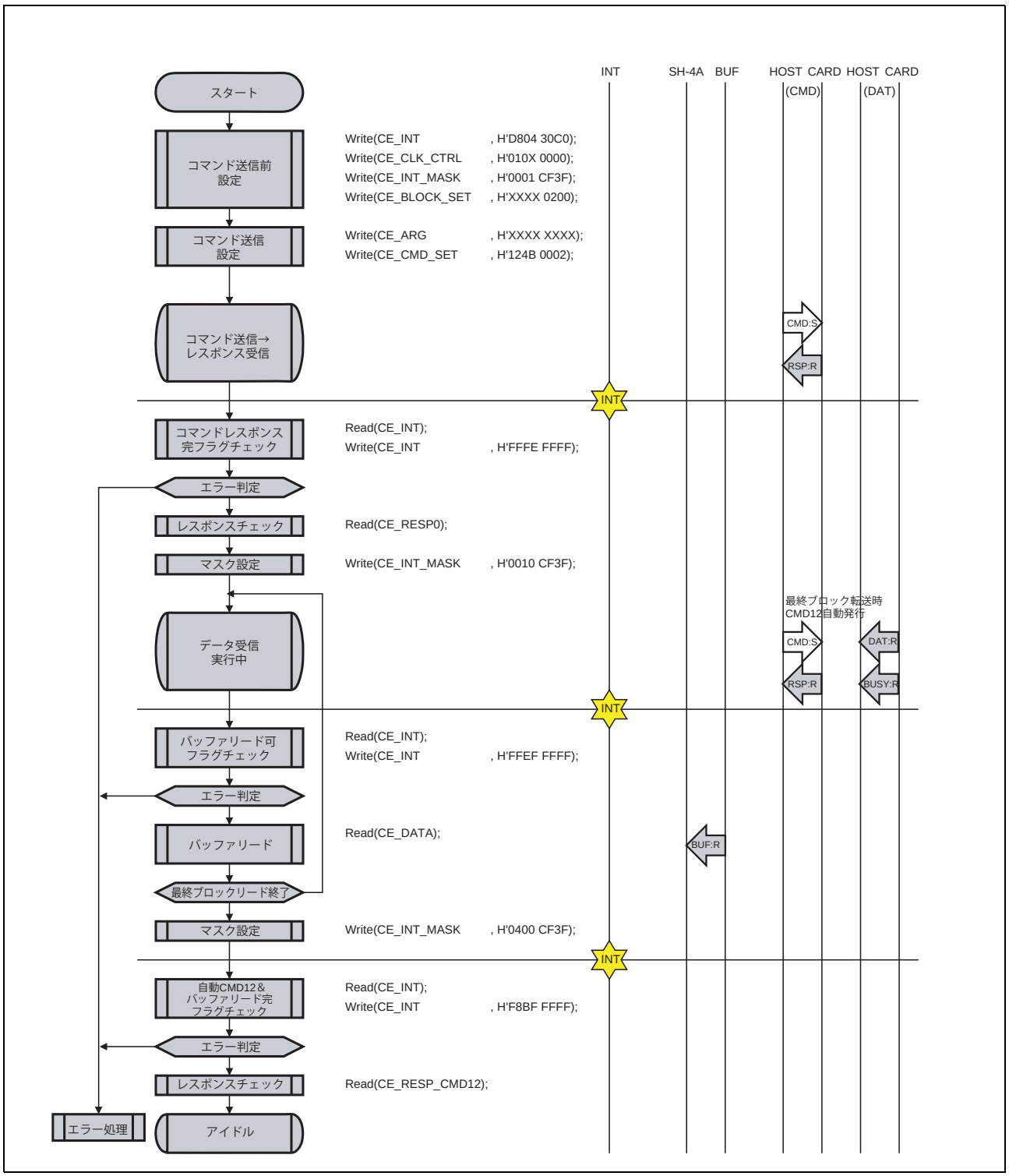


図 44.17 マルチブロックリード（自動CMD12 発行有り）設定例 （CMD18）

44.8.7 シングルブロックライト設定例

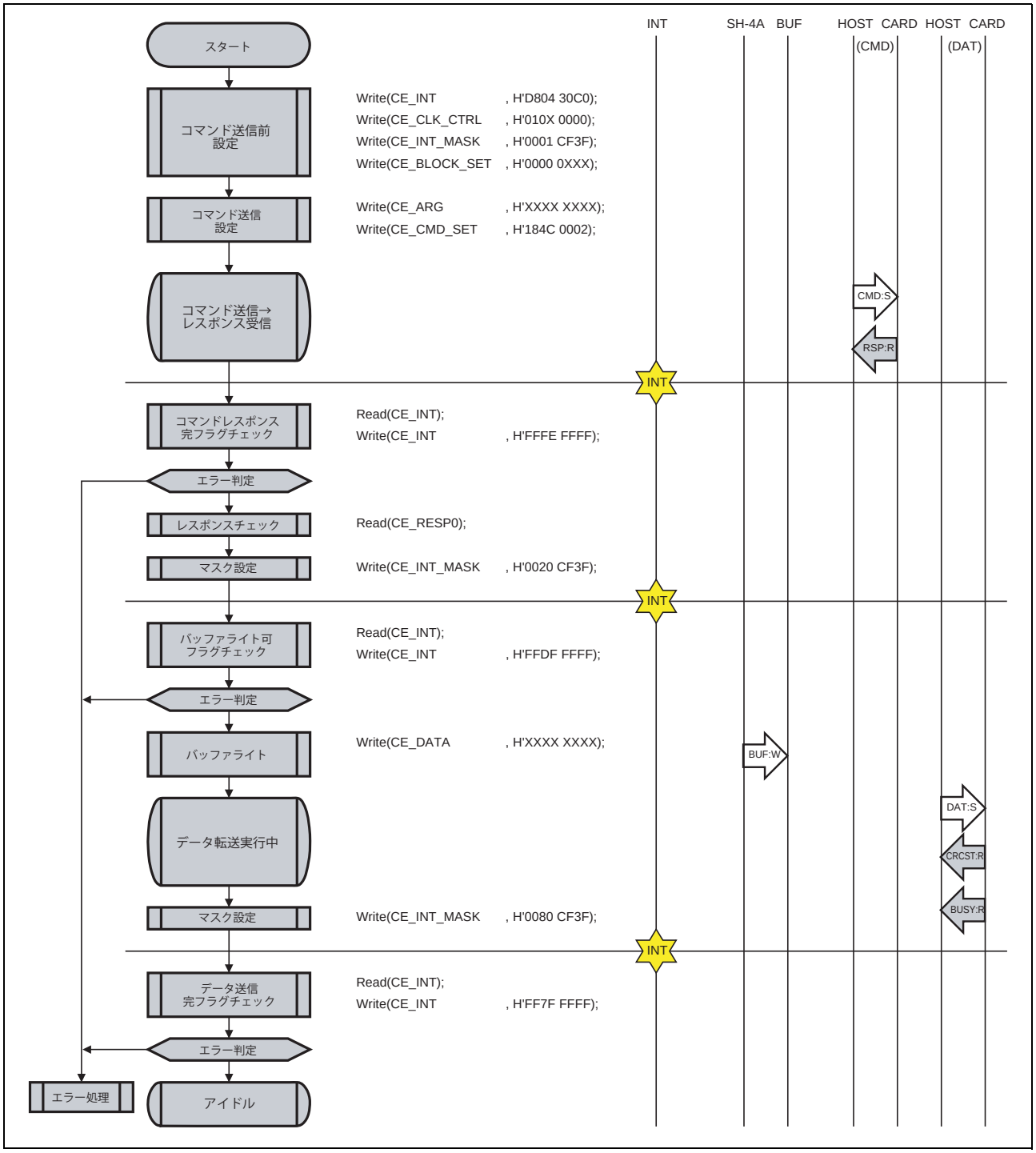


図 44.18 シングルブロックライト設定例（CMD24）

44.8.8 マルチブロックライト（自動CMD12発行有り）設定例

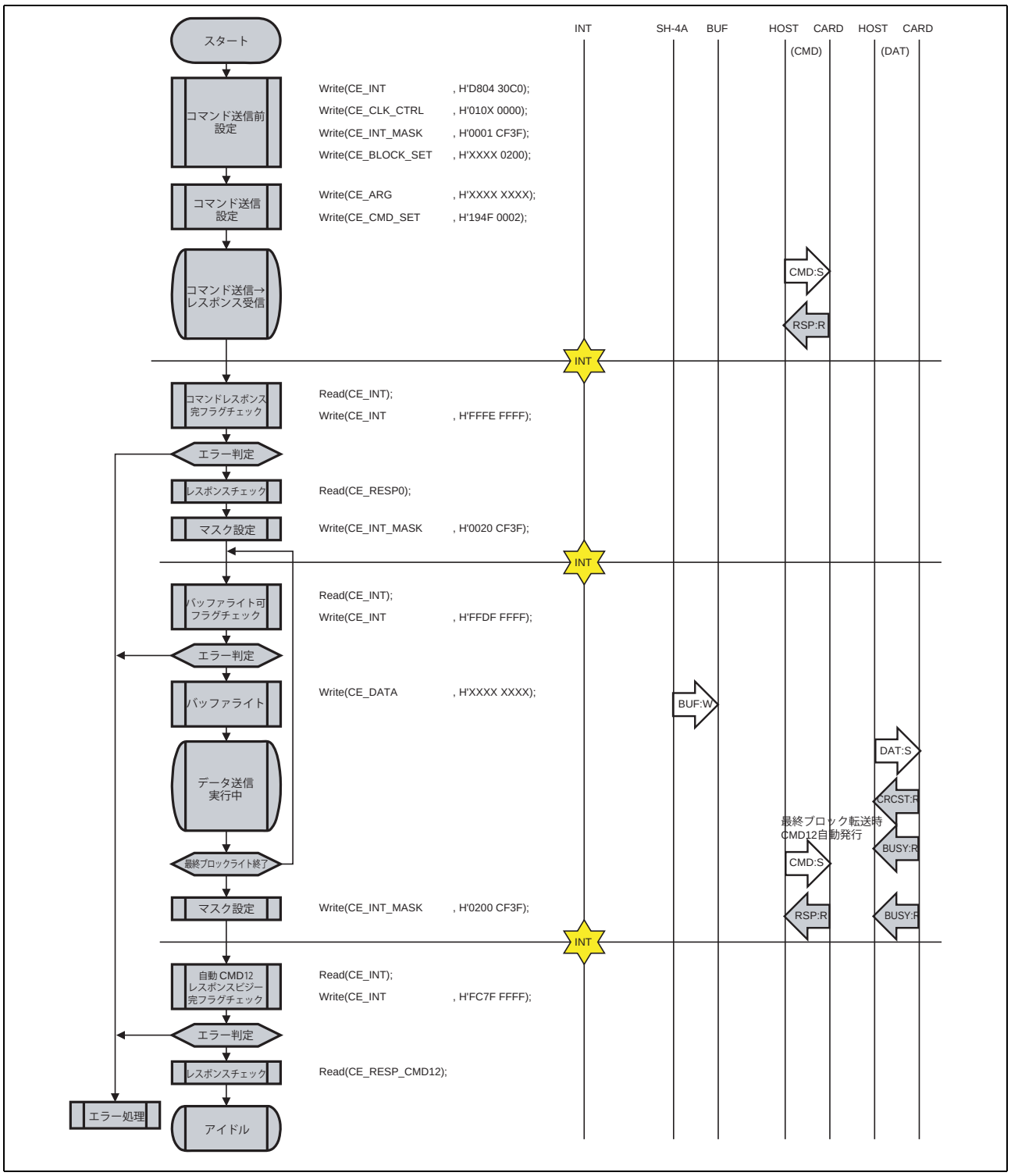


図 44.19 マルチブロックライト(自動CMD12発行有り)設定例（CMD25）

44.8.9 強制終了設定例

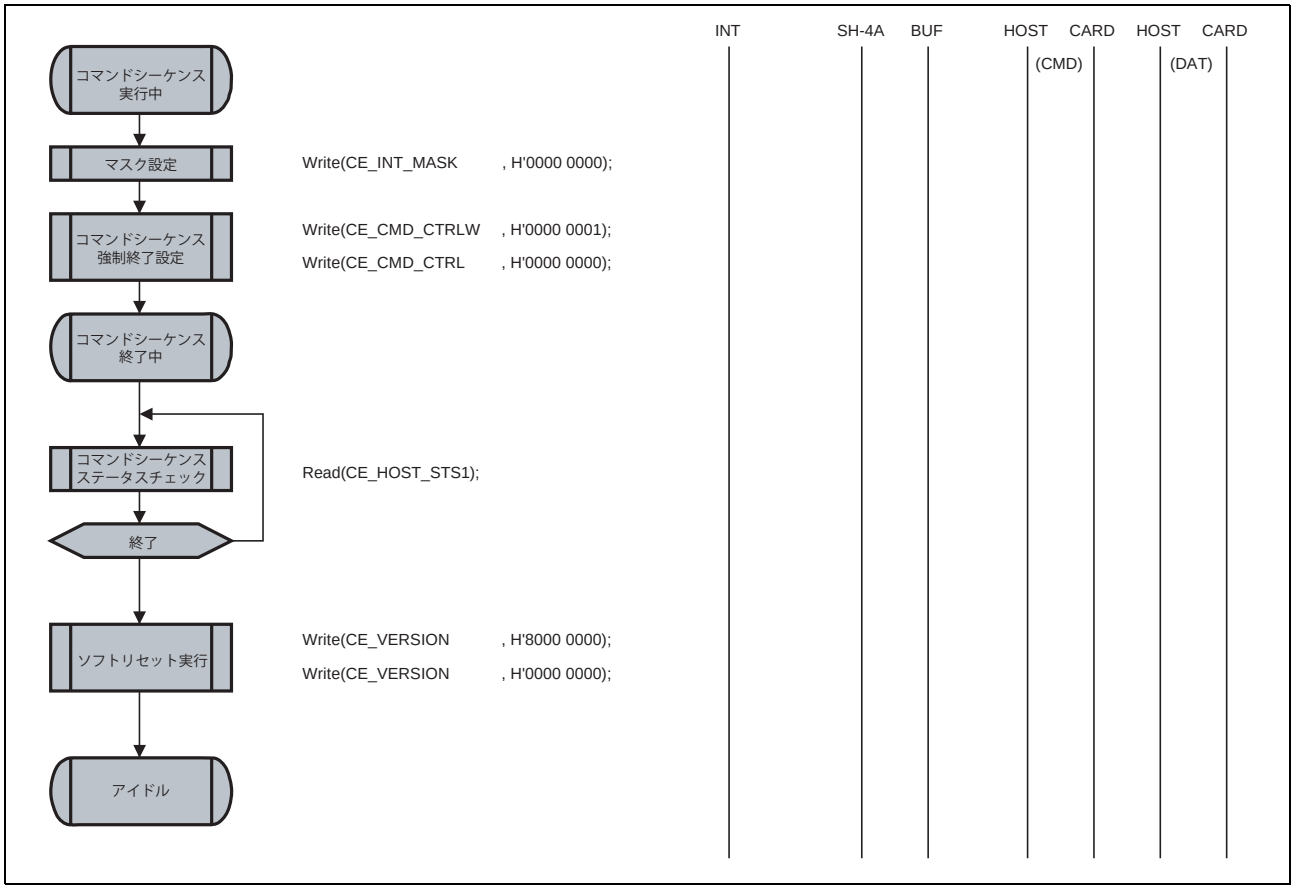


図 44.20 強制終了設定例

44.8.10 CE_CMD_SET設定値

コマンドを発行する際の設定値を表 44.4 に示します。

表44.4 CE_CMD_SET設定値

CMD	略称	RSP	CE_CMD_SET 設定値													
			CMD[5:0]	RTYP[1:0]	RBSY	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	CRC16C	CRCSTE	TBIT	OPDM	DATW
CMD0	GO_IDLE_STATE	-	H'00	00	0	0	0	0	0	00	00	0	0	0	0	00
CMD1	SEND_OP_COND	R3	H'01	01	0	0	0	0	0	01	01	0	0	0	0	00
CMD2	ALL_SEND_CID	R2	H'02	10	0	0	0	0	0	00	10	0	0	0	0	00
CMD3	SET_RELATIVE_ADDR	R1	H'03	00	0	0	0	0	0	00	00	0	0	0	0	00
CMD4	SET_DSR	-	H'04	00	0	0	0	0	0	00	00	0	0	0	0	00
CMD6	SWITCH	R1b	H'06	01	1	0	0	0	0	00	00	0	0	0	0	00
CMD7	SELECT/DESELECT_CARD	R1	H'07	01	0	0	0	0	0	00	00	0	0	0	0	00
	(dis->prg)	R1b	H'07	01	1	0	0	0	0	00	00	0	0	0	0	00
CMD8	SEND_EXT_CSD	R1	H'08	01	0	1	0	0	0	00	00	0	0	0	0	XX
CMD9	SEND_CSD	R2	H'09	10	0	0	0	0	0	01	10	0	0	0	0	00
CMD10	SEND_CID	R2	H'0A	10	0	0	0	0	0	01	10	0	0	0	0	00
CMD12	STOP_TRANSMISSION	R1b	H'0C	01	1	0	0	0	0	00	00	0	0	0	0	00
CMD13	SEND_STATUS	R1	H'0D	01	0	0	0	0	0	01	00	0	0	0	0	00
CMD14	BUSTEST_R	R1	H'0E	01	0	1	0	0	0	00	00	1	0	0	0	XX
CMD15	GO_INACTIVE_STATE	-	H'0F	00	0	0	0	0	0	00	00	0	0	0	0	00
CMD16	SET_BLOCKLEN	R1	H'10	01	0	0	0	0	0	00	00	0	0	0	0	00
CMD17	READ_SINGLE_BLOCK	R1	H'11	01	0	1	0	0	0	00	00	0	0	0	0	XX
CMD18	READ_MULTIPLE_BLOCK	R1	H'12	01	0	1	0	1	0	00	00	0	0	0	0	XX
	(Open-ended)	R1	H'12	01	0	1	0	1	1	00	00	0	0	0	0	XX
CMD19	BUSTEST_W	R1	H'13	01	0	1	1	0	0	00	00	0	1	0	0	XX
CMD23	SET_BLOCK_COUNT	R1	H'17	01	0	0	0	0	0	00	00	0	0	0	0	00
CMD24	WRITE_BLOCK	R1	H'18	01	0	1	1	0	0	00	00	0	0	0	0	XX
CMD25	WRITE_MULTIPLE_BLOCK	R1	H'19	01	0	1	1	1	0	00	00	0	0	0	0	XX
	(Open-ended)	R1	H'19	01	0	1	1	1	1	00	00	0	0	0	0	XX
CMD26	PROGRAM_CID	R1	H'1A	01	0	1	1	0	0	00	00	0	0	0	0	XX
CMD27	PROGRAM_CSD	R1	H'1B	01	0	1	1	0	0	00	00	0	0	0	0	XX
CMD28	SET_WRITE_PROT	R1b	H'1C	01	1	0	0	0	0	00	00	0	0	0	0	00
CMD29	CLR_WRITE_PROT	R1b	H'1D	01	1	0	0	0	0	00	00	0	0	0	0	00
CMD30	SEND_WRITE_PROT	R1	H'1E	01	0	1	0	0	0	00	00	0	0	0	0	XX
CMD35	ERASE_GROUP_START	R1	H'23	01	0	0	0	0	0	00	00	0	0	0	0	00
CMD36	ERASE_GROUP_END	R1	H'24	01	0	0	0	0	0	00	00	0	0	0	0	00
CMD38	ERASE	R1b	H'26	01	1	0	0	0	0	00	00	0	0	0	0	00
CMD39	FAST_IO	R4	H'27	01	0	0	0	0	0	00	00	0	0	0	0	00
CMD40	GO_IRQ_STATE (send CMD)	R5	H'28	01	0	0	0	0	0	00	00	0	0	0	0	00
	(send RSP)	R5	H'28	01	0	0	0	0	0	00	00	0	0	1	1	00
CMD42	LOCK_UNLOCK	R1	H'2A	01	0	1	1	0	0	00	00	0	0	0	0	XX
CMD55	APP_CMD	R1	H'37	01	0	0	0	0	0	00	00	0	0	0	0	00
CMD56	GEN_CMD (R)	R1	H'38	01	0	1	0	0	0	00	00	0	0	0	0	00
	(W)	R1	H'38	01	1	1	1	0	0	00	00	0	0	0	0	XX

45. シリアル汎用入出力ポート（SGPIO）

本LSIは3チャネル（チャネル0～2）のシリアル汎用入出力ポート(SGPIO)を内蔵しています。

45.1 特長

SGPIOには次のような特長があります。

- 汎用シフトレジスタ（対象IC：74LV595A、74LV165A）の通信プロトコルをサポート
- SClock周波数は10種類から選択可能（max:48MHz、min:93KHz）
- 128ビットの送信データレジスタと受信データレジスタを有しており、1ビットストリームで2～128ビットのデータを転送することが可能
- データ送信とデータ受信を同時実行可能（全2重通信）
- 単発転送モードと連続転送モードを搭載
- I/Oは3.3Vノーマル I/O（4mA-driver）を使用
- 2種類の割り込み要因（転送完了割り込み、ビット一致割り込み）

図 45.1 にSGPIOのブロック図を示します。

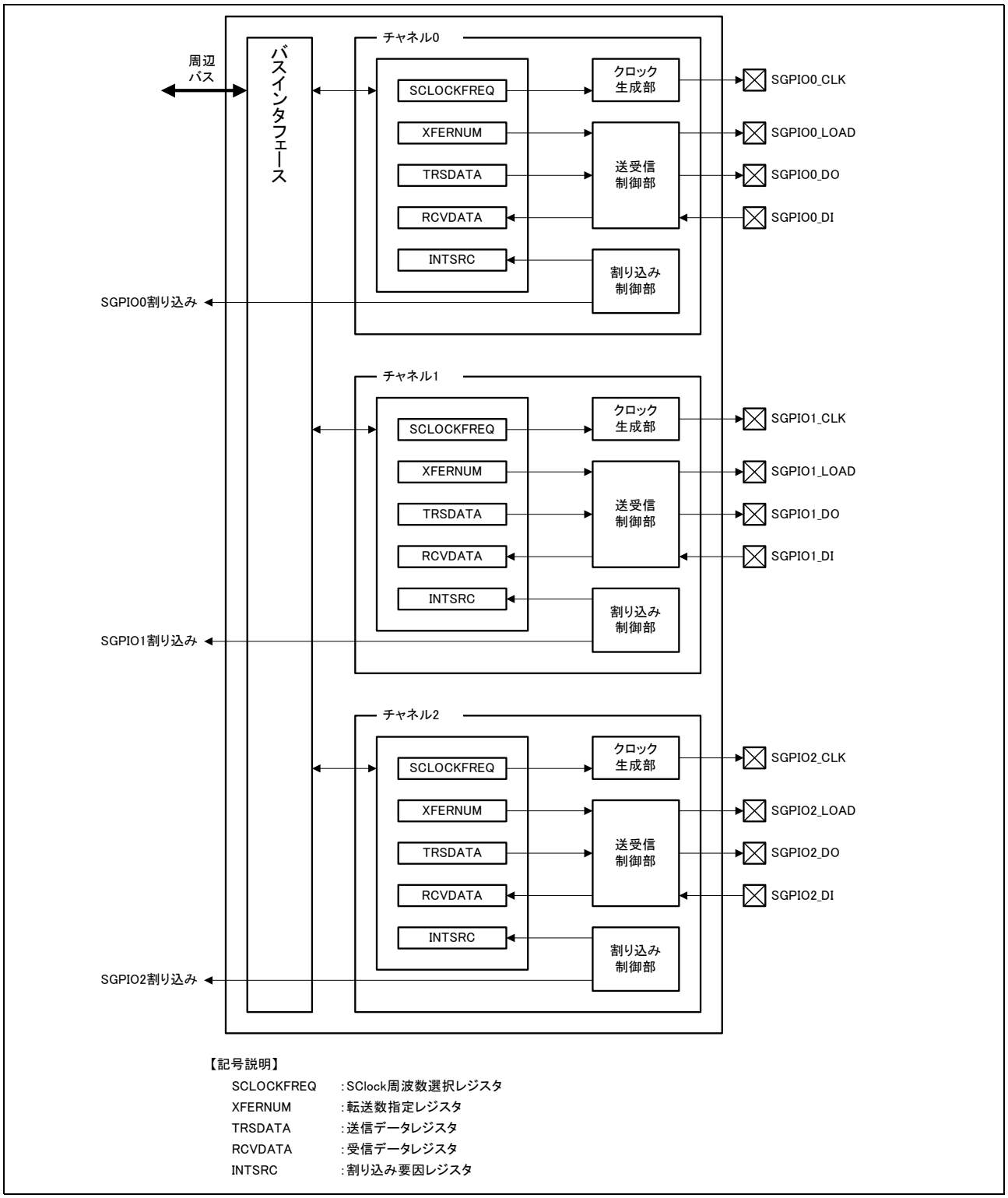


図 45.1　SGPIOのブロック図

45.2 入出力端子

表 45.1 に端子構成を示します。

表45.1　SGPIOの端子構成

端子名	信号名	機能	入出力	説明
SGPIO0-CLK SGPIO1-CLK SGPIO2-CLK	SClock	クロック	出力	ターゲットとの通信を行うための基準クロック 10種類の周波数から選択可能
SGPIO0-LOAD SGPIO1-LOAD SGPIO2-LOAD	SLoad	ロード	出力	ターゲットがデータロードするためのパルス信号 ビットストリーム転送開始時と終了時にパルス出力する
SGPIO0-DO SGPIO1-DO SGPIO2-DO	SDataOut	出力データ	出力	ターゲットに対する出力データ
SGPIO0-DI SGPIO1-DI SGPIO2-DI	SDataIn	入力データ	入力	ターゲットからの入力データ

45.3 レジスタの説明

表 45.2 にSGPIOのレジスタ構成と各処理モードにおけるレジスタの状態を示します。

SH-4AからSGPIOレジスタへのアクセスは32ビット単位としてください。32ビット以外の単位でアクセスした場合の動作は保証できません。

表45.2　SPGIOのレジスタ構成

名　　称	略称	R/W	アクセスサイズ	チャネル	アドレス	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
転送設定レジスタ	XFERCFG	R/W	32	0	H'FFED 0000	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1000			
				2	H'FFED 2000			
転送数指定レジスタ	XFERNUM	R/W	32	0	H'FFED 0004	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1004			
				2	H'FFED 2004			
転送ビット位置モニタレジスタ	XFERBLMON	R	32	0	H'FFED 0008	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1008			
				2	H'FFED 2008			
SClock 周波数選択レジスタ	SCLOCKFREQ	R/W	32	0	H'FFED 000C	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 100C			
				2	H'FFED 200C			
SGPIO ステートモニタレジスタ	STATEMON	R	32	0	H'FFED 0014	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1014			
				2	H'FFED 2014			
送信データレジスタ0	TRSDATA0	R/W	32	0	H'FFED 0100	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1100			
				2	H'FFED 2100			
送信データレジスタ1	TRSDATA1	R/W	32	0	H'FFED 0104	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1104			
				2	H'FFED 2104			
送信データレジスタ 2	TRSDATA2	R/W	32	0	H'FFED 0108	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1108			
				2	H'FFED 2108			
送信データレジスタ3	TRSDATA3	R/W	32	0	H'FFED 010C	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 110C			
				2	H'FFED 210C			
受信データレジスタ0	RCVDATA0	R	32	0	H'FFED 0200	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1200			
				2	H'FFED 2200			
受信データレジスタ 1	RCVDATA1	R	32	0	H'FFED 0204	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1204			
				2	H'FFED 2204			

名　　称	略称	R/W	アクセスサイズ	チャネル	アドレス	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
受信データレジスタ2	RCVDATA2	R	32	0	H'FFED 0208	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1208			
				2	H'FFED 2208			
受信データレジスタ 3	RCVDATA3	R	32	0	H'FFED 020C	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 120C			
				2	H'FFED 220C			
割り込み許可レジスタ	INTEN	R/W	32	0	H'FFED 0300	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1300			
				2	H'FFED 2300			
割り込み要因レジスタ	INTSRC	R/W	32	0	H'FFED 0304	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1304			
				2	H'FFED 2304			
GPI設定レジスタ	GPICFG	R/W	32	0	H'FFED 0400	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1400			
				2	H'FFED 2400			
GPIラッチ有効レジスタ 0	GPILATCHEN0	R/W	32	0	H'FFED 0404	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1404			
				2	H'FFED 2404			
GPIラッチ有効レジスタ 1	GPILATCHEN1	R/W	32	0	H'FFED 0408	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1408			
				2	H'FFED 2408			
GPIラッチ有効レジスタ 2	GPILATCHEN2	R/W	32	0	H'FFED 040C	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 140C			
				2	H'FFED 240C			
GPIラッチ有効レジスタ 3	GPILATCHEN3	R/W	32	0	H'FFED 0410	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1410			
				2	H'FFED 2410			
GPI極性レジスタ 0	GPIPOLARITY0	R/W	32	0	H'FFED 0414	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1414			
				2	H'FFED 2414			
GPI極性レジスタ 1	GPIPOLARITY1	R/W	32	0	H'FFED 0418	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1418			
				2	H'FFED 2418			
GPI極性レジスタ 2	GPIPOLARITY2	R/W	32	0	H'FFED 041C	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 141C			
				2	H'FFED 241C			
GPI極性レジスタ 3	GPIPOLARITY3	R/W	32	0	H'FFED 0420	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1420			
				2	H'FFED 2420			

名　　称	略称	R/W	アクセスサイズ	チャネル	アドレス	レジスタの状態		
						パワーオンリセット	マニュアルリセット	ソフトウエアリセット
ビット一致レジスタ 0	BITMATCH0	R/W	32	0	H'FFED 0424	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1424			
				2	H'FFED 2424			
ビット一致レジスタ 1	BITMATCH1	R/W	32	0	H'FFED 0428	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1428			
				2	H'FFED 2428			
ビット一致レジスタ 2	BITMATCH2	R/W	32	0	H'FFED 042C	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 142C			
				2	H'FFED 242C			
ビット一致レジスタ 3	BITMATCH3	R/W	32	0	H'FFED 0430	H'0000 0000	H'0000 0000	H'0000 0000
				1	H'FFED 1430			
				2	H'FFED 2430			

注.　このモジュールを使用される場合は、パワーオンリセット解除後にSH-4Aからアドレス(H'FFED 0500)にH'0000 0001を書いてから使用して下さい。

45.3.1　転送設定レジスタ（XFERCFG）

XFERCFGは、読み出し/書き込み可能な32ビットレジスタです。端子の出力制御や転送モードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RCV DATACLR	—	—	—	CONT MODE	—	—	XFERM ON	XFERE N
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	R/W	—	—	—	R/W	—	—	R	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 9	—	0	—	リザーブビット
8	RCVDATACLR	0	R/W	受信データクリア 本ビットに1をライトすることにより、受信データレジスタが0になります。受信データレジスタが0になった後、本ビットは自動的に0になります。ビットストリーム転送中の本ビットへの書き込みは禁止です。
7 ～ 5	—	0	—	リザーブビット
4	CONTMODE	0	R/W	連続転送モード 指定長のビットストリームを連続転送する際に1にしてください。連続転送中は本ビットが0になるまでビットストリーム転送を継続します。 0：無効（単発転送モード） 1：有効（連続転送モード）
3、2	—	0	—	リザーブビット
1	XFERMON	0	R	転送状態モニタ 0：アイドル状態 1：転送中
0	XFEREN	0	R/W	転送有効 1の状態でのみビットストリーム転送が可能。 0クリアでSClock、SLoad、SDataOutはHレベルとなります。 0：無効 1：有効

45.3.2　転送数指定レジスタ（XFERNUM）

XFERNUMは、読み出し/書き込み可能な32ビットレジスタです。本レジスタへ転送ビット数を書き込むことによりビットストリーム転送を開始します。ビットストリーム転送中の本レジスタへの書き込みは禁止です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	XFERNUM						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～7	—	0	—	リザーブビット
6～ 0	XFERNUM	0000000	R/W	1ビットストリームの転送ビット数指定（2～128ビット） 本ビットへのライトアクセスによりビットストリーム転送を開始します。XFERNUMの設定値と転送ビット数の関係は次の通り。 XFERNUM=1　転送ビット数：2　(注) 1ではない。 XFERNUM=2　転送ビット数：2 XFERNUM=3　転送ビット数：3 : XFERNUM=126　転送ビット数：126 XFERNUM=127　転送ビット数：127 XFERNUM=0　転送ビット数：128

45.3.3　転送ビット位置モニタレジスタ（XFERBLMON）

XFERBLMONは、読み出し専用の32ビットレジスタです。ビットストリーム転送中の転送ビット位置を示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	XFERBLMON						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 7	—	0	—	リザーブビット
6～ 0	XFERBLMON	0000000	R	現在の転送ビット位置 転送中のビット位置が参照できます。例えば、8ビット目（bit7）を転送している際にはXFERBLMON=8となります。なお、アイドル状態（転送していない状態）、及び1ビットストームの最終ビット転送時にはXFERBLMON=0となります。

45.3.4　SClock周波数選択レジスタ（SCLOCKFREQ）

SCLOCKFREQは、読み出し/書き込み可能な32ビットレジスタです。SClockの周波数を設定します。本レジスタの設定は転送無効（XFEREN=0）の状態で行ってください。

なお、周波数設定はSGPIOのAC特性を満たす範囲で行ってください。特に48MHzを設定する場合は、外付けデバイスの性能を十分に調査した上で接続可否を判断してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	SCLOCKFREQ			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	—	0	—	リザーブビット
3 ～ 0	SCLOCKFREQ	0000	R/W	SClockの周波数設定。 転送無効（XFEREN=0）時のみライト可能です。 H'0: 24 MHz H'1: 12 MHz H'2: 6 MHz H'3: 3 MHz H'4: 1.5 MHz H'5: 750 kHz H'6: 375 kHz H'7: 187.5 kHz H'8: 93.75 kHz H'9～H'E: 設定禁止 H'F: 48 MHz

45.3.5　SGPIOステートモニタレジスタ（STATEMON）

STATEMONは、読み出し専用の32ビットレジスタです。SGPIOコントローラのステートを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

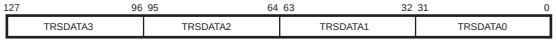
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	STATEMON		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 3	—	0	—	リザーブビット
2 ～ 0	STATEMON	000	R	SGPIO controllerのステート 000: bus release 001: idle 010: single_load 011: single_clock 100: continuous_load 101: continuous_clock 110～111: 設定禁止

45.3.6　送信データレジスタ（TRSDATA0-3）

TRSDATA0-3は、読み出し/書き込み可能な32ビットレジスタです。SGPIO0-DO～SGPIO2-DOに出力する送信データを設定します。ビットストリーム転送中の本レジスタへの書き込みは禁止です。

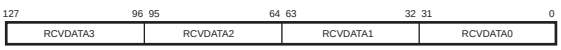
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TRSDATAn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRSDATAn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～0	TRSDATAn	H'0000 0000	R/W	SGPIO0-DO～SGPIO2-DOに出力する送信データ（最大128ビット） 転送数指定レジスタの設定値に従ってLSBより順にビット出力します。 TRSDATA0.b0 → b1 → … → b31 → TRSDATA1.b0 → b1 → … 

45.3.7　受信データレジスタ（RCVDATA0-3）

RCVDATA0-3は、読み出し専用の32ビットレジスタです。SGPIO0-DI～SGPIO2-DIに入力された受信データを示します。ビットストリーム転送中の本レジスタの読み出しは禁止です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RCVDATAn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCVDATAn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～0	RCVDATAn	H'0000 0000	R	SGPIO0-DI～SGPIO2-DIに入力された受信データ（最大128ビット） 転送数指定レジスタの設定値に従ってLSBより順にビット入力します。受信データクリアビット（RCVDATACLR）に1をライトすることで本レジスタが0になります。 RCVDATA0.b0 → b1 → … → b31 → RCVDATA1.b0 → b1 → … 

45.3.8　割り込み許可レジスタ（INTEN）

INTENは、読み出し/書き込み可能な32ビットレジスタです。割り込み許可の設定を行います。連続転送を行う場合は転送完了割込みを使用しないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BITMATCHINTEN	XFERENDINTEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～2	—	0	—	リザーブビット
1	BITMATCHINTEN	0	R/W	ビット極性一致割り込み許可 0: 禁止 1: 許可
0	XFERENDINTEN	0	R/W	転送完了割り込み許可 0: 禁止 1: 許可

45.3.9　割り込み要因レジスタ（INTSRC）

INTSRCは、読み出し/書き込み可能な32ビットレジスタです。割り込み要因を示します。割り込み要因をクリアする場合は、該当ビットに1をライトしてください。なお、割り込み許可レジスタ（INTEN）で割り込み禁止に設定した場合も、該当イベントが発生すると割り込み要因ビットはセットされます。ビットストリーム転送中の本レジスタへの書き込みは禁止です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BITMATCHINT	XFERENDINT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 2	—	0	—	リザーブビット
1	BITMATCHINT	0	R/W	ビット極性一致割り込み SGPIO0-DI～SGPIO2-DIからの入力ビット極性がGPIPOLARITYに設定した極性と一致した際にセットされます。
0	XFERENDINT	0	R/W	転送完了割り込み ビットストリーム転送が完了した際にセットされます。

45.3.10　GPI設定レジスタ（GPICFG）

GPICFGは、読み出し/書き込み可能な32ビットレジスタです。SGPIO0-DI～SGPIO2-DIに入力された受信データに対するビット一致判定（GPIラッチ判定）の有効/無効を設定します。ビットストリーム転送中の本レジスタへの書き込みは禁止です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

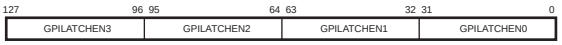
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GPIEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 1	—	0	—	リザーブビット
0	GPIEN	0	R/W	GPI機能有効ビット 本ビットが1の場合のみGPIラッチ判定を行います。 0:無効 1:有効

45.3.11 GPIラッチ有効レジスタ（GPILATCHEN0～3）

GPILATCHEN0～3は、読み出し/書き込み可能な32ビットレジスタです。本レジスタで1に設定されたビットのみGPIラッチ判定の対象となります。ビットストリーム転送中の本レジスタへの書き込みは禁止です。

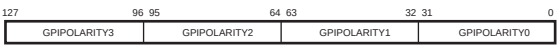
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GPILATCHENn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GPILATCHENn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	GPILATCHENn	H'0000 0000	R/W	GPIラッチ判定するビット指定（最大128ビット） 0: 無効 1: 有効 

45.3.12 GPI極性レジスタ（GPIPOLARITY0～3）

GPIPOLARITY0～3は、読み出し/書き込み可能な32ビットレジスタです。GPIラッチ判定の期待値（アサート極性）を設定します。ビットストリーム転送中の本レジスタへの書き込みは禁止です。

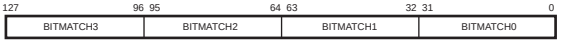
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GPIPOLARITYn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GPIPOLARITYn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	GPIPOLARITYn	H'0000 0000	R/W	GPIラッチ判定の期待値（アサート極性） 0: 入力データ=L 1: 入力データ=H 

45.3.13 ビット一致レジスタ（BITMATCH0～3）

BITMATCH0～3は、読み出し/書き込み可能な32ビットレジスタです。GPIラッチ判定でビット一致が発生した箇所が1になります。ビット一致が発生した箇所をクリアする場合は、該当ビットに1をライトしてください。また各ビットの論理和がビット一致割り込みの要因となります。ビット一致割り込みの要因をクリアする場合は、本レジスタの該当ビットに1をライトし、すべてのビットを0にした後、割り込み要因レジスタ（INTSRC）のBITMATCHINTビットにも1をライトしてください。ビットストリーム転送中の本レジスタの読み出し/書き込みは禁止です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BITMATCHn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BITMATCHn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ～ 0	BITMATCHn	H'0000 0000	R/W	ビット一致が発生した箇所が1になります。 

45.4　動作説明

45.4.1　ビットストリーム構成

ビットストリーム転送には単発転送モードと連続転送モードが存在します。単発転送モードではビットストリーム転送のたびにレジスタ操作を行う必要がありますが、連続転送モードでは一度転送を開始するとレジスタ操作で停止しない限り、ビットストリーム転送を繰り返し実行することができます。

いずれの転送モードにおいても、1回のビットストリーム転送で転送できるビット数は2～128ビットの範囲で選択することになります。

図 45.2 にビットストリームの構成図を示します。ビットストリーム転送は最初にSLoadのLパルスを出力し、次にSClockによるビット転送、最後に再びSLoadのLパルスを出力して完了となります。これは単一のチャネルに74LV165A（パラレル/シリアル変換IC）と74LV595A（シリアル/パラレル変換IC）を同時接続できるような構成となっています。74LV165Aと74LV595Aを同時接続した場合の接続例を図45.3に示します。最初のSLoadパルスは74LV165Aによるパラレルデータ（QA In）の取り込みのために出力し、最後のSLoadパルスは74LV595Aによるパラレルデータ（QA Out）の出力のために出力します。

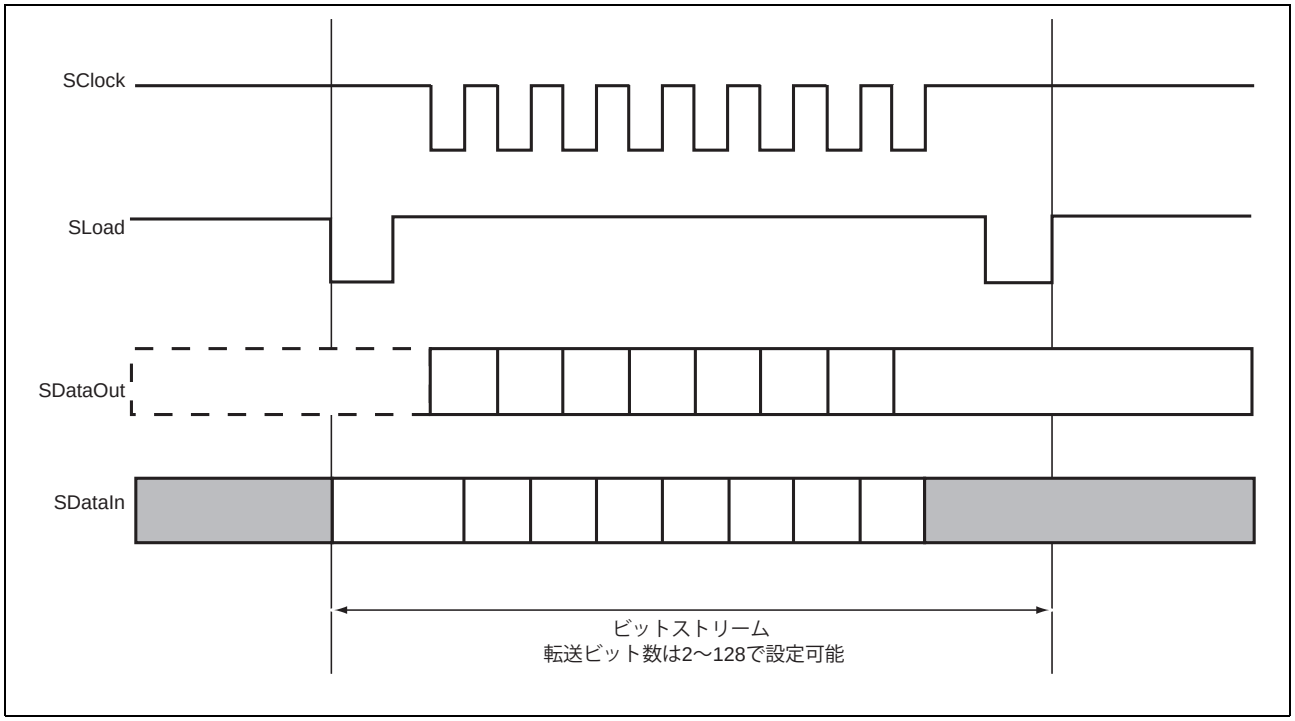


図 45.2　ビットストリーム構成

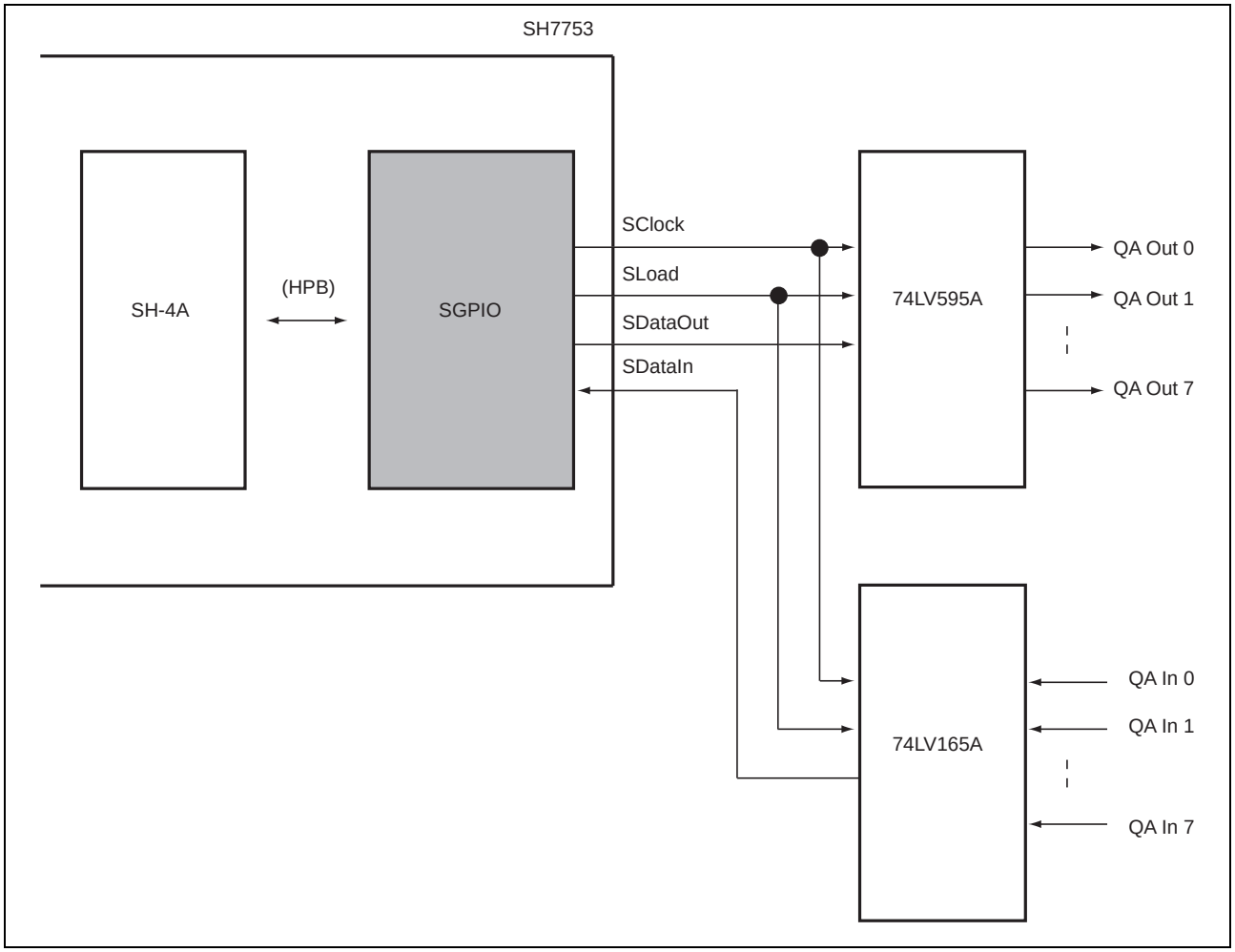


図 45.3　汎用シフトレジスタの接続例

45.4.2　出力端子制御

図 45.4 に出力端子制御のタイミング図を示します。出力端子である SClock、SLoad、SDataOut は転送有効ビット（XFEREN）が 0 である場合、出力が H レベルとなります。このため、ビットストリーム転送を行う際は XFEREN を 1 にして出力制御が可能な状態としてください。なお、XFEREN を 0 にするとビットストリーム転送中であっても直ぐに出力が H レベルとなります。

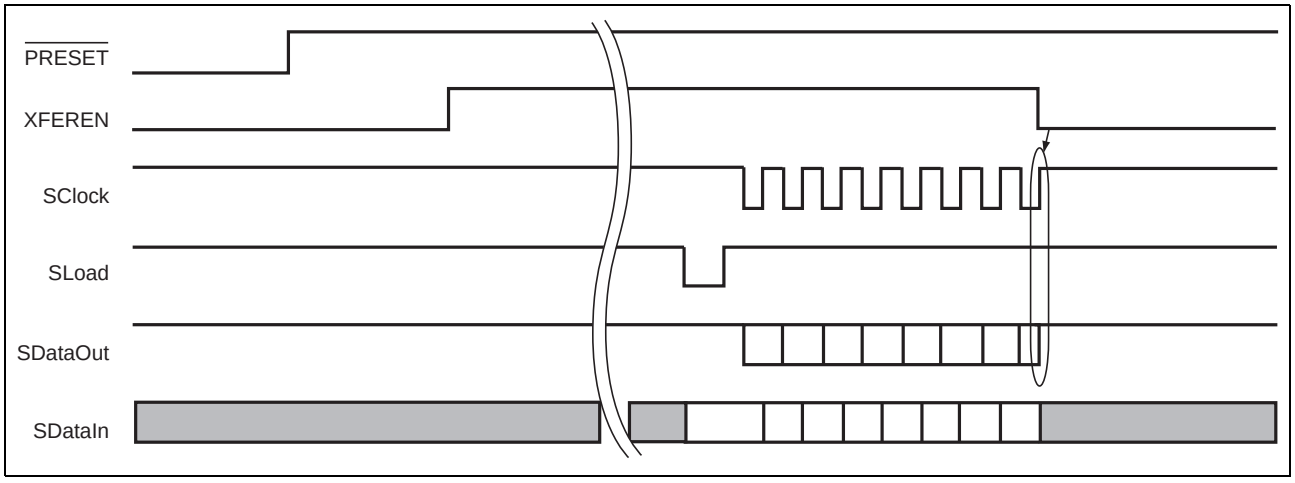


図 45.4　出力端子制御のタイミング図

45.4.3　単発転送モード

転送設定レジスタ（XFERCFG）の連続転送モードビット（CONTMODE）を0に設定して転送を開始すると単発転送が実現できます。図 45.5に単発転送のタイミング図を示します。

単発転送の設定手順例

1. XFERENを1に設定します。
2. CONTMODEを0（初期値は0）に設定します。
3. 割り込み許可レジスタ（INTEN）で転送完了割り込み（XFERENDINT）を許可します。
4. 送信データレジスタ（TRSDATA）に送信データを設定します。
5. 転送数指定レジスタ（XFERNUM）に転送ビット数を設定することで転送が開始されます。
6. XFERENDINTを検出して転送が完了したことを認識します。
7. 受信データレジスタ（RCVDATA）から受信データを確認します。
8. 割り込み要因レジスタ（INTSRC）に1をライトしてXFERENDINTをクリアします。

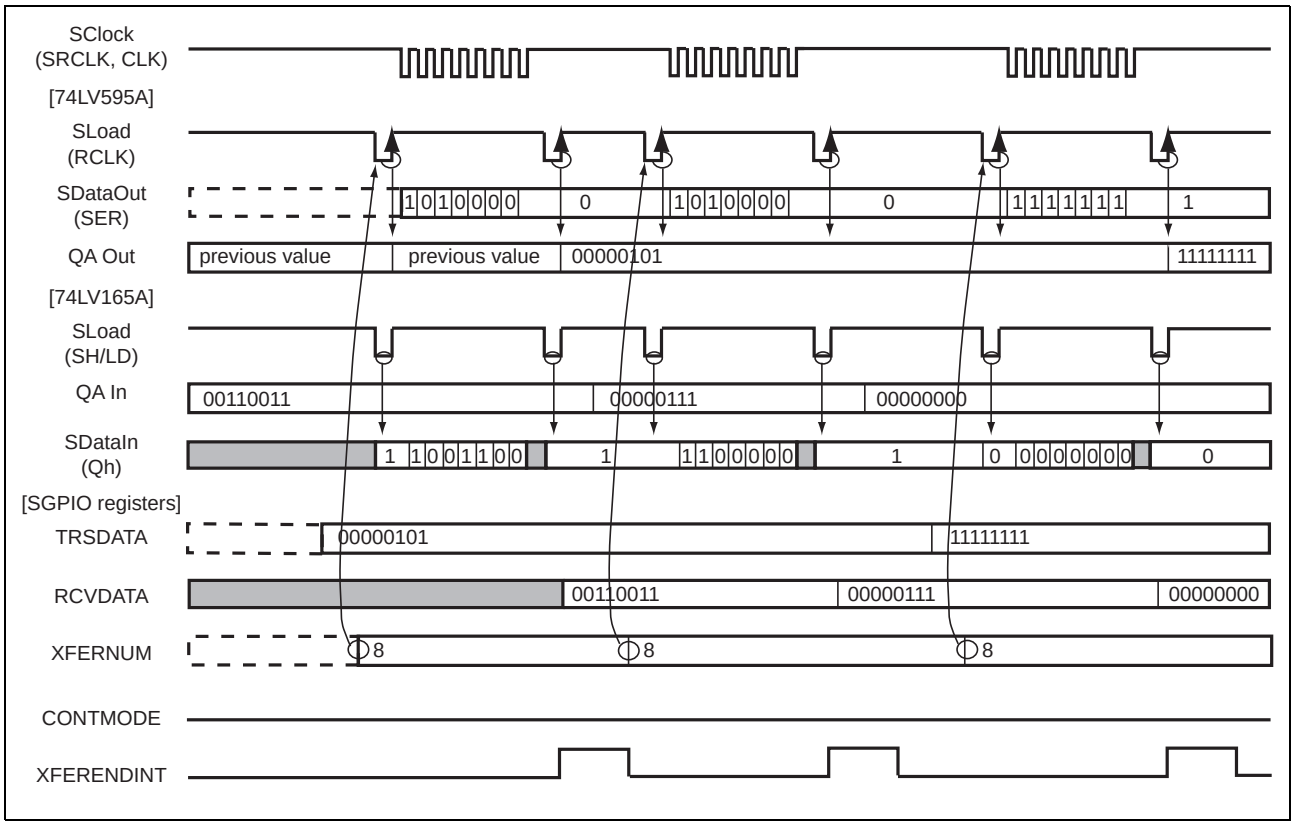


図 45.5　単発転送のタイミング図

45.4.4　連続転送モード

転送設定レジスタ（XFERCFG）の連続転送モードビット（CONTMODE）を1に設定して転送を開始すると連続転送が実現できます。図 45.6に連続転送のタイミング図を示します。

連続転送の設定手順例

1. XFERENを1に設定します。
2. CONTMODEを1（初期値は0）に設定します。
3. 送信データレジスタ（TRSDATA）に送信データを設定します。
4. 転送数指定レジスタ（XFERNUM）に転送ビット数を設定することで転送が開始されます。連続転送ではビットストリーム転送間のSLoadパルスは1回となります。
5. 転送を停止させるためにCONTMODEを0に設定します。
6. 転送モニタービット（XFERMON）が0になったことを検出して転送が完了したことを認識します。
7. 受信データレジスタ（RCVDATA）から受信データを確認します。

注．転送完了割り込み（XFERENDINT）は連続転送モードでは使用しないでください。

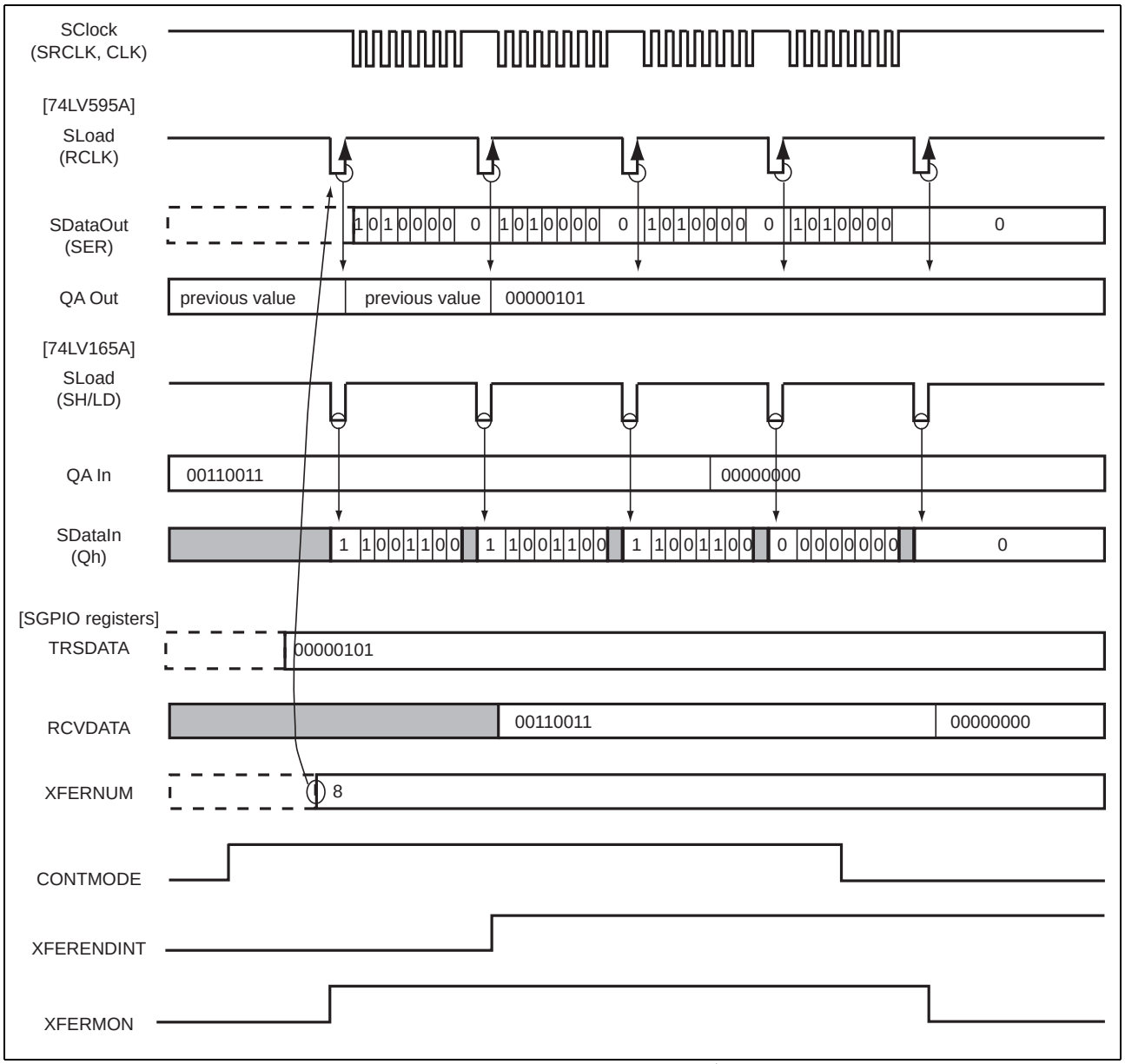


図 45.6　連続転送のタイミング図

45.4.5　割り込み

図45.7 に割り込み制御回路を示します。SGPIO割り込みは転送完了割り込み（XFERENDINT）とビット一致割り込み（BITMATCHINT）の 2 要因となります。割り込み許可レジスタ（INTEN）の設定により、任意の割り込みを禁止にすることができます。割り込みを禁止にした場合であっても割り込み要因ビットはセットされます。

(1)　転送完了割り込み（XFERENDINT）

XFERENDINT は 1 回のビットストリーム転送が完了した際にセットされます。XFERENDINT をクリアする場合はXFERENDINTに1をライトしてください。

(2)　ビット一致割り込み（BITMATCHINT）

BITMATCHINTは受信データ（RCVDATA）と期待値（GPIPOLARITY）が一致した際にセットされます。受信データと期待値の比較はビットストリーム転送の完了時に行われます。ビットごとにGPIラッチ有効レジスタ（GPILATCHEN）でビット比較処理の有効/無効を設定することができます。またビット一致レジスタ（BITMATCH）からビット一致が検出された箇所を確認することができます。BITMATCHINT をクリアする場合は、BITMATCH レジスタの該当ビットに 1 をライトした後にBITMATCHINTに1をライトしてください。

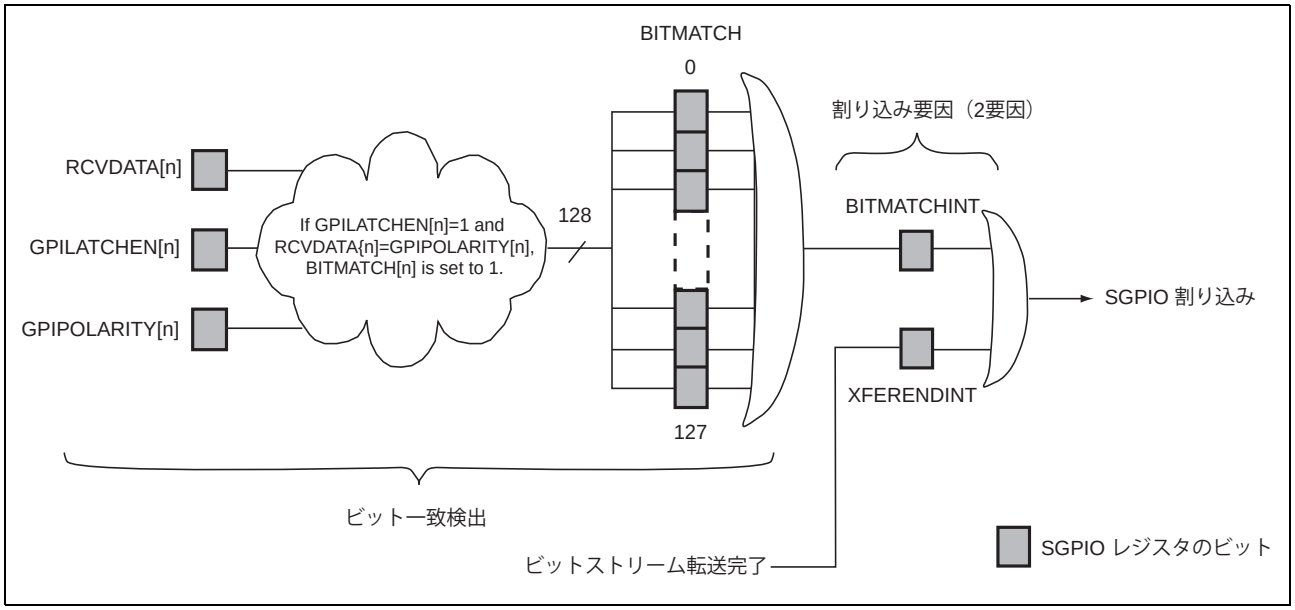


図 45.7　割り込み制御回路

45.5　使用上の注意事項

45.5.1　システム起動直後の転送

図 45.8 にシステム起動直後のタイミング図を示します。74LV595A をターゲットデバイスとして接続していた場合、起動直後の最初の SLoad 立ち上がりエッジで 74LV595A が出力する QA Out の値が不定になる可能性があります（最初の SLoad 立ち上がりエッジまでに SClock 出力がないため）。74LV595A の QA Out を確定させたい場合は、74LV595A にリセットを入れるなどの対策を施してください。

このモジュールを使用される場合は、パワーオンリセット解除後に CPU からアドレス (H'FFED 0500) に H'0000 0001 を書いてから使用して下さい。

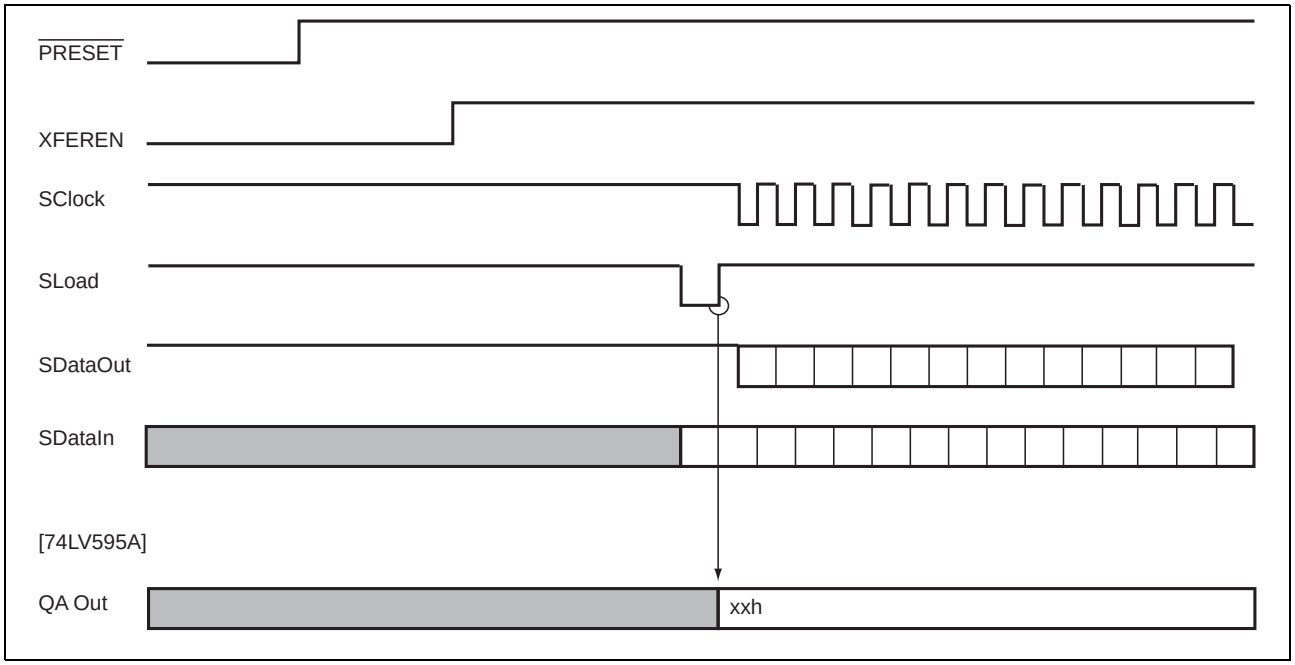


図 45.8　システム起動直後の転送

46. 8 ビットPWM タイマ（PWMU）

本LSIは8 ビットPWM タイマ（PWMU）を内蔵しています。このPWMU は6 チャネルのPWM 波形を出力します。PWMU の各PWM チャネルはそれぞれ独立して動作できます。8 ビットの単パルス方式により、6 チャネルの長周期のPWM 出力が可能です。16 ビット／12 ビットの単パルス方式により、3 チャネルの長周期のPWM 出力も可能です。また、8 ビットのパルス分割方式により、高いキャリア周波数のPWM 出力も可能です。LSI 外部にローパスフィルタを接続することにより、8 ビットD/A 変換器としても使用できます。

46.1　特長

- 4種類のカウントクロックソースを選択可能：Pck、Pck/2、Pck/4、Pck/8

- チャネル毎に独立動作、及び周期可変
  2チャネルのカスケード接続が可能
  チャネル1（上位）、チャネル0（下位）とする16/12ビット単パルスPWMタイマとして動作可能
  チャネル3（上位）、チャネル2（下位）とする16/12ビット単パルスPWMタイマとして動作可能
  チャネル5（上位）、チャネル4（下位）とする16/12ビット単パルスPWMタイマとして動作可能

- 8ビット単パルスモード
  最大188.2kHzのキャリア周波数での動作可能（48MHz動作時）
  デューティ比0/255～255/255のパルス出力設定可能
  PWM出力のイネーブル／ディスエーブルの切り替え、直接出力／反転出力の切り替えが可能

- 12ビット単パルスモード
  2チャネルをカスケード接続することで動作可能
  最大11.7kHzのキャリア周波数での動作可能（48MHz動作時）
  デューティ比0/4095～4095/4095のパルス出力設定可能
  PWM出力のイネーブル／ディスエーブルの切り替え、直接出力／反転出力の切り替えが可能

- 16ビット単パルスモード
  2チャネルをカスケード接続することで動作可能
  最大732.4Hzのキャリア周波数での動作可能（48MHz動作時）
  デューティ比0/65535～65535/65535のパルス出力設定可能
  PWM出力のイネーブル／ディスエーブルの切り替え、直接出力／反転出力の切り替えが可能

- 8ビットパルス分割モード
  最大3MHzのキャリア周波数での動作可能（48MHz動作時）
  デューティ比0/16～15/16のパルス出力設定可能
  PWM出力のイネーブル／ディスエーブルの切り替え、直接出力／反転出力の切り替えが可能

PWMUのブロック図を図46.1に示します。

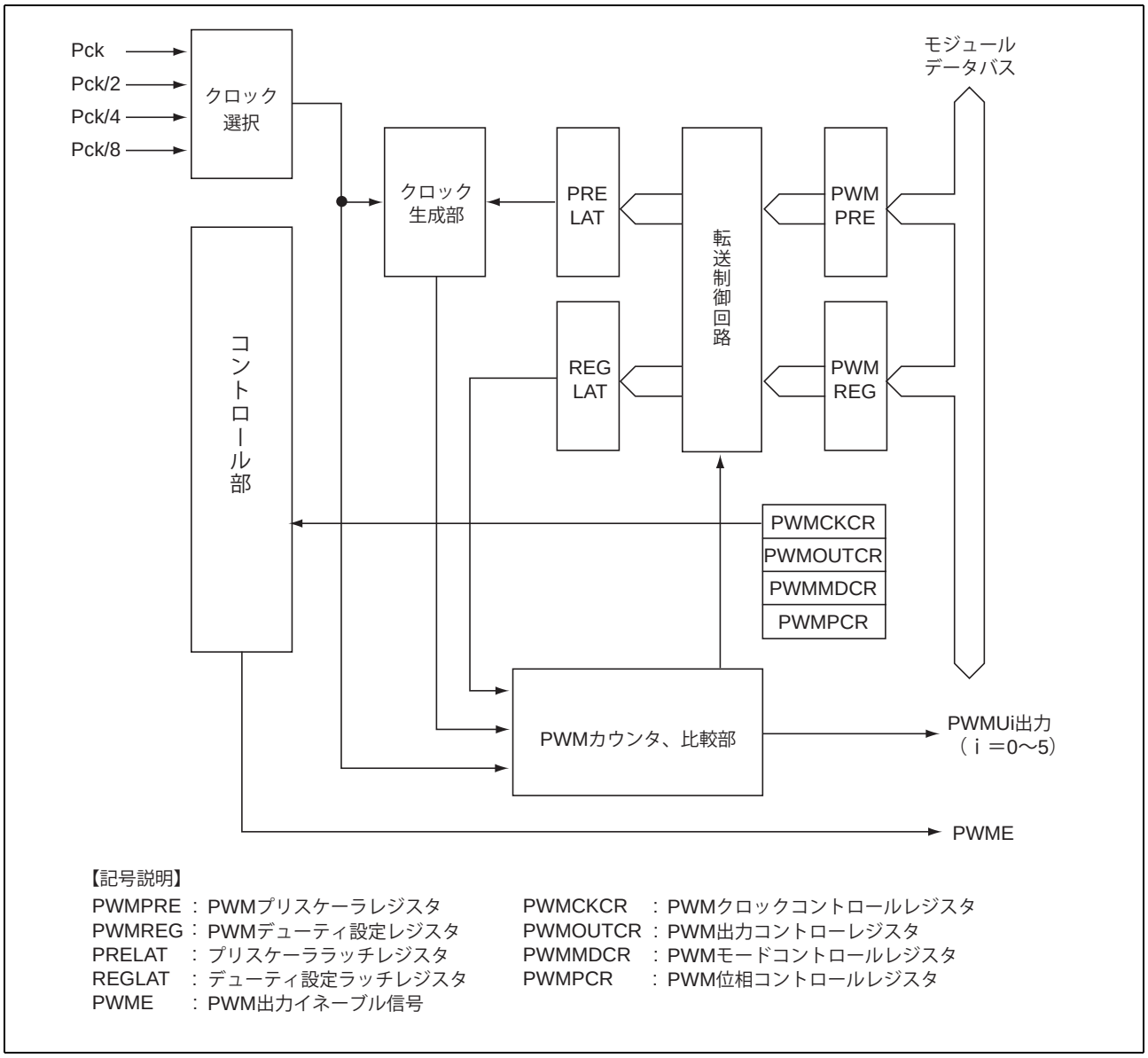


図 46.1　PWMU ブロック図

46.2　入出力端子

PWMU の端子構成を表46.1 に示します。

表46.1　端子構成

端子名	入出力	機 能
PWMU0	出力	PWMパルス出力 （8 ビット単パルス、8 ビットパルス分割）
PWMU1	出力	PWMパルス出力 （8/12/16 ビット単パルス、8 ビットパルス分割）
PWMU2	出力	PWMパルス出力 （8 ビット単パルス、8 ビットパルス分割）
PWMU3	出力	PWMパルス出力 （8/12/16 ビット単パルス、8 ビットパルス分割）
PWMU4	出力	PWMパルス出力 （8 ビット単パルス、8 ビットパルス分割）
PWMU5	出力	PWMパルス出力 （8/12/16 ビット単パルス、8 ビットパルス分割）

46.3　レジスタの説明

PWMU には以下のレジスタがあります。

表46.2　レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態		
					パワーオンリセット	マニュアルリセット	ソフトウェアリセット
PWM クロックコントロールレジスタ	PWMCKCR	R/W	H'FFD7 000C	8	H'00	H'00	H'00
PWM出力コントロールレジスタ	PWMOUTCR	R/W	H'FFD7 000D	8	H'00	H'00	H'00
PWMモードコントロールレジスタ	PWMMDCR	R/W	H'FFD7 000E	8	H'00	H'00	H'00
PWM位相コントロールレジスタ	PWMPCR	R/W	H'FFD7 000F	8	H'00	H'00	H'00
PWMプリスケーラレジスタ0	PWMPRE0	R/W	H'FFD7 0001	8	H'00	H'00	H'00
PWM プリスケーラレジスタ 1	PWMPRE1	R/W	H'FFD7 0003	8	H'00	H'00	H'00
PWM プリスケーラレジスタ 2	PWMPRE2	R/W	H'FFD7 0005	8	H'00	H'00	H'00
PWM プリスケーラレジスタ 3	PWMPRE3	R/W	H'FFD7 0007	8	H'00	H'00	H'00
PWM プリスケーラレジスタ 4	PWMPRE4	R/W	H'FFD7 0009	8	H'00	H'00	H'00
PWM プリスケーラレジスタ 5	PWMPRE5	R/W	H'FFD7 000B	8	H'00	H'00	H'00
PWM デューティ設定レジスタ 0	PWMREG0	R/W	H'FFD7 0000	8	H'00	H'00	H'00
PWM デューティ設定レジスタ 1	PWMREG1	R/W	H'FFD7 0002	8	H'00	H'00	H'00
PWM デューティ設定レジスタ 2	PWMREG2	R/W	H'FFD7 0004	8	H'00	H'00	H'00
PWM デューティ設定レジスタ 3	PWMREG3	R/W	H'FFD7 0006	8	H'00	H'00	H'00
PWM デューティ設定レジスタ 4	PWMREG4	R/W	H'FFD7 0008	8	H'00	H'00	H'00
PWM デューティ設定レジスタ 5	PWMREG5	R/W	H'FFD7 000A	8	H'00	H'00	H'00

46.3.1　PWM クロックコントロールレジスタ（PWMCKCR）

PWMCKCR はPWM クロックソースを選択します。

ビット：	7	6	5	4	3	2	1	0
	CLK1	CLK0	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
7、6	CLK1、CLK0	0、0	R/W	クロック選択1、0 カウントクロックソースを選択します。 CLK1 CLK0 0　0：内部クロックPck を選択 0　1：内部クロックPck/2 を選択 1　0：内部クロックPck/4 を選択 1　1：内部クロックPck/8 を選択
5 ～ 0	—	0	—	リザーブビット

46.3.2　PWM 出力コントロールレジスタ（PWMOUTCR）

PWMOUTCR はPWM のチャネル毎の出力の許可／禁止、カウントの許可／禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	CNTMD 45B	CNTMD 23B	PWM5E	PWM4E	PWM3E	PWM2E	PWM1E	PWM0E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CNTMD45B	0	R/W	チャネル4、5　12 ビットカウントモード選択 0：チャネル4、5 を8 ビットカウントモードに設定します。 1：チャネル4、5 を12 ビットカウントモードに設定します。 12 ビットカウントモードを選択するときは16 ビットカウントモードは非選択（CNTMD45A=0）にしてください（表46.5参照）。
6	CNTMD23B	0	R/W	チャネル2、3　12 ビットカウントモード選択 0：チャネル2、3 を8 ビットカウントモードに設定します。 1：チャネル2、3 を12 ビットカウントモードに設定します。 12 ビットカウントモードを選択するときは16 ビットカウントモードは非選択（CNTMD23A=0）にしてください（表46.4参照）。
5	PWM5E(注)	0	R/W	PWMU5 出力イネーブルビット 0：PWMU5 出力禁止、カウント禁止 1：PWMU5 出力許可、カウント許可

ビット	ビット名	初期値	R/W	説明
4	PWM4E(注)	0	R/W	PWMU4 出力イネーブルビット • 8 ビット単パルス／パルス分割モード時 0：PWMU4 出力禁止、カウント禁止 1：PWMU4 出力許可、カウント許可 • 12/16 ビット単パルスモード時 0：PWMU4 出力禁止、カウント禁止 1：PWMU4 出力禁止、カウント許可
3	PWM3E(注)	0	R/W	PWMU3 出力イネーブルビット 0：PWMU3 出力禁止、カウント禁止 1：PWMU3 出力許可、カウント許可
2	PWM2E(注)	0	R/W	PWMU2 出力イネーブルビット • 8 ビット単パルス／パルス分割モード時 0：PWMU2 出力禁止、カウント禁止 1：PWMU2 出力許可、カウント許可 • 12/16 ビット単パルスモード時 0：PWMU2 出力禁止、カウント禁止 1：PWMU2 出力禁止、カウント許可
1	PWM1E(注)	0	R/W	PWMU1 出力イネーブルビット 0：PWMU1 出力禁止、カウント禁止 1：PWMU1 出力許可、カウント許可
0	PWM0E(注)	0	R/W	PWMU0 出力イネーブルビット • 8 ビット単パルス／パルス分割モード時 0：PWMU0 出力禁止、カウント禁止 1：PWMU0 出力許可、カウント許可 • 12/16 ビット単パルスモード時 0：PWMU0 出力禁止、カウント禁止 1：PWMU0 出力禁止、カウント許可

注.　12/16ビット単パルスモード時は、それぞれPWM0E/PWM1Eビット、PWM2E/PWM3Eビット、PWM4E/PWM5Eビットの2ビットを同時に“1”にしてください

46.3.3　PWM モードコントロールレジスタ（PWMMDCR）

PWMMDCR はPWM のチャネル毎のカウントモード、及び動作モードを選択します。

ビット：	7	6	5	4	3	2	1	0
	CNTMD01B	CNTMD01A	PWMSL5	PWMSL4	PWMSL3	PWMSL2	PWMSL1	PWMSL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CNTMD01B	0	R/W	チャネル0、1　12 ビットカウントモード選択 0：チャネル0、1 を8 ビットカウントモードに設定します。 1：チャネル0、1 を12 ビットカウントモードに設定します。 12 ビットカウントモードを選択するときは16 ビットカウントモードは非選択（CNTMD01A=0）にしてください（表46.3参照）。
6	CNTMD01A	0	R/W	チャネル0、1　16 ビットカウントモード選択 0：チャネル0、1 を8 ビットカウントモードに設定します。 1：チャネル0、1 を16 ビットカウントモードに設定します。 16 ビットカウントモードを選択するときは12 ビットカウントモードは非選択（CNTMD01B=0）にしてください（表46.3参照）。
5	PWMSL5	0	R/W	チャネル5 動作モード選択 0：単パルスモード 1：パルス分割モード（8 ビットカウントモードに設定してください）
4	PWMSL4	0	R/W	チャネル4 動作モード選択 0：単パルスモード 1：パルス分割モード（8 ビットカウントモードに設定してください）
3	PWMSL3	0	R/W	チャネル3 動作モード選択 0：単パルスモード 1：パルス分割モード（8 ビットカウントモードに設定してください）
2	PWMSL2	0	R/W	チャネル2 動作モード選択 0：単パルスモード 1：パルス分割モード（8 ビットカウントモードに設定してください）
1	PWMSL1	0	R/W	チャネル1 動作モード選択 0：単パルスモード 1：パルス分割モード（8 ビットカウントモードに設定してください）
0	PWMSL0	0	R/W	チャネル0 動作モード選択 0：単パルスモード 1：パルス分割モード（8 ビットカウントモードに設定してください）

46.3.4　PWM 位相コントロールレジスタ（PWMPCR）

PWMPCR はPWM のチャネルごとのカウントモード、及び出力位相を選択します。

ビット：	7	6	5	4	3	2	1	0
	PH5S	PH4S	PH3S	PH2S	PH1S	PH0S	CNTMD 45A	CNTMD 23A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PH5S	0	R/W	チャネル5 出力位相選択 0：PWMU5 直接出力 1：PWMU5 反転出力
6	PH4S	0	R/W	チャネル4 出力位相選択 0：PWMU4 直接出力 1：PWMU4 反転出力
5	PH3S	0	R/W	チャネル3 出力位相選択 0：PWMU3 直接出力 1：PWMU3 反転出力
4	PH2S	0	R/W	チャネル2 出力位相選択 0：PWMU2 直接出力 1：PWMU2 反転出力
3	PH1S	0	R/W	チャネル1 出力位相選択 0：PWMU1 直接出力 1：PWMU1 反転出力
2	PH0S	0	R/W	チャネル0 出力位相選択 0：PWMU0 直接出力 1：PWMU0 反転出力
1	CNTMD45A	0	R/W	チャネル4、5　16 ビットカウントモード選択 0：チャネル4、5 を8 ビットカウントモードに設定します。 1：チャネル4、5 を16 ビットカウントモードに設定します。 16 ビットカウントモードを選択するときは12 ビットカウントモードは非選択（CNTMD45B=0）にしてください（表46.5参照）。
0	CNTMD23A	0	R/W	チャネル2、3　16 ビットカウントモード選択 0：チャネル2、3 を8 ビットカウントモードに設定します。 1：チャネル2、3 を16 ビットカウントモードに設定します。 16 ビットカウントモードを選択するときは12 ビットカウントモードは非選択（CNTMD23B=0）にしてください（表46.4参照）。

46.3.5　PWM プリスケーララッチレジスタ（PRELAT）

PRELAT は PWMPRE のシフトレジスタです。1 パルス出力完了時、PWMPRE のデータが自動的に PRELAT へ転送されます。CPU から直接アクセスすることはできません。

46.3.6　PWM デューティ設定ラッチレジスタ（REGLAT）

REGLAT は PWMREG のシフトレジスタです。1 パルス出力完了時、PWMREG のデータが自動的に REGLAT へ転送されます。CPU から直接アクセスすることはできません。

表46.3　チャネル0、1 のカウントモード

PWMMDCR の CNTMD01A	PWMMDCR の CNTMD01B	チャネル0、1 のカウントモード
0	0	8 ビットカウントモード
0	1	12 ビットカウントモード （上位：チャネル1、下位：チャネル0）
1	0	16 ビットカウントモード （上位：チャネル1、下位：チャネル0）
1	1	設定禁止

注.　12/16 ビットカウントモードを選択した場合は、単パルスモードに設定してください

表46.4　チャネル2、3 のカウントモード

PWMPCR の CNTMD23A	PWMOUTCR の CNTMD23B	チャネル2、3 のカウントモード
0	0	8 ビットカウントモード
0	1	12 ビットカウントモード （上位：チャネル3、下位：チャネル2）
1	0	16 ビットカウントモード （上位：チャネル3、下位：チャネル2）
1	1	設定禁止

注.　12/16 ビットカウントモードを選択した場合は、単パルスモードに設定してください。

表46.5　チャネル4、5 のカウントモード

PWMPCR の CNTMD45A	PWMOUTCR の CNTMD45B	チャネル4、5 のカウントモード
0	0	8 ビットカウントモード
0	1	12 ビットカウントモード （上位：チャネル5、下位：チャネル4）
1	0	16 ビットカウントモード （上位：チャネル5、下位：チャネル4）
1	1	設定禁止

注.　12/16 ビットカウントモードを選択した場合は、単パルスモードに設定してください。

46.3.7　PWM プリスケーラレジスタ0～5（PWMPRE0～PWMPRE5）

PWMPRE は8 ビットのリード／ライト可能なレジスタで、PWM 周期を設定します。

ビット：	7	6	5	4	3	2	1	0
	PWMPRE							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMPRE の値をn とするとPWM 周期は以下のようになります。

(1)　8 ビット単パルスモード

PWM 周期＝［255×（n＋1）］/ 内部クロック周波数　（0≦n≦255）

表46.6　　Pck＝48MHz 時の分解能、PWM 変換周期、キャリア周波数（8 ビットカウントモード）

内部クロック周波数	分解能	PWM変換周期		キャリア周波数	
		Min.	Max.	Min.	Max.
Pck	20.8 ns	5.3 μs	1.4 ms	735.3 Hz	188.2 kHz
Pck/2	41.7 ns	10.6 μs	2.7 ms	367.6 Hz	94.1 kHz
Pck/4	83.3 ns	21.3 μs	5.4 ms	183.8 Hz	47.1 kHz
Pck/8	166.7 ns	42.5 μs	10.9 ms	91.9 Hz	23.5 kHz

(2)　12 ビット単パルスモード

12 ビット単パルスモードに設定した場合は、PWMPRE0、PWMPRE2、PWMPRE4 がそれぞれ有効になります。PWMPRE1、PWMPRE3、PWMPRE5 の設定は無効です。

PWM 周期＝［4095×（n＋1）］/ 内部クロック周波数　（0≦n≦255）

表46.7　　Pck＝48MHz 時の分解能、PWM 変換周期、キャリア周波数（12 ビットカウントモード）

内部クロック周波数	分解能	PWM変換周期		キャリア周波数	
		Min.	Max.	Min.	Max.
Pck	20.8 ns	85.3 μs	21.8 ms	45.8 Hz	11.7 kHz
Pck/2	41.7 ns	170.6 μs	43.7 ms	22.9 Hz	5.9 kHz
Pck/4	83.3 ns	341.3 μs	87.4 ms	11.4 Hz	2.9 kHz
Pck/8	166.7 ns	682.5 μs	174.7 ms	5.7 Hz	1.5 kHz

(3) 16 ビット単パルスモード

16 ビット単パルスモードに設定した場合は、PWMPRE0、PWMPRE2、PWMPRE4 がそれぞれ有効になります。PWMPRE1、PWMPRE3、PWMPRE5 の設定は無効です。

PWM 周期＝［65535×（n＋1）］/ 内部クロック周波数 （0≦n≦255）

表46.8　Pck＝48MHz 時の分解能、PWM 変換周期、キャリア周波数（16 ビットカウントモード）

内部クロック周波数	分解能	PWM変換周期		キャリア周波数	
		Min.	Max.	Min.	Max.
Pck	20.8 ns	1.4 ms	349.5 ms	2.9 Hz	732.4 Hz
Pck/2	41.7 ns	2.7 ms	699 ms	1.4 Hz	366.2 Hz
Pck/4	83.3 ns	5.5 ms	1.4 s	0.7 Hz	183.1 Hz
Pck/8	166.7 ns	10.9 ms	2.8 s	0.4 Hz	91.6 Hz

(4) 8 ビットパルス分割モード

PWM 周期＝［16×（n＋1）］/ 内部クロック周波数（0≦n≦255）
PWM 変換周期＝［256×（n＋1）］/ 内部クロック周波数（0≦n≦255）

表46.9　Pck＝48MHz 時の分解能、PWM 変換周期、キャリア周波数（8 ビットカウントモード）

内部クロック周波数	分解能	PWM変換周期		キャリア周波数（1/PWM 周期）	
		Min.	Max.	Min.	Max.
Pck	20.8 ns	5.3 μs	1.4 ms	11.7 kHz	3000 kHz
Pck/2	41.7 ns	10.7 μs	2.7 ms	5.9 kHz	1500 kHz
Pck/4	83.3 ns	21.3 μs	5.5 ms	2.9 kHz	750 kHz
Pck/8	166.7 ns	42.7 μs	10.9 ms	1.5 kHz	375 kHz

46.3.8　PWM デューティ設定レジスタ0～5（PWMREG0～PWMREG5）

PWMREG は8 ビットのリード／ライト可能なレジスタで、PWM 出力パルスのH 期間（デューティ）を設定します。

ビット：	7	6	5	4	3	2	1	0
	PWMREG							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(1)　8 ビット単パルスモード

PWM 出力するパルスのデューティ比を1/255 の分解能で指定します。
PWMREG の値をm とすると出力パルスのH 期間は以下のようになります。

出力パルスのH 期間＝（PWM 周期×m）/ 255　（0≦m≦255）

(2)　12 ビット単パルスモード

PWM 出力するパルスのデューティ比を1/4095 の分解能で指定します。
PWMREG の値をm とすると出力パルスのH 期間は以下のようになります。

出力パルスのH 期間=（PWM 周期×m）/ 4095　（0 ≦m ≦4095）

PWMREG1のビット3～0（上位）とPWMREG0（下位）、PWMREG3のビット3～0（上位）とPWMREG2（下位）、PWMREG5のビット3～0（上位）とPWMREG4（下位）の組み合わせで、パルスのH 期間をそれぞれ設定します。

注．上位レジスタのビット7～4 は無効です。また、下位側のレジスタを設定した後で、上位側のレジスタを設定してください。上位側のレジスタを先に設定すると期待通りの出力にならない場合があります。
なお、PWM出力中にPWMREGの値を書き換える場合、タイミングによっては上位側のレジスタ値の書き換えが間に合わず、意図しないデューティ比のパルスが出力される可能性があります。また、下位側レジスタの書き込みと上位側レジスタの書き込みの間に割り込み処理が入らないようにしてください。

(3)　16 ビット単パルスモード

PWM 出力するパルスのデューティ比を1/65535 の分解能で指定します。
PWMREG の値をm とすると出力パルスのH 期間は以下のようになります。

出力パルスのH 期間＝（PWM 周期×m）/ 65535　（0≦m≦65535）

PWMREG1（上位）とPWMREG0（下位）、PWMREG3（上位）とPWMREG2（下位）、PWMREG5（上位）とPWMREG4（下位）の組み合わせで、パルスのH 期間をそれぞれ設定します。

注．下位側のレジスタを設定した後で、上位側のレジスタを設定してください。上位側のレジスタを先に設定すると期待通りの出力にならない場合があります。
なお、PWM出力中にPWMREGの値を書き換える場合、タイミングによっては上位側のレジスタ値の書き換えが間に合わず、意図しないデューティ比のパルスが出力される可能性があります。また、下位側レジスタの書き込みと上位側レジスタの書き込みの間に割り込み処理が入らないようにしてください。

(4)　8 ビットパルス分割モード

PWM 出力する基本パルスのデューティ比及び付加パルスの個数を指定します。PWMREG に設定する値のうち、上位4 ビットは基本パルスのデューティ比を0/16～15/16 まで1/16 の分解能で指定し、下位4 ビットは基本パルスで構成される変換周期内に付加パルスをいくつ付加するかを指定します。

46.4　動作説明

PWMU は、8 ビット単パルスモード、12 ビット単パルスモード、16 ビット単パルスモード、及び8 ビットパルス分割モードで動作します。

46.4.1　単パルスモード（8 ビット、12 ビット、16 ビット）

8 ビット単パルスモードのブロック図を図 46.2 に、12 ビット単パルスモード、及び16 ビット単パルスモードのブロック図を図46.3 に示します。

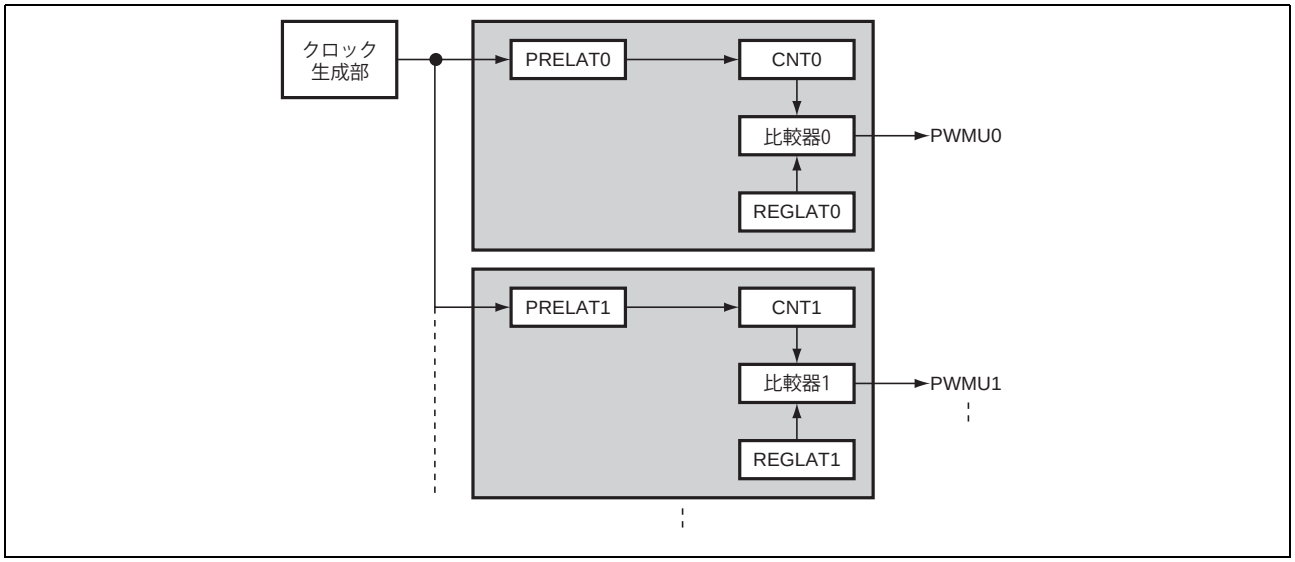


図 46.2　8 ビット単パルスモードのブロック図

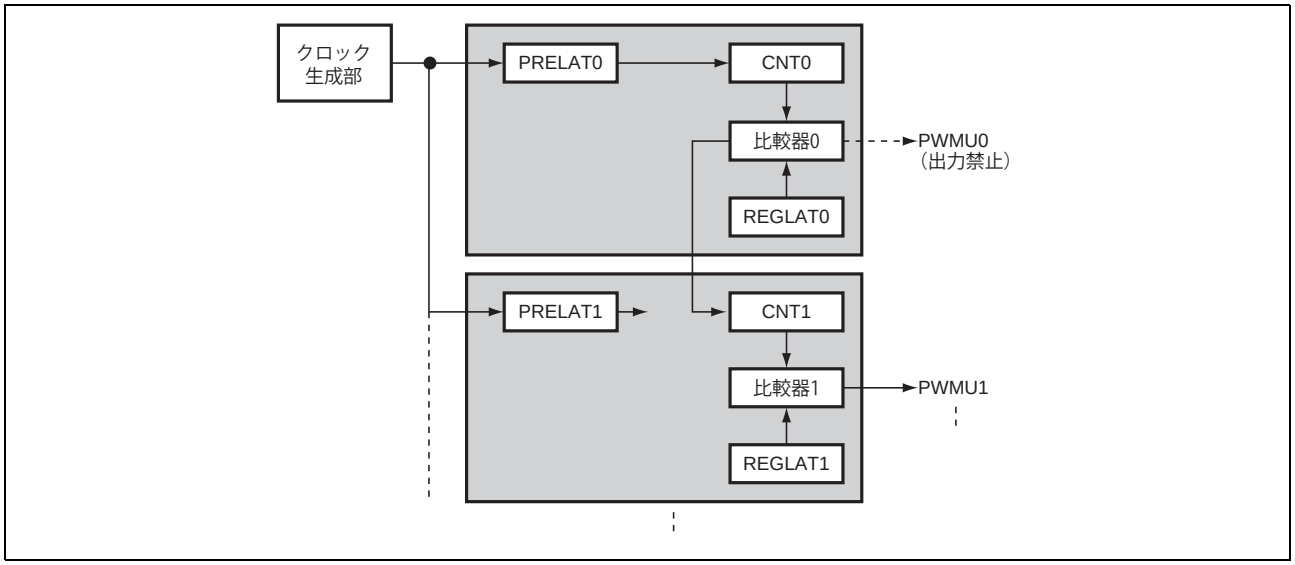


図 46.3　12 ビット、16 ビット単パルスモードのブロック図

PWMOUTCRレジスタのPWMnEビット（n＝0～5）を1にセットすると、PWMUはHから始まるパルスを出力します。REGLATにはPWMREGの更新値が、PRELATにはPWMPREの更新値が書き込まれます。

REGLATの値がデューティカウンタの値より小さい時、PWMUはHを出力します（直接出力選択時）。デューティカウンタはPWMクロックによりカウントアップします。PWMクロックは、PRELATの値をダウンカウントして生成します。クロック生成用カウンタがH'00のとき、PWMクロックが生成されます。

デューティカウンタとクロック生成用カウンタの動作例を図46.4に示します。

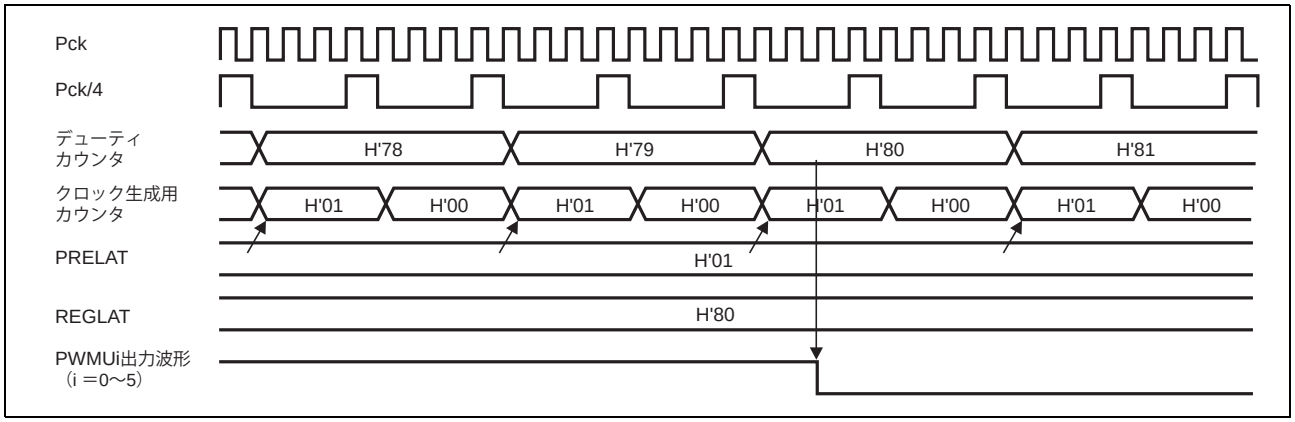


図46.4　デューティカウンタとクロック生成用カウンタの動作例
（カウントクロックソースにPck/4を選択、PWMPRE＝H'01、PWMREG＝H'80に設定した場合）

デューティカウンタの値とPWMU出力のタイミングを以下に示します。

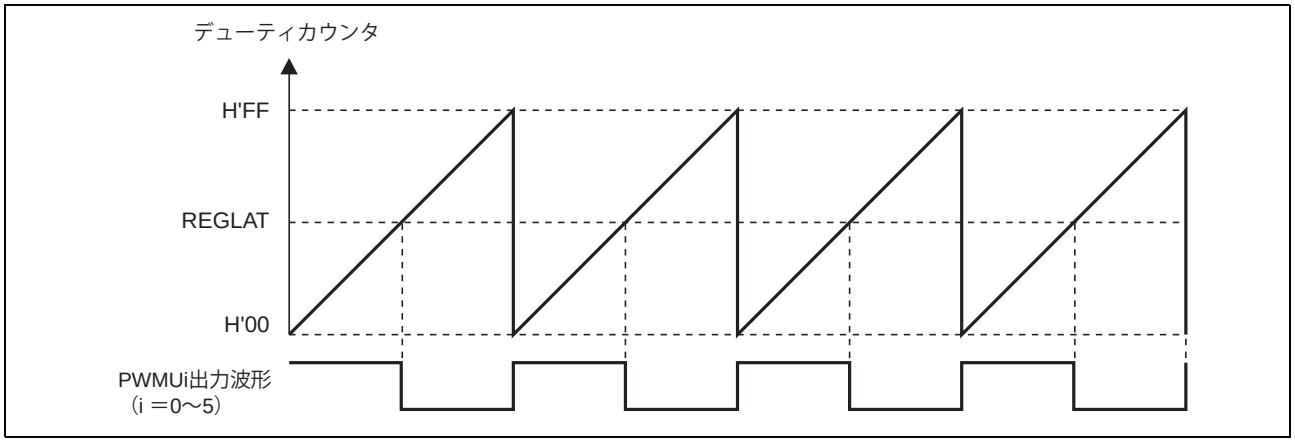


図46.5　デューティカウンタの値とPWMU出力のタイミング

PWM出力中にPWMREGを変更した場合、デューティカウンタがオーバフローした時（次のPWM周期の開始時）にPWMREGの値をREGLATにロードします。PWMREGを変更した場合のPWMU出力波形を以下に示します。

注. PWM出力中にPWMREGの値を書き換える場合、タイミングによっては上位側のレジスタ値の書き換えが間に合わず、意図しないデューティ比のパルスが出力される可能性があります。また、下位側レジスタの書き込みと上位側レジスタの書き込みの間に割り込み処理が入らないようにしてください。

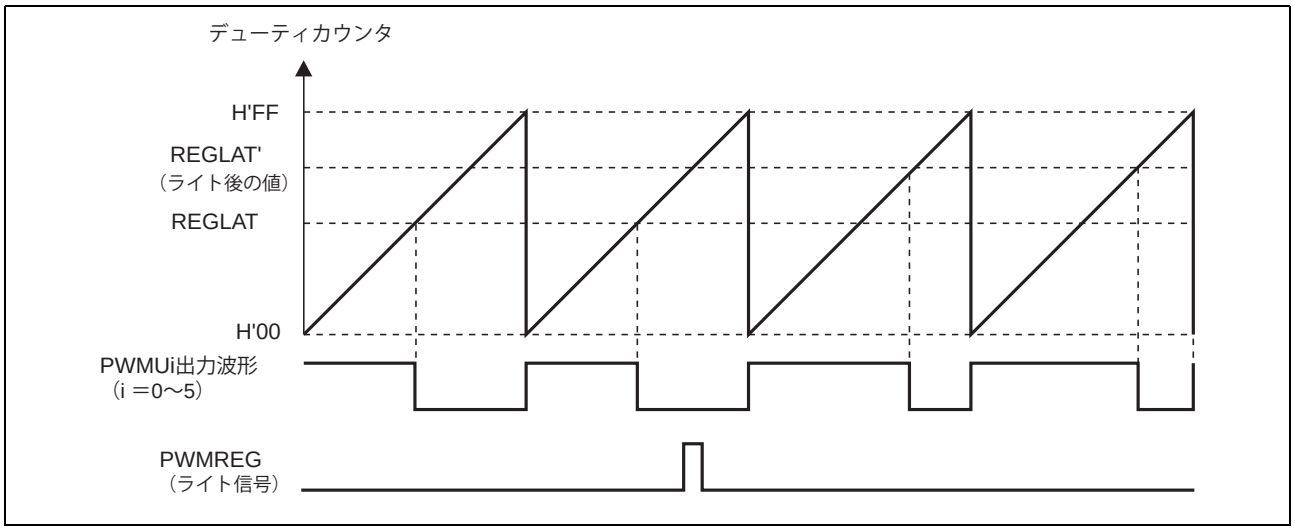


図 46.6　PWMREGを変更した場合のPWMU出力波形

PWM出力中にPWMPREを変更した場合、次のPWM周期から、PWM周期が変化します。クロック生成カウンタがアンダフローした時に、PWMPREの値をPRELATにロードします。PWMPREを変更した場合のPRELAT更新タイミングを以下に示します。

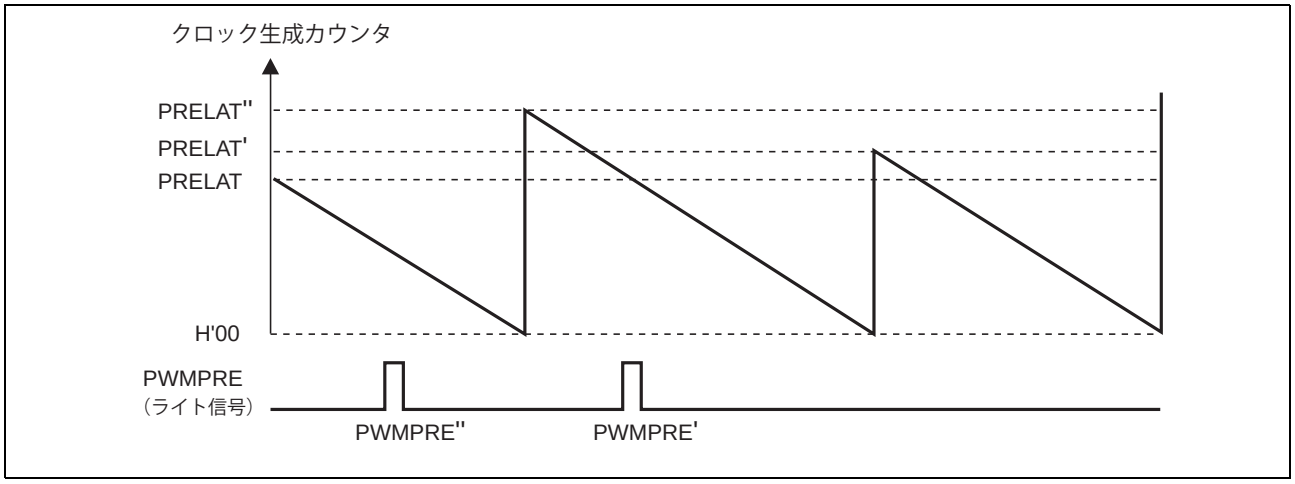
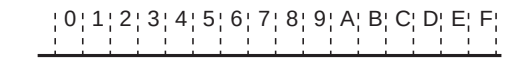
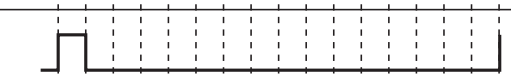
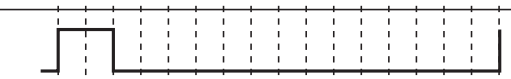
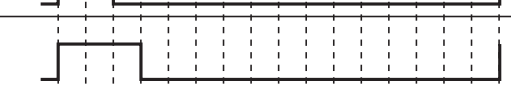
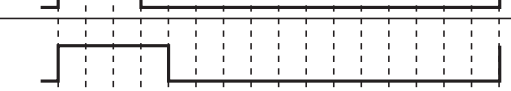
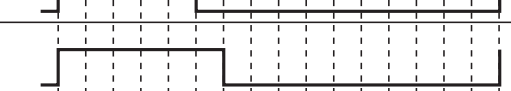
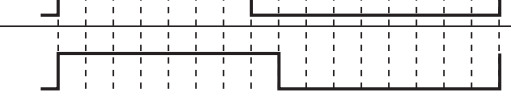
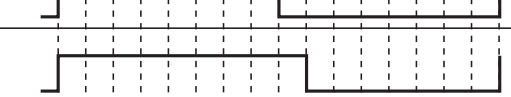
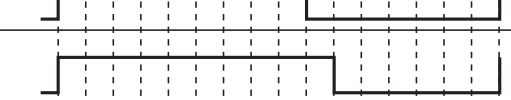
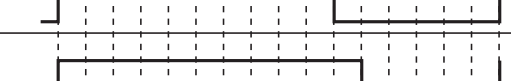
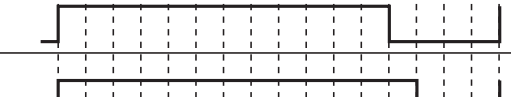
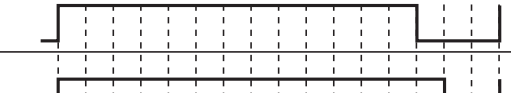
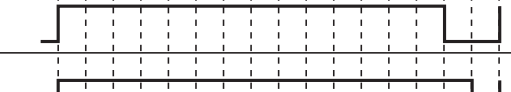


図 46.7　PWMPREを変更した場合のPRELAT更新タイミング

46.4.2　パルス分割モード

パルス分割モードでは、PWMREGの上位4ビットによって、基本パルスのデューティ比を0/16～15/16まで1/16の分解能で指定します。この基本パルス16パルス分を1変換周期と呼びます。以下に基本パルスのデューティ比を示します。

表46.10　基本パルスのデューティ比

PWMREGの上位4ビット	基本パルス波形（内部）
B'0000	
B'0001	
B'0010	
B'0011	
B'0100	
B'0101	
B'0110	
B'0111	
B'1000	
B'1001	
B'1010	
B'1011	
B'1100	
B'1101	
B'1110	
B'1111	

PWMREG の下位 4 ビットは、1 変換周期中の 16 基本パルスに対する付加パルスの付加位置を指定します。付加パルスは、基本パルスの立ち上がりエッジの前に分解能分の幅の H 期間（PHnS＝0 の場合）を付加します。PWMREG の上位 4 ビットが B'0000 の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。以下に基本パルスに対応する付加パルスの位置を、図 46.8 に付加パルスタイミング例を、図 46.9 にパルス分割モード時の PWMU 出力波形例を示します。

表 46.11　基本パルスに対する付加パルスの位置

PWMREGの下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
B'0000																
B'0001																O
B'0010								O								O
B'0011								O				O				O
B'0100				O				O				O				O
B'0101				O				O				O		O		O
B'0110				O		O		O				O		O		O
B'0111				O		O		O		O		O		O		O
B'1000		O		O		O		O		O		O		O		O
B'1001		O		O		O		O		O		O		O	O	O
B'1010		O		O		O	O	O		O		O		O	O	O
B'1011		O		O		O	O	O		O	O	O		O	O	O
B'1100		O	O	O		O	O	O		O	O	O		O	O	O
B'1101		O	O	O		O	O	O		O	O	O	O	O	O	O
B'1110		O	O	O	O	O	O	O		O	O	O	O	O	O	O
B'1111		O	O	O	O	O	O	O	O	O	O	O	O	O	O	O

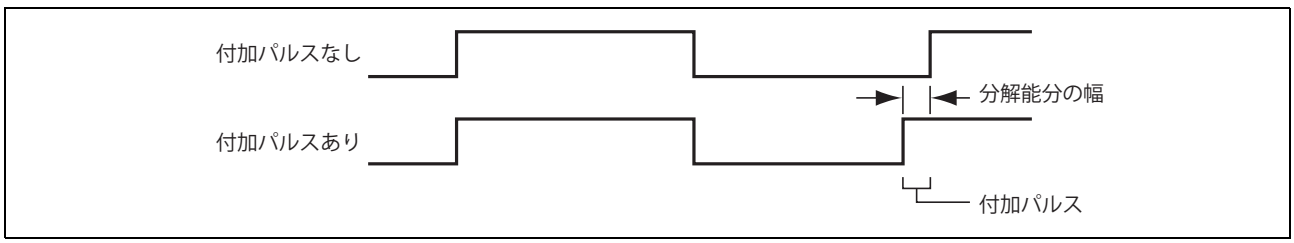


図 46.8　付加パルスタイミング例（PWMREG 上位 4 ビットがB'1000）

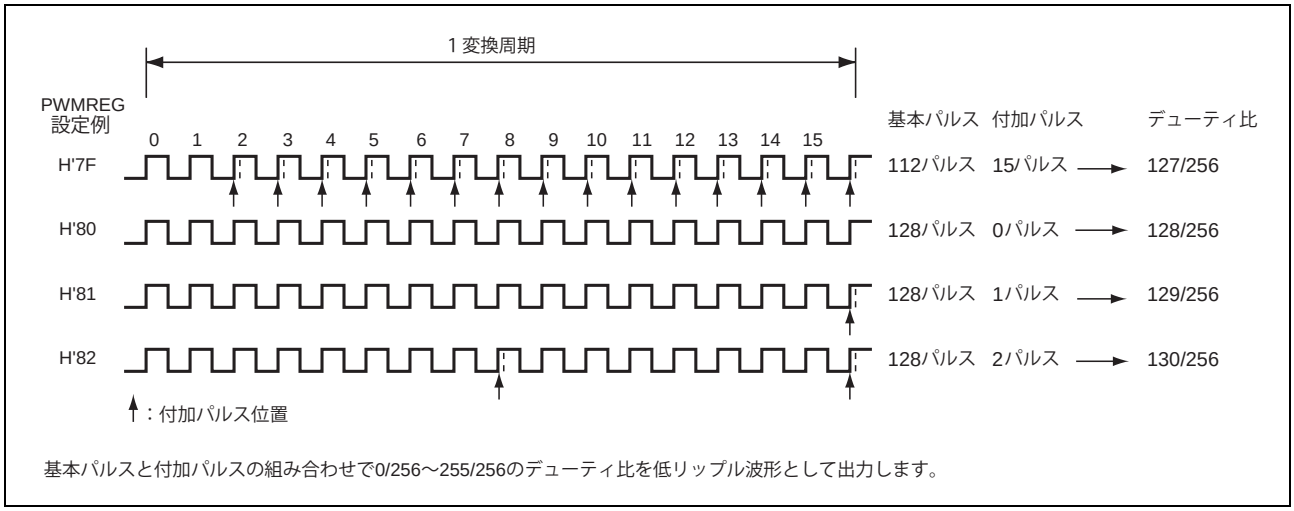


図 46.9　パルス分割モード時のPWMU出力波形例

46.4.3　D/A として使用する場合の回路例

PWMU 出力パルスを D/A として使用する場合の回路例を示します。ローパスフィルタを接続することにより、リップルの少ないアナログ出力を生成することが可能です。パルス分割モードを使用することで、よりリップルの少ないD/A 出力を行うことができます。

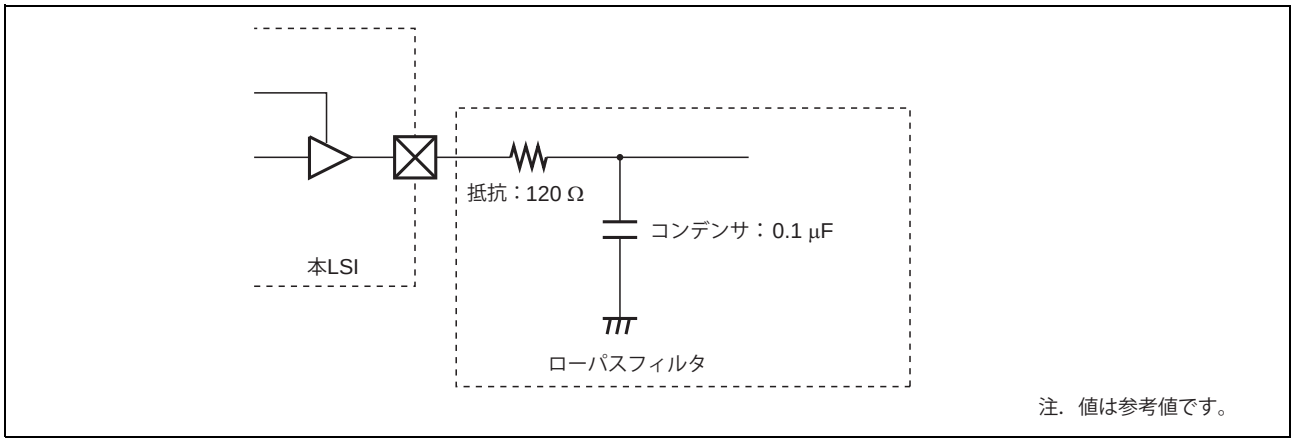


図 46.10　D/A として使用する場合の回路例

47. 電気的特性

47.1 絶対最大定格

表47.1 絶対最大定格

項目	記号	定格値	単位	測定条件
電源電圧（注）	VCCQ	-0.3 ～ +4.6	V	
	VCCQ-USB	-0.3 ～ +4.6		
	AVCCQADC	-0.3 ～ +4.6		
	AVCCQPCI	-0.3 ～ +4.6		
	VCCQ-GET	-0.3 ～ +2.0		
	VCCQ-DDR	-0.3 ～ +2.0		
	VDDPHY15	-0.3 ～ +2.0		
	VDD	-0.3 ～ +1.8		
	VDD-PLL1	-0.3 ～ +1.8		
	VDD-PLL3	-0.3 ～ +1.8		
	VDD-PLL4	-0.3 ～ +1.8		
	VDD-USB	-0.3 ～ +1.8		
	VDDPHY12	-0.3 ～ +1.8		
入力電圧 (VCCQ_デジタルブロック)	Vin	-0.3 ～ VCCQ+0.3		
入力電圧 (AVCCQADC ブロック)	Vin	-0.3 ～ AVCCQADC+0.3		
入力電圧 (VCCQ-GET)	Vin	0.3 ～ VCCQ-GET+0.3		
入力電圧 (VCCQ-USB ブロック)	Vin	-0.3 ～ VCCQ-USB+0.3		
入力電圧 (VCCQ-DDR ブロック)	Vin	-0.3 ～ VCCQ-DDR+0.3		
消費電力	Pd	Max. 5	W	TOPR = 25 °C
動作温度	Topr	-20 ～ +70	°C	
最大許容ジャンクション温度	Tjmax	110		
保存温度	Tstg	-20 ～ +125		

注. 絶対最大定格を超えてLSI を使用した場合、LSI の永久破壊となることがあります。

47.2 電源投入・切断シーケンス

47.2.1 電源投入・切断シーケンス

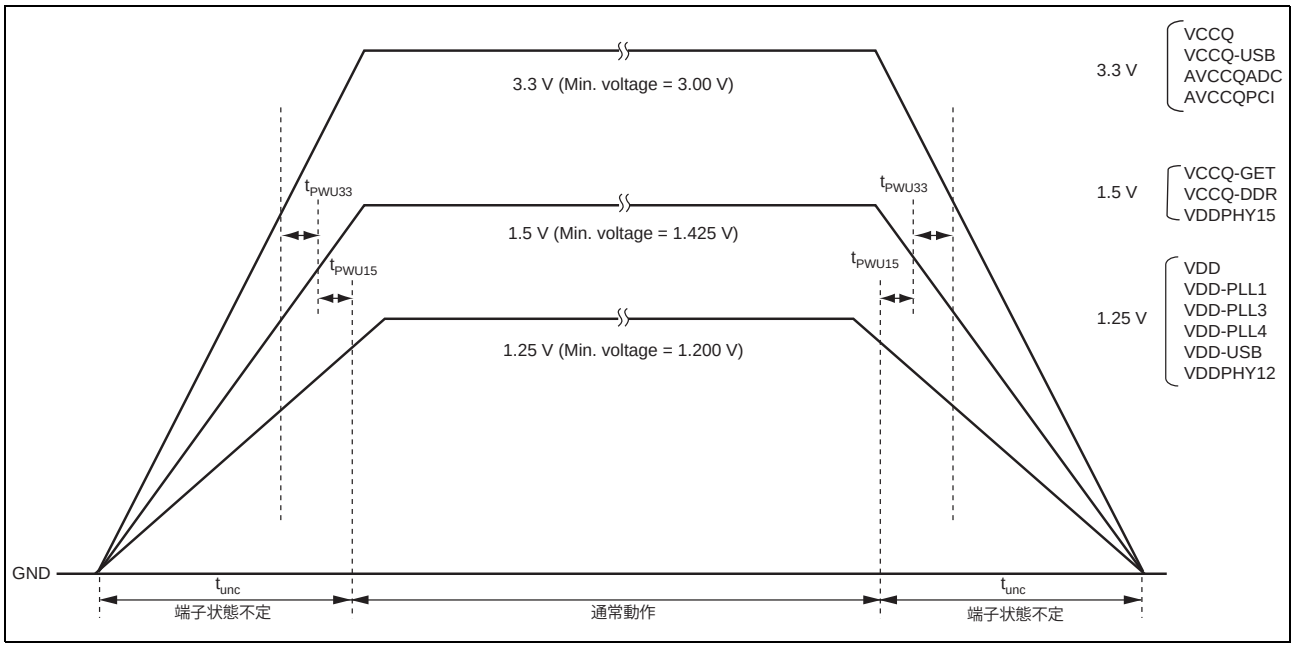


図 47.1 電源投入・切断シーケンス

表47.2 電源投入・切断時間

項 目	記号	Min.	Max.	単位
3.3V-1.5V 電源投入時間差（注1）	t_{PWU33}	0	—	msec
1.5V-1.25V 電源投入時間差（注1）	t_{PWU15}	0	—	msec
状態不定時間（注2）	t_{UNC}	—	100	msec

注1. 3.3V 電源を1.5V 電源よりも先に投入してください。1.5V 電源を1.25V 電源よりも先に投入してください。また、1.5V 電源を1.25V 電源よりも後に切断してください。3.3V 電源を1.5V 電源よりも後に切断してください。

2. 推奨値であり、厳密な設定を要求するものではありません。1.25V 電源がMin.電圧以上に到達するまで、及びMin.電圧以下になってからが状態不定期間となり、その期間は端子状態及び内部状態が不定となります。その状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。

47.3 DC 特性

47.3.1 DC特性（1）

表47.3 DC 特性 (1)

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		VCCQ	3.00	3.30	3.60	V	
		VDD	1.20	1.25	1.30	V	
		VDD-PLL1、VDD-PLL3、VDD-PLL4	1.20	1.25	1.30	V	
A/D 電源電圧		AVCCQADC	3.00	3.30	3.60	V	
DBSC3 電源電圧		VCCQ-DDR	1.425	1.50	1.575	V	
DBSC3 基準電圧入力		M_VREF_DQ	VCCQ-DDR x 0.49	VCCQ-DDR x 0.50	VCCQ-DDR x 0.51	V	
USB 電源電圧		VCCQ-USB	3.00	3.30	3.60	V	
		VDD-USB	1.20	1.25	1.30	V	
PCIe電源電圧		AVCCQPCI	3.00	3.30	3.60	V	
		VDDPHY15	1.425	1.50	1.575	V	
		VDDPHY12	1.20	1.25	1.30	V	
RGMII 電源電圧		VCCQ-GET	1.425	1.50	1.575	V	
RGMII入力基準電圧		VREF-GET	0.68	0.75	0.80	V	
電源電流	通常動作	I_{CCQ}	—	—	300	mA	VCCQ + AVCCQADC + VCCQ-USB
		I_{DD}	—	—	939	mA	VDD + VDD-PLL1 ～ VDD-PLL4 + VDD-USB
		I_{DD15}	—	—	378	mA	VCCQ-DDR + VCCQ-GET
	スリープ／モジュールストップモード	I_{CCQ}	—	13	18	mA	VCCQ + AVCCQADC + VCCQ-USB
		I_{DD}	—	342	479	mA	VDD + VDD-PLL1 ～ VDD-PLL4 + VDD-USB
		I_{DD15}	—	170	181	mA	VCCQ-DDR + VCCQ-GET

47.3.2 DC 特性（2）

表47.4 DC 特性(2)

項 目		記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流		Ilk	—	—	5	μA	VCCQ システム
		Ilk_USB	—	—	5	μA	
		Ilk_ADC	—	—	1	μA	AN0 ～ AN7
			—	—	5	μA	その他の端子
		Ilk_DDR	—	—	16	μA	
		Ilk_PHY12	—	—	5	μA	
プルアップ抵抗	RGMII 端子（注）	$R_{pull-RGMII}$	30	65	140	kΩ	
	その他の端子（注）	R_{pull}	25	50	110	kΩ	
端子容量		C_L	—	—	5	pF	DBSC3 システム
			—	—	10	pF	VCCQ システム

注. RGMII 端子：
ET0-RX_CTL、ET1-RX_CTL、ET0-RXC、ET1-RXC、ET0-RD1、ET0-RD0、ET1-RD1、ET1-RD0、ET0-RD2、ET0-RD3、ET1-RD2、ET1-RD3、RGMII-MAC-CLK
その他の端子：
MMCDAT7 ～ MMCDAT0、SP0-MOSI、SP0-MISO、SP0-SCK、SP0-SCK_FB、SP0-SS0 ～ SP0-SS3、SP1-MOSI、SP1-MISO、SP1-SCK、SP1-SCK_FB、SP1-SS0、SP1-SS1、WP、BOOTFMS、BOOTWP、ET0-MDC、ET0-MDIO、ET1-MDC、ET1-MDIO、RMII0-CRS_DV、RMII0-RXD0、RMII0-RXD1、RMII0-TXD0、RMII0-TXD1、RMII0-RX_ER、RMII0-TXEN 、RMII0-REFCLK、RMII1-REFCLK、RMII1-CRS_DV、RMII1-RX_ER、RMII1-RXD0、RMII1-RXD1、RMII1-TXEN、RMII1-TXD0、RMII1-TXD1、PERST、A24 ～ A18、A9 ～ A0、D13 ～ D0、WE1、RDY、BS、RDWR、CS4、RD、WE0、CS0、PWMX7 ～ PWMX0、SGPIO0-CLK、SGPIO0-LOAD、SGPIO0-DI、SGPIO0-DO、SGPIO2-CLK、SGPIO2-LOAD、SGPIO2-DI、SGPIO2-DO、COM2-TXD、COM2-RXD、COM2-RTS、COM2-CTS、COM2-DTR、COM2-DSR、COM2-DCD、RTS3、CTS3、TXD3、RXD3、RTS4、RXD4、TXD4、RAC-TXD、RAC-RXD、RAC-RTS、RAC-CTS、RAC-DTR、RAC-DSR、RAC-DCD、SPILOAD、TMS、TRST 、TDI、TDO、MPMD、CLKOUT、ASEBRK

47.3.3 DC 特性（USB トランシーバ、RIIC 関連端子を除く）

表47.5 DC 特性 (USB トランシーバ、RIIC 関連端子を除く)

項 目		記号	Min.	Typ.	Max.	単位	測定条件
入力Hレベル電圧	Xtal 端子	V_{IH}	VCCQ × 0.80	—	VCCQ+0.3	V	
	DBSC3 端子 (DC)		M_VREF_DQ + 0.1	—	—	V	
	(AC)		M_VREF_DQ + 0.175	—	—	V	RIIC
	PCIe端子		VDDPHY12 × 0.60	—	VDDPHY12 + 0.30	V	
	RGMII 端子（注1） (DC)		VREF-GET + 0.1	—	VCCQ-GET + 0.3	V	
	(AC)		VREF-GET+ 0.2	—	—	V	
	上記以外の入出力端子		2.00	—	VCCQ+0.30	V	
入力Lレベル電圧	Xtal 端子	V_{IL}	VSS - 0.30	—	VCCQ×0.20	V	
	DBSC3 端子 (DC)		—	—	M_VREF_DQ - 0.1	V	
	(AC)		—	—	M_VREF_DQ - 0.175	V	
	PCIe端子		VSSPHY - 0.30	—	VDDPHY12 × 0.40	V	
	RGMII 端子（注1） (DC)		-0.3	—	VREF-GET - 0.1	V	
	(AC)		—	—	VREF-GET- 0.2	V	
	上記以外の入出力端子		VSS - 0.30	—	0.80	V	
DBSC3 DC 差動入力レベル電圧		V_{IHD}	0.2	—	—	V	M_DQS=H、VIN=VCCQ-DDR/2、VDD=1.25V、VCCQ-DDR=1.425～1.575V
		V_{ILD}	—	—	-0.2	V	M_DQS=L、VIN=VCCQ-DDR/2、VDD=1.25V、VCCQ-DDR=1.425～1.575V
		V_{IN}	0.5 x VCCQ-DDR - 0.25	—	0.5 x VCCQ-DDR + 0.25	V	VIHD=200mV or VILD=-200mV、VDD=1.25V、VCCQ-DDR=1.425～1.575V
DBSC3 AC 差動入力クロスポイント電圧		V_{IX} (AC)	VCCQ-DDR - 0.15	—	VCCQ-DDR + 0.15	V	
シュミットトリガ入力電圧	L逆 スレショルド電圧	V_{T-}	VCCQ × 0.20	—	—	V	
	H逆スレショルド電圧	V_{T+}	—	—	VCCQ×0.7	V	
		$(V_{T+}) - (V_{T-})$	VCCQ × 0.02	—	—	V	
Hレベル出力電圧（注3）	RGMII 端子（注1） (DC)	V_{OH}	VCCQ-GET - 0.4	—	—	V	
	(AC)		VCCQ-GET - 0.5	—	—	V	
	上記以外の入出力端子（注2）		2.40	—	—	V	

項 目		記号	Min.	Typ.	Max.	単位	測定条件
L レベル出力電圧	RGMII 端子（注1）(DC)	V_{OL}	—	—	0.4	V	
	(AC)		—	—	0.5	V	
	上記以外の入出力端子（注2）		—	—	0.60	V	
DBSC3 AC 差動出力クロスポイント電圧		V_{OX} (AC)	M_VREF_DQ - 0.125	—	M_VREF_DQ + 0.125	V	
DBSC3 DC 差動出力クロスポイント電圧		V_{OH}	0.8x VCCQ_DDR	—	—	V	
		V_{OM}	—	0.5x VCCQ_DDR	—	V	
		V_{OL}	—	—	0.2x VCCQ_DDR	V	
PCIe Tx DC コモンモード電圧		V_{TX}- DC - C_M	0	—	3.6	V	

注1. RGMII 端子は高速トランシーバーロジック(HSTL)に準拠しています。
2. ADC、DBSC3端子を除く。
3. 出力許容電流値については、表47.9を参照してください。

47.3.4 DC 特性（RIIC）

表47.6 DC 特性 (RIIC)

項 目	記号	Min.	Typ.	Max.	単位	測定条件
プルアップ電源電圧 (1)	VPU	2.7	3.3	3.6	V	
プルアップ電源電圧 (2)		4.5	5	5.5	V	
シュミットトリガ入力電圧	VT-	VCCQ × 0.3	—	—	V	
	VT+	—	—	VCCQ × 0.7	V	
	VT+ – VT-	(VCCQ × 0.05)	—	—	V	
入力H レベル電圧	VIH	VCCQ × 0.7	—	VCCQ + 0.3	V	
入力L レベル電圧	VIL	-0.3	—	VCCQ × 0.3	V	
出力L レベル電圧	VOL	—	—	0.4	V	IOL = 3 mA
IOL Std、Fm	IOL1	—	—	3	mA	VOL = 0.4 V
IOL Fm	IOL2	—	—	6	mA	VOL = 0.6 V
(IOL Fm+)	IOL3	—	—	20	mA	VOL = 0.4 V
3ステートリーク電流 （オフ状態）	IL	—	—	15	μA	VIN = 0.1 ～ 0.9 × VCCQ

47.3.5 DC 特性 （USB（ハイスピードトランシーバ））

表47.7 DC 特性 （USB （ハイスピードトランシーバ））

項 目		記号	Min.	Typ.	Max.	単位	測定条件
入力	コモンモード入力電圧範囲	VHSCM	-50	—	500	mV	
	差動入力電位	Vdiff	150	400	575	mV	
	スケルチ検出スレッショルド電圧 (差動電圧)	VHSSQ	100	—	150	mV	
	ディスコネクト検出電圧	VHSDSQ	525	—	625	mV	
出力	出力電流	IOUT	—	17.5	—	mA	
	アイドル状態	VHSOI	-20	—	20	mV	
	"H"出力電圧	VHSOH	360	—	440	mV	
	"L"出力電圧	VHSOL	-20	—	20	mV	

47.3.6 DC 特性（USB（フルスピード／ロースピードトランシーバ））

表47.8 DC 特性（USB（フルスピード／ロースピードトランシーバ））

項 目		記号	Min.	Typ.	Max.	単位	測定条件
入力	"H"入力電圧	VIH	2.0	—	—	V	
	"L" 入力電圧	VIL	—	—	0.8	V	
	シュミットトリガ入力特性	ΔV	—	0.2	—	V	
	差動入力感度	VDI	0.2	—	—	V	|D+ – D-|
	差動コモンモード範囲	VCM	0.8	—	2.5	V	
出力	"H"出力電圧	VOH	2.7	—	VCCQ	V	14.25 kΩ を介してGNDに接続
	"L" 出力電圧	VOL	—	—	0.4	V	1.425 kΩ を介してVCCQに接続

47.3.7 DC 特性（出力許容電流値）

表47.9 出力許容電流値

項 目		記号	Min.	Typ.	Max.	単位	測定条件
出力電流	PTA0、PTA2、PTA4 ～ PTA7、PTB0、PTB3 ～ PTB5、PTC0 ～ PTC7、PTD0 ～ PTD2、PTD4、PTD6、PTE0 ～ PTE3、PTE7、PTF0 ～ PTF3、PTF7、PTG2、PTG7、PTH0、PTH2、PTH4、PTH6、PTI6、PTI7、PTJ0 ～ PTJ6、PTK1 ～ PTK7、PTL0、PTL3 ～ PTL6、PTM4 ～ PTM7、PTN0 ～ PTN3、PTN6、PTO0 ～ PTO2、PTO4 ～ PTO6、PTV0 ～ PTV3、PTV7、PTW0 ～ PTW7、PTX0 ～ PTX4、PTX6、PTX7、PTY0 ～ PTY7、SP0-SS0、SP1-SS0、ASEBRK/BRKACK	IOL	—	—	4	mA	
		IOH	—	—	-4	mA	
	PTA1、PTA3、PTB1、PTB2、PTB6、PTB7、PTE4 ～ PTE6、PTF4 ～ PTF6、PTG4、PTG5、PTI0 ～ PTI4、PTK0、PTN4、PTN5、PTO3、PTO7、PTU4 ～ PTU7、PTV4 ～ PTV6、PTX5、PTZ0 ～ PTZ7、SP0-MOSI、SP0-SCK、SP1-MOSI/TEND1、SP1-SCK/DACK1、TDO、ET0-TD0 ～ ET0-TD3、ET1-TD0 ～ ET1-TD3、ET0-TX_CTL、ET1-TX_CTL、ET0-TXC、ET1-TXC	IOL	—	—	8	mA	
		IOH	—	—	-8	mA	
	PTG0、PTG1、PTG3、PTI5、PTL1、PTL2、PTQ0 ～ PTQ6、PTT0 ～ PTT7、PTU0 ～ PTU3	IOL	—	—	12	mA	
		IOH	—	—	-12	mA	
	PTM0、PTM1、PTR0 ～ PTR7、PTS0、PTS1、PTS4 ～ PTS7	IOL	—	—	6	mA	これらの端子をRIIC関連端子として使用する場合は、表47.6を参照してください。
	PTM2、PTM3、PTS2、PTS3	IOL	—	—	20	mA	これらの端子をRIIC関連端子として使用する場合は、表47.6を参照してください。

47.3.8 DC 特性（シュミットトリガ入力）

表47.10 シュミットトリガ入出力一覧

端子名	端子名	端子名	端子名
MPMD	PTG1	PTQ1	PTS7/SDA9（注）
NMI	PTG3	PTQ2	PTT0/PWMX0
$\overline{\text{PERST}}$	PTG5/A25/MMCCLK	PTQ3	PTT1/PWMX1
$\overline{\text{PRESET}}$	PTI5/D13/SDCLK	PTQ4	PTT2/PWMX2/STATUS0
PTB0/TCLK	PTI6/D14/SDCD	PTQ5	PTT3/PWMX3/STATUS1
PTB1	PTI7/D15/SDWP	PTQ6	PTT4/PWMX4/AUDATA0
PTB2	PTL1/$\overline{\text{RAC-DCD}}$/$\overline{\text{DCD0}}$/AUDCK	PTR0/SCL0（注）	PTT5/PWMX5/AUDATA1
PTB3	PTL2/$\overline{\text{RAC-DSR}}$/$\overline{\text{DSR0}}$/ AUDSYNC	PTR1/SDA0（注）	PTT6/PWMX6/AUDATA2
PTB4	PTM0/SCL7（注）	PTR2/SCL1（注）	PTT7/PWMX7/AUDATA3/MD2
PTB5	PTM1/SDA7（注）	PTR3/SDA1（注）	PTU0
PTB6	PTM2/SCL6（注）	PTR4/SCL2（注）	PTU1
PTB7	PTM3/SDA6（注）	PTR5/SDA2（注）	PTU2
PTC0/IRQ0/$\overline{\text{IRL0}}$	PTP0/EVENT8/AN8	PTR6/SCL8（注）	PTU3
PTC1/IRQ1/$\overline{\text{IRL1}}$	PTP1/EVENT9/AN9	PTR7/SDA8（注）	PTV0/A16/EVENT6
PTC2/IRQ2/$\overline{\text{IRL2}}$/PWMU5	PTP2/EVENT10/AN10	PTS0/SCL3（注）	PTV1/A17/EVENT7
PTC3/IRQ3/$\overline{\text{IRL3}}$/PWMU4	PTP3/EVENT11/AN11	PTS1/SDA3（注）	PTW2/A10/EVENT0
PTC4/IRQ4/$\overline{\text{IRL4}}$/PWMU3	PTP4/EVENT12/AN12	PTS2/SCL4（注）	PTW3/A11/EVENT1
PTC5/IRQ5/$\overline{\text{IRL5}}$/PWMU2	PTP5/EVENT13/AN13	PTS3/SDA4（注）	PTW4/A12/EVENT2
PTC6/IRQ6/$\overline{\text{IRL6}}$/PWMU1	PTP6/EVENT14/AN14	PTS4/SCL5（注）	PTW5/A13/EVENT3
PTC7/IRQ7/$\overline{\text{IRL7}}$/PWMU0	PTP7/EVENT15/AN15	PTS5/SDA5（注）	PTW6/A14/EVENT4
PTG0	PTQ0	PTS6/SCL9（注）	PTW7/A15/EVENT5

注．端子がシュミットトリガ入力になるのはRIICバスが選択されたとき（ICMR3.SMBSビット＝0）に限られます。

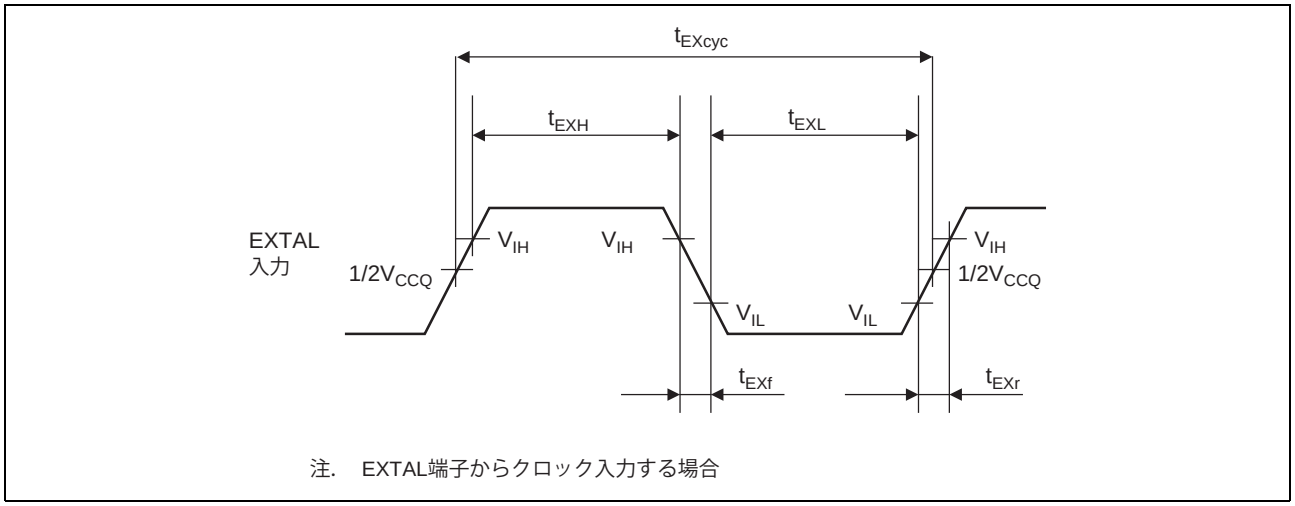
47.4 AC特性

47.4.1 クロック・制御信号タイミング

表47.11 クロック・制御信号タイミング

項 目	記号	Min.	Typ.	Max.	単位	参照図
EXTAL クロック入力周波数（注1、4）	f_{EX}	—	48	—	MHz	
EXTAL クロック入力サイクル時間（注4）	t_{EXcyc}	—	20.8	—	ns	47.2
EXTAL クロック入力Lレベルパルス幅（注4）	t_{EXL}	3.5	—	—	ns	47.2
EXTAL クロック入力Hレベルパルス幅（注4）	t_{EXH}	3.5	—	—	ns	47.2
EXTAL クロック入力立ち上がり時間（注4）	t_{EXr}	—	—	4	ns	47.2
EXTAL クロック入力立ち下がり時間（注4）	t_{EXf}	—	—	4	ns	47.2
CLKOUT クロック出力（注1、2）	t_{OP}	—	48	—	MHz	
CLKOUT クロック出力サイクル時間	$t_{CLKOUTcyc}$	—	20.8	—	ns	47.3
パワーオンEXTAL入力安定時間	t_{OSC1}	30	—	—	ms	47.4
ストラップピン（スタティック）（注5）セットアップ時間	t_{STRPS}	3	—	—	t_{cyc}（注3）	47.5
ストラップピン（スタティック）（注5）ホールド時間	t_{STRPH}	0	—	—	ns	47.5
$\overline{\text{PRESET}}$ アサート時間	t_{RESW}	20	—	—	t_{cyc}（注3）	47.4
PLL 発振安定時間	t_{PLL}	—	—	200	µs	47.6
$\overline{\text{TRST}}$ リセットホールド時間	t_{TRSTRH}	0	—	—	ns	47.4
$\overline{\text{PRESET}}$ 入力立ち上がり時間 (20～80%)	t_{PRr}	—	—	100	ns	47.4

注1. 水晶発振子がEXTAL とXTAL に接続されているとき、周波数は48MHz になります。また、3 次オーバトーン水晶発振子は使用しないでください。
2. CLKOUT 端子への接続負荷容量は最大20pF としてください。
3. t_{cyc} はCLKOUT クロックの1 サイクル時間を示します。
4. EXTAL の周波数温度特性は ±100 ppmです。
5. ストラップピン：
MD0 ～ MD3、MD5、MD6、MD8 ～ MD10、FLSHSZ0 、FLSHSZ1、WPSZ0 、WPSZ1、BOOTSZ0 、BOOTSZ1、SPI0VER、BOOTWPSZ0 、BOOTWPSZ1、WDTFOT0、WDTFOT1、BOOTFMS



注. EXTAL端子からクロック入力する場合

図 47.2 EXTAL クロック入力タイミング

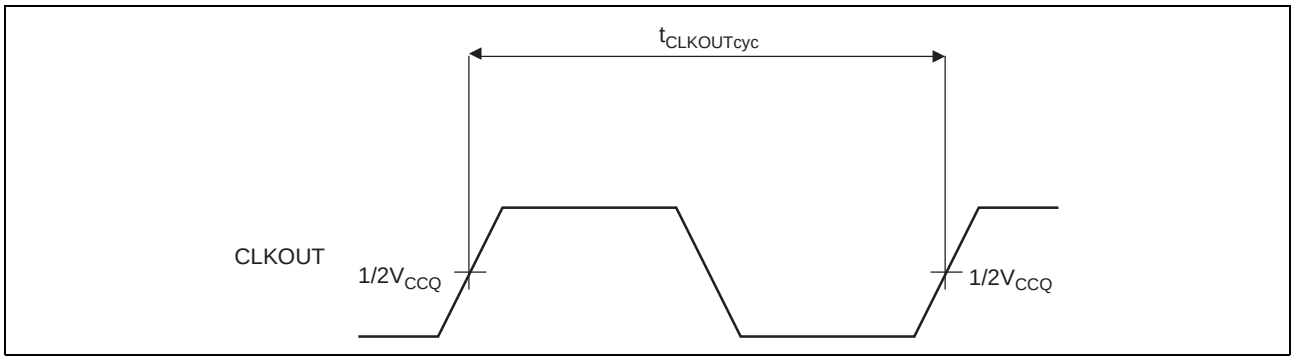


図 47.3 CLKOUT クロック出力タイミング

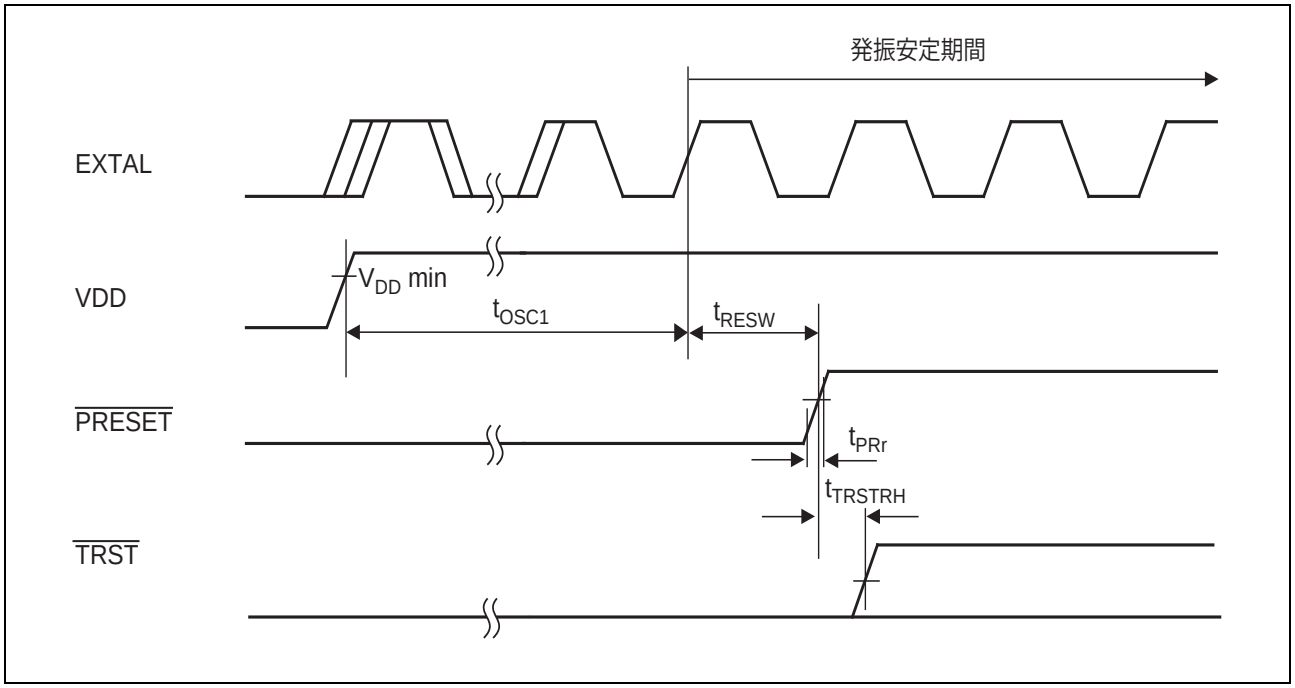


図 47.4 パワーオン時EXTAL入力発振安定時間

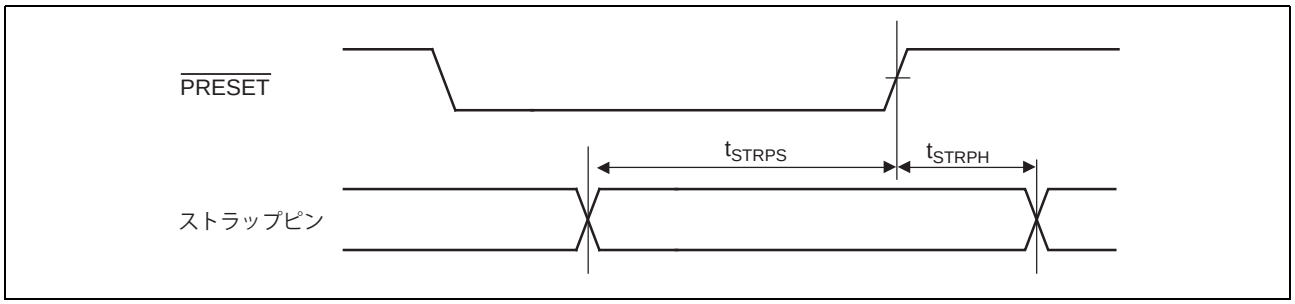


図 47.5 ストラップピンセットアップ／ホールドタイミング

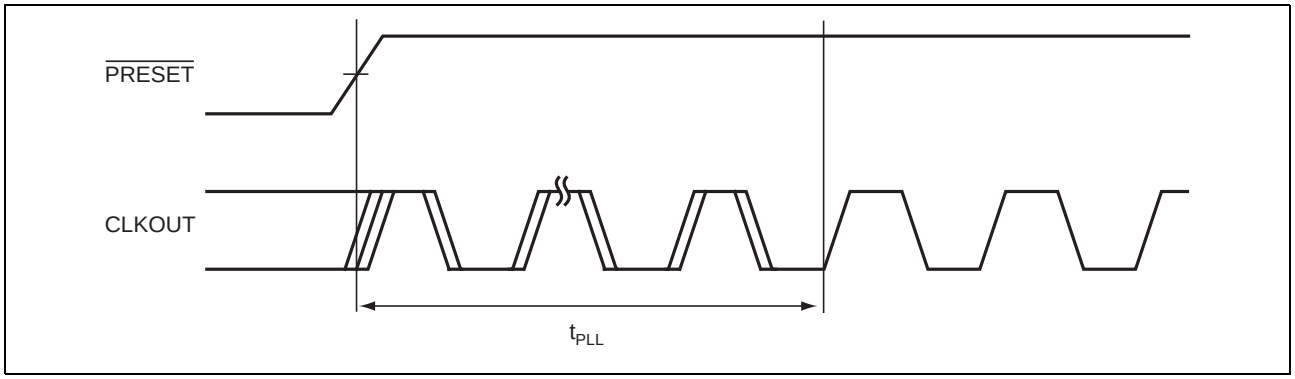


図 47.6 PLL 発振安定時間

47.4.2 バスタイミング

表47.12 バスタイミング

項 目	記号	Min.	Max.	単位	備考
アドレス遅延時間	t_{AD}	1	9	ns	
$\overline{BS}$ 遅延時間	t_{BSD}	1	9	ns	
$\overline{CSn}$ 遅延時間	t_{CSD}	1	9	ns	
$\overline{RDWR}$ 遅延時間	t_{RWD}	1	9	ns	
$\overline{RD}$ 遅延時間	t_{RSD}	1	9	ns	
読み出しデータセットアップ時間	t_{RDS}	6	—	ns	
読み出しデータホールド時間	t_{RDH}	2	—	ns	
$\overline{WEn}$ 遅延時間（立ち下がりエッジ時）	t_{WEDF}	1	9	ns	CLKOUT の立ち下がりエッジに対して
$\overline{WEn}$ 遅延時間	t_{WED1}	1	9	ns	
書き込みデータ遅延時間	t_{WDD}	1	9	ns	
$\overline{RDY}$ セットアップ時間	t_{RDYS}	6	—	ns	
$\overline{RDY}$ ホールド時間	t_{RDYH}	2	—	ns	

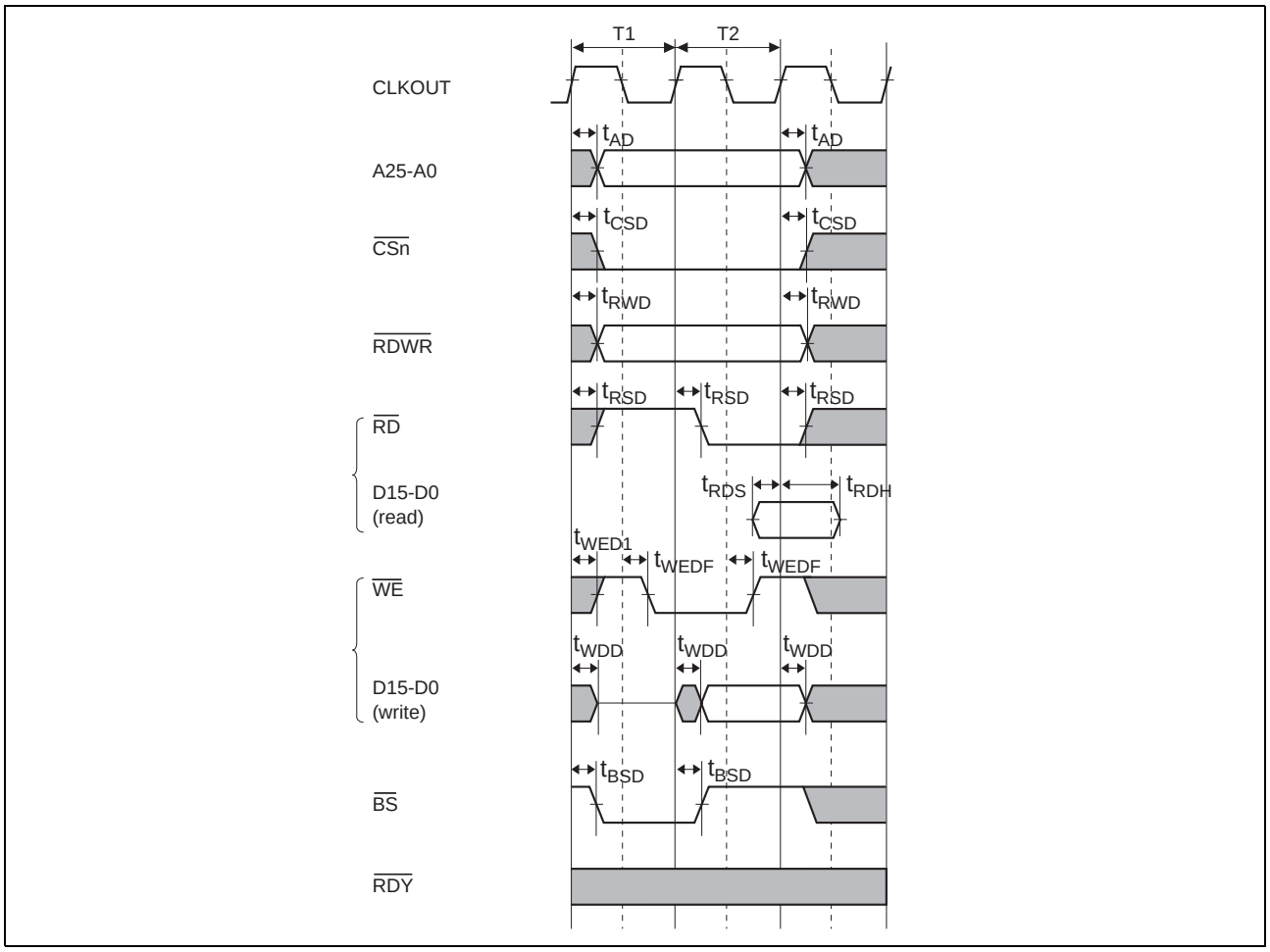


図 47.7 SRAM バスサイクル：基本バスサイクル（ノーウェイト）

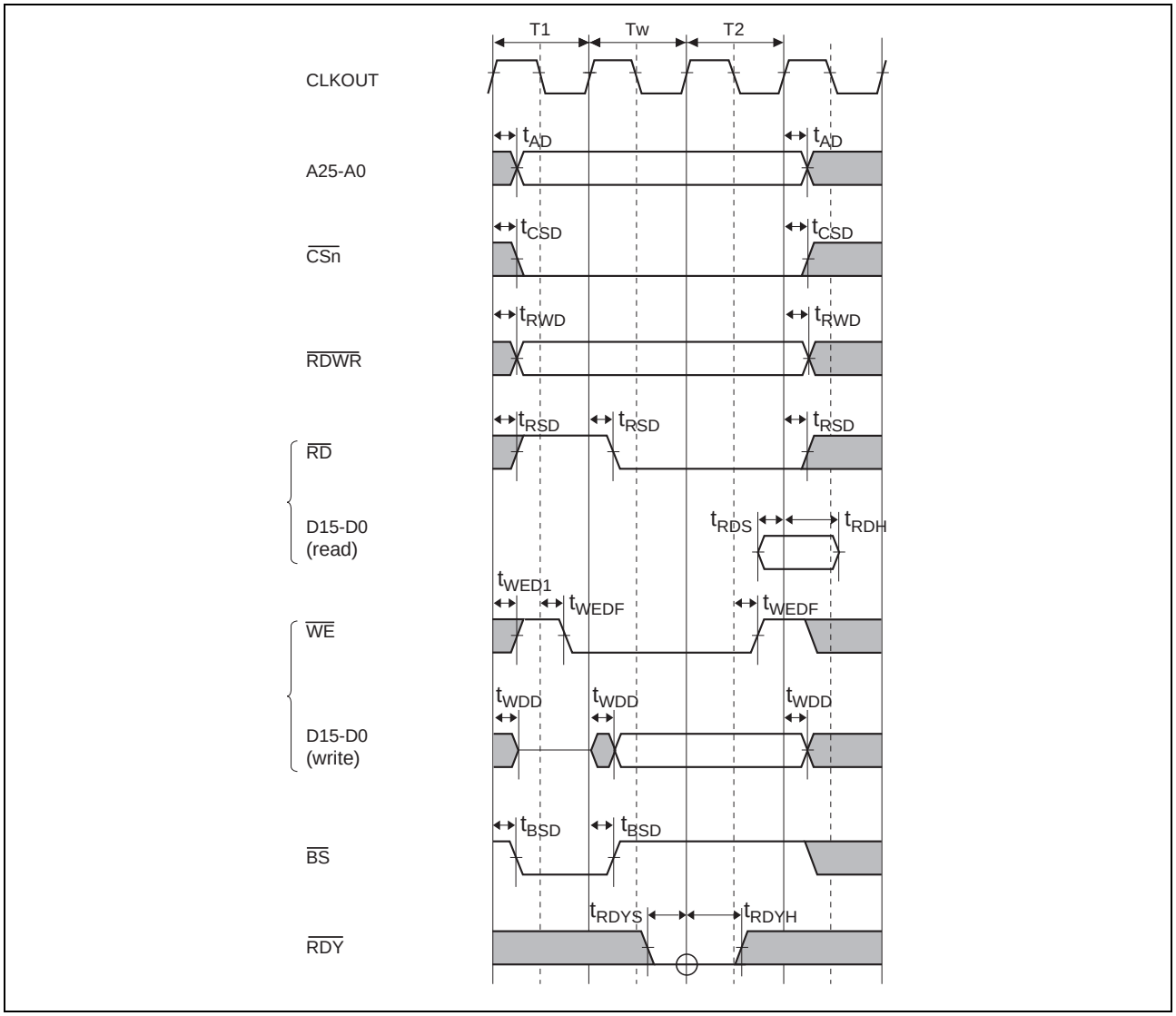


図 47.8 SRAM バスサイクル：基本バスサイクル（ソフトウェアウェイトのみ）

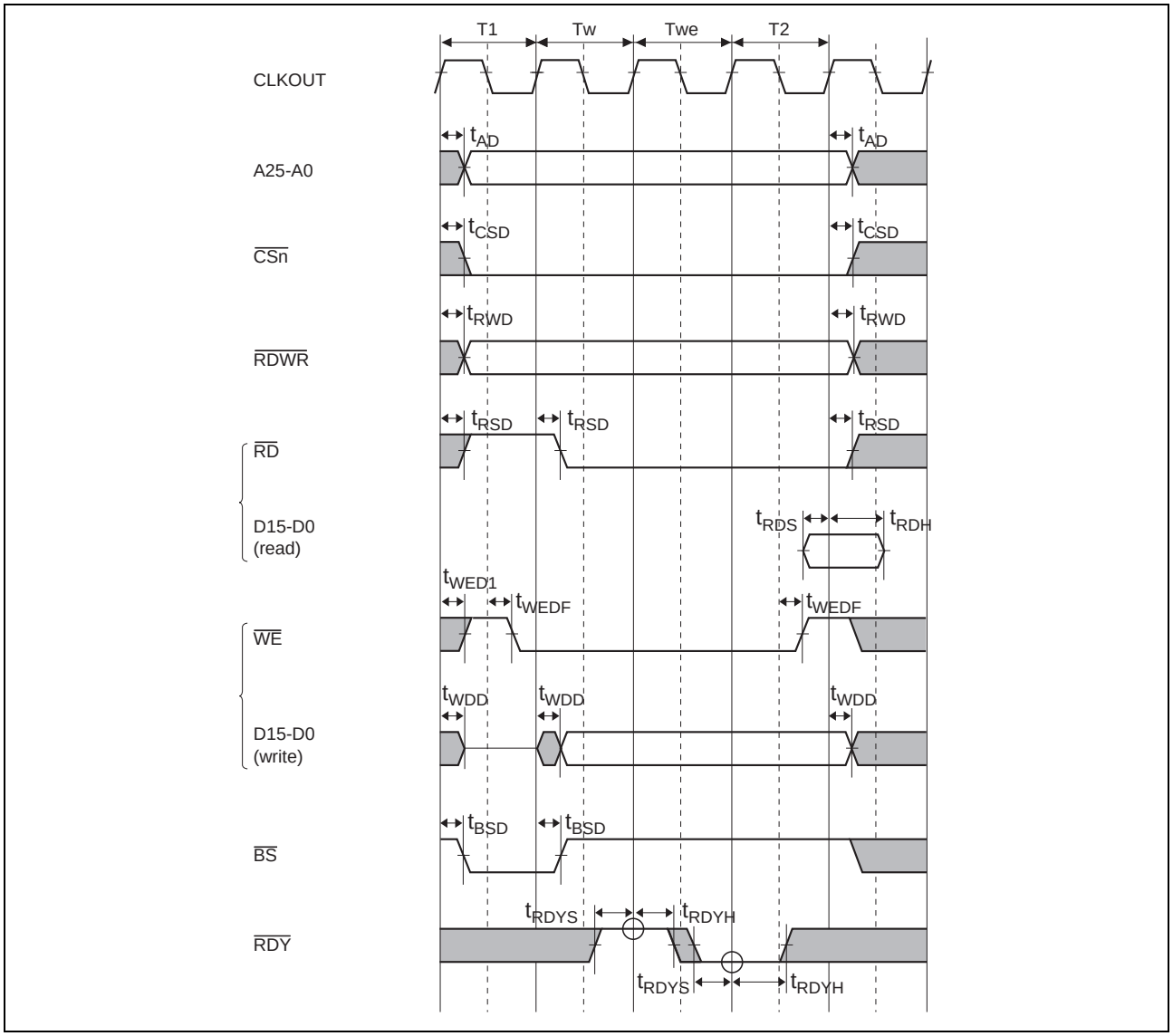


図 47.9 SRAM バスサイクル：基本バスサイクル
（ソフトウェアウェイト+RDY によるウェイト、RDY は同期入力）

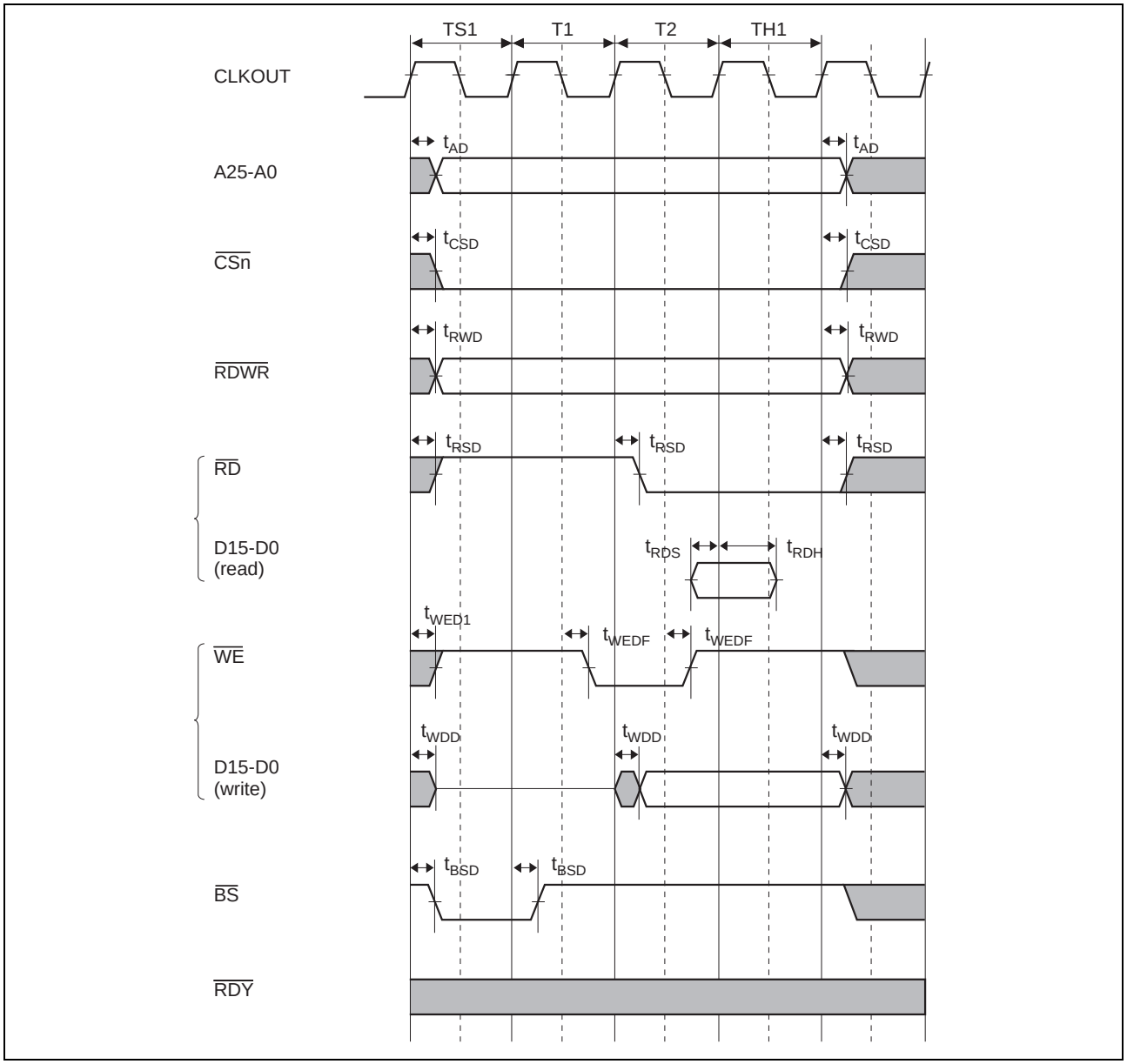


図 47.10 SRAM バスサイクル：基本バスサイクル
（ノーウェイト、アドレスセットアップ／ホールド挿入なし、RDS＝1、RDH＝0、WTS＝1、WTH＝1）

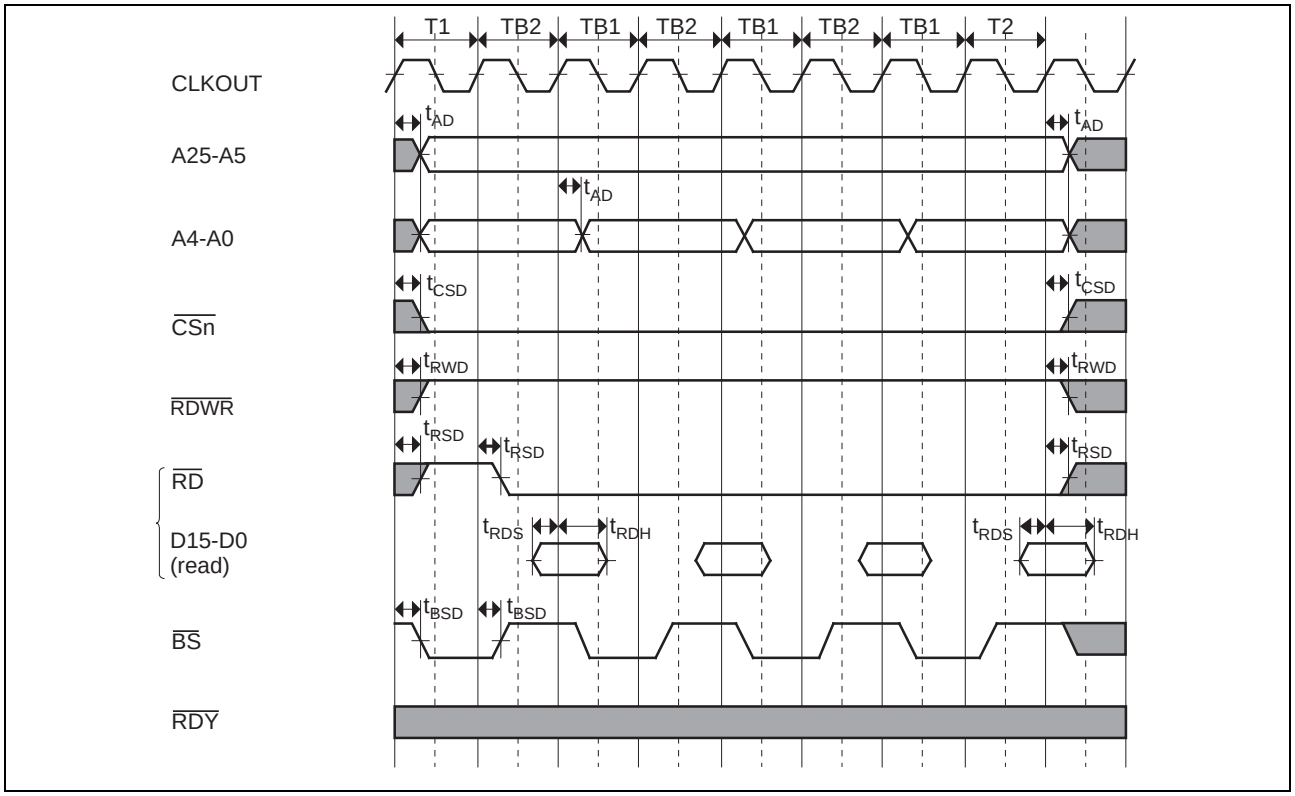


図 47.11 バーストROM バスサイクル（ノーウェイト）

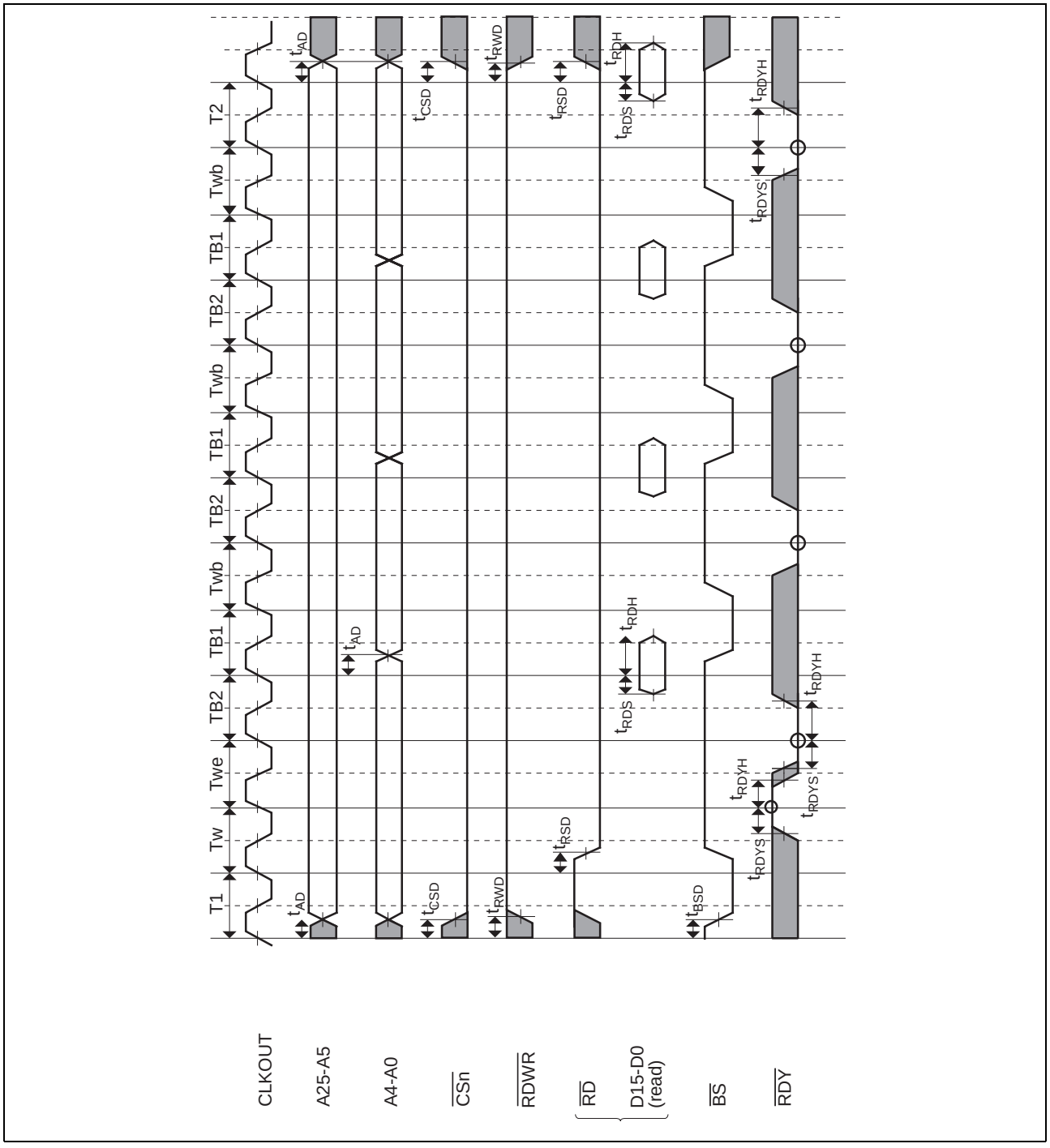


図 47.12 バーストROM バスサイクル
（1 番目のデータ：ソフトウェアウェイト+RDY によるウェイト
2、3、4 番目のデータ：ソフトウェアウェイトのみ）

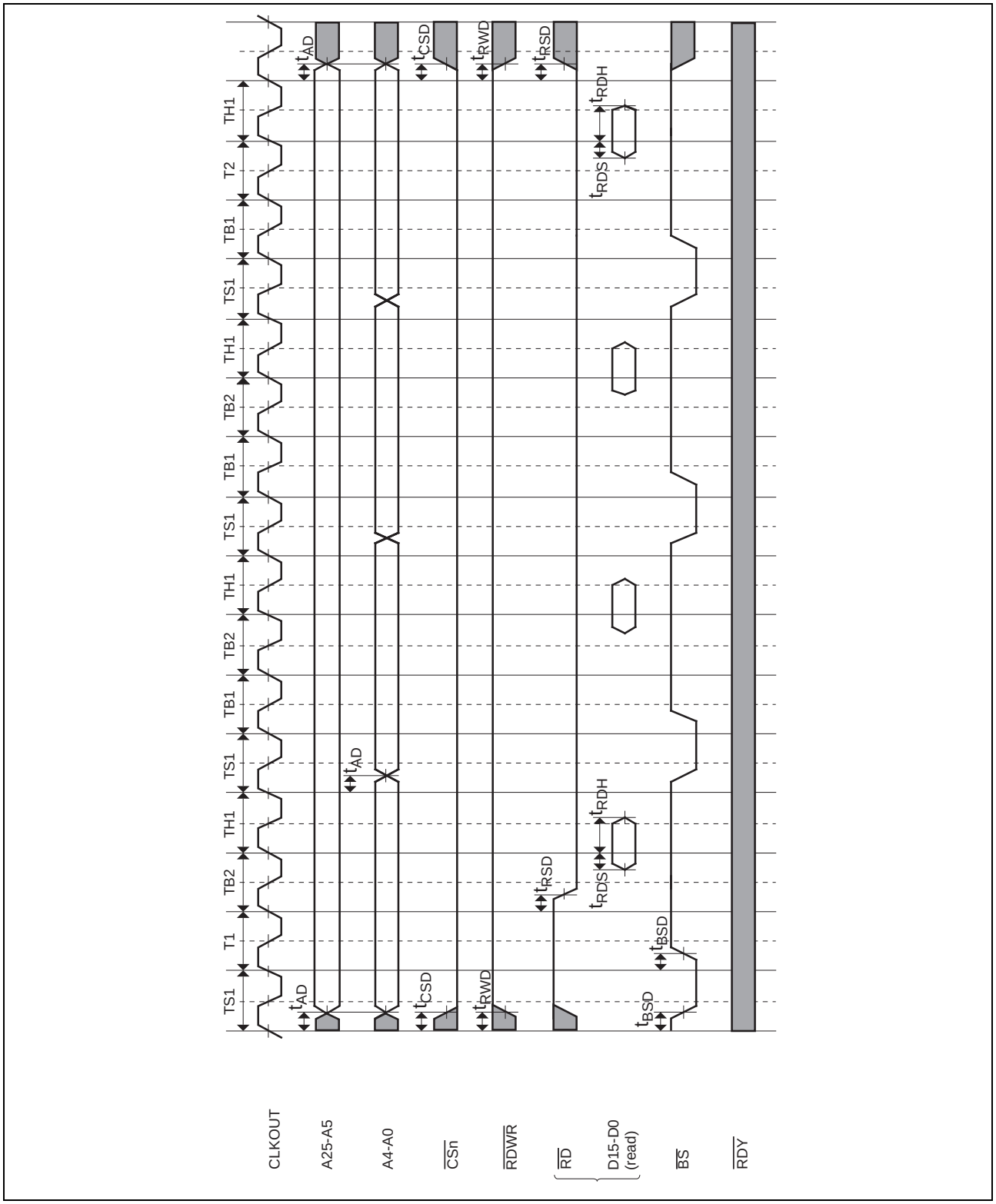


図 47.13 バーストROM バスサイクル
（ノーウェイト、アドレスセットアップ／ホールド挿入無し、RDS＝1、RDH＝0）

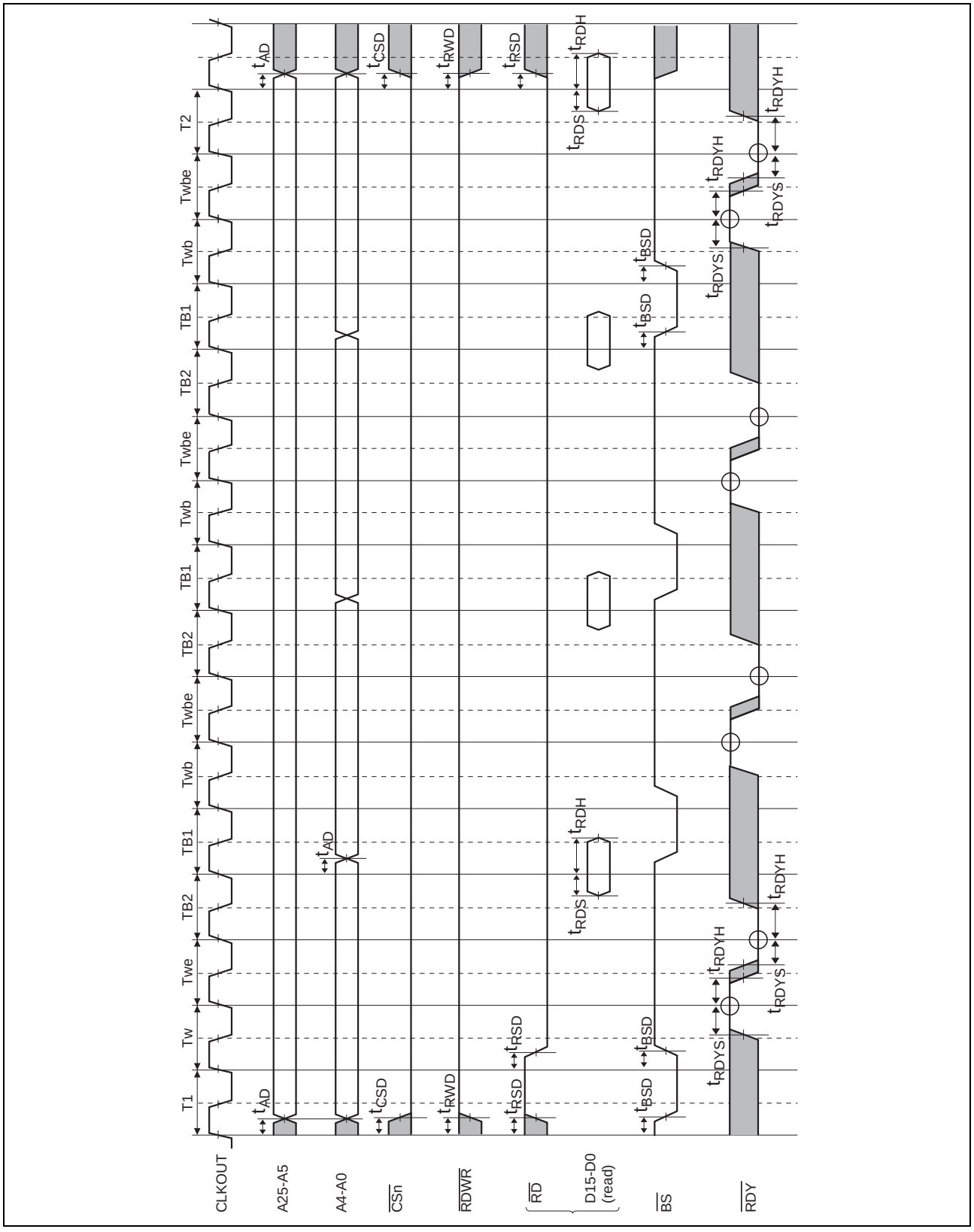


図 47.14 バーストROMバスサイクル
（ソフトウェアウェイト+ RDY によるウェイト）

47.4.3 DBSC3 モジュール信号タイミング

(1) 入力オーバシュート／アンダシュート特性

表47.13 入力オーバシュート／アンダシュート規定

項 目	定格値	単位	参照図
オーバーシュートエリアで許容されている最大ピーク振幅	0.3	V	47.15
アンダーシュートエリアで許容されている最大ピーク振幅	0.3	V	47.15
VCCQ-DDRを上回る最大オーバーシュートエリア	0.19	V-ns	47.15
VSSを下回る最大アンダーシュートエリア	0.19	V-ns	47.15

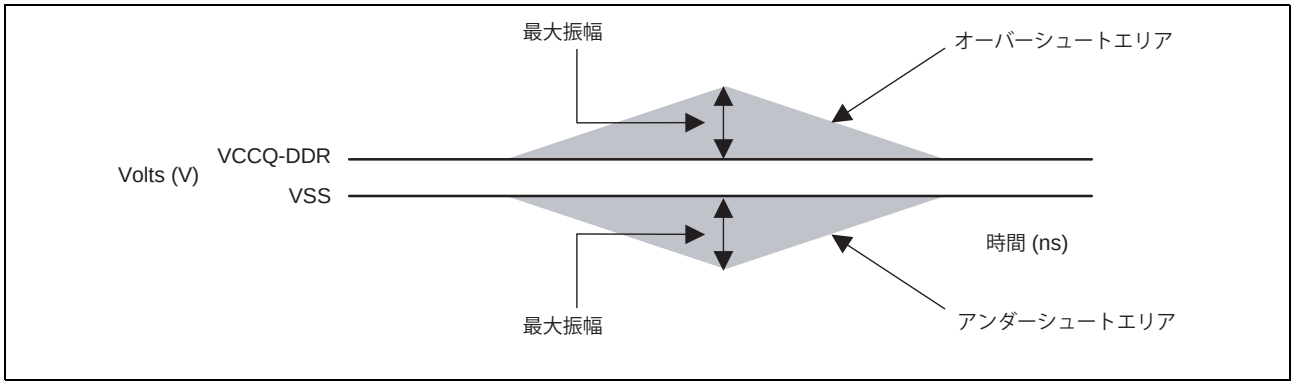


図 47.15 DBSC3 信号のオーバシュート／アンダシュート

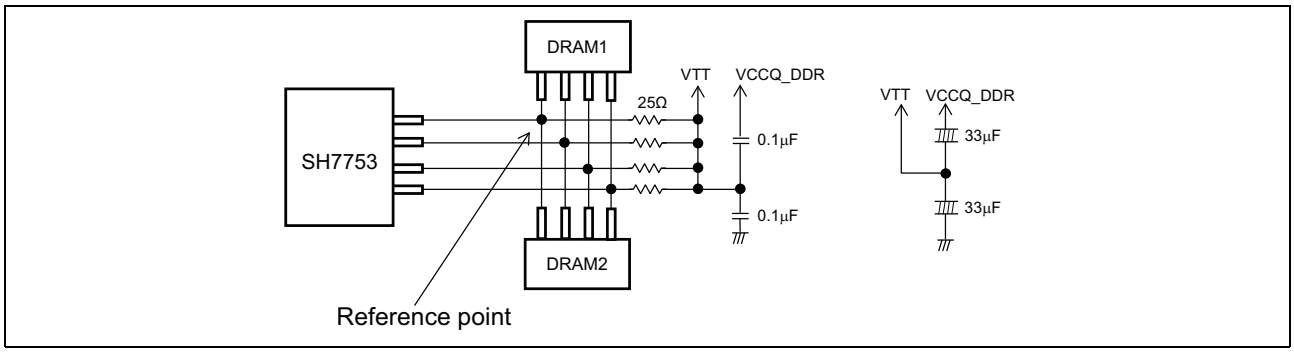


図 47.16 AC 特性測定条件

(2) AC特性

表47.14　DBSC3 モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図
M_CLKクロック出力サイクル	tCK	1875	—	ps	47.17
M_CLK クロック出力H レベルパルス幅	tCH	0.43	0.57	tCK	
M_CLK クロック出力L レベルパルス幅	tCL	0.43	0.57	tCK	
アドレス／制御信号セットアップ時間	tIS (1T)	523	—	ps	47.18
（M_CLK 立ち上がりエッジに対する）	tIS (2T)	1513	—	ps	
アドレス／制御信号ホールド時間	tIH (1T)	523	—	ps	
（M_CLK 立ち上がりエッジに対する）	tIH (2T)	978	—	ps	
M_DQS、$\overline{\text{M_DQS}}$ 立ち上がり時間 （M_CLK 立ち上がりエッジに対する）	tDQSS	-0.183	0.183	tCK	47.19
M_DQS、$\overline{\text{M_DQS}}$ 立ち下がりセットアップ時間 （M_CLK 立ち上がりエッジに対する）	tDSS	0.267	—	tCK	
M_DQS、$\overline{\text{M_DQS}}$ 立ち下がりホールド時間 （M_CLK 立ち上がりエッジに対する）	tDSH	0.267	—	tCK	
M_DQS、$\overline{\text{M_DQS}}$ 差動出力H レベルパルス幅	tDQSH	0.45	0.55	tCK	47.20
M_DQS、$\overline{\text{M_DQS}}$ 差動出力L レベルパルス幅	tDQSL	0.45	0.55	tCK	
M_DQS、$\overline{\text{M_DQS}}$ ライトプレアンブル時間	tWPRE	0.9	—	tCK	
M_DQS、$\overline{\text{M_DQS}}$ ライトポストアンブル時間	tWPST	0.3	—	tCK	
M_DQ/M_DQM セットアップ時間 （DQS、DQS のVIH(AC)/VIL(AC)に対する）	tDS	284	—	ps	47.21
M_DQ/M_DQM ホールド時間 （DQS、DQS のVIH(AC)/VIL(AC)に対する）	tDH	284	—	ps	
M_DQS、$\overline{\text{M_DQS}}$・M_CLK、$\overline{\text{M_CLK}}$ 間スキュー	tDQSCK	-300	1300	ps	47.22
M_DQ ホールド時間 （M_DQS、$\overline{\text{M_DQS}}$ に対する）	tQH	0.319	—	tCK	47.24
M_DQS、$\overline{\text{M_DQS}}$・M_DQ 間スキュー	tDQSQ	—	225	ps	
M_DQS、$\overline{\text{M_DQS}}$ H レベルパルス幅	tQSH	0.38	—	tCK	47.23
M_DQS、$\overline{\text{M_DQS}}$ L レベルパルス幅	tQSL	0.38	—	tCK	
M_DQS、$\overline{\text{M_DQS}}$ リードプレアンブル時間	tRPRE	0.9	—	tCK	
M_DQS、$\overline{\text{M_DQS}}$ リードポストアンブル時間	tRPST	0.3	—	tCK	

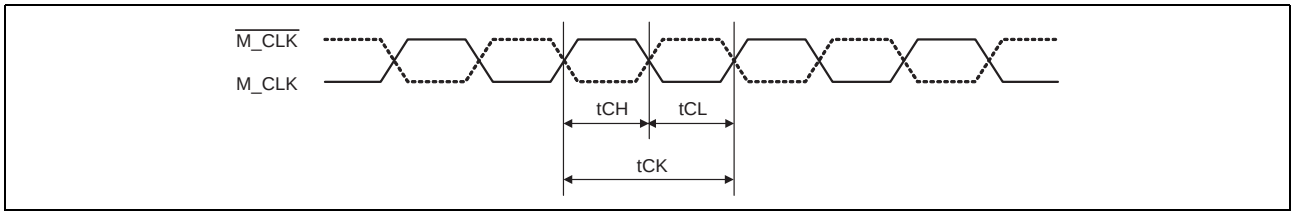


図 47.17　クロックタイミング

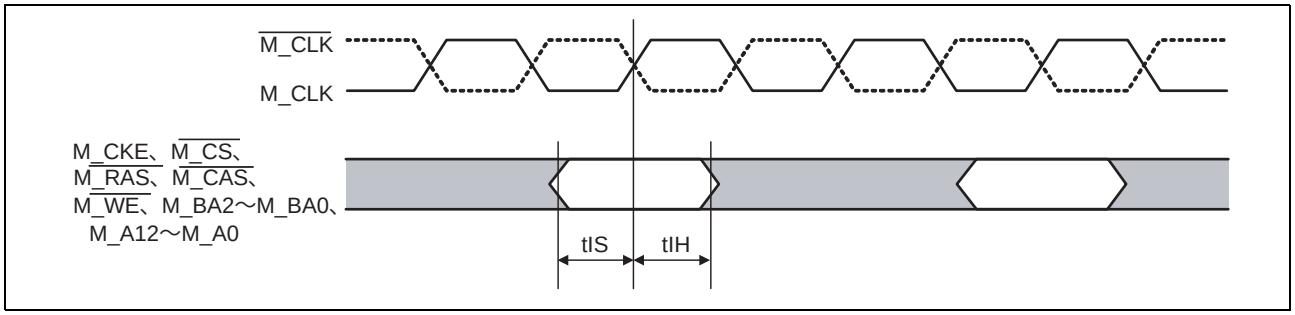


図 47.18 アドレスとコントロールタイミング

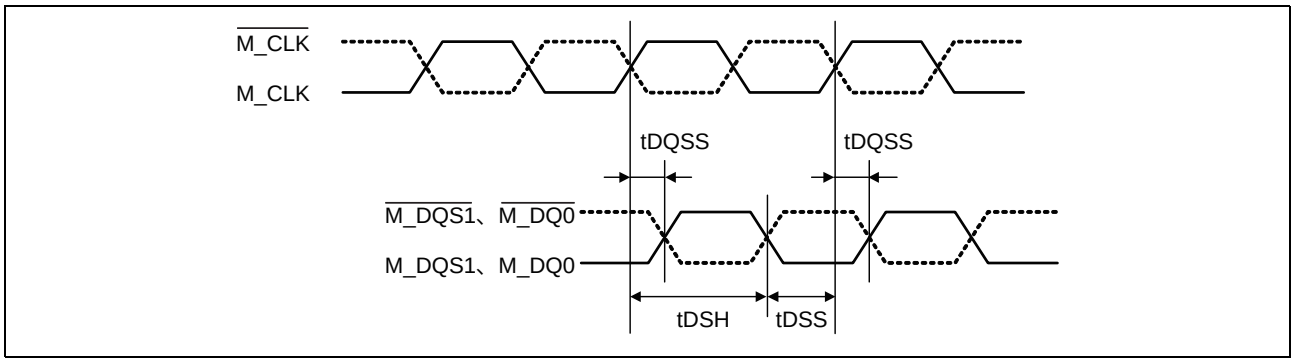


図 47.19 クロックとDQSタイミング（ライト時）

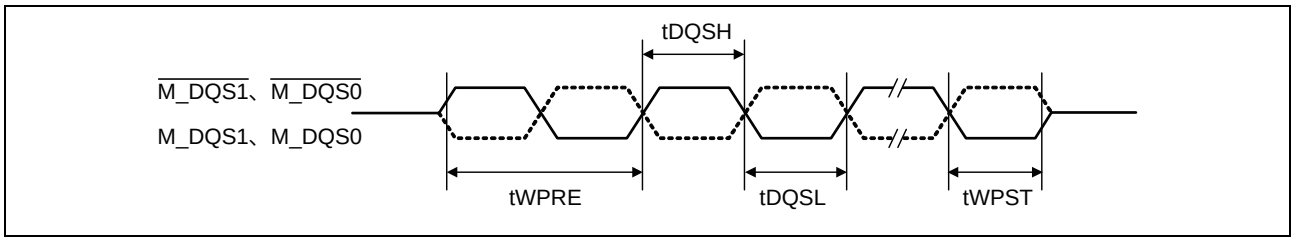


図 47.20 DQS タイミング（ライト時）

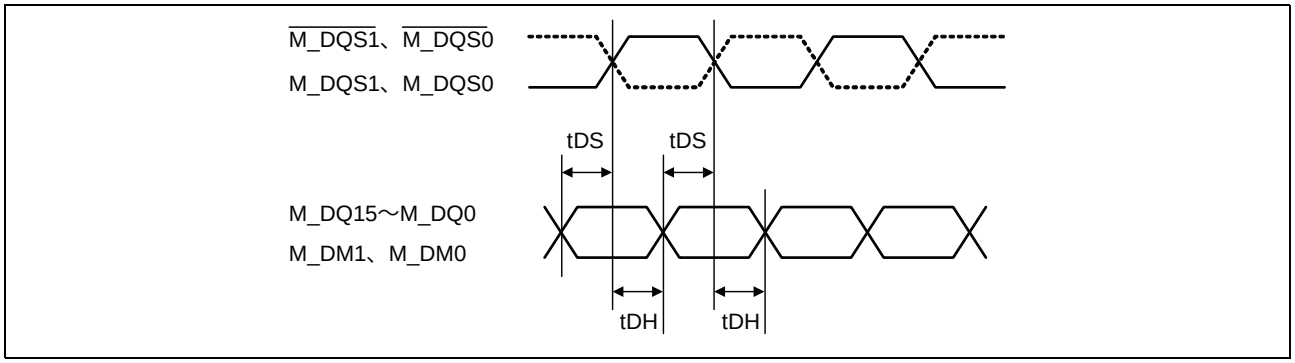


図 47.21 DQ/DM とDQSタイミング（ライト時）

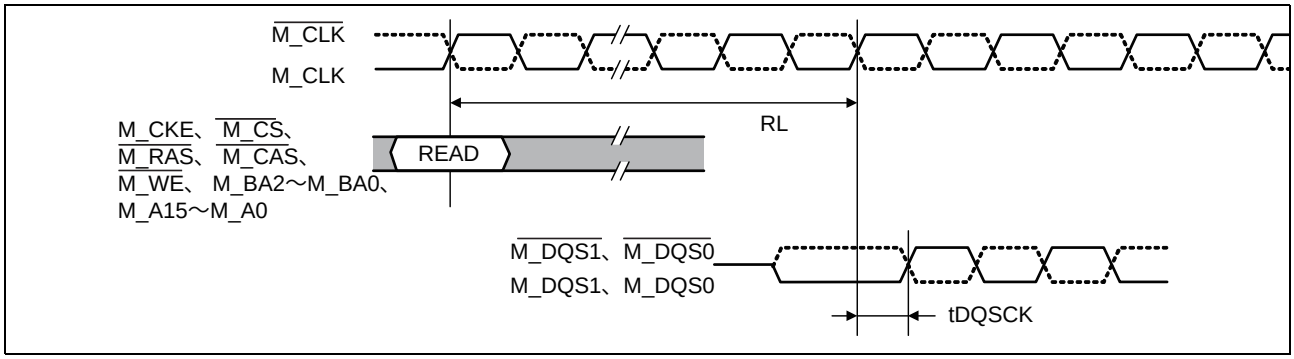


図 47.22 クロックに対するDQS出力波形の関係（リード時）

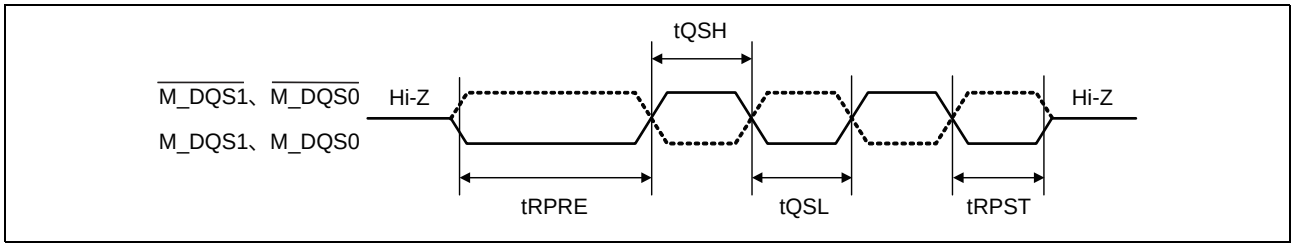


図 47.23 DQS タイミング（リード時）

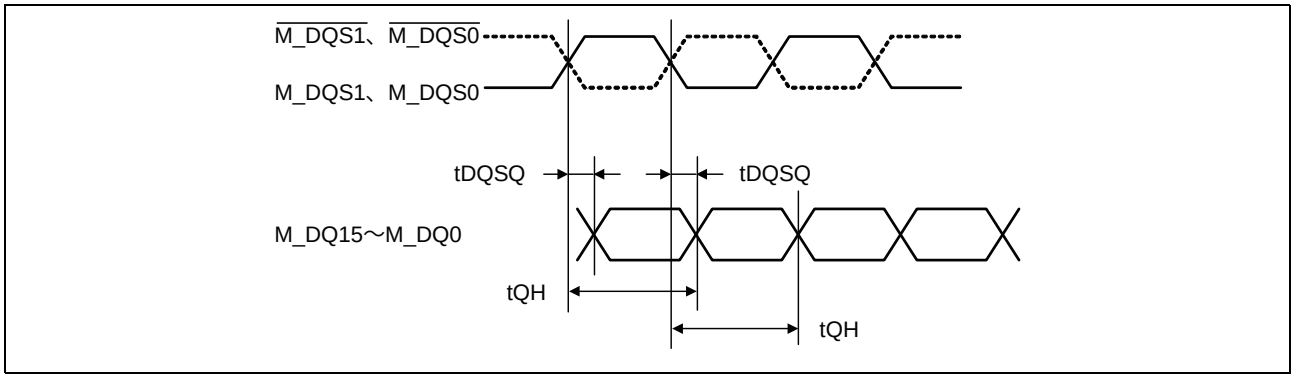


図 47.24 DQ とDQSタイミング（リード時）

47.4.4 INTC モジュール信号タイミング

表47.15 INTC モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図	備考
NMI Hパルス幅	t_{NMIH}	5	—	t_{cyc}	47.25	通常動作時 スリープモード時
NMI Lパルス幅	t_{NMIL}	5	—	t_{cyc}	47.25	通常動作時 スリープモード時
IRQ7/$\overline{\text{IRL7}}$～ IRQ0/$\overline{\text{IRL0}}$ セットアップ時間	t_{IRQS}	18	—	ns	47.26	IRQ 入力
IRQ7/$\overline{\text{IRL7}}$ ～ IRQ0/$\overline{\text{IRL0}}$ ホールド時間	t_{IRQH}	1.5	—	ns	47.26	IRQ入力
IRQ7/$\overline{\text{IRL7}}$ ～ IRQ0/$\overline{\text{IRL0}}$ セットアップ時間	t_{IRLS}	18	—	ns	47.26	IRL 入力
IRQ7/$\overline{\text{IRL7}}$～ IRQ0/$\overline{\text{IRL0}}$ ホールド時間	t_{IRLH}	1.5	—	ns	47.26	IRL 入力

注． t_{cyc} はCLKOUT クロックの1 サイクル時間を示します。

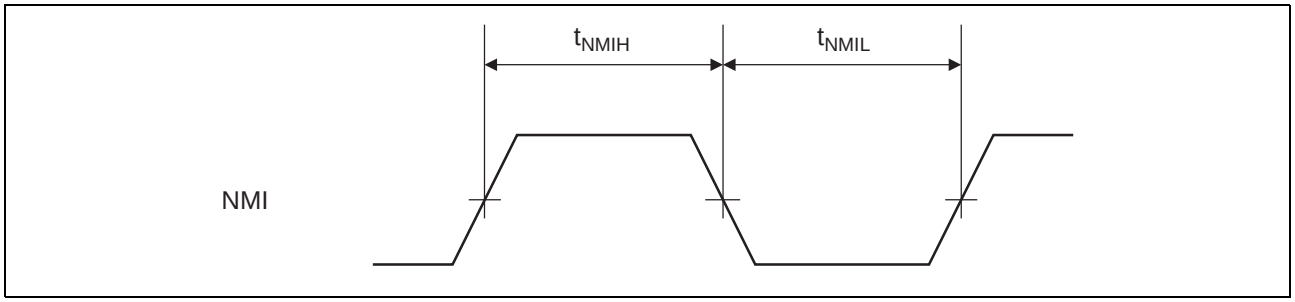


図 47.25 NMI 入力タイミング

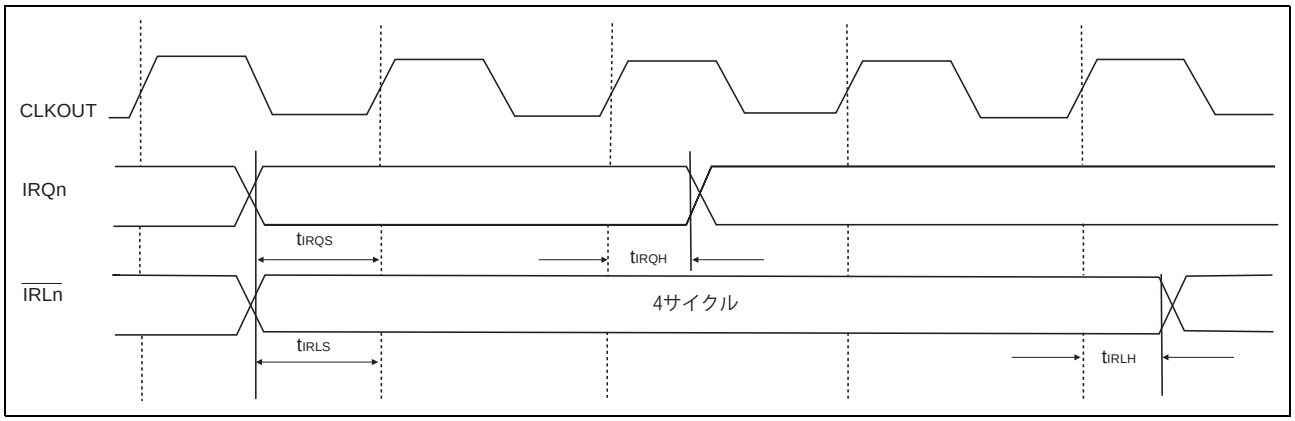


図 47.26 IRQ/$\overline{\text{IRL}}$ 入力タイミング

47.4.5 DMAC モジュール信号タイミング

表47.16 DMAC モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図	備考
$\overline{\text{DREQn}}$ セットアップ時間	t_{DRQS}	6	—	ns	47.27	
$\overline{\text{DREQn}}$ ホールド時間	t_{DRQH}	4	—	ns	47.27	
$\overline{\text{TENDn}}$ 遅延時間	t_{TENDD}	—	9	ns	47.27	
$\overline{\text{DACKn}}$ 遅延時間	t_{DACKD}	—	9	ns	47.27	

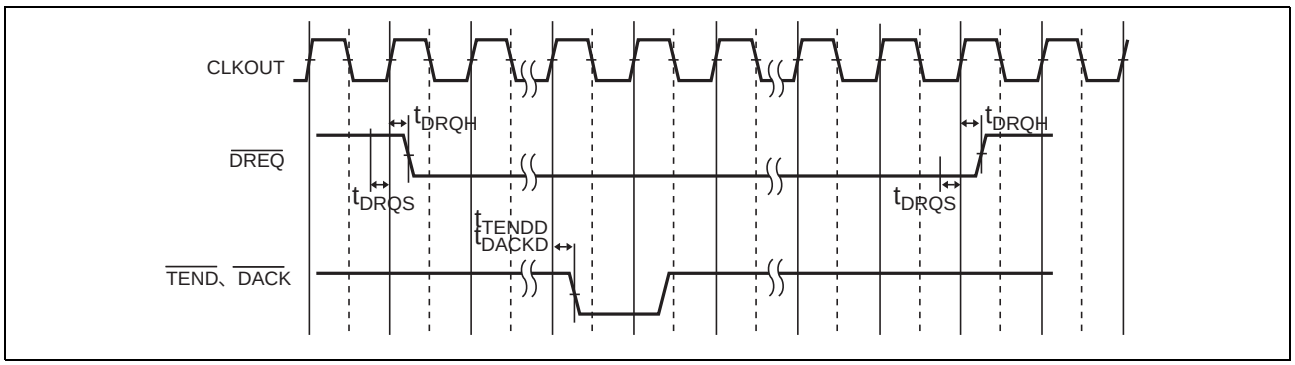


図 47.27 $\overline{\text{DREQ}}$/$\overline{\text{TEND}}$/$\overline{\text{DACK}}$ タイミング

47.4.6　SPI0 モジュール信号タイミング

表47.17　SPI0 モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図
SP0-SCK クロック出力周波数	f_{SP0C}	—	48	MHz	
SP0-SCK クロック出力周期	t_{SP0C}	20.8	—	ns	47.28
SP0-SCK クロック出力Lレベルパルス幅	t_{SP0CL}	8	—	ns	47.28
SP0-SCK クロック出力Hレベルパルス幅	t_{SP0CH}	8	—	ns	47.28
SP0-SCK_FB クロック入力立ち上がり時間 （VCCQの20%～80%）	$t_{SP0FBCR}$	—	6	ns	47.29
SP0-SCK_FB クロック入力立ち下がり時間 （VCCQの20%～80% ）	$t_{SP0FBCF}$	—	6	ns	47.29
SP0-MISO/SP0-MOSI入力セットアップ時間 （SP0-SCK_FB 立ち上がり前）	$t_{SP0DVCH}$	2	—	ns	47.29
SP0-MISO/SP0-MOSI入力ホールド時間 （SP0-SCK_FB立ち上がり後)	$t_{SP0CHDX}$	10	—	ns	47.29
SP0-MOSI 出力有効時間（SP0-SCK 立ち上がり前）	$t_{SP0QVCH}$	t_{SP0C}/2-6	—	ns	47.28
SP0-MOSI 出力有効時間（SP0-SCK 立ち上がり後）	$t_{SP0CHQX}$	t_{SP0C}/2-6	—	ns	47.28
$\overline{\text{SP0-SS0}}$ ～ $\overline{\text{SP0-SS3}}$ 出力有効時間 （SP0-SCK 立ち上がり前）	$t_{SP0SLCH}$	t_{SP0C}/2-5	—	ns	47.28
$\overline{\text{SP0-SS0}}$ ～ $\overline{\text{SP0-SS3}}$ 出力有効時間 （SP0-SCK 立ち上がり後）	$t_{SP0CHSH}$	t_{SP0C}-15	—	ns	47.28

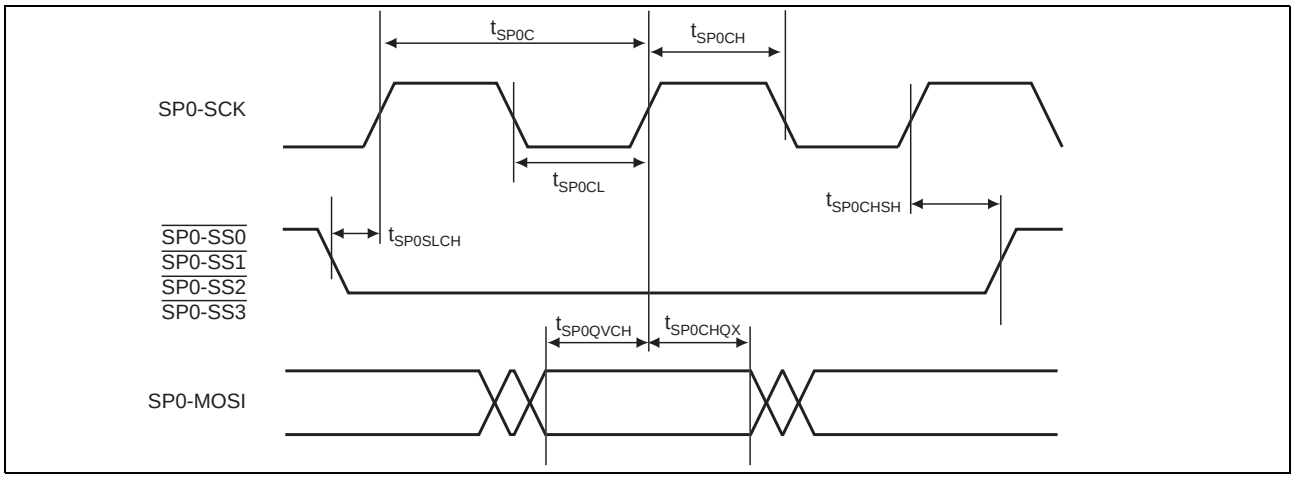


図 47.28　SPI0 出力信号タイミング

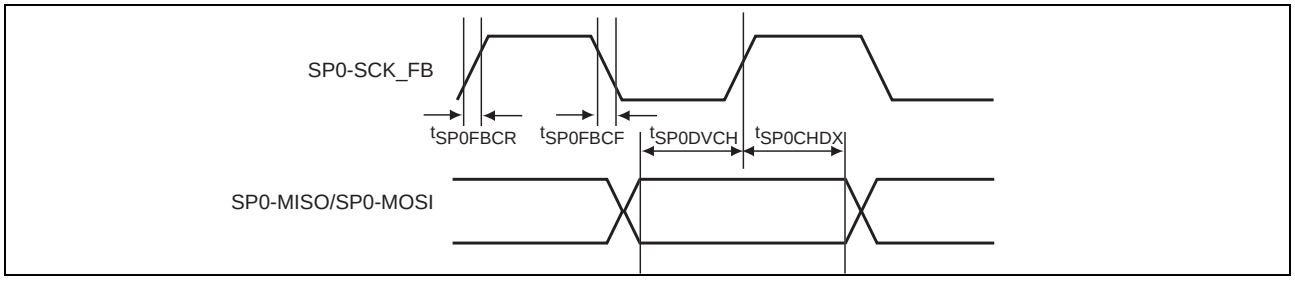
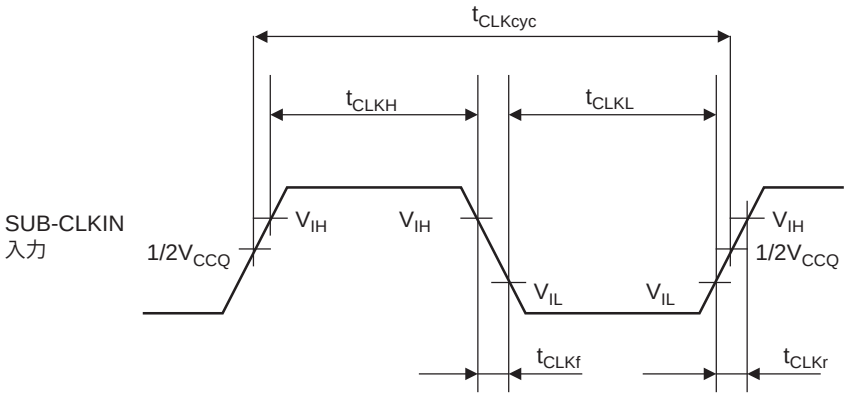


図 47.29　SPI0 入力信号タイミング

47.4.7　WDTモジュール信号タイミング

表47.18　WDT モジュール信号タイミング

項 目	記号	Min.	Typ.	Max.	単位	参照図
SUB-CLKIN クロック入力周波数	t_{CLK}	—	32.768	—	kHz	47.30
SUB-CLKIN クロック入力サイクル時間	t_{CLKcyc}	—	15.26	—	µs	47.30
SUB-CLKIN クロック入力Lレベルパルス幅	t_{CLKL}	7	—	—	µs	47.30
SUB-CLKIN クロック入力Hレベルパルス幅	t_{CLKH}	7	—	—	µs	47.30
SUB-CLKIN クロック入力立ち上がり時間	t_{CLKr}	—	—	4	ns	47.30
SUB-CLKIN クロック入力立ち下がり時間	t_{CLKf}	—	—	4	ns	47.30



注. SUB-CLKIN 端子からクロック入力する場合

図 47.30　SUB-CLKIN クロック入力タイミング

47.4.8　PWMX モジュール信号タイミング

表47.19　PWMX モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図
パルス出力遅延時間	t_{PWOD}	—	30	ns	47.31

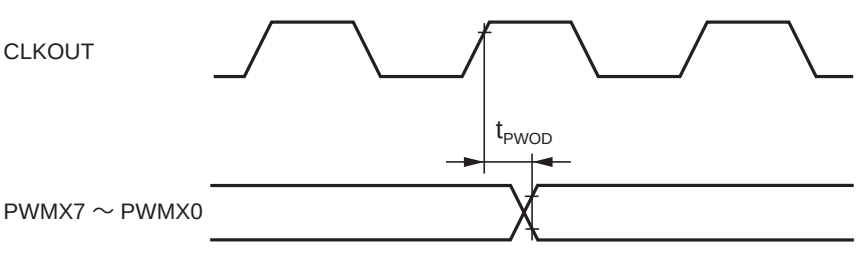


図 47.31　PWMX 出力タイミング

47.4.9 PWMU モジュール信号タイミング

表47.20 PWMU モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図
パルス出力遅延時間	t_{PWOD}	—	30	ns	47.32

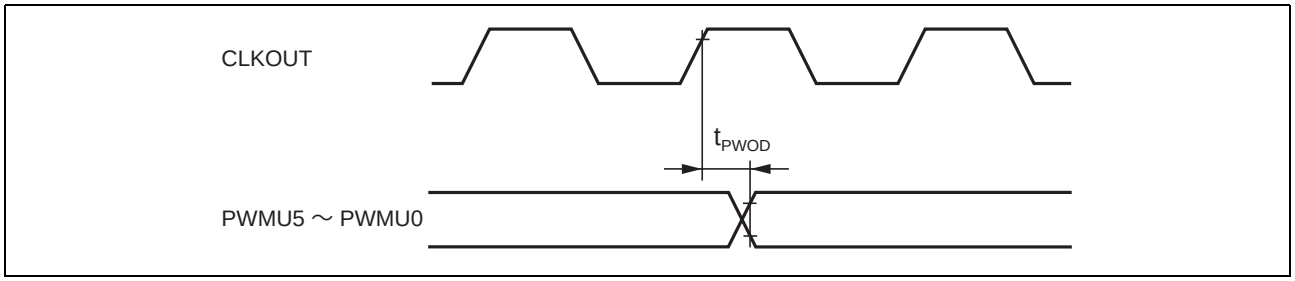


図 47.32 PWMU 出力タイミング

47.4.10 TMU モジュール信号タイミング

表47.21 TMU モジュール信号タイミング

項 目	記号	Min.	Max.	単位	参照図
タイマクロックHパルス幅	t_{TCLKWH}	4	—	t_{pcyc}	47.33
タイマクロックLパルス幅	t_{TCLKWL}	4	—	t_{pcyc}	47.33
タイマクロック立ち上がり時間	t_{TCLKr}	—	0.8	t_{pcyc}	47.33
タイマクロック立ち下がり時間	t_{TCLKf}	—	0.8	t_{pcyc}	47.33

注. t_{Pcyc} は周辺クロック（Pck）の1サイクル時間を示します。

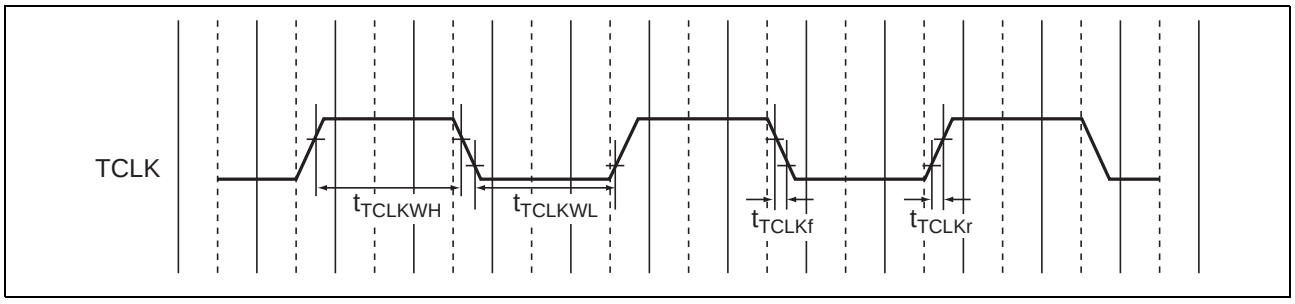


図 47.33 TCLK 入力タイミング

47.4.11 ETHER モジュール信号タイミング

表47.22　ETHER モジュール信号タイミング（RMII）

項 目		記号	Min.	Typ.	Max.	単位	参照図
RMIIn-REFCLK 入力サイクル時間		t_{RTcyc}	19.97	20	20.03	ns	47.34
RMIIn-REFCLK デューティサイクル		t_{RTD}	35	—	65	%	
RMIIn-REFCLK Hパルス幅		t_{RTH}	5	—	—	ns	
RMIIn-REFCLK Lパルス幅		t_{RTL}	5	—	—	ns	
RMIIn-REFCLK 立ち上がり時間		t_{RTr}	—	—	4	ns	
RMIIn-REFCLK 立ち下がり時間		t_{RTf}	—	—	4	ns	
出力遅延時間	RMII0-TXEN、RMII1-TXEN	t_{RTEND}	2.5	—	12.5	ns	47.35
	RMII0-TXD1、RMII0-TXD0、RMII1-TXD1、RMII1-TXD0	t_{RETDDo}	2.5	—	12.5		
セットアップ時間	RMII0-CRS_DV、RMII1-CRS_DV	t_{RRDVS}	3	—	—		47.36
ホールド時間		t_{RRDVH}	1	—	—		
セットアップ時間	RMII0-RXD1、RMII0-RXD0、RMII1-RXD1、RMII1-RXD0	t_{RERDS}	3	—	—		
ホールド時間		t_{RERDH}	1	—	—		
セットアップ時間	RMII0-RX_ER、RMII1-RX_ER	t_{RRERS}	3	—	—		47.37
ホールド時間		t_{RRERH}	1	—	—		
ET0_MDIO 、ET1_MDIO 出力データホールド時間（注）		$t_{RMDIODH}$	5	—	18		47.38

注.　本規定を満足するように、プログラムで設定してください。

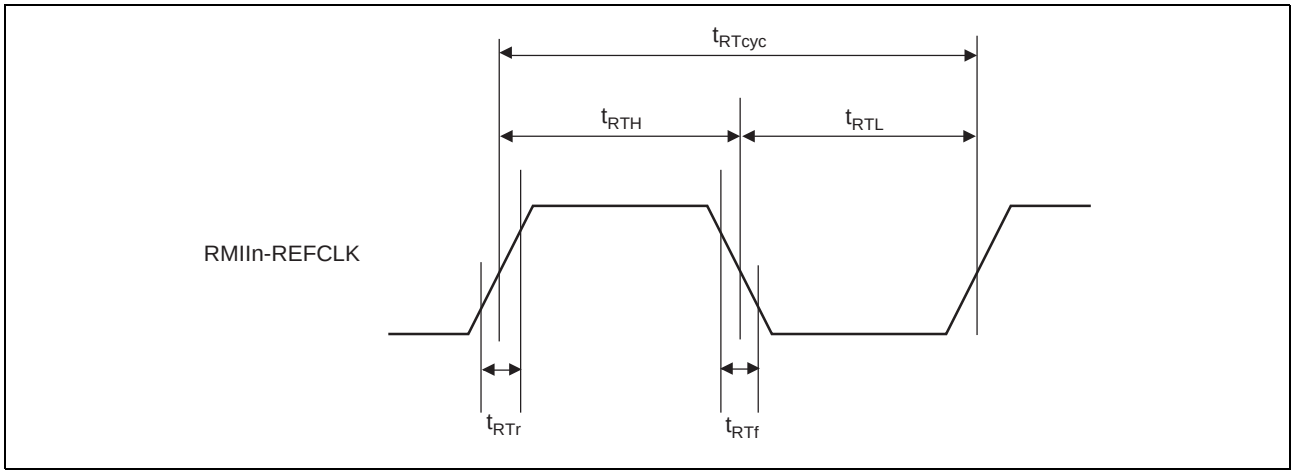


図 47.34　RMIIn-REFCLK クロック入力タイミング

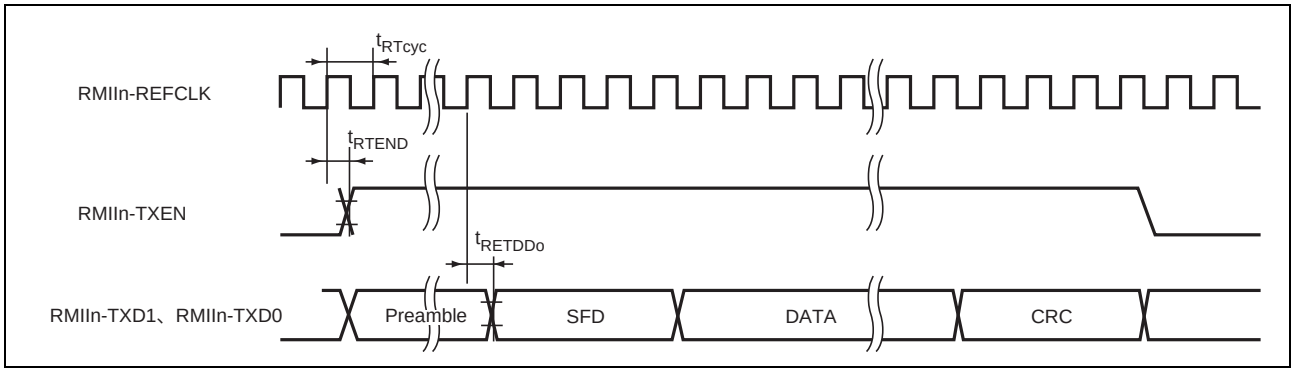


図 47.35 RMII 送信タイミング

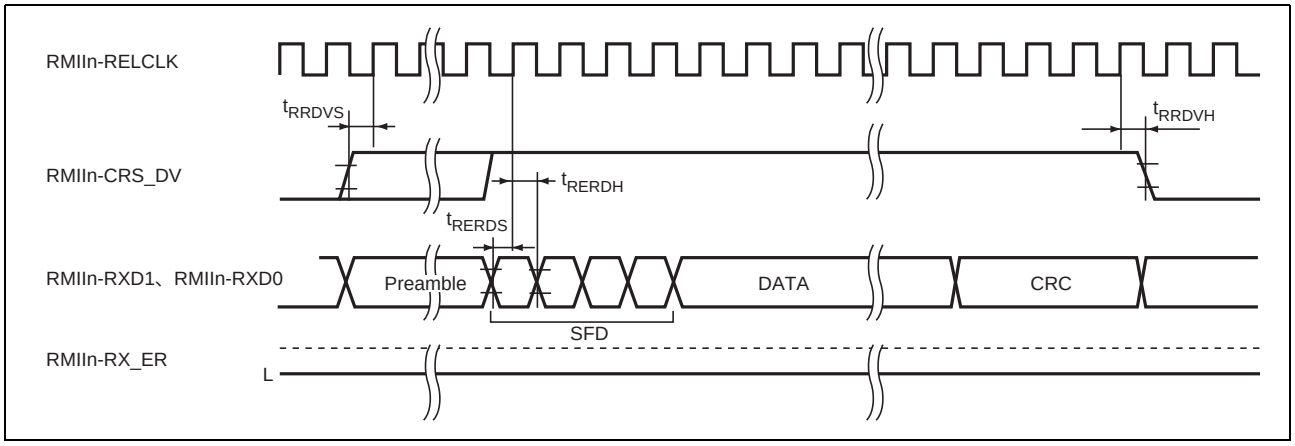


図 47.36 RMII 送信タイミング（正常動作時）

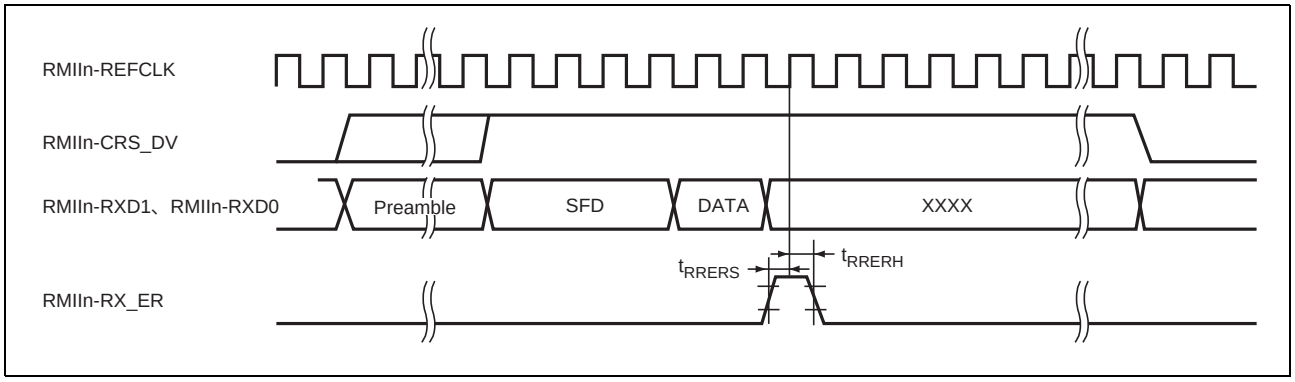


図 47.37 RMII受信タイミング（エラー発生ケース）

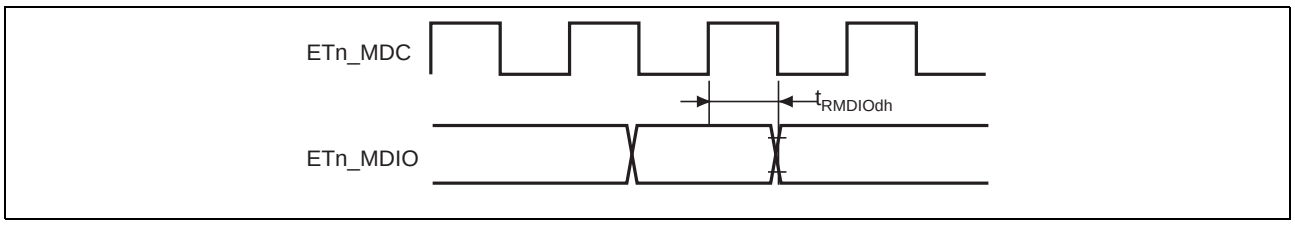


図 47.38 MDIO 出力タイミング

47.4.12 RGMII モジュール信号タイミング

表47.23 RGMII モジュール信号タイミング

項 目	記号	Min.	Typ.	Max.	単位	参照図
RGMII-MAC-CLK 入力クロック周期	$t_{MACCLKcyc}$	7.8	8.0	8.2	ns	47.39
RGMII-MAC-CLKデューティー比	$t_{MACCLKcyc}$	45.0	50.0	55.0	%	47.39
RGMII-MAC-CLK 入力立ち上がり時間(20%～80%)	$t_{MACCLKr}$	—	—	2.0	ns	47.39
RGMII-MAC-CLK 入力立ち下がり時間(20%～80%)	$t_{MACCLKf}$	—	—	2.0	ns	47.39
データ-クロック出力スキュー（注1）	$T_{skew}T$-ET0	-500	0	500	ps	47.40
データ-クロック出力スキュー（注2）	$T_{skew}T$-ET1	200	700	1200	ps	47.40
データ-クロック入力スキュー	$T_{skew}R$	1	1.8	2.6	ns	47.40
データ-クロック入力セットアップ時間	$T_{setup}R$	1.0	2.0	—	ns	47.41
データ-クロック入力ホールド時間	$T_{hold}R$	1.0	2.0	—	ns	47.41
クロック周期	T_{cyc}	7.2	8	8.8	ns	47.40
デューティー比（ギガビット）	Duty_G	45	50	55	%	—
デューティー比（10/100T）	Duty_T	40	50	60	%	—
立ち上がり／立ち下がり時間	T_r/T_f	—	—	0.75	ns	47.40

注1. TX0DLY＝010の場合。
2. TX1DLY＝010の場合。

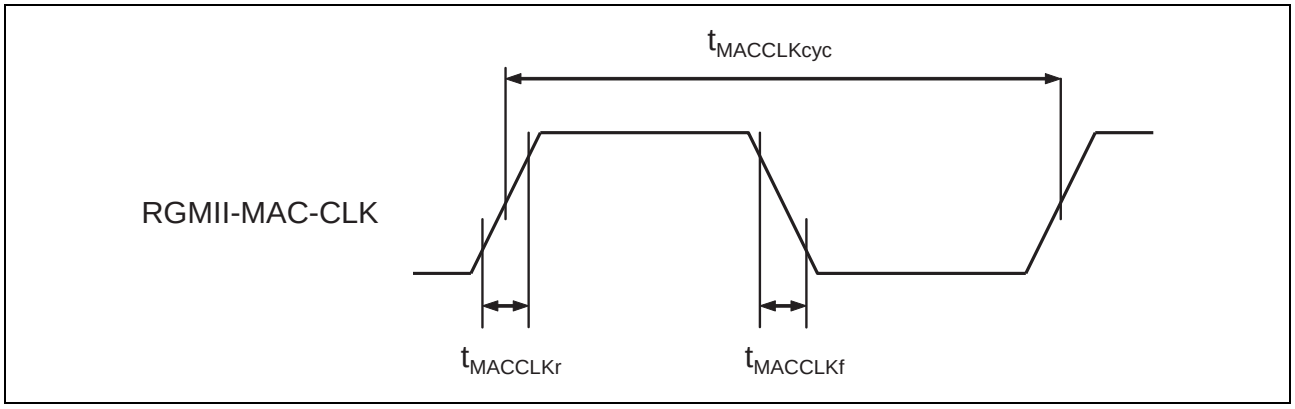


図 47.39 RGMII-MAC-CLK クロック入力タイミング

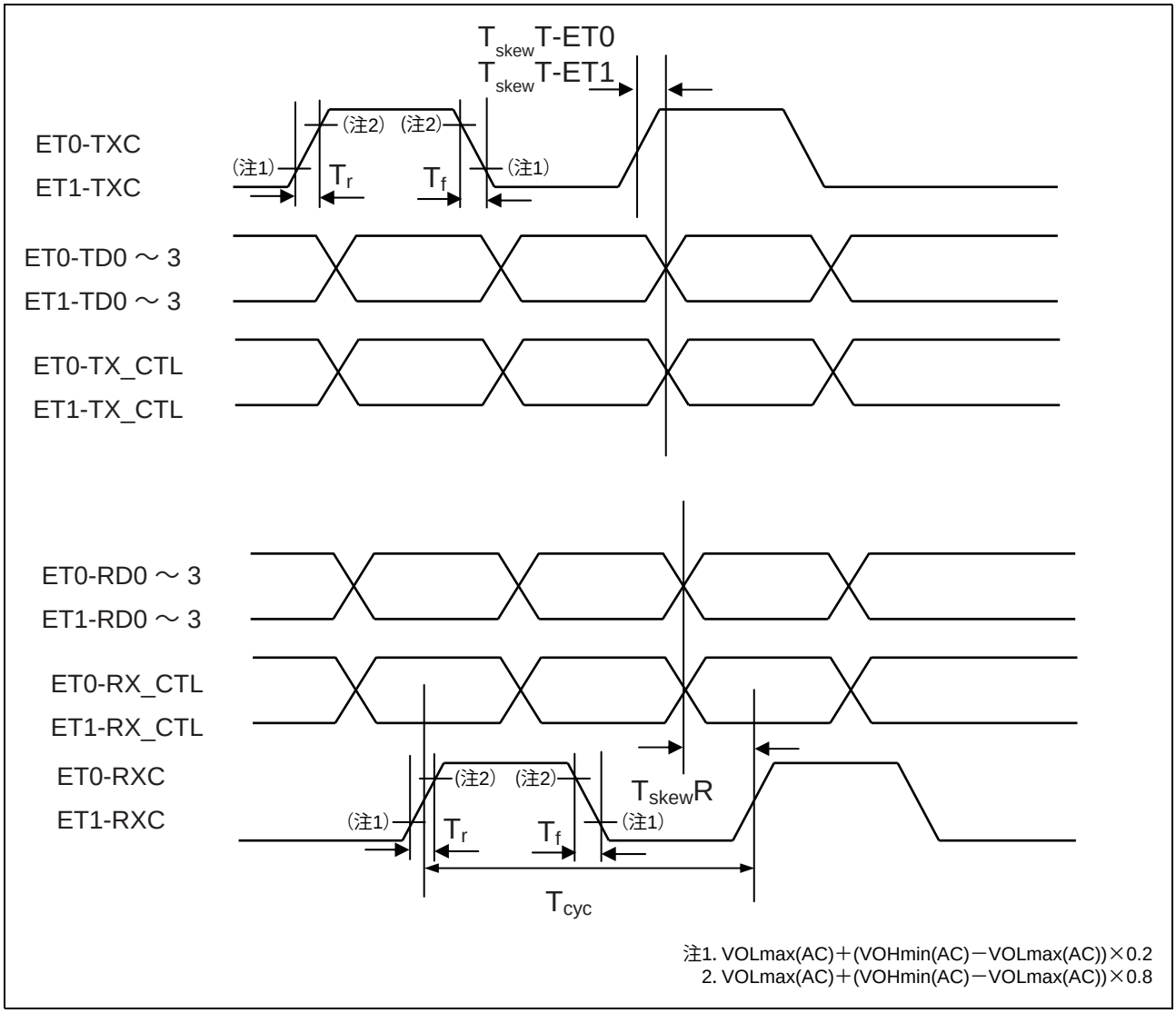


図 47.40 RGMII 補正 ACタイミング

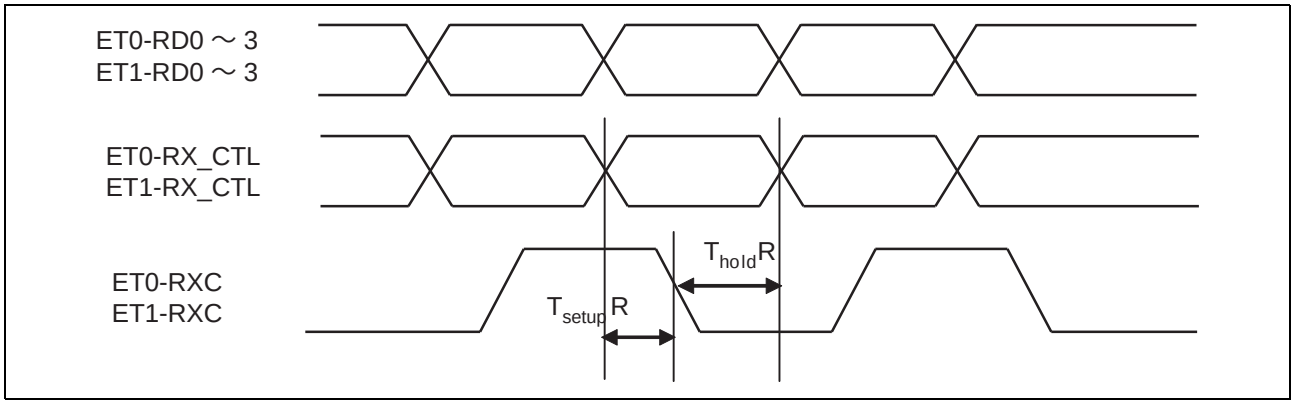


図 47.41 RGMII 補正ACタイミング

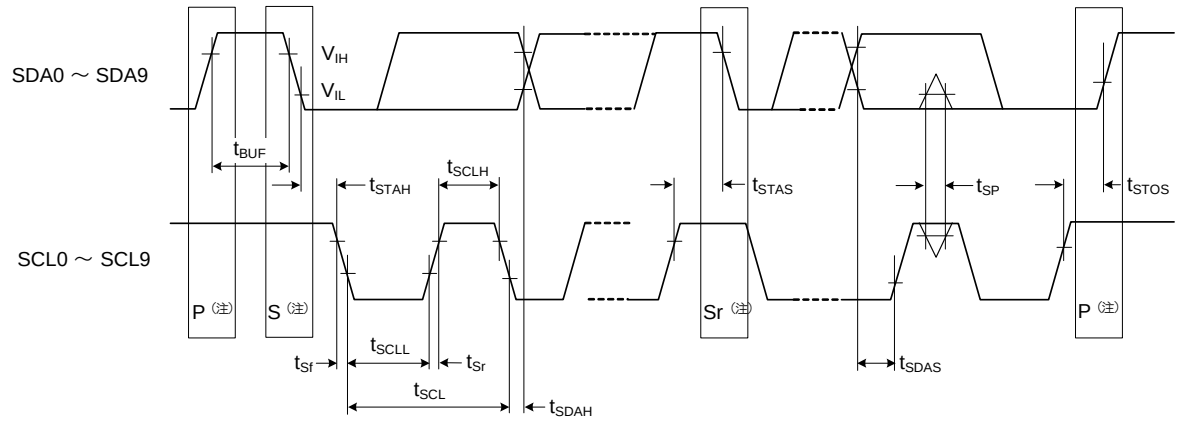
47.4.13 RIIC モジュール信号タイミング

表47.24 RIIC モジュール信号タイミング

項目		記号	Min. （注1）（注2）（注3）	Max.	単位	参照図
RIIC（標準モード）ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	4(12) × IICϕ + 1300	—	ns	47.42
	SCL入力Hレベルパルス幅	t_{SCLH}	2(6) × IICϕ	—	ns	
	SCL入力Lレベルパルス幅	t_{SCLL}	2(6) × IICϕ	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	IICϕ	ns	
	SDA入力バスフリー時間	t_{BUF}	2(6) × IICϕ + internal_delay（注4）	—	ns	
	開始条件ホールド時間	t_{STAH}	IICϕ + internal_delay（注4）	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	0	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	0	—	ns	
	データ入力セットアップ時間	t_{SDAS}	IICϕ	—	ns	
	データ入力ホールド時間	t_{SDAH}	– internal_delay（注4）	—	ns	
	SCL、SDA容量性負荷	C_b	—	400	pF	
RIIC（高速モード）ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	4(12) × IICϕ+ 600	—	ns	47.42
	SCL入力Hレベルパルス幅	t_{SCLH}	2(6) × IICϕ	—	ns	
	SCL入力Lレベルパルス幅	t_{SCLL}	2(6) × IICϕ	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	20 + 0.1C_b	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 + 0.1C_b	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	IICϕ	ns	
	SDA入力 バスフリー時間	t_{BUF}	2(6) × IICϕ + internal_delay（注4）	—	ns	
	開始条件入力ホールド時間	t_{STAH}	IICϕ + internal_delay（注4）	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	0	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	0	—	ns	
	データ入力セットアップ時間	t_{SDAS}	IICϕ	—	ns	
	データ入力ホールド時間	t_{SDAH}	– internal_delay（注4）	—	ns	
	SCL、SDA容量性負荷	C_b	—	400	pF	

項目		記号	Min. （注1）（注2）（注3）	Max.	単位	参照図
RIIC （高速モード） ICFER.FMPE= 1	SCL入力サイクル時間	t_{SCL}	4(12) × IICϕ+ 240	—	ns	47.42
	SCL入力Hレベルパルス幅	t_{SCLH}	2(6) × IICϕ	—	ns	
	SCL入力Lレベルパルス幅	t_{SCLL}	2(6) × IICϕ	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	IICϕ	ns	
	SDA入力バスフリー時間	t_{BUF}	2(6) × IICϕ	—	ns	
	開始条件入力ホールド時間	t_{STAH}	IICϕ	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	0	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	0	—	ns	
	データ入力セットアップ時間	t_{SDAS}	IICϕ	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA容量性負荷	C_b	—	550	pF	

注1. デジタルフィルタ有効（ICFER.NFE = 1）で、ICMR3.NF[1:0]＝11の場合は、（ ）内の数値を使用してください。
2. C_b はバスラインの総容量を示します。
3. IIC_Φは、CKS[2:0]ビットにより、Pckのn分周（n＝1、2、4、8、16、32、64、128）に設定できます。
4. internal_delay の設定により、以下のようになります。
SDID[1:0] = 00 --> internal_delay = 1IICϕ
SDID[1:0] = 01 --> internal_delay = 2IICϕ
SDID[1:0] = 10 --> internal_delay = 4IICϕ
SDID[1:0] = 11 --> internal_delay = 0（遅延なし）



注. S、P、Srは 以下を表します。
S: 開始条件
P: 停止条件
Sr: 再送開始条件

測定条件
V_{IH} = VCCQ x 0.7、V_{IL} = VCCQ x 0.3
V_{OL} = 0.6V、I_{OL} = 6mA(ICFER.FMPE = 0)
V_{OL} = 0.4V、I_{OL} = 20mA(ICFER.FMPE = 1)

図 47.42 RIIC バスインターフェース入出力タイミングSPI1 モジュール信号タイミング

表47.25　SPI1 モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SP1-SCK クロック出力周波数	f_{SP1C}	—	48	MHz	
SP1-SCK クロック出力周期	t_{SP1C}	20.8	—	ns	47.43
SP1-SCK クロック出力Lレベルパルス幅	t_{SP1CL}	8	—	ns	47.43
SP1-SCK クロック出力Hレベルパルス幅	t_{SP1CH}	8	—	ns	47.43
SP1-SCK_FB クロック立ち上がり時間（VCCQの20%-80%）	$t_{SP1FBCR}$	—	6	ns	47.44
SP1-SCK_FB クロック立ち下がり時間（VCCQの20%-80%）	$t_{SP1FBCF}$	—	6	ns	47.44
SP1-MISO入力セットアップ時間(SP1-SCK_FB 立ち上がり)	$t_{SP1DVCH}$	2	—	ns	47.44
SP1-MISO入力ホールド時間 (SP1-SCK_FB 立ち上がり)	$t_{SP1CHDX}$	10	—	ns	47.44
SP1-MOSI 出力有効時間 (SP1-SCK立ち上がり前)	$t_{SP1QVCH}$	t_{SP1C}/2-6	—	ns	47.43
SP1-MOSI 出力有効時間 (SP1-SCK 立ち上がり後)	$t_{SP1CHQX}$	t_{SP1C}/2-6	—	ns	47.43
$\overline{\text{SP1-SS0}}$、$\overline{\text{SP1-SS1}}$ 出力有効時間 (SP1-SCK 立ち上がり前)	$t_{SP1SLCH}$	t_{SP1C}/2-5	—	ns	47.43
$\overline{\text{SP1-SS0}}$、$\overline{\text{SP1-SS1}}$ 出力有効時間 (SP1-SCK立ち上がり後)	$t_{SP1CHSH}$	t_{SP1C}-15	—	ns	47.43

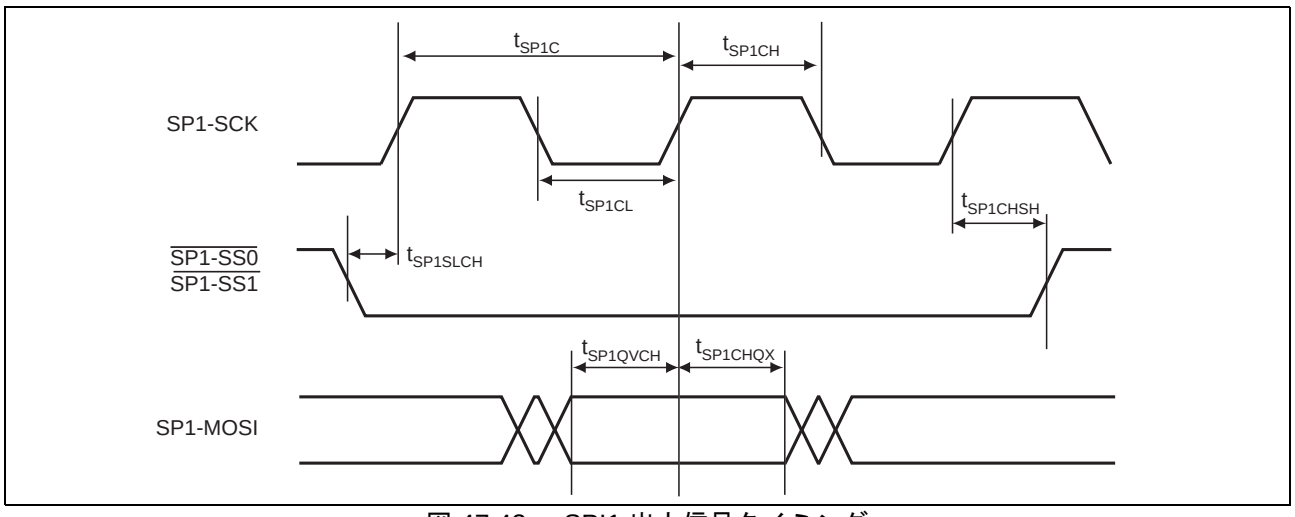


図 47.43　SPI1 出力信号タイミング

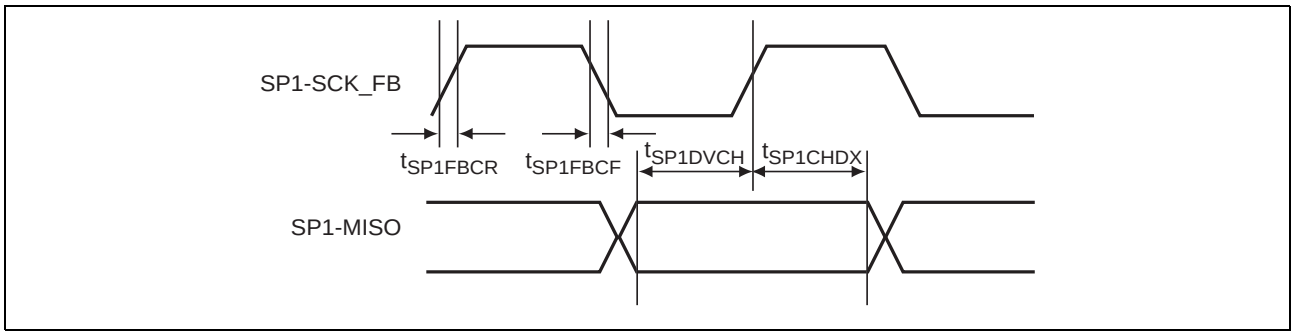


図 47.44　SPI入力信号タイミング

47.4.14 SCIF2～4 モジュール信号タイミング

表47.26　SCIF2～4 モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図	備考
入力クロックサイクル（調歩同期）	t_{Scyc}	4	—	t_{Pcyc}	47.45	
入力クロックサイクル（クロック同期）		12	—	t_{Pcyc}	47.45	
入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	47.45	
入力クロック立ち上がり時間	t_{SCKr}	—	0.8	t_{Pcyc}	47.45	
入力クロック立ち下がり時間	t_{SCKf}	—	0.8	t_{Pcyc}	47.45	
転送データ遅延時間	t_{TXD}	—	$4 \times t_{Pcyc} + 15$	ns	47.46	
受信データセットアップ時間（クロック同期）	t_{RXS}	16	—	ns	47.46	
受信データホールド時間（クロック同期）	t_{RXH}	$t_{Pcyc} + 5$	—	ns	47.46	

注.　t_{Pcyc} は周辺クロック（Pck）の1 サイクル時間を示します。

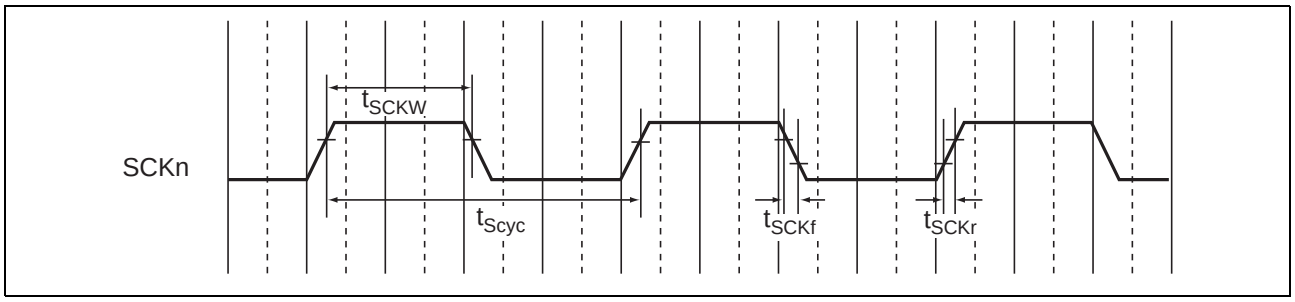


図 47.45　SCKn入力クロックタイミング（n＝2～4）

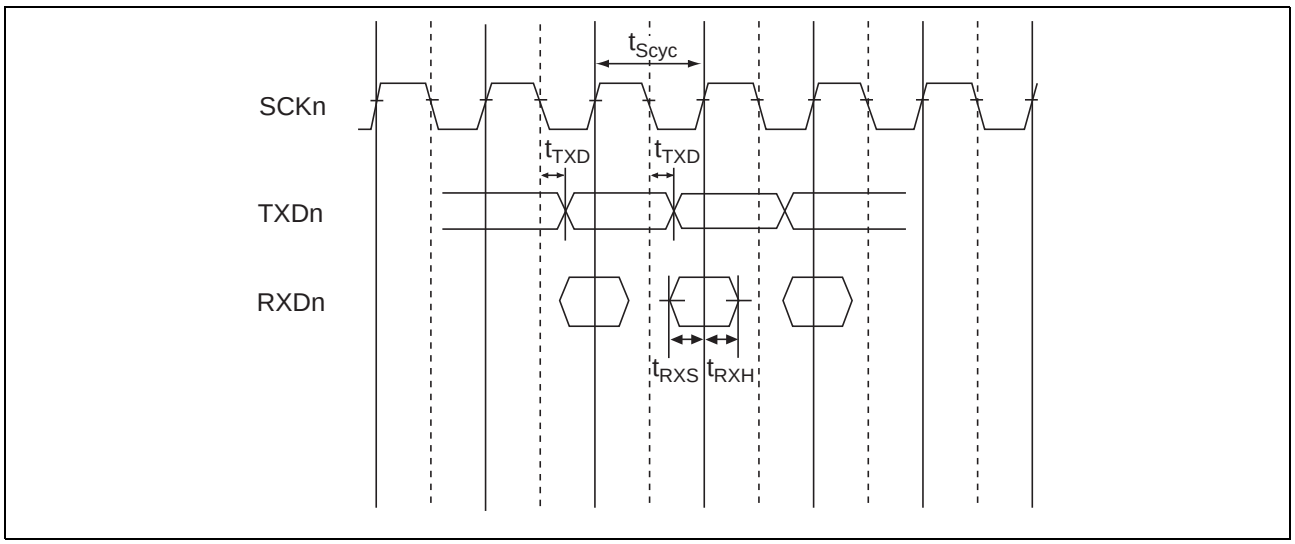


図 47.46　SCIFn クロック同期モード I/Oタイミング（n＝2～4）

47.4.15 USB0/USB1 モジュール信号タイミング

表47.27　USB0/USB1 トランシーバタイミング（フルスピード時）

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	—	20	ns	47.47
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり／立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%	

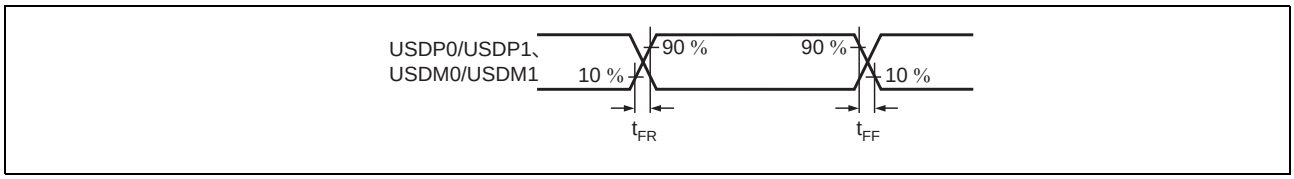


図 47.47　USDP0/USDP1、USDM0/USDM1出力タイミング（フルスピード時）

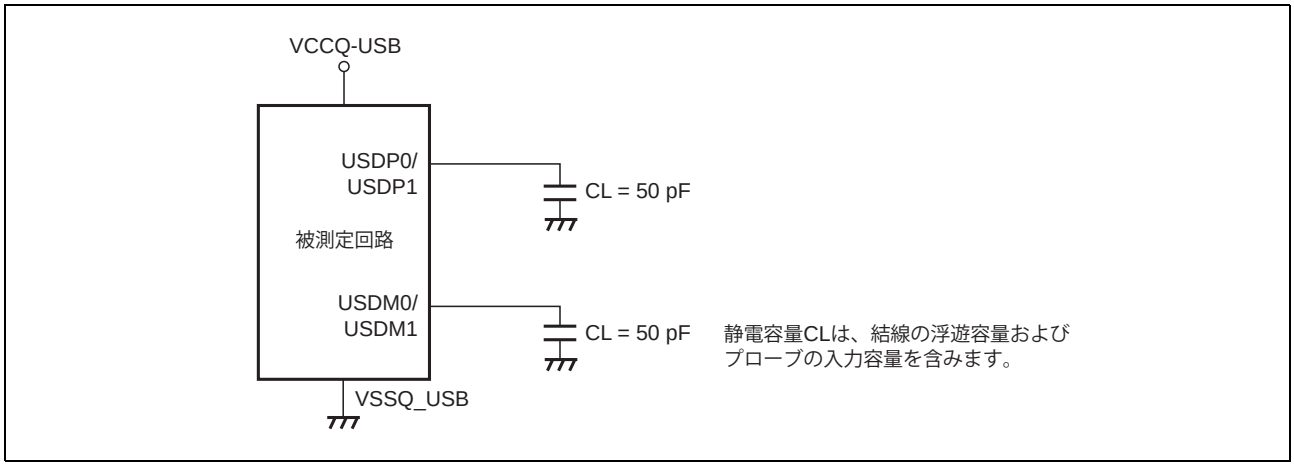


図 47.48　測定回路（フルスピード時）

表47.28　USB0/USB1 トランシーバタイミング（ハイスピード時）

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{HSR}	400	—	—	ps	47.49
立ち下がり時間	t_{HSF}	400	—	—	ps	
出力ドライバ抵抗	Z_{HSDRV}	40.5	—	49.5	Ω	

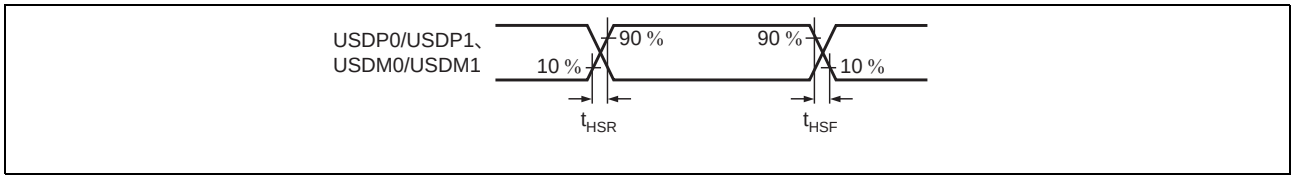


図 47.49　USDP0/USDP1、USDM0/USDM1 出力タイミング（ハイスピード時）

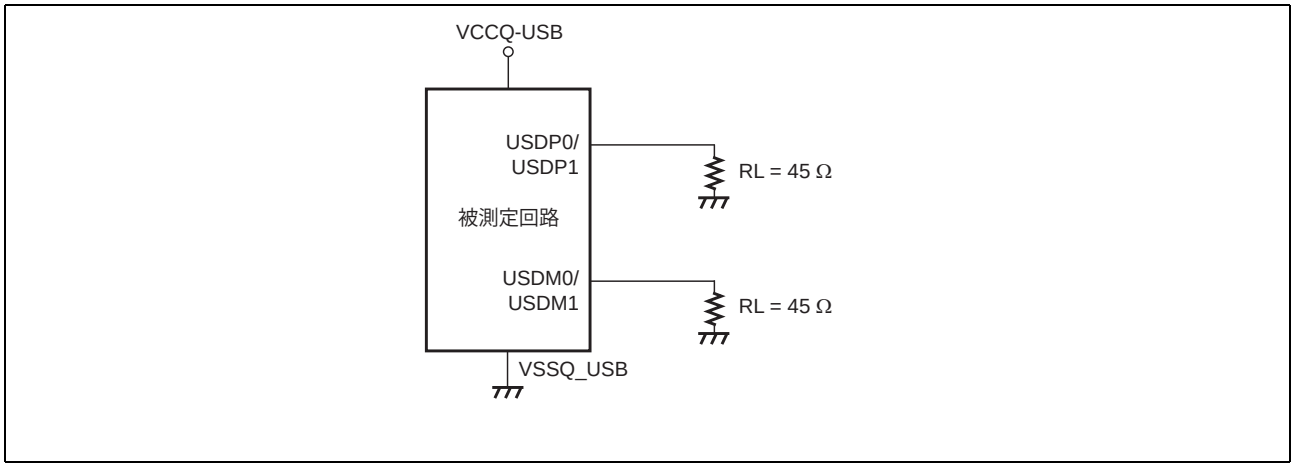


図 47.50 測定回路（ハイスピード時）

47.4.16 A/D モジュール信号タイミング

表47.29 A/D モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
ADTRG0、ADTRG1 入力パルス幅	t_{TRGW}	2	—	t_{Pcyc}	47.51

注. t_{Pcyc} は周辺クロック（Pck）の1 サイクル時間を示します。

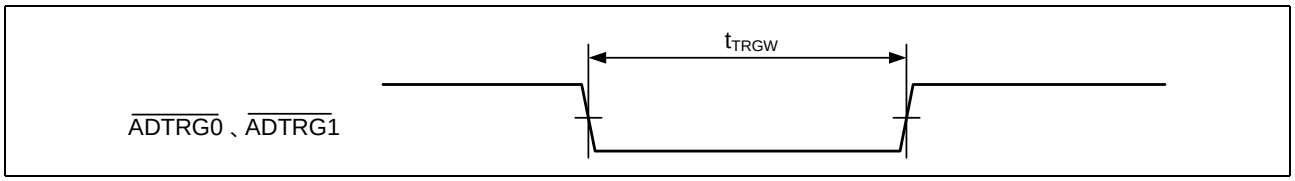


図 47.51 A/D 変換器外部トリガ 入力パルス幅

47.4.17 GPIO モジュール信号タイミング

表47.30 GPIO モジュール信号タイミング

項目		記号	Min.	Max.	単位	参照図
GPIO 出力遅延時間	PTM0 ～ PTM3、 PTR0 ～PTR7、 PTS0 ～ PTS7	t_{IOPD}	0	400	ns	47.52
	その他		0	12	ns	
GPIO入力セットアップ時間		t_{IOPS}	9	—	ns	47.52
GPIO入力ホールド時間		t_{IOPH}	1.5	—	ns	47.52

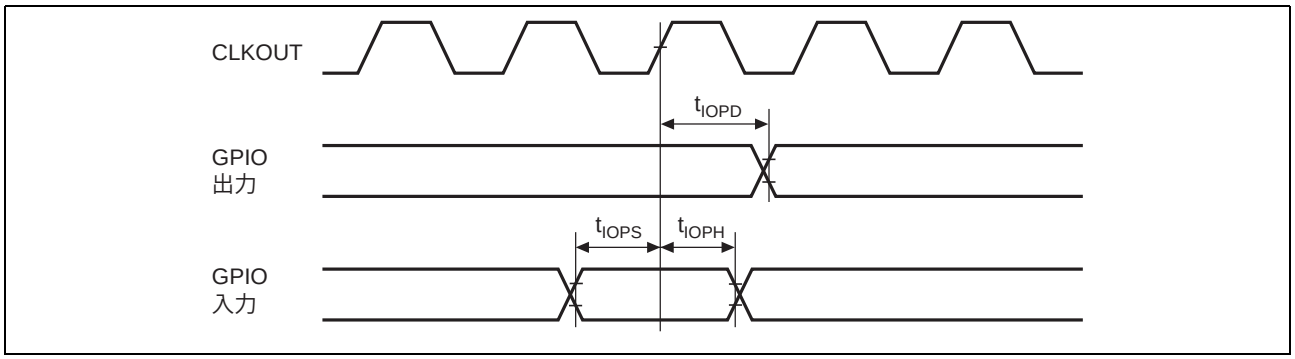


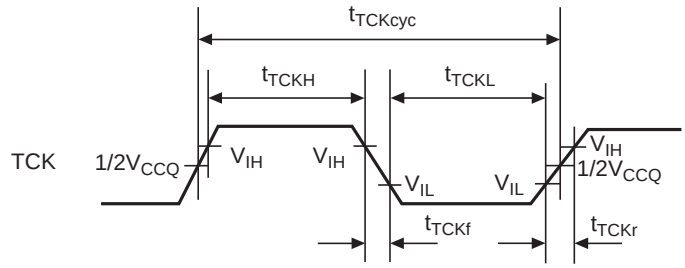
図 47.52 GPIO タイミング

47.4.18 H-UDI モジュール信号タイミング

表47.31　H-UDI モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図	備考
入力クロックサイクル	t_{TCKcyc}	50	—	ns	47.53、47.55	
入力クロックHパルス幅	t_{TCKH}	15	—	ns	47.53	
入力クロックLパルス幅	t_{TCKL}	15	—	ns	47.53	
入力クロック立ち上がり時間	t_{TCKr}	—	10	ns	47.53	
入力クロック立ち下がり時間	t_{TCKf}	—	10	ns	47.53	
$\overline{\text{ASEBRK}}$ セットアップ時間	$t_{ASEBRKS}$	10	—	t_{cyc}	47.54	
$\overline{\text{ASEBRK}}$ ホールド時間	$t_{ASEBRKH}$	10	—	t_{cyc}	47.54	
TDI/TMS セットアップ時間	t_{TDIS}	15	—	ns	47.55	
TDI/TMS ホールド時間	t_{TDIH}	15	—	ns	47.55	
TDO データ遅延時間	t_{TDO}	—	12	ns	47.55	
$\overline{\text{ASEBRK}}$ 端子パルス幅	t_{PINBRK}	2	—	t_{Pcyc}	47.56	

注1.　t_{cyc} はCLKOUT クロックの1 サイクル時間を示します。
2.　t_{Pcyc} は周辺クロック（Pck）の1 サイクル時間を示します。



注.　TCK端子からクロックを入力する場合

図 47.53　TCK 入力タイミング

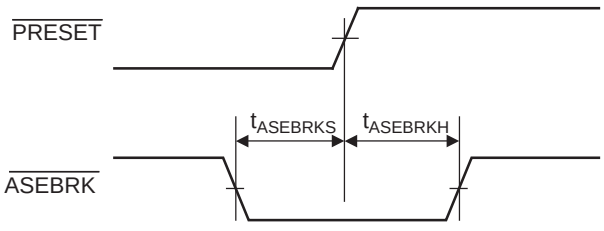


図 47.54　$\overline{\text{ASEBRK}}$セットアップ／ホールドタイミング

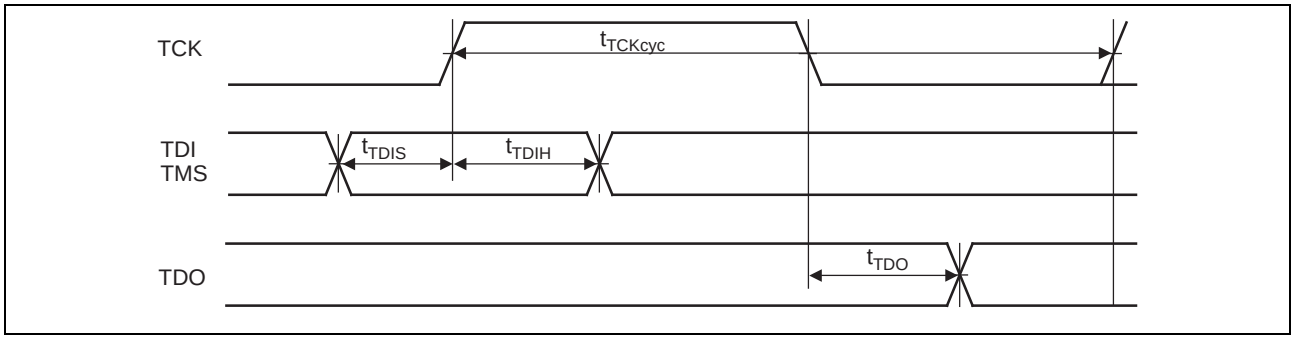


図 47.55 H-UDI データ転送タイミング

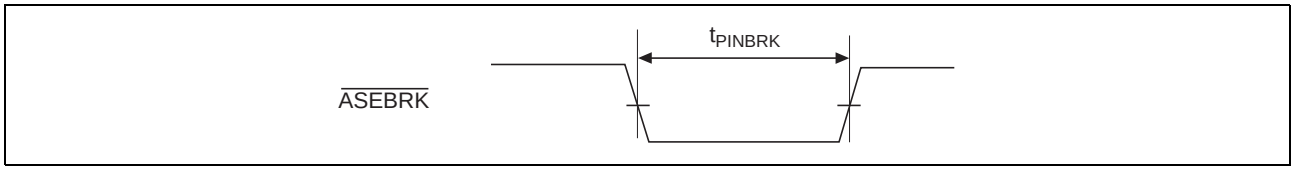


図 47.56 $\overline{\text{ASEBRK}}$ 端子パルス幅

47.4.19 RSPI モジュール信号タイミング

条件：tPcyc = 20.8ns

表47.32 RSPI タイミング

項目		記号	Min.	Typ.	Max.	単位	参照図
RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	—	—	tPcyc	47.57
	スレーブ		4	—	—		
RSPCK クロックHレベルパルス幅	マスタ	t_{SPCKWH}	(tSPcyc – tSPCKR – tSPCKF) /2 – 3	—	—	ns	
	スレーブ		(tSPcyc – tSPCKR – tSPCKF) /2	—	—		
RSPCK クロックLレベルパルス幅	マスタ	t_{SPCKWL}	(tSPcyc – tSPCKR – tSPCKF) /2 – 3	—	—	ns	
	スレーブ		(tSPcyc – tSPCKR – tSPCKF) /2	—	—		
RSPCK クロック立ち上がり/立ち下がり時間	出力	t_{SPCKR}、t_{SPCKF}	—	3	5	ns	
	入力		—	—	1	µs	
データ入力セットアップ時間	マスタ	t_{SU}	25	—	—	ns	47.58 47.59 47.60 47.61
	スレーブ		20 -tPcyc	—	—		
データ入力ホールド時間	マスタ	t_{H}	10	—	—	ns	
	スレーブ		20	—	—		
SSL セットアップ時間	マスタ	t_{LEAD}	1	—	8	tSPcyc	
	スレーブ		5	—	—	tPcyc	
SSL ホールド時間	マスタ	t_{LAG}	1	—	8	tSPcyc	
	スレーブ		2	—	—	tPcyc	
データ出力遅延時間	マスタ	t_{OD}	—	—	25	ns	
	スレーブ		—	—	1.5 × tPcyc + 40	ns	
データ出力ホールド時間	マスタ	t_{OH}	–5	—	—	ns	
	スレーブ		–5	—	—		
連続送信遅延時間	マスタ	t_{TD}	tSPcyc + tPcyc	—	8 × tSPcyc + tPcyc	ns	
	スレーブ		2 × tPcyc	—	—		
MOSI 、MISO立ち上がり/立ち下がり時間	出力	t_{DR}、t_{DF}	—	—	5	ns	
	入力		—	—	1	µs	
SSL 立ち上がり/立ち下がり時間	出力	t_{SSLR}、t_{SSLF}	—	—	5	ns	
	入力		—	—	1	µs	
スレーブアクセス時間		t_{SA}	—	—	2	tPcyc	47.60 47.61
スレーブアウト開放時間		t_{REL}	—	—	1.5	tPcyc	

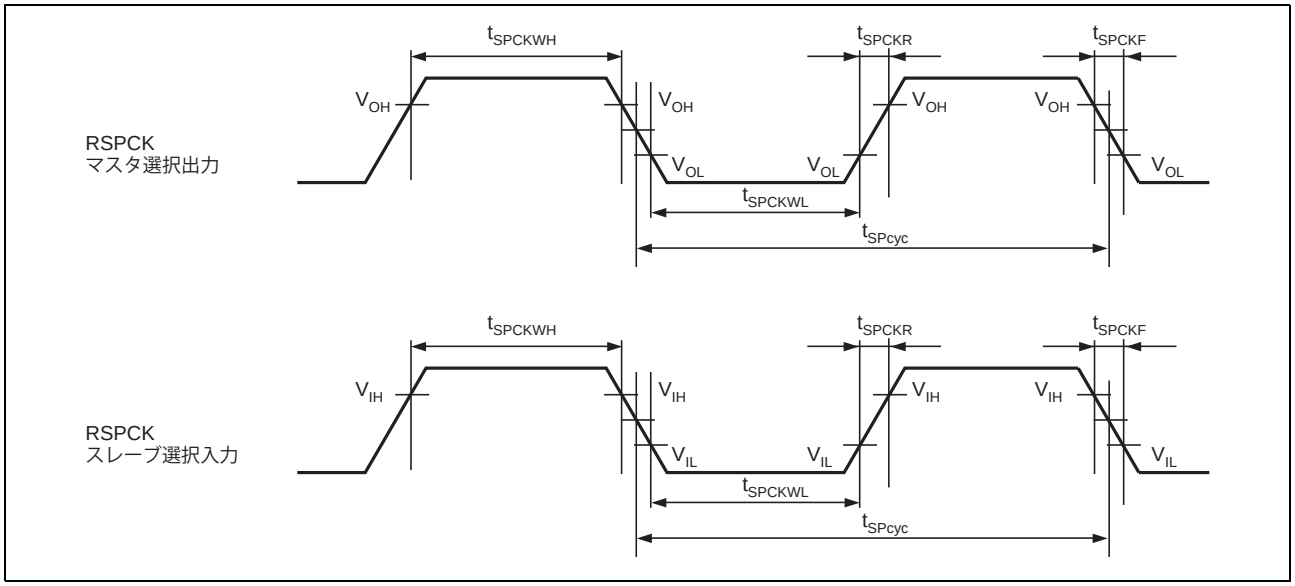


図 47.57 RSPI クロックタイミング

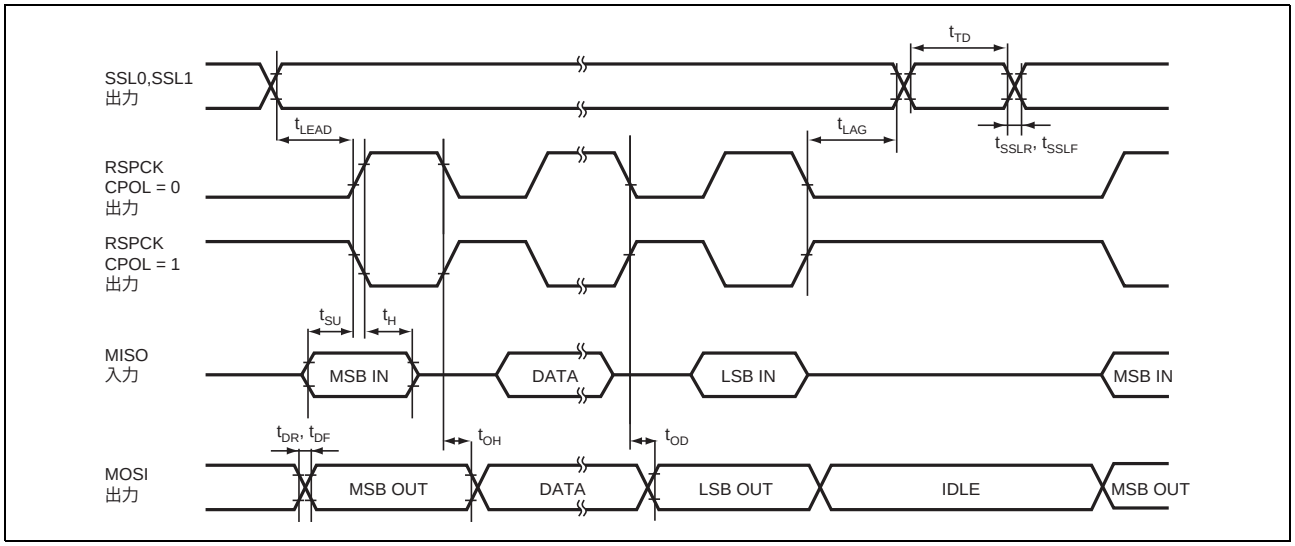


図 47.58 RSPI タイミング（マスタ、CPHA = 0）

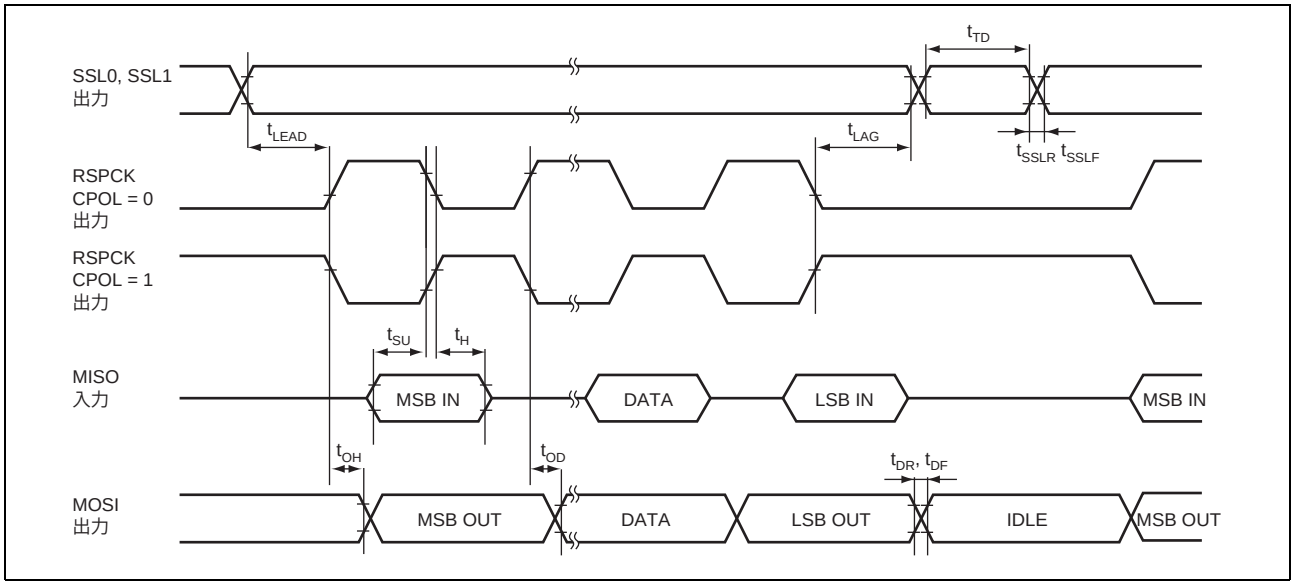


図 47.59 RSPI タイミング （マスタ、CPHA = 1）

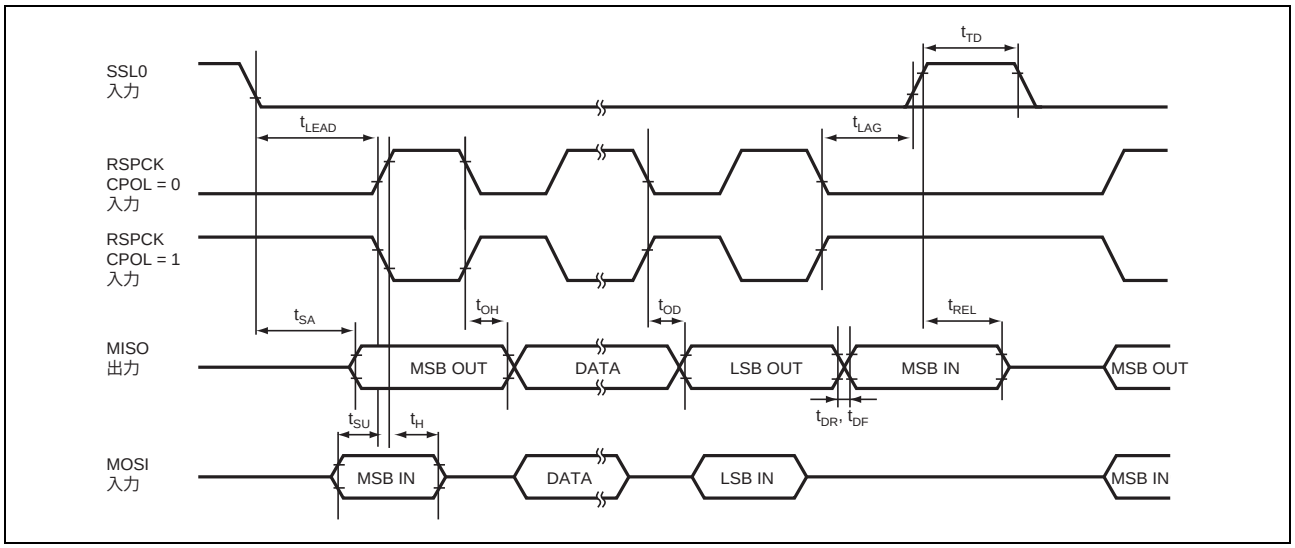


図 47.60 RSPI タイミング（スレーブ、CPHA = 0）

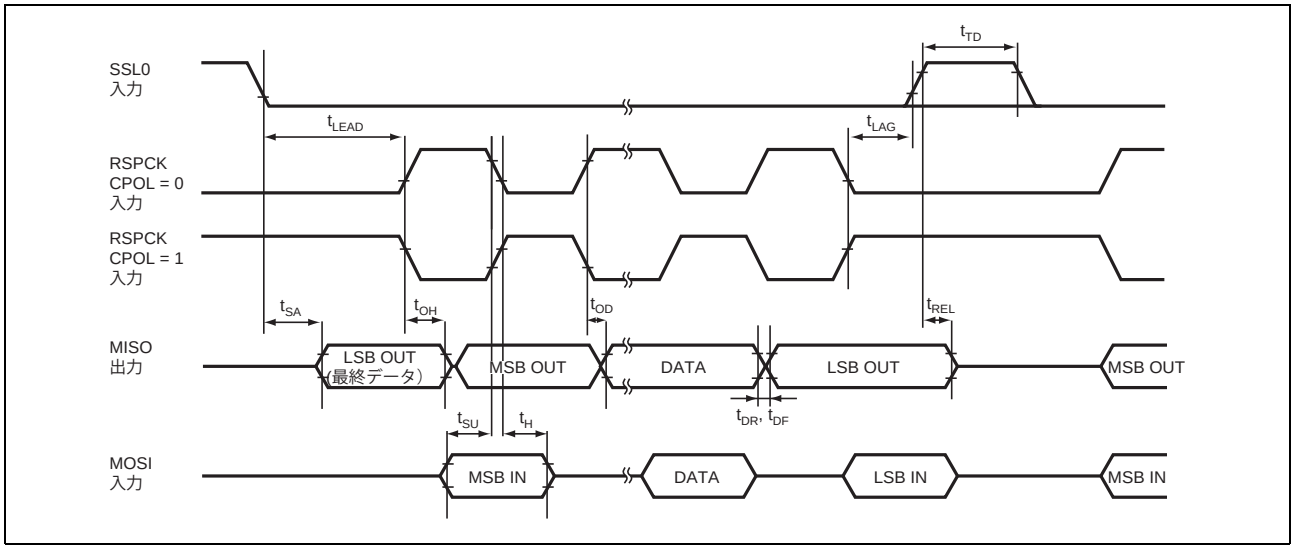


図 47.61　RSPI タイミング（スレーブ、CPHA = 1）

47.4.20 eMMC モジュール信号タイミング

表47.33 eMMC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
CLK クロックサイクル	t_{MMCCYC}	t_{PCYC}（注）	—	ns	47.62
CLK クロックLレベル幅	t_{MMCCWL}	6.5	—	ns	47.62
CLK クロックHレベル幅	t_{MMCCWH}	6.5	—	ns	47.62
CLK クロック立ち上がり時間 (VCCQの20%～80%)	t_{MMCCLH}	—	3	ns	47.62
CLKクロック立ち下がり時間 (VCCQの20%～80%)	t_{MMCCHL}	—	3	ns	47.62
CMD出力データ遅延	t_{MMCCMD}	–6.6	6.6	ns	47.62
DAT 出力データ遅延	t_{MMCDAD}	–6.6	6.6	ns	47.62
CMD入力データセットアップ	t_{MMCCMS}	4.0	—	ns	47.62
CMD入力データホールド	t_{MMCCMH}	2.5	—	ns	47.62
DAT 入力データセットアップ	t_{MMCDAS}	4.0	—	ns	47.62
DAT 入力データホールド	t_{MMCDAH}	2.5	—	ns	47.62

注. t_{PCYC} は周辺クロック（Pck）の1 サイクル時間を示します (Pck = 48 MHz)。

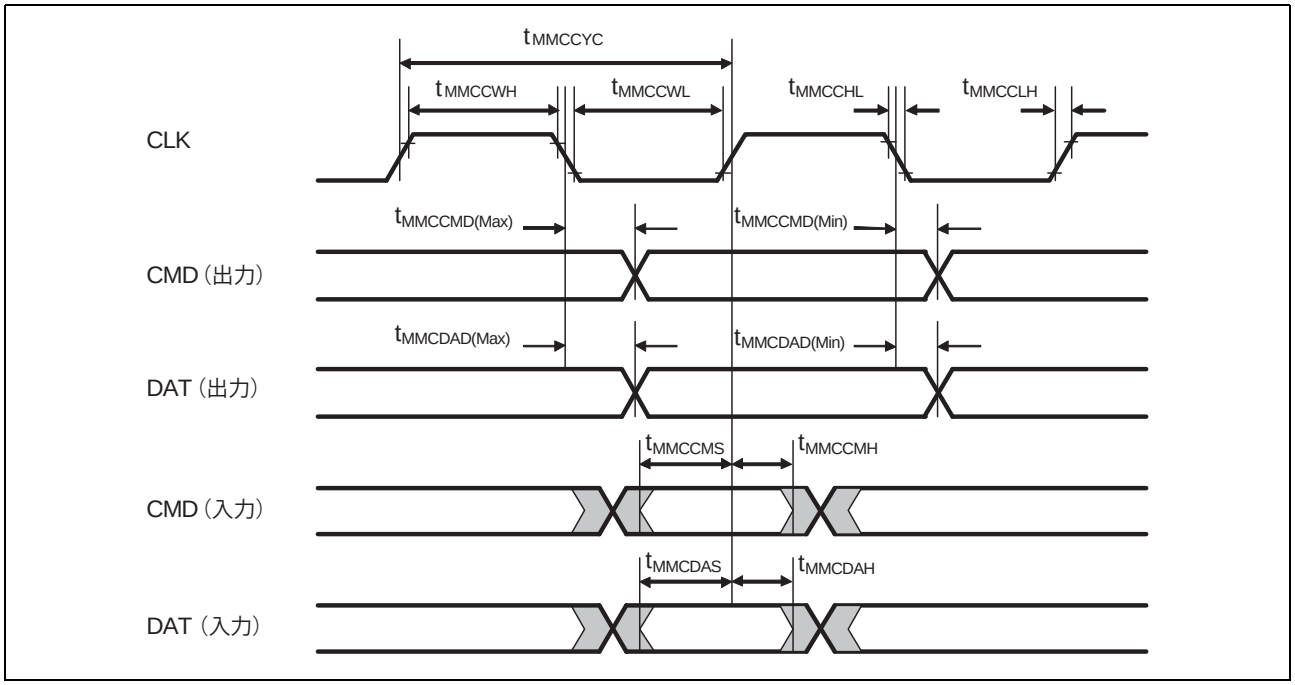


図 47.62 MMC クロックタイミング

47.4.21 SGPIO モジュール信号タイミング

表47.34 SGPIO モジュール信号タイミング

項目	記号	Min.	Max.	単位
SClock 周波数	f_{CYC}	—	48	MHz
SLoad ～ SClock 時間	t_{LC}	16.0	—	ns
SClcok ～ SLoad 時間	t_{CL}	20.0	—	ns
SDataOut 遅延時間	t_{OD}	-2.0	6.0	ns
SDataIn セットアップ時間	t_{ISU}	2.0	—	ns
SDataIn ホールド時間	t_{Ih}	8.0	—	ns

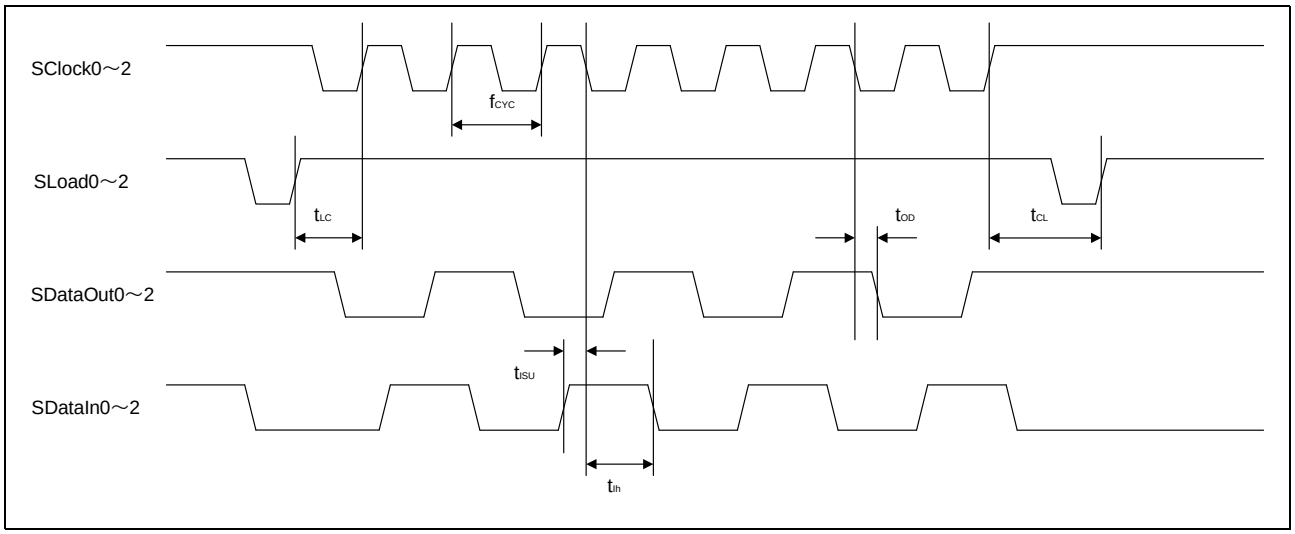


図 47.63 SGPIO クロックタイミング

47.4.22 PCIe モジュール信号タイミング

PCIe PHYモジュールは「PCIe CEM specification rev1.1」に基づいて設計されています。

表47.35 送信パスコンプライアンスアイの必要条件（カードエッジ部）

記号	Min.	Max.	単位	参照注釈	参照図
V_{txA}	514	—	mV	注1、2、5	47.64
V_{txA_d}	360	—	mV	注1、2、5	47.64
T_{txA}	—	287	ps	注1、3、5	47.64
$J_{TXA\text{-}MEDIAN\text{-}to\text{-}MAX\text{-}JITTER}$	—	56.5	ps	注1、4、5	47.64

注1. ジッタなしの理想的なリファレンスクロックを前提とした仕様です。このアイダイアグラムでは、リンクはすべてアクティブとします。

2. デエンファシス電圧レベル（V_{TXA_d}）とコンプライアンスを比較できるよう、遷移ビット及び非遷移ビットは分離させる必要があります。VTXA及びVTXA_dは最小差動ピークtoピーク出力電圧です。

3. T_{TXA}は最小アイ幅です。この測定におけるサンプルサイズは10^6UIです。BER 10^{-12}でシミュレーションを行う場合、この値の最小値は274psになります。

4. $J_{TXA\text{-}MEDIAN\text{-}to\text{-}MAX\text{-}JITTER}$はPCI Express Base Specification, Revision 1.1で定められたmedian-to-maxジッタの最大外れ値です。この測定におけるサンプルサイズは10^6UIです。BER 10^{-12}でシミュレーションを行う場合、この値の最小値は63psになります。

5. 表47.35の値は、アドインカードのエッジフィンガ境界にあるインターコネクトパスの終端での理想差動負荷が100Ω時の値を参照しています。アイダイアグラムはジッタ中央値に定義および配置します。このアイダイアグラム生成時のコンプライアンス確認条件の詳細については「PHY Electrical Test Considerations for PCI Express Architecture」を参照して下さい。

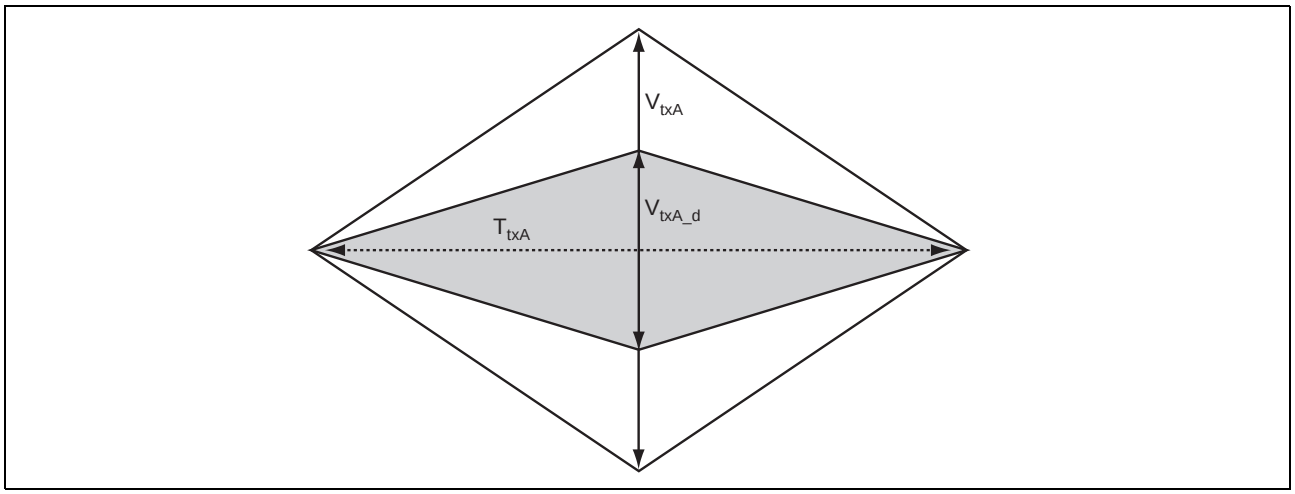


図 47.64 カードエッジの送信パスのコンプライアンスアイダイアグラム

表47.36　受信パスコンプライアンスアイの必要条件（カードエッジ部）

記号	Min.	Max.	単位	参照注釈	参照図
V_{rxA}	238	—	mV	Notes 1, 2, 5	47.65
V_{rxA_d}	219	—	mV	Notes 1, 2, 5	47.65
T_{rxA}	—	246	ps	Notes 1, 3, 5	47.65
$J_{RXA\text{-}MEDIAN\text{-}to\text{-}MAX\text{-}JITTER}$	—	77	ps	Notes 1, 4, 5	47.65

注1. ジッタなしの理想的なリファレンスクロックを前提とした仕様です。このアイダイアグラムでは、リンクはすべてアクティブとします。

2. デエンファシス電圧レベル（V_{RXA_d}）とコンプライアンスを比較できるよう、遷移ビット及び非遷移ビットは分離させる必要があります。V_{RXA}及びV_{RXA_d}は最小差動ピークtoピーク出力電圧です。

3. T_{RXA}はアイ幅です。この測定におけるサンプルサイズは10^6UIです。BER 10^{-12}でシミュレーションを行う場合、この値の最小値は233psになります。

4. $J_{RXA\text{-}MEDIAN\text{-}to\text{-}MAX\text{-}JITTER}$はPCI Express Base Specification, Revision 1.1で定められたmedian-to-peakジッタの最大外れ値です。この測定におけるサンプルサイズは10^6UIです。BER 10^{-12}でシミュレーションを行う場合、この値の最大値は83.5psになります。

5. 表47.36の値は、理想差動負荷が100Ωの時の値を参照しています。カードエッジの受信側インタコネクトパスへの入力値により、受信パスのカードエッジでの実証テストが可能です。センシティビティの条件はジッタ中央に配置します。コンプライアンス確認条件の詳細については「PHY Electrical Test Considerations for PCI Express Architecture」を参照して下さい。

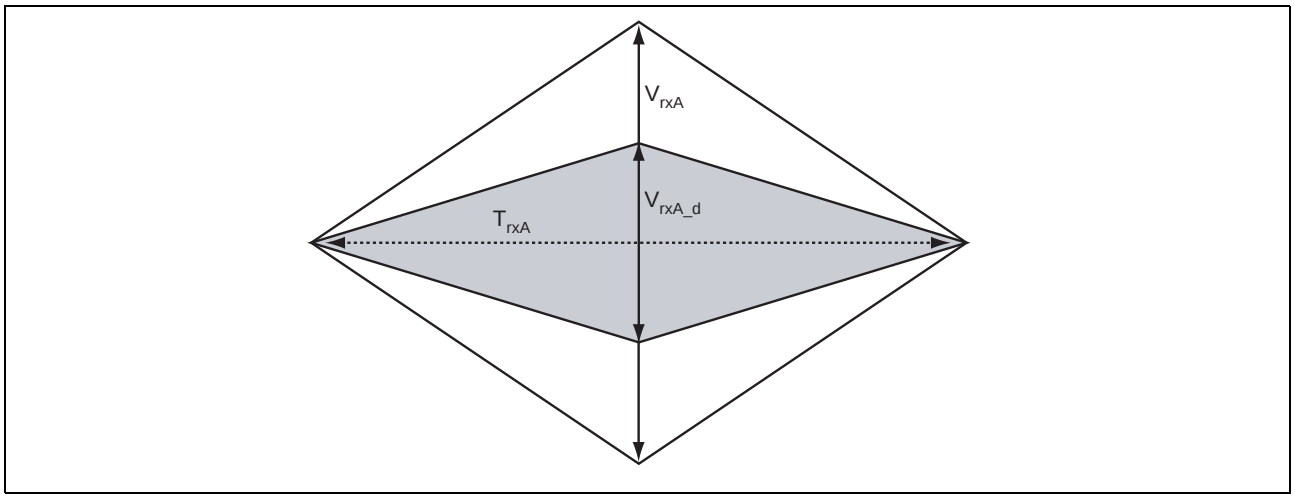


図 47.65　カードエッジの受信パスのコンプライアンスアイダイアグラム

47.4.23 EVC モジュール信号タイミング

表47.37 EVC モジュール信号タイミング

項目	記号	Min.	Max.	単位
イベント入力Hパルス幅	t_{EVWH}	2	—	t_{pcyc}
イベント入力Lパルス幅	t_{EVWL}	2	—	t_{pcyc}

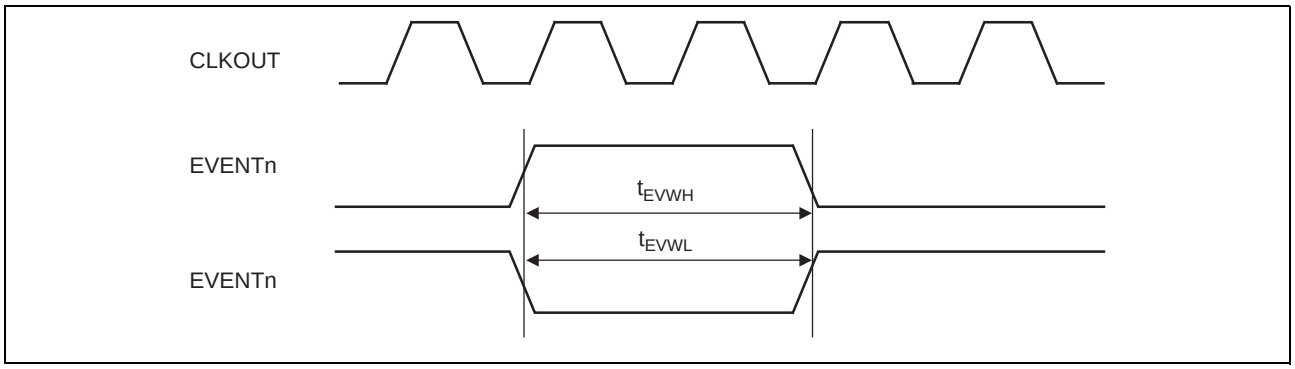


図 47.66 EVENT 入力信号タイミング

47.5 A/D 変換器特性

表47.38 A/D 変換器特性 （V_{DD} = 1.20 ～1.30V、V_{CCQ} = 3.0 ～3.6V、AV_{ref} = 3.0V ～ AV_{CC}、AV_{CC}= 3.0 ～3.6V）

項目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	5.5	—	—	µs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	kΩ
非直線性誤差	—	—	±3.0(注)	LSB
オフセット誤差	—	—	±2.0(注)	LSB
フルスケール誤差	—	—	±2.0(注)	LSB
量子化誤差	—	—	±0.5(注)	LSB
絶対精度	—	—	±4.0	LSB

注. 参考値

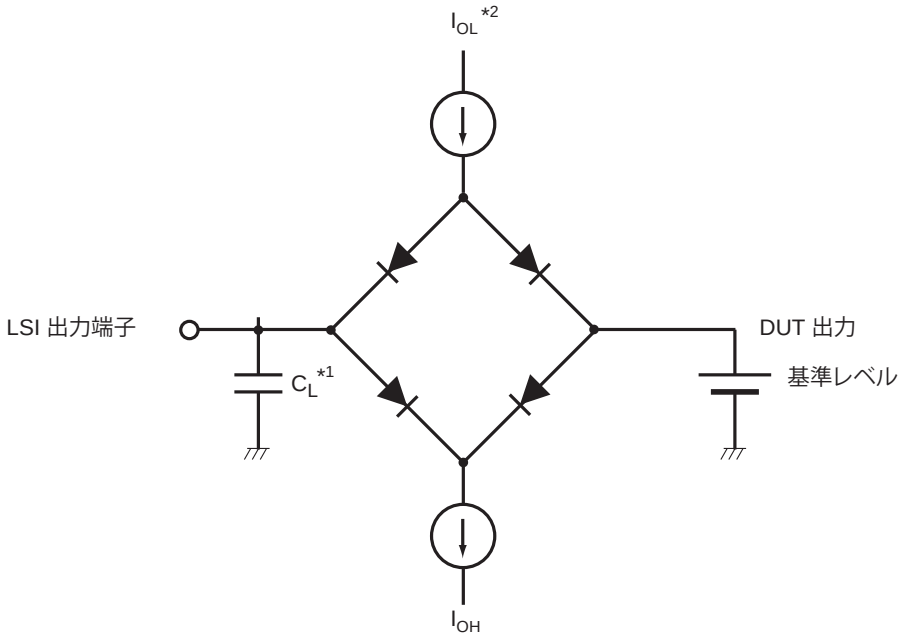
47.6 AC特性テスト条件

AC特性のテスト条件は以下の通りです。

- 入出力信号基準レベル : V（注）/2
- 入力パルスレベル : VSS～V（注）
- 入力立ち上がり／立下り時間: 1 ns

注. V：電源電圧

DDRについては「47.4.3 DBSC3モジュール信号タイミング」を参照して下さい。
USBについては「47.4.15 USB0/USB1モジュール信号タイミング」を参照して下さい。
出力負荷回路を図47.67に示します。



注. *1 CL=20pF
*2 IOL , IOH = 表47.9参照

図 47.67 出力負荷回路

付録

A. CPU 動作モードレジスタ（CPUOPM）

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタはH'FF2F 0000番地から32ビットサイズで読み出し／書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、SH-4A のストア命令で行ってください。また、CPUOPM 更新後、一度CPUOPM を読み出した後で、以下の1.又は2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。

1.又は2.の実行後、SH-4A は更新後のCPUOPM の値を用いて動作することが保証されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	INTMU	—	—	—
初期値：	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	R/W	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～ 4	—	H'000 0032	—	リザーブビット
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0：割り込みを受け付けてもSR レジスタのIMASK ビットの値は変化しない。 1：割り込みを受け付けた場合、受け付けたレベルをSR レジスタのIMASK ビットに自動的に設定する。
2 ～ 0	—	0	—	リザーブビット

B. 命令プリフェッチとその副作用について

SH-4A は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。

したがって、各メモリ空間の最終64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

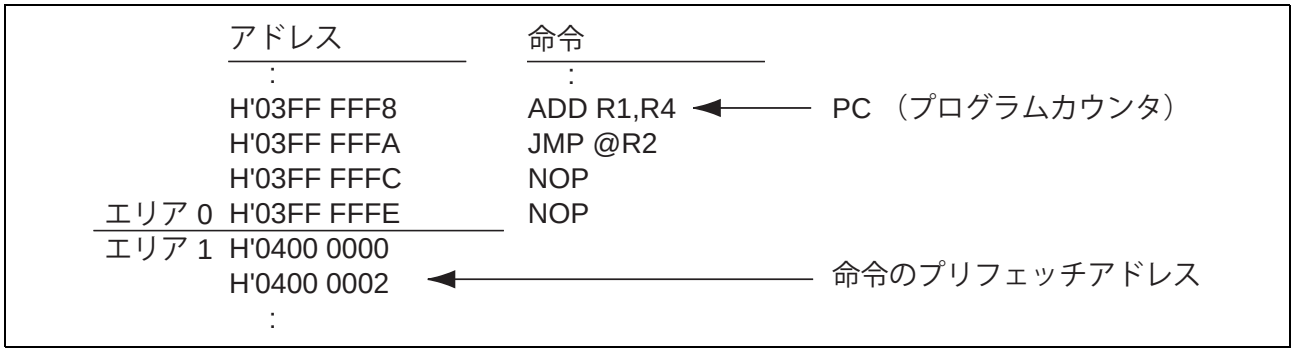


図 B.1 命令のプリフェッチ

図 B.1 では、PC（プログラムカウンタ）が指し示す命令（ADD）と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続のJMP 命令、ディレイスロット命令の実行後、エリア1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア1 へのバスアクセス（命令のプリフェッチ）が発生する可能性があります。

(1) 命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続された FIFO などの外部デバイスが誤動作する場合が考えられます。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

C. バージョンレジスタ（PVR、PRR）

SH-4A は、プロセッサコアのバージョンと製品のバージョンを示す読み出し専用のレジスタを内蔵しています。これらのレジスタの値を用いることにより、ソフトウェアからプロセッサのバージョン及び製品を区別することができ、拡張性の高いシステムを構築することが可能となります。

注. PVR レジスタのビット7～0 の値は必ずマスクをし、ソフトウェアに影響を与えないようにしてください。

表C.1 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ	レジスタの状態	
					パワーオンリセット	マニュアルリセット
プロセッサバージョンレジスタ	PVR	R	H'FF00 0030	32	H'1030 0BXX	保持
プロダクトレジスタ	PRR	R	H'FF00 0044	32	H'0000 3120	保持

• PVR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIP								VER							
初期値：	0	0	0	1	0	0	0	0	0	0	1	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUT								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	1	0	1	1	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31 ～24	CHIP	H'10	R	プロセッサファミリの種別を示します。 SH-4A シリーズでは、必ず、H'10 が読み出されます。
23 ～ 16	VER	H'30	R	バージョンを示します。 SH-4A シリーズに大幅な機能拡張を行う場合に変更します。 本マニュアルでは、VER がH'30 以上の場合を対象としています。
15 ～ 8	CUT	H'0B	R	バージョンを示します。 SH-4A シリーズに小規模な修正を行う場合に変更します。
7 ～ 0	—	—	—	リザーブビット

• PRR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Product								CUT							
初期値：	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ～ 16	—	0	—	リザーブビット
15～ 8	Product	H'31	R	バージョンを示します。 製品に大幅な機能拡張を行う場合に変更します。
7 ～ 0	CUT	H'20	R	バージョンを示します。 製品に小規模な修正を行う場合に変更します。

D. 外形寸法図

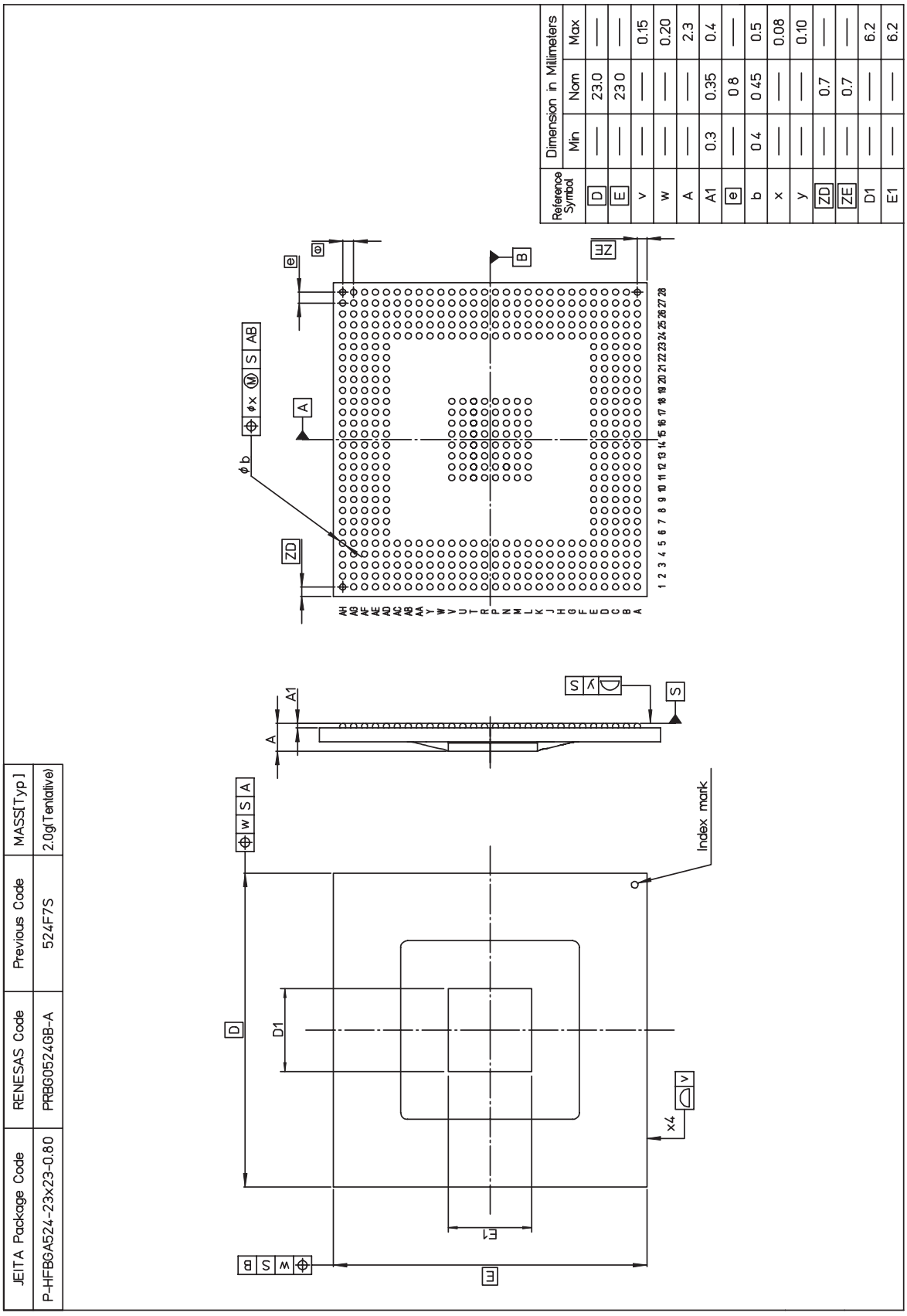


図 D.1 外形寸法図

E. パワーオンリセット時の端子機能／端子状態と未使用端子処理

表E.1にパワーオンリセット時の端子機能／端子状態と未使用端子処理を示します。

一部の端子は、ストラップピンの入力レベルによって、パワーオンリセット時の機能が変わります。また、端子状態は、図E.1に示すA～Cの期間で異なります。端子を使用しない場合は、「未使用端子処理」欄に従って処理してください。

なお、マニュアルリセット及びソフトウエアリセットでは、端子機能は変化しません。マニュアルリセット又はソフトウエアリセットでリセットされるモジュールの関連端子として機能している場合は、その端子状態は初期化されます。

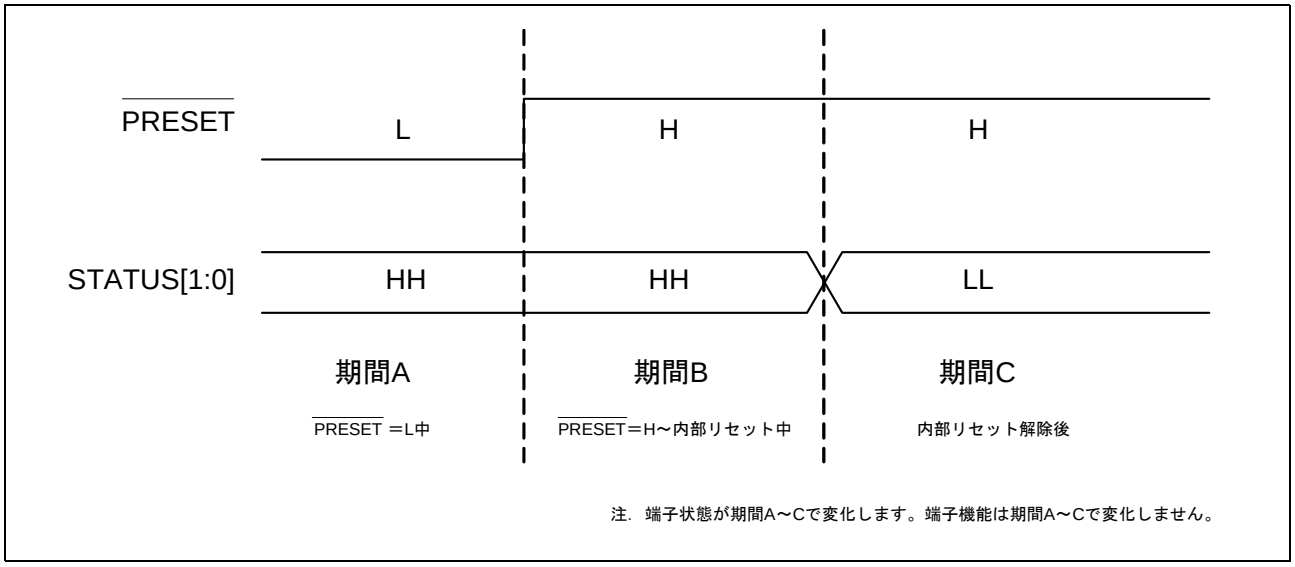


図 E.1 表E.1中の期間A～C

表E.1 パワーオンリセット時の端子機能／端子状態と未使用端子処理

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
M28	M_CLK		M_CLK	L	L	L	開放
N28	$\overline{\text{M_CLK}}$		$\overline{\text{M_CLK}}$	L	L	L	開放
N25	M_CKE		M_CKE	L	L	L	開放
N26	$\overline{\text{M_CS}}$		$\overline{\text{M_CS}}$	HiZ	HiZ	H	開放
C27	$\overline{\text{M_WE}}$		$\overline{\text{M_WE}}$	HiZ	HiZ	H	開放
D23	M_A15		M_A15	HiZ	HiZ	L	開放
B21	M_A14		M_A14	HiZ	HiZ	L	開放
C22	M_A13		M_A13	HiZ	HiZ	L	開放
A26	M_A12		M_A12	HiZ	HiZ	L	開放
A23	M_A11		M_A11	HiZ	HiZ	L	開放
C28	M_A10		M_A10	HiZ	HiZ	L	開放
B23	M_A9		M_A9	HiZ	HiZ	L	開放
D21	M_A8		M_A8	HiZ	HiZ	L	開放
B20	M_A7		M_A7	HiZ	HiZ	L	開放
C21	M_A6		M_A6	HiZ	HiZ	L	開放
B22	M_A5		M_A5	HiZ	HiZ	L	開放

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
A21	M_A4		M_A4	HiZ	HiZ	L	開放
B24	M_A3		M_A3	HiZ	HiZ	L	開放
B25	M_A2		M_A2	HiZ	HiZ	L	開放
A25	M_A1		M_A1	HiZ	HiZ	L	開放
D22	M_A0		M_A0	HiZ	HiZ	L	開放
B28	M_BA2		M_BA2	HiZ	HiZ	L	開放
C23	M_BA1		M_BA1	HiZ	HiZ	L	開放
C24	M_BA0		M_BA0	HiZ	HiZ	L	開放
J26	M_DQ15		M_DQ15	HiZ	HiZ	HiZ	開放
L28	M_DQ14		M_DQ14	HiZ	HiZ	HiZ	開放
J27	M_DQ13		M_DQ13	HiZ	HiZ	HiZ	開放
L27	M_DQ12		M_DQ12	HiZ	HiZ	HiZ	開放
J25	M_DQ11		M_DQ11	HiZ	HiZ	HiZ	開放
L25	M_DQ10		M_DQ10	HiZ	HiZ	HiZ	開放
J28	M_DQ9		M_DQ9	HiZ	HiZ	HiZ	開放
L26	M_DQ8		M_DQ8	HiZ	HiZ	HiZ	開放
E25	M_DQ7		M_DQ7	HiZ	HiZ	HiZ	開放
E27	M_DQ6		M_DQ6	HiZ	HiZ	HiZ	開放
G27	M_DQ5		M_DQ5	HiZ	HiZ	HiZ	開放
E26	M_DQ4		M_DQ4	HiZ	HiZ	HiZ	開放
G25	M_DQ3		M_DQ3	HiZ	HiZ	HiZ	開放
E28	M_DQ2		M_DQ2	HiZ	HiZ	HiZ	開放
G28	M_DQ1		M_DQ1	HiZ	HiZ	HiZ	開放
G26	M_DQ0		M_DQ0	HiZ	HiZ	HiZ	開放
K26	M_DQS1		M_DQS1	HiZ	HiZ	HiZ	開放
K25	$\overline{\text{M_DQS1}}$		$\overline{\text{M_DQS1}}$	HiZ	HiZ	HiZ	開放
F25	M_DQS0		M_DQS0	HiZ	HiZ	HiZ	開放
F26	$\overline{\text{M_DQS0}}$		$\overline{\text{M_DQS0}}$	HiZ	HiZ	HiZ	開放
K27	M_DM1		M_DM1	L	L	H	開放
F27	M_DM0		M_DM0	L	L	H	開放
D26	$\overline{\text{M_RAS}}$		$\overline{\text{M_RAS}}$	HiZ	HiZ	H	開放
D27	$\overline{\text{M_CAS}}$		$\overline{\text{M_CAS}}$	HiZ	HiZ	H	開放
J24	M_VREF_DQ		M_VREF_DQ	I(注1)	I(注1)	I(注1)	VCCQ-DDRの1/2の電圧を印加
N27	M_ODT		M_ODT	HiZ	HiZ	L	開放
D20	$\overline{\text{M_RESET}}$		$\overline{\text{M_RESET}}$	H	H	H	開放
C20	M_ZQ		M_ZQ	I	I	I	抵抗（120Ω ±1%）を介してグランドに接続
E20	M_VREF_CA		M_VREF_CA	I(注2)	I(注2)	I(注2)	グランドに接続

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
AH5	PTZ7/MMCDAT7		PTZ7	I	I	I	グランドに接続
AF6	PTZ6/MMCDAT6/WPSZ1		PTZ6	I	I	I	ストラップピン（WPSZ1）の設定レベルを印加
AH4	PTZ5/MMCDAT5/WPSZ0		PTZ5	I	I	I	ストラップピン（WPSZ0）の設定レベルを印加
AF5	PTZ4/MMCDAT4		PTZ4	I	I	I	VCCQに接続
AG5	PTZ3/MMCDAT3/MD6		PTZ3	I	I	I	ストラップピン（MD6）の設定レベルを印加
AE6	PTZ2/MMCDAT2/MD9		PTZ2	I	I	I	ストラップピン（MD9）の設定レベルを印加
AG4	PTZ1/MMCDAT1/FLSHSZ1		PTZ1	I	I	I	ストラップピン（FLSHSZ1）の設定レベルを印加
AE5	PTZ0/MMCDAT0/FLSHSZ0		PTZ0	I	I	I	ストラップピン（FLSHSZ0）の設定レベルを印加
E12	SP0-MOSI		SP0-MOSI	L	L	L	開放
B10	PTD6/SP0-MISO	MD6=L	PTD6	PU	PU	IU	開放
		MD6=H	SP0-MISO	I	I	I	プルアップ
D11	SP0-SCK		SP0-SCK	L	L	L	開放
B11	PTD4/SP0-SCK_FB	MD6=L	PTD4	PU	PU	IU	開放
		MD6=H	SP0-SCK_FB	I	I	I	プルアップ
D10	$\overline{\text{SP0-SS0}}$		$\overline{\text{SP0-SS0}}$	H	H	L	開放
C11	PTD2/$\overline{\text{SP0-SS1}}$/$\overline{\text{DREQ0}}$		PTD2	HiZ	PU	IU	開放
C9	PTD1/$\overline{\text{SP0-SS2}}$/$\overline{\text{DACK0}}$		PTD1	HiZ	PU	IU	開放
B9	PTD0/$\overline{\text{SP0-SS3}}$/$\overline{\text{TEND0}}$		PTD0	HiZ	PU	IU	開放
D7	SP1-MOSI/$\overline{\text{TEND1}}$/MD5		SP1-MOSI	I	I	L	ストラップピン(MD5)の設定レベルを印加→開放(注3)
D9	PTH6/SP1-MISO/$\overline{\text{DREQ1}}$		PTH6	PU	PU	IU	開放
C7	SP1-SCK/$\overline{\text{DACK1}}$		SP1-SCK	L	L	L	開放
A10	PTH4/SP1-SCK_FB/ ADTRG1		PTH4	PU	PU	IU	開放
C10	$\overline{\text{SP1-SS0}}$		$\overline{\text{SP1-SS0}}$	H	H	H	開放
A9	PTH2/$\overline{\text{SP1-SS1}}$/$\overline{\text{ADTRG0}}$		PTH2	PU	PU	IU	開放
U27	$\overline{\text{WP}}$		$\overline{\text{WP}}$	I	I	I	ストラップピン（$\overline{\text{WP}}$）の設定レベルを印加
U28	PTH0		PTH0	PU	PU	IU	開放
AE26	PTU7		（注4）	HiZ	HiZ	I	プルアップ
AE28	PTU6		（注4）	HiZ	HiZ	I	プルアップ
AD25	PTU5		（注4）	HiZ	HiZ	I	プルアップ
AE27	PTU4		（注4）	HiZ	HiZ	I	プルアップ

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
AD26	PTU3		（注4）	HiZ	HiZ	I	プルアップ
AC28	PTU2		（注4）	HiZ	HiZ	I	プルアップ
AA25	PTU1		（注4）	HiZ	HiZ	I	プルアップ
AD27	PTU0		（注4）	HiZ	HiZ	I	プルアップ
E9	PTG7/BOOTFMS		BOOTFMS	IU	IU	IU	ストラップピン（BOOTFMS）の設定レベルを印加
A7	$\overline{\text{BOOTWP}}$		$\overline{\text{BOOTWP}}$	IU	IU	IU	ストラップピン（BOOTWP）の設定レベルを印加
AF18	ET0-RX_CTL		ET0-RX_CTL	I	IU	IU	開放
AF13	ET1-RX_CTL		ET1-RX_CTL	I	IU	IU	開放
AF17	ET0-TD1		ET0-TD1	L	L	L	開放
AH17	ET0-TD0		ET0-TD0	L	L	L	開放
AE15	ET1-TD1		ET1-TD1	L	L	L	開放
AH14	ET1-TD0		ET1-TD0	L	L	L	開放
AH18	ET0-TX_CTL		ET0-TX_CTL	L	L	L	開放
AG16	ET1-TX_CTL		ET1-TX_CTL	L	L	L	開放
AF16	ET0-RXC		ET0-RXC	I	IU	IU	開放
AF14	ET1-RXC		ET1-RXC	I	IU	IU	開放
AE18	ET0-RD1		ET0-RD1	I	IU	IU	開放
AE17	ET0-RD0		ET0-RD0	I	IU	IU	開放
AG15	ET1-RD1		ET1-RD1	I	IU	IU	開放
AF12	ET1-RD0		ET1-RD0	I	IU	IU	開放
AH16	ET0-TXC		ET0-TXC	L	L	L	開放
AH13	ET1-TXC		ET1-TXC	L	L	L	開放
AF15	ET0-RD2		ET0-RD2	I	IU	IU	開放
AH15	ET0-RD3		ET0-RD3	I	IU	IU	開放
AE16	ET0-TD2		ET0-TD2	L	L	L	開放
AG17	ET0-TD3		ET0-TD3	L	L	L	開放
AE13	ET1-RD2		ET1-RD2	I	IU	IU	開放
AG14	ET1-RD3		ET1-RD3	I	IU	IU	開放
AE14	ET1-TD2		ET1-TD2	L	L	L	開放
AG13	ET1-TD3		ET1-TD3	L	L	L	開放
AB26	PTA3/ET0-MDC		ET0-MDC	L	L	L	開放
AB27	PTA2/ET0-MDIO		ET0-MDIO	I	I	I	プルアップ
AB25	PTA1/ET1-MDC		ET1-MDC	L	L	L	開放
AB28	PTA0/ET1-MDIO		ET1-MDIO	I	I	I	プルアップ

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
AE12	RGMII-MAC-CLK		RGMII-MAC-CLK	I	IU	IU	開放
AG10	PTE7/RMII0-CRS_DV		PTE7	HiZ	PU	IU	開放
AF10	PTE1/RMII0-RXD0		PTE1	HiZ	PU	IU	開放
AG11	PTE2/RMII0-RXD1		PTE2	HiZ	PU	IU	開放
AE11	PTE5/RMII0-TXD0/ BOOTWPSZ0		PTE5	I	I	I	ストラップピン（BOOTWPSZ0）の設定レベルを印加
AH11	PTE6/RMII0-TXD1/ BOOTWPSZ1		PTE6	I	I	I	ストラップピン（BOOTWPSZ1）の設定レベルを印加
AH12	PTE0/RMII0-RX_ER		PTE0	HiZ	PU	IU	開放
AF11	PTE4/RMII0-TXEN/MD3		PTE4	I	I	I	ストラップピン（MD3）の設定レベルを印加
AG12	PTE3/RMII0-REFCLK		PTE3	HiZ	PU	IU	開放
AE10	PTF3/RMII1-REFCLK		PTF3	HiZ	PU	IU	開放
AG8	PTF7/RMII1-CRS_DV		PTF7	HiZ	PU	IU	開放
AH9	PTF0/RMII1-RX_ER		PTF0	HiZ	PU	IU	開放
AD9	PTF1/RMII1-RXD0		PTF1	HiZ	PU	IU	開放
AH8	PTF2/RMII1-RXD1/ RAC-RI/RI0		PTF2	HiZ	PU	IU	開放
AF9	PTF4/RMII1-TXEN		PTF4	I	I	I	グランドに接続
AE9	PTF5/RMII1-TXD0/ WDTFOT1		PTF5	I	I	I	ストラップピン（WDTFOT1）の設定レベルを印加
AG9	PTF6/RMII1-TXD1/ WDTFOT0		PTF6	I	I	I	ストラップピン（WDTFOT0）の設定レベルを印加
H4	PTR0/SCL0		PTR0	HiZ	HiZ	HiZ	開放
G4	PTR1/SDA0		PTR1	HiZ	HiZ	HiZ	開放
G2	PTR2/SCL1		PTR2	HiZ	HiZ	HiZ	開放
G3	PTR3/SDA1		PTR3	HiZ	HiZ	HiZ	開放
F3	PTR4/SCL2		PTR4	HiZ	HiZ	HiZ	開放
D2	PTR5/SDA2		PTR5	HiZ	HiZ	HiZ	開放
F4	PTS0/SCL3		PTS0	HiZ	HiZ	HiZ	開放
D1	PTS1/SDA3		PTS1	HiZ	HiZ	HiZ	開放
A2	PTS3/SDA4		PTS3	HiZ	HiZ	HiZ	開放
C4	PTS2/SCL4		PTS2	HiZ	HiZ	HiZ	開放
B5	PTS4/SCL5		PTS4	HiZ	HiZ	HiZ	開放
B3	PTS5/SDA5		PTS5	HiZ	HiZ	HiZ	開放
C5	PTM3/SDA6		PTM3	HiZ	HiZ	HiZ	開放
D5	PTM2/SCL6		PTM2	HiZ	HiZ	HiZ	開放

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
A5	PTM1/SDA7		PTM1	HiZ	HiZ	HiZ	開放
A3	PTM0/SCL7		PTM0	HiZ	HiZ	HiZ	開放
AA26	PTQ6		PTQ6	HiZ	HiZ	I	プルアップ
W25	PTQ5		PTQ5	HiZ	HiZ	I	プルアップ
Y25	PTQ4		PTQ4	HiZ	HiZ	I	プルアップ
Y26	PTQ3		PTQ3	HiZ	HiZ	I	プルアップ
AC27	PTQ2		PTQ2	HiZ	HiZ	I	プルアップ
AC25	PTQ1		PTQ1	HiZ	HiZ	I	プルアップ
W26	PTQ0		PTQ0	HiZ	HiZ	I	プルアップ
AA28	PTG3		PTG3	HiZ	HiZ	I	プルアップ
AC26	PTG1		PTG1	HiZ	HiZ	I	プルアップ
AA27	PTG0		PTG0	HiZ	HiZ	I	プルアップ
N2	TX0_P		TX0_P	OU	OU	OU	開放
N1	TX0_N		TX0_N	OU	OU	OU	開放
M2	RX0_P		RX0_P	I	I	I	開放
M1	RX0_N		RX0_N	I	I	I	開放
R2	REFCLK_P		REFCLK_P	I	I	I	グランド
R1	REFCLK_N		REFCLK_N	I	I	I	VDDPHY15に接続
K4	$\overline{\text{PERST}}$		$\overline{\text{PERST}}$	IU	IU	IU	グランド
AG19	USDP0		USDP0	HiZ	L	L	開放
AH19	USDM0		USDM0	HiZ	L	L	開放
AF20	VBUS0		VBUS0	I	I	I	開放
AE20	REFRIN		REFRIN	HiZ	HiZ	HiZ	抵抗（5.62KΩ±1%）を介してグランドに接続
AG21	USDP1		USDP1	HiZ	L	L	開放
AH21	USDM1		USDM1	HiZ	L	L	開放
AG20	VBUS1		VBUS1	I	I	I	開放
AF22	PTN6/VBUS_EN		VBUS_EN	HiZ	HiZ	HiZ	開放
AF21	PTN5/VBUS_OC		VBUS_OC	I	I	I	プルアップ
D8	PTR7/SDA8		PTR7	HiZ	HiZ	HiZ	開放
C8	PTR6/SCL8		PTR6	HiZ	HiZ	HiZ	開放
B8	PTS7/SDA9		PTS7	HiZ	HiZ	HiZ	開放
A8	PTS6/SCL9		PTS6	HiZ	HiZ	HiZ	開放
AE23	AN0		AN0	I	I	I	開放
AF23	AN1		AN1	I	I	I	開放
AE24	AN2		AN2	I	I	I	開放
AG24	AN3		AN3	I	I	I	開放
AF24	AN4		AN4	I	I	I	開放
AH24	AN5		AN5	I	I	I	開放

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
AE25	AN6		AN6	I	I	I	開放
AG25	AN7		AN7	I	I	I	開放
AH26	AVREF0		AVREF0	I(注5)	I(注5)	I(注5)	AVCCQADC端子に接続
AG28	AVREF1		AVREF1	I(注5)	I(注5)	I(注5)	AVCCQADC端子に接続
U1	PTG5/A25/MMCCLK	MD6=L	A25	I	I	L	開放
		MD6=H	PTG5	HiZ	HiZ	I	プルアップ
V1	PTG4/A24/MMCCMD	MD6=L	A24	HiZ	IU	L	開放
		MD6=H	PTG4	HiZ	PU	IU	開放
V2	PTV7/A23/$\overline{\text{COM2-RI}}$/$\overline{\text{RI1}}$	MD6=L	A23	HiZ	IU	L	開放
		MD6=H	PTV7	HiZ	PU	IU	開放
V3	PTV6/A22/RSPI-MOSI	MD6=L	A22	HiZ	IU	L	開放
		MD6=H	PTV6	HiZ	PU	IU	開放
V4	PTV5/A21/RSPI-MISO	MD6=L	A21	HiZ	IU	L	開放
		MD6=H	PTV5	HiZ	PU	IU	開放
W1	PTV4/A20/RSPI-RSPCK	MD6=L	A20	HiZ	IU	L	開放
		MD6=H	PTV4	HiZ	PU	IU	開放
W2	PTV3/A19/$\overline{\text{RSPI-SSL0}}$	MD6=L	A19	HiZ	IU	L	開放
		MD6=H	PTV3	HiZ	PU	IU	開放
W3	PTV2/A18/$\overline{\text{RSPI-SSL1}}$	MD6=L	A18	HiZ	IU	L	開放
		MD6=H	PTV2	HiZ	PU	IU	開放
W4	PTV1/A17/EVENT7	MD6=L	A17	I	I	L	開放
		MD6=H	PTV1	HiZ	HiZ	I	プルアップ
Y1	PTV0/A16/EVENT6	MD6=L	A16	I	I	L	開放
		MD6=H	PTV0	HiZ	HiZ	I	プルアップ
Y2	PTW7/A15/EVENT5	MD6=L	A15	I	I	L	開放
		MD6=H	PTW7	HiZ	HiZ	I	プルアップ
Y3	PTW6/A14/EVENT4	MD6=L	A14	I	I	L	開放
		MD6=H	PTW6	HiZ	HiZ	I	プルアップ
Y4	PTW5/A13/EVENT3	MD6=L	A13	I	I	L	開放
		MD6=H	PTW5	HiZ	HiZ	I	プルアップ
AA2	PTW4/A12/EVENT2	MD6=L	A12	I	I	L	開放
		MD6=H	PTW4	HiZ	HiZ	I	プルアップ
AA3	PTW3/A11/EVENT1	MD6=L	A11	I	I	L	開放
		MD6=H	PTW3	HiZ	HiZ	I	プルアップ
AA4	PTW2/A10/EVENT0	MD6=L	A10	I	I	L	開放
		MD6=H	PTW2	HiZ	HiZ	I	プルアップ
AB1	PTW1/A9/$\overline{\text{CTS4}}$	MD6=L	A9	I	I	L	開放
		MD6=H	PTW1	HiZ	PU	IU	開放

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
AB2	PTW0/A8/$\overline{\text{CTS2}}$	MD6=L	A8	HiZ	IU	L	開放
		MD6=H	PTW0	HiZ	PU	IU	開放
AB3	PTX7/A7/$\overline{\text{RTS2}}$	MD6=L	A7	HiZ	IU	L	開放
		MD6=H	PTX7	HiZ	PU	IU	開放
AB4	PTX6/A6/SIM_D	MD6=L	A6	HiZ	IU	L	開放
		MD6=H	PTX6	HiZ	PU	IU	開放
AB5	PTX5/A5/SIM_CLK	MD6=L	A5	HiZ	IU	L	開放
		MD6=H	PTX5	HiZ	PU	IU	開放
AC1	PTX4/A4/SIM_RST	MD6=L	A4	HiZ	IU	L	開放
		MD6=H	PTX4	HiZ	PU	IU	開放
AC2	PTX3/A3	MD6=L	A3	HiZ	IU	L	開放
		MD6=H	PTX3	HiZ	PU	IU	開放
AC3	PTX2/A2	MD6=L	A2	HiZ	IU	L	開放
		MD6=H	PTX2	HiZ	PU	IU	開放
AC4	PTX1/A1	MD6=L	A1	HiZ	IU	L	開放
		MD6=H	PTX1	HiZ	PU	IU	開放
AD4	PTX0/A0	MD6=L	A0	HiZ	IU	L	開放
		MD6=H	PTX0	HiZ	PU	IU	開放
AD3	PTI7/D15/SDWP	MD3=L, MD6=L	D15	I	I	I	プルアップ
		上記以外	PTI7	HiZ	HiZ	I	プルアップ
AD2	PTI6/D14/SDCD	MD3=L, MD6=L	D14	I	I	I	プルアップ
		上記以外	PTI6	HiZ	HiZ	I	プルアップ
AD1	PTI5/D13/SDCLK	MD3=L, MD6=L	D13	I	I	IU	開放
		上記以外	PTI5	HiZ	PU	IU	開放
AE1	PTI4/D12/SDCMD	MD3=L, MD6=L	D12	I	I	IU	開放
		上記以外	PTI4	HiZ	PU	IU	開放
AE2	PTI3/D11/SDDAT3	MD3=L, MD6=L	D11	I	I	IU	開放
		上記以外	PTI3	HiZ	PU	IU	開放
AE3	PTI2/D10/SDDAT2	MD3=L, MD6=L	D10	I	I	IU	開放
		上記以外	PTI2	HiZ	PU	IU	開放
AE4	PTI1/D9/SDDAT1	MD3=L, MD6=L	D9	I	I	IU	開放
		上記以外	PTI1	HiZ	PU	IU	開放

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
AF1	PTI0/D8/SDDAT0	MD3=L, MD6=L	D8	I	I	IU	開放
		上記以外	PTI0	HiZ	PU	IU	開放
AF2	PTY7/D7	MD6=L	D7	I	I	IU	開放
		MD6=H	PTY7	HiZ	PU	IU	開放
AF3	PTY6/D6	MD6=L	D6	I	I	IU	開放
		MD6=H	PTY6	HiZ	PU	IU	開放
AF4	PTY5/D5	MD6=L	D5	I	I	IU	開放
		MD6=H	PTY5	HiZ	PU	IU	開放
AG1	PTY4/D4	MD6=L	D4	I	I	IU	開放
		MD6=H	PTY4	HiZ	PU	IU	開放
AG2	PTY3/D3	MD6=L	D3	I	I	IU	開放
		MD6=H	PTY3	HiZ	PU	IU	開放
AG3	PTY2/D2	MD6=L	D2	I	I	IU	開放
		MD6=H	PTY2	HiZ	PU	IU	開放
AH2	PTY1/D1	MD6=L	D1	I	I	IU	開放
		MD6=H	PTY1	HiZ	PU	IU	開放
AH3	PTY0/D0	MD6=L	D0	I	I	IU	開放
		MD6=H	PTY0	HiZ	PU	IU	開放
C15	PTA5/$\overline{\text{WE1}}$	MD3=L, MD6=L	$\overline{\text{WE1}}$	HiZ	H	H	開放
		上記以外	PTA5	HiZ	PU	IU	開放
A15	PTA4/$\overline{\text{RDY}}$	MD3=L, MD6=L	$\overline{\text{RDY}}$	I	I	I	プルダウン
		上記以外	PTA4	HiZ	PU	IU	開放
D17	PTA7/$\overline{\text{BS}}$		PTA7	HiZ	PU	IU	開放
B15	PTA6/$\overline{\text{RDWR}}$		PTA6	HiZ	PU	IU	開放
C16	PTM7/$\overline{\text{CS4}}$	MD6=L	$\overline{\text{CS4}}$	HiZ	H	H	開放
		MD6=H	PTM7	HiZ	PU	IU	開放
A16	PTM6/$\overline{\text{RD}}$	MD6=L	$\overline{\text{RD}}$	HiZ	H	H	開放
		MD6=H	PTM6	HiZ	PU	IU	開放
E17	PTM5/$\overline{\text{WE0}}$	MD6=L	$\overline{\text{WE0}}$	HiZ	H	H	開放
		MD6=H	PTM5	HiZ	PU	IU	開放
B16	PTM4/$\overline{\text{CS0}}$	MD6=L	$\overline{\text{CS0}}$	HiZ	H	H	開放
		MD6=H	PTM4	HiZ	PU	IU	開放
T26	NMI		NMI	I	I	I	プルアップ
AE7	PTB7		PTB7	HiZ	HiZ	I	プルアップ
AE8	PTB6		PTB6	HiZ	HiZ	I	プルアップ
AG6	PTB5		PTB5	HiZ	HiZ	I	プルアップ
AG7	PTB4		PTB4	HiZ	HiZ	I	プルアップ

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
AH6	PTB3		PTB3	HiZ	HiZ	I	プルアップ
AF7	PTB2		PTB2	HiZ	HiZ	I	プルアップ
AF8	PTB1		PTB1	HiZ	HiZ	I	プルアップ
R25	PTB0/TCLK		PTB0	HiZ	HiZ	I	プルアップ
C1	PTC7/IRQ7/$\overline{\text{IRL7}}$/PWMU0		PTC7	HiZ	HiZ	I	プルアップ
C2	PTC6/IRQ6/$\overline{\text{IRL6}}$/PWMU1		PTC6	HiZ	HiZ	I	プルアップ
B1	PTC5/IRQ5/$\overline{\text{IRL5}}$/PWMU2		PTC5	HiZ	HiZ	I	プルアップ
C3	PTC4/IRQ4/$\overline{\text{IRL4}}$/PWMU3		PTC4	HiZ	HiZ	I	プルアップ
D3	PTC3/IRQ3/$\overline{\text{IRL3}}$/PWMU4		PTC3	HiZ	HiZ	I	プルアップ
B2	PTC2/IRQ2/$\overline{\text{IRL2}}$/PWMU5		PTC2	HiZ	HiZ	I	プルアップ
D4	PTC1/IRQ1/$\overline{\text{IRL1}}$		PTC1	HiZ	HiZ	I	プルアップ
E4	PTC0/IRQ0/$\overline{\text{IRL0}}$		PTC0	HiZ	HiZ	I	プルアップ
AF26	PTP0/EVENT8/AN8		PTP0	I	I	I	プルアップ
AH25	PTP1/EVENT9/AN9		PTP1	I	I	I	プルアップ
AF25	PTP2/EVENT10/AN10		PTP2	I	I	I	プルアップ
AG26	PTP3/EVENT11/AN11		PTP3	I	I	I	プルアップ
AF28	PTP4/EVENT12/AN12		PTP4	I	I	I	プルアップ
AG27	PTP5/EVENT13/AN13		PTP5	I	I	I	プルアップ
AF27	PTP6/EVENT14/AN14		PTP6	I	I	I	プルアップ
AH27	PTP7/EVENT15/AN15		PTP7	I	I	I	プルアップ
J1	PTT0/PWMX0		PTT0	HiZ	PU	IU	開放
K1	PTT1/PWMX1		PTT1	HiZ	PU	IU	開放
J2	PTT2/PWMX2/STATUS0		PTT2	HiZ	PU	IU	開放
K2	PTT3/PWMX3/STATUS1		PTT3	HiZ	PU	IU	開放
H2	PTT7/PWMX7/AUDATA3/ MD2		PTT7	I	I	I	ストラップピン（MD2）の設定レベルを印加
H1	PTT6/PWMX6/AUDATA2		PTT6	I	I	I	VCCQに接続
J4	PTT5/PWMX5/AUDATA1/ FLSHSZ2		PTT5	I	I	IU	ストラップピン（FLSHSZ2）の設定レベルを印加
J3	PTT4/PWMX4/AUDATA0/ WPLOCK		PTT4	I	I	IU	ストラップピン（WPLOCK）の設定レベルを印加
V25	PTO7/SGPIO0-CLK/MD10		PTO7	I	I	I	ストラップピン（MD10）の設定レベルを印加
Y28	PTO6/SGPIO0-LOAD/MD8		PTO6	I	I	I	ストラップピン（MD8）の設定レベルを印加
Y27	PTO5/SGPIO0-DI		PTO5	HiZ	PU	IU	開放
W27	PTO4/SGPIO0-DO		PTO4	I	I	I	グランドに接続
D12	PTO3/SGPIO2-CLK/ COM1-TXD		PTO3	I	I	I	グランドに接続

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
A11	PTO2/SGPIO2-LOAD/ COM1-RXD/MD1		PTO2	I	I	I	ストラップピン（MD1）の設定レベルを印加
D13	PTO1/SGPIO2-DI/ COM1-RTS		PTO1	HiZ	PU	IU	開放
C12	PTO0/SGPIO2-DO/ COM1-CTS/MD0		PTO0	I	I	I	ストラップピン（MD0）の設定レベルを印加
A12	PTK7/COM2-TXD/ TXD1/SCK2		PTK7	HiZ	PU	IU	開放
C13	PTK6/COM2-RXD/RXD1		PTK6	HiZ	PU	IU	開放
E14	PTK5/$\overline{\text{COM2-RTS}}$/$\overline{\text{RTS1}}$		PTK5	HiZ	PU	IU	開放
B12	PTK4/$\overline{\text{COM2-CTS}}$/$\overline{\text{CTS1}}$		PTK4	HiZ	PU	IU	開放
D14	PTK3/$\overline{\text{COM2-DTR}}$/$\overline{\text{DTR1}}$		PTK3	HiZ	PU	IU	開放
A13	PTK2/$\overline{\text{COM2-DSR}}$/ DSR1/SCK4		PTK2	HiZ	PU	IU	開放
B13	PTK1/$\overline{\text{COM2-DCD}}$/ DCD1/SCK3		PTK1	HiZ	PU	IU	開放
E7	PTJ6/$\overline{\text{RTS3}}$		PTJ6	HiZ	PU	IU	開放
B6	PTJ5/$\overline{\text{CTS3}}$		PTJ5	HiZ	PU	IU	開放
B7	PTJ4/TXD3		PTJ4	HiZ	PU	IU	開放
A6	PTJ3/RXD3		PTJ3	HiZ	PU	IU	開放
C6	PTJ2/$\overline{\text{RTS4}}$		PTJ2	HiZ	PU	IU	開放
B4	PTJ1/RXD4		PTJ1	HiZ	PU	IU	開放
D6	PTJ0/TXD4		PTJ0	HiZ	PU	IU	開放
D15	PTL0/RAC-TXD/ TXD0/TXD2		PTL0	HiZ	PU	IU	開放
A14	PTL6/RAC-RXD/ RXD0/RXD2		PTL6	HiZ	PU	IU	開放
D16	PTL5/$\overline{\text{RAC-RTS}}$/$\overline{\text{RTS0}}$/$\overline{\text{CS5}}$		PTL5	HiZ	PU	IU	開放
B14	PTL4/$\overline{\text{RAC-CTS}}$/$\overline{\text{CTS0}}$/$\overline{\text{CS6}}$		PTL4	HiZ	PU	IU	開放
C14	PTL3/$\overline{\text{RAC-DTR}}$/$\overline{\text{DTR0}}$		PTL3	HiZ	PU	IU	開放
G1	PTL2/$\overline{\text{RAC-DSR}}$/$\overline{\text{DSR0}}$/ AUDSYNC		PTL2	HiZ	PU	IU	開放
H3	PTL1/$\overline{\text{RAC-DCD}}$/$\overline{\text{DCD0}}$/ AUDCK		PTL1	HiZ	PU	IU	開放
R27	XTAL		XTAL	L	L	L	—
R28	EXTAL		EXTAL	I	I	I	—
F1	$\overline{\text{PRESET}}$		$\overline{\text{PRESET}}$	I	I	I	—
U26	$\overline{\text{SPILOAD}}$		$\overline{\text{SPILOAD}}$	L	L	L	開放
C18	TCK		TCK	I	I	I	開放
B18	TMS		TMS	IU	IU	IU	開放
B17	$\overline{\text{TRST}}$		$\overline{\text{TRST}}$	IU	IU	IU	グランド、又は$\overline{\text{PRESET}}$端子に接続

Pin No.	端子名	ストラップピン	端子機能	端子状態			未使用端子処理
				期間A	期間B	期間C	
D18	TDI		TDI	IU	IU	IU	開放
C17	TDO		TDO	HiZ	HiZ	HiZ	開放
U25	PTN4/SGPIO1-CLK/ BOOTSZ2		PTN4	I	I	I	ストラップピン(BOOTSZ2)の設定レベルを印加
W28	PTN3/SGPIO1-LOAD/ BOOTSZ0		PTN3	I	I	I	ストラップピン(BOOTSZ0)の設定レベルを印加
V26	PTN2/SGPIO1-DO/ BOOTSZ1		PTN2	I	I	I	ストラップピン(BOOTSZ1)の設定レベルを印加
V27	PTN1/SGPIO1-DI		PTN1	HiZ	PU	IU	開放
T25	PTN0/SUB-CLKIN		PTN0	HiZ	PU	IU	開放
A18	MPMD		MPMD	IU	IU	IU	開放
R26	PTK0/CLKOUT		PTK0	HiZ	PU	IU	開放
K5	$\overline{\text{ASEBRK}}$/BRKACK		$\overline{\text{ASEBRK}}$/ BRKACK	IU	IU	IU	開放
AD14	RGMII-VREF		RGMII-VREF	I(注6)	I(注6)	I(注6)	グランド

[記号説明]

HiZ : ハイインピーダンス
PU : 内部プルアップ抵抗によるプルアップ
I : 入力
IU : 内部プルアップ抵抗によるプルアップ入力
H : Hレベル出力
L : Lレベル出力
OU : 内部プルアップ抵抗によるプルアップ出力

注1. DDR3基準電圧入力
2. DDR3テスト用基準電圧入力
3. 期間CでL出力になりますので、ストラップピンの設定レベル入力と衝突しないように処理してください。
4. PUCRレジスタでPTU0～7を選択するまでは、リザーブ端子となります。
5. ADC基準電圧入力
6. RGMII基準電圧入力

F. ストラップピン一覧表

表F.1 ストラップピン一覧表

端子名	機能	説明	ストラップピン（注1）
MPMD	チップモード指定	L：エミュレーションモード H：ノーマルモード（チップモード）	Static
MD2、MD1、MD0	クロック動作モード設定	LLL ：クロック動作モード0（注2） LLH ：クロック動作モード1（注3） 上記以外 ：設定禁止	Static
MD3	バスモード設定	LBSCエリア0のバス幅を設定 L：16ビット H：8ビット	Static
MD5	エンディアン設定	LBSC、DBSC3バス及びSHwyバス用にSH-4Aのエンディアンを設定 L：ビッグエンディアン H：リトルエンディアン	Static
MD6、MD9	ブートモード設定	LL ：LBSCブート HL ：2KB SPIブート 上記以外 ：設定禁止	Static
MD8	クロック端子機能設定	L：外部クロック入力 （EXTAL端子に48MHzの外部クロック信号を入力） H：水晶発振子接続 （EXTAL/XTAL端子間に48MHzの水晶発振子を接続）	Static
MD10	CPUブートモード設定	L：32ビットブートモード H：29ビットブートモード	Static
FLSHSZ2、1、0	SPI1フラッシュメモリサイズ設定	LLL ：2MB（3バイトアドレッシングモード） LLH ：4MB（3バイトアドレッシングモード） LHL ：8MB（3バイトアドレッシングモード） LHH ：16MB（3バイトアドレッシングモード） HLL ：32MB（4バイトアドレッシングモード） HLH ：64MB（4バイトアドレッシングモード） HHL ：128MB（4バイトアドレッシングモード） HHH ：256MB（4バイトアドレッシングモード）	Static
WPSZ1、WPSZ0	SPI1フラッシュライトプロテクトエリアサイズ設定	LL ：256 KB LH ：512 KB HL ：1 MB HH ：2 MB	Static
$\overline{\text{WP}}$	SPI1フラッシュライトプロテクト設定	L ：SPI1ライトプロテクト有効 H ：SPI1ライトプロテクト無効	Dynamic
$\overline{\text{WPLOCK}}$	SPI1 ライトプロテクトコマンドレジスタロック	L ：ライトプロテクトコマンドレジスタは、SH-4Aから読み出しのみ可能 H ：ライトプロテクトコマンドレジスタは、BOOTWP = Hのとき、SH-4Aから読み出し及び書き込みが可能	Static

端子名	機能	説明	ストラップピン（注1）
BOOTSZ2、1、0	SPI0ブートフラッシュメモリ（ABR用）サイズ設定	LLL ：1MB （3バイトアドレッシングモード） LLH ：2MB （3バイトアドレッシングモード） LHL ：4MB （3バイトアドレッシングモード） LHH ：8MB （3バイトアドレッシングモード） HLL ：16MB （3バイトアドレッシングモード） HLH ：32MB （4バイトアドレッシングモード） HHL ：64MB （4バイトアドレッシングモード） HHH ：128MB （4バイトアドレッシングモード）	Static
BOOTWPSZ1、BOOTWPSZ0	SPIブートフラッシュライトプロテクトエリアサイズ設定	LL ：64 KB LH ：128 KB HL ：256 KB HH ：512 KB	Static
BOOTFMS	SPIブートフラッシュメモリ領域選択 （ABR開始アドレス）	L：SPIフラッシュメモリエリアの下位半分からロード H：SPIフラッシュメモリエリアの上位半分からロード	Static
$\overline{\text{BOOTWP}}$	SPI0ブートフラッシュライトプロテクト設定	L ：SPI0ライトプロテクト有効 H ：SPI0ライトプロテクト無効	Dynamic
WDTFOT1、WDTFOT0	ウォッチドッグタイマのABR遅延時間設定	LL ：ABR機能無効 LH ：22 秒 HL ：44 秒 HH ：88 秒	Static

注1. Static ：$\overline{\text{PRESET}}$端子入力の立ち上がりで入力レベルがラッチされます。
パワーオンリセット後、これらの端子は他の機能に使用できます。
Dynamic ：パワーオンリセットに関係なく入力レベルは有効です。
2. SH-4Aクロック = 384 MHz、SHwyクロック = 192 MHz、周辺クロック = 48 MHz
3. SH-4Aクロック = 576 MHz、SHwyクロック = 192 MHz、周辺クロック = 48 MHz

G. 各モジュールの端子設定

各モジュールの関連端子は、以下の3種類に分けられます。

- 専用端子 ：単一機能が割り当てられている端子
- ダブルファンクション端子 ：GPIOと兼用になっている端子
- トリプルファンクション端子：GPIO及びその他の機能端子と兼用になっている端子

各モジュールで使用する端子で、他の機能端子と兼用になっている端子については、以下の設定も必要です。該当のPnCR（n＝A～O、Q～Z）レジスタ及びPSELi（i＝0～7）レジスタの詳細については、「41. 汎用入出力ポート（GPIO）」を参照してください。

- ダブルファンクション端子
  ①PnCRの該当ビットを"00"にして各端子機能に切り替えてください。
- トリプルファンクション端子
  ①PSELiで使用する端子を選択してください。
  ②PnCRの該当ビットを"00"にして各端子機能に切り替えてください。

改訂記録	SH7753グループ ハードウェアマニュアル

誤記修正や表現のみの変更は含みません。
概要のみを記載していますので、詳細は該当ページを参照してください。

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.07.31	—	初版発行
1.10	2013.12.25	28-22	MCEビット 【変更前】 「注．CTS は入力値にかかわらず0 アクティブに、$\overline{\text{RTS}}$ 出力も0 に固定します。」 【変更後】 「注．CTS は入力値にかかわらず0 アクティブに固定され、$\overline{\text{RTS}}$出力はハイインピーダンスになります。」
		35-18	(12) リンク割り込み許可レジスタ（INTLINKENR）のビット10をリザーブビットに変更
		35-19	(13) リンク割り込み要因レジスタ（INTLINKR）のビット10をリザーブビットに変更
		35-60	8行目一文追加 「また、LINK レジスタに要因ビットが存在する割り込みをクリアする場合は、表35.6 に従って関連するLINK レジスタの割り込み許可信号も一度全て不許可にした後、許可に書き戻してください。」
			図35.10　TXE削除
			図35.10の下に本文追加
		35-61、62	表35.6、本文追加
		47-1	表47.1　動作温度 【変更前】0 ～ +70 【変更後】-20 ～ +70

SH7753グループ ユーザーズマニュアル
ハードウェア編

発行年月日　2013年12月25日　Rev.1.10

発行　　ルネサス エレクトロニクス株式会社
　　〒211-8668　神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口 http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2013 Renesas Electronics Corporation. All rights reserved.
Colophon 2.0

R01UH0433JJ0110 Rev.1.10
2013.12.25

SH7753 グループ

ルネサス エレクトロニクス株式会社

R01UH0433JJ0110