

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7641

ハードウェアマニュアル

ルネサス32ビットRISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7641 シリーズ

SH7641

R4S76410

EOL Product

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用端子で、ウィークキーパ回路が付加していない端子はハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

【注意】未使用端子で、ウィークキーパ回路が付加されている端子は特に入力レベルを固定する必要はありません。

ウィークキーパ回路は、I/O 端子に内蔵され、I/O 端子が外部からドライブされていないときに、入力をハイまたはローレベルに固定する回路です。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 電源 (0V) 端子の処理

【注意】システムグランド (電源、0V) の V_{SSQ} 、 V_{SS} 、 $V_{SS} (PLL1)$ 、 $V_{SS} (PLL2)$ 間には、電位差をつけないようにしてください。

システムグランド間に電位差が発生すると、誤動作を引き起こしたり、貫通電流が流れて、待機時電流が多くなる恐れがあります。システムグランドの V_{SSQ} 、 V_{SS} 、 $V_{SS} (PLL1)$ 、 $V_{SS} (PLL2)$ 間には、電位差をつけないようにしてください。

品質に関する注意事項

本品は前工程を外部ファウンドリに製造委託しておりますが、弊社の品質保証体制のもとでお客様に対応致します。
ただし、あきらかに製造不良品が弊社起因であると認められる場合には、双方合意の上、当該品の現品交換を限度として対応させていただきます。

なお、下記に本 LSI の静電破壊強度（参考値）を示します。

本製品の静電破壊強度（参考値）

Machine Model 法	± 200V 以上
Human Bodey Model 法	± 1500V 以上
Charged Device Model 法	± 1000V 以上

本 LSI の品質保証の詳細に関しましては、弊社営業窓口までお問い合わせください。

EOL Product

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・システム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。（使用上の注意事項は必要により記載されます。）

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で修正または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上で
ご確認ください。

11. 索引

はじめに

SH7641 は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイクロプロセッサです。

対象者 このマニュアルは、SH7641 を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7641 のハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。
なお、実行命令の詳細については、「SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 対象製品と製品略称の表記について。

本書では、下記の製品について説明をします。

製品分類と製品略称	基本製品型名
基本分類	
SH7641	R4S76410

- 機能全体を理解しようとするとき。
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
別冊の「SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル」を参照してください。
ただし、MMU関連機能は本製品では非搭載です。たとえばLDTLB命令のコードはNOP命令として実行されず。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。
XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)
ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。
数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx
信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

- SH7641に関するユーザーズマニュアル

資料名	資料番号
SH-3/SH-3E/SH3-DSP ソフトウェアマニュアル	RJJ09B0228

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
SuperH RISC engine C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ V.9.00 ユーザーズマニュアル	RJJ10B0156
SuperH RISC engine High-Performance Embedded Workshop3 ユーザーズマニュアル	RJJ10B0028
SuperH RISC engine High-Performance Embedded Workshop3 チュートリアル	RJJ10B0026

- アプリケーションノート

資料名	資料番号
SuperH RISC engine C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0557

略語の説明

ADC	Analog to Digital Converter アナログ – デジタル変換器
ALU	Arithmetic Logic Unit 演算論理回路
bps	bits per second ビット数 / 秒
BSC	Bus State Controller バスステートコントローラ
CODEC	Coder-Decoder コーデック
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
CRC	Cyclic Redundancy Check 巡回冗長検査
CSP	Chip Size Package チップサイズパッケージ
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
DSP	Digital Signal Processor デジタルシグナルプロセッサ
ESD	Electrostatic Discharge 静電放電
ECC	Error Checking and Correction エラー検出 / 訂正
etu	Elementary Time Unit ビット時間
FIFO	First-In First-Out 先入れ先出しレジスタ
Hi-Z	High Impedance ハイインピーダンス
H-UDI	User Debugging Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ

LSB	Least Significant Bit 最下位ビット
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PFC	Pin Function Controller ピンファンクションコントローラ
PLL	Phase Locked Loop 位相ロックループ
RAM	Random Access Memory ランダムアクセスメモリ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
ROM	Read Only Memory リードオンリーメモリ
SCIF	Serial Communication Interface with FIFO FIFO 付きシリアルコミュニケーションインタフェース
SOF	Start Of Frame フレーム開始信号
TAP	Test Access Port テスト端子
T.B.D	To Be Determined 未定
UBC	User Break Controller ユーザブレイクコントローラ
USB	Universal Serial Bus ユニバーサルシリアルバス
WDT	Watch Dog Timer ウォッチドッグタイマ

目次

1. 概要	1-1
1.1 特長	1-1
1.2 ブロック図	1-5
1.3 ピン配置図	1-6
1.4 端子の機能	1-15
2. CPU	2-1
2.1 レジスタ構成	2-1
2.1.1 汎用レジスタ	2-4
2.1.2 コントロールレジスタ	2-6
2.1.3 システムレジスタ	2-9
2.1.4 DSP レジスタ	2-9
2.2 データ形式	2-14
2.2.1 レジスタのデータ形式 (非 DSP タイプ)	2-14
2.2.2 DSP タイプデータ形式	2-14
2.2.3 メモリのデータ形式	2-15
2.3 CPUコア命令の特長	2-16
2.4 命令形式	2-19
2.4.1 CPU 命令のアドレッシングモード	2-19
2.4.2 DSP データアドレッシング	2-22
2.4.3 CPU 命令の命令形式	2-28
2.4.4 DSP 命令の命令形式	2-30
2.5 命令セット	2-34
2.5.1 CPU 命令の命令セット	2-34
2.6 DSP拡張機能用の命令	2-45
2.6.1 はじめに	2-45
2.6.2 CPU 用追加システム制御命令	2-46
2.6.3 DSP データ命令用シングル、ダブルデータ転送	2-47
2.6.4 DSP 演算命令の命令セット	2-50
3. DSP 演算	3-1
3.1 DSPユニットのデータ演算	3-1
3.1.1 ALU 固定小数点演算	3-1
3.1.2 ALU 整数演算	3-5

3.1.3	ALU 論理演算.....	3-7
3.1.4	固定小数点乗算.....	3-9
3.1.5	シフト演算.....	3-10
3.1.6	MSB 検出命令.....	3-13
3.1.7	丸め演算.....	3-16
3.1.8	オーバフロー防止機能.....	3-17
3.1.9	データ転送命令.....	3-18
3.1.10	ローカルデータ移動命令.....	3-21
3.1.11	オペランドの競合.....	3-22
3.2	DSPアドレッシング.....	3-23
3.2.1	DSP リピートコントロール.....	3-23
3.2.2	DSP データアドレッシング.....	3-30
4.	クロックパルス発振器 (CPG).....	4-1
4.1	特長.....	4-1
4.2	入出力端子.....	4-4
4.3	クロック動作モード.....	4-5
4.4	レジスタの説明.....	4-8
4.4.1	周波数制御レジスタ (FRQCR).....	4-8
4.5	周波数変更方法.....	4-10
4.5.1	逡倍率の変更.....	4-10
4.5.2	分周率の変更.....	4-10
4.6	ボード設計上の注意事項.....	4-11
5.	ウォッチドッグタイマ (WDT).....	5-1
5.1	特長.....	5-1
5.2	レジスタの説明.....	5-3
5.2.1	ウォッチドッグタイマカウンタ (WTCNT).....	5-3
5.2.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTC SR).....	5-3
5.2.3	レジスタアクセス時の注意.....	5-5
5.3	WDTの使用法.....	5-6
5.3.1	スタンバイ解除の手順.....	5-6
5.3.2	周波数変更の手順.....	5-6
5.3.3	ウォッチドッグタイマモードの使用法.....	5-7
5.3.4	インターバルタイマモードの使用法.....	5-7
5.4	使用上の注意事項.....	5-8
6.	低消費電力モード.....	6-1
6.1	特長.....	6-1
6.1.1	低消費電力モードの種類.....	6-1

6.1.2	リセット	6-2
6.1.3	入出力端子	6-2
6.2	レジスタの説明	6-3
6.2.1	スタンバイコントロールレジスタ (STBCR)	6-3
6.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	6-3
6.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	6-4
6.2.4	スタンバイコントロールレジスタ 4 (STBCR4)	6-6
6.3	動作説明	6-7
6.3.1	スリープモード	6-7
6.3.2	スタンバイモード	6-7
6.3.3	モジュールスタンバイ機能	6-9
6.3.4	STATUS 端子の変化タイミング	6-10
7.	キャッシュ	7-1
7.1	特長	7-1
7.1.1	キャッシュの構成	7-2
7.2	レジスタの説明	7-4
7.2.1	キャッシュ制御レジスタ 1 (CCR1)	7-4
7.2.2	キャッシュ制御レジスタ 2 (CCR2)	7-5
7.3	キャッシュの動作	7-8
7.3.1	キャッシュの検索	7-8
7.3.2	リード動作	7-9
7.3.3	プリフェッチ動作	7-9
7.3.4	ライト動作	7-9
7.3.5	ライトバックバッファ	7-10
7.3.6	キャッシュと外部メモリとのコヒーレンシ	7-10
7.4	メモリ割り付けキャッシュの構成	7-10
7.4.1	アドレスアレイ	7-10
7.4.2	データアレイ	7-11
7.4.3	使用例	7-13
8.	X/Y メモリ	8-1
8.1	特長	8-1
8.2	CPUからのX/Yメモリアクセス	8-2
8.3	DSPからのX/Yメモリアクセス	8-2
8.4	DMACからのX/Yメモリアクセス	8-3
8.5	使用上の注意	8-3
8.6	スリープモード	8-3
8.7	アドレスエラー	8-3

9.	例外処理	9-1
9.1	レジスタの説明	9-1
9.1.1	TRAPA 例外レジスタ (TRA)	9-2
9.1.2	例外事象レジスタ (EXPEVT)	9-2
9.1.3	割り込み事象レジスタ 2 (INTEVT2)	9-3
9.2	例外処理の機能	9-3
9.2.1	例外処理の流れ	9-3
9.2.2	例外処理ベクタアドレス	9-4
9.2.3	例外コード	9-4
9.2.4	例外要求と BL ビットの関係 (多重例外防止)	9-4
9.2.5	例外要因の受け付けタイミングと優先順位	9-5
9.3	個別例外の動作説明	9-7
9.3.1	リセット	9-7
9.3.2	一般例外	9-8
9.4	DSP拡張機能有効時の例外処理	9-11
9.4.1	不当命令例外、スロット不当命令例外	9-11
9.4.2	リピート制御中の例外	9-11
9.5	LSI内部の初期化における注意事項	9-16
9.6	使用上の注意事項	9-17
10.	割り込みコントローラ (INTC)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-3
10.3.1	割り込み優先レベル設定レジスタ B ~ J (IPRB ~ IPRJ)	10-4
10.3.2	割り込みコントロールレジスタ 0 (ICR0)	10-5
10.3.3	割り込みコントロールレジスタ 1 (ICR1)	10-6
10.3.4	割り込みコントロールレジスタ 3 (ICR3)	10-7
10.3.5	割り込み要求レジスタ 0 (IRR0)	10-8
10.3.6	割り込みマスクレジスタ 0 ~ 10 (IMR0 ~ 10)	10-8
10.3.7	割り込みマスククリアレジスタ 0 ~ 10 (IMCR0 ~ 10)	10-9
10.4	割り込み要因	10-11
10.4.1	NMI 割り込み	10-11
10.4.2	H-UDI 割り込み	10-11
10.4.3	IRQ 割り込み	10-11
10.4.4	内蔵周辺モジュール割り込み	10-12
10.4.5	割り込み例外処理および優先順位	10-12
10.5	動作説明	10-15
10.5.1	割り込み動作の流れ	10-15
10.5.2	多重割り込み	10-17

10.6	使用上の注意点	10-17
10.6.1	USB バスパワー制御を行う上での注意点	10-17
10.6.2	割り込み要因クリアのタイミング	10-17
11.	ユーザブレイクコントローラ (UBC)	11-1
11.1	特長	11-1
11.2	レジスタの説明	11-3
11.2.1	ブレイクアドレスレジスタ A (BARA)	11-3
11.2.2	ブレイクアドレスマスクレジスタ A (BAMRA)	11-4
11.2.3	ブレイクバスサイクルレジスタ A (BBRA)	11-4
11.2.4	ブレイクアドレスレジスタ B (BARB)	11-5
11.2.5	ブレイクアドレスマスクレジスタ B (BAMRB)	11-6
11.2.6	ブレイクデータレジスタ B (BDRB)	11-6
11.2.7	ブレイクデータマスクレジスタ B (BDMRB)	11-7
11.2.8	ブレイクバスサイクルレジスタ B (BBRB)	11-8
11.2.9	ブレイクコントロールレジスタ (BRCR)	11-9
11.2.10	実行回数ブレイクレジスタ (BETR)	11-11
11.2.11	ブランチソースレジスタ (BRSR)	11-12
11.2.12	ブランチデスティネーションレジスタ (BRDR)	11-12
11.3	動作説明	11-13
11.3.1	ユーザブレイク動作の流れ	11-13
11.3.2	命令フェッチサイクルでのブレイク	11-14
11.3.3	データアクセスサイクルでのブレイク	11-15
11.3.4	X メモリまたは Y メモリバスサイクルでのブレイク	11-16
11.3.5	シーケンシャルブレイク	11-16
11.3.6	退避されるプログラムカウンタの値	11-17
11.3.7	PC トレース	11-18
11.3.8	使用例	11-18
11.4	使用上の注意事項	11-23
12.	バスステートコントローラ (BSC)	12-1
12.1	特長	12-1
12.2	入出力端子	12-4
12.3	エリアの概要	12-5
12.3.1	空間分割	12-5
12.3.2	シャドウ空間	12-5
12.3.3	アドレスマップ	12-6
12.3.4	エリア 0 メモリタイプおよびメモリバス幅	12-8
12.4	レジスタの説明	12-8
12.4.1	共通コントロールレジスタ (CMNCR)	12-9

12.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、2、3、4、5A、5B、6A、6B)	12-12
12.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、2、3、4、5A、5B、6A、6B)	12-15
12.4.4	SDRAM コントロールレジスタ (SDCR)	12-37
12.4.5	リフレッシュタイムコントロール/ステータスレジスタ (RTCSCR)	12-40
12.4.6	リフレッシュタイムカウンタ (RTCNT)	12-41
12.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR)	12-41
12.4.8	リセットウェイトカウンタ (RWCNT)	12-42
12.5	動作説明	12-42
12.5.1	エンディアン/アクセスサイズとデータアライメント	12-42
12.5.2	通常空間インタフェース	12-45
12.5.3	アクセスウェイト制御	12-50
12.5.4	\overline{CSn} アサート期間拡張	12-52
12.5.5	MPX-I/O インタフェース	12-53
12.5.6	SDRAM インタフェース	12-56
12.5.7	バースト ROM (クロック非同期) インタフェース	12-89
12.5.8	バイト選択付 SRAM インタフェース	12-90
12.5.9	バースト MPX-I/O インタフェース	12-95
12.5.10	バースト ROM (クロック同期)	12-99
12.5.11	アクセスサイクル間ウェイト	12-100
12.5.12	バスアービトレーション	12-109
12.5.13	その他	12-110
13.	ダイレクトメモリアccessコントローラ (DMAC)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	DMA ソースアドレスレジスタ (SAR)	13-4
13.3.2	DMA デスティネーションアドレスレジスタ (DAR)	13-4
13.3.3	DMA トランスファカウンタレジスタ (DMATCR)	13-4
13.3.4	DMA チャネルコントロールレジスタ (CHCR)	13-5
13.3.5	DMA オペレーションレジスタ (DMAOR)	13-10
13.3.6	DMA 拡張リソースセクタ 0、1 (DMARS0、1)	13-13
13.4	動作説明	13-15
13.4.1	転送フロー	13-15
13.4.2	DMA 転送要求	13-17
13.4.3	チャネルの優先順位	13-20
13.4.4	DMA 転送の種類	13-23
13.4.5	バスサイクルのステート数と \overline{DREQ} 端子のサンプリングタイミング	13-31
13.4.6	DMA 転送終了	13-34
13.4.7	使用上の注意事項	13-35

13.4.8	外部アクセスで DACK が分割された場合の DREQ サンプリングに関する注意事項	13-36
14.	Uメモリ	14-1
14.1	特長	14-1
14.2	CPUからのUメモリアクセス	14-2
14.3	DSPからのUメモリアクセス	14-2
14.4	DMACからのUメモリアクセス	14-2
14.5	使用上の注意	14-3
14.6	スリープモード	14-3
14.7	アドレスエラー	14-3
15.	ユーザデバッグインタフェース (H-UDI)	15-1
15.1	特長	15-1
15.2	入出力端子	15-2
15.3	レジスタの説明	15-3
15.3.1	バイパスレジスタ (SDBPR)	15-3
15.3.2	インストラクションレジスタ (SDIR)	15-3
15.3.3	バウンダリスキャンレジスタ (SDBSR)	15-4
15.3.4	ID レジスタ (SDID)	15-12
15.4	動作説明	15-13
15.4.1	TAP コントローラ	15-13
15.4.2	リセット構成	15-14
15.4.3	TDO 出力タイミング	15-14
15.4.4	H-UDI リセット	15-15
15.4.5	H-UDI 割り込み	15-15
15.5	バウンダリスキャン	15-16
15.5.1	サポートする命令	15-16
15.5.2	注意事項	15-17
15.6	使用上の注意事項	15-17
16.	I ² C バスインタフェース 2 (IIC2)	16-1
16.1	特長	16-1
16.2	入出力端子	16-4
16.3	レジスタの説明	16-4
16.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	16-5
16.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	16-6
16.3.3	I ² C バスモードレジスタ (ICMR)	16-8
16.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	16-9
16.3.5	I ² C バスステータスレジスタ (ICSR)	16-10
16.3.6	スレーブアドレスレジスタ (SAR)	16-12

16.3.7	I ² C バス送信データレジスタ (ICDRT)	16-12
16.3.8	I ² C バス受信データレジスタ (ICDRR)	16-13
16.3.9	I ² C バスシフトレジスタ (ICDRS)	16-13
16.3.10	NF2CYC レジスタ (NF2CYC)	16-13
16.4	動作説明	16-14
16.4.1	I2C バスフォーマット	16-14
16.4.2	マスタ送信動作	16-15
16.4.3	マスタ受信動作	16-17
16.4.4	スレーブ送信動作	16-19
16.4.5	スレーブ受信動作	16-21
16.4.6	クロック同期式シリアルフォーマット	16-23
16.4.7	ノイズ除去回路	16-26
16.4.8	使用例	16-26
16.5	割り込み要求	16-31
16.6	ビット同期回路	16-32
16.7	使用上の注意事項	16-33
16.7.1	停止条件の発行および開始条件 (再送) の発行について	16-33
16.7.2	マルチマスタで使用時の転送レート設定値の制限について	16-33
16.7.3	マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について	16-33
16.7.4	マスタ受信モードの注意事項について	16-34
17.	コンペアマッチタイマ (CMT)	17-1
17.1	特長	17-1
17.2	レジスタの説明	17-2
17.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	17-2
17.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	17-3
17.2.3	コンペアマッチカウンタ (CMCNT)	17-4
17.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	17-4
17.3	動作説明	17-5
17.3.1	期間カウント動作	17-5
17.3.2	CMCNT カウントタイミング	17-5
17.4	コンペアマッチ	17-6
17.4.1	コンペアマッチフラグのセットタイミング	17-6
17.4.2	DMA 転送要求と割り込み要求	17-6
17.4.3	コンペアマッチフラグのクリアタイミング	17-6
18.	マルチファンクションタイマパルスユニット (MTU)	18-1
18.1	特長	18-1
18.2	入出力端子	18-5
18.3	レジスタの説明	18-6

18.3.1	タイマコントロールレジスタ (TCR)	18-8
18.3.2	タイマモードレジスタ (TMDR)	18-11
18.3.3	タイマ I/O コントロールレジスタ (TIOR)	18-12
18.3.4	タイマインタラプトイネーブルレジスタ (TIER)	18-29
18.3.5	タイマステータスレジスタ (TSR)	18-30
18.3.6	タイマカウンタ (TCNT)	18-32
18.3.7	タイマジェネラルレジスタ (TGR)	18-32
18.3.8	タイマスタートレジスタ (TSTR)	18-33
18.3.9	タイマシンクロレジスタ (TSYR)	18-34
18.3.10	タイマアウトプットマスタイネーブルレジスタ (TOER)	18-35
18.3.11	タイマアウトプットコントロールレジスタ (TOCR)	18-36
18.3.12	タイマゲートコントロールレジスタ (TGCR)	18-37
18.3.13	タイマサブカウンタ (TCNTS)	18-39
18.3.14	タイマデッドタイムデータレジスタ (TDDR)	18-39
18.3.15	タイマ周期データレジスタ (TCDR)	18-39
18.3.16	タイマ周期バッファレジスタ (TCBR)	18-39
18.3.17	バスマスタとのインタフェース.....	18-39
18.4	動作説明	18-40
18.4.1	基本動作	18-40
18.4.2	同期動作	18-45
18.4.3	バッファ動作.....	18-47
18.4.4	カスケード接続動作.....	18-50
18.4.5	PWM モード	18-51
18.4.6	位相計数モード.....	18-56
18.4.7	リセット同期 PWM モード.....	18-62
18.4.8	相補 PWM モード.....	18-65
18.5	割り込み要因	18-86
18.5.1	割り込み要因と優先順位.....	18-86
18.5.2	DMA の起動.....	18-88
18.5.3	A/D 変換器の起動.....	18-88
18.6	動作タイミング	18-89
18.6.1	入出力タイミング.....	18-89
18.6.2	割り込み信号タイミング.....	18-94
18.7	使用上の注意事項	18-97
18.7.1	モジュールスタンバイモードの設定	18-97
18.7.2	入力クロックの制限事項.....	18-97
18.7.3	周期設定上の注意事項.....	18-97
18.7.4	TCNT のライトとクリアの競合.....	18-98
18.7.5	TCNT のライトとカウントアップの競合.....	18-98
18.7.6	TGR のライトとコンペアマッチの競合	18-99
18.7.7	バッファレジスタのライトとコンペアマッチの競合	18-100

18.7.8	TGR のリードとインプットキャプチャの競合	18-101
18.7.9	TGR のライトとインプットキャプチャの競合	18-101
18.7.10	バッファレジスタのライトとインプットキャプチャの競合	18-102
18.7.11	カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合	18-103
18.7.12	相補 PWM モード停止時のカウンタ値	18-105
18.7.13	相補 PWM モードでのバッファ動作の設定	18-105
18.7.14	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	18-105
18.7.15	リセット同期 PWM モードのオーバフローフラグ	18-106
18.7.16	オーバフロー / アンダフローとカウンタクリアの競合	18-107
18.7.17	TCNT のライトとオーバフロー / アンダフローの競合	18-108
18.7.18	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の 注意事項	18-108
18.7.19	PWM モード、リセット同期 PWM モードの出力レベル	18-108
18.7.20	モジュールスタンバイ時の割り込み	18-109
18.7.21	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	18-109
18.8	MTU出力端子の初期化方法	18-109
18.8.1	動作モード	18-109
18.8.2	リセットスタート時の動作	18-109
18.8.3	動作中の異常などによる再設定時の動作	18-110
18.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	18-110
18.9	ポートアウトプットイネーブル (POE)	18-130
18.9.1	特長	18-130
18.9.2	端子構成	18-132
18.9.3	レジスタの説明	18-132
18.9.4	動作説明	18-136
19.	FIFO 付きシリアルコミュニケーション インタフェース (SCIF)	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-3
19.3.1	レシーブシフトレジスタ (SCRSR)	19-4
19.3.2	レシーブ FIFO データレジスタ (SCFRDR)	19-5
19.3.3	トランスミットシフトレジスタ (SCTSR)	19-5
19.3.4	トランスミット FIFO データレジスタ (SCFTDR)	19-5
19.3.5	シリアルモードレジスタ (SCSMR)	19-6
19.3.6	シリアルコントロールレジスタ (SCSCR)	19-8
19.3.7	シリアルステータスレジスタ (SCFSR)	19-10
19.3.8	ビットレートレジスタ (SCBRR)	19-15
19.3.9	FIFO コントロールレジスタ (SCFCR)	19-21
19.3.10	FIFO データ数レジスタ (SCFDR)	19-23
19.3.11	シリアルポートレジスタ (SCSPTR)	19-24

19.3.12	ラインステータスレジスタ (SCLSR)	19-26
19.4	動作説明	19-27
19.4.1	概要	19-27
19.4.2	調歩同期式モード時の動作	19-29
19.4.3	クロック同期式モード時の動作	19-38
19.5	SCIF割り込み要因とDMAC	19-47
19.6	使用上の注意	19-48
20.	USB ファンクションモジュール	20-1
20.1	特長	20-1
20.1.1	ブロック図	20-2
20.2	入出力端子	20-2
20.3	レジスタの説明	20-3
20.3.1	USB 割り込みフラグレジスタ 0 (USBIFR0)	20-4
20.3.2	USB 割り込みフラグレジスタ 1 (USBIFR1)	20-5
20.3.3	USB 割り込みフラグレジスタ 2 (USBIFR2)	20-6
20.3.4	USB 割り込み選択レジスタ 0 (USBISR0)	20-6
20.3.5	USB 割り込み選択レジスタ 1 (USBISR1)	20-7
20.3.6	USB 割り込みイネーブルレジスタ 0 (USBIER0)	20-7
20.3.7	USB 割り込みイネーブルレジスタ 1 (USBIER1)	20-8
20.3.8	USB 割り込みイネーブルレジスタ 2 (USBIER2)	20-8
20.3.9	USBEP0i データレジスタ (USBEPDR0i)	20-8
20.3.10	USBEP0o データレジスタ (USBEPDR0o)	20-9
20.3.11	USBEP0s データレジスタ (USBEPDR0s)	20-9
20.3.12	USBEP1 データレジスタ (USBEPDR1)	20-9
20.3.13	USBEP2 データレジスタ (USBEPDR2)	20-10
20.3.14	USBEP3 データレジスタ (USBEPDR3)	20-10
20.3.15	USBEP0o 受信データサイズレジスタ (USBPSZ0o)	20-10
20.3.16	USBEP1 受信データサイズレジスタ (USBPSZ1)	20-10
20.3.17	USB トリガレジスタ (USBTRG)	20-11
20.3.18	USB データステータスレジスタ (USBDASTS)	20-12
20.3.19	USBFIFO クリアレジスタ (USBFCLR)	20-13
20.3.20	USBDMA 転送設定レジスタ (USBDMAR)	20-14
20.3.21	USB エンドポイントストールレジスタ (USBEPSTL)	20-15
20.3.22	USB トランシーバコントロールレジスタ (USBXVERCR)	20-15
20.3.23	USB パスパワーコントロールレジスタ (USBCTRL)	20-16
20.4	動作説明	20-17
20.4.1	ケーブル接続時	20-17
20.4.2	ケーブル切断時	20-18
20.4.3	コントロール転送	20-19

20.4.4	EP1 バルクアウト転送 (2 面 FIFO)	20-25
20.4.5	EP2 バルクイン転送 (2 面 FIFO)	20-27
20.4.6	EP3 インタラプトイン転送	20-29
20.5	USB標準コマンドとクラス/ベンダーコマンドの処理	20-30
20.5.1	コントロール転送で送信されるコマンドの処理	20-30
20.6	ストール動作	20-31
20.6.1	アプリケーションが強制的にストールさせたい場合	20-31
20.6.2	USB ファンクションモジュールが自動的にストールさせる場合	20-33
20.7	DMA転送動作	20-34
20.7.1	エンドポイント 1 に対する DMA 転送	20-34
20.7.2	エンドポイント 2 に対する DMA 転送	20-35
20.8	USB外部回路例	20-36
20.9	USBバスパワー方式説明	20-38
20.9.1	USB バスパワー動作説明	20-38
20.9.2	USB バスパワー使用例	20-39
20.10	使用上の注意	20-43
20.10.1	セットアップデータ受信について	20-43
20.10.2	FIFO のクリアについて	20-43
20.10.3	データレジスタのオーバーリード/ライトについて	20-43
20.10.4	EP0 に関する割り込み要因の割り当てについて	20-44
20.10.5	DMA 転送設定時の FIFO クリアについて	20-44
20.10.6	DMA 転送時のマニュアルリセットについて	20-44
20.10.7	USB クロックについて	20-44
20.10.8	TR 割り込み使用時の注意	20-44
21.	A/D 変換器	21-1
21.1	特長	21-1
21.1.1	ブロック図	21-1
21.1.2	入出力端子	21-3
21.2	レジスタの説明	21-3
21.2.1	A/D データレジスタ A ~ D (ADDRA0 ~ ADDR0, ADDRA1 ~ ADDR1)	21-4
21.2.2	A/D コントロール/ステータスレジスタ (ADCSR0, ADCSR1)	21-4
21.2.3	A/D0 A/D1 コントロール (ADCR)	21-6
21.3	動作説明	21-7
21.3.1	シングルモード	21-7
21.3.2	マルチモード	21-9
21.3.3	スキャンモード	21-11
21.3.4	同時サンプリング動作	21-13
21.3.5	MTU による A/D 変換器の起動	21-13
21.3.6	入力サンプリングと A/D 変換時間	21-13

21.4	割り込み要求とDMAC転送要求.....	21-15
21.5	A/D変換精度の定義.....	21-16
21.6	使用上の注意.....	21-17
21.6.1	アナログ電圧の設定.....	21-17
21.6.2	アナログ入力端子の取り扱い.....	21-17
21.6.3	許容信号源インピーダンスについて.....	21-17
21.6.4	絶対精度への影響.....	21-17
21.6.5	A/D 変換途中の停止について.....	21-18
22.	ピンファンクションコントローラ (PFC)	22-1
22.1	レジスタの説明.....	22-6
22.1.1	ポート A コントロールレジスタ (PACR)	22-7
22.1.2	ポート B コントロールレジスタ (PBCR)	22-8
22.1.3	ポート C コントロールレジスタ (PCCR)	22-9
22.1.4	ポート D コントロールレジスタ (PDCR)	22-10
22.1.5	ポート E コントロールレジスタ (PECR)	22-11
22.1.6	ポート E IO レジスタ (PEIOR)	22-12
22.1.7	ポート E MTU R/W イネーブルレジスタ (PEMTURWER)	22-12
22.1.8	ポート F コントロールレジスタ (PFCR)	22-13
22.1.9	ポート G コントロールレジスタ (PGCR)	22-14
22.1.10	ポート H コントロールレジスタ (PHCR)	22-15
22.1.11	ポート J コントロールレジスタ (PJCR)	22-16
22.2	I/Oバッファ内部ブロック図.....	22-17
22.2.1	ウィークキーバ付き I/O バッファ.....	22-17
22.2.2	オープンドレイン付き I/O バッファ.....	22-17
22.3	使用上の注意.....	22-18
23.	I/O ポート.....	23-1
23.1	ポート A	23-1
23.1.1	レジスタの説明.....	23-2
23.1.2	ポート A データレジスタ (PADR)	23-2
23.2	ポート B	23-3
23.2.1	レジスタの説明.....	23-3
23.2.2	ポート B データレジスタ (PBDR)	23-4
23.3	ポート C	23-5
23.3.1	レジスタの説明.....	23-5
23.3.2	ポート C データレジスタ (PCDR)	23-6
23.4	ポート D	23-7
23.4.1	レジスタの説明.....	23-7
23.4.2	ポート D データレジスタ (PDDR)	23-8

23.5	ポートE.....	23-9
23.5.1	レジスタの説明.....	23-9
23.5.2	ポート E データレジスタ (PEDR)	23-10
23.6	ポートF.....	23-11
23.6.1	レジスタの説明.....	23-11
23.6.2	ポート F データレジスタ (PFDR)	23-12
23.7	ポートG.....	23-13
23.7.1	レジスタの説明.....	23-13
23.7.2	ポート G データレジスタ (PGDR)	23-14
23.7.3	ポート G 内部ブロック図.....	23-15
23.8	ポートH.....	23-16
23.8.1	レジスタの説明.....	23-16
23.8.2	ポート H データレジスタ (PHDR)	23-17
23.9	ポートJ.....	23-18
23.9.1	レジスタの説明.....	23-18
23.9.2	ポート J データレジスタ (PJDR)	23-19
24.	レジスタ一覧.....	24-1
24.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	24-2
24.2	レジスタビット一覧.....	24-10
24.3	各動作モードにおけるレジスタの状態.....	24-27
25.	電気的特性.....	25-1
25.1	絶対最大定格.....	25-1
25.1.1	電源投入シーケンスについて.....	25-2
25.2	DC特性.....	25-3
25.3	AC特性.....	25-7
25.3.1	クロックタイミング.....	25-7
25.3.2	制御信号タイミング.....	25-10
25.3.3	AC バスタイミング仕様.....	25-13
25.3.4	基本タイミング.....	25-15
25.3.5	バイト選択付 SRAM バスサイクル.....	25-22
25.3.6	バースト ROM リードサイクル.....	25-24
25.3.7	シンクロナス DRAM タイミング.....	25-25
25.3.8	周辺モジュール信号タイミング.....	25-44
25.3.9	マルチファンクションタイマパルスユニットタイミング.....	25-46
25.3.10	POE モジュール信号タイミング.....	25-47
25.3.11	I ² C モジュール信号タイミング.....	25-48
25.3.12	H-UDI 関連端子のタイミング.....	25-49
25.3.13	USB モジュール信号タイミング.....	25-51

25.3.14	USB トランシーバタイミング	25-52
25.3.15	AC 特性測定条件	25-53
25.4	A/D変換器特性	25-54
付録	付録-1
A.	端子状態	付録-1
A.1	「その他機能」設定時	付録-1
A.2	I/O ポート設定時	付録-4
B.	型名一覧	付録-5
C.	外形寸法図	付録-6
本版で修正または追加された箇所	改訂-1
索引	索引-1

EOL Product

EOL Product

図目次

1. 概要	
図 1.1	ブロック図.....1-5
図 1.2	ピン配置図 (BGA-256)1-6
2. CPU	
図 2.1	処理モード別のレジスタ構成 (1)2-2
図 2.2	処理モード別のレジスタ構成 (2)2-3
図 2.3	汎用レジスタ (DSP モード以外)2-4
図 2.4	汎用レジスタ (DSP モード)2-5
図 2.5	コントロールレジスタ (1)2-7
図 2.5	コントロールレジスタ (2)2-8
図 2.6	システムレジスタ.....2-9
図 2.7	DSP レジスタ2-11
図 2.8	DSP レジスタとデータバスの接続.....2-12
図 2.9	ロングワードオペランド.....2-14
図 2.10	データ形式.....2-15
図 2.11	バイト、ワード、ロングワードの配列2-16
図 2.12	X、Y データ転送のアドレッシング.....2-23
図 2.13	シングルデータ転送のアドレッシング.....2-24
図 2.14	モジュロアドレッシング.....2-25
図 2.15	DSP 命令の命令形式.....2-30
図 2.16	並列命令プログラムの例.....2-51
図 2.17	条件付き演算とデータ転送命令の例.....2-57
3. DSP 演算	
図 3.1	ALU 固定小数点算術演算フロー3-1
図 3.2	演算シーケンスの例.....3-3
図 3.3	キャリー / ボローモードでの DC ビット生成の例.....3-3
図 3.4	負値モードでの DC ビット生成の例.....3-4
図 3.5	オーバフローモードでの DC ビット生成の例.....3-4
図 3.6	ALU 整数演算フロー3-6
図 3.7	ALU 論理演算フロー3-7
図 3.8	固定小数点乗算フロー.....3-9
図 3.9	算術シフト演算フロー.....3-11
図 3.10	論理シフト演算フロー.....3-12
図 3.11	PDMSB 演算フロー3-14
図 3.12	丸め演算フロー.....3-16
図 3.13	丸め演算の定義.....3-17
図 3.14	データ転送命令フロー.....3-19
図 3.15	シングルデータ転送命令フロー (ワード)3-20
図 3.16	シングルワードデータ転送命令フロー (ロングワード)3-20

図 3.17	ローカルデータ移動命令のフロー	3-21
図 3.18	リピートループでの割り込み受け付けの制限	3-26
図 3.19	MOVX.W および MOVY.W 用の DSP アドレッシング命令	3-31
図 3.20	MOVS 用 DSP アドレッシング命令	3-32
図 3.21	モジュロアドレッシング	3-33
図 3.22	X、Y データ転送命令におけるロード/ストアの制御	3-35
図 3.23	単一データ転送命令用のロード/ストアコントロール	3-36
4. クロックパルス発振器 (CPG)		
図 4.1	CPG のブロック図	4-2
図 4.2	水晶発振子使用時の注意	4-11
図 4.3	PLL 発振回路使用時の注意	4-12
5. ウォッチドッグタイマ (WDT)		
図 5.1	WDT のブロック図	5-2
図 5.2	WTCNT および WTCSR への書き込み	5-5
6. 低消費電力モード		
図 6.1	STBCR の STBY ビットとスタンバイモードの解除	6-9
図 6.2	マニュアルリセットの STATUS 出力	6-10
図 6.3	スタンバイ 割り込みの STATUS 出力	6-11
図 6.4	スタンバイ マニュアルリセットの STATUS 出力	6-11
図 6.5	スリープ 割り込みの STATUS 出力	6-12
図 6.6	スリープ マニュアルリセットの STATUS 出力	6-12
7. キャッシュ		
図 7.1	キャッシュの構成	7-2
図 7.2	キャッシュの検索方法	7-8
図 7.3	ライトバックバッファの構成	7-10
図 7.4	メモリ割り付けキャッシュアクセスのアドレス、データ指定方法	7-12
8. X/Y メモリ		
図 8.1	X/Y メモリアドレスマッピング	8-2
9. 例外処理		
図 9.1	レジスタのビット構成	9-1
10. 割り込みコントローラ (INTC)		
図 10.1	割り込みコントローラブロック図	10-2
図 10.2	割り込み動作フローチャート	10-16
11. ユーザブレイクコントローラ (UBC)		
図 11.1	UBC のブロック図	11-2
12. バスステートコントローラ (BSC)		
図 12.1	バスステートコントローラのブロック図	12-3
図 12.2	アドレス空間	12-6
図 12.3	通常空間基本アクセス (アクセスウェイト 0)	12-45

図 12.4	通常空間連続アクセス例 1 バス幅 16 ビット、ロングワードアクセス、 CSnWCR.WM ビット=0 (アクセスウェイト 0、サイクル間ウェイト 0)	12-46
図 12.5	通常空間連続アクセス例 2 バス幅 16 ビット、ロングワードアクセス、 CSnWCR.WM ビット=1 (アクセスウェイト 0、サイクル間ウェイト 0)	12-47
図 12.6	32 ビットデータ幅 SRAM 接続例	12-48
図 12.7	16 ビットデータ幅 SRAM 接続例	12-49
図 12.8	8 ビットデータ幅 SRAM 接続例	12-49
図 12.9	通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)	12-50
図 12.10	通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)	12-51
図 12.11	$\overline{\text{CSn}}$ アサート期間拡張	12-52
図 12.12	MPX 空間アクセスタイミング (アドレスサイクルノーウェイト、データサイクルノーウェイト)	12-54
図 12.13	MPX 空間アクセスタイミング (アドレスサイクルウェイト 1、データサイクルノーウェイト)	12-55
図 12.14	MPX 空間アクセスタイミング (アドレスサイクルアクセスウェイト 1、データサイクルウェイト 1、外部ウェイト 1)	12-56
図 12.15	32 ビットデータ幅 SDRAM 接続例 (RAS $\overline{\text{U}}$ 、CAS $\overline{\text{U}}$ 未使用)	12-57
図 12.16	16 ビットデータ幅 SDRAM 接続例 (RAS $\overline{\text{U}}$ 、CAS $\overline{\text{U}}$ 未使用)	12-58
図 12.17	16 ビットデータ幅 SDRAM 接続例 (RAS $\overline{\text{U}}$ 、CAS $\overline{\text{U}}$ 使用)	12-59
図 12.18	バーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)	12-67
図 12.19	バーストリードウェイト指定タイミング (CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)	12-68
図 12.20	シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)	12-69
図 12.21	バーストライト基本タイミング (オートプリチャージ)	12-70
図 12.22	シングルライト基本タイミング (オートプリチャージ)	12-71
図 12.23	バーストリードタイミング (バンクアクティブ、異なるバンク、CAS レイテンシ 1)	12-73
図 12.24	バーストリードタイミング (バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1)	12-74
図 12.25	バーストリードタイミング (バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)	12-75
図 12.26	シングルライトタイミング (バンクアクティブ、異なるバンク)	12-76
図 12.27	シングルライトタイミング (バンクアクティブ、同一バンクで同一ロウアドレス)	12-77
図 12.28	シングルライトタイミング (バンクアクティブ、同一バンクで異なるロウアドレス)	12-78
図 12.29	オートリフレッシュタイミング	12-79
図 12.30	セルフリフレッシュタイミング	12-80
図 12.31	低周波数モードでのアクセスタイミング	12-82
図 12.32	パワーダウンモードでのアクセスタイミング	12-83
図 12.33	SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)	12-85
図 12.34	EMRS コマンド発行タイミング	12-87
図 12.35	ディープパワーダウンモード遷移タイミング	12-88
図 12.36	バースト ROM (クロック非同期) アクセス (バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)	12-90
図 12.37	BAS=0 バイト選択付 SRAM 基本アクセスタイミング	12-91
図 12.38	BAS=1 バイト選択付 SRAM 基本アクセスタイミング	12-92
図 12.39	BAS=1 バイト選択付 SRAM ウェイトタイミング (SW[1:0]=01、WR[3:0]=0001、HW[1:0]=01)	12-93

図 12.40	32 ビットデータ幅バイト選択付 SRAM 接続例.....	12-94
図 12.41	16 ビットデータ幅バイト選択付 SRAM 接続例.....	12-94
図 12.42	バースト MPX デバイス接続例.....	12-95
図 12.43	バースト MPX 空間アクセスタイミング (シングルリード、ノーウェイトまたはソフトウェイト 1)	12-96
図 12.44	バースト MPX 空間アクセスタイミング (シングルライト、ソフトウェイト 1、ハードウェイト 1)	12-97
図 12.45	バースト MPX 空間アクセスタイミング (バーストリード、ノーウェイトまたはソフトウェイト 1、CS6BWCR.MPXMD = 0)	12-98
図 12.46	バースト MPX 空間アクセスタイミング (バーストライト、ノーウェイト、CS6BWCR.MPXMD = 0)	12-99
図 12.47	バースト ROM (クロック同期) アクセス (バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)	12-100
図 12.48	パスアビットレーション (クロックモード 7 または CMNCR.HIZCNT = 1)	12-110

13. ダイレクトメモリアクセスコントローラ (DMAC)

図 13.1	DMAC ブロック図.....	13-2
図 13.2	DMA 転送フローチャート.....	13-16
図 13.3	ラウンドロビンモード.....	13-21
図 13.4	ラウンドロビンモードでのチャンネル優先順位.....	13-22
図 13.5	デュアルアドレスモードのデータフロー.....	13-24
図 13.6	デュアルアドレスモードの DMA 転送タイミング例 (転送元：通常メモリ、転送先：通常メモリ)	13-25
図 13.7	シングルアドレスモードのデータフロー.....	13-26
図 13.8	シングルアドレスモードの DMA 転送タイミング例.....	13-26
図 13.9	サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、 \overline{DREQ} ローレベル検出)	13-27
図 13.10	サイクルスチールインターミットモードの DMA 転送例 (デュアルアドレス、 \overline{DREQ} ローレベル検出)	13-28
図 13.11	バーストモードの DMA 転送例 (デュアルアドレス、 \overline{DREQ} ローレベル検出)	13-28
図 13.12	複数チャンネルが動作する場合のバス状態.....	13-30
図 13.13	サイクルスチールモード・エッジ検出時の \overline{DREQ} 入力検出タイミング.....	13-31
図 13.14	サイクルスチールモード・レベル検出時の \overline{DREQ} 入力検出タイミング.....	13-31
図 13.15	バーストモード・エッジ検出時の \overline{DREQ} 入力検出タイミング.....	13-32
図 13.16	バーストモード・レベル検出時の \overline{DREQ} 入力検出タイミング.....	13-32
図 13.17	DMA 転送終了タイミング (サイクルスチール・レベル検出)	13-32
図 13.18	BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル 1、 16 ビットデバイスへのロングワードアクセス)	13-33
図 13.19	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング サイクル間アイドルにより DACK が 4 分割される場合.....	13-37
図 13.20	サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング サイクル間アイドルにより DACK が 2 分割される場合.....	13-37
図 13.21	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング サイクル間アイドルにより DACK が 4 分割される場合.....	13-38
図 13.22	サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング サイクル間アイドルにより DACK が 2 分割される場合.....	13-38

14. Uメモリ	
図 14.1 Uメモリアドレスマッピング	14-2
15. ユーザデバッグインタフェース (H-UDI)	
図 15.1 H-UDI ブロック図	15-1
図 15.2 TAP コントローラ状態遷移図	15-13
図 15.3 H-UDI データ転送タイミング	15-14
図 15.4 H-UDI リセット	15-15
16. I ² C バスインタフェース 2 (IIC2)	
図 16.1 I ² C バスインタフェース 2 のブロック図	16-2
図 16.2 入出力端子の外部回路接続例	16-3
図 16.3 I ² C バスフォーマット	16-14
図 16.4 I ² C バスタイミング	16-14
図 16.5 マスタ送信モード動作タイミング (1)	16-16
図 16.6 マスタ送信モード動作タイミング (2)	16-16
図 16.7 マスタ受信モード動作タイミング (1)	16-18
図 16.8 マスタ受信モード動作タイミング (2)	16-18
図 16.9 スレーブ送信モード動作タイミング (1)	16-20
図 16.10 スレーブ送信モード動作タイミング (2)	16-21
図 16.11 スレーブ受信モード動作タイミング (1)	16-22
図 16.12 スレーブ受信モード動作タイミング (2)	16-22
図 16.13 クロック同期式シリアルフォーマットの転送フォーマット	16-23
図 16.14 送信モード動作タイミング	16-24
図 16.15 受信モード動作タイミング	16-25
図 16.16 1 バイト受信動作タイミング	16-25
図 16.17 ノイズ除去回路のブロック図	16-26
図 16.18 マスタ送信モードのフローチャート例	16-27
図 16.19 マスタ受信モードのフローチャート例	16-28
図 16.20 スレーブ送信モードのフローチャート例	16-29
図 16.21 スレーブ受信モードのフローチャート例	16-30
図 16.22 ビット同期回路のタイミング	16-32
17. コンペアマッチタイマ (CMT)	
図 17.1 コンペアマッチタイマのブロック図	17-1
図 17.2 カウンタ動作	17-5
図 17.3 カウントタイミング	17-5
図 17.4 CMF セットタイミング	17-6
18. マルチファンクションタイマパルスユニット (MTU)	
図 18.1 MTU のブロック図	18-4
図 18.2 相補 PWM モードの出力レベルの例	18-37
図 18.3 カウンタ動作設定手順例	18-40
図 18.4 フリーランニングカウンタの動作	18-41
図 18.5 周期カウンタの動作	18-42
図 18.6 コンペアマッチによる波形出力動作例	18-42
図 18.7 0 出力 / 1 出力の動作例	18-43
図 18.8 トグル出力の動作例	18-43

図 18.9	インプットキャプチャ動作の設定例	18-44
図 18.10	インプットキャプチャ動作例	18-45
図 18.11	同期動作の設定手順例	18-46
図 18.12	同期動作の動作例	18-47
図 18.13	コンペアマッチバッファ動作	18-48
図 18.14	インプットキャプチャバッファ動作	18-48
図 18.15	バッファ動作の設定手順例	18-48
図 18.16	バッファ動作例 (1)	18-49
図 18.17	バッファ動作例 (2)	18-50
図 18.18	カスケード接続動作設定手順	18-51
図 18.19	カスケード接続動作例	18-51
図 18.20	PWM モードの設定手順例	18-53
図 18.21	PWM モードの動作例 (1)	18-53
図 18.22	PWM モードの動作例 (2)	18-54
図 18.23	PWM モードの動作例 (3)	18-55
図 18.24	位相計数モードの設定手順例	18-56
図 18.25	位相計数モード 1 の動作例	18-57
図 18.26	位相計数モード 2 の動作例	18-58
図 18.27	位相計数モード 3 の動作例	18-59
図 18.28	位相計数モード 4 の動作例	18-60
図 18.29	位相計数モードの応用例	18-61
図 18.30	リセット同期 PWM モードの設定手順例	18-63
図 18.31	リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)	18-64
図 18.32	相補 PWM モード時のチャンネル 3、4 ブロック図	18-67
図 18.33	相補 PWM モードの設定手順例	18-68
図 18.34	相補 PWM モードのカウンタ動作	18-69
図 18.35	相補 PWM モード動作例	18-71
図 18.36	PWM 周期の変更例	18-73
図 18.37	相補 PWM モードのデータ更新例	18-74
図 18.38	相補 PWM モードの初期出力例 (1)	18-75
図 18.39	相補 PWM モードの初期出力例 (2)	18-76
図 18.40	相補 PWM モード波形出力例 (1)	18-77
図 18.41	相補 PWM モード波形出力例 (2)	18-78
図 18.42	相補 PWM モード波形出力例 (3)	18-78
図 18.43	相補 PWM モード 0%、100% 波形出力例 (1)	18-79
図 18.44	相補 PWM モード 0%、100% 波形出力例 (2)	18-80
図 18.45	相補 PWM モード 0%、100% 波形出力例 (3)	18-80
図 18.46	相補 PWM モード 0%、100% 波形出力例 (4)	18-81
図 18.47	相補 PWM モード 0%、100% 波形出力例 (5)	18-81
図 18.48	PWM 出力に同期したトルク出力波形例	18-82
図 18.49	他のチャンネルに同期したカウンタクリア	18-83
図 18.50	外部入力による出力相の切り替え動作例 (1)	18-84
図 18.51	外部入力による出力相の切り替え動作例 (2)	18-84
図 18.52	UF、VF、WF ビット設定による出力相の切り替え動作例 (3)	18-85
図 18.53	UF、VF、WF ビット設定による出力相の切り替え動作例 (4)	18-85
図 18.54	内部クロック動作時のカウントタイミング	18-89
図 18.55	外部クロック動作時のカウントタイミング	18-89

図 18.56	外部クロック動作時のカウントタイミング (位相計数モード)	18-90
図 18.57	アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)	18-90
図 18.58	アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)	18-91
図 18.59	インプットキャプチャ入力信号タイミング	18-91
図 18.60	カウンタクリアタイミング (コンペアマッチ)	18-92
図 18.61	カウンタクリアタイミング (インプットキャプチャ)	18-92
図 18.62	バッファ動作タイミング (コンペアマッチ)	18-93
図 18.63	バッファ動作タイミング (インプットキャプチャ)	18-93
図 18.64	TGI 割り込みタイミング (コンペアマッチ)	18-94
図 18.65	TGI 割り込みタイミング (インプットキャプチャ)	18-94
図 18.66	TCIV 割り込みのセットタイミング	18-95
図 18.67	TCIU 割り込みのセットタイミング	18-95
図 18.68	CPU によるステータスフラグのクリアタイミング	18-96
図 18.69	DMA の起動によるステータスフラグのクリアタイミング	18-96
図 18.70	位相計数モード時の位相差、オーバーラップ、およびパルス幅	18-97
図 18.71	TCNT のライトとクリアの競合	18-98
図 18.72	TCNT のライトとカウントアップの競合	18-98
図 18.73	TGR のライトとコンペアマッチの競合	18-99
図 18.74	バッファレジスタのライトとコンペアマッチの競合 (チャンネル 0)	18-100
図 18.75	TGR のライトとコンペアマッチの競合 (チャンネル 3、4)	18-100
図 18.76	TGR のリードとインプットキャプチャの競合	18-101
図 18.77	TGR のライトとインプットキャプチャの競合	18-102
図 18.78	バッファレジスタのライトとインプットキャプチャの競合	18-102
図 18.79	カスケード接続における TCNT ₂ のライトとオーバーフロー / アンダフローの競合	18-104
図 18.80	相補 PWM モード停止時のカウンタ値	18-105
図 18.81	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	18-106
図 18.82	リセット同期 PWM モードのオーバーフローフラグ	18-107
図 18.83	オーバーフローとカウンタクリアの競合	18-107
図 18.84	TCNT のライトとオーバーフローの競合	18-108
図 18.85	ノーマルモードで異常が発生し、ノーマルモードで復帰する場合	18-111
図 18.86	ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合	18-112
図 18.87	ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合	18-112
図 18.88	ノーマルモードで異常が発生し、位相計数モードで復帰する場合	18-113
図 18.89	ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合	18-114
図 18.90	ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合	18-114
図 18.91	PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合	18-115
図 18.92	PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合	18-116
図 18.93	PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合	18-116
図 18.94	PWM モード 1 で異常が発生し、位相計数モードで復帰する場合	18-117
図 18.95	PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合	18-117
図 18.96	PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合	18-118
図 18.97	PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合	18-119
図 18.98	PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合	18-120
図 18.99	PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合	18-120
図 18.100	PWM モード 2 で異常が発生し、位相計数モードで復帰する場合	18-121
図 18.101	位相計数モードで異常が発生し、ノーマルモードで復帰する場合	18-121
図 18.102	位相計数モードで異常が発生し、PWM モード 1 で復帰する場合	18-122

図 18.103	位相計数モードで異常が発生し、PWM モード 2 で復帰する場合	18-123
図 18.104	位相計数モードで異常が発生し、位相計数モードで復帰する場合	18-123
図 18.105	相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合	18-124
図 18.106	相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合	18-125
図 18.107	相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合	18-125
図 18.108	相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合	18-126
図 18.109	相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合	18-127
図 18.110	リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合	18-127
図 18.111	リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合	18-128
図 18.112	リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合	18-129
図 18.113	リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合	18-129
図 18.114	POE ブロック図	18-131
図 18.115	立ち下がりがエッジ検出動作	18-136
図 18.116	ローレベル検出動作	18-137
図 18.117	出力レベル検出動作	18-137
19. FIFO 付きシリアルコミュニケーション インタフェース (SCIF)		
図 19.1	SCIF のブロック図	19-2
図 19.2	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	19-29
図 19.3	SCIF 初期化フローチャートの例	19-31
図 19.4	シリアル送信のフローチャートの例	19-32
図 19.5	送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	19-33
図 19.6	モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$)	19-34
図 19.7	シリアル受信のフローチャートの例 (1)	19-35
図 19.8	シリアル受信のフローチャートの例 (2)	19-36
図 19.9	SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	19-37
図 19.10	モデムコントロール使用時の動作例 ($\overline{\text{RTS}}$)	19-38
図 19.11	クロック同期式通信のデータフォーマット	19-38
図 19.12	SCIF 初期化フローチャートの例	19-40
図 19.13	シリアル送信のフローチャートの例	19-41
図 19.14	SCIF の送信時の動作例	19-42
図 19.15	シリアル受信のフローチャートの例 (1)	19-43
図 19.16	シリアル受信のフローチャートの例 (2)	19-44
図 19.17	SCIF の受信時の動作例	19-45
図 19.18	シリアル送受信のフローチャートの例	19-46
図 19.19	受信データサンプリングタイミング	19-49
図 19.20	DMAC による同期クロック転送例	19-50
20. USB ファンクションモジュール		
図 20.1	USB のブロック図	20-2
図 20.2	ケーブル接続時の動作	20-17
図 20.3	ケーブル切断時の動作	20-18
図 20.4	コントロール転送における各転送ステージ	20-19
図 20.5	セットアップステージの動作	20-20
図 20.6	データステージ (コントロールイン時) の動作	20-21
図 20.7	データステージ (コントロールアウト時) の動作	20-22
図 20.8	ステータスステージ (コントロールイン時) の動作	20-23

図 20.9	ステータスステージ (コントロールアウト時) の動作	20-24
図 20.10	EP1 パルクアウト転送の動作	20-26
図 20.11	EP2 パルクイン転送の動作	20-28
図 20.12	EP3 インタラプトイン転送の動作	20-29
図 20.13	アプリケーションで強制的にストールさせたい場合	20-32
図 20.14	USB ファンクションモジュールが自動的にストールさせた場合	20-33
図 20.15	EP1 の RDFN 操作	20-34
図 20.16	EP2 の PKTE 操作	20-35
図 20.17	USB ファンクションモジュール外部回路例 (内蔵トランシーバ)	20-37
図 20.18	USB ファンクションモジュール外部回路例 (外部トランシーバ)	20-37
図 20.19	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 割り込み回路	20-39
図 20.20	USB スタンバイ動作タイミング	20-39
図 20.21	USB パスパワー初期化フローチャート例	20-40
図 20.22	USB サスペンド遷移フローチャート例	20-41
図 20.23	AWAKE フローチャート例	20-42
図 20.24	TR 割り込みフラグのセットタイミング	20-44
21. A/D 変換器		
図 21.1	A/D 変換器のブロック図	21-2
図 21.2	A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)	21-8
図 21.3	A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャンネル選択時)	21-10
図 21.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)	21-12
図 21.5	A/D 変換タイミング	21-14
図 21.6	A/D 変換精度の定義	21-16
図 21.7	アナログ入力端子の保護回路例	21-18
図 21.8	アナログ入力端子の等価回路	21-19
図 21.9	アナログ入力回路の例	21-19
22. ピンファンクションコントローラ (PFC)		
図 22.1	ウィークキーバ付き I/O バッファの内部ブロック図	22-17
図 22.2	オープンドレイン付き I/O バッファの内部ブロック図	22-17
23. I/O ポート		
図 23.1	ポート A	23-1
図 23.2	ポート B	23-3
図 23.3	ポート C	23-5
図 23.4	ポート D	23-7
図 23.5	ポート E	23-9
図 23.6	ポート F	23-11
図 23.7	ポート G	23-13
図 23.8	PG7DT ~ PG0DT の内部ブロック図	23-15
図 23.9	ポート H	23-16
図 23.10	ポート J	23-18
25. 電気的特性		
図 25.1	電源投入シーケンス	25-2
図 25.2	EXTAL クロック入力タイミング	25-8
図 25.3	CKIO クロック入力タイミング	25-8

図 25.4	CKIO、CKIO2 クロック出力タイミング	25-8
図 25.5	パワーオン発振安定時間	25-8
図 25.6	CKIO ~ CKIO2 位相差	25-9
図 25.7	スタンバイ復帰時発振安定時間 (リセットによる復帰)	25-9
図 25.8	スタンバイ復帰時発振安定時間 ($\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}$ による復帰)	25-9
図 25.9	リセット入力タイミング	25-11
図 25.10	割り込み信号入力タイミング	25-11
図 25.11	バス権解放タイミング	25-12
図 25.12	スタンバイ時の端子ドライブタイミング	25-12
図 25.13	通常空間基本バスサイクル (ノーウェイト)	25-15
図 25.14	通常空間基本バスサイクル (ソフトウェアウェイト 1)	25-16
図 25.15	通常空間基本バスサイクル (外部ウェイト 1 挿入、WAITSEL = 0)	25-17
図 25.16	通常空間基本バスサイクル (外部ウェイト 1 挿入、WAITSEL = 1)	25-18
図 25.17	通常空間基本バスサイクル (ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット = 0)、アイドルサイクル無し)	25-19
図 25.18	MPX-IO インタフェースバスサイクル (アドレスサイクル 3、ソフトウェアウェイト 1、 外部ウェイト 1 挿入)	25-20
図 25.19	バースト MPX-IO インタフェースバスサイクル シングルリードライト (アドレスサイクル 1、ソフトウェアウェイト 1)	25-21
図 25.20	バイト選択付 SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、 非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB/LB コントロール))	25-22
図 25.21	バイト選択付 SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、 非同期外部ウェイト 1 挿入、BAS = 1 (ライトサイクル WE コントロール))	25-23
図 25.22	バースト ROM リードサイクル (ソフトウェアウェイト 1、 非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト)	25-24
図 25.23	シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、 CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)	25-25
図 25.24	シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、 CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)	25-26
図 25.25	シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、 WTRP = 1 サイクル)	25-27
図 25.26	シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、 WTRP = 0 サイクル)	25-28
図 25.27	シンクロナス DRAM シングルライトバスサイクル (オートプリチャージあり、 TRWL = 1 サイクル)	25-29
図 25.28	シンクロナス DRAM シングルライトバスサイクル (オートプリチャージあり、 WTRCD = 2 サイクル、TRWL = 1 サイクル)	25-30
図 25.29	シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (オートプリチャージあり、WTRCD = 0 サイクル、TRWL = 1 サイクル)	25-31
図 25.30	シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)	25-32
図 25.31	シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、 WTRCD = 0 サイクル)	25-33

図 25.32	シンクロナス DRAM パーストリードバスサイクル (リード4 サイクル分) (バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ 2、 WTRCD=0 サイクル)	25-34
図 25.33	シンクロナス DRAM パーストリードバスサイクル (リード4 サイクル分) (バンクアクティブモード: PRE+ACT+READ コマンド、異なるロウアドレス、 CAS レイテンシ 2、WTRCD=0 サイクル)	25-35
図 25.34	シンクロナス DRAM パーストライトバスサイクル (ライト4 サイクル分) (バンクアクティブモード: ACT+WRITE コマンド、WTRCD=0 サイクル、 TRWL=0 サイクル)	25-36
図 25.35	シンクロナス DRAM パーストライトバスサイクル (ライト4 サイクル分) (バンクアクティブモード: WRITE コマンド、同一ロウアドレス、WTRCD=0 サイクル、 TRWL=0 サイクル)	25-37
図 25.36	シンクロナス DRAM パーストライトバスサイクル (ライト4 サイクル分) (バンクアクティブモード: PRE+ACT+WRITE コマンド、異なるロウアドレス、 WTRCD=0 サイクル、TRWL=0 サイクル)	25-38
図 25.37	シンクロナス DRAM オートリフレッシュタイミング (WTRP=1 サイクル、 WTRC=3 サイクル)	25-39
図 25.38	シンクロナス DRAM セルフリフレッシュタイミング (WTRP=1 サイクル)	25-40
図 25.39	シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP=1 サイクル)	25-41
図 25.40	シンクロナス DRAM 低周波モードでのアクセスタイミング (オートプリチャージモード、 TRWL=2 サイクル)	25-42
図 25.41	シンクロナス DRAM 低周波数モードセルフリフレッシュタイミング (WTRP=2 サイクル)	25-43
図 25.42	SCK 入力クロックタイミング	25-44
図 25.43	クロック同期式モード時の SCIF 入出力タイミング	25-44
図 25.44	I/O ポートタイミング	25-45
図 25.45	$\overline{\text{DREQ}}$ 入力タイミング	25-45
図 25.46	$\overline{\text{DACK}}$ 、 $\overline{\text{TEND}}$ 出力タイミング	25-45
図 25.47	MTU 入出力タイミング	25-46
図 25.48	MTU クロック入力タイミング	25-46
図 25.49	POE 入出力タイミング	25-47
図 25.50	I ² C バスインタフェース入出力タイミング	25-49
図 25.51	TCK 入力タイミング	25-50
図 25.52	$\overline{\text{TRST}}$ 入力タイミング (リセットホール時)	25-50
図 25.53	H-UDI データ転送タイミング	25-50
図 25.54	パウンダリスキャン入出力タイミング	25-51
図 25.55	USB クロックタイミング	25-51
図 25.56	出力付加回路	25-53

付録

図 C.1	外形寸法図	付録-6
-------	-------------	------

EOL Product

表目次

1. 概要

表 1.1	SH7641 の特長.....	1-1
表 1.2	ピン配置表.....	1-7
表 1.3	本 LSI の端子機能.....	1-15

2. CPU

表 2.1	レジスタの初期値.....	2-3
表 2.2	DSP 命令のデスティネーションレジスタ.....	2-10
表 2.3	DSP 命令のソースレジスタ.....	2-11
表 2.4	DSR レジスタのビット.....	2-12
表 2.5	ワードデータの符号拡張.....	2-16
表 2.6	遅延分岐命令.....	2-17
表 2.7	T ビット.....	2-17
表 2.8	イミディエイトデータによる参照.....	2-18
表 2.9	絶対アドレスによる参照.....	2-18
表 2.10	ディスプレイースメントによる参照.....	2-18
表 2.11	CPU 命令のアドレッシングモードと実効アドレス.....	2-19
表 2.12	データ転送命令の概要.....	2-22
表 2.13	CPU 命令の命令形式.....	2-28
表 2.14	ダブルデータ転送の命令形式.....	2-31
表 2.15	シングルデータ転送命令の命令形式.....	2-31
表 2.16	A フィールドの並列データ転送命令.....	2-32
表 2.17	B フィールドの ALU 演算命令、乗算命令.....	2-33
表 2.18	CPU 命令の分類.....	2-34
表 2.19	データ転送命令.....	2-37
表 2.20	算術命令.....	2-38
表 2.21	論理演算命令.....	2-40
表 2.22	シフト命令.....	2-40
表 2.23	分岐命令.....	2-41
表 2.24	システム制御命令.....	2-42
表 2.25	CPU 用追加システム制御命令.....	2-46
表 2.26	ダブルデータ転送命令.....	2-48
表 2.27	シングルデータ転送命令.....	2-48
表 2.28	DSP データ転送のオペランドとレジスタとの対応.....	2-49
表 2.29	DSP 演算命令の命令形式.....	2-50
表 2.30	DSP 命令のオペランドとレジスタの対応.....	2-50
表 2.31	DSP 演算命令.....	2-52
表 2.32	DC ビットの更新の定義.....	2-56
表 2.33	NOPX と NOPY の命令コードの例.....	2-58

3.	DSP 演算	
表 3.1	ALU 固定小数点演算の種類	3-2
表 3.2	オペランドのレジスタとの対応	3-2
表 3.3	ALU 整数演算の種類	3-6
表 3.4	ALU 論理演算の種類	3-7
表 3.5	固定小数点乗算の種類	3-9
表 3.6	オペランドの柔軟性	3-9
表 3.7	シフト演算の種類	3-10
表 3.8	PDMSB 命令の定義	3-15
表 3.9	PDMSB 命令の種類	3-15
表 3.10	丸め演算の種類	3-17
表 3.11	固定小数点算術用演算のオーバーフロー防止機能の定義	3-17
表 3.12	整数算術演算用オーバーフロー防止機能の定義	3-18
表 3.13	ローカルデータ移動命令の種類	3-21
表 3.14	オペランド柔軟性	3-22
表 3.15	SPC に格納されるアドレス値 (1)	3-24
表 3.16	SPC に格納されるアドレス値 (2)	3-24
表 3.17	RS および RE 設定ルール	3-26
表 3.18	DSP データ転送命令の要約	3-30
4.	クロックパルス発振器 (CPG)	
表 4.1	発振回路の端子構成と機能	4-4
表 4.2	クロック動作モード	4-5
表 4.3	クロック動作モードと設定可能な周波数範囲	4-6
6.	低消費電力モード	
表 6.1	低消費電力モードの状態	6-1
表 6.2	端子構成	6-2
表 6.3	スタンバイモード時のレジスタの状態	6-8
7.	キャッシュ	
表 7.1	キャッシュの特長	7-1
表 7.2	部分空間とキャッシュの関係	7-1
表 7.3	LRU ビットと置き換えられるウェイ	7-3
表 7.4	PREF 命令がキャッシュミスした場合に置き換えられるウェイ	7-6
表 7.5	PREF 命令以外がキャッシュミスした場合に置き換えられるウェイ	7-6
表 7.6	LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=0 の場合)	7-6
表 7.7	LRU ビットと置き換えられるウェイ (W2LOCK=0 かつ W3LOCK=1 の場合)	7-7
表 7.8	LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)	7-7
8.	X/Y メモリ	
表 8.1	特長	8-1
9.	例外処理	
表 9.1	例外事象一覧	9-6
表 9.2	リセットの種類	9-8
表 9.3	リピートループ中の命令位置と制約の種別	9-11
表 9.4	リピート制御中に生じた再実行型例外に対するの SPC の値 (SR.RC[11:0]>=2 の場合)	9-13

表 9.5	リピートループでの例外受け付けの制限	9-15
表 9.6	リピート制御中のメモリアクセス例外で特殊な例外を生じる命令 (SR.RC[11:0]>=1)	9-15
10.	割り込みコントローラ (INTC)	
表 10.1	端子構成	10-3
表 10.2	割り込み要求要因と IPRB ~ IPRJ	10-5
表 10.3	割り込み要因と IMR0 ~ IMR10 の対応	10-9
表 10.4	割り込み要因と IMCR0 ~ IMCR10 の対応	10-10
表 10.5	割り込み例外処理要因と優先順位	10-13
11.	ユーザブ레이크コントローラ (UBC)	
表 11.1	ブ레이크アドレスレジスタの指定	11-5
表 11.2	ブ레이크データレジスタの指定	11-6
表 11.3	データアクセスサイクルアドレスおよびオペランドサイズの比較条件	11-15
12.	バスステートコントローラ (BSC)	
表 12.1	端子構成	12-4
表 12.2	アドレスマップ 1 (CMNCR.MAP=0)	12-6
表 12.3	アドレスマップ 2 (CMNCR.MAP=1)	12-7
表 12.4	外部端子 MD3 とエリア 0 のメモリバス幅	12-8
表 12.5	32 ビット外部デバイスのアクセスとデータアライメント	12-43
表 12.6	16 ビット外部デバイスのアクセスとデータアライメント	12-43
表 12.7	8 ビット外部デバイスのアクセスとデータアライメント	12-44
表 12.8	BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (1)	12-60
表 12.9	BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (2)	12-61
表 12.10	BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (3)	12-62
表 12.11	BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (4)	12-63
表 12.12	BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (5)	12-64
表 12.13	BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (6)	12-65
表 12.14	アクセスサイズとバースト数の関係	12-66
表 12.15	SDRAM モードレジスタライト時のアクセスアドレス	12-84
表 12.16	EMRS コマンド発行時の出力アドレス	12-86
表 12.17	バス幅およびアクセスサイズとバースト数の関係	12-89
表 12.18	通常空間インタフェースの CPU アクセス間のアイドルサイクル最小数	12-102
表 12.19	通常空間インタフェースの DMAC デュアルアドレスモード転送時の アクセス間アイドルサイクル最小数	12-102
表 12.20	DACK 付き外部デバイスから、通常空間インタフェースへの DMAC シングルアドレスモード転送時のアイドルサイクル最小数	12-103
表 12.21	SDRAM インタフェースの CPU および DMAC デュアルアドレスモードでの アクセス間アイドルサイクルの最小数	12-104
表 12.22	SDRAM インタフェースの DMAC シングルアドレスモードでの アクセス間アイドルサイクルの最小数 (1)	12-106
表 12.22	SDRAM インタフェースの DMAC シングルアドレスモードでの アクセス間アイドルサイクルの最小数 (2)	12-108
13.	ダイレクトメモリアクセスコントローラ (DMAC)	
表 13.1	外部バスに対する端子構成	13-3
表 13.2	ラウンドロビンセレクトビット・プライオリティーモードビットの組合せ	13-12

表 13.3	DMARS の設定.....	13-14
表 13.4	RS ビットによる外部リクエストモードの選択.....	13-17
表 13.5	DL、DS ビットによる外部リクエスト検出の選択.....	13-17
表 13.6	DL、DS ビットによる外部リクエスト検出の選択.....	13-18
表 13.7	RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択.....	13-18
表 13.8	サポートできる DMA 転送.....	13-23
表 13.9	DMA 転送区間とリクエストモード、バスモードとの関連一覧.....	13-29
14. U メモリ		
表 14.1	特長.....	14-1
15. ユーザデバッグインタフェース (H-UDI)		
表 15.1	端子構成.....	15-2
表 15.2	H-UDI コマンド.....	15-4
表 15.3	本 LSI の端子とパウンダリスキャンレジスタの対応.....	15-5
表 15.4	リセット構成.....	15-14
16. I ² C バスインタフェース 2 (IIC2)		
表 16.1	端子構成.....	16-4
表 16.2	転送レート.....	16-6
表 16.3	割り込み要求一覧.....	16-31
表 16.4	SCL をモニタする時間.....	16-32
18. マルチファンクションタイムパルスユニット (MTU)		
表 18.1	MTU の機能一覧.....	18-2
表 18.2	端子構成.....	18-5
表 18.3	CCLR2 ~ CCLR0 (チャンネル 0、3、4).....	18-8
表 18.4	CCLR2 ~ CCLR0 (チャンネル 1、2).....	18-9
表 18.5	TPSC2 ~ TPSC0 (チャンネル 0).....	18-9
表 18.6	TPSC2 ~ TPSC0 (チャンネル 1).....	18-9
表 18.7	TPSC2 ~ TPSC0 (チャンネル 2).....	18-10
表 18.8	TPSC2 ~ TPSC0 (チャンネル 3、4).....	18-10
表 18.9	MD3 ~ MD0.....	18-12
表 18.10	TIORH_0 (チャンネル 0).....	18-13
表 18.11	TIORL_0 (チャンネル 0).....	18-14
表 18.12	TIOR_1 (チャンネル 1).....	18-15
表 18.13	TIOR_2 (チャンネル 2).....	18-16
表 18.14	TIORH_3 (チャンネル 3).....	18-17
表 18.15	TIORL_3 (チャンネル 3).....	18-18
表 18.16	TIORH_4 (チャンネル 4).....	18-19
表 18.17	TIORL_4 (チャンネル 4).....	18-20
表 18.18	TIORH_0 (チャンネル 0).....	18-21
表 18.19	TIORL_0 (チャンネル 0).....	18-22
表 18.20	TIOR_1 (チャンネル 1).....	18-23
表 18.21	TIOR_2 (チャンネル 2).....	18-24
表 18.22	TIORH_3 (チャンネル 3).....	18-25
表 18.23	TIORL_3 (チャンネル 3).....	18-26
表 18.24	TIORH_4 (チャンネル 4).....	18-27

表 18.25	TIORL_4 (チャンネル4)	18-28
表 18.26	出力レベルセレクト機能	18-36
表 18.27	出力レベルセレクト機能	18-36
表 18.28	出力レベルセレクト機能	18-38
表 18.29	レジスタの組み合わせ	18-47
表 18.30	カスケード接続組み合わせ	18-50
表 18.31	各 PWM 出力のレジスタと出力端子	18-52
表 18.32	位相計数モードクロック入力端子	18-56
表 18.33	位相計数モード1のアップ/ダウンカウント条件	18-57
表 18.34	位相計数モード2のアップ/ダウンカウント条件	18-58
表 18.35	位相計数モード3のアップ/ダウンカウント条件	18-59
表 18.36	位相計数モード4のアップ/ダウンカウント条件	18-60
表 18.37	リセット同期 PWM モード時の出力端子	18-62
表 18.38	リセット同期 PWM モード時のレジスタ設定	18-62
表 18.39	相補 PWM モード時の出力端子	18-65
表 18.40	相補 PWM モード時のレジスタ設定	18-65
表 18.41	初期設定に必要なレジスタとカウンタ	18-72
表 18.42	MTU 割り込み一覧	18-87
表 18.43	モード遷移の組み合わせ	18-110
表 18.44	端子構成	18-132
表 18.45	端子の組み合わせ	18-132
19. FIFO 付きシリアルコミュニケーション インタフェース (SCIF)		
表 19.1	端子構成	19-3
表 19.2	SCSMR の設定	19-15
表 19.3	ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(1)	19-16
表 19.3	ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(2)	19-17
表 19.4	ビットレートに対する SCBRR の設定例〔クロック同期式モード〕	19-18
表 19.5	ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)	19-19
表 19.6	外部クロック入力時の最大ビットレート(調歩同期式モード)	19-20
表 19.7	外部クロック入力時の最大ビットレート(クロック同期式モード)	19-20
表 19.8	SCSMR の設定値と SCIF 送信/受信フォーマット	19-28
表 19.9	SCSMR2、SCSCR2 の設定と SCIF のクロックソースの選択	19-28
表 19.10	シリアル送信/受信フォーマット(調歩同期式モード)	19-30
表 19.11	SCIF 割り込み要因	19-47
20. USB ファンクションモジュール		
表 20.1	端子構成	20-2
表 20.2	アプリケーション側でのコマンドデコード	20-30
21. A/D 変換器		
表 21.1	端子構成	21-3
表 21.2	アナログ入力チャンネルと ADDR の対応	21-4
表 21.3	A/D 変換時間(シングルモード)	21-14
表 21.4	A/D 変換時間(マルチモードおよびスキャンモード)	21-15
表 21.5	割り込み要求と DMAC 転送要求の関係	21-15

22. ピンファンクションコントローラ (PFC)

表 22.1 マルチプレクス一覧表.....	22-1
------------------------	------

23. I/O ポート

表 23.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作	23-2
表 23.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作	23-4
表 23.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作	23-6
表 23.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作	23-8
表 23.5 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作	23-10
表 23.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作 (PF15DT ~ PF8DT)	23-12
表 23.7 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作 (PF7DT ~ PF0DT)	23-12
表 23.8 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作 (PG13DT ~ PG11DT, PG8DT)	23-14
表 23.9 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作 (PG10DT, PG9DT)	23-15
表 23.10 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作 (PG7DT ~ PG0DT)	23-15
表 23.11 ポート H データレジスタ (PHDR) の読み出し / 書き込み動作	23-17
表 23.12 ポート J データレジスタ (PJDR) の読み出し / 書き込み動作	23-19

25. 電気的特性

表 25.1 絶対最大定格	25-1
表 25.2 電源投入 / 切断時間推奨値	25-2
表 25.3 DC 特性 (1) 【共通項目】	25-3
表 25.3 DC 特性 (2) 【I ² C および USB 関連端子を除く】	25-4
表 25.3 DC 特性 (3) 【I ² C 関連端子】	25-5
表 25.3 DC 特性 (4) 【USB 関連端子】	25-5
表 25.3 DC 特性 (5) 【USB トランシーバ関連端子*】	25-6
表 25.4 出力許容電流値	25-6
表 25.5 最大動作周波数	25-7
表 25.6 クロックタイミング	25-7
表 25.7 制御信号タイミング	25-10
表 25.8 バスタイミング	25-13
表 25.9 周辺モジュール信号タイミング	25-44
表 25.10 マルチファンクションタイムパルスユニットタイミング	25-46
表 25.11 アウトプットイネーブル (POE) タイミング	25-47
表 25.12 I ² C バスインターフェースタイミング	25-48
表 25.13 H-UDI 関連端子のタイミング	25-49
表 25.14 USB モジュールクロックタイミング	25-51
表 25.15 USB トランシーバタイミング	25-52
表 25.16 A/D 変換器特性	25-54

付録

表 A.1 「その他機能」設定時のリセット、低消費電力、バス権解放状態での端子状態	付録-1
表 A.2 I/O ポート設定時のリセット、低消費電力、バス権解放状態での端子状態	付録-4

1. 概要

本 LSI は、32 ビット RISC タイプ SuperH アーキテクチャの CPU とデジタル信号処理 (DSP) 拡張機能をコアとして、16k バイトのキャッシュメモリ、16k バイトの X/Y メモリおよびシステム構成に必要な割り込みコントローラなどを集積した RISC マイクロプロセッサです。本 LSI は 256 ピン版です。

内蔵 DMAC (Direct Memory Access Controller) による高速データ転送や、外部メモリアクセスサポート機能による各種メモリへの直結が可能です。さらに、USB (ファンクション) や FIFO を内蔵するシリアルインタフェースなどのシステムコンフィギュレーションに最適な周辺機能を内蔵しています。

1.1 特長

本 LSI の特長を表 1.1 に示します。

表 1.1 SH7641 の特長

項目	特長
CPU	<ul style="list-style-type: none">• ルネサス独自の SuperH アーキテクチャ• SH-1、SH-2、および SH-3 とオブジェクトコードレベルで互換性あり• 32 ビット内部データバスを内蔵• 豊富なレジスタ群をサポート 汎用レジスタ：32 ビットのレジスタを 16 本内蔵 (8 本の 32 ビットバンクレジスタを含む) コントロールレジスタ：32 ビットのレジスタを 8 本内蔵 システムレジスタ：32 ビットのレジスタを 4 本内蔵• RISC タイプ命令セットをサポート 命令長は、コード効率改善のための 16 ビット固定長を使用 ロードストアアーキテクチャ 遅延分岐命令 C 言語指向命令セット• 基本命令の命令実行時間は、1 命令 / サイクルで対応• 論理アドレス空間は、4GB に対応• 5 段パイプラインをサポート

1. 概要

項目	特 長
DSP	<ul style="list-style-type: none"> • 16 ビット命令、および 32 ビット命令の混在可能 • 32 または 40 ビットの内部データバスを内蔵 • 乗算器、ALU、バレルシフタ、レジスタファイルに対応 • 大容量 DSP データレジスタファイルをサポート 6本の 32 ビットデータレジスタ 2本の 40 ビットデータレジスタ • DSP データバス用の拡張ハーバードアーキテクチャをサポート 2本のデータバス 1本の命令バス • 最大 4 つの平行演算を実行可能 ALU、乗算、2つのロード/ストア • 2つのメモリアクセス用のアドレスを生成するための 2本のアドレスユニットを装備 • DSP データアドレッシングモードをサポート インクリメント、およびインデクシング (モジュールアドレッシングあり/なし) • ゼロオーバーヘッドリピートループ制御に対応 • 条件付命令実行に対応
クロックパルス (CPG)	<ul style="list-style-type: none"> • クロックモードは、入力クロックを外部入力 (EXTAL または CKIO) および水晶発振子から選択可能 • 3種類のクロックを生成に対応 CPU クロック : 100MHz バスクロック : 50MHz 周辺クロック : 33MHz • パワーダウンモードのサポート スリープモード スタンバイモード モジュールスタンバイモード • 3種類のクロックモード (PLL2 の $\times 2 / \times 4$ 選択およびクロックと水晶発振子の選択が可能)
ウォッチドッグ タイマ	<ul style="list-style-type: none"> • 1チャンネルのウォッチドッグタイマを内蔵 • ウォッチドッグタイマモードとインターバルタイマモードを選択可能 • インターバルタイマモード時、割り込み発生可能
キャッシュ メモリ	<ul style="list-style-type: none"> • 16k バイトキャッシュ、命令とデータの混在可能 • 256 エントリ、4 ウェイセットアソシアティブ、および 16 バイトブロック長に対応 • ライトバック、ライトスルー、および LRU 置換アルゴリズムに対応 • 1 段階ライトバックバッファを内蔵 • 最大 2 つのウェイをロック可能
X/Y メモリ	<ul style="list-style-type: none"> • 3本の独立した読み出しおよび書き込みポート CPU からの 8、16、および 32 ビットアクセス DSP からの 16 ビットアクセス DMAC からの 8、16、および 32 ビットアクセス • トータル 16k バイト (X メモリ 8k バイト、Y メモリ 8k バイト) のメモリを内蔵

項目	特 長
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> 9本の外部割り込み端子 (NMI、IRQ7 ~ IRQ0) をサポート 内蔵周辺割り込みは、モジュールごとに優先順位を設定可能 ソフトベクタモードサポート
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> アドレス、データ値、アクセスタイプ、およびデータサイズはすべてブレイク条件として設定可能 シーケンシャルブレイク機能をサポート 2本のブレイクチャンネルを内蔵
バーステート コントローラ (BSC)	<ul style="list-style-type: none"> 物理アドレス空間は、それぞれ最大 64M バイトの 4 つの領域 (エリア 0、エリア 2~4)、および最大 32M バイトの 4 つの領域 (エリア 5A、5B、6A、6B) の合計 8 エリアをサポート 各エリアごとに独立に次の機能を設定可能 バスサイズ (8、16、32 ビット) : ただし、各エリアごとにサポートサイズが異なる アクセスウェイトサイクル数 : リードまたはライトで独立ウェイト設定可のエリアあり アイドルウェイトサイクル設定 : 同一エリアまたは別エリア エリアごとに接続するメモリを指定することによって SRAM、SDRAM、バースト ROM との直結が可能。 また、アドレス / データ MPX モードをサポートするエリアあり 該当する領域にチップセレクト信号 (CS0、CS2 ~ CS4、CS5A/B、CS6A/B) を出力 (CS アサートまたはネゲートタイミングをプログラミングで選択可) SDRAM リフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート SDRAM バーストアクセス機能 エリア 2 / 3 で異なる SDRAM の接続可能 (サイズ / レイテンシ)
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> 4チャンネルを内蔵。うち 2チャンネルは外部リクエスト可能 バーストモードおよびサイクルスチールモードをサポート DREQ 付チャンネルの転送終了信号出力 (1チャンネル) インタミットモードをサポート (16/64 サイクルサポート)
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> E10A エミュレータのサポート JTAG 標準端子配置 リアルタイム分岐トレース
アドバンスト ユーザデバッグ (AUD)	<ul style="list-style-type: none"> 6本の出力ピン 分岐元 / 分岐先アドレスをトレース ウィンドウデータトレース機能 フルトレース機能 CPU 実行を中断することで全トレースデータを出力可能 リアルタイムトレース機能 CPU 実行を中断しない範囲でトレースデータを出力可能

1. 概要

項目	特 長
マルチファンクション タイムパルスユニット (MTU)	<ul style="list-style-type: none"> 最大 16 本のパルス入出力が可能 各チャンネルごとに 8 種類のカウント入力クロックを選択可能 チャンネル 0、3、4 はバッファ動作を設定可能 チャンネル 1、2 は各々独立に位相計数モードを設定可能 カスケード接続動作 23 種類の割り込み要因 レジスタの自動転送が可能 A/D 変換器の変換スタートトリガを生成可能
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> 2 チャンネル 16 ビットカウンタ 4 種類のクロック選択可能 コンペアマッチ時、DMA 転送要求または割り込み要求の発生を選択可能
シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> 3 チャンネル 調歩同期 / クロック同期モード選択が可能 送受信を同時に行なうことが可能 (全二重) 専用のボーレートジェネレータ内蔵 送受信 FIFO 各々 16 バイト内蔵 モデムコントロール機能 (調歩同期モード時)
I/O ポート	<ul style="list-style-type: none"> 入出力兼用ポートはビットごとに入出力切り替え可能
USB ファンクション モジュール	<ul style="list-style-type: none"> USB 規格準拠 USB トランシーバ内蔵 / 外付け両モード対応 コントロール (エンドポイント 0)、バルク転送方式 (エンドポイント 1、2)、インタラプト (エンドポイント 3) をサポート USB 標準コマンドをサポートし、クラスおよびベンダコマンドはファームウェアで処理 エンドポイント用の FIFO バッファを内蔵 (128 バイト / エンドポイント) モジュール入力クロック : 48MHz セルフパワード / バスパワードを選択可能
I ² C バス インタフェース (IIC2)	<ul style="list-style-type: none"> 1 チャンネル Philips 社提唱の I²C バスインタフェース方式準拠 マスタモード / スレーブモード内蔵 連続送信 / 受信可能 I²C バスフォーマット / クロック同期式シリアルフォーマット選択可能
A/D 変換器	<ul style="list-style-type: none"> 10 ビット ±8LSB、8 チャンネル 入力範囲 : 0 ~ AV_{CC} (最大 3.6V)
U メモリ	<ul style="list-style-type: none"> 3 本の独立した読み出し / 書き込みポート CPU からの 8、16、および 32 ビットアクセス DSP からの 16、および 32 ビットアクセス DMAC からの 8、16、および 8 ビットアクセス 128k バイトの大容量メモリを内蔵

1.2 ブロック図

図 1.1 に本 LSI のブロック図を示します。

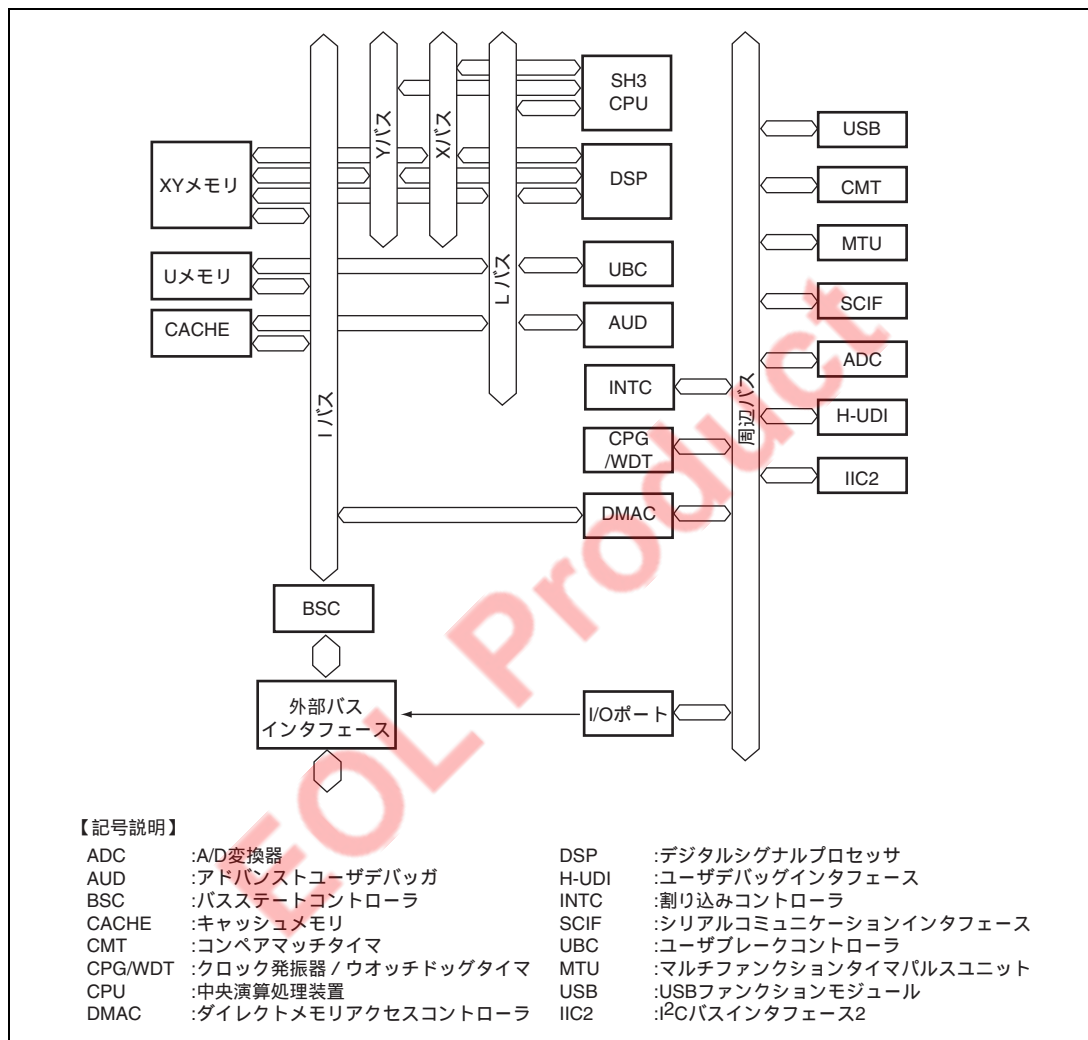


図 1.1 ブロック図

1. 概要

1.3 ピン配置図

図 1.2 に本 LSI のピン配置図を、表 1.2 にピン配置表を示します。

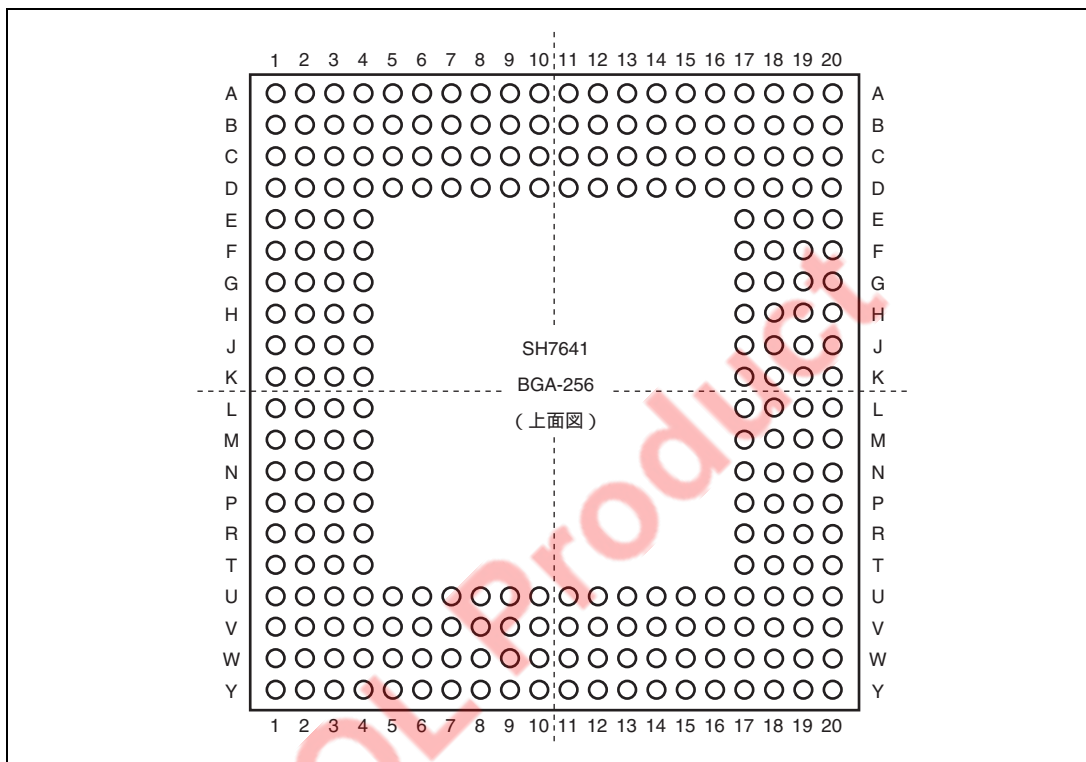


図 1.2 ピン配置図 (BGA-256)

表 1.2 ビン配置表

端子番号	端子名	機能
B2	D7	データバス
C2	D6	データバス
D2	D5	データバス
B1	D4	データバス
E2	D3	データバス
E3	D2	データバス
C1	VssQ	入出力用電源 (0V)
D3	D1	データバス
D1	VccQ	入出力用電源 (3.3V)
E4	D0	データバス
F2	CS3/PTA[3]	チップセレクト 3 / ポート A
F3	Vss	電源 (0V)
E1	CS2/PTA[2]	チップセレクト 2 / ポート A
F4	Vcc	電源 (1.8V)
G2	UCLK/PTB[0]	USB 外部入力クロック / ポート B
G3	VBUS/PTB[1]	USB 電源検知 / ポート B
F1	SUSPND/PTB[2]	USB サスペンド / ポート B
G4	XVDATA/PTB[3]	USB 差動レシーバからの受信データ入力 / ポート B
H2	TXENL/PTB[4]	USB アウトプットイネーブル / ポート B
H3	VccQ	入出力用電源 (3.3V) * ³
G1	DP	D+
H1	DM	D-
H4	VssQ	入出力用電源 (0V) * ³
J3	TXDMNS/PTB[5]	USB トランシーバに対する D-送信出力 / ポート B
J2	TXDPLS/PTB[6]	USB トランシーバに対する D+送信出力 / ポート B
J4	DMNS/PTB[7]	USB レシーバからの D-入力 / ポート B
J1	DPLS/PTB[8]	USB レシーバからの D+入力 / ポート B
K3	Vss	電源 (0V)
K2	A18	アドレスバス
K4	Vcc	電源 (1.8V)
K1	A19/PTA[8]	アドレスバス / ポート A
L1	A20/PTA[9]	アドレスバス / ポート A
L4	A21/PTA[10]	アドレスバス / ポート A
M1	A22/PTA[11]	アドレスバス / ポート A
L3	A23/PTA[12]	アドレスバス / ポート A
L2	A24/PTA[13]	アドレスバス / ポート A

1. 概要

端子番号	端子名	機能
M4	VssQ	入出力用電源 (0V)
N1	AUDCK	AUD クロック
M3	VccQ	入出力用電源 (3.3V)
M2	A25/PTA[14]	アドレスバス / ポート A
N4	AUDATA[0]/PTJ[8]	AUD データ / ポート J
P1	AUDATA[1]/PTJ[9]	AUD データ / ポート J
N3	AUDATA[2]/PTJ[10]	AUD データ / ポート J
N2	AUDATA[3]/PTJ[11]	AUD データ / ポート J
P4	$\overline{\text{AUDSYNC}}$ /PTJ[12]	AUD 同期 / ポート J
R1	TCK	テストクロック
P3	TDI	テストデータ入力
T1	TDO	テストデータ出力
R4	TMS	テストモードセレクト
P2	$\overline{\text{TRST}}$	テストリセット
R3	$\overline{\text{NMI}}$	ノンマスクابل割り込み要求
U1	$\overline{\text{IRQ0}}$ /PTJ[0]	外部割り込み要求 / ポート J
T4	Vcc	電源 (1.8V)
R2	$\overline{\text{IRQ1}}$ /PTJ[1]	外部割り込み要求 / ポート J
U4	Vss	電源 (0V)
V1	VssQ	入出力用電源 (0V)
U2	$\overline{\text{IRQ2}}$ /PTJ[2]	外部割り込み要求 / ポート J
W1	VccQ	入出力用電源 (3.3V)
V3	$\overline{\text{IRQ3}}$ /PTJ[3]	外部割り込み要求 / ポート J
T2	$\overline{\text{IRQ4}}$ /PTJ[4]	外部割り込み要求 / ポート J
T3	$\overline{\text{IRQ5}}$ /PTJ[5]	外部割り込み要求 / ポート J
U3	$\overline{\text{IRQ6}}$ /PTJ[6]	外部割り込み要求 / ポート J
V2	$\overline{\text{IRQ7}}$ /PTJ[7]	外部割り込み要求 / ポート J
Y1	SCK0/PTH[0]	シリアルクロック 0 / ポート H
W2	$\overline{\text{CTS0}}$ /PTH[1]	送信クリア 0 / ポート H
W3	TxD0/PTH[2]	送信データ 0 / ポート H
W4	RxD0/PTH[3]	受信データ 0 / ポート H
Y2	$\overline{\text{RTS0}}$ /PTH[4]	送信要求 0 / ポート H
W5	SCK1/PTH[5]	シリアルクロック 1 / ポート H
V5	$\overline{\text{CTS1}}$ /PTH[6]	送信クリア 1 / ポート H
Y3	TxD1/PTH[7]	送信データ 1 / ポート H
V4	RxD1/PTH[8]	受信データ 1 / ポート H
Y4	$\overline{\text{RTS1}}$ /PTH[9]	送信要求 1 / ポート H

端子番号	端子名	機能
U5	SCK2/PTH[10]	シリアルクロック 2 / ポート H
W6	$\overline{\text{CTS}}2/\text{PTH}[11]$	送信クリア 2 / ポート H
V6	Vss	電源 (0V)
Y5	TxD2/PTH[12]	送信データ 2 / ポート H
U6	Vcc	電源 (1.8V)
W7	RxD2/PTH[13]	受信データ 2 / ポート H
V7	VccQ	入出力用電源 (3.3V)
Y6	$\overline{\text{RTS}}2/\text{PTH}[14]$	送信要求 2 / ポート H
U7	VssQ	入出力用電源 (0V)
W8	TIOC4D/PTE[0]	タイマ入出力 4D / ポート E
V8	TIOC4C/PTE[1]	タイマ入出力 4C / ポート E
Y7	TIOC4B/PTE[2]	タイマ入出力 4B / ポート E
U8	TIOC4A/PTE[3]	タイマ入出力 4A / ポート E
Y8	TIOC3D/PTE[4]	タイマ入出力 3D / ポート E
V9	TIOC3B/PTE[6]	タイマ入出力 3B / ポート E
W9	TIOC3C/PTE[5]	タイマ入出力 3C / ポート E
U9	TIOC3A/PTE[7]	タイマ入出力 3A / ポート E
Y9	TIOC2B/PTE[8]	タイマ入出力 2B / ポート E
V10	Vss	電源 (0V)
W10	TIOC2A/PTE[9]	タイマ入出力 2A / ポート E
U10	Vcc	電源 (1.8V)
Y10	TIOC1B/PTE[10]	タイマ入出力 1B / ポート E
Y11	TIOC1A/PTE[11]	タイマ入出力 1A / ポート E
U11	TIOC0D/PTE[12]	タイマ入出力 0D / ポート E
Y12	TIOC0C/PTE[13]	タイマ入出力 0C / ポート E
V11	TIOC0B/PTE[14]	タイマ入出力 0B / ポート E
W11	TIOC0A/PTE[15]	タイマ入出力 0A / ポート E
U12	VssQ	入出力用電源 (0V)
Y13	TCLKD/PTF[8]	タイマクロック入力 D / ポート F
V12	VccQ	入出力用電源 (3.3V)
W12	TCLKC/PTF[9]	タイマクロック入力 C / ポート F
U13	TCLKB/PTF[10]	タイマクロック入力 B / ポート F
Y14	TCLKA/PTF[11]	タイマクロック入力 A / ポート F
V13	$\overline{\text{POE}}0/\text{PTF}[12]$	ポートアウトプットイネーブル入力 0 / ポート F
W13	$\overline{\text{POE}}1/\text{PTF}[13]$	ポートアウトプットイネーブル入力 1 / ポート F
U14	$\overline{\text{POE}}2/\text{PTF}[14]$	ポートアウトプットイネーブル入力 2 / ポート F
Y15	$\overline{\text{POE}}3/\text{PTF}[15]$	ポートアウトプットイネーブル入力 3 / ポート F

1. 概要

端子番号	端子名	機能
V14	PTF[0]	ポート F
Y16	PTF[1]	ポート F
U15	PTF[2]	ポート F
W14	PTF[3]	ポート F
V15	PTF[4]	ポート F
Y17	PTF[5]	ポート F
U16	Vcc	電源 (1.8V)
W15	PTF[6]	ポート F
U17	Vss	電源 (0V)
Y18	VssQ	入出力用電源 (0V)
W17	PTF[7]	ポート F
Y19	VccQ	入出力用電源 (3.3V)
V18	PTG[8]	ポート G
W16	SCL/PTG[9]	シリアルクロック端子 / ポート G* ²
V16	SDA/PTG[10]	シリアルデータ端子 / ポート G* ²
V17	PTG[11]	ポート G
W18	PTG[12]	ポート G
Y20	PTG[13]	ポート G
W19	AVss (AD)	A/D 用アナログ電源 (0V)
V19	AN[0]/PTG[0]	A/D 変換器入力 / ポート G* ²
U19	AN[1]/PTG[1]	A/D 変換器入力 / ポート G* ²
W20	AN[2]/PTG[2]	A/D 変換器入力 / ポート G* ²
T19	AN[3]/PTG[3]	A/D 変換器入力 / ポート G* ²
T18	AN[4]/PTG[4]	A/D 変換器入力 / ポート G* ²
V20	AN[5]/PTG[5]	A/D 変換器入力 / ポート G* ²
U18	AN[6]/PTG[6]	A/D 変換器入力 / ポート G* ²
U20	AVcc (AD)	A/D 用アナログ電源 (3.3V)
T17	AN[7]/PTG[7]	A/D 変換器入力 / ポート G* ²
R19	VccQ* ¹	入出力用電源 (3.3V) * ¹
R18	Vss	電源 (0V)
T20	DREQ0/PTC[9]	DMA 転送要求 / ポート C
R17	Vcc	電源 (1.8V)
P19	DREQ1/PTC[10]	DMA 転送要求 / ポート C
P18	STATUS0/PTC[14]	プロセッサステータス / ポート C
R20	STATUS1/PTC[15]	プロセッサステータス / ポート C
P17	BREQ/PTC[6]	バス権要求 / ポート C
N19	BACK/PTC[7]	バスアクノリッジ / ポート C

端子番号	端子名	機能
N18	VccQ* ¹	入出力用電源 (3.3V) * ¹
P20	VccQ* ¹	入出力用電源 (3.3V) * ¹
N17	ASEBRKAK/PTC[13]	ASE ブレークアクリッジ / ポート C
N20	RESETP	パワーオンリセット要求
M18	VccQ	入出力用電源 (3.3V)
M19	VssQ	入出力用電源 (0V)
M17	XTAL	クロック発振器端子
M20	EXTAL	外部クロック / 水晶発振器端子
L18	Vss	電源 (0V)
L19	RESETM	マニュアルリセット要求
L17	Vcc	電源 (1.8V)
L20	ASEMD0	ASE モード
K20	Vss (PLL2)	PLL2 用電源 (0V)
K17	Vcc (PLL2)	PLL2 用電源 (1.8V)
J20	Vcc (PLL1)	PLL1 用電源 (1.8V)
K18	Vss (PLL1)	PLL1 用電源 (0V)
K19	MD3	エリア 0 用バス幅設定
J17	MD2	クロックモード設定
H20	VccQ * ¹	入出力用電源 (3.3V) * ¹
J18	MD0	クロックモード設定
J19	CS6B/PTC[4]	チップセレクト 6B / ポート C
H17	VssQ	入出力用電源 (0V)
G20	CS6A/PTC[3]	チップセレクト 6A / ポート C
H18	VccQ	入出力用電源 (3.3V)
H19	CS5B/PTC[2]	チップセレクト 5B / ポート C
G17	CS5A/PTC[1]	チップセレクト 5A / ポート C
F20	CS4/PTC[0]	チップセレクト 4 / ポート C
G18	WAIT	ハードウェアウェイト要求
E20	CS0	チップセレクト 0
F17	BS	バスサイクル開始信号
G19	TEND/PTC[8]	DMA 転送終了信号 / ポート C
F18	FRAME/PTC[5]	FRAME 出力 / ポート C
D20	RD	リードストローブ
E17	Vcc	電源 (1.8V)
F19	DACK0/PTC[11]	DMA 転送要求受付 / ポート C
D17	Vss	電源 (0V)
C20	VssQ	入出力用電源 (0V)

1. 概要

端子番号	端子名	機能
D19	$\overline{\text{DACK1}}/\text{PTC}[12]$	DMA 転送要求受付 / ポート C
B20	VccQ	入出力用電源 (3.3V)
C18	D31/PTD[15]	データバス / ポート D
E19	D30/PTD[14]	データバス / ポート D
E18	D29/PTD[13]	データバス / ポート D
D18	D28/PTD[12]	データバス / ポート D
C19	D27/PTD[11]	データバス / ポート D
A20	D26/PTD[10]	データバス / ポート D
B19	D25/PTD[9]	データバス / ポート D
B18	D24/PTD[8]	データバス / ポート D
B17	D23/PTD[7]	データバス / ポート D
A19	D22/PTD[6]	データバス / ポート D
B16	D21/PTD[5]	データバス / ポート D
C16	D20/PTD[4]	データバス / ポート D
A18	VssQ	入出力用電源 (0V)
C17	D19/PTD[3]	データバス / ポート D
A17	VccQ	入出力用電源 (3.3V)
D16	D18/PTD[2]	データバス / ポート D
B15	D17/PTD[1]	データバス / ポート D
C15	Vss	電源 (0V)
A16	D16/PTD[0]	データバス / ポート D
D15	Vcc	電源 (1.8V)
B14	CKIO2	システムクロック出力
C14	VccQ	入出力用電源 (3.3V)
A15	CKIO	システムクロック入出力
D14	VssQ	入出力用電源 (0V)
B13	$\text{RD}/\overline{\text{WR}}$	リード / ライト
C13	VccQ	入出力用電源 (3.3V)
A14	$\overline{\text{WE0}}/\text{DQMLL}$	D7-D0 セレクト信号 / DQM (SDRAM)
D13	VssQ	入出力用電源 (0V)
A13	$\overline{\text{WE1}}/\text{DQMLU}$	D15-8 セレクト信号 / DQM (SDRAM)
C12	$\overline{\text{CASU}}/\text{PTA}[5]$	上位 32M バイトアドレス用 CAS / ポート A
B12	$\overline{\text{WE3}}/\text{DQMUU}/\overline{\text{AH}}$	D31-24 セレクト信号 / DQM (SDRAM) / アドレスホールド (MPX)
D12	$\overline{\text{RASU}}/\text{PTA}[7]$	上位 32M バイトアドレス用 RAS / ポート A
A12	$\overline{\text{WE2}}/\text{DQMUL}$	D23-16 セレクト信号 / DQM (SDRAM)
C11	Vss	電源 (0V)

端子番号	端子名	機能
B11	CKE/PTA[1]	CK イネーブル / ポート A
D11	Vcc	電源 (1.8V)
A11	$\overline{\text{CAS}}/\text{PTA}[4]$	下位 32M バイトアドレス用 CAS / ポート A
A10	$\overline{\text{RAS}}/\text{PTA}[6]$	下位 32M バイトアドレス用 RAS / ポート A
D10	A17	アドレスバス
A9	A16	アドレスバス
C10	A15	アドレスバス
B10	A14	アドレスバス
D9	A13	アドレスバス
A8	A12	アドレスバス
C9	A11	アドレスバス
B9	A10	アドレスバス
D8	VssQ	入出力用電源 (0V)
A7	A9	アドレスバス
C8	VccQ	入出力用電源 (3.3V)
B8	A8	アドレスバス
D7	A7	アドレスバス
A6	A6	アドレスバス
C7	A5	アドレスバス
A5	A4	アドレスバス
D6	A3	アドレスバス
B7	A2	アドレスバス
C6	A1	アドレスバス
A4	A0/PTA[0]	アドレスバス / ポート A
D5	Vcc	電源 (1.8V)
B6	D15	データバス
D4	Vss	電源 (0V)
A3	VssQ	入出力用電源 (0V)
B4	D14	データバス
A2	VccQ	入出力用電源 (3.3V)
C3	D13	データバス
B5	D12	データバス
C5	D11	データバス
C4	D10	データバス
B3	D9	データバス
A1	D8	データバス

1. 概要

- 【注】 *1 実際の電源 (V_{ccQ} および V_{ssQ}) ではありませんが、LSI を正しく動作させるために必要です。それぞれ指定の電圧を印加してください。
- *2 I/O バッファには、ウィークキーバがありません。したがって、本端子を使用しない場合は、プルアップ、またはプルダウンするようにしてください。また、ポート入力として使用する場合も、中間電位を印加しないようにしてください。
- *3 H3 および H4 は、LSI 内 USB モジュールにもっとも近い電源ペアです。パソコンを挿入する場合は、本電源ペアに対して実施してください。

EOL Product

1.4 端子の機能

各端子の機能を表 1.3 に示します。

表 1.3 本 LSI の端子機能

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	LSI 内部およびシステム系 / ポート用の電源です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	VccQ	入力	電源	入出力端子用電源です。すべての VccQ 端子をシステムの電源に接続してください。開放端子があると動作しません。
	VssQ	入力	グランド	グランド端子です。すべての VssQ 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
クロック	Vcc (PLL1)	入力	PLL1 用電源	内蔵 PLL1 発振器用の電源端子です。
	Vss (PLL1)	入力	PLL1 用グランド	内蔵 PLL1 発振器用のグランド端子です。
	Vcc (PLL2)	入力	PLL2 用電源	内蔵 PLL2 発振器用の電源端子です。
	Vss (PLL2)	入力	PLL2 用グランド	内蔵 PLL2 発振器用のグランド端子です。
	EXTAL	入力	外部クロック	水晶発振子を接続します。EXTAL 端子は、外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 4 章 クロックパルス発振器 (CPG)」を参照してください。
	XTAL	出力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 4 章 クロックパルス発振器 (CPG)」を参照してください。
動作モード コントロール	MD3、MD2、MD0	入出力	システム クロック	外部デバイスにシステムクロックを供給します。
		出力	システム クロック	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD3、MD2、MD0	入力	モード設定	動作モードを設定します。これらの端子は、動作中に変化させないでください。 MD0、MD2 はクロックモード設定用、MD3 はエリア 0 のバス幅モード設定用です。

1. 概要

分類	記号	入出力	名称	機能
システム制御	RESETP	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	RESETM	入力	マニュアルリセット	この端子がローレベルになるとマニュアルリセット状態になります。
	STATUS1、STATUS0	出力	ステータス出力	本 LSI がソフトウェアスタンバイ中かリセット中かスリープ中かを示します。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。 BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。
割り込み	NMI	入力	ノンマスカブル割り込み	ノンマスカブル割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7 ~ IRQ0	入力	割り込み要求 7 ~ 0	マスク可能な割り込み要求端子です。 レベル入力とエッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、および両エッジの選択が可能です。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D31 ~ D0	入出力	データバス	32 ビットの双方向バスです。
バス制御	CS0、CS2 ~ CS4、CS5A、CS5B、CS6A、CS6B	出力	チップセレクト 0、2 ~ 4、5A、5B、6A、6B	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD	出力	読み出し	外部のデバイスから読み出すことを示します。
	RD/WR	出力	リード/ライト	リード信号またはライト信号です。
	BS	出力	バス開始	バスサイクル開始信号です。
	WE3/DQMUU/AH	出力	バイト指定	外部メモリまたはデバイスのデータのビット 31 ~ 24 に書き込みすることを示します。 SDRAM 接続時、D31 ~ D24 を選択します。 アドレスまたはデータマルチプレクス I/O 時のアドレスをホールドするための信号です。
	WE2/DQMUL	出力	バイト指定	外部メモリまたはデバイスのデータのビット 23 ~ 16 に書き込みすることを示します。 SDRAM 接続時、D23 ~ D16 を選択します。
	WE1/DQMLU	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15 ~ 8 に書き込みすることを示します。 SDRAM 接続時、D15 ~ D8 を選択します。
WE0/DQMLL	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7 ~ 0 に書き込みすることを示します。 SDRAM 接続時、D7 ~ D0 を選択します。	

分類	記号	入出力	名称	機能
バス制御	RAS \bar{U} , RAS \bar{L}	出力	RAS	SDRAM 接続時に RAS 端子を接続します。
	CAS \bar{U} , CAS \bar{L}	出力	CAS	SDRAM 接続時に CAS 端子を接続します。
	CKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子を接続します。
	FRAME	出力	FRAME 信号	バースト MPX-IO インタフェース時は、FRAME 信号を接続します。
	WAIT	入力	ウエイト	外部空間をアクセスするときのバスサイクルにウエイトサイクルを挿入させる入力です。
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0 DREQ1	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0 DACK1	出力	DMA 転送要求受付	外部からの DMA 転送要求に対する、要求受け出力端子です。
	TEND	出力	DMA 転送終了出力	DMA 転送終了信号出力端子です。
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ 入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。
アドバンスト ユーザデバッグ (AUD)	AUDATA3 ~ AUDATA0	出力	AUD データ	AUD トレースモード時はデータ出力端子となります。
	AUDCK	出力	AUD クロック	AUD トレースモード時は同期クロック出力端子となります。
	AUDSYNC	出力	AUD 同期信号	AUD トレースモード時はデータ先頭位置認識信号出力端子となります。
E10A インタフェース	ASEBRKAK	出力	ブ레이크モード アクノリッジ	E10A エミュレータがブ레이크モードに入ったことを示します。 E10A との接続については、「SH7641 用 E10A エミュレータユーザズマニュアル (仮称)」を参照してください。
	ASEMD0	入力	ASE モード	ASE モードを設定します。
I ² C バスインタ フェース 2	SCL	入出力	シリアル クロック端子	シリアルクロック入出力端子です。
	SDA	入出力	シリアル データ端子	シリアルデータ入出力端子です。

1. 概要

分類	記号	入出力	名称	機能
マルチファンクション タイマパルス ユニット (MTU)	TCLKA TCLKB TCLKC TCLKD	入力	クロック入力	外部クロック入力端子です。
	TIOC0A TIOC0B TIOC0C TIOC0D	入出力	インプットキャ プチャ / アウトプット コンペアマッチ	TGRA_0 ~ TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1A TIOC1B	入出力	インプットキャ プチャ / アウトプット コンペアマッチ	TGRA_1、TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2A TIOC2B	入出力	インプットキャ プチャ / アウトプット コンペアマッチ	TGRA_2、TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3A TIOC3B TIOC3C TIOC3D	入出力	インプットキャ プチャ / アウトプット コンペアマッチ	TGRA_3 ~ TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4A TIOC4B TIOC4C TIOC4D	入出力	インプットキャ プチャ / アウトプット コンペアマッチ	TGRA_4 ~ TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	ポートアウトプ ットイネーブル (POE)	POE3 ~ POE0	入力	ポートアウトプ ットイネーブル
シリアルコミュ ニケーション インタフェース (SCIF)	SCK0 SCK1 SCK2	入出力	シリアル クロック	クロック入出力
	RxD0 RxD1 RxD2	入力	レシーブデー タ	受信データ入力
	TxD0 TxD1 TxD2	出力	トランスミッ ト データ	送信データ出力
	RTS0 RTS1 RTS2	入出力	リクエスト ツースェンド	リクエストツースェンド
	CTS0 CTS1 CTS2	入出力	クリア ツースェンド	クリアツースェンド

分類	記号	入出力	名称	機能
USB ファンクション モジュール	XVDATA	入力	データ入力	USB 差動レシーバからの受信データ入力端子
	DPLS	入力	D+ 入力	USB レシーバからの D+ 信号入力
	DMNS	入力	D- 入力	USB レシーバからの D- 信号入力
	TXDPLS	出力	D+ 出力	USB トランシーバに対する D+ 送信出力端子
	TXDMNS	出力	D- 出力	USB トランシーバに対する D- 送信出力端子
	TXENL	出力	出力イネーブル	USB トランシーバに対するアウトプットイネーブル端子
	VBUS	入力	USB 電源検知	USB ケーブル接続モニタ端子
	SUSPND	出力	サスペンド	USB トランシーバに対するサスペンド状態出力端子
	UCLK	入力	USB クロック	USB 用クロック入力端子 (48MHz 入力)
	DP	入出力	D+ 入出力	内蔵トランシーバ D+ 信号
	DM	入出力	D- 入出力	内蔵トランシーバ D- 信号
A/D 変換器	AN7 ~ AN0	入力	アナログ入力 端子	アナログ入力端子です。
	AVcc	入力	A/D 用アナログ 電源	A/D 変換器の電源端子です。
	AVss	入力	A/D 用アナログ グランド	A/D 変換器のグランド端子です。
I/O ポート	PTA14 ~ 0	入出力	汎用ポート	15 ビットの汎用入出力ポート端子です。
	PTB8 ~ 0	入出力	汎用ポート	9 ビットの汎用入出力ポート端子です。
	PTC15 ~ 0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PTD15 ~ 0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PTE15 ~ 0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PTF15 ~ 0	入出力	汎用ポート	16 ビットの汎用入出力ポート端子です。
	PTG13 ~ 0	右記を 参照	汎用ポート	14 ビットの汎用ポート端子です。 PTG13 ~ PTG8 は、汎用入出力ポート端子です。 PTG7 ~ PTG0 は、汎用入力専用ポート端子です。
	PTH14 ~ 0	入出力	汎用ポート	15 ビットの汎用入出力ポート端子です。
	PTJ12 ~ 0	入出力	汎用ポート	13 ビットの汎用入出力ポート端子です。

EOL Product

2. CPU

2.1 レジスタ構成

本 LSI は、SH-3 と同じレジスタを持っています。また、本 LSI は SH3-DSP と同じ DSP 関連レジスタもサポートしています。ソフトウェアでアクセス可能な基本レジスタは 4 種類のグループに分けられます。

- 汎用レジスタ
- コントロールレジスタ
- システムレジスタ
- DSPレジスタ

いくつかの DSP レジスタを除き、以上のレジスタはすべて 32 ビットの幅を持っています。汎用レジスタは R0 ~ R7 がバンク化され、RB の値により別の R0 ~ R7 レジスタセット、すなわち、R0 ~ R7_BANK0 および R0 ~ R7_BANK1 をアクセスできるようになっています。ステータスレジスタ (SR) のレジスタバンク (RB) ビットはバンクレジスタ (R0 ~ R7_BANK0 または R0 ~ R7_BANK1) のどのセットが汎用レジスタとしてアクセスされ、どのセットが LDC/STC 命令のみによってアクセスされるかを定義します。

コントロールレジスタは LDC/STC 命令によってアクセスできます。コントロールレジスタは次のとおりです。

- SR : ステータスレジスタ
- SSR : 回避ステータスレジスタ
- SPC : 回避プログラムカウンタ
- GBR : グローバルベースレジスタ
- VBR : ベクタベースレジスタ
- RS : 繰り返し開始レジスタ (DSPモードのみ)
- RE : 繰り返し終了レジスタ (DSPモードのみ)
- MOD : モジュロレジスタ (DSPモードのみ)

システムレジスタは LDS/STS 命令 (PC はソフトウェアでアクセス不可能ですが、その内容は例外処理で SPC に回避され、また SPC から復帰されるのでここに含めます) によってアクセスします。システムレジスタは次のとおりです。

- MACH : 積和上位レジスタ
- MACL : 積和下位レジスタ
- PR : プロシージャレジスタ
- PC : プログラムカウンタ

2. CPU

本章では各モードにおけるこれらのレジスタの使用方法について説明します。

処理モード別のレジスタ構成を図 2.1、図 2.2 に示します。

DSP モードは、ステータスレジスタの DSP ビットで切り替えます。

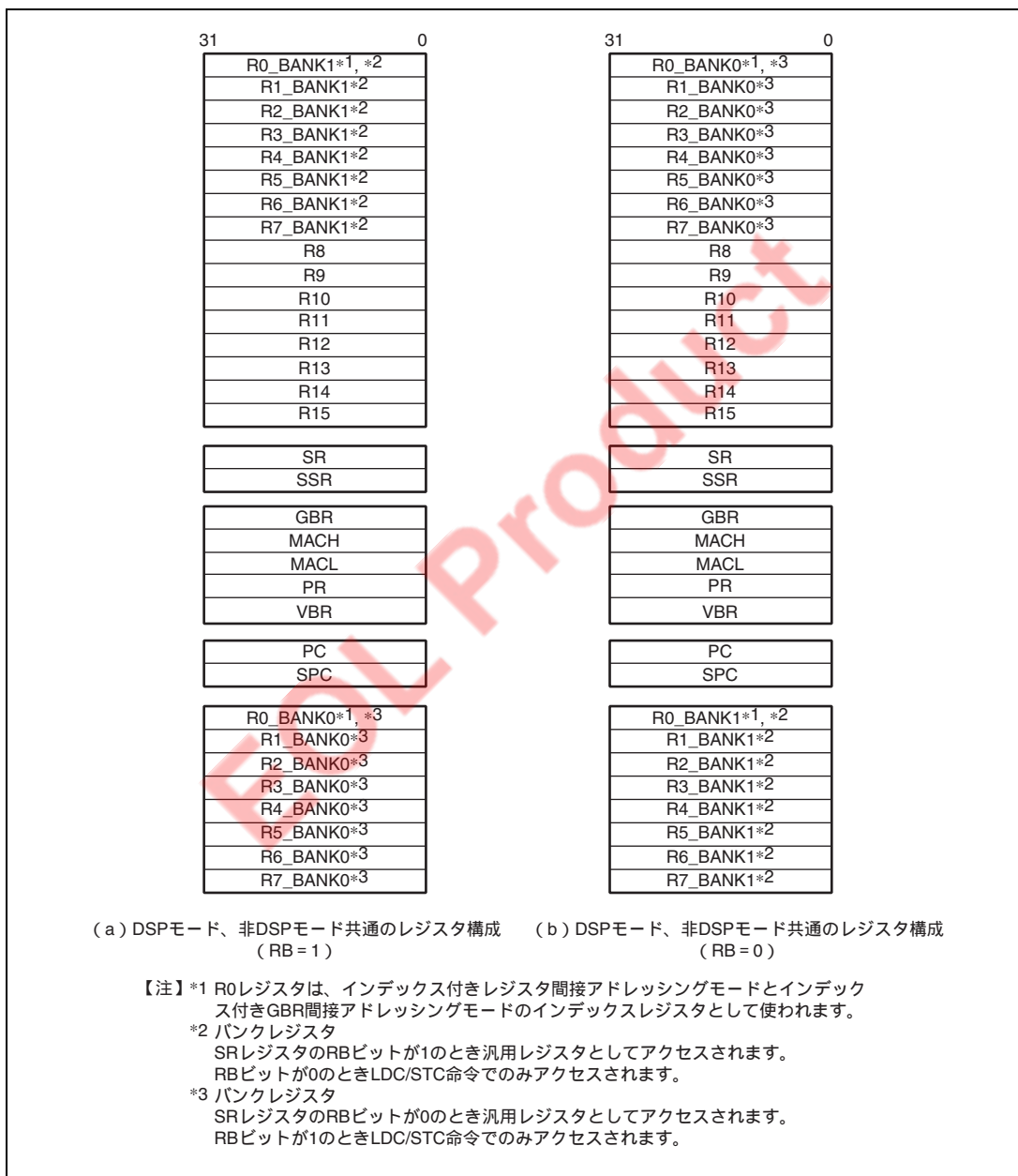


図 2.1 処理モード別のレジスタ構成 (1)

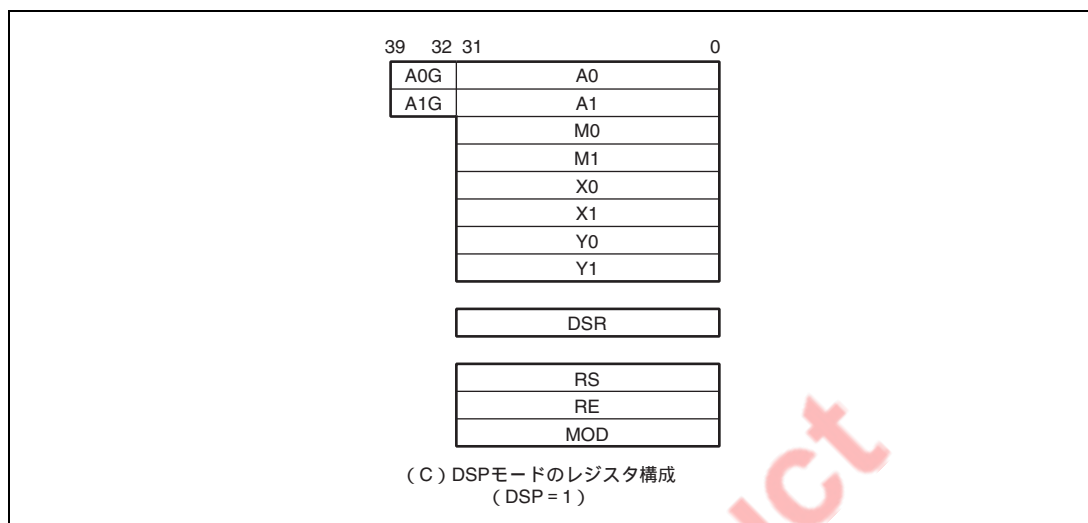


図 2.2 処理モード別のレジスタ構成 (2)

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0 ~ R15	不定
コントロールレジスタ	SR	RB ビットは 1、BL ビットは 1、I3 ~ I0 は 1111 (HF)、予約ビットはビット 30 のみ 1、それ以外は 0、その他は不定
	GBR、SSR、SPC	不定
	VBR、RE	H'00000000
	RS	不定
	MOD	不定
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
DSP レジスタ	A0、A0G、A1、A1G、M0、M1、X0、X1、Y0、Y1	不定
	DSR	H'00000000

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

2.1.1 汎用レジスタ

汎用レジスタ(R_n)は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。

Super H マイコンタイプの命令では、R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。

DSPタイプの命令では、汎用レジスタ16本のうち、8つのレジスタがX、YデータメモリおよびLバスを使うデータメモリ(シングルデータ)のアドレッシングに使われます。

Xメモリをアクセスするためには、Xアドレスレジスタ[A_x]としてR4、R5を使い、Xインデックスレジスタ[I_x]としてR8を使います。Yメモリをアクセスするためには、Yアドレスレジスタ[A_y]としてR6、R7を使い、Yインデックスレジスタ[I_y]としてR9を使います。Lバスを使ってシングルデータをアクセスするためには、シングルデータアドレスレジスタ[A_s]としてR2、R3、R4、R5を使い、シングルデータインデックスレジスタ[I_s]としてR8を使います。

図2.3に汎用レジスタを示します。本LSIの汎用レジスタは、DSP拡張機能を無効にしたときのSH-3の汎用レジスタと同じです。

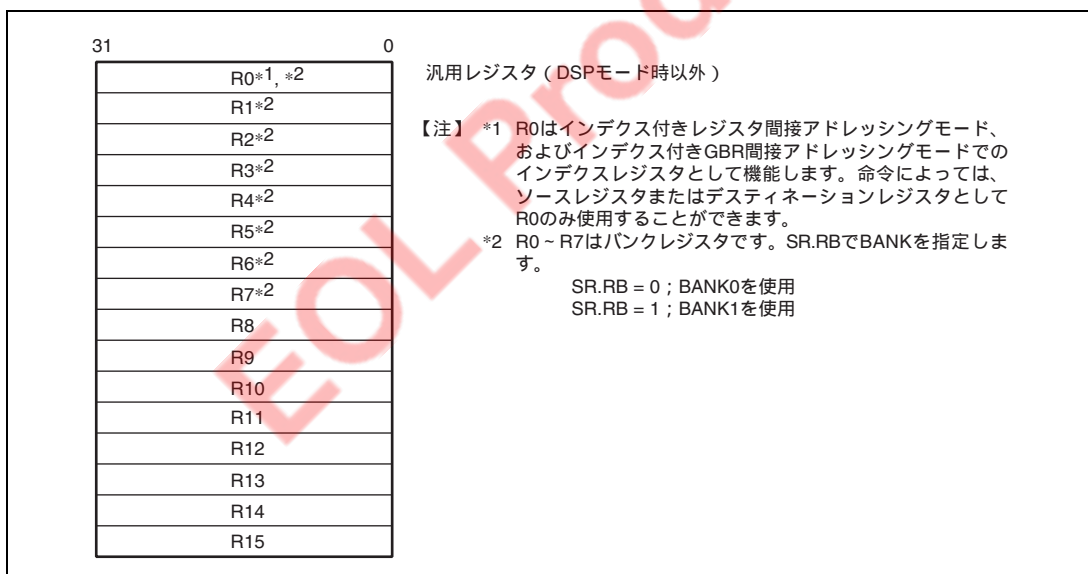


図 2.3 汎用レジスタ (DSPモード以外)

一方、R2～R9レジスタは、DSP拡張機能が有効なときDSPデータアドレス計算にも使用します(図2.4を参照)。DSPタイプ命令でのレジスタの目的を表すもう1つの記号を[]内に示します。

31	0	
		R0 汎用レジスタ (DSPモードが有効のとき)
		R1
		R2 [As] XおよびYデータ転送動作
		R3 [As]
		R4 [As, Ax] R4,5 [Ax] : Xデータメモリに対するアドレスレジスタセット
		R5 [As, Ax] R8 [Ix] : アドレスレジスタセットAxに対するインデックスレジスタ
		R6 [Ay] R6,7 [Ay] : Yデータメモリに対するアドレスレジスタセット
		R7 [Ay] R9 [Iy] : アドレスレジスタセットAyに対するインデックスレジスタ
		R8 [Ix, Is] シングルデータ転送動作
		R9 [Iy] R2~5 [As] : メモリに対するアドレスレジスタセット
		R10 R8 [Is] : アドレスレジスタセットAsに対するインデックスレジスタ
		R11
		R12
		R13
		R14
		R15

図 2.4 汎用レジスタ (DSP モード)

DSP タイプ命令は X、Y データメモリに同時にアクセスできます。X、Y データメモリのアドレスを指定するために、次の 2 つのアドレスポインタセットを用意しています。

X メモリアクセスに対する R8[Ix], R4,5[Ax]

Y メモリアクセスに対する R9[Iy], R6,7[Ay]

アセンブラでは R2、R3、.....R9 の記号名 (シンボル) を使います。もし DSP タイプ命令のためのレジスタの役割を明示した名前にしたいときは、レジスタの別名 (エイリアス、alias) を使います。アセンブラで次のように書きます。

Ix: .REG (R8)

名前 Ix が R8 の別名になります。そのほか次のように別名を付けます。

Ax0: .REG (R4)

Ax1: .REG (R5)

Ix: .REG (R8)

Ay0: .REG (R6)

Ay1: .REG (R7)

Iy: .REG (R9)

As0: .REG (R4);これはシングルデータ転送のために別名が必要なときの定義です。

As1: .REG (R5);これはシングルデータ転送のために別名が必要なときの定義です。

As2: .REG (R2)

As3: .REG (R3)

Is: .REG (R8);これはシングルデータ転送のために別名が必要なときの定義です。

2.1.2 コントロールレジスタ

本 LSI には、SR、SSR、SPC、GBR、VBR、RS、RE、MOD の 8 つのコントロールレジスタがあります(図 2.5)。SSR、SPC、GBR、VBR は SH-3 レジスタと同じです。DSP モードは SR.DSP=1 の場合のみアクティブです。

繰り返し開始レジスタ RS、繰り返し終了レジスタ RE、リピートカウンタ RC (SR の 12 ビット分)、および SR レジスタ中のリピートフラグビット RF0、RF1 は、新しいレジスタおよびコントロールビットで、リピートの制御に使用します。モジュロレジスタ MOD、および SR 中のモジュロコントロールビット DMX、DMY も、新しいレジスタおよびコントロールビットです。

SR には RC [11:0]、RF0、RF1、DMX、DMY、DSP ビットの 6 種類の追加コントロールビットがあります。DMX、DMY はモジュロアドレッシングコントロールに使用します。DMX が 1 の場合、モジュロアドレッシングモードは X メモリアドレスポインタ Ax (R4 または R5) に対して有効です。DMY が 1 の場合、Y メモリアドレスポインタ Ay (R6 または R7) に対して有効です。ただし、DMX および DMY ビットの両方をセットしても、X および Y アドレスポインタの両方をモジュロアドレッシングモードで動作させることはできません。DMX=DMY=1 の場合は将来の拡張のために予約されています。DMX および DMY を同時にセットすると、ハードウェアは暫定的に Y アドレスポインタのみをモジュロアドレッシングモードとして扱います。モジュロアドレッシングは、X、Y データ転送動作 (MOVX、MOVY) に利用できますが、シングルデータ転送動作 (MOV) には利用できません。

RF1、RF0 は繰り返しステップ数情報を保持し、SETRC 命令の実行時にセットされます。RF [1:0] が 00 を示すとき、現在のリピートモジュールは 1 ステップの命令から構成されます。RF [1:0]=01 のときは 2 ステップの命令を意味します。RF [1:0]=11 のときは 3 ステップの命令です。RF [1:0]=10 のときは現在のリピートモジュールが 4 つ以上の命令から構成されることを意味します。

RC [11:0] と RF [1:0] は、SR へのストア・ロードでも変更できますが、専用操作命令 SETRC の使用を推奨します。

SR は 12 ビットのリピートカウンタ RC も持っており、これを用いて効率的にループを制御できます。繰り返し開始レジスタ (RS) および繰り返し終了レジスタ (RE) もループコントロールのために導入されています。これらはループのスタートアドレス、エンドアドレスを保持します (RS、RE レジスタの内容はループスタートおよびエンドの実際のアドレスとは若干異なります)。

モジュロレジスタ MOD は、循環データバッファリング向けのモジュロアドレッシングを実現するために導入されています。MOD はモジュロスタートアドレス (MS) およびモジュロエンドアドレス (ME) を保持します。

RS、RE、MOD にアクセスするために、それらに対するロード/ストア (コントロールレジスタ) 命令が導入されています。RS の例を次にあげます。

```
LDC Rm,RS;      Rm -> RS
LDC.L @Rm+,Rs   (Rm) -> RS, Rm+4 -> Rm
STC RS,Rn;      RS -> Rn
STC.L RS,@-Rn;  Rn-4 -> Rn, RS -> (Rn)
```

RS および RE に対するアドレスセット命令も用意しています。

```
LDRS @(disp,PC) disp × 2 + PC -> RS
LDRE @(disp,PC) disp × 2 + PC -> RE
```

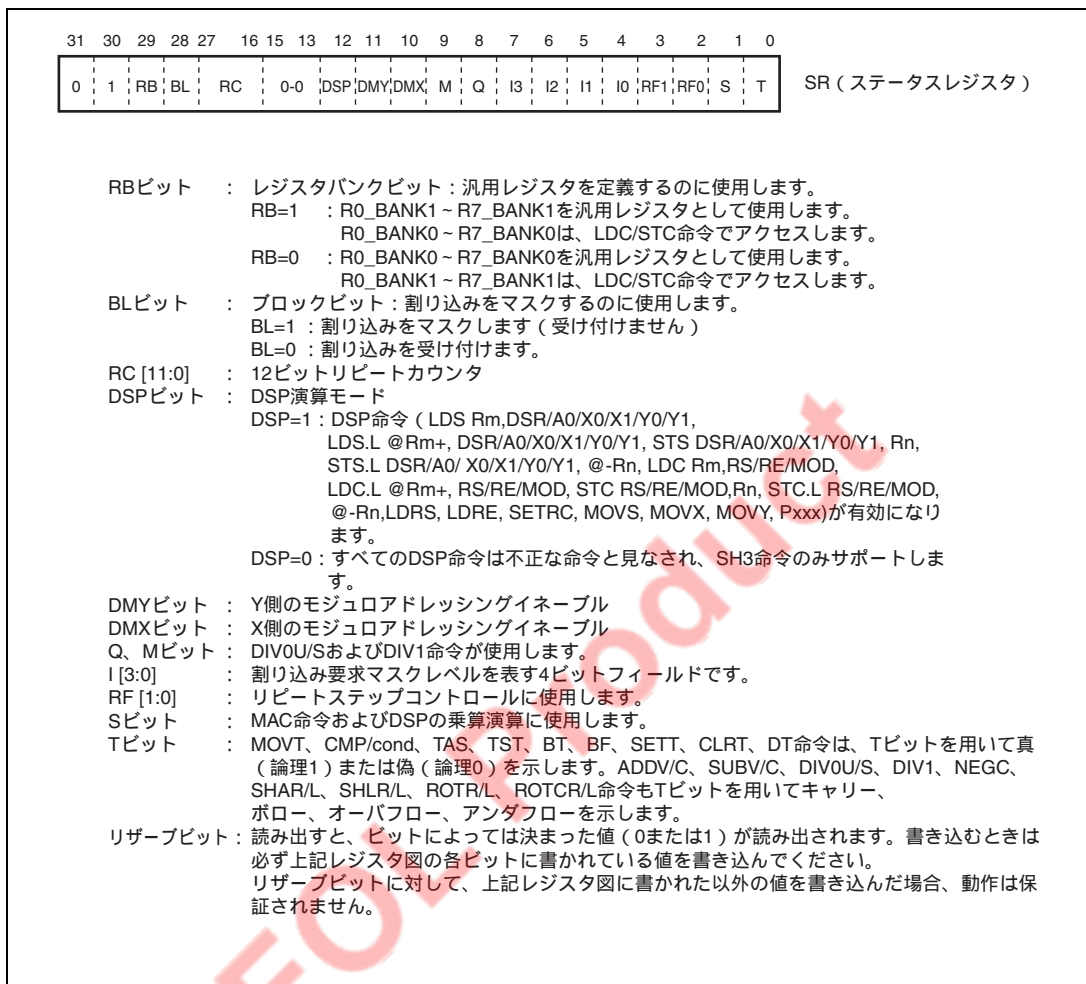



図 2.5 コントロールレジスタ (1)

2. CPU

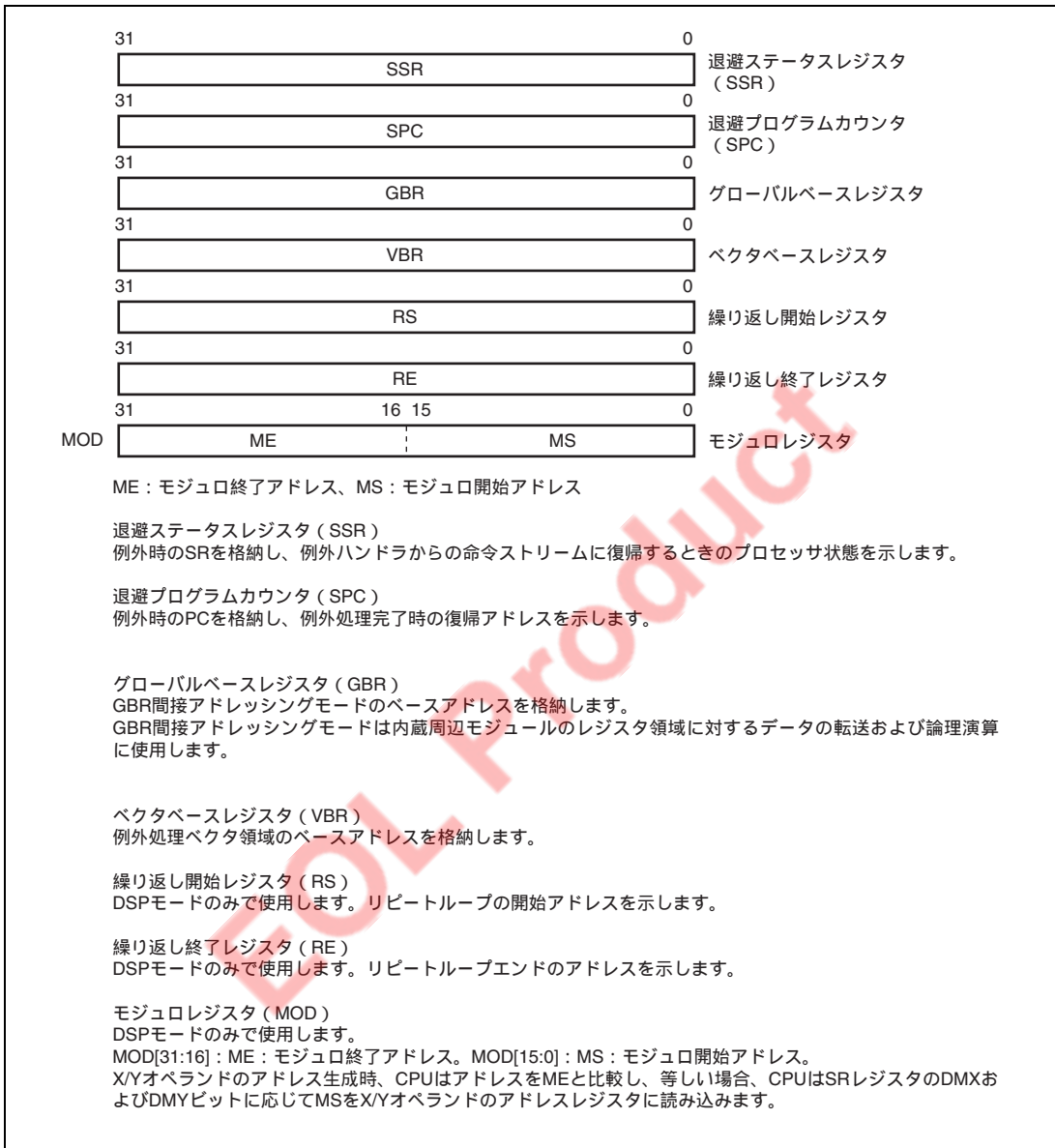


図 2.5 コントロールレジスタ (2)

2.1.3 システムレジスタ

本 LSI は MACL、MACH、PR、PC の 4 つのシステムレジスタを持っています (図 2.6)。

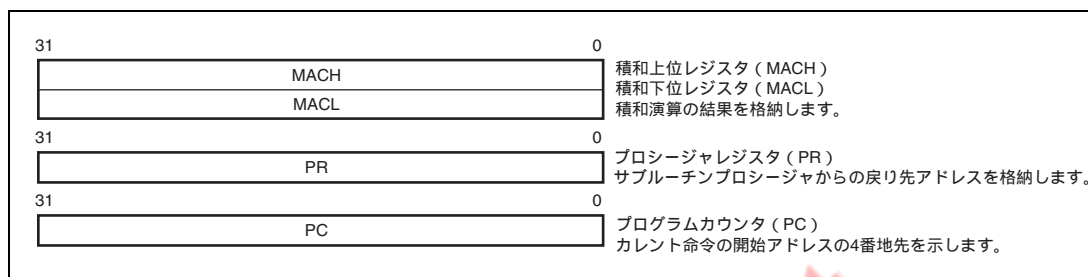


図 2.6 システムレジスタ

DSR、A0、X0、X1、Y0、Y1 レジスタは、システムレジスタとして扱われます。したがって、これらのレジスタ用に汎用レジスタとシステムレジスタ間のデータ転送命令がサポートされています。

2.1.4 DSP レジスタ

本 LSI は DSP レジスタとして 8 つのデータレジスタと 1 つのコントロールレジスタ (図 2.7) を持っています。データレジスタは、レジスタ A0、A1 を除き、32 ビット幅です。レジスタ A0、A1 は 40 ビット幅で、8 ビット幅のガードビット A0G、A1G を持っています。

DSP データレジスタには 3 種類の命令でアクセスします。第 1 は DSP データ処理です。DSP 固定小数点データ命令がソースレジスタに A0 または A1 を使用するとき、ガードビット (ビット 39~32) を使用します。デスティネーションレジスタに A0 または A1 を使用するとき、ガードビットのビット 39~32 が有効になります。DSP 固定小数点データ命令がソースレジスタに A0 または A1 以外の DSP レジスタを使用するとき、ソース値をビット 39~32 に符号拡張して使用します。A0 または A1 以外の DSP レジスタをデスティネーションレジスタに使用するとき、結果のビット 39~32 は破棄されます。

2 番目は X および Y データ転送命令 "MOVX.W MOVY.W" です。この命令は 16 ビット X、Y データバス (図 2.8) によって X、Y メモリにアクセスします。この命令でロードまたはストアするレジスタは常に上位 16 ビット (ビット 31~16) です。X0 および X1 は X メモリロードのデスティネーション、Y0 および Y1 は Y メモリロードのデスティネーションになることができますが、他のレジスタはこの命令のデスティネーションレジスタになることはできません。

データをレジスタの上位 16 ビット (ビット 31~16) に読み込むとき、レジスタの下部 16 ビット (ビット 15~0) は自動的にクリアされます。A0 と A1 はこの動作によって X、Y メモリに格納することができますが、他のレジスタは格納することができません。

2. CPU

3番目はシングルデータ転送命令、"MOVS.W"および"MOVS.L"です。この命令はLDB（図2.8）によって任意のメモリにアクセスします。すべてのDSPレジスタはLDBにつながり、データ転送のソース、およびデスティネーションレジスタになることができます。これにはワードおよびロングワードアクセスモードがあります。ワードモードでは、A0G、A1Gを除くDSPレジスタでは、上位16ビット（ビット31～16）がロードあるいはストアの対象になります。ワードモードでA0G、A1G以外のレジスタにデータを読み込むと、レジスタの下半分はクリアされます。A0またはA1の場合、データはビット39～32に符号拡張されその下半分はクリアされます。ワードモードでA0GまたはA1Gがデスティネーションレジスタの場合、データは8ビットレジスタに読み込まれますが、A0またはA1はクリアされません。ロングワードモードでデスティネーションレジスタがA0またはA1のとき、データは39～32に符号拡張されます。

表2.2および表2.3はDSP命令で使用するレジスタのデータタイプを示します。命令コードの制限のため表に示すレジスタの中には使用できない演算もあります。たとえば、PMULSはソースレジスタにA1を使用できますが、A0は使用できません。これらの表はレジスタの選択性の詳細については省略しています。

表 2.2 DSP 命令のデスティネーションレジスタ

レジスタ		命 令	ガードビット		レジスタビット		
			39	32	31	16	15
A0, A1	DSP 演算	固定小数点、PSHA、PMULS	（符号拡張）		40ビット結果		
		整数、PDMSB	（符号拡張）		24ビット結果	0クリア	
		論理、PSHL	0クリア		16ビット結果	0クリア	
	データ 転送	MOVS.W	符号拡張		16ビットデータ	0クリア	
		MOVS.L	符号拡張		32ビットデータ		
A0G, A1G	データ 転送	MOVS.W	データ		更新しない		
		MOVS.L	データ		更新しない		
X0, X1 Y0, Y1	DSP 演算	固定小数点、PSHA、PMULS			32ビット結果		
		整数、論理、PDMSB、PSHL			16ビット結果	0クリア	
M0, M1	データ 転送	MOVX/Y.W、MOVS.W			16ビットデータ	0クリア	
		MOVS.L			32ビットデータ		

表 2.3 DSP 命令のソースレジスタ

レジスタ		命 令	ガードビット		レジスタビット			
			39	32	31	16	15	0
A0、A1	DSP 演算	固定小数点、PDMSB、PSHA	40 ビットデータ					
		整数	24 ビットデータ					
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVX/Y.W、MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			
A0G、A1G	データ 転送	MOVS.W	データ					
		MOVS.L	データ					
X0、X1 Y0、Y1 M0、M1	DSP 演算	固定小数点、PDMSB、PSHA	符号*		32 ビットデータ			
		整数	符号*		16 ビットデータ			
		論理、PSHL、PMULS			16 ビットデータ			
	データ 転送	MOVS.W			16 ビットデータ			
		MOVS.L			32 ビットデータ			

【注】 * データを符号拡張し、ALU に入力する。

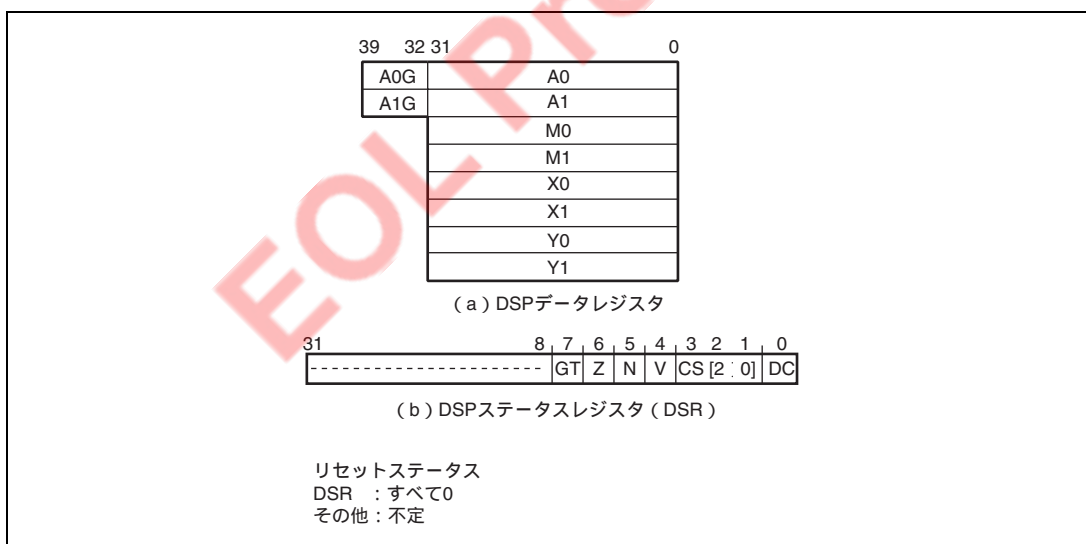


図 2.7 DSP レジスタ

2. CPU

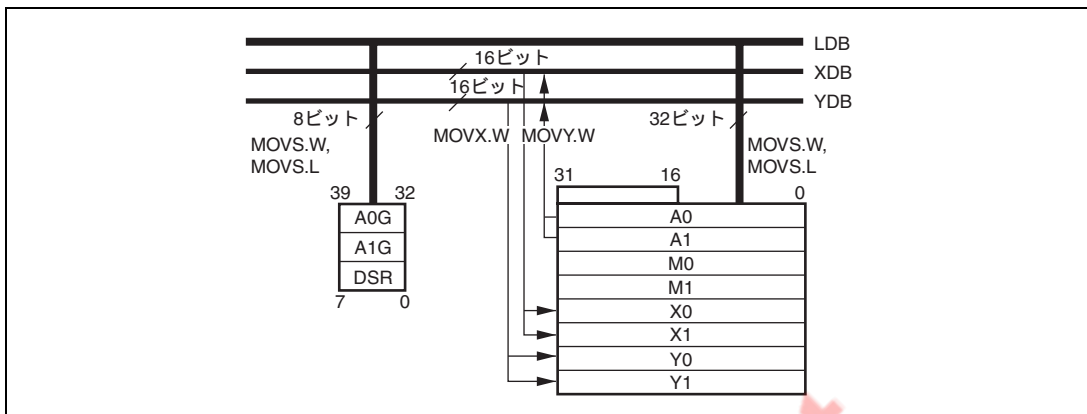


図 2.8 DSP レジスタとデータバスの接続

DSP ユニットの 1 つのコントロールレジスタ、DSP ステータスレジスタ (DSR) を持っています。DSR は DSP データ演算結果の状態 (ゼロ、負、など) を保持し、また CPU の T ビットに類似した DC ビットを持っています。DC ビットは状態フラグの 1 つを示します。条件付き DSP データ処理命令は DC ビットに基づいてその実行を制御します。この制御は DSP ユニットの命令のみに影響します。すなわち、DSP レジスタのみの更新を制御し、アドレスレジスタの更新、ロード/ストア命令などの CPU での命令を制御することはできません。コントロールビット CS [2:0] は DC ビットに反映する条件を指定します。

PMULS、MOVX、MOVY、MOVS を除く無条件 DSP タイプのデータ命令は条件フラグと DC ビットを更新しますが、MAC 命令を含む CPU 命令はどれも DC ビットを更新しません。条件付き DSP タイプ命令も DSR を更新することはありません。

表 2.4 DSR レジスタのビット

ビット	名称 (略称)	機能
31~8	予約ビット	0: 常に 0 が読み出されます 書き込む値も 0 にしてください。
7	符号付き大ビット (GT)	演算結果が正 (ゼロをのぞく)、またはオペランド 1 がオペランド 2 より大きいことを示します 1: 演算結果が正、またはオペランド 1 がオペランド 2 より大きい
6	ゼロビット (Z)	演算結果がゼロ (0)、またはオペランド 1 がオペランド 2 と等しいことを示します 1: 演算結果がゼロ (0)、または等しい
5	負値ビット (N)	演算結果が負、またはオペランド 1 がオペランド 2 より小さいことを示します 1: 演算結果が負、またはオペランド 1 がオペランド 2 より小さい
4	オーバーフロービット (V)	演算結果がオーバーフローしたことを示します 1: 演算結果がオーバーフロー

ビット	名称 (略称)	機 能
3~1	状態選択ビット (CS)	DC ビットに設定する演算結果状態を選択するためのモードを指定します 110、111 は指定しないでください 000 : キャリ / ボローモード 001 : 負値モード 010 : ゼロモード 011 : オーバフローモード 100 : 符号付き大モード 101 : 符号付き以上モード
0	DSP 状態ビット (DC)	CS ビットで指定されたモードで演算結果の状態を設定します 0 : 指定されたモードの状態が成立しない (不成立) 1 : 指定されたモードの状態が成立

【注】 PADD/PSUBC 命令実行後の DC ビットは、CS ビットに関係なくキャリ / ボローモードで演算結果の状態を設定します。

DSR はシステムレジスタに割り当てられ、次のロード / ストア命令が用意されています。

```
STS DSR, Rn;
STS.L DSR, @-Rn;
LDS Rn, DSR;
LDS.L @Rn+, DSR;
```

STS 命令で DSR を読み出すとき、上位ビット (ビット 31 ~ ビット 8) はすべて 0 になります。

2.2 データ形式

2.2.1 レジスタのデータ形式（非 DSP タイプ）

レジスタオペランドは常にロングワード（32 ビット）（図 2.9）です。メモリオペランドがバイト（8 ビット）かワード（16 ビット）の場合、レジスタに読み込むとロングワードに符号拡張されます。

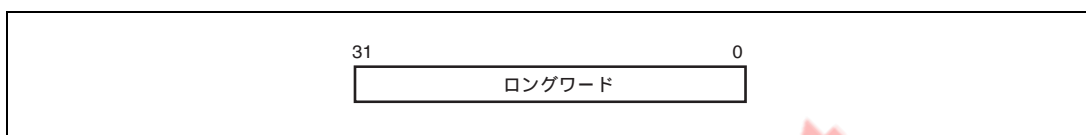


図 2.9 ロングワードオペランド

2.2.2 DSP タイプデータ形式

本 LSI は、命令によって異なるデータ形式を持っています。ここでは DSP タイプ命令用のデータ形式について解説します。

図 2.10 に、2 進小数点の位置の異なる 3 つの DSP タイプのデータ形式、また参考として、ビット 0 の右側に 2 進小数点を持つ CPU タイプのデータ形式を示します。

DSP タイプ固定小数点データ形式は、ビット 31 とビット 30 の間に 2 進小数点があります。DSP タイプ整数フォーマットはビット 16 とビット 15 の間に 2 進小数点があります。DSP タイプ論理フォーマットには 2 進小数点はありません。データ形式の有効なデータ長は命令および DSP レジスタによって異なります。

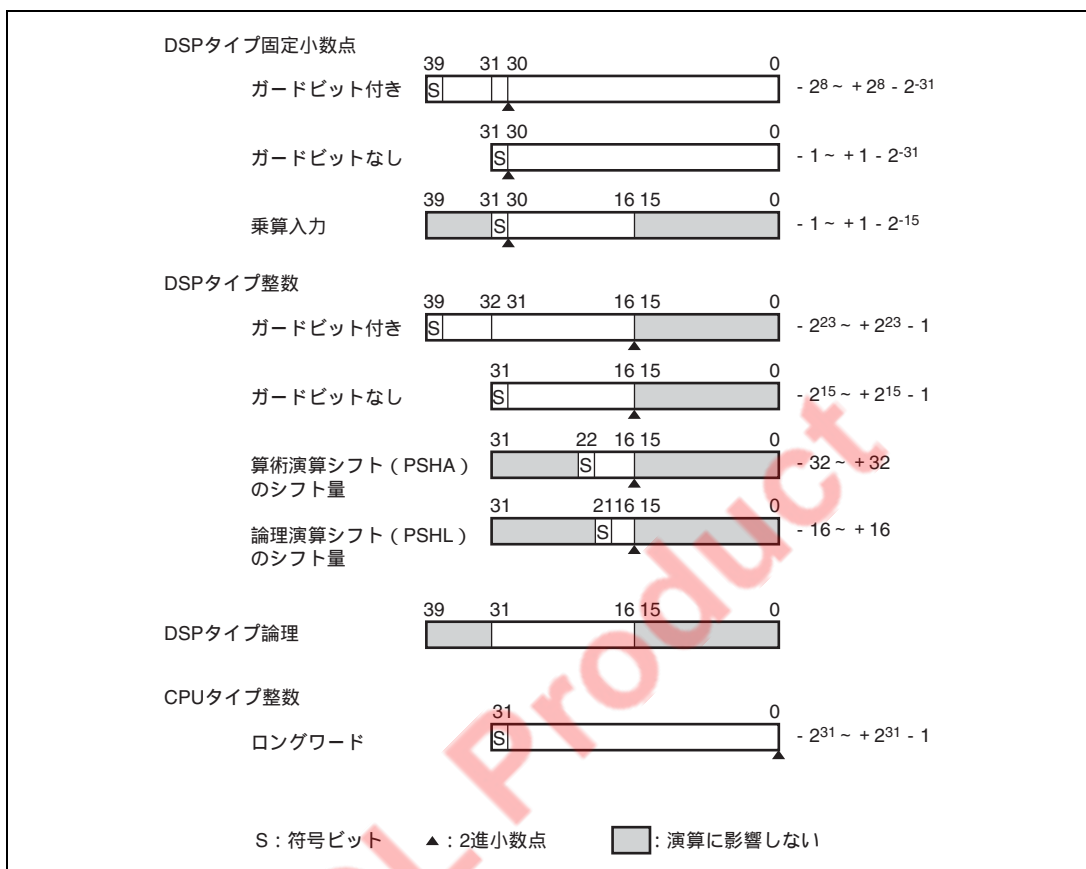


図 2.10 データ形式

算術演算シフト (PSHA) 命令のシフト量は、 $-64 \sim +63$ を表す 7 ビットフィールドを持っていますが、 $-32 \sim +32$ が有効な数です。また論理演算シフトのシフト量も 6 ビットフィールドを持っていますが、 $-16 \sim +16$ が有効な数です。

2.2.3 メモリのデータ形式

メモリのデータ形式は、バイト、ワード、ロングワードに分けられます。バイトデータは任意のアドレスからアクセスできますが、 $2n$ 以外のアドレスから始まるワードデータ、または $4n$ 以外のアドレスから始まるロングワードにアクセスしようとするアドレスエラーが発生します。このような場合、アクセスするデータは保証できません (図 2.11)。

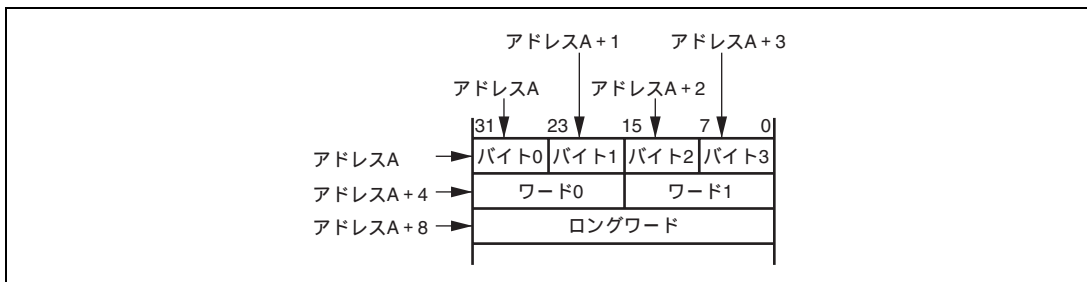


図 2.11 バイト、ワード、ロングワードの配列

2.3 CPU コア命令の特長

CPU コア命令は RISC 形式の命令です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.5 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp,PC),R1 ADD R1,R0DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @ (disp,PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令などは、遅延分岐として実行されます。遅延分岐命令の場合、遅延分岐命令の直後の命令（スロット命令）を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐の分岐動作そのものは、スロット命令実行後に発生します。しかし、分岐動作を除くレジスタの更新などの命令の実行は、遅延分岐命令、遅延スロット命令の順に行われます。例えば、遅延スロットで分岐先アドレスが格納されているレジスタの内容を変更しても、分岐先アドレスは変更前のレジスタ内容のままです。

表 2.6 遅延分岐命令

本 LSI の CPU	説 明	他の CPU の例
BRA TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD R1,R0		BRA TRGET

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~3 ステートで実行します。

(7) T ビット

比較結果はステータスレジスタ(SR)の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.7 T ビット

本 LSI の CPU	説 明	他の CPU の例
CMP/GE R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF TRGET1	R0<R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD #-1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ #0,R0	R0=0 のとき T ビットがセットされます。	BEQ TRGET
BT TRGET	R0=0 のとき分岐します。	

(8) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルはディスプレイスメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で参照します。

2. CPU

表 2.8 イミディエイトデータによる参照

区分	本 LSI の CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV.W @(disp,PC),R0DATA.W H'1234	MOV.W #H'1234,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.9 絶対アドレスによる参照

区分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.L H'12345678	MOV.B @H'12345678,R0

(10) 16 ビット / 32 ビットディスプレイースメント

16 ビットまたは 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.10 ディスプレースメントによる参照


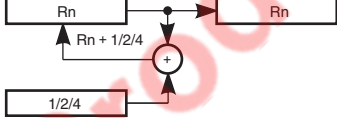
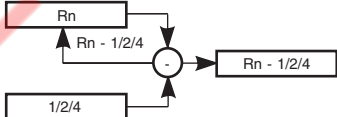
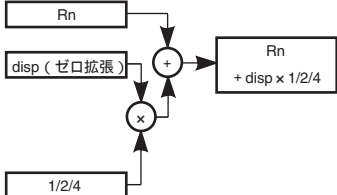
区分	本 LSI の CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.W H'1234	MOV.W @(H'1234,R1),R2

2.4 命令形式

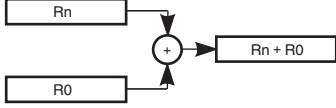
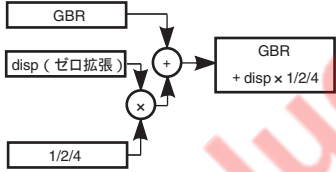
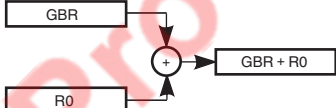
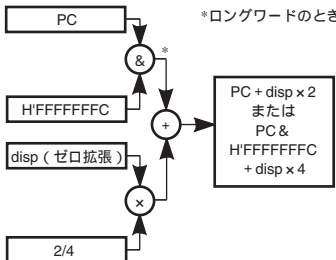
2.4.1 CPU 命令のアドレッシングモード

CPU コアで実行される命令のアドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.11 CPU 命令のアドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。 命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイースメント 付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイースメント 付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。</p> <p>さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイacements disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイacements disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$
イミディエイト	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.4.2 DSP データアドレッシング

DSP 命令では 2 つの異なるメモリアクセスをします。1 つは X、Y データ転送命令 (MOVX.W、MOVY.W) で、もう 1 つはシングルデータ転送命令 (MOVS.W、MOVS.L) です。これらの 2 種類の命令のデータアドレッシングは異なります。データ転送命令の概要を表 2.12 に示します。

表 2.12 データ転送命令の概要

	X、Y データ転送処理 (MOVX.W、MOVY.W)	シングルデータ転送処理 (MOVS.W、MOVS.L)
アドレスレジスタ	Ax : R4、R5、Ay : R6、R7	As : R2、R3、R4、R5
インデックスレジスタ	Ix : R8、Iy : R9	Is : R8
アドレッシング	Nop/Inc(+2) / インデックス加算 : ポストインクリメント	Nop/Inc(+2,+4) / インデックス加算 : ポストインクリメント
アドレッシング		Dec(-2,-4) : プリデクリメント
モジュールアドレッシング	可能	不可
データバス	XDB、YDB	LDB
データ長	16 ビット (ワード)	16 ビット/32 ビット (ワード / ロングワード)
バス競合	なし	あり
メモリ	X、Y データメモリ	すべてのメモリ空間
ソースレジスタ	Dx、Dy : A0、A1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G
デスティネーションレジスタ	Dx : X0/X1、Dy : Y0/Y1	Ds : A0/A1、M0/M1、X0/X1、Y0/Y1、 A0G、A1G

(1) X、Y データアドレッシング

DSP 命令では MOVX.W、MOVY.W 命令を使って、X、Y データメモリを同時にアクセスすることができます。DSP 命令には同時に X、Y データメモリをアクセスするために 2 つのアドレスポイントがあります。DSP 命令にはポインタアドレッシングだけが可能で、イミディエイトアドレッシングはありません。アドレスレジスタは 2 つに分けられ、R4、R5 レジスタが X メモリのアドレスレジスタ (Ax) となり、R6、R7 レジスタが Y メモリのアドレスレジスタ (Ay) となります。X、Y データ転送命令には次の 3 つのアドレッシングがあります。

1. 更新なしアドレスレジスタ

Ax、Ay レジスタがアドレスポイントです。@Ax と @Ay へのアクセスが行われ、Ax と Ay の値は更新されません。

2. 加算インデックスレジスタ

Ax、Ay レジスタがアドレスポイントです。@Ax と @Ay へのアクセス後、それぞれ Ix、Iy レジスタの値が加算されます (ポストインクリメント)。

3. インクリメントアドレスレジスタ

Ax、Ayレジスタがアドレスポインタです。@Axと@Ayへのアクセス後、それぞれ+2が加算されます（ポストインクリメント）。

それぞれのアドレスポインタにはインデックスレジスタがあります。R8レジスタはXメモリアドレスレジスタ（Ax）のインデックスレジスタ（Ix）となり、R9レジスタはYメモリアドレスレジスタ（Ay）のインデックスレジスタ（Iy）となります。

X、Yデータ転送命令はワードで処理します。X、Yデータメモリを16ビットでアクセスします。そのためインクリメント処理は、アドレスレジスタに2を加えます。デクリメントさせるためには、-2をインデックスレジスタに設定し加算インデックスレジスタアドレッシングを指定します。X、Yデータアドレッシング時は、アドレスポインタのビット1~15のみ有効となります。X、Yデータアドレッシング時は、アドレスポインタ、インデックスレジスタのビット0には必ず0を書き込んでください。

X、Yデータ転送のアドレッシングを図2.12に示します。X、Yバスを使用してXメモリ、Yメモリへアクセスする場合、Ax（R4またはR5）、Ay（R6またはR7）の上位ワードは無視されます。また、@Ay+、@Ay+Iyの結果は、Ayの下位ワードに格納され、上位ワードは元の値が保持されます。

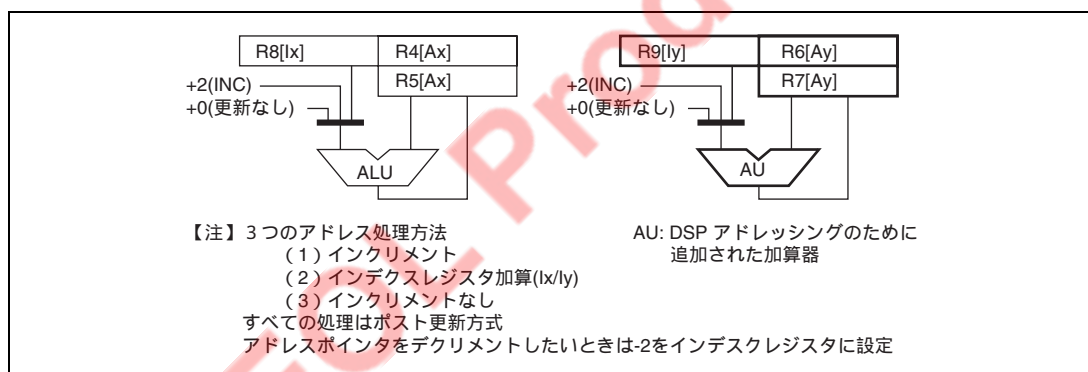


図 2.12 X、Y データ転送のアドレッシング

(2) シングルデータアドレッシング

DSP 命令にはシングルデータ転送命令（MOV.S.W、MOV.S.L）があり、DSP レジスタにデータをロードし、DSP レジスタからデータをストアします。この命令で R2~R5 レジスタはシングルデータ転送のアドレスレジスタ（As）として使われます。

シングルデータ転送命令には次の4つのデータアドレッシングがあります。

1. 更新なしアドレスレジスタ

Asレジスタがアドレスポインタです。@Asへのアクセスが行われますが、Asは更新されません。

2. 加算インデックスレジスタ

Asレジスタがアドレスポインタです。@Asへのアクセス後、Isレジスタの値が加算されます（ポストインクリメント）。

2. CPU

3. インクリメントアドレスレジスタ

Asレジスタがアドレスポインタです。@Asへのアクセス後、転送サイズに応じて+2または+4が加算されます(ポストインクリメント)。

4. デクリメントアドレスレジスタ

Asレジスタがアドレスポインタです。データ転送前に、転送サイズに応じて-2、-4が加算(+2または+4が減算)されます(プリデクリメント)。

アドレスポインタ(As)はR8レジスタをインデックスレジスタ(Is)として使います。シングルデータ転送のアドレッシングを図2.13に示します。

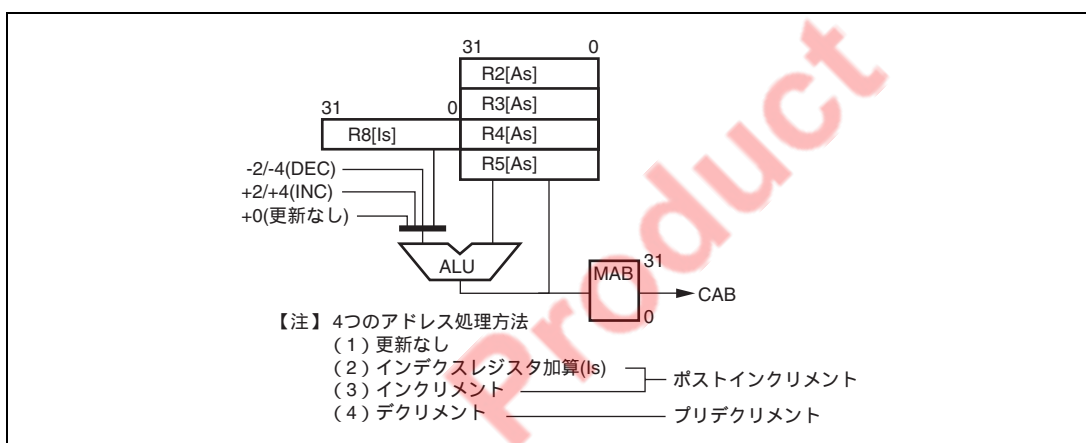


図 2.13 シングルデータ転送のアドレッシング

(3) モジュロアドレッシング

本LSIには、他のDSPと同じように、モジュロアドレッシングモードがあります。このモードでもアドレスレジスタは同じように更新されます。アドレスポインタの値がすでに設定されたモジュロ終了アドレスになると、アドレスポインタはモジュロ開始アドレスになります。

モジュロアドレッシングはX、Yデータ転送命令(MOVX.W、MOVY.W)にだけ有効です。SRレジスタのDMXビットをセットするとXアドレスレジスタが、DMYビットをセットするとYアドレスレジスタがそれぞれモジュロアドレッシングモードになります。モジュロアドレッシングはX、Yアドレスレジスタどちらかに対してだけ有効です。両方を同時にモジュロアドレッシングモードにすることはできません。したがって、DMXとDMYを同時にセットしないでください。万一同時にセットされた場合には、DMY側のみ有効となります。

DMXとDMYビットは、SETDMX、SETDMYおよびCLRDMXY命令で設定できます。

モジュロアドレス領域の開始と終了アドレスを指定するためのMODレジスタがあり、MODレジスタはMS(Modulo Start:モジュロ開始)と、ME(Modulo End:モジュロ終了)を格納します。MODレジスタ(MS、ME)の使用例を次に示します。

```

MOV.L ModAddr,Rn;      Rn=ModEnd, ModStart
LDC Rn,MOD;            ME=ModEnd, MS=ModStart
ModAddr: .DATA.W      mEnd;      ModEnd
           .DATA.W      mStart;    ModStart

ModStart: .DATA
           :
ModEnd:   .DATA

```

MS、ME には開始、終了アドレスを指定して、その後に DMX または DMY ビットを 1 にセットします。

DMX/DMY で指定された X/Y データ転送命令が実行されると、アドレスレジスタの更新前の値が ME と比較されます*¹。比較の結果、ME と一致する場合、アドレスレジスタの更新後の値として、MS のスタートアドレスが代入されます*²。なお、X/Y データ転送命令のアドレッシングタイプが「更新無し」の場合、たとえ ME と一致しても MS への復帰は実行されません。

- 【注】 *1 アドレスレジスタのビット 1 からビット 15 が比較に使用されます。ME レジスタはビット 0 も保持しますが、常に 0 を書き込んでください。
- *2 アドレスレジスタのビット 1 からビット 15 に MS の値が代入されます。MS レジスタはビット 0 も保持しますが、常に 0 を書き込んでください。

最大のモジュロサイズは 64k バイトです。これは、X、Y データメモリをアクセスするには十分です。

図 2.14 にモジュロアドレッシングのブロック図を示します。

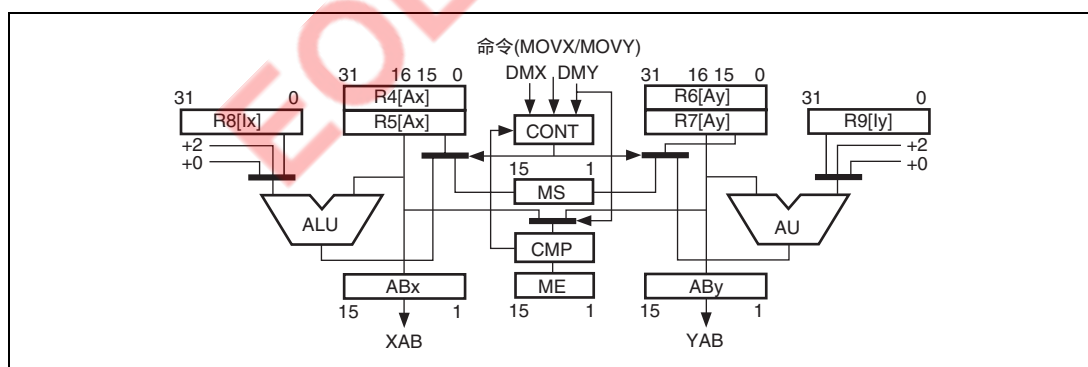


図 2.14 モジュロアドレッシング

モジュロアドレッシングの例を次に示します。

```
MS=H'7000; ME=H'7004; R4=H'A5007000;
```

```
DMX=1; DMY=0 (X アドレスレジスタに対するモジュロアドレッシング)
```

以上の設定により R4 レジスタは次のように変化します。

2. CPU

```
; R4: H'A5007000 (初期値)
; R4: H'A5007000 -> H'A5007002
; R4: H'A5007002 -> H'A5007004
; R4: H'A5007004 -> H'A5007000 (H'A5007004 からのリードの実行後、MS の値がアド
                           レスレジスタに代入されます。)
; R4: H'A5007000 -> H'A5007002
```

モジュロアドレッシングでは、アドレスレジスタの下位 16 ビットのみが比較および置き換えの対象となるため、モジュロ領域のスタートアドレスとエンドアドレスの上位 16 ビットは同じでなければなりません。

【注】 X/Y データ転送命令のアドレッシングタイプが「インデックスレジスタ加算」の場合は、アドレスポインタは ME と一致せずにその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。モジュロアドレッシングに限らず、X、Y データアドレッシング時は、ビット 0 が無視されます。アドレスポインタ、インデックスレジスタ、MS、ME のビット 0 には必ず 0 を書き込んでください。

(4) DSP アドレッシング動作

モジュロアドレッシングを含めて、パイプラインの実行ステージ (EX) での DSP アドレッシングの動作を次に示します。

```
if ( Operation is MOVX.W MOVY.W ) {
    ABx=Ax; ABy=Ay;
    /* memory access cycle uses ABx and ABy. The addresses to be used have
not been updated */

    /* Ax is one of R4,5 */
    if ( DMX==0 || DMX==1 && DMY == 1 ) Ax=Ax+(+2 or R8[Ix] or +0);
    /* Inc,Index,Not-Update */
    else if (! not-update) Ax=modulo( Ax, (+2 or R8[Ix]) );

    /* Ay is one of R6,7 */
    if ( DMY==0 ) Ay=Ay+(+2 or R9[Iy] or +0); /* Inc,Index,Not-Update */
    else if (! not-update) Ay=modulo( Ay, (+2 or R9[Iy]) );
}


else if ( Operation is MOVS.W or MOVS.L ) {
    if ( Addressing is Nop, Inc, Add-index-reg ) {
        MAB=As;
        /* memory access cycle uses MAB. The address to be used has not been updated
*/

        /* As is one of R2~5 */
        As=As+(+2 or +4 or R8[Is] or +0); /* Inc,Index,Not-Update */
    else { /* Decrement, Pre-update */
        /* As is one of R2~5 */
```

```
        As=As+(-2 or -4);
        MAB=As;
        /* memory access cycle uses MAB. The address to be used has been updated
*/
    }

/* The value to be added to the address register depends on addressing operations.
For example, (+2 or R8[Ix] or +0) means that
        +2 : if operation is increment
        R8[Ix] : if operation is add-index-reg
        +0 : if operation is not-update
*/

function modulo ( AddrReg, Index ) {
    if ( AddrReg[15:0]==ME ) AddrReg[15:0]==MS;
    else AddrReg=AddrReg+Index;
    return AddrReg;
}
```



2. CPU

2.4.3 CPU 命令の命令形式

CPU コアで実行される命令の命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxxx : 命令コード

mmmm : ソースレジスタ

nnnn : デスティネーションレジスタ

iiii : イミディエイトデータ

dddd : ディスプレースメント

表 2.13 CPU 命令の命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		-	-	NOP
n 形式		-	nnnn : レジスタ直接	MOVT Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L@Rm+,SR
		mmmm : レジスタ間接	-	JMP@Rm
		mmmm : Rm を用いた PC 相 対	-	BRAF Rm

命令形式	ソースオペランド	デスティネーション オペランド	命令の例	
nm 形式		mmmm : レジスタ直接	nmmmm : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nmmmm : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメントレジスタ間接 (積和演算) nmmmm : * ポストインクリメントレジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+, @Rn+
		mmmm : ポストインクリメントレジスタ間接	nmmmm : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nmmmm : プリデクリメントレジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nmmmm : インデックス付きレジスタ間接	MOV.L Rm,@(R0,Rn)
		mmmm : レジスタ直接	nmmmm : レジスタ直接	MOV.L @Rm+,Rn
md 形式		mmmm : ディスプレイメント付きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	nnnn : ディスプレイメント付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式		mmmm : レジスタ直接	nnnn : ディスプレイメント付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmm : ディスプレイメント付きレジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式		dddd : ディスプレイメント付きGBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	dddd : ディスプレイメント付きGBR 間接	MOV.L R0,@(disp,GBR)
		dddd : ディスプレイメント付きPC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		dddd : PC 相対	-	BF label
d12 形式		dddd : PC 相対	-	BRA label (label=disp+PC)

2. CPU

命令形式	ソースオペランド	デスティネーション オペランド	命令の例
nd8 形式		dddddddd : ディスプレースメント付き PC 相対	nnnn : レジスタ直接 MOV.L@(disp,PC),Rn
i 形式		iiiiiiiii : イミディエイト インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiiiii : イミディエイト R0 (レジスタ直接)	AND #imm,R0
		iiiiiiiii : イミディエイト -	TRAPA #imm
ni 形式		iiiiiiiii : イミディエイト nnnn : レジスタ直接	ADD #imm,Rn

【注】 * 積和命令では nnnn は、ソースレジスタです。

2.4.4 DSP 命令の命令形式

本 LSI にはデジタル信号処理のための新しい命令が追加されています。新しい命令は次の 2 つに分けられます。

1. メモリと DSP レジスタのダブル、シングルデータ転送命令 (16ビット長)
2. DSP ユニットで処理される並行処理命令 (32ビット長)

それぞれの命令形式を図 2.15 に示します。

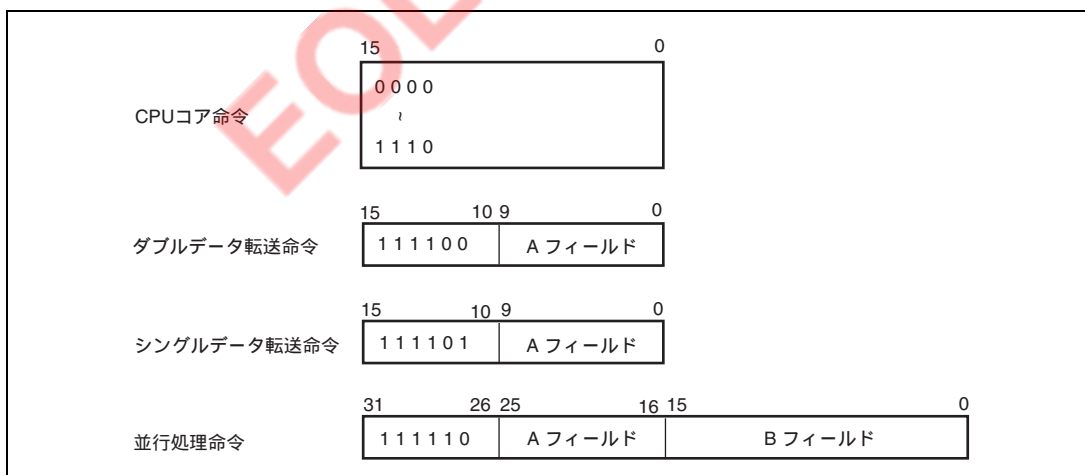


図 2.15 DSP 命令の命令形式

(1) ダブル、シングルデータ転送命令

ダブルデータ転送命令の命令形式を表 2.14 に、シングルデータ転送命令の命令形式を表 2.15 に示します。

表 2.14 ダブルデータ転送の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Xメモリ データ 転送	NOPX	1	1	1	1	0	0	0		0		0		0	0			
	MOVX.W @Ax,Dx							Ax		Dx		0		0	1			
	MOVX.W @Ax+,Dx								*1		*1		*1	1	0			
	MOVX.W @Ax+Ix,Dx													1	1		*1	
	MOVX.W Da,@Ax										Da		1		0	1		
	MOVX.W Da,@Ax+														1	0		
MOVX.W Da,@Ax+Ix														1	1			
Yメモリ データ 転送	NOPY	1	1	1	1	0	0		0		0		0			0	0	
	MOVY.W @Ay,Dy								Ay		Dy		0			0	1	
	MOVY.W @Ay+,Dy															1	0	
	MOVY.W @Ay+Iy,Dy							*2		*2		*2		*2	1	1		
	MOVY.W Da,@Ay										Da		1		0	1		
	MOVY.W Da,@Ay+														1	0		
MOVY.W Da,@Ay+Iy														1	1			

【注】 Ax : 0=R4、1=R5 Ay : 0=R6、1=R7 Dx : 0=X0、1=X1 Dy : 0=Y0、1=Y1 Da : 0=A0、1=A1

*1 MOVXの指定領域です。

*2 MOVYの指定領域です。

表 2.15 シングルデータ転送命令の命令形式

分類	ニーモニック	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シングル データ 転送	MOV.S.W @-As,Ds	1	1	1	1	0	1	As	Ds			0:(*)		0	0	0	0
	MOV.S.W @As,Ds											1:(*)		0	1		
	MOV.S.W @As+,Ds											2:(*)		1	0		
	MOV.S.W @As+Ix,Ds											3:(*)		1	1		
	MOV.S.W Ds,@-As								3:R3			4:(*)		0	0	0	1
	MOV.S.W Ds,@As											5:A1		0	1		
	MOV.S.W Ds,@As+											6:(*)		1	0		
	MOV.S.W Ds,@As+Ix											7:A0		1	1		
	MOV.S.L @-As,Ds											8:X0		0	0	1	0
	MOV.S.L @As,Ds											9:X1		0	1		
	MOV.S.L @As+,Ds											A:Y0		1	0		
	MOV.S.L @As+Ix,Ds											B:Y1		1	1		
	MOV.S.L Ds,@-As											C:M0		0	0	1	1
	MOV.S.L Ds,@As											D:A1G		0	1		
	MOV.S.L Ds,@As+											E:M1		1	0		
	MOV.S.L Ds,@As+Ix											F:A0G		1	1		

【注】 * システム予約コード

2. CPU

(2) 並列処理命令

並列処理命令は DSP ユニットを使ったデジタル信号処理を効率よく実行するための命令です。32 ビット長で、同時に 4 つの処理、ALU 演算、乗算、2 つのデータ転送ができます。

並列処理命令は A フィールドと B フィールドに分かれています。A フィールドはデータ転送命令を定義し、B フィールドは ALU 演算命令、乗算命令を定義します。これらの命令は独立に定義することができ、処理は独立に、しかも同時に並行して実行されます。A フィールドの並列データ転送命令を表 2.16 に、B フィールドの ALU 演算命令、乗算命令を表 2.17 に示します。

表 2.16 A フィールドの並列データ転送命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0											
Xメモリ データ 転送	NOPX	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	B フィールド											
	MOVX.W @Ax,Dx							Ax	Dx	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	B フィールド											
	MOVX.W @Ax+Dx																																	B フィールド										
	MOVX.W @Ax+Ix,Dx								*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	*1	B フィールド										
	MOVX.W Da,@Ax									Da	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	B フィールド										
	MOVX.W Da,@Ax+																																		B フィールド									
	MOVX.W Da,@Ax+Ix																																		B フィールド									
Yメモリ データ 転送	NOPY							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	B フィールド										
	MOVY.W @Ay,Dy							Ay	Dy	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	B フィールド										
	MOVY.W @Ay+Dy																																		B フィールド									
	MOVY.W @Ay+Iy,Dy							*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	*2	B フィールド										
	MOVY.W Da,@Ay									Da	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	B フィールド										
	MOVY.W Da,@Ay+																																		B フィールド									
	MOVY.W Da,@Ay+Iy																																		B フィールド									

【注】 Ax : 0=R4、1=R5 Ay : 0=R6、1=R7 Dx : 0=X0、1=X1 Dy : 0=Y0、1=Y1 Da : 0=A0、1=A1

*1 MOVX の指定領域です。

*2 MOVY の指定領域です。

表 2.17 BフィールドのALU演算命令、乗算命令

分類	ニーモニック	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
imm. シフト	PSHL #imm, Dz	1	1	1	1	1	0	Aフィールド																0	0	0	0	0	-16<=imm<=+16	Dz						
	PSHA #imm, Dz																	0	0	0	1	0	-32<=imm<=+32													
	予約																	0	0	0	1															
6オペランド パラレル 命令	PMULS Se, Sf, Dg																	0	1	0	0	Se	Sf	Sx	Sy	Dg	Du									
	予約																	0	1	0	1	0:X0	0:Y0	0:X0	0:Y0	0:M0	0:X0									
	PSUB Sx, Sy, Du																	0	1	1	0	1:X1	1:Y1	1:X1	1:Y1	1:M1	1:Y0									
	PMULS Se, Sf, Dg																							2:Y0	2:X0	2:A0	2:M0	2:A0	2:A0							
	PADD Sx, Sy, Du																							3:A1	3:A1	3:A1	3:M1	3:A1	3:A1							
3オペランド 命令	予約																	1	0	0	0	0	0	0	0											
	PSUBC Sx, Sy, Dz																	0	1																	
	PADD C Sx, Sy, Dz																	1	0																	
	PCMP Sx, Sy																	0	0	0	1															
	予約																	0	1																	
	予約																	1	0																	
	PABS Sx, Dz																	0	0	1	0															
	PRND Sx, Dz																	0	1																	
	PABS Sy, Dz																	1	0																	
	PRND Sy, Dz																	0	0	1	1															
	予約																	0	1																	
	予約																	1	0																	
	予約																	1	1																	
	予約																	0	0	1	1															
	予約																	0	1																	
	条件付き 3オペランド 命令	[if cc] PSHL Sx, Sy, Dz																	0	0	0	if cc														
		[if cc] PSHA Sx, Sy, Dz																	0	1																
[if cc] PSUB Sx, Sy, Dz																		1	0																	
[if cc] PADD Sx, Sy, Dz																		1	1																	
予約																		0	0	0	1															
[if cc] PAND Sx, Sy, Dz																		0	1																	
[if cc] PXOR Sx, Sy, Dz																		1	0																	
[if cc] POR Sx, Sy, Dz																		1	1																	
[if cc] PDEC Sx, Dz																		0	0	1	0															
[if cc] PINC Sx, Dz																		0	1																	
[if cc] PDEC Sy, Dz																		1	0																	
[if cc] PINC Sy, Dz																		1	1																	
[if cc] PCLR Dz																		0	0	1	1	DCF														
[if cc] PDMSB Sx, Dz																		0	1																	
予約																		1	0																	
[if cc] PDMSB Sy, Dz																		1	1																	
[if cc] PNEG Sx, Dz																		1	1	0	0	1	0													
[if cc] PCOPY Sx, Dz																		0	1																	
[if cc] PNEG Sy, Dz																		1	0																	
[if cc] PCOPY Sy, Dz																		1	1																	
予約																							0	0												
[if cc] PSTS MACH, Dz																	0	0	1	1	if cc															
[if cc] PSTS MACL, Dz																	0	1																		
[if cc] PLDS Dz, MACH																	1	0																		
[if cc] PLDS Dz, MACL																	1	1																		
(*2) 予約																							0	0												
予約																							0	*												
予約																	1 1 1 1 1 1																			

【注】 □ : 0または1

*1 システム予約コード

*2 [if cc] : DCT (DCビット真)、DCF(DCビット偽)、またはなし (無条件命令)

2.5 命令セット

2.5.1 CPU 命令の命令セット

SH-1、SH-2、SH-3 互換命令セットには、表 2.18 に示すような 7 種類の機能グループに分けられる 67 の基本命令タイプが含まれます。表 2.19 から表 2.24 には命令表記、マシンコード、実行時間、機能を示します。

表 2.18 CPU 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体のデータの転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位との交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフローチェック付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32 × 32 ビット)	
		MULS	符号付き乗算 (16 × 16 ビット)	
		MULU	符号なし乗算 (16 × 16 ビット)	
		NEG	符号反転	
		NEGC	ボロー付き符号反転	
		SUB	2 進減算	
		SUBC	キャリー付き 2 進減算	
SUBV	アンドフロー付き 2 進減算			

分類	命令の種類	オペコード	機能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストおよびビットセット	
		TST	論理積およびTビットセット	
		XOR	排他的論理和	
シフト命令	12	ROTL	1ビット左回転	16
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAD	算術的ダイナミックシフト	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLD	論理的ダイナミックシフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件付き分岐、遅延付き条件付き分岐 (T=0)	11
		BT	条件付き分岐、遅延付き条件付き分岐 (T=1)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	14	CLRMAC	MACレジスタのクリア	74
		CLRS	Sビットクリア	
		CLRT	Tビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	ノーオペレーション (無操作)	
		PREF	キャッシュへのデータのプリフェッチ	
		RTE	例外処理からの復帰	

2. CPU

分類	命令の種類	オペコード	機能	命令数
システム制御命令 (続き)	14	SETS	Sビットのセット	74
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
合計	67			187

CPU 命令の命令コード、動作、実行ステートを、以下の形式で分類別に説明します。

命令	命令コード	動作	実行ステート	Tビット
<p>ニーモニックで表示しています。</p> <p>【記号の説明】</p> <p>OP.Sz SRC、DEST OP : オペコード Sz : サイズ SRC : ソース DEST : デスティネーション</p> <p>Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント</p>	<p>MSB LSBの順で表示しています。</p> <p>【記号の説明】</p> <p>mmmm : ソースレジスタ nnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント*2</p>	<p>動作の概略を表示しています。</p> <p>【記号の説明】</p> <p>、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR 内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 < <n : 左 n ビットシフト > >n : 右 n ビットシフト</p>	<p>ノーウェイトのときの値です。*1</p>	<p>命令実行後の、Tビットの値を表示しています。</p> <p>【記号の説明】 : 変化しない</p>

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令 (メモリ レジスタ) のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング (×1、×2、×4) されます。

(1) データ転送命令

表 2.19 データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm,Rn	1110nnnniiiiiii	imm 符号拡張 Rn	1	-
MOV.W @(disp,PC),Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	-
MOV.L @(disp,PC),Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	-
MOV Rm,Rn	0110nnnnmmmm0011	Rm Rn	1	-
MOV.B Rm,@Rn	0010nnnnmmmm0000	Rm (Rn)	1	-
MOV.W Rm,@Rn	0010nnnnmmmm0001	Rm (Rn)	1	-
MOV.L Rm,@Rn	0010nnnnmmmm0010	Rm (Rn)	1	-
MOV.B @Rm,Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-
MOV.W @Rm,Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-
MOV.L @Rm,Rn	0110nnnnmmmm0010	(Rm) Rn	1	-
MOV.B Rm,@-Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	-
MOV.W Rm,@-Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	-
MOV.L Rm,@-Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	-
MOV.B @Rm+,Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-
MOV.W @Rm+,Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-
MOV.L @Rm+,Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-
MOV.B R0,@(disp,Rn)	10000000nnnndddd	R0 (disp+Rn)	1	-
MOV.W R0,@(disp,Rn)	10000001nnnndddd	R0 (disp × 2+Rn)	1	-
MOV.L Rm,@(disp,Rn)	0001nnnnmmmmdddd	Rm (disp × 4+Rn)	1	-
MOV.B @(disp,Rm),R0	10000100mmmmdddd	(disp+Rm) 符号拡張 R0	1	-
MOV.W @(disp,Rm),R0	10000101mmmmdddd	(disp × 2+Rm) 符号拡張 R0	1	-
MOV.L @(disp,Rm),Rn	0101nnnnmmmmdddd	(disp × 4+Rm) Rn	1	-
MOV.B Rm,@(R0,Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-
MOV.W Rm,@(R0,Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-
MOV.L Rm,@(R0,Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-
MOV.B @(R0,Rm),Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-
MOV.W @(R0,Rm),Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-
MOV.L @(R0,Rm),Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-
MOV.B R0,@(disp,GBR)	11000000dddddddd	R0 (disp+GBR)	1	-
MOV.W R0,@(disp,GBR)	11000001dddddddd	R0 (disp × 2+GBR)	1	-
MOV.L R0,@(disp,GBR)	11000010dddddddd	R0 (disp × 4+GBR)	1	-
MOV.B @(disp,GBR),R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	-

2. CPU

命 令	命令コード	動 作	実行 ステート	Tビット
MOV.W @ (disp,GBR),R0	11000101dddddddd	(disp × 2+GBR) 符号拡張 R0	1	-
MOV.L @ (disp,GBR),R0	11000110dddddddd	(disp × 4+GBR) R0	1	-
MOVA @ (disp,PC),R0	11000111dddddddd	disp × 4+PC R0	1	-
MOVT Rn	0000nnnn00101001	T Rn	1	-
SWAP.B Rm,Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイト交換 Rn	1	-
SWAP.W Rm,Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-
XTRCT Rm,Rn	0010nnnnmmmm1101	Rm と Rn の中央 32 ビット Rn	1	-

(2) 算術演算命令

表 2.20 算術命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm,Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	-
ADD #imm,Rn	0111nnnniiiiiii	Rn+imm Rn	1	-
ADDC Rm,Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリ T	1	キャリ
ADDV Rm,Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー
CMP/EQ #imm,R0	10001000iiiiiii	R0=imm のとき 1 T	1	比較結果
CMP/EQ Rm,Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T	1	比較結果
CMP/HS Rm,Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm,Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HI Rm,Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1 T	1	比較結果
CMP/GT Rm,Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1 T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T	1	比較結果
CMP/STR Rm,Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm,Rn	0011nnnnmmmm0100	1 ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm,Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIV0U	000000000011001	0 M/Q/T	1	0
DMULS.L Rm,Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット	2(～5)* ¹	-
DMULU.L Rm,Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット	2(～5)* ¹	-

命 令	命令コード	動 作	実行 ステート	Tビット
DT Rn	0100nnnn00010000	Rn-1 Rn, Rnが0のとき 1 T Rnが0 以外のとき 0 T	1	比較結果
EXTS.B Rm,Rn	0110nnnnmmmm1110	Rmをバイトから符号拡張 Rn	1	-
EXTS.W Rm,Rn	0110nnnnmmmm1111	Rmをワードから符号拡張 Rn	1	-
EXTU.B Rm,Rn	0110nnnnmmmm1100	Rmをバイトからゼロ拡張 Rn	1	-
EXTU.W Rm,Rn	0110nnnnmmmm1101	Rmをワードからゼロ拡張 Rn	1	-
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm)+MAC MAC, Rn+4 Rn, Rm+4 Rm32 × 32+64 64 ビット	2(~5)* ¹	-
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm)+MAC MAC, Rn+2 Rn, Rm+2 Rm16 × 16+64 64 ビット	2(~5)* ¹	-
MUL.L Rm,Rn	0000nnnnmmmm0111	Rn × Rm MACL32 × 32 32 ビット	2(~5)* ¹	-
MULS.W Rm,Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL16 × 16 32 ビット	1(~3)* ²	-
MULU.W Rm,Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL16 × 16 32 ビット	1(~3)* ²	-
NEG Rm,Rn	0110nnnnmmmm1011	0-Rm Rn	1	-
NEGC Rm,Rn	0110nnnnmmmm1010	0-Rm-T Rn, ポロー T	1	ポロー
SUB Rm,Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	-
SUBC Rm,Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ポロー T	1	ポロー
SUBV Rm,Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	アンダ フロー

【注】 *1 通常の最低実行サイクル数は2ですが、命令の直後にMACレジスタから演算結果を読み出すときは5サイクル必要です。

*2 通常の最低実行サイクル数は1ですが、MUL命令の直後にMACレジスタから演算結果を読み出すときは3サイクル必要です。

2. CPU

(3) 論理演算命令

表 2.21 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
AND Rm,Rn	0010nnnnmmmm1001	$Rn \& Rm$ Rn	1	-
AND #imm,R0	11001001iiiiiii	$R0 \& imm$ R0	1	-
AND.B #imm,@(R0,GBR)	11001101iiiiiii	$(R0+GBR) \& imm$ (R0+GBR)	3	-
NOT Rm,Rn	0110nnnnmmmm0111	\bar{Rm} Rn	1	-
OR Rm,Rn	0010nnnnmmmm1011	$Rn Rm$ Rn	1	-
OR #imm,R0	11001011iiiiiii	$R0 imm$ R0	1	-
OR.B #imm,@(R0,GBR)	11001111iiiiiii	$(R0+GBR) imm$ (R0+GBR)	3	-
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1 T, 1 MSB of (Rn)	4	テスト結果
TST Rm,Rn	0010nnnnmmmm1000	$Rn \& Rm$, 結果が0のとき1 T	1	テスト結果
TST #imm,R0	11001000iiiiiii	$R0 \& imm$, 結果が0のとき1 T	1	テスト結果
TST.B #imm,@(R0,GBR)	11001100iiiiiii	$(R0+GBR) \& imm$, 結果が0のとき1 T	3	テスト結果
XOR Rm,Rn	0010nnnnmmmm1010	$Rn \wedge Rm$ Rn	1	-
XOR #imm,R0	11001010iiiiiii	$R0 \wedge imm$ R0	1	-
XOR.B #imm,@(R0,GBR)	11001110iiiiiii	$(R0+GBR) \wedge imm$ (R0+GBR)	3	-

(4) シフト命令

表 2.22 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0のとき、 $Rn \ll Rm$ Rn Rm<0のとき、 $Rn \gg Rm$ [MSB Rn]	1	-
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0のとき、 $Rn \ll Rm$ Rn Rm<0のとき、 $Rn \gg Rm$ [0 Rn]	1	-
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB

命 令	命令コード	動 作	実行 ステート	Tビット
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	1	-
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	1	-
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	1	-
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	1	-
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	1	-
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	1	-

(5) 分岐命令

表 2.23 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット
BF label	10001011dddddddd	T=0のとき disp×2+PC PC, T=1の とき nop	3/1*	-
BF/S label	10001111dddddddd	遅延分岐、T=0のとき disp×2+PC PC, T=1のとき nop	2/1*	-
BT label	10001001dddddddd	T=1のとき disp×2+PC PC, T=0の とき nop	3/1*	-
BT/S label	10001101dddddddd	遅延分岐、T=1のとき disp×2+PC PC, T=0のとき nop	2/1*	-
BRA label	1010dddddddddddd	遅延分岐、disp×2+PC PC	2	-
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC PC	2	-
BSR label	1011dddddddddddd	遅延分岐、PC PR, disp×2+PC PC	2	-
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm+PC PC	2	-
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	-
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	-
RTS	0000000000001011	遅延分岐、PR PC	2	-

【注】 * 分岐しない場合は1ステート

2. CPU

(6) システム制御命令

表 2.24 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
CLRMAC	000000000101000	0 MACH,MACL	1	-
CLRS	000000001001000	0 S	1	-
CLRT	000000000001000	0 T	1	0
LDC Rm,SR	0100mmmm00001110	Rm SR	6	LSB
LDC Rm,GBR	0100mmmm00011110	Rm GBR	4	-
LDC Rm,VBR	0100mmmm00101110	Rm VBR	4	-
LDC Rm,SSR	0100mmmm00111110	Rm SSR	4	-
LDC Rm,SPC	0100mmmm01001110	Rm SPC	4	-
LDC Rm,R0_BANK	0100mmmm10001110	Rm R0_BANK	4	-
LDC Rm,R1_BANK	0100mmmm10011110	Rm R1_BANK	4	-
LDC Rm,R2_BANK	0100mmmm10101110	Rm R2_BANK	4	-
LDC Rm,R3_BANK	0100mmmm10111110	Rm R3_BANK	4	-
LDC Rm,R4_BANK	0100mmmm11001110	Rm R4_BANK	4	-
LDC Rm,R5_BANK	0100mmmm11011110	Rm R5_BANK	4	-
LDC Rm,R6_BANK	0100mmmm11101110	Rm R6_BANK	4	-
LDC Rm,R7_BANK	0100mmmm11111110	Rm R7_BANK	4	-
LDC.L @Rm+,SR	0100mmmm0000111	(Rm) SR, Rm+4 Rm	8	LSB
LDC.L @Rm+,GBR	0100mmmm0001011	(Rm) GBR, Rm+4 Rm	4	-
LDC.L @Rm+,VBR	0100mmmm0010011	(Rm) VBR, Rm+4 Rm	4	-
LDC.L @Rm+,SSR	0100mmmm0011011	(Rm) SSR, Rm+4 Rm	4	-
LDC.L @Rm+,SPC	0100mmmm0100011	(Rm) SPC, Rm+4 Rm	4	-
LDC.L @Rm+,R0_BANK	0100mmmm1000011	(Rm) R0_BANK, Rm+4 Rm	4	-
LDC.L @Rm+,R1_BANK	0100mmmm1001011	(Rm) R1_BANK, Rm+4 Rm	4	-
LDC.L @Rm+,R2_BANK	0100mmmm1010011	(Rm) R2_BANK, Rm+4 Rm	4	-
LDC.L @Rm+,R3_BANK	0100mmmm1011011	(Rm) R3_BANK, Rm+4 Rm	4	-
LDC.L @Rm+,R4_BANK	0100mmmm1100011	(Rm) R4_BANK, Rm+4 Rm	4	-
LDC.L @Rm+,R5_BANK	0100mmmm1101011	(Rm) R5_BANK, Rm+4 Rm	4	-
LDC.L @Rm+,R6_BANK	0100mmmm1110011	(Rm) R6_BANK, Rm+4 Rm	4	-
LDC.L @Rm+,R7_BANK	0100mmmm1111011	(Rm) R7_BANK, Rm+4 Rm	4	-
LDS Rm,MACH	0100mmmm00001010	Rm MACH	1	-
LDS Rm,MACL	0100mmmm00011010	Rm MACL	1	-
LDS Rm,PR	0100mmmm00101010	Rm PR	1	-

命 令	命令コード	動 作	実行 ステート	Tビット
LDS.L @Rm+,MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-
LDS.L @Rm+,MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-
LDS.L @Rm+,PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-
NOP	0000000000001001	無操作	1	-
PREF @Rm	0000mmmm10000011	(Rm) キャッシュ	1	-
RTE	000000000101011	遅延分岐、SSR SR、SPC PC	5	-
SETS	0000000001011000	1 S	1	-
SETT	0000000000011000	1 T	1	1
SLEEP	0000000000011011	スリープ	4*	-
STC SR,Rn	0000nnnn00000010	SR Rn	1	-
STC GBR,Rn	0000nnnn00010010	GBR Rn	1	-
STC VBR,Rn	0000nnnn00100010	VBR Rn	1	-
STC SSR, Rn	0000nnnn00110010	SSR Rn	1	-
STC SPC,Rn	0000nnnn01000010	SPC Rn	1	-
STC R0_BANK,Rn	0000nnnn10000010	R0_BANK Rn	1	-
STC R1_BANK,Rn	0000nnnn10010010	R1_BANK Rn	1	-
STC R2_BANK,Rn	0000nnnn10100010	R2_BANK Rn	1	-
STC R3_BANK,Rn	0000nnnn10110010	R3_BANK Rn	1	-
STC R4_BANK,Rn	0000nnnn11000010	R4_BANK Rn	1	-
STC R5_BANK,Rn	0000nnnn11010010	R5_BANK Rn	1	-
STC R6_BANK,Rn	0000nnnn11100010	R6_BANK Rn	1	-
STC R7_BANK,Rn	0000nnnn11110010	R7_BANK Rn	1	-
STC.L SR,@-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	1	-
STC.L GBR,@-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	1	-
STC.L VBR,@-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	1	-
STC.L SSR,@-Rn	0100nnnn00110011	Rn-4 Rn, SSR (Rn)	1	-
STC.L SPC,@-Rn	0100nnnn01000011	Rn-4 Rn, SPC (Rn)	1	-
STC.L R0_BANK,@-Rn	0100nnnn10000011	Rn-4 Rn, R0_BANK (Rn)	1	-
STC.L R1_BANK,@-Rn	0100nnnn10010011	Rn-4 Rn, R1_BANK (Rn)	1	-
STC.L R2_BANK,@-Rn	0100nnnn10100011	Rn-4 Rn, R2_BANK (Rn)	1	-
STC.L R3_BANK,@-Rn	0100nnnn10110011	Rn-4 Rn, R3_BANK (Rn)	1	-
STC.L R4_BANK,@-Rn	0100nnnn11000011	Rn-4 Rn, R4_BANK (Rn)	1	-
STC.L R5_BANK,@-Rn	0100nnnn11010011	Rn-4 Rn, R5_BANK (Rn)	1	-
STC.L R6_BANK,@-Rn	0100nnnn11100011	Rn-4 Rn, R6_BANK (Rn)	1	-
STC.L R7_BANK,@-Rn	0100nnnn11110011	Rn-4 Rn, R7_BANK (Rn)	1	-
STS MACH,Rn	0000nnnn00001010	MACH Rn	1	-

2. CPU

命 令	命令コード	動 作	実行 ステート	Tビット
STS MACL,Rn	0000nnnn00011010	MACL Rn	1	-
STS PR,Rn	0000nnnn00101010	PR Rn	1	-
STS.L MACH,@-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	-
STS.L MACL,@-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	-
STS.L PR,@-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	-
TRAPA #imm	11000011iiiiiii	PC SPC, SR SSR, imm<<2 TRA, VBR+H'0100 PC	8	-

【注】 * チップがスリープ状態になる前の実行ステート数です。

この表には実行に必要な最低クロック数を示します。實際上、命令フェッチがデータアクセスと競合している場合、またはロード命令のデスティネーションレジスタ（メモリ レジスタ）が次の命令で使用するレジスタと同じ場合、実行サイクル数は増加します。

2.6 DSP 拡張機能用の命令

2.6.1 はじめに

新しく導入された命令は次の 3 つのグループに分類されます。

1. CPUユニット用の追加システム制御命令
2. DSPユニットのメモリとレジスタ間のシングル、ダブルデータ転送
3. DSPユニット用の並列演算

1は、ループ制御および CPU コアレジスタ、またはメモリと CPU コアに追加された新しいコントロールレジスタの間とデータ転送をサポートするために用意されています。DSP 演算はいくつかのレベルのネストループ構造を持っています。1 レベルループの場合、SH-3 でサポートされている「デクリメントおよびテスト」、「DT Rn」、条件付き遅延分岐「BF/S」命令を使用するだけで十分です。しかし、ネストループの場合、ゼロオーバーヘッドループ制御機能により DSP 性能を向上させることができます。

ループ制御、モジュロアドレッシング機能をサポートするために RS、RE、MOD が追加されました。これらの新しいコントロールレジスタと汎用レジスタまたはメモリの間でのデータ転送命令をサポートします。また、ゼロオーバーヘッドループ制御の初期設定のためのコードサイズを節約するためにアドレス計算命令 LDRS と LDRE を追加しました。

DSP エンジンには独立したコントロールレジスタ DSR を提供しますが、このレジスタは MACL および MACH のようなシステムレジスタとして扱われます。A0、X0、X1、Y0、Y1 レジスタは CPU 側からのシステムレジスタとしても扱われ、LDS/STS 命令と同じ目的のためにサポートされています。表 2.25 に、CPU コア用の新しいシステム制御命令の命令コードマップを示しています。

2は DSP 演算のプログラムコードサイズを節約するために用意されています。データ処理なしのデータ転送命令は DSP エンジンで頻繁に実行されます。この場合、32 ビット命令コードは冗長で、プログラムメモリ領域を消費します。このクラスのすべての命令は従来の SH コア命令同様、コード長は 16 ビットです。シングルデータ転送命令はダブルデータ転送命令または並列命令クラスより柔軟性に富んだオペランドを持っています。

3は、DSP ユニットを用いたデジタル信号処理演算を高速に実行するために用意されています。この命令は、32 ビットの命令コードから構成されているので、ALU 演算、乗算、2 つのデータ転送命令の最高 4 つの命令を並列に実行することができます。

2. CPU

2.6.2 CPU 用追加システム制御命令

このクラスの新しい命令はCPUコア機能の一部として扱われますので、ここに追加したすべての命令コード長は16ビットです。すべての追加命令はシステム制御命令のグループに属します。表2.25に追加システム命令の要約を示します。CPUコアにはループ制御、モジュロアドレッシング機能をサポートするためにRS、RE、MODの新しいコントロールレジスタが追加され、これらのレジスタに対するLDCとSTCタイプの命令が用意されています。

DSPエンジンのDSR、A0、X0、X1、Y0、Y1レジスタはMACHやMACLのようなシステムレジスタとして扱われます。したがって、そのためにSTSとLDS命令がサポートされています。デジタル信号処理演算はいくつかのレベルのネストループ構造を持っているのが普通です。したがって、ゼロオーバーヘッドループ制御機能によりDSP性能を向上させることができます。SETRCタイプの命令はSR[27:16]にあるRCにリピータカウントを設定するために用意されています。イミディエイトオペランドタイプのSETRCを実行すると、イミディエイトオペランドデータの8ビットがSR[23:16]にセットされ、残りのビットSR[27:24]には0がセットされます。レジスタオペランドタイプのSETRC命令を実行すると、Rn[11:0]がSR[27:16]にセットされます。リピータループのスタートアドレスとエンドアドレスはRSレジスタとREレジスタにセットされます。アドレス設定には2つの方法があります。1つはLDCタイプの命令を使用することであり、もう1つはLDRS、LDRE命令を使用することです。

表 2.25 CPU 用追加システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
SETRC #imm	10000010iiiiiii	imm->RC (of SR)	1	-
SETRC Rn	0100nnnn00010100	Rn[11:0] ->RC(ofSR)	1	-
LDRS @(disp,PC)	10001100ddddddd	(disp x 2+PC)->RS	1	-
LDRE @(disp,PC)	10001110ddddddd	(disp x 2+PC)->RE	1	-
STC MOD,Rn	0000nnnn01010010	MOD->Rn	1	-
STC RS,Rn	0000nnnn01100010	RS->Rn	1	-
STC RE,Rn	0000nnnn01110010	RE->Rn	1	-
STS DSR,Rn	0000nnnn01101010	DSR->Rn	1	-
STS A0,Rn	0000nnnn01111010	A0->Rn	1	-
STS X0,Rn	0000nnnn10001010	X0->Rn	1	-
STS X1,Rn	0000nnnn10011010	X1->Rn	1	-
STS Y0,Rn	0000nnnn10101010	Y0->Rn	1	-
STS Y1,Rn	0000nnnn10111010	Y1->Rn	1	-
STS.L DSR,@-Rn	0100nnnn01100010	Rn-4->Rn, DSR->(Rn)	1	-
STS.L A0,@-Rn	0100nnnn01110010	Rn-4->Rn, A0->(Rn)	1	-
STS.L X0,@-Rn	0100nnnn10000010	Rn-4->Rn, X0->(Rn)	1	-
STS.L X1,@-Rn	0100nnnn10010010	Rn-4->Rn, X1->(Rn)	1	-
STS.L Y0,@-Rn	0100nnnn10100010	Rn-4->Rn, Y0->(Rn)	1	-

命 令	命令コード	動 作	実行 ステート	Tビット
STS.L Y1,@-Rn	0100nnnn10110010	Rn-4->Rn, Y1->(Rn)	1	-
STC.L MOD,@-Rn	0100nnnn01010011	Rn-4->Rn, MOD->(Rn)	1	-
STC.L RS,@-Rn	0100nnnn01100011	Rn-4->Rn, RS->(Rn)	1	-
STC.L RE,@-Rn	0100nnnn01110011	Rn-4->Rn, RE->(Rn)	1	-
LDS.L @Rn+,DSR	0100nnnn01100110	(Rn)->DSR, Rn+4->Rn	1	-
LDS.L @Rn+,A0	0100nnnn01110110	(Rn)->A0, Rn+4->Rn	1	-
LDS.L @Rn+,X0	0100nnnn10000110	(Rn)->X0, Rn+4->Rn	1	-
LDS.L @Rn+,X1	0100nnnn10010110	(Rn)->X1, Rn+4->Rn	1	-
LDS.L @Rn+,Y0	0100nnnn10100110	(Rn)->Y0, Rn+4->Rn	1	-
LDS.L @Rn+,Y1	0100nnnn10110110	(Rn)->Y1, Rn+4->Rn	1	-
LDC.L @Rn+,MOD	0100nnnn01010111	(Rn)->MOD, Rn+4->Rn	4	-
LDC.L @Rn+,RS	0100nnnn01100111	(Rn)->RS, Rn+4->Rn	4	-
LDC.L @Rn+,RE	0100nnnn01110111	(Rn)->RE, Rn+4->Rn	4	-
LDS Rn,DSR	0100nnnn01101010	Rn->DSR	1	-
LDS Rn,A0	0100nnnn01111010	Rn->A0	1	-
LDS Rn,X0	0100nnnn10001010	Rn->X0	1	-
LDS Rn,X1	0100nnnn10011010	Rn->X1	1	-
LDS Rn,Y0	0100nnnn10101010	Rn->Y0	1	-
LDS Rn,Y1	0100nnnn10111010	Rn->Y1	1	-
LDC Rn,MOD	0100nnnn01011110	Rn->MOD	4	-
LDC Rn,RS	0100nnnn01101110	Rn->RS	4	-
LDC Rn,RE	0100nnnn01111110	Rn->RE	4	-

2.6.3 DSP データ命令用シングル、ダブルデータ転送

このクラスの新しい命令は DSP 演算のプログラムコードサイズを節約するために用意されています。ここに追加するすべての命令のコード長は 16 ビットです。このクラスの命令は 2 つのグループから構成されます。1 つはシングルデータ転送命令です。もう 1 つはダブルデータ転送命令です。ダブル転送命令でのオペランド柔軟性は「2.4.4 DSP 命令の命令形式」で説明する並列命令クラスのデータ転送命令フィールド、A フィールドと同じです。ただし、条件付きロード命令はこれらの 16 ビット命令では利用できません。シングル転送では Ax ポインタおよびさらに 2 つのアドレスポインタがポインタオペランド As として利用できますが、Ay ポインタは利用できません。表 2.26、表 2.27 にシングル、またはダブルデータ転送命令の命令表を示します。

ダブルデータ転送グループでは X メモリと Y メモリを並行してアクセスできます。Ax ポインタは X メモリアクセス命令のみに使用でき、Ay ポインタは Y メモリアクセス命令のみに使用できます。ダブルデータ転送命令は内蔵 X、Y メモリ領域のみにアクセスできます。シングルデータ転送命令は、16 ビット命令コードを用いて、任意のメモリアドレス空間にアクセスできます。

2. CPU

Rn、n=2~7は、普通 Ax、Ay、As ポインタとして使用しますが、ポインタ名そのものはアセンブラのリネーム機能で変更することができます。次のようなリネームを推奨します。

R2:As2、R3:As3、R4:Ax0 (As0)、R5:Ax1 (As1)、R6:Ay0、R7:Ay1、R8:Ix、R9:Iy

表 2.26 ダブルデータ転送命令

命 令	命令コード	動 作	実行 状態	DC	
Xメモリ データ 転送	NOPX	1111000*0*0*00**	Xメモリノーマルアクセス	1	-
	MOVX.W @Ax, Dx	111100A*D*0*01**	(Ax) ->Dx の MSW, 0 ->Dx の LSW	1	-
	MOVX.W @Ax+, Dx	111100A*D*0*10**	(Ax) ->Dx の MSW, 0 ->Dx の LSW, Ax+2 ->Ax	1	-
	MOVX.W @Ax+Ix, Dx	111100A*D*0*11**	(Ax) ->Dx の MSW, 0 ->Dx の LSW, Ax+Ix ->Ax	1	-
	MOVX.W Da, @Ax	111100A*D*1*01**	Da の MSW ->(Ax)	1	-
	MOVX.W Da, @Ax+	111100A*D*1*10**	Da の MSW ->(Ax), Ax+2 ->Ax	1	-
	MOVX.W Da, @Ax+Ix	111100A*D*1*11**	Da の MSW ->(Ax), Ax+Ix ->Ax	1	-
Yメモリ データ 転送	NOPY	1111000*0*0*00**	Yメモリノーマルアクセス	1	-
	MOVY.W @Ay, Dy	111100A*D*0*01**	(Ay) ->Dy の MSW, 0 ->Dy の LSW	1	-
	MOVY.W @Ay+, Dy	111100A*D*0*10**	(Ay) ->Dy の MSW, 0 ->Dy の LSW, Ay+2 ->Ay	1	-
	MOVY.W @Ay+Iy, Dy	111100A*D*0*11**	(Ay) ->Dy の MSW, 0 ->Dy の LSW, Ay+Iy ->Ay	1	-
	MOVY.W Da, @Ay	111100A*D*1*01**	Da の MSW ->(Ay)	1	-
	MOVY.W Da, @Ay+	111100A*D*1*10**	Da の MSW ->(Ay), Ay+2 ->Ay	1	-
	MOVY.W Da, @Ay+Iy	111100A*D*1*11**	Da の MSW ->(Ay), Ay+Iy ->Ay	1	-

【注】 命令コードの「*」部分は MOVX 命令では MOVY 命令の指定領域で、MOVY 命令では MOVX 命令の指定領域です。

表 2.27 シングルデータ転送命令

命 令	命令コード	動 作	実行 状態	DC
MOVS.W @-As, Ds	111101AADDDD0000	As-2 ->As, (As) ->Ds の MSW, 0 ->Ds の LSW	1	-
MOVS.W @As, Ds	111101AADDDD0100	(As) ->Ds の MSW, 0 ->Ds の LSW	1	-
MOVS.W @As+, Ds	111101AADDDD1000	(As) ->Ds の MSW, 0 ->Ds の LSW, As+2 ->As	1	-
MOVS.W @As+Is, Ds	111101AADDDD1100	(Asc) ->Ds の MSW, 0 ->Ds の LSW, As+Is ->As	1	-
MOVS.W Ds, @-As*	111101AADDDD0001	As-2 ->As, Ds の MSW ->(As)	1	-
MOVS.W Ds, @As*	111101AADDDD0101	Ds の MSW ->(As)	1	-
MOVS.W Ds, @As+*	111101AADDDD1001	Ds の MSW ->(As), As+2 ->As	1	-

命 令	命令コード	動 作	実行 ステート	DC
MOVS.W Ds, @As+Is*	111101AADDDD1101	Ds の MSW ->(As), As+Is ->As	1	-
MOVS.L @-As, Ds	111101AADDDD0010	As-4 ->As, (As) ->Ds	1	-
MOVS.L @As, Ds	111101AADDDD0110	(As) ->Ds	1	-
MOVS.L @As+, Ds	111101AADDDD1010	(As) ->Ds, As+4 ->As	1	-
MOVS.L @As+Is, Ds	111101AADDDD1110	(As) ->Ds, As+Is ->As	1	-
MOVS.L Ds, @-As	111101AADDDD0011	As-4 ->As, Ds ->(As)	1	-
MOVS.L Ds, @As	111101AADDDD0111	Ds ->(As)	1	-
MOVS.L Ds, @As+	111101AADDDD1011	Ds ->(As), As+4 ->As	1	-
MOVS.L Ds, @As+Is	111101AADDDD1111	Ds ->(As), As+Is ->As	1	-

【注】 * ガードビットレジスタ A0G と A1G の 1 つがストア処理のソースオペランド Ds に指定した場合、データは LDB [7:0] バスに出力され、LDB[31:8]は符号拡張されます。

DSP データ転送のオペランドとレジスタとの対応を表 2.28 に示します。CPU コアのレジスタはメモリアドレスを示すポインタアドレスとして使われます。

表 2.28 DSP データ転送のオペランドとレジスタとの対応

レジスタ		Ax	Ix	Dx	Ay	Iy	Dy	Da	As	Ds
CPU レジスタ	R0	-	-	-	-	-	-	-	-	-
	R1	-	-	-	-	-	-	-	-	-
	R2 (As2)	-	-	-	-	-	-	-	Yes	-
	R3 (As3)	-	-	-	-	-	-	-	Yes	-
	R4 (Ax0)	Yes	-	-	-	-	-	-	Yes	-
	R5 (Ax1)	Yes	-	-	-	-	-	-	Yes	-
	R6 (Ay0)	-	-	-	Yes	-	-	-	-	-
	R7 (Ay1)	-	-	-	Yes	-	-	-	-	-
	R8 (Ix)	-	Yes	-	-	-	-	-	-	-
	R9 (Iy)	-	-	-	-	Yes	-	-	-	-
DSP レジスタ	A0	-	-	-	-	-	-	Yes	-	Yes
	A1	-	-	-	-	-	-	Yes	-	Yes
	M0	-	-	-	-	-	-	-	-	Yes
	M1	-	-	-	-	-	-	-	-	Yes
	X0	-	-	Yes	-	-	-	-	-	Yes
	X1	-	-	Yes	-	-	-	-	-	Yes
	Y0	-	-	-	-	-	Yes	-	-	Yes
	Y1	-	-	-	-	-	Yes	-	-	Yes
	A0G	-	-	-	-	-	-	-	-	Yes
	A1G	-	-	-	-	-	-	-	-	Yes

2.6.4 DSP 演算命令の命令セット

DSP 演算命令は DSP ユニットで処理されるデジタル信号処理の命令です。これらの命令は 32 ビット長の命令コードで、複数の命令を並列に実行します。命令コードは A フィールド、B フィールドの 2 つに分かれており、A フィールドにはパラレルデータ転送命令を指定し、B フィールドにはシングルまたはダブルデータ演算命令を指定します。命令は独立して指定することができ、実行も独立に実行されます。A フィールドに指定するパラレルデータ転送命令はダブルデータ転送命令と全く同じです。A フィールドすなわちデータ転送命令フィールドの機能は、基本的に「2.6.3 DSP データ命令用シングル、ダブルデータ転送」のダブルデータ転送命令と同じですが、ロード命令は特別な機能を持っています。

B フィールドのデータ演算命令は 3 つに分かれています。ダブルデータ演算命令、条件付きシングルデータ演算命令、無条件シングルデータ演算命令の 3 つです。DSP 演算命令の命令形式を表 2.29 に示します。それぞれのオペランドは独立に DSP レジスタから選べます。DSP 演算命令のオペランドとレジスタの対応を表 2.30 に示します。

表 2.29 DSP 演算命令の命令形式

分類	命令形式
ダブルデータ演算命令	ALUop. Sx, Sy, Du MLTop. Se, Df, Dg
条件付きシングルデータ演算命令	DCT ALUop. Sx, Sy, Dz DCF ALUop. Sx, Sy, Dz DCT ALUop. Sx, Dz DCF ALUop. Sx, Dz DCT ALUop. Sy, Dz DCF ALUop. Sy, Dz
無条件シングルデータ演算命令	ALUop. Sx, Sy, Dz ALUop. Sx, Dz ALUop. Sy, Dz MLTop. Se, Sf, Dg

表 2.30 DSP 命令のオペランドとレジスタの対応

レジスタ	ALU、シフト演算				乗算演算		
	Sx	Sy	Dz	Du	Se	Sf	Dg
A0	Yes	-	Yes	Yes	-	-	Yes
A1	Yes	-	Yes	Yes	Yes	Yes	Yes
M0	-	Yes	Yes	-	-	-	Yes
M1	-	Yes	Yes	-	-	-	Yes
X0	Yes	-	Yes	Yes	Yes	Yes	-
X1	Yes	-	Yes	-	Yes	-	-
Y0	-	Yes	Yes	Yes	Yes	Yes	-
Y1	-	Yes	Yes	-	-	Yes	-

並行命令を書くときは最初に B フィールドの命令を書いて、次に A フィールドの命令を書きます。並行処理プログラム例を図 2.16 に示します。

```

PADD A0, M0, A0  PMULS X0, Y0, M0  MOVX.W @R4+, X0  MOVY.W @R6+, Y0 [;]
DCF  PINC X1, A1  MOVX.W A0, @R5+R8  MOVY.W @R7+, Y0 [;]
      PCMP X1, M0  MOVX.W @R4  [NOPY] [;]

```

図 2.16 並列命令プログラムの例

ここで、[]は省略可能な部分を表します。

NOPX と NOPY のノーオペレーション命令は、省略可能です。表 2.31 に並列演算命令の B フィールドの要約を示します。

「;」は命令行を区切るために使用しますが、省略可能です。この区切り記号「;」を使用すると、続くスペースはコメント領域として使用できます。これは従来の SH ツールと同じ機能を持っています。

DSR レジスタの条件コードビット (DC) は、常に無条件の ALU またはシフト演算命令の結果に基づいて更新されます。条件付き命令の場合、DC ビットを更新しません。乗算命令も DC ビットを更新しません。DC ビットの更新は DSR レジスタの CS[2:0]ビットにより行われます。表 2.32 に DC ビットの更新ルールの定義について示します。

2. CPU

表 2.31 DSP 演算命令

命令	命令コード	動作	実行 ステート	DC
PMULS Se, Sf, Dg	111110***** 0100eeff0000gg00	Se*Sf ->Dg (符号付き)	1	-
PADD Sx, Sy, Du PMULS Se, Sf, Dg	111110***** 0111eeffxxyygguu	Sx+Sy ->Du Se*Sf ->Dg (符号付き)	1	*
PSUB Sx, Sy, Du PMULS Se, Sf, Dg	111110***** 0110eeffxxyygguu	Sy-Sy ->Du Se*Sf ->Dg (符号付き)	1	*
PADD Sx, Sy, Dz	111110***** 10110001xxyyzzzz	Sx+Sy ->Dz	1	*
DCT PADD Sx, Sy, Dz	111110***** 10110010xxyyzzzz	If DC=1, Sx+Sy ->Dz If DC=0, nop	1	-
DCF PADD Sx, Sy, Dz	111110***** 10110011xxyyzzzz	If DC=0, Sx+Sy ->Dz If DC=1, nop	1	-
PSUB Sx, Sy, Dz	111110***** 10100001xxyyzzzz	Sx-Sy ->Dz	1	*
DCT PSUB Sx, Sy, Dz	111110***** 10100010xxyyzzzz	If DC=1, Sx-Sy ->Dz If DC=0, nop	1	-
DCF PSUB Sx, Sy, Dz	111110***** 10100011xxyyzzzz	If DC=0, Sx-Sy ->Dz If DC=1, nop	1	-
PSHA Sx, Sy, Dz	111110***** 10010001xxyyzzzz	If Sy>=0, Sx<<Sy ->Dz (算術シフト) If Sy<0, Sx>>Sy ->Dz	1	*
DCT PSHA Sx, Sy, Dz	111110***** 10010010xxyyzzzz	If DC=1 & Sy>=0, Sx<<Sy ->Dz (算術シフト) If DC=1 & Sy<0, Sx>>Sy ->Dz If DC=0, nop	1	-
DCF PSHA Sx, Sy, Dz	111110***** 10010011xxyyzzzz	If DC=0 & Sy>=0, Sx<<Sy ->Dz (算術シフト) If DC=0 & Sy<0, Sx>>Sy ->Dz If DC=1, nop	1	-
PSHL Sx, Sy, Dz	111110***** 10000001xxyyzzzz	If Sy>=0, Sx<<Sy ->Dz (論理シフト) If Sy<0, Sx>>Sy ->Dz	1	*
DCT PSHL Sx, Sy, Dz	111110***** 10000010xxyyzzzz	If DC=1 & Sy>=0, Sx<<Sy ->Dz (論理シフト) If DC=1 & Sy<0, Sx>>Sy ->Dz If DC=0, nop	1	-
DCF PSHL Sx, Sy, Dz	111110***** 10000011xxyyzzzz	If DC=0 & Sy>=0, Sx<<Sy ->Dz (論理シフト) If DC=0 & Sy<0, Sx>>Sy ->Dz If DC=1, nop	1	-
PCOPY Sx, Dz	111110***** 11011001xx00zzzz	Sx ->Dz	1	*
PCOPY Sy, Dz	111110***** 1111100100yyzzzz	Sy ->Dz	1	*

命令	命令コード	動作	実行 ステート	DC
DCT PCOPY Sx,Dz	111110***** 11011010xx00zzzz	If DC=1, Sx ->Dz If DC=0, nop	1	-
DCT PCOPY Sy,Dz	111110***** 1111101000yyzzzz	If DC=1, Sy ->Dz If DC=0, nop	1	-
DCF PCOPY Sx,Dz	111110***** 11011011xx00zzzz	If DC=0, Sx ->Dz If DC=1, nop	1	-
DCF PCOPY Sy,Dz	111110***** 1111101100yyzzzz	If DC=0, Sy ->Dz If DC=1, nop	1	-
PDMSB Sx,Dz	111110***** 10011101xx00zzzz	Sx ->Dz 正規化のためのカウントシフト値	1	*
PDMSB Sy,Dz	111110***** 1011110100yyzzzz	Sy ->Dz 正規化のためのカウントシフト値	1	*
DCT PDMSB Sx,Dz	111110***** 10011110xx00zzzz	If DC=1, 正規化のためのカウントシフト値 Sx ->Dz If DC=0, nop	1	-
DCT PDMSB Sy,Dz	111110***** 1011111000yyzzzz	If DC=1, 正規化のためのカウントシフト値 Sy ->Dz If DC=0, nop	1	-
DCF PDMSB Sx,Dz	111110***** 10011111xx00zzzz	If DC=0, 正規化のためのカウントシフト値 Sx ->Dz If DC=1, nop	1	-
DCF PDMSB Sy,Dz	111110***** 1011111100yyzzzz	If DC=0, 正規化のためのカウントシフト値 Sy ->Dz If DC=1, nop	1	-
PINC Sx,Dz	111110***** 10011001xx00zzzz	Sx の MSW ->Dz	1	*
PINC Sy,Dz	111110***** 1011100100yyzzzz	Sy の MSW ->Dz	1	*
DCT PINC Sx,Dz	111110***** 10011010xx00zzzz	If DC=1, Sx の MSW+1 ->Dz If DC=0, nop	1	-
DCT PINC Sy,Dz	111110***** 1011101000yyzzzz	If DC=1, Sy の MSW+1 ->Dz If DC=0, nop	1	-
DCF PINC Sx,Dz	111110***** 10011011xx00zzzz	If DC=0, Sx の MSW+1 ->Dz If DC=1, nop	1	-
DCF PINC Sy,Dz	111110***** 1011101100yyzzzz	If DC=0, Sy の MSW+1 ->Dz If DC=1, nop	1	-
PNEG Sx,Dz	111110***** 11001001xx00zzzz	0-Sx ->Dz	1	*
PNEG Sy,Dz	111110***** 1110100100yyzzzz	0-Sy ->Dz	1	*

2. CPU

命令	命令コード	動作	実行 ステート	DC
DCT PNEG Sx,Dz	111110***** 11001010xx00zzzz	If DC=1, 0-Sx ->Dz If DC=0, nop	1	-
DCT PNEG Sy,Dz	111110***** 1110101000yyzzzz	If DC=1, 0-Sy ->Dz If DC=0, nop	1	-
DCF PNEG Sx,Dz	111110***** 11001011xx00zzzz	If DC=0, 0-Sx ->Dz If DC=1, nop	1	-
DCF PNEG Sy,Dz	111110***** 1110101100yyzzzz	If DC=0, 0-Sy ->Dz If DC=1, nop	1	-
POR Sx,Sy,Dz	111110***** 10110101xxyyzzzz	Sx Sy ->Dz	1	*
DCT POR Sx,Sy,Dz	111110***** 10110110xxyyzzzz	If DC=1, Sx Sy ->Dz If DC=0, nop	1	-
DCF POR Sx,Sy,Dz	111110***** 10110111xxyyzzzz	If DC=0, Sx Sy ->Dz If DC=1, nop	1	-
PAND Sx,Sy,Dz	111110***** 10010101xxyyzzzz	Sx & Sy ->Dz	1	*
DCT PAND Sx,Sy,Dz	111110***** 10010110xxyyzzzz	If DC=1, Sx & Sy ->Dz If DC=0, nop	1	-
DCF PAND Sx,Sy,Dz	111110***** 10010111xxyyzzzz	If DC=0, Sx & Sy ->Dz If DC=1, nop	1	-
PXOR Sx,Sy,Dz	111110***** 10100101xxyyzzzz	Sx ^ Sy ->Dz	1	*
DCT PXOR Sx,Sy,Dz	111110***** 10100110xxyyzzzz	If DC=1, Sx ^ Sy ->Dz If DC=0, nop	1	-
DCF PXOR Sx,Sy,Dz	111110***** 10100111xxyyzzzz	If DC=1, Sx ^ Sy ->Dz If DC=0, nop	1	-
PDEC Sx,Dz	111110***** 10001001xx00zzzz	Sx [39:16]-1 ->Dz	1	*
PDEC Sy,Dz	111110***** 1010100100yyzzzz	Sy [31:16]-1 ->Dz	1	*
DCT PDEC Sx,Dz	111110***** 10001010xx00zzzz	If DC=1, Sx [39:16]-1 ->Dz If DC=0, nop	1	-
DCT PDEC Sy,Dz	111110***** 1010101000yyzzzz	If DC=1, Sy [31:16]-1 ->Dz If DC=0, nop	1	-
DCF PDEC Sx,Dz	111110***** 10001011xx00zzzz	If DC=0, Sx [39:16]-1 ->Dz If DC=1, nop	1	-

命令	命令コード	動作	実行 ステート	DC
DCF PDEC Sy, Dz	111110***** 1010101100yzzzz	If DC=0, Sy [31:16]-1 ->Dz If DC=1, nop	1	-
PCLR Dz	111110***** 100011010000zzzz	h'00000000 ->Dz	1	*
DCT PCLR Dz	111110***** 100011100000zzzz	If DC=1, h'00000000 ->Dz If DC=0, nop	1	-
DCF PCLR Dz	111110***** 100011110000zzzz	If DC=0, h'00000000 ->Dz If DC=1, nop	1	-
PSHA #imm, Dz	111110***** 00010iiiiiiizzzz	If imm>=0, Dz<<imm ->Dz (算術シフト) If imm<0, Dz>>imm ->Dz	1	*
PSHL #imm, Dz	111110***** 00000iiiiiiizzzz	If imm>=0, Dz<<imm ->Dz (論理シフト) If imm<0, Dz>>imm ->Dz	1	*
PSTS MACH, Dz	111110***** 110011010000zzzz	MACH ->Dz	1	-
DCT PSTS MACH, Dz	111110***** 110011100000zzzz	If DC=1, MACH ->Dz	1	-
DCF PSTS MACH, Dz	111110***** 110011110000zzzz	If DC=0, MACH ->Dz	1	-
PSTS MACL, Dz	111110***** 110111010000zzzz	MACL ->Dz	1	-
DCT PSTS MACL, Dz	111110***** 110111100000zzzz	If DC=1, MACL ->Dz	1	-
DCF PSTS MACL, Dz	111110***** 110111110000zzzz	If DC=0, MACL ->Dz	1	-
PLDS Dz, MACH	111110***** 111011010000zzzz	Dz ->MACH	1	-
DCT PLDS Dz, MACH	111110***** 111011100000zzzz	If DC=1, Dz ->MACH	1	-
DCF PLDS Dz, MACH	111110***** 111011110000zzzz	If DC=0, Dz ->MACH	1	-
PLDS Dz, MACL	111110***** 111111010000zzzz	Dz ->MACL	1	-
DCT PLDS Dz, MACL	111110***** 111111100000zzzz	If DC=1, Dz ->MACL	1	-
DCF PLDS Dz, MACL	111110***** 111111110000zzzz	If DC=0, Dz ->MACL	1	-
PADDC Sx, Sy, Dz	111110***** 10110000xxyyzzzz	Sx+Sy+DC ->Dz キャリー ->DC	1	キャリー

2. CPU

命令	命令コード	動作	実行 ステート	DC
PSUBC Sx, Sy, Dz	111110***** 10100000xxyyzzzz	Sx-Sy-DC ->Dz ポロー ->DC	1	ポロー
PCMP Sx, Sy	111110***** 10000100xxyy0000	Sx-Sy ->DC を更新*	1	*
PABS Sx, Dz	111110***** 10001000xx00zzzz	If Sx<0, 0-Sx ->Dz If Sx>=0, Sx Dz	1	*
PABS Sy, Dz	111110***** 1010100000yyzzzz	If Sy<0, 0-Sy ->Dz If Sy>=0, Sx Dz	1	*
PRND Sx, Dz	111110***** 10011000xx00zzzz	Sx+h'00008000 ->Dz Dz の LSW ->h'0000	1	*
PRND Sy, Dz	111110***** 1011100000yyzzzz	Sy+h'00008000 ->Dz Dz の LSW ->h'0000	1	*

【注】 * 表 2.32 を参照。

表 2.32 DC ビットの更新の定義

CS [2:0]			条件モード	説明
0	0	0	キャリーまたは ポローモード	ALU 算術演算の結果、キャリーまたはポローが発生した場合、DC ビットがセットされます。それ以外は 0 クリアされます。 シフト命令、PSHA または PSHL の実行時、最後にシフトアウトしたビットデータが DC ビットにコピーされます。 ALU 論理演算の実行時、DC ビットは常に 0 クリアされます。
0	0	1	負値モード	ALU またはシフト (PSHA) 算術演算の実行時、ガードビット部分を含めて結果の MSB が DC ビットにコピーされます。 ALU またはシフト (PSHL) 論理演算の実行時、ガードビット部分を除く結果の MSB が DC ビットにコピーされます。
0	1	0	ゼロ値モード	ALU またはシフト演算の結果がすべてゼロの場合、DC ビットがセットされます。それ以外は 0 クリアされます。
0	1	1	オーバフローモード	ALU またはシフト (PSHA) の算術演算結果がガードビット部分を除いたデスティネーションレジスタの範囲を越える場合、DC ビットがセットされます。それ以外は 0 クリアされます。 ALU またはシフト (PSHL) の論理演算の実行時、DC ビットは常に 0 クリアされます。
1	0	0	符号付き大モード	このモードは符号付き以上モードに類似していますが、結果がすべて 0 の場合 DC は 0 クリアされます。 DC = ~(負値^オーバーレンジ) ゼロ値 ; 算術演算の場合 DC = 0 ; 論理演算の場合

CS [2:0]			条件モード	説明
1	0	1	符号付き以上モード	<p>ALUまたはシフト (PSHA) の算術演算の結果がガードビットを含んだデスティネーションレジスタの範囲を超える場合 (オーバーレンジと呼ぶ)、定義は負値モードと同じになります。オーバーレンジでない場合、定義は負値モードの逆になります。</p> <p>ALUまたはシフト(PSHL)の論理演算の実行時、DCビットは常に0クリアされます。</p> <p>DC = -(負値^オーバーレンジ) ; 算術演算の場合</p> <p>DC = 0 ; 論理演算の場合</p>
1	1	0	予約	
1	1	1	予約	

• 条件付き演算とデータ転送

このクラスに属する命令の中には前記のように、条件付きで実行することができるものがあります。ただし、指定した条件は命令の B フィールドに対してのみ有効であって、並行して指定したデータ転送命令には有効ではありません。図 2.17 に例を示します。

<pre>DCT PADD X0,Y0,A0 MOVX.W @R4+,X0 MOVY.W A0,@R6+R9 ;</pre>
<p>< 条件が真の場合 ></p> <p>実行前: X0=H'33333333, Y0=H'55555555, A0=H'123456789A, R4=H'00008000, R6=H'00008233, R9=H'00000004 (R4)=H'1111, (R6)=H'2222</p> <p>実行後: X0=H'11110000, Y0=H'55555555, A0=H'0088888888, R4=H'00008002, R6=H'00008237, R9=H'00000004 (R4)=H'1111, (R6)=H'3456</p>
<p>< 条件が偽の場合 ></p> <p>実行前: X0=H'33333333, Y0=H'55555555, A0=H'123456789A, R4=H'00008000, R6=H'00008233, R9=H'00000004 (R4)=H'1111, (R6)=H'2222</p> <p>実行後: X0=H'11110000, Y0=H'55555555, A0=H'123456789A, R4=H'00008002, R6=H'00008237, R9=H'00000004 (R4)=H'1111, (R6)=H'3456</p>

図 2.17 条件付き演算とデータ転送命令の例

• NOPX および NOPY の命令コードの割り当て

DSP 演算命令と同時に並行処理されるデータ転送命令がないときは、データ転送命令に NOPX、NOPY 命令を書くかあるいは命令を省略することもできます。NOPX、NOPY 命令を書いても省略しても命令コードは同じです。NOPX と NOPY の命令コードの例を表 2.33 に示します。

2. CPU

表 2.33 NOPX と NOPY の命令コードの例

命 令			コード
PADD X0, Y0, A0	MOVX.W @R4+, X0	MOVY.W @R6+R9, Y0	1111100000001011 1011000100000111
PADD X0, Y0, A0	NOPX	MOVY.W @R6+R9, Y0	1111100000000011 1011000100000111
PADD X0, Y0, A0	NOPX	NOPY	1111100000000000 1011000100000111
PADD X0, Y0, A0	NOPX		1111100000000000 1011000100000111
PADD X0, Y0, A0			1111100000000000 1011000100000111
	MOVX.W @R4+, X0	MOVY.W @R6+R9, Y0	1111000000001011
	MOVX.W @R4+, X0	NOPY	1111000000001000
	MOVS.W @R4+, X0		1111010010001000
	NOPX	MOVY.W @R6+R9, Y0	1111000000000011
		MOVY.W @R6+R9, Y0	1111000000000011
	NOPX	NOPY	1111000000000000
NOP			000000000001001

3. DSP 演算

3.1 DSP ユニットのデータ演算

3.1.1 ALU 固定小数点演算

図 3.1 に ALU 算術演算フローを示します。表 3.1 はこの演算の種々のタイプを示し、表 3.2 は各オペランドのレジスタとの対応を示します。

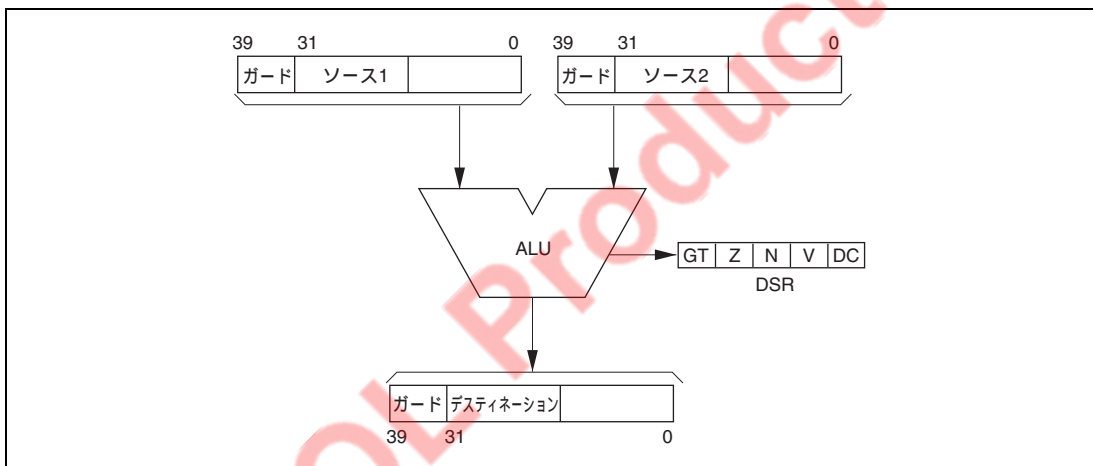


図 3.1 ALU 固定小数点算術演算フロー

【注】 ALU 固定小数点算術演算は、基本的に 40 ビット演算であり、32 ビットの基本精度部分および 8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

ALU 固定小数点演算は、レジスタ間で実行されます。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。ガードビットを持つレジスタをオペランドに指定すると、ガードビットも含めてこれらの演算が実行されます。これらの演算は図 3.2 に示すように DSP ステージで実行されます。DSP ステージは、メモリアクセスを行う MA ステージと同ステージです。

3. DSP 演算

表 3.1 ALU 固定小数点演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PADD	加算	Sx	Sy	Dz (Du)
PSUB	減算	Sx	Sy	Dz (Du)
PADDC	キャリー付き加算	Sx	Sy	Dz
PSUBC	ボロー付き減算	Sx	Sy	Dz
PCMP	比較	Sx	Sy	-
PCOPY	データコピー	Sx	all 0	Dz
		all 0	Sy	Dz
PABS	絶対値	Sx	all 0	Dz
		all 0	Sy	Dz
PNEG	符号反転	Sx	all 0	Dz
		all 0	Sy	Dz
PCLR	クリア	all 0	all 0	Dz

表 3.2 オペランドのレジスタとの対応

レジスタ	Sx	Sy	Dz	Du
A0	Yes	-	Yes	Yes
A1	Yes	-	Yes	Yes
M0	-	Yes	Yes	-
M1	-	Yes	Yes	-
X0	Yes	-	Yes	Yes
X1	Yes	-	Yes	-
Y0	-	Yes	Yes	Yes
Y1	-	Yes	Yes	-

図 3.2 に示すように、ALU 演算と同じラインでプログラムされたデータロード命令により MA ステージでメモリから読み込まれたデータは、データロード命令のデスティネーションオペランドが ALU 演算のソースオペランドと同一であってもこの演算用のソースオペランドとしては使用されません。この場合、前の命令の結果が ALU 演算のソースオペランドとして用いられた後、データロード演算のデスティネーションオペランドとして更新されます。

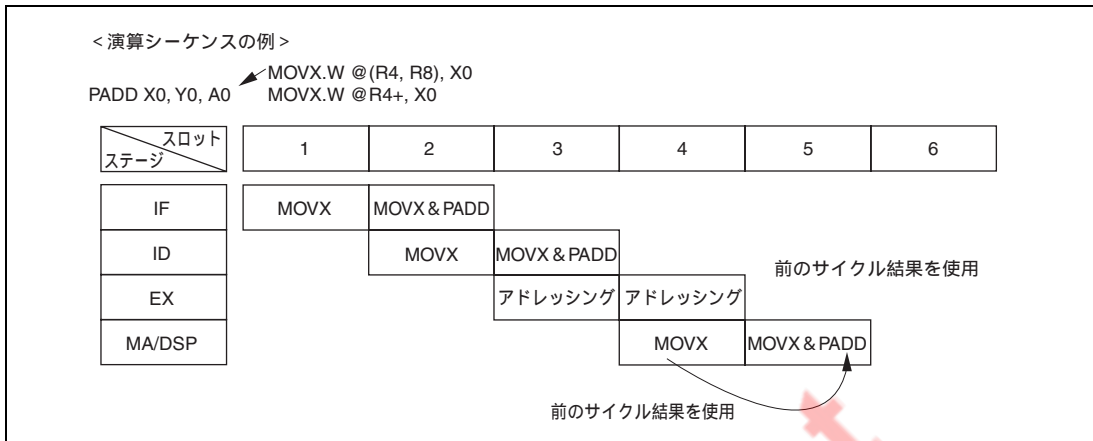


図 3.2 演算シーケンスの例

ALU 算術演算を実行するたびに、DSR の DC、N、Z、V、GT ビットは基本的に演算結果に従って更新されます。ただし、条件付き命令の場合、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合、これらは演算結果に従って常に更新されます。DC ビットの定義は DSR レジスタの CS[2:0] (条件選択) によって選択します。DC ビットは以下ようになります。

(1) キャリー / ボローモード : CS [2:0] = 000

DC ビットは、ガードビット部分を除いた演算結果の最上位ビットからキャリーまたはボローが発生したことを示します。いくつかの例を図 3.3 に示します。このモードがデフォルトです。PABS、PNEG 命令では入力データが負のとき、LSB に 1 を加算するため、キャリービットが発生する場合があります。

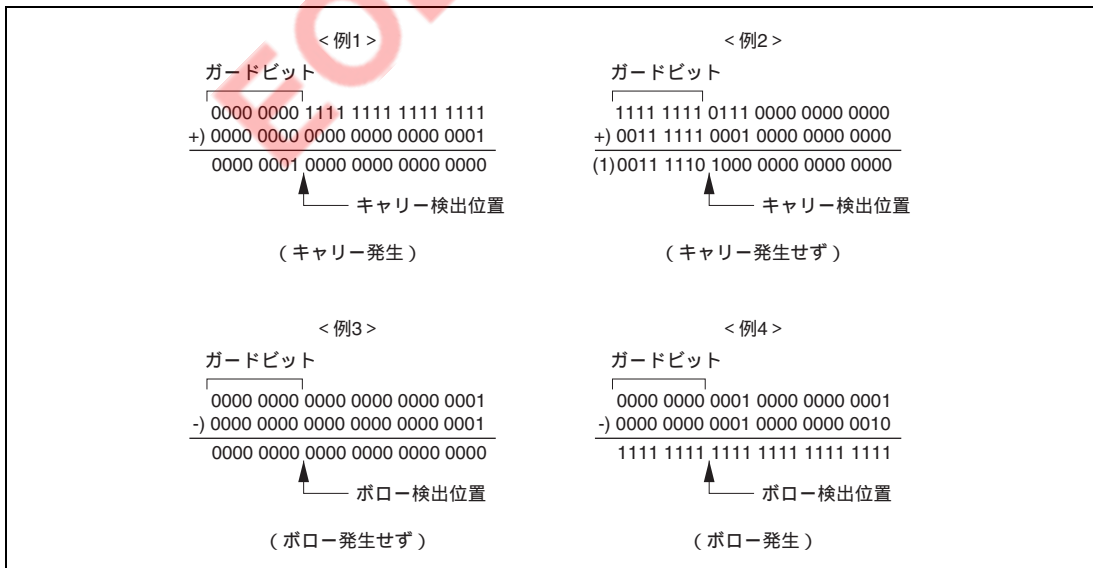


図 3.3 キャリー / ボローモードでの DC ビット生成の例

3. DSP 演算

(2) 負値モード : CS [2:0] = 001

DC フラグは、演算結果の MSB と同じ状態を示します。結果が負の数るとき、DC ビットは 1 を示します。結果が 0 または正の数るとき DC ビットは 0 を示します。ALU は常に 40 ビットの算術演算を実行するので、正か負を検出する符号ビットはデスティネーションオペランドに関係なく常に演算結果の MSB から得られます。いくつかの例を図 3.4 に示します。

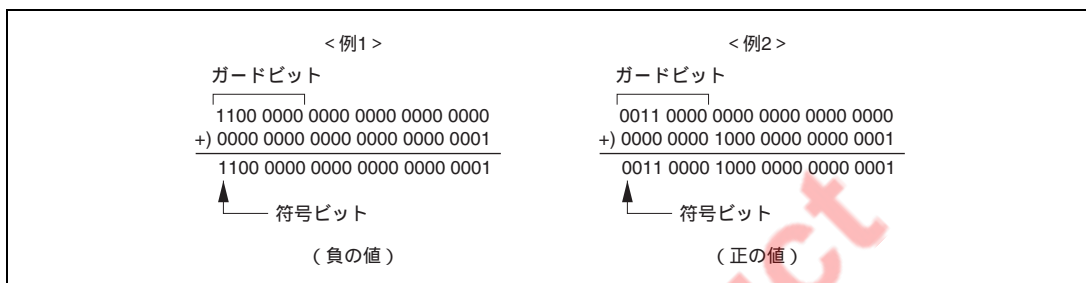


図 3.4 負値モードでの DC ビット生成の例

(3) ゼロ値モード : CS [2:0] = 010

DC フラグは演算結果がゼロであるかを示します。結果がゼロの場合、DC ビットは 1 を示します。結果がゼロでない場合、DC ビットは 0 を示します。

(4) オーバフローモード : CS [2:0] = 011

DC ビットは結果にオーバーフローが発生したかどうかを示します。ガードビットを除き、演算の結果がデスティネーションレジスタの範囲を超える場合、DC ビットが 1 にセットされます。ガードビットがある場合でも、DC ビットはガードビットがない場合の結果を示します。したがって、ガードビットの部分が大きな数を表すために使用される場合 DC ビットは常に 1 にセットされます。オーバーフローモードでの DC ビット生成の例を図 3.5 に示します。

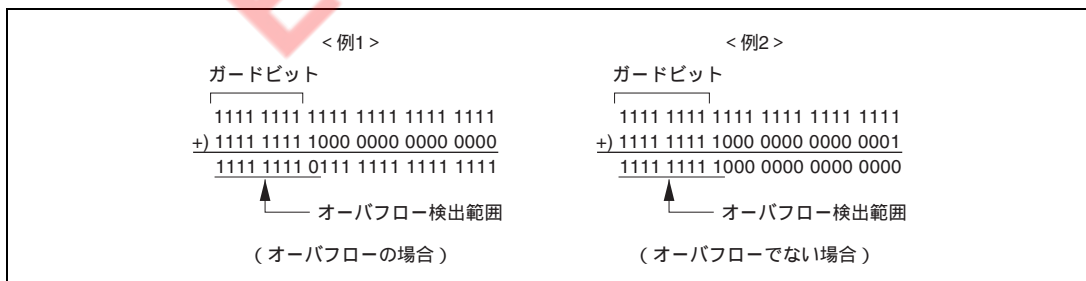


図 3.5 オーバフローモードでの DC ビット生成の例

(5) 符号付き大モード : CS [2:0] = 100

DC ビットは比較演算 PCMP の結果、ソース 1 データ (符号付き) がソース 2 データ (符号付き) より大きいかどうかを示します。したがって、「PCMP」演算は条件付き演算をこの条件モードで実行するときあらかじめ実行する必要があります。ソース 1 データがソース 2 データより大きい場合、比較演算の結果は普通正の値なの

でこのモードは前述の負値モードに類似しています。ただし、ソース1データがソース2データより大きくても、比較演算の結果がガードビットを含めたデスティネーションオペランドの範囲を超える場合（「オーバーレンジ」と呼ぶ）、結果の符号ビットは負の値を示します。この条件モードではこの特殊な場合を考慮した上でDCビットを更新します。次の式はこの条件を得る定義を示します。

$$DC = \sim\{(\text{負値} \wedge \text{オーバーレンジ}) \mid \text{ゼロ値}\}$$

PCMP 演算をこの条件モードで実行する場合、DCビットの結果はCPU命令のCMP/GT演算のTビット結果と同じです。

（6）符号付き以上モード：CS[2:0]=101

DCビットは比較演算PCMPの結果、ソース1データ（符号付き）がソース2データ（符号付き）以上であるかどうかを示します。したがって、「PCMP」演算は条件付き演算をこの条件モードで実行するときにあらかじめ実行する必要があります。このモードは前述の「符号付き大モード」と類似していますが、このモードには等しい場合も含まれます。次の式はこの条件を得る定義を示します。

$$DC = \sim(\text{負値} \wedge \text{オーバーレンジ})$$

PCMP 演算をこの条件モードで実行する場合、DCビットの結果はCPU命令のCMP/GE演算のTビット結果と同じです。

NビットはCS[2:0]ビットが負値モードとしてセットされるDCビットと常に同じ状態を示します。上記の負値モード部分を参照してください。ZビットはCS[2:0]ビットがゼロ値モードとしてセットされるDCビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。VビットはCS[2:0]ビットがオーバーフローモードとしてセットされるDCビットと常に同じ状態を示します。上記のオーバーフローモード部分を参照してください。GTビットはCS[2:0]ビットが符号付き大モードとしてセットされるDCビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

【注】 DCビットはPADDC、PSUBC命令では、CS[2:0]の状態に関係なく常にキャリア/ポローモードとなります。

- オーバフローの防止機能

SRレジスタのSビットはDSPユニットのどのALU固定小数点算術演算に対しても有効です。詳細については「3.1.8 オーバフロー防止機能」を参照してください。

3.1.2 ALU 整数演算

図3.6はALU整数演算フローを示します。表3.3はこの演算の種類を示します。各オペランドのレジスタとの対応は表3.2に示したALU固定小数点演算と同じです。

3. DSP 演算

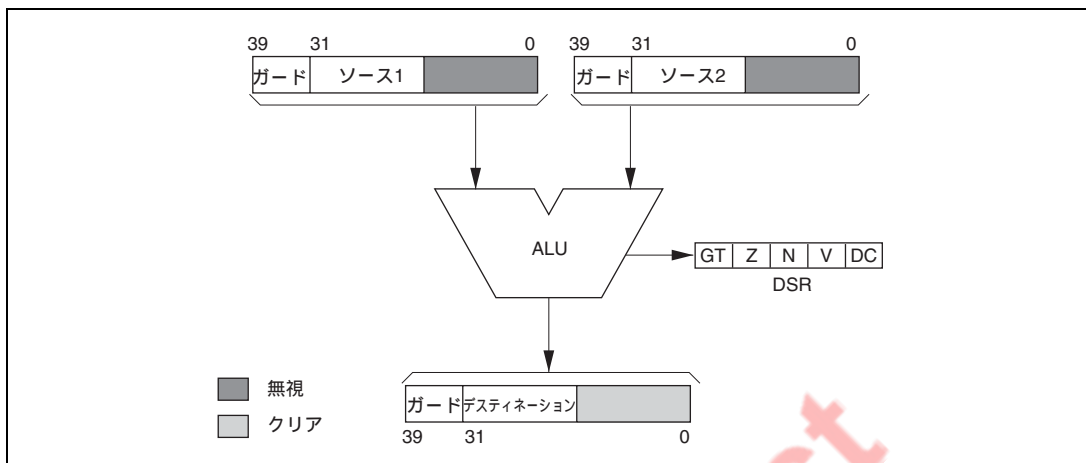


図 3.6 ALU 整数演算フロー

表 3.3 ALU 整数演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PINC	1 ずつインクリメント	Sx	+ 1	Dz
		+ 1	Sy	Dz
PDEC	1 ずつデクリメント	Sx	- 1	Dz
		- 1	Sy	Dz

【注】 ALU 整数演算は基本的に 24 ビット演算、すなわち上位 16 ビットの基本精度および 8 ビットのガードビット部分からなります。したがってガードビット部分を提供していないレジスタをソースオペランドに指定すると符号ビットはガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果のガードビットを除いた上位ワードがデスティネーションレジスタの上位ワードに入力されます。

ALU 整数演算では、ソースオペランドの下位ワードは無視され、デスティネーションオペランドの下位ワードは自動的にクリアされます。ガードビット部分がサポートされている場合、ALU 整数演算で有効です。その他は基本的に ALU 固定小数点演算の演算と同じです。ただし、表 3.3 に示すように、この種の演算は 2 種類の命令しか提供しません。したがって第 2 オペランドは実質的には +1 か -1 かのいずれかです。ワードデータを DSP ユニットのレジスタに読み込むと、上位ワードデータとして入力されます。ガードビットがあるレジスタをオペランドに指定すると、ガードビットも有効です。これらの演算は、固定小数点同様、図 3.2 に示すように DSP ステージで実行されます。DSP ステージはメモリアクセスを行う MA ステージと同ステージです。

ALU 整数演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT ビットは基本的に演算結果にしたがって更新されます。これは固定小数点演算と同じですが、各ソースオペランドとデスティネーションオペランドの下位ワードはそれらを生成するためには使用しません。詳細については「3.1.1 ALU 固定小数点演算」を参照してください。

条件付き命令の場合、指定した条件が真であり演算が実行されてもこれらのビットは更新されません。無条件命令の場合、これらは演算結果に従って常に更新されます。詳細については「3.1.1 ALU 固定小数点演算」を参照してください。

- オーバフローの防止機能

SR レジスタの S ビットは DSP ユニットのすべての ALU 整数演算で有効です。詳細については「3.1.8 オーバフロー防止機能」を参照してください。

3.1.3 ALU 論理演算

図 3.7 は ALU 論理演算フローを示します。表 3.4 はこの演算の種類を示します。各オペランドのレジスタとの対応は表 3.2 に示した ALU 固定小数点演算と同じです。

ALU 論理演算は、レジスタ間で実行します。各ソースオペランドおよびデスティネーションオペランドは、DSP レジスタの 1 つから独立して選択されます。図 3.7 に示すように、この種の演算は各オペランドの上位ワードのみを使用します。下位ワードおよびガードビット部分はソースオペランドに対して無視され、デスティネーションオペランドのそれらの部分は自動的にクリアされます。これらの演算もまた図 3.2 に示すように DSP ステージで実行されます。DSP ステージはメモリアクセスを行う MA ステージと同ステージです。

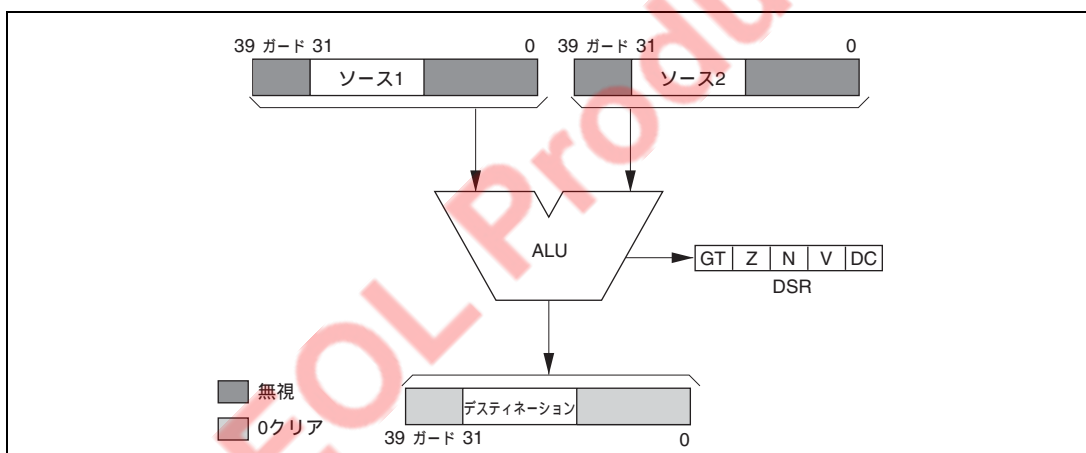


図 3.7 ALU 論理演算フロー

表 3.4 ALU 論理演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PAND	論理 AND	Sx	Sy	Dz
POR	論理 OR	Sx	Sy	Dz
PXOR	論理排他的 OR	Sx	Sy	Dz

ALU 論理演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT ビットは基本的に演算結果に従って更新されます。条件付き命令の場合、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合、これらは演算結果に従って常に更新されます。DC ビットの定義は DSR レジスタの CS[2:0] (条件選択) ビットによって選択します。DC ビットの結果は次のとおりです。

3. DSP 演算

1. キャリーまたはポローモード : CS [2:0] = 000

DCビットは常に0にクリアされます。

2. 負値モード : CS [2:0] = 001

演算結果のビット31の値がDCビットに読み込まれます。

3. ゼロ値モード : CS [2:0] = 010

演算結果がゼロのときDCビットは1にセットされ、それ以外は0にクリアされます。

4. オーバフローモード : CS [2:0] = 011

DCビットは常に0にクリアされます。

5. 符号付き大モード : CS [2:0] = 100

DCビットは常に0にクリアされます。

6. 符号付き以上モード : CS [2:0] = 101

DCビットは常に0にクリアされます。

N ビットは、CS [2:0]ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは CS [2:0]ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは CS [2:0]ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示します。上記のオーバフローモード部分を参照してください。GT ビットは CS [2:0]ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

3.1.4 固定小数点乗算

図 3.8 は乗算命令のフローを示します。表 3.5 にこの演算の種類を示し、表 3.6 に各オペランドのレジスタとの対応を示します。DSP ユニットの乗算は、シングルワード符号付き単精度乗算です。固定小数点は図 3.2 に示すように DSP ステージで実行されます。DSP ステージはメモリアクセスを行う MA ステージと同ステージです。

倍精度乗算が必要な場合、CPU のダブルワード乗算命令を活用することができます。

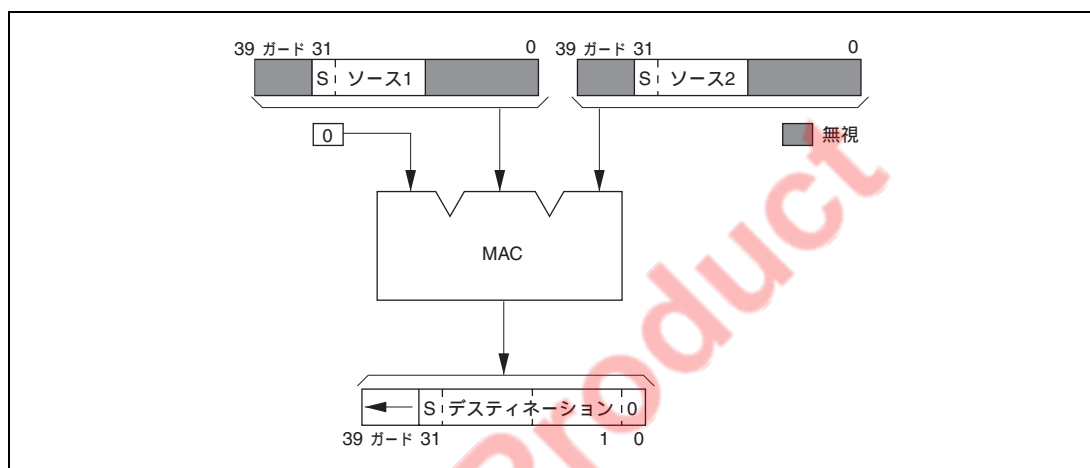


図 3.8 固定小数点乗算フロー

表 3.5 固定小数点乗算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PMULS	符号付き乗算	Se	Sf	Dg

表 3.6 オペランドの柔軟性

レジスタ	Se	Sf	Dg
A0	-	-	Yes
A1	Yes	Yes	Yes
M0	-	-	Yes
M1	-	-	Yes
X0	Yes	Yes	-
X1	Yes	-	-
Y0	Yes	Yes	-
Y1	-	Yes	-

【注】 乗算は基本的に 32 ビットの演算結果を生成します。したがってガードビット部分を提供するレジスタをデスティネーションオペランドに指定するとガードビット部分には、演算結果のビット 31 がコピーされます。

3. DSP 演算

DSP ユニット側の乗算は、整数ではなく固定小数点演算です。したがって、乗数、被乗数それぞれの上位ワードが図 3.8 に示すように MAC ユニットに入力されます。SH の従来の乗算では、両ソースオペランドの下位ワードが MAC ユニットに入力されます。演算結果も SH の場合とは異なります。SH の乗算結果は、デスティネーションの LSB に揃えられますが、固定小数点乗算結果は MSB に揃えられ、固定小数点乗算結果の LSB は常に 0 になります。

この固定小数点乗算は 1 サイクルで実行します。乗算演算は、常に無条件で実行されますが、DSR レジスタの DC、N、Z、V、GT の条件コードビットに影響しません。

- オーバフローの防止機能

SR レジスタの S ビットは DSP ユニットのこの乗算に対して有効です。詳細については「3.1.8 オーバフロー防止機能」を参照してください。

S ビットが 0 の場合、 $H'8000 * H'8000 ((-1.0) * (-1.0))$ 演算を符号付き固定小数点乗算として実行するときだけオーバフローが発生します。結果は $H'00\ 8000\ 0000$ ですが、 $(+1.0)$ を意味しません。

S ビットが 1 の場合、オーバフロー防止機能が働いて、結果は $H'00\ 7FFF\ FFFF$ となります。

3.1.5 シフト演算

シフト演算はシフト量オペランドとしてレジスタ値またはイミディエイト値を使用することができます。他のソースオペランド、デスティネーションオペランドはレジスタで指定します。シフト演算には算術シフトおよび論理シフトの 2 種類があります。表 3.7 にこの演算の種類を示します。イミディエイトオペランドを除き、各オペランドのレジスタとの対応は、表 3.2 に示すように ALU 固定小数点演算と同じです。

表 3.7 シフト演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PSHA Sx, Sy, Dz	算術シフト	Sx	Sy	Dz
PSHL Sx, Sy, Dz	論理シフト	Sx	Sy	Dz
PSHA #Imm1, Dz	イミディエイト付き 算術シフト	Dz	Imm1	Dz
PSHL #Imm2, Dz	イミディエイト付き 論理シフト	Dz	Imm2	Dz

【注】 $-32 \leq \text{Imm1} \leq +32$, $-16 \leq \text{Imm2} \leq +16$

(1) 算術シフト

図 3.9 に算術シフト演算フローを示します。

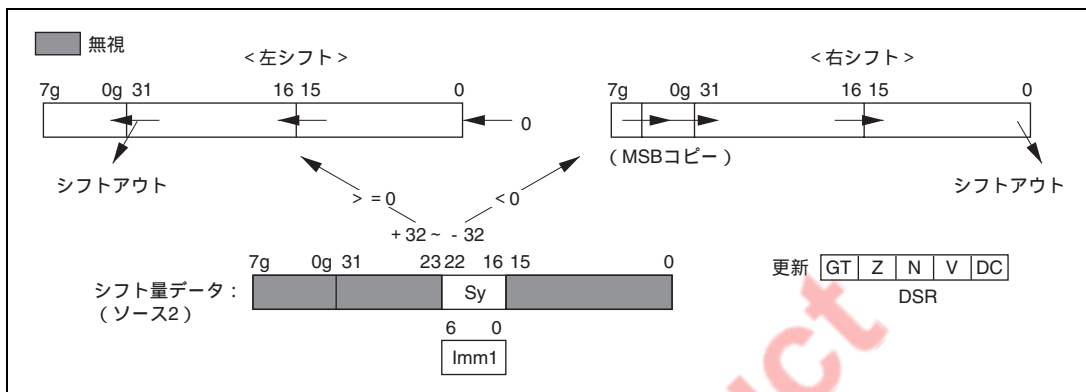


図 3.9 算術シフト演算フロー

【注】 算術シフト演算は、基本的に 40 ビット演算、すなわち 32 ビットの基本精度、8 ビットのガードビット部分から構成されます。したがって、ガードビット部分を提供していないレジスタをソースオペランドに指定すると符号ビットがガードビット部分にコピーされます。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の下位 32 ビットがデスティネーションレジスタに入力されます。

この算術シフト演算においては、ソース 1 オペランドとデスティネーションオペランドは全ビット有効になります。シフト量は整数部分としてソース 2 オペランドによって指定します。ソース 2 オペランドは、レジスタまたはイミディエイトオペランドで指定することができます。利用可能なシフト範囲は - 32 から + 32 までで、ここで負の値は右シフト、正の値は左シフトを意味します。ソース 2 オペランドとしては - 64 から + 63 までを指定することができますが、無効なシフト値が指定された場合、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。この演算は ALU 固定小数点演算同様、図 3.2 に示すような DSP ステージで実行します。DSP ステージはメモリアクセスを行う MA ステージと同ステージです。

算術シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT ビットは基本的に演算結果に従って更新されます。ただし、条件付き命令の場合、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の命令の場合、これらは演算結果に従って常に更新されます。DC ビットの定義は DSR レジスタの CS[2:0] ビット (条件選択ビット) によって選択します。DC ビットの結果は次のとおりです。

1. キャリー / ボローモード : CS [2:0] = 000

DC ビットは演算結果として最後にシフトアウトしたデータを示します。

2. 負値モード : CS [2:0] = 001

DC ビットは演算結果が負の値のとき 1 にセットされ、ゼロまたは正の値のときに 0 クリアされます。

3. ゼロ値モード : CS [2:0] = 010

DC ビットは演算結果がゼロのとき 1 にセットされます。それ以外は 0 クリアされます。

3. DSP 演算

4. オーバフローモード : CS [2:0] = 011

オーバフローが発生したときに1にセットされます。

5. 符号付き大モード : CS [2:0] = 100

DCビットは常に0にクリアされます。

6. 符号付き以上モード : CS [2:0] = 101

DCビットは常に0にクリアされます。

N ビットは CS [2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは、CS [2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは CS [2:0] ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示します。上記のオーバフローモード部分を参照してください。GT ビットは CS [2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

- オーバフローの防止機能

SR レジスタの S ビットは DSP ユニットのどの算術シフト演算に対しても有効です。詳細については「3.1.8 オーバフロー防止機能」を参照してください。

(2) 論理シフト

図 3.10 に論理シフト演算フローを示します。

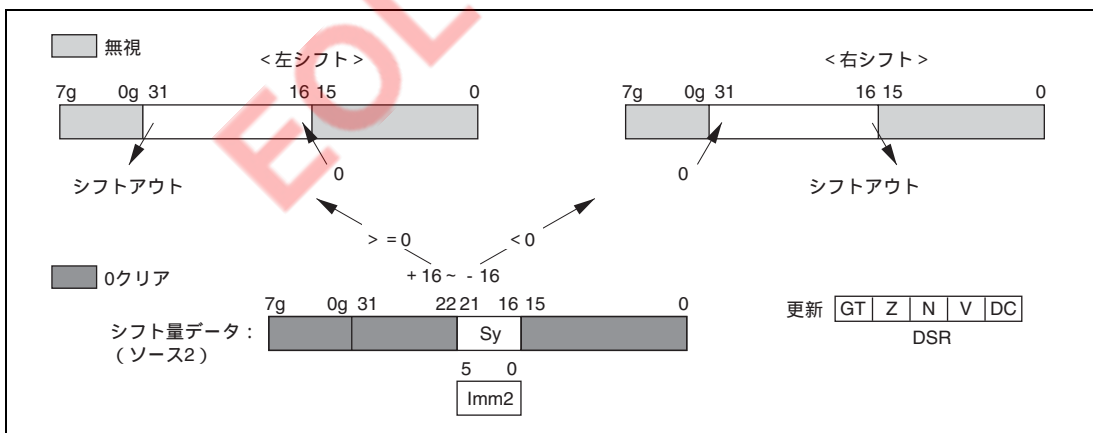


図 3.10 論理シフト演算フロー

図 3.10 に示すように、論理シフト演算は、ソース 1 の上位ワードとデスティネーションオペランドを使用します。ソースオペランドの下位ワードとガードビット部分は無視され、デスティネーションオペランドの下位ワードとガードビット部分は、ALU 論理演算同様、0 にクリアされます。シフト量は、整数データとしてソース 2 オペランドによって指定します。ソース 2 オペランドは、レジスタまたはイミディエイトオペランドによって指定できます。利用可能なシフト範囲は - 16 から + 16 です。ここで、負の値は右シフト、正の値は左シフトを意味し

ます。任意のソース 2 オペランドは - 32 から + 31 までを指定することができますが、無効なシフト値を指定すると、結果は保証されません。イミディエイトオペランド命令を持つシフトの場合、ソース 1 オペランドはデスティネーションのレジスタと同じレジスタでなければなりません。これらの演算は図 3.2 に示すように DSP ステージで実行します。DSP ステージはメモリアクセスを行う MA ステージと同ステージです。

論理シフト演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT ビットは基本的に演算結果にしたがって更新されます。条件付き演算の場合、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件の演算の場合、これらは演算結果で常に更新されます。DC ビットの定義は DSR レジスタの CS[2:0] (条件選択ビット) によって選択します。DC ビットの結果は次のとおりです。

1. キャリー / ボローモード : CS [2:0] = 000

DC ビットは演算結果として最後にシフトアウトしたデータを示します。

2. 負値モード : CS [2:0] = 001

DC ビットは演算結果のビット 31 の値が格納されます。

3. ゼロ値モード : CS [2:0] = 010

DC ビットは演算結果がゼロのとき 1 にセットされます。それ以外は 0 にクリアされます。

4. オーバフローモード : CS [2:0] = 011

DC ビットは常に 0 にクリアされます。

5. 符号付き大モード : CS [2:0] = 100

DC ビットは常に 0 にクリアされます。

6. 符号付き以上モード : CS [2:0] = 101

DC ビットは常に 0 にクリアされます。

N ビットは CS [2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値部分を参照してください。Z ビットは CS [2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは CS [2:0] ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示しますが、この演算では常にクリアされます。GT ビットも同じです。

3.1.6 MSB 検出命令

MSB 検出命令 (PDMSB : Detect Most Significant Bit) は、正規化のためのシフト量を計算するために使用します。図 3.11 に PDMSB 命令のフローを示し、表 3.8 に演算の定義を示します。表 3.9 にこの演算の種類を示します。各オペランドのレジスタとの対応は表 3.2 に示した ALU 固定小数点演算と同じです。

【注】 MSB 検出命令の結果は、ALU 整数演算と同様、基本的に 24 ビット、すなわち上位 16 ビットの基本精度と 8 ビットのガードビット部分です。ガードビット部分を提供していないレジスタをデスティネーションオペランドに指定すると、演算結果の上位ワードがデスティネーションレジスタに入力されます。

3. DSP 演算

図 3.11 に示すように、PDMSB 命令は、ソースオペランドとしてフルサイズのデータを使用しますが、正規化用のシフト量データは「3.1.5 シフト演算」で述べたように整数データでなければならないので、デスティネーションオペランドは整数演算結果と見なされます。これらの演算は図 3.2 に示すように DSP ステージで実行されます。DSP ステージはメモリアクセスを行う MA ステージと同ステージです。

PDMSB 演算を実行するたびに、DSR レジスタの DC、N、Z、V、GT ビットは基本的に演算結果にしたがって更新されます。条件付き命令の場合、指定条件が真で演算が実行されてもこれらのビットは更新されません。無条件命令の場合、これらは演算結果で常に更新されます。

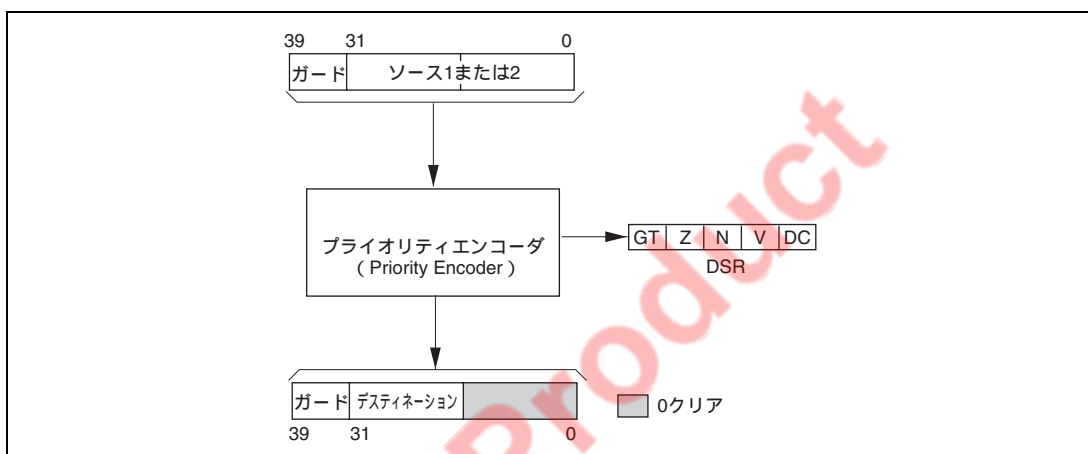


図 3.11 PDMSB 演算フロー

DC ビットの定義は DSR レジスタの CS[2:0] (条件選択) ビットで選択します。DC ビット結果は次のとおりです。

1. (キャリー / ボローモード : CS [2:0] = 000
DCビットは、常に0にクリアされます。
2. 負値モード : CS [2:0] = 001
DCビットは、演算結果が負の値のとき1にセットされ、ゼロまたは正の値のとき0にクリアされます。
3. ゼろ値モード : CS [2:0] = 010
DCビットは、演算結果がゼロのとき1にセットされます。それ以外は0にクリアされます。
4. オーバフローモード : CS [2:0] = 011
DCビットは、常に0にクリアされます。
5. 符号付き大モード : CS [2:0] = 100
DCビットは、演算結果が正の値のとき1にセットされます。それ以外は0にクリアされます。
6. 符号付き以上モード : CS [2:0] = 101
DCビットは、演算結果が正またはゼロのとき1にセットされます。それ以外は0にクリアされます。

表 3.8 PDMSB 命令の定義

ソースデータ														DST 用の結果								
ガードビット					上位ワード				下位ワード					ガードビット	上位ワード							
7g	6g	-	1g	0g	31	30	29	28	-	3	2	1	0	7g~0g	31~22	21	20	19	18	17	16	10進数
0	0	-	0	0	0	0	0	0	-	0	0	0	0	all 0	all 0	0	1	1	1	1	1	+31
0	0	-	0	0	0	0	0	0	-	0	0	0	1	all 0	all 0	0	1	1	1	1	0	+30
0	0	-	0	0	0	0	0	0	-	0	0	1	*	all 0	all 0	0	1	1	1	0	1	+29
0	0	-	0	0	0	0	0	0	-	0	1	*	*	all 0	all 0	0	1	1	1	0	0	+28
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	-	0	0	0	0	1	-	*	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2
0	0	-	0	0	0	0	1	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1
0	0	-	0	0	0	1	*	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0
0	0	-	0	0	1	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1
0	0	-	0	1	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	1	-	*	*	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8
1	0	-	*	*	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	0	0	0	-8
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	-	1	0	*	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	0	-2
1	1	-	1	1	0	*	*	*	-	*	*	*	*	all 1	all 1	1	1	1	1	1	1	-1
1	1	-	1	1	1	0	*	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	0	0
1	1	-	1	1	1	1	0	*	-	*	*	*	*	all 0	all 0	0	0	0	0	0	1	+1
1	1	-	1	1	1	1	0	-	*	*	*	*	*	all 0	all 0	0	0	0	0	1	0	+2
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	-	1	1	1	1	1	-	1	0	*	*	*	all 0	all 0	0	1	1	1	0	0	+28
1	1	-	1	1	1	1	1	-	1	1	0	*	*	all 0	all 0	0	1	1	1	0	1	+29
1	1	-	1	1	1	1	1	-	1	1	1	0	*	all 0	all 0	0	1	1	1	1	0	+30
1	1	-	1	1	1	1	1	-	1	1	1	1	1	all 0	all 0	0	1	1	1	1	1	+31

【注】 * don't care ビットを意味します。

表 3.9 PDMSB 命令の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PDMSB	MSB 検出	Sx	-	Dz
		-	Sy	Dz

3. DSP 演算

N ビットは CS [2:0] ビットが負値モードとしてセットされる DC ビットと常に同じ状態を示します。上記の負値モード部分を参照してください。Z ビットは CS [2:0] ビットがゼロ値モードとしてセットされる DC ビットと常に同じ状態を示します。上記のゼロ値モード部分を参照してください。V ビットは CS [2:0] ビットがオーバフローモードとしてセットされる DC ビットと常に同じ状態を示します。上記のオーバフローモード部分を参照してください。GT ビットは CS [2:0] ビットが符号付き大モードとしてセットされる DC ビットと常に同じ状態を示します。上記の符号付き大モード部分を参照してください。

3.1.7 丸め演算

DSP ユニットの 32 ビットから 16 ビットに丸める丸め機能を提供します。ガードビットがある場合は 40 ビットから 24 ビットに丸めます。丸め命令を実行するときソースオペランドに H'00008000 が加算された後、下位ワードが 0 クリアされます。図 3.12 に丸め演算フローを示し、図 3.13 に演算の定義を示します。表 3.10 に演算の種類を示します。各オペランドのレジスタとの対応は表 3.2 に示した ALU 固定小数点演算と同じです。

図 3.12 に示すように、丸め演算はソースオペランド、デスティネーションオペランド両方に対してフルサイズデータを使用します。これらの演算は図 3.2 に示すような DSP ステージで実行されます。DSP ステージはメモリアクセスを行う MA ステージと同ステージです。

丸め演算は常に無条件で実行され、したがって DSR レジスタの DC、N、Z、V、GT ビットは常に演算結果にしたがって更新されます。DC ビットの定義は DSR レジスタの CS[2:0] (条件選択) ビットによって選択します。これらの状態コードビット結果は ALU 固定小数点算術演算と同じです。

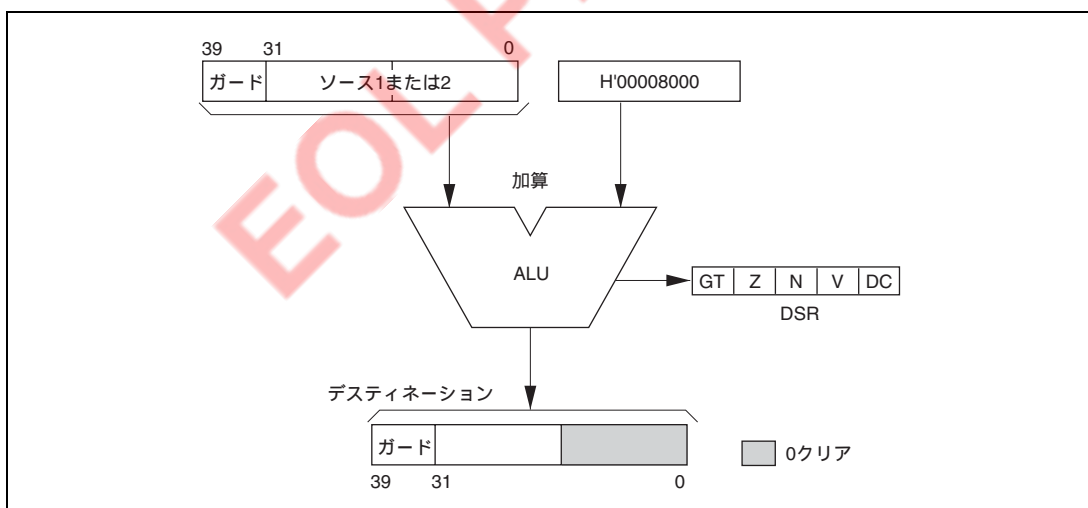


図 3.12 丸め演算フロー

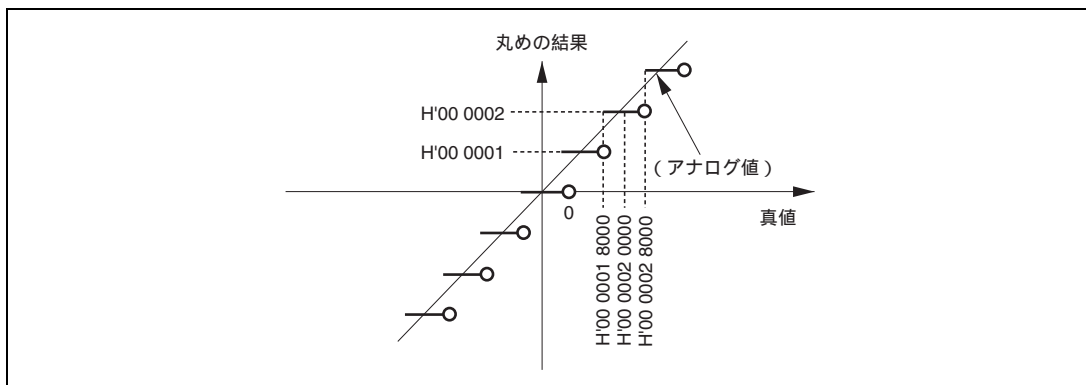


図 3.13 丸め演算の定義

表 3.10 丸め演算の種類

ニーモニック	機能	ソース 1	ソース 2	デスティネーション
PRND	丸め	Sx	-	Dz
		-	Sy	Dz

- オーバフロー防止機能

SR レジスタの S ビットは DSP ユニットの任意の丸め演算で有効です。詳細については「3.1.8 オーバフロー防止機能」を参照してください。

3.1.8 オーバフロー防止機能

SR レジスタの S ビットは、従来の SH 乗算および MAC 演算を含め DSP ユニットで実行する算術演算に有効です。SH の CPU コアの SR レジスタの S ビットは、オーバフロー防止機能イネーブルビットとして使用します。演算結果がガードビット部分のない 2 の補数の表記範囲を超える場合、算術演算はオーバフローします。表 3.11 に、「3.1.4 固定小数点乗算」で説明した符号付き × 符号付き固定小数点乗算を含め、固定小数点算術演算に対するオーバフロー保護の定義を示します。表 3.12 は整数算術演算に対するオーバフロー防止機能の定義を示します。整数算術演算の飽和値の下位ワードは don't care です。下位ワードの値は保証しません。SH の従来の乗算または MAC 演算を実行する場合、S ビットの機能は現在の SuperH マイコンの定義と同じです。

オーバフロー防止機能が有効なとき、オーバフローは発生することはありません。したがって、V ビットは 0 にクリアされます。オーバフローモードを CS [2:0] ビットで選択するときも DC ビットは 0 にクリアされます。

表 3.11 固定小数点算術用演算のオーバフロー防止機能の定義

符号	オーバフロー条件	固定値	16 進表記
正	結果 $> 1 - 2^{-31}$	$1 - 2^{-31}$	00 7FFF FFFF
負	結果 < -1	-1	FF 8000 0000

3. DSP 演算

表 3.12 整数算術演算用オーバーフロー防止機能の定義

符号	オーバーフロー条件	固定値	16進表記
正	結果 $> 2^{15} - 1$	$2^{15} - 1$	00 7FFF ****
負	結果 $< -2^{15}$	-2^{15}	FF 8000 ****

【注】 * "don't care"を意味します。

3.1.9 データ転送命令

DSP ユニットに対して DSP レジスタと内蔵データメモリ間で並行して最大 2 つのデータ転送命令を実行することができます。次の 3 種類のデータ転送命令を提供します。

- (1) パラレル命令タイプ (XDBバスおよびYDBバスを使用)
- (2) ダブルデータ転送タイプ (XDBバスおよびYDBバスを使用)
- (3) シングルデータ転送タイプ (LDBバスを使用)

タイプ (1) の命令は、DSP データ演算およびデータ転送命令を同時に並行して実行することができます。32 ビット命令コードはこの種の命令に使用します。基本的に、2 つのデータ転送命令をこの種の命令で指定することができますが、これらは必ずしも指定する必要はありません。

1 つのデータ転送は X メモリ用でもう 1 つは Y メモリ用です。これらのデータ転送命令は同一のメモリに対して実行することはできません。X メモリに対するロード命令はデスティネーションオペランドとして X0、X1 レジスタのどちらか 1 つを指定し、Y メモリに対するロード命令はデスティネーションオペランドとして Y0、Y1 レジスタのどちらか 1 つを指定できます。X メモリ、Y メモリのいずれのストア命令もソースオペランドとして A0 および A1 レジスタのどちらか 1 つを指定することができます。この種の命令はワードデータ (16 ビット) のみを扱います。ワードデータ転送命令を実行すると、レジスタオペランドの上位ワードが用いられます。ワードデータロードの場合、データはデスティネーションレジスタの上位ワードにデータが読み込まれ、デスティネーションの下位側が自動的に 0 クリアされます。

同時に並行して実行する演算命令に条件付き命令を指定した場合でも、指定した条件はどのデータ転送命令に対しても影響しません。図 3.14 はこの種のデータ転送命令フローを示します。

このデータ転送命令は X メモリか Y メモリのみアクセスすることができます。その他のメモリ空間はアクセスすることができません。

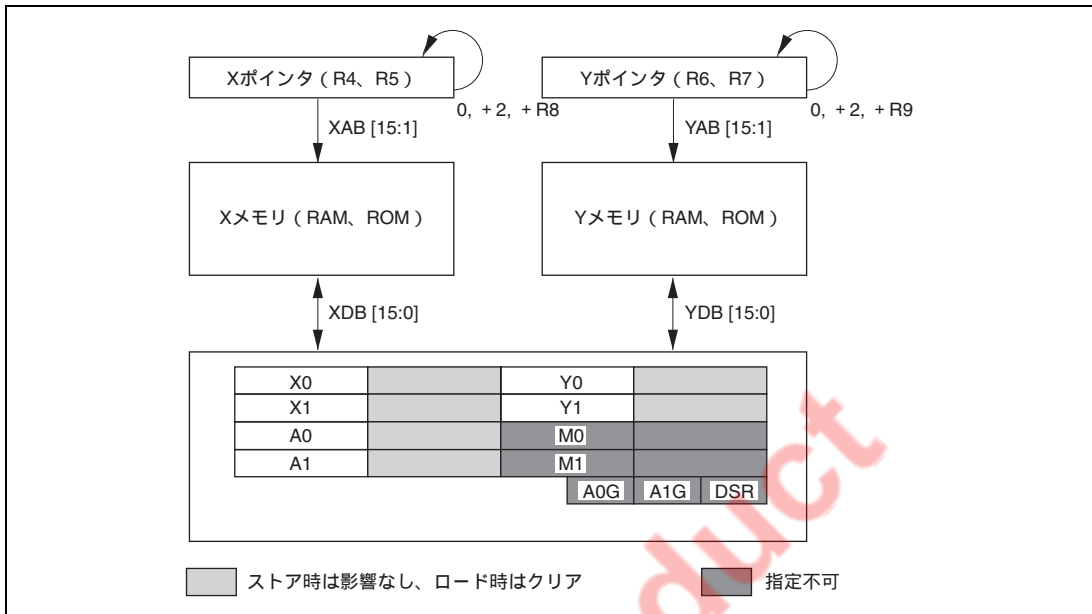


図 3.14 データ転送命令フロー

タイプ (2) の命令は 2 つのデータ転送のみを実行します。このタイプの命令には 16 ビットの命令コードを使用します。基本的に、命令とオペランド柔軟性はタイプ (1) と同じですが、条件付き命令はサポートしていません。また、このタイプのデータ転送命令は X メモリ、Y メモリにのみアクセスすることができます。その他のメモリ空間にはアクセスできません。

タイプ (3) の命令はシングルデータ転送のみを実行します。このタイプの命令には 16 ビット命令コードを使用します。この種の命令にはメモリアクセスする X ポインタおよびその他の 2 つの特殊ポイントを利用できますが、Y ポインタは利用できません。この種の命令は任意のメモリアドレス空間にアクセスできます。DSR を除く * DSP ユニットのすべてのレジスタをソースオペランド、デスティネーションオペランドに指定することができます。ガードビットレジスタ、A0G、A1G も独立したレジスタとして指定することができます。シングルデータ転送はワードとロングワードのいずれも扱うことができます。ワードデータ転送を実行するとき、レジスタオペランドの上位ワードが有効になります。ワードデータロードの場合、データはデスティネーションレジスタの上位ワードに読み込まれ、デスティネーションの下位側は自動的に 0 でクリアされます。ガードビット部分がサポートされている場合には符号ビットが拡張されて格納されます。ロングワードデータロードの場合、データはデスティネーションレジスタの上位ワードと下位ワードに読み込まれ、ガードビットがあれば、符号ビットが拡張されて格納されます。ガードレジスタストアの場合、符号ビットが LDB の上位 24 ビットに拡張されて LDB バスに読み出されます。図 3.15、図 3.16 にこの種のデータ転送命令フローを示します。

【注】 * DSR レジスタはシステムレジスタとして定義されているので LDS、STS 命令でのデータの転送が可能です。

3. DSP 演算

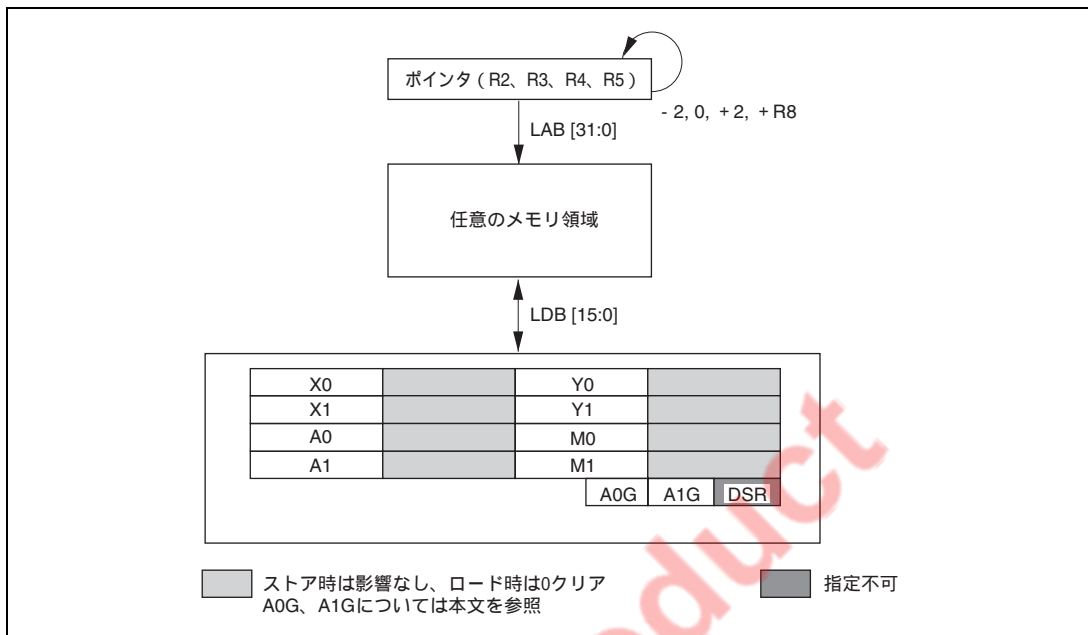


図 3.15 シングルデータ転送命令フロー（ワード）

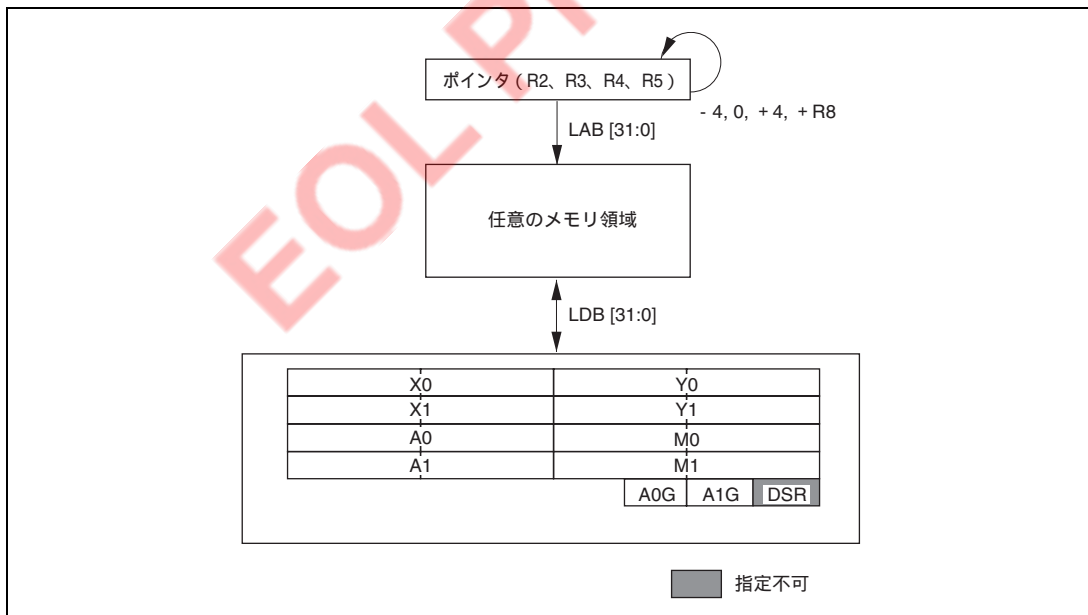


図 3.16 シングルワードデータ転送命令フロー（ロングワード）

すべてのデータ転送命令はパイプラインの MA ステージで実行されます。

すべてのデータ転送命令は DSR レジスタの条件コードビットのどれも更新しません。

3.1.10 ローカルデータ移動命令

DSP ユニットは、従来の SuperH マイコンの乗算 / 積和演算 (MAC) をサポートするために MACL と MACH の新しい 2 つの独立したレジスタを提供します。これらのレジスタは MACH/L と他の DSP レジスタの間のローカルデータ移動命令により、テンポラリレジスタとして活用することができます。図 3.17 はローカルデータ移動命令のフローを示します。表 3.13 はこの命令の種類を示します。

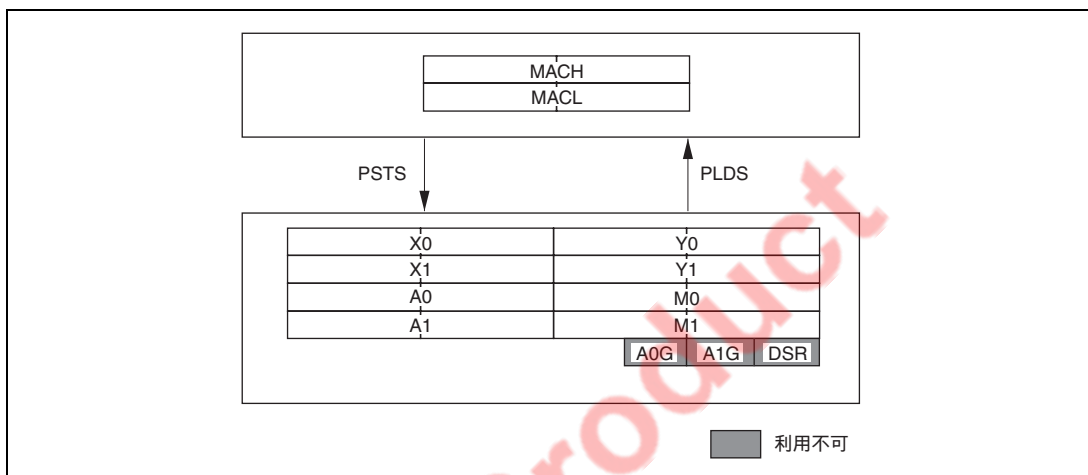


図 3.17 ローカルデータ移動命令のフロー

表 3.13 ローカルデータ移動命令の種類

二ーモニック	機 能	オペランド
PLDS	DSP レジスタから MACL/H へのデータ移動	Dz
PSTS	MACL/H から DSP レジスタへのデータ移動	Dz

この命令は他の転送命令と非常に似ています。A0 および A1 レジスタのいずれかを PSTS のデスティネーションオペランドとして指定すると、符号ビットが該当するガードビット部分 A0G または A1G に符号拡張されて格納されます。命令結果にかかわらず、DSR レジスタの DC ビットおよびその他の条件コードビットは更新されません。この命令は条件付きとしても動作します。ローカルデータ移動命令は MOVX、MOVY で並行して指定することができます。

3. DSP 演算

3.1.11 オペランドの競合

同一のデスティネーションオペランドを複数の並行処理命令で指定すると、データの競合が発生します。表 3.14 に各命令のオペランドとレジスタの対応を示します。

表 3.14 オペランド柔軟性

		Xメモリロード			Yメモリロード			6オペランド 命令ALU			3オペランド 命令乗算			3オペランド ALU		
		Ax	Ix	Dx	Ay	Iy	Dy	Sx	Sy	Du	Se	Sf	Dg	Sx	Sy	Dz
DSP レジスタ	A0							*1		*2			*2	*1		*1
	A1							*1		*2	*1	*1	*2	*1		*1
	M0								*1				*1		*1	*1
	M1								*1				*1		*1	*1
	X0			*2				*1		*2	*1	*1		*1		*2
	X1			*2				*1				*1		*1		*2
	Y0						*2		*1	*2	*1	*1			*1	*2
	Y1						*2		*1			*1			*1	*2

【注】 *1 オペランドに利用可能なレジスタ

*2 オペランドに利用可能なレジスタ（オペランド競合の場合）

オペランド競合問題には3つの場合があります。

1. ALU演算と乗算命令が同じデスティネーションオペランド（DuおよびDg）を指定する場合
2. X側ロードとALU命令が同じデスティネーションオペランド（DxおよびDuまたはDz）を指定する場合
3. Y側ロードとALU命令が同じデスティネーションオペランド（DyおよびDuまたはDz）を指定する場合

競合した場合の結果は保証されません。

3.2 DSP アドレッシング

3.2.1 DSP リピートコントロール

本 LSI はリピートループを効率的に実行するための特別な制御機能を用意しています。命令 SETRC はリピートカウンタ RC (12 ビット) にリピート回数と、RC が 1 に等しくなるまでプログラムループが実行を繰り返す実行モードを設定します。リピート命令の終了後、RC の内容は 0 になります。

リピートスタートアドレスレジスタ RS はリピートループのスタートアドレスを保持します。リピートエンドレジスタ RE はリピートエンドアドレスを保持します。(これにはいくつかの例外があります。「【注】1. 実際のプログラム方法」を参照してください。) リピートカウンタ RC はリピート回数を保持します。このループ制御を行うために次のステップが必要です。

- ステップ1: リピートスタートアドレスをRSにセットします。
- ステップ2: リピートエンドアドレスをREにセットします。
- ステップ3: リピートカウンタをRCにセットします。
- ステップ4: リピート制御を開始します。

ステップ1とステップ2を実行するには次の命令を使用します。

```
LDRS @(disp,PC)
```

```
LDRE @(disp,PC)
```

ステップ3とステップ4の場合、SETRCを使用します。SETRCのオペランドはイミディエイト値またはリピート回数を指定する汎用レジスタの1つです。

```
SETRC #imm; #imm->RC, enable repeat control
```

```
SETRC Rm; Rm->RC, enable repeat control
```

#imm は 8 ビットで、RC は 12 ビットです。したがって、RC に 256 を超える値をセットするには Rm を使用します。以下にサンプルプログラムを示します。

```

LDRS          RptStart;
LDRE          RptEnd3+4;
SETRC        #imm;          RC=#imm
instr0;
; instr1~5 executes repeatedly
RptStart:    instr1;
RptEnd3:     instr2;
             instr3;
             instr4;
RptEnd:      instr5;
             instr6;

```

3. DSP 演算

このリピートコントロールを使用するには、以下に示すようないくつかの制限事項があります。

1. SETRCとリピートループの第1命令の間に少なくとも1つの命令がなければなりません。
2. LDRSおよびLDREはSETRCの前に実行する必要があります。
3. リピートループに4つ以上の命令がある場合、実行時のパイプラインの状況に応じてストールサイクルが発生する場合があります。
4. リピートループの命令数が4未満の場合、分岐命令 (BRA、BSR、BT、BF、BT/S、BF/S、BSRF、RTS、BRAf、RTE、JSR、JMP)、リピートコントロール命令 (SETRC、LDRS、LDRE)、SR、RS、REに対するロード命令およびTRAPA命令のいずれも置くことができません。これらの命令が実行されると一般不当命令例外となり、表3.15に示すようなアドレス値がSPCに格納されます。

表 3.15 SPC に格納されるアドレス値 (1)

条件	位置	格納アドレス
RC>=2	Any	RptStart
RC=1	Any	不当命令の置かれたアドレス

5. リピートループに4つ以上の命令がある場合、分岐命令 (BRA、BSR、BT、BF、BT/S、BF/S、BSRF、RTS、BRAf、RTE、JSR、JMP)、リピートコントロール命令 (SETRC、LDRS、LDRE)、SR、RS、REに対するロード命令およびTRAPA命令のいずれもリピートループの最後から3つの命令内に置くことはできません。これらの命令が実行されると一般不当命令例外となり、表3.16に示すようなアドレス値がSPCに格納されます。リピートコントロール命令 (SETRC、LDRS、LDRE) およびSR、RS、REに対するロード命令およびTRAPA命令の場合、リピートループの他の位置に置くこともできません。これらの命令をリピートループ内に置いた場合の動作は保証しません。

表 3.16 SPC に格納されるアドレス値 (2)

条件	位置	格納アドレス
RC>=2	instr3	不当命令の置かれたアドレス
	instr4	RptStart - 4
	instr5	RptStart - 2
RC=1	Any	不当命令の置かれたアドレス

6. リピートループの命令数が4未満の場合、PC相対命令 (MOVA @ (disp, PC), R0など) はいずれもリピートの先頭 (instr1) の命令を除き、適切に機能しません。
7. リピートループに4つ以上の命令がある場合、PC相対命令 (MOVA @ (disp, PC), R0など) はいずれもリピートの最後から2つの命令で適切に機能しません。
8. CPUにはリピートイネーブルフラグはありませんが、リピートコントロールを無効にするにはRCに0を代入します。RCが0以外でPCがREに一致すると、リピート制御が機能します。RCに0をセットすると、リピートコントロールは無効になります。ただし、リピートループは一度実行されますが、リピートスタートには戻

りません。RC = 1の場合も同様に、リピートループは一度実行され、リピートスタートに戻りませんがRCはリピートループの実行後0になります。

9. リピートループに4つ以上の命令がある場合、サブルーチンコール命令およびリターン命令を含むどの分岐命令も分岐対象アドレスとして前例で示したinstr3からinstr5の命令を指定することができません。実行すると、リピートコントロールは機能せず、したがってプログラムの実行は以降の命令に移り、RCも更新されません。リピートループの命令数が4未満で、分岐対象がRptStart以降のアドレスの場合、リピートコントロールは正しく機能せず、SRレジスタのRCの内容は更新されません。

10. リピートループの処理中、割り込み受け付けは制限されます。制限の詳細については図3.18を参照してください。図3.18中で、BおよびCと記した命令で発生した例外は、それぞれ次のように処理されます。

- 割り込み、DMAアドレスエラー

Bの命令、Cの命令とも、例外を受け付けず、また、要求も保存されません。次にAの命令を実行したときに改めて要求を検出し、受け付けます。図3.18 (1) (2) (3) (4) に示されるように、4命令以下のリピートループの実行中には、割り込みおよびDMAアドレスエラーは受け付けられません。

- 実行前ユーザブレーク

Bの命令では受け付けられ、SPCにBの命令のアドレスがセットされます。Cの命令では受け付けられませんが、要求は保存され、次にAの命令、あるいはBの命令が実行される際にその命令の実行前に受け付けられます。このときのSPCはそのAあるいはBの命令のアドレスになります。

- 実行後ユーザブレーク

Bの命令、Cの命令とも、例外は受け付けられませんが、要求は保存され、次にAの命令あるいはBの命令を実行する際に、その命令の実行前に受け付けられます。このときのSPCはそのAあるいはBの命令のアドレスになります。

- CPUアドレスエラー

Bの命令、Cの命令の実行によりCPUアドレスエラーが生じた場合、例外は受け付けられますが、ここで回避されるSPCは例外を発生した命令のアドレスとならず、例外処理ルーチンから正しく復帰することができません。この場合、例外コードとしてH'070がEXPEVTレジスタにセットされます（「第9章 例外処理」も併せて参照してください）。正しくリピートループを完了するには、BおよびCの命令でCPUアドレスエラーを発生させないでください。

	B'の命令	Bの命令
割り込み	受け付けません	受け付けません
DMA アドレスエラー	受け付けません	受け付けません
UDI ブレーク	受け付けません	受け付けません
実行前ユーザブレーク	受け付けます	受け付けません
実行後ユーザブレーク	受け付けません	受け付けません
CPU アドレスエラー	例外コード H'070 として受け付けます	例外コード H'070 として受け付けます

3. DSP 演算

<p>A : 全例外受け付け可能 B、C : 例外受け付けに制限</p>		
<p>RC\geq1 の場合</p>		
(1) 1ステップリピート	(2) 2ステップリピート	(3) 3ステップリピート
<pre> instr-1 ;A instr0 ;B Start(End): instr1 ;C instr2 ;A </pre>	<pre> instr-1 ;A instr0 ;B Start: instr1 ;C End: instr2 ;C instr3 ;A </pre>	<pre> instr-1 ;A instr0 ;B Start: instr1 ;C instr2 ;C End: instr3 ;C instr4 ;A </pre>
(4) 4ステップリピート	(5) 5ステップ以上のリピート	
<pre> instr-1 ;A instr0 ;A Start: instr1 ;B instr2 ;C instr3 ;C End: instr4 ;C instr4 ;A </pre>	<pre> instr-1 ;A instr0 ;A Start: instr1 ;A : : instr n-3 ;B instr n-2 ;C instr n-1 ;C End: instr n ;C instr n+1 ;A </pre>	
<p>RC=0 の場合 全例外が受け付け可能</p>		

図 3.18 リピートループでの割り込み受け付けの制限

【注】 1. 実際のプログラム方法

リピートスタート、リピートエンドレジスタ、RS および RE はリピートスタート命令とリピートエンド命令を指定しますが、これらのレジスタに保持される実際のアドレスはリピートループ中の命令数に依存して変わります。ルールは次のとおりです。

Repeat_Start : リピート先頭の命令のアドレス

Repeat_Start0 : リピート先頭の 1 命令前の命令のアドレス

Repeat_End3 : リピート最後の 3 つ前の命令のアドレス

表 3.17 RS および RE 設定ルール

	リピートループ中の命令数			
	1	2	3	\geq 4
RS	Repeat_start0 +8	Repeat_start0 +6	Repeat_start0 +4	Repeat_start
RE	Repeat_start0 +4	Repeat_start0 +4	Repeat_start0 +4	Repeat_End3+4

この表を基にして、種々の場合の実際のリピートプログラミングは次の例のように記述する必要があります。

- ケース1：1命令リピート

```

LDRS          RptStart0+8;
LDRE         RptStart0+4;
SETRC       RptCount;
- - - -
RptStart0:   instr0;
RptStart:    instr1;      繰り返し命令
              instr2;

```

- ケース2：2命令リピート

```

LDRS          RptStart0+6;
LDRE         RptStart0+4;
SETRC       RptCount;
- - - -
RptStart0:   instr0;
RptStart:    instr1;      繰り返し命令 1
RptEnd:      instr2;      繰り返し命令 2
              instr3;

```

- ケース3：3命令リピート

```

LDRS          RptStart0+4;
LDRE         RptStart0+4;
SETRC       RptCount;
- - - -
RptStart0:   instr0;
RptStart:    instr1;      繰り返し命令 1
              instr2;      繰り返し命令 2
RptEnd:      instr3;      繰り返し命令 3
              instr4;

```

- ケース4：4命令以上のリピート

```

LDRS          RptStart;
LDRE         RptEnd3+4;
SETRC       RptCount;
- - - -
RptStart0:   instr0;
RptStart:    instr1;      繰り返し命令 1
              instr2;      繰り返し命令 2
              instr3;      繰り返し命令 3

```

3. DSP 演算

```
-----  
RptEnd3:   instrN-3;           繰り返し命令 N-3  
           instrN-2;           繰り返し命令 N-2  
           instrN-1;           繰り返し命令 N-1  
RptEnd:    instrN;             繰り返し命令 N  
           instrN+1
```

上記の例はこのリピートループシーケンスをプログラムするテンプレートとして使用することができます。ただし、プログラミングを容易にするためにこれらの複雑なラベリングとオフセットの問題を処理するのに拡張命令 REPEAT が提供されています。

【注】 2. 拡張命令 REPEAT

この REPEAT 拡張命令は、表 3.17 と注 1 に示した取り扱いの難しいラベリングとオフセットの処理を簡単に扱うことができます。使用するラベルは次のとおりです。

Rptart : リピートループの最初の命令のアドレス

RptEnd : リピートループの最後の命令のアドレス

RptCount : リピートカウントイミディエイト数

この命令は次の方法で使用することができます。

ここでリピートカウントはイミディエイト値 #imm またはレジスタ間接値 Rn として指定することができます。

• ケース1 : 1命令リピート

```
REPEAT RptStart, RptStart, RptCount;  
-----  
           instr0;  
RptStart:  instr1;           繰り返し命令  
           instr2;
```

• ケース2 : 2命令リピート

```
REPEAT RptStart, RptEnd, RptCount  
-----  
           instr0;  
RptStart:  instr1;           繰り返し命令 1  
RptEnd:    instr2;           繰り返し命令 2
```


• ケース3：3命令リピート

```
REPEAT RptStart, RptEnd, RptCount
    - - - -
        instr0;
RptStart:  instr1;          繰り返し命令 1
           instr2;          繰り返し命令 2
RptEnd:    instr3;          繰り返し命令 3
```

• ケース4：4命令以上のリピート

```
REPEAT RptStart, RptEnd, RptCount;
    - - - -
        instr0;
RptStart:  instr1;          繰り返し命令 1
           instr2;          繰り返し命令 2
           instr3;          繰り返し命令 3
-----
           instrN-3;        繰り返し命令 N-3
           instrN-2;        繰り返し命令 N-2
           instrN-1;        繰り返し命令 N-1
RptEnd:    instrN;          繰り返し命令 N
           instrN+1;
```

それぞれの場合の拡張結果は【注】1.の同じケース番号に該当します。

3. DSP 演算

3.2.2 DSP データアドレッシング

本 LSI は 2 種類のメモリアクセス命令を持っています。1 つは「X および Y データ転送命令」(MOVX.W、MOVY.W)、もう 1 つは「単一データ転送命令」(MOVS.W、MOVS.L)です。これらの 2 種類の命令のデータアドレッシングは異なります。表 3.18 に DSP データ転送命令の要約を示します。

表 3.18 DSP データ転送命令の要約

	X および Y データ転送命令 (MOVX.W、MOVY.W)	単一データ転送演算 (MOVS.W、MOVS.L)
アドレスレジスタ	Ax : R4 および R5、Ay : R6 および R7	As : R2、R3、R4 および R5
インデックスレジスタ	Ix : R8、Iy : R9	Is : R8
アドレッシング演算	更新なし/インクリメント(+2) /インデックスレジスタ加算： ポスト更新	更新なし/インクリメント(+2,+4) /インデックスレジスタ加算： ポスト更新 デクリメント(-2, -4) : プリ更新
モジュロアドレッシング	あり	なし
データバス	XDB と YDB	LDB
データ長	16 ビット (ワード)	16 ビット / 32 ビット (ワード / ロングワード)
バス競合	なし	可能性あり (SH と同じ)
メモリ	X、Y データメモリ	すべてのメモリ空間
ソースレジスタ	Dx, Dy : A0 および A1	Ds : A0/1, M0/1, X0/1, Y0/1, A0G, A1G
デスティネーション レジスタ	Dx : X0/1, Dy : Y0/1	Ds : A0/1, M0/1, X0/1, Y0/1, A0G, A1G

(1) MOVX.W と MOV.W に対するアドレッシング

本 LSI は X、Y データメモリに同時にアクセスすることができます (MOVX.W、MOVY.W)。DSP 命令には X、Y データメモリに同時にアクセスする 2 つのアドレスポイントがあります。DSP 命令のアドレッシングはポイントアドレスのみ (イミディエイトアドレッシングはありません) です。アドレスレジスタは R4、5 (Ax : X メモリ用アドレスレジスタ) と R6、7 (Ay : Y メモリ用アドレスレジスタ) の 2 つのセットに分類されます。「X および Y データ転送命令」用には 3 つのデータアドレッシングがあります。

1. 更新なしアドレスレジスタ
2. 加算インデックスレジスタ
3. インクリメントアドレスレジスタ

各アドレスポイントセットには、セット Ax 用 R8 [Ix] とセット Ay 用 R9 [Iy] のインデックスレジスタがあります。セット Ax 用アドレス命令は CPU の ALU を使用し、セット Ay 用アドレス命令は別のアドレスユニット (図 3.19) を使用します。

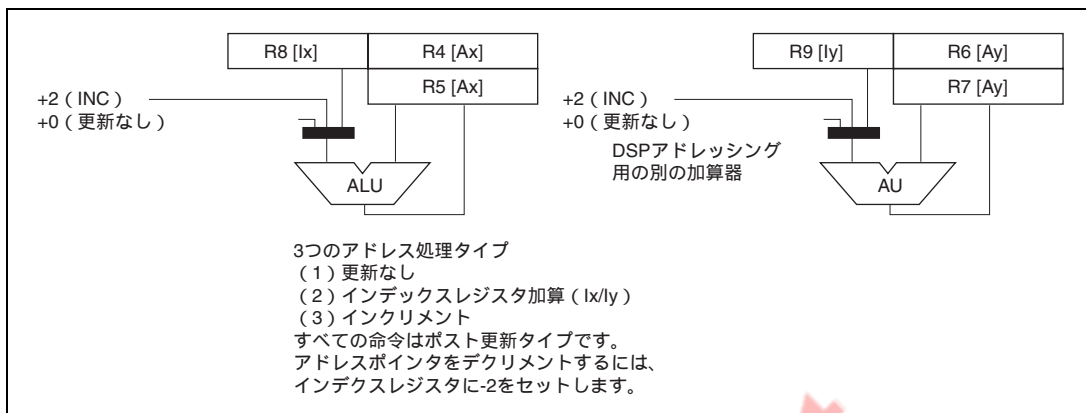


図 3.19 MOVX.W および MOVY.W 用の DSP アドレッシング命令

X、Y データ転送命令のアドレッシングは常にワードモードです。すなわち、X、Y データメモリに対するアクセスは 16 ビットデータ幅を持っています。したがって、インクリメント命令はアドレスレジスタに 2 を加算します。デクリメントを実現するにはインデックスレジスタに-2 をセットしインデックスレジスタ加算アドレッシングを使用します。

(2) MOVX 用のアドレッシング

本 LSI は、DSP データレジスタをロード/ストアするための単一データ転送 (MOVX.W、MOVX.L) を持っています。この命令では R2~5 (As: 単一データ転送用アドレスレジスタ) がアドレスポインタとして使用されません。

「単一データ転送命令」用には 4 つのデータアドレッシングがあります。

1. 更新なしアドレスレジスタ
2. 加算インデックスレジスタ (ポスト更新)
3. インクリメントアドレスレジスタ (ポスト更新)
4. デクリメントアドレスレジスタ (プリ更新)

アドレスポインタセット As は、インデックスレジスタ R8 [Is] (図 3.20) を持っています。

3. DSP 演算

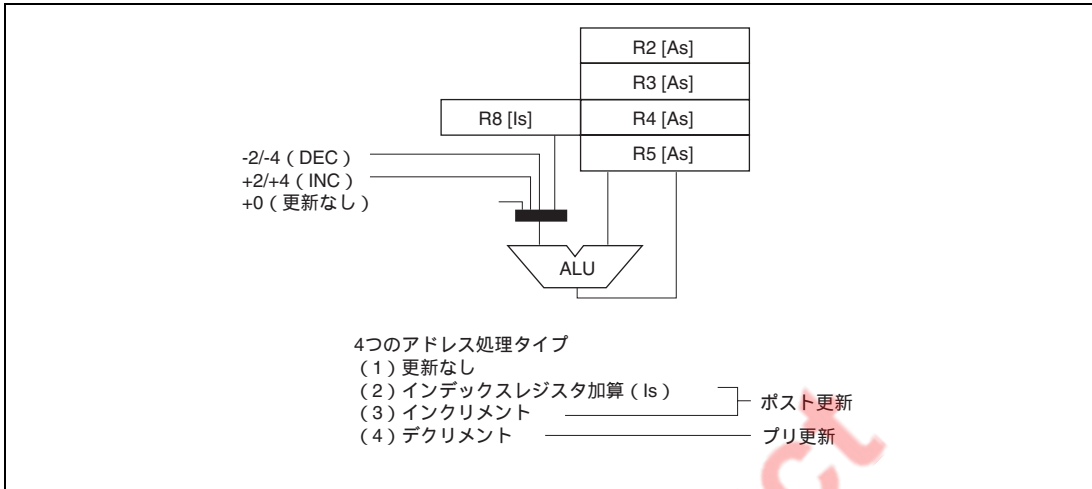


図 3.20 MOVs 用 DSP アドレッシング命令

(3) モジュロアドレッシング

本 LSI は、DSP で一般的なモジュロアドレッシングを提供します。モジュロアドレッシングでも、アドレスレジスタは前述のように更新されます。アドレスポインタが定義済みのアドレス（モジュロエンドアドレス）に到達すると、モジュロスタートアドレスに移動します。

モジュロアドレッシングは、X および Y データ転送命令（MOVX、MOVY）に利用できますが、単一データ転送命令（MOVS）には利用できません。SR レジスタの DMX、DMY をモジュロアドレッシングの制御に使用します。DMX が 1 の場合、モジュロアドレッシングモードは X メモリアドレスポインタ Ax（R4 または R5）に有効です。DMY が 1 の場合は Y メモリアドレスポインタ Ay（R6 または R7）に有効です。モジュロアドレッシングは一度に 1 つの X、Y アドレスレジスタに利用できます。したがって、DMX = DMY = 1 の場合は将来の拡張のため予約されています。DMX、DMY のいずれも同時にセットする場合、ハードウェアは、暫定的に Y アドレスポインタのみに対するモジュロアドレッシングモードと見なします。

モジュロアドレス領域のスタートおよびエンドアドレスを指定するために、MS（モジュロスタート）と ME（モジュロエンド）を含む MOD レジスタを用意しています。次の例は MOD（MS および ME）レジスタをセットする方法を示します。

```

MOV.L ModAddr, Rn;           Rn=ModEnd, ModStart
LDC Rn, MOD;                ME=ModEnd, MS=ModStart
ModAddr .DATA.W mEnd;      ModEnd の下位 16 ビット
        .DATA.W mStart;    ModStart の下位 16 ビット

ModStart: .DATA
          .
ModEnd:   .DATA
    
```

MS と ME をスタートアドレスとエンドアドレスを指定するためにセットし、その後に DMX または DMY ビットを 1 にセットします。

DMX/DMY で指定された X/Y データ転送命令が実行されると、アドレスレジスタの更新前の値が ME と比較されます*¹。比較の結果、ME と一致する場合、アドレスレジスタの更新後の値として、MS のスタートアドレスが代入されます*²。なお、X/Y データ転送命令のアドレッシングタイプが「更新無し」の場合、たとえ ME と一致しても MS への復帰は実行されません。

【注】 *1 アドレスレジスタのビット 1 からビット 15 が比較に使用されます。ME レジスタはビット 0 も保持しますが、常に 0 を書き込んでください。

*2 アドレスレジスタのビット 1 からビット 15 に MS の値が代入されます。MS レジスタはビット 0 も保持しますが、常に 0 を書き込んでください。

最大のモジュロサイズは 64k バイトです。これは、X、Y データメモリをアクセスするには十分です。

図 3.21 にモジュロアドレッシングのブロック図を示します。

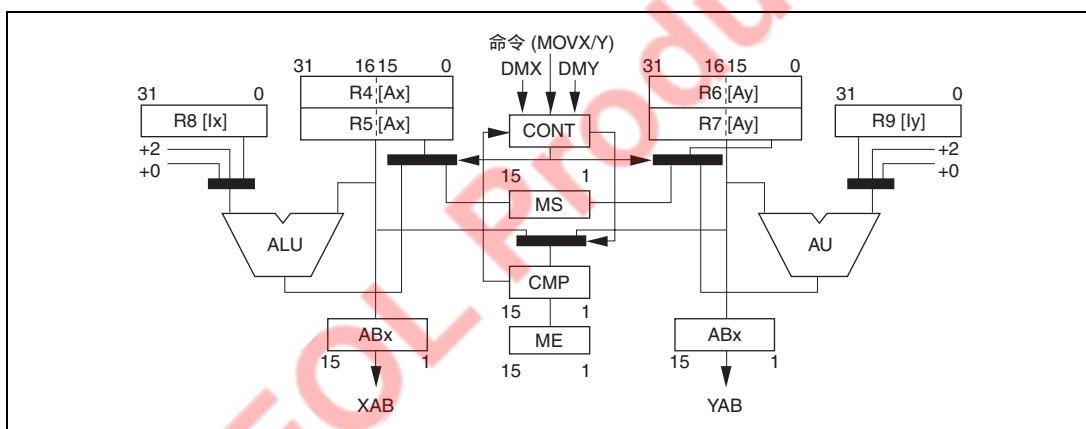


図 3.21 モジュロアドレッシング

以下に例を示します。

```
MS = H'7000; ME=H'7004; R4=H'A5007000;
DMX=1;DMY=0 (X アドレスポインタに対するモジュロアドレッシング)
```

以上の設定により R4 レジスタは次のように変化します。

```
MOV.L #H'A5007000,R4          ; R4: H'A5007000 (初期値)
MOVX.W @R4+,Dx              ; R4: H'A5007000 -> H'A5007002
MOVX.W @R4+,Dx              ; R4: H'A5007002 -> H'A5007004
MOVX.W @R4+,Dx              ; R4: H'A5007004 -> H'A5007000 (H'A5007004 からのリード
                             ; の実行後、MS の値がアドレスレジスタに代入されます。)
MOVX.W @R4+,Dx              ; R4: H'A5007000 -> H'A5007002
```

3. DSP 演算

モジュロアドレッシングでは、アドレスレジスタの下位 16 ビットのみが比較および置き換えの対象となるため、モジュロ領域のスタートアドレスとエンドアドレスの上位 16 ビットは同じでなければなりません。

【注】 X/Y データ転送命令のアドレッシングタイプが「インデックスレジスタ加算」の場合は、アドレスポインタは ME と一致せずにその値を超えてしまうことがあります。この場合は、アドレスポインタはモジュロ開始アドレスには戻りません。モジュロアドレッシングに限らず、X,Y データアドレッシング時はビット 0 が無視されます。アドレスポインタ、インデックスレジスタ、MS,ME のビット 0 には必ず 0 を書き込んでください。

(4) 実行ステージのアドレッシング命令

モジュロアドレッシングを含むアドレス命令は、パイプラインの実行ステージで実行します。実行ステージの DSP データアドレッシングの動作は次のとおりです。

```
if ( Operation is MOVX.W MOVY.W ) {
  ABx=Ax; ABy=Ay;
  /*メモリアクセスサイクルでは ABx と ABy を使用。使用するアドレスは更新されていない*/

  /*Ax は R4、5 のいずれか*/
  if { DMX==0 || ( DMX==1 && DMY==1 ) } Ax=Ax+(+2 or R8[Ix] or +0);
    /*Inc,Index,Not-Update*/
  else if (! not-update) Ax=modulo ( Ax, (+2 or R8[Ix]) );

  /*Ay は R6、7 のいずれか*/
  if { DMY==0 } Ay=Ay+(+2 or R9[Iy] or +0); /*Inc,Index,Not-Update*/
  else if (! not-update) Ay=modulo ( Ay, (+2 or R9[Iy]) );
}
else if ( Operation is MOVS.W or MOVS.L ) {
  if ( Addressing is Nop, Inc, Add-index-reg ) {
    MAB=As;
    /*メモリアクセスサイクルでは MAB を使用。使用するアドレスは更新されていない*/

    /*As は R2~5 のいずれか*/
    As=As+(+2 or +4 or R8[Is] or +0); /*Inc,Index,Not-Update*/
      else { /*デクリメント、プリアップデート*/
        /* As is one of R2~5 */
        As=As+(-2 or -4)
        MAB=As;
        /*メモリアクセスサイクルでは MAB を使用。使用するアドレスは更新されている*/
      }
    /*アドレスレジスタに加算する値はデータアドレッシングに依存。*/
  }
}
```

たとえば、(+2 または R8 [Ix] または +0) は次のことを意味している。

+2 : インクリメントの場合
R8 [Ix] : インデクスレジスタ加算の場合
+0 : 更新なしの場合
*/

```
function modulo ( AddrReg, Index ) {
if ( AddrReg[15:1]==ME[15:1] ) AddrReg[15:1]==MS[15:1];
else AddrReg=AddrReg+Index;
return AddrReg;
}
```

(5) X および Y データ転送命令 (MOVX.W、MOVY.W)

この種の命令は X、Y データメモリにアクセスするために XDB、YDB を使用します (他のメモリ空間にはアクセスできません)。これらの 2 つのバスは命令バスとは独立したバスなので、データメモリアクセスと命令メモリアクセスの間にはアクセス競合が生じません。

図 3.22 は X および Y データ転送命令に対するロード/ストアの制御を示します。すべてのメモリアクセスはワードアクセスです。

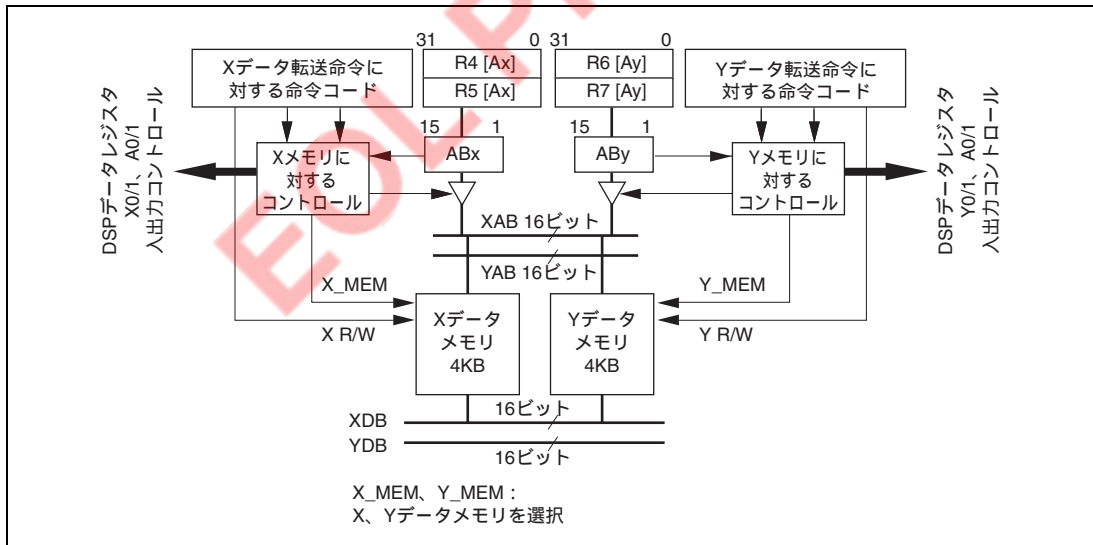


図 3.22 X、Y データ転送命令におけるロード/ストアの制御

3. DSP 演算

(a) Xメモリに対する制御

```

if ( !Nop ) {
    X_MEM=1; XAB=ABx;
    if ( load operation ) {
        Dx[31:16]=XDB;
        Dx[15:0]=0x0000; /*Dx は X0 か X1*/
    }
    else XDB=Dx[31:16];          /*Dx は A0 か A1*/
}
else { X_MEM=0; XAB=0x000; }

```

DSR の DC フラグに基づく条件付き実行はどの MOVX/MOVS 命令もコントロールすることはできません。

(6) 単一データ転送命令 (MOVS.W、MOVS.L)

本 LSI は DSP レジスタに対する単一ロード/ストア命令を持っています。これはシステムレジスタに対するロード/ストア命令に類似しています。LAB および LDB を用いてメモリと DSP データレジスタ間でデータの転送を行います。データアクセスと命令フェッチの間にはアクセス競合が発生する場合があります。

単一データ転送命令はワードアクセスモードとロングワードアクセスモードがあります。図 3.23 に単一データ転送のブロック図を示します。メモリアドレスバッファ (MAB) の制御とメモリの選択には既存の CPU コア中のハードウェアリソースを使用します。

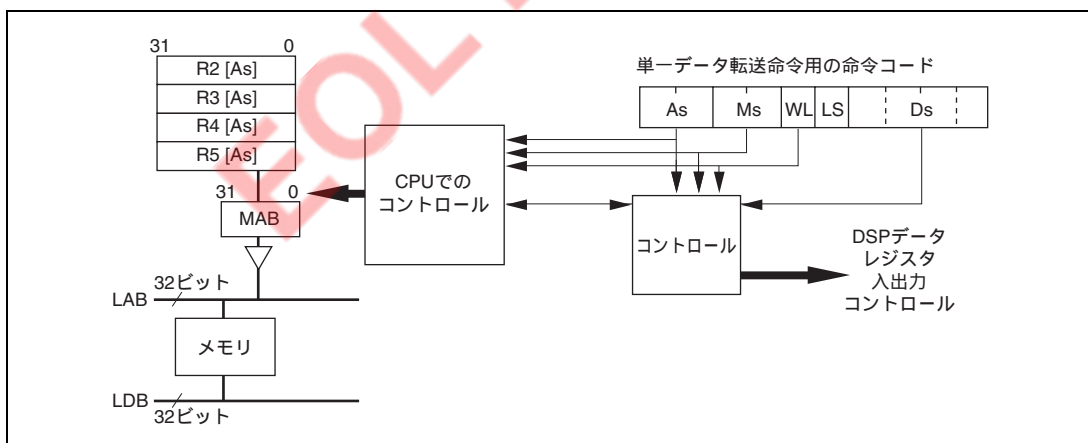


図 3.23 単一データ転送命令用のロード/ストアコントロール

(a) 制御方法

```

LAB = MAB;
if ( Ms!=NLS && W/L is word access ) { /* MOV.S.W */
    if (LS==load) {
        if (Ds!=A0G && Ds!=A1G) {
            Ds[31:16] = LDB[15:0]; Ds[15:0] = 0x0000;
            if (Ds==A0) A0G[7:0] = sign-extension of LDB;
            if (Ds==A1) A1G[7:0] = sign-extension of LDB;
        }
        else Ds[7:0] = LDB[7:0]; /* Ds は A0G または A1G */
    }
    else { /* ストア */
        if (Ds!=A0G && Ds!=A1G) LDB[15:0] = Ds[31:16];
        /* Ds は A0G または A1G */
        else LDB[15:0] = Ds[7:0] with 8bit sign-extension;
    }
}
else if ( MA!=NLS && W/L is long-word access ) { /* MOV.S.L */
    if (LS==load) {
        if (Ds!=A0G && Ds!=A1G) {
            Ds[31:0] = LDB[31:0];
            if (Ds==A0) A0G[7:0] = sign-extension of LDB;
            if (Ds==A1) A1G[7:0] = sign-extension of LDB;
        }
        else Ds[7:0] = LDB[7:0]; /*Ds は A0G または A1G*/
    }
    else { /*ストア*/
        if (Ds!=A0G && Ds!=A1G) LDB[31:0] = Ds[31:0];
        /*Ds は A0G または A1G*/
        else LDB[31:0] = Ds[7:0] with 24bit sign-extension;
    }
}
}

```

EOL Product

4. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器を内蔵しており、内部クロック (I)、周辺クロック (P)、およびバスクロック (B) を生成します。クロックパルス発振器は、発振器、PLL 回路、および分周回路で構成されます。

4.1 特長

CPG には、次の特長があります。

- 3種類のクロックモード

使用する周波数範囲、PLLのオン/オフ、および水晶発振子直付けか外部クロック入力かによって、3種類のクロックモードから選択できます。

- 3種類のクロック

CPU、キャッシュで使用する内部クロック (I) と、周辺モジュールで使用する周辺クロック (P)、さらに外部バスインタフェースで使用するバスクロック (B =CKIO) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、スタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第6章 低消費電力モード」を参照してください。

CPG のブロック図を図 4.1 に示します。

4. クロックパルス発振器 (CPG)

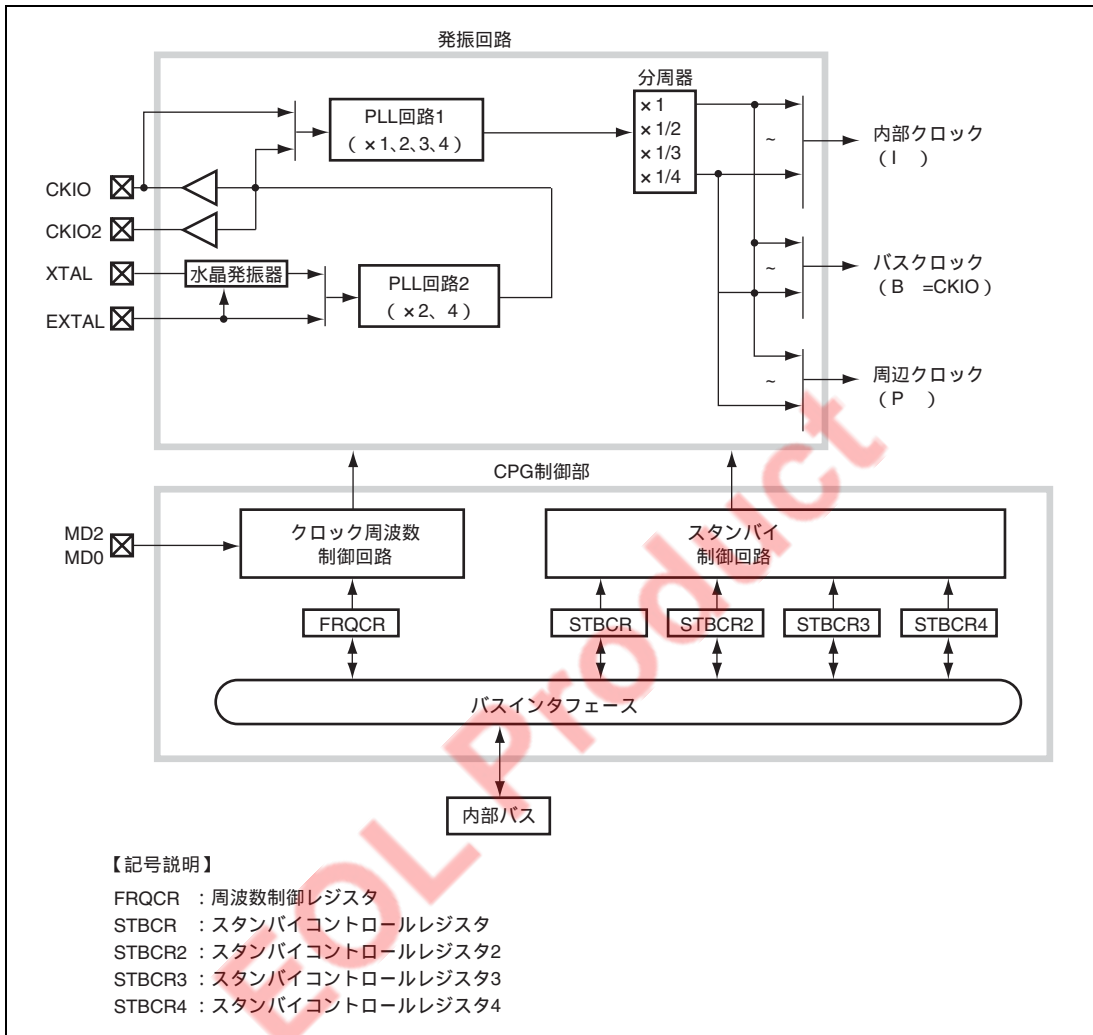


図 4.1 CPG のブロック図

CPG の各ブロックは、次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、CKIO 端子からのクロック周波数を 1 倍、2 倍、3 倍または 4 倍に通倍する機能を持ちます。通倍率は、周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、水晶発振器または EXTAL 端子からの入力クロック周波数を 2 倍、または 4 倍に通倍する機能を持ちます。通倍率は、クロック動作モードにより固定されます。クロック動作モードは、MD0、MD2 端子で設定します。クロック動作モードについては、表 4.2 を参照してください。

(3) 水晶発振器

XTAL または EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

(4) 分周器

分周器は、内部クロックまたは周辺クロックで使用する動作周波数のクロックを生成する機能を持ちます。動作周波数は、PLL 回路 1 の出力周波数に対して、CKIO 端子のクロック周波数より低くならない範囲で、1 倍、1/2 倍、1/3 倍または 1/4 倍の選択が可能です。分周率は、周波数制御レジスタで設定します。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD0、MD2 端子、周波数制御レジスタによりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

(7) 周波数制御レジスタ

周波数制御レジスタには、スタンバイ時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック、および周辺クロックの周波数分周率の各制御ビットが割り当てられています。

(8) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 6 章 低消費電力モード」を参照してください。

4. クロックパルス発振器 (CPG)

4.2 入出力端子

CPG の端子構成と機能を表 4.1 に示します。

表 4.1 発振回路の端子構成と機能

名称	略称	入出力	機能 (クロック動作モード 2、6)	機能 (クロック動作モード 7)
モード制御端子	MD0	入力	クロック動作モードを設定します。	
	MD2	入力	クロック動作モードを設定します。	
クリスタル入出力端子 (クロック入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)	
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。	
クロック入出力端子	CKIO	入出力	クロック出力端子になります。ハイインピーダンスにすることもできます。	外部クロックを入力してください。
クロック出力端子	CKIO2	出力	ローレベル出力または、クロック出力端子になります。クロック出力の設定は、「第 12 章 バスステートコントローラ (BSC)」の共通コントロールレジスタを参照してください。	ハイインピーダンス状態になります。

4.3 クロック動作モード

モード制御端子 (MD2、MD0) の組み合わせとクロック動作モードの関係を表 4.2 に示します。

クロック動作モードの使用可能周波数範囲を表 4.3 に示します。

表 4.2 クロック動作モード

モード	端子組み合わせ		クロック入出力		PLL 回路 2	PLL 回路 1	CKIO の周波数
	MD2	MD0	供給源	出力			
2	0	0	EXTAL / 水晶発振子	CKIO	ON (X4)	ON (X1, 2)	(EXTAL / 水晶) × 4
6	1	0	EXTAL / 水晶発振子	CKIO	ON (X2)	ON (X1, 2, 3, 4)	(EXTAL / 水晶) × 2
7	1	1	CKIO	-	OFF	ON (X1, 2, 3, 4)	(CKIO)

- モード 2 :

EXTAL端子または水晶発振器からクロックを入力し、PLL回路2で周波数を4倍に通倍して本LSI内部に供給するので、外部で生成するクロック周波数が低くてすみません。EXTAL端子入力および水晶発振子ともに発振周波数が10MHzから12.5MHzまでのものを使用でき、CKIOの周波数レンジは40MHzから50MHzとなります。

- モード 6 :

EXTAL端子または水晶発振器からクロックを入力し、発振周波数をPLL回路2で2倍に通倍して本LSI内部に供給するので、使用する水晶の周波数が低くてすみません。EXTAL端子入力および水晶発振子ともに発振周波数が10MHzから25MHzのものを使用でき、CKIOの周波数レンジは20MHzから50MHzとなります。

- モード 7 :

このモードではCKIO端子が入力になり、この端子に外部クロックを入力して、PLL回路1で波形形成および設定により周波数通倍を行い、本LSIに供給します。なお、消費電流削減のため、モード7で使用する場合には、EXTAL端子をプルアップし、XTAL端子は開放としてください。

4. クロックパルス発振器 (CPG)

表 4.3 クロック動作モードと設定可能な周波数範囲

クロック動作モード	FRQCRレジスタ設定値	PLL 逡倍率		内部 クロック比 (I : B : P) *1	設定可能な周波数範囲 (MHz)				
		PLL 回路 1	PLL 回路 2		入力クロック *2	出力クロック (CKIO 端子)	内部クロック I	バスクロック B	周辺クロック P
2	H'1001	ON (×1)	ON (×4)	4 : 4 : 2	10 ~ 12.5	40 ~ 50	40 ~ 50	40 ~ 50	20 ~ 25
	H'1002	ON (×1)	ON (×4)	4 : 4 : 4/3	10 ~ 12.5	40 ~ 50	40 ~ 50	40 ~ 50	13.33 ~ 16.66
	H'1003	ON (×1)	ON (×4)	4 : 4 : 1	10 ~ 12.5	40 ~ 50	40 ~ 50	40 ~ 50	10 ~ 12.5
	H'1103	ON (×2)	ON (×4)	8 : 4 : 2	10 ~ 12.5	40 ~ 50	80 ~ 100	40 ~ 50	20 ~ 25
	H'1113	ON (×2)	ON (×4)	4 : 4 : 2	10 ~ 12.5	40 ~ 50	40 ~ 50	40 ~ 50	20 ~ 25
6	H'1000	ON (×1)	ON (×2)	2 : 2 : 2	10 ~ 16.66	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33
	H'1001	ON (×1)	ON (×2)	2 : 2 : 1	10 ~ 25	20 ~ 50	20 ~ 50	20 ~ 50	10 ~ 25
	H'1002	ON (×1)	ON (×2)	2 : 2 : 2/3	10 ~ 25	20 ~ 50	20 ~ 50	20 ~ 50	6.66 ~ 16.66
	H'1003	ON (×1)	ON (×2)	2 : 2 : 1/2	10 ~ 25	20 ~ 50	20 ~ 50	20 ~ 50	5 ~ 12.5
	H'1101	ON (×2)	ON (×2)	4 : 2 : 2	10 ~ 16.66	20 ~ 33.33	40 ~ 66.66	20 ~ 33.33	20 ~ 33.33
	H'1103	ON (×2)	ON (×2)	4 : 2 : 1	10 ~ 25	20 ~ 50	40 ~ 100	20 ~ 50	10 ~ 25
	H'1111	ON (×2)	ON (×2)	2 : 2 : 2	10 ~ 16.66	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33
	H'1113	ON (×2)	ON (×2)	2 : 2 : 1	10 ~ 25	20 ~ 50	20 ~ 50	20 ~ 50	10 ~ 25
	H'1202	ON (×3)	ON (×2)	6 : 2 : 2	13.33 ~ 16.66	26.66 ~ 33.33	80 ~ 100	26.66 ~ 33.33	26.66 ~ 33.33
	H'1222	ON (×3)	ON (×2)	2 : 2 : 2	13.33 ~ 16.66	26.66 ~ 33.33	26.66 ~ 33.33	26.66 ~ 33.33	26.66 ~ 33.33
	H'1303	ON (×4)	ON (×2)	8 : 2 : 2	10 ~ 12.5	20 ~ 25	80 ~ 100	20 ~ 25	20 ~ 25
	H'1313	ON (×4)	ON (×2)	4 : 2 : 2	10 ~ 16.66	20 ~ 33.33	40 ~ 66.66	20 ~ 33.33	20 ~ 33.33
	H'1333	ON (×4)	ON (×2)	2 : 2 : 2	10 ~ 16.66	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33
7	H'1000	ON (×1)	OFF	1 : 1 : 1	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33
	H'1001	ON (×1)	OFF	1 : 1 : 1/2	20 ~ 50	20 ~ 50	20 ~ 50	20 ~ 50	10 ~ 25
	H'1002	ON (×1)	OFF	1 : 1 : 1/3	20 ~ 50	20 ~ 50	20 ~ 50	20 ~ 50	6.66 ~ 16.66
	H'1003	ON (×1)	OFF	1 : 1 : 1/4	20 ~ 50	20 ~ 50	20 ~ 50	20 ~ 50	5 ~ 12.5
	H'1101	ON (×2)	OFF	2 : 1 : 1	20 ~ 33.33	20 ~ 33.33	40 ~ 66.66	20 ~ 33.33	20 ~ 33.33
	H'1103	ON (×2)	OFF	2 : 1 : 1/2	20 ~ 50	20 ~ 50	40 ~ 100	20 ~ 50	10 ~ 25
	H'1111	ON (×2)	OFF	1 : 1 : 1	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33
	H'1113	ON (×2)	OFF	1 : 1 : 1/2	20 ~ 50	20 ~ 50	20 ~ 50	20 ~ 50	10 ~ 25
	H'1202	ON (×3)	OFF	3 : 1 : 1	26.66 ~ 33.33	26.66 ~ 33.33	80 ~ 100	26.66 ~ 33.33	26.66 ~ 33.33
	H'1222	ON (×3)	OFF	1 : 1 : 1	26.66 ~ 33.33	26.66 ~ 33.33	26.66 ~ 33.33	26.66 ~ 33.33	26.66 ~ 33.33
	H'1303	ON (×4)	OFF	4 : 1 : 1	20 ~ 25	20 ~ 25	80 ~ 100	20 ~ 25	20 ~ 25
	H'1313	ON (×4)	OFF	2 : 1 : 1	20 ~ 33.33	20 ~ 33.33	40 ~ 66.66	20 ~ 33.33	20 ~ 33.33
H'1333	ON (×4)	OFF	1 : 1 : 1	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	20 ~ 33.33	

【注】 *1 入力クロック周波数を 1 としたときの、クロック比

*2 モード 2、6 のとき、EXTAL 端子からのクロック入力または、水晶発振子の周波数
モード 7 のとき、CKIO 端子からのクロック入力周波数

【注意事項】

1. 内部クロックの周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数通倍率と分周器の分周率を掛けた周波数になります。
内部クロック周波数は、CKIO 端子の周波数より低く設定しないでください。
2. 周辺クロックの周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数通倍率と分周器の分周率を掛けた周波数になります。
周辺クロック周波数は、33.33MHz 以下に設定してください。また、CKIO 端子の周波数より高く設定しないでください。
3. PLL 回路 1 の通倍率には、 $\times 1$ 、 $\times 2$ 、 $\times 3$ または $\times 4$ が選択できます。分周器の分周率には、 $\times 1$ 、 $\times 1/2$ 、 $\times 1/3$ または $\times 1/4$ が選択できます。これらは、それぞれ周波数制御レジスタで設定します。
4. PLL 回路 1 の出力周波数は、CKIO 端子の周波数に PLL 回路 1 の通倍率を掛けた周波数になります。この周波数は、100MHz 以下で使用してください。

EOL Product

4. クロックパルス発振器 (CPG)

4.4 レジスタの説明

CPG には周波数制御レジスタ(FRQCR)があります。本レジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

4.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタは、読み出しまたは書き込み可能な 16 ビットのレジスタで、スタンバイ時の CKIO 端子からクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック、および周辺クロックの周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

このレジスタは、パワーオンリセット時のみ H'1003 に初期化されます。マニュアルリセットおよびスタンバイモード時には、前の値を保持しています。WDT オーバフローによる内部リセット時にも、値は保持されます。

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	CKOEN	1	R/W	クロック出力イネーブル CKOEN は、スタンバイモード時 (STATUS1=L、STATUS0=H) およびスタンバイ解除時 (割り込みから STATUS1=L、STATUS0=L になるまでの間) に CKIO 端子および CKIO2 端子から、クロックを出力するか、CKIO 端子および CKIO2 端子をレベル固定するかを指定します。0 を設定した場合は、STATUS1=L、STATUS0=H の間、CKIO 端子および CKIO2 端子がローレベルに固定されます。これにより、スタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 7 のときは、このビットの値によらず CKIO 端子が入力になります。 0: スタンバイモード時およびスタンバイ解除時に CKIO 端子をローレベルに固定する。 1: CKIO 端子からクロックを出力する。(スタンバイモード中は、ハイインピーダンス)
11	-	0	R	リザーブビット
10	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	STC1	0	R/W	PLL 回路 1 の周波数通倍率 00: ×1 倍 01: ×2 倍 10: ×3 倍 11: ×4 倍
8	STC0	0	R/W	
7	-	0	R	リザーブビット
6	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

4. クロックパルス発振器 (CPG)

ビット	ビット名	初期値	R/W	説 明
5 4	IFC1 IFC0	0 0	R/W R/W	内部クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての内部クロック周波数の分周率を指定します。 00 : ×1 倍 01 : ×1/2 倍 10 : ×1/3 倍 11 : ×1/4 倍
3 2	- -	0 0	R R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1 0	PFC1 PFC0	1 1	R/W R/W	周辺クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての周辺クロック周波数の分周率を指定します。 00 : ×1 倍 01 : ×1/2 倍 10 : ×1/3 倍 11 : ×1/4 倍

EOL Product

4.5 周波数変更方法

内部クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

4.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合は、PLL 安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

1. 初期状態では、PLL回路1の通倍率は1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。
WTCSR.TME = 0 : WDTの停止
WTCSR.CKS[2:0] : WDTカウントクロックの分周率
WTCNT : カウンタの初期値
3. STC[1:0]を目的とする値に設定します。同時にIFC[1:0]、PFC[1:0]に分周率を設定することも可能です。
4. 本LSI内部は、一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。本状態は、スタンバイ状態と同じであり、モジュールによってはレジスタの初期化が行われます。詳細は「第6章 低消費電力モード」の「表6.3 スタンバイモード時のレジスタの状態」をご覧ください。
5. WDTのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

4.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合は、WDT によるカウントは行いません。

1. 初期状態では、IFC[1:0] = B'00、PFC[1:0] = B'11になっています。
2. IFC[1:0]、PFC[1:0]ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. 直ちに設定されたクロックに切り替わります。

4.6 ボード設計上の注意事項

(1) 外部水晶振動子使用時の注意

水晶振動子と容量 CL1、CL2 および帰還抵抗 RI は、できるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

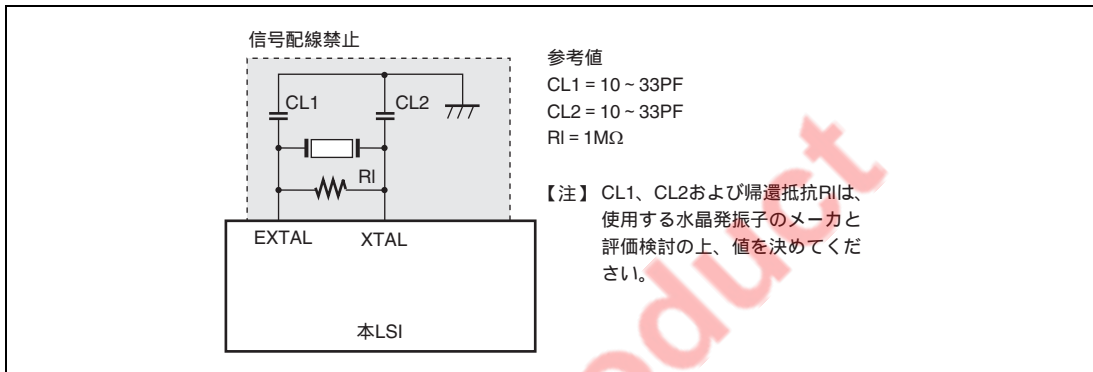


図 4.2 水晶発振子使用時の注意

(2) 外部クロック使用時の注意

EXTAL 端子から外部クロックを入力する場合、XTAL 端子は開放としてください。このとき、反射による誤動作を防止するため本 LSI の XTAL 端子のできるだけ近くで開放してください。

(3) バイパスコンデンサについての注意

V_{SS} と V_{CC} のペアごとに積層セラミックコンデンサをパスコンとして入れてください。

パスコンは、LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

- 入出力用電源系の V_{SS} と V_{CC} ペア

C1-D1、M4-M3、V1-W1、U7-V7、U12-V12、Y18-Y19、M19-M18、H17-H18、C20-B20、A18-A17、D14-C14、D13-C13、D8-C8、A3-A2

- デジタル系の V_{SS} と V_{CC} ペア

F3-F4、K3-K4、U4-T4、V6-U6、V10-U10、U17-U16、R18-R17、L18-L17、D17-E17、C15-D15、C11-D11、D4-D5

- 内蔵発振器系の V_{SS} と V_{CC} ペア

K20-K17、K18-J20

- USB用電源の V_{SS} と V_{CC} ペア

H1-H3

4. クロックパルス発振器 (CPG)

- A/Dコンバータ用のVssとVccペア

W19-U20

(4) PLL 発振回路使用時の注意

PLL 用 Vcc と Vss の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

クロックモード7のときは、EXTAL 端子をプルアップし、XTAL 端子は開放にしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、VccQ のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

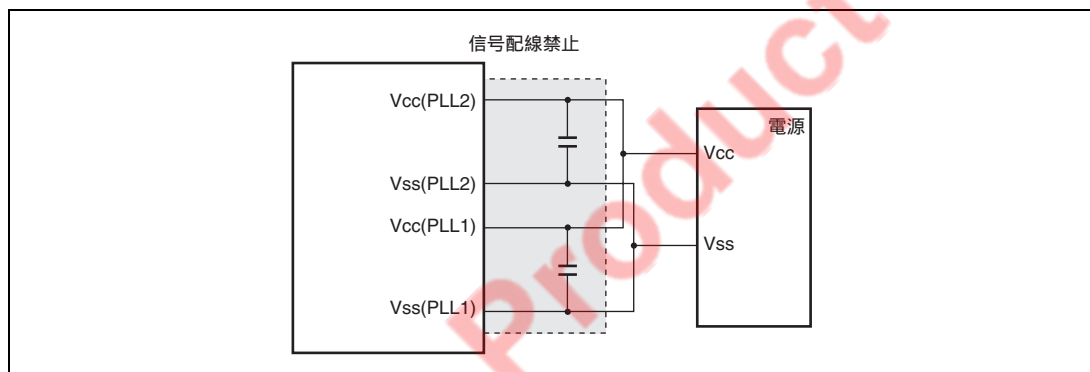


図 4.3 PLL 発振回路使用時の注意

5. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバフローした場合に、LSI の内部をリセットすることができます。

WDT は、1 チャネルのタイマで、スタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック安定時間のカウントに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

5.1 特長

WDT には、次の特長があります。

- クロック安定時間の確保に使用可能
スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバフローにより、内部をリセットします。
リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($\times 1 \sim \times 1/4096$) から選択できます。

5. ウォッチドッグタイマ (WDT)

WDT のブロック図を図 5.1 に示します。

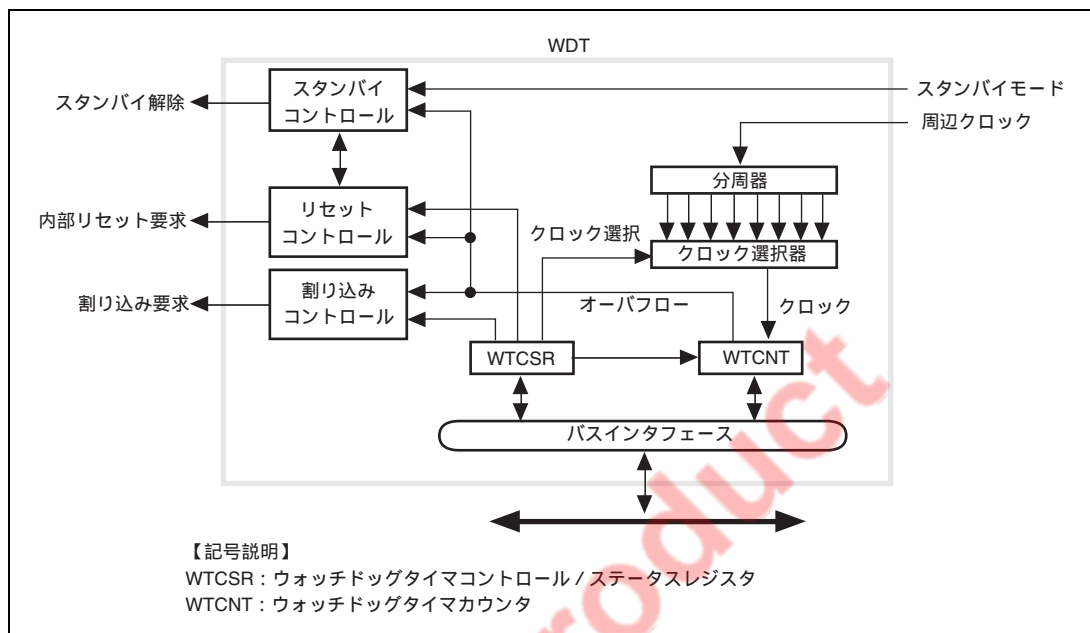


図 5.1 WDT のブロック図

5.2 レジスタの説明

WDT には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- ウォッチドッグタイムカウンタ (WTCNT)
- ウォッチドッグタイムコントロール/ステータスレジスタ (WTCSR)

5.2.1 ウォッチドッグタイムカウンタ (WTCNT)

WTCNT は、読み出しおよび書き込みが可能な 8 ビットレジスタです。選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイムモードのときはリセットが発生し、インターバルタイムモードのときは割り込みが発生します。WTCNT は、 $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「5.2.3 レジスタアクセス時の注意」を参照してください。

5.2.2 ウォッチドッグタイムコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出しおよび書き込みが可能な 8 ビットレジスタです。WTCSR は、カウントに使用するクロックの選択を行うビット、オーバフローフラグ、およびイネーブルビットからなります。

WDT オーバフローによる内部リセット時には、WTCSR の値は保持されます。 $\overline{\text{RESETP}}$ 端子によるパワーオンリセット時のみ H'00 に初期化されます。スタンバイ解除時のクロック安定時間のカウントに使用するときには、カウンタオーバフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「5.2.3 レジスタアクセス時の注意」を参照してください。

5. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0: タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。</p> <p>1: タイマイネーブル</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p> <p>【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。</p>
5	RSTS	0	R/W	<p>リセットセレクト</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合は、設定値は無視されます。</p> <p>0: パワーオンリセット 1: マニュアルリセット</p>
4	WOVF	0	R/W	<p>ウォッチドッグタイマオーバーフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。</p> <p>0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした</p>
3	IOVF	0	R/W	<p>インターバルタイマオーバーフロー</p> <p>インターバルタイマモードで WTCNT がオーバーフローしたことを示します。ウォッチドッグタイマモードでは、セットされません。</p> <p>0: オーバフローなし 1: インターバルタイマモードで WTCNT がオーバーフローした</p>

5. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明	
2	CKS2	0	R/W	クロックセレクト	
1	CKS1	0	R/W	周辺クロック(P)を分周して得られる8種類のクロックから、WTCNTのカウンタに使用するクロックを選択します。カッコ内に示すオーバーフロー周期は、周辺クロック P = 15MHz の場合の値です。 クロック分周比 オーバフロー周期 000 : 1 (17 us) 001 : 1/4 (68 us) 010 : 1/16 (273 us) 011 : 1/32 (546 us) 100 : 1/64 (1.09 ms) 101 : 1/256 (4.36 ms) 110 : 1/1024 (17.48 ms) 111 : 1/4096 (69.91 ms)	
0	CKS0	0	R/W		
					【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウンタアップが正しく行われず場合があります。CKS2 ~ CKS0 ビットを書き換える場合は、必ず WDT を停止させてください。また、初回のオーバーフロータイミングには誤差が含まれます。「5.4 使用上の注意事項」をご覧ください。

5.2.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出したり書き込みを行ってください。

- WTCNTおよびWTCSRへの書き込み

WTCNTおよびWTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では、書き込みません。

図5.2に示すように、WTCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがWTCNTまたはWTCSRへ書き込まれます。

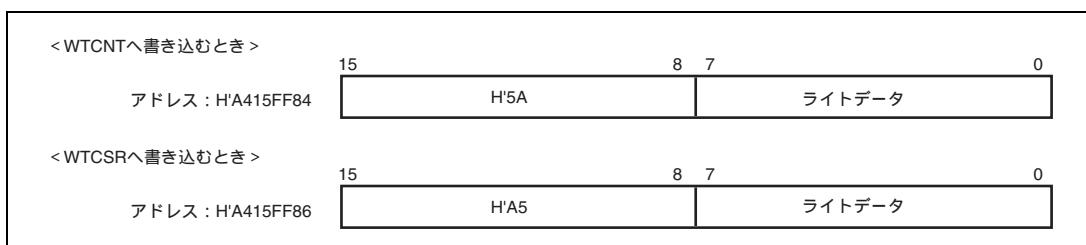


図 5.2 WTCNT および WTCSR への書き込み

5.3 WDT の使用方法

5.3.1 スタンバイ解除の手順

WDT は、スタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します。(リセットで解除する場合は、WDT は動作しないため、クロックが安定するまで $\overline{\text{RESETP}}$ 端子または $\overline{\text{RESETM}}$ 端子をローレベルに保ってください。)

1. スタンバイモードへの遷移前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS2 ~ CKS0 ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR : 「第6章 低消費電力モード」参照) の STBY ビットに 1 を設定後、SLEEP 命令実行によりスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WTCSR の WOVF は、セットされません。
6. WDT はオーバーフロー後、引き続き H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR の STBY ビットを 0 にしてください。これにより、WDT が停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びスタンバイモードに入ります。このスタンバイモードは、パワ - オンリセットで解除してください。

5.3.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS2 ~ CKS0 ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) を書き換えると、本 LSI 内部は一時的に停止して、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開して、本 LSI が動作を再開します。このときは、WTCSR の WOVF はセットされません。

5. カウンタは、H'00の値で停止します。
6. 周波数変更命令の後、WTCNTを書き換える場合には、WTCNTを読み出してH'00になっていることを確認してから書き換えてください。

5.3.3 ウォッチドッグタイマモードの使用方法

1. WTCSRのWT/ \overline{IT} ビットに1を設定して、RSTSビットにリセットのタイプ、CKS2~CKS0にカウントクロックの種類、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWTCSRのWOVFに1をセットして、RSTSビットで指定されたタイプのリセットを発生します。この後、カウンタはカウントを続行します。

5.3.4 インターバルタイマモードの使用方法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ \overline{IT} ビットに0をセットして、CKS2~CKS0ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

5. ウォッチドッグタイマ (WDT)

5.4 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

(1) タイマ誤差があります。

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、P の 1 サイクル後 (最短) から、CKS2 ~ CKS0 で選択した分周タイミング (最長) までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。よって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。

タイマ動作中の WTCNT レジスタ書き換え後の最初のカウントアップタイミングも同様です。

(2) WTCNT の設定値に、H'FF を設定しないでください。

WDT では WTCNT の値が H'FF になったことをオーバーフローと判定します。よって、WTCNT に H'FF を設定すると、CKS2 ~ CKS0 の選択クロックにかかわらず、すぐにインターバルタイマ割り込み、または WDT リセットが発生します。

6. 低消費電力モード

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みによって解除されます。

6.1 特長

6.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. スタンバイモード
3. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 6.1 に示します。

表 6.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態*						解除方法
		CPG	CPU	CPUレジスタ	内蔵メモリ	内蔵周辺モジュール	外部メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	停止 (内容は保持)	UBC は停止 UBC 以外は動作	オートリフレッシュ されます	<ul style="list-style-type: none">• 割り込み• リセット
スタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	停止 (内容は保持)	停止	セルフリフレッシュにしてください	<ul style="list-style-type: none">• 割り込み• リセット
モジュールスタンバイ機能	STBCR、STBCR2、STBCR3、STBCR4 の MSTP ビットを 1 とする (USB については、MSTP ビットを 0 とする)	動作	動作	保持	指定モジュールが停止(内容は保持)	指定モジュールが停止	オートリフレッシュ されます	<ul style="list-style-type: none">• MSTP ビットを 0 にクリア (USB については、MSTP ビットを 1 にする)• パワーオンリセット

【注】 * 端子状態は、保持またはハイインピーダンス。詳細は「付録 A. 端子状態」を参照してください。

6. 低消費電力モード

6.1.2 リセット

リセットは、電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。パワーオンリセットの場合は、すべての実行中の処理が中断され、いかなる未処理の事象も取り消されて、リセット処理が直ちに実行されます。一方、マニュアルリセットの場合は、外部メモリの内容を保持するための処理等は継続します。パワーオンリセットおよびマニュアルリセットが発生する条件を以下に示します。

(1) パワーオンリセット

1. $\overline{\text{RESETP}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、RSTSビットに0をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき。
3. H-UDIリセットが発生したとき。(H-UDIリセットについては、「第15章 ユーザデバッグインタフェース (H-UDI)」を参照してください。)

(2) マニュアルリセット

1. $\overline{\text{RESETM}}$ 端子にローレベルを入力する。
2. WTCSRのWT/ITビットに1を、RSTSビットに1をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき。

6.1.3 入出力端子

低消費電力モード関連の端子構成を表 6.2 に示します。

表 6.2 端子構成

端子名	略称	入出力	機能
処理状態 1	STATUS1	出力	本 LSI の動作状態を表します。* HH : マニュアルリセット HL : スリープモード LH : スタンバイモード LL : 通常動作
処理状態 0	STATUS0		
パワーオンリセット	RESETP	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
マニュアルリセット	RESETM	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。

【注】 * Hはハイレベルを、Lはローレベルを表します。STATUS1 および STATUS0 の順番に端子の状態を示しています。STATUS 端子にするためには、PFC 設定が必要です。詳細は「第 22 章 ピンファンクションコントローラ (PFC)」をご覧ください。

6.2 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ (STBCR)
- スタンバイコントロールレジスタ2 (STBCR2)
- スタンバイコントロールレジスタ3 (STBCR3)
- スタンバイコントロールレジスタ4 (STBCR4)

6.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、低消費電力モードの状態を指定します。STBCR レジスタは、読み出しまたは書き込み可能な 8 ビットのレジスタです。パワーオンリセット時は H'00 に初期化されますが、マニュアルリセットおよびスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ スタンバイモードへの遷移を指定します。 0 : SLEEP 命令の実行で、スリープモードへ遷移 1 : SLEEP 命令の実行で、スタンバイモードへ遷移
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

6.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出しまたは書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロックの供給を停止

6. 低消費電力モード

ビット	ビット名	初期値	R/W	説明
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロックの供給を停止
4	MSTP7	0	R/W	モジュールストップ 7 MSTP7 ビットを 1 にセットすると DSP へのクロックの供給を停止します。 0 : DSP は動作 1 : DSP へのクロックの供給を停止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	MSTP5	0	R/W	モジュールストップ 5 MSTP5 ビットを 1 にセットするとキャッシュメモリへのクロックの供給を停止します。 0 : キャッシュメモリは動作 1 : キャッシュメモリへのクロックの供給を停止
1	MSTP4	0	R/W	モジュールストップ 4 MSTP4 ビットを 1 にセットすると U メモリへのクロックの供給を停止します。 0 : U メモリは動作 1 : U メモリへのクロックの供給を停止
0	MSTP3	0	R/W	モジュールストップ 3 MSTP3 ビットを 1 にセットすると XY メモリへのクロックの供給を停止します。 0 : XY メモリは動作 1 : XY メモリへのクロックの供給を停止

6.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出したり書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR3 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット	ビット名	初期値	R/W	説明
7	HIZ	0	R/W	<p>ポートハイインピーダンス</p> <p>スタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。</p> <p>本ビットは、WDT の WTSCR の TME ビットが 1 の状態では、設定しないでください。出力端子の状態をハイインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。</p> <p>0 : スタンバイモード時に、端子状態を保持する 1 : スタンバイモード時に、端子状態をハイインピーダンスにする</p>
6	-	0	R/W	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
5	MSTP35	0	R/W	<p>モジュールストップ 35</p> <p>MSTP35 ビットを 1 にセットすると CMT0 へのクロックの供給を停止します。</p> <p>0 : CMT0 は動作 1 : CMT0 へのクロックの供給を停止</p>
4	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
3	MSTP33	0	R/W	<p>モジュールストップ 33</p> <p>MSTP33 ビットを 1 にセットすると ADC へのクロックの供給を停止します。</p> <p>0 : ADC は動作 1 : ADC へのクロックの供給を停止</p>
2	MSTP32	0	R/W	<p>モジュールストップ 32</p> <p>MSTP32 ビットを 1 にセットすると SCIF2 へのクロックの供給を停止します。</p> <p>0 : SCIF2 は動作 1 : SCIF2 へのクロックの供給を停止</p>
1	MSTP31	0	R/W	<p>モジュールストップ 31</p> <p>MSTP31 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。</p> <p>0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止</p>
0	MSTP30	0	R/W	<p>モジュールストップ 30</p> <p>MSTP30 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。</p> <p>0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止</p>

6. 低消費電力モード

6.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出しまたは書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	MSTP46	0	R/W	モジュールストップ 46 MSTP46 ビットを 1 にセットすると USB へのクロックの供給を開始します。 0 : USB は停止 1 : USB へのクロックの供給を開始
5	MSTP45	0	R/W	モジュールストップ 45 MSTP45 ビットを 1 にセットすると MTU へのクロックの供給を停止します。 0 : MTU は動作 1 : MTU へのクロックの供給を停止
4	MSTP44	0	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると POE へのクロックの供給を停止します。 0 : POE は動作 1 : POE へのクロックの供給を停止
3	MSTP43	0	R/W	モジュールストップ 43 MSTP43 ビットを 1 にセットすると CMT1 へのクロックの供給を停止します。 0 : CMT1 は動作 1 : CMT1 へのクロックの供給を停止
2	MSTP42	0	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると IIC2 へのクロックの供給を停止します。 0 : IIC2 は動作 1 : IIC2 へのクロックの供給を停止
1	-	0	R	リザーブビット
0	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

6.3 動作説明

6.3.1 スリープモード

(1) スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。ただし内蔵メモリのアクセスはできません。DMAC など内蔵メモリを読み出すと不定値が読み出され、書き込みは無視されますのでご注意ください。CKIO 端子および CKIO2 端子には、クロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

(2) スリープモードの解除

スリープモードは、割り込み ($\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}$ 、内蔵周辺) およびリセットにより、解除されます。

スリープモード中は SR レジスタの BL ビットが 1 でも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC と SSR をスタックに退避してください。

- 割り込みによる解除

$\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}$ 、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。INTEVT2 レジスタには、割り込み要因に対応したコードがセットされます。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

6.3.2 スタンバイモード

(1) スタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子および CKIO2 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は、保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。スタンバイモード時の周辺モジュールのレジスタ状態を表 6.3 に示します。

6. 低消費電力モード

表 6.3 スタンバイモード時のレジスタの状態

モジュール	初期化レジスタ	内容が保持されるレジスタ
割り込みコントローラ (INTC)	-	全レジスタ
内蔵発振回路 (CPG)	-	全レジスタ
ブレークコントローラ (UBC)	-	全レジスタ
バスステートコントローラ (BSC)	-	全レジスタ
A/D 変換器 (ADC)	全レジスタ	-
I/O ポート	-	全レジスタ
H-UDI	-	全レジスタ
SCIF	-	全レジスタ
USB	-	全レジスタ
MTU	全レジスタ	-
POE	-	全レジスタ
DMAC	-	全レジスタ
CMT	-	全レジスタ
IIC2	-	全レジスタ

スタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS2～CKS0ビットに指定された発振安定時間になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1を設定した後、SLEEP命令を実行させます。
4. スタンバイモードに入りLSI内部のクロックが停止すると、STATUS1端子からローレベルおよびSTATUS0端子からハイレベルが出力されます。

(2) スタンバイモードの解除

スタンバイモードは、割り込み (\overline{NMI} 、 \overline{IRQ}) およびリセットにより、解除されます。

• 割り込みによる解除

内蔵 WDT によるホットスタートができます。 \overline{NMI} および \overline{IRQ} の立ち上がり / 立ち下がりエッジの割り込みが検出されると、WDT のタイマコントロール / ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、スタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらもローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT2 に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。WDT は、自動的に停止します。STBY ビットをクリアしないと、WDT は動作を継続し WTCNT が H'80 に達した時点でスタンバイモード*に遷移してしまいます。なお、STBY ビットをクリアするまでは、マニュアルリセットを受け付けません。

スタンバイモード中は、SRレジスタのBLビットが1のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC と SSR をスタックに退避してください。

割り込み検出直後から、スタンバイモードが解除されるまでの間には、CKIO 端子および CKIO2 端子のクロック出力の位相が不安定になることがあります。

【注】 * このスタンバイモードは、パワーオンリセットで解除してください。

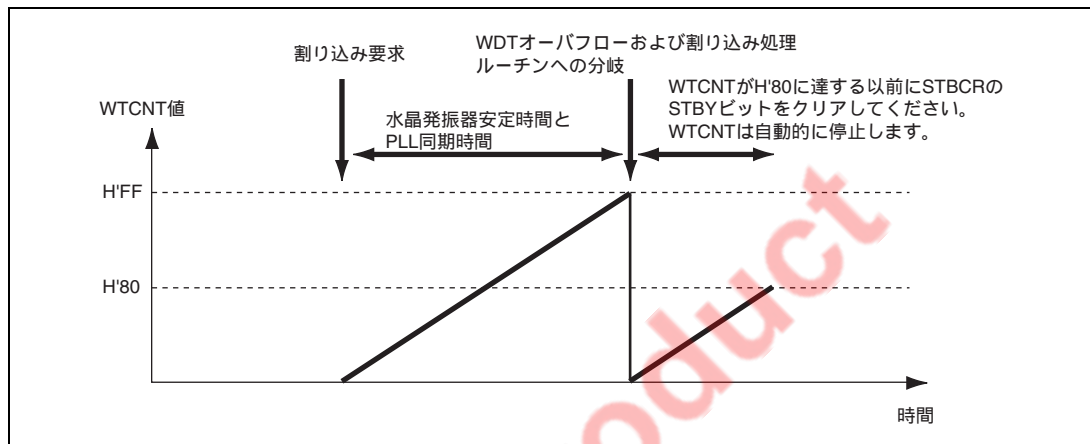


図 6.1 STBCR の STBY ビットとスタンバイモードの解除

- リセットによる解除

$\overline{\text{RESETP}}$ 端子または $\overline{\text{RESETM}}$ 端子を用いたリセットにより、スタンバイモードは解除されます。

$\overline{\text{RESETP}}$ 端子または $\overline{\text{RESETM}}$ 端子は、クロックの発振が安定するまで、ローレベルを保持してください。

CKIO 端子には、内部のクロックが出力され続けます。

6.3.3 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます (USB は初期値および 0 書き込みが停止です)。この機能を使用することで、ノーマルモード時およびスリープ時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタやアクセスなどは行わないでください。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は内蔵周辺モジュールにより異なります。詳細は「付録 A. 端子状態」を参照してください。レジスタの状態は、スタンバイモード時と同じです。表 6.3 を参照してください。

(2) モジュールスタンバイ機能の解除

USB 以外のモジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。USB のモジュールスタンバイ機能の解除は、MSTP ビットを 1 にセットすることにより行います。

6. 低消費電力モード

各 MSTP ビットを 0 にクリア (USB は 1 セット) してモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリア (USB は 1 セット) されたことを確認してください。

6.3.4 STATUS 端子の変化タイミング

STATUS1 端子および STATUS0 端子に設定するためには、PFC 設定が必要です。PFC 設定については「第 22 章 ピンファンクションコントローラ (PFC)」をご覧ください。パワーオンリセット時には、PFC 初期化の設定に従い PTC15 および PTC14 のポート入力状態になりますので、パワーオン時から STATUS 機能として使用する場合は以下のようにお使いください。WDT からのパワーオンリセットおよび H-UDI からのリセットも同様です。

1. STATUS1 および STATUS0 端子をプルアップする
2. パワーオンリセット処理で、PFC 設定にて STATUS 機能に設定する

上記設定で、パワーオンリセット時に STATUS1、STATUS0 とともにハイレベルとなり、パワーオンリセット処理完了後に STATUS1、STATUS0 とともにローレベルとなりますので、状態を知ることができます。

STATUS1 および STATUS0 端子の変化タイミングを示します。

(1) マニュアルリセットの場合

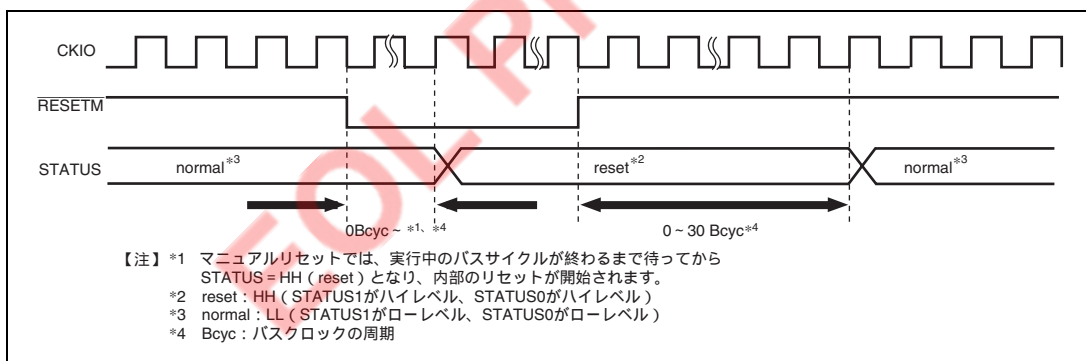


図 6.2 マニュアルリセットの STATUS 出力

(2) スタンバイモードの場合

(a) スタンバイ 割り込み

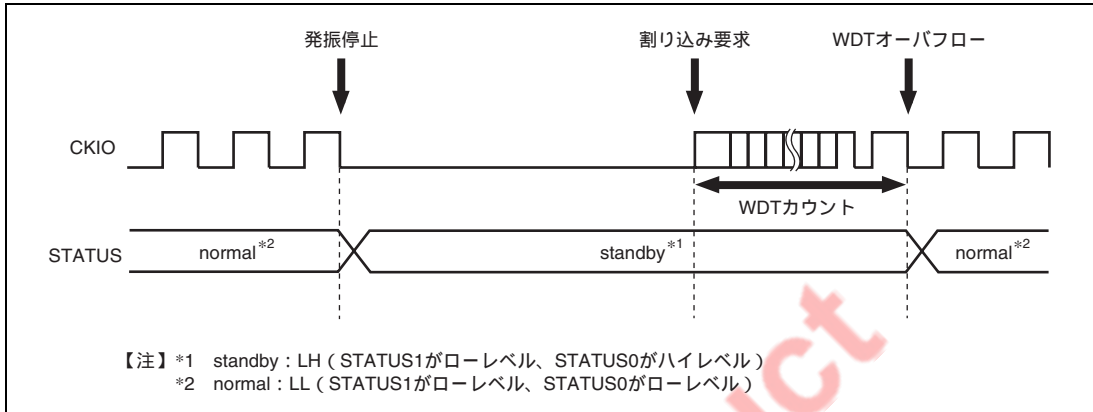


図 6.3 スタンバイ 割り込みの STATUS 出力

(b) スタンバイ マニュアルリセット

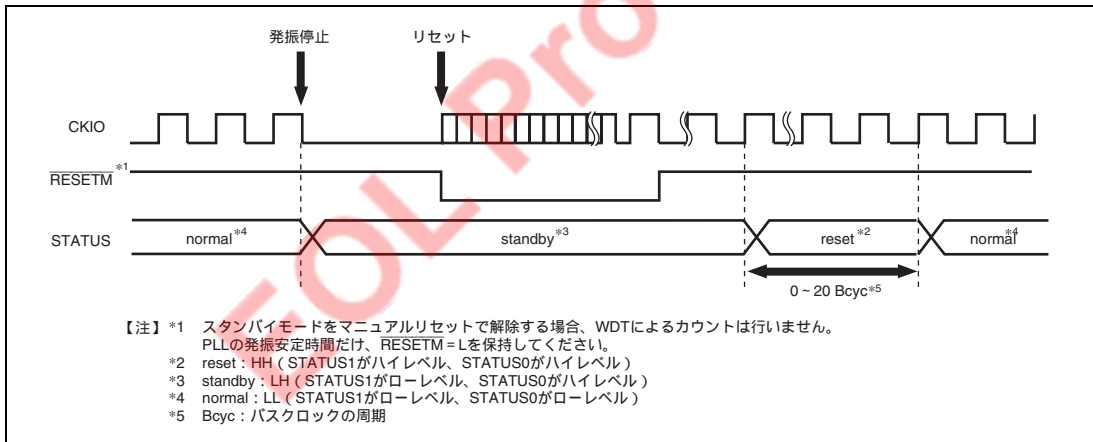


図 6.4 スタンバイ マニュアルリセットの STATUS 出力

6. 低消費電力モード

(3) スリープモードの場合

(a) スリープ 割り込み

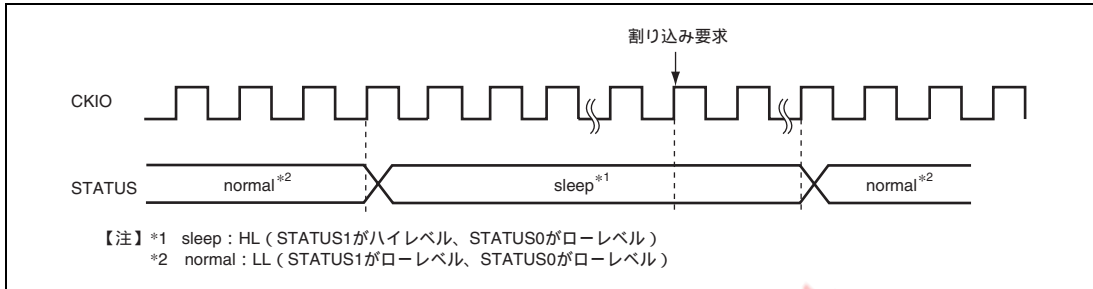


図 6.5 スリープ 割り込みの STATUS 出力

(b) スリープ マニュアルリセット

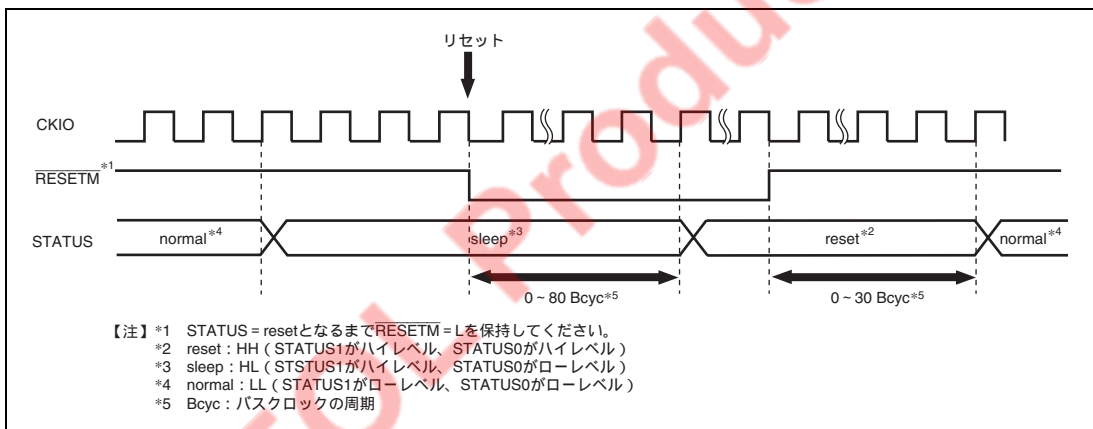


図 6.6 スリープ マニュアルリセットの STATUS 出力

7. キャッシュ

7.1 特長

キャッシュの特長を表 7.1 に示します。

表 7.1 キャッシュの特長

項目	仕様
容量	16k バイト
構成	命令/データ混合、4 ウェイセットアソシアティブ
ロック	ウェイ 2、ウェイ 3 はロック可能
ラインサイズ	16 バイト
エントリ数	256 エントリ/ウェイ
ライト方式	P0、P1、P3 : ライトバック、ライトスルー選択可能
置換方式	LRU (Least Recently Used)

本 LSI ではアドレス空間を 5 個の部分空間に分割しており、キャッシュアクセス方法をアドレスで指定しています。表 7.2 に各部分空間とキャッシュの関係を示します。

表 7.2 部分空間とキャッシュの関係

アドレス A31-29	部分空間名	キャッシュ動作
0xx	P0	ライトバック/ライトスルー選択可能
100	P1	ライトバック/ライトスルー選択可能
101	P2	キャッシュ不可
110	P3	ライトバック/ライトスルー選択可能
111	P4	I/O 領域、キャッシュ不可

特に P4 領域は I/O 領域であり、内蔵レジスタ等のアドレスが割り付けてあります。

キャッシュはアドレス 32 ビットのうちデータの一致性を保証するためにアドレスの上位 3 ビットを 0 にマスクしたアドレスが格納されます。

7. キャッシュ

7.1.1 キャッシュの構成

キャッシュは、命令/データ混在型の4ウェイセットアソシアティブ方式です。4つのウェイ(バンク)で構成され、各々のウェイはアドレス、データに分かれています。アドレス、データは各々256のエントリで構成されます。エントリのデータをラインとよびます。1ラインは16バイト(4バイト×4)です。1ウェイあたりのデータ容量は、4kバイト(16バイト×256エントリ)で、キャッシュ全体(4ウェイ)では16kバイトの容量となります。キャッシュの構成を図7.1に示します。

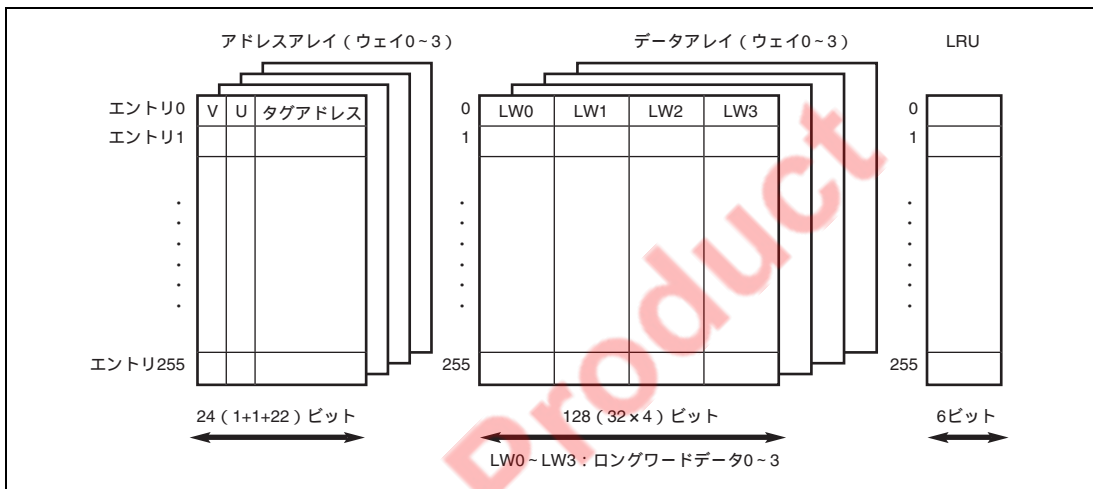


図 7.1 キャッシュの構成

(1) アドレスアレイ

Vビットは、エントリのデータが有効かどうかを示します。Vビットが1で有効、0で無効を示します。

Uビットは、ライトバックモードで、そのエントリに書き込みがあったことを示します。

Uビットが1で書き込みあり、0で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用されるアドレスを保持します。

キャッシュ検索時の比較に使用される22ビット(アドレス31~10)からなります。

本LSIでは、アドレス32ビットの上位3ビットをシャドウとして利用するため(「第12章 パスステートコントローラ(BSC)」参照)、タグアドレスの上位3ビットに0が入ります。

V、Uビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットおよびスタンバイモード、モジュールスタンバイモード、スリープモードでは値を保持します。タグアドレスは、パワーオン/マニュアルリセット、スタンバイモード、モジュールスタンバイモード、スリープモードで初期化されません。

(2) データアレイ

16バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位はライン単位(16バイト単位)で行います。

データアレイは、パワーオン/マニュアルリセット、スタンバイモード、モジュールスタンバイモード、スリープモードで初期化されません。

(3) LRU

4ウェイセットアソシアティブ方式では、エントリアドレス(アドレス11~4)が同じ命令/データを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU(Least Recently Used)アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能を使用しない場合の、LRUビットとリプレースされるウェイの関係を表7.3に示します(キャッシュロック機能を使用する場合に関しては「7.2.2 キャッシュ制御レジスタ2(CCR2)」の項を参照してください)。表7.3に示した以外のLRUビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表7.3に示すパターンを設定してください。

LRUビットは、パワーオンリセットで000000に初期化されますが、マニュアルリセットおよびスタンバイモード、モジュールスタンバイモード、スリープモードでは値を保持します。

表 7.3 LRU ビットと置き換えられるウェイ

LRU (ビット5-0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

7. キャッシュ

7.2 レジスタの説明

キャッシュには以下のレジスタがあります。

- キャッシュ制御レジスタ1 (CCR1)
- キャッシュ制御レジスタ2 (CCR2)

7.2.1 キャッシュ制御レジスタ 1 (CCR1)

キャッシュはCCR1のCEビットでイネーブル、ディスエーブルを指定します。また、CCR1には、キャッシュの全エントリの無効化を制御するCFビット、ライトスルーモード、ライトバックモードを切り替えるWTビットおよびWBビットがあります。CCR1の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。また、CCR1の内容を更新する場合には、必ずビット31~4に0をセットしてください。

CCR1は、パワーオン/マニュアルリセットでH'00000000に初期化され、スタンバイモード、モジュールスタンバイモードおよびスリープモードでは値を保持します。

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
3	CF	0	R/W	キャッシュフラッシュ 1を書き込むと、キャッシュの全エントリのV、U、LRUビットを0にクリア（フラッシュ）します。読み出すと0が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
2	WB	0	R/W	ライトバック P1領域のライトバック/ライトスルー切り替え 0：ライトスルーモード 1：ライトバックモード
1	WT	0	R/W	ライトスルー P0、P3領域のライトバック/ライトスルー切り替え 0：ライトバックモード 1：ライトスルーモード
0	CE	0	R/W	キャッシュ有効 キャッシュ機能を使用するかどうかを示します。 0：使用しない 1：使用する

7.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、キャッシュロック機能を制御するレジスタです。キャッシュロック機能はキャッシュロックモード時のみ有効です。キャッシュロックモードとは、CPU の SR レジスタ (ステータスレジスタ) の DSP ビット (ビット 12) = 1 または CCR2 のロックイネーブルビット (ビット 16) = 1 の状態です。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 7.4 に示すとおりです。一方プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。例えば Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロックモード、W3LOAD=1 かつ W3LOCK=1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時の、プリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 7.5 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

CCR2 は、パワーオン / マニュアルリセットで H'00000000 に初期化され、スタンバイモード、モジュールスタンバイモードおよびスリープモードでは値を保持します。

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
16	LE	0	R/W	ロックイネーブル キャッシュロックモードかどうかを制御します。 0 : SR.DSP=1 のとき、キャッシュロックモードになります 1 : SR.DSP の値によらず、キャッシュロックモードになります
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 8	W3LOAD W3LOCK	0 0	R/W R/W	ウェイ 3 ロード (W3LOAD) ウェイ 3 ロック (W3LOCK) W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 3 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7. キャッシュ

ビット	ビット名	初期値	R/W	説明
1	W2LOAD	0	R/W	ウェイ 2 ロード (W2LOAD) ウェイ 2 ロック (W2LOCK) W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ 2 に読み込まれます。その他のすべての条件では、プリフェッチしたデータは LRU の示すウェイに読み込まれます。
0	W2LOCK	0	R/W	

【注】 W2LOAD および W3LOAD は同時に 1 にセットしないでください。

表 7.4 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 7.3)
1	*	0	*	0	LRU に従う (表 7.3)
1	*	0	0	1	LRU に従う (表 7.6)
1	0	1	*	0	LRU に従う (表 7.7)
1	0	1	0	1	LRU に従う (表 7.8)
1	0	*	1	1	ウェイ 2
1	1	1	0	*	ウェイ 3

【記号説明】* : don't care

【注】 W3LOAD = 1 かつ W2LOAD = 1 には設定しないでください

表 7.5 PREF 命令以外がキャッシュミスした場合に置き換えられるウェイ

キャッシュ ロックモード	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 7.3)
1	*	0	*	0	LRU に従う (表 7.3)
1	*	0	*	1	LRU に従う (表 7.6)
1	*	1	*	0	LRU に従う (表 7.7)
1	*	1	*	1	LRU に従う (表 7.8)

【記号説明】* : don't care

【注】 W3LOAD = 1 かつ W2LOAD = 1 には設定しないでください

表 7.6 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=0 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000001、000100、010100、100000、100001、110000、110100	3
000011、000110、000111、001011、001111、010110、011110、011111	1
101001、101011、111000、111001、111011、111100、111110、111111	0

表 7.7 LRU ビットと置き換えられるウェイ (W2LOCK=0 かつ W3LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000001、000011、001011、100000、100001、101001、101011	2
000100、000110、000111、001111、010100、010110、011110、011111	1
110000、110100、111000、111001、111011、111100、111110、111111	0

表 7.8 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000、000001、000011、000100、000110、000111、001011、001111、010100、010110、011110、011111	1
100000、100001、101001、101011、110000、110100、111000、111001、111011、111100、111110、111111	0

EOL Product

7.3 キャッシュの動作

7.3.1 キャッシュの検索

キャッシュがイネーブルのとき (CCR1 レジスタの CE ビット = 1)、P0、P1、P3 空間の命令またはデータをアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 7.2 に示します。キャッシュは物理キャッシュで、タグアドレスには、アドレスを保持します。

メモリへのアクセスアドレス (論理) のビット 11~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。メモリへのアクセスアドレス (ビット 31~12) と、アドレスアレイから読み出したアドレス (タグアドレス) を比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ比較されたエントリが有効である (V=1) 場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合を図 7.2 に示します。

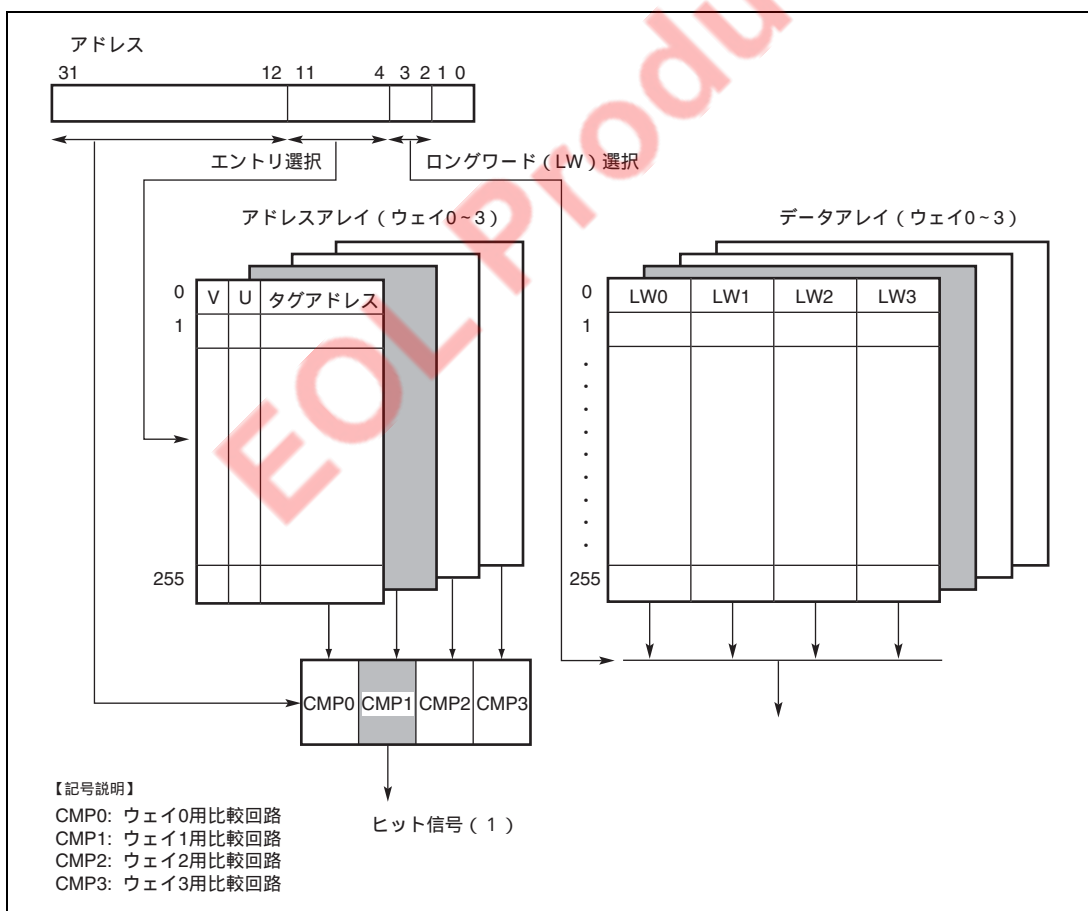


図 7.2 キャッシュの検索方法

7.3.2 リード動作

(1) リードヒット

キャッシュから CPU に命令 / データが転送されます。ヒットしたウェイが最新となるように LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 7.5 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録される時に、U ビットが 0 に、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルが開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

7.3.3 プリフェッチ動作

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は変更されません。CPU への命令またはデータの転送は行われません。

(2) プリフェッチミス

CPU への命令またはデータの転送が行われず、置換するウェイは表 7.4 に従います。その他の動作はリードミスの場合と同じです。

7.3.4 ライト動作

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 7.5 に従います。エントリの更新によって置換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルが開始します。書き戻しの単位は、16 バイトです。キャッシュにデータがライトされ、U ビットが 1 に、V ビットが 1 にセットされます。置換されたウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送し

7. キャッシュ

たエントリをメモリへ書き戻します。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

7.3.5 ライトバックバッファ

ライトバックモードで置換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの 1 ライン分のデータ (16 バイト) とそのアドレスを保持可能です。ライトバックバッファの構成を図 7.3 に示します。

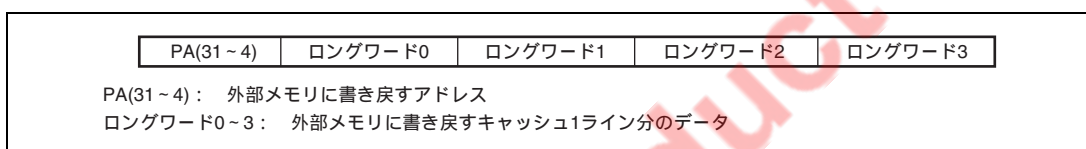


図 7.3 ライトバックバッファの構成

7.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様にしてください。

7.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。キャッシュは P4 領域に割り付けられています。アドレスアレイは H'F000 0000 ~ H'F0FF FFFF に、データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。アドレスアレイ、データアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

7.4.1 アドレスアレイ

アドレスアレイは H'F000 0000 ~ H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します (図 7.4 (1) 参照)。

アドレスにはエントリを選択するためのエントリアドレス (ビット 11~4)、ウェイを選択するための W (ビット 13~12)、連想動作の有無を指定する A (ビット 3) およびアドレスアレイアクセスを示す HF0 (ビット 31~24) を指定します。W (ビット 13~12) は、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示

します。

データにはタグアドレス（ビット 31～10）、LRU ビット（ビット 9～4）、U ビット（ビット 1）および V ビット（ビット 0）を指定します。タグアドレスの上位 3 ビット（ビット 31～29）には常に 0 を指定してください。

アドレスアレイに対しては次の 3 種類の操作が可能です。

（1）アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビットおよび V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

（2）アドレスアレイライト（連想なし）

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。アドレスの連想ビット（A ビット）は 0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

（3）アドレスアレイライト（連想あり）

アドレスの連想ビット（A ビット）を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。

本動作はキャッシュの特定エントリの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

7.4.2 データアレイ

データアレイは HF100 0000～HF1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定（読み出し / 書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス（ビット 11～4）、1 ライン（16 バイト）中のロングワード位置を示す L（ビット 3～2）、ウェイを指定するための W（ビット 13～12）、およびデータアレイアクセスを示す HF1 をビット 31～24 に指定します。L（ビット 3～2）は 00 がロングワード 0、01 がロングワード 1、10 がロングワード 2、11 がロングワード 3 を示します。W（ビット 13～12）は、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1～0 には 00 を指定してください。

7. キャッシュ

データレイに対しては次の2種類の操作が可能です。なおこの操作によってアドレスレイの情報を変更されることはありません。

(1) データレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスのL(ビット3~2)で指定されたデータを読み出します。

(2) データレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスのL(ビット3~2)で指定された位置に、データで指定されたロングワードデータを書き込みます。

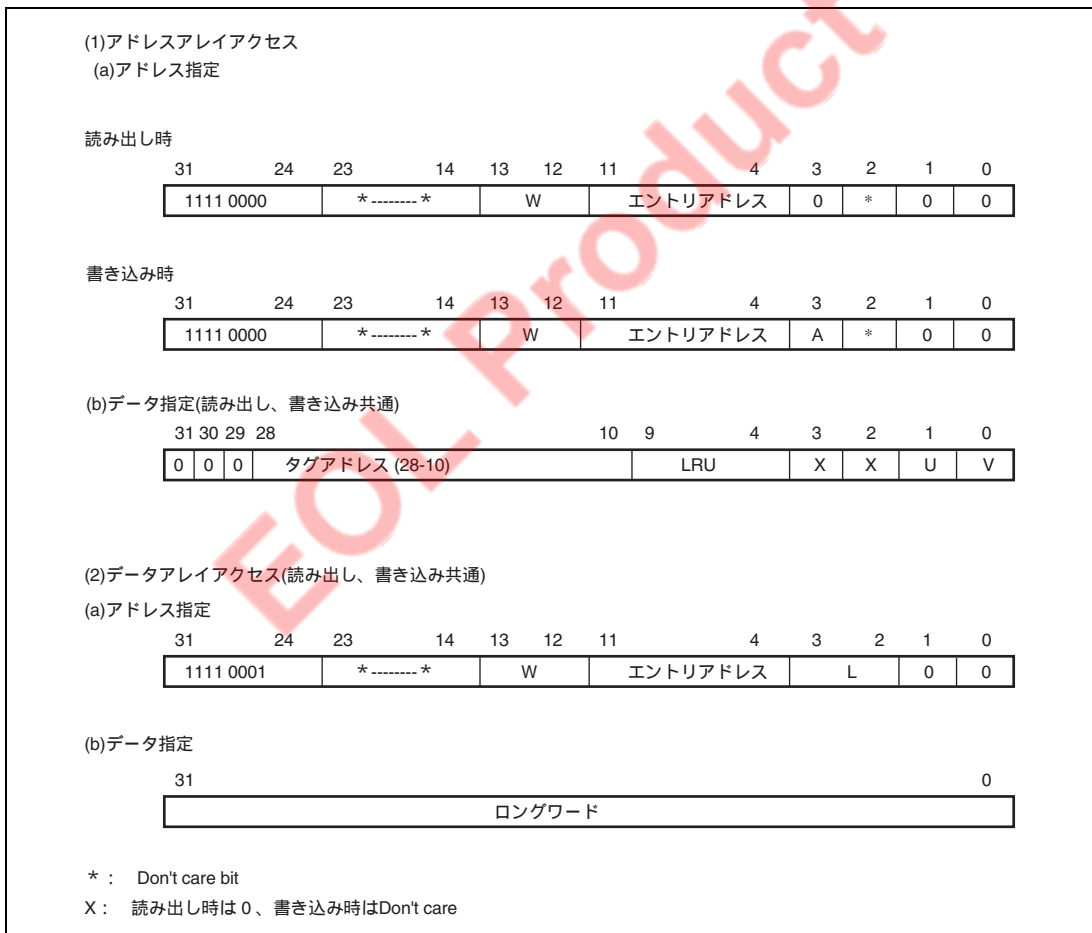


図 7.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

7.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合は、ノーオペレーションです。アドレスアレイのあるエントリのVビットを0にすると、そのエントリのUビットが1のときそのエントリがライトバックされます。

以下に、R0に書き込みデータ、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0000 ; タグアドレス = B'0000 0001 0001 0000 000 000, U = 0, V = 0  
; R1 = HF000 0088 ; アドレスアレイアクセス、エントリ = B'00001000, A = 1  
;  
MOV.L   R0, @R1
```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図7.4のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = HF100 004C ; データアレイアクセス、エントリ = B'00000100,  
; ウェイ = 0, ロングワードアドレス = 3  
;  
MOV.L   @R0, R1 ; ロングワード3が読み出されます
```

EOL Product

8. X/Y メモリ

本 LSI は X メモリおよび Y メモリを内蔵しています。CPU、DSP および DMAC を用いて命令やデータを格納することができます。

8.1 特長

X/Y メモリの特長を表 8.1 に示します。

表 8.1 特長

項 目	特 長
アドレッシング方法	P0 もしくは P2 領域
ポート	3 本の独立した読み出し / 書き込みポート • CPU からの 8/16/32 ビットアクセス (L バスまたは I バス経由) • DSP から同時に最大 2 つの 16 ビットアクセス (X、Y バス経由)、または 16/32 ビットアクセス (L バス経由) • DMAC からの 8/16/32 ビットアクセス (I バス経由)
サイズ	X、Y メモリ用各 8k バイトの RAM

X メモリは P0 空間のアドレス H'05007000 ~ H'05008FFF または P2 空間のアドレス H'A5007000 ~ H'A5008FFF (8k バイト) に存在します。X メモリはアドレスによりページ 0、ページ 1 に分かれています。X メモリは L バス、X バス、I バスからのアクセスが可能です。

Y メモリは P0 空間のアドレス H'05017000 ~ H'05018FFF または P2 空間のアドレス H'A5017000 ~ H'A5018FFF (8k バイト) に存在します。Y メモリはアドレスによりページ 0、ページ 1 に分かれています。Y メモリは L バス、Y バス、I バスからのアクセスが可能です。

同時に同じページに対して異なるバスからアクセス要求があったときの優先順位は X メモリでは I バス > X バス > L バス、Y メモリでは I バス > Y バス > L バスとなります。このような競合は X/Y メモリアccess の性能低下を招きますので、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。例えば各バスごとに異なるメモリ、異なるページでアクセスすると競合は発生しません。

また、CPU あるいは DSP による P0 空間からの X/Y メモリへのアクセスは I バス経由となるため、I バス上で DMAC との競合が発生する場合があります。このような競合も X/Y メモリアccess の性能低下を招きますので、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。例えば CPU あるいは DSP による X/Y メモリアccess を行う場合は P2 空間を使用することで I バス上での競合は回避されます。

8.2 CPU からの X/Y メモリアクセス

CPU は P0 空間、P2 空間より X/Y メモリをアクセス可能です。アドレスが P0 空間の場合は I バス経由となります。また、アドレスが P2 空間の場合は L バス経由となります。L バスからのアクセスはページ競合が発生しない限り 1 サイクルアクセスになります。I バスからのアクセスは複数サイクル必要となります。図 8.1 に X/Y メモリアドレスマッピングを示します。

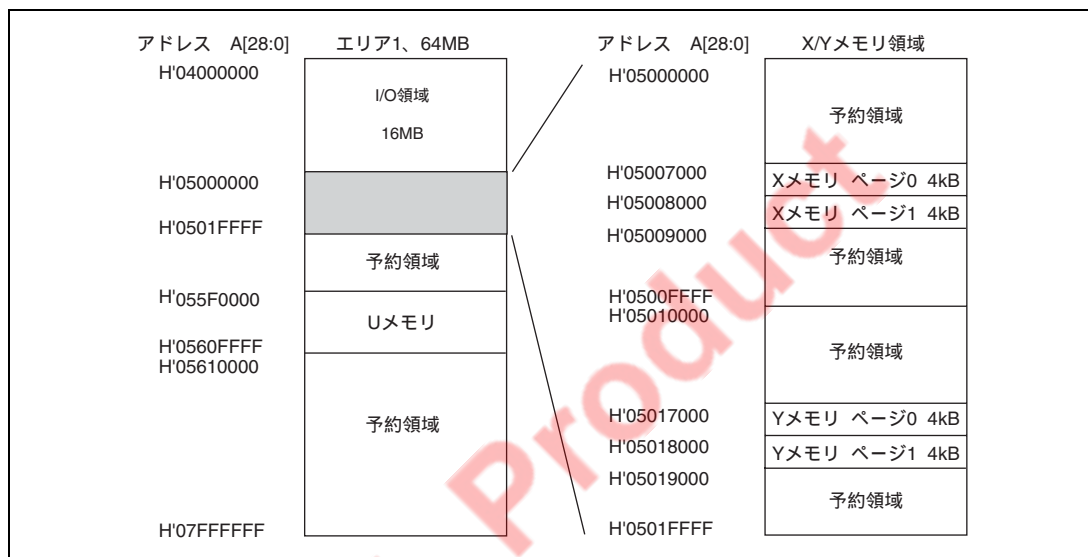


図 8.1 X/Y メモリアドレスマッピング

8.3 DSP からの X/Y メモリアクセス

DSP は P0 空間、P2 空間より X/Y メモリをアクセス可能です。命令の種類により、アクセス方法が異なります。

X バス / Y バス経由のアクセスは常に 16 ビットアクセスになり、L バス経由のアクセスは 16 または 32 ビットアクセスになります。L バスからのアクセスはページ競合が発生しない限り 1 サイクルアクセスになります。I バスからのアクセスは複数サイクル必要となります。

X データ転送命令および Y データ転送命令では X バス / Y バスを経由して X/Y メモリにアクセスします。この場合のアクセスは常に 16 ビットアクセスとなります。単一データ転送命令では、L バスを経由して X/Y メモリにアクセスします。この場合のアクセスは 16 ビットまたは 32 ビットアクセスになります。

X バスと Y バス経由のアクセスは同時に指定することができます。

8.4 DMAC からの X/Y メモリアクセス

DMAC は I バス経由で X/Y メモリをアクセス可能です。アドレスは、H'05007000 ~ H'05008FFF および H'05017000 ~ H'05018FFF を使用してください。

8.5 使用上の注意

CPU および DSP から X/Y メモリをアクセスする際、キャッシュ ON 時は P2 領域 (ノンキャッシュ空間) から必ずアクセスしてください。P0 領域からのアクセス時の動作は保証できません。キャッシュ OFF 時は P0、P2 領域どちらも使用できます。また、パラレルデータ転送およびダブルデータ転送を行うときは、P2 領域を指定してください。(「3.1.9 データ転送命令」参照)

8.6 スリープモード

スリープモード中は、DMAC などの I バスマスタモジュールから本メモリへのアクセスは行えません。

8.7 アドレスエラー

X/Y メモリに対してアドレスエラーを起こす書き込みを行った場合、X/Y メモリの内容が壊れる場合があります。

EOL Product

9. 例外処理

例外処理とは、通常のプログラムの処理から離れて、通常とは異なる処理をすることをいいます。たとえば、定義されていない命令コードを実行しようとしたり、CPU の処理モードによって保護されている命令を実行しようとした場合に、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するなどの制御が必要になります。また、LSI に内蔵されたモジュールや LSI 外部に接続されたモジュールから CPU に対して要求された処理の制御が必要になる場合もあります。

このような機能をサポートするために、ユーザが作成した例外処理ルーチンに制御を移し、その処置をすることを例外処理と呼びます。本 LSI では、例外処理の要求を一般例外および割り込みの 2 種類に分類して処理します。ユーザは、例外処理の要求に応じた例外処理ルーチンを配置することで、必要な処理を実行した後、元のプログラムの実行を再開することができます。

リセットの入力も、通常のプログラムの実行を中断して、レジスタの初期化を行った後にリセットベクタへ制御の流れを移します。この動作も例外処理の一つとみなすことができます。本章では、その動作を概説します。ただし、本章での「例外処理」とは、一般例外および割り込みに対する処理を表します。

また、本章では、割り込みに関しては割り込み要求に対する処理のみを記述しています。割り込み要求の発生方法に関しては、「第 10 章 割り込みコントローラ (INTC)」を参照してください。

9.1 レジスタの説明

例外処理で使用するレジスタには、以下の 3 つがあります。初期値が不定のレジスタは、ソフトウェアにより初期化してください。

- TRAPA例外レジスタ (TRA)
- 例外事象レジスタ (EXPEVT)
- 割り込み事象レジスタ2 (INTEVT2)

各レジスタのビット構成を図 9.1 に示します。

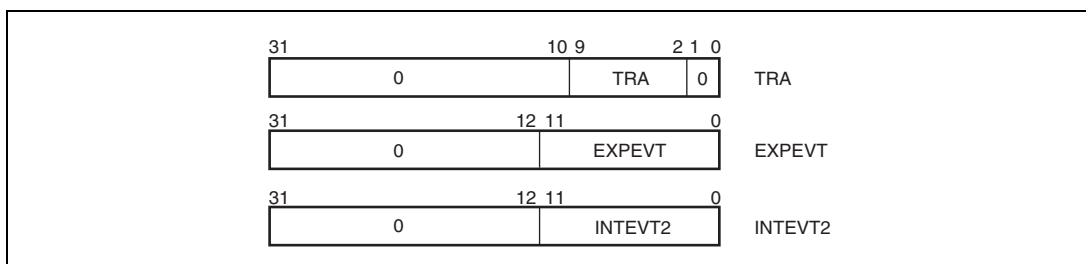


図 9.1 レジスタのビット構成

9. 例外処理

9.1.1 TRAPA 例外レジスタ (TRA)

TRA は、H'FFFF FFD0 番地に配置されていて、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は、TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA は、ソフトウェアからも変更が可能です。ビット 9~2 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説明
31~10	-	-	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9~2	TRA	-	R/W	8 ビットイミディエイトデータ
1	-	-	R	リザーブビット
0	-	-	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

9.1.2 例外事象レジスタ (EXPEVT)

EXPEVT は、H'FFFF FFD4 番地に配置されていて、例外コード 12 ビットから構成されています。EXPEVT に設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。EXPEVT は、ソフトウェアからも変更が可能です。ビット 11~ビット 0 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	EXPEVT	*	R/W	12 ビットの例外コード

【注】 * パワーオンリセット時には H'000 が、マニュアルリセット時には H'020 が設定されます。

9.1.3 割り込み事象レジスタ 2 (INTEVT2)

INTEVT2 は、HA4000000 番地に配置されていて、例外コード 12 ビットから構成されています。INTEVT2 に設定される例外コードは、割り込み要求による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT2 は、ソフトウェアからは変更できません。

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	INTEVT2	-	R	12 ビットの割り込み要求による例外コード

9.2 例外処理の機能

9.2.1 例外処理の流れ

例外処理では、例外処理の後に復帰すべきアドレスおよびステータスレジスタ (SR) の内容をそれぞれ退避プログラムカウンタ (SPC) および退避ステータスレジスタ (SSR) に退避し、ベクタアドレスに従って対応する例外処理ルーチンに制御を渡し、実行します。例外発生時の状態に復帰する場合は、例外処理ルーチンで復帰命令 (RTE) を実行します。これにより SSR の内容が SR に回復され、例外発生時の状態に戻り、その後 SPC に退避されたアドレスに制御を移します。基本的な例外処理の流れは、次のとおりです。

例外要求が発生し、CPU がそれを受け付けると、次の 1.~8. が実行されます。

1. 例外処理の後に、復帰すべき命令のアドレスが SPC に退避されます。
2. SR の内容が、SSR に退避されます。
3. SR のブロックビット (BL) が 1 に設定され、後続の例外要求がマスクされます。
4. SR のレジスタバンクビット (RB) が 1 に設定されます。
5. 例外要因が一般例外の場合は、要因の例外コードが EXPEVT に、例外要因が割り込みの場合は要因の例外コードが INTEVT2 に書き込まれます。
6. TRAPA 命令を実行した場合は、TRA に TRAPA 命令で指定した 8 ビットイミディエイト値が設定されます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

1.~7. は連続して行われ、後述の多重例外受け付けの場合を除き、この期間で別の例外を受け付けることはありません。

一般例外の例外処理ルーチンでは EXPEVT の値から、割り込み処理の例外処理ルーチンでは INTEVT2 の値から例外要因を判定し、必要な例外処理を行ってください。例外処理ルーチンの処理が終了すると、RTE 命令を実行することでプログラムの実行を再開できます。RTE 命令では、次の 1~3 が実行されます。

9. 例外処理

1. SSRに退避された内容をSRに回復し、例外処理前の処理状態に戻ります。
2. RTE命令の遅延スロットの命令を実行します。*
3. SPCに退避されたアドレスへ制御を移します。

1~3は連続して行われ、この期間で別の例外を受け付けることはありません。また、RTE命令の実行前にSPCやSSRを操作することで、例外処理前とは異なった状態に復帰することもできます。

【注】 * RTE遅延スロット命令が実行されるCPU処理モードに関しては、「9.6 使用上の注意事項」を参照してください。

9.2.2 例外処理ベクタアドレス

一般例外の割り込みのベクタアドレスは、ベクタベースアドレスにベクタオフセットの値を加えた値で決めます。一般例外のベクタオフセットは、H'0000 0100です。割り込みのベクタアドレスのオフセットは、H'0000 0600です。ベクタベースアドレスは、ベクタベースレジスタ（VBR）にソフトウェアで設定します。

9.2.3 例外コード

各例外事象を区別するために例外コードが決められており、リセットと一般例外のときにはEXPEVTのビット11~0に、割り込み要求のときにはINTEVT2に書き込まれます。割り込みの例外コード（要因コードの）詳細は、「第10章 割り込みコントローラ（INTC）」を参照してください。リセットおよび一般例外に対する例外コードを表9.1に示します。

9.2.4 例外要求とBLビットの関係（多重例外防止）

SRのBLビットは、リセットや例外の受け付けで1に設定されます。BLビットが1のときは、一般例外の割り込みの受け付けが次のように制限されて、多重に例外が受け付けられるのを防止します。

割り込みの要求は、BLビットが1の間は保留されます。ユーザがBLビットを0にした時点で割り込み要求が受け付けられます。ただし、CPUが低消費電力状態にある場合は、SRのBLビットが1であっても、割り込みを受け付け、低消費電力状態から復帰します。

DMAアドレスエラーも同様にBLビットが1の間は保留され、BLビットが0になった時点で例外要求が受け付けられます。一方、BLビットが1の期間中に生じたユーザブレイク要求は無視され、保留されません。したがって、BLビットを0にしても、要求された例外は、受け付けられません。

BLビットが1の期間にDMAアドレスエラーおよびユーザブレイク以外の一般例外要求が生じた場合には、CPUはリセット後の状態と同じになり、リセットベクタ（H'A0000000）へ処理を移行します（多重例外）。ただし、これは通常のリセットとは異なり、CPU以外のモジュールは初期化されず、EXPEVT、SPC、およびSSRの値は、不定となります。また、LSI外部でこの状態を検出することもできません。

例外処理を多重に受け付け可能にするためには、例外受け付け後にBLビットが1の間にSPCとSSRを退避させ、その後SRのBLビットを0でクリアします。SPCとSSRを回復する場合には、これらを回復する前にSRのBLビットを1に設定してください。

9.2.5 例外要因の受け付けタイミングと優先順位

(1) 命令同期型・命令非同期型例外要求

リセットおよび割り込みは、プログラムの流れに関係無く非同期に入る例外要求です。一般例外の内、DMA アドレスエラーと或る条件下でのユーザブレークも非同期の例外要求となります。これらの例外要求は、その要求をどの命令で受け付けるかを予測することはできません。

その他の一般例外は、その例外要求に対応する命令が一意に決定します。

(2) 再実行型、完了型例外

すべての例外は、再実行型および完了型の2種類に分類されます。再実行型の例外を受け付けると、例外を受け付けた命令の実行を中断し、そのアドレスをSPCに退避します。例外処理から復帰すると、例外を生じた命令から実行を再開します。完了型例外では、例外を受け付けた命令の実行を完了し、次の命令のアドレスを退避して例外処理を実行します。

ただし、遅延分岐命令と遅延スロットの間では、次のように処理されます。遅延スロットで検出された再実行型例外は、遅延分岐命令実行前に受け付けられます。遅延分岐命令または遅延スロットで検出された完了型例外は、遅延分岐命令実行後、分岐先命令の実行前に受け付けられます。ここでいう遅延スロットとは、遅延無条件分岐命令の次の命令や、遅延条件分岐命令が成立するときの次の命令を示します。遅延条件分岐で分岐しなかった場合は、通常と同じように処理されます。

(3) 優先順位と判定順位

すべての例外要求は、2つ以上の例外が同時に発生したときに受け付ける優先順位が決められています。リセット、一般例外、および割り込みの例外要求は、ここで挙げられた順位で優先順位が高くなっています。リセットは、CPUがいかなる状態にあるかと受け付けられます。また、割り込みは、リセットや一般例外の要求がない場合に限り受け付けられます。

同一の命令で複数の一般例外要求が生じる場合は、次の順序で判定されます。

1. 直前の命令で生じた完了型例外*
2. 命令実行前ユーザブレーク【再実行型】
3. 命令フェッチに関する例外 (CPUアドレスエラー)【再実行型】
4. 命令デコードの結果生じる例外 (一般不当命令例外、スロット不当命令例外【再実行型】、および無条件トラップ【完了型】)
5. データアクセスに関する例外 (CPUアドレスエラー)【再実行型】
6. 無条件トラップ【完了型】
7. 命令実行前以外のユーザブレーク【完了型】
8. DMAアドレスエラー【完了型】

【注】 * ある命令で完了型例外を受け付けた場合は、次の命令の実行前に例外処理に移行しますが、この処理は次の命令で生じる例外の判定を行う前に優先して処理されます。

9. 例外処理

一度に受け付けることのできる例外要求は1個ですが、順次、例外要求を受け付けていくことですべての例外要求を処理することができます。

表 9.1 例外事象一覧

例外種別	実行命令の終了状態	例外事象	優先順位 *1	判定順位	BL = 1 ときの 処理	例外要因 コード	ベクタ オフセット
リセット (命令 非同期)	中断	パワーオンリセット	1	1	リセット	H'000	-
		マニュアルリセット	1	2	リセット	H'020	-
		H-UDI リセット	1	1	リセット	H'000	-
一般例外 (命令 同期)	再実行	ユーザブレイク (命令実行前)	2	0	無視	H'1E0	H'00000100
		CPU アドレスエラー (命令アクセス)*4	2	1	リセット	H'0E0	H'00000100
		一般不当命令例外	2	2	リセット	H'180	H'00000100
		スロット不当命令例外	2	2	リセット	H'1A0	H'00000100
		CPU アドレスエラー (データ読み出し/書き込み)*4	2	3	リセット	H'0E0/H'100	H'00000100
	完了	無条件トラップ (TRAPA 命令)	2	4	リセット	H'160	H'00000100
		ユーザブレイク (命令実行後、アドレス)	2	5	無視	H'1E0	H'00000100
一般例外 (命令 非同期)	完了	ユーザブレイク (データブレイク、I-BUS ブレイク)	2	5	無視	H'1E0	H'00000100
		DMA アドレスエラー	2	6	保留	H'5C0	H'00000100
割り込み (命令 非同期)	完了	各種割り込み要求	3	- *2	保留	- *3	H'00000600

【注】 *1 優先順位は、高い方から低い方に1から3で指定されます。リセットは、すべての要求に優先します。割り込みは、一般例外要求が無い場合のみ受け付けることができます。

*2 複数の割り込み要因間の優先順位は、「第10章 割り込みコントローラ (INTC)」を参照してください。

*3 割り込みを受理しても例外事象レジスタ (EXPEVT) の値は変化せず、割り込み要因レジスタ (INTEVT2) に割り込み要求元を示すコートが設定されます。「第10章 割り込みコントローラ (INTC)」を参照してください。

*4 リピートループ中の特定の箇所ではこれらの例外が発生すると特殊な例外コードおよび特殊なベクタオフセットになる場合があります。

9.3 個別例外の動作説明

個別の例外処理動作について、発生条件および発生時のプロセッサの動作を説明します。本節では、リセットおよび一般例外について述べます。割り込みの動作に関しては、「第 10 章 割り込みコントローラ (INTC)」を参照してください。

9.3.1 リセット

(1) パワーオンリセット

条件：

パワーオンリセット要求

動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

条件：

マニュアルリセット要求

動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行ったのちリセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

(3) H-UDI リセット

条件：

H-UDIリセットコマンド入力(「15.4.4 H-UDIリセット」を参照)

動作：

EXPEVTにH'000をセットし、VBR、SRの初期化を行い、PC = H'A0000000に分岐します。

初期化により、VBRレジスタはH'00000000にセットされます。SRは、BLビット、RBビットが1にセットされ、割り込みマスクビット(I3~I0)が1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、関連する章のレジスタの説明を参照してください。

9. 例外処理

表 9.2 リセットの種類

種 類	リセット状態への遷移条件	内部状態	
		CPU	内蔵周辺モジュール
パワーオンリセット	/RESETP = ローレベル	初期化	(各章のレジスタ構成を参照)
マニュアルリセット	/RESETM = ローレベル		
H-UDI リセット	H-UDI リセットコマンド入力		

9.3.2 一般例外

(1) CPU アドレスエラー

条件：

- 奇数アドレス ($4n+1$, $4n+3$) から命令フェッチ
- ワードデータをワード境界以外 ($4n+1$, $4n+3$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス
- ユーザモードで論理空間のH'80000000 ~ H'FFFFFFFの領域をアクセス

種別：

命令同期、再実行型

回避アドレス：

命令フェッチの場合： 本例外を発生させた命令フェッチ先のアドレス。

データアクセスの場合： 本例外を発生させた命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合： H'0E0

書き込みで発生した場合： H'100

特記：

なし

(2) 一般不当命令例外

条件：

- 遅延分岐命令の遅延スロット以外で、命令の定義されていない命令コード（未定義コード）を実行した場合
- 遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

【注】 未定義コードについては、「SH3/SH-3E/SH3-DSP ソフトウェアマニュアル」を参照してください。ただし、命令コード H'FC00 ~ H'FFFF の未定義コードの例外処理動作のみを保証し、その他の未定義コードでは動作を保証しません。

種別：

命令同期、再実行型

退避アドレス：

本例外を発生させた命令のアドレス

例外コード：

H'180

特記：

なし

(3) スロット不当命令例外

条件：

- 遅延スロットにある未定義コードをデコードした場合
遅延分岐命令：JMP、JSR、BRA、BRA_F、BSR、BSR_F、RTS、RTE、BT/S、BF/S
- 遅延スロット内でPCを書き換える命令をデコードした場合
PCを書き換える命令：JMP、JSR、BRA、BRA_F、BSR、BSR_F、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、
LDC Rm,SR、LDC.L @Rm+,SR

種別：

命令同期、再実行型

退避アドレス：

遅延分岐命令が配置されたアドレス

例外コード：

H'1A0

特記：

なし

(4) 無条件トラップ

条件：

TRAPA命令の実行

種別：

命令同期、完了型

退避アドレス：

TRAPA命令の次命令のアドレス

例外コード：

H'160

9. 例外処理

特記：

完了型の例外のため、TRAPA命令の次命令のアドレスをSPCに退避します。TRAPA命令中の8ビットのイミディエイト値をTRA[9:2]に設定します。

(5) ユーザブレイクポイントトラップ

条件：

ユーザブレイクコントローラに設定したブレイク条件が成立した場合

種別：

命令実行前ブレイク (Lバス) の場合： 命令同期、再実行型。

オペランドブレイク (Lバス) の場合： 命令同期、完了型。

データブレイク (Lバス) の場合： 命令非同期、完了型。

Iバスでのブレイクの場合： 命令非同期、完了型。

退避アドレス：

再実行型の場合： ブレイク成立命令のアドレス。

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

完了型の場合： ブレイク要求を受け付けた命令の次命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレス。

例外コード：

H'1E0

特記：

ユーザブレイクコントローラの詳細は、「第11章 ユーザブレイクコントローラ (UBC)」を参照してください。

(6) DMA アドレスエラー

条件：

- ワードデータをワード境界以外 ($4n+1$ 、 $4n+3$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$ 、 $4n+2$ 、 $4n+3$) からアクセス

種別：

命令非同期、完了型

退避アドレス：

本例外を受け付けた命令の次命令のアドレスが退避されます。ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレスが退避されます。

例外コード：

H'5C0

特記：

ダイレクトメモリアクセスコントローラ (DMAC) に上記条件に該当する不正なアドレスが設定され、実際の転送動作が行われた際に例外要求が生じます。DMACの転送動作は、CPUの命令動作とは非同期に行われるため、例外要求も命令非同期になります。DMACの動作の詳細は、「第13章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

9.4 DSP 拡張機能有効時の例外処理

DSP 拡張機能が有効 (SR レジスタの DSP ビットが 1) のとき、例外処理の受け付け条件や例外処理が変更されるものがあります。

9.4.1 不当命令例外、スロット不当命令例外

DSP モードでは、DSP 拡張命令を実行することが可能になります。逆に、SR レジスタの DSP ビットが 0 のときにこれらの命令コードを実行しようとする、不当命令例外になります。

9.4.2 リピート制御中の例外

リピート制御中に発生する例外要求に対する扱いや例外を受け付けた際の処理は、通常の状態とは異なり、場合によっては例外を受け付けなかったり、受け付けても正しく復帰できなかったりする場合があります。この制約は、リピートカウンタが 1 以上で、リピート検出命令からリピート最終命令までの間の命令で生じる場合があります。本節では、この期間をリピート制御中と呼びます。以下に、リピートループ中の命令数が 4 以上、3、2、および 1 の場合のプログラム例を示します。本節では、リピート検出命令やその命令アドレスを RptDtct と記述します。同様に、リピート検出命令の 1,2,および 3 命令先の命令やその命令アドレスをそれぞれ RptDtct1, RptDtct2, および RptDtct3 と記述します。

また、下記例中の【A】、【B】、【C1】、および【C2】は、各種の制約が生じる命令を表します。表 9.2 にその概要を示します。

表 9.3 リピートループ中の命令位置と制約の種類

命令位置	SPC ^{*1}	不当命令 ^{*2}	割り込み、ブレイク等 ^{*3}	CPU アドレスエラー ^{*4}
【A】				
【B】			保留	
【C1】		追加	保留	命令 / データ
【C2】	不正	追加	保留	命令 / データ

【注】 *1 SR.RC[11:0] ≥ 2 の場合に例外が発生すると、SPC に特殊なアドレスが設定されます。

*2 SR.RC[11:0] ≥ 1 の場合に不当命令になり得る命令種が増えます。

*3 SR.RC[11:0] ≥ 1 の場合に、割り込みやブレイク、DMA アドレスエラーの要求が保留されます。

*4 SR.RC[11:0] ≥ 1 の場合に、特殊な例外コードが設定されます。

9. 例外処理

- (例1) 4命令以上のリピートループ

```
LDRS RptStart      ; 【A】
LDRE RptDtct+4    ; 【A】
SETRC #4          ; 【A】
instr0            ; 【A】
RptStart: instr1   ; 【A】 【リピート開始命令】
.....          ; 【A】
.....          ; 【A】
RptDtct: RptDtct  ; 【B】 リピート最終命令から 3 命令前の命令がリピート検出命令になります。
RptDtct1         ; 【C1】
RptDtct2         ; 【C2】
RptEnd: RptDtct3  ; 【C2】 【リピート最終命令】
instrNext       ; 【A】
```

- (例2) 3命令リピートループ

```
LDRS RptDtct+4    ; 【A】
LDRE RptDtct+4    ; 【A】
SETRC #4          ; 【A】
RptDtct: RptDtct  ; 【B】 リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: RptDtct1 ; 【C1】 【リピート開始命令】
RptDtct2         ; 【C2】
RptEnd: RptDtct3  ; 【C2】 【リピート最終命令】
instrNext       ; 【A】
```

- (例3) 2命令リピートループ

```
LDRS RptDtct+6    ; 【A】
LDRE RptDtct+4    ; 【A】
SETRC #4          ; 【A】
RptDtct: RptDtct  ; 【B】 リピート開始命令の直前の命令がリピート検出命令になります。
RptStart: RptDtct1 ; 【C1】 【リピート開始命令】
RptEnd: RptDtct2  ; 【C2】 【リピート最終命令】
instrNext       ; 【A】
```


• (例4) 1命令リピートループ

```

LDRS RptDtct+8 ; 【A】
LDRE RptDtct+4 ; 【A】
SETRC #4 ; 【A】
RptDtct: RptDtct ; 【B】リピート開始命令の直前の命令がリピート検出命令になります。
RptStart:
RptEnd: RptDtct1 ; 【C1】【リピート開始命令】==【リピート最終命令】
instrNext ; 【A】

```

(1) リピート制御中の例外で退避される SPC

リピート制御中に例外を受け付け、SRレジスタのリピートカウンタ(RC[11:0])が2以上である場合は、退避されるアドレスが復帰すべき値を正しく示さない場合があります。また、例外処理から復帰した際にリピート制御を正しく再実行するには、その復帰アドレスはリピート検出命令以前である必要があります。したがって、リピート制御中に例外を受け付けた場合は、リピート検出命令での再実行型例外を除き、正しくリピート制御に復帰することはできません。

表 9.4 リピート制御中に生じた再実行型例外に対するの SPC の値 (SR.RC[11:0]>=2 の場合)

例外発生命令	リピートループ中の命令数			
	1	2	3	>=4
RptDtct	RptDtct	RptDtct	RptDtct	RptDtct
RptDtct1	RptDtct1	RptDtct1	RptDtct1	RptDtct1
RptDtct2	-	RptDtct1	RptDtct1	RS-4
RptDtct3	-	-	RptDtct1	RS-2

【注】 ここでは、次のラベルを使用しています。

RptDtct : リピート検出命令のアドレス

RptDtct1 : リピート検出命令の 1 命令後の命令アドレス (1、2、3 命令リピートでは RptStart です。)

RptDtct2 : リピート検出命令の 2 命令後の命令アドレス。

RptDtct3 : リピート検出命令の 3 命令後の命令アドレス。

RS : リピート開始命令のアドレス。

表中の網掛けの箇所での再実行型の例外処理がなされた場合は、本来退避されるべきアドレスと異なったアドレスが SPC に退避されます。SR.RC[11:0]が1または0の場合は、正しいアドレスが退避されます。

9. 例外処理

(2) リピート制御中の不当命令例外

リピート制御中の RptDct1 以降の命令において下記の命令を使用すると一般不当命令例外が発生します。SPC に退避されるアドレスは「9.4.2(1) リピート制御中の例外で退避される SPC」を参照してください。

- 分岐命令

BRA, BSR, BT, BF, BT/S, BF/S, BSRF, RTS, BRAF, RTE, JSR, JMP, TRAPA

- リピート制御命令

SETRC, LDRS, LDRE

- SR, RS, REに対するロード命令

LDC Rn,SR, LDC @Rn+,SR, LDC Rn,RE, LDC @Rn+,RE, LDC Rn,RS, LDC @Rn+,RS

【注】 1~3命令のリピートループの場合はリピートループ中の全命令が、4命令以上のリピートループの場合はリピート終了命令を含む3命令がこの制約の範囲となります。

(3) リピート制御中に保留される例外要求

リピート制御中、割り込みや一部の例外要求はその受け付けを保留し、例外処理から復帰できない命令で例外を受け付けることを防止しています。リピートループのプログラム(例1)~(例4)を参照してください。【B】および【C】(【C1】または【C2】)と記した命令で発生した例外は、それぞれ次のように処理されます。

- 割り込み、DMAアドレスエラー

【B】の命令および【C】の命令とも、例外を受け付けず、また、要求も保存されません。次に【A】の命令を実行したときに改めて要求を検出し、受け付けます*。(例1)~(例4)に示されるように、4命令以下のリピートループの実行中には、割り込みおよびDMAアドレスエラーは受け付けられません。

【注】 * CPUが受け付け可能な状態になるまで、割り込みコントローラ(INTC)やダイレクトメモリアクセスコントローラ(DMAC)で要求が保存されます。

- 実行前ユーザブ레이크

【B】の命令では受け付けられ、SPCに【B】の命令のアドレスがセットされます。【C】の命令では受け付けられませんが、要求は保存され、次に【A】の命令、あるいは【B】の命令が実行される際にその命令の実行前に受け付けられます。このときのSPCはその【A】あるいは【B】の命令のアドレスになります。

- 実行後ユーザブ레이크

【B】の命令、【C】の命令とも、例外は受け付けられませんが、要求は保存され、次に【A】の命令あるいは【B】の命令を実行する際に、その命令の実行前に受け付けられます。このときのSPCはその【A】あるいは【B】の命令のアドレスになります。

表 9.5 リピートループでの例外受け付けの制限

	B の命令	C の命令
割り込み	受け付けません	受け付けません
DMA アドレスエラー	受け付けません	受け付けません
実行前ユーザブレイク	受け付けます	受け付けません
実行後ユーザブレイク	受け付けません	受け付けません

(4) リピート制御中の CPU アドレスエラー

リピート制御中に CPU アドレスエラーが発生した場合は、例外を受け付けますが、リピートループ中であることを示す例外コード (H'070) が EXPEVT に設定されます。リピート検出命令の次命令からリピート最終命令においては命令アクセスおよびデータアクセスに対する例外がこの例外コードを生成します。

また、SPC に退避されるアドレスは「9.4.3 (1) リピート制御中の例外で退避される SPC」に準じて設定されます。

この例外が生じた場合は、例外処理の後リピート制御に正しく復帰することができません。リピートループを正しく実行するには、リピート制御中に CPU アドレスエラーが発生しないようにしてください。

【注】 1~3 命令のリピートループの場合はリピート検出命令およびリピートループ中の全命令が、4 命令以上のリピートループの場合はリピート終了命令を含む 3 命令がこの制約の範囲となります。SR.RC[11:0]>=1 の場合に、この制約が生じます。

表 9.6 リピート制御中のメモリアccess例外で特殊な例外を生じる命令 (SR.RC[11:0]>=1)

例外発生命令	リピートループ中の命令数			
	1	2	3	>=4
RptDtct				
RptDtct1	命令 / データアクセス	命令 / データ	命令 / データ	命令 / データ
RptDtct2	-	命令 / データ	命令 / データ	命令 / データ
RptDtct3	-	-	命令 / データ	命令 / データ

【注】 ここでは、次のラベルを使用しています。

RptDtct : リピート検出命令

RptDtct1 : リピート検出命令の 1 命令後の命令

RptDtct2 : リピート検出命令の 2 命令後の命令

RptDtct3 : リピート検出命令の 3 命令後の命令

9.5 LSI 内部の初期化における注意事項

本 LSI は、電源投入時にのみソフトウェアによる初期化を必要とします。パワーオンリセット直後に以下の命令列を実行してください。

なお、本プログラムは、CPU の汎用レジスタを上書きします。あらかじめ必要なレジスタは、以下の命令列を実行する前に退避してください。

```
;-----  
; Intialization of sh7641 for power-on reset  
;-----  
; ATTENTION:  
; 1. Please execute below instructions on power-on reset.  
; 2. This routine would overwrite the general registers on the CPU.  
; 3. Do not modify these codes.  
;-----  
  
    MOV.L    #H'A5007000,R4;  
    MOV.L    #H'A5008000,R5;  
    MOV.L    #H'A5017000,R6;  
    MOV.L    #H'A5018000,R7;  
    MOV.L    @R4,R0;  
    MOV.L    @R5,R0;  
    MOV.L    @R6,R0;  
    MOV.L    @R7,R0;  
;  
    MOV.W    #H'FF40,R10;  
    MOV.L    #H'A4FC0000,R8;  
    MOV      #H'10,R9;  
    MOV.B    R10,@R10;  
    MOV.B    R10,@R10;  
    MOV.B    R10,@R10;  
    MOV.L    R9,@R8;  
;  
    MOV.L    #H'FC000000,R1;  
    MOV.W    @R1,R0;  
;  
    MOV      #H'00,R9;  
    MOV.B    R10,@R10;  
    MOV.B    R10,@R10;
```

```
MOV.B    R10, @R10;  
MOV.L    R9, @R8;
```

9.6 使用上の注意事項

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰された後に実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後のSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレークの受け付けは行われません。
3. LDC命令によりSRレジスタのBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みおよびDMAアドレスエラーに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

EOL Product

10. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

10.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を16レベル設定可能

割り込み優先レベル設定レジスタにより、内蔵周辺モジュール、IRQ割り込みの優先順位を割り込み要求元別に16レベルまで設定することができます。

- NMIノイズキャンセル機能

$\overline{\text{NMI}}$ 端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- IRQ割り込みを設定可能

ローレベル、立ち上がり、立ち下がり、ハイレベル

- 割り込みの禁止・許可を設定可能

割り込みマスク・レジスタ、割り込みマスク・クリアレジスタを持ち、割り込み要因別に割り込みを禁止または許可することができます。

割り込みコントローラのブロック図を図 10.1 に示します。

10. 割り込みコントローラ (INTC)

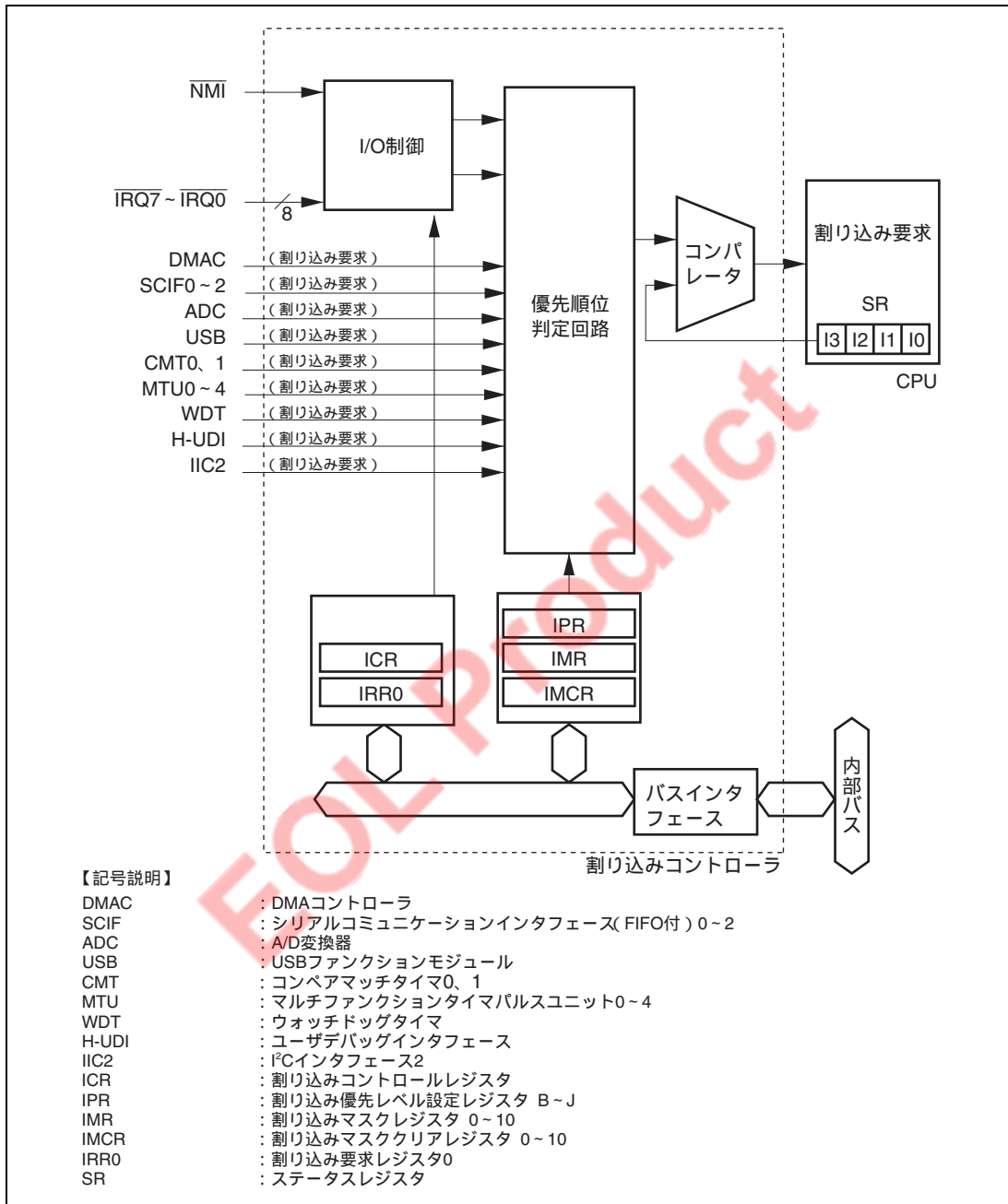


図 10.1 割り込みコントローラブロック図

10.2 入出力端子

割り込みコントローラの端子構成を表 10.1 に示します。

表 10.1 端子構成

名 称	略語	入出力	内 容
ノンマスク割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号の入力
割り込み入力端子	IRQ7~IRQ0	入力	割り込み要求信号の入力

10.3 レジスタの説明

割り込みコントローラには、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については、「第 24 章 レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ0 (ICR0)
- 割り込みコントロールレジスタ1 (ICR1)
- 割り込みコントロールレジスタ3 (ICR3)
- 割り込み優先レベル設定レジスタB (IPRB)
- 割り込み優先レベル設定レジスタC (IPRC)
- 割り込み優先レベル設定レジスタD (IPRD)
- 割り込み優先レベル設定レジスタE (IPRE)
- 割り込み優先レベル設定レジスタF (IPRF)
- 割り込み優先レベル設定レジスタG (IPRG)
- 割り込み優先レベル設定レジスタH (IPRH)
- 割り込み優先レベル設定レジスタI (IPRI)
- 割り込み優先レベル設定レジスタJ (IPRJ)
- 割り込み要求レジスタ0 (IRR0)
- 割り込みマスクレジスタ0 (IMR0)
- 割り込みマスクレジスタ1 (IMR1)
- 割り込みマスクレジスタ2 (IMR2)
- 割り込みマスクレジスタ4 (IMR4)
- 割り込みマスクレジスタ5 (IMR5)
- 割り込みマスクレジスタ6 (IMR6)
- 割り込みマスクレジスタ7 (IMR7)
- 割り込みマスクレジスタ8 (IMR8)
- 割り込みマスクレジスタ9 (IMR9)

10. 割り込みコントローラ (INTC)

- 割り込みマスクレジスタ10 (IMR10)
- 割り込みマスククリアレジスタ0 (IMCR0)
- 割り込みマスククリアレジスタ1 (IMCR1)
- 割り込みマスククリアレジスタ2 (IMCR2)
- 割り込みマスククリアレジスタ4 (IMCR4)
- 割り込みマスククリアレジスタ5 (IMCR5)
- 割り込みマスククリアレジスタ6 (IMCR6)
- 割り込みマスククリアレジスタ7 (IMCR7)
- 割り込みマスククリアレジスタ8 (IMCR8)
- 割り込みマスククリアレジスタ9 (IMCR9)
- 割り込みマスククリアレジスタ10 (IMCR10)

10.3.1 割り込み優先レベル設定レジスタ B~J (IPRB~IPRJ)

IPRB~IPRJ は、内蔵周辺モジュール、IRQ 割り込みに対して 0~15 までの優先順位レベルをセットする 16 ビットの読み出し/書き込みレジスタです。これらのレジスタはパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説 明
15	IPR15	0	R/W	4 ビット単位で、各割り込み要因の割り込み優先レベルを設定します。詳細は表 10.2 割り込み要求要因と IPRB~IPRJ を参照してください。
14	IPR14	0	R/W	
13	IPR13	0	R/W	
12	IPR12	0	R/W	
11	IPR11	0	R/W	
10	IPR10	0	R/W	
9	IPR9	0	R/W	
8	IPR8	0	R/W	
7	IPR7	0	R/W	
6	IPR6	0	R/W	
5	IPR5	0	R/W	
4	IPR4	0	R/W	
3	IPR3	0	R/W	
2	IPR2	0	R/W	
1	IPR1	0	R/W	
0	IPR0	0	R/W	

表 10.2 割り込み要求要因と IPRB ~ IPRJ

レジスタ名	ビット 15~12	ビット 11~8	ビット 7~4	ビット 3~0
IPRB	WDT	リザーブ*	リザーブ*	リザーブ*
IPRC	IRQ3	IRQ2	IRQ1	IRQ0
IPRD	IRQ7	IRQ6	IRQ5	IRQ4
IPRE	リザーブ*	SCIF0	SCIF1	ADC 0
IPRF	ADC1	SCIF2	USB	CMT
IPRG	MTU0 (A/B/C/D)	MTU0 (V)	MTU1 (A/B)	MTU1 (V/U)
IPRH	MTU2 (A/B)	MTU2 (V/U)	MTU3 (A/B/C/D)	MTU3 (V)
IPRI	MTU4 (A/B/C/D)	MTU4 (V)	POE	IIC2
IPRJ	DMAC0	DMAC1	DMAC2	DMAC3

【注】 * リザーブ：読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 10.2 に示すように、各レジスタには 4 組の内蔵周辺モジュール、または IRQ 割り込みが割り当てられます。4 ビットグループ (ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0) は、H'0 (0000) ~ HF (1111) の値に設定することができます。設定 H'0 は優先順位レベル 0 (要求マスク) を意味し、HF は優先順位レベル 15 (最高レベル) です。

10.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は外部割り込み入力端子 $\overline{\text{NMI}}$ の入力検出モードを設定し、 $\overline{\text{NMI}}$ 端子に対する入力信号レベルを示します。ICR0 はパワーオンリセットまたはマニュアルリセット時に H'0000 または H'8000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI 入力レベル $\overline{\text{NMI}}$ 端子に信号の入力レベルをセットします。このビットを読み出して $\overline{\text{NMI}}$ 端子レベルを判断することができます。このビットは、変更不可能です。 0 : $\overline{\text{NMI}}$ 入力レベルはロー 1 : $\overline{\text{NMI}}$ 入力レベルはハイ
14~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジ選択 $\overline{\text{NMI}}$ 入力の立ち下りまたは立ち上がりエッジのどちらで割り込み要求信号を検出するかを選択します。 0 : $\overline{\text{NMI}}$ 入力の立ち下りエッジで割り込み要求信号を検出 1 : $\overline{\text{NMI}}$ 入力の立ち上りエッジで割り込み要求信号を検出
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * $\overline{\text{NMI}}$ 入力が高レベル時は 1、 $\overline{\text{NMI}}$ 入力が Low レベル時は 0 になります。

10. 割り込みコントローラ (INTC)

10.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 $\overline{IRQ5} \sim \overline{IRQ0}$ に対して立上りエッジ、立下りエッジ、ローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。ICR1 はパワーオンリセット、マニュアルリセット時に H'4000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明																		
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																		
14	IRQE*	1	R/W	割り込み要求イネーブル $\overline{IRQ7} \sim \overline{IRQ0}$ 端子を 8 本の独立した割り込み端子として使用許可 / 禁止を選択します。 0 : 8 本の独立した割り込み端子 $\overline{IRQ7} \sim \overline{IRQ0}$ として使用許可 1 : $\overline{IRQ7} \sim \overline{IRQ0}$ 端子は割り込み端子として使用禁止																		
13	-	0	R	リザーブビット																		
12	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																		
11	IRQ51S	0	R/W	IRQn センスセレクト $\overline{IRQ5} \sim \overline{IRQ0}$ 端子に対する割り込み信号を立下りエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するかを選択します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ビット 2n+1</th> <th>ビット 2n</th> <th></th> </tr> <tr> <th>IRQn1S</th> <th>IRQn0S</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>割り込み要求を \overline{IRQn} 入力の立ち下がりエッジで検出する</td> </tr> <tr> <td>0</td> <td>1</td> <td>割り込み要求を \overline{IRQn} 入力の立ち上がりエッジで検出する</td> </tr> <tr> <td>1</td> <td>0</td> <td>割り込み要求を \overline{IRQn} 入力のローレベルで検出する</td> </tr> <tr> <td>1</td> <td>1</td> <td>割り込み要求を \overline{IRQn} 入力のハイレベルで検出する</td> </tr> </tbody> </table>	ビット 2n+1	ビット 2n		IRQn1S	IRQn0S		0	0	割り込み要求を \overline{IRQn} 入力の立ち下がりエッジで検出する	0	1	割り込み要求を \overline{IRQn} 入力の立ち上がりエッジで検出する	1	0	割り込み要求を \overline{IRQn} 入力のローレベルで検出する	1	1	割り込み要求を \overline{IRQn} 入力のハイレベルで検出する
ビット 2n+1	ビット 2n																					
IRQn1S	IRQn0S																					
0	0	割り込み要求を \overline{IRQn} 入力の立ち下がりエッジで検出する																				
0	1	割り込み要求を \overline{IRQn} 入力の立ち上がりエッジで検出する																				
1	0	割り込み要求を \overline{IRQn} 入力のローレベルで検出する																				
1	1	割り込み要求を \overline{IRQn} 入力のハイレベルで検出する																				
10	IRQ50S	0	R/W																			
9	IRQ41S	0	R/W																			
8	IRQ40S	0	R/W																			
7	IRQ31S	0	R/W																			
6	IRQ30S	0	R/W																			
5	IRQ21S	0	R/W																			
4	IRQ20S	0	R/W																			
3	IRQ11S	0	R/W																			
2	IRQ10S	0	R/W																			
1	IRQ01S	0	R/W																			
0	IRQ00S	0	R/W																			

【記号説明】 n=0~5

【注】 * リセット後の初期化ルーチンで必ず IRQE ビットを 0 に設定し、以後本ビットを変更しないでください。

10.3.4 割り込みコントロールレジスタ 3 (ICR3)

ICR3 は、外部割り込み入力端子 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ6}}$ に対して立ち上りエッジ、立ち下りエッジ、ローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。ICR3 はパワーオンリセット、マニュアルリセット時に H'0000 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明																	
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																	
3	IRQ71S	0	R/W	IRQn センスセレクト $\overline{\text{IRQ7}} \sim \overline{\text{IRQ6}}$ 端子に対する割り込み信号を立ち下りエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するかを選択します。																	
2	IRQ70S	0	R/W																		
1	IRQ61S	0	R/W																		
0	IRQ60S	0	R/W																		
<table border="1"> <thead> <tr> <th>ビット 2n+1</th> <th>ビット 2n</th> <th></th> </tr> </thead> <tbody> <tr> <td>IRQn1S</td> <td>IRQn0S</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち下りエッジで検出する</td> </tr> <tr> <td>0</td> <td>1</td> <td>割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで検出する</td> </tr> <tr> <td>1</td> <td>0</td> <td>割り込み要求を $\overline{\text{IRQn}}$ 入力のローレベルで検出する</td> </tr> <tr> <td>1</td> <td>1</td> <td>割り込み要求を $\overline{\text{IRQn}}$ 入力のハイレベルで検出する</td> </tr> </tbody> </table>					ビット 2n+1	ビット 2n		IRQn1S	IRQn0S		0	0	割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち下りエッジで検出する	0	1	割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで検出する	1	0	割り込み要求を $\overline{\text{IRQn}}$ 入力のローレベルで検出する	1	1
ビット 2n+1	ビット 2n																				
IRQn1S	IRQn0S																				
0	0	割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち下りエッジで検出する																			
0	1	割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで検出する																			
1	0	割り込み要求を $\overline{\text{IRQn}}$ 入力のローレベルで検出する																			
1	1	割り込み要求を $\overline{\text{IRQn}}$ 入力のハイレベルで検出する																			
【記号説明】 n=6, 7																					

10. 割り込みコントローラ (INTC)

10.3.5 割り込み要求レジスタ 0 (IRR0)

IRR0 は、外部入力端子 $\overline{IRQ7}$ ~ $\overline{IRQ0}$ からの割り込み要求を示す 8 ビットレジスタです。IRR0 はパワーオンリセットまたはマニュアルリセットで H'00 に初期化されますが、スタンバイモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	IRQ7R	0	R/W	IRQn 割り込み要求 \overline{IRQn} 端子に割り込み要求が入力されているかを示します。 \overline{IRQn} 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQnR ビットの 1 を読み出した後に、0 を書き込むことでクリアされます。 \overline{IRQn} 端子がレベル検出モードに設定されている場合、割り込み要求が入力されているかどうかを示します。 \overline{IRQn} 端子の入力値でのみ、セット/クリアすることができます。 IRQnR 0 : \overline{IRQn} 端子に割り込み要求なし 1 : \overline{IRQn} 端子に割り込み要求あり 【記号説明】 n=0~7
6	IRQ6R	0	R/W	
5	IRQ5R	0	R/W	
4	IRQ4R	0	R/W	
3	IRQ3R	0	R/W	
2	IRQ2R	0	R/W	
1	IRQ1R	0	R/W	
0	IRQ0R	0	R/W	

10.3.6 割り込みマスクレジスタ 0~10 (IMR0~10)

IMR0~IMR10 は、読み出し/書き込み可能な 8 ビットのレジスタで、IRQ および内蔵周辺モジュール割り込み要求をマスク設定します。割り込み要因をマスク設定する際、IRQ および周辺モジュールの動作状態によっては割り込み要求を誤検出する場合があります。これを避けるため、割り込みが発生しない状態で割り込み要因マスクレジスタ (IMR) を設定し、かつ設定後に読み出しを実行してください。

表 10.3 に本レジスタと各割り込み要因の関係を示します。

ビット	ビット名	初期値	R/W	説明									
7	IM7	0	R/W	割り込みマスク 割り込み要因と割り込みマスクレジスタの対応関係を表 10.3 に示します。 <table border="1"> <thead> <tr> <th>IMn</th> <th>リード時</th> <th>ライト時</th> </tr> </thead> <tbody> <tr> <td>1</td> <td colspan="2">該当ビットの割り込み要因をマスクする</td> </tr> <tr> <td>0</td> <td>マスクしない</td> <td>なにもしない</td> </tr> </tbody> </table> 【記号説明】 n=7~0	IMn	リード時	ライト時	1	該当ビットの割り込み要因をマスクする		0	マスクしない	なにもしない
IMn	リード時	ライト時											
1	該当ビットの割り込み要因をマスクする												
0	マスクしない	なにもしない											
6	IM6	0	R/W										
5	IM5	0	R/W										
4	IM4	0	R/W										
3	IM3	0	R/W										
2	IM2	0	R/W										
1	IM1	0	R/W										
0	IM0	0	R/W										

表 10.3 割り込み要因と IMR0 ~ IMR10 の対応

レジスタ名	ビット名 (機能名)							
	7	6	5	4	3	2	1	0
IMR0	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
	(IRQ)							
IMR1	TxI0	BRI0	RxI0	ERI0	DEI3	DEI2	DEI1	DEI0
	(SCIF0)				(DMAC)			
IMR2	-	-	-	ADI0	TxI1	BRI1	RxI1	ERI1
	(ADC0)				(SCIF1)			
IMR4	-	-	-	-	ITI	-	-	-
	-				WDT			
IMR5	TxI2	BRI2	RxI2	ERI2	ADI1	USIHP	USI1	USI0
	(SCIF2)				(ADC1)	(USB)		
IMR6	TCI2U	TCI2V	TGI2B	TGI2A	TCI1U	TCI1V	TGI1B	TGI1A
	(MTU2)				(MTU1)			
IMR7	-	-	-	TCI0V	TGI0D	TGI0C	TGI0B	TGI0A
	(MTU0)							
IMR8	-	-	-	TCI3V	TGI3D	TGI3C	TGI3B	TGI3A
	(MTU3)							
IMR9	-	-	-	TCI4V	TGI4D	TGI4C	TGI4B	TGI4A
	(MTU4)							
IMR10	-	-	CM11	CM10	IIC2I	-	-	OEI
	(CMT)				(IIC2)		(POE)	

【注】 - はリザーブビットです。読み出し値は保証しません。

10.3.7 割り込みマスククリアレジスタ 0 ~ 10 (IMCR0 ~ 10)

IMCR0 ~ IMCR10 は、書き込み可能な 8 ビットのレジスタで、IRQ および内蔵周辺モジュール割り込み要求のマスク設定をクリアします。表 10.4 に本レジスタと各割り込み要因の関係を示します。

ビット	ビット名	初期値	R/W	説明						
7	IMC7	-	W	割り込みマスククリア 割り込み要因と割り込みマスククリアレジスタの対応関係を表 10.4 に示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IMCn</th> <th>ライト時</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>割り込みマスクレジスタ IMCn の該当ビットをクリアする</td> </tr> <tr> <td>0</td> <td>なにもしない</td> </tr> </tbody> </table> 【記号説明】 n=7~0	IMCn	ライト時	1	割り込みマスクレジスタ IMCn の該当ビットをクリアする	0	なにもしない
IMCn	ライト時									
1	割り込みマスクレジスタ IMCn の該当ビットをクリアする									
0	なにもしない									
6	IMC6	-	W							
5	IMC5	-	W							
4	IMC4	-	W							
3	IMC3	-	W							
2	IMC2	-	W							
1	IMC1	-	W							
0	IMC0	-	W							

10. 割り込みコントローラ (INTC)

表 10.4 割り込み要因と IMCR0 ~ IMCR10 の対応

レジスタ名	ビット名 (機能名)							
	7	6	5	4	3	2	1	0
IMCR0	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
	(IRQ)							
IMCR1	Txl0	BRI0	Rxl0	ERI0	DEI3	DEI2	DEI1	DEI0
	(SCIF0)				(DMAC)			
IMCR2	-	-	-	ADI0	Txl1	BRI1	Rxl1	ERI1
	(ADC0)				(SCIF1)			
IMCR4	-	-	-	-	ITI	-	-	-
	-				(WDT)			
IMCR5	Txl2	BRI2	Rxl2	ERI2	ADI1	USIHP	USI1	USI0
	(SCIF2)				(ADC1)	(USB)		
IMCR6	TCI2U	TCI2V	TGI2B	TGI2A	TCI1U	TCI1V	TGI1B	TGI1A
	(MTU2)				(MTU1)			
IMCR7	-	-	-	TCI0V	TGI0D	TGI0C	TGI0B	TGI0A
	(MTU0)							
IMCR8	-	-	-	TCI3V	TGI3D	TGI3C	TGI3B	TGI3A
	(MTU3)							
IMCR9	-	-	-	TCI4V	TGI4D	TGI4C	TGI4B	TGI4A
	(MTU4)							
IMCR10	-	-	CMI1	CMI0	IIC2I	-	-	OEI
	(CMT)				(IIC2)		(POE)	

【注】 - はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値は 0 にしてください。

10.4 割り込み要因

割り込み要因は、NMI、H-UDI、IRQ、内蔵周辺モジュールの4つに分類されます。各割り込みの優先順位は割り込み優先レベル値(16~0)で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

10.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。ステータスレジスタ(SR)のBLビットが0ならばNMI 割り込みは受け付けられます。NMI 割り込みはエッジ検出です。ただし、スリープまたはスタンバイモード中は、BLビットに関わりなく割り込みが受け付けられます。割り込みコントロールレジスタ0(ICR0)のNMI エッジセレクトビット(NMIE)は、立ち上がりエッジ/立ち下がりエッジの選択を行います。

エッジ入力割り込み検出では、周辺クロック(P)ベースで2サイクル以上のパルス幅が必要です。NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)が影響されることはありません。

NMI 割り込みを使用して、スリープ、スタンバイ状態から復帰できます。

10.4.2 H-UDI 割り込み

H-UDI 割り込みは、H-UDI 割り込みコマンドを入力(「15.4.5 H-UDI 割り込み」を参照)し、SRの割り込みマスクビットが15未満で、かつSRのBLビットが0のとき、命令の切れ目で受け付けます。

H-UDI 割り込みの動作としては、割り込みを受け付けた命令直後のPCをSPCに退避します。割り込みを受け付けた時点でのSRをSSRに退避します。INTEVT2にH5E0がセットされます。SRのBLビット、RBビットを1にセットし、VBR+H'0600に分岐します。

10.4.3 IRQ 割り込み

IRQ 割り込みは、 $\overline{IRQ7}$ ~ $\overline{IRQ0}$ 端子からレベルまたはエッジで入力されます。優先レベルは、割り込み優先レベル設定レジスタC、D(IPRC、D)にレベル0~15の範囲で設定できます。

IRQ 割り込みをエッジセンスで使用する場合は、IRR0の対応するビットをソフトウェアで1であることを読み出した後に0を書き込み、割り込み要因をクリアしてください。

ICR1およびICR3に上書きする際、 \overline{IRQ} 端子の状態によってはIRQ 割り込みが誤検出される可能性があります。これを避けるため、まず割り込みをマスク状態で上書きし、それから割り込み要求レジスタ0(IRR0)を読み出した後に0を書き込んで不正な割り込みをクリアした後にマスクを解除してください。

エッジ入力割り込み検出では、周辺クロック(P)ベースで2サイクル以上のパルス幅を必要とします。

IRQ 割り込みをレベルセンスで使用する場合は、CPUがサンプリングするまで端子レベルを保持する必要があります。したがって、割り込みハンドラ内で割り込み要因をクリアしてください。

IRQ 割り込み処理ルーチンによって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)が影響されることはありません。

10. 割り込みコントローラ (INTC)

10.4.4 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、次のような 9 種類のモジュールで発生する割り込みです。

- DMAコントローラ (DMAC)
- シリアルコミュニケーションインタフェース (SCIF0~2)
- A/D変換器 (ADC0, 1)
- コンペアマッチタイマ (CMT0, 1)
- USBファンクションモジュール (USB)
- マルチファンクションタイマパルスユニット (MTU0~4)
- ウォッチドッグタイマ (WDT)
- ユーザデバッグインタフェース (H-UDI)
- I²Cバスインタフェース2 (IIC2)

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT2) に反映されますので、INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

H-UDI 割り込みを除く各モジュールの優先順位レベル(0~15)は、割り込み優先レベル設定レジスタ B~J(IPRB ~ IPRJ) に優先順位レベル値を書き込むことによってセットすることができます。H-UDI 割り込みの優先順位レベルは 15 (固定) です。

ステータスレジスタの割り込みマスクビット(I3-I0)は内蔵周辺モジュール割り込み処理の影響を受けません。

10.4.5 割り込み例外処理および優先順位

割り込み要因は、NMI、IRQ、内蔵周辺モジュールの 3 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

割り込み要因と割り込み事象レジスタ (INTEVT2) の要因コード、割り込み優先順位を表 10.5 に示します。

各割り込み要因は、それぞれ異なる割り込み事象レジスタ (INTEVT2) に要因コードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT2 レジスタの値を使って分岐させます。たとえば INTEVT2 レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュール、IRQ 割り込みの優先順位は、割り込み優先レベル設定レジスタによって、優先レベル 15 ~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュール、IRQ 割り込みの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 10.5 に示す「デフォルト優先順位」に従って処理されます。

10. 割り込みコントローラ (INTC)

割り込み要因		例外コード	割り込み優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
MTU0	TGI0A	H'A80	0-15 (0)	IPRG (15-12)	高 ↑ ↓ 低	高 ↑ ↓ 低
	TGI0B	H'AA0				
	TGI0C	H'AC0				
	TGI0D	H'AE0				
	TCI0V	H'B00		IPRG (11-8)	-	
MTU1	TGI1A	H'C00	0-15 (0)	IPRG (7-4)	高 低	
	TGI1B	H'C20				
	TCI1V	H'C40		IPRG (3-0)	高 低	
	TCI1U	H'C60				
MTU2	TGI2A	H'C80	0-15 (0)	IPRH (15-12)	高 低	
	TGI2B	H'CA0				
	TCI2V	H'CC0		IPRH (11-8)	高 低	
	TCI2U	H'CE0				
MTU3	TGI3A	H'D00	0-15 (0)	IPRH (7-4)	高 ↑ ↓ 低	
	TGI3B	H'D20				
	TGI3C	H'D40				
	TGI3D	H'D60				
	TCI3V	H'D80		IPRH (3-0)	-	
MTU4	TGI4A	H'E00	0-15 (0)	IPRI (15-12)	高 ↑ ↓ 低	
	TGI4B	H'E20				
	TGI4C	H'E40				
	TGI4D	H'E60				
	TCI4V	H'E80		IPRI (11-8)	-	
CMT	CMI0	H'F00	0-15 (0)	IPRF (3-0)	高 低	
	CMI1	H'F20				
SCIF2	ERx2	H'400	0-15 (0)	IPRF (11-8)	高 ↑ ↓ 低	
	Rx12	H'420				
	BR12	H'440				
	Tx12	H'460				
POE	OEI	H'480	0-15 (0)	IPRI (7-4)	-	
IIC2	IIC2I	H'F40	0-15 (0)	IPRI (3-0)	-	
WDT	ITI	H'560	0-15 (0)	IPRB (15-12)	-	

10.5 動作説明

10.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 10.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベルレジスタ B ~ J (IPRB ~ IPRJ) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、「表 10.5 割り込み例外処理要因と優先順位」に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. 検出タイミング: INTC は周辺クロック (P) に同期して動作し、CPU に割り込み要求を通知します。CPU は、命令の切れ目で割り込みを受け付けます。
5. 割り込みが CPU に検出されると、割り込み事象レジスタ (INTEVT2) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。
7. SR のブロックビット (BL)、レジスタバンクビット (RB) が 1 にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'00000600 の和) にジャンプします。このジャンプは遅延分岐ではありません。
例外処理ルーチンでは、割り込み要因を識別するために、例えば INTEVT2 レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) は変化しません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。
クリアしたはずの割り込み要因を誤まって再度受け付けないようにするために、クリア後要因フラグをリードし、その後 RTE 命令を実行します。

10. 割り込みコントローラ (INTC)

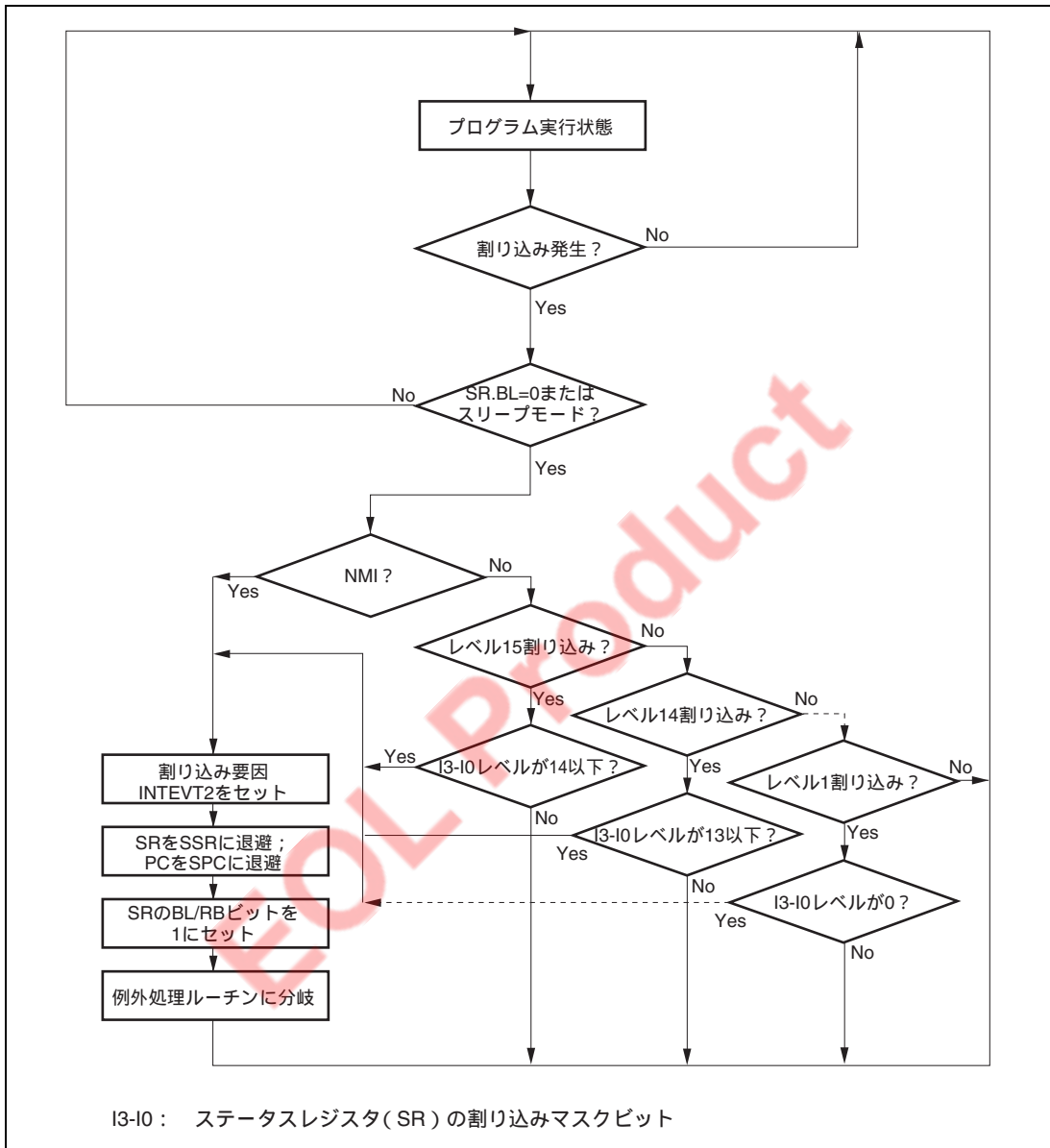


図 10.2 割り込み動作フローチャート

10.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVT2レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをメモリに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. このあと、実際に行いたい処理を書きます。
6. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、(4)の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。図 10.2 に割り込み動作フローチャートの例を示します。

10.6 使用上の注意点

10.6.1 USB バスパワー制御を行う上での注意点

USB バスパワー制御を行う場合、 $\overline{IRQ0}/\overline{IRQ1}$ の割り込み制御論理を使用しているため、 $\overline{IRQ0}/\overline{IRQ1}$ を使用する場合、注意が必要です。

なお、USB バスパワー制御に関する詳細は「第 20 章 USB ファンクションモジュール」を参照してください。

10.6.2 割り込み要因クリアのタイミング

「10.5.1 割り込み動作の流れ」の注にも説明がありますが、割り込み要因フラグは、割り込みハンドラ中でクリアしてください。

クリアしたはずの割り込み要因を誤まって再度受け付けないようにするために、クリア後要因フラグをリードし、その後 RTE 命令を実行します。

EOL Product

11. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

11.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2チャンネル (チャンネルAとB)

ユーザブ레이크は、チャンネルA、B独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネルAのブ레이크条件が一致した後チャンネルBのブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

• アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

4本のアドレスバス (Lバスアドレス (LAB)、Iバスアドレス (IAB)、Xメモリアドレスバス (XAB) およびYメモリアドレスバス (YAB)) の1つを選択できます。

• データ

チャンネルBのみ、32ビットマスク可能。

4本のデータバス (Lバスデータ (LDB)、Iバスデータ (IDB)、Xメモリデータバス (XDB)、およびYメモリデータバス (YDB)) の1つを選択可能です。

• バスサイクル

命令フェッチまたはデータアクセス

• 読み出しまたは書き込み

• オペランドサイズ

バイト、ワード、およびロングワードをサポート。

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。

3. 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。

4. ブ레이크条件 (チャンネルBに対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

5. 8組の分岐元 / 分岐先バッファをサポート。

11. ユーザブレイクコントローラ (UBC)

UBC のブロック図を図 11.1 に示します。

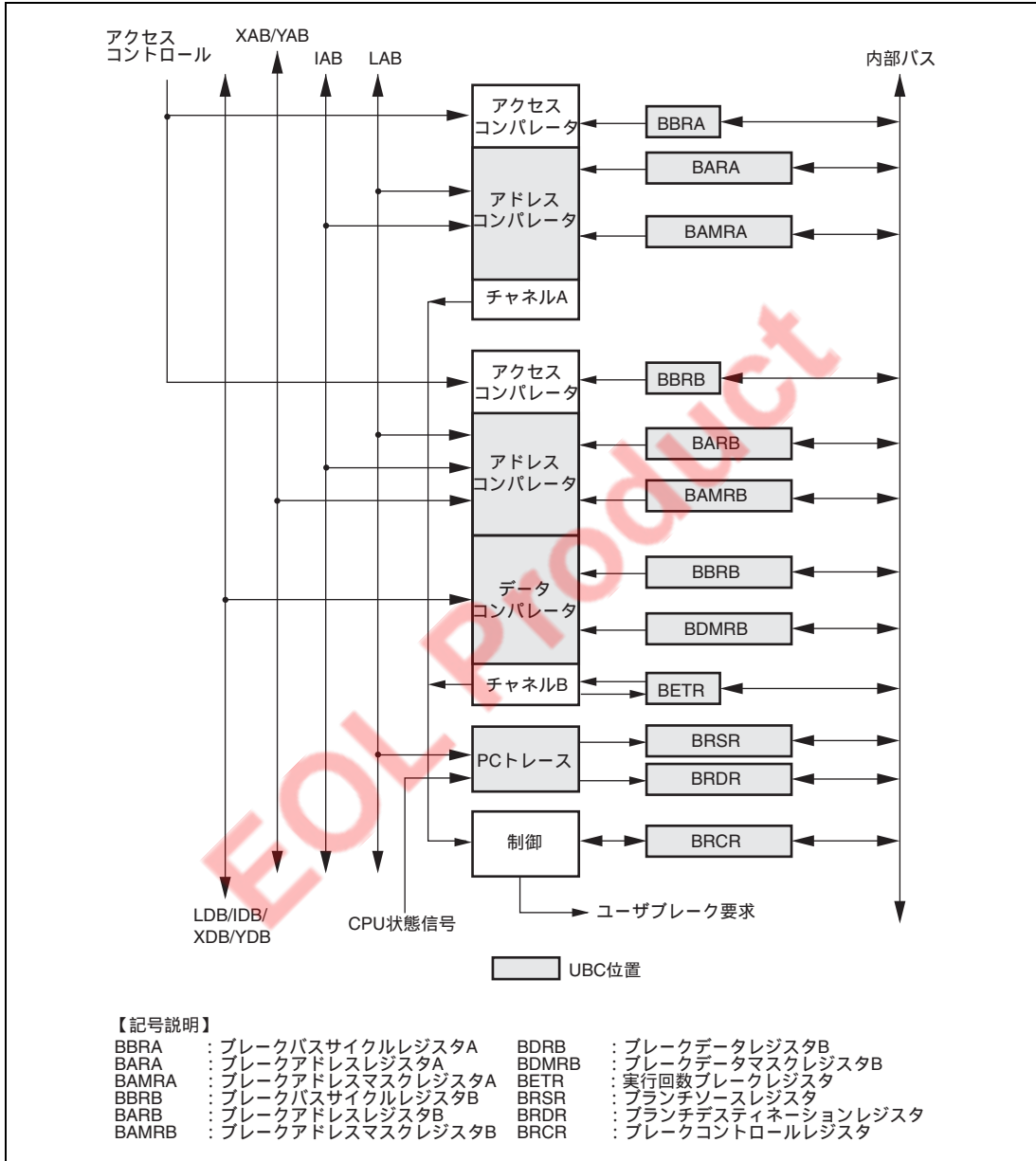


図 11.1 UBC のブロック図

11.2 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 24 章 レジスタ一覧」を参照してください。

- ブ레이크アドレスレジスタ A (BARA)
- ブ레이크アドレスマスクレジスタ A (BAMRA)
- ブ레이크バスサイクルレジスタ A (BBRA)
- ブ레이크アドレスレジスタ B (BARB)
- ブ레이크アドレスマスクレジスタ B (BAMRB)
- ブ레이크バスサイクルレジスタ B (BBRB)
- ブ레이크データレジスタ B (BDRB)
- ブ레이크データマスクレジスタ B (BDMRB)
- ブ레이크コントロールレジスタ (BRCR)
- 実行回数ブ레이크レジスタ (BETR)
- ブランチソースレジスタ (BRSR)
- ブランチデスティネーションレジスタ (BRDR)

11.2.1 ブ레이크アドレスレジスタ A (BARA)

BARA は、32 ビットの読み出しまたは書き込み可能なレジスタです。BARA は、チャンネル A のブ레이크条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAA31~ BAA0	すべて 0	R/W	ブ레이크アドレス A チャンネル A のブ레이크条件を指定する LAB または IAB のアドレスを格納します。

11. ユーザブレイクコントローラ (UBC)

11.2.2 ブレイクアドレスマスクレジスタ A (BAMRA)

BAMRA は 32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRA は、BARA によって指定されるブレイクアドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMA31 ~ BAMA0	すべて 0	R/W	ブレイクアドレスマスク A BARA (BAA31~BAA0) によって指定されるチャンネル A のブレイクアドレスビットのうち、マスクするビットを指定します。 0: ブレイクアドレスビット BAA _n は、ブレイク条件に含まれる 1: ブレイクアドレスビット BAA _n はマスクされ、ブレイク条件に含まれない 【注】n=31~0

11.2.3 ブレイクバスサイクルレジスタ A (BBRA)

BBRA は、チャンネル A のブレイク条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7 6	CDA1 CDA0	0 0	R/W R/W	L バスサイクル / I バスサイクルセレクト A チャンネル A ブレイク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は、L バスサイクル 10: ブレイク条件は、I バスサイクル 11: ブレイク条件は、L バスサイクル
5 4	IDA1 IDA0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト A チャンネル A ブレイク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレイク条件は、命令フェッチサイクル 10: ブレイク条件は、データアクセスサイクル 11: ブレイク条件は、命令フェッチサイクルまたはデータアクセスサイクル

ビット	ビット名	初期値	R/W	説明
3 2	RWA1 RWA0	0 0	R/W R/W	読み出し / 書き込みセレクト A チャンネル A ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブ레이크条件は、読み出しサイクル 10 : ブ레이크条件は、書き込みサイクル 11 : ブ레이크条件は、読み出しサイクルまたは書き込みサイクル
1 0	SZA1 SZA0	0 0	R/W R/W	オペランドサイズセレクト A チャンネル A ブ레이크条件のバスサイクルのオペランドサイズを選択します。 00 : ブ레이크条件には、オペランドサイズを含まない 01 : ブ레이크条件は、バイトアクセス 10 : ブ레이크条件は、ワードアクセス 11 : ブ레이크条件は、ロングワードアクセス

11.2.4 ブ레이크アドレスレジスタ B (BARB)

BARB は、32 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B のブ레이크条件とするアドレスを指定します。ブ레이크条件 B の対象とするアドレスバスは 4 種類あり、ブ레이크バスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0、XYE および XY5 により選択します。

ビット	ビット名	初期値	R/W	説明
31~0	BAB31 ~ BAB0	すべて 0	R/W	ブ레이크アドレス B チャンネル B のブ레이크条件を指定するアドレスを指定します。 BBRB により I バスまたは L バスを選択した場合は、BAB31 ~ BAB0 に IAB または LAB のアドレスを指定します。 BBRB により X メモリを選択した場合は、BAB31 ~ BAB17 に XAB のビット 15 ~ 1 の値を設定します。このとき、BAB16 ~ BAB0 の値は任意です。 BBRB により Y メモリを選択した場合は、BAB15 ~ BAB1 に YAB のビット 15 ~ 1 の値を設定します。このとき、BAB31 ~ BAB16 および BAB0 の値は任意です。

表 11.1 ブ레이크アドレスレジスタの指定

BBRB でのバス選択	BAB31 ~ BAB17	BAB16	BAB15 ~ BAB1	BAB0
L バス	LAB31 ~ LAB0			
I バス	IAB31 ~ IAB0			
X バス	XAB15 ~ XAB1	don't care	don't care	don't care
Y バス	don't care	don't care	YAB15 ~ YAB1	don't care

11. ユーザブ레이크コントローラ (UBC)

11.2.5 ブ레이크アドレスマスクレジスタ B (BAMRB)

BAMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRB は、BARB で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMB31 ~ BAMB0	すべて 0	R/W	ブ레이크アドレスマスク B BARB (BAB31~BAB0) によって指定されるチャンネル B のブ레이크アドレスビットのうち、マスクするビットを指定します。 0: ブ레이크アドレスビット BABn は、ブ레이크条件に含まれる 1: ブ레이크アドレスビット BABn はマスクされ、ブ레이크条件に含まれない 【注】n=31~0

11.2.6 ブ레이크データレジスタ B (BDRB)

BDRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。ブ레이크条件 B の対象とするデータバスは 4 種類あり、ブ레이크バスサイクルレジスタ B (BBRB) の制御ビット CDB1、CDB0、XYE および XYX により選択します。

ビット	ビット名	初期値	R/W	説明
31~0	BDB31~ BDB0	すべて 0	R/W	ブ레이크データビット B チャンネル B のブ레이크条件を指定するデータを格納します。 BBRB により I バスを選択した場合は、BDB31~BDB0 に IDB のブ레이크データを指定します。 BBRB により L バスを選択した場合は、BDB31~BDB0 に LDB のブ레이크データを指定します。 BBRB により X メモリを選択した場合は、BDB31~BDB16 に XDB のビット 15~0 のブ레이크データを設定します。このとき、BDB15~BDB0 の値は任意です。 BBRB により Y メモリを選択した場合は、BDB15~BDB0 に YDB のビット 15~0 のブ레이크データを設定します。このとき、BDB31~BDB16 の値は任意です。

表 11.2 ブ레이크データレジスタの指定

BBRB でのバス選択	BDB31~BDB16	BDB15~BDB0
L バス	LDB31~LDB0	
I バス	IDB31~IDB0	
X バス	XDB15~XDB0	don't care
Y バス	don't care	YDB15~YDB0

- 【注】
- ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 - ブ레이크条件としてバイトサイズを指定する場合は、BDRB におけるブ레이크データとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。
 - MOV.S.W @-As,Ds、MOV.S.W @As,Ds、MOV.S.W @As+,Ds、および MOV.S.W @As+Ix,Ds 命令に対する L バス上のブ레이크条件として、データバスの値を含める場合は、ビット 31~16 にデータをセットしてください。

11.2.7 ブ레이크データマスクレジスタ B (BDMRB)

BDMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BDMRB は、BDRB で指定するブ레이크データビットのうちマスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31 ~ BDMB0	すべて 0	R/W	ブ레이크データマスク B BDRB (BDB31 ~ BDB0) によって指定されるチャンネル B のブ레이크データビットのうちマスクするビットを指定します。 0 : ブ레이크データビット BDBn は、ブ레이크条件に含まれる 1 : ブ레이크データビット BDBn はマスクされ、ブ레이크条件に含まれない 【注】n=31~0

- 【注】
- ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 - ブ레이크条件としてバイトサイズを指定する場合は、BDMRB におけるブ레이크マスクデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。
 - MOV.S.W @-As,Ds、MOV.S.W @As,Ds、MOV.S.W @As+,Ds、および MOV.S.W @As+Ix,Ds 命令に対する L バス上のブ레이크条件としてデータバスの値を含める場合は、ビット 31~16 にマスクデータをセットしてください。

11. ユーザブ레이크コントローラ (UBC)

11.2.8 ブ레이크バスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブ레이크条件として (1) X バスまたは Y バス、(2) L バスサイクルまたは I バスサイクル、(3) 命令フェッチまたはデータアクセス、(4) 読み出しまたは書き込み、および (5) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	XYE	0	R/W	X メモリまたは Y メモリバスをチャンネル B のブ레이크条件として選択します。ただし、CDB1、CDB0 で L バスを選択した場合にのみ有効です。X および Y の選択は XYS ビットで行います。 0 : チャンネル B ブ레이크条件用に L バスを選択 1 : チャンネル B ブ레이크条件用に X/Y メモリバスを選択
8	XYS	0	R/W	X バスまたは Y バスをチャンネル B ブ레이크条件のバスとして選択します。 0 : チャンネル B ブ레이크条件用に X バスを選択 1 : チャンネル B ブ레이크条件用に Y バスを選択
7 6	CDB1 CDB0	0 0	R/W R/W	L バスサイクル / I バスサイクルセレクト B チャンネル B ブ레이크条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00 : 条件比較を行わない 01 : ブ레이크条件は、L バスサイクル 10 : ブ레이크条件は、I バスサイクル 11 : ブ레이크条件は、L バスサイクル
5 4	IDB1 IDB0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト B チャンネル B ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00 : 条件比較を行わない 01 : ブ레이크条件は、命令フェッチサイクル 10 : ブ레이크条件は、データアクセスサイクル 11 : ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル
3 2	RWB1 RWB0	0 0	R/W R/W	読み出し / 書き込みセレクト B チャンネル B ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブ레이크条件は、読み出しサイクル 10 : ブ레이크条件は、書き込みサイクル 11 : ブ레이크条件は、読み出しサイクルまたは書き込みサイクル

ビット	ビット名	初期値	R/W	説明
1	SZB1	0	R/W	オペランドサイズセレクト B
0	SZB0	0	R/W	チャンネル B ブ레이크条件のバスサイクルのオペランドサイズを選択します。 00 : ブ레이크条件は、オペランドサイズを含まない 01 : ブ레이크条件は、バイトアクセス 10 : ブ레이크条件は、ワードアクセス 11 : ブ레이크条件は、ロングワードアクセス

11.2.9 ブ레이크コントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. チャンネル A と B を 2 つの独立したチャンネル条件か、あるいは 1 つの連続した条件として使用するかを指定します。
2. ブ레이크を命令実行の前に設定するか後に設定するかを指定します。
3. チャンネル B 比較条件に実行回数を含めるかどうかを指定します。
4. チャンネル B 比較条件にデータバスの値を含めるかどうかを決定します。
5. PC トレースをイネーブルにします。

BRCR は、ブ레이크条件一致フラグと種々のブ레이크条件をセットするためのビットを持つ 32 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31 ~ 16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	SCMFCA	0	R/W	L バスサイクル条件一致フラグ A チャンネル A にセットしたブ레이크条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル A に対する L バスサイクル条件不一致 1 : チャンネル A に対する L バスサイクル条件一致
14	SCMFCA	0	R/W	L バスサイクル条件一致フラグ B チャンネル B にセットしたブ레이크条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル B に対する L バスサイクル条件不一致 1 : チャンネル B に対する L バスサイクル条件一致

11. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
13	SCMFDA	0	R/W	Iバスサイクル条件一致フラグ A チャンネル A にセットしたブ레이크条件の Iバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル A に対する Iバスサイクル条件不一致 1 : チャンネル A に対する Iバスサイクル条件一致
12	SCMFDB	0	R/W	Iバスサイクル条件一致フラグ B チャンネル B にセットしたブ레이크条件の Iバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル B に対する Iバスサイクル条件不一致 1 : チャンネル B に対する Iバスサイクル条件一致
11	PCTE	0	R/W	PC トレースイネーブル 0 : PC トレースを禁止 1 : PC トレースを許可
10	PCBA	0	R/W	PC ブ레이크セレクト A チャンネル A に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル A の PC ブ레이크を命令実行前に設定 1 : チャンネル A の PC ブ레이크を命令実行後に設定
9	-	0	R	リザーブビット
8	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7	DBEB	0	R/W	データブ레이크イネーブル B データバス条件がチャンネル B のブ레이크条件に含まれるかどうかを選択します。 0 : データバス条件がチャンネル B のブ레이크条件に含まれない 1 : データバス条件がチャンネル B のブ레이크条件に含まれる
6	PCBB	0	R/W	PC ブ레이크セレクト B チャンネル B に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル B の PC ブ레이크を命令実行前に設定 1 : チャンネル B の PC ブ레이크を命令実行後に設定
5	-	0	R	リザーブビット
4	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

11. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
3	SEQ	0	R/W	シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0: 独立した条件下でチャンネル A とチャンネル B を比較 1: 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)
2 1	- -	0 0	R R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	ETBE	0	R/W	実行回数ブレイクイネーブル チャンネル B に対してのみ実行回数ブレイク条件を有効にします。このビットが 1 の場合、生じたブレイク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレイク割り込みが出されます。 0: チャンネル B の実行回数ブレイク条件を無効にする 1: チャンネル B の実行回数ブレイク条件を有効にする

11.2.10 実行回数ブレイクレジスタ (BETR)

BETR は、16 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B の実行回数ブレイク条件を有効にすると、このレジスタはブレイクを行う回数を指定します。最大値は、 $2^{12} - 1$ 回です。ブレイク条件を満たすたびに BETR は、1 ずつデクリメントされます。BETR が H'0001 になった後は、ブレイク条件を満たすとブレイクが出されます。

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	BET11~ BET0	すべて 0	R/W	実行回数

11. ユーザブレイクコントローラ (UBC)

11.2.11 ブランチソースレジスタ (BRSR)

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐元命令のアドレスのビット 27~0 を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットは、リセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	SVF	0	R	BRSR 有効フラグ 分岐元のアドレスが格納されているかどうかを示します。分岐元アドレスが取り出されるとき、このフラグは 1 にセットされます。このフラグは、BRSR を読み出すことによって 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効
30~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27~0	BSA27~ BSA0	-	R	分岐元アドレス これらのビットは、分岐元アドレスのビット 27~0 を格納します。

11.2.12 ブランチデスティネーションレジスタ (BRDR)

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先命令のアドレスのビット 27~0 を格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットは、リセットによっては初期化されません。8 本の BRDR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

ビット	ビット名	初期値	R/W	説明
31	DVF	0	R	BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるときこのフラグは 1 にセットされます。このフラグは、BRDR を読み出すことによって 0 にクリアされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効
30~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
27~0	BDA27~ BDA0	-	R	分岐元アドレス これらのビットは、分岐先アドレスのビット 27~0 を格納します。

11.3 動作説明

11.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスは、ブレイクアドレスレジスタ (BARAまたはBARB) にセットします。マスクするアドレスは、ブレイクアドレスマスクレジスタ (BAMRAまたはBAMRB) にセットします。ブレイクデータは、ブレイクデータレジスタ (BDRB) にセットします。マスクするデータは、ブレイクデータマスクレジスタ (BDMRB) にセットします。バスブレイク条件は、ブレイクバスサイクルレジスタ (BBRAまたはBBRB) にセットします。BBRAまたはBBRBの3つの制御ビットペア、すなわちLバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRRCRのビットにセットします。他のすべてのブレイク関連レジスタの設定後にBBRAまたはBBRBの設定を行ってください。
2. ブレイク条件を満足すると、UBCはユーザブレイク要求をCPUに通知するとともに、それぞれのチャンネルに対するLバス条件一致フラグ (SCMFCAまたはSCMFCA) およびIバス条件一致フラグ (SCMFDAまたはSCMFDB) をセットします。チャンネルBでX/Yメモリバスを指定した場合は、条件一致フラグはSCMFCAが使用されます。
3. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFCA、SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためには、まず0を書き込まなければなりません。
4. チャンネルAおよびチャンネルBで設定したブレイクがほぼ同時に発生する場合があります。CPUに対するブレイク割込み要求は1つだけであっても、これらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
5. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
 - Iバスには、CPUとDMACを含む複数のバスマスタが接続されています。UBCはすべてのバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
 - Iバスで使用されるアドレスは、物理アドレスです。ブレイクアドレスレジスタ (BARAおよびBARB) には物理アドレスを設定してください。CPUがIバス上で発行したP0～P3領域の論理アドレスは上位3ビットが0にマスクされた後、Iバスに出力されます。ただし、P4領域の論理アドレスは、そのままIバスに出力されます。DMACに設定したソース/デスティネーションアドレスも同様に交換されます。
 - CPUがIバス上で発行したデータアクセスサイクルは、論理アドレスがキャッシング対象で無い場合はIバスで指定したサイズのバスサイクルが発行されます。
 - CPUがIバス上で発行した命令フェッチサイクルは、論理アドレスがキャッシング対象で無い場合もすべてロングワードサイズとなり、アドレスはロングワード境界に丸められます。

11. ユーザブ레이크コントローラ (UBC)

- CPUがLバス上で発行した論理アドレスがキャッシング対象のアドレスでありかつキャッシュミスした場合は、キャッシュフィルサイクルとしてIバスに発行されます。この場合はロングワードサイズで発行され、アドレスもロングワード境界に丸められた値が使用されます。ただし、ライトスルーモードにおけるライトミス時にはキャッシュフィルは行われず、Lバス上で指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。また、ライトバックモードの場合は、リードフィルサイクルに伴ってライトバックサイクルが発行されるときがあります。これもロングワードサイズのバスサイクルで、アドレスもロングワード境界に丸められています。
 - CPUのLバス上での命令フェッチに起因したIバスサイクル（リードフィルサイクルを含む）をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
 - DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
 - Iバスにブ레이크条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブ레이크を受け付けるかを一意に決定することはできません。
6. CPUのステータスレジスタ (SR) のブロックビット (BL) が1の期間は、全てのブ레이크は受け付けられません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。

11.3.2 命令フェッチサイクルでのブ레이크

1. ブ레이크バスサイクルレジスタ (BBRAまたはBBRB) にLバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブ레이크条件はLバスの命令フェッチになります。命令実行の前にブ레이크するか後にブ레이크するかは、該当するチャンネルに対するブ레이크コントロールレジスタ (BRCR) のPCBAまたはPCBBビットで選択できます。ブ레이크条件として命令フェッチサイクルを設定する場合は、ブ레이크アドレスレジスタ (BARAまたはBARB) のLSBを0にクリアしてください。このビットが1にセットされているとブ레이크は発生しません。
2. 命令フェッチによるブ레이크がその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブ레이크が生じます。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブ레이크が設定されると、遅延分岐命令の実行前にブ레이크が発生します。

【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブ레이크条件でブ레이크が命令実行後に起こるように設定している場合は、ブ레이크条件と一致した命令が実行され、次の命令の実行前にブ레이크が発生します。実行前のブ레이크の場合と同様、これはオーバランフェッチ命令では使用できません。遅延分岐命令およびその遅延スロットに対してこの種のブ레이크が設定されると、分岐先の最初の命令までブ레이크は発生しません。
4. 命令フェッチサイクルがチャンネルBに設定されるとブ레이크データレジスタB (BDRB) は、無視されます。したがって、命令フェッチサイクルのブ레이크には、ブ레이크データを設定することはできません。

5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は、Iバス上の命令フェッチサイクルに対する条件判定が行われます。詳細は、「11.3.1 ユーザブレイク動作の流れ」の5.の項を参照してください。

11.3.3 データアクセスサイクルでのブレイク

1. データアクセスブレイクにおいて、ブレイク条件としてIバスを指定した場合は、実行された命令によりアクセスされた論理アドレス(およびデータ)に対して条件比較を行いブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバス上のCPUを含めたすべてのバスマスタが発行するデータアクセスサイクルの物理アドレス(およびデータ)に対して条件比較を行いブレイクを発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「11.3.1 ユーザブレイク動作の流れ」の5.の項を参照してください。
2. 表11.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 11.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブレイクアドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブレイクアドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、たとえばブレイクアドレスレジスタ (BARA / BARB) にアドレスH'00001003を設定するとき、ブレイク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. チャンネルBのブレイク条件にデータ値が含まれる場合

ブレイク条件にデータ値が含まれる場合は、ブレイクバスサイクルレジスタB (BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためには、ブレイクデータレジスタB (BDRB) とブレイクデータマスクレジスタB (BDMRB) のビット15~8、ビット7~0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31~16は、無視されます。ただし、MOV.S.W @-As,Ds、MOV.S.W @As,Ds、MOV.S.W @As+,Ds、MOV.S.W @As+Ix,Ds命令に対するブレイク条件にデータ値を含む場合は、BDRBとBDMRBのビット31~16にワードデータをセットします(ビット15~0は無視されます)。

4. PREF命令は、アクセスデータの無いロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレイク条件にデータ値が含まれる場合は、ブレイクは発生しません。

11. ユーザブレークコントローラ (UBC)

5. Lバスを選択している場合は、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレークが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令の次の命令の実行完了後になる場合もあります。Iバスを選択している場合は、ブレークの発生する命令を特定することは出来ません。また、遅延分岐命令やその遅延スロットでこの種のブレークが発生した場合は、分岐先の最初の命令までブレークは発生しません。

11.3.4 XメモリまたはYメモリバスサイクルでのブレーク

1. XメモリバスサイクルまたはYメモリバスサイクルに対するブレーク条件は、チャンネルBでのみ指定できます。BBRBのXYEを1にセットした場合は、XメモリまたはYメモリバス上のブレークアドレスおよびブレークデータが選択されます。BBRBのXYSを指定することによってXメモリバスまたはYメモリバスのどちらかを選択する必要があります。ブレーク条件には、XメモリとYメモリを同時に含めることはできません。ブレーク条件は、ブレークバスサイクルレジスタB (BBRB) でLバス、データアクセスサイクル、読み出しまたは書き込みアクセス、オペランドサイズをワード、またはオペランドサイズを指定しないに設定することによって、XメモリバスサイクルまたはYメモリバスサイクルに適用されます。
2. ブレーク条件としてXメモリアドレスを選択するときはBARBとBAMRBの上位16ビットにXメモリアドレスを指定し、Yメモリアドレスを選択するときは下位16ビットにYメモリアドレスを指定してください。BDRBとBDMRBに対するXメモリデータまたはYメモリデータの指定は、同様の方法で行います。
3. XメモリまたはYメモリバスのデータアクセスブレークの発生タイミングは、Lバスのデータアクセスブレークの場合と同じになります。詳細は、「11.3.3 データアクセスサイクルでのブレーク」の5.の項を参照してください。

11.3.5 シーケンシャルブレーク

1. BRRCのSEQビットを1にセットすると、チャンネルAブレーク条件が一致した後、チャンネルBブレーク条件が一致するときにシーケンシャルブレークが発生します。チャンネルAブレーク条件が一致する前にチャンネルBブレーク条件が一致すると、ユーザブレークは発生しません。また、チャンネルAとチャンネルBのブレーク条件が同時に一致したときも、シーケンシャルブレークは発生しません。シーケンシャルブレーク指定時、チャンネルA条件が一致し、かつチャンネルB条件が一致していないときにチャンネルA一致をクリアしたい場合は、BRRCレジスタのSEQビットに0を書き込みます。
2. シーケンシャルブレーク指定では、Lバス、Iバス、Xバス、またはYバスを選択でき、実行回数ブレーク条件も指定することができます。たとえば、実行回数ブレーク条件を指定すると、チャンネルAブレーク条件一致後、チャンネルBブレーク条件がBETR = H'0001のときに一致するとブレーク条件が満たされます。

11.3.6 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。ブレイク条件として L バスを指定している場合は、ブレイクの発生する命令を一意に決定することができます (ブレイク条件にデータを含む場合を除く)。ブレイク条件として I バスを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. 命令フェッチを (命令実行前) ブレイク条件として指定する場合

SPC には、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

2. 命令フェッチを (命令実行後) ブレイク条件として指定する場合

SPC には、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

3. データアクセス (アドレスのみ) をブレイク条件として指定する場合

SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

4. データアクセス (アドレス + データ) をブレイク条件として指定する場合

データ値がブレイク条件に追加されると、ブレイク条件に一致した命令の次の命令か、その次の命令のアドレスが SPC に退避されます。ブレイクが発生する場所は、正確に決定することはできません。

遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが生じる場合があります。この場合も SPC には、分岐先のアドレスが退避されます。

11. ユーザブ레이크コントローラ (UBC)

11.3.7 PC トレース

1. PCトレースは、BRCRのPCTEを1にセットすることによってイネーブルになります。分岐（分岐命令および割り込み例外）が発生すると、分岐元アドレスと分岐先アドレスがそれぞれBRSRとBRDRに格納されます。
2. BRSR, BRDRに格納される値は、分岐の種類によってそれぞれ次のようになります。
 - 分岐命令により分岐が生じる場合は、分岐命令のアドレスがBRSRに、分岐先命令のアドレスがBRDRに格納されます。
 - 割り込みや一般例外により分岐が生じる場合は、例外発生により保存されるSPCの値がBRSRに、例外処理ルーチンの先頭アドレスがBRDRに格納されます。
DSP拡張機能のリピートループを使用している場合は、リピート終了命令からリピート開始命令に制御が移ってもこの動作は分岐とはみなされず、BRSRとBRDRには格納されません。
3. BRSRとBRDRは、8組のキュー構造からなっています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRは、リードポインタを共有します。BRSR、BRDRの順で読み出してください。キューは、BRDRの読み出し後のみシフトされます。BRCRのPCTEビットをオフからオンに切り換えると、キューの値は無効になります。

11.3.8 使用例

(1) Lバス命令フェッチサイクルに指定したブ레이크条件

(例 1-1)

- レジスタ指定

BARA = H'00000404、BAMRA = H'00000000、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000400

指定条件： チャンネルA / チャンネルB独立モード

【チャンネルA】

アドレス： H'00000404、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ（命令実行後） / 読み出し（オペランドサイズは条件に含まれません）

【チャンネルB】

アドレス： H'00008010、アドレスマスク： H'00000006

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ（命令実行前） / 読み出し（オペランドサイズは条件に含まれません）

ユーザブ레이크は、アドレスH'00000404の命令実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に発生します。

(例 1-2)

• レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'0056、BARB = H'0003722E、BAMRB = H'00000000、
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、
BRRCR = H'00000008

指定条件： チャンネルA / チャンネルBシーケンシャルモード

【チャンネルA】

アドレス： H'00037226、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

【チャンネルB】

アドレス： H'0003722E、アドレスマスク： H'00000000

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

アドレスH'00037226の命令が実行された後、アドレスH'0003722Eの命令実行前にユーザブ레이크が発生しません。

(例 1-3)

• レジスタ指定

BARA = H'00027128、BAMRA = H'00000000、BBRA = H'005A、BARB = H'00031415、BAMRB = H'00000000、
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRRCR = H'00000000

指定条件： チャンネルA / チャンネルB独立モード

【チャンネルA】

アドレス： H'00027128、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

【チャンネルB】

アドレス： H'00031415、アドレスマスク： H'00000000

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネルAでは、命令フェッチは書き込みサイクルではないのでユーザブ레이크は生じません。チャンネルBでは、命令フェッチは偶数アドレスに対して実行されるのでユーザブ레이크は発生しません。

11. ユーザブレイクコントローラ (UBC)

(例 1-4)

- レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'005A、BARB = H'0003722E、BAMRB = H'00000000、
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、BRRCR = H'00000008

指定条件： チャンネルA / チャンネルBシーケンシャルモード

【チャンネルA】

アドレス： H'00037226、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

【チャンネルB】

アドレス： H'0003722E、アドレスマスク： H'00000000

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネルAで命令フェッチは書き込みサイクルではないので、シーケンシャル条件一致は生じません。したがって、ユーザブレイクは発生しません。

(例 1-5)

- レジスタ指定

BARA = H'00000500、BAMRA = H'00000000、BBRA = H'0057、BARB = H'00001000、BAMRB = H'00000000、
BBRB = H'0057、BDRB = H'00000000、BDMRB = H'00000000、BRRCR = H'00000001、BETR = H'0005

指定条件： チャンネルA / チャンネルB独立モード

【チャンネルA】

アドレス： H'00000500、アドレスマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

【チャンネルB】

アドレス： H'00001000、アドレスマスク： H'00000000

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブレイクイネーブル (5回)

チャンネルAでは、ユーザブレイクはアドレスH'00000500の命令の実行前に生じます。チャンネルBでは、ユーザブレイクは、アドレスH'00001000の命令を4回実行した後、5回目の命令実行前に生じます。

(例 1-6)

- レジスタ指定

BARA = H'00008404、BAMRA = H'00000FFF、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000400

指定条件： チャンネルA / チャンネルB独立モード

【チャンネルA】

アドレス： H'00008404、アドレスマスク： H'00000FFF

バスサイクル： Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件には含まれません)

【チャンネルB】

アドレス： H'00008010、アドレスマスク： H'00000006

データ： H'00000000、データマスク： H'00000000

バスサイクル： Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件には含まれません)

ユーザブ레이크は、アドレスH'00008000 ~ H'00008FFEの命令の実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。

(2) Lバスデータアクセスサイクルに指定したブ레이크条件

(例 2-1)

- レジスタ指定

BARA = H'00123456、BAMRA = H'00000000、BBRA = H'0064、BARB = H'000ABCDE、BAMRB = H'000000FF、
BBRB = H'006A、BDRB = H'0000A512、BDMRB = H'00000000、BRCR = H'00000080

指定条件： チャンネルA / チャンネルB独立モード

【チャンネルA】

アドレス： H'00123456、アドレスマスク： H'00000000

バスサイクル： Lバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

【チャンネルB】

アドレス： H'000ABCDE、アドレスマスク： H'000000FF

データ： H'0000A512、データマスク： H'00000000

バスサイクル： Lバス / データアクセス / 書き込み / ワード

チャンネルAでは、ユーザブ레이크は、アドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネルBでは、ユーザブ레이크はH'000ABC00 ~ H'000ABCFEにワードH'A512を書き込むときに生じます。

11. ユーザブレイクコントローラ (UBC)

(例 2-2)

- レジスタ指定

BARA = H'01000000、BAMRA = H'00000000、BBRA = H'0066、BARB = H'0000F000、BAMRB = H'FFFF0000、
BBRB = H'036A、BDRB = H'00004567、BDMRB = H'00000000、BRCR = H'00000080

指定条件： チャンネルA / チャンネルB独立モード

【チャンネルA】

アドレス： H'01000000、アドレスマスク： H'00000000

バスサイクル： Lバス / データアクセス / 読み出し / ワード

【チャンネルB】

Yアドレス： H'0000F000、アドレスマスク： H'FFFF0000

データ： H'00004567、データマスク： H'00000000

バスサイクル： Yバス / データアクセス / 書き込み / ワード

チャンネルAでは、ユーザブレイクは、メモリ空間のアドレスH'01000000に対するワード読み出しで生じます。
チャンネルBでは、ユーザブレイクはYメモリ空間のアドレスH'0000F000にワードH'4567を書き込むときに生じます。
XメモリまたはYメモリ空間は、モード指定によって変更することができます。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

- レジスタ指定：

BARA = H'00314156、BAMRA = H'00000000、BBRA = H'0094、BARB = H'00055555、BAMRB = H'00000000、
BBRB = H'00A9、BDRB = H'00007878、BDMRB = H'00000F0F、BRCR = H'00000080

指定条件： チャンネルA / チャンネルB独立モード

【チャンネルA】

アドレス： H'00314156、アドレスマスク： H'00000000

バスサイクル： Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

【チャンネルB】

アドレス： H'00055555、アドレスマスク： H'00000000

データ： H'00000078、データマスク： H'0000000F

バスサイクル： Iバス / データアクセス / 書き込み / バイト

チャンネルAでは、ユーザブレイクはメモリ空間のアドレスH'00314156に対する命令フェッチで生じます。
チャンネルBでは、ユーザブレイクはIバス上でバイトH'7*をアドレスH'00055555に書き込むときに生じます。

11.4 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブ레이크が発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはLバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. シーケンシャルブ레이크の指定においての注意事項は、次のとおりです。
 - シーケンシャルブ레이크の設定時、Aチャンネル一致が発生後Bチャンネル一致が発生するとき、条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されてもブ레이크は、発生しません。
4. ユーザブ레이크と他の例外が同一命令で発生した場合は、「第9章 例外処理」の表9.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブ레이크は発生しません。
 - 命令実行前ブ레이크は他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブ레이크やデータアクセスブ레이크は、より優先度の高い再実行型の例外（命令実行前ブ레이크を含む）と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません（ただし、5項に示す例外事項があります）。例外処理により再実行型の例外要因が解消され、同命令が再実行されて完了する時点で改めてブ레이크が発生し、フラグがセットされます。
 - 命令実行後ブ레이크やデータアクセスブ레이크が、より優先度の高い完了型の例外（TRAPA）と同時に発生した場合は、ブ레이크は発生しませんが、条件一致を示すフラグはセットされます。
5. 4項の例外事項として、次の注意事項があります。
 - データアクセスによりCPUアドレスエラーが発生する命令において命令実行後ブ레이크やデータアクセスブ레이크が成立する場合は、ブ레이크に優先してCPUアドレスエラーが発生します。この際、UBCの条件一致フラグもセットされます。
6. 遅延スロットでブ레이크が発生する場合は、次の注意事項があります。
 - RTE命令の遅延スロット命令に対して命令実行前ブ레이크を設定した場合は、RTE命令の分岐先の実行前までブ레이크は発生しません。
7. UBCモジュールスタンバイ時は、ユーザブ레이크機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
8. DSP拡張機能のリピートループを使用している場合は、リピートループ全体あるいは一部の命令を実行を実行中にブ레이크条件が一致してもブ레이크の発生が保留される場合があります。詳細は、「第9章 例外処理」を参照してください。

EOL Product

12. バスステートコントローラ (BSC)

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

12.1 特長

BSC には、次の特長があります。

1. 外部アドレス空間

- CS0、CS2、CS3、CS4、CS5A、CS5B、CS6A、およびCS6Bの各空間をそれぞれ最大32Mバイトまたは最大64Mバイトまで、および外部アドレス空間の合計を384Mバイト (8個の部分空間に分割) までサポート
- CS0、CS2、CS3、CS4、CS5、およびCS6の各空間はそれぞれ最大64Mバイトまで、外部アドレス空間の合計は384Mバイト (6個の部分空間に分割) までサポート
- 空間ごとに、通常空間インタフェース、バイト選択付SRAMインタフェース、バーストROM (クロック同期または非同期)、MPX-I/O、バーストMPX-I/O、SDRAMのメモリ種類を指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセス毎にウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

3. バーストROM (クロック非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能

4. MPX-I/Oインタフェース

- アドレス / データマルチプレクスが必要な周辺LSIを直結可能

12. バスステートコントローラ (BSC)

5. SDRAMインタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはコラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- 低周波数モード、パワーダウンモードのサポート
- MRSコマンド、EMRSコマンド発行のサポート

6. バイト選択付SRAMインタフェース

- バイト選択付SRAMとの直結が可能なインタフェースをサポート

7. バーストMPX-IOインタフェース

- アドレス / データマルチプレクスが必要な周辺LSIを直結可能
- バースト転送をサポート

8. バーストROM (クロック同期) インタフェース

- クロック同期タイプのバーストROMを直結可能

9. バスアービトレーション

- すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

10. リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

BSC のブロック図を図 12.1 に示します。

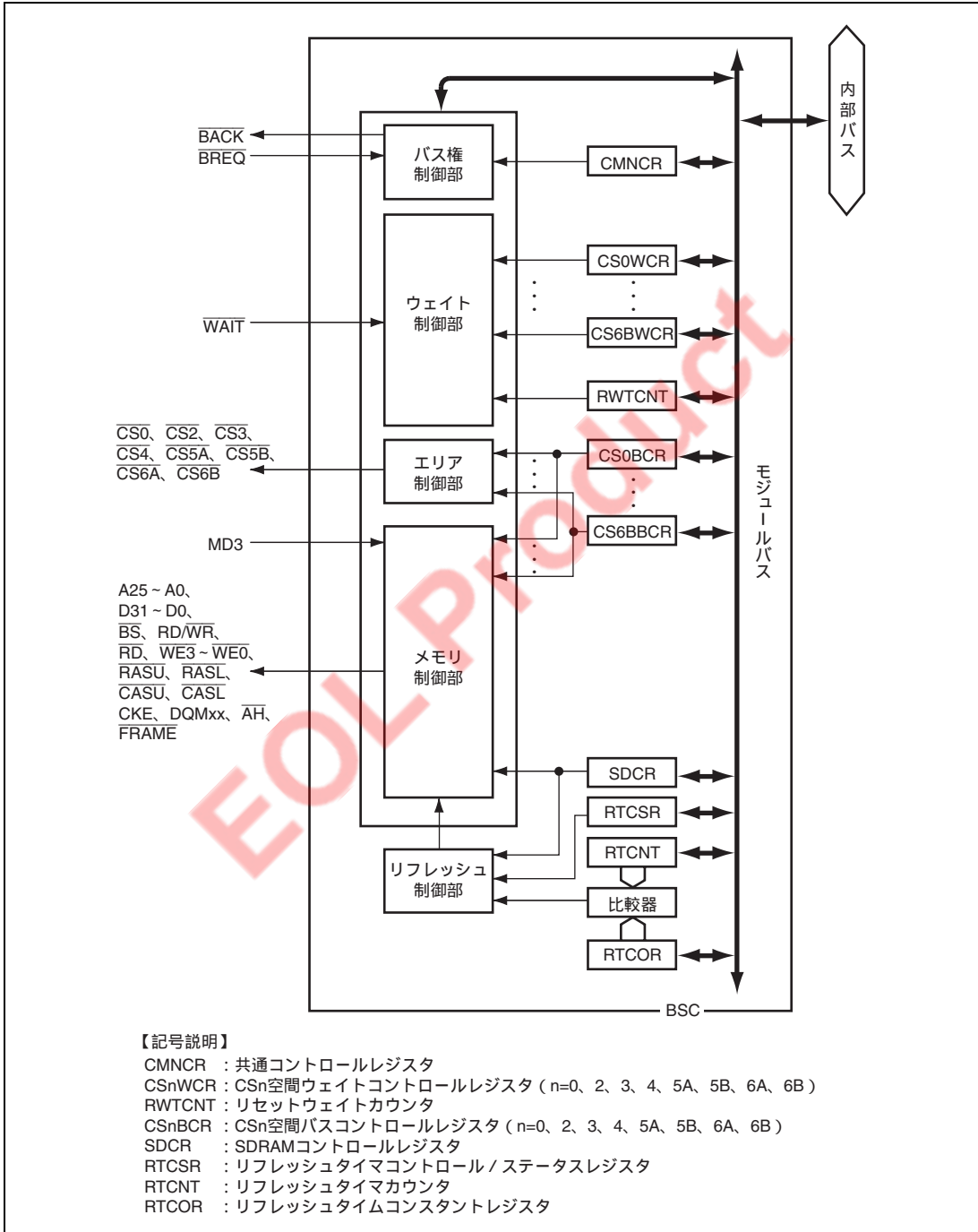


図 12.1 バスステートコントローラのブロック図

12. バスステートコントローラ (BSC)

12.2 入出力端子

端子構成 BSC の端子構成を表 12.1 に示します。

表 12.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
\overline{BS}	出力	バスサイクルの開始を示す信号
$\overline{CS0}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5B}$ 、 $\overline{CS6B}$	出力	チップセレクト
$\overline{CS5A}$ 、 $\overline{CS6A}$	出力	チップセレクト アドレスマップ 1 のときのみアクティブ
RD / \overline{WR}	出力	リードまたはライト信号 SDRAM、およびバイト選択付 SRAM 接続時は、 \overline{WE} 端子に接続
RD	出力	リードパルス信号 (リードデータ出力許可信号)
$\overline{WE3}$ / \overline{DQMUU} / \overline{AH}	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付 SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31 ~ D24 対応の選択信号 MPX-IO 使用時は、アドレスをホールドするための信号
$\overline{WE2}$ / \overline{DQMUL}	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付 SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23 ~ D16 対応の選択信号
$\overline{WE1}$ / \overline{DQMLU}	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付 SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ~ D8 対応の選択信号
$\overline{WE0}$ / \overline{DQMLL}	出力	D7 ~ D0 対応のバイト書き込み指示 バイト選択付 SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7 ~ D0 対応の選択信号
\overline{RASU} 、 \overline{RASL}	出力	SDRAM 接続時は、 \overline{RAS} 端子に接続
\overline{CASU} 、 \overline{CASL}	出力	SDRAM 接続時は、 \overline{CAS} 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
\overline{FRAME}	出力	バースト MPX-IO インタフェース時は、 \overline{FRAME} 信号
\overline{WAIT}	入力	外部ウェイト入力
\overline{BREQ}	入力	バス権要求入力
BACK	出力	バス使用許可出力
MD3	入力	エリア 0 のバス幅 (16 / 32 ビット) 選択

12.3 エリアの概要

12.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。このうち上位 3 ビットでキャッシュアクセス方法を表します。詳細は、「第 7 章 キャッシュ」を参照ください。残り 29 ビットは、CMNCR レジスタの MAP ビットにより、10 空間 (アドレスマップ 1) あるいは 8 空間 (アドレスマップ 2) に分類されています。BSC は、本 29 ビットの空間の制御を行います。

本 LSI は、表 12.2、表 12.3 に示すように 8 空間あるいは 6 空間にそれぞれ各種メモリを接続でき、各々に対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS2}$ ~ $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および $\overline{CS6B}$) を出力します。エリア 0 のアクセス時には $\overline{CS0}$ がアサートされます。また、アドレスマップ 1 選択時はエリア 5A のアクセス時に $\overline{CS5A}$ がアサートされ、アドレスマップ 2 選択時は $\overline{CS5B}$ がアサートされます。エリア 6 も同様です。

12.3.2 シャドウ空間

エリア 0、2~4、5A/5B、および 6A/6B は、アドレスの A28~A26 でデコードされ、000~110 のエリアに対応します。アドレスの A31~A29 は、無視されます。このため、たとえば、エリア 0 のアドレスの範囲は H'00000000~H'03FFFFFF なのに対し、H'20000000 × n (n = 1~6) を加えた P0~P3 領域のアドレス空間はシャドウ空間となります。

また、エリア 7 のアドレスの範囲は、H'1C000000~H'1FFFFFFF です。エリア 7 のシャドウ空間に相当するアドレスを含めて H'1C000000 + H'20000000 × n ~ H'1FFFFFFF + H'20000000 × n (n = 0~6) は予約空間ですので、使用しないでください。

P4 領域 (H'E0000000~H'FFFFFFF) は、I/O 領域であり、内蔵レジスタ等のアドレスが割り付けてあります。シャドウ空間にはなりません。

12. バスステートコントローラ (BSC)

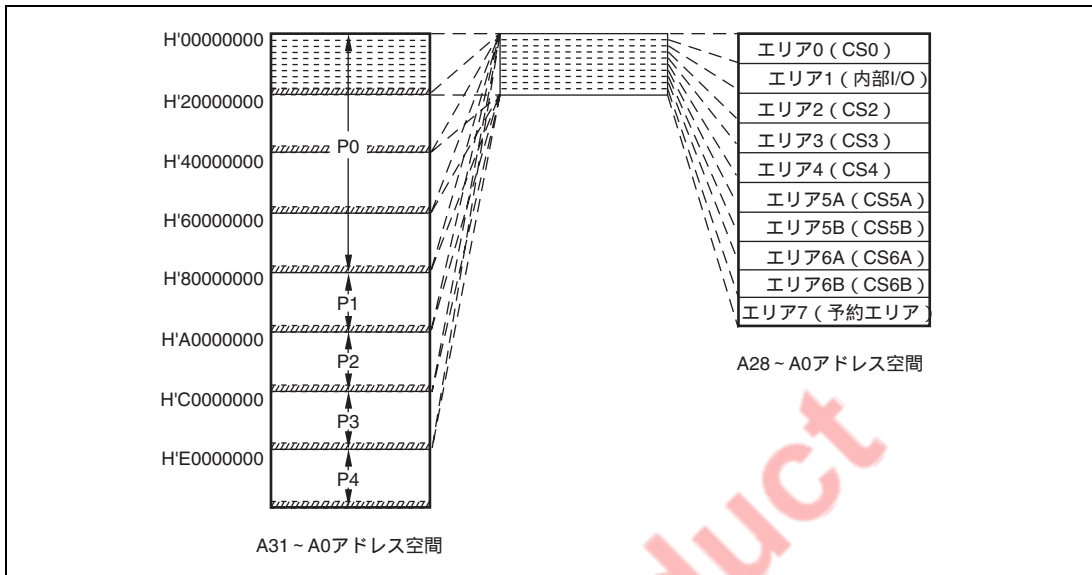


図 12.2 アドレス空間

12.3.3 アドレスマップ

外部アドレス空間は合計 384M バイトあり、これを 8 空間 (アドレスマップ 1) または 6 空間 (アドレスマップ 2) の部分空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 12.2 アドレスマップ 1 (CMNCR.MAP=0)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	通常空間 バースト ROM (非同期) バースト ROM (同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	内蔵 I/O レジスタ空間*2	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	通常空間 バイト選択付 SRAM SDRAM	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付 SRAM SDRAM	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4	通常空間 バイト選択付 SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'15FFFFFF	エリア 5A	通常空間	32M バイト

12. バスステートコントローラ (BSC)

アドレス	空間	メモリ種類	サイズ
H'16000000 ~ H'17FFFFFFF	エリア 5B	通常空間 バイト選択付 SRAM MPX-I/O	32M バイト
H'18000000 ~ H'19FFFFFFF	エリア 6A	通常空間	32M バイト
H'1A000000 ~ H'1BFFFFFFF	エリア 6B	通常空間 バイト選択付 SRAM バースト MPX-I/O	32M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア ^{*1}	64M バイト

【注】 *1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

*2 エリア 1 の内蔵 I/O レジスタ空間のアクセスは「第 24 章 レジスタ一覧」で示すアドレスにアクセスしてください。レジスタマップに記載のないエリア 1 空間アドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 12.3 アドレスマップ 2 (CMNCR.MAP = 1)

アドレス	空間	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFFF	エリア 0	通常空間 バースト ROM (非同期) バースト ROM (同期)	64M バイト
H'04000000 ~ H'07FFFFFFF	エリア 1	内蔵 I/O レジスタ空間 ^{*3}	64M バイト
H'08000000 ~ H'0BFFFFFFF	エリア 2	通常空間 バイト選択付 SRAM SDRAM	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	通常空間 バイト選択付 SRAM SDRAM	64M バイト
H'10000000 ~ H'13FFFFFFF	エリア 4	通常空間 バイト選択付 SRAM バースト ROM (非同期)	64M バイト
H'14000000 ~ H'17FFFFFFF	エリア 5 ^{*2}	通常空間 バイト選択付 SRAM MPX-I/O	64M バイト
H'18000000 ~ H'1BFFFFFFF	エリア 6 ^{*2}	通常空間 バイト選択付 SRAM バースト MPX-I/O	64M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	予約エリア ^{*1}	64M バイト

12. バスステートコントローラ (BSC)

- 【注】
- *1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。
 - *2 エリア 5 空間は、CS5BBCR および CS5BWCR レジスタ、 $\overline{CS5B}$ 信号が有効になります。
エリア 6 空間は、CS6BBCR および CS6BWCR レジスタ、 $\overline{CS6B}$ 信号が有効になります。
 - *3 エリア 1 の内蔵 I/O レジスタ空間のアクセスは「第 24 章 レジスタ一覧」で示すアドレスにアクセスしてください。レジスタマップに記載のないエリア 1 空間アドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

12.3.4 エリア 0 メモリタイプおよびメモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部端子を用いてバスサイズを 16 ビット、32 ビットから選択できます。それ以外のエリアは、レジスタで設定します。パワーオンリセット時の外部端子 (MD3) とバス幅の関係は、以下のようになります。

表 12.4 外部端子 MD3 とエリア 0 のメモリバス幅

MD3	エリア 0 のメモリバス幅
0	16 ビット
1	32 ビット

12.4 レジスタの説明

BSC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

- 共通コントロールレジスタ (CMNCR)
- CS0空間バスコントロールレジスタ (CS0BCR)
- CS2空間バスコントロールレジスタ (CS2BCR)
- CS3空間バスコントロールレジスタ (CS3BCR)
- CS4空間バスコントロールレジスタ (CS4BCR)
- CS5A空間バスコントロールレジスタ (CS5ABCR)
- CS5B空間バスコントロールレジスタ (CS5BBCR)
- CS6A空間バスコントロールレジスタ (CS6ABCR)
- CS6B空間バスコントロールレジスタ (CS6BBCR)
- CS0空間ウェイトコントロールレジスタ (CS0WCR)
- CS2空間ウェイトコントロールレジスタ (CS2WCR)
- CS3空間ウェイトコントロールレジスタ (CS3WCR)
- CS4空間ウェイトコントロールレジスタ (CS4WCR)
- CS5A空間ウェイトコントロールレジスタ (CS5AWCR)

- CS5B空間ウェイトコントロールレジスタ (CS5BWCR)
- CS6A空間ウェイトコントロールレジスタ (CS6AWCR)
- CS6B空間ウェイトコントロールレジスタ (CS6BWCR)
- SDRAMコントロールレジスタ (SDCR)
- リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)
- リフレッシュタイムカウンタ (RTCNT)
- リフレッシュタイムコンスタントレジスタ (RTCOR)
- リセットウェイトカウンタ (RWT CNT)

12.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。パワーオンリセット時に H'0000 0010 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されず前の値を保持します。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31 ~ 16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15	WAITSEL	0	R/W	WAIT 信号のサンプリングタイミング指定 本ビットにより、外部 WAIT 入力のサンプリングタイミングを指定します。 0 : CKIO の立ち下がりでサンプリングします。 この場合、WAIT 信号は、非同期入力が可能です。 1 : CKIO の立ち上がりでサンプリングします。 この場合、WAIT 信号は、同期入力してください。
14	-	0	R	リザーブビット
13	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	MAP	0	R/W	空間設定 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、表 12.2 および表 12.3 を参照してください。 0 : アドレスマップ 1 を選択 1 : アドレスマップ 2 を選択
11	BLOCK	0	R/W	バスロックビット BREQ を受け付けるかどうかを指定します。 0 : BREQ を受け付けます。 1 : BREQ を受け付けません。

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10 9	DPRTY1 DPRTY0	0 0	R/W R/W	<p>DMA バースト転送優先順位</p> <p>本ビットは、DMA バースト転送中に対するリフレッシュ要求 / バス権使用要求の優先順位を指定します。</p> <p>00 : DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。</p> <p>01 : DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。</p> <p>10 : DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。</p> <p>11 : 予約 (設定禁止)</p>
8 7 6	DMAIW2 DMAIW1 DMAIWO	0 0 0	R/W R/W R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000 : アイドルサイクルなし</p> <p>001 : 1 アイドルサイクル挿入</p> <p>010 : 2 アイドルサイクル挿入</p> <p>011 : 4 アイドルサイクル挿入</p> <p>100 : 6 アイドルサイクル挿入</p> <p>101 : 8 アイドルサイクル挿入</p> <p>110 : 10 アイドルサイクル挿入</p> <p>111 : 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW[2:0]ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが 0 の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが 1 の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1 回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入</p> <p>1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
2	CK2DRV	0	R	<p>CKIO2 ドライブ</p> <p>本ビットは、CKIO2 端子出力をローレベル出力とするか、クロック (B) を出力するかを設定するビットです。クロックモード7 (CKIO 端子入力) では、CKIO2 端子はハイインピーダンス状態となります。クロックモード2 またはクロックモード6 のときに、CK2DRV ビットの設定が有効になります。</p> <p>0 : ローレベルを出力 1 : クロック (B) を出力</p>
1	HIZMEM	0	R/W	<p>High-Z メモリコントロール</p> <p>本ビットは、A25 ~ A0、\overline{BS}、\overline{CSn}、$\overline{RD}/\overline{WR}$、$\overline{WE}/\overline{DQMxx}/\overline{AH}$、$\overline{RD}$、および \overline{FRAME} のスタンバイモード時の端子状態を指定します。バス解放時は、本ビットに関わらずハイインピーダンスになります。</p> <p>0 : スタンバイモード時にハイインピーダンス 1 : スタンバイモード時にドライブ</p>
0	HIZCNT	0	R/W	<p>High-Z コントロール</p> <p>本ビットは、CKIO、CKIO2、CKE、\overline{RASU}、\overline{RASL}、\overline{CASU}、\overline{CASL} のスタンバイモード時およびバス権解放時の状態を指定します。</p> <p>0 : CKIO、CKIO2、CKE、\overline{RASU}、\overline{RASL}、\overline{CASU}、\overline{CASL} は、スタンバイモード時およびバス権解放時にハイインピーダンス 1 : CKIO、CKIO2、CKE、\overline{RASU}、\overline{RASL}、\overline{CASU}、\overline{CASL} は、スタンバイモード時およびバス権解放時にドライブ</p>

12. バスステートコントローラ (BSC)

12.4.2 CSn 空間バスコントロールレジスタ (CSnBCR)

(n=0、2、3、4、5A、5B、6A、6B)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。パワーオンリセット時は、H'36DB 0600 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	IWW2	0	R/W	ライト - リード / ライト - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
29	IWW1	1	R/W	
28	IWW0	1	R/W	
27	IWRWD2	0	R/W	別空間リード - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
26	IWRWD1	1	R/W	
25	IWRWD0	1	R/W	

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
24	IWRWS2	0	R/W	同一空間リード - ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
23	IWRWS1	1	R/W	
22	IWRWS0	1	R/W	
21	IWRRD2	0	R/W	別空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
20	IWRRD1	1	R/W	
19	IWRRD0	1	R/W	
18	IWRRS2	0	R/W	同一空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
17	IWRRS1	1	R/W	
16	IWRRS0	1	R/W	
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
14	TYPE2	0	R/W	本ビットは、空間に接続するメモリの種類を設定します。 000 : 通常空間 001 : パースト ROM (クロック非同期) 010 : MPX-I/O 011 : バイト選択付 SRAM 100 : SDRAM 101 : 予約 (設定禁止) 110 : パースト MPX-I/O 111 : パースト ROM (クロック同期) エリアごとのメモリタイプは表 12.2、表 12.3 を参照してください。
13	TYPE1	0	R/W	
12	TYPE0	0	R/W	
11	-	0	R	
10	BSZ1	1*	R/W	データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00 : 予約 (設定禁止) 01 : 8 ビット 10 : 16 ビット 11 : 32 ビット MPX-I/O 時は、アドレスによるバス幅選択 【注】 1. エリア 5B を MPX-I/O に設定した場合は、本ビットの設定を 11 に設定すると、バス幅は CS5BWC の SZSEL に従ったアドレスによりバス幅 (8 ビットまたは 16 ビット) が選択されます。 2. エリア 0 のデータバス幅は、外部入力端子で設定します。CS0BCR の BSZ1,0 ビットへの書き込みは無視されます。 3. エリア 6 をパースト MPX-I/O に設定した場合は、バス幅は 32 ビットのみ設定が可能です。 4. エリア 2 または エリア 3 を SDRAM 空間に設定した場合は、バス幅は 16 または 32 ビットから設定が可能です。
9	BSZ0	1*	R/W	
8~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

【注】 * CS0BCR は、バス幅を指定する外部端子 (MD3) の値をパワーオンリセット時にサンプリングします。

12.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、2、3、4、5A、5B、6A、6B)

このレジスタは、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[2:0]) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR レジスタは、CSnBCR レジスタを設定後に設定してください。

CSnWCR は、パワーオンリセット時は H'0000 0500 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されず内容が保持されます。

(1) 通常空間、バイト選択付 SRAM、MPX-I/O

• CS0WCR

ビット	ビット名	初期値	R/W	説明
31~13	- *	すべて 0	R/W	リザーブビット 通常空間、バイト選択付 SRAM インタフェース時は 0 にしてください。
12	SW1	0	R/W	アドレス、CSn アサート RD、WEn アサート遅延サイクル数
11	SW0	0	R/W	このビットは、アドレス、CSn アサートから RD、WEn アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	このビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)	
8	WR1	1	R/W		
7	WR0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE \bar{n} ネゲート アドレス、CS \bar{n} ネゲート遅延サイクル数 このビットは、RD、WE \bar{n} ネゲートから、アドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
0	HW0	0	R/W		

【注】 * CS0 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 20 でバーストイネーブル指定、ビット 17、16 でバーストウェイトサイクル数指定を行った後に、CS0BCR の TYPE[2:0] を設定してください。上記以外のリザーブビットへの1書き込みは行わないでください。
バースト ROM インタフェースについては、「(2) バースト ROM (クロック非同期)」をご覧ください。

12. バスステートコントローラ (BSC)

• CS2WCR、CS3WCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付 SRAM バイトアクセス選択 本ビットは、バイト選択付 SRAM インタフェース時の $\overline{WE_n}$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE_n}$ は、リードライトタイミングでアサート、 RD/\overline{WR} は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10 9 8 7	WR3 WR2 WR1 WR0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 このビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000: ウェイトサイクルなし 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定禁止) 1110: 予約 (設定禁止) 1111: 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

12. バスステートコントローラ (BSC)

• CS4WCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付 SRAM バイトアクセス選択 本ビットは、バイト選択付 SRAM インタフェース時の $\overline{WE_n}$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE_n}$ は、リードライトタイミングでアサート、 RD/\overline{WR} は、ライトアクセスサイクル中アサート 1: $\overline{WE_n}$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18 17 16	WW2 WW1 WW0	0 0 0	R/W R/W R/W	ライトアクセスウェイトサイクル数 このビットには、ライトアクセスに必要なサイクル数を指定します。 000: $WR[3:0]$ 設定 (リードアクセスウェイト数)と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 $\overline{CS_n}$ アサート \overline{RD} 、 $\overline{WE_n}$ アサート遅延サイクル数 このビットは、アドレス、 $\overline{CS_n}$ アサートから \overline{RD} 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10	WR3	1	R/W	リードアクセスウェイトサイクル数
9	WR2	0	R/W	このビットは、リードアクセスに必要なウェイトサイクル数を指定します。
8	WR1	1	R/W	0000 : ウェイトサイクルなし
7	WR0	0	R/W	0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W	RD、WE \bar{n} ネゲート アドレス、CS \bar{n} ネゲート 遅延サイクル数
0	HW0	0	R/W	このビットは、RD、WE \bar{n} ネゲートから、アドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

12. バスステートコントローラ (BSC)

• CS5AWCR

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	このビットには、ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000 : WR[3:0]設定 (リードアクセスウェイト数)と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	SW1	0	R/W	アドレス、CS _n アサート、RD、WEn アサート遅延サイクル数
11	SW0	0	R/W	このビットは、アドレス、CS _n アサートから RD、WEn アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10	WR3	1	R/W	リードアクセスウェイトサイクル数
9	WR2	0	R/W	このビットは、リードアクセスに必要なウェイトサイクル数を指定します。
8	WR1	1	R/W	0000 : ウェイトサイクルなし
7	WR0	0	R/W	0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W	RD、WE \bar{n} ネゲート アドレス、CS \bar{n} ネゲート 遅延サイクル数
0	HW0	0	R/W	このビットは、RD、WE \bar{n} ネゲートから、アドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

12. バスステートコントローラ (BSC)

• CS5BWCR

ビット	ビット名	初期値	R/W	説明																				
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。																				
21	SZSEL	0	R/W	MPX-IO インタフェースバス幅指定ビット 本ビットは、CS5BBCR の BSZ[1:0]を 11 に設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア 5B を MPX-I/O に設定したときのみ有効です。 0 : アドレス A14 によりバス幅選択 1 : アドレス A21 によりバス幅選択 SZSEL ビットと A14、A21 によるバス幅選択の関係について示します。 <table border="1" data-bbox="581 668 1186 865"> <thead> <tr> <th>SZSEL</th> <th>A14</th> <th>A21</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>影響なし</td> <td>8 ビットバス幅</td> </tr> <tr> <td>0</td> <td>1</td> <td>影響なし</td> <td>16 ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>0</td> <td>8 ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>1</td> <td>16 ビットバス幅</td> </tr> </tbody> </table>	SZSEL	A14	A21	説明	0	0	影響なし	8 ビットバス幅	0	1	影響なし	16 ビットバス幅	1	影響なし	0	8 ビットバス幅	1	影響なし	1	16 ビットバス幅
SZSEL	A14	A21	説明																					
0	0	影響なし	8 ビットバス幅																					
0	1	影響なし	16 ビットバス幅																					
1	影響なし	0	8 ビットバス幅																					
1	影響なし	1	16 ビットバス幅																					
20	MPXW	0	R/W	MPX-IO インタフェースアドレスウェイト 本設定は、エリア 5B を MPX-I/O に設定したときのみ有効です。本ビットは、MPX-IO インタフェースのアドレスサイクル挿入ウェイトを設定します。 0 : ウェイトなし 1 : 1 サイクルウェイト挿入																				
	BAS	0	R/W	バイト選択付 SRAM バイトアクセス選択 本設定は、エリア 5B をバイト選択付 SRAM に設定したときのみ有効です。本ビットは、バイト選択付 SRAM インタフェース時の $\overline{WE}n$ および RD/\overline{WR} 信号のタイミングを設定します。 0 : $\overline{WE}n$ はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1 : $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート																				
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。																				

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	このビットには、ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000 : WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	SW1	0	R/W	アドレス、CS _n アサート RD、WE _n アサート遅延サイクル数
11	SW0	0	R/W	このビットは、アドレス、CS _n アサートから RD、WE _n アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10	WR3	1	R/W	リードアクセスウェイトサイクル数
9	WR2	0	R/W	このビットは、リードアクセスに必要なウェイトサイクル数を指定します。
8	WR1	1	R/W	0000 : ウェイトサイクルなし
7	WR0	0	R/W	0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
6	WM	0	R/W	外部ウェイトマスク指定 このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1 0	HW1 HW0	0 0	R/W R/W	\overline{RD} 、 \overline{WE} ネゲート アドレス、 \overline{CSn} ネゲート遅延サイクル数 このビットは、 \overline{RD} 、 \overline{WE} ネゲートから、アドレス、 \overline{CSn} ネゲートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

• CS6AWCR

ビット	ビット名	初期値	R/W	説 明
31~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WE} アサート遅延サイクル数 このビットは、アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WE} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明	
10	WR3	1	R/W	アクセスウェイトサイクル数	
9	WR2	0	R/W	このビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。	
8	WR1	1	R/W		
7	WR0	0	R/W		
					0000 : ウェイトサイクルなし
					0001 : 1 サイクル
					0010 : 2 サイクル
					0011 : 3 サイクル
					0100 : 4 サイクル
				0101 : 5 サイクル	
				0110 : 6 サイクル	
				0111 : 8 サイクル	
				1000 : 10 サイクル	
				1001 : 12 サイクル	
				1010 : 14 サイクル	
				1011 : 18 サイクル	
				1100 : 24 サイクル	
				1101 : 予約 (設定禁止)	
				1110 : 予約 (設定禁止)	
				1111 : 予約 (設定禁止)	
6	WM	0	R/W	外部ウェイトマスク指定 このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視	
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。	
1	HW1	0	R/W	RD、WE \bar{n} ネゲート アドレス、CS \bar{n} ネゲート 遅延サイクル数	
0	HW0	0	R/W	このビットは、RD および WE \bar{n} ネゲート から、アドレスおよび CS \bar{n} ネゲート までの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル	

12. バスステートコントローラ (BSC)

• CS6BWCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付 SRAM バイトアクセス選択 本ビットは、バイト選択付 SRAM インタフェース時の $\overline{WE}n$ および RD/\overline{WR} 信号のタイミングを設定します。 0: $\overline{WE}n$ は、リードライトタイミングでアサート、 RD/\overline{WR} は、ライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	SW1	0	R/W	アドレス、 $\overline{CS}n$ アサート \overline{RD} 、 $\overline{WE}n$ アサート遅延サイクル数 このビットは、アドレス、 $\overline{CS}n$ アサートから \overline{RD} 、 $\overline{WE}n$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル
11	SW0	0	R/W	
10	WR3	1	R/W	アクセスウェイトサイクル数 このビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000: ウェイトサイクルなし 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定禁止) 1110: 予約 (設定禁止) 1111: 予約 (設定禁止)
9	WR2	0	R/W	
8	WR1	1	R/W	
7	WR0	0	R/W	

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
6	WM	0	R/W	外部ウェイトマスク指定 このビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1 0	HW1 HW0	0 0	R/W R/W	RD、WEn ネゲート アドレス、CSn ネゲート遅延サイクル数 このビットは、RD、WEn ネゲートから、アドレス、CSn ネゲートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

(2) パースト ROM (クロック非同期)

• CS0WCR

ビット	ビット名	初期値	R/W	説 明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BEN	0	R/W	パーストイネーブル指定 本ビットは、16バイトアクセス発生時の16ビットバス幅に対する8パーストアクセスおよび8ビットバス幅に対する16パーストアクセスの許可または不許可を指定します。本ビットを0に設定時は、16ビットバス幅のとき2パースト4回のアクセス、および8ビットバス幅のとき4パースト4回のアクセスとなります。 8パーストおよび16パーストアクセスに対応していないデバイスを使用する場合は、本ビットを1にしてください。 0: 16ビットバス幅時の8パーストアクセス および8ビットバス幅時の16パーストアクセスを許可 1: 16ビットバス幅時の8パーストアクセス および8ビットバス幅時の16パーストアクセスを禁止
19	-	0	R	リザーブビット
18	-	0	R	読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
17 16	BW1 BW0	0 0	R/W R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000: ウェイトサイクルなし 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定禁止) 1110: 予約 (設定禁止) 1111: 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

12. バスステートコントローラ (BSC)

• CS4WCR

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	BEN	0	R/W	バーストイネーブル指定 本ビットは、16 バイトアクセス発生時の 16 ビットバス幅に対する 8 バーストアクセスおよび 8 ビットバス幅に対する 16 バーストアクセスの許可または不許可を指定します。本ビットを 0 に設定時は、16 ビットバス幅のとき 2 バースト 4 回のアクセス、または 8 ビットバス幅のとき 4 バースト 4 回のアクセスとなります。 8 バーストおよび 16 バーストアクセスに対応していないデバイスを使用する場合は、本ビットを 1 にしてください。 0 : 16 ビットバス幅時の 8 バーストアクセス および 8 ビットバス幅時の 16 バーストアクセス許可 1 : 16 ビットバス幅時の 8 バーストアクセス および 8 ビットバス幅時の 16 バーストアクセス禁止
19	-	0	R	リザーブビット
18	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	BW1	0	R/W	バーストウェイトサイクル数
16	BW0	0	R/W	本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	SW1	0	R/W	アドレス、 \overline{CS}_n アサート \overline{RD} 、 \overline{WE}_n アサート遅延サイクル数
11	SW0	0	R/W	本ビットは、アドレス、 \overline{CS}_n アサートから、 \overline{RD} 、 \overline{WE}_n アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明	
10	W3	1	R/W	アクセスウェイトサイクル数	
9	W2	0	R/W	本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)	
8	W1	1	R/W		
7	W0	0	R/W		
6	WM	0	R/W		外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	HW1	0	R/W		RD、WE \bar{n} ネゲート アドレス、CS \bar{n} ネゲート遅延サイクル数
0	HW0	0	R/W		本ビットは、RD、WE \bar{n} ネゲートから、アドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

12. バスステートコントローラ (BSC)

(3) SDRAM*

• CS2WCR

ビット	ビット名	初期値	R/W	説 明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8 7	A2CL1 A2CL0	1 0	R/W R/W	エリア 2CAS レイテンシ 本ビットは、エリア 2 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6~0	-	すべて 0	R	リザーブビットです。 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

• CS3WCR

ビット	ビット名	初期値	R/W	説 明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14 13	WTRP1* WTRP0	0 0	R/W R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 (1) オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで (2) PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで (3) パワーダウンモード / ディープパワーダウンモード遷移まで (4) オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで (5) セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで エリア 2 とエリア 3 の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11 10	WTRCD1 WTRCD0	0 1	R/W R/W	ACTV コマンド READ (A) / WRIT (A) コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ (A) / WRIT (A) コマンド発行までの最小ウェイトサイクル数を指定します。エリア 2 とエリア 3 の設定は、共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8 7	A3CL1 A3CL0	1 0	R/W R/W	エリア 3CAS レイテンシ 本ビットは、エリア 3 の CAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6 5	- -	0 0	R R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4 3	TRWL1* TRWL0	0 0	R/W R/W	プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 (1)本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動するまでのサイクル数 WRITA コマンド発行後、同一バンクに対する ACTV コマンド発行までのサイクル数です。なお、SDRAM 内で WRITA コマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。 (2)本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのサイクル数 バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。 エリア 2 とエリア 3 の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
1	WTRC1*	0	R/W	REF コマンド / セルフリフレッシュ解除 ACTV/REF/MRS コマンド間アイドルサイクル数 以下のコマンド間の最小アイドルサイクル数を指定します。 (1) REF コマンド発行後から ACTV/REF/MRS コマンド発行まで (2) セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで エリア 2 とエリア 3 の設定は、共通となります。 00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル
0	WTRC0	0	R/W	

【注】 * エリア 2 とエリア 3 が共に SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは、共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付 SRAM 設定としてください。

12. バスステートコントローラ (BSC)

(4) パースト MPX-IO

• CS6BWCR

ビット	ビット名	初期値	R/W	説明																																																								
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。																																																								
21 20	MPXAW1 MPXAW0	0 0	R/W R/W	アドレスサイクル挿入ウェイト数 本ビットは、アドレスサイクルに挿入するウェイト数を設定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル																																																								
19	MPXMD	0	R/W	パースト MPX-IO インタフェースモード指定 本ビットは、16 バイトアクセス時のアクセスモードを指定します。 0: 転送サイズ "16 バイト" による4パースト1回 1: 転送サイズ "クワッドワード (8 バイト)" による2パースト2回 MPXMD=0のときの転送サイズ <table border="1" data-bbox="581 880 1185 1193"> <thead> <tr> <th>D31</th> <th>D30</th> <th>D29</th> <th>転送サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>バイト (1 バイト)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ワード (2 バイト)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ロングワード (4 バイト)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>予約 クワッドワード (8 バイト)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>16 バイト</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>予約 (32 バイト)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>予約 (64 バイト)</td> </tr> </tbody> </table> MPXMD=1のときの転送サイズ <table border="1" data-bbox="581 1232 1185 1468"> <thead> <tr> <th>D31</th> <th>D30</th> <th>D29</th> <th>転送サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>バイト (1 バイト)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ワード (2 バイト)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ロングワード (4 バイト)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>クワッドワード (8 バイト)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>予約 (32 バイト)</td> </tr> </tbody> </table>	D31	D30	D29	転送サイズ	0	0	0	バイト (1 バイト)	0	0	1	ワード (2 バイト)	0	1	0	ロングワード (4 バイト)	0	1	1	予約 クワッドワード (8 バイト)	1	0	0	16 バイト	1	0	1	予約 (32 バイト)	1	1	0	予約 (64 バイト)	D31	D30	D29	転送サイズ	0	0	0	バイト (1 バイト)	0	0	1	ワード (2 バイト)	0	1	0	ロングワード (4 バイト)	0	1	1	クワッドワード (8 バイト)	1	0	0	予約 (32 バイト)
D31	D30	D29	転送サイズ																																																									
0	0	0	バイト (1 バイト)																																																									
0	0	1	ワード (2 バイト)																																																									
0	1	0	ロングワード (4 バイト)																																																									
0	1	1	予約 クワッドワード (8 バイト)																																																									
1	0	0	16 バイト																																																									
1	0	1	予約 (32 バイト)																																																									
1	1	0	予約 (64 バイト)																																																									
D31	D30	D29	転送サイズ																																																									
0	0	0	バイト (1 バイト)																																																									
0	0	1	ワード (2 バイト)																																																									
0	1	0	ロングワード (4 バイト)																																																									
0	1	1	クワッドワード (8 バイト)																																																									
1	0	0	予約 (32 バイト)																																																									
18	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。																																																								

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
17 16	BW1 BW0	0 0	R/W R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~11	-	すべて0	R	リザーブビットです。 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、1回目のバーストアクセスサイクルまたはシングルアクセスに挿入するウェイトサイクル数を指定します。 0000: ウェイトサイクルなし 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定禁止) 1110: 予約 (設定禁止) 1111: 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

12. バスステートコントローラ (BSC)

(5) パースト ROM (クロック同期)

- CS0WCR

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17 16	BW1 BW0	0 0	R/W R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1サイクル 10: 2サイクル 11: 3サイクル
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000: ウェイトサイクルなし 0001: 1サイクル 0010: 2サイクル 0011: 3サイクル 0100: 4サイクル 0101: 5サイクル 0110: 6サイクル 0111: 8サイクル 1000: 10サイクル 1001: 12サイクル 1010: 14サイクル 1011: 18サイクル 1100: 24サイクル 1101: 予約 (設定禁止) 1110: 予約 (設定禁止) 1111: 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

12.4.4 SDRAM コントロールレジスタ (SDCR)

本レジスタは、SDRAM のリフレッシュ方法やアクセス方法および、接続する SDRAM の種類を指定します。

SDCR レジスタはパワーオンリセット時に H'0000 0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	A2ROW1	0	R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定禁止)
19	A2ROW0	0	R/W	
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	A2COL1	0	R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定禁止)
16	A2COL0	0	R/W	
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー-SDRAM に対してのみ有効です。本ビットを 1 の状態で RFSH ビットおよび RMODE ビットを 1 にすると、ディープパワーダウンエントリーコマンドを発行してローパワー-SDRAM はディープパワーダウンモードに遷移します。 0 : セルフリフレッシュモード 1 : ディープパワーダウンモード

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
12	SLOW	0	R/W	<p>低周波数モード</p> <p>本ビットは、SDRAM に対するコマンド、アドレス、ライトデータを出力するタイミング、およびリードデータを取り込むタイミングを指定します。本ビットを 1 に設定すると、SDRAM に対するコマンド、アドレス、およびライトデータを通常より半サイクル遅い CKIO の立ち下がりに同期して出力します。また、SDRAM からのリードデータを通常より半サイクル早い CKIO の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、およびリードデータのホールド時間を延長することができます。このモードは、SDRAM を低周波数で動作させるときに適したモードです。</p> <p>0: SDRAM に対するコマンド、アドレス、およびライトデータを CKIO の立ち上がりに同期して出力する。SDRAM からのリードデータを CKIO の立ち上がりに同期して取り込む。</p> <p>1: SDRAM に対するコマンド、アドレス、およびライトデータを CKIO の立ち下がりに同期して出力する。SDRAM からのリードデータを CKIO の立ち下がりに同期して取り込む。</p>
11	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。</p> <p>0: リフレッシュしない</p> <p>1: リフレッシュする</p>
10	RMODE	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。</p> <p>0: オートリフレッシュを行う</p> <p>1: セルフリフレッシュを行う</p>
9	PDOWN	0	R	<p>パワーダウンモード</p> <p>本ビットは、SDRAM 以外の外部空間メモリアクセス終了後あるいは内蔵 IO レジスタ空間アクセス終了後に、SADRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、SDRAM 以外の外部メモリアクセスあるいは内蔵レジスタ空間アクセスをトリガとして、CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。</p> <p>0: SDRAM をパワーダウンモードにしない</p> <p>1: SDRAM 以外の外部メモリアクセスあるいは内蔵 IO レジスタアクセス終了後、SDRAM をパワーダウンモードにする</p>

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
8	BACTV	0	R/W	<p>バンクアクティブモード</p> <p>本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。</p> <p>0: オートプリチャージモード (READA および WRITA コマンドを使用)</p> <p>1: バンクアクティブモード (READ および WRIT コマンドを使用)</p> <p>【注】 バンクアクティブモードは、エリア 3 でのみ設定可能です。このときバス幅は、16 または 32 ビットから設定可能です。エリア 2 およびエリア 3 とともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。</p>
7~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
4	A3ROW1	0	R/W	エリア 3 ロウアドレスビット数
3	A3ROW0	0	R/W	<p>本ビットは、エリア 3 のロウアドレスのビット数を指定します。</p> <p>00: 11 ビット</p> <p>01: 12 ビット</p> <p>10: 13 ビット</p> <p>11: 予約 (設定禁止)</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
1	A3COL1	0	R/W	エリア 3 カラムアドレスビット数
0	A3COL0	0	R/W	<p>本ビットは、エリア 3 のカラムアドレスのビット数を指定します。</p> <p>00: 8 ビット</p> <p>01: 9 ビット</p> <p>10: 10 ビット</p> <p>11: 予約 (設定禁止)</p>

12. バスステートコントローラ (BSC)

12.4.5 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)

本レジスタは、SDRAMのリフレッシュに関する各種設定を行います。パワーオンリセット時にはH'0000 0000に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0]をB'000以上に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット/クリアされます。 0: クリア条件: CMF=1の状態 で RTCSR を読み出した後に、CMFに0を書き込んだとき 1: セット条件: RTCNT=RTCORになったとき
6	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
5 4 3	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 本ビットは、リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックを選択します。 000: カウントアップ停止 001: B /4 010: B /16 011: B /64 100: B /256 101: B /1024 110: B /2048 111: B /4096

ビット	ビット名	初期値	R/W	説明	
2	RRC2	0	R/W	リフレッシュ回数	
1	RRC1	0	R/W	本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。	
0	RRC0	0	R/W		
					000 : 1 回
					001 : 2 回
					010 : 4 回
				011 : 6 回	
				100 : 8 回	
				101 : 予約 (設定禁止)	
				110 : 予約 (設定禁止)	
				111 : 予約 (設定禁止)	

12.4.6 リフレッシュタイマカウンタ (RTCNT)

本レジスタは、8ビットのカウンタで、RTCSRのCKS[2:0]ビットで選択したクロックによりカウントアップされます。RTCNTとRTCORの値が一致すると、RTCNTは0にクリアされます。また、255までカウントアップすると次は0に戻ります。書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。パワーオンリセット時にはH'0000 0000に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されません。

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
7~0	-	すべて0	R/W	8ビットのカウンタ

12.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

本レジスタは、8ビットのレジスタです。RTCORとRTCNTの値が一致すると、RTCSRのCMFビットが1にセットされ、RTCNTは0にクリアされます。

SDCRのRFSHビットが1にセットされている場合は、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。パワーオンリセット時にはH'0000 0000に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに内容が保持されます。

12. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
7~0	-	すべて0	R/W	8ビットのレジスタ

12.4.8 リセットウェイトカウンタ (RWT CNT)

本レジスタは、7ビットのカウンタです。パワーオンリセット解除後、CKIOに同期してカウントアップを開始し、レジスタの値がH'007Fになるとカウントアップを停止します。本レジスタがカウントアップを行っている間は、外部バスへのアクセスが待たされます。フラッシュメモリ等のリセット解除から最初のアクセスまでの最小時間を確保するために、本レジスタは存在します。

本レジスタの下位7ビットに値を書き込むと、書き込んだ値からカウントアップを開始し、カウントアップが終了するまで新たな外部バスアクセスは発生しません。書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
6~0	-	すべて0	R/W	7ビットのカウンタ

12.5 動作説明

12.5.1 エンディアン / アクセスサイズとデータアライメント

本LSIでは、バイトデータの並び方を上位バイト (MSByte) が0番地側になるビッグエンディアンをサポートしています。

また、データバス幅は、通常メモリ、バイト選択付SRAMとしては8ビット、16ビット、および32ビット幅の3種類から選べ、SDRAMは16ビットおよび32ビット幅の2種類から選べます。MPX-IOでは、8ビットあるいは16ビット幅固定もしくはアクセスするアドレスにより、8ビットあるいは16ビットの可変となります。パーストMPX-IOでは、32ビット幅固定です。データのアライメントは、各デバイスのデータバス幅にあわせて行われます。したがって、8ビット幅のデバイスからロングワードデータを読み出すためには、4回の読み出し動作が必要です。本LSIでは、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を表12.5～表12.7に示します。

表 12.5 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31~D24	D23~D16	D15~D8	D7~D0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0 番地バイト アクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイト アクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 12.6 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31~D24	D23~D16	D15~D8	D7~D0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
1 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
2 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	データ 15~8	データ 7~0	-	-	アサート	アサート

12. バスステートコントローラ (BSC)

表 12.7 8ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 7~0	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 31~24	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 23~16	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート

12.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のないSRAMの直結を考慮してストロープ信号を出力します。バイト選択付端子のあるSRAMを使用する場合は、「12.5.8 バイト選択付SRAMインタフェース」を参照ください。図12.3に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1サイクルアサートされます。

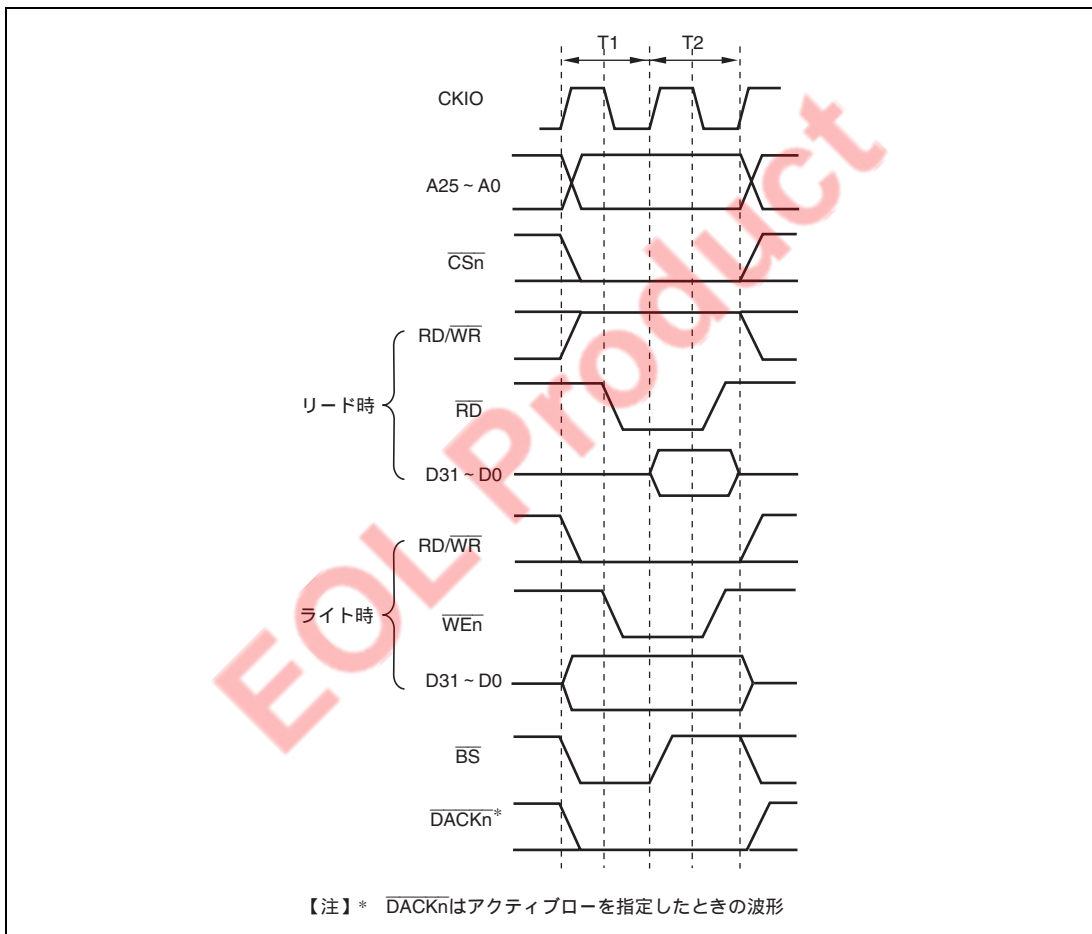


図 12.3 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32ビットデバイスでは32ビットを、16ビットデバイスでは16ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WEn} 信号のみがアサートされます。

12. バスステートコントローラ (BSC)

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。 RD/\overline{WR} 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 12.4、図 12.5 に通常空間連続アクセスの例を示します。CSnWCR.WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 12.4)。しかし、CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑止することができます。(図 12.5)

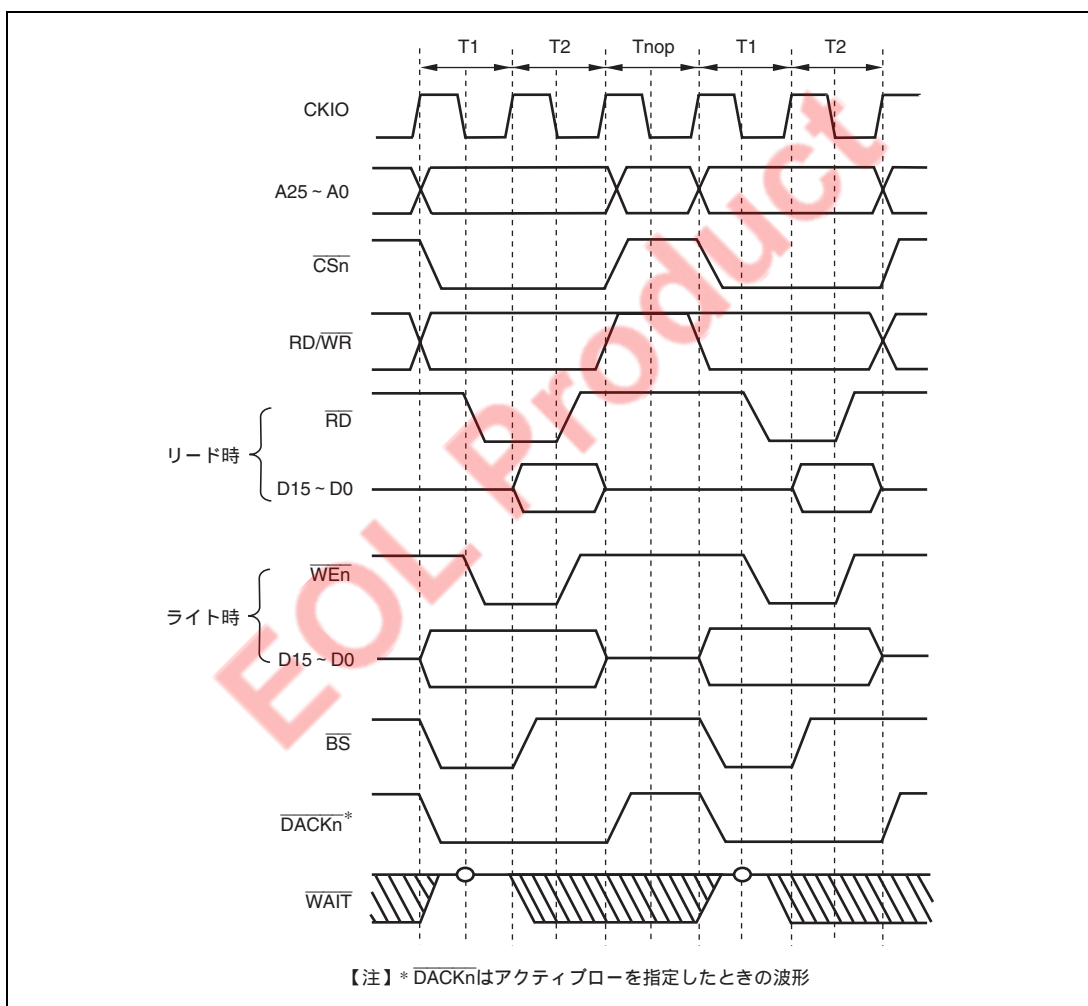


図 12.4 通常空間連続アクセス例 1
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0
 (アクセスウェイト 0、サイクル間ウェイト 0)

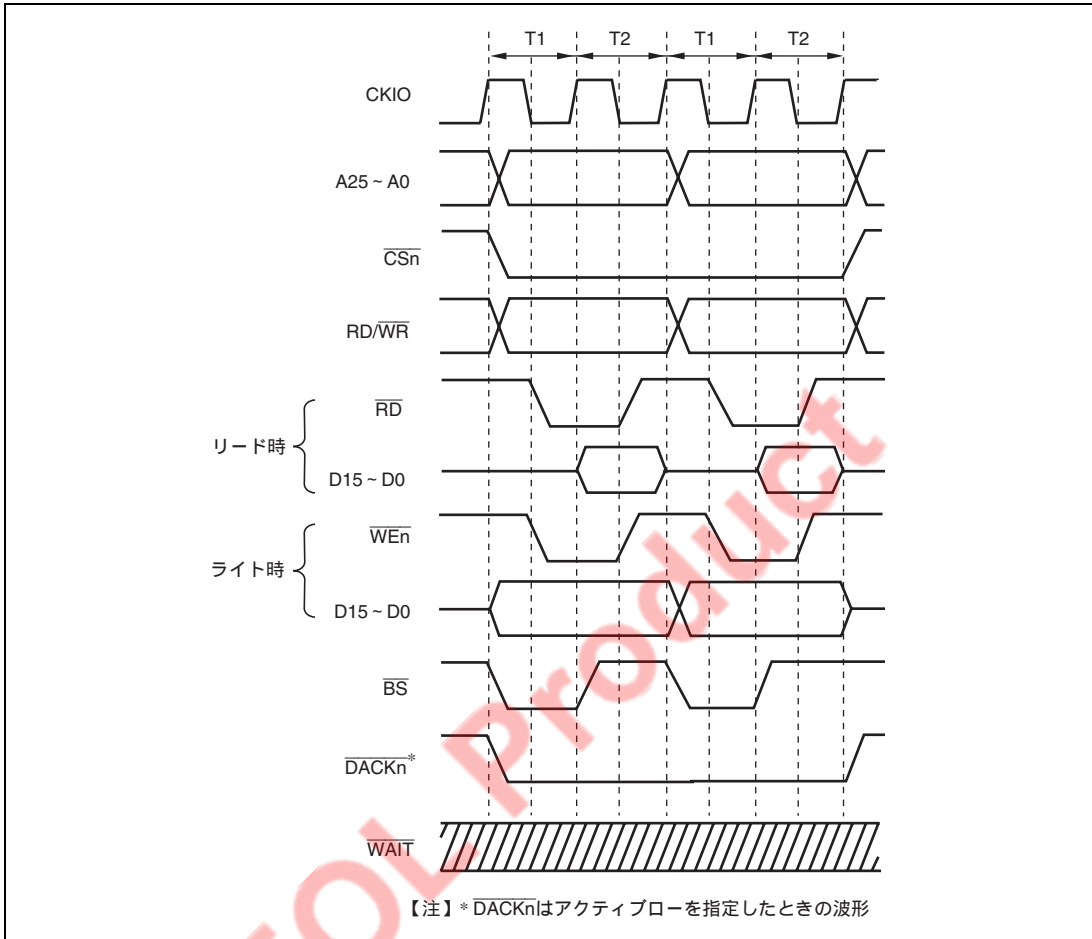


図 12.5 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1
 (アクセスウェイト 0、サイクル間ウェイト 0)

12. バスステートコントローラ (BSC)

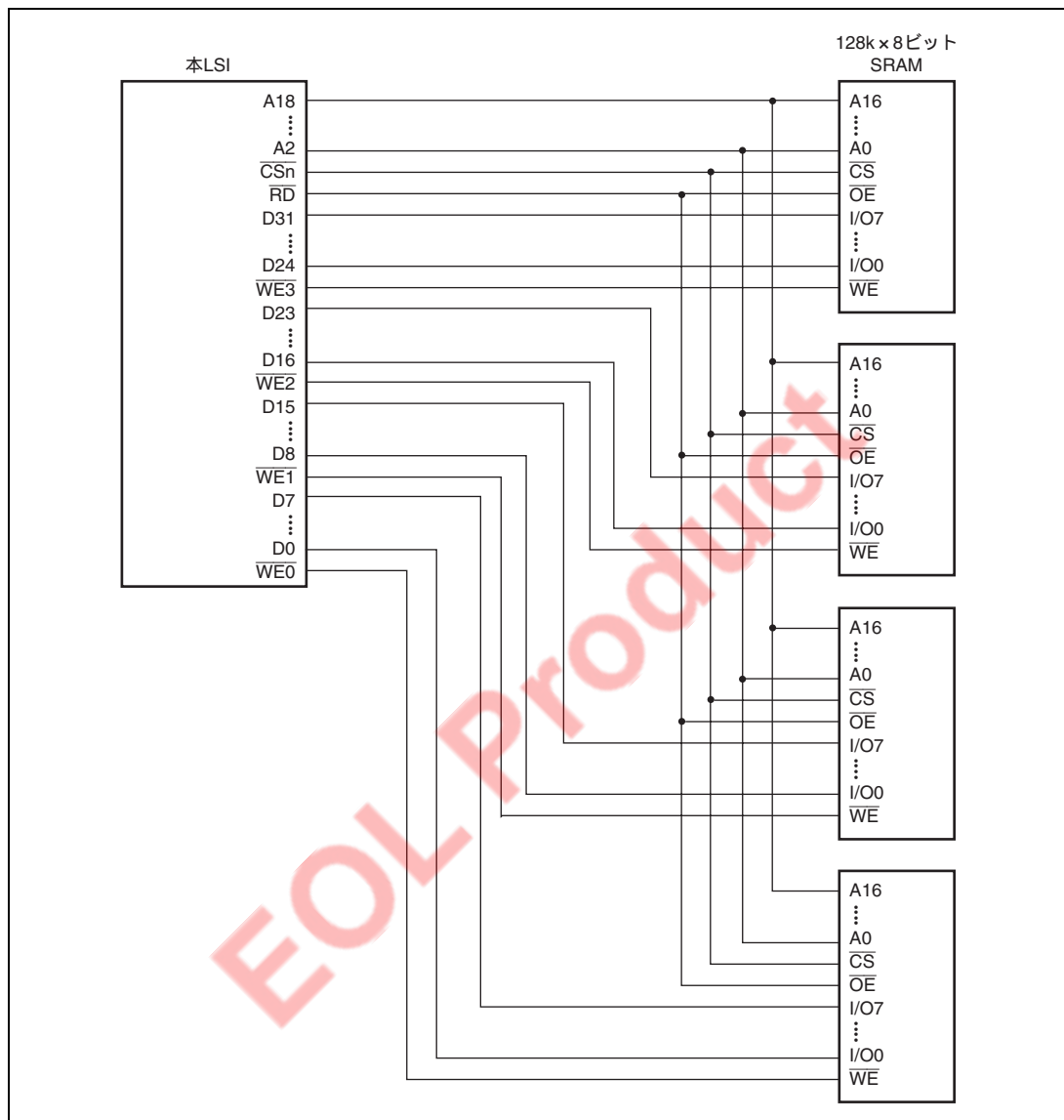


図 12.6 32 ビットデータ幅 SRAM 接続例

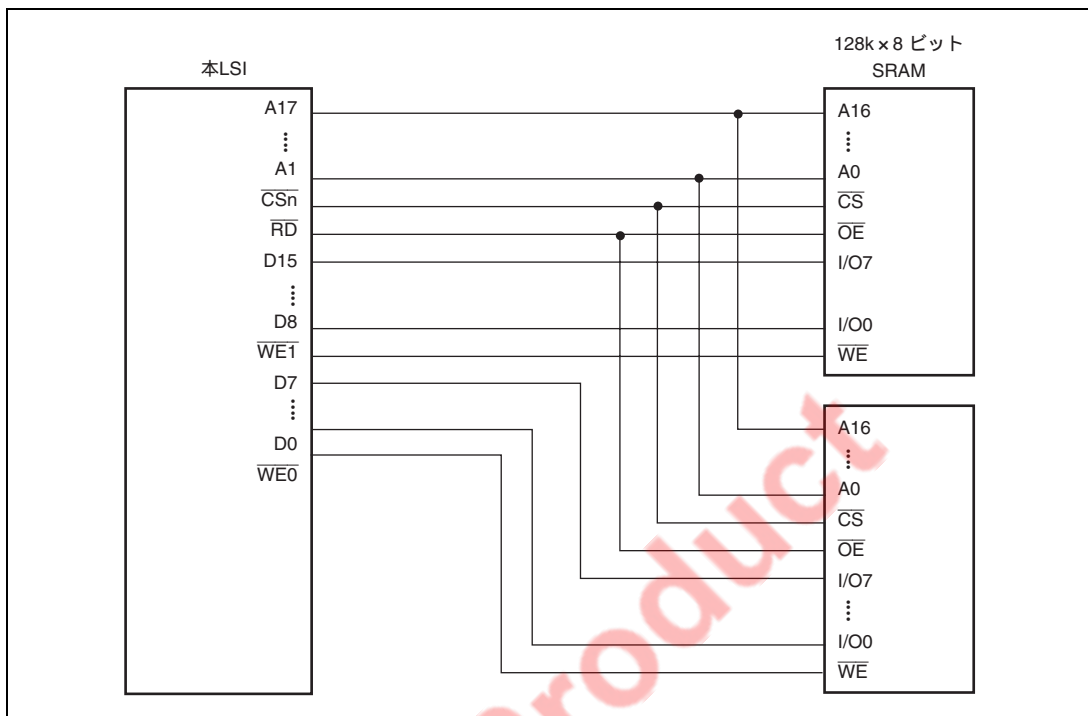


図 12.7 16 ビットデータ幅 SRAM 接続例

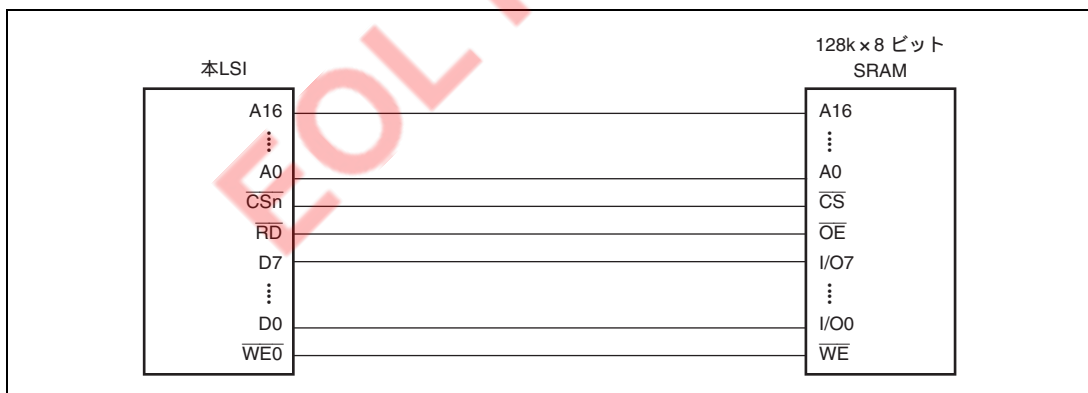


図 12.8 8 ビットデータ幅 SRAM 接続例

12.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 4、エリア 5A、およびエリア 5B では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リードおよびライトサイクルで共通となります。図 12.9 に示す通常空間のアクセスでは、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

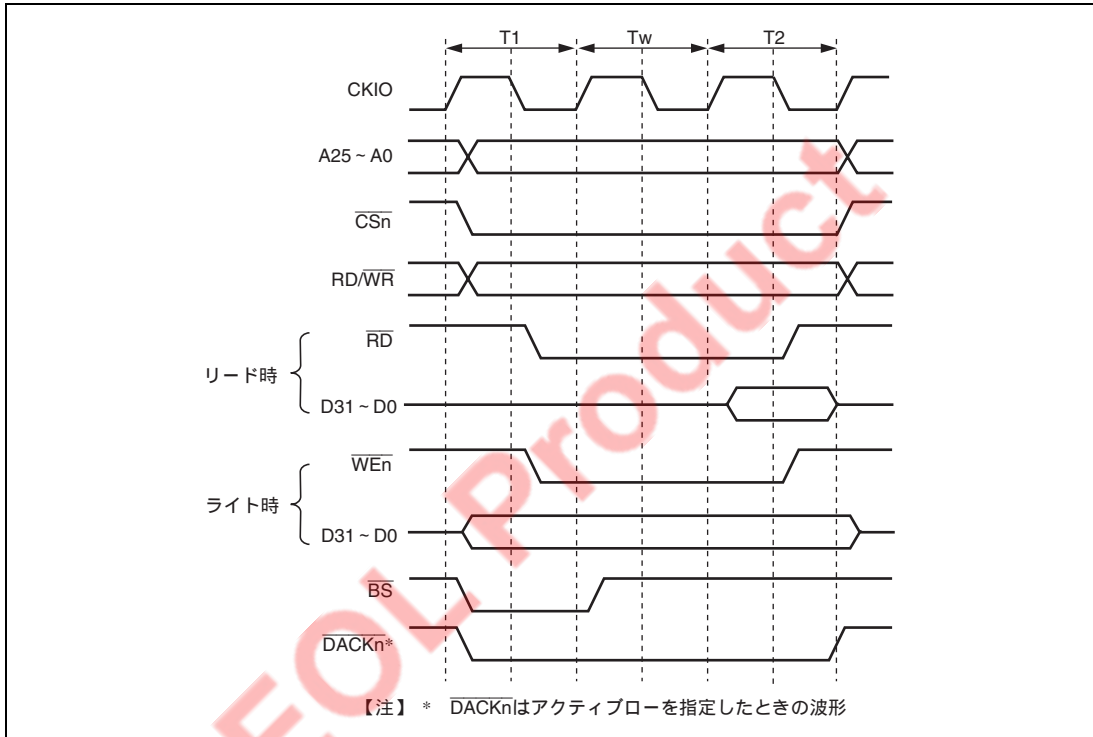


図 12.9 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 12.10 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。(CMNCR のビット 15 WAITSEL = 0 の場合)

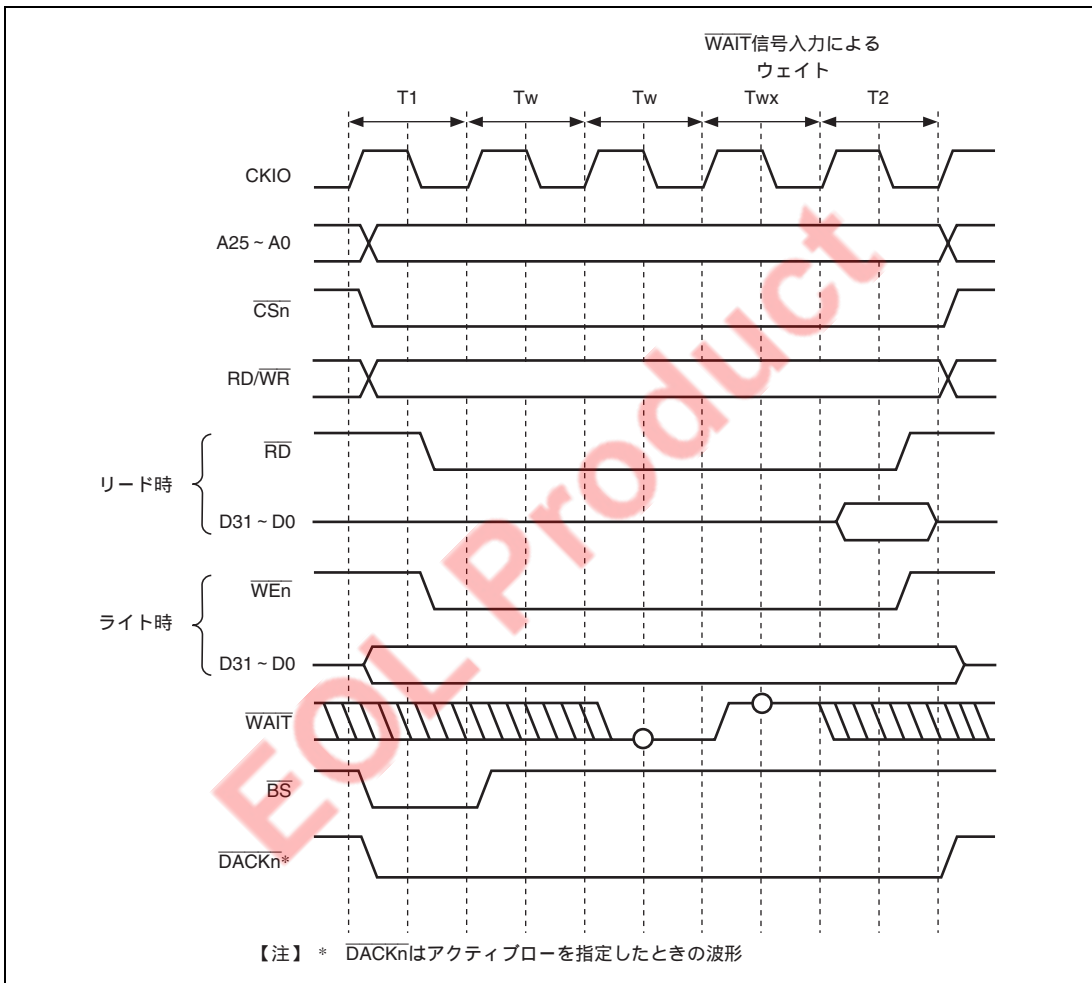


図 12.10 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

12.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW[1:0] ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WEn} アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 \overline{RD} と \overline{WEn} ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 12.11 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WEn} 以外はアサートされますが、 \overline{RD} と \overline{WEn} はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

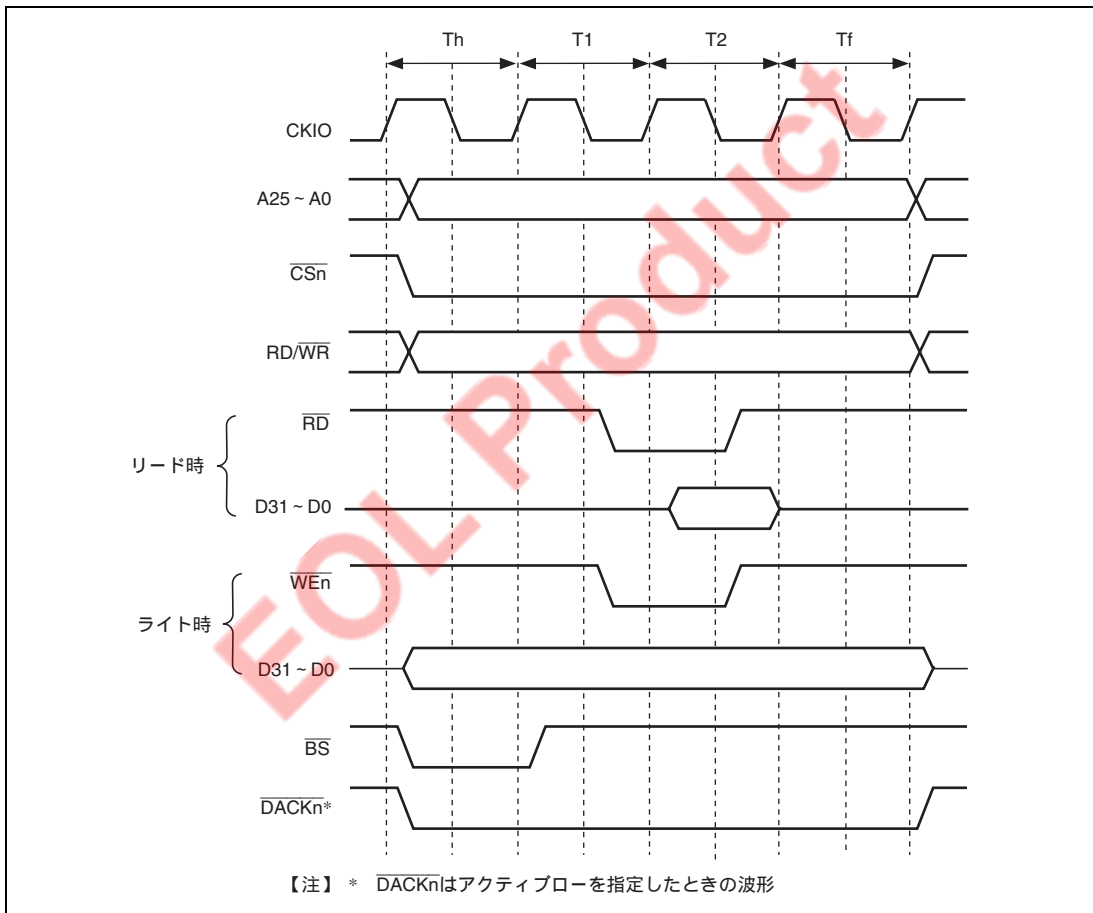


図 12.11 \overline{CSn} アサート期間拡張

12.5.5 MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、 $\overline{CS5B}$ 、 \overline{AH} 、 \overline{RD} 、および $\overline{WE_n}$ 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15 ~ D0 または D7 ~ D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入無しにアドレスとデータの衝突を防ぐことができます。また、CS5BWCR レジスタの MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

RD/ \overline{WR} 信号は $\overline{CS5B}$ 信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

タイミングチャートを図 12.12、図 12.13、図 12.14 に示します。

12. バスステートコントローラ (BSC)

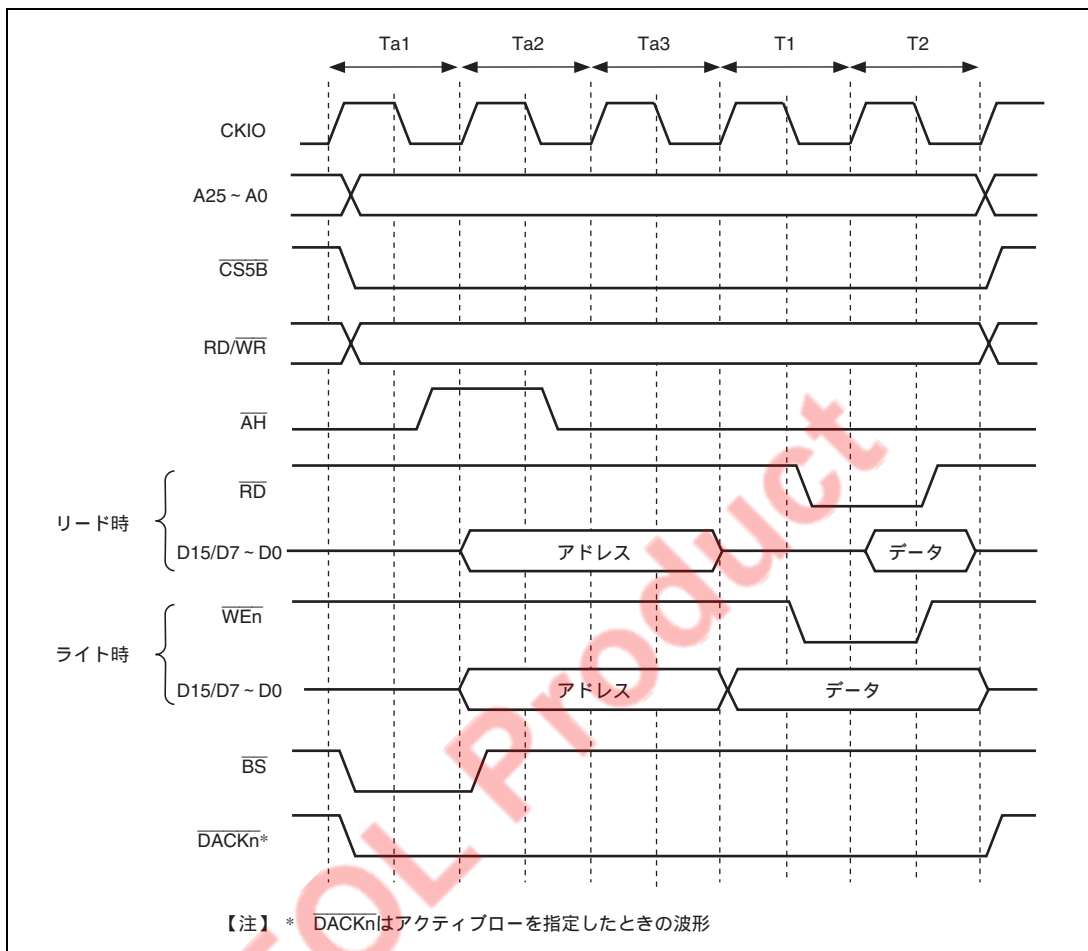


図 12.12 MPX 空間アクセスタイミング
(アドレスサイクルノーウェイト、データサイクルノーウェイト)

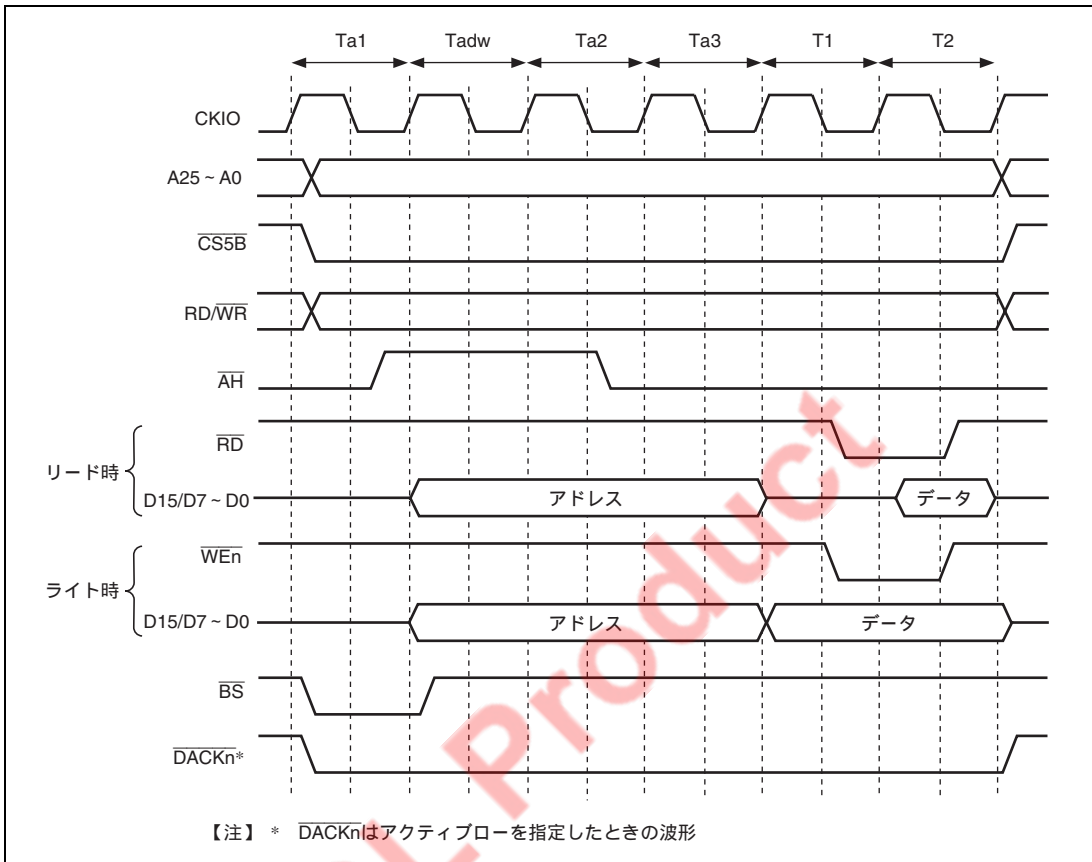


図 12.13 MPX 空間アクセスタイミング
(アドレスサイクルウェイト1、データサイクルノーウェイト)

12. バスステートコントローラ (BSC)

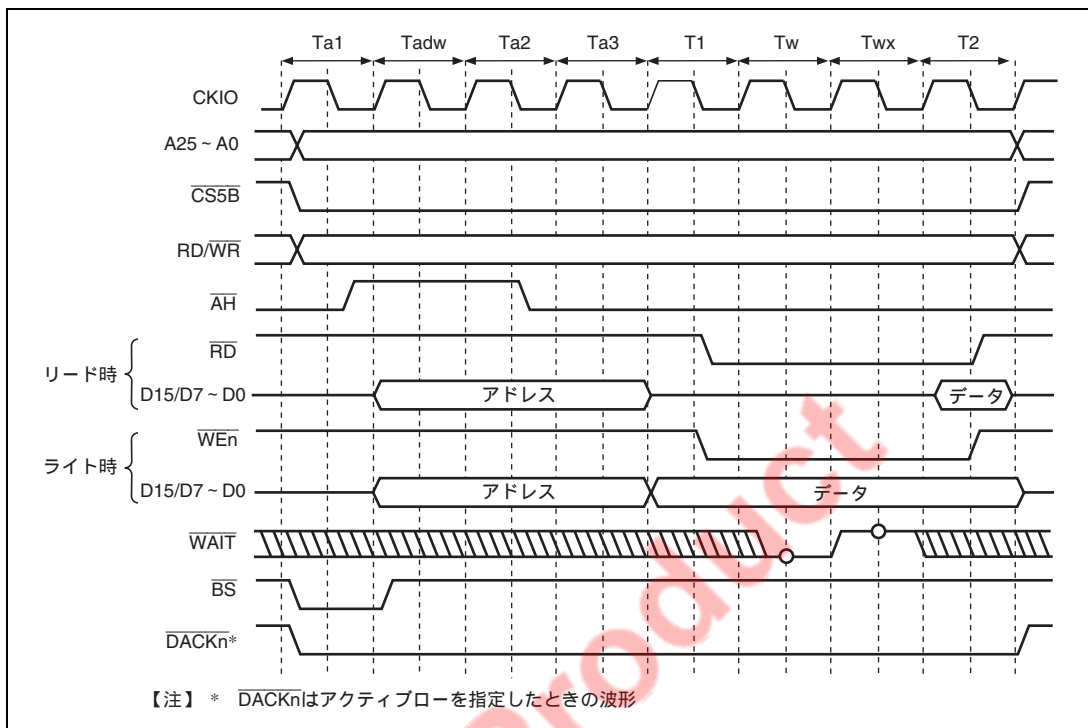


図 12.14 MPX 空間アクセスタイミング
(アドレスサイクルアクセスウェイト1、データサイクルウェイト1、外部ウェイト1)

12.5.6 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 / 12 / 13 ビット、カラムアドレスが 8 / 9 / 10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 \overline{RAS} 、 \overline{RASL} 、 \overline{CAS} 、 \overline{CASL} 、 $\overline{RD/WR}$ 、 \overline{DQMUU} 、 \overline{DQMUL} 、 \overline{DQMLU} 、 \overline{DQMLL} 、 \overline{CKE} 、および $\overline{CS2}$ と $\overline{CS3}$ です。 $\overline{CS2}$ と $\overline{CS3}$ を除く信号は各空間に共通であり、 \overline{CKE} を除く信号は $\overline{CS2}$ と $\overline{CS3}$ がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

\overline{RAS} 、 \overline{RASL} 、 \overline{CAS} 、 \overline{CASL} 、 $\overline{RD/WR}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS、EMRS) などをサポートしています。

アクセスするバイトの指定は、DQMUU、DQMUL、DQMLU、および DQMLL によって行われます。該当する DQM_{xx} がローレベルのバイトに対してリード/ライトが行われます。DQM_{xx} とアクセスするバイトの関係は、「12.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 12.15 ~ 図 12.17 に本 LSI と SDRAM との接続例を示します。

図 12.17 に示すように本 LSI では、同一 CS 空間内に $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、および $\overline{\text{CASL}}$ を用いることにより、32M バイト以下の SDRAM のセットを 2 つ接続することができます。この場合、同一 CS 空間内に $\overline{\text{RASL}}$ と $\overline{\text{CASL}}$ で指定される SDRAM の 4 バンクと、 $\overline{\text{RASU}}$ と $\overline{\text{CASU}}$ で指定される SDRAM の 4 バンクの計 8 バンクが存在します。A25=0 のアドレスのアクセスにおいて、 $\overline{\text{RASL}}$ と $\overline{\text{CASL}}$ がアサートされ、A25=1 のアドレスのアクセスにおいて $\overline{\text{RASU}}$ と $\overline{\text{CASU}}$ がアサートされます。

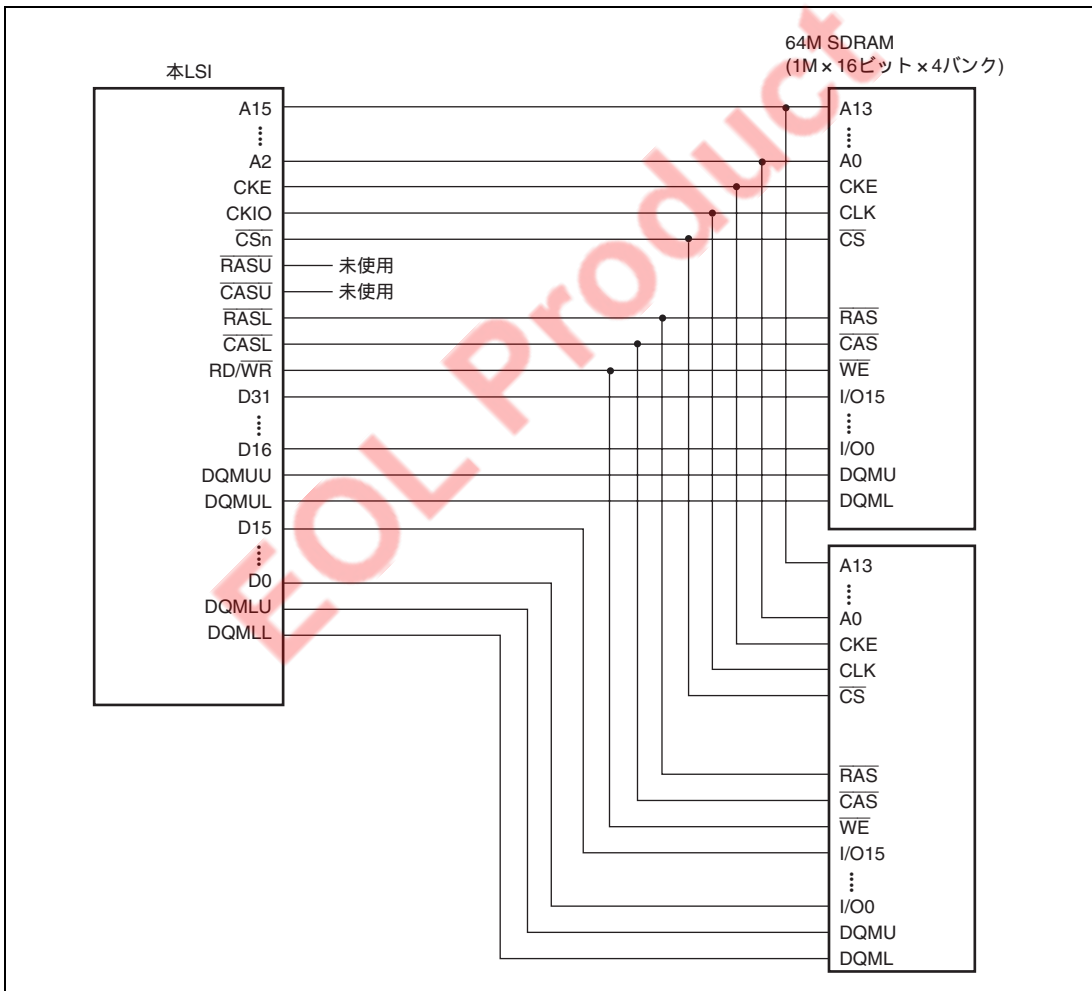


図 12.15 32 ビットデータ幅 SDRAM 接続例 ($\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$ 未使用)

12. バスステートコントローラ (BSC)

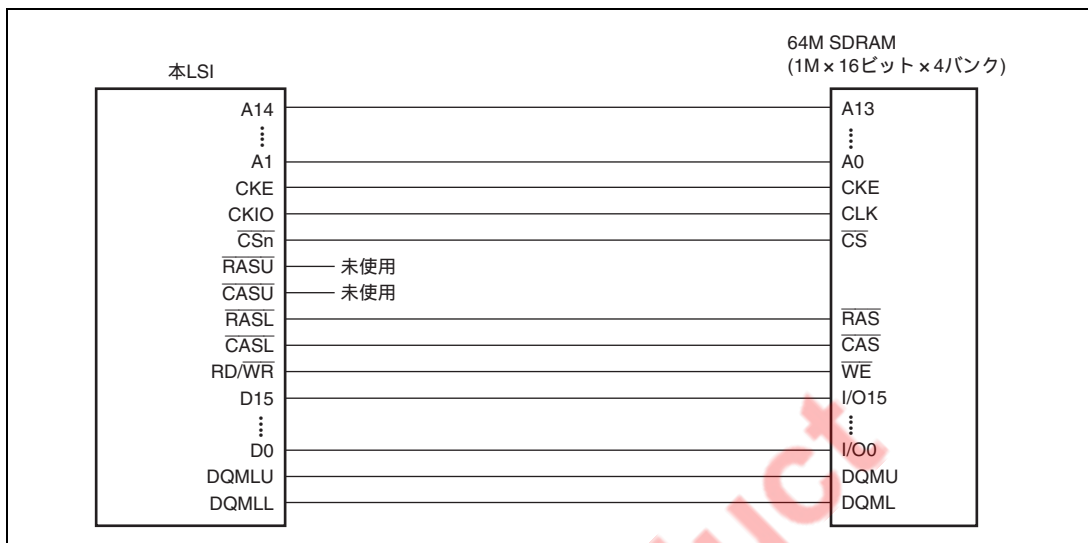


図 12.16 16 ビットデータ幅 SDRAM 接続例 (RASU、CASU 未使用)

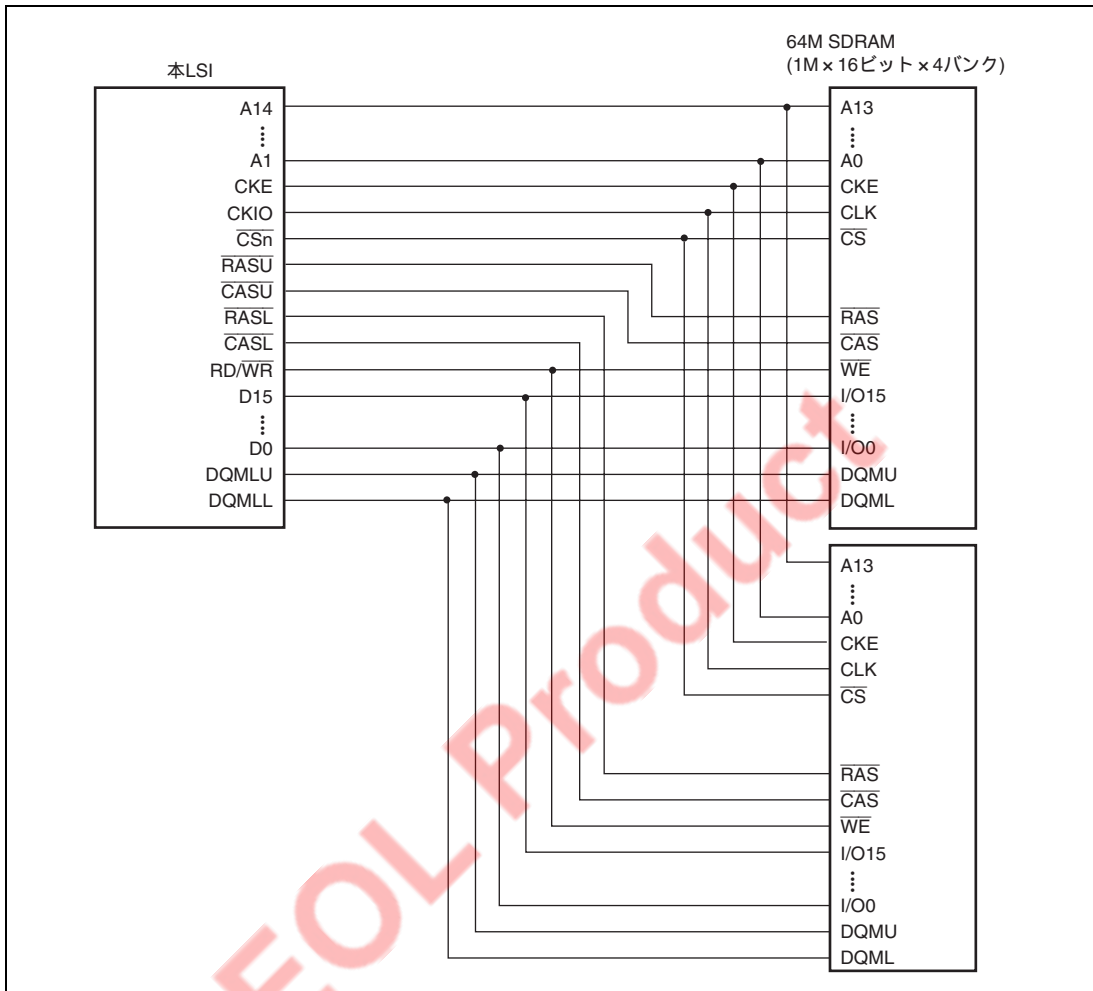


図 12.17 16 ビットデータ幅 SDRAM 接続例 (RASU、CASU 使用)

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の AxROW[1:0]ビット、および AxCOL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 12.8 ~ 表 12.13 に BSZ[1:0]、AxROW[1:0]、および AxCOL[1:0]の設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットのとき (BSZ[1:0]=B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットのとき (BSZ[1:0]=B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

12. バスステートコントローラ (BSC)

表 12.8 BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (1)

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32bit)	00 (11bit)	00 (8bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2	A22*2	A12(BA1)	バンク指定
A13	A21*2	A21*2	A11(BA0)	
A12	A20	L/H*1	A10/AP	アドレス / プリチャージ 指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
64M ビット品 (512K ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個 16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 2 個				

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32bit)	01 (12bit)	00 (8bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23*2	A23*2		
A14	A22*2	A22*2	A12(BA0)	
A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP	アドレス / プリチャージ 指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
128M ビット品 (1M ワード×32 ビット×4 バンク、カラム 8 ビット品) 1 個 64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 12.9 BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (2)

設 定			SDRAM の 端子	機能
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32bit)	01 (12bit)	01 (9bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24*2	A24*2	A13(BA1)	バンク指定
A14	A23*2	A23*2	A12(BA0)	
A13	A22	A13	A11	アドレス
A12	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、カラム 9 ビット品) 1 個				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 2 個				

設 定			SDRAM の 端子	機能
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
11 (32bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25*2,3	A25*2,3	A13(BA1)	バンク指定
A14	A24*2	A24*2	A12(BA0)	
A13	A23	A13	A11	アドレス
A12	A22	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		未使用
A0	A10	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、カラム 10 ビット品) 1 個				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 2 個				

- 【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
 *2 バンクアドレス指定
 *3 A25 がバンクアドレス指定のため、 $\overline{\text{RASL}}$ のみアサートされます。 $\overline{\text{RASU}}$ は、アサートされません。

12. バスステートコントローラ (BSC)

表 12.10 BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (3)

設 定					
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0			
11 (32bit)	10 (13bit)	01 (9bit)			
本 LSI の出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機能	
A17	A26	A17		未使用	
A16	A25 ^{*2*}	A25 ^{*2*}	A14(BA1)	バンク指定	
A15	A24 ^{*2}	A24 ^{*2}	A13(BA0)		
A14	A23	A14	A12	アドレス	
A13	A22	A13	A11		
A12	A21	L/H ^{*1}	A10/AP	アドレス / プリチャージ指定	
A11	A20	A11	A9	アドレス	
A10	A19	A10	A8		
A9	A18	A9	A7		
A8	A17	A8	A6		
A7	A16	A7	A5		
A6	A15	A6	A4		
A5	A14	A5	A3		
A4	A13	A4	A2		
A3	A12	A3	A1		
A2	A11	A2	A0		
A1	A10	A1			未使用
A0	A9	A0			
接続メモリ例					
512M ビット品 (4M ワード × 32 ビット × 4 バンク、カラム 9 ビット品) 1 個					
256M ビット品 (4M ワード × 16 ビット × 4 バンク、カラム 9 ビット品) 2 個					

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、 $\overline{\text{RASL}}$ のみアサートされます。 $\overline{\text{RASU}}$ は、アサートされません。

12. バスステートコントローラ (BSC)

表 12.11 BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (4)

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16bit)	00 (11bit)	00 (8bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21* ²	A21* ²	A12(BA1)	バンク指定
A12	A20* ²	A20* ²	A11(BA0)	
A11	A19	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、カラム 8 ビット品) 1 個				

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16bit)	01 (12bit)	00 (8bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22* ²	A22* ²		
A13	A21* ²	A21* ²	A12(BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
64M ビット品 (1M ワード×16 ビット×4 バンク、カラム 8 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

12. バスステートコントローラ (BSC)

表 12.12 BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (5)

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16bit)	01 (12bit)	01 (9bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23*2	A23*2	A13(BA1)	バンク指定
A13	A22*2	A22*2	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16bit)	01 (12bit)	10 (10bit)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24*2	A24*2	A13(BA1)	バンク指定
A13	A23*2	A23*2	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 12.13 BSZ1,0、A2/3ROW1,0、A2/3COL1,0 とアドレスマルチプレクスの関係 (6)

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16bit)	10 (13bit)	01 (9bit)		
本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用
A16	A25	A16		未使用
A15	A24*2	A24*2	A14(BA1)	バンク指定
A14	A23*2	A23*2	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個				

設 定				
BSZ 1,0	A2/3 ROW 1,0	A2/3 COL 1,0		
10 (16bit)	10 (13bit)	10 (10bit)		
本 LSI の 出力端子	로우アドレス 出力サイクル	카ラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A27	A17		未使用
A16	A26	A16		未使用
A15	A25*2*3	A25*2*3	A14(BA1)	バンク指定
A14	A24*2	A24*2	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 A25 がバンクアドレス指定のため、 \overline{RASL} のみアサートされます。 \overline{RASU} はアサートされません。

(3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、パースト長 1 のリードを 4 回連続して行います。このときのアクセスをパースト数 4 と呼びます。表 12.14 にアクセスサイズとパースト数の関係を示します。

12. バスステートコントローラ (BSC)

表 12.14 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4

バーストリード時のタイミングチャートを図 12.18 と図 12.19 に示します。バーストリードでは ACTV コマンド出力を行う T_r サイクルに続いて、READ コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、READA コマンドを T_{c4} サイクルに発行し、 T_{d1} から T_{d4} のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。 T_{ap} サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0]の指定によって T_{ap} のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 12.19 となります。ACTV コマンド出力サイクル T_r から READ コマンド出力サイクル T_{c1} までのサイクル数は、CS3WCR の WTRCD[1:0]ビットによって指定することができます。WTRCD[1:0]の設定が 1 サイクル以上の場合は、 T_r サイクルと T_{c1} サイクルの間に NOP コマンド発行サイクル T_{rw} サイクルが挿入されます。READ コマンド出力サイクル T_{c1} からリードデータ取りこみサイクル T_{d1} までのサイクル数は、CS2WCR の A2CL[1:0]ビットおよび CS3WCR の A3CL[1:0]ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

T_{de} サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、バーストリード、シングルリード時に必ず 1 サイクル発生します。

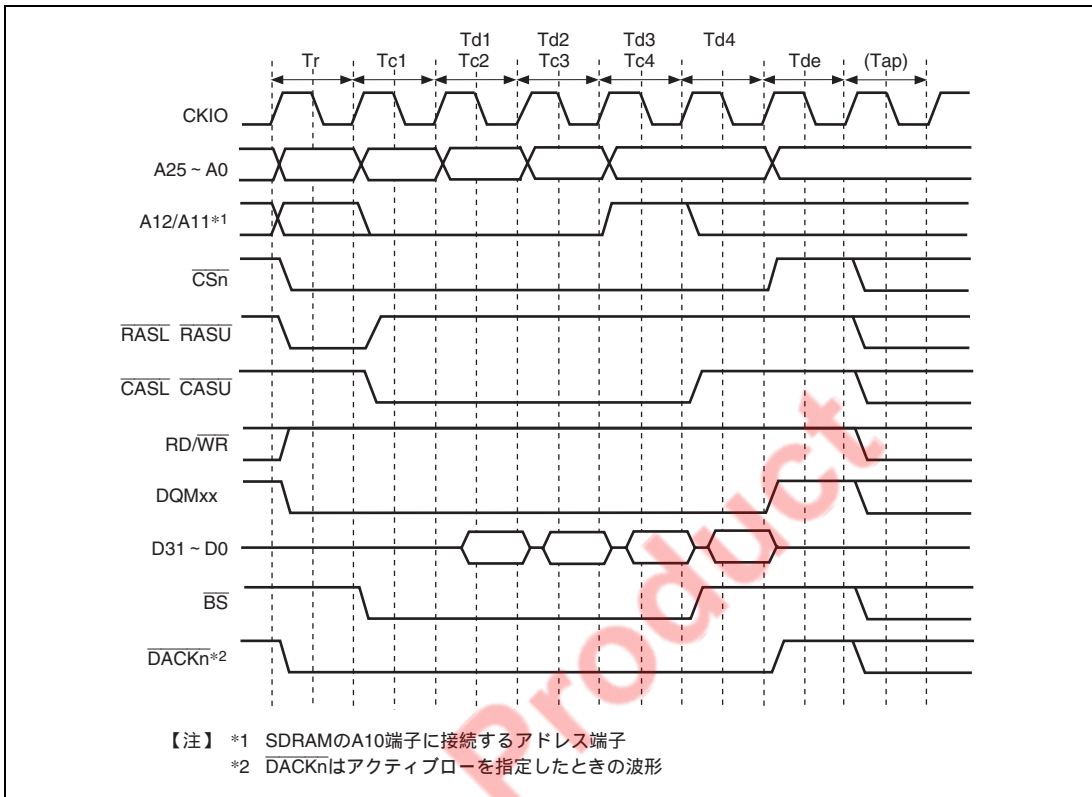


図 12.18 バーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)

12. バスステートコントローラ (BSC)

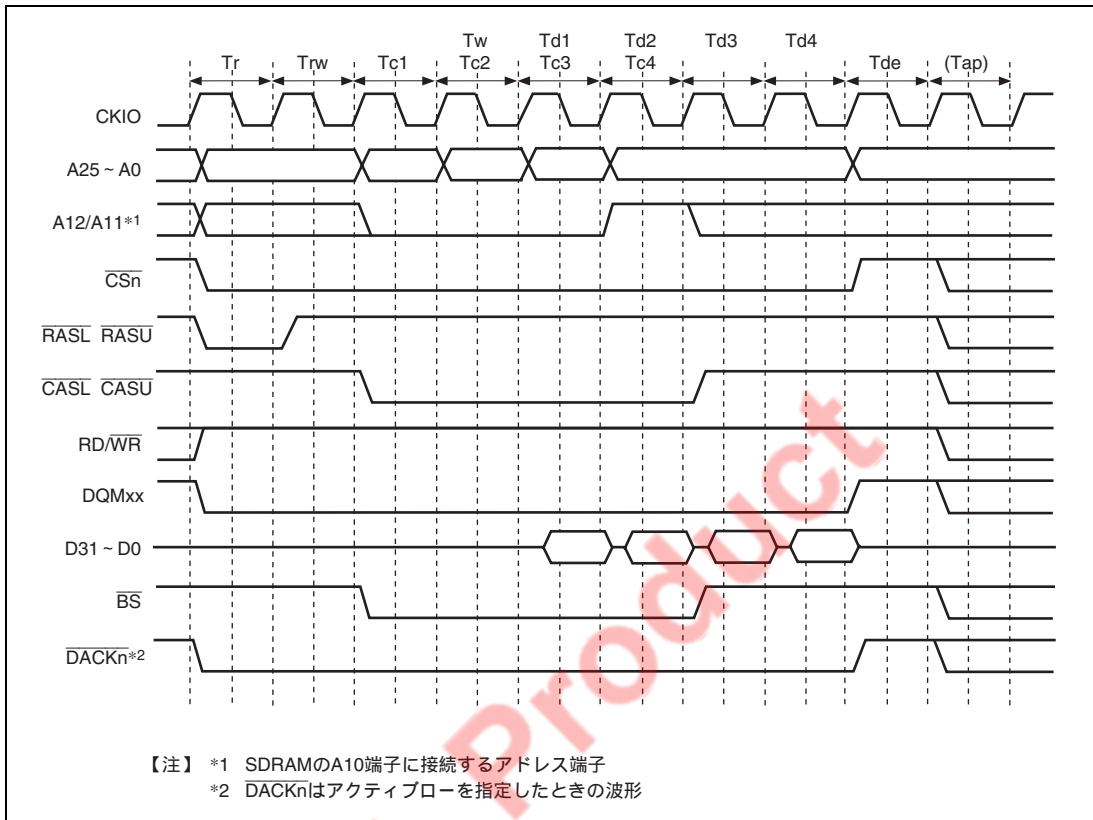


図 12.19 バーストリードウェイト指定タイミング
(CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)

(4) シングルリード

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。これをシングルリードと呼びます。SDRAMは、バーストリード/シングルライトのモードでバースト長1に設定しているので必要なデータのみ出力します。

シングルリードの基本タイミングチャートを図 12.20 に示します。

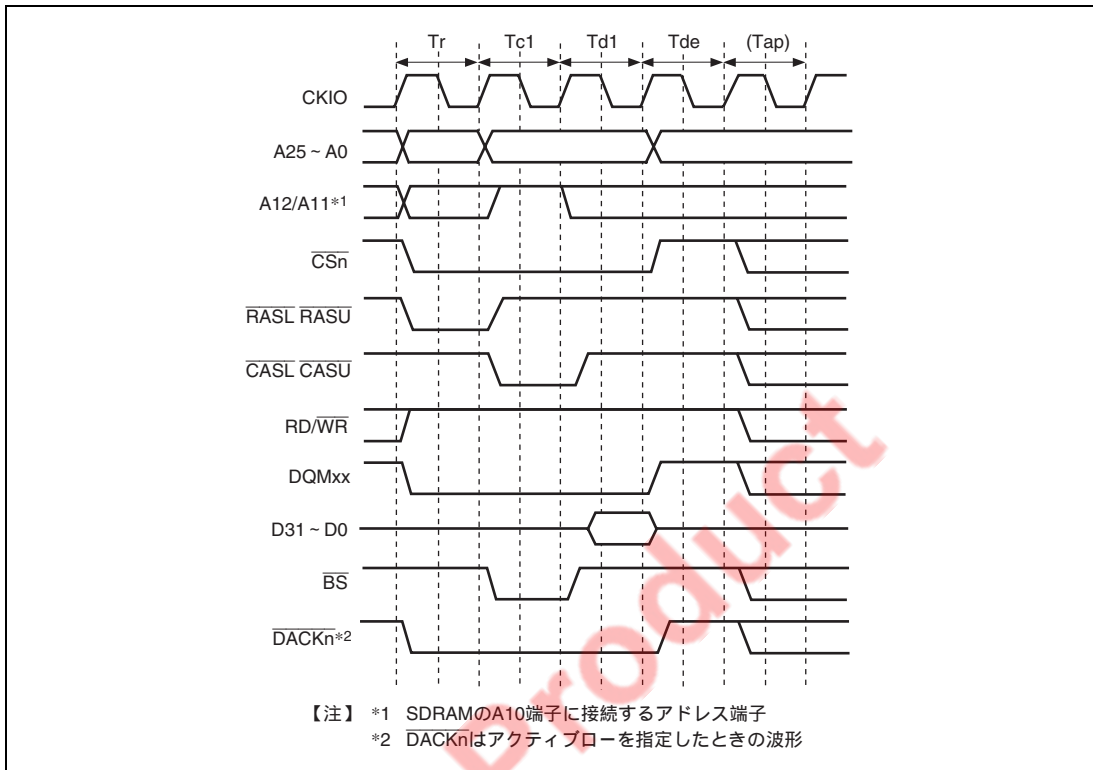


図 12.20 シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)

(5) パーストライト

本 LSI でパーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、パースト長 1 のライトを 4 回連続して行います。アクセスサイズとパースト数の関係は、表 12.14 に従います。図 12.21 にパーストライト時のタイミングチャートを示します。パーストライトでは ACTV コマンド出力を行う T_r サイクルに続いて WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ T_{rw1} サイクル、そしてオートプリチャージの完了を待つ T_{ap} サイクルが続きます。 T_{ap} サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。 T_{rw1} サイクルおよび T_{ap} サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。 T_{rw1} サイクルは CS3WCR の

12. バスステートコントローラ (BSC)

TRWL[1:0]ビットおよび Tap サイクルは CS3WCR の WTRP[1:0]ビットの指定で決定されます。

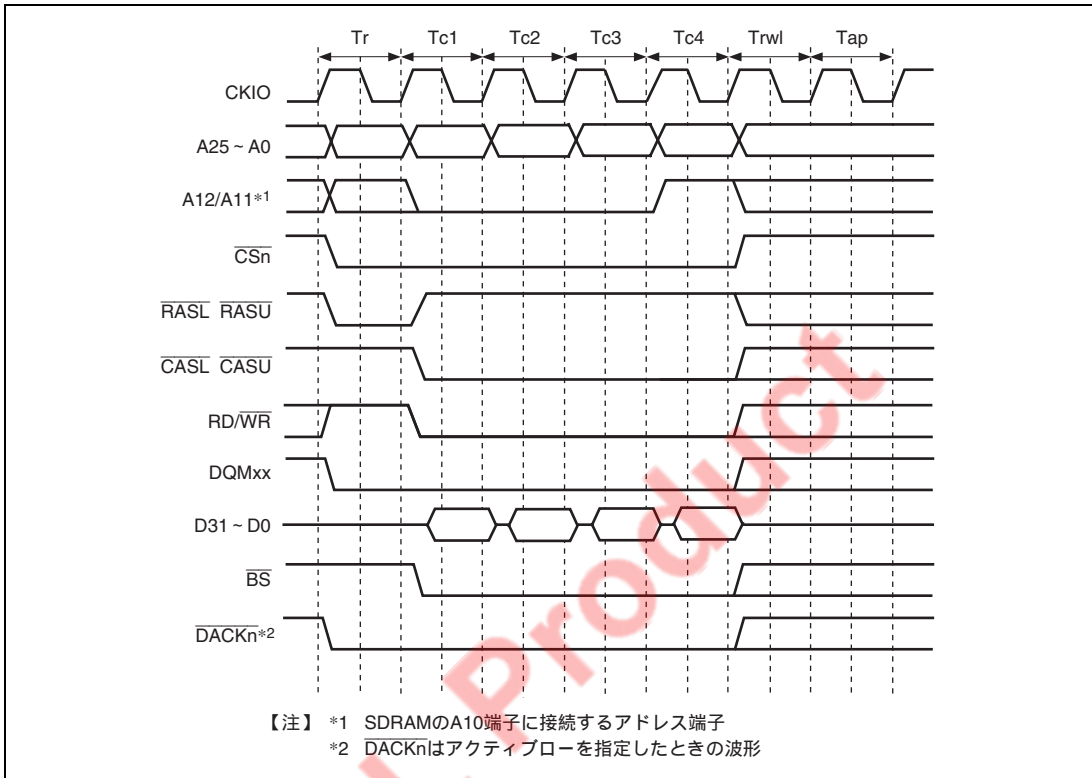


図 12.21 バーストライト基本タイミング (オートプリチャージ)

(6) シングルライト

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。これをシングルライトと呼びます。シングルライトの基本タイミングチャートを図 12.22 に示します。

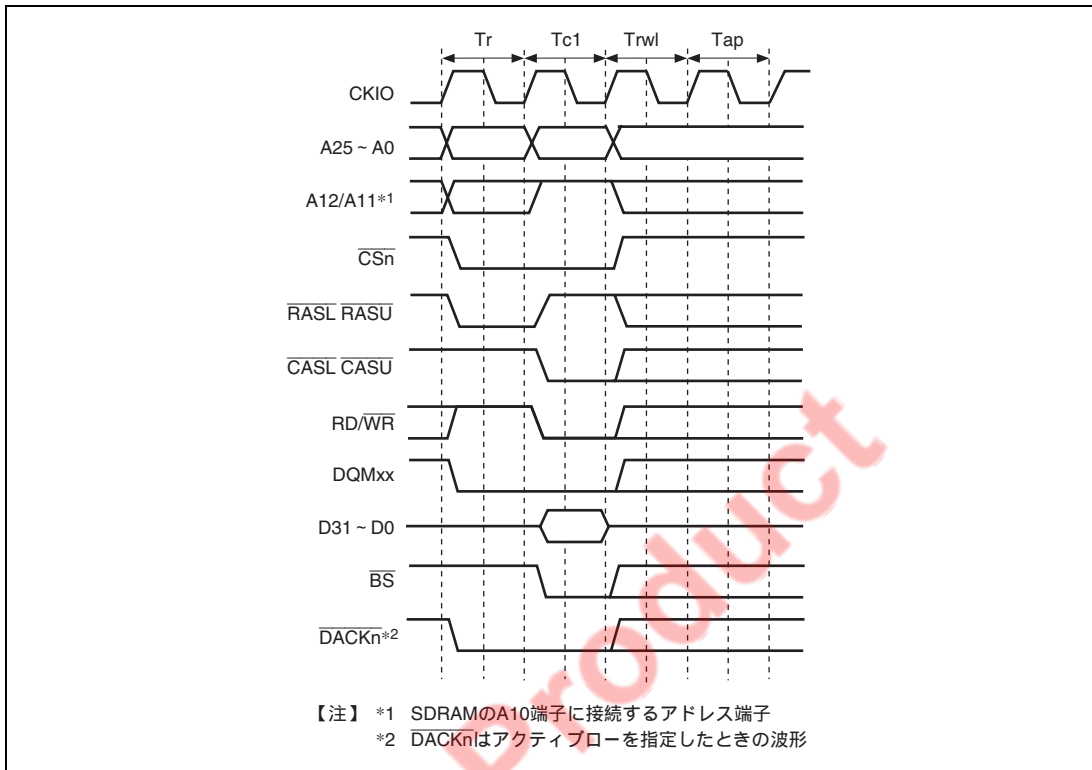


図 12.22 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付 SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0]ビットで指定します。

12. バスステートコントローラ (BSC)

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl + Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl + Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 12.23 にオートプリチャージのないバーストリードサイクルを、図 12.24 には同一のロウアドレスに対するバーストリードサイクルを、図 12.25 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 12.26 にオートプリチャージのないシングルライトサイクルを、図 12.27 に同一のロウアドレスに対するシングルライトサイクルを、図 12.28 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 12.24 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続く限り、図 12.23 または図 12.26 で始まり、図 12.24 または図 12.27 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 12.24 または図 12.27 の代わりに図 12.25 または図 12.28 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

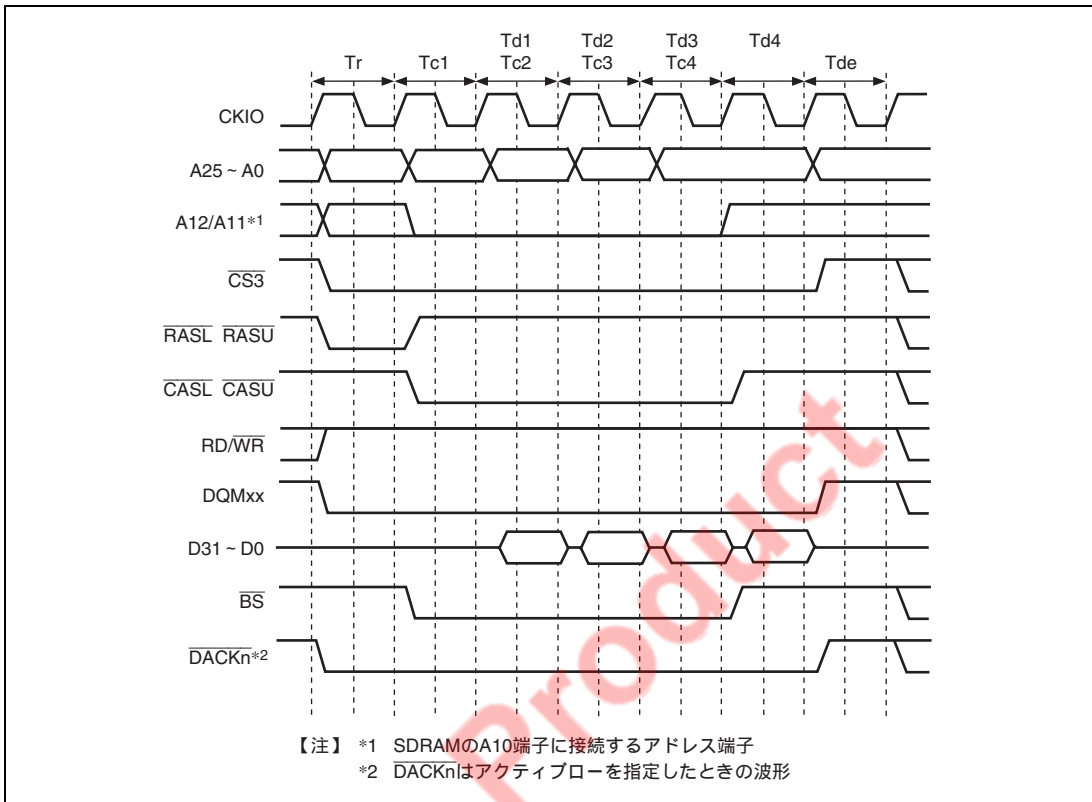


図 12.23 バーストリードタイミング
(バンクアクティブ、異なるバンク、CAS レイテンシ 1)

12. バスステートコントローラ (BSC)

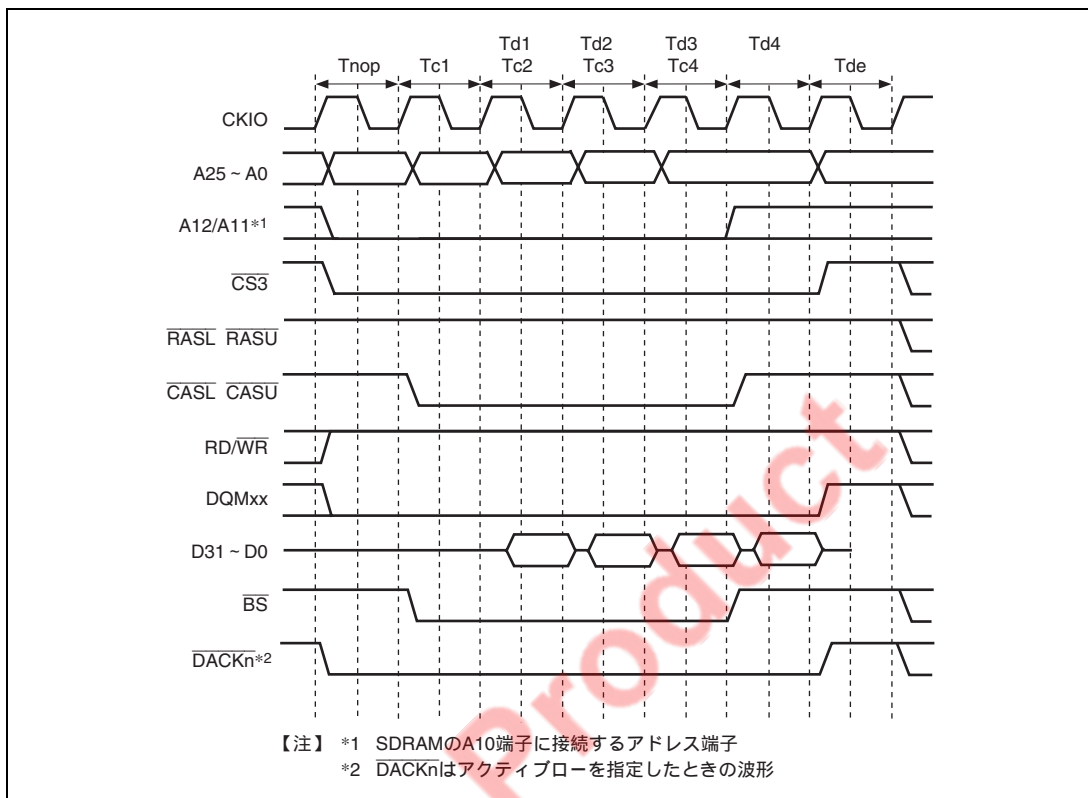


図 12.24 バーストリードタイミング
(バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1)

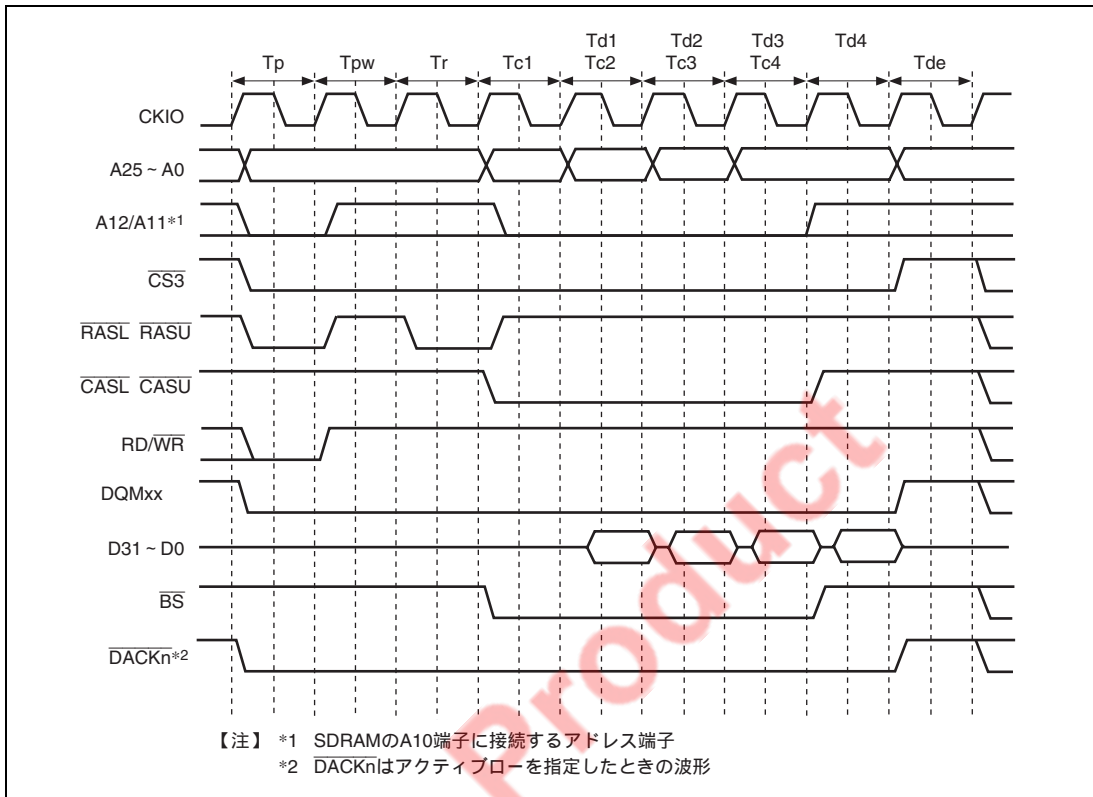


図 12.25 バーストリードタイミング
(バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)

12. バスステートコントローラ (BSC)

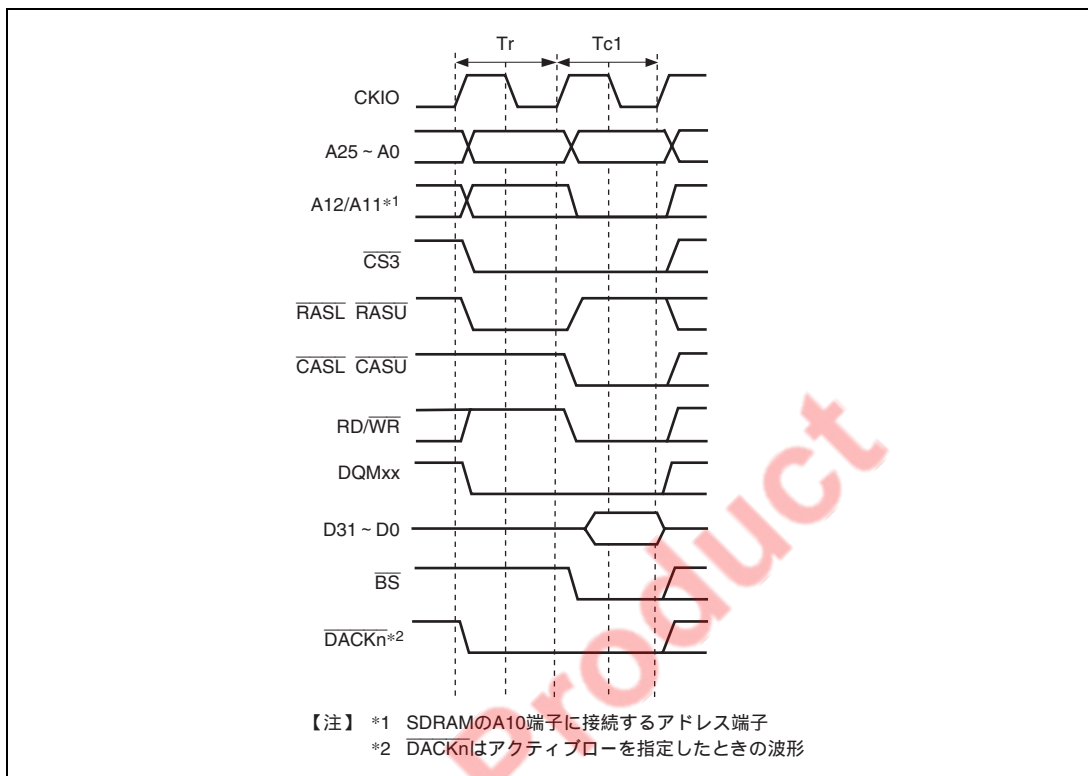


図 12.26 シングルライトタイミング
(バンクアクティブ、異なるバンク)

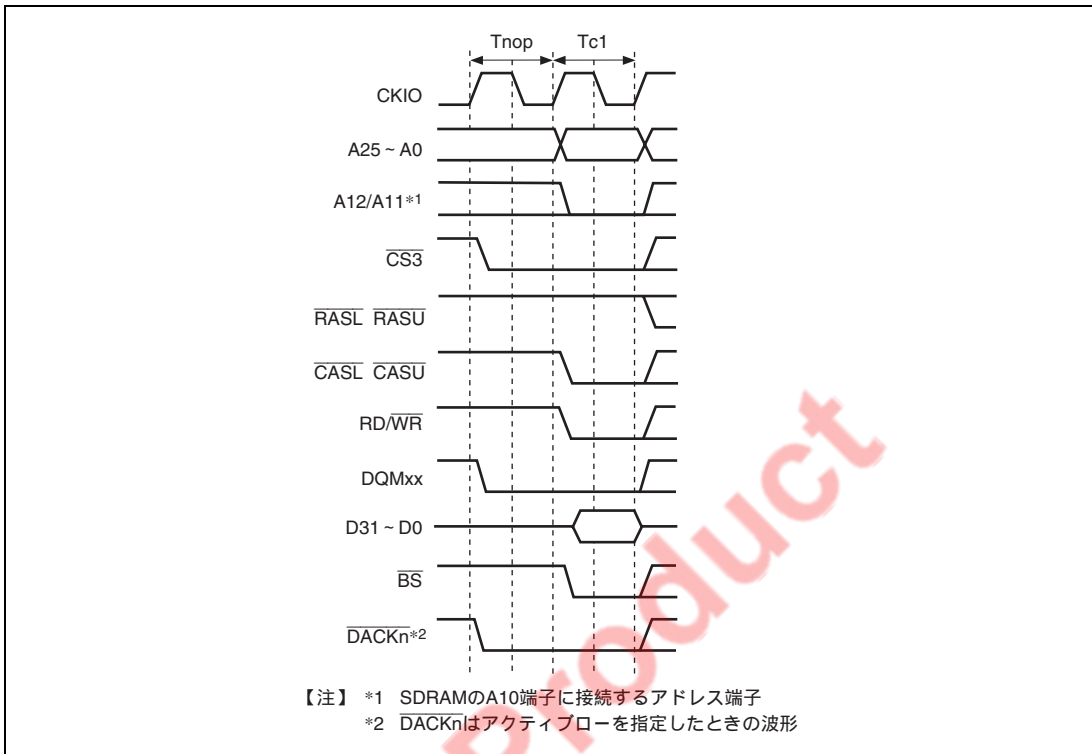


図 12.27 シングルライトタイミング
(バンクアクティブ、同一バンクで同一ロウアドレス)

12. バスステートコントローラ (BSC)

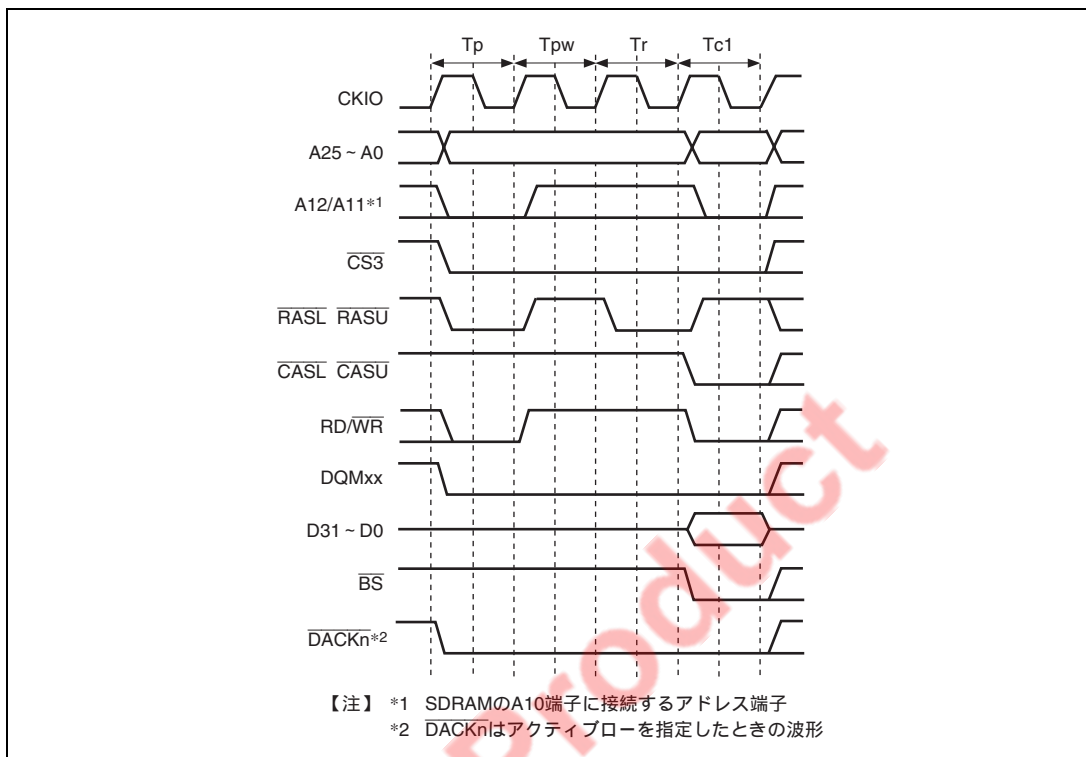


図 12.28 シングルライトタイミング
(バンクアクティブ、同一バンクで異なるロウアドレス)

(8) リフレッシュ

BSCは、SDRAMのリフレッシュを制御する機能を備えています。SDCRのRFSHビットを1に、RMODEビットを0に設定することによって、オートリフレッシュを行うことができます。また、RTCSRのRRC[2:0]ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間SDRAMにアクセスしないときは、RFSHビットとRMODEビットをともに1にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSRのCKS[2:0]ビットで選択した入力クロックと、RTCORに設定した値とで決まる間隔でRTCSRのRRC[2:0]に設定した回数のリフレッシュが行われます。使用するSDRAMのリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初にRTCOR、RTCNT、SDCRのRFSHビットおよび、RMODEビットの設定を行い、次いでRTCSRのCKS[2:0]ビットおよび、RRC[2:0]ビットの設定を行ってください。CKS[2:0]によって入力クロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0]に設定された回数のオートリフレッシュが実行されます。同時にRTCNTは0にクリアされ、カウントアップが再開されます。

図 12.29 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{rr} サイクルに発行します。 T_{rr} サイクル後 CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように WTRC[1:0] を設定する必要があります。CS3WCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間にアイドルサイクルが挿入されます。

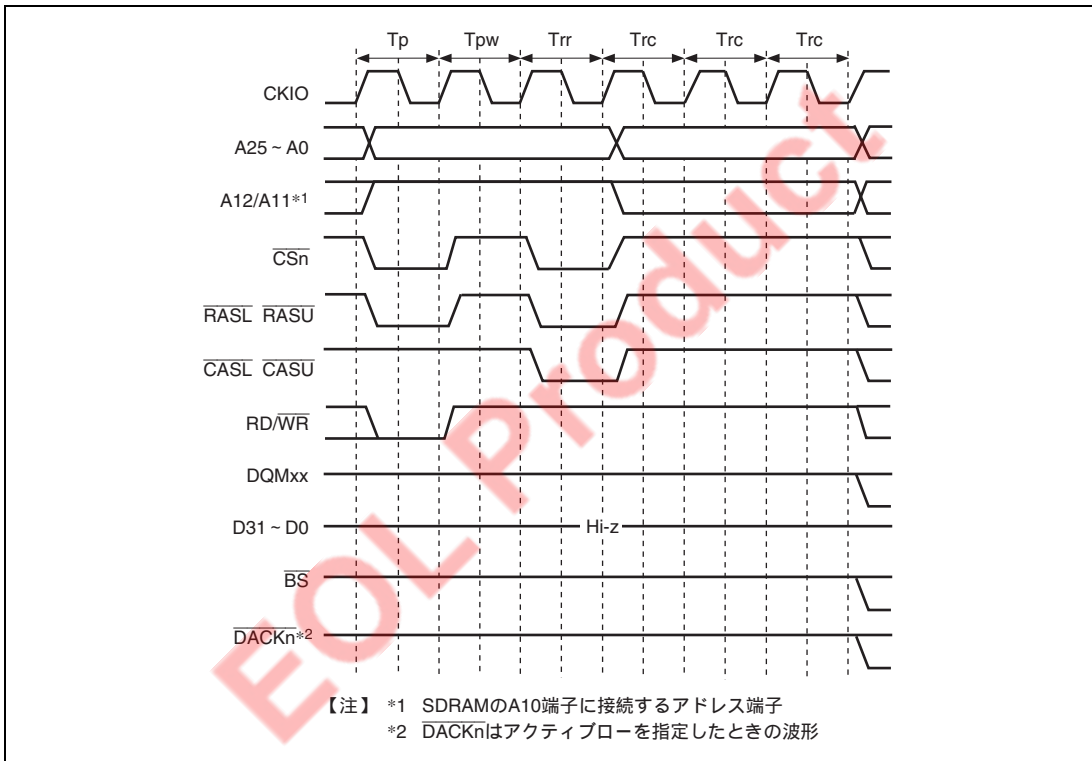


図 12.29 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行は行いません。

12. バスステートコントローラ (BSC)

セルフリフレッシュのタイミングを図 12.30 に示します。セルフリフレッシュ解除後、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH=1、RMODE=0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、直ちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HiZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他の端子をドライブする必要があります。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

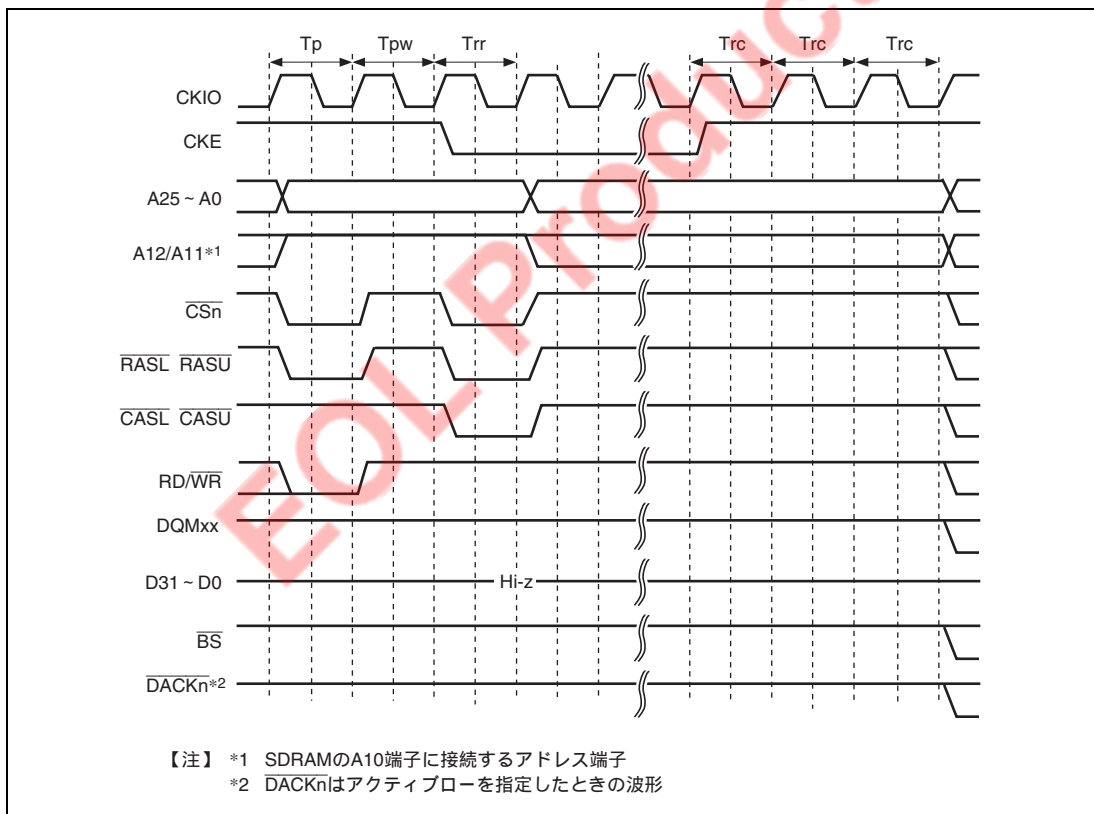


図 12.30 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起らないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

(10) 低周波数モード

SDCR の SLOW ビットを 1 に設定すると、コマンド、アドレス、ライトデータの出力および、リードデータの取り込みを、SDRAM を低周波数で動作させるのに適したタイミングで行います。

図 12.31 に低周波数モードでのアクセスタイミングを示します。このモードでは、コマンド、アドレス、ライトデータを通常より半サイクル遅い CKIO の立ち下がりに同期して出力します。また、リードデータを通常より半サイクル早い CKIO の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、リードデータのホールド時間を延長することができます。

SLOW ビットを 1 に設定して高周波数で SDRAM を動作させると、コマンド、アドレス、ライトデータ、リードデータのセットアップ時間が確保できなくなる可能性があります。SLOW ビットの設定は、動作周波数やボードのタイミング設計を考慮して決定してください。

12. バスステートコントローラ (BSC)

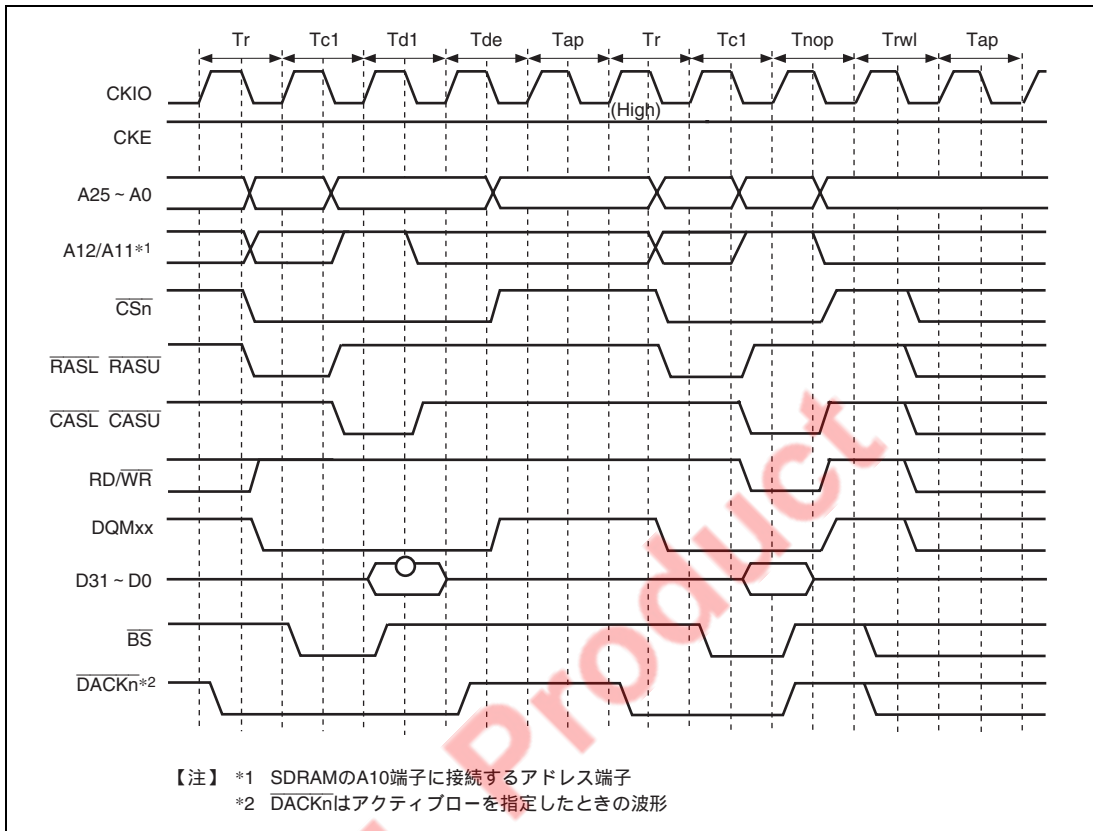


図 12.31 低周波数モードでのアクセスタイミング

(11) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 12.32 にパワーダウンモードでのアクセスタイミングを示します。

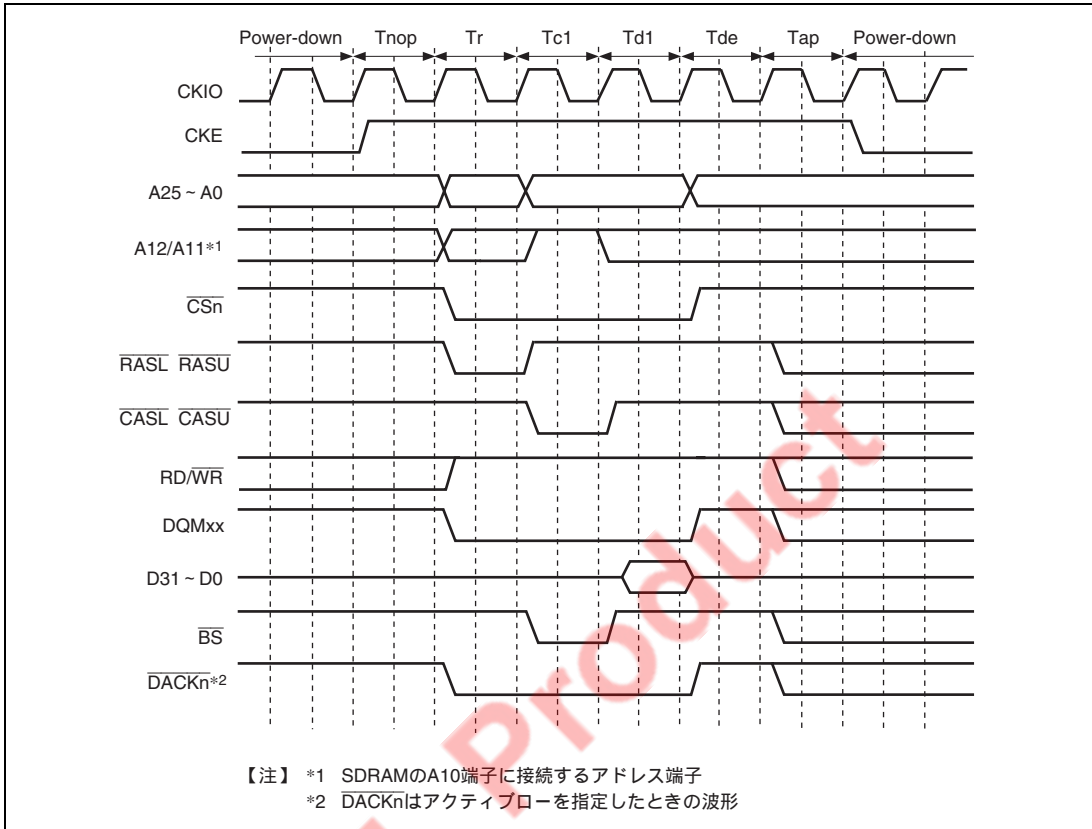


図 12.32 パワーダウンモードでのアクセスタイミング

パワーダウンモードへの遷移は、以下の条件となります。

- パワーダウンモード設定SDRAM以外へのライトまたはリード（命令フェッチも含む）アクセスの発生
- アドレスH'Axxx xxxxの制御レジスタや周辺I/Oレジスタへのライトまたはリードアクセスの発生

(12) パワーオンシーケンス

SDRAMを使用するためには、パワーオン後、SDRAMに対してモード設定を行う必要があります。SDRAMの初期化を正しく行うためには、まずBSCのレジスタを設定した後、SDRAMのモードレジスタに対する書き込みを行います。SDRAMのモードレジスタの設定は \overline{CSn} 、 \overline{RASU} 、 \overline{RASL} 、 \overline{CASU} 、 \overline{CASL} 、および $\overline{RD/WR}$ の組み合わせで、その時点のアドレス信号の値がSDRAMに取り込まれます。設定したい値をXとするとX+(エリア2: H'A4FD4000、エリア3: H'A4FD5000)番地にワードライトを行うことによって、値XがSDRAM内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本LSIでサポートしているバーストリード/シングルライト(バースト長1)またはバーストリード/バーストライト(バースト長1)、CASレイテンシ2~3、ラップタイプ=シーケンシャル、およびバースト長1を設定するには、表12.15に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子のA12以上のビットには0が出力されます。

12. バスステートコントローラ (BSC)

表 12.15 SDRAM モードレジスタライト時のアクセスアドレス

- エリア2設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4440	H'0000440
	3	H'A4FD4460	H'0000460
32 ビット	2	H'A4FD4880	H'0000880
	3	H'A4FD48C0	H'00008C0

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD4040	H'0000040
	3	H'A4FD4060	H'0000060
32 ビット	2	H'A4FD4080	H'0000080
	3	H'A4FD40C0	H'00000C0

- エリア3設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5440	H'0000440
	3	H'A4FD5460	H'0000460
32 ビット	2	H'A4FD5880	H'0000880
	3	H'A4FD58C0	H'00008C0

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'A4FD5040	H'0000040
	3	H'A4FD5060	H'0000060
32 ビット	2	H'A4FD5080	H'0000080
	3	H'A4FD50C0	H'00000C0

モードレジスタ設定タイミングを図 12.33 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CS3WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

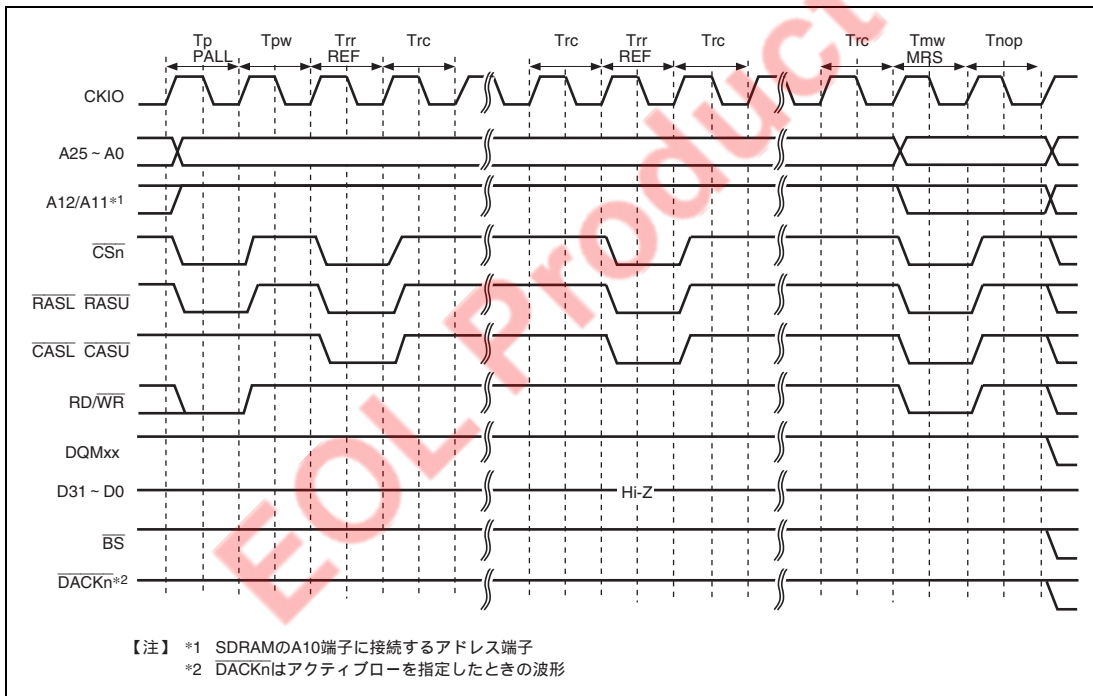


図 12.33 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

(13) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件 (温度) によるリフレッシュ時の低電力化を行う等の制御を細やかに設定できる事です。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートをご覧ください。

12. バスステートコントローラ (BSC)

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'A4FD5XX0 に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL REF×8 MRS EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYY になります。また H'A4FD5XX0 に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL MRS EMRS のシーケンスでコマンドを発行します。

表 12.16 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセス アドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'A4FD4XX0	H'*****	16 ビット	H'0000XX0	-----
CS3 MRS	H'A4FD5XX0	H'*****	16 ビット	H'0000XX0	-----
CS2 MRS + EMRS (リフレッシュあり)	H'A4FD4XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3 MRS+EMRS (リフレッシュあり)	H'A4FD5XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS2 MRS + EMRS (リフレッシュなし)	H'A4FD4XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3 MRS+EMRS (リフレッシュなし)	H'A4FD5XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY

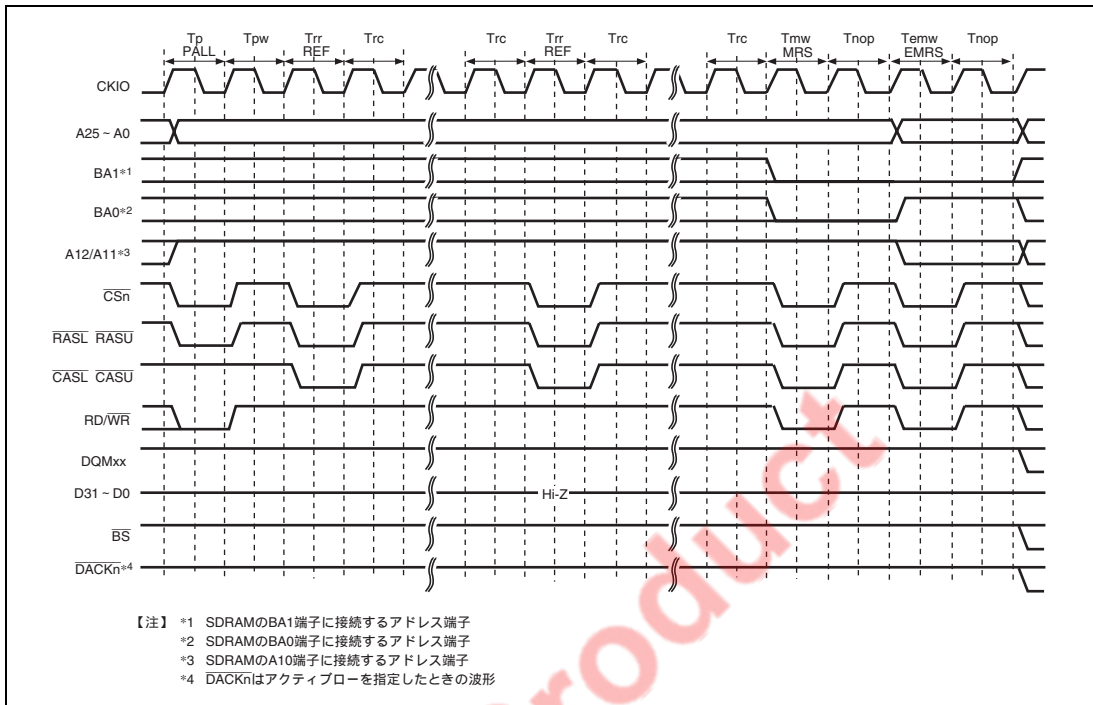


図 12.34 EMRS コマンド発行タイミング

12. バスステートコントローラ (BSC)

• ディープパワーダウンモード

ローパワー-SDRAM には、ディープパワーダウンモードという低消費電力モードもあります。

パースシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCR の DEEP ビットを 1、RFSH ビットを 1 に設定した状態で RMODE ビットに 1 を書き込むと、ローパワー SDRAM はディープパワーダウンモードに遷移します。RMODE ビットに 0 を書きこむと CKE がハイレベルとなりディープパワーダウンモードは、解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

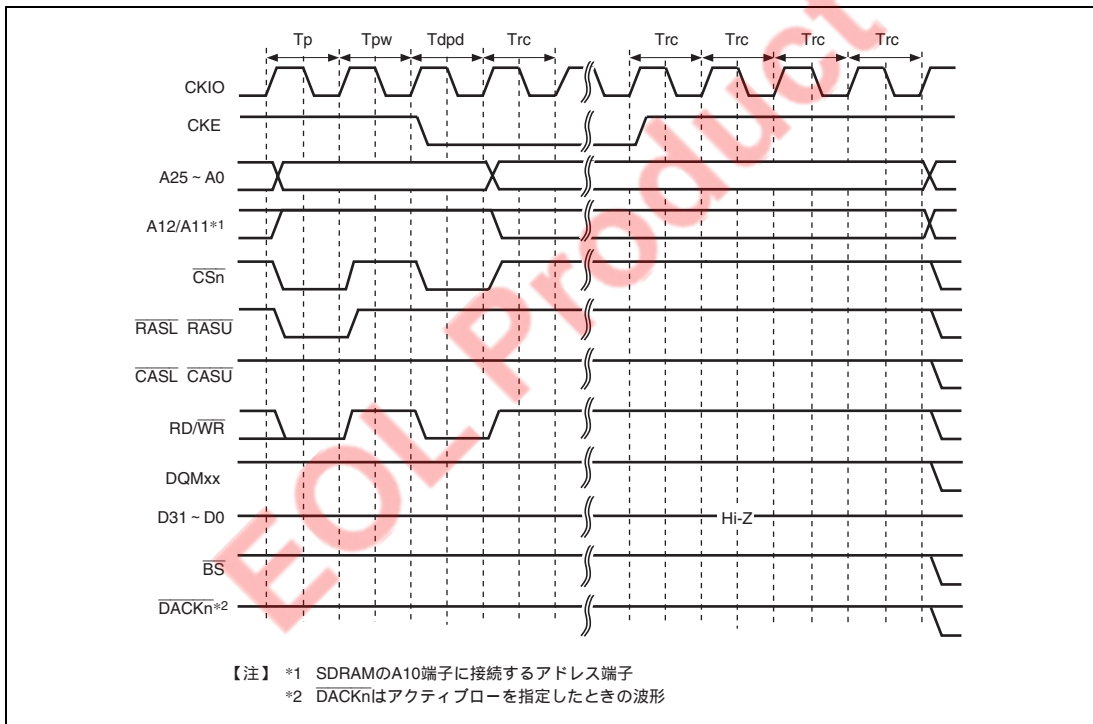


図 12.35 ディープパワーダウンモード遷移タイミング

12.5.7 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモード等と呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 12.17 にバス幅およびアクセスサイズとバースト数の関係を、図 12.36 にタイムチャートを示します。

表 12.17 バス幅およびアクセスサイズとバースト数の関係

バス幅	CSnWCR.BEN ビット	アクセスサイズ	バースト数	アクセス回数
8 ビット	影響無し	8 ビット	1	1
	影響無し	16 ビット	2	1
	影響無し	32 ビット	4	1
	0	16 バイト	16	1
	1		4	4
16 ビット	影響無し	8 ビット	1	1
	影響無し	16 ビット	1	1
	影響無し	32 ビット	2	1
	0	16 バイト	8	1
	1		2	4
32 ビット	影響無し	8 ビット	1	1
	影響無し	16 ビット	1	1
	影響無し	32 ビット	1	1
	影響無し	16 バイト	4	1

12. バスステートコントローラ (BSC)

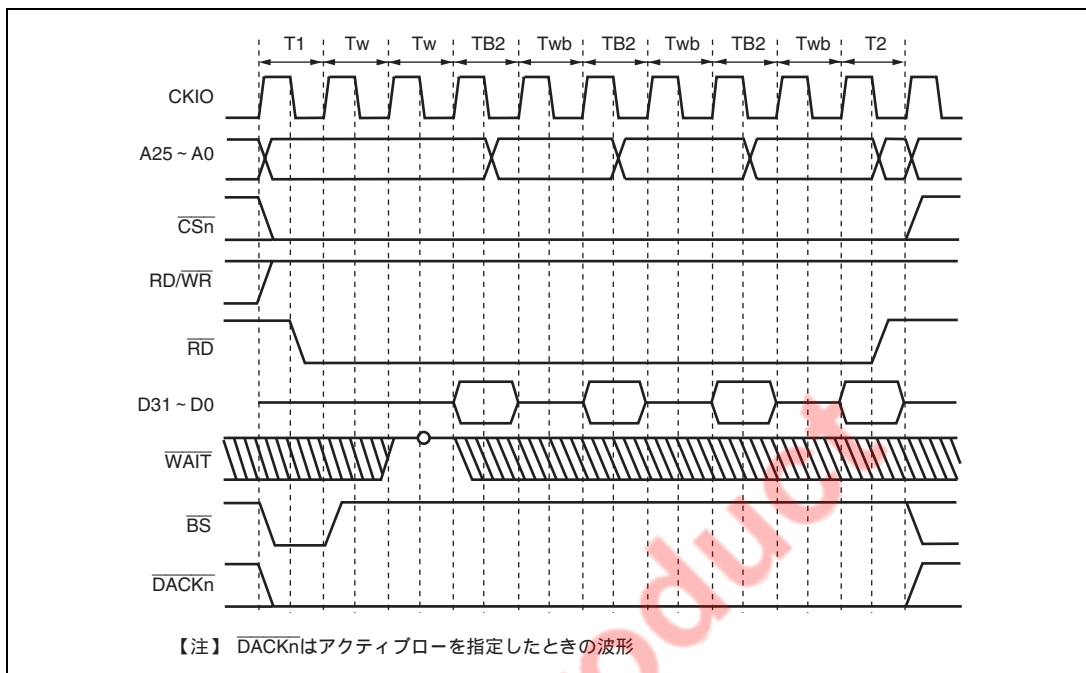


図 12.36 バースト ROM (クロック非同期) アクセス
(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

12.5.8 バイト選択付 SRAM インタフェース

バイト選択付 SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ($\overline{WE_n}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CS_nWCR レジスタの BAS ビットが 0 (初期値) のとき、バイト選択付 SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WE_n}$ 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WE_n}$ 端子からバイト選択信号を出力します。図 12.37 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ($\overline{WE_n}$) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CS_nWCR レジスタの BAS ビットが 1 のとき、 $\overline{WE_n}$ 端子と RD/\overline{WR} 端子のタイミングが変化します。図 12.38 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RD/\overline{WR}) のタイミングでメモリに書き込まれます。 RD/\overline{WR} のネゲートタイミングからのライトデータのホールドタイミングは、 CS_nWCR の $HW[1:0]$ ビットを設定することにより確保してください。図 12.39 にソフトウェア設定時のアクセスタイミングを示します。

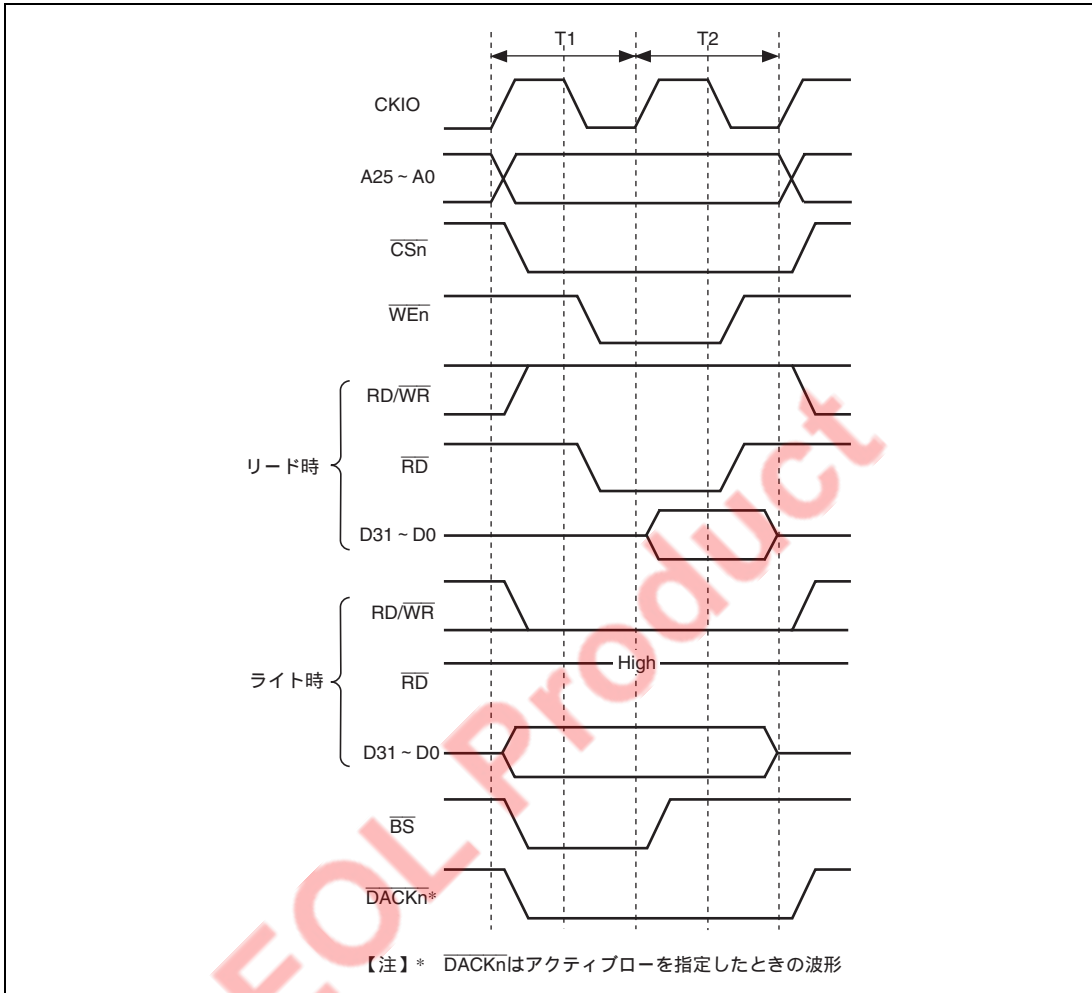


図 12.37 BAS=0 バイト選択付 SRAM 基本アクセスタイミング

12. バスステートコントローラ (BSC)

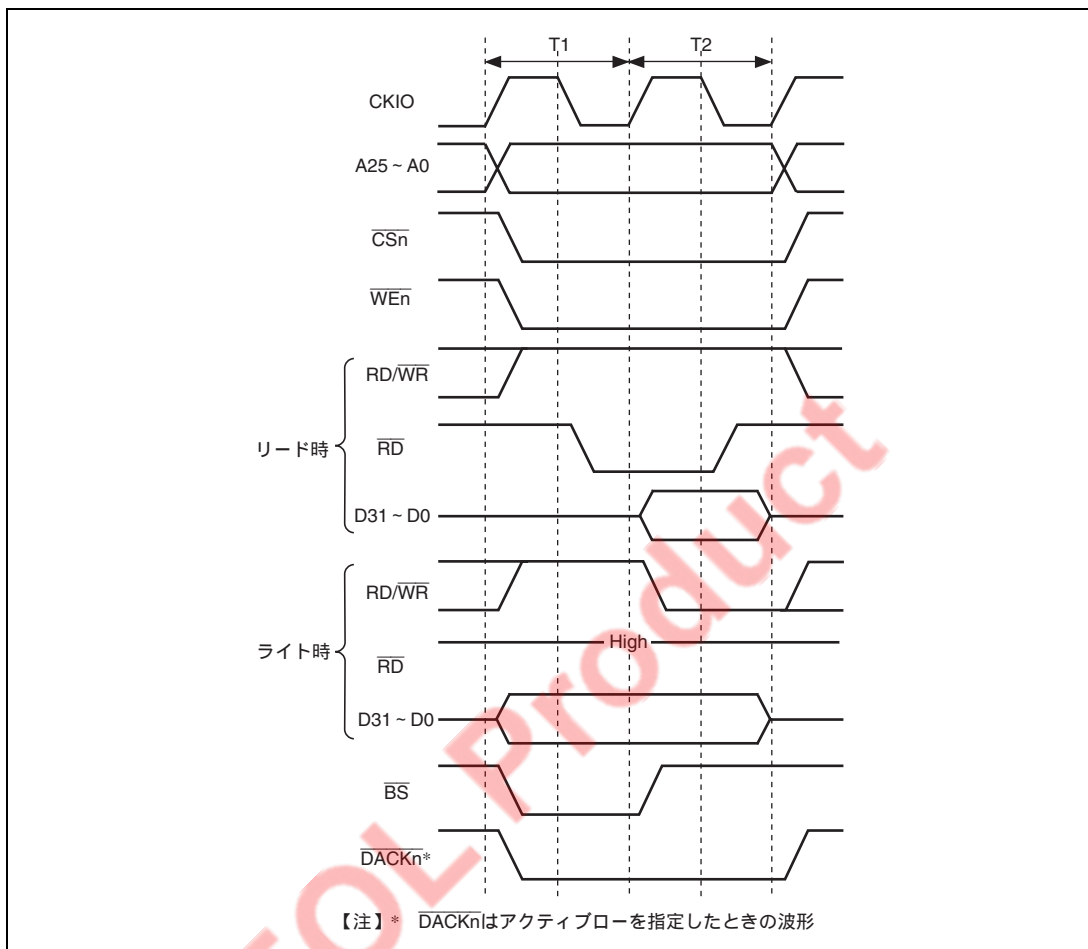


図 12.38 BAS=1 バイト選択付 SRAM 基本アクセスタイミング

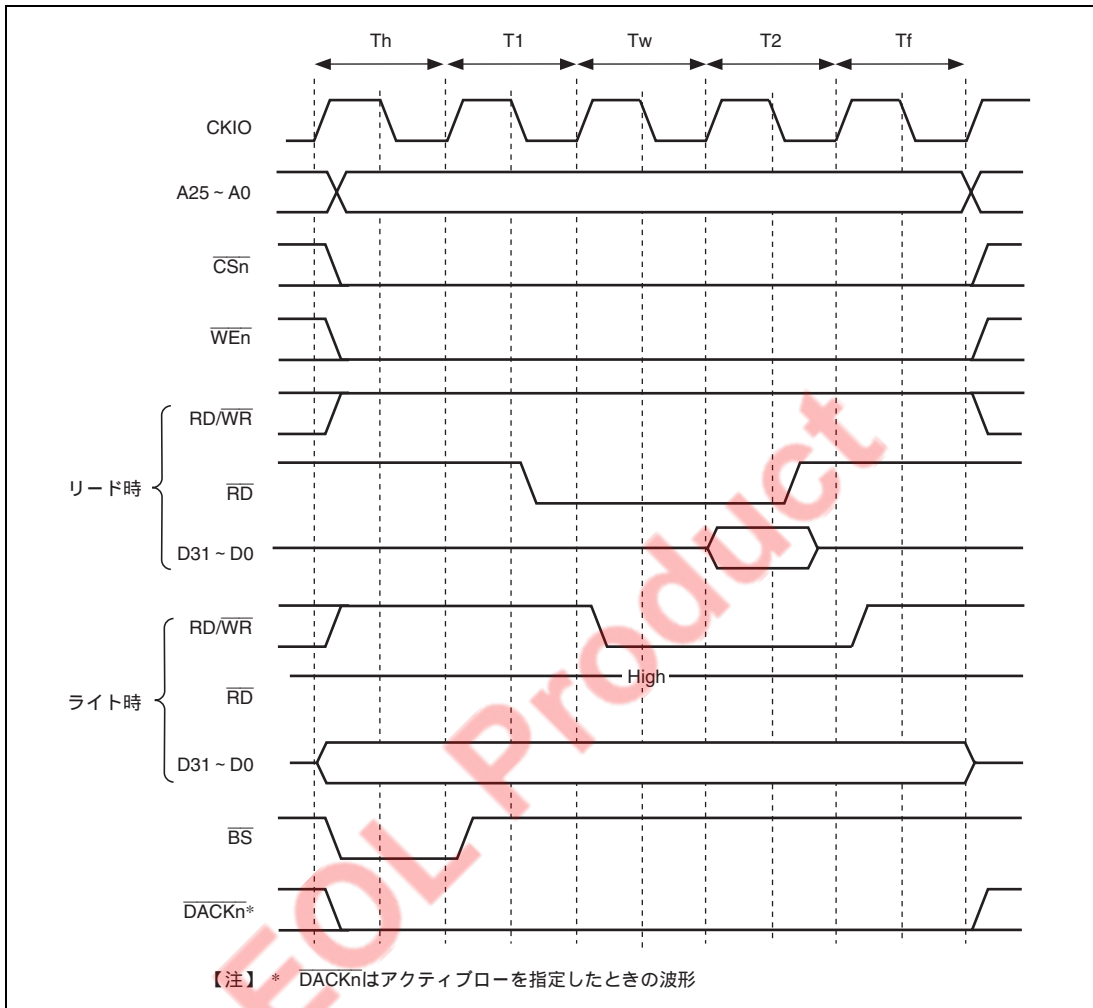


図 12.39 BAS=1 バイト選択付 SRAM ウェイトタイミング
(SW[1:0]=01、WR[3:0]=0001、HW[1:0]=01)

12. バスステートコントローラ (BSC)

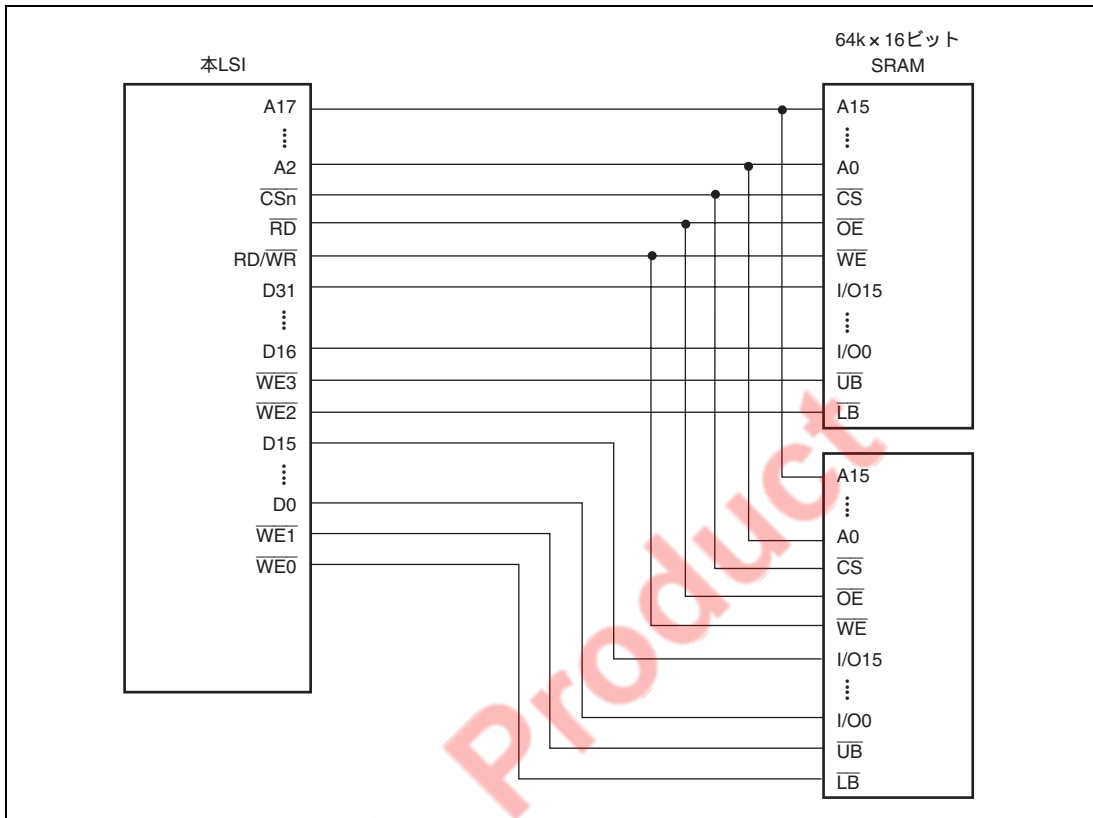


図 12.40 32 ビットデータ幅バイト選択付 SRAM 接続例

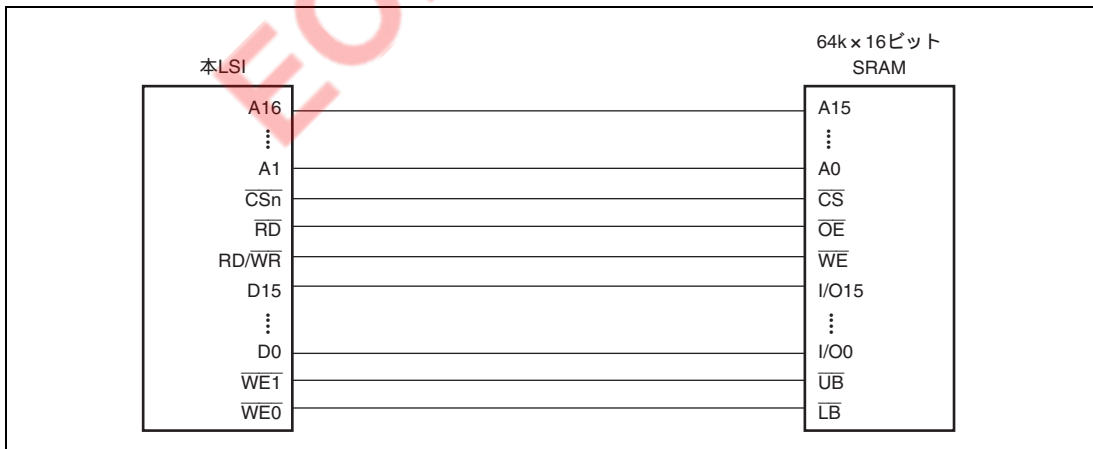


図 12.41 16 ビットデータ幅バイト選択付 SRAM 接続例

12.5.9 バースト MPX-I/O インタフェース

図 12.42 にバースト MPX デバイス接続例を、図 12.43 ~ 図 12.46 にバースト MPX 空間アクセスタイミングを示します。

CS6BBCR レジスタの TYPE[2:0] ビットの設定により、エリア 6 をアドレス / データマルチプレクス I/O インタフェースに設定することができます。本インタフェースにより、アドレス / データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。アドレスは、D25 ~ D0 に出力されます。アクセスサイズは、アドレスサイクル時 D31 ~ D29 に出力されます。D31 ~ D29 出力とアクセスサイズの対応は、CS6BWCR (バースト MPX-I/O) レジスタ説明をご覧ください。

アドレス端子 A25 ~ A0 には、本来のアドレスが出力されます。

バースト MPX インタフェースを使用する場合は、バスサイズは 32 ビット固定となります。CS6BBCR の BSZ[1:0] ビットの設定は 32 ビットに設定してください。また、ウェイトは、ソフトウェイトと $\overline{\text{WAIT}}$ 端子によるハードウェイトの挿入が可能です。

なお、リード時は、ソフトウェイトを 0 に設定していてもアドレス出力の次に自動的に 1 サイクルのウェイトが挿入されます。

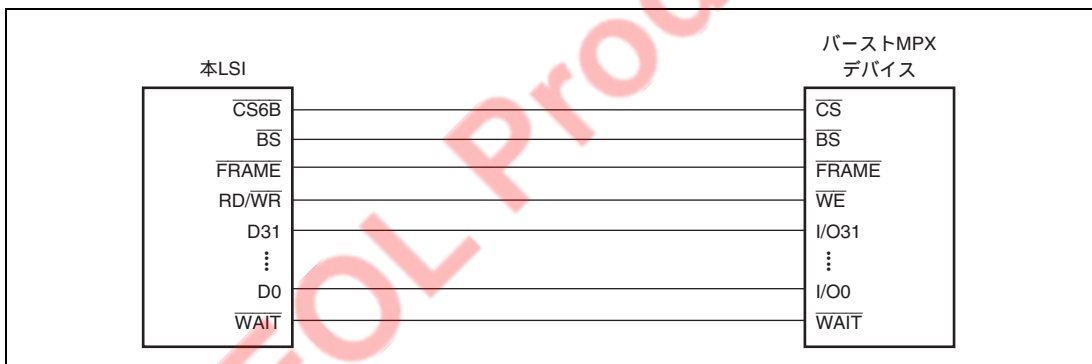


図 12.42 バースト MPX デバイス接続例

12. バスステートコントローラ (BSC)

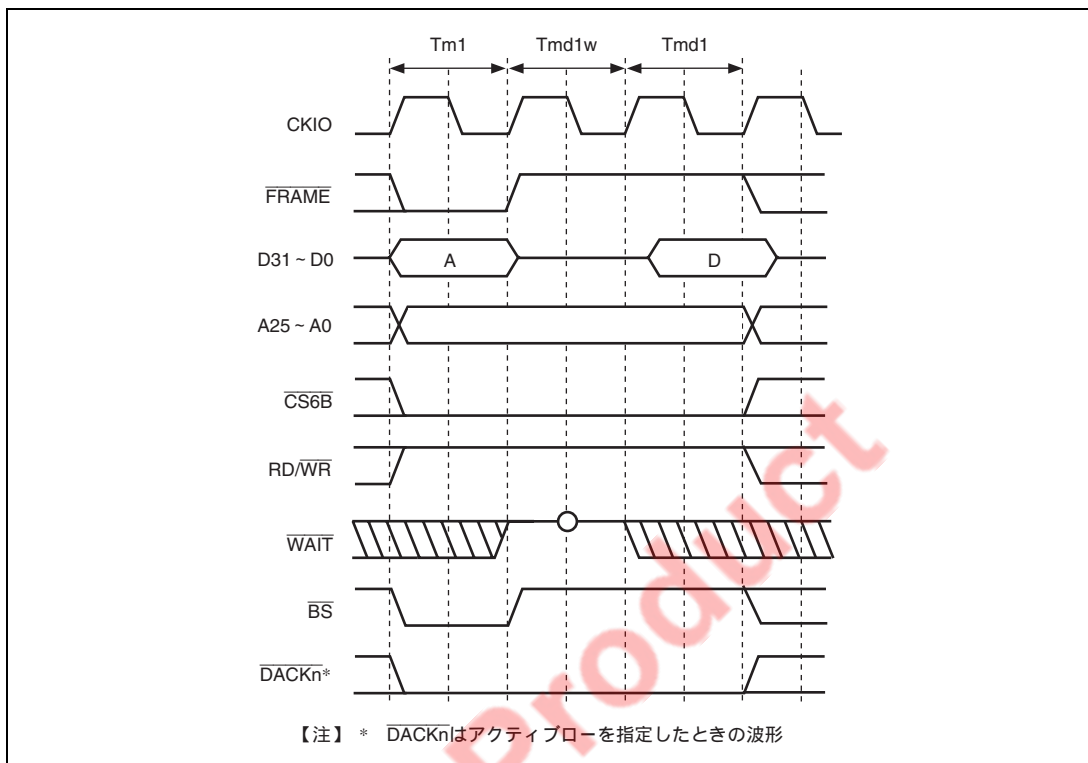


図 12.43 バースト MPX 空間アクセスタイミング
(シングルリード、ノーウェイトまたはソフトウェイト1)

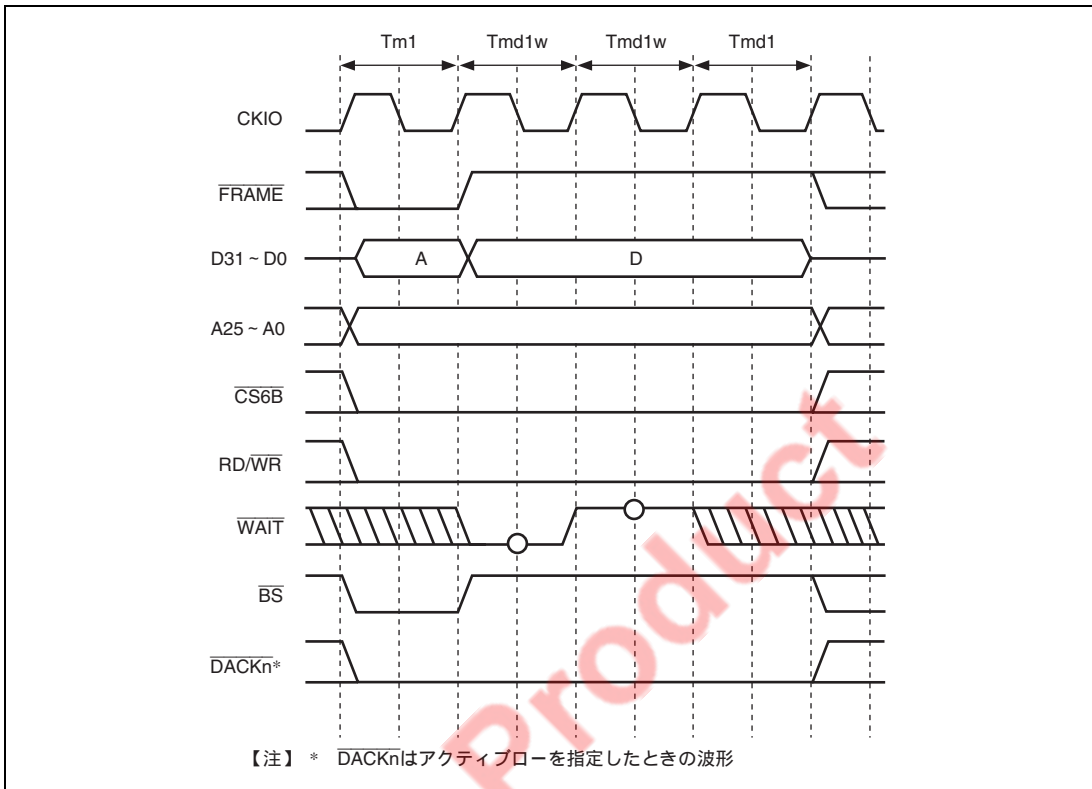


図 12.44 バースト MPX 空間アクセスタイミング
(シングルライト、ソフトウェイト1、ハードウェイト1)

12. バスステートコントローラ (BSC)

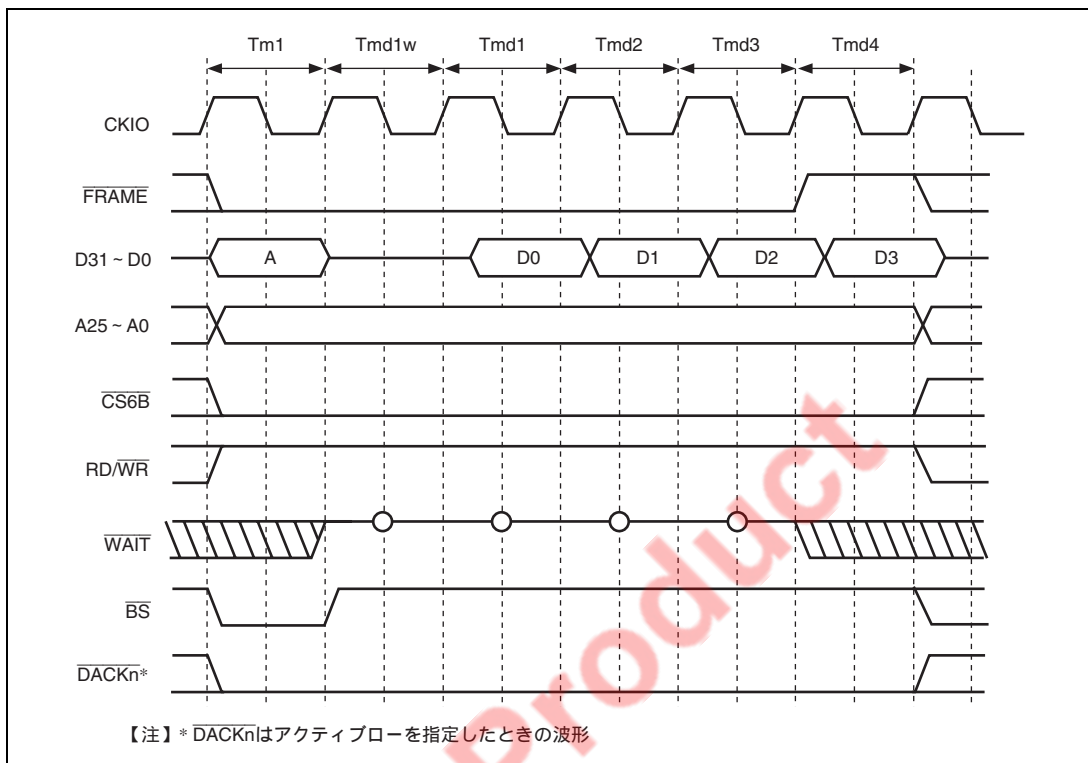


図 12.45 バースト MPX 空間アクセスタイミング
(バーストリード、ノーウェイトまたはソフトウェイト 1、CS6BWCR.MPXMD=0)

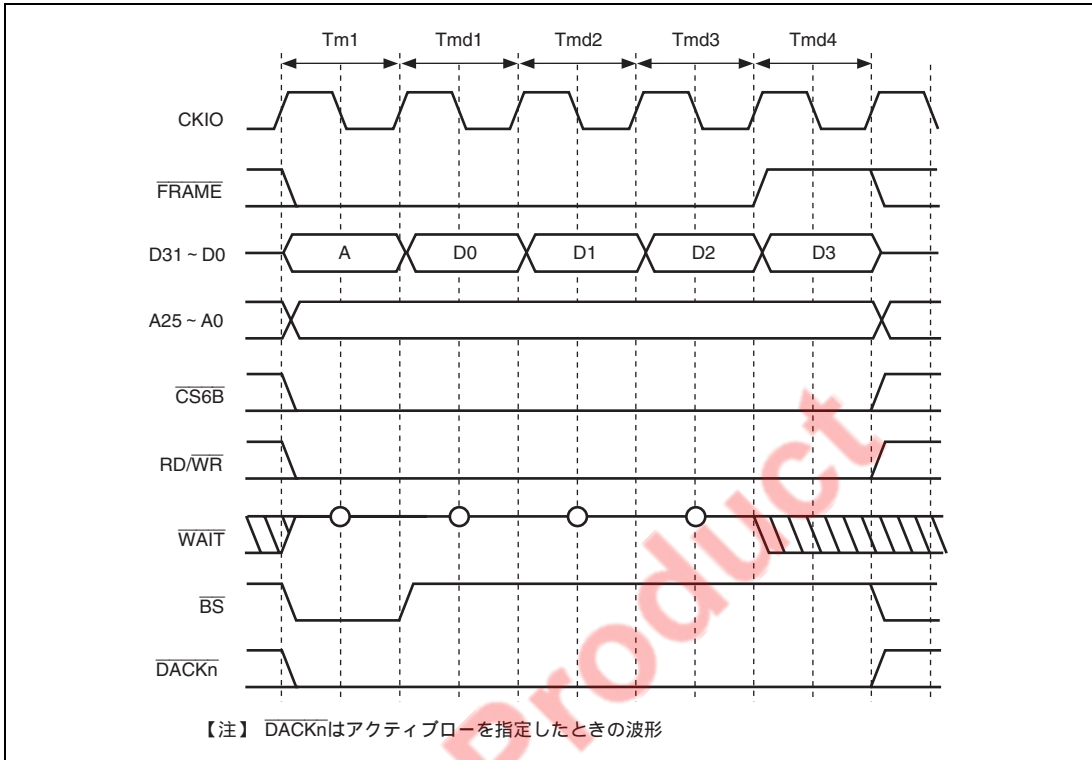


図 12.46 バースト MPX 空間アクセスタイミング
(バーストライト、ノーウェイト、CS6BWCR.MPXMD=0)

12.5.10 バースト ROM (クロック同期)

バースト ROM (クロック同期) インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0]ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0]ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビット時には、バースト長は 8、バス幅が 32 ビット時はバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

12. バスステートコントローラ (BSC)

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下およびDMA 転送速度の低下を招くので、キャッシュフィルによる 16 バイトリードや、DMA による 16 バイトリードを有効に活用することが重要です。このため、バースト ROM (クロック周期) 空間アクセスはキャッシュ ON でアクセスしてください。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

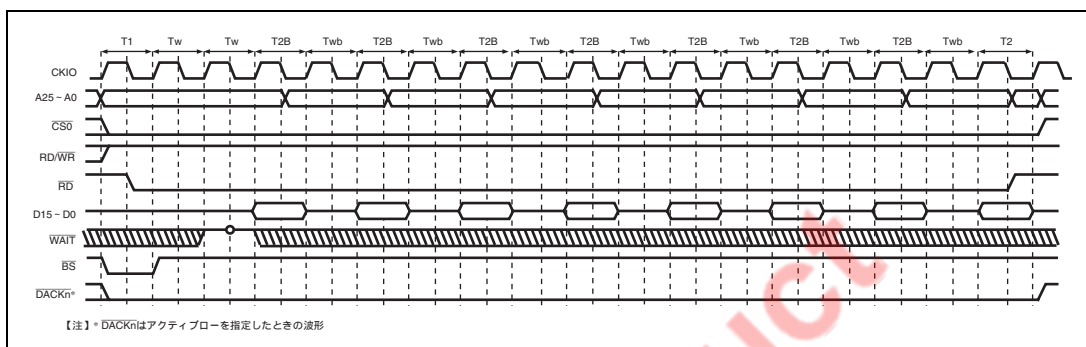


図 12.47 バースト ROM (クロック同期) アクセス
(バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

12.5.11 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間のウェイトを挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間ウェイトのサイクル数は、CSnBCR の IWW[2:0]ビット、IWRWD[2:0]ビット、IWRWS[2:0]ビット、IWRRD[2:0]ビット、IWRRS[2:0]、および CMNCR の DMAIW[2:0]ビット、DMAIWA ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合
6. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後の本 LSI を含む別デバイスによるデータ出力の場合 (DMAIWA=0)。詳細は CMNCR レジスタの DMAIWA ビット説明を参照してください。
7. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合 (DMAIWA=1)。

上記で示したアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子 (\overline{WEn}) の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。

8. 内部バスとのインタフェースに伴う、外部バスのアイドルサイクル

- (a) 外部バスがアイドルもしくはリードサイクル後のライトアクセス直前に、1アイドルサイクルを挿入します。
- (b) 外部バスのリードサイクル終了時、リードデータを内部バスに転送するために、1アイドルサイクルを挿入します。
リードサイクル直後のライトサイクルでは、上記(a)と合わせて2~3サイクルのアイドルサイクルを挿入します。

9. 異種メモリ間アクセスの場合の外部バスのアイドルサイクル

異種メモリ間アクセスの場合、以下のケースでアイドルサイクルを挿入します。ここで、BASビット=1のバイト選択付SRAMインタフェースは、 $\overline{WE_n}$ の変化タイミングが同じになるため、SDRAMインタフェースとして扱います。

- (a) SDRAMインタフェースでのライトアクセス後、SDRAM以外のインタフェースのアクセスを行う場合、1アイドルサイクルを挿入します。
- (b) 外部ウェイト無効の設定の通常空間インタフェースおよびBASビット=0のバイト選択付SRAMインタフェースアクセス後、SDRAMインタフェースアクセスを行う場合、1アイドルサイクルを挿入します。
- (c) MPX-IOインタフェースアクセス後、SDRAMインタフェースアクセスを行う場合、1アイドルサイクルを挿入します。
- (d) 外部バスアイドル状態からMPX-IOインタフェースアクセスを行う場合、1アイドルサイクルを挿入します。
- (e) 通常空間インタフェース、BASビット=0のバイト選択付SRAMインタフェース、およびSDRAMインタフェースのリードサイクル後、MPX-IOインタフェースのアクセスを行う場合、1アイドルサイクルを挿入します。
- (f) SDRAMインタフェースのライトサイクル後、MPX-IOインタフェースのアクセスを行う場合には、2アイドルサイクルを挿入します。
- (g) SDRAM低周波数モード (SDCR.SLOW=1) のアクセス後、低周波数モードでないSDRAMインタフェースをアクセスする場合、1アイドルサイクルを挿入します。

表12.18～表12.22に、通常空間インタフェース、SDRAMインタフェースの場合の、挿入されるアイドルサイクルの最小数を示します。表中の「CSnBCRのアイドル設定」は、IWW、IWRWD、IWRWS、IWRRD、IWRRSで設定するアイドルサイクル数を示します。

12. バスステートコントローラ (BSC)

表 12.18 通常空間インタフェースの CPU アクセス間のアイドルサイクル最小数

BSC レジスタ設定		バス幅以下サイズのアクセス				バス幅を超えるサイズのアクセス					
CSnWCR.WM の 設定	CSnBCR の アイドル 設定	リード	ライト	リード	ライト	連続	連続	リード	ライト	リード	ライト
		リード	ライト	ライト	リード	リード (*1)	ライト (*1)	リード (*2)	ライト (*2)	ライト (*2)	リード (*2)
1	0	1, 1, 1, 2	1, 1, 2, 3	3, 3, 4, 5	0, 0, 0, 0	0, 0, 0, 0	0, 0, 0, 0	1, 1, 1, 2	0, 0, 0, 1	3, 3, 4, 5	0, 0, 0, 0
0	0	1, 1, 1, 2	1, 1, 2, 3	3, 3, 4, 5	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 2	1, 1, 1, 1	3, 3, 4, 5	1, 1, 1, 1
1	1	1, 1, 1, 2	1, 1, 2, 3	3, 3, 4, 5	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 2	1, 1, 1, 1	3, 3, 4, 5	1, 1, 1, 1
0	1	1, 1, 1, 2	1, 1, 2, 3	3, 3, 4, 5	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 1	1, 1, 1, 2	1, 1, 1, 1	3, 3, 4, 5	1, 1, 1, 1
1	2	2, 2, 2, 2	2, 2, 2, 3	3, 3, 4, 5	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	3, 3, 4, 5	2, 2, 2, 2
0	2	2, 2, 2, 2	2, 2, 2, 3	3, 3, 4, 5	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	2, 2, 2, 2	3, 3, 4, 5	2, 2, 2, 2
1	4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 5	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 5	4, 4, 4, 4
0	4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 5	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 4	4, 4, 4, 5	4, 4, 4, 4
1	6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6
0	6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6	6, 6, 6, 6
0, 1	n (n>=8)	n, n, n, n	n, n, n, n	n, n, n, n	n, n, n, n	n, n, n, n	n, n, n, n	n, n, n, n	n, n, n, n	n, n, n, n	n, n, n, n

【注】 表中のアイドルサイクル最小数は、順に I : B が 4 : 1、3 : 1、2 : 1、1 : 1 の場合を示します。

*1 16 ビットバス幅時の 32 ビットアクセスでの、上位 16 ビットアクセスと下位 16 ビットアクセス間の最小アイドルサイクル数および、16 バイト転送中の連続アクセス間の最小アイドルサイクル数

*2 上記以外

表 12.19 通常空間インタフェースの DMAC デュアルアドレスモード転送時の
アクセス間アイドルサイクル最小数

BSC レジスタ設定		バス幅以下サイズのアクセス		バス幅を超えるサイズのアクセス			
CSnWCR.WM の 設定	CSnBCR の アイドル 設定	リード	ライト	連続	リード	連続	ライト
		リード	ライト	リード (*1)	ライト (*2)	ライト (*1)	リード (*2)
1	0	2	0	0	2	0	0
0	0	2	1	1	2	1	1
1	1	2	1	1	2	1	1
0	1	2	1	1	2	1	1
1	2	2	2	2	2	2	2
0	2	2	2	2	2	2	2
1	4	4	4	4	4	4	4
0	4	4	4	4	4	4	4
0, 1	n (n>=6)	n	n	n	n	n	n

【注】 DMAC は B 動作なのでクロック比変更には関係しません。

*1 16 ビットバス幅時の 32 ビットアクセスでの、上位 16 ビットアクセスと下位 16 ビットアクセス間の最小アイドルサイクル数および、16 バイト転送中の連続アクセス間の最小アイドルサイクル数

*2 上記以外

表 12.20 DACK 付き外部デバイスから、通常空間インタフェースへの
DMAC シングルアドレスモード転送時のアイドルサイクル最小数

- DACK付き外部デバイスから、通常空間インタフェースへの転送

BSC レジスタ設定 (*3)			バス幅以下サイズのアクセス	
CSnWCR.WM の 設定	CMNCR.DMAIWA の 設定	CMNCR.DMAIW の アイドル設定	連続転送 (*1)	非連続転送 (*2)
1	0	-	0	2
0	0	-	1	2
1	1	0	0	2
0	1	0	1	2
1	1	1	1	2
0	1	1	1	2
1	1	2	2	2
0	1	2	2	2
1	1	4	4	4
0	1	4	4	4
0、1	1	n (n>=6)	n	n

- 通常空間インタフェースから、DACK付き外部デバイスへの転送

BSC レジスタ設定 (*4)		バス幅以下サイズのアクセス	
CSnWCR.WM の 設定	CSnBCR の アイドル設定	連続転送 (*1)	非連続転送 (*2)
1	0	0	3
0	0	1	3
1	1	1	3
0	1	1	3
1	2	2	3
0	2	2	3
1	4	4	4
0	4	4	4
0、1	n (n>=6)	n	n

【注】 DMAC は B 動作なのでクロック比変更には関係しません。

- *1 16 ビットバス幅時の 32 ビットアクセスでの、上位 16 ビットアクセスと下位 16 ビットアクセス間の最小アイドルサイクル数および、16 バイト転送中の連続アクセス間の最小アイドルサイクル数
- *2 上記以外
- *3 DACK 付き外部デバイスから、通常空間インタフェースへのシングル転送では、CSnBCR の IWW、IWRWD、IWRWS、IWRRD、IWRRS ビットの影響は受けません。
- *4 通常空間インタフェースから、DACK 付き外部デバイスへのシングル転送では、CMNCR の DMAIWA、DMAIW ビットの影響は受けません。

12. バスステートコントローラ (BSC)

表 12.21 SDRAM インタフェースの CPU および DMAC デュアルアドレスモードでの
アクセス間アイドルサイクルの最小数

BSC レジスタ設定			CPU によるアクセス				DMA によるアクセス	
CSnBCR の アイドル 設定	CS3WCR.WTRP の設定	CS3WCR.TRWL の設定	リード リード	ライト ライト	リード ライト	ライト リード	リード ライト	ライト リード
0	0	0	1、1、1、2	1、1、2、3	3、3、4、5	0、0、0、0	2	0
0	0	1	1、1、1、2	1、1、2、3	3、3、4、5	1、1、1、1	2	1
0	0	2	1、1、1、2	2、2、2、3	3、3、4、5	2、2、2、2	2	2
0	0	3	1、1、1、2	3、3、3、3	3、3、4、5	3、3、3、3	2	3
0	1	0	2、2、2、2	1、1、2、3	3、3、4、5	1、1、1、1	2	1
0	1	1	2、2、2、2	2、2、2、3	3、3、4、5	2、2、2、2	2	2
0	1	2	2、2、2、2	3、3、3、3	3、3、4、5	3、3、3、3	2	3
0	1	3	2、2、2、2	4、4、4、4	3、3、4、5	4、4、4、4	2	4
0	2	0	3、3、3、3	2、2、2、3	3、3、4、5	2、2、2、2	3	2
0	2	1	3、3、3、3	3、3、3、3	3、3、4、5	3、3、3、3	3	3
0	2	2	3、3、3、3	4、4、4、4	3、3、4、5	4、4、4、4	3	4
0	2	3	3、3、3、3	5、5、5、5	3、3、4、5	5、5、5、5	3	5
0	3	0	4、4、4、4	3、3、3、3	4、4、4、5	3、3、3、3	4	3
0	3	1	4、4、4、4	4、4、4、4	4、4、4、5	4、4、4、4	4	4
0	3	2	4、4、4、4	5、5、5、5	4、4、4、5	5、5、5、5	4	5
0	3	3	4、4、4、4	6、6、6、6	4、4、4、5	6、6、6、6	4	6
1	0	0	2、2、2、2	1、1、2、3	3、3、4、5	1、1、1、1	2	1
1	0	1	2、2、2、2	1、1、2、3	3、3、4、5	1、1、1、1	2	1
1	0	2	2、2、2、2	2、2、2、3	3、3、4、5	2、2、2、2	2	2
1	0	3	2、2、2、2	3、3、3、3	3、3、4、5	3、3、3、3	2	3
1	1	0	2、2、2、2	1、1、2、3	3、3、4、5	1、1、1、1	2	1
1	1	1	2、2、2、2	2、2、2、3	3、3、4、5	2、2、2、2	2	2
1	1	2	2、2、2、2	3、3、3、3	3、3、4、5	3、3、3、3	2	3
1	1	3	2、2、2、2	4、4、4、4	3、3、4、5	4、4、4、4	2	4
1	2	0	3、3、3、3	2、2、2、3	3、3、4、5	2、2、2、2	3	2
1	2	1	3、3、3、3	3、3、3、3	3、3、4、5	3、3、3、3	3	3
1	2	2	3、3、3、3	4、4、4、4	3、3、4、5	4、4、4、4	3	4
1	2	3	3、3、3、3	5、5、5、5	3、3、4、5	5、5、5、5	3	5
1	3	0	4、4、4、4	3、3、3、3	4、4、4、5	3、3、3、3	4	3
1	3	1	4、4、4、4	4、4、4、4	4、4、4、5	4、4、4、4	4	4
1	3	2	4、4、4、4	5、5、5、5	4、4、4、5	5、5、5、5	4	5
1	3	3	4、4、4、4	6、6、6、6	4、4、4、5	6、6、6、6	4	6

12. バスステートコントローラ (BSC)

BSC レジスタ設定			CPU によるアクセス				DMA によるアクセス	
CSnBCR の アイドル 設定	CS3WCR.WTRP の設定	CS3WCR.TRWL の設定	リード リード	ライト ライト	リード ライト	ライト リード	リード ライト	ライト リード
2	0	0	3、3、3、3	2、2、2、3	3、3、4、5	2、2、2、2	3	2
2	0	1	3、3、3、3	2、2、2、3	3、3、4、5	2、2、2、2	3	2
2	0	2	3、3、3、3	2、2、2、3	3、3、4、5	2、2、2、2	3	2
2	0	3	3、3、3、3	3、3、3、3	3、3、4、5	3、3、3、3	3	3
2	1	0	3、3、3、3	2、2、2、2	3、3、4、5	2、2、2、2	3	2
2	1	1	3、3、3、3	2、2、2、2	3、3、4、5	2、2、2、2	3	2
2	1	2	3、3、3、3	3、3、3、3	3、3、4、5	3、3、3、3	3	3
2	1	3	3、3、3、3	4、4、4、4	3、3、4、5	4、4、4、4	3	4
2	2	0	3、3、3、3	2、2、2、3	3、3、4、5	2、2、2、2	3	2
2	2	1	3、3、3、3	3、3、3、3	3、3、4、5	3、3、3、3	3	3
2	2	2	3、3、3、3	4、4、4、4	3、3、4、5	4、4、4、4	3	4
2	2	3	3、3、3、3	5、5、5、5	3、3、4、5	5、5、5、5	3	5
2	3	0	4、4、4、4	3、3、3、3	4、4、4、5	3、3、3、3	4	3
2	3	1	4、4、4、4	4、4、4、4	4、4、4、5	4、4、4、4	4	4
2	3	2	4、4、4、4	5、5、5、5	4、4、4、5	5、5、5、5	4	5
2	3	3	4、4、4、4	6、6、6、6	4、4、4、5	6、6、6、6	4	6
4	0	0	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	0	1	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	0	2	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	0	3	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	1	0	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	1	1	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	1	2	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	1	3	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	2	0	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	2	1	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	2	2	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	2	3	5、5、5、5	5、5、5、5	5、5、5、5	5、5、5、5	5	5
4	3	0	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	3	1	5、5、5、5	4、4、4、4	5、5、5、5	4、4、4、4	5	4
4	3	2	5、5、5、5	5、5、5、5	5、5、5、5	5、5、5、5	5	5
4	3	3	5、5、5、5	6、6、6、6	5、5、5、5	6、6、6、6	5	6
n (n>=6)			すべて n+1	n、n、n、n	すべて n+1	n、n、n、n	n+1	n

【注】 表中の CPU アクセス部分は、順に I : B が 4 : 1、3 : 1、2 : 1、1 : 1 の場合を示します。

DMAC は B 動作なのでクロック比変更には関係しません。

12. バスステートコントローラ (BSC)

表 12.22 SDRAM インタフェースの DMAC シングルアドレスモードでの
アクセス間アイドルサイクルの最小数 (1)

- DACK付き外部デバイスから、SDRAMインタフェースへの転送

BSC レジスタ設定 (*2)			アイドル最小数
CMNCR.DMAIW の設定	CS3WCR.WTRP の設定	CS3WCR.TRWL の設定	
0	0	0	3
0	0	1	3
0	0	2	3
0	0	3	3
0	1	0	3
0	1	1	3
0	1	2	3
0	1	3	4
0	2	0	3
0	2	1	3
0	2	2	4
0	2	3	5
0	3	0	3
0	3	1	4
0	3	2	5
0	3	3	6
1	0	0	3
1	0	1	3
1	0	2	3
1	0	3	3
1	1	0	3
1	1	1	3
1	1	2	3
1	1	3	4
1	2	0	3
1	2	1	3
1	2	2	4
1	2	3	5
1	3	0	3
1	3	1	4
1	3	2	5
1	3	3	6
2	0	0	3

12. バスステートコントローラ (BSC)

BSC レジスタ設定 (*1)			アイドル最小数
CMNCR.DMAIW の設定	CS3WCR.WTRP の設定	CS3WCR.TRWL の設定	
2	0	1	3
2	0	2	3
2	0	3	3
2	1	0	3
2	1	1	3
2	1	2	3
2	1	3	4
2	2	0	3
2	2	1	3
2	2	2	4
2	2	3	5
2	3	0	3
2	3	1	4
2	3	2	5
2	3	3	6
4	0	0	4
4	0	1	4
4	0	2	4
4	0	3	4
4	1	0	4
4	1	1	4
4	1	2	4
4	1	3	4
4	2	0	4
4	2	1	4
4	2	2	4
4	2	3	5
4	3	0	4
4	3	1	4
4	3	2	5
4	3	3	6
n (n>=6)	-	-	n

12. バスステートコントローラ (BSC)

表 12.22 SDRAM インタフェースの DMAC シングルアドレスモードでの
アクセス間アイドルサイクルの最小数 (2)

- SDRAMインタフェースから、DACK付き外部デバイスへの転送

BSC レジスタ設定 (*2)		アイドル最小数
CS3WCR のアイドル設定	CS3WCR.WTRP の設定	
0	0	3
0	1	3
0	2	3
0	3	4
1	0	3
1	1	3
1	2	3
1	3	4
2	0	3
2	1	3
2	2	3
2	3	4
4	0	5
4	1	5
4	2	5
4	3	5
n (n>=6)	-	n+1

【注】 DMAC は B 動作なのでクロック比変更には関係しません。

*1 DACK 付き外部デバイスから、SDRAM インタフェースへのシングル転送では、CSnBCR の IWW、IWRWD、IWRWS、IWRRD、IWRRS ビットの影響は受けません。

また、CMNCR.DMAIWA = 0 の場合は、上表 (1) の CMNCR.DMAIW[1:0] = 0 の設定と同じになります。

*2 上記以外

12.5.12 バスアービトレーション

本 LSI でのバスアービトレーションは、通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていない場合は、直ちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 \overline{CS}_n 信号その他のバス制御信号を見て、直ちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. キャッシュミスによる16バイト転送中
2. キャッシュのコピーバック中
3. TAS命令のリードサイクルとライトサイクル間
4. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
5. DMACでの16バイト転送時
6. CMNCRレジスタのBLOCKビットを1に設定時

また、CMNCR レジスタの DPRTY[1:0]ビットによって、DMAC バースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本 LSI は、バス権要求を受けない限りバス権を保有しています。外部からのバス権要求 \overline{BREQ} のアサート (ローレベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 \overline{BACK} をアサート (ローレベル) します。外部デバイスがバスを解放したことを示す \overline{BREQ} のネゲート (ハイレベル) を受けて \overline{BACK} をネゲート (ハイレベル) し、バスの使用を再開します。

SDRAM インタフェース使用時は、アクティブなバンクがある場合、全バンクプリチャージコマンド (PALL) を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは、次のとおりです。まず、CKIO の立ち上がりに同期してアドレスバスおよびデータバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CKIO の立ち下がりに同期してアサートします。これに続く CKIO の立ち上がりで、バス制御信号 (\overline{BS} 、 \overline{CS}_n 、 \overline{RASU} 、 \overline{RASL} 、 \overline{CASU} 、 \overline{CASL} 、 \overline{CKE} 、 \overline{DQM}_{xx} 、 \overline{WE}_n 、 \overline{RD} 、および $\overline{RD}/\overline{WR}$) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CKIO の立ち下がりで行います。なお、 \overline{CKE} 、 \overline{RASU} 、 \overline{RASL} 、 \overline{CASU} 、 \overline{CASL} は CMNCR の HIZCNT ビットの設定により、バス解放中でも直前の値でドライブし続けることもできます。

外部デバイスからバス権を再獲得するときのシーケンスは、次のとおりです。 \overline{BREQ} のネゲートを CKIO の立ち下がりで検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロックの立ち下がりで、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始す

12. バスステートコントローラ (BSC)

るのは、これに続く CKIO の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトラージタイミングを図 12.48 に示します。

バス権解放中の SLEEP 命令の実行 (スリープモードまたはスタンバイモードへの遷移) は、本 LSI がバス権を獲得するまで実行されません。バス権解放中のマニュアルリセットも同様です。

スタンバイモードのとき、 $\overline{\text{BREQ}}$ 入力は無視され、 $\overline{\text{BACK}}$ 出力はハイインピーダンス状態になります。この状態でバス権要求が必要な場合は、 $\overline{\text{BACK}}$ 端子をプルダウンしておくことにより、スタンバイモードへの遷移と同時にバス権解放状態となります。

バス権要求 ($\overline{\text{BREQ}}$ のローレベルアサート) 後のバス権解放 ($\overline{\text{BREQ}}$ のハイレベルネゲート) は、バス使用許可 ($\overline{\text{BACK}}$ のローレベルアサート) 後に行ってください。 $\overline{\text{BACK}}$ アサート前に $\overline{\text{BREQ}}$ をネゲートすると、 $\overline{\text{BREQ}}$ ネゲートタイミングによっては $\overline{\text{BACK}}$ が 1 サイクルだけアサートされ、外部デバイスと本 LSI 間でバスの衝突が発生する可能性があります。

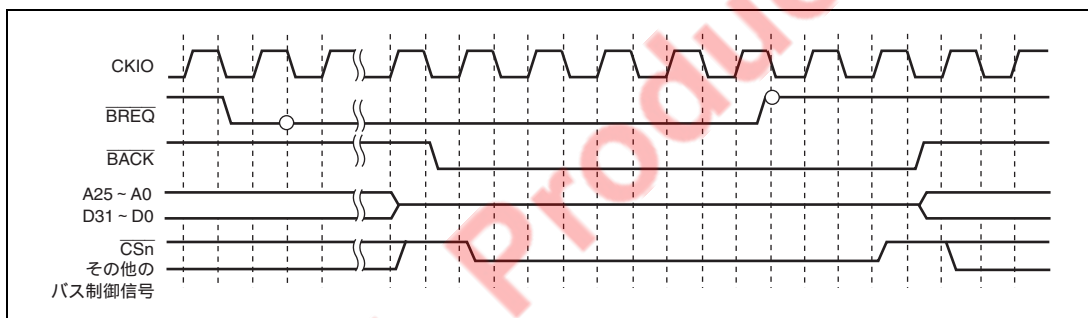


図 12.48 バスアービトラージ (クロックモード 7 または CMNCR.HIZCNT = 1)

12.5.13 その他

(1) リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしに関わらずすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。キャッシュおよびその他の LSI 内部バスマスタモジュールの 16 バイト転送を実行中の場合は、バスマスタがマニュアルリセットによってアクセス要求を取り消すため、ロングワード単位でアクセスが打ち切られます。このためキャッシュフィル時にマニュアルリセットを入れる場合は、キャッシュの内容は保証されなくなりますので注意してください。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。ただし、マニュアルリセット信号のアサート中は $\overline{\text{BREQ}}$ によるアービトラージ要求を受け付けません。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、7ビットのカウンタ (RWTCNT) を用意しています。パワーオンリセットによりこのカウンタは、0 クリアされます。パワーオンリセット解除後は CKIO に同期してカウンタアップされ、カウンタの値が H'007F になるまで外部アクセスを発生しません。マニュアルリセットでは、カウンタの値はクリアされません。

(2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、キャッシュバス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリはキャッシュバスに、CPU を除く内部バスマスタおよびバスステートコントローラは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリはキャッシュバスと内部バスの双方に接続されています。キャッシュバスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (DMAC 等) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのバージをソフトウェアで行う必要があります。

CPU が読み出しアクセスを開始し、それがキャッシュ領域の場合はキャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取りこみアクセスは完了します。キャッシュ内にデータが無い場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ($4n + 2$) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュスルー領域に関しては、実際のアクセスアドレスに従ってアクセスを行います。アクセスが偶数ワード境界 ($4n$) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ($4n + 2$) への命令フェッチの場合にはワードアクセスとなります。

非キャッシュ領域および内蔵周辺モジュールの読み出しサイクルの場合は、その判定後内部バスを介して読み出しサイクルが起動されます。読み出しデータは、キャッシュバスを経由して CPU に送られます。

書き込みサイクルがキャッシュ領域に対するものであった場合は、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータが無かった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを経由して実際の書き込みが行われます。該当アドレスのデータが無かった場合には、キャッシュの更新は行わずに内部バスを経由して実際の書き込みのみ行われます。

12. バスステートコントローラ (BSC)

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC 等の別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に BSC レジスタを変更すると、正しいアクセスができなくなりますので、ライトアクセス直後に BSC レジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に BSC レジスタを変更してください。

(3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P) で 2 サイクル以上かかります。システム設計の見積もり時には、ご注意ください。

13. ダイレクトメモリアクセスコントローラ (DMAC)

ダイレクトメモリアクセスコントローラ (DMAC) は、 \overline{DACK} (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

DMAC のブロック図を図 13.1 に示します。

13.1 特長

- チャンネル数：4チャンネル (うち2チャンネルは外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4GB
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24bit) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：
 - 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能
 - 内蔵周辺モジュールリクエストを発行できるものには以下のモジュールがあります。
 - SCIF0、SCIF1、SCIF2、MTU0、MTU1、MTU2、MTU3、MTU4、
 - USB、CMT0、CMT1、A/D変換器0、A/D変換器1
- バスモード：サイクルスチールモード (通常モードとインターミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送終了時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出： \overline{DREQ} 入力のローまたはハイレベルの検出、および立ち上がりまたは立ち下がりエッジ検出から選択可能
- 転送要求受付信号・転送終了信号： \overline{DACK} および \overline{TEND} はアクティブレベルを設定可能

13. ダイレクトメモリアクセスコントローラ (DMAC)

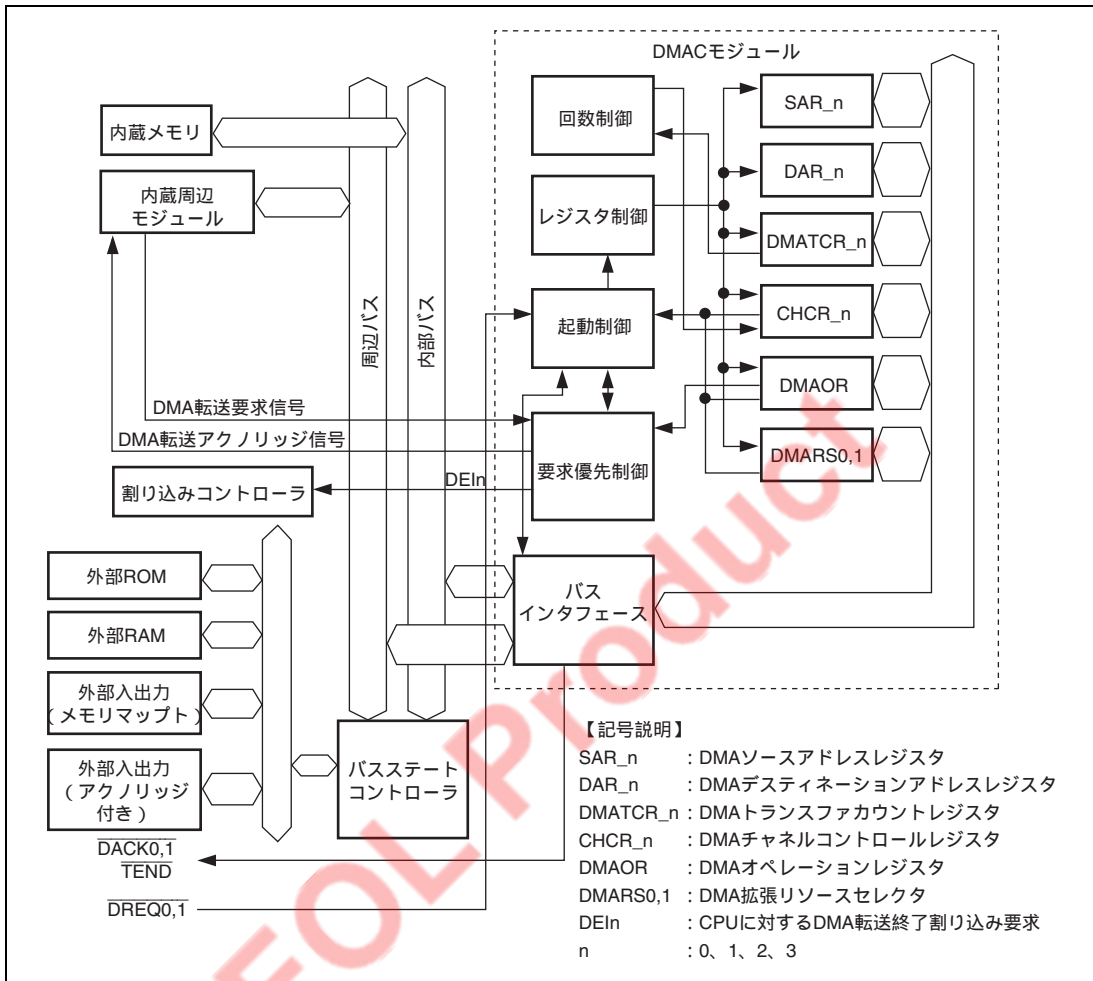


図 13.1 DMAC ブロック図

13.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 13.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (チャンネル 0、チャンネル 1) を持っています。

表 13.1 外部バスに対する端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受付	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受付出力
	DMA 転送終了	TEND	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受付	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受付出力

13.3 レジスタの説明

DMAC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 24 章 レジスタ一覧」を参照してください。

(1) チャンネル 0

- DMAソースアドレスレジスタ_0 (SAR_0)
- DMAデスティネーションアドレスレジスタ_0 (DAR_0)
- DMAトランスファカウントレジスタ_0 (DMATCR_0)
- DMAチャンネルコントロールレジスタ_0 (CHCR_0)

(2) チャンネル 1

- DMAソースアドレスレジスタ_1 (SAR_1)
- DMAデスティネーションアドレスレジスタ_1 (DAR_1)
- DMAトランスファカウントレジスタ_1 (DMATCR_1)
- DMAチャンネルコントロールレジスタ_1 (CHCR_1)

(3) チャンネル 2

- DMAソースアドレスレジスタ_2 (SAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DAR_2)
- DMAトランスファカウントレジスタ_2 (DMATCR_2)
- DMAチャンネルコントロールレジスタ_2 (CHCR_2)

13. ダイレクトメモリアクセスコントローラ (DMAC)

(4) チャンネル3

- DMAソースアドレスレジスタ₃ (SAR₃)
- DMAデスティネーションアドレスレジスタ₃ (DAR₃)
- DMAトランスファカウントレジスタ₃ (DMATCR₃)
- DMAチャンネルコントロールレジスタ₃ (CHCR₃)

(5) 共通

- DMAオペレーションレジスタ (DMAOR)
- DMA拡張リソースセクタ0 (DMARS0)
- DMA拡張リソースセクタ1 (DMARS1)

13.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が $\overline{\text{DACK}}$ 付きの外部デバイスの転送をする場合には SAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

パワーオンおよびマニュアルリセット時の値は不定になり、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

13.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が $\overline{\text{DACK}}$ 付きの外部デバイスの転送をする場合には、DAR は無視されます。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

パワーオンおよびマニュアルリセット時の値は不定になり、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

13.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出しましたは書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

パワーオンおよびマニュアルリセット時の値は不定になり、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

13.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

パワーオンおよびマニュアルリセット時は H'00000000 に初期化され、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

ビット	ビット名	初期値	R/W	説明
31	TC	0	R/W	トランスファカウントモード 1 回の転送要求で 1 回転送するか、DMATCR の設定回数転送するかを選択します。本ビットは周辺モジュールリクエストで転送要求元が MTU0~4 および CMT0~1 のときのみ有効です。それ以外では、このビットには 0 を指定してください。 0 : 1 回の転送要求で 1 回転送 1 : 1 回の転送要求で DMATCR の設定回数転送
30~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
23	DO	0	R/W	DMA オーバラン \overline{DREQ} をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。 本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : \overline{DREQ} をオーバラン 0 で検出 1 : \overline{DREQ} をオーバラン 1 で検出
22	TL	0	R/W	トランスファエンドレベル \overline{TEND} 信号をハイアクティブにするかローアクティブにするかを指定します。 本ビットは CHCR_0 でのみ有効です。CHCR_1~3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 0 : \overline{TEND} をローアクティブ出力 1 : \overline{TEND} をハイアクティブ出力
21~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、\overline{DACK} をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモード時は、本ビットの指定に関係なく \overline{DACK} は常に出力されます。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p> <p>0 : 読み出しサイクルで \overline{DACK} を出力 (デュアルアドレスモード)</p> <p>1 : 書き込みサイクルで \overline{DACK} を出力 (デュアルアドレスモード)</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>\overline{DACK} 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p> <p>0 : \overline{DACK} をローアクティブ出力</p> <p>1 : \overline{DACK} をハイアクティブ出力</p>
15 14	DM1 DM0	0 0	R/W R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、\overline{DACK} 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。</p> <p>00 : デスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止)</p> <p>01 : デスティネーションアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト単位転送時は +16)</p> <p>10 : デスティネーションアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト単位転送時は設定禁止)</p> <p>11 : 予約 (設定禁止)</p>

13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
13 12	SM1 SM0	0 0	R/W R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します。(シングルアドレスモードにおいて、$\overline{\text{DACK}}$ 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます。)</p> <p>00: ソースアドレスは固定 (16 バイト単位転送時は設定禁止)</p> <p>01: ソースアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト転送時は +16)</p> <p>10: ソースアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト転送時は設定禁止)</p> <p>11: 予約 (設定禁止)</p>
11 10 9 8	RS3 RS2 RS1 RS0	0 0 0 0	R/W R/W R/W R/W	<p>リソースセレクト</p> <p>DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000: 外部リクエスト、デュアルアドレスモード</p> <p>0001: 予約 (設定禁止)</p> <p>0010: 外部リクエスト、シングルアドレスモード 外部アドレス空間 $\overline{\text{DACK}}$ 付き外部デバイス</p> <p>0011: 外部リクエスト、シングルアドレスモード $\overline{\text{DACK}}$ 付き外部デバイス 外部アドレス空間</p> <p>0100: オートリクエスト</p> <p>0101: 予約 (設定禁止)</p> <p>0110: 予約 (設定禁止)</p> <p>0111: 予約 (設定禁止)</p> <p>1000: DMA 拡張リソースセクタ</p> <p>1001: 予約 (設定禁止)</p> <p>1010: 予約 (設定禁止)</p> <p>1011: 予約 (設定禁止)</p> <p>1100: 予約 (設定禁止)</p> <p>1101: 予約 (設定禁止)</p> <p>1110: A/D 変換器 0</p> <p>1111: CMT0</p> <p>【注】外部リクエストの指定は CHCR_0、1 のみ有効です。CHCR_2、3 では外部リクエスト指定は設定できません。</p>

13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7 6	DL DS	0 0	R/W R/W	<p>\overline{DREQ} レベル、および \overline{DREQ} エッジセレクト</p> <p>\overline{DREQ} 入力の検出方法と検出レベルを選択します。</p> <p>本ビットは、CHCR_0、1 でのみ有効です。CHCR_2、3 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p> <p>また、チャンネル 0、1 の場合でも、転送要求元を内蔵周辺モジュールまたはオートリクエストに指定した場合は、本ビットは無効です。</p> <p>00：ローレベル検出 01：立ち下りエッジ検出 10：ハイレベル検出 11：立ち上りエッジ検出</p>
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。</p> <p>0：サイクルスチールモード 1：バーストモード</p> <p>内蔵周辺モジュールリクエスト時、転送要求元が MTU の場合で、トランスファカウントモードビットを 0 に設定するときは、このビットには 0 を設定してください。</p>
4 3	TS1 TS0	0 0	R/W R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00：バイト単位 01：ワード (2 バイト) 単位 10：ロングワード (4 バイト) 単位 11：16 バイト単位転送 (ロングワード 4 回転送)</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合は、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0：割り込み要求を禁止 1：割り込み要求を許可</p>

13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに NMI 割り込みおよび DMA アドレスエラーによって転送が終了した場合、および DE ビットと DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の中断 1 : (DMATCR=0 により) DMA 転送終了</p> <p>【クリア条件】 TE ビットの 1 を読み出してから 0 を書きこむ。</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、および AE ビットのすべてが 0 である必要があります。外部リクエストおよび周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、および AE ビットのすべてが 0 である必要があります。DE ビットをクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

13. ダイレクトメモリアクセスコントローラ (DMAC)

13.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

パワーオンおよびマニュアルリセット時は H'0000 0000 に初期化され、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット
30	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
29	CMS1	0	R/W	サイクルスチールモード選択
28	CMS0	0	R/W	サイクルスチールモード時に通常モードとインターミittentモードを選択します。 インターミittentモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードであることが必要です。 00: 通常モード 01: 予約 (設定禁止) 10: インターミittentモード 16 外バスクロック 16 クロックに 1 回 DMA 転送を実行 11: インターミittentモード 64 外バスクロック 64 クロックに 1 回 DMA 転送を実行
27	-	0	R	リザーブビット
26	-	0	R	読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
25	PR1	0	R/W	プライオリティーモード
24	PR0	0	R/W	同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00: 固定モード 1: CH0>CH1>CH2>CH3 01: 固定モード 2: CH0>CH2>CH3>CH1 10: チャンネル選択ラウンドロビンモード: RCn ビットの状態が優先順位に反映されます。 11: 全チャンネルラウンドロビンモード
23~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18	AE	0	R/(W)*	アドレスエラーフラグ DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0: DMAC によるアドレスエラーなし 1: DMAC によるアドレスエラー発生 【クリア条件】AE ビットの 1 を読み出してから 0 を書き込む

13. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われます。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし 1 : NMI 割り込み発生</p> <p>【クリア条件】 NMIF ビットの 1 を読み出してから 0 を書き込む</p>
16	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>全てのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>
15~6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
5	RC0	0	R/W	ラウンドロビンセレクト
4	RC1	0	R/W	<p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです</p> <p>RCn の値</p> <p>0 : 対応するチャンネル CHn (n:0~3) の優先順位は、固定になります。すべての RC ビットが 0 の場合は、チャンネルの優先順位は、CH0>CH1>CH2>CH3 となり、固定モード 1 (mode7) と等価となります。</p> <p>1 : 対応するチャンネル CHn (n:0~3) は、ラウンドロビンにより優先順位が決定されます。すべての RC ビットが 1 の場合は、ラウンドロビンモード (mode5) と等価となります。</p>
3	RC2	0	R/W	
2	RC3	0	R/W	
1	-	0	R	
0	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は、DMAOR のラウンドロビンセレクトビット (RC0、RC1、RC2、RC3) およびプライオリティモードビット (PR1、PR0) で設定します。

(PR[1:0]) = (B'10) に設定した場合、ラウンドロビンセレクトビットの設定により優先順位が決定します。

13. ダイレクトメモリアクセスコントローラ (DMAC)

ラウンドロビンセレクトビットを1に設定したチャンネル間でのみ優先順位の入れ替えを行います。(PR[1:0]) = (B'01)に設定した場合、常に固定モード2(CH0>CH2>CH3>CH1)となります。(PR[1:0]) = (B'11)に設定した場合、常に全チャンネルラウンドロビンモードとなります。(PR[1:0]) = (B'00)に設定した場合、常に固定モード1(CH0>CH1>CH2>CH3)となります。なお、(PR[1:0]) = (B'10)のとき以外は、ラウンドロビンセレクトビットの値は無視されます。

1 転送終了後にラウンドロビンセレクトビットあるいはプライオリティーモードビットの設定が変更された場合、優先順位が初期化されます。たとえば、固定モード2で再設定した場合、優先順位はCH0>CH2>CH3>CH1となり、固定モード1で再設定した場合は優先順位はCH0>CH1>CH2>CH3となります。また、ラウンドロビンモードを含むモードに再設定した場合は、転送終了チャンネルはリセットされます。

表 13.2 に、ラウンドロビンセレクトビットと、プライオリティーモードビットの組み合わせモード(mode0~7)を示します。各モードは転送終了したチャンネルによって、次にリクエストを受けるチャンネルの優先順位が最大3通りに変化します。

たとえば、ラウンドロビンセレクトビットを(RC[0:3]) = (B'1110)のmode3に設定した場合、転送終了したチャンネルがCH1のとき、次にリクエストを受け付けるチャンネルの優先順位は、CH2>CH0>CH1>CH3となります。また、転送終了したチャンネルがCH3のときラウンドロビンの対象外となるため、チャンネル3が転送終了しても優先順位は変化しません。

表 13.2 ラウンドロビンセレクトビット・プライオリティーモードビットの組合せ

MODE No.	ラウンドロビンセレクトビット				転送終了 CH No.	プライオリティー モードビット		1 転送終了後の優先度：高 低			
	RC0	RC1	RC2	RC3		PR1	PR0	優先順位 0	優先順位 1	優先順位 2	優先順位 3
0	0	0	1	1	CH2	1	0	CH0	CH1	CH3	CH2
1	0	1	1	1	CH1	1	0	CH0	CH2	CH3	CH1
	0	1	1	1	CH2	1	0	CH0	CH3	CH1	CH2
2	1	1	0	0	CH0	1	0	CH1	CH0	CH2	CH3
3	1	1	1	0	CH0	1	0	CH1	CH2	CH0	CH3
	1	1	1	0	CH1	1	0	CH2	CH0	CH1	CH3
4	1	1	1	1	CH0	1	0	CH1	CH2	CH3	CH0
	1	1	1	1	CH1	1	0	CH2	CH3	CH0	CH1
	1	1	1	1	CH2	1	0	CH3	CH0	CH1	CH2
-	上記以外				*	1	0	設定禁止			
5 (全チャンネル ラウンドロビン)	*	*	*	*	CH0	1	1	CH1	CH2	CH3	CH0
	*	*	*	*	CH1	1	1	CH2	CH3	CH0	CH1
	*	*	*	*	CH2	1	1	CH3	CH0	CH1	CH2
6 (固定モード2)	*	*	*	*	*	0	1	CH0	CH2	CH3	CH1
7 (固定モード1)	*	*	*	*	*	0	0	CH0	CH1	CH2	CH3

【注】 * 値は任意

13.3.6 DMA 拡張リソースセクタ 0、1 (DMARS0、1)

DMARS は、読み出したり書き込み可能な 16 ビットレジスタで、各チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3 を設定します。本レジスタで、SCIF0、SCIF1、SCIF2、MTU0、MTU1、MTU2、MTU3、MTU4、USB、A/D 変換器 1、CMT1 の転送要求を設定できます。

パワーオンおよびマニュアルリセット時は H'0000 に初期化され、スタンバイモードおよびモジュールスタンバイ機能使用時には値を保持します。

• DMARS0の設定

ビット	ビット名	初期値	R/W	説明
15	C1MID5	0	R/W	DMA チャンネル 1 転送要求元モジュール ID (MID) 表 13.3 参照
14	C1MID4	0	R/W	
13	C1MID3	0	R/W	
12	C1MID2	0	R/W	
11	C1MID1	0	R/W	
10	C1MID0	0	R/W	
9	C1RID1	0	R/W	DMA チャンネル 1 転送要求元レジスタ ID (RID) 表 13.3 参照
8	C1RID0	0	R/W	
7	C0MID5	0	R/W	DMA チャンネル 0 転送要求元モジュール ID (MID) 表 13.3 参照
6	C0MID4	0	R/W	
5	C0MID3	0	R/W	
4	C0MID2	0	R/W	
3	C0MID1	0	R/W	
2	C0MID0	0	R/W	
1	C0RID1	0	R/W	DMA チャンネル 0 転送要求元レジスタ ID (RID) 表 13.3 参照
0	C0RID0	0	R/W	

13. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS1の設定

ビット	ビット名	初期値	R/W	説明
15	C3MID5	0	R/W	DMA チャンネル 3 転送要求元モジュール ID (MID) 表 13.3 参照
14	C3MID4	0	R/W	
13	C3MID3	0	R/W	
12	C3MID2	0	R/W	
11	C3MID1	0	R/W	
10	C3MID0	0	R/W	
9	C3RID1	0	R/W	DMA チャンネル 3 転送要求元レジスタ ID (RID) 表 13.3 参照
8	C3RID0	0	R/W	
7	C2MID5	0	R/W	DMA チャンネル 2 転送要求元モジュール ID (MID) 表 13.3 参照
6	C2MID4	0	R/W	
5	C2MID3	0	R/W	
4	C2MID2	0	R/W	
3	C2MID1	0	R/W	
2	C2MID0	0	R/W	
1	C2RID1	0	R/W	DMA チャンネル 2 転送要求元レジスタ ID (RID) 表 13.3 参照
0	C2RID0	0	R/W	

各モジュールからの転送要求は、以下の MID、RID を設定します。

表 13.3 DMARS の設定

周辺モジュール	1 チャンネル分の 設定値 (MID+RID)	MID	RID	機能
SCIF0	H'88	B'100010	B'00	送信
	H'89		B'01	受信
SCIF1	H'90	B'100100	B'00	送信
	H'91		B'01	受信
SCIF2	H'40	B'010000	B'00	送信
	H'41		B'01	受信
MTU0	H'A8	B'101010	B'00	TGI0A
MTU1	H'C0	B'110000	B'00	TGI1A
MTU2	H'C8	B'110010	B'00	TGI2A
MTU3	H'D0	B'110100	B'00	TGI3A
MTU4	H'E8	B'111010	B'00	TGI4A
USB	H'A0	B'101000	B'00	送信
	H'A1		B'01	受信
A/D 変換器 1	H'B0	B'101100	B'00	-
CMT1	H'F0	B'111100	B'00	-

表 13.3 以外の MID または RID を設定したときの動作は、保証されません。DMARS レジスタからの転送要求は、CHCR_0 ~ CHCR_3 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

13.4 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

13.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 ビットの設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。
4. DMAC によるアドレスエラーが NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットが DMAOR の DME ビットを 0 にしても転送を中断します。

図 13.2 に上記のフローチャートを示します。

13. ダイレクトメモリアクセスコントローラ (DMAC)

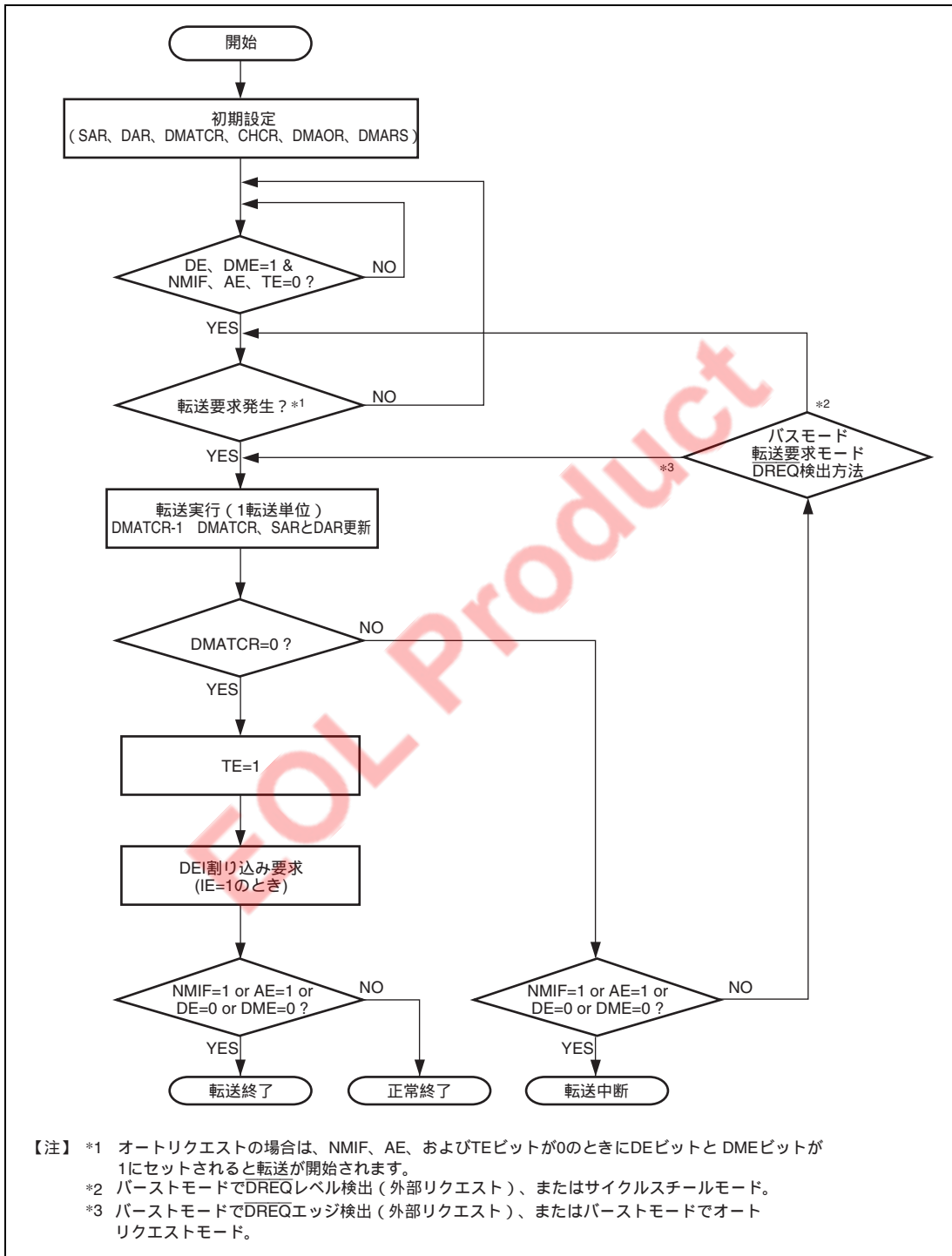


図 13.2 DMA 転送フローチャート

13.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0 ~ 3 (CHCR_0 ~ CHCR_3) の RS3 ~ RS0 ビットおよび DMARS0、DMARS1 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR_0 ~ CHCR_3 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_0 ~ CHCR_3 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 ($\overline{DREQ0}$ 、 $\overline{DREQ1}$) によって転送を開始させるモードです。DMA チャンネル 0、1 のみ有効です。システムに応じて表 13.4 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に \overline{DREQ} が入力されると DMA 転送が開始されます。

表 13.4 RS ビットによる外部リクエストモードの選択

RS3	RS2	RS1	RS0	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	\overline{DACK} 付外部デバイス
			1		\overline{DACK} 付外部デバイス	外部メモリまたは メモリマップト外部デバイス

\overline{DREQ} をエッジで検出するかレベルで検出するかは、表 13.5 に示す CHCR_0、1 の \overline{DL} レベル (DL) ビットと \overline{DS} セレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表 13.5 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

13. ダイレクトメモリアクセスコントローラ (DMAC)

$\overline{\text{DREQ}}$ が受けられると $\overline{\text{DREQ}}$ 端子は要求受付不可能状態 (不感帯) となります。受け付けた $\overline{\text{DREQ}}$ に対するアクリッジ $\overline{\text{DACK}}$ を出力した後、ふたたび $\overline{\text{DREQ}}$ 端子は要求を受け付けることが可能になります。

$\overline{\text{DREQ}}$ をレベル検出で使う場合、 $\overline{\text{DACK}}$ を出力して次の $\overline{\text{DREQ}}$ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバーラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバーラン 1) があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 13.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR	外部リクエスト
DO	
0	オーバーラン 0
1	オーバーラン 1

(3) 周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

DMA 転送要求信号は、A/D 変換器 0 からの A/D 変換転送終了要求、CMT0 からのコンペアマッチ転送要求、および DMARS0、1 にて設定する SCIF0 ~ SCIF2 からの送信データエンプティ転送要求と受信データフル転送要求、MTU0 ~ MTU4 からのコンペアマッチ割り込みまたはインプットキャプチャ割り込み、USB からの送信データエンプティ転送要求と受信データフル転送要求、A/D 変換器 1 からの A/D 変換終了転送要求、CMT1 からのコンペアマッチ転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE=1、DME=1、TE=0、AE=0、NMIF=0) ならば、転送要求信号によって転送が実行されます。

転送要求を SCIF の送信データエンプティ転送要求に設定した場合、転送先を当該 SCIF のトランスミットデータレジスタとする必要があります。同様に転送要求を SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCIF のレシーブデータレジスタとする必要があります。これらは USB も同様です。転送要求が A/D 変換器 0、A/D 変換器 1 からの場合、転送元を A/D データレジスタ (ADDR) とする必要があります。転送要求が CMT0、CMT1 および MTU0 ~ MTU4 からの場合、データの転送元、転送先ともに任意のアドレス設定が可能です。

表 13.7 RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
	MID	RID					
1110	任意	任意	A/D 変換器 0	ADI (AD 変換終了転送)	ADDR	任意	サイクル スチール
1111	任意	任意	CMT0	コンペアマッチ転送要求	任意	任意	サイクル スチール/ バースト

13. ダイレクトメモリアクセスコントローラ (DMAC)

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード	
	MID	RID						
1000	100010	00	SCIF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR0	サイクル スチール	
		01	SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR0	任意	サイクル スチール	
	100100	00	SCIF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR1	サイクル スチール	
		01	SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR1	任意	サイクル スチール	
	010000	00	SCIF2 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR2	サイクル スチール	
		01	SCIF2 受信部	RXI (受信 FIFO データフル)	SCFRDR2	任意	サイクル スチール	
	101010	00	MTU0	TGI0A (インプットキャプチャ割り込み /コンペアマッチ割り込み)	任意	任意	サイクル スチール /バースト	
	110000	00	MTU1	TGI1A (インプットキャプチャ割り込み /コンペアマッチ割り込み)	任意	任意	サイクル スチール /バースト	
	110010	00	MTU2	TGI2A (インプットキャプチャ割り込み /コンペアマッチ割り込み)	任意	任意	サイクル スチール /バースト	
	110100	00	MTU3	TGI3A (インプットキャプチャ割り込み /コンペアマッチ割り込み)	任意	任意	サイクル スチール /バースト	
	111010	00	MTU4	TGI4A (インプットキャプチャ割り込み /コンペアマッチ割り込み)	任意	任意	サイクル スチール /バースト	
			USB 送信部	EP2FIFO エンプティ転送要求	任意	USBEPDR2	サイクル スチール	
	101000	01	USB 受信部	EP1FIFO フル転送要求	任意	USBEPDR1	任意	サイクル スチール
		101100	00	A/D 変換器 1	A/D 変換終了転送要求	ADDR1	任意	サイクル スチール
	111100	00	CMT1	コンペアマッチ転送要求	任意	任意	サイクル スチール /バースト	

13. ダイレクトメモリアクセスコントローラ (DMAC)

13.4.3 チャンネルの優先順位

DMAC は同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード 1、固定モード 2、チャンネル選択ラウンドロビンモード、全チャンネルラウンドロビンモードの 4 種類のモードから選択できます。モードの選択は DMAOR の PR1、PR0 ビットおよび RC0 ~ RC3 ビットにより行います。

(1) 固定モード

固定モード 1 および 2 ではチャンネルの優先順位は変化しません。

各モードの優先順位は以下のとおりです。

- 固定モード 1 : CH0>CH1>CH2>CH3
- 固定モード 2 : CH0>CH2>CH3>CH1

これらの選択は DMAOR の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで 1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 13.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3 です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

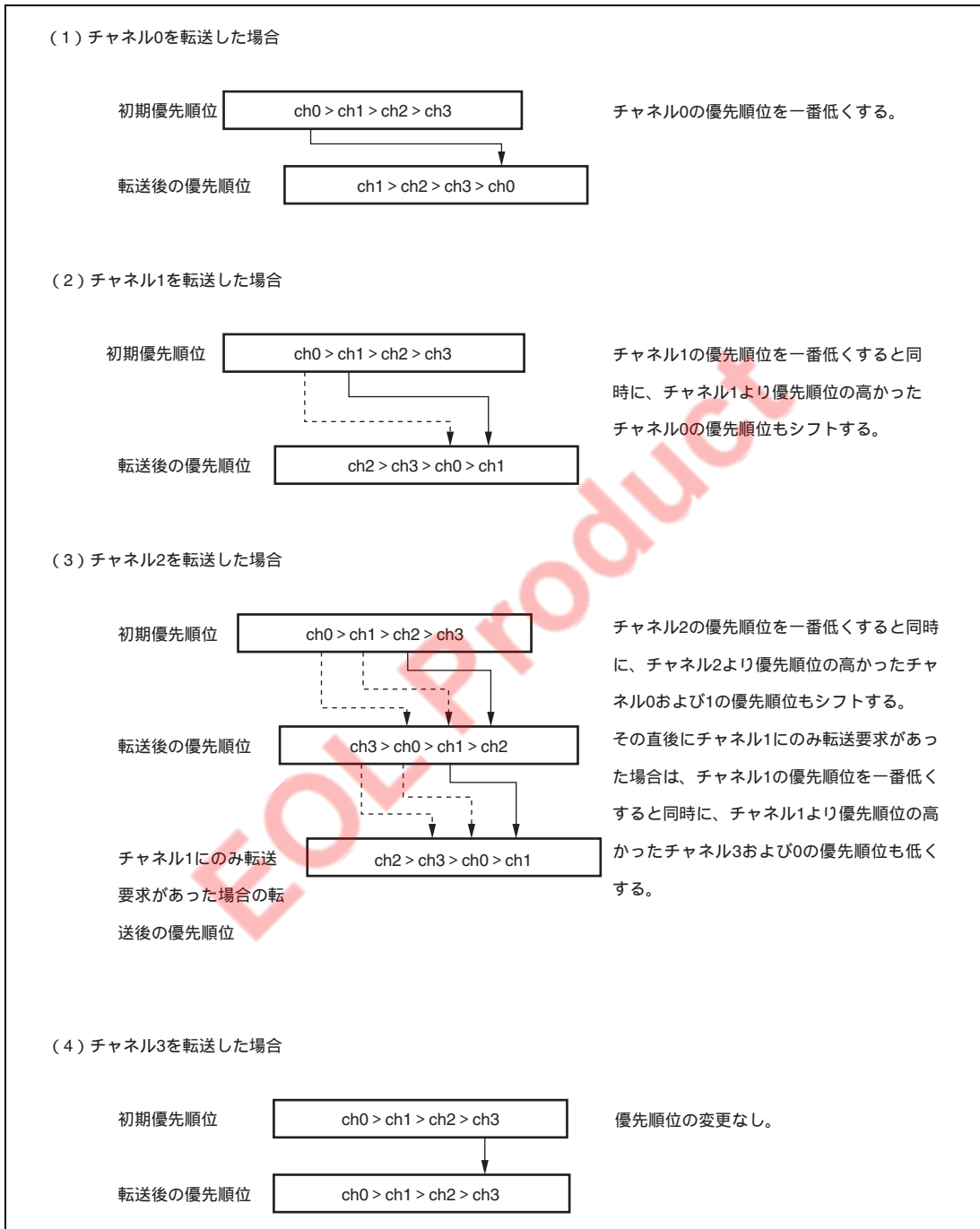


図 13.3 ラウンドロビンモード

13. ダイレクトメモリアクセスコントローラ (DMAC)

図 13.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

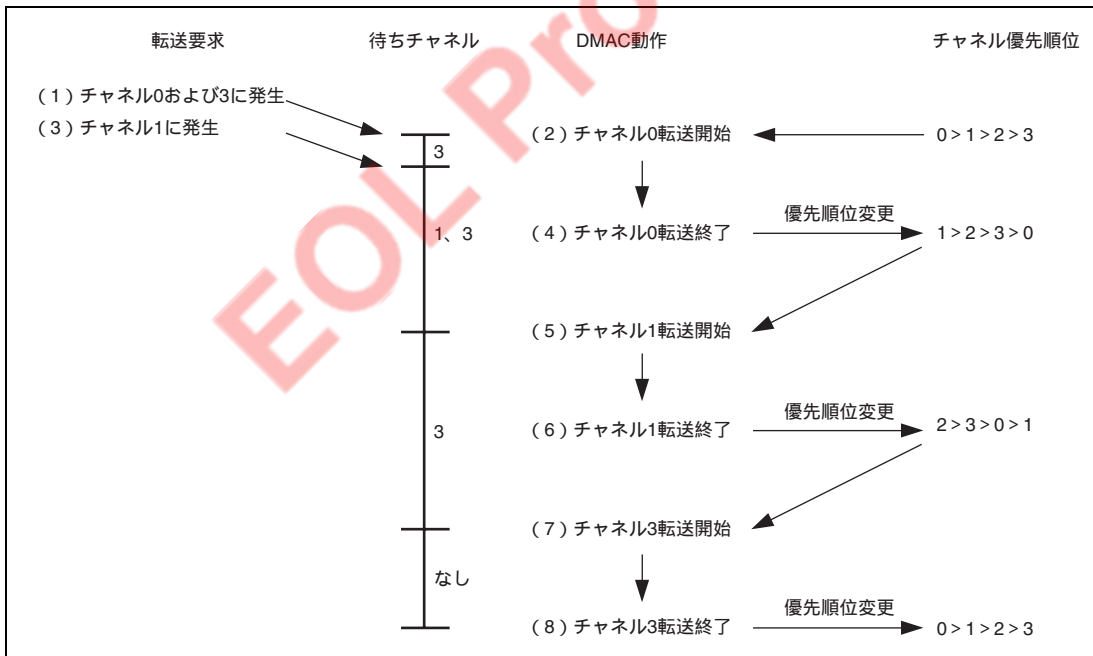


図 13.4 ラウンドロビンモードでのチャンネル優先順位

13.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって異なります。バスモードには、サイクルスチールモードとバーストモードがあります。表 13.8 に DMAC がサポートできる転送を示します。

表 13.8 サポートできる DMA 転送

転送元	転送先				
	DACK 付 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	XYメモリ Uメモリ
DACK 付 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	不可	不可
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
XYメモリ Uメモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2 つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。たとえば、図 13.5 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

13. ダイレクトメモリアクセスコントローラ (DMAC)

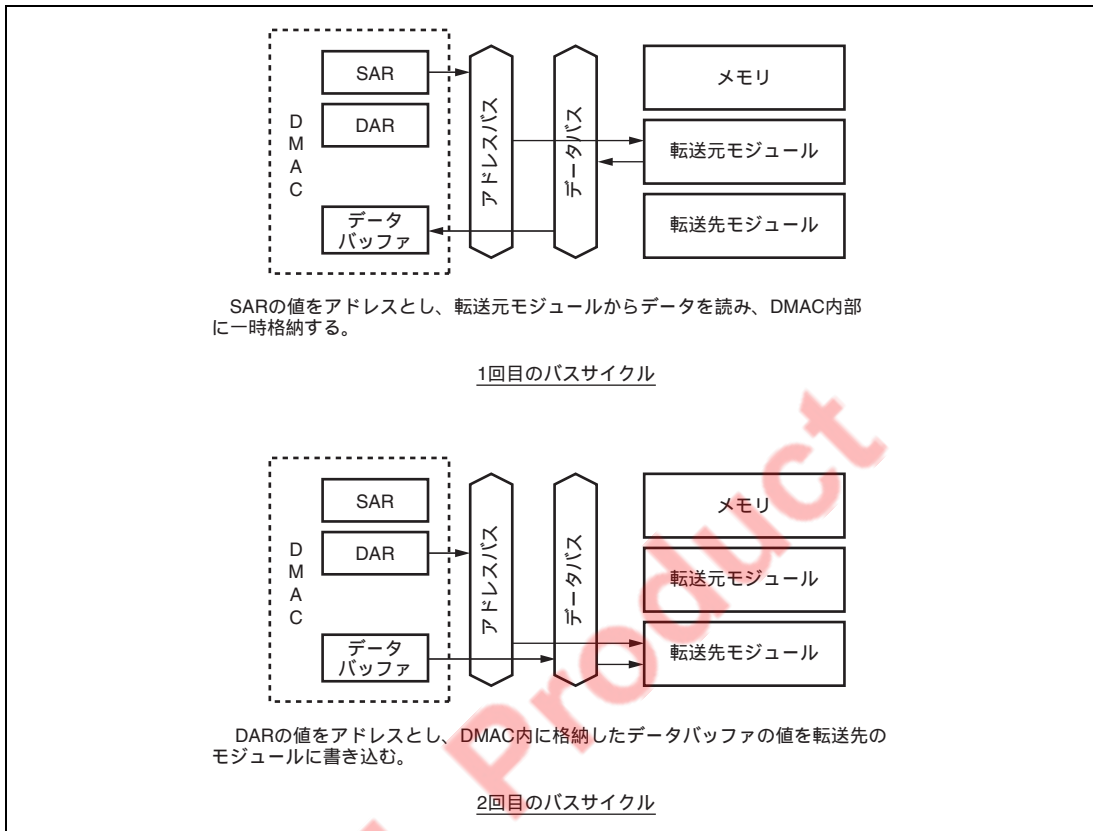


図 13.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、 \overline{DACK} はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかは CHCR の AM ビットによって設定可能です。

図 13.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

13. ダイレクトメモリアクセスコントローラ (DMAC)

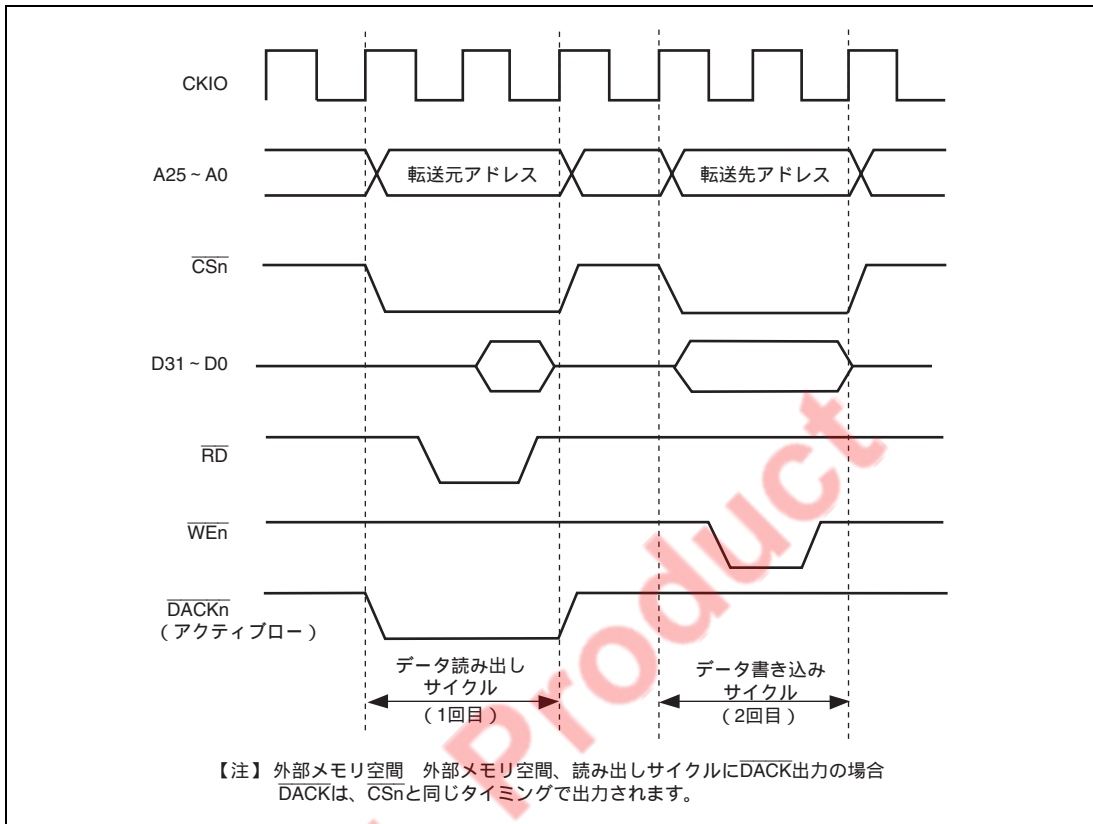


図 13.6 デュアルアドレスモードのDMA転送タイミング例
(転送元：通常メモリ、転送先：通常メモリ)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうち的一方を $\overline{\text{DACK}}$ 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMACは、転送要求受付信号 $\overline{\text{DACK}}$ を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルでDMA転送を行います。たとえば、図13.7のような外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

13. ダイレクトメモリアクセスコントローラ (DMAC)

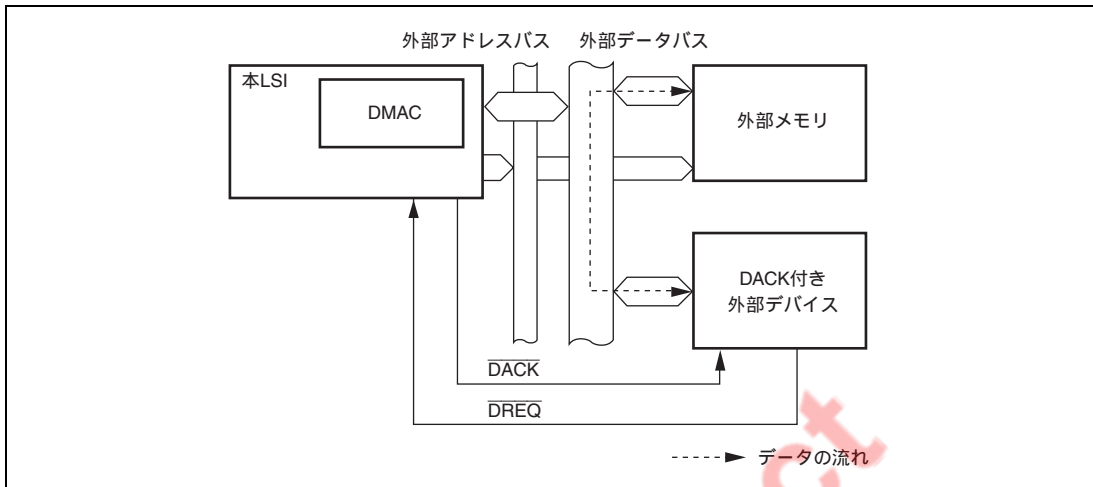


図 13.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、1) $\overline{\text{DACK}}$ 付き外部デバイスとメモリマップト外部デバイス間転送、2) $\overline{\text{DACK}}$ 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は、外部リクエスト ($\overline{\text{DREQ}}$) のみです。

図 13.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

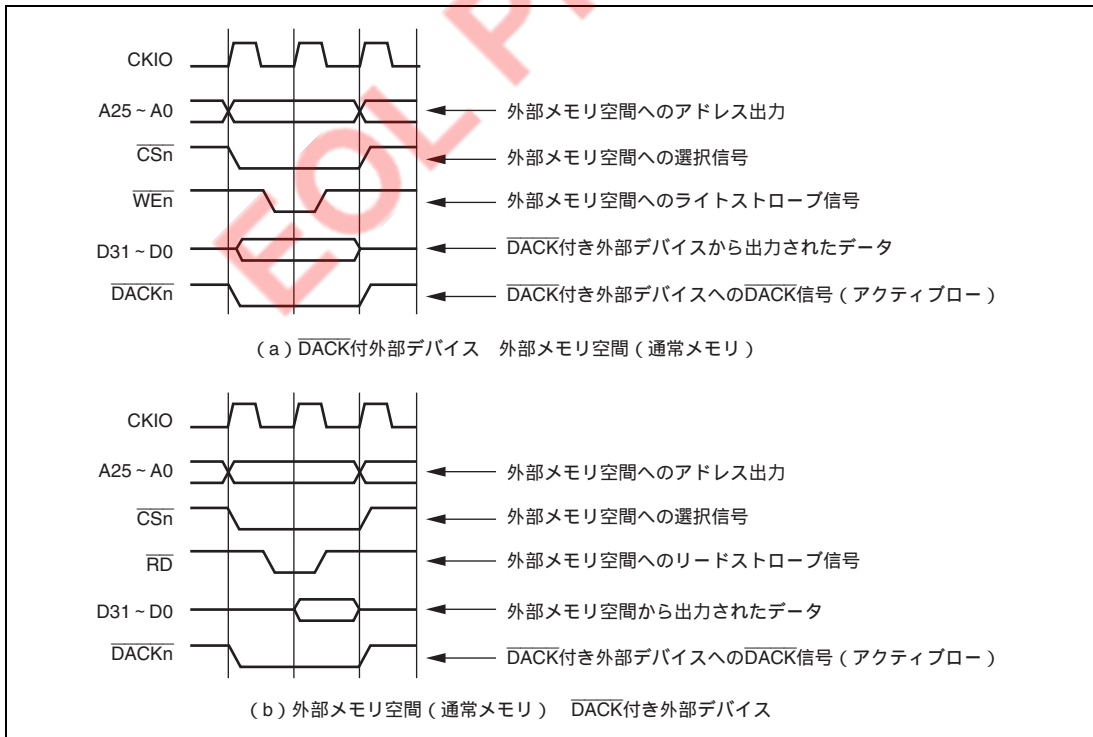


図 13.8 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

• 通常モード

サイクルスチールの通常モードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えます。

図13.9にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は、以下のとおりです。

1. デュアルアドレスモード
2. $\overline{\text{DREQ}}$ ローレベル検出

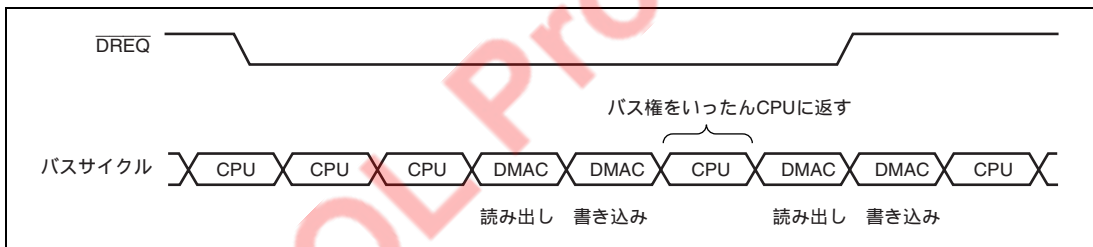


図 13.9 サイクルスチール通常モードの DMA 転送例
(デュアルアドレス、 $\overline{\text{DREQ}}$ ローレベル検出)

• インターミットtentモード16、インターミットtentモード64

サイクルスチールのインターミットtentモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B カウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため、DMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMACが再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときには、DMA転送がさらに待たされる場合があります。

インターミットtentモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

13. ダイレクトメモリアクセスコントローラ (DMAC)

図13.10にサイクルスチールインターミットモードでのDMA転送タイミング例を示します。図の例での転送条件は、以下のとおりです。

1. デュアルアドレスモード
2. $\overline{\text{DREQ}}$ ローレベル検出

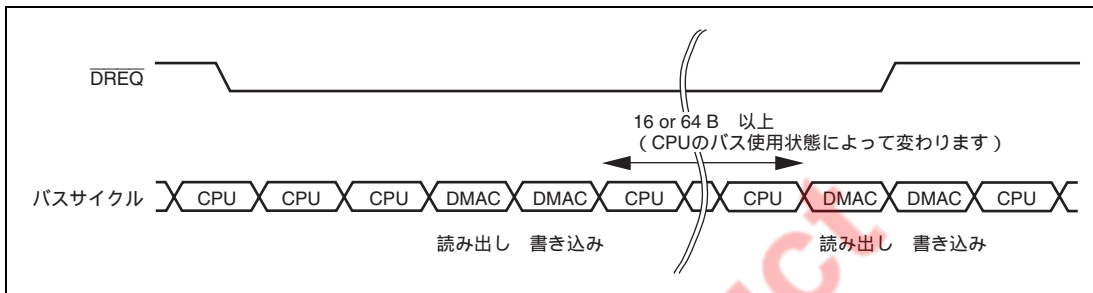


図 13.10 サイクルスチールインターミットモードの DMA 転送例
(デュアルアドレス、 $\overline{\text{DREQ}}$ ローレベル検出)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで $\overline{\text{DREQ}}$ をレベルで検出する場合には、 $\overline{\text{DREQ}}$ がアクティブなレベルでなくなると、転送終了条件が満たされていない場合でも、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合は、CMT0、CMT1 および MTU0 ~ MTU4 以外には使用できません。

図 13.11 にバーストモードでの DMA 転送タイミングを示します。

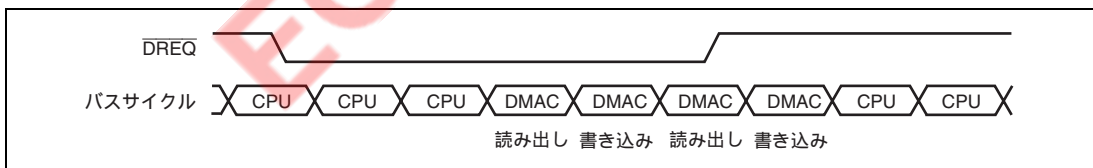


図 13.11 バーストモードの DMA 転送例 (デュアルアドレス、 $\overline{\text{DREQ}}$ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バーストモードの関係

表 13.9 に DMA 転送区間とリクエストモードおよびバーストモードなどの関連事項を示します。

13. ダイレクトメモリアクセスコントローラ (DMAC)

表 13.9 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32/128	0~3 ^{*5}
	外部メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0~3 ^{*5}
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0~3 ^{*5}
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32/128 ^{*4}	0~3 ^{*5}
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32/128 ^{*4}	0~3 ^{*5}
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32/128 ^{*4}	0~3 ^{*5}
	X/Y メモリ、U メモリと X/Y メモリ、U メモリ	すべて可 ^{*1}	B/C	8/16/32/128	0~3 ^{*5}
	X/Y メモリ、U メモリとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32/128	0~3 ^{*5}
	X/Y メモリ、U メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32/128 ^{*4}	0~3 ^{*5}
	X/Y メモリ、U メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32/128	0~3 ^{*5}
シングル	DACK 付外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1

B : バースト

C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、および内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、CMT0 と CMT1 および MTU0 ~ MTU4 のみ。
- *2 外部リクエスト、オートリクエスト、および内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、転送要求元が CMT0 と CMT1 および MTU0 ~ MTU4 を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
- *3 内蔵周辺モジュールリクエストの場合には、転送要求元が CMT0、CMT1 および MTU0 ~ MTU4 を除いてサイクルスチールのみ。
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。
- *5 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ。

13. ダイレクトメモリアクセスコントローラ (DMAC)

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、ただちにチャンネル0の転送を開始します。このとき、チャンネル0もバーストモードの場合は優先順位の高いチャンネル0の転送がすべて終了してから、チャンネル1が転送を続けます。

また、チャンネル0がサイクルスチールモードの場合、まず優先順位の高いチャンネル0が1転送単位の転送を行った後、内部バスのバス権を解放せずに連続してチャンネル1が転送されます。その後も、チャンネル0

チャンネル1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後のCPUサイクルがバーストモード転送に置き換わった形になります。この例を図13.12に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権は他のバスマスタに解放しません。

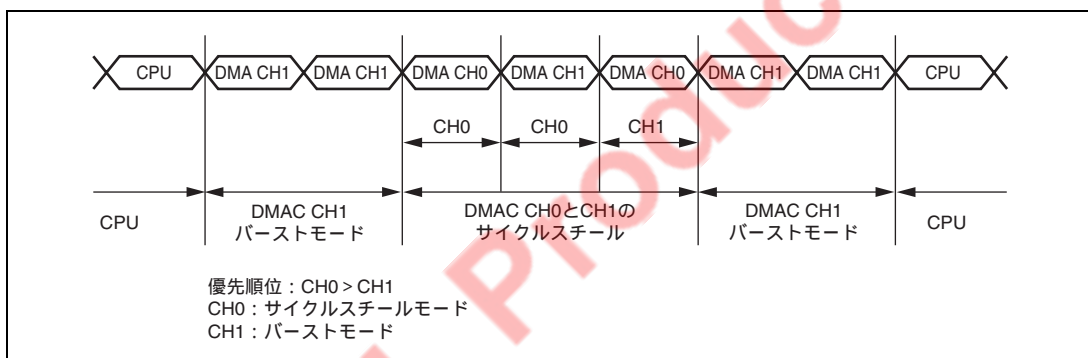


図 13.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、サイクルスチールモードのチャンネルとバーストモードのチャンネルを混在しないでください。この場合、各チャンネルの転送動作は正しく行われますが、優先順位が正しく変化しない場合があります。

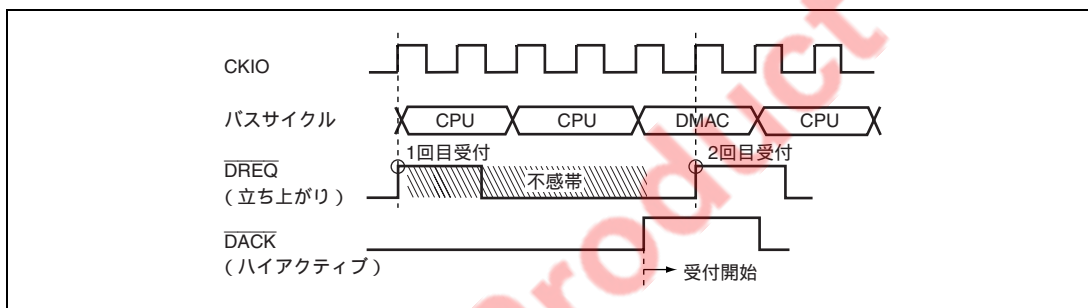
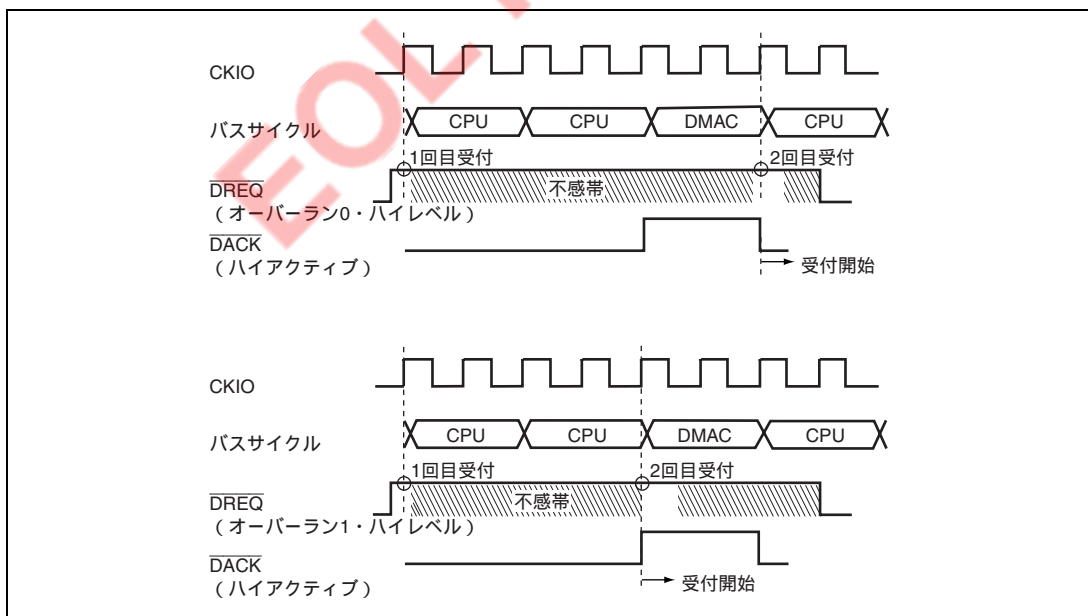
13.4.5 バスサイクルのステート数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 12 章 バスステートコントローラ (BSC)」を参照してください。

(2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

各バスモードに対する $\overline{\text{DREQ}}$ 入力のサンプリングタイミングを図 13.13、図 13.14、図 13.15、および図 13.16 に示します。

図 13.13 サイクルスチールモード・エッジ検出時の $\overline{\text{DREQ}}$ 入力検出タイミング図 13.14 サイクルスチールモード・レベル検出時の $\overline{\text{DREQ}}$ 入力検出タイミング

13. ダイレクトメモリアクセスコントローラ (DMAC)

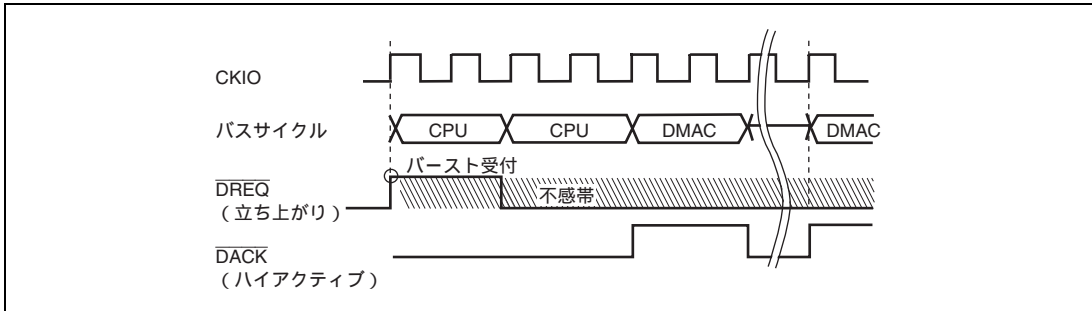


図 13.15 バーストモード・エッジ検出時の $\overline{\text{DREQ}}$ 入力検出タイミング

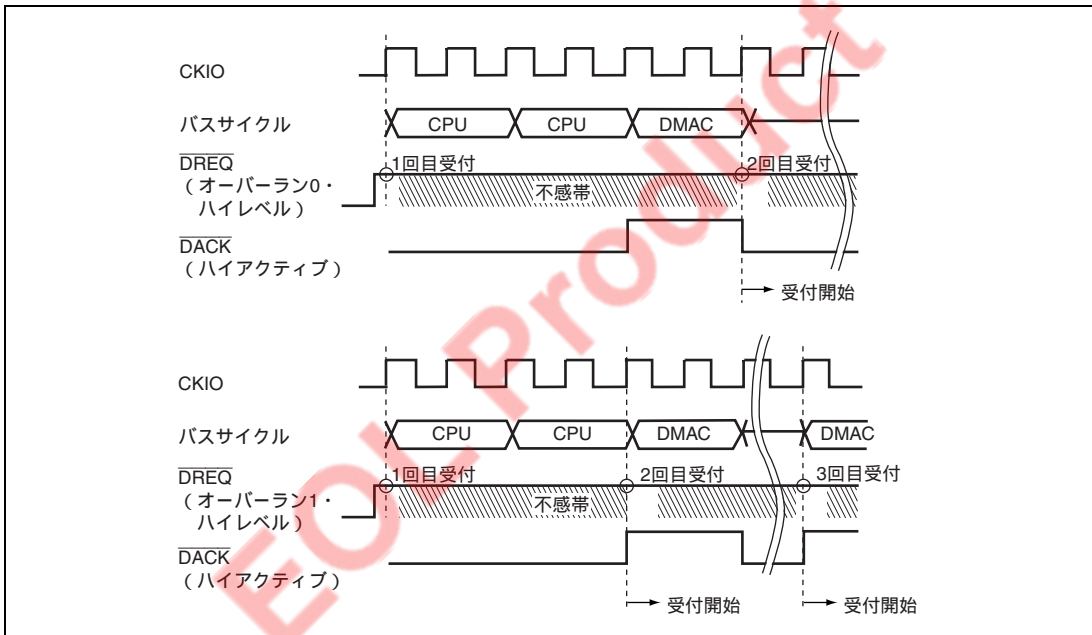


図 13.16 バーストモード・レベル検出時の $\overline{\text{DREQ}}$ 入力検出タイミング

図 13.17 に TEND 出力のタイミングを示します。

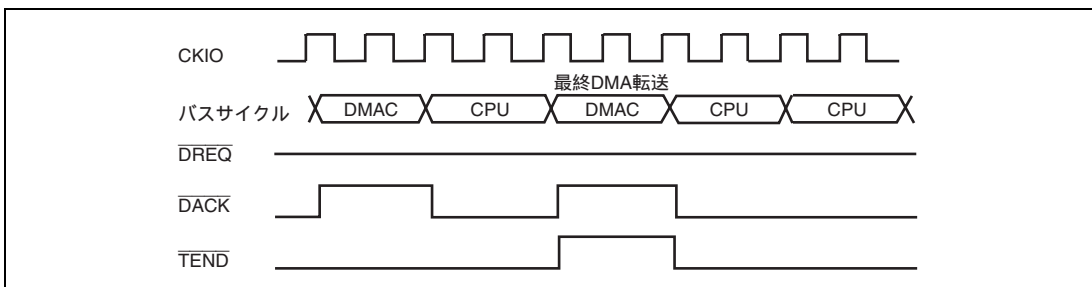


図 13.17 DMA 転送終了タイミング (サイクルスチール・レベル検出)

13. ダイレクトメモリアクセスコントローラ (DMAC)

16ビット外部デバイスにロングワードアクセスをする場合は、データをアライメントするため $\overline{\text{DACK}}$ 出力および $\overline{\text{TEND}}$ 出力が分割されるので注意してください。この例を図 13.18 に示します。

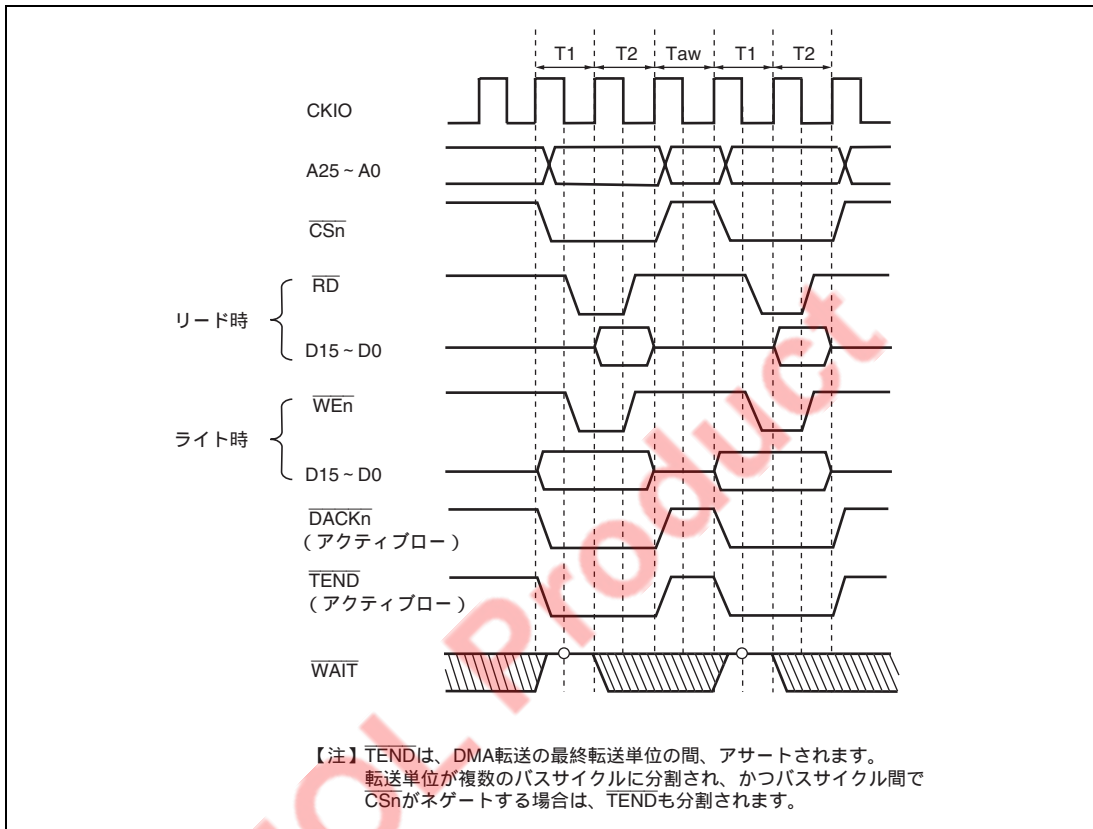


図 13.18 BSC 通常メモリアクセス
 (ノーウエイト、アイドルサイクル1、16ビットデバイスへのロングワードアクセス)

13. ダイレクトメモリアクセスコントローラ (DMAC)

13.4.6 DMA 転送終了

DMA転送の終了条件は、1チャンネルずつの終了と全チャンネル同時の終了とで異なります。

(1) 1チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMAトランスファカウントレジスタ (TCR) の値が0になる。
- DMAチャンネルコントロールレジスタ (CHCR) のDMAイネーブルビット (DE) が0になる。

(a) TCR = 0 による転送終了

TCRの値が0になると、対応するチャンネルのDMA転送が終了し、CHCRのトランスファエンドフラグビット (TE) がセットされます。このときインタラプトイネーブルビット (IE) がセットされていると、CPUにDMAC割り込み (DEI) が要求されます。

16バイト転送時にも、他の転送サイズ同様に転送回数を設定してください。

(b) CHCRのDE = 0による転送終了

CHCRのDMAイネーブルビット (DE) をクリアすると、対応するチャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送を終了します。

- DMAオペレーションレジスタ (DMAOR) のNMIフラグビット (NMIF) またはアドレスエラーフラグビット (AE) が1になる。
- DMAORのDMAマスタイネーブルビット (DME) が0になる。

(a) DMAORのNMIF = 1 または AE = 1 による転送終了

NMI割り込みまたはDMACによるアドレスエラーが発生して、DMAORのNMIFビットまたはAEビットが1になると、すべてのチャンネルのDMA転送が中断されます。中断による直前の転送によるDMAソースアドレスレジスタ (SAR)、DMAデスティネーションレジスタ (DAR)、DMAトランスファカウントレジスタ (TCR) の更新は行われます (アドレスエラーを発生したチャンネルを含む)。この転送が最終転送の場合は、TE = 1 となり転送終了となります。

また、デュアルアドレスモードでアドレスエラーが発生した場合は、下記のことにご注意してください。

- リードサイクルでアドレスエラーが発生した場合

リードサイクルもライトサイクルも発生せず、転送要求のみクリアされます。ただし、転送要求元が内蔵周辺モジュール (MTU) からの転送要求の場合は下記方法で転送要求をクリアしてください。

1. CHCRのTCビット = 1の場合: アドレスエラー例外処理後に転送を再開するには、対応するフラグをクリアします。このときDEビットが1にセットされていると、そのチャンネルの転送が再開されてしまうので、再開させたくないチャンネルがあれば、TCRに1、SAR、DARにダミーアドレスを設定し、ダミー転送を行い転送要求をクリアしてください。
2. CHCRのTCビット = 0の場合: ソフトウェアでMTUの転送要求フラグをクリアしてください。

- ライトサイクルでアドレスエラーが発生した場合

リードサイクルのみ発生し、転送要求はクリアされます。ただし、転送要求元が内蔵周辺モジュール (MTU) からの転送要求でCHCRnのTCビット = 1に設定した場合は「リードサイクルでアドレスエラーが発生した場合」の1.の方法で転送要求をクリアしてください。

- (b) DMAOR の DME = 0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が、現在実行中の転送終了後に強制的に中断されます。この転送が最終転送の場合は、TE = 1 となり転送終了となります。

13.4.7 使用上の注意事項

1. DMAC各チャンネルのチャンネルコントロールレジスタ (CHCR) を書き換えるときは、まず当該チャンネルのDEビットを0クリアしてから書き換えてください。
2. DMA転送動作中にソフトウェアスタンバイモードに移行したり、DMACのモジュールスタンバイビットをセットしてモジュールスタンバイ状態にしないでください。ソフトウェアスタンバイモードに移行するときや、モジュールスタンバイ状態にするときは、すべてのチャンネルのDEビットを0クリアした後に移行してください。
3. データの転送元あるいは転送先をUメモリ、X/Yメモリとする場合、DMA動作は通常動作状態で行ってください。スリープモード時、DMAC本体は動作可能ですが、Uメモリ、X/Yメモリは動作停止状態ですので、DMACからのアクセスはできません。
4. 複数チャンネルに同一の内部リクエストを設定することはできません。
5. 転送要求は、DMACのレジスタ設定が終了してから入れてください。
6. SCIFからDMA転送要求を出す場合、以下のことに注意してください。

DMACがTCR回分の転送を行い、転送終了状態 (CHCRのTEビット = 1) でも、下記条件がすべて成立している状態であれば、DMACはSCIFからの転送要求 (最大1回分) を受け付け、保持します。ただし、TEビット = 1のためDMA転送は行われません。この状態でTEビットをクリアすると、ただちに転送を再開します。

SCIF送信をDMACで行う場合は特に注意が必要です。転送を再開したくない場合は、下記方法のいずれかで回避してください。

- DMA転送受け付け可能な条件

DMAオペレーションレジスタ (DMAOR) のDMEビット = 1

DMAチャンネルコントロールレジスタ (CHCR) のDEビット = 1

DMA拡張リソースセレクタ (DMARS) に周辺モジュールSCIFを設定

13. ダイレクトメモリアクセスコントローラ (DMAC)

- 回避方法

(a) DMACの終了割り込みルーチンでCHCRのDEビットをクリア (SCIFからのDMA転送要求を受け付けない状態に) してください。このとき、DMACの終了割り込みの優先順位を最大にしてください。

(b) TCRに1、SAR、DARにダミーアドレスを設定し、ダミー転送を行いDMAC内の転送要求をクリアしてください。

13.4.8 外部アクセスで DACK が分割された場合の DREQ サンプリングに関する注意事項

(1) 不具合現象

外部アクセスにおいて、DACK が分割して出力される場合、DREQ のサンプリングが当該外部アクセス中に、最大 2 回受け付けられる場合があります。

(2) 不具合発生条件および現象

条件：外部アクセスにおいて DACK が分割して出力される場合

- 16バイトアクセス
- 8ビット空間に32ビットアクセス
- 8ビット空間に16ビットアクセス
- 16ビット空間に32ビットアクセス

において、当該空間を DACK に以下のいずれかのアクセス間アイドルサイクル指定を行った場合

- ライト - ライトサイクル間アイドル指定 (IWW = 01以上)
- 同一空間リード - リードサイクル間アイドル (IWRRS = 01以上)
- 外部ウェイトマスク指定 (WM = 0)

また、上記の条件に加え、DREQ の検出方法により以下の条件が追加されます。

- DREQレベル検出時：ライトアクセスのみ
- DREQエッジ検出時：ライトアクセスおよびリードアクセス

現象：上記のアクセスについて DREQ 端子の検出タイミングは図 13.19 ~ 図 13.22 のようになります。

13. ダイレクトメモリアクセスコントローラ (DMAC)

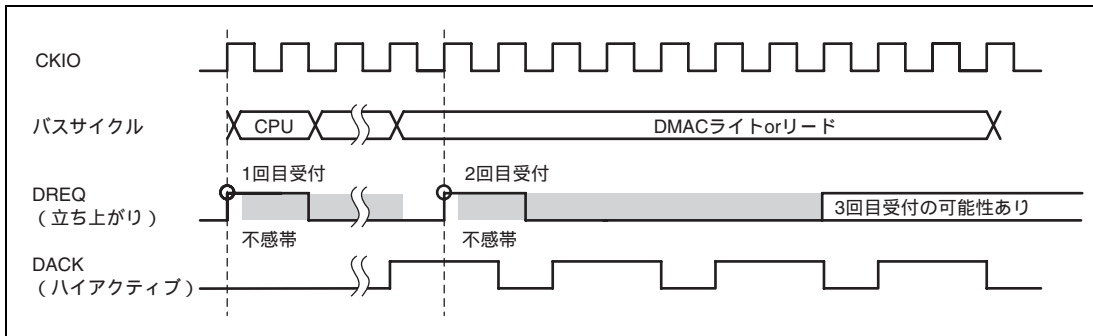


図 13.19 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング
サイクル間アイドルにより DACK が 4 分割される場合

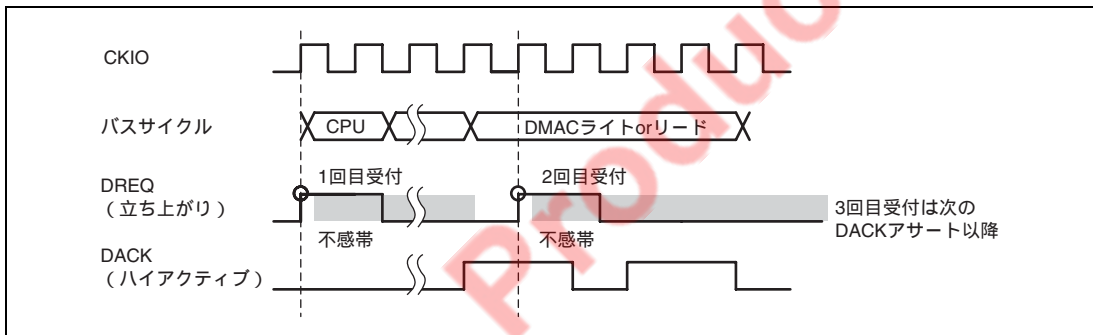


図 13.20 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング
サイクル間アイドルにより DACK が 2 分割される場合

13. ダイレクトメモリアクセスコントローラ (DMAC)

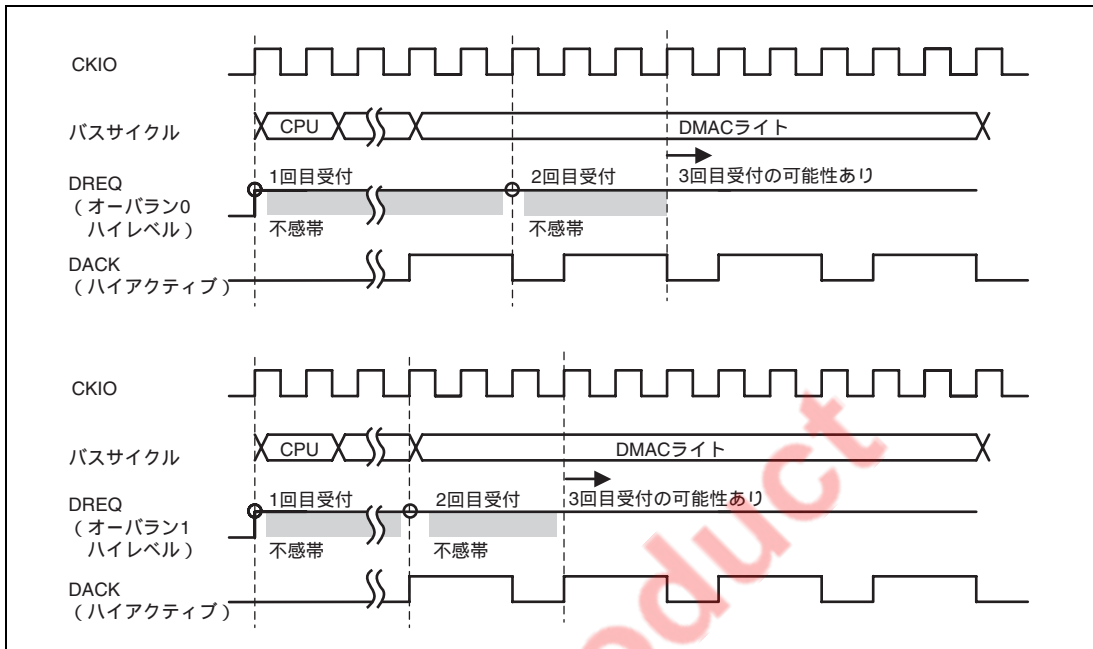


図 13.21 サイクルスチールモード・レベル検出時のDREQ入力検出タイミング
サイクル間アイドルによりDACKが4分割される場合

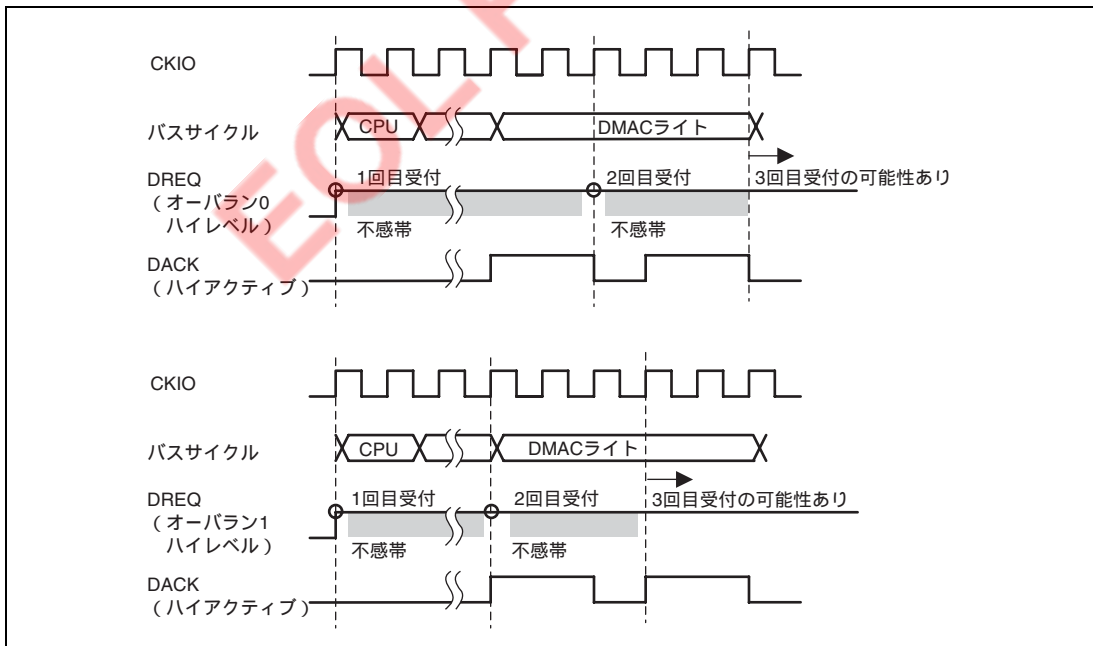


図 13.22 サイクルスチールモード・レベル検出時のDREQ入力検出タイミング
サイクル間アイドルによりDACKが2分割される場合

(3) 注意事項

上記(2)に示した条件の外部アクセスにおいては、

1. DREQエッジ検出時：当該バスサイクル中、最大1回のみDREQエッジ入力して使用してください
2. DREQレベル検出オーバーラン0時：当該バスサイクル中、最初のDACK出力のネゲート検出後、次のDACK出力のネゲート前までに、DREQ入力をネゲートしてください
3. DREQレベル検出オーバーラン1時：当該バスサイクル中、最初のDACK出力のアサート検出後、次のDACK出力のアサート前までに、DREQ入力をネゲートしてください

EOL Product

13. ダイレクトメモリアクセスコントローラ (DMAC)

EOL Product

14. Uメモリ

本 LSI は U メモリを内蔵しています。CPU、DSP および DMAC を用いて命令やデータを格納することができます。

14.1 特長

U メモリの特長を表 14.1 に示します。

表 14.1 特長

項目	特長
アドレッシング方法	P0 もしくは P2 領域
ポート	2 本の独立した読み出し / 書き込みポート • CPU からの 8/16/32 ビットアクセス (L バスまたは I バス経由) • DSP からの 16/32 ビットアクセス (L バスまたは I バス経由) • DMAC からの 8/16/32 ビットアクセス (I バス経由)
サイズ	128k バイト

U メモリは、P0 空間の H'055F0000 ~ H'0560FFFF または P2 空間の H'A55F0000 ~ H'A560FFFF (128kB) に存在します。U メモリはアドレスによりページ 0、ページ 1 に分かれています。U メモリは L バス、I バスからのアクセスが可能です。

同時に同じページに対して異なるバスからアクセス要求があったときの優先順位は I バス > L バスとなります。このような競合は U メモリアccess の性能低下を招きますので、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。例えば各バスごとに異なるメモリ、異なるページでアクセスすると競合は発生しません。

また、CPU あるいは DSP による P0 空間からの U メモリへのアクセスは I バス経由となるため、I バス上で DMAC との競合が発生する場合があります。このような競合も U メモリアccess の性能低下を招きますので、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。例えば CPU あるいは DSP による U メモリアccess を行う場合は P2 空間を使用することで I バス上での競合は回避されます。

14.2 CPUからのUメモリアクセス

CPUはP0空間、P2空間よりUメモリをアクセス可能です。アドレスがP0空間の場合はIバス経由となります。また、アドレスがP2空間の場合はLバス経由となります。Lバスからのアクセスはページ競合が発生しない限り1サイクルアクセスになります。Iバスからのアクセスは複数サイクル必要となります。

図 14.1 に U メモリアドレスマッピングを示します。

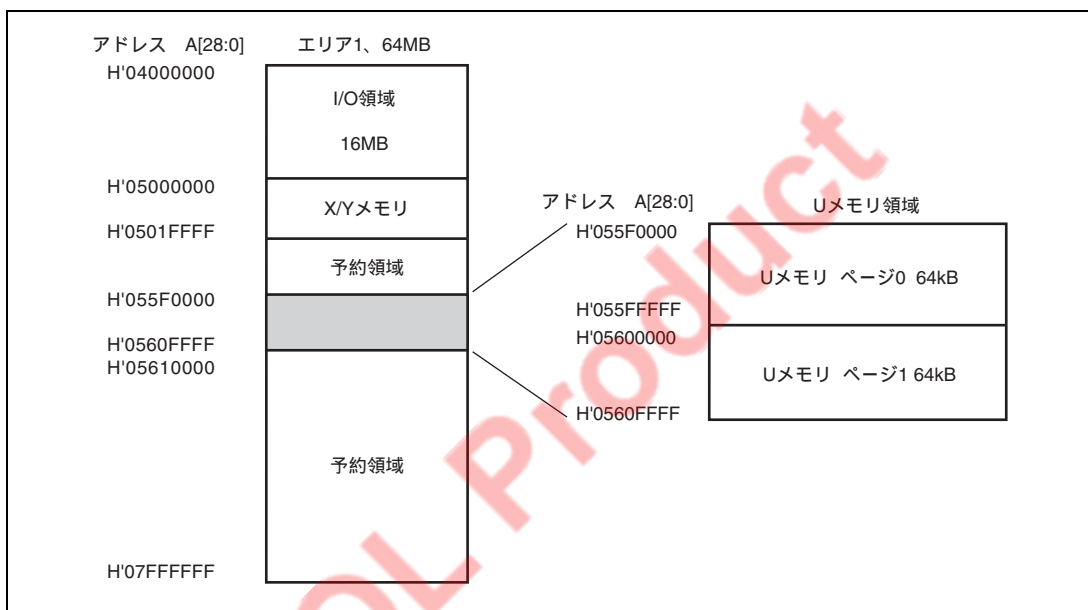


図 14.1 U メモリアドレスマッピング

14.3 DSPからのUメモリアクセス

DSPは単一データ転送命令でP0空間、P2空間よりUメモリをアクセス可能です。アドレスがP0空間の場合はIバス経由となります。また、アドレスがP2空間の場合はLバス経由となります。Lバスからのアクセスはページ競合が発生しない限り1サイクルアクセスになります。Iバスからのアクセスは複数サイクル必要となります。

14.4 DMACからのUメモリアクセス

UメモリはIバス上にも存在しており、DMACからアクセスすることができます。アドレスはH'055F0000～H'0560FFFFを使用してください。

14.5 使用上の注意

CPU および DSP から U メモリをアクセスする際、キャッシュ ON 時は P2 領域 (ノンキャッシュابل空間) から必ずアクセスしてください。P0 領域からのアクセス時の動作は保証できません。キャッシュ OFF 時は、P0、P2 領域どちらも使用できます。

14.6 スリープモード

スリープモード中は、DMAC などの I バスマスタモジュールから本メモリへのアクセスは行えません。

14.7 アドレスエラー

U メモリに対してアドレスエラーを起こす書き込みを行った場合、U メモリの内容が壊れる場合があります。

EOL Product

EOL Product

15. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース(H-UDI) およびアドバンストユーザデバッガ (AUD) を内蔵しています。

本章では、H-UDI について説明します。AUD はエミュレータ専用の機能であり、詳細については各エミュレータのユーザズマニュアルを参照してください。

15.1 特長

ユーザデバッグインタフェース(H-UDI)は、JTAG(Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に対応したシリアル入出力インタフェースです。

本 LSI の H-UDI は、バウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

H-UDI のブロック図を図 15.1 に示します。

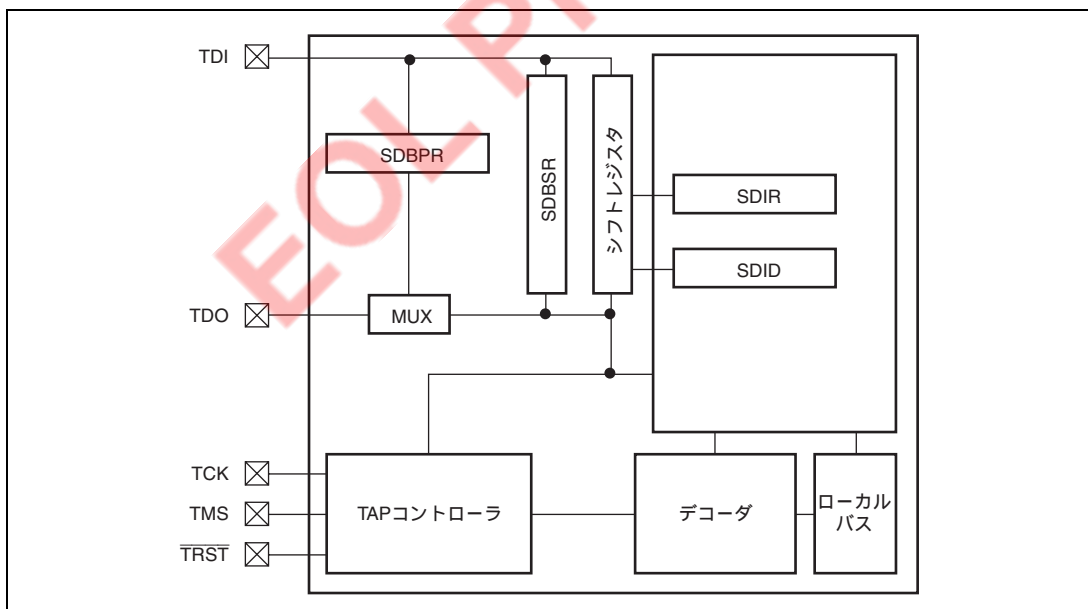


図 15.1 H-UDI ブロック図

15. ユーザデバッグインタフェース (H-UDI)

15.2 入出力端子

表 15.1 に H-UDI の端子構成を示します。

表 15.1 端子構成

名称	入出力	説明
TCK	入力	シリアルデータ入出力用クロック端子 データは、このクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
TMS	入力	モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは、JTAG 規格 (IEEE Std.1149.1) に対応しています。
$\overline{\text{TRST}}$	入力	リセット入力端子 TCK とは、非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。これは、JTAG の規格と異なります。リセット構成の詳細については、「15.4.2 リセット構成」を参照してください。
TDI	入力	シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
TDO	出力	シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって、H-UDI からデータを読み取ります。データ出力タイミングは、SDIR に設定されているコマンドの種類により異なります。詳細については、「15.4.3 TDO 出力タイミング」を参照してください。
$\overline{\text{ASEMD0}}$ *	入力	ASE モードセレクト端子 $\overline{\text{RESETP}}$ 端子アサート期間中に $\overline{\text{ASEMD0}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD0}}$ 端子への入力レベルは、 $\overline{\text{RESETP}}$ 端子ネグート後、最低 1 サイクル保持してください。
$\overline{\text{ASEBRKAK}}$ $\overline{\text{AUDSYNC}}$ AUDATA3~0 AUDCK	出力	エミュレータ専用の端子

【注】 * エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

15.3 レジスタの説明

H-UDI には、以下のレジスタがあります。

- バイパスレジスタ (SDBPR)
- インストラクションレジスタ (SDIR)
- バウンダリスキャンレジスタ (SDBSR)
- IDレジスタ (SDID)

15.3.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定ですが、TAP が Capture-DR 状態のとき 0 に初期化されます。

15.3.2 インストラクションレジスタ (SDIR)

SDIR は、CPU からは読み出しのみ可能な 16 ビットのレジスタです。初期状態でこのレジスタは、JTAG IDCODE になっています。 $\overline{\text{TRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は、保証されません。

ビット	ビット名	初期値	R/W	説明
15~13	TI7~TI5	すべて 1	R	テストインストラクション
12	TI4	0	R	H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 15.2 を参照してください。
11~8	TI3~TI0	すべて 1	R	
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

15. ユーザデバッグインタフェース (H-UDI)

表 15.2 H-UDI コマンド

ビット 15~8								説 明
T17	T16	T15	T14	T13	T12	T11	T10	
0	0	0	0	-	-	-	-	JTAG EXTEST
0	0	1	0	-	-	-	-	JTAG CLAMP
0	0	1	1	-	-	-	-	JTAG HIGHZ
0	1	0	0	-	-	-	-	JTAG SAMPLE/PRELOAD
0	1	1	0	-	-	-	-	H-UDI リセット、ネゲート
0	1	1	1	-	-	-	-	H-UDI リセット、アサート
1	0	1	-	-	-	-	-	H-UDI 割り込み
1	1	1	0	-	-	-	-	JTAG IDCODE (初期値)
1	1	1	1	-	-	-	-	JTAG BYPASS
上記以外								予約

15.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。初期値は、不定です。CPU からは、アクセスできません。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。表 15.3 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

15. ユーザデバッグインタフェース (H-UDI)

表 15.3 本 LSI の端子とバウンダリスキャンレジスタの対応

ビット名	端子名	入出力	ビット名	端子名	入出力
From TDI			451	$\overline{\text{IRQ0}}/\text{PTJ0}$	IN
483	D7	IN	450	$\overline{\text{IRQ1}}/\text{PTJ1}$	IN
482	D6	IN	449	$\overline{\text{IRQ2}}/\text{PTJ2}$	IN
481	D5	IN	448	$\overline{\text{IRQ3}}/\text{PTJ3}$	IN
480	D4	IN	447	$\overline{\text{IRQ4}}/\text{PTJ4}$	IN
479	D3	IN	446	$\overline{\text{IRQ5}}/\text{PTJ5}$	IN
478	D2	IN	445	$\overline{\text{IRQ6}}/\text{PTJ6}$	IN
477	D1	IN	444	$\overline{\text{IRQ7}}/\text{PTJ7}$	IN
476	D0	IN	443	SCK0/PTH0	IN
475	$\overline{\text{CS3}}/\text{PTA3}$	IN	442	D7	OUT
474	$\overline{\text{CS2}}/\text{PTA2}$	IN	441	D6	OUT
473	UCLK/PTB0	IN	440	D5	OUT
472	VBUS/PTB1	IN	439	D4	OUT
471	SUSPND/PTB2	IN	438	D3	OUT
470	XVDATA/PTB3	IN	437	D2	OUT
469	TXENL/PTB4	IN	436	D1	OUT
468	TXDMNS/PTB5	IN	435	D0	OUT
467	TXDPLS/PTB6	IN	434	$\overline{\text{CS3}}/\text{PTA3}$	OUT
466	DMNS/PTB7	IN	433	$\overline{\text{CS2}}/\text{PTA2}$	OUT
465	DPLS/PTB8	IN	432	UCLK/PTB0	OUT
464	A19/PTA8	IN	431	VBUS/PTB1	OUT
463	A20/PTA9	IN	430	SUSPND/PTB2	OUT
462	A21/PTA10	IN	429	XVDATA/PTB3	OUT
461	A22/PTA11	IN	428	TXENL/PTB4	OUT
460	A23/PTA12	IN	427	TXDMNS/PTB5	OUT
459	A24/PTA13	IN	426	TXDPLS/PTB6	OUT
458	A25/PTA14	IN	425	DMNS/PTB7	OUT
457	AUDATA0/PTJ8	IN	424	DPLS/PTB8	OUT
456	AUDATA1/PTJ9	IN	423	A18	OUT
455	AUDATA2/PTJ10	IN	422	A19/PTA8	OUT
454	AUDATA3/PTJ11	IN	421	A20/PTA9	OUT
453	AUDSYNC/PTJ12	IN	420	A21/PTA10	OUT
452	$\overline{\text{NM}}\overline{\text{I}}$	IN	419	A22/PTA11	OUT

15. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
418	A23/PTA12	OUT	385	TXDMNS/PTB5	Control
417	A24/PTA13	OUT	384	TXDPLS/PTB6	Control
416	AUDCK	OUT	383	DMNS/PTB7	Control
415	A25/PTA14	OUT	382	DPLS/PTB8	Control
414	AUDATA0/PTJ8	OUT	381	A18	Control
413	AUDATA1/PTJ9	OUT	380	A19/PTA8	Control
412	AUDATA2/PTJ10	OUT	379	A20/PTA9	Control
411	AUDATA3/PTJ11	OUT	378	A21/PTA10	Control
410	AUDSYNC/PTJ121	OUT	377	A22/PTA11	Control
409	IRQ0/PTJ0	OUT	376	A23/PTA12	Control
408	IRQ1/PTJ1	OUT	375	A24/PTA13	Control
407	IRQ2/PTJ2	OUT	374	AUDCK	Control
406	IRQ3/PTJ3	OUT	373	A25/PTA14	Control
405	IRQ4/PTJ4	OUT	372	AUDATA0/PTJ8	Control
404	IRQ5/PTJ5	OUT	371	AUDATA1/PTJ9	Control
403	IRQ6/PTJ6	OUT	370	AUDATA2/PTJ10	Control
402	IRQ7/PTJ7	OUT	369	AUDATA3/PTJ11	Control
401	SCK0/PTH0	OUT	368	AUDSYNC/PTJ12	Control
400	D7	Control	367	IRQ0/PTJ0	Control
399	D6	Control	366	IRQ1/PTJ1	Control
398	D5	Control	365	IRQ2/PTJ2	Control
397	D4	Control	364	IRQ3/PTJ3	Control
396	D3	Control	363	IRQ4/PTJ4	Control
395	D2	Control	362	IRQ5/PTJ5	Control
394	D1	Control	361	IRQ6/PTJ6	Control
393	D0	Control	360	IRQ7/PTJ7	Control
392	CS3/PTA3	Control	359	SCK0/PTH0	Control
391	CS2/PTA2	Control	358	CTS0/PTH1	IN
390	UCLK/PTB0	Control	357	TxD0/PTH2	IN
389	VBUS/PTB1	Control	356	RxD0/PTH3	IN
388	SUSPND/PTB2	Control	355	RTS0/PTH4	IN
387	XVDATA/PTB3	Control	354	SCK1/PTH5	IN
386	TXENL/PTB4	Control	353	CTS1/PTH6	IN

15. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
352	TxD1/PTH7	IN	319	PTF1	IN
351	RxD1/PTH8	IN	318	PTF2	IN
350	$\overline{\text{RTS}}1$ /PTH9	IN	317	PTF3	IN
349	SCK2/PTH10	IN	316	PTF4	IN
348	$\overline{\text{CTS}}2$ /PTH11	IN	315	PTF5	IN
347	TxD2/PTH12	IN	314	PTF6	IN
346	RxD2/PTH13	IN	313	PTF7	IN
345	$\overline{\text{RTS}}2$ /PTH14	IN	312	PTG8	IN
344	TIOC4D/PTE0	IN	311	PTG9/SCL	IN
343	TIOC4C/PTE1	IN	310	PTG10/SDA	IN
342	TIOC4B/PTE2	IN	309	PTG11	IN
341	TIOC4A/PTE3	IN	308	PTG12	IN
340	TIOC3D/PTE4	IN	307	PTG13	IN
339	TIOC3B/PTE6	IN	306	CTS0/PTH1	OUT
338	TIOC3C/PTE5	IN	305	TxD0/PTH2	OUT
337	TIOC3A/PTE7	IN	304	RxD0/PTH3	OUT
336	TIOC2B/PTE8	IN	303	$\overline{\text{RTS}}0$ /PTH4	OUT
335	TIOC2A/PTE9	IN	302	SCK1/PTH5	OUT
334	TIOC1B/PTE10	IN	301	$\overline{\text{CTS}}1$ /PTH6	OUT
333	TIOC1A/PTE11	IN	300	TxD1/PTH7	OUT
332	TIOC0D/PTE12	IN	299	RxD1/PTH8	OUT
331	TIOC0C/PTE13	IN	298	$\overline{\text{RTS}}1$ /PTH9	OUT
330	TIOC0B/PTE14	IN	297	SCK2/PTH10	OUT
329	TIOC0A/PTE15	IN	296	$\overline{\text{CTS}}2$ /PTH11	OUT
328	TCLKD/PTF8	IN	295	TxD2/PTH12	OUT
327	TCLKC/PTF9	IN	294	RxD2/PTH13	OUT
326	TCLKB/PTF10	IN	293	$\overline{\text{RTS}}2$ /PTH14	OUT
325	TCLKA/PTF11	IN	292	TIOC4D/PTE0	OUT
324	$\overline{\text{POE}}0$ /PTF12	IN	291	TIOC4C/PTE1	OUT
323	$\overline{\text{POE}}1$ /PTF13	IN	290	TIOC4B/PTE2	OUT
322	$\overline{\text{POE}}2$ /PTF14	IN	289	TIOC4A/PTE3	OUT
321	$\overline{\text{POE}}3$ /PTF15	IN	288	TIOC3D/PTE4	OUT
320	PTF0	IN	287	TIOC3B/PTE6	OUT

15. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
286	TIOC3C/PTE5	OUT	253	TxD0/PTH2	Control
285	TIOC3A/PTE7	OUT	252	RxD0/PTH3	Control
284	TIOC2B/PTE8	OUT	251	$\overline{\text{RTS0}}$ /PTH4	Control
283	TIOC2A/PTE9	OUT	250	SCK1/PTH5	Control
282	TIOC1B/PTE10	OUT	249	$\overline{\text{CTS1}}$ /PTH6	Control
281	TIOC1A/PTE11	OUT	248	TxD1/PTH7	Control
280	TIOC0D/PTE12	OUT	247	RxD1/PTH8	Control
279	TIOC0C/PTE13	OUT	246	$\overline{\text{RTS1}}$ /PTH9	Control
278	TIOC0B/PTE14	OUT	245	SCK2/PTH10	Control
277	TIOC0A/PTE15	OUT	244	$\overline{\text{CTS2}}$ /PTH11	Control
276	TCLKD/PTF8	OUT	243	TxD2/PTH12	Control
275	TCLKC/PTF9	OUT	242	RxD2/PTH13	Control
274	TCLKB/PTF10	OUT	241	$\overline{\text{RTS2}}$ /PTH14	Control
273	TCLKA/PTF11	OUT	240	TIOC4D/PTE0	Control
272	$\overline{\text{POE0}}$ /PTF12	OUT	239	TIOC4C/PTE1	Control
271	$\overline{\text{POE1}}$ /PTF13	OUT	238	TIOC4B/PTE2	Control
270	$\overline{\text{POE2}}$ /PTF14	OUT	237	TIOC4A/PTE3	Control
269	$\overline{\text{POE3}}$ /PTF15	OUT	236	TIOC3D/PTE4	Control
268	PTF0	OUT	235	TIOC3B/PTE6	Control
267	PTF1	OUT	234	TIOC3C/PTE5	Control
266	PTF2	OUT	233	TIOC3A/PTE7	Control
265	PTF3	OUT	232	TIOC2B/PTE8	Control
264	PTF4	OUT	231	TIOC2A/PTE9	Control
263	PTF5	OUT	230	TIOC1B/PTE10	Control
262	PTF6	OUT	229	TIOC1A/PTE11	Control
261	PTF7	OUT	228	TIOC0D/PTE12	Control
260	PTG8	OUT	227	TIOC0C/PTE13	Control
259	PTG9/SCL	OUT	226	TIOC0B/PTE14	Control
258	PTG10/SDA	OUT	225	TIOC0A/PTE15	Control
257	PTG11	OUT	224	TCLKD/PTF8	Control
256	PTG12	OUT	223	TCLKC/PTF9	Control
255	PTG13	OUT	222	TCLKB/PTF10	Control
254	$\overline{\text{CTS0}}$ /PTH1	Control	221	TCLKA/PTF11	Control

15. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
220	$\overline{\text{POE0}}$ /PTF12	Control	187	*VccQ	IN
219	$\overline{\text{POE1}}$ /PTF13	Control	186	$\overline{\text{ASEBRKAK}}$ /PTC13	IN
218	$\overline{\text{POE2}}$ /PTF14	Control	185	MD3	IN
217	$\overline{\text{POE3}}$ /PTF15	Control	184	MD2	IN
216	PTF0	Control	183	*VccQ	IN
215	PTF1	Control	182	MD0	IN
214	PTF2	Control	181	$\overline{\text{CS6B}}$ /PTC4	IN
213	PTF3	Control	180	$\overline{\text{CS6A}}$ /PTC3	IN
212	PTF4	Control	179	$\overline{\text{CS5B}}$ /PTC2	IN
211	PTF5	Control	178	$\overline{\text{CS5A}}$ /PTC1	IN
210	PTF6	Control	177	$\overline{\text{CS4}}$ /PTC0	IN
209	PTF7	Control	176	WAIT	IN
208	PTG8	Control	175	$\overline{\text{TEND}}$ /PTC8	IN
207	PTG9/SCL	Control	174	FRAME/PTC5	IN
206	PTG10/SDA	Control	173	$\overline{\text{DACK0}}$ /PTC11	IN
205	PTG11	Control	172	$\overline{\text{DACK1}}$ /PTC12	IN
204	PTG12	Control	171	D31/PTD15	IN
203	PTG13	Control	170	D30/PTD14	IN
202	AN0/PTG0	IN	169	D29/PTD13	IN
201	AN1/PTG1	IN	168	D28/PTD12	IN
200	AN2/PTG2	IN	167	D27/PTD11	IN
199	AN3/PTG3	IN	166	D26/PTD10	IN
198	AN4/PTG4	IN	165	$\overline{\text{DREQ0}}$ /PTC9	OUT
197	AN5/PTG5	IN	164	$\overline{\text{DREQ1}}$ /PTC10	OUT
196	AN6/PTG6	IN	163	STATUS0/PTC14	OUT
195	AN7/PTG7	IN	162	STATUS1/PTC15	OUT
194	$\overline{\text{DREQ0}}$ /PTC9	IN	161	$\overline{\text{BREQ}}$ /PTC6	OUT
193	$\overline{\text{DREQ1}}$ /PTC10	IN	160	$\overline{\text{BACK}}$ /PTC7	OUT
192	STATUS0/PTC14	IN	159	$\overline{\text{ASEBRKAK}}$ /PTC13	OUT
191	STATUS1/PTC15	IN	158	$\overline{\text{CS6B}}$ /PTC4	OUT
190	$\overline{\text{BREQ}}$ /PTC6	IN	157	$\overline{\text{CS6A}}$ /PTC3	OUT
189	$\overline{\text{BACK}}$ /PTC7	IN	156	$\overline{\text{CS5B}}$ /PTC2	OUT
188	*VccQ	IN	155	$\overline{\text{CS5A}}$ /PTC1	OUT

15. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
154	$\overline{CS4}/PTC0$	OUT	121	D31/PTD15	Control
153	$\overline{CS0}$	OUT	120	D30/PTD14	Control
152	\overline{BS}	OUT	119	D29/PTD13	Control
151	$\overline{TEND}/PTC8$	OUT	118	D28/PTD12	Control
150	$\overline{FRAME}/PTC5$	OUT	117	D27/PTD11	Control
149	\overline{RD}	OUT	116	D26/PTD10	Control
148	$\overline{DACK0}/PTC11$	OUT	115	D25/PTD9	IN
147	$\overline{DACK1}/PTC12$	OUT	114	D24/PTD8	IN
146	D31/PTD15	OUT	113	D23/PTD7	IN
145	D30/PTD14	OUT	112	D22/PTD6	IN
144	D29/PTD13	OUT	111	D21/PTD5	IN
143	D28/PTD12	OUT	110	D20/PTD4	IN
142	D27/PTD11	OUT	109	D19/PTD3	IN
141	D26/PTD10	OUT	108	D18/PTD2	IN
140	$\overline{DREQ0}/PTC9$	Control	107	D17/PTD1	IN
139	$\overline{DREQ1}/PTC10$	Control	106	D16/PTD0	IN
138	STATUS0/PTC14	Control	105	$\overline{CASU}/PTA5$	IN
137	STATUS1/PTC15	Control	104	$\overline{RASU}/PTA7$	IN
136	$\overline{BREQ}/PTC6$	Control	103	CKE/PTA1	IN
135	$\overline{BACK}/PTC7$	Control	102	$\overline{CASL}/PTA4$	IN
134	$\overline{ASEBRKAK}/PTC13$	Control	101	$\overline{RASL}/PTA6$	IN
133	$\overline{CS6B}/PTC4$	Control	100	A0/PTA0	IN
132	$\overline{CS6A}/PTC3$	Control	99	D15	IN
131	$\overline{CS5B}/PTC2$	Control	98	D14	IN
130	$\overline{CS5A}/PTC1$	Control	97	D13	IN
129	$\overline{CS4}/PTC0$	Control	96	D12	IN
128	$\overline{CS0}$	Control	95	D11	IN
127	\overline{BS}	Control	94	D10	IN
126	$\overline{TEND}/PTC8$	Control	93	D9	IN
125	$\overline{FRAME}/PTC5$	Control	92	D8	IN
124	\overline{RD}	Control	91	D25/PTD9	OUT
123	$\overline{DACK0}/PTC11$	Control	90	D24/PTD8	OUT
122	$\overline{DACK1}/PTC12$	Control	89	D23/PTD7	OUT

15. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
88	D22/PTD6	OUT	55	A1	OUT
87	D21/PTD5	OUT	54	A0/PTA0	OUT
86	D20/PTD4	OUT	53	D15	OUT
85	D19/PTD3	OUT	52	D14	OUT
84	D18/PTD2	OUT	51	D13	OUT
83	D17/PTD1	OUT	50	D12	OUT
82	D16/PTD0	OUT	49	D11	OUT
81	RDWR	OUT	48	D10	OUT
80	WE0/DQMLL	OUT	47	D9	OUT
79	WE1/DQMLU	OUT	46	D8	OUT
78	CASU/PTA5	OUT	45	D25/PTD9	Control
77	WE3/DQMUU/AH	OUT	44	D24/PTD8	Control
76	RASU/PTA7	OUT	43	D23/PTD7	Control
75	WE2/DQMUL	OUT	42	D22/PTD6	Control
74	CKE/PTA1	OUT	41	D21/PTD5	Control
73	CASL/PTA4	OUT	40	D20/PTD4	Control
72	RASL/PTA6	OUT	39	D19/PTD3	Control
71	A17	OUT	38	D18/PTD2	Control
70	A16	OUT	37	D17/PTD1	Control
69	A15	OUT	36	D16/PTD0	Control
68	A14	OUT	35	RDWR	Control
67	A13	OUT	34	WE0/DQMLL	Control
66	A12	OUT	33	WE1/DQMLU	Control
65	A11	OUT	32	CASU/PTA5	Control
64	A10	OUT	31	WE3/DQMUU/AH	Control
63	A9	OUT	30	RASU/PTA7	Control
62	A8	OUT	29	WE2/DQMUL	Control
61	A7	OUT	28	CKE/PTA1	Control
60	A6	OUT	27	CASL/PTA4	Control
59	A5	OUT	26	RASL/PTA6	Control
58	A4	OUT	25	A17	Control
57	A3	OUT	24	A16	Control
56	A2	OUT	23	A15	Control

15. ユーザデバッグインタフェース (H-UDI)

ビット名	端子名	入出力	ビット名	端子名	入出力
22	A14	Control	10	A2	Control
21	A13	Control	9	A1	Control
20	A12	Control	8	A0/PTA0	Control
19	A11	Control	7	D15	Control
18	A10	Control	6	D14	Control
17	A9	Control	5	D13	Control
16	A8	Control	4	D12	Control
15	A7	Control	3	D11	Control
14	A6	Control	2	D10	Control
13	A5	Control	1	D9	Control
12	A4	Control	0	D8	Control
11	A3	Control	to TDO		

- 【注】
- Control はハイアクティブの信号です。
 - Control を High にすることで、該当ピンを OUT の値でドライブします。
 - *は、実際の電源 (VccQ) ではありませんが LSI 端子を正しく動作させるために必要ですので、本端子は必ず仕様書通りにプルアップしてください。

15.3.4 ID レジスタ (SDID)

SDID は、SDIDH と SDIDL を連結した 32 ビットレジスタです。各々 CPU から読み出し可能な 16 ビットのレジスタとしても扱われます。CPU からは、読み出しのみ可能です。

H-UDI 端子側からは、IDCODE のコマンドがセットされ、TAP のステートが Shift-DR のとき、TDO から読み出し可能です。書き込みはできません。

ビット	ビット名	初期値	R/W	説明
31~0	DID31~ DID0	0027 200F	R	デバイス JTAG に規定されている ID レジスタです。本 LSI では、H'0027200F (初期値) です。ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。 SDIDH はビット 31~16 に対応します。 SDIDL はビット 15~0 に対応します。

15.4 動作説明

15.4.1 TAP コントローラ

図 15.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

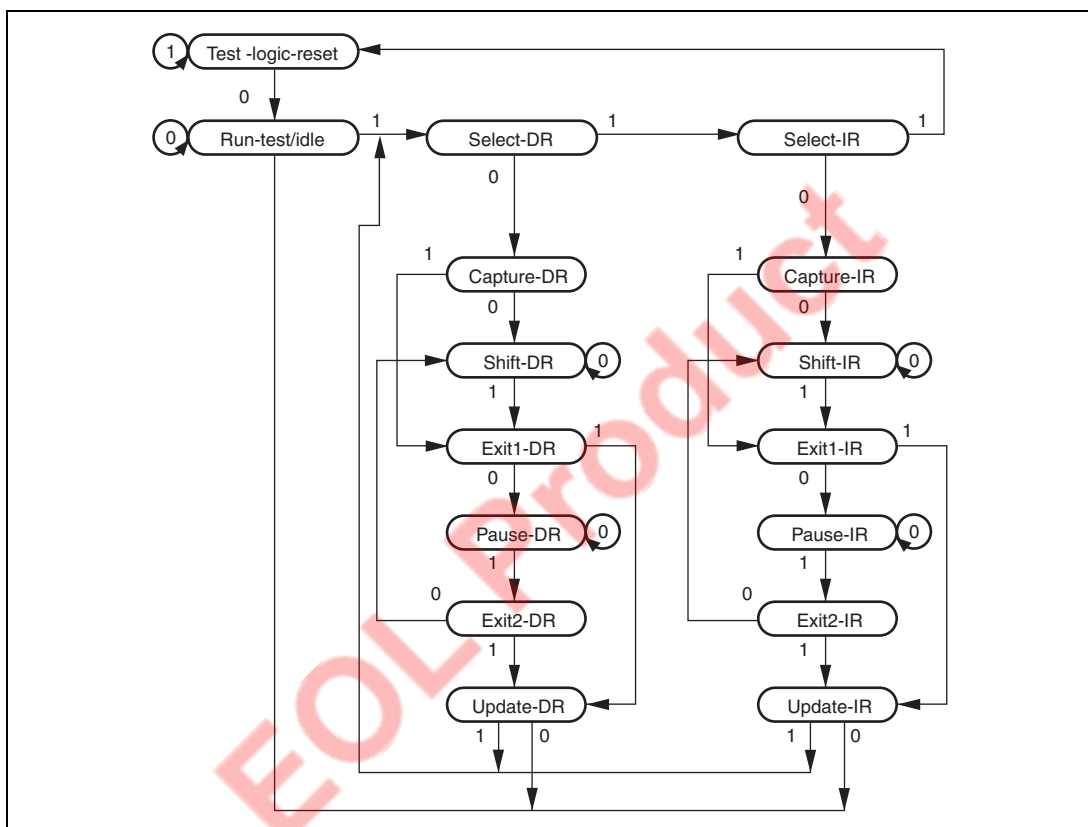


図 15.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「15.4.3 TDO 出力タイミング」を参照してください。また、TDO は、Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。TRST のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

15. ユーザデバッグインタフェース (H-UDI)

15.4.2 リセット構成

表 15.4 リセット構成

ASEMD0*1	RESETP	TRST	チップ状態
H	L	L	通常リセットおよび H-UDI がリセット
		H	通常リセット
	H	L	H-UDI のみリセット
		H	通常動作
L	L	L	リセットホールド*2
		H	通常リセット
	H	L	H-UDI のみリセット
		H	通常動作

【注】 *1 通常モードと ASE モードの設定を選択

$\overline{\text{ASEMD0}} = \text{H}$ 、通常モード

$\overline{\text{ASEMD0}} = \text{L}$ 、ASE モード

*2 ASE モードで RESETP ネゲート時に TRST 端子がローレベルであるとリセットホールド状態になります。この状態では、CPU は起動しません。その後 TRST をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は、別の RESETP アサート (パワーオンリセット) により解除されます。

15.4.3 TDO 出力タイミング

TDO から出力するデータの切り替えタイミングは、SDIR に設定されているコマンドの種類により切り替わります。JTAG コマンド (EXTEST、CLAMP、HIGHZ、SAMPLE/PRELOAD、IDCODE、および BYPASS) が設定されているときには、TCK の立ち下がりエッジに同期して変化します。これは、JTAG 規格のタイミングです。H-UDI コマンド (H-UDI リセットネゲート、H-UDI リセットアサート、および H-UDI 割り込み) が設定されているときには、JTAG 規格より半サイクル早い TCK の立ち上がりエッジに同期して出力されます。

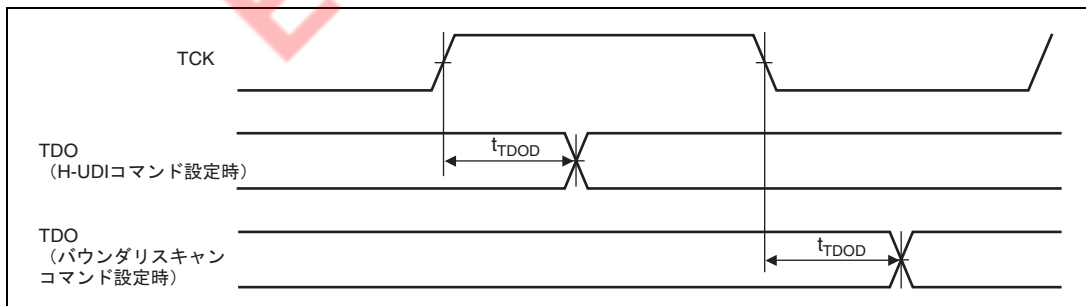


図 15.3 H-UDI データ転送タイミング

15.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドを入力することにより発生します。H-UDI リセットは、パワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RESETP}}$ 端子をローレベルに保つ時間と同じです。

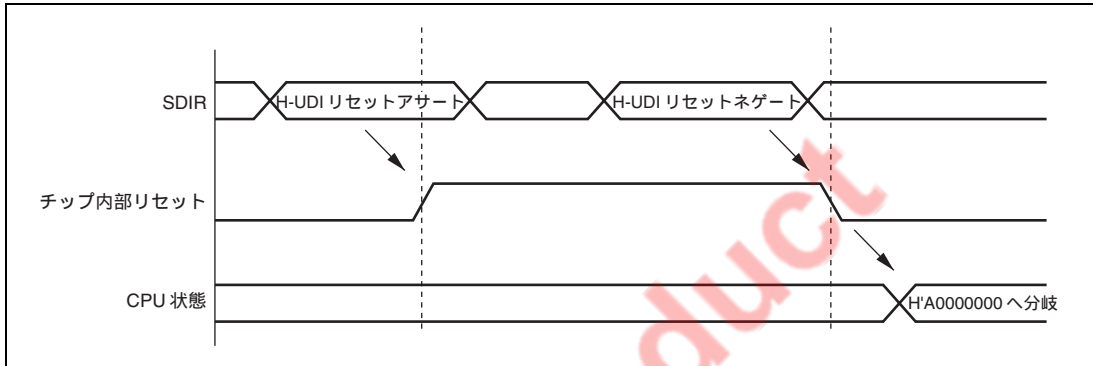


図 15.4 H-UDI リセット

15.4.5 H-UDI 割り込み

H-UDI 割り込み機能は、SDIR へ H-UDI からコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外または割り込み動作であり、VBR 値とオフセットの和に基づくアドレスに分岐が発生し、RTE 命令で復帰します。この割り込み要求は、固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは、受け付けられます。

15.5 バウンダリスキャン

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

15.5.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、および EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP、および HIGHZ) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトバスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードの上位 4 ビットは、B'1111 です。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。命令コードの上位 4 ビットは、B'0100 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する) ことになります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うときは、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません。(シフト動作で入れ換えます)。

命令コードの上位 4 ビットは、B'0000 です。

(4) IDCODE

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている IDCODE モードに設定できます。H-UDI を初期化した場合 ($\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする場合) は、IDCODE モードになります。

(5) CLAMP、HIGHZ

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている CLAMP、および HIGHZ モードに設定できます。

15.5.2 注意事項

1. クロック関連信号 (EXTAL、XTAL、CKIO、CKIO2) は、バウンダリスキャンの対象外です。
2. リセット関連信号 ($\overline{\text{RESETP}}$ 、 $\overline{\text{RESETM}}$) は、バウンダリスキャンの対象外です。
3. H-UDI関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$) は、バウンダリスキャンの対象外です。
4. USBトランシーバ関連信号 (DP、DM) はバウンダリスキャンの対象外です。
5. EXTEST、CLAMP、およびHIGHZコマンドを設定時には、 $\overline{\text{RESETP}}$ 端子をローレベル固定にしてください。
6. BYPASS、およびIDCODEを除くバウンダリスキャン実行中は、 $\overline{\text{ASEMD0}}$ 端子をハイレベルに固定してください。

15.6 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド (BYPASS等) をいったん設定してから再度コマンドを設定する必要があります。
2. スタンバイモードでは、チップ動作が中断されるためにH-UDIコマンドは受けつけられません。また、スタンバイモードの前でTAPの状態を保持するためには、スタンバイモード遷移の際はTCKをハイレベルにしておく必要があります。
3. H-UDIは、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。

EOL Product

16. I²C バスインタフェース 2 (IIC2)

I²C バスインタフェース 2 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

I²C バスインタフェース 2 のブロック図を図 16.1 に、入出力端子の外部回路接続例を図 16.2 に示します。

16.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。

- 割り込み要因 : 6種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラションロスト、NACK 検出、停止条件検出

- バスを直接駆動可能

SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因 : 4種類

送信データエンプティ、送信終了、受信データフル、オーバランエラー

16. I²C バスインタフェース 2 (IIC2)

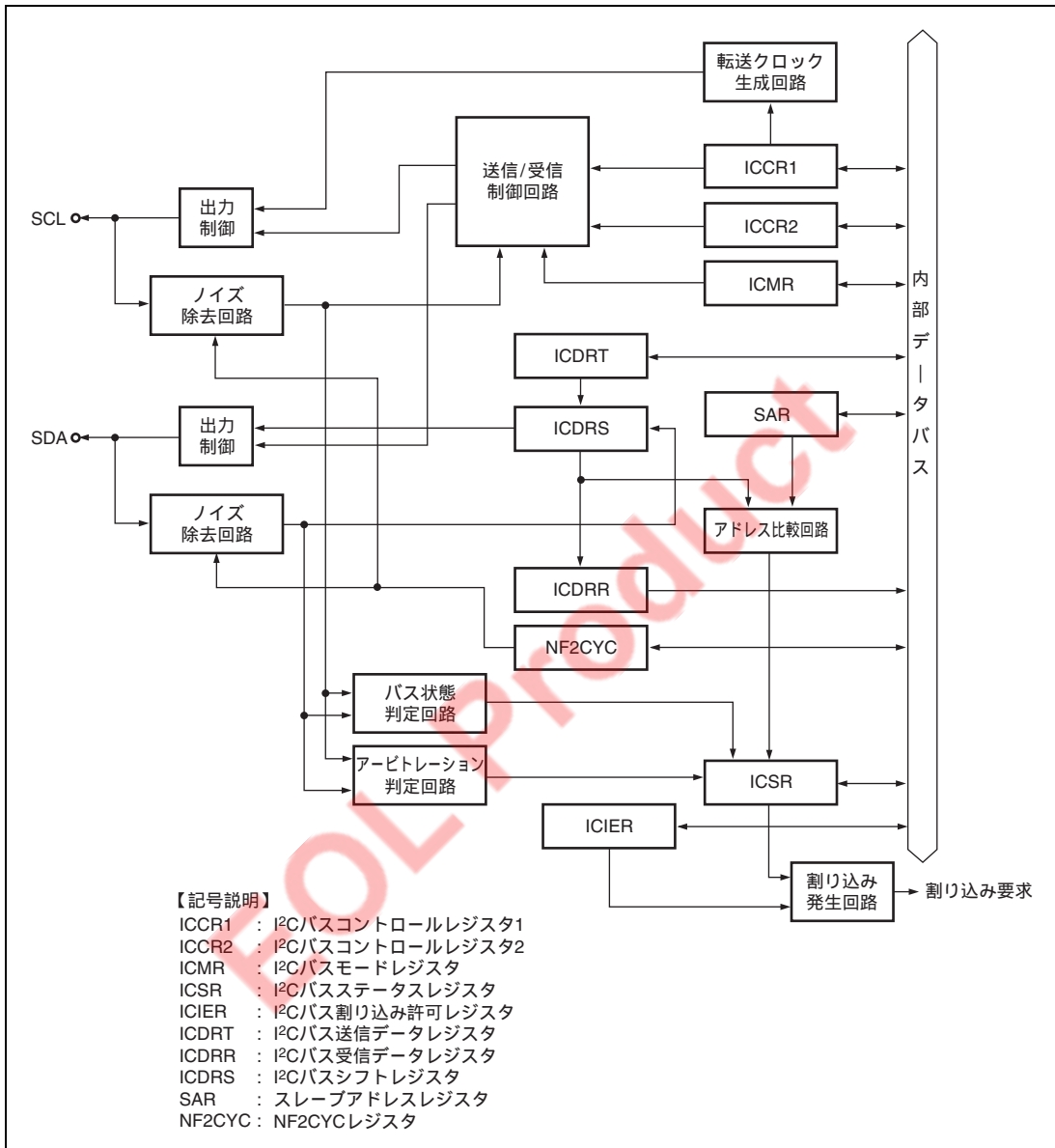


図 16.1 I²C バスインタフェース 2 のブロック図

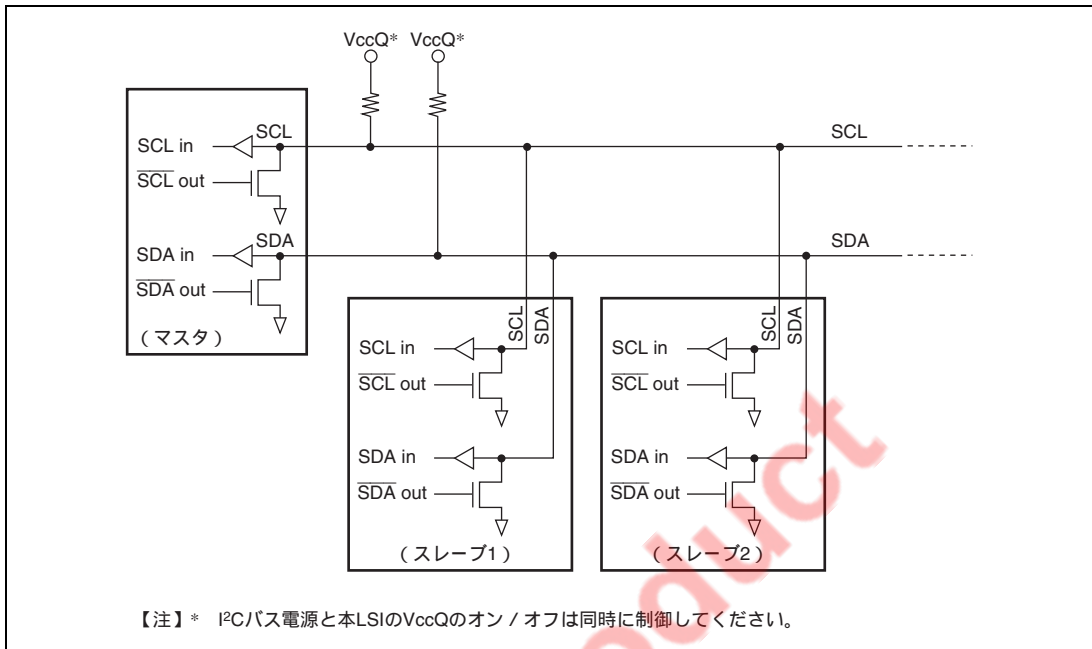


図 16.2 入出力端子の外部回路接続例

16. I²C バスインタフェース 2 (IIC2)

16.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 16.1 に示します。

表 16.1 端子構成

名 称	記号	入出力	機 能
シリアルクロック端子	SCL	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I ² C シリアルデータ入出力端子

16.3 レジスタの説明

I²C バスインタフェース 2 には以下のレジスタがあります。

- I²C バスコントロールレジスタ1 (ICCR1)
- I²C バスコントロールレジスタ2 (ICCR2)
- I²C バスモードレジスタ (ICMR)
- I²C バスインタラプトイネーブルレジスタ (ICIER)
- I²C バスステータスレジスタ (ICSR)
- スレーブアドレスレジスタ (SAR)
- I²C バス送信データレジスタ (ICDRT)
- I²C バス受信データレジスタ (ICDRR)
- I²C バスシフトレジスタ (ICDRS)
- NF2CYCレジスタ (NF2CYC)

16.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は 8 ビットのリード/ライト可能なレジスタで、I²C バスインタフェース 2 の動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ICCR1 は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 2 イネーブル 0 : 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。 なお TRS の変更は転送フレーム間で行ってください。 また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3 2 1 0	CKS3 CKS2 CKS1 CKS0	0 0 0 0	R/W R/W R/W R/W	転送クロック選択 3 ~ 0 マスタモードのとき有効です。必要な転送レートに合わせて設定してください。 転送レートについては、表 16.2 を参照してください。

16. I²C バスインタフェース 2 (IIC2)

表 16.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート				
					=5MHz	=10MHz	=16.5MHz	=30MHz	=33MHz
0	0	0	0	/28	179kHz	357kHz	589kHz	1071kHz	1179kHz
			1	/40	125kHz	250kHz	413kHz	750kHz	825kHz
		1	0	/48	104kHz	208kHz	344kHz	625kHz	688kHz
			1	/64	78.1kHz	156kHz	258kHz	469kHz	516kHz
	1	0	0	/80	62.5kHz	125kHz	206kHz	375kHz	413kHz
			1	/100	50.0kHz	100kHz	165kHz	300kHz	330kHz
		1	0	/112	44.6kHz	89.3kHz	147kHz	268kHz	295kHz
			1	/128	39.1kHz	78.1kHz	129kHz	234kHz	258kHz
1	0	0	0	/56	89.3kHz	179kHz	295kHz	536kHz	589kHz
			1	/80	62.5kHz	125kHz	206kHz	375kHz	413kHz
		1	0	/96	52.1kHz	104kHz	172kHz	313kHz	344kHz
			1	/128	39.1kHz	78.1kHz	129kHz	234kHz	258kHz
	1	0	0	/160	31.3kHz	62.5kHz	103kHz	188kHz	206kHz
			1	/200	25.0kHz	50.0kHz	82.5kHz	150kHz	165kHz
		1	0	/224	22.3kHz	44.6kHz	73.7kHz	134kHz	147kHz
			1	/256	19.5kHz	39.1kHz	64.5kHz	117kHz	129kHz

【注】 外部仕様を満足するよう設定してください。

16.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は 8 ビットのリード/ライト可能なレジスタで、開始/停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C のコントロール部のリセットを制御します。

ICCR2 はパワーオンリセットで H'7D に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有/開放状態を示すフラグ機能とマスタモードの開始/停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I²C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0 : リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p>1 : リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更(外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットはリードすると常に 1 が読み出されます。</p>
3	SCLO	1	R	<p>SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。</p>
2	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>
1	IICRST	0	R/W	<p>IIC コントロール部リセット</p> <p>IICRST は I²C のレジスタを除くコントロール部をリセットします。I²C の動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I²C のコントロール部をリセットすることができます。</p>
0	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>

16. I²C バスインタフェース 2 (IIC2)

16.3.3 I²C バスモードレジスタ (ICMR)

ICMR は 8 ビットのリード/ライト可能なレジスタで、MSB ファースト/LSB ファーストの選択、マスタモードウェイトの制御、転送ビット数の選択を行います。

ICMR はパワーオンリセットで H'38 に初期化されます。

ビット	ビット名	初期値	R/W	説明																		
7	MLS	0	R/W	MSB ファースト / LSB ファースト 選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときには 0 に設定してください。																		
6	-	0	-	リザーブビット 書き込みは 0 をライトしてください。																		
5	-	1	-	リザーブビット																		
4	-	1	-	リードすると常に 1 が読み出されます。																		
3	BCWP	1	R/W	BC ライトプロテクト BC2 ~ BC0 の書き込みを制御します。BC2 ~ BC0 を書き換える場合は、本ビットを 0 に設定してください。なおクロック同期式シリアルフォーマットでは BC の書き換えは行わないでください。 0 : ライト時、BC2 ~ BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2 ~ BC0 設定値は無効																		
2	BC2	0	R/W	ビットカウンタ 2 ~ 0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I ² C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。停止条件検出後は自動的に 111 になります。また本ビットは、パワーオンリセット、スタンバイモード、ICCR2 の IICRST の 1 セットによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。																		
1	BC1	0	R/W																			
0	BC0	0	R/W																			
				<table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

16.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

8ビットのリード/ライト可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。ICIER はパワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可/禁止します。</p> <p>0: 送信データエンpty割り込み要求 (TXI) の禁止</p> <p>1: 送信データエンpty割り込み要求 (TXI) の許可</p>
6	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。</p> <p>0: 送信終了割り込み要求 (TEI) の禁止</p> <p>1: 送信終了割り込み要求 (TEI) の許可</p>
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出割り込み要求 (NAKI) の許可/禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIE は、ICSR の STOP がセットされたとき、停止条件 (STPI) の許可/禁止を選択します。</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う。</p> <p>1: 受信アクノリッジが 1 の場合、転送を中断する。</p>

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
1	ACKBR	0	R	受信アクリッジ 送信モード時、受信デバイスから受け取ったアクリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 セットするとクリアされます。 0: 受信アクリッジ=0 1: 受信アクリッジ=1
0	ACKBT	0	R/W	送信アクリッジ 受信モード時、アクリッジのタイミングで送出するビットを設定します。 0: アクリッジのタイミングで 0 を送出 1: アクリッジのタイミングで 1 を送出

16.3.5 I²C バスステータレジスタ (ICSR)

ICSR は 8 ビットのリード/ライト可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。ICSR はパワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スレープモードで受信モードから送信モードになったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき
6	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] • ICDRS から ICDRR に受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRR をリードしたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [セット条件] • ICIE の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
3	STOP	0	R/W	停止条件検出フラグ [セット条件] • フレームの転送の完了後に停止条件を検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
2	AL/OVE	0	R/W	アービトレーションロストフラグ / オーバランエラーフラグ AL/OVE は、I ² C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF = 1 の状態で最終ビットを受信したことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I ² C バスインタフェース 2 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。 [セット条件] • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき • クロック同期式シリアルフォーマットの場合、RDRF = 1 の状態で最終ビットを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
1	AAS	0	R/W	スレーブアドレス認識フラグ スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。 [セット条件] • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
0	ADZ	0	R/W	ゼネラルコールアドレス認識フラグ I ² C バスフォーマットのスレーブ受信モードのとき有効 [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

16.3.6 スレーブアドレスレジスタ (SAR)

SAR は 8 ビットのリード/ライト可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。SAR はパワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~0	すべて 0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0 : I ² C バスフォーマット選択 1 : クロック同期式シリアルフォーマット選択

16.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。

16.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

16.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

16.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は 8 ビットのリード / ライト可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。動作の詳細については、「16.4.7 ノイズ除去回路」を参照してください。

パワーオンリセットにより、H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
0	NF2CYC	0	R/W	ノイズ除去幅選択 0: 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1: 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

16.4 動作説明

I²C バスインタフェース 2 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

16.4.1 I²C バスフォーマット

I²C バスフォーマットを図 16.3 に、I²C バスのタイミングを図 16.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

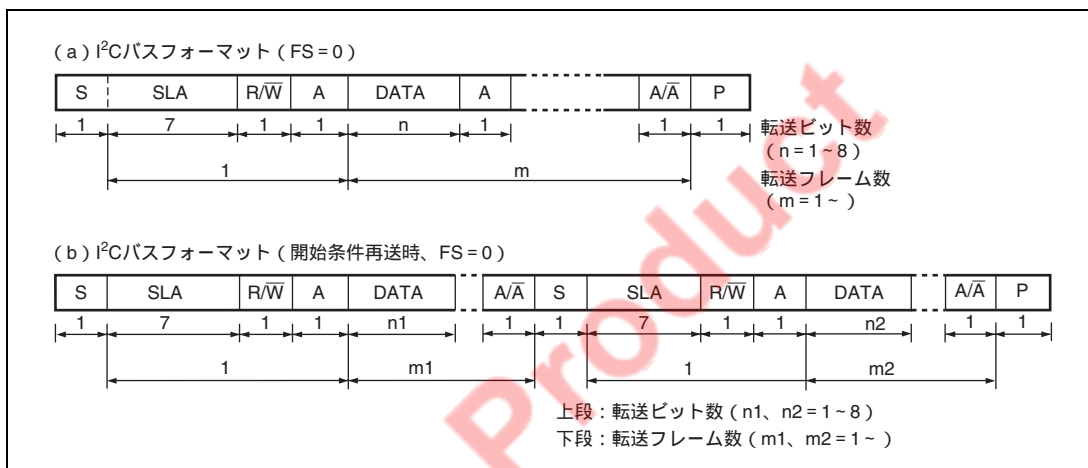


図 16.3 I²C バスフォーマット

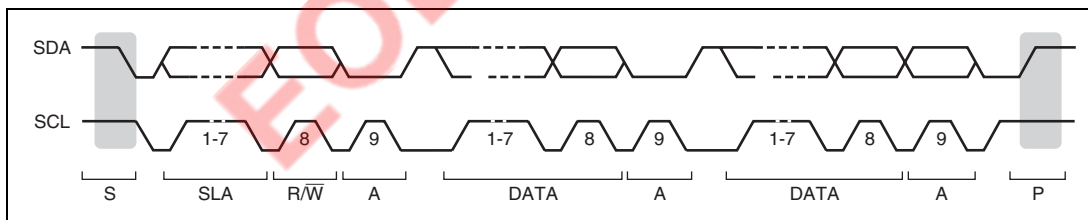


図 16.4 I²C バスタイミング

【記号の説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態です。SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態です。SDA を Low レベルから High レベルに変化させます。

16.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 16.5 と図 16.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/ \bar{W} を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0をライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

16. I²C バスインタフェース 2 (IIC2)

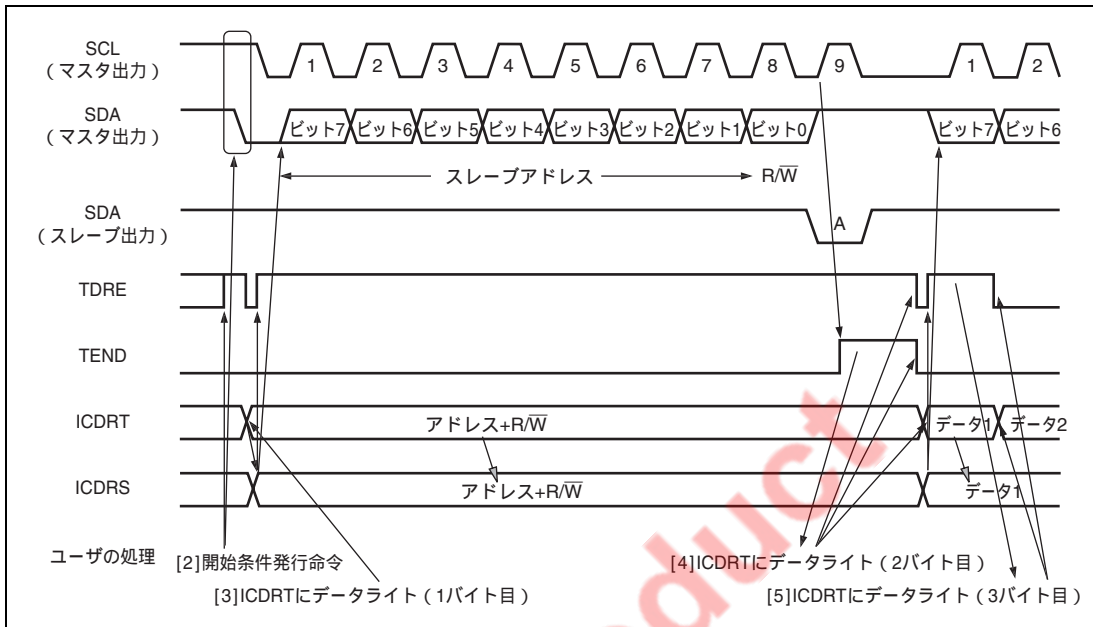


図 16.5 マスタ送信モード動作タイミング (1)

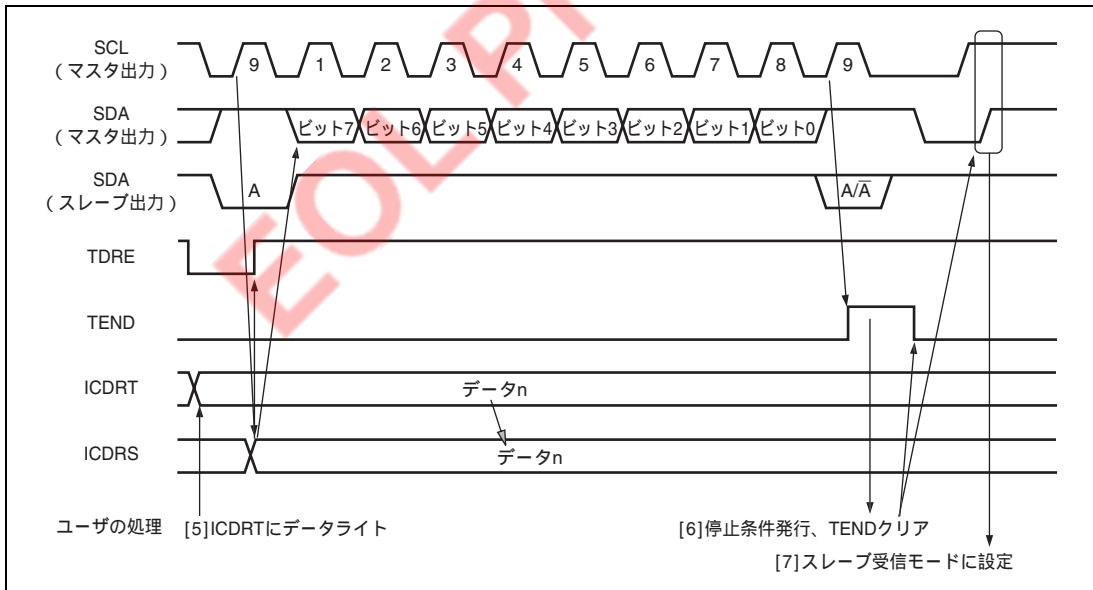


図 16.6 マスタ送信モード動作タイミング (2)

16.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 16.7 と図 16.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後ICDRRのダミーリードを行ってください。

16. I²C バスインタフェース 2 (IIC2)

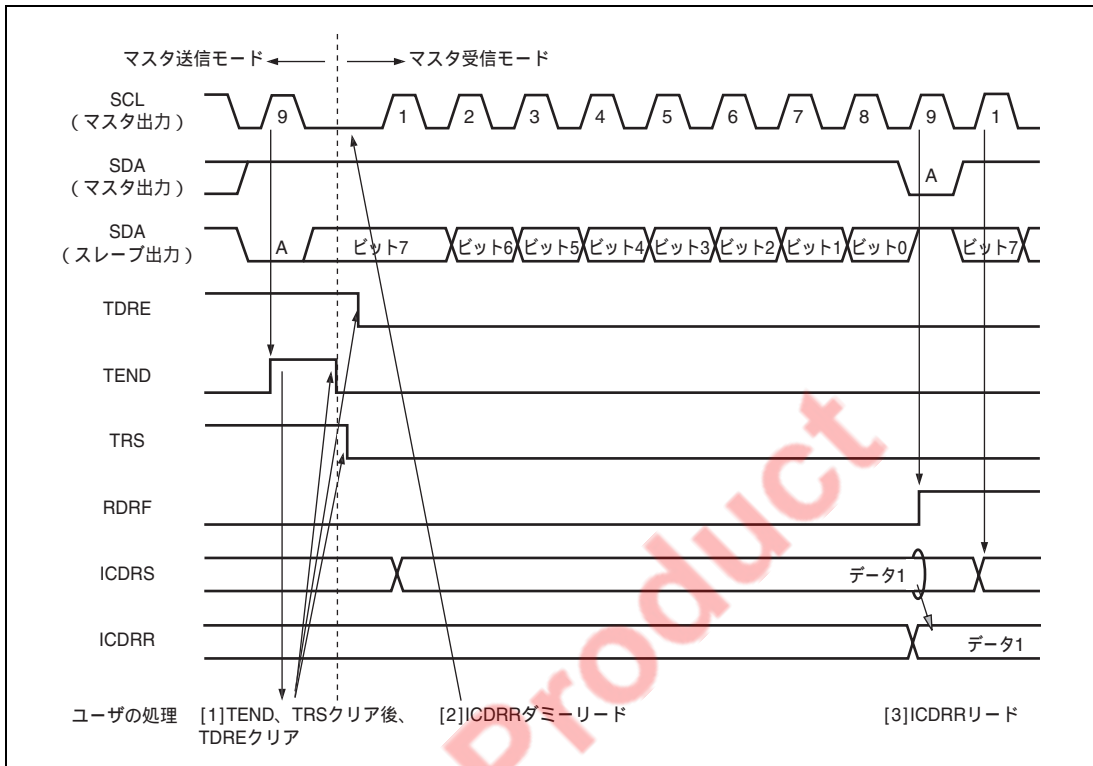


図 16.7 マスタ受信モード動作タイミング (1)

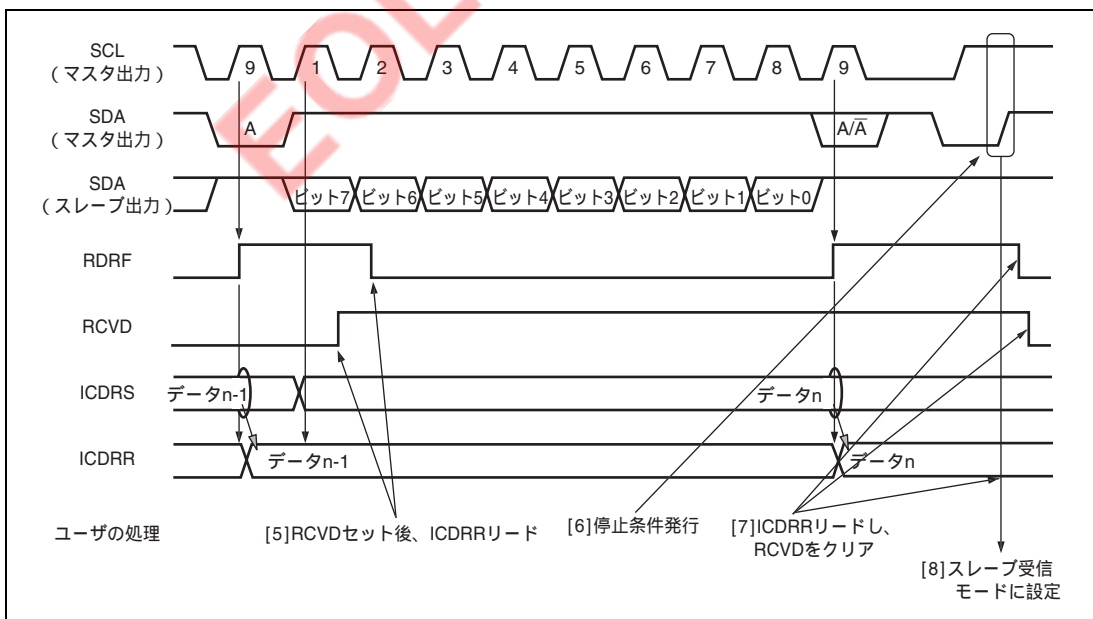


図 16.8 マスタ受信モード動作タイミング (2)

16.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 16.9 と図 16.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

16. I²C バスインタフェース 2 (IIC2)

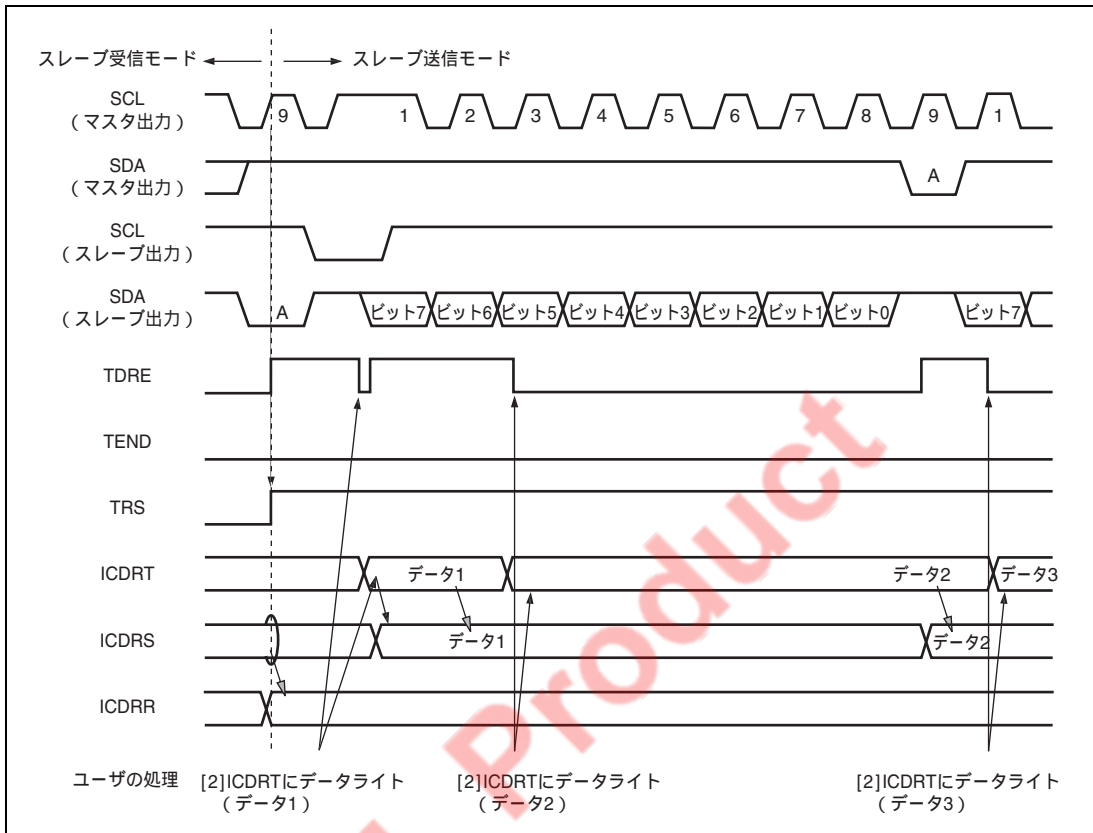


図 16.9 スレーブ送信モード動作タイミング (1)

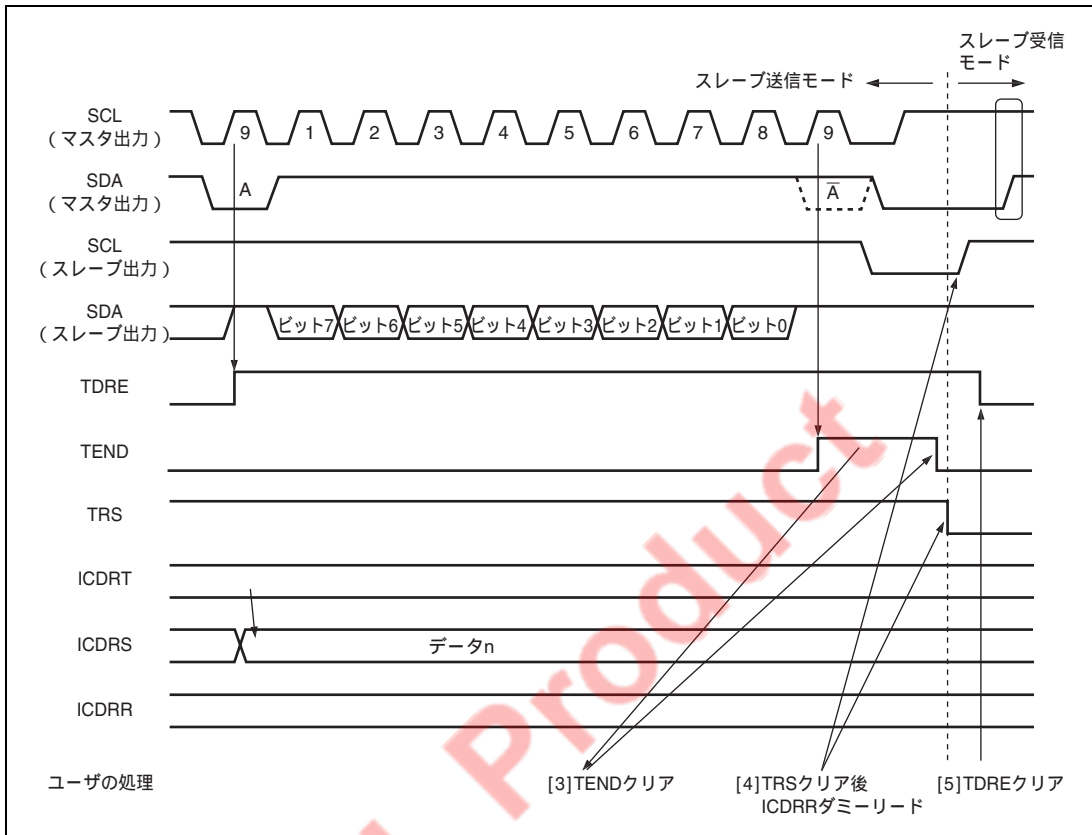


図 16.10 スレーブ送信モード動作タイミング (2)

16.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 16.11 と図 16.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

16. I²C バスインタフェース 2 (IIC2)

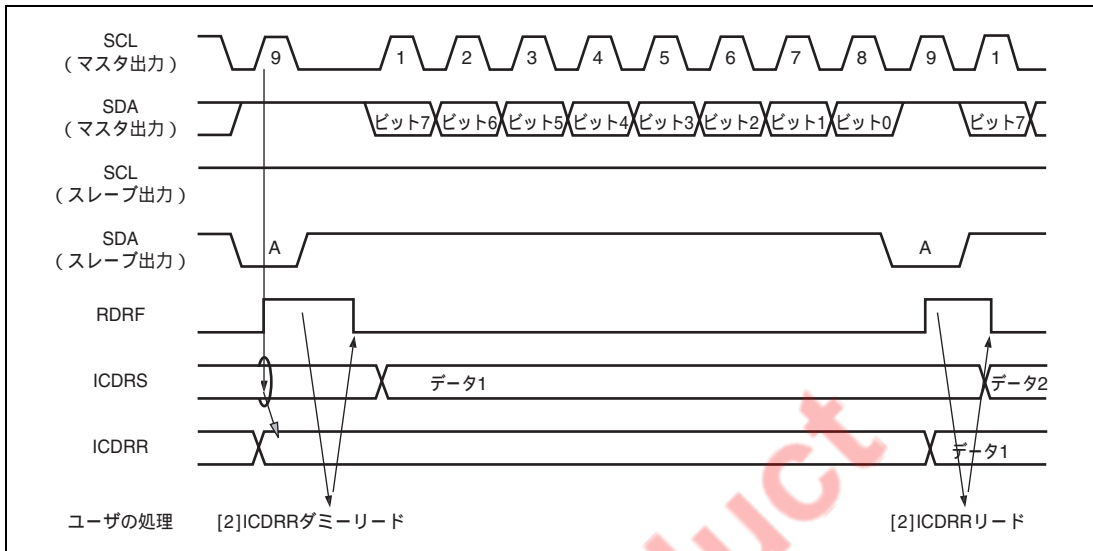


図 16.11 スレーブ受信モード動作タイミング (1)

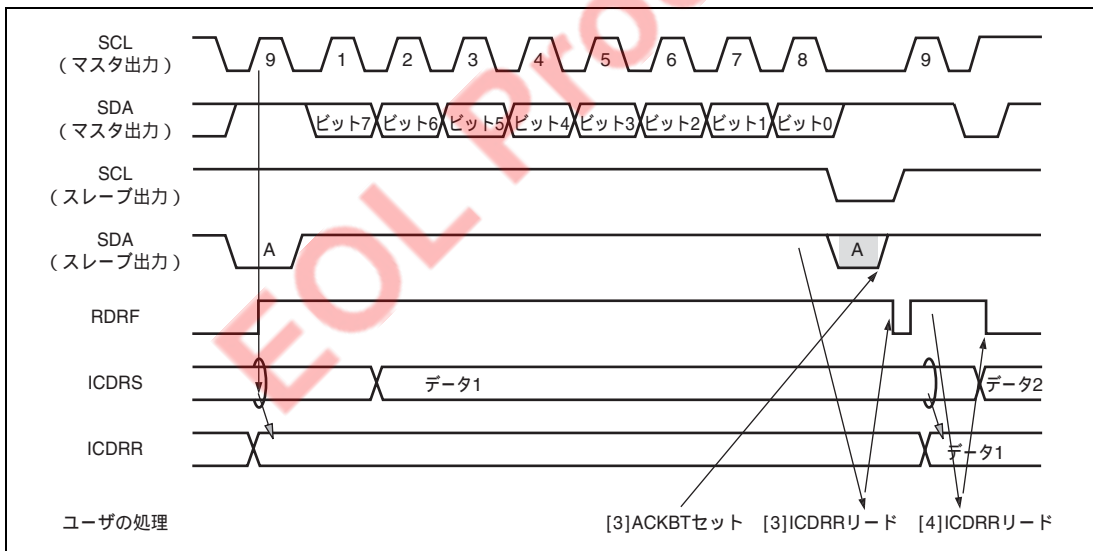


図 16.12 スレーブ受信モード動作タイミング (2)

16.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST = 1 のとき SCL から転送クロック出力となり、MST = 0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 16.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

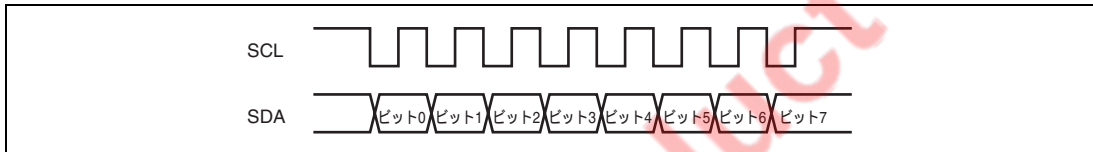


図 16.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。送信モード動作タイミングは図 16.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0などを設定します（初期設定）。
2. ICCR1のMST、TRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

16. I²C バスインタフェース 2 (IIC2)

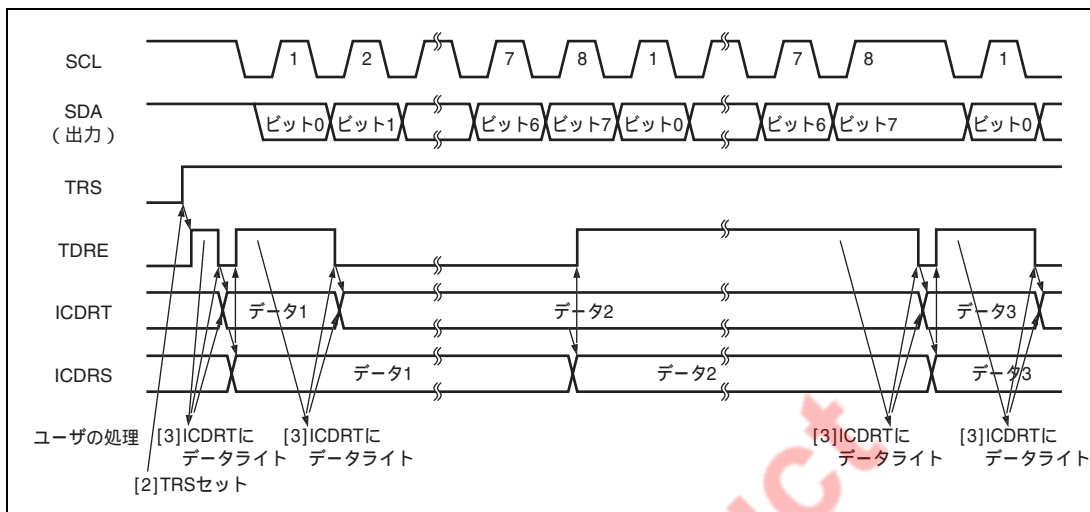


図 16.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立上がりりでデータをラッチします。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。受信モード動作タイミングについては図 16.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS3～CKS0等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

【注】 MST=1 で1バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 16.16 を参照してください。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR1のRCVDビットが0の状態、MST=1にセットします。これにより受信クロックの出力を開始します。
3. ICMRのBC2ビットが1にセットされたことを確認後、ICCR1のRCVD=1にセットしてください。これにより受信クロックを1バイト分出力した後、SCLがHighレベルに固定されます。

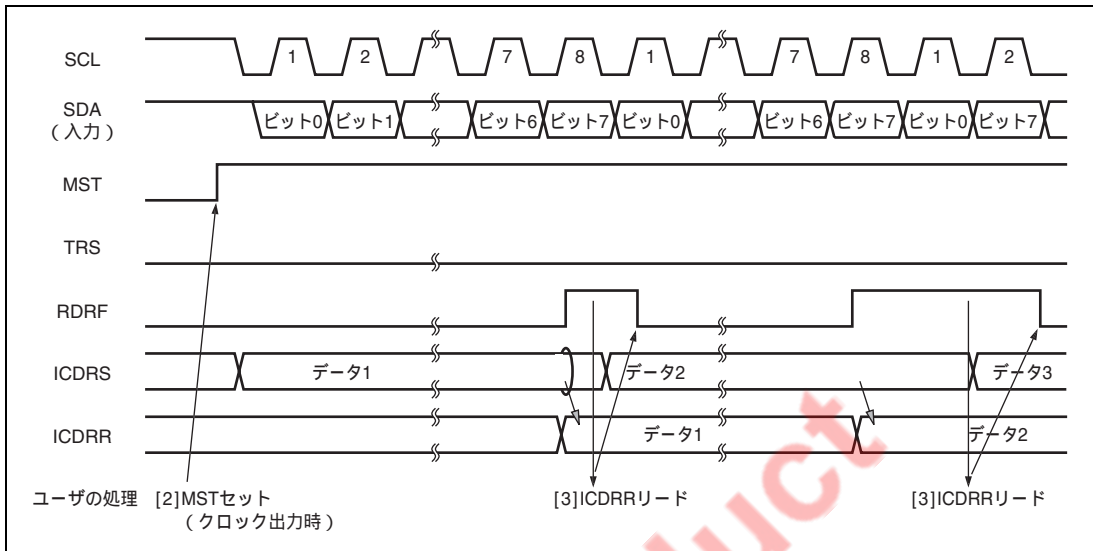


図 16.15 受信モード動作タイミング

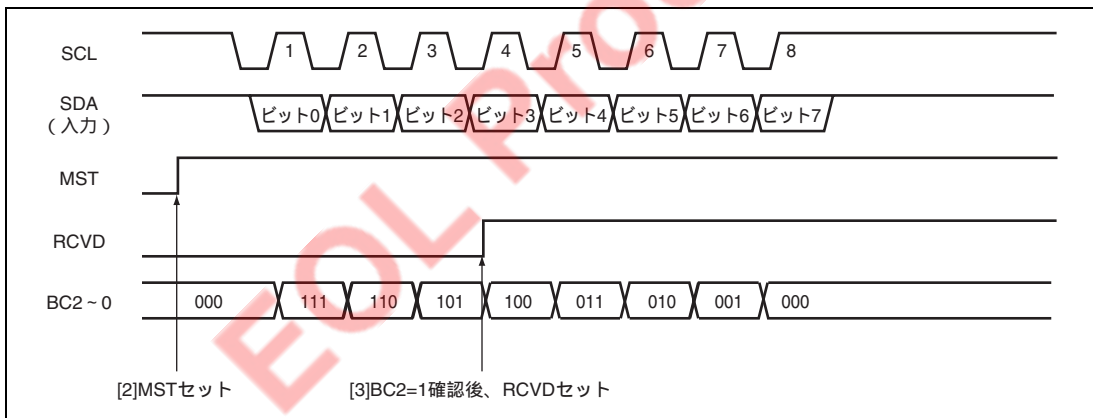


図 16.16 1バイト受信動作タイミング

16.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが 0 のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが 1 のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

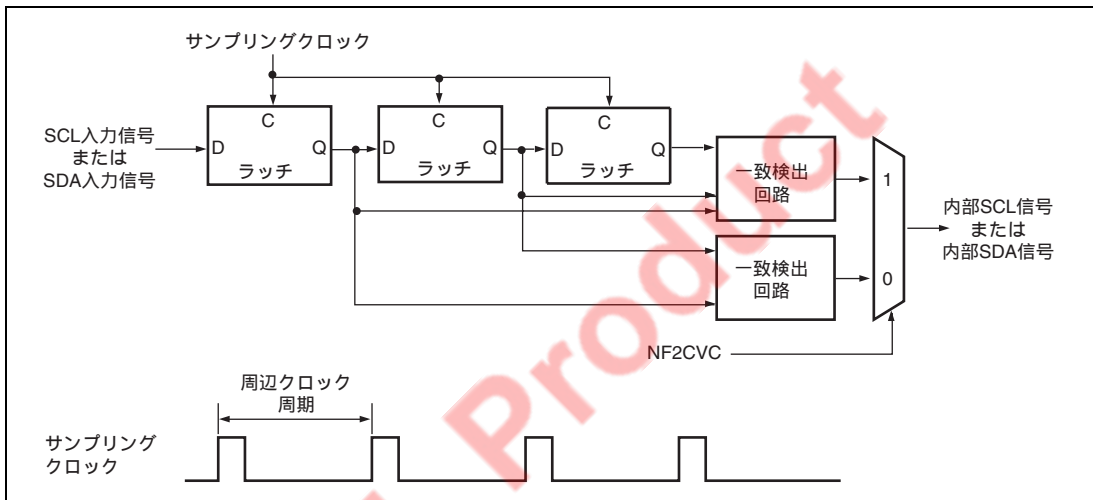


図 16.17 ノイズ除去回路のブロック図

16.4.8 使用例

I²C バスインタフェース 2 を使用する場合の各モードでのフローチャート例を図 16.18 ~ 図 16.21 に示します。

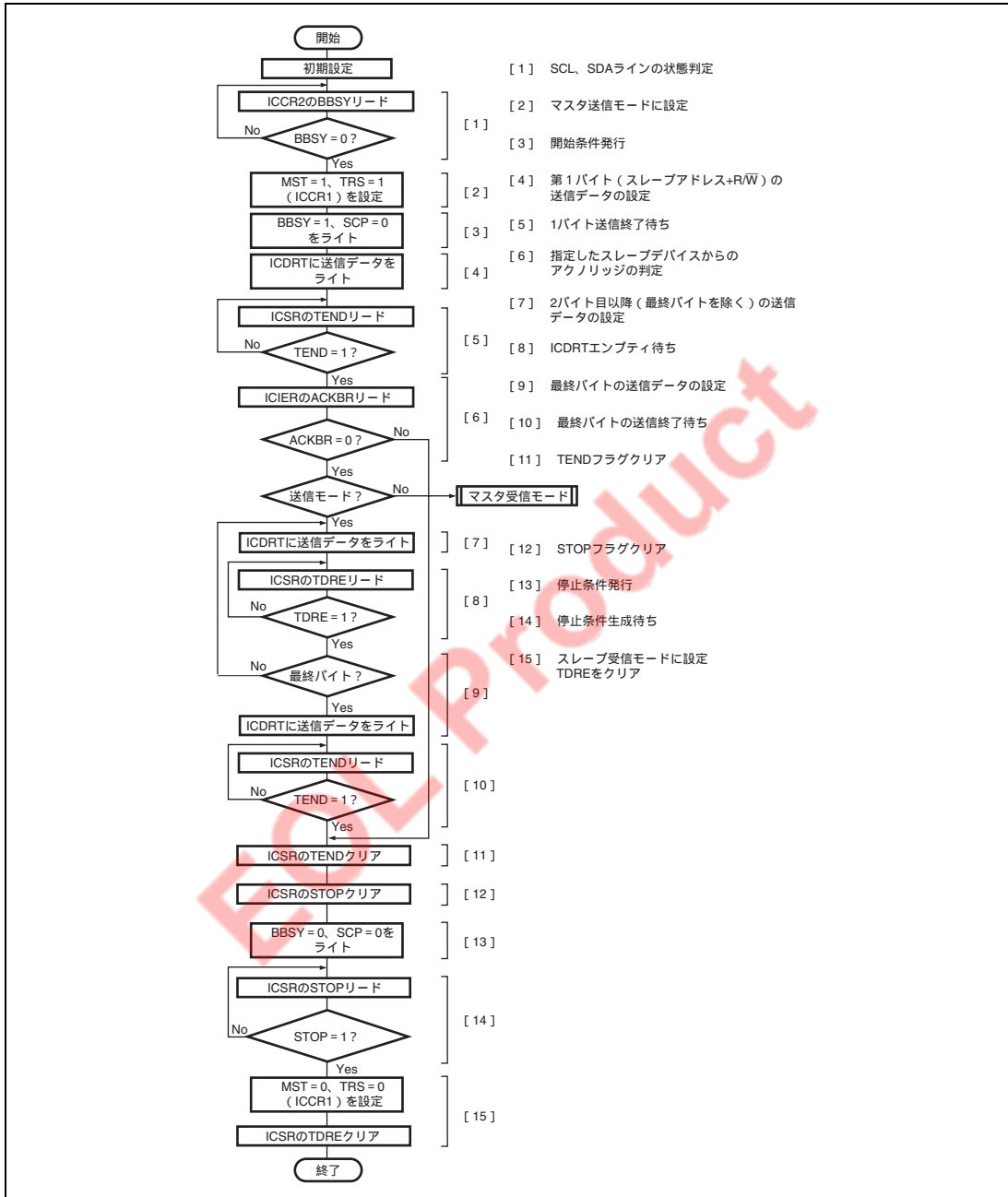


図 16.18 マスタ送信モードのフローチャート例

16. I²C バスインタフェース 2 (IIC2)

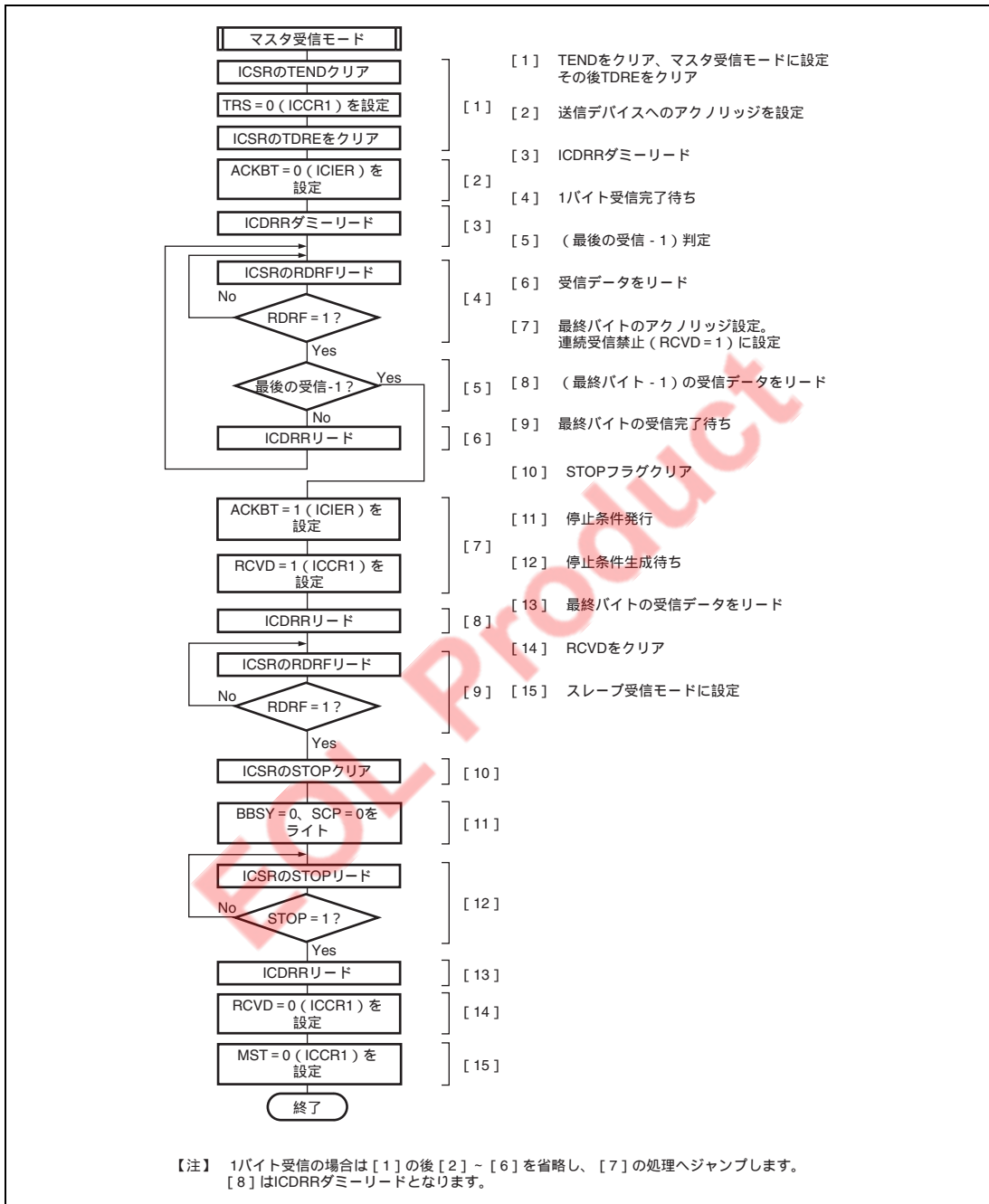


図 16.19 マスタ受信モードのフローチャート例

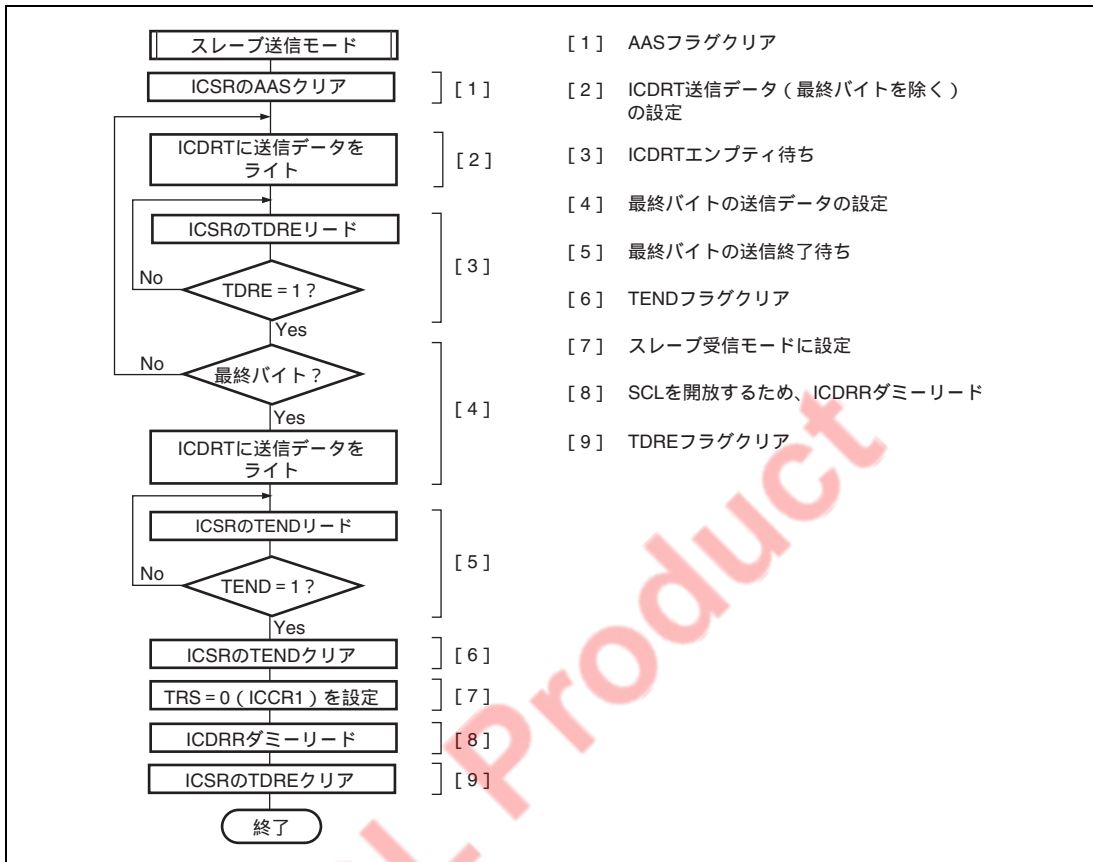


図 16.20 スレーブ送信モードのフローチャート例

16. I²C バスインタフェース 2 (IIC2)

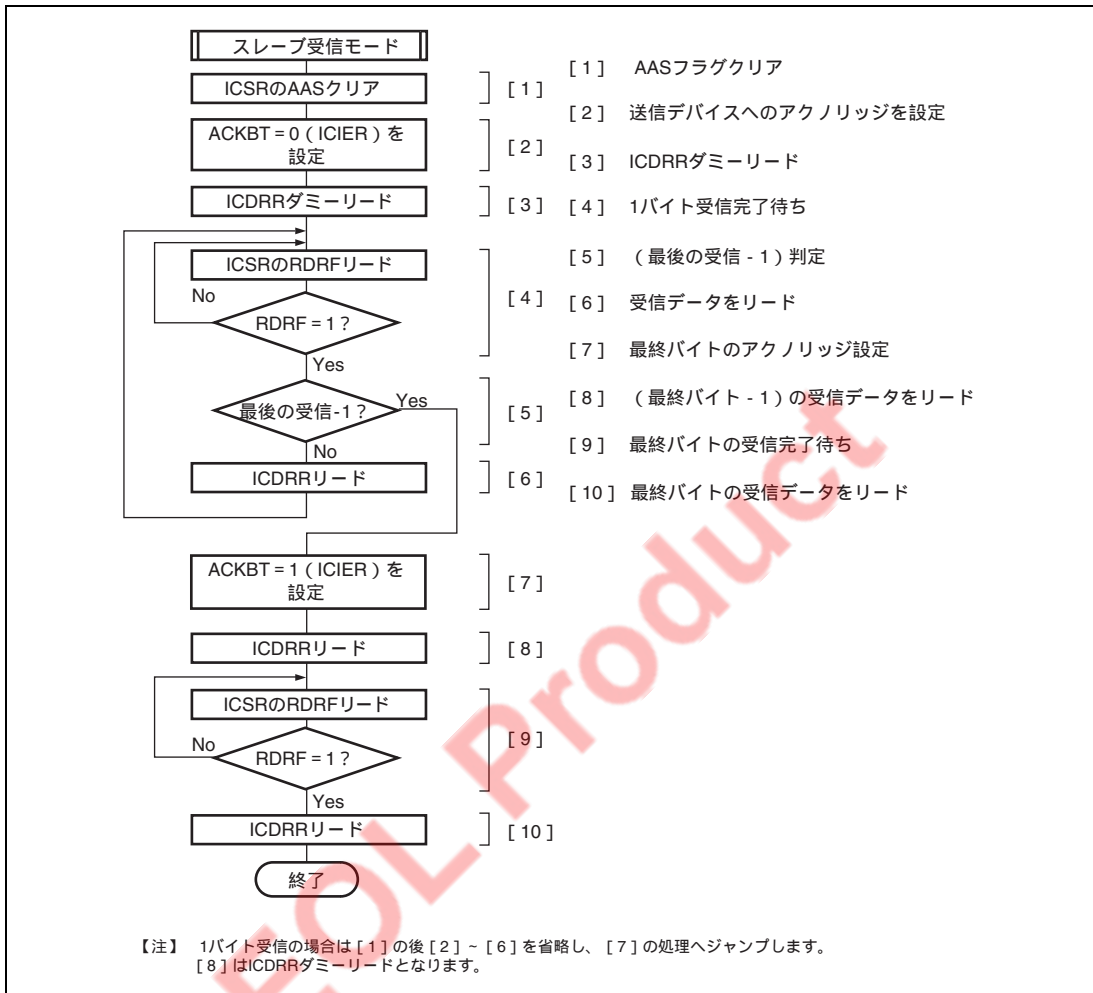


図 16.21 スレーブ受信モードのフローチャート例

16.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト / オーバランエラーの 6 種類があります。表 16.3 に各割り込み要求の内容を示します。

表 16.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアルフォーマット
送信データエンプティ	TXI	(TDRE = 1) · (TIE = 1)		
送信終了	TEI	(TEND = 1) · (TEIE = 1)		
受信データフル	RXI	(RDRF = 1) · (RIE = 1)		
停止条件検出	STPI	(STOP = 1) · (STIE = 1)		×
NACK 検出	NAKI	{(NACKF = 1) + (AL = 1)} · (NAKIE = 1)		×
アービトレーションロスト / オーバランエラー				

表 16.3 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

16.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 16.22 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 16.4 に示します。

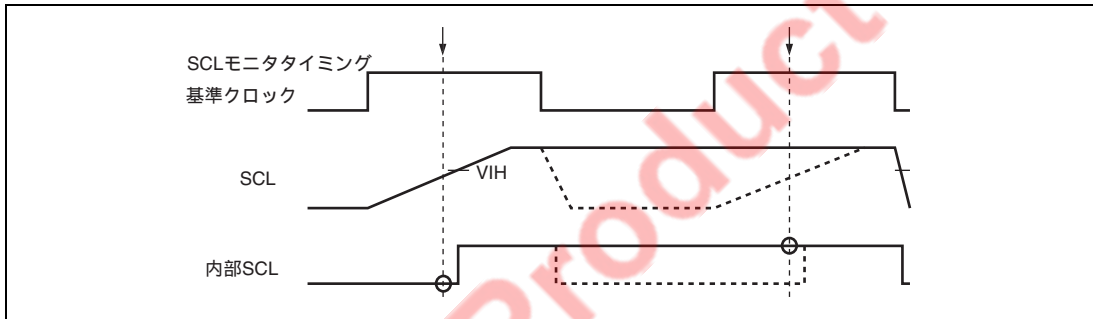


図 16.22 ビット同期回路のタイミング

表 16.4 SCL をモニタする時間

CKS3	CKS2	NF2CYC	SCL をモニタする時間
0	0	0	6.5 pyc
		1	5.5 pyc
	1	0	18.5 pyc
		1	17.5 pyc
1	0	0	16.5 pyc
		1	15.5 pyc
	1	0	40.5 pyc
		1	39.5 pyc

【注】 pyc は周辺クロックの周期

16.7 使用上の注意事項

16.7.1 停止条件の発行および開始条件（再送）の発行について

停止条件の発行および開始条件(再送)の発行は9クロック目の立ち下がりを読み込んでから行ってください。9クロック目の立ち下がりにはI²Cバスコントロールレジスタ2 (ICCR2) のSCLOビットをチェックすることにより認識することができます。

下記1.または2.の条件下で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行なった時、停止条件および開始条件（再送）が正常に出力されない場合があります。この条件以外での使用は問題ありません。

1. SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「16.6 ビット同期回路」の項に規定されている時間以上なまっている場合
2. スレーブデバイスによって、8クロック目と9クロック目のロー期間が引き伸ばされることにより、ビット同期回路が働いた場合

16.7.2 マルチマスタで使用時の転送レート設定値の制限について

マルチマスタで使用し、本LSIのIIC転送レートの設定が他のマスタより遅いとき、まれにSCLに予期しない幅のSCLが出力される場合があります。この現象を回避するためには、他のマスタの一番速い転送レートより1/1.8以上の転送レートを設定してください。たとえば、他の一番速いマスタが400kbpsの場合、本LSIのIICの転送レートは223kbps（=400/1.8）以上の設定値にする必要があります。

16.7.3 マルチマスタで使用時のMST、TRS設定時のビット操作命令使用制限について*

マルチマスタで使用時、MST、TRSを順次ビット操作しマスタ送信に設定した場合、TRSのビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSRのAL=1かつマスタ送信モード(MST=1、TRS=1)のように矛盾した状態になっている場合があります。

この現象を回避するためには下記方法があります。

- マルチマスタで使用時、MST、TRSの設定はMOV命令で行ってください。
- アービトレーションロストした場合、MST=0、TRS=0を確認してください。万が一、MST=0、TRS=0以外の状態の場合、MST=0、TRS=0を設定し直してください。

【注】 * SH7641にはメモリビット操作命令はありません。他製品との整合のため記載してあります。

16.7.4 マスタ受信モードの注意事項について

マスタ受信モードで使用した場合、RDRF=1 の状態で 8 クロック目の立ち下がりがくると SCL を “L” に引っ張りますが、8 クロック目の立ち下がり付近で ICDRR をリードすると、次の受信データの 8 クロック目を 1 クロック分 “L” に固定するだけでその後 ICDRR をリードしなくても SCL の固定を解除し 9 クロック目を出力します。結果として受信データの取りこぼしとなります。

この現象を回避するためには下記方法があります。

- マスタ受信モードで ICDRR をリードする処理は 8 クロック目の立ち上がりまでに行ってください。
- マスタ受信モードは RCVD=1 にし 1 バイトごとの通信で処理を行ってください。

EOL Product

17. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

17.1 特長

CMT には次の特長があります。

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
4種類の内部クロック (P /4、P /8、P /16、P /64) を選択可能
- コンペアマッチ時、DMA転送要求または割り込み要求の発生を選択可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 17.1 に CMT のブロック図を示します。

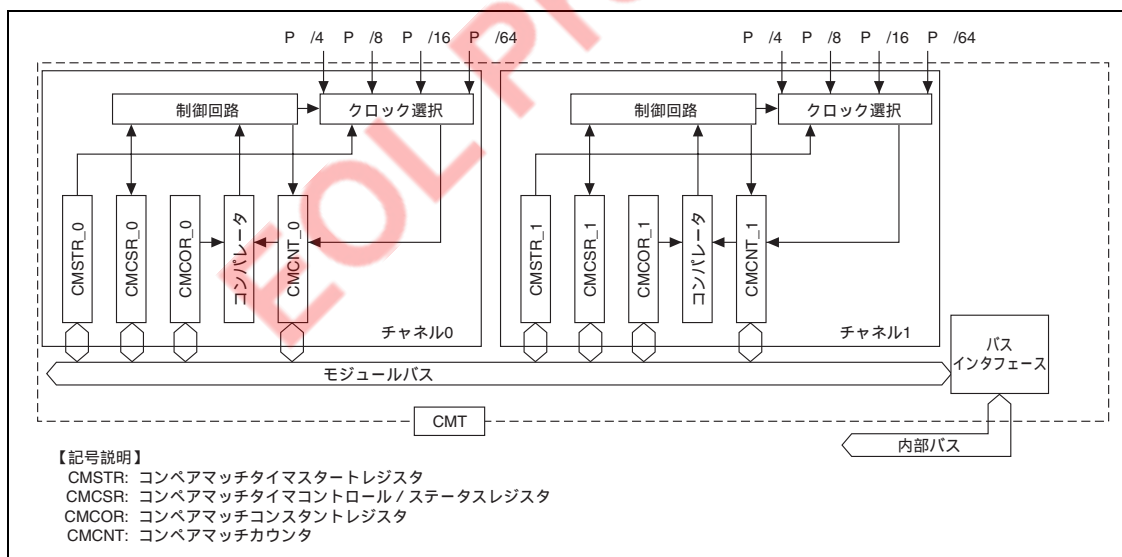


図 17.1 コンペアマッチタイマのブロック図

17. コンペアマッチタイム (CMT)

17.2 レジスタの説明

CMT のレジスタを以下に示します。

- コンペアマッチタイムスタートレジスタ_0 (CMSTR_0)
- コンペアマッチタイムコントロール/ステータスレジスタ_0 (CMCSR_0)
- コンペアマッチカウンタ_0 (CMCNT_0)
- コンペアマッチコンスタントレジスタ_0 (CMCOR_0)
- コンペアマッチタイムスタートレジスタ_1 (CMSTR_1)
- コンペアマッチタイムコントロール/ステータスレジスタ_1 (CMCSR_1)
- コンペアマッチカウンタ_1 (CMCNT_1)
- コンペアマッチコンスタントレジスタ_1 (CMCOR_1)

17.2.1 コンペアマッチタイムスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

CMSTR はパワーオンリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。
0	STR	0	R/W	カウントスタート コンペアマッチカウンタの動作 / 停止を選択します。 0 : CMCNT はカウントを停止 1 : CMCNT はカウントを開始

17.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込み、DMA 転送要求の許可、およびカウンタ入力クロックの設定を行います。

CMCSR はパワーオンリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。
7	CMF	0	(R/W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0 : CMCNT と CMCOR の値は不一致 1 : CMCNT と CMCOR の値が一致 [クリア条件] CMF = 1 を読み出し後、CMF に 0 を書き込んだとき
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。
5 4	CMR1 CMR0	0 0	R/W R/W	コンペアマッチリクエスト 1、0 コンペアマッチ時、DMA 転送要求または割り込み要求の許可/禁止を選択します。 00 : DMA 転送要求 / 割り込み要求の禁止 01 : DMA 転送要求を許可 10 : 割り込み要求を許可 11 : リザーブ (設定しないでください)
3 2	- -	0 0	R R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。
1 0	CKS1 CKS0	0	R/W	クロックセレクト 1、0 周辺動作クロック (P) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS1、CKS0 ビットにより選択されたクロックでカウントを開始します。 00 : P /4 01 : P /8 10 : P /16 11 : P /64

【注】 * フラグクリアのための 0 書き込みのみ可能です。

17. コンペアマッチタイマ (CMT)

17.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT はパワーオンリセット時に H'0000 に初期化されます。スタンバイモード時には以前の値を保持します。

17.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はパワーオンリセット時に H'FFFF に初期化されます。スタンバイモード時には以前の値を保持します。

EOL Product

17.3 動作説明

17.3.1 期間カウント動作

内部クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。CMCNT は H'0000 からカウントアップを再開します。

図 17.2 にコンペアマッチカウンタ動作を示します。

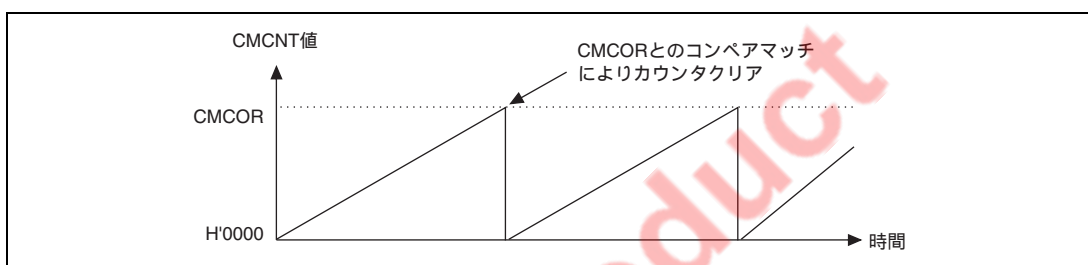


図 17.2 カウンタ動作

17.3.2 CMCNT カウントタイミング

クロック (P) を分周して得られた 4 種類のクロック ($P/4$ 、 $P/8$ 、 $P/16$ 、 $P/64$) のうち 1 つを CMCSR の CKS1、CKS0 ビットにより選択することができます。図 17.3 にそのタイミングを示します。

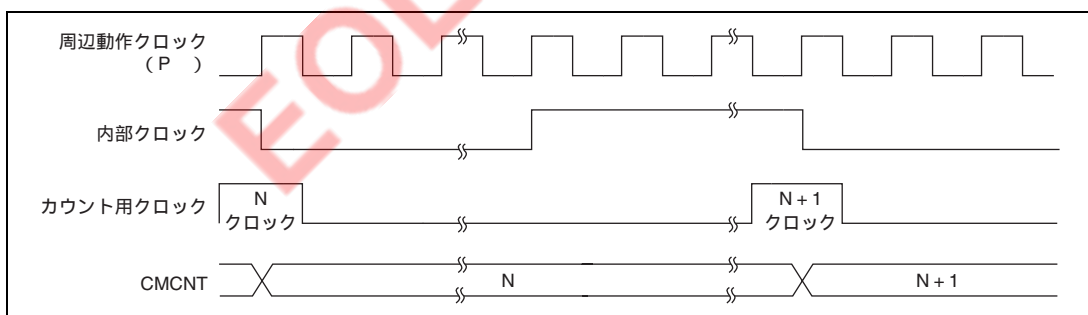


図 17.3 カウントタイミング

17.4 コンペアマッチ

17.4.1 コンペアマッチフラグのセットタイミング

CMCORとCMCNTが一致するとコンペアマッチ信号が発生し、CMCSRのCMFビットが1にセットされます。コンペアマッチ信号は、一致の最終ステート（CMCNTの値がH'0000に更新されるタイミング）で発生します。つまり、CMCORとCMCNTの一致後、CMCNTのカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図17.4にCMFビットのセットタイミングを示します。

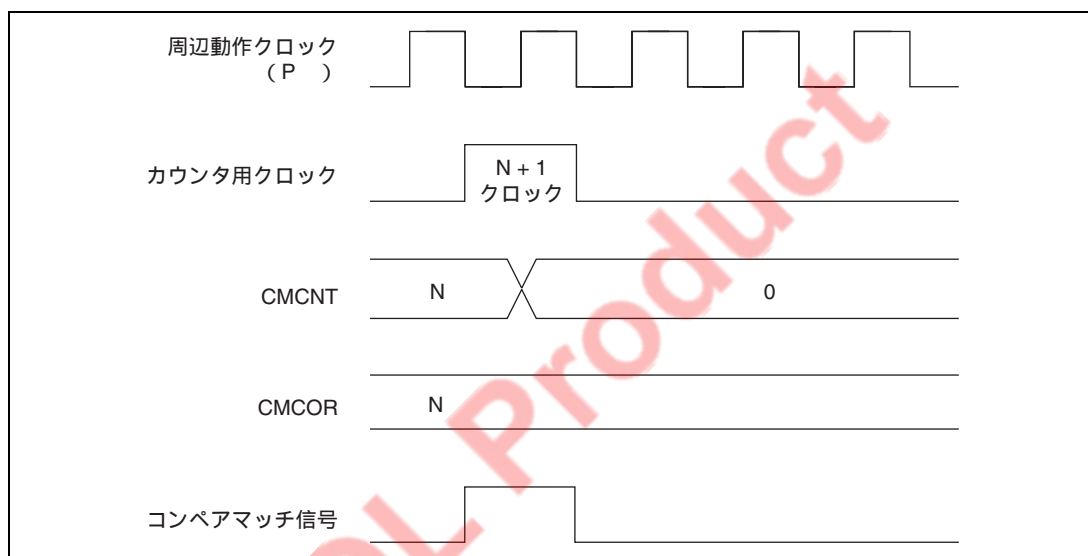


図 17.4 CMF セットタイミング

17.4.2 DMA 転送要求と割り込み要求

コンペアマッチ時、CMCSRのCMR1、CMR0ビットにより、DMA転送要求または割り込み要求の発生を選択することができます。

DMA転送要求はDMACが受け付けた時点で、要求信号が自動的にクリアされます。ただしCMCSRのCMFビットは、0にクリアされません。

割り込み要求はCMCSRのCMFビットに0を書き込むことでクリアされます。したがってユーザが例外処理ルーチン中にCMF=0とする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。

17.4.3 コンペアマッチフラグのクリアタイミング

CMCSRのCMFビットは、CMF=1を読み出した後に0を書き込むことでクリアされます。

18. マルチファンクションタイマパルスユニット (MTU)

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット(MTU) を内蔵しています。ブロック図を図 18.1 に示します。

18.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相のPWM出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 23種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能

18. マルチファンクションタイマパルスユニット (MTU)

表 18.1 MTU の機能一覧

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
カウントクロック	P /1 P /4 P /16 P /64 TCLKA TCLKB TCLKC TCLKD	P /1 P /4 P /16 P /64 P /256 TCLKA TCLKB	P /1 P /4 P /16 P /64 P /1024 TCLKA TCLKB TCLKC	P /1 P /4 P /16 P /64 P /256 P /1024 TCLKA TCLKB	P /1 P /4 P /16 P /64 P /256 P /1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力				
	1 出力				
	トグル出力				
インプットキャプチャ機能					
同期動作					
PWM モード 1					
PWM モード 2				-	-
位相計数モード	-			-	-
バッファ動作		-	-		
DMA の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ

18. マルチファンクションタイムパルスユニット (MTU)

項目	チャネル0	チャネル1	チャネル2	チャネル3	チャネル4
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプット キャプチャ 0A • コンペアマッチ / インプット キャプチャ 0B • コンペアマッチ / インプット キャプチャ 0C • コンペアマッチ / インプット キャプチャ 0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプット キャプチャ 1A • コンペアマッチ / インプット キャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプット キャプチャ 2A • コンペアマッチ / インプット キャプチャ 2B • オーバフロー • アンダフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプット キャプチャ 3A • コンペアマッチ / インプット キャプチャ 3B • コンペアマッチ / インプット キャプチャ 3C • コンペアマッチ / インプット キャプチャ 3D • オーバフロー 	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インプット キャプチャ 4A • コンペアマッチ / インプット キャプチャ 4B • コンペアマッチ / インプット キャプチャ 4C • コンペアマッチ / インプット キャプチャ 4D • オーバフロー

【記号説明】

: 可能

- : 不可

18. マルチファンクションタイムパルスユニット (MTU)

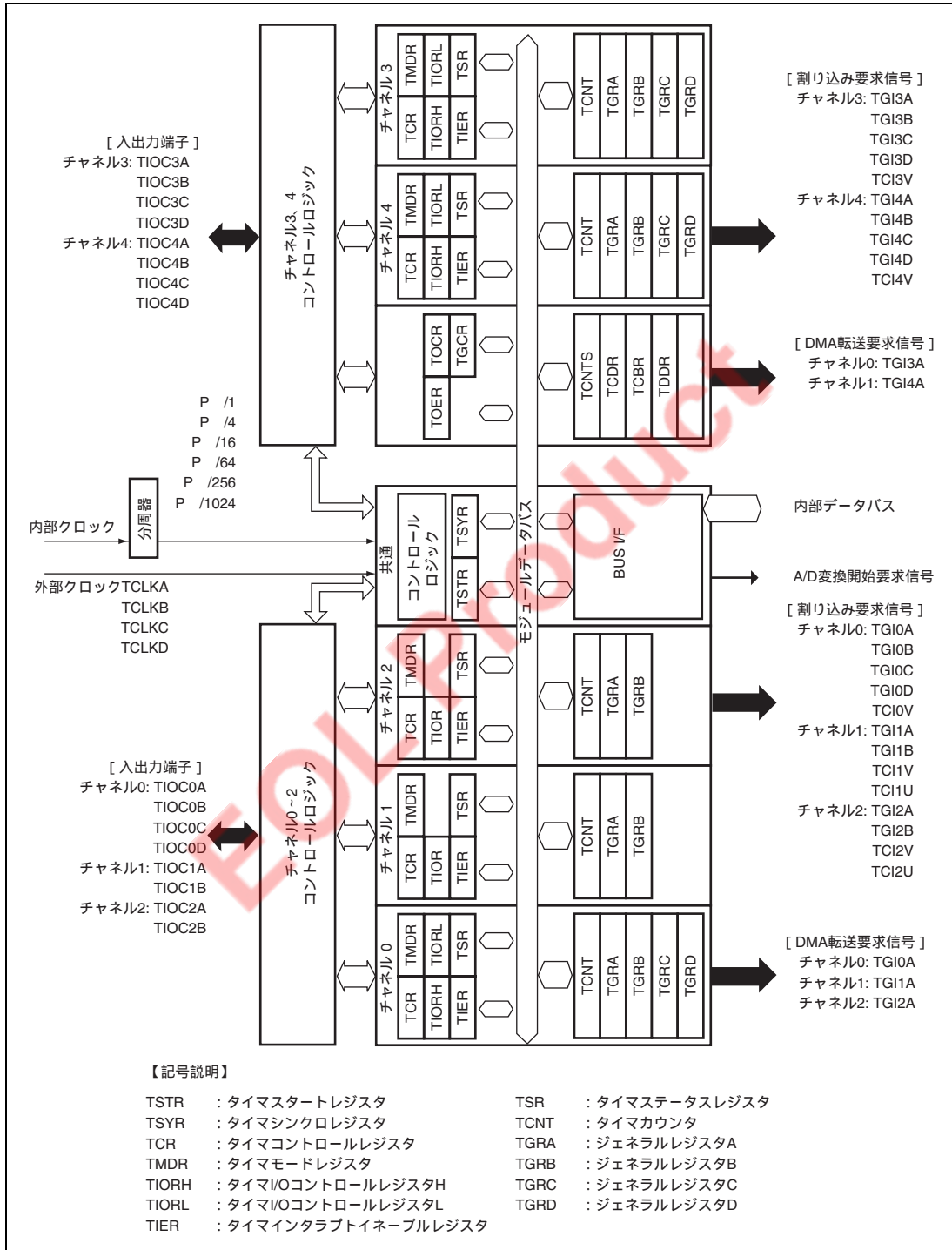


図 18.1 MTU のブロック図

18.2 入出力端子

表 18.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

18.3 レジスタの説明

MTU には各チャンネルに以下のレジスタがあります。各チャンネルのレジスタ名についてはチャンネル0のTCRはTCR_0と表記してあります。

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)

- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/OコントロールレジスタH_4 (TIORH_4)
- タイマI/OコントロールレジスタL_4 (TIORL_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)
- タイマジェネラルレジスタC_4 (TGRC_4)
- タイマジェネラルレジスタD_4 (TGRD_4)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

タイマ 3/4 共通レジスタ

- タイマアウトプットマスタイネーブルレジスタ (TOER)
- タイマアウトプットコントロールレジスタ (TOCR)
- タイマゲートコントロールレジスタ (TGCR)
- タイマ周期データレジスタ (TCDR)
- タイマデッドタイムデータレジスタ (TDDR)
- タイマサブカウンタ (TCNTS)
- タイマ周期バッファレジスタ (TCBR)

18. マルチファンクションタイマパルスユニット (MTU)

18.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御する 8 ビットのリード/ライト可能なレジスタです。MTU には、チャンネル 0 ~ 4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 18.3、表 18.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: P / 4 の両エッジ = P / 2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P / 4 もしくはそれより遅い場合に有効です。入力クロックに P / 1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント 【記号説明】 X: Don't care
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 18.5 ~ 表 18.8 を参照してください。
0	TPSC0	0	R/W	

表 18.3 CCLR2 ~ CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

18. マルチファンクションタイムパルスユニット (MTU)

- 【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。
 *2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 18.4 CCLR2 ~ CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

- 【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。
 *2 チャンネル 1、2 ではビット 7 はリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。

表 18.5 TPSC2 ~ TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 18.6 TPSC2 ~ TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	TCNT_2 のオーバフロー/アンダフローでカウント

- 【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.7 TPSC2 ~ TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P /1024 でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

表 18.8 TPSC2 ~ TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	内部クロック : P /256 でカウント
	1	0	1	内部クロック : P /1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

18.3.2 タイマモードレジスタ (TMDR)

TMDRは8ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。MTUには、各チャンネル1本、計5本のTMDRがあります。TMDRの設定は、TCNTの動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	-	1	-	リザーブビット
6	-	1	-	リードすると常に1がリードされます。ライトする値は常に1にしてください。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に0がリードされます。書き込み時は常に0をライトしてください。 0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に0がリードされます。書き込み時は常に0をライトしてください。 0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 詳細は表 18.9 を参照してください。
2	MD2	0	R/W	
1	MD1	0	R/W	
0	MD0	0	R/W	

18. マルチファンクションタイマパルスユニット (MTU)

表 18.9 MD3 ~ MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2 * ¹
0	1	0	0	位相計数モード 1 * ²
0	1	0	1	位相計数モード 2 * ²
0	1	1	0	位相計数モード 3 * ²
0	1	1	1	位相計数モード 4 * ²
1	0	0	0	リセット同期 PWM モード * ³
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1(山で転送) * ³
1	1	1	0	相補 PWM モード 2(谷で転送) * ³
1	1	1	1	相補 PWM モード 3(山・谷で転送) * ³

【記号説明】 x : Don't care

【注】 *1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

18.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御する 8 ビットのリード/ライト可能なレジスタです。MTU には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

18. マルチファンクションタイムパルスユニット (MTU)

• TIORH_0、TIOR_1、TIORH_3、TIORH_4

ビット	ビット名	初期値	R/W	説明
7	I0B3	0	R/W	I/O コントロール B3~0
6	I0B2	0	R/W	I0B3~I0B0 ビットは TGRB の機能を設定します。 下記の表を参照してください。
5	I0B1	0	R/W	
4	I0B0	0	R/W	
TIORH_0 : 表 18.10 TIOR_1 : 表 18.12 TIOR_2 : 表 18.13 TIORH_3 : 表 18.14 TIORH_4 : 表 18.16				
3	I0A3	0	R/W	I/O コントロール A3~0
2	I0A2	0	R/W	I0A3~I0A0 は TGRA の機能を設定します。 下記の表を参照してください。
1	I0A1	0	R/W	
0	I0A0	0	R/W	
TIORH_0 : 表 18.18 TIOR_1 : 表 18.20 TIOR_2 : 表 18.21 TIORH_3 : 表 18.22 TIORH_4 : 表 18.24				

• TI0RL_0、TI0RL_3、TI0RL_4

ビット	ビット名	初期値	R/W	説明
7	I0D3	0	R/W	I/O コントロール D3~0
6	I0D2	0	R/W	I0D3~I0D0 ビットは TGRD の機能を設定します。 下記の表を参照してください。
5	I0D1	0	R/W	
4	I0D0	0	R/W	
TI0RL_0 : 表 18.11 TI0RL_3 : 表 18.15 TI0RL_4 : 表 18.17				
3	I0C3	0	R/W	I/O コントロール C3~0
2	I0C2	0	R/W	I0C3~I0C0 ビットは TGRC の機能を設定します。 下記の表を参照してください。
1	I0C1	0	R/W	
0	I0C0	0	R/W	
TI0RL_0 : 表 18.19 TI0RL_3 : 表 18.23 TI0RL_4 : 表 18.25				

表 18.10 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説明	
I0B3	I0B2	I0B1	I0B0	TGRB_0 の機能	TI0C0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力

18. マルチファンクションタイマパルスユニット (MTU)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0の機能	TIOC0B 端子の機能
0	1	1	0	アウトプットコンペアレジスタ	初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

表 18.11 TIORL_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力保持* ¹
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持* ¹
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ*

18. マルチファンクションタイムパルスユニット (MTU)

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは0が出力されます。

*2 TMDR_0のBFBビットを1にセットしてTGRD_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャブチャ/アウトプットコンペアは発生しません。

表 18.12 TIOR_1 (チャンネル1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャブチャレジスタ
1	0	0	1	立ち下がりエッジでインプットキャブチャ	
1	0	1	x	両エッジでインプットキャブチャ	
1	1	x	x	TGRC_0のコンペアマッチ/インプットキャブチャの発生でインプットキャブチャ	

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは0が出力されます。

18. マルチファンクションタイムパルスユニット (MTU)

表 18.13 TIOR_2 (チャンネル 2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIORを設定するまでは0が出力されます。

18. マルチファンクションタイムパルスユニット (MTU)

表 18.14 TIORH_3 (チャンネル 3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.15 TIORL_3 (チャンネル3)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*1
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

18. マルチファンクションタイムパルスユニット (MTU)

表 18.16 TIORH_4 (チャンネル4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.17 TIORL_4 (チャンネル4)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4の機能	TIOC4B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*1
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは0が出力されます。

*2 TMDR_4のBFBビットを1にセットして、TGRD_4をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.18 TIORH_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.19 TIORL_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0の機能	TIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*1
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1 / カウントクロック TCNT_1のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット、スタンバイモード遷移後、TIORを設定するまでは0が出力されます。

*2 TMDR_0のBFAビットを1にセットしてTGRC_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

18. マルチファンクションタイムパルスユニット (MTU)

表 18.20 TIOR_1 (チャンネル1)

ビット3	ビット2	ビット1	ビット1	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIORを設定するまでは0が出力されます。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.21 TIOR_2 (チャンネル2)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIORを設定するまでは0が出力されます。

18. マルチファンクションタイムパルスユニット (MTU)

表 18.22 TIORH_3 (チャンネル 3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.23 TIORL_3 (チャンネル3)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3の機能	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット、スタンバイモード遷移後、TIORを設定するまでは0が出力されます。

*2 TMDR_3のBFAビットを1にセットしてTGRC_3をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

18. マルチファンクションタイムパルスユニット (MTU)

表 18.24 TIORH_4 (チャンネル4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 * パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.25 TIORL_4 (チャンネル4)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持*1
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 *1 パワーオンリセット、スタンバイモード遷移後、TIOR を設定するまでは 0 が出力されます。

*2 TMDR_4 の BFA ビットを 1 にセットして、TGRC_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ/アウトプットコンペアは発生しません。

18.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 8 ビットのリード/ライト可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU には、各チャンネル 1 本、計 5 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TGFASEL	0	R/W	TGFA 割り込み/DMA 転送セレクト TGRA の TGFA フラグが 1 にセットされたとき、TGFA フラグによる割り込み要求または DMA 転送要求を選択します。 0 : 割り込み要求 1 : DMA 転送要求
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバーフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

18. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説 明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA)、DMA の転送を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA)、DMA 転送を禁止 1 : TGFA ビットによる割り込み要求 (TGIA)、DMA 転送を許可

【注】 DMA を使用している際、DMA の転送中にタイマインタラプトイネーブルレジスタ (TIER) の設定を変更しないでください。

18.3.5 タイマステータスレジスタ (TSR)

TSR は 8 ビットのリード/ライト可能なレジスタで、各チャンネルのステータスの表示を行います。MTU には、各チャンネル 1 本、計 5 本の TSR があります。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、3、4 の TCNT のカウント方向を示すステータスフラグです。チャンネル 0 ではリザーブビットです。リードすると常に 1 がリードされます。ライトする値は常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット リードすると常に 1 がリードされます。ライトする値は常に 1 にしてください。
5	TCFU	0	R/(W)	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 0、3、4 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。 [セット条件] TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき

18. マルチファンクションタイマパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説 明
4	TCFV	0	R/(W)	<p>オーバーフローフラグ (TCFV)</p> <p>TCNT のオーバーフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TCNT の値がオーバーフローしたとき (H'FFFF H'0000) • チャンネル 4 では相補 PWM モードで TCNT_4 がアンダフローしたとき (H'0001 H'0000) <p>[クリア条件]</p> <ul style="list-style-type: none"> • TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき
3	TGFD	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
2	TGFC	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 がリードされます。ライトする値は常に 0 にしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき

18. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
1	TGFB	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
0	TGFA	0	R/(W)	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき <p>DMA を使用する際は TGFA = 1 の状態で TGFA のリード後の 0 ライトをしないでください。ハードによる自動クリアのみ可能です*。</p>

【注】 * DMA を使用している際、DMA リードサイクル中に DMA アドレスエラーが発生した場合のみ TGFA の 1 リード後の 0 ライトをしてください。

18.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 5 本の TCNT があります。

TCNT は、パワーオンリセットまたはスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

18.3.8 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の動作/停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット リードすると常に 0 がリードされます。ライトする値は常に 0 としてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

18. マルチファンクションタイマパルスユニット (MTU)

18.3.9 タイマシンクロレジスタ (TSYR)

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SYNC4 SYNC3	0 0	R/W R/W	<p>タイマ同期 4、3</p> <p>他のチャンネルとの独立動作または同期動作を選択します。</p> <p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係)</p> <p>1 : TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット/同期クリアが可能</p>
5~3	-	すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 がリードされます。ライトする値は常に 0 としてください。</p>
2 1 0	SYNC2 SYNC1 SYNC0	0 0 0	R/W R/W R/W	<p>タイマ同期 2~0</p> <p>他のチャンネルとの独立動作または同期動作を選択します。</p> <p>同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。</p> <p>同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。</p> <p>0 : TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係)</p> <p>1 : TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能</p>

18.3.10 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと、正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。TOER レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット
6	-	1	R	リードすると 1 がリードされます。ライトする値は常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU 出力を許可 / 禁止します。 0 : MTU 出力禁止 1 : MTU 出力許可

18. マルチファンクションタイマパルスユニット (MTU)

18.3.11 タイマアウトプットコントロールレジスタ (TOCR)

TOCR は、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。TOCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0 : トグル出力を禁止 1 : トグル出力を許可
5~2	-	すべて 0	R	リザーブビット リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
1	OLSN	0	R/W	出力レベルセレクト N リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 18.26 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 18.27 を参照してください。

表 18.26 出力レベルセレクト機能

ビット 1	機能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 * 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 18.27 出力レベルセレクト機能

ビット 0	機能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 18.2 に示します。

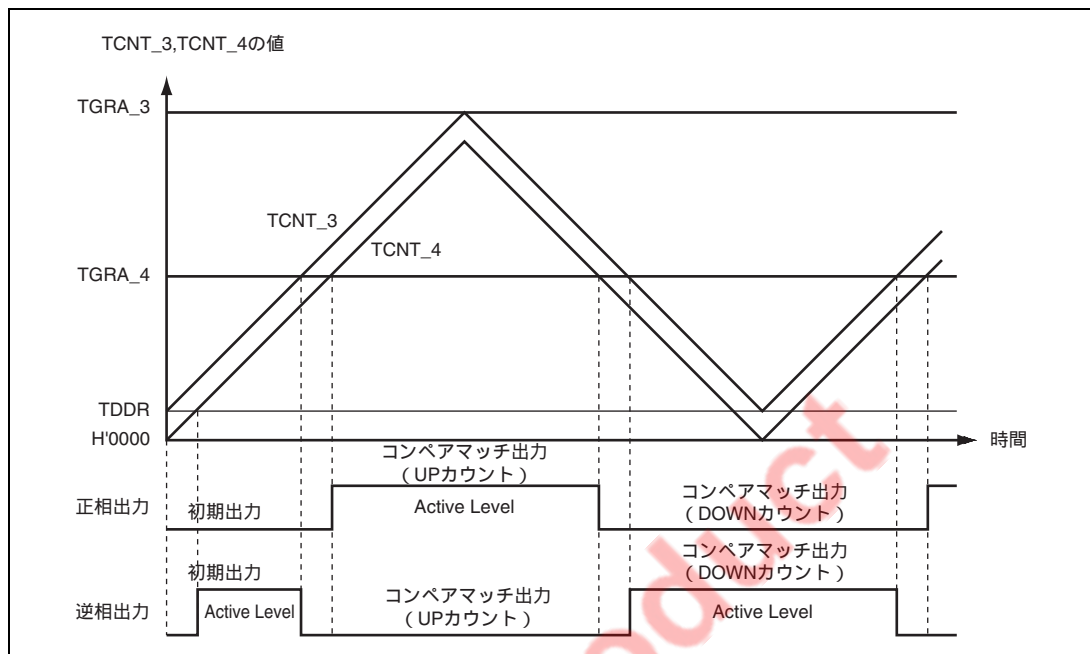


図 18.2 相補 PWM モードの出力レベルの例

18.3.12 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット	ビット名	初期値	R/W	説明
7	-	1	R	リザーブビット リードすると 1 がリードされます。ライトする値は常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタ (TGCR) の機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を ON 出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力

18. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説 明
4	P	0	R/W	ビット 4 : 正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を ON 出力時、レベル出力をするか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0 : レベル出力 1 : リセット同期 PWM / 相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り替えを MTU / チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0 : 出力の切り替えは、外部入力 (入力元は、チャンネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1 : 出力の切り替えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り替え 2~0
1	VF	0	R/W	正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定はレジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代わりになります。表 18.28 を参照してください。
0	UF	0	R/W	

表 18.28 出力レベルセレクト機能

ビット 2	ビット 1	ビット 0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
			U 相	V 相	W 相	U 相	V 相	W 相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

18.3.13 タイマサブカウンタ (TCNTS)

TCNTS は相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。

【注】 TCNTS の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.3.14 タイマデッドタイムデータレジスタ (TDDR)

TDDR は相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。

【注】 TDDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.3.15 タイマ周期データレジスタ (TCDR)

TCDR は相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます (ダウンカウント アップカウント)。

【注】 TCDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.3.16 タイマ周期バッファレジスタ (TCBR)

TCBR は相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。

【注】 TCBR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

18.3.17 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、およびタイマ周期データレジスタ (TCDR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

18.4 動作説明

18.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

TSTR の CST0 ~ CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 18.3 に示します。



図 18.3 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

MTU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 18.4 に示します。

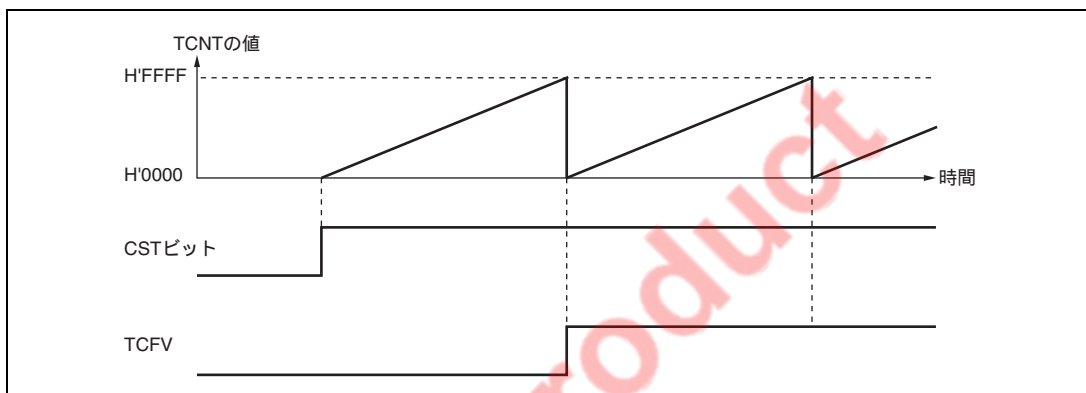


図 18.4 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 18.5 に示します。

18. マルチファンクションタイマパルスユニット (MTU)

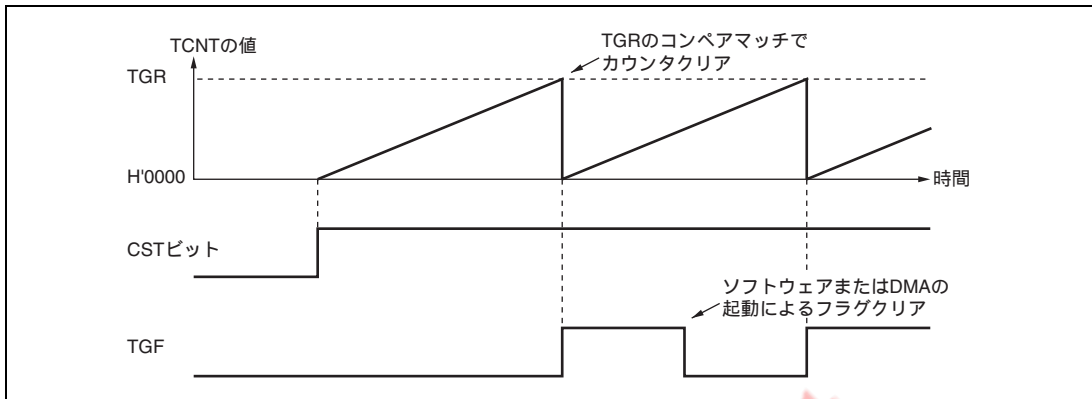


図 18.5 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 18.6 に示します。

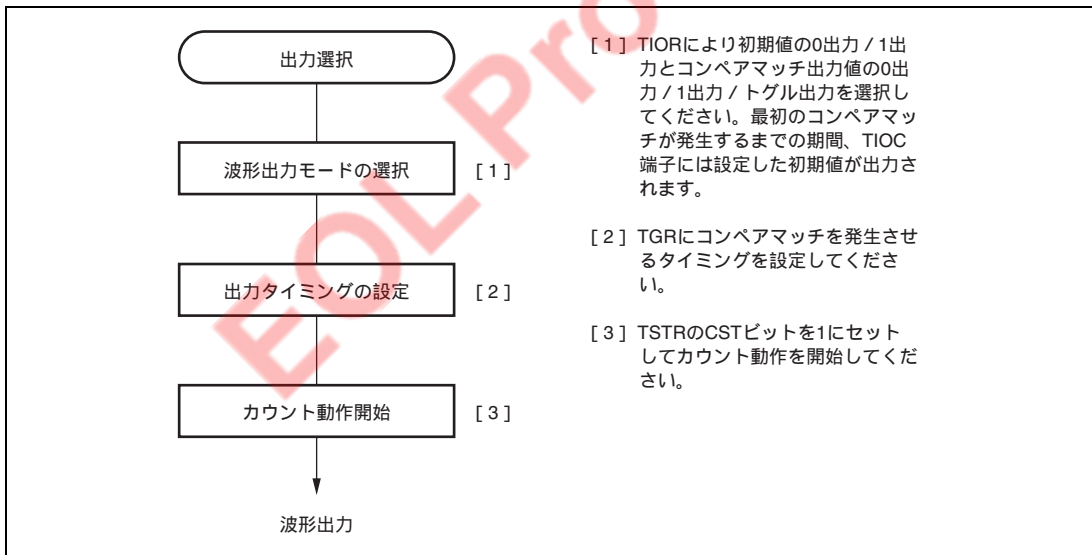


図 18.6 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 18.7 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

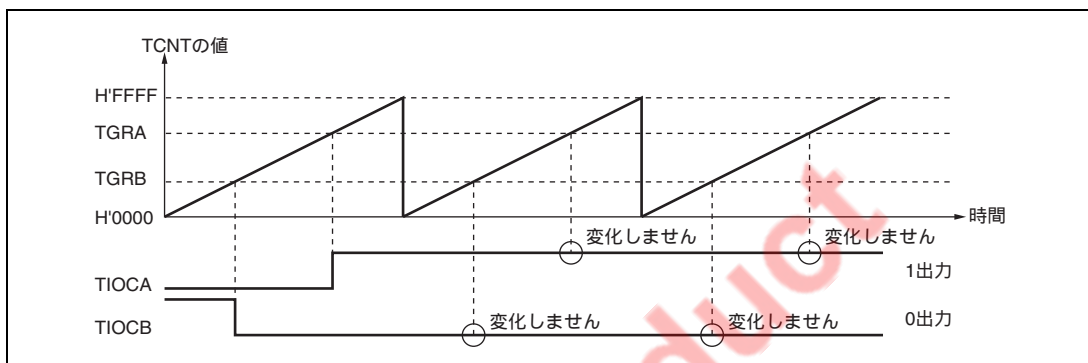


図 18.7 0 出力 / 1 出力の動作例

トグル出力の例を図 18.8 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

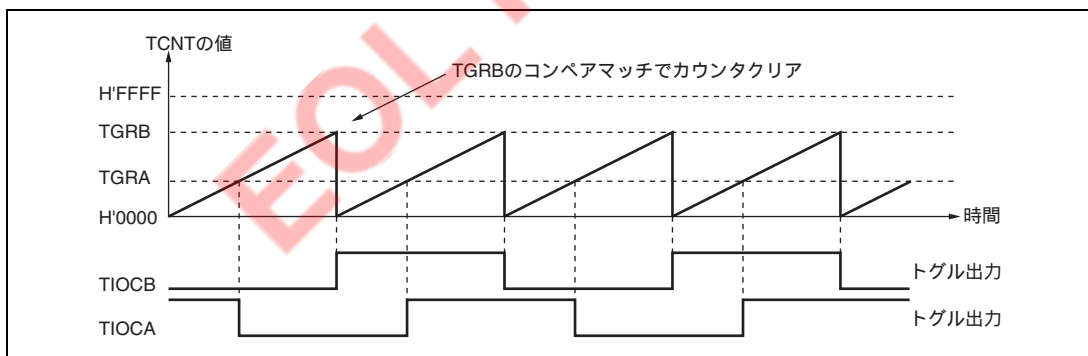


図 18.8 トグル出力の動作例

18. マルチファンクションタイムパルスユニット (MTU)

(3) インットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインットキャプチャ入力とする場合は、インットキャプチャ入力とするカウント入力クロックに /1 を選択しないでください。 /1 を選択した場合は、インットキャプチャは発生しません。

(a) インットキャプチャ動作の設定手順例

インットキャプチャ動作の設定手順例を図 18.9 に示します。



図 18.9 インットキャプチャ動作の設定例

(b) インットキャプチャ動作例

インットキャプチャ動作例を図 18.10 に示します。

TIOCA 端子のインットキャプチャ入力エッジは、立ち上がり / 立ち下がりの両エッジ、また TIOCB 端子のインットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインットキャプチャでカウンタクリアされるように設定した場合の例です。

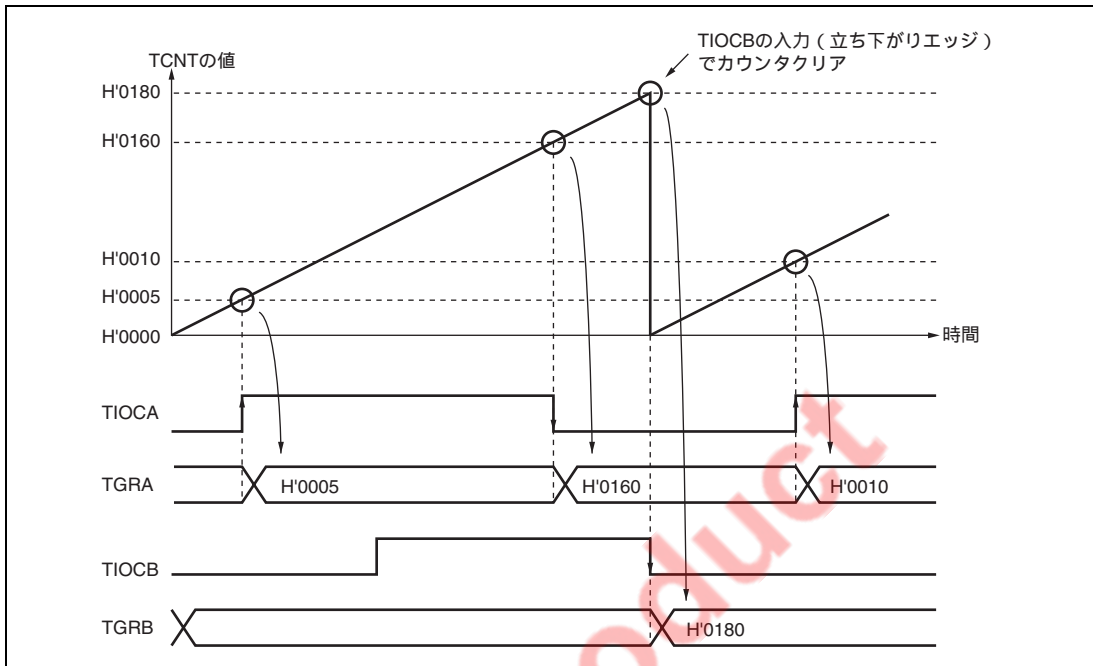


図 18.10 インプットキャプチャ動作例

18.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 18.11 に示します。

18. マルチファンクションタイマパルスユニット (MTU)

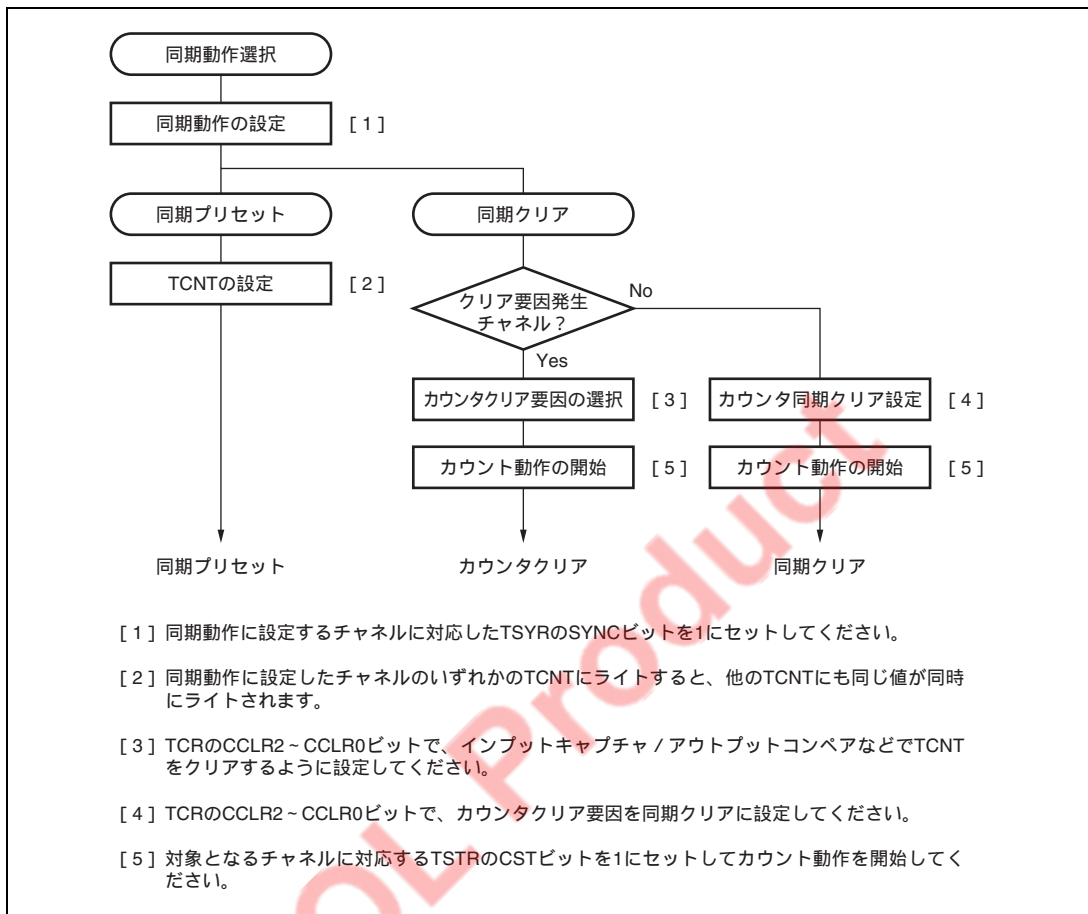


図 18.11 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 18.12 に示します。

チャンネル0～2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGRB_0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOC0A、TIOC1A、TIOC2A端子から出力します。このとき、チャンネル0～2のTCNTは同期プリセット、TGRB_0のコンペアマッチによる同期クリアを行い、TGRB_0に設定したデータがPWM周期となります。

PWMモードについては、「18.4.5 PWMモード」を参照してください。

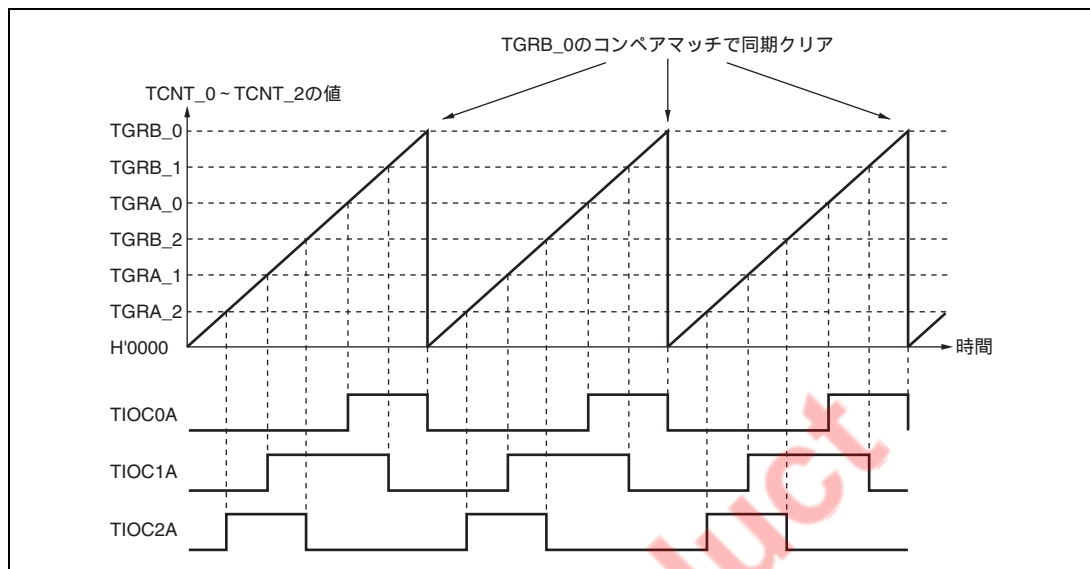


図 18.12 同期動作の動作例

18.4.3 バッファ動作

バッファ動作は、チャンネル0、3、4が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 18.29 にバッファ動作時のレジスタの組み合わせを示します。

表 18.29 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 18.13 に示します。

18. マルチファンクションタイマパルスユニット (MTU)

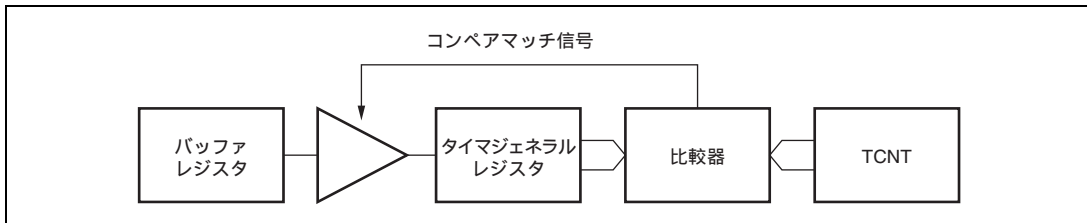


図 18.13 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 18.14 に示します。

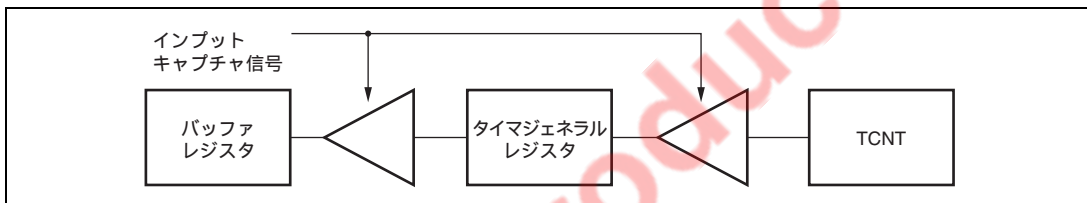


図 18.14 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 18.15 に示します。



図 18.15 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図18.16に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「18.4.5 PWMモード」を参照してください。

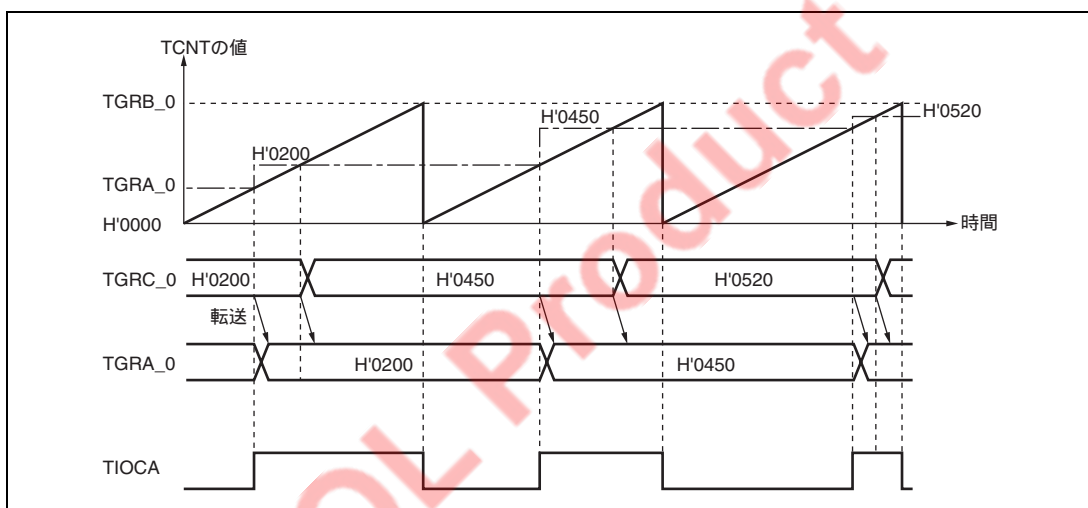


図 18.16 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRAをインプットキャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図18.17に示します。

TCNTはTGRAのインプットキャプチャでカウンタクリア、TIOCA端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

18. マルチファンクションタイマパルスユニット (MTU)

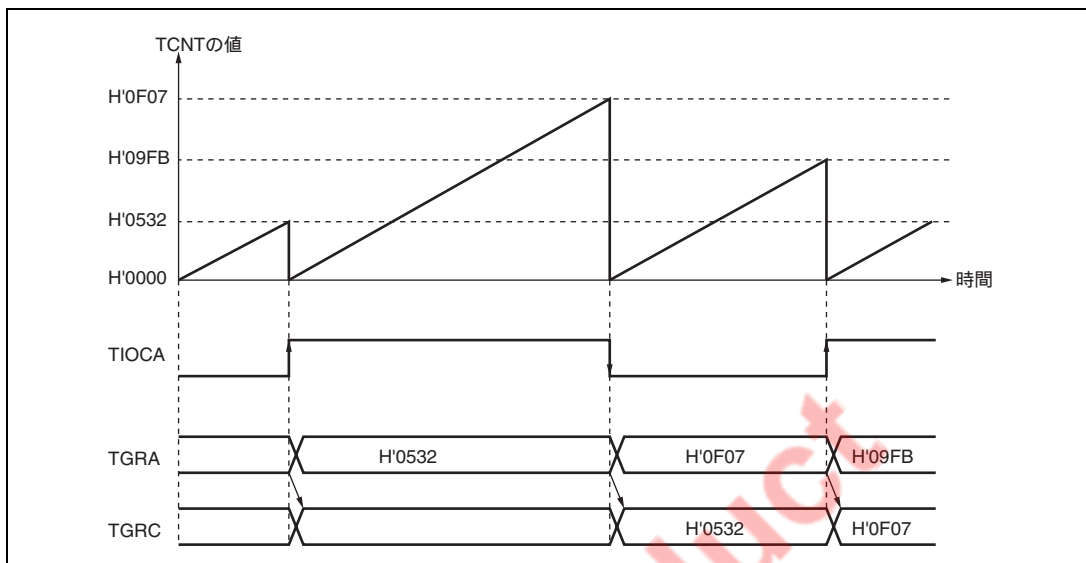


図 18.17 バッファ動作例 (2)

18.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT_2のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 18.30 にカスケード接続の組み合わせを示します。

【注】 チャンネル1を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 18.30 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 18.18 に示します。

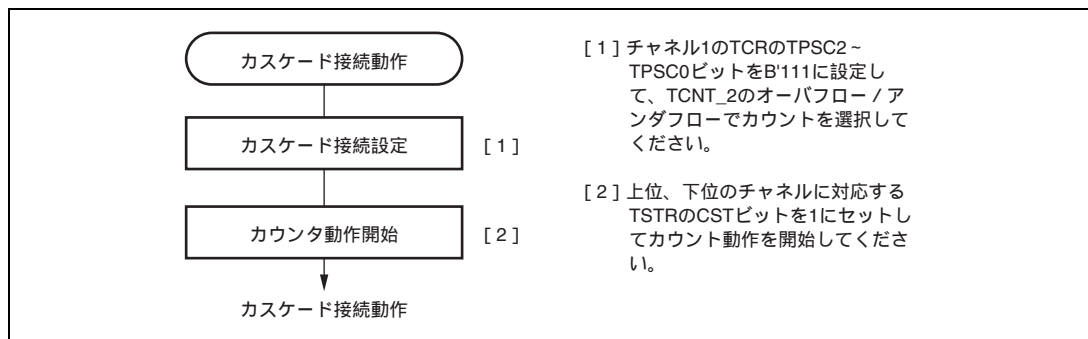


図 18.18 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 18.19 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

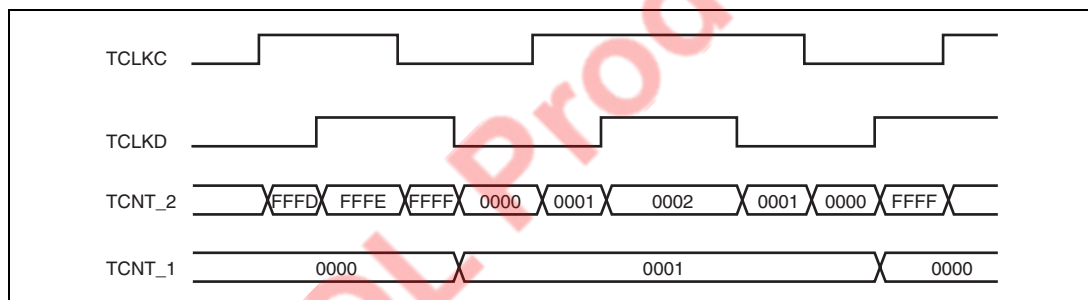


図 18.19 カスケード接続動作例

18.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

18. マルチファンクションタイマパルスユニット (MTU)

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOCR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOCR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 18.31 に示します。

表 18.31 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(2) PWM モードの設定手順例

PWM モードの設定手順例を図 18.20 に示します。

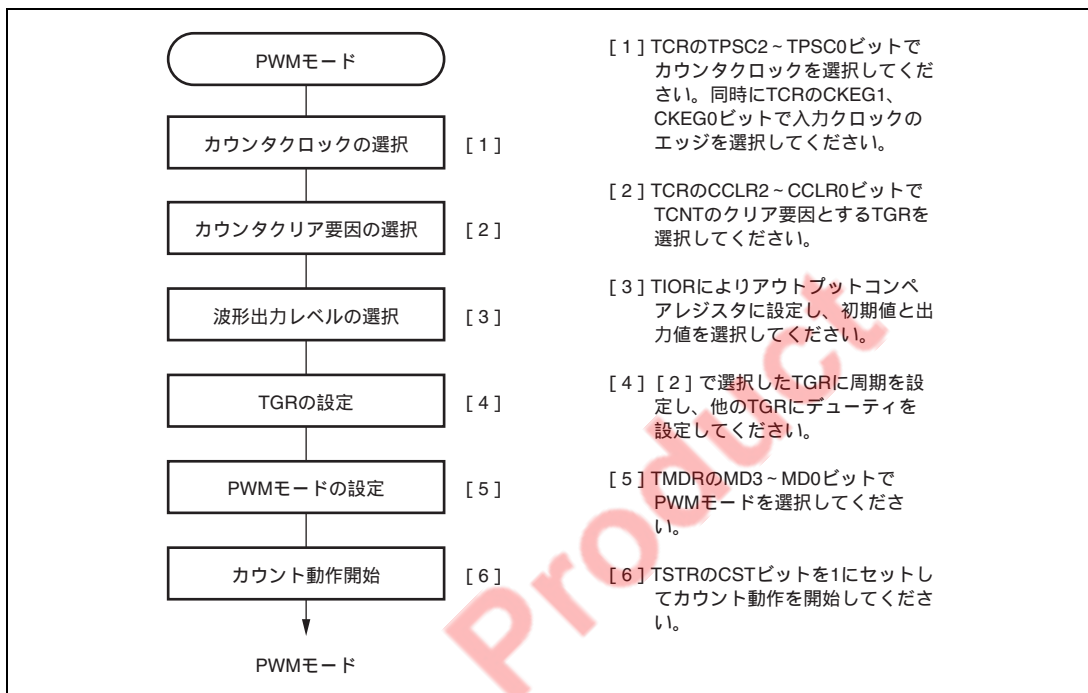


図 18.20 PWM モードの設定手順例

(3) PWM モードの動作例

PWM モード 1 の動作例を図 18.21 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

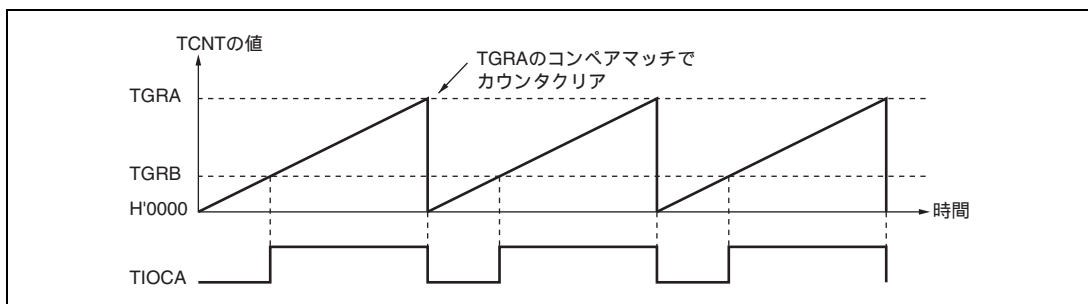


図 18.21 PWM モードの動作例 (1)

18. マルチファンクションタイマパルスユニット (MTU)

PWM モード 2 の動作例を図 18.22 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0 ~ TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

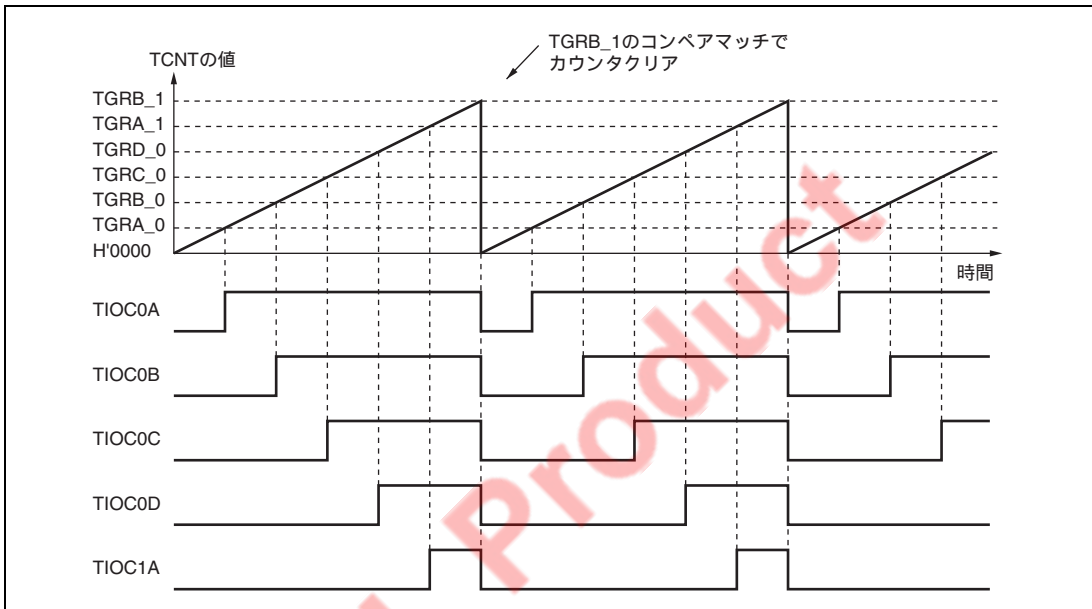


図 18.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 18.23 に示します。

18. マルチファンクションタイマパルスユニット (MTU)

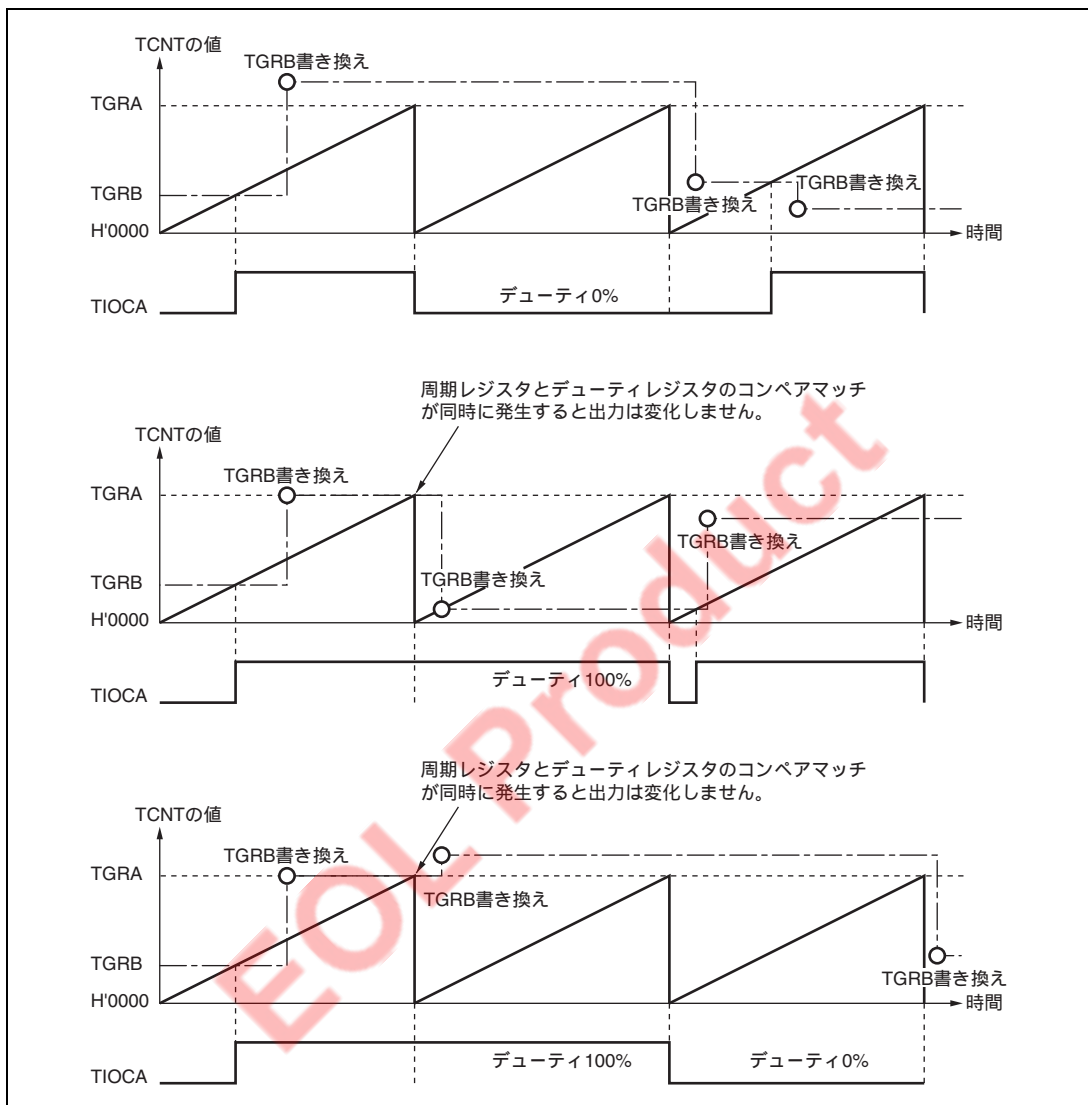


図 18.23 PWM モードの動作例 (3)

18.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 18.32 に外部クロック端子とチャンネルの対応を示します。

表 18.32 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 18.24 に示します。

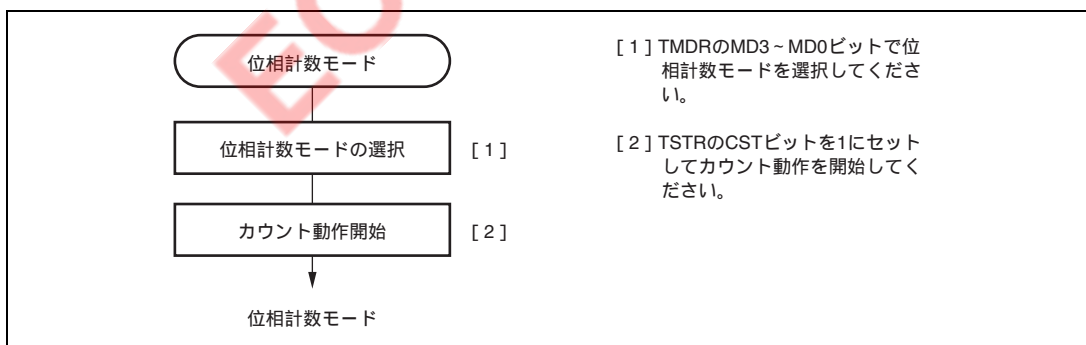


図 18.24 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図18.25に、TCNTのアップ/ダウンカウント条件を表18.33に示します。

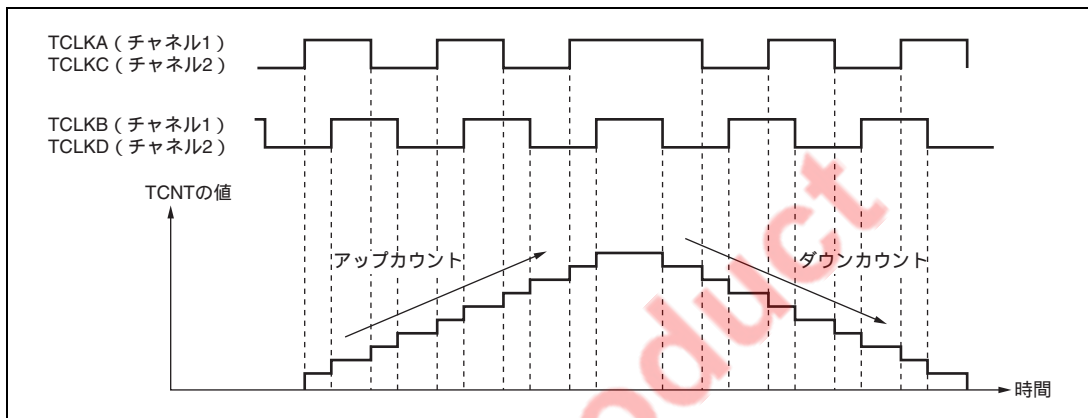


図 18.25 位相計数モード1の動作例

表 18.33 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

18. マルチファンクションタイマパルスユニット (MTU)

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 18.26 に、TCNT のアップ/ダウンカウント条件を表 18.34 に示します。

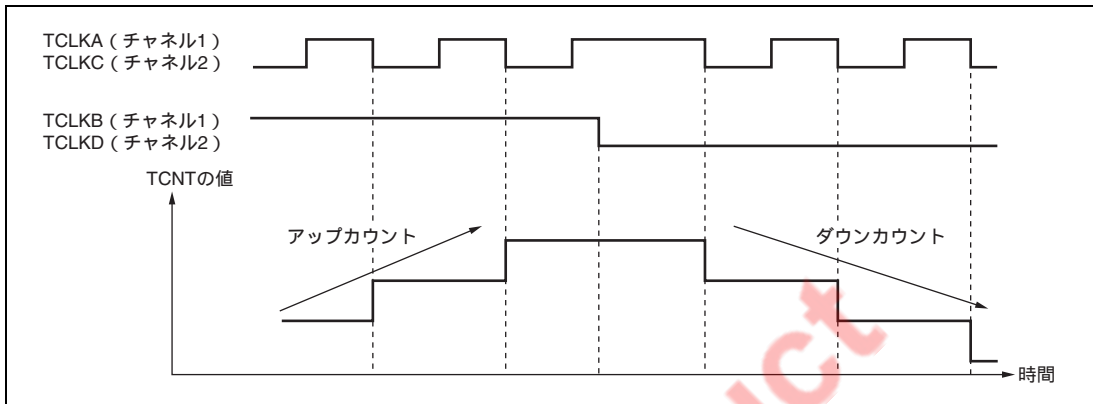


図 18.26 位相計数モード 2 の動作例

表 18.34 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	カウントしない (Don't care)
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 18.27 に、TCNT のアップ/ダウンカウント条件を表 18.35 に示します。

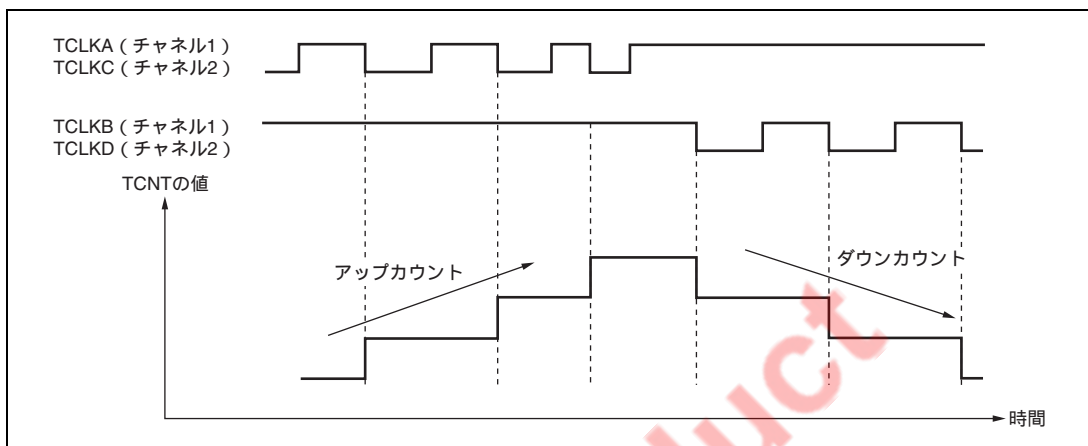


図 18.27 位相計数モード 3 の動作例

表 18.35 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

18. マルチファンクションタイマパルスユニット (MTU)

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 18.28 に、TCNT のアップ/ダウンカウント条件を表 18.36 に示します。

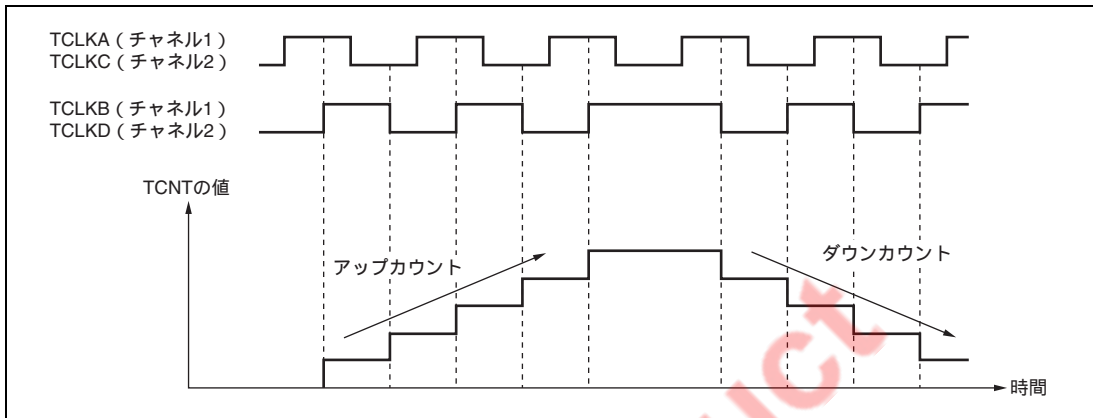


図 18.28 位相計数モード 4 の動作例

表 18.36 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図18.29に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入カロックとし、2相エンコーダの4倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。これにより、正確な位置/速度検出を行うことができます。

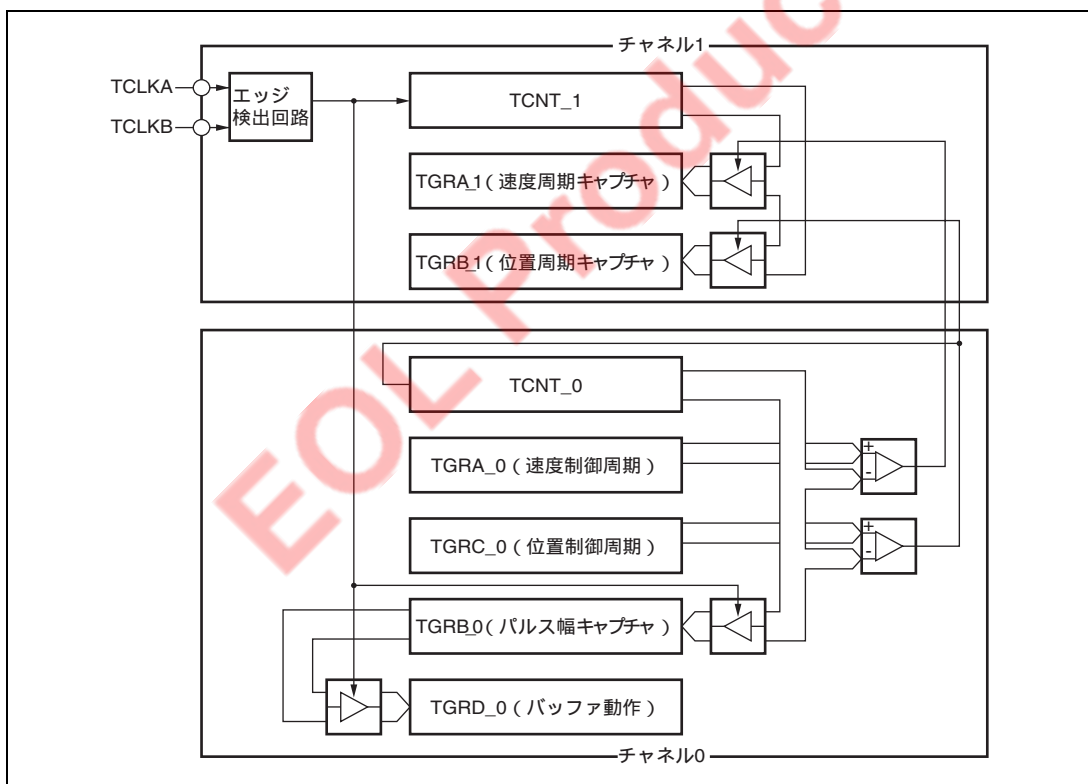


図 18.29 位相計数モードの応用例

18. マルチファンクションタイマパルスユニット (MTU)

18.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 18.37 に、使用するレジスタの設定を表 18.38 に示します。

表 18.37 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 18.38 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 18.30 に示します。

18. マルチファンクションタイマパルスユニット (MTU)



図 18.30 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 18.31 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

18. マルチファンクションタイマパルスユニット (MTU)

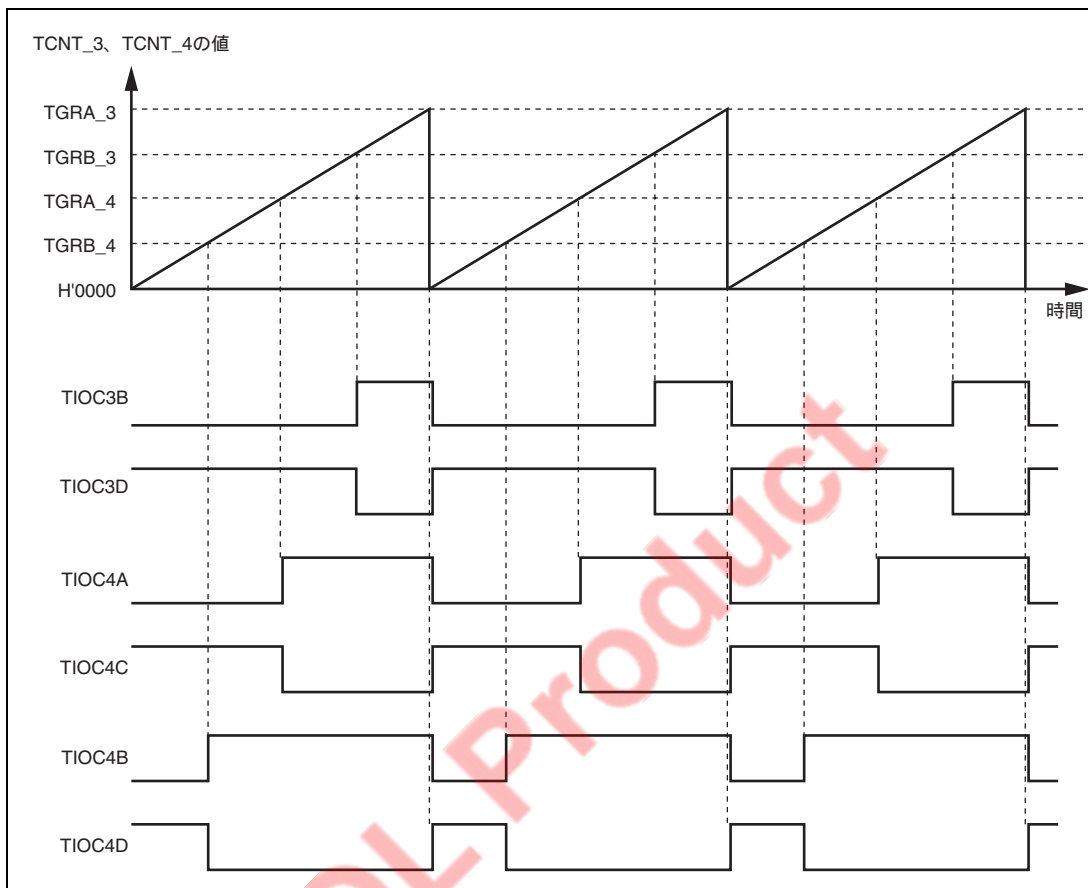


図 18.31 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

18.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 18.39 に、使用するレジスタの設定を表 18.40 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 18.39 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形)

表 18.40 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	PTE/PEMURWE の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	PTE/PEMURWE の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	PTE/PEMURWE の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	PTE/PEMURWE の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	PTE/PEMURWE の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	PTE/PEMURWE の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能
タイマデッドタイムデータレジスタ (TDDR)		TCNT_4 と TCNT_3 のオフセット値 (デッドタイムの値) を設定	PTE/PEMURWE の設定*によりマスク可能

18. マルチファンクションタイマパルスユニット (MTU)

チャンネル	カウンタ / レジスタ	説明	CPUからの読み出し / 書き込み
	タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	PTE/PEMTURWE の設定*によりマスク可能
	タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し / 書き込み可能
	サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可
	テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可

【注】 * PTE/PEMTURWE (ポート E / ポート E MTU リードライトイネーブルレジスタ) のビット 0 (MTURWE ビット) の設定によりアクセスの許可 / 禁止が可能です。

18. マルチファンクションタイムパルスユニット (MTU)

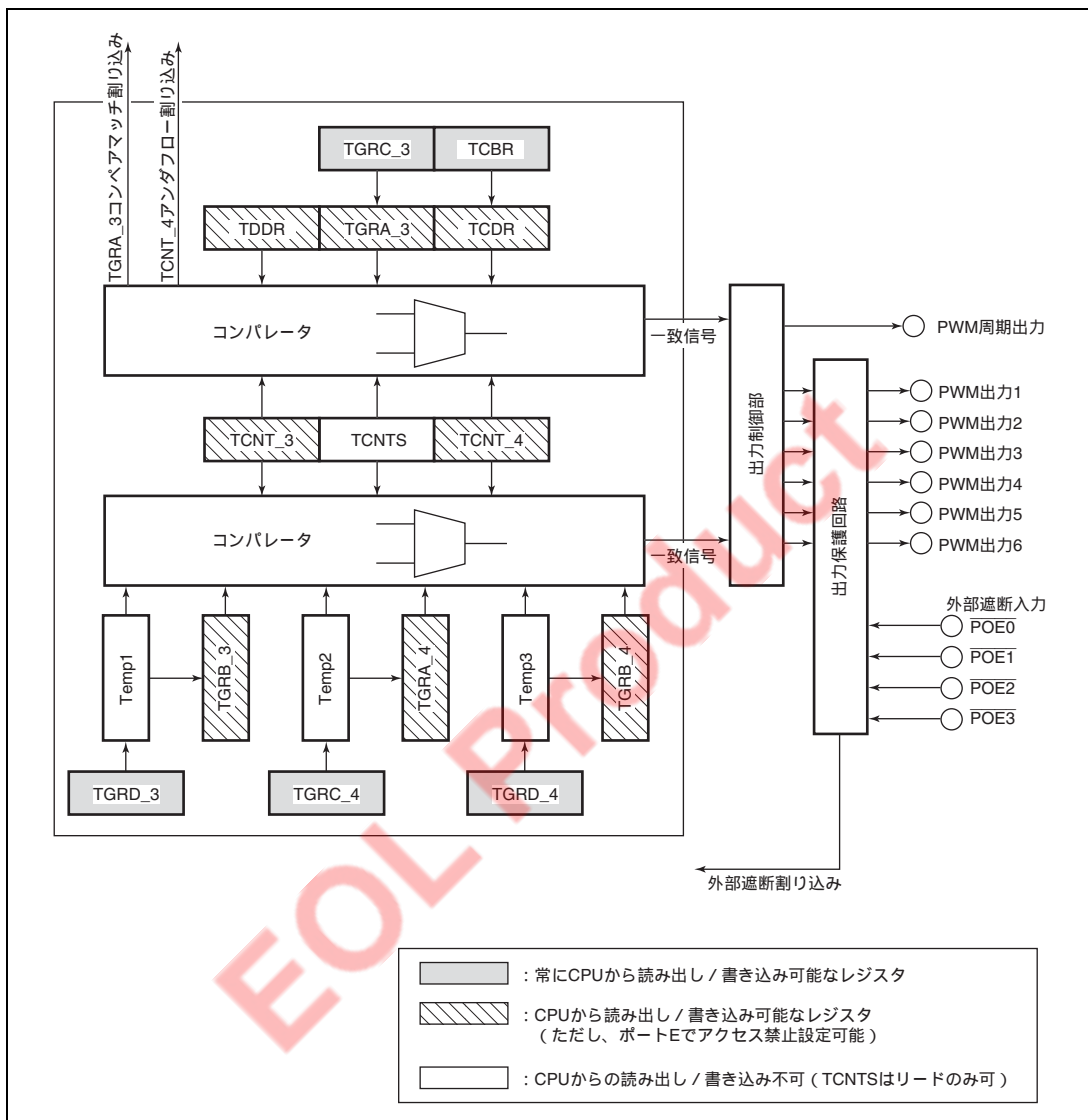


図 18.32 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 18.33 に示します。

18. マルチファンクションタイマパルスユニット (MTU)



図 18.33 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相のPWM出力が可能です。図 18.34 に相補 PWM モードのカウンタの動作を示します。図 18.35 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCNT_3 と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

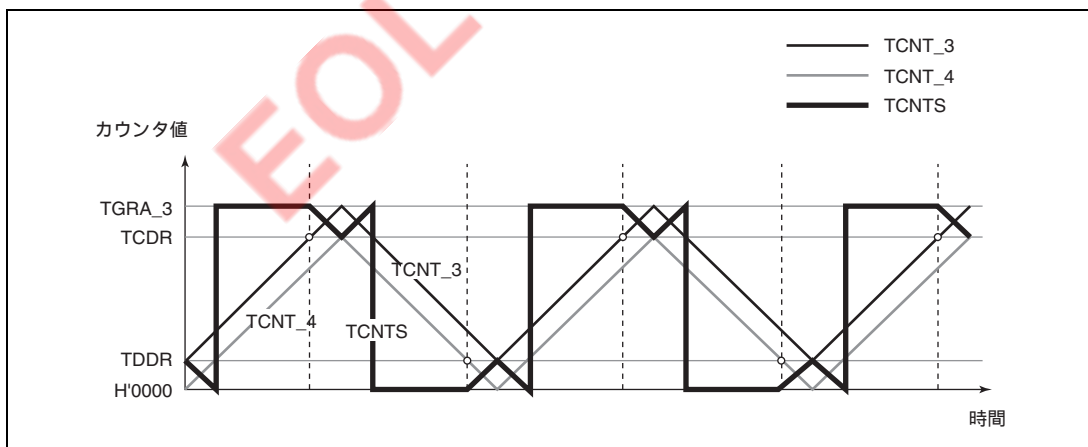


図 18.34 相補 PWM モードのカウンタ動作

18. マルチファンクションタイマパルスユニット (MTU)

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 18.35 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 18.35 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 18.35 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

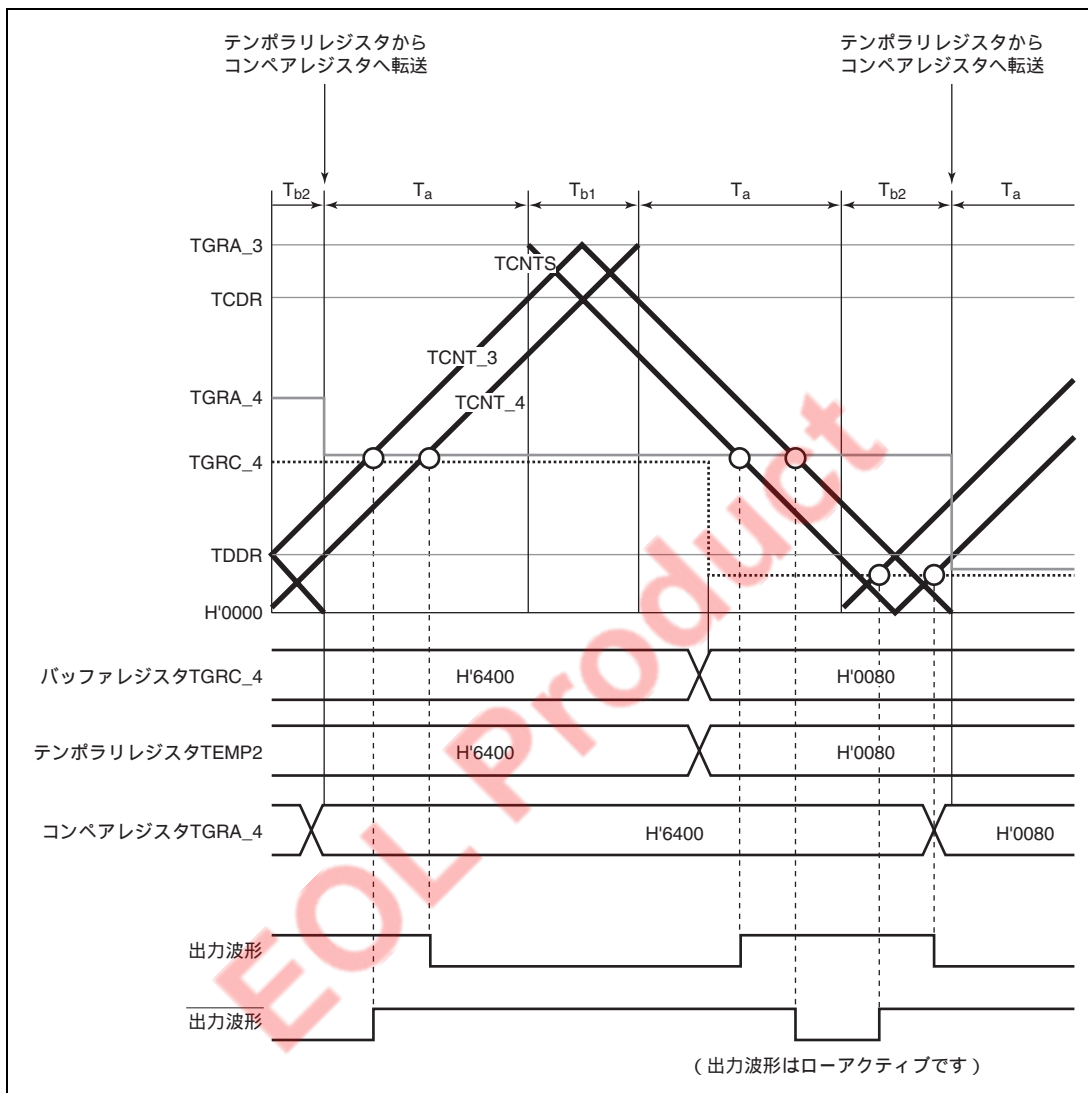


図 18.35 相補 PWM モード動作例

(c) 初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3 は TGRA_3 のバッファレジスタとして動作し、PWM キャリア周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T_d を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

18. マルチファンクションタイマパルスユニット (MTU)

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時に各々対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 18.41 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TGRC_3	PWM キャリア周期の 1/2 + デッドタイム Td
TDDR	デッドタイム Td
TCBR	PWM キャリア周期の 1/2
TGRD_3, TGRC_4, TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の 1/2 の値と TDDR に設定するデッドタイム Td の値の和としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイムと呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

$$\text{TGRA}_3 \text{ の設定値} = \text{TCDR の設定値} + \text{TDDR の設定値}$$

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 18.36 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(g) レジスタデータの更新」の項を参照してください。

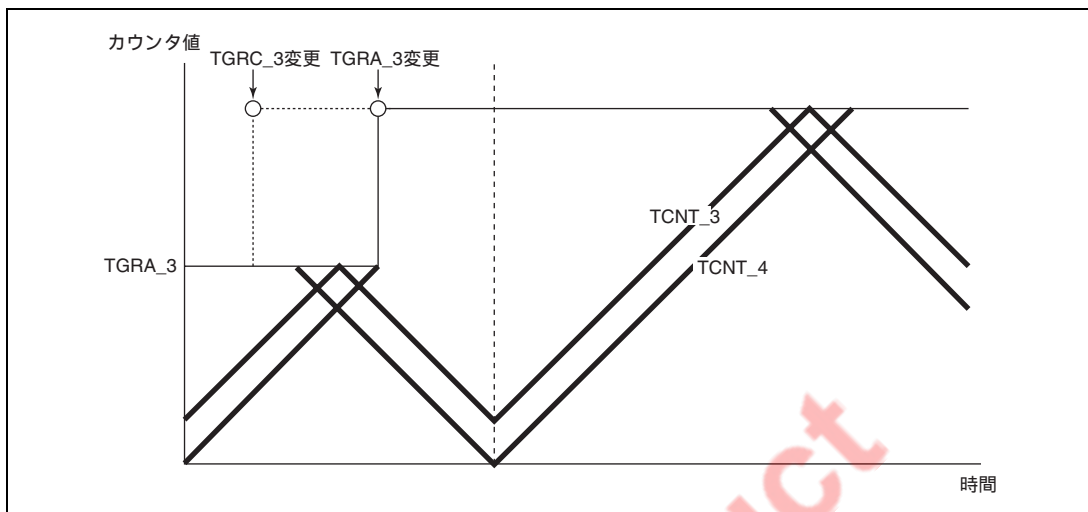


図 18.36 PWM 周期の変更例

(g) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えられます。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 18.37 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

18. マルチファンクションタイムパルスユニット (MTU)

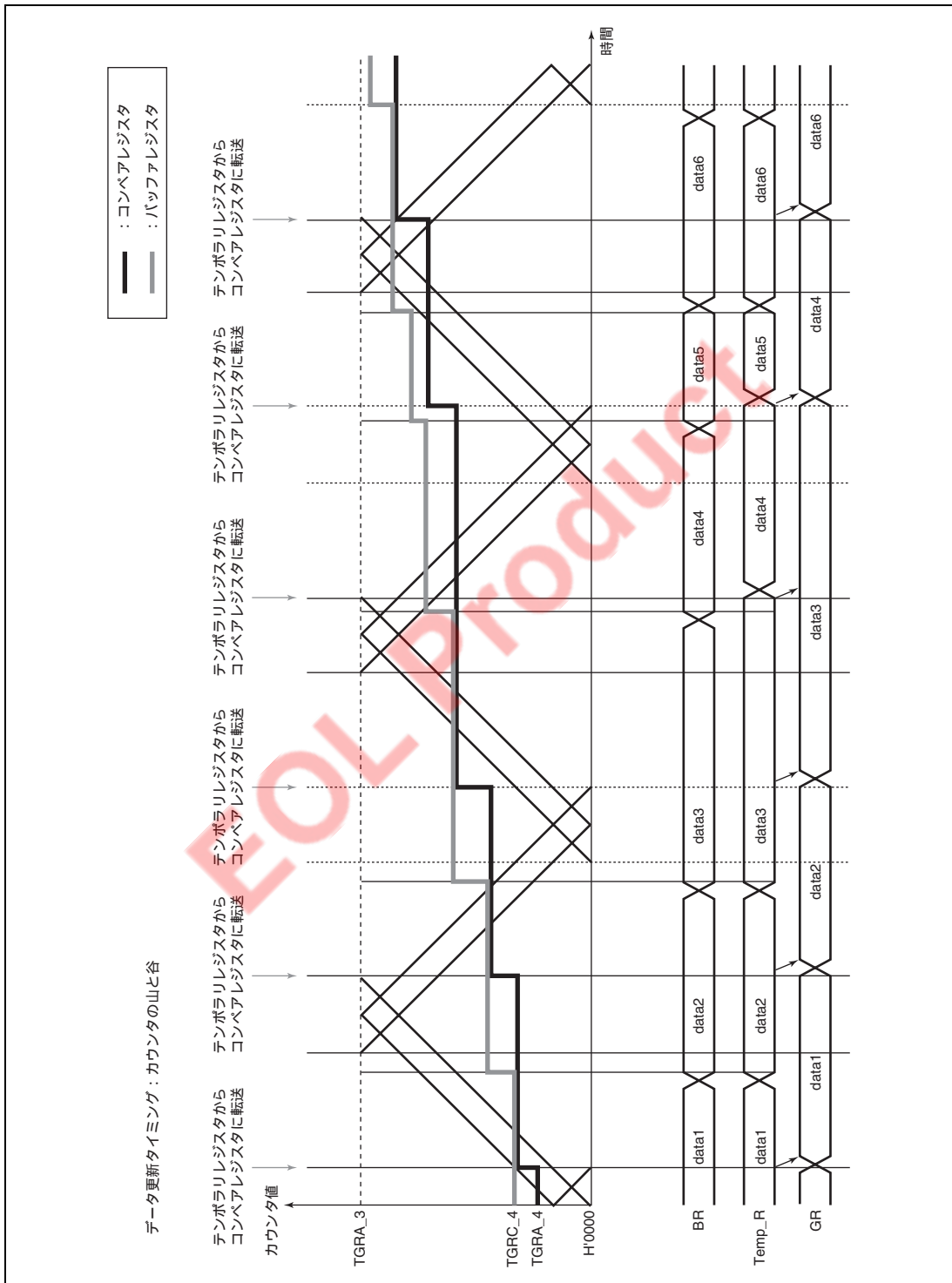


図 18.37 相補 PWM モードのデータ更新例

(h) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 18.38 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 18.39 に示します。

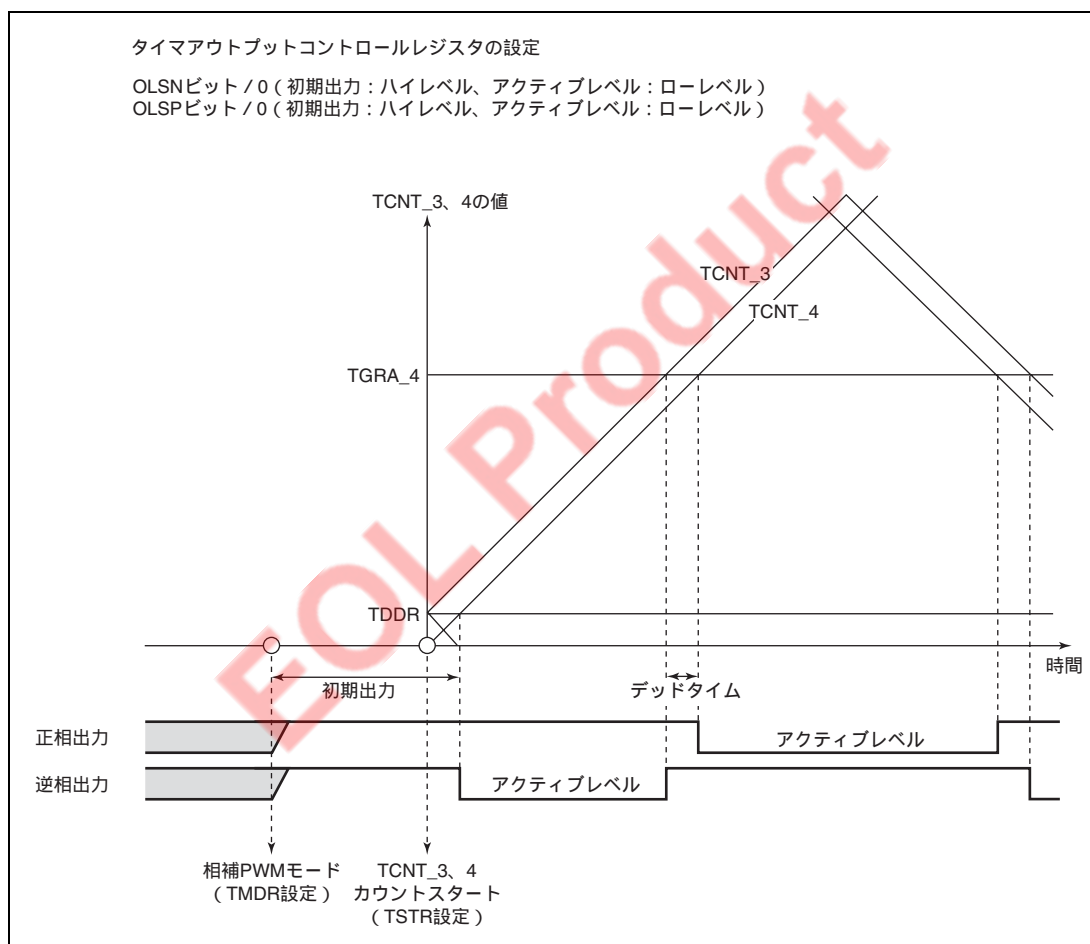


図 18.38 相補 PWM モードの初期出力例 (1)

18. マルチファンクションタイマパルスユニット (MTU)

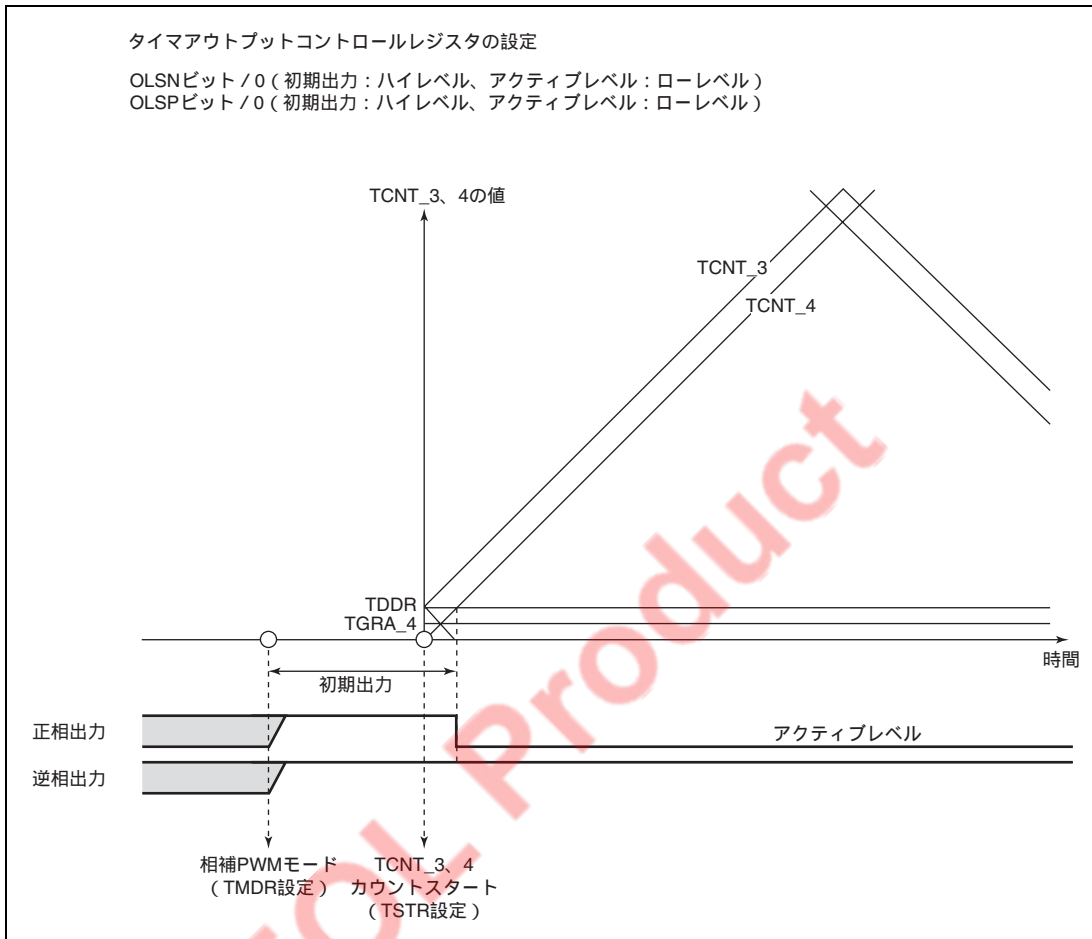


図 18.39 相補 PWM モードの初期出力例 (2)

(i) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとデータレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、データレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。

図 18.40 ~ 図 18.42 に相補 PWM モードの波形生成例を示します。

18. マルチファンクションタイマパルスユニット (MTU)

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 18.40 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 18.41 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 18.42 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

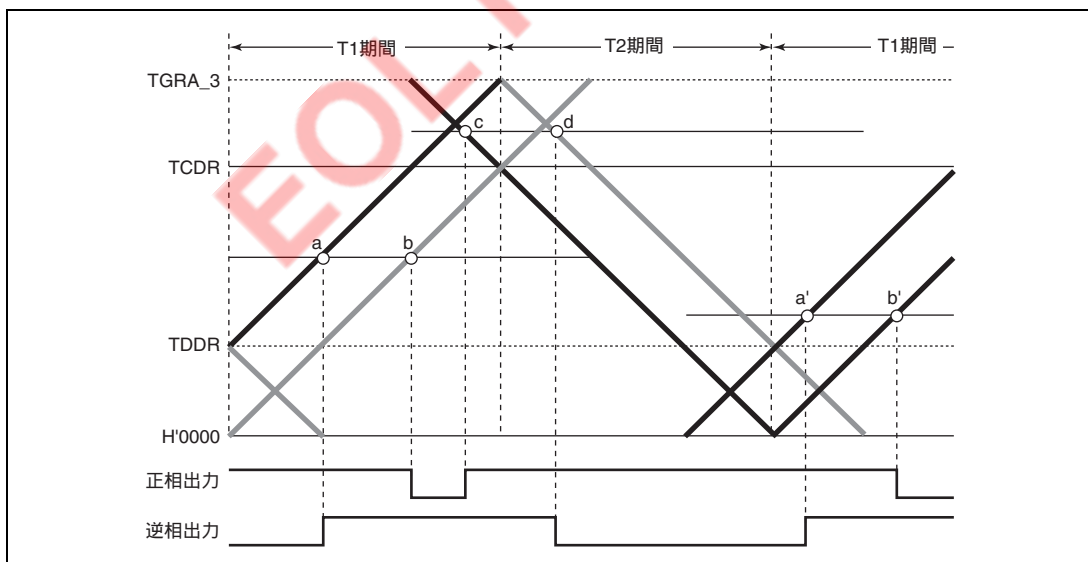


図 18.40 相補 PWM モード波形出力例 (1)

18. マルチファンクションタイマパルスユニット (MTU)

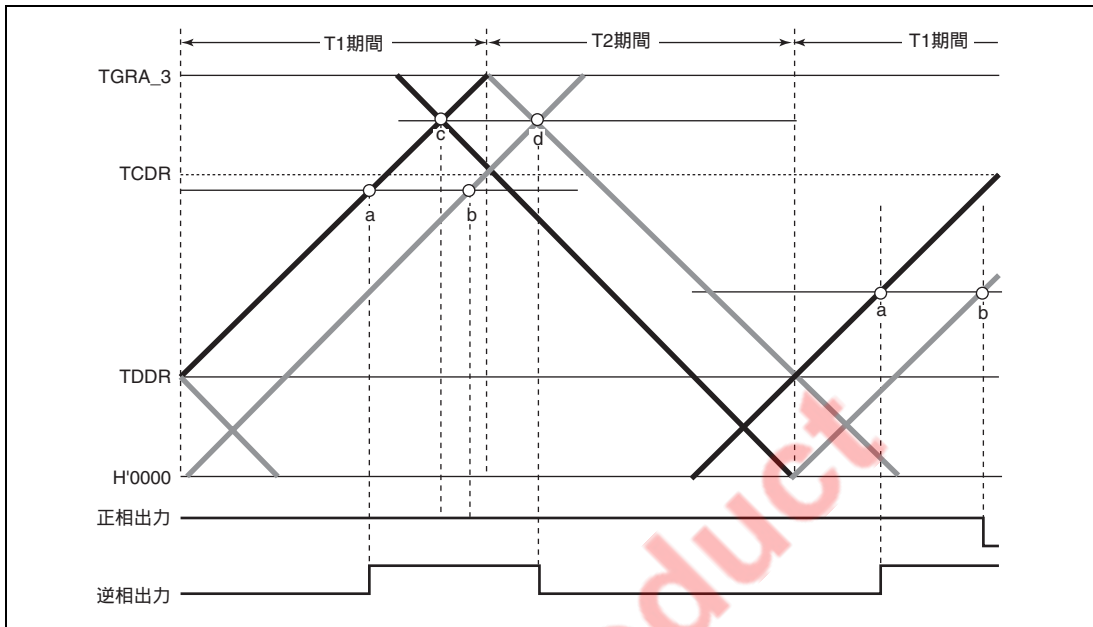


図 18.41 相補 PWM モード波形出力例 (2)

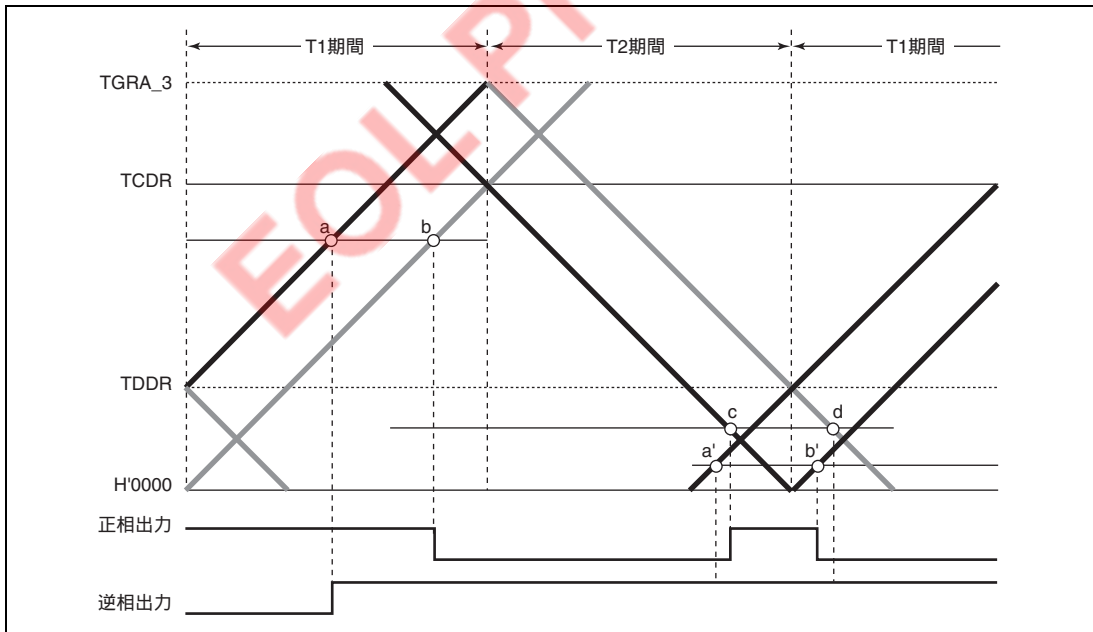


図 18.42 相補 PWM モード波形出力例 (3)

(j) 相補 PWM モードのデューティ 0%、100%出力

相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 18.43～図 18.47 に出力例を示します。

デューティ 100%出力は、データレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、データレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

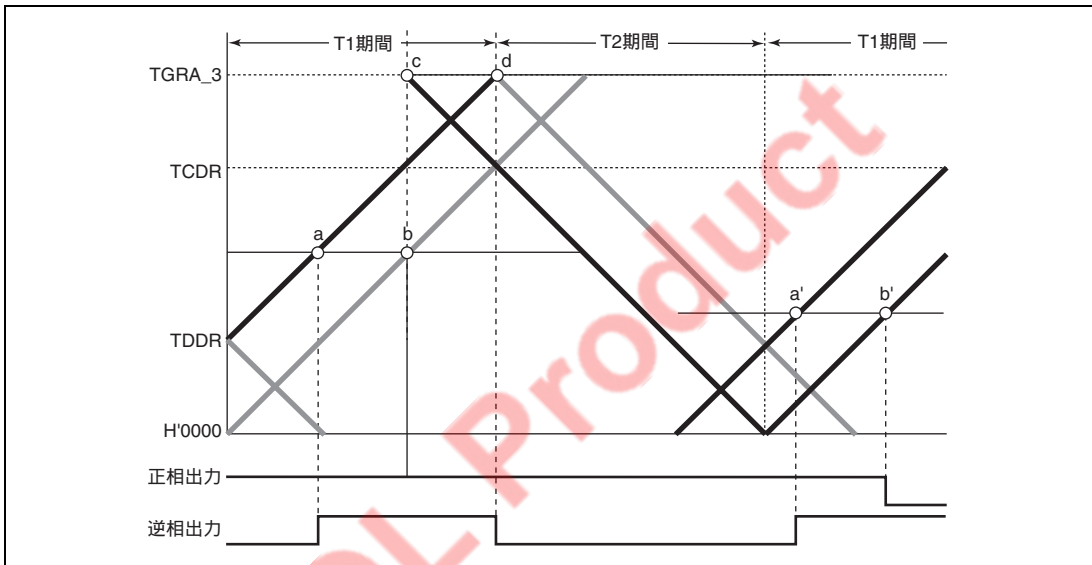


図 18.43 相補 PWM モード 0%、100%波形出力例 (1)

18. マルチファンクションタイマパルスユニット (MTU)

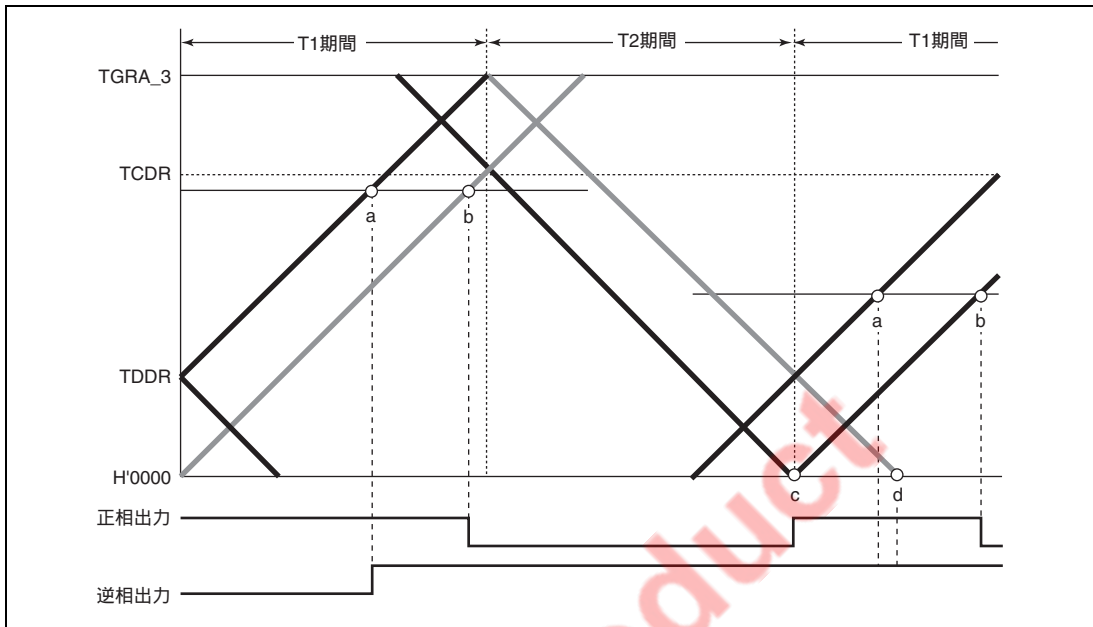


図 18.44 相補 PWM モード 0%、100%波形出力例 (2)

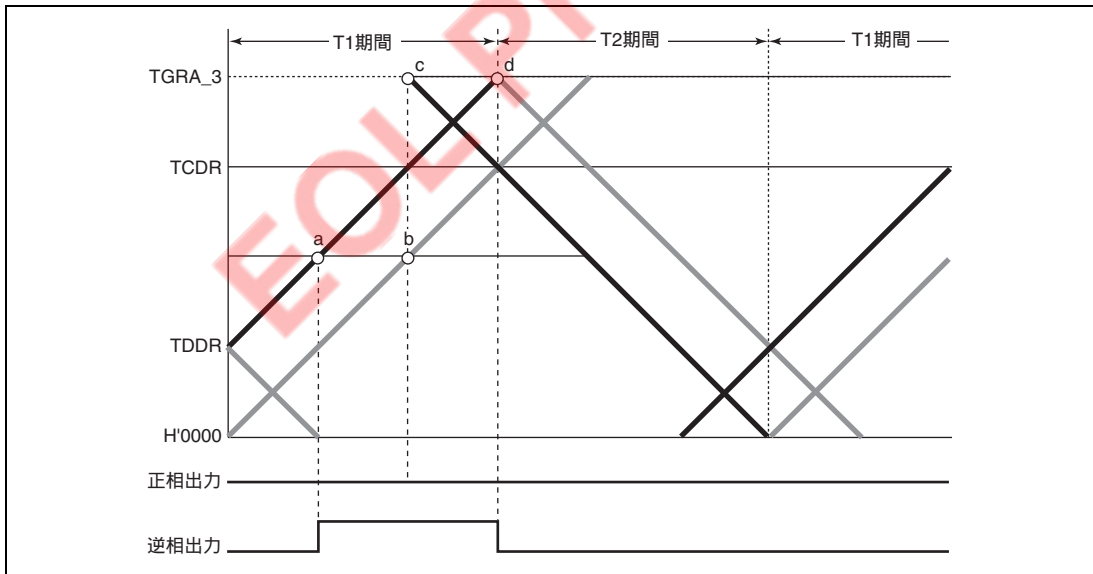


図 18.45 相補 PWM モード 0%、100%波形出力例 (3)

18. マルチファンクションタイムパルスユニット (MTU)

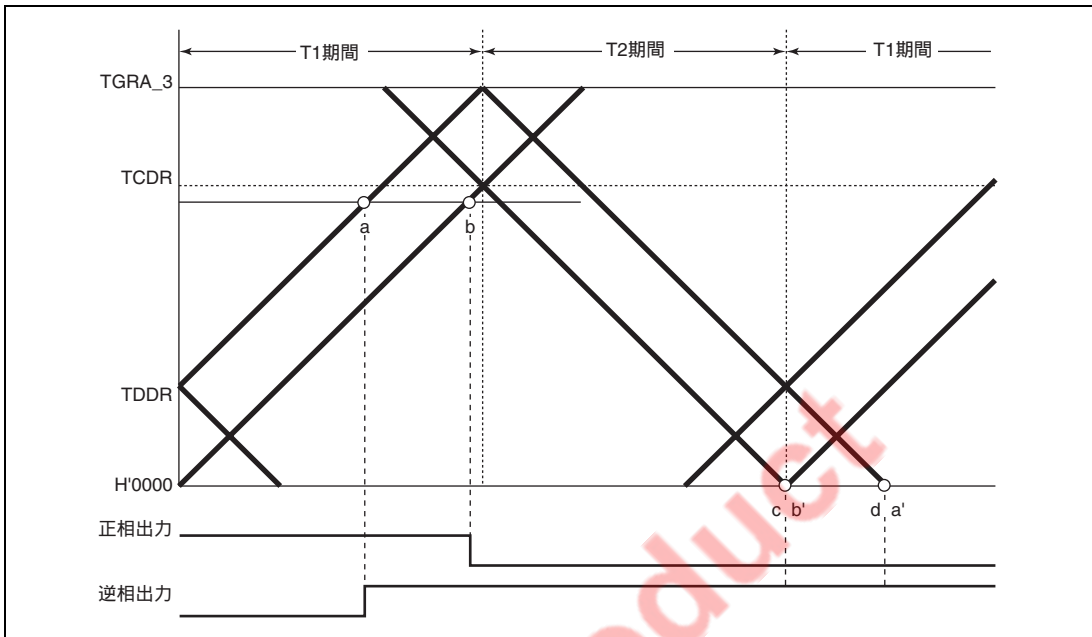


図 18.46 相補 PWM モード 0%、100%波形出力例 (4)

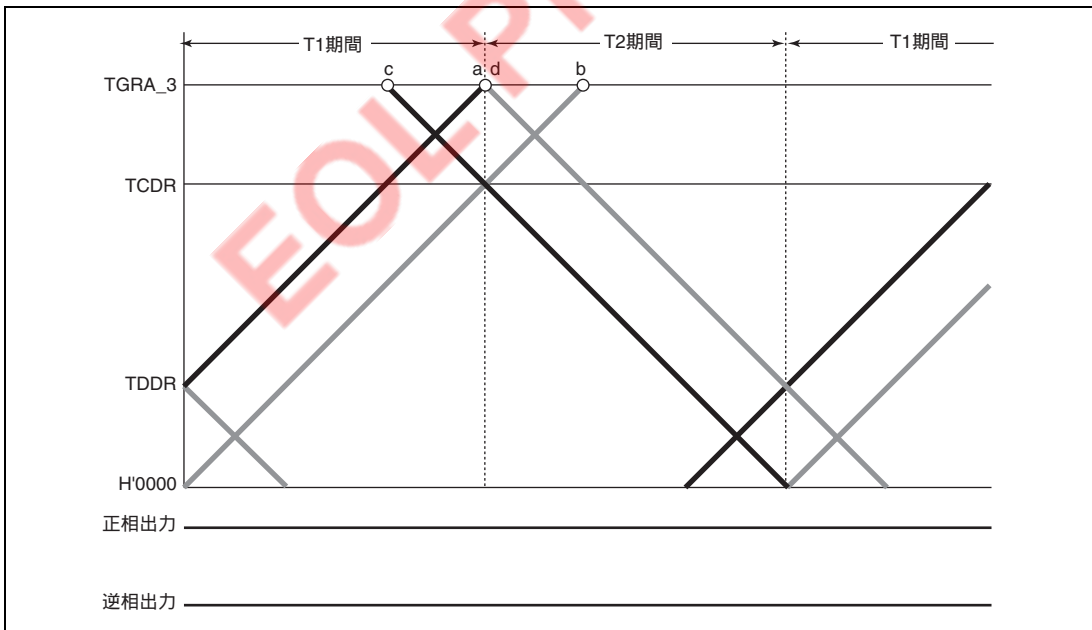


図 18.47 相補 PWM モード 0%、100%波形出力例 (5)

18. マルチファンクションタイマパルスユニット (MTU)

(k) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 18.48 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

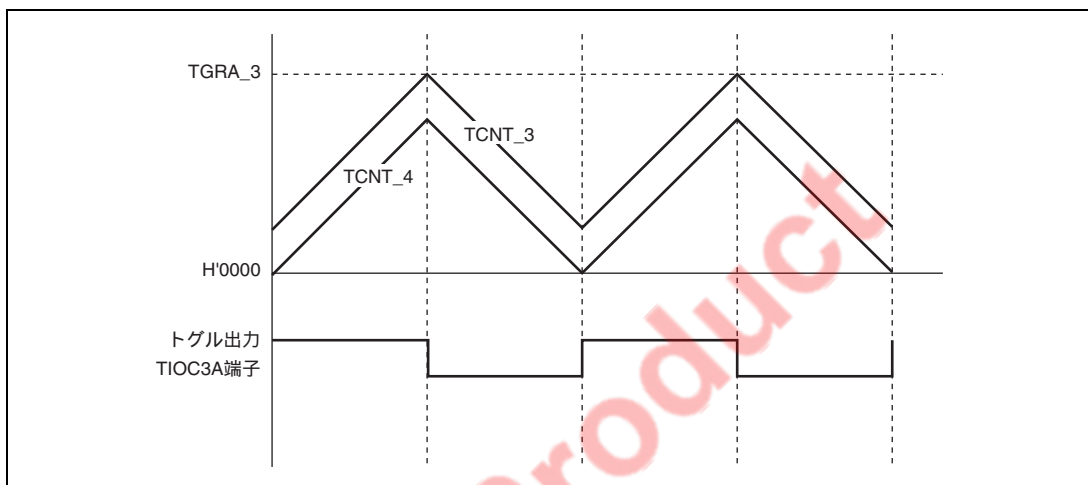


図 18.48 PWM 出力に同期したトグル出力波形例

(l) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。図 18.49 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

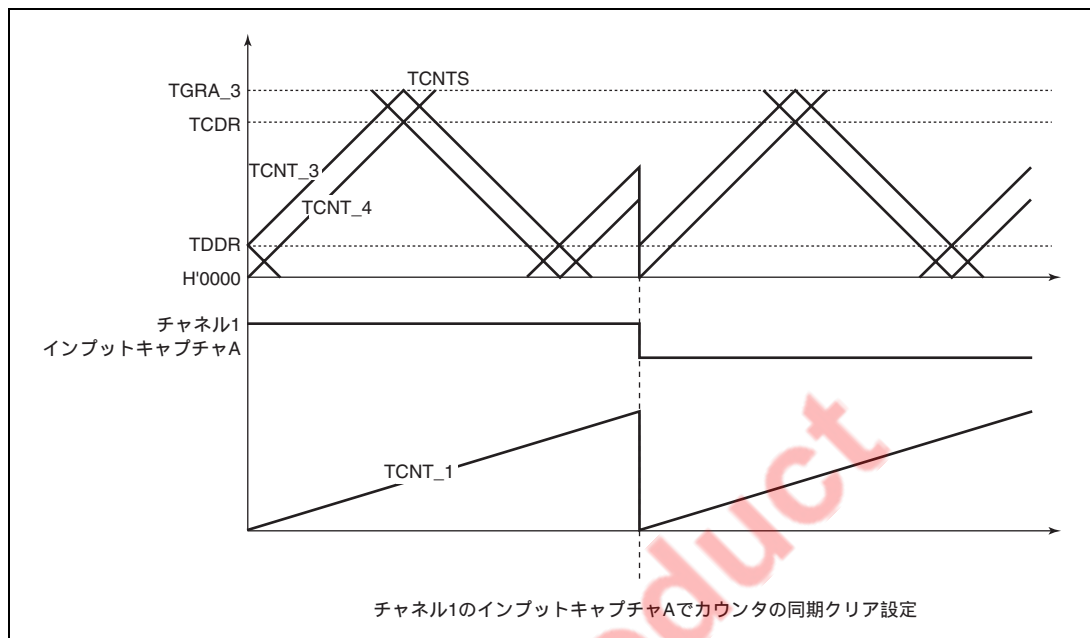


図 18.49 他のチャンネルに同期したカウンタクリア

(m) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 18.50 ~ 図 18.53 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ (TOCR) の OLSN ビット、OLSP ビットで設定できます。

18. マルチファンクションタイマパルスユニット (MTU)

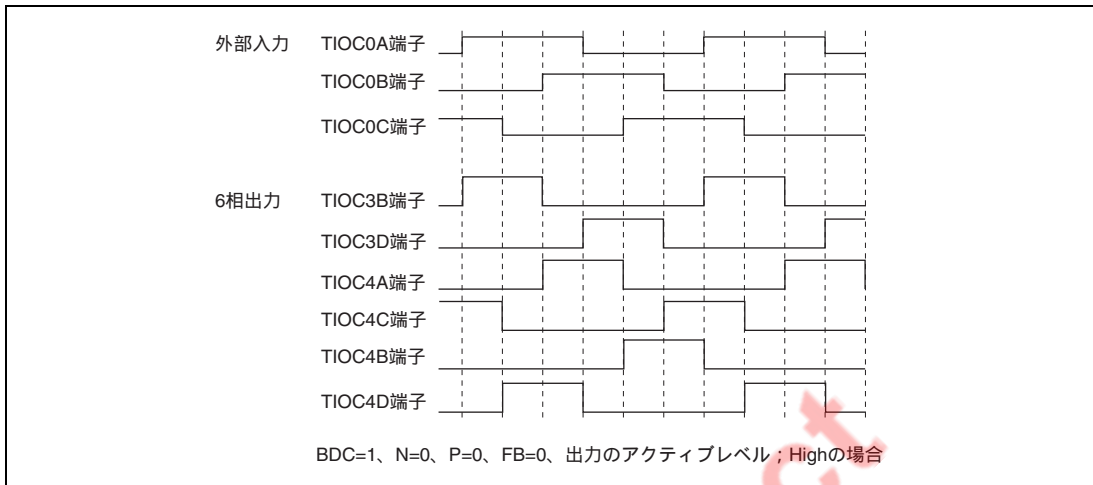


図 18.50 外部入力による出力相の切り替え動作例 (1)

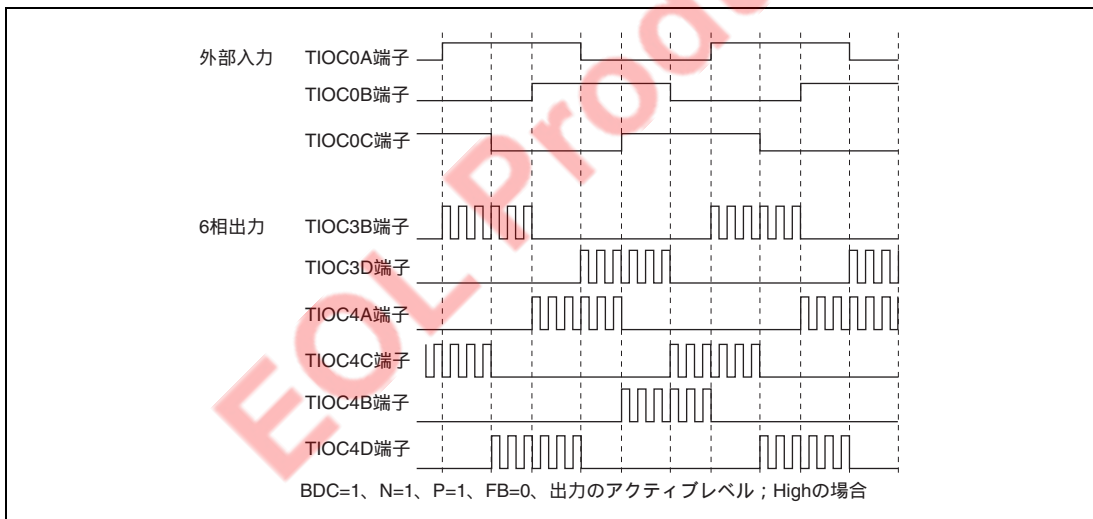


図 18.51 外部入力による出力相の切り替え動作例 (2)

18. マルチファンクションタイマパルスユニット (MTU)

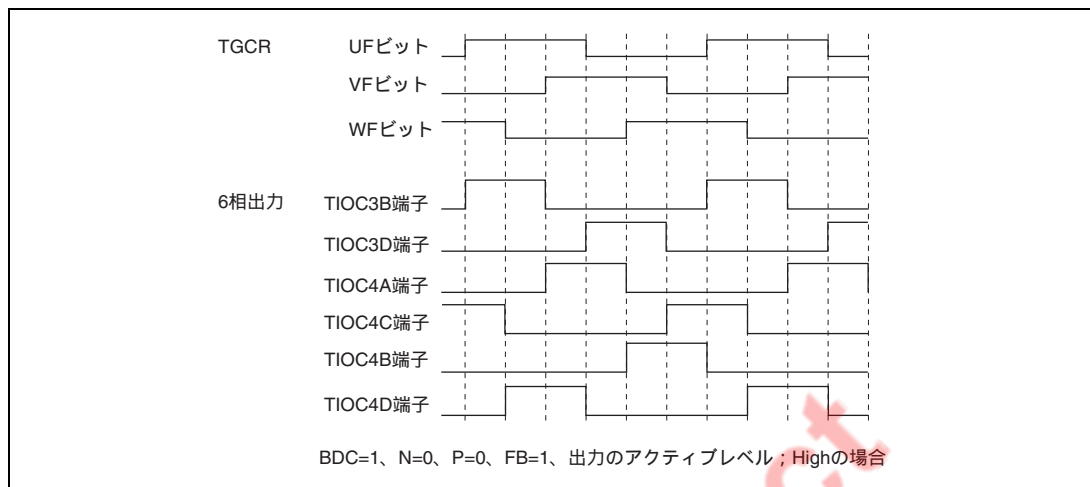


図 18.52 UF、VF、WF ビット設定による出力相の切り替え動作例 (3)

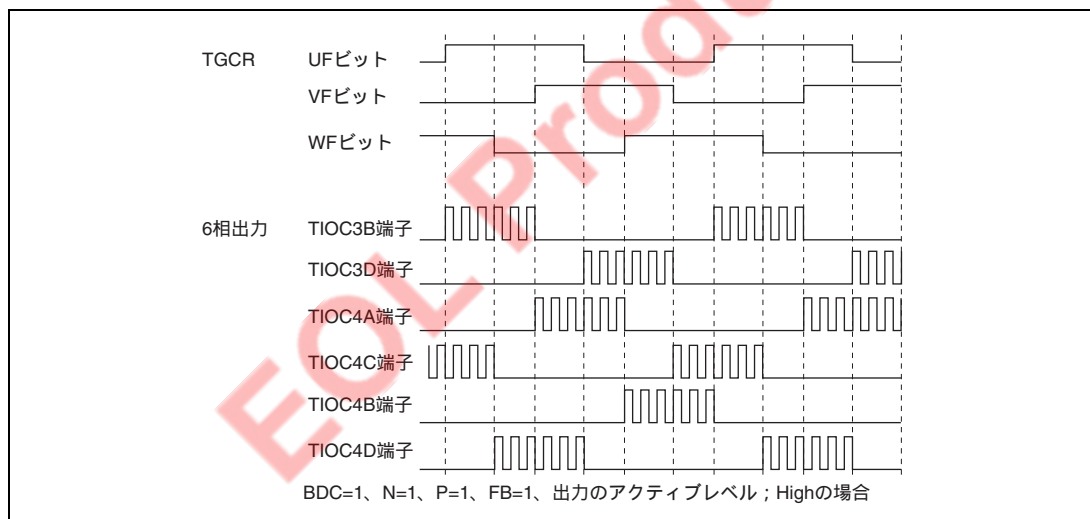


図 18.53 UF、VF、WF ビット設定による出力相の切り替え動作例 (4)

(n) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチか、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、PWM パルスの中心で A/D 変換をスタートさせることができます。A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。

18. マルチファンクションタイマパルスユニット (MTU)

(3) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、ポート E の PEMTURWER (ポート E MTU リードライトイネーブルレジスタ) のビット 0 (MTURWE) の設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象はチャンネル 3 およびチャンネル 4 のレジスタの一部であり、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

(b) 外部信号による PWM 出力の停止機能

6 相 PWM 出力端子は、指定した外部信号が入力されることにより出力端子を自動的にハイインピーダンス状態にすることが可能です。外部信号の入力端子は 4 本あります。

詳細は、「18.9 ポートアウトプットイネーブル (POE)」を参照してください。

18.5 割り込み要因

18.5.1 割り込み要因と優先順位

MTU の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可 / 禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。表 18.42 に MTU の割り込み要因の一覧を示します。

18. マルチファンクションタイマパルスユニット (MTU)

表 18.42 MTU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ	DMA の起動	優先順位
0	TGI0A	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可	↑ 高 ↓ 低
	TGI0B	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	不可	
	TGI0C	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	不可	
	TGI0D	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	不可	
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	
1	TGI1A	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可	
	TGI1B	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	不可	
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGI2A	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可	
	TGI2B	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	不可	
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	
3	TGI3A	TGRA_3 のインプットキャプチャ / コンペアマッチ	TGFA_3	可	
	TGI3B	TGRB_3 のインプットキャプチャ / コンペアマッチ	TGFB_3	不可	
	TGI3C	TGRC_3 のインプットキャプチャ / コンペアマッチ	TGFC_3	不可	
	TGI3D	TGRD_3 のインプットキャプチャ / コンペアマッチ	TGFD_3	不可	
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	
4	TGI4A	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	
	TGI4B	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可	
	TGI4C	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	不可	
	TGI4D	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	不可	
	TCI4V	TCNT_4 のオーバフロー / アンダフロー	TCFV_4	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU には、チャンネル 0、3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 16 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU には、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

18. マルチファンクションタイムパルスユニット (MTU)

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

18.5.2 DMA の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMA を起動することができます。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TGFASEL ビットが 1 にセットされていれば、DMA に対して DMA 転送を要求します。詳細は「第 13 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU では、各チャンネル各 1 本、計 5 本のインプットキャプチャ/コンペアマッチ割り込みを DMA の起動要因とすることができます。

また DMA を使用するときは TGFA = 1 の状態で TGFA をリード後の 0 ライトによるフラグクリアをしないでください。DMA によるハードの自動フラグクリアが可能です、ただし DMA リードサイクル中に DMA アドレスエラーが発生した場合のみ、TGFA の 1 リード後の 0 ライトを行い、ソフトによるフラグクリアをしてください。

18.5.3 A/D 変換器の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MTU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

MTU では、各チャンネル 1 本、計 5 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

18.6 動作タイミング

18.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 18.54 に示します。また、外部クロック動作 (ノーマルモード) の場合の TCNT のカウントタイミングを図 18.55 に、外部クロック動作 (位相計数モード) の場合の TCNT のカウントタイミングを図 18.56 に示します。

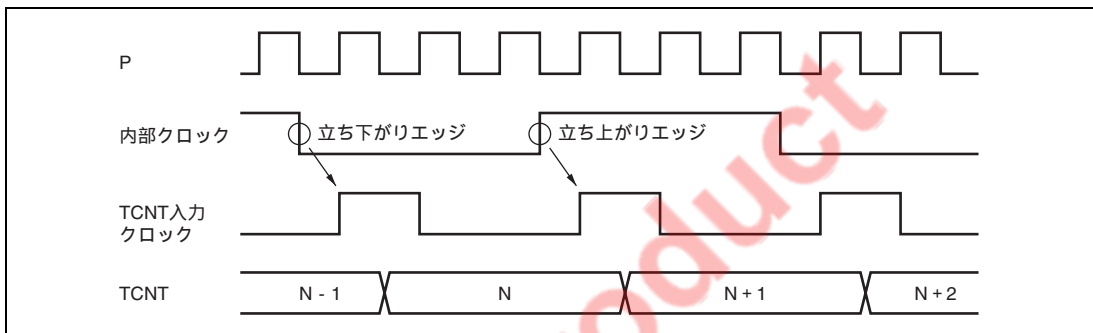


図 18.54 内部クロック動作時のカウントタイミング

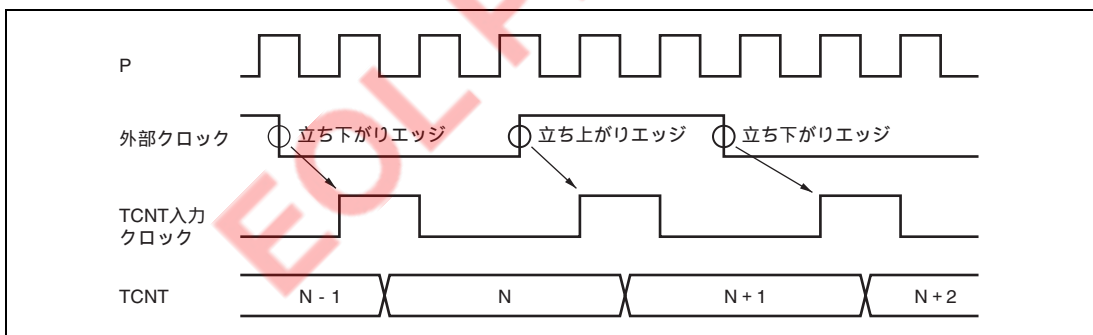


図 18.55 外部クロック動作時のカウントタイミング

18. マルチファンクションタイマパルスユニット (MTU)

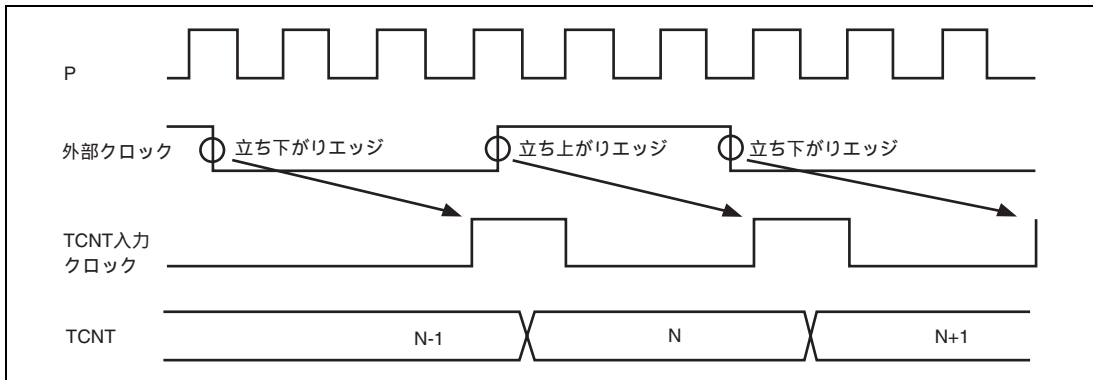


図 18.56 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 18.57 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 18.58 に示します。

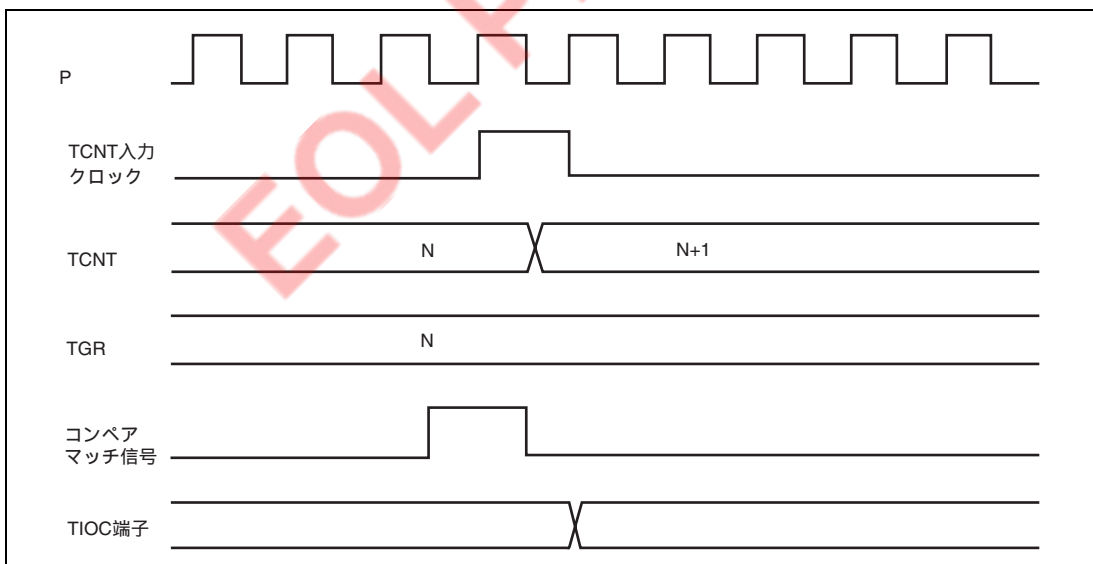


図 18.57 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

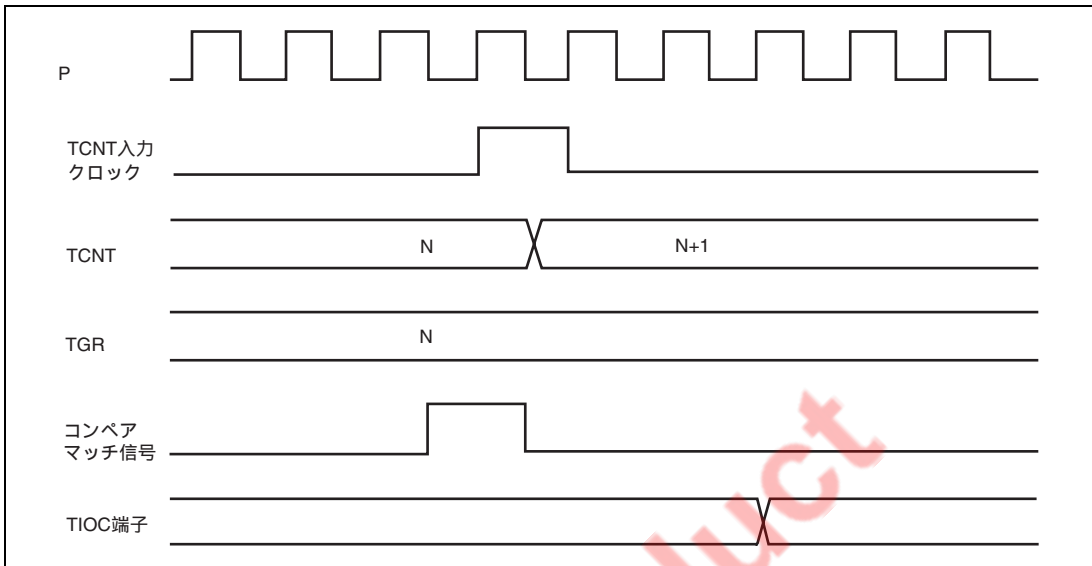


図 18.58 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 18.59 に示します。

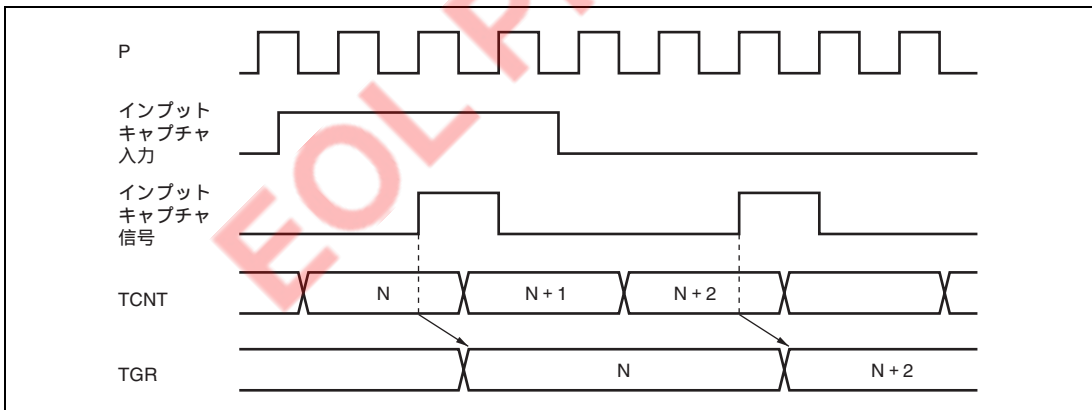


図 18.59 インพุットキャプチャ入力信号タイミング

18. マルチファンクションタイマパルスユニット (MTU)

(4) コンペアマッチ / インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 18.60 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 18.61 に示します。

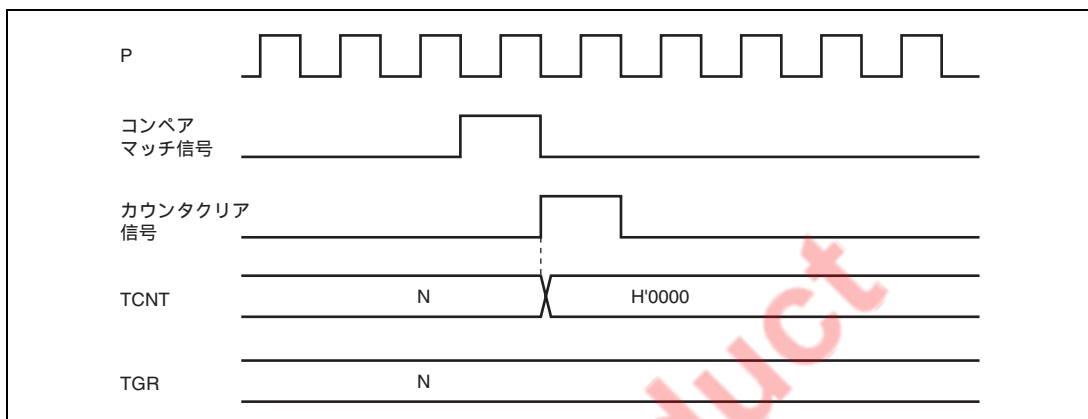


図 18.60 カウンタクリアタイミング (コンペアマッチ)

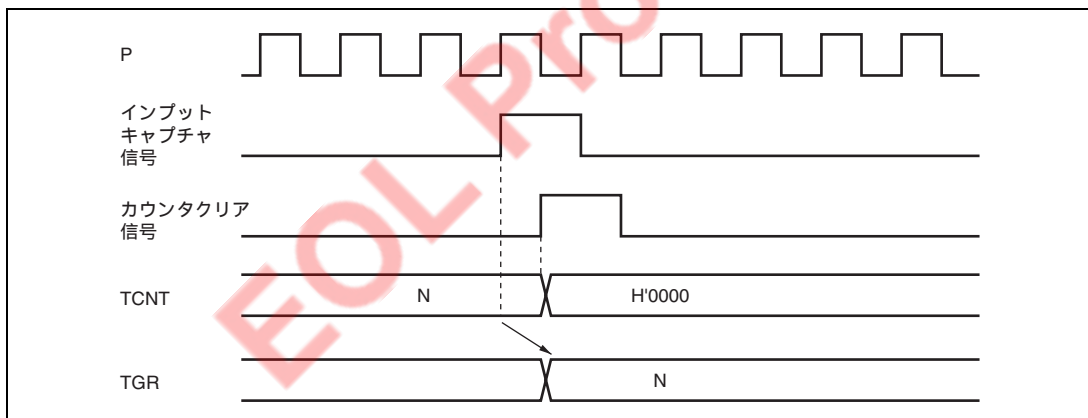


図 18.61 カウンタクリアタイミング (インพุットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 18.62、図 18.63 に示します。

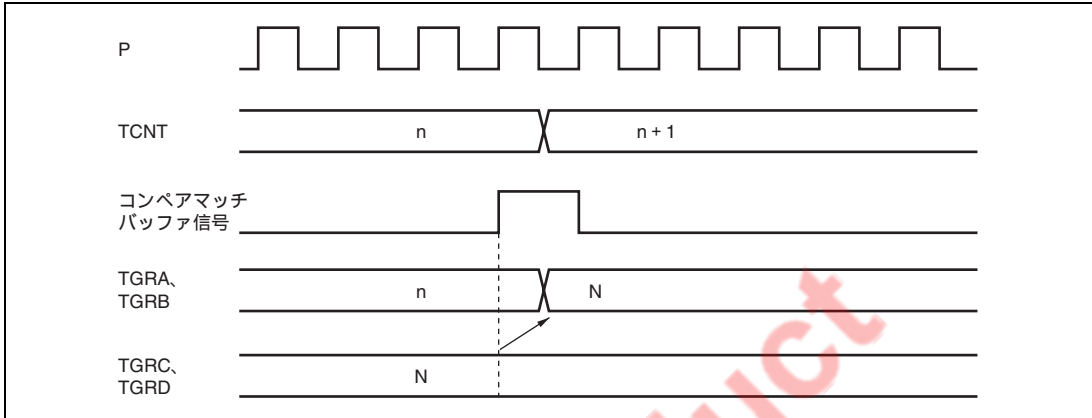


図 18.62 バッファ動作タイミング (コンペアマッチ)

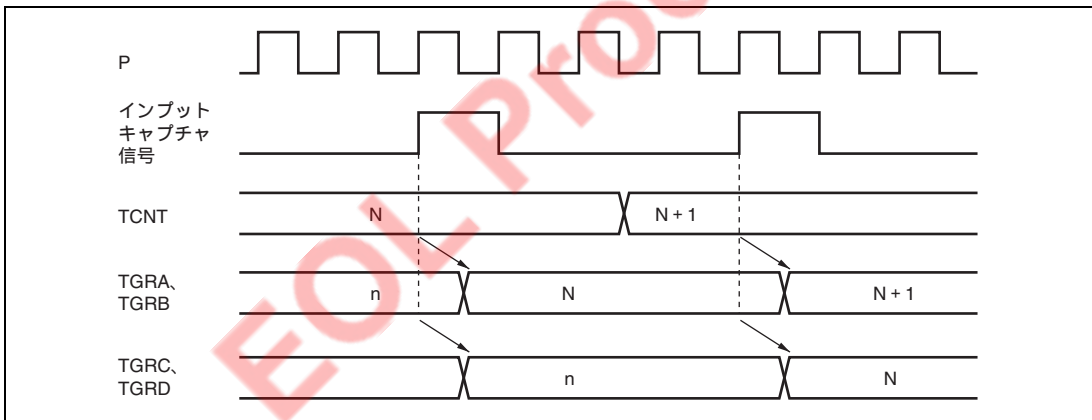


図 18.63 バッファ動作タイミング (インプットキャプチャ)

18. マルチファンクションタイマパルスユニット (MTU)

18.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 18.64 に示します。

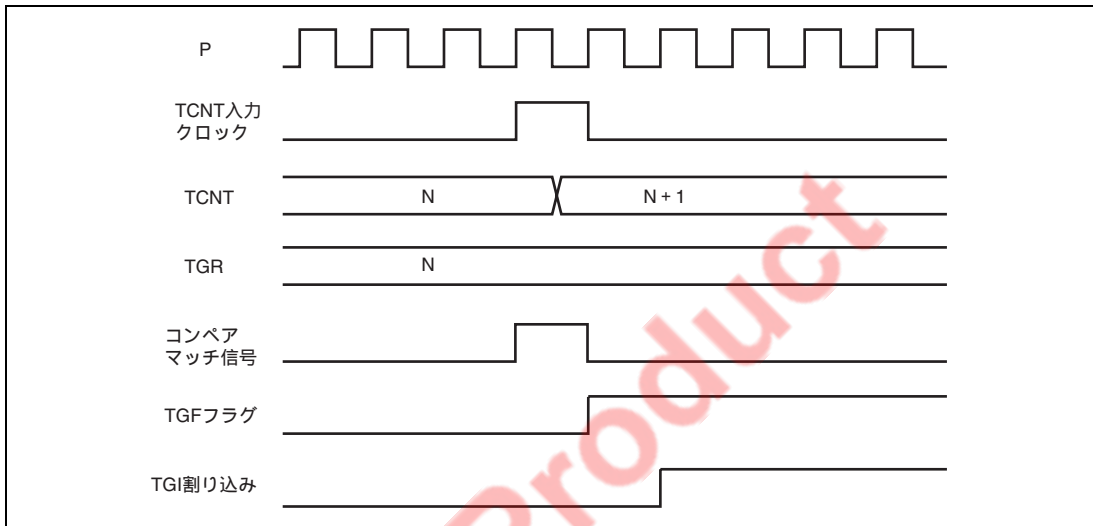


図 18.64 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 18.65 に示します。

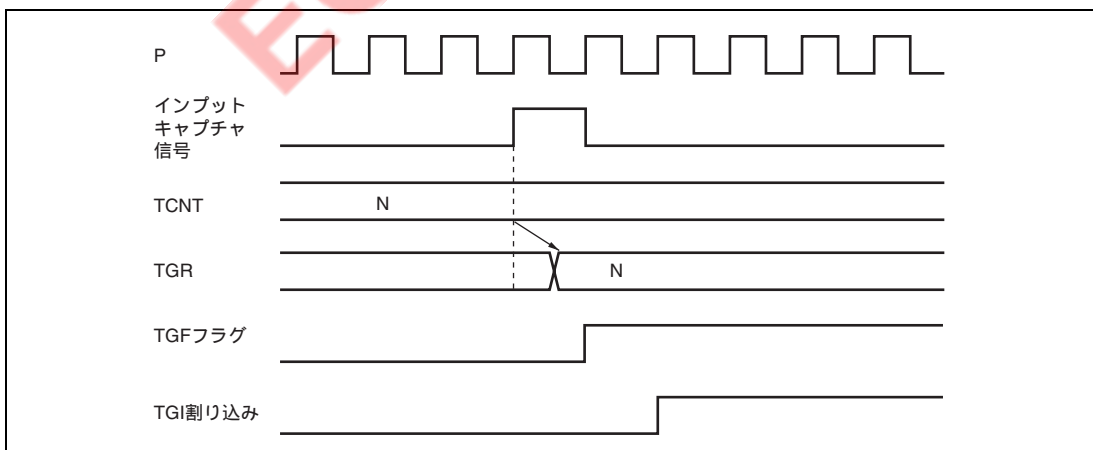


図 18.65 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 18.66 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 18.67 に示します。

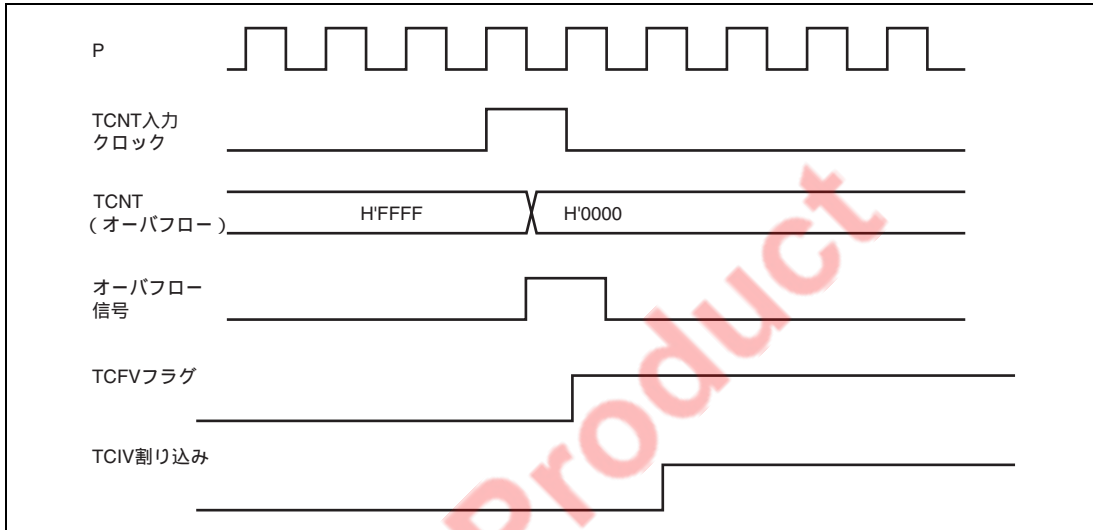


図 18.66 TCIV 割り込みのセットタイミング

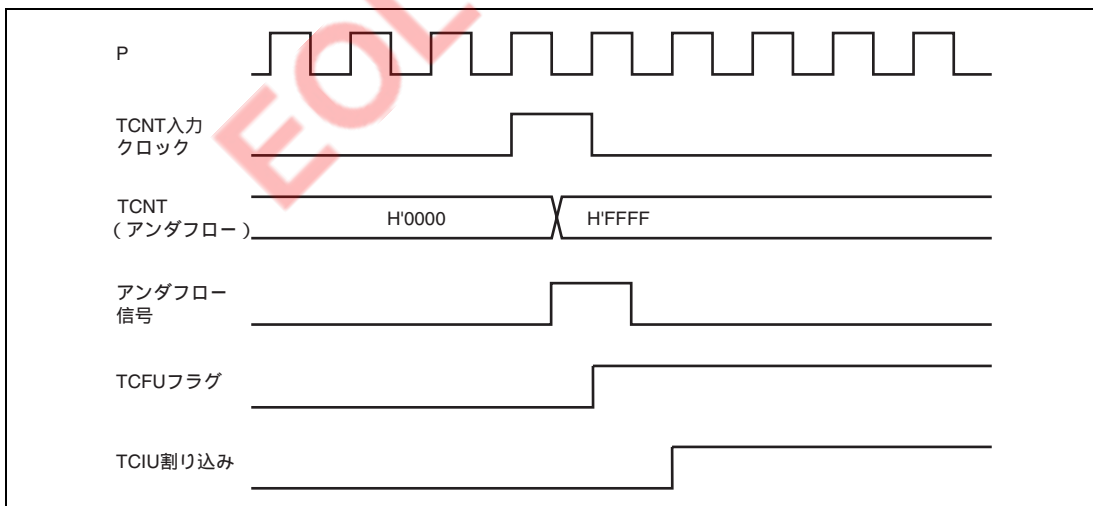


図 18.67 TCIU 割り込みのセットタイミング

18. マルチファンクションタイマパルスユニット (MTU)

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DMAを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図18.68に、DMAによるステータスフラグのクリアのタイミングを図18.69に示します。

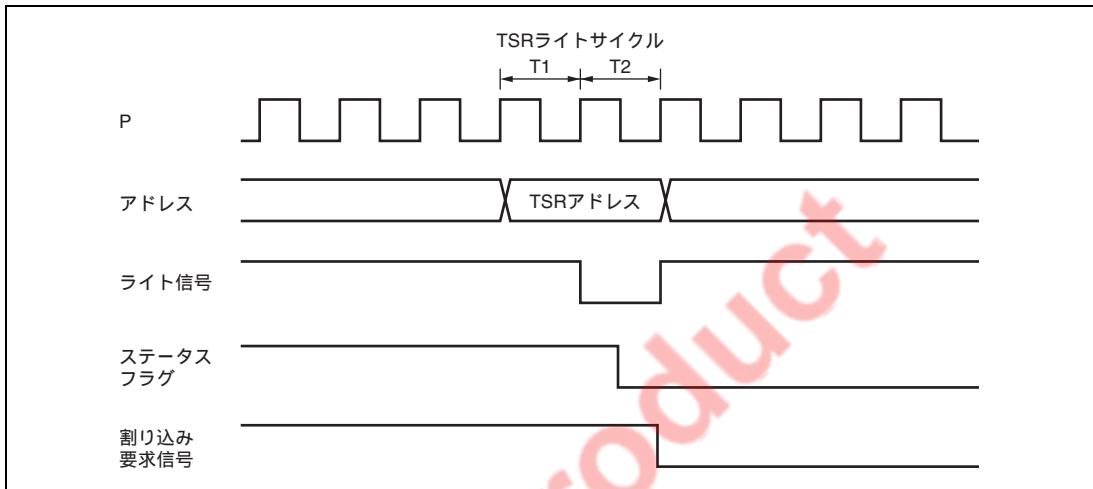


図 18.68 CPU によるステータスフラグのクリアタイミング

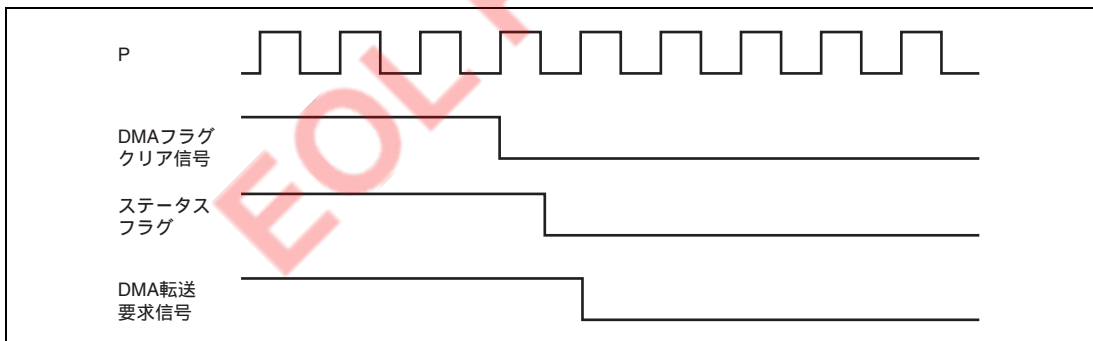


図 18.69 DMA の起動によるステータスフラグのクリアタイミング

18.7 使用上の注意事項

18.7.1 モジュールスタンバイモードの設定

MTU は、モジュールスタンバイレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。

18.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 18.70 に示します。

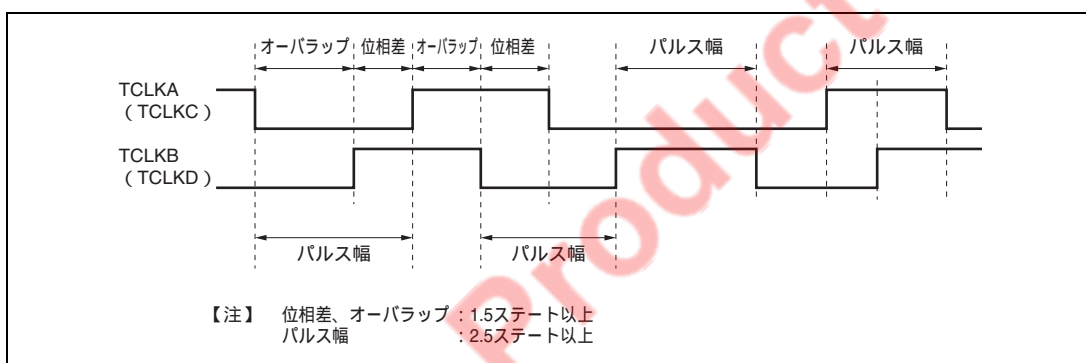


図 18.70 位相計数モード時の位相差、オーバーラップ、およびパルス幅

18.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f \equiv \frac{P}{(N+1)}$$

f : カウンタ周波数

P : 周辺クロック動作周波数

N : TGR の設定値

18. マルチファンクションタイマパルスユニット (MTU)

18.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 18.71 に示します。

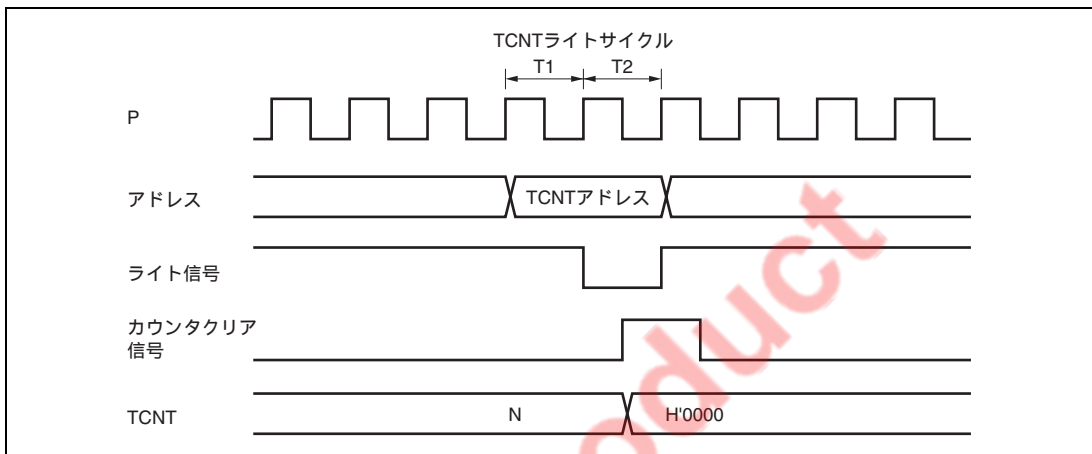


図 18.71 TCNT のライトとクリアの競合

18.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 18.72 に示します。

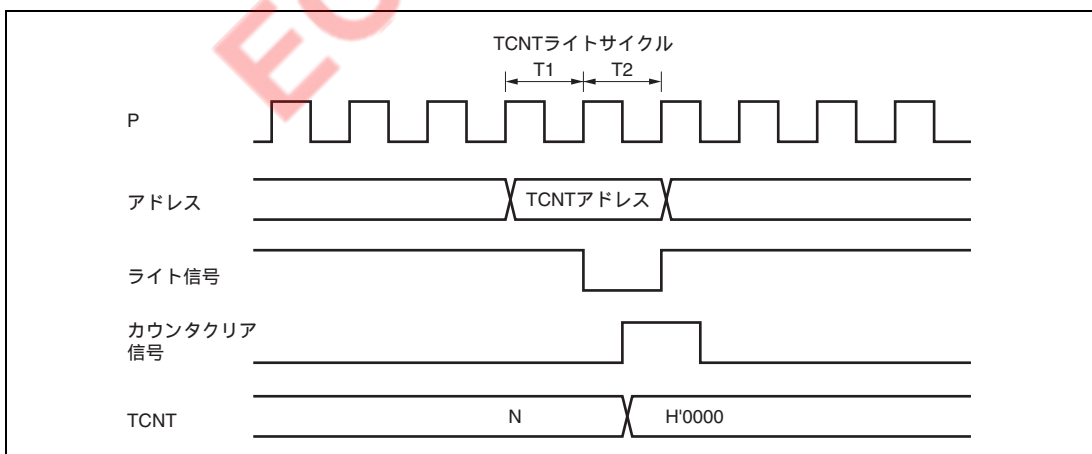


図 18.72 TCNT のライトとカウントアップの競合

18.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 18.73 に示します。

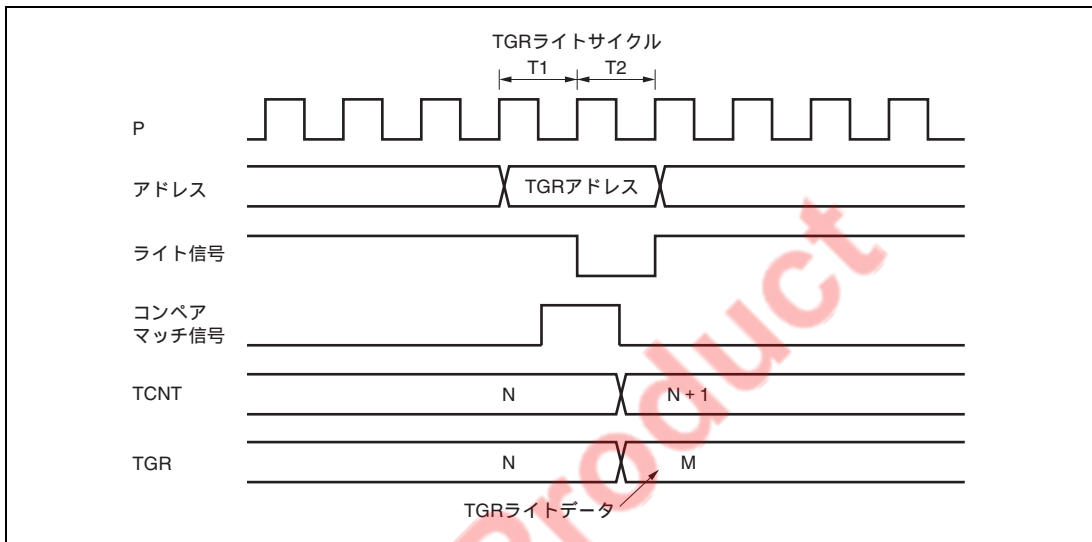


図 18.73 TGR のライトとコンペアマッチの競合

18. マルチファンクションタイムパルスユニット (MTU)

18.7.7 バッファレジスタのライトとコンペアマッチの競合

TGRのライトサイクル中のT1状態でコンペアマッチが発生すると、バッファ動作によってTGRに転送されるデータはチャンネル0とチャンネル3、4では異なり、チャンネル0では書き込み後のデータ、チャンネル3、4では書き込み前のデータです。このタイミングを図18.74、図18.75に示します。

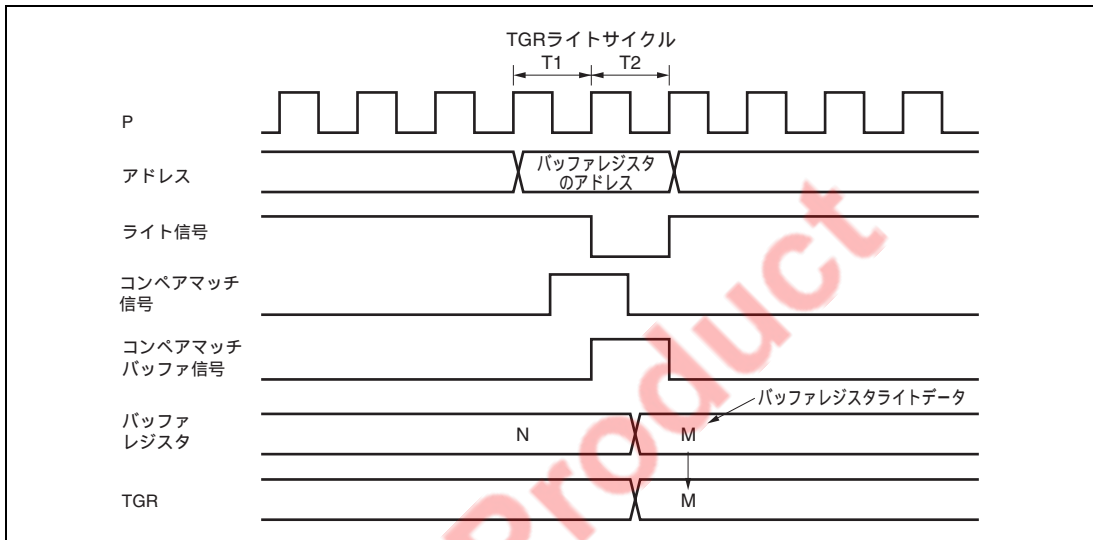


図 18.74 バッファレジスタのライトとコンペアマッチの競合 (チャンネル0)

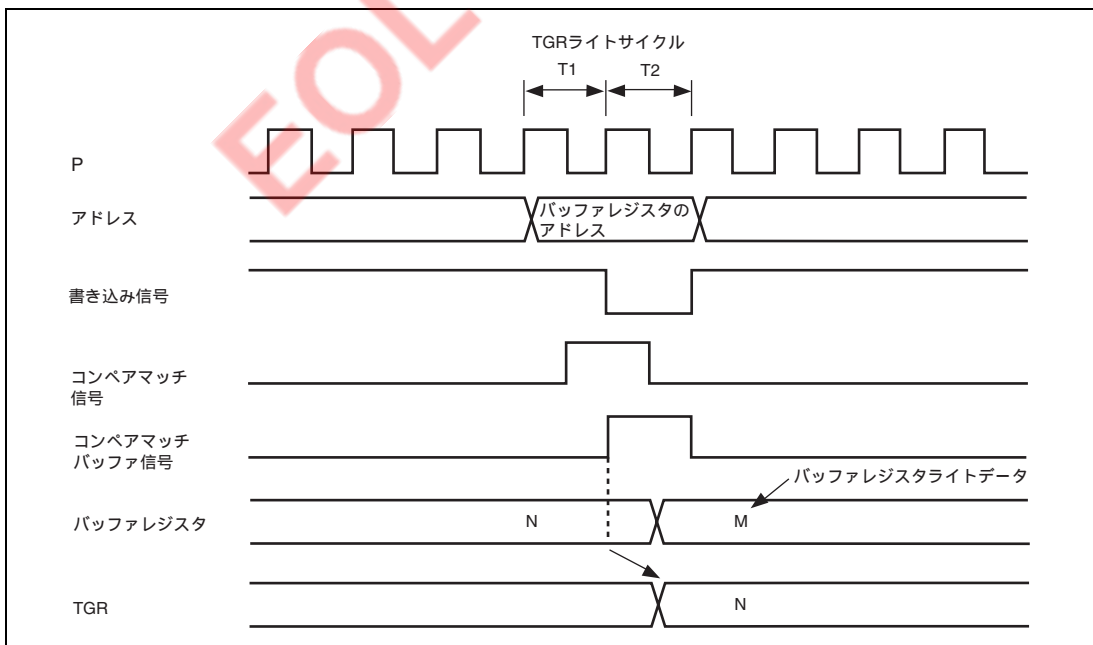


図 18.75 TGRのライトとコンペアマッチの競合 (チャンネル3、4)

18.7.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 18.76 に示します。

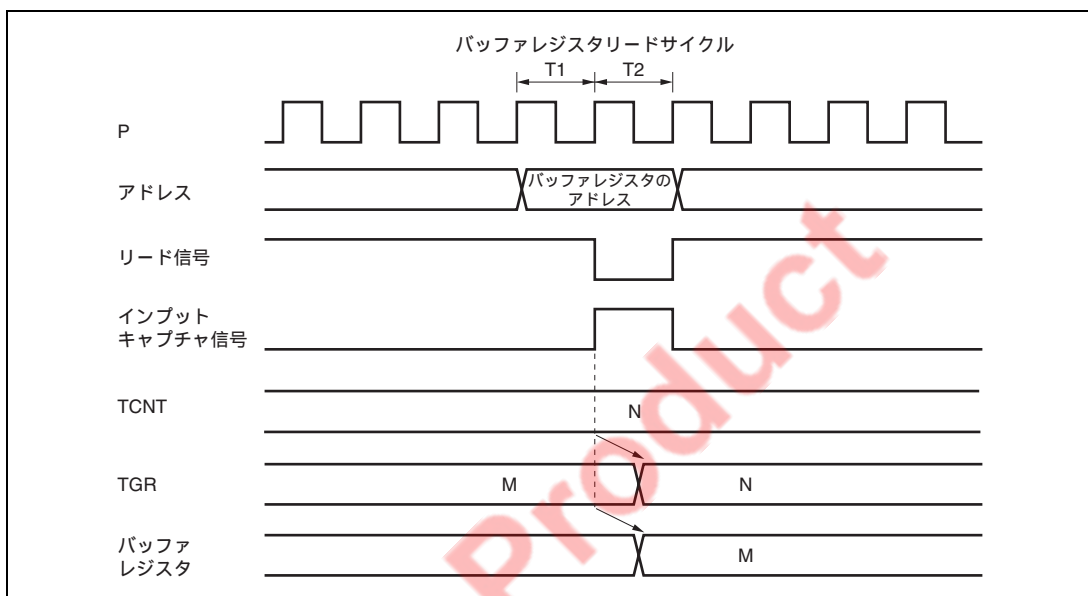


図 18.76 TGR のリードとインプットキャプチャの競合

18.7.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 18.77 に示します。

18. マルチファンクションタイマパルスユニット (MTU)

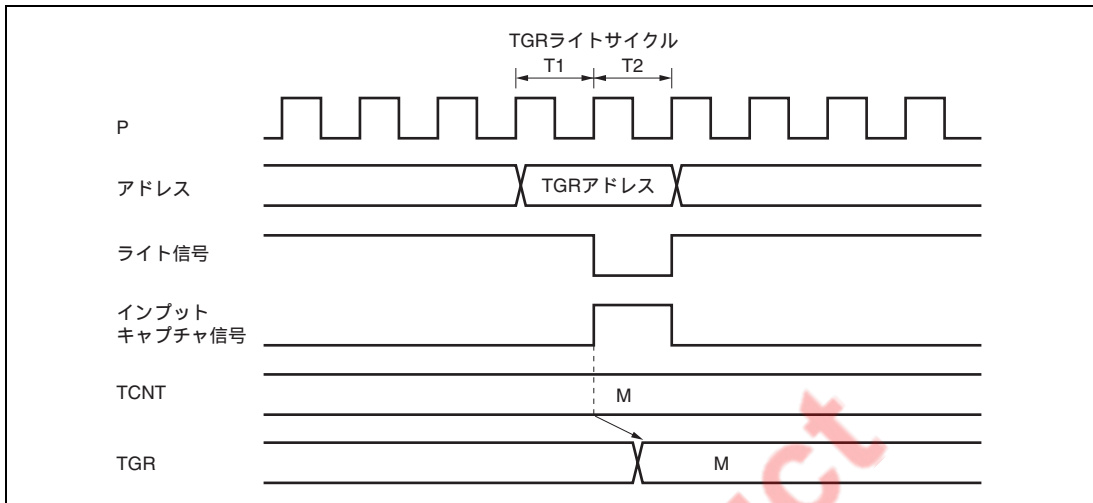


図 18.77 TGR のライトとインプットキャプチャの競合

18.7.10 バッファレジスタのライトとインプットキャプチャの競合

バッファのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 18.78 に示します。

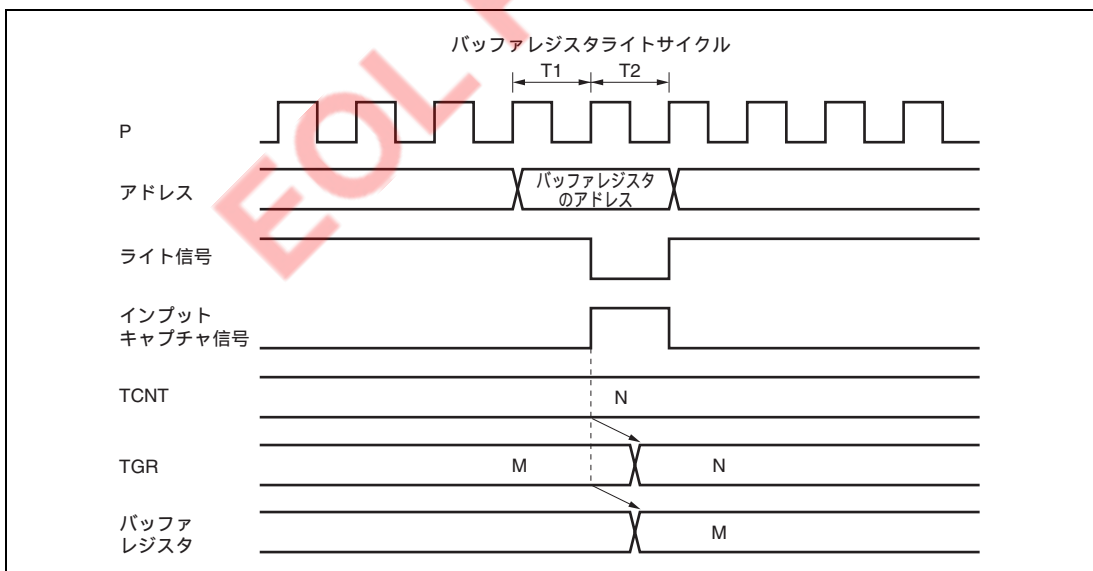


図 18.78 バッファレジスタのライトとインプットキャプチャの競合

18.7.11 カスケード接続における TCNT_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT_1 と TCNT_2) をカスケード接続し、TCNT_1 がカウントする瞬間 (TCNT_2 がオーバフロー / アンダフローする瞬間) と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 のインプットキャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0 ~ D_0 はインプットキャプチャ動作します。さらに TGRB_1 のインプットキャプチャ要因に TGRC_0 のコンペアマッチ / インプットキャプチャを選択した場合には、TGRB_1 はインプットキャプチャ動作します。

このタイミングを図 18.79 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

EOL Product

18. マルチファンクションタイマパルスユニット (MTU)

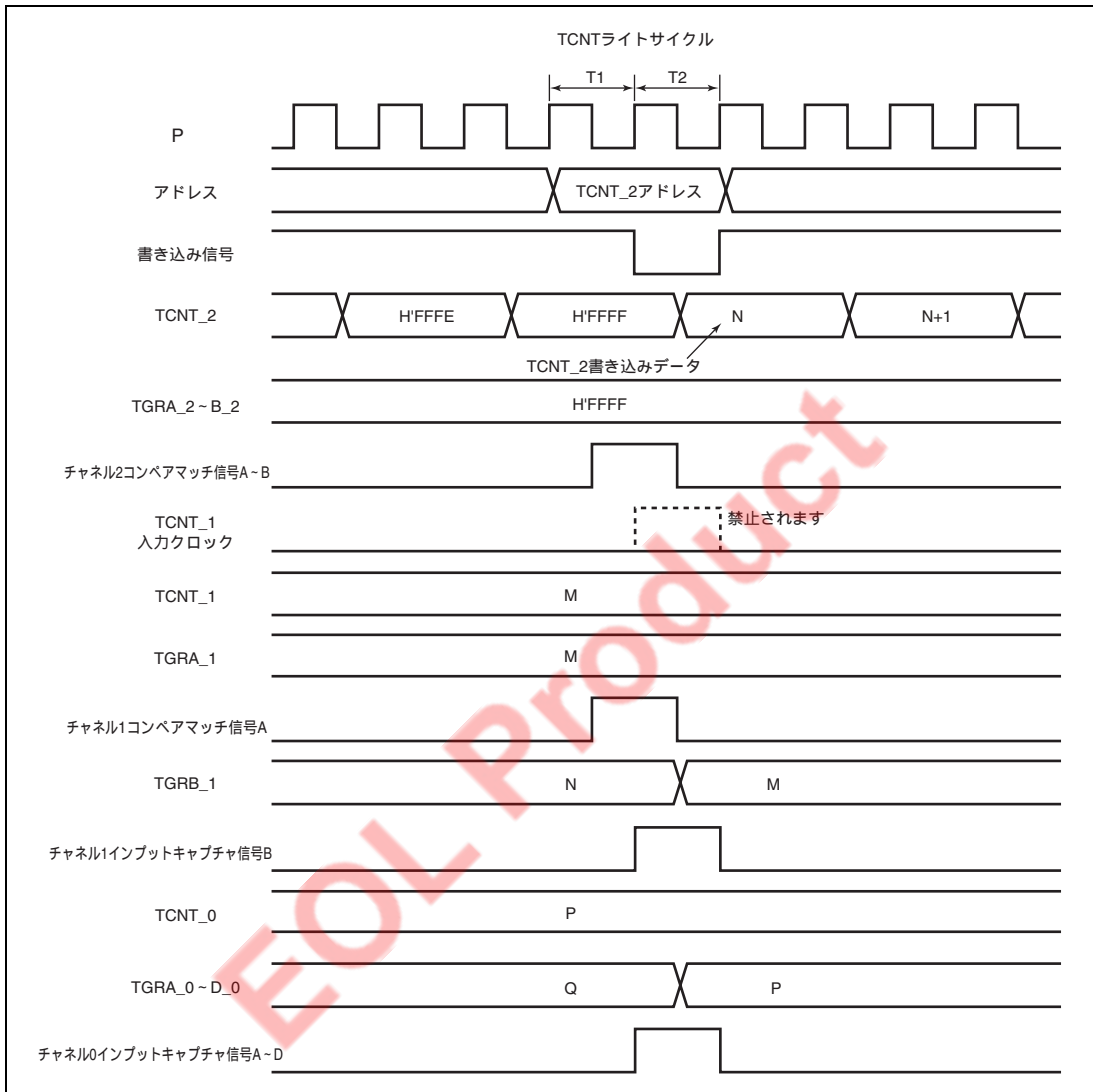


図 18.79 カスケード接続における TCNT_2 のライトとオーバーフロー/アンダフローの競合

18.7.12 相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウンタ動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 18.80 に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウンタ初期値の設定を行ってください。

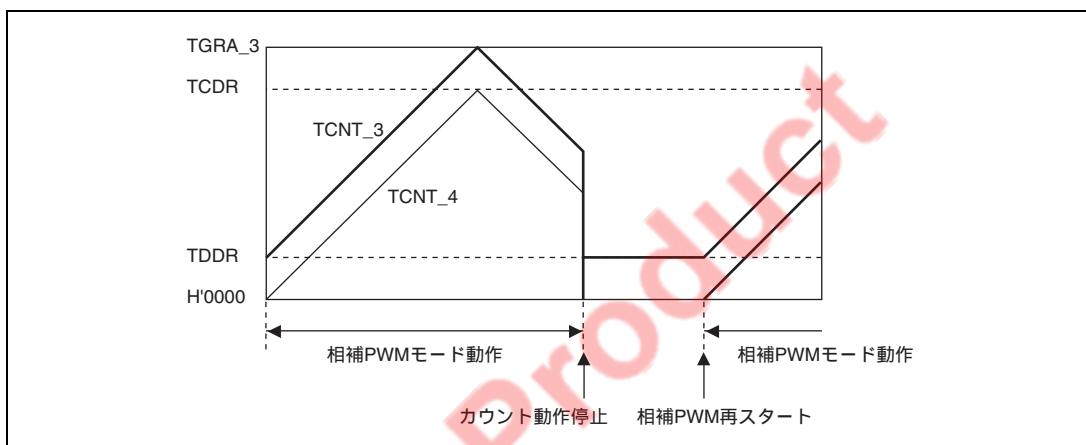


図 18.80 相補 PWM モード停止時のカウンタ値

18.7.13 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB_3、TGRA_4、TGRB_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

18.7.14 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。例えば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFDF ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

18. マルチファンクションタイマパルスユニット (MTU)

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を図 18.81 に示します。

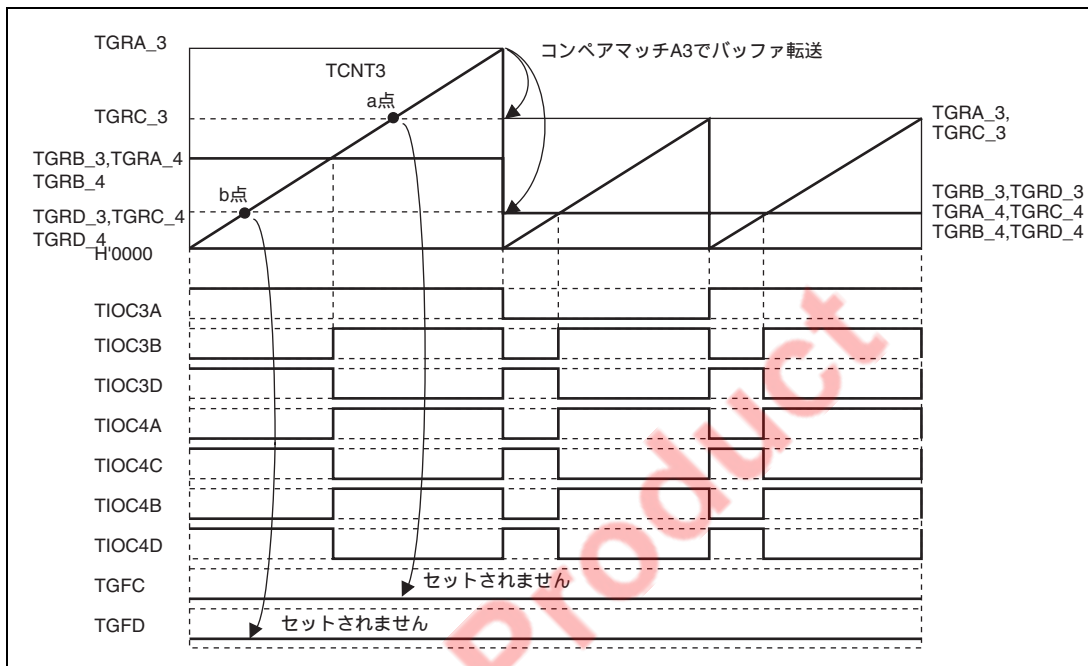


図 18.81 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

18.7.15 リセット同期 PWM モードのオーバフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 ともにカウントクリアされます。このとき、TSR のオーバフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 18.82 に示します。

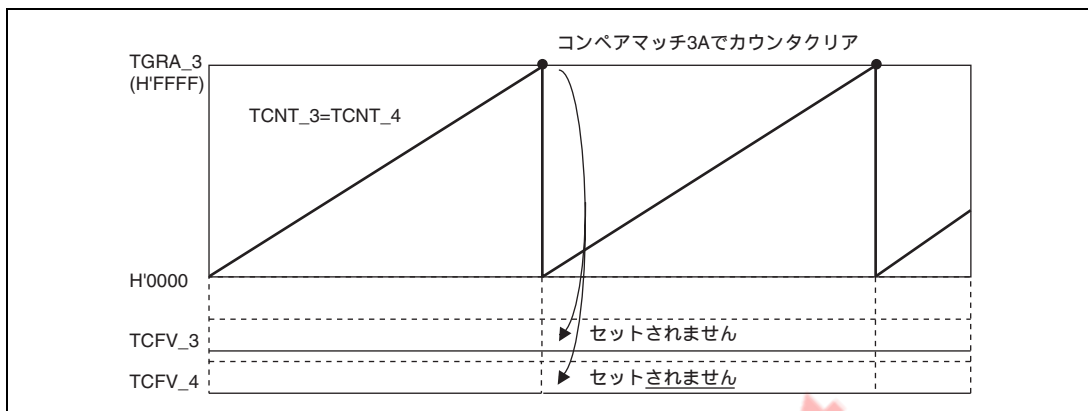


図 18.82 リセット同期 PWM モードのオーバーフローフラグ

18.7.16 オーバフロー / アンダフローとカウンタクリアの競合

オーバーフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 18.83 に示します。

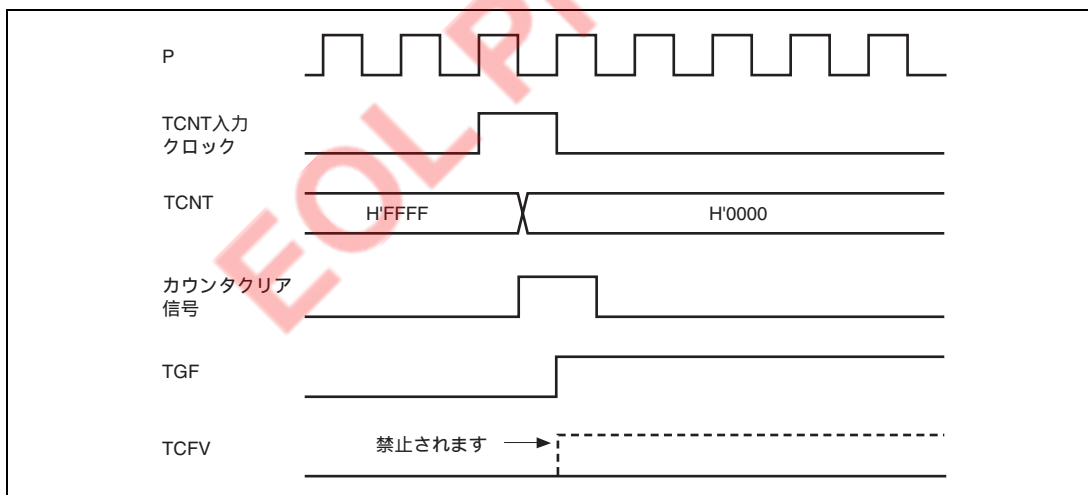


図 18.83 オーバフローとカウンタクリアの競合

18.7.17 TCNT のライトとオーバーフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバーフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 18.84 に示します。

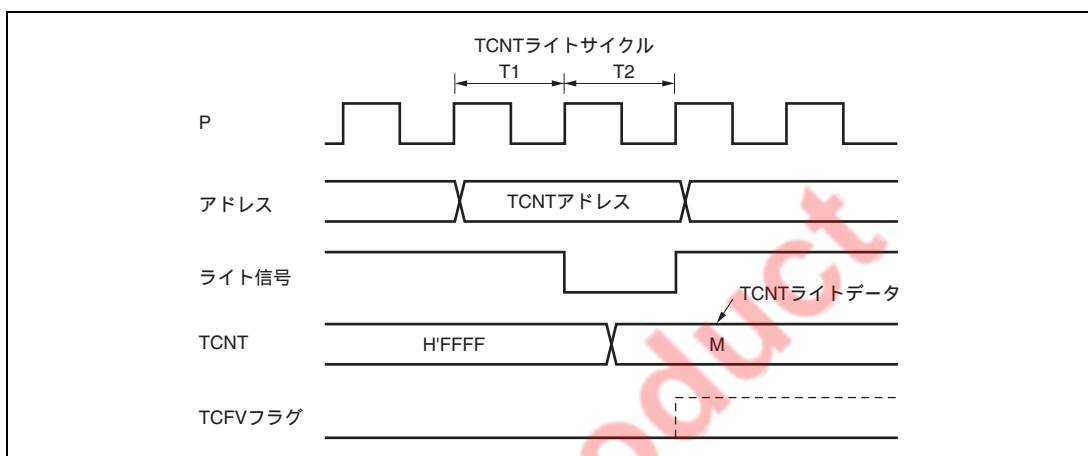


図 18.84 TCNT のライトとオーバーフローの競合

18.7.18 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル 3、4 の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D) をハイレベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4 レジスタに H'11 を書いて出力端子をローレベルに初期化した後、レジスタの初期値 H'00 を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値 H'00 を設定してからリセット同期 PWM モードに遷移してください。

18.7.19 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル 3、4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ (TOCR) の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR は H'00 としてください。

18.7.20 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPUの割り込み要因、またはDMAの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてから、モジュールスタンバイモードとしてください。

18.7.21 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ 1、2 (TCNT_1 と TCNT_2) をカスケード接続しカウントさせている場合、TIOC1A と TIOC2A、または TIOC1B と TIOC2B に同時にインプットキャプチャを行っても、カスケードカウンタ値を正常にキャプチャできません。

18.8 MTU 出力端子の初期化方法

18.8.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各々のモードでの MTU 出力端子の初期化方法について示します。

18.8.2 リセットスタート時の動作

MTU の出力端子 (TIOC*) はパワーオンリセットまたはスタンバイモード時に L に初期化されます。MTU の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU の端子の状態がポートに出力されます。パワーオンリセット直後に PFC で MTU の出力を選択した場合、ポート出力には MTU 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU の出力端子の初期設定終了後に行ってください。

【注】 * チャンネル番号+ポート記号が入ります。

18. マルチファンクションタイマパルスユニット (MTU)

18.8.3 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り替え、アクティブレベルの反転を出力することにより行います。また、大電流端子に関してはポートアウトプットイネーブル (POE) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますが、チャネルとモードの組み合わせ上、存在しない遷移が存在します。この一覧表を表 18.43 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード PWM1 : PWM モード 1 PWM2 : PWM モード 2
PCM : 位相計数モード 1~4 CPWM : 相補 PWM モード RPWM : リセット同期 PWM モード

表 18.43 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	None
PCM	(17)	(18)	(19)	(20)	none	None
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

18.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC*B (TIOC*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合には、ノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2に遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合には、バッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトブットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移しTIOCRで初期化、TIOCRを初期値に戻した後、タイマアウトブットマスタインエーブルレジスタ (TOER) でチャンネル3、4を一度出力禁止としてください。その後モード設定手順 (TOCR設定、TMDR設定、TOER設定) に従い、動作させてください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 18.43 の組み合わせ番号に従い、端子の初期化手順を示します。なお、アクティブレベルはLとします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.85 に示します。

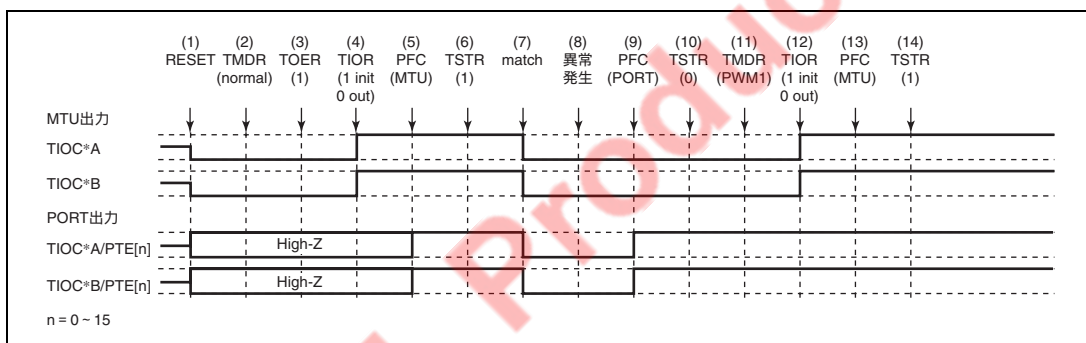


図 18.85 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) RESET により、TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では、TIOCR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOCR で端子を初期化してください (例は、初期出力は High レベル、コンペアマッチで Low レベル出力です)。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により、Low レベルを出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOCR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

18. マルチファンクションタイマパルスユニット (MTU)

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.86 に示します。

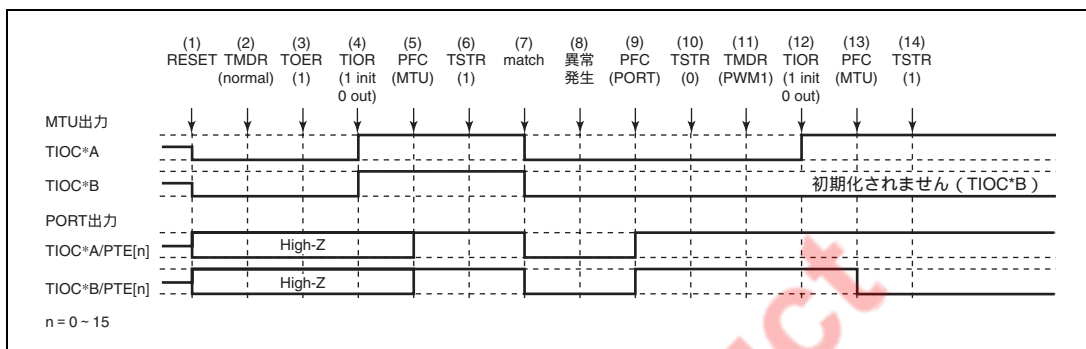


図 18.86 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 18.85 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 18.87 に示します。

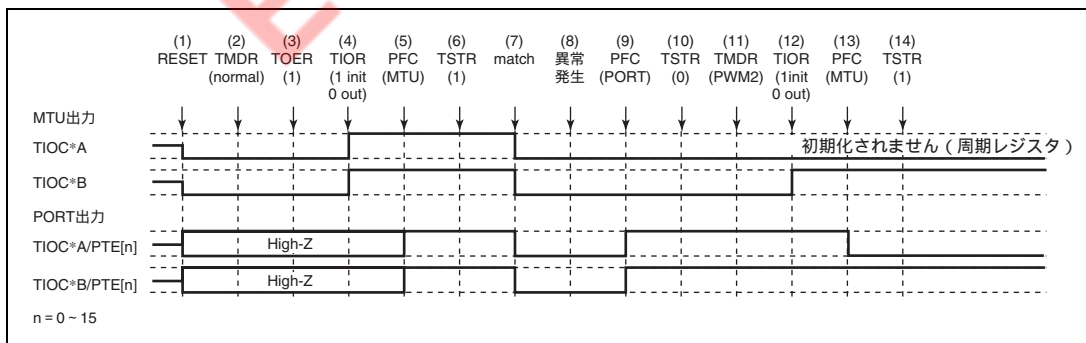


図 18.87 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

18. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 18.85 と共通です。
- (11) PWM モード 2 を設定します。
- (12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

- (4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作
ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 18.88 に示します。

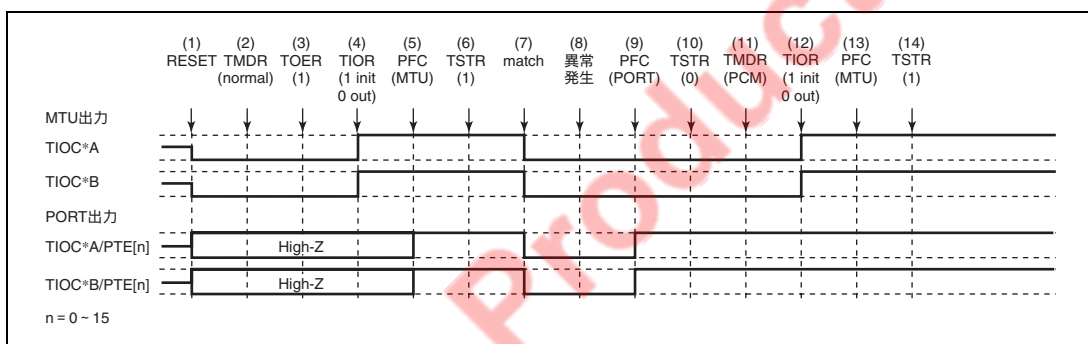


図 18.88 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 18.85 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

18. マルチファンクションタイマパルスユニット (MTU)

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.89 に示します。

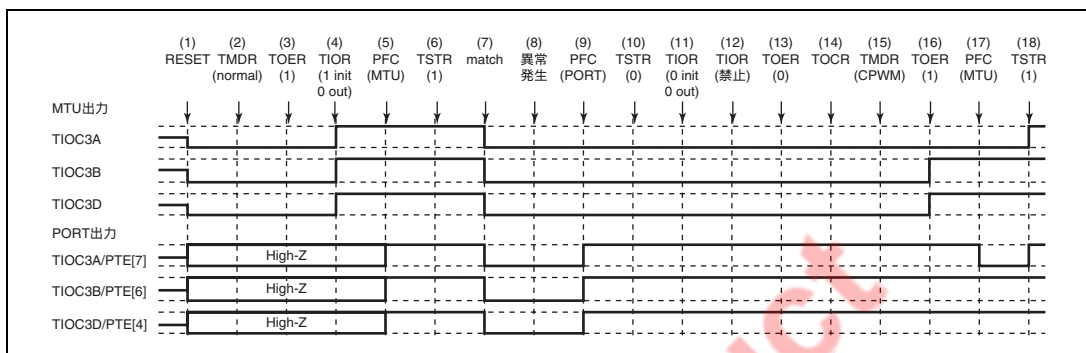


図 18.89 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 18.85 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU 出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 18.90 に示します。

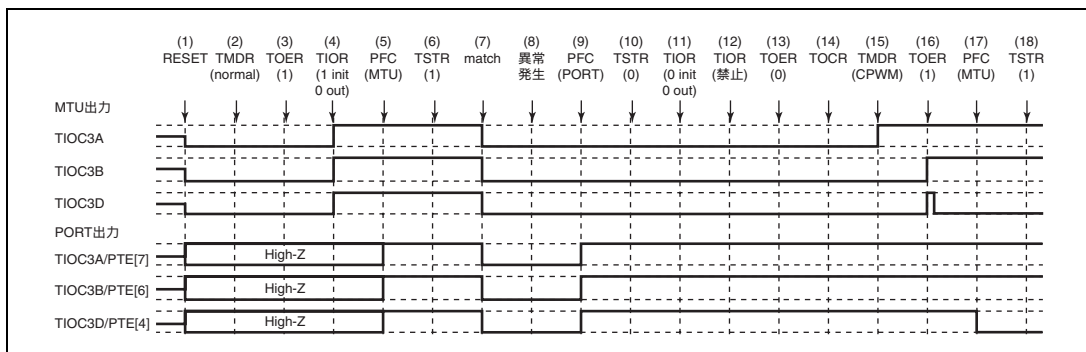


図 18.90 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 18.89 と共通です。
- (14) TOCR で、リセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU 出力としてください。
- (18) TSTR で再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.91 に示します。

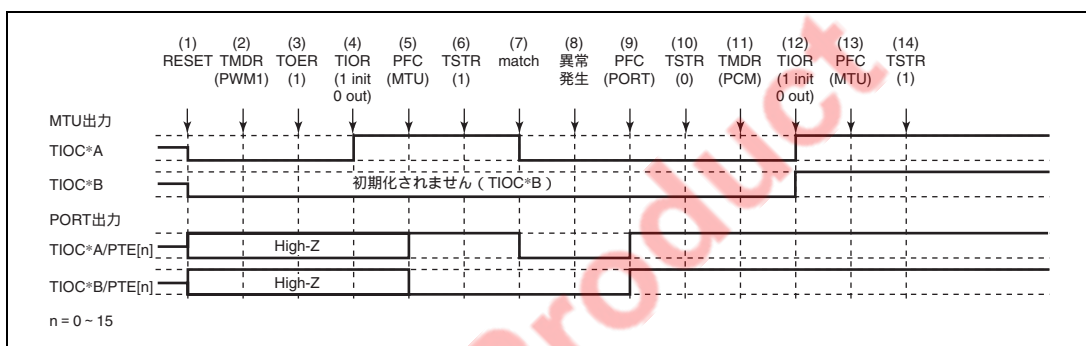


図 18.91 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では、TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は、初期出力は High レベル、コンペアマッチで Low レベル出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

18. マルチファンクションタイムパルスユニット (MTU)

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.92 に示します。

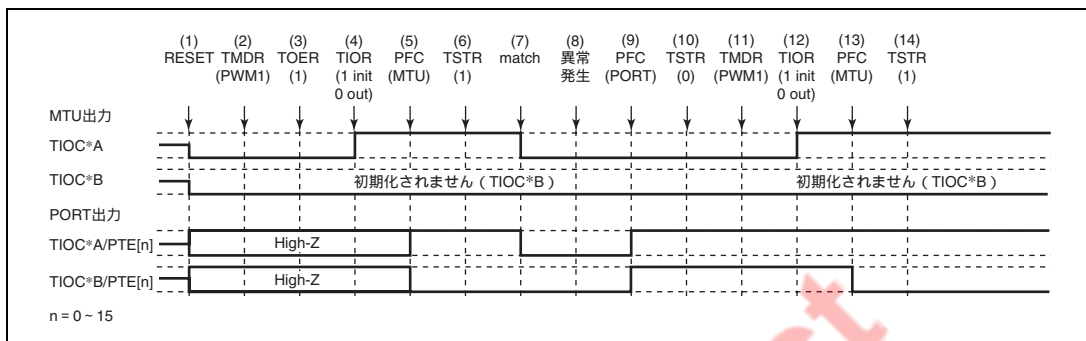


図 18.92 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 18.91 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 18.93 に示します。

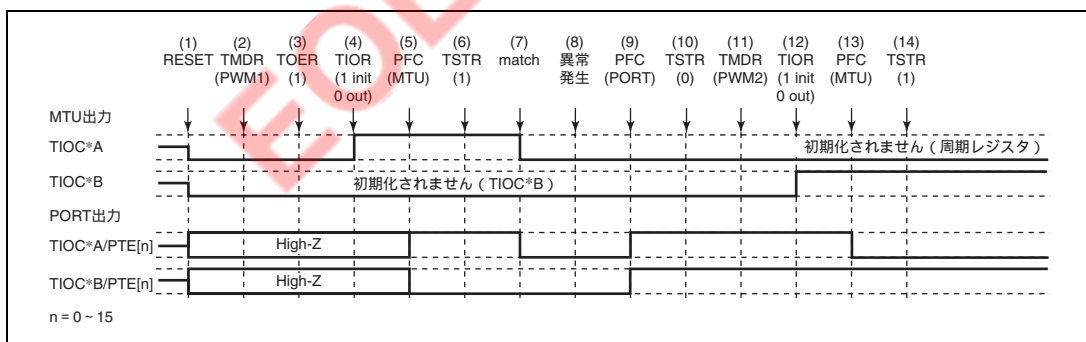


図 18.93 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 18.91 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

18. マルチファンクションタイムパルスユニット (MTU)

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 18.94 に示します。

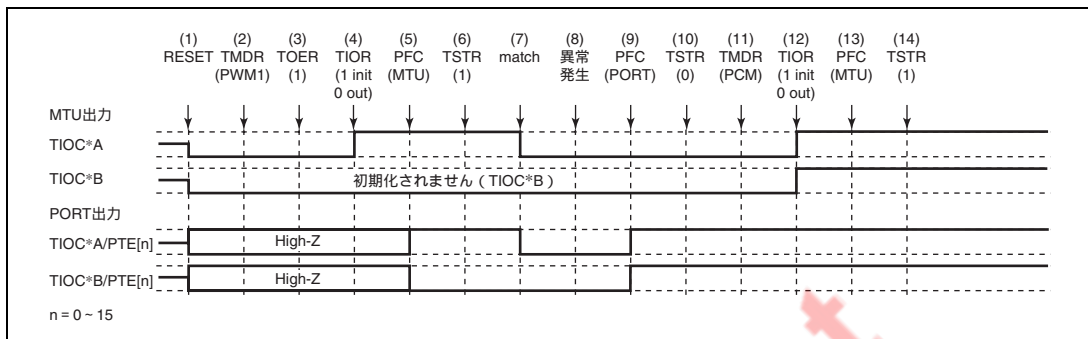


図 18.94 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 18.91 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.95 に示します。

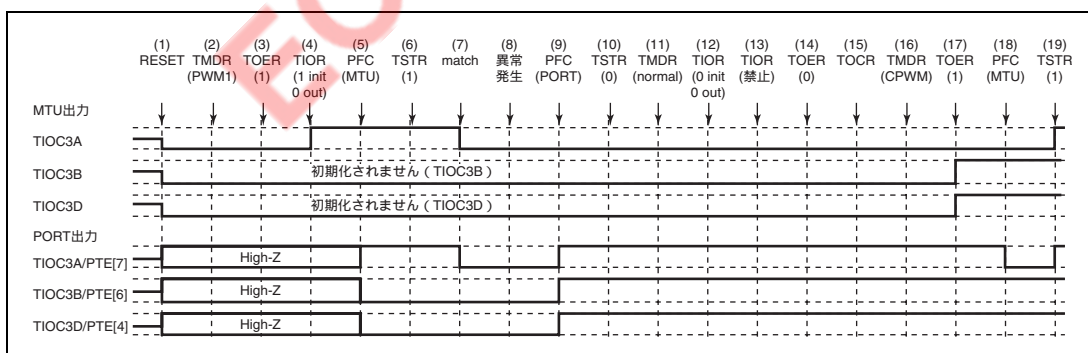


図 18.95 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

18. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 18.91 と共通です。
- (11) 波形生成部の初期化のため、ノーマルモードを設定してください。
- (12) TIOR で PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。
- (14) TOER でチャンネル 3、4 の出力を禁止してください。
- (15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) PFC で MTU 出力としてください。
- (19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 18.96 に示します。

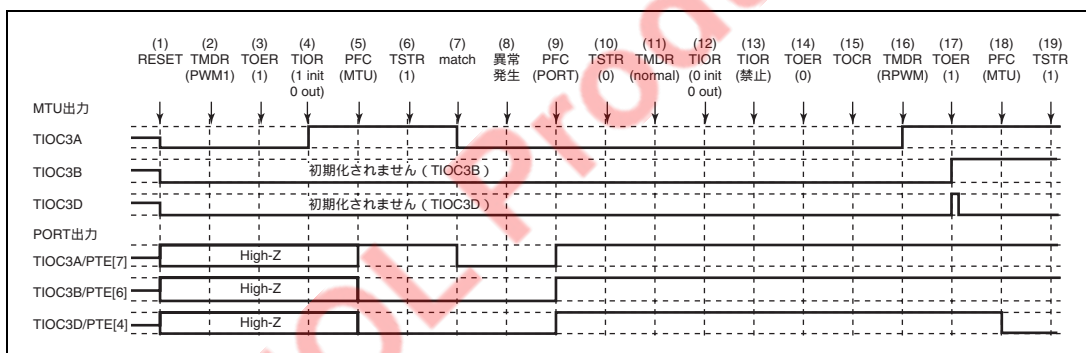


図 18.96 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (14) は図 18.95 と共通です。
- (15) TOCR で、リセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (16) リセット同期 PWM を設定します。
- (17) TOER でチャンネル 3、4 の出力を許可してください。
- (18) PFC で MTU 出力としてください。
- (19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 18.97 に示します。

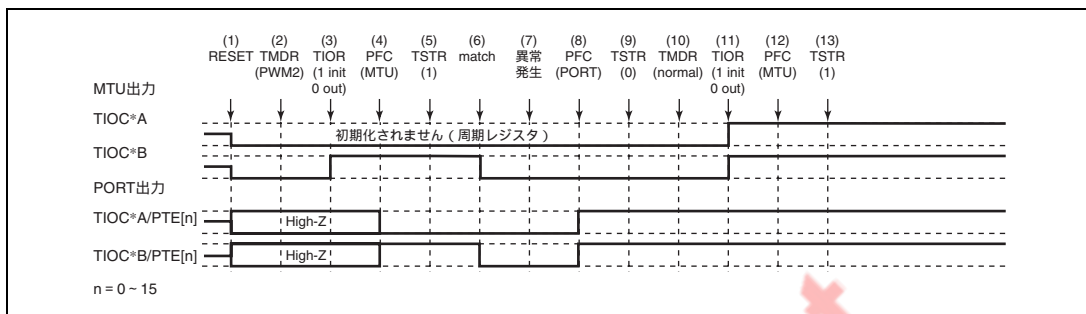


図 18.97 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください (例として、初期出力は High レベル、コンペアマッチで Low レベル出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により Low レベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

18. マルチファンクションタイマパルスユニット (MTU)

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作
 PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.98 に示します。

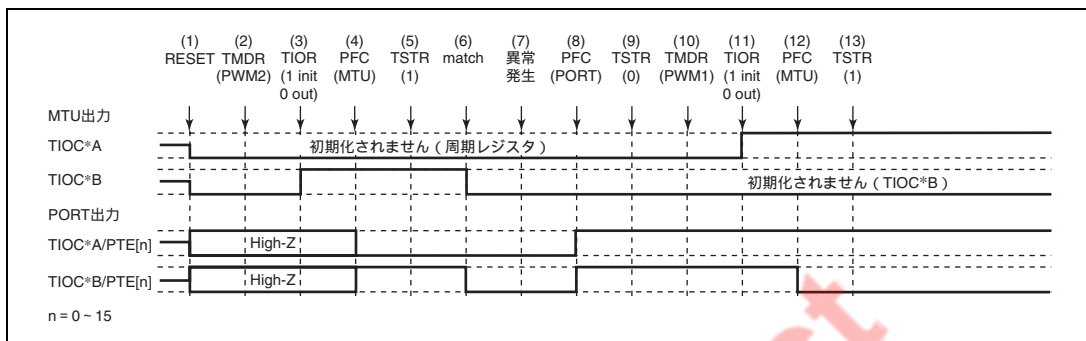


図 18.98 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 18.97 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作
 PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 18.99 に示します。

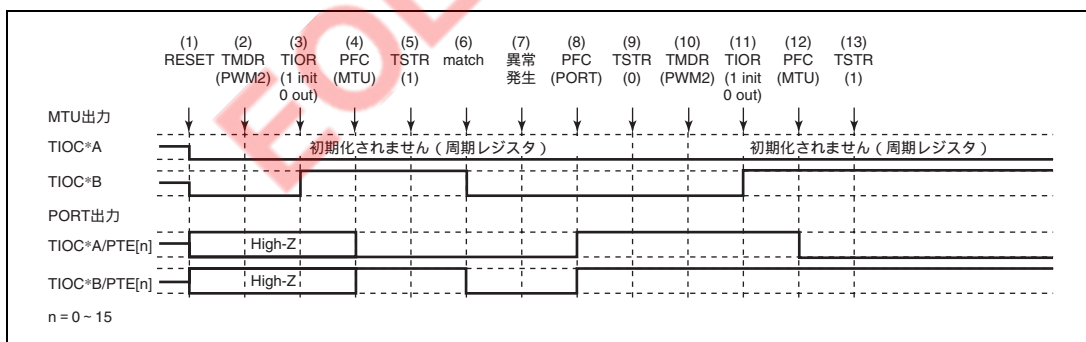


図 18.99 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 18.97 と共通です。
- (10) PWM モード 2 で再スタートする場合には必要ありません。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 18.100 に示します。

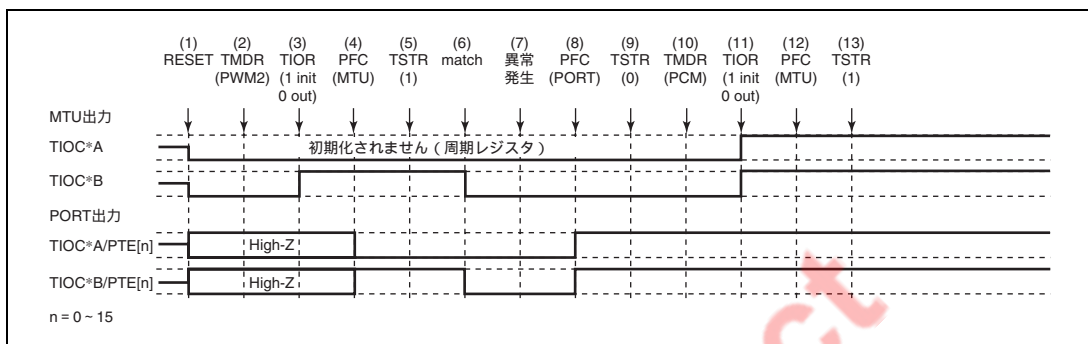


図 18.100 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

- (1) ~ (9) は図 18.97 と共通です。
- (10) 位相計数モードを設定します。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設計後ノーマルモードで再スタートする場合の説明図を図 18.101 に示します。

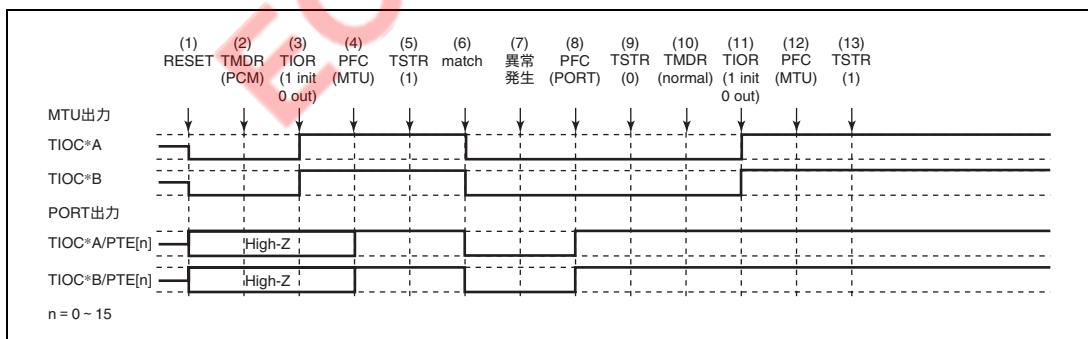


図 18.101 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください (例は、初期出力は High レベル、コンペアマッチで Low レベル出力です)。
- (4) PFC で MTU 出力としてください。

18. マルチファンクションタイマパルスユニット (MTU)

- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により、Low レベルを出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.102 に示します。

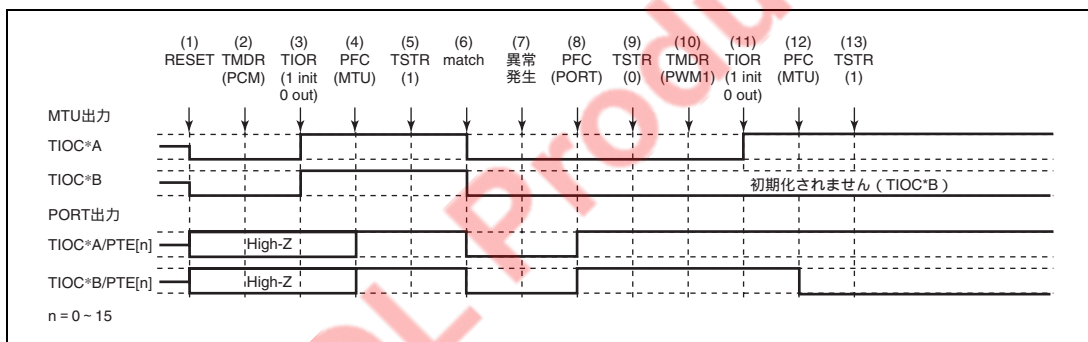


図 18.102 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 18.101 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

18. マルチファンクションタイマパルスユニット (MTU)

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 18.103 に示します。

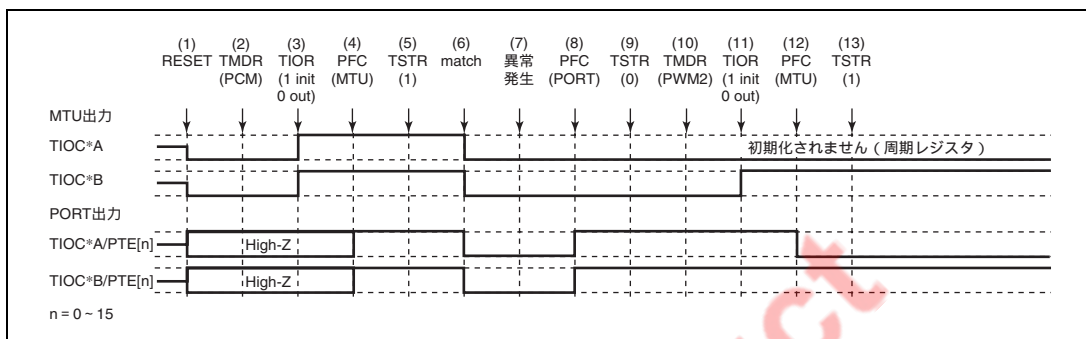


図 18.103 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 18.101 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU 出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 18.104 に示します。

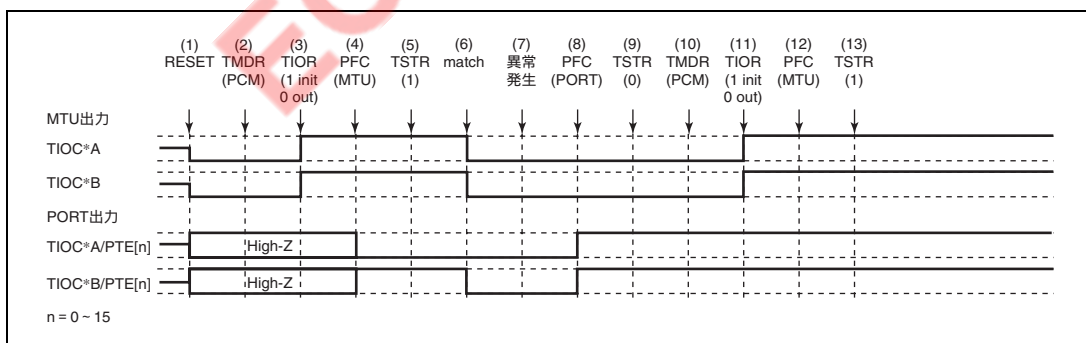


図 18.104 位相計数モードで異常が発生し、位相計数モードで復帰する場合

18. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (9) は図 18.101 と共通です。
- (10) 位相計数モードで再起動する場合には必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再起動します。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再起動する場合の動作
相補 PWM モードで異常が発生し、再設定後ノーマルモードで再起動する場合の説明図を図 18.105 に示します。

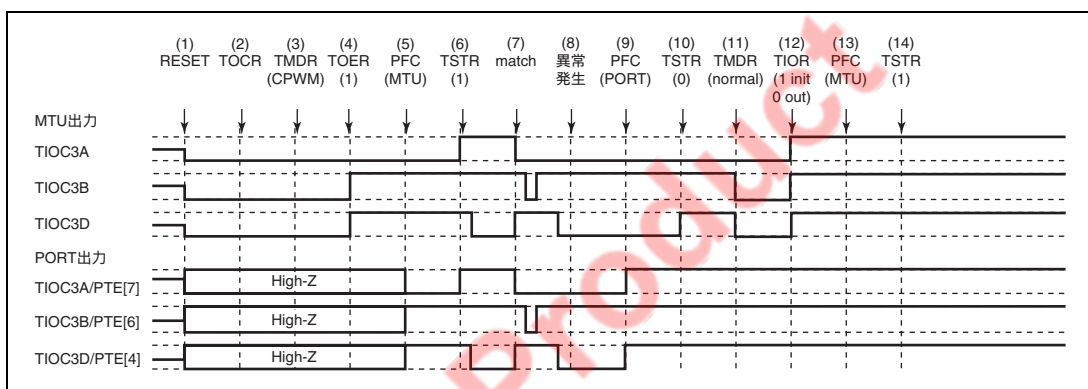


図 18.105 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) TOCR で、相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により、相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low レベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再起動します。

18. マルチファンクションタイマパルスユニット (MTU)

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.106 に示します。

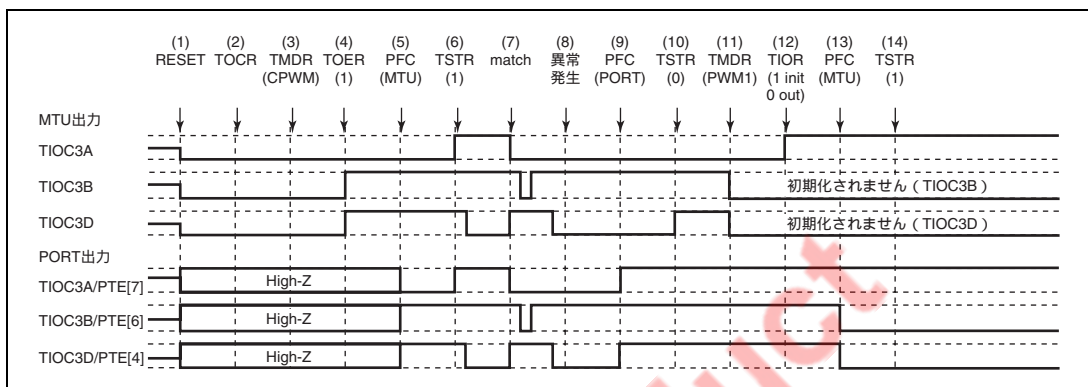


図 18.106 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 18.105 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low レベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。

(13) PFC で MTU 出力としてください。

(14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.107 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

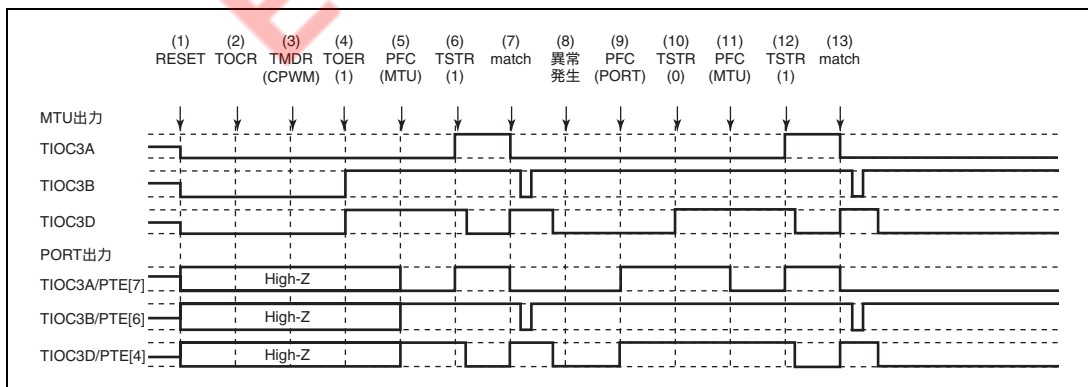


図 18.107 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

18. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 18.105 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.108 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

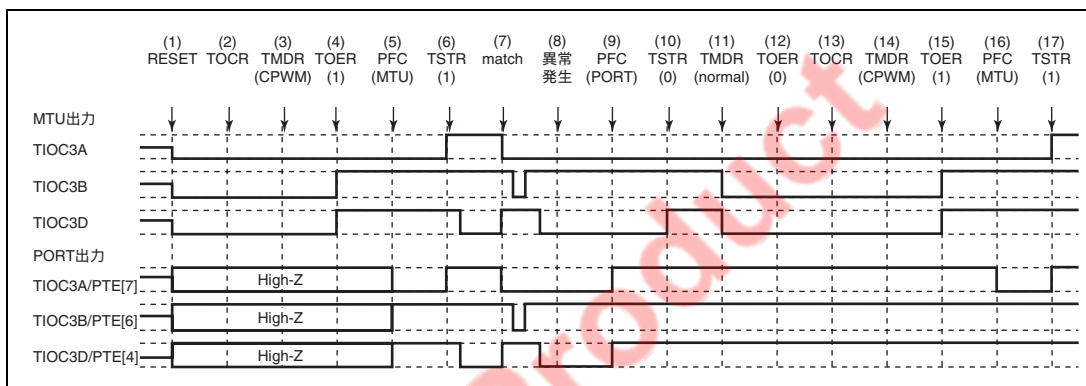


図 18.108 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 18.105 と共通です。
- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low レベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR で、相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

18. マルチファンクションタイマパルスユニット (MTU)

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図
18.109 に示します。

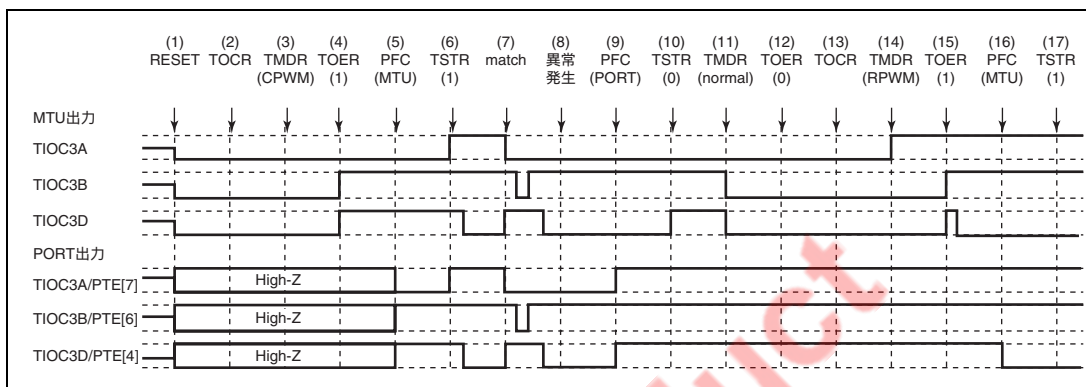


図 18.109 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 18.105 と共通です。
- (11) ノーマルモードを設定してください (MTU 出力は Low レベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU 出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作
リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図
18.110 に示します。

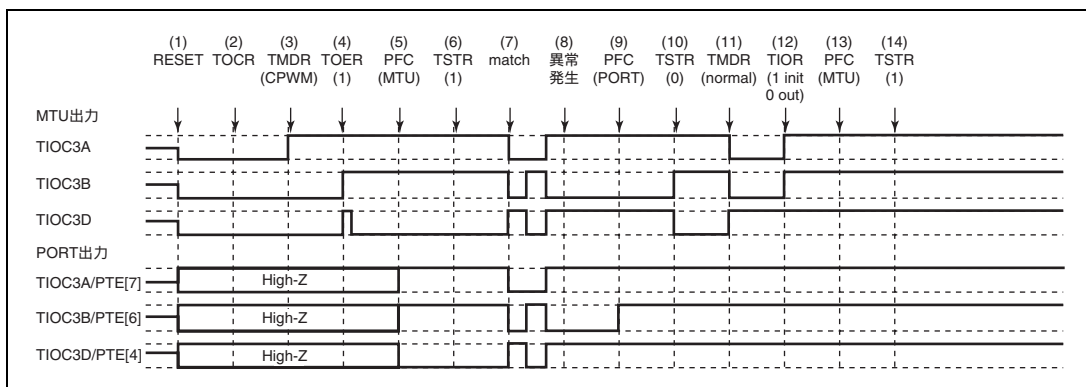


図 18.110 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

18. マルチファンクションタイマパルスユニット (MTU)

- (1) RESET により、MTU 出力は Low レベル、PORT はハイインピーダンスになります。
- (2) TOCR で、リセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により、リセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low レベル、逆相側が High レベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 18.111 に示します。

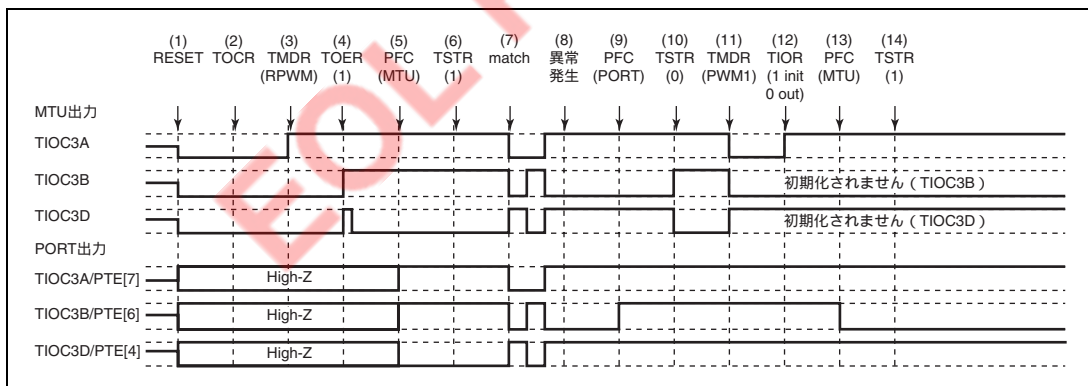


図 18.111 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 18.110 と共通です。
- (11) PWM モード 1 を設定してください (MTU 出力は正相側が Low レベル、逆相側が High レベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (13) PFC で MTU 出力としてください。
- (14) TSTR で再スタートします。

18. マルチファンクションタイマパルスユニット (MTU)

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 18.112 に示します。

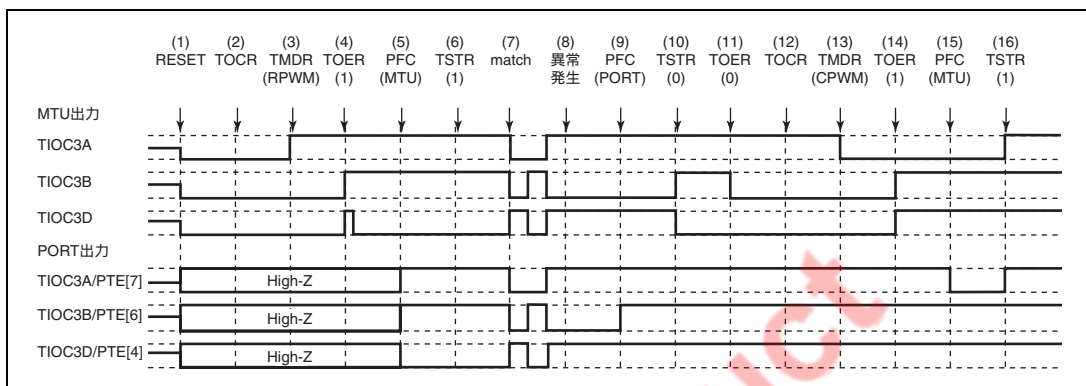


図 18.112 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 18.110 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で、相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low レベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作
 リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 18.113 に示します。

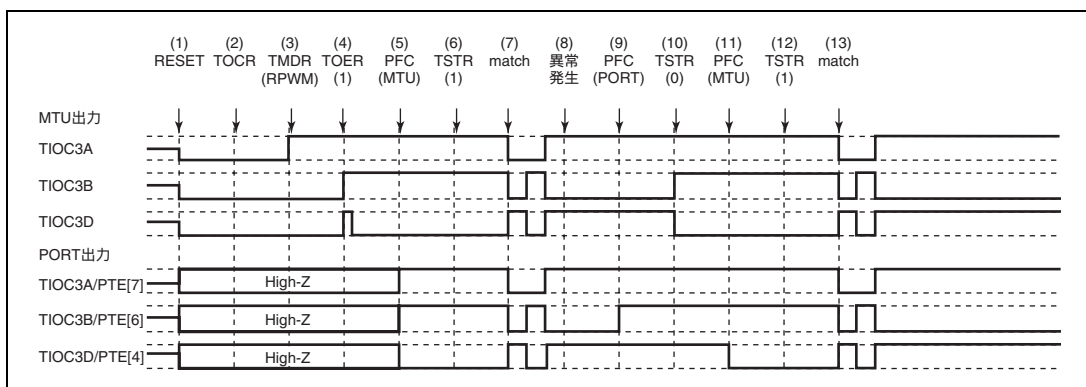


図 18.113 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

18. マルチファンクションタイマパルスユニット (MTU)

- (1) ~ (10) は図 18.110 と共通です。
- (11) PFC で MTU 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により、リセット同期 PWM 波形を出力します。

18.9 ポートアウトプットイネーブル (POE)

ポートアウトプットイネーブル(POE)は、 $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の入力変化または、大電流端子(TIOC3B/PTE[6]、TIOC3D/PTE[4]、TIOC4A/PTE[3]、TIOC4B/PTE[2]、TIOC4C/PTE[1]、TIOC4D/PTE[0])の出力状態によって、大電流端子をハイインピーダンス状態にすることができます。また、同時に割り込み要求を発行することができます。

18.9.1 特長

- $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ の各入力端子に、立ち下がりエッジ、P /8×16回、P /16×16回、P /128×16回のローレベルサンプリングの設定が可能
- $\overline{\text{POE0}} \sim \overline{\text{POE3}}$ 端子の立ち下がりエッジ、またはローレベルサンプリングによって、大電流端子をハイインピーダンス状態にできます。
- 大電流端子の出力レベルを比較し、同時にローレベル出力が1サイクル以上続いた場合、大電流端子をハイインピーダンス状態にできます。
- 入力レベルのサンプリング、および出力レベルの比較結果により、それぞれ割り込みの発生が可能です。

POE は、図 18.114 のブロック図に示すように、入力レベル検出回路と出力レベル検出回路から構成されます。

18. マルチファンクションタイマパルスユニット (MTU)

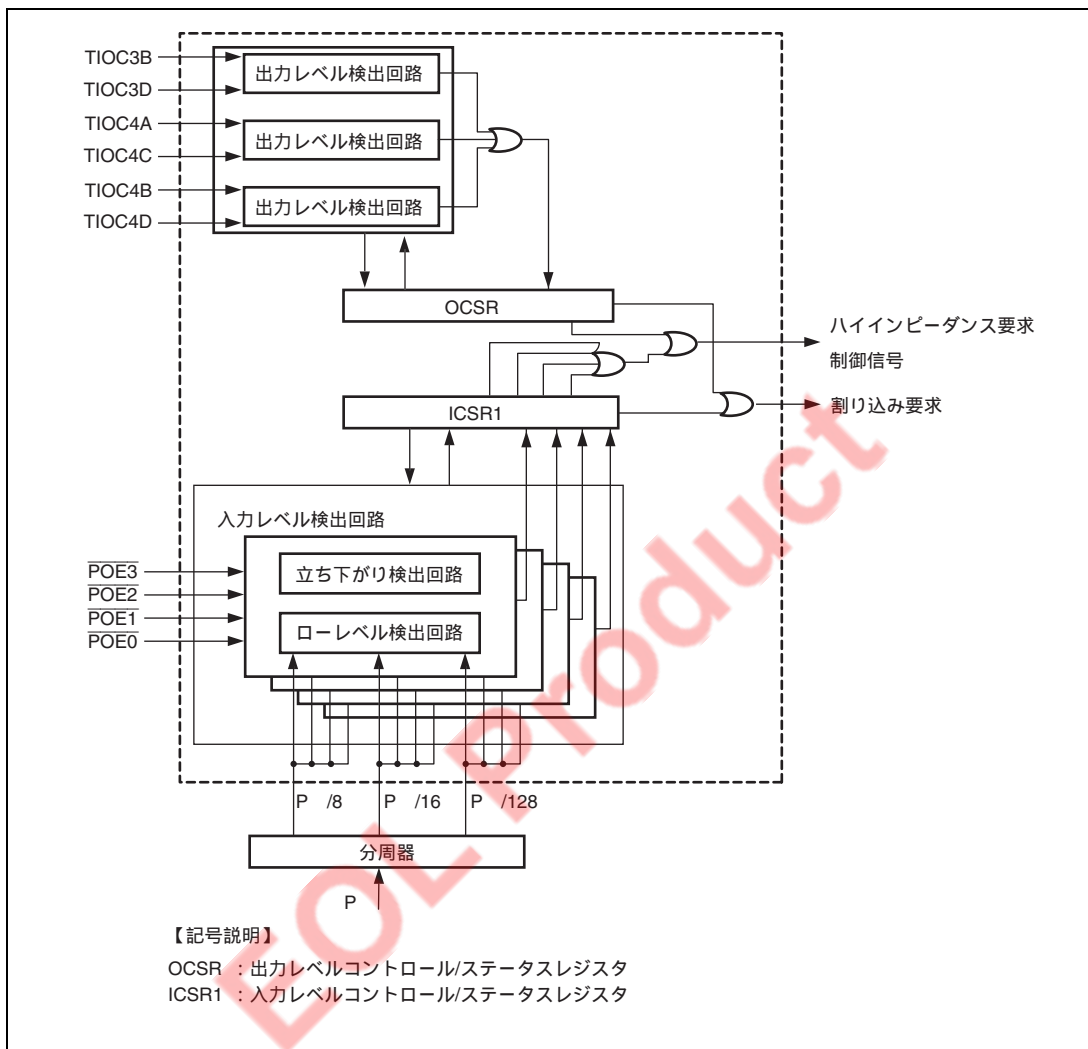


図 18.114 POE ブロック図

18. マルチファンクションタイマパルスユニット (MTU)

18.9.2 端子構成

表 18.44 端子構成

名称	名称	入出力	機能
ポートアウトプット イネーブル入力端子	POE0~ POE3	入力	大電流端子をハイインピーダンス状態にする要求信号を入力

表 18.45 に示す端子の組み合わせで出力レベルの比較を行います。

表 18.45 端子の組み合わせ

端子の組み合わせ	入出力	機能
TIOC3B/PTE[6]と TIOC3D/PTE[4]	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
TIOC4A/PTE[3]と TIOC4C/PTE[1]	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。
TIOC4B/PTE[2]と TIOC4D/PTE[0]	出力	1 サイクル以上同時にローレベル出力が続いた場合、大電流端子をすべてハイインピーダンス状態にします。

18.9.3 レジスタの説明

POE には 2 本のレジスタがあります。入力レベルコントロール / ステータスレジスタ 1 (ICSR1) により、POE0 ~ POE3 端子の入力信号の検出の制御、割り込みの制御を行います。また、出力レベルコントロール / ステータスレジスタ (OCSR) により、出力の比較許可 / 禁止、割り込みの制御を行います。

(1) 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

ICSR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、POE0 ~ POE3 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示します。

ビット	ビット名	初期値	R/W	説明
15	POE3F	0	R/(W)*	POE3 フラグビット POE3 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE3F=1 の状態を読み出した後、POE3F に 0 を書き込んだとき [セット条件] POE3 端子に、ICSR1 のビット 7、6 で設定した入力が発生したとき
14	POE2F	0	R/(W)*	POE2 フラグビット POE2 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE2F=1 の状態を読み出した後、POE2F に 0 を書き込んだとき [セット条件] POE2 端子に、ICSR1 のビット 5、4 で設定した入力が発生したとき

18. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
13	POE1F	0	R/(W)*	POE1 フラグビット $\overline{\text{POE1}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE1F=1 の状態を読み出した後、POE1F に 0 を書き込んだとき [セット条件] $\overline{\text{POE1}}$ 端子に、ICSR1 のビット 3、2 で設定した入力が発生したとき
12	POE0F	0	R/(W)*	POE0 フラグビット $\overline{\text{POE0}}$ 端子にハイインピーダンス要求が入力されたことを示すフラグ [クリア条件] POE0F=1 の状態を読み出した後、POE0F に 0 を書き込んだとき [セット条件] $\overline{\text{POE0}}$ 端子に、ICSR1 のビット 1、0 で設定した入力が発生したとき
11~9	-	すべて 0	R	リザーブビット リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
8	PIE	0	R/W	ポートインタラプトイネーブルビット ICSR1 の POE0F ~ POE3F ビットに、1 ビットでも 1 がセットされたとき、割り込み要求を許可または禁止します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
7 6	POE3M1 POE3M0	0 0	R/W R/W	POE3 モードビット 1、0 $\overline{\text{POE3}}$ 端子の入力モードを選択します。 00 : $\overline{\text{POE3}}$ 入力の立ち下がりがエッジで要求を受け付け 01 : $\overline{\text{POE3}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 10 : $\overline{\text{POE3}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。 11 : $\overline{\text{POE3}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。

18. マルチファンクションタイムパルスユニット (MTU)

ビット	ビット名	初期値	R/W	説明
5 4	POE2M1 POE2M0	0 0	R/W R/W	<p>POE2 モードビット 1、0</p> <p>$\overline{\text{POE2}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE2}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE2}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE2}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE2}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
3 2	POE1M1 POE1M0	0 0	R/W R/W	<p>POE1 モードビット 1、0</p> <p>$\overline{\text{POE1}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE1}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE1}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE1}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE1}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>
1 0	POE0M1 POE0M0	0 0	R/W R/W	<p>POE0 モードビット 1、0</p> <p>$\overline{\text{POE0}}$ 端子の入力モードを選択します。</p> <p>00 : $\overline{\text{POE0}}$ 入力の立ち下がりエッジで要求を受け付け</p> <p>01 : $\overline{\text{POE0}}$ 入力のローレベルを P /8 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>10 : $\overline{\text{POE0}}$ 入力のローレベルを P /16 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p> <p>11 : $\overline{\text{POE0}}$ 入力のローレベルを P /128 クロックごとに 16 回サンプリングし、すべてローレベルだった場合、要求を受け付けます。</p>

【注】 * 0 ライトのみ可

18. マルチファンクションタイマパルスユニット (MTU)

(2) 出力レベルコントロール/ステータスレジスタ (OCSR)

OCSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示します。

また、OSF に 1 がセットされると、大電流端子はハイインピーダンスになります。

ビット	ビット名	初期値	R/W	説明
15	OSF	0	R(W)*	出力短絡フラグビット 比較する 3 組の 2 相出力のうち 1 組でも同時に Low レベルになったことを示すフラグです。 [クリア条件] OSF=1 の状態を読み出した後、OSF に 0 を書き込んだとき [セット条件] 3 組の 2 相出力のうち 1 組でも同時に Low レベルになったとき
14~10	-	すべて 0	R	リザーブビット リードすると 0 がリードされます。ライトする値は常に 0 にしてください。
9	OCE	0	R/W	出力レベル比較許可ビット 出力レベルの比較開始を許可するビットです。このビットに 1 をセットする際は「表 18.43 モード遷移の組み合わせ」で示した出力端子の組み合わせに十分注意してください。同時に 0 出力になっている場合は、このビットをセットすると同時に OSF=1 となり、出力がハイインピーダンス状態になります。したがって、ポート E データレジスタ (PEDR) のビット 6、ビット 4~0 に 1 をセットするか、MTU の出力として比較する場合は PFC で MTU の出力端子に設定してから、このビットに 1 をセットしてください。また、出力として使用する以外、このビットをセットしないでください。 また、OCE ビットに 1 をセットした場合、OSF=1 にセットされても OIE=0 であればハイインピーダンス要求を行いません。したがって、出力レベルの比較結果によりハイインピーダンス要求を発行させる場合は、必ず OIE ビットに 1 をセットしてください。OCE=1 かつ OIE=1 に設定するとハイインピーダンス要求と同時に割り込み要求も発行されますが、割り込みコントローラ (INTC) の設定により、この割り込みをマスクすることが可能です。 0: 出力レベルの比較を禁止 1: 出力レベルの比較を許可し、OSF=1 のとき出力ハイインピーダンス要求を行います。
8	OIE	0	R/W	出力短絡割り込みイネーブルビット OCSR の OSF ビットがセットされたとき、割り込みを要求します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
7~0	-	すべて 0	R	リザーブビット リードすると 0 がリードされます。ライトする値は常に 0 にしてください。

【注】 * 0 ライトのみ可

18.9.4 動作説明

(1) 入力レベル検出動作

ICSR1 で設定した入力条件が、 $\overline{POE0} \sim \overline{POE3}$ 端子に 1 端子でも発生した場合、大電流端子をすべてハイインピーダンス状態にします。ただし、大電流端子が汎用出力機能または MTU 機能が選択されている場合にのみハイインピーダンスになります。

(a) 立ち下がりエッジ検出

$\overline{POE0} \sim \overline{POE3}$ 端子にハイレベルからローレベルの変化が入力されたとき、大電流端子をすべてハイインピーダンス状態にします。 $\overline{POE0} \sim \overline{POE3}$ 入力から端子のハイインピーダンスまでのタイミング例を図 18.115 に示します。

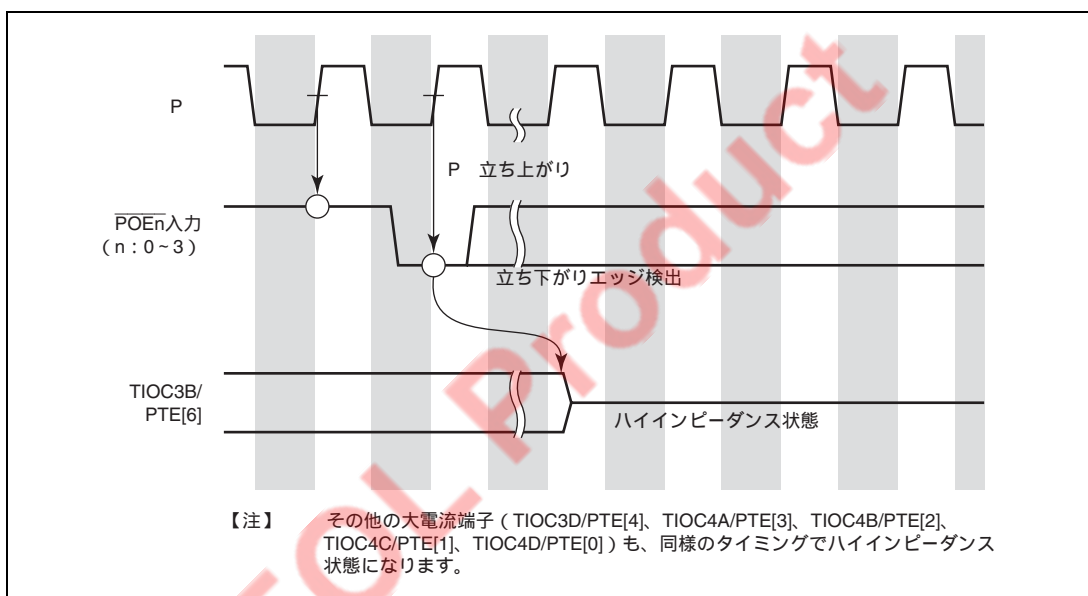


図 18.115 立ち下がりエッジ検出動作

(b) ローレベル検出

図 18.116 にローレベル検出動作を示します。ICSR1 で設定したサンプリングクロックで、16 回連続したローレベルをサンプリングします。このとき、一度でもハイレベルを検出した場合は、受け付けられません。

また、サンプリングクロックから大電流端子がハイインピーダンス状態になるタイミングは立ち下がりエッジ検出、ローレベル検出とも同じです。

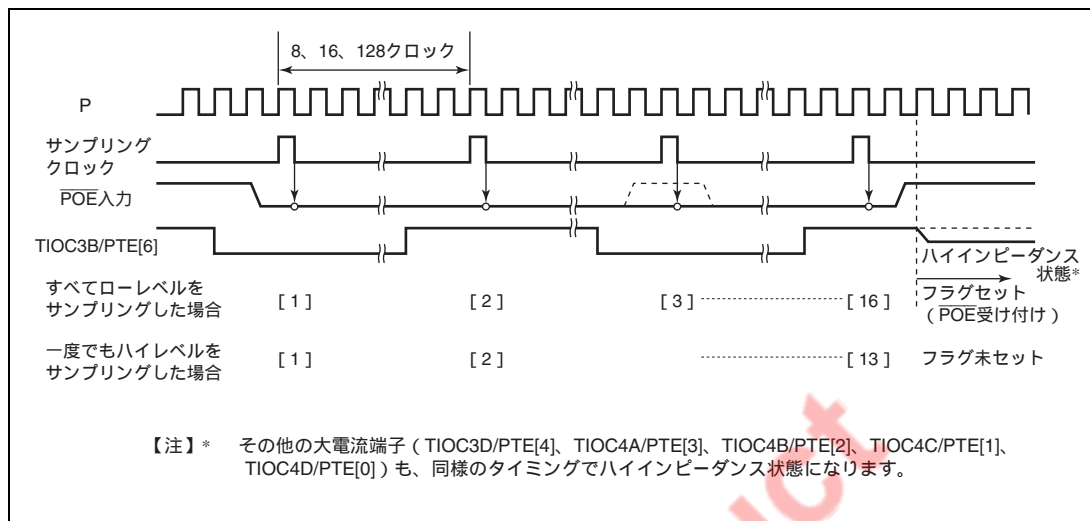


図 18.116 ローレベル検出動作

(2) 出力レベル比較動作

TIOC3B/PTE[6]と TIOC3D/PTE[4]の組み合わせを例に、出力レベル比較動作を図 18.117 に示します。他の端子の組み合わせについても同様です。

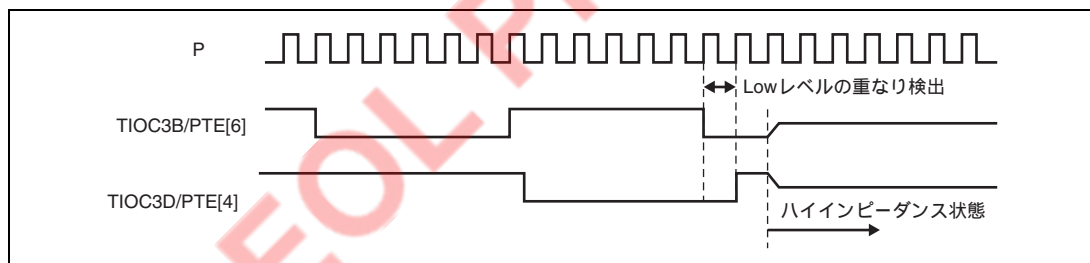


図 18.117 出力レベル検出動作

(3) ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、ICSR1 のビット 12~15 (POE0F~POE3F) のフラグをすべてクリアすることにより解除されます。

また、出力レベル検出でハイインピーダンス状態になった大電流端子は、パワーオンリセットで初期状態に戻すか、OCSR のビット 9 (OCE) をクリアし、出力レベルの比較を禁止してから、ビット 15 (OSF) のフラグをクリアすることにより解除されます。

ただし、OSF フラグをクリアしてハイインピーダンス状態から復帰する場合は、必ず大電流端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D) から、High レベルを出力するようにしてから行ってください。High レベル出力は MTU 内のレジスタを設定することで行えます。

EOL Product

19. FIFO 付きシリアルコミュニケーション インタフェース (SCIF)

本 LSI は、3 チャンネルの FIFO 付きシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。SCIF は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。

送受信に FIFO レジスタを各々 16 段内蔵しており、効率の良い高速連続通信を行うことができます。

19.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO パッファ構造になっているので、シリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース

ボーレートジェネレータ (内部クロック)、または SCK 端子 (外部クロック) から選択可能

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- 4種類の割り込み要因
送信FIFOデータエンプティ、ブ레이크、レシーブFIFOデータフル、受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信FIFOデータエンプティ割り込みとレシーブFIFOデータフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期モードにおいて、モデムコントロール機能 ($\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$) を内蔵しています。
- 送信、およびレシーブFIFOレジスタのデータ数およびレシーブFIFOレジスタの受信データの受信エラー数を検出できます。
- 調歩同期モード受信時、タイムアウトエラー (DR) を検出できます。

SCIFのブロック図を図 19.1 に示します。

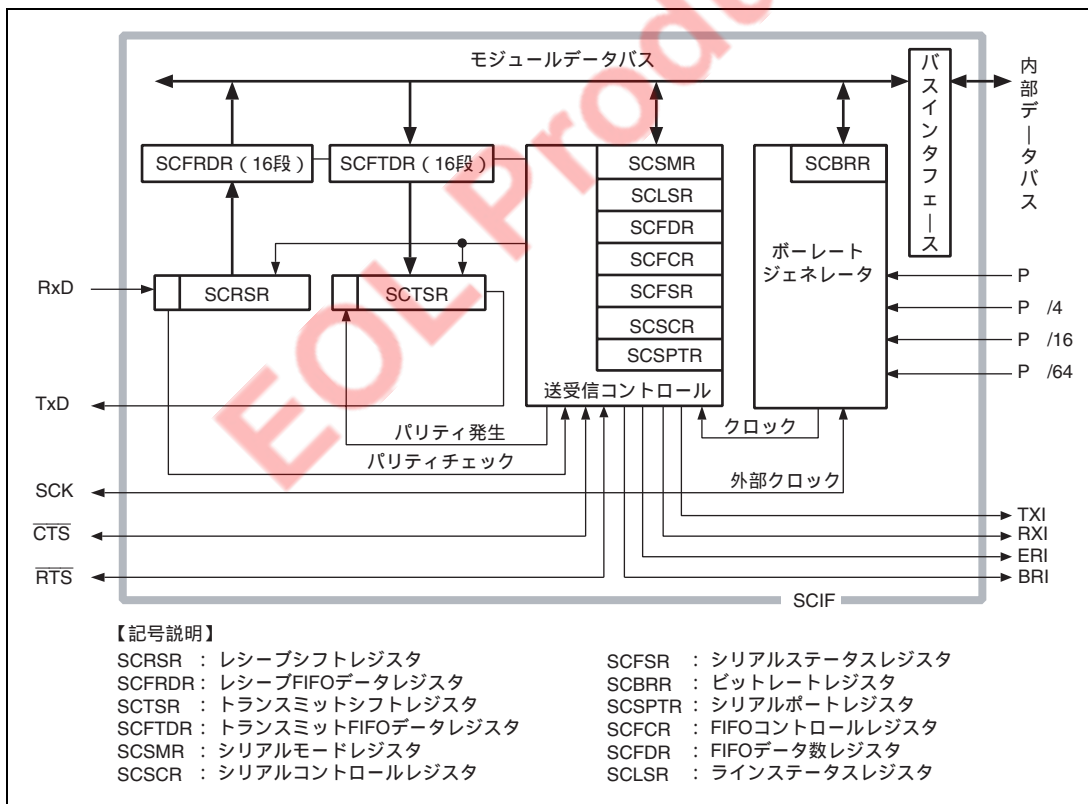


図 19.1 SCIFのブロック図

19.2 入出力端子

SCIFの入出力端子を表 19.1 に示します。

表 19.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK0	入出力	クロック入出力
	受信データ端子	RxD0	入力	受信データ入力
	送信データ端子	TxD0	出力	送信データ出力
	リクエストツースエンド端子	RTS0	入出力	リクエストツースエンド
	クリアツースエンド端子	CTS0	入出力	クリアツースエンド
1	シリアルクロック端子	SCK1	入出力	クロック入出力
	受信データ端子	RxD1	入力	受信データ入力
	送信データ端子	TxD1	出力	送信データ出力
	リクエストツースエンド端子	RTS1	入出力	リクエストツースエンド
	クリアツースエンド端子	CTS1	入出力	クリアツースエンド
2	シリアルクロック端子	SCK2	入出力	クロック入出力
	受信データ端子	RxD2	入力	受信データ入力
	送信データ端子	TxD2	出力	送信データ出力
	リクエストツースエンド端子	RTS2	入出力	リクエストツースエンド
	クリアツースエンド端子	CTS2	入出力	クリアツースエンド

19.3 レジスタの説明

SCIFのレジスタを以下に示します。これらのレジスタはデータフォーマットとビットレートを指定し、送信部、受信部をコントロールします。

- レシーブFIFOデータレジスタ_0 (SCFRDR_0)
- トランスミットFIFOデータレジスタ_0 (SCFTDR_0)
- シリアルモードレジスタ_0 (SCSMR_0)
- シリアルコントロールレジスタ_0 (SCSCR_0)
- シリアルステータスレジスタ_0 (SCFSR_0)
- ビットレートレジスタ_0 (SCBRR_0)
- FIFOコントロールレジスタ_0 (SCFCR_0)
- FIFOデータ数レジスタ_0 (SCFDR_0)
- シリアルポートレジスタ_0 (SCSPTR_0)
- ラインステータスレジスタ_0 (SCLSR_0)
- レシーブFIFOデータレジスタ_1 (SCFRDR_1)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

- トランスミットFIFOデータレジスタ_1 (SCFTDR_1)
- シリアルモードレジスタ_1 (SCSMR_1)
- シリアルコントロールレジスタ_1 (SCSCR_1)
- シリアルステータスレジスタ_1 (SCFSR_1)
- ビットレートレジスタ_1 (SCBRR_1)
- FIFOコントロールレジスタ_1 (SCFCR_1)
- FIFOデータ数レジスタ_1 (SCFDR_1)
- シリアルポートレジスタ_1 (SCSPTR_1)
- ラインステータスレジスタ_1 (SCLSR_1)
- レシーブFIFOデータレジスタ_2 (SCFRDR_2)
- トランスミットFIFOデータレジスタ_2 (SCFTDR_2)
- シリアルモードレジスタ_2 (SCSMR_2)
- シリアルコントロールレジスタ_2 (SCSCR_2)
- シリアルステータスレジスタ_2 (SCFSR_2)
- ビットレートレジスタ_2 (SCBRR_2)
- FIFOコントロールレジスタ_2 (SCFCR_2)
- FIFOデータ数レジスタ_2 (SCFDR_2)
- シリアルポートレジスタ_2 (SCSPTR_2)
- ラインステータスレジスタ_2 (SCLSR_2)

19.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

19.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 バイトの FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込むことはできません。レシーブ FIFO データレジスタに受信データがない状態で読み出すと値は不定になります。このレジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

SCFRDR は、パワーオンリセット時に不定となります。

ビット	ビット名	初期値	R/W	説明
7~0	-	不定	R	シリアル受信データ用 FIFO

19.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

19.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。

SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことはできません。書き込みを試みてもデータは無視されます。SCFTDR は、パワーオンリセット時に不定となります。

ビット	ビット名	初期値	R/W	説明
7~0	-	不定	W	シリアル送信データ用 FIFO

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

19.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。SCSMR は、常に CPU による読み出し / 書き込みが可能です。SCSMR は、パワーオンリセット時に H'0000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、トランスミット FIFO データレジスタの MSB (7 ビット) は送信されません。
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。 0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	O/E	0	R/W	<p>パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹ 1 : 奇数パリティ*²</p> <p>【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス 調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効となります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>0 : 1 ストップビット 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>1 : 2 ストップビット 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	CKS1	0	R/W	<p>クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「19.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00 : P クロック 01 : P /4 クロック 10 : P /16 クロック 11 : P /64 クロック</p> <p>【注】 P : 周辺クロック</p>
0	CKS0	0	R/W	

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

19.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。SCSCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送され、トランスミット FIFO レジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。 0 : 送信 FIFO データエンpty割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンpty割り込み (TXI) 要求を許可* 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より大きな量の送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0 : 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1 : 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】* RXI 割り込み要求の解除は、RDF または DR フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。
5	TE	0	R/W	トランスミットイネーブル シリアル送信動作の開始を許可 / 禁止します。 0 : 送信動作を禁止 1 : 送信動作を許可* 【注】* この状態で、SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK または ORER フラグの 1 を読み出した後 0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行います。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	-	0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE 1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR2 の C/A ビットを 1 に設定してから CKE1、CKE0 ビットを設定してください。</p> <ul style="list-style-type: none"> ● 調歩同期式モード <ul style="list-style-type: none"> 00 : 内部クロック/SCK 端子は入力端子 (入力信号は無視) 01 : 内部クロック/SCK 端子はクロック出力 (ビットレートの 16 倍の周波数のクロックを出力) 10 : 外部クロック/SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) 11 : 設定禁止 ● クロック同期式モード <ul style="list-style-type: none"> 00 : 内部クロック/SCK 端子は同期クロック出力 01 : 内部クロック/SCK 端子は同期クロック出力 10 : 外部クロック/SCK 端子は同期クロック入力 11 : 設定禁止

19.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みが可能です。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。SCFSR は、パワーオンリセット時に H'0060 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	PER3	0	R	パリティエラー数
14	PER2	0	R	レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。
13	PER1	0	R	SCFSR の ER ビットがセットされた後、ビット 15 ~ 12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER3 ~ PER0 は 0 を表示します。
12	PER0	0	R	
11	FER3	0	R	フレーミングエラー数
10	FER2	0	R	レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。
9	FER1	0	R	SCFSR の ER ビットがセットされた後、ビット 11 ~ 8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER3 ~ FER0 は 0 を表示します。
8	FER0	0	R	

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 回のデータ受信の終わりで受信データの最後のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*² • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>*² 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。</p>
6	TEND	1	R/(W)*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCFTDR に送信データを書き込み、TEND = 1 の状態を読み出した後 TEND フラグに 0 を書き込んだとき • 1: 送信を終了したことを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • SCSCR の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき <p>【注】 送信 FIFO データエンプティ DMA 転送要求により DMAC で SCFTDR へ送信データのライトを行った場合は、送信終了フラグとして使用しないでください。</p>

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータ SCFTDR に書き込み、TDFE に 0 を書き込んだとき • DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であること*を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットに示されます。</p>
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1: ブレーク信号を受信*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】* ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると受信データの転送が再開します。</p>

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信データがレシーブ FIFO データレジスタ(SCFRDR)に転送され、SCFRDR の受信データ数が、FIFO コントロールレジスタ(SCFCR)の RTRG1、RTRG0 ビットで指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた送信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF = 1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき • DMAC が SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されたとき* <p>【注】* SCFRDR は 16 バイトの FIFO レジスタです。RDF が 1 のとき、少なくとも指定受信トリガ数のデータを読み出すことができます。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けると不定になります。SCFRDR の受信データ数は SCFCR の下位 8 ビットに示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR = 1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*後も次のデータが受信されないとき <p>【注】* 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。ETU (Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

19.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、3 つのチャンネルにはそれぞれ異なる値を設定することができます。

SCBRR の設定値は以下の計算式で求められます。

- 調歩同期式モード

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- クロック同期式モード

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 N 255)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 19.2 を参照してください)

表 19.2 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 19.3 に調歩同期式モードの SCBRR の設定例を、表 19.4 にクロック同期式モードの SCBRR の設定例を示します。表 19.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 19.6 と表 19.7 に外部クロック入力時の最大ビットレートを示します。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.3 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	P (MHz)														
	5			6			6.144			7.37288			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	88	-0.25	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	64	0.16	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	129	0.16	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	64	0.16	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	129	0.16	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	64	0.16	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	32	-1.36	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	15	1.73	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	7	1.73	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	4	0.00	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	3	1.73	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

ビットレート (bit/s)	P (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	0.16	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.3 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(2)

ビットレート (bit/s)	P (MHz)											
	14.7456			16			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	86	0.31	3	88	-0.25
150	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
300	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
1200	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
4800	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
31250	0	14	-1.70	0	15	0.00	0	19	-1.70	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

ビットレート (bit/s)	P (MHz)														
	24			24.576			28.7			30			33		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	106	-0.44	3	108	0.08	3	126	0.31	3	132	0.13	3	145	0.33
150	3	77	0.16	3	79	0.00	3	92	0.46	3	97	-0.35	3	106	0.39
300	2	155	0.16	2	159	0.00	2	186	-0.08	2	194	0.16	2	214	-0.07
600	2	77	0.16	2	79	0.00	2	92	0.46	2	97	-0.35	2	106	0.39
1200	1	155	0.16	1	159	0.00	1	186	-0.08	1	194	0.16	1	214	-0.07
2400	1	77	0.16	1	79	0.00	1	92	0.46	1	97	-0.35	1	106	0.39
4800	0	155	0.16	0	159	0.00	0	186	-0.08	0	194	-1.36	0	214	-0.07
9600	0	77	0.16	0	79	0.00	0	92	0.46	0	97	-0.35	0	106	0.39
19200	0	38	0.16	0	39	0.00	0	46	-0.61	0	48	-0.35	0	53	-0.54
31250	0	23	0.00	0	24	-1.70	0	28	-1.03	0	29	0.00	0	32	0.00
38400	0	19	-2.34	0	19	0.00	0	22	1.55	0	23	1.73	0	26	-0.54

【注】 誤差は、なるべく 1%以内になるように設定してください。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.4 ビットレートに対する SCBRR の設定例〔クロック同期モード〕

ビットレート (bit/s)	P (MHz)											
	5		8		16		28.7		30		33	
	n	N	n	N	n	N	n	N	n	N	n	N
110	-	-	-	-	-	-	-	-	-	-	-	-
250	3	77	3	124	3	249	-	-	-	-	-	-
500	3	38	2	249	3	124	3	223	3	233	3	255
1k	2	77	2	124	2	249	3	111	3	116	3	125
2.5k	1	124	1	199	2	99	2	178	2	187	2	200
5k	0	249	1	99	1	199	2	89	2	93	2	100
10k	0	124	0	199	1	99	1	178	1	187	1	200
25k	0	49	0	79	0	159	1	71	1	74	1	80
50k	0	24	0	39	0	79	0	143	0	149	0	160
100k	-	-	0	19	0	39	0	71	0	74	0	80
250k	0	4	0	7	0	15	-	-	0	29	0	31
500k	-	-	0	3	0	7	-	-	0	14	0	15
1M	-	-	-	-	0	3	-	-	-	-	0	7
2M			-	-	-	-	-	-	-	-	-	-

【注】 外部仕様を満足する BRR を設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

P (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
5	156250	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0
33	1031250	0	0

EOL Product

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
5	1.2500	78125
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750
33	8.25	515625

表 19.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
5	0.8333	833333.3
8	1.3333	1333333.3
16	2.6667	2666666.7
24	4.0000	4000000.0
28.7	4.7833	4783333.3
30	5.0000	5000000.0
33	5.5	5500000.0

19.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し/書き込みが可能です。SCFCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	RSTRG2	0	R/W	RTS 出力アクティブトリガ 2、1、0 レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14 【注】クロック同期モードのとき、DMAC により受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。
9	RSTRG1	0	R/W	
8	RSTRG0	0	R/W	
7	RTRG1	0	R/W	レシーブ FIFO データ数トリガ 1、0
6	RTRG0	0	R/W	シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。 レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグをセットします。 ・調歩同期式モード ・クロック同期式モード 00 : 1 00 : 1 01 : 4 01 : 2 10 : 8 10 : 8 11 : 14 11 : 14

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5 4	TTRG1 TTRG0	0 0	R/W R/W	<p>トランスミット FIFO データ数トリガ 1、0 シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。</p> <p>トランスミット FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグをセットします。</p> <p>00 : 8 (8) * 01 : 4 (12) * 10 : 2 (14) * 11 : 0 (16) *</p> <p>【注】* () 内の値は TDFE フラグがセットされときの SCFTDR レジスタの空きバイト数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可/禁止します。 クロック同期モードでは MCE を常に 0 にしてください。</p> <p>0 : モデム信号を禁止* 1 : モデム信号を許可</p> <p>【注】* 入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ も 0 に固定されます。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット トランスミット FIFO データレジスタ内の送信データを無効とし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止* 1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット レシーブ FIFO データレジスタの受信データを無効とし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止* 1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト (LOOP) 送信出力端子 (TxD) と受信入力端子 (RxD)、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止 1 : ループバックテストを許可</p>

19.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU からの読み出しが可能です。SCFDR は、パワーオンリセット時に H'0000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	T4	0	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
11	T3	0	R	
10	T2	0	R	
9	T1	0	R	
8	T0	0	R	
7~5	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	R4	0	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR 格納されていることを示します。
3	R3	0	R	
2	R2	0	R	
1	R1	0	R	
0	R0	0	R	

19.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で $\overline{\text{RTS}}$ 端子に対して、データの読み込みおよび出力データを書き込むことができます。ビット 5、4 で $\overline{\text{CTS}}$ 端子に対して、データの読み込みおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

SCSPTR は、常に CPU による読み出し / 書き込みが可能です。SCSPTR は、パワーオンリセット時に H'0050 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	RTS ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	RTS ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし、PFC (ピンファンクションコントローラ) で $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0: 入出力データがローレベル 1: 入出力データがハイレベル
5	CTSIO	0	R/W	CTS ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する
4	CTSDT	1	R/W	CTS ポートデータ シリアルポートの $\overline{\text{CTS}}$ 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTSDT ビットの値が $\overline{\text{CTS}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは $\overline{\text{CTS}}$ 端子の値が読み出されます。ただし、PFC で $\overline{\text{CTS}}$ 入出力に設定しておく必要があります。 0: 入出力データがローレベル 1: 入出力データがハイレベル

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	SCKIO	0	R/W	<p>SCK ポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CK1、CKE0 ビットを 0 に設定してください。</p> <p>0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R/W	<p>SCK ポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし、PFC で SCK 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
1	SPB2IO	0	R/W	<p>シリアルポートブレイク入出力</p> <p>シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : TxD 端子に SPB2DT ビットの値を出力しない 1 : TxD 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R/W	<p>シリアルポートブレイクデータ</p> <p>シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TxD 端子を出力に設定した場合、SPB2DT ビットの値が TxD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD 端子の値が読み出されます。ただし、PFC で RxD 入力、TxD 出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>

19.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU による読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

SCLSR は、パワーオンリセット時に H'0000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0 : 受信中、または正常に受信完了したことを表示* ¹ [クリア条件] • パワーオンリセット • ORER = 1 の状態を読み出した後、0 を書き込んだとき 1 : 受信時にオーバランエラーが発生したことを表示* ² [セット条件] • 受信 FIFO にいっぱいの 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき 【注】* ¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 * ² レシーブ FIFO データレジスタ (SCFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

19.4 動作説明

19.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信 / 受信の各々に 16 段の FIFO バッファを内蔵しており、CPU のオーパヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として $\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$ 信号を用意しています。

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 19.8 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 19.9 に示します。

- 調歩同期式モード
- データ長：7ビット / 8ビットから選択可能
パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタ各々の格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要
(内蔵ポーレートジェネレータを使用しない)
- クロック同期式モード
- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

表 19.8 SCSMR の設定値と SCIF 送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF 送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	*	*	*	クロック同期式モード	8 ビット	なし	なし

表 19.9 SCSMR2、SCSCR2 の設定と SCIF のクロックソースの選択

SCSMR	SCSCR の設定値		モード	クロック ソース	SCK 端子の機能	
	ビット 7	ビット 1				ビット 0
	C/ \bar{A}	CKE1				CKE0
0	0	0	調歩同期式モード	内部	SCIF は SCK 端子を使用しません	
		1			ビットレートの 16 倍の周波数のクロックを出力	
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力	
1	0	*	クロック同期式モード	内部	同期クロックを出力	
	1	0		外部	同期クロックを入力	

【注】 * : Don't care

19.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。調歩同期式シリアル通信の一般的なフォーマットを図 19.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

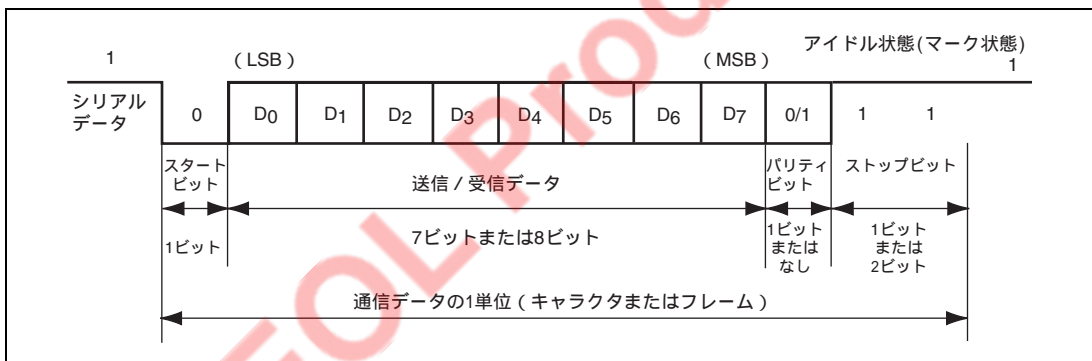


図 19.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表19.10に示します。

送信 / 受信フォーマットは8種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 19.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
0	0	1	START	8ビットデータ								STOP	STOP		
0	1	0	START	8ビットデータ								P	STOP		
0	1	1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
1	0	1	START	7ビットデータ							STOP	STOP			
1	1	0	START	7ビットデータ							P	STOP			
1	1	1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIFの送受信クロックは、SCSMRのC/Aビットおよびシリアルコントロールレジスタ(SCSCR)のCKE1、CKE0ビットの設定により、内蔵パーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIFのクロックソースの選択については表19.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16倍です。

(3) データの送信 / 受信動作

- SCIF初期化 (調歩同期式)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (SCTSR) が初期化されます。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCFSR)、トランスミット FIFO データレジスタ (SCFTDR) および、レシーブ FIFO データレジスタ (SCFRDR) は初期化されず内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCFSR の TEND フラグがセットされた後に行ってください。TE ビットは送信中でも 0 クリア可能ですが、送信データは 0 クリアした後、マーク状態になります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットを 1 にセットして SCFTDR をリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。図 19.3 に SCIF の初期化フローチャートの例を示します。

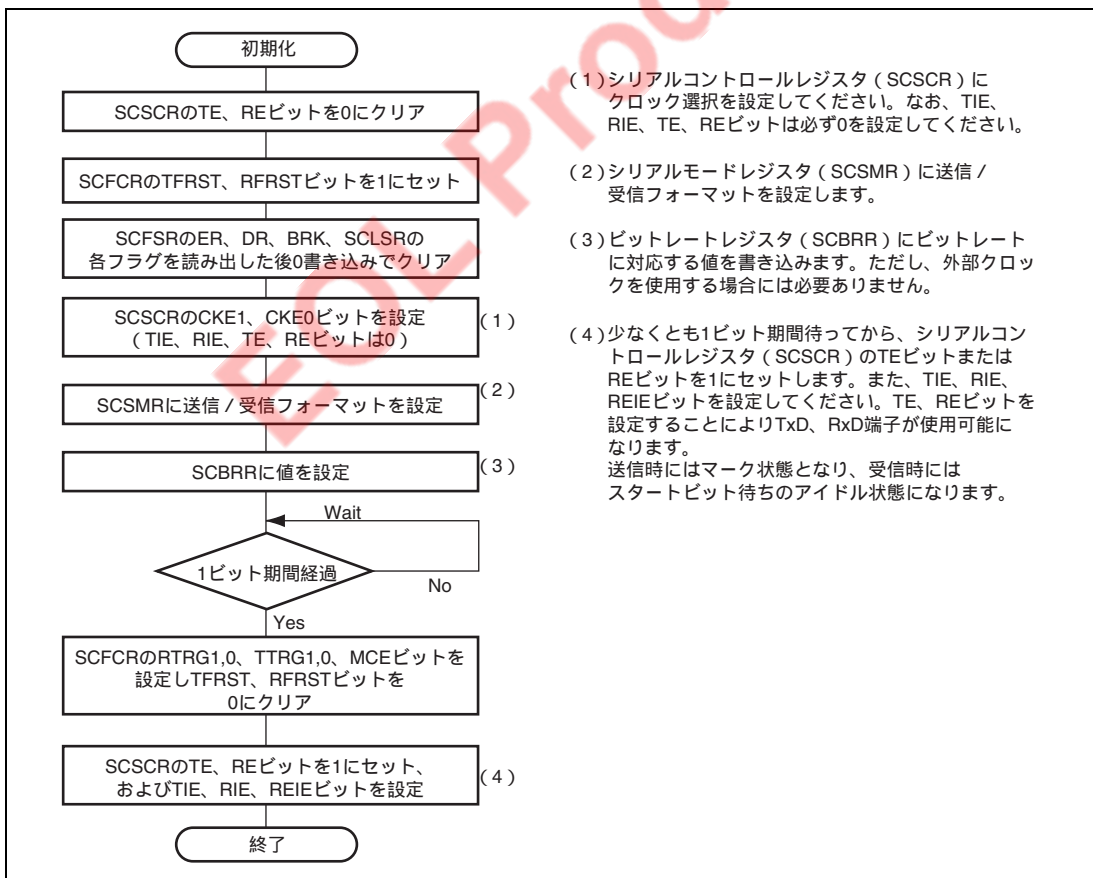


図 19.3 SCIF 初期化フローチャートの例

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

• シリアルデータ送信 (調歩同期式)

図 19.4 にシリアル送信のフローチャートの例を示します。

SCIF の送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

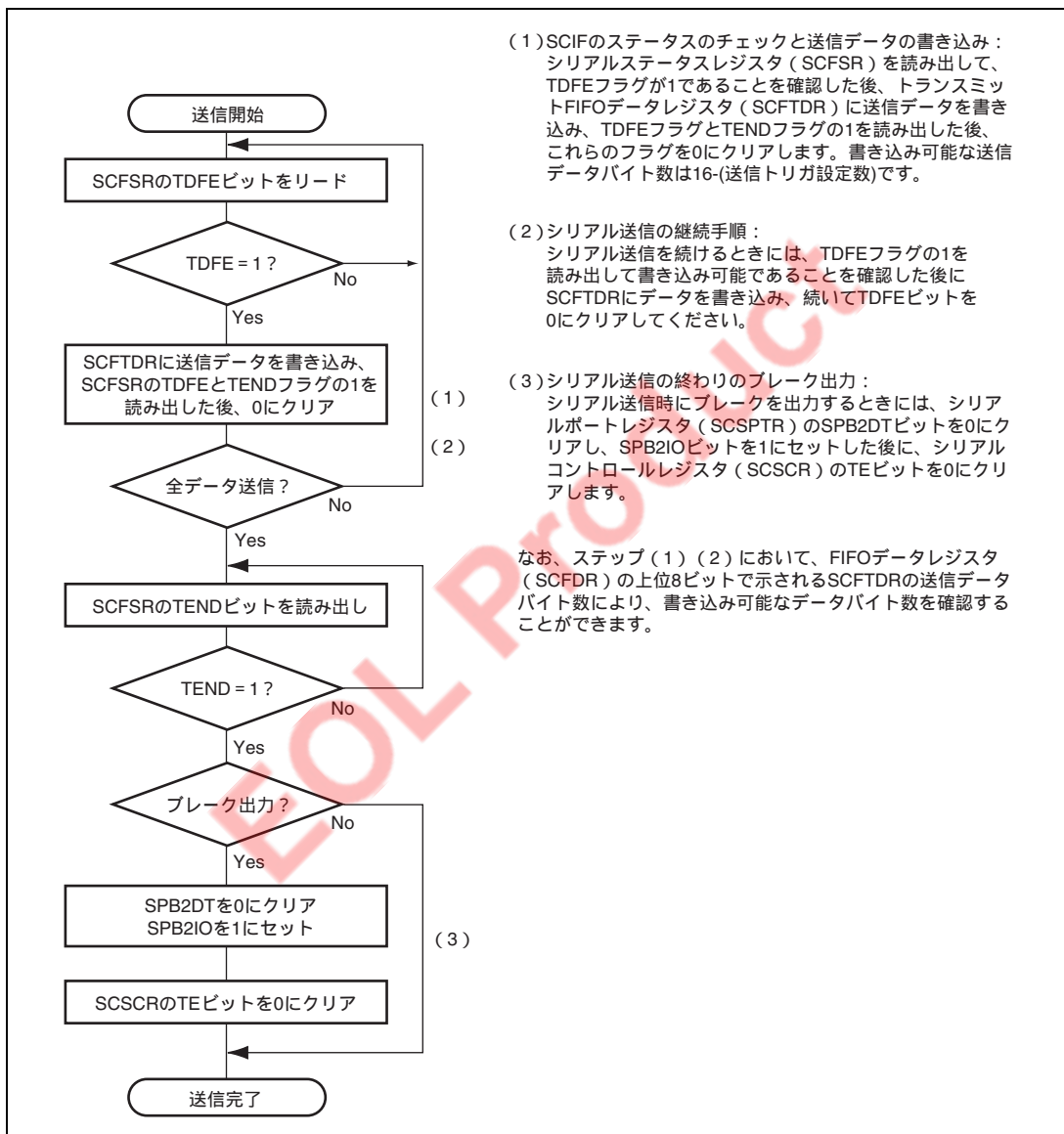


図 19.4 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1であることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を行います。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
- (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
- (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信データがないとSCFSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を連続して出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 19.5 に示します。

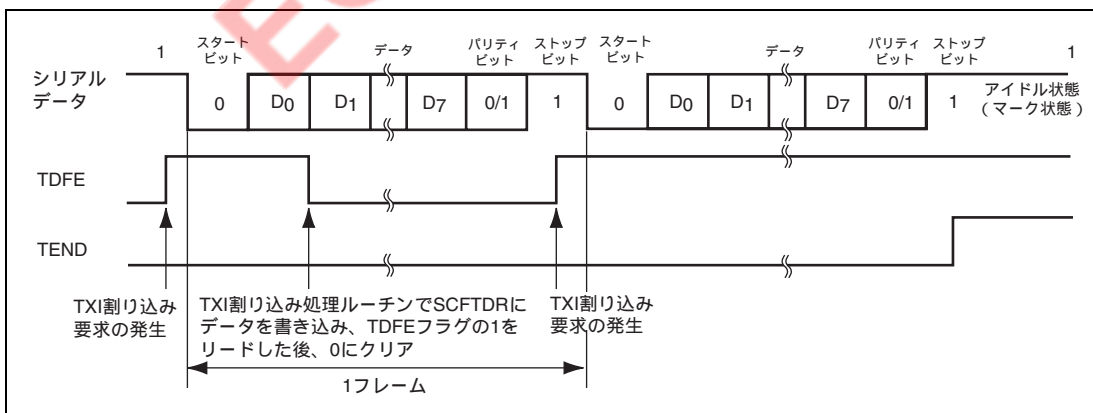


図 19.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

4. モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止 / 再開することができます。 $\overline{\text{CTS}}$ が1にされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にされると、次の送信データがスタートビットを先頭に出力されます。モデムコントロールを使用した動作例を図19.6に示します。

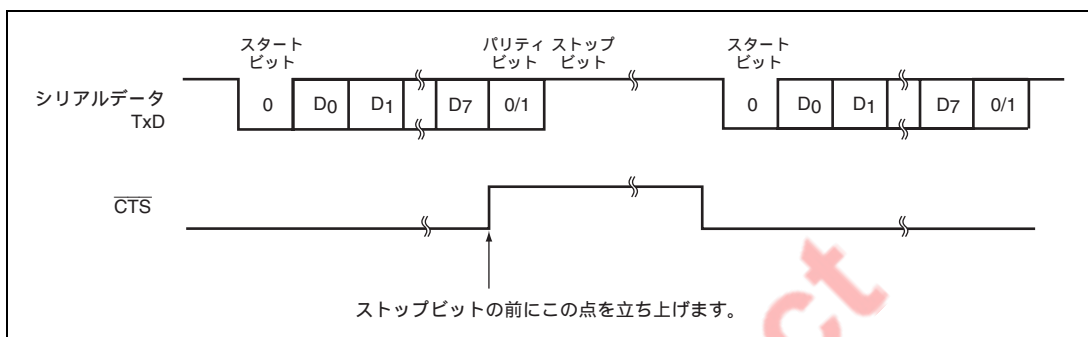


図 19.6 モデムコントロールを使用した動作例 (CTS)

• シリアルデータ受信 (調歩同期式)

図 19.7、図 19.8 にシリアル受信フローチャートの例を示します。

SCIF の受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

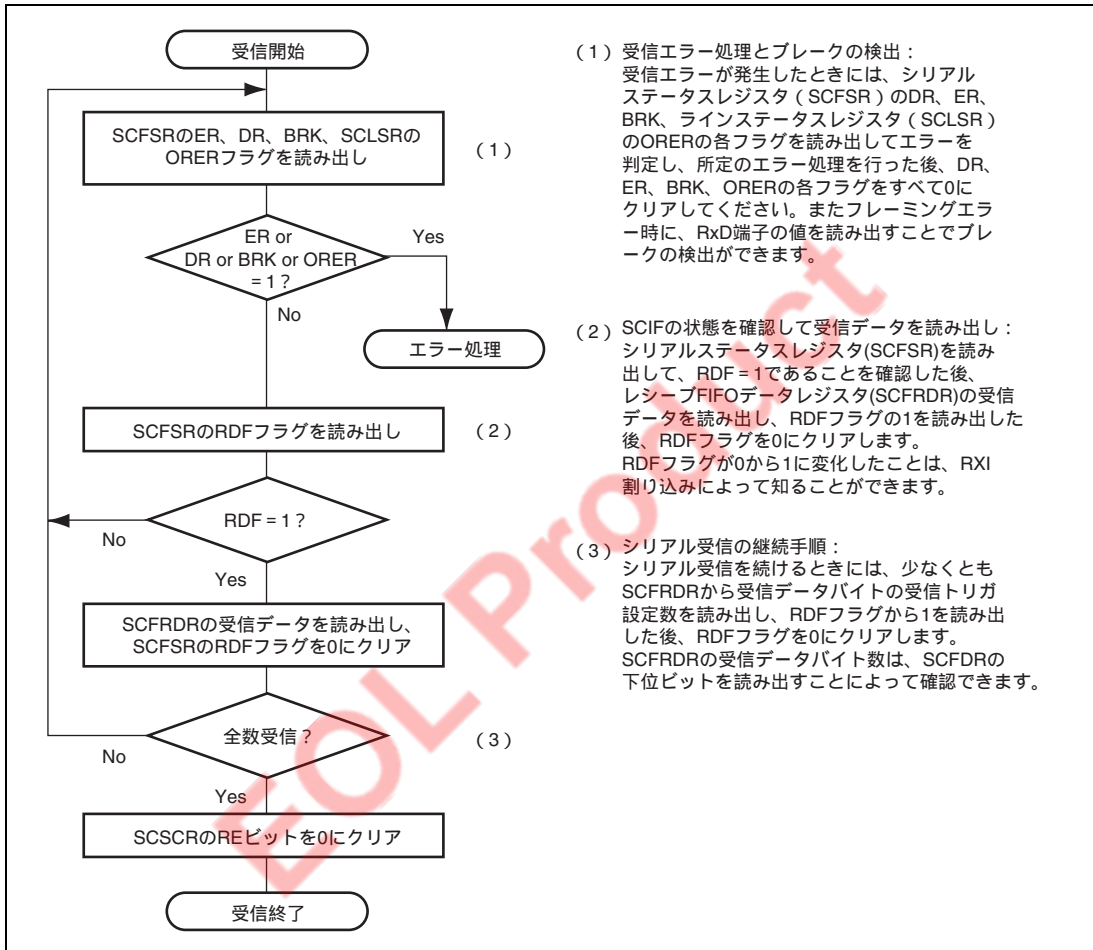


図 19.7 シリアル受信のフローチャートの例 (1)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

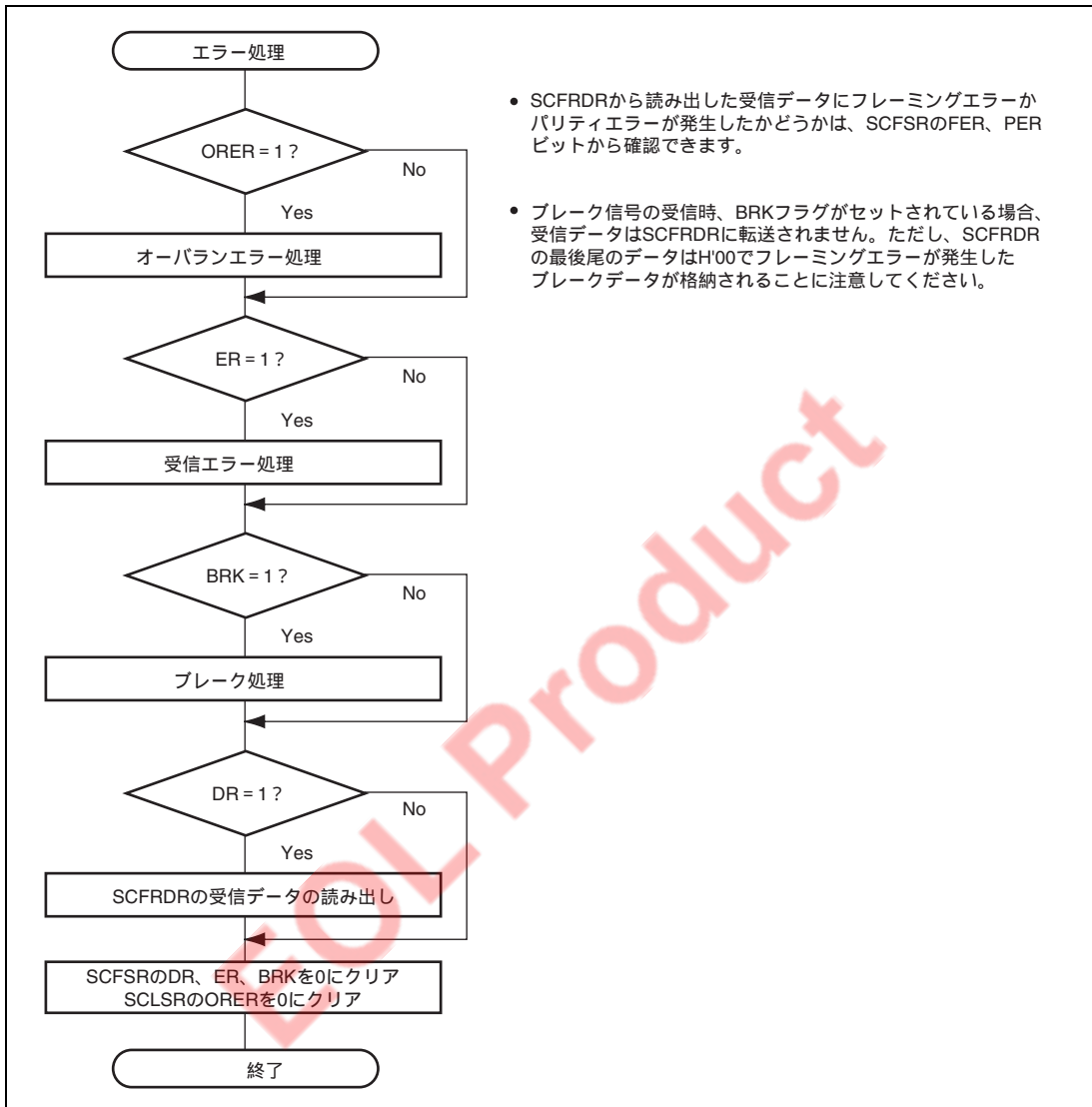


図 19.8 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシブシフトレジスタ (SCRSR) から SCFRDR に転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示す ORER フラグが0であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示す BRK フラグが0であるかどうかをチェックします。

以上のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされているとレシブFIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期モード受信時の動作例を図 19.9 に示します。

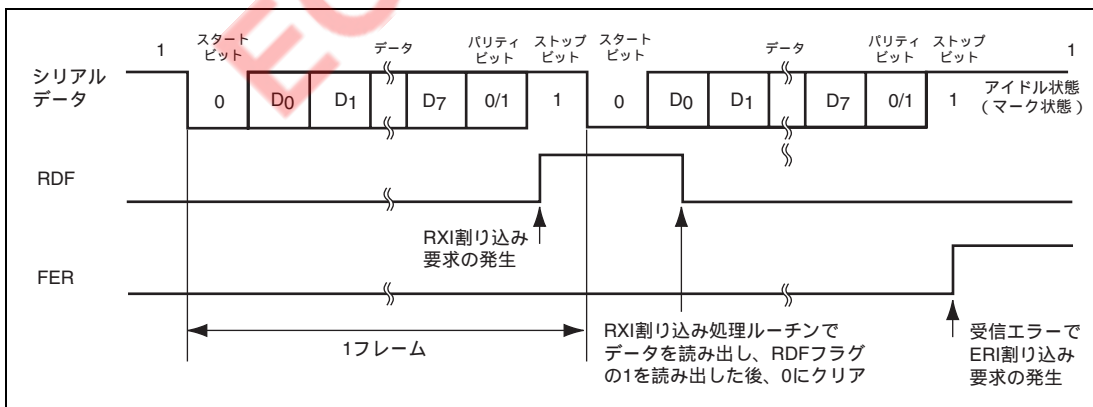


図 19.9 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

5. モデムコントロールが有効であると、SCFRDRが空き状況によって $\overline{\text{RTS}}$ 信号を出力します。 $\overline{\text{RTS}}$ が0のときは受信可能です。 $\overline{\text{RTS}}$ が1のときはSCFRDRのデータ数がRTS出力アクティブトリガ設定数以上であることを示します。

モデムコントロール使用時の動作例を図 19.10 に示します。

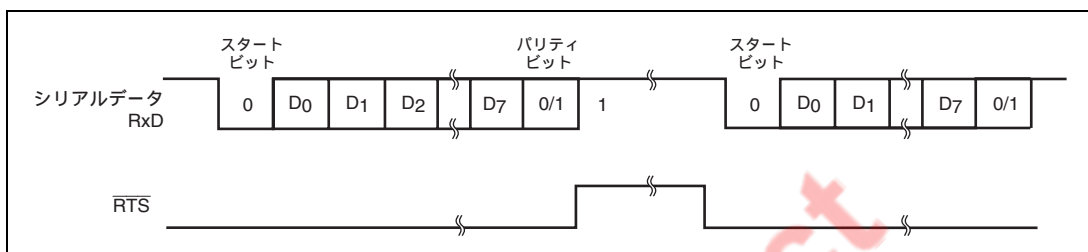


図 19.10 モデムコントロール使用時の動作例 ($\overline{\text{RTS}}$)

19.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信/受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので送信/受信中にデータの読み出し/書き込みができ連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 19.11 に示します。

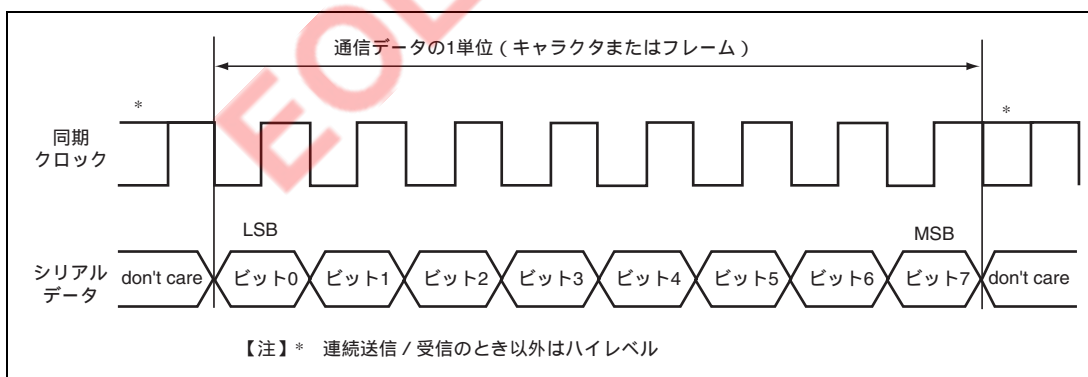


図 19.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビット固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させると、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。この場合、 $8 \times (16 + 1) = 136$ パルスの同期クロックが出力されます。n キャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用する場合は、RE=1 かつ TE=1 とし、n キャラクタ数のダミーデータ送信と同時に n キャラクタの受信を行う手順としてください。

(3) データの送信 / 受信動作

- SCIFの初期化 (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビット 0 にクリアするとトランスミットシフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

図 19.12 に SCIF の初期化フローチャート例を示します。

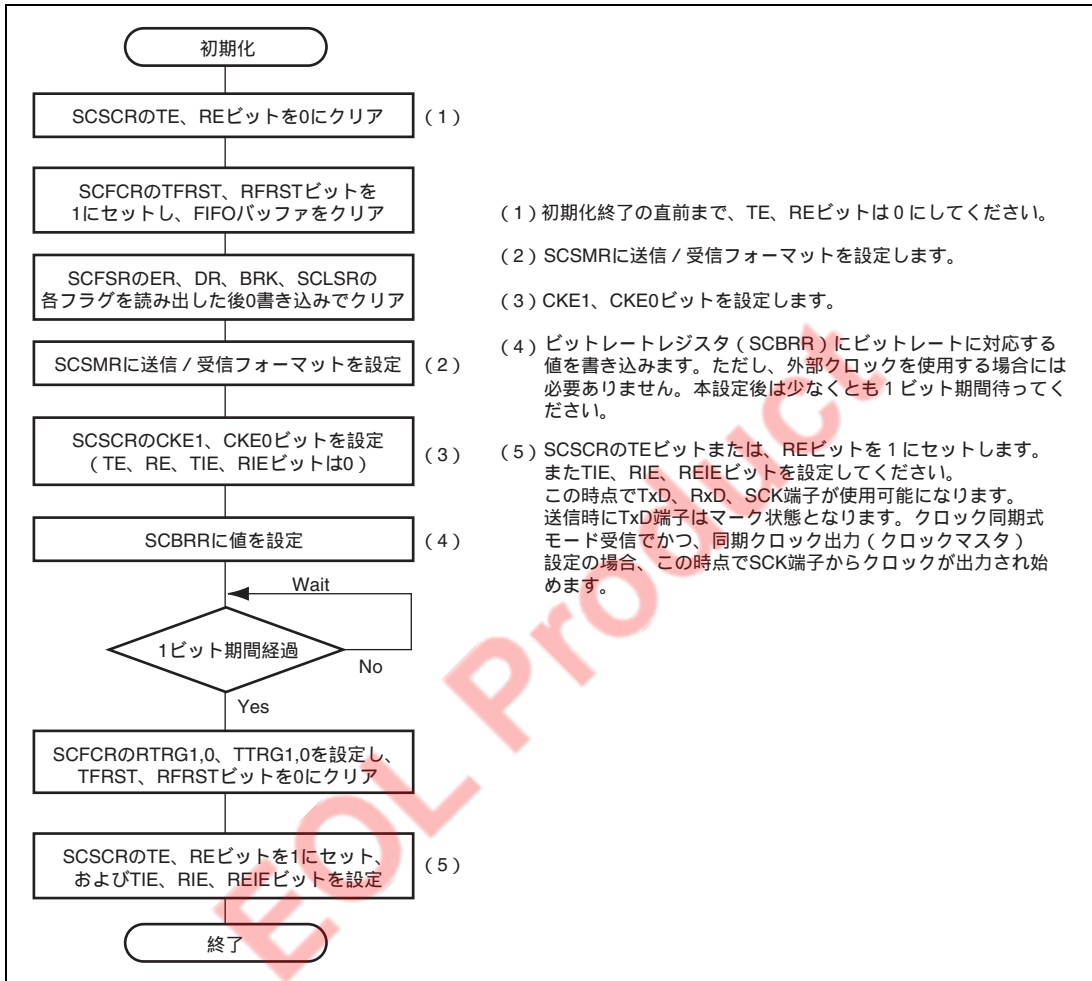


図 19.12 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式)

図 19.13 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

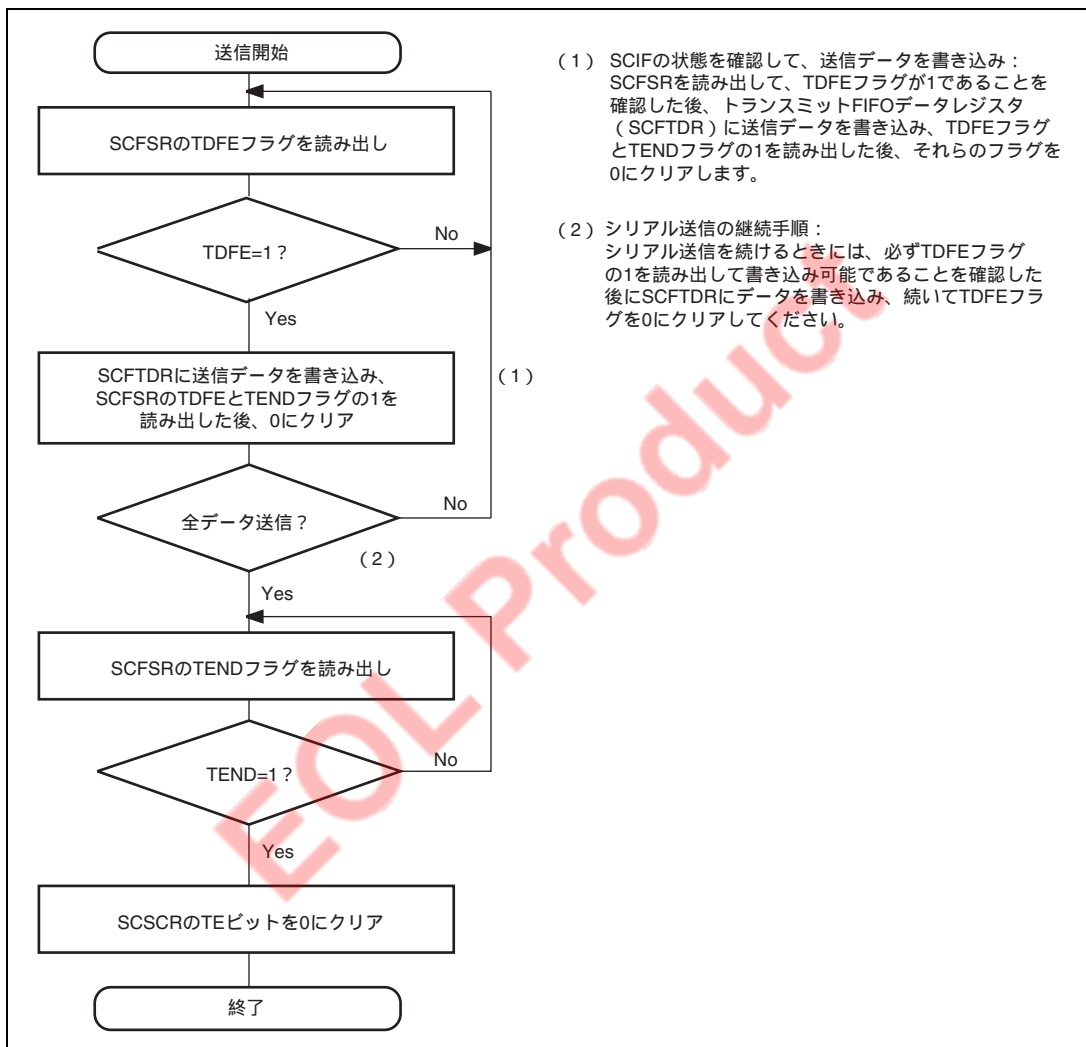


図 19.13 シリアル送信のフローチャートの例

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1であることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になったとき、TDFEフラグがセットされます。このときシリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSBからMSBの順にTxD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないとシリアルステータスレジスタ (SCFSR) のTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後、SCK端子はハイレベル固定になります。

図 19.14 に SCIF の送信時の動作例を示します。

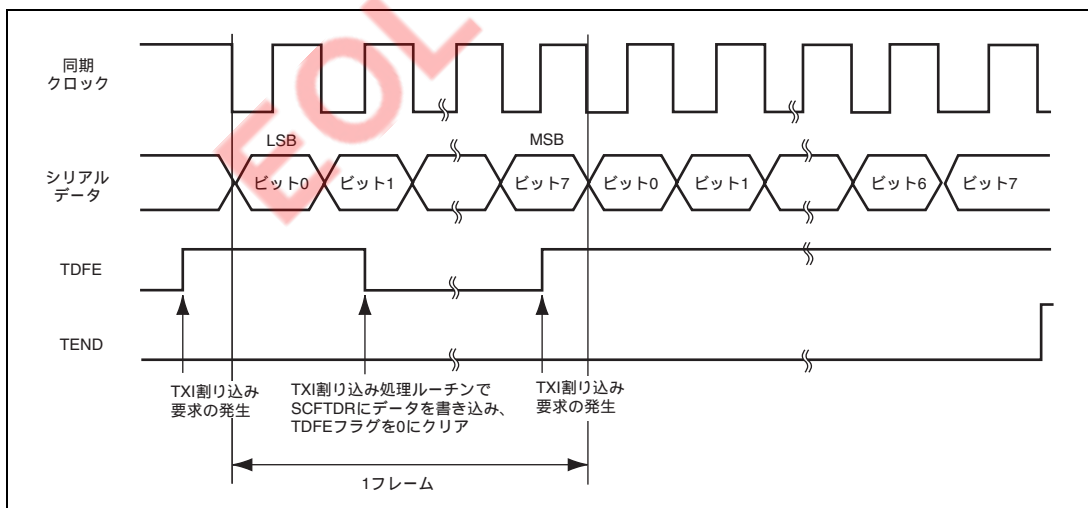


図 19.14 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式)

図 19.15、図 19.16 にシリアル受信のフローチャートの例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

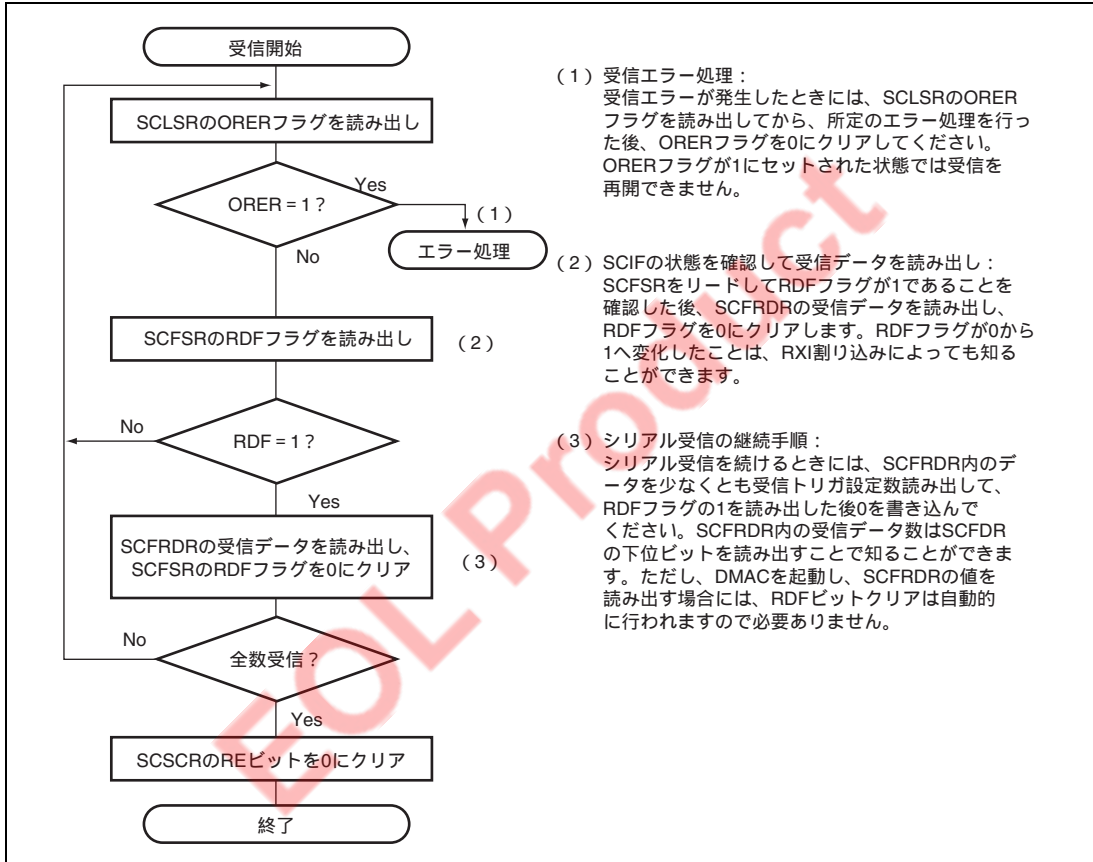


図 19.15 シリアル受信のフローチャートの例 (1)

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

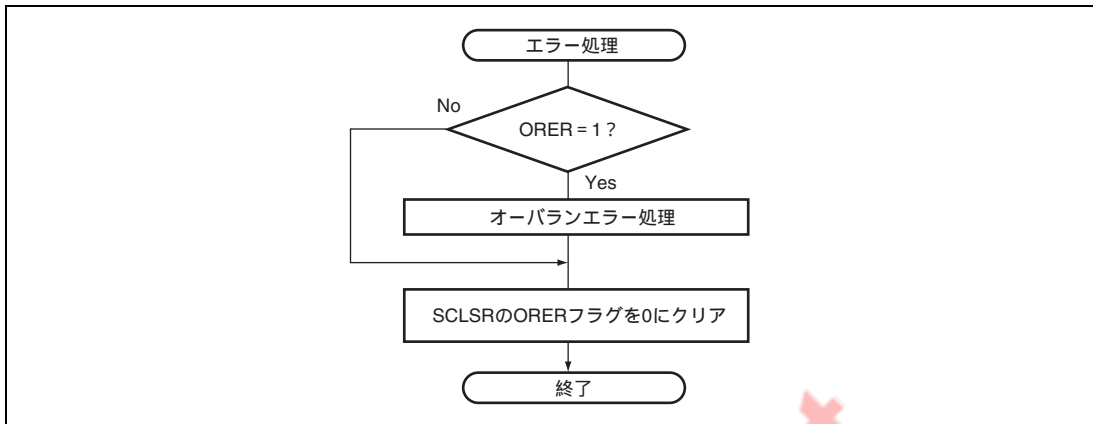


図 19.16 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシーブシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。
受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたとき、SCFRDRに受信データが格納されます。
エラーチェックでオーバーランエラーを検出すると以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図 19.17 に SCIF の受信時の動作例を示します。

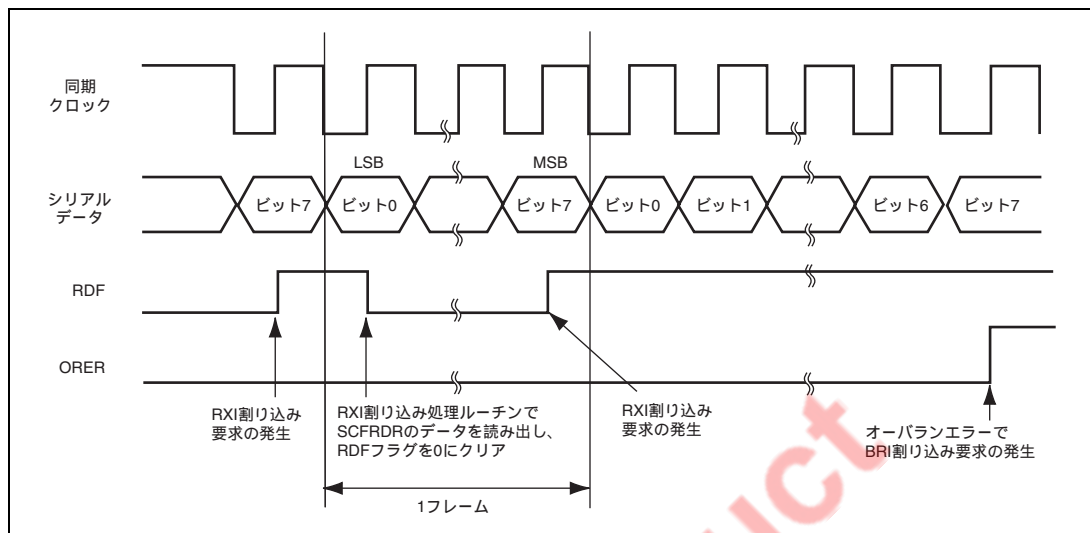


図 19.17 SCIF の受信時の動作例

- シリアルデータ送受信同時動作 (クロック同期式)

図 19.18 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

EOL Product

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

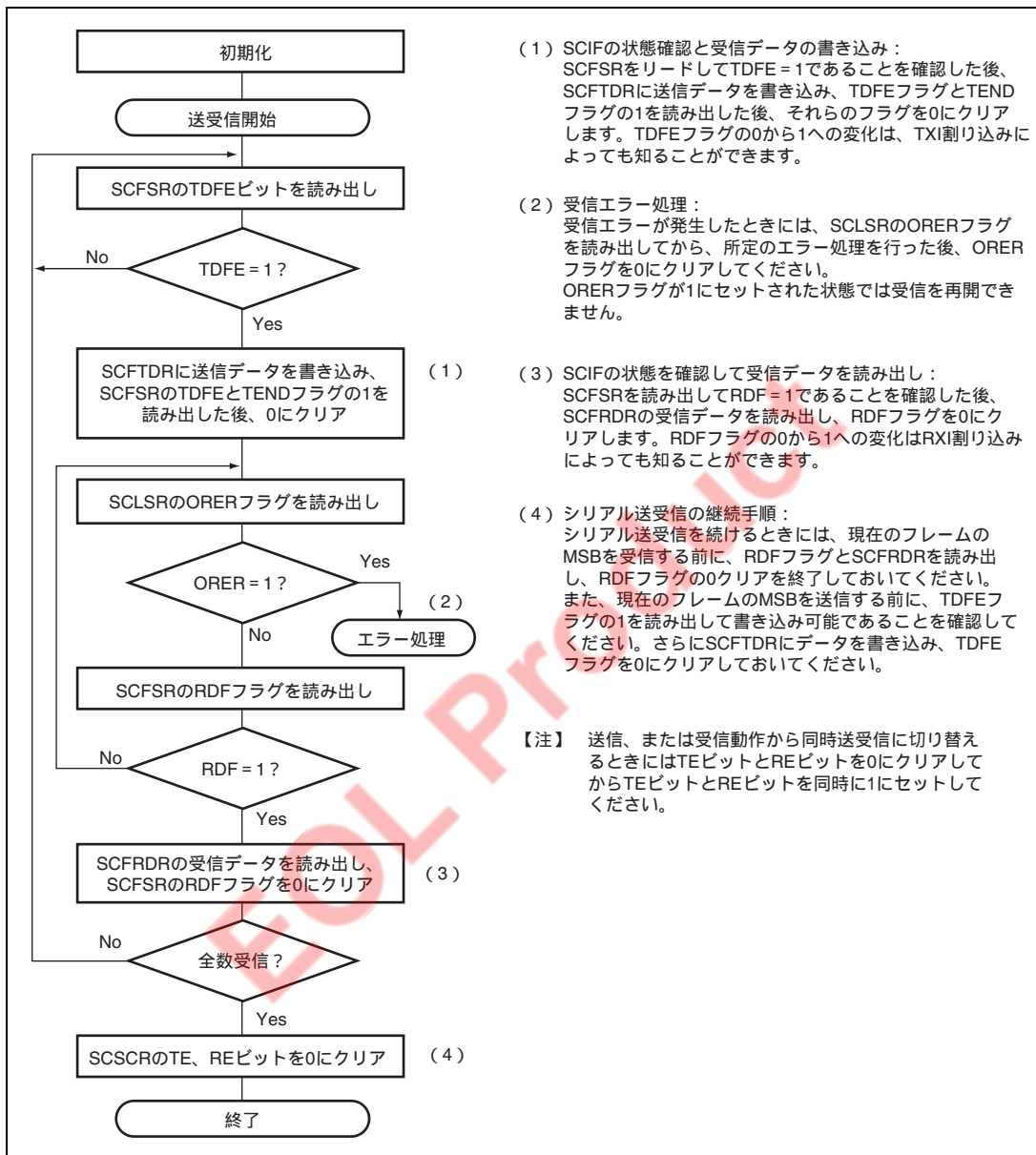


図 19.18 シリアル送受信のフローチャートの例

19.5 SCIF 割り込み要因と DMAC

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 19.11 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求が発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求が発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。ただし、DR フラグが 1 にセットされたことによる RXI 割り込み要求または受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求、BRI 割り込み要求を出すことができます。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。

表 19.11 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み*	可	
BRI	ブ레이크 (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

【注】 * DR による RXI 割り込みは、調歩同期式モード時のみ

19.6 使用上の注意

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCFSR) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が、FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率よい連続送信が可能となります。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは SCFTDR に書き込んだデータバイト数が送信トリガ数を上回るときに 1 を読み出した後に行ってください。

SCFTDR の送信データバイト数は FIFO データ数レジスタ (SCFDR) の上位 8 ビットで知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCFSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になったときセットされます。RDF がセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数以上の場合、RDF フラグを、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF のクリアは、レシーブ FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR の受信データバイト数は FIFO データ数レジスタ (SCFDR) の下位 8 ビットで知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことによって、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

(4) ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビット、SPB2DT ビットで決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替えされます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 19.19 に示します。

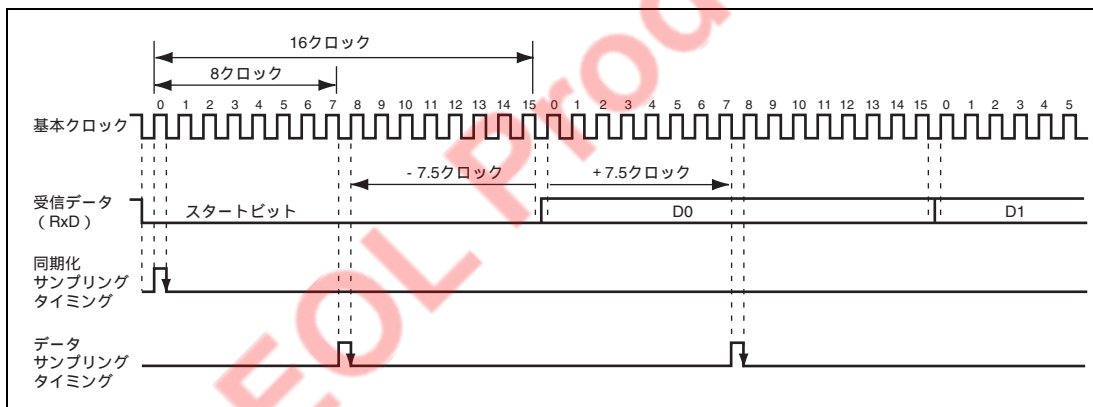


図 19.19 受信データサンプリングタイミング

19. FIFO 付きシリアルコミュニケーションインタフェース (SCIF)

したがって、調歩同期モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

- M : 受信マージン (%)
- N : ビットレートに対するクロック周波数の比 (N=16)
- D : クロックデューティ (D=0~1.0)
- L : フレーム長 (L=9~12)
- F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100 \% \\ = 46.875 \% \dots \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(6) DMAC 使用上の注意事項

- クロック同期モードで外部クロックソースモードを使用する場合について

同期クロックに外部クロックソースを使用する場合、DMACによるSCFTDRの更新後、周辺動作クロックで5サイクル以上経過した後に外部クロックを入力してください。SCFTDRの更新後4サイクル以内に送信クロックを入力すると誤動作することがあります (図19.20)。

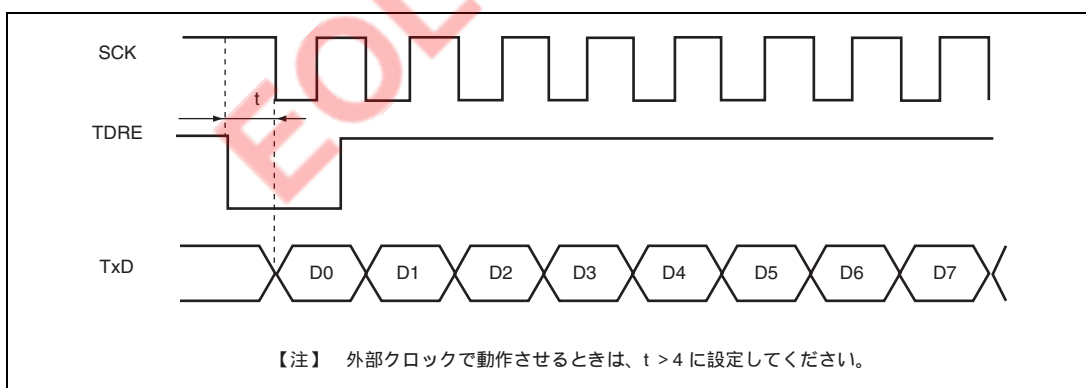


図 19.20 DMAC による同期クロック転送例

- DMA転送要求について

DMACでSCIFによる転送要求の受け付けを許可した状態で、SCIFからDMA転送要求を発生させたとき、DMAC内部でSCIFによる転送要求が保持されます。この保持されている転送要求は、実際に転送を行うことによりクリアされます。

ただし、DMAオペレーションレジスタ (DMAOR) のDMEビットおよびDMAチャンネルコントロールレジスタ (CHCR) のDEビットを0にクリアしても、SCIFによるDMA転送要求は保持されたままです。そのためSCIFによるDMA転送要求を保持したまま、DMACでSCIFによる転送要求の受け付けを許可した場合、SCIFからのDMA転送要求なしに、1転送分のDMA転送が行われますので注意してください。

- TENDフラグについて

送信FIFOデータエンプティDMA転送要求によりDMACでSCFTDRへ送信データのライトを行った場合、TENDフラグは不定となります。従って、この場合TENDフラグを転送終了フラグとして使用しないでください。

EOL Product

EOL Product

20. USB ファンクションモジュール

20.1 特長

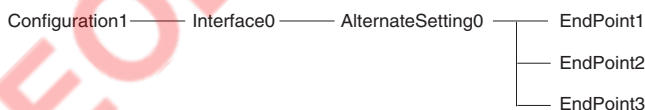
- USB規格に準拠したUDC (USB Device Controller) およびトランシーバを内蔵

USBプロトコルを自動処理。

エンドポイント0に対するUSB標準コマンドを自動処理(一部のコマンドとクラス/ベンダコマンドはファームウェアでデコードし、処理する必要があります)

- 転送スピード：フルスピード
- エンドポイントの構成

エンドポイント名	名称	転送タイプ	最大パケットサイズ	FIFO バッファ容量 (バイト)	DMA 転送
エンドポイント 0	EP0s	セットアップ	8	8	-
	EP0i	コントロールイン	8	8	-
	EP0o	コントロールアウト	8	8	-
エンドポイント 1	EP1	バルクアウト	64	128	可能
エンドポイント 2	EP2	バルクイン	64	128	可能
エンドポイント 3	EP3	インタラプト	8	8	-



- 割り込み要求：USB送受信に必要な各種割り込み信号を生成
- クロック：外部入力 (48MHz)
- 低消費電力モード
USBケーブル切断時、UDC内部クロック停止による低消費電力化が可能
サスペンド状態へ自動遷移 / 自動復帰
- 内蔵トランシーバ バイパスモード時 (USBXVERCRレジスタのXVEROFFビット = 1)、Philips社製、PDIUSBP11シリーズトランシーバおよび互換製品に接続可能 (ただし、互換製品については、トランシーバ供給メーカーと評価・検証の上、ご使用ください)
- パワーモード：セルフパワード、バスパワード

20. USB ファンクションモジュール

20.1.1 ブロック図

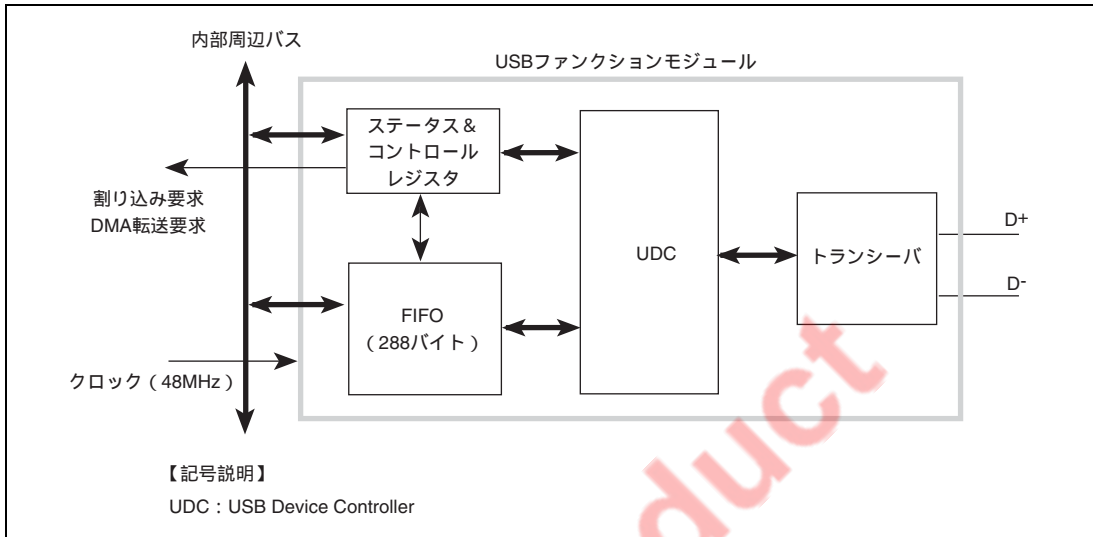


図 20.1 USB のブロック図

20.2 入出力端子

表 20.1 端子構成

名称	入出力	機能	XVEROFF 条件
XVDATA	入力	差動レシーバからの受信データ入力端子	1
DPLS	入力	レシーバからのドライバに対する D+信号入力端子	1
DMNS	入力	レシーバからのドライバに対する D-信号入力端子	1
TXDPLS	出力	ドライバに対する D+送信出力端子	1
TXDMNS	出力	ドライバに対する D-送信出力端子	1
TXENL	出力	ドライバに対するアウトプットイネーブル端子	1
VBUS	入力	USB ケーブル接続モニタ端子	1/0
SUSPND	出力	トランシーバに対するサスペンド状態出力端子	1/0
UCLK	入力	USB 用クロック入力端子 (48MHz 入力)	1/0
DP	入出力	内蔵トランシーバD+信号	0
DM	入出力	内蔵トランシーバD-信号	0

内蔵トランシーバ バイパスモード時 (USBXVERCR レジスタの XVEROFF ビット = 1) Philips 社製、PDIUSBP11 シリーズトランシーバおよび互換製品に接続可能です (ただし、互換製品については、トランシーバ供給メーカーと評価・検証の上、ご使用ください)。

20.3 レジスタの説明

USB には、以下のレジスタがあります。

- USB割り込みフラグレジスタ0 (USBIFR0)
- USB割り込みフラグレジスタ1 (USBIFR1)
- USB割り込みフラグレジスタ2 (USBIFR2)
- USB割り込み選択レジスタ0 (USBISR0)
- USB割り込み選択レジスタ1 (USBISR1)
- USB割り込みイネーブルレジスタ0 (USBIER0)
- USB割り込みイネーブルレジスタ1 (USBIER1)
- USB割り込みイネーブルレジスタ2 (USBIER2)
- USBEP0iデータレジスタ (USBEPDR0i)
- USBEP0oデータレジスタ (USBEPDR0o)
- USBEP0sデータレジスタ (USBEPDR0s)
- USBEP1データレジスタ (USBEPDR1)
- USBEP2データレジスタ (USBEPDR2)
- USBEP3データレジスタ (USBEPDR3)
- USBEP0o受信データサイズレジスタ (USBEPSZ0o)
- USBEP1受信データサイズレジスタ (USBEPSZ1)
- USBトリガレジスタ (USBTRG)
- USBデータステータスレジスタ (USBDASTS)
- USBFIFOクリアレジスタ (USBFCLR)
- USBDMA転送設定レジスタ (USBDMAR)
- USBエンドポイントストールレジスタ (USBEPSTL)
- USBトランシーバコントロールレジスタ (USBXVERCR)
- USBバスパワーコントロールレジスタ (USBCTRL)

20.3.1 USB 割り込みフラグレジスタ 0 (USBIFR0)

USBIFR0 は、USB 割り込みフラグレジスタ 1 (USBIFR1)、2 (USBIFR2) と共にアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると対応するビットが 1 にセットされ、USB 割り込みイネーブルレジスタ 0 (USBIER0) との組み合わせにより CPU に対して割り込み要求が発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。ただし、EP1 FULL と EP2 EMPTY はステータスビットのためクリアできません。

USBIFR0 はパワーオンリセットで H'10 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット USB バス上でバスリセット信号を検出したとき、1 にセットされます。
6	EP1FULL	0	R	EP1FIFO フル エンドポイント 1 がホストから 1 パケット分のデータを正常に受信するとセットされ、FIFO バッファに有効データが存在する間 1 を保持します。このビットはステータスビットのため、クリアはできません。
5	EP2TR	0	R/W	EP2 転送リクエスト ホストからエンドポイント 2 に対するイントークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。
4	EP2EMPTY	1	R	EP2FIFO エンプティ エンドポイント 2 の 2 面構成の送信用 FIFO バッファのうちの少なくとも 1 面が送信データを書き込める状態であるときセットされます。ステータスビットのため、クリアはできません。
3	SETUPTS	0	R/W	セットアップコマンド受信完了 エンドポイント 0 がアプリケーション側でデコードする必要のあるセットアップコマンドを正常に受信し、ホストに ACK ハンドシェイクを返したとき 1 にセットされます。
2	EP0oTS	0	R/W	EP0o 受信完了 エンドポイント 0 がホストからのデータを正常に受信して FIFO バッファに格納し、ホストに ACK ハンドシェイクを返したとき 1 にセットされます。
1	EP0iTR	0	R/W	EP0i 転送リクエスト ホストからエンドポイント 0 に対する IN トークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。
0	EP0ITS	0	R/W	EP0i 送信完了 エンドポイント 0 からホストにデータを送信し、ACK ハンドシェイクが返ってきたときセットされます。

20.3.2 USB 割り込みフラグレジスタ 1 (USBIFR1)

USBIFR1 は、USB 割り込みフラグレジスタ 0 (USBIFR0)、2 (USBIFR2) と共にアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると、対応するビットが 1 にセットされ、USB 割り込みイネーブルレジスタ 1 (USBIER1) との組み合わせにより、CPU に対して割り込み要求を発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。ただし、VBUSMN はステータスビットのためクリアできません。

USBIFR1 は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
3	VBUSMN	0	R	VBUS 端子の状態をモニタするステータスビットです。 VBUS 端子状態を反映します。 0: 切断 1: 接続
2	EP3TR	0	R/W	EP3 転送リクエスト ホストからエンドポイント 3 に対する IN トークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。
1	EP3TS	0	R/W	EP3 送信完了 エンドポイント 3 からホストにデータを送信し、ACK ハンドシェイクが返ってきたときセットされます。
0	VBUSF	0	R/W	USB 切断検出 ファンクションが USB バスに接続されたとき、および切断されたときに 1 にセットされます。接続 / 切断の検出には、本モジュールの VBUS 端子を使用します。

20.3.3 USB 割り込みフラグレジスタ 2 (USBIFR2)

USBIFR2 は、USB 割り込みフラグレジスタ 0 (USBIFR0)、1 (USBIFR1) と共にアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると、対応するビットが 1 にセットされ、USB 割り込みイネーブルレジスタ 2 (USBIER2) との組み合わせにより、CPU に対して割り込み要求を発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。ただし、CFGV はステータスビットのためクリアできません。USBIFR2 は、パワーオンリセットで H'20 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	書き込む値は常に 0 にしてください。
5	-	1	R	
4	-	0	R	
3	AWAKE	0	R/W	アウェイク信号検出 USBCTRL/SUSPEND = 1 および USB サスペンド状態のとき、USB バス上でレジューム信号またはバスリセット信号を検出すると 1 セットされます。
2	SUSPS	0	R/W	USB サスペンド信号検出 USBCTRL/SUSPEND = 1 のとき、USB サスペンド信号を検出すると 1 セットされます。
1	CFGV	0	R	コンフィグレーション値 コンフィグレーション値をモニタするステータスビットです。 このビットはステータスビットのため、クリアはできません。
0	SETC	0	R/W	SET_CONFIGURATION リクエスト検知 SET_CONFIGURATION リクエストを受信したとき、1 にセットされます。

20.3.4 USB 割り込み選択レジスタ 0 (USBISR0)

USBISR0 は、USB 割り込みフラグレジスタ 0 (USBIFR0) の各割り込み要求のベクタ番号を選択します。対応するビットに 0 をセットすると、USB が INTC に割り込み要求をするとき、その割り込みは USI0 (USB 割り込み 0) となります。1 をセットすると USB が INTC に割り込み要求をするとき、その割り込みは USI1 (USB 割り込み 1) となります。同時に割り込みが発生した場合、デフォルトにおける優先順位は USI0 が優先されます。

USBISR0 は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット
6	EP1FULL	0	R/W	EP1FIFO フル
5	EP2TR	0	R/W	EP2 転送リクエスト
4	EP2EMPTY	0	R/W	EP2FIFO エンプティ
3	SETUPTS	0	R/W	セットアップコマンド受信完了

ビット	ビット名	初期値	R/W	説明
2	EP0oTS	0	R/W	EP0o 受信完了
1	EP0iTR	0	R/W	EP0i 転送リクエスト
0	EP0iTS	0	R/W	EP0i 送信完了

20.3.5 USB 割り込み選択レジスタ 1 (USBISR1)

USBISR1 は、USB 割り込みフラグレジスタ 1 (USBIFR1) の各割り込み要求のベクタ番号を選択します。対応するビットに 0 をセットすると、USB が INTC に割り込み要求をするとき、その割り込みは USI0 (USB 割り込み 0) となります。1 をセットすると USB が INTC に割り込み要求をするとき、その割り込みは USI1 (USB 割り込み 1) となります。同時に割り込みが発生した場合、デフォルトにおける優先順位は USI0 が優先されます。

USBISR1 は、パワーオンリセットで H'07 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
2	EP3TR	1	R/W	EP3 転送リクエスト
1	EP3TS	1	R/W	EP3 送信完了
0	VBUSF	1	R/W	USB バス接続

20.3.6 USB 割り込みイネーブルレジスタ 0 (USBIER0)

USBIER0 は、USB 割り込みフラグレジスタ 0 (USBIFR0) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込みベクタ番号は割り込み USB 選択レジスタ 0 (USBISR0) の内容によって決まります。

USBIER0 は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット
6	EP1FULL	0	R/W	EP1FIFO フル
5	EP2TR	0	R/W	EP2 転送リクエスト
4	EP2EMPTY	0	R/W	EP2FIFO エンプティ
3	SETUPTS	0	R/W	セットアップコマンド受信完了
2	EP0oTS	0	R/W	EP0o 受信完了
1	EP0iTR	0	R/W	EP0i 転送リクエスト
0	EP0iTS	0	R/W	EP0i 送信完了

20.3.7 USB 割り込みイネーブルレジスタ 1 (USBIER1)

USBIER1 は、USB 割り込みフラグレジスタ 1 (USBIFR1) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込みベクタ番号は USB 割り込み選択レジスタ 1 (USBISR1) の内容によって決まります。

USBIER1 は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
2	EP3TR	0	R/W	EP3 転送リクエスト
1	EP3TS	0	R/W	EP3 送信完了
0	VBUSF	0	R/W	USB バス接続

20.3.8 USB 割り込みイネーブルレジスタ 2 (USBIER2)

USBIER2 は、USB 割り込みフラグレジスタ 2 (USBIFR2) の SET_CONFIGURATION リクエスト検知による割り込み要求をイネーブルにします。1 にセットされているとき、USBIFR2/SETC フラグがセットされると、CPU に対して USIHP 割り込み要求を発生します。

USBIER2 は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
0	SETC	0	R/W	SET_CONFIGURATION リクエスト検知

20.3.9 USBEP0i データレジスタ (USBEPDR0i)

エンドポイント 0 の送信用 8 バイト FIFO バッファです。コントロールインに対する 1 パケット分の送信データを保存します。1 パケット分のデータを書き込み、トリガレジスタの EP0iPKTE をセットすることで送信データが確定します。データを送信したあと、ホストから ACK ハンドシェイクが返ってくると、割り込みフラグレジスタ 0 の EP0iTS がセットされます。

USBEP0i は、USBFCLR レジスタの EP0iCLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	コントロールイン転送用のデータレジスタ

20.3.10 USBEP0o データレジスタ (USBEPDR0o)

エンドポイント 0 の受信用 8 バイト FIFO バッファです。セットアップコマンドを除くエンドポイント 0 の受信データが格納されます。データを正常に受信すると、USB 割り込みフラグレジスタ 0 の EP0oTS がセットされ、受信バイト数が EP0o 受信データサイズレジスタに表示されます。データを読み出したあと、トリガレジスタの EP0oRDFN をセットすることで、次のパケットを受信可能となります。

USBEPDR0o は、USBFCLR レジスタの EP0oCLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	コントロールアウト転送用のデータレジスタ

20.3.11 USBEP0s データレジスタ (USBEPDR0s)

エンドポイント 0 のセットアップコマンド受信専用の 8 バイト FIFO バッファです。セットアップステージで送られた 8 バイトのコマンドデータが格納されます。ただし、マイコン (ファームウェア) で処理するコマンドのみ受信します。本モジュールが自動処理するコマンドを受信した場合は格納されません。正常にコマンドデータを格納すると、USB 割り込みフラグレジスタ 0 の SETUP TS ビットがセットされます。

セットアップコマンドは必ず受信する必要があるため、バッファ内にデータが残っている場合でも新しいデータによって上書きされます。つまり、コマンドを読み出している間に次のコマンドの受信が開始された場合、受信が優先となり読み出したデータは無効になります。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	R	コントロールアウト転送時のセットアップコマンドが格納されるレジスタ

20.3.12 USBEP1 データレジスタ (USBEPDR1)

エンドポイント 1 の受信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。ホストから 1 パケット分のデータを正常に受信すると、USB 割り込みフラグレジスタ 0 の EP1 FULL がセットされます。受信バイト数は EP1 受信データサイズレジスタに表示されます。データを読み出したあと、USB トリガレジスタの EP1RDFN に 1 を書き込むことで、読み出した面のバッファが再受信可能になります。この FIFO バッファの受信データは DMA 転送 (バイト単位のデュアルアドレス転送) が可能です。

USBEPDR1 は、USBFCLR レジスタの EP1CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
31~0*	D31~D0	不定	R	エンドポイント 1 転送用のデータレジスタ

【注】 * DMA 転送のときは、7~0 ビットです。

20.3.13 USBEP2 データレジスタ (USBEPDR2)

エンドポイント 2 の送信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、USB トリガレジスタの EP2PKTE をセットすることで 1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送 (バイト単位のデュアルアドレス転送) が可能です。

USBEPDR2 は、USBFCLR レジスタの EP2CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
31~0*	D31~D0	不定	W	エンドポイント 2 転送用のデータレジスタ

【注】 * DMA 転送のときは、7~0 ビットです。

20.3.14 USBEP3 データレジスタ (USBEPDR3)

エンドポイント 3 の送信用 8 バイト FIFO バッファです。エンドポイント 3 のインタラプト転送における 1 パケット分の送信データを保持します。1 パケット分のデータを書き込み、USB トリガレジスタの EP3PKTE をセットすることで送信データが確定します。1 パケット分のデータを正常に送信し、ホストから ACK ハンドシェイクを受信すると USB 割り込みフラグレジスタ 0 の EP3TS がセットされます。

USBEPDR3 は、USBFCLR レジスタの EP3CLR により初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント 3 転送用のデータレジスタ

20.3.15 USBEP0o 受信データサイズレジスタ (USBPSZ0o)

エンドポイント 0o の受信データサイズレジスタです。ホストから受信したバイト数を示します。

USBEPSZ0o は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 0 の受信バイト数

20.3.16 USBEP1 受信データサイズレジスタ (USBEPSZ1)

エンドポイント 1 の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント 1 の FIFO は 2 面構成になっています。本レジスタに示される受信データサイズは、現在選択されている (CPU で読み出せる) 面のサイズです。USBEPSZ1 は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 1 の受信バイト数

20.3.17 USB トリガレジスタ (USBTRG)

USBTRG は、各エンドポイントの送受信のシーケンスを制御するためのワンショットトリガを生成します。
 USBTRG は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット 書き込む値は常に 0 にしてください。
6	EP3PKTE	0	W	EP3 パケットイネーブル エンドポイント 3 の送信用 FIFO バッファに 1 パケット分のデータを書き込んだあと、このビットに 1 を書き込むことで送信データが確定します。
5	EP1RDFN	0	W	EP1 読み出し完了 エンドポイント 1 の FIFO バッファから 1 パケット分のデータを読み出したあと、このビットに 1 を書き込んでください。エンドポイント 1 の受信用 FIFO は 2 面構成になっています。このビットに 1 を書き込むことで、読み出した面が初期化されて、次のパケットを受信できるようになります。
4	EP2PKTE	0	W	EP2 パケットイネーブル エンドポイント 2 の FIFO バッファに 1 パケット分のデータを書き込んだあと、このビットに 1 を書き込むことで送信データが確定します。
3	-	0	-	リザーブビット 書き込む値は常に 0 にしてください。
2	EP0sRDFN	0	W	EP0s 読み出し完了 EP0s のコマンド用 FIFO に対するデータを読み出したあと 1 を書き込んでください。1 を書き込むことによって、続くデータステージのデータは送受信可能な状態になります。1 を書き込むまではデータステージにおけるホストからの送受信要求に対して NACK ハンドシェイクを返します。
1	EP0oRDFN	0	W	EP0o 読み出し完了 エンドポイント 0 の受信用 FIFO バッファから 1 パケット分のデータを読み出したあと 1 を書き込むことで FIFO バッファが初期化されて次のパケットを受信できるようになります。
0	EP0iPKTE	0	W	EP0i パケットイネーブル エンドポイント 0 の送信用 FIFO バッファに 1 パケット分のデータを書き込んだあと、1 を書き込むことで送信データが確定します。

20.3.18 USB データステータスレジスタ (USBDASTS)

USBDASTS は、送信用 FIFO バッファ内の有効データの有無を示します。FIFO バッファにデータを書き込み、パケットイネーブルをセットしたとき 1 にセット、データがすべてホストに送信されたときクリアされます。

エンドポイント 2 の 2 面構成 FIFO の場合は、2 面ともデータがすべてホストに送信されたときクリアされます。

USBDASTS は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット
6	-	0	R	書き込む値は常に 0 にしてください。
5	EP3DE	0	R	EP3 データあり エンドポイント 3 の FIFO バッファ内に有効データがあるときセットされます。
4	EP2DE	0	R	EP2 データあり エンドポイント 2 の FIFO バッファ内に有効データがあるときセットされます。
3~1	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
0	EP0iDE	0	R	EP0i データあり エンドポイント 0 の FIFO バッファ内に有効データがあるときセットされます。

20.3.19 USBFIFO クリアレジスタ (USBFCLR)

USBFCLR は、各エンドポイントの FIFO バッファを初期化するためのレジスタです。1 を書き込むとそのビットに対応する FIFO バッファのデータがすべてクリアされます。ただし、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

USBFCLR は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット 書き込む値は常に 0 にしてください。
6	EP3CLR	0	W	EP3 クリア このビットに 1 を書き込むとエンドポイント 3 の送信 FIFO バッファが初期化されます。
5	EP1CLR	0	W	EP1 クリア このビットに 1 を書き込むとエンドポイント 1 の受信 FIFO バッファが 2 面とも初期化されます。
4	EP2CLR	0	W	EP2 クリア このビットに 1 を書き込むとエンドポイント 2 の送信 FIFO バッファが 2 面とも初期化されます。
3	-	0	-	リザーブビット
2	-	0	-	書き込む値は常に 0 にしてください。
1	EP0oCLR	0	W	EP0o クリア このビットに 1 を書き込むとエンドポイント 0 の受信 FIFO バッファが初期化されます。
0	EP0iCLR	0	W	EP0i クリア このビットに 1 を書き込むとエンドポイント 0 の送信 FIFO バッファが初期化されます。

20.3.20 USBDMA 転送設定レジスタ (USBDMAR)

USBDMAR は、エンドポイント 1 およびエンドポイント 2 のデータレジスタとメモリとの間で内蔵ダイレクトメモリアクセスコントローラ (DMAC) による DMA 転送が可能です。ただし、転送サイズはバイト単位のみデュアルアドレス転送となります。DMA 転送を起動するには、このレジスタの他に DMAC の設定が必要です。DMA 転送の詳細動作は、「20.7 DMA 転送動作」を参照してください。

USBDMAR は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
1	EP2DMAE	0	R/W	エンドポイント 2 DMA 転送イネーブル このビットをセットすると、メモリからエンドポイント 2 送信用 FIFO バッファ方向への DMA 転送がイネーブルになります。FIFO バッファに 1 バイトでも空きがあれば DMAC に対し転送要求をアサートします。DMA 転送時は、FIFO バッファに 64 バイトを書き込むと自動的に EP2 パケットイネーブルがセットされ、64 バイトのデータが送信可能な状態になり、2 面ある FIFO のもう一方の FIFO にまだ空きがあれば、再度 DMAC に対し転送要求をアサートします。しかし、送信したいデータパケットサイズが 64 バイト未満の場合、EP2 パケットイネーブルは自動でセットされないため、DMA 転送終了割り込みで EP2 パケットイネーブルを CPU にてセットしてください。 また、CPU に対する EP2 関連の割り込み要求は自動的にマスクされないため、割り込みイネーブルレジスタで必要に応じて割り込み要求をマスクしてください。
0	EP1DMAE	0	R/W	エンドポイント 1 DMA 転送イネーブル このビットをセットすると、エンドポイント 1 受信用 FIFO バッファからメモリ方向への DMA 転送が可能になります。FIFO バッファに 1 バイトでも受信データがあれば DMAC に対し転送要求をアサートします。DMA 転送時は、受信したデータをすべてリードすると、自動的に EP1 読み出し完了トリガが行われます。 また、CPU に対する EP1 関連の割り込み要求は自動的にマスクされないため、割り込みイネーブルレジスタで必要に応じて割り込み要求をマスクしてください。

20.3.21 USB エンドポイントストールレジスタ (USBEPSTL)

USBEPSTL の各ビットはエンドポイントをアプリケーション側で強制的にストールさせるためのビットです。1 にセットされている間、そのエンドポイントはホストに対してストールハンドシェークを返します。エンドポイント 0 に対するストールビットは、ファンクションでデコードを行う 8 バイトのコマンドデータを受信すると自動的に解除され、EP0 STL ビットはクリアされます。また、USBIFR0 の SETUPTS フラグがセットされているときは、EP0 STL ビットへの 1 ライトは無視されます。詳細動作は「20.6 ストール動作」を参照してください。また、ASCE = 1 のとき、EPxSTL ビットは自動クリアされます。

USBEPSTL は、パワーオンリセットにより H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
4	ASCE	0	R/W	自動ストールクリアイネーブル このビットが 1 のとき、ストールハンドシェークをホストに返信した後、返信した USB エンドポイントのストール設定ビット (USBEPSTLR/ESxSTL) を自動的にクリアします。エンドポイントごとの個別制御はできません。
3	EP3STL	0	R/W	EP3 ストール このビットが 1 のとき、エンドポイント 3 はストール状態となります。
2	EP2STL	0	R/W	EP2 ストール このビットが 1 のとき、エンドポイント 2 はストール状態となります。
1	EP1STL	0	R/W	EP1 ストール このビットが 1 のとき、エンドポイント 1 はストール状態となります。
0	EP0STL	0	R/W	EP0 ストール このビットが 1 のとき、エンドポイント 0 はストール状態となります。

20.3.22 USB トランシーバコントロールレジスタ (USBXVERCR)

内蔵トランシーバと外部トランシーバの選択をします。このレジスタを書き換える際は必ず、USBIFR1/VBUSMN = 0 (VBUS 端子切断) であることを確認してから行ってください。

USBXVERCR は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
0	XVEROFF	0	R/W	トランシーバコントロール 0 : 内蔵トランシーバが動作します。 1 : 内蔵トランシーバ機能を停止して外部トランシーバ用デジタル信号が、ポートから出力されます。

20. USB ファンクションモジュール

20.3.23 USB バスパワーコントロールレジスタ (USBCTRL)

本 LSI はバスパワー方式で動作することが可能です。バスパワー方式を使用する際の詳細動作については、「20.9 USB バスパワー方式説明」を参照してください。

USBCTRL は、パワーオンリセットで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。
1	SUSPEND	0	R/W	USB サスペンドイネーブル USB サスペンド信号、アウェイク信号の検出および割り込みを許可します。
0	PWMD	0	R/W	パワーモード 電源の供給方式を変更します。 0 : セルフパワー方式 1 : バスパワー方式

20.4 動作説明

20.4.1 ケーブル接続時

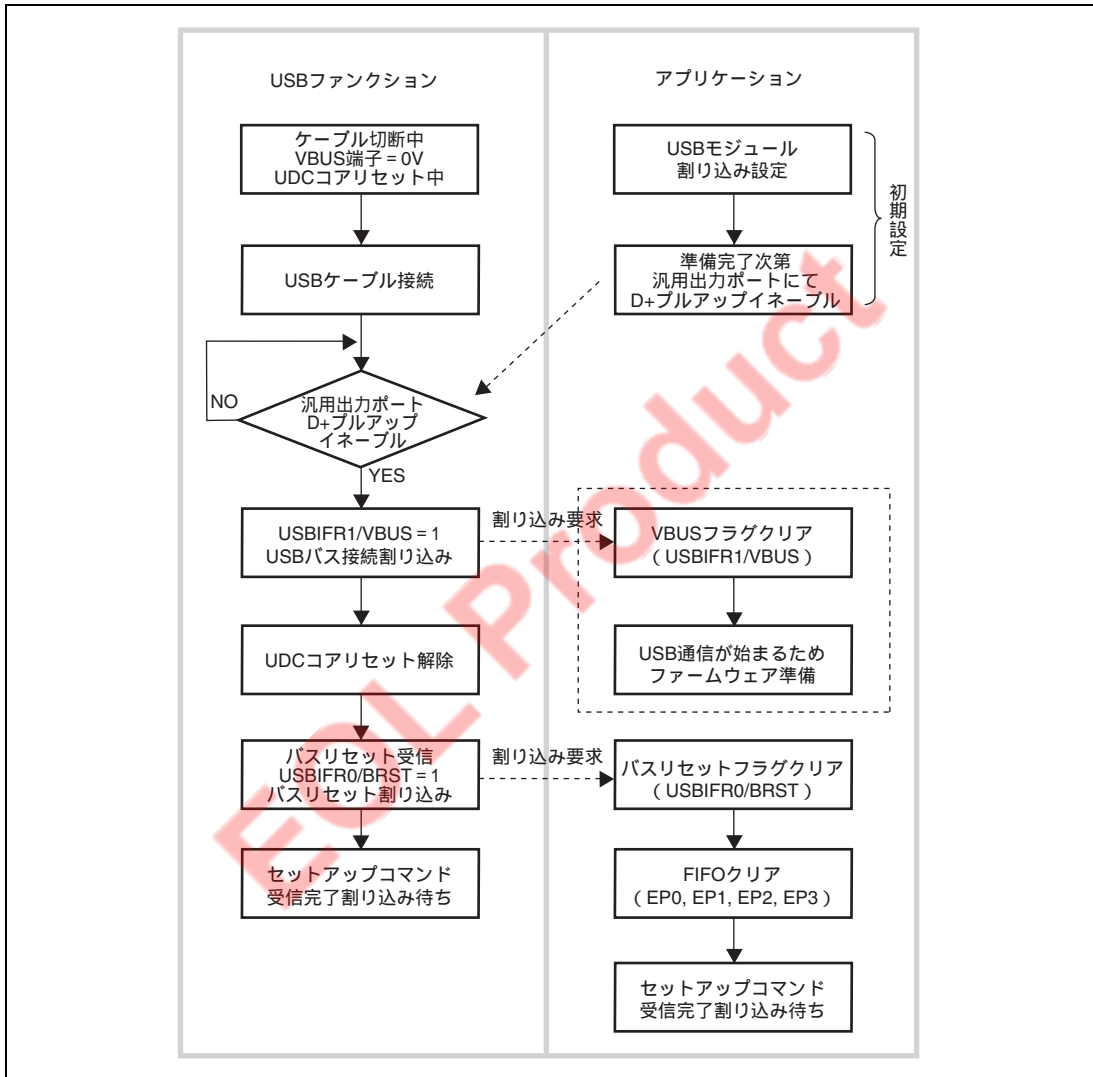


図 20.2 ケーブル接続時の動作

図 20.2 のフローは、「20.8 USB 外部回路例」時の動作を示しています。

USB ケーブル接続を検出する必要がないアプリケーションでは、USB バス接続割り込みによる処理は不要です。バスリセット割り込みにて準備してください。また、D+プルアップ制御にかかわらず接続の検出が必要なアプリケーションでは、IRQx または汎用入力ポートを用いて検出してください。詳細は「20.8 USB 外部回路例」を参照してください。

20.4.2 ケーブル切断時

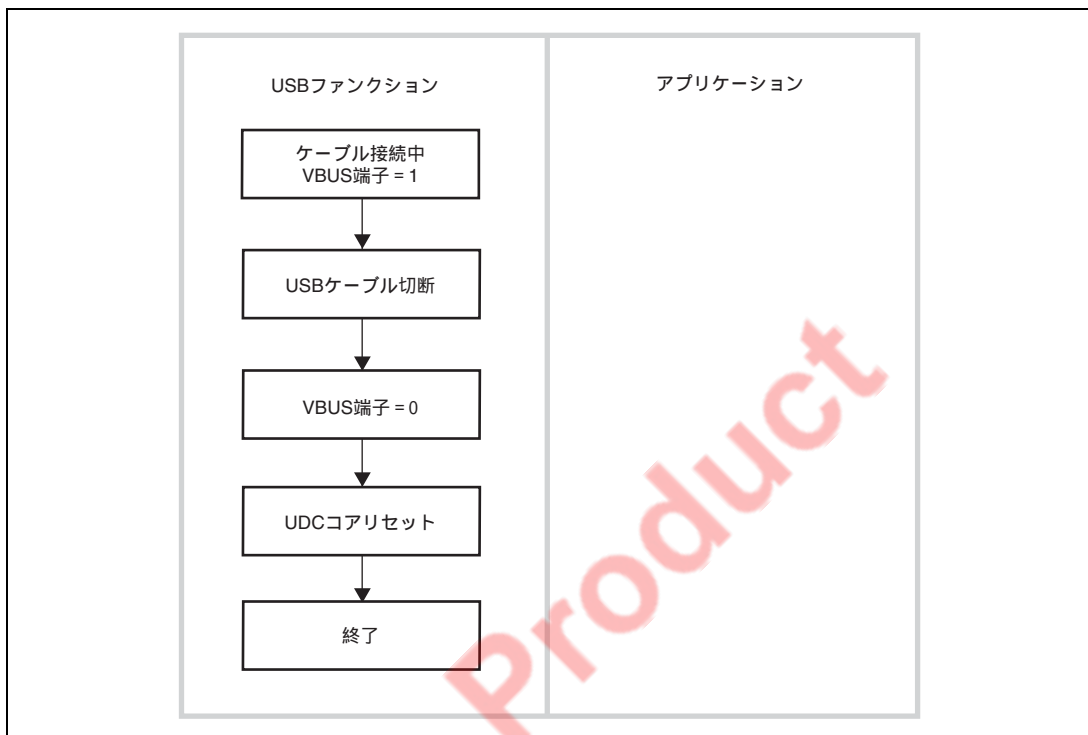


図 20.3 ケーブル切断時の動作

図 20.3 のフローは、「20.8 USB 外部回路例」時の動作を示しています。

20.4.3 コントロール転送

コントロール転送は、セットアップ、データ（ない場合もある）、ステータスの3つのステージで構成されます（図 20.4）。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを示します。

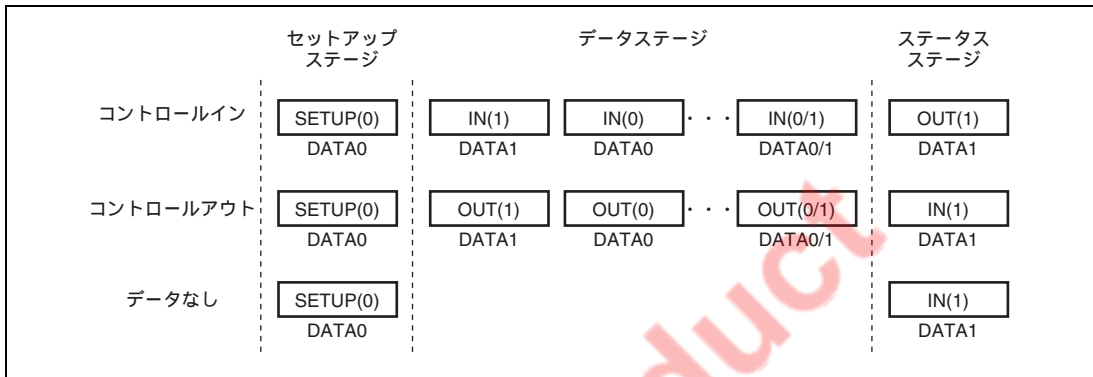


図 20.4 コントロール転送における各転送ステージ

(1) セットアップステージ

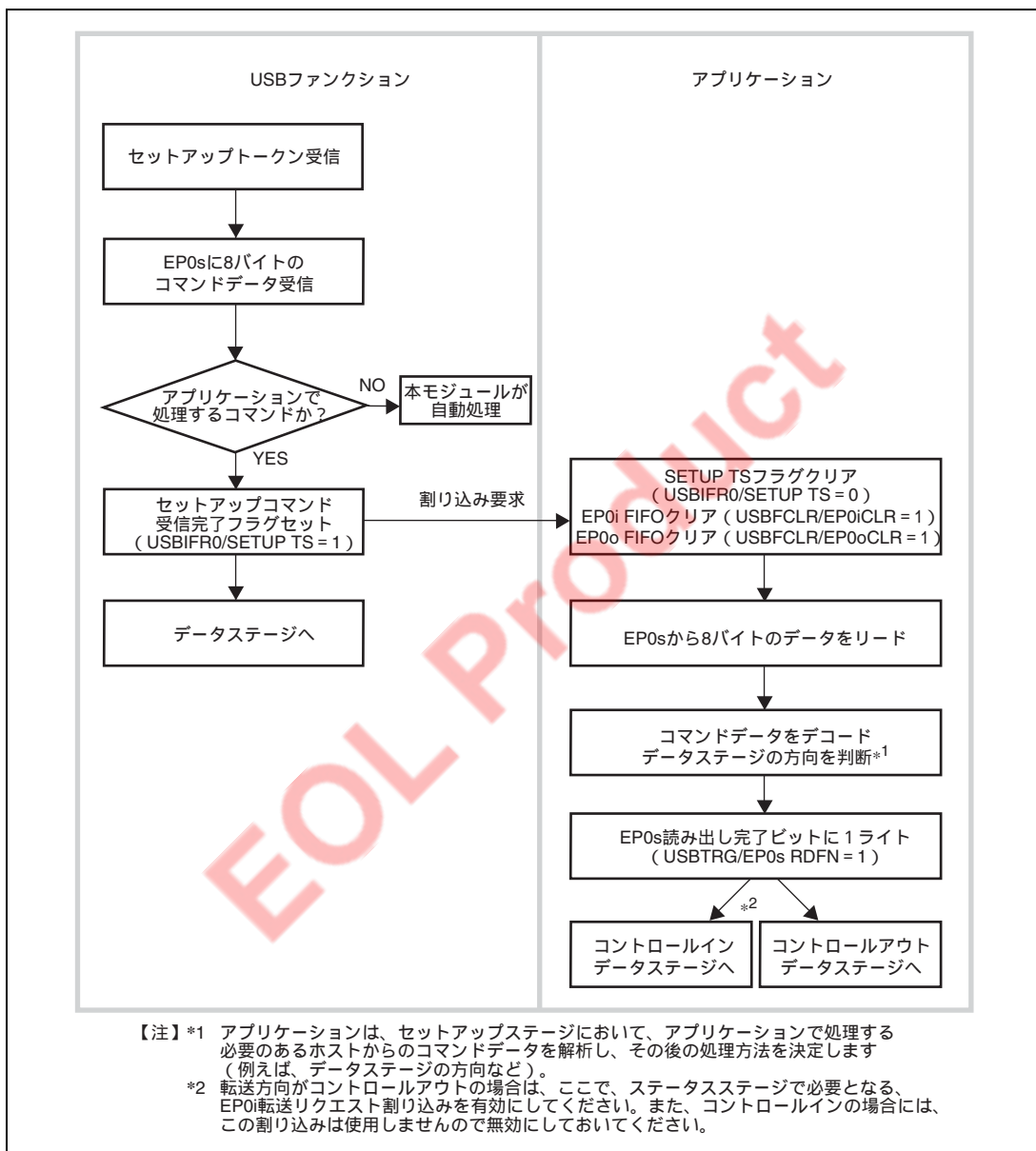


図 20.5 セットアップステージの動作

(2) データステージ (コントロールイン時)

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初に書きこんだデータがホストに送られた後 (USBIFR0/EP0i TS = 1)、FIFOにデータを書き込みます。データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

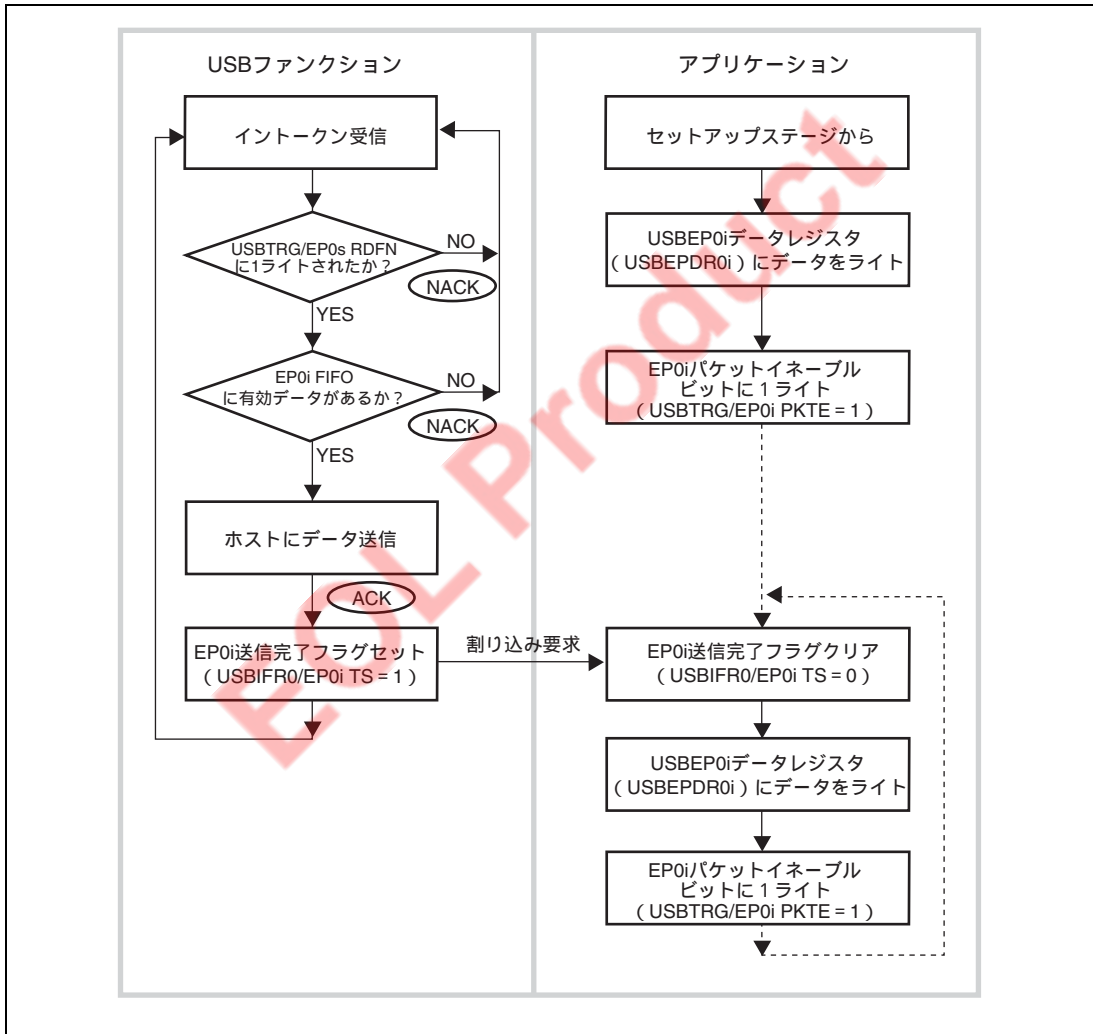


図 20.6 データステージ (コントロールイン時) の動作

【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0 レングスパケットを送信して、データステージの最後を示します。

(3) データステージ (コントロールアウト時)

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (USBIFR0/EP0o TS = 1)、FIFO からデータを読み出します。次にアプリケーションは、EP0o 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

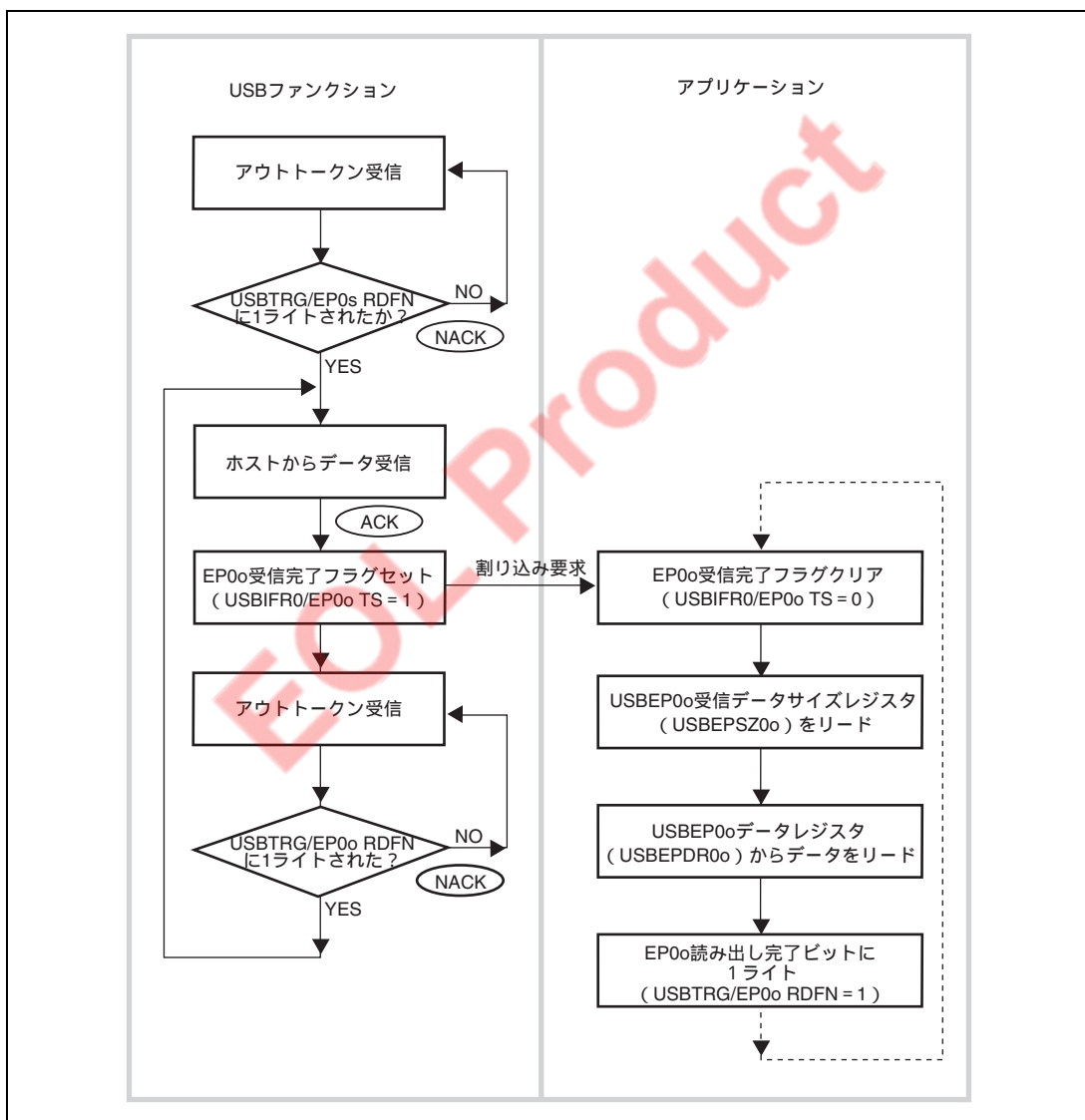


図 20.7 データステージ (コントロールアウト時) の動作

(4) ステータスステージ (コントロールイン時)

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの0バイトデータを受信して、コントロール転送を終了します。

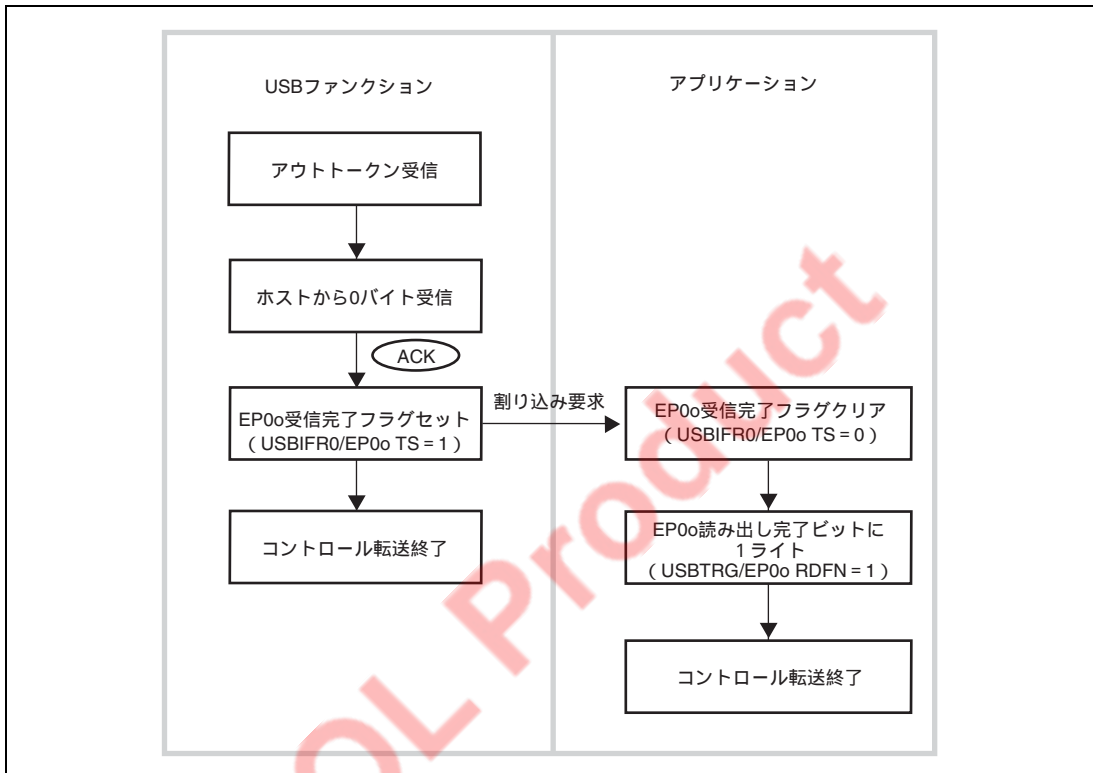


図 20.8 ステータスステージ (コントロールイン時) の動作

(5) ステータスステージ (コントロールアウト時)

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージに関わる処理をすべて終了した後、EP0i パケットイネーブルビットに 1 ライトしてください。

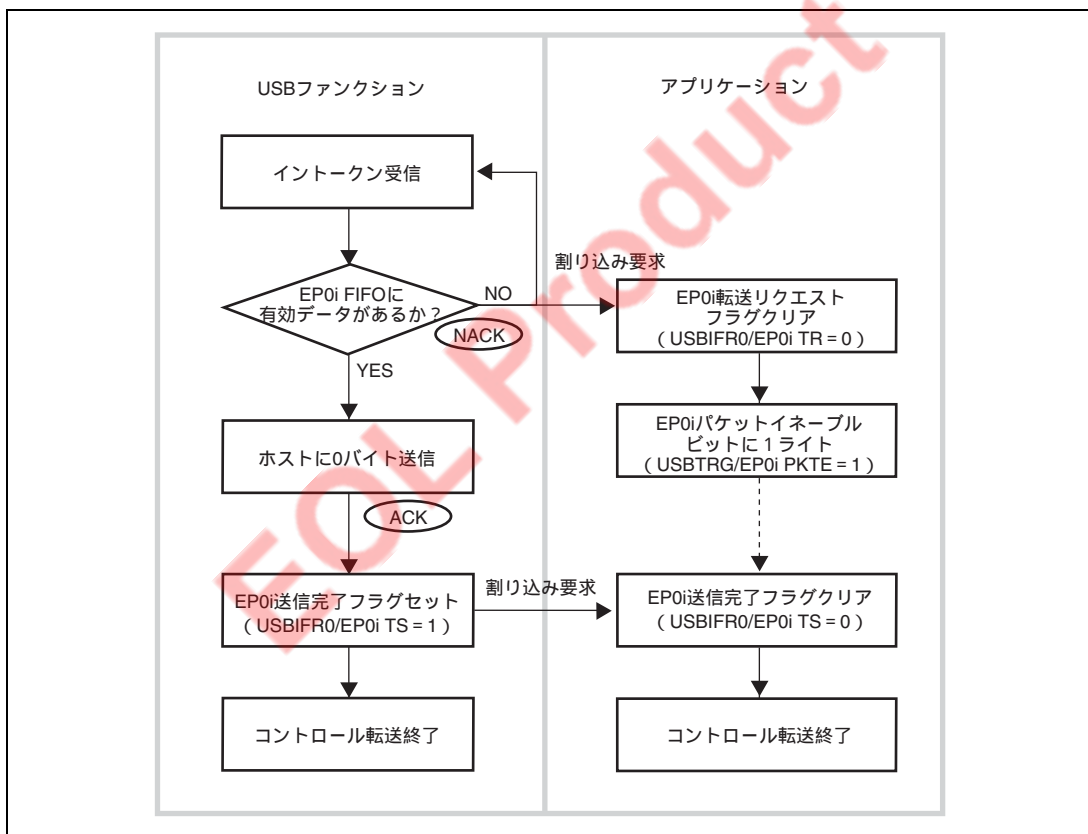


図 20.9 ステータスステージ (コントロールアウト時) の動作

20.4.4 EP1 バルクアウト転送 (2面 FIFO)

EP1 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、USBIFR0/EP1 FULL がセットされます。FIFO が 2 面とも EMPTY の状態で最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面とも FULL になった場合、ホストには自動的に NACK が返信されます。データ受信後、受信データのリードが終了したら、USBTRG/EP1 RDN に 1 をライトします。この操作によって、今リードし終えた FIFO が EMPTY になり、次のパケットを受信可能な状態になります。

EOL Product

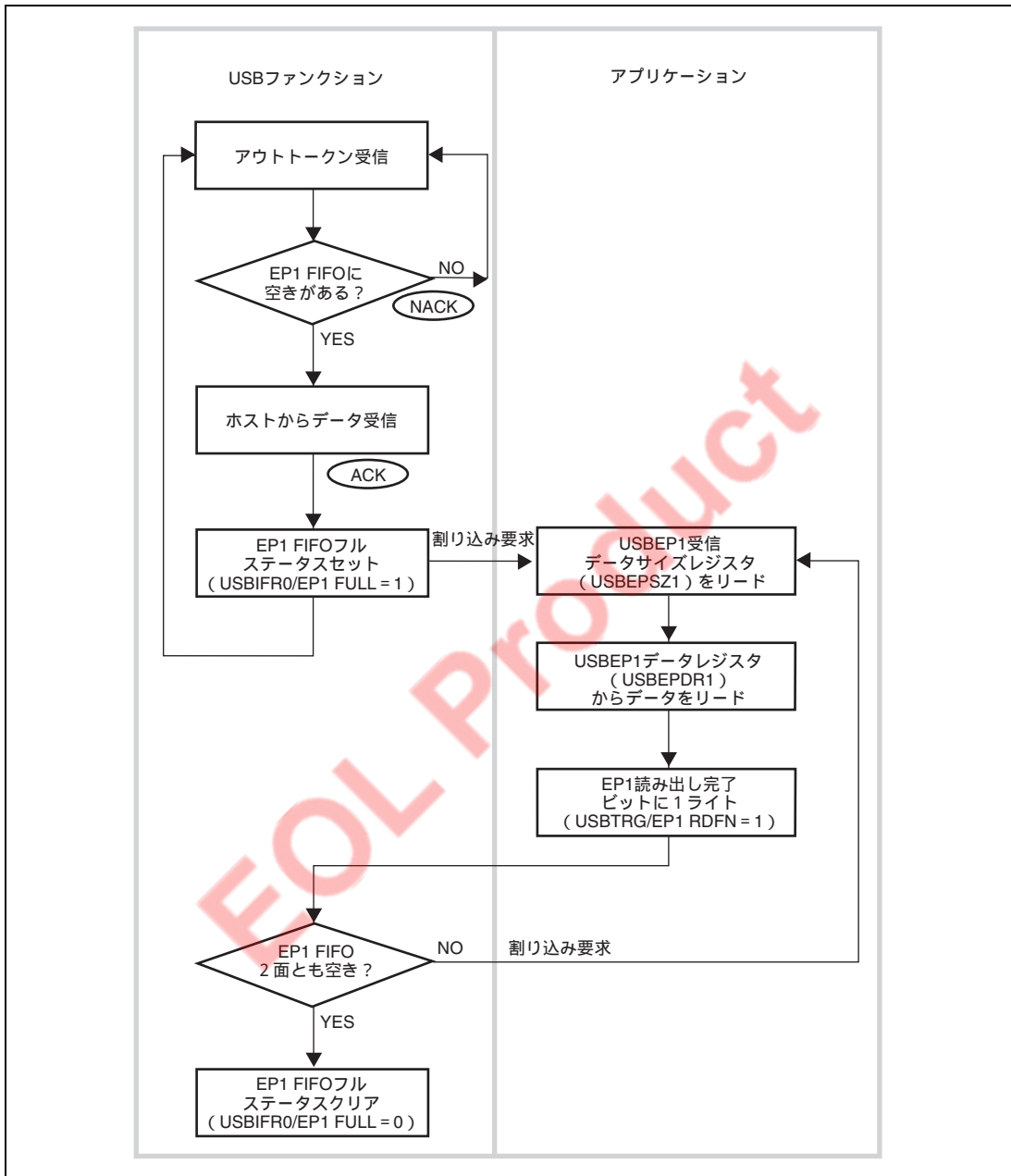


図 20.10 EP1 バルクアウト転送の動作

20.4.5 EP2 バルクイン転送 (2 面 FIFO)

EP2 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。ただし、1 回のデータライトは 1 面ごとに行ってください。例えば、2 面とも FIFO が EMPTY の場合でも、連続して 128 バイトデータをライト後、まとめて EP2/PKTE を行うことはできません。必ず 64 バイトのライトごとに EP2/PKTE を行ってください。

バルクイン転送を行いたい場合、まず最初のイントークンで FIFO 内に有効データが存在しないので、USBIFR0/EP2 TR 割り込みが要求されます。その割り込みで、USBIER0/EP2 EMPTY に 1 ライトし、EP2 FIFO エンプティ割り込みを許可します。最初は、EP2 の 2 面の FIFO は共に EMPTY になっているので、EP2 FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタにライトします。最初 1 面分の送信データライト後は、他方の FIFO が空いているので、すぐ他方の面に送信データをライトすることができます。2 面とも FULL になった場合、EP2 EMPTY が 0 になります。1 面でも EMPTY であれば USBIFR0/EP2 EMPTY が 1 セットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO が EMPTY になります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、USBIER0/EP2 EMPTY に 0 ライトを行い、割り込み要求を禁止にしてください。

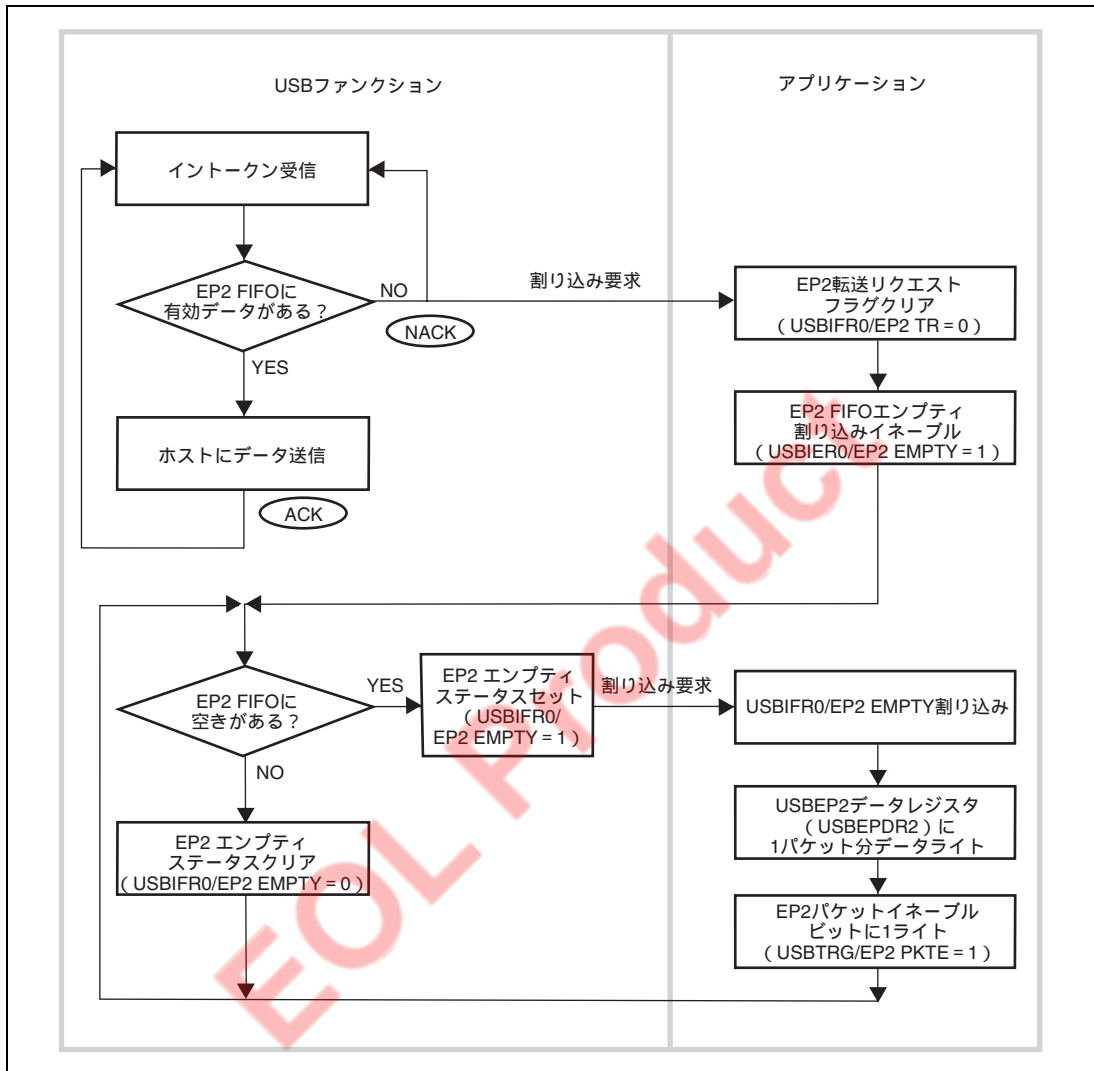


図 20.11 EP2 バルクイン転送の動作

20.4.6 EP3 インタラプトイン転送

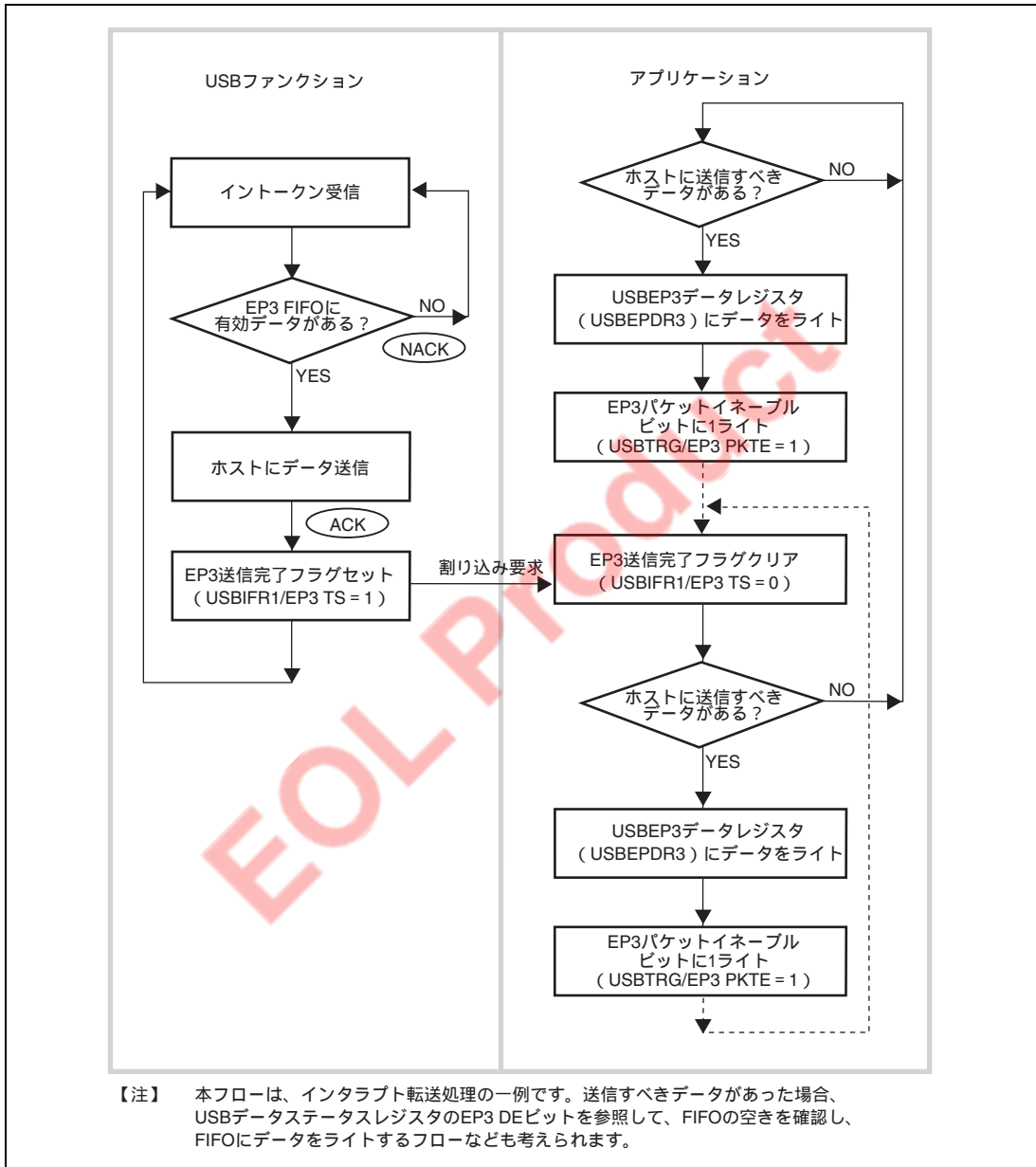


図 20.12 EP3 インタラプトイン転送の動作

20.5 USB 標準コマンドとクラス/ベンダーコマンドの処理

20.5.1 コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、アプリケーション側でデコードを行い、コマンドの処理を行う必要があります。以下の表 20.2 にアプリケーション側でのコマンドデコードについて示します。

表 20.2 アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要無し	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Synch Frame
Get Interface	Set Descriptor
Get Status	Class/Vendor コマンド
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、USBIER0/SETUP TS フラグがセットされ、割り込み要求を発生します。この割り込みルーチンの中で EP0s のデータレジスタ (USBEPDR0S) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

20.6 ストール動作

本モジュールでのストール動作について説明します。本モジュールのストール機能には、次の2つの場合があります。

- アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合
- USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態(ストールか否か)を保持した内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照してホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合はホストから Clear Feature コマンドを使ってクリアしてください。ただし、EP0 に対する内部状態ビットはセットアップコマンド受信時のみ自動的にクリアされます。

20.6.1 アプリケーションが強制的にストールさせたい場合

アプリケーションが本モジュールに対してストール要求するレジスタ USBEPSTL を使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、USBEPSTL の該当ビットをセットします(図 20.13 の 1-1)。このとき、内部状態ビットは変化しません。次に、ホストから USBEPSTL の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていなければ USBEPSTL の該当ビットを参照します(図 20.13 の 1-2)。ここで、USBEPSTL の該当ビットがセットされていれば、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェークを返します(図 20.13 の 1-3)。USBEPSTL の該当ビットがセットされていなければ、内部状態ビットは変化せず、トランザクションが受け付けられます。

一度、内部状態ビットがセットされた後は、USBEPSTL に関係無く、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても(図 20.13 の 3-1)、USBEPSTL のビットがセットされている間は、該当エンドポイントに対するトランザクションが行われる度に内部状態ビットがセットされるため、本モジュールはストールハンドシェークを返します(図 20.13 の 1-2)。したがって、ストールを解除するためには、USBEPSTL の該当ビットをアプリケーションでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 20.13 の 2-1、2-2、2-3)。

20. USB ファンクションモジュール

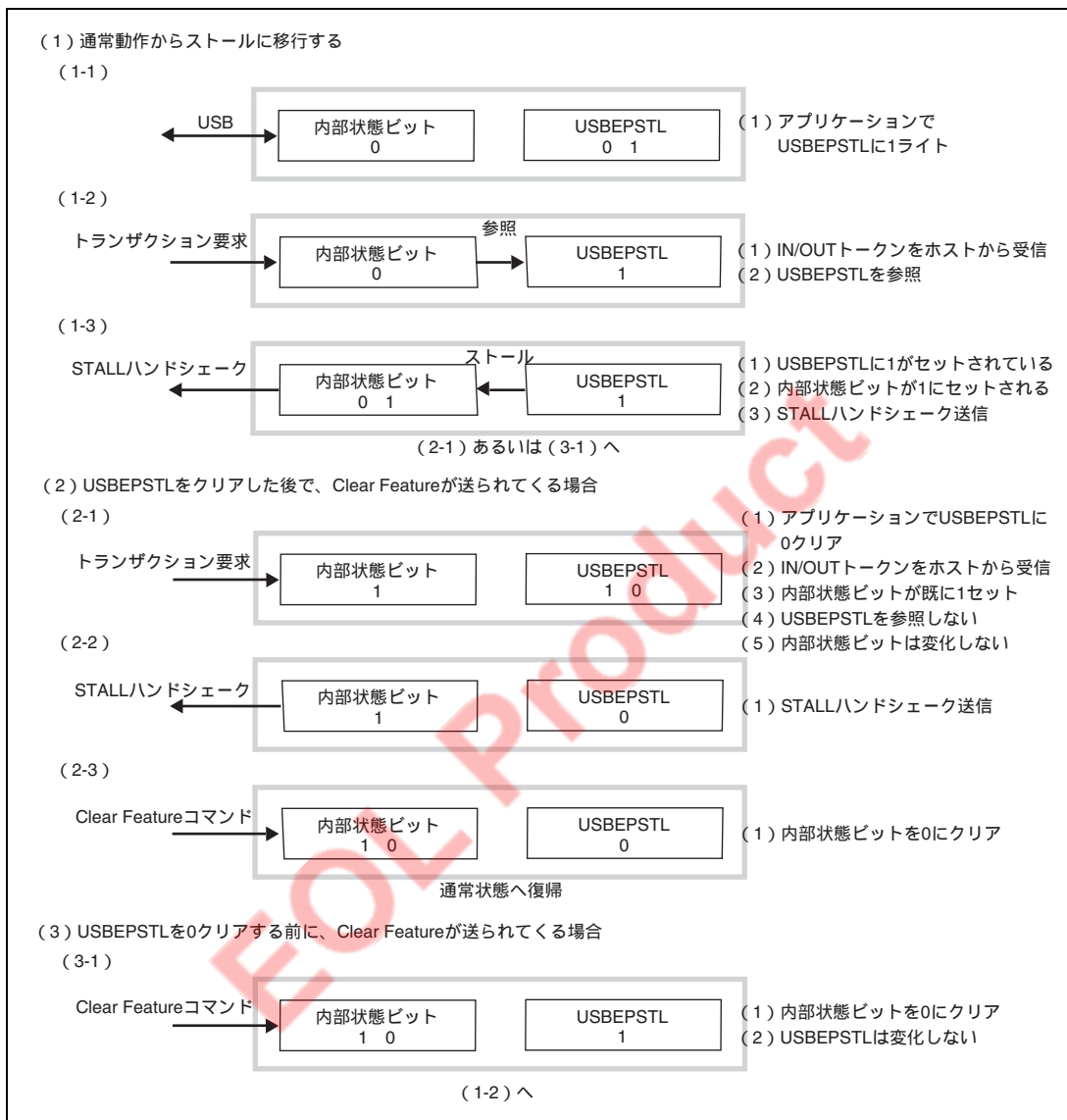


図 20.13 アプリケーションで強制的にストールさせたい場合

20.6.2 USB ファンクションモジュールが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合、あるいは USB の規格違反があった場合は、USBEPSTL に関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットし、ストールハンドシェークを返します (図 20.14 の 1-1)。

一度、内部状態ビットがセットされた後は、USBEPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされた後は、USBEPSTL を参照するようになります (図 20.14 の 3-1)。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても、内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します (図 20.14 の 2-1、2-2)。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります (図 20.14 の 3-1)。もし、アプリケーションによって USBEPSTL をセットしている場合は、USBEPSTL もクリアしてください (図 20.14 の 2-1)。

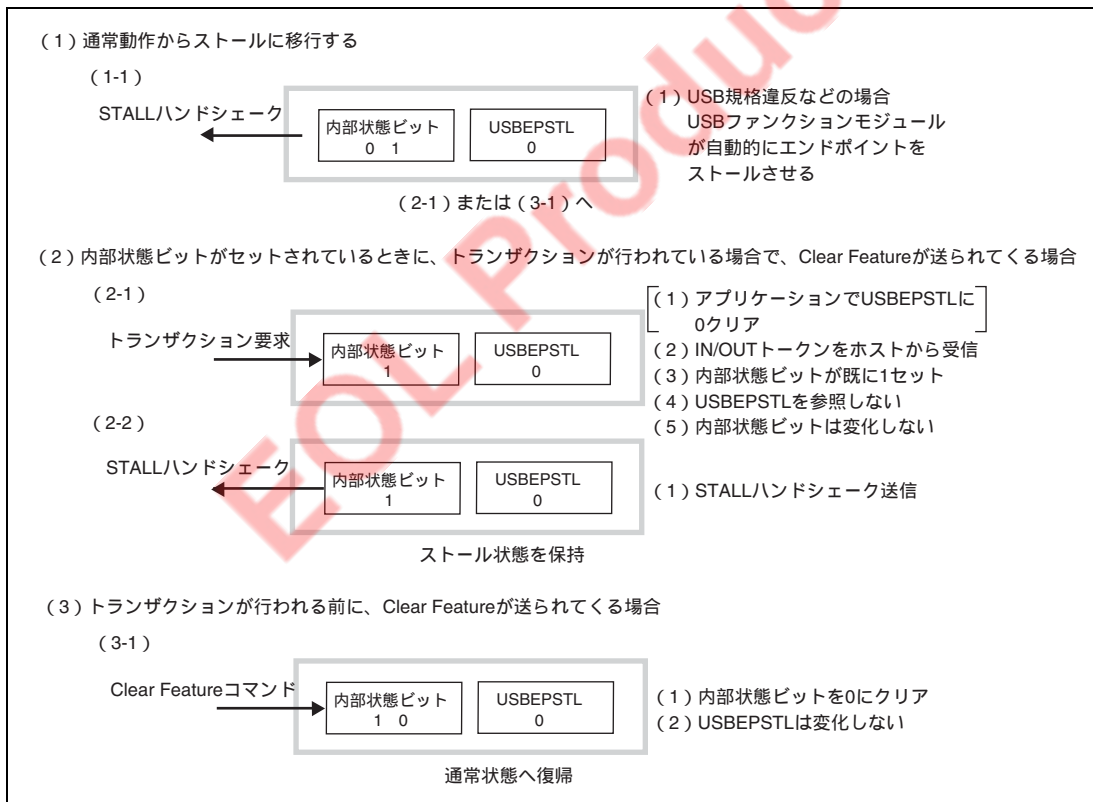


図 20.14 USB ファンクションモジュールが自動的にストールさせた場合

20.7 DMA 転送動作

本モジュールは、エンドポイント1およびエンドポイント2に対しDMAC転送を行うことが可能です。ただしWord、LongWord転送はできません。

エンドポイント1に有効な受信データが1バイトでもある場合、エンドポイント1に対するDMA転送要求が発生します。またエンドポイント2に有効なデータが無い場合、エンドポイント2に対するDMA転送要求が発生します。

なお、USBDMA設定レジスタのEPI DMAEに1をセットしDMA転送を許可すると、エンドポイント1に対する0レングスデータの受信を無視します。また、DMA転送を設定した場合、EPIのUSBTRG/RDFNビット、およびEP2のUSBTRG/PKTEビットは1ライトする必要はありません（ただし最大バイト数未満のときはUSBTRG/PKTEビットを1ライトする必要があります）。EPIに関しては、受信したデータをすべてリードし終わると自動的にFIFOをEMPTYにします。EP2に関しては、FIFOにライトできる最大バイト数（64バイト）のライトが行われるとそのFIFOは自動的にFULLになり、FIFO内のデータは送信可能になります（図20.15、図20.16を参照）。

20.7.1 エンドポイント1に対するDMA転送

EPIの受信データをDMA転送で転送する場合、現在選択されている面のデータFIFOがEMPTYになると自動的にUSBTRG/RDFNに1ライトすることと同じ処理がモジュール内部で行われます。よって、1面分のデータをリードした後にUSBTRGレジスタのEPI RDFNビットに1ライトしないでください。USBTRG/RDFNに1ライトを行った場合の動作保証はできません。

例として、150バイトのデータをホストから受信する場合を考えます。この場合、下図の3箇所自動的にUSBTRG/RDFNと同じ処理が内部的に行われます。この処理は、現在選択されているデータFIFOのデータがEMPTYになったとき行われるため、64バイトのデータを転送したときでもそれ以下のデータを転送したときも、同じように自動で処理されます。

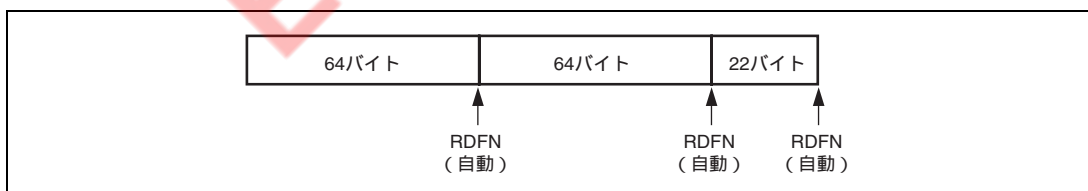


図 20.15 EP1 のRDFN 操作

20.7.2 エンドポイント 2 に対する DMA 転送

EP2 の送信データを DMA 転送で転送する場合、1 面分のデータ FIFO (64 バイト) が FULL になると、自動的に USBTRG/PKTE に 1 ライトすることと同じ処理がモジュール内部で行われます。したがって、転送するデータが 64 バイトの倍数の場合は、USBTRG/PKTE に 1 ライトする処理は必要ありません。

ただし、64 バイトに満たないデータの場合は、USBTRG/PKTE を行う必要があります。この処理は、DMAC の DMA 転送終了割り込みで行ってください。最大バイト数 (64 バイト) の転送で USBTRG/PKTE に 1 ライトを行った場合の動作保証はできません。

例として、150 バイトのデータをホストに送信する場合を考えます。この場合、下図の 2 箇所ですべて自動的に USBTRG/PKTE と同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが FULL になったとき行われるため、64 バイトのデータを転送したときのみ自動で処理されます。

次に最後の 22 バイトを転送完了したとき、自動的に USBTRG/PKTE は行われないため、USBTRG/PKTE に 1 ライトを行ってください。またアプリケーション側にはすでに転送するデータはありませんが、本モジュールは FIFO に空きがある限り EP2 に対する DMA 転送要求を出力します。したがって、すべてのデータを DMA で転送完了した場合、USBDM/EP2DMAE ビットに 0 ライトを行って、EP2 に対する DMA 転送要求を取り下げてください。

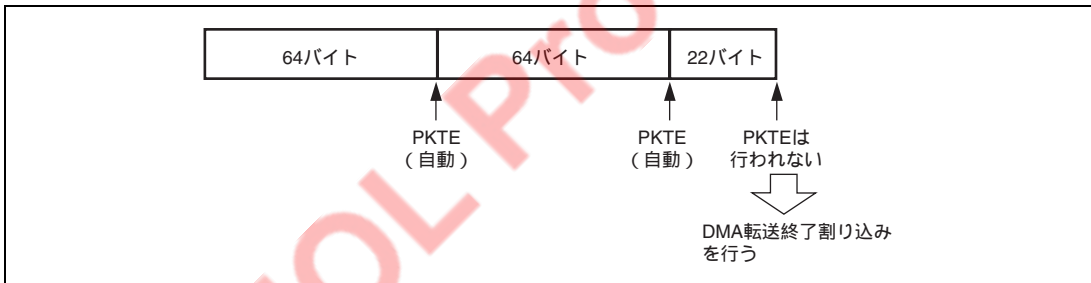


図 20.16 EP2 の PKTE 操作

20.8 USB 外部回路例

(1) USB トランシーバに関して

内蔵トランシーバを使用しない場合は、USBトランシーバIC (PDIUSBP11など)を外部に搭載してください。USBトランシーバからUSBコネクタへの推奨回路などは、各USBトランシーバメーカーにお問い合わせください。

(2) D+のプルアップ制御

USBホスト/ハブへの接続通知 (D+ プルアップ) を遅延させたい (優先度の高い処理中、初期化処理中等) システムでは、D+のプルアップは汎用出力ポートを用いて制御してください。しかし、USBケーブルがすでにホスト/ハブに接続されD+のプルアップを禁止している場合、D+、D- が共にローレベル (ホスト/ハブ側はD+、D- を共にプルダウン) となり、USBモジュールはホストからUSBバスリセットを受信したものと誤って認識してしまいます。そのため、図20.17のようにD+のプルアップ制御信号およびVBUS端子入力信号は汎用出力ポートとUSBケーブルVBUSを用いて (AND回路) 制御してください (本LSIのUDCコアは、VBUS端子がローレベルのとき、D+、D- の状態にかかわらずパワードステートを保持します)。

(3) USB ケーブル接続 / 切断の検出

本モジュールはハードウェアにてUSBのステートなどを管理しているため、接続 / 切断を認識するVBUS信号が必要となります。VBUSはUSBケーブル内の電源信号 (VBUS) を用いますが、ファンクション (本LSI搭載システム) が電源OFF時、USBホスト/ハブにケーブルが接続されると、USBホスト/ハブから電圧 (5V) が印加されてしまいます。そのため、システム電源OFF時に電圧印加が可能なIC (HD74LV1G08A、2G08A等) を外部に搭載してください。

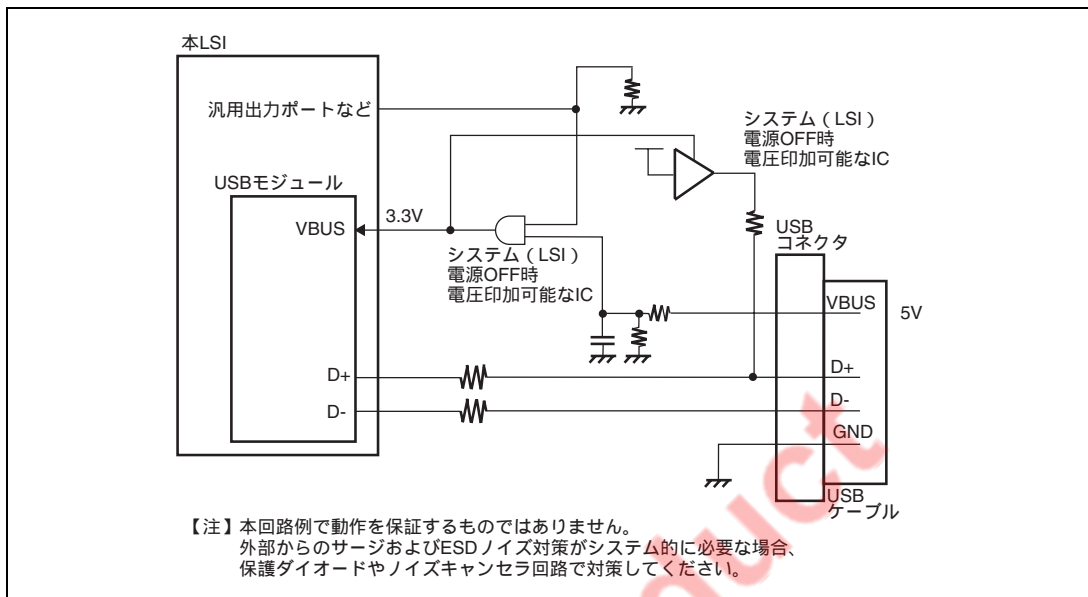


図 20.17 USB ファンクションモジュール外部回路例 (内蔵トランシーバ)

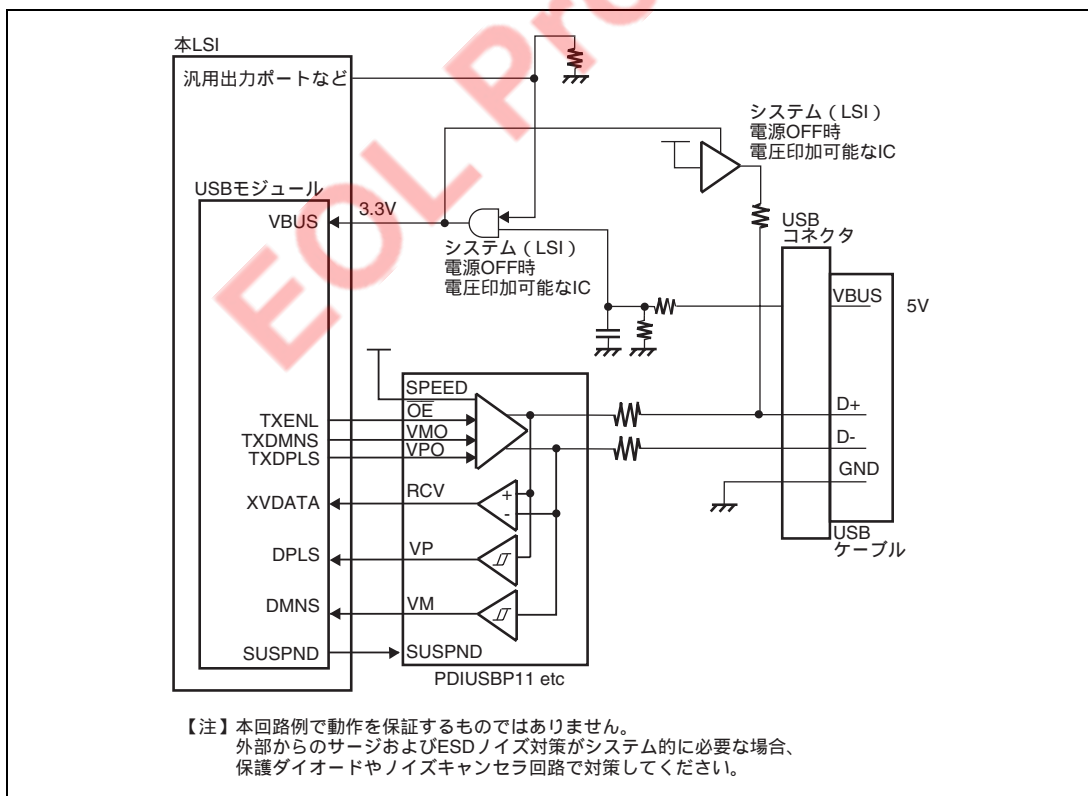


図 20.18 USB ファンクションモジュール外部回路例 (外部トランシーバ)

20.9 USB バスパワー方式説明

20.9.1 USB バスパワー動作説明

本 LSI は USB バスパワー方式で動作することができます。

USB バスパワー方式で動作させる際は次の点に注意してください。

(1) ハイパワーファンクションへの遷移

USB 規格では、起動時（ケーブル接続からエニユメレーション完了まで）においてファンクションはローパワーファンクションとして扱われます。ハイパワーファンクションへの移行は、USBIFR2、IFRIER2/SETC により SET_CONFIGURATION リクエストの受信を検知し USBIFR2/CFGV = 1 であることを確認することにより知ることができます。

(2) サスペンド

本 LSI では USBCTRL/SUSPEND = 1 にすることにより USB サスペンド信号検出、アウェイク信号検出による割り込みを $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 割り込みと共用させることができます。（図 20.19）

これにより、USBIFR2/SUSPS = 1 で $\overline{IRQ1}$ 割り込みが発生し、スタンバイモードに遷移させることができます。また、USBIFR2/AWAKE = 1 で $\overline{IRQ0}$ 割り込みが発生しますので、これを受けてスタンバイモードから復帰してください。USB サスペンド信号検出から 10ms 以内に USB サスペンド状態に移行する必要があることから、 $\overline{IRQ1}$ 割り込みは、その他の割り込みより優先的に処理されるよう設定してください。また $\overline{IRQ0}$ の割り込み優先順位が割り込み要求マスクレベル (SR/I[3:0]) より低いと、サスペンド状態から復帰することができません。必ず、 $\overline{IRQ0}$ の割り込み優先順位は割り込み要求マスクレベル (SR/I[3:0]) より上位に設定してください。図 20.20 に動作タイミングを示します。

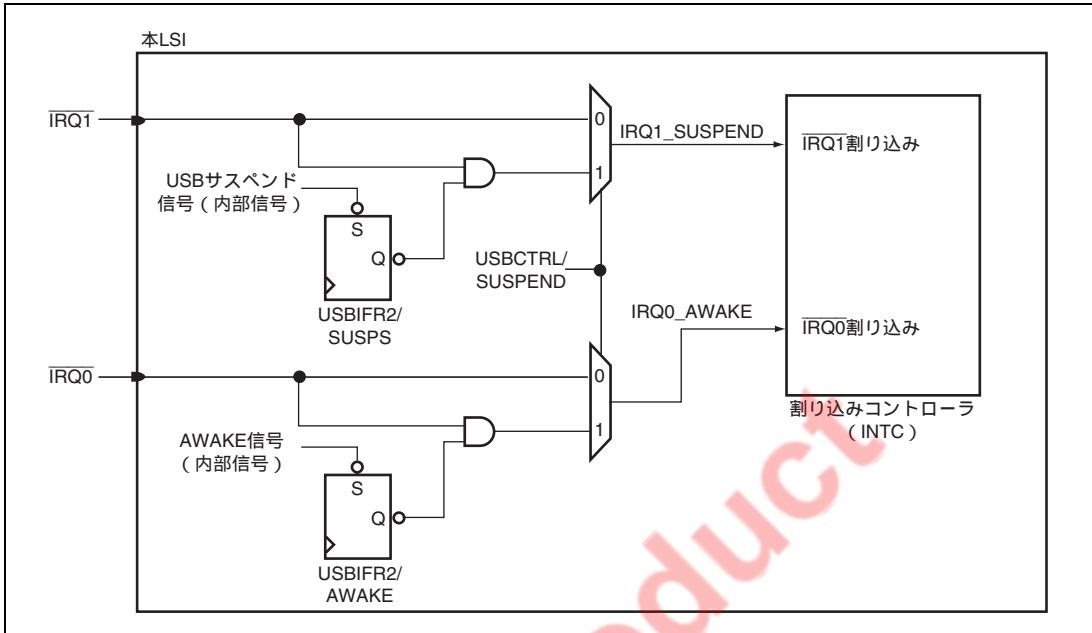


図 20.19 IRQ0、IRQ1 割り込み回路

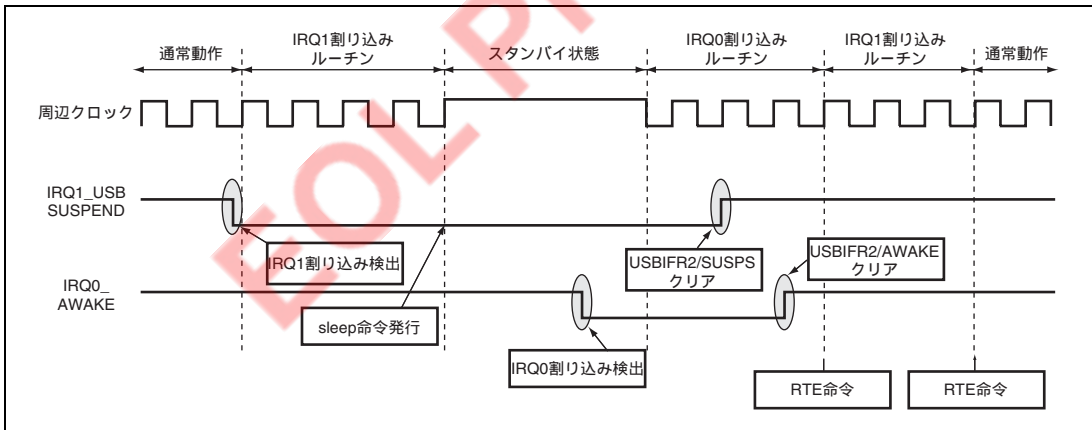


図 20.20 USB スタンバイ動作タイミング

20.9.2 USB バスパワー使用例

USB バスパワー方式を使用する場合の、初期化、スタンバイ遷移、アウェイクフローチャートを図 20.21 ~ 図 20.23 に示します。

20. USB ファンクションモジュール

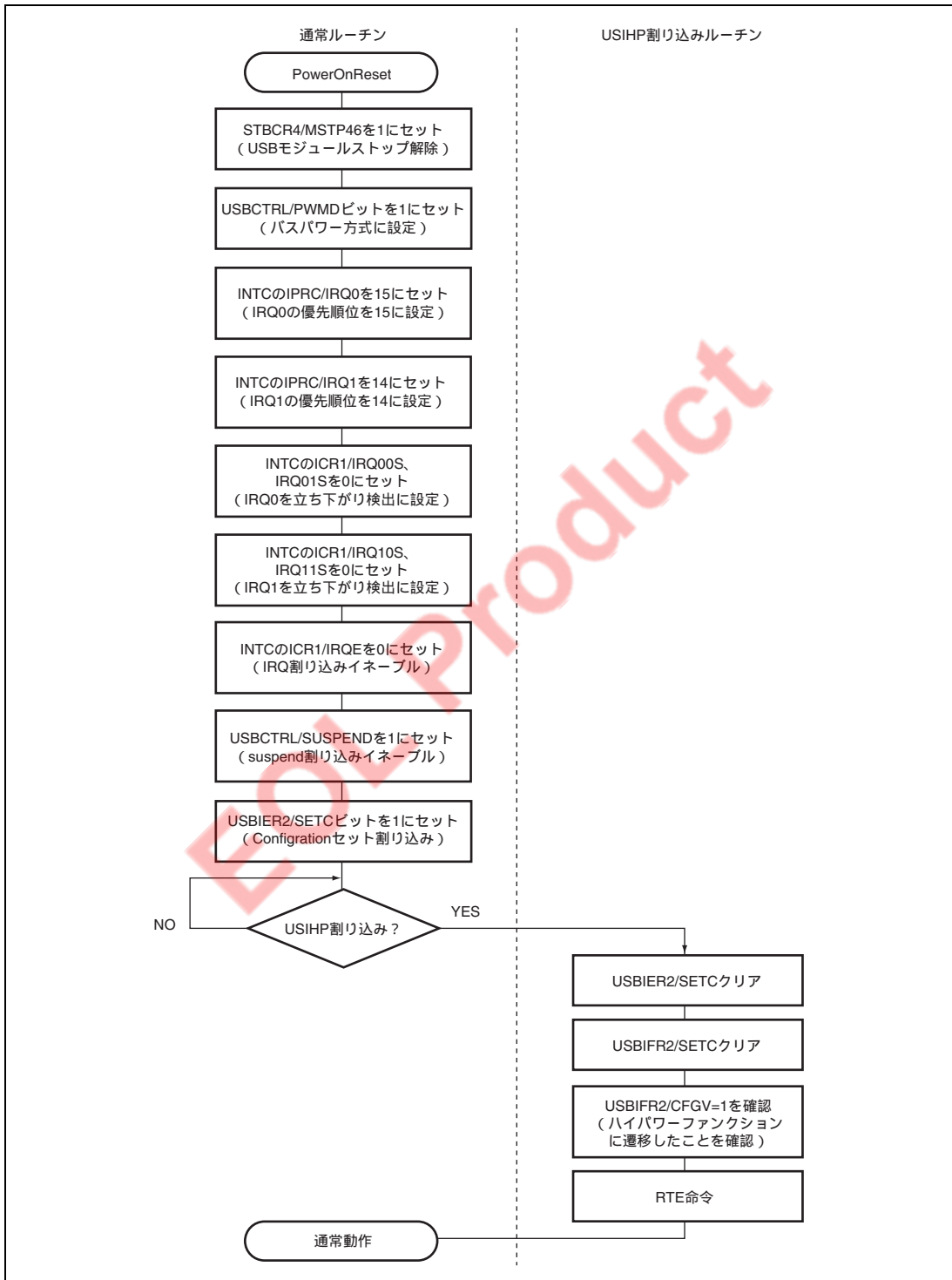


図 20.21 USB バスパワー初期化フローチャート例

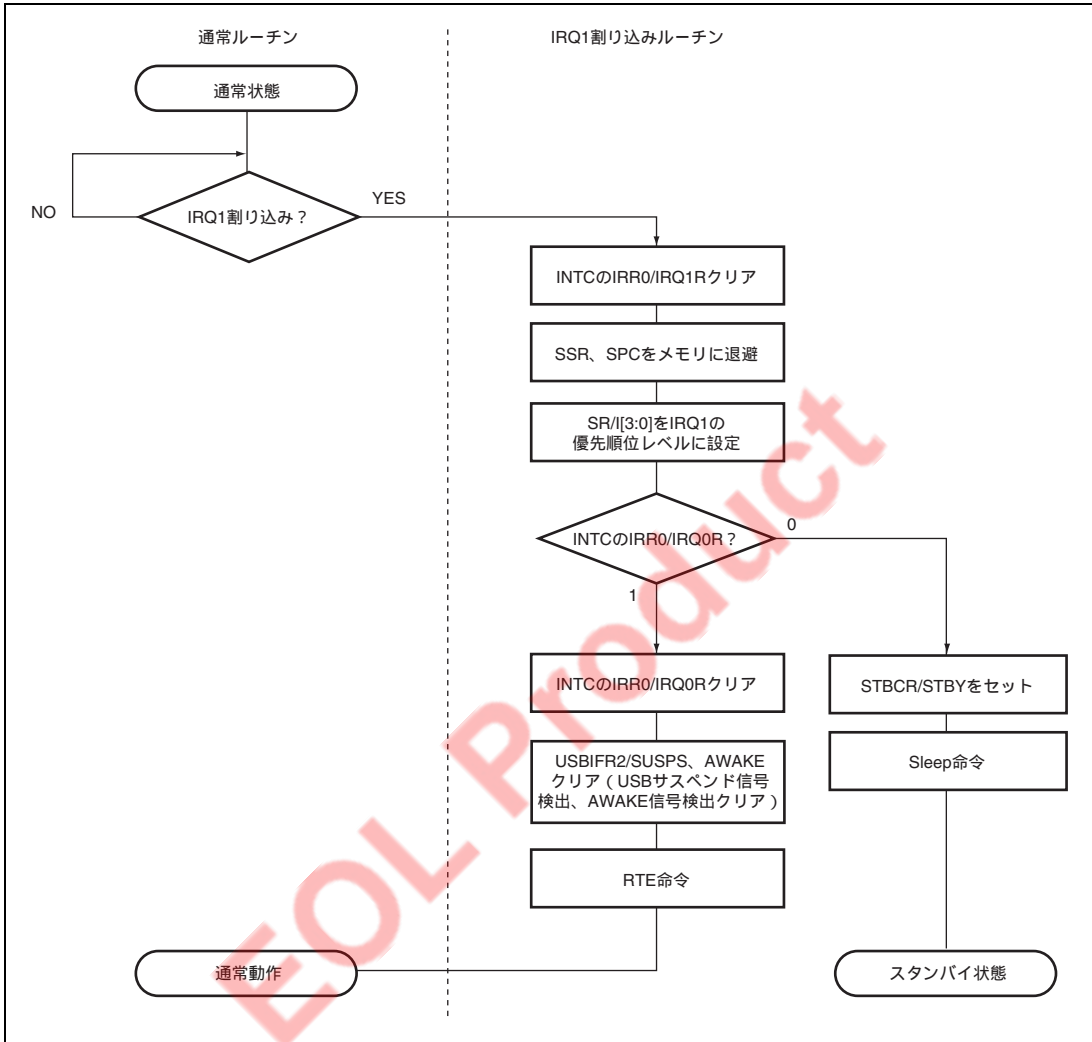


図 20.22 USB サスペンド遷移フローチャート例

20. USB ファンクションモジュール

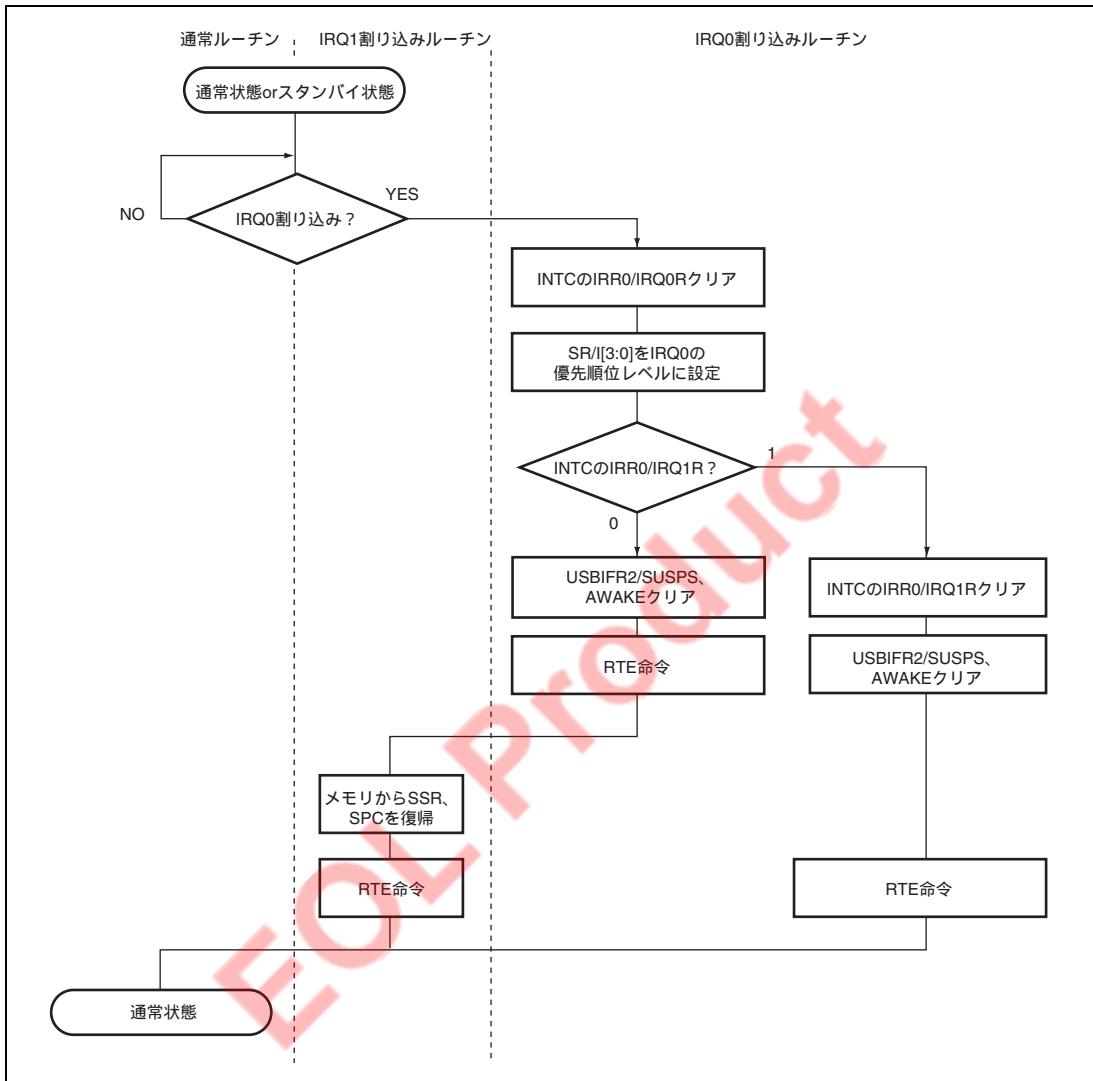


図 20.23 AWAKE フローチャート例

20.10 使用上の注意

20.10.1 セットアップデータ受信について

8 バイトのセットアップデータ受信を行う USBEPDR0s は以下の点に注意してください。

1. USBではセットアップコマンドを必ず受信することになっているため、CPU側からのリードよりも、USBバス側からのライトが優先になっています。受信完了後にCPUでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためCPU側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。
2. USBEPDR0sは必ず8バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

20.10.2 FIFO のクリアについて

USB ケーブル接続後、通信途中で抜かれた場合、受信中あるいは送信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル接続後は、速やかに FIFO のクリアを行ってください。

なお、ホストからデータ受信中あるいはホストに対してデータ送信中の FIFO クリアは行わないでください。

20.10.3 データレジスタのオーバーリード/ライトについて

本モジュールのデータレジスタをリード/ライトする際は以下の点に注意してください。

(1) 受信用データレジスタ

受信用データレジスタは、有効な受信データ数以上リードしないでください。すなわち、受信データサイズレジスタに示されるバイト数以上リードしないでください。2面 FIFO を持つ USBEPDR1 の場合も1回にリードできる最大データ数は64バイトです。現在有効になっている面のデータをリード終了したら、必ず USBTRG/EP1RDFN に1ライトを行ってください。この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データサイズに反映され、次のデータがリード可能になります。

(2) 送信用データレジスタ

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2面 FIFO を持つ USBEPDR2 の場合も、1回のライトは必ず最大パケットサイズ以内にしてください。データライト後、TRG/PKTE に1ライトを行うと本モジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって、2面分連続でデータライトは行わないでください。

20.10.4 EP0 に関する割り込み要因の割り当てについて

本モジュールの USBIFR0 に割り当てられた EP0 に関する割り込み要因（ビット 0~3）は、必ず USBISR0 で同じ割り込み端子に割り当ててください。その他の割り込み要因には特に制約はありません。

20.10.5 DMA 転送設定時の FIFO クリアについて

エンドポイント 1 において、DMA 転送をイネーブルにしているとき（USBDMAR/EP1 DMAE=1）は、エンドポイント 1 データレジスタ（USBEPDR1）のクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

20.10.6 DMA 転送時のマニュアルリセットについて

エンドポイント 1、エンドポイント 2 に対する DMA 転送中にマニュアルリセット入力しないでください。
DMA 転送中にマニュアルリセットを入力したときの動作保証はできません。

20.10.7 USB クロックについて

USB クロック（UCLK）は、必ず本モジュールのレジスタ設定前に入力してください。

20.10.8 TR 割り込み使用時の注意

EP0i/EP2/EP3 のイン転送には転送要求割り込み（TR 割り込み）がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当 EP の FIFO にデータがないときにセットされます。しかし、図 20.24 に示すようなタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないようにしてください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NAK 判定を行います。TR 割り込みフラグは NAK ハンドシェイク送信後にセットされます。したがって、USBTRG/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

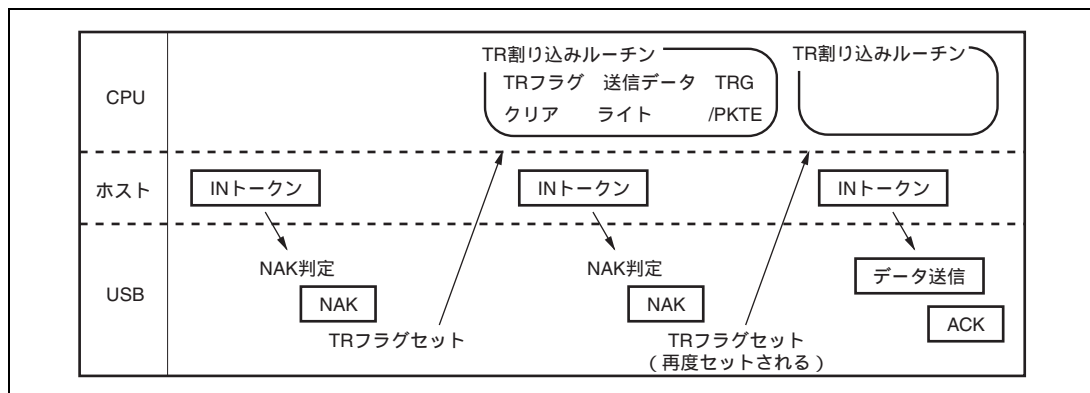


図 20.24 TR 割り込みフラグのセットタイミング

21. A/D 変換器

本 LSI は 10 ビット精度の逐次比較方式 A/D コンバータを内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

A/D 変換器は独立した 2 つのモジュール (A/D0 と A/D1) より構成されています。

21.1 特長

A/D 変換器の特長を以下に示します。

- 10ビット分解能
- 入力チャンネル：8チャンネル (4チャンネル×2)
- 最小変換時間：1チャンネル当たり4.4 μs (シングルモード、146ステート変換 (Typ)、P クロック33MHz動作時)
- 3種類の変換モード
シングルモード：1チャンネルのA/D変換
マルチモード：1～4チャンネルのA/D変換
スキャンモード：1～4チャンネルの連続A/D変換
- 2チャンネル同時変換が可能。
- 2種類の変換開始
ソフトウェアとタイマの変換開始トリガ (MTU) の選択が可能
- 8本のデータレジスタ
変換結果を各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能
- A/D変換終了割り込み発生
A/D変換終了時に、A/D変換終了割り込み (ADI0、ADI1) 要求を発生可能
または、A/D変換終了時にDMACが起動できます。

21.1.1 ブロック図

A/D 変換器のブロック図を図 21.1 に示します。

A/D0、A/D1 の AVcc、AVss は LSI では共通端子です。

21. A/D 変換器

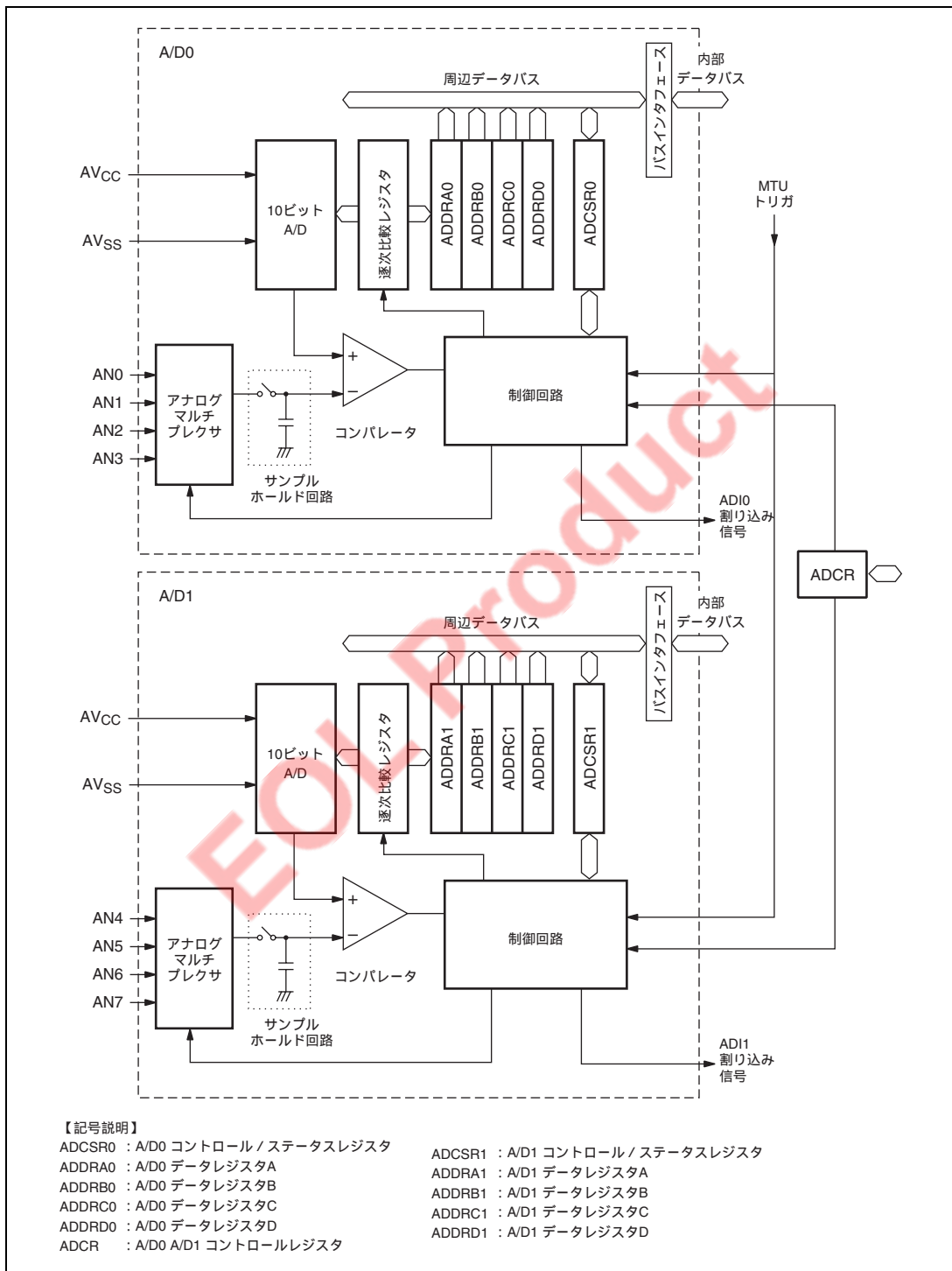


図 21.1 A/D 変換器のブロック図

21.1.2 入出力端子

A/D 変換器で使用する入力端子を表 21.1 に示します。8 本のアナログ入力端子は A/D0 (AN0~3) および A/D1 (AN4~AN7) の 2 つのグループに分かれています。AVcc、AVss 端子は、A/D 変換器内部のアナログ部の電源です。AVcc 端子は、A/D 変換基準電圧です。AVss 端子は、A/D 変換基準グランドです。

表 21.1 端子構成

端子名	略称	入出力	機能
アナログ電源	AVcc	入力	アナログ部の電源および A/D 変換の基準電圧
アナロググランド	AVss	入力	アナログ部のグランドおよび A/D 変換の基準グランド
アナログ入力 0	AN0	入力	A/D0 アナログ入力
アナログ入力 1	AN1	入力	
アナログ入力 2	AN2	入力	
アナログ入力 3	AN3	入力	
アナログ入力 4	AN4	入力	A/D1 アナログ入力
アナログ入力 5	AN5	入力	
アナログ入力 6	AN6	入力	
アナログ入力 7	AN7	入力	

21.2 レジスタの説明

A/D 変換器のレジスタを以下に示します。

- A/D0データレジスタA (ADDRA0)
- A/D0データレジスタB (ADDRB0)
- A/D0データレジスタC (ADDRC0)
- A/D0データレジスタD (ADDRD0)
- A/D1データレジスタA (ADDRA1)
- A/D1データレジスタB (ADDRB1)
- A/D1データレジスタC (ADDRC1)
- A/D1データレジスタD (ADDRD1)
- A/D0コントロール/ステータスレジスタ (ADCSR0)
- A/D1コントロール/ステータスレジスタ (ADCSR1)
- A/D0 A/D1コントロールレジスタ (ADCR)

21. A/D 変換器

21.2.1 A/D データレジスタ A~D (ADDRA0~ADDRD0、ADDRA1~ADDRD1)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA0~ADDRD0 (A/D0) ADDR A1~ADDRD1 (A/D1) の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 21.2 に示します。

ADDR は、パワーオンリセットおよびスタンバイモードで H'0000 に初期化されます。

表 21.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	A/D データレジスタ	モジュール
AN0	ADDRA0	A/D0
AN1	ADDRB0	
AN2	ADDRC0	
AN3	ADDRD0	
AN4	ADDRA1	A/D1
AN5	ADDRB1	
AN6	ADDRC1	
AN7	ADDRD1	

21.2.2 A/D コントロール/ステータスレジスタ (ADCSR0、ADCSR1)

ADCSR は、16 ビットの読み出し/書き込み可能なレジスタです。ADCSR0 は A/D0 の、ADCSR1 は A/D1 の動作モードの選択、A/D 変換の動作制御および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ADCSR は、パワーオンリセットおよびスタンバイモードで H'0040 に初期化されます。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R(W)*	A/D エンドフラグ A/D 変換の終了を示すフラグです。 [クリア条件] <ul style="list-style-type: none">• ADF = 1 の状態で、ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき• ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき [セット条件] <ul style="list-style-type: none">• シングルモード：A/D 変換が終了したとき• マルチモード：指定したすべてのチャンネルを一巡して変換したとき• スキャンモード：指定したすべてのチャンネルを一巡して変換したとき 【注】* フラグに 0 を書き込んでクリアしてください。

ビット	ビット名	初期値	R/W	説明
14	ADIE	0	R/W	A/D インタラプトイネーブル A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。 ADIE ビットの設定は変換停止中に行ってください。 0: A/D 変換の終了による割り込み (ADI) 要求を禁止 1: A/D 変換の終了による割り込み (ADI) 要求を許可
13	ADST	0	R/W	A/D スタート A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。 0: A/D 変換を停止 1: A/D 変換を開始 シングルモード: 指定したチャンネルの変換が終了すると自動的に 0 にクリア マルチモード: 指定したすべてのチャンネルを一巡して変換が終了すると自動的に 0 にクリア スキャンモード: ソフトウェア、パワーオンリセットまたはスタンバイモードへの遷移により 0 にクリアされるまで連続変換
12	DMASL	0	R/W	DMAC 選択 A/D 変換の終了による割り込みまたは DMAC 起動のいずれかを選択します。 DMASL ビットの設定は変換停止中に行ってください。 0: A/D 変換の終了による割り込みを選択 1: A/D 変換の終了による DMAC 起動を選択
11	TRGE	0	R/W	A/D トリガイネーブル MTU トリガからの入力による A/D 変換開始の許可または禁止を選択します。 0: MTU トリガ入力による A/D 変換開始を禁止 1: MTU トリガ入力による A/D 変換開始
10~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CKS1	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 変換時間の切り替えは、ADST ビットを 0 にクリアした後に行ってください。 00: 変換時間 = 151 ステート (最大値) P /4 で動作 01: 変換時間 = 285 ステート (最大値) P /8 で動作 10: 変換時間 = 545 ステート (最大値) P /16 で動作 11: 設定禁止
6	CKS0	1	R/W	
5	MULTI1	0	R/W	シングルモード、マルチモード、またはスキャンモードを選択します。 00: シングルモード 01: 設定禁止 10: マルチモード 11: スキャンモード
4	MULTI0	0	R/W	

21. A/D 変換器

ビット	ビット名	初期値	R/W	説 明																				
3	-	0	R	リザーブビット																				
2	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																				
1	CH1	0	R/W	チャンネルセレクト 1、0 MULTI ビットとともにアナログ入力チャンネル選択します。 入力チャンネルの設定は、ADST ビットを 0 にクリアした後に行ってください。 <ul style="list-style-type: none"> ADCSR0 (A/D0) の場合 <table border="0"> <tr> <td>シングルモード</td> <td>マルチモードおよびスキャンモード</td> </tr> <tr> <td>00 : AN0</td> <td>AN0</td> </tr> <tr> <td>01 : AN1</td> <td>AN0、AN1</td> </tr> <tr> <td>10 : AN2</td> <td>AN0 ~ AN2</td> </tr> <tr> <td>11 : AN3</td> <td>AN0 ~ AN3</td> </tr> </table> ADCSR1 (A/D1) の場合 <table border="0"> <tr> <td>シングルモード</td> <td>マルチモードおよびスキャンモード</td> </tr> <tr> <td>00 : AN4</td> <td>AN4</td> </tr> <tr> <td>01 : AN5</td> <td>AN4、AN5</td> </tr> <tr> <td>10 : AN6</td> <td>AN4 ~ AN6</td> </tr> <tr> <td>11 : AN7</td> <td>AN4 ~ AN7</td> </tr> </table> 	シングルモード	マルチモードおよびスキャンモード	00 : AN0	AN0	01 : AN1	AN0、AN1	10 : AN2	AN0 ~ AN2	11 : AN3	AN0 ~ AN3	シングルモード	マルチモードおよびスキャンモード	00 : AN4	AN4	01 : AN5	AN4、AN5	10 : AN6	AN4 ~ AN6	11 : AN7	AN4 ~ AN7
シングルモード	マルチモードおよびスキャンモード																							
00 : AN0	AN0																							
01 : AN1	AN0、AN1																							
10 : AN2	AN0 ~ AN2																							
11 : AN3	AN0 ~ AN3																							
シングルモード	マルチモードおよびスキャンモード																							
00 : AN4	AN4																							
01 : AN5	AN4、AN5																							
10 : AN6	AN4 ~ AN6																							
11 : AN7	AN4 ~ AN7																							
0	CH0	0	R/W																					

21.2.3 A/D0 A/D1 コントロール (ADCR)

ADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、2 チャンネル同時サンプリング動作を選択します。同時サンプリングの詳細は「21.3.4 同時サンプリング動作」を参照してください。

ADCR は、パワーオンリセットおよびスタンバイモードで H'0000 に初期化されます。

ビット	ビット名	初期値	R/W	説 明
15	DSMP	0	R/W	A/D0、A/D1 同時サンプリングを選択するビットです。 DSMP ビットに 1 を書き込むと 2 チャンネル同時に変換を開始します。 A/D 変換中は 1 を保持します。 各変換モードで変換が終了すると自動的に 0 にクリアされます。 【注】 DSMP ビットの設定を行う前に、ADCSR レジスタの設定を行ってください。
14~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.3 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとマルチモードおよびスキャンモードの各モードの動作についての説明をします。

21.3.1 シングルモード

シングルモードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアによって A/D コントロール/ステータスレジスタ(ADCSR0、ADCSR1)の ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 で DMASL が 0 であると、ADI 割り込み要求が発生します。

ADF ビットは、ADF = 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると（モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます）、再び A/D 変換を開始します。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 21.2 に示します（動作例におけるビット指定は ADCSR0 レジスタです）。

1. 動作モードをシングルモードに、入力チャンネルを AN1 に (CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
2. A/D 変換が終了すると、A/D 変換結果が ADDR0 に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
3. ADF = 1、ADIE = 1、DMASL = 0 となっているため、ADI0 割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. ADF = 1 を読み出した後、ADF に 0 を書き込みます。
6. A/D 変換結果 (ADDR0) を読み出して処理します。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され 2. ~ 7. を行います。

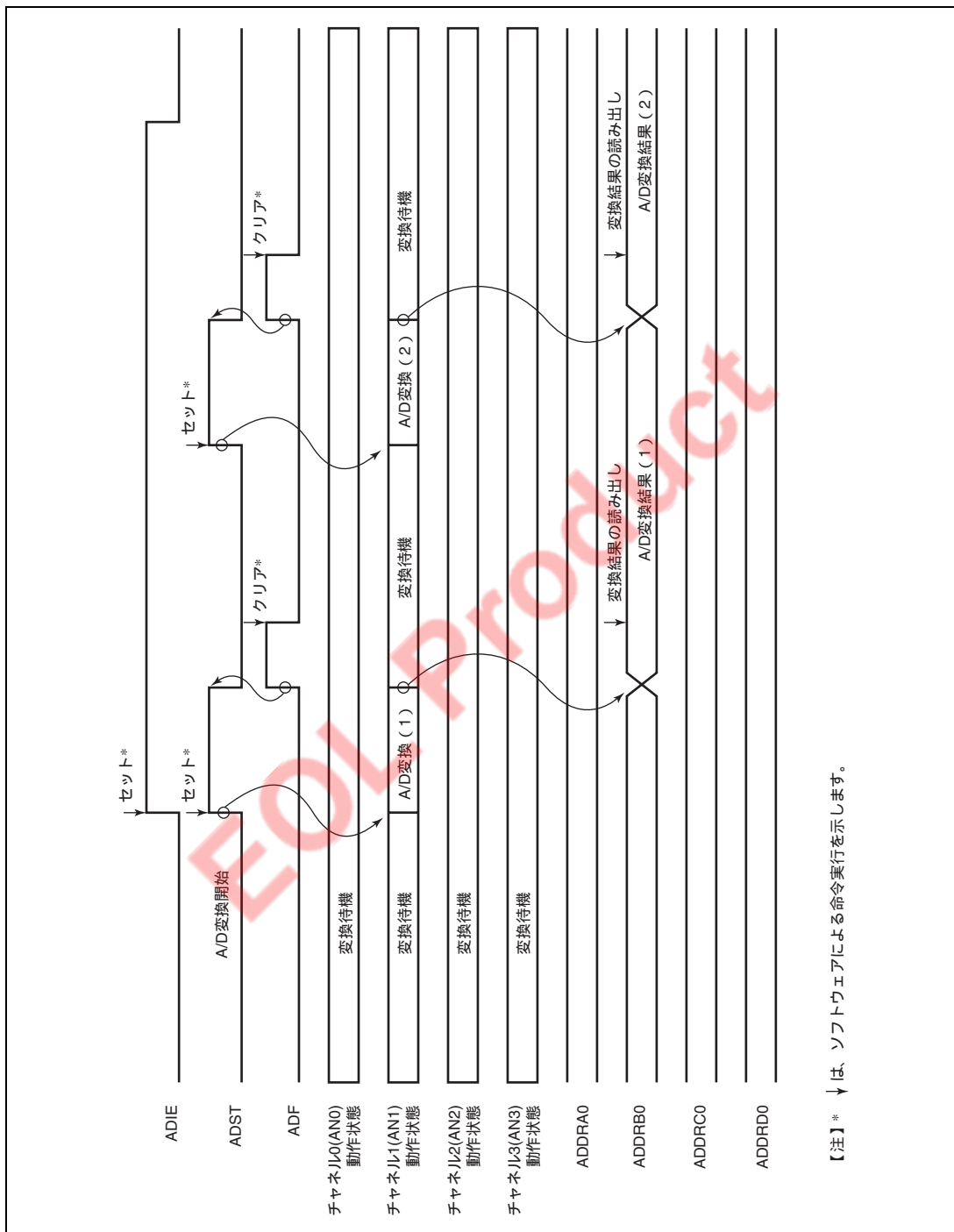


図 21.2 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

21.3.2 マルチモード

マルチモードは、複数チャンネル（1チャンネルを含む）のアナログ入力を各々1回順次変換します。A/D変換はソフトウェアによってA/Dコントロール/ステータスレジスタ（ADCSR0、ADCSR1）のADSTビットが1にセットされると、グループの第1チャンネル（A/D0のときAN0、A/D1のときAN4）から開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、ただちに第2チャンネル（AN1またはAN5）のA/D変換を開始します。

A/D変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると（モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます）、第1チャンネルが選択され、再びA/D変換を開始します。

マルチモードでA/D0の3チャンネル（AN0～AN2）を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図21.3に示します。

1. 動作モードをマルチモード（MULTI1=1）に、アナログ入力チャンネルをAN0～AN2（CH1=1、CH0=0）に設定してA/D変換を開始（ADST=1）します。
2. 第1チャンネル（AN0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
3. 次に第2チャンネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル（AN2）まで変換を行います。
5. 選択されたすべてのチャンネル（AN0～AN2）の変換が終了すると、ADF=1となり、ADSTビットを0にして変換を終了します。

このときADIEビットが1でDMASLが0であると、A/D変換終了後、ADI割り込みが発生します。

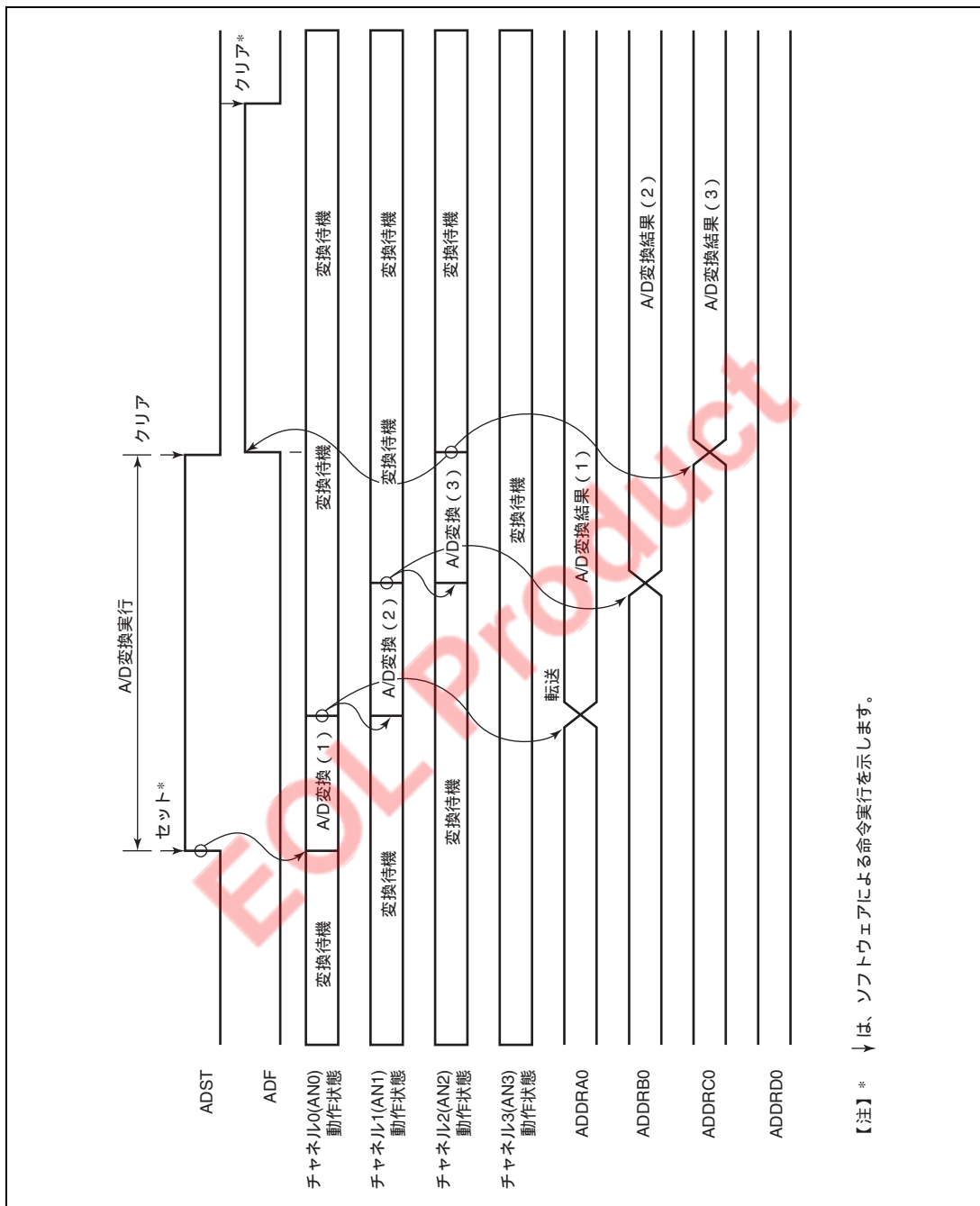


図 21.3 A/D 変換器の動作例 (マルチモード AN0 ~ AN2 の 3 チャンネル選択時)

21.3.3 スキャンモード

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。A/D変換はソフトウェアによってA/Dコントロール/ステータスレジスタ(ADCSR0、ADCSR1)のADSTビットが1にセットされると、グループの第1チャンネル(A/D0のときAN0、A/D1のときAN4)から開始されま

す。複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、ただちに第2チャンネル(AN1またはAN5)のA/D変換を開始します。

A/D変換は、ADSTビットが0にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードでA/D0の3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図21.4に示します。

1. 動作モードをスキャンモード(MULTI1=1、MULTI0=1)に、アナログ入力チャンネルをAN0~AN2(CH1=1、CH0=0)に設定してA/D変換を開始(ADST=1)します。
2. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
3. 次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル(AN2)まで変換を行います。
5. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、再び、第1チャンネル(AN0)を選択し、連続して変換が行われます。

このときADIEビットが1でDMASLが0であると、A/D変換(第3チャンネルの変換)終了後、ADI0割り込みを発生します。

6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は、2.~4.を繰り返します。繰り返している間、ADF=1を保持しています。

ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

7. 2.~4.を繰り返している間ADF=1でADIEビットが1の場合、常にADI0割り込みを発生します。第3チャンネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADFビットをクリアしてください。

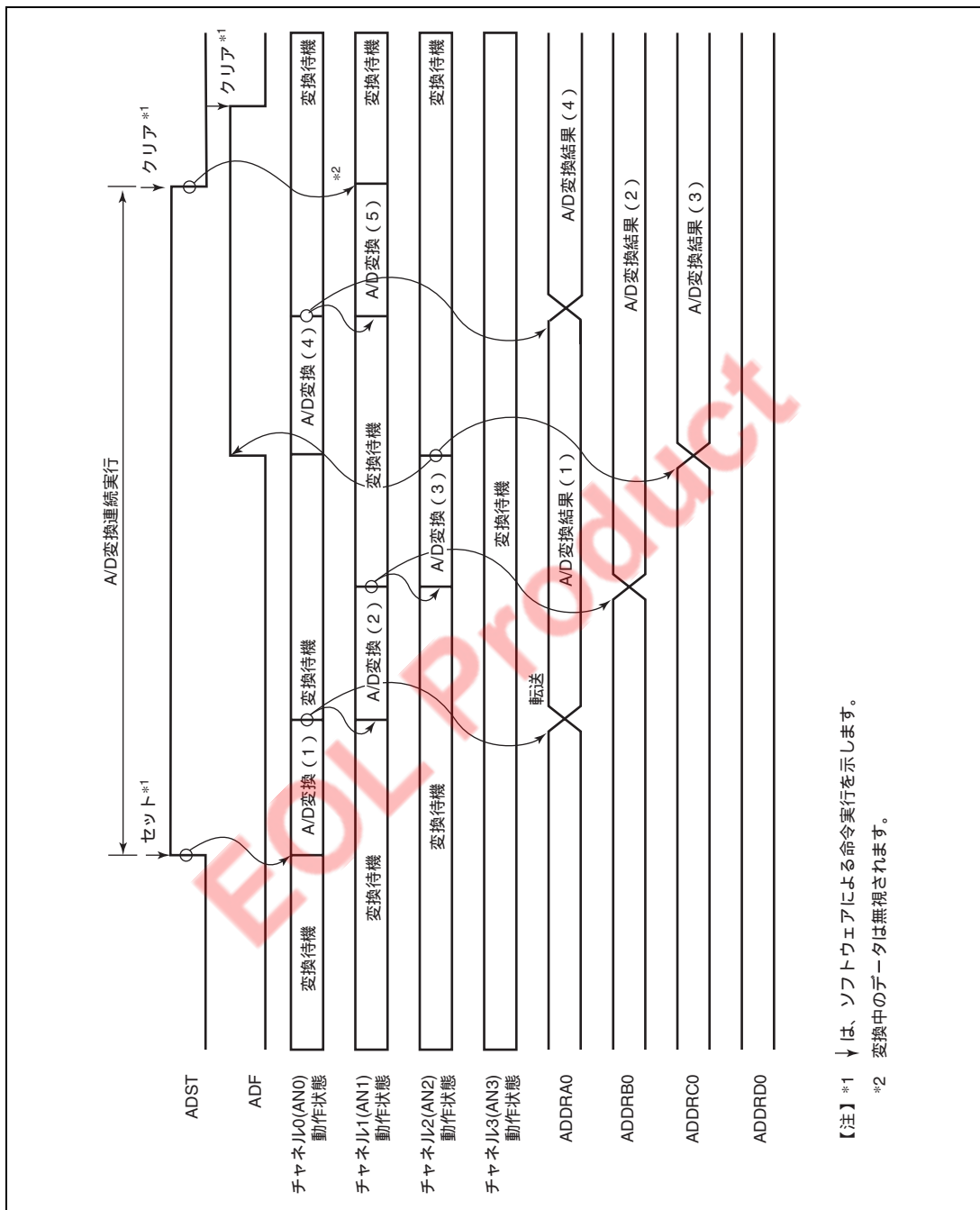


図 21.4 A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)

21.3.4 同時サンプリング動作

同時サンプリング動作では、2チャンネル（A/D0 と A/D1 のチャンネル）の入力電圧を同時にサンプリングし、変換を行います。同時サンプリング動作は、シングル、マルチ、スキャンモードそれぞれで有効です。同時サンプリング動作を行うチャンネルは A/D コントロール/ステータスレジスタ（ADCSR0、ADCSR1）の CH1、CH0 ビットで決まります。設定手順は、各動作モード、入力チャンネル、動作クロックを設定した後 A/D0 A/D1 コントロールレジスタ（ADCR）の DSMP ビットに 1 を書き込むと A/D0、A/D1 は、同時にサンプリングを開始します。A/D 変換中に DSMP ビットを書き換えても A/D 変換は、停止しません。変換を停止させる場合は、ADST ビットを書き換えてください。また、同時サンプリングのタイミングは、各動作モードのタイミングと同じです。

21.3.5 MTU による A/D 変換器の起動

MTU からの A/D 変換要求によって、A/D 変換器を独立に起動することが出来ます。MTU から A/D 変換器を起動するときには、A/D トリガインプット（TRGE）の設定を行います。この状態で MTU の A/D 変換要求が発生すると、ADST ビットを 1 にセットします。これで、A/D 変換が開始されます。このとき、ADCSR0 と ADCSR1 両方の TRGE ビットが 1 にセットされていると A/D0 と A/D1 が同時に変換を開始します。変換を行うチャンネルの組み合わせは、ADCSR の CH1、CH0 ビットで決まります。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

21.3.6 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、A/D コントロール/ステータスレジスタ（ADCSR0、ADCSR1）の ADST ビットが 1 にセットされてから t_b 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 21.5 に示します。また、A/D 変換時間を表 21.3 に示します。

A/D 変換時間は、図 21.5 に示すように、 t_b と入力サンプリング時間を含めた時間となります。ここで t_b は、ADCSR への書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 21.3 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 21.3 に示す値が 1 回目の変換時間となりますが、2 回目以降の変換時間は表 21.4 に示す値となります。

21. A/D 変換器

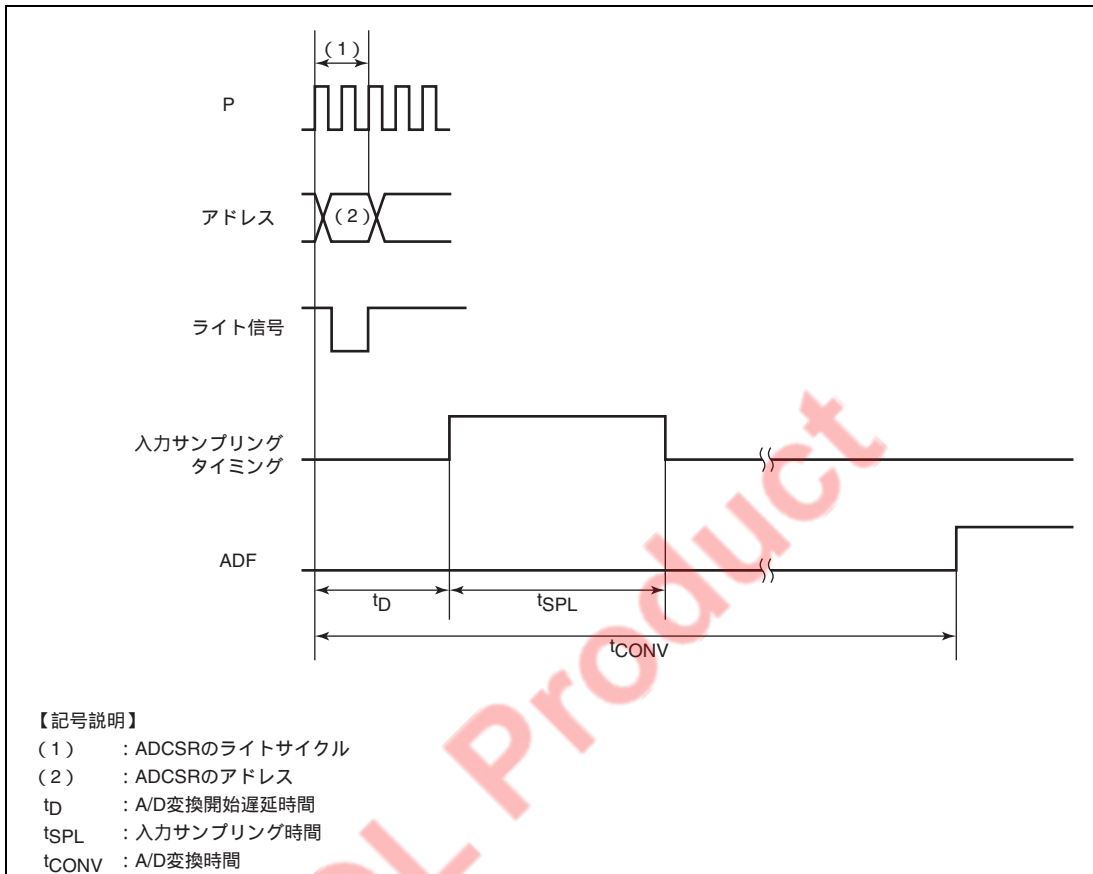


図 21.5 A/D 変換タイミング

表 21.3 A/D 変換時間 (シングルモード)

	記号	CKS1 = 1, CKS0 = 0			CKS1 = 0, CKS0 = 1			CKS1 = 0, CKS0 = 0		
		Min	typ	max	min	typ	max	min	typ	max
A/D 変換開始時間	t_D	18	-	21	10	-	13	6	-	9
入力サンプリング時間	t_{SPL}		129	-	-	65	-	-	33	-
A/D 変換時間	t_{CONV}	535	-	545	275	-	285	141	-	151

【注】 表中の数値の単位は P に対するステート (t_{cyc}) です。

表 21.4 A/D 変換時間 (マルチモードおよびスキャンモード)

CKS1	CKS0	変換時間 (P に対するステート: t_{cyc})
0	0	128 (固定)
	1	256 (固定)
1	0	512 (固定)
	1	未使用

21.4 割り込み要求と DMAC 転送要求

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI0、ADI1) または DMAC の起動信号を発生します。これらは、ADCSR0、ADCSR1 の ADIE ビット、DMASL ビットで許可または禁止することができます。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされません。

表 21.5 割り込み要求と DMAC 転送要求の関係

ADIE ビット	DMASL ビット	割り込み要求	DMAC 転送要求
0	0	無効	無効
	1	無効	有効
1	0	有効	無効
	1	無効	有効

21.5 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 21.6 に沿って、上記 1.~4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの中速 A/D 変換器を 3 ビットの中速 A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）000000000（図では 000）から 000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 21.6（1））です。フルスケール誤差とはデジタル出力値が 111111110（図では 110）から最大値（フルスケール電圧）111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 21.6（2））です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（図 21.6（3））。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（図 21.6（4））です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

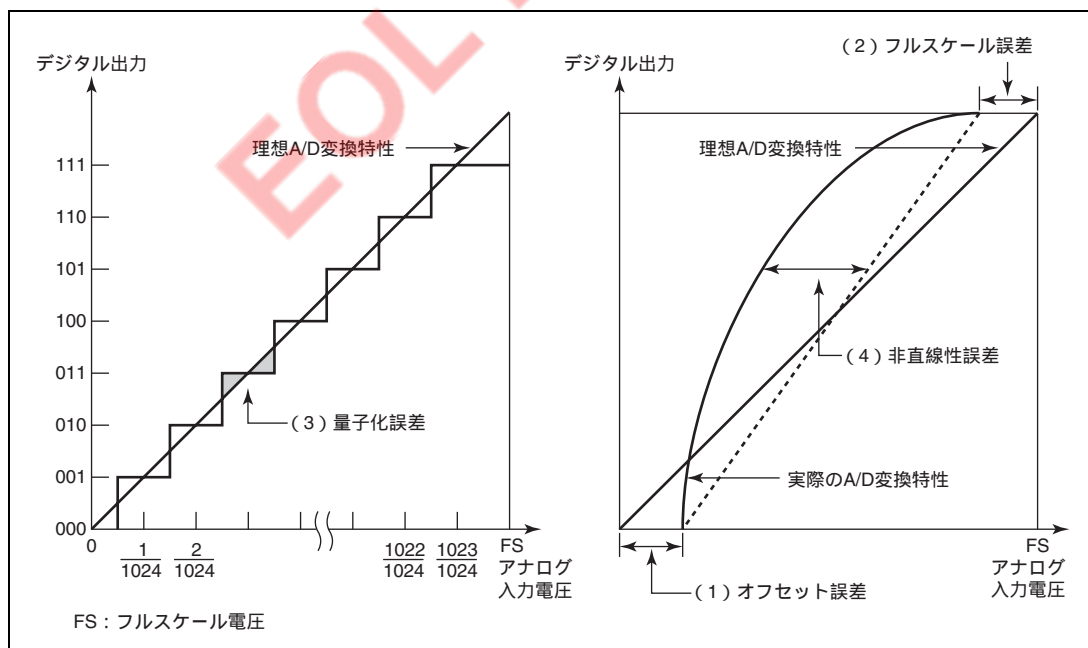


図 21.6 A/D 変換精度の定義

21.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

21.6.1 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

1. アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧はAV_{ss} AN_n AV_{cc}の範囲としてください。(n=0~7)

2. AV_{cc}、AV_{ss}入力電圧

AV_{cc}、AV_{ss}入力電圧は、V_{ccQ} - 0.2V AV_{cc} V_{ccQ}、AV_{ss} = V_{ss}としてください。さらに、A/D変換器を使用しないとき、およびスタンバイ時でもAV_{cc}、AV_{ss} 端子は、オープンにしないでください。使用しないときは、必ずAV_{cc}は電源 (V_{ccQ}) に、AV_{ss} はグランド (V_{ssQ}) に接続してください。

21.6.2 アナログ入力端子の取り扱い

アナログ入力端子 (AN0 ~ AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 21.7 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 21.8 にアナログ入力端子の等価回路を、「25. 電気的特性」の「25.4 A/D 変換器特性」にアナログ入力端子の規格を示します。

21.6.3 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが 5k Ω 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 5k Ω を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の 3k Ω だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号 (たとえば 5mV/ μ s 以上) には追従できないことがあります。(図 21.9)。

高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

21.6.4 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{ss} 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交差したりアンテナとならないように注意してください。

21.6.5 A/D 変換途中の停止について

A/D 変換開始後、プログラムにて A/D 変換を停止する場合は以下のことに注意してください。

1. シングルモード時は、A/D変換開始後プログラムにてA/Dを停止することはできません。
2. マルチモードまたはスキャンモードでA/D変換開始後プログラムにてA/Dを停止する場合は、ADSTビットのみを書き換えるようにしてください。他のビットも同時に書き換えると動作の保証はできません。
3. マルチモードまたはスキャンモードでA/D変換中(ADF=0)にADST=0でA/D変換を停止する場合は、ADST=0とした後、1チャンネル分のA/D変換時間以上経過してから再度ADST=1としてください。A/D変換を開始しない場合があります。
4. ADSTビットを変化させる場合は、ADCSR0、1のクロックセレクトビット(CKS1、0)で選択したクロックの1周期以上空けてください。ADSTをCKS1、0で選択したクロックでサンプリングしているため、ADST変化の間隔が短いと、変化を検出できない場合があります。

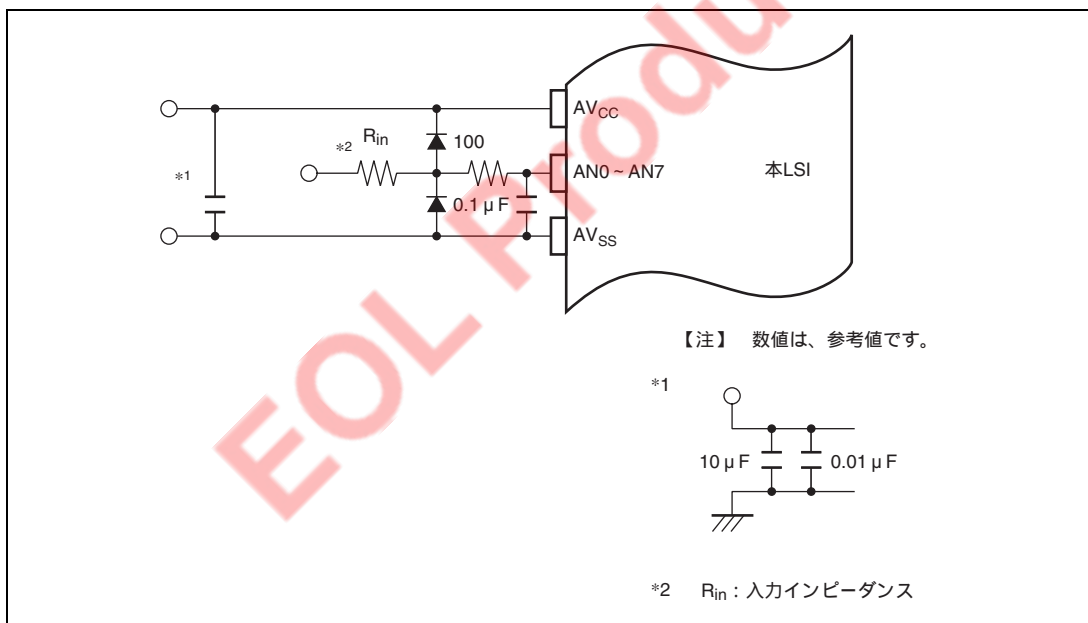


図 21.7 アナログ入力端子の保護回路例

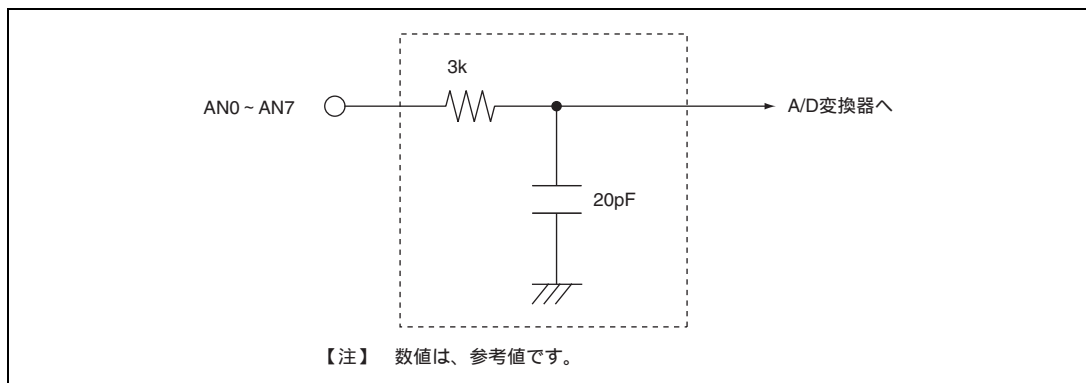


図 21.8 アナログ入力端子の等価回路

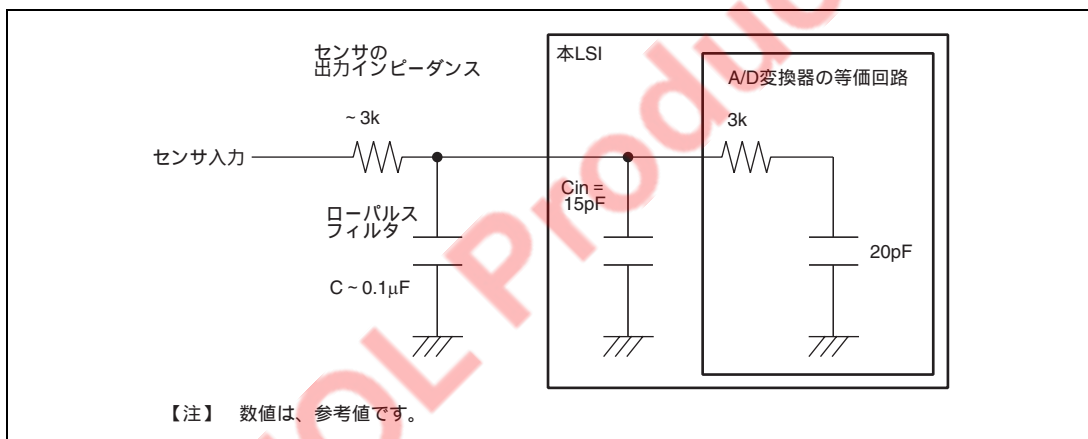


図 21.9 アナログ入力回路の例

EOL Product

22. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSI の動作モードに関係なく端子ごとに個別に選択することができます。表 22.1 に、本 LSI のマルチプレクス端子を示します。

表 22.1 マルチプレクス一覧表

ポート	ポート機能 (関連モジュール)	その他機能 (関連モジュール)
A	PTA14 入出力 (ポート)	A25 出力 (アドレスバス)
	PTA13 入出力 (ポート)	A24 出力 (アドレスバス)
	PTA12 入出力 (ポート)	A23 出力 (アドレスバス)
	PTA11 入出力 (ポート)	A22 出力 (アドレスバス)
	PTA10 入出力 (ポート)	A21 出力 (アドレスバス)
	PTA9 入出力 (ポート)	A20 出力 (アドレスバス)
	PTA8 入出力 (ポート)	A19 出力 (アドレスバス)
	PTA7 入出力 (ポート)	$\overline{\text{RAS}}\text{U}$ 出力 (BSC)
	PTA6 入出力 (ポート)	$\overline{\text{RAS}}\text{L}$ 出力 (BSC)
	PTA5 入出力 (ポート)	$\overline{\text{CAS}}\text{U}$ 出力 (BSC)
	PTA4 入出力 (ポート)	$\overline{\text{CAS}}\text{L}$ 出力 (BSC)
	PTA3 入出力 (ポート)	$\overline{\text{CS}}\text{3}$ 出力 (BSC)
	PTA2 入出力 (ポート)	$\overline{\text{CS}}\text{2}$ 出力 (BSC)
	PTA1 入出力 (ポート)	CKE 出力 (BSC)
PTA0 入出力 (ポート)	A0 出力 (アドレスバス)	
B	PTB8 入出力 (ポート)	DPLS 入力 (USB)
	PTB7 入出力 (ポート)	DMNS 入力 (USB)
	PTB6 入出力 (ポート)	TXDPLS 出力 (USB)
	PTB5 入出力 (ポート)	TXDMNS 出力 (USB)
	PTB4 入出力 (ポート)	TXENL 出力 (USB)
	PTB3 入出力 (ポート)	XVDATA 入力 (USB)
	PTB2 入出力 (ポート)	SUSPND 出力 (USB)
	PTB1 入出力 (ポート)	VBUS 入力 (USB)
	PTB0 入出力 (ポート)	UCLK 入力 (USB)

22. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他機能 (関連モジュール)
C	PTC15 入出力 (ポート)	STATUS1 出力 (CPG)
	PTC14 入出力 (ポート)	STATUS0 出力 (CPG)
	PTC13 入出力 (ポート)	ASEBRKAK 出力 (CPU)
	PTC12 入出力 (ポート)	$\overline{DACK1}$ 出力 (DMAC)
	PTC11 入出力 (ポート)	$\overline{DACK0}$ 出力 (DMAC)
	PTC10 入出力 (ポート)	$\overline{DREQ1}$ 入力 (DMAC)
	PTC9 入出力 (ポート)	$\overline{DREQ0}$ 入力 (DMAC)
	PTC8 入出力 (ポート)	\overline{TEND} 出力 (DMAC)
	PTC7 入出力 (ポート)	\overline{BACK} 出力 (BSC)
	PTC6 入出力 (ポート)	BREQ 入力 (BSC)
	PTC5 入出力 (ポート)	\overline{FRAME} 出力 (BSC)
	PTC4 入出力 (ポート)	$\overline{CS6B}$ 出力 (BSC)
	PTC3 入出力 (ポート)	$\overline{CS6A}$ 出力 (BSC)
	PTC2 入出力 (ポート)	$\overline{CS5B}$ 出力 (BSC)
	PTC1 入出力 (ポート)	$\overline{CS5A}$ 出力 (BSC)
	PTC0 入出力 (ポート)	CS4 出力 (BSC)
D	PTD15 入出力 (ポート)	D31 入出力 (データバス)
	PTD14 入出力 (ポート)	D30 入出力 (データバス)
	PTD13 入出力 (ポート)	D29 入出力 (データバス)
	PTD12 入出力 (ポート)	D28 入出力 (データバス)
	PTD11 入出力 (ポート)	D27 入出力 (データバス)
	PTD10 入出力 (ポート)	D26 入出力 (データバス)
	PTD9 入出力 (ポート)	D25 入出力 (データバス)
	PTD8 入出力 (ポート)	D24 入出力 (データバス)
	PTD7 入出力 (ポート)	D23 入出力 (データバス)
	PTD6 入出力 (ポート)	D22 入出力 (データバス)
	PTD5 入出力 (ポート)	D21 入出力 (データバス)
	PTD4 入出力 (ポート)	D20 入出力 (データバス)
	PTD3 入出力 (ポート)	D19 入出力 (データバス)
	PTD2 入出力 (ポート)	D18 入出力 (データバス)
	PTD1 入出力 (ポート)	D17 入出力 (データバス)
	PTD0 入出力 (ポート)	D16 入出力 (データバス)

22. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他機能 (関連モジュール)
E	PTE15 入出力 (ポート)	TIOC0A 入出力 (MTU)
	PTE14 入出力 (ポート)	TIOC0B 入出力 (MTU)
	PTE13 入出力 (ポート)	TIOC0C 入出力 (MTU)
	PTE12 入出力 (ポート)	TIOC0D 入出力 (MTU)
	PTE11 入出力 (ポート)	TIOC1A 入出力 (MTU)
	PTE10 入出力 (ポート)	TIOC1B 入出力 (MTU)
	PTE9 入出力 (ポート)	TIOC2A 入出力 (MTU)
	PTE8 入出力 (ポート)	TIOC2B 入出力 (MTU)
	PTE7 入出力 (ポート)	TIOC3A 入出力 (MTU)
	PTE6 入出力 (ポート)	TIOC3B 入出力 (MTU)
	PTE5 入出力 (ポート)	TIOC3C 入出力 (MTU)
	PTE4 入出力 (ポート)	TIOC3D 入出力 (MTU)
	PTE3 入出力 (ポート)	TIOC4A 入出力 (MTU)
	PTE2 入出力 (ポート)	TIOC4B 入出力 (MTU)
	PTE1 入出力 (ポート)	TIOC4C 入出力 (MTU)
PTE0 入出力 (ポート)	TIOC4D 入出力 (MTU)	
F	PTF15 入出力 (ポート)	POE3 入力 (MTU)
	PTF14 入出力 (ポート)	POE2 入力 (MTU)
	PTF13 入出力 (ポート)	POE1 入力 (MTU)
	PTF12 入出力 (ポート)	POE0 入力 (MTU)
	PTF11 入出力 (ポート)	TCLKA 入力 (MTU)
	PTF10 入出力 (ポート)	TCLKB 入力 (MTU)
	PTF9 入出力 (ポート)	TCLKC 入力 (MTU)
	PTF8 入出力 (ポート)	TCLKD 入力 (MTU)
	PTF7 入出力 (ポート)	-
	PTF6 入出力 (ポート)	-
	PTF5 入出力 (ポート)	-
	PTF4 入出力 (ポート)	-
	PTF3 入出力 (ポート)	-
	PTF2 入出力 (ポート)	-
	PTF1 入出力 (ポート)	-
PTF0 入出力 (ポート)	-	

22. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他機能 (関連モジュール)
G	PTG13 入出力 (ポート)	-
	PTG12 入出力 (ポート)	-
	PTG11 入出力 (ポート)	-
	PTG10 入出力 (ポート)	SDA 入出力 (IIC2)
	PTG9 入出力 (ポート)	SCL 入出力 (IIC2)
	PTG8 入出力 (ポート)	-
	PTG7 入力 (ポート)	AN7 入力 (ADC)
	PTG6 入力 (ポート)	AN6 入力 (ADC)
	PTG5 入力 (ポート)	AN5 入力 (ADC)
	PTG4 入力 (ポート)	AN4 入力 (ADC)
	PTG3 入力 (ポート)	AN3 入力 (ADC)
	PTG2 入力 (ポート)	AN2 入力 (ADC)
	PTG1 入力 (ポート)	AN1 入力 (ADC)
	PTG0 入力 (ポート)	AN0 入力 (ADC)
H	PTH14 入出力 (ポート)	RTS2 入出力 (SCIF2)
	PTH13 入出力 (ポート)	RXD2 入力 (SCIF2)
	PTH12 入出力 (ポート)	TXD2 出力 (SCIF2)
	PTH11 入出力 (ポート)	CTS2 入出力 (SCIF2)
	PTH10 入出力 (ポート)	SCK2 入出力 (SCIF2)
	PTH9 入出力 (ポート)	RTS1 入出力 (SCIF1)
	PTH8 入出力 (ポート)	RXD1 入力 (SCIF1)
	PTH7 入出力 (ポート)	TXD1 出力 (SCIF1)
	PTH6 入出力 (ポート)	CTS1 入出力 (SCIF1)
	PTH5 入出力 (ポート)	SCK1 入出力 (SCIF1)
	PTH4 入出力 (ポート)	RTS0 入出力 (SCIF0)
	PTH3 入出力 (ポート)	RXD0 入力 (SCIF0)
	PTH2 入出力 (ポート)	TXD0 出力 (SCIF0)
	PTH1 入出力 (ポート)	CTS0 入出力 (SCIF0)
PTH0 入出力 (ポート)	SCK0 入出力 (SCIF0)	

22. ピンファンクションコントローラ (PFC)

ポート	ポート機能 (関連モジュール)	その他機能 (関連モジュール)
J	PTJ12 入出力 (ポート)	AUDSYNC 出力 (AUD)
	PTJ11 入出力 (ポート)	AUDATA3 出力 (AUD)
	PTJ10 入出力 (ポート)	AUDATA2 出力 (AUD)
	PTJ9 入出力 (ポート)	AUDATA1 出力 (AUD)
	PTJ8 入出力 (ポート)	AUDATA0 出力 (AUD)
	PTJ7 入出力 (ポート)	$\overline{\text{IRQ}}7$ 入力 (INTC)
	PTJ6 入出力 (ポート)	$\overline{\text{IRQ}}6$ 入力 (INTC)
	PTJ5 入出力 (ポート)	$\overline{\text{IRQ}}5$ 入力 (INTC)
	PTJ4 入出力 (ポート)	$\overline{\text{IRQ}}4$ 入力 (INTC)
	PTJ3 入出力 (ポート)	$\overline{\text{IRQ}}3$ 入力 (INTC)
	PTJ2 入出力 (ポート)	$\overline{\text{IRQ}}2$ 入力 (INTC)
	PTJ1 入出力 (ポート)	$\overline{\text{IRQ}}1$ 入力 (INTC)
	PTJ0 入出力 (ポート)	$\overline{\text{IRQ}}0$ 入力 (INTC)

EOL Product

22.1 レジスタの説明

ピンファンクションコントローラのレジスタを以下に示します。

- ポートAコントロールレジスタ (PACR)
- ポートBコントロールレジスタ (PBCR)
- ポートCコントロールレジスタ (PCCR)
- ポートDコントロールレジスタ (PDCR)
- ポートEコントロールレジスタ (PECR)
- ポートE IOレジスタ (PEIOR)
- ポートE MTU R/Wイネーブルレジスタ (PEMTURWER)
- ポートFコントロールレジスタ (PFCR)
- ポートGコントロールレジスタ (PGCR)
- ポートHコントロールレジスタ (PHCR)
- ポートJコントロールレジスタ (PJCR)

EOL Product

22.1.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PACR はパワーオンリセットで H'00000000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット
30	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	PA14MD2	0	R/W	PAn モード 2、1 PAnMD2、PAnMD1 の組み合わせで端子機能を制御します。(n=0~14) 00: ポート入力 01: ポート出力 10: リザーブ (設定したときの動作の保証はしません。) 11: その他機能 (表 22.1 参照)
28	PA14MD1	0	R/W	
27	PA13MD2	0	R/W	
26	PA13MD1	0	R/W	
25	PA12MD2	0	R/W	
24	PA12MD1	0	R/W	
23	PA11MD2	0	R/W	
22	PA11MD1	0	R/W	
21	PA10MD2	0	R/W	
20	PA10MD1	0	R/W	
19	PA9MD2	0	R/W	
18	PA9MD1	0	R/W	
17	PA8MD2	0	R/W	
16	PA8MD1	0	R/W	
15	PA7MD2	0	R/W	
14	PA7MD1	0	R/W	
13	PA6MD2	0	R/W	
12	PA6MD1	0	R/W	
11	PA5MD2	0	R/W	
10	PA5MD1	0	R/W	
9	PA4MD2	0	R/W	
8	PA4MD1	0	R/W	
7	PA3MD2	0	R/W	
6	PA3MD1	0	R/W	
5	PA2MD2	0	R/W	
4	PA2MD1	0	R/W	
3	PA1MD2	0	R/W	
2	PA1MD1	0	R/W	
1	PA0MD2	0	R/W	
0	PA0MD1	0	R/W	

【注】 パワーオンリセット後のポート A の初期機能は「ポート入力」です。このため、CS0 空間に容量が 256kB を超える ROM を接続してリセット直後に ROM の上位アドレスに 0 入力させたい場合は、ユーザボード上で強いプルダウンを行ってください。

22. ピンファンクションコントローラ (PFC)

22.1.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PBCR はパワーオンリセットで H'00000000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説 明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	PB8MD2	0	R/W	PBn モード 2、1 PBnMD2、PBnMD1 の組み合わせで端子機能を制御します。(n=0~8) 00 : ポート入力 01 : ポート出力 10 : リザーブ (設定したときの動作の保証はしません。) 11 : その他機能 (表 22.1 参照)
16	PB8MD1	0	R/W	
15	PB7MD2	0	R/W	
14	PB7MD1	0	R/W	
13	PB6MD2	0	R/W	
12	PB6MD1	0	R/W	
11	PB5MD2	0	R/W	
10	PB5MD1	0	R/W	
9	PB4MD2	0	R/W	
8	PB4MD1	0	R/W	
7	PB3MD2	0	R/W	
6	PB3MD1	0	R/W	
5	PB2MD2	0	R/W	
4	PB2MD1	0	R/W	
3	PB1MD2	0	R/W	
2	PB1MD1	0	R/W	
1	PB0MD2	0	R/W	
0	PB0MD1	0	R/W	

22.1.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PCCR はパワーオンリセットで H'0C000000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
31	PC15MD2	0	R/W	PCn モード 2、1 PCnMD2、PCnMD1 の組み合わせで端子機能を制御します。(n=0~15) 00 : ポート入力 01 : ポート出力 10 : リザーブ (設定したときの動作の保証はしません。) 11 : その他機能 (表 22.1 参照)
30	PC15MD1	0	R/W	
29	PC14MD2	0	R/W	
28	PC14MD1	0	R/W	
27	PC13MD2	1	R/W	
26	PC13MD1	1	R/W	
25	PC12MD2	0	R/W	
24	PC12MD1	0	R/W	
23	PC11MD2	0	R/W	
22	PC11MD1	0	R/W	
21	PC10MD2	0	R/W	
20	PC10MD1	0	R/W	
19	PC9MD2	0	R/W	
18	PC9MD1	0	R/W	
17	PC8MD2	0	R/W	
16	PC8MD1	0	R/W	
15	PC7MD2	0	R/W	
14	PC7MD1	0	R/W	
13	PC6MD2	0	R/W	
12	PC6MD1	0	R/W	
11	PC5MD2	0	R/W	
10	PC5MD1	0	R/W	
9	PC4MD2	0	R/W	
8	PC4MD1	0	R/W	
7	PC3MD2	0	R/W	
6	PC3MD1	0	R/W	
5	PC2MD2	0	R/W	
4	PC2MD1	0	R/W	
3	PC1MD2	0	R/W	
2	PC1MD1	0	R/W	
1	PC0MD2	0	R/W	
0	PC0MD1	0	R/W	

22. ピンファンクションコントローラ (PFC)

22.1.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PDCR はパワーオンリセットで H'00000000 (MD3 = 0 : バス幅 16 ビット時) / H'FFFFFFF (MD3 = 1 : バス幅 32 ビット時) に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
31	PD15MD2	0/1	R/W	PDn モード 2、1 PDnMD2、PDnMD1 の組み合わせで端子機能を制御します。(n=0~15) 00 : ポート入力 01 : ポート出力 10 : リザーブ (設定したときの動作の保証はしません。) 11 : その他機能 (表 22.1 参照)
30	PD15MD1	0/1	R/W	
29	PD14MD2	0/1	R/W	
28	PD14MD1	0/1	R/W	
27	PD13MD2	0/1	R/W	
26	PD13MD1	0/1	R/W	
25	PD12MD2	0/1	R/W	
24	PD12MD1	0/1	R/W	
23	PD11MD2	0/1	R/W	
22	PD11MD1	0/1	R/W	
21	PD10MD2	0/1	R/W	
20	PD10MD1	0/1	R/W	
19	PD9MD2	0/1	R/W	
18	PD9MD1	0/1	R/W	
17	PD8MD2	0/1	R/W	
16	PD8MD1	0/1	R/W	
15	PD7MD2	0/1	R/W	
14	PD7MD1	0/1	R/W	
13	PD6MD2	0/1	R/W	
12	PD6MD1	0/1	R/W	
11	PD5MD2	0/1	R/W	
10	PD5MD1	0/1	R/W	
9	PD4MD2	0/1	R/W	
8	PD4MD1	0/1	R/W	
7	PD3MD2	0/1	R/W	
6	PD3MD1	0/1	R/W	
5	PD2MD2	0/1	R/W	
4	PD2MD1	0/1	R/W	
3	PD1MD2	0/1	R/W	
2	PD1MD1	0/1	R/W	
1	PD0MD2	0/1	R/W	
0	PD0MD1	0/1	R/W	

22.1.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PECR はパワーオンリセットで H'00000000 に初期化されます。マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
31	PE15MD2	0	R/W	PEn モード 2、1 PEnMD2、PEnMD1 の組み合わせで端子機能を制御します。(n=0~15) 00: ポート入力 01: ポート出力 10: リザーブ (設定したときの動作の保証はしません。) 11: その他機能 (表 22.1 参照) 11 (その他機能) に設定した場合の入出力は、ポート E IO レジスタ (PEIOR) で制御します。詳細は、「22.1.6 ポート E IO レジスタ (PEIOR)」を参照してください。
30	PE15MD1	0	R/W	
29	PE14MD2	0	R/W	
28	PE14MD1	0	R/W	
27	PE13MD2	0	R/W	
26	PE13MD1	0	R/W	
25	PE12MD2	0	R/W	
24	PE12MD1	0	R/W	
23	PE11MD2	0	R/W	
22	PE11MD1	0	R/W	
21	PE10MD2	0	R/W	
20	PE10MD1	0	R/W	
19	PE9MD2	0	R/W	
18	PE9MD1	0	R/W	
17	PE8MD2	0	R/W	
16	PE8MD1	0	R/W	
15	PE7MD2	0	R/W	
14	PE7MD1	0	R/W	
13	PE6MD2	0	R/W	
12	PE6MD1	0	R/W	
11	PE5MD2	0	R/W	
10	PE5MD1	0	R/W	
9	PE4MD2	0	R/W	
8	PE4MD1	0	R/W	
7	PE3MD2	0	R/W	
6	PE3MD1	0	R/W	
5	PE2MD2	0	R/W	
4	PE2MD1	0	R/W	
3	PE1MD2	0	R/W	
2	PE1MD1	0	R/W	
1	PE0MD2	0	R/W	
0	PE0MD1	0	R/W	

22. ピンファンクションコントローラ (PFC)

22.1.6 ポート E IO レジスタ (PEIOR)

PEIOR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選択します。PE15IOR ~ PE0IOR ビットが、それぞれ、PE15/TIOC0A 端子 ~ PE0/TIOC4D 端子に対応しています。PEIOR はポート E の端子機能が MTU の TIOC 端子 (その他機能) の場合のみ有効で、それ以外の場合は無効です。ポート E の端子機能が MTU の TIOC 端子 (その他機能) の場合、PEIOR のビットを 1 にすると対応する端子は出力になり、0 にすると入力になります。パワーオンリセットで H'0000 に初期化されます。マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15	PE15IOR	0	R/W	ポート E の端子機能が MTU の TIOC 端子 (その他機能) の場合 PE n IOR ($n=0\sim 15$) で端子の入出力方向を制御します。 0 : MTU インพุットキャプチャ入力 1 : MTU アウツプツコンペア出力 ポート E の端子機能が MTU の TIOC 端子以外の場合は無効となります。
14	PE14IOR	0	R/W	
13	PE13IOR	0	R/W	
12	PE12IOR	0	R/W	
11	PE11IOR	0	R/W	
10	PE10IOR	0	R/W	
9	PE9IOR	0	R/W	
8	PE8IOR	0	R/W	
7	PE7IOR	0	R/W	
6	PE6IOR	0	R/W	
5	PE5IOR	0	R/W	
4	PE4IOR	0	R/W	
3	PE3IOR	0	R/W	
2	PE2IOR	0	R/W	
1	PE1IOR	0	R/W	
0	PE0IOR	0	R/W	

22.1.7 ポート E MTU R/W イネーブルレジスタ (PEMTURWER)

PEMTURWER は、読み出し / 書き込み可能な 16 ビットのレジスタで、MTU の制御レジスタのアクセス許可を選択します。パワーオンリセットで H'0001 に初期化されます。マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MTURWE	1	R/W	MTURWE で MTU の制御レジスタのアクセスを許可します。詳しくは、「第 18 章 マルチファンクションタイムパルスユニット (MTU)」を参照ください。 0 : MTU の制御レジスタのアクセスを禁止 1 : MTU の制御レジスタのアクセスを許可

22.1.8 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PFCR はパワーオンリセットで H'00000000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明	
31	PF15MD2	0	R/W	PFn モード 2、1 PFnMD2、PFnMD1 の組合せで端子機能を制御します。(n=8~15) 00: ポート入力 01: ポート出力 10: リザーブ (設定したときの動作の保証はしません。) 11: その他機能 (表 22.1 参照)	
30	PF15MD1	0	R/W		
29	PF14MD2	0	R/W		
28	PF14MD1	0	R/W		
27	PF13MD2	0	R/W		
26	PF13MD1	0	R/W		
25	PF12MD2	0	R/W		
24	PF12MD1	0	R/W		
23	PF11MD2	0	R/W		
22	PF11MD1	0	R/W		
21	PF10MD2	0	R/W		
20	PF10MD1	0	R/W		
19	PF9MD2	0	R/W		
18	PF9MD1	0	R/W		
17	PF8MD2	0	R/W		
16	PF8MD1	0	R/W		
15	PF7MD2	0	R/W		PFn モード 2、1 PFnMD2、PFnMD1 の組み合せて端子機能を制御します。(n=0~7) 00: ポート入力 01: ポート出力 10、11: リザーブ (設定したときの動作の保証はしません。)
14	PF7MD1	0	R/W		
13	PF6MD2	0	R/W		
12	PF6MD1	0	R/W		
11	PF5MD2	0	R/W		
10	PF5MD1	0	R/W		
9	PF4MD2	0	R/W		
8	PF4MD1	0	R/W		
7	PF3MD2	0	R/W		
6	PF3MD1	0	R/W		
5	PF2MD2	0	R/W		
4	PF2MD1	0	R/W		
3	PF1MD2	0	R/W		
2	PF1MD1	0	R/W		
1	PF0MD2	0	R/W		
0	PF0MD1	0	R/W		

22. ピンファンクションコントローラ (PFC)

22.1.9 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PGCR はパワーオンリセットで H'00000000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27	PG13MD2	0	R/W	PGn モード 2、1 PGnMD2、PGnMD1 の組み合わせで端子機能を制御します。(n=11~13)
26	PG13MD1	0	R/W	
25	PG12MD2	0	R/W	00: ポート入力 01: ポート出力 10、11: リザーブ (設定したときの動作の保証はしません。)
24	PG12MD1	0	R/W	
23	PG11MD2	0	R/W	
22	PG11MD1	0	R/W	
21	PG10MD2	0	R/W	PGn モード 2、1 PGnMD2、PGnMD1 の組み合わせで端子機能を制御します。(n=9、10)
20	PG10MD1	0	R/W	
19	PG9MD2	0	R/W	00: ポート入力 01: ポート出力 10: リザーブ (設定したときの動作の保証はしません。) 11: その他機能 (表 22.1 参照)
18	PG9MD1	0	R/W	
17	PG8MD2	0	R/W	PG8 モード 2、1 PG8MD2、PG8MD1 の組み合わせで端子機能を制御します。 00: ポート入力 01: ポート出力 10、11: リザーブ (設定したときの動作の保証はしません。)
16	PG8MD1	0	R/W	
15	PG7MD2	0	R/W	PGn モード 2、1 PGnMD2、PGnMD1 の組み合わせで端子機能を制御します。(n=0~7)
14	PG7MD1	0	R/W	
13	PG6MD2	0	R/W	00: ポート入力 / その他機能 (表 22.1 参照) 01、10、11: リザーブ (設定したときの動作の保証はしません。)
12	PG6MD1	0	R/W	
11	PG5MD2	0	R/W	
10	PG5MD1	0	R/W	
9	PG4MD2	0	R/W	
8	PG4MD1	0	R/W	
7	PG3MD2	0	R/W	
6	PG3MD1	0	R/W	
5	PG2MD2	0	R/W	
4	PG2MD1	0	R/W	
3	PG1MD2	0	R/W	
2	PG1MD1	0	R/W	
1	PG0MD2	0	R/W	
0	PG0MD1	0	R/W	

【注】 ポート G のポート入力とその他機能 (ANn : A/D 変換器のアナログ入力) への切り替えは、A/D 変換終了時にポート入力機能にもどるため、切り替え設定用のビットはありません。

22.1.10 ポート H コントロールレジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PHCR はパワーオンリセットで H'00000000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット
30	-	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	PH14MD2	0	R/W	PHn モード 2、1 PHnMD2、PHnMD1 の組み合わせで端子機能を制御します。(n=0~14) 00 : ポート入力 01 : ポート出力 10 : リザーブ (設定したときの動作の保証はしません。) 11 : その他機能 (表 22.1 参照)
28	PH14MD1	0	R/W	
27	PH13MD2	0	R/W	
26	PH13MD1	0	R/W	
25	PH12MD2	0	R/W	
24	PH12MD1	0	R/W	
23	PH11MD2	0	R/W	
22	PH11MD1	0	R/W	
21	PH10MD2	0	R/W	
20	PH10MD1	0	R/W	
19	PH9MD2	0	R/W	
18	PH9MD1	0	R/W	
17	PH8MD2	0	R/W	
16	PH8MD1	0	R/W	
15	PH7MD2	0	R/W	
14	PH7MD1	0	R/W	
13	PH6MD2	0	R/W	
12	PH6MD1	0	R/W	
11	PH5MD2	0	R/W	
10	PH5MD1	0	R/W	
9	PH4MD2	0	R/W	
8	PH4MD1	0	R/W	
7	PH3MD2	0	R/W	
6	PH3MD1	0	R/W	
5	PH2MD2	0	R/W	
4	PH2MD1	0	R/W	
3	PH1MD2	0	R/W	
2	PH1MD1	0	R/W	
1	PH0MD2	0	R/W	
0	PH0MD1	0	R/W	

22. ピンファンクションコントローラ (PFC)

22.1.11 ポートJコントロールレジスタ (PJCR)

PJCR は、読み出し/書き込み可能な 32 ビットのレジスタで、端子機能を選択します。PJCR はパワーオンリセットで H'00000000 に初期化されますが、マニュアルリセット、スタンバイモード、スリープモードでは初期化されません。

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	PJ12MD2	0	R/W	PJn モード 2、1 PJnMD2、PJnMD1 の組み合わせで端子機能を制御します。(n=0~12) 00: ポート入力 01: ポート出力 10: リザーブ (設定したときの動作の保証はしません。) 11: その他機能 (表 22.1 参照)
24	PJ12MD1	0	R/W	
23	PJ11MD2	0	R/W	
22	PJ11MD1	0	R/W	
21	PJ10MD2	0	R/W	
20	PJ10MD1	0	R/W	
19	PJ9MD2	0	R/W	
18	PJ9MD1	0	R/W	
17	PJ8MD2	0	R/W	
16	PJ8MD1	0	R/W	
15	PJ7MD2	0	R/W	
14	PJ7MD1	0	R/W	
13	PJ6MD2	0	R/W	
12	PJ6MD1	0	R/W	
11	PJ5MD2	0	R/W	
10	PJ5MD1	0	R/W	
9	PJ4MD2	0	R/W	
8	PJ4MD1	0	R/W	
7	PJ3MD2	0	R/W	
6	PJ3MD1	0	R/W	
5	PJ2MD2	0	R/W	
4	PJ2MD1	0	R/W	
3	PJ1MD2	0	R/W	
2	PJ1MD1	0	R/W	
1	PJ0MD2	0	R/W	
0	PJ0MD1	0	R/W	

22.2 I/O バッファ内部ブロック図

22.2.1 ウィークキーパ付き I/O バッファ

表 22.1 に示したマルチプレクス一覧表で、PTG10、PTG9、PTG7～PTG0 (IIC2、アナログ端子) を除いた全 I/O バッファにウィークキーパがあります。これは、ネット上の状態を保持するための 2 つのインバータから構成されています。I/O バッファの内部ブロック図を図 22.1 に示します。

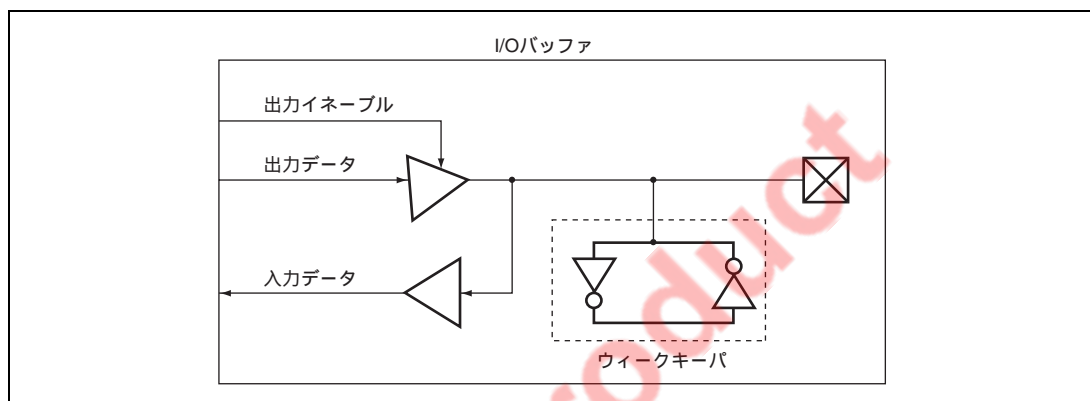


図 22.1 ウィークキーパ付き I/O バッファの内部ブロック図

22.2.2 オープンドレイン付き I/O バッファ

PTG10、PTG9 は、IIC2 (SDA、SCL) とマルチプレクスされているため、通常入出力の I/O バッファとオープンドレインの I/O バッファから構成されています。ポート G コントロールレジスタ (PGCR) をポート入力、またはポート出力に設定すると通常入出力の I/O バッファがドライブし、また、ポート G コントロールレジスタ (PGCR) をその他機能 (IIC2) に設定するとオープンドレインの I/O バッファがドライブします。

オープンドレイン付き I/O バッファの内部ブロック図を図 22.2 に示します。

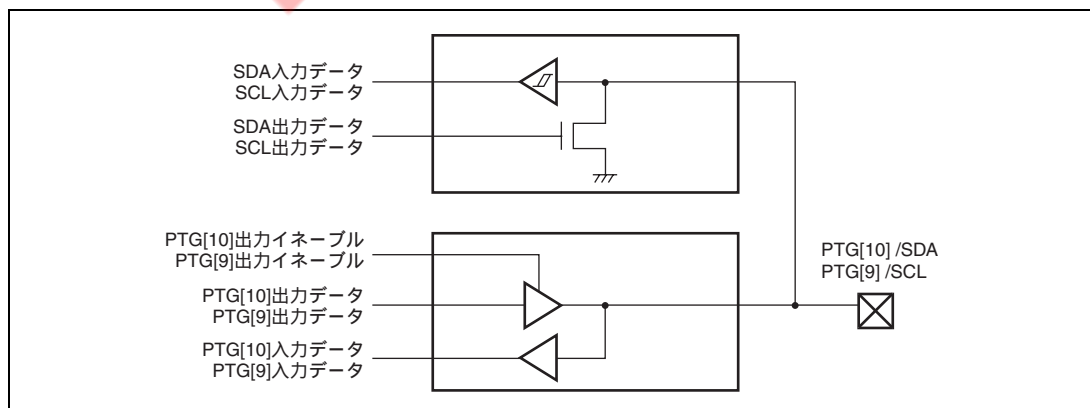


図 22.2 オープンドレイン付き I/O バッファの内部ブロック図

22.3 使用上の注意

1. 表22.1に示したマルチプレクス一覧表で、その他機能が出力機能となる端子のポートコントロールレジスタをその他機能（出力）からポート機能（入力）に書き換えたとき、図22.1に示したウィークキーパが保持する値は、当該端子のポートデータレジスタの値となります。
2. 表22.1に示したマルチプレクス一覧表で、その他機能が入出力機能となる端子のポートコントロールレジスタをポート機能（出力）からその他機能（入力）に書き換えたとき、図22.1に示したウィークキーパが保持する値は、当該端子のその他機能の値となります。
3. PTG10、PTG9のI/Oバッファには、ウィークキーパがありません。したがって、本端子を使用しない場合は、プルアップ、またはプルダウンするようにしてください。また、ポート入力として使用する場合も、中間電位を印加しないようにしてください。
4. ウィークキーパ付きの端子において、パワーオンリセット直後の端子のレベルは、ハイまたはローのどちらになるか不定です。したがって、ハードウェアで端子のレベルを固定するには、プルアップ/プルダウンが必要です。

以下にプルアップ/プルダウン抵抗の参考値を示します。この抵抗値は、回路構成によっても変わりますのでご注意ください。

プルアップ抵抗（参考値）= 2k

プルダウン抵抗（参考値）= 8k

23. I/O ポート

本 LSI には 9 本の 16 ビットポート (ポート A ~ J) があります。それぞれのポートの端子は、ほとんどが他の端子機能 (ピンファンクションコントローラ (PFC) で端子機能の選択を行います) を兼ねているマルチプレクス端子です。ポートは、それぞれ端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

23.1 ポート A

ポート A は図 23.1 に示すような端子構成を持つ 15 ビットの入出力ポートです。各端子は PFC のポート A コントロールレジスタ (PACR) で制御します。

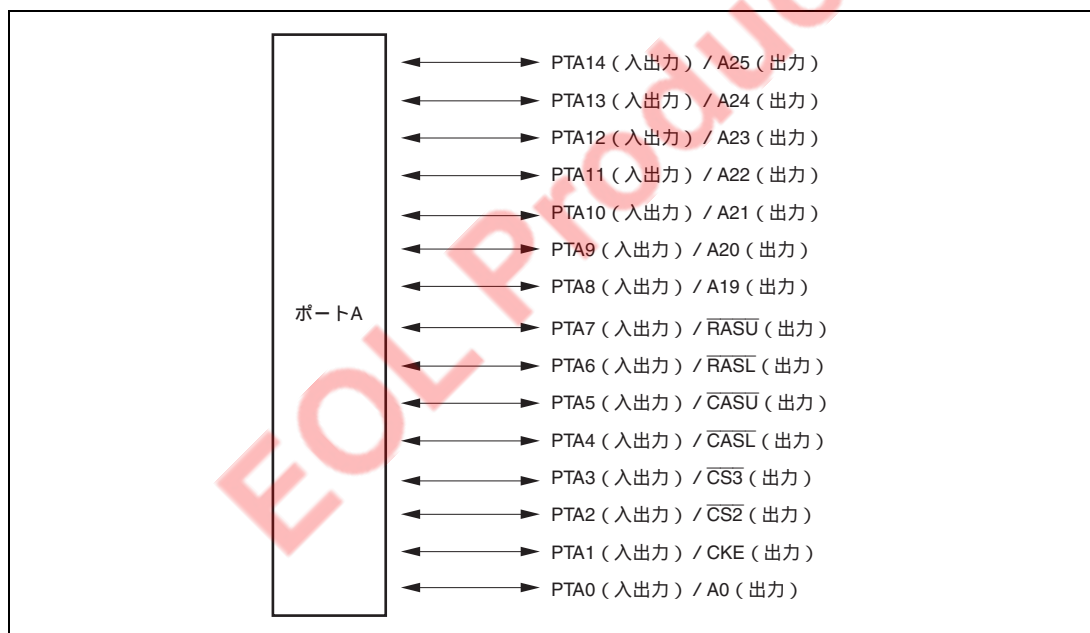


図 23.1 ポート A

23. I/O ポート

23.1.1 レジスタの説明

ポート A のレジスタを以下に示します。

- ポート A データレジスタ (PADR)

23.1.2 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 15 ビットおよびリザーブビット 1 ビットのレジスタで、端子 PTA14 ~ PTA0 のデータを格納します。PADR はパワーオンリセットで H'0000 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは 0 を書き込んでください。
14	PA14DT	0	R/W	PA14DT ~ PA0DT ビットは PTA14 ~ PTA0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.1 に PADR の機能を示します。
13	PA13DT	0	R/W	
12	PA12DT	0	R/W	
11	PA11DT	0	R/W	
10	PA10DT	0	R/W	
9	PA9DT	0	R/W	
8	PA8DT	0	R/W	
7	PA7DT	0	R/W	
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

表 23.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAnMD2	PAnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	PADR に書き込み、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PADR に書き込めるが、端子の状態に影響しない

【注】 n=0~14

23.2 ポート B

ポート B は図 23.2 に示すような端子構成を持つ 9 ビットの入出力ポートです。各端子は、PFC のポート B コントロールレジスタ (PBCR) で制御します。

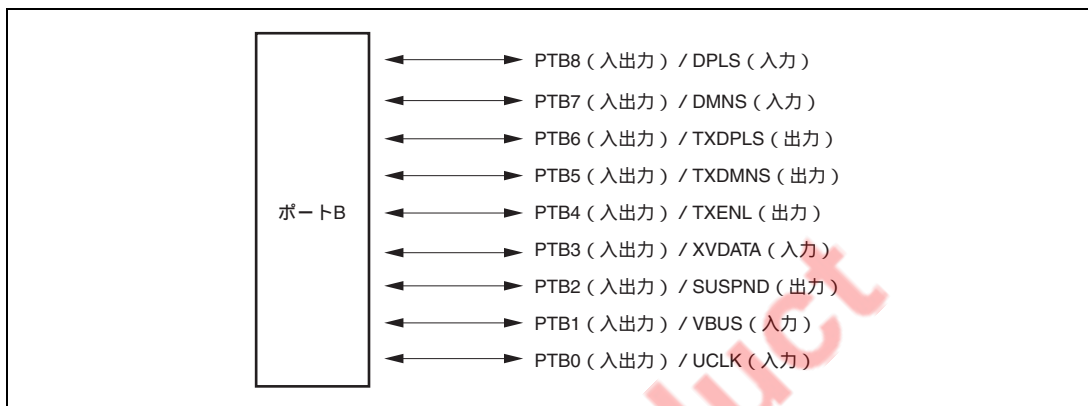


図 23.2 ポート B

23.2.1 レジスタの説明

ポート B のレジスタを以下に示します。

- ポート B データレジスタ (PBDR)

23.2.2 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 9 ビットおよびリザーブビット 7 ビットのレジスタで、端子 PTB8 ~ PTB0 のデータを格納します。PBDR はパワーオンリセットで H'0000 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは 0 を書き込んでください。
8	PB8DT	0	R/W	PB8DT ~ PB0DT ビットは PTB8 ~ PTB0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PBDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.2 に PBDR の機能を示します。
7	PB7DT	0	R/W	
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

表 23.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBnMD2	PBnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	出力	PBDR の値	PBDR に書き込め、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PBDR に書き込めるが、端子の状態に影響しない

【注】 n=0~8

23.3 ポート C

ポート C は図 23.3 に示すような端子構成を持つ 16 ビットの入出力ポートです。各端子は、PFC のポート C コントロールレジスタ (PCCR) で制御します。

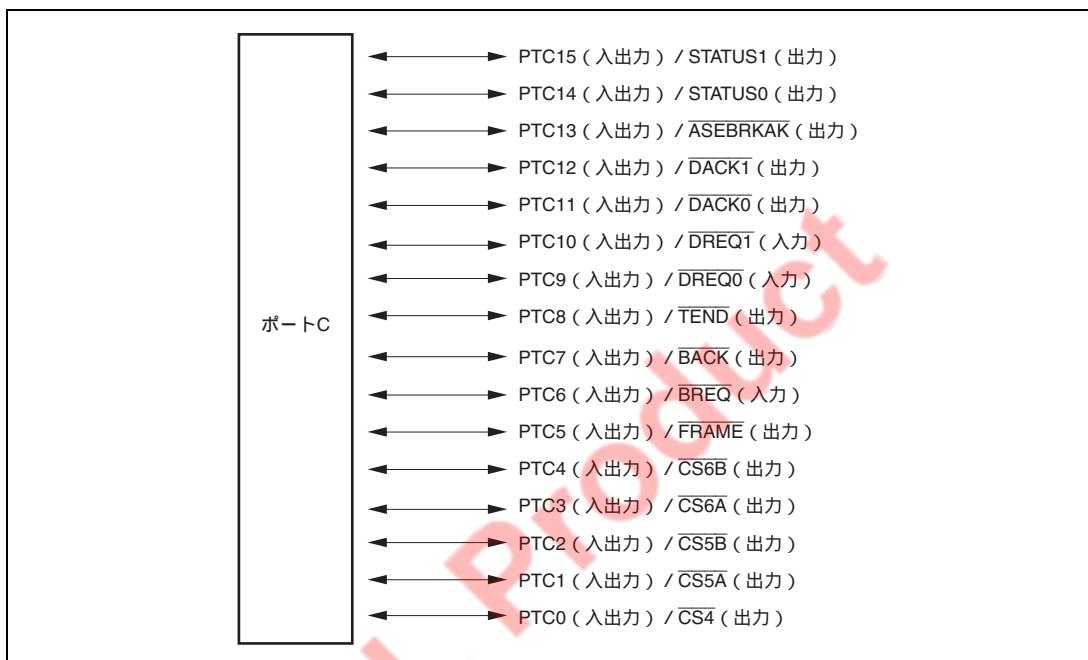


図 23.3 ポート C

23.3.1 レジスタの説明

ポート C のレジスタを以下に示します。

- ポート C データレジスタ (PCDR)

23.3.2 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子 PTC15 ~ PTC0 のデータを格納します。PCDR はパワーオンリセットで H'0000 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15	PC15DT	0	R/W	PC15DT ~ PC0DT ビットは PTC15 ~ PTC0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PCDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.3 に PCDR の機能を示します。
14	PC14DT	0	R/W	
13	PC13DT	0	R/W	
12	PC12DT	0	R/W	
11	PC11DT	0	R/W	
10	PC10DT	0	R/W	
9	PC9DT	0	R/W	
8	PC8DT	0	R/W	
7	PC7DT	0	R/W	
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

表 23.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCnMD2	PCnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	PCDR に書き込み、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

【注】 n = 0 ~ 15

23.4 ポート D

ポート D は図 23.4 に示すような端子構成を持つ 16 ビットの入出力ポートです。各端子は、PFC のポート D コントロールレジスタ (PDCR) で制御します。

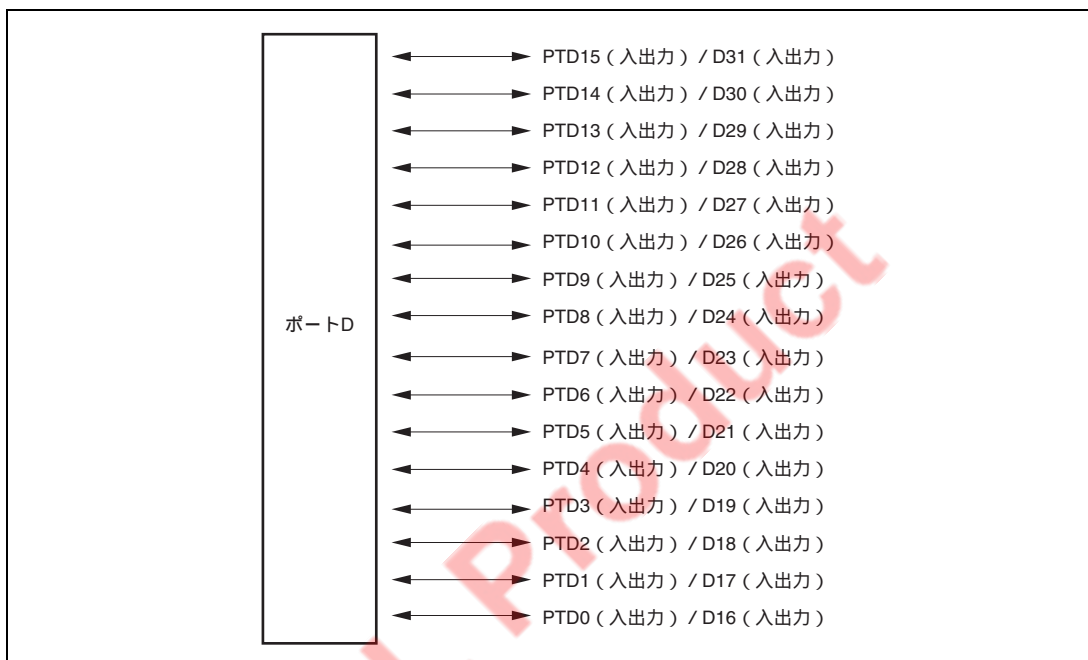


図 23.4 ポート D

23.4.1 レジスタの説明

ポート D のレジスタを以下に示します。

- ポート D データレジスタ (PDDR)

23.4.2 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子 PTD15 ~ PTD0 のデータを格納します。PDDR はパワーオンリセットで H'0000 に初期化されます。MD3 = 0 (CS0 空間のバス幅 16 ビット) 設定時はその後、端子機能の初期値、汎用入力ポートとして対応する端子レベルが読み込まれます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15	PD15DT	0	R/W	PD15DT ~ PD0DT ビットは PTD15 ~ PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.4 に PDDR の機能を示します。
14	PD14DT	0	R/W	
13	PD13DT	0	R/W	
12	PD12DT	0	R/W	
11	PD11DT	0	R/W	
10	PD10DT	0	R/W	
9	PD9DT	0	R/W	
8	PD8DT	0	R/W	
7	PD7DT	0	R/W	
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

表 23.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDnMD2	PDnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	PDDR に書き込み、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

【注】 n = 0 ~ 15

23.5 ポート E

ポート E は図 23.5 に示すような端子構成を持つ 16 ビットの入出力ポートです。各端子は、PFC のポート E コントロールレジスタ (PECR) で制御します。

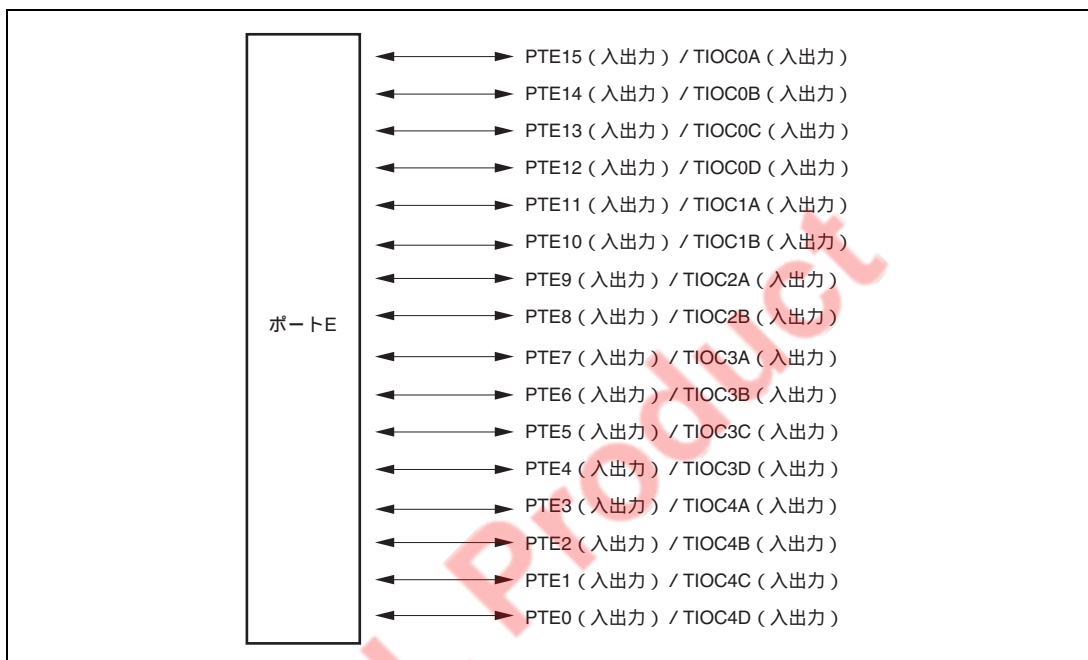


図 23.5 ポート E

23.5.1 レジスタの説明

ポート E のレジスタを以下に示します。

- ポート E データレジスタ (PEDR)

23.5.2 ポート E データレジスタ (PEDR)

PEDR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子 PTE15 ~ PTE0 のデータを格納します。PEDR はパワーオンリセットで H'0000 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15	PE15DT	0	R/W	PE15DT ~ PE0DT ビットは PTE15 ~ PTE0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PEDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.5 に PEDR の機能を示します。
14	PE14DT	0	R/W	
13	PE13DT	0	R/W	
12	PE12DT	0	R/W	
11	PE11DT	0	R/W	
10	PE10DT	0	R/W	
9	PE9DT	0	R/W	
8	PE8DT	0	R/W	
7	PE7DT	0	R/W	
6	PE6DT	0	R/W	
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

表 23.5 ポート E データレジスタ (PEDR) の読み出し/書き込み動作

PE _n MD2	PE _n MD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	出力	PEDR の値	PEDR に書き込め、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】 n = 0 ~ 15

23.6 ポート F

ポート F は図 23.6 に示すような端子構成を持つ 16 ビットの入出力ポートです。各端子は、PFC のポート F コントロールレジスタ (PFCCR) で制御します。

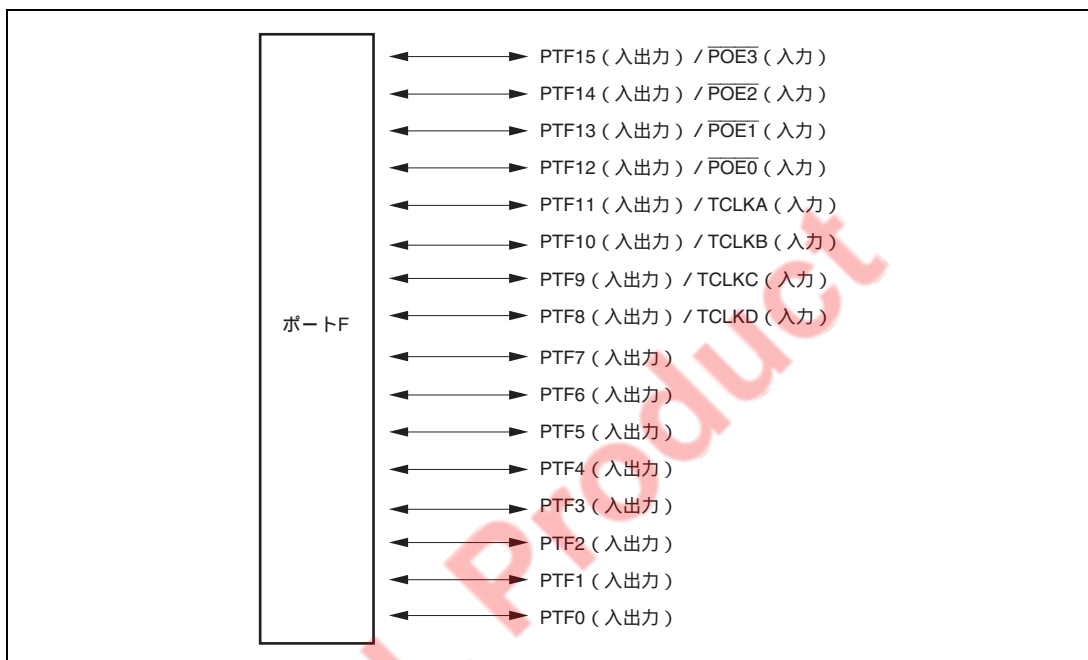


図 23.6 ポート F

23.6.1 レジスタの説明

ポート F のレジスタを以下に示します。

- ポート F データレジスタ (PFDR)

23. I/O ポート

23.6.2 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子 PTF15 ~ PTF0 のデータを格納します。PFDR はパワーオンリセットで H'0000 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15	PF15DT	0	R/W	PF15DT ~ PF0DT ビットは PTF15 ~ PTF0 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.6、表 23.7 に PFDR の機能を示します。
14	PF14DT	0	R/W	
13	PF13DT	0	R/W	
12	PF12DT	0	R/W	
11	PF11DT	0	R/W	
10	PF10DT	0	R/W	
9	PF9DT	0	R/W	
8	PF8DT	0	R/W	
7	PF7DT	0	R/W	
6	PF6DT	0	R/W	
5	PF5DT	0	R/W	
4	PF4DT	0	R/W	
3	PF3DT	0	R/W	
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

表 23.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作 (PF15DT ~ PF8DT)

PFnMD2	PFnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	出力	PFDR の値	PFDR に書き込み、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】 n = 8 ~ 15

表 23.7 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作 (PF7DT ~ PF0DT)

PFnMD2	PFnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	出力	PFDR の値	PFDR に書き込み、その値が端子から出力される
上記以外		リザーブ	-	-

【注】 n = 0 ~ 7

23.7 ポート G

ポート G は図 23.7 に示すような端子構成を持つ 6 ビットの入出力ポートおよび 8 ビットの入力ポートです。各端子は、PFC のポート G コントロールレジスタ (PGCR) で制御します。

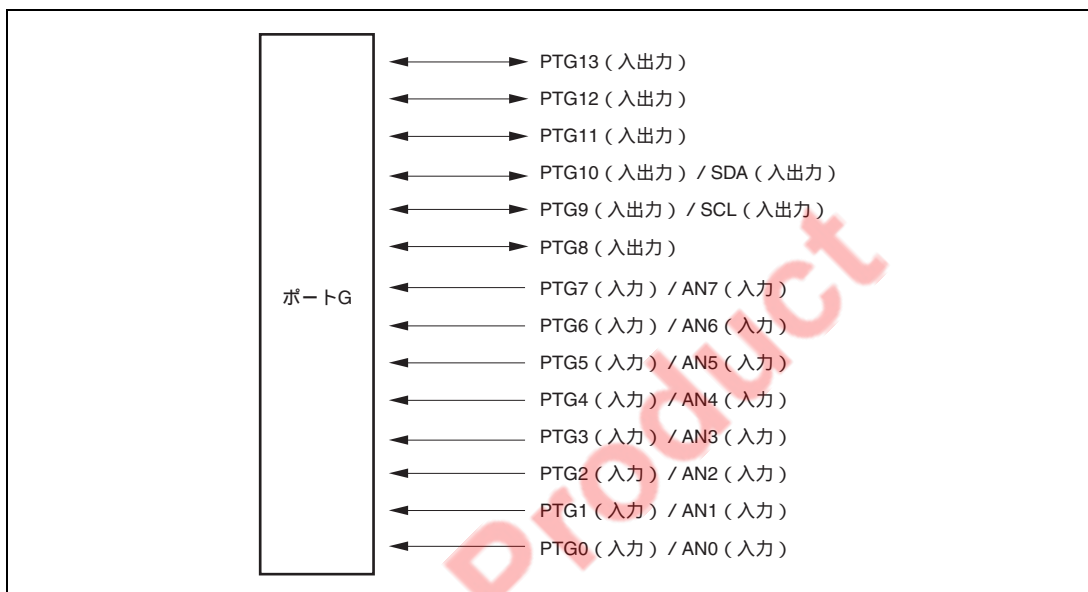


図 23.7 ポート G

23.7.1 レジスタの説明

ポート G のレジスタを以下に示します。

- ポート G データレジスタ (PGDR)

23.7.2 ポート G データレジスタ (PGDR)

PGDR は、読み出し / 書き込み可能な 6 ビット、読み出し可能な 8 ビット、およびリザーブビット 2 ビットのレジスタで、端子 PTG13 ~ PTG0 のデータを格納します。

PGDR13 ~ 8 はパワーオンリセットで H'00 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。PGDR7 ~ 0 はパワーオンリセット、スタンバイモード、スリープモード、マニュアルリセットのいずれでも初期化されません (ビットは常に端子の状態を反映します)。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット
14	-	0	R	読み出すと常に 0 が読み出されます。書き込むときは 0 を書き込んでください。
13	PG13DT	0	R/W	PG13DT ~ PG8DT ビットは PTG13 ~ PTG8 端子に対応しています。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.8、表 23.9 に PGDR13 ~ 8 の機能を示します。
12	PG12DT	0	R/W	
11	PG11DT	0	R/W	
10	PG10DT	0	R/W	
9	PG9DT	0	R/W	
8	PG8DT	0	R/W	
7	PG7DT	*	R	PG7DT ~ PG0DT ビットは PTG7 ~ PTG0 端子に対応しています。これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器を使用する場合は読み出し動作を行わないでください。表 23.10 に PGDR の機能を示します。
6	PG6DT	*	R	
5	PG5DT	*	R	
4	PG4DT	*	R	
3	PG3DT	*	R	
2	PG2DT	*	R	
1	PG1DT	*	R	
0	PG0DT	*	R	

【注】 * 初期値は読み出し時の端子状態に依存します。

表 23.8 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作 (PG13DT ~ PG11DT, PG8DT)

PGnMD2	PGnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	1	出力	PGDR の値	PGDR に書き込み、その値が端子から出力される
上記以外		リザーブ	-	-

【注】 n = 8, 11 ~ 13

表 23.9 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作 (PG10DT、PG9DT)

PGnMD2	PGnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	1	出力	PGDR の値	PGDR に書き込め、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PGDR に書き込めるが、端子の状態に影響しない

【注】 n=9、10

表 23.10 ポート G データレジスタ (PGDR) の読み出し / 書き込み動作 (PG7DT ~ PG0DT)

PGnMD2	端子状態	読み出し	書き込み
0	入力 / その他機能 (A/D 変換器を使用する場合)	禁止	禁止
	入力 / その他機能 (A/D 変換器を使用しない場合)	端子の状態	無視 (端子の状態に影響しない)
1	リザーブ	-	-

【注】 n=0~7

23.7.3 ポート G 内部ブロック図

PTG7~0 ピンは、A/D 変換器とマルチプレクスされています (「第 22 章 ビンファンクションコントローラ (PFC)」参照)。PGDR を読み出したときのみ、端子の状態が読み出されます。ただし、A/D 変換器には常に入力されています。

図 23.8 に PG7DT ~ PG0DT の内部ブロック図を示します。

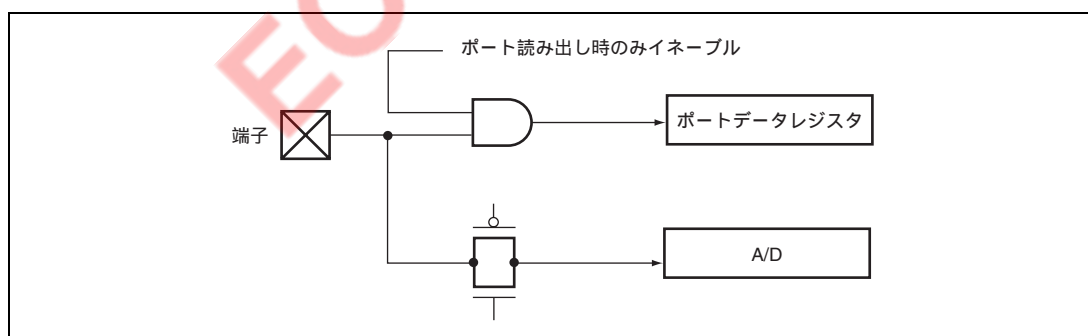


図 23.8 PG7DT ~ PG0DT の内部ブロック図

23.8 ポート H

ポート H は図 23.9 に示すような端子構成を持つ 15 ビットの入出力ポートです。各端子は、PFC のポート H コントロールレジスタ (PHCR) で制御します。

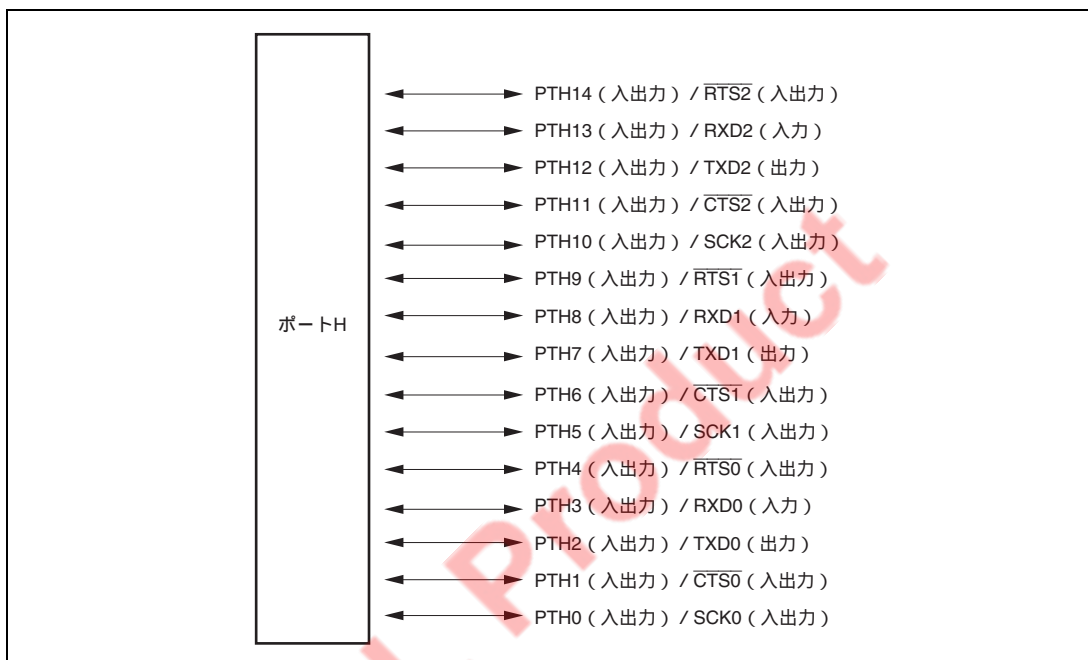


図 23.9 ポート H

23.8.1 レジスタの説明

ポート H のレジスタを以下に示します。

- ポート H データレジスタ (PHDR)

23.8.2 ポートHデータレジスタ (PHDR)

PHDRは、読み出し/書き込み可能な15ビットおよびリザーブビット1ビットのレジスタで、端子PTH14~PTH0のデータを格納します。PHDRはパワーオンリセットでH'0000に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは0を書き込んでください。
14	PH14DT	0	R/W	PH14DT~PH0DTビットはPTH14~PTH0端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応するPHDRビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表23.11にPHDRの機能を示します。
13	PH13DT	0	R/W	
12	PH12DT	0	R/W	
11	PH11DT	0	R/W	
10	PH10DT	0	R/W	
9	PH9DT	0	R/W	
8	PH8DT	0	R/W	
7	PH7DT	0	R/W	
6	PH6DT	0	R/W	
5	PH5DT	0	R/W	
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

表 23.11 ポートHデータレジスタ (PHDR) の読み出し / 書き込み動作

PHnMD2	PHnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PHDRに書き込めるが、端子の状態に影響しない
	1	出力	PHDRの値	PHDRに書き込み、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PHDRに書き込めるが、端子の状態に影響しない

【注】 n=0~14

23.9 ポート J

ポート J は図 23.10 に示すような端子構成を持つ 13 ビットの入出力ポートです。各端子は、PFC のポート J コントロールレジスタ (PJCR) で制御します。

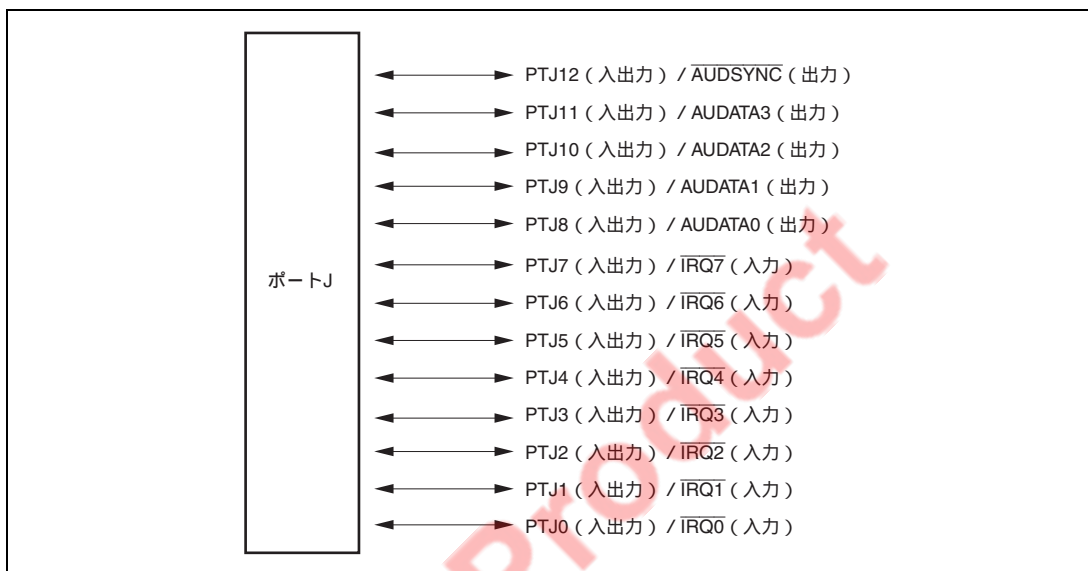


図 23.10 ポート J

23.9.1 レジスタの説明

ポート J のレジスタを以下に示します。

- ポート J データレジスタ (PJDR)

23.9.2 ポート J データレジスタ (PJDR)

PJDR は、読み出し / 書き込み可能な 13 ビットおよびリザーブビット 3 ビットのレジスタで、端子 PTJ12 ~ PTJ0 のデータを格納します。PJDR はパワーオンリセットで H'0000 に初期化されます。スタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは 0 を書き込んでください。
12	PJ12DT	0	R/W	PJ12DT ~ PJ0DT ビットは PTJ12 ~ PTJ0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PJDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。表 23.12 に PJDR の機能を示します。
11	PJ11DT	0	R/W	
10	PJ10DT	0	R/W	
9	PJ9DT	0	R/W	
8	PJ8DT	0	R/W	
7	PJ7DT	0	R/W	
6	PJ6DT	0	R/W	
5	PJ5DT	0	R/W	
4	PJ4DT	0	R/W	
3	PJ3DT	0	R/W	
2	PJ2DT	0	R/W	
1	PJ1DT	0	R/W	
0	PJ0DT	0	R/W	

表 23.12 ポート J データレジスタ (PJDR) の読み出し / 書き込み動作

PJnMD2	PJnMD1	端子状態	読み出し	書き込み
0	0	入力	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	1	出力	PJDR の値	PJDR に書き込め、その値が端子から出力される
1	0	リザーブ	-	-
	1	その他機能	端子の状態	PJDR に書き込めるが、端子の状態に影響しない

【注】 n=0~12

EOL Product

24. レジスタ一覧

アドレス一覧では、内蔵 I/O レジスタの情報を示し、次の構成になっています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）
 - 機能モジュールごと、マニュアル章番号の順に記載します。
機能モジュール間は、区分のために全データが「 - 」の行を置いています。
 - 本リストに記載されていないリザーブアドレスのアクセスはしないでください。
 - アドレスは、16ビットまたは32ビットの場合、MSB側のアドレスを記載しています。
2. レジスタのビット一覧
 - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、ビット構成を記載します。
 - リザーブビットは、ビット名称部に「 - 」で表記しています。
 - ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
 - 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。
3. 各動作モードにおけるレジスタの状態
 - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
 - 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
 - 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

24. レジスタ一覧

24.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

アクセスサイズは、ビット数を示します。

【注】 未定義、リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
周波数制御レジスタ	FRQCR	16	H'A415FF80	CPG	16
-	-	-	-	-	-
ウォッチドッグタイマカウンタ	WTCNT	8	H'A415FF84	WDT	16* ¹
ウォッチドッグタイマコントロール /ステータスレジスタ	WTCSR	8	H'A415FF86		16* ²
-	-	-	-	-	-
スタンバイコントロールレジスタ	STBCR	8	H'A415FF82	低消費電力	8
スタンバイコントロールレジスタ 2	STBCR2	8	H'A415FF88		8
スタンバイコントロールレジスタ 3	STBCR3	8	H'A40A0000		8
スタンバイコントロールレジスタ 4	STBCR4	8	H'A40A0004		8
-	-	-	-	-	-
キャッシュ制御レジスタ 1	CCR1	32	H'FFFFFFEC	キャッシュ	32
キャッシュ制御レジスタ 2	CCR2	32	H'A40000B0		32
-	-	-	-	-	-
割り込み事象レジスタ 2	INTEVT2	32	H'A400 0000	例外処理	32
TRAPA 例外レジスタ	TRA	32	H'FFFFFFD0		32
例外事象レジスタ	EXPEVT	32	H'FFFFFFD4		32
-	-	-	-	-	-
割り込み優先レベル設定レジスタ F	IPRF	16	H'A408 0000	INTC	16
割り込み優先レベル設定レジスタ G	IPRG	16	H'A408 0002		16
割り込み優先レベル設定レジスタ H	IPRH	16	H'A408 0004		16
割り込み優先レベル設定レジスタ I	IPRI	16	H'A408 0006		16
割り込みマスクレジスタ 0	IMR0	8	H'A408 0040		8
割り込みマスクレジスタ 1	IMR1	8	H'A408 0042		8
割り込みマスクレジスタ 2	IMR2	8	H'A408 0044		8
割り込みマスクレジスタ 4	IMR4	8	H'A408 0048		8
割り込みマスクレジスタ 5	IMR5	8	H'A408 004A		8
割り込みマスクレジスタ 6	IMR6	8	H'A408 004C		8
割り込みマスクレジスタ 7	IMR7	8	H'A408 004E		8
割り込みマスクレジスタ 8	IMR8	8	H'A408 0050		8
割り込みマスクレジスタ 9	IMR9	8	H'A408 0052		8

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
割り込みマスクレジスタ 10	IMR10	8	H'A408 0054	INTC	8
割り込みマスククリアレジスタ 0	IMCR0	8	H'A408 0060		8
割り込みマスククリアレジスタ 1	IMCR1	8	H'A408 0062		8
割り込みマスククリアレジスタ 2	IMCR2	8	H'A408 0064		8
割り込みマスククリアレジスタ 4	IMCR4	8	H'A408 0068		8
割り込みマスククリアレジスタ 5	IMCR5	8	H'A408 006A		8
割り込みマスククリアレジスタ 6	IMCR6	8	H'A408 006C		8
割り込みマスククリアレジスタ 7	IMCR7	8	H'A408 006E		8
割り込みマスククリアレジスタ 8	IMCR8	8	H'A408 0070		8
割り込みマスククリアレジスタ 9	IMCR9	8	H'A408 0072		8
割り込みマスククリアレジスタ 10	IMCR10	8	H'A408 0074		8
割り込み要求レジスタ 0	IRR0	8	H'A414 0004		8
割り込みコントロールレジスタ 1	ICR1	16	H'A414 0010		16
割り込みコントロールレジスタ 3	ICR3	16	H'A414 0020		16
割り込み優先レベル設定レジスタ C	IPRC	16	H'A414 0016		16
割り込み優先レベル設定レジスタ D	IPRD	16	H'A414 0018		16
割り込み優先レベル設定レジスタ E	IPRE	16	H'A414 001A		16
割り込み優先レベル設定レジスタ J	IPRJ	16	H'A414 0030		16
割り込みコントロールレジスタ 0	ICR0	16	H'A414 FEE0		16
割り込み優先レベル設定レジスタ B	IPRB	16	H'A414 FEE4		16
-	-	-	-	-	-
ブ레이크データレジスタ B	BDRB	32	H'A4FFFF90	UBC	32
ブ레이크データマスクレジスタ B	BDMRB	32	H'A4FFFF94		32
ブ레이크コントロールレジスタ	BRCR	32	H'A4FFFF98		32
実行回数ブ레이크レジスタ	BETR	16	H'A4FFFF9C		16
ブ레이크アドレスレジスタ B	BARB	32	H'A4FFFA0		32
ブ레이크アドレスマスクレジスタ B	BAMRB	32	H'A4FFFA4		32
ブ레이크バスサイクルレジスタ B	BBRB	16	H'A4FFFA8		16
ブランチソースレジスタ	BRSR	32	H'A4FFFA4C		32
ブ레이크アドレスレジスタ A	BARA	32	H'A4FFFB0		32
ブ레이크アドレスマスクレジスタ A	BAMRA	32	H'A4FFFB4		32
ブ레이크バスサイクルレジスタ A	BBRA	16	H'A4FFFB8		16
ブランチデスティネーションレジスタ	BRDR	32	H'A4FFFB4C		32
-	-	-	-		-
共通コントロールレジスタ	CMNCR	32	H'A4FD0000	BSC	32
CS0 空間バスコントロールレジスタ	CS0BCR	32	H'A4FD0004		32
CS2 空間バスコントロールレジスタ	CS2BCR	32	H'A4FD0008		32

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
CS3 空間バスコントロールレジスタ	CS3BCR	32	H'A4FD000C	BSC	32
CS4 空間バスコントロールレジスタ	CS4BCR	32	H'A4FD0010		32
CS5A 空間バスコントロールレジスタ	CS5ABCR	32	H'A4FD0014		32
CS5B 空間バスコントロールレジスタ	CS5BBCR	32	H'A4FD0018		32
CS6A 空間バスコントロールレジスタ	CS6ABCR	32	H'A4FD001C		32
CS6B 空間バスコントロールレジスタ	CS6BBCR	32	H'A4FD0020		32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'A4FD0024		32
CS2 空間ウェイトコントロールレジスタ	CS2WCR	32	H'A4FD0028		32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'A4FD002C		32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'A4FD0030		32
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	32	H'A4FD0034		32
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	32	H'A4FD0038		32
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	32	H'A4FD003C		32
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	32	H'A4FD0040		32
SDRAM コントロールレジスタ	SDCR	32	H'A4FD0044		32
リフレッシュタイムコントロール /ステータスレジスタ	RTCSR	16	H'A4FD0048		32*3
リフレッシュタイムカウンタ	RTCNT	16	H'A4FD004C	32*3	
リフレッシュタイムコンスタントレジスタ	RTCOR	16	H'A4FD0050	32*3	
リセットウェイトカウンタ	RWTCNT	16	H'A4FD0054	32*3	
-	-	-	-	-	-
DMA ソースアドレスレジスタ_0	SAR_0	32	H'A401 0020	DMAC	16、32
DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'A401 0024		16、32
DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'A401 0028		16、32
DMA チャネルコントロールレジスタ_0	CHCR_0	32	H'A401 002C		8、16、32
DMA ソースアドレスレジスタ_1	SAR_1	32	H'A401 0030		16、32
DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'A401 0034		16、32
DMA トランスファカウンタレジスタ_1	DMATCR_1	32	H'A401 0038		16、32
DMA チャネルコントロールレジスタ_1	CHCR_1	32	H'A401 003C		8、16、32
DMA ソースアドレスレジスタ_2	SAR_2	32	H'A401 0040		16、32
DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'A401 0044		16、32
DMA トランスファカウンタレジスタ_2	DMATCR_2	32	H'A401 0048		16、32
DMA チャネルコントロールレジスタ_2	CHCR_2	32	H'A401 004C		8、16、32
DMA ソースアドレスレジスタ_3	SAR_3	32	H'A401 0050		16、32
DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'A401 0054		16、32
DMA トランスファカウンタレジスタ_3	DMATCR_3	32	H'A401 0058		16、32
DMA チャネルコントロールレジスタ_3	CHCR_3	32	H'A401 005C		8、16、32

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ	
DMA オペレーションレジスタ	DMAOR	32	H'A401 0060	DMAC	8、16、32	
DMA 拡張リソースセレクト 0	DMARS0	16	H'A409 0000		16	
DMA 拡張リソースセレクト 1	DMARS1	16	H'A409 0004		16	
-	-	-	-	-	-	
インストラクションレジスタ	SDIR	16	H'A100 0200	H-UDI	16	
ID レジスタ	SDIDH	16	H'A100 0214		16、32	
ID レジスタ	SDIDL	16	H'A100 0216		16	
-	-	-	-	-	-	
I ² C バスコントロールレジスタ 1	ICCR1	8	H'A447 0000	IIC2	8	
I ² C バスコントロールレジスタ 2	ICCR2	8	H'A447 0001		8	
I ² C バスモードレジスタ	ICMR	8	H'A447 0002		8	
I ² C バスインタラプティネーブルレジスタ	ICIER	8	H'A447 0003		8	
I ² C バスステータスレジスタ	ICSR	8	H'A447 0004		8	
スレーブアドレスレジスタ	SAR	8	H'A447 0005		8	
I ² C バス送信データレジスタ	ICDRT	8	H'A447 0006		8	
I ² C バス受信データレジスタ	ICDRR	8	H'A447 0007		8	
NF2CYC レジスタ	NF2CYC	8	H'A447 0008		8	
-	-	-	-		-	-
コンペアマッチタイマスタートレジスタ_0	CMSTR_0	16	H'A44A 0000		CMT	16
コンペアマッチタイマコントロール /ステータスレジスタ_0	CMCSR_0	16	H'A44A 0004	16		
コンペアマッチカウンタ_0	CMCNT_0	16	H'A44A 0008	16		
コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'A44A 000C	16		
コンペアマッチタイマスタートレジスタ_1	CMSTR_1	16	H'A44B 0000	16		
コンペアマッチタイマコントロール /ステータスレジスタ_1	CMCSR_1	16	H'A44B 0004	16		
コンペアマッチカウンタ_1	CMCNT_1	16	H'A44B 0008	16		
コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'A44B 000C	16		
-	-	-	-	-	-	
タイマコントロールレジスタ_3	TCR_3	8	H'A449 0000	MTU	8、16、32	
タイマコントロールレジスタ_4	TCR_4	8	H'A449 0001		8、16、32	
タイマモードレジスタ_3	TMDR_3	8	H'A449 0002		8、16、32	
タイマモードレジスタ_4	TMDR_4	8	H'A449 0003		8、16、32	
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'A449 0004		8、16、32	
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'A449 0005		8、16、32	
タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'A449 0006		8、16、32	
タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'A449 0007		8、16、32	

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
タイムインタラプティブレジスタ_3	TIER_3	8	H'A449 0008	MTU	8、16、32
タイムインタラプティブレジスタ_4	TIER_4	8	H'A449 0009		8、16、32
タイムアウトブッマスタイネーブルレジスタ	TOER	8	H'A449 000A		8、16、32
タイムアウトブットコントロールレジスタ	TOCR	8	H'A449 000B		8、16、32
タイムゲートコントロールレジスタ	TGCR	8	H'A449 000D		8
タイムカウンタ_3	TCNT_3	16	H'A449 0010		16、32
タイムカウンタ_4	TCNT_4	16	H'A449 0012		16、32
タイム周期データレジスタ	TCDR	16	H'A449 0014		16、32
タイムデッドタイムデータレジスタ	TDDR	16	H'A449 0016		16、32
タイムジェネラルレジスタ A_3	TGRA_3	16	H'A449 0018		16、32
タイムジェネラルレジスタ B_3	TGRB_3	16	H'A449 001A		16、32
タイムジェネラルレジスタ A_4	TGRA_4	16	H'A449 001C		16、32
タイムジェネラルレジスタ B_4	TGRB_4	16	H'A449 001E		16、32
タイムサブカウンタ	TCNTS	16	H'A449 0020		16、32
タイム周期バッファレジスタ	TCBR	16	H'A449 0022		16、32
タイムジェネラルレジスタ C_3	TGRC_3	16	H'A449 0024		16、32
タイムジェネラルレジスタ D_3	TGRD_3	16	H'A449 0026		16、32
タイムジェネラルレジスタ C_4	TGRC_4	16	H'A449 0028		16、32
タイムジェネラルレジスタ D_4	TGRD_4	16	H'A449 002A		16、32
タイムステータスレジスタ_3	TSR_3	8	H'A449 002C		8、16
タイムステータスレジスタ_4	TSR_4	8	H'A449 002D		8、16
タイムスタートレジスタ	TSTR	8	H'A449 0040		8、16
タイムシンクロレジスタ	TSYR	8	H'A449 0041		8、16
タイムコントロールレジスタ_0	TCR_0	8	H'A449 0060		8、16、32
タイムモードレジスタ_0	TMDR_0	8	H'A449 0061		8、16、32
タイムI/OコントロールレジスタH_0	TIORH_0	8	H'A449 0062		8、16、32
タイムI/OコントロールレジスタL_0	TIORL_0	8	H'A449 0063		8、16、32
タイムインタラプティブレジスタ_0	TIER_0	8	H'A449 0064		8、16、32
タイムステータスレジスタ_0	TSR_0	8	H'A449 0065		8、16、32
タイムカウンタ_0	TCNT_0	16	H'A449 0066		16
タイムジェネラルレジスタ A_0	TGRA_0	16	H'A449 0068		16、32
タイムジェネラルレジスタ B_0	TGRB_0	16	H'A449 006A		16、32
タイムジェネラルレジスタ C_0	TGRC_0	16	H'A449 006C	16、32	
タイムジェネラルレジスタ D_0	TGRD_0	16	H'A449 006E	16、32	
タイムコントロールレジスタ_1	TCR_1	8	H'A449 0080	8、16	
タイムモードレジスタ_1	TMDR_1	8	H'A449 0081	8、16	
タイムI/Oコントロールレジスタ_1	TIOR_1	8	H'A449 0082	8	

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
タイムインタラプティブレジスタ_1	TIER_1	8	H'A449 0084	MTU	8、16、32
タイムステータスレジスタ_1	TSR_1	8	H'A449 0085		8、16、32
タイムカウンタ_1	TCNT_1	16	H'A449 0086		8、16、32
タイムジェネラルレジスタ A_1	TGRA_1	16	H'A449 0088		16、32
タイムジェネラルレジスタ B_1	TGRB_1	16	H'A449 008A		16、32
タイムコントロールレジスタ_2	TCR_2	8	H'A449 00A0		8、16
タイムモードレジスタ_2	TMDR_2	8	H'A449 00A1		8、16
タイム I/O コントロールレジスタ_2	TIOR_2	8	H'A449 00A2		8
タイムインタラプティブレジスタ_2	TIER_2	8	H'A449 00A4		8、16、32
タイムステータスレジスタ_2	TSR_2	8	H'A449 00A5		8、16、32
タイムカウンタ_2	TCNT_2	16	H'A449 00A6		16、32
タイムジェネラルレジスタ A_2	TGRA_2	16	H'A449 00A8		16、32
タイムジェネラルレジスタ B_2	TGRB_2	16	H'A449 00AA		16、32
入力レベルコントロール / ステータスレジスタ 1	ICSR1	16	H'A44C 0000		8、16、32
出力レベルコントロール / ステータスレジスタ	OCSR	16	H'A44C 0002	8、16、32	
-	-	-	-	-	-
シリアルモードレジスタ_0	SCSMR_0	16	H'A440 0000	SCIF	16
ビットレートレジスタ_0	SCBRR_0	8	H'A440 0004		8
シリアルコントロールレジスタ_0	SCSCR_0	16	H'A440 0008		16
トランスミット FIFO データレジスタ_0	SCFTDR_0	8	H'A440 000C		8
シリアルステータスレジスタ_0	SCFSR_0	16	H'A440 0010		16
レシーブ FIFO データレジスタ_0	SCFRDR_0	8	H'A440 0014		8
FIFO コントロールレジスタ_0	SCFCR_0	16	H'A440 0018		16
FIFO データ数レジスタ_0	SCFDR_0	16	H'A440 001C		16
シリアルポートレジスタ_0	SCSPTR_0	16	H'A440 0020		16
ラインステータスレジスタ_0	SCLSR_0	16	H'A440 0024		16
シリアルモードレジスタ_1	SCSMR_1	16	H'A441 0000		16
ビットレートレジスタ_1	SCBRR_1	8	H'A441 0004		8
シリアルコントロールレジスタ_1	SCSCR_1	16	H'A441 0008		16
トランスミット FIFO データレジスタ_1	SCFTDR_1	8	H'A441 000C		8
シリアルステータスレジスタ_1	SCFSR_1	16	H'A441 0010		16
レシーブ FIFO データレジスタ_1	SCFRDR_1	8	H'A441 0014		8
FIFO コントロールレジスタ_1	SCFCR_1	16	H'A441 0018		16
FIFO データ数レジスタ_1	SCFDR_1	16	H'A441 001C		16
シリアルポートレジスタ_1	SCSPTR_1	16	H'A441 0020		16
ラインステータスレジスタ_1	SCLSR_1	16	H'A441 0024		16
シリアルモードレジスタ_2	SCSMR_2	16	H'A442 0000	16	

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
ビットレートレジスタ ₂	SCBRR ₂	8	H'A442 0004	SCIF	8
シリアルコントロールレジスタ ₂	SCSCR ₂	16	H'A442 0008		16
トランスミット FIFO データレジスタ ₂	SCFTDR ₂	8	H'A442 000C		8
シリアルステータスレジスタ ₂	SCFSR ₂	16	H'A442 0010		16
レシーブ FIFO データレジスタ ₂	SCFRDR ₂	8	H'A442 0014		8
FIFO コントロールレジスタ ₂	SCFCR ₂	16	H'A442 0018		16
FIFO データ数レジスタ ₂	SCFDR ₂	16	H'A442 001C		16
シリアルポートレジスタ ₂	SCSPTR ₂	16	H'A442 0020		16
ラインステータスレジスタ ₂	SCLSR ₂	16	H'A442 0024		16
-	-	-	-	-	-
USB 割り込みフラグレジスタ 0	USBIFR0	8	H'A448 0000	USB	8
USB 割り込みフラグレジスタ 1	USBIFR1	8	H'A448 0001		8
USBEP0i データレジスタ	USBEPDR0i	8	H'A448 0002		8
USBEP0o データレジスタ	USBEPDR0o	8	H'A448 0003		8
USB トリガレジスタ	USBTRG	8	H'A448 0004		8
USBFIFO クリアレジスタ	USBFLR	8	H'A448 0005		8
USBEP0o 受信データサイズレジスタ	USBEPSZ0o	8	H'A448 0006		8
USBEP0s データレジスタ	USBEPDR0s	8	H'A448 0007		8
USB データステータスレジスタ	USBDASTS	8	H'A448 0008		8
USB 割り込み選択レジスタ 0	USBISR0	8	H'A448 000A		8
USB エンドポイントストールレジスタ	USBEPSTL	8	H'A448 000B		8
USB 割り込みイネーブルレジスタ 0	USBIER0	8	H'A448 000C		8
USB 割り込みイネーブルレジスタ 1	USBIER1	8	H'A448 000D		8
USBEP1 受信データサイズレジスタ	USBEPSZ1	8	H'A448 000F		8
USB 割り込み選択レジスタ 1	USBISR1	8	H'A448 0010		8
USBDMA 転送設定レジスタ	USBDMAR	8	H'A448 0011		8
USBEP3 データレジスタ	USBEPDR3	8	H'A448 0012		8
USBEP1 データレジスタ	USBEPDR1	8	H'A448 0014		8、32
USBEP2 データレジスタ	USBEPDR2	8	H'A448 0018		8、32
USB トランシーバコントロールレジスタ	USBXVERCR	8	H'A448 001C		8
USB 割り込みフラグレジスタ 2	USBIFR2	8	H'A448 001D	8	
USB 割り込みイネーブルレジスタ 2	USBIER2	8	H'A448 001E	8	
USB パスパワーコントロールレジスタ	USBCTRL	8	H'A448 001F	8	
-	-	-	-	-	-
A/D0 データレジスタ A	ADDRA0	16	H'A44E 0000	ADC	16
A/D0 データレジスタ B	ADDRB0	16	H'A44E 0002		16
A/D0 データレジスタ C	ADDRC0	16	H'A44E 0004		16

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	アクセスサイズ
A/D0 データレジスタ D	ADDRD0	16	H'A44E 0006	ADC	16
A/D1 データレジスタ A	ADDRA1	16	H'A44E 0008		16
A/D1 データレジスタ B	ADDRB1	16	H'A44E 000A		16
A/D1 データレジスタ C	ADDRC1	16	H'A44E 000C		16
A/D1 データレジスタ D	ADDRD1	16	H'A44E 000E		16
A/D0 コントロール/ステータスレジスタ	ADCSR0	16	H'A44E 0010		16
A/D1 コントロール/ステータスレジスタ	ADCSR1	16	H'A44E 0012		16
A/D0 A/D1 コントロールレジスタ	ADCR	16	H'A44E 0014		16
-	-	-	-	-	-
ポート A コントロールレジスタ	PACR	32	H'A443 0000	PFC	8、16、32
ポート B コントロールレジスタ	PBCR	32	H'A443 0004		8、16、32
ポート C コントロールレジスタ	PCCR	32	H'A443 0008		8、16、32
ポート D コントロールレジスタ	PDCR	32	H'A443 000C		8、16、32
ポート E コントロールレジスタ	PECR	32	H'A443 0010		8、16、32
ポート F コントロールレジスタ	PFGR	32	H'A443 0014		8、16、32
ポート G コントロールレジスタ	PGCR	32	H'A443 0018		8、16、32
ポート H コントロールレジスタ	PHCR	32	H'A443 001C		8、16、32
ポート J コントロールレジスタ	PJCR	32	H'A443 0020		8、16、32
ポート E IO レジスタ	PEIOR	16	H'A443 0038		8、16
ポート E MTU R/W イネーブルレジスタ	PEMTURWER	16	H'A443 003A		8、16
-	-	-	-		-
ポート A データレジスタ	PADR	16	H'A443 0026	PORT	8、16
ポート B データレジスタ	PBDR	16	H'A443 0028		8、16
ポート C データレジスタ	PCDR	16	H'A443 002A		8、16
ポート D データレジスタ	PDDR	16	H'A443 002C		8、16
ポート E データレジスタ	PEDR	16	H'A443 002E		8、16
ポート F データレジスタ	PFDR	16	H'A443 0030		8、16
ポート G データレジスタ	PGDR	16	H'A443 0032		8、16
ポート H データレジスタ	PHDR	16	H'A443 0034		8、16
ポート J データレジスタ	PJDR	16	H'A443 0036		8、16

- 【注】 *1 誤書き込み防止のため、書き込みデータの上位バイトを H'5A とした 16 ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時はライト時と同じアドレスに対して 8 ビットリードしてください。
- *2 誤書き込み防止のため、書き込みデータの上位バイトを H'A5 とした 16 ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時はライト時と同じアドレスに対して 8 ビットリードしてください。
- *3 誤書き込み防止のため、書き込みデータの上位 16 ビットを H'A55A とした 32 ビットライトのみ受け付け、それ以外は書き込みが行われません。リード時も 32 ビットリードしてください。このとき、上位 16 ビットには 0 が読み出されます。

24. レジスタ一覧

24.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
FRQCR	-	-	-	CKOEN	-	-	STC1	STC0	CPG
	-	-	IFC1	IFC0	-	-	PFC1	PFC0	
WTCNT									WDT
WTCSR	TME	WT/IT	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	
STBCR	STBY	-	-	-	-	-	-	-	低消費電力
STBCR2	MSTP10	MSTP9	MSTP8	MSTP7	-	MSTP5	MSTP4	MSTP3	
STBCR3	HIZ	-	MSTP35	-	MSTP33	MSTP32	MSTP31	MSTP30	
STBCR4	-	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	-	-	
CCR1	-	-	-	-	-	-	-	-	キャッシュ
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	CF	WB	WT	CE	
CCR2	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	LE	
	-	-	-	-	-	-	W3LOAD	W3LOCK	
	-	-	-	-	-	-	W2LOAD	W2LOCK	
INTEVT2	-	-	-	-	-	-	-	-	例外処理
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
TRA	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	imm	imm	
	imm	imm	imm	imm	imm	imm	-	-	
EXPEVT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
IPRF	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	INTC
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRG	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
IPRH	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	INTC
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRI	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IMR0	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR1	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR2	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR4	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR5	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR6	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR7	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR8	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR9	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMR10	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0	
IMCR0	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR1	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR2	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR4	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR5	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR6	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR7	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR8	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR9	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IMCR10	IMC7	IMC6	IMC5	IMC4	IMC3	IMC2	IMC1	IMC0	
IRR0	IRQ7R	IRQ6R	IRQ5R	IRQ4R	IRQ3R	IRQ2R	IRQ1R	IRQ0R	
ICR1	-	IRQE	-	-	IRQ51S	IRQ50S	IRQ41S	IRQ40S	
	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
ICR3	-	-	-	-	-	-	-	-	
	-	-	-	-	IRQ71S	IRQ70S	IRQ61S	IRQ60S	
IPRC	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRD	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRE	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
IPRJ	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	INTC
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
ICR0	NMIL	-	-	-	-	-	-	NMIE	
	-	-	-	-	-	-	-	-	
IPRB	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
BDRB	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	UBC
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16	
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0	
BDMRB	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16	
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0	
BRCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	SCMFCA	SCMFCB	SCMFDA	SCMFDB	PCTE	PCBA	-	-	
	DBEB	PCBB	-	-	SEQ	-	-	ETBE	
BETR	-	-	-	-	BET11	BET10	BET9	BET8	
	BET7	BET6	BET5	BET4	BET3	BET2	BET1	BET0	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BAMRB	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	
	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16	
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	
	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0	
BBRB	-	-	-	-	-	-	XYE	XYS	
	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	
BRSR	SVF	-	-	-	BSA27	BSA26	BSA25	BSA24	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	UBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	
BBRA	-	-	-	-	-	-	-	-	
	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BRDR	DVF	-	-	-	BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
CMNCR	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	WAITSEL	-	-	MAP	BLOCK	DPRTY1	DPRTY0	DMAIW2	
	DMAIW1	DMAIW0	DMAIWA	-	-	CK2DRV	HIZMEM	HIZCNT	
CS0BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS2BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS3BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS4BCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
CS5ABCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	BSC
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS5BBBCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	BSC
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS6ABCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	BSC
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS6BBBCR	-	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2	BSC
	IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS0WCR* ¹	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS0WCR* ²	-	-	-	-	-	-	-	-	BSC
	-	-	-	BEN	-	-	BW1	BW0	
	-	-	-	-	-	W3	W2	W1	
	W0	WM	-	-	-	-	-	-	
CS0WCR* ³	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	BW1	BW0	
	-	-	-	-	-	W3	W2	W1	
	W0	WM	-	-	-	-	-	-	
CS2WCR* ¹	-	-	-	-	-	-	-	-	BSC
	-	-	-	BAS	-	-	-	-	
	-	-	-	-	-	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	-	-	
CS2WCR* ⁴	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	A2CL1	
	A2CL0	-	-	-	-	-	-	-	

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
CS3WCR* ¹	-	-	-	-	-	-	-	-	BSC
	-	-	-	BAS	-	-	-	-	
	-	-	-	-	-	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	-	-	
CS3WCR* ⁴	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	WTRP1	WTRP0	-	WTRCD1	WTRCD0	-	A3CL1	
CS4WCR* ¹	A3CL0	-	-	TRWL1	TRWL0	-	WTRC1	WTRC0	
	-	-	-	-	-	-	-	-	
	-	-	-	BAS	-	WW2	WW1	WW0	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
CS4WCR* ²	WR0	WM	-	-	-	-	HW1	HW0	
	-	-	-	-	-	-	-	-	
	-	-	-	BEN	-	-	BW1	BW0	
	-	-	-	SW1	SW0	W3	W2	W1	
CS5AWCR* ¹	W0	WM	-	-	-	-	HW1	HW0	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	WW2	WW1	WW0	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
CS5BWCR* ¹	WR0	WM	-	-	-	-	HW1	HW0	
	-	-	-	-	-	-	-	-	
	-	-	SZSEL	MPXW/ BAS	-	WW2	WW1	WW0	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
CS6AWCR* ¹	WR0	WM	-	-	-	-	HW1	HW0	
	-	-	-	-	-	-	-	-	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	-	-	-	-	-	-	-	-	
CS6BWCR* ¹	-	-	-	-	-	-	-	-	
	-	-	-	BAS	-	-	-	-	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
CS6BWCR* ⁵	-	-	-	-	-	-	-	-	BSC
	-	-	MPXAW1	MPXAW0	MPXMD	-	BW1	BW0	
	-	-	-	-	-	W3	W2	W1	
	W0	WM	-	-	-	-	-	-	
SDCR	-	-	-	-	-	-	-	-	BSC
	-	-	-	A2ROW1	A2ROW0	-	A2COL1	A2COL0	
	-	-	DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV	
	-	-	-	A3ROW1	A3ROW0	-	A3COL1	A3COL0	
RTCSR	-	-	-	-	-	-	-	-	BSC
	CMF	-	CKS2	CKS1	CKS0	RRC2	RRC1	RRC0	
RTCNT	-	-	-	-	-	-	-	-	BSC
RTCOR	-	-	-	-	-	-	-	-	BSC
RWCNT	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
SAR_0									DMAC
DAR_0									DMAC
DMATCR_0									DMAC
CHCR_0	TC	-	-	-	-	-	-	-	DMAC
	DO	TL	-	-	-	-	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	DL	DS	TB	TS1	TS0	IE	TE	DE	
SAR_1									DMAC

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
DAR_1									DMAC
DMATCR_1									
CHCR_1	TC	-	-	-	-	-	-	-	
	DO	-	-	-	-	-	AM	AL	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	DL	DS	TB	TS1	TS0	IE	TE	DE	
SAR_2									
DAR_2									
DMATCR_2									
CHCR_2	TC	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_3									
DAR_3									

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール	
DMATCR_3									DMAC	
CHCR_3	TC	-	-	-	-	-	-	-		
	-	-	-	-	-	-	-	-		
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0		
	-	-	TB	TS1	TS0	IE	TE	DE		
DMAOR	-	-	CMS1	CMS0	-	-	PR1	PR0		
	-	-	-	-	-	AE	NMIF	DME		
	-	-	-	-	-	-	-	-		
	-	-	RC0	RC1	RC2	RC3	-	-		
DMARS0	C1MID5	C1MID4	C1MID3	C1MID2	C1MID1	C1MID0	C1RID1	C1RID0		
	C0MID5	C0MID4	C0MID3	C0MID2	C0MID1	C0MID0	C0RID1	C0RID0		
DMARS1	C3MID5	C3MID4	C3MID3	C3MID2	C3MID1	C3MID0	C3RID1	C3RID0		
	C2MID5	C2MID4	C2MID3	C2MID2	C2MID1	C2MID0	C2RID1	C2RID0		
SDIR	T17	T16	T15	T14	T13	T12	T11	T10	H-UDI	
	-	-	-	-	-	-	-	-		
SDIDH	DID31	DID30	DID29	DID28	DID27	DID26	DID25	DID24		
	DID23	DID22	DID21	DID20	DID19	DID18	DID17	DID16		
SDIDL	DID15	DID14	DID13	DID12	DID11	DID10	DID9	DID8		
	DID7	DID6	DID5	DID4	DID3	DID2	DID1	DID0		
ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2	
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-		
ICMR	MLS	-	-	-	BCWP	BS2	BC1	BC0		
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT		
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ		
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS		
ICDRT										
ICDRR										
NF2CYC	-	-	-	-	-	-	-	NF2CYC		
CMSTR_0	-	-	-	-	-	-	-	-		CMT
	-	-	-	-	-	-	-	STR		
CMCSR_0	-	-	-	-	-	-	-	-		
	CMF	-	CMR1	CMR0	-	-	CKS1	CKS0		

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール	
CMCNT_0									CMT	
CMCOR_0										
CMSTR_1	-	-	-	-	-	-	-	-		
	-	-	-	-	-	-	-	STR		
CMCSR_1	-	-	-	-	-	-	-	-		
	CMF	-	CMR1	CMR0	-	-	CKS1	CKS0		
CMCNT_1										
CMCOR_1										
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		MTU
TCR_4	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		
TMDR_3	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
TMDR_4	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIORH_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_4	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_3	TTGE	TGFASEL	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TIER_4	TTGE	TGFASEL	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B		
TOCR	-	PSYE	-	-	-	-	OLSN	OLSP		
TGCR	-	BDC	N	P	FB	WF	VF	UF		
TCNT_3										
TCNT_4										
TCDR										
TDDR										
TGRA_3										

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
TGRB_3									MTU
TGRA_4									
TGRB_4									
TCNTS									
TCBR									
TGRC_3									
TGRD_3									
TGRC_4									
TGRD_4									
TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0	
TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_0	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	TGFASEL	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									
TGRA_0									
TGRB_0									
TGRC_0									

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
TGRD_0									MTU
TCR_1	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	TGFASEL	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_1									
TGRA_1									
TGRB_1									
TCR_2	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	TGFASEL	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_2									
TGRA_2									
TGRB_2									
ICSR1	POE3F	POE2F	POE1F	POE0F	-	-	-	PIE	
	POE3M1	POE3M0	POE2M1	POE2M0	POE1M1	POE1M0	POE0M1	POE0M0	
OCSR	OSF	-	-	-	-	-	OCE	OIE	
	-	-	-	-	-	-	-	-	
SCSMR_0	-	-	-	-	-	-	-	-	
	C/Ā	CHR	PE	O/Ē	STOP	-	CKS1	CKS0	
SCBRR_0									
SCSCR_0	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_0									
SCFSR_0	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
SCFRDR_0									SCIF
SCFCR_0	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_0	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_0	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_1	-	-	-	-	-	-	-	-	
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR_1									
SCSCR_1	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_1									
SCFSR_1	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_1									
SCFCR_1	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_1	-	-	-	T4	T3	T2	T1	T0	
	-	-	-	R4	R3	R2	R1	R0	
SCSPTR_1	-	-	-	-	-	-	-	-	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	ORER	
SCSMR_2	-	-	-	-	-	-	-	-	
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	CKS1	CKS0	
SCBRR_2									
SCSCR_2	-	-	-	-	-	-	-	-	
	TIE	RIE	TE	RE	REIE	-	CKE1	CKE0	
SCFTDR_2									
SCFSR_2	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_2									

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール	
SCFCR2	-	-	-	-	-	RSTRG2	RSTRG1	RSTRG0	SCIF	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP		
SCFDR2	-	-	-	T4	T3	T2	T1	T0		
	-	-	-	R4	R3	R2	R1	R0		
SCSPTR2	-	-	-	-	-	-	-	-		
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT		
SCLSR2	-	-	-	-	-	-	-	-		
	-	-	-	-	-	-	-	ORER		
USBIFR0	BRST	EP1FULL	EP2TR	EP2EMPTY	SETUPTS	EP0oTS	EP0iTR	EP0iTS		USB
USBIFR1	-	-	-	-	VBUSMN	EP3TR	EP3TS	VBUSF		
USBEPDR0i	D7	D6	D5	D4	D3	D2	D1	D0		
USBEPDR0o	D7	D6	D5	D4	D3	D2	D1	D0		
USBTRG	-	EP3PKTE	EP1RDFN	EP2PKTE	-	EP0sRDFN	EP0oRDFN	EP0iPKTE		
USBFCLR	-	EP3CLR	EP1CLR	EP2CLR	-	-	EP0oCLR	EP0iCLR		
USBEPSZ0o	-	-	-	-	-	-	-	-		
USBEPDR0s	D7	D6	D5	D4	D3	D2	D1	D0		
USBDASTS	-	-	EP3DE	EP2DE	-	-	-	EP0iDE		
USBISR0	BRST	EP1FULL	EP2TR	EP2EMPTY	SETUPTS	EP0oTS	EP0iTR	EP0iTS		
USBEPSTL	-	-	-	ASCE	EP3STL	EP2STL	EP1STL	EP0STL		
USBIER0	BRST	EP1FULL	EP2TR	EP2EMPTY	SETUPTS	EP0oTS	EP0iTR	EP0iTS		
USBIER1	-	-	-	-	-	EP3TR	EP3TS	VBUSF		
USBEPSZ1	-	-	-	-	-	-	-	-		
USBISR1	-	-	-	-	-	EP3TR	EP3TS	VBUSF		
USBDMAR	-	-	-	-	-	-	EP2DMAE	EP1DMAE		
USBEPDR3	D7	D6	D5	D4	D3	D2	D1	D0		
USBEPDR1	D7	D6	D5	D4	D3	D2	D1	D0		
USBEPDR2	D7	D6	D5	D4	D3	D2	D1	D0		
USBXVERCR	-	-	-	-	-	-	-	XVEROFF		
USBIFR2	-	-	-	-	AWAKE	SUSPS	CFGV	SETC		
USBIER2	-	-	-	-	-	-	-	SETC		
USBCTRL	-	-	-	-	-	-	SUSPEND	PWMD		
ADDRA0									ADC	
			-	-	-	-	-	-		
ADDRB0										
			-	-	-	-	-	-		

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
ADDRC0									ADC
			-	-	-	-	-	-	
ADDRD0									
			-	-	-	-	-	-	
ADDRA1									
			-	-	-	-	-	-	
ADDRB1									
			-	-	-	-	-	-	
ADDRC1									
			-	-	-	-	-	-	
ADDRD1									
			-	-	-	-	-	-	
ADCSR0	ADF	ADIE	ADST	DMASL	TRGE	-	-	-	
	CKS1	CKS0	MULT11	MULTI0	-	-	CH1	CH0	
ADCSR1	ADF	ADIE	ADST	DMASL	TRGE	-	-	-	
	CKS1	CKS0	MULT11	MULTI0	-	-	CH1	CH0	
ADCR	DSMP	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
PACR	-	-	PA14MD2	PA14MD1	PA13MD2	PA13MD1	PA12MD2	PA12MD1	PFC
	PA11MD2	PA11MD1	PA10MD2	PA10MD1	PA9MD2	PA9MD1	PA8MD2	PA8MD1	
	PA7MD2	PA7MD1	PA6MD2	PA6MD1	PA5MD2	PA5MD1	PA4MD2	PA4MD1	
	PA3MD2	PA3MD1	PA2MD2	PA2MD1	PA1MD2	PA1MD1	PA0MD2	PA0MD1	
PBCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	PB8MD2	PB8MD1	
	PB7MD2	PB7MD1	PB6MD2	PB6MD1	PB5MD2	PB5MD1	PB4MD2	PB4MD1	
	PB3MD2	PB3MD1	PB2MD2	PB2MD1	PB1MD2	PB1MD1	PB0MD2	PB0MD1	
PCCR	PC15MD2	PC15MD1	PC14MD2	PC14MD1	PC13MD2	PC13MD1	PC12MD2	PC12MD1	
	PC11MD2	PC11MD1	PC10MD2	PC10MD1	PC9MD2	PC9MD1	PC8MD2	PC8MD1	
	PC7MD2	PC7MD1	PC6MD2	PC6MD1	PC5MD2	PC5MD1	PC4MD2	PC4MD1	
	PC3MD2	PC3MD1	PC2MD2	PC2MD1	PC1MD2	PC1MD1	PC0MD2	PC0MD1	
PDCR	PD15MD2	PD15MD1	PD14MD2	PD14MD1	PD13MD2	PD13MD1	PD12MD2	PD12MD1	
	PD11MD2	PD11MD1	PD10MD2	PD10MD1	PD9MD2	PD9MD1	PD8MD2	PD8MD1	
	PD7MD2	PD7MD1	PD6MD2	PD6MD1	PD5MD2	PD5MD1	PD4MD2	PD4MD1	
	PD3MD2	PD3MD1	PD2MD2	PD2MD1	PD1MD2	PD1MD1	PD0MD2	PD0MD1	

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
PECR	PE15MD2	PE15MD1	PE14MD2	PE14MD1	PE13MD2	PE13MD1	PE12MD2	PE12MD1	PFC
	PE11MD2	PE11MD1	PE10MD2	PE10MD1	PE9MD2	PE9MD1	PE8MD2	PE8MD1	
	PE7MD2	PE7MD1	PE6MD2	PE6MD1	PE5MD2	PE5MD1	PE4MD2	PE4MD1	
	PE3MD2	PE3MD1	PE2MD2	PE2MD1	PE1MD2	PE1MD1	PE0MD2	PE0MD1	
PFCR	PF15MD2	PF15MD1	PF14MD2	PF14MD1	PF13MD2	PF13MD1	PF12MD2	PF12MD1	
	PF11MD2	PF11MD1	PF10MD2	PF10MD1	PF9MD2	PF9MD1	PF8MD2	PF8MD1	
	PF7MD2	PF7MD1	PF6MD2	PF6MD1	PF5MD2	PF5MD1	PF4MD2	PF4MD1	
	PF3MD2	PF3MD1	PF2MD2	PF2MD1	PF1MD2	PF1MD1	PF0MD2	PF0MD1	
PGCR	-	-	-	-	PG13MD2	PG13MD1	PG12MD2	PG12MD1	
	PG11MD2	PG11MD1	PG10MD2	PG10MD1	PG9MD2	PG9MD1	PG8MD2	PG8MD1	
	PG7MD2	PG7MD1	PG6MD2	PG6MD1	PG5MD2	PG5MD1	PG4MD2	PG4MD1	
	PG3MD2	PG3MD1	PG2MD2	PG2MD1	PG1MD2	PG1MD1	PG0MD2	PG0MD1	
PHCR	-	-	PH14MD2	PH14MD1	PH13MD2	PH13MD1	PH12MD2	PH12MD1	
	PH11MD2	PH11MD1	PH10MD2	PH10MD1	PH9MD2	PH9MD1	PH8MD2	PH8MD1	
	PH7MD2	PH7MD1	PH6MD2	PH6MD1	PH5MD2	PH5MD1	PH4MD2	PH4MD1	
	PH3MD2	PH3MD1	PH2MD2	PH2MD1	PH1MD2	PH1MD1	PH0MD2	PH0MD1	
PJCR	-	-	-	-	-	-	PJ12MD2	PJ12MD1	
	PJ11MD2	PJ11MD1	PJ10MD2	PJ10MD1	PJ9MD2	PJ9MD1	PJ8MD2	PJ8MD1	
	PJ7MD2	PJ7MD1	PJ6MD2	PJ6MD1	PJ5MD2	PJ5MD1	PJ4MD2	PJ4MD1	
	PJ3MD2	PJ3MD1	PJ2MD2	PJ2MD1	PJ1MD2	PJ1MD1	PJ0MD2	PJ0MD1	
PEIOR	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	
	PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
PEMTURWER	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	MTURWE	
PADR	-	PA14DT	PA13DT	PA12DT	PA11DT	PA10DT	PA9DT	PA8DT	PORT
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT	
PBDR	-	-	-	-	-	-	-	PB8DT	
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT	
PCDR	PC15DT	PC14DT	PC13DT	PC12DT	PC11DT	PC10DT	PC9DT	PC8DT	
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT	
PDDR	PD15DT	PD14DT	PD13DT	PD12DT	PD11DT	PD10DT	PD9DT	PD8DT	
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT	
PEDR	PE15DT	PE14DT	PE13DT	PE12DT	PE11DT	PE10DT	PE9DT	PE8DT	
	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT	
PFDR	PF15DT	PF14DT	PF13DT	PF12DT	PF11DT	PF10DT	PF9DT	PF8DT	
	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT	

24. レジスタ一覧

レジスタ略称	ビット31/ 23/15/7	ビット30/ 22/14/6	ビット29/ 21/13/5	ビット28/ 20/12/4	ビット27/ 19/11/3	ビット26/ 18/10/2	ビット25/ 17/9/1	ビット24/ 16/8/0	モジュール
PGDR	-	-	PG13DT	PG12DT	PG11DT	PG10DT	PG9DT	PG8DT	PORT
	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT	
PHDR	-	PH14DT	PH13DT	PH12DT	PH11DT	PH10DT	PH9DT	PH8DT	
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT	
PJDR	-	-	-	PJ12DT	PJ11DT	PJ10DT	PJ9DT	PJ8DT	
	PJ7DT	PJ6DT	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT	

- 【注】 *1 メモリ種類指定が、通常空間、バイト選択付 SRAM、アドレス/データマルチプレクス I/O (MPX-IO) のときです。
- *2 メモリ種類指定が、バースト ROM (クロック非同期) のときです。
- *3 メモリ種類指定が、バースト ROM (クロック同期) のときです。
- *4 メモリ種類指定が、SDRAM のときです。
- *5 メモリ種類指定が、バースト MPX-IO のときです。

24.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
FRQCR	初期化 ^{*1}	保持	保持	-	保持	CPG
WTCNT	初期化 ^{*1}	保持	保持	-	保持	WDT
WTCNR	初期化 ^{*1}	保持	保持	-	保持	
STBCR	初期化	保持	保持	-	保持	低消費電力
STBCR2	初期化	保持	保持	-	保持	
STBCR3	初期化	保持	保持	-	保持	
STBCR4	初期化	保持	保持	-	保持	
CCR1	初期化	初期化	保持	保持	保持	キャッシュ
CCR2	初期化	初期化	保持	保持	保持	
INTEVT2	初期化	初期化	保持	保持	保持	例外処理
TRA	初期化	初期化	保持	保持	保持	
EXPEVT	初期化	初期化	保持	保持	保持	
IPRF	初期化	初期化	保持	-	保持	INTC
IPRG	初期化	初期化	保持	-	保持	
IPRH	初期化	初期化	保持	-	保持	
IPRI	初期化	初期化	保持	-	保持	
IMR0	初期化	初期化	保持	-	保持	
IMR1	初期化	初期化	保持	-	保持	
IMR2	初期化	初期化	保持	-	保持	
IMR4	初期化	初期化	保持	-	保持	
IMR5	初期化	初期化	保持	-	保持	
IMR6	初期化	初期化	保持	-	保持	
IMR7	初期化	初期化	保持	-	保持	
IMR8	初期化	初期化	保持	-	保持	
IMR9	初期化	初期化	保持	-	保持	
IMR10	初期化	初期化	保持	-	保持	
IMCR0	初期化	初期化	保持	-	保持	
IMCR1	初期化	初期化	保持	-	保持	
IMCR2	初期化	初期化	保持	-	保持	
IMCR4	初期化	初期化	保持	-	保持	
IMCR5	初期化	初期化	保持	-	保持	
IMCR6	初期化	初期化	保持	-	保持	
IMCR7	初期化	初期化	保持	-	保持	
IMCR8	初期化	初期化	保持	-	保持	

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
IMCR9	初期化	初期化	保持	-	保持	INTC	
IMCR10	初期化	初期化	保持	-	保持		
IRR0	初期化	初期化	保持	-	保持		
ICR1	初期化	初期化	保持	-	保持		
ICR3	初期化	初期化	保持	-	保持		
IPRC	初期化	初期化	保持	-	保持		
IPRD	初期化	初期化	保持	-	保持		
IPRE	初期化	初期化	保持	-	保持		
IPRJ	初期化	初期化	保持	-	保持		
ICR0	初期化	初期化	保持	-	保持		
IPRB	初期化	初期化	保持	-	保持		
BDRB	初期化	保持	保持	保持	保持		UBC
BDMRB	初期化	保持	保持	保持	保持		
BRCR	初期化	保持	保持	保持	保持		
BETR	初期化	保持	保持	保持	保持		
BARB	初期化	保持	保持	保持	保持		
BAMRB	初期化	保持	保持	保持	保持		
BBRB	初期化	保持	保持	保持	保持		
BRSR	不定*2	保持	保持	保持	保持		
BARA	初期化	保持	保持	保持	保持		
BAMRA	初期化	保持	保持	保持	保持		
BBRA	初期化	保持	保持	保持	保持		
BRDR	不定*2	保持	保持	保持	保持		
CMNCR	初期化	保持	保持	-	保持	BSC	
CS0BCR	初期化	保持	保持	-	保持		
CS2BCR	初期化	保持	保持	-	保持		
CS3BCR	初期化	保持	保持	-	保持		
CS4BCR	初期化	保持	保持	-	保持		
CS5ABCR	初期化	保持	保持	-	保持		
CS5BBCR	初期化	保持	保持	-	保持		
CS6ABCR	初期化	保持	保持	-	保持		
CS6BBCR	初期化	保持	保持	-	保持		
CS0WCR	初期化	保持	保持	-	保持		
CS2WCR	初期化	保持	保持	-	保持		
CS3WCR	初期化	保持	保持	-	保持		
CS4WCR	初期化	保持	保持	-	保持		

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
CS5AWCR	初期化	保持	保持	-	保持	BSC
CS5BWCR	初期化	保持	保持	-	保持	
CS6AWCR	初期化	保持	保持	-	保持	
CS6BWCR	初期化	保持	保持	-	保持	
SDCR	初期化	保持	保持	-	保持	
RTCSR	初期化	保持	保持	-	保持	
RTCNT	初期化	保持	保持	-	保持	
RTCOR	初期化	保持	保持	-	保持	
RWTCNT	初期化	保持	保持	-	保持	
SAR_0	不定	不定	保持	保持	保持	
DAR_0	不定	不定	保持	保持	保持	
DMATCR_0	不定	不定	保持	保持	保持	
CHCR_0	初期化	初期化	保持	保持	保持	
SAR_1	不定	不定	保持	保持	保持	
DAR_1	不定	不定	保持	保持	保持	
DMATCR_1	不定	不定	保持	保持	保持	
CHCR_1	初期化	初期化	保持	保持	保持	
SAR_2	不定	不定	保持	保持	保持	
DAR_2	不定	不定	保持	保持	保持	
DMATCR_2	不定	不定	保持	保持	保持	
CHCR_2	初期化	初期化	保持	保持	保持	
SAR_3	不定	不定	保持	保持	保持	
DAR_3	不定	不定	保持	保持	保持	
DMATCR_3	不定	不定	保持	保持	保持	
CHCR_3	初期化	初期化	保持	保持	保持	
DMAOR	初期化	初期化	保持	保持	保持	
DMARS0	初期化	初期化	保持	保持	保持	
DMARS1	初期化	初期化	保持	保持	保持	
SDIR	初期化 ^{*4}	保持	保持	保持	保持	H-UDI
SDIDH	初期化	保持	保持	保持	保持	
SDIDL	初期化	保持	保持	保持	保持	
ICCR1	初期化	保持	保持	保持	保持	IIC2
ICCR2	初期化	保持	保持	保持	保持	
ICMR	初期化	保持	保持	保持	保持	
ICIER	初期化	保持	保持	保持	保持	
ICSR	初期化	保持	保持	保持	保持	

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール	
SAR	初期化	保持	保持	保持	保持	IIC2	
ICDRT	不定	保持	保持	保持	保持		
ICDRR	不定	保持	保持	保持	保持		
NF2CYC	初期化	保持	保持	保持	保持		
CMSTR_0	初期化	保持	保持	保持	保持	CMT	
CMCSR_0	初期化	保持	保持	保持	保持		
CMCNT_0	初期化	保持	保持	保持	保持		
CMCOR_0	初期化	保持	保持	保持	保持		
CMSTR_1	初期化	保持	保持	保持	保持		
CMCSR_1	初期化	保持	保持	保持	保持		
CMCNT_1	初期化	保持	保持	保持	保持		
CMCOR_1	初期化	保持	保持	保持	保持		
TCR_3	初期化	保持	初期化	初期化	保持		MTU
TCR_4	初期化	保持	初期化	初期化	保持		
TMDR_3	初期化	保持	初期化	初期化	保持		
TMDR_4	初期化	保持	初期化	初期化	保持		
TIORH_3	初期化	保持	初期化	初期化	保持		
TIORL_3	初期化	保持	初期化	初期化	保持		
TIORH_4	初期化	保持	初期化	初期化	保持		
TIORL_4	初期化	保持	初期化	初期化	保持		
TIER_3	初期化	保持	初期化	初期化	保持		
TIER_4	初期化	保持	初期化	初期化	保持		
TOER	初期化	保持	初期化	初期化	保持		
TOCR	初期化	保持	初期化	初期化	保持		
TGCR	初期化	保持	初期化	初期化	保持		
TCNT_3	初期化	保持	初期化	初期化	保持		
TCNT_4	初期化	保持	初期化	初期化	保持		
TCDR	初期化	保持	初期化	初期化	保持		
TDDR	初期化	保持	初期化	初期化	保持		
TGRA_3	初期化	保持	初期化	初期化	保持		
TGRB_3	初期化	保持	初期化	初期化	保持		
TGRA_4	初期化	保持	初期化	初期化	保持		
TGRB_4	初期化	保持	初期化	初期化	保持		
TCNTS	初期化	保持	初期化	初期化	保持		
TCBR	初期化	保持	初期化	初期化	保持		
TGRC_3	初期化	保持	初期化	初期化	保持		

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
TGRD_3	初期化	保持	初期化	初期化	保持	MTU
TGRC_4	初期化	保持	初期化	初期化	保持	
TGRD_4	初期化	保持	初期化	初期化	保持	
TSR_3	初期化	保持	初期化	初期化	保持	
TSR_4	初期化	保持	初期化	初期化	保持	
TSTR	初期化	保持	初期化	初期化	保持	
TSYR	初期化	保持	初期化	初期化	保持	
TCR_0	初期化	保持	初期化	初期化	保持	
TMDR_0	初期化	保持	初期化	初期化	保持	
TIORH_0	初期化	保持	初期化	初期化	保持	
TIORL_0	初期化	保持	初期化	初期化	保持	
TIER_0	初期化	保持	初期化	初期化	保持	
TSR_0	初期化	保持	初期化	初期化	保持	
TCNT_0	初期化	保持	初期化	初期化	保持	
TGRA_0	初期化	保持	初期化	初期化	保持	
TGRB_0	初期化	保持	初期化	初期化	保持	
TGRC_0	初期化	保持	初期化	初期化	保持	
TGRD_0	初期化	保持	初期化	初期化	保持	
TCR_1	初期化	保持	初期化	初期化	保持	
TMDR_1	初期化	保持	初期化	初期化	保持	
TIOR_1	初期化	保持	初期化	初期化	保持	
TIER_1	初期化	保持	初期化	初期化	保持	
TSR_1	初期化	保持	初期化	初期化	保持	
TCNT_1	初期化	保持	初期化	初期化	保持	
TGRA_1	初期化	保持	初期化	初期化	保持	
TGRB_1	初期化	保持	初期化	初期化	保持	
TCR_2	初期化	保持	初期化	初期化	保持	
TMDR_2	初期化	保持	初期化	初期化	保持	
TIOR_2	初期化	保持	初期化	初期化	保持	
TIER_2	初期化	保持	初期化	初期化	保持	
TSR_2	初期化	保持	初期化	初期化	保持	
TCNT_2	初期化	保持	初期化	初期化	保持	
TGRA_2	初期化	保持	初期化	初期化	保持	
TGRB_2	初期化	保持	初期化	初期化	保持	
ICSR1	初期化	保持	保持	保持	保持	
OCSR	初期化	保持	保持	保持	保持	

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
SCSMR_0	初期化	保持	保持	保持	保持	SCIF
SCBRR_0	初期化	保持	保持	保持	保持	
SCSCR_0	初期化	保持	保持	保持	保持	
SCFTDR_0	不定	保持	保持	保持	保持	
SCFSR_0	初期化	保持	保持	保持	保持	
SCFRDR_0	不定	保持	保持	保持	保持	
SCFCR_0	初期化	保持	保持	保持	保持	
SCFDR_0	初期化	保持	保持	保持	保持	
SCSPTR_0	初期化	保持	保持	保持	保持	
SCLSR_0	初期化	保持	保持	保持	保持	
SCSMR_1	初期化	保持	保持	保持	保持	
SCBRR_1	初期化	保持	保持	保持	保持	
SCSCR_1	初期化	保持	保持	保持	保持	
SCFTDR_1	不定	保持	保持	保持	保持	
SCFSR_1	初期化	保持	保持	保持	保持	
SCFRDR_1	不定	保持	保持	保持	保持	
SCFCR_1	初期化	保持	保持	保持	保持	
SCFDR_1	初期化	保持	保持	保持	保持	
SCSPTR_1	初期化	保持	保持	保持	保持	
SCLSR_1	初期化	保持	保持	保持	保持	
SCSMR_2	初期化	保持	保持	保持	保持	
SCBRR_2	初期化	保持	保持	保持	保持	
SCSCR_2	初期化	保持	保持	保持	保持	
SCFTDR_2	不定	保持	保持	保持	保持	
SCFSR_2	初期化	保持	保持	保持	保持	
SCFRDR_2	不定	保持	保持	保持	保持	
SCFCR_2	初期化	保持	保持	保持	保持	
SCFDR_2	初期化	保持	保持	保持	保持	
SCSPTR_2	初期化	保持	保持	保持	保持	
SCLSR_2	初期化	保持	保持	保持	保持	
USBIFR0	初期化	保持	保持	保持	保持	USB
USBIFR1	初期化	保持	保持	保持	保持	
USBEPDR0i	不定	保持	保持	保持	保持	
USBEPDR0o	不定	保持	保持	保持	保持	
USBTRG	初期化	保持	保持	保持	保持	
USBFCLR	初期化	保持	保持	保持	保持	

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
USBEPSZ0o	初期化	保持	保持	保持	保持	USB
USBEPDR0s	不定	保持	保持	保持	保持	
USBDASTS	初期化	保持	保持	保持	保持	
USBISR0	初期化	保持	保持	保持	保持	
USBEPSTL	初期化	保持	保持	保持	保持	
USBIER0	初期化	保持	保持	保持	保持	
USBIER1	初期化	保持	保持	保持	保持	
USBEPSZ1	初期化	保持	保持	保持	保持	
USBISR1	初期化	保持	保持	保持	保持	
USBDMAR	初期化	保持	保持	保持	保持	
USBEPDR3	不定	保持	保持	保持	保持	
USBEPDR1	不定	保持	保持	保持	保持	
USBEPDR2	不定	保持	保持	保持	保持	
USBXVERCR	初期化	保持	保持	保持	保持	
USBIFR2	初期化	保持	保持	保持	保持	
USBIER2	初期化	保持	保持	保持	保持	
USBCTRL	初期化	保持	保持	保持	保持	
ADDRA0	初期化	保持	初期化	初期化	保持	ADC
ADDRB0	初期化	保持	初期化	初期化	保持	
ADDRC0	初期化	保持	初期化	初期化	保持	
ADDRD0	初期化	保持	初期化	初期化	保持	
ADDRA1	初期化	保持	初期化	初期化	保持	
ADDRB1	初期化	保持	初期化	初期化	保持	
ADDRC1	初期化	保持	初期化	初期化	保持	
ADDRD1	初期化	保持	初期化	初期化	保持	
ADCSR0	初期化	保持	初期化	初期化	保持	
ADCSR1	初期化	保持	初期化	初期化	保持	
ADCR	初期化	保持	初期化	初期化	保持	
PACR	初期化	保持	保持	-	保持	PFC
PBCR	初期化	保持	保持	-	保持	
PCCR	初期化	保持	保持	-	保持	
PDCR	初期化	保持	保持	-	保持	
PECR	初期化	保持	保持	-	保持	
PFCR	初期化	保持	保持	-	保持	
PGCR	初期化	保持	保持	-	保持	
PHCR	初期化	保持	保持	-	保持	

24. レジスタ一覧

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	モジュール
PJCR	初期化	保持	保持	-	保持	PFC
PEIOR	初期化	保持	保持	-	保持	
PEMTURWER	初期化	保持	保持	-	保持	
PADR	初期化	保持	保持	-	保持	PORT
PBDR	初期化	保持	保持	-	保持	
PCDR	初期化	保持	保持	-	保持	
PDDR	初期化	保持	保持	-	保持	
PEDR	初期化	保持	保持	-	保持	
PFDR	初期化	保持	保持	-	保持	
PGDR	初期化 ^{*3}	保持	保持	-	保持	
PHDR	初期化	保持	保持	-	保持	
PJDR	初期化	保持	保持	-	保持	

【注】 *1 WDT によるパワーオンリセットでは初期化されません。

*2 初期化されるビットがあります。

*3 初期化されないビットがあります。

*4 $\overline{\text{TRST}}$ のアサートまたは TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

25. 電気的特性

【注】 現在のスペックは暫定値です。予告なく変更する場合がありますのでご注意ください。

25.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	V_{CCQ}	- 0.3 ~ 3.8	V
電源電圧 (内部)	V_{CC} $V_{CC}(PLL1)$ $V_{CC}(PLL2)$	- 0.3 ~ 2.1	V
入力電圧 (ポート G7 ~ G0 以外)	V_{in}	- 0.3 ~ $V_{CCQ} + 0.3$	V
入力電圧 (ポート G7 ~ G0)	V_{in}	- 0.3 ~ $AV_{CC}(AD) + 0.3$	V
アナログ電源電圧 (AD)	$AV_{CC}(AD)$	- 0.3 ~ 3.8	V
アナログ入力電圧 (AD)	V_{AN}	- 0.3 ~ $AV_{CC}(AD) + 0.3$	V
動作温度	T_{opr}	-40 ~ 85 (高温範囲品)	
保存温度	T_{stg}	- 55 ~ 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

25. 電気的特性

25.1.1 電源投入シーケンスについて

電源投入順序は V_{CCQ} (3.3V 系)、 V_{CC} (1.8V 系) が同時刻投入あるいは V_{CCQ} V_{CC} 投入順となるようにしてください。

電源投入シーケンスの推奨値を下記に示します。

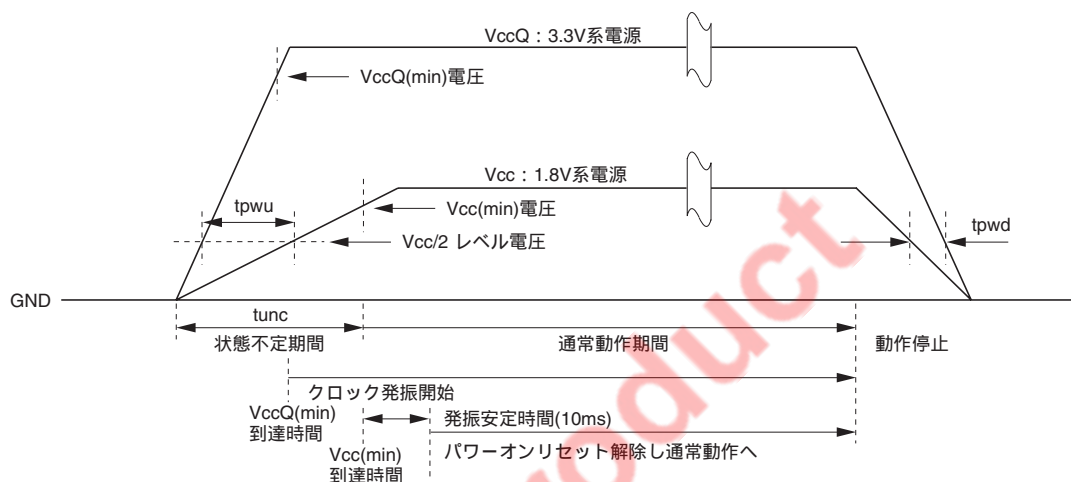


図 25.1 電源投入シーケンス

表 25.2 電源投入 / 切断時間推奨値

項目	記号	最大許容値	単位
V_{CCQ} - V_{CC} 電源投入時間差	tpwu	1	ms
V_{CCQ} - V_{CC} 電源切断時間差	tpwd	1	ms
状態不定期間	tunc	100	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。

上記の最大許容値でマイナス値は V_{CCQ} 、 V_{CC} の電源立ち上がり時間差を考慮した値であり、電源投入順序が V_{CC} V_{CCQ} となることを許容するものではありません。

V_{CC} (1.8V 系) の立ち上がり時間が早く V_{CCQ} (3.3V 系) の立ち上がりが遅い場合はマイナス値となります。

状態不定期間は各々の電源立ち上がりが過渡状態にある時間を意味します。

端子状態は $V_{CCQ}(\text{min})$ 到達時間で確定しますが、パワーオンリセット ($\overline{\text{RESETP}}$) が正常に受け付けられるのは $V_{CC}(\text{min})$ 到達時間以降でかつクロック発振安定時間以後となります。

状態不定期間は 100ms 以下となるようにしてください。

25.2 DC 特性

DC 特性を表 25.3、表 25.4 に示します。

表 25.3 DC 特性 (1) 【共通項目】

条件 : $T_a = -40 \sim 85$

項 目		記号	min	typ	max	単位	測定条件
消費電流*1	通常動作時	I_{CC}	-	300	400	mA	$V_{CC} = 1.8V$ $I = 100MHz$ $P = 33MHz$
		I_{CCQ}	-	10	20	mA	$V_{CCQ} = 3.3V$ $B = 50MHz$
	スタンバイ モード時	I_{stby}	-	200	1000	μA	$T_a = 25$ $V_{CCQ} = 3.3V$ $V_{CC} = 1.8V$
		I_{stbyQ}	-	5	20	μA	$V_{CC} = 1.8V$
	スリープ モード時	I_{sleep}	-	50	110	mA	$B = 50MHz$ $P = 33MHz$
			-	-	-	-	-
入力リーク電流	全入力端子	$ I_{in} $	-	-	1.0	μA	$V_{in} =$ $0.5 \sim V_{CCQ} - 0.5V$
スリープ状態 リーク電流	入出力、全出力端子 (ウィークキーバ端子 除く) (オフ状態)	$ I_{STI} $	-	-	1.0	μA	$V_{in} =$ $0.5 \sim V_{CCQ} - 0.5V$
端子容量	全端子	C_{in}	-	-	20	pF	
アナログ電源電圧 (AD)		$AV_{CC}(AD)$	3.0	3.3	3.6	V	
アナログ電源 電流 (AD)	A/D 変換期間	$AI_{CC}(AD)$	-	2	5	mA	
	アイドル		-	600	1000	μA	

【使用上の注意】A/D 変換器を使用しないときに、 AV_{CC} 、 AV_{SS} 端子を開放しないでください。

【注】 *1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。

*2 I_{CC} 、 I_{sleep} 、 I_{stby} は、 V_{CC} 、 $V_{CC}(PLL1)$ 、 $V_{CC}(PLL2)$ 系統で消費する電流の合計値です。

*3 I_{CCQ} 、 I_{stbyQ} は、 V_{CCQ} 、 AV_{CC} 系統で消費する電流の合計値です。

25. 電氣的特性

表 25.3 DC 特性 (2) 【I²C および USB 関連端子を除く】

条件: $V_{cc} = V_{cc}(PLL1,2) = 1.8V \pm 5\%$ 、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = V_{cc}(PLL1,2) = AV_{ss} = 0V$ 、

$T_a = -40 \sim 85$ (高温範囲品)

項 目	記号	min	typ	max	単位	測定条件	
電源電圧	V_{CCQ}	3.0	3.3	3.6	V		
	V_{CC}	1.71	1.8	1.89			
	$V_{CC}(PLL1)$ $V_{CC}(PLL2)$						
入力 High レベル電圧	RESETP、 RESETM、NM \bar{I} 、 MD3、2、0、 ASEMD \bar{O} 、TRST	V_{IH}	$V_{CCQ} \times 0.9$	-	$V_{CCQ} + 0.3$	V	
	EXTAL、CKIO		$V_{CCQ} - 0.3$	-	$V_{CCQ} + 0.3$		
	ポート G7 ~ G0		2.3	-	$V_{CCQ} + 0.3$		
	その他の入力端子 (シュミット端子 除く)		2.3	-	$V_{CCQ} + 0.3$		
入力 Low レベル電圧	RESETP、TCK、 RESETM、NM \bar{I} 、 MD3、2、0、 ASEMD \bar{O} 、TRST	V_{IL}	- 0.3	-	$V_{CCQ} \times 0.1$	V	
	EXTAL、CKIO		- 0.3	-	$V_{CCQ} \times 0.2$		
	ポート G7 ~ G0		- 0.3	-	$V_{CCQ} \times 0.2$		
	その他の入力端子 (シュミット端子 除く)		- 0.3	-	$V_{CCQ} \times 0.2$		
シュミット トリガ 入力特性	TIOC0A ~ 0D、 1A、1B、2A、2B、 3A ~ 3D、4A ~ 4D、 TCLKA ~ D、 SCK0 ~ 2、 RxD0 ~ 2、 CTS \bar{O} ~ 2、IRQ7 ~ 0	V_T^+	$V_{CCQ} \times 0.9$	-	-	V	
		V_T^-	-	-	$V_{CCQ} \times 0.2$	V	
		$V_T^+ - V_T^-$	$V_{CCQ} \times 0.05$	-	-	V	
出力 High レベル電圧	全出力端子*	V_{OH}	2.4	-	-	V	$I_{OH} = - 200 \mu A$
			2.0	-	-		$I_{OH} = - 2mA$
出力 Low レベル電圧	PE0 ~ PE4、PE6	V_{OL}	-	-	1.5	V	$I_{OL} = 15mA$
	上記、および SCL、 SDA 以外の全出力 端子*		-	-	0.4		$I_{OL} = 2mA$

項目	記号	min	typ	max	単位	測定条件
RAM スタンバイ 電圧	V _{RAM}	1.0	-	-	V	V _{CC} (=V _{CC} (PLL1,2)) をパラメータと して測定

【注】 * SCL、SDA 端子（オープンドレイン端子）
ただし、ポート機能を汎用入出力に選択した場合は、通常のポート出力の V_{OH}、V_{OL}、V_{IH}、V_{IL} 特性になります。

表 25.3 DC 特性 (3) 【I²C 関連端子*】条件：V_{CCQ} = 3.0 ~ 3.6V、V_{CC} = 1.8V ± 5%、V_{SSQ} = V_{SS} = 0V、T_a = -40 ~ 85（高温度範囲品）

項目	記号	min	typ	max	単位	測定条件
電源電圧	V _{CCQ}	3.0	3.3	3.6	V	
入力 High レベル電圧	V _{IH}	V _{CCQ} × 0.7	-	V _{CCQ} + 0.3	V	
入力 Low レベル電圧	V _{IL}	- 0.3	-	V _{CCQ} × 0.3	V	
シュミット・トリガ入力特性	V _{IH} -V _{IL}	V _{CCQ} × 0.05	-	-	V	
出力 Low レベル電圧	V _{OL}	0	-	0.4	V	I _{OL} = 3.0mA 時

【注】 * SCL、SDA 端子（オープンドレイン端子）
ただし、ポート機能を汎用入出力に選択した場合は、通常のポートの V_{OH}・V_{OL}、V_{IH}・V_{IL} 特性になります。

表 25.3 DC 特性 (4) 【USB 関連端子*】

条件：T_a = -40 ~ 85（高温度範囲品）

項目	記号	min	typ	max	単位	測定条件
電源電圧	V _{CCQ}	3.0	3.3	3.6	V	
入力 High レベル電圧	V _{IH}	2.3	-	V _{CCQ} + 0.3	V	
入力 Low レベル電圧	V _{IL}	- 0.3	-	V _{CCQ} × 0.2	V	
入力 High レベル電圧 (UCLK)	V _{IH} (UCLK)	V _{CCQ} - 0.3	-	V _{CCQ} + 0.3	V	
入力 Low レベル電圧 (UCLK)	V _{IL} (UCLK)	- 0.3	-	V _{CCQ} × 0.2	V	
出力 High レベル電圧	V _{OH}	2.4	-	-	V	V _{CCQ} = 3.0V、 I _{OH} = - 200 μA
		2.0	-	-		V _{CCQ} = 3.0V、 I _{OH} = - 2.0mA
出力 Low レベル電圧	V _{OL}	-	-	0.4	V	V _{CCQ} = 3.6V、 I _{OL} = 2.0mA

【注】 * XVDATA、DPLS、DMNS、TXDPLS、TXDMNS、TXENL、VBUS、SUSPND、UCLK の各端子

25. 電气的特性

表 25.3 DC 特性 (5) 【USB トランシーバ関連端子*】

条件: $T_a = -40 \sim 85$ (高温範囲品)

項目	記号	min	typ	max	単位	測定条件
差動入力感度	V_{DI}	0.2	-	-	V	$ (DP)-(DM) $
差動コモンモード範囲	V_{CM}	0.8	-	2.5	V	
シングルエンディッドレシーバ スレッシュホールド電圧	V_{SE}	0.8	-	2.0	V	
出力 High レベル電圧	V_{OH}	2.8	-	V_{CCQ}	V	
出力 Low レベル電圧	V_{OL}	-	-	0.3	V	
トリステートリーク電流	I_{LO}	-10	-	10	μA	$0V < V_{IN} < 3.3V$

【注】 * DP、DM 端子

表 25.4 出力許容電流値

条件: $V_{CC} = 1.8V \pm 5\%$ 、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ (高温範囲品)

項目		記号	min	typ	max	単位
出力ローレベル 許容電流 (1 端子当たり)	SCL、SDA	I_{OL}	-	-	10	mA
	PE0 ~ PE4、PE6				15	
	その他の端子				2	
出力ローレベル許容電流 (総和)		ΣI_{OL}	-	-	120	mA
出力ハイレベル許容電流 (1 端子当たり)		$-I_{OH}$	-	-	2	mA
出力ハイレベル許容電流 (総和)		$\Sigma -I_{OH}$	-	-	40	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 25.4 の値を超えないようにしてください。

25.3 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがない限り、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 25.5 最大動作周波数

条件： $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.8V \pm 5\%$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SSQ} = V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ （高温範囲品）

項 目		記号	min	typ	max	単位	備考
動作周波数	CPU、キャッシュ (I)	f	20	-	100	MHz	
	外部バス (B)		20	-	50		
	周辺モジュール (P)		5	-	33		

25.3.1 クロックタイミング

表 25.6 クロックタイミング

条件： $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.8V \pm 5\%$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SSQ} = V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ （高温範囲品）

項 目	記号	min	max	単位	参照図
EXTAL クロック入力周波数	f_{EX}	10	25	MHz	25.2
EXTAL クロック入力サイクル時間	t_{EXcyc}	40	100	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	7	-	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	7	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXr}	-	4	ns	
EXTAL クロック入力立ち下がり時間	t_{EXf}	-	4	ns	
CKIO クロック入力周波数	f_{CK}	20	50	MHz	25.3
CKIO クロック入力サイクル時間	t_{CKcyc}	20	50	ns	
CKIO クロック入力 Low レベルパルス幅	t_{CKIL}	7	-	ns	
CKIO クロック入力 High レベルパルス幅	t_{CKIH}	7	-	ns	
CKIO クロック入力立ち上がり時間	t_{CKlr}	-	3	ns	
CKIO クロック入力立ち下がり時間	t_{CKlf}	-	3	ns	
CKIO、CKIO2 クロック出力周波数	f_{OP}	20	50	MHz	25.4
CKIO、CKIO2 クロック出力サイクル時間	t_{cyc}	20	50	ns	
CKIO、CKIO2 クロック出力 Low レベルパルス幅	t_{CKOL}	7	-	ns	
CKIO、CKIO2 クロック出力 High レベルパルス幅	t_{CKOH}	7	-	ns	
CKIO、CKIO2 クロック出力立ち上がり時間	t_{CKOr}	-	5	ns	
CKIO、CKIO2 クロック出力立ち下がり時間	t_{CKOf}	-	5	ns	
パワーオン発振安定時間	t_{OSC1}	10	-	ms	25.5
CKIO ~ CKIO2 位相差	$t_{phckio2}$	-	3	ns	25.6
スタンバイ復帰発振安定時間 1	t_{OSC2}	10	-	ms	25.7
スタンバイ復帰発振安定時間 2	t_{OSC3}	10	-	ms	25.8

25. 電気的特性

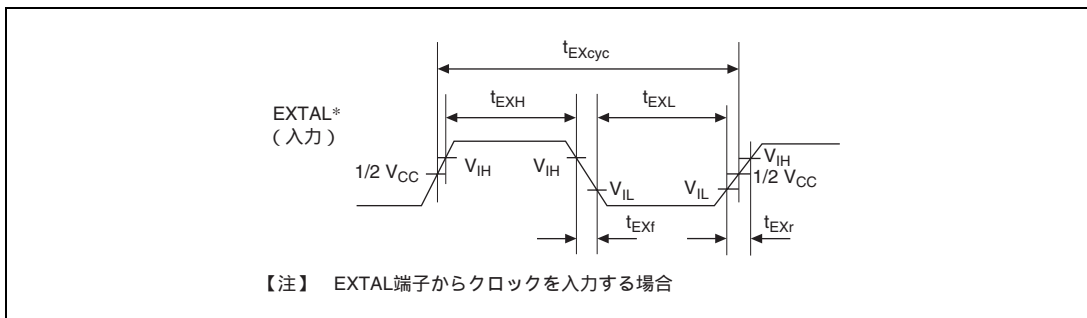


図 25.2 EXTAL クロック入力タイミング

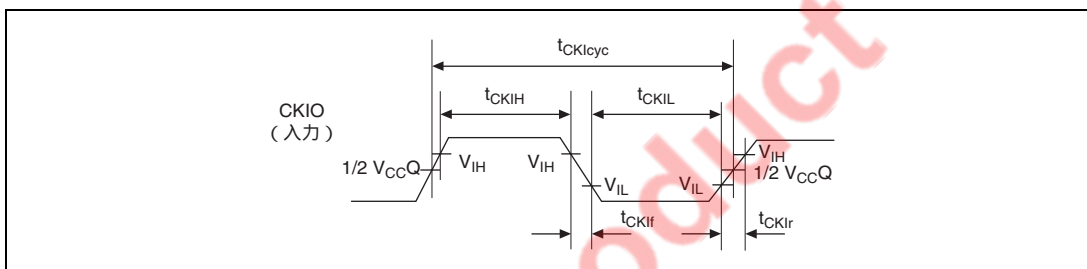


図 25.3 CKIO クロック入力タイミング

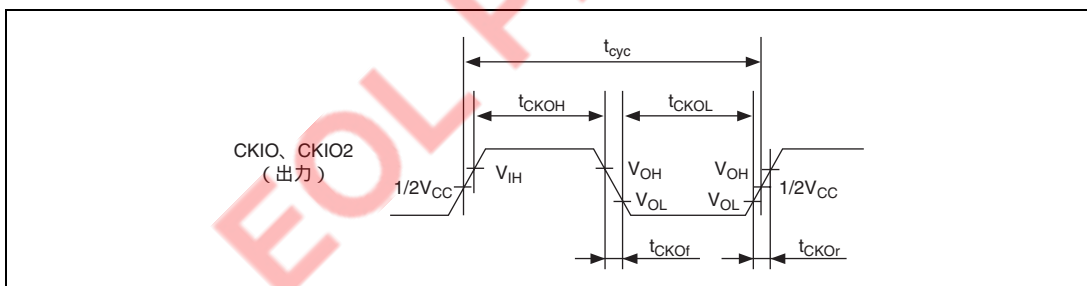


図 25.4 CKIO、CKIO2 クロック出力タイミング

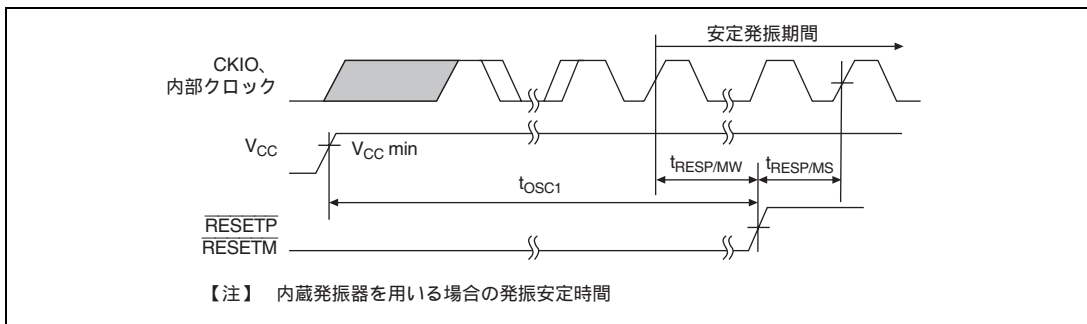


図 25.5 パワーオン発振安定時間

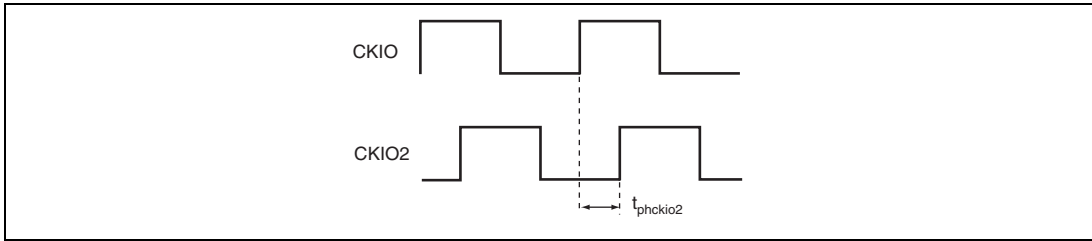


図 25.6 CKIO ~ CKIO2 位相差

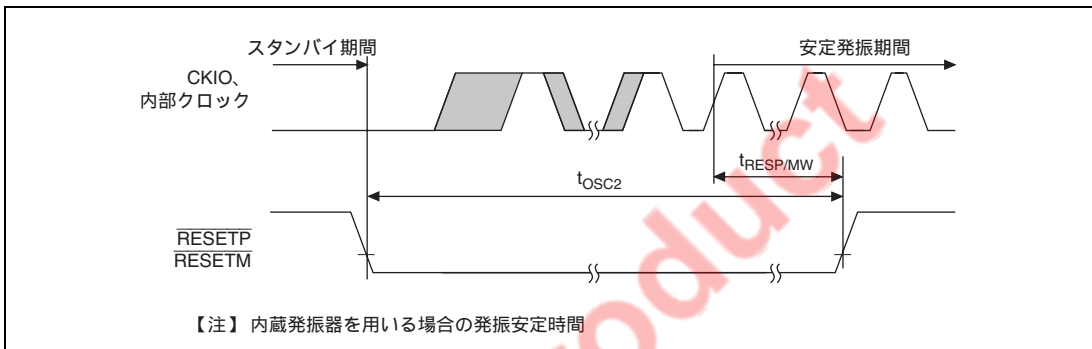


図 25.7 スタンバイ復帰時発振安定時間（リセットによる復帰）

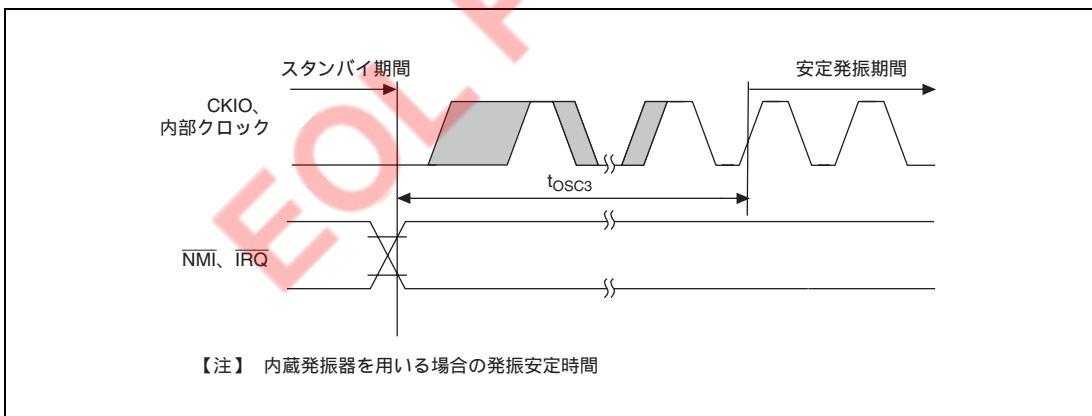


図 25.8 スタンバイ復帰時発振安定時間（NMI、 \overline{IRQ} による復帰）

25. 電気的特性

25.3.2 制御信号タイミング

表 25.7 制御信号タイミング

条件： $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.8V \pm 5\%$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SSQ} = V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ （高温範囲品）

項目	記号	B = 50MHz		単位	参照図
		min	max		
RESETP パルス幅	t_{RESPW}	20^{*2}	-	Bcyc ^{*4}	25.5
RESETP セットアップ時間 ^{*1}	t_{RESPTS}	22	-	ns	25.6
RESETP ホールド時間	t_{RESPTH}	2	-	ns	25.9
RESETM パルス幅	t_{RESMW}	12^{*3}	-	Bcyc ^{*4}	25.10
RESETM セットアップ時間	t_{RESMS}	22	-	ns	
RESETM ホールド時間	t_{RESMH}	12	-	ns	
BREQ セットアップ時間	t_{BREQS}	$1/2t_{cyc} + 10$	-	ns	25.11
BREQ ホールド時間	t_{BREQH}	$1/2t_{cyc} + 10$	-	ns	
NMI セットアップ時間 ^{*1}	t_{NMIS}	30	-	ns	25.10
NMI ホールド時間	t_{NMIH}	30	-	ns	
IRQ7 ~ IRQ0 セットアップ時間 ^{*1}	t_{IRQS}	30	-	ns	
IRQ7 ~ IRQ0 ホールド時間	t_{IRQH}	30	-	ns	25.11
BACK 遅延時間	t_{BACKD}	-	$1/2t_{cyc} + 13$	ns	
STATUS1、STATUS0 遅延時間	t_{STD}	-	100	ns	
バスタイム遅延時間 1	t_{BOFF1}	0	100	ns	
バスタイム遅延時間 2	t_{BOFF2}	0	100	ns	
バスバッファオンタイム 1	t_{BON1}	0	30	ns	
バスバッファオンタイム 2	t_{BON2}	0	30	ns	

【注】 *1 RESETP、NMI および IRQ7 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイモード時は、 $t_{RESPW} = t_{OSC2}$ (10ms) になります。クロック逡倍率が変化したときも、 $t_{RESPW} = t_{PLL1}$ (100 μ s) になります。

*3 スタンバイモード時は、 $t_{RESMW} = t_{OSC2}$ (10ms) となります。クロック逡倍率が変化したときも、STATUS (0 1) がリセット (HH) に変わるまで RESETM をローレベルに保ってください。

*4 Bcyc は外部バスクロックサイクル (B クロックサイクル) を示します。

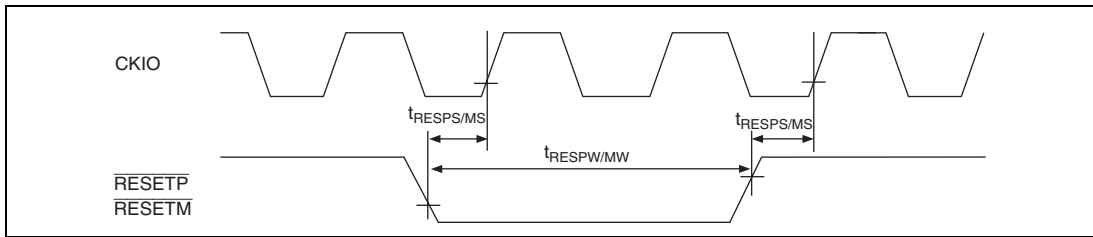


図 25.9 リセット入力タイミング

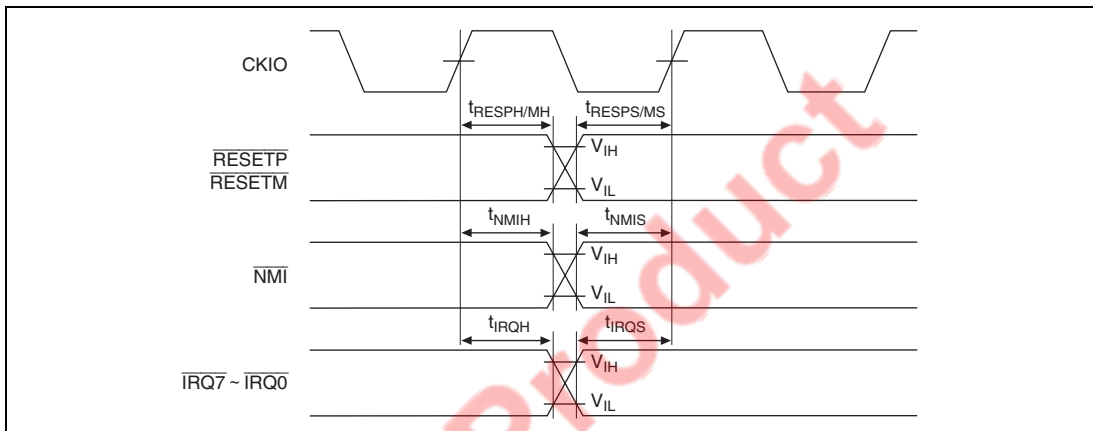


図 25.10 割り込み信号入力タイミング

25. 電気的特性

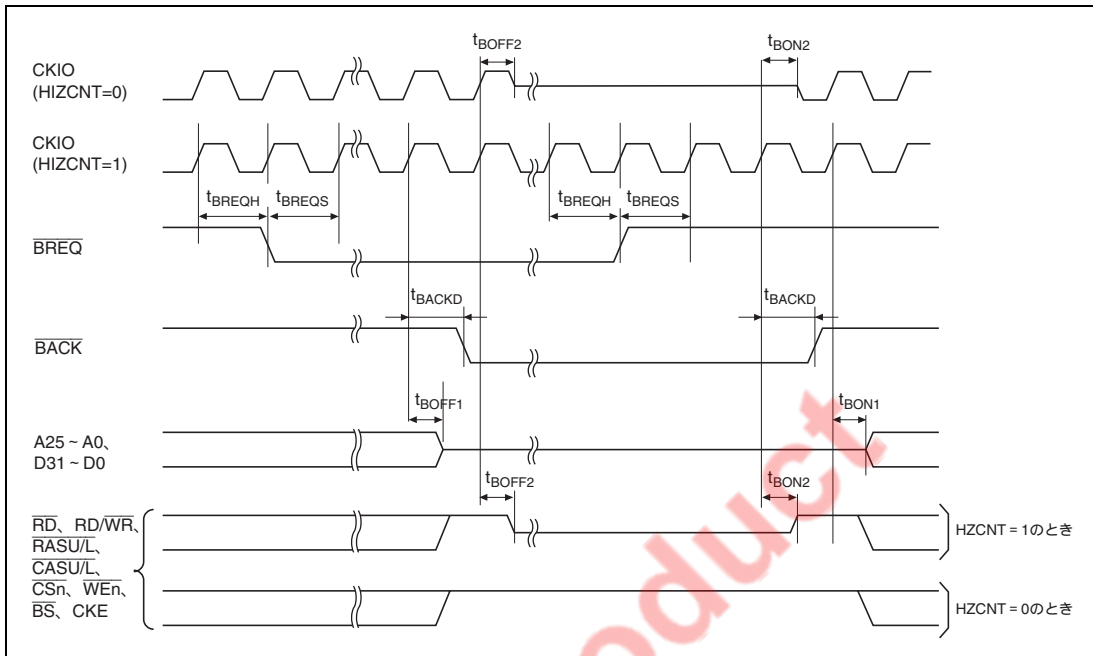


図 25.11 バス権解放タイミング

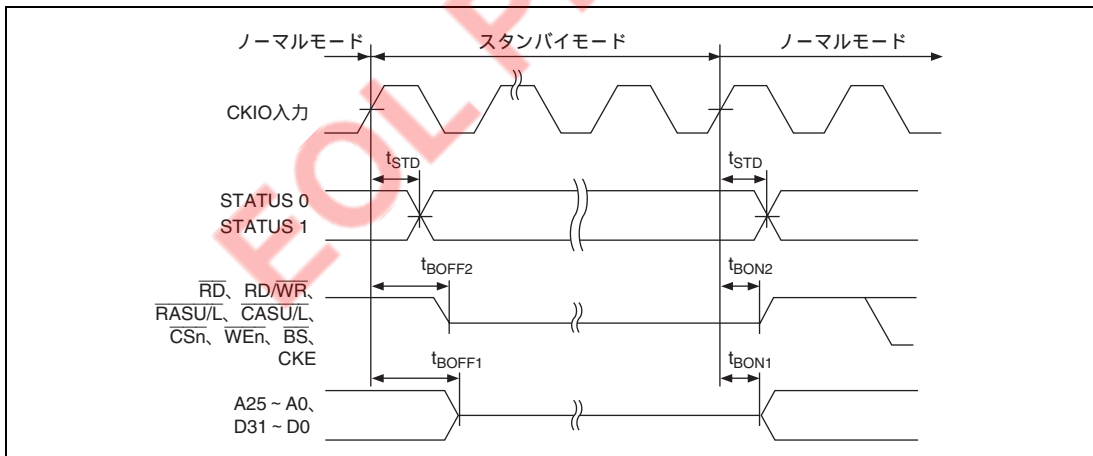


図 25.12 スタンバイ時の端子ドライブタイミング

25.3.3 AC バスタイミング仕様

表 25.8 バスタイミング

条件：クロックモード 2/6/7、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{SSQ} = 0V$ 、 $T_a = -40 \sim 85$ （高温範囲品）

項目	記号	B = 50MHz*		単位	参照図
		min	max		
アドレス遅延時間 1	t_{AD1}	1	12	ns	25.13 ~ 25.39
アドレス遅延時間 2	t_{AD2}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.22
アドレス遅延時間 3	t_{AD3}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.40、25.41
アドレスセットアップ時間	t_{AS}	0	-	ns	25.13 ~ 25.18
アドレスホールド時間	t_{AH}	0	-	ns	25.13 ~ 25.17
\overline{BS} 遅延時間	t_{BSD}	-	12	ns	25.13 ~ 25.36
\overline{CS} 遅延時間 1	t_{CSD1}	1	12	ns	25.13 ~ 25.39
\overline{CS} 遅延時間 2	t_{CSD2}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.40、25.41
リードライト遅延時間 1	t_{RWD1}	1	12	ns	25.13 ~ 25.39
リードライト遅延時間 2	t_{RWD2}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.40、25.41
リードストロブ遅延時間	t_{RSD}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.13 ~ 25.18、25.20 ~ 25.22
リードデータセットアップ時間 1	t_{RDS1}	$1/2t_{cyc}+8$	-	ns	25.13 ~ 25.18、25.20、25.21
リードデータセットアップ時間 2	t_{RDS2}	8	-	ns	25.23 ~ 25.26、25.31 ~ 25.33
リードデータセットアップ時間 3	t_{RDS3}	$1/2t_{cyc}+8$	-	ns	25.22
リードデータセットアップ時間 4	t_{RDS4}	$1/2t_{cyc}+8$	-	ns	25.40
リードデータホールド時間 1	t_{RDH1}	0	-	ns	25.13 ~ 25.18、25.20
リードデータホールド時間 2	t_{RDH2}	2	-	ns	25.23 ~ 25.26、25.31 ~ 25.33
リードデータホールド時間 3	t_{RDH3}	0	-	ns	25.22
リードデータホールド時間 4	t_{RDH4}	$1/2t_{cyc}+5$	-	ns	25.40
ライトイネーブル遅延時間 1	t_{WED1}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.13 ~ 25.18、25.20
ライトイネーブル遅延時間 2	t_{WED2}	-	12	ns	25.21
ライトデータ遅延時間 1	t_{WDD1}	-	14	ns	25.13 ~ 25.21
ライトデータ遅延時間 2	t_{WDD2}	-	14	ns	25.27 ~ 25.30、25.34 ~ 25.36
ライトデータ遅延時間 3	t_{WDD3}	-	$1/2t_{cyc}+14$	ns	25.40
ライトデータホールド時間 1	t_{WDH1}	1	-	ns	25.13 ~ 25.21
ライトデータホールド時間 2	t_{WDH2}	1	-	ns	25.27 ~ 25.30、25.34 ~ 25.36
ライトデータホールド時間 3	t_{WDH3}	$1/2t_{cyc}$	-	ns	25.40
WAIT セットアップ時間 1	t_{WTS1}	$1/2t_{cyc}+8$	-	ns	25.14、25.15、25.17 ~ 25.22
WAIT セットアップ時間 2	t_{WTS2}	8	-	ns	25.16
WAIT ホールド時間 1	t_{WTH1}	$1/2t_{cyc}+4$	-	ns	25.14、25.15、25.17 ~ 25.22
WAIT ホールド時間 2	t_{WTH2}	4	-	ns	25.16
\overline{RAS} 遅延時間 1	t_{RASD1}	1	12	ns	25.23 ~ 25.34、25.36 ~ 25.39

25. 電気的特性

項目	記号	B = 50MHz*		単位	参照図
		min	max		
RAS 遅延時間 2	t_{RASD2}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.40、25.41
CAS 遅延時間 1	t_{CASD1}	1	12	ns	25.23 ~ 25.39
CAS 遅延時間 2	t_{CASD2}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.40、25.41
DQM 遅延時間 1	t_{DQMD1}	1	12	ns	25.23 ~ 25.36
DQM 遅延時間 2	t_{DQMD2}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.40、25.41
CKE 遅延時間 1	t_{CKED1}	1	12	ns	25.38
CKE 遅延時間 2	t_{CKED2}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.41
AH 遅延時間	t_{AHD}	$1/2t_{cyc}$	$1/2t_{cyc}+12$	ns	25.18
マルチプレクスアドレス遅延時間	t_{MAD}	-	12	ns	25.18
マルチプレクスアドレスホールド時間	t_{MAH}	0	-	ns	25.18
DACK、TEND 遅延時間	t_{DACD}	-	周辺モジュール参照	ns	25.13 ~ 25.34
FRAME 遅延時間	t_{FMD}	1	12	ns	25.19

【注】 * B (外部バスクロック)の f_{max} は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。

25.3.4 基本タイミング

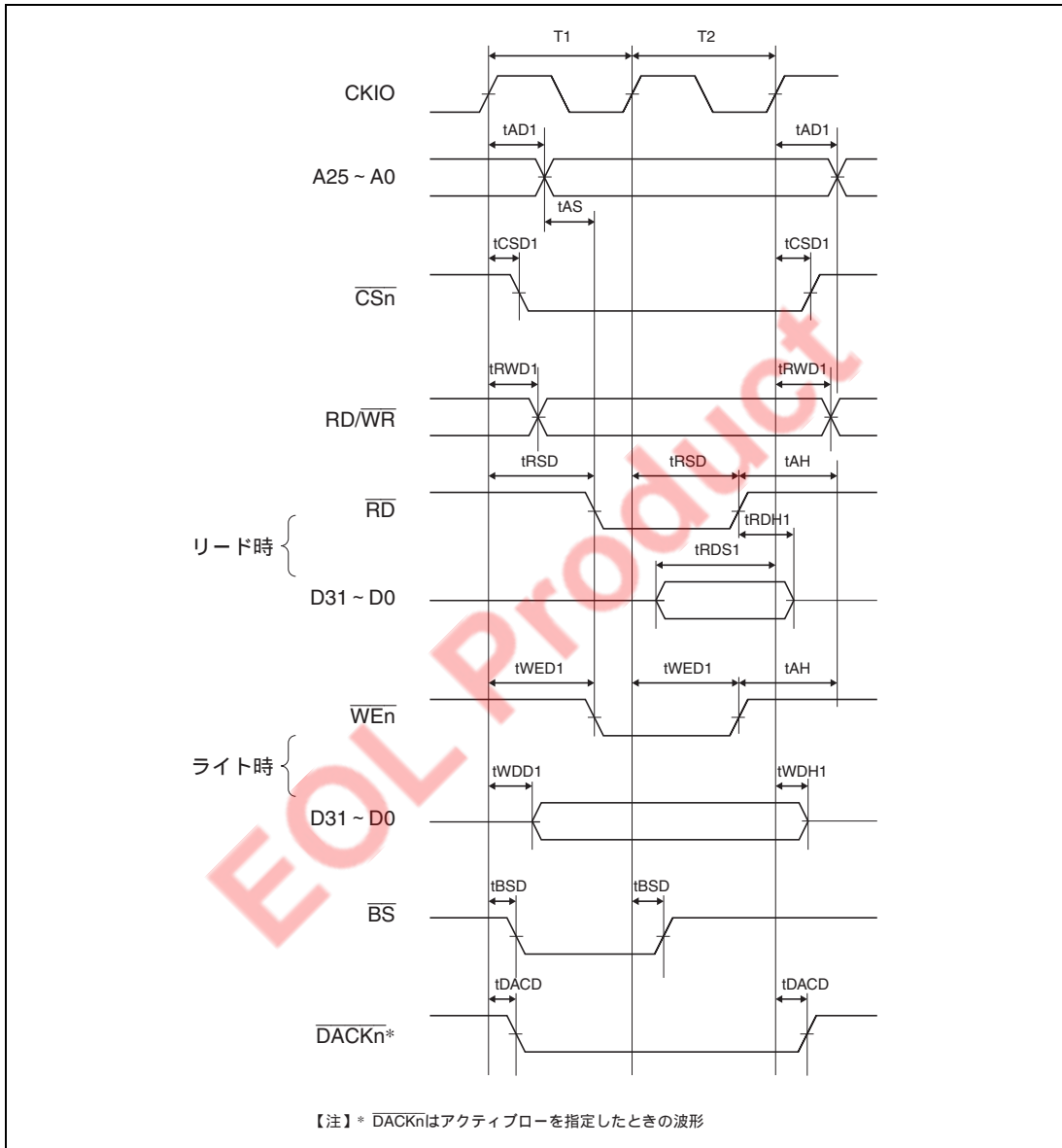


図 25.13 通常空間基本バスサイクル (ノーウェイト)

25. 電気的特性

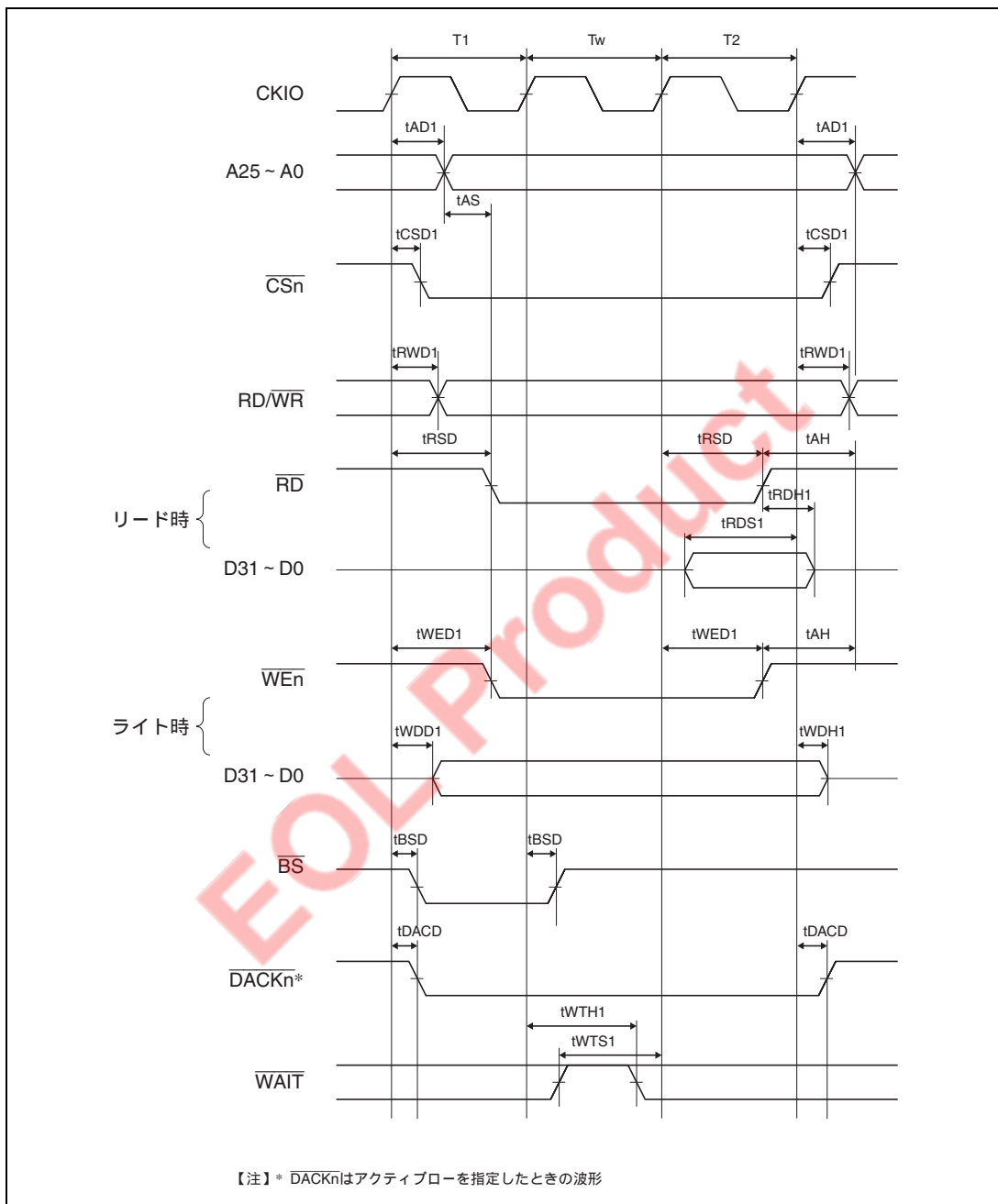
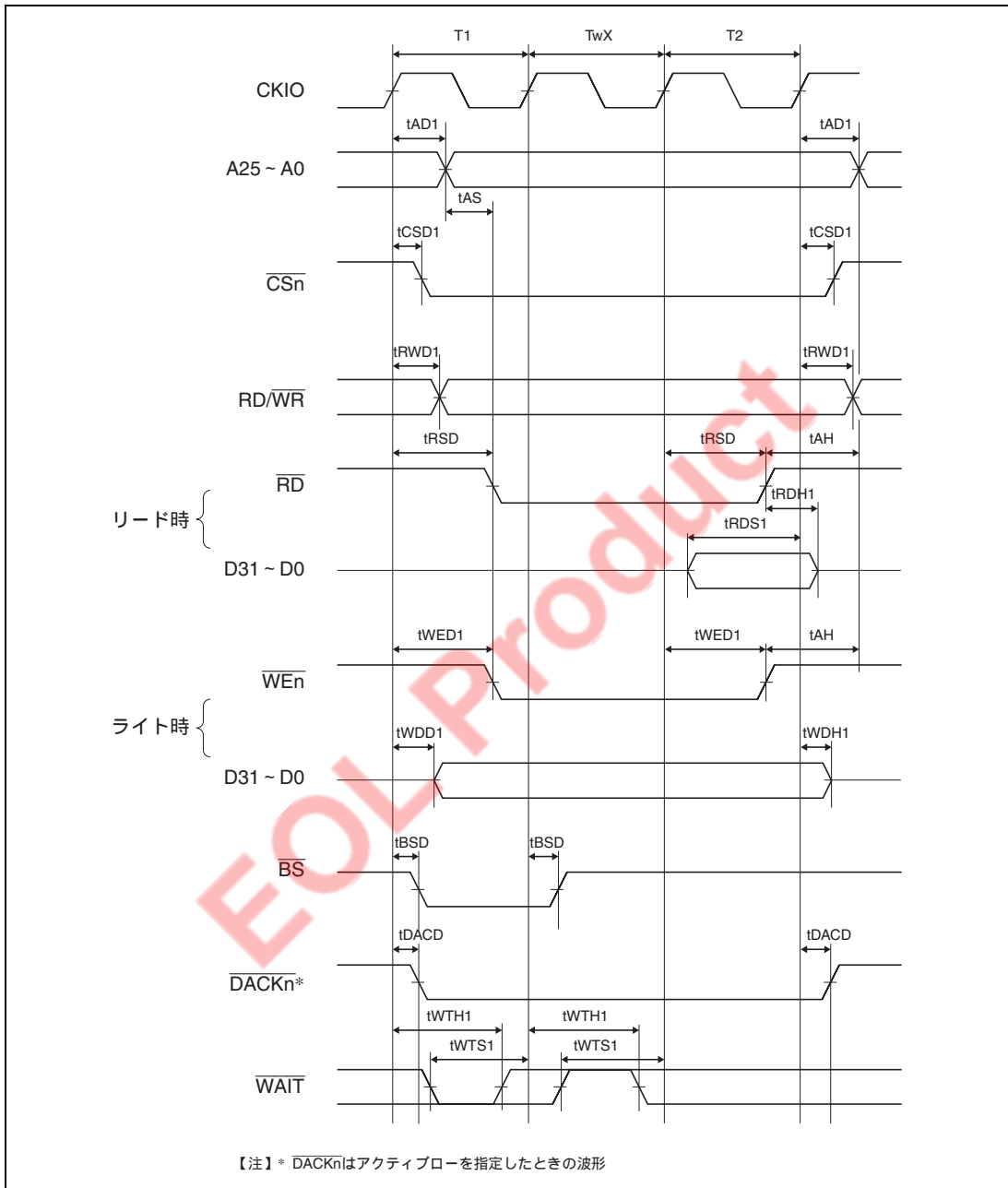


図 25.14 通常空間基本バスサイクル (ソフトウェアウェイト 1)



【注】* DACK_nはアクティブローを指定したときの波形

図 25.15 通常空間基本バスサイクル (外部ウェイト 1 挿入、WAITSEL = 0)

25. 電気的特性

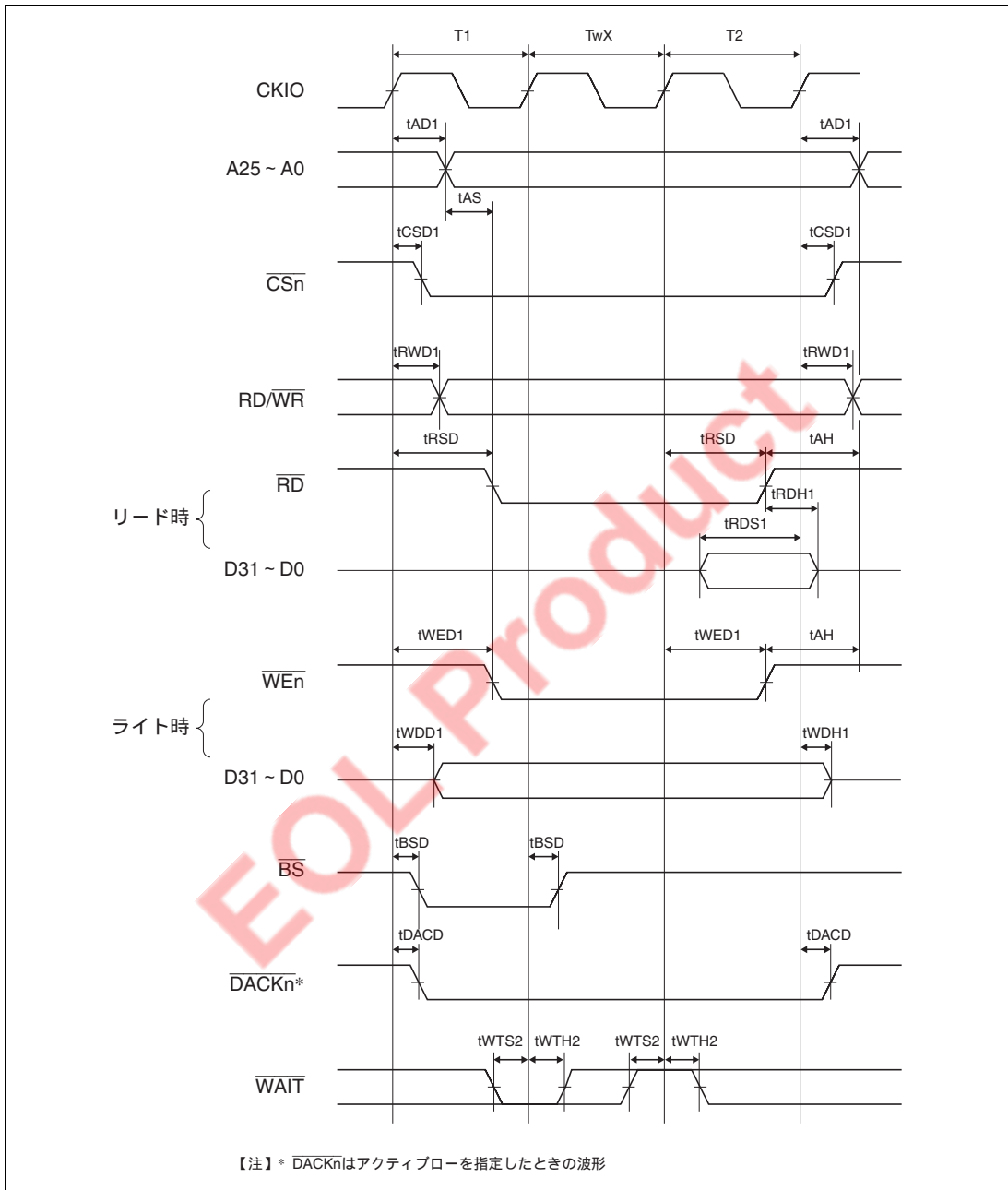


図 25.16 通常空間基本バスサイクル (外部ウェイト 1 挿入、WAITSEL = 1)

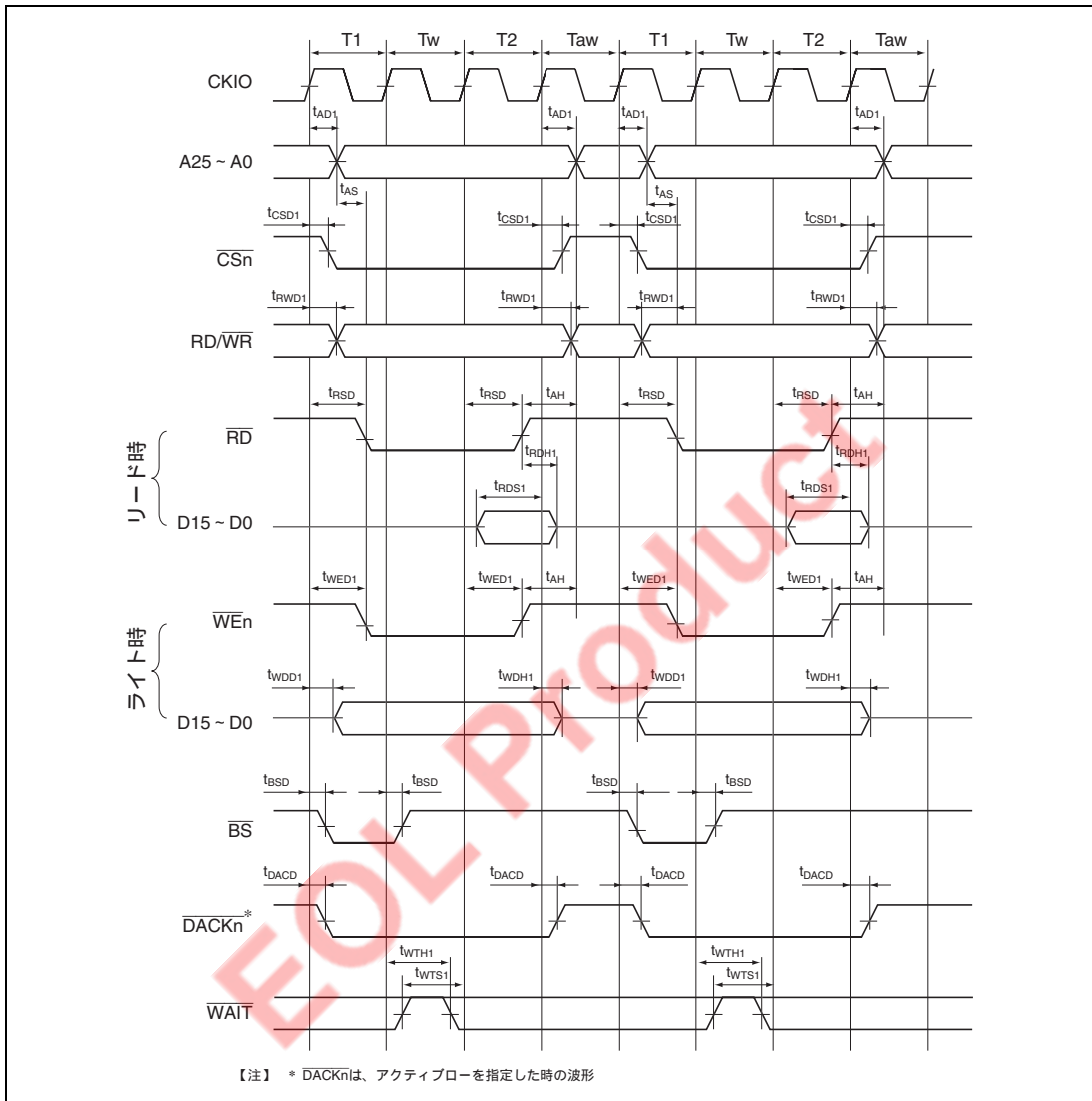


図 25.17 通常空間基本バスサイクル
(ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクル無し)

25. 電気的特性

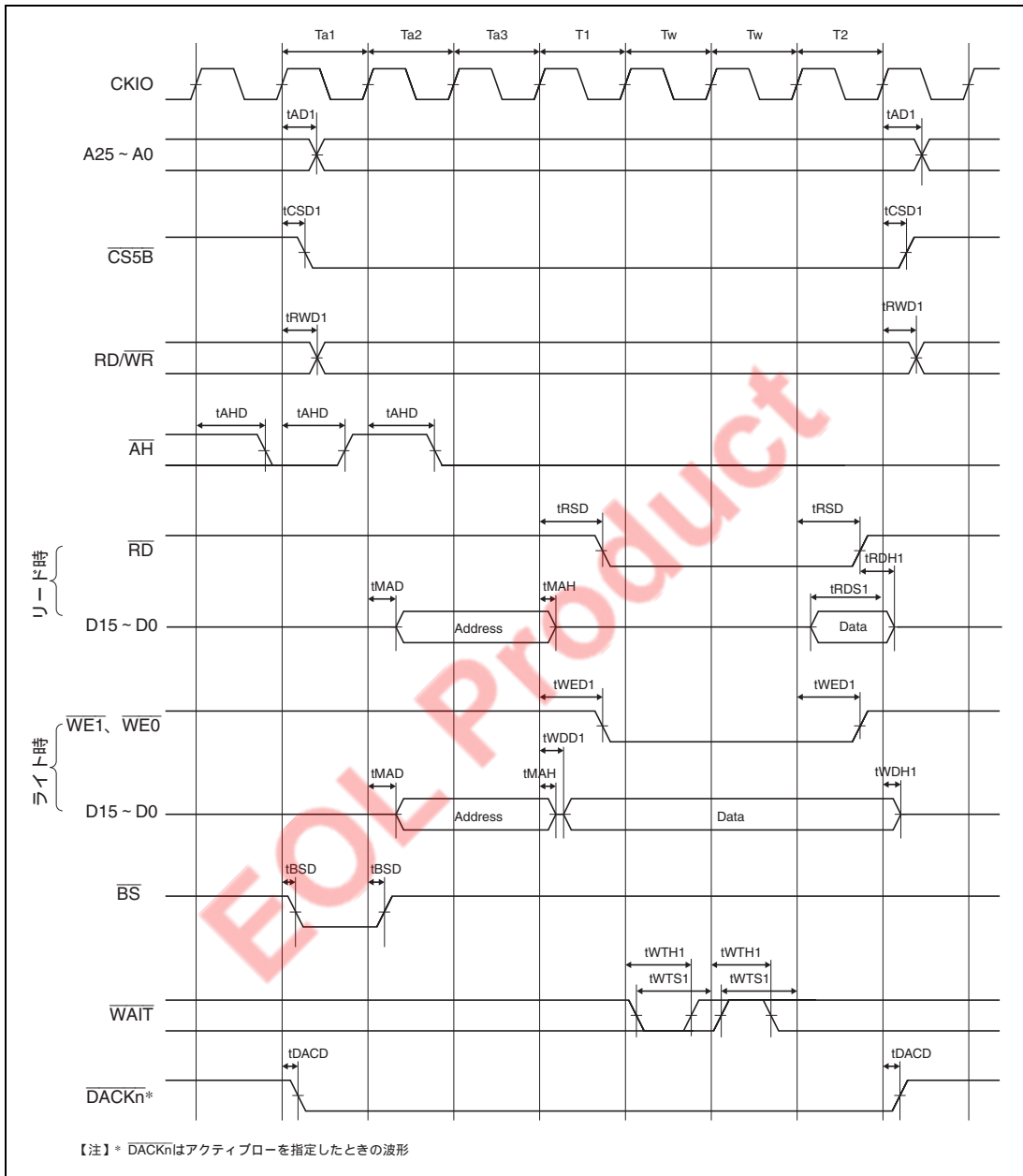


図 25.18 MPX-IO インタフェースバスサイクル
(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)

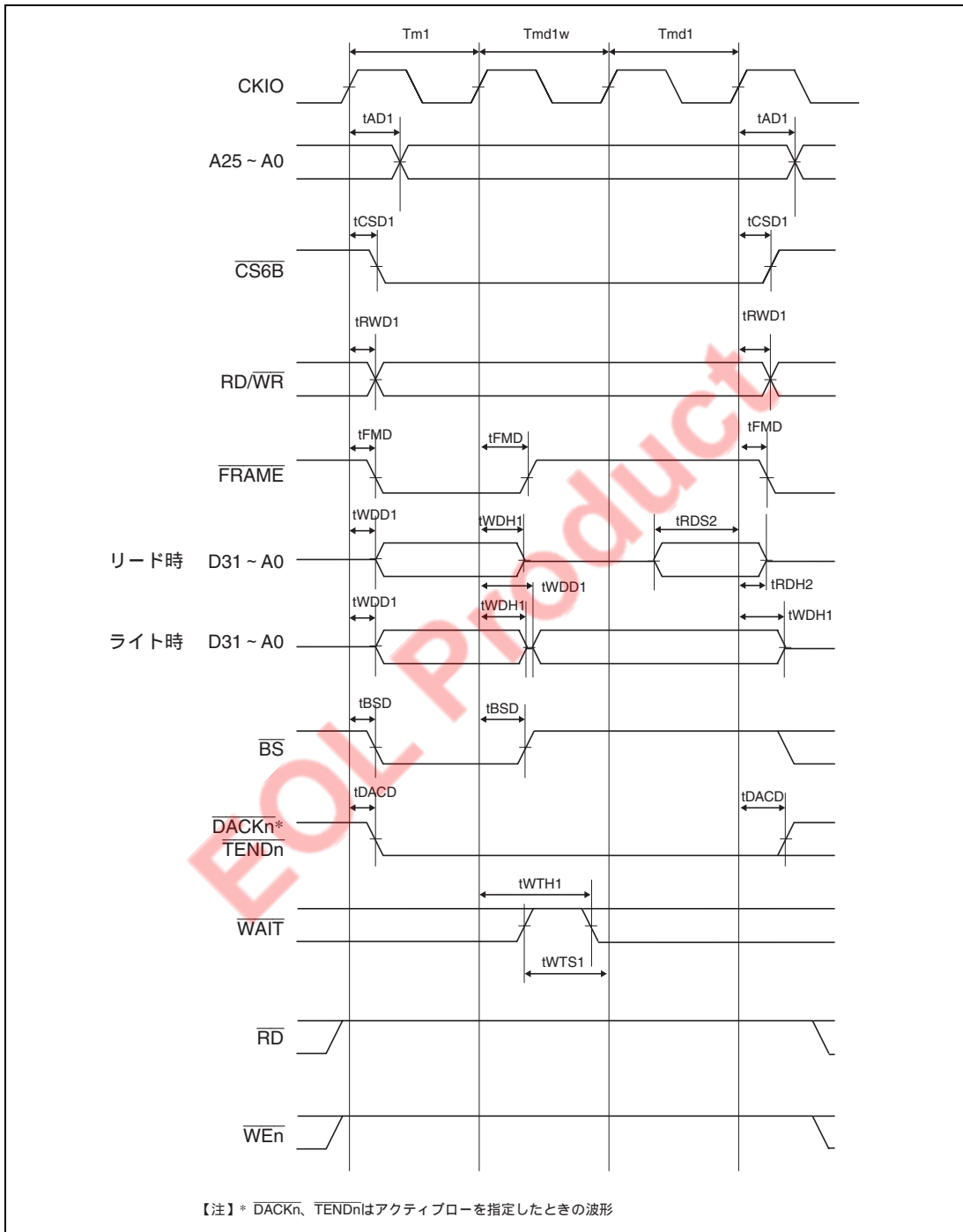


図 25.19 バースト MPX-IO インタフェースバスサイクル シングルリードライト (アドレスサイクル1、ソフトウェアウェイト1)

25.3.5 バイト選択付 SRAM バスサイクル

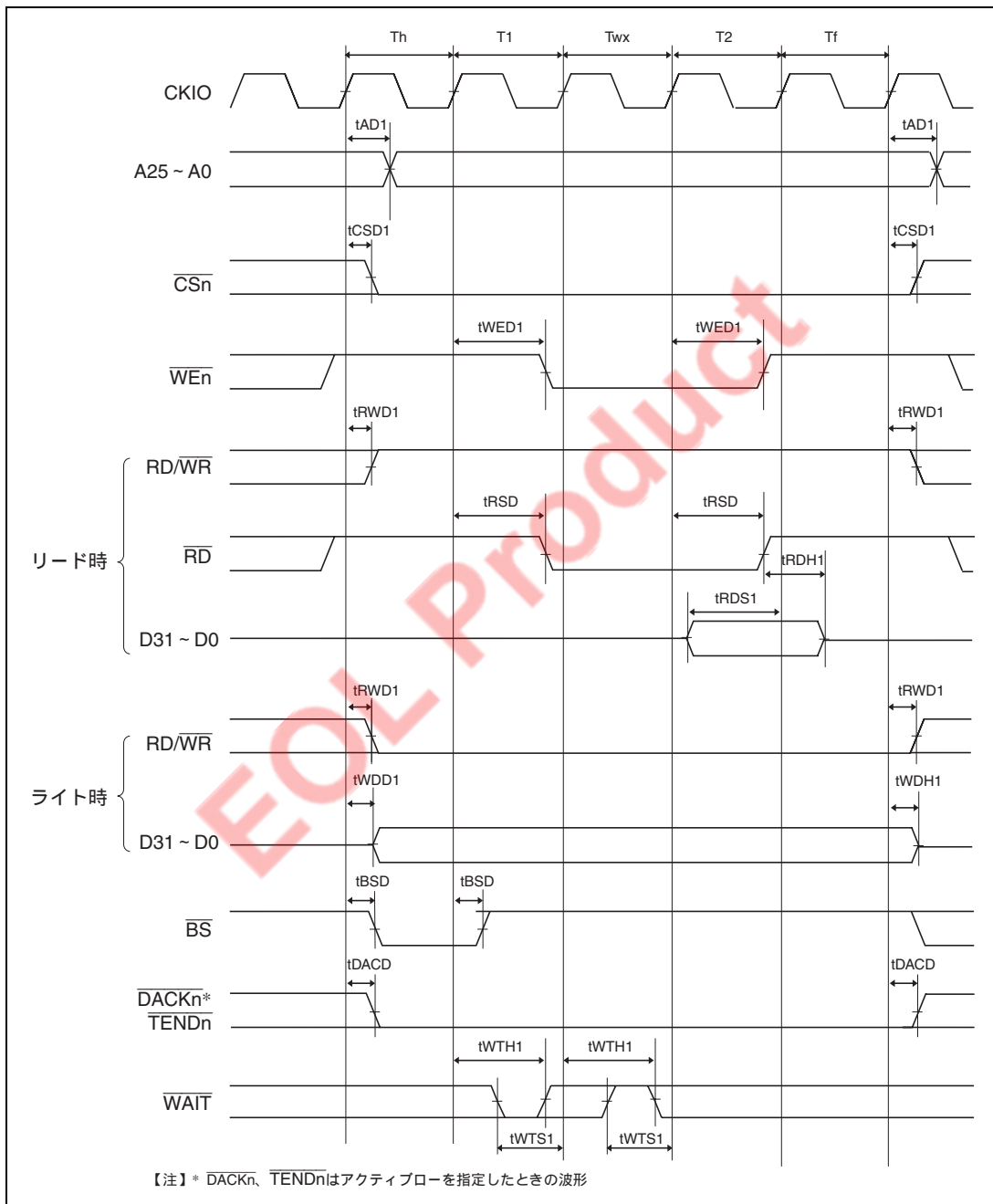


図 25.20 バイト選択付 SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB/LB コントロール))

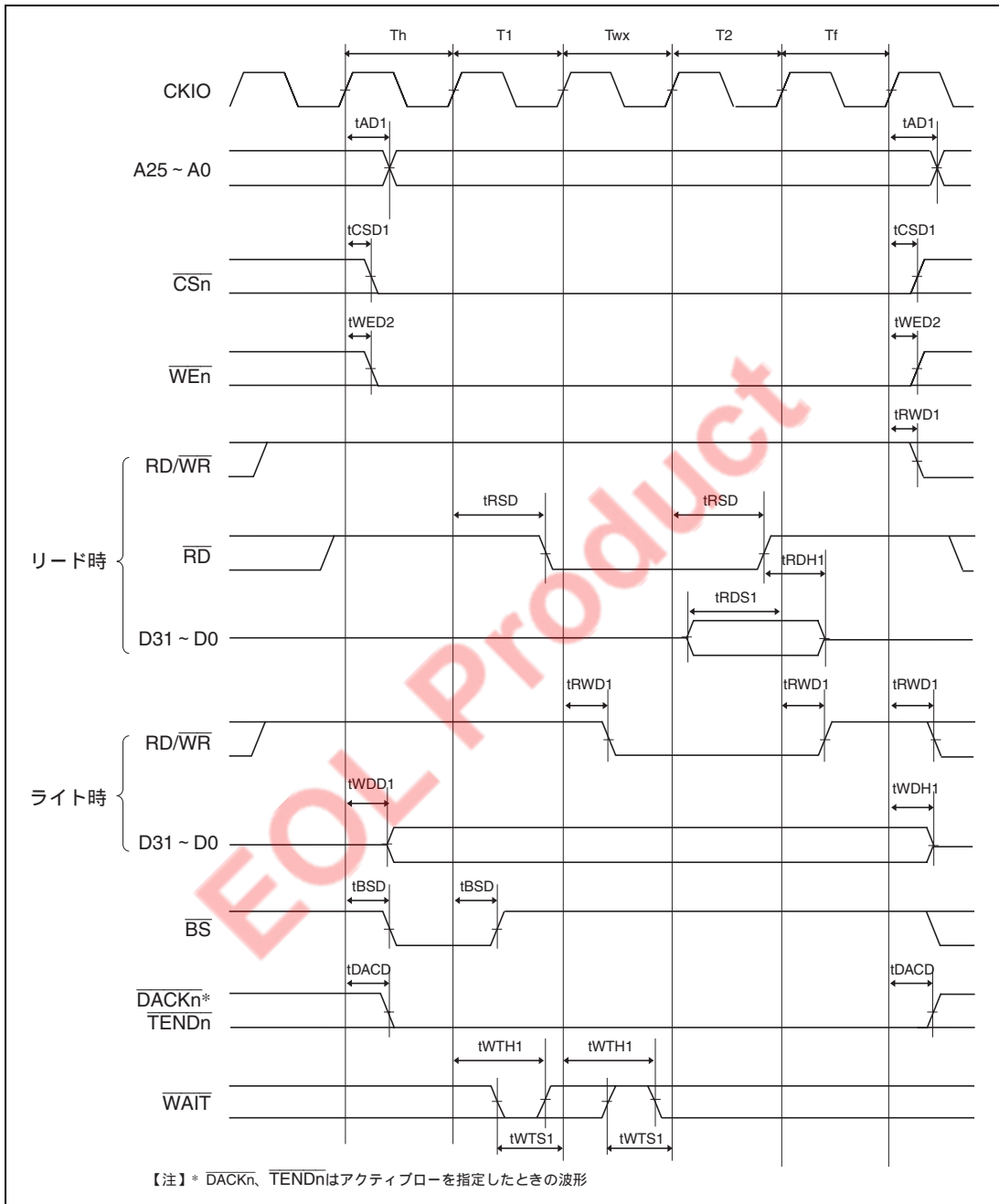


図 25.21 バイト選択付 SRAM バスサイクル (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=1 (ライトサイクル WE コントロール))

25.3.6 バースト ROM リードサイクル

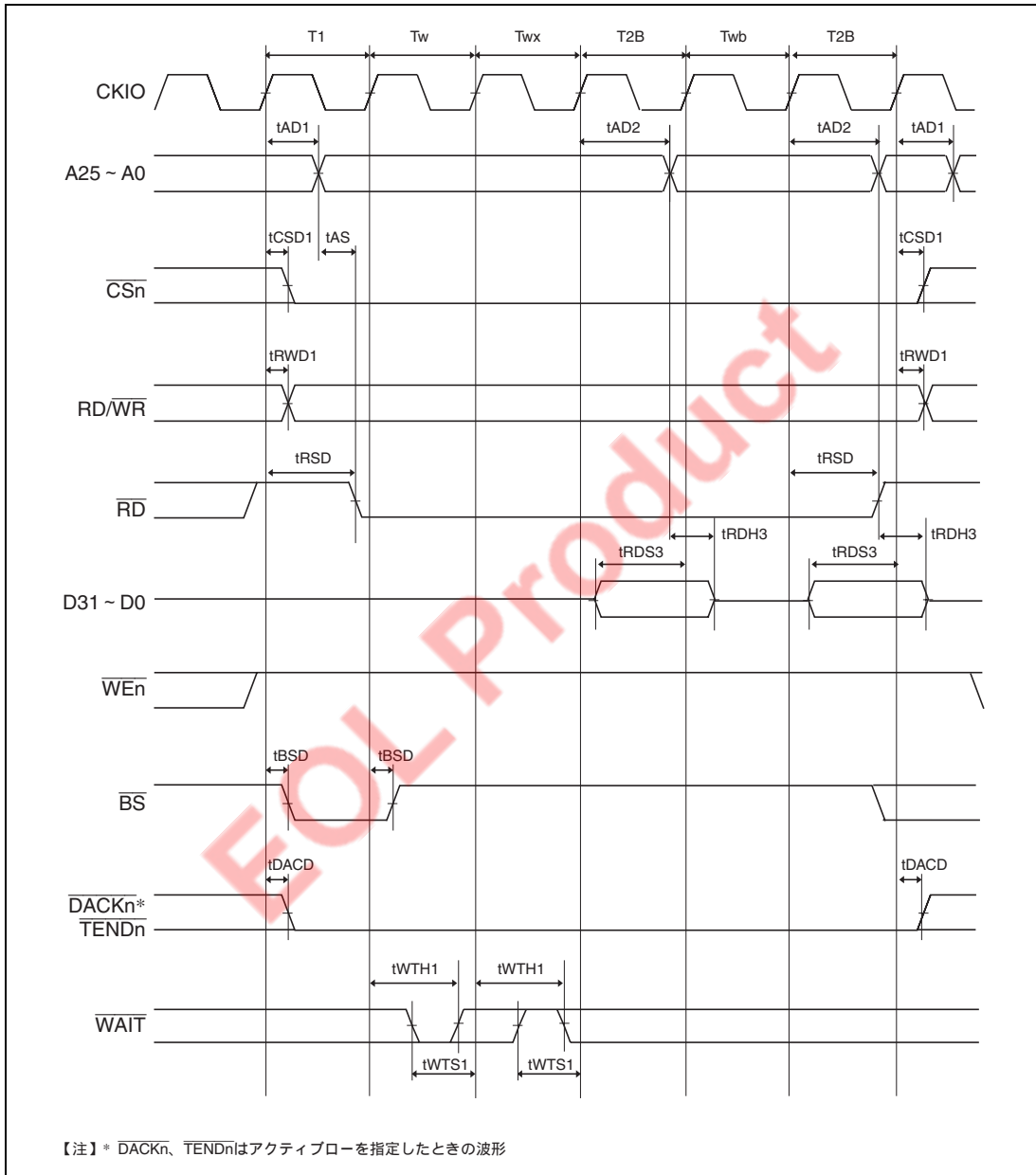


図 25.22 バースト ROM リードサイクル
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト)

25.3.7 シンクロナス DRAM タイミング

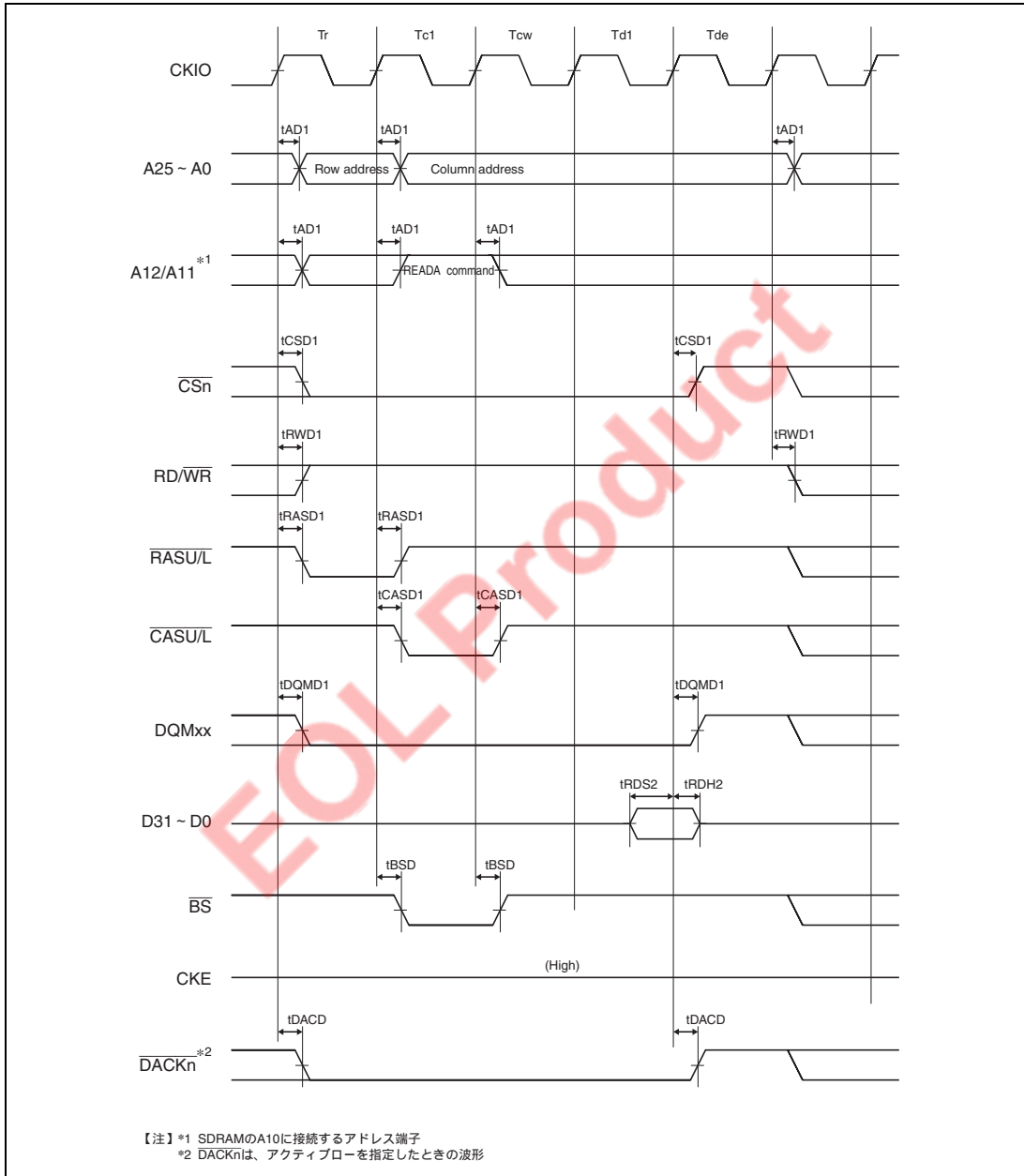


図 25.23 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

25. 電気的特性

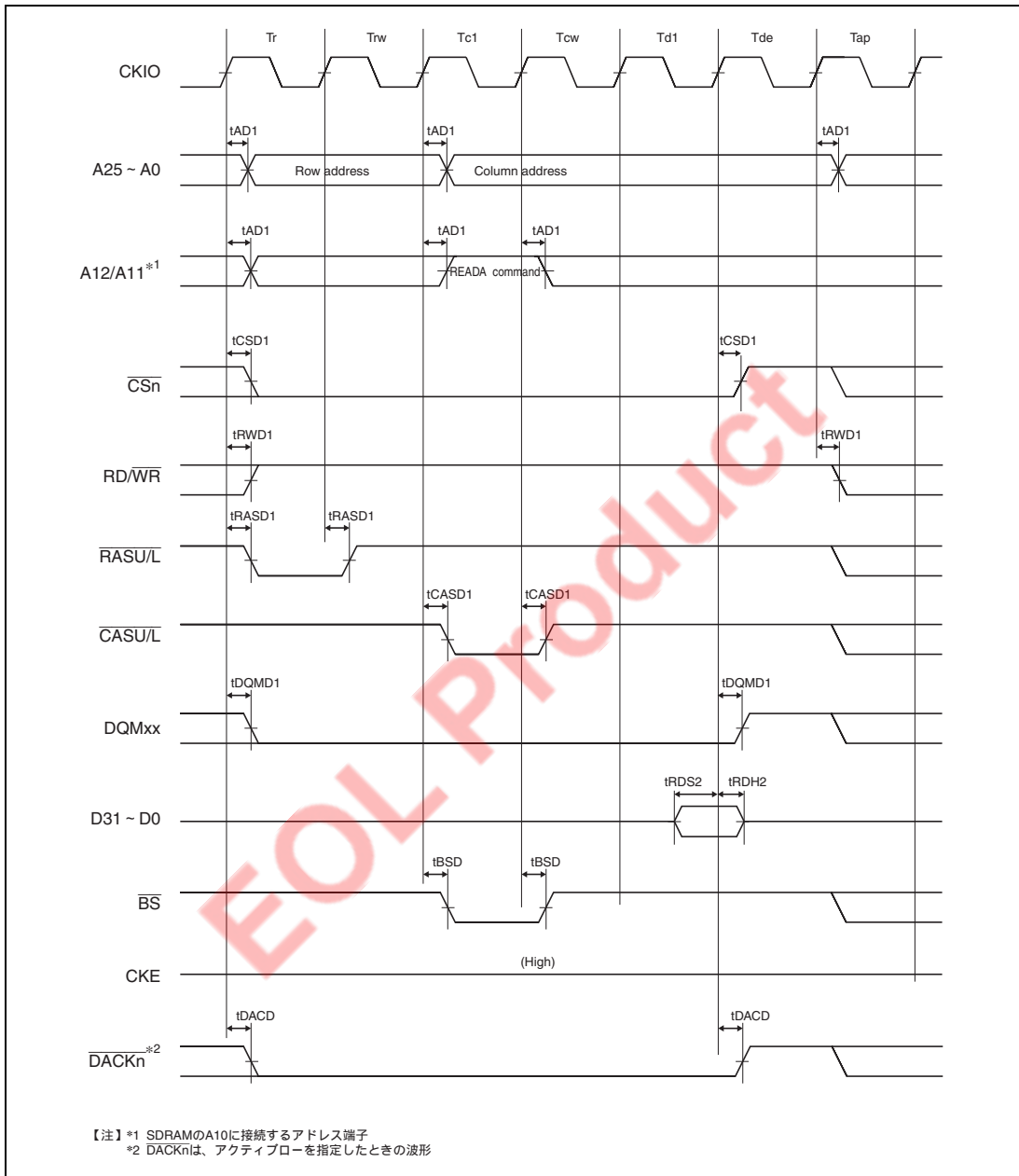


図 25.24 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

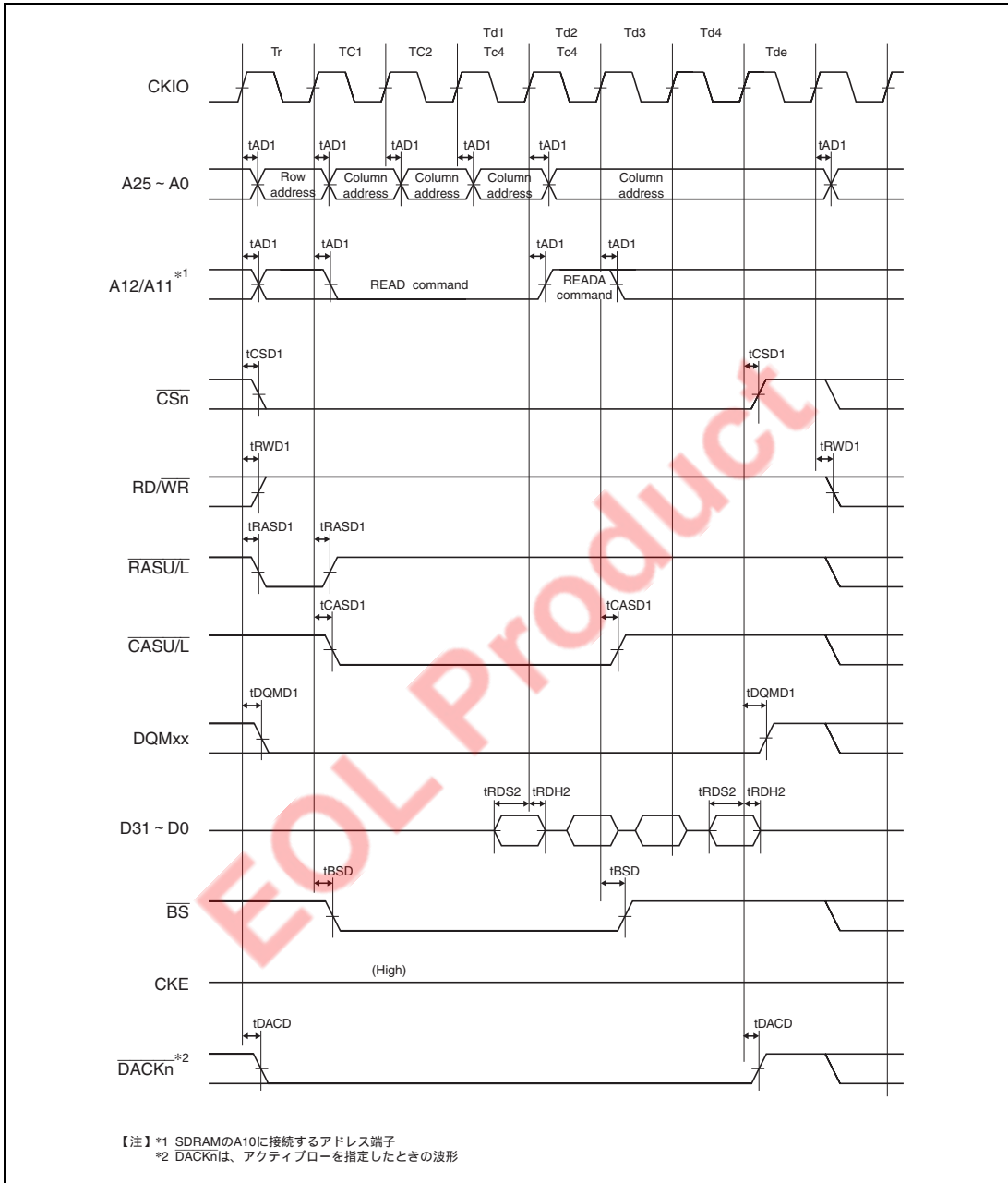


図 25.25 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)

25. 電気的特性

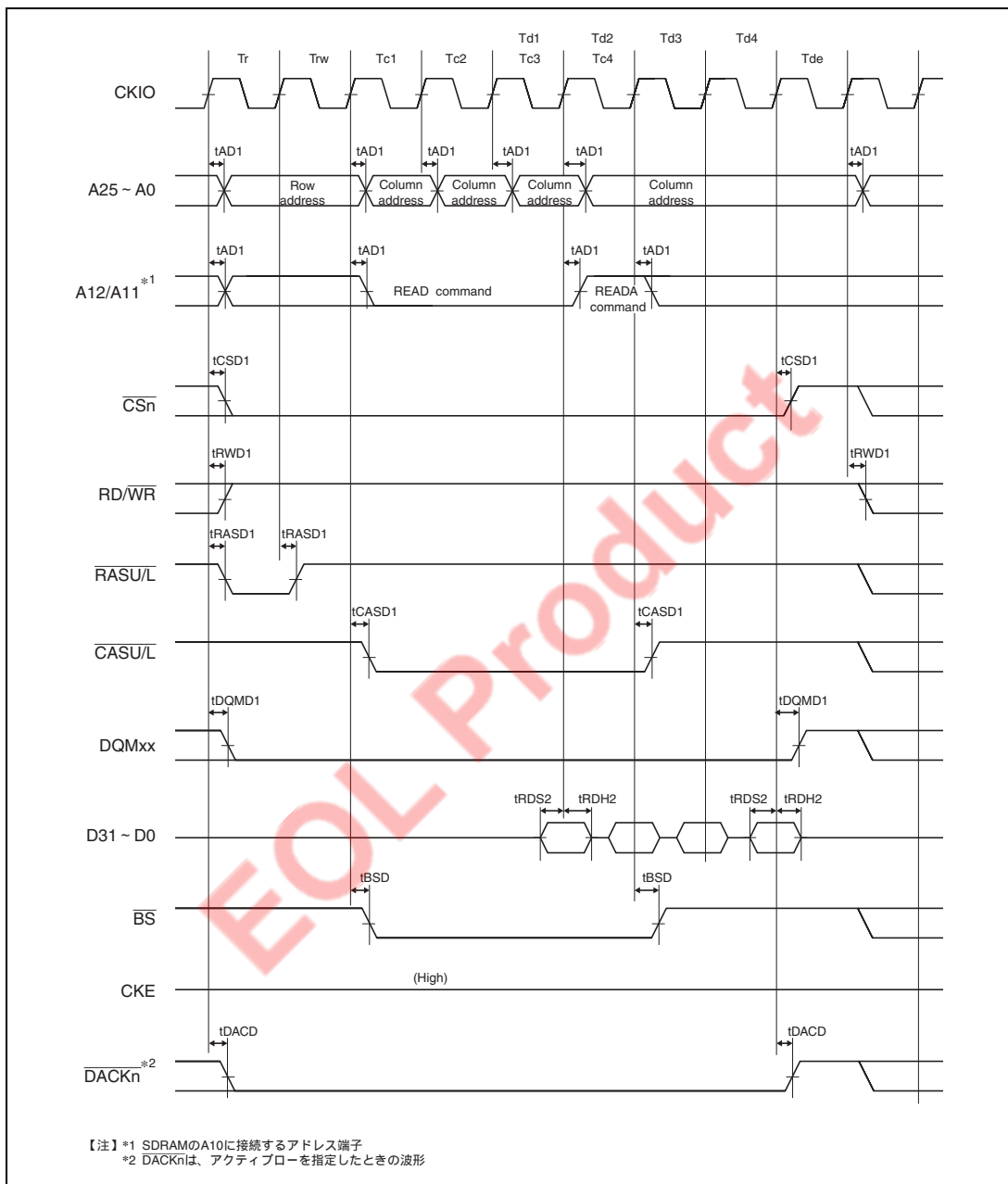


図 25.26 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=0 サイクル)

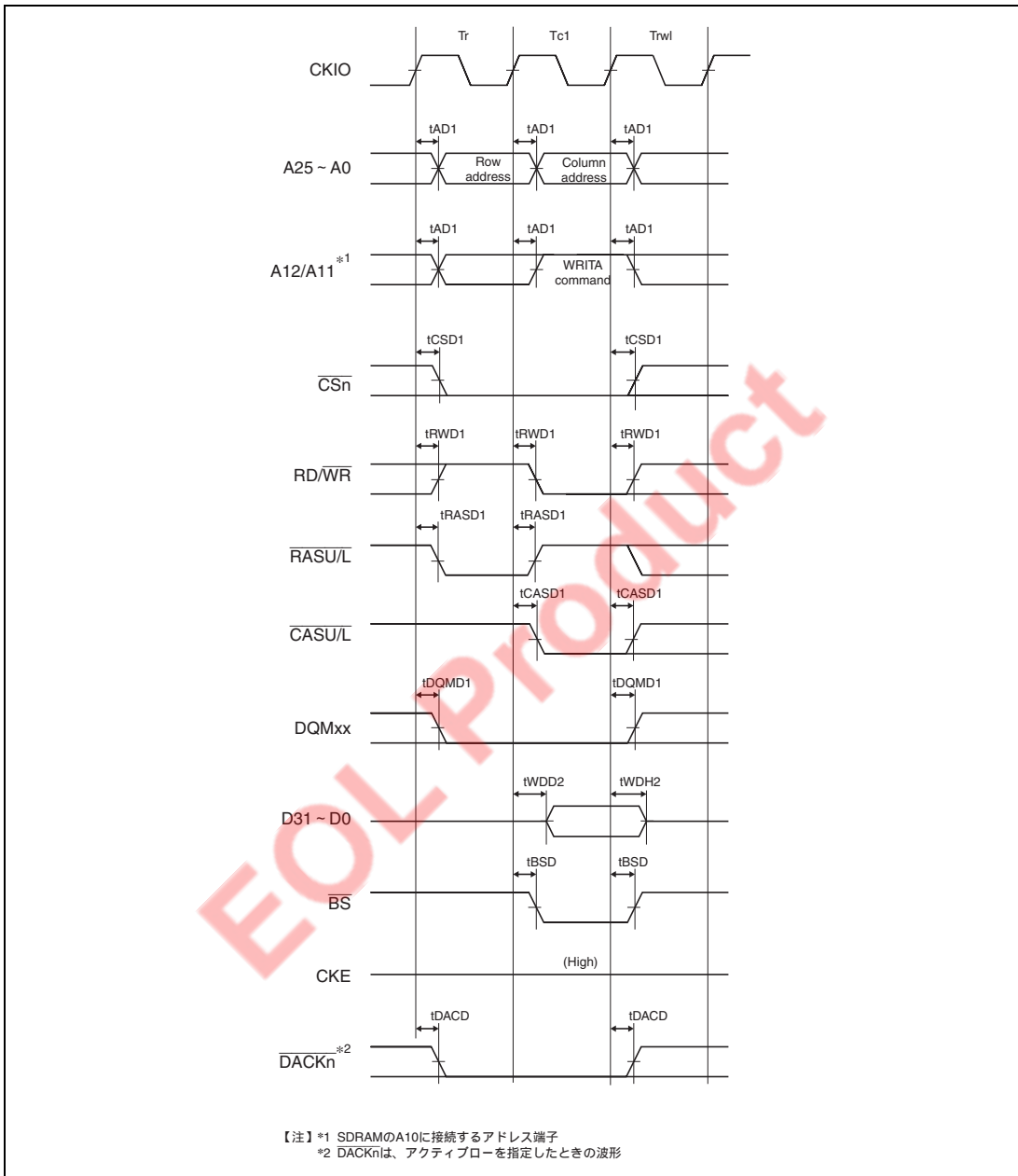


図 25.27 シンクロナス DRAM シングルライトバスサイクル
(オートプリチャージあり、TRWL = 1 サイクル)

25. 電気的特性

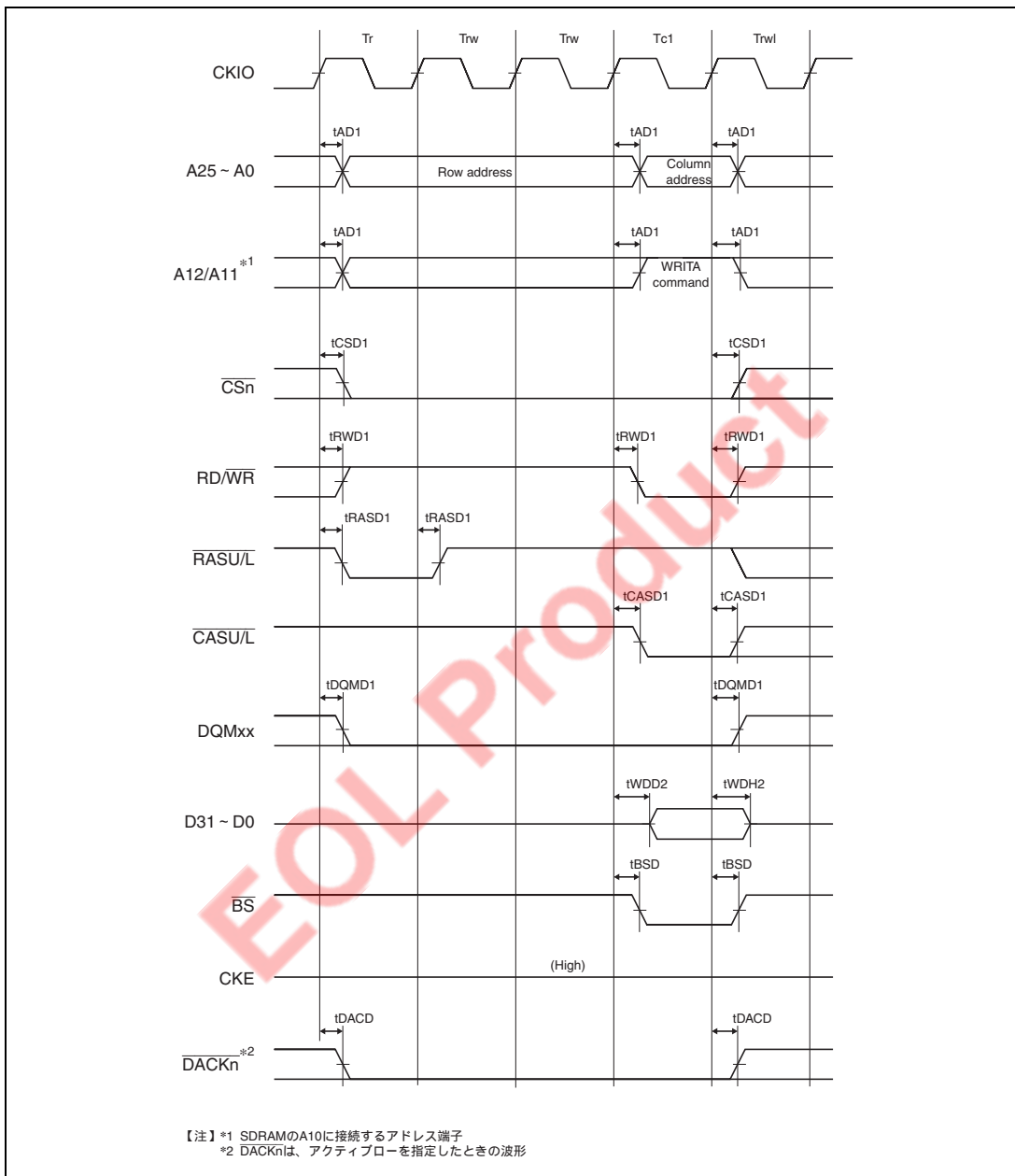


図 25.28 シンクロナス DRAM シングルライトパスサイクル
(オートプリチャージあり、WTRCD = 2 サイクル、TRWL = 1 サイクル)

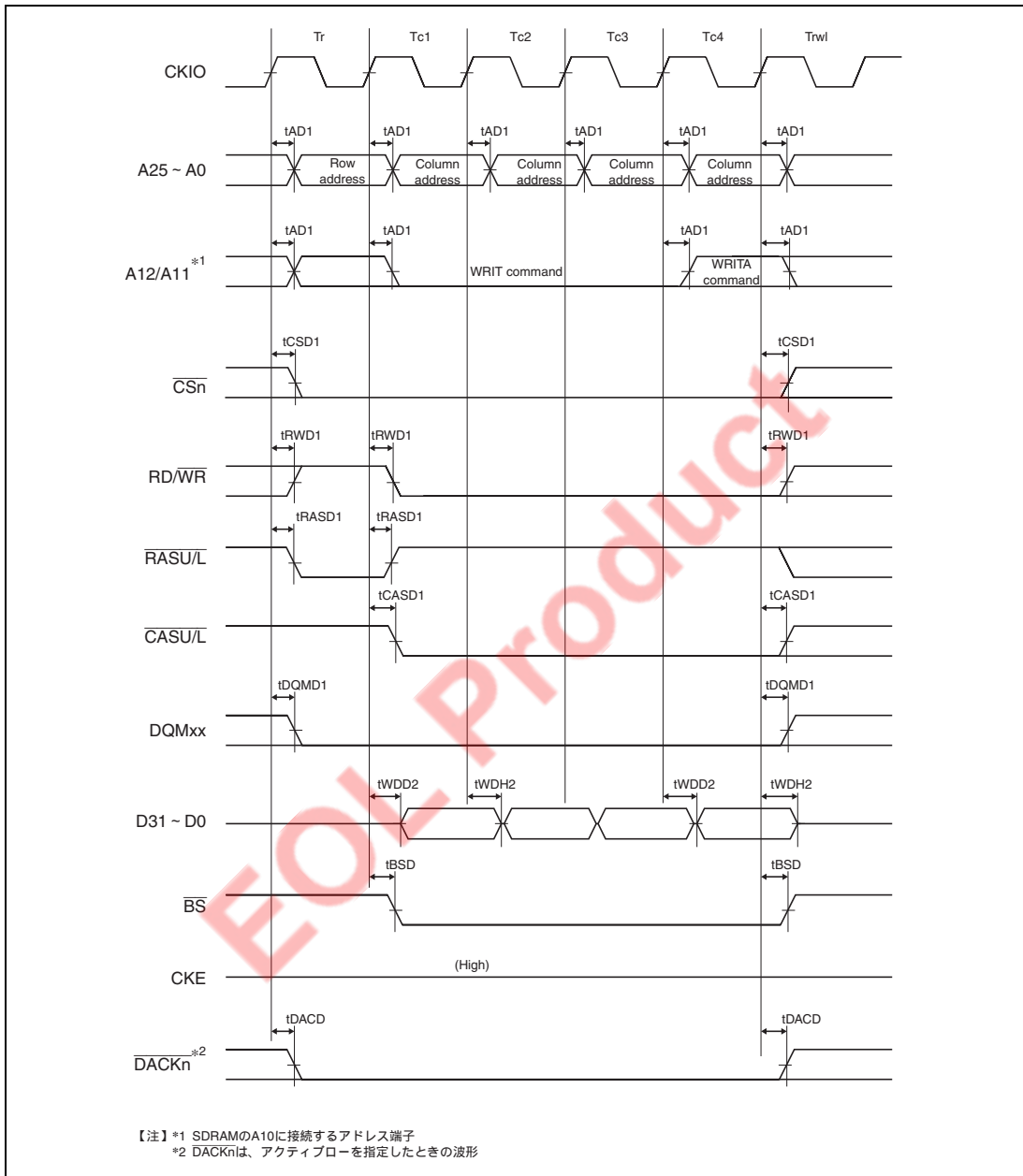


図 25.29 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(オートプリチャージあり、WTRCD = 0 サイクル、TRWL = 1 サイクル)

25. 電気的特性

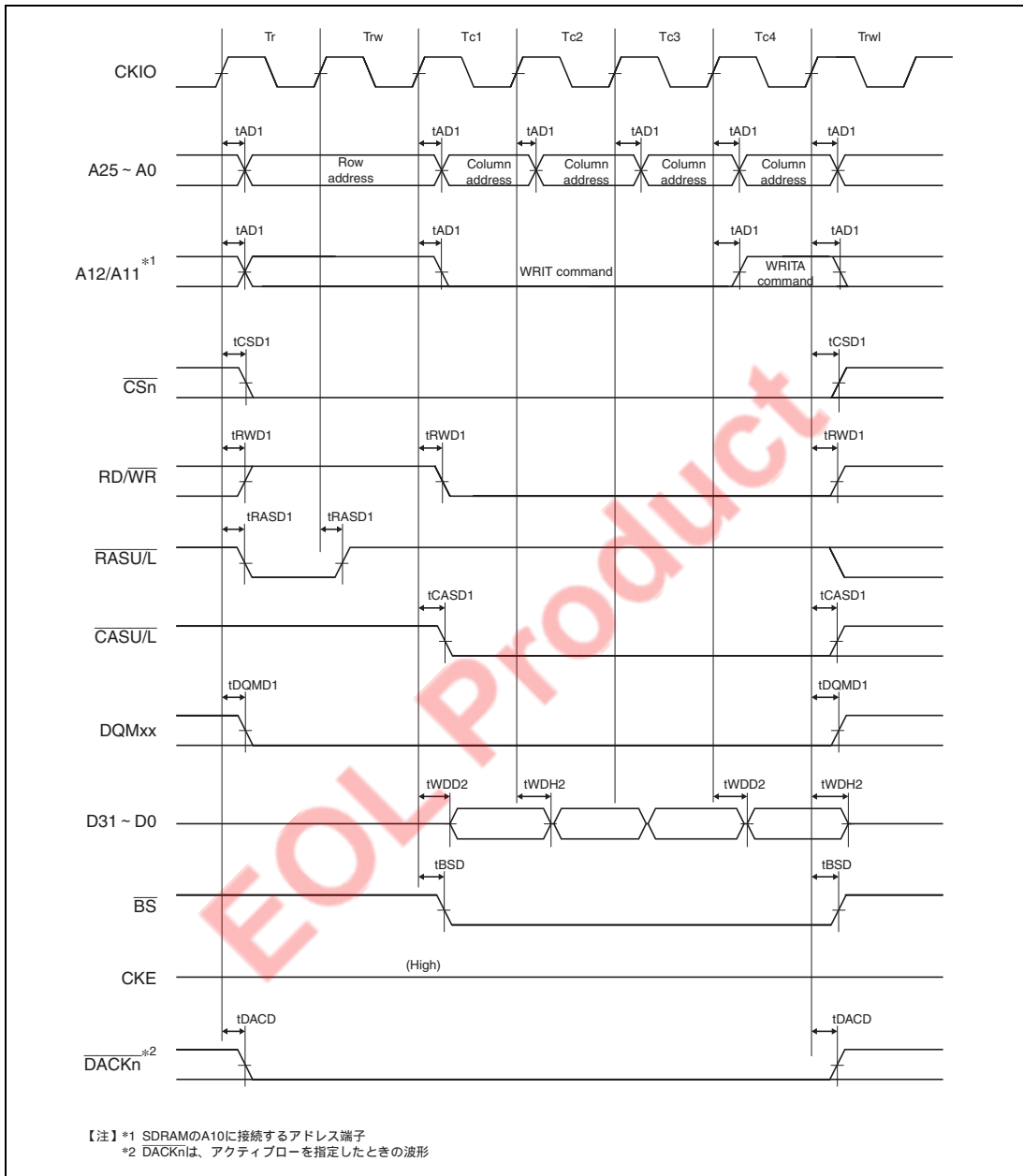


図 25.30 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
 (オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)

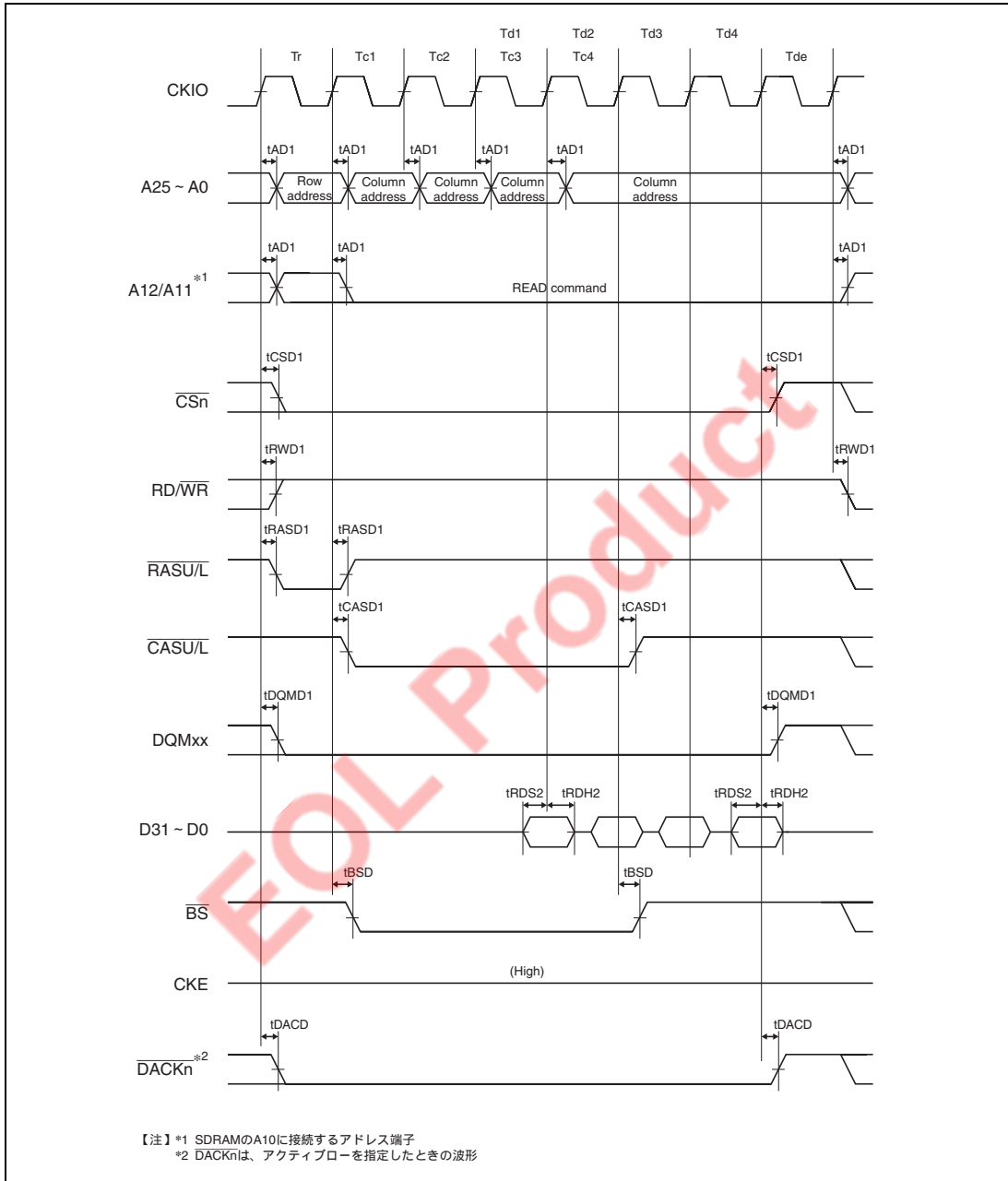


図 25.31 シンクロナス DRAM パーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)

25. 電気的特性

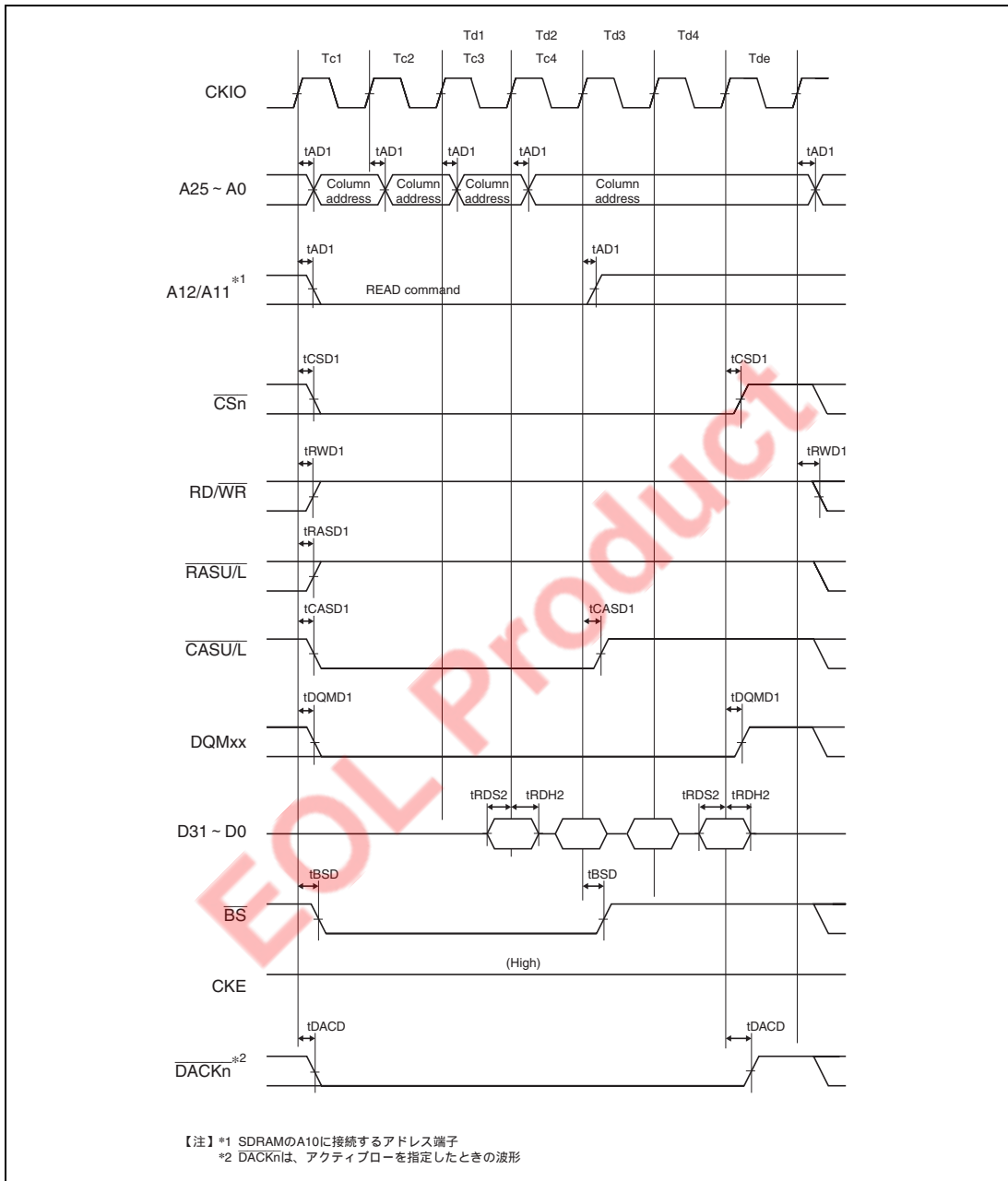


図 25.32 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

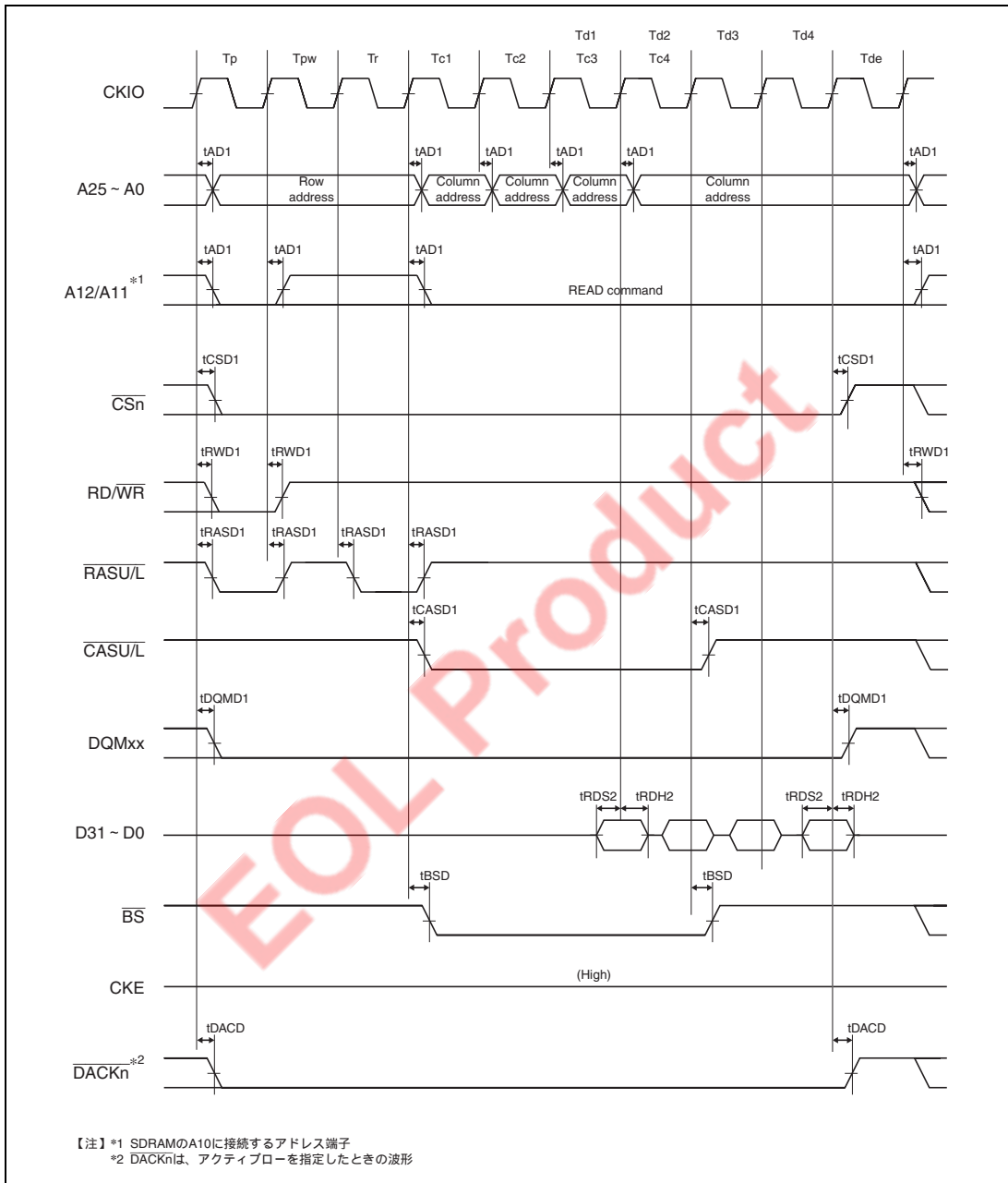


図 25.33 シンクロナス DRAM パーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード: PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、
WTRCD = 0 サイクル)

25. 電気的特性

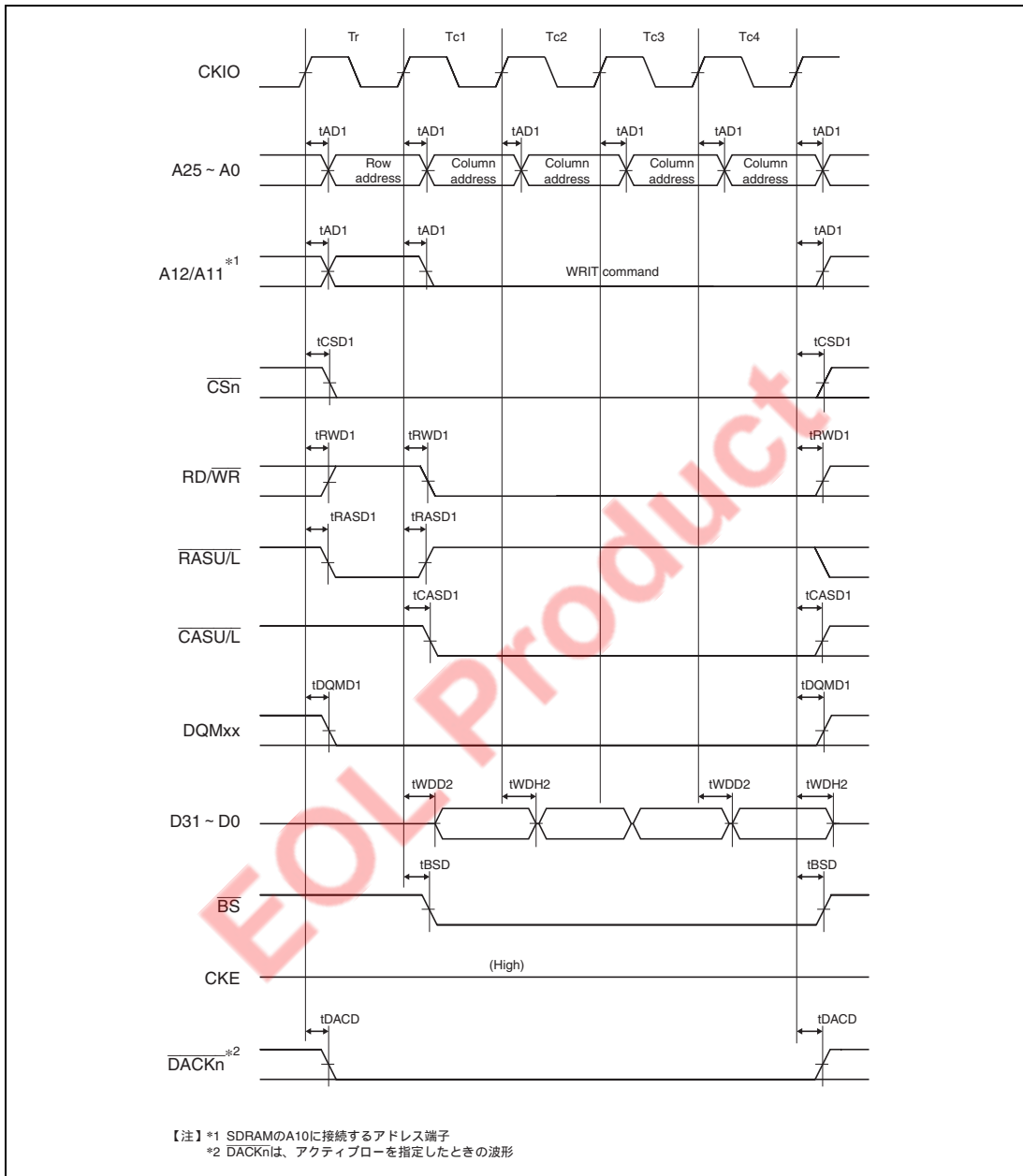


図 25.34 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード : ACT + WRITE コマンド、WTRCD = 0 サイクル、TRWL = 0 サイクル)

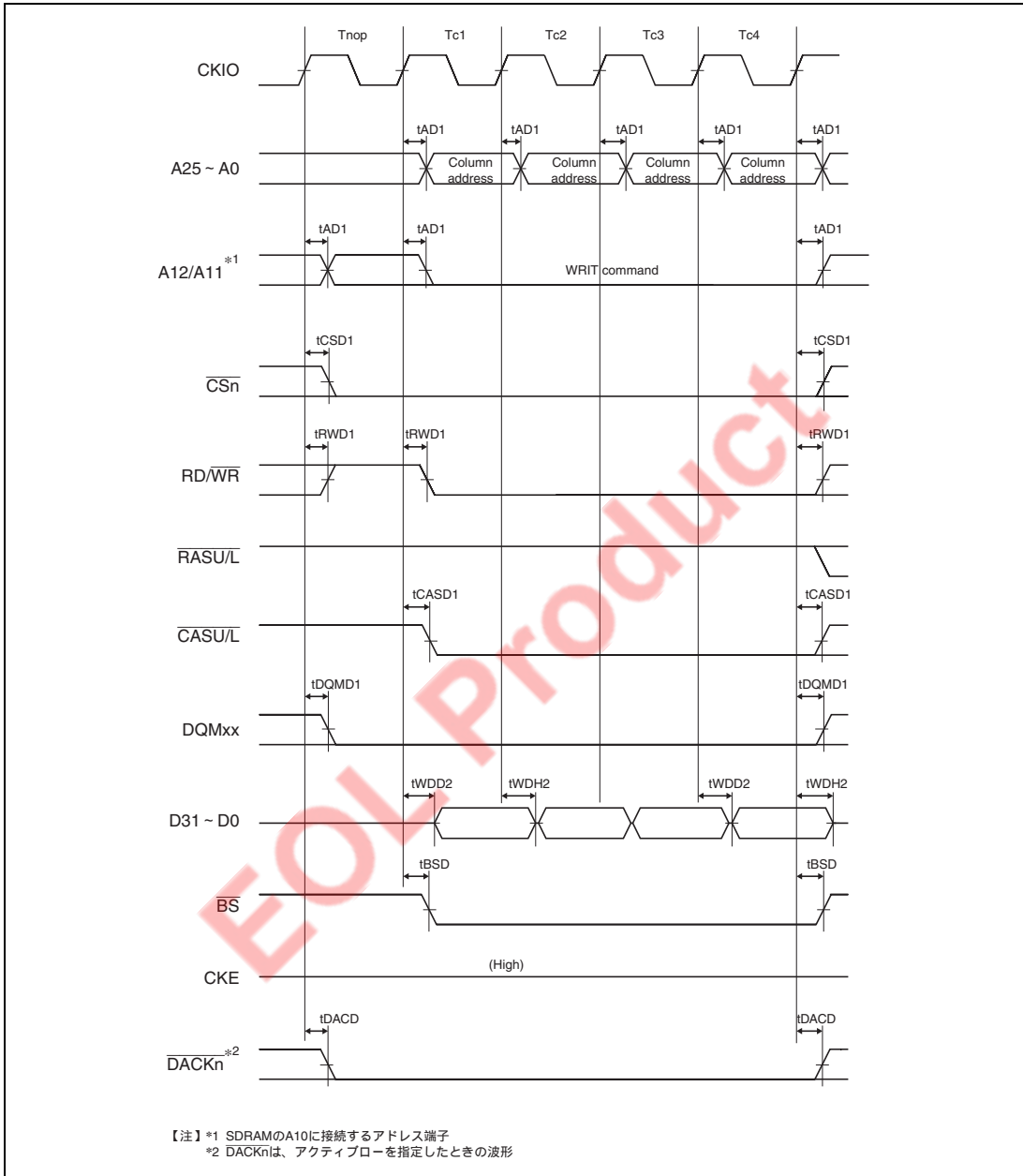


図 25.35 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード : WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

25. 電気的特性

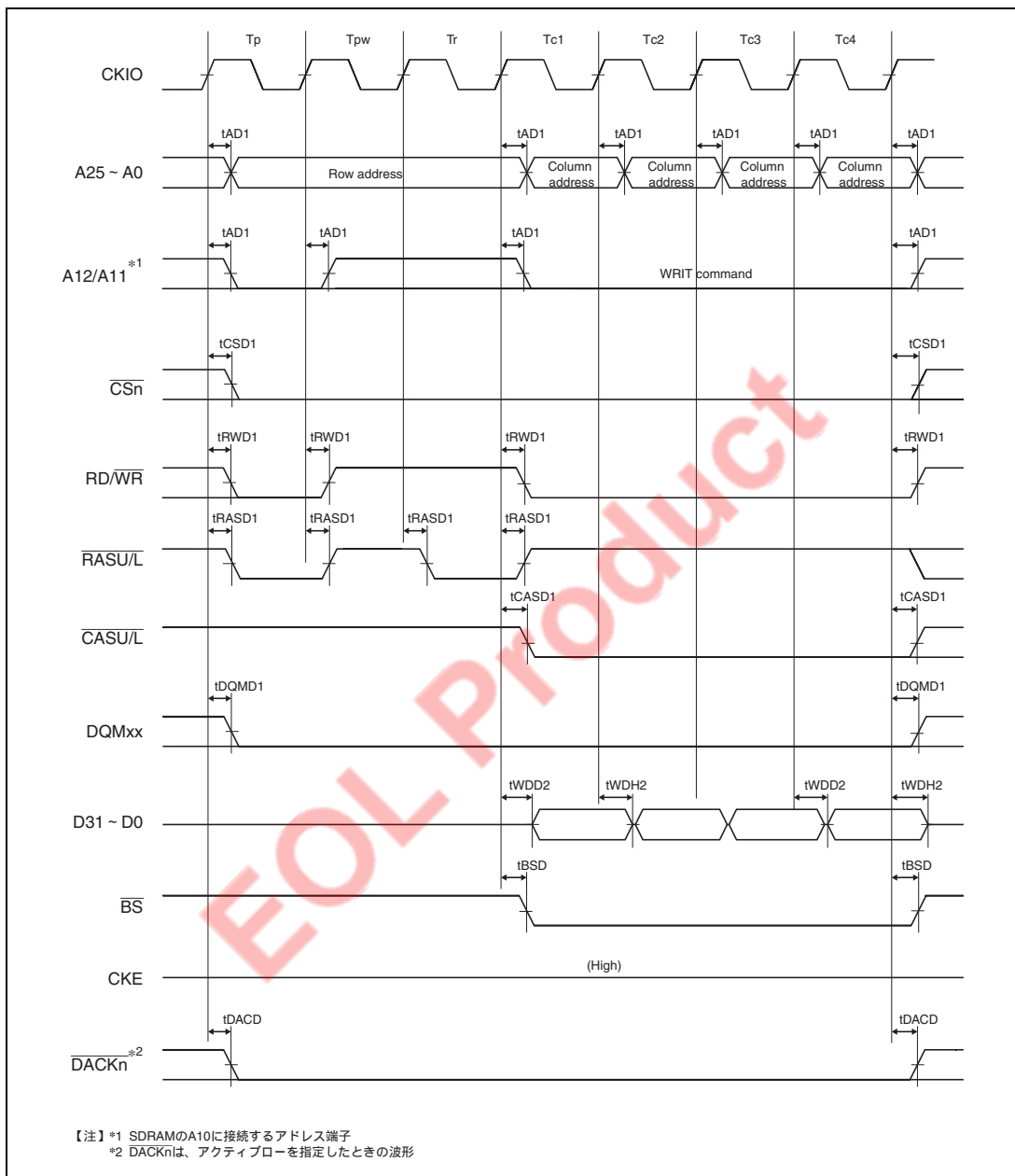


図 25.36 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)
 (バンクアクティブモード: PRE + ACT + WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、
 TRWL = 0 サイクル)

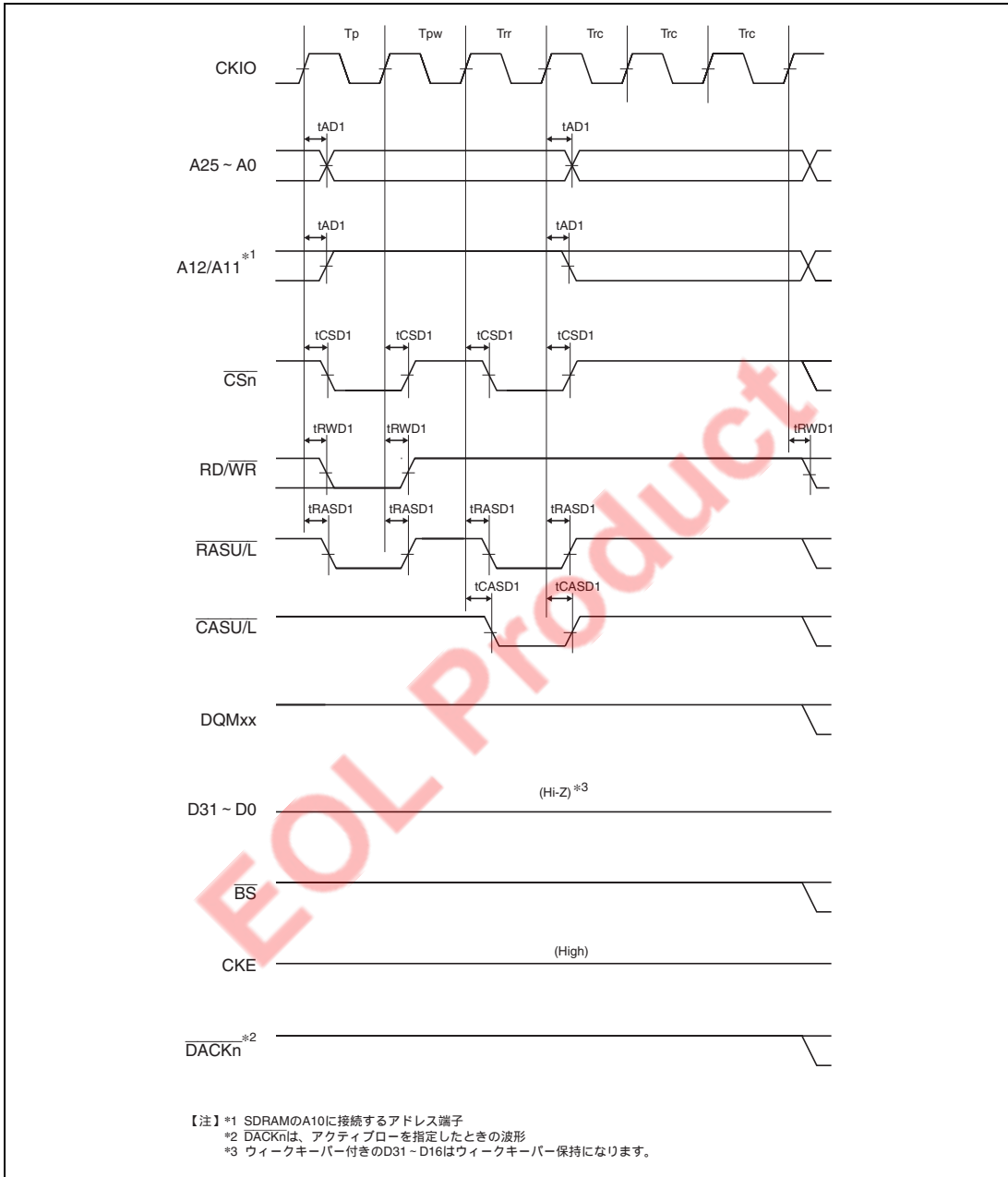


図 25.37 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

25. 電気的特性

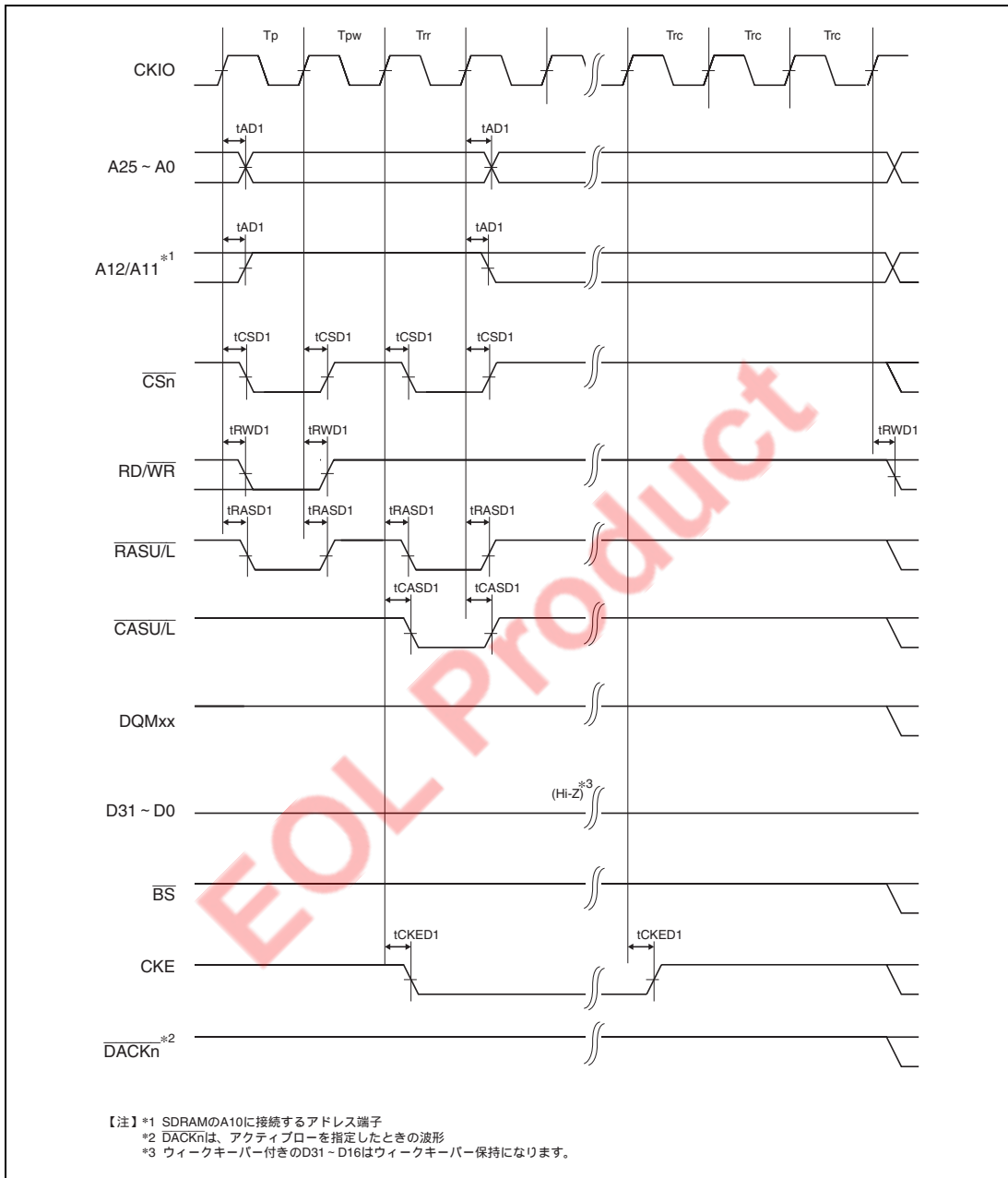


図 25.38 シンクロナス DRAM セルフリフレッシュタイミング (WTRP=1 サイクル)

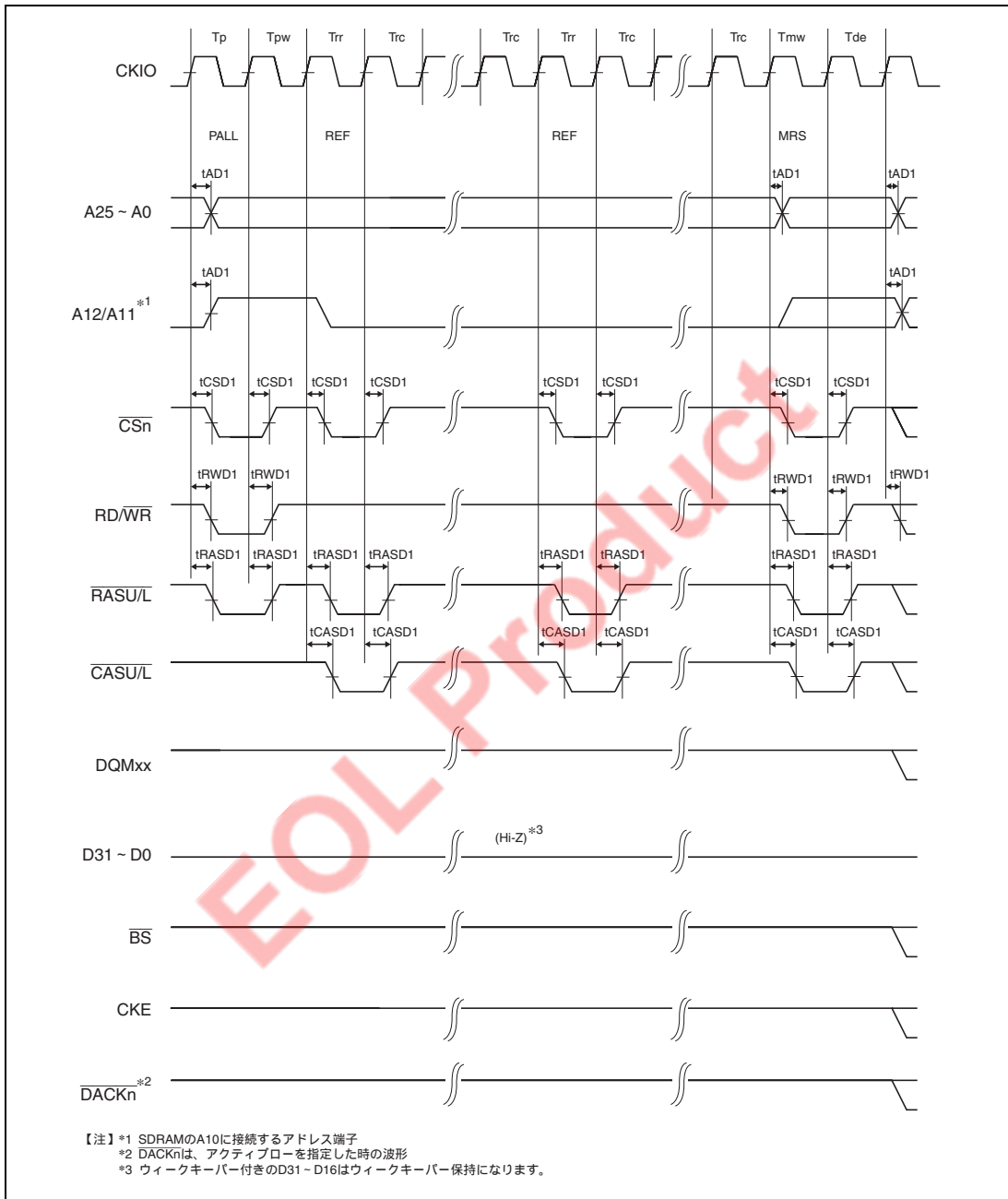


図 25.39 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

25. 電気的特性

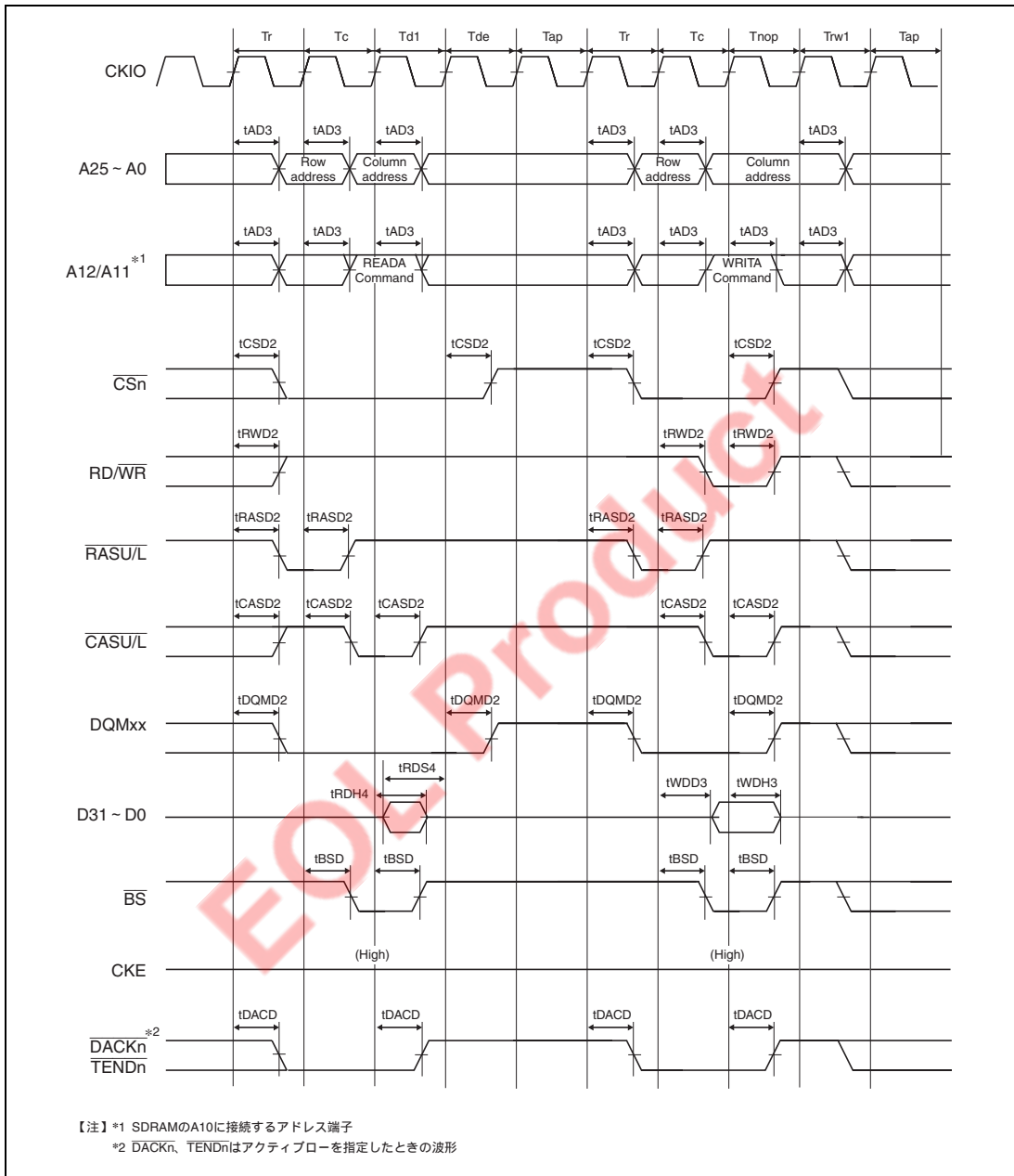


図 25.40 シンクロナス DRAM 低周波モードでのアクセスタイミング
(オートプリチャージモード、TRWL=2 サイクル)

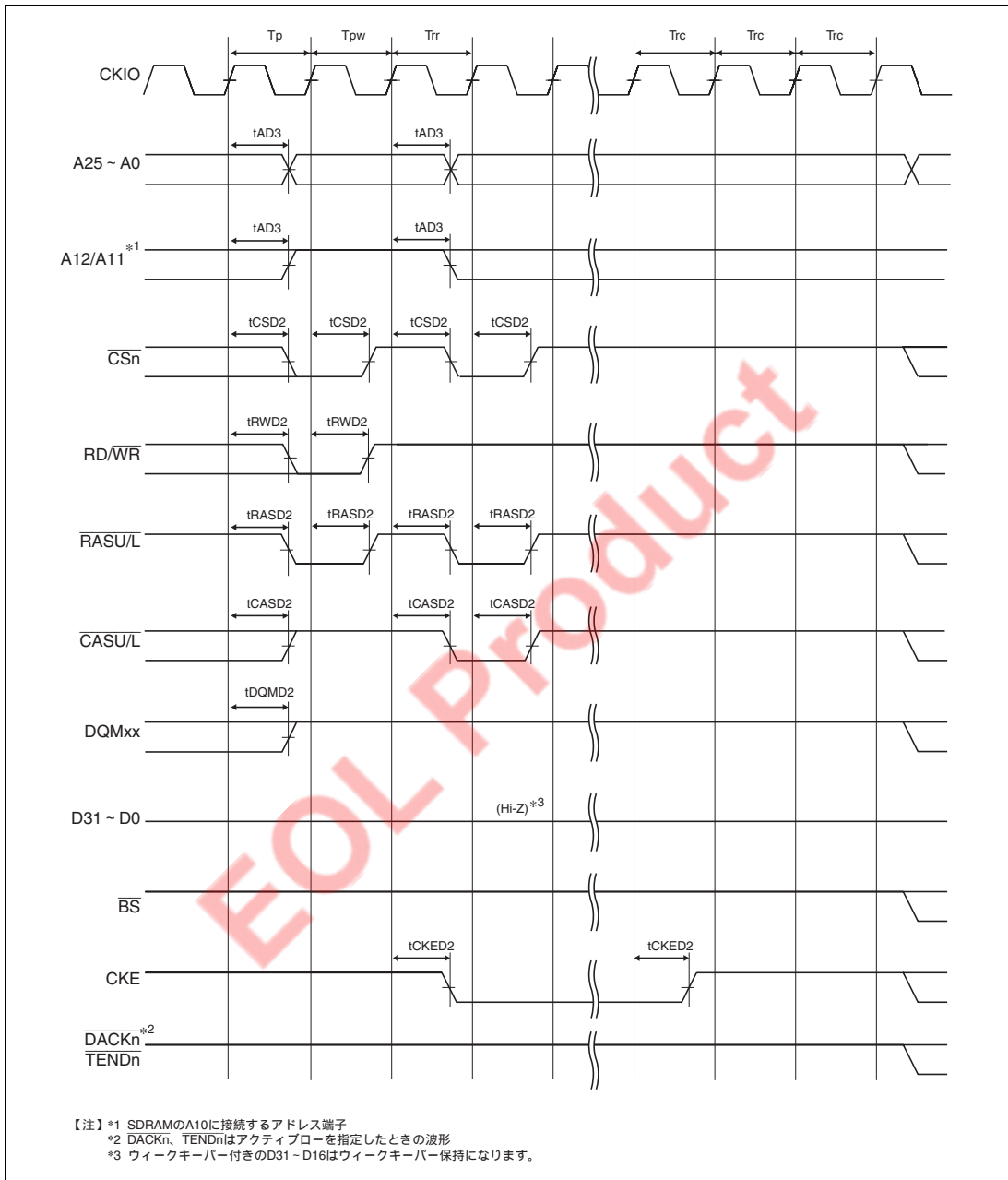


図 25.41 シンクロナス DRAM 低周波数モードセルフリフレッシュタイミング (WTRP = 2 サイクル)

25. 電気的特性

25.3.8 周辺モジュール信号タイミング

表 25.9 周辺モジュール信号タイミング

条件 : $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.8V \pm 5\%$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = V_{SSQ} = AV_{SS} = 0V$

$T_a = -40 \sim 85$ (高温範囲品)

モジュール	項目	記号	min	max	単位	参照図
SCIF	入力クロックサイクル (クロック同期)	t_{SCYC}	12	-	t_{PCYC}	25.42
			4	-	t_{PCYC}	25.42
	入力クロック立ち上がり時間	t_{SCKr}	-	1.5	t_{PCYC}	25.42
	入力クロック立ち下り時間	t_{SCKf}	-	1.5	t_{PCYC}	25.42
	入力クロック幅	t_{SCKW}	0.4	0.6	t_{SCYC}	25.42
	送信データ遅延時間(クロック同期)	t_{TXD}	-	$3t_{PCYC} + 15$	ns	25.43
	受信データセットアップ時間(クロック同期)	t_{RXS}	$4t_{PCYC} + 15$	-	ns	25.43
受信データホールド時間(クロック同期)	t_{RXH}	100	-	ns	25.43	
ポート	出力データ遅延時間	t_{PORTD}	-	100	ns	25.44
	入力データセットアップ時間	t_{PORTS}	100	-		
	入力データホールド時間	t_{PORTH}	100	-		
DMAC	DREQ セットアップ時間	t_{DREQ}	8	-	ns	25.45
	DREQ ホールド時間	t_{DREQH}	8	-		
	DACK、TEND 遅延時間	t_{DACD}	-	12		25.46

【注】 * t_{PCYC} は P クロックサイクルを示します。

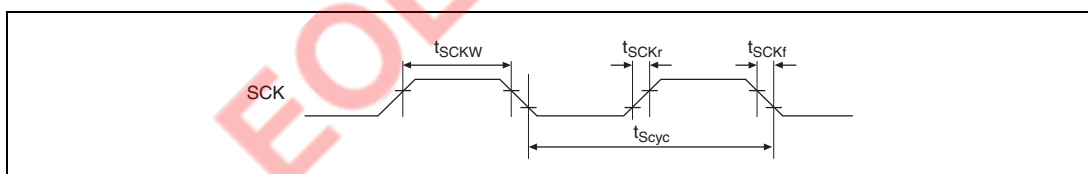


図 25.42 SCK 入力クロックタイミング

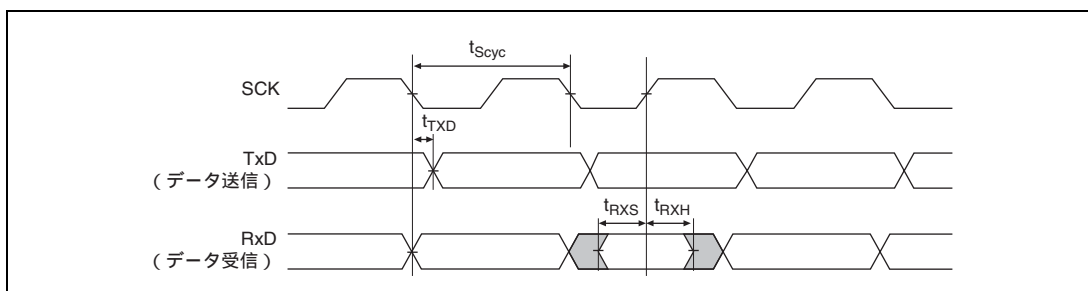


図 25.43 クロック同期式モード時の SCIF 入出力タイミング

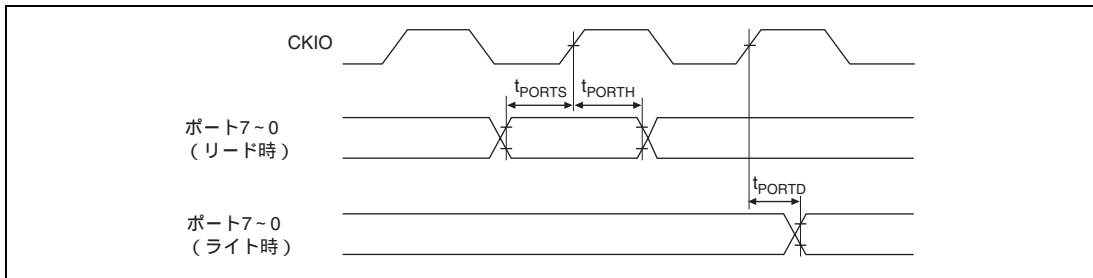
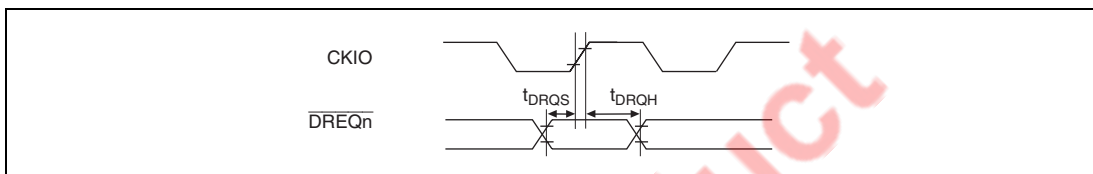
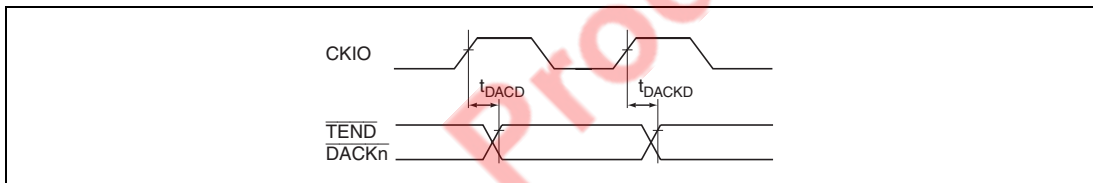


図 25.44 I/O ポートタイミング

図 25.45 \overline{DREQ} 入力タイミング図 25.46 \overline{DACK} 、 \overline{TEND} 出力タイミング

25.3.9 マルチファンクションタイムパルスユニットタイミング

表 25.10 にマルチファンクションタイムパルスユニットタイミングを示します。

表 25.10 マルチファンクションタイムパルスユニットタイミング

条件: $V_{CC} = 1.8V \pm 5\%$, $V_{CCQ} = AV_{CC} = 3.0 \sim 3.6V$, $V_{SS} = V_{SSQ} = AV_{SS} = 0V$, $T_a = -40 \sim 85$ (高温範囲品)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	-	$B_{CYC}/2+20$	ns	25.47
インプットキャプチャ入力セットアップ時間	t_{TICS}	$B_{CYC}/2+20$	-	ns	
タイマ入力セットアップ時間	t_{TCKS}	$B_{CYC}/2+20$	-	ns	25.48
タイマクロックパルス幅 (単エッジ指定)	$t_{TCKWH/L}$	1.5	-	t_{pCYC}	
タイマクロックパルス幅 (両エッジ指定)	$t_{TCKWH/L}$	2.5	-	t_{pCYC}	
タイマクロックパルス幅 (位相計数モード)	$t_{TCKWH/L}$	2.5	-	t_{pCYC}	

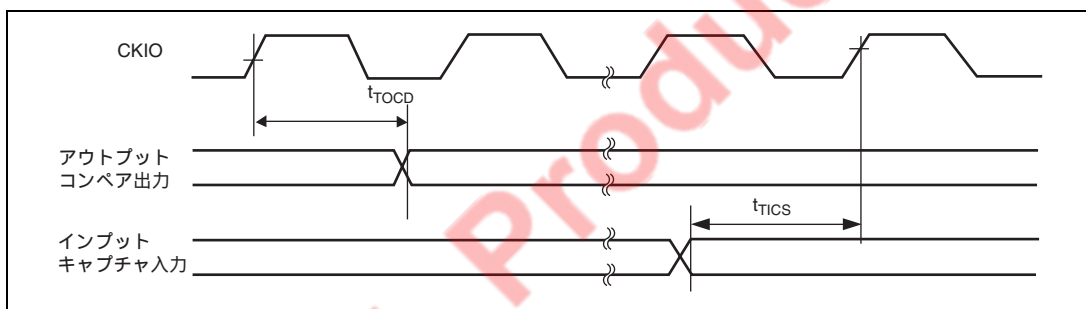


図 25.47 MTU 入出力タイミング

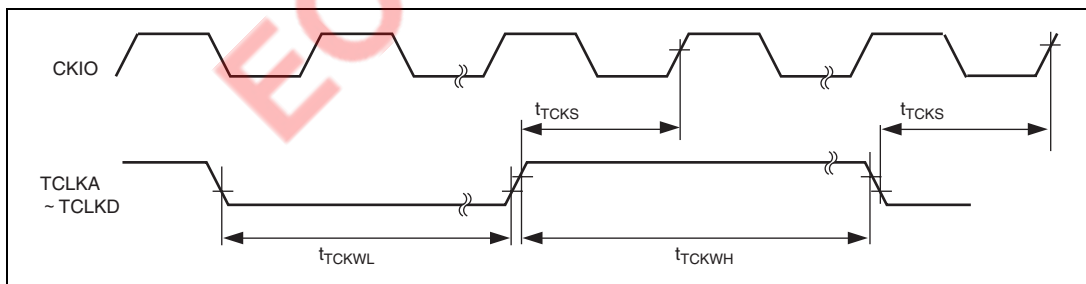


図 25.48 MTU クロック入力タイミング

25.3.10 POE モジュール信号タイミング

表 25.11 アウトプットイネーブル (POE) タイミング

条件 : $V_{CC} = 1.8V \pm 5\%$ 、 $V_{CCQ} = AV_{CC} = 3.0-3.6V$ 、 $V_{SS} = V_{SSQ} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ (高温範囲品)

項目	記号	Min	Max	単位	参照図
POE 入力セットアップ時間	t_{POES}	$B_{cyc}/2+10$	-	ns	25.49
POE 入力パルス幅	t_{POEW}	1.5	-	t_{pcyc}	

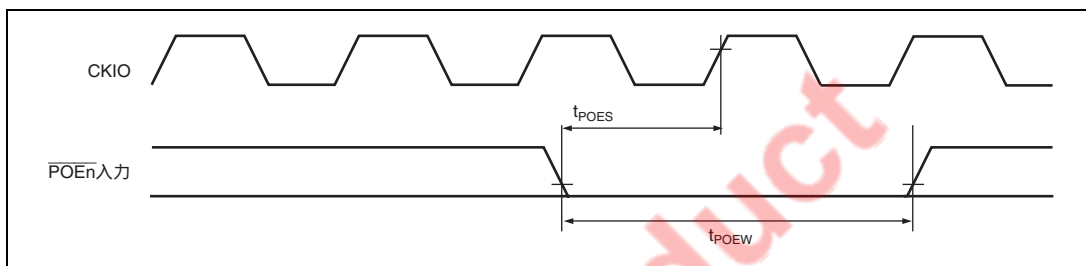


図 25.49 POE 入出力タイミング

25. 電気的特性

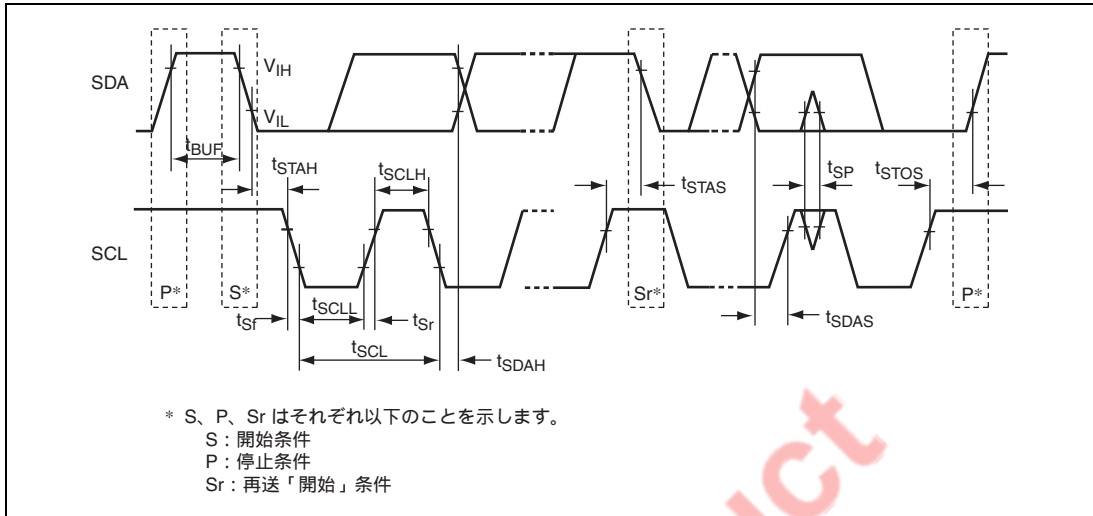
25.3.11 I²C モジュール信号タイミング

表 25.12 I²C バスインターフェースタイミング

(特記なき場合、V_{CC} = 1.8V ± 5%、AV_{CC} = V_{CC}Q = 3.0 ~ 3.6V、V_{SS} = AV_{SS} = V_{SS}Q = 0V、Ta = -40 ~ 85 (高温範囲品))

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	tSCL		12t _{pcyc} * ¹ + 600	-	-	ns	25.50
SCL 入力 High パルス幅	tSCLH		3t _{pcyc} * ¹ + 300	-	-	ns	
SCL 入力 Low パルス幅	tSCLL		5t _{pcyc} * ¹ + 300	-	-	ns	
SCL、SDA 入力立ち上がり時間	tSr		-	-	300	ns	
SCL、SDA 入力立ち下がり時間	tSf		-	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間* ²	tSP		-	-	1.2	t _{pcyc} * ¹	
SDA 入力バスフリー時間	tBUF		5	-	-	t _{pcyc} * ¹	
開始条件入力ホールド時間	tSTAH		3	-	-	t _{pcyc} * ¹	
再送開始条件入力セットアップ時間	tSTAS		3	-	-	t _{pcyc} * ¹	
停止条件入力セットアップ時間	tSTOS		3	-	-	t _{pcyc} * ¹	
データ入力セットアップ時間	tSDAS		1t _{pcyc} * ¹ + 20	-	-	ns	
データ入力ホールド時間	tSDAH		0	-	-	ns	
SCL、SDA の容量性負荷	Cb		0	-	400	pF	
SCL、SDA 出力立ち下がり時間* ³	tSf	V _{CC} Q = 3.0 ~ 3.6V	-	-	250	ns	

- 【注】 *1 t_{pcyc} は周辺クロックの周期
 *2 NF2CYC レジスタの値に依存します。
 *3 I/O バッファの特性を示しています。

図 25.50 I²C バスインタフェース入出力タイミング

25.3.12 H-UDI 関連端子のタイミング

表 25.13 H-UDI 関連端子のタイミング

条件：V_{CCQ} = 3.0 ~ 3.6V、V_{CC} = 1.8V ± 5%、AV_{CC} = 3.0 ~ 3.6V、V_{SS} = V_{SSQ} = AV_{SS} = 0V、Ta = -40 ~ 85（高温範囲品）

項目	記号	min	max	単位	参照図
TCK サイクル時間	t _{TCKcyc}	50	-	ns	25.51
TCK High レベルパルス幅	t _{TCKH}	0.4	0.6	t _{Tckcyc}	
TCK Low レベルパルス幅	t _{TCKL}	0.4	0.6	t _{Tckcyc}	
TRST セットアップ時間	t _{TRSTS}	20	-	ns	25.52
TRST ホールド時間	t _{TRSTH}	50	-	t _{cyc}	
TDI セットアップ時間	t _{TDIS}	10	-	ns	25.53
TDI ホールド時間	t _{TDIH}	10	-	ns	
TMS セットアップ時間	t _{TMSS}	10	-	ns	
TMS ホールド時間	t _{TMSH}	10	-	ns	
TDO 遅延時間	t _{TDOD}	-	20	ns	
キャパチャレジスタセットアップ時間	t _{CAPTS}	10	-	ns	25.54
キャパチャレジスタホールド時間	T _{CAPTH}	10	-	ns	
キャパチャレジスタ遅延時間	T _{UPDATED}	-	16	ns	

25. 電気的特性

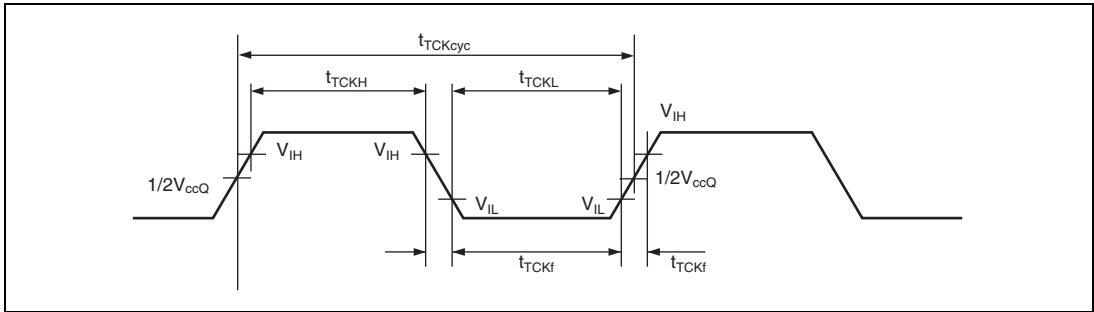


図 25.51 TCK 入力タイミング

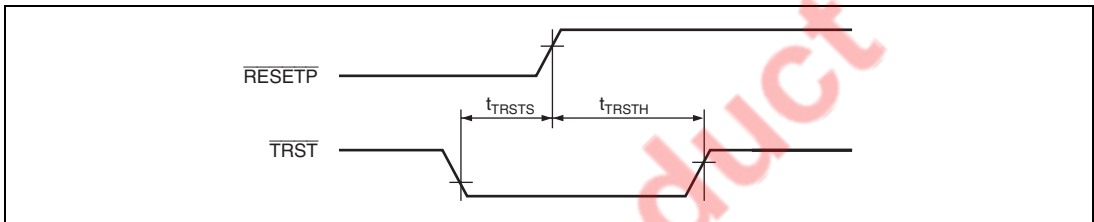


図 25.52 TRST 入力タイミング (リセットホール時)

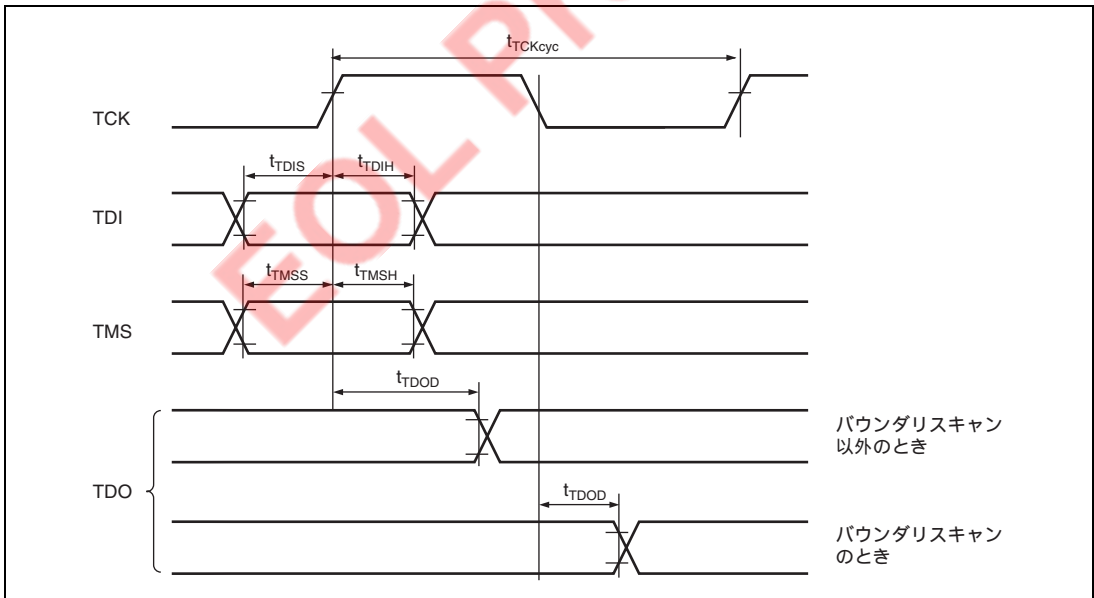


図 25.53 H-UDI データ転送タイミング

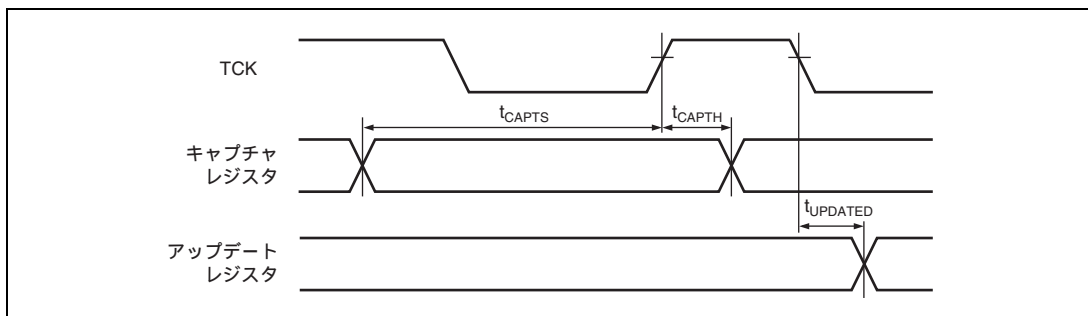


図 25.54 バウンダリスキャン入出力タイミング

25.3.13 USB モジュール信号タイミング

表 25.14 USB モジュールクロックタイミング

条件 : $V_{CC} = 1.8V \pm 5\%$ 、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = V_{SSQ} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ (高温範囲品)

項目	記号	min	max	単位	参照図
周波数 (48MHz)	t_{FREQ}	47.9	48.1	MHz	25.55
クロック立ち上がり時間	t_{RAS}	-	4	ns	
クロック立ち下がり時間	t_{FAS}	-	4	ns	
デューティ (t _{HIGH} /t _{LOW})	t_{DUTY}	90	110	%	

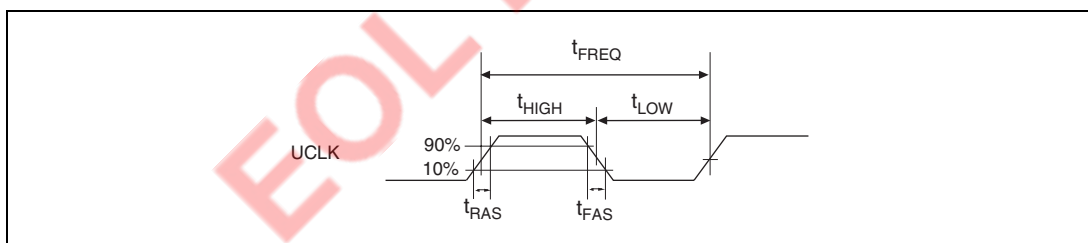


図 25.55 USB クロックタイミング

25.3.14 USB トランシーバタイミング

表 25.15 USB トランシーバタイミング

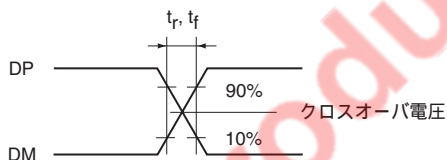
条件 : $V_{CC} = 1.8V \pm 5\%$ 、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、

$V_{SS} = V_{SSQ} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ (高温範囲品)

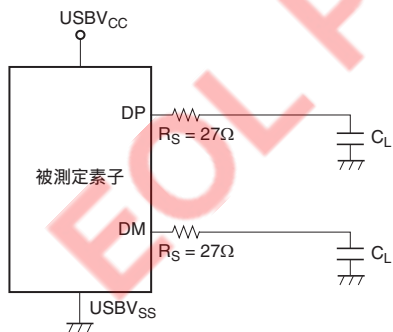
項目	記号	min	typ	max	単位	測定条件
立ち上がり時間	t_r	4	-	20	ns	$C_L = 50pF$
立ち下がり時間	t_f	4	-	20	ns	$C_L = 50pF$
立ち上がり / 立ち下がり時間比	t_r / t_f	90	-	110	%	
出力信号クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	$C_L = 50pF$
出力ドライバ抵抗*2	Z_{DRU}	28		44		

【注】 *1 トランシーバはフルスピード仕様に準拠します。

*2 外付け直列抵抗 $R_S = 27 \pm 1\%$ を含みます。



・測定回路



- (1) t_r 、 t_f は、振幅の10%点と90%点の遷移時間で判定。
- (2) 静電容量 C_L は、結線の浮遊容量およびプローブの入力容量を含みます。

25.3.15 AC 特性測定条件

- 入出力信号参照レベル : $V_{CC}Q/2$ ($V_{CC}Q = 3.0 \sim 3.6V$, $V_{CC} = 1.8V \pm 5\%$)
- 入力パルスレベル : $V_{SS}Q \sim 3.0V$ (ただし、 \overline{RESETP} 、 \overline{RESETM} 、 $\overline{ASEMD0}$ 、 \overline{NMI} 、 \overline{TRST} 、EXTAL、CKIO、TCK、MD0、MD2、MD3、および、シュミット入力は $V_{SS}Q \sim V_{CC}Q$)
- 入力立ち上がり、立ち下がり時間 : 1ns

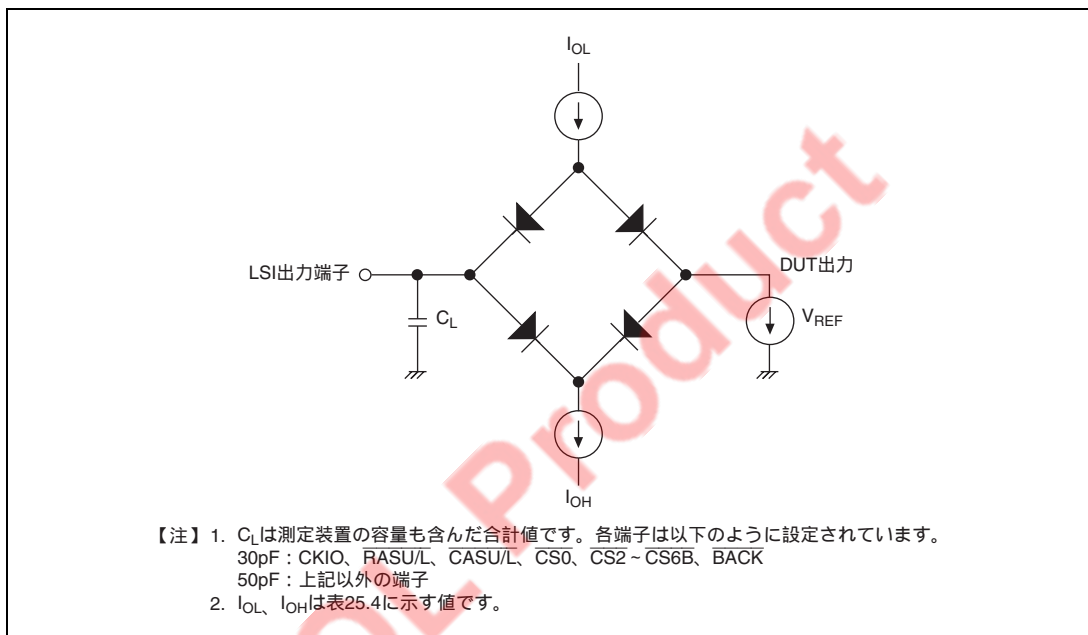


図 25.56 出力付加回路

25.4 A/D 変換器特性

A/D 変換器特性を表 25.16 に示します。

表 25.16 A/D 変換器特性

条件 : $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.8V \pm 5\%$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SSQ} = V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim 85$ (高温範囲品)

項目	min	typ	max	単位	
分解能	10	10	10	ビット	
変換時間	-	-	10.5	μs	
アナログ入力容量	-	-	20^{*1}	pF	
許容信号源 (単一ソース)	-	-	5^{*1}	k	
非線形誤差	-	-	$\pm 3.0^{*1}$	LSB	
オフセット誤差	-	-	$\pm 2.5^{*1}$	LSB	
フルスケール誤差	-	-	$\pm 2.5^{*1}$	LSB	
量子化誤差	-	-	$\pm 0.5^{*1}$	LSB	
絶対精度 (P = 33MHz 時)				LSB	
(CKS1、CKS0) の値	(0,0) ^{*2}	-	-		± 8.0
	上記以外の場合				± 4.0

【注】 *1 参考値

*2 最高速変換時間 = 4.4 μs 相当

付録

A. 端子状態

A.1 「その他機能」設定時

表 A.1 「その他機能」設定時のリセット、低消費電力、バス権解放状態での端子状態

分類	端子名	リセット状態		低消費電力状態		バス権解放状態
		パワーオン	マニュアル	ソフトウェアスタンバイ	スリープ	
クロック	EXTAL (クロックモード 2、6)	I	I	I	I	I
	EXTAL (クロックモード 7)	Z* ¹	Z* ¹	Z* ¹	Z* ¹	Z* ¹
	XTAL (クロックモード 2、6)	O	O	O	O	O
	XTAL (クロックモード 7)	O* ¹	O* ¹	O* ¹	O* ¹	O* ¹
	CKIO (クロックモード 2、6)	O	O	O/Z* ²	O	O/Z* ²
	CKIO (クロックモード 7)	I	I	I	I	I
	CKIO2	O	O	O/Z* ²	O	O/Z* ²
システム制御	RESETP RESETM	I	I	I	I	I
	BREQ	Z+	I+	Z+	I+	I+
	BACK	Z+	O	Z+	O	L
	MD[3,2,0]	I	I* ⁵	I* ⁵	I* ⁵	I* ⁵
	STATUS[1:0]	Z+	O	O	O	O
割り込み	IRQ[7:0]	Z+	I+	I+	I+	I+
	NMI	I	I	I	I	I
アドレスバス	A[25:19]、A0	Z+	O	O/Z+* ³	O	Z+* ⁶
	A[18:1]	O	O	O/Z* ³	O	Z
データバス	D[15:0]	Z	I	Z	I	Z
	D[31:16]	Z+	I+	Z+	I+	Z+* ⁶

分類	端子名	リセット状態		低消費電力状態		バス権 解放状態
		パワーオン	マニュアル	ソフトウェア スタンバイ	スリープ	
バス制御	CS0	H	O	Z/H ^{*3}	O	Z
	CS6[A,B] CS5[A,B] CS[2:4]	Z+	O	Z+/H ^{*3}	O	Z+
	BS	H	O	Z/H ^{*3}	O	Z
	CAS[U,L] RAS[U,L]	Z+	O	O/Z+ ^{*2}	O	O/Z+ ^{*2*6}
	WE0/DQMLL WE1/DQMLU WE2/DQMUL WE3/DQMUU/AH	H	O	Z/H ^{*3}	O	Z
	RDWR RD	H	O	Z/H ^{*3}	O	Z
	CKE	Z+	O	O/Z+ ^{*2}	O	O/Z+ ^{*2*6}
	WAIT	Z++	I++	Z++	I++	Z++
	FRAME	Z+	O	Z+/H ^{*3}	O	Z+
	DMAC	DREQ[1:0]	Z+	I+	Z+	I+
DACK[1:0]		Z+	O	O/Z+ ^{*4}	O	O
TEND		Z+	O	O/Z+ ^{*4}	O	O
MTU	TCLK[A:D]	Z+	I+	Z+	I+	I+
	TIOC0[A:D]	Z+	I+/O	Z+/K ^{*4}	I+/O	I+/O
	TIOC1[A,B]	Z+	I+/O	Z+/K ^{*4}	I+/O	I+/O
	TIOC2[A,B]	Z+	I+/O	Z+/K ^{*4}	I+/O	I+/O
	TIOC3[A:D]	Z+	I+/O	Z+/K ^{*4}	I+/O	I+/O
	TIOC4[A:D]	Z+	I+/O	Z+/K ^{*4}	I+/O	I+/O
POE	POE[3:0]	Z+	I+	Z+	I+	I+
SCIF[2:0]	RxD[2:0]	Z+	I+	Z+	I+	I+
	TxD[2:0]	Z+	O/Z+	O/Z+ ^{*4}	O/Z+	O/Z+
	SCK[2:0]	Z+	I+/O	K/Z+ ^{*4}	I+/O	I+/O
	RTS[2:0]	Z+	I+/O	K/Z+ ^{*4}	I+/O	I+/O
	CTS[2:0]	Z+	I+/O	K/Z+ ^{*4}	I+/O	I+/O
AUD	AUDSYN \bar{C}	Z+	O	O	O	O
	AUDCK	O	O	O	O	O
	AUDATA[3:0]	Z+	O	O	O	O
H-UDI	ASEBRKAK	O	O	O	O	O
	ASEMD0	I	I ^{*5}	I ^{*5}	I ^{*5}	I ^{*5}

分類	端子名	リセット状態		低消費電力状態		バス権 解放状態
		パワーオン	マニュアル	ソフトウェア スタンバイ	スリープ	
UDI	TCK	I++	I++	I++	I++	I++
	TDI	I++	I++	I++	I++	I++
	TMS	I++	I++	I++	I++	I++
	TRST	I++	I++	I++	I++	I++
	TDO	O/Z* ⁷	O/Z* ⁷	O/Z* ⁷	O/Z* ⁷	O/Z* ⁷
<p>【注】 UDI 未使用時には ASEMD0、TCK、TDI、TMS 端子はプルアップ、TDO、ASEBRKAK 端子はオープン、TRST 端子は RESETP と接続またはグランド固定としてください。 エミュレータ使用可能なボードを設計する場合には、エミュレータの指示に従って設計してください。</p>						
USB	TXDMNS TXDPLS	Z+	O	O/Z+* ⁴	O	O
	DMNS DPLS VBUS	Z+	I+	I+	I+	I+
	SUSPND TXENL	Z+	O	O/Z+* ⁴	O	O
	XVDATA UCLK	Z+	I+	I+	I+	I+
	DP DM	Z	I/O	I	I/O	I/O
	A/D	AN[7:0]	Z	I	Z	I
IIC2	SCL	Z	I/O	Z	I/O	I/O
	SDA					

【記号説明】

- I: 入力
- I+: 入力、ウィークキーバつき
- I++: 入力、プルアップつき
- O: 出力
- H: ハイレベル出力
- L: ローレベル出力
- Z: ハイインピーダンス(チップ動作に影響を与えませんが、中間電位を印加すると貫通電流が流れてしまうため、端子をうかせないでください。)
- Z+: ハイインピーダンス、ウィークキーバつき
- Z++: ハイインピーダンス、プルアップつき
- K: 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】
- *1 EXTAL 端子はプルアップ、XTAL 端子は解放にしてください。
 - *2 BSC のコモンコントロールレジスタの HIZCNT ビットの設定にしています。
 - *3 BSC のコモンコントロールレジスタの HIZMEM ビットの設定にしています。
 - *4 スタンバイコントロールレジスタの HIZ の設定にしています。
 - *5 チップ動作に影響を与えませんが、中間電位を印加すると貫通電流が流れてしまうため、端子をうかせないでください。
 - *6 I/O ポートのデータレジスタへの入力が可能です。
 - *7 H-UDI の TAP コントローラが Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。

A.2 I/O ポート設定時

表 A.2 I/O ポート設定時のリセット、低消費電力、バス権解放状態での端子状態

端子名	リセット状態		低消費電力状態		バス権解放状態
	パワーオン	マニュアル	ソフトウェアスタンバイ	スリープ	
PTA[14:0]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTB[8:0]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTC[15,14,12:0]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTC[13]	O	I+/O	Z+/K*	I+/O	I+/O
PTD[15:0]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTE[15:0]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTF[15:0]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTG[13:11,8]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTG[10:9]	Z	I/O	Z+/K*	I/O	I/O
PTG[7:0]	Z	I	Z	I	I
PTH[14:0]	Z+	I+/O	Z+/K*	I+/O	I+/O
PTJ[12:0]	Z+	I+/O	Z+/K*	I+/O	I+/O

【記号説明】

- I: 入力
- I+: 入力、ウィークキーバツキ
- O: 出力
- Z: ハイインピーダンス (チップ動作に影響を与えませんが、中間電位を印加すると貫通電流が流れてしまうため、端子をうかせないでください。)
- Z+: ハイインピーダンス、ウィークキーバツキ
- K: 入力端子はハイインピーダンス、出力端子は状態保持

【注】 * スタンバイコントロールレジスタの HIZ ビットの設定に従います。

B. 型名一覧

製品分類	製品型名	パッケージ
SH7641	DS76410D100BG DS76410D100BGV	PLBG0256GA-A*

【注】 * パッケージの詳細については弊社営業窓口にお問い合わせください。

EOL Product

C. 外形寸法図

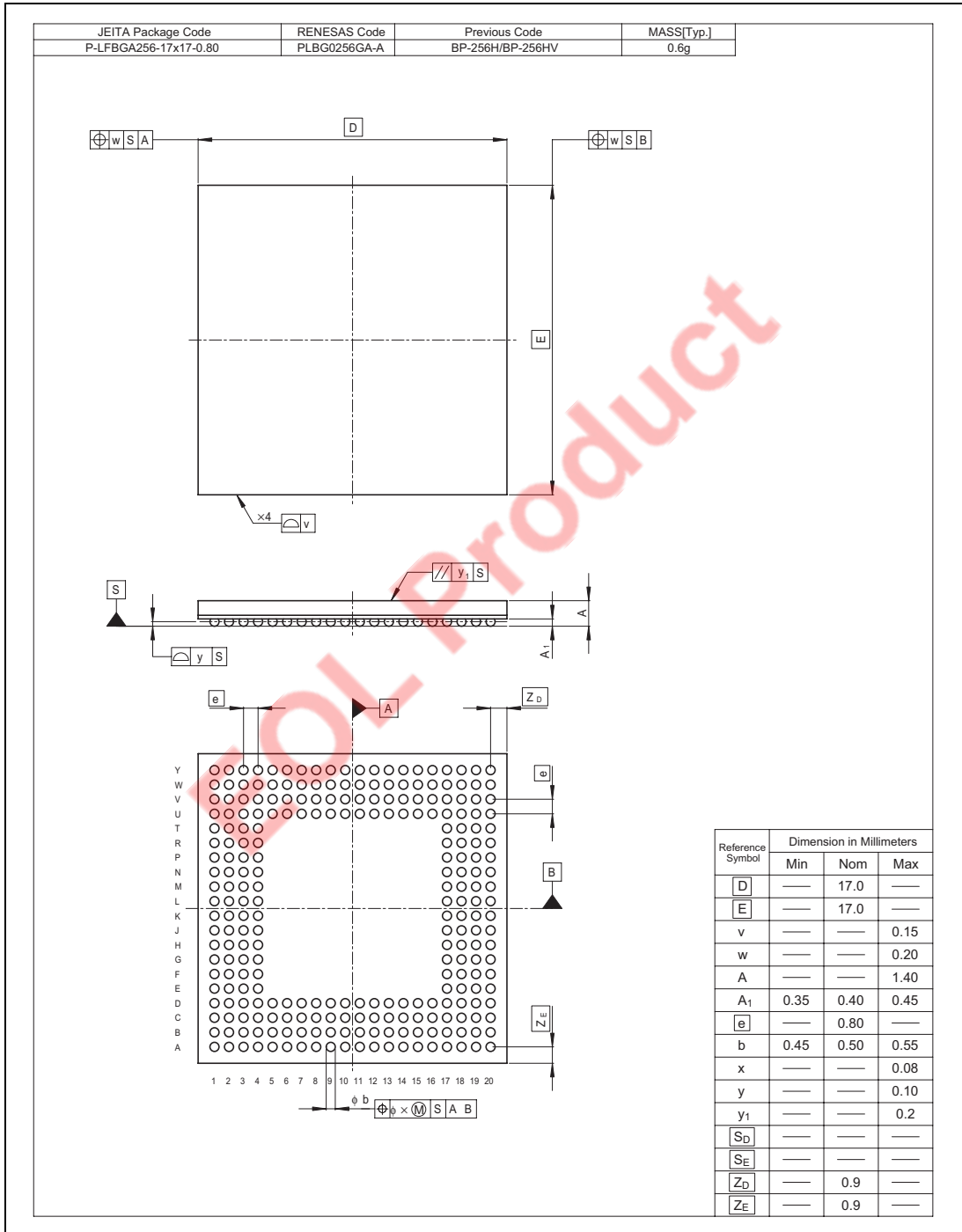
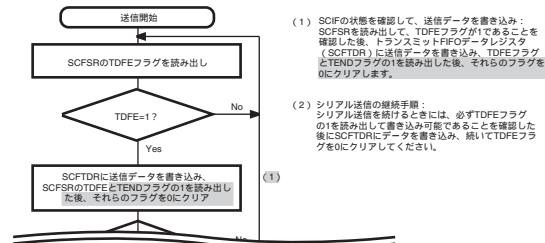
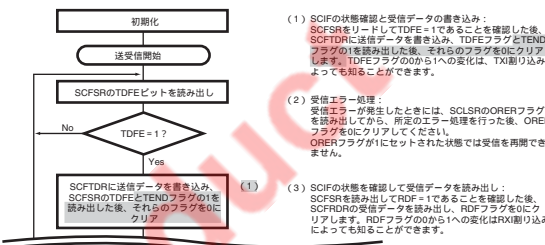
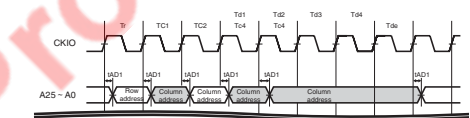
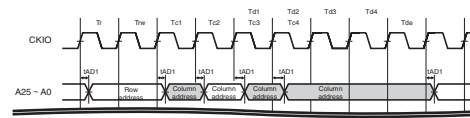
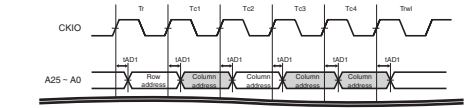
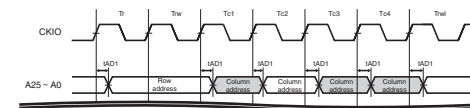
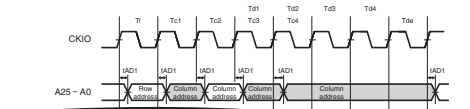
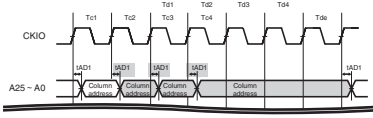
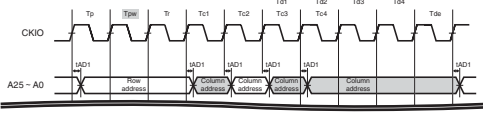
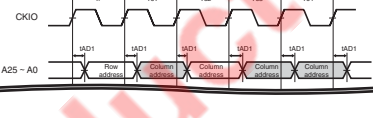
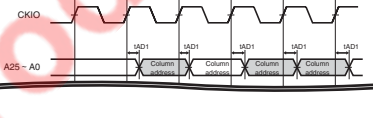
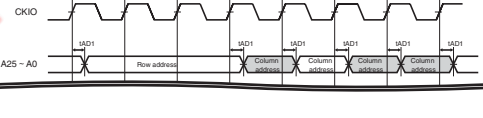


図 C.1 外形寸法図

本版で修正または追加された箇所

項 目	ページ	修正箇所				
16.7.2 マルチマスタで使用時の転送レート設定値の制限について	16-33	追加				
16.7.3 マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について	16-33	追加				
16.7.4 マスタ受信モードの注意事項について	16-33	追加				
19.3.7 シリアルステータスレジスタ (SCFSR)	19-12	修正 <div style="border: 1px solid black; padding: 5px; margin-top: 5px;"> <table style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%; border: 1px dashed black; text-align: center;">ビット</th> <th style="border: 1px dashed black; text-align: center;">説 明</th> </tr> </thead> <tbody> <tr> <td style="border: 1px dashed black; text-align: center; vertical-align: top;">5</td> <td style="border: 1px dashed black; vertical-align: top;"> <p>送信 FIFO データエンブティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示 [クリア条件]</p> <ul style="list-style-type: none"> ● TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータ SCFTDR に書き込み、TDFE に 0 を書き込んだとき ● DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示 [セット条件]</p> <ul style="list-style-type: none"> ● パワーオンリセット ● 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFDR の上位 8 ビットに示されます。</p> </td> </tr> </tbody> </table> </div>	ビット	説 明	5	<p>送信 FIFO データエンブティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示 [クリア条件]</p> <ul style="list-style-type: none"> ● TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータ SCFTDR に書き込み、TDFE に 0 を書き込んだとき ● DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示 [セット条件]</p> <ul style="list-style-type: none"> ● パワーオンリセット ● 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFDR の上位 8 ビットに示されます。</p>
ビット	説 明					
5	<p>送信 FIFO データエンブティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示 [クリア条件]</p> <ul style="list-style-type: none"> ● TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータ SCFTDR に書き込み、TDFE に 0 を書き込んだとき ● DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示 [セット条件]</p> <ul style="list-style-type: none"> ● パワーオンリセット ● 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFDR の上位 8 ビットに示されます。</p>					
19.4.3 クロック同期式モード時の動作 (2) クロック	19-39	追加 <p>・・・受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。この場合、$8 \times (16 + 1) = 136$ パルスの同期クロックが出力されます。n キャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用する場合は、RE = 1 かつ TE = 1 とし、n キャラクタ数のデータ送信と同時に n キャラクタの受信を行う手順としてください。</p>				

項目	ページ	修正箇所
図 19.13 シリアル送信のフローチャートの例	19-41	修正  <p>(1) SCIFの状態を確認して、送信データを書き込み、SCFSRを読み出して、TDFEフラグが1であることを確認した後、トランスミットFIFOデータレジスタ(SCFTDR)に送信データを書き込み、TDFEフラグとTENDフラグの1を読み出した後、それらのフラグを0にクリアします。</p> <p>(2) シリアル送信の継続手順 シリアル送信を続けるときには、必ずTDFEフラグの1を読み出して書き込み可能であることを確認した後SCFTDRにデータを書き込み、続いてTDFEフラグを0にクリアしてください。</p>
図 19.18 シリアル送受信のフローチャートの例	19-46	修正  <p>(1) SCIFの状態確認と受信データの書き込み: SCFSRをリードしてTDFE = 1であることを確認した後、SCFTDRに送信データを書き込み、TDFEフラグとTENDフラグの1を読み出した後、それらのフラグを0にクリアします。TDFEフラグの0から1への変化は、TX割り込みによって知るることができます。</p> <p>(2) 受信エラー処理: 受信エラーが発生したときには、SCLSRのORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では受信を再開できません。</p> <p>(3) SCIFの状態を確認して受信データを読み出し: SCFSRを読み出してRDF = 1であることを確認した後、SCFRDの受信データを読み出し、RDFフラグを0にクリアします。RDFフラグの0から1への変化はRX割り込みによって知るることができます。</p>
図 25.25 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分) (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)	25-27	修正 
図 25.26 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分) (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル)	25-28	修正 
図 25.29 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分) (オートプリチャージあり、WTRCD = 0 サイクル、TRWL = 1 サイクル)	25-31	修正 
図 25.30 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分) (オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)	25-32	修正 
図 25.31 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分) (バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)	25-33	修正 

項 目	ページ	修正箇所
図 25.32 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (バンクアクティブモード: READ コマンド、 同一ロウアドレス、CAS レイテンシ 2、 WTRCD = 0 サイクル)	25-34	修正 
図 25.33 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分) (バンクアクティブモード: PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)	25-35	修正 
図 25.34 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (バンクアクティブモード: ACT + WRITE コ マンド、WTRCD = 0 サイクル、TRWL = 0 サ イクル)	25-36	修正 
図 25.35 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (バンクアクティブモード: WRITE コマン ド、同一ロウアドレス、WTRCD = 0 サイクル、 TRWL = 0 サイクル)	25-37	修正 
図 25.36 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分) (バンクアクティブモード: PRE + ACT + WRITE コマンド、異なるロウアドレス、 WTRCD = 0 サイクル、TRWL = 0 サイクル)	25-38	修正 

EOL Product

索引

【数字 / 記号】	
16 ビット / 32 ビットディスプレイメント	2-18
【 A 】	
A/D 変換器	21-1
A/D 変換器特性	25-54
A/D 変換時間	21-13
ALU 固定小数点演算	3-1
ALU 整数演算	3-5
ALU 論理演算	3-7
A フィールド	2-32
【 B 】	
B フィールド	2-33
【 C 】	
CPU	2-1
CPU アドレスエラー	9-8
CPU コア命令	2-16
CSn アサート期間拡張	12-52
【 D 】	
DMA アドレスエラー	9-10
DSP アドレッシング	3-23
DSP データ命令	2-47
DSP レジスタ	2-9
DSP 演算	3-1
DSP 演算命令	2-50
【 E 】	
EP1 バルクアウト転送	20-25
EP2 バルクイン転送	20-27
EP3 インタラプトイン転送	20-29
EPDR0i	20-8
EPDR0o	20-9
EPDR0s	20-9
EPDR1	20-9
EPDR2	20-10
EPDR3	20-10
EPSZ0o	20-10
EPSZ1	20-10
【 F 】	
FIFO 付きシリアルコミュニケーションインタフェース (SCIF)	19-1
【 I 】	
I/O ポート	23-1
I ² C バスインタフェース 2 (IIC2)	16-1
I ² C バスフォーマット	16-14
IRQ 割り込み	10-11
【 L 】	
LRU	7-3
【 M 】	
MPX-I/O インタフェース	12-53
MSB 検出命令	3-13
【 N 】	
NMI 割り込み	10-11
【 P 】	
PLL 回路 1	4-3
PLL 回路 2	4-3
【 S 】	
SB ファンクションモジュール	20-1
SDRAM インタフェース	12-56
【 T 】	
TAP コントローラ	15-13
T ビット	2-17
【 U 】	
USB 外部回路例	20-36
USB バスパワー方式	20-38
USB 標準コマンド	20-30
U メモリ	14-1

【X】	
X、Y データアドレッシング	2-22
X/Y メモリ	8-1

【あ】	
アクセスウェイト制御	12-50
アクセスサイクル間ウェイト	12-100
アドレスアレイ	7-2, 7-10
アドレスマップ	12-6
アドレスマルチプレクス	12-59
アドレッシングモード	2-19
一般不当命令例外	9-8
イミディエイトデータ	2-17
インターバルタイマモード	5-7
ウィークキーバ付き I/O バッファ	22-17
ウォッチドッグタイマ	5-1
ウォッチドッグタイマモード	5-7
エンディアン	12-42
オートリクエストモード	13-17
オートリフレッシュ	12-78
オーバフロー防止機能	3-17
オープンドレイン付き I/O バッファ	22-17
オフセット誤差	21-16
オペランドの競合	3-22

【か】	
外部リクエストモード	13-17
キャッシュ	7-1
空間分割	12-5
繰り返し開始レジスタ	2-1
繰り返し終了レジスタ	2-1
グローバルベースレジスタ	2-1
クロック同期式シリアルフォーマット	16-23
クロック同期式モード時の動作	19-38
クロックパルス発振器	4-1
クロック周波数制御回路	4-3
クロック動作モード	4-5
固定小数点乗算	3-9
固定モード	13-20
コントロール転送	20-19
コントロールレジスタ	2-6
コンペアマッチ	17-6
コンペアマッチタイマ (CMT)	17-1

【さ】	
サイクルスチールモード	13-27
算術演算命令	2-38
システムレジスタ	2-9
システム制御命令	2-42
シフト演算	3-10
シフト命令	2-40
シャドウ空間	12-5
周辺モジュールリクエストモード	13-18
乗算 / 積和演算	2-17
シングルアドレスモード	13-25
シングルデータアドレッシング	2-23
シングルモード	21-7
シンクロナス DRAM タイミング	25-25
水晶発振器	4-3
スキャンモード	21-11
スタンバイモード	6-7
スタンバイ制御回路	4-3
ステータスレジスタ	2-1
ストール動作	20-31
スリープモード	6-7
スロット不当命令例外	9-9
制御信号タイミング	25-10
積和下位レジスタ	2-1
積和上位レジスタ	2-1
絶対アドレス	2-18
絶対最大定格	25-1
セルフリフレッシュ	12-79
相補 PWM モード	18-65

【た】	
退避ステータスレジスタ	2-1
退避プログラムカウンタ	2-1
ダイレクトメモリアクセスコントローラ (DMAC)	13-1
遅延分岐	2-17
調歩同期式モード時の動作	19-29
通常空間インタフェース	12-45
低消費電力モード	6-1
データアライメント	12-42
データアレイ	7-2, 7-11
データサイズ	2-16
データ形式	2-14

データ転送命令	2-37, 3-18
デュアルアドレスモード	13-23
電源投入シーケンス	25-2
同期動作	18-45, 18-50, 18-56, 18-89, 18-94

【な】

内蔵周辺モジュール割り込み	10-12
ノイズ除去回路	16-26

【は】

バースト MPX-I/O インタフェース	12-95
バースト ROM	12-99
バースト ROM インタフェース	12-89
バースト ROM リードサイクル	25-24
バーストモード	13-28
バイト選択付 SRAM インタフェース	12-90
バイト選択付 SRAM バスサイクル	25-22
バウンダリスキャン	15-16
バスアービトラージ	12-109
バスステートコントローラ (BSC)	12-1
パワーオンリセット	6-2
汎用レジスタ	2-4
非直線性誤差	21-16
ビット同期回路	16-32
ピンファンクションコントローラ (PFC)	22-1
フルスケール誤差	21-16
プログラムカウンタ	2-1
プロシージャレジスタ	2-1
分岐命令	2-41
分周器	4-3
ベクタベースレジスタ	2-1

【ま】

マニュアルリセット	6-2
マルチファンクションタイムパルスユニット	18-1
インプットキャプチャ	18-44
コンペアマッチ	18-42
ハイインピーダンス状態	18-130
フリーランニングカウンタ動作	18-40
周期カウンタ動作	18-40
マルチファンクションタイムパルスユニット (MTU)	18-1
マルチモード	21-9
丸め演算	3-16
無条件トラップ	9-9
命令形式	2-28, 2-30
モジュールスタンバイ機能	6-9

モジュロアドレッシング	2-24, 3-32
モジュロレジスタ	2-1

【や】

ユーザデバッグインタフェース (H-UDI)	15-1
ユーザブレークコントローラ	11-1
ユーザブレークポイントトラップ	9-10
優先順位	9-5, 10-12

【ら】

ラウンドロビンモード	13-20
リセット同期 PWM モード	18-62
量子化誤差	21-16
例外処理	9-1
レジスタ	
ADCR	21-6
ADCSR	21-4
ADDR	21-4
BAMRA	11-4
BAMRB	11-6
BARA	11-3
BARB	11-5
BBRA	11-4
BBRB	11-8
BDMRB	11-7
BDRB	11-6
BETR	11-11
BRCR	11-9
BRDR	11-12
BRSR	11-12
CCR1	7-4
CCR2	7-5
CHCR	13-5
CMCNT	17-4
CMCOR	17-4
CMCSR	17-3
CMNCR	12-9
CMSTR	17-2
CSBCR	12-12
CSWCR	12-15
DAR	13-4
DMAOR	13-10
DMARS	13-13
DMATCR	13-4
EXPEVT	9-2
FRQCR	4-8
ICCR1	16-5

ICCR2	16-6	SCFTDR.....	19-5
ICDRR.....	16-13	SCLSR	19-26
ICDRS.....	16-13	SCRSR.....	19-4
ICDRT.....	16-12	SCSCR.....	19-8
ICIER	16-9	SCSMR	19-6
ICMR.....	16-8	SCSPTR.....	19-24
ICR0.....	10-5	SCTSR	19-5
ICR1.....	10-6	SDBPR.....	15-3
ICSR	16-10	SDBSR.....	15-4
ICSR1	18-132	SDCR	12-37
IMCR.....	10-9	SDID.....	15-12
IMR	10-8	SDIR.....	15-3
IPRB.....	10-4	STBCR	6-3
IRR0.....	10-8	STBCR2.....	6-3
NF2CYC.....	16-13	STBCR3.....	6-4
OCSR.....	18-135	TCBR	18-39
PACR.....	22-7	TCDR	18-39
PADR.....	23-2	TCNT.....	18-32
PBCR.....	22-8	TCNTS.....	18-39
PBDR.....	23-4	TCR	18-8
PCCR.....	22-9	TDDR	18-39
PCDR.....	23-6	TGCR	18-37
PDCR.....	22-10	TGR.....	18-32
PDDR.....	23-8	TIER.....	18-29
PECR.....	22-11	TIOR.....	18-12
PEDR.....	23-10	TMDR	18-11
PEIOR.....	22-12	TOCR	18-36
PEMTURWER.....	22-12	TOER	18-35
PFCR	22-13	TRA	9-2
PFDR	23-12	TSR	18-30
PGCR.....	22-14	TSTR.....	18-33
PGDR.....	23-14	TSYR.....	18-34
PHCR.....	22-15	USBCTRL.....	20-16
PHDR.....	23-17	USBDASTS	20-12
PJCR.....	22-16	USBDMAR	20-14
PJDR.....	23-19	USBEPSTL.....	20-15
RTCNT.....	12-41	USBFCLR.....	20-13
RTCOR	12-41	USBIER0.....	20-7
RTCSR.....	12-40	USBIER1.....	20-8
RWTCNT.....	12-42	USBIER2.....	20-8
SAR (DMAC)	13-4	USBIFR0.....	20-4
SAR (IIC2)	16-12	USBIFR1.....	20-5
SCBRR	19-15	USBIFR2.....	20-6
SCFCR.....	19-21	USBISR0.....	20-6
SCFDR.....	19-23	USBISR1.....	20-7
SCFRDR	19-5	USBTRG	20-11
SCFSR	19-10	USBXVERCR	20-15

WTCNT	5-3
WTCSR	5-3
ローカルデータ移動命令	3-21
ロードストアアーキテクチャ	2-16
論理演算命令	2-40

【わ】

割り込みコントローラ	10-1
割り込み例外処理	10-12

EOL Product

EOL Product

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7641

発行年月日 2006年9月8日 Rev.1.00
2007年3月8日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

EOL Product

EOL Product

SH7641
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0376-0200