

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH7630

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ
SuperH RISC engineファミリ

SH7630

HD6417630

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

2. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

3. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で修正または追加された主な箇所 (改訂版のみ適用)

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上で
ご確認ください。

11. 索引

はじめに

SH7630 は、ルネサステクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイクロプロセッサです。

対象者 このマニュアルは、SH7630 を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7630 のハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。
なお、実行命令の詳細については、「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 対象製品と製品略称の表記について。

本書では、下記の製品について説明をします。

製品分類と製品略称	基本製品型名
基本分類	
SH7630	HD6417630

- 機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」を参照してください。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://www.renesas.com/jpn/>)

- SH7630に関するユーザズマニュアル

資料名	資料番号
SH7630 ハードウェアマニュアル	本マニュアル
SH-3/SH-3E/SH3-DSP プログラミングマニュアル	ADJ - 602 - 120

- 開発ツール関連ユーザズマニュアル

資料名	資料番号
SuperH RISC engine C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ V.9.00 ユーザズマニュアル	RJJ10B0156
SuperH RISC engine High-Performance Embedded Workshop 3 ユーザズマニュアル	RJJ10B0028
SuperH RISC engine High-Performance Embedded Workshop 3 チュートリアル	RJJ10B0026

- アプリケーションノート

資料名	資料番号
SuperH RISC engine C/C++ コンパイラパッケージアプリケーションノート	RJJ05B0557

略語の説明

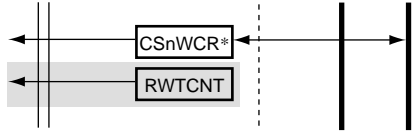
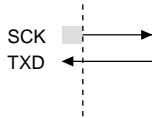
ALU	Arithmetic Logic Unit 演算論理回路
ASE	Adaptive System Evaluator 適応システム評価
ASID	Address Space Identifier アドレス空間識別子
AUD	Advanced User Debugger アドバンスドユーザデバッガ
bps	bit per second ビット数/秒
BSC	Bus State Controller バスステートコントローラ
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
DAC	Digital to Analog Converter デジタル-アナログ変換器
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
DSP	Digital Signal Processor デジタルシグナルプロセッサ
ESD	Electrostatic Discharge 静電放電
etu	Elementary Time Unit ビット時間
FIFO	First-In First-Out 先入れ先出しレジスタ
Hi-Z	High Impedance ハイインピーダンス
H-UDI	User Debug Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ
LSB	Least Significant Bit 最下位ビット

MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PFC	Pin Function Controller ピンファンクションコントローラ
PLL	Phase Locked Loop 位相ロックループ
RAM	Random Access Memory ランダムアクセスメモリ
RF	Radio Frequency 無線周波数
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
ROM	Read Only Memory リードオンリーメモリ
RTC	Real Time Clock リアルタイムクロック
SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
SOF	Start Of Frame フレーム開始信号
TAP	Test Access Port テスト端子
T.B.D.	To Be Determined 未定
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
UBC	User Break Controller ユーザブレイクコントローラ
USB	Universal Serial Bus ユニバーサルシリアルバス
WDT	Watch Dog Timer ウォッチドッグタイマ

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																								
1.1 SH7630 の特長 表 1.1 SH7630 の特長	1-3	<p>表の修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>特長</th> </tr> </thead> <tbody> <tr> <td>ウォッチドッグ タイマ (WDT)</td> <td>1チャンネルのウォッチドッグタイマ ウォッチドッグタイマモードとインターバルタイマモードを選択可能 インターバルタイマモード時、割り込み発生可能</td> </tr> </tbody> </table>	項目	特長	ウォッチドッグ タイマ (WDT)	1チャンネルのウォッチドッグタイマ ウォッチドッグタイマモードとインターバルタイマモードを選択可能 インターバルタイマモード時、割り込み発生可能																				
項目	特長																									
ウォッチドッグ タイマ (WDT)	1チャンネルのウォッチドッグタイマ ウォッチドッグタイマモードとインターバルタイマモードを選択可能 インターバルタイマモード時、割り込み発生可能																									
	1-4	<table border="1"> <thead> <tr> <th>項目</th> <th>特長</th> </tr> </thead> <tbody> <tr> <td>USBファンクション コントローラ (USBF)</td> <td>USB2.0 Full Speed対応 USBトランシーバ内蔵 : : : エンドポイント用のFIFOバッファを内蔵 (バルク、アイソクロ..... : : 割り込み要求あり、DMAC要求あり</td> </tr> <tr> <td>ブルートゥース インタフェース (BT)</td> <td>Bluetooth規格v1.2に対応 ルネサステクノロジのRF-IC (HD157100NP / HD157102NP) : : 4種類 (A-law/μ-law/CVSD/Linear PCM) のVoice CODECに対応</td> </tr> </tbody> </table>	項目	特長	USBファンクション コントローラ (USBF)	USB2.0 Full Speed対応 USBトランシーバ内蔵 : : : エンドポイント用のFIFOバッファを内蔵 (バルク、アイソクロ..... : : 割り込み要求あり、DMAC要求あり	ブルートゥース インタフェース (BT)	Bluetooth規格v1.2に対応 ルネサステクノロジのRF-IC (HD157100NP / HD157102NP) : : 4種類 (A-law/μ-law/CVSD/Linear PCM) のVoice CODECに対応																		
項目	特長																									
USBファンクション コントローラ (USBF)	USB2.0 Full Speed対応 USBトランシーバ内蔵 : : : エンドポイント用のFIFOバッファを内蔵 (バルク、アイソクロ..... : : 割り込み要求あり、DMAC要求あり																									
ブルートゥース インタフェース (BT)	Bluetooth規格v1.2に対応 ルネサステクノロジのRF-IC (HD157100NP / HD157102NP) : : 4種類 (A-law/μ-law/CVSD/Linear PCM) のVoice CODECに対応																									
1.2 ブロック図 図 1.1 SH7630 の構成	1-5	<p>図中の記号説明の修正と注の追加</p> <p>【記号説明】</p> <table> <tbody> <tr> <td>ASERAM</td> <td>:ASE メモリ</td> <td>INTC</td> <td>:割り込みコントローラ</td> </tr> <tr> <td></td> <td>:</td> <td></td> <td>:</td> </tr> <tr> <td>CACHE</td> <td>:キャッシュメモリ</td> <td>TMU</td> <td>:タイマユニット</td> </tr> <tr> <td>CCN</td> <td>:キャッシュメモリコントローラ</td> <td>UBC</td> <td>:ユーザブレイクコントローラ</td> </tr> <tr> <td>CPG</td> <td>:クロック発振器</td> <td>UMC</td> <td>:U メモリコントローラ</td> </tr> <tr> <td>WDT</td> <td>:ウォッチドッグタイマ</td> <td>UMEM</td> <td>:U メモリ</td> </tr> </tbody> </table> <p>【注】本 LSI 内蔵の AUD、ASERAM は、デバッグ用のモジュールであり、本マニュアルでの説明は省略します。詳しくは、開発関連ユーザーズマニュアルを参照してください。</p>	ASERAM	:ASE メモリ	INTC	:割り込みコントローラ		:		:	CACHE	:キャッシュメモリ	TMU	:タイマユニット	CCN	:キャッシュメモリコントローラ	UBC	:ユーザブレイクコントローラ	CPG	:クロック発振器	UMC	:U メモリコントローラ	WDT	:ウォッチドッグタイマ	UMEM	:U メモリ
ASERAM	:ASE メモリ	INTC	:割り込みコントローラ																							
	:		:																							
CACHE	:キャッシュメモリ	TMU	:タイマユニット																							
CCN	:キャッシュメモリコントローラ	UBC	:ユーザブレイクコントローラ																							
CPG	:クロック発振器	UMC	:U メモリコントローラ																							
WDT	:ウォッチドッグタイマ	UMEM	:U メモリ																							
1.3 ピン配置図 図 1.2 BGA パッケージのピン配置図	1-6	図の差し替え																								
1.3 ピン配置図 表 1.2 ピンごとの機能および初期状態一覧表	1-7	<p>表の修正</p> <table border="1"> <thead> <tr> <th>端子番号</th> <th>端子名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>A9</td> <td>RDI_TXTRDATA*2</td> <td>RF-IC用送受信データ入出力。初期状態は出力となります。未使用時はプルアップしてください。</td> </tr> <tr> <td>B4</td> <td>EXTAL2</td> <td>Bluetooth低消費電力状態用水晶発振器端子。未使用時はプルアップしてください。</td> </tr> <tr> <td>B10</td> <td>Vcc_28</td> <td>RF ICとの入出力端子用電源 (2.8V / 3.3V)</td> </tr> <tr> <td>B11</td> <td>RDI_REFCLK_IN*2</td> <td>RF ICとのデータ入出力およびUSB用クロック入力*3およびリセットホールドカウンタ用クロック入力*4。常時入力状態です。</td> </tr> <tr> <td>B13</td> <td>USB_N</td> <td>USB内蔵トランシーバD-入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。</td> </tr> <tr> <td>B14</td> <td>USB_P</td> <td>USB内蔵トランシーバD+入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。</td> </tr> </tbody> </table>	端子番号	端子名	機能	A9	RDI_TXTRDATA*2	RF-IC用送受信データ入出力。初期状態は出力となります。未使用時はプルアップしてください。	B4	EXTAL2	Bluetooth低消費電力状態用水晶発振器端子。未使用時はプルアップしてください。	B10	Vcc_28	RF ICとの入出力端子用電源 (2.8V / 3.3V)	B11	RDI_REFCLK_IN*2	RF ICとのデータ入出力およびUSB用クロック入力*3およびリセットホールドカウンタ用クロック入力*4。常時入力状態です。	B13	USB_N	USB内蔵トランシーバD-入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。	B14	USB_P	USB内蔵トランシーバD+入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。			
端子番号	端子名	機能																								
A9	RDI_TXTRDATA*2	RF-IC用送受信データ入出力。初期状態は出力となります。未使用時はプルアップしてください。																								
B4	EXTAL2	Bluetooth低消費電力状態用水晶発振器端子。未使用時はプルアップしてください。																								
B10	Vcc_28	RF ICとの入出力端子用電源 (2.8V / 3.3V)																								
B11	RDI_REFCLK_IN*2	RF ICとのデータ入出力およびUSB用クロック入力*3およびリセットホールドカウンタ用クロック入力*4。常時入力状態です。																								
B13	USB_N	USB内蔵トランシーバD-入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。																								
B14	USB_P	USB内蔵トランシーバD+入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。																								


修正項目	ページ	修正内容（詳細はマニュアル参照）																					
1.3 ピン配置図 表 1.2 ピンごとの機能および初期状態一覧表	1-8	<table border="1"> <thead> <tr> <th>端子番号</th> <th>端子名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>C4</td> <td>XTAL2</td> <td>Bluetooth低消費電力状態用水晶発振器端子。未使用時はOPENにしてください。</td> </tr> <tr> <td>C10</td> <td>Vss_28</td> <td>RF ICとの入出力端子用電源（0V）</td> </tr> <tr> <td>C11</td> <td>RCL_SPI_CLK*2</td> <td>RF ICとのSPIインタフェースクロック出力</td> </tr> <tr> <td>C12</td> <td>RCL_SPI_TXRX*2</td> <td>RF ICとのSPIシリアルデータ入出力。初期状態は出力となります。未使用時はプルアップしてください。</td> </tr> <tr> <td>D11</td> <td>RCL_SPI_ENB*2</td> <td>RF ICとのSPIインタフェースイネーブル出力。</td> </tr> </tbody> </table>	端子番号	端子名	機能	C4	XTAL2	Bluetooth低消費電力状態用水晶発振器端子。未使用時はOPENにしてください。	C10	Vss_28	RF ICとの入出力端子用電源（0V）	C11	RCL_SPI_CLK*2	RF ICとのSPIインタフェースクロック出力	C12	RCL_SPI_TXRX*2	RF ICとのSPIシリアルデータ入出力。初期状態は出力となります。未使用時はプルアップしてください。	D11	RCL_SPI_ENB*2	RF ICとのSPIインタフェースイネーブル出力。			
端子番号	端子名	機能																					
C4	XTAL2	Bluetooth低消費電力状態用水晶発振器端子。未使用時はOPENにしてください。																					
C10	Vss_28	RF ICとの入出力端子用電源（0V）																					
C11	RCL_SPI_CLK*2	RF ICとのSPIインタフェースクロック出力																					
C12	RCL_SPI_TXRX*2	RF ICとのSPIシリアルデータ入出力。初期状態は出力となります。未使用時はプルアップしてください。																					
D11	RCL_SPI_ENB*2	RF ICとのSPIインタフェースイネーブル出力。																					
	1-9	<table border="1"> <thead> <tr> <th>端子番号</th> <th>端子名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>D15</td> <td>UCLK</td> <td>USB用外部クロック入力。初期状態は内部DLLクロックが有効となり、この端子は内部で入力固定されています。未使用時はプルアップしてください。</td> </tr> <tr> <td>D16</td> <td>USB_VBUS</td> <td>USBケーブル接続モニタ入力。未使用時はプルダウンしてください。</td> </tr> </tbody> </table>	端子番号	端子名	機能	D15	UCLK	USB用外部クロック入力。初期状態は内部DLLクロックが有効となり、この端子は内部で入力固定されています。未使用時はプルアップしてください。	D16	USB_VBUS	USBケーブル接続モニタ入力。未使用時はプルダウンしてください。												
端子番号	端子名	機能																					
D15	UCLK	USB用外部クロック入力。初期状態は内部DLLクロックが有効となり、この端子は内部で入力固定されています。未使用時はプルアップしてください。																					
D16	USB_VBUS	USBケーブル接続モニタ入力。未使用時はプルダウンしてください。																					
表 1.2 ピンごとの機能および初期状態一覧表	1-13	<p>注 *3*4の追加</p> <p>*3 USB ピンマルチプレクスコントローラの EXCPG 制御レジスタ（EXCPGCR）の USBCLKSEL ビットを 0 にすることで RDI_REFCLK_IN から入力したクロックが USB 用クロックとして有効となります。ただし内蔵遅倍回路を使用した場合、クロック精度は USB 規格の値を保証できません。本 LSI の USB 機能を使用する場合は、上記の方法よりも、UCLK 端子から USB の規格に適合した精度を持つ 48MHz のクロックを入力することを推奨します。</p> <p>*4 本 LSI 内部には、RDI_REFCLK_IN から入力されるクロックを使ったりセットホールドカウンタが備えられているため Bluetooth 機能を使用しない場合においても、本端子には必ずクロック供給をするようにしてください。本端子に供給するクロックは、EXTAL 端子に供給するクロックと同一のもので対応可能です。</p>																					
1.4 端子の機能 表 1.3 SH7630 端子機能	1-14	<p>表の修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>記号</th> <th>入出力</th> <th>名称</th> </tr> </thead> <tbody> <tr> <td rowspan="2">クロック</td> <td>Vcc (PLL1)</td> <td>入力</td> <td>PLL1用電源</td> </tr> <tr> <td>VDD (PLL1)</td> <td>出力</td> <td>PLL1用電源</td> </tr> </tbody> </table>	分類	記号	入出力	名称	クロック	Vcc (PLL1)	入力	PLL1用電源	VDD (PLL1)	出力	PLL1用電源										
分類	記号	入出力	名称																				
クロック	Vcc (PLL1)	入力	PLL1用電源																				
	VDD (PLL1)	出力	PLL1用電源																				
2.6.2 オペレーションコードマップ 表 2.12 オペレーションコードマップ	2-34	<p>表の修正</p> <table border="1"> <thead> <tr> <th colspan="4">命令コード</th> <th>Fx: 0001</th> <th>Fx: 0010</th> <th>Fx: 0011 ~ 1111</th> </tr> <tr> <th colspan="2">MSB</th> <th colspan="2">LSB</th> <th>MD: 01</th> <th>MD: 10</th> <th>MD: 11</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>0000</td> <td>00MD</td> <td>1000</td> <td>SETT</td> <td>CLRMAC</td> <td></td> </tr> </tbody> </table>	命令コード				Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111	MSB		LSB		MD: 01	MD: 10	MD: 11	0000	0000	00MD	1000	SETT	CLRMAC	
命令コード				Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111																	
MSB		LSB		MD: 01	MD: 10	MD: 11																	
0000	0000	00MD	1000	SETT	CLRMAC																		
4.3.5 アドレスエラー	4-3	新規追加																					
5.3.1 リセット (1) パワーオンリセット	5-8	<p>注*1の追加と修正</p> <p>*1 RESETP 端子を用いたリセットについては、注意事項があります。詳細については「第 9 章 クロックパルス発振器」の「9.6.2 RESETP 端子を用いたリセットについて」を参照してください。</p>																					

修正項目	ページ	修正内容（詳細はマニュアル参照）
7.1 特長 図 7.1 BSC のブロック図	7-2	<p>図の修正</p>  <p>【記号説明】 CMNCR : 共通コントロールレジスタ CSnBCR : エリアnバスコントロールレジスタ CSnWCR : エリアnウェイトコントロールレジスタ RWCNT : リセットウェイトカウンタ</p>
7.4 レジスタの説明	7-6	追加 <ul style="list-style-type: none"> CS4 空間ウェイトコントロールレジスタ (CS4WCR) リセットウェイトカウンタ (RWCNT)
7.6.2 リセット 7.6.3 LSI 内部バスマスタからみたアクセス 7.6.4 内蔵周辺モジュールのアクセス	7-28 ~ 7-30	新規追加
8.5 使用上の注意事項 (4) 転送要求元が内蔵周辺モジュールの場合	8-24	新規追加
9.6.2 RESETP 端子を用いたリセットについて 9.7 ポート設計上の注意事項	9-8	新規追加
11.7 使用上の注意事項	11-10	削除
13.1 特長 図 13.1 SCIF のブロック図	13-2	<p>図の修正</p> 
15.1 特長	15-1	説明の修正 本 LSI は USB2.0 規格で規定された 48MHz のクロックを RDI_REFCLK...
15.2 入出力端子 表 15.1 端子構成（アナログトランシーバ信号）	15-3	注の修正 【注】表 15.1 に示された端子は、1 ポートの USB ファンクションコントローラ端子として使用することが可能です。未使用時はプルダウンしてください。
15.4.2 使用上の注意事項 (2) USB に供給されるクロックに関して	15-9	説明の修正 USB クロックを内部選倍回路で生成する場合、クロックのソースは.....RDI_REFCLK_IN 端子からの入力クロックから生成しています。 ただし、内部選倍回路を使用した場合、クロック精度は USB 規格の値を保障できません。本 LSI の USB 機能を使用する場合には、上記の.....

修正項目	ページ	修正内容（詳細はマニュアル参照）
15.4.2 使用上の注意事項 (5) 周辺モジュールで使用する周辺クロック	15-9	削除
16.1 特長	16-1	説明の修正 <ul style="list-style-type: none"> • USB2.0 に対応した UDC (USB Device Controller) を内蔵、USB プ.....
19. ブルートゥースインタフェース (BT)	19-1	説明を修正 <p>本 LSI は、ブルートゥースベースバンド処理に必要なブルートゥースインタフェース (BT) を内蔵しています。本 BT は、ブルートゥース規格 (ver1.2) に従い、ハードウェアとファームウェアとの.....機能を備えています。本 LSI は本機能を.....LOGO 認証を取得予定です。</p> <p>上位プロトコルスタックを構築するために、ブルートゥース規格 (ver1.2) で規定されている HCI コマンドをサポートしているほか、独自に TCI (Test Command Interface) コマンドをサポートしています。実際の上位プロトコルスタックと下位プロトコルスタックとのコミュニケーションのため の関数を API (Application Interface) として用意しています。独自サポートの TCI コマンドおよび API 関数の詳細資料がご入り用の場合は、別途弊社営業窓口までご相談ください。</p>
19.1 特長	19-1	説明を修正 <ul style="list-style-type: none"> • ブルートゥース規格 (ver1.2) に対応 ： • Voice Codec 方式では A-law - μ-law、CVSD - LinearPCM、LinearPCM - A/μ-law、A/μ-law - CVSD 相互変換が可能 ： • HCI コマンドの他に独自の TCI コマンド、API 関数 をサポート
19.8 Bluetooth HCI / TCI コマンドと API	19-11	説明を修正 <p>本 LSI は、上位プロトコルスタックを構築するために、ブルートゥース規格 (ver1.2) で規定されている HCI (Host Control Interface) コマンドおよび TCI (Test Control Interface) コマンドをサポートしているほか、独自に TCI コマンドをサポートしています。ブルートゥース規格 (ver1.2) で規定されている HCI コマンドおよび TCI コマンドについての詳細は、ブルートゥース規格 (ver1.2) を参照してください。独自サポートの TCI コマンドの詳細資料が御入用の場合は、別途弊社営業窓口まで御相談ください。</p> <p>また、本 LSI は HCI より下位層の.....追加できるようにしています。また、本ライブラリのアプリケーションインタフェース (API) は、.....本 LSI に移植できます。本ライブラリのアプリケーションインタフェース (API) として、関数が用意されています。それぞれの関数の詳細資料が御入用の場合は、別途弊社営業窓口まで御相談ください。</p>
19.9 基板設計の制約事項	19-11 ~ 19-14	新規追加

修正項目	ページ	修正内容（詳細はマニュアル参照）																																			
23.2 レジスタビット一覧	23-19	<p>表の修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット 28/20/ 12/4</th> <th>ビット 27/19/ 11/3</th> <th>ビット 26/18/ 10/2</th> <th>ビット 25/17/ 9/1</th> <th>ビット 24/16/ 8/0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>SDIR</td> <td>-</td> <td>-</td> <td>T2</td> <td>T1</td> <td>T0</td> <td>H-UDI</td> </tr> </tbody> </table>	レジスタ 略称	ビット 28/20/ 12/4	ビット 27/19/ 11/3	ビット 26/18/ 10/2	ビット 25/17/ 9/1	ビット 24/16/ 8/0	モジュール	SDIR	-	-	T2	T1	T0	H-UDI																					
レジスタ 略称	ビット 28/20/ 12/4	ビット 27/19/ 11/3	ビット 26/18/ 10/2	ビット 25/17/ 9/1	ビット 24/16/ 8/0	モジュール																															
SDIR	-	-	T2	T1	T0	H-UDI																															
23.3 各動作モードにおけるレジスタの状態	23-24	<p>表の注に*4を追加</p> <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>パワーオン リセット*1</th> <th>マニュアル リセット*1</th> <th>ソフトウェア スタンバイ*1</th> <th>モジュール スタンバイ*1</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td>SDIDH*4</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>SDIDL*4</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table> <p>【注】*1 レジスタの初期値は、各モジュールの章を参照してください。…… : *4 固定値です。</p>	レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ*1	モジュール スタンバイ*1	スリープ	SDIDH*4	-	-	-	-	-	SDIDL*4	-	-	-	-	-																	
レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ*1	モジュール スタンバイ*1	スリープ																																
SDIDH*4	-	-	-	-	-																																
SDIDL*4	-	-	-	-	-																																
24.2 DC 特性 表 24.2 DC 特性（1）【共通項目】	24-3	<p>表の修正と注の追加</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>消費電流 通常動作時</td> <td>I_{CC}</td> <td>-</td> <td>80</td> <td>130</td> <td>mA</td> <td>V_{CC}、AV_{CC}(DAC)、 AV_{CC}(USB) = 3.3V I = 52MHz B = 26MHz</td> </tr> <tr> <td>V_{CC_28}消費電流</td> <td>I_{VCC_28}</td> <td>-</td> <td>-</td> <td>6</td> <td>mA</td> <td>弊社RF-ICに接続時*1</td> </tr> <tr> <td>端子容量 全デジタル端子*2</td> <td>C</td> <td>-</td> <td>-</td> <td>10</td> <td>pF</td> <td></td> </tr> <tr> <td>アナログ電源電圧（DAC）</td> <td>AV_{CC} (DAC)</td> <td>2.7</td> <td>3.3</td> <td>3.6</td> <td>V</td> <td></td> </tr> </tbody> </table> <p>【注】*1 接続可能な RF-IC は、HD157100NP、HD157102NP です。 *2 電源端子および以下に示すアナログなどの特殊端子は除きます。 V_{BB}、USB_P、USB_N、RDI_CTRL4、DA0、DA1、EXTAL2、XTAL2 *3. AV_{CC}(DAC)は、V_{CC} - 0.2V AV_{CC}(DAC) V_{CC} + 0.2V の条件を満足しなければなりません。D/A 変換器を使用しない場合でも、AV_{CC}(DAC)、AV_{SS}(DAC)端子を開放しないで、AV_{CC}(DAC)は V_{CC} に AV_{SS}(DAC)は V_{SS}に接続してください。 *4. 消費電流値は、V_{IL}min = V_{CC} - 0.5V、V_{IL}max = 0.5V の条件で、すべての出力端子を無負荷状態にした場合の値です。</p>	項目	記号	min	typ	max	単位	測定条件	消費電流 通常動作時	I _{CC}	-	80	130	mA	V _{CC} 、AV _{CC} (DAC)、 AV _{CC} (USB) = 3.3V I = 52MHz B = 26MHz	V _{CC_28} 消費電流	I _{VCC_28}	-	-	6	mA	弊社RF-ICに接続時*1	端子容量 全デジタル端子*2	C	-	-	10	pF		アナログ電源電圧（DAC）	AV _{CC} (DAC)	2.7	3.3	3.6	V	
項目	記号	min	typ	max	単位	測定条件																															
消費電流 通常動作時	I _{CC}	-	80	130	mA	V _{CC} 、AV _{CC} (DAC)、 AV _{CC} (USB) = 3.3V I = 52MHz B = 26MHz																															
V _{CC_28} 消費電流	I _{VCC_28}	-	-	6	mA	弊社RF-ICに接続時*1																															
端子容量 全デジタル端子*2	C	-	-	10	pF																																
アナログ電源電圧（DAC）	AV _{CC} (DAC)	2.7	3.3	3.6	V																																
表 24.2 DC 特性（2-a）【USB 関連端子を除く】	24-4	<p>注の削除</p> <p>【注】 1. 接続可能な RF-IC は、HD157100NP、HD157102NP です。 2. 本 LSI を単独で使用する場合、2.7 V_{CC_28} 3.6V の対応が可能 です。</p>																																			
表 24.2 DC 特性（2-b）【USB 関連端子*】	24-5	<p>表の修正</p> <p>電源電圧の項目を削除</p>																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																
24.2 DC 特性 表 24.2 DC 特性（2-c）【USB トランシーバ関連端子*】	24-5	<p>表の修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="2">電源電圧</td> <td rowspan="2">AV_{CC}(USB)</td> <td>3.0</td> <td>3.3</td> <td>3.6</td> <td rowspan="2">V</td> <td>USBファンクションを使用する場合</td> </tr> <tr> <td>2.7</td> <td>3.0</td> <td>3.6</td> <td>USBファンクションを使用しない場合</td> </tr> <tr> <td>出力Highレベル電圧</td> <td>V_{OH}</td> <td>2.8</td> <td>-</td> <td>AV_{CC}(USB)</td> <td>V</td> <td>USBファンクションを使用する場合</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	電源電圧	AV _{CC} (USB)	3.0	3.3	3.6	V	USBファンクションを使用する場合	2.7	3.0	3.6	USBファンクションを使用しない場合	出力Highレベル電圧	V _{OH}	2.8	-	AV _{CC} (USB)	V	USBファンクションを使用する場合																							
項目	記号	min	typ	max	単位	測定条件																																												
電源電圧	AV _{CC} (USB)	3.0	3.3	3.6	V	USBファンクションを使用する場合																																												
		2.7	3.0	3.6		USBファンクションを使用しない場合																																												
出力Highレベル電圧	V _{OH}	2.8	-	AV _{CC} (USB)	V	USBファンクションを使用する場合																																												
24.3.1 クロックタイミング 表 24.5 クロックタイミング	24-7	<p>表の修正と注の追加</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>max</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>TRSTアサート時間</td> <td>t_{TRSTW}</td> <td>100</td> <td>-</td> <td>μs</td> <td>24.3、24.5</td> </tr> <tr> <td>TRSTアサート時間2</td> <td>t_{TRSTW2}</td> <td>10</td> <td>-</td> <td>ms</td> <td>24.7</td> </tr> <tr> <td>RESETPアサート時間1</td> <td>t_{RESPW1}</td> <td>100</td> <td>-</td> <td>μs</td> <td>24.3、24.5、24.7</td> </tr> <tr> <td>RESETPアサート時間2</td> <td>t_{RESPW2}</td> <td>100</td> <td>-</td> <td>μs</td> <td>24.3 - 24.6</td> </tr> <tr> <td>RESETPアサート時間3</td> <td>t_{RESPW3}</td> <td>100</td> <td>-</td> <td>μs</td> <td>24.4、24.6、24.8</td> </tr> <tr> <td>パワーオン発振安定時間</td> <td>t_{SOc}</td> <td>200</td> <td>-</td> <td>μs</td> <td>24.7</td> </tr> <tr> <td>PLL同期安定化時間</td> <td>t_{PLL}</td> <td>100*1</td> <td>-</td> <td>μs</td> <td>24.3 - 24.8</td> </tr> </tbody> </table> <p>【注】 *1 図24.3、24.4の場合、RESETP信号入力ネゲート直後からRDI_REFCLK_INに入力されるクロック1312サイクル分の時間がこの規定をクリアできるようにしてください。 *2 図24.3～図24.8のEXTAL入力に対するCKIO出力および内部クロックは同じ周波数ではなく、リセット時の初期設定値としては、EXTAL:CKIO:内部クロック (Iclk:Bclk:Pclk) = 1:2:(2:2:1/2) となります。 *3 図24.3、24.4、24.7、24.8に記載されている「RF起動時間 (T_{xtl})」(HD157100NPおよびHD157102NPの内蔵発振回路の安定時間)は、HD157100およびHD157102のデータシートでいずれも6msec. (Typical) となっています。</p>	項目	記号	min	max	単位	参照図	TRSTアサート時間	t _{TRSTW}	100	-	μs	24.3、24.5	TRSTアサート時間2	t _{TRSTW2}	10	-	ms	24.7	RESETPアサート時間1	t _{RESPW1}	100	-	μs	24.3、24.5、24.7	RESETPアサート時間2	t _{RESPW2}	100	-	μs	24.3 - 24.6	RESETPアサート時間3	t _{RESPW3}	100	-	μs	24.4、24.6、24.8	パワーオン発振安定時間	t _{SOc}	200	-	μs	24.7	PLL同期安定化時間	t _{PLL}	100*1	-	μs	24.3 - 24.8
項目	記号	min	max	単位	参照図																																													
TRSTアサート時間	t _{TRSTW}	100	-	μs	24.3、24.5																																													
TRSTアサート時間2	t _{TRSTW2}	10	-	ms	24.7																																													
RESETPアサート時間1	t _{RESPW1}	100	-	μs	24.3、24.5、24.7																																													
RESETPアサート時間2	t _{RESPW2}	100	-	μs	24.3 - 24.6																																													
RESETPアサート時間3	t _{RESPW3}	100	-	μs	24.4、24.6、24.8																																													
パワーオン発振安定時間	t _{SOc}	200	-	μs	24.7																																													
PLL同期安定化時間	t _{PLL}	100*1	-	μs	24.3 - 24.8																																													
図 24.3 パワーオンリセットによるPLL同期安定時間 図 24.4 リセットまたはNMI割り込みによるPLL同期安定時間	24-8 24-9	図の削除																																																
図 24.3 パワーオンリセット時のタイミングチャート	24-8	図の追加 (電源ONから発振するクロックをRDI_REFCLK_IN端子およびEXTAL端子に供給した場合)																																																
図 24.4 通常のリセット時のタイミングチャート	24-9	図の追加 (電源ONから発振するクロックをRDI_REFCLK_IN端子およびEXTAL端子に供給した場合)																																																
図 24.5 パワーオンリセット時のタイミングチャート	24-9	図の追加 (弊社RF-IQ HD157100NP/HD157102NP)のBRCLKをRDI_REFCLK_IN端子のみに接続し、EXTAL端子には電源ONから発振する、BRCLKとは別のクロックを供給した場合)																																																

修正項目	ページ	修正内容（詳細はマニュアル参照）												
24.3.1 クロックタイミング 図 24.6 通常のリセット時のタイミングチャート	24-10	図の追加 (弊社 RF-IC HD157100NP/HD157102NP) の BRCLK を RDI_REFCLK_IN 端子のみに接続し、EXTAL 端子には電源 ON から発振する、BRCLK とは別のクロックを供給した場合)												
図 24.7 パワーオンリセット時のタイミングチャート	24-10	図の追加 (弊社 RF-IC HD157100NP/HD157102NP) の BRCLK を RDI_REFCLK_IN 端子および EXTAL 端子に接続し、電源投入時の TRST 端子および RESETP 端子に供給する信号を個別に供給した場合)												
図 24.8 通常のリセット時のタイミングチャート	24-11	図の追加 (弊社 RF-IC HD157100NP/HD157102NP) の BRCLK を RDI_REFCLK_IN 端子および EXTAL 端子に接続し、電源投入時の TRST 端子および RESETP 端子に供給する信号を個別に供給した場合)												
24.3.2 制御信号タイミング 表 24.6 制御信号タイミング	24-11	表の注*3 の修正 *3 外部バスクロックの上限周波数は 26MHz です。												
24.3.3 AC バスタイミング仕様 表 24.7 バスタイミング	24-13	表の注の修正 * 外部バスクロックは 26MHz が上限です。												
24.3.5 パースト ROM タイミング 図 24.16 パースト ROM 読み出しサイクル (1 アクセスウェイト、1 外部ウェイト、1 パーストウェイト、2 パースト)	24-18	図の修正 												
24.3.10 ブルートゥースインタフェース (BT) タイミング 表 24.14 ブルートゥースインタフェースモジュールクロックタイミング	24-22	表の修正と注の追加 <table border="1" data-bbox="610 1072 1200 1168"> <thead> <tr> <th>項目</th> <th>記号</th> <th>周波数</th> <th>単位</th> <th>条件</th> </tr> </thead> <tbody> <tr> <td rowspan="2">周波数</td> <td rowspan="2">1/fREQ</td> <td>13.0 (±20ppm)</td> <td rowspan="2">MHz</td> <td>弊社 RF-IC 接続時^{*1}、^{*2}</td> </tr> <tr> <td>8.0 ~ 13.0</td> <td>Bluetooth 機能を使用しない場合 (本 LSI 単独使用時)^{*2}</td> </tr> </tbody> </table> <p>【注】 *1 接続可能な RF-IC は、HD157100NP、HD157102NP です。 *2 内蔵通信回路を使用して RDI_REFCLK_IN (13MHz) から USB クロックを生成し、USB を使用する場合には、クロック精度は USB 規格の値を保証できません。クロック精度を保証したい場合には、UCLK 端子から直接入力を使用してください。</p>	項目	記号	周波数	単位	条件	周波数	1/fREQ	13.0 (±20ppm)	MHz	弊社 RF-IC 接続時 ^{*1} 、 ^{*2}	8.0 ~ 13.0	Bluetooth 機能を使用しない場合 (本 LSI 単独使用時) ^{*2}
項目	記号	周波数	単位	条件										
周波数	1/fREQ	13.0 (±20ppm)	MHz	弊社 RF-IC 接続時 ^{*1} 、 ^{*2}										
		8.0 ~ 13.0		Bluetooth 機能を使用しない場合 (本 LSI 単独使用時) ^{*2}										
24.3.11 AC 特性測定条件	24-26	説明の修正 <ul style="list-style-type: none"> 入力パルスレベル: V_{ss} ~ 3.3V (ただし、RESETP、RDI_TXTRDATA、RDI_REFCLK_IN、RCI_SPI_TXRX は、V_{ss} ~ 2.8V) 												
図 24.28 出力負荷回路	24-26	図の注の修正 2. I _{OL} = 0.1mA、I _{OH} = -0.1mA												

目次

1. 概要	1-1
1.1 SH7630の特長	1-1
1.2 ブロック図	1-5
1.3 ピン配置図	1-6
1.4 端子の機能	1-14
2. CPU	2-1
2.1 処理状態と処理モード	2-1
2.1.1 処理状態	2-1
2.1.2 処理モード（ユーザモード / 特権モード）	2-2
2.2 メモリマップ	2-3
2.2.1 論理アドレス空間	2-3
2.2.2 物理アドレス空間	2-5
2.2.3 外部アドレス空間	2-6
2.3 レジスタの説明	2-7
2.3.1 汎用レジスタ	2-9
2.3.2 システムレジスタ	2-10
2.3.3 プログラムカウンタ	2-10
2.3.4 コントロールレジスタ	2-11
2.4 データ形式	2-15
2.4.1 レジスタのデータ形式	2-15
2.4.2 メモリ上でのデータ形式	2-15
2.5 命令の特長	2-17
2.5.1 命令の実行方法	2-17
2.5.2 アドレッシングモード	2-19
2.5.3 命令形式	2-22
2.6 命令セット	2-24
2.6.1 機能別命令セット	2-24
2.6.2 オペレーションコードマップ	2-34
3. キャッシュ	3-1
3.1 特長	3-1
3.1.1 キャッシュの構成	3-1
3.2 レジスタの説明	3-3

3.2.1	キャッシュ制御レジスタ 1 (CCR1)	3-3
3.2.2	キャッシュ制御レジスタ 2 (CCR2)	3-4
3.3	動作説明	3-7
3.3.1	キャッシュの検索	3-7
3.3.2	リード動作	3-8
3.3.3	プリフェッチ動作	3-8
3.3.4	ライト動作	3-8
3.3.5	ライトバックパツファ	3-9
3.3.6	キャッシュと外部メモリとのコヒーレンシ	3-9
3.4	メモリ割り付けキャッシュの構成	3-10
3.4.1	アドレスアレイ	3-10
3.4.2	データアレイ	3-11
3.4.3	使用例	3-13
4.	Uメモリ	4-1
4.1	特長	4-1
4.2	動作説明	4-2
4.2.1	CPU からのアクセス	4-2
4.2.2	Iバスマスタモジュールからのアクセス	4-2
4.3	使用上の注意事項	4-2
4.3.1	ページ競合	4-2
4.3.2	バス競合	4-2
4.3.3	キャッシュの設定	4-3
4.3.4	スリープモード	4-3
4.3.5	アドレスエラー	4-3
4.3.6	リセット解除後のメモリの内容	4-3
5.	例外処理	5-1
5.1	レジスタの説明	5-1
5.1.1	TRAPA 例外レジスタ (TRA)	5-2
5.1.2	例外事象レジスタ (EXPEVT)	5-2
5.1.3	割り込み事象レジスタ 2 (INTEVT2)	5-3
5.1.4	例外アドレスレジスタ (TEA)	5-3
5.2	例外処理の機能	5-4
5.2.1	例外処理の流れ	5-4
5.2.2	例外処理ベクタアドレス	5-5
5.2.3	例外コード	5-5
5.2.4	例外要求と BL ビットの関係 (多重例外防止)	5-5
5.2.5	例外要因の受け付けタイミングと優先順位	5-6
5.3	個別例外の動作説明	5-8

5.3.1	リセット	5-8
5.3.2	一般例外	5-9
5.4	使用上の注意事項	5-12
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-3
6.3.1	割り込み優先レベル設定レジスタ A ~ G (IPRA ~ IPRG、IPRD はなし)	6-4
6.3.2	割り込みコントロールレジスタ 0 (ICR0)	6-5
6.3.3	割り込みコントロールレジスタ 1 (ICR1)	6-6
6.3.4	割り込み要求レジスタ 0 (IRR0)	6-7
6.3.5	割り込みマスクレジスタ 0、1、4、5、9 (IMR0、1、4、5、9)	6-7
6.3.6	割り込みマスククリアレジスタ 0、1、4、5、9 (IMCR0、1、4、5、9)	6-8
6.4	割り込み要因	6-9
6.4.1	NMI 割り込み	6-9
6.4.2	IRQ 割り込み	6-9
6.4.3	内蔵周辺モジュール割り込み	6-10
6.4.4	割り込み例外処理および優先順位	6-10
6.5	動作説明	6-12
6.5.1	割り込み動作の流れ	6-12
6.5.2	多重割り込み	6-14
7.	バスステートコントローラ (BSC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	エリアの概要	7-3
7.3.1	空間分割	7-3
7.3.2	シャドウ空間	7-4
7.3.3	アドレスマップ	7-5
7.3.4	データバス幅	7-6
7.4	レジスタの説明	7-6
7.4.1	共通コントロールレジスタ (CMNCR)	7-7
7.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、3、4)	7-8
7.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、3、4)	7-11
7.4.4	リセットウェイトカウンタ (RWT CNT)	7-17
7.5	動作説明	7-18
7.5.1	エンディアン / アクセスサイズとデータアライメント	7-18
7.5.2	通常空間インタフェース	7-20
7.5.3	アクセスウェイト制御	7-23

7.5.4	\overline{CSn} アサート期間拡張.....	7-25
7.5.5	アクセスサイクル間ウェイト.....	7-26
7.5.6	バーストROM インタフェース.....	7-27
7.6	使用上の注意事項.....	7-28
7.6.1	外部デバイスへのライトアクセス時の \overline{CSn} アサート期間拡張.....	7-28
7.6.2	リセット.....	7-28
7.6.3	LSI 内部バスマスタからみたアクセス.....	7-29
7.6.4	内蔵周辺モジュールのアクセス.....	7-30
8.	ダイレクトメモリアクセスコントローラ (DMAC)	8-1
8.1	特長.....	8-1
8.2	入出力端子.....	8-3
8.3	レジスタの説明.....	8-3
8.3.1	DMA ソースアドレスレジスタ (SAR)	8-4
8.3.2	DMA ディスティネーションアドレスレジスタ (DAR)	8-4
8.3.3	DMA トランスファカウントレジスタ (DMATCR)	8-5
8.3.4	DMA チャンネルコントロールレジスタ (CHCR)	8-5
8.3.5	DMA オペレーションレジスタ (DMAOR)	8-8
8.3.6	DMA 拡張リソースセクタ 0~2 (DMARS0~2)	8-10
8.4	動作説明.....	8-12
8.4.1	転送フロー.....	8-12
8.4.2	DMA 転送要求.....	8-14
8.4.3	チャンネルの優先順位.....	8-15
8.4.4	DMA 転送の種類.....	8-18
8.4.5	バスサイクルのステート数.....	8-23
8.5	使用上の注意事項.....	8-24
9.	クロックパルス発振器 (CPG)	9-1
9.1	特長.....	9-1
9.2	入出力端子.....	9-4
9.3	クロック動作モード.....	9-4
9.4	レジスタの説明.....	9-5
9.4.1	周波数制御レジスタ (FRQCR)	9-5
9.5	周波数変更方法.....	9-7
9.5.1	逡倍率の変更.....	9-7
9.5.2	分周率の変更.....	9-7
9.6	使用上の注意事項.....	9-8
9.6.1	CKIO 端子に関する注意事項.....	9-8
9.6.2	\overline{RESETP} 端子を用いたリセットについて.....	9-8
9.7	ボード設計上の注意事項.....	9-8

9.7.1	バイパスコンデンサについての注意	9-8
9.7.2	PLL 発振回路使用時の注意	9-8
10.	ウォッチドッグタイマ (WDT)	10-1
10.1	特長	10-1
10.2	レジスタの説明	10-3
10.2.1	ウォッチドッグタイマカウンタ (WTCNT)	10-3
10.2.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	10-3
10.2.3	レジスタアクセス時の注意	10-5
10.3	動作説明	10-6
10.3.1	ソフトウェアスタンバイ解除の手順	10-6
10.3.2	周波数変更の手順	10-7
10.3.3	ウォッチドッグタイマモードの使用法	10-7
10.3.4	インターバルタイマモードの使用法	10-8
11.	低消費電力モード	11-1
11.1	特長	11-1
11.1.1	低消費電力モードの種類	11-1
11.1.2	リセット	11-2
11.2	レジスタの説明	11-3
11.2.1	スタンバイコントロールレジスタ (STBCR)	11-3
11.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	11-4
11.2.3	スタンバイコントロールレジスタ 4 (STBCR4)	11-5
11.3	スリープモード	11-6
11.3.1	スリープモードへの遷移	11-6
11.3.2	スリープモードの解除	11-6
11.4	ソフトウェアスタンバイモード	11-7
11.4.1	ソフトウェアスタンバイモードへの遷移	11-7
11.4.2	ソフトウェアスタンバイモードの解除	11-8
11.5	モジュールスタンバイ機能	11-9
11.5.1	モジュールスタンバイ機能への遷移	11-9
11.5.2	モジュールスタンバイ機能の解除	11-9
11.6	各種モード間の状態遷移	11-9
12.	タイマユニット (TMU)	12-1
12.1	特長	12-1
12.2	レジスタの説明	12-3
12.2.1	タイマスタートレジスタ (TSTR)	12-4
12.2.2	タイマコントロールレジスタ (TCR)	12-4
12.2.3	タイマコンスタントレジスタ (TCOR)	12-5

12.2.4	タイマカウンタ (TCNT)	12-5
12.3	動作説明	12-6
12.3.1	カウンタの動作	12-6
12.4	割り込み	12-8
12.4.1	ステータスフラグのセットタイミング	12-8
12.4.2	ステータスフラグのクリアタイミング	12-8
12.4.3	割り込み要因と優先順位	12-9
12.5	使用上の注意事項	12-9
13.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-4
13.3.1	レシーブシフトレジスタ (SCRSR)	13-4
13.3.2	レシーブ FIFO データレジスタ (SCFRDR)	13-5
13.3.3	トランスミットシフトレジスタ (SCTSR)	13-5
13.3.4	トランスミット FIFO データレジスタ (SCFTDR)	13-5
13.3.5	シリアルモードレジスタ (SCSMR)	13-6
13.3.6	シリアルコントロールレジスタ (SCSCR)	13-8
13.3.7	FIFO エラー数レジスタ (SCFER)	13-11
13.3.8	シリアルステータスレジスタ (SCSSR)	13-12
13.3.9	ビットレートレジスタ (SCBRR)	13-17
13.3.10	FIFO コントロールレジスタ (SCFCR)	13-19
13.3.11	FIFO データ数レジスタ (SCFDR)	13-21
13.3.12	トランスミットデータストップレジスタ (SCTDSR)	13-21
13.4	動作説明	13-22
13.4.1	概要	13-22
13.4.2	調歩同期式モード	13-22
13.4.3	調歩同期式モードのシリアル動作	13-23
13.5	割り込み要因とDMAC	13-33
13.6	使用上の注意事項	13-34
14.	D/A 変換器 (DAC)	14-1
14.1	特長	14-1
14.2	入出力端子	14-2
14.3	レジスタの説明	14-2
14.3.1	D/A データレジスタ _{0, 1} (DADR _{0, 1})	14-2
14.3.2	D/A コントロールレジスタ (DACR)	14-3
14.4	動作説明	14-4

15.	USB ビンマルチプレクスコントローラ (USBPM)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	EXCPG 制御レジスタ (EXCPGCR)	15-4
15.4	外部回路例	15-7
15.4.1	USB ファンクションと外部回路の接続例	15-7
15.4.2	使用上の注意事項	15-9
16.	USB ファンクションコントローラ (USBF)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-4
16.3.1	割り込みフラグレジスタ 0 (IFR0)	16-5
16.3.2	割り込み選択レジスタ 0 (ISR0)	16-11
16.3.3	割り込みイネーブルレジスタ 0 (IER0)	16-14
16.3.4	EP0i データレジスタ (EPDR0i)	16-17
16.3.5	EP0o データレジスタ (EPDR0o)	16-17
16.3.6	EP0s データレジスタ (EPDR0s)	16-17
16.3.7	EP1 データレジスタ (EPDR1)	16-18
16.3.8	EP2i データレジスタ (EPDR2i)	16-18
16.3.9	EP2o データレジスタ (EPDR2o)	16-18
16.3.10	EP3i データレジスタ (EPDR3i)	16-19
16.3.11	EP3o データレジスタ (EPDR3o)	16-19
16.3.12	EP4 データレジスタ (EPDR4)	16-19
16.3.13	EP5 データレジスタ (EPDR5)	16-20
16.3.14	EP6 データレジスタ (EPDR6)	16-20
16.3.15	EP0o 受信データサイズレジスタ (EPSZ0o)	16-20
16.3.16	EP2o 受信データサイズレジスタ (EPSZ2o)	16-20
16.3.17	EP3o 受信データサイズレジスタ (EPSZ3o)	16-21
16.3.18	EP6 受信データサイズレジスタ (EPSZ6)	16-21
16.3.19	トリガレジスタ (TRG)	16-21
16.3.20	データステータスレジスタ (DASTS)	16-22
16.3.21	FIFO クリアレジスタ (FCLR)	16-23
16.3.22	DMA 転送設定レジスタ (DMA)	16-24
16.3.23	エンドポイントストールレジスタ (EPSTL)	16-25
16.3.24	コンフィグレーションバリュージェスタ (CVR)	16-26
16.3.25	タイムスタンプレジスタ (TSR)	16-26
16.3.26	コントロールレジスタ (CTRL)	16-27
16.3.27	エンドポイント情報レジスタ (EPIRn0 ~ 5)	16-28

16.4	動作説明	16-35
16.4.1	ケーブル接続時	16-35
16.4.2	ケーブル切断時	16-36
16.4.3	コントロール転送	16-36
16.4.4	EP1、4 インタラプトイン転送	16-42
16.4.5	EP2i (EP5) バルクイン転送 (2面 FIFO)	16-43
16.4.6	EP2o (EP6) バルクアウト転送 (2面 FIFO)	16-44
16.4.7	EP3i アイソクロナスイン転送	16-45
16.4.8	EP3o アイソクロナスアウト転送	16-47
16.5	USB標準コマンドとクラス/ベンダーコマンドの処理	16-49
16.5.1	コントロール転送で送信されるコマンドの処理	16-49
16.6	ストール動作	16-50
16.6.1	概要	16-50
16.6.2	アプリケーションが強制的にストールさせたい場合	16-50
16.6.3	USBファンクションコントローラが自動的にストールさせる場合	16-52
16.7	USBファンクションコントローラと外部回路の接続例	16-53
16.8	使用上の注意事項	16-54
16.8.1	セットアップデータ受信について	16-54
16.8.2	FIFOのクリアについて	16-54
16.8.3	データレジスタの読み出し/書き込みについて	16-54
16.8.4	EP0に関する割り込み要因の割り当てについて	16-54
16.8.5	DMA転送設定時のFIFOクリアについて	16-55
16.8.6	TR割り込み使用時の注意	16-55
16.8.7	周辺クロックについて	16-56
16.8.8	モジュールストップUSBHについて	16-56
17.	ピンファンクションコントローラ (PFC)	17-1
17.1	概要	17-1
17.2	レジスタの説明	17-2
17.2.1	ポートAコントロールレジスタ (PACR)	17-2
17.2.2	ポートBコントロールレジスタ (PBCR)	17-3
17.2.3	ポートCコントロールレジスタ (PCCR)	17-3
17.2.4	ポートDコントロールレジスタ (PDCR)	17-4
17.2.5	ポートEコントロールレジスタ (PECR)	17-4
17.2.6	ポートFコントロールレジスタ (PFCR)	17-6
17.2.7	ポートSCコントロールレジスタ (SCPCR)	17-7
17.2.8	ピンセレクトレジスタA (PSELA)	17-9
17.2.9	IOバッファHi-Z制御レジスタA (HIZCRA)	17-10

18. I/Oポート.....	18-1
18.1 ポートA.....	18-1
18.1.1 レジスタの説明.....	18-1
18.1.2 ポート A データレジスタ (PADR)	18-2
18.2 ポートB.....	18-2
18.2.1 レジスタの説明.....	18-3
18.2.2 ポート B データレジスタ (PBDR)	18-3
18.3 ポートC.....	18-4
18.3.1 レジスタの説明.....	18-4
18.3.2 ポート C データレジスタ (PCDR)	18-4
18.4 ポートD.....	18-5
18.4.1 レジスタの説明.....	18-5
18.4.2 ポート D データレジスタ (PDDR)	18-6
18.5 ポートE.....	18-7
18.5.1 レジスタの説明.....	18-7
18.5.2 ポート E データレジスタ (PEDR)	18-7
18.6 ポートF.....	18-8
18.6.1 レジスタの説明.....	18-8
18.6.2 ポート F データレジスタ (PFDR)	18-9
18.7 SCポート.....	18-10
18.7.1 レジスタの説明.....	18-10
18.7.2 ポート SC データレジスタ (SCPDR)	18-10
19. ブルートゥースインタフェース (BT)	19-1
19.1 特長.....	19-1
19.2 入出力端子.....	19-3
19.3 レジスタの説明.....	19-3
19.4 RF-ICとの接続.....	19-4
19.4.1 HD157100NP / HD157102NP との接続.....	19-4
19.5 Voice Codec ICとの接続.....	19-5
19.5.1 Voice Codec (STLC7550) との接続.....	19-5
19.5.2 Voice Codec (MC145483) との接続.....	19-6
19.6 低周波数クロック発振器の接続.....	19-7
19.6.1 RTCSEL0 端子による選択機能.....	19-7
19.6.2 RTCSEL1 ビットによる選択機能.....	19-8
19.6.3 周波数変換回路の動作説明.....	19-8
19.6.4 外部水晶振動子接続時の注意.....	19-9
19.7 パワーオンリセット / クロックリジューム制御機能.....	19-10
19.7.1 パワーオンリセット.....	19-10
19.7.2 クロックリジューム制御.....	19-10

19.8	ブルートゥースHCI / TCIコマンドとAPI	19-11
19.9	基板設計の制約事項	19-11
20.	ブート機能 (BOOT)	20-1
20.1	特長	20-1
20.2	入出力端子	20-2
20.3	レジスタの説明	20-3
20.4	動作説明	20-3
20.4.1	ブートモードのアドレス空間	20-3
20.4.2	ブート処理の実行手順	20-4
20.5	使用上の注意事項	20-6
20.5.1	ブート機能使用時のエンディアンについて	20-6
21.	ユーザブレイクコントローラ (UBC)	21-1
21.1	特長	21-1
21.2	レジスタの説明	21-3
21.2.1	ブレイクアドレスレジスタ A (BARA)	21-3
21.2.2	ブレイクアドレスマスクレジスタ A (BAMRA)	21-4
21.2.3	ブレイクバスサイクルレジスタ A (BBRA)	21-4
21.2.4	ブレイクアドレスレジスタ B (BARB)	21-5
21.2.5	ブレイクアドレスマスクレジスタ B (BAMRB)	21-5
21.2.6	ブレイクデータレジスタ B (BDRB)	21-6
21.2.7	ブレイクデータマスクレジスタ B (BDMRB)	21-6
21.2.8	ブレイクバスサイクルレジスタ B (BBRB)	21-7
21.2.9	ブレイクコントロールレジスタ (BRCR)	21-8
21.2.10	実行回数ブレイクレジスタ (BETR)	21-10
21.2.11	ブランチソースレジスタ (BRSR)	21-12
21.2.12	ブランチデスティネーションレジスタ (BRDR)	21-12
21.3	動作説明	21-13
21.3.1	ユーザブレイク動作の流れ	21-13
21.3.2	命令フェッチサイクルでのブレイク	21-14
21.3.3	データアクセスサイクルでのブレイク	21-15
21.3.4	シーケンシャルブレイク	21-16
21.3.5	退避されるプログラムカウンタの値	21-16
21.3.6	PC トレース	21-17
21.3.7	使用例	21-18
21.3.8	使用上の注意事項	21-22
22.	ユーザデバッグインタフェース (H-UDI)	22-1
22.1	特長	22-1

22.2	入出力端子	22-2
22.3	レジスタの説明	22-3
22.3.1	バイパスレジスタ (SDBPR)	22-3
22.3.2	インストラクションレジスタ (SDIR)	22-3
22.3.3	バウンダリスキャンレジスタ (SDBSR)	22-4
22.3.4	ID レジスタ (SDID)	22-4
22.4	動作説明	22-5
22.4.1	TAP コントローラ	22-5
22.4.2	リセット構成	22-6
22.4.3	TDO 出力タイミング	22-6
22.5	バウンダリスキャン	22-7
22.5.1	サポートする命令	22-7
22.5.2	注意事項	22-8
22.6	使用上の注意事項	22-9
23.	レジスタ一覧	23-1
23.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	23-2
23.2	レジスタビット一覧	23-8
23.3	各動作モードにおけるレジスタの状態	23-20
24.	電気的特性	24-1
24.1	絶対最大定格	24-1
24.2	DC特性	24-3
24.3	AC特性	24-6
24.3.1	クロックタイミング	24-6
24.3.2	制御信号タイミング	24-11
24.3.3	AC バスタイミング仕様	24-13
24.3.4	基本タイミング	24-14
24.3.5	バースト ROM タイミング	24-18
24.3.6	周辺モジュール信号タイミング	24-19
24.3.7	SCIF モジュール信号タイミング	24-19
24.3.8	USB モジュール信号タイミング	24-20
24.3.9	USB トランシーバタイミング	24-21
24.3.10	ブルートゥースインタフェース (BT) タイミング	24-22
24.3.11	AC 特性測定条件	24-26
24.4	D/A変換器特性	24-26
付録	付録-1
A.	端子状態表	付録-1
B.	外形寸法図	付録-5

索引 索引-1

図目次

1. 概要	1-1
図 1.1 SH7630 の構成	1-5
図 1.2 BGA パッケージのピン配置図	1-6
2. CPU	2-1
図 2.1 処理の状態遷移図	2-2
図 2.2 論理アドレス空間	2-3
図 2.3 P4 領域	2-4
図 2.4 物理アドレス空間	2-5
図 2.5 外部アドレス空間と実装空間（エリア 0 の場合）	2-6
図 2.6 処理モード別のレジスタ構成	2-8
図 2.7 汎用レジスタの構成	2-9
図 2.8 システムレジスタおよびプログラムカウンタの構成	2-10
図 2.9 コントロールレジスタの構成	2-13
図 2.10 ロングワードオペランド	2-15
図 2.11 メモリ上のデータ形式（ビッグエンディアン）	2-16
図 2.12 メモリ上のデータ形式（リトルエンディアン）	2-16
3. キャッシュ	3-1
図 3.1 キャッシュの構成	3-2
図 3.2 キャッシュの検索方法	3-7
図 3.3 ライトバックバッファの構成	3-9
図 3.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法	3-12
5. 例外処理	5-1
図 5.1 レジスタのビット構成	5-2
6. 割り込みコントローラ（INTC）	6-1
図 6.1 割り込みコントローラのブロック図	6-2
図 6.2 割り込み動作フローチャート	6-13
7. バスステートコントローラ（BSC）	7-1
図 7.1 BSC のブロック図	7-2
図 7.2 物理アドレス空間と外部アドレス空間	7-4

図 7.3	通常空間連続アクセス（ノーウェイト、WM ビット=1、バスサイジング時）	7-21
図 7.4	通常空間連続アクセス（ノーウェイト、アイドルサイクル1）	7-21
図 7.5	16 ビットデータ幅 SRAM 接続例	7-22
図 7.6	通常空間アクセスのウェイトタイミング（ソフトウェアウェイトのみ）	7-23
図 7.7	通常空間アクセスのウェイトタイミング（ $\overline{\text{WAIT}}$ 信号によるウェイト挿入）	7-24
図 7.8	$\overline{\text{CSn}}$ アサート期間拡張	7-25
図 7.9	バースト ROM アクセス（データバス幅 8 ビット 4 バイト転送（バースト数 4）、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1）	7-27
8.	ダイレクトメモリアクセスコントローラ（DMAC）	8-1
図 8.1	DMAC ブロック図	8-2
図 8.2	DMAC 転送フローチャート	8-13
図 8.3	ラウンドロビンモード	8-16
図 8.4	ラウンドロビンモードでのチャンネル優先順位	8-17
図 8.5	デュアルアドレスモードのデータフロー	8-19
図 8.6	デュアルモードの DMA 転送タイミング例（転送元：通常メモリ、転送先：通常メモリ）	8-20
図 8.7	サイクルスチール通常モードの DMA 転送例（デュアルアドレス）	8-20
図 8.8	サイクルスチールインターミットモードの DMA 転送例（デュアルアドレス）	8-21
図 8.9	バーストモードでの DMA 転送例（デュアルアドレス）	8-21
図 8.10	複数チャンネルが動作する場合のバス状態	8-23
9.	クロックパルス発振器（CPG）	9-1
図 9.1	CPG のブロック図	9-2
図 9.2	PLL 発振回路使用時の注意	9-8
10.	ウォッチドッグタイマ（WDT）	10-1
図 10.1	WDT のブロック図	10-2
図 10.2	WTCNT および WTCR への書き込み	10-6
11.	低消費電力モード	11-1
図 11.1	STBCR の STBY ビットとスタンバイモードの解除	11-8
図 11.2	各モード間の状態遷移図	11-9
12.	タイマユニット（TMU）	12-1
図 12.1	TMU のブロック図	12-2
図 12.2	カウント動作設定手順例	12-6
図 12.3	オートリロードカウンタの動作	12-7
図 12.4	内部クロック動作時のカウントタイミング	12-7
図 12.5	UNF のセットタイミング	12-8
図 12.6	ステータスフラグのクリアタイミング	12-8

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	13-1
図 13.1 SCIF のブロック図.....	13-2
図 13.2 SCIF の初期化フローチャートの例	13-24
図 13.3 シリアル送信のフローチャートの例.....	13-25
図 13.4 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	13-27
図 13.5 送信データストップ機能の動作例.....	13-27
図 13.6 送信データストップ機能のフローチャート	13-28
図 13.7 シリアル受信のフローチャートの例 (1)	13-29
図 13.8 シリアル受信のフローチャートの例 (2)	13-30
図 13.9 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	13-31
図 13.10 $\overline{\text{CTS}}$ 制御の動作例 (チャンネル 0 のみ)	13-32
図 13.11 $\overline{\text{RTS}}$ 制御の動作例 (チャンネル 0 のみ)	13-32
図 13.12 調歩同期モードの受信データサンプリングタイミング.....	13-35
14. D/A 変換器 (DAC)	14-1
図 14.1 DAC のブロック図.....	14-1
図 14.2 D/A 変換動作の例	14-4
15. USB ビンマルチプレクスコントローラ (USBPM)	15-1
図 15.1 USB 機能のブロック図.....	15-2
図 15.2 USB ファンクションコントローラと外部回路の接続例.....	15-7
図 15.3 USB ファンクションコントローラと外部回路の接続例.....	15-8
16. USB ファンクションコントローラ (USBF)	16-1
図 16.1 USB ファンクションコントローラのブロック図.....	16-2
図 16.2 エンドポイント構成例 (1)	16-32
図 16.3 エンドポイント構成例 (2)	16-34
図 16.4 ケーブル接続時の動作	16-35
図 16.5 ケーブル切断時の動作	16-36
図 16.6 コントロール転送における各転送ステージ	16-36
図 16.7 セットアップステージの動作.....	16-37
図 16.8 データステージ (コントロールイン時) の動作	16-38
図 16.9 データステージ (コントロールアウト時) の動作	16-39
図 16.10 ステータスステージ (コントロールイン時) の動作	16-40
図 16.11 ステータスステージ (コントロールアウト時) の動作.....	16-41
図 16.12 EP1 インタラプトイン転送の動作.....	16-42
図 16.13 EP2i バルクイン転送の動作.....	16-43
図 16.14 EP2o バルクアウト転送の動作.....	16-44
図 16.15 EP3i アイソクロナスイン転送の動作.....	16-45
図 16.16 EP3o アイソクロナスアウト転送の動作	16-47

図 16.17	アプリケーションで強制的にストールさせたい場合	16-51
図 16.18	USB ファンクションコントローラが自動的にストールさせた場合	16-52
図 16.19	USB ファンクションコントローラと外部回路の接続例	16-53
図 16.20	TR 割り込みフラグのセットタイミング	16-55
18.	I/O ポート	18-1
図 18.1	ポート A	18-1
図 18.2	ポート B	18-3
図 18.3	ポート C	18-4
図 18.4	ポート D	18-5
図 18.5	ポート E	18-7
図 18.6	ポート F	18-8
図 18.7	SC ポート	18-10
19.	Bluetooth インタフェース (BT)	19-1
図 19.1	BT のブロック図	19-2
図 19.2	RF-IC (HD157100NP / HD157102NP) との接続例	19-4
図 19.3	Voice Codec (STLC7550) との接続例	19-5
図 19.4	Voice Codec (MC145483) との接続例	19-6
図 19.5	Voice Codec (MC145483) と接続した場合のタイミング	19-6
図 19.6	周波数変換回路の機能	19-8
図 19.7	32.768kHz から変換した疑似 32kHz クロックの誤差	19-9
図 19.8	水晶発振子使用時の注意	19-9
図 19.9	リセット信号のタイミング	19-10
図 19.10	本 LSI が起動しない場合	19-11
図 19.11	対策案 1	19-12
図 19.12	対策案 2	19-13
図 19.13	本 LSI を単独で使用する場合の対策案	19-13
図 19.14	対策案 3	19-14
20.	ブート機能 (BOOT)	20-1
図 20.1	BOOT 機能のブロック図	20-2
図 20.2	ブートモードでの外部アドレス空間	20-3
図 20.3	ブート処理の実行手順	20-5
21.	ユーザブレイクコントローラ (UBC)	21-1
図 21.1	UBC のブロック図	21-2
22.	ユーザデバッグインタフェース (H-UDI)	22-1
図 22.1	H-UDI ブロック図	22-1

図 22.2	TAP コントローラ状態遷移図	22-5
図 22.3	H-UDI データ転送タイミング	22-6
図 22.4	相互干渉しないリセット系信号の設計例	22-9
24. 電気的特性		
図 24.1	EXTAL クロック入力タイミング	24-8
図 24.2	CKIO クロック出力タイミング	24-8
図 24.3	パワーオンリセット時のタイミングチャート（電源 ON から発振するクロックを RDI_REFCLK_IN 端子および EXTAL 端子に供給した場合）	24-8
図 24.4	通常のリセット時のタイミングチャート（電源 ON から発振するクロックを RDI_REFCLK_IN 端子および EXTAL 端子に供給した場合）	24-9
図 24.5	パワーオンリセット時のタイミングチャート（弊社 RF-IC（HD157100NP/HD157102NP）の BRCLK を RDI_REFCLK_IN 端子のみに接続し、EXTAL 端子には電源 ON から発振する、BRCLK とは別のクロックを供給した場合）	24-9
図 24.6	通常のリセット時のタイミングチャート（弊社 RF-IC（HD157100NP/HD157102NP）の BRCLK を RDI_REFCLK_IN 端子のみに接続し、EXTAL 端子には電源 ON から発振する、BRCLK とは別のクロックを供給した場合）	24-10
図 24.7	パワーオンリセット時のタイミングチャート（弊社 RF-IC（HD157100NP/HD157102NP）の BRCLK を RDI_REFCLK_IN 端子および EXTAL 端子に接続し、電源投入時の $\overline{\text{TRST}}$ 端子および $\overline{\text{RESETP}}$ 端子に供給する信号を個別に供給した場合）	24-10
図 24.8	通常のリセット時のタイミングチャート（弊社 RF-IC（HD157100NP/HD157102NP）の BRCLK を RDI_REFCLK_IN 端子および EXTAL 端子に接続し、電源投入時の $\overline{\text{TRST}}$ 端子および $\overline{\text{RESETP}}$ 端子に供給する信号を個別に供給した場合）	24-11
図 24.9	リセット入力タイミング	24-12
図 24.10	割り込み信号入力タイミング	24-12
図 24.11	スタンバイ時の端子ドライブタイミング	24-12
図 24.12	基本バスサイクル（ノーウェイト）	24-14
図 24.13	基本バスサイクル（ソフトウェアウェイト 1）	24-15
図 24.14	基本バスサイクル（外部ウェイト 1 挿入）	24-16
図 24.15	基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効（WM ビット=0）、アイドルサイクルなし設定）	24-17
図 24.16	パースト ROM 読み出しサイクル （1 アクセスウェイト、1 外部ウェイト、1 パーストウェイト、2 パースト）	24-18
図 24.17	I/O ポートタイミング	24-19
図 24.18	SCIF モジュール信号タイミング	24-19
図 24.19	USB クロックタイミング	24-20
図 24.20	USB トランシーバタイミング	24-21
図 24.21	USB トランシーバ特性評価回路	24-21
図 24.22	ブルートゥースインタフェースモジュールクロックタイミング	24-22
図 24.23	ブルートゥースインタフェースモジュールローパワークロックタイミング	24-23
図 24.24	ブルートゥースインタフェース（BT） Voice CODEC（STLC7550）インタフェース信号のタイミング	24-24

図 24.25	Bluetooth インタフェース (BT) Voice CODEC (MC145483) インタフェース信号のタイミング	24-24
図 24.26	Bluetooth インタフェース (BT) RF 用 SPI インタフェース信号のタイミング	24-25
図 24.27	Bluetooth インタフェース (BT) 受信データタイミング	24-25
図 24.28	出力負荷回路	24-26
付録	付録-1
図 B.1	TBP-208AV 外形寸法図	付録-5

表目次

1. 概要	1-1
表 1.1 SH7630 の特長	1-2
表 1.2 ピンごとの機能および初期状態一覧表	1-7
表 1.3 SH7630 端子機能	1-14
2. CPU	2-1
表 2.1 レジスタの初期値	2-7
表 2.2 特権モード、ユーザモード時の SR の各ビットの動作説明	2-14
表 2.3 アドレッシングモードと実効アドレス	2-19
表 2.4 命令形式	2-22
表 2.5 機能別命令	2-24
表 2.6 データ転送命令	2-27
表 2.7 算術演算命令	2-28
表 2.8 論理演算命令	2-29
表 2.9 シフト命令	2-30
表 2.10 分岐命令	2-30
表 2.11 システム制御命令	2-31
表 2.12 オペレーションコードマップ	2-34
3. キャッシュ	3-1
表 3.1 LRU ビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合)	3-3
表 3.2 PREF 命令がキャッシュミスした場合に置き換えられるウェイ	3-5
表 3.3 PREF 命令以外がキャッシュミスした場合に置き換えられるウェイ	3-6
表 3.4 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)	3-6
表 3.5 LRU ビットと置き換えられるウェイ (W2LOCK=0 かつ W3LOCK=1 の場合)	3-6
表 3.6 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)	3-6
4. Uメモリ	4-1
表 4.1 キャッシュの設定	4-3
5. 例外処理	5-1
表 5.1 例外事象一覧	5-7

6.	割り込みコントローラ (INTC)	6-1
表 6.1	端子構成	6-3
表 6.2	割り込み要求要因と IPRA ~ IPRG	6-4
表 6.3	割り込み要因と IMR0 ~ IMR9 および IMCR0 ~ IMCR9 の対応	6-8
表 6.4	割り込み例外処理要因と優先順位	6-11
7.	バスステートコントローラ (BSC)	7-1
表 7.1	端子構成	7-3
表 7.2	外部アドレス空間マップ	7-5
表 7.3	16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	7-18
表 7.4	8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント	7-19
表 7.5	16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	7-19
表 7.6	8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント	7-20
8.	ダイレクトメモリアクセスコントローラ (DMAC)	8-1
表 8.1	転送要求元一覧	8-12
表 8.2	RS3 ~ RS0 ビットによる内蔵周辺モジュールリクエストモードの選択	8-14
表 8.3	サポートできる DMA 転送	8-18
表 8.4	DMA 転送区間とリクエストモード、バスモードとの関連一覧	8-22
9.	クロックパルス発振器 (CPG)	9-1
表 9.1	発振回路の端子構成と機能	9-4
表 9.2	クロック動作モード	9-4
表 9.3	クロックモードと FRQCR 値の可能な組み合わせ	9-5
11.	低消費電力モード	11-1
表 11.1	低消費電力モードの状態	11-2
表 11.2	ソフトウェアスタンバイモード時のレジスタの状態	11-7
12.	タイマユニット (TMU)	12-1
表 12.1	TMU の割り込み要因	12-9
13.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	13-1
表 13.1	端子構成	13-3
表 13.2	SCSMR の設定値とシリアル送信 / 受信フォーマット	13-22
表 13.3	シリアル送信 / 受信フォーマット	13-23
表 13.4	SCIF 割り込み要因	13-34

14. D/A 変換器 (DAC)	14-1
表 14.1 端子構成	14-2
15. USB ビンマルチプレクスコントローラ (USBPM)	15-1
表 15.1 端子構成 (アナログトランシーバ信号)	15-3
表 15.2 端子構成 (電源制御信号)	15-3
表 15.3 端子構成 (クロック制御信号)	15-3
16. USB ファンクションコントローラ (USBF)	16-1
表 16.1 端子構成	16-3
表 16.2 設定可能値の制約一覧	16-31
表 16.3 エンドポイント構成例 (1)	16-31
表 16.4 エンドポイント構成情報設定例 (1)	16-32
表 16.5 エンドポイント構成例 (2)	16-33
表 16.6 エンドポイント構成情報設定例 (2)	16-34
表 16.7 アプリケーション側でのコマンドデコード	16-49
17. ビンファンクションコントローラ (PFC)	17-1
表 17.1 マルチプレクス一覧表	17-1
18. I/O ポート	18-1
表 18.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作	18-2
表 18.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作	18-3
表 18.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作	18-5
表 18.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作	18-6
表 18.5 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作	18-8
表 18.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作	18-9
表 18.7 SC ポートデータレジスタ (SCPDR) の読み出し / 書き込み動作	18-11
19. ブルートゥースインタフェース (BT)	19-1
表 19.1 端子構成	19-3
表 19.2 選択条件と機能一覧	19-7
20. ブート機能 (BOOT)	20-1
表 20.1 端子構成	20-2
21. ユーザブレイクコントローラ (UBC)	21-1
表 21.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件	21-15

22. ユーザデバッグインタフェース (H-UDI)	22-1
表 22.1 端子構成	22-2
表 22.2 JTAG コマンド	22-4
表 22.3 リセット構成	22-6
24. 電気的特性	24-1
表 24.1 絶対最大定格	24-1
表 24.2 DC 特性 (1) 【共通項目】	24-3
表 24.2 DC 特性 (2-a) 【USB 関連端子を除く】	24-4
表 24.2 DC 特性 (2-b) 【USB 関連端子*】	24-5
表 24.2 DC 特性 (2-c) 【USB トランシーバ関連端子*】	24-5
表 24.3 出力許容電流値	24-6
表 24.4 最大動作周波数	24-6
表 24.5 クロックタイミング	24-6
表 24.6 制御信号タイミング	24-11
表 24.7 バスタイミング	24-13
表 24.8 周辺モジュール信号タイミング	24-19
表 24.9 SCIF モジュール信号タイミング	24-19
表 24.10 USB モジュールクロックタイミング	24-20
表 24.11 USB モジュールクロックタイミング	24-20
表 24.12 USB トランシーバタイミング	24-21
表 24.13 ブルートゥースインタフェースモジュールクロックタイミング	24-22
表 24.14 ブルートゥースインタフェースモジュールクロックタイミング	24-22
表 24.15 ブルートゥースインタフェースモジュールローパワークロックタイミング	24-22
表 24.16 ブルートゥースインタフェースモジュールローパワークロックタイミング	24-23
表 24.17 ブルートゥースインタフェース (BT) Voice CODEC インタフェース信号のタイミング	24-23
表 24.18 ブルートゥースインタフェース (BT) RF 用 SPI インタフェース信号のタイミング	24-25
表 24.19 受信データタイミング	24-25
表 24.20 D/A 変換器特性	24-26
付録	付録-1
表 A.1 端子状態	付録-1

1. 概要

1.1 SH7630 の特長

SH7630 は、32 ビット RISC タイプ Super H アーキテクチャの CPU (SH-3) コアをベースに MMU / TLB 機能を省略し、大容量 16K バイトのキャッシュメモリ、大容量 128K バイトの U メモリおよびシステム構成に必要な割り込みコントローラ、などを集積した RISC マイクロプロセッサです。

内蔵 DMAC (Direct Memory Access Controller) による高速データ転送、USB (ファンクション) や 921K ビット / 秒の高速非同期シリアルインタフェース回路、DA コンバータなどのシステムコンフィギュレーションに最適で強力な周辺機能を内蔵しています。

本 LSI はまた、Bluetooth™ のインタフェースも周辺機能の 1 つとしてサポートしています。ファームウェアを含めて HCI 階層までの Bluetooth プロトコルスタック機能を標準で備えており、さらに上位プロトコルスタックや各種アプリケーションプロファイルを搭載して Bluetooth ベースバンド機能を一括して実現できる性能を持っています。HCI 階層以下のプロトコルスタック機能を扱うための API を用意していますので、従来の周辺機能と同様に、容易に本 Bluetooth インタフェースを扱うことができます。本 Bluetooth インタフェースは、ルネサステクノロジ製の RF チップ (HD157100NP および HD157102NP) と直結可能です。

【注】 Bluetooth は Bluetooth SIG, Inc., U.S.A. の登録商標であり、ルネサステクノロジは使用許諾を得ております。

1. 概要

本 LSI の特長を表 1.1 に示します。

表 1.1 SH7630 の特長

項目	特長
CPU	<ul style="list-style-type: none">• ルネサステクノロジ独自の SuperH アーキテクチャ• SH-1、SH-2、SH-3 とオブジェクトコードレベルで互換性あり*• 32 ビット内部データバスを内蔵• 豊富なレジスタ群をサポート 汎用レジスタ：32 ビットのレジスタを 16 本内蔵（8 本の 32 ビットバンクレジスタを含む） コントロールレジスタ：32 ビットのレジスタを 5 本内蔵 システムレジスタ：32 ビットのレジスタを 4 本内蔵• RISC タイプ命令セットをサポート 命令長は、コード効率改善のための 16 ビット固定長を使用 ロードストアアーキテクチャ 遅延分岐命令 C 言語指向の命令セット• パレルシフト命令、積和演算命令をサポート• 基本命令の命令実行時間は 1 命令 / サイクルに対応• 論理アドレス空間は、4G バイトに対応• 5 段パイプラインをサポート
キャッシュ メモリ	<ul style="list-style-type: none">• 16K バイトキャッシュ、命令とデータの混在可能• 256 エントリ、4 ウェイセットアソシアティブ、および 16 バイトブロック長に対応• ライトバック、ライトスルー、および LRU 置換アルゴリズムに対応• 1 段階ライトバックバッファを内蔵• 最大 2 つのウェイをロック可能
Uメモリ	<ul style="list-style-type: none">• 2 本の独立した読み出しまたは書き込みポート CPU からの 8、16、および 32 ビットアクセス DMAC からの 8、16、および 32 ビットアクセス• 128K バイトの大容量メモリ。• 割込み要求は、なし• DMA 転送要求は、なし（転送元または転送先としてアクセス可）
割り込み コントローラ (INTC)	<ul style="list-style-type: none">• 2 本の外部割り込み端子（NMI、IRQ0）• 内蔵周辺割り込みは、モジュールごとに優先順位を設定可能• IRQ0 は立ち下がり / 立ち上がり / ハイレベル / ローレベル選択可能• NMI は立ち下がり / 立ち上がり選択可能

【注】 * 本 LSI は MMU / TLB 機能をサポートしておりませんので SH-3 の CPU に備えられている LDTLB 命令は機能しません。

項目	特長
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> 物理アドレス空間はそれぞれ最大 8MB の 3 つの領域エリア 0、エリア 3~4 をサポート 各エリアには独立に次の機能を設定可能： <ul style="list-style-type: none"> バスサイズ (8、16 ビット)。ただし各エリアごとにサポートサイズは異なります アクセスウェイトサイクル数 (リード/ライトで独立ウェイト設定可のエリア有り) アイドルウェイトサイクル設定 (同一エリア/別エリア) エリアごとに接続するメモリを指定することによって SRAM、バースト ROM をサポート 該当する領域にチップセレクト信号 ($\overline{CS0}$、$\overline{CS3}$、$\overline{CS4}$) を出力 (\overline{CSn} アサート/ネゲートタイミングをプログラミングで選択可)
DMA コントローラ	<ul style="list-style-type: none"> 6 チャンネル バーストモードおよびサイクルスチールモード インタミットtentサイクルスチールモードをサポート
クロックパルス 発振器 (CPG)	<ul style="list-style-type: none"> 3 種類のクロックを生成 <ul style="list-style-type: none"> CPU クロック：最大 52MHz バスクロック：最大 26MHz 周辺クロック：最大 26MHz パワーダウンモードのサポート ソフトウェアスタンバイモード スリープモード モジュールスタンバイモード 1 種類の分周器動作モード
ウォッチドッグ タイマ (WDT)	<ul style="list-style-type: none"> 1 チャンネルのウォッチドッグタイマ ウォッチドッグタイマモードとインターバルタイマモードを選択可能 インターバルタイマモード時、割り込み発生可能
タイマユニット (TMU)	<ul style="list-style-type: none"> 32 ビットタイマ 3 チャンネル内蔵 オートリロード方式の 32 ビットダウンカウンタ P でのプリスケアラ内蔵 割り込み要求：あり
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF0、SCIF1)	<ul style="list-style-type: none"> 2CH 内蔵 送受信用 FIFO 各々 64 バイト内蔵 高速 UART \overline{CTS} / \overline{RTS} 対応サポート (チャンネル 0 のみ) P でのプリスケアラ内蔵 割り込み要求あり、DMAC 要求あり

1. 概要

項目	特長
USB ファンクション コントローラ (USB [®] F)	<ul style="list-style-type: none"> • USB2.0 Full Speed 対応 • USB トランシーバ内蔵 • 計 6 エンドポイントサポート、エンドポイント番号は切り替え可 • アイソクロナスサポート (計 2 エンドポイント) • コントロール (エンドポイント 0)、バルク転送方式 (計 2 エンドポイント)、インタラプト (計 1 エンドポイント) をサポート • USB 標準コマンドをサポートし、クラスおよびベンダコマンドはファームウェアで処理 • エンドポイント用の FIFO バッファを内蔵 (バルク、アイソクロナス: 128B / エンドポイント) • 割り込み要求あり、DMAC 要求あり
ブルートゥース インタフェース (BT)	<ul style="list-style-type: none"> • Bluetooth 規格 v1.2 に対応 • ルネサステクノロジの RF-IC (HD157100NP / HD157102NP) との直結インタフェースをサポート • 2 種類の Voice CODEC IC (STLC7550、MC145483) との直結インタフェースをサポート • 4 種類 (A-law/μ-law/CVSD/Linear PCM) の Voice CODEC に対応 • ACL/SCO リンクをサポート • 拡散変調は、周波数ホッピング方式で 79 チャネルホッピング • RTC (Real Time Clock) 用のクロック (32.768kHz) を低消費電力状態用クロックとして利用可能 • Low Power モード向け低周波数クロックの内蔵発振器モード / 外部直接入力モードから選択 • Hold / Sniff / Park 3 種類の低消費電力状態をサポート
ブートローダ (BOOT)	<ul style="list-style-type: none"> • パワーオンリセット時通常モード / ブートモード切り替え • SCIF0 からの初期書き込みプログラム自動取り込み 内蔵メモリ (U メモリ) へのプログラムダウンロード • ダウンロードしたプログラムのオートラン機能
D/A 変換器 (DAC)	<ul style="list-style-type: none"> • 8 ビット、2 チャネル • 出力範囲: 0 - AV_{cc}
I/O ポート	<ul style="list-style-type: none"> • 入出力兼用ポートはビットごとに入出力切り替え可能
ユーザブ레이크 コントローラ (UBC)	<ul style="list-style-type: none"> • アドレス、データ値、アクセスタイプ、データサイズはすべてブ레이크条件として設定可能 • シーケンシャルブ레이크機能をサポート • 2 本のブ레이크チャンネル
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート。 • リアルタイム分岐トレース • 高速エミュレーションプログラム実行用 1K バイトの内蔵 RAM
パッケージ	<ul style="list-style-type: none"> • BGA 208 ピン (ピンピッチ: 0.65mm)
電源電圧	<ul style="list-style-type: none"> • I/O: 3.0 ~ 3.6V (一部 I/O 端子は 2.7 ~ 3.6V) 内部: 内蔵レギュレータによる給電方式
動作温度範囲	<ul style="list-style-type: none"> • -20 ~ 75 (F_{max}:52MHz)

1.2 ブロック図

図 1.1 に SH7630 のブロック構成図を示します。

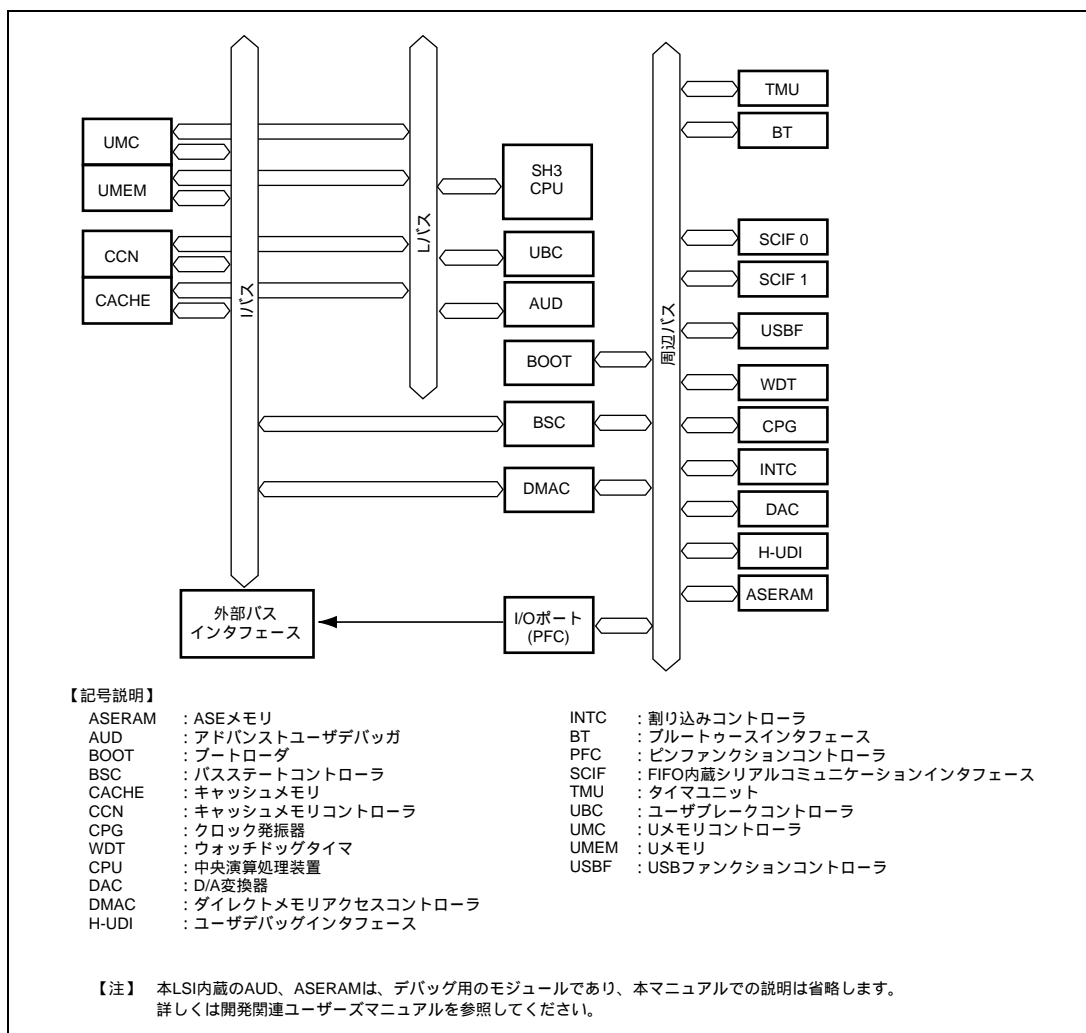


図 1.1 SH7630 の構成

1. 概要

1.3 ピン配置図

図 1.2 にピン配置図、表 1.2 にピンごとの機能および初期状態一覧を示します。

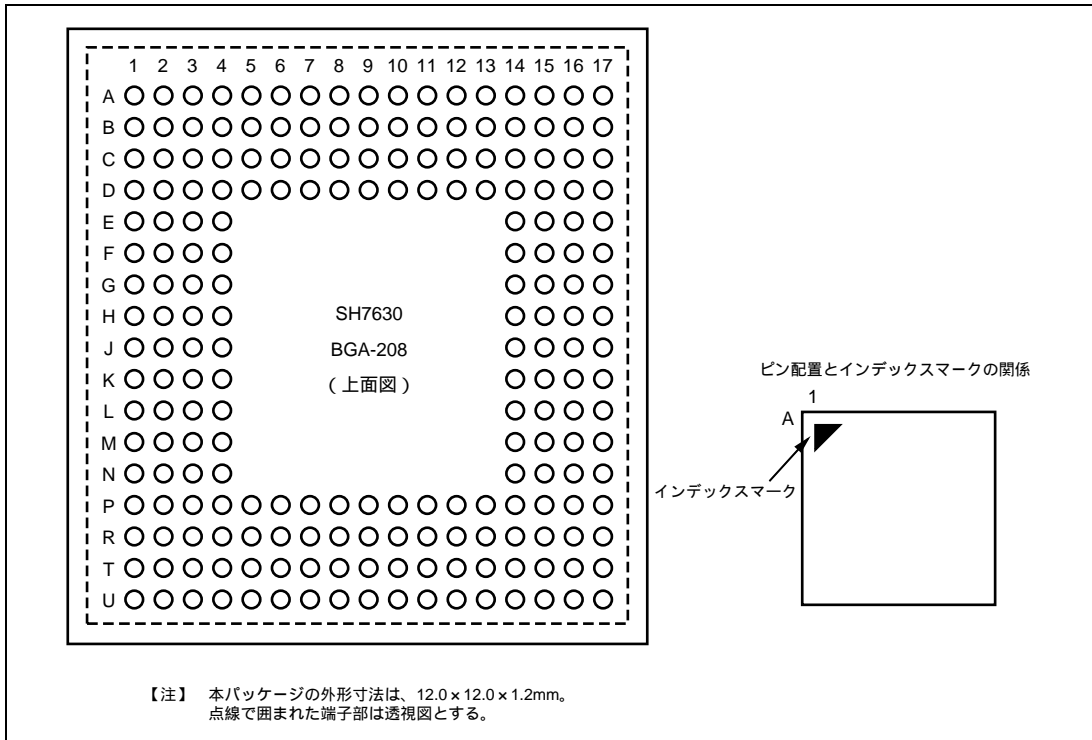


図 1.2 BGA パッケージのピン配置図

表 1.2 ピンごとの機能および初期状態一覧表

端子番号	端子名	機能
A1	NC	NC 端子ですが、電源 (0V) に固定してください。
A2	NC	NC 端子ですが、電源 (0V) に固定してください。
A3	NC	NC 端子ですが、電源 (0V) に固定してください。
A4	NC	NC 端子ですが、電源 (0V) に固定してください。
A5	DA1	D/A コンバータ出力 (チャンネル 1)
A6	VDD (SREG)	内部レギュレータ (サブ) からの電源出力 (1.5V)
A7	VDD (DLL)	内部レギュレータからの電源出力 (DLL) (1.5V)
A8	NMI	ノンマスクプル割り込み要求。使用しない場合は、High に固定してください。
A9	RDI_TXTRDATA* ²	RF-IC 用送受信データ入出力。初期状態は出力となります。未使用時はプルアップしてください。
A10	RDI_CTRL4* ²	RF-IC 用リセット制御および低消費電力制御出力
A11	Vss_28	RF IC との入出力端子用電源 (0V)
A12	RESETP	パワーオンリセット要求入力
A13	NC	NC 端子ですが、電源 (0V) に固定してください。
A14	NC	NC 端子ですが、電源 (0V) に固定してください。
A15	NC	NC 端子ですが、電源 (0V) に固定してください。
A16	NC	NC 端子ですが、電源 (0V) に固定してください。
A17	NC	NC 端子ですが、電源 (0V) に固定してください。
B1	CS0	チップセレクト 0 信号出力
B2	NC	NC 端子ですが、電源 (0V) に固定してください。
B3	NC	NC 端子ですが、電源 (0V) に固定してください。
B4	EXTAL2	Bluetooth 低消費電力状態用水晶発振器端子。未使用時はプルアップしてください。
B5	AVcc (DAC)	DAC 用アナログ用電源 (3.3V)
B6	Vcc (SREG)	内部レギュレータ (サブ) 用電源 (3.3V)
B7	Vss (DLL)	内部レギュレータ用電源 (DLL) (0V)
B8	Vss	電源 (0V)
B9	RDI_RXBDW_OUT* ²	RF-IC 用パケット制御出力
B10	Vcc_28	RF IC との入出力端子用電源 (2.8V / 3.3V)
B11	RDI_REFCLK_IN* ²	RF IC とのデータ入出力および USB 用クロック入力* ³ およびリセットホールドカウンタ用クロック入力* ⁴ 。常時入力状態です。
B12	TEST2	テスト用入力。常時 Low に固定してください。
B13	USB_N	USB 内蔵トランシーバ D-入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。
B14	USB_P	USB 内蔵トランシーバ D+入出力。初期状態はハイインピーダンスです。未使用時はプルダウンしてください。

1. 概要

端子番号	端子名	機能
B15	USB_PULLUP	USB ブルアップ制御出力。初期状態は Low 出力です。
B16	NC	NC 端子ですが、電源 (0V) に固定してください。
B17	Vcc (I/O)	入出力用電源 (3.3V)
C1	NC	NC 端子ですが、電源 (0V) に固定してください。
C2	CS3/PTB0	チップセレクト 3 信号出力 / ポート B 初期状態は CS3 が有効となり、出力となります。
C3	NC	NC 端子ですが、電源 (0V) に固定してください。
C4	XTAL2	Bluetooth 低消費電力状態用水晶発振器端子。未使用時は OPEN にしてください。
C5	AVss (DAC)	DAC 用アナログ用電源 (0V)
C6	Vss	電源 (0V)
C7	NC	NC 端子ですが、電源 (0V) に固定してください。
C8	Vcc (I/O)	入出力用電源 (3.3V)
C9	RTCSEL0	Low Power クロック選択入力。必ず High か Low に固定してください。
C10	Vss_28	RF IC との入出力端子用電源 (0V)
C11	RCI_SPI_CLK* ²	RF IC との SPI インタフェースクロック出力
C12	RCI_SPI_TXRX* ²	RF IC との SPI シリアルデータ入出力。初期状態は出力となります。未使用時はプルアップしてください。
C13	NC	NC 端子ですが、電源 (0V) に固定してください。
C14	AVss (USB)	USB トランシーバ用アナログ電源 (0V)
C15	NC	NC 端子ですが、電源 (0V) に固定してください。
C16	Vss	電源 (0V)
C17	NC	NC 端子ですが、電源 (0V) に固定してください。
D1	TEST_REG	テスト用入力。常時 High に固定してください。
D2	IRQ0	外部割り込み要求入力。使用しない場合は、High に固定してください。
D3	CS4	チップセレクト 4 信号出力
D4	Vcc (I/O)	入出力用電源 (3.3V)
D5	Vss	電源 (0V)
D6	DA0	D/A コンバータ出力 (チャネル 0)
D7	Vss (SREG)	内部レギュレータ (サブ) 用電源 (0V)
D8	Vcc (DLL)	内部レギュレータ用電源 (DLL) (3.3V)
D9	RDI_CTRL3* ²	RF-IC 内発振器をイネーブルにするストロープ出力
D10	Vcc_28	RF IC との入出力端子用電源 (2.8V / 3.3V)
D11	RCI_SPI_ENB* ²	RF IC との SPI インタフェースイネーブル出力。
D12	AVcc (USB)	USB トランシーバ用アナログ電源 (3.3V)
D13	NC	NC 端子ですが、電源 (0V) に固定してください。
D14	NC	NC 端子ですが、電源 (0V) に固定してください。

端子番号	端子名	機能
D15	UCLK	USB 用外部クロック入力。初期状態は内部 DLL クロックが有効となり、この端子は内部で入力固定されています。未使用時はプルアップしてください。
D16	USB_VBUS	USB ケーブル接続モニタ入力。未使用時はプルダウンしてください。
D17	EXTAL	外部クロック入力
E1	SCIF1_RXD/SCPT3i	SCIF1 用データ入力 / ポート SC。初期状態は入力固定で、内部プルアップ MOS も ON 状態となります。
E2	$\overline{\text{ASEMD0}}$	ASE モード制御入力。通常は High に固定してください。
E3	$\overline{\text{ASEBRKAK}}$	ASE ブレークアクリッジ出力
E4	$\overline{\text{TEST}}$	テスト用入力。常時 High に固定してください。
E14	Vcc (PLL2)	内部レギュレータ用電源 (PLL2) (3.3V)
E15	NC	NC 端子ですが、電源 (0V) に固定してください。
E16	VDD (PLL2)	内部レギュレータからの電源出力 (PLL2) (1.5V)
E17	NC	NC 端子ですが、電源 (0V) に固定してください。
F1	NC	NC 端子ですが、電源 (0V) に固定してください。
F2	$\overline{\text{TEST3}}$	テスト用入力。常時 High に固定してください。
F3	SCIF1_SCK/PTA1	SCIF1 用クロック入力 / ポート A。初期状態は PTA1 が有効となり、入力 (内部プルアップ ON) となります。
F4	SCIF1_TXD/SCPT3o	SCIF1 用データ出力 / ポート SC。初期状態はハイインピーダンスとなります。
F14	NC	NC 端子ですが、電源 (0V) に固定してください
F15	Vss (PLL1/PLL2)	内部レギュレータ用電源 (PLL1/PLL2) (0V)
F16	VDD (PLL1)	内部レギュレータからの電源出力 (PLL1) (1.5V)
F17	Vcc (PLL1)	内部レギュレータ用電源 (PLL1) (3.3V)
G1	VDD	内部レギュレータからの電源出力 (1.5V)
G2	Vcc (内部)	内部レギュレータ用電源 (3.3V)
G3	Vss	電源 (0V)
G4	Vcc (I/O)	入出力用電源 (3.3V)
G14	MD5	エンディアン設定入力。High / Low どちらかに固定してください。
G15	Vcc (I/O)	入出力用電源 (3.3V)
G16	Vss	電源 (0V)
G17	CKIO	システムクロック出力。
H1	SCIF0_RTS/SCPT1	SCIF0 用 RTS 出力 / ポート SC。初期状態は入力固定、出力ハイインピーダンスですが、内部プルアップ MOS が ON 状態となります。
H2	SCIF0_CTS/SCPT2	SCIF0 用 CTS 入力 / ポート SC。初期状態は入力固定、出力ハイインピーダンスですが、内部プルアップ MOS が ON 状態となります。
H3	NC	NC 端子ですが、電源 (0V) に固定してください。
H4	Vss	電源 (0V)

1. 概要

端子番号	端子名	機能
H14	NC	NC 端子ですが、電源 (0V) に固定してください。
H15	Vcc (内部)	内部レギュレータ用電源 (3.3V)
H16	VDD	内部レギュレータからの電源出力 (1.5V)
H17	Vss	電源 (0V)
J1	SCIF0_SCK/PTA0	SCIF0 用クロック入力 / ポート A。 初期状態は PTA0 が有効となり、入力 (内部プルアップ ON) となります。
J2	SCIF0_TXD/SCPT0o	SCIF0 用送信データ出力 / ポート SC。 初期状態はハイインピーダンスとなります。
J3	TRST	H-UDI リセット入力。内部でプルアップされています。ユーザモード (ASEMD0 = High) でバウンダリスキャン機能を使用しない場合は、Low 固定してください。
J4	SCIF0_RXD/SCPT0i	SCIF0 用受信データ入力 / ポート SC。 初期状態は入力固定で、内部プルアップ MOS も ON 状態となります。
J14	PTF1	ポート F1。初期状態は入力 (内部プルアップ ON) となります。
J15	WAIT	ハードウェアウェイト要求。内部でプルアップされています。
J16	PTF0	ポート F0 初期状態は入力 (内部プルアップ ON) となります。
J17	MD0	クロックモード設定入力。Low 状態は LSI テスト専用のクロックモードですので、常時 High に固定してください。
K1	TDO	H-UDI データ出力。
K2	TDI	H-UDI テストデータ入力。内部でプルアップされています。
K3	TCK	H-UDI クロック入力。内部でプルアップされています。
K4	TMS	H-UDI テストモードスイッチ入力。内部でプルアップされています。
K14	PTF2	ポート F2。初期状態は入力 (内部プルアップ ON) となります。
K15	VCI_SCO_RX/PTE2* ¹	Voice Codec IC への受信データ出力 / ポート E。 初期状態は PTE2 が有効となり、入力 (内部プルアップ ON) となります。
K16	VCI_SCO_TX/PTE1* ¹	Voice Codec IC からの送信データ入力 / ポート E。 初期状態は PTE1 が有効となり、入力 (内部プルアップ ON) となります。
K17	RDI_CTRL2/PTF3* ²	RF-IC 用外部パワーアンプ制御出力 / ポート F3。 初期状態は PTF3 が有効となり、入力 (内部プルアップ ON) となります。
L1	BOOT_E	ブートモードイネーブル制御入力。内部でプルアップされています。
L2	D0	データバス (ビット 0)
L3	NC	NC 端子ですが、電源 (0V) に固定してください。
L4	Vcc (I/O)	入出力用電源 (3.3V)
L14	VCI_HWC/PTE5* ¹	Voice Codec IC 用動作モード選択出力 / ポート E。 初期状態は PTE5 が有効となり、入力 (内部プルアップ ON) となります。

1. 概要

端子番号	端子名	機能
L15	VCI_SCO_SYNC_OUT/PTE4* ¹	Voice Codec IC 用フレーム同期信号出力 / ポート E。 初期状態は PTE4 が有効となり、入力 (内部プルアップ ON) となります。
L16	VCI_SCO_CLK_OUT/PTE3* ¹	Voice Codec IC 用クロック出力 / ポート E。 初期状態は PTE3 が有効となり、入力 (内部プルアップ ON) となります。
L17	VCI_CODEEC_PWRDWN/PTE0* ¹	Voice Codec IC 用パワーダウン制御出力 / ポート E。 初期状態は PTE0 が有効となり、入力 (内部プルアップ ON) となります。
M1	Vss	電源 (0V)
M2	Vcc (内部)	内部レギュレータ用電源 (3.3V)
M3	VDD	内部レギュレータからの電源出力 (1.5V)
M4	Vss	電源 (0V)
M14	VDD	内部レギュレータからの電源出力 (1.5V)
M15	Vcc (内部)	内部レギュレータ用電源 (3.3V)
M16	Vss	電源 (0V)
M17	Vcc (I/O)	入出力用電源 (3.3V)
N1	NC	NC 端子ですが、電源 (0V) に固定してください。
N2	D1	データバス (ビット 1)
N3	D2	データバス (ビット 2)
N4	D3	データバス (ビット 3)
N14	WE $\bar{1}$	D15 ~ D8 ライトイネーブル信号出力。
N15	RD $\bar{1}$	リードストロブ信号出力。
N16	RTC_EX_CLK	Low Power クロック入力。RTCSEL0 = Low のとき入力固定状態です。 RTCSEL0 = High でかつ本端子を使用しない場合は、High に固定してください。
N17	Vss	電源 (0V)
P1	TEST4	テスト用入力。常時 High に固定してください。
P2	D4	データバス (ビット 4)
P3	D5	データバス (ビット 5)
P4	NC	NC 端子ですが、電源 (0V) に固定してください。
P5	D13	データバス (ビット 13)
P6	Vcc (I/O)	入出力用電源 (3.3V)
P7	A2	アドレスバス (ビット 2)
P8	A6	アドレスバス (ビット 6)
P9	Vcc (I/O)	入出力用電源 (3.3V)
P10	A14	アドレスバス (ビット 14)
P11	Vcc (I/O)	入出力用電源 (3.3V)
P12	A20/PTC1	アドレスバス (ビット 20) / ポート C。初期状態は A20 が有効となり、出力となります。

1. 概要

端子番号	端子名	機能
P13	A22/PTD1	アドレスバス (ビット 22) / ポート D。初期状態は A22 が有効となり、出力となります。
P14	VBB	テスト端子です。Vss に接続してください。
P15	AUDATA3	AUD データ (ビット 3) 出力。
P16	AUDSYNC	AUD 同期信号出力。
P17	WE0	D7 ~ D0 ライトイネーブル信号出力。
R1	NC	NC 端子ですが、電源 (0V) に固定してください。
R2	D6	データバス (ビット 6)
R3	D8	データバス (ビット 8)
R4	D10	データバス (ビット 10)
R5	D14	データバス (ビット 14)
R6	Vss	電源 (0V)
R7	A3	アドレスバス (ビット 3)
R8	A7	アドレスバス (ビット 7)
R9	A10	アドレスバス (ビット 10)
R10	A13	アドレスバス (ビット 13)
R11	A17	アドレスバス (ビット 17)
R12	A19/PTC0	アドレスバス (ビット 19) / ポート C。初期状態は A19 が有効となり、出力となります。
R13	NC	NC 端子ですが、電源 (0V) に固定してください。
R14	NC	NC 端子ですが、電源 (0V) に固定してください。
R15	NC	NC 端子ですが、電源 (0V) に固定してください。
R16	AUDATA2	AUD データ (ビット 2) 出力。
R17	NC	NC 端子ですが、電源 (0V) に固定してください。
T1	D7	データバス (ビット 7)
T2	NC	NC 端子ですが、電源 (0V) に固定してください。
T3	NC	NC 端子ですが、電源 (0V) に固定してください。
T4	D11	データバス (ビット 11)
T5	D15	データバス (ビット 15)
T6	A0	アドレスバス (ビット 0)
T7	A4	アドレスバス (ビット 4)
T8	A8	アドレスバス (ビット 8)
T9	Vss	電源 (0V)
T10	A12	アドレスバス (ビット 12)
T11	A16	アドレスバス (ビット 16)
T12	A18	アドレスバス (ビット 18)

端子番号	端子名	機能
T13	NC	NC 端子ですが、電源 (0V) に固定してください。
T14	AUDATA0	AUD データ (ビット 0) 出力。
T15	NC	NC 端子ですが、電源 (0V) に固定してください。
T16	NC	NC 端子ですが、電源 (0V) に固定してください。
T17	VBBENB	テスト端子です。Vss に接続してください。
U1	NC	NC 端子ですが、電源 (0V) に固定してください。
U2	NC	NC 端子ですが、電源 (0V) に固定してください。
U3	D9	データバス (ビット 9)
U4	D12	データバス (ビット 12)
U5	TEST5	テスト用入力。常時 High に固定してください。
U6	A1	アドレスバス (ビット 1)
U7	A5	アドレスバス (ビット 5)
U8	TEST6	テスト用入力。常時 High に固定してください。
U9	A9	アドレスバス (ビット 9)
U10	A11	アドレスバス (ビット 11)
U11	A15	アドレスバス (ビット 15)
U12	Vss	電源 (0V)
U13	A21/PTD0	アドレスバス (ビット 21) / ポート D。初期状態は A21 が有効となり、出力となります。
U14	AUDCK	AUD クロック出力。
U15	AUDATA1	AUD データ (ビット 1) 出力。
U16	NC	NC 端子ですが、電源 (0V) に固定してください。
U17	NC	NC 端子ですが、電源 (0V) に固定してください。

- 【注】 *1 VOICE CODEC IC と接続される端子です。接続方法は「第 19 章 ブルートゥースインタフェース (BT)」を参照してください。
- *2 RF-IC と接続される端子です。接続方法は「第 19 章 ブルートゥースインタフェース (BT)」を参照してください。
- *3 USB ビンマルチプレクスコントローラの EXCPG 制御レジスタ (EXCPGCR) の USBCLKSEL ビットを 0 にすることで RDI_REFCLK_IN から入力したクロックが USB 用クロックとして有効となります。ただし内蔵通信回路を使用した場合、クロック精度は USB 規格の値を保証できません。本 LSI の USB 機能を使用する場合は、上記の方法よりも、UCLK 端子から USB の規格に適合した精度を持つ 48MHz のクロックを入力することを推奨します。
- *4 本 LSI 内部には、RDI_REFCLK_IN から入力されるクロックを使ったりセットホールドカウンタが備えられているため Bluetooth 機能を使用しない場合においても、本端子には必ずクロック供給をするようにしてください。本端子に供給するクロックは、EXTAL 端子に供給するクロックと同一のもので対応可能です。

1. 概要

1.4 端子の機能

各端子の機能を表 1.3 に示します。

表 1.3 SH7630 端子機能

分類	記号	入出力	名称	機能
電源	VDD	出力	電源	LSI 内蔵レギュレータの出力で、内部の電源です。LSI 外部で各々の VDD 端子に所定の容量のコンデンサを接続してください。
	VDD (SREG)	出力	電源	LSI 内蔵レギュレータの出力で、内部電源です。
	Vcc (内部)	入力	電源	LSI 内蔵レギュレータ用電源です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vcc (I/O)	入力	電源	入出力端子用電源です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vcc (SREG)	入力	電源	LSI 内蔵レギュレータ (サブ) 用電源です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	Vss (SREG)	入力	グランド	LSI 内蔵レギュレータ (サブ) 用のグランド端子です。
クロック	Vcc (PLL1)	入力	PLL1 用電源	内蔵 PLL1 発振器用の電源端子です。
	VDD (PLL1)	出力	PLL1 用電源	LSI 内蔵レギュレータ (PLL1 用) の出力で、内部の電源です。LSI 外部で所定の容量のコンデンサを接続してください。
	Vss (PLL1/PLL2)	入力	PLL1 / PLL2 共用グランド	内蔵 PLL1/PLL2 発振器共通のグランド端子です。
	Vcc (PLL2)	入力	PLL2 用電源	内蔵 PLL2 発振器用の電源端子です。
	VDD (PLL2)	出力	PLL2 用電源	LSI 内蔵レギュレータ (PLL2 用) の出力で、内部の電源です。LSI 外部で所定の容量のコンデンサを接続してください。
	EXTAL	入力	外部クロック	EXTAL 端子は外部クロックを入力します。外部クロック入力の接続例については、「第 9 章 クロックパルス発振器 (CPG)」を参照してください。
	CKIO	出力	システムクロック	外部デバイスにシステムクロックを供給します。 【注】本 LSI は、クロック入力モードには対応しません。
動作モード コントロール	MD5、 MD0	入力	モード設定	動作モードを設定します。これらの端子は動作中には変化させないでください。 MD0 はクロックモード設定用、MD5 はエンディアン設定用です。 MD0 = L (LSI テスト専用モード) MD = H (モード 5) MD5 = L (ビッグエンディアン) MD5 = H (リトルエンディアン)

分類	記号	入出力	名称	機能
システム制御	RESETP	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	BOOT_E	入力	ブート制御	ブートモードイネーブル制御入力。パワーオンリセット時、本端子は Low の場合は、リセット終了後、ブートモードになり、ブートルードが起動します。High の場合は、通常のリセットシーケンスが起動します。
割り込み	NMI	入力	ノンマスカブル割り込み	ノンマスカブル割り込み要求端子です。エッジ入力です。立ち上がり、立ち下がり、両エッジの選択が可能です。使用しない場合は High レベルに固定してください。
	IRQ0	入力	割り込み要求 0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
アドレスバス	A22 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D15 ~ D0	入出力	データバス	16 ビットの双方向バスです。
バス制御	CS0、CS3、CS4	出力	チップセレクト 0、3、4	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD	出力	読み出し	外部のデバイスから読み出すことを示します。
	WE1	出力	上位側書き込み	外部メモリまたはデバイスのデータのビット 15 ~ 8 に書き込みすることを示します。
	WE0	出力	下位側書き込み	外部メモリまたはデバイスのデータのビット 7 ~ 0 に書き込みすることを示します。
	WAIT	入力	ウエイト	外部空間をアクセスするときのバスサイクルにウエイトサイクルを挿入させる入力です。
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF0、1)	SCIF0_TXD、SCIF1_TXD	出力	送信データ	送信データ用の端子です。
	SCIF0_RXD、SCIF1_RXD	入力	受信データ	受信データ用の端子です。
	SCIF0_SCK、SCIF1_SCK	入力	シリアルクロック	クロック入出力端子です。
	SCIF0_RTS	出力	送信要求	モデムコントロール端子です。SCIF0 のみ対応します。
	SCIF0_CTS	入力	送信可	モデムコントロール端子です。SCIF0 のみ対応します。
D/A 変換器 (DAC)	DA1、DA0	出力	アナログ出力端子	D/A 変換器のアナログ出力端子です。
	AVcc (DAC)	入力	D/A 用アナログ電源	D/A 変換器の電源端子です。D/A 変換器を使用しない場合はポート用電源 (Vcc) に接続してください。
	AVss (DAC)	入力	D/A 用アナロググラウンド	D/A 変換器のグラウンド端子です。システムの電源 (Vss) に接続してください。

1. 概要

分類	記号	入出力	名称	機能
USB	UCLK	入力	USB クロック	USB 用クロック入力端子 (48MHz 予備入力)
	USB_PULLUP	出力	USB プルアップ制御	USB プルアップ制御
	USB_VBUS	入力	USB ケーブル 接続モニタ	USB ケーブル接続モニタ端子
	USB_N	入出力	D-入出力	USB 内蔵トランシーバD-
	USB_P	入出力	D+入出力	USB 内蔵トランシーバD+
	AVcc (USB)	入力	USB トランシ ーバ用アナログ 電源	USB トランシーバ用のアナログ電源端子です。
	AVss (USB)	入力	USB トランシ ーバ用アナログ グランド	USB トランシーバ用のアナロググランド端子です。シス テムの電源 (Vss) に接続してください。
	Vcc (DLL)	入力	EXCPG 用 3.3V 電源	EXCPG 用電源端子です。システムの電源 (Vcc) に接続 してください。
	Vss (DLL)	入力	EXCPG 用 グランド	EXCPG 用グランド端子です。システムの電源 (Vss) に 接続してください。
	VDD (DLL)	出力	EXCPG 用 電源	LSI 内蔵レギュレータの出力で、EXCPG 用 (DLL 用) 電 源です。LSI 外部で所定の容量のコンデンサを接続してく ださい。
ブルートウ ースインタ フェース (BT)	RDI_TXTRDATA* ¹	入出力	送受信データ バス	RF-IC とのデータの送受信のためのバスです。
	RDI_RXBDW_ OUT* ¹	出力	パケット制御	BT のパケット処理状態を RF-IC に伝える信号です。
	RDI_REFCLK_IN* ¹	入力	BT クロック 入力	ブルートゥースインタフェースの動作クロックを入力し てください。
	RDI_CTRL2* ¹	出力	RF-IC 制御 2	クラス 1 対応時に外部パワーアンプのパワーコントロ ールに使用します。
	RDI_CTRL3* ¹	出力	RF-IC 制御 3	RF-IC 内発振器をイネーブルにするストロブ出力で す。
	RDI_CTRL4* ¹	出力	RF-IC 制御 4	RF-IC 用リセット制御および低消費電力制御出力です。
	RDI_SPL_CLK* ¹	出力	SPI クロック	シリアルインタフェースクロック
	RDI_SPL_TXRX* ¹	入出力	SPI データ	シリアルインタフェースデータ
	RDI_SPL_ENB* ¹	出力	SPI イネーブル	シリアルインタフェースのイネーブル信号
	VCI_SCO_CLK_ OUT* ²	出力	VCI クロック	Voice CODEC LSI にクロックを供給します。
	VCI_SCO_SYNC_ OUT* ²	出力	VCI 同期	Voice CODEC LSI にフレーム同期信号を供給します。

分類	記号	入出力	名称	機能
ブルートゥースインタフェース (BT)	VCI_SCO_TX* ²	入力	SCO 送信データ	送信する SCO データを Voice CODEC LSI から入力します。
	VCI_SCO_RX* ²	出力	SCO 受信データ	受信した SCO データを Voice CODEC LSI へ出力します。
	VCI_HWC* ²	出力	VCI モード選択	Voice CODEC LSI (STLC7550) の動作モードを選択します。
	VCI_CODEC_PWRDWN* ²	出力	VCI パワーダウン	Voice CODEC LSI のパワーダウン制御を行います。
	RTCSEL0	入力	Low Power クロック選択 0	Low Power Clock の入力方法を選択します。 L : 水晶発振子接続 H : 外部信号の直接入力
	RTC_EX_CLK	入力	Low Power クロック入力	Low Power Clock のため、外部信号の直接入力する端子です。RTCSEL0 が Low のとき、入力はハイインピーダンス状態です。
	EXTAL2 XTAL2	入力 出力	Low Power クロック水晶 発振子接続	Low Power Clock のため、水晶発振子を接続する端子です。RTCSEL0 が High のとき、これらの端子は非活性状態です。
	Vcc_28	入力	電源	RF-IC 接続端子用電源です。RF-IC と同じ電圧の電源を供給してください。
	Vss_28	入力	グランド	RF-IC 接続端子用グランド端子です。
I/O ポート	PTA1 ~ PTA0	入出力	汎用ポート	2 ビットの汎用入出力ポート端子です。
	PTB0	入出力	汎用ポート	1 ビットの汎用入出力ポート端子です。
	PTC1 ~ PTC0	入出力	汎用ポート	2 ビットの汎用入出力ポート端子です。
	PTD1 ~ PTD0	入出力	汎用ポート	2 ビットの汎用入出力ポート端子です。
	PTE5 ~ PTE0	入出力	汎用ポート	6 ビットの汎用入出力ポート端子です。
	PTF3 ~ PTF0	入出力	汎用ポート	4 ビットの汎用入出力ポート端子です。
	SCPT3i, SCPT0i	入力	シリアルポート	2 ビットの入力専用シリアルポートです。
	SCPT3o, SCPT0o	出力	シリアルポート	2 ビットの出力専用シリアルポートです。
	SCPT2 ~ SCPT1	入出力	シリアルポート	2 ビットのシリアルポート端子です。
ユーザ デバッグ インタ フェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ 入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
	TRST	入力	テストリセット	初期化信号入力端子です。

1. 概要

分類	記号	入出力	名称	機能
アドバンスト ユーザ デバッグ (AUD)	AUDATA3~ AUDATA0	出力	AUD データ	分岐先アドレス出力端子です。
	AUDCK	出力	AUD クロック	同期クロック出力端子です。
	AUDSYNC	出力	AUD 同期信号	データ先頭位置認識信号出力端子です。
E10A インタ フェース	ASEBRKAK	出力	ブレークモードア クノリッジ	E10A エミュレータがブレークモードに入ったことを示 します。 E10A との接続については、「SH7630E10A エミュレー タユーザーズマニュアル」を参照してください。
	ASEMD0	入力	ASE モード	ASE モードを設定します。
テスト関連 他	TEST_REG	入力	TEST_REG 端子	テスト用入力端子です。常時 High 固定にしてください。 High 固定にしないと動作しません。
	TEST	入力	TEST 端子	テスト用入力端子です。常時 High 固定にしてください。 High 固定にしないと動作しません。
	TEST2	入力	TEST2 端子	テスト用入力端子です。常時 Low 固定にしてください。 Low 固定にしないと動作しません。
	TEST3	入力	TEST3 端子	テスト用入力端子です。常時 High 固定にしてください。 High 固定にしないと動作しません。
	TEST4	入力	TEST4 端子	テスト用入力端子です。常時 High 固定にしてください。 High 固定にしないと動作しません。
	TEST5	入力	TEST5 端子	テスト用入力端子です。常時 High 固定にしてください。 High 固定にしないと動作しません。
	TEST6	入力	TEST6 端子	テスト用入力端子です。常時 High 固定にしてください。 High 固定にしないと動作しません。
	VBB	入力	VBB 端子	テスト用入力端子です。Vss に接続してください。 開放端子にしていると動作しません。
	VBBENB	入力	VBBENB 端子	テスト用入力端子です。Vss に接続してください。 開放端子にしていると動作しません。
	NC	-	NC 端子	NC 端子ですが、電源 (0V) に固定してください。

【注】 *1 RF-IC と接続される端子です。接続方法は「第 19 章 ブルートゥースインタフェース (BT)」を参照してくだ
さい。

*2 VOICE CODEC IC と接続される端子です。接続方法は「第 19 章 ブルートゥースインタフェース (BT)」を参照
してください。

2. CPU

2.1 処理状態と処理モード

2.1.1 処理状態

CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、および低消費電力状態の 4 種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセットの種類には、パワーオンリセットとマニュアルリセットの 2 種類があります。リセットの詳細については、「第 5 章 例外処理」を参照してください。

パワーオンリセットでは、本 LSI 内部の全モジュールのレジスタや内部状態が初期化されます。マニュアルリセットでは、バススタートコントローラ (BSC) などの一部のモジュールでレジスタの値が保持されます。詳細については、「第 23 章 レジスタ一覧」を参照してください。

CPU の内部状態やレジスタは、パワーオンリセットでもマニュアルリセットでも初期化されます。初期化完了後は、H'A000 0000 に分岐してユーザが作成したリセット処理プログラムに制御が渡され、実行を開始します。

(2) 例外処理状態

一般例外や割り込みの例外処理要因によって、CPU が処理状態の流れを変える過渡的な状態です。プログラムカウンタ (PC) を退避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を退避ステータスレジスタ (SSR) に退避します。ベクタベースレジスタ (VBR) の内容にベクタオフセットを加算したアドレスへ分岐し、ユーザが作成した例外処理プログラムに制御が渡され、実行を開始します。

例外処理状態の詳細については、「第 5 章 例外処理」を参照してください。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し、消費電力が抑えられている状態です。SLEEP 命令で低消費電力状態になります。低消費電力状態の詳細については、「第 11 章 低消費電力モード」を参照してください。

処理状態間の遷移を図 2.1 に示します。

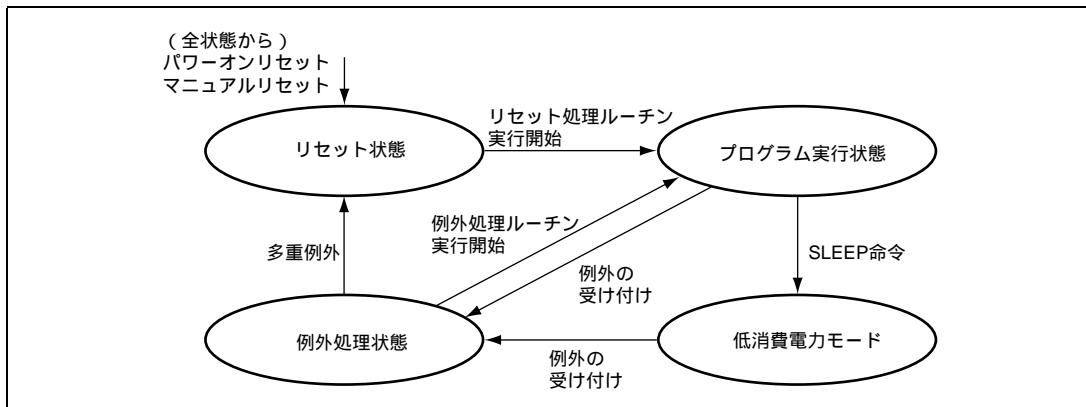


図 2.1 処理の状態遷移図

2.1.2 処理モード（ユーザモード / 特権モード）

CPUの処理モードには、ユーザモードと特権モードの2つがあります。ステータスレジスタ（SR）の処理モードビット（MD）で処理モードが決定され、MDビットが0のときユーザモードになり、1のとき特権モードになります。リセット状態や例外処理状態に遷移することにより、CPUは自動的に特権モードに遷移します。CPUが特権モードにあるとき、レジスタやアドレス空間のすべてのリソースをアクセスすることができます。処理モードごとにCPUがアクセス可能なレジスタやアドレス空間の違いについては、「2.2 メモリマップ」、「2.3 レジスタの説明」を参照してください。

ステータスレジスタ（SR）のMDビットに0を書き込むことで、CPUの処理モードは、ユーザモードになります。CPUがユーザモードにあるとき、SRを含む一部のレジスタやアドレス空間の一部がユーザプログラムからアクセスできなくなり、またシステムを制御する命令が実行できなくなります。この機構により、ユーザプログラムからシステムのリソースを保護することができます。処理モードをユーザモードから特権モードに変更するには、例外処理状態に遷移する必要があります。^{*1*2}

【注】 *1 ユーザモードから特権モードのサービスルーチンを呼び出す目的で、無条件トラップ命令（TRAPA）がサポートされています。

*2 ユーザモードから特権モードへ遷移する際、SRおよびプログラムカウンタ（PC）が退避されます。これらを復帰することにより、ユーザモードのプログラムを再開することができます。この例外処理プログラムからの復帰用にRTE命令がサポートされています。

2.2 メモリマップ

本 LSI が搭載している CPU は、前述のように処理モードによって見えるアドレス空間が異なり、CPU が扱うアドレス空間が必ずしも物理的なアドレス空間と一致しているとは限りません。そこで、CPU の出力するアドレス空間を論理アドレス空間、物理的なアドレス空間を物理アドレス空間と呼んで区別しています。さらに、物理アドレス空間のうち、本 LSI の外部にアクセス可能な空間を外部アドレス空間と呼びます。以後、これらの名称を使って説明します。

2.2.1 論理アドレス空間

CPU の出力するアドレス空間を論理アドレス空間といいます。本 LSI の CPU は、32 ビットの論理アドレス空間をサポートし、4G バイトの論理アドレス空間を用いてシステムのリソースをアクセスします。ユーザのプログラムやデータは、この論理アドレス空間上でアクセスされます。CPU から出力されるアドレスは、ハードウェアとしては L バス上（「第 1 章 概要」の「図 1.1 SH7630 の構成」を参照）に流れているアドレスになります。論理アドレス空間は、図 2.2 に示すとおり、いくつかの領域に分けて管理されています。

特権モードでは、P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。

ユーザモードでは、U0 領域の 2G バイトの空間をアクセス可能です。また、SR レジスタの DSP ビットが 1 の場合は、Uxy 領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 および Uxy 領域以外をアクセスした場合は、アドレスエラーとなります。

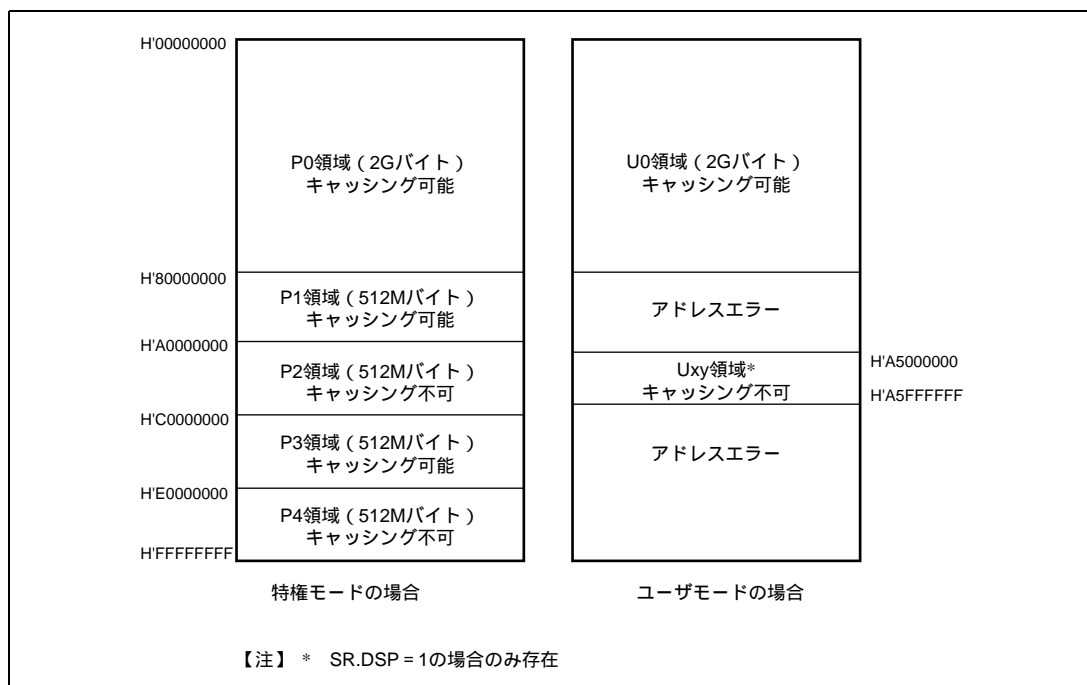


図 2.2 論理アドレス空間

2. CPU

(1) P0/U0 領域

CPU が特権モードにあるとき P0 領域、ユーザモードにあるとき U0 領域と呼びます。P0 および U0 領域は、キャッシュを用いたアクセスが可能な領域です*。

(2) P1 領域

P1 領域は、キャッシングの対象となる特権領域として定義されています*。通常、この領域にはオペレーティングシステム (OS) のカーネル、および例外処理のハンドラなど、特権モードで高速に動作するプログラムを配置します。

(3) P2 領域

P2 領域は、キャッシングの対象とならない特権領域として定義されています。リセット状態から呼び出されるリセット処理プログラムは、P2 領域の先頭 (H'A000 0000) から記述します。通常、この領域にはシステムの初期設定ルーチンなど、OS の起動に必要なプログラムを配置します。また、本 LSI の一部の内蔵 I/O をアクセスする場合には、P2 領域にプログラムを配置しておく必要があります。

(4) P3 領域

P3 領域は、キャッシングの対象となる特権領域として定義されています*。

(5) P4 領域

P4 領域は、制御空間で、キャッシングの対象にならず、特権モードのみでアクセス可能です。P4 領域の詳細を図 2.3 に示します。本 LSI の内蔵 I/O の一部は、この空間に配置されています。この空間に配置されている具体的な内蔵 I/O については、「第 23 章 レジスタ一覧」を参照してください。

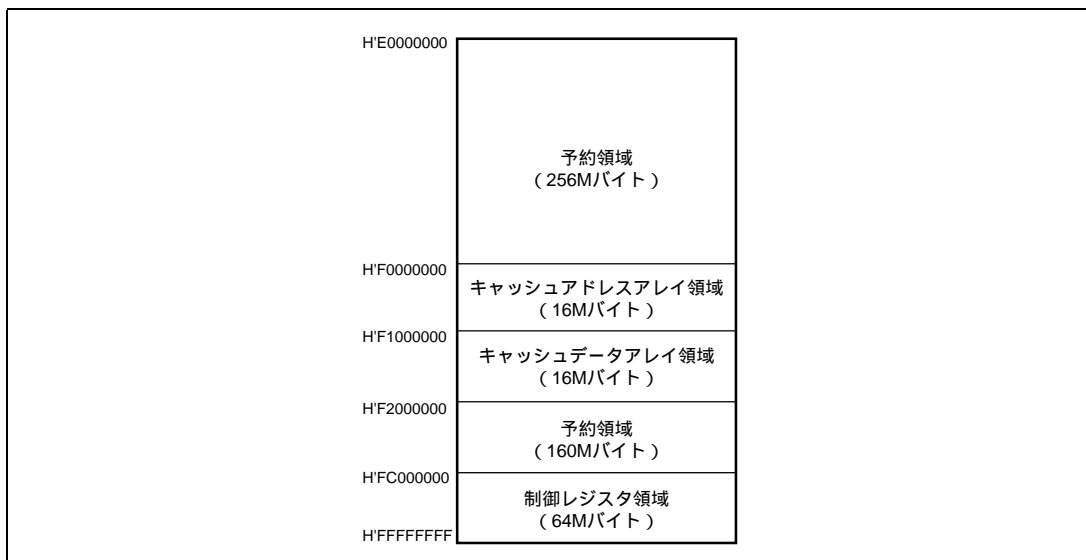


図 2.3 P4 領域

(6) Uxy 領域

Uxy 領域は、ユーザモードにおいて、SR レジスタの DSP ビットが 1 のときに使用可能となる、本 LSI の内蔵メモリにマッピングされる領域です。ユーザモードにおいて、DSP ビットが 0 のときにこの領域にアクセスするとアドレスエラーとなります。この領域はキャッシュを用いたアクセスは行えません。Uxy 領域の詳細については「第 4 章 Uメモリ」を参照してください。

【注】 * キャッシュを用いるか否かは、キャッシュコントロールレジスタ (CCR1) の CE ビットに従います。

2.2.2 物理アドレス空間

CPU から出力されたアドレスをアドレス変換した後の物理的なアドレス空間を物理アドレス空間と呼びます。ハードウェアとしては I バス上に流れているアドレスになります。本 CPU は論理アドレスと同様に 32 ビットの物理アドレス空間をサポートしていますが、図 2.4 に示すように、32 ビットのうち上位 3 ビットがマスクされてシャドウとして扱われ、29 ビットが実際の物理アドレス空間へのアクセスに使用されて 0.5G バイトの物理メモリをアクセスできます。したがって、上位 3 ビットには通常、000 にマスクされたアドレスがそのまま物理アドレスになります*。物理アドレス空間の詳細については「第 7 章 バスステートコントローラ (BSC)」を参照してください。

DMAC 等の CPU 以外のバスマスタは、I バスに直接接続されているため、論理アドレス空間は扱わずに直接物理アドレス空間を扱います。

【注】 * 論理アドレスで上位 3 ビットが 111 になっていた場合のみ (特権モードの P4 領域に相当)、内蔵 I/O をアクセスするために、I バスの上位 3 ビットにも 111 がそのまま出て行きます。

H'00000000	29ビット (512Mバイト) 物理アドレス空間
H'20000000	29ビット物理アドレス空間 のシャドウ空間
H'40000000	29ビット物理アドレス空間 のシャドウ空間
H'60000000	29ビット物理アドレス空間 のシャドウ空間
H'80000000	29ビット物理アドレス空間 のシャドウ空間
H'A0000000	29ビット物理アドレス空間 のシャドウ空間
H'C0000000	29ビット物理アドレス空間 のシャドウ空間
H'E0000000	29ビット物理アドレス空間 のシャドウ空間
H'FFFFFFF	内蔵I/O領域

図 2.4 物理アドレス空間

2.2.3 外部アドレス空間

物理アドレス空間は図 2.5 に示すように、エリアと呼ばれる 8 つの領域に分かれています。このうち、エリア 1 は内蔵 I/O 空間として使用され、本 LSI の内蔵 I/O の多くはこの領域にマッピングされています*。本 LSI ではエリア 2 およびエリア 5~エリア 7 は予約領域です。残りの 3 つのエリアが外部アドレス空間になります。外部アドレス空間は、各エリアごとに異なった種類のメモリを接続することができます（詳細については「第 7 章 バスステートコントローラ（BSC）」を参照してください）。

CPU から見た場合、通常は論理アドレスの上位 3 ビットがマスクされてシャドウとして扱われていますので、例えば特権モードの場合、論理アドレス空間の P0 領域の H'0000 0100 番地、P1 領域の H'8000 0100 番地、P2 領域の H'A000 0100 番地、および P3 領域の H'C000 0100 番地は、すべて同一の外部アドレス空間のエリア 0 の H'0000 0100 番地にマッピングされます。ただし、P4 領域はマッピングの対象にならず、P4 領域をアクセスしても外部アドレス空間へのアクセスとはなりません。

外部メモリが接続できる 3 つのエリア（エリア 0、エリア 3、エリア 4）は、それぞれ 64M バイトの外部アドレス空間ですが、本 LSI はアドレス端子を 23 ピン備えていますので、それぞれのエリアには最大 8M バイトのメモリが実装可能です。図 2.5 にはエリア 0 に対応する実装空間を示しています。

【注】 * 外部アドレス空間のエリア 1 にマッピングされている内蔵 I/O をアクセスする場合には、キャッシングの対象でない論理アドレス空間の P2 領域からアクセスしてください。

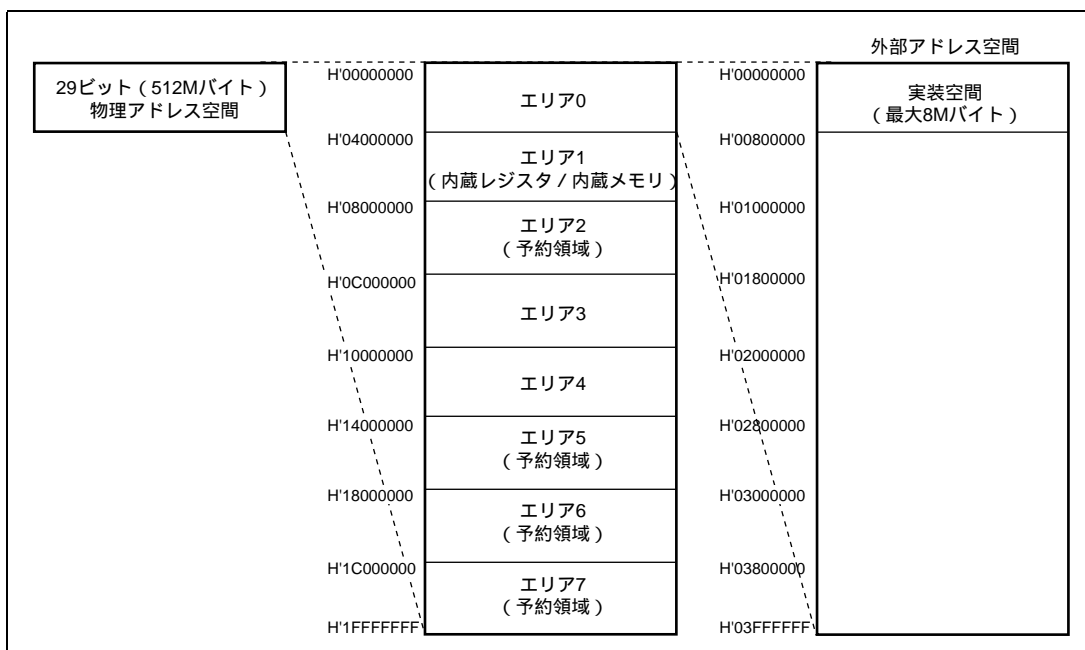


図 2.5 外部アドレス空間と実装空間（エリア 0 の場合）

2.3 レジスタの説明

本 LSI の CPU は、32 ビットのレジスタを 33 本保有しています。これは、汎用レジスタ (24 本)、コントロールレジスタ (5 本)、システムレジスタ (3 本)、およびプログラムカウンタ (1 本) に分類されます。

(1) 汎用レジスタ

汎用レジスタには、R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、および R8 ~ R15 の 24 本のレジスタがあります。R0 ~ R7 はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは、処理モード、およびステータスレジスタ (SR) のレジスタバンクビット (RB) により決定されます。

(2) システムレジスタ

システムレジスタには、積和レジスタ (MACH、MACL)、およびプロシージャレジスタ (PR) があり、処理モードによらずアクセスできます。

(3) プログラムカウンタ

プログラムカウンタ (PC) は、「現在実行中の命令アドレス+4」の値を保持します。

(4) コントロールレジスタ

コントロールレジスタには、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、およびベクタベースレジスタ (VBR) があります。

このうち、GBR だけはユーザモードからでもアクセスできますが、他のコントロールレジスタは特権モードでのみアクセスできます。

リセット後のレジスタの値を表 2.1 に示します。また、処理モード別のレジスタ構成を図 2.6 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0 ~ R7_BANK0 R0_BANK1 ~ R7_BANK1 R8 ~ R15	不定
システムレジスタ	MACH、MACL、PR	不定
プログラムカウンタ	PC	H'A000 0000
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、I3 ~ I0 は B'1111 (HF)、DSP ビットは 0、予約ビットは 0、その他は不定
	GBR、SSR、SPC	不定
	VBR	H'0000 0000

【注】 * パワーオンリセットおよびマニュアルリセット後の初期値です。

2. CPU

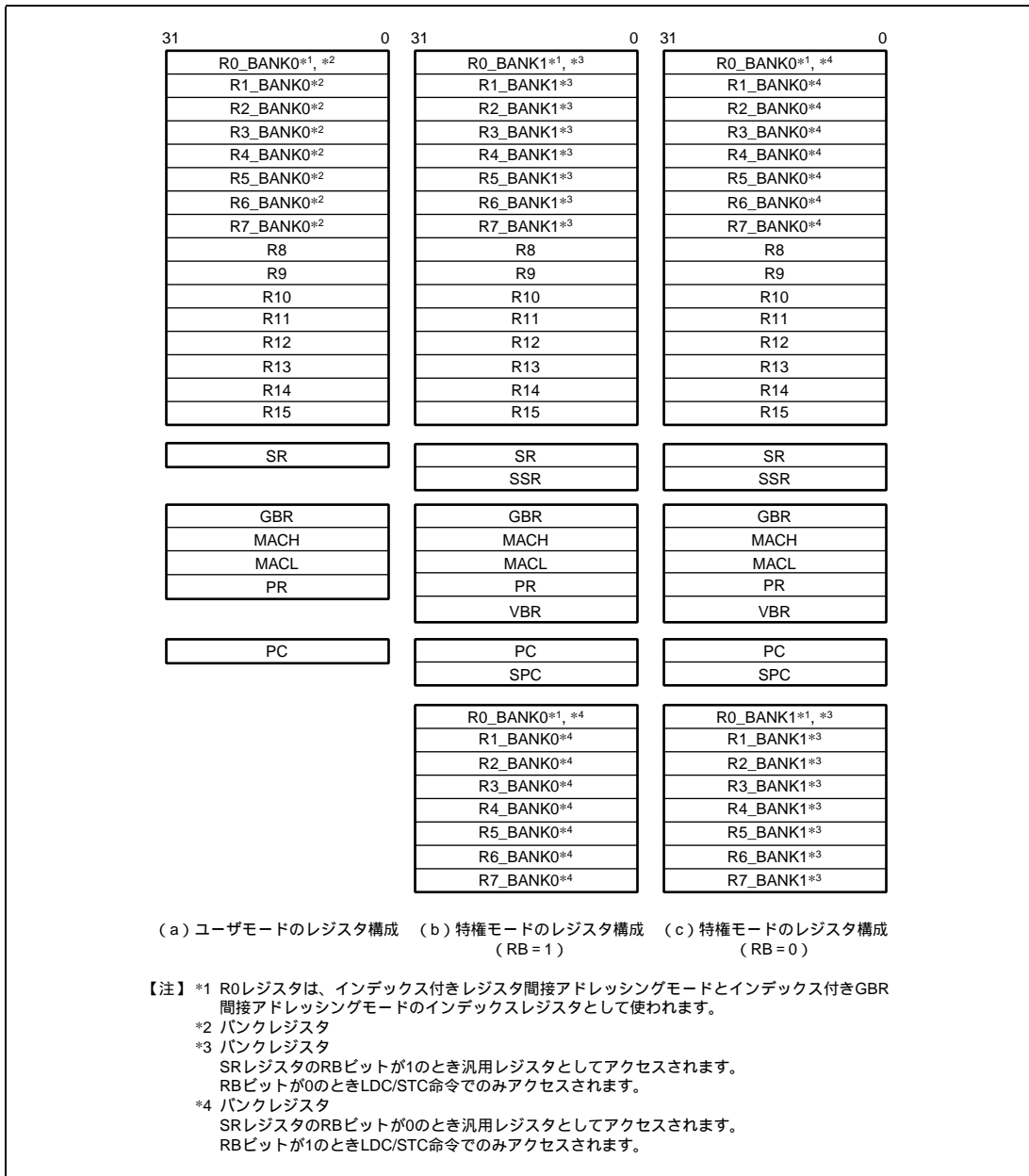


図 2.6 処理モード別のレジスタ構成

2.3.1 汎用レジスタ

汎用レジスタには、R0_BANK0～R7_BANK0、R0_BANK1～R7_BANK1、およびR8～R15の24本のレジスタがあります。図2.7に汎用レジスタの構成を示します。R0～R7はバンク構成になっており、どちらのバンクが汎用レジスタとして使用されるかは処理モード、およびステータスレジスタ（SR）のレジスタバンクビット（RB）により決定されます。汎用レジスタとして選択されているバンクはR0～R7という名前でアクセスされ、選択されていないバンクのレジスタはR0_BANK～R7_BANKという名前で、コントロールレジスタのロード命令（LDC）とストア命令（STC）を用いてアクセスします。

ユーザモードの場合は、RBビットの値によらずバンク0が選択されます。R0_BANK0～R7_BANK0とR8～R15の合計16本のレジスタが汎用レジスタR0～R15としてアクセスされます。バンク1のレジスタR0_BANK1～R7_BANK1は、アクセスできません。

例外処理状態に遷移し特権モードになると、同時にRBビットに1がセットされ、バンク1が選択されます。この場合は、バンク1のR0_BANK1～R7_BANK1とR8～R15の合計16本のレジスタを汎用レジスタR0～R15としてアクセスすることができます。例外処理状態に遷移することで自動的にバンクが切り替わるため、例外処理ルーチンでR0～R7の値を退避する必要はありません。バンク0のR0_BANK0～R7_BANK0は、LDCまたはSTC命令により、R0_BANK～R7_BANKとしてアクセスします。

特権モードでは、RBビットに0を書くことで、バンク0を汎用レジスタとして使用するよう選択することも可能です。この場合、バンク0のR0_BANK0～R7_BANK0とR8～R15の合計16本のレジスタを汎用レジスタR0～R15としてアクセスすることができます。バンク1のR0_BANK1～R7_BANK1は、LDCまたはSTC命令により、R0_BANK～R7_BANKとしてアクセスします。

汎用レジスタR0～R15は、ほぼすべての命令で等価な機能のレジスタとして使用されますが、一部の命令では、R0レジスタを暗黙的に使用したり、R0のみがソースレジスタやデスティネーションレジスタになる場合があります。

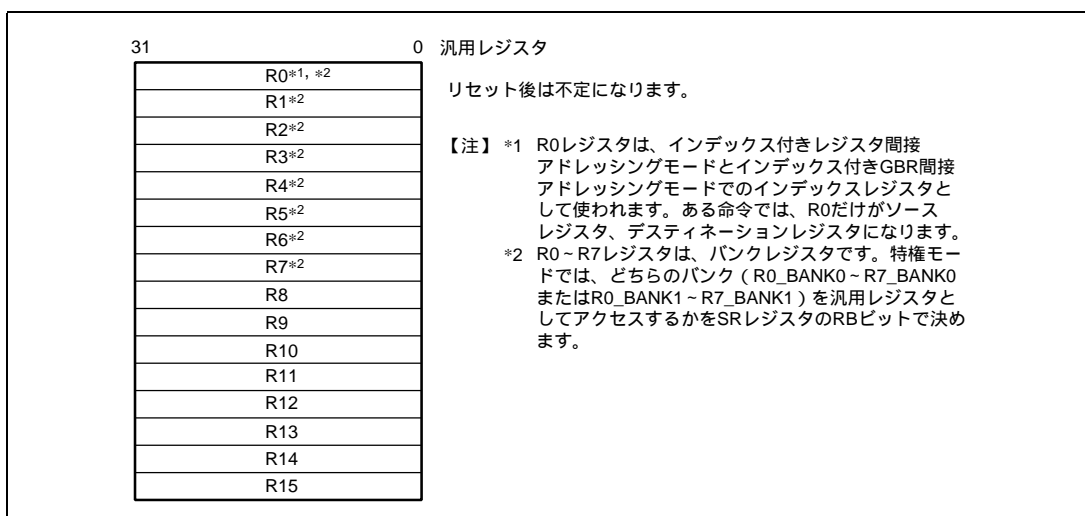


図 2.7 汎用レジスタの構成

2.3.2 システムレジスタ

システムレジスタは、LDS または STS 命令でアクセスできます。システムレジスタには、下記に示す 2 つのレジスタがあります。図 2.8 にシステムレジスタの構成を示します。

(1) 積和レジスタ

積和レジスタには、積和演算命令および乗算命令の結果を格納します。また、積和演算命令では加算値を格納する場所としても使用されます。リセット状態では不定になります。

積和レジスタは、上位 32 ビットを格納する積和上位レジスタ (MACH) と下位 32 ビットを格納する積和下位レジスタ (MACL) からなっています。

(2) プロシジャーレジスタ

プロシジャーレジスタ (PR) には、BSR、BSRF、および JSR 命令を用いたサブルーチンコールのときの戻りアドレスが格納されます。PR の中の戻りアドレスは、サブルーチンからの復帰命令 (RTS) によってプログラムカウンタ (PC) に復元されます。リセット状態では、不定になります。

2.3.3 プログラムカウンタ

プログラムカウンタ (PC) には、実行中の命令アドレス+4 の値が格納されます。図 2.8 に PC の構成を示します。PC の値を直接読み出す命令はありませんが、例外処理状態では退避プログラムカウンタ (SPC) に、サブルーチンコール時にはプロシジャーレジスタ (PR) にその値が退避されます。また、アドレッシングモードとして PC 相対アドレッシングが提供されています。

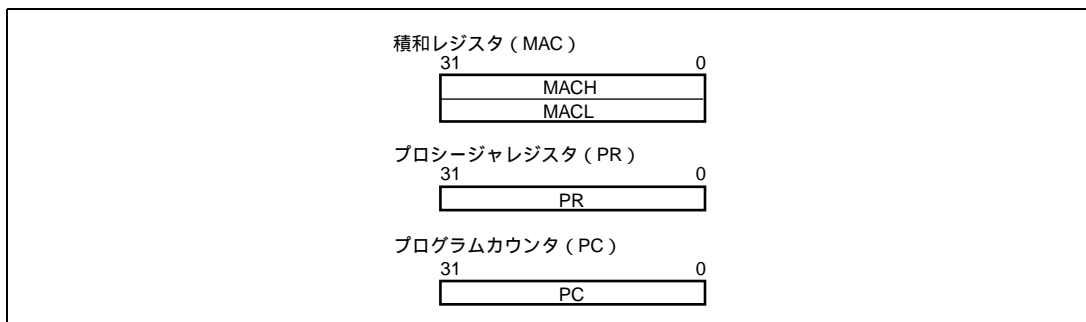


図 2.8 システムレジスタおよびプログラムカウンタの構成

2.3.4 コントロールレジスタ

コントロールレジスタは、特権モードのとき LDC または STC 命令を使ってアクセスできます。ただし、グローバルベースレジスタ (GBR) は、ユーザモードでもアクセスすることができます。コントロールレジスタには、下記に示す 5 つのレジスタがあります。

(1) ステータスレジスタ (SR)

SR には、システムの状態を表す各種情報を格納します。SR は、特権モードでのみアクセスできます。

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
30	MD	1	R/W	処理モード CPU の処理モードを表します。 0 : ユーザモード 1 : 特権モード リセット状態および例外処理状態になると 1 がセットされます。
29	RB	1	R/W	レジスタバンク 汎用レジスタ R0 ~ R7 は、バンクレジスタです。 特権モードで使用する汎用レジスタのバンクを指定します。 0 : R0_BANK0 ~ R7_BANK0 と R8 ~ R15 が汎用レジスタになり、R0_BANK1 ~ R7_BANK1 は LDC または STC 命令でアクセスできません。 1 : R0_BANK1 ~ R7_BANK1 と R8 ~ R15 が汎用レジスタになり、R0_BANK0 ~ R7_BANK0 は LDC または STC 命令でアクセスできません。 リセット状態および例外処理状態になると 1 がセットされます。
28	BL	1	R/W	ブロック 0 : 割り込みやユーザブレークを受け付けます。 1 : 割り込みやユーザブレークの受付を抑制します。 リセット状態および例外処理状態になると 1 がセットされます。
27 ~ 16	RC11 ~ RC0	すべて 0	R/W	リピートカウンタ リピートカウンタは、リピート命令で制御されるリピートループの、残り実行回数を保持しています。このビットは、特権モード、および DSP ビットが 1 のときに更新可能です。リセット状態に遷移することにより 0 に初期化されます。例外処理状態に遷移しても値は変化しません。 【注】 本 LSI では使用しません。0 を書き込んでください。1 を書いた場合の動作の保証はできません。

2. CPU

ビット	ビット名	初期値	R/W	説明
15~13		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
12	DSP	0	R/W	DSP ビット DSP ビットは、DSP 拡張機能の有効および無効を制御します。このビットに 1 を書くことで DSP 拡張機能が有効になります。本 LSI では DSP 機能はサポートしていませんので、通常は 0 を書き込んでおいてください。ただし、MD ビットをユーザモードに設定している場合、U メモリをアクセスするとき、また、キャッシュロック機構を使用するときには、本ビットを 1 に設定してください。
11	DMY	0	R/W	モジュロ制御ビット
10	DMX	0	R/W	DSP を備えた CPU 用のビットです。本 LSI では使用しません。0 を書き込んでください。
9	M		R/W	M ビット*
8	Q		R/W	Q ビット* DIV0S、DIV0U、および DIV1 命令で使用します。これらの命令を実行することで、ユーザモードでも値を変更できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
7	I3	1	R/W	割り込みマスクビット
6	I2	1	R/W	割り込み要求マスクレベルを表す 4 ビットデータです。
5	I1	1	R/W	割り込みが発生しても、割り込み受け付けレベルに変化しません。
4	I0	1	R/W	リセット状態で B'1111 に初期化されますが、例外処理状態になっても値は変化しません。
3	RF1	0	R	リピートフラグビット
2	RF0	0	R	リピートフラグビットは、リピート制御命令によって使用されます。 これらのビットは特権モードおよび DSP ビットが 1 のときに更新可能です。リセット状態に遷移することにより、0 に初期化されます。例外処理状態に遷移しても値は変化しません。 【注】 本 LSI では使用しません。0 を書き込んでください。1 を書いた場合の動作の保証はできません。
1	S		R/W	飽和モード* 乗算命令および積和命令での飽和モードを指定します。ユーザモードからは、SETS および CLRS 命令を用いることで値を設定できます。 リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。
0	T		R/W	T ビット* 比較演算命令での真または偽条件や、キャリまたはポロー付き演算命令でのキャリまたはポローの有無を表します。ユーザモードからは、SETT および CLRT 命令を用いることで値を設定できます。リセット状態での初期値は、不定です。例外処理状態になっても、値は変化しません。

【注】 * M、Q、S、T ビットはユーザモードで専用命令によってセット/クリアが可能です。他のビットは、特権モードで読み出しまたは書き込みが可能です。

(2) 退避ステータスレジスタ (SSR)

このレジスタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、ステータスレジスタ (SR) の値が退避されます。リセット状態での初期値は、不定です。

(3) 退避プログラムカウンタ (SPC)

このカウンタは、特権モードでのみアクセスできます。例外処理状態へ遷移する場合には、プログラムカウンタ (PC) の値が退避されます。リセット状態の初期値は、不定です。

(4) グローバルベースレジスタ (GBR)

GBR 間接アドレッシングのベースレジスタとして参照されます。リセット状態の初期値は、不定です。

(5) ベクタベースレジスタ (VBR)

このレジスタは、特権モードでのみアクセスできます。リセット状態以外から例外処理状態に遷移した場合は、分岐先のベースアドレスとして参照されます。詳細については、「第 5 章 例外処理」を参照してください。リセット状態に遷移することで、H'0000 0000 に初期化されます。

コントロールレジスタの構成を図 2.9 に示します。

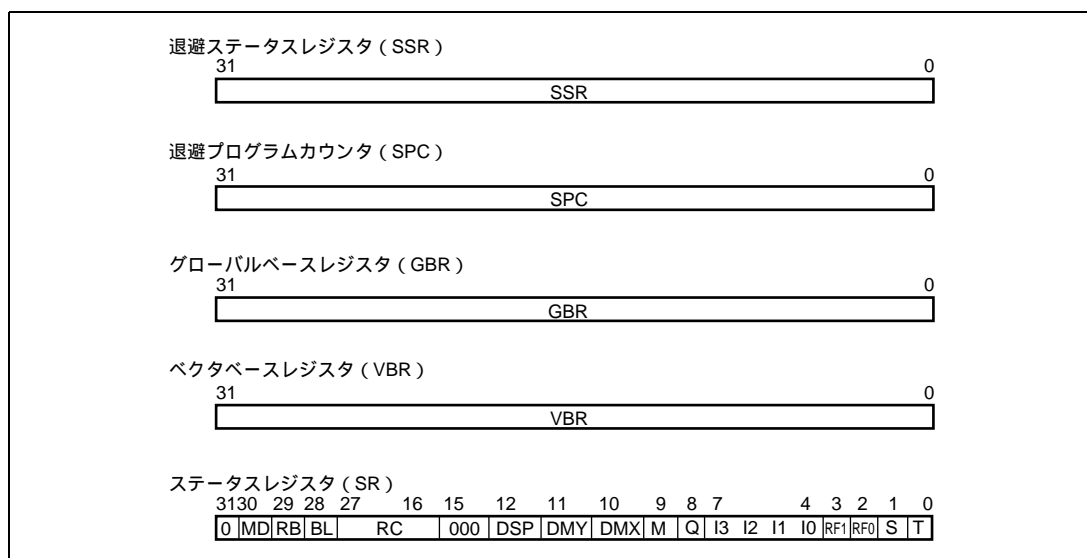


図 2.9 コントロールレジスタの構成

2. CPU

特権モード、ユーザモードにおける STC と LDC 命令使用時のステータスレジスタ (SR) の詳細は、表 2.2 のとおりです。

表 2.2 特権モード、ユーザモード時の SR の各ビットの動作説明

フィールド	特権モード	ユーザモード		リセット後の初期値
	MD = 1	MD = 0 & DSP = 0	MD = 0 & DSP = 1	
MD	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	1
RB	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	1
BL	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	1
RC[11:0]	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	000000000000
DSP	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	0
DMY	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	0
DMX	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	0
Q	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	X
M	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	X
I[3:0]	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	1111
RF[1:0]	S : OK、L : OK	S、L : 不当命令	S : OK、L : OK	X
S	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	X
T	S : OK、L : OK	S、L : 不当命令	S : OK、L : NG	X

【記号説明】

- S : STC 命令 (Store SR to Rn,SR->Rn)
- L : LDC 命令 (Load Rn to SR,Rn->SR)
- OK : STC と LDC 動作を許可します。
- 不当命令 : 命令を実行すると不当命令例外が発生します。
- NG : 前の値を保持します。変化しません。
- x : 不定

2.4 データ形式

2.4.1 レジスタのデータ形式

レジスタオペランドのデータのサイズは、常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）もしくはワード（16ビット）の場合は、ロングワードに符号拡張して、レジスタに格納します。

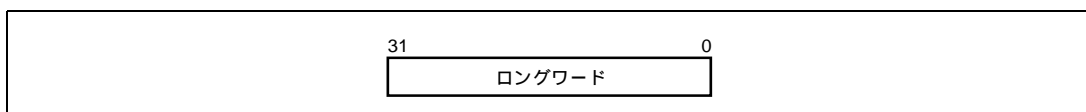


図 2.10 ロングワードオペランド

2.4.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、および32ビットのロングワードいずれの形でもアクセスすることができます。32ビットに満たないメモリオペランドは、符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーとなり、例外処理状態に遷移します。バイトオペランドは、どの番地からでもアクセスできます。

ワードオペランドやロングワードオペランドをアクセスする場合、レジスタ上でワード、ロングワードを構成する各バイト位置がメモリ上でどのアドレスに対応するかは、エンディアン方式（ビッグエンディアン/リトルエンディアンの別）により異なります。

図 2.11 に、ビッグエンディアンの場合の対応を示します。ビッグエンディアンでは、レジスタの最上位バイト側がアドレスの小さい番地に、最下位バイト側がアドレスの大きい番地に対応します。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合は、R0 の最上位バイトが R1 で示されるアドレスにストアされ、R0 の最下位バイトが (R1+3) で示されるアドレスにストアされます。

本 LSI の内蔵デバイスが持つメモリ割り付けレジスタは、ビッグエンディアンとしてアクセスされます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。ビッグエンディアンの場合は、命令コードはメモリ上にワード境界から上位バイトおよび下位バイトの順番に格納してください。

2. CPU

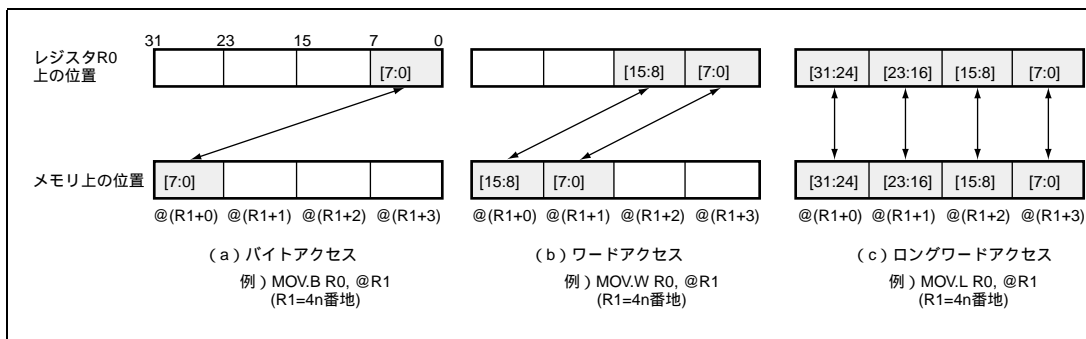


図 2.11 メモリ上のデータ形式（ビッグエンディアン）

データフォーマットとしてリトルエンディアンを選択することも可能です。エンディアン方式は、パワーオンリセット時に外部端子（MD5 端子）で設定してください。MD5 端子がローレベルの場合はビッグエンディアンに、MD5 端子がハイレベルの場合はリトルエンディアンに設定されます。エンディアン方式は、動的には変更できません。

リトルエンディアンでは、レジスタの最上位バイト側がアドレスの大きい番地に、最下位バイト側がアドレスの小さい番地に対応します（図 2.12）。例として、汎用レジスタ R1 で示されるアドレスに汎用レジスタの値をロングワードでストアした場合、リトルエンディアンでは R0 の最上位バイトが (R1+3) で示されるアドレスにストアされ、R0 の最下位バイトが R1 で示されるアドレスにストアされます。

エンディアンをリトルエンディアンに設定した場合、本 LSI の持つ内蔵メモリへのアクセスはリトルエンディアンで行われますが、メモリ空間に割り付けられたレジスタへのアクセスはビッグエンディアンで行われます。ただし、ロングワードサイズのレジスタをワードまたはバイトでアクセスすることが可能か、ワードサイズのレジスタをバイトでアクセスすることが可能かは、レジスタによって異なります。

【注】 本 LSI の CPU 命令コードは、メモリ上にワードサイズとして格納されている必要があります。リトルエンディアンの場合は、命令コードはメモリ上にワード境界から下位バイトおよび上位バイトの順に格納してください。

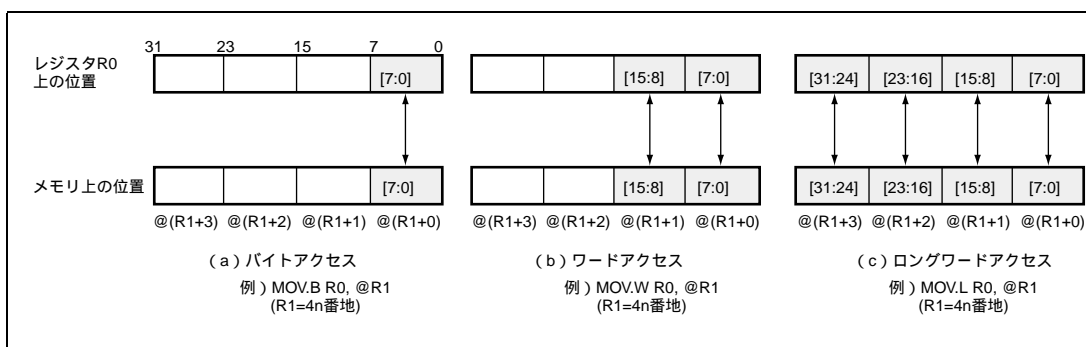


図 2.12 メモリ上のデータ形式（リトルエンディアン）

2.5 命令の特長

2.5.1 命令の実行方法

(1) 命令長

命令セットは、16ビット固定長命令で逐次パイプラインで実行されます。逐次パイプラインによりほとんどの命令が1サイクルの時間で実行されます。すべてのデータは32ビットのロングワード単位で処理されます。メモリは、8ビットのバイト、16ビットのワード、および32ビットのロングワード単位にアクセスされます。このとき、バイトとワードは、符号拡張されて32ビットのロングワードで処理されます。リテラル定数は、算術演算(MOV、ADDおよびCMP/EQ命令)では符号が拡張され、論理演算(TST、AND、ORおよびXOR命令)ではゼロ拡張されて処理されます。

(2) ロードストアアーキテクチャ

ロードストアアーキテクチャを採用しているため、基本演算はレジスタ間で処理されます。メモリ上のデータを扱うときは、転送命令でレジスタにロードしてから演算命令で実行してください。ただし、論理演算のANDのようなビット操作命令は、実際にメモリ上で処理されます。

(3) 遅延分岐

無条件分岐は、遅延分岐として処理されます。分岐によるパイプラインの乱れを最小にするため遅延分岐命令の次の命令を先に実行してから分岐します。例を以下に示します。条件付き分岐命令には、遅延分岐命令と通常分岐命令の2とおりがあります。

```
BRA          TRGET
ADD          R1,R0      ;TRGETへ分岐する前にADD命令が実行されます。
```

(4) Tビット

ステータスレジスタ(SR)のTビットは、比較命令の結果を表すのに使用され、条件分岐が発生するか否かを決定する真偽状態(TRUEまたはFALSE)として読み出されます。処理速度を向上させるため、Tビットは特定の命令でのみ変更されます。Tビットの使い方の例を以下に示します。

```
ADD          #1,R0      ;TビットはADD命令では変更されません。
CMP/EQ      #0,R0      ;TビットはR0が0のとき1にセットされます。
BT          TRGET      ;Tビットが1(R0=0)のときTRGETに分岐します。
```

2. CPU

(5) リテラル定数

バイト長のリテラル定数は、イミディエイトデータとして命令コードの中に直接挿入されます。16ビット固定長の命令コードなので、ワードまたはロングワードのリテラル定数は命令コードの中に直接挿入されず、メインメモリにテーブルの形で格納されます。メモリテーブルは、ディスプレースメント付きのPC相対アドレッシングを使ったMOV命令でアクセスします。例を以下に示します。

```
MOV.W      @(disp,PC),R0
```

(6) 絶対アドレス

ワードおよびロングワードリテラル定数と同じように、絶対アドレスもメインメモリにテーブルの形で格納してください。絶対アドレスの値はレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスは、ワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

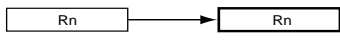
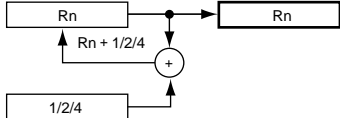
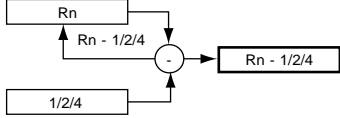
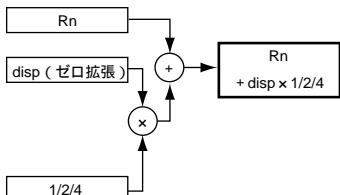
(7) 16ビットと32ビットディスプレースメント

16ビットおよび32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに格納してください。絶対アドレスとまったく同じようにディスプレースメントの値がレジスタに転送され、オペランドのアクセスはインデックス付きレジスタ間接アドレッシングで指定されます。絶対アドレスはワードおよびロングワードのイミディエイトデータと同じように、命令実行中にレジスタに格納されます。

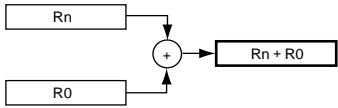
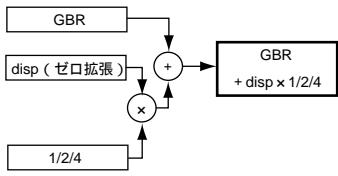
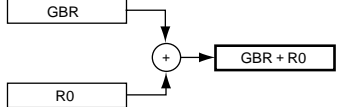
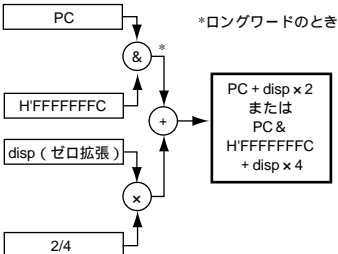
2.5.2 アドレッシングモード

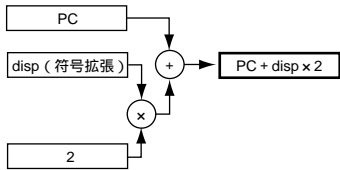
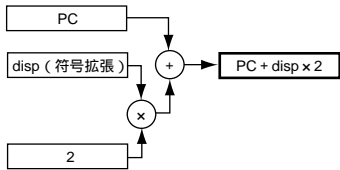
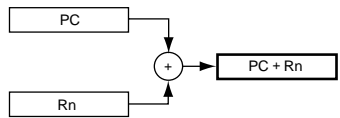
アドレッシングモードと実効アドレスの計算方法を表 2.3 に示します。

表 2.3 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn+1 Rn ワード : Rn+2 Rn ロングワード : Rn+4 Rn
プリデクリメントレジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレースメント付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

2. CPU

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 	Rn + R0
ディスプレイメント付き GBR 間接	@ (disp:8, GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : GBR + disp ワード : GBR + disp × 2 ロングワード : GBR + disp × 4
インデックス付き GBR 間接	@ (R0, GBR)	実効アドレスはレジスタ GBR に R0 を加算した内容です。 	GBR + R0
ディスプレイメント付き PC 相対	@ (disp:8, PC)	実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。 	ワード : PC + disp × 2 ロングワード : PC & H'FFFFFFFC + disp × 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p> 	$PC + Rn$
イミディエイト	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレイメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を表記しています。これは、本 LSI の動作を明確にするためです。実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@ (disp:4, Rn) ;ディスプレイメント付きレジスタ間接

@ (disp:8, GBR) ;ディスプレイメント付き GBR 間接

@ (disp:8, PC) ;ディスプレイメント付き PC 相対

disp : 8, disp :12 ;PC 相対

2.5.3 命令形式

表 2.4 に命令形式、ソースオペランド、およびデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.4 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式				NOP
n 形式			nnnn: レジスタ直接	MOV.T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメン トレジスタ間接	STC.L SR,@-Rn
m 形式		mmmm: レジスタ直接	コントロールレジスタ またはシステムレジス タ	LDC Rm,SR
		mmmm: ポストインクリメ ントレジスタ間接	コントロールレジスタ またはシステムレジス タ	LDC.L @Rm+,SR
		mmmm: レジスタ間接		JMP @Rm
		mmmm: Rm を用いた PC 相 対		BRAF Rm
nm 形式		mmmm: レジスタ直接	nnnn: レジスタ直接	ADD Rm,Rn
		mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.L Rm,@Rn
		mmmm: ポストインクリメン トレジスタ間接 (積和演算) nnnn: *ポストインクリメン トレジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm: ポストインクリメン トレジスタ間接	nnnn: レジスタ直接	MOV.L @Rm+,Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式		m m m m : レジスタ 直接	n n n n : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		m m m m : レジスタ 直接	n n n n : インデックス 付きレジスタ間接	MOV.L Rm,@ (R0,Rn)
md 形式		m m m m d d d d : ディスプレイースメン ト付きレジスタ間接	R0 (レジスタ直接)	MOV.B @ (disp,Rm) ,R0
nd4 形式		R0 (レジスタ直接)	n n n n d d d d : ディスプレイースメント付き レジスタ間接	MOV.B R0,@ (disp,Rn)
nmd 形式		m m m m : レジスタ 直接	n n n n d d d d : ディスプレイースメント付き レジスタ間接	MOV.L Rm,@ (disp,Rn)
		m m m m d d d d : ディスプレイースメン ト付きレジスタ間接	n n n n : レジスタ直接	MOV.L @ (disp,Rm) ,Rn
d 形式		d d d d d d d d : ディスプレイースメン ト付き GBR 間接	R0 (レジスタ直接)	MOV.L @ (disp,GBR) ,R0
		R0 (レジスタ直接)	d d d d d d d d : ディスプレイースメント付き GBR 間接	MOV.L R0,@ (disp,GBR)
		d d d d d d d d : ディスプレイースメン ト付き PC 相対	R0 (レジスタ直接)	MOVA @ (disp,PC) ,R0
		d d d d d d d d : PC 相対		BF label
d12 形式		d d d d d d d d d d d d : PC 相対		BRA label (label=disp+PC)
nd8 形式		d d d d d d d d : ディスプレイースメン ト付き PC 相対	n n n n : レジスタ直接	MOV.L @ (disp,PC) ,Rn
i 形式		i i i i i i : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@ (R0,GBR)
		i i i i i i : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		i i i i i i : イミディエイト		TRAPA #imm
ni 形式		i i i i i i : イミディエイト	n n n n : レジスタ直接	ADD #imm,Rn

【注】 * 積和命令では、nnnn はソースレジスタです。

2.6 命令セット

2.6.1 機能別命令セット

機能別の命令を表 2.5 に示します。

表 2.5 機能別命令

機能	命令の種類	オペコード	詳細機能	命令数
データ転送命令	5	MOV	データ転送	39
		MOVA	実効アドレスの転送	
		MOVT	T ビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2 進加算	33
		ADDC	キャリ付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算 (32×32 ビット)	
		MULS	符号付き乗算 (16×16 ビット)	
		MULU	符号なし乗算 (16×16 ビット)	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	

機能	命令の種類	オペコード	詳細機能	命令数
論理演算命令	6	XOR	排他的論理和演算	14
シフト命令	12	ROTCL	Tビット付き1ビット左回転	16
		ROTCR	Tビット付き1ビット右回転	
		ROTL	1ビット左回転	
		ROTR	1ビット右回転	
		SHAD	ダイナミック算術シフト	
		SHAL	1ビット左算術シフト	
		SHAR	1ビット右算術シフト	
		SHLD	ダイナミック論理シフト	
		SHLL	1ビット左論理シフト	
		SHLLn	nビット左論理シフト	
		SHLR	1ビット右論理シフト	
SHLRn	nビット右論理シフト			
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T = 0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T = 1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
RTS	サブルーチンプロシージャからの復帰			
システム制御命令	14	CLRMAC	MACレジスタのクリア	74
		CLRS	Sビットのクリア	
		CLRT	Tビットのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		PREF	データキャッシュへのプリフェッチ	
		RTE	例外処理からの復帰	
		SETS	Sビットのセット	
		SETT	Tビットのセット	
		SLEEP	低消費電力モードへの遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
TRAPA	トラップ例外処理			
	計 67			187

2. CPU

命令コード、動作、および実行ステートを、以下の形式で分類別に、表 2.6～表 2.11 に説明します。

命令	命令コード	動作の概略	特権	実行ステート	Tビット
ニーモニックで表示しています。	MSB LSB の順で表示しています。	動作の概略を表示しています。	特権命令を示しています。	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。
記号の説明	記号の説明	記号の説明			記号の説明 :変化しない。
OP.Sz SRC,DEST	m m m m:ソースレジスタ	, :転送方向			
OP: オペコード	n n n n: デスティネーション	(xx): メモリオペランド			
Sz: サイズ	レジスタ	M/Q/T: SR 内のフラグビット			
SRC: ソース	0000: R0	&: ビットごとの論理積			
DEST: デスティネーション	0001: R1	: ビットごとの論理和			
Rm: ソースレジスタ	^: ビットごとの排他的論理和			
Rn:デスティネーションレジスタ	1111: R15	~: ビットごとの論理否定			
imm: イミディエイトデータ	iiii: イミディエイトデータ	<<n: 左 n ビットシフト			
disp: ディスプレースメント	dddd:ディスプレースメント*2	>>n: 右 n ビットシフト			

【注】 *1 命令の実行ステートについて

表に示した実行ステートは、最少値です。実際は、下記の条件により、命令実行ステート数が増加します。

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタとが同一の場合

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。

表 2.6 データ転送命令

命令	命令コード	動作	特権	実行 ステート	Tビット
MOV #imm,Rn	1110nnnniiiiiiii	imm 符号拡張 Rn		1	
MOV.W @(disp,PC),Rn	1001nnnnndddddddd	(disp × 2+PC) 符号拡張 Rn		1	
MOV.L @(disp,PC),Rn	1101nnnnndddddddd	(disp × 4+PC) Rn		1	
MOV Rm,Rn	0110nnnnnnmmmm0011	Rm Rn		1	
MOV.B Rm,@Rn	0010nnnnnnmmmm0000	Rm (Rn)		1	
MOV.W Rm,@Rn	0010nnnnnnmmmm0001	Rm (Rn)		1	
MOV.L Rm,@Rn	0010nnnnnnmmmm0010	Rm (Rn)		1	
MOV.B @Rm,Rn	0110nnnnnnmmmm0000	(Rm) 符号拡張 Rn		1	
MOV.W @Rm,Rn	0110nnnnnnmmmm0001	(Rm) 符号拡張 Rn		1	
MOV.L @Rm,Rn	0110nnnnnnmmmm0010	(Rm) Rn		1	
MOV.B Rm,@-Rn	0010nnnnnnmmmm0100	Rn-1 Rn, Rm (Rn)		1	
MOV.W Rm,@-Rn	0010nnnnnnmmmm0101	Rn-2 Rn, Rm (Rn)		1	
MOV.L Rm,@-Rn	0010nnnnnnmmmm0110	Rn-4 Rn, Rm (Rn)		1	
MOV.B @Rm+,Rn	0110nnnnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm		1	
MOV.W @Rm+,Rn	0110nnnnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm		1	
MOV.L @Rm+,Rn	0110nnnnnnmmmm0110	(Rm) Rn, Rm+4 Rm		1	
MOV.B R0,@ (disp,Rn)	10000000nnnnndddd	R0 (disp+Rn)		1	
MOV.W R0,@ (disp,Rn)	10000001nnnnndddd	R0 (disp × 2+Rn)		1	
MOV.L Rm,@ (disp,Rn)	0001nnnnnnmmmmddd	Rm (disp × 4+Rn)		1	
MOV.B @ (disp,Rm),R0	10000100nnmmddd	(disp+Rm) 符号拡張 R0		1	
MOV.W @ (disp,Rm),R0	10000101nnmmddd	(disp × 2+Rm) 符号拡張 R0		1	
MOV.L @ (disp,Rm),Rn	0101nnnnnnmmddd	(disp × 4+Rm) Rn		1	
MOV.B Rm,@ (R0,Rn)	0000nnnnnnmmmm0100	Rm (R0+Rn)		1	
MOV.W Rm,@ (R0,Rn)	0000nnnnnnmmmm0101	Rm (R0+Rn)		1	
MOV.L Rm,@ (R0,Rn)	0000nnnnnnmmmm0110	Rm (R0+Rn)		1	
MOV.B @ (R0,Rm),Rn	0000nnnnnnmmmm1100	(R0+Rm) 符号拡張 Rn		1	
MOV.W @ (R0,Rm),Rn	0000nnnnnnmmmm1101	(R0+Rm) 符号拡張 Rn		1	
MOV.L @ (R0,Rm),Rn	0000nnnnnnmmmm1110	(R0+Rm) Rn		1	
MOV.B R0,@ (disp,GBR)	11000000ddddddd	R0 (disp+GBR)		1	
MOV.W R0,@ (disp,GBR)	11000001ddddddd	R0 (disp × 2+GBR)		1	
MOV.L R0,@ (disp,GBR)	11000010ddddddd	R0 (disp × 4+GBR)		1	
MOV.B @ (disp,GBR),R0	11000100ddddddd	(disp+GBR) 符号拡張 R0		1	
MOV.W @ (disp,GBR),R0	11000101ddddddd	(disp × 2+GBR) 符号拡張 R0		1	
MOV.L @ (disp,GBR),R0	11000110ddddddd	(disp × 4+GBR) R0		1	

2. CPU

命令	命令コード	動作	特権	実行 ステート	Tビット
MOVA @ (disp,PC) ,R0	11000111dddddddd	disp × 4+PC R0		1	
MOVT Rn	0000nnnn00101001	T Rn		1	
SWAP.B Rm,Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイト交換 Rn		1	
SWAP.W Rm,Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn		1	
XTRCT Rm,Rn	0010nnnnmmmm1101	Rm と Rn の中央 32 ビット Rn		1	

表 2.7 算術演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ADD Rm,Rn	0011nnnnmmmm1100	Rn+Rm Rn		1	
ADD #imm,Rn	0111nnnniiiiiiii	Rn+imm Rn		1	
ADDC Rm,Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリ T		1	キャリ
ADDV Rm,Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T		1	オーバフロー
CMP/EQ #imm,R0	10001000iiiiiiii	R0=imm のとき 1 T		1	比較結果
CMP/EQ Rm,Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T		1	比較結果
CMP/HS Rm,Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T		1	比較結果
CMP/GE Rm,Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T		1	比較結果
CMP/HI Rm,Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1 T		1	比較結果
CMP/GT Rm,Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1 T		1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T		1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T		1	比較結果
CMP/STR Rm,Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T		1	比較結果
DIV1 Rm,Rn	0011nnnnmmmm0100	1 ステップ除算 (Rn ÷ Rm)		1	計算結果
DIV0S Rm,Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T		1	計算結果
DIV0U	000000000011001	0 M/Q/T		1	0
DMULS.L Rm,Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット		2 (~ 5) *	
DMULU.L Rm,Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット		2 (~ 5) *	
DT Rn	0100nnnn00010000	Rn-1 Rn, Rn が 0 のとき 1 T, Rn が 0 以外 のとき 0 T		1	比較結果
EXTS.B Rm,Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn		1	
EXTS.W Rm,Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn		1	
EXTU.B Rm,Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn		1	
EXTU.W Rm,Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn		1	

命令	命令コード	動作	特権	実行 ステート	Tビット
MAC.L	@Rm+, @Rn+	符号付きで (Rn) × (Rm) + MAC MAC, Rn+4 Rn, Rm+4 Rm 32 × 32 + 64 64 ビット		2 (~5)*	
MAC.W	@Rm+, @Rn+	符号付きで (Rn) × (Rm) + MAC MAC, Rn+2 Rn, Rm+2 Rm 16 × 16 + 64 64 ビット		2 (~5)*	
MUL.L	Rm, Rn	Rn × Rm MACL 32 × 32 32 ビット		2 (~5)*	
MULS.W	Rm, Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット		1 (~3)*	
MULU.W	Rm, Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット		1 (~3)*	
NEG	Rm, Rn	0-Rm Rn		1	
NEGC	Rm, Rn	0-Rm-T Rn, ポロー T		1	ポロー
SUB	Rm, Rn	Rn-Rm Rn		1	
SUBC	Rm, Rn	Rn-Rm-T Rn, ポロー T		1	ポロー
SUBV	Rm, Rn	Rn-Rm Rn, アンダフロー T		1	アンダフロー

【注】 * 命令の直後に MACH/MACL レジスタから演算結果を読み出すときは、() 内に示されたステート数が必要です。

表 2.8 論理演算命令

命令	命令コード	動作	特権	実行 ステート	Tビット
AND	Rm, Rn	Rn & Rm Rn		1	
AND	#imm, R0	R0 & imm R0		1	
AND.B	#imm, @ (R0, GBR)	(R0+GBR) & imm (R0+GBR)		3	
NOT	Rm, Rn	~Rm Rn		1	
OR	Rm, Rn	Rn Rm Rn		1	
OR	#imm, R0	R0 imm R0		1	
OR.B	#imm, @ (R0, GBR)	(R0+GBR) imm (R0+GBR)		3	
TAS.B	@Rn	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)		4	テスト結果
TST	Rm, Rn	Rn & Rm, 結果が 0 のとき 1 T		1	テスト結果
TST	#imm, R0	R0 & imm, 結果が 0 のとき 1 T		1	テスト結果
TST.B	#imm, @ (R0, GBR)	(R0+GBR) & imm, 結果が 0 のとき 1 T		3	テスト結果
XOR	Rm, Rn	Rn ^ Rm Rn		1	
XOR	#imm, R0	R0 ^ imm R0		1	
XOR.B	#imm, @ (R0, GBR)	(R0+GBR) ^ imm (R0+GBR)		3	

2. CPU

表 2.9 シフト命令

命令	命令コード	動作	特権	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB		1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T		1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T		1	MSB
ROTCR Rn	0100nnnn00100101	T Rn T		1	LSB
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [MSB Rn]		1	
SHAL Rn	0100nnnn00100000	T Rn 0		1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T		1	LSB
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき、Rn<<Rm Rn Rm<0 のとき、Rn>>Rm [0 Rn]		1	
SHLL Rn	0100nnnn00000000	T Rn 0		1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T		1	LSB
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn		1	
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn		1	
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn		1	
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn		1	
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn		1	
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn		1	

表 2.10 分岐命令

命令	命令コード	動作	特権	実行 ステート	Tビット
BF label	10001011dddddddd	T=0 のとき disp × 2+PC へ分岐 T=1 のとき nop		3/1*	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp × 2+PC へ分岐 T=1 のとき nop		2/1*	
BT label	10001001dddddddd	T=1 のとき disp × 2+PC へ分岐 T=0 のとき nop		3/1*	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp × 2+PC へ分岐 T=0 のとき nop		2/1*	
BRA label	1010dddddddddddd	遅延分岐、disp × 2+PC へ分岐		2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC へ分岐		2	
BSR label	1011dddddddddddd	遅延分岐、遅延スロット命令の次命令のアドレス PR, disp × 2+PC へ分岐		2	
BSRF Rm	0000mmmm00000011	遅延分岐、遅延スロット命令の次命令のアドレス PR, Rm+PC へ分岐		2	

命令	命令コード	動作	特権	実行 ステート	Tビット
JMP @Rm	0100mmmm00101011	遅延分岐、Rm へ分岐		2	
JSR @Rm	0100mmmm00001011	遅延分岐、遅延スロット命令の次命令のアドレス PR, Rm へ分岐		2	
RTS	0000000000001011	遅延分岐、PR へ分岐		2	

【注】 * 分岐しないときは、1 ステートになります。

表 2.11 システム制御命令

命令	命令コード	動作	特権	実行 ステート	Tビット
CLRMAC	0000000000101000	0 MACH,MACL		1	
CLRS	0000000001001000	0 S		1	
CLRT	0000000000001000	0 T		1	0
LDC Rm,SR	0100mmmm00001110	Rm SR	特権	6	LSB
LDC Rm,GBR	0100mmmm00011110	Rm GBR		4	
LDC Rm,VBR	0100mmmm00101110	Rm VBR	特権	4	
LDC Rm,SSR	0100mmmm00111110	Rm SSR	特権	4	
LDC Rm,SPC	0100mmmm01001110	Rm SPC	特権	4	
LDC Rm,R0_BANK	0100mmmm10001110	Rm R0_BANK	特権	4	
LDC Rm,R1_BANK	0100mmmm10011110	Rm R1_BANK	特権	4	
LDC Rm,R2_BANK	0100mmmm10101110	Rm R2_BANK	特権	4	
LDC Rm,R3_BANK	0100mmmm10111110	Rm R3_BANK	特権	4	
LDC Rm,R4_BANK	0100mmmm11001110	Rm R4_BANK	特権	4	
LDC Rm,R5_BANK	0100mmmm11011110	Rm R5_BANK	特権	4	
LDC Rm,R6_BANK	0100mmmm11101110	Rm R6_BANK	特権	4	
LDC Rm,R7_BANK	0100mmmm11111110	Rm R7_BANK	特権	4	
LDC.L @Rm+,SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	特権	8	LSB
LDC.L @Rm+,GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm		4	
LDC.L @Rm+,VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	特権	4	
LDC.L @Rm+,SSR	0100mmmm00110111	(Rm) SSR, Rm+4 Rm	特権	4	
LDC.L @Rm+,SPC	0100mmmm01000111	(Rm) SPC, Rm+4 Rm	特権	4	
LDC.L @Rm+,R0_BANK	0100mmmm10000111	(Rm) R0_BANK, Rm+4 Rm	特権	4	
LDC.L @Rm+,R1_BANK	0100mmmm10010111	(Rm) R1_BANK, Rm+4 Rm	特権	4	
LDC.L @Rm+,R2_BANK	0100mmmm10100111	(Rm) R2_BANK, Rm+4 Rm	特権	4	
LDC.L @Rm+,R3_BANK	0100mmmm10110111	(Rm) R3_BANK, Rm+4 Rm	特権	4	

2. CPU

命令	命令コード	動作	特権	実行 ステート	Tビット	
LDC.L	@Rm+,R4_BANK	0100mmmm11000111	(Rm) R4_BANK, Rm+4 Rm	特権	4	
LDC.L	@Rm+,R5_BANK	0100mmmm11010111	(Rm) R5_BANK, Rm+4 Rm	特権	4	
LDC.L	@Rm+,R6_BANK	0100mmmm11100111	(Rm) R6_BANK, Rm+4 Rm	特権	4	
LDC.L	@Rm+,R7_BANK	0100mmmm11110111	(Rm) R7_BANK, Rm+4 Rm	特権	4	
LDS	Rm,MACH	0100mmmm00001010	Rm MACH		1	
LDS	Rm,MACL	0100mmmm00011010	Rm MACL		1	
LDS	Rm,PR	0100mmmm00101010	Rm PR		1	
LDS.L	@Rm+,MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm		1	
LDS.L	@Rm+,MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm		1	
LDS.L	@Rm+,PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm		1	
NOP		000000000001001	無操作		1	
PREF	@Rm	0000mmmm10000011	(Rm) キャッシュ		1	
RTE		000000000101011	遅延分岐、SSR SR、SPC へ分岐	特権	5	
SETS		000000001011000	1 S		1	
SETT		000000000011000	1 T		1	1
SLEEP		000000000011011	スリープ	特権	4 ^{*1}	
STC	SR,Rn	0000nnnn00000010	SR Rn	特権	1	
STC	GBR,Rn	0000nnnn00010010	GBR Rn		1	
STC	VBR,Rn	0000nnnn00100010	VBR Rn	特権	1	
STC	SSR, Rn	0000nnnn00110010	SSR Rn	特権	1	
STC	SPC,Rn	0000nnnn01000010	SPC Rn	特権	1	
STC	R0_BANK,Rn	0000nnnn10000010	R0_BANK Rn	特権	1	
STC	R1_BANK,Rn	0000nnnn10010010	R1_BANK Rn	特権	1	
STC	R2_BANK,Rn	0000nnnn10100010	R2_BANK Rn	特権	1	
STC	R3_BANK,Rn	0000nnnn10110010	R3_BANK Rn	特権	1	
STC	R4_BANK,Rn	0000nnnn11000010	R4_BANK Rn	特権	1	
STC	R5_BANK,Rn	0000nnnn11010010	R5_BANK Rn	特権	1	
STC	R6_BANK,Rn	0000nnnn11100010	R6_BANK Rn	特権	1	
STC	R7_BANK,Rn	0000nnnn11110010	R7_BANK Rn	特権	1	
STC.L	SR,@-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	特権	1	
STC.L	GBR,@-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)		1	
STC.L	VBR,@-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	特権	1	
STC.L	SSR,@-Rn	0100nnnn00110011	Rn-4 Rn, SSR (Rn)	特権	1	
STC.L	SPC,@-Rn	0100nnnn01000011	Rn-4 Rn, SPC (Rn)	特権	1	
STC.L	R0_BANK,@-Rn	0100nnnn10000011	Rn-4 Rn, R0_BANK (Rn)	特権	1	

命令	命令コード	動作	特権	実行 ステート	Tビット
STC.L	R1_BANK,@-Rn	Rn-4 Rn, R1_BANK (Rn)	特権	1	
STC.L	R2_BANK,@-Rn	Rn-4 Rn, R2_BANK (Rn)	特権	1	
STC.L	R3_BANK,@-Rn	Rn-4 Rn, R3_BANK (Rn)	特権	1	
STC.L	R4_BANK,@-Rn	Rn-4 Rn, R4_BANK (Rn)	特権	1	
STC.L	R5_BANK,@-Rn	Rn-4 Rn, R5_BANK (Rn)	特権	1	
STC.L	R6_BANK,@-Rn	Rn-4 Rn, R6_BANK (Rn)	特権	1	
STC.L	R7_BANK,@-Rn	Rn-4 Rn, R7_BANK (Rn)	特権	1	
STS	MACH,Rn	MACH Rn		1	
STS	MACL,Rn	MACL Rn		1	
STS	PR,Rn	PR Rn		1	
STS.L	MACH,@-Rn	Rn-4 Rn, MACH (Rn)		1	
STS.L	MACL,@-Rn	Rn-4 Rn, MACL (Rn)		1	
STS.L	PR,@-Rn	Rn-4 Rn, PR (Rn)		1	
TRAPA	#imm	無条件トラップ例外発生 ^{*2}		8	

【注】 *1 スリープ状態に遷移するまでの最小ステート数です。

*2 「第5章 例外処理」を参照してください。

1. 命令の実行ステートについて

表に示した実行ステートは、最小値です。実際は、下記の条件により、命令実行ステート数が増加します。

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタとが同一の場合

2. 下記のディスプレイメント(disp)を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケールリング(x1、x2、x4)を行う前の値を表記しています。これは、本LSIの動作を明確にするためです。実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@(disp:4, Rn) ;ディスプレイメント付きレジスタ間接

@(disp:8, GBR) ;ディスプレイメント付きGBR間接

@(disp:8, PC) ;ディスプレイメント付きPC相対

disp:8, disp:12 ;PC相対

2. CPU

2.6.2 オペレーションコードマップ

オペレーションコードマップを表 2.12 に示します。

表 2.12 オペレーションコードマップ

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
0000	Rn	Fx	0000				
0000	Rn	Fx	0001				
0000	Rn	00MD	0010	STC SR, Rn	STC GBR, Rn	STC VBR, Rn	STC SSR, Rn
0000	Rn	01MD	0010	STC SPC, Rn			
0000	Rn	10MD	0010	STC R0_BANK, Rn	STC R1_BANK, Rn	STC R2_BANK, Rn	STC R3_BANK, Rn
0000	Rn	11MD	0010	STC R4_BANK, Rn	STC R5_BANK, Rn	STC R6_BANK, Rn	STC R7_BANK, Rn
0000	Rm	00MD	0011	BSRF Rm		BRAF Rm	
0000	Rm	10MD	0011	PREF @Rm			
0000	Rn	Rm	01MD	MOV.B Rm, @ (R0, Rn)	MOV.W Rm, @ (R0, Rn)	MOV.L Rm, @ (R0, Rn)	MUL.L Rm, Rn
0000	0000	00MD	1000	CLRT	SETT	CLRMAC	
0000	0000	01MD	1000	CLRS	SETS		
0000	0000	Fx	1001	NOP	DIV0U		
0000	0000	Fx	1010				
0000	0000	Fx	1011	RTS	SLEEP	RTE	
0000	Rn	Fx	1000				
0000	Rn	Fx	1001			MOVT Rn	
0000	Rn	Fx	1010	STS MACH, Rn	STS MACL, Rn	STS PR, Rn	
0000	Rn	Fx	1011				
0000	Rn	Rm	11MD	MOV.B @ (R0, Rm) , Rn	MOV.W @ (R0, Rm) , Rn	MOV.L @ (R0, Rm) , Rn	MAC.L @Rm + , @Rn +
0001	Rn	Rm	disp	MOV.L Rm, @ (disp:4, Rn)			
0010	Rn	Rm	00MD	MOV.B Rm, @Rn	MOV.W Rm, @Rn	MOV.L Rm, @Rn	
0010	Rn	Rm	01MD	MOV.B Rm, @ Rn	MOV.W Rm, @ Rn	MOV.L Rm, @ Rn	DIV0S Rm, Rn
0010	Rn	Rm	10MD	TST Rm, Rn	AND Rm, Rn	XOR Rm, Rn	OR Rm, Rn
0010	Rn	Rm	11MD	CMP/STR Rm, Rn	XTRCT Rm, Rn	MULU.W Rm, Rn	MULSW Rm, Rn
0011	Rn	Rm	00MD	CMP/EQ Rm, Rn		CMP/HS Rm, Rn	CMP/GE Rm, Rn
0011	Rn	Rm	01MD	DIV1 Rm, Rn	DMULU.L Rm, Rn	CMP/HI Rm, Rn	CMP/GT Rm, Rn
0011	Rn	Rm	10MD	SUB Rm, Rn		SUBC Rm, Rn	SUBV Rm, Rn
0011	Rn	Rm	11MD	ADD Rm, Rn	DMULS.L Rm, Rn	ADDC Rm, Rn	ADDV Rm, Rn
0100	Rn	Fx	0000	SHLL Rn	DT Rn	SHAL Rn	
0100	Rn	Fx	0001	SHLR Rn	CMP/PZ Rn	SHAR Rn	
0100	Rn	Fx	0010	STS.L MACH, @ Rn	STS.L MACL, @ Rn	STS.L PR, @ Rn	

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB	LSB			MD: 00	MD: 01	MD: 10	MD: 11
0100	Rn	00MD	0011	STC.L SR, @ Rn	STC.L GBR, @ Rn	STC.L VBR, @ Rn	STC.L SSR, @ Rn
0100	Rn	01MD	0011	STC.L SPC, @ Rn			
0100	Rn	10MD	0011	STC.L R0_BANK, @ Rn	STC.L R1_BANK, @ Rn	STC.L R2_BANK, @ Rn	STC.L R3_BANK, @ Rn
0100	Rn	11MD	0011	STC.L R4_BANK, @ Rn	STC.L R5_BANK, @ Rn	STC.L R6_BANK, @ Rn	STC.L R7_BANK, @ Rn
0100	Rn	Fx	0100	ROTL Rn		ROTCL Rn	
0100	Rn	Fx	0101	ROTR Rn	CMP/PL Rn	ROTCR Rn	
0100	Rm	Fx	0110	LDS.L @Rm+, MACH	LDS.L @Rm+, MACL	LDS.L @Rm+, PR	
0100	Rm	00MD	0111	LDC.L @Rm+, SR	LDC.L @Rm+, GBR	LDC.L @Rm+, VBR	LDC.L @Rm+, SSR
0100	Rm	01MD	0111	LDC.L @Rm+, SPC			
0100	Rm	10MD	0111	LDC.L @Rm+, R0_BANK	LDC.L @Rm+, R1_BANK	LDC.L @Rm+, R2_BANK	LDC.L @Rm+, R3_BANK
0100	Rm	11MD	0111	LDC.L @Rm+, R4_BANK	LDC.L @Rm+, R5_BANK	LDC.L @Rm+, R6_BANK	LDC.L @Rm+, R7_BANK
0100	Rn	Fx	1000	SHLL2 Rn	SHLL8 Rn	SHLL16 Rn	
0100	Rn	Fx	1001	SHLR2 Rn	SHLR8 Rn	SHLR16 Rn	
0100	Rm	Fx	1010	LDS Rm, MACH	LDS Rm, MACL	LDS Rm, PR	
0100	Rm/ Rn	Fx	1011	JSR @Rm	TAS.B @Rn	JMP @Rm	
0100	Rn	Rm	1100	SHAD Rm, Rn			
0100	Rn	Rm	1101	SHLD Rm, Rn			
0100	Rm	00MD	1110	LDC Rm, SR	LDC Rm, GBR	LDC Rm, VBR	LDC Rm, SSR
0100	Rm	01MD	1110	LDC Rm, SPC			
0100	Rm	10MD	1110	LDC Rm, R0_BANK	LDC Rm, R1_BANK	LDC Rm, R2_BANK	LDC Rm, R3_BANK
0100	Rm	11MD	1110	LDC Rm, R4_BANK	LDC Rm, R5_BANK	LDC Rm, R6_BANK	LDC Rm, R7_BANK
0100	Rn	Rm	1111	MAC.W @Rm+, @Rn+			
0101	Rn	Rm	disp	MOV.L @(disp:4, Rm), Rn			
0110	Rn	Rm	00MD	MOV.B @Rm, Rn	MOV.W @Rm, Rn	MOV.L @Rm, Rn	MOV Rm, Rn
0110	Rn	Rm	01MD	MOV.B @Rm+, Rn	MOV.W @Rm+, Rn	MOV.L @Rm+, Rn	NOT Rm, Rn
0110	Rn	Rm	10MD	SWAP.B Rm, Rn	SWAP.W Rm, Rn	NEGC Rm, Rn	NEG Rm, Rn
0110	Rn	Rm	11MD	EXTU.B Rm, Rn	EXTU.W Rm, Rn	EXTS.B Rm, Rn	EXTS.W Rm, Rn
0111	Rn	imm		ADD # imm : 8, Rn			

2. CPU

命令コード				Fx: 0000	Fx: 0001	Fx: 0010	Fx: 0011 ~ 1111
MSB		LSB		MD: 00	MD: 01	MD: 10	MD: 11
1000	00MD	Rn	disp	MOV.B R0, @ (disp: 4, Rn)	MOV.W R0, @ (disp: 4, Rn)		
1000	01MD	Rm	disp	MOV.B @ (disp:4, Rm) , R0	MOV.W @ (disp: 4, Rm) , R0		
1000	10MD	imm/disp		CMP/EQ #imm:8, R0	BT disp: 8		BF disp: 8
1000	11MD	imm/disp			BT/S disp: 8		BF/S disp: 8
1001	Rn	disp		MOV.W @ (disp : 8, PC) , Rn			
1010	disp		BRA disp: 12				
1011	disp		BSR disp: 12				
1100	00MD	imm/disp		MOV.B R0, @ (disp: 8, GBR)	MOV.W R0, @ (disp: 8, GBR)	MOV.L R0, @ (disp: 8, GBR)	TRAPA #imm: 8
1100	01MD	disp		MOV.B @ (disp: 8, GBR) , R0	MOV.W @ (disp: 8, GBR) , R0	MOV.L @ (disp: 8, GBR) , R0	MOVA @ (disp: 8, PC) , R0
1100	10MD	imm		TST #imm: 8, R0	AND #imm: 8, R0	XOR #imm: 8, R0	OR #imm: 8, R0
1100	11MD	imm		TST.B #imm: 8, @ (R0, GBR)	AND.B #imm: 8, @ (R0, GBR)	XOR.B #imm: 8, @ (R0, GBR)	OR.B #imm: 8, @ (R0, GBR)
1101	Rn	disp		MOV.L @ (disp: 8, PC) , Rn			
1110	Rn	imm		MOV #imm:8, Rn			
1111	*****						

【注】 なお、詳細については「SH-3/SH-3E/SH3-DSP プログラミングマニュアル」を参照してください。

3. キャッシュ

3.1 特長

- 容量：16Kバイトキャッシュ
- 構成：命令とデータ混在、4ウェイセットアソシアティブ
- ロック機能：ウェイ2およびウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：256エントリ/ウェイ
- ライト方式：領域グループごとにライトバック方式とライトスルー方式から選択可能。
 - グループ1 (P0、P3、U0領域)
 - グループ2 (P1領域)
- 置換方式：LRU置換アルゴリズムを採用

3.1.1 キャッシュの構成

キャッシュは、命令とデータ混在型の4ウェイセットアソシアティブ方式です。4つのウェイ(バンク)で構成され、各々のウェイは、アドレスとデータに分かれています。

アドレスとデータは、おのおの256のエントリで構成されます。エントリのデータをラインと呼びます。1ラインは、16バイト(4バイト×4)です。1ウェイあたりのデータ容量は、4Kバイト(16バイト×256エントリ)で、キャッシュ全体(4ウェイ)では16Kバイトの容量となります。

キャッシュの構成を図3.1に示します。

3. キャッシュ

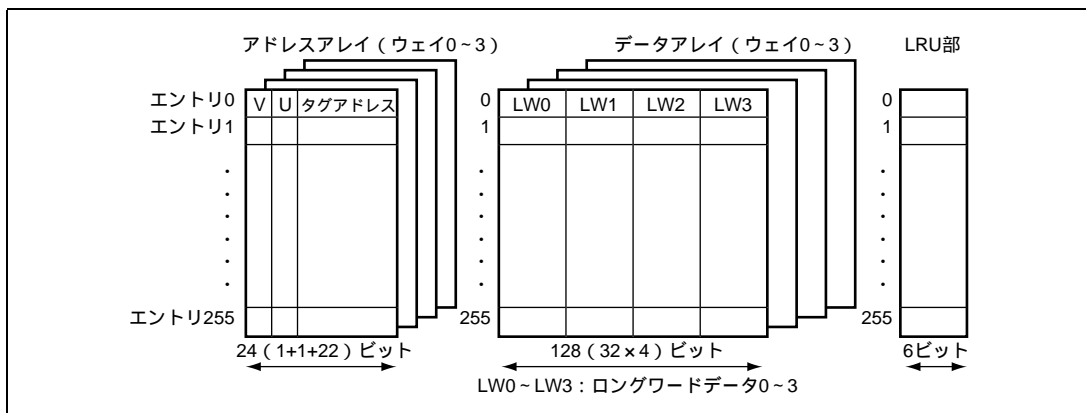


図 3.1 キャッシュの構成

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを表します。V ビットが 1 で有効で、0 で無効を表します。

U ビットは、ライトバックモードでそのエントリに書き込みがあったことを表します。U ビットが 1 で書き込みありを、0 で書き込みなしを表します。

タグアドレスは、外部メモリのアクセスに使用される物理アドレスを保持します。キャッシュ検索時の比較に使用される 22 ビット (メモリへのアクセスアドレスビット 31~10) からなります。

本 LSI では、物理アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため、タグアドレスの上位 3 ビットに 0 が入ります (「第 7 章 パスステートコントローラ (BSC)」を参照)。

V および U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットでは初期化されません。タグアドレスは、パワーオンリセットおよびマニュアルリセットでは初期化されません。

(2) データアレイ

データアレイは、16 バイトの命令またはデータを保持します。キャッシュへのエントリの登録は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセットおよびマニュアルリセットで初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令とデータを 4 つまでキャッシュに登録できます。エントリを登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットで表します。LRU ビットは、6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6 ビットの LRU ビットによって指定されます。キャッシュロック機能を使用しない場合の LRU ビットとリプレースされるウェイの関係を表 3.1 に示します (キャッシュロック機能を使用する場合に関しては、「3.2.2 キャッシュ制御レジスタ 2 (CCR2)」を参照してください)。表 3.1 に示した以外の LRU ビットをソフトウェアで指定した場合は、キャッシュは正しく動作しません。LRU ビット

トをソフトウェアで変更するときは、表 3.1 に示すパターンを設定してください。

LRU ビットは、パワーオンリセットで B'000000 に初期化されますが、マニュアルリセットでは初期化されません。

表 3.1 LRU ビットと置き換えられるウェイ（キャッシュロック機能を使用しない場合）

LRU (ビット 5-0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

3.2 レジスタの説明

キャッシュには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- キャッシュ制御レジスタ1 (CCR1)
- キャッシュ制御レジスタ2 (CCR2)

3.2.1 キャッシュ制御レジスタ 1 (CCR1)

キャッシュは、CCR1 の CE ビットでイネーブルまたはディスエーブルを指定します。また、CCR1 には、キャッシュの全エントリの無効化を制御する CF ビット、ライトスルーモードとライトバックモードを切り替える WT ビット、および CB ビットがあります。CCR1 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31-4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
3	CF	0	R/W	キャッシュフラッシュ 1 を書き込むと、キャッシュの全エントリの V、U、および LRU ビットを 0 にクリア（フラッシュ）します。読み出すと 0 が読み出されます。フラッシュの際は、外部メモリへの書き戻しは行いません。
2	CB	0	R/W	ライトバック P1 領域のライトバックまたはライトスルーの切り替え 0：ライトスルーモード 1：ライトバックモード

3. キャッシュ

ビット	ビット名	初期値	R/W	説明
1	WT	0	R/W	ライトスルー P0、U0、および P3 領域のライトバックまたはライトスルーの切り替え 0: ライトバックモード 1: ライトスルーモード
0	CE	0	R/W	キャッシュ有効 キャッシュ機能を使用するかどうかを表します。 0: 使用しない 1: 使用する

3.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、キャッシュロック機能を制御するレジスタです。キャッシュロック機能は、DSP モード時のみ有効です。DSP モード*とは、CPU の SR レジスタ (ステータスレジスタ) の DSP ビット (ビット 12) = 1 の状態を言います。非 DSP モード (DSP ビット = 0) では、キャッシュロック機能は無効です。

【注】 * 本 LSI は DSP オプションを搭載していませんが、キャッシュロック機能や U メモリを使用するため、SR レジスタの DSP ビットは有効です (「第 2 章 CPU」の「2.3.4 コントロールレジスタ」および「第 4 章 U メモリ」を参照)。

DSP モード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合は、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は、表 3.2 に示すとおりです。一方、プリフェッチ命令を実行しキャッシュヒットした場合は、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば、Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態において、DSP モードで、W3LOAD = 1 かつ W3LOCK = 1 と設定し、プリフェッチ命令を実行した場合は、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

DSP モード時の、プリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、および W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は、表 3.3 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 1を書いた場合の動作の保証はできません。
9 8	W3LOAD W3LOCK	0 0	R/W R/W	ウェイ3ロード (W3LOAD) ウェイ3ロック (W3LOCK) W3LOCK=1、W3LOAD=1、かつ DSP モードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ3に読み込まれます。その他のすべての条件では、プリフェッチしたデータはLRUの示すウェイに読み込まれます。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 1を書いた場合の動作の保証はできません。
1 0	W2LOAD W2LOCK	0 0	R/W R/W	ウェイ2ロード (W2LOAD) ウェイ2ロック (W2LOCK) W2LOCK=1、W2LOAD=1、かつ DSP モードの場合は、プリフェッチ命令でキャッシュミスしたデータは常にウェイ2に読み込まれます。その他のすべての条件では、プリフェッチしたデータはLRUの示すウェイに読み込まれます。

【注】 W2LOAD および W3LOAD は、同時に 1 にセットしないでください。

表 3.2 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

DSP ビット	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 3.1)
1	*	0	*	0	LRU に従う (表 3.1)
1	*	0	0	1	LRU に従う (表 3.4)
1	0	1	*	0	LRU に従う (表 3.5)
1	0	1	0	1	LRU に従う (表 3.6)
1	0	*	1	1	ウェイ 2
1	1	1	0	*	ウェイ 3

【注】 * : Don't care

W3LOAD = 1 かつ W2LOAD = 1 には、設定しないでください

3. キャッシュ

表 3.3 PREF 命令以外がキャッシュミスした場合に置き換えられるウェイ

DSP ビット	W3LOAD	W3LOCK	W2LOAD	W2LOCK	置き換えられるウェイ
0	*	*	*	*	LRU に従う (表 3.1)
1	*	0	*	0	LRU に従う (表 3.1)
1	*	0	*	1	LRU に従う (表 3.4)
1	*	1	*	0	LRU に従う (表 3.5)
1	*	1	*	1	LRU に従う (表 3.6)

【注】 * : Don't care

W3LOAD = 1 かつ W2LOAD = 1 には、設定しないでください

表 3.4 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 3.5 LRU ビットと置き換えられるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 3.6 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

3.3 動作説明

3.3.1 キャッシュの検索

キャッシュがイネーブルのとき (CCR1 レジスタの CE ビット=1)、P0、P1、P3、および U0 領域の命令またはデータにアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べられます。キャッシュの検索方法の概念図を図 3.2 に示します。キャッシュは物理キャッシュで、タグアドレスには、物理アドレスを保持します。

メモリへのアクセスアドレス (論理) のビット 11~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。メモリへのアクセスアドレス (ビット 31~10) と、アドレスアレイから読み出した物理アドレス (タグアドレス) を比較します。アドレスの比較は、4 ウェイとも行います。比較の結果一致しており、かつ、比較されたエントリが有効である (V=1) 場合には、キャッシュヒットとなります。それ以外の場合は、キャッシュミスとなります。ウェイ 1 がヒットした場合を図 3.2 に示します。

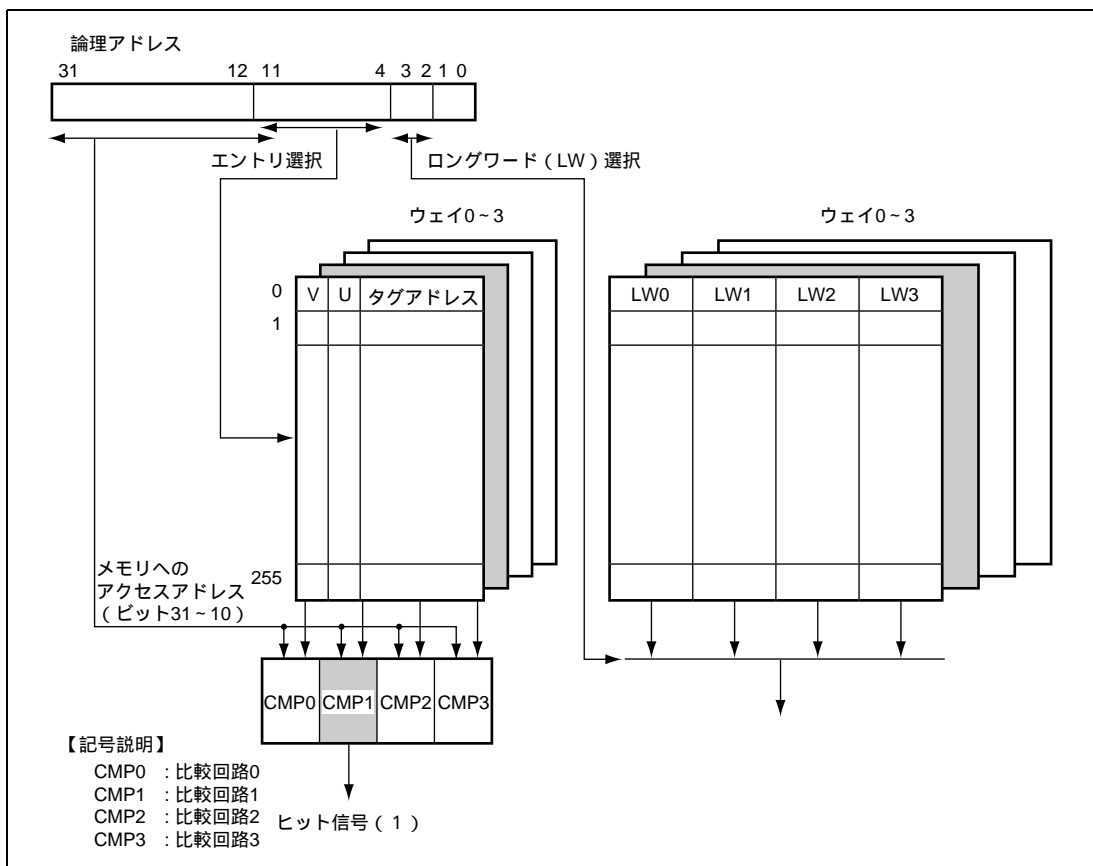


図 3.2 キャッシュの検索方法

3. キャッシュ

3.3.2 リード動作

(1) リードヒット

キャッシュから CPU に命令またはデータが転送されます。ヒットしたウェイが最新となるように、LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは、表 3.3 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録されるときに、U ビットが 0 に、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

3.3.3 プリフェッチ動作

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は、変更されません。CPU への命令またはデータの転送は、行われません。

(2) プリフェッチミス

CPU への命令またはデータの転送が行われず、置換するウェイは表 3.2 に従います。その他の動作はリードミスの場合と同じです。

3.3.4 ライト動作

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは、表 3.3 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、かつ V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後は、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

3.3.5 ライトバックバッファ

ライトバックモードで置き換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後は、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファは、キャッシュの 1 ライン分のデータ (16 バイト) とその物理アドレスを保持可能です。ライトバックバッファの構成を図 3.3 に示します。

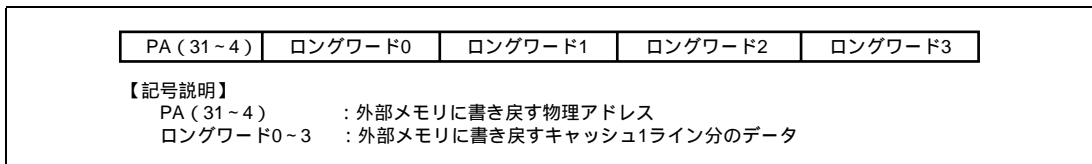


図 3.3 ライトバックバッファの構成

3.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシは、ソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様に行ってください。

3.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、特権モードにおいて、MOV 命令により、キャッシュの内容の読み出し、および書き込みが可能です。キャッシュは、論理アドレス空間の P4 領域に割り付けられています。アドレスアレイは H'F000 0000 ~ H'F0FF FFFF に、データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。アドレスアレイおよびデータアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

3.4.1 アドレスアレイ

アドレスアレイは、H'F0000000 ~ H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレスの指定（読み出しまたは書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します。

アドレスには、エントリを選択するためのエントリアドレス、ウェイを選択するための W、連想動作の有無を指定する A、およびアドレスアレイアクセスを示す H'F0 を指定します。W は、B'00 がウェイ 0 を、B'01 がウェイ 1 を、B'10 がウェイ 2 を、B'11 がウェイ 3 を表します。

データには、タグアドレス、LRU ビット、U ビット、および V ビットを指定します。

アドレスおよびデータのフォーマットについては、図 3.4 を参照してください。タグアドレスの上位 3 ビット（ビット 31 ~ 29）には、常に 0 を指定してください。

アドレスアレイに対しては、次の 3 種類の操作が可能です。

(1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット、および V ビットを読み出します。リードの場合は、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

(2) アドレスアレイライト（連想なし）

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。アドレスの連想ビット（A ビット）は、0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合は、そのキャッシュラインの書き戻しを行ったあとに、データで指定されたタグアドレス、LRU ビット、U ビット、および V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

(3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合は、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただし、タグアドレスと LRU ビットは、変更されません。どのウェイにもヒットしなかった場合は、書き込みを行わず、ノーオペレーションとなります。本動作は、キャッシュの特定エントリの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合は、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

3.4.2 データアレイ

データアレイは、H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定 (読み出しましたは書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示す L、ウェイを指定するための W、およびデータアレイアクセスを示す HF1 を指定します。L は、B'00 がロングワード 0 を、B'01 がロングワード 1 を、B'10 がロングワード 2 を、B'11 がロングワード 3 を表します。W は、B'00 がウェイ 0 を、B'01 がウェイ 1 を、B'10 がウェイ 2 を、B'11 がウェイ 3 を表します。アクセスはロングワードサイズ固定なので、アドレスのビット 1、0 には B'00 を指定してください。

アドレスおよびデータのフォーマットについては、図 3.4 を参照してください。

データアレイに対しては、次の 2 種類の操作が可能です。なお、この操作によってアドレスアレイの情報を変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L で指定されたデータを読み出します。

3. キャッシュ

(2) データレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスのLで指定された位置に、データで指定されたロングワードデータを書き込みます。

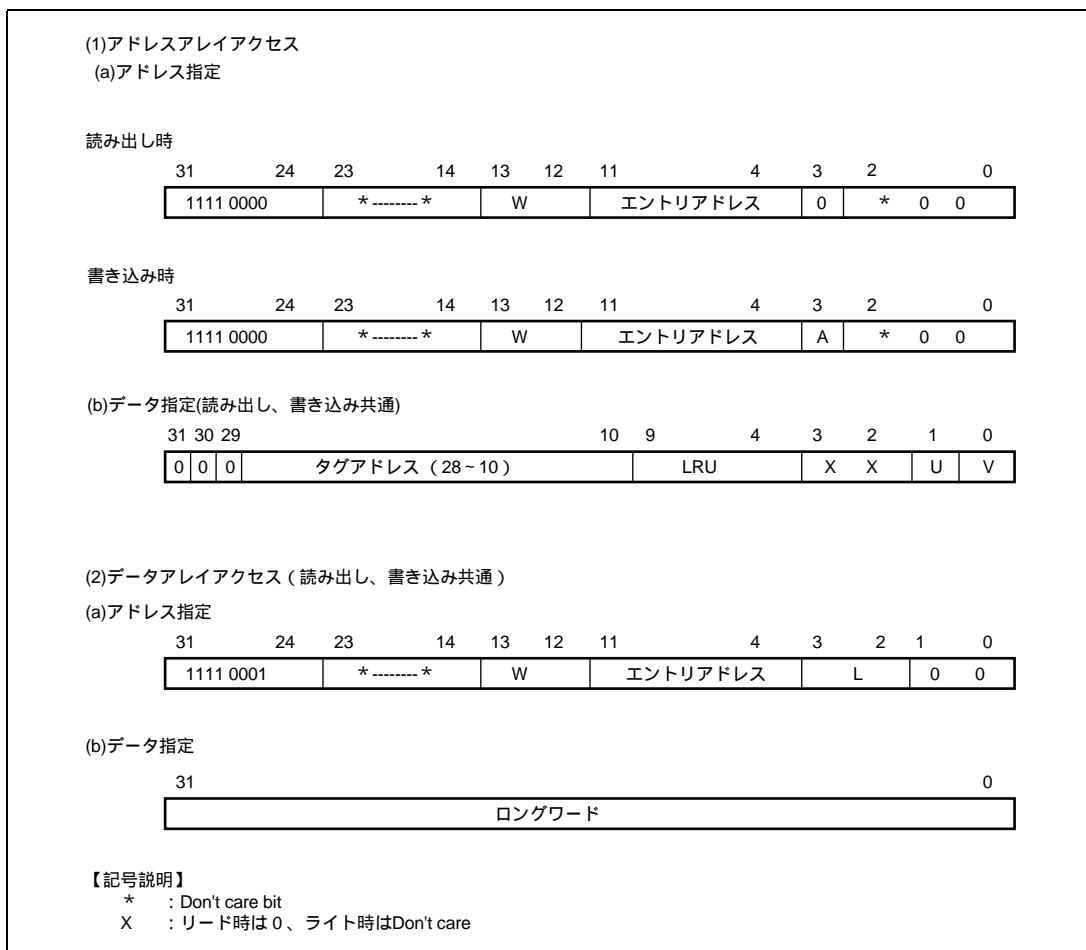


図 3.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

3.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスをエントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときにそのエントリのUビットが1だった場合はそのエントリがライトバックされ、書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合は、ノーオペレーションです。

以下に、R0に書き込みデータを、R1にアドレスを指定した場合の例を示します。

```

; R0 = H'0110 0010      ; アドレスアレイアクセスのデータ指定、
                        ; タグアドレス = B'0 0001 0001 0000 0000 00、LRU = B'00 0001、U = 0、V = 0
; R1 = H'F000 0088      ; アドレスアレイアクセスのアドレス指定、ウェイ = B'00、
                        ; エントリアドレス = B'00001000、A = 1
;
MOV.L   R0, @R1

```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図3.4のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```

; R0 = H'F100 004C      ; データアレイアクセスのアドレス指定、ウェイ = B'00、
                        ; エントリアドレス = B'00000100、L = B'11
;
MOV.L   @R0, R1        ; ロングワード3が読み出されます。

```

3. キャッシュ

4. Uメモリ

本 LSI は、128K バイトの U メモリを内蔵しており、命令やデータを格納することができます。

4.1 特長

- ページ：
最大2ページ（ページ0、1）存在します。
- メモリマップ：
本メモリは、論理アドレス空間および物理アドレス空間にそれぞれ配置されています。
論理アドレス空間内では、以下に示される P2 / U_{xy} 領域内のアドレスに配置されています。これらのアドレスは、CPUの動作モードによって P2 (SR.MD = 1 の場合) あるいは U_{xy} (SR.MD = 0 かつ SR.DSP = 1 の場合) となります。
ページ0 : H'A55F 0000 ~ H'A55F FFFF
ページ1 : H'A560 0000 ~ H'A560 FFFF
一方、物理アドレス空間内では、エリア1の一部に配置されます。物理アドレスでアクセスを行う場合は、上記に示すアドレスの上位3ビットを0としたアドレスを使用します。
- ポート：
各ページは、2本の独立した読み出しまたは書き込みポートを持ち、Iバス、およびLバスと接続されています。論理アドレス空間からのアクセスにはLバスが、また物理アドレス空間からのアクセスにはIバスが使用されます。
- サイズ：128Kバイト
- 優先順位：
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は、高い順にIバス、Lバスとなります。

4.2 動作説明

4.2.1 CPUからのアクセス

CPUからは、LバスまたはIバス経由で、8/16/32ビットアクセスが可能です。

CPUからのアクセス手段として、論理アドレスによりLバスからアクセスを行う方法と、物理アドレスによりIバスからアクセスを行う方法があります。Lバスからのアクセスは、ページ競合が発生しない限り1サイクルアクセスになります。Iバスからのアクセスは、複数サイクル必要となります。CPUの動作モードに応じてそれぞれ以下ようになります。

(1) 特権モード (SR.MD=1)

このモードでは、P0およびP2領域からアクセスすることができます。

(2) ユーザDSPモード (SR.MD=0かつSR.DSP=1)

このモードでは、U0およびUxy領域からアクセスすることができます。

(3) ユーザモード (SR.MD=0かつSR.DSP=0)

このモードでは、U0領域からアクセスすることができます。

4.2.2 Iバスマスタモジュールからのアクセス

DMACのようなIバスマスタモジュールからの本メモリへのアクセスは、常に物理アドレスバスであるIバスからのアクセスとなります。DMACからは、8/16/32ビットのアクセスとなります。アドレスは、P0/U0領域のH'055F 0000~H'0560 FFFFを使用してください。

4.3 使用上の注意事項

4.3.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起らないようにソフトウェアでの対策を推奨します。たとえば、各バスごとに異なるメモリや異なるページをアクセスすれば競合は発生しません。

4.3.2 バス競合

Iバスは、複数のバスマスタモジュールによる共有バスです。このため、Iバス経由のアクセスは、Iバス上で他のIバスマスタモジュールとの間でバス競合が発生する場合があります。バス競合が発生するとメモリアccessの性能低下を招きますので、できるだけ競合が起らないようにソフトウェアでの対策を推奨します。たとえば、CPUによる本メモリアccessでは、Iバス経由を避け、P2領域またはUxy領域からLバス経由でアクセスすることによって、Iバス上での競合を回避できます。

4.3.3 キャッシュの設定

CPUからキャッシュを利用してIバス経由で本メモリにアクセスした場合には、動作を保証しません。キャッシュを有効 (CCR1.CE = 1) にして使用する場合には、P2またはU_{xy}領域からLバス経由でアクセスしてください。高い性能が必要なプログラムでは、P2またはU_{xy}領域からアクセスすることを推奨します。以上の関係を表4.1にまとめます。

表 4.1 キャッシュの設定

設定	アドレス領域とアクセスの可否	
	P0、U0	P2、U _{xy}
CCR1.CE		
0		
1	x	

【注】 : 可 (推奨)

: 可

x : 不可

4.3.4 スリープモード

スリープモード中は、本メモリの動作が停止しますので、DMACからのアクセスはできません。

4.3.5 アドレスエラー

Uメモリに対してアドレスエラーを起こす書き込みを行った場合、Uメモリの内容が壊れる場合があります。

4.3.6 リセット解除後のメモリの内容

パワーオンリセット解除後、マニュアルリセット解除後および $\overline{\text{TRST}}$ 端子アサート解除後のメモリの内容は保証されません。

5. 例外処理

例外処理とは、通常のプログラムの処理から離れて、通常とは異なる処理をすることをいいます。たとえば、定義されていない命令コードを実行しようとしたり、CPU の処理モードによって保護されている命令を実行しようとした場合に、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するなどの制御が必要になります。また、LSI に内蔵されたモジュールや LSI 外部に接続されたモジュールから CPU に対して要求された処理の制御が必要になる場合もあります。

このような機能をサポートするために、ユーザが作成した例外処理ルーチンに制御を移し、その処置をすることを例外処理と呼びます。本 LSI では、例外処理の要求を一般例外および割り込みの 2 種類に分類して処理します。ユーザは、例外処理の要求に応じた例外処理ルーチンを配置することで、必要な処理を実行した後、元のプログラムの実行を再開することができます。

リセットの入力も、通常のプログラムの実行を中断して、レジスタの初期化を行った後にリセットベクタへ制御の流れを移します。この動作も例外処理の一つとみなすことができます。本章では、その動作を概説します。ただし、本章での「例外処理」とは、一般例外および割り込みに対する処理を表します。

また、本章では、割り込みに関しては割り込み要求に対する処理のみを記述しています。割り込み要求の発生方法に関しては、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

5.1 レジスタの説明

例外処理で使用するレジスタには、以下の 4 つがあります。初期値が不定のレジスタは、ソフトウェアにより初期化してください。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については、「第 23 章 レジスタ一覧」を参照してください。

- TRAPA例外レジスタ (TRA)
- 例外事象レジスタ (EXPEVT)
- 割り込み事象レジスタ2 (INTEVT2)
- 例外アドレスレジスタ (TEA)

5. 例外処理

各レジスタのビット構成を図 5.1 に示します。

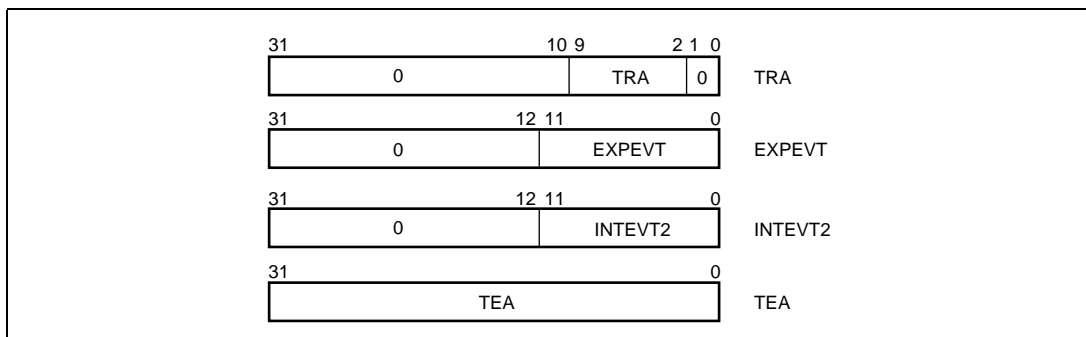


図 5.1 レジスタのビット構成

5.1.1 TRAPA 例外レジスタ (TRA)

TRA は、H'FFFF FFD0 番地に配置されていて、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は、TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA は、ソフトウェアからも変更が可能ですが、ビット 9~2 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説 明
31~10		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
9~2	TRA		R/W	8 ビットイミディエイトデータ
1、0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。

5.1.2 例外事象レジスタ (EXPEVT)

EXPEVT は、H'FFFF FFD4 番地に配置されていて、例外コード 12 ビットから構成されています。EXPEVT に設置される例外コードは、リセットと一般例外事象による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。EXPEVT は、ソフトウェアからも変更が可能ですが、ビット 11~ビット 0 のみが書き換えできます。

ビット	ビット名	初期値	R/W	説 明
31~12		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
11~0	EXPEVT	*	R/W	12 ビットの例外コード

【注】 * パワーオンリセット時には H'000 が、マニュアルリセット時には H'020 が設定されます。

5.1.3 割り込み事象レジスタ 2 (INTEVT2)

INTEVT2 は、H'A400 0000 番地に配置されていて、例外コード 12 ビットから構成されています。INTEVT2 に設定される例外コードは、割り込み要求による例外コードです。例外コードは、例外発生時にハードウェアにより自動的に設定されます。INTEVT2 は、ソフトウェアからは変更できません。

ビット	ビット名	初期値	R/W	説明
31~12		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	INTEVT2		R	12 ビットの割り込み要求による例外コード

5.1.4 例外アドレスレジスタ (TEA)

TEA*は、H'FFFF FFFC 番地に配置されていて、メモリアクセスに関連した例外が発生した際に、例外を発生させた論理アドレスが格納されます。TEA は、ソフトウェアからも変更できます。

ビット	ビット名	初期値	R/W	説明
31~0	TEA	0	R/W	例外を発生させた論理アドレス

【注】 * 本 LSI には TLB 機能は備えられていませんが、TLB 機能をサポートしているバージョンでの TLB アドレスエラー例外でも使われるレジスタと同じものです。

5.2 例外処理の機能

5.2.1 例外処理の流れ

例外処理では、例外処理の後に復帰すべきアドレスおよびステータスレジスタ（SR）の内容をそれぞれ退避プログラムカウンタ（SPC）および退避ステータスレジスタ（SSR）に退避し、ベクタアドレスに従って対応する例外処理ルーチンに制御を渡し、実行します。例外発生時の状態に復帰する場合は、例外処理ルーチンで復帰命令（RTE）を実行します。これにより SSR の内容が SR に回復され、例外発生時の状態に戻り、その後 SPC に退避されたアドレスに制御を移します。基本的な例外処理の流れは、次のとおりです。

例外要求が発生し、CPU がそれを受け付けると、次の 1～8 が実行されます。

1. 例外処理の後に、復帰すべき命令のアドレスが SPC に退避されます。
2. SR の内容が、SSR に退避されます。
3. SR のブロックビット（BL）が 1 に設定され、後続の例外要求がマスクされます。
4. SR のモードビット（MD）が 1 に設定され、特権モードに切り替わります。
5. SR のレジスタバンクビット（RB）が 1 に設定されます。
6. 例外要因が一般例外の場合は、要因の例外コードが EXPEVT に、例外要因が割り込みの場合は要因の例外コードが INTEVT2 に書き込まれます。
7. TRAPA 命令を実行した場合は、TRA に TRAPA 命令で指定した 8 ビットイミディエイト値が設定されます。また、メモリアクセスに関する例外の場合は、TEA に例外が発生した論理アドレスが書き込まれます。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンの命令が実行されます。

1～8 は連続して行われ、後述の多重例外受け付けの場合を除き、この期間で別の例外を受け付けることはありません。

一般例外の例外処理ルーチンでは EXPEVT の値から、割り込み処理の例外処理ルーチンでは INTEVT2 の値から例外要因を判定し、必要な例外処理を行ってください。例外処理ルーチンの処理が終了すると、RTE 命令を実行することでプログラムの実行を再開できます。RTE 命令では、次の 1～3 が実行されます。

1. SSR に退避された内容を SR に回復し、例外処理前の処理状態に戻ります。
2. RTE 命令の遅延スロットの命令を実行します。*
3. SPC に退避されたアドレスへ制御を移します。

1～3 は連続して行われ、この期間で別の例外を受け付けることはありません。また、RTE 命令の実行前に SPC や SSR を操作することで、例外処理前とは異なった状態に復帰することもできます。

【注】 * RTE 遅延スロット命令が実行される CPU 処理モードに関しては、「5.4 使用上の注意事項」を参照してください。

5.2.2 例外処理ベクタアドレス

一般例外の割り込みのベクタアドレスは、ベクタベースアドレスにベクタオフセットの値を加えた値で決めます。一般例外のベクタオフセットは、H'0000 0100 です。割り込みのベクタアドレスのオフセットは、H'0000 0600 です。ベクタベースアドレスは、ベクタベースレジスタ (VBR) にソフトウェアで設定します。ベクタベースアドレスは、論理アドレスエリア (P1 または P2 領域) に設定してください。

5.2.3 例外コード

各例外事象を区別するために例外コードが決められており、リセットと一般例外のときには EXPEVT のビット 11~0 に、割り込み要求のときには INTEVT2 に書き込まれます。割り込みの例外コード (要因コード) の詳細は、「第 6 章 割り込みコントローラ (INTC)」を参照してください。リセットおよび一般例外に対する例外コードを表 5.1 に示します。

5.2.4 例外要求と BL ビットの関係 (多重例外防止)

SR の BL ビットは、リセットや例外の受け付けで 1 に設定されます。BL ビットが 1 のときは、一般例外の割り込みの受け付けが次のように制限されて、多重に例外が受け付けられるのを防止します。

割り込みの要求は、BL ビットが 1 の間は保留されます。ユーザが BL ビットを 0 にした時点で割り込み要求が受け付けられます。ただし、CPU が低消費電力状態にある場合は、SR の BL ビットが 1 であっても、割り込みを受け付け、低消費電力状態から復帰します。

DMA アドレスエラーも同様に BL ビットが 1 の間は保留され、BL ビットが 0 になった時点で例外要求が受け付けられます。一方、BL ビットが 1 の期間中に生じたユーザブレイク要求は無視され、保留されません。したがって、BL ビットを 0 にしても、要求された例外は、受け付けられません。

BL ビットが 1 の期間に DMA アドレスエラーおよびユーザブレイク以外の一般例外要求が生じた場合には、CPU はリセット後の状態と同じになり、リセットベクタ (H'A000 0000) へ処理を移行します (多重例外)。ただし、これは通常のリセットとは異なり、CPU 以外のモジュールは初期化されず、EXPEVT、SPC、および SSR の値は、不定となります。また、LSI 外部でこの状態を検出することもできません。

例外処理を多重に受け付け可能にするためには、例外受け付け後に BL ビットが 1 の間に SPC と SSR を退避させ、その後 SR の BL ビットを 0 でクリアします。SPC と SSR を回復する場合には、これらを回復する前に SR の BL ビットを 1 に設定してください。

5.2.5 例外要因の受け付けタイミングと優先順位

(1) 命令同期型 / 命令非同期型例外要求

リセットおよび割り込みは、プログラムの流れに関係無く非同期に入る例外要求です。一般例外の内、DMA アドレスエラーと或る条件下でのユーザブ레이크も非同期の例外要求となります。これらの例外要求は、その要求をどの命令で受け付けるかを予測することはできません。

その他の一般例外は、その例外要求に対応する命令が一意に決定します。

(2) 再実行型、完了型例外

すべての例外は、再実行型および完了型の2種類に分類されます。再実行型の例外を受け付けると、例外を受け付けた命令の実行を中断し、そのアドレスをSPCに退避します。例外処理から復帰すると、例外を生じた命令から実行を再開します。完了型例外では、例外を受け付けた命令の実行を完了し、次の命令のアドレスを退避して例外処理を実行します。

ただし、遅延分岐命令と遅延スロットの間では、次のように処理されます。遅延スロットで検出された再実行型例外は、遅延分岐命令実行前に受け付けられます。遅延分岐命令または遅延スロットで検出された完了型例外は、遅延分岐命令実行後、分岐先命令の実行前に受け付けられます。ここでいう遅延スロットとは、遅延無条件分岐命令の次の命令や、遅延条件分岐命令が成立するときの次の命令を示します。遅延条件分岐で分岐しなかった場合は、通常と同じように処理されます。

(3) 優先順位と判定順位

すべての例外要求は、2つ以上の例外が同時に発生したときに受け付ける優先順位が決められています。リセット、一般例外、および割り込みの例外要求は、ここで挙げられた順位で優先順位が高くなっています。リセットは、CPUがいかなる状態にあるかと受け付けられます。また、割り込みは、リセットや一般例外の要求が無い場合に限り受け付けられます。

同一の命令で複数の一般例外要求が生じる場合は、次の順序で判定されます。

1. 直前の命令で生じた完了型例外*
2. 命令実行前ユーザブ레이크 【再実行型】
3. 命令フェッチに関する例外 (CPUアドレスエラー) 【再実行型】
4. 命令デコードの結果生じる例外 (一般不当命令例外、スロット不当命令例外【再実行型】、および無条件トラップ【完了型】)
5. データアクセスに関する例外 (CPUアドレスエラー) 【再実行型】
6. 無条件トラップ【完了型】
7. 命令実行前以外のユーザブ레이크【完了型】
8. DMAアドレスエラー【完了型】

【注】 * ある命令で完了型例外を受けつけた場合は、次の命令の実行前に例外処理に移行しますが、この処理は次の命令で生じる例外の判定を行う前に優先して処理されます。

一度に受け付けることの出来る例外要求は1個ですが、順次、例外要求を受け付けていくことですべての例外要求を処理することができます。

表 5.1 例外事象一覧

例外種別	実行命令の終了状態	例外事象	優先順位 *1	判定順位	BL=1 ときの 処理	例外要因 コード*4	ベクタ オフセット
リセット (命令非同期)	中断	パワーオンリセット*5	1	1	リセット	H'000	-
		マニュアルリセット	1	2	リセット	H'020	-
一般例外 (命令同期)	再実行	ユーザブレイク (命令実行前)	2	0	無視	H'1E0	H'0000 0100
		CPU アドレスエラー (命令アクセス)	2	1	リセット	H'0E0	H'0000 0100
		一般不当命令例外	2	2	リセット	H'180	H'0000 0100
		スロット不当命令例外	2	2	リセット	H'1A0	H'0000 0100
		CPU アドレスエラー (データ読み出し/書き込み)	2	3	リセット	H'0E0 / H'100	H'0000 0100
	完了	無条件トラップ (TRAPA 命令)	2	4	リセット	H'160	H'0000 0100
		ユーザブレイク (命令実行後、アドレス)	2	5	無視	H'1E0	H'0000 0100
一般例外 (命令非同期)	完了	ユーザブレイク (データブレイク、Iバスブレイク)	2	5	無視	H'1E0	H'0000 0100
		DMA アドレスエラー	2	6	保留	H'5C0	H'0000 0100
割り込み (命令非同期)	完了	ノンマスカブル割り込み (NMI)	3*2	-	保留	- *3	H'0000 0600
		外部ハードウェア割り込み (IRQ 割り込み)	4*2	-	保留	- *3	H'0000 0600
		H-UDI 割り込み	4*2	-	保留	- *3	H'0000 0600
		内蔵周辺モジュール割り込み	4*2	-	保留	- *3	H'0000 0600

【注】 *1 優先順位は、高い方から低い方に1から4で指定されます。リセットは、すべての要求に優先します。割り込みは、一般例外要求が無い場合のみ受け付けることができます。

*2 複数の割り込み要因間の優先順位は、「第6章 割り込みコントローラ (INTC)」を参照してください。

*3 割り込みを受理しても例外事象レジスタ (EXPEVT) の値は変化せず、割り込み事象レジスタ2 (INTEVT2) に割り込み要求元を示す割り込み要因の例外コードが設定されます。「第6章 割り込みコントローラ (INTC)」を参照してください。

*4 H'040、H'060、H'080、H'0A0、H'0C0、H'0D0、H'120、H'140、H'3E0の例外要因コードは、予約されています。

*5 RESETP 端子を用いたリセットについては、注意事項があります。詳細については「第11章 低消費電力モード」の「11.7.1 RESETP 端子を用いたリセットについて」を参照してください。

5.3 個別例外の動作説明

個別の例外処理動作について、発生条件および発生時のプロセッサの動作を説明します。本節では、リセットおよび一般例外について述べます。割り込みの動作に関しては、「第6章 割り込みコントローラ (INTC)」を参照してください。

5.3.1 リセット

(1) パワーオンリセット

条件：

$\overline{\text{RESETP}}$ 端子*¹ローレベル、WDTによるパワーオンリセット要求

動作：

EXPEVTにH'000を設定し、VBR、SRの初期化を行い、PC = H'A000 0000に分岐します*²。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRレジスタは、MD、RB、BLビットが1にセットされ、DSPビットが0にクリアされ、割り込みマスクビット (I3~I0) がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

電源投入時には必ず $\overline{\text{RESETP}}$ 端子ローレベルによるリセットを行ってください。

【注】 *¹ $\overline{\text{RESETP}}$ 端子を用いたリセットについては、注意事項があります。詳細については「第9章 クロックパルス発振器」の「9.6.2 $\overline{\text{RESETP}}$ 端子を用いたリセットについて」を参照してください。

*² パワーオンリセット時、BOOT_E 端子がローアサートされていると、アドレスは H'A000 0000 ですが、ブート機能にある ROM 領域に分岐し、ブート処理が始まります (「第20章 ブート機能 (BOOT)」を参照)。

(2) マニュアルリセット

条件：

WDTによるマニュアルリセット要求

動作：

EXPEVTにH'020を設定し、VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。*

初期化により、VBRレジスタはH'0000 0000にセットされます。SRレジスタは、MD、RB、BLビットが1にセットされ、DSPビットが0にクリアされ、割り込みマスクビット (I3~I0) がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化を行います。パワーオンリセットとマニュアルリセットでは、初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

【注】 * マニュアルリセット時もパワーオンリセット時と同様、 $\overline{\text{BOOT_E}}$ 端子がローアサートされていると、ブート機能にある ROM 領域に分岐し、ブート処理が始まります。

5.3.2 一般例外

(1) CPU アドレスエラー

条件：

- 奇数アドレス ($4n+1$ 、 $4n+3$) から命令フェッチ
- ワードデータをワード境界以外 ($4n+1$ 、 $4n+3$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$ 、 $4n+2$ 、 $4n+3$) からアクセス
- ユーザモードで論理空間のH'8000 0000 ~ H'FFFF FFFFの領域をアクセス

種別：

命令同期、再実行型

回避アドレス：

命令フェッチの場合： 本例外を発生させた命令フェッチ先のアドレス。

データアクセスの場合： 本例外を発生させた命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令のアドレス。

例外コード：

読み出しで例外が発生した場合： H'0E0

書き込みで発生した場合： H'100

特記：

本例外を発生させた論理アドレス (32ビット) をTEAに設定します。

(2) 一般不当命令例外

条件：

- 遅延分岐命令の遅延スロット以外で、命令の定義されていない命令コード (未定義コード) を実行した場合
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

【注】 未定義コードについては、「第2章 CPU」の「表 2.12 オペレーションコードマップ」を参照してください。ただし、命令コード H'F000 ~ H'FFFF の未定義コードの例外処理動作のみを保証し、その他の未定義コードでは動作を保証しません。

- 遅延スロット以外にある特権命令をユーザモードでデコードした場合

特権命令：LDC、STC、RTE、SLEEP

ただし、LDC/STCでGBRをアクセスする命令は特権命令ではありません。

種別：

命令同期、再実行型

回避アドレス：

本例外を発生させた命令のアドレス

例外コード：

H'180

特記：

なし

5. 例外処理

(3) スロット不当命令例外

条件：

- 遅延スロットにある未定義コードをデコードした場合
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
- 遅延スロットにある特権命令をユーザモードでデコードした場合
特権命令：LDC、STC、RTE、SLEEP
ただし、LDC/STCでGBRにアクセスする命令は、特権命令ではありません。
- 遅延スロット内でPCを書き換える命令をデコードした場合
PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、
LDC Rm,SR、LDC.L @Rm+,SR

種別：

命令同期、再実行型

退避アドレス：

遅延分岐命令が配置されたアドレス

例外コード：

H'1A0

特記：

なし

(4) 無条件トラップ

条件：

TRAPA命令の実行

種別：

命令同期、完了型

退避アドレス：

TRAPA命令の次命令のアドレス

例外コード：

H'160

特記：

完了型の例外のため、TRAPA命令の次命令のアドレスをSPCに退避します。TRAPA命令中の8ビットのイミディエイト値をTRA[9:2]に設定します。

(5) ユーザブレイクポイントトラップ

条件：

ユーザブレイクコントローラに設定したブレイク条件が成立した場合

種別：

命令実行前ブレイク (Lバス) の場合： 命令同期、再実行型。

オペランドブレイク (Lバス) の場合： 命令同期、完了型。

データブレイク (Lバス) の場合： 命令非同期、完了型。

Iバスでのブレイクの場合： 命令非同期、完了型。

回避アドレス：

再実行型の場合： ブレイク成立命令のアドレス。

ただし、遅延スロットにある場合には遅延分岐命令のアドレス。

完了型の場合： ブレイク要求を受け付けた命令の次命令のアドレス。

ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレス。

例外コード：

H'1E0

特記：

ユーザブレイクコントローラの詳細は、「第21章 ユーザブレイクコントローラ (UBC)」を参照してください。

(6) DMA アドレスエラー

条件：

- ワードデータをワード境界以外 ($4n+1$ 、 $4n+3$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$ 、 $4n+2$ 、 $4n+3$) からアクセス

種別：

命令非同期、完了型

回避アドレス：

本例外を受け付けた命令の次命令のアドレスが回避されます。ただし、遅延スロットにある場合には、遅延分岐命令の分岐先のアドレスが回避されます。

例外コード：

H'5C0

特記：

ダイレクトメモリアクセスコントローラ (DMAC) に上記条件に該当する不正なアドレスが設定され、実際の転送動作が行われた際に例外要求が生じます。DMACの転送動作は、CPUの命令動作とは非同期に行われるため、例外要求も命令非同期になります。DMACの動作の詳細は、「第8章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

5.4 使用上の注意事項

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰された後に実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後のSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。
3. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みおよびDMAアドレスエラーに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 特長

- 割り込み優先順位を16レベル設定可能

割り込み優先レベル設定レジスタにより、内蔵周辺モジュール、IRQ割り込みの優先順位を割り込み要求元別に16レベルまで設定することができます。

- NMIノイズキャンセル機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サーブスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- IRQ割り込みを設定可能

ローレベル、ハイレベル、立ち上がり、立ち下がり

- 割り込みの禁止 / 許可を設定可能

割り込みマスクレジスタ、割り込みマスククリアレジスタを持ち、割り込み要因別に割り込みを禁止または許可することができます。

6. 割り込みコントローラ (INTC)

割り込みコントローラのブロック図を図 6.1 に示します。

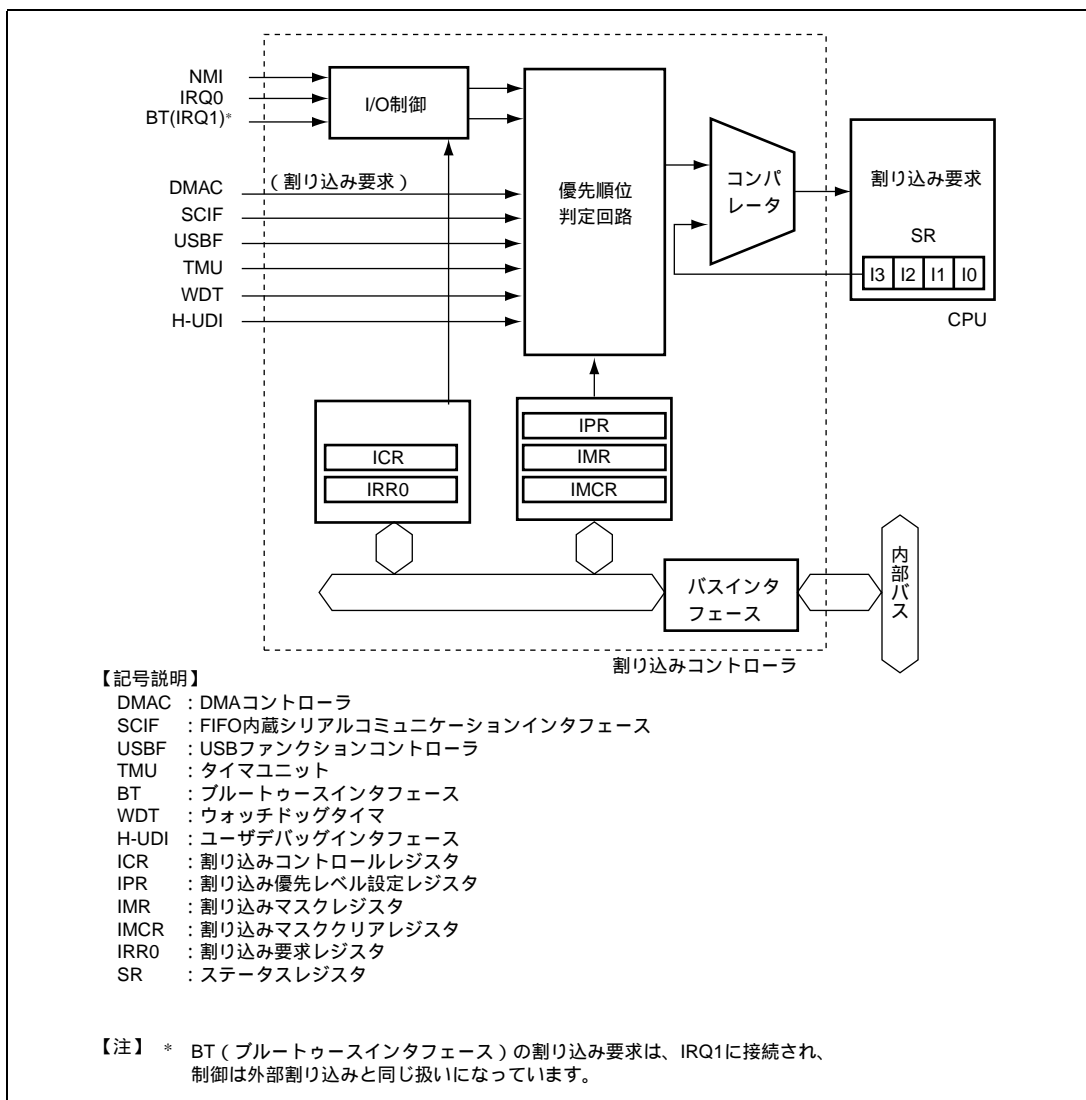


図 6.1 割り込みコントローラのブロック図

6.2 入出力端子

割り込みコントローラの端子構成を表 6.1 に示します。

表 6.1 端子構成

名称	略語	入出力	内 容
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号の入力
割り込み入力端子	IRQ1*、IRQ0	入力	割り込み要求信号の入力

【注】 * IRQ1 はブルートゥースインタフェースの割り込み要求として使われていますので外部端子としてはサポートされていません。

6.3 レジスタの説明

割り込みコントローラには、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については、「第 23 章 レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ0 (ICR0)
- 割り込みコントロールレジスタ1 (ICR1)
- 割り込み優先レベル設定レジスタA (IPRA)
- 割り込み優先レベル設定レジスタB (IPRB)
- 割り込み優先レベル設定レジスタC (IPRC)
- 割り込み優先レベル設定レジスタE (IPRE)
- 割り込み優先レベル設定レジスタF (IPRF)
- 割り込み優先レベル設定レジスタG (IPRG)
- 割り込み要求レジスタ0 (IRR0)
- 割り込みマスクレジスタ0 (IMR0)
- 割り込みマスクレジスタ1 (IMR1)
- 割り込みマスクレジスタ4 (IMR4)
- 割り込みマスクレジスタ5 (IMR5)
- 割り込みマスクレジスタ9 (IMR9)
- 割り込みマスククリアレジスタ0 (IMCR0)
- 割り込みマスククリアレジスタ1 (IMCR1)
- 割り込みマスククリアレジスタ4 (IMCR4)
- 割り込みマスククリアレジスタ5 (IMCR5)
- 割り込みマスククリアレジスタ9 (IMCR9)

6. 割り込みコントローラ (INTC)

6.3.1 割り込み優先レベル設定レジスタ A~G (IPRA~IPRG、IPRD はなし)

IPRA~IPRG は、内蔵周辺モジュール、IRQ 割り込みに対して 0~15 までの優先順位レベルをセットする 16 ビットの読み出し/書き込みレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IPR15	0	R/W	4 ビット単位で、各割り込み要因の割り込み優先レベルを設定します。詳細は「表 6.2 割り込み要求要因と IPRA~IPRG」を参照してください。
14	IPR14	0	R/W	
13	IPR13	0	R/W	
12	IPR12	0	R/W	
11	IPR11	0	R/W	
10	IPR10	0	R/W	
9	IPR9	0	R/W	
8	IPR8	0	R/W	
7	IPR7	0	R/W	
6	IPR6	0	R/W	
5	IPR5	0	R/W	
4	IPR4	0	R/W	
3	IPR3	0	R/W	
2	IPR2	0	R/W	
1	IPR1	0	R/W	
0	IPR0	0	R/W	

表 6.2 割り込み要求要因と IPRA~IPRG

レジスタ名	ビット 15~12	ビット 11~8	ビット 7~4	ビット 3~0
IPRA	TMU0	TMU1	TMU2	予約 ^{*1}
IPRB	WDT	予約 ^{*1}	予約 ^{*1}	予約 ^{*1}
IPRC	予約 ^{*1}	予約 ^{*1}	IRQ1 (BT 用) ^{*2}	IRQ0
IPRE	DMAC (1)	予約 ^{*1}	予約 ^{*1}	予約 ^{*1}
IPRF	予約 ^{*1}	DMAC (2)	USBF	予約 ^{*1}
IPRG	SCIF0	SCIF1	予約 ^{*1}	予約 ^{*1}

【注】 *1 予約：読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書き込んだときの動作は保証できません。

*2 IRQ1 には BT (ブルートゥースインタフェース) の割り込み要求信号が接続されていますので、別の用途には使用できません。

表 6.2 に示すように、各レジスタには 4 組の内蔵周辺モジュール、または IRQ 割り込みが割り当てられます。4 ビットグループ (ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0) は、H0 (0000) ~ HF (1111) の値に設定することができます。設定 H0 は優先順位レベル 0 (要求マスク) を意味し、HF は優先順位レベル 15 (最高レベル) です。

6.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は外部割り込み入力端子 NMI の入力検出モードを設定し、NMI 端子に対する入力信号レベルを示します。

ビット	ビット名	初期値	R/W	説明
15	NMIL	0/1*	R	NMI 入力レベル NMI 端子に信号の入力レベルをセットします。このビットを読み出して NMI 端子レベルを判断することができます。このビットは、変更不可能です。 0 : NMI 入力レベルはロー 1 : NMI 入力レベルはハイ
14~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
8	NMIE	0	R/W	NMI エッジ選択 NMI 入力の立ち下がりまたは立ち上がりエッジのどちらで割り込み要求信号を検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求信号を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求信号を検出
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。

【注】 * NMI 入力が高レベル時は 1、NMI 入力がローレベル時は 0 になります。

6. 割り込みコントローラ (INTC)

6.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ1、IRQ0 に対して立ち上がりエッジ、立ち下がりエッジ、ローレベル、およびハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明																	
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。																	
14	IRQE*	1	R/W	割り込み要求イネーブル IRQ1、IRQ0 端子を 2 本の独立した割り込み端子として使用許可 / 禁止を選択します。 0 : 2 本の独立した割り込み端子 IRQ1、IRQ0 として使用許可 1 : IRQ1、IRQ0 端子は割り込み端子として使用禁止																	
13~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。																	
3	IRQ11S	0	R/W	IRQn センスセレクト IRQ1、IRQ0 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルのどれで検出するかを選択します。																	
2	IRQ10S	0	R/W																		
1	IRQ01S	0	R/W																		
0	IRQ00S	0	R/W																		
<table border="1"> <thead> <tr> <th>ビット 2n+1</th> <th>ビット 2n</th> <th></th> </tr> <tr> <th>IRQn1S</th> <th>IRQn0S</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>割り込み要求を IRQn 入力の立ち下がりエッジで検出する</td> </tr> <tr> <td>0</td> <td>1</td> <td>割り込み要求を IRQn 入力の立ち上がりエッジで検出する</td> </tr> <tr> <td>1</td> <td>0</td> <td>割り込み要求を IRQn 入力のローレベルで検出する</td> </tr> <tr> <td>1</td> <td>1</td> <td>割り込み要求を IRQn 入力のハイレベルで検出する</td> </tr> </tbody> </table>					ビット 2n+1	ビット 2n		IRQn1S	IRQn0S		0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する	0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する	1	0	割り込み要求を IRQn 入力のローレベルで検出する	1	1
ビット 2n+1	ビット 2n																				
IRQn1S	IRQn0S																				
0	0	割り込み要求を IRQn 入力の立ち下がりエッジで検出する																			
0	1	割り込み要求を IRQn 入力の立ち上がりエッジで検出する																			
1	0	割り込み要求を IRQn 入力のローレベルで検出する																			
1	1	割り込み要求を IRQn 入力のハイレベルで検出する																			
【記号説明】 n = 0, 1																					

【注】 * リセット後の初期化ルーチンでステータスレジスタ (SR) の BL ビットを 0 クリアする前に必ず IRQE ビットを 0 に設定し、以後本ビットを変更しないでください。BL ビットが 0 の状態で IRQE ビットを 1 にした状態は動作保証ができません。

6.3.4 割り込み要求レジスタ 0 (IRR0)

IRR0 は、外部入力端子 IRQ1*、IRQ0 からの割り込み要求を示す 8 ビットレジスタです。

【注】 * 本 LSI では IRQ1 は内部モジュール専用として使われているため、実際には外部端子としてはサポートされていません。

ビット	ビット名	初期値	R/W	説明
7~2	-	0	R	リザーブビット 読み出し時には不定が読み出されます。書き込むときは常に 0 を書き込んでください。
1	IRQ1R*	0	R/W	IRQn 割り込み要求 IRQn 端子に割り込み要求が入力されているかを示します。 IRQn 端子がエッジ検出モードに設定されている場合、割り込み要求は IRQnR ビットの 1 を読み出した後に、0 を書き込むことでクリアされます。 IRQn 端子がレベル検出モードに設定されている場合、割り込み要求が入力されているかどうかを示します。IRQn 端子の入力値のみ、セット/クリアすることができます。 IRQnR 0 : IRQn 端子に割り込み要求なし 1 : IRQn 端子に割り込み要求あり 【記号説明】 n=0、1
0	IRQ0R*	0	R/W	

【注】 * リセット後の初期化ルーチンで割り込みコントロールレジスタ 1 (ICR1) の IRQE ビットを 0 に設定した後、IRQ1R、IRQ0R ビットを 0 クリアしてください。

6.3.5 割り込みマスクレジスタ 0、1、4、5、9 (IMR0、1、4、5、9)

IMR0、1、4、5、9 は、読み出し/書き込み可能な 8 ビットのレジスタで、IRQ および内蔵周辺モジュール割り込み要求をマスク設定します。割り込み要因をマスク設定する際、IRQ および周辺モジュールの動作状態によっては割り込み要求を誤検出する場合があります。これを避けるため、割り込みが発生しない状態で割り込みマスクレジスタ (IMR0、1、4、5、9) を設定し、かつ設定後に読み出しを実行してください。

表 6.3 に本レジスタと各割り込み要因の関係を示します。

ビット	ビット名	初期値	R/W	説明									
7	IM7	0	R/W	割り込みマスク 割り込み要因と割り込みマスクレジスタの対応関係を表 6.3 に示します。 <table border="1" data-bbox="591 1543 1184 1655"> <thead> <tr> <th>IMn</th> <th>リード時</th> <th>ライト時</th> </tr> </thead> <tbody> <tr> <td>1</td> <td colspan="2">該当ビットの割り込み要因をマスクする</td> </tr> <tr> <td>0</td> <td>マスクしない</td> <td>なにもしない</td> </tr> </tbody> </table> 【記号説明】 n=7~0	IMn	リード時	ライト時	1	該当ビットの割り込み要因をマスクする		0	マスクしない	なにもしない
IMn	リード時	ライト時											
1	該当ビットの割り込み要因をマスクする												
0	マスクしない	なにもしない											
6	IM6	0	R/W										
5	IM5	0	R/W										
4	IM4	0	R/W										
3	IM3	0	R/W										
2	IM2	0	R/W										
1	IM1	0	R/W										
0	IM0	0	R/W										

6. 割り込みコントローラ (INTC)

表 6.3 割り込み要因と IMR0～IMR9 および IMCR0～IMCR9 の対応

レジスタ名	ビット名 (機能名)							
	7	6	5	4	3	2	1	0
IMR0/IMCR0	-	-	-	-	-	-	IRQ1(BT)	IRQ0
IMR1/IMCR1	-	-	-	-	DEI3	DEI2	DEI1	DEI0
	-				(DMAC)			
IMR4/IMCR4	-	TUNI2	TUNI1	TUNI0	ITI	-	-	-
	(TMU2)		(TMU1)	(TMU0)	(WDT)	-		
IMR5/IMCR5	-	-	DEI5	DEI4	-	-	SCIF1	SCIF0
	-	-	(DMAC)		-		(SCIF1)	(SCIF0)
IMR9/IMCR9	-	-	-	-	-	USBF1	USBF0	-
	-			-	(USBF)			-

【注】 - 予約ビット：読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1を書いた場合の動作の保証はできません。

6.3.6 割り込みマスククリアレジスタ 0、1、4、5、9 (IMCR0、1、4、5、9)

IMCR0、1、4、5、9は、書き込み可能な8ビットのレジスタで、IRQおよび内蔵周辺モジュール割り込み要求のマスク設定をクリアします。表 6.3 に本レジスタと各割り込み要因の関係を示します。

ビット	ビット名	初期値	R/W	説明						
7	IMC7	-	W	割り込みマスククリア 割り込み要因と割り込みマスククリアレジスタの対応関係を表 6.3 に示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IMCn</th> <th>ライト時</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>割り込みマスクレジスタIMRnの該当ビットをクリアする</td> </tr> <tr> <td>0</td> <td>なにもしない</td> </tr> </tbody> </table> 【記号説明】 n = 7～0	IMCn	ライト時	1	割り込みマスクレジスタIMRnの該当ビットをクリアする	0	なにもしない
IMCn	ライト時									
1	割り込みマスクレジスタIMRnの該当ビットをクリアする									
0	なにもしない									
6	IMC6	-	W							
5	IMC5	-	W							
4	IMC4	-	W							
3	IMC3	-	W							
2	IMC2	-	W							
1	IMC1	-	W							
0	IMC0	-	W							

6.4 割り込み要因

割り込み要因は、NMI、IRQ、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

6.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。ステータスレジスタ (SR) の BL ビットが0ならばNMI 割り込みは受け付けられます。NMI 割り込みはエッジ検出です。ただし、スリープまたはスタンバイモード中は、BL ビットに関わりなく割り込みが受け付けられます。割り込みコントロールレジスタ0 (ICR0) のNMI エッジセレクトビット (NMIE) は、立ち上がりエッジ/立ち下がりエッジの選択を行います。

エッジ入力割り込み検出では、周辺クロック (P) ベースで2サイクル以上のパルス幅が必要です。NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

NMI 割り込みを使用して、スリープ、スタンバイ状態から復帰できます。

6.4.2 IRQ 割り込み

IRQ 割り込みは、IRQ1、IRQ0 端子からレベルまたはエッジで入力されます。優先レベルは、割り込み優先レベル設定レジスタ C (IPRC) にレベル0~15の範囲で設定できます。

IRQ 割り込みをエッジセンスで使用する場合は、IRR0の対応するビットをソフトウェアで1であることを読み出した後に0を書き込み、割り込み要因をクリアしてください。

ICR1に上書きする際、IRQ端子の状態によってはIRQ 割り込みが誤検出される可能性があります。これを避けるため、まず割り込みをマスク状態で上書きし、それから割り込み要求レジスタ0 (IRR0)を読み出した後に0を書き込んで不正な割り込みをクリアした後にマスクを解除してください。

エッジ入力割り込み検出では、周辺クロック (P) ベースで2サイクル以上のパルス幅を必要とします。

IRQ 割り込みをレベルセンスで使用する場合は、CPUがサンプリングするまで端子レベルを保持する必要があります。したがって、割り込みハンドラ内で割り込み要因をクリアしてください。

IRQ 割り込み処理ルーチンによって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

6. 割り込みコントローラ (INTC)

6.4.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、次のようなモジュールで発生する割り込みです*。

- DMAコントローラ (DMAC)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF0、SCIF1)
- USBファンクションコントローラ (USBF)
- タイマユニット (TMU)
- ウォッチドッグタイマ (WDT)
- ユーザデバッグインタフェース (H-UDI)

【注】 * ブルートゥースインタフェース (BT) で発生する割り込みは内蔵周辺モジュール割り込みとしてではなく、外部割り込み (IRQ1) の端子に本 LSI 内部で接続されています。

割り込み要因ごとに異なる割り込みベクタが割り当てられてはいませんが、要因は割り込み事象レジスタ 2 (INTEVT2) に反映されますので、INTEVT2 レジスタの値をオフセットとして分岐することにより、容易に要因を判定できます。

H-UDI を除く各モジュールの優先順位レベル(0~15)は、割り込み優先レベル設定レジスタ A~G (IPRA~IPRG) に優先順位レベル値を書き込むことによってセットすることができます。H-UDI の優先順位レベルは 15 (固定) です。

ステータスレジスタの割り込みマスクビット (I3~I0) は内蔵周辺モジュール割り込み処理の影響を受けません。

6.4.4 割り込み例外処理および優先順位

割り込み要因は、NMI、IRQ、内蔵周辺モジュールの 3 つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

割り込み要因と割り込み事象レジスタ 2 (INTEVT2) の例外コード、割り込み優先順位を表 6.4 に示します。

各割り込み要因に応じて、割り込み事象レジスタ 2 (INTEVT2) にそれぞれ異なる例外コードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT2 レジスタの値を使って分岐させます。たとえば、INTEVT2 レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュール、IRQ 割り込みの優先順位は、割り込み優先レベル設定レジスタによって、優先レベル 15 ~ 0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュール、IRQ 割り込みの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.4 に示すデフォルト優先順位に従って処理されます。

表 6.4 割り込み例外処理要因と優先順位

割り込み要因		例外コード	割り込み 優先順位 (初期値)	IPR (ビット番号)	IPR 設定 ユニット内の 優先順位	デフォルト 優先順位
NMI		H'1C0	16	-	-	高  低
H-UDI		H'5E0	15	-	-	
IRQ	IRQ0	H'600	0 ~ 15 (0)	IPRC (3 ~ 0)	-	
	IRQ1 (BT)	H'620	0 ~ 15 (0)	IPRC (7 ~ 4)	-	
DMAC(1)	DEI0	H'800	0 ~ 15 (0)	IPRE (15 ~ 12)	高	
	DEI1	H'820			↑	
	DEI2	H'840			↓	
	DEI3	H'860			低	
USBF	USI0	H'A20	0 ~ 15 (0)	IPRF (7 ~ 4)	高	
	USI1	H'A40			低	
DMAC(2)	DEI4	H'B80	0 ~ 15 (0)	IPRF (11 ~ 8)	高	
	DEI5	H'BA0			低	
SCIF0	SCIFI0	H'C00	0 ~ 15 (0)	IPRG (15 ~ 12)	-	
SCIF1	SCIFI1	H'C20	0 ~ 15 (0)	IPRG (11 ~ 8)	-	
TMU0	TUNI0	H'400	0 ~ 15 (0)	IPRA (15 ~ 12)	-	
TMU1	TUNI1	H'420	0 ~ 15 (0)	IPRA (11 ~ 8)	-	
TMU2	TUNI2	H'440	0 ~ 15 (0)	IPRA (7 ~ 4)	-	
WDT	ITI	H'560	0 ~ 15 (0)	IPRB (15 ~ 12)	-	

6.5 動作説明

6.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベルレジスタ A ~ G (IPRA ~ IPRG) に従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.4 に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. 検出タイミング: INTC は周辺クロック (P) に同期して動作し、CPU に割り込み要求を通知します。CPU は、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ 2 (INTEVT2) に割り込み要因コードがセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。
7. SR のブロックビット (BL)、レジスタバンクビット (RB)、モードビット (MD) が 1 にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'0000 0600 の和) にジャンプします。このジャンプは遅延分岐ではありません。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば、INTEVT2 レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) は変化しません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。
クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後要因フラグをリードし、その後 RTE 命令を実行します。

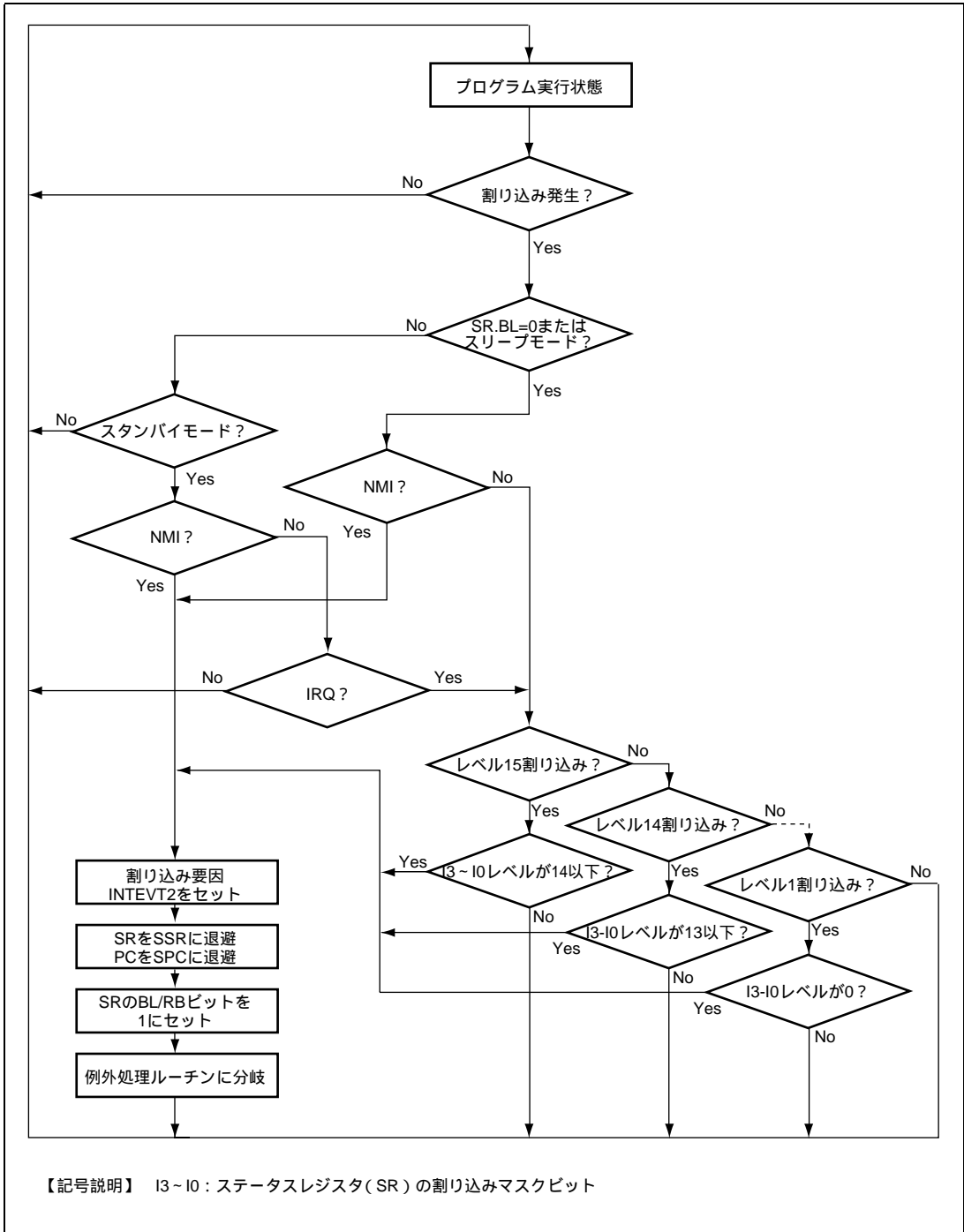


図 6.2 割り込み動作フローチャート

6. 割り込みコントローラ (INTC)

6.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVT2レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをメモリに退避します。
4. SRのBLビットをクリアします。このとき、SRの割り込みマスクビットも受け付けた割り込みレベルに設定します。
5. このあと、実際に行いたい処理を書きます。
6. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。

7. バスステートコントローラ (BSC)

本 LSI に内蔵のバスステートコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM などの各種メモリおよび外部デバイスを直接接続することができます。

7.1 特長

BSC には、次の特長があります。

1. 外部アドレス空間

- CS0、CS3、およびCS4の各空間をそれぞれ最大8Mバイトまで、および外部アドレス空間の合計を24Mバイトまでサポート
- 空間ごとに、通常空間インタフェース、およびバーストROMインタフェースのメモリ種類を指定可能*¹
- 空間ごとに、データバス幅 (8ビットまたは16ビット) を選択可能*²
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース

- 通常メモリ (SRAM、ROM) 等との直結が可能なインタフェースをサポート

3. バーストROMインタフェース

- ページモード機能を有するROM (ページFlash ROM) を高速にアクセス可能*¹

【注】 *¹ CS_n 空間によっては、一部のメモリ種類のインタフェースをサポートしていません。空間ごとにサポートしているメモリインタフェースの種類については、「7.3 エリアの概要」を参照してください。

*² CS0 空間のデータバス幅は 16 ビット固定です。

7. バスステートコントローラ (BSC)

BSC のブロック図を図 7.1 に示します。

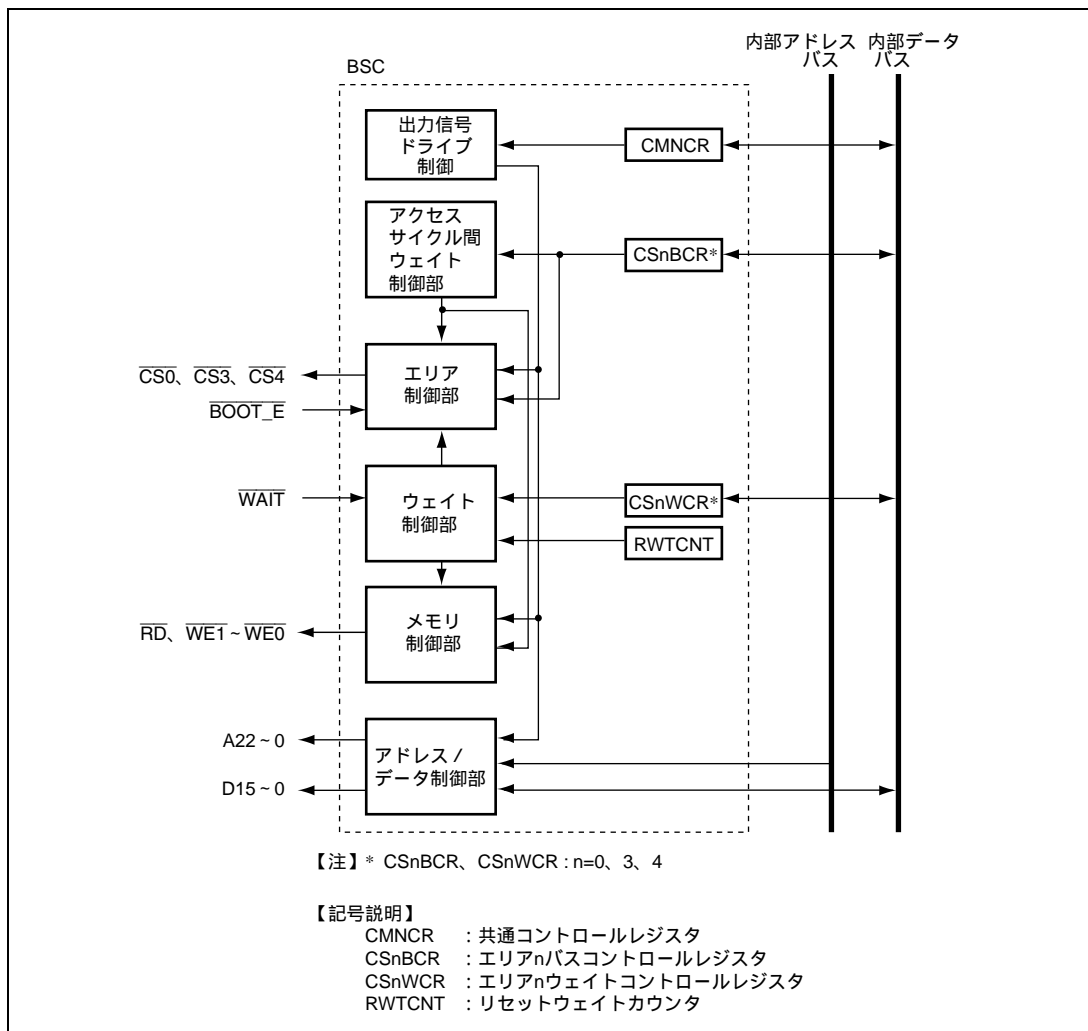


図 7.1 BSC のブロック図

7.2 入出力端子

BSC の端子構成を表 7.1 に示します。

表 7.1 端子構成

端子名	入出力	機能
A22 ~ A0	出力	アドレスバス
D15 ~ D0	入出力	データバス
$\overline{CS0}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$	出力	チップセレクト
RD	出力	リードパルス信号 (リードデータ出力許可信号)
WE1	出力	通常空間設定時、D15 ~ D8 書き込み指示
$\overline{WE0}$	出力	通常空間設定時、D7 ~ D0 書き込み指示
\overline{WAIT}	入力	外部ウェイト入力
MD5	入力	エンディアン指定 0: ビックエンディアン 1: リトルエンディアン
$\overline{BOOT_E}$	入力	ブートイネーブル (詳細は、「第 20 章 ブート機能 (BOOT)」を参照)

7.3 エリアの概要

7.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットの論理アドレス空間を有しています。このうち上位 3 ビットでキャッシュアクセス方法を示します (詳細は「第 3 章 キャッシュ」を参照してください)。残り 29 ビットは 512M バイトの物理アドレス空間にマッピングされますが、この物理アドレス空間はさらに 8 つのエリアに分割されています。BSC はこの 29 ビットの物理アドレス空間に対し制御を行います。

図 7.2 に論理アドレス空間から物理アドレス空間へのマッピングを示します。エリア 1 は内蔵 I/O 空間として使用され、エリア 2 およびエリア 5 ~ エリア 7 は予約領域です。残りの 3 つのエリア (エリア 0、エリア 3、エリア 4) が外部アドレス空間になります。

本 LSI は、表 7.2 に示すように 8 つのエリアに分割された物理アドレス空間のうち、外部アドレス空間の 3 つのエリアにそれぞれ各種メモリを接続でき、おのおのに対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$) を出力します。たとえば、エリア 0 のアクセス時に $\overline{CS0}$ が、エリア 4 のアクセス時に $\overline{CS4}$ がアサートされます。

7. バスステートコントローラ (BSC)

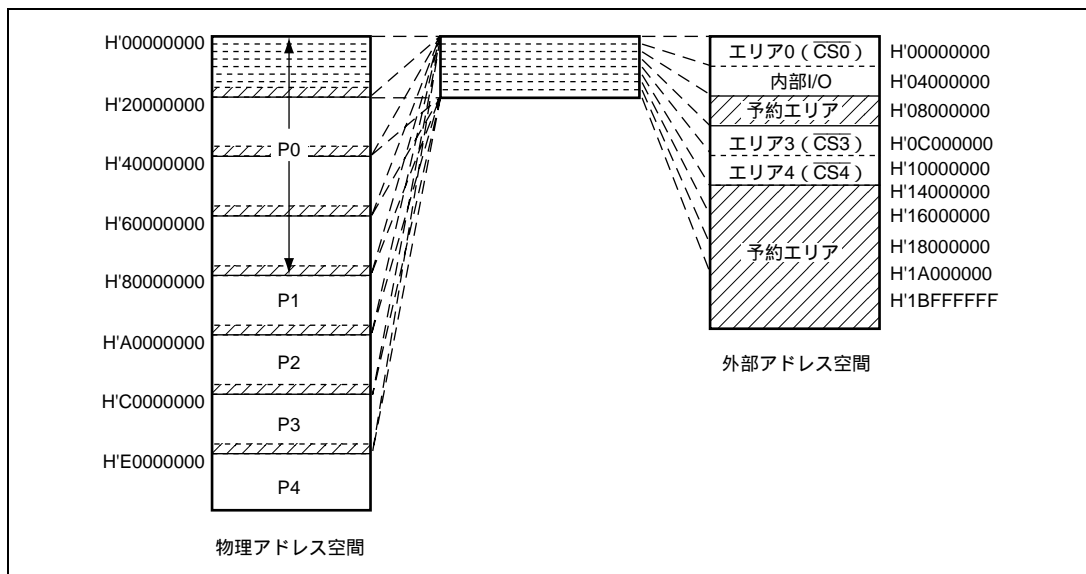


図 7.2 物理アドレス空間と外部アドレス空間

7.3.2 シャドウ空間

エリア 0、3 および 4 は、物理アドレスの A28～A26 でデコードされ、A28～A26 = B'000、B'011 および B'100 のエリアに対応します。アドレスの A31～A29 は、無視されます。このため、たとえば、エリア 0 のアドレスの範囲は H'0000 0000～H'03FF FFFF なのに対し、H'2000 0000 × n (n=1～6) を加えた P0～P3 領域の論理アドレス空間はシャドウ空間となります。さらに、アドレスバスの外部端子としては、A22～A0 をサポートしているので、アドレス A25～A23 は、無視されます。このため、たとえば、エリア 0 では、H'0080 0000～H'03FF FFFF もシャドウ空間となります。

7.3.3 アドレスマップ

外部アドレス空間は合計 24M バイトあり、これを 3 つのエリアに分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、表 7.2 のとおりです。

表 7.2 外部アドレス空間マップ

空間	接続可能なメモリの種類	物理アドレス	容量	アクセスサイズ
エリア 0 (CS0 空間)	通常空間*1、 バースト ROM	H'0000 0000 ~ H'007F FFFF	8M バイト	16*2
		H'0080 0000 ~ H'03FF FFFF	シャドウ	
		H'0000 0000 ~ H'03FF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n : 1~6)
エリア 1	内部 I/O レジスタ	H'04000 000 ~ H'07FF FFFF		
		H'04000 000 ~ H'07FF FFFF + H'2000 0000 × n + H'2000 0000 × n		(n : 1~6)
エリア 2	予約エリア	H'08000 000 ~ H'0BFF FFFF		
エリア 3 (CS3 空間)	通常空間*1	H'0C00 0000 ~ H'0C7F FFFF	8M バイト	8、16*3
		H'0C80 0000 ~ H'0FFF FFFF	シャドウ	
		H'0C00 0000 ~ H'0FFF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n : 1~6)
エリア 4 (CS4 空間)	通常空間*1、 バースト ROM	H'1000 0000 ~ H'107F FFFF	8M バイト	8、16*3
		H'1080 0000 ~ H'13FF FFFF	シャドウ	
		H'1000 0000 ~ H'13FF FFFF + H'2000 0000 × n + H'2000 0000 × n	シャドウ	(n : 1~6)
エリア 5	予約領域*4	H'1400 0000 ~ H'17FF FFFF		
エリア 6	予約領域*4	H'1800 0000 ~ H'1BFF FFFF		
エリア 7	予約領域*4	H'1C00 0000 ~ H'1FFF FFFF		

【注】 *1 通常空間は、SRAM、ROM 等のインタフェースを持つ外部デバイスを接続します。

*2 エリア 0 の空間 (チップセレクト信号 $\overline{CS0}$ アサート時にセレクト) はデータバス幅 16 ビット固定です。

*3 CSn 空間バスコントロールレジスタ (CSnBCR) でデータバス幅を指定します。

*4 予約領域はアクセスしないでください。アクセスした場合は動作の保証はできません。

7. バスステートコントローラ (BSC)

7.3.4 データバス幅

本 LSI のエリア 3 およびエリア 4 のデータバス幅は、CSnBCR にて空間ごとに 8 ビット、16 ビットから選べます。ただしエリア 0 のメモリバス幅については、16 ビットに固定されています。

詳しくは「7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR)」を参照してください。

7.4 レジスタの説明

BSC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

CS0 空間以外にアクセスする場合、アクセス対象となる空間に対応する CSn 空間バスコントロールレジスタ (CSnBCR) を先に設定し、その後で CSn 空間ウェイトコントロールレジスタ (CSnWCR) を設定してください。

- 共通コントロールレジスタ (CMNCR)
- CS0 空間バスコントロールレジスタ (CS0BCR)
- CS3 空間バスコントロールレジスタ (CS3BCR)
- CS4 空間バスコントロールレジスタ (CS4BCR)
- CS0 空間ウェイトコントロールレジスタ (CS0WCR)
- CS3 空間ウェイトコントロールレジスタ (CS3WCR)
- CS4 空間ウェイトコントロールレジスタ (CS4WCR)
- リセットウェイトカウンタ (RWT CNT)

7.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は各エリアに共通の制御を行う 32 ビットのレジスタです。

CMNCR は、パワーオンリセット時に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに前の値を保持します。本レジスタの初期設定が終了するまではエリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
4	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 を書いた場合の動作の保証はできません。
3	ENDIAN	0/1*	R	エンディアンフラグ パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。本ビットは読み出し専用です。 0: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作 1: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
1	HIZMEM	0	R/W	High-Z メモリコントロール A22~A0、 \overline{CS} 、 \overline{WE} 、および \overline{RD} のソフトウェアスタンバイモード時の端子状態を指定します。 0: ソフトウェアスタンバイモード時にハイインピーダンス 1: ソフトウェアスタンバイモード時にドライブ
0	HIZCNT	0	R/W	High-Z コントロール CKIO のソフトウェアスタンバイモード時の状態を指定します。 0: CKIO は、ソフトウェアスタンバイモード時にハイインピーダンス 1: CKIO は、ソフトウェアスタンバイモード時にドライブ

【注】 * エンディアンを指定する外部端子 (MD5) の値を、パワーオンリセット時にサンプリングします。
ビッグエンディアン時は 0、リトルエンディアン時は 1 です。

7. バスステートコントローラ (BSC)

7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、3、4)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定する 32 ビットのレジスタです。

CSnBCR はパワーオンリセット時に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに前の値を保持します。

本レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
29 28	IWW1 IWW0	1 1	R/W R/W	ライト - リード / ライト - ライトサイクル間アイドル指定* 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト-リードサイクルとライト-ライトサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
27	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
26 25	IWRWD1 IWRWD0	1 1	R/W R/W	別空間リード - ライトサイクル間アイドル指定* ¹ 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが本空間リード - 別空間ライトサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
24	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
23 22	IWRWS1 IWRWS0	1 1	R/W R/W	同一空間リード - ライトサイクル間アイドル指定*1 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが本空間リード - 同一空間ライトサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
21	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1を書いた場合の動作の保証はできません。
20 19	IWRRD1 IWRRD0	1 1	R/W R/W	別空間リード - リードサイクル間アイドル指定*1 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが本空間リード - 別空間リードサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
18	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1を書いた場合の動作の保証はできません。
17 16	IWRRS1 IWRRS0	1 1	R/W R/W	同一空間リード - リードサイクル間アイドル指定*1 空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが本空間リード - 同一空間リードサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1を書いた場合の動作の保証はできません。

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
14	TYPE2	0	R/W	メモリ種類指定 本ビットは空間に接続するメモリの種類を指定します。 000：通常空間 001：バースト ROM 上記以外：設定禁止 バースト ROM は、エリア 0 とエリア 4 でのみ設定可能です。
13	TYPE1	0	R/W	
12	TYPE0	0	R/W	
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
10	BSZ1	1	R/W	データバス幅指定 ^{*2} 空間のデータバス幅を指定します。 エリア 3、4 の設定は以下のとおりです。 01：8 ビット 10：16 ビット 上記以外：設定禁止 【注】 CS0BCR の初期値は 10、他の CSnBCR の初期値は 11 になりますので、有効な値に設定してください。 エリア 0 のデータバス幅は、16 ビット固定です。本ビットの設定は無視されます。
9	BSZ0	0/1	R/W	
8~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。

【注】 *1 実際の動作中では本ビットの指定以外の要因により、アイドルサイクルが挿入される場合があります。

*2 エリア 0 以外のバス幅は、リセット後の初期値は設定禁止状態となりますので、本空間アクセス前に 8 ビットまたは 16 ビットに設定してください。上記メモリ種類において、設定可能なエリア以外に設定した場合は動作を保証しません。

7.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、3、4)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行う、32 ビットのレジスタです。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類により、以下のようになります。対象となるエリアをアクセスする前に設定してください。本レジスタは、CSnBCR レジスタの設定後に設定してください。

CSnWCR は、パワーオンリセット時に初期化されますが、マニュアルリセットおよびスタンバイモード時は初期化されずに前の値を保持します。

(1) 通常空間の場合

• CS0WCR

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
12	SW1	0	R/W	アドレス、 \overline{CSn} アサート \overline{RD} 、 $\overline{WE_n}$ アサート遅延サイクル数 アドレス、 \overline{CSn} アサートから \overline{RD} 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を 指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
11	SW0	0	R/W	
10	WR3	1	R/W	アクセスウェイトサイクル数 リード/ライトアクセスに必要なサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 上記以外 : 設定禁止
9	WR2	0	R/W	
8	WR1	1	R/W	
7	WR0	0	R/W	
			R/W	

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
1 0	HW1 HW0	0 0	R/W R/W	\overline{RD} 、 \overline{WEn} ネゲート アドレス、 \overline{CSn} ネゲート遅延サイクル数 \overline{RD} 、 \overline{WEn} ネゲートからアドレス、 \overline{CSn} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS3WCR

ビット	ビット名	初期値	R/W	説 明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
10 9 8 7	WR3 WR2 WR1 WR0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 リード/ライトアクセスに必要なサイクル数を指定します。 0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 上記以外 : 設定禁止

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。

• CS4WCR

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
18	WW2	0	R/W	ライトアクセスウェイトサイクル数
17	WW1	0	R/W	ライトアクセスに必要なサイクル数を指定します。
16	WW0	0	R/W	000: WR3~0設定(リードアクセスウェイト)と同じサイクル 001: 0サイクル 010: 1サイクル 011: 2サイクル 100: 3サイクル 101: 4サイクル 110: 5サイクル 111: 6サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
12	SW1	0	R/W	アドレス、 \overline{CSn} アサート RD、 \overline{WEn} アサート遅延サイクル数
11	SW0	0	R/W	アドレス、 \overline{CSn} アサートから RD、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00: 0.5サイクル 01: 1.5サイクル 10: 2.5サイクル 11: 3.5サイクル

7. バスステートコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
10	WR3	1	R/W	アクセスウェイトサイクル数
9	WR2	0	R/W	リードアクセスに必要なサイクル数を指定します。
8	WR1	1	R/W	0000 : 0 サイクル
7	WR0	0	R/W	0001 : 1 サイクル
				0010 : 2 サイクル
				0011 : 3 サイクル
				0100 : 4 サイクル
				0101 : 5 サイクル
				0110 : 6 サイクル
				0111 : 8 サイクル
				1000 : 10 サイクル
				1001 : 12 サイクル
				1010 : 14 サイクル
				1011 : 18 サイクル
				1100 : 24 サイクル
				上記以外 : 設定禁止
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無効
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
1	HW1	0	R/W	\overline{RD} 、 \overline{WEn} ネゲート アドレス、 \overline{CSn} ネゲート遅延サイクル
0	HW0	0	R/W	\overline{RD} 、 \overline{WEn} ネゲートからアドレス、 \overline{CSn} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

7. バスステートコントローラ (BSC)

(2) バーストROMの場合

• CS0WCR

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
17 16	BW1 BW0	0 0	R/W R/W	バーストウェイトサイクル数 バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイト サイクル数を指定します。 00:0サイクル 01:1サイクル 10:2サイクル 11:3サイクル
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 ライトサイクルおよび1回目のアクセスサイクルに挿入するウェイトサイ クル数を指定します。 0000:0サイクル 0001:1サイクル 0010:2サイクル 0011:3サイクル 0100:4サイクル 0101:5サイクル 0110:6サイクル 0111:8サイクル 1000:10サイクル 1001:12サイクル 1010:14サイクル 1011:18サイクル 1100:24サイクル 上記以外:設定禁止
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。ア クセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0:外部ウェイト入力有効 1:外部ウェイト入力無視
5~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。

7. バスステートコントローラ (BSC)

• CS4WCR

ビット	ビット名	初期値	R/W	説 明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
17 16	BW1 BW0	0 0	R/W R/W	バーストウェイトサイクル数 バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイト サイクル数を指定します。 00:0サイクル 01:1サイクル 10:2サイクル 11:3サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
12 11	SW1 SW0	0 0	R/W R/W	アドレス、 \overline{CSn} アサート \overline{RD} 、 $\overline{WE_n}$ アサート遅延サイクル数 アドレス、 \overline{CSn} アサートから \overline{RD} 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を 指定します。 00:0.5サイクル 01:1.5サイクル 10:2.5サイクル 11:3.5サイクル
10 9 8 7	W3 W2 W1 W0	1 0 1 0	R/W R/W R/W R/W	アクセスウェイトサイクル数 ライトサイクルおよび1回目のアクセスサイクルに挿入するウェイトサイ クル数を指定します。 0000:0サイクル 0001:1サイクル 0010:2サイクル 0011:3サイクル 0100:4サイクル 0101:5サイクル 0110:6サイクル 0111:8サイクル 1000:10サイクル 1001:12サイクル 1010:14サイクル 1011:18サイクル 1100:24サイクル 上記以外:設定禁止

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。1を書いた場合の動作の保証はできません。
1 0	HW1 HW0	0 0	R/W R/W	\overline{RD} 、 \overline{WEn} ネゲート アドレス、 \overline{CSn} ネゲート遅延サイクル数 \overline{RD} 、 \overline{WEn} ネゲートから、アドレス、 \overline{CSn} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

7.4.4 リセットウェイトカウンタ (RWCNT)

RWCNT は、7ビットのカウンタレジスタです。パワーオンリセット解除後、CKIO 信号に同期してカウントアップを開始し、レジスタの値が H'007F になるとカウントアップを停止します。本レジスタがカウントアップを行っている間は、外部バスへのアクセスが待たされます。フラッシュメモリ等のリセット解除から最初のアクセスまでの最小時間を確保するために、本レジスタは存在します。本レジスタへの読み出し、書き込みは行えません。

7.5 動作説明

7.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部ピン (MD5 ピン) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。また、データバス幅は、通常メモリとしては 8 ビット、16 ビットの 2 種類から選べます。ただしエリア 0 では 16 ビット幅固定です。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには 4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 7.3~表 7.6 に示します。

表 7.3 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス		ストロープ信号		
	D15~8	D7~0	WE1	WE0	
0 番地バイトアクセス	データ 7~0	-	アサート	-	
1 番地バイトアクセス	-	データ 7~0	-	アサート	
2 番地バイトアクセス	データ 7~0	-	アサート	-	
3 番地バイトアクセス	-	データ 7~0	-	アサート	
0 番地ワードアクセス	データ 15~8	データ 7~0	アサート	アサート	
2 番地ワードアクセス	データ 15~8	データ 7~0	アサート	アサート	
0 番地ロング ワードアクセス	1 回目 (0 番地)	データ 31~24	データ 23~16	アサート	アサート
	2 回目 (2 番地)	データ 15~8	データ 7~0	アサート	アサート

表 7.4 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス		ストローク信号	
		D15~8	D7~0	$\overline{WE1}$	$\overline{WE0}$
0番地バイトアクセス		-	データ7~0	-	アサート
1番地バイトアクセス		-	データ7~0	-	アサート
2番地バイトアクセス		-	データ7~0	-	アサート
3番地バイトアクセス		-	データ7~0	-	アサート
0番地ワード アクセス	1回目(0番地)	-	データ15~8	-	アサート
	2回目(1番地)	-	データ7~0	-	アサート
2番地ワード アクセス	1回目(2番地)	-	データ15~8	-	アサート
	2回目(3番地)	-	データ7~0	-	アサート
0番地ロング ワードアクセス	1回目(0番地)	-	データ31~24	-	アサート
	2回目(1番地)	-	データ23~16	-	アサート
	3回目(2番地)	-	データ15~8	-	アサート
	4回目(3番地)	-	データ7~0	-	アサート

表 7.5 16ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

オペレーション		データバス		ストローク信号	
		D15~8	D7~0	$\overline{WE1}$	$\overline{WE0}$
0番地バイトアクセス		-	データ7~0	-	アサート
1番地バイトアクセス		データ7~0	-	アサート	-
2番地バイトアクセス		-	データ7~0	-	アサート
3番地バイトアクセス		データ7~0	-	アサート	-
0番地ワードアクセス		データ15~8	データ7~0	アサート	アサート
2番地ワードアクセス		データ15~8	データ7~0	アサート	アサート
0番地ロング ワードアクセス	1回目(0番地)	データ15~8	データ7~0	アサート	アサート
	2回目(2番地)	データ31~24	データ23~16	アサート	アサート

7. バスステートコントローラ (BSC)

表 7.6 8 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス		ストローク信号	
		D15~8	D7~0	$\overline{WE1}$	$\overline{WE0}$
0 番地バイトアクセス		-	データ 7~0	-	アサート
1 番地バイトアクセス		-	データ 7~0	-	アサート
2 番地バイトアクセス		-	データ 7~0	-	アサート
3 番地バイトアクセス		-	データ 7~0	-	アサート
0 番地ワード アクセス	1 回目 (0 番地)	-	データ 7~0	-	アサート
	2 回目 (1 番地)	-	データ 15~8	-	アサート
2 番地ワード アクセス	1 回目 (2 番地)	-	データ 7~0	-	アサート
	2 回目 (3 番地)	-	データ 15~8	-	アサート
0 番地ロング ワードアクセス	1 回目 (0 番地)	-	データ 7~0	-	アサート
	2 回目 (1 番地)	-	データ 15~8	-	アサート
	3 回目 (2 番地)	-	データ 23~16	-	アサート
	4 回目 (3 番地)	-	データ 31~24	-	アサート

7.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもに SRAM の直結を考慮してストローク信号を出力します。図 7.3、図 7.4 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。

リード時は外部バスに対して、アクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、8 ビットデバイスでは 8 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には書き込みを行うバイトの $\overline{WE_n}$ 信号のみがアサートされます。

キャッシュフィル / コピーバックのための読み出し / 書き込みは設定したデータバス幅に従い、合計 16 バイトを連続して行います。バイトまたはワードオランダアクセス時および奇数ワード境界への分岐時のキャッシュミスに関しても、チップ外部インタフェース上は必ずロングワードアクセスでアクセスを行います。ライトスルー領域の書き込みおよびキャッシュ非対象領域の読み出し / 書き込みに関しては、実際のアクセスサイズに従ってアクセスを行います。

データバスにバッファを設ける場合には \overline{RD} 信号を用いてリードデータの出力制御を行う必要があります。

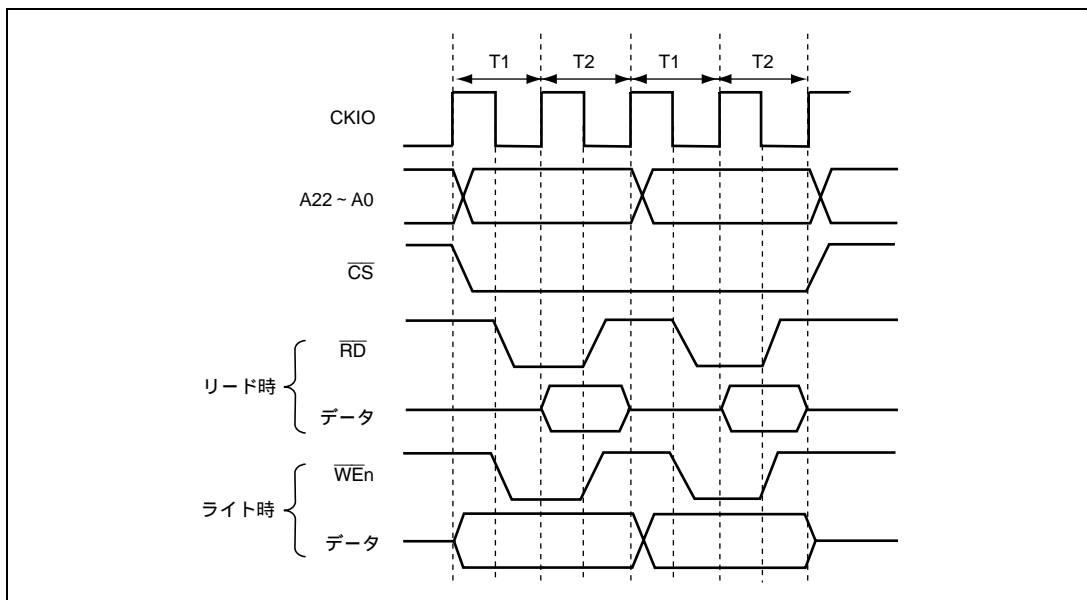


図 7.3 通常空間連続アクセス (ノーウェイト、WM ビット=1、バスサイジング時)

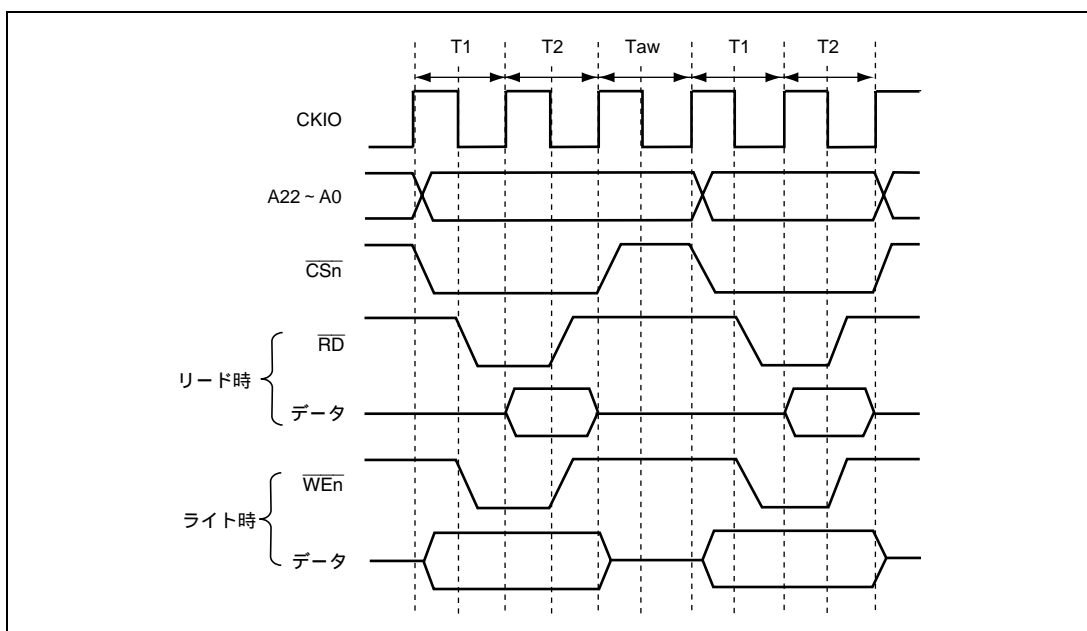


図 7.4 通常空間連続アクセス (ノーウェイト、アイドルサイクル1)

7. バスステートコントローラ (BSC)

図 7.5 に 16 ビットデータ幅の SRAM との接続例を示します。

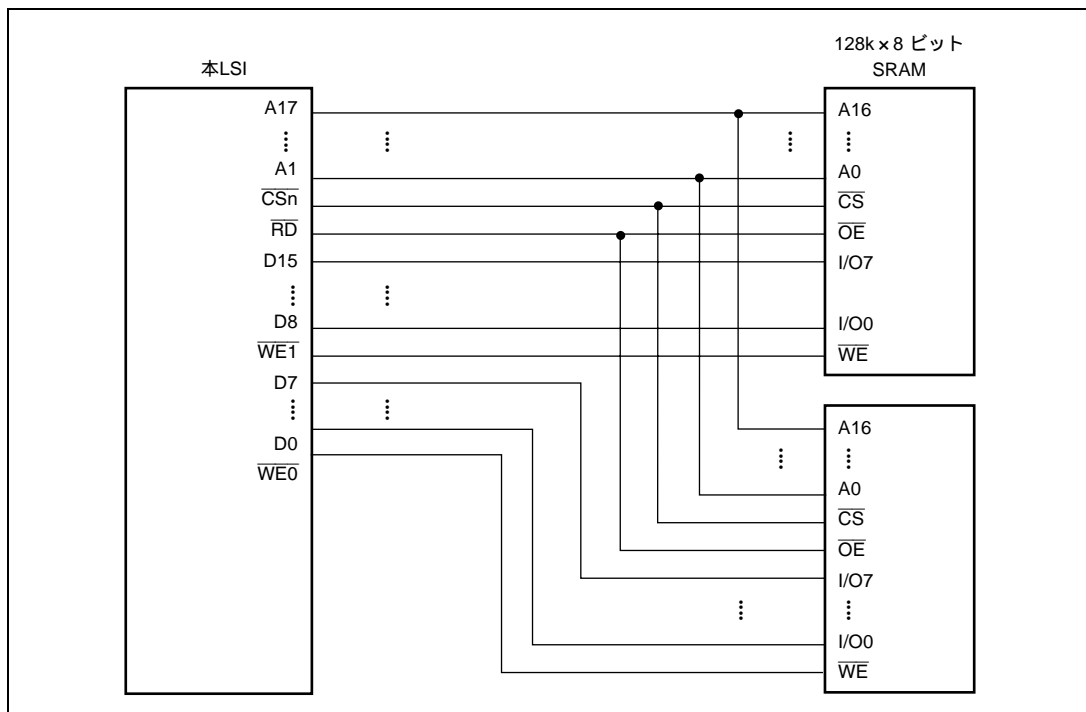


図 7.5 16 ビットデータ幅 SRAM 接続例

【注】 本 LSI のアドレス空間はバイト単位で割り当てられていますので、図 7.5 に示すようなワード単位のデータを扱う場合は、外部メモリのアドレスと本 LSI のアドレスのビット位置が 1 ずつずれた番号を接続することになりますので、注意してください。

7.5.3 アクセスウェイト制御

CSnWCR の WR3 ~ WR0 ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 4 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リード/ライトサイクルが共通となります。図 7.6 に示す通常空間のアクセスでは、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

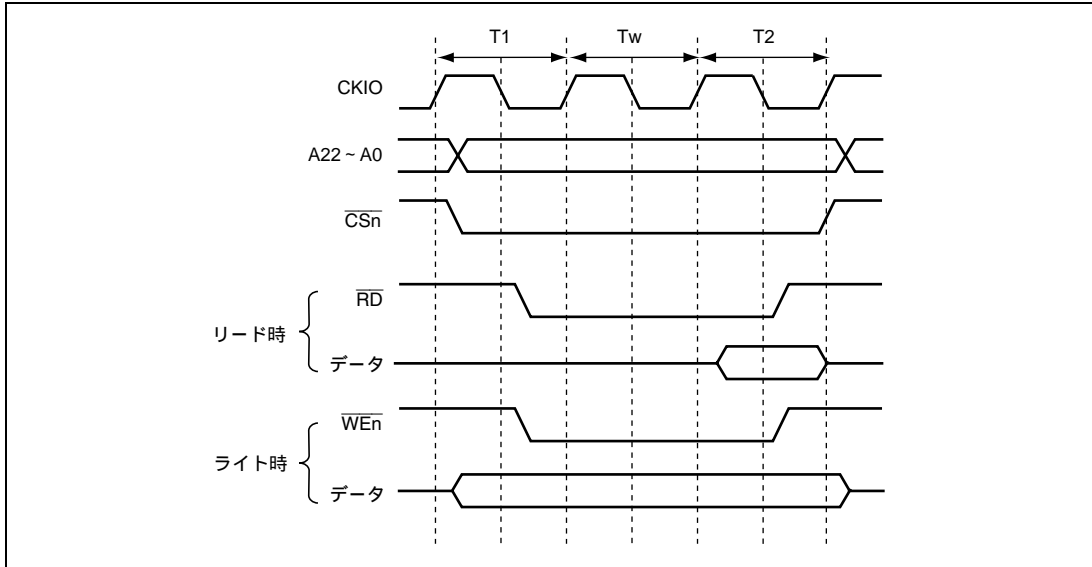


図 7.6 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

7. バスステートコントローラ (BSC)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 7.7 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または T_w サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

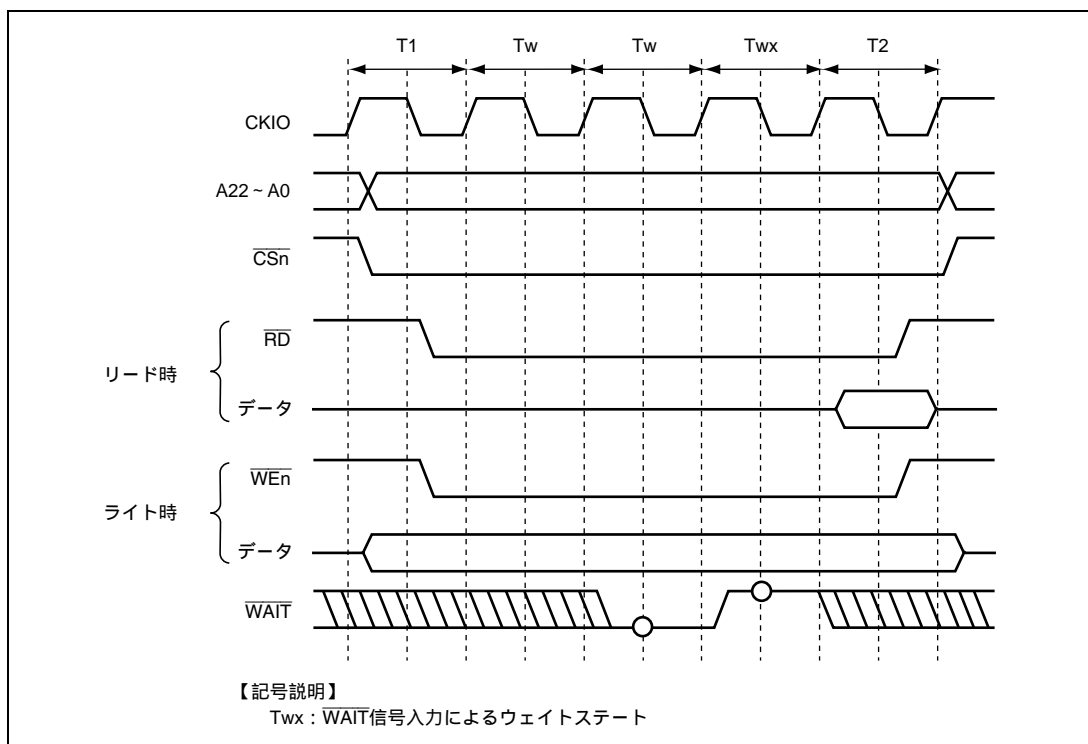
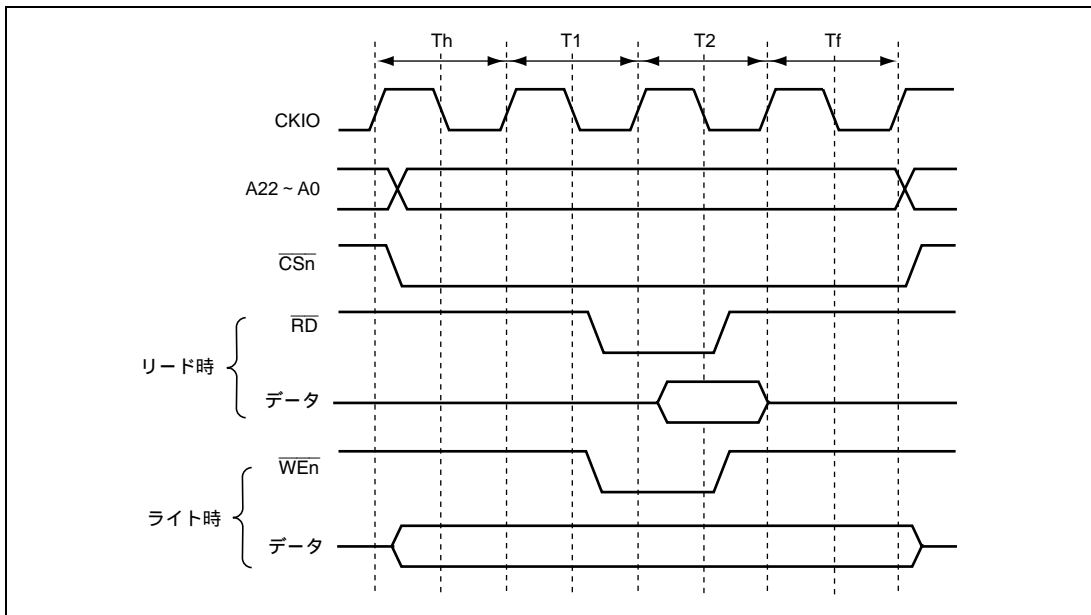


図 7.7 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

7.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW1、SW0 ビットの設定により、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} アサートまでのサイクル数を指定できます。また、HW1、HW0 ビットの設定により \overline{RD} 、 \overline{WEn} ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 7.8 に示します。Th および、Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} 、 \overline{WEn} 以外はアサートされますが、 \overline{RD} 、 \overline{WEn} はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

図 7.8 \overline{CSn} アサート期間拡張

7. バスステートコントローラ (BSC)

7.5.5 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのリードが完了した際のデータバッファのオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間のウェイトを挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間ウェイトのサイクル数は、CSnBCR の IWW[1:0]ビット、IWRWD[1:0]ビット、IWRWS[1:0]ビット、IWRRD[1:0]ビット、IWRRS[1:0]、および CMNCR の DMAIW[1:0]ビット、DMAIWA ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は、以下の条件のとき挿入が可能です。

- 連続するアクセスがライト - リード、ライト - ライトの場合
- 連続するアクセスが別空間でかつリード - ライトの場合
- 連続するアクセスが同一空間でかつリード - ライトの場合
- 連続するアクセスが別空間でかつリード - リードの場合
- 連続するアクセスが同一空間でかつリード - リードの場合

シングルアクセス、バスサイジング、16 バイト転送時において、WM ビット設定により、挿入されるアクセスサイクル間ウェイト数が異なる場合があります。また、実際の動作中では本ビットの指定以外の要因により、アイドルサイクルが挿入される場合があります。

7.5.6 バースト ROM インタフェース

バースト ROM インタフェースは、バーストモードあるいはページモード等と呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO 信号の立ち下がりになります。

最初のアクセスサイクルに関しては、CSnWCR の W3 ~ W0 ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW1、BW0 ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM アクセス時、外部ウェイト入力は最初のアクセスサイクルにのみ有効です。バースト ROM インタフェースでバースト動作を行わないシングルアクセス時は、通常空間と同じアクセスタイミングになります。図 7.9 にタイムチャートを示します。

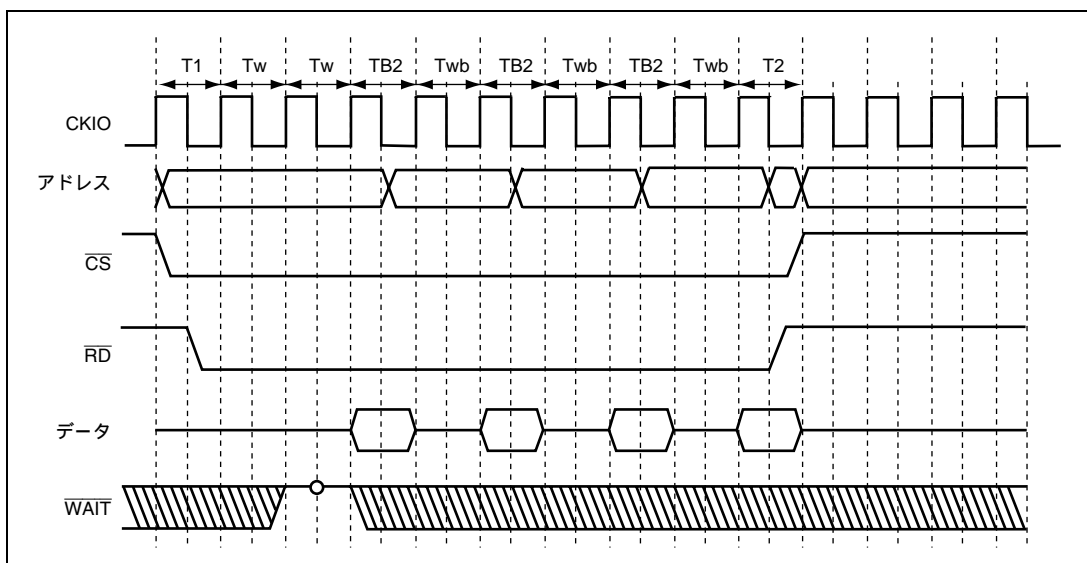


図 7.9 バースト ROM アクセス
(データバス幅 8 ビット 4 バイト転送 (バースト数 4)、初回アクセスウェイト 2、
2 回目以降アクセスウェイト 1)

7.6 使用上の注意事項

7.6.1 外部デバイスへのライトアクセス時の \overline{CSn} アサート期間拡張

外部アドレス空間 (CSn 空間) に接続した外部デバイスへ書き込みを行う際には、ウェイトコントロールレジスタ (CSnWCR) の設定値に関し、以下のような制約事項がありますので、注意してください。

バスクロック (B) が 20MHz 以上で、かつライトイネーブル端子 ($\overline{WE0}$ 、 $\overline{WE1}$) の立ち上がりで外部デバイスがデータを取り込む場合、外部デバイスに対する書き込みデータの保持時間が不足する可能性がありますので、CSnWCR レジスタの HW1、HW0 ビットで遅延サイクル数を 1.5 以上 (初期値は 0.5) に設定して CSn アサート期間を拡張し、保持時間を確保してください。外部デバイスがフラッシュメモリの場合も、バスクロック (B) が 20MHz 以上で書き込む場合には同様の注意が必要です。

7.6.2 リセット

BSC は、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしに関わらず直ちにすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行され、その後はアクセス待ちの状態になります。キャッシュおよびその他の LSI 内部バスマスタモジュールの 16 バイト転送を実行中の場合は、バスマスタがマニュアルリセットによってアクセス要求を取り消すため、ロングワード単位でアクセスが打ち切られます。このためキャッシュフィル時にマニュアルリセットを入れる場合は、キャッシュの内容は保証されなくなりますので注意してください。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、7 ビットのカウンタ (RWTCNT) を用意しています。パワーオンリセットによりこのカウンタは、0 クリアされます。パワーオンリセット解除後は CKIO 信号に同期してカウントアップされ、カウンタの値が H'007F になるまで外部アクセスを発生しません。マニュアルリセットでは、カウンタの値はクリアされません。

7.6.3 LSI 内部バスマスタからみたアクセス

本 LSI の内部は、キャッシュバス (Lバス)、内部バス (Iバス)、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリはキャッシュバスに、CPU を除く内部バスマスタおよび BSC は内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリと UBC、AUD 等のデバッグモジュールはキャッシュバスと内部バスの双方に接続されています。キャッシュバスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (DMAC 等) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのページをソフトウェアで行う必要があります。

CPU が読み出しアクセスを開始し、それがキャッシュ領域の場合はキャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取りこみアクセスは完了します。キャッシュ内にデータが無い場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ($4n+2$) への分岐時のミスヒットに関しても、本 LSI 外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュスルー領域に関しては、実際のアクセスアドレスに従ってアクセスを行います。アクセスが偶数ワード境界 ($4n$) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ($4n+2$) への命令フェッチの場合にはワードアクセスとなります。

非キャッシュ領域および内蔵周辺モジュールの読み出しサイクルの場合は、その判定後内部バスを介して読み出しサイクルが起動されます。読み出しデータは、キャッシュバスを経由して CPU に送られます。

書き込みサイクルがキャッシュ領域に対するものであった場合は、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータが無かった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを経由して実際の書き込みが行われます。該当アドレスのデータが無かった場合には、キャッシュの更新は行わずに内部バスを経由して実際の書き込みのみ行われます。

BSC には一段のライトバッファがあるため、ライトサイクルでは本 LSI 外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。本 LSI 外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完

7. バスステートコントローラ (BSC)

了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC 等の別のバスマスタからのアクセスでも同様に BSC のライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとディスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

7.6.4 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺クロック (P) で 2 サイクル以上かかります。システム設計の見積もり時には、ご注意ください。

8. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。DMAC で扱うアドレスは、物理アドレスです。

8.1 特長

- チャンネル数：6チャンネル
- 物理アドレス空間：アーキテクチャ上は4GB (上位3ビットはシャドウのため、実質的には512MB + P4領域の内蔵I/O)
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモードのみ
- 転送要求：
内蔵周辺モジュールリクエスト、オートリクエストの2種類から選択可能。
内蔵周辺モジュールリクエストを発行できるものは以下のモジュールです。
SCIF0、SCIF1、USBF
- バスモード：
サイクルスチールモード (通常モードとインターミットモード) とバーストモードから選択可能 (バーストモードはオートリクエストでのみ可能)。
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送終了時にCPUへ割り込み要求を発生可能

8. ダイレクトメモリアクセスコントローラ (DMAC)

DMACのブロック図を図8.1に示します。

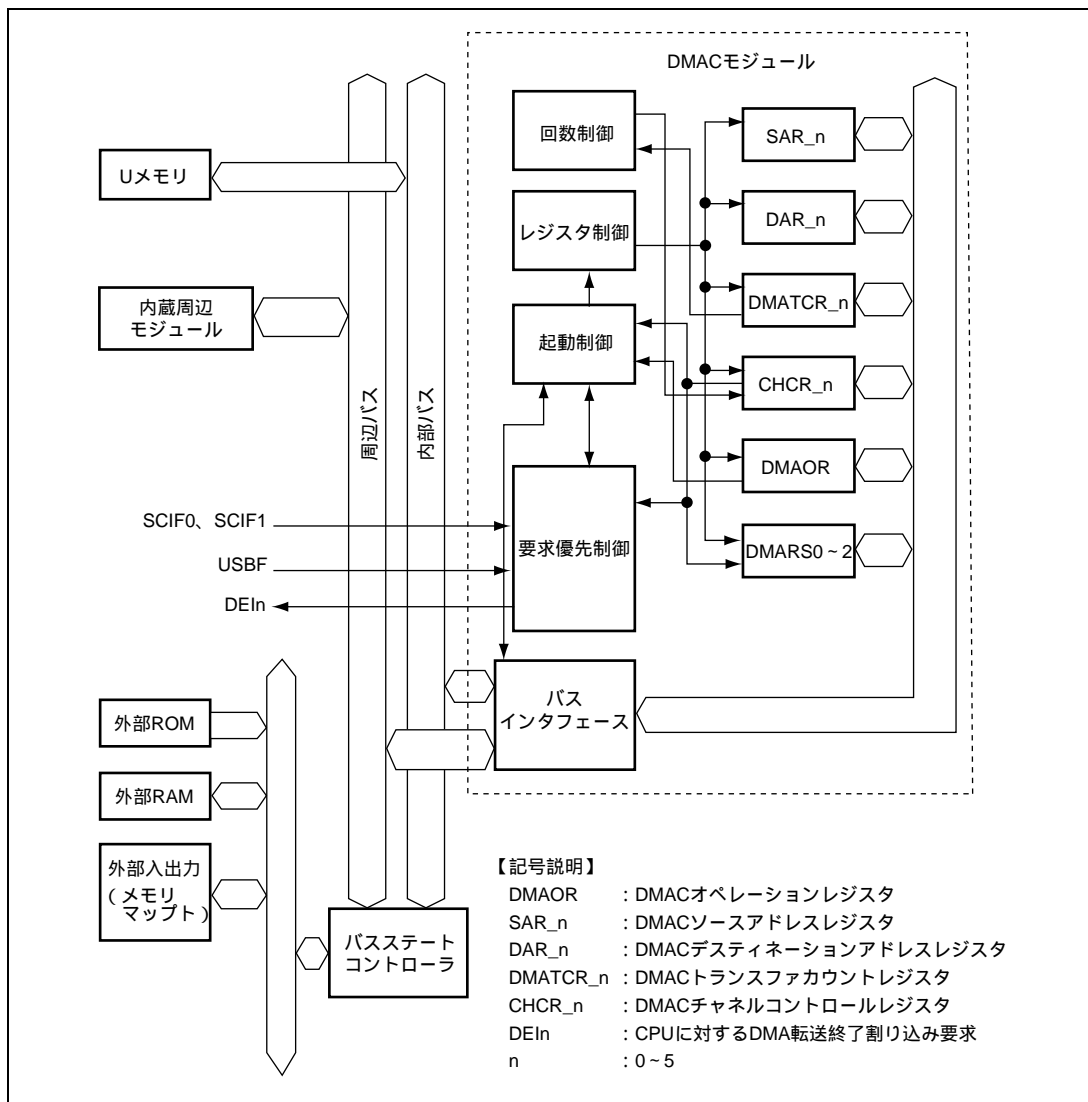


図 8.1 DMAC ブロック図

8.2 入出力端子

本 LSI には、DMAC 関係の外部端子はありません。

8.3 レジスタの説明

DMAC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。

(1) チャンネル 0

- DMAソースアドレスレジスタ_0 (SAR_0)
- DMAディスティネーションアドレスレジスタ_0 (DAR_0)
- DMAトランスファカウントレジスタ_0 (DMATCR_0)
- DMAチャンネルコントロールレジスタ_0 (CHCR_0)

(2) チャンネル 1

- DMAソースアドレスレジスタ_1 (SAR_1)
- DMAディスティネーションアドレスレジスタ_1 (DAR_1)
- DMAトランスファカウントレジスタ_1 (DMATCR_1)
- DMAチャンネルコントロールレジスタ_1 (CHCR_1)

(3) チャンネル 2

- DMAソースアドレスレジスタ_2 (SAR_2)
- DMAディスティネーションアドレスレジスタ_2 (DAR_2)
- DMAトランスファカウントレジスタ_2 (DMATCR_2)
- DMAチャンネルコントロールレジスタ_2 (CHCR_2)

(4) チャンネル 3

- DMAソースアドレスレジスタ_3 (SAR_3)
- DMAディスティネーションアドレスレジスタ_3 (DAR_3)
- DMAトランスファカウントレジスタ_3 (DMATCR_3)
- DMAチャンネルコントロールレジスタ_3 (CHCR_3)

8. ダイレクトメモリアクセスコントローラ (DMAC)

(5) チャンネル4

- DMAソースアドレスレジスタ_4 (SAR_4)
- DMAディスティネーションアドレスレジスタ_4 (DAR_4)
- DMAトランスファカウントレジスタ_4 (DMATCR_4)
- DMAチャンネルコントロールレジスタ_4 (CHCR_4)

(6) チャンネル5

- DMAソースアドレスレジスタ_5 (SAR_5)
- DMAディスティネーションアドレスレジスタ_5 (DAR_5)
- DMAトランスファカウントレジスタ_5 (DMATCR_5)
- DMAチャンネルコントロールレジスタ_5 (CHCR_5)

(7) 共通

- DMAオペレーションレジスタ (DMAOR)
- DMA拡張リソースセクタ0 (DMARS0)
- DMA拡張リソースセクタ1 (DMARS1)
- DMA拡張リソースセクタ2 (DMARS2)

8.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

8.3.2 DMA ディスティネーションアドレスレジスタ (DAR)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

16 ビット、32 ビット幅のデータ転送を行う場合は、それぞれ、16 ビット、32 ビット境界のアドレスを指定してください。16 バイト単位で転送を行う場合は、16 バイト境界に値を設定してください。

8.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

8.3.4 DMA チャネルコントロールレジスタ (CHCR)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
15 14	DM1 DM0	0 0	R/W R/W	ディスティネーションアドレスモード 1、0 DMA 転送先のアドレスの増減を指定します。 00: ディスティネーションアドレスは固定 (16 バイト単位転送時は設定禁止) 01: ディスティネーションアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト単位転送時は +16) 10: ディスティネーションアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト単位転送時は設定禁止) 11: 設定禁止
13 12	SM1 SM0	0 0	R/W R/W	ソースアドレスモード 1、0 DMA 転送元のアドレスの増減を指定します。 00: ソースアドレスは固定 (16 バイト単位転送時は設定禁止) 01: ソースアドレスは増加 (バイト単位転送時は +1、ワード単位転送時は +2、ロングワード単位転送時は +4、16 バイト転送時は +16) 10: ソースアドレスは減少 (バイト単位転送時は -1、ワード単位転送時は -2、ロングワード単位転送時は -4、16 バイト転送時は設定禁止) 11: 設定禁止

8. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明	
11	RS3	0	R/W	リソースセレクト 3~0 転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。 0000 : 要求元指定なし (初期値) 0001 : 設定禁止 0010 : 設定禁止 0011 : 設定禁止 0100 : オートリクエスト 0101 : 設定禁止 0110 : 設定禁止 0111 : 設定禁止 1000 : 周辺モジュールリクエスト (DMA 拡張リソースセクタで選択) 1001 : 設定禁止 1010 : 設定禁止 1011 : 設定禁止 1100 : 設定禁止 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止	
10	RS2	0	R/W		
9	RS1	0	R/W		
8	RS0	0	R/W		
7, 6	-	すべて 0	R		リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
5	TB	0	R/W		トランスファバスモード DMA 転送のバスモードを選択します。 0 : サイクルスチールモード 1 : バーストモード 【注】 バーストモードはリソースセレクト (RS3~0) ビットがオートリクエストに設定されているときのみ使用可能です。周辺モジュールリクエスト時にバーストモードには設定しないでください。周辺モジュールリクエスト時にバーストモードに設定した場合、動作は保証されません。
4	TS1	0	R/W		トランスファサイズ 1, 0 DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。 00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト単位転送 (ロングワード 4 回転送)
3	TS0	0	R/W		

8. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMA トランスファカウントレジスタ (DMATCR) の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 を読み出してから 0 を書き込む。 1 : (DMATCR = 0 により) DMA 転送終了</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 である必要があります。周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 である必要があります。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8. ダイレクトメモリアクセスコントローラ (DMAC)

8.3.5 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
13 12	CMS1 CMS0	0 0	R/W R/W	サイクルスチールモードセレクト 1、0 サイクルスチールモード時に通常モードとインターミットモードを選択します。 インターミットモードを有効にするためには、全チャネルのバスモードがサイクルスチールモードである必要があります。 00: 通常モード 01: 設定禁止 10: インターミットモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行 11: インターミットモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
9 8	PR1 PR0	0 0	R/W R/W	プライオリティーモード 1、0 同時に複数のチャネルに転送要求があった場合に、実行するチャネルの優先順位を決定するビットです。 00: CH0 > CH1 > CH2 > CH3 > CH4 > CH5 01: CH0 > CH2 > CH3 > CH1 > CH4 > CH5 10: 設定禁止 11: ラウンドロビンモード
7-3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
2	AE	0	R/(W)*	アドレスエラーフラグ DMAC によるアドレスエラーが発生したことを示すフラグです。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0: DMAC によるアドレスエラーなし [クリア条件] AE ビットの 1 を読み出してから 0 を書き込む 1: DMAC によるアドレスエラー発生

8. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の 1 転送単位までは行われます。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし</p> <p>[クリア条件]</p> <p>NMIF ビットの 1 を読み出してから 0 を書き込む</p> <p>1 : NMI 割り込み発生</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアするとすべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止</p> <p>1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8. ダイレクトメモリアクセスコントローラ (DMAC)

8.3.6 DMA 拡張リソースセレクタ 0~2 (DMARS0~2)

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF0、SCIF1、USBF の転送要求を設定できます。

表 8.1 以外の MID / RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0 ~ CHCR_5 レジスタのリソースセレクトビット (RS3 ~ RS0) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受けられません。

• DMARS0 の設定

ビット	ビット名	初期値	R/W	説明
15	C1MID5	0	R/W	DMA チャンネル 1 転送要求元モジュール ID5~0 (MID) 表 8.1 参照
14	C1MID4	0	R/W	
13	C1MID3	0	R/W	
12	C1MID2	0	R/W	
11	C1MID1	0	R/W	
10	C1MID0	0	R/W	
9	C1RID1	0	R/W	DMA チャンネル 1 転送要求元レジスタ ID1~0 (RID) 表 8.1 参照
8	C1RID0	0	R/W	
7	C0MID5	0	R/W	DMA チャンネル 0 転送要求元モジュール ID5~0 (MID) 表 8.1 参照
6	C0MID4	0	R/W	
5	C0MID3	0	R/W	
4	C0MID2	0	R/W	
3	C0MID1	0	R/W	
2	C0MID0	0	R/W	
1	C0RID1	0	R/W	DMA チャンネル 0 転送要求元レジスタ ID1~0 (RID) 表 8.1 参照
0	C0RID0	0	R/W	

8. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS1 の設定

ビット	ビット名	初期値	R/W	説明
15	C3MID5	0	R/W	DMA チャンネル 3 転送要求元モジュール ID5 ~ 0 (MID) 表 8.1 参照
14	C3MID4	0	R/W	
13	C3MID3	0	R/W	
12	C3MID2	0	R/W	
11	C3MID1	0	R/W	
10	C3MID0	0	R/W	
9	C3RID1	0	R/W	DMA チャンネル 3 転送要求元レジスタ ID1 ~ 0 (RID) 表 8.1 参照
8	C3RID0	0	R/W	
7	C2MID5	0	R/W	DMA チャンネル 2 転送要求元モジュール ID5 ~ 0 (MID) 表 8.1 参照
6	C2MID4	0	R/W	
5	C2MID3	0	R/W	
4	C2MID2	0	R/W	
3	C2MID1	0	R/W	
2	C2MID0	0	R/W	
1	C2RID1	0	R/W	DMA チャンネル 2 転送要求元レジスタ ID1 ~ 0 (RID) 表 8.1 参照
0	C2RID0	0	R/W	

• DMARS2 の設定

ビット	ビット名	初期値	R/W	説明
15	C5MID5	0	R/W	DMA チャンネル 5 転送要求元モジュール ID5 ~ 0 (MID) 表 8.1 参照
14	C5MID4	0	R/W	
13	C5MID3	0	R/W	
12	C5MID2	0	R/W	
11	C5MID1	0	R/W	
10	C5MID0	0	R/W	
9	C5RID1	0	R/W	DMA チャンネル 5 転送要求元レジスタ ID1 ~ 0 (RID) 表 8.1 参照
8	C5RID0	0	R/W	
7	C4MID5	0	R/W	DMA チャンネル 4 転送要求元モジュール ID5 ~ 0 (MID) 表 8.1 参照
6	C4MID4	0	R/W	
5	C4MID3	0	R/W	
4	C4MID2	0	R/W	
3	C4MID1	0	R/W	
2	C4MID0	0	R/W	
1	C4RID1	0	R/W	DMA チャンネル 4 転送要求元レジスタ ID1 ~ 0 (RID) 表 8.1 参照
0	C4RID0	0	R/W	

8. ダイレクトメモリアクセスコントローラ (DMAC)

表 8.1 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MID+RID)	MID	RID	機能
SCIF0	H'21	B'001000	B'01	送信
	H'22		B'10	受信
SCIF1	H'29	B'001010	B'01	送信
	H'2A		B'10	受信
USBF	H'73	B'011100	B'11	送受信 0
	H'70		B'00	送受信 1

8.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類のモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

8.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 ビットの設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。
4. DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

図 8.2 に上記のフローチャートを示します。

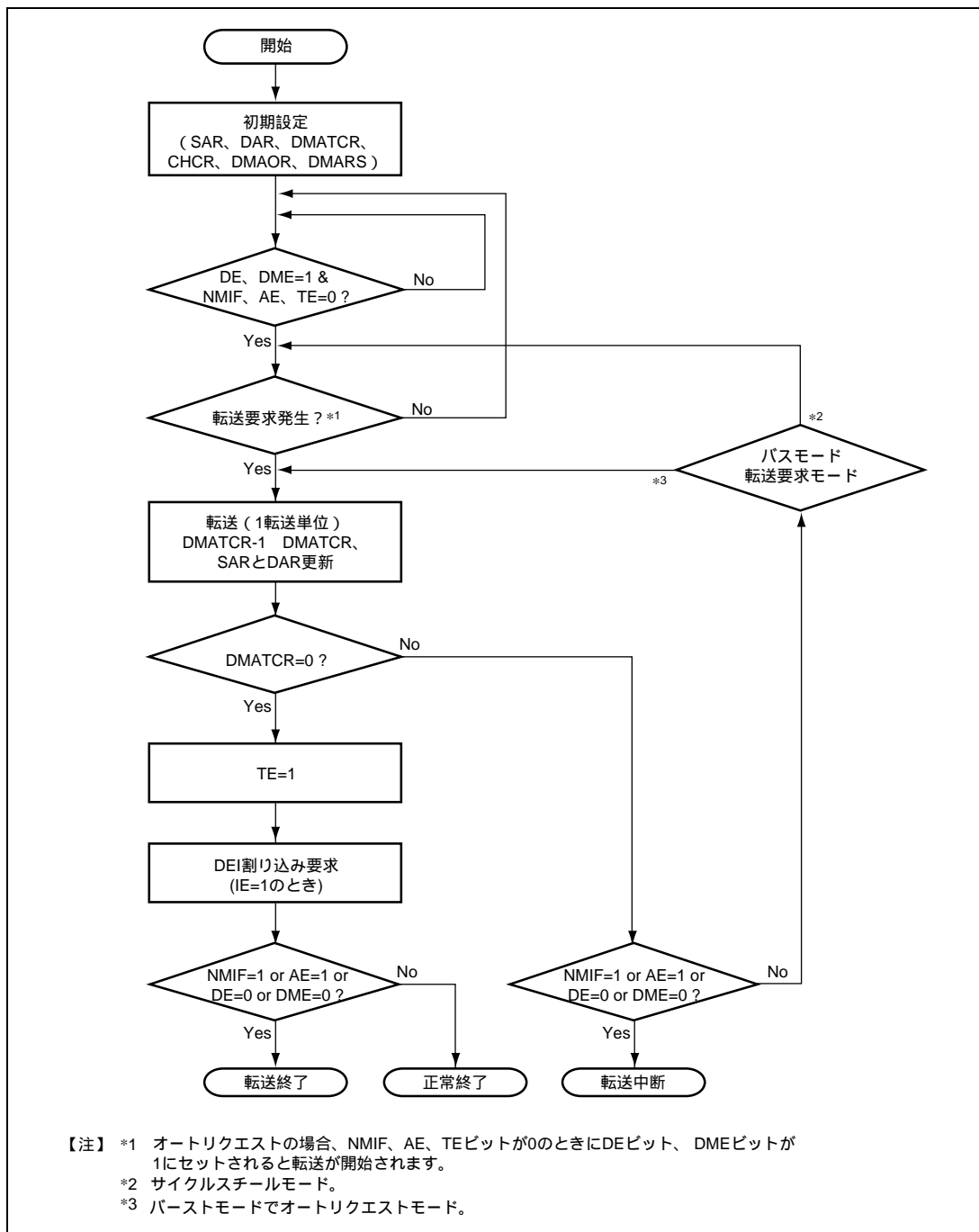


図 8.2 DMAC 転送フローチャート

8. ダイレクトメモリアクセスコントローラ (DMAC)

8.4.2 DMA 転送要求

転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの2種類があります。転送要求の選択はDMAチャンネルごとにCHCRのRS3~RS0ビットおよびDMARS0、DMARS1、DMARS2レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC内部で自動的に転送要求信号を発生するモードです。DMAチャンネルごとにCHCRのDEビットおよびDMAORのDMEビットを1にセットすると転送が開始されます。ただしCHCRのTEビット、DMAORのAEビット、NMIFビットがすべて0である必要があります。オートリクエストモードでは、バーストモードかサイクルスチールモードの選択が可能です。

(2) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからのDMA転送要求信号によって転送が実行されます。DMA転送要求信号は、DMARS0、DMARS1、DMARS2にて設定するSCIF0、SCIF1からの送信データエンプティ転送要求と受信データフル転送要求、USBFからの転送要求があります。内蔵周辺モジュールリクエストモードでは、バスモードはサイクルスチールモードのみ可能です。

内蔵周辺モジュールリクエストモード選択時に、DMA転送許可状態(DE=1、DME=1、TE=0、AE=0、NMIF=0)であると、転送要求信号によって転送が実行されます。

転送要求をSCIFの送信データエンプティ転送要求に設定した場合、転送先を当該SCIFのトランスミットデータレジスタとする必要があります。同様に転送要求をSCIFの受信データフル転送要求に設定した場合、転送元を当該SCIFのレシーブデータレジスタとする必要があります。これらはUSBFも同様です。

表 8.2 RS3~RS0ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード*1
	MID	RID					
1000	001000	01	SCIF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR_0	サイクル スチール
		10	SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR_0	任意	サイクル スチール
	001010	01	SCIF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR_1	サイクル スチール
		10	SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR_1	任意	サイクル スチール

8. ダイレクトメモリアクセスコントローラ (DMAC)

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード ^{**1}
	MID	RID					
1000	011100	11	USBF 送信部 0	送信データエンプティ要求 0	任意	EPDR 2i、5	サイクル スチール
			USBF 受信部 0	受信データフル要求 0	EPDR 2o、6	任意	サイクル スチール
		00	USBF 送信部 1	送信データエンプティ要求 1	任意	EPDR 2i、5	サイクル スチール
			USBF 受信部 1	受信データフル要求 1	EPDR 2o、6	任意	サイクル スチール

【注】 内蔵周辺モジュールリクエストでは、バスモードはサイクルスチールのみ使用可能です。

8.4.3 チャネルの優先順位

DMAC は、同時に複数のチャネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャネルの優先順位は固定、ラウンドロビンの 2 種類のモードから選択できます。モードの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モードではチャネルの優先順位は変化しません。

固定モードには以下に示す 2 種類があります。

- CH0 > CH1 > CH2 > CH3 > CH4 > CH5
- CH0 > CH2 > CH3 > CH1 > CH4 > CH5

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャネルで、1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 8.3 に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5 です。

ラウンドロビンモードを指定した場合、複数のチャネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

8. ダイレクトメモリアクセスコントローラ (DMAC)

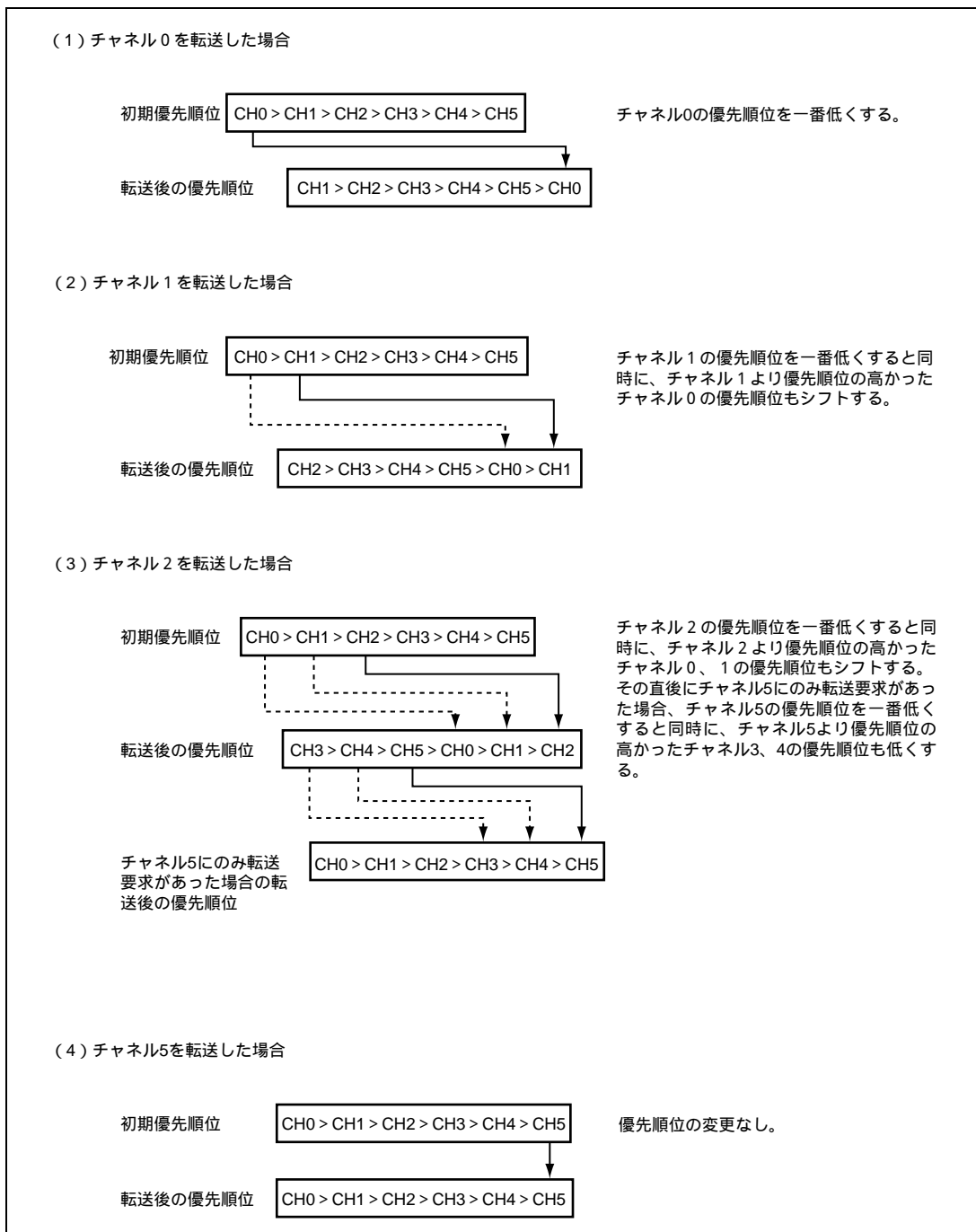


図 8.3 ラウンドロビンモード

8. ダイレクトメモリアクセスコントローラ (DMAC)

図 8.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いので、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いので、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

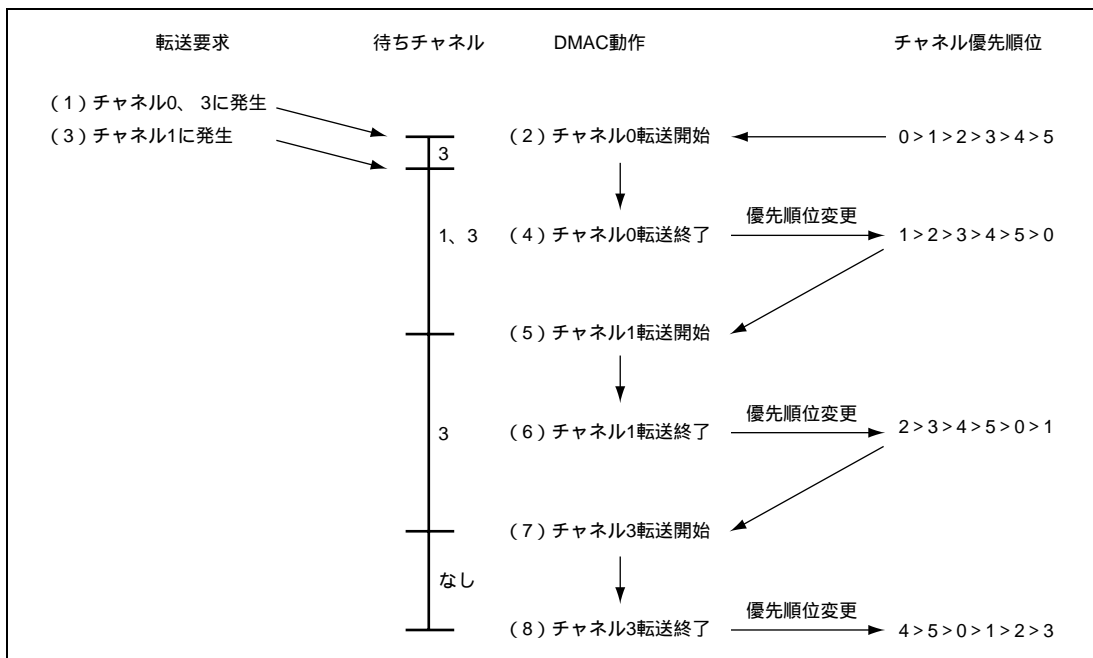


図 8.4 ラウンドロビンモードでのチャンネル優先順位

8. ダイレクトメモリアクセスコントローラ (DMAC)

8.4.4 DMA 転送の種類

DMA 転送のアドレスモードは、デュアルアドレスモード転送のみ可能です。具体的な転送動作タイミングは、バスモードによって違います。バスモードは、サイクルスチールモードとバーストモードがあります。表 8.3 に DMAC がサポートできる転送を示します。

表 8.3 サポートできる DMA 転送

転送元	転送先			
	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	Uメモリ
外部メモリ	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル	デュアル	デュアル	デュアル
内蔵周辺モジュール	デュアル	デュアル	デュアル	デュアル
Uメモリ	デュアル	デュアル	デュアル	デュアル

- 【注】 1. デュアル：デュアルアドレスモード
2. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

本 LSI の DMAC がサポートしているアドレスモードは、デュアルアドレスモードのみです。デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスするモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2 つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。たとえば、図 8.5 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

8. ダイレクトメモリアクセスコントローラ (DMAC)

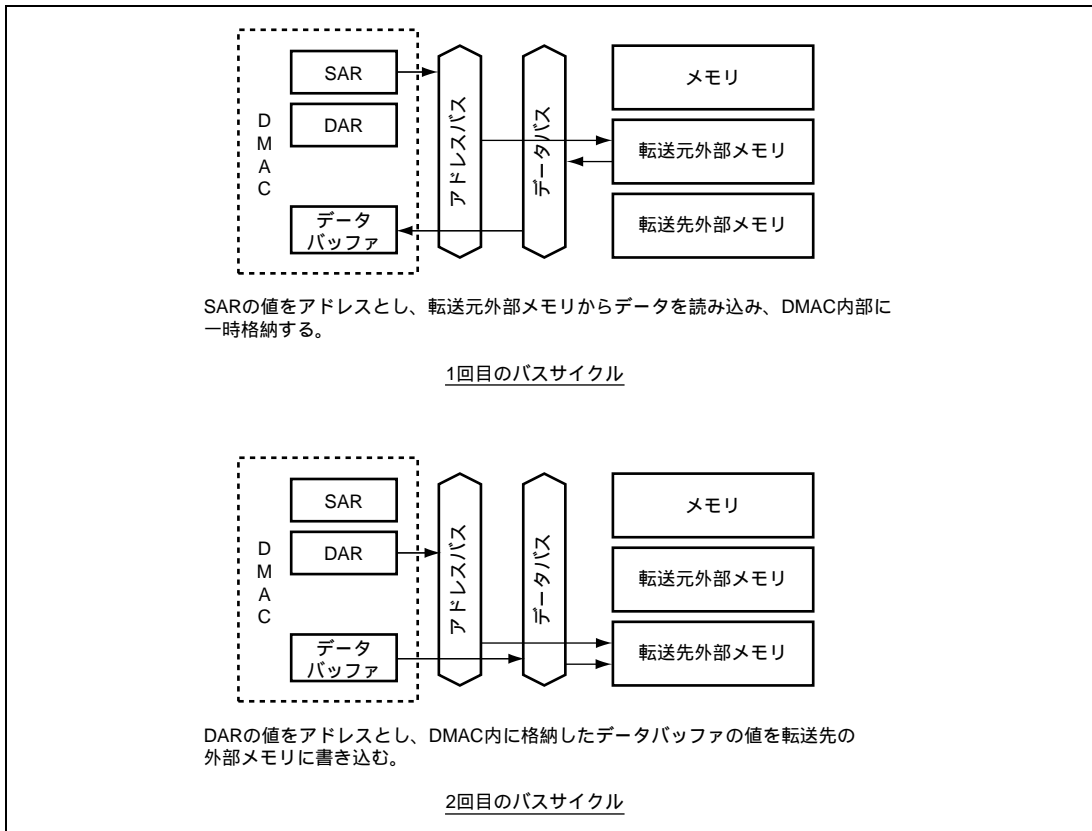


図 8.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。

8. ダイレクトメモリアクセスコントローラ (DMAC)

図 8.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

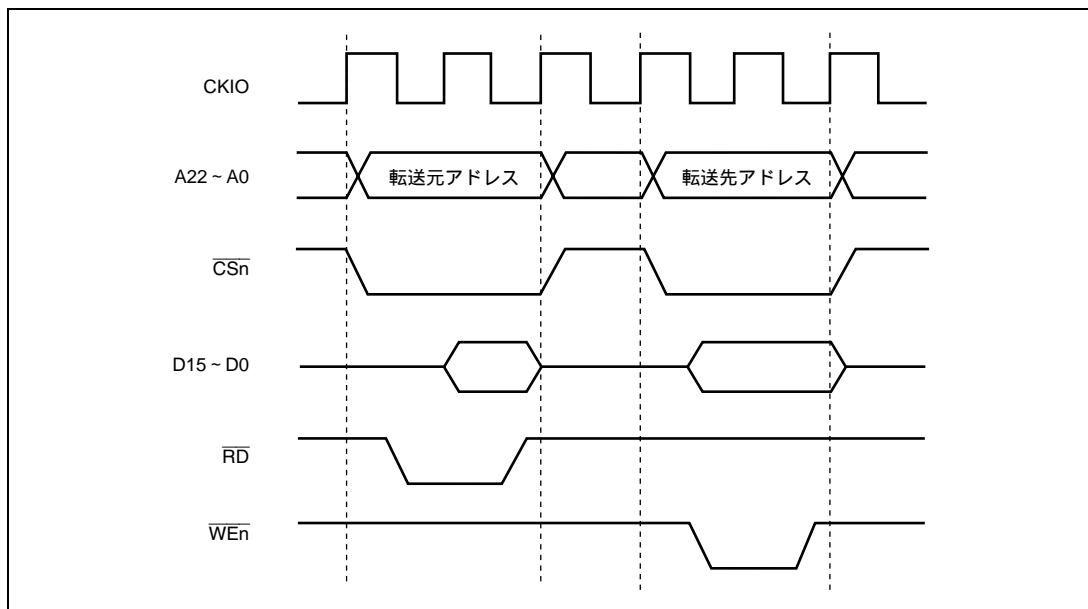


図 8.6 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントローラレジスタ (CHCR) の TB ビットによって行います。

(a) サイクルスチールモード

• 通常モード

サイクルスチールの通常モードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図 8.7 にサイクルスチール通常モードでの DMA 転送タイミング例を示します。

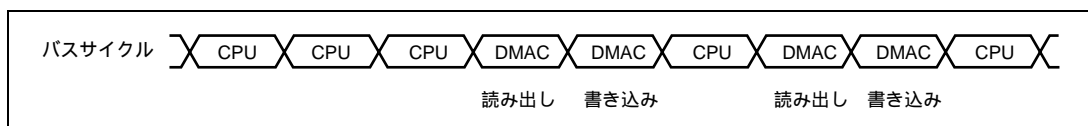


図 8.7 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス)

8. ダイレクトメモリアクセスコントローラ (DMAC)

• インターミットモード 16、インターミットモード 64

サイクルスチールのインターミットモードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B カウントで 16 クロックまたは 64 クロック待った後に、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため DMA 転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMAC が再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときには、DMA 転送がさらに待たされる場合があります。

インターミットモードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図 8.8 にサイクルスチールインターミットモードでの DMA 転送タイミング例を示します。

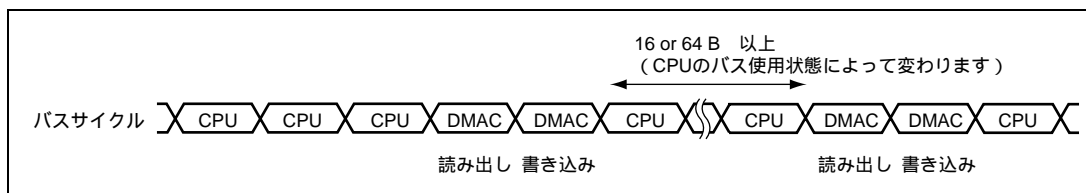


図 8.8 サイクルスチールインターミットモードの DMA 転送例 (デュアルアドレス)

(b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合には使用できません。

図 8.9 にバーストモードでの DMA 転送タイミングを示します。

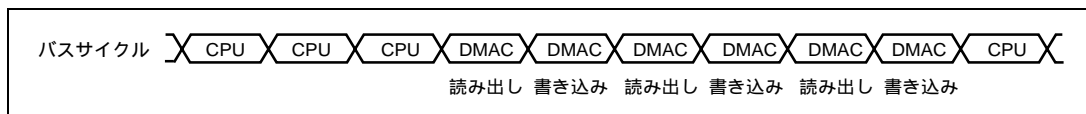


図 8.9 バーストモードでの DMA 転送例 (デュアルアドレス)

8. ダイレクトメモリアクセスコントローラ (DMAC)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 8.4 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 8.4 DMA 転送区間とリクエストモード、バスモードとの関連一覧

転送区間	リクエストモード	バスモード	転送サイズ (ビット)
外部メモリと外部メモリ	オートリクエストのみ	B/C	8/16/32/128
外部メモリとメモリマップト外部デバイス	オートリクエストのみ	B/C	8/16/32/128
メモリマップト外部デバイスとメモリマップト外部デバイス	オートリクエストのみ	B/C	8/16/32/128
外部メモリと内蔵周辺モジュール	すべて可 ^{*1}	C	8/16/32/128 ^{*2}
メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*1}	C	8/16/32/128 ^{*2}
内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*1}	C	8/16/32/128 ^{*2}
UメモリとUメモリ	オートリクエストのみ	B/C	8/16/32/128
Uメモリとメモリマップト外部デバイス	オートリクエストのみ	B/C	8/16/32/128
Uメモリと内蔵周辺モジュール	すべて可 ^{*1}	C	8/16/32/128 ^{*2}
Uメモリと外部メモリ	オートリクエストのみ	B/C	8/16/32/128

【記号説明】

B: バースト

C: サイクルスチール

【注】 *1 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合、転送元または転送先がそれぞれの要求元レジスタである必要があります。

*2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0 > CH1) において、チャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 が転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を開放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0 チャンネル 1 チャンネル 0 チャンネル 1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後の CPU サイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図 8.10 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに開放しません。

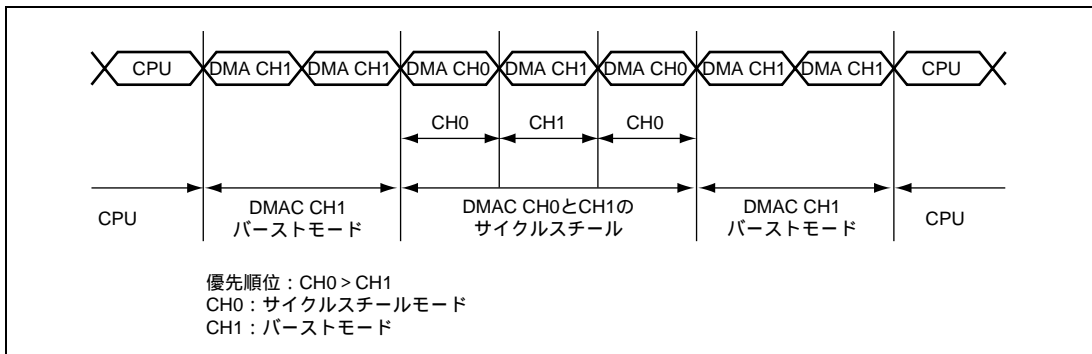


図 8.10 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 8.3 に示した仕様で優先順位が変化します。ただしバスモードがサイクルスチールのチャンネルとバーストモードのチャンネルを混在することはできません。

8.4.5 バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 7 章 バスステートコントローラ (BSC)」を参照してください。

8.5 使用上の注意事項

(1) チャンネルコントロールレジスタ (CHCR_n) の書き換え

DMAC 各チャンネルのチャンネルコントロールレジスタ (CHCR_n) を書き換えるときは、まず当該チャンネルの DE ビットを 0 クリアしてから書き換えてください。

(2) 低消費電力モードへの移行

DMA 転送動作中にソフトウェアスタンバイモードに入ったり、DMAC のモジュールスタンバイビットをセットしてモジュールスタンバイ状態にしないでください。ソフトウェアスタンバイモードに移行するときや、モジュールスタンバイ状態にするときは、すべてのチャンネルの DE ビットを 0 クリアした後に移行してください。

(3) スリープモードでの DMAC 動作

データの転送元あるいは転送先を U メモリとする場合、DMA 動作は通常動作状態で行ってください。スリープモード時、DMAC 本体は動作可能ですが、U メモリは動作停止状態ですので、DMAC からのアクセスはできません。

(4) 転送要求元が内蔵周辺モジュールの場合

転送要求元が内蔵周辺モジュールの場合、バーストモードは使用できませんのでご注意ください。

9. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器 (CPG) を内蔵しており、内部クロック (I)、周辺クロック (P)、およびバスクロック (B) を生成します。CPG は、PLL 回路、分周回路で構成されます。

9.1 特長

- 1種類のクロックモード

本 LSI では、PLL オン状態の 1 種類のクロックモードのみのサポートとなります。

- 3種類のクロックを生成

CPU、キャッシュで使用する内部クロック (I) と、周辺モジュールで使用する周辺クロック (P)、さらに外部バスインターフェイスで使用するバスクロック (B = CKIO) を独立に生成できます。

- 周波数変更機能

CPG 内部の PLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

9. クロックパルス発振器 (CPG)

CPGのブロック図を図9.1に示します。

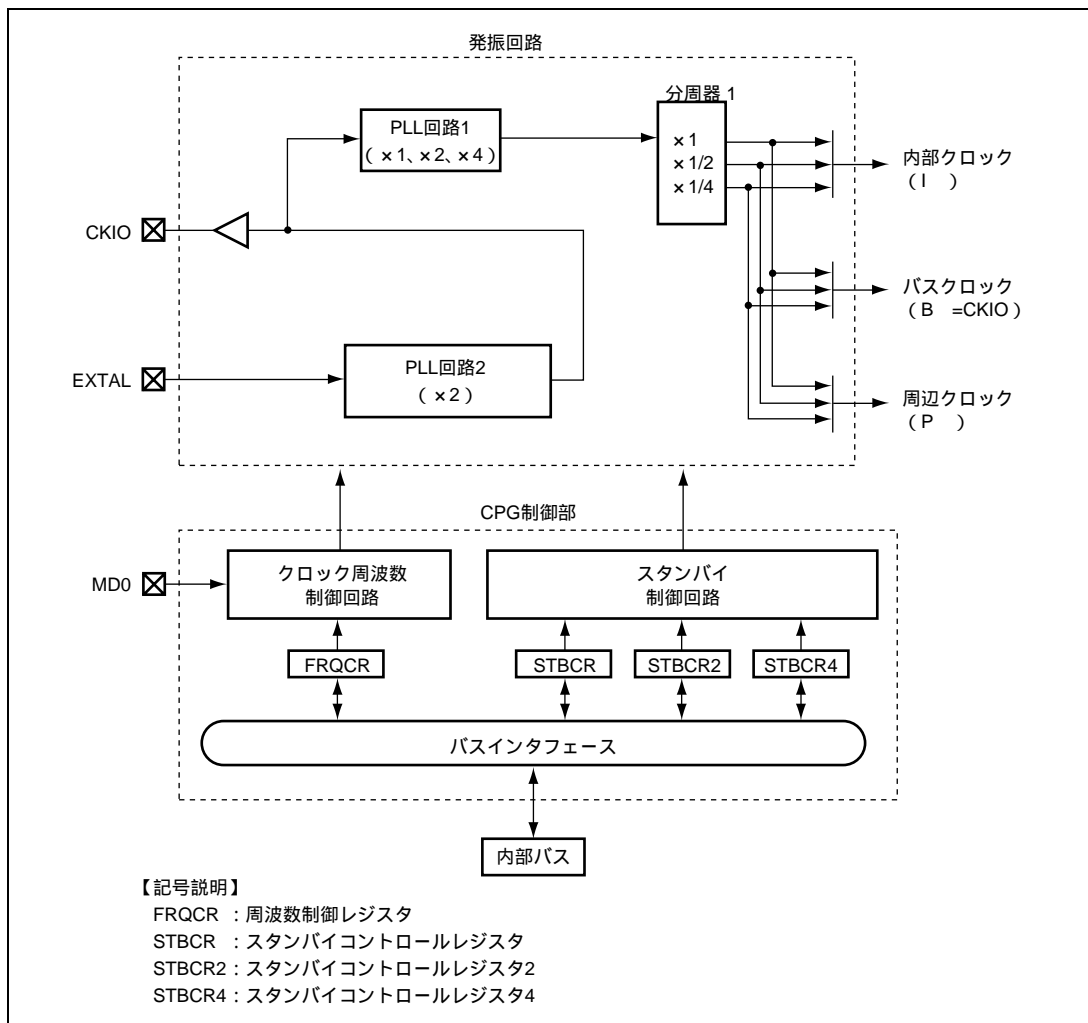


図 9.1 CPG のブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、PLL 回路 2 からのクロック周波数を 1 倍、2 倍または 4 倍に逡倍する機能を持ちます。逡倍率は周波数制御レジスタ (FRQCR) で設定します。このとき、内部クロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、EXTAL 端子からの入力クロック周波数を 2 倍に逡倍する機能を持ちます。

(3) 分周器 1

分周器 1 は、内部クロック、バスクロックおよび周辺クロックで使用する動作周波数のクロックを生成する機能を持ちます。動作周波数は、PLL 回路 1 の出力周波数に対して、CKIO 端子のクロック周波数より低くならない範囲で分周します。分周率は、周波数制御レジスタ (FRQCR) で設定します*。

【注】 * 内部クロックと周辺クロックは、周波数制御レジスタ (FRQCR) でおのこの独立に選択が可能になっていますが、本 LSI では内部クロックは初期状態の 1 倍と 1/2 倍から選択が可能、周辺クロックは 1/2 倍と 1/4 倍から選択が可能です。また、選択可能な設定の組み合わせでも、おのこの動作周波数の上限値を超える設定をした場合の動作は保証されません。バスクロックは CKIO 端子のクロック周波数と同一である必要があるため、分周率は PLL 回路 1 の逡倍率から自動的に設定されます。

(4) クロック周波数制御回路

クロック周波数制御回路は、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。なお、MD0 端子は本 LSI ではハイに固定してください。

(5) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやソフトウェアスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

(6) 周波数制御レジスタ

周波数制御レジスタ (FRQCR) には、スタンバイ時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数逡倍率、内部クロック、周辺クロックの周波数分周率の各制御ビットが割り当てられています。

(7) スタンバイコントロールレジスタ

スタンバイコントロールレジスタ (STBCR、STBCR2、STBCR4) には、低消費電力モードの各制御ビットが割り当てられています。STBCRn については、「第 11 章 低消費電力モード」を参照してください。

9. クロックパルス発振器 (CPG)

9.2 入出力端子

CPG の端子構成と機能を表 9.1 に示します。

表 9.1 発振回路の端子構成と機能

名称	略称	入出力	機能
モード制御端子	MD0	入力	常時ハイに固定してください。
クロック入力端子	EXTAL	入力	外部クロック入力端子として使用します。
クロック出力端子	CKIO	出力	リファレンスクロック出力端子です*。

【注】 * CKIO 端子はリファレンス端子です。したがって、他のデバイスへの接続は行わないでください。

9.3 クロック動作モード

モード制御端子 (MD0) とクロック動作モードの関係を表 9.2 に示します。また、クロック動作モードの使用可能周波数範囲と入力クロックの周波数範囲を表 9.3 に示します。

表 9.2 クロック動作モード

No	モード制御端子	クロック入出力		PLL 回路 2	PLL 回路 1	CKIO の周波数
	MD0	供給源	出力			
5	1	EXTAL	CKIO	ON (× 2)	ON (× 1, × 2, × 4)	EXTAL × 2

• モード 5

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で 2 逓倍して本 LSI に供給します。

- 【注】
- 内部クロック周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数逓倍率と分周器 1 の分周率を掛けた周波数になります。内部クロック周波数は CKIO 端子の周波数より低く設定しないでください。
 - 周辺クロックの周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数逓倍率と分周器 1 の分周率を掛けた周波数になります。周辺クロック周波数は 26 MHz 以下に設定してください。また、周波数は CKIO 端子の周波数より高く設定しないでください。
 - PLL 回路 1 の逓倍率には、× 1、× 2、× 4 が選択できます。分周器 1 の分周率には、× 1、× 1/2、× 1/4 が選択できます。これらは、それぞれ周波数制御レジスタ (FRQCR) で設定します。
 - PLL 回路 1 の出力周波数は、CKIO 端子の周波数に PLL 回路 1 の逓倍率を掛けた周波数になります。この周波数は 52MHz 以下で使用してください。
 - バスクロックの周波数は、常に CKIO 端子の周波数と等しくなるように自動的に設定されます。
 - スリープモードに移行する場合、バスクロック (B) と周辺クロック (P) の周波数比率は $B : P = 1 : 1$ (B と P のクロック比率を同一周波数にする) にしておいてください。それ以外の比率のまま、スリープ命令を実行した場合、正常な動作の保証ができません。
 - 本 LSI の USB ファンクションコントローラ (USBF) を使用する際は、周辺クロックの周波数が 12MHz より大きい周波数となるように設定してください。周辺クロックの周波数が 12MHz 以下では正常に動作しません。

表 9.3 クロックモードと FRQCR 値の可能な組み合わせ

モード	FRQCR レジスタ値	PLL 回路 1	PLL 回路 2	クロック比* ¹ (I:B:P)	入力クロック 周波数範囲	CKIO 端子 周波数範囲
5	H'1003* ²	ON (× 1)	ON (× 2)	2 : 2 : 1/2* ³	8MHz ~ 13MHz	16MHz ~ 26MHz
	H'1001	ON (× 1)	ON (× 2)	2 : 2 : 1* ³	8MHz ~ 13MHz	16MHz ~ 26MHz
	H'1113	ON (× 2)	ON (× 2)	2 : 2 : 1* ³	8MHz ~ 13MHz	16MHz ~ 26MHz
	H'1111	ON (× 2)	ON (× 2)	2 : 2 : 2	8MHz ~ 13MHz	16MHz ~ 26MHz
	H'1103	ON (× 2)	ON (× 2)	4 : 2 : 1* ³	8MHz ~ 13MHz	16MHz ~ 26MHz
	H'1101	ON (× 2)	ON (× 2)	4 : 2 : 2	8MHz ~ 13MHz	16MHz ~ 26MHz
	H'1313	ON (× 4)	ON (× 2)	4 : 2 : 2	8MHz ~ 13MHz	16MHz ~ 26MHz

【注】 *1 入力クロックを 1 としたときの比率です。

*2 リセット直後の初期設定値です。

*3 この設定のままではスリープモードに移行することができません。スリープモードに移行する場合には、バスクロック (B) と周辺クロック (P) の周波数比率が B : P = 1 : 1 (B と P のクロック比率を同一周波数にする) になるように設定を変更してください。

9.4 レジスタの説明

CPG には以下のレジスタがあります*。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

- 周波数制御レジスタ (FRQCR)
- スタンバイコントロールレジスタ (STBCR、STBCR2、STBCR4)*

【注】 * STBCR、STBCR2、STBCR4 の説明は、「第 11 章 低消費電力モード」を参照してください。

9.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、スタンバイ時の CKIO 端子からクロック出力の有無、PLL 回路 1 の周波数通倍率、内部クロック、および周辺クロックの周波数分周率の指定ができます。FRQCR はワードアクセスのみ可能です。

このレジスタは、 $\overline{\text{RESETP}}$ 端子からのリセット時に初期化されます。その他のリセットおよびスタンバイモード時には、前の値を保持しています。

9. クロックパルス発振器 (CPG)

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
12	CKOEN	1	R/W	クロック出力イネーブル CKOENは、BSCモジュールのCMNCRのHIZCNTビットが1に設定されているとき、ソフトウェアスタンバイ解除時にCKIO端子から、クロックを出力するか、CKIO端子をレベル固定するかを指定します。HIZCNTビットを1、かつ本ビットを0に設定した場合は、ソフトウェアスタンバイの間、CKIO端子がローレベルに固定されます。これにより、ソフトウェアスタンバイ解除時の不安定なCKIOクロックによって外部回路が誤動作することを防ぐことができます。 0: ソフトウェアスタンバイ解除時にCKIO端子をローレベルに固定する。 1: ソフトウェアスタンバイ解除時にCKIO端子からクロックを出力する。
11	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
10 9 8	STC2 STC1 STC0	0 0 0	R/W R/W R/W	PLL回路1の周波数通倍率 000: ×1倍 001: ×2倍 011: ×4倍 上記以外: 設定禁止
7	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
6 5 4	IFC2 IFC1 IFC0	0 0 0	R/W R/W R/W	分周器1による内部クロック周波数の分周率 PLL回路1の出力周波数に対しての内部クロック周波数の分周率を指定します。 000: ×1倍 001: ×1/2倍 上記以外: 設定禁止
3	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
2 1 0	PFC2 PFC1 PFC0	0 1 1	R/W R/W R/W	分周器1による周辺クロック周波数の分周率 PLL回路1の出力周波数に対しての周辺クロック周波数の分周率を指定します。 001: ×1/2倍 011: ×1/4倍 上記以外: 設定禁止

【注】 設定禁止のコードを設定した場合は動作保証されません。

9.5 周波数変更方法

内部クロックおよび周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1 の分周率を変える方法があります。これらはいずれも周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

9.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合、PLL 発振安定時間が必要になります。内蔵ウォッチドッグタイマ (WDT) により安定時間のカウントを行います。

1. 初期状態では、PLL回路1の通倍率は×1になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。
WTCSR.TME = 0 : WDTの停止
WTCSR.CSK[2:0] : WDTカウントクロックの分周率
WTCNT : カウンタの初期値
3. STC[2:0]を目的とする値に設定します。同時にIFC[2:0]、PFC[2:0]に分周率を設定することも可能です。
4. 本LSI内部は一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。
5. WDTのカウントオーバーフローで設定されたクロックが供給されはじめ、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

9.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合、WDTによるカウントは行いません。

1. 初期状態では、IFC[2:0] = B'000、PFC[2:0] = B'011になっています。
2. IFC[2:0]、PFC[2:0]ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. ただちに設定されたクロックに切り替わります。

9.6 使用上の注意事項

9.6.1 CKIO 端子に関する注意事項

CKIO 端子はリファレンス端子です。したがって、他のデバイスへの接続は行わないでください。

9.6.2 $\overline{\text{RESETP}}$ 端子を用いたリセットについて

本 LSI 内部には、RDL_REFCLK_IN から入力されるクロックを使ったリセットホールドカウンタが備えられているため、Bluetooth 機能を使用しない場合においても、RDL_REFCLK_IN 端子には必ずクロック供給をできるようにしてください。RDL_REFCLK_IN に供給するクロックは、EXTAL 端子に供給するクロックと同一のもので対応可能です。

9.7 ボード設計上の注意事項

9.7.1 バイパスコンデンサについての注意

V_{SS} と V_{CC} のペアごとに積層セラミックコンデンサをバスコンとして入れてください。

バスコンは、LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

9.7.2 PLL 発振回路使用時の注意

PLL 用 V_{CC} と V_{SS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と V_{CC} のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

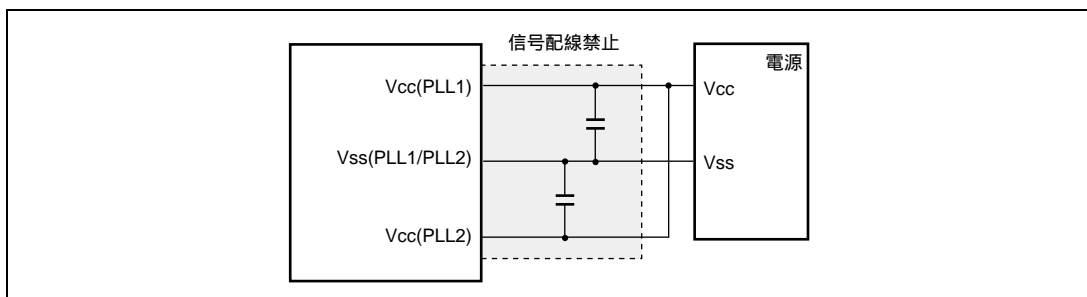


図 9.2 PLL 発振回路使用時の注意

10. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合に、LSI の内部をリセットすることができます。

WDT は、1 チャンネルのタイマであり、周辺クロックを入力とし、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウンタに使用します。また、通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

10.1 特長

- クロック安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、本 LSI 内部をリセットします。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能
周辺クロックを分周した8種類のクロック ($\times 1 \sim \times 1/4096$) から選択できます。
- リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。

10. ウォッチドッグタイマ (WDT)

WDT のブロック図を図 10.1 に示します。

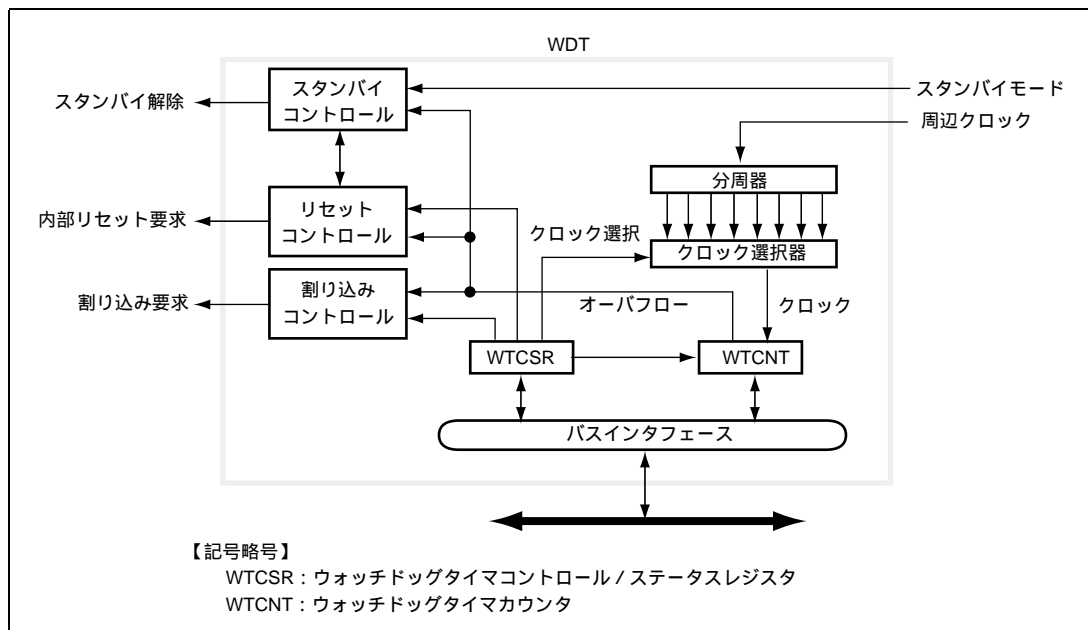


図 10.1 WDT のブロック図

10.2 レジスタの説明

WDT には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については、「第 23 章 レジスタ一覧」を参照してください。

- ウォッチドッグタイマカウンタ (WTCNT)
- ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

10.2.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出しおよび書き込みが可能な 8 ビットレジスタです。選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはリセットが発生し、インターバルタイマモードのときは割り込みが発生します。WTCNT は、 $\overline{\text{RESETP}}$ 端子によるリセット時のみ、H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「10.2.3 レジスタアクセス時の注意」を参照してください。

10.2.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出しおよび書き込みが可能な 8 ビットレジスタです。WTCSR は、カウントに使用するクロックの選択を行うビット、オーバフローフラグ、およびイネーブルビットからなります。

WDT オーバフローによる内部リセット時には、WTCSR の値は保持されます。 $\overline{\text{RESETP}}$ 端子によるリセット時のみ初期化されます。ソフトウェアスタンバイ解除時のクロック安定時間のカウントに使用するときには、カウンタオーバフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「10.2.3 レジスタアクセス時の注意」を参照してください。

10. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
7	TME	0	R/W	<p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0: タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。</p> <p>1: タイマイネーブル</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p> <p>【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。</p>
5	RSTS	0	R/W	<p>リセットセレクト</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合は、設定値は無視されます。</p> <p>0: パワーオンリセット 1: マニュアルリセット</p>
4	WOVF	0	R/W	<p>ウォッチドッグタイマオーバーフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。</p> <p>0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした</p>
3	IOVF	0	R/W	<p>インターバルタイマオーバーフロー</p> <p>インターバルタイマモードで WTCNT がオーバーフローしたことを示します。ウォッチドッグタイマモードでは、セットされません。</p> <p>0: オーバフローなし 1: インターバルタイマモードで WTCNT がオーバーフローした</p>

ビット	ビット名	初期値	R/W	説明	
2	CKS2	0	R/W	クロックセレクト	
1	CKS1	0	R/W	周辺クロック(P)を分周して得られる8種類のクロックから、WTCTのカウンタに使用するクロックを選択します。カッコ内に示すオーバーフロー周期は、周辺クロックP = 26MHzの場合の値です。 クロック分周比 オーバーフロー周期 000 : P (9.8 μs) 001 : P /4 (39.4 μs) 010 : P /16 (157.5 μs) 011 : P /32 (315 μs) 100 : P /64 (630 μs) 101 : P /256 (2.52ms) 110 : P /1024 (10.08ms) 111 : P /4096 (40.33ms)	
0	CKS0	0	R/W		
					【注】 WDTの動作中にCKS2~CKS0ビットを書き換えると、カウンタアップが正しく行われず場合があります。CKS2~CKS0ビットを書き換える場合は、必ずWDTを停止させてください。

10.2.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、読み出したり書き込みを行ってください。

- WTCNTおよびWTCSRへの書き込み

WTCNTおよびWTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では、書き込みません。

図10.2に示すように、WTCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。WTCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがWTCNTまたはWTCSRへ書き込まれません。

10. ウォッチドッグタイマ (WDT)

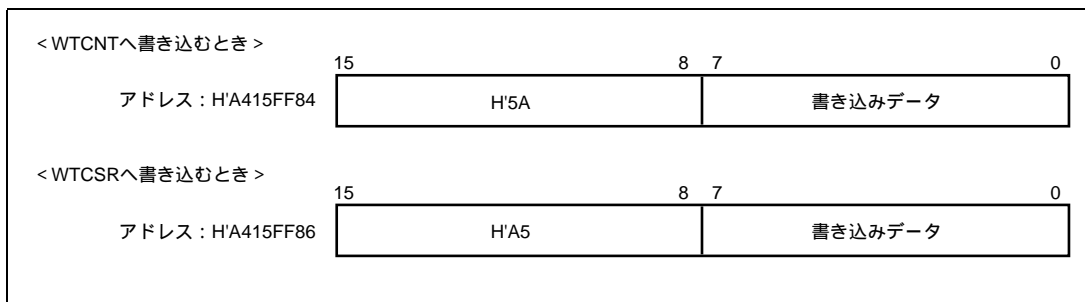


図10.2 WTCNTおよびWTCSRへの書き込み

10.3 動作説明

10.3.1 ソフトウェアスタンバイ解除の手順

WDTは、ソフトウェアスタンバイモードをNMIなどの割り込みで解除する場合に使用します。一例としてNMIでソフトウェアスタンバイモードを解除する手順を以下に示します。(リセットで解除する場合は、WDTは動作しないため、クロックが安定するまで $\overline{\text{RESETP}}$ 端子をローレベルに保ってください。)

1. ソフトウェアスタンバイモードへの遷移前に、必ずWTCSRのTMEビットを0に設定してください。TMEビットが1に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRのCKS2～CKS0ビットに使用するカウントクロックの種類とWTCNTに初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。WT/ITビットの設定値には依存しません。
3. SLEEP命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI信号変化のエッジなどの割り込み検出により、WDTがカウントを開始します。
5. WDTがカウントオーバーフローすると、CPGがクロック供給を開始して、本LSIが動作を再開します。このとき、WTCSRのWOVFおよびIOVFビットは、セットされません。
6. WDTはH'00からカウントを継続するので、割り込み処理プログラムの中でSTBCRのSTBYビットを0にしてください。これにより、WDTが停止します。STBYビットが1のままだと、WDTがH'80までカウントした時点で再びソフトウェアスタンバイモードに入ります。このソフトウェアスタンバイモードは、パワ・オンリセットで解除してください。

10.3.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ずWTCSRのTMEビットを0に設定してください。TMEビットが1に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRのCKS2～CKS0ビットに使用するカウントクロックの種類とWTCNTに初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。WT/ITビットの設定値には依存しません。
3. 周波数制御レジスタ (FRQCR) のSTC2～STC0ビットを書き換えると、プロセッサ内部は一時的に停止して、WDTはカウントを開始します。
4. WDTはカウントオーバーフローすると、CPGがクロック供給を再開して、本LSIが動作を再開します。このときは、WTCSRのWOVFおよびIOVFビットはセットされません。
5. カウンタは、H'00の値で停止します。
6. 周波数変更命令の後、WTCNTを書き換える場合には、WTCNTを読み出してH'00になっていることを確認してから書き換えてください。

10.3.3 ウォッチドッグタイマモードの使用法

1. WTCSRのTMEビットに0を設定してください。TMEビットが1に設定されていると、カウンタオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRのWT/ITビットに1を設定して、RSTSビットにリセットの種類、CKS2～CKS0ビットにカウントクロックの種類、およびWTCNTに初期値を設定します。
3. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
4. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
5. カウンタがオーバーフローすると、WDTはWTCSRのWOVFビットを1にセットして、RSTSビットで指定された種類のリセットを発生します。この後、カウンタはカウントを続行します。

10.3.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのTMEビットに0を設定してください。TMEビットが1に設定されていると、カウンタオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSRのWT/ITビットに0をセットして、CKS2～CKS0ビットにカウントクロックの種類、WTCNTに初期値を設定します。
3. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
4. WDTは、カウンタがオーバーフローするとWTCSRのIOVFビットに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。
5. インターバルタイマ割り込み要求を例外処理ルーチンで解除するには、WTCSRのIOVFビットにセットされたフラグをクリアしてください。割り込み例外処理の動作については「第5章 例外処理」および「第6章 割り込みコントローラ (INTC)」を参照してください。

11. 低消費電力モード

本 LSI は低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、モジュールスタンバイ機能を内蔵しています。

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みによって解除されます。

11.1 特長

- スリープ/ソフトウェアスタンバイ/モジュールスタンバイ機能をサポートします。

11.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能 (キャッシュ、Uメモリ、UBC、DMAC、H-UDI、および内蔵周辺モジュール)*

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 11.1 に示します。

【注】 * USB ファンクションコントローラもモジュールスタンバイ機能を備えていますが、クロックソースが他のモジュールとは異なっているため、独立の制御機構を持っています。詳細は、「第 15 章 USB ビンマルチプレクスコントローラ (USBPM)」を参照してください。

11. 低消費電力モード

表 11.1 低消費電力モードの状態

低消費電力モード	遷移状態	状 態						解除方法*
		CPG	CPU	CPUレジスタ	内蔵メモリ	内蔵周辺モジュール	端子	
スリープモード	STBCRのSTBYビットが0の状態 でSLEEP命令を実行	動作	停止	保持	停止 (内容は保持)	動作	保持	(1) 割り込み (2) リセット
ソフトウェアスタンバイモード	STBCRのSTBYビットが1の状態 でSLEEP命令を実行	停止	停止	保持	停止 (内容は保持)	停止	保持	(1) NMI、IRQ (2) パワーオンリセット
モジュールスタンバイ機能	STBCRのMSTPビットを1とする	動作	動作	保持	指定モジュールが停止 (内容は保持)	指定モジュールが停止	保持	(1) MSTPビットを0にクリア (2) パワーオンリセット

【注】 * ASEモード時にはエミュレータからH-UDIコマンドで解除する方法があります。詳細は、各エミュレータのマニュアルを参照してください。

11.1.2 リセット

リセットは、電源を入れたとき、またはいわゆる初期化状態から再実行したいときに使われます。リセットは、パワーオンリセットとマニュアルリセットの2種類があります。パワーオンリセットの場合は、すべての実行中の処理が中断され、いかなる未処理の事象も取り消されて、リセット処理が直ちに実行されます。パワーオンリセットおよびマニュアルリセットが発生する条件を以下に示します。

(1) パワーオンリセット発生条件

- $\overline{\text{RESETP}}$ 端子にローレベルを入力する。
- WTCSRの $\text{WT}/\overline{\text{IT}}$ ビットに1を、RSTSビットに0をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき（WDTによるパワーオンリセット要求）。

(2) マニュアルリセット発生条件

- WDTモジュールのWTCSRの $\text{WT}/\overline{\text{IT}}$ ビットに1を、RSTSビットに1をセットした状態でWDTのカウントを開始し、カウンタがオーバーフローしたとき（WDTによるマニュアルリセット要求）

11.2 レジスタの説明

消費電力モードに関連するレジスタには、以下のものがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ (STBCR)
- スタンバイコントロールレジスタ2 (STBCR2)
- スタンバイコントロールレジスタ4 (STBCR4)

11.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力モードの状態を指定します。パワーオンリセット時は初期化されますが、マニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	スタンバイ ソフトウェアスタンバイモードへの実行を指定します。 0 : SLEEP 命令の実行で、スリープモードへ遷移 1 : SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
2	MSTP2	0	R/W	モジュールストップビット 2 MSTP2 ビットを 1 にセットすると TMU へのクロックの供給を停止します。 0 : TMU は動作 1 : TMU へのクロック供給を停止
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。

11. 低消費電力モード

11.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

パワーオンリセット時は初期化されますが、マニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップビット 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止
6	MSTP9	0	R/W	モジュールストップビット 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止
5	MSTP8	0	R/W	モジュールストップビット 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロック供給を停止
4, 3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
2	MSTP5	0	R/W	モジュールストップビット 5 MSTP5 ビットを 1 にセットするとキャッシュメモリへのクロックの供給を停止します。 0 : キャッシュメモリは動作 1 : キャッシュメモリへのクロック供給を停止
1	MSTP4	0	R/W	モジュールストップビット 4 MSTP4 ビットを 1 にセットすると Uメモリへのクロックの供給を停止します。 0 : Uメモリは動作 1 : Uメモリへのクロック供給を停止
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。

11.2.3 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

パワーオンリセット時は初期化されますが、マニュアルリセットでは前の値を保持します。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
3	MSTP43	0	R/W	モジュールストップビット 43 MSTP43 ビットを 1 にセットすると BOOT へのクロックの供給を停止します。 0 : BOOT は動作 1 : BOOT へのクロック供給を停止 【注】本ビットを 1 から 0 に変更したとき (BOOT へのクロック供給停止状態からクロック供給を開始したとき)、実際に BOOT モジュールがアクセス可能状態になるまでには一定の時間がかかります。ウォーミングアップ時間確保のため、本ビットを 1 から 0 に変更した場合は、STBCR4 レジスタをリードした後、BOOT モジュールへのアクセスを行ってください。
2	MSTP42	0	R/W	モジュールストップビット 42 MSTP42 ビットを 1 にセットすると DAC へのクロックの供給を停止します。 0 : DAC は動作 1 : DAC へのクロック供給を停止
1	MSTP41	0	R/W	モジュールストップビット 41 MSTP41 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロック供給を停止
0	MSTP40	0	R/W	モジュールストップビット 40 MSTP40 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止

11.3 スリープモード

11.3.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

【注】 スリープモードに移行する場合、外部バスインタフェースで使用するバスクロック (B) と周辺モジュールで使用する周辺クロック (P) の周波数比率を必ず B : P = 1 : 1 にしておいてください。それ以外の比率のまま、スリープ命令を実行した場合、正常な動作の保証ができません。

11.3.2 スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺)、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

(1) 割り込みによる解除

NMI、IRQ、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTC モジュールの INTEVT2 レジスタには、割り込み要因に対応したコードがセットされます。

(2) リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

11.4 ソフトウェアスタンバイモード

11.4.1 ソフトウェアスタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力は CPG モジュールの FRQCR レジスタの CKOEN ビットおよび BSC モジュールの CMNCR レジスタの HIZCNT ビットの設定を組み合わせることで出力状態を選択することができます。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタの状態を表 11.2 に示します。なお、詳細は「第 23 章 レジスタ一覧」を参照してください。

表 11.2 ソフトウェアスタンバイモード時のレジスタの状態

モジュール	初期化レジスタ	内容が保持されるレジスタ	内容が不定となるレジスタ
割り込みコントローラ (INTC)	-	全レジスタ	-
クロックパルス発振器 (CPG)	-	全レジスタ	-
ブレークコントローラ (UBC)	-	全レジスタ	-
バスステートコントローラ (BSC)	-	全レジスタ	-
タイマユニット (TMU)	TSTR レジスタ	TSTR 以外のレジスタ	-
D/A 変換器 (DAC)	-	全レジスタ	-
I/O ポート	-	全レジスタ	-
H-UDI	-	全レジスタ	-
SCIF0、SCIF1	-	全レジスタ	-
USBF	-	-	全レジスタ

【注】 ソフトウェアスタンバイモードの解除後、USB ファンクションコントローラは不安定な状態になる場合があります。ソフトウェアスタンバイモードと USB モジュールに関する詳細は「第 15 章 USB ピンマルチプレクスコントローラ (USBPM)」を参照してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) を0にセットし、WTCSRレジスタのCKS2～CKS0ビットに指定された発振安定時間になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1を設定したあと、SLEEP命令を実行させます。

11.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）、パワーオンリセットにより、解除されます。

(1) 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ 割り込みが検出されると、WDT のタイマコントロール/ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、ソフトウェアスタンバイモードが解除されます。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT2 に設定されます。割り込み処理ルーチンに分岐後、STBCR レジスタの STBY ビットをクリアしてください。WDT は自動的に停止します。STBY ビットをクリアしないと、WDT は動作を継続し、WTCNT が H'80 に達した時点で再度ソフトウェアスタンバイモード*に遷移してしまいます。

ソフトウェアスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、ソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

【注】 * このソフトウェアスタンバイモードは、 $\overline{\text{RESETP}}$ 端子からのリセットで解除してください。

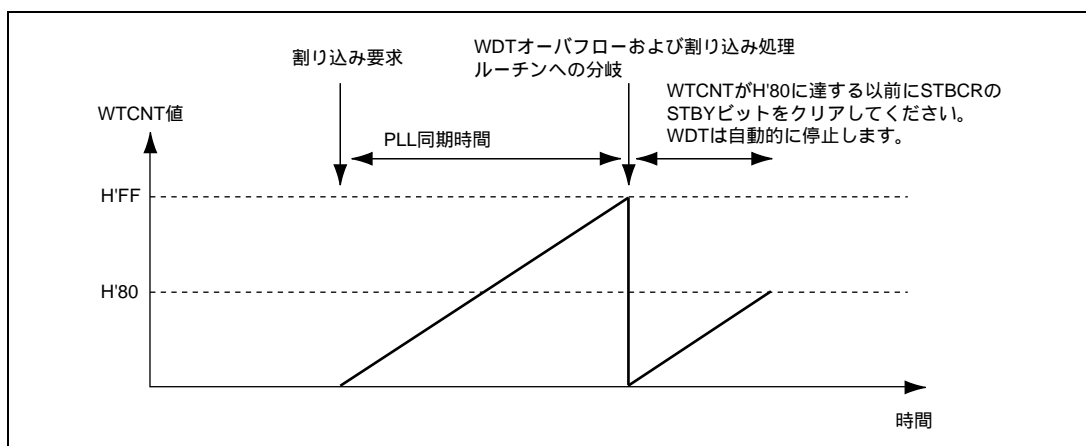


図 11.1 STBCR の STBY ビットとスタンバイモードの解除

(2) リセットによる解除

パワーオンリセットにより、ソフトウェアスタンバイモードは解除されます*。クロックモード 5 において PLL を使う場合、 $\overline{\text{RESETP}}$ 端子はクロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

【注】 * 本来はマニュアルリセットでもソフトウェアスタンバイモードは解除されますが、本 LSI はマニュアルリセット端子がなく、クロックが停止しているソフトウェアスタンバイモードではマニュアルリセットによる例外を発生できるウォッチドッグタイマ (WDT) も停止しているので、実質的にはマニュアルリセットでは解除できません。

11.5 モジュールスタンバイ機能

11.5.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時の消費電力を低減させることができます。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、内蔵周辺モジュールおよび外部制御端子の設定により異なります。レジスタは停止前の状態を保持します。

11.5.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。

11.6 各種モード間の状態遷移

各種モード間の状態遷移を図 11.2 に示します。

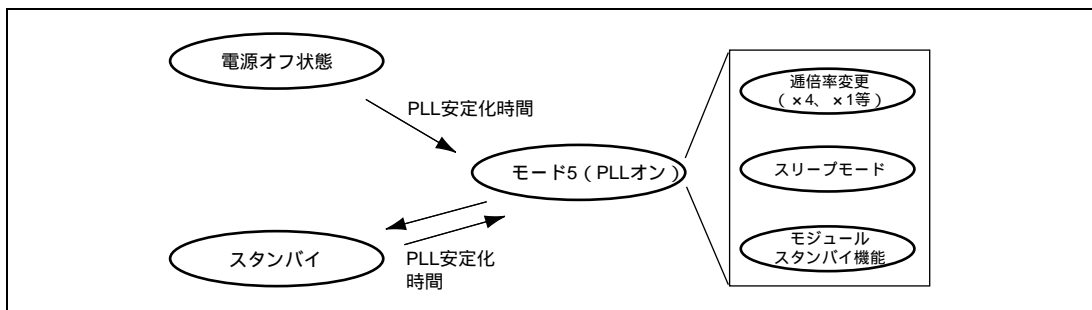


図 11.2 各モード間の状態遷移図

12. タイマユニット (TMU)

本 LSI は、3 チャンネルの 32 ビットタイマにより構成されるタイマユニット (TMU) を内蔵しています。

12.1 特長

- オートリロード方式の32ビットダウンカウンタを搭載
- 任意の時点で書き込み / 読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 32ビットダウンカウンタのアンダフローの発生で割り込み要求を発生 (H'0000 0000 H'FFFF FFFF)
- 各チャンネルとも、4種類のカウント入力クロックを選択可能
P /4、P /16、P /64、P /256

12. タイマユニット (TMU)

TMU のブロック図を図 12.1 に示します。

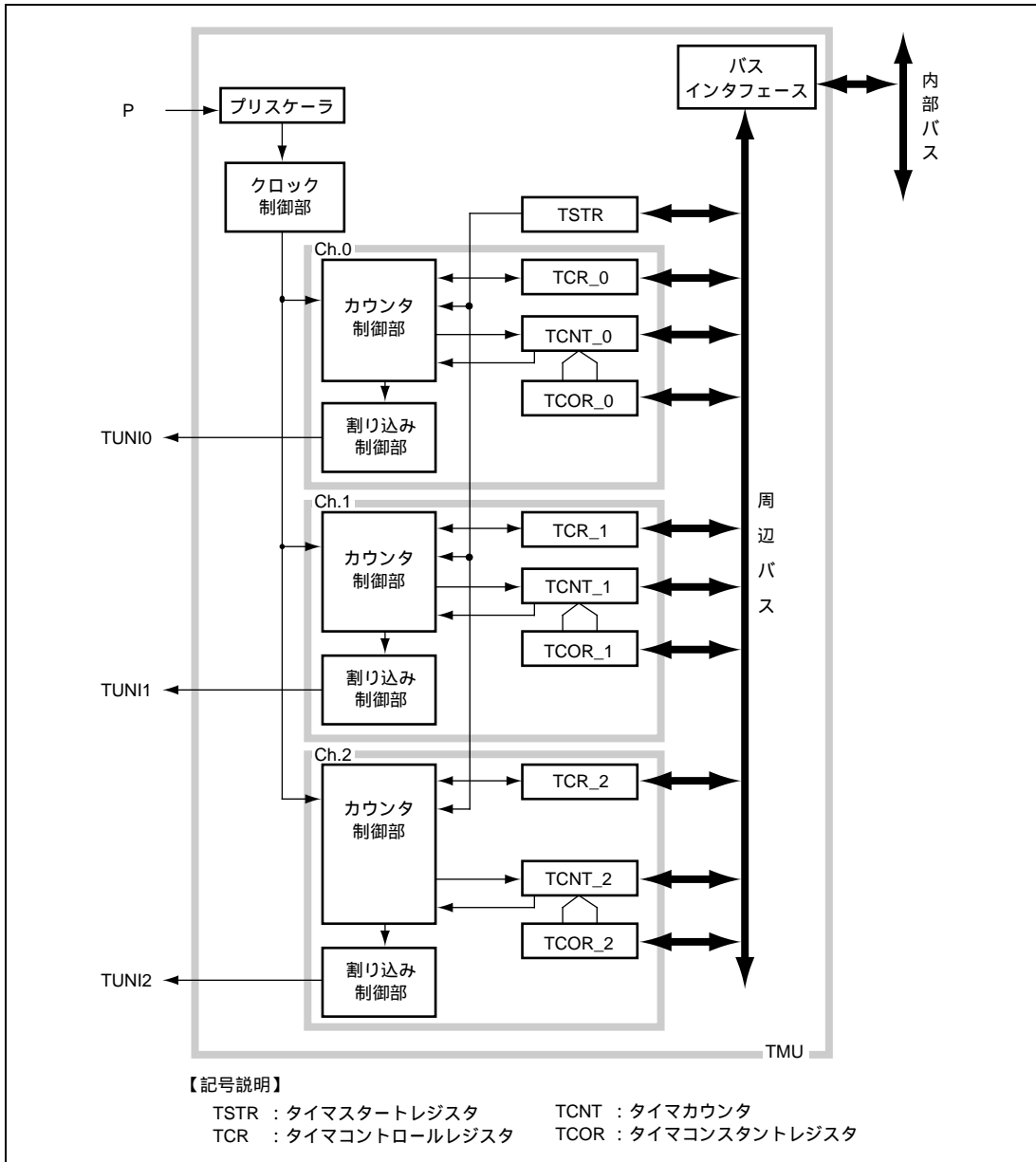


図 12.1 TMU のブロック図

12.2 レジスタの説明

TMUには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第23章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名については、チャンネル0のTCORはTCOR_0のように表記しています。

(1) 共通

- タイマスタートレジスタ (TSTR)

(2) チャンネル0

- タイマコンスタントレジスタ_0 (TCOR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマコントロールレジスタ_0 (TCR_0)

(3) チャンネル1

- タイマコンスタントレジスタ_1 (TCOR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマコントロールレジスタ_1 (TCR_1)

(4) チャンネル2

- タイマコンスタントレジスタ_2 (TCOR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマコントロールレジスタ_2 (TCR_2)

12. タイマユニット (TMU)

12.2.1 タイマスタートレジスタ (TSTR)

TSTR は、タイマカウンタ (TCNT) を動作させるか、停止させるかを選択する、読み出し / 書き込み可能な 8 ビットのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
2	STR2	0	R/W	カウンタスタート 2 タイマカウンタ 2 (TCNT_2) を動作させるか、停止させるかを選択します。 0 : TCNT_2 のカウント動作は停止 1 : TCNT_2 はカウント動作
1	STR1	0	R/W	カウンタスタート 1 タイマカウンタ 1 (TCNT_1) を動作させるか、停止させるかを選択します。 0 : TCNT_1 のカウント動作は停止 1 : TCNT_1 はカウント動作
0	STR0	0	R/W	カウンタスタート 0 タイマカウンタ 0 (TCNT_0) を動作させるか、停止させるかを選択します。 0 : TCNT_0 のカウント動作は停止 1 : TCNT_0 はカウント動作

12.2.2 タイマコントロールレジスタ (TCR)

TCR は、TCNT カウンタの制御および割り込みの制御を行うレジスタで、読み出し / 書き込み可能な 16 ビットレジスタです。

TCR は、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御、カウンタクロック選択を行います。

ビット	ビット名	初期値	R/W	説明
15~9		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
8	UNF	0	R/(W)*	アンダフローフラグ TCNT のアンダフローを示すフラグです。 0 : TCNT がアンダフローを起こしていない [クリア条件] UNF に 0 を書き込んだとき 1 : TCNT がアンダフローを起こした [セット条件] TCNT がアンダフローを起こした

ビット	ビット名	初期値	R/W	説明
7, 6		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNTのアンダフローの発生を示すステータスフラグUNFが1にセットされたときに割り込み発生を許可するかどうかを制御します。 0: UNFによる割り込み(TUNI)を禁止 1: UNFによる割り込み(TUNI)を許可
4~2		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
1 0	TPSC1 TPSC0	0 0	R/W R/W	タイマプリスケラ TCNTのカウントクロックを選択します。 00: P /4でカウント 01: P /16でカウント 10: P /64でカウント 11: P /256でカウント

【注】 * フラグをクリアするために0のみ書き込むことができます。

12.2.3 タイマコンスタントレジスタ (TCOR)

TCORは、TCNTカウンタのアンダフローが発生したとき、TCNTカウンタにセットする値を指定します。

TCORレジスタは、読み出し/書き込み可能な32ビットレジスタです。

初期値は、H'FFFF FFFFです。

12.2.4 タイマカウンタ (TCNT)

TCNTは、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、タイマコントロールレジスタ (TCR) のTPSC1~TPSC0ビットにより選択します。

TCNTのカウントダウン動作の結果、アンダフロー (H'0000 0000 H'FFFF FFFF)が発生すると、対応するチャンネルのタイマコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時にTCNTカウンタ自体には、タイマコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

初期値は、H'FFFF FFFFです。

12.3 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作が可能です。

12.3.1 カウンタの動作

タイマスタートレジスタ (TSTR) の STR0~STR2 ビットを 1 にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。TCNT カウンタがアンダフローすると対応するタイマコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR レジスタの UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT カウンタには TCOR レジスタから値がコピーされ、ダウンカウント動作を継続します。

(1) カウント動作の設定手順例

カウント動作の設定手順例を図 12.2 に示します。

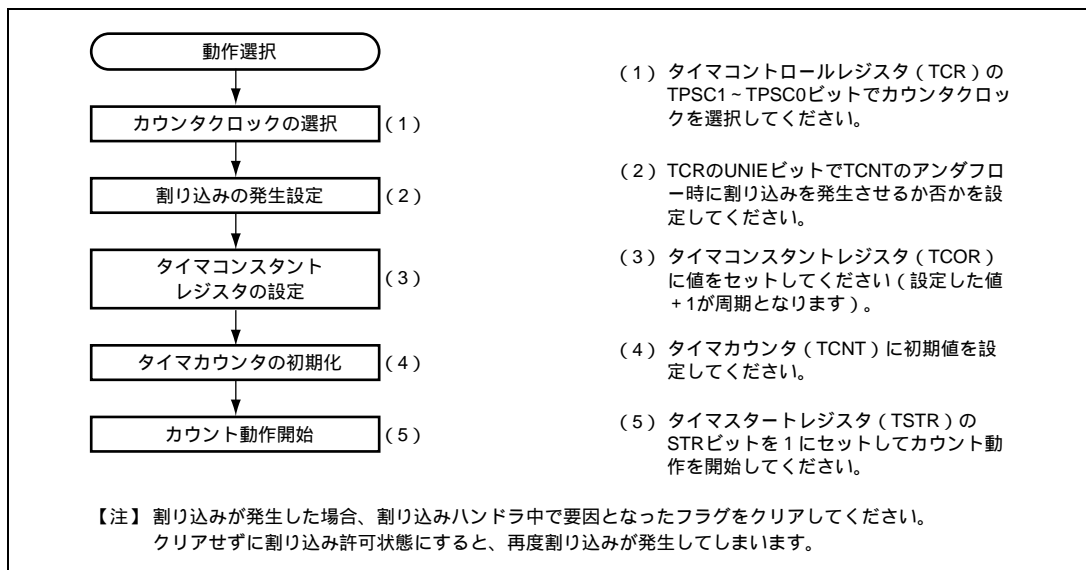


図 12.2 カウント動作設定手順例

(2) オートリロードカウント動作

TCNT のオートリロード動作を、図 12.3 に示します。

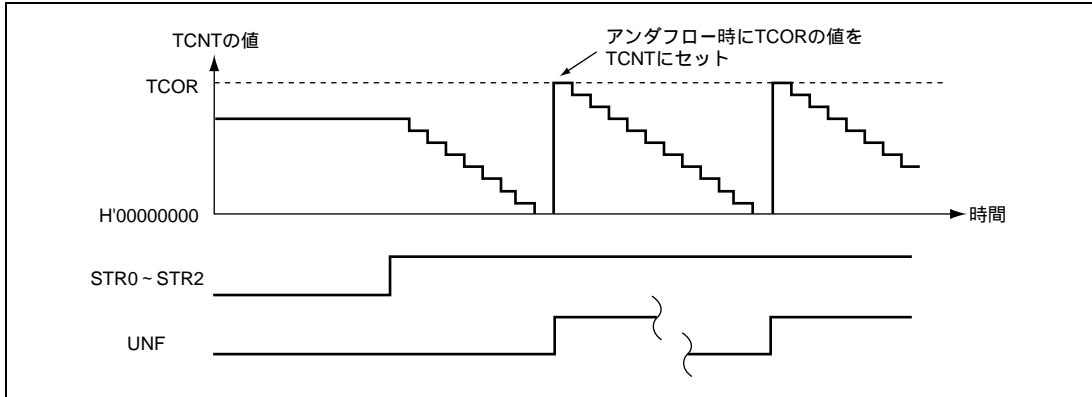


図 12.3 オートリロードカウンタの動作

(3) TCNT のカウントタイミング

TCR レジスタの TPSC1、TPSC0 ビットにより、周辺モジュール用クロックを分周した 4 種類のクロック (P /4、P /16、P /64、P /256) が選択できます。このときのタイミングを図 12.4 に示します。

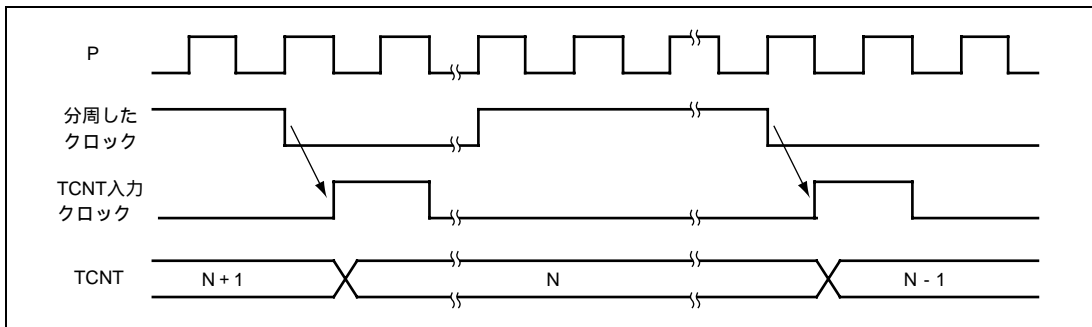


図 12.4 内部クロック動作時のカウントタイミング

12.4 割り込み

TMUの割り込み要因は、アンダフロー割り込み (TUNI) です。

12.4.1 ステータスフラグのセットタイミング

UNF ビットは、TCNT カウンタがアンダフローしたときに 1 にセットされます。このときのタイミングを図 12.5 に示します。

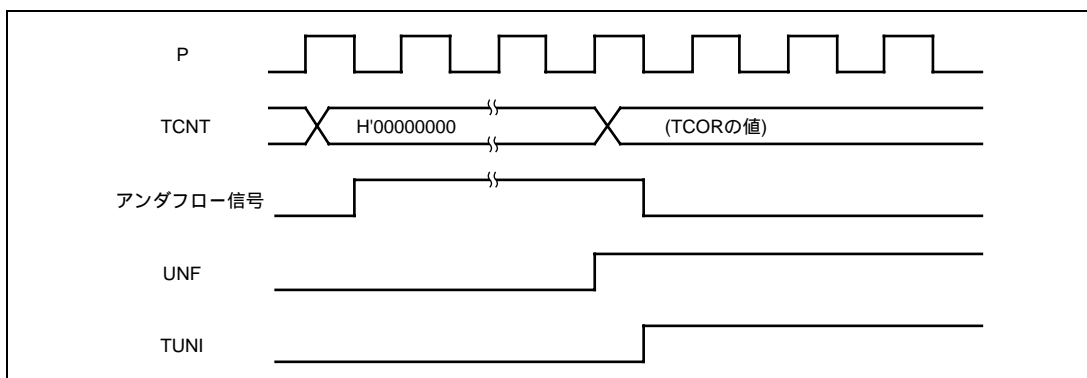


図 12.5 UNF のセットタイミング

12.4.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU から 0 を書き込むとクリアされます。このときのタイミングを図 12.6 に示します。

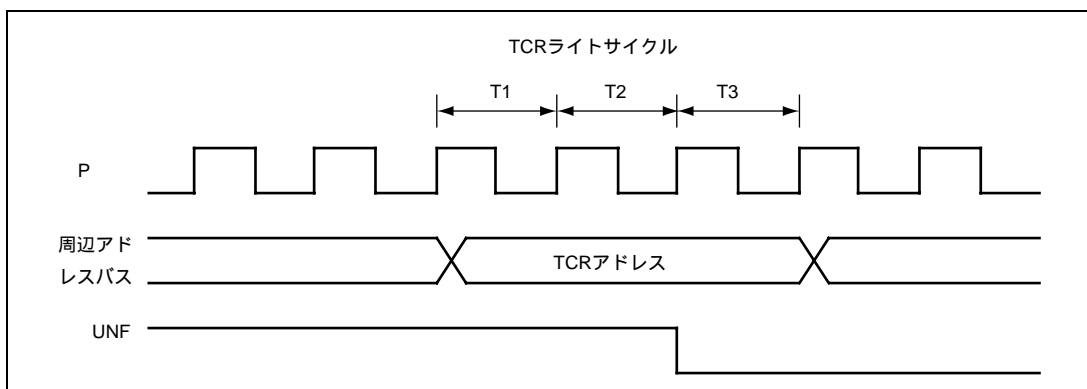


図 12.6 ステータスフラグのクリアタイミング

12.4.3 割り込み要因と優先順位

TMU は各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT2) にコードがセットされますので、そのコードにしたがって割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 5 章 例外処理」、「第 6 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 12.1 に示します。

表 12.1 TMU の割り込み要因

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ▲ ▼ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	

12.5 使用上の注意事項

(1) レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウント動作の同期処理は行っておりません。レジスタの書き込みの際には、必ずタイマスタートレジスタ (TSTR) の該当チャンネルのスタートビット (STR2 ~ STR0) をクリアして、タイマのカウント動作を停止させてください。

(2) レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

12. タイムユニット (TMU)

13. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、2 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。

SCIF は、調歩同期式のシリアル通信ができます。

送受信に FIFO レジスタをおのおの 64 段内蔵しており、効率の良い高速連続通信を行うことができます。

13.1 特長

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

LSB ファースト

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能。

- 6 種類の割り込み要因

送信データストップ割り込み、送信 FIFO データエンプティ、受信 FIFO データフル、受信エラー (フレーミングエラー / パリティエラー) 割り込み、ブレーク受信割り込み、レシーブデータレディ割り込みの 6 種類の割り込み要因があります。各割り込み要因による割り込みのベクタは共通です。

- 送信 FIFO データエンプティ時と送信データストップ時、受信 FIFO データフル時に DMA コントローラ

(DMAC) を起動させてデータの転送を行うことができます。ただし、送信 FIFO データエンプティと送信データストップの DMAC 要求は共通です。

- チャンネル 0 のみ、モデムコントロール機能 ($\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$) を内蔵しています。

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- 送信データストップ機能を内蔵しています。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。

図 13.1 に SCIF のブロック図を示します。

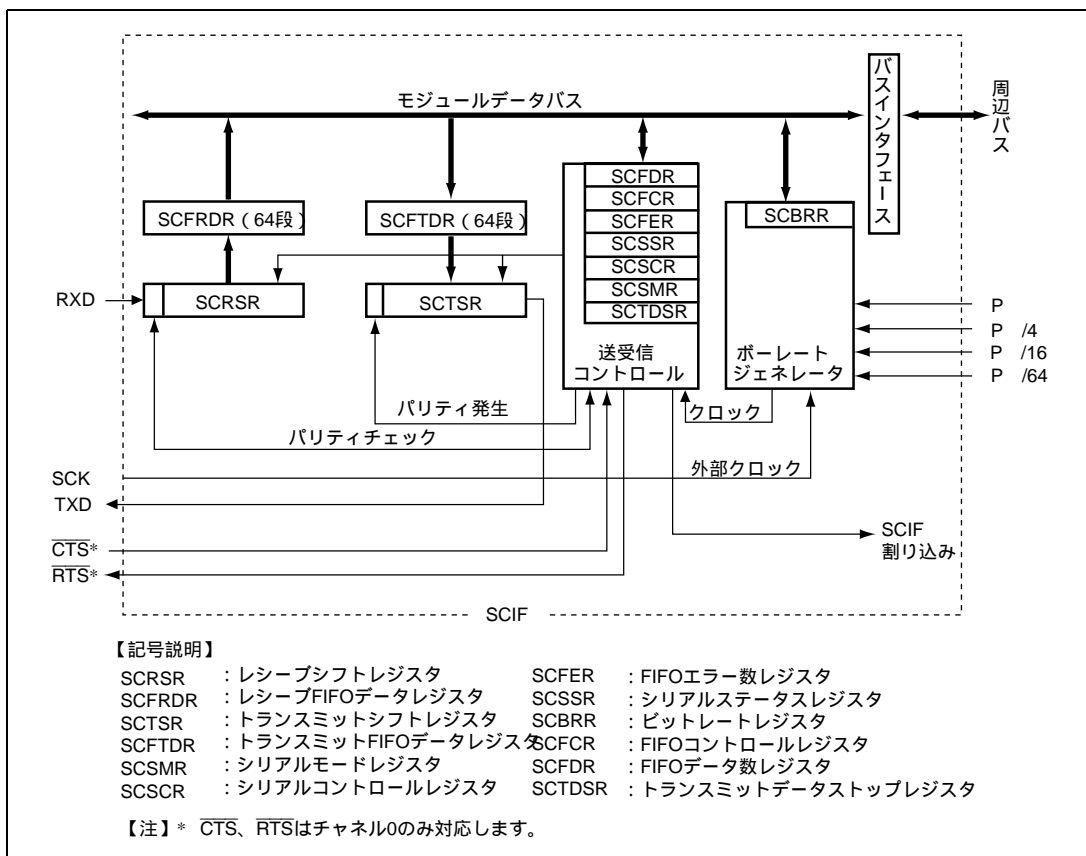


図 13.1 SCIF のブロック図

13.2 入出力端子

SCIF の端子構成を表 13.1 に示します。

表 13.1 端子構成

チャンネル	端子名称	略称* ¹	入出力	機能
0	SCIF0_SCK	SCK	入力* ²	シリアルクロック端子 クロック入力
	SCIF0_RXD	RXD	入力	レシーブデータ端子 受信データ入力
	SCIF0_TXD	TXD	出力	トランスミットデータ端子 送信データ出力
	SCIF0_CTS	CTS	入力	モデムコントロール端子 送信可
	SCIF0_RTS	RTS	出力	モデムコントロール端子 送信要求
1	SCIF1_SCK	SCK	入力* ²	シリアルクロック端子 クロック入力
	SCIF1_RXD	RXD	入力	レシーブデータ端子 受信データ入力
	SCIF1_TXD	TXD	出力	トランスミットデータ端子 送信データ出力

【注】 *1 本文中では、チャンネルを省略し、総合の名称として SCK、RXD、TXD、CTS、RTS を使用します。

*2 SCIF の動作設定を SCSCR の TE、RE ビット、および SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。SCK 端子は、入力（入力有効か入力無効）に設定可能です。

13.3 レジスタの説明

本モジュールには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

(1) チャンネル 0

- シリアルモードレジスタ_0 (SCSMR_0)
- ビットレートレジスタ_0 (SCBRR_0)
- シリアルコントロールレジスタ_0 (SCSCR_0)
- トランスミットデータストップレジスタ_0 (SCTDSR_0)
- FIFOエラー数レジスタ_0 (SCFER_0)
- シリアルステータスレジスタ_0 (SCSSR_0)
- FIFOコントロールレジスタ_0 (SCFCR_0)
- FIFOデータ数レジスタ_0 (SCFDR_0)
- トランスミットFIFOデータレジスタ_0 (SCFTDR_0)
- レシーブFIFOデータレジスタ_0 (SCFRDR_0)

(2) チャンネル 1

- シリアルモードレジスタ_1 (SCSMR_1)
- ビットレートレジスタ_1 (SCBRR_1)
- シリアルコントロールレジスタ_1 (SCSCR_1)
- トランスミットデータストップレジスタ_1 (SCTDSR_1)
- FIFOエラー数レジスタ_1 (SCFER_1)
- シリアルステータスレジスタ_1 (SCSSR_1)
- FIFOコントロールレジスタ_1 (SCFCR_1)
- FIFOデータ数レジスタ_1 (SCFDR_1)
- トランスミットFIFOデータレジスタ_1 (SCFTDR_1)
- レシーブFIFOデータレジスタ_1 (SCFRDR_1)

13.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタである SCFRDR へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

13.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 64 段 FIFO レジスタ (略称: 受信 FIFO) です。

SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。このあと、SCRSR は受信可能になり、レシーブ FIFO データレジスタがいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、レシーブ FIFO データレジスタに受信データがない状態で読み出した値は不定値になります。レシーブ FIFO データレジスタ内の受信データがいっぱいになると、以降のシリアルデータは失われます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFRD7~ SCFRD0	不定	R	シリアル受信データ用 FIFO

13.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

13.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタ (略称: 送信 FIFO) です。

SCIF は、送信データが SCFTDR に書き込まれたとき、トランスミットシフトレジスタ (SCTSR) が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。

SCFTDR 内の送信データが 64 バイトでいっぱいになるときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFTD7~ SCFTD0	不定	W	シリアル送信データ用 FIFO

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

13.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソース、サンプリングレートを選択します。

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
10 9 8	SRC2 SRC1 SRC0	0 0 0	R/W R/W R/W	サンプリングコントロール サンプリングレートを選択します。 000 : サンプリングレート 1/16 001 : サンプリングレート 1/5 010 : サンプリングレート 1/7 011 : サンプリングレート 1/11 100 : サンプリングレート 1/13 101 : サンプリングレート 1/17 110 : サンプリングレート 1/19 111 : サンプリングレート 1/27
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
5	PE	0	R/W	パリティイネーブル 送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。 0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。 受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説 明
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹</p> <p>1 : 奇数パリティ*²</p> <p>【注】*1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>0 : 1 ストップビット*¹</p> <p>1 : 2 ストップビット*²</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。</p>
1	CKS1	0	R/W	<p>クロックセレクト</p>
0	CKS0	0	R/W	<p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : P</p> <p>01 : P /4</p> <p>10 : P /16</p> <p>11 : P /64</p>

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

13.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行います。

ビット	ビット名	初期値	R/W	説明
15	TDRQE	0	R/W	<p>トランスミットデータ転送要求イネーブル</p> <p>送信時の TIE = 1 かつ送信 FIFO データエンプティ発生時に、送信 FIFO データエンプティ割り込み / DMA 転送要求とするかを切り替えます。</p> <p>0 : CPU へ割り込み要求を発行します 1 : DMAC へ送信データ転送要求を発行します</p>
14	RDRQE	0	R/W	<p>レシーブデータ転送要求イネーブル</p> <p>受信時の RIE = 1 かつ受信 FIFO データフル発生時に、受信 FIFO データフル割り込み / DMA 転送要求とするかを切り替えます。</p> <p>0 : CPU へ割り込み要求を発行します 1 : DMAC へ受信データ転送要求を発行します</p>
13, 12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。</p>
11	TSIE	0	R/W	<p>トランスミットデータストップインタラプトイネーブル</p> <p>SCFCR の TSE ビットがイネーブルでかつ SCSSR の TSF フラグが 1 にセットされたとき、トランスミットデータストップ要因による割り込みの発生を許可 / 禁止します。</p> <p>0 : 送信データストップ割り込みを禁止* 1 : 送信データストップ割り込みを許可</p> <p>【注】* 割り込み要求の解除は、TSF フラグの 1 を読み出したあと、0 にクリアするかまたは TSIE を 0 にクリアすることで行うことができます。</p>
10	ERIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>SCSSR の ER フラグが 1 にセットされたとき、受信エラー (フレーミングエラー / パリティエラー) 要因による割り込みの発生を許可 / 禁止します。</p> <p>0 : 受信エラー割り込みを禁止* 1 : 受信エラー割り込みを許可</p> <p>【注】* 割り込み要求の解除は、ER フラグの 1 を読み出したあと、0 にクリアするか、ERIE ビットを 0 にクリアすることで行えます。</p>

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
9	BRIE	0	R/W	<p>ブレークインタラプトイネーブル</p> <p>SCSSR の BRK フラグが 1 にセットされたとき、ブレーク受信要因による割り込みの発生を許可 / 禁止します。</p> <p>0 : ブレーク受信割り込みを禁止*</p> <p>1 : ブレーク受信割り込みを許可</p> <p>【注】* 割り込み要求の解除は、BRK フラグの 1 を読み出したあと、0 にクリアするか、BRIE ビットを 0 にクリアすることで行えます。</p>
8	DRIE	0	R/W	<p>レシーブデータレディインタラプトイネーブル</p> <p>SCSSR の DR フラグが 1 にセットされたとき、レシーブデータレディ要因による割り込みの発生を許可 / 禁止します。</p> <p>0 : レシーブデータレディ割り込みを禁止*</p> <p>1 : レシーブデータレディ割り込みを許可</p> <p>【注】* 割り込み要求の解除は、DR フラグの 1 を読み出したあと、0 にクリアするか、DRIE ビットを 0 にクリアすることで行えます。</p>
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCSSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 送信 FIFO データエンプティ割り込み要求を禁止*</p> <p>1 : 送信 FIFO データエンプティ割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、SCFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE フラグの 1 を読み出したあと、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCSSR の RDF フラグが 1 にセットされたときの受信 FIFO データフル要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 受信 FIFO データフル割り込み要求を禁止*</p> <p>1 : 受信 FIFO データフル割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、RDF フラグの 1 を読み出したあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。TE ビットがイネーブル状態のまま、上記各レジスタの設定を変更した場合は、動作の保証はできません。</p>

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*1 RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。RE ビットがイネーブル状態のまま、上記各レジスタの設定を変更した場合は、動作の保証はできません。</p>
3, 2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル</p> <p>クロックソースを設定します。SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。</p> <p>00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視) *¹</p> <p>01 : 設定禁止</p> <p>10 : 外部クロック / SCK 端子はクロック入力*²</p> <p>11 : 設定禁止</p> <p>【注】 *1 内蔵ポーレートジェネレータでデータをサンプリングする場合は、CKE1、CKE0 ビットを B'00 (内部クロック / SCK0 端子は入力端子 (入力信号は無視) と設定してください。</p> <p>*2 サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが 1/16 の場合、ビットレートの 8 倍の周波数のクロックを入力してください。</p> <p>外部クロックを入力しない場合は、CKE1、CKE0 ビットを B'00 に設定してください。また、SCK 端子をポートとして使用する場合、CKE1、CKE0 ビットを B'00 に設定してください。</p>

13.3.7 FIFO エラー数レジスタ (SCFER)

SCFER は、読み出し専用の 16 ビットのレジスタで、データの受信エラー（フレーミングエラー / パリティエラー）数を示します。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
13	PER5	0	R	パリティエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データで パリティエラーの発生しているデータ数を示します。 SCSSR の ER ビットがセットされたあと、ビット 13~8 で示される値がパ リティエラー発生データ数を表示します。 SCFRDR の 64 バイトの受信データすべてがパリティエラーをとまなう場 合、PER5~PER0 は 0 を表示します。
12	PER4	0	R	
11	PER3	0	R	
10	PER2	0	R	
9	PER1	0	R	
8	PER0	0	R	
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
5	FER5	0	R	フレーミングエラー数 レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データで フレーミングエラーの発生しているデータ数を示します。 SCSSR の ER ビットがセットされたあと、ビット 5~0 で示される値がフ レーミングエラーの発生しているデータ数を表示します。 SCFRDR の 64 バイトの受信データすべてがフレーミングエラーをとまな う場合、FER5~FER0 は 0 を表示します。
4	FER4	0	R	
3	FER3	0	R	
2	FER2	0	R	
1	FER1	0	R	
0	FER0	0	R	

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

13.3.8 シリアルステータスレジスタ (SCSSR)

SCSSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ステータスを示します。

ただし、ORER、TSF、ER、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグ、FER フラグおよび PER フラグは読み出し専用であり、書き込むことはできません。

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
9	ORER	0	R/(W)*	オーバランエラーフラグ 受信時にオーバランエラーが発生したことを示します。 0 : 受信中、または正常に受信を完了したことを表示*1 [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) ORER = 1 の状態を読み出したあと、0 を書き込んだとき 1 : 受信時にオーバランエラーが発生したことを表示*2 [セット条件] 受信 FIFO フルの状態で次のシリアル受信を完了したとき 【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 *2 SCFRDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。
8	TSF	0	R/(W)*	トランスミットデータストップフラグ 送信データ数が、SCTDSR の設定値と一致したことを示します。 0 : 送信データ数が SCTDSR の値と一致していない [クリア条件] (1) パワーオンリセット、マニュアルリセット時 (2) TSF = 1 の状態を読み出したあと、0 を書き込んだとき 1 : 送信データ数が SCTDSR の値と一致

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
7	ER	0	R/(W)*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。^{*1}</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) ER = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <p>(1) 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき^{*2}</p> <p>(2) 受信時の受信データとパリティビットを合わせた1の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき</p> <p>【注】 *1 SCSCR の RE ビットを0にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出したデータに受信エラーがあるかどうかは、SCSSR の FER、PER ビットで判定できます。</p> <p>*2 ストップレングスが2ビットのときは1ビット目のストップビットが1であるかどうかのみを判定し2ビット目のストップビットはチェックしません。</p>
6	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <p>SCFTDR へデータを書き込んだとき</p> <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <p>1 バイトのシリアル送信キャラクタの送信時に SCFTDR に送信データがないとき</p>

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>トランスミット FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータ転送が行われ、SCFTDR 内のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <p>SCFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*</p> <p>【注】* SCFTDR は 64 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、(64 - 送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFCR に示されます。</p>
4	BRK	0	R/(W)*	<p>ブ레이크検出</p> <p>受信データのブ레이크信号の検出を示します。</p> <p>0: ブ레이크信号を受信していないことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) BRK = 1 の状態を読み出したあと、0 を書き込んだとき</p> <p>1: ブ레이크信号を受信したことを表示*</p> <p>[セット条件]</p> <p>フレーミングエラーをとまなうデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合</p> <p>【注】* ブ레이크検出すると検出後の受信データ (H'00) の SCFCR 転送は停止します。</p> <p>ブ레이크が終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p>

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのフレーミングエラーを表示します。</p> <p>0:SCFRDR から読み出した受信データにフレーミングエラーがないことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 読み出しデータにフレーミングエラーなし</p> <p>1:SCFRDR から読み出した受信データにフレーミングエラーが発生していることを表示</p> <p>[セット条件]</p> <p>SCFRDR 読み出しデータにフレーミングエラーあり</p>
2	PER	0	R	<p>パリティエラー表示</p> <p>レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータのパリティエラーを表示します。</p> <p>0:SCFRDR から読み出した受信データにパリティエラーがないことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 読み出しデータにパリティエラーなし</p> <p>1:SCFRDR から読み出した受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <p>SCFRDR 読み出しデータにパリティエラーあり</p>
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信したデータがレシーブシフトレジスタ (SCRSR) からレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR 内の受信データ数が、FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0:SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、RDF=1 を読み出したあと、0 を書き込んだとき</p> <p>1:SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <p>SCFRDR に受信トリガ設定数以上の受信データが格納されたとき*</p> <p>【注】* SCFRDR は 64 バイトの FIFO レジスタです。RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFCR の下位ビットに示されます。</p>

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
0	DR	0	R/(W) *	<p>レシーブデータレディ</p> <p>レシーブ FIFO データレジスタ (SCFRDR) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないことを示します。</p> <p>0: 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示。</p> <p>[クリア条件]</p> <p>(1) パワーオンリセット、マニュアルリセット時</p> <p>(2) SCFRDR 内の受信データをすべて読み出し、DR = 1 を読み出したあと、0 を書き込んだとき</p> <p>1: 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <p>SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき*¹</p> <p>【注】*¹ 8ビット長1ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p> <p>【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間の略)</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

13.3.9 ビットレートレジスタ (SCBRR)

SCBRR は、読み出し / 書き込み可能な 8 ビットのレジスタで、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定します。

ビット	ビット名	初期値	R/W	説明
7~0	SCBRD7~0	H'FF	R/W	ビットレート設定

SCBRR の設定値は以下の計算式で求められます。

(サンプルングレート 1/16 の場合)

$$N = \frac{P}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプルングレート 1/5 の場合)

$$N = \frac{P}{10 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプルングレート 1/11 の場合)

$$N = \frac{P}{22 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプルングレート 1/13 の場合)

$$N = \frac{P}{26 \times 2^{2n-1} \times B} \times 10^6 - 1$$

(サンプルングレート 1/27 の場合)

$$N = \frac{P}{54 \times 2^{2n-1} \times B} \times 10^6 - 1$$

【記号説明】

- B : ビットレート (bit/s)
- N : ボーレートジェネレータの SCBRR の設定値
調歩同期式モード時 (0 N 255)
- P : 周辺モジュール動作周波数 (MHz)
- n : ボーレートジェネレータ入力クロック (n=0、1、2、3)
(n とクロックの関係は、次表を参照してください)

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

n	クロック	SCSMR の設定値	
		CKS1	CKS0
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

(サンプルレート 1/16 の場合)

$$\text{誤差 (\%)} = \left(\frac{P \times 10^6}{(1+N) \times B \times 32 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプルレート 1/5 の場合)

$$\text{誤差 (\%)} = \left(\frac{P \times 10^6}{(1+N) \times B \times 10 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプルレート 1/11 の場合)

$$\text{誤差 (\%)} = \left(\frac{P \times 10^6}{(1+N) \times B \times 22 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプルレート 1/13 の場合)

$$\text{誤差 (\%)} = \left(\frac{P \times 10^6}{(1+N) \times B \times 26 \times 2^{2n-1}} - 1 \right) \times 100$$

(サンプルレート 1/27 の場合)

$$\text{誤差 (\%)} = \left(\frac{P \times 10^6}{(1+N) \times B \times 54 \times 2^{2n-1}} - 1 \right) \times 100$$

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

13.3.10 FIFO コントロールレジスタ (SCFCR)

SCFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送信、受信おのおの FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行います。また、ループバックテストの許可ビットを含んでいます。

ビット	ビット名	初期値	R/W	説明
15	TSE	0	R/W	トランスミットデータストップイネーブル 送信データストップ機能を許可 / 禁止します。 0 : 送信データストップ機能を禁止 1 : 送信データストップ機能を許可
14	TCRST	0	R/W	トランスミットカウントリセット 送信カウントを 0 にクリアします。本ビットは、送信データストップ機能使用時のみ有効となります。 0 : 送信カウントリセットを禁止* 1 : 送信カウントリセットを許可 (0 にクリア) 【注】* パワーオンリセット、マニュアルリセット時には送信カウントリセット (0 にクリア) が行われます。
13~11		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
10 9 8	RSTRG2 RSTRG1 RSTRG0	0 0 0	R/W R/W R/W	RTS 出力アクティブトリガ チャンネル 0 で、レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 チャンネル 1 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。 000 : 63 001 : 1 010 : 8 011 : 16 100 : 32 101 : 48 110 : 54 111 : 60
7 6	RTRG1 RTRG0	0 0	R/W R/W	レシーブ FIFO データ数トリガ シリアルステータスレジスタ (SCSSR) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。 レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示す受信トリガ設定数以上になったとき RDF フラグをセットします。 00 : 1 01 : 16 10 : 32 11 : 48

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5 4	TTRG1 TTRG0	0 0	R/W R/W	<p>トランスミット FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCSSR) のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作によりトランスミット FIFO データレジスタ (SCFTDR) 内の送信データ数が、以下に示す送信トリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 32 (32) 01 : 16 (48) 10 : 2 (62) 11 : 0 (64)</p> <p>【注】 () 内の値はフラグ発生時の SCFTDR の空き数を示します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>チャンネル 0 で、モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を有効にします。チャンネル 1 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。</p> <p>0 : モデム信号を無効* 1 : モデム信号を有効</p> <p>【注】 * CTS は入力値にかかわらず無効に、$\overline{\text{RTS}}$ は 0 に固定します。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>トランスミット FIFO データレジスタ内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止* 1 : リセット動作を許可</p> <p>【注】* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止* 1 : リセット動作を許可</p> <p>【注】* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>チャンネル 0 では、送信出力端子 (TXD) と受信入力端子 (RXD)、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。</p> <p>チャンネル 1 では、送信出力端子 (TXD) と受信入力端子 (RXD) を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止 1 : ループバックテストを許可</p>

13.3.11 FIFO データ数レジスタ (SCFDR)

SCFDR は、読み出し専用の 16 ビットのレジスタで、トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) 内に格納されているデータ数を示します。

ビット 14~8 で SCFTDR 内の送信データ数を、ビット 6~0 で SCFRDR 内の受信データ数を示します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
14	T6	0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCFTDR にいっぱいの送信データが格納されていることを示します。
13	T5	0	R	
12	T4	0	R	
11	T3	0	R	
10	T2	0	R	
9	T1	0	R	
8	T0	0	R	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6	R6	0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCFRDR にいっぱいの受信データが格納されていることを示します。
5	R5	0	R	
4	R4	0	R	
3	R3	0	R	
2	R2	0	R	
1	R1	0	R	
0	R0	0	R	

13.3.12 トランスミットデータストップレジスタ (SCTDSR)

SCTDSR は、読み出し / 書き込み可能な 8 ビットレジスタで、送信データ数を設定します。本レジスタは FIFO コントロールレジスタ (SCFCR) の TSE ビットがイネーブル時のみ有効となります。送信動作は、本レジスタで設定したデータ数を送信すると停止します。設定可能な値は、H'00 (1 バイト) ~ H'FF (256 バイト) です。

本レジスタの初期値は H'FF です。

13.4 動作説明

13.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期モードをサポートしています。

送受信おののに 64 段のバッファ (FIFO) を内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

13.4.2 調歩同期式モード

以下に調歩同期式モードについて説明します。

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 13.2 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットで決まります。

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、レシーブFIFOデータフル、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタおののの格納データ数を表示
- クロックソース：内部クロック / 外部クロックから選択可能

内部クロックを選択した場合：

ボーレートジェネレータのクロックで動作

外部クロックを選択した場合：

サンプリングレートに合わせたクロックを入力することが必要。たとえば、サンプリングレートが1/16の場合、ビットレートの8倍の周波数のクロックを入力することが必要

(内蔵ボーレートジェネレータを使用しない)

表 13.2 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値			モード	SCIF の送信 / 受信フォーマット		
ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
CHR	PE	STOP				
0	0	0	調歩同期式 モード	8 ビット データ	なし	1 ビット
		1				2 ビット
	1	0			あり	1 ビット
		1			2 ビット	
1	0	0		7 ビット データ	なし	1 ビット
		1				2 ビット
	1	0			あり	1 ビット
		1			2 ビット	

13.4.3 調歩同期式モードのシリアル動作

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 13.3 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 13.3 シリアル送信 / 受信フォーマット

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ							STOP				
		1	START	8ビットデータ							STOP	STOP			
	1	0	START	8ビットデータ							P	STOP			
		1	START	8ビットデータ							P	STOP	STOP		
1	0	0	START	7ビットデータ						STOP					
		1	START	7ビットデータ						STOP	STOP				
	1	0	START	7ビットデータ						P	STOP				
		1	START	7ビットデータ						P	STOP	STOP			

(2) クロック

SCIF の送受信クロックは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。

外部クロックを SCK 端子に入力する場合には、サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが 1/16 の場合、ビットレートの 8 倍の周波数のクロックを入力してください。

(3) データの送信 / 受信動作

(a) SCIF の初期化

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアしたあと、以下の順で SCIF を初期化してください。

通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (SCTSR) が初期化されません。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCSSR)、トランスミット FIFO データレジスタ (SCFTDR) および、レシーブ FIFO データレジスタ (SCFRDR) の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCSSR の TEND ビットが 1 にセットされたあとに

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、ハイインピーダンス状態になります。また再度 TE ビットを1にセットして送信開始する前に SCFCR の TFRST ビットをいったん1にセットして SCFTDR をリセットしてください。

外部クロックを使用している場合には、動作が不確実にになりますので初期化を含めた動作中にクロックを止めないでください。

図 13.2 に SCIF の初期化フローチャートの例を示します。

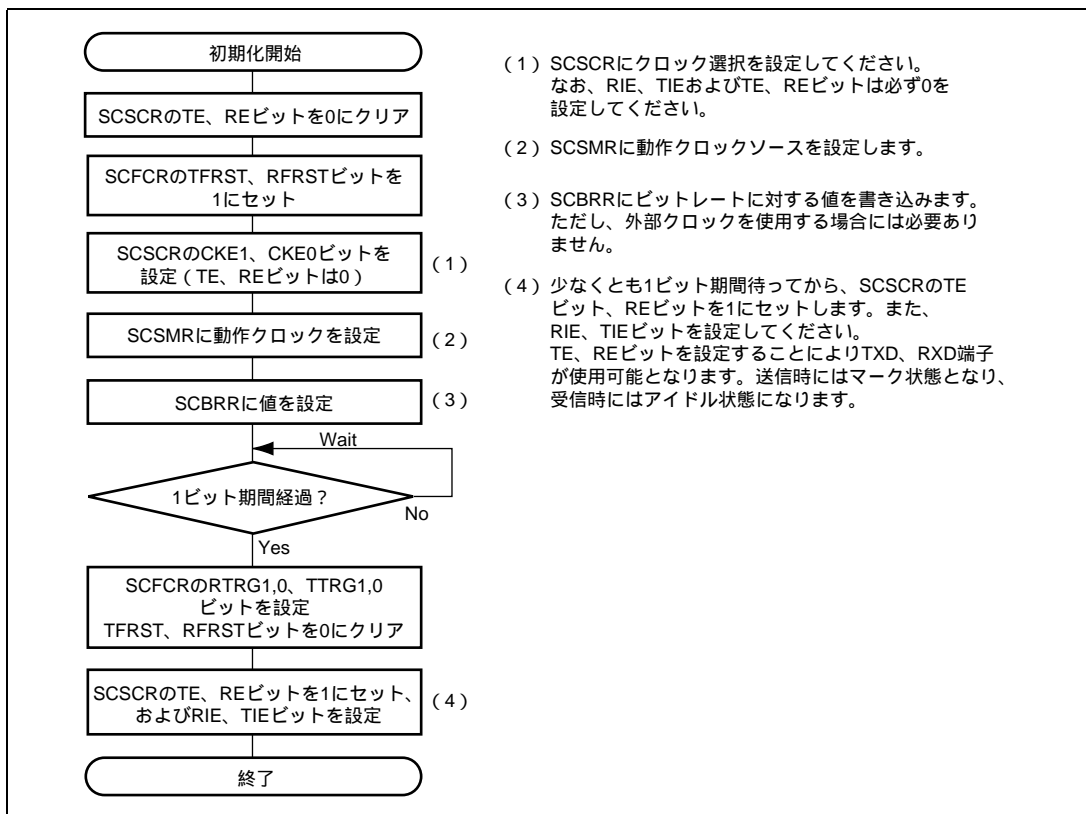


図 13.2 SCIF の初期化フローチャートの例

(b) シリアルデータ送信

図 13.3 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定したあと、以下の手順を参考に行ってください。

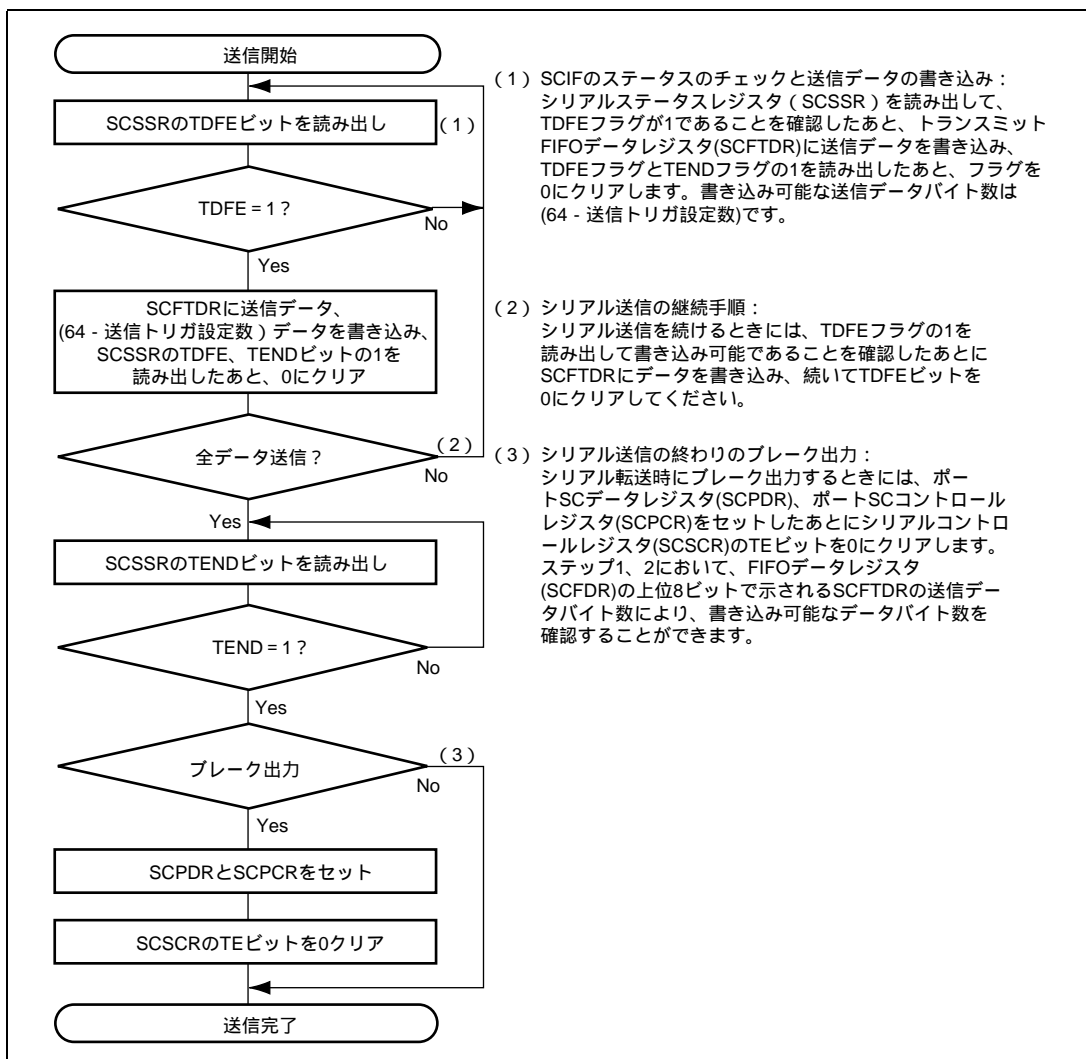


図 13.3 シリアル送信のフローチャートの例

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送し、送信を開始します。SCFTDRにはシリアルステータスレジスタ (SCSSR) のTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも (64 - 送信トリガ設定) 数です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になったとき、TDFEフラグをセットします。

このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ要因による割り込み要求を発生します。

送信データストップ機能使用時、トランスミットデータストップレジスタ (SCTDSR) に設定したデータ数と一致すると、送信動作を停止し、シリアルステータスレジスタ (SCSSR) のTSFフラグをセットします。

このとき、シリアルコントロールレジスタ (SCSCR) のTSIEビットが1にセットされていると送信データストップ要因による割り込み要求を発生します。ただし、送信FIFOデータエンプティ割り込みと送信データストップ割り込みのベクタは共通です。

シリアル送信データは、以下の順に TXD 端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
- 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
- ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
- マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出したあと、次フレームのシリアル送信を開始します。
送信データがないとシリアルステータスレジスタ (SCSSR) のTENDフラグに1をセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

調歩同期式モードの送信時の動作例を図 13.4 に示します。

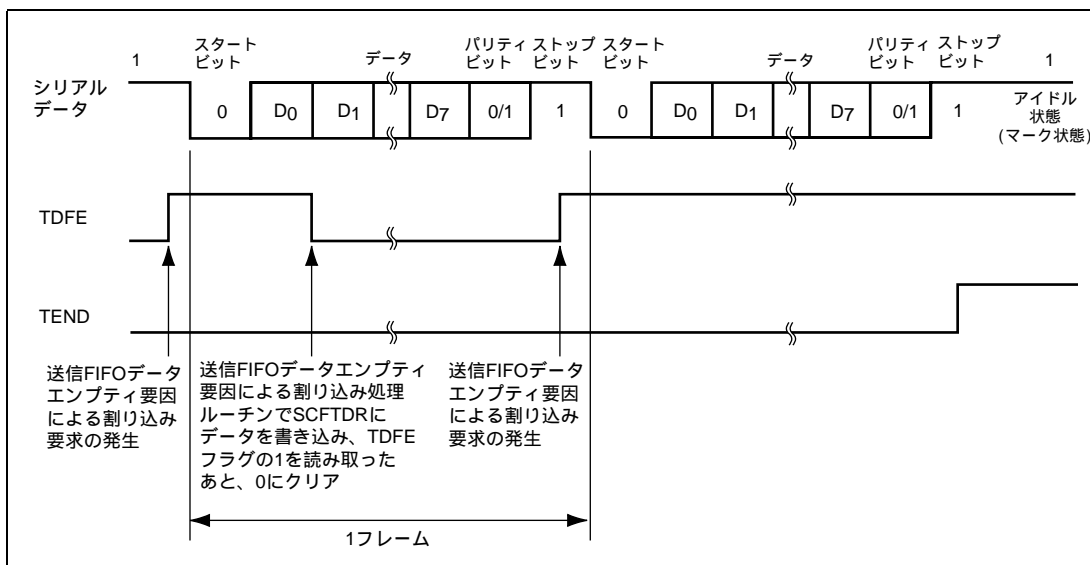


図 13.4 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

送信データストップ機能

送信データストップ機能とは、SCTDSR レジスタの値と送信データ数が一致すると、送信動作を停止する機能です。TSIE ビット (割り込みイネーブルビット) をセットしておくことで、割り込みの発生および DMAC の起動を行うことができます。

送信データストップ機能の動作例を図 13.5 に示します。

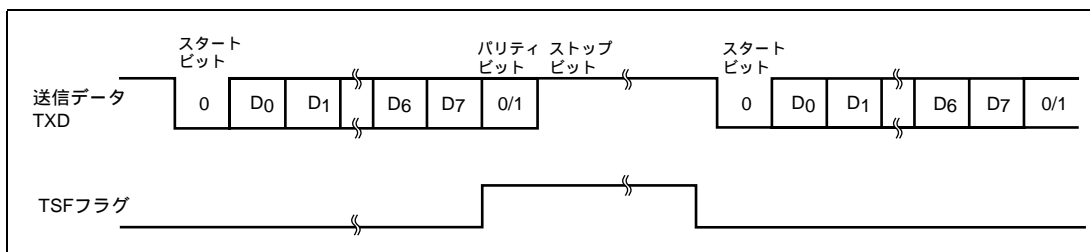


図 13.5 送信データストップ機能の動作例

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

次に、送信データストップ機能のフローチャートを図 13.6 に示します。

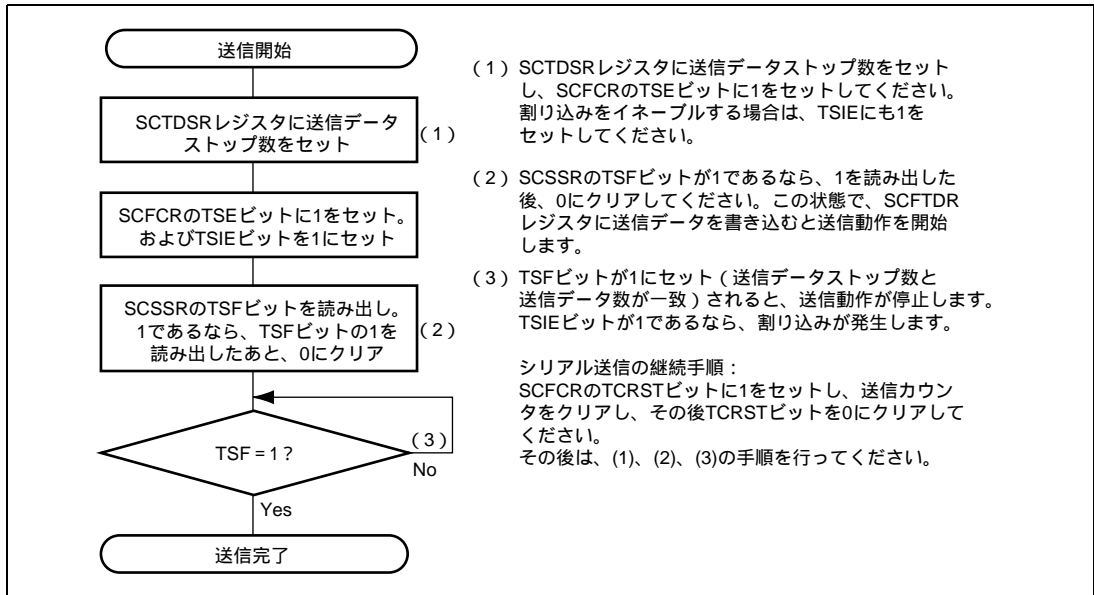


図 13.6 送信データストップ機能のフローチャート

(c) シリアルデータ受信

図 13.7、図 13.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定したあと、以下の手順に従って行ってください。

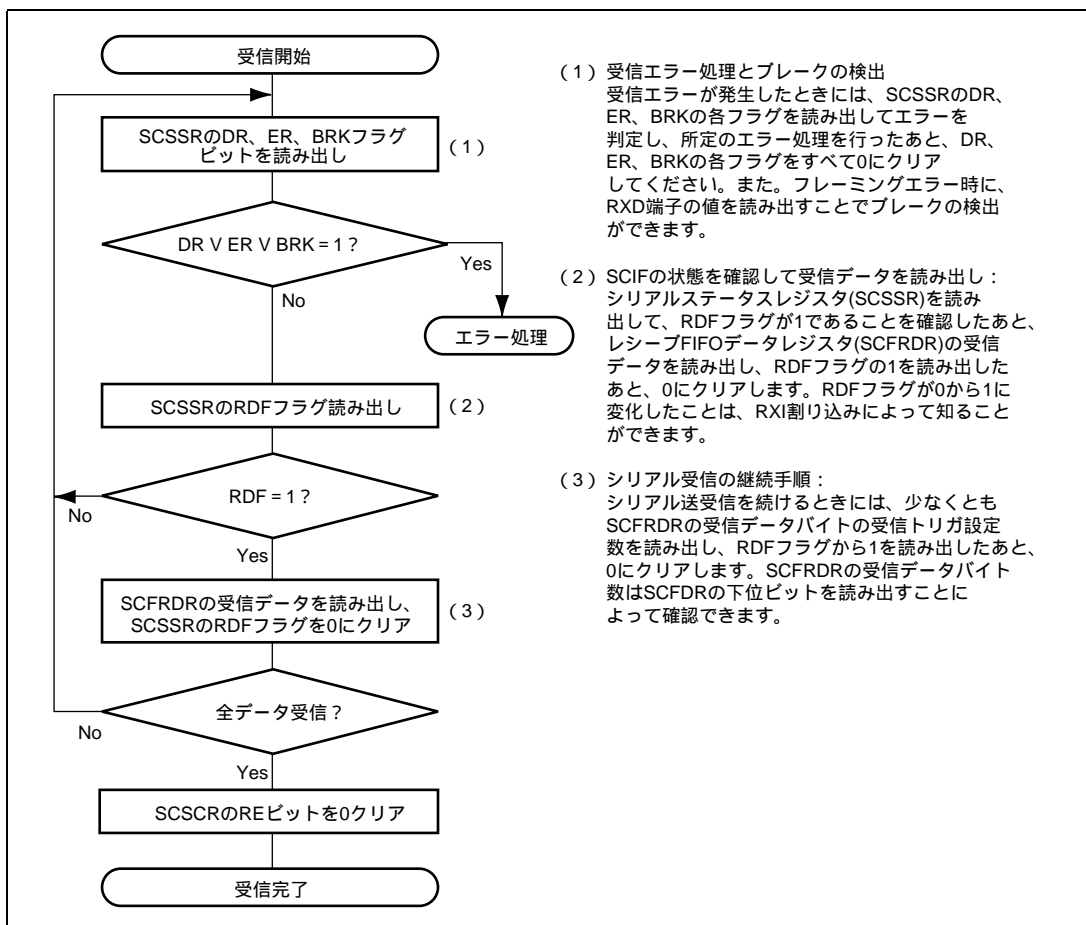


図 13.7 シリアル受信のフローチャートの例 (1)

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

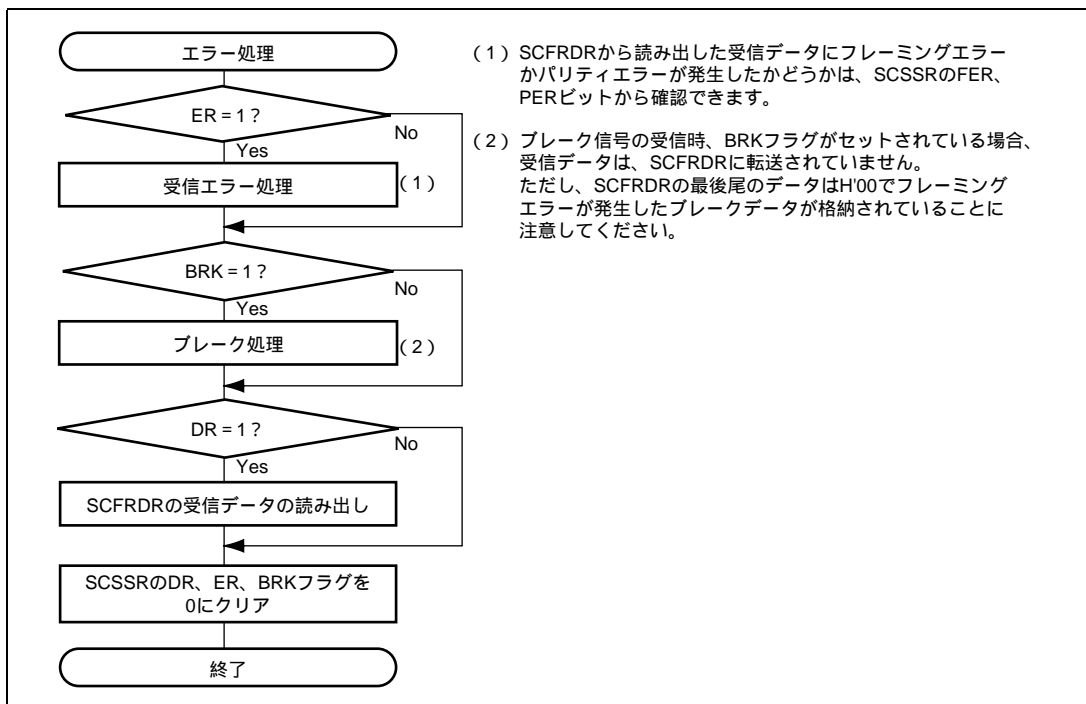


図 13.8 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCSSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- 受信データをレシープシフトレジスタ (SCSSR) から SCFRDR に転送できる状態であるかをチェックします。
- ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。

以上のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 受信エラー（フレーミングエラー / パリティエラー）が発生しても受信動作を続けます。

4. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル要因による割り込み要求が発生します。

また、ERフラグが1になったとき、SCSCRのERIEビットが1にセットされていると受信エラー要因による割り込み要求が発生します。

BRKフラグが1になったとき、SCSCRのBRIEビットが1にセットされていると、ブレイク受信要因による割り込み要求が発生します。

DRフラグが1になったとき、SCSCRのDRIEビットが1にセットされていると、レシーブデータレディ要因による割り込み要求が発生します。

各要因で発生する割り込みのベクタは共通です。

受信時の動作例を図 13.9 に示します。

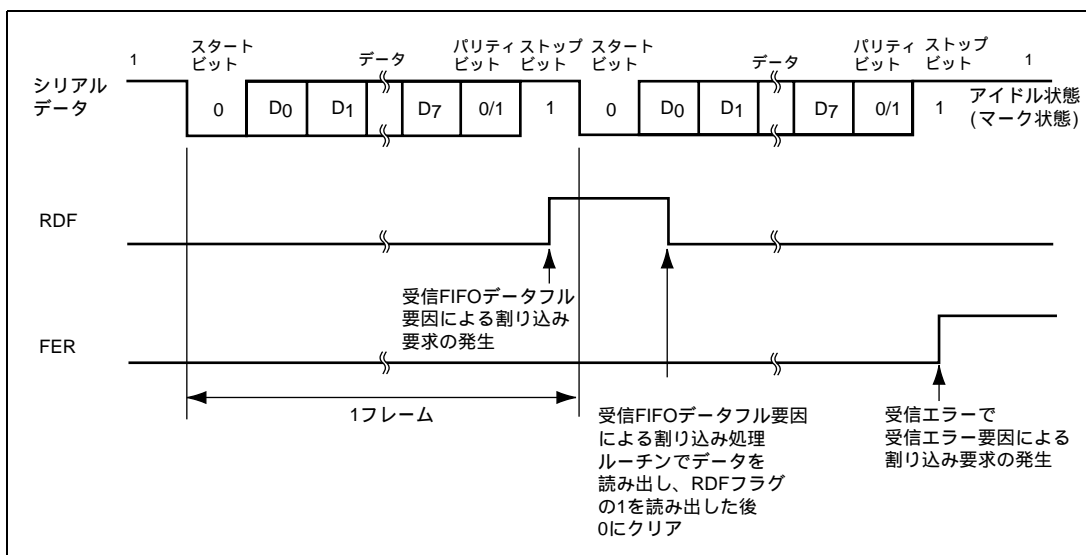


図 13.9 SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(d) モデム機能使用時の送受信

チャンネル0はモデム機能を持っています。モデム機能を使用した場合、 $\overline{\text{CTS}}$ 入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS}}$ が1にセットされると、送信中である場合1フレームの送信後マーク状態になります。 $\overline{\text{CTS}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

$\overline{\text{CTS}}$ 制御の動作例を図 13.10 に示します。

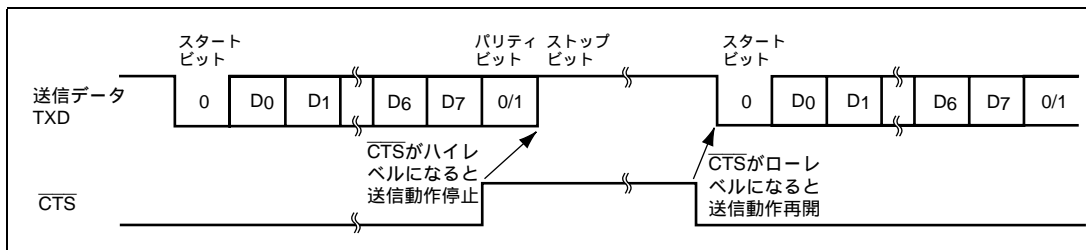


図 13.10 $\overline{\text{CTS}}$ 制御の動作例 (チャンネル0のみ)

また、モデム機能を使用した場合、受信 FIFO (SCFRDR) が $\overline{\text{RTS}}$ 出力トリガ数以上になったとき、 $\overline{\text{RTS}}$ 信号はハイレベルになります。

次に $\overline{\text{RTS}}$ 制御の動作例を図 13.11 に示します。

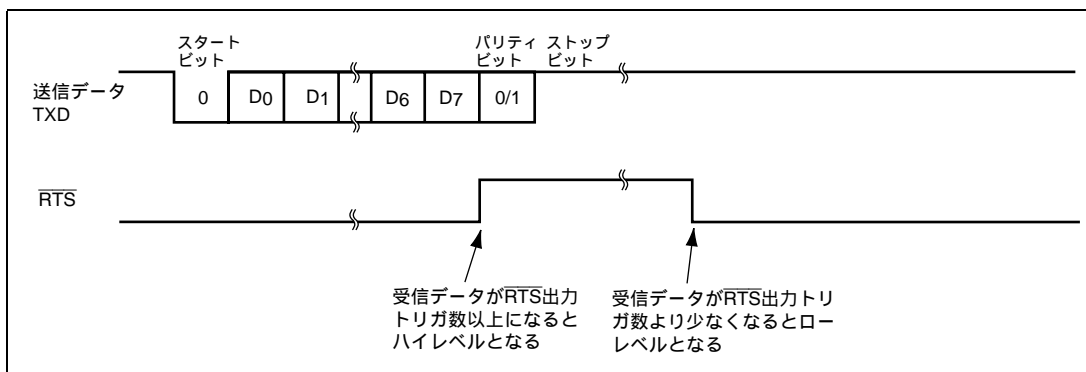


図 13.11 $\overline{\text{RTS}}$ 制御の動作例 (チャンネル0のみ)

13.5 割り込み要因と DMAC

SCIF は、送信 FIFO データエンプティ要因による割り込み要求、送信データストップ要因による割り込み要求、受信エラー要因による割り込み要求、受信 FIFO データフル要因による割り込み要求、ブレイク受信要因による割り込み要求、レシーブデータレディ要因による割り込み要求の 6 種類の割り込み要因をサポートしています。ただし、各要因による割り込みのベクタは共通です。

表 13.4 に各割り込み要因を示します。各割り込み要因は、SCSSR の TIE、RIE、ERIE、BRIE、DRIE、TSIE ビットで、許可または禁止ができます。

SCSSR の TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ要因による割り込み要求が発生します。SCSSR の TSF フラグが 1 にセットされると、送信データストップ要因による割り込み要求が発生します。送信 FIFO データエンプティ要因による割り込み要求と送信データストップ要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。送信 FIFO データエンプティ要因による DMAC 要求は、DMAC で SCFTDR に送信トリガ設定数を超えるデータが書き込まれていると自動的に 0 にクリアされます。ただし、送信 FIFO データエンプティ要因と送信データストップ要因による DMAC 要求は共通です。

SCSSR の RDF フラグが 1 にセットされると、受信 FIFO データフル要因による割り込み要求が発生します。受信 FIFO データフル要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。受信 FIFO データフル要因による DMAC 要求は、DMAC で SCFRDR 内の受信データ数が受信トリガ設定数よりも少なくなるまで読み出されると自動的に 0 にクリアされます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。DMAC の設定方法は「第 8 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

SCSSR の ER フラグが 1 にセットされた場合、または、
SCSSR の BRK フラグが 1 にセットされた場合、または、
SCSSR の DR フラグが 1 にセットされた場合、または、
SCSSR の TSF フラグが 1 にセットされた場合には、割り込み要求が発生します。

ただし、各要因による割り込みのベクタは共通となります。また、同一要因により、DMAC 起動と割り込みを同時に発生させることはできません。DMAC 起動を使用する場合は、以下の手順をとってください。

1. 発生要因に対応する割り込みイネーブルビット (TIE、RIE、TDIE) を 1 にセットしてください。
2. 割り込みコントローラで割り込みマスクすることにより、対応する割り込み要求をマスクしてください。

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 13.4 SCIF 割り込み要因

割り込み要因の内容	DMAC の起動
受信エラー (ER) またはブ레이크 (BRK) による割り込み	不可
受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可*1
送信 FIFO データエンpty (TDFE) または送信データストップ (TSF) による割り込み	可*2

【注】 *1 受信 FIFO データフル要因による割り込み要求でのみ DMAC の起動が行えます。

*2 送信 FIFO データエンpty (TDFE) または送信データストップ (TSF) による割り込み要求で DMAC の起動が行えます。送信データストップ (TSF) により DMAC を起動した場合のクリアは以下になります。

(1) CPU で TSF フラグをリードしたとき。

(2) 送信 FIFO がいっぱいになったとき。

優先順位、SCIF 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。

13.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCSSR) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR) 内に書き込んだ送信データ数が、FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされたあと、SCFTDR の空データ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は FIFO データ数レジスタ (SCFDR) のビット 14~8 で知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCSSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) 内の受信データ数が FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされたあと、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出したあと、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は FIFO データ数レジスタ (SCFDR) のビット 6~0 で知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、RXD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを受信したあとは、SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) 受信データサンプリングタイミングと受信マージン

サンプリングレートを 1/16 とした場合を例にあげて説明します。SCIF は転送レートの 8 倍の周波数の基本クロックで動作します。

受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 13.12 に示します。

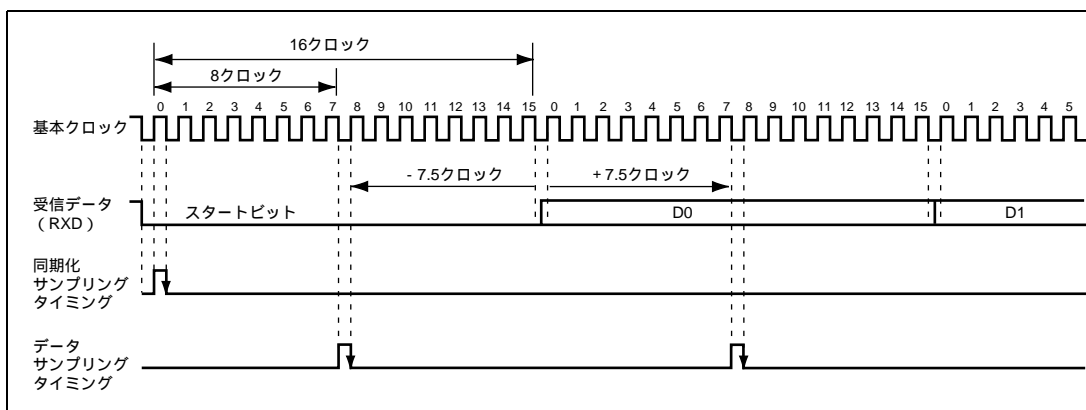


図 13.12 調歩同期式モードの受信データサンプリングタイミング

したがって、受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1+F) \right| \times 100\% \cdots \cdots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

13. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\% \quad \dots \dots \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(5) SCIF の初期化

通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアするとトランスミットシフトレジスタ (SCTSR) が初期化されます。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCSSR)、トランスミット FIFO データレジスタ (SCFTDR)、およびレシーブ FIFO データレジスタ (SCFRDR) の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCSSR の TEND ビットが 1 にセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、ハイインピーダンス状態になります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットを 1 にセットして SCFTDR をリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

(6) 低消費電力モードへの移行

シリアル送受信動作中にソフトウェアスタンバイモードに入ったり、SCIF のモジュールスタンバイビットをセットしてモジュールスタンバイ状態にしないでください。ソフトウェアスタンバイモードに移行するときや、モジュールスタンバイ状態にするときは、必ずシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを共にクリア (送受信ディスエーブル状態) した後に移行してください。

(7) 送受信ディスエーブル時の送受信端子状態

SCIF モジュールの TXD 端子は、TE ビットがクリアされているときはハイインピーダンス状態になります。RXD 端子は RE ビットがクリアされているときは入力固定状態になります。TXD 端子に接続する信号線の処理には注意が必要です。接続する先が常時入力状態の場合は、信号線にプルアップ素子を接続してください。

14. D/A 変換器 (DAC)

本 LSI は 2 チャンネルの D/A 変換器 (DAC) を搭載しています。

14.1 特長

- 8ビットの解像度
- 出力チャンネル：2チャンネル
- 変換時間：最小10 μ s (容量性負荷：20pF)
- 出力電圧：0V ~ AV_{cc} (アナログ部電源)

DAC のブロック図を図 14.1 に示します。

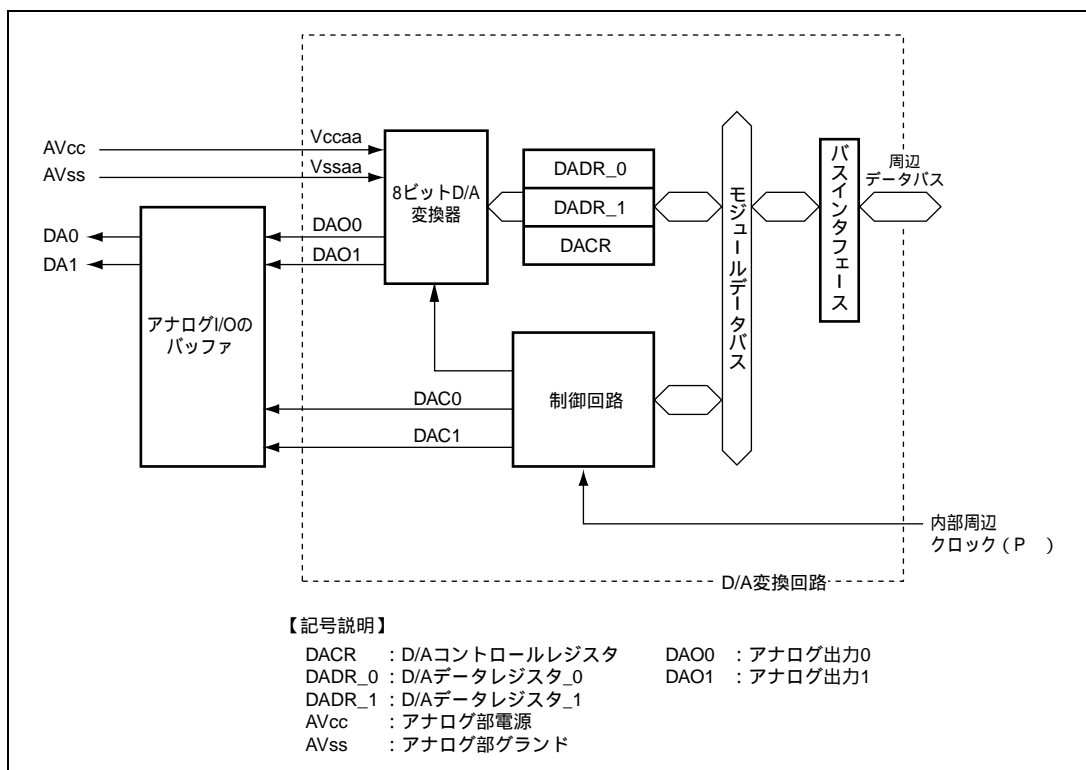


図 14.1 DAC のブロック図

14.2 入出力端子

DAC の端子構成を表 14.1 に示します。

表 14.1 端子構成

端子名	入出力	機能
AVcc	-	アナログ部の電源および D/A 変換基準電圧
AVss	-	アナログ部のグラウンド
DA0	出力	チャンネル 0 のアナログ出力
DA1	出力	チャンネル 1 のアナログ出力

14.3 レジスタの説明

DAC には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

- D/Aデータレジスタ_0 (DADR_0)
- D/Aデータレジスタ_1 (DADR_1)
- D/Aコントロールレジスタ (DACR)

14.3.1 D/A データレジスタ_0、1 (DADR_0、1)

DADR_0、DADR_1 は、変換データを格納する 8 ビットの読み出し / 書き込み可能なレジスタです。DACR の D/A 出力イネーブル (DAOE1、DAOE0) が 1 のとき、DADR_0、DADR_1 に設定された値を常に D/A 変換して、アナログ出力端子 (DA0、DA1) へ出力します。DADR_0、DADR_1 は、リセット時 H'00 に初期化されます。ソフトウェアスタンバイ、およびモジュールスタンバイでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7~0		H'00	R/W	変換データを格納する 8 ビットのレジスタです。

14.3.2 D/A コントロールレジスタ (DACR)

DACR は、DAC の動作を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。DACR は、リセット時 H'3F に初期化されます。ソフトウェアタンバイ、およびモジュールスタンバイでは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	チャンネル 1 の D/A 変換とアナログ出力を制御します。 0 : チャンネル 1 の D/A 変換とアナログ出力 (DA1) を禁止 1 : チャンネル 1 の D/A 変換とアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	チャンネル 0 の D/A 変換とアナログ出力を制御します。 0 : チャンネル 0 の D/A 変換とアナログ出力 (DA0) を禁止 1 : チャンネル 0 の D/A 変換とアナログ出力 (DA0) を許可
5~0		すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 を書いた場合の動作の保証はできません。

14.4 動作説明

DAC には、独立して変換を実行できる 2 つの D/A 変換回路を内蔵しています。

DAC は DACR でアナログ出力を許可状態のとき、常に D/A 変換が実行されます。DADR_0、DADR_1 の値を変更すると、新しいデータの変換を直ちに開始します。DACR の DAOE1 ビット、DAOE0 ビットを 1 にセットすると変換結果が出力されます。

チャンネル 0 の D/A 変換の例を次に示します。タイミングは図 14.2 に示します。

1. 変換するデータを DADR_0 に書き込みます。
2. DACR の DAOE0 ビットを 1 にセットします。D/A 変換を開始し、DA0 は出力許可になります。変換結果は変換時間後に出力されます。出力値は、 $(\text{DADR_0内容} / 256) \times AV_{CC}$ です。この変換結果の出力は、DADR_0 の値を変更するか、DACR の DAOE0 ビットを 0 にクリアするまで続きます。
3. DADR_0 の値を変更すると、変換を再び開始し、結果は変換時間の後で出力されます。
4. DACR の DAOE0 ビットを 0 にクリアすると、アナログ出力 (DA0) は禁止 (Hi-Z) になります。

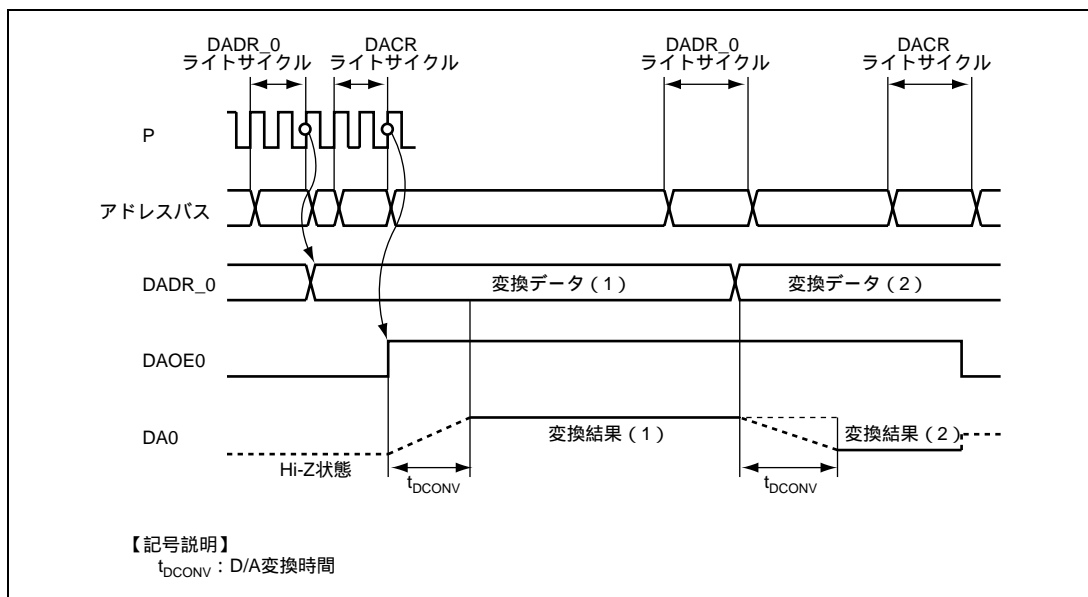


図 14.2 D/A 変換動作の例

15. USB ピンマルチプレクスコントローラ (USBPM)

15.1 特長

USB ピンマルチプレクスコントローラは USB ファンクションコントローラから USB トランシーバへのデータバスを制御します。さらに本 LSI の USB ピンマルチプレクスコントローラは USB ファンクションコントローラに供給するクロック信号を内部生成または外部から入力する選択制御機能を持っています。

USB ファンクションコントローラは、EXCPG 制御レジスタ (EXCPGCR) で制御されるマルチプレクサを介して、USB トランシーバに接続されています。

本 LSI は USB2.0 規格で規定された 48MHz のクロックを RDI_REFCLK_IN 端子より入力される 13MHz クロックから内蔵逡倍回路によって生成し、USB ファンクションコントローラに供給します。外部に 48MHz のクロック供給源がある場合、外部から直接供給することも可能です。前者の内蔵逡倍回路を使う機能は、本 LSI に直結される RF IC 等から安定したクロックを受け取る場合に、新たな 48MHz の TCXO を外部に接続せずに済む利点がありますが、一定のジッタが発生しますので、その点の考慮が必要です。内蔵逡倍回路からのクロックを使った場合、他の USB 機器との接続性の確認を行ってから使用してください。

15. USB ピンマルチプレクスコントローラ (USBPM)

図 15.1 に、本 LSI に内蔵された USB ファンクションコントローラ、内蔵された 1 ポートのアナログ USB トランシーバおよびクロック制御回路の接続を示します。

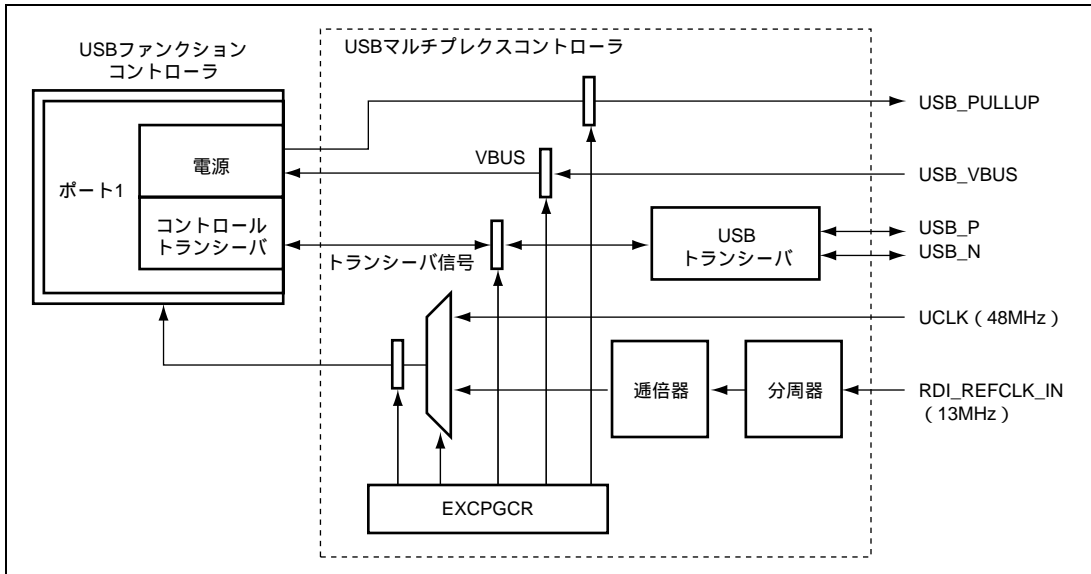


図 15.1 USB 機能のブロック図

【注】 分周器に入力される内部クロックは、CPU 用のクロック (EXTAL から入力) ではなく、Bluetooth RF チップとのインタフェースから供給されるクロック (RDI_REFCLK_IN から入力) ですので、13MHz 固定となります。

15.2 入出力端子

USB ピンマルチプレクスコントローラには表 15.1、表 15.2、表 15.3 に示すような端子があります。

表 15.1 端子構成 (アナログトランシーバ信号)

端子名	入出力	機能
USB_P	入出力	P 端子 D+ポートトランシーバ端子
USB_N	入出力	N 端子 D-ポートトランシーバ端子

【注】 表 15.1 に示された端子は、1 ポートの USB ファンクションコントローラ端子として使用することが可能です。未使用時はプルダウンしてください。

表 15.2 端子構成 (電源制御信号)

端子名	入出力	機能
USB_PULLUP	出力	プルアップ制御端子 USB プルアップ制御端子
USB_VBUS	入力	VBUS 端子 USB ケーブル接続モニター端子

表 15.3 端子構成 (クロック制御信号)

端子名	入出力	機能
RDI_REFCLK_IN	入力	ブルートゥースインタフェース用クロック端子 ブルートゥースインタフェース用クロック (13MHz) を入力するための端子 (内部選倍回路によって 48MHz を生成します。)
UCLK	入力	外部クロック端子 外部から直接 48MHz クロックを入力するための端子。

【注】 USBF の 48MHz クロックは、RDI_REFCLK_IN または UCLK のどちらかを選択して使用します。

15.3 レジスタの説明

本モジュールには以下のレジスタがあります。このレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

- EXCPG制御レジスタ (EXCPGCR)

15.3.1 EXCPG 制御レジスタ (EXCPGCR)

EXCPGCR は、USB ファンクションコントローラへの 48MHz クロックを供給するための制御およびモジュールリセットを行うためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
4	USBVALID	0	R	USB ステータス USB ファンクションコントローラが使用可能かどうかを示すステータスビットです。読み出しのみ可能です。書き込みアクセスは無視されます。USB ファンクションコントローラはパワーオンリセット直後、ソフトウェアスタンバイからの復帰直後および USBRESET セットによるリセット直後は、しばらく使用できない状態が発生します。USB ファンクションコントローラを使用するときには、このビットが使用可能状態であることを確認の後、使用してください。 【注】 USBHSTP ビットや USBFSTP ビットがセットされていても内蔵 逡倍器は停止しませんので、USBVALID ビットは 1 の状態を維持します。 0 : USB ファンクションコントローラは使用不可 1 : USB ファンクションコントローラは使用可能

15. USB ピンマルチプレクスコントローラ (USBPM)

ビット	ビット名	初期値	R/W	説明
3	USBRESET	1	R/W	<p>USB リセット</p> <p>USB ファンクションコントローラのリセットビットです。</p> <p>USB ファンクションコントローラをリセットするために使用します。このビットに 0 を書き込むと、約 1 μs.後に USBVALID ビットが 0 になります。USBVALID ビットが 0 になったことを確認した後、このビットを 1 にセットしてください。USB ファンクションコントローラはこのビットが 1 にセットされた後、リセットシーケンスを開始し、終了後、USBVALID ビットが 1 になります。この手順に従わなかった場合、USB ファンクションコントローラの正常な初期化動作は保証できません。</p> <p>ソフトウェアスタンバイからの復帰後、USB ファンクションコントローラは不安定な状態になる場合がありますので、USB ファンクションコントローラを使用するときは必ず USBVALID ビットが 1 になったことを確認した後に本ビットでリセットしてから使用してください。</p> <p>USBHSTP ビットおよび USBFSTP ビットを使用して、USB ファンクションコントローラへのクロック供給を停止した後に再度クロック供給を行う際、USB ファンクションコントローラは不安定な状態になる場合がありますので、USB ファンクションコントローラを使用するときは必ず、本ビットでリセットしてから使用してください。</p> <p>0 : USB ファンクションコントローラをリセット 1 : 通常状態</p>
2	USBHSTP	0	R/W	<p>モジュールストップ USBH</p> <p>USB ホストコントローラのストップビットです。</p> <p>本 LSI では、USB ホストコントローラはサポートしておりません。パワーオンリセット後に USBVALID ビットが 1 であることを確認後、本ビットを必ず 1 に設定してください。</p> <p>0 : パワーオンリセット直後の初期値 1 : 通常動作時の設定値</p>

15. USB ピンマルチプレクスコントローラ (USBPM)

ビット	ビット名	初期値	R/W	説明
1	USBFSTP	0	R/W	<p>モジュールストップ USBF</p> <p>USB ファンクションコントローラのストップビットです。</p> <p>USB ファンクションコントローラを動作させるクロックの供給 / 停止を制御するために使用します。このビットに 0 を書き込むと、USB ファンクションコントローラにクロックが供給され、1 を書き込むと、クロック供給が停止します。USBHSTP ビットと USBFSTP ビットが共に 0 または共に 1 の場合、USB トランシーバは非活性状態となり、USB_P、USB_N 出力端子はハイインピーダンスとなり、USB_PULLUP 端子はロー出力になります。USB ファンクション機能を使うときは、最初に必ず USBFSTP ビットを 0 に設定してください。USBHSTP と USBFSTP を共に 0 にしたまま、USB ファンクションコントローラの制御レジスタをアクセスした場合の動作は保証できません。</p> <p>USB ファンクションコントローラへのクロック供給が停止している期間内の USB ファンクションコントローラへのレジスタアクセスは行わないでください。行った際の動作は保証できません。</p> <p>0 : USB ファンクションコントローラは動作 1 : USB ファンクションコントローラへのクロック供給を停止</p>
0	USBCLKSEL	0	R/W	<p>USB クロック選択</p> <p>USB 用クロックのソース選択ビットです。</p> <p>USB クロックを内部で生成するか、外部から入力するかを選択するために使用します。このビットを切り替えた場合は、必ず USBRESET ビットを使って USB ファンクションコントローラの初期化を行ってください。</p> <p>0 : USB クロックは内部で生成 1 : USB クロックは UCLK 端子から供給</p>

15.4 外部回路例

15.4.1 USB ファンクションと外部回路の接続例

図 15.2、図 15.3 に USB ファンクションコントローラを選択した場合の本 LSI と外部回路との接続例を示します。USB ファンクションコントローラの使用に際しては、USB_VBUS 端子に信号を入力する必要があります。USB_VBUS 端子は、EXCPGCR レジスタの USBFSTP ビットに 0、USBHSTP ビットに 1 を書き込むことにより、USB_VBUS 端子の機能が有効となります。USB_VBUS 端子の状態により、USB ファンクションコントローラはケーブルの接続 / 切断を認識します。また、USB ホストコントローラ / ハブに対して接続されたことを通知するために、D+端子のプルアップを行う必要があります。図 15.2、図 15.3 の回路例では、プルアップの制御に USB_PULLUP 端子を使用しています。

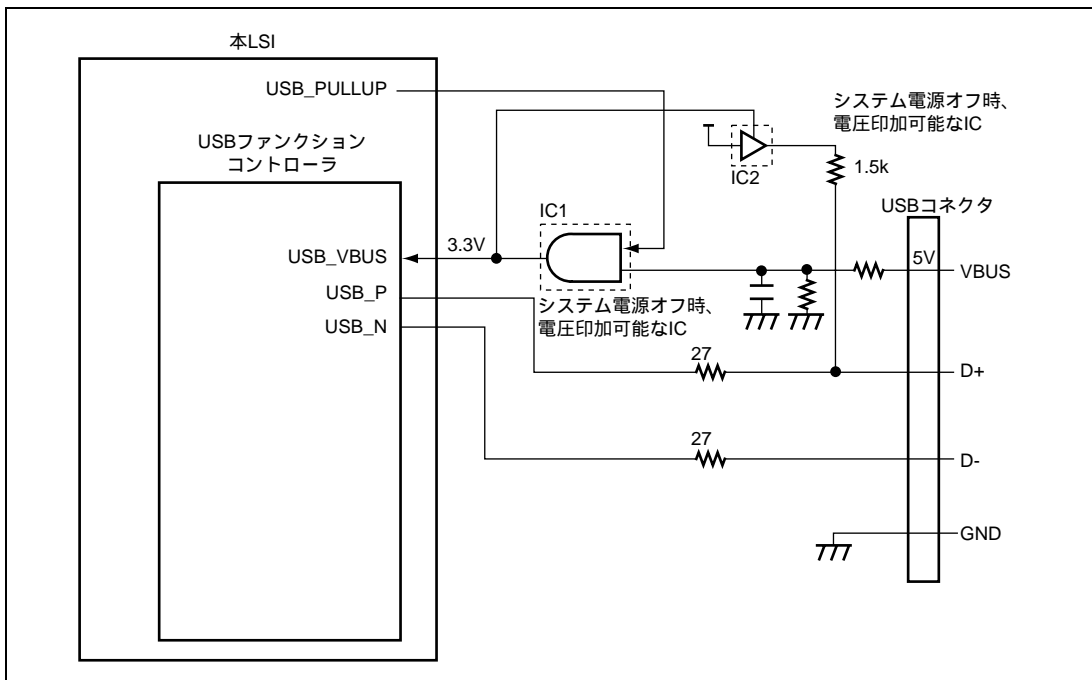


図 15.2 USB ファンクションコントローラと外部回路の接続例

15. USB ピンマルチプレクスコントローラ (USBPM)

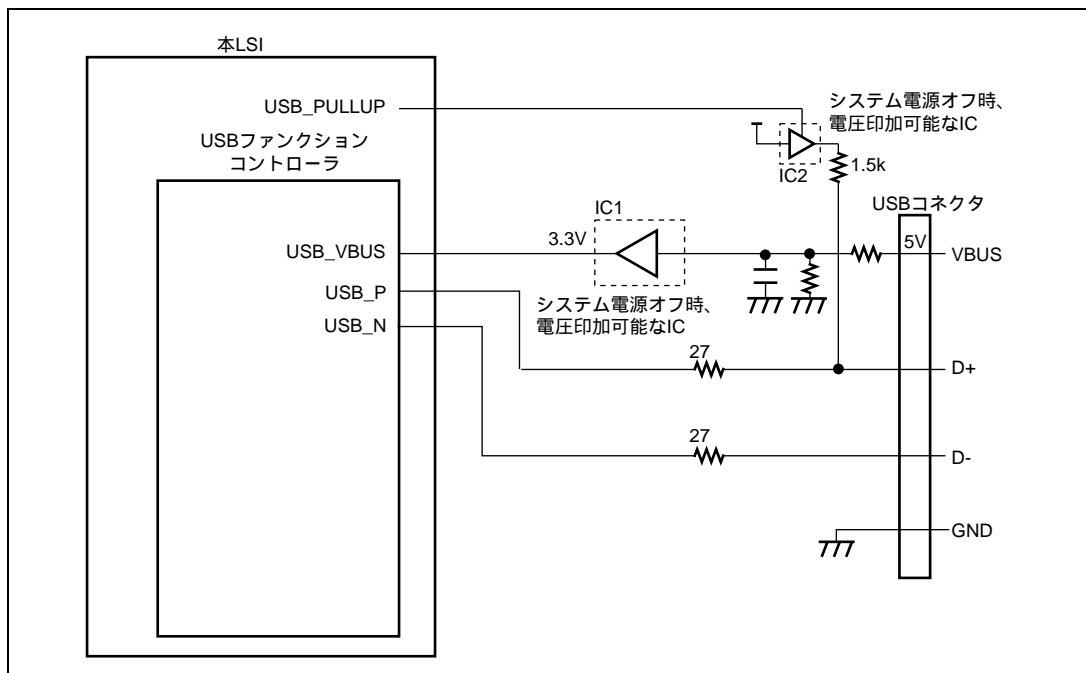


図 15.3 USB ファンクションコントローラと外部回路の接続例

- D+のプルアップ制御

USBホストコントローラ/ハブへの接続通知 (D+プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中等)、システムではD+のプルアップをUSB_PULLUP端子を用いて制御してください。図15.2に示す回路例のようにD+のプルアップ制御信号およびUSB_VBUS端子入力信号はUSB_PULLUP端子とUSBケーブルVBUSを用いて (AND回路) 制御してください。図15.2の回路例ではUSB_PULLUP端子がローレベルのとき、D+プルアップ禁止となります。(USB_PULLUP端子の初期値はローになります) また、図15.3に示す回路例のように直接USB_PULLUP端子でプルアップ制御をする場合は、必ずUSB_VBUS端子がハイレベルになったことを確認してから、D+をプルアップしてください。プルアップ制御用IC (図15.2、図15.3のIC2) には、システム電源オフ時に電圧印加が可能なIC (HD74LVIG126A等) を使用してください (本LSI搭載USBファンクションコントローラでは、USB_VBUS端子 = Lowのとき、D+、D-の状態に関わらずパワードステートを保持します)。

- USBケーブル接続 / 切断の検出

本LSI搭載のUSBファンクションコントローラはハードウェアにてUSBの状態等を管理しているため、接続 / 切断を認識するUSB_VBUS信号が必要となります。USB_VBUSはUSBケーブル内の電源信号 (VBUS) を用いますが、USBファンクションコントローラが電源オフ時、USBホスト/ハブにケーブルが接続されると、USBホストコントローラ/ハブから電圧 (5V) が印加されてしまいます。

そのため、図15.2、図15.3のIC1には、システム電源オフ時に電圧印加が可能なIC (HD74LVIG08A等) を使用してください。

15.4.2 使用上の注意事項

(1) USB ファンクションコントローラと外部回路例に関して

本章記載の外部回路例はあくまで参考例であり、これにより動作を保証するものではありません。

また、外部からのサージ、および ESD ノイズ対策がシステムの必要な場合、保護ダイオード等で対策してください。

(2) USB に供給されるクロックに関して

USB クロックを内蔵通倍回路で生成する場合、クロックのソースは CPU クロックのソースである EXTAL 端子からの入力クロックではなく、ブルートゥースの RF-IC とのデータ入出力用およびブルートゥースインタフェース用のクロックである RDI_REFCLK_IN 端子からの入力クロックから生成しています。ただし、内蔵通倍回路を使用した場合、クロック精度は USB 規格の値を保証できません。本 LSI の USB 機能を使用する場合には、上記の方法よりも、UCLK 端子から USB の規格に適合した精度を持つ 48MHz のクロックを入力することを推奨します。

(3) 規格外の市販 USB ケーブルの使用による不具合について

実際に市販されている USB ケーブルには、規格外の製品が存在しており、一部の規格外ケーブルを使用すると接続が中断する現象が確認されています。規格に適合しているケーブルをお使いください。

(4) モジュールストップ USBH について

パワーオンリセット後に USBVALID ビットが 1 であることを確認後、本ビットを必ず 1 に設定してください。本ビットが 0 のままですと、USB ファンクションコントローラを使用することはできません。

15. USB ピンマルチプレクスコントローラ (USBPM)

16. USB ファンクションコントローラ (USBF)

本 LSI は、USB ファンクションコントローラ (USBF) を内蔵しています。

16.1 特長

- USB2.0に対応したUDC (USB Device Controller) を内蔵、USBプロトコルを自動処理。エンドポイント0に対するUSB標準コマンドを自動処理 (一部のコマンドとクラス/ベンダコマンドはファームウェアでデコードし、処理する必要があります。)
- 転送スピード：フルスピード

USB ホストが使用するエンドポイント番号と本 USB ファンクションコントローラが提供するエンドポイント FIFO 番号 (転送方式、転送方向は固定) の対応をエンドポイント情報レジスタ (EPIRn0 ~ EPIRn5) で設定することで任意のエンドポイント構成が可能です。

エンドポイント名	名称 記号	エンド ポイント FIFO 番号	転送タイプ	最大 パケット サイズ	FIFO バッファ 容量 (バイト)	DMA 転送	用途
エンドポイント 0	EP0s	H'00	セットアップ	8	8	-	Enumration
	EP0i	H'00	コントロールイン	64	64	-	
	EP0o	H'00	コントロールアウト	64	64	-	
エンドポイント 1	EP1	H'01	インタラプトイン	16	16	-	モデム、 パケット
エンドポイント 2i	EP2i	H'02	バルクイン	64	128	可能	
エンドポイント 2o	EP2o	H'03	バルクアウト	64	128	可能	
エンドポイント 3i	EP3i	H'05	アイソクロナスイン	64	128	-	AT コマンド 制御、音声
エンドポイント 3o	EP3o	H'06	アイソクロナスアウト	60	120	-	
エンドポイント 4	EP4	H'07	インタラプトイン	16	16	-	SD/MMC メモ리카ード
エンドポイント 5	EP5	H'08	バルクイン	32	64	可能	
エンドポイント 6	EP6	H'09	バルクアウト	32	64	可能	

16. USB ファンクションコントローラ (USBF)

- 割り込み要求：USB送受信に必要な各種割り込み信号を生成
- 低消費電力モード
USBケーブル切断時、UDC内部クロック停止による低消費電力化が可能
サスペンド状態へ自動遷移 / 自動復帰
- パワーモード：セルフパワード
- エンドポイントの構成：任意のエンドポイント構成が設定可能です (ブルートゥース規格対応のエンドポイント構成も可能)。

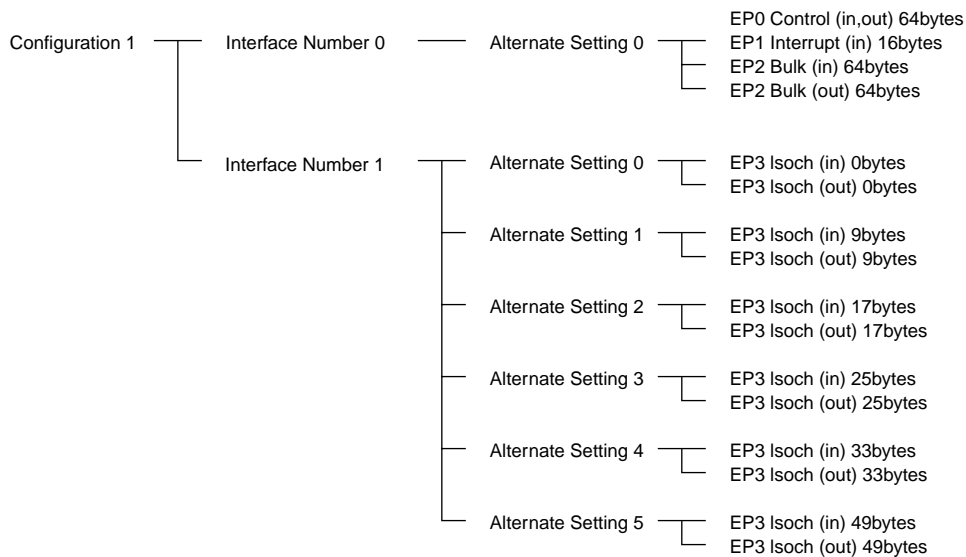


図 16.1 に USBF のブロック図を示します。

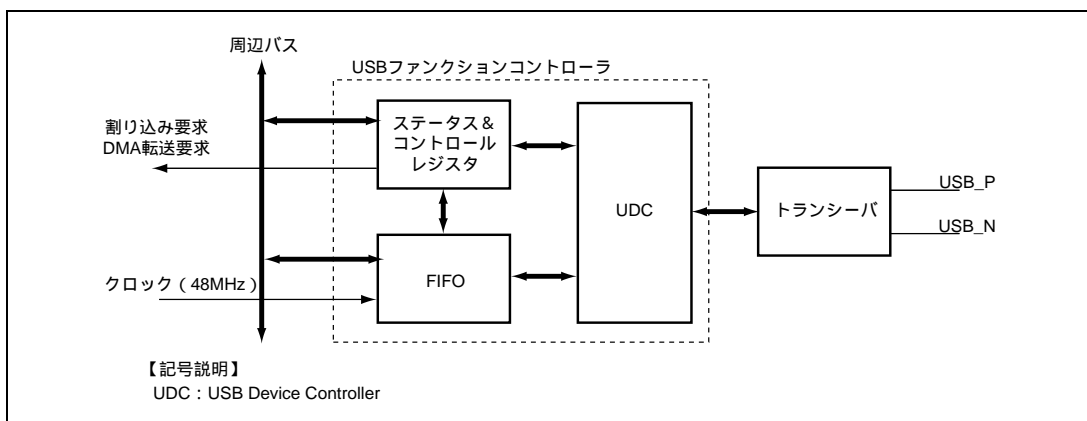


図 16.1 USB ファンクションコントローラのブロック図

16.2 入出力端子

USBF の端子構成を表 16.1 に示します。

各端子の詳細な設定方法については、「第 15 章 USB ピンマルチプレクスコントローラ (USBPM)」を参照してください。

表 16.1 端子構成

端子名	入出力	機能
RDI_REFCLK_IN	入力	ブルートゥースインタフェース用クロック端子 ブルートゥースインタフェース用クロック (13MHz) を入力するための端子 (内蔵 遷倍回路によって 48MHz を生成します)。
UCLK	入力	外部クロック端子 USB 用クロック入力端子 (48MHz 入力)
USB_PULLUP	出力	プルアップ制御端子 プルアップ制御出力
USB_VBUS	入力	VBUS 端子 USB ケーブル接続モニタ
USB_P	入出力	P 端子 D+ ポートトランシーバ端子
USB_N	入出力	N 端子 D- ポートトランシーバ端子

【注】 48MHz クロックは、RDI_REFCLK_IN または UCLK のどちらかを選択して使用します。

16.3 レジスタの説明

USBF には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。

- 割り込みフラグレジスタ0 (IFR0)
- 割り込み選択レジスタ0 (ISR0)
- 割り込みイネーブルレジスタ0 (IER0)
- EP0iデータレジスタ (EPDR0i)
- EP0oデータレジスタ (EPDR0o)
- EP0sデータレジスタ (EPDR0s)
- EP1データレジスタ (EPDR1)
- EP2iデータレジスタ (EPDR2i)
- EP2oデータレジスタ (EPDR2o)
- EP3iデータレジスタ (EPDR3i)
- EP3oデータレジスタ (EPDR3o)
- EP4データレジスタ (EPDR4)
- EP5データレジスタ (EPDR5)
- EP6データレジスタ (EPDR6)
- EP0o受信データサイズレジスタ (EPSZ0o)
- EP2o受信データサイズレジスタ (EPSZ2o)
- EP3o受信データサイズレジスタ (EPSZ3o)
- EP6受信データサイズレジスタ (EPSZ6)
- トリガレジスタ (TRG)
- データステータスレジスタ (DASTS)
- FIFOクリアレジスタ (FCLR)
- DMA転送設定レジスタ (DMA)
- エンドポイントストールレジスタ (EPSTL)
- コンフィグレーションバリュージェジスタ (CVR)
- タイムスタンプレジスタ (TSR)
- コントロールレジスタ (CTLR)
- エンドポイント情報レジスタ (EPIRn0 ~ 5)

16.3.1 割り込みフラグレジスタ 0 (IFR0)

EP0i、EP0o、EP1、EP2i、EP2o、EP3i、EP3o、EP4～EP6、およびバスリセット、セットアップコマンド受信、VBUS、SUS/RES、SOF、SETC、SETI 割り込みフラグレジスタです。各フラグが 1 にセットされ割り込みインペールレジスタ 0 (IER0) の対応するビットで割り込みが許可されていれば、割り込み選択レジスタ 0 (ISR0) の対応ビットにより割り当てられた INT 端子から割り込みが出力されます。割り込み要求と割り込み信号の設定は、ISR0 で設定します。フラグのクリアは 0 を書き込むことで行います。1 書き込みは無効で、何も行われません。

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
30	BRST	0	R/W	バスリセット [セット条件] USB バス上でバスリセット信号を検出したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
29	SETUP TS	0	R/W	セットアップコマンド受信完了 [セット条件] ファンクションでコマンドデコードを行う 8 バイトのデータが正常に受信され、ファンクションからホストに ACK ハンドシェイクを返したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
28	VBUSMN	0	R	USB 接続ステータス USB_VBUS 端子の状態をモニタするステータスビットです。USB_VBUS 端子の状態を反映します。 【注】 割り込みの出力は行いません。
27	VBUSF	0	R/W	USB 切断検出 [セット条件] ファンクションが USB バスに接続されたとき、および切断されたとき 【注】 接続 / 切断の検出には本モジュールの USB_VBUS 端子を使用します。 [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説明
26	SURSS	0	R	Suspend/Resume ステータス バスの状態を示すステータスビットです。 1: サスペンド状態 0: 通常状態 【注】 割り込みの出力は行いません。
25	SURSF	0	R/W	Suspend/Resume 検出 [セット条件] バスが通常状態からサスペンド状態、またはサスペンド状態から通常状態へ遷移したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
24	CFDN	0	R/W	エンドポイント情報ロード終了 [セット条件] EPIR レジスタに書き込んだエンドポイント情報が本モジュール内で設定完了したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき 【注】 本モジュールはエンドポイント情報の設定が完了したあと、USB ファンクションコントローラとして正常に動作します。
23	SOF	0	R/W	SOF パケット [セット条件] SOF パケットを検出したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
22	SETC	0	R/W	Set Configuration コマンド検出 [セット条件] Set Configuration コマンドを検出したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説 明
21	SETI	0	R/W	Set Interface コマンド検出 [セット条件] Set Interface コマンドを検出したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
20	EP6 FULL	0	R	EP6 (バルクアウト) FIFO フル [セット条件] EP6 の FIFO は 2 面構成になっており、1 面以上の FIFO が一杯のとき [クリア条件] (1) リセット時 (2) 2 面とも空きになったとき 【注】 ステータスビットのためクリアはできません
19	EP5 EMPTY	1	R	EP5 (バルクイン) FIFO エンプティ [セット条件] (1) リセット時 (2) EP5 の FIFO は 2 面構成になっており、1 面以上の FIFO が空のとき [クリア条件] FIFO が 2 面とも空でなくなったとき 【注】 ステータスビットのためクリアはできません
18	EP5 TR	0	R/W	EP5 (バルクイン) 転送リクエスト [セット条件] EP5 にホストから IN トークンが発行され、2 面とも FIFO が空のとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
17	EP4 TR	0	R/W	EP4 (インタラプトイン) 転送リクエスト [セット条件] EP4 にホストから IN トークンが発行され、FIFO が空のとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説明
16	EP4 TS	0	R/W	<p>EP4 (インタラプトイン) 送信完了</p> <p>[セット条件]</p> <p>EP4 にホストに送信するデータを書き込んだ後、ファンクションからホストに正常にデータが転送され、ACK ハンドシェイクが返ってきたとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
15、14		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。</p>
13	EP3o TF	0	R/W	<p>EP3o (アイソクロナスアウト) 異常受信</p> <p>EP3o の FIFO 状態を示すフラグです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。</p> <p>[セット条件]</p> <p>ホストからの転送データを EP3o で異常受信 (パケットエラー) したとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
12	EP3o TS	0	R/W	<p>EP3o (アイソクロナスアウト) 正常受信</p> <p>EP3o の FIFO 状態を示すフラグです。ホストからのデータ受信が終了し、次の SOF パケット受信後に読み出し可能となった FIFO 面の状態を示します。</p> <p>[セット条件]</p> <p>ホストからの転送データを EP3o で正常受信したとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>
11	EP3i TR	0	R/W	<p>EP3i (アイソクロナサイン) 送信リクエスト</p> <p>[セット条件]</p> <p>EP3i にホストから IN トークンが発行されたときに送信される FIFO が空のとき</p> <p>[クリア条件]</p> <p>(1) リセット時</p> <p>(2) CPU で 0 を書き込んだとき</p>

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説 明
10	EP3i TS	0	R/W	<p>EP3i (アイソクロナサイン) 正常送信 EP3i の FIFO 状態を示すフラグです。</p> <p>SOF パケット受信後、自動的に FIFO の面が切り替わりますが、このとき CPU からの書き込みが可能な FIFO 面は、1 つ前 (SOF 受信前) のフレームでホストにデータ送信を行った面です。本ビットはこの 1 つ前の送信状態を示します。</p> <p>[セット条件] 1 つ前のフレームで送信が正常に行われたとき</p> <p>[クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき</p>
9、8		すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。</p>
7	EP2o FULL	0	R	<p>EP2o (バルクアウト) FIFO フル</p> <p>[セット条件] EP2o の FIFO は 2 面構成になっており、1 面以上の FIFO が一杯のとき</p> <p>[クリア条件] (1) リセット時 (2) 2 面とも空になったとき</p> <p>【注】 ステータスビットのためクリアはできません</p>
6	EP2i EMPTY	1	R	<p>EP2i (バルクイン) FIFO エンプティ</p> <p>[セット条件] (1) リセット時 (2) EP2i の FIFO は 2 面構成になっており、1 面以上の FIFO が空のとき</p> <p>[クリア条件] FIFO が 2 面とも空でなくなったとき</p> <p>【注】 ステータスビットのためクリアはできません。</p>
5	EP2i TR	0	R/W	<p>EP2i (バルクイン) 転送リクエスト</p> <p>[セット条件] EP2i にホストから IN トークンが発行され、2 面とも FIFO が空のとき</p> <p>[クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき</p>

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説明
4	EP1 TR	0	R/W	EP1 (インタラプトイン) 転送リクエスト [セット条件] EP1 にホストから IN トークンが発行され、FIFO が空のとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
3	EP1 TS	0	R/W	EP1 (インタラプトイン) 送信完了 [セット条件] EP1 にホストに送信するデータを書き込んだ後、ファンクションからホストに正常にデータが転送され、ACK ハンドシェイクが返ってきたとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
2	EP0o TS	0	R/W	EP0o (コントロールアウト) 受信完了 [セット条件] ホストから EP0o へ正常にデータが受信されファンクションからホストに ACK ハンドシェイクを返したとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
1	EP0i TR	0	R/W	EP0i (コントロールイン) 転送リクエスト [セット条件] EP0i にホストから IN トークンが発行され、FIFO が空のとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき
0	EP0i TS	0	R/W	EP0i (コントロールイン) 送信完了 [セット条件] ホストに転送するデータを EP0i に書き込んだ後、ファンクションからホストに正常にデータが送信され、ACK ハンドシェイクが返ってきたとき [クリア条件] (1) リセット時 (2) CPU で 0 を書き込んだとき

16.3.2 割り込み選択レジスタ 0 (ISR0)

IFR0 の各割り込み要求を出力する割り込み要求端子を設定します。USBF には 2 本の割り込み要求信号 (INT0N、INT1N) があり、割り込みコントローラ (INTC) に割り込み要求信号を出力します。対応するビットに 0 をセットすると INT0N 割り込み要求信号が出力され、1 をセットすると INT1N 割り込み要求信号が出力されます。INT0N 割り込み要求信号は割り込みコントローラ (INTC) の USBFI0 に、INT1N 割り込み要求信号は USBFI1 にそれぞれ対応しています。

初期値では、割り込みフラグレジスタの各割り込み要因は INT0N 割り込み要求信号から出力されます。

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
30	BRST IS	0	R/W	BRST 割り込み選択 0 : BRST (バスリセット) 割り込み要求を INT0N から出力 1 : BRST (バスリセット) 割り込み要求を INT1N から出力
29	SETUP TS IS	0	R/W	SETUP 割り込み選択 0 : SETUP (セットアップデータ受信完了) 割り込み要求を INT0N から出力 1 : SETUP (セットアップデータ受信完了) 割り込み要求を INT1N から出力
28		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
27	VBUSF IS	0	R/W	VBUSF 割り込み選択 0 : VBUSF 割り込み要求を INT0N から出力 1 : VBUSF 割り込み要求を INT1N から出力
26		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
25	SURSF IS	0	R/W	SURSF 割り込み選択 0 : SURSF 割り込み要求を INT0N から出力 1 : SURSF 割り込み要求を INT1N から出力
24	CFDN IS	0	R/W	CFDN 割り込み選択 0 : CFDN 割り込み要求を INT0N から出力 1 : CFDN 割り込み要求を INT1N から出力
23	SOF IS	0	R/W	SOF 割り込み選択 0 : SOF 割り込み要求を INT0N から出力 1 : SOF 割り込み要求を INT1N から出力

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説明
22	SETC IS	0	R/W	SETC 割り込み選択 0 : SETC 割り込み要求を INT0N から出力 1 : SETC 割り込み要求を INT1N から出力
21	SETI IS	0	R/W	SETI 割り込み選択 0 : SETI 割り込み要求を INT0N から出力 1 : SETI 割り込み要求を INT1N から出力
20	EP6 FULL IS	0	R/W	EP6 FULL 割り込み選択 0 : EP6 FULL 割り込み要求を INT0N から出力 1 : EP6 FULL 割り込み要求を INT1N から出力
19	EP5 EMPTY IS	0	R/W	EP5 EMPTY 割り込み選択 0 : EP5 EMPTY 割り込み要求を INT0N から出力 1 : EP5 EMPTY 割り込み要求を INT1N から出力
18	EP5 TR IS	0	R/W	EP5 TR 割り込み選択 0 : EP5 TR (転送リクエスト) 割り込み要求を INT0N から出力 1 : EP5 TR (転送リクエスト) 割り込み要求を INT1N から出力
17	EP4 TR IS	0	R/W	EP4 TR 割り込み選択 0 : EP4 TR (転送リクエスト) 割り込み要求を INT0N から出力 1 : EP4 TR (転送リクエスト) 割り込み要求を INT1N から出力
16	EP4 TS IS	0	R/W	EP4 TS 割り込み選択 0 : EP4 TS (受信完了) 割り込み要求を INT0N から出力 1 : EP4 TS (受信完了) 割り込み要求を INT1N から出力
15、14		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
13	EP3o TF IS	0	R/W	EP3o TF 割り込み選択 0 : EP3o TF 割り込み要求を INT0N から出力 1 : EP3o TF 割り込み要求を INT1N から出力
12	EP3o TS IS	0	R/W	EP3o TS 割り込み選択 0 : EP3o TS (受信完了) 割り込み要求を INT0N から出力 1 : EP3o TS (受信完了) 割り込み要求を INT1N から出力
11	EP3i TR IS	0	R/W	EP3i TR 割り込み選択 0 : EP3i TR (転送リクエスト) 割り込み要求を INT0N から出力 1 : EP3i TR (転送リクエスト) 割り込み要求を INT1N から出力
10	EP3i TS IS	0	R/W	EP3i TS 割り込み選択 0 : EP3i TS (受信完了) 割り込み要求を INT0N から出力 1 : EP3i TS (受信完了) 割り込み要求を INT1N から出力

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説 明
9, 8		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
7	EP2o FULL IS	0	R/W	EP2o FULL 割り込み選択 0 : EP2o FULL 割り込み要求を INT0N から出力 1 : EP2o FULL 割り込み要求を INT1N から出力
6	EP2i EMPTY IS	0	R/W	EP2i EMPTY 割り込み選択 0 : EP2i EMPTY 割り込み要求を INT0N から出力 1 : EP2i EMPTY 割り込み要求を INT1N から出力
5	EP2i TR IS	0	R/W	EP2i TR 割り込み選択 0 : EP2i TR (転送リクエスト) 割り込み要求を INT0N から出力 1 : EP2i TR (転送リクエスト) 割り込み要求を INT1N から出力
4	EP1 TR IS	0	R/W	EP1 TR 割り込み選択 0 : EP1 TR (転送リクエスト) 割り込み要求を INT0N から出力 1 : EP1 TR (転送リクエスト) 割り込み要求を INT1N から出力
3	EP1 TS IS	0	R/W	EP1 TS 割り込み選択 0 : EP1 TS (受信完了) 割り込み要求を INT0N から出力 1 : EP1 TS (受信完了) 割り込み要求を INT1N から出力
2	EP0o TS IS	0	R/W	EP0o TS 割り込み選択 0 : EP0o TS (受信完了) 割り込み要求を INT0N から出力 1 : EP0o TS (受信完了) 割り込み要求を INT1N から出力
1	EP0i TR IS	0	R/W	EP0i TR 割り込み選択 0 : EP0i TR (転送リクエスト) 割り込み要求を INT0N から出力 1 : EP0i TR (転送リクエスト) 割り込み要求を INT1N から出力
0	EP0i TS IS	0	R/W	EP0i TS 割り込み選択 0 : EP0i TS (受信完了) 割り込み要求を INT0N から出力 1 : EP0i TS (受信完了) 割り込み要求を INT1N から出力

16. USB ファンクションコントローラ (USBFC)

16.3.3 割り込みイネーブルレジスタ 0 (IER0)

IFR0 の各割り込みを許可 / 禁止するレジスタです。各割り込みに対応するビットに 1 が設定されていて、IFR0 レジスタの該当割り込みフラグが 1 にセットされると、ISR0 で設定された INT0N または INT1N 端子がローアサートされ、割り込み要求が発行されます。

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
30	BRST IE	0	R/W	BRST 割り込みイネーブル 0 : BRST (バスリセット) の割り込み要求を禁止 1 : BRST (バスリセット) の割り込み要求を許可
29	SETUP TS IE	0	R/W	SETUP TS 割り込みイネーブル 0 : SETUP TS (セットアップデータ受信完了) の割り込み要求を禁止 1 : SETUP TS (セットアップデータ受信完了) の割り込み要求を許可
28		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
27	VBUSF IE	0	R/W	VBUSF 割り込みイネーブル 0 : VBUSF の割り込み要求を禁止 1 : VBUSF の割り込み要求を許可
26		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
25	SURSF IE	0	R/W	SURSF 割り込みイネーブル 0 : SURSF の割り込み要求を禁止 1 : SURSF の割り込み要求を許可
24	CFDN IE	0	R/W	CFDN 割り込みイネーブル 0 : CFDN の割り込み要求を禁止 1 : CFDN の割り込み要求を許可
23	SOF IE	0	R/W	SOF 割り込みイネーブル 0 : SOF の割り込み要求を禁止 1 : SOF の割り込み要求を許可
22	SETC IE	0	R/W	SETC 割り込みイネーブル 0 : SETC の割り込み要求を禁止 1 : SETC の割り込み要求を許可

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説明
21	SET1 IE	0	R/W	SET1 割り込みイネーブル 0 : SET1 の割り込み要求を禁止 1 : SET1 の割り込み要求を許可
20	EP6 FULL IE	0	R/W	EP6 FULL 割り込みイネーブル 0 : EP6 FULL の割り込み要求を禁止 1 : EP6 FULL の割り込み要求を許可
19	EP5 EMPTY IE	0	R/W	EP5 EMPTY 割り込みイネーブル 0 : EP5 EMPTY の割り込み要求を禁止 1 : EP5 EMPTY の割り込み要求を許可
18	EP5 TR IE	0	R/W	EP5 TR 割り込みイネーブル 0 : EP5 TR (転送リクエスト) の割り込み要求を禁止 1 : EP5 TR (転送リクエスト) の割り込み要求を許可
17	EP4 TR IE	0	R/W	EP4 TR 割り込みイネーブル 0 : EP4 TR (転送リクエスト) の割り込み要求を禁止 1 : EP4 TR (転送リクエスト) の割り込み要求を許可
16	EP4 TS IE	0	R/W	EP4 TS 割り込みイネーブル 0 : EP4 TS (受信完了) の割り込み要求を禁止 1 : EP4 TS (受信完了) の割り込み要求を許可
15、14		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
13	EP3o TF IE	0	R	EP3o TF 割り込みイネーブル 0 : EP3o TF の割り込み要求を禁止 1 : EP3o TF の割り込み要求を許可
12	EP3o TS IE	0	R	EP3o TS 割り込みイネーブル 0 : EP3o TS (受信完了) の割り込み要求を禁止 1 : EP3o TS (受信完了) の割り込み要求を許可
11	EP3i TR IE	0	R/W	EP3i TR 割り込みイネーブル 0 : EP3i TR (転送リクエスト) の割り込み要求を禁止 1 : EP3i TR (転送リクエスト) の割り込み要求を許可
10	EP3i TS IE	0	R/W	EP3i TS 割り込みイネーブル 0 : EP3i TS (受信完了) の割り込み要求を禁止 1 : EP3i TS (受信完了) の割り込み要求を許可
9、8		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説明
7	EP2o FULL IE	0	R/W	EP2o FULL 割り込みイネーブル 0 : EP2o FULL の割り込み要求を禁止 1 : EP2o FULL の割り込み要求を許可
6	EP2i EMPTY IE	0	R/W	Ep2i EMPTY 割り込みイネーブル 0 : Ep2i EMPTY の割り込み要求を禁止 1 : Ep2i EMPTY の割り込み要求を許可
5	EP2i TR IE	0	R/W	EP2i TR 割り込みイネーブル 0 : EP2i TR (転送リクエスト) の割り込み要求を禁止 1 : EP2i TR (転送リクエスト) の割り込み要求を許可
4	EP1 TR IE	0	R/W	EP1 TR 割り込みイネーブル 0 : EP1 TR (転送リクエスト) の割り込み要求を禁止 1 : EP1 TR (転送リクエスト) の割り込み要求を許可
3	EP1 TS IE	0	R/W	EP1 TS 割り込みイネーブル 0 : EP1 TS (受信完了) の割り込み要求を禁止 1 : EP1 TS (受信完了) の割り込み要求を許可
2	EP0o TS IE	0	R/W	EP0o TS 割り込みイネーブル 0 : EP0o TS (受信完了) の割り込み要求を禁止 1 : EP0o TS (受信完了) の割り込み要求を許可
1	EP0i TR IE	0	R/W	EP0i TR 割り込みイネーブル 0 : EP0i TR (転送リクエスト) の割り込み要求を禁止 1 : EP0i TR (転送リクエスト) の割り込み要求を許可
0	EP0i TS IE	0	R/W	EP0i TS 割り込みイネーブル 0 : EP0i TS (受信完了) の割り込み要求を禁止 1 : EP0i TS (受信完了) の割り込み要求を許可

16.3.4 EP0i データレジスタ (EPDR0i)

エンドポイント 0 の送信用 8 ビット長 64 バイト FIFO バッファです。コントロールインに対するパケット分の送信データを保存します。1 パケット分のデータを書き込み、TRG の EP0i PKTE ビットをセットすることで送信データが確定します。データを送信したあと、ホストから ACK ハンドシェイクが返ってくると、IFR0 の EP0i TS ビットがセットされます。この FIFO バッファは、FCLR の EP0i CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	-	W	コントロールイン転送用のデータレジスタ

16.3.5 EP0o データレジスタ (EPDR0o)

エンドポイント 0 の受信用 8 ビット長 64 バイト FIFO バッファです。セットアップコマンドを除くエンドポイント 0 の受信データが格納されます。データを正常に受信すると、IFR0 の EP0o TS ビットがセットされ、受信バイト数が EPSZ0o レジスタに表示されます。データを読み出したあと、TRG の EP0o RDFN ビットをセットすることで、次のパケットを受信可能となります。この FIFO バッファは、FIFO クリアレジスタ (FCLR) の EP0o CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	-	R	コントロールアウト転送用のデータレジスタ

16.3.6 EP0s データレジスタ (EPDR0s)

エンドポイント 0 のセットアップコマンド専用のデータレジスタです。セットアップステージで送られた 8 バイトのコマンドデータが格納されます。ただし、マイコン (ファームウェア) で処理するコマンドのみ受信します。本モジュールが自動処理するコマンドを受信した場合は格納されません。

セットアップコマンドは必ず受信する必要があるため、バッファ内にデータが残っている場合でも新しいデータによって上書きされます。つまり、データを読み出している間に次のセットアップコマンドの受信が開始された場合、受信が優先となり読み出したデータは無効になります。

【注】EPDR0s レジスタは必ず 8 バイト単位で読み出してください。途中で読み出しを中止すると次のセットアップコマンドで受信したデータが正常に読み出せません。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		R	コントロールアウト転送時のセットアップコマンドが格納されるレジスタ

16.3.7 EP1 データレジスタ (EPDR1)

エンドポイント 1 の送信用 8 ビット長 16 バイト FIFO バッファです。エンドポイント 1 のインタラプト転送における 1 パケット分の送信データを保持します。1 パケット分のデータを書き込み、TRG の EP1 PKTE ビットをセットすることで送信データが確定します。1 パケット分のデータを正常に送信し、ホストから ACK ハンドシェイクを受信すると IFR0 の EP1 TS ビットがセットされます。この FIFO バッファは、FCLR の EP1 CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		W	エンドポイント 1 転送用のデータレジスタ

16.3.8 EP2i データレジスタ (EPDR2i)

エンドポイント 2i の送信用 8 ビット長 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、TRG の EP2i PKTE ビットをセットすることで 1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送が可能です。この FIFO バッファは FCLR の EP2i CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		W	エンドポイント 2i 転送用のデータレジスタ

16.3.9 EP2o データレジスタ (EPDR2o)

エンドポイント 2o の受信用 8 ビット長 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。受信バイト数は EPSZ2o レジスタに表示されます。データを読み出したあと、TRG の EP2o RDFN ビットに 1 を書き込むことで、読み出した面のバッファが再受信可能になります。この FIFO バッファの受信データは DMA 転送が可能です。この FIFO バッファは、FCLR の EP2o CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		R	エンドポイント 2o 転送用のデータレジスタ

16.3.10 EP3i データレジスタ (EPDR3i)

エンドポイント 3i の送信用 8 ビット長 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込んだ後、SOF パケットを受信することで、1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファは、FCLR の EP3i CLR ビットにより初期化することができます。

【注】 SOF パケットを受信できなかった場合、SOF マーカ機能により SOF 割り込みは発生しますが、SOF を受信できなかったフレームのデータは無効となります。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		W	エンドポイント 3i 転送用のデータレジスタ

16.3.11 EP3o データレジスタ (EPDR3o)

エンドポイント 3o の受信用 8 ビット長 120 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。受信バイト数は EPSZ3o レジスタに表示されます。SOF パケットを受信したときに受信データが確定されます。したがって、受信データは次の SOF パケット受信までに必ずすべて読み出してください。次の SOF パケットを受信すると、自動的に FIFO の面が切り替わり、1 つ前のデータは読み出せなくなります。この FIFO バッファは、FCLR の EP3o CLR ビットにより初期化することができます。

【注】 SOF パケットを受信できなかった場合、SOF マーカ機能により SOF 割り込みは発生しますが、SOF を受信できなかったフレームのデータは無効となります。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		R	エンドポイント 3o 転送用のデータレジスタ

16.3.12 EP4 データレジスタ (EPDR4)

エンドポイント 4 送信用 8 ビット長 16 バイト FIFO バッファです。エンドポイント 4 インタラプト転送における 1 パケット分の送信データを保持します。1 パケット分のデータを書き込み、TRG の EP4 PKTE ビットをセットすることで送信データが確定します。1 パケット分のデータを正常に送信し、ホストから ACK ハンドシェイクを受信すると IFR0 の EP4 TS ビットがセットされます。この FIFO バッファは FCLR の EP4 CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		W	エンドポイント 4 転送用のデータレジスタ

16.3.13 EP5 データレジスタ (EPDR5)

エンドポイント 5 の送信用 8 ビット長 64 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、TRG の EP5 PKTE ビットをセットすることで 1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送が可能です。この FIFO バッファは、FCLR の EP5 CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		W	エンドポイント 5 転送用のデータレジスタ

16.3.14 EP6 データレジスタ (EPDR6)

エンドポイント 6 の受信用 8 ビット長 64 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。受信バイト数は EPSZ6 レジスタに表示されます。データを読み出したあと、TRG の EP6 RDFN ビットに 1 を書き込むことで、読み出した面のバッファが再受信可能になります。この FIFO バッファの受信データは DMA 転送が可能です。この FIFO バッファは FCLR の EP6 CLR ビットにより初期化することができます。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0		R	エンドポイント 6 転送用のデータレジスタ

16.3.15 EP0o 受信データサイズレジスタ (EPSZ0o)

エンドポイント 0o の受信データサイズレジスタです。ホストから受信したバイト数を示します。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 0o の受信バイト数

16.3.16 EP2o 受信データサイズレジスタ (EPSZ2o)

エンドポイント 2o の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント 2o の FIFO は 2 面構成になっています。本レジスタに示される受信データサイズは、現在選択されている (CPU で読み出せる) 面のサイズです。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 2o の受信バイト数

16.3.17 EP3o 受信データサイズレジスタ (EPSZ3o)

エンドポイント 3o の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント 3o の FIFO は 2 面構成になっています。本レジスタに示される受信データサイズは、現在選択されている (CPU で読み出せる) 面のサイズです。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 3o の受信バイト数

16.3.18 EP6 受信データサイズレジスタ (EPSZ6)

エンドポイント 6 の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント 6 の FIFO は 2 面構成になっています。本レジスタに示される受信データサイズは、現在選択されている (CPU で読み出せる) 面のサイズです。

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R	エンドポイント 6 の受信バイト数

16.3.19 トリガレジスタ (TRG)

EP0s、EP0i、EP0o、EP1、EP2i、EP2o、EP4、EP5、EP6 の各エンドポイントの FIFO に対する送受信許可トリガを与えるワンショットレジスタです。与えるトリガは IN FIFO レジスタに対するパケットイネーブルと OUT FIFO レジスタに対する読み出し完了トリガです。各エンドポイントに対応するビットに 1 書き込みを行うとトリガが与えられます。1 書き込みのあと、自動的に 0 になります。

ビット	ビット名	初期値	R/W	説明
15				リザーブビット 書き込む値は常に 0 にしてください。1 を書いた場合の動作の保証はできません。
14	EP6 RDFN		W	EP6 読み出し完了 1 を書きこむことで、読み出した面が初期化され、次のパケットが受信できます。
13	EP5 PKTE		W	EP5 パケットイネーブル 1 を書きこむことで、送信データが確定します。
12	EP4 PKTE		W	EP4 パケットイネーブル 1 を書きこむことで、送信データが確定します。
11~7		すべて		リザーブビット 書き込む値は常に 0 にしてください。1 を書いた場合の動作の保証はできません。

16. USB ファンクションコントローラ (USBF)

ビット	ビット名	初期値	R/W	説明
6	EP2o RDFN		W	EP2o 読み出し完了 1 を書きこむことで、読み出した面が初期化され、次のパケットが受信できます。
5	EP2i PKTE		W	Ep2i パケットイネーブル 1 を書きこむことで、送信データが確定します。
4	EP1 PKTE		W	EP1 パケットイネーブル 1 を書きこむことで、送信データが確定します。
3				リザーブビット 書き込む値は常に 0 にしてください。1 を書いた場合の動作の保証はできません。
2	EP0s RDFN		W	EP0s 読み出し完了 1 を書き込むことで、続くデータステージの送受信が可能な状態になります。1 を書き込むまでは、続くデータステージのホストからの送受信要求に対して ACK ハンドシェイクを返します。
1	EP0o RDFN		W	EP0o 読み出し完了 1 を書き込むことで、読み出した FIFO バッファが初期化され、次のパケットが受信できます。
0	EP0i PKTE		W	EP0i パケットイネーブル 1 を書き込むことで、送信データが確定します。

16.3.20 データステータスレジスタ (DASTS)

EP0i、EP1、EP2i、EP4、EP5 の各エンドポイントの送信用 FIFO データレジスタ内にデータがあるかどうかを示すレジスタです。送信用 FIFO に書き込んだデータが、TRG の各エンドポイントに対する PKTE ビットへ 1 を書き込み、送信データが有効になったとき 1 にセットされます。また、有効にしたデータがすべてホストに送信されたとき、0 にクリアされます。エンドポイント 2i、5 の 2 面構成 FIFO の場合、2 面ともデータがなくなったとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6	EP5 DE	0	R	EP5 データイネーブル
5	EP4 DE	0	R	EP4 データイネーブル
4		0	R	リザーブビット 読み出すと常に 0 が読み出されます。
3	EP2i DE	0	R	EP2i データイネーブル
2	EP1 DE	0	R	EP1 データイネーブル

ビット	ビット名	初期値	R/W	説明
1		0	R	リザーブビット 読み出すと常に0が読み出されます。
0	EP0i DE	0	R	EP0i データイネーブル

16.3.21 FIFO クリアレジスタ (FCLR)

各エンドポイントの FIFO をクリアするワンショットレジスタです。各ビットに1書き込みをすることで、対応する FIFO 内のデータをクリアすることができます。各ビットは1書き込み後、自動的に0に戻ります。

送信用 FIFO の場合、FIFO にデータを書き込み TRG の PKTE ビットに1書き込みしていないデータ、および1書き込みによって有効になったデータをクリアすることができます。受信用 FIFO の場合、まだ受信中で確定していないデータ、および受信が完了したデータをクリアすることができます。

EP2i、EP2o、EP3i、EP3o、EP5、EP6 の2面構成 FIFO は2面ともクリアされます。

また、このクリア指示によって、対応する割り込みフラグはクリアされません。送信中のクリアは行わないでください。

ビット	ビット名	初期値	R/W	説明
15				リザーブビット 書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。
14	EP6 CLR		W	EP6 クリア
13	EP5 CLR		W	EP5 クリア
12	EP4 CLR		W	EP4 クリア
11				リザーブビット 書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。
10	EP3o CLR		W	EP3o クリア
9	EP3i CLR		W	EP3i クリア
8, 7		すべて		リザーブビット 書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。
6	EP2o CLR		W	EP2o クリア
5	EP2i CLR		W	EP2i クリア
4	EP1 CLR		W	EP1 クリア
3, 2		すべて		リザーブビット 書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。
1	EP0o CLR		W	EP0o クリア
0	EP0i CLR		W	EP0i クリア

16. USB ファンクションコントローラ (USBF)

16.3.22 DMA 転送設定レジスタ (DMA)

DMA 転送可能なエンドポイント EP2i、EP2o、EP5、EP6 のデータレジスタに対して内蔵 DMAC のデュアルアドレス転送を使用する場合に設定します。

ビット	ビット名	初期値	R/W	説明
7	EP6 DMAE	0	R/W	EP6DMA 許可 EP6 に対する DMA 転送を許可します。
6	EP6 DMAS	0	R/W	EP6DMA 要求選択 EP6 に対する DMA 転送要求出力を選択します。 1 : DMA 転送要求 1 を選択 0 : DMA 転送要求 0 を選択
5	EP5 DMAE	0	R/W	EP5DMA 許可 EP5 に対する DMA 転送を許可します。
4	EP5 DMAS	0	R/W	EP5DMA 要求選択 EP5 に対する DMA 転送要求出力を選択します。 1 : DMA 転送要求 1 を選択 0 : DMA 転送要求 0 を選択
3	EP2o DMAE	0	R/W	EP2o DMA 許可 EP2o に対する DMA 転送を許可します。
2	EP2o DMAS	0	R/W	EP2o DMA 要求選択 EP2o に対する DMA 転送要求出力を選択します。 1 : DMA 転送要求 1 を選択 0 : DMA 転送要求 0 を選択
1	EP2i DMAE	0	R/W	EP2iDMA 許可 EP2i に対する DMA 転送を許可します。
0	EP2i DMAS	0	R/W	EP2iDMA 要求選択 EP2i に対する DMA 転送要求出力を選択します。 1 : DMA 転送要求 1 を選択 0 : DMA 転送要求 0 を選択

16.3.23 エンドポイントストールレジスタ (EPSTL)

各エンドポイントをストールさせるレジスタです。ストールビットに1がセットされたエンドポイントは1を書き込んだ次の転送からホストに対してストールハンドシェイクを返します。

エンドポイント0に対するストールビットは、ファンクションでコマンドデコードを行う8バイトのデータ受信時に自動的に解除され、EP0 STL ビットはクリアされます。また、IFR0 の SETUP TS ビットが1セットされている場合、EP0 STL ビットへの1書き込みは無視されます。詳細動作は「16.6 ストール動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
15~11		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
10	EP6 STL	0	R/W	EP6 ストール EP6 ストールを設定します。
9	EP5 STL	0	R/W	EP5 ストール EP5 ストールを設定します。
8	EP4 STL	0	R/W	EP4 ストール EP4 ストールを設定します。
7		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
6	EP3o STL	0	R/W	EP3o ストール EP3o ストールを設定します。
5	EP3i STL	0	R/W	EP3i ストール EP3i ストールを設定します。
4		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
3	EP2o STL	0	R/W	EP2o ストール EP2o ストールを設定します。
2	EP2i STL	0	R/W	EP2i ストール EP2i ストールを設定します。
1	EP1 STL	0	R/W	EP1 ストール EP1 ストールを設定します。
0	EP0 STL	0	R/W	EP0 ストール EP0 ストールを設定します。

16. USB ファンクションコントローラ (USBF)

16.3.24 コンフィグレーションバリュeregスタ (CVR)

ホストから「Set Configuration/Set Interface」コマンドを正常に受信したとき、セットされる「Configuration/Interface/Alternate」値が格納されるレジスタです。

ビット	ビット名	初期値	R/W	説明
7	CNFV	0	R	コンフィグレーション値 Set Configuration コマンドを受け取ったときのコンフィグレーション設定値が格納されます。 CNFV の更新は IFR0 レジスタの SETC = 1 セット時です。
6	INTV3	0	R	インタフェース値 Set Interface コマンドを受け取ったときのインタフェース設定値が格納されます。 INTV の更新は IFR0 レジスタの SETI = 1 セット時です。
5	INTV2	0	R	
4	INTV1	0	R	
3	INTV0	0	R	
2	ALTV2	0	R	オルタネート値
1	ALTV1	0	R	Set Interface コマンドを受け取ったときのオルタネート設定値が格納されます。 ALTV の更新は IFR0 レジスタの SETI = 1 セット時です。
0	ALTV0	0	R	

16.3.25 タイムスタンプレジスタ (TSR)

現在のタイムスタンプ値が格納されるレジスタです。タイムスタンプの更新は、IFR0 の SOF ビットに 1 がセットされたときです。

SOF マーカ機能を有効にしたとき、および SOF パケットが破損した場合のタイムスタンプは前回と同じ値になります。

ビット	ビット名	初期値	R/W	説明
15~11		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
10	D10	0	R	タイムスタンプデータ
9	D9	0	R	
8	D8	0	R	
7	D7	0	R	
6	D6	0	R	
5	D5	0	R	
4	D4	0	R	
3	D3	0	R	
2	D2	0	R	
1	D1	0	R	
0	D0	0	R	

16.3.26 コントロールレジスタ (CTRL)

USB ファンクションコントローラの各種設定を行うレジスタです。

アイソクロナス転送を使用する場合、SOF マーカ機能は必ずイネーブルにしてください。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
5	PULLUPE	0	R/W	プルアップイネーブル USB_PULLUP 端子の出力値を制御します。
4	RWUPS	0	R	リモートウェイクアップステータス ホストからのリモートウェイクアップの禁止 / 許可を示すステータスビットです。Set Feature/Clear Feature リクエストによる Device Remote Wakeup でホストからのリモートウェイクアップが禁止されている場合 0 を示し、許可されると 1 を示します。
3	RSME	0	R/W	リジュームイネーブル サスペンド状態を解除 (リモートウェイクアップを実行) するビットです。 1 を書き込むとリジューム要求が発行されます。使用する場合は、最低 12MHz で 1 クロック以上 1 を保持し再び 0 にクリアしてください。
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
1	ASCE	0	R/W	自動ストールクリアイネーブル 本ビットに 1 を設定すると、ストールハンドシェイクをホストに返信したあと、返信したエンドポイントのストール設定ビット (EPSTLR/EPxSTL) を自動的にクリアします。全エンドポイント共通なのでエンドポイントごとの制御はできません。0 を設定した場合、各エンドポイントのストール設定ビットのクリアはソフトで行ってください。 なお、本ビットをイネーブルにする場合は、必ず EPSTL レジスタの 1 セットより先にイネーブルにしてください。
0	SOFME	0	R/W	SOF マーカ機能イネーブル SOF マーカ機能を制御します。 1 を設定すると SOF パケットが破損しても、約 1ms ごとに SOF 割り込みフラグを 1 にセットします。1 を設定する場合は、IFR0 の SOF 割り込みフラグを正常に検出してから行ってください。また、サスペンド検出時には必ず 0 クリアし、その後の 1 セットも SOF を検出してから行ってください。

16.3.27 エンドポイント情報レジスタ (EPIRn0 ~ 5)

各エンドポイントの構成情報を設定するレジスタです。これらの情報は1エンドポイントに対して6バイト必要です。データの書き込みはエンドポイント0から順に行ってください。また、6(バイト) × 19(エンドポイント) = 114バイト以上書き込まないでください。本情報は、パワーオンリセット時に1回書き込んでください。それ以降は書き込まないでください。

以下に1エンドポイント分の書き込みデータを説明します。本レジスタは同一アドレスに順番に書き込むため、レジスタは1つですが説明上登録番号n(nは0~18)用の書き込みデータをEPIRn0~EPIRn5(EPIR[登録番号][書き込み順序])と表記します。書き込みはEPIR00から順番に行ってください。

• EPIRn0

ビット	ビット名	初期値	R/W	説明
7~4	D7~D4		W	エンドポイント番号 【設定可能範囲】B'0000~B'0110 【注】 B'0111~B'1111は設定禁止
3~0	D3~D0		W	エンドポイントが属する Configuration 番号 【設定可能範囲】B'0000 or B'0001 【注】 B'0010~B'1111は設定禁止

• EPIRn1

ビット	ビット名	初期値	R/W	説明
7~4	D7~D4		W	エンドポイントが属する Interface 番号 【設定可能範囲】B'0000~B'0010 【注】 B'0011~B'1111は設定禁止
3~0	D3~D0		W	エンドポイントが属する Alternate 番号 【設定可能範囲】 Interface 番号(D7~D4)の値によりD3~D0の設定可能範囲が異なります。 D7~D4=B'0000 : D3~D0=B'0000 D7~D4=B'0001 : D3~D0=B'0000~B'0101 D7~D4=B'0010 : D3~D0=B'0000 【注】 上記以外は設定禁止

16. USB ファンクションコントローラ (USBF)

• EPIRn2

ビット	ビット名	初期値	R/W	説 明
7	D7	-	W	リザーブビット
6	D6	-	W	書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。
5	D5	-	W	エンドポイントの転送方式 【設定可能範囲】 B'00: コントロール B'01: アイソクロナス B'10: パルク B'11: インタラプト
4	D4	-	W	
3	D3	-	W	エンドポイントの転送方向 【設定可能範囲】 B'0: OUT B'1: IN
2~0	D2~D0	-	W	リザーブビット 書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。

• EPIRn3

ビット	ビット名	初期値	R/W	説 明
7~1	D7~D1	-	W	エンドポイントの最大バケットサイズ 【設定可能範囲】 B'0000000 ~ B'1000000 【注】 B'1000001 ~ B'1111111 は設定禁止
0	D0	-	W	リザーブビット 書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。

• EPIRn4

ビット	ビット名	初期値	R/W	説 明
7~0	D7~D0	-	W	リザーブビット 書き込む値は常に0にしてください。1を書いた場合の動作の保証はできません。

• EPIRn5

ビット	ビット名	初期値	R/W	説 明
7~0	D7~D0	-	W	エンドポイント FIFO 番号 【設定可能範囲】 H'00 ~ H'03、H'05 ~ H'09 【注】 H'04、H'0A ~ H'FF は設定禁止

16. USB ファンクションコントローラ (USBF)

上記 EPIRn0 に設定するエンドポイント番号とは、USB ホストが使用するエンドポイント番号です。また、EPIR n 5 に設定するエンドポイント FIFO 番号とは、この USB ファンクションコントローラが物理的に備えている各エンドポイント付属の FIFO の番号です。本 USB ファンクションモコントローラの各エンドポイントの持つ機能と FIFO 番号との対応については、「16.1 特長」の対応図を参照してください。なお、上記 EPIRn0 ~ EPIRn5 に書き込む設定値には以下の制約があるので注意してください。

1. 各エンドポイントFIFOは、各転送方式 / 方向 / 最大パケットサイズに対応した専用ハードウェアで最適化しているため、必ず表16.2に示す転送方式 / 方向 / 最大パケットサイズに設定する。
(例) エンドポイントFIFO番号1は「インタラプト転送」「IN」「最大パケットサイズ16バイト」以外の設定はできない。エンドポイントFIFO番号5は「アイソクロナス転送」「IN」以外の設定はできないが「最大パケットサイズ」は0~64バイトの間で任意設定可能。
2. エンドポイント番号0とエンドポイントFIFO番号0は必ず1対1に対応させる。
3. エンドポイントFIFO番号0の最大パケットサイズは64のみ設定可能。
4. エンドポイントFIFO番号0は最大パケットサイズのみ設定可能で残りのデータはすべて0。
5. エンドポイントFIFO番号1および7の最大パケットサイズは16のみ設定可能。
6. エンドポイントFIFO番号2および3の最大パケットサイズは64のみ設定可能。
7. エンドポイントFIFO番号8および9の最大パケットサイズは32のみ設定可能。
8. エンドポイントFIFO番号5の最大パケットサイズは0~64の範囲で設定可能。
9. エンドポイントFIFO番号6の最大パケットサイズは0~60の範囲で設定可能。
10. アイソクロナス転送設定時、同一のエンドポイントに対して0~5の範囲でAlternateを使用できるが、必ず同じエンドポイントFIFO番号に割り当てる。
11. エンドポイント情報の設定は最大19個まで可能。
12. エンドポイント情報は必ず19個分書き込まなければならない。
13. 使用しないエンドポイントの情報はすべて0を書き込む。

表 16.2 に設定可能な転送方式 / 転送方向 / 最大パケットサイズの制約一覧を示します。

表 16.2 設定可能値の制約一覧

エンドポイント FIFO 番号	最大パケットサイズ	転送方式	転送方向
0	64 バイト	コントロール	
1	16 バイト	インタラプト	IN
2	64 バイト	バルク	IN
3	64 バイト	バルク	OUT
5	0~64 バイト	アイソクロナス	IN
6	0~60 バイト	アイソクロナス	OUT
7	16 バイト	インタラプト	IN
8	32 バイト	バルク	IN
9	32 バイト	バルク	OUT

以下に具体的な設定例を示します。

(1) 設定例 1

ブルートゥースの「HCI USB TRANSPORT LAYER」で推奨している例です。登録番号 16~18 のデータにはすべて 0 を書き込みます。

表 16.3 エンドポイント構成例 (1)

EP 番号	Conf.	Int.	Alt.	転送方式	転送方向	最大パケットサイズ	EP FIFO 番号
0				コントロール	IN/OUT	64 バイト	0
1	1	0	0	インタラプト	IN	16 バイト	1
2	1	0	0	バルク	IN	64 バイト	2
2	1	0	0	バルク	OUT	64 バイト	3
3	1	1	0	アイソクロナス	IN	0 バイト	5
3	1	1	0	アイソクロナス	OUT	0 バイト	6
3	1	1	1	アイソクロナス	IN	9 バイト	5
3	1	1	1	アイソクロナス	OUT	9 バイト	6
3	1	1	2	アイソクロナス	IN	17 バイト	5
3	1	1	2	アイソクロナス	OUT	17 バイト	6
3	1	1	3	アイソクロナス	IN	25 バイト	5
3	1	1	3	アイソクロナス	OUT	25 バイト	6
3	1	1	4	アイソクロナス	IN	33 バイト	5
3	1	1	4	アイソクロナス	OUT	33 バイト	6
3	1	1	5	アイソクロナス	IN	49 バイト	5
3	1	1	5	アイソクロナス	OUT	49 バイト	6

16. USB ファンクションコントローラ (USBF)

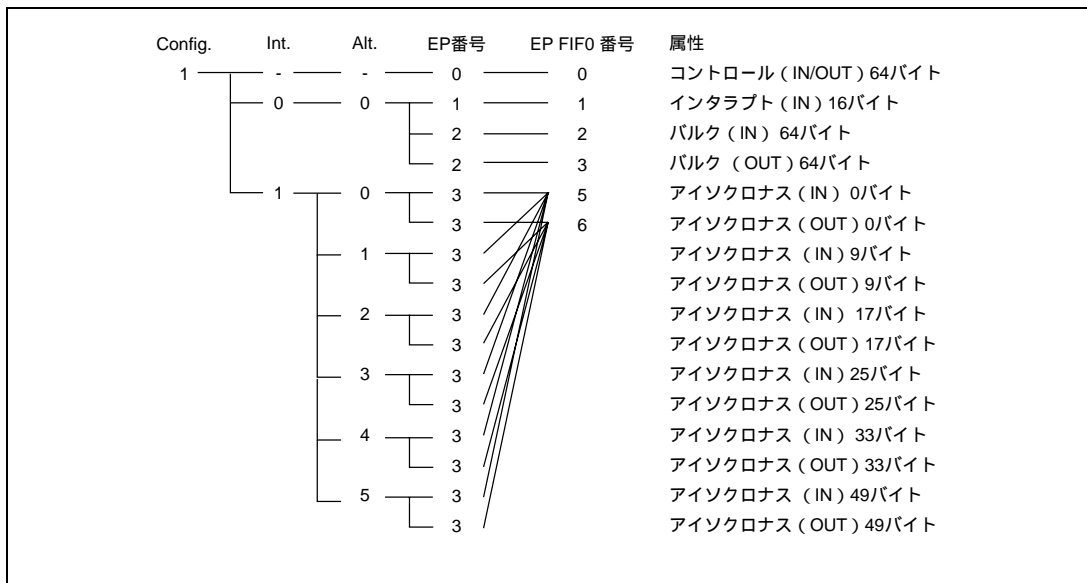


図 16.2 エンドポイント構成例 (1)

表 16.4 エンドポイント構成情報設定例 (1)

N	EPIR[N]0	EPIR[N]1	EPIR[N]2	EPIR[N]3	EPIR[N]4	EPIR[N]5
0	00	00	00	80	00	00
1	11	00	38	20	00	01
2	21	00	28	80	00	02
3	21	00	20	80	00	03
4	31	10	18	00	00	05
5	31	10	10	00	00	06
6	31	11	18	12	00	05
7	31	11	10	12	00	06
8	31	12	18	22	00	05
9	31	12	10	22	00	06
10	31	13	18	32	00	05
11	31	13	10	32	00	06
12	31	14	18	42	00	05
13	31	14	10	42	00	06
14	31	15	18	62	00	05
15	31	15	10	62	00	06
16	00	00	00	00	00	00
17	00	00	00	00	00	00
18	00	00	00	00	00	00

(2) 設定例 2

使用しないエンドポイント情報がある場合の別の例です。登録番号 13~18 のデータにはすべて 0 を書き込みます。

表 16.5 エンドポイント構成例 (2)

EP 番号	Conf.	Int.	Alt.	転送方式	転送方向	最大パケットサイズ	EP FIFO 番号
0				コントロール	IN/OUT	64 バイト	0
1	1	0	0	インタラプト	IN	16 バイト	1
2	1	0	0	バルク	IN	64 バイト	2
2	1	0	0	バルク	OUT	64 バイト	3
3	1	1	0	アイソクロナス	IN	0 バイト	5
3	1	1	0	アイソクロナス	OUT	0 バイト	6
3	1	1	1	アイソクロナス	IN	32 バイト	5
3	1	1	1	アイソクロナス	OUT	32 バイト	6
3	1	1	2	アイソクロナス	IN	64 バイト	5
3	1	1	2	アイソクロナス	OUT	60 バイト	6
4	1	2	0	インタラプト	IN	16 バイト	7
5	1	2	0	バルク	IN	32 バイト	8
6	1	2	0	バルク	OUT	32 バイト	9

16. USB ファンクションコントローラ (USBFC)

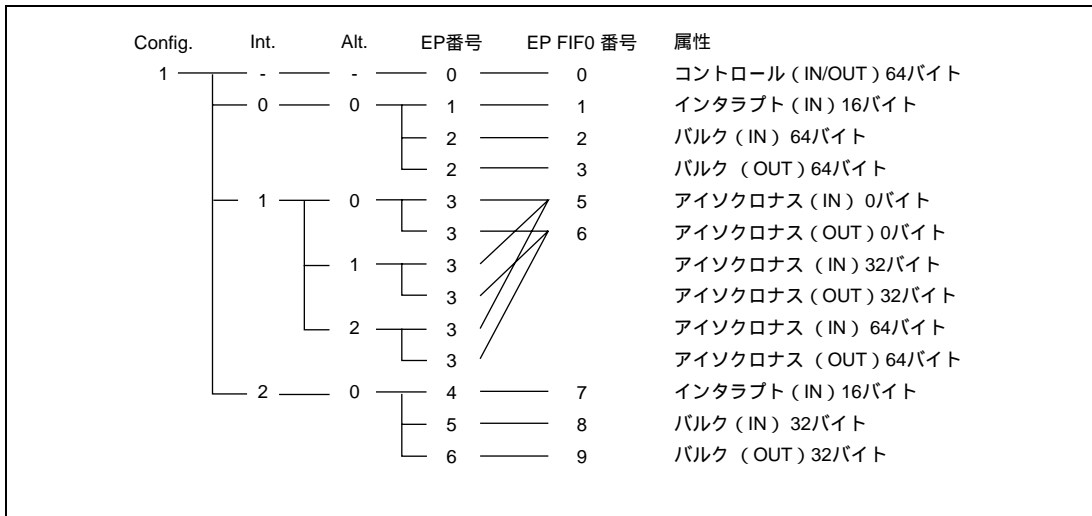


図 16.3 エンドポイント構成例 (2)

表 16.6 エンドポイント構成情報設定例 (2)

n	EPIR[n]0	EPIR[n]1	EPIR[n]2	EPIR[n]3	EPIR[n]4	EPIR[n]5
0	00	00	00	80	00	00
1	11	00	38	20	00	01
2	21	00	28	80	00	02
3	21	00	20	80	00	03
4	31	10	18	00	00	05
5	31	10	10	00	00	06
6	31	11	18	40	00	05
7	31	11	10	40	00	06
8	31	12	18	80	00	05
9	31	12	10	78	00	06
10	41	20	38	20	00	07
11	51	20	28	40	00	08
12	61	20	20	40	00	09
13	00	00	00	00	00	00
14	00	00	00	00	00	00
15	00	00	00	00	00	00
16	00	00	00	00	00	00
17	00	00	00	00	00	00
18	00	00	00	00	00	00

16.4 動作説明

16.4.1 ケーブル接続時

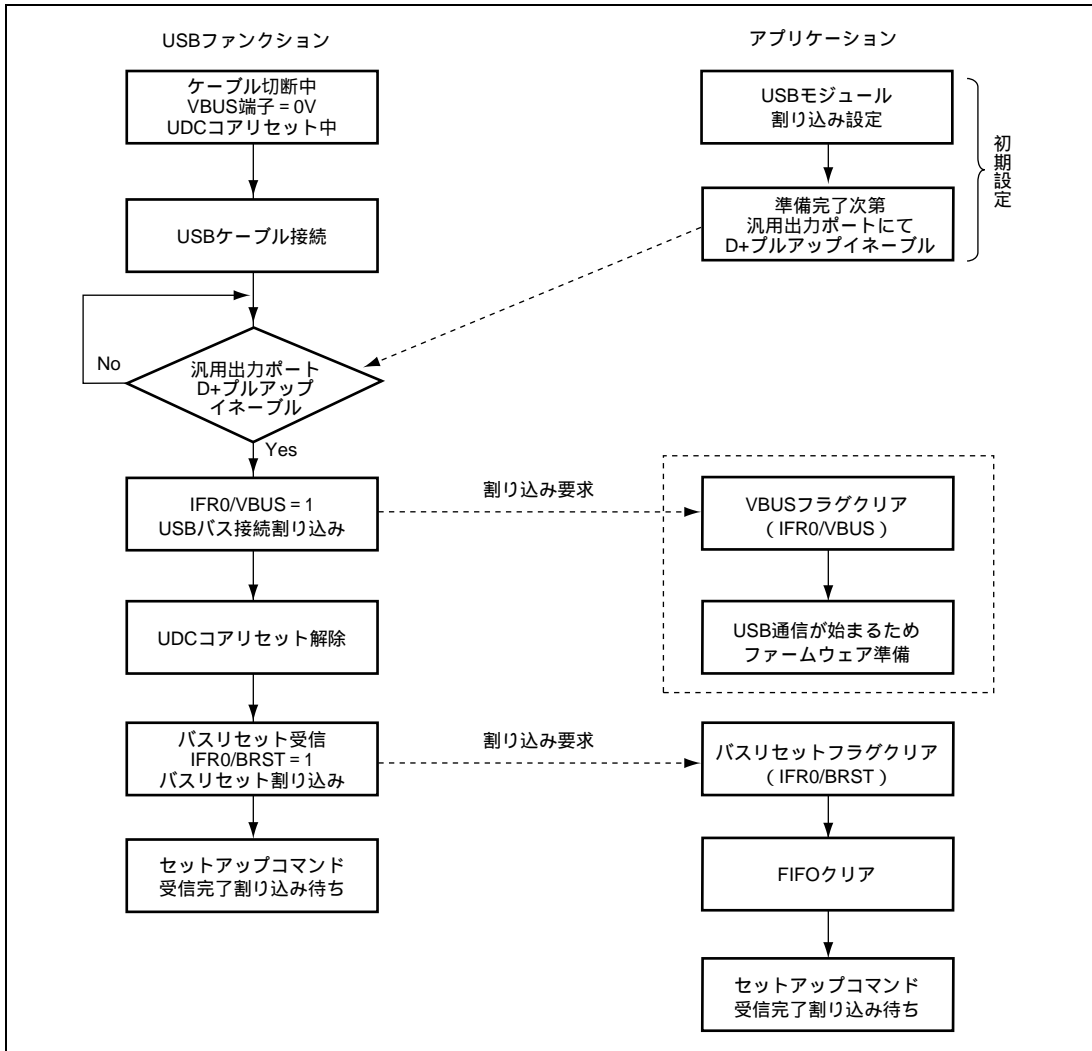


図 16.4 ケーブル接続時の動作

上記フローは、「16.7 USB ファンクションコントローラと外部回路の接続例」時の動作を示しています。USB ケーブル接続を検出する必要がないアプリケーションでは、USB バス接続割り込みによる処理は不要です。バスリセット割り込みにて準備してください。

詳細は「16.7 USB ファンクションコントローラと外部回路の接続例」を参照してください。

16.4.2 ケーブル切断時

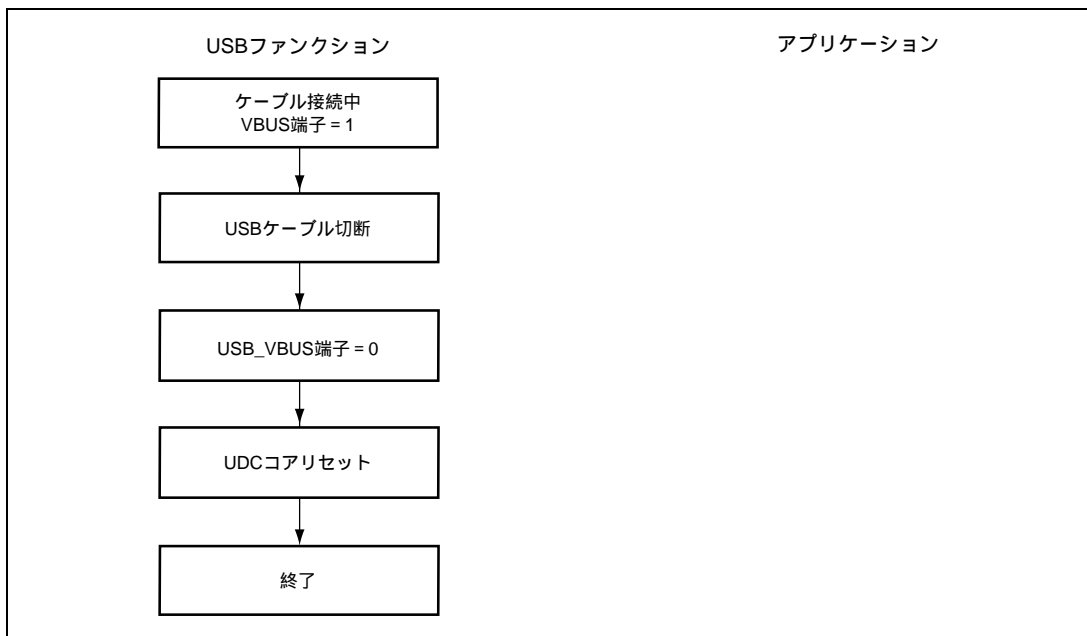


図 16.5 ケーブル切断時の動作

上記フローは、「16.7 USB ファンクションコントローラと外部回路の接続例」時の動作を示しています。詳細は「16.7 USB ファンクションコントローラと外部回路の接続例」を参照してください。

16.4.3 コントロール転送

コントロール転送は、セットアップ、データ（ない場合もある）、ステータスの3つのステージで構成されます（図 16.6）。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを示します。

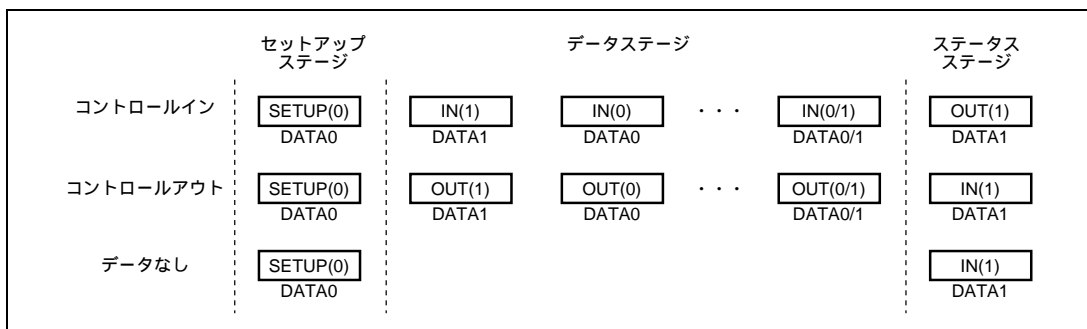


図 16.6 コントロール転送における各転送ステージ

(1) セットアップステージ

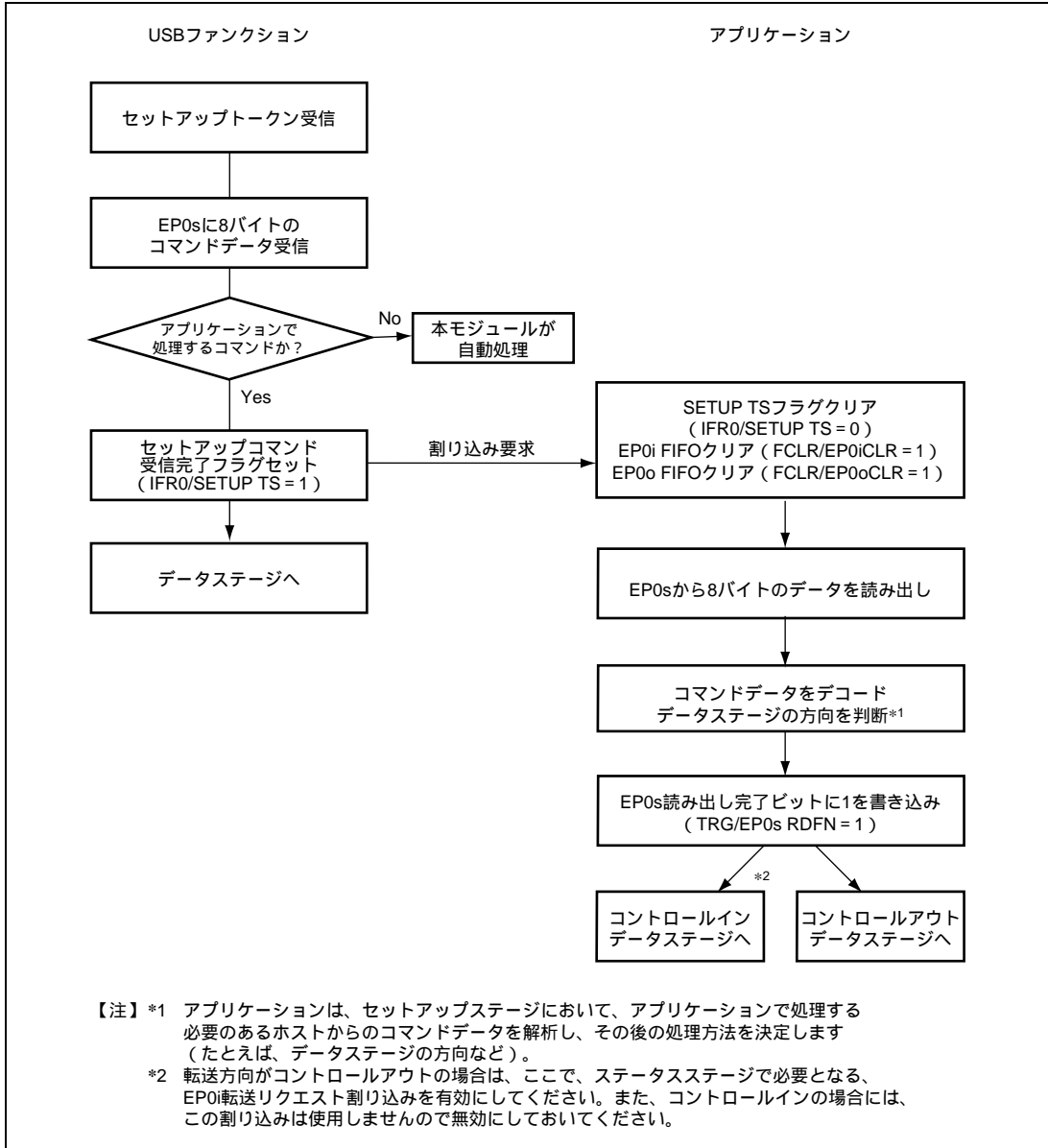


図 16.7 セットアップステージの動作

16. USB ファンクションコントローラ (USBF)

(2) データステージ (コントロールイン時)

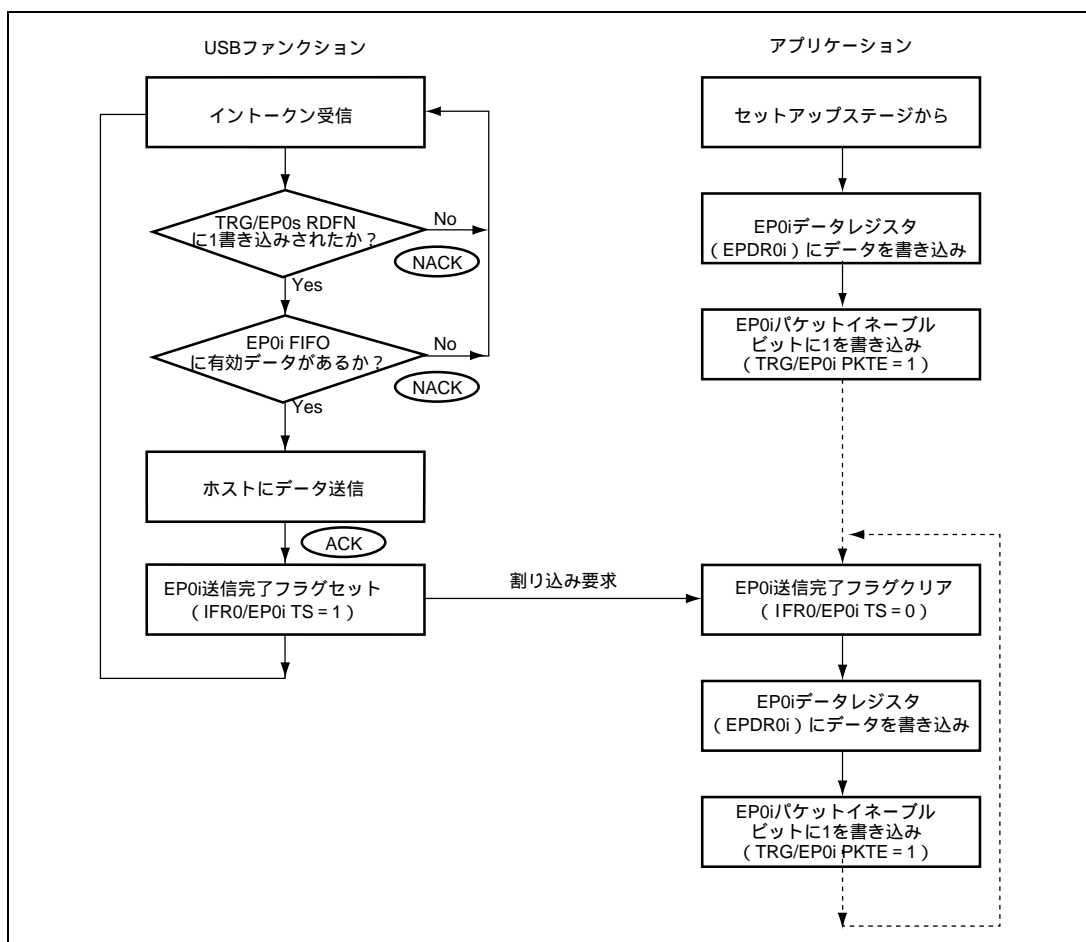


図 16.8 データステージ (コントロールイン時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込み、EP0iパケットイネーブルビット(TRG/EP0i PKTE)に1を書き込みます。さらに送りたいデータがある場合、最初に書きこんだデータがホストに送られたあと (IFR0/EP0i TS = 1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0 レンクスパケットを送信して、データステージの最後を示します。

(3) データステージ (コントロールアウト時)

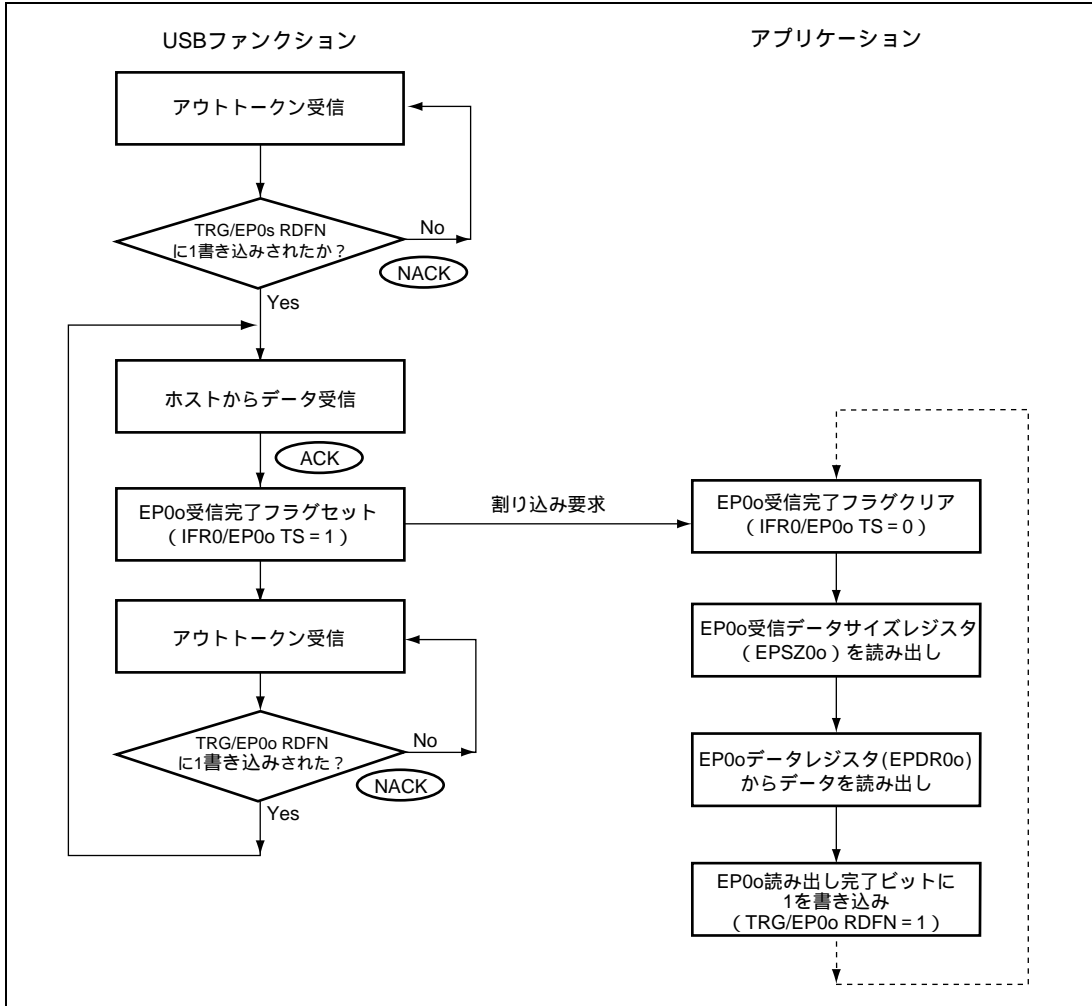


図 16.9 データステージ (コントロールアウト時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (IFR0/EP0s TS = 1)、FIFO からデータを読み出します。次にアプリケーションは、EP0s 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

16. USB ファンクションコントローラ (USBFC)

(4) ステータスステージ (コントロールイン時)

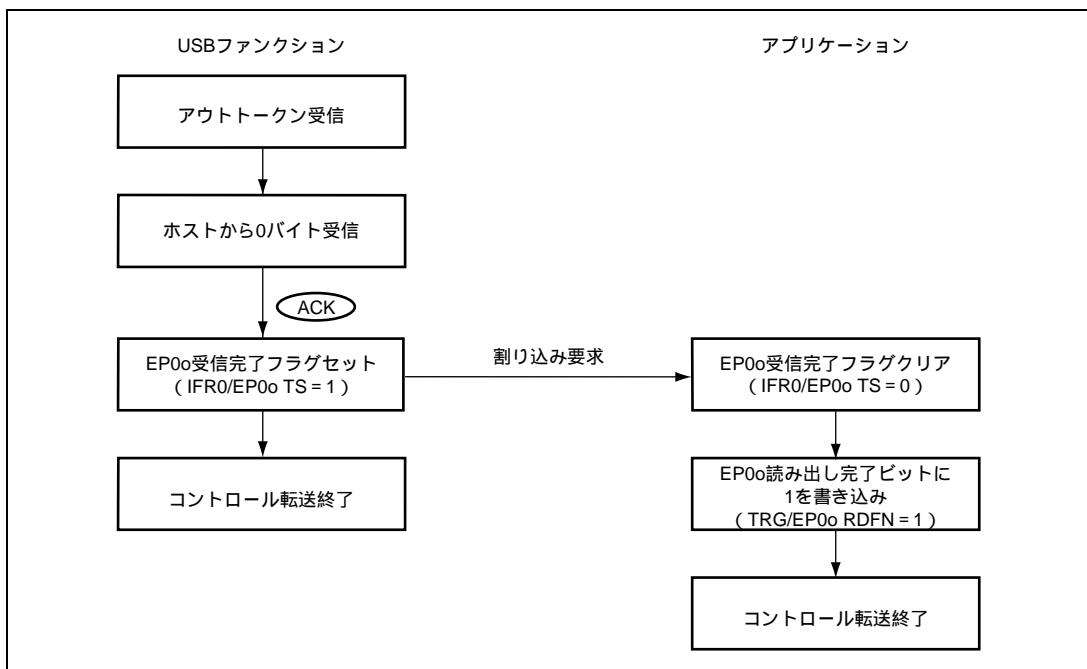


図 16.10 ステータスステージ (コントロールイン時) の動作

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの0バイトデータを受信して、コントロール転送を終了します。

(5) ステータスステージ (コントロールアウト時)

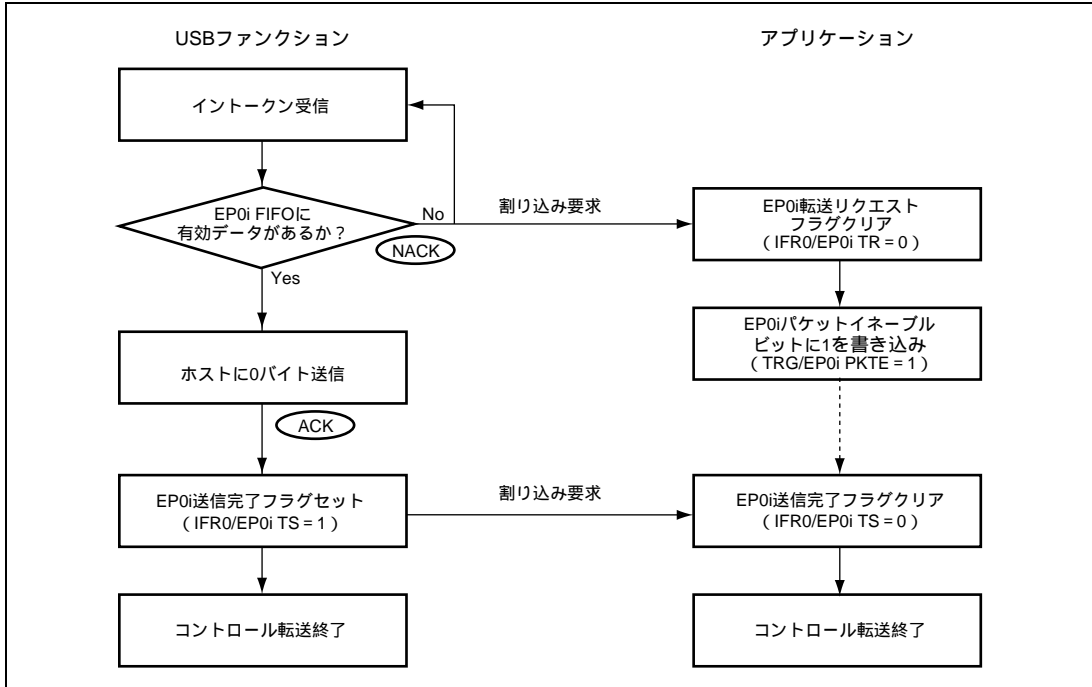


図 16.11 ステータスステージ (コントロールアウト時) の動作

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 を書き込みます。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージにかかわる処理をすべて終了したあと、EP0i パケットイネーブルビットに 1 を書き込んでください。

16.4.4 EP1、4 インタラプトイン転送

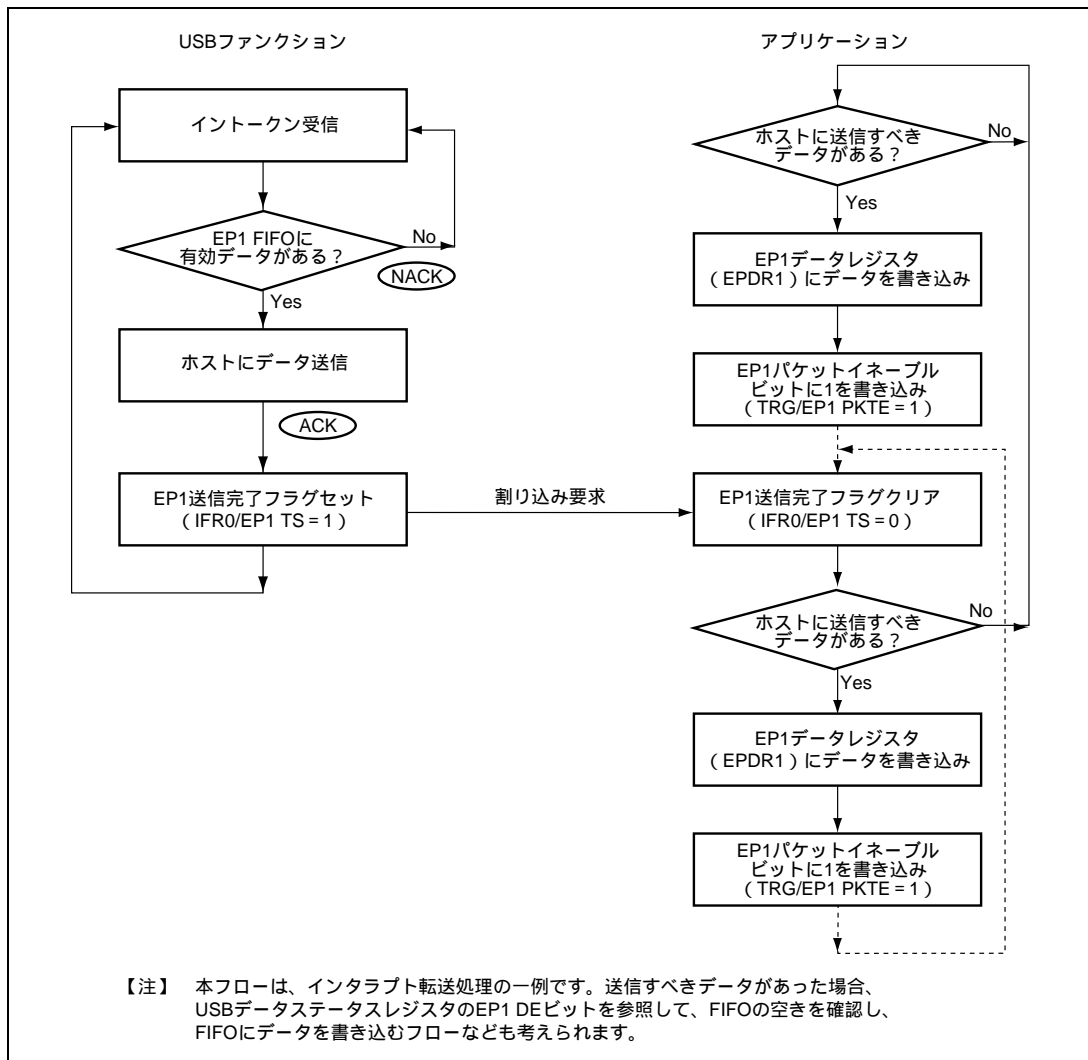


図 16.12 EP1 インタラプトイン転送の動作

16.4.5 EP2i (EP5) バルクイン転送 (2面 FIFO)

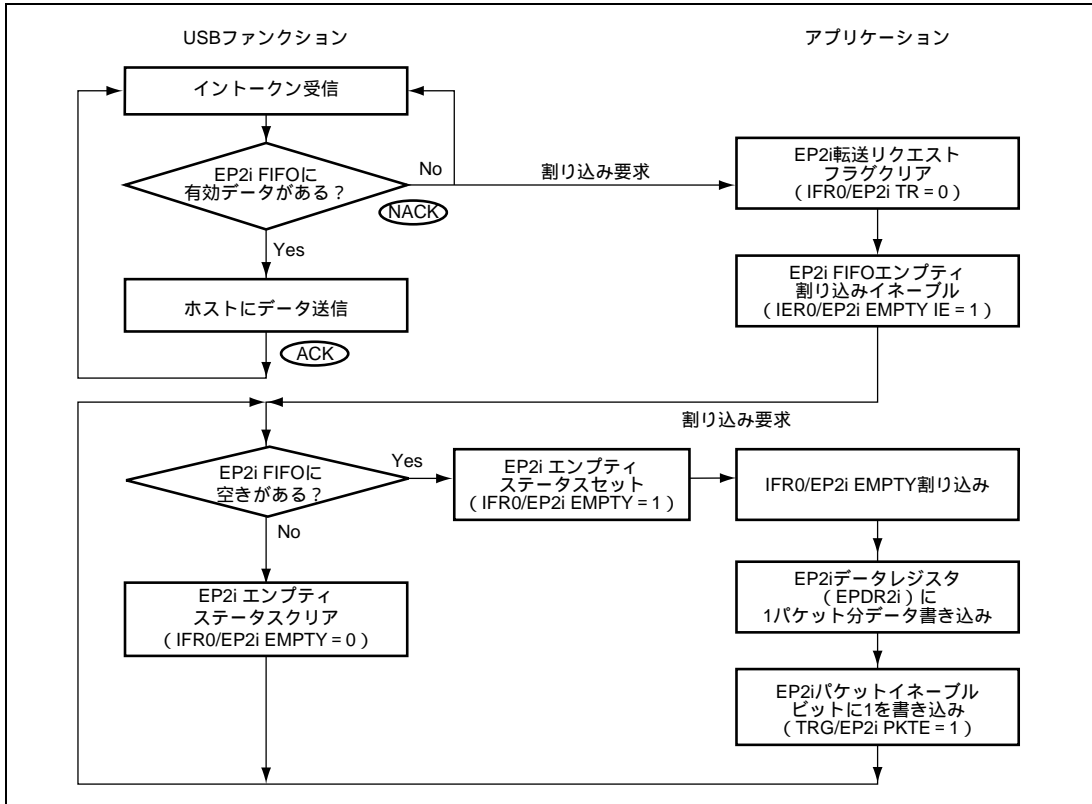


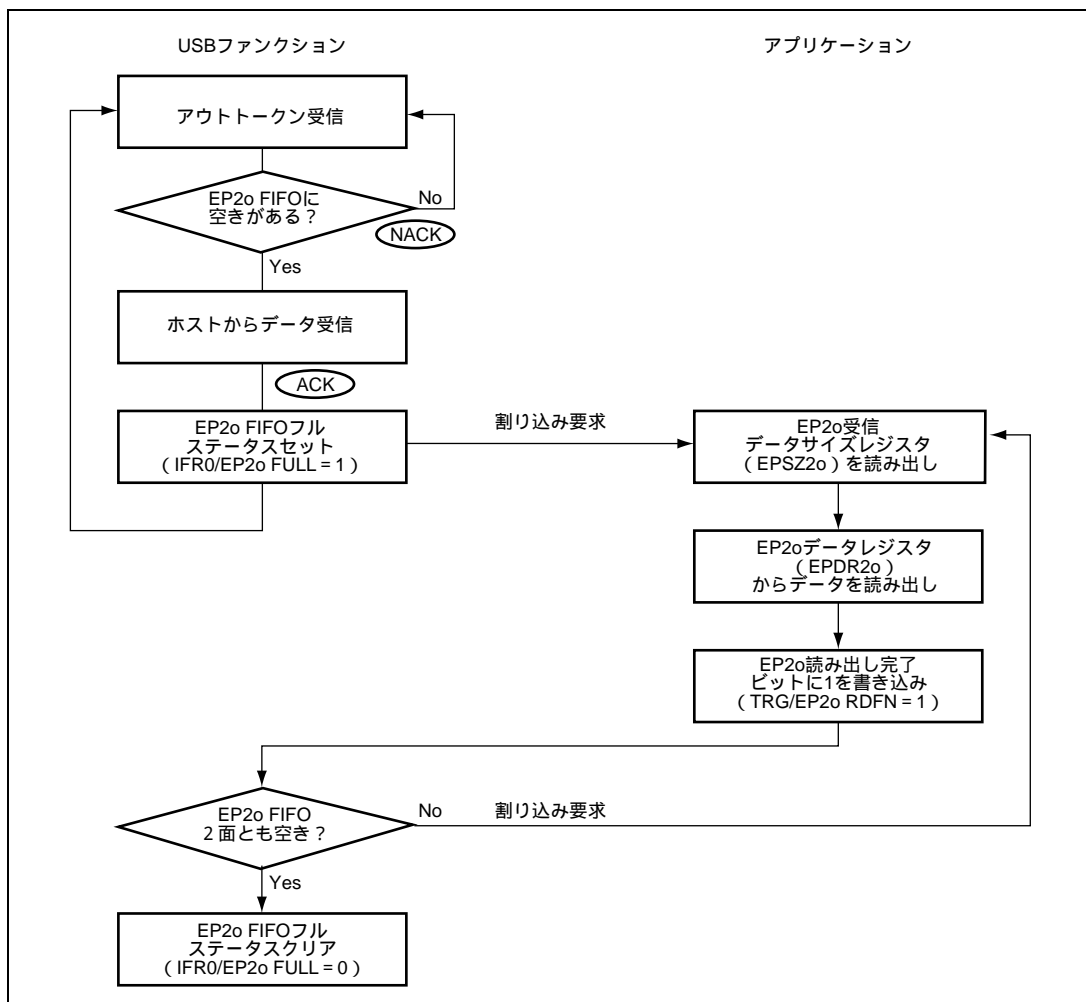
図 16.13 EP2i バルクイン転送の動作

EP2i は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データの書き込みができます。ただし、1 回のデータ書き込みは 1 面ごとに行ってください。たとえば、2 面とも FIFO が空の場合でも、連続して 128 バイトデータを書き込み後、まとめて TRG/EP2i PKTE ビットのセットを行うことはできません。必ず 64 バイトの書き込みごとに TRG/EP2i PKTE ビットのセットを行ってください。

バルクイン転送を行いたい場合、まず最初のイントークンで FIFO 内に有効データが存在しないので、IFR0/EP2i TR ビット割り込みが要求されます。その割り込みで、IER0/EP2i EMPTY IE ビットに 1 を書き込み、EP2i FIFO エンプティ割り込みを許可します。最初は、EP2i の 2 面の FIFO は共に空になっているので、EP2i FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタに書き込みます。最初 1 面分の送信データを書き込んだ後は、他方の FIFO が空いているので、すぐ他方の面に送信データを書き込みます。2 面とも一杯になった場合、IFR0/EP2i EMPTY ビットが 0 になります。1 面でも空であれば IFR0/EP2i EMPTY ビットが 1 セットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO が空になります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、IER0/EP2i EMPTY IE ビットに 0 を書き込み、割り込み要求を禁止にしてください。

16.4.6 EP2_o (EP6) バルクアウト転送 (2面 FIFO)図 16.14 EP2_o バルクアウト転送の動作

EP2_o は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データの読み出しができます。

FIFO が 1 面でも受信完了すると、IFR0/EP2_o FULL ビットがセットされます。FIFO が 2 面とも空の状態での最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面とも一杯になった場合、ホストには自動的に NACK が返信されます。データ受信後、受信データの読み出しが終了したら、TRG/EP2_o RDFN ビットに 1 を書き込みます。この操作によって、今読み出しを終えた FIFO が空になり、次のパケットを受信可能な状態になります。

16.4.7 EP3i アイソクロナスイン転送

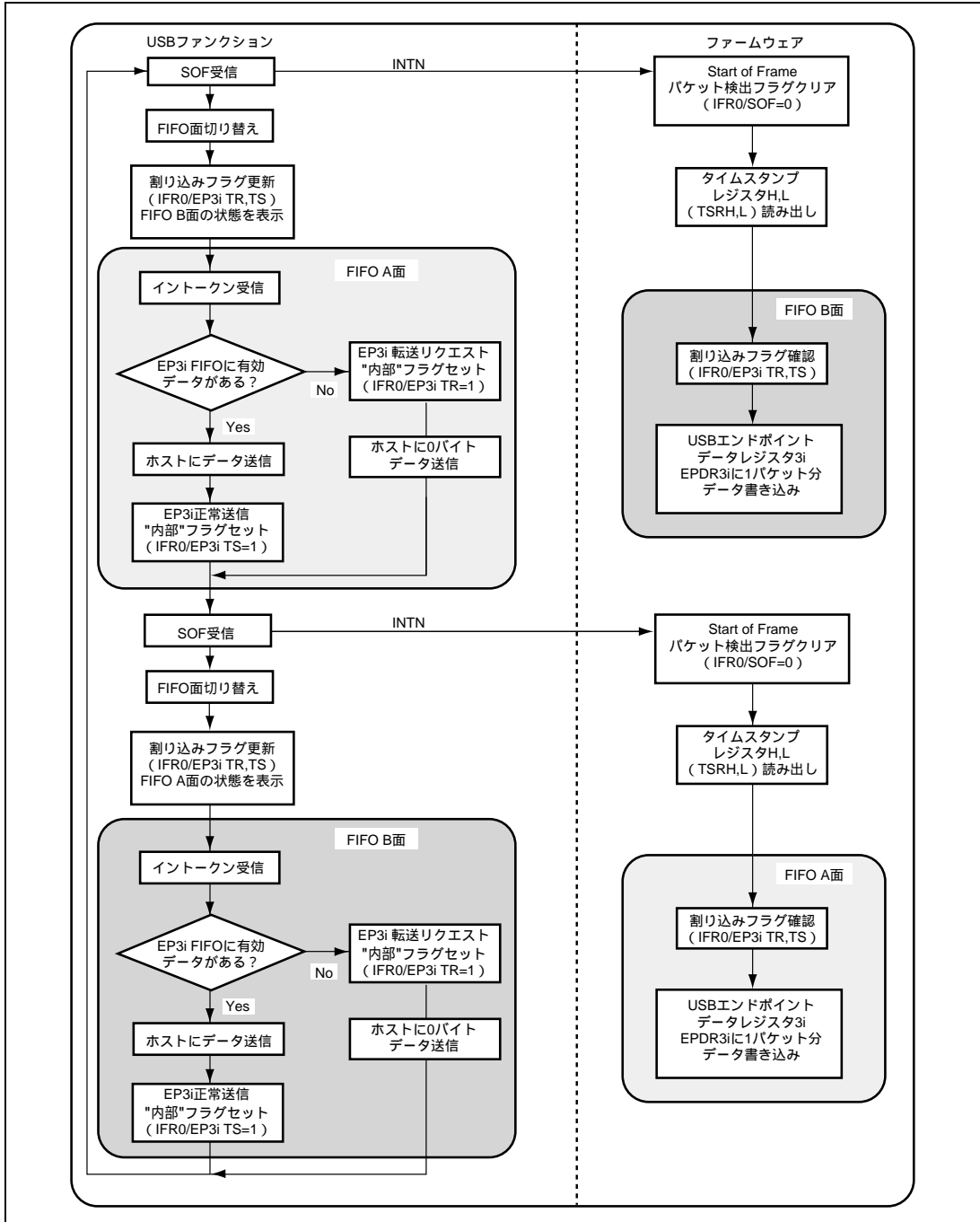


図 16.15 EP3i アイソクロナスイン転送の動作

16. USB ファンクションコントローラ (USBF)

EP3i は、最大 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データの書き込みができます（ただし、フローチャートでは説明のために A 面、B 面と呼びます）。

アイソクロナス転送は、1 フレーム (1ms) に 1 回だけ、転送が発生するため、SOF を受信すると、ハードが自動で、FIFO の面を切り替えます (SOF がエラーにより受信できない場合でも、SOF マーカ機能をイネーブルにすれば、1ms 周期でハードが自動で FIFO の面を切り替えます)。

SOF 受信で、FIFO の面を切り替えるため、USB ファンクションコントローラがホストにデータを送信する FIFO とファームウェアが送信データを書き込む FIFO は、同フレーム内では面が異なり、FIFO の読み出しと書き込みが競合することはありません。したがって、ファームウェアが書き込むデータは、1 つ後のフレームで送信するデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータの書き込みは、フレーム内に完了してください。

USB ファンクションは、イントークン受信後、FIFO 内にホストへ送信するデータがある場合、データをホストに送信し、TS 内部フラグを 1 にセットします。FIFO にデータが無ければ TR 内部フラグを 1 にセットし、ホストに 0 バイトデータを送信します。内部フラグ情報 (TR、TS) は SOF 受信でファームウェアにて読み出すことが可能な IFR0 フラグ情報 (TR、TS) として自動的に更新されます。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。その後 1 パケット分のデータを FIFO に書き込みます。この書き込んだデータは、次のフレームでホストに送信されます。また、前のフレームで転送が正常に行われなかったかどうかは、IFR0 レジスタのフラグ情報 (TR、TS) を読み出して判断することができます。

16.4.8 EP3o アイソクロナスアウト転送

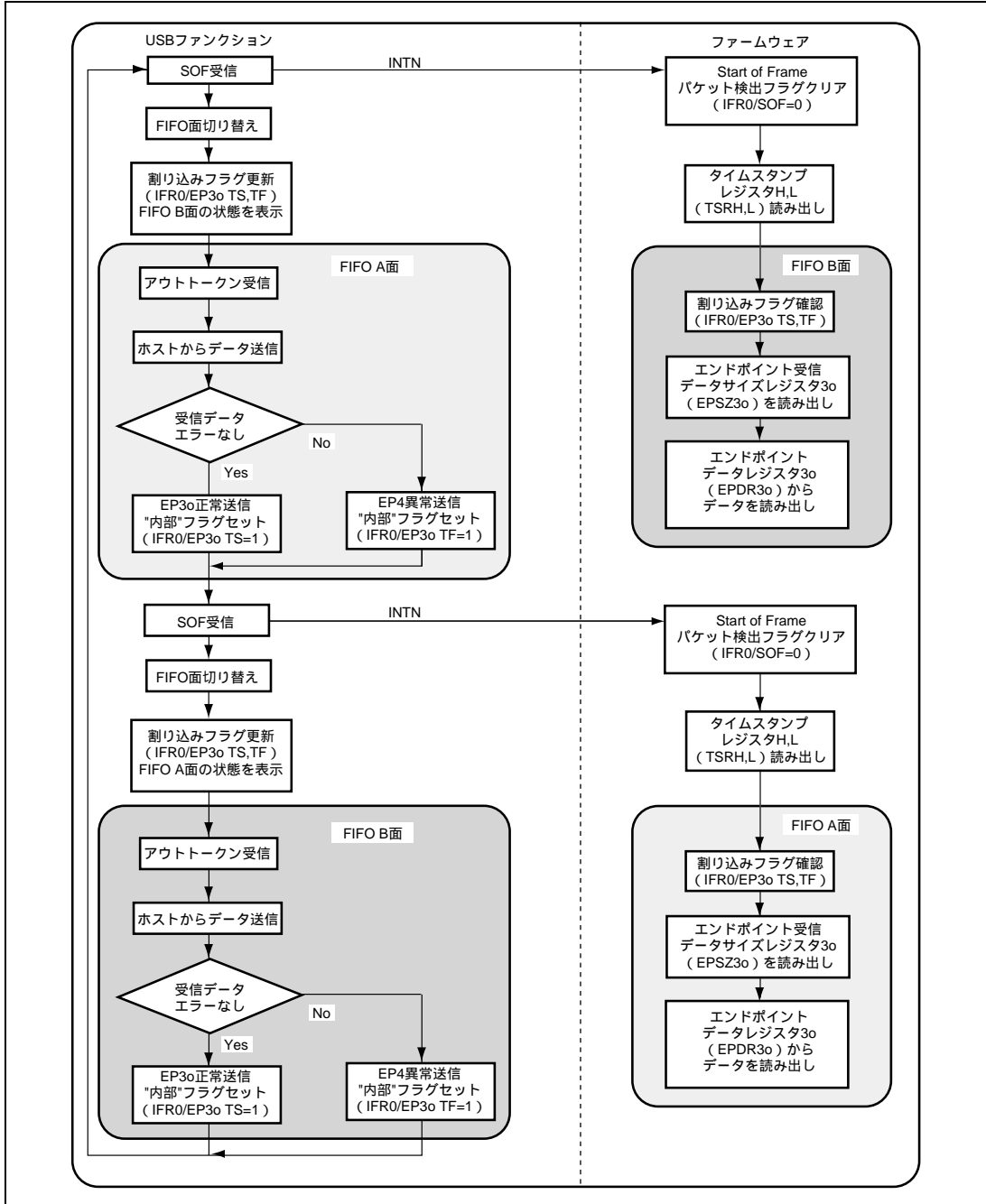


図 16.16 EP3o アイソクロナスアウト転送の動作

16. USB ファンクションコントローラ (USBF)

EP3o は、最大 60 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および受信データの読み出しができます。(ただし、フローチャートでは説明のために A 面、B 面と呼びます)。

アイソクロナス転送は、1 フレーム (1ms) に 1 回だけ、転送が発生するため、SOF を受信すると、ハードが自動で、FIFO の面を切り替えます (SOF がエラーにより受信できない場合でも、SOF マーカ機能をイネーブルにすれば、1ms 周期でハードが自動で FIFO の面を切り替えます)。

SOF 受信で、FIFO の面を切り替えるため、USB ファンクションコントローラがホストからデータを受信する FIFO とファームウェアが受信データを読み出す FIFO は、同フレーム内では面が異なり、FIFO の読み出しと書き込みが競合することはありません。したがって、ファームウェアが書き込むデータは、1 つ前のフレームで受信したデータとなります。また、SOF 受信により FIFO の面が自動的に切り替わるので、必ずデータの読み出しは、フレーム内に完了してください。

USB ファンクションは、アウトトークン受信後、ホストからデータを受信しますが、このとき、データにエラーがあった場合、TF 内部フラグを 1 にセットします。データにエラーがなければ TS 内部フラグを 1 にセットします。内部フラグ情報 (TF、TS) は、SOF 受信でファームウェアにて読み出すことが可能な IFR0 フラグ情報 (TF、TS) として自動的に更新されます。

ファームウェアでは、まず SOF 割り込みによりアイソクロナス転送の処理ルーチン呼び出し、タイムスタンプのチェックを行います。その後、データを FIFO から読み出します。またそのデータにエラーがあるかどうかは、IFR0 レジスタのフラグ情報 (TS、TF) を読み出して判断します。このときの IFR0 のフラグ情報は、現在読み出し可能な FIFO の面のステータスを表しています。

16.5 USB 標準コマンドとクラス / ベンダーコマンドの処理

16.5.1 コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、アプリケーション側でデコードを行い、コマンドの処理を行う必要があります。以下の表 16.7 にアプリケーション側でのコマンドデコードについて示します。

表 16.7 アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要無し	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Class/Vendor コマンド
Get Interface	Synch Frame
Get Status	Set Descriptor
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、IFR0/SETUP TS フラグがセットされ、割り込み要求が発生します。この割り込みルーチンの中で EP0s のデータレジスタ (EPDR0S) から 8 バイトのデータを読み出し、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

16.6 ストール動作

16.6.1 概要

本モジュールでのストール動作について説明します。本モジュールのストール機能には、次の2つの場合があります。

1. アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合
2. USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態（ストールか否か）を保持した内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照してホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合はホストから Clear Feature コマンドを使ってクリアしてください。ただし、EP0 に対する内部状態ビットはセットアップコマンド受信時のみ自動的にクリアされます。

16.6.2 アプリケーションが強制的にストールさせたい場合

アプリケーションが本モジュールに対してストール要求する場合、EPSTL レジスタを使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、EPSTL の該当ビットをセットします（図 16.17 の 1-1）。このとき、内部状態ビットは変化しません。次に、ホストから EPSTL の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていない場合は EPSTL の該当ビットを参照します（図 16.17 の 1-2）。ここで、EPSTL の該当ビットがセットされていれば、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェークを返します（図 16.17 の 1-3）。EPSTL の該当ビットがセットされていない場合は、内部状態ビットは変化せず、トランザクションが受け付けられます。

一度、内部状態ビットがセットされたあとは、EPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても（図 16.17 の 3-1）、EPSTL のビットがセットされている間は、該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、本モジュールはストールハンドシェークを返します（図 16.17 の 1-2）。したがって、ストールを解除するためには、EPSTL の該当ビットをアプリケーションでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります（図 16.17 の 2-1、2-2、2-3）。

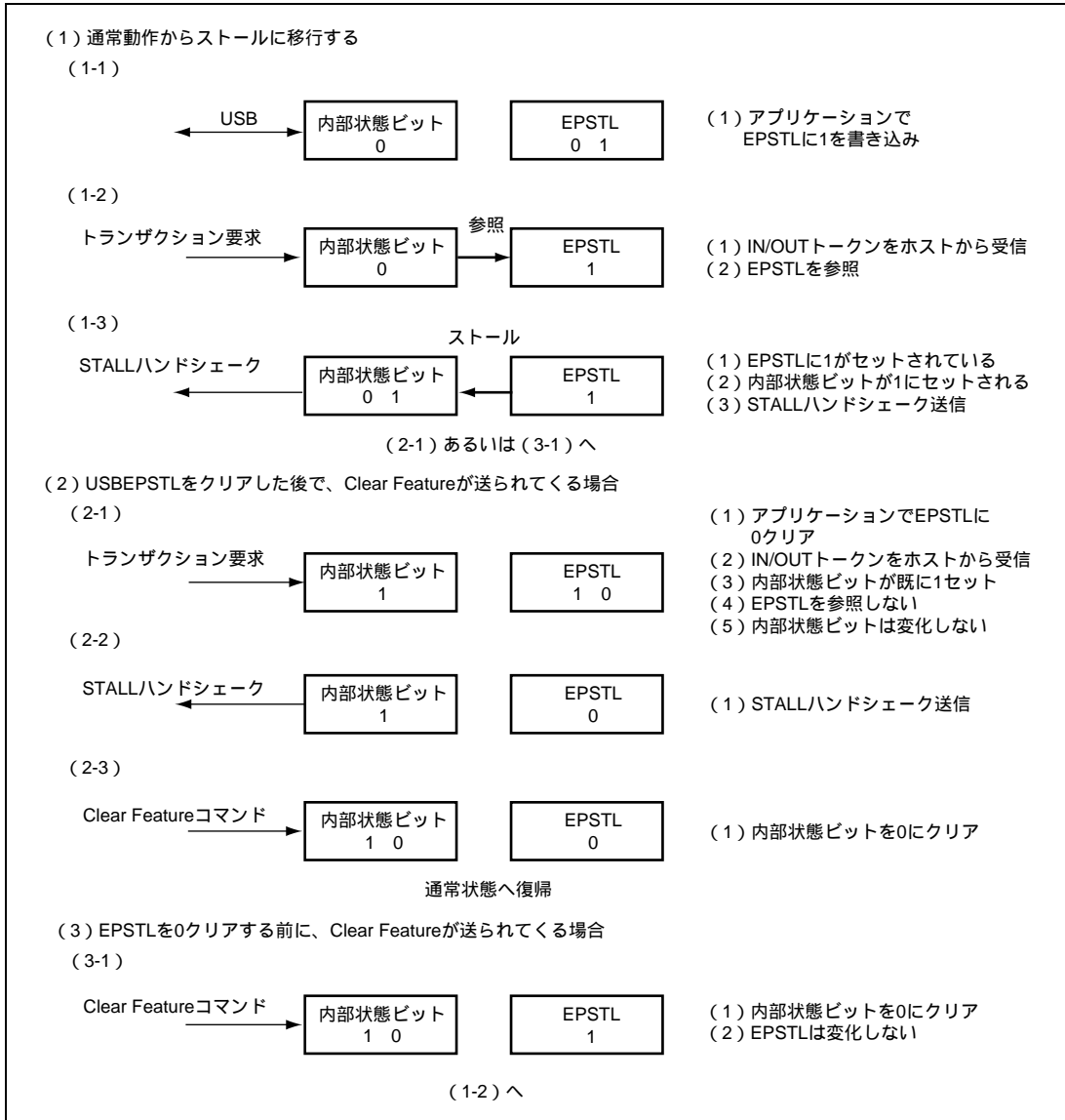


図 16.17 アプリケーションで強制的にストールさせたい場合

16.6.3 USB ファンクションコントローラが自動的にストールさせる場合

ホストから Set Feature コマンドでストール設定した場合、あるいは USB の規格違反があった場合は、EPSTL に関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットし、ストールハンドシェークを返します (図 16.18 の 1-1)。

一度、内部状態ビットがセットされたあとは、EPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされたあとは、EPSTL を参照するようになります (図 16.18 の 3-1)。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても、内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します (図 16.18 の 2-1、2-2)。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります (図 16.18 の 3-1)。もしアプリケーションによって EPSTL をセットしている場合は、EPSTL もクリアしてください (図 16.18 の 2-1)。

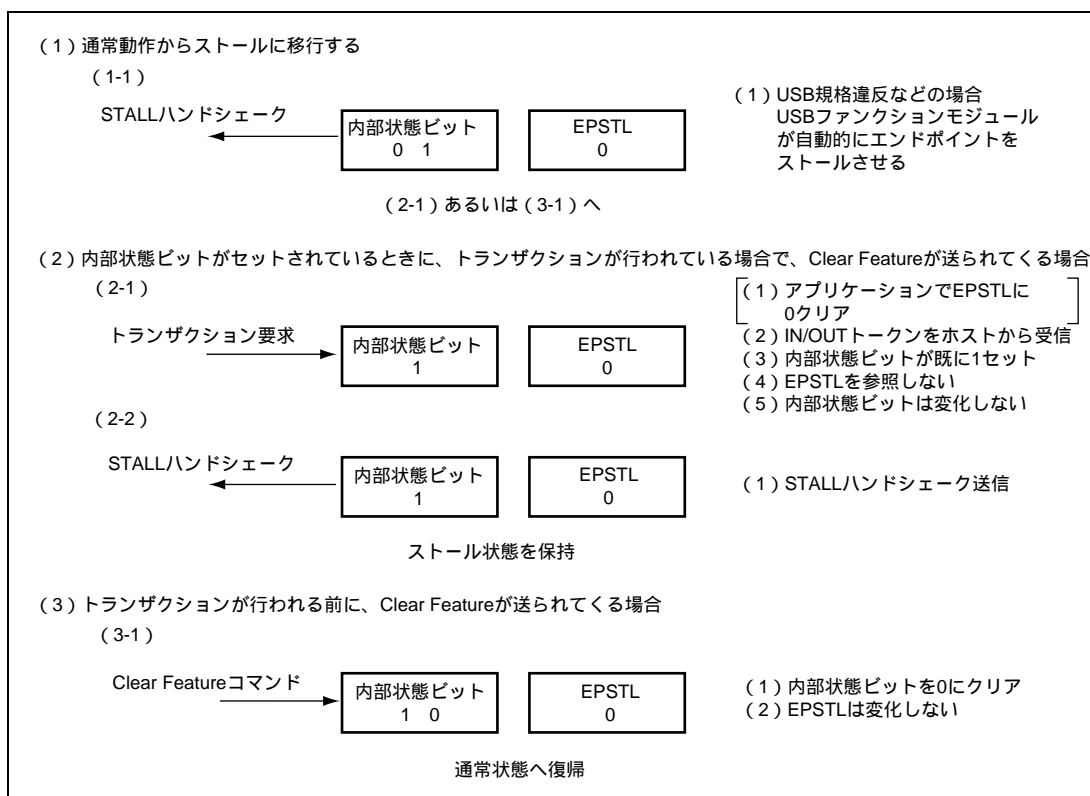


図 16.18 USB ファンクションコントローラが自動的にストールさせた場合

16.7 USB ファンクションコントローラと外部回路の接続例

(1) D+のプルアップ制御

USB ホスト/ハブへの接続通知 (D+プルアップ) を遅延させたい (優先度の高い処理中、初期化処理中等) システムでは、D+のプルアップを汎用出力ポートを用いて制御してください。しかし、USB ケーブルがすでにホスト/ハブに接続され D+のプルアップを禁止している場合、D+、D-が共にローレベル (ホスト/ハブ側は D+、D-を共にプルダウン) となり、USB ファンクションコントローラはホストから USB バスリセットを受信したものと誤って認識してしまいます。そのため、下記の回路例のように D+のプルアップ制御信号および USB_VBUS 端子入力信号は USB_PULLUP 端子出力と USB ケーブル VBUS を用いて (AND 回路) 制御してください (本 LSI の UDC コアは、USB_VBUS 端子がローレベルのとき、D+、D-の状態にかかわらずパワードステートを持続します)。

(2) USB ケーブル接続 / 切断の検出

本モジュールはハードウェアにて USB のステート等を管理しているため、接続 / 切断を認識する VBUS 信号が必要となります。VBUS は USB ケーブル内の電源信号 (VBUS) を用いますが、ファンクション (本 LSI 搭載システム) が電源オフ時、USB ホスト/ハブにケーブルが接続されると、USB ホスト/ハブから電圧 (5V) が印加されてしまいます。そのため、システム電源オフ時に電圧印加が可能な IC (HD74LV1G08A、2G08A 等) を外部に搭載してください。

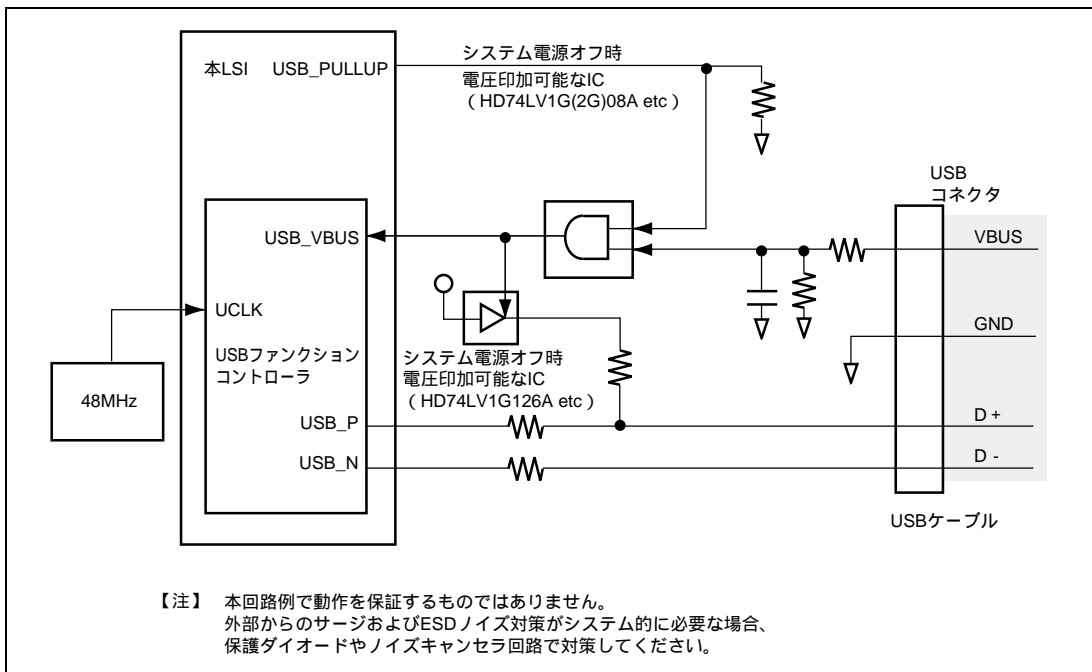


図 16.19 USB ファンクションコントローラと外部回路の接続例

16.8 使用上の注意事項

16.8.1 セットアップデータ受信について

8 バイトのセットアップデータ受信を行う EPDR0s レジスタは以下の点に注意してください。

1. USBではセットアップコマンドを必ず受信することになっているため、CPU側からの読み出しよりも、USBバス側からの書き込みが優先になっています。受信完了後にCPUでデータの読み出しを行っている最中に、次のセットアップコマンドの受信が開始された場合、書き込みを優先にするためCPU側からの読み出しを強制的に無効にします。したがって、受信開始後に読み出しされる値は不定値になります。
2. EPDR0sは必ず8バイト単位で読み出してください。途中で読み出しを中止すると次のセットアップコマンドで受信したデータが正常に読み出せません。

16.8.2 FIFO のクリアについて

USB ケーブル接続後、通信途中で抜かれた場合、受信中あるいは送信中のデータがFIFO内に残っている場合があります。したがって、ケーブル再接続後は、速やかにFIFOのクリアを行ってください。

なお、ホストからデータ受信中あるいはホストに対してデータ送信中のFIFOクリアは行わないでください。

16.8.3 データレジスタの読み出し / 書き込みについて

本USBファンクションコントローラのデータレジスタの読み出し / 書き込みをする際は、以下の点に注意してください。

(1) 受信用データレジスタ

受信用データレジスタは、有効な受信データ数以上読み出さないでください。すなわち、受信データサイズレジスタに示されるバイト数以上の読み出しをしないでください。2面FIFOを持つ受信用データレジスタの場合も1回に読み出せる最大データ数は最大パケットサイズです。現在有効になっている面のデータの読み出しを終了したら、必ずTRG/RDFNビットに1を書き込んでください。この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データサイズに反映され、次のデータの読み出しが可能になります。

(2) 送信用データレジスタ

送信用データレジスタは、最大パケットサイズ以上書き込まないでください。2面FIFOを持つ送信用データレジスタの場合も、1回の書き込みは必ず最大パケットサイズ以内にしてください。データの書き込み後、TRG/PKTEビットに1を書き込むと本モジュール内で面が切り替わり、他方の面に対する次のデータの書き込みが可能になります。したがって、2面分連続でデータの書き込みを行わないでください。

16.8.4 EP0に関する割り込み要因の割り当てについて

本モジュールのIFR0レジスタに割り当てられたEP0に関する割り込み要因(ビット0、1、2、29)は、必ずISR0レジスタで同じ割り込み端子に割り当ててください。その他の割り込み要因には特に制約はありません。

16.8.5 DMA 転送設定時の FIFO クリアについて

エンドポイント 2₀ およびエンドポイント 6 において、DMA 転送をイネーブルにしているときは、データレジスタのクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

16.8.6 TR 割り込み使用時の注意

バルクイン転送には転送要求割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当 EP の FIFO にデータがないときにセットされます。しかし、図 16.20 に示すようなタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないように注意してください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータが無い場合に NACK 判定を行います。TR 割り込みフラグは NACK ハンドシェイク送信後にセットされます。したがって、TRG/PKTE ビットの書き込みが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

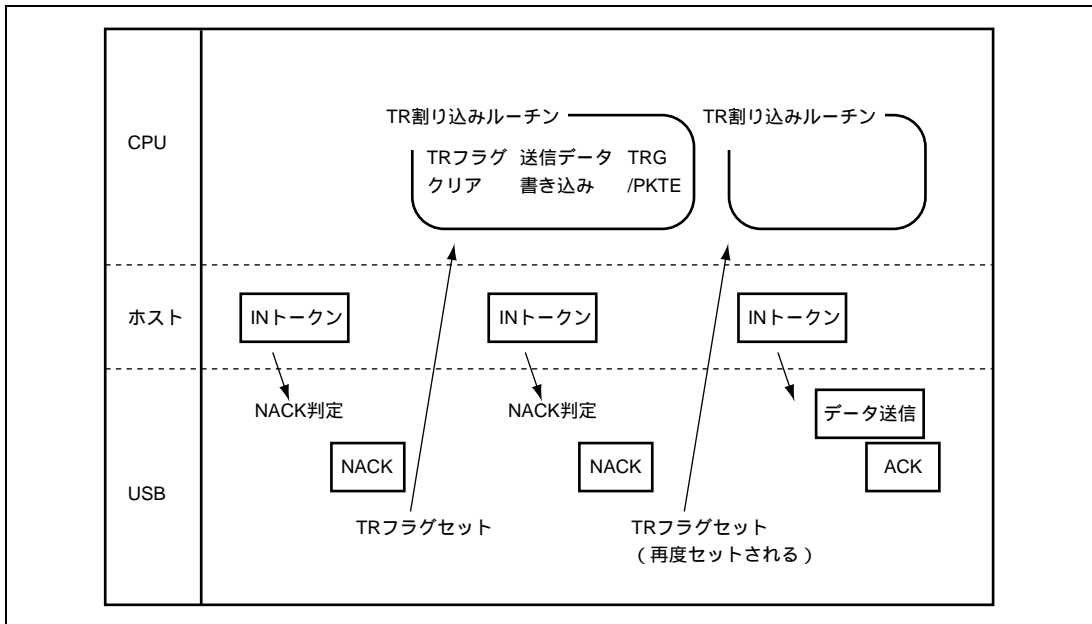


図 16.20 TR 割り込みフラグのセットタイミング

16.8.7 周辺クロックについて

本 USB ファンクションコントローラを使用する際は、本 LSI の周辺モジュールで使用する周辺クロック (P) の周波数を 12MHz より大きい周波数で使用してください。周辺クロックの周波数が 12MHz 以下では正常に動作しません。周辺クロックの詳細な設定方法については「第 9 章 クロックパルス発振器 (CPG)」を参照してください。

16.8.8 モジュールストップ USBH について

本モジュールを使用する際は、EXCPG 制御 (EXCPGCR) のモジュールストップ USBH を必ず 1 に設定してください。詳細は、「第 15 章 USB ピンマルチプレクスコントローラ (USBPM)」の「15.4.2 使用上の注意事項 (4)」を参照してください。

17. ピンファンクションコントローラ (PFC)

17.1 概要

本 LSI では、いくつかの端子に I/O ポートの機能がマルチプレクスされています (I/O ポートの詳細については「第 18 章 I/O ポート」を参照してください)。ピンファンクションコントローラ (PFC) は、I/O ポートとマルチプレクスされている端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。端子機能と入出力の方向は、LSI の動作モードに関係なく端子ごとに個別に選択することができます。表 17.1 に、本 LSI のマルチプレクス端子を示します。表 17.1 において、ハッチングの機能がリセット直後から使用できる端子機能です。

表 17.1 マルチプレクス一覧表

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
A	PTA1 入出力 (ポート)	SCIF1_SCK 入力 (SCIF1)	-
	PTA0 入出力 (ポート)	- *3	SCIF0_SCK 入力 (SCIF0)
B	PTB0 入出力 (ポート)	CS3 出力 (BSC)	-
C	PTC1 入出力 (ポート)	A20 出力 (BSC)	-
	PTC0 入出力 (ポート)	A19 出力 (BSC)	-
D	PTD1 入出力 (ポート)	A22 出力 (BSC)	-
	PTD0 入出力 (ポート)	A21 出力 (BSC)	-
E	PTE5 入出力 (ポート)	VCI_HWC 出力 (BT)	-
	PTE4 入出力 (ポート)	VCI_SCO_SYNC_OUT 出力 (BT)	-
	PTE3 入出力 (ポート)	VCI_SCO_CLK_OUT 出力 (BT)	-
	PTE2 入出力 (ポート)	VCI_SCO_RX 出力 (BT)	-
	PTE1 入出力 (ポート)	VCI_SCO_TX 入力 (BT)	-
	PTE0 入出力 (ポート)	VCI_CODECPWRDWN 出力 (BT)	-
F	PTF3 入出力 (ポート) *1	RDI_CTRL2 出力 (BT)	-
	PTF2 入出力 (ポート) *1	-	-
	PTF1 入出力 (ポート) *1	-	-
	PTF0 入出力 (ポート) *1	-	-
SCPT	SCPT3i 入力 (ポート) *2	SCIF1_RXD 入力 (SCIF1)	-
	SCPT3o 出力 (ポート) *2	SCIF1_TXD 出力 (SCIF1)	-
	SCPT2 入出力 (ポート)	- *3	SCIF0_CTS 入力 (SCIF0)
	SCPT1 入出力 (ポート)	- *3	SCIF0_RTS 出力 (SCIF0)
	SCPT0i 入力 (ポート) *2	- *3	SCIF0_RXD 入力 (SCIF0)
	SCPT0o 出力 (ポート) *2	- *3	SCIF0_TXD 出力 (SCIF0)

【注】 *1 ポート F は PTF3 のみ機能 2 とマルチプレクスされ、他の端子は機能 1 のみの単独機能端子です。

*2 SCPT0、SCPT3 は、入力端子、出力端子を異にしますがアクセスするデータレジスタは同じです。

*3 ポート A のビット 0 およびポート SCPT のビット 0-2 の機能 2 は予約です。

17.2 レジスタの説明

PFC のレジスタを以下に示します。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポートAコントロールレジスタ (PACR)
- ポートBコントロールレジスタ (PBCR)
- ポートCコントロールレジスタ (PCCR)
- ポートDコントロールレジスタ (PDCR)
- ポートEコントロールレジスタ (PECR)
- ポートFコントロールレジスタ (PFCR)
- ポートSCコントロールレジスタ (SCPCR)
- ピンセレクトレジスタA (PSELA)
- I/OバッファHi-Z制御レジスタA (HIZCRA)

【注】 PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値*	R/W	説 明
15~4	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
3	PA1MD1	1	R/W	PTA1 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PA1MD0	0	R/W	
1	PA0MD1	1	R/W	PTA0 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PA0MD0	0	R/W	

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値*	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
1	PB0MD1	0	R/W	PTB0 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PB0MD0	0	R/W	

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値*	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
3	PC1MD1	0	R/W	PTC1 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
2	PC1MD0	0	R/W	
1	PC0MD1	0	R/W	PTC0 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
0	PC0MD0	0	R/W	

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17. ピンファンクションコントローラ (PFC)

17.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値*	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
3	PD1MD1	0	R/W	PTD1 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
2	PD1MD0	0	R/W	
1	PD0MD1	0	R/W	PTD0 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
0	PD0MD0	0	R/W	

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値*	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
11	PE5MD1	1	R/W	PTE5 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
10	PE5MD0	0	R/W	
9	PE4MD1	1	R/W	PTE4 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
8	PE4MD0	0	R/W	

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値*	R/W	説明
7 6	PE3MD1 PE3MD0	1 0	R/W R/W	PTE3 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5 4	PE2MD1 PE2MD0	1 0	R/W R/W	PTE2 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3 2	PE1MD1 PE1MD0	1 0	R/W R/W	PTE1 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
1 0	PE0MD1 PE0MD0	1 0	R/W R/W	PTE0 モード 00: その他の機能 (表 17.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17. ピンファンクションコントローラ (PFC)

17.2.6 ポート F コントロールレジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット	ビット名	初期値*	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
7 6	PF3MD1 PF3MD0	1 0	R/W R/W	PTF3 モード 00 : その他の機能 (表 17.1 参照) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
5 4	PF2MD1 PF2MD0	1 0	R/W R/W	PTF2 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
3 2	PF1MD1 PF1MD0	1 0	R/W R/W	PTF1 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)
1 0	PF0MD1 PF0MD0	1 0	R/W R/W	PTF0 モード 00 : 設定禁止 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オン) 11 : ポート入力 (プルアップ MOS : オフ)

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17.2.7 ポート SC コントロールレジスタ (SCPCR)

SCPCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

SCIF0、SCIF1 の SCSCR_0 または SCSCR_1 の TE ビットを 1 にセットすると、「他の機能：SCIF0_TXD または SCIF1_TXD」の出力状態が SCPCR 設定に優先します*。

同様に、SCSCR_0 または SCSCR_1 の RE ビットを 1 にセットすると、「他の機能：SCIF0_RXD または SCIF1_RXD」の入力状態が SCPCR 設定に優先します*。

【注】 * ピンセレクトレジスタ (PSELA) で SCIF0_TXD、SCIF0_RXD が選択されている必要があります。

ビット	ビット名	初期値*	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
7 6	SCP3MD1 SCP3MD0	1 0	R/W R/W	SCPT3 モード これらのビットは端子機能と入力プルアップ MOS 制御を選択します。 SCSCR_1 の TE = 0 の場合、SCPT3o / SCIF1_TXD 端子は下記の動作です。 00：その他の機能 (SCIF1_TXD) 01：ポート出力 10：出力ハイインピーダンス状態 11：出力ハイインピーダンス状態 SCSCR_1 の RE = 0 の場合、SCPT3i / SCIF1_RXD 端子は下記の動作です。 00：その他の機能 (SCIF1_RXD) 01：ポート入力固定 10：ポート入力 (プルアップ MOS : オン) 11：ポート入力 (プルアップ MOS : オフ) SCSCR_1 の TE = 1 の場合、SCPT3o / SCIF1_TXD 端子は送信データ出力 (SCIF1_TXD) 機能となります。 SCSCR_1 の RE = 1 の場合、SCPT3i / SCIF1_RXD 端子は送信データ入力 (SCIF1_RXD) 機能となります。 【注】1 ビット (SCPT3) を TXD、RXD の 2 つの端子を用いてアクセスするため、SCPT3 の同時入出力の組み合わせはありません。
5 4	SCP2MD1 SCP2MD0	1 0	R/W R/W	SCPT2 モード 00：その他の機能 (表 17.1 参照) 01：ポート出力 10：ポート入力 (プルアップ MOS : オン) 11：ポート入力 (プルアップ MOS : オフ)

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値*	R/W	説明
3	SCP1MD1	1	R/W	SCPT1 モード これらのビットは端子機能と入力プルアップ MOS 制御を選択します。 00：その他の機能 (表 17.1 参照) 01：ポート出力 10：ポート入力 (プルアップ MOS : オン) 11：ポート入力 (プルアップ MOS : オフ)
2	SCP1MD0	0	R/W	
1	SCP0MD1	1	R/W	SCPT0 モード これらのビットは端子機能と入力プルアップ MOS 制御を選択します。 SCSCR_0 の TE = 0 の場合、SCIF0_TXD/SCPT0o 端子は下記の動作です。 00：その他の機能 (SCIF0_TXD) 01：ポート出力 10：出力ハイインピーダンス状態 11：出力ハイインピーダンス状態 SCSCR_0 の RE = 0 の場合、SCIF0_RXD/SCPT0i 端子は下記の動作です。 00：その他の機能 (SCIF0_RXD) 01：ポート入力固定 10：ポート入力 (プルアップ MOS : オン) 11：ポート入力 (プルアップ MOS : オフ) SCSCR_0 の TE = 1 かつ、PSELA レジスタで SCIF0 が選択されている場合、SCIF0_TXD/SCPT0o 端子は送信データ出力 (SCIF0_TXD) 機能となります。 SCSCR_0 の RE = 1 かつ、PSELA レジスタで SCIF0 が選択されている場合、SCIF0_RXD/SCPT0i 端子は送信データ入力 (SCIF0_RXD) 機能となります。 【注】1 ビット (SCPT0) を TXD、RXD の 2 つの端子を用いてアクセスするため、SCPT0 の同時入出力の組み合わせはありません。
0	SCP0MD0	0	R/W	

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17.2.8 ピンセレクトレジスタ A (PSELA)

PSELA は、2つの目的を持っている読み出し / 書き込み可能な 16 ビットのレジスタです。

ビット 0 (RTCSEL1) はブルートゥースインタフェース (BT) で使われる低周波数クロックのソース周波数を選択します。32.000kHz を選択した場合は、そのまま BT で使われますが、32.768kHz を選択した場合は、擬似的に 32.000kHz のクロックに周波数補正を行う回路が働きます。詳細な内容は、「第 19 章 ブルートゥースインタフェース (BT)」を参照してください。

ビット 1 ~ 5 は「その他の機能」を 2 つ以上マルチプレクスしている端子の機能を選択します。これらの端子において、一方の機能を使用する場合は、PSELA の該当ビットを設定した後にポートコントロールレジスタを「その他の機能」に設定してください。

設定例：SCIF0_CTS / SCPT2 端子において、SCIF0_CTS 機能を使用する場合

1. PSELA.PSA4ビットに1を設定。
2. ポートSCコントロールレジスタ (SCPCR) のSCP2MD1、SCP2MD0ビットを (0、0) (その他の機能) に設定。
3. IOバッファHi-Z制御レジスタA (HIZCRA) のHIZA1ビットを0に設定。

【注】 SCIF0_SCK / PTA0 端子を使用する場合、3.の設定は不要です。

ビット	ビット名	初期値*	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。 1を書いた場合の動作の保証はできません。
5	PSA5	0	R/W	SCIF0_SCK/PTA0 の選択 0: 予約 1: SCIF0_SCK を選択
4	PSA4	0	R/W	SCIF0_CTS/SCPT2 の選択 0: 予約 1: SCIF0_CTS を選択
3	PSA3	0	R/W	SCIF0_RTS/SCPT1 の選択 0: 予約 1: SCIF0_RTS を選択
2	PSA2	0	R/W	SCIF0_TXD/SCPT0o の選択 0: 予約 1: SCIF0_TXD を選択
1	PSA1	0	R/W	SCIF0_RXD/SCPT0i の選択 0: 予約 1: SCIF0_RXD を選択

17. ピンファンクションコントローラ (PFC)

ビット	ビット名	初期値*	R/W	説 明
0	RTCSEL1	0	R/W	低周波数クロックの周波数選択 0 : 32.768kHz を選択 1 : 32.000kHz を選択

【注】 PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

17.2.9 IO バッファ Hi-Z 制御レジスタ A (HIZCRA)

HIZCRA は読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います*。

【注】 * ポート n コントロールレジスタ (PnCR) や、ポート SC コントロールレジスタ (SCPCR) でポート入力 (プルアップ MOS : オン) が選択されている場合、HIZCRA レジスタの設定にかかわらず、プルアップ MOS はオン状態を維持します。

ビット	ビット名	初期値*	R/W	説 明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。 1 を書いた場合の動作の保証はできません。
1	HIZA1	1	R/W	SCIF0 関連信号 (SCIF0_CTS、SCIF0_RTS、SCIF0_RXD、SCIF0_TXD) がマルチプレクスされている端子のハイインピーダンス制御を行います。 0 : I/O バッファは通常動作 1 : I/O バッファは入力固定、出力ハイインピーダンスとなる
0	HIZA0	1	R/W	SCIF1 関連信号 (SCIF1_RXD、SCIF1_TXD) がマルチプレクスされている端子のハイインピーダンス制御を行います。 0 : I/O バッファは通常動作 1 : I/O バッファは入力固定、出力ハイインピーダンスとなる

【注】 * PFC モジュールの各レジスタは、マニュアルリセットでは初期化されず、レジスタの値を保持します。

18. I/O ポート

本 LSI には 7 本のポート (ポート A、B、C、D、E、F、および SC) があります。それぞれのポートの端子は、すべて他の端子機能 (ピンファンクションコントローラ (PFC) で端子機能とプルアップ MOS 制御の選択を行います) を兼ねているマルチプレクス端子です。ポートはそれぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

18.1 ポート A

ポート A は図 18.1 に示すような端子構成を持つ 2 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート A コントロールレジスタ (PACR) で制御します。

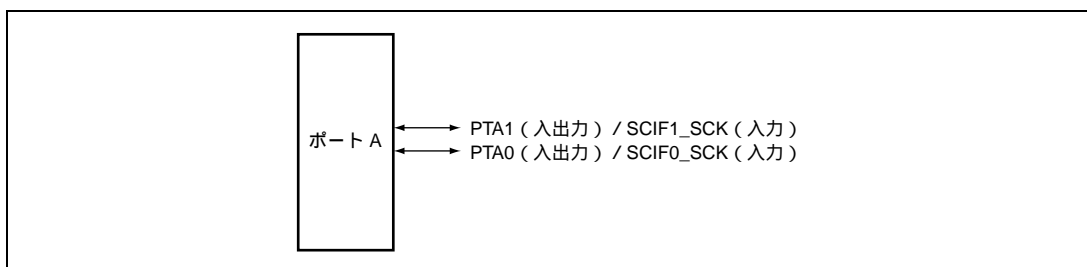


図 18.1 ポート A

18.1.1 レジスタの説明

ポート A には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポート A データレジスタ (PADR)

18. I/O ポート

18.1.2 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子 PTA1、PTA0 のデータを格納します。PA1DT、PA0DT ビットは PTA1、PTA0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PADR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。このとき PADR の値は影響を受けません。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。 1 を書いた場合の動作の保証はできません。
1	PA1DT	0	R/W	表 18.1 に PADR の機能を示します。
0	PA0DT	0	R/W	

表 18.1 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PACR* ¹ の状態		端子状態	読み出しの場合	書き込みの場合
PAnMD1* ²	PAnMD0* ²			
0	0	その他の機能	PADR の値	PADR に書き込めるが、端子の状態に影響しない
	1	出力	PADR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PADR に書き込めるが、端子の状態に影響しない

【注】 *1 ポート A コントロールレジスタ (PACR) については、「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

*2 n=0, 1

18.2 ポート B

ポート B は図 18.2 に示すような端子構成を持つ 1 ビットの入出力ポートです。端子には入力プルアップ MOS があり、PFC のポート B コントロールレジスタ (PBCR) で制御します。

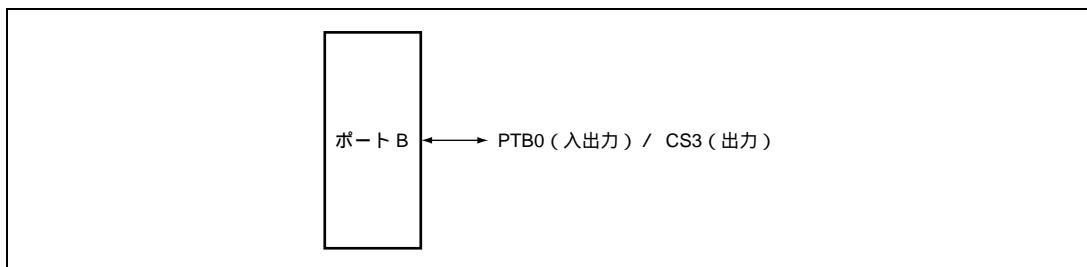


図 18.2 ポート B

18.2.1 レジスタの説明

ポート B には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポート B データレジスタ (PBDR)

18.2.2 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子 PTB0 のデータを格納します。PB0DT ビットは PTB0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PBDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。このとき PBDR の値は影響を受けません。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。 1 を書いた場合の動作の保証はできません。
0	PB0DT	0	R/W	表 18.2 に PBDR の機能を示します。

表 18.2 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBCR*の状態		端子状態	読み出しの場合	書き込みの場合
PB0MD1	PB0MD0			
0	0	その他の機能	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない
	1	出力	PBDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PBDR に書き込めるが、端子の状態に影響しない

【注】 * ポート B コントロールレジスタ (PBCR) については、「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

18.3 ポート C

ポート C は図 18.3 に示すような端子構成を持つ 2 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート C コントロールレジスタ (PCCR) で制御します。

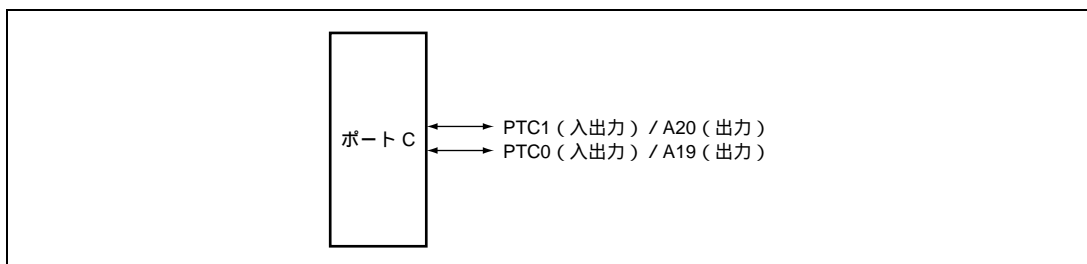


図 18.3 ポート C

18.3.1 レジスタの説明

ポート C には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポート C データレジスタ (PCDR)

18.3.2 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子 PTC1、PTC0 のデータを格納します。PC1DT、PC0DT ビットは PTC1、PTC0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PCDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。このとき PCDR の値は影響を受けません。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。 1 を書いた場合の動作の保証はできません。
1	PC1DT	0	R/W	表 18.3 に PCDR の機能を示します。
0	PC0DT	0	R/W	

表 18.3 ポート C データレジスタ (PCDR) の読み出し / 書き込み動作

PCCR の状態*1		端子状態	読み出しの場合	書き込みの場合
PCnMD1*2	PCnMD0*2			
0	0	その他の機能	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない
	1	出力	PCDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PCDR に書き込めるが、端子の状態に影響しない

【注】 *1 ポート C コントロールレジスタ (PCCR) については、「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

*2 n=0, 1

18.4 ポート D

ポート D は図 18.4 に示すような端子構成を持つ 2 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート D コントロールレジスタ (PDCR) で制御します。

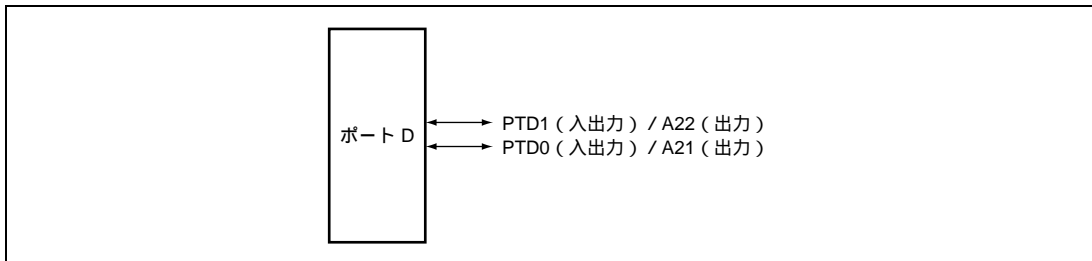


図 18.4 ポート D

18.4.1 レジスタの説明

ポート D には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポート D データレジスタ (PDDR)

18.4.2 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子 PTD1、PTD0 のデータを格納します。PD1DT、PD0DT ビットは PTD1、PTD0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PDDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。このとき PDDR の値は影響を受けません。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。1 を書いた場合の動作の保証はできません。
1	PD1DT	0	R/W	表 18.4 に PDDR の機能を示します。
0	PD0DT	0	R/W	

表 18.4 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDCR の状態*1		端子状態	読み出しの場合	書き込みの場合
PDnMD1*2	PDnMD0*2			
0	0	その他の機能	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない
	1	出力	PDDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PDDR に書き込めるが、端子の状態に影響しない

【注】 *1 ポート D コントロールレジスタ (PDCR) については、「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

*2 n = 0、1

18.5 ポート E

ポート E は図 18.5 に示すような端子構成を持つ 6 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート E コントロールレジスタ (PECR) で制御します。

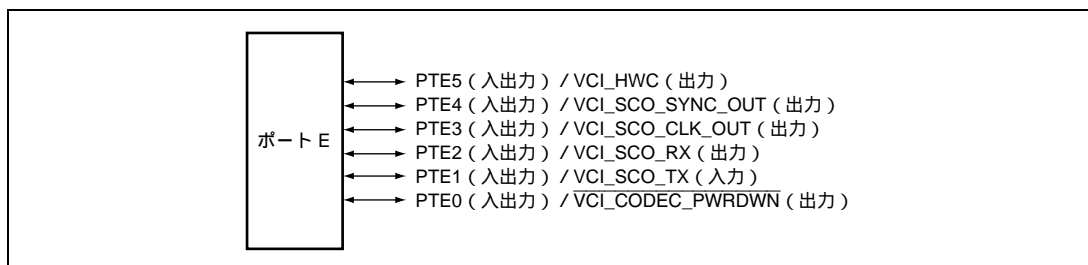


図 18.5 ポート E

18.5.1 レジスタの説明

ポート E には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポート E データレジスタ (PEDR)

18.5.2 ポート E データレジスタ (PEDR)

PEDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子 PTE5 ~ PTE0 のデータを格納します。PE5DT ~ PE0DT ビットは PTE5 ~ PTE0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PEDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。このとき PEDR の値は影響を受けません。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。 1 を書いた場合の動作の保証はできません。
5	PE5DT	0	R/W	表 18.5 に PEDR の機能を示します。
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

18. I/O ポート

表 18.5 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PECR の状態* ¹		端子状態	読み出しの場合	書き込みの場合
PEnMD1* ²	PEnMD0* ²			
0	0	その他の機能	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない
	1	出力	PEDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PEDR に書き込めるが、端子の状態に影響しない

【注】 *1 ポート E コントロールレジスタ (PECR) については、「第 17 章 ピンファンクションコントローラ (PFC)」を参照してください。

*2 n = 0 ~ 5

18.6 ポート F

ポート F は図 18.6 に示すような端子構成を持つ 4 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC のポート F コントロールレジスタ (PFCR) で制御します。

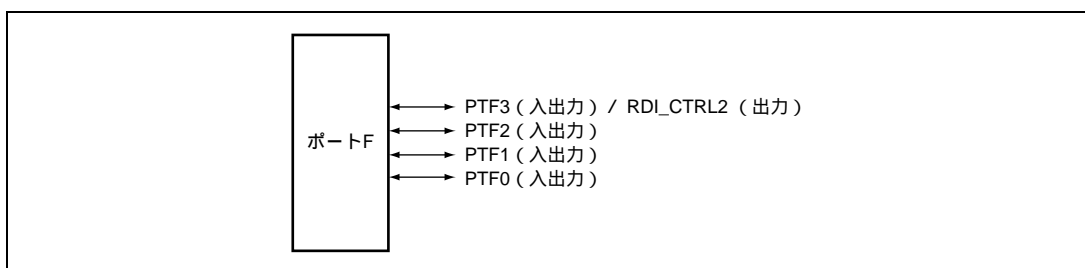


図 18.6 ポート F

18.6.1 レジスタの説明

ポート F には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポート F データレジスタ (PFDR)

18.6.2 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子 PTF3 ~ PTF0 のデータを格納します。PF3DT ~ PF0DT ビットは PTF3 ~ PTF0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する PFDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。このとき PFDR の値は影響を受けません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。 1 を書いた場合の動作の保証はできません。
3	PF3DT	0	R/W	表 18.6 に PFDR の機能を示します。
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

表 18.6 ポート F データレジスタ (PFDR) の読み出し / 書き込み動作

PFCR の状態*1		端子状態	読み出しの場合	書き込みの場合
PFnMD1*2	PFnMD0*2			
0	0	その他の機能	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない
	1	出力	PFDR の値	書き込み値が端子から出力される
1	0	入力 (プルアップ MOS オン)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	1	入力 (プルアップ MOS オフ)	端子の状態	PFDR に書き込めるが、端子の状態に影響しない

【注】 *1 ポート F コントロールレジスタ (PFCR) については、「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

*2 n = 0 ~ 3

18.7 SC ポート

SC ポートは図 18.7 に示すような端子構成を持つ 4 ビットの入出力ポートです。各端子には入力プルアップ MOS があり、PFC の SC ポートコントロールレジスタ (SCPCR) で制御します。

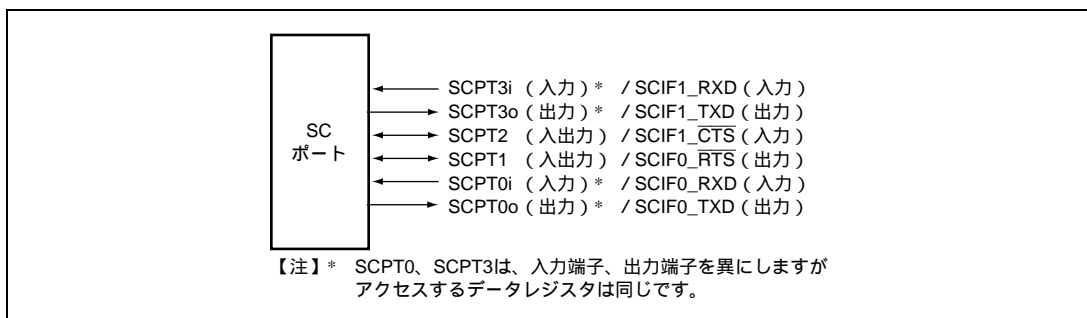


図 18.7 SC ポート

18.7.1 レジスタの説明

ポート SC には以下のレジスタがあります。このレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ポート SC データレジスタ (SCPDR)

18.7.2 ポート SC データレジスタ (SCPDR)

SCPDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、端子 SCPT3 ~ SCPT0 のデータを格納します。SCP3DT ~ SCP0DT ビットは SCPT3 ~ SCPT0 端子に対応しています。端子機能が汎用出力ポートの場合には、ポートを読み出すと、対応する SCPDR ビットの値が直接読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと、対応する端子レベルが読み出されます。このとき SCPDR の値は影響を受けません。

PFC の PSELA レジスタの PSA2、PSA1 ビットが 1 に設定 (SCIF0 選択状態) されている場合、SCIF0 の SCSCRO レジスタの TE ビットまたは RE ビットを 1 にセットすると、PFC の SCPCR レジスタの設定に関係なく、SCIF0_TXD または SCIF0_RXD 端子機能が優先的に選択されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0としてください。 1を書いた場合の動作の保証はできません。
3	SCP3DT	0	R/W	表 18.7 に SCPDR の機能を示します。
2	SCP2DT	0	R/W	
1	SCP1DT	0	R/W	
0	SCP0DT	0	R/W	

表 18.7 SC ポートデータレジスタ (SCPDR) の読み出し / 書き込み動作

- SCP1DR、SCP2DR

SCPCR の状態*1		端子状態	読み出しの場合	書き込みの場合
SCPnMD1*2	SCPnMD0*2			
0	0	その他の機能	SCPDR の値	SCPDR に書き込めるが、端子の状態に影響しない
	1	出力	SCPDR の値	書き込み値が端子から出力される
1	0	入力(プルアップ MOS オン)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない
	1	入力(プルアップ MOS オフ)	端子の状態	SCPDR に書き込めるが、端子の状態に影響しない

【注】 *1 ポート SC コントロールレジスタ (SCPCR) については、「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

*2 n = 1, 2

- SCP0DR、SCP3DR の場合

SCPCR の状態*1		端子状態	読み出しの場合	書き込みの場合
SCPnMD1*2	SCPnMD0*2			
0	0	その他の機能	【読み出し動作禁止】	【書き込み動作禁止】
	1	SCPTno : 出力 SCPTni : 入力固定 (読み出し不可)	SCPDR の値	書き込み値が TXD 端子から出力される
1	0	SCPTno : 出力ハイインピーダンス SCPTni : 入力 (プルアップ MOS オン)	RXD 端子の状態	SCPDR に書き込めるが、端子の状態に影響しない
	1	SCPTno : 出力ハイインピーダンス SCPTni : 入力 (プルアップ MOS オフ)	RXD 端子の状態	SCPDR に書き込めるが、端子の状態に影響しない

【注】 *1 ポート SC コントロールレジスタ (SCPCR) については、「第 17 章 ビンファンクションコントローラ (PFC)」を参照してください。

*2 n = 0, 3

読み出し動作禁止および書き込み動作禁止部分での動作は保証しません。

19. ブルートゥースインタフェース (BT)

本 LSI は、ブルートゥースベースバンド処理に必要なブルートゥースインタフェース (BT) を内蔵しています。本 BT は、ブルートゥース規格 (ver1.2) に従い、ハードウェアとファームウェアとの組み合わせで構成されており、ホストコントローラインタフェース (HCI : Host Controller Interface) 階層までの下位プロトコルスタック機能を備えています。本 LSI は本機能を搭載することにより、ベースバンド階層 (BB) およびリンクマネージメントプロトコル階層 (LMP) について LOGO 認証を取得しています。

上位プロトコルスタックを構築するために、ブルートゥース規格 (ver1.2) で規定されている HCI コマンドをサポートしているほか、独自に TCI (Test Command Interface) コマンドをサポートしています。実際の上位プロトコルスタックと下位プロトコルスタックとのコミュニケーションのための関数を API (Application Interface) として用意しています。独自サポートの TCI コマンドおよび API 関数の詳細資料がご入り用の場合は、別途弊社営業窓口までご相談ください。

19.1 特長

- ブルートゥース規格 (ver1.2) に対応
- 拡散変調は周波数ホッピング方式で79チャンネルホッピング
- ACL (Asynchronous Connection Less) およびSCO (Synchronous Connection Oriented) リンクをサポート
- ACL、SCOともにHCIの上位階層から制御可能
- リンク/接続の確立の制御系パケット、データの送受信パケット、全タイプのパケットをサポート
- 接続形態は 1 : 1 通信 (point to point)、ピコネット (point to multi-point) をサポート
- Voice Codec方式ではA-law - μ -law、CVSD - Linear PCM、Linear PCM - A/ μ -law、A/ μ -law - CVSD相互変換が可能
- Encryption / Decryption
- Hold / Sniff / Parkモードの3つの低消費電力状態をコントロール*
- ルネサステクノロジ製RF-IC (HD157100NP / HD157102NP) と直結可能なインタフェースをサポート
- CPUを介さずに以下の2種類のVoice CODEC ICと直結可能なインタフェースをサポート
 - (1) STMicroelectronics 社製 STLC7550
 - (2) Motorola 社製 MC145483
- 低消費電力状態で使用する低周波数クロックとして、32.768kHzの水晶発振子を利用可能な周波数補正機能をサポート
- 低消費電力状態で使用する低周波数クロックを内蔵発振器または外部からの直接入力から選択
- HCIコマンドの他に独自のTCIコマンド、API関数をサポート

19. ブルートゥースインタフェース (BT)

【注】 * RF-IC から EXTAL 端子にメインクロックを供給する場合、Hold / Sniff / Park モードに入っても RF-IC は低消費電力状態に入りません。Hold / Sniff / Park モードで RF-IC も低消費電力状態にするためには、RF-IC と独立のクロックを EXTAL 端子に入力してください。

BT のブロック図を図 19.1 に示します。

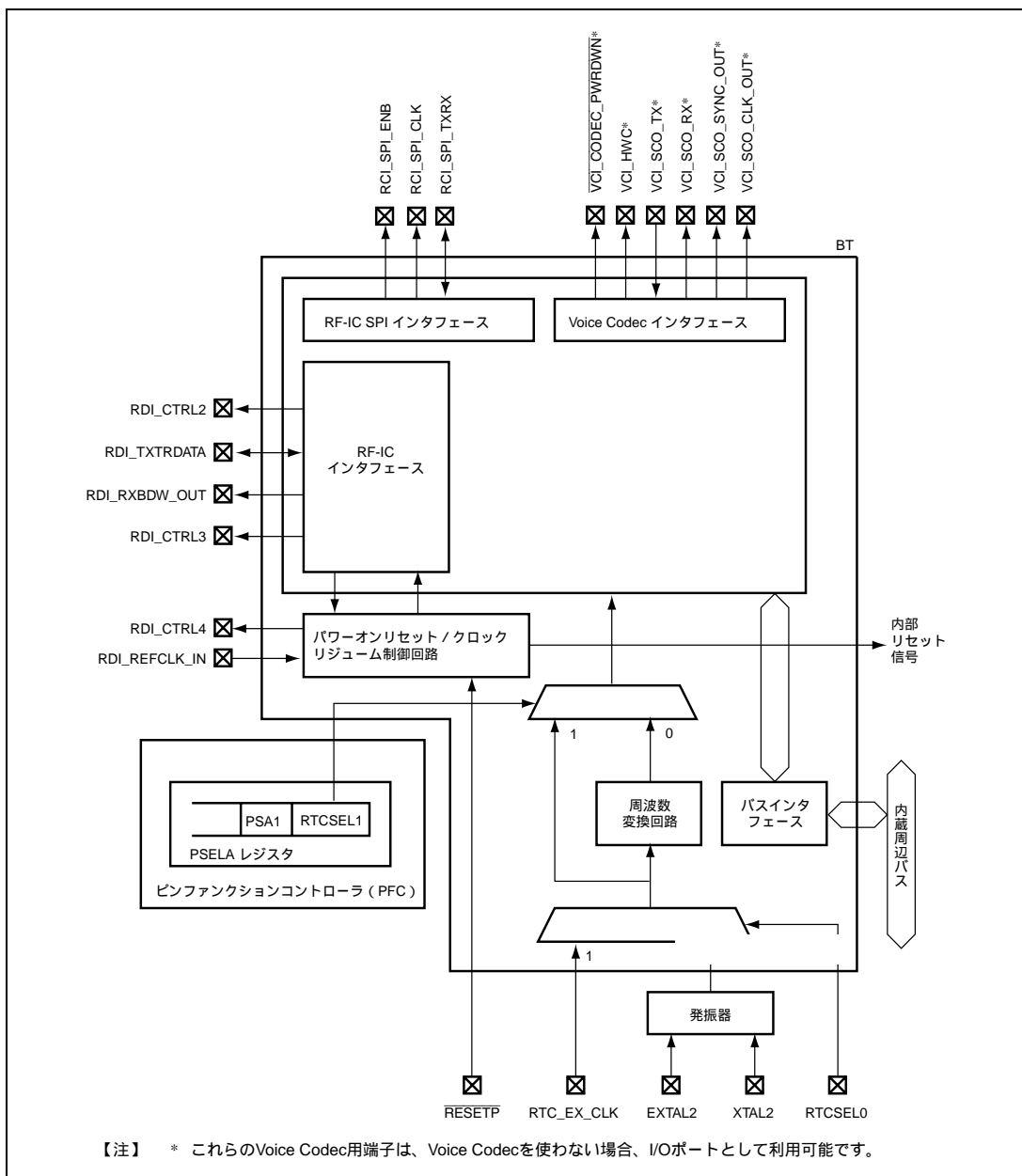


図 19.1 BT のブロック図

19.2 入出力端子

BTの入出力端子を表 19.1 に示します。

表 19.1 端子構成

区分	端子名	入出力	機能
RF-IC インタフェース	RDI_CTRL2	出力	クラス 1 対応用外付けパワーアンプ制御出力* ¹ 。
	RDI_TXTRDATA	入出力	RF-IC 用送受信データ入出力
	RDI_RXBDW_OUT	出力	RF-IC 用パケット制御出力
	RDI_REFCLK_IN	入力	RF-IC とのデータ入出力用クロックおよび BT 用メインクロック 入力
	RDI_CTRL3	出力	RF-IC 内発振器をイネーブルにするストロープ出力
	RDI_CTRL4	出力	RF-IC 用リセット制御、インタフェース用電源および低消費電力 制御出力
RF-IC との SPI インタフェース	RCI_SPI_TXRX	入出力	SPI シリアルデータ入出力
	RCI_SPI_CLK	出力	RF-IC との SPI インタフェースクロック出力
	RCI_SPI_ENB	出力	RF-IC との SPI インタフェースイネーブル出力
Voice Codec インタフェース	VCI_SCO_CLK_OUT	出力	Voice Codec IC 用クロック出力* ²
	VCI_SCO_SYNC_OUT	出力	Voice Codec IC 用フレーム同期信号出力* ²
	VCI_SCO_RX	出力	Voice Codec IC への受信データ出力* ²
	VCI_SCO_TX	入力	Voice Codec IC からの送信データ入力* ²
	VCI_HWC	出力	Voice Codec IC 用動作モード選択出力* ²
	VCI_CODEEC_PWRDWN	出力	Voice Codec IC 用パワーダウン制御出力* ²
クロック選択	RTCSEL0	入力	低周波数クロック選択入力
	RTC_EX_CLK	入力	低周波数クロック直接入力
	EXTAL2	入力	水晶振動子接続端子
	XTAL2	入力	水晶振動子接続端子

【注】 *1 クラス 1 対応の外部パワーアンプの制御方法については、別途相談窓口までお問い合わせください。

*2 Voice Codec インタフェース端子は、Voice Codec を接続しない場合、I/O ポート (ポート E) として使うことができます。詳細は「第 18 章 I/O ポート」を参照してください。

19.3 レジスタの説明

BTにあるレジスタは、ユーザから直接アクセスするものではなく、すべて付属するファームウェアがアクセスしますので、ここでは説明を記載していません。付属ファームウェアの機能については、別冊のマニュアルを参照してください。

BTにあるレジスタは、RESETP 端子からのパワーオンリセット時に初期化されますが、WDT からのパワーオンリセット時およびマニュアルリセット時は初期化されません。

19.4 RF-IC との接続

本 BT は、ルネサステクノロジ製 RF-IC (HD157100NP / HD157102NP) と直結可能なインタフェースを備えています。

19.4.1 HD157100NP / HD157102NP との接続

図 19.2 に本 LSI とルネサステクノロジ製 RF-IC (HD157100NP / HD157102NP) との接続例を示します。パワーオンリセットが印加されると、リセット信号が BT のパワーオンリセット / クロックリジューム制御回路に送られ、RDI_CTRL4 信号から RF-IC に伝えられます。RDI_CTRL4 信号は、そのまま RF-IC 側のインタフェース部分の電源供給端子となります。並行してリセット状態をホールドし、外部からのリセット信号がネゲートされた後も引き続き本 LSI の内部リセット状態を保持します。

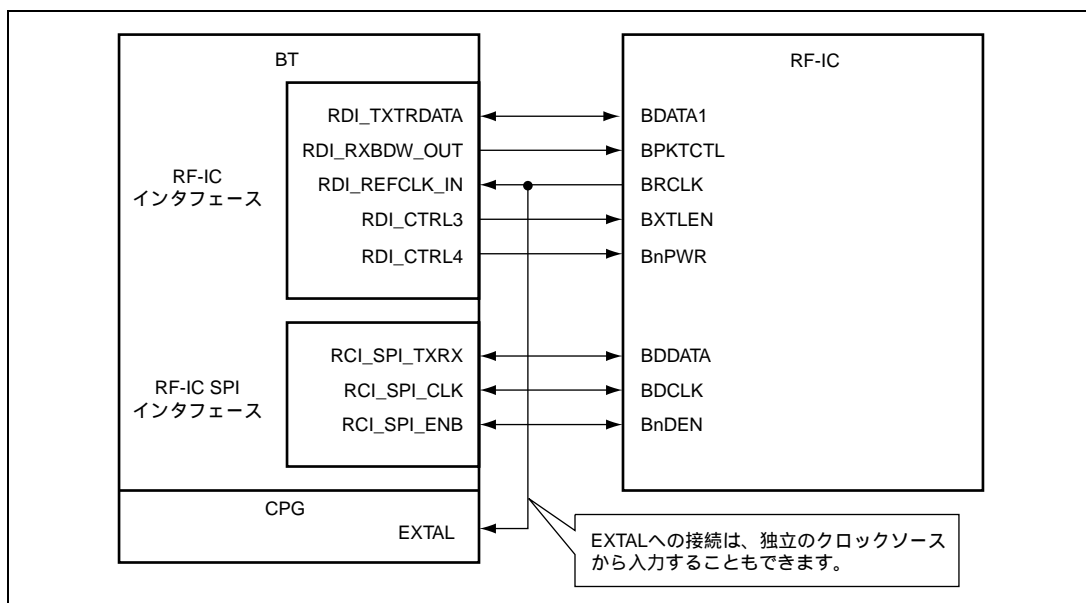


図 19.2 RF-IC (HD157100NP / HD157102NP) との接続例

RF-IC はリセットによる初期化終了後、クロック信号 (RDI_REFCLK_IN) を出力し始めます。BT のパワーオンリセット / クロックリジューム制御回路は RF-IC からのクロックを受けてカウンタ回路がカウントを開始し、所定のカウント後、リセット保持状態を解除します。

RF-IC から送られてくるクロック信号 (RDI_REFCLK_IN 端子へ入力) は、本 LSI の EXTAL 端子に接続することにより、本 LSI 全体のメインクロックとして利用することも可能です*。これにより、ブルートゥースのシステム全体を構成するのに必要な水晶発振器の個数を節約することができます。この場合、RDI_REFCLK_IN は 13MHz です。本 LSI 全体のメインクロック周波数は自動的に 13MHz となります。

19. ブルートゥースインタフェース (BT)

EXTAL 端子に RDI_REFCLK_IN と同じクロックを接続せずに独立のクロックを入力することも可能です。その場合、メインクロック周波数は本 LSI が保証する範囲で自由に入力周波数を選ぶことが可能です。入力可能なクロック周波数の範囲については、「第 24 章 電気的特性」を参照してください。EXTAL 端子の機能の詳細については、「第 9 章 クロックパルス発振器 (CPG)」を参照してください。

【注】 * RF-IC から EXTAL 端子にメインクロックを供給する場合、Hold / Sniff / Park モードに入っても RF-IC は低消費電力状態に入りません。Hold / Sniff / Park モードで RF-IC も低消費電力状態にするためには、RF-IC と独立のクロックを EXTAL 端子に入力してください。

19.5 Voice Codec IC との接続

本 BT は、CPU を介さずに SCO リンクで直接 RF-IC とデータをやり取りする機能を備えており、外部の Voice Codec との接続としては、STMicroelectronics 社製 STLC7550 と MOTOROLA 社製 MC145483 の Voice Codec との接続をサポートしています。

19.5.1 Voice Codec (STLC7550) との接続

図 19.3 に本 BT と Voice Codec IC (STLC7550) との接続例を示します。STLC7550 側の SCLK 端子は使用しません。

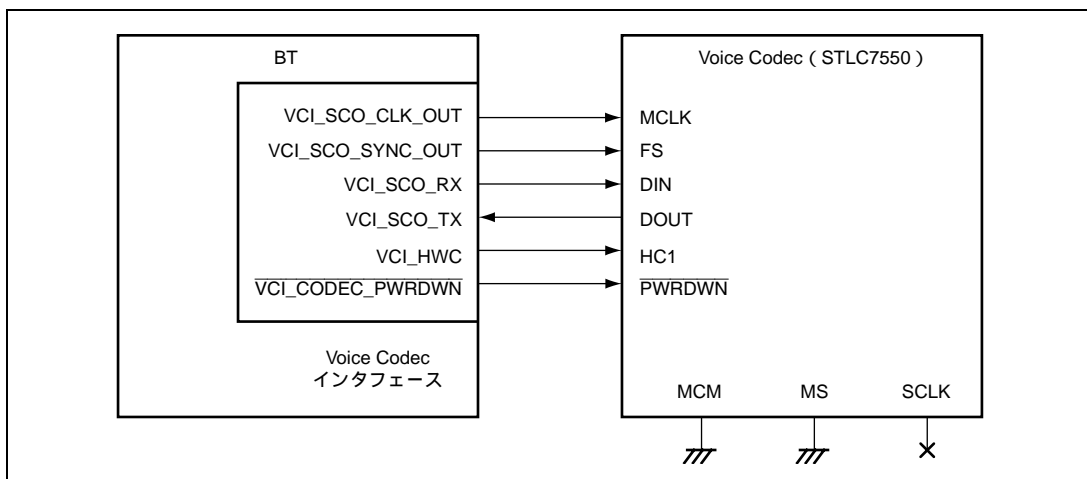


図 19.3 Voice Codec (STLC7550) との接続例

19.5.2 Voice Codec (MC145483) との接続

図 19.4 に本 BT と MC145483 との接続例を示します。また、VCI_SCO_CLK_OUT から出力信号の周波数が 256kHz の場合のタイミングを図 19.5 に示します。

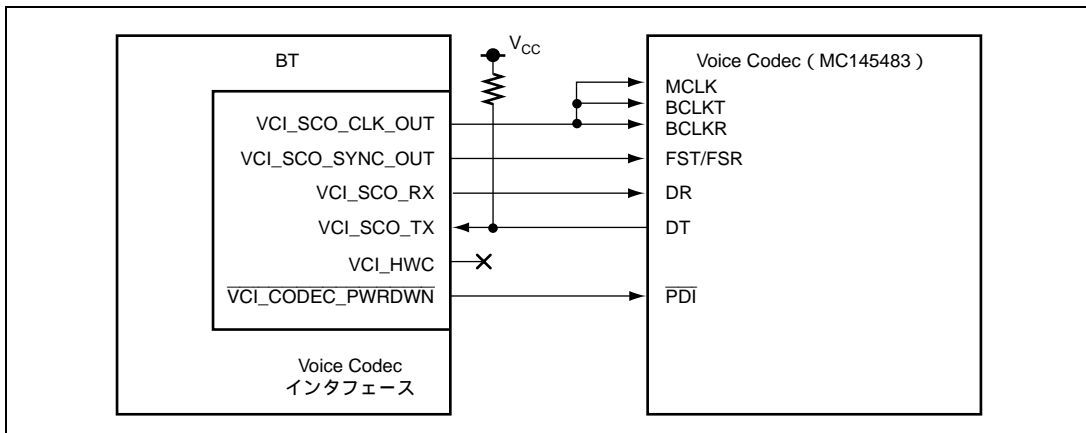


図 19.4 Voice Codec (MC145483) との接続例

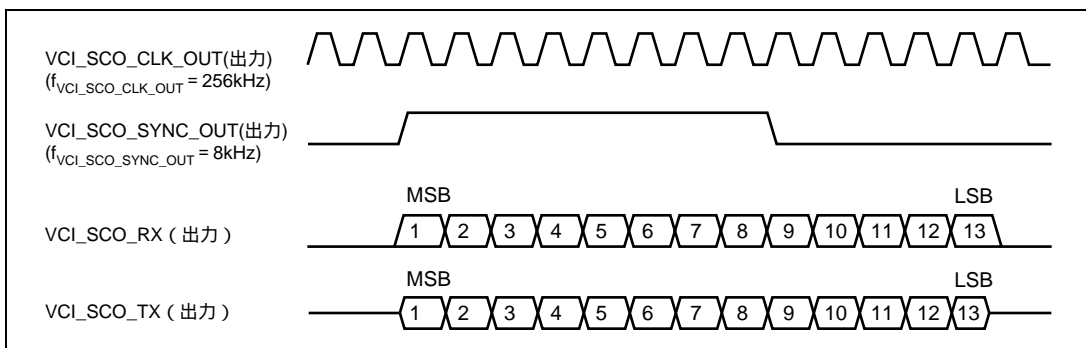


図 19.5 Voice Codec (MC145483) と接続した場合のタイミング

19.6 低周波数クロック発振器の接続

ブルートゥースの低消費電力状態のモード (Sniff / Park / Hold) に対応するため、本 BT は外部から 32kHz または 32.768kHz のクロックを受け取るインタフェースを持っています。本 BT にクロックを供給する方法としては以下の 4 つがあり、RTCSEL0 入力端子およびピンセレクトレジスタ (PSELA) の RTCSEL1 ビットの組み合わせによって選択します。ピンセレクトレジスタ A (PSELA) についての詳細は、「第 17 章 ピンファンクションコントローラ (PFC)」を参照してください。

外部から RTC_EX_CLK 端子に直接 32.0kHz クロックを入力し、供給する。

外部から RTC_EX_CLK 端子に直接 32.768kHz クロックを入力し、周波数変換回路で擬似的に 32kHz を生成して供給する。

EXTAL2 と XTAL2 端子に 32.0kHz の水晶振動子を接続し、内部発振器を動作させて供給する。

EXTAL2 と XTAL2 端子に 32.768kHz の水晶振動子を接続し、内部発振器を動作させ、さらに周波数変換回路で擬似的に 32kHz を生成して供給する。

表 19.2 に選択条件と機能の一覧を示します。

表 19.2 選択条件と機能一覧

RTCSEL0	RTCSEL1	機 能
High	1	RTC_EX_CLK 端子に直接 32.0kHz クロックを入力します。
High	0	RTC_EX_CLK 端子に直接 32.768kHz クロックを入力します。
Low	1	EXTAL2 / XTAL2 端子に 32.0kHz 水晶振動子を接続し、内部発振器を動作させて生成したクロックを入力します。
Low	0	EXTAL2 / XTAL2 端子に 32.768kHz の水晶振動子を接続し、内部発振器を動作させて生成したクロックを入力します。

19.6.1 RTCSEL0 端子による選択機能

RTCSEL0 端子は、BT に供給する低周波数クロックを外部から供給するか、水晶振動子を接続して内蔵発振器から供給するかを選択します。本端子は、あらかじめどちらかの機能を選択して外部で Low か High に固定してください。本端子を動作中に変化させた場合は、正常な動作の保証は出来ません。

RTCSEL0 端子を High に固定すると、RTC_EX_CLK 端子が入力イネーブル状態となり、外部から低周波数クロックを直接入力して BT に送ります。このとき、EXTAL2 および XTAL2 端子は非活性状態です。RTCSEL0 端子を Low に固定すると、EXTAL2 および XTAL2 端子が活性状態となり、これらの端子の間に水晶振動子を接続することにより、内蔵発振器が動作してその出力が BT に送られます。このとき、RTC_EX_CLK 端子は入力固定状態となります。

19.6.2 RTCSEL1 ビットによる選択機能

ピンセレクトレジスタ A (PSELA) のビット 0 にある RTCSEL1 ビットにより、BT にある周波数変換回路を動作させるかどうかを選択します。周波数変換回路は、32.768kHz から擬似的な 32kHz クロックを生成します。この周波数変換回路を動作させることにより、EXTAL2 と XTAL2 端子に 32.0kHz の水晶振動子を接続する代わりに、リアルタイムクロック (RTC) 用に使われる 32.768kHz の水晶振動子を接続することができます。

RTCSEL1 ビットに 0 をセットすると、周波数変換回路が動作します。RTCSEL1 ビットに 1 をセットすると、周波数変換回路は非活性状態となり、バイパスします。RTCSEL1 ビットの初期状態は 0 です。ピンセレクトレジスタ A (PSELA) についての詳細は、「第 17 章 ピンファンクションコントローラ (PFC)」を参照してください。

19.6.3 周波数変換回路の動作説明

32.768kHz の 128 クロック分が 32kHz の 125 クロック分に相当します。これを利用して図 19.6 に示すように 32.768kHz のクロック信号を各ステートごとにカウントし、128 クロックを 43 (ステート 0)、42 (ステート 1)、43 (ステート 2) に区切り、それぞれの区間ごとにクロック 1 つの立ち下がりを取り去り、128 クロックのサイクルで 125 クロックとなるようにします。このように調整すると、32kHz 信号 125 クロック分の区間で、元の 32.768kHz 信号は 125 クロックとなり、32000 クロック / 秒となります。調整した信号により 32kHz クロックを生成します。

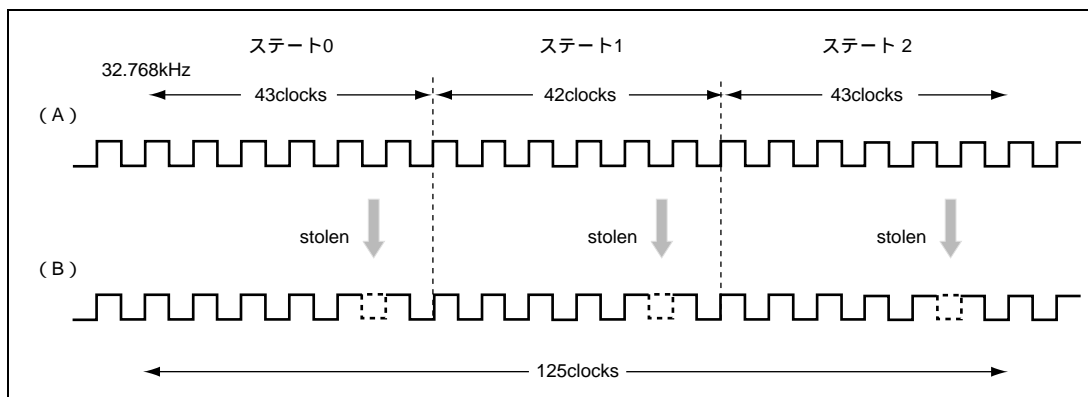


図 19.6 周波数変換回路の機能

19. ブルートゥースインタフェース (BT)

32kHz のクロック信号の実経過時間と 32.768kHz から生成した 32kHz クロック信号の実経過時間との時間的誤差は図 19.7 のようになります。125 カウントごとに (A)、(B) は一致しており、最大の誤差は 30 μ 秒程度となります。

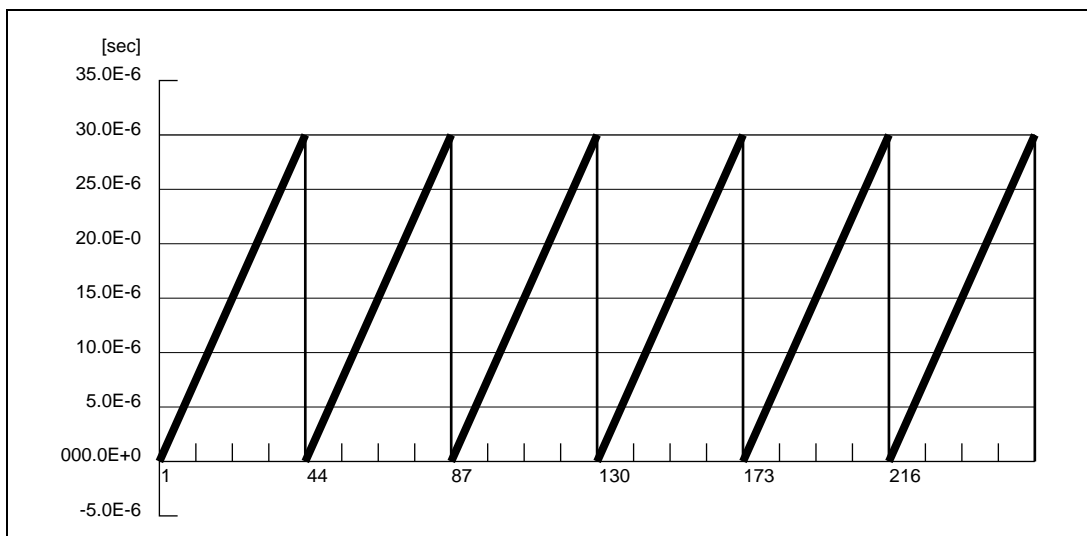


図 19.7 32.768kHz から変換した疑似 32kHz クロックの誤差

19.6.4 外部水晶振動子接続時の注意

外部水晶振動子を EXTAL2、XTAL2 に接続する時の注意事項を図 19.8 に示します。

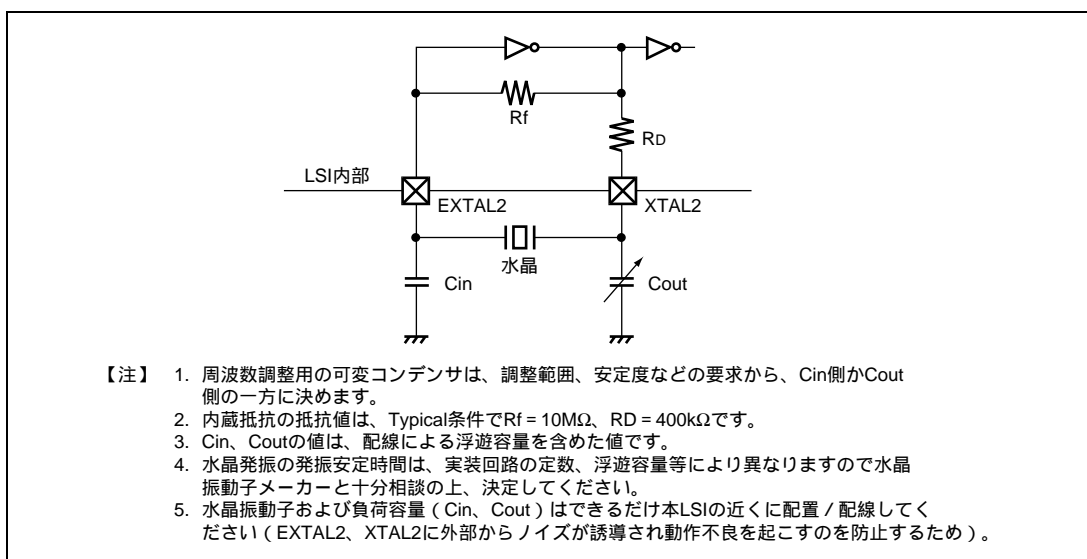


図 19.8 水晶発振子使用時の注意

19.7 パワーオンリセット / クロックリジューム制御機能

本 LSI は RF-IC と直結し、かつ必要な外付け部品を最小限にするための機能を BT に備えています。

19.7.1 パワーオンリセット

本 LSI はルネサステクノロジ製 RF-IC (HD157100NP / HD157102NP) から供給される RF-IC とのインタフェース用タイミングクロックをそのまま本 LSI のメインクロックとしても利用可能です (図 19.2 を参照)。ルネサステクノロジ製 RF-IC はパワーオンリセットをネゲートして一定の時間経過後にクロック出力を開始しますが、本 LSI はパワーオンリセット中にクロックを供給し、内蔵発振器の発振を安定させる必要があります。そのため外部からのリセット入力ネゲートされた後も内部でリセットを保持し、外部からのクロック供給開始後、所定の時間カウントしてから内部リセット信号をネゲートする機能を備えています。タイミングチャートを以下に示します。

内部リセット信号は 2 種類あり、USB 用のリセット信号とそれ以外のモジュール用の内部リセット信号に分かれていて、USB 用のリセット信号のアサート期間は他のモジュールとは異なります。図 19.9 にタイミングチャートを示します。

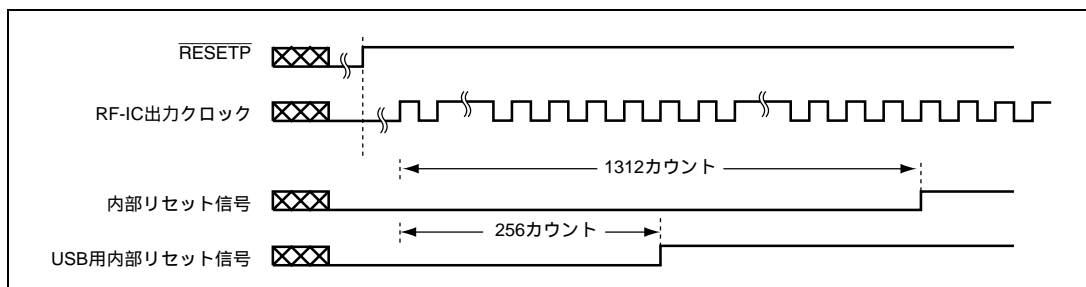


図 19.9 リセット信号のタイミング

19.7.2 クロックリジューム制御

Sniff / Park / Hold 等の低消費電力状態において、本 LSI から RF-IC に対するコマンドで、RF-IC から供給されるクロック出力を停止させることができます。ただし、本 LSI のメインクロック端子 (EXTAL 端子) に RF-IC とは独立のクロックを供給する必要があります*。この状態から復帰するために、本 LSI はクロックリジューム制御機能を備えています。クロックリジューム制御は次のシーケンスを行います。

1. BTより割り込みを発生
2. BTよりRF-ICに起動コマンドを発行
3. INTCが割り込みを受付
4. CPU起動

【注】 * RF-IC から EXTAL 端子にメインクロックを供給する場合、Hold / Sniff / Park モードに入っても RF-IC は低消費電力状態に入りません。Hold / Sniff / Park モードで RF-IC も低消費電力状態にするためには、RF-IC と独立のクロックを EXTAL 端子に入力してください。

19.8 ブルートゥース HCI / TCI コマンドと API

本 LSI は、上位プロトコルスタックを構築するために、ブルートゥース規格 (ver1.2) で規定されている HCI (Host Control Interface) コマンドおよび TCI (Test Control Interface) コマンドをサポートしているほか、独自に TCI コマンドをサポートしています。ブルートゥース規格 (ver1.2) で規定されている HCI コマンドおよび TCI コマンドについての詳細は、ブルートゥース規格 (ver1.2) を参照してください。独自サポートの TCI コマンドの詳細資料が御入用の場合は、別途弊社営業窓口まで御相談ください。

また、本 LSI は HCI より下位層のプロトコルスタック・ファームウェアをライブラリとして用意しており、開発したプログラムにブルートゥースインタフェースを容易に追加できるようにしています。また、本ライブラリのアプリケーションインタフェース (API) は、ブルートゥース規格の H4 をベースとしているので、さまざまなブルートゥースプロトコルスタックと親和性が良く、容易に本 LSI に移植できます。本ライブラリのアプリケーションインタフェース (API) として、関数が用意されています。それぞれの関数の詳細資料が御入用の場合は、別途弊社営業窓口まで御相談ください。

19.9 基板設計の制約事項

• 現象

本 LSI への電源投入 (パワーオンリセット) 時においてリセットシーケンスが正しく行われず、デバイスが起動しない可能性があります。

この現象が起こる条件は、

- (a) 本 LSI の EXTAL 端子の入力を、弊社製 Bluetooth 用 RF-IC (HD157100NP/HD157102NP) からのクロック出力 (BRCLK) から供給した場合

および

- (b) 電源投入 (パワーオンリセット) 時に本 LSI の $\overline{\text{RESETP}}$ 端子と $\overline{\text{TRST}}$ 端子に同一のパワーオンリセット信号が入力される構成の場合

上記 (a) および (b) が同時に成り立つ基板設計の場合に限ります (図 19.10 参照)

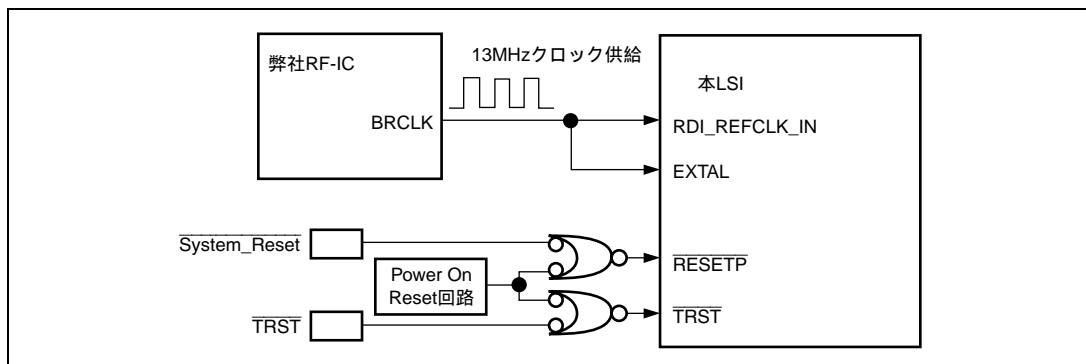


図 19.10 本 LSI が起動しない場合

19. ブルートゥースインタフェース (BT)

- 対策

本 LSI のリセットシーケンスを正常に動作させるために、下記の 1.~3.のいずれかの対策を基板上に施してください。

1. 図19.11に示すように $\overline{\text{TRST}}$ 端子にスイッチを設け、通常動作時は $\overline{\text{TRST}}$ 端子をGND固定とし、またバウンダリスキャンおよびE10A使用時は $\overline{\text{TRST}}$ 端子への信号入力が可能になるようにします。なお、バウンダリスキャンおよびE10Aをご使用にならない基板の場合は、スイッチを設けず $\overline{\text{TRST}}$ 端子をGND固定することもできます。なお、 $\overline{\text{TRST}}$ 端子にはバウンダリスキャンの規格によりLSI内部でプルアップ抵抗を接続しておりますので、GND固定した場合には30~110 μ A程度のリーク電流が生じます。

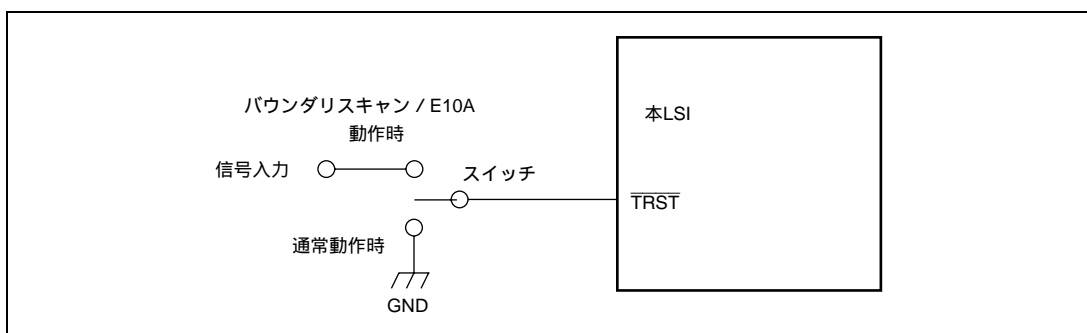


図 19.11 対策案 1

2. 図19.12に示すように、弊社製Bluetooth用RF-IC(HD157100NP/HD157102NP)からのクロック出力(BRCLK)はRDI_REFCLK_IN端子のみに接続し、EXTAL端子にはRDI_REFCLK_IN端子に供給するクロックとは別のクロック源を入力するようにします。本LSIへのEXTAL、 $\overline{\text{RESETP}}$ 、 $\overline{\text{TRST}}$ のタイミングチャートおよびAC特性については、「24.3.1 クロックタイミング」の図24.5、24.6および表24.5を参照してください。
また図19.13のように、本LSIを単独で使用する場合についてのEXTAL、 $\overline{\text{RESETP}}$ 、 $\overline{\text{TRST}}$ のタイミングチャートおよびAC特性については、「24.3.1 クロックタイミング」の図24.3、24.4および表24.5を参照してください。

19. ブルートゥースインタフェース (BT)

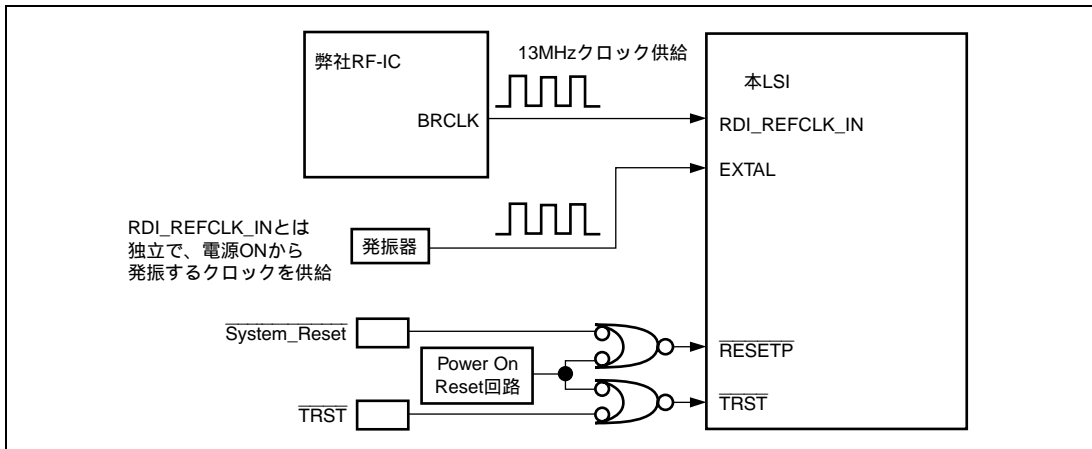


図 19.12 対策案 2

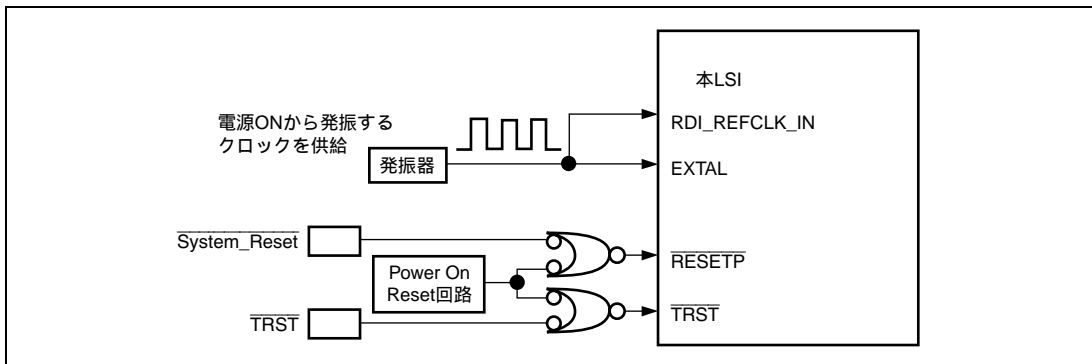


図 19.13 本 LSI を単独で使用する場合の対策案

19. ブルートゥースインタフェース (BT)

3. 図19.14に示すように、電源投入時の $\overline{\text{TRST}}$ 端子および $\overline{\text{RESETP}}$ 端子に供給する信号を個別に供給するようにします。この場合の $\overline{\text{TRST}}$ および $\overline{\text{RESETP}}$ のタイミングチャートおよびAC特性については「24.3.1 クロックタイミング」の図24.7、24.8および表24.5を参照してください。

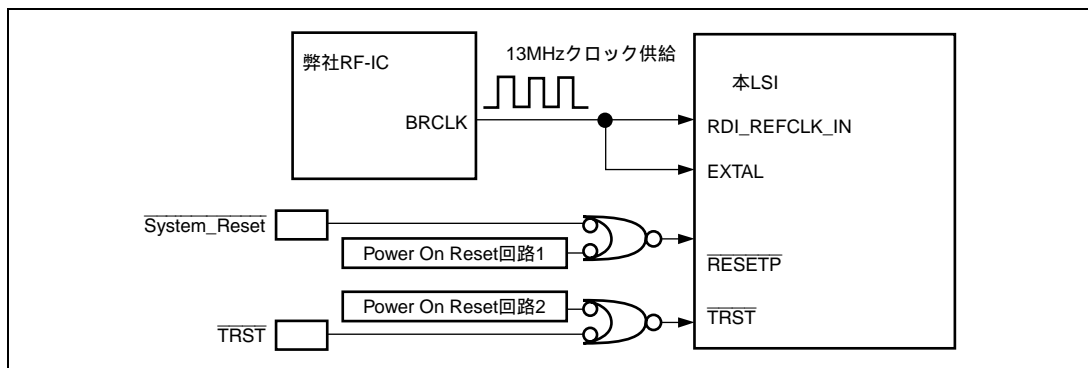


図 19.14 対策案 3

20. ブート機能 (BOOT)

本 LSI は、外付けフラッシュメモリへの初期書き込みに必要なファームウェアをオンチップメモリにダウンロードするブート機能 (BOOT) を備えています。本機能を使うことにより、フラッシュメモリを基板に実装後でも本 LSI を通してプログラムを更新したり、内容をダンプしたりすることが可能となります。また、本 LSI とフラッシュメモリその他をペアチップで 1 つのパッケージに封止するときにも、フラッシュメモリへの書き込みのためにアドレスバスやデータバスをパッケージの外へ出す必要がなく、ピン数を大幅に節約できます。

20.1 特長

- SCIF0 (SCIFチャネル0) からの初期書き込みプログラム自動取り込み

パワーオンリセット後、まず外付けフラッシュメモリへの初期書き込みプログラムを SCIF0 から内蔵メモリ (Uメモリ) に取り込む動作を開始します。転送方式は UART による調歩同期方式です。これにより、接続する外付けフラッシュメモリの種類に応じて任意の初期書き込みプログラムをダウンロードすることが可能です。ダウンロードするプログラムは、本章で定められている仕様に準拠すれば、外付けフラッシュメモリへの初期書き込み以外のプログラムにすることも可能です。取り込むプログラムのサイズは最大 8,192 バイトまでの範囲で自由に決められます。

- ビット転送レート自動合せ込み

SCIF0 から取り込むプログラムのビット転送レートを自動的に合せ込む機能を備えています。

- 取り込んだプログラムは内蔵メモリ上で高速実行

SCIF0 から取り込んだプログラムは内蔵メモリ上に展開されるため、高速に実行可能です。

- プログラムのダウンロード終了後、自動的にダウンロードしたプログラムを実行開始

所定のプログラムをダウンロード後、ダウンロードしたプログラムの先頭番地 (H'A55F 0000) に分岐し、自動的に実行を開始します。

【注】 BOOT 機能は 1 つの回路モジュール構成となっており、モジュールスタンバイ機能によるパワー制御の対象モジュールの 1 つになっています。BOOT 機能は、ブート処理時以外は不要です。通常の動作状態やスリープ状態での消費電流を低減したい場合は、スタンバイコントロールレジスタ 4 (STBCR4) の MSTP43 ビットを 1 にセットすることにより、BOOT モジュールへのクロック供給を停止状態に設定することをお勧めします。モジュールスタンバイ機能の詳細については、「第 11 章 低消費電力モード」を参照してください。

図 20.1 にブート機能 (BOOT) のブロック図を示します。バスステートコントローラ (BSC) の入出力端子 (A23 ~ A0、D15 ~ D0、 $\overline{WE1}$ 、 $\overline{WE0}$ 、 $\overline{CS0}$ 、 \overline{RD}) を外付けフラッシュメモリに接続し、SCIF0 の入出力端子 (SCIF0_RXD、SCIF0_TXD) を外部ホストに接続します。

20. ブート機能 (BOOT)

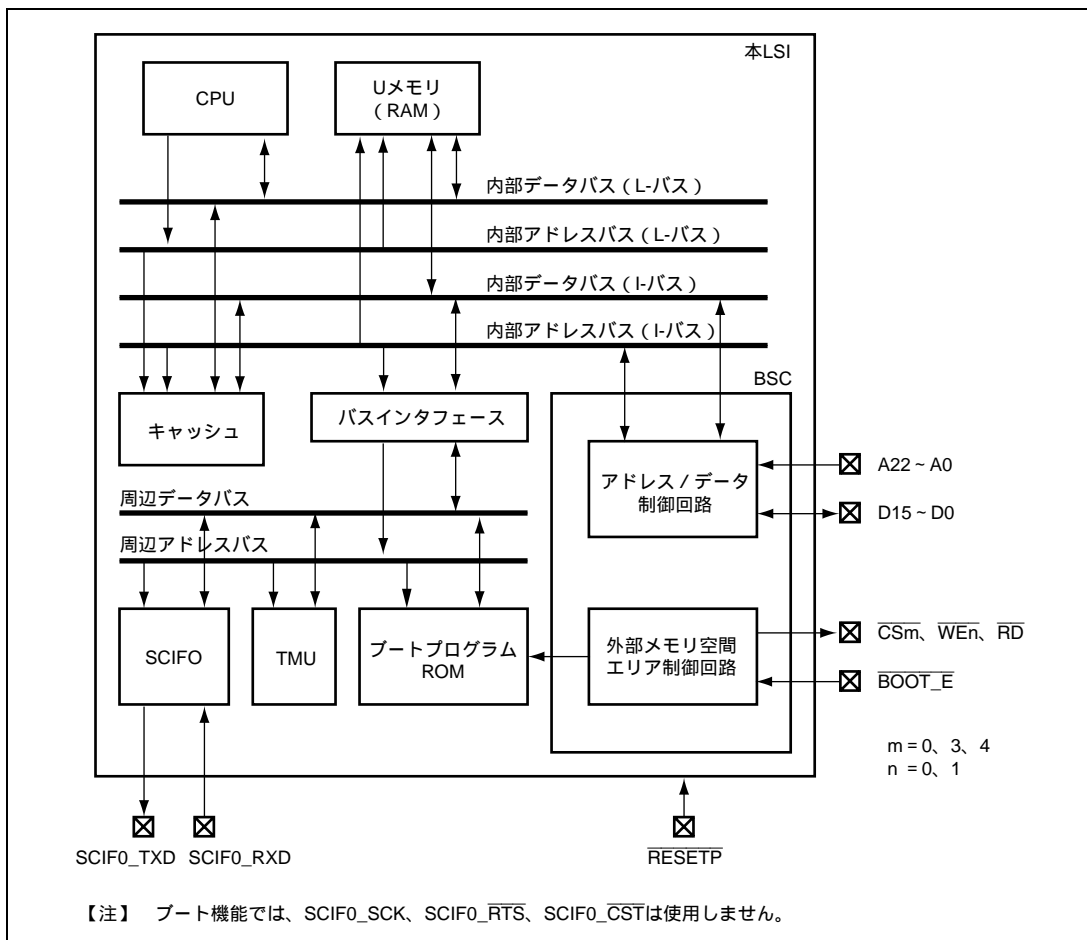


図 20.1 BOOT 機能のブロック図

20.2 入出力端子

ブート機能 (BOOT) 専用の端子を表 20.1 に示します。外付けフラッシュメモリを接続する端子は「第 7 章 バスステートコントローラ (BSC)」、SCIF0 に関する端子は「第 13 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」、パワーオンリセット端子 (\overline{RESETP}) に関する詳細は「第 5 章 例外処理」を参照してください。

表 20.1 端子構成

端子名	入出力	機能
BOOT_E	入力	ブートイネーブル入力 リセット中のみ切り替え可能です。

20.3 レジスタの説明

ブート機能 (BOOT) には、CPU からアクセス可能なレジスタはありません。

20.4 動作説明

20.4.1 ブートモードのアドレス空間

パワーオンリセット ($\overline{\text{RESETP}}$ 端子 = ロー) 時、 $\overline{\text{BOOT_E}}$ 端子をローにアサートすることにより、リセット終了後、本 LSI はブートモードに入ります。ブートモードでは、本 LSI は通常のリセットベクタへの分岐処理は開始されず、ブート機能が立ち上がり、本 LSI に内蔵されているブートプログラムが起動します。

リセットによる初期状態のため、CPU は特権モードとなっています。特権モードについての詳細は、「2.1 処理状態と処理モード」を参照してください。ブートモードでは通常の特権モードと異なり、外部アドレス空間のエリア 0 領域が図 20.2 に示すように 2 つの領域に分割され、H'0000 0000 ~ H'01FF FFFF はブート機能の専用領域となり、ユーザによるアクセスは禁止状態になります。ブートプログラムはここに配置されています。

H'0200 0000 ~ H'03FF FFFF は通常モードの場合と同様にエリア 0 領域となります。

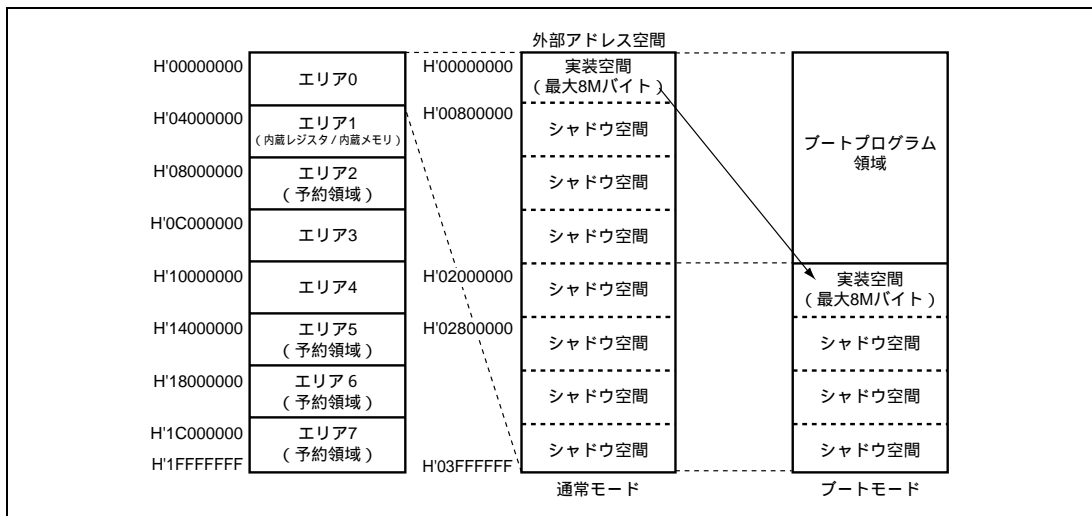


図 20.2 ブートモードでの外部アドレス空間

外付けフラッシュメモリに初期書き込みを行う場合、パワーオンリセット解除後リセットベクタが必ず H'A000 0000 (CPU から見える論理アドレス) に分岐し、外部アドレス空間のエリア 0 にアクセスしますので、初期書き込みプログラムはエリア 0 の先頭アドレスから書き込む必要がありますが、上記のとおり、ブートモードでは H'0000 0000 ~ H'01FF FFFF はブート機能の専用領域となっていますので、H'0200 0000 を先頭アドレスとして書き込みを行います。本 LSI は実装可能な領域が最大 8M バイトであり、H'0200 0000 ~ H'027F FFFF 領域は H'0000 0000 ~ H'007F FFFF 領域のシャドウとなるため、H'0200 0000 から書き込むことにより、ブートモード解除後の通常モードでは H'0000 0000 番地からアクセス可能となります。

【注】 * $\overline{\text{BOOT_E}}$ 端子入力はリセット期間中以外は変化させないでください。リセット期間以外で入力を変更した場合は、動作の保証はできません。

20.4.2 ブート処理の実行手順

ブート機能を使用するためには、外付けフラッシュメモリへの初期書き込みプログラムをあらかじめ外部ホスト側に準備する必要があります。初期書き込みプログラムは、使用する外付けフラッシュメモリの書き込みアルゴリズムに沿ったプログラムを準備してください。

ブートプログラムは本 LSI の SCIF0 を使った外部ホストとのデータ送受信の準備を開始します。SCIF0 の必要な初期設定終了後、自動的に外部ホストと最適な送受信ビットレートに調整します。ブート処理の実行手順を図 20.3 に示します。

(1) SCIF0 ビット転送レートの自動合せ込み動作

本 LSI は、9.6kbps から 38.4kbps の間で最適なビット転送レートを自動的に合わせ込みます。ブートモードで本 LSI が起動すると、本 LSI は外部ホストから連続送信される調歩同期式のデータ (H'00) のロー期間を測定します。ロー期間の測定にはタイマユニット (TMU) のチャンネル 0 を使用しています。このとき外部ホストは本 LSI の SCIF0 との受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティ無し」に設定してください。ブートプログラムは測定したロー期間から外部ホストの送信するビットレートを算出し、最適な設定を行った後、ビットレート調整終了を通知するために外部ホストへ H'00 を 1 バイト送信します。外部ホストはこのビットレート調整終了通知を正常に受信したら、本 LSI へ H'55 を 1 バイト送信してください。本 LSI は H'55 を受信すると、H'AA を 1 バイト送信します。

【注】 受信が正常に行われなかった場合は無限ループに入り、反応しなくなります。再度ブートモードをリセットしてから起動し、上述の操作を行ってください。

(2) 初期書き込みプログラムの転送動作

ビット転送レートの自動合わせ込み動作を終了すると、ブートプログラムは、初期書き込みプログラムのダウンロード動作を開始します。

SCIF0 からダウンロードする初期書き込みプログラムのサイズは、最大 8,192 バイト (H'2000) まで対応可能です*¹。ダウンロードした初期書き込みプログラムは、内蔵メモリ (Uメモリ) 上の H'055F 0000 ~ H'055F 1FFF (物理アドレス) に格納されます。ブートプログラムはダウンロード動作終了後、自動的に H'055F 0000 に分岐する仕様になっています*²。

ブートプログラムは H'055F FFFC ~ H'055F FFFF (物理アドレス) をワークエリアとして使用していますが、ダウンロード動作終了後は、ダウンロードした初期書き込みプログラムによって使用することは可能です。

【注】 *¹ 初期書き込みプログラムのサイズを H'0000 または H'2001 以上の値に設定すると、正常動作できなくなりますので、設定しないでください。設定した場合、動作の保証はできません。

*² ブートモード時に初期書き込みプログラムで書き込むユーザプログラムの初期設定ルーチンは、必ずエリア 0 の H'0200 0000 から格納するようにしてください。これにより、通常モード時、パワーオンリセット直後にまずエリア 0 の先頭番地 (H'0000 0000) に分岐するので、初期設定が可能になります。

エリア 0 でユーザプログラムが実装可能な領域は、図 20.2 に示しているように、H'0200 0000 ~ H'027F FFFF (通常モード時の H'0000 0000 ~ H'007F FFFF) の最大 8M バイトになります。

本 LSI はエリア 0 の他にエリア 3、エリア 4 にもそれぞれ最大 8M バイトの外部メモリの実装が可能です。対応した初期書き込みプログラムを準備することにより、必要に応じてエリア 3、エリア 4 にも外付けフラッシュメモリを拡張できます。

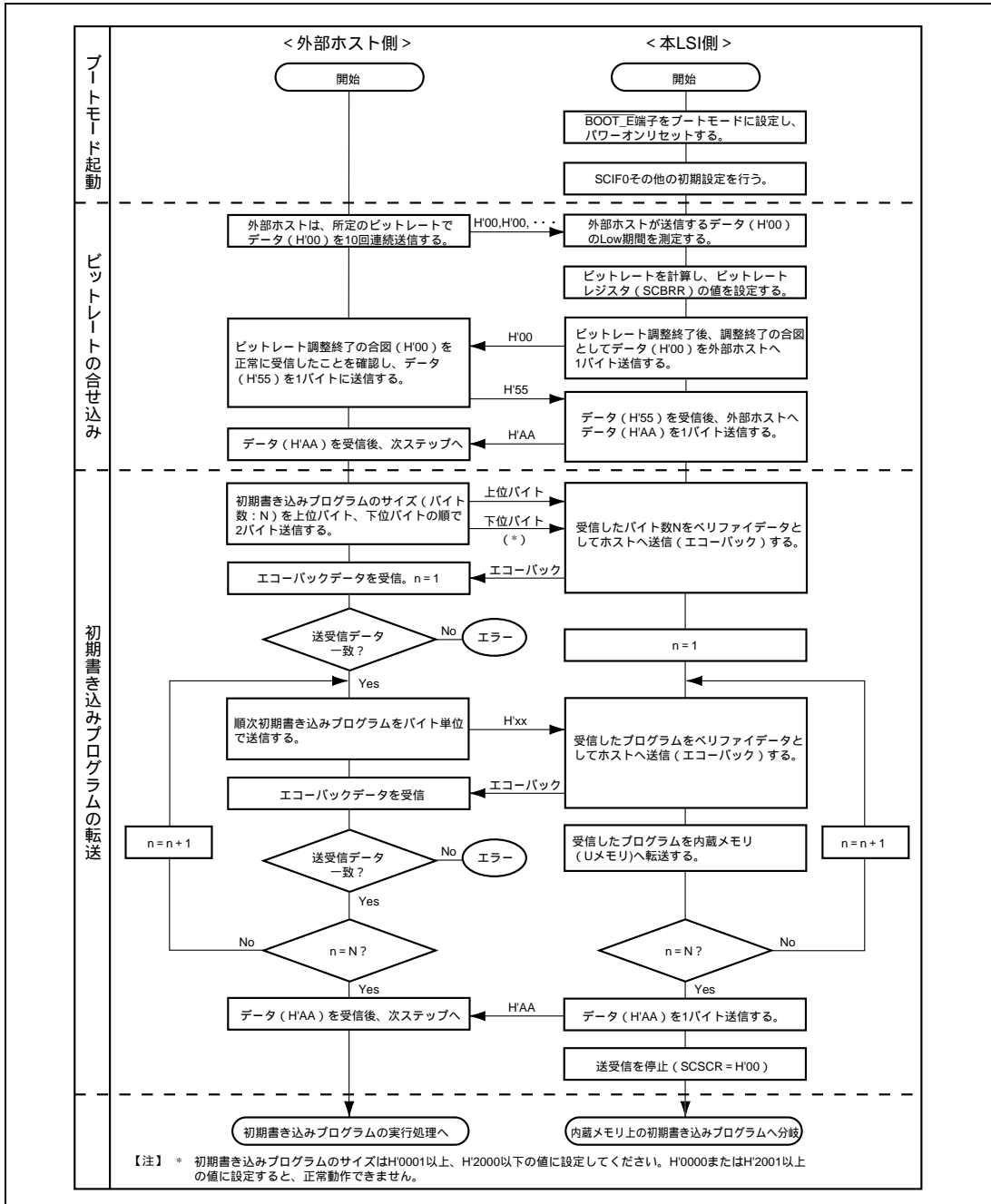


図 20.3 ブート処理の実行手順

20.5 使用上の注意事項

20.5.1 ブート機能使用時のエンディアンについて

ブート機能はブート ROM 内に格納されているファームウェアによって動作しますが、ビッグエンディアンで動作しますので、パワーオンリセット ($\overline{\text{RESETP}}$ 端子 = ロー) 時、 $\overline{\text{BOOT_E}}$ 端子をローにアサートするときは MD5 端子を必ずロー (ビッグエンディアンモード) にしてください。ダウンロード終了後、ブート機能は内蔵メモリ (Uメモリ) にダウンロードされた外付けフラッシュメモリへの初期書き込みプログラムの先頭番地に分岐しますので、初期書き込みプログラムもビッグエンディアンで動作するようにしておく必要があります。通常モードでの動作をリトルエンディアンで実行する場合は、フラッシュメモリへの初期書き込み時にコードのアライメントに注意してください。

21. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、および命令フェッチの時の停止タイミングがあります。

21.1 特長

1. 次のようなブ레이크比較条件を設定できます。

ブ레이크チャネル数 : 2チャネル (チャネルAとB)

ユーザブ레이크は、チャネルA、B独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定 : チャネルAのブ레이크条件が一致した後チャネルBのブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき) 。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

2つのアドレスバスの1つ (Lバスアドレス (LAB) およびIバスアドレス (IAB)) を選択できます。

- データ

チャネルBのみ、32ビットマスク可能です。

2本のデータバス (Lバスデータ (LDB) 、Iバスデータ (IDB)) のどれか1つを選択できます。

- バスサイクル

命令フェッチまたはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、またはロングワードをサポート

2. ブ레이크条件が成立するときユーザブ레이크が発生します。ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件 (チャネルBに対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。
5. 8組の分岐元 / 分岐先バッファをサポート。

21. ユーザブレイクコントローラ (UBC)

UBC のブロック図を図 21.1 に示します。

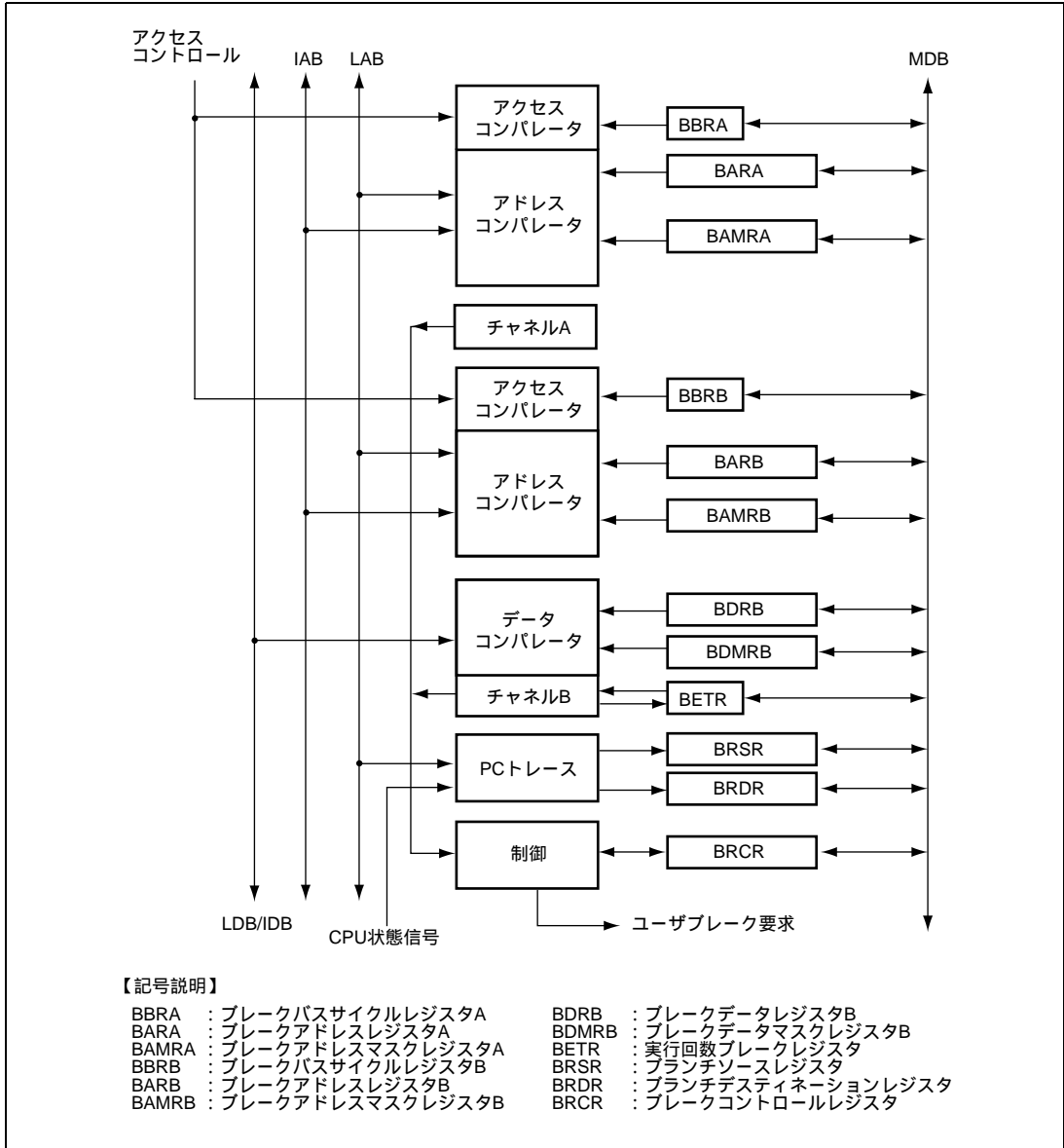


図 21.1 UBC のブロック図

21.2 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 23 章 レジスタ一覧」を参照してください。

- ブレークアドレスレジスタ A (BARA)
- ブレークアドレスマスクレジスタ A (BAMRA)
- ブレークバスサイクルレジスタ A (BBRA)
- ブレークアドレスレジスタ B (BARB)
- ブレークアドレスマスクレジスタ B (BAMRB)
- ブレークバスサイクルレジスタ B (BBRB)
- ブレークデータレジスタ B (BDRB)
- ブレークデータマスクレジスタ B (BDMRB)
- ブレークコントロールレジスタ (BRCR)
- 実行回数ブレークレジスタ (BETR)
- ブランチソースレジスタ (BRSR)
- ブランチデスティネーションレジスタ (BRDR)

21.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットの読み出しまたは書き込み可能なレジスタです。BARA はチャンネル A のブレーク条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31-0	BAA31~ BAA0	すべて 0	R/W	ブレークアドレス A チャンネル A のブレーク条件を指定する LAB または IAB のアドレスを格納します。

21. ユーザブ레이크コントローラ (UBC)

21.2.2 ブ레이크アドレスマスクレジスタ A (BAMRA)

BAMRA は 32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRA は BARA によって指定されるブ레이크アドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMA31 ~ BAMA0	すべて 0	R/W	ブ레이크アドレスマスク A BARA (BAA31 ~ BAA0) によって指定されるチャンネル A のブ레이크アドレスビットのうち、マスクするビットを指定します。 0 : ブ레이크アドレスビット BAA _n は、ブ레이크条件に含まれる 1 : ブ레이크アドレスビット BAA _n はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

21.2.3 ブ레이크バスサイクルレジスタ A (BBRA)

BBRA は、チャンネル A のブ레이크条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
7 6	CDA1 CDA0	0 0	R/W R/W	L バスサイクル / I バスサイクルセレクト A チャンネル A ブ레이크条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00 : 条件比較を行わない 01 : ブ레이크条件は、L バスサイクル 10 : ブ레이크条件は、I バスサイクル 11 : ブ레이크条件は、L バスサイクル
5 4	IDA1 IDA0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト A チャンネル A ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00 : 条件比較を行わない 01 : ブ레이크条件は、命令フェッチサイクル 10 : ブ레이크条件は、データアクセスサイクル 11 : ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル

ビット	ビット名	初期値	R/W	説明
3	RWA1	0	R/W	読み出し / 書き込みセレクト A チャンネル A ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブ레이크条件は、読み出しサイクル 10 : ブ레이크条件は、書き込みサイクル 11 : ブ레이크条件は、読み出しサイクルまたは書き込みサイクル
2	RWA0	0	R/W	
1	SZA1	0	R/W	オペランドサイズセレクト A チャンネル A ブ레이크条件のバスサイクルのオペランドサイズを選択します。 00 : ブ레이크条件には、オペランドサイズを含まない 01 : ブ레이크条件は、バイトアクセス 10 : ブ레이크条件は、ワードアクセス 11 : ブ레이크条件は、ロングワードアクセス
0	SZA0	0	R/W	

21.2.4 ブ레이크アドレスレジスタ B (BARB)

BARB は、32 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B のブ레이크条件とするアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAB31~ BAB0	すべて 0	R/W	ブ레이크アドレス B チャンネル B のブ레이크条件を指定する LAB または IAB のアドレスを格納します。

21.2.5 ブ레이크アドレスマスクレジスタ B (BAMRB)

BAMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BAMRB は、BARB で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BAMB31~ BAMB0	すべて 0	R/W	ブ레이크アドレスマスク B BARB (BAB31~BAB0) によって指定されるチャンネル B のブ레이크アドレスビットのうちマスクするビットを指定します。 0 : ブ레이크アドレスビット BABn は、ブ레이크条件に含まれる 1 : ブ레이크アドレスビット BABn はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

21. ユーザブ레이크コントローラ (UBC)

21.2.6 ブ레이크データレジスタ B (BDRB)

BDRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B のブ레이크条件とするデータを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BDB31~ BDB0	すべて 0	R/W	ブ레이크データビット B チャンネル B のブ레이크条件を指定する LDB または IDB のデータを格納します。

- 【注】
1. ブ레이크条件にデータバスの値を含める場合オペランドサイズを指定してください。
 2. ブ레이크条件としてバイトサイズを指定する場合、BDRB におけるブ레이크データとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

21.2.7 ブ레이크データマスクレジスタ B (BDMRB)

BDMRB は、32 ビットの読み出しまたは書き込み可能なレジスタです。BDMRB は、BDRB で指定するブ레이크データビットのうちマスクするビットを指定します。

ビット	ビット名	初期値	R/W	説明
31~0	BDMB31 ~ BDMB0	すべて 0	R/W	ブ레이크データマスク B BDRB (BDB31~BDB0) によって指定されるチャンネル B のブ레이크データビットのうちマスクするビットを指定します。 0: ブ레이크データビット BDBn は、ブ레이크条件に含まれる 1: ブ레이크データビット BDBn はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

- 【注】
1. ブ레이크条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブ레이크条件としてバイトサイズを指定する場合、BDMRB におけるブ레이크マスクデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

21.2.8 ブレークバスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブレーク条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
7 6	CDB1 CDB0	0 0	R/W R/W	L バスサイクル / I バスサイクルセレクト B チャンネル B ブレーク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、L バスサイクル 10: ブレーク条件は、I バスサイクル 11: ブレーク条件は、L バスサイクル
5 4	IDB1 IDB0	0 0	R/W R/W	命令フェッチ / データアクセスセレクト B チャンネル B ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、命令フェッチサイクル 10: ブレーク条件は、データアクセスサイクル 11: ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
3 2	RWB1 RWB0	0 0	R/W R/W	読み出し / 書き込みセレクト B チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、読み出しサイクル 10: ブレーク条件は、書き込みサイクル 11: ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1 0	SZB1 SZB0	0 0	R/W R/W	オペランドサイズセレクト B チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。 00: ブレーク条件は、オペランドサイズを含まない 01: ブレーク条件は、バイトアクセス 10: ブレーク条件は、ワードアクセス 11: ブレーク条件は、ロングワードアクセス

21. ユーザブレークコントローラ (UBC)

21.2.9 ブレークコントロールレジスタ (BRCR)

BRCR は次の条件を設定します。

1. チャンネルAとBを2つの独立したチャンネル条件か、あるいは1つの連続した条件として使用するかを指定します。
2. ブレークを命令実行の前に設定するか後に設定するかを指定します。
3. チャンネルB比較条件に実行回数を含めるかどうかを指定します。
4. チャンネルB比較条件にデータバスの値を含めるかどうかを決定します。
5. PCトレースをイネーブルにします。

BRCR は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットの読み出しまたは書き込み可能なレジスタです。

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
15	SCMFCA	0	R/W	L バスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル A に対する L バスサイクル条件不一致 1 : チャンネル A に対する L バスサイクル条件一致
14	SCMFCB	0	R/W	L バスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル B に対する L バスサイクル条件不一致 1 : チャンネル B に対する L バスサイクル条件一致
13	SCMFDA	0	R/W	I バスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル A に対する I バスサイクル条件不一致 1 : チャンネル A に対する I バスサイクル条件一致

21. ユーザブレークコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
12	SCMFDB	0	R/W	Iバスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の Iバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル B に対する Iバスサイクル条件不一致 1 : チャンネル B に対する Iバスサイクル条件一致
11	PCTE	0	R/W	PC トレースイネーブル 0 : PC トレースを禁止 1 : PC トレースを許可
10	PCBA	0	R/W	PC ブレークセレクト A チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル A の PC ブレークを命令実行前に設定 1 : チャンネル A の PC ブレークを命令実行後に設定
9、8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
7	DBEB	0	R/W	データブレークイネーブル B データベース条件がチャンネル B のブレーク条件に含まれるかどうかを選択します。 0 : データバス条件がチャンネル B のブレーク条件に含まれない 1 : データバス条件がチャンネル B のブレーク条件に含まれる
6	PCBB	0	R/W	PC ブレークセレクト B チャンネル B に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル B の PC ブレークを命令実行前に設定 1 : チャンネル B の PC ブレークを命令実行後に設定
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。1 を書いた場合の動作の保証はできません。
3	SEQ	0	R/W	シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0 : 独立した条件下でチャンネル A とチャンネル B を比較 1 : 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B)

21. ユーザブレークコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
2, 1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
0	ETBE	0	R/W	実行回数ブレークイネーブル チャンネル B に対してのみ実行回数ブレーク条件を有効にします。このビットが 1 の場合、生じたブレーク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレーク割り込みが出されます。 0 : チャンネル B の実行回数ブレーク条件を無効にする 1 : チャンネル B の実行回数ブレーク条件を有効にする

21.2.10 実行回数ブレークレジスタ (BETR)

BETR は 16 ビットの読み出しまたは書き込み可能なレジスタです。チャンネル B の実行回数ブレーク条件を有効にすると、このレジスタはブレークを行う回数を指定します。最大値は $2^{12} - 1$ 回です。ブレーク条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になった後、ブレーク条件を満たすとブレークが出されます。

ビット	ビット名	初期値	R/W	説明
15 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
11 ~ 0	BET11 ~ BET0	すべて 0	R/W	実行回数

【注】 チャンネル B のブレーク条件を命令フェッチサイクルでのブレークに設定し、ブレークする命令が下記の命令に該当する場合、1 回のブレークで BETR は 1 ずつデクリメントされません。デクリメントされる値は次のようになります。

命令	カウントダウン値
RTE	4
DMULS.L Rm,Rn	2
DMULU.L Rm,Rn	2
MAC.L @Rm+,@Rn+	2
MAC.W @Rm+,@Rn+	2
MUL.L Rm,Rn	3
AND.B #imm,@ (R0,GBR)	3
OR.B #imm,@ (R0,GBR)	3
TAS.B @Rn	3
TST.B #imm,@ (R0,GBR)	3

21. ユーザブ레이크コントローラ (UBC)

XOR.B #imm,@ (R0,GBR)	3
LDC Rm,SR	4
LDC Rm,GBR	4
LDC Rm,VBR	4
LDC Rm,SSR	4
LDC Rm,SPC	4
LDC Rm,R0_BANK	4
LDC Rm,R1_BANK	4
LDC Rm,R2_BANK	4
LDC Rm,R3_BANK	4
LDC Rm,R4_BANK	4
LDC Rm,R5_BANK	4
LDC Rm,R6_BANK	4
LDC Rm,R7_BANK	4
LDC.L @Rm+,SR	6
LDC.L @Rm+,GBR	4
LDC.L @Rm+,VBR	4
LDC.L @Rm+,SSR	4
LDC.L @Rm+,SPC	4
LDC.L @Rm+,R0_BANK	4
LDC.L @Rm+,R1_BANK	4
LDC.L @Rm+,R2_BANK	4
LDC.L @Rm+,R3_BANK	4
LDC.L @Rm+,R4_BANK	4
LDC.L @Rm+,R5_BANK	4
LDC.L @Rm+,R6_BANK	4
LDC.L @Rm+,R7_BANK	4
LDC.L @Rn+,MOD	4
LDC.L @Rn+,RS	4
LDC.L @Rn+,RE	4
LDC Rn,MOD	4
LDC Rn,RS	4
LDC Rn,RE	4
BSR label	2
BSRF Rm	2
JSR @Rm	2

21. ユーザブ레이크コントローラ (UBC)

21.2.11 ブランチソースレジスタ (BRSR)

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐元アドレスのビット 27~0 を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットは、リセットによっては初期化されません。8 本の BRSR レジスタはキュー構造を持ち、格納した分岐元アドレス情報は分岐ごとにシフトされます。BRSR は後述の BRDR とリードポイントを共有していますので、読み出すときは BRSR、BRDR の順で交互に読み出してください。キューは BRDR の読み出し後、BRDR と一緒にシフトされます。

ビット	ビット名	初期値	R/W	説明
31	SVF	0	R	BRSR 有効フラグ 分岐元のアドレスが格納されているかどうかを示します。分岐元アドレスが取り込まれるとき、このフラグは 1 にセットされます。このフラグは、BRSR を読み出すことによって 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効
30~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 1 を書いた場合の動作の保証はできません。
27~0	BSA27~ BSA0	-	R	分岐元アドレス これらのビットは分岐元アドレスのビット 27~0 を格納します。

21.2.12 ブランチデスティネーションレジスタ (BRDR)

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先命令のアドレスのビット 27~0 を格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。8 本の BRDR レジスタはキュー構造を持ち、格納した分岐先アドレス情報は分岐ごとにシフトされます。8 本の BRDR は前述の BRSR とリードポイントを共有していますので、読み出すときは BRSR、BRDR の順で交互に読み出してください。キューは BRDR の読み出し後、BRSR と一緒にシフトされます。

ビット	ビット名	初期値	R/W	説明
31	DVF	0	R	BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。分岐先アドレスが取り出されるとき、このフラグは 1 にセットされます。このフラグは BRDR を読み出すことによって 0 にクリアされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効

ビット	ビット名	初期値	R/W	説明
30~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書いた場合の動作の保証はできません。
27~0	BDA27~ BDA0	-	R	分岐元アドレス これらのビットは分岐先アドレスのビット27~0を格納します。

21.3 動作説明

21.3.1 ユーザブ레이크動作の流れ

ブ레이크条件の設定からユーザブ레이크例外処理までの動作の流れは次のとおりです。

- ブ레이크アドレスは、ブ레이크アドレスレジスタ (BARAまたはBARB) にセットします。マスクするアドレスは、ブ레이크アドレスマスクレジスタ (BAMRAまたはBAMRB) にセットします。ブ레이크データは、ブ레이크データレジスタ (BDRB) にセットします。マスクするデータは、ブ레이크データマスクレジスタ (BDMRB) にセットします。バスブ레이크条件は、ブ레이크バスサイクルレジスタ (BBRAまたはBBRB) にセットします。BBRAまたはBBRBの3つの制御ビットペア、すなわちLバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合、ユーザブ레이크は発生しません。ブ레이크制御は、BRCRのビットにセットします。他のすべてのブ레이크関連レジスタの設定後にBBRAまたはBBRBの設定を行ってください。
- ブ레이크条件を満足すると、UBCはユーザブ레이크要求をCPUに通知するとともに、それぞれのチャンネルに対するLバス条件一致フラグ (SCMFCAまたはSCMFCA) およびIバス条件一致フラグ (SCMFDAまたはSCMFDB) をセットします。
- 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFCA, SCMFDA, SCMFCA, SCMFDB) を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためにはまず0を書き込まなければなりません。
- チャンネルAおよびチャンネルBで設定したブ레이크がほぼ同時に発生する場合があります。CPUに対するブ레이크割り込み要求は1つだけであっても、これらの2つのブ레이크チャンネル一致フラグは2つともセットされる場合があります。
- ブ레이크条件としてIバスを選択した場合、次のことに注意してください。
 - Iバスには、CPU、DMACを含む複数のバスマスタが接続されています。UBCはすべてのバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
 - Iバスで使用されるアドレスは、物理アドレスです。ブ레이크アドレスレジスタ (BARAおよびBARB) には物理アドレスを設定してください。CPUがLバス上で発行した論理アドレスのサイクルは、物理アドレスに変換されたのちにIバスに出力されます。

21. ユーザブ레이크コントローラ (UBC)

- CPUがLバス上で発行したデータアクセスサイクルは、論理アドレスがキャッシング対象でない場合、Lバスで指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。
 - CPUがLバス上で発行した命令フェッチサイクルは、論理アドレスがキャッシング対象で無い場合も、すべてロングワードサイズとなり、アドレスはロングワード境界に丸められます。
 - CPUがLバス上で発行した論理アドレスがキャッシング対象のアドレスでありかつキャッシュミスした場合は、キャッシュフィルサイクルとしてIバスに発行されます。これはロングワードサイズで発行され、アドレスもロングワード境界に丸められた値が使用されます。ただし、ライトスルーモードにおけるライトミス時にはキャッシュフィルは行われず、Lバス上で指定したサイズのバスサイクルが発行され、アドレスも丸められることはありません。また、ライトバックモードの場合、リードフィルサイクルに伴ってライトバックサイクルが発行されるときがあります。これもロングワードサイズのバスサイクルで、アドレスもロングワード境界に丸められています。
 - CPUのLバス上での命令フェッチに起因したIバスサイクル(リードフィルサイクルを含む)をIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
 - DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
 - Iバスにブ레이크条件を設定している場合、CPUが実行した命令に起因したIバスサイクルで条件が一致した場合でも、どの命令でブ레이크を受け付けるかを一意に決定することはできません。
6. CPUのステータスレジスタ (SR) のブロックビット (BL) が1の期間、すべてのブ레이크は受け付けられません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。

21.3.2 命令フェッチサイクルでのブ레이크

1. ブ레이크バスサイクルレジスタ (BBRAまたはBBRB) にLバス/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブ레이크条件はLバスの命令フェッチになります。命令実行の前にブ레이크するか後にブ레이크するかは、該当するチャンネルに対するブ레이크コントロールレジスタ (BRCR) のPCBAまたはPCBBビットで選択できます。ブ레이크条件として命令フェッチサイクルを設定する場合、ブ레이크アドレスレジスタ (BARAまたはBARB) のLSBを0にクリアしてください。このビットが1にセットされているとブ레이크は発生しません。
2. 命令フェッチによるブ레이크がその命令を実行する前に行われるように設定されている状態で条件が一致した場合、命令がフェッチされて命令を実行することが確定した時点でブ레이크が生じます。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブ레이크が設定されると、遅延分岐命令の実行前にブ레이크が発生します。

【注】 遅延条件分岐命令が分岐しなかった場合、その後続命令は遅延スロットとはみなされません。

3. ブ레이크条件でブ레이크が命令実行後に起こるように設定している場合、ブ레이크条件と一致した命令が実行され、次の命令の実行前にブ레이크が発生します。実行前のブ레이크の場合と同様、これはオーバーランフェッチ命令では使用できません。遅延分岐命令およびその遅延スロットに対してこの種のブ레이크が設定されると、分岐先の最初の命令までブ레이크は発生しません。
4. 命令フェッチサイクルがチャンネルBに設定されるとブ레이크データレジスタB (BDRB) は無視されます。したがって、命令フェッチサイクルのブ레이크にはブ레이크データを設定することはできません。
5. 命令フェッチサイクルでのブ레이크においてIバスを設定した場合、Iバス上の命令フェッチサイクルに対する条件判定が行われます。詳細は「21.3.1 ユーザブ레이크動作の流れ」の5項を参照してください。

21.3.3 データアクセスサイクルでのブ레이크

1. データアクセスブ레이크において、ブ레이크条件としてIバスを指定した場合、実行された命令によりアクセスされた論理アドレス（およびデータ）に対して条件比較を行いブ레이크が発生します。ブ레이크条件としてIバスを指定した場合は、Iバス上のCPUを含めたすべてのバスマスタが発生するデータアクセスサイクルの物理アドレス（およびデータ）に対して条件比較を行い、ブ레이크が発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「21.3.1 ユーザブ레이크動作の流れ」の5の項を参照してください。
2. 表21.1にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 21.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブ레이크アドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブ레이크アドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブ레이크アドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、たとえばブ레이크アドレスレジスタ (BARA / BARB) にアドレス H'0000 1003 を設定するとき、ブ레이크条件を満足するバスサイクルには、（他のすべての条件が満足されると仮定した場合）以下が含まれることを意味します。

B'0000 0000 0000 0000 0001 0000 0000 00xx でのロングワードアクセス

B'0000 0000 0000 0000 0001 0000 0000 001x でのワードアクセス

B'0000 0000 0000 0000 0001 0000 0000 0011 でのバイトアクセス

【注】 x = Don't care

21. ユーザブレイクコントローラ (UBC)

3. チャンネルBのブレイク条件にデータ値が含まれる場合：

ブレイク条件にデータ値が含まれる場合、ブレイクバスサイクルレジスタB (BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためにはブレイクデータレジスタB (BDRB) とブレイクデータマスクレジスタB (BDMRB) のビット15～8、ビット7～0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31～16は無視されます。

4. PREF命令はアクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレイク条件にデータ値が含まれる場合、ブレイクは発生しません。
5. Lバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレイクが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令の次の命令の実行完了後になる場合もあります。Iバスを選択している場合はブレイクの発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレイクが発生した場合、分岐先の最初の命令までブレイクは発生しません。

21.3.4 シーケンシャルブレイク

1. BRCCRのSEQビットを1にセットすると、チャンネルAブレイク条件が一致した後、チャンネルBブレイク条件が一致するときにシーケンシャルブレイクが発生します。チャンネルAブレイク条件が一致する前にチャンネルBブレイク条件が一致すると、ユーザブレイクは発生しません。また、チャンネルAとチャンネルBのブレイク条件が同時に一致したときも、シーケンシャルブレイクは発生しません。シーケンシャルブレイク指定時、チャンネルA条件が一致し、かつチャンネルB条件が一致していないときにチャンネルA一致をクリアしたい場合、BRCCRレジスタのSEQビットに0を書き込みます。
2. シーケンシャルブレイク指定では、LバスまたはIバスを選択でき、実行回数ブレイク条件も指定することができます。たとえば、実行回数ブレイク条件を指定すると、チャンネルAブレイク条件一致後、チャンネルBブレイク条件がBETR = H'0001のときに一致するとブレイク条件が満たされます。

21.3.5 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべく命令のアドレスを SPC に退避し、例外処理状態に移行します。ブレイク条件としてLバスを指定している場合、ブレイクの発生する命令を一意に決定することができます (ブレイク条件にデータを含む場合を除く)。ブレイク条件としてIバスを指定している場合、ブレイクの発生する命令を一意に決定することはできません。

1. 命令フェッチを (命令実行前) ブレイク条件として指定する場合

SPCには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合、遅延分岐命令のアドレスがSPCに退避されます。

2. 命令フェッチを (命令実行後) ブレイク条件として指定する場合

SPCには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合、それらの命令は実行され、分岐先のアドレスがSPCに退避されます。

3. データアクセス (アドレスのみ) をブレイク条件として指定する場合

SPCには、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合、分岐先のアドレスがSPCに退避されます。

4. データアクセス (アドレス+データ) をブレイク条件として指定する場合

データ値がブレイク条件に追加されると、ブレイク条件に一致した命令の次の命令が、その次の命令のアドレスがSPCに退避されます。ブレイクが発生する場所は、正確に決定することはできません。

遅延スロット命令で条件が一致した場合、分岐先アドレスがSPCに退避されます。また、条件に一致した命令の次命令が分岐命令である場合、分岐命令や遅延スロットの実行まで完了した後にブレイクが生じるときがあります。この場合もSPCには分岐先のアドレスが退避されます。

21.3.6 PC トレース

1. PCトレースは、BRCRのPCTEを1にセットすることによってイネーブルになります。分岐 (分岐命令、一般例外および割り込み) が発生すると、分岐元アドレスと分岐先アドレスがそれぞれBRSRとBRDRに格納されます。
2. BRSR、BRDRに格納される値は、分岐の種類によってそれぞれ次のようになります。
 - 分岐命令により分岐が生じる場合、分岐命令のアドレスがBRSRに、分岐先命令のアドレスがBRDRに格納されます。
 - 割り込みや一般例外により分岐が生じる場合、例外発生により保存されるSPCの値がBRSRに、例外処理ルーチンの先頭アドレスがBRDRに格納されます。
3. BRSRとBRDRは、8組のキュー構造からなっています。BRSRとBRDRに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRはリードポインタを共有します。BRSR、BRDRの順で読み出してください。キューはBRDRの読み出し後のみシフトされます。BRCRのPCTEビットをオフからオンに切り替えると、キューの値は無効になります。

21.3.7 使用例

(1) Lバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

- レジスタ指定

BARA = H'0000 0404、BAMRA = H'0000 0000、BBRA = H'0054、BARB = H'0000 8010、
BAMRB = H'0000 0006、BBRB = H'0054、BDRB = H'0000 0000、BDMRB = H'0000 0000、
BRRCR = H'0000 0400

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0000 0404、アドレスマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'0000 8010、アドレスマスク：H'0000 0006

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレス H'0000 0404 の命令実行後、またはアドレス H'0000 8010 ~ H'0000 8016 の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BARA = H'0003 7226、BAMRA = H'0000 0000、BBRA = H'0056、BARB = H'0003 722E、
BAMRB = H'0000 0000、BBRB = H'0056、BDRB = H'0000 0000、BDMRB = H'0000 0000、
BRRCR = H'0000 0008

指定条件：チャンネルA / チャンネルBシーケンシャルモード

<チャンネル A>

アドレス：H'0003 7226、アドレスマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネル B>

アドレス：H'0003 722E、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

アドレス H'0003 7226 の命令が実行された後、アドレス H'0003 722E の命令実行前にユーザブレイクが発生します。

(例 1-3)

- レジスタ指定

BARA = H'0002 7128、BAMRA = H'0000 0000、BBRA = H'005A、BARB = H'0003 1415、
BAMRB = H'0000 0000、BBRB = H'0054、BDRB = H'0000 0000、BDMRB = H'0000 0000、
BRCR = H'0000 0000

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0002 7128、アドレスマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'0003 1415、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル A では、命令フェッチは書き込みサイクルではないのでユーザブ레이크は生じません。チャンネル B では、命令フェッチは偶数アドレスに対して実行されるのでユーザブ레이크は発生しません。

(例 1-4)

- レジスタ指定

BARA = H'0003 7226、BAMRA = H'0000 0000、BBRA = H'005A、BARB = H'0003 722E、
BAMRB = H'0000 0000、BBRB = H'0056、BDRB = H'0000 0000、BDMRB = H'0000 0000、
BRCR = H'0000 0008

指定条件：チャンネルA / チャンネルBシーケンシャルモード

<チャンネル A>

アドレス：H'0003 7226、アドレスマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'0003 722E、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネル A で命令フェッチは書き込みサイクルではないので、シーケンシャル条件一致は生じません。したがって、ユーザブ레이크は発生しません。

21. ユーザブ레이크コントローラ (UBC)

(例 1-5)

- レジスタ指定

BARA = H'0000 0500、BAMRA = H'0000 0000、BBRA = H'0057、BARB = H'0000 1000、
BAMRB = H'0000 0000、BBRB = H'0057、BDRB = H'0000 0000、BDMRB = H'0000 0000、
BRCCR = H'0000 0001、BETR = H'0005

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0000 0500、アドレスマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

<チャンネル B>

アドレス：H'0000 1000、アドレスマスク：H'0000 0000

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブ레이크イネーブル (5回)

チャンネル A では、ユーザブ레이크はアドレス H'0000 0500 の命令の実行前に生じます。チャンネル B では、ユーザブ레이크はアドレス H'0000 1000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

(例 1-6)

- レジスタ指定

BARA = H'0000 8404、BAMRA = H'0000 0FFF、BBRA = H'0054、BARB = H'0000 8010、
BAMRB = H'0000 0006、BBRB = H'0054、BDRB = H'0000 0000、BDMRB = H'0000 0000、
BRCCR = H'0000 0400

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0000 8404、アドレスマスク：H'0000 0FFF

バスサイクル：Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件には含まれません)

<チャンネル B>

アドレス：H'0000 8010、アドレスマスク：H'0000 0006

データ：H'0000 0000、データマスク：H'0000 0000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件には含まれません)

ユーザブ레이크は、アドレス H'0000 8000 ~ H'0000 8FFE の命令の実行後、または、アドレス H'0000 8010 ~ H'0000 8016 の命令の実行前に生じます。

(2) Lバスデータアクセスサイクルに指定したブ레이크条件

(例 2-1)

• レジスタ指定

BARA = H'0012 3456、BAMRA = H'0000 0000、BBRA = H'0064、BARB = H'000A BCDE、
 BAMRB = H'0000 00FF、BBRB = H'006A、BDRB = H'0000 A512、BDMRB = H'0000 0000、
 BRCCR = H'0000 0080

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0012 3456、アドレスマスク：H'0000 0000

バスサイクル：Lバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'000A BCDE、アドレスマスク：H'0000 00FF

データ：H'0000 A512、データマスク：H'0000 0000

バスサイクル：Lバス / データアクセス / 書き込み / ワード

チャンネル A では、ユーザブ레이크は、アドレス H'0012 3454 に対するロングワードの読み出し、アドレス H'0012 3456 に対するワード読み出し、あるいはアドレス H'0012 3456 に対するバイト読み出しで生じます。チャンネル B では、ユーザブ레이크は H'000A BC00 ~ H'000A BCFE にワード H'A512 を書き込むときに生じます。

(3) Iバスデータアクセスサイクルに指定されたブ레이크条件

(例 3-1)

• レジスタ指定

BARA = H'0031 4156、BAMRA = H'0000 0000、BBRA = H'0094、BARB = H'0005 5555、BAMRB = H'000 00000、
 BBRB = H'00A9、BDRB = H'0000 7878、BDMRB = H'0000 0F0F、BRCCR = H'0000 0080

指定条件：チャンネルA / チャンネルB独立モード

<チャンネル A>

アドレス：H'0031 4156、アドレスマスク：H'0000 0000

バスサイクル：Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'0005 5555、アドレスマスク：H'0000 0000

データ：H'0000 0078、データマスク；H'0000 000F

バスサイクル：Iバス / データアクセス / 書き込み / バイト

チャンネル A では、ユーザブ레이크はメモリ空間のアドレス H'0031 4156 に対する命令フェッチで生じます。チャンネル B では、ユーザブ레이크は Iバス上でバイトデータ H'7* をアドレス H'0005 5555 に書き込むときに生じます。

21. ユーザブレイクコントローラ (UBC)

21.3.8 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、バス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはLバスサイクルとバスサイクルを同じチャンネルで監視することはできません。
3. シーケンシャルブレイクの指定においての注意事項は次のとおりです。
 - シーケンシャルブレイクの設定時、Aチャンネル一致が発生後Bチャンネル一致が発生するとき、条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されてもブレイクは、発生しません。
4. ユーザブレイクと他の例外が同一命令で発生した場合、「第5章 例外処理」の表5.1に定められた優先順位判定が行われます。より高い優先度の例外が発生した場合、ユーザブレイクは発生しません。
 - 命令実行前ブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外（命令実行前ブレイクを含む）と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません（ただし、5項に示す例外事項があります）。例外処理により再実行型の例外要因が解消され、同命令が再実行されて完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやデータアクセスブレイクが、より優先度の高い完了型の例外（TRAPA）と同時に発生した場合、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。
5. 4項の例外事項として、次の注意事項があります。
 - 命令アクセスおよびデータアクセスによりCPUアドレスエラーが発生する命令において命令実行後ブレイクやデータアクセスブレイクが成立する場合、ブレイクに優先してCPUアドレスエラーが発生しますが、この際、UBCの条件一致フラグもセットされます。
 - 同一命令に命令実行前ブレイクと命令実行後ブレイクを同時に設定した場合、命令実行前ブレイクのタイミングでブレイクが発生しますが、このとき、命令実行後ブレイクのフラグも同時にセットされます。
 - SLEEP命令に対して命令実行後ブレイクを設定した場合、ブレイクは発生しませんがフラグはセットされません。
 - TRAPA命令、SLEEP命令の後続命令に対し命令実行前ブレイク、命令実行後ブレイクを設定した場合、TRAPAやSLEEP命令の実行が完了した時点でUBCの条件一致フラグがセットされます。
 - 不当命令例外やスロット不当命令例外を発生する命令に対して命令実行後ブレイクを設定した場合、ブレイクは発生しませんがフラグはセットされます。
 - ユーザブレイク、DMAアドレスエラー、および割り込みが先行して発生し、戻りアドレスとしてSPCに退避されたアドレスに対して（別の）命令実行前ブレイクや命令実行後ブレイクが設定されている場合、先行例外の発生と同時に後者のブレイクの条件一致フラグもセットされる場合があります。

6. 遅延スロットでブ레이크が発生する場合、次の注意事項があります。
 - RTE命令の遅延スロット命令においてブ레이크が発生した場合、ブ레이크成立のフラグはセットされますが、ブ레이크は発生しません。
 - RTE命令を除く遅延分岐命令の遅延スロット命令において命令実行前ブ레이크が発生し、かつ同命令がメモリへの書き込みを行う命令である場合、遅延分岐命令の実行前のタイミングでブ레이크が発生しますが、遅延スロット命令のメモリへの書き込みが完了してしまう場合があります。
7. UBCモジュールスタンバイ時、ユーザブ레이크機能を使用できません。また、モジュールスタンバイ中はUBCレジスタを読み書きしないでください。読み書きした場合、その値は保証されません。
8. 本LSIをASEモードで使用する場合、UBCのレジスタを初期化するためには $\overline{\text{RESETP}}$ および $\overline{\text{TRST}}$ を同時にアサートする必要があります。
9. チャンネルBのブ레이크条件にデータ値の条件を含める場合 (BRCR.DBEB==1)、ブ레이크バスサイクルレジスタBでは「命令フェッチサイクル (BBRB.IDB1 ~ IDB0==2'b01)」や「命令フェッチまたはデータアクセスサイクル (BBRB.IDB1 ~ IDB0==2'b11)」条件を指定しないでください。指定した場合の動作は保証されません。

22. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース (H-UDI)、およびアドバンスドユーザデバッガ (AUD) を内蔵しています。

本章では、H-UDI のバウンダリスキャン機能について概要を説明します。本 LSI に組み込まれている JTAG 機能の詳細については、別紙 BSDL (Boundary-Scan Description Language) 記述の資料を参照ください。AUD を初めとするエミュレータ機能の詳細については、各エミュレータのユーザーズマニュアルを参照してください。

22.1 特長

ユーザデバッグインタフェース (H-UDI) は、JTAG (Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に準拠したシリアル入出力インタフェースです。

本 LSI の H-UDI はバウンダリスキャンをサポートし、エミュレータの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。H-UDI のバウンダリスキャン機能を使う場合には、必ず $\overline{\text{ASEMD0}}$ をハイ固定にしてください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

H-UDI のブロック図を図 22.1 に示します。

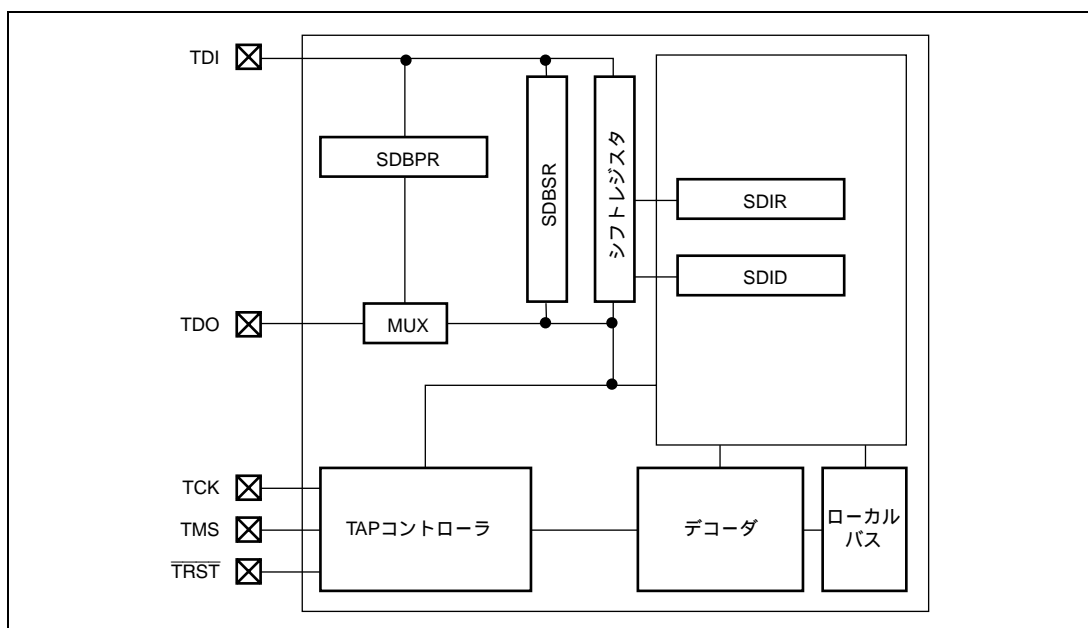


図 22.1 H-UDI ブロック図

22.2 入出力端子

表 22.1 に H-UDI の端子構成を示します。

表 22.1 端子構成

端子名	入出力	説明
TCK	入力	シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
TMS	入力	モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは JTAG 規格 (IEEE Std.1149.1) に準拠しています。
$\overline{\text{TRST}}$	入力	リセット入力端子 TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。これは JTAG の規格と異なります。リセット構成の詳細については「22.4.2 リセット構成」を参照してください。
TDI	入力	シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
TDO	出力	シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングは SDIR に設定されているコマンドの種類により異なります。詳細については、「22.3.2 インストラクションレジスタ (SDIR)」を参照してください。
$\overline{\text{ASEMD0}}^{*1}$	入力	ASE モードセレクト端子 $\overline{\text{RESETP}}$ 端子アサート期間中に、 $\overline{\text{ASEMD0}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになり、JTAG の機能が使えます。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD0}}$ 端子への入力は、High / Low どちらかに固定してください。*2
$\overline{\text{ASEBRKAK}}$ $\overline{\text{AUDSYNC}}$ AUDATA3~0 AUDCK	出力	エミュレータ専用の端子

【注】 *1 エミュレータを使用しない場合は、High 固定にしてください。

*2 バウンダリスキャン機能を使うときは、必ず $\overline{\text{ASEMD0}}$ を High 固定にしてください。

22.3 レジスタの説明

H-UDI には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 23 章 レジスタ一覧」を参照してください。*

- バイパスレジスタ (SDBPR)
- インストラクションレジスタ (SDIR)
- バウンダリスキャンレジスタ (SDBSR)
- IDレジスタ (SDID)

【注】 * H-UDI のレジスタが CPU からアクセス可能になるのは、ASE モード時のエミュレータ機能が有効になっているときのみとなっています。これらのレジスタは通常モード (バウンダリスキャン機能を使用するモード) では、JTAG 機能専用回路の一部として機能しますので、CPU からアクセスしないでください。

22.3.1 バイパスレジスタ (SDBPR)

SDBPR は 1 ビットのレジスタです。H-UDI の端子からのみアクセス可能です。CPU からはアクセスすることはできません。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

22.3.2 インストラクションレジスタ (SDIR)

通常モードのとき、SDIR は 3 ビットのレジスタです。H-UDI の端子からのみ書込み可能です。CPU からはアクセスすることはできません。「第 23 章 レジスタ一覧」に記載されているアドレスを使って CPU から読み出しても、不定が出力されます。初期状態でこのレジスタは JTAG IDCODE になっています。このレジスタに予約となっているコマンドをセットした場合の動作は保証できません。

ASE モードのとき、SDIR は CPU からは読み出しのみ可能な 16 ビットのレジスタです。JTAG の機能は無効になります。ASE モードでの SDIR の機能については、エミュレータのユーザーズマニュアルを参照してください。

ビット	ビット名	初期値	R/W	説明
2	T2	1	-	テストインストラクション 2~0
1	T1	1	-	JTAG のインストラクションは、TDI からのシリアル入力によって SDIR に転送されます。CPU からは R/W アクセスできません。コマンドは表 22.2 を参照してください。
0	T0	1	-	

22. ユーザデバッグインタフェース (H-UDI)

表 22.2 JTAG コマンド

ビット 2~0			説 明
T2	T1	T0	
0	0	0	JTAG EXTEST
0	0	1	JTAG SAMPLE/PRELOAD
0	1	0	予約
0	1	1	予約
1	0	0	予約
1	0	1	予約
1	1	0	予約
1	1	1	JTAG BYPASS (初期値)

22.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。初期値は不定です。CPU からはアクセスできません。

EXTEST、SAMPLE/PRELOAD コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。詳細は、別紙 BSDL (Boundary-Scan Description Language) 記述の資料を参照してください。

22.3.4 ID レジスタ (SDID)

SDID は 32 ビットレジスタで、バージョン、パーツ番号、製造者番号および固定コードから構成されています。このレジスタは、通常モードでも CPU から SDIDH/SDIDL の 2 つの 16 ビットレジスタとして読み出し可能です。書き込みはできません。

H-UDI 端子側からのアクセスはできません。

ビット	ビット名	初期値	R/W	説 明
31~0	DID31~ DID0	説明を 参照	R	デバイス ID31~0 JTAG に規定されている ID レジスタです。本 LSI では、H'001E 200F (初期値) です。ただし、上位 4 ビットはチップのバージョンにより変更されることがあります。 SDIDH はビット 31~16 に対応します。 SDIDL はビット 15~0 に対応します。

22.4 動作説明

22.4.1 TAP コントローラ

図 22.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に対応しています。

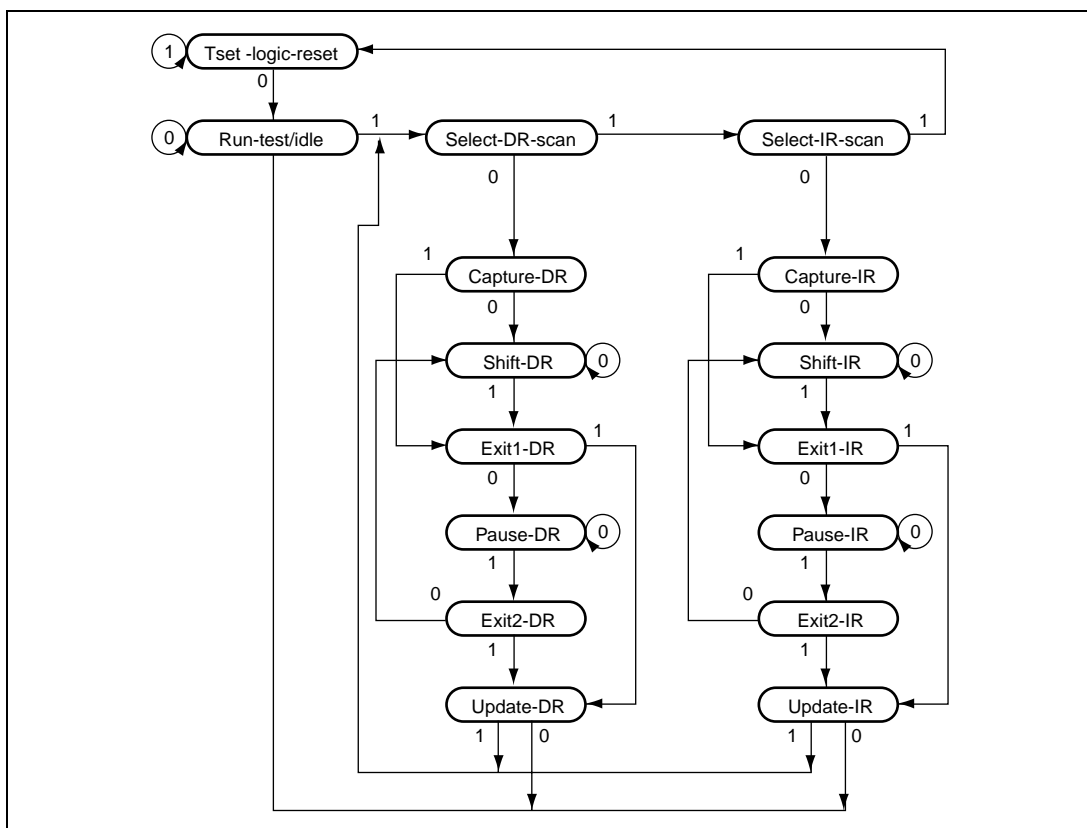


図 22.2 TAP コントローラ状態遷移図

22.4.2 リセット構成

表 22.3 に本 LSI のリセット構成を示します。

表 22.3 リセット構成

ASEMD0*1	RESETP	TRST	チップ状態
H	L	L	通常リセットおよび H-UDI リセット
		H	通常リセット
	H	L	H-UDI のみリセット
		H	通常動作
L	L	L	リセットホールド*2
		H	通常リセット
	H	L	H-UDI のみリセット
		H	通常動作

【注】 *1 通常モードと ASE モードの設定を選択。エミュレータを使用しない場合は、High 固定するようにしてください。

ASEMD0 = H、通常モード

ASEMD0 = L、ASE モード

*2 ASE モード時、リセットホールドは一定サイクル期間、RESETP と TRST 端子をローレベルにセットすることによって有効になります。この状態で RESETP をハイレベルにセットしても CPU は起動しません。その後 TRST をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。

別の RESETP アサート (パワーオンリセット)

TRST の再アサート

22.4.3 TDO 出力タイミング

通常モードで TDO から出力するデータの切り替えタイミングは、TCK の立ち下がりエッジに同期して変化します。これは JTAG 規格のタイミングです。ASE モードでエミュレータ機能を使用しているときは、TDO から出力するデータの切り替えタイミングは変わります。詳細はエミュレータのユーザーズマニュアルを参照してください。

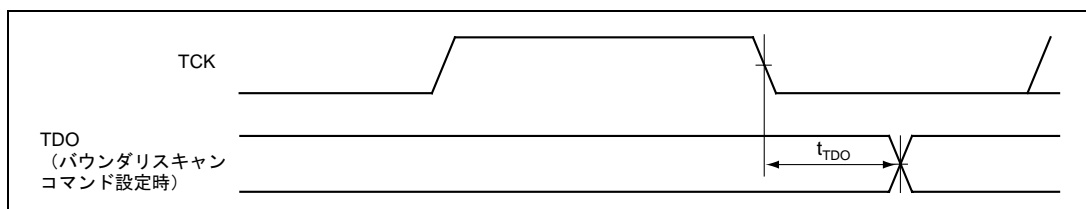


図 22.3 H-UDI データ転送タイミング

22.5 バウンダリスキャン

ASEMD0 がハイの時、H-UDI の各端子は JTAG 用の端子として機能します。本 LSI 上のすべてのバウンダリスキャン・セルは、TDI から入り、TDO から出る 1 本のシフトレジスタとして接続され、バウンダリスキャンレジスタ (SDBSR) として構成されています。ボード上でバウンダリスキャン機能をサポートしているすべての LSI の TDO と TDI をバウンダリスキャンレジスタが 1 本のシフトレジスタとしてつながれるように接続します。この方式により、ボードの LSI 間の配線、LSI の実装状態等のテストが可能になります。

22.5.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、EXTEST) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令はシフトバスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードは B'111 です。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命例実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。命令コードは B'001 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出します。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタの平行出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常に平行出力ラッチを出力する) ことになります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。(シフト動作で入れ換えます)。

命令コードは B'000 です。

22.5.2 注意事項

1. クロック関連信号 (EXTAL2、XTAL2) はバウンダリスキャンの対象外です。
2. リセット関連信号 ($\overline{\text{RESETP}}$) はバウンダリスキャンの対象外です。
3. H-UDI関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEMD0}}$) はバウンダリスキャンの対象外です。
4. ブルートゥースインタフェース (BT) 関連信号の一部 (RDI_TXTRDATA、RDI_RXBDW_OUT、RDI_REFCLK_IN、RDI_CTRL3、RDI_CTRL4、RCI_SPI_TXRX、RCI_SPI_CLK、RCI_SPI_ENB) はバウンダリスキャンの対象外です。
5. テスト関連信号の一部 ($\overline{\text{TEST_REG}}$ 、VBB、VBBENB) はバウンダリスキャンの対象外です。
6. アナログ信号 (USB_P、USB_N、DA0、DA1) はバウンダリスキャンの対象外です。
7. EXTESTコマンドを設定時には、 $\overline{\text{RESETP}}$ 端子はローレベル固定にしてください。
8. バウンダリスキャン実行中は、 $\overline{\text{ASEMD0}}$ 端子をハイレベルに固定してください。

22.6 使用上の注意事項

1. H-UDIコマンドは、一度セットされると他のコマンドがH-UDIから再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド (BYPASS等) を一度設定してから再度コマンドを設定する必要があります。
2. スタンバイモードではチップ動作が中断されるためH-UDIコマンドは受け付けられません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. H-UDIはエミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。
4. バウンダリスキャン機能としての $\overline{\text{TRST}}$ 端子はオプション扱いになっています。そのため他のLSIではパワーオンリセット機能を内蔵し、 $\overline{\text{TRST}}$ 端子が無いか、あるいはあってもパワーオンリセット時の初期化は不要のものもありますが、本LSIではパワーオンリセット時には $\overline{\text{TRST}}$ 端子でTAPコントローラも同時に初期化する必要があります。 $\overline{\text{TRST}}$ に印加するパワーオンリセット信号に付いては、以下の様な考慮をしてください。
 - 電源投入時に必ずリセット信号を印加してください。
 - ボードテストの $\overline{\text{TRST}}$ 信号がLSIのシステム側の動作に影響を与えないように、回路を分離してください。ボードテスト中にTAPコントローラのリセットのためボードテストが非同期に $\overline{\text{TRST}}$ 信号を生成する可能性がありますので、回路が分離されていない場合、 $\overline{\text{TRST}}$ 信号がボードテスト中にLSI動作に影響を与える (非同期にシステムリセットが掛かってしまうなど) 可能性があります。
 - 逆に、LSIのシステムリセットが、ボードテストの $\overline{\text{TRST}}$ 信号に影響を与えないように、回路を分離してください。ボードテスト中にボードテストがLSIのシステムリセット信号の接続テストのため、システムリセット信号をバウンダリスキャンから制御しますが、回路が分離されていない場合、この動作でTAPコントローラがリセットされてしまい、正常にテストが行えない可能性があります。

図 22.4 に接続例を示します。

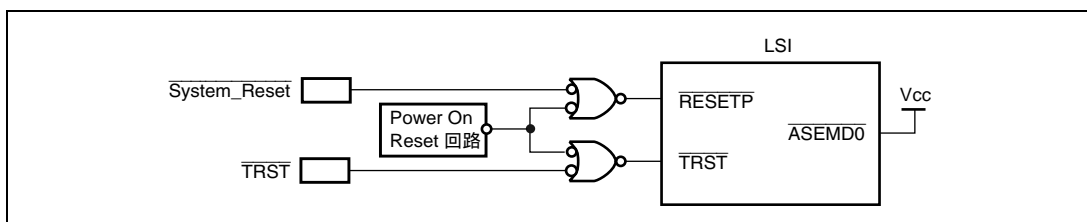


図 22.4 相互干渉しないリセット系信号の設計例

23. レジスタ一覧

本章では、内蔵 I/O レジスタについて、次の形で説明しています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

- 機能モジュールごと、マニュアルの章番号の順に記載しています。
機能モジュール間は、区分のために全データが「 - 」の行を置いています。
- 本リストに記載されていないリザーブアドレスはアクセスしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。また、一部のレジスタはP0領域とP2領域の両方のアドレスにマッピングされていますが、本リストではCPUから見た場合の論理アドレスを記載しています。

2. レジスタのビット一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示しています。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。
バイトの記載順序はビッグエンディアンを前提としています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載しています。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

23. レジスタ一覧

23.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

アクセスサイズは、ビット数を示します。

【注】 未定義/リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	論理アドレス	モジュール	アクセスサイズ
キャッシュ制御レジスタ 1	CCR1	32	H'FFFF FFEC	キャッシュ	32
キャッシュ制御レジスタ 2	CCR2	32	H'A400 00B0		32
-	-	-	-	-	-
割り込み事象レジスタ 2	INTEVT2	32	H'A400 0000	例外処理	32
TRAPA 例外レジスタ	TRA	32	H'FFFF FFD0		32
例外事象レジスタ	EXPEVT	32	H'FFFF FFD4		32
例外アドレスレジスタ	TEA	32	H'FFFF FFFC		32
-	-	-	-	-	-
割り込み優先レベル設定レジスタ A	IPRA	16	H'A414 FEE2	INTC	16
割り込み優先レベル設定レジスタ B	IPRB	16	H'A414 FEE4		16
割り込み優先レベル設定レジスタ C	IPRC	16	H'A414 0016		16
割り込み優先レベル設定レジスタ E	IPRE	16	H'A414 001A		16
割り込み優先レベル設定レジスタ F	IPRF	16	H'A408 0000		16
割り込み優先レベル設定レジスタ G	IPRG	16	H'A408 0002		16
割り込みマスクレジスタ 0	IMR0	8	H'A408 0040		8
割り込みマスクレジスタ 1	IMR1	8	H'A408 0042		8
割り込みマスクレジスタ 4	IMR4	8	H'A408 0048		8
割り込みマスクレジスタ 5	IMR5	8	H'A408 004A		8
割り込みマスクレジスタ 9	IMR9	8	H'A408 0052		8
割り込みマスククリアレジスタ 0	IMCR0	8	H'A408 0060		8
割り込みマスククリアレジスタ 1	IMCR1	8	H'A408 0062		8
割り込みマスククリアレジスタ 4	IMCR4	8	H'A408 0068		8
割り込みマスククリアレジスタ 5	IMCR5	8	H'A408 006A		8
割り込みマスククリアレジスタ 9	IMCR9	8	H'A408 0072		8
割り込みコントロールレジスタ 0	ICR0	16	H'A414 FEE0		16
割り込みコントロールレジスタ 1	ICR1	16	H'A414 0010		16
割り込み要求レジスタ 0	IRR0	8	H'A414 0004		8
-	-	-	-	-	-

23. レジスタ一覧

レジスタ名称	略称	ビット数	論理アドレス	モジュール	アクセスサイズ
共通コントロールレジスタ	CMNCR	32	H'A4FD 0000	BSC	32
CS0 空間バスコントロールレジスタ	CS0BCR	32	H'A4FD 0004		32
CS3 空間バスコントロールレジスタ	CS3BCR	32	H'A4FD 000C		32
CS4 空間バスコントロールレジスタ	CS4BCR	32	H'A4FD 0010		32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'A4FD 0024		32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'A4FD 002C		32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'A4FD 0030		32
-	-	-	-	-	-
DMA ソースアドレスレジスタ_0	SAR_0	32	H'A401 0020	DMAC	16、32
DMA ディスティネーションアドレスレジスタ_0	DAR_0	32	H'A401 0024		16、32
DMA トランスファカウントレジスタ_0	DMATCR_0	32	H'A401 0028		16、32
DMA チャンネルコントロールレジスタ_0	CHCR_0	32	H'A401 002C		8、16、32
DMA ソースアドレスレジスタ_1	SAR_1	32	H'A401 0030		16、32
DMA ディスティネーションアドレスレジスタ_1	DAR_1	32	H'A401 0034		16、32
DMA トランスファカウントレジスタ_1	DMATCR_1	32	H'A401 0038		16、32
DMA チャンネルコントロールレジスタ_1	CHCR_1	32	H'A401 003C		8、16、32
DMA ソースアドレスレジスタ_2	SAR_2	32	H'A401 0040		16、32
DMA ディスティネーションアドレスレジスタ_2	DAR_2	32	H'A401 0044		16、32
DMA トランスファカウントレジスタ_2	DMATCR_2	32	H'A401 0048		16、32
DMA チャンネルコントロールレジスタ_2	CHCR_2	32	H'A401 004C		8、16、32
DMA ソースアドレスレジスタ_3	SAR_3	32	H'A401 0050		16、32
DMA ディスティネーションアドレスレジスタ_3	DAR_3	32	H'A401 0054		16、32
DMA トランスファカウントレジスタ_3	DMATCR_3	32	H'A401 0058		16、32
DMA チャンネルコントロールレジスタ_3	CHCR_3	32	H'A401 005C		8、16、32
DMA ソースアドレスレジスタ_4	SAR_4	32	H'A401 0070		16、32
DMA ディスティネーションアドレスレジスタ_4	DAR_4	32	H'A401 0074		16、32
DMA トランスファカウントレジスタ_4	DMATCR_4	32	H'A401 0078		16、32
DMA チャンネルコントロールレジスタ_4	CHCR_4	32	H'A401 007C		8、16、32
DMA ソースアドレスレジスタ_5	SAR_5	32	H'A401 0080		16、32
DMA ディスティネーションアドレスレジスタ_5	DAR_5	32	H'A401 0084		16、32
DMA トランスファカウントレジスタ_5	DMATCR_5	32	H'A401 0088		16、32
DMA チャンネルコントロールレジスタ_5	CHCR_5	32	H'A401 008C		8、16、32
DMA オベーションレジスタ	DMAOR	16	H'A401 0060		16
DMA 拡張リソースセクタ 0	DMARS0	16	H'A409 0000		16
DMA 拡張リソースセクタ 1	DMARS1	16	H'A409 0004		16
DMA 拡張リソースセクタ 2	DMARS2	16	H'A409 0008		16

23. レジスタ一覧

レジスタ名称	略称	ビット数	論理アドレス	モジュール	アクセスサイズ
-	-	-	-	-	-
周波数制御レジスタ	FRQCR	16	H'A415 FF80	CPG	16
-	-	-	-	-	-
ウォッチドッグタイマカウンタ	WTCNT	8	H'A415 FF84	WDT	8、16* ¹
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	8	H'A415 FF86		8、16* ¹
-	-	-	-	-	-
スタンバイコントロールレジスタ* ²	STBCR	8	H'A415 FF82	低消費電力	8
スタンバイコントロールレジスタ 2	STBCR2	8	H'A415 FF88		8
スタンバイコントロールレジスタ 4	STBCR4	8	H'A40A 0004		8
-	-	-	-	-	-
タイマスタートレジスタ	TSTR	8	H'A412 FE92	TMU	8
タイマコンスタントレジスタ_0	TCOR_0	32	H'A412 FE94		32
タイマカウンタ_0	TCNT_0	32	H'A412 FE98		32
タイマコントロールレジスタ_0	TCR_0	16	H'A412 FE9C		16
タイマコンスタントレジスタ_1	TCOR_1	32	H'A412 FEA0		32
タイマカウンタ_1	TCNT_1	32	H'A412 FEA4		32
タイマコントロールレジスタ_1	TCR_1	16	H'A412 FEA8		16
タイマコンスタントレジスタ_2	TCOR_2	32	H'A412 FEAC		32
タイマカウンタ_2	TCNT_2	32	H'A412 FEB0		32
タイマコントロールレジスタ_2	TCR_2	16	H'A412 FEB4		16
-	-	-	-	-	-
シリアルモードレジスタ_0	SCSMR_0	16	H'A443 0000	SCIF_0	16
ビットレートレジスタ_0	SCBRR_0	8	H'A443 0004	(チャンネル0)	8
シリアルコントロールレジスタ_0	SCSCR_0	16	H'A443 0008		16
トランスミットデータストップレジスタ_0	SCTDSR_0	8	H'A443 000C		8
FIFO エラー数レジスタ_0	SCFER_0	16	H'A443 0010		16
シリアルステータスレジスタ_0	SCSSR_0	16	H'A443 0014		16
FIFO コントロールレジスタ_0	SCFCR_0	16	H'A443 0018		16
FIFO データ数レジスタ_0	SCFDR_0	16	H'A443 001C		16
トランスミット FIFO データレジスタ_0	SCFTDR_0	8	H'A443 0020		8
レシーブ FIFO データレジスタ_0	SCFRDR_0	8	H'A443 0024		8
-	-	-	-	-	-

23. レジスタ一覧

レジスタ名称	略称	ビット数	論理アドレス	モジュール	アクセスサイズ
シリアルモードレジスタ_1	SCSMR_1	16	H'A445 0000	SCIF_1	16
ビットレートレジスタ_1	SCBRR_1	8	H'A445 0004	(チャンネル1)	8
シリアルコントロールレジスタ_1	SCSCR_1	16	H'A445 0008		16
トランスミットデータストップレジスタ_1	SCTDSR_1	8	H'A445 000C		8
FIFO エラー数レジスタ_1	SCFER_1	16	H'A445 0010		16
シリアルステータスレジスタ_1	SCSSR_1	16	H'A445 0014		16
FIFO コントロールレジスタ_1	SCFCR_1	16	H'A445 0018		16
FIFO データ数レジスタ_1	SCFDR_1	16	H'A445 001C		16
トランスミット FIFO データレジスタ_1	SCFTDR_1	8	H'A445 0020		8
レシーブ FIFO データレジスタ_1	SCFRDR_1	8	H'A445 0024		8
-	-	-	-	-	-
D/A データレジスタ_0	DADR_0	8	H'A440 0000	DAC	8
D/A データレジスタ_1	DADR_1	8	H'A440 0001		8
D/A コントロールレジスタ	DACR	8	H'A440 0002		8
-	-	-	-	-	-
EXCPG 制御レジスタ	EXCPGCR	8	H'A447 0000	USBPM	8
-	-	-	-	-	-
割り込みフラグレジスタ 0	IFR0	32	H'A448 0000	USBF	32
割り込み選択レジスタ 0	ISR0	32	H'A448 0010		32
割り込みイネーブルレジスタ 0	IER0	32	H'A448 0020		32
EP0i データレジスタ	EPDR0i	64B ^{*3}	H'A448 0030		8
EP0o データレジスタ	EPDR0o	64B ^{*3}	H'A448 0034		8
EP0s データレジスタ	EPDR0s	8B ^{*3}	H'A448 0038		8
EP1 データレジスタ	EPDR1	16B ^{*3}	H'A448 003C		8
EP2i データレジスタ	EPDR2i	128B ^{*3}	H'A448 0040		8
EP2o データレジスタ	EPDR2o	128B ^{*3}	H'A448 0044		8
EP3i データレジスタ	EPDR3i	128B ^{*3}	H'A448 004C		8
EP3o データレジスタ	EPDR3o	120B ^{*3}	H'A448 0050		8
EP4 データレジスタ	EPDR4	16B ^{*3}	H'A448 0054		8
EP5 データレジスタ	EPDR5	64B ^{*3}	H'A448 0058		8
EP6 データレジスタ	EPDR6	64B ^{*3}	H'A448 005C		8
EP0o 受信データサイズレジスタ	EPSZ0o	8	H'A448 0080		8
EP2o 受信データサイズレジスタ	EPSZ2o	8	H'A448 0084		8
EP3o 受信データサイズレジスタ	EPSZ3o	8	H'A448 0088		8
EP6 受信データサイズレジスタ	EPSZ6	8	H'A448 008C		8
トリガレジスタ	TRG	16	H'A448 00A0		16

23. レジスタ一覧

レジスタ名称	略称	ビット数	論理アドレス	モジュール	アクセスサイズ
データステータスレジスタ	DASTS	8	H'A448 00A4	USBF	8
FIFO クリアレジスタ	FCLR	16	H'A448 00A8		16
DMA 転送設定レジスタ	DMA	8	H'A448 00AC		8
エンドポイントストールレジスタ	EPSTL	16	H'A448 00B0		32*4
コンフィグレーションバリュールレジスタ	CVR	8	H'A448 00B4		8
タイムスタンプレジスタ	TSR	16	H'A448 00B8		16
コントロールレジスタ	CTLR	8	H'A448 00BC		8
エンドポイント情報レジスタ	EPIRn0 ~ 5	8	H'A448 00C0		8
-	-	-	-	-	-
ポート A コントロールレジスタ	PACR	16	H'A405 0100	PFC	16
ポート B コントロールレジスタ	PBCR	16	H'A405 0102		16
ポート C コントロールレジスタ	PCCR	16	H'A405 0104		16
ポート D コントロールレジスタ	PDCR	16	H'A405 0106		16
ポート E コントロールレジスタ	PECR	16	H'A405 0108		16
ポート F コントロールレジスタ	PFDR	16	H'A405 010A		16
ポート SC コントロールレジスタ	SCPCR	16	H'A405 0116		16
ピンセレクトレジスタ A	PSELA	16	H'A405 0140		16
I/O バッファ Hi-Z 制御レジスタ A	HIZCRA	16	H'A405 0146		16
-	-	-	-	-	-
ポート A データレジスタ	PADR	8	H'A405 0120	ポート	8
ポート B データレジスタ	PBDR	8	H'A405 0122		8
ポート C データレジスタ	PCDR	8	H'A405 0124		8
ポート D データレジスタ	PDDR	8	H'A405 0126		8
ポート E データレジスタ	PEDR	8	H'A405 0128		8
ポート F データレジスタ	PFDR	8	H'A405 012A		8
SC ポートデータレジスタ	SCPDR	8	H'A405 0136		8
-	-	-	-	-	-
ブ레이크データレジスタ B	BDRB	32	H'FFFF FF90	UBC	32
ブ레이크データマスクレジスタ B	BDMRB	32	H'FFFF FF94		32
ブ레이크コントロールレジスタ	BRDR	32	H'FFFF FF98		32
実行回数ブ레이크レジスタ	BETR	16	H'FFFF FF9C		16
ブ레이크アドレスレジスタ B	BARB	32	H'FFFF FFA0		32
ブ레이크アドレスマスクレジスタ B	BAMRB	32	H'FFFF FFA4		32
ブ레이크バスサイクルレジスタ B	BBRB	16	H'FFFF FFA8		16
ブランチソースレジスタ	BRSR	32	H'FFFF FFAC		32
ブ레이크アドレスレジスタ A	BARA	32	H'FFFF FFB0		32

レジスタ名称	略称	ビット数	論理アドレス	モジュール	アクセスサイズ
ブ레이크アドレスマスクレジスタ A	BAMRA	32	H'FFFF FFB4	UBC	32
ブ레이크バスサイクルレジスタ A	BBRA	16	H'FFFF FFB8		16
ブランチデスティネーションレジスタ	BRDR	32	H'FFFF FFBC		32
-	-	-	-	-	-
インストラクションレジスタ* ⁵	SDIR	16	H'A410 0200	H-UDI	16
ID レジスタ	SDIDH	16	H'A410 0214		16
ID レジスタ	SDIDL	16	H'A410 0216		16

【注】 *1 読み出しは 8 ビット、書き込みは 16 ビットです。

*2 本レジスタへの書き込み直後に SLEEP 命令を発行すると、正しくレジスタの内容が反映されない可能性があります。必ずレジスタの読み出しをしてから SLEEP 命令を発行するようにしてください。

*3 USBF モジュールの各エンドポイントデータレジスタのビット数は、FIFO バッファの最大値を表しています。

*4 エンドポイントストールレジスタ (EPSTL) の読み出し、書き込みは 32 ビットサイズでアクセスしてください。この場合、下位 2 バイトが有効データの位置になります。

*5 H-UDI インタフェースからのアクセスの場合は、3 ビットのレジスタです。

23. レジスタ一覧

23.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CCR1	-	-	-	-	-	-	-	-	キャッシュ
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	CF	CB	WT	CE	
CCR2	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	W3LOAD	W3LOCK	
	-	-	-	-	-	-	W2LOAD	W2LOCK	
INTEVT2	-	-	-	-	-	-	-	-	例外処理
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
TRA	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	imm	imm	
	imm	imm	imm	imm	imm	imm	-	-	
EXPEVT	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
TEA	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
IPRA	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	INTC
	IPR7	IPR6	IPR5	IPR4	-	-	-	-	
IPRB	IPR15	IPR14	IPR13	IPR12	-	-	-	-	
	-	-	-	-	-	-	-	-	
IPRC	-	-	-	-	-	-	-	-	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
IPRE	IPR15	IPR14	IPR13	IPR12	-	-	-	-	INTC
	-	-	-	-	-	-	-	-	
IPRF	-	-	-	-	IPR11	IPR10	IPR9	IPR8	
	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0	
IPRG	IPR15	IPR14	IPR13	IPR12	IPR11	IPR10	IPR9	IPR8	
	-	-	-	-	-	-	-	-	
IMR0	-	-	-	-	-	-	IM1	IM0	
IMR1	-	-	-	-	IM3	IM2	IM1	IM0	
IMR4	-	IM6	IM5	IM4	IM3	-	-	-	
IMR5	-	-	IM5	IM4	-	-	IM1	IM0	
IMR9	-	-	-	-	-	IM2	IM1	IM0	
IMCR0	-	-	-	-	-	-	IMC1	IMC0	
IMCR1	-	-	-	-	IMC3	IMC2	IMC1	IMC0	
IMCR4	-	IMC6	IMC5	IMC4	IMC3	-	-	-	
IMCR5	-	-	IMC5	IMC4	-	-	IMC1	IMC0	
IMCR9	-	-	-	-	-	IMC2	IMC1	IMC0	
ICR0	NMIL	-	-	-	-	-	-	NMIE	
	-	-	-	-	-	-	-	-	
ICR1	-	IRQE	-	-	-	-	-	-	
	-	-	-	-	IRQ11S	IRQ10S	IRQ01S	IRQ00S	
IRR0	-	-	-	-	-	-	IRQ1R	IRQ0R	
CMNCR	-	-	-	-	-	-	-	-	BSC
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	ENDIAN	-	HIZMEM	HIZCNT	
CS0BCR	-	-	IWW1	IWW0	-	IWRWD1	IWRWD0	-	
	IWRWS1	IWRWS0	-	IWRRD1	IWRRD0	-	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
CS3BCR	-	-	IWW1	IWW0	-	IWRWD1	IWRWD0	-	BSC
	IWRWS1	IWRWS0	-	IWRRD1	IWRRD0	-	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS4BCR	-	-	IWW1	IWW0	-	IWRWD1	IWRWD0	-	
	IWRWS1	IWRWS0	-	IWRRD1	IWRRD0	-	IWRRS1	IWRRS0	
	-	TYPE2	TYPE1	TYPE0	-	BSZ1	BSZ0	-	
	-	-	-	-	-	-	-	-	
CS0WCR (通常空間)	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS0WCR (バースト ROM)	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	BW1	BW0	
	-	-	-	-	-	W3	W2	W1	
	W0	WM	-	-	-	-	-	-	
CS3WCR (通常空間)	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	-	-	
CS4WCR (通常空間)	-	-	-	-	-	-	-	-	
	-	-	-	-	-	WW2	WW1	WW0	
	-	-	-	SW1	SW0	WR3	WR2	WR1	
	WR0	WM	-	-	-	-	HW1	HW0	
CS4WCR (バースト ROM)	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	BW1	BW0	
	-	-	-	SW1	SW0	W3	W2	W1	
	W0	WM	-	-	-	-	HW1	HW0	
SAR_0								DMAC	

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DAR_0									DMAC

DMATCR_0									

CHCR_0	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_1									

DAR_1									

DMATCR_1									

CHCR_1	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_2									

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DAR_2									DMAC
DMATCR_2									
CHCR_2	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_3									
DAR_3									
DMATCR_3									
CHCR_3	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_4									

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DAR_4									DMAC
DMATCR_4									
CHCR_4	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
SAR_5									
DAR_5									
DMATCR_5									
CHCR_5	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
	-	-	TB	TS1	TS0	IE	TE	DE	
DMAOR	-	-	CMS1	CMS0	-	-	PR1	PR0	
	-	-	-	-	-	AE	NMIF	DME	
DMARS0	C1MID5	C1MID4	C1MID3	C1MID2	C1MID1	C1MID0	C1RID1	C1RID0	
	C0MID5	C0MID4	C0MID3	C0MID2	C0MID1	C0MID0	C0RID1	C0RID0	
DMARS1	C3MID5	C3MID4	C3MID3	C3MID2	C3MID1	C3MID0	C3RID1	C3RID0	
	C2MID5	C2MID4	C2MID3	C2MID2	C2MID1	C2MID0	C2RID1	C2RID0	

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DMARS2	C5MID5 C4MID5	C5MID4 C4MID4	C5MID3 C4MID3	C5MID2 C4MID2	C5MID1 C4MID1	C5MID0 C4MID0	C5RID1 C4RID1	C5RID0 C4RID0	DMAC
FRQCR	-	-	-	CKOEN	-	STC2	STC1	STC0	CPG
	-	IFC2	IFC1	IFC0	-	PFC2	PFC1	PFC0	
WTCNT									WDT
WTCSR	TME	WT/ \bar{I} T	RSTS	WOVF	IOVF	CKS2	CKS1	CKS0	
STBCR	STBY	-	-	-	-	MSTP2	-	-	低消費電力
STBCR2	MSTP10	MSTP9	MSTP8	-	-	MSTP5	MSTP4	-	
STBCR4	-	-	-	-	MSTP43	MSTP42	MSTP41	MSTP40	
TSTR	-	-	-	-	-	STR2	STR1	STR0	TMU
TCOR_0									
TCNT_0									
TCR_0	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	-	-	-	TPSC1	TPSC0	
TCOR_1									
TCNT_1									
TCR_1	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	-	-	-	TPSC1	TPSC0	
TCOR_2									

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCNT_2									TMU
TCR_2	-	-	-	-	-	-	-	UNF	
	-	-	UNIE	-	-	-	TPSC1	TPSC0	
SCSMR_0	-	-	-	-	-	SRC2	SRC1	SRC0	SCIF_0
	-	-	PE	O/E	STOP	-	CKS1	CKS0	
SCBRR_0	SCBRD7	SCBRD6	SCBRD5	SCBRD4	SCBRD3	SCBRD2	SCBRD1	SCBRD0	
SCSCR_0	TDRQE	RDRQE	-	-	TSIE	ERIE	BRIE	DRIE	
	TIE	RIE	TE	RE	-	-	CKE1	CKE0	
SCTDSR_0									
SCFER_0	-	-	PER5	PER4	PER3	PER2	PER1	PER0	
	-	-	FER5	FER4	FER3	FER2	FER1	FER0	
SCSSR_0	-	-	-	-	-	-	ORER	TSF	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFCR_0	TSE	TCRST	-	-	-	RSTRG2	RSTRG1	RSTRG0	
	RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_0	-	T6	T5	T4	T3	T2	T1	T0	
	-	R6	R5	R4	R3	R2	R1	R0	
SCFTDR_0	SCFTD7	SCFTD6	SCFTD5	SCFTD4	SCFTD3	SCFTD2	SCFTD1	SCFTD0	
SCFRDR_0	SCFRD7	SCFRD6	SCFRD5	SCFRD4	SCFRD3	SCFRD2	SCFRD1	SCFRD0	
SCSMR_1	-	-	-	-	-	SRC2	SRC1	SRC0	SCIF_1
	-	-	PE	O/E	STOP	-	CKS1	CKS0	
SCBRR_1	SCBRD7	SCBRD6	SCBRD5	SCBRD4	SCBRD3	SCBRD2	SCBRD1	SCBRD0	
SCSCR_1	TDRQE	RDRQE	-	-	TSIE	ERIE	BRIE	DRIE	
	TIE	RIE	TE	RE	-	-	CKE1	CKE0	
SCTDSR_1									
SCFER_1	-	-	PER5	PER4	PER3	PER2	PER1	PER0	
	-	-	FER5	FER4	FER3	FER2	FER1	FER0	
SCSSR_1	-	-	-	-	-	-	ORER	TSF	
	ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFCR_1	TSE	TCRST	-	-	-	-	-	-	
	RTRG1	RTRG0	TTRG1	TTRG0	-	TFRST	RFRST	LOOP	

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SCFDR_1	-	T6	T5	T4	T3	T2	T1	T0	SCIF_1
	-	R6	R5	R4	R3	R2	R1	R0	
SCFTDR_1	SCFTD7	SCFTD6	SCFTD5	SCFTD4	SCFTD3	SCFTD2	SCFTD1	SCFTD0	
SCFRDR_1	SCFRD7	SCFRD6	SCFRD5	SCFRD4	SCFRD3	SCFRD2	SCFRD1	SCFRD0	
DADR_0									DAC
DADR_1									
DACR	DAOE1	DAOE0	-	-	-	-	-	-	
EXCPGCR	-	-	-	USBVALID	USBRESET	USBHSTP	USBFSTP	USBCLKSEL	USBPM
IFR0	-	BRST	SETUP TS	VBUSMN	VBUSF	SURSS	SURSF	CFDN	USBF
	SOF	SETC	SETI	EP6 FULL	EP5 EMPTY	EP5 TR	EP4 TR	EP4 TS	
	-	-	EP3o TF	EP3o TS	EP3i TR	EP3i TS			
	EP2o FULL	EP2i EMPTY	EP2i TR	EP1 TR	EP1 TS	EP0o TS	EP0i TR	EP0i TS	
ISR0	-	BRST IS	SETUP TS IS	-	VBUSF IS	-	SURSF IS	CFDN IS	
	SOF IS	SETC IS	SETI IS	EP6 FULL IS	EP5 EMPTY IS	EP5 TR IS	EP4 TR IS	EP4 TS IS	
	-	-	EP3o TF IS	EP3o TS IS	EP3i TR IS	EP3i TS IS			
	EP2o FULL IS	EP2i EMPTY IS	EP2i TR IS	EP1 TR IS	EP1 TS IS	EP0o TS IS	EP0i TR IS	EP0i TS IS	
IER0	-	BRST IE	SETUP TS IE	-	VBUSF IE	-	SURSF IE	CFDN IE	
	SOF IE	SETC IE	SETI IE	EP6 FULL IE	EP5 EMPTY IE	EP5 TR IE	EP4 TR IE	EP4 TS IE	
	-	-	EP3o TF IE	EP3o TS IE	EP3i TR IE	EP3i TS IE			
	EP2o FULL IE	EP2i EMPTY IE	EP2i TR IE	EP1 TR IE	EP1 TS IE	EP0o TS IE	EP0i TR IE	EP0i TS IE	
EPDR0i	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0o	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0s	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR1	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR2i	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR2o	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR3i	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR3o	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR4	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR5	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR6	D7	D6	D5	D4	D3	D2	D1	D0	
EPSZ0o									
EPSZ2o									
EPSZ3o									

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
EPSZ6									USBF
TRG		EP6 RDFN	EP5 PKTE	EP4 PKTE					
		EP2o RDFN	EP2i PKTE	EP1 PKTE		EP0s RDFN	EP0o RDFN	EP0i PKTE	
DASTS		EP5 DE	EP4 DE		EP2i DE	EP1 DE		EP0i DE	
FCLR		EP6 CLR	EP5 CLR	EP4 CLR	-	EP3o CLR	EP3i CLR		
		EP2o CLR	EP2i CLR	EP1 CLR	-	-	EP0o CLR	EP0i CLR	
DMA	EP6DMAE	EP6DMAS	EP5DMAE	EP5DMAS	EP2oDMAE	EP2oDMAS	EP2iDMAE	EP2iDMAS	
EPSTL	-	-	-	-	-	EP6 STL	EP5 STL	EP4 STL	
	-	EP3o STL	EP3i STL		EP2o STL	EP2i STL	EP1 STL	EP0 STL	
CVR	CNFV	INTV3	INTV2	INTV1	INTV0	ALTV2	ALTV1	ALTV0	
TSR	-	-	-	-	-	D10	D9	D8	
	D7	D6	D5	D4	D3	D2	D1	D0	
CTLR	-	-	PULLUPE	RWUPS	RSME	-	ASCE	SOFME	
EPIRn0 ~ 5	D7	D6	D5	D4	D3	D2	D1	D0	
PACR	-	-	-	-	-	-	-	-	PFC
	-	-	-	-	PA1MD1	PA1MD0	PA0MD1	PA0MD0	
PBCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	PB0MD1	PB0MD0	
PCCR	-	-	-	-	-	-	-	-	
	-	-	-	-	PC1MD1	PC1MD0	PC0MD1	PC0MD0	
PDCR	-	-	-	-	-	-	-	-	
	-	-	-	-	PD1MD1	PD1MD0	PD0MD1	PD0MD0	
PECR	-	-	-	-	PE5MD1	PE5MD0	PE4MD1	PE4MD0	
	PE3MD1	PE3MD0	PE2MD1	PE2MD0	PE1MD1	PE1MD0	PE0MD1	PE0MD0	
PFCR	-	-	-	-	-	-	-	-	
	PF3MD1	PF3MD0	PF2MD1	PF2MD0	PF1MD1	PF1MD0	PF0MD1	PF0MD0	
SCPCR	-	-	-	-	-	-	-	-	
	SCP3MD1	SCP3MD0	SCP2MD1	SCP2MD0	SCP1MD1	SCP1MD0	SCP0MD1	SCP0MD0	
PSELA	-	-	-	-	-	-	-	-	
	-	-	PSA5	PSA4	PSA3	PSA2	PSA1	RTCSEL1	
HIZCRA	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	HIZA1	HIZA0	
PADR	-	-	-	-	-	-	PA1DT	PA0DT	ポート
PBDR	-	-	-	-	-	-	-	PB0DT	

23. レジスタ一覧

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PCDR	-	-	-	-	-	-	PC1DT	PC0DT	ポート
PDDR	-	-	-	-	-	-	PD1DT	PD0DT	
PEDR	-	-	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT	
PFDR	-	-	-	-	PF3DT	PF2DT	PF1DT	PF0DT	
SCPDR	-	-	-	-	SCP3DT	SCP2DT	SCP1DT	SCP0DT	
BDRB	BDB31	BDB30	BDB29	BDB28	BDB27	BDB26	BDB25	BDB24	UBC
	BDB23	BDB22	BDB21	BDB20	BDB19	BDB18	BDB17	BDB16	
	BDB15	BDB14	BDB13	BDB12	BDB11	BDB10	BDB9	BDB8	
	BDB7	BDB6	BDB5	BDB4	BDB3	BDB2	BDB1	BDB0	
BDMRB	BDMB31	BDMB30	BDMB29	BDMB28	BDMB27	BDMB26	BDMB25	BDMB24	
	BDMB23	BDMB22	BDMB21	BDMB20	BDMB19	BDMB18	BDMB17	BDMB16	
	BDMB15	BDMB14	BDMB13	BDMB12	BDMB11	BDMB10	BDMB9	BDMB8	
	BDMB7	BDMB6	BDMB5	BDMB4	BDMB3	BDMB2	BDMB1	BDMB0	
BRCR	-	-	-	-	-	-	-	-	
	-	-	-	-	-	-	-	-	
	SCMFCA	SCMFCA	SCMFDA	SCMFDB	PCTE	PCBA	-	-	
	DBEB	PCBB	-	-	SEQ	-	-	ETBE	
BETR	-	-	-	-	BET11	BET10	BET9	BET8	
	BET7	BET6	BET5	BET4	BET3	BET2	BET1	BET0	
BARB	BAB31	BAB30	BAB29	BAB28	BAB27	BAB26	BAB25	BAB24	
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BAMRB	BAMB31	BAMB30	BAMB29	BAMB28	BAMB27	BAMB26	BAMB25	BAMB24	
	BAMB23	BAMB22	BAMB21	BAMB20	BAMB19	BAMB18	BAMB17	BAMB16	
	BAMB15	BAMB14	BAMB13	BAMB12	BAMB11	BAMB10	BAMB9	BAMB8	
	BAMB7	BAMB6	BAMB5	BAMB4	BAMB3	BAMB2	BAMB1	BAMB0	
BBRB	-	-	-	-	-	-	-	-	
	CDB1	CDB0	IDB1	IDB0	RWB1	RWB0	SZB1	SZB0	
BRSR	SVF	-	-	-	BSA27	BSA26	BSA25	BSA24	
	BSA23	BSA22	BSA21	BSA20	BSA19	BSA18	BSA17	BSA16	
	BSA15	BSA14	BSA13	BSA12	BSA11	BSA10	BSA9	BSA8	
	BSA7	BSA6	BSA5	BSA4	BSA3	BSA2	BSA1	BSA0	

レジスタ 略称	ビット 31/23/ 15/ 7	ビット 30/22/ 14/ 6	ビット 29/21/ 13/ 5	ビット 28/20/ 12/ 4	ビット 27/19/ 11/ 3	ビット 26/18/ 10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
BARA	BAA31	BAA30	BAA29	BAA28	BAA27	BAA26	BAA25	BAA24	UBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BAMRA	BAMA31	BAMA30	BAMA29	BAMA28	BAMA27	BAMA26	BAMA25	BAMA24	
	BAMA23	BAMA22	BAMA21	BAMA20	BAMA19	BAMA18	BAMA17	BAMA16	
	BAMA15	BAMA14	BAMA13	BAMA12	BAMA11	BAMA10	BAMA9	BAMA8	
	BAMA7	BAMA6	BAMA5	BAMA4	BAMA3	BAMA2	BAMA1	BAMA0	
BBRA	-	-	-	-	-	-	-	-	
	CDA1	CDA0	IDA1	IDA0	RWA1	RWA0	SZA1	SZA0	
BRDR	DVF	-	-	-	BDA27	BDA26	BDA25	BDA24	
	BDA23	BDA22	BDA21	BDA20	BDA19	BDA18	BDA17	BDA16	
	BDA15	BDA14	BDA13	BDA12	BDA11	BDA10	BDA9	BDA8	
	BDA7	BDA6	BDA5	BDA4	BDA3	BDA2	BDA1	BDA0	
SDIR	-	-	-	-	-	T2	T1	T0	H-UDI
	-	-	-	-	-	-	-	-	
SDIDH	DID31	DID30	DID29	DID28	DID27	DID26	DID25	DID24	
	DID23	DID22	DID21	DID20	DID19	DID18	DID17	DID16	
SDIDL	DID15	DID14	DID13	DID12	DID11	DID10	DID9	DID8	
	DID7	DID6	DID5	DID4	DID3	DID2	DID1	DID0	

【注】 * SDIR は H-UDI 端子から書き込みのみ可能です。

23.3 各動作モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ*1	モジュール スタンバイ*1	スリープ	モジュール
CCR1	初期化	初期化	保持	保持	保持	キャッシュ
CCR2	初期化	初期化	保持	保持	保持	
INTEVT2	初期化	初期化	保持	保持	保持	例外処理
TRA	初期化	初期化	保持	保持	保持	
EXPEVT	初期化	初期化	保持	保持	保持	
TEA	初期化	初期化	保持	保持	保持	
IPRA	初期化	初期化	保持	保持	保持	INTC
IPRB	初期化	初期化	保持	保持	保持	
IPRC	初期化	初期化	保持	保持	保持	
IPRE	初期化	初期化	保持	保持	保持	
IPRF	初期化	初期化	保持	保持	保持	
IPRG	初期化	初期化	保持	保持	保持	
IMR0	初期化	初期化	保持	保持	保持	
IMR1	初期化	初期化	保持	保持	保持	
IMR4	初期化	初期化	保持	保持	保持	
IMR5	初期化	初期化	保持	保持	保持	
IMR9	初期化	初期化	保持	保持	保持	
IMCR0	初期化	初期化	保持	保持	保持	BSC
IMCR1	初期化	初期化	保持	保持	保持	
IMCR4	初期化	初期化	保持	保持	保持	
IMCR5	初期化	初期化	保持	保持	保持	
IMCR9	初期化	初期化	保持	保持	保持	
ICR0	初期化	初期化	保持	保持	保持	
ICR1	初期化	初期化	保持	保持	保持	
IRR0	初期化	初期化	保持	保持	保持	
CMNCR	初期化	保持	保持	保持	保持	
CS0BCR	初期化	保持	保持	保持	保持	
CS3BCR	初期化	保持	保持	保持	保持	
CS4BCR	初期化	保持	保持	保持	保持	
CS0WCR	初期化	保持	保持	保持	保持	
CS3WCR	初期化	保持	保持	保持	保持	
CS4WCR	初期化	保持	保持	保持	保持	

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ*1	モジュール スタンバイ*1	スリープ	モジュール
SAR_0	初期化	初期化	保持	保持	保持	DMAC
DAR_0	初期化	初期化	保持	保持	保持	
DMATCR_0	初期化	初期化	保持	保持	保持	
CHCR_0	初期化	初期化	保持	保持	保持	
SAR_1	初期化	初期化	保持	保持	保持	
DAR_1	初期化	初期化	保持	保持	保持	
DMATCR_1	初期化	初期化	保持	保持	保持	
CHCR_1	初期化	初期化	保持	保持	保持	
SAR_2	初期化	初期化	保持	保持	保持	
DAR_2	初期化	初期化	保持	保持	保持	
DMATCR_2	初期化	初期化	保持	保持	保持	
CHCR_2	初期化	初期化	保持	保持	保持	
SAR_3	初期化	初期化	保持	保持	保持	
DAR_3	初期化	初期化	保持	保持	保持	
DMATCR_3	初期化	初期化	保持	保持	保持	
CHCR_3	初期化	初期化	保持	保持	保持	
SAR_4	初期化	初期化	保持	保持	保持	
DAR_4	初期化	初期化	保持	保持	保持	
DMATCR_4	初期化	初期化	保持	保持	保持	
CHCR_4	初期化	初期化	保持	保持	保持	
SAR_5	初期化	初期化	保持	保持	保持	
DAR_5	初期化	初期化	保持	保持	保持	
DMATCR_5	初期化	初期化	保持	保持	保持	
CHCR_5	初期化	初期化	保持	保持	保持	
DMAOR	初期化	初期化	保持	保持	保持	
DMARS0	初期化	初期化	保持	保持	保持	
DMARS1	初期化	初期化	保持	保持	保持	
DMARS2	初期化	初期化	保持	保持	保持	
FRQCR	初期化*2	保持	保持	保持	保持	CPG
WTCNT	初期化*2	保持	保持	保持	保持	WDT
WTCSR	初期化*2	保持	保持	保持	保持	
STBCR	初期化	保持	保持	保持	保持	低消費電力
STBCR2	初期化	保持	保持	保持	保持	
STBCR4	初期化	保持	保持	保持	保持	

23. レジスタ一覧

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ*1	モジュール スタンバイ*1	スリープ	モジュール
TSTR	初期化	初期化	初期化	初期化	保持	TMU
TCOR_0	初期化	初期化	保持	保持	保持	
TCNT_0	初期化	初期化	保持	保持	保持	
TCR_0	初期化	初期化	保持	保持	保持	
TCOR_1	初期化	初期化	保持	保持	保持	
TCNT_1	初期化	初期化	保持	保持	保持	
TCR_1	初期化	初期化	保持	保持	保持	
TCOR_2	初期化	初期化	保持	保持	保持	
TCNT_2	初期化	初期化	保持	保持	保持	
TCR_2	初期化	初期化	保持	保持	保持	
SCSMR_0	初期化	初期化	保持	保持	保持	SCIF_0
SCBRR_0	初期化	初期化	保持	保持	保持	
SCSCR_0	初期化	初期化	保持	保持	保持	
SCTDSR_0	初期化	初期化	保持	保持	保持	
SCFER_0	初期化	初期化	保持	保持	保持	
SCSSR_0	初期化	初期化	保持	保持	保持	
SCFCR_0	初期化	初期化	保持	保持	保持	
SCFDR_0	初期化	初期化	保持	保持	保持	
SCFTDR_0	不定	保持	保持	保持	保持	
SCFRDR_0	不定	保持	保持	保持	保持	
SCSMR_1	初期化	初期化	保持	保持	保持	SCIF_1
SCBRR_1	初期化	初期化	保持	保持	保持	
SCSCR_1	初期化	初期化	保持	保持	保持	
SCTDSR_1	初期化	初期化	保持	保持	保持	
SCFER_1	初期化	初期化	保持	保持	保持	
SCSSR_1	初期化	初期化	保持	保持	保持	
SCFCR_1	初期化	初期化	保持	保持	保持	
SCFDR_1	初期化	初期化	保持	保持	保持	
SCFTDR_1	不定	保持	保持	保持	保持	
SCFRDR_1	不定	保持	保持	保持	保持	
DADR_0	初期化	保持	保持	保持	保持	DAC
DADR_1	初期化	保持	保持	保持	保持	
DACR	初期化	保持	保持	保持	保持	
EXCPGCR	初期化	保持	保持	保持	保持	USBPM

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ*1	モジュール スタンバイ*1	スリープ	モジュール
IFR0	初期化	保持	不定	不定	保持	USBF
ISR0	初期化	保持	不定	不定	保持	
IER0	初期化	保持	不定	不定	保持	
EPDR0i	不定	保持	不定	不定	保持	
EPDR0o	不定	保持	不定	不定	保持	
EPDR0s	不定	保持	不定	不定	保持	
EPDR1	不定	保持	不定	不定	保持	
EPDR2i	不定	保持	不定	不定	保持	
EPDR2o	不定	保持	不定	不定	保持	
EPDR3i	不定	保持	不定	不定	保持	
EPDR3o	不定	保持	不定	不定	保持	
EPDR4	不定	保持	不定	不定	保持	
EPDR5	不定	保持	不定	不定	保持	
EPDR6	不定	保持	不定	不定	保持	
EPSZ0o	初期化	保持	不定	不定	保持	
EPSZ2o	初期化	保持	不定	不定	保持	
EPSZ3o	初期化	保持	不定	不定	保持	
EPSZ6	初期化	保持	不定	不定	保持	
TRG	不定	保持	不定	不定	保持	
DASTS	初期化	保持	不定	不定	保持	
FCLR	不定	保持	不定	不定	保持	
DMA	初期化	保持	不定	不定	保持	
EPSTL	初期化	保持	不定	不定	保持	
CVR	初期化	保持	不定	不定	保持	
TSR	初期化	保持	不定	不定	保持	
CTLR	初期化	保持	不定	不定	保持	
EPIRn0 ~ 5	不定	保持	不定	不定	保持	

23. レジスタ一覧

レジスタ略称	パワーオン リセット*1	マニュアル リセット*1	ソフトウェア スタンバイ*1	モジュール スタンバイ*1	スリープ	モジュール
PACR	初期化	保持	保持	保持	保持	PFC
PBCR	初期化	保持	保持	保持	保持	
PCCR	初期化	保持	保持	保持	保持	
PDCR	初期化	保持	保持	保持	保持	
PECR	初期化	保持	保持	保持	保持	
PFDR	初期化	保持	保持	保持	保持	
SCPCR	初期化	保持	保持	保持	保持	
PSELA	初期化	保持	保持	保持	保持	
HIZCRA	初期化	保持	保持	保持	保持	
PADR	初期化	保持	保持	保持	保持	ポート
PBDR	初期化	保持	保持	保持	保持	
PCDR	初期化	保持	保持	保持	保持	
PDDR	初期化	保持	保持	保持	保持	
PEDR	初期化	保持	保持	保持	保持	
PFDR	初期化	保持	保持	保持	保持	
SCPDR	初期化	保持	保持	保持	保持	
BDRB	初期化	保持	保持	保持	保持	UBC
BDMRB	初期化	保持	保持	保持	保持	
BRDR	初期化	保持	保持	保持	保持	
BETR	初期化	保持	保持	保持	保持	
BARB	初期化	保持	保持	保持	保持	
BAMRB	初期化	保持	保持	保持	保持	
BBRB	初期化	保持	保持	保持	保持	
BRSR	初期化	保持	保持	保持	保持	
BARA	初期化	保持	保持	保持	保持	
BAMRA	初期化	保持	保持	保持	保持	
BBRA	初期化	保持	保持	保持	保持	
BRDR	初期化	保持	保持	保持	保持	
SDIR	保持*3	保持*3	保持	保持	保持	H-UDI
SDIDH*4	-	-	-	-	-	
SDIDL*4	-	-	-	-	-	
Uメモリ	不定	不定	保持	保持	保持	Uメモリ
BT内レジスタ	初期化*2	保持	保持	保持	保持	BT

【注】 *1 レジスタの初期値は、各モジュールの章を参照してください。また、初期値が不定のレジスタについても値が保持されないため、初期化と表現しています。

*2 RESETP 端子からのリセット時に初期化します。その他のリセットでは、値を保持します。

*3 SDIR は TRST で初期化されます。

*4 固定値です。

24. 電気的特性

本章では特に表示が無い限り、オンチップレギュレータ ON 状態での特性を示しています。オンチップレギュレータ OFF 状態での御使用は、別途弊社担当窓口へご相談ください。

24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

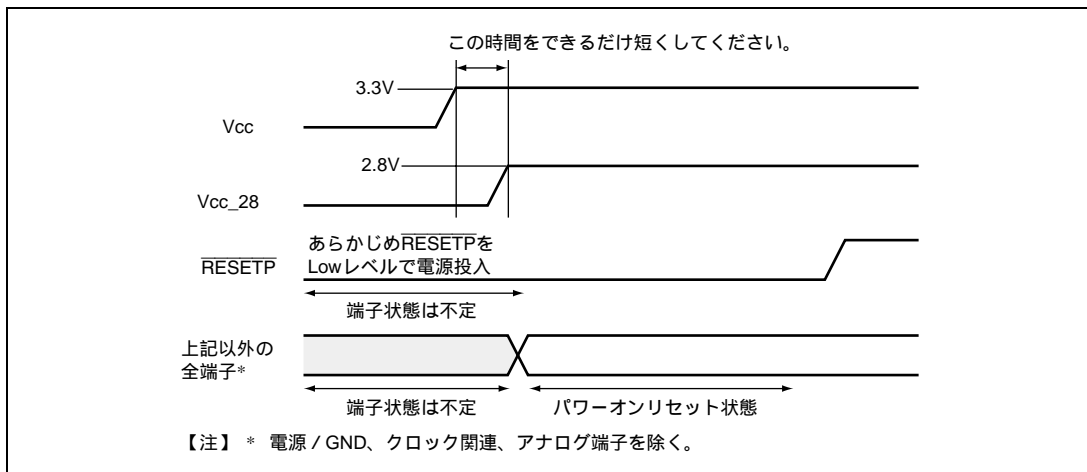
表 24.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (Vcc_28 以外)	V _{cc} (I/O)、V _{cc} (内部)、 V _{cc} (PLL1)、V _{cc} (PLL2) V _{cc} (DLL)、V _{cc} (SREG)	- 0.3 ~ 4.2	V
電源電圧 (Vcc_28)	V _{cc_28}	- 0.3 ~ 4.2	V
入力電圧 (Vcc_28 以外)	V _{in}	- 0.3 ~ V _{cc} + 0.3	V
入力電圧 (Vcc_28)	V _{in}	- 0.3 ~ V _{cc_28} + 0.3	V
アナログ電源電圧 (DAC)	AV _{cc} (DAC)	- 0.3 ~ 4.2	V
アナログ電源電圧 (USB)	AV _{cc} (USB)	-0.3 ~ 4.2	V
アナログ入力電圧 (USB)	V _{IN}	-0.3 ~ AV _{cc} (USB) + 0.3	V
動作温度	T _{opr}	- 20 ~ 75	
保存温度	T _{stg}	- 55 ~ 125	

【使用上の注意】

1. 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
2. Vcc_28 と他の 3.3V 系電源 (V_{cc}、AV_{cc}) の投入順序について特に規定はありませんが、一方の電源を遮断すると動作が不安定になりますので、以下を推奨します。
 - (1) Vcc_28 以外の 3.3V 系電源を先に投入し、このあと、Vcc_28 電源を投入してください。この間隔をできるだけ短くすることを推奨します。
 - (2) すべての電源に電圧が印加され、 $\overline{\text{RESETP}}$ 端子にローレベルが入力されるまでの間、内部回路不確定なので、各端子の状態も不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。以下に電源投入時の波形を示します。
 - (3) Vcc_28 の電源電圧は、上記絶対最大定格の範囲内であつ、接続する RF-IC の電源電圧と同じにしてください。

24. 電気的特性



電源投入シーケンス

3. 電源の切断順序について特に規定はありませんが、一方の電源を遮断すると動作が不安定になりますので、以下を推奨します。
 - (1) 電源投入時と逆に Vcc_28 電源を先に切断し、このあと、3.3V 系電源を切ってください。この間隔をできるだけ短くすることを推奨します。
 - (2) Vcc_28 電源だけを切断した状態では、端子状態は不定となります。この状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。
4. 各 V_{DD} 端子には電源雑音平滑化のため $0.1\mu\text{F}$ 以下のコンデンサを外付けしてください。互いに短絡せずそれぞれに接続することをお勧めします。
5. 各 V_{DD} 端子には外部から電圧を印加しないでください。また、他のデバイスへの電流供給はできません。

24.2 DC 特性

DC 特性を表 24.2、表 24.3 に示します。

表 24.2 DC 特性 (1) 【共通項目】

条件: Ta = -20 ~ 75

項目		記号	min	typ	max	単位	測定条件
消費電流	通常動作時	I_{cc}	-	80	130	mA	V_{cc} 、 $AV_{cc}(DAC)$ 、 $AV_{cc}(USB) = 3.3V$ $f = 52MHz$ $B = 26MHz$
V_{cc-28} 消費電流		I_{VCC_28}	-	-	6	mA	弊社 RF-IC 接続時*1
入力リーク電流	全入力端子	$ I_{in} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
スリープ状態 リーク電流	入出力、全出力 端子 (オフ状態)	$ I_{STT} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
ブルアップ抵抗	ポート端子	P_{pull}	30	60	120	k	
端子容量	全デジタル端子*2	C	-	-	10	pF	
アナログ電源電圧 (DAC)		AV_{cc} (DAC)	2.7	3.3	3.6	V	
アナログ電源 電流	DAC	AI_{cc}	-	2	3	mA	
	USB		-	5	10	mA	

【注】 *1 接続可能な RF-IC は、HD157100NP、HD157102NP です。

*2 電源端子および以下に示すアナログなどの特殊端子は除きます。

V_{BB} 、USB_P、USB_N、RDI_CTRL4、DA0、DA1、EXTAL2、XTAL2

*3. $AV_{cc}(DAC)$ は、 $V_{cc} - 0.2V$ $AV_{cc}(DAC)$ $V_{cc} + 0.2V$ の条件を満足しなければなりません。D/A 変換器を使用しない場合でも、 $AV_{cc}(DAC)$ 、 $AV_{ss}(DAC)$ 端子を開放しないで、 $AV_{cc}(DAC)$ は V_{cc} に $AV_{ss}(DAC)$ は V_{ss} に接続してください。

*4. 消費電流値は、 $V_{IHmin} = V_{cc} - 0.5V$ 、 $V_{ILmax} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

24. 電気的特性

表 24.2 DC 特性 (2-a) 【USB 関連端子を除く】

条件: Ta = -20 ~ 75

項目		記号	min	typ	max	単位	測定条件
電源電圧		V_{CC}	2.7	3.3	3.6	V	弊社 RF-IC 接続時 【注】1 参照
		V_{CC-28}	2.7	2.8	3.0		
		V_{CC-28}	2.7	3.3	3.6		
入力 High レベル電圧	NMI、MD0、MD5、 ASEMD0、 \overline{TRST} 、 IRQ0	V_{IH}	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.75$	-	$V_{CC} + 0.3$		
	\overline{RESETP}		2.0	-	$V_{CC} + 0.3$		
	RDI_TXTRDATA、 RDI_REFCLK_IN、 RCI_SPI_TXRX		$V_{CC-28} \times 0.9$	-	$V_{CC-28} + 0.3$		
	その他の入力端子		2.0	-	$V_{CC-28} + 0.3$		
			2.0	-	$V_{CC} + 0.3$		
入力 Low レベル電圧	NMI、IRQ0、 MD0、MD5、 ASEMD0、 \overline{TRST}	V_{IL}	-0.3	-	$V_{CC} \times 0.1$	V	
	EXTAL		-0.3	-	$V_{CC} \times 0.2$		
	\overline{RESETP} 、 RDI_TXTRDATA、 RDI_REFCLK_IN、 RCI_SPI_TXRX		-0.3	-	$V_{CC-28} \times 0.1$		
	その他の入力端子		-0.3	-	$V_{CC} \times 0.2$		
出力 High レベル電圧	RDI_CTRL4	V_{OH}	2.25	-	-	V	$V_{CC-28}, V_{CC} = 2.7V$ 、 $I_{OH} = -3mA$
	その他の出力端子	V_{OH}	2.0	-	-	V	$V_{CC-28}, V_{CC} = 2.7V$ 、 $I_{OH} = -2mA$
出力 Low レベル電圧	RDI_TXTRDATA、 RDI_RXBDW_OUT、 RDI_CTRL3、 RCI_SPI_CLK、 RCI_SPI_ENB、 RCI_SPI_TXRX	V_{OL}	-	-	0.55	V	$V_{CC-28} = 3.0V$ 、 $I_{OL} = 2.0mA$
	RDI_CTRL4	V_{OL}	-	-	0.25	V	$V_{CC-28} = 3.0V$ 、 $I_{OL} = 0.5mA$
	その他の出力端子	V_{OL}	-	-	0.55	V	$V_{CC} = 3.6V$ 、 $I_{OL} = 2.0mA$

- 【注】 1. 接続可能な RF-IC は、HD157100NP、HD157102NP です。
2. 本 LSI を単独で使用する場合、2.7 V_{CC-28} 3.6V の対応が可能です。

表 24.2 DC 特性 (2-b) 【USB 関連端子*】

条件 : Ta = - 20 ~ 75

項目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	V_{IH}	2.0	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	V_{IL}	- 0.3	-	$V_{CC} \times 0.2$	V	
入力 High レベル電圧 (UCLK)	$V_{IH} (UCLK)$	$V_{CC} - 0.3$	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧 (UCLK)	$V_{IL} (UCLK)$	- 0.3	-	$V_{CC} \times 0.2$	V	
出力 High レベル電圧	V_{OH}	2.0	-	-	V	$V_{CC} = 2.7V$ 、 $I_{OH} = - 2mA$
出力 Low レベル電圧	V_{OL}	-	-	0.55	V	$V_{CC} = 3.6V$ 、 $I_{OL} = 2.0mA$

【注】 * UCLK、USB_PULLUP、USB_VBUS の各端子

表 24.2 DC 特性 (2-c) 【USB トランシーバ関連端子*】

条件 : Ta = - 20 ~ 75

項目	記号	min	typ	max	単位	測定条件
電源電圧	$AV_{CC} (USB)$	3.0	3.3	3.6	V	USB ファンク ションを使用 する場合
		2.7	3.0	3.6		USB ファンク ションを使用 しない場合
差動入力感度	V_{DI}	0.2	-	-	V	$ (USB_P) - (USB_N) $
差動コモンモード範囲	V_{CM}	0.8	-	2.5	V	
シングルエンディッドレシーバ スレッショルド電圧	V_{SE}	0.8	-	2.0	V	
出力 High レベル電圧	V_{OH}	2.8	-	$AV_{CC} (USB)$	V	USB ファンク ションを使用 する場合
出力 Low レベル電圧	V_{OL}	-	-	0.3	V	
トライステートリーク電流	I_{LO}	-10	-	10	μA	$0V < V_{in} < 3.3V$

【注】 * USB_P、USB_N 端子

24. 電氣的特性

表 24.3 出力許容電流値

条件： $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC-28} = 2.7 \sim 3.0V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	I_{OL}	-	-	2	mA
出力 Low レベル許容電流 (総和)	I_{OL}	-	-	50	mA
出力 High レベル許容電流 (1 端子あたり)	$-I_{OH}$	-	-	2	mA
出力 High レベル許容電流 (総和)	$(-I_{OH})$	-	-	50	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 24.3 の値を超えないようにしてください。

24.3 AC 特性

本 LSI の入力とは原則としてクロック同期入力です。特にことわりがない限り、各入力信号のセットアップ / ホールド時間は必ず守ってください。

表 24.4 最大動作周波数

条件： $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC-28} = 2.7 \sim 3.0V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	min	typ	max	単位	備考
動作周波数	CPU、 キャッシュ (I)	26	-	52	MHz	
	外部バス (B)	16	-	26		
	周辺モジュール (P)	4	-	26		

24.3.1 クロックタイミング

表 24.5 クロックタイミング

条件： $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC-28} = 2.7 \sim 3.0V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $T_a = -20 \sim 75$ 、外部バス最大動作周波数：26MHz

項目	記号	min	max	単位	参照図
EXTAL クロック入力周波数	f_{EX}	8	13	MHz	24.1
EXTAL クロック入力サイクル時間	t_{EXcyc}	76.9	125	ns	
EXTAL クロック入力 Low レベルパルス幅	t_{EXL}	34	-	ns	
EXTAL クロック入力 High レベルパルス幅	t_{EXH}	34	-	ns	
EXTAL クロック入力立ち上がり時間	t_{EXr}	-	4	ns	
EXTAL クロック入力立ち下がり時間	t_{EXf}	-	4	ns	

項目	記号	min	max	単位	参照図
CKIO クロック出力周波数	f_{OP}	16	26	MHz	24.2
CKIO クロック出力サイクル時間	t_{cyc}	38.4	62.5	ns	
CKIO クロック出力 Low レベルパルス幅	t_{CKOL}	10	-	ns	
CKIO クロック出力 High レベルパルス幅	t_{CKOH}	10	-	ns	
CKIO クロック出力立ち上がり時間	t_{CKOf}	-	6	ns	
CKIO クロック出力立ち下がり時間	t_{CKOf}	-	6	ns	
\overline{TRST} アサート時間	t_{TRSTW}	100	-	μs	24.3、24.5
\overline{TRST} アサート時間 2	t_{TRSTW2}	10	-	ms	24.7
\overline{RESETP} アサート時間 1	t_{RESPW1}	100	-	μs	24.3、 24.5、24.7
\overline{RESETP} アサート時間 2	t_{RESPW2}	100	-	μs	24.3 ~ 24.6
\overline{RESETP} アサート時間 3	t_{RESPW3}	100	-	μs	24.4、 24.6、24.8
パワーオン発振安定時間	t_{SOC}	200	-	μs	24.7
PLL 同期安定化時間	t_{PLL}	100 ^{*1}	-	μs	24.3 ~ 24.8

- 【注】 *1 図 24.3、24.4 の場合、 \overline{RESETP} 信号入力ネゲート直後から RDI_REFCLK_IN に入力されるクロック 1312 サイクル分の時間がこの規定をクリアできるようにしてください。
- *2 図 24.3 ~ 図 24.8 の EXTAL 入力に対する CKIO 出力および内部クロックは同じ周波数ではなく、リセット時の初期設定値としては、
EXTAL:CKIO:内部クロック (Iclk:Bclk:Pclk) = 1:2:(2:2:1/2)
となります。
- *3 図 24.3、24.4、24.7、24.8 に記載されている「RF 起動時間 (T_{xtl})」(HD157100NP および HD157102NP の内蔵発振回路の安定時間)は、HD157100 および HD157102 のデータシートでいずれも 6msec. (Typical) となっています。

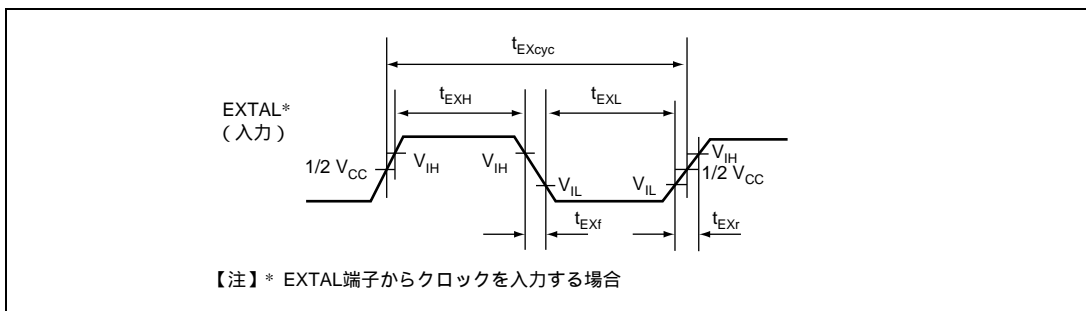


図 24.1 EXTAL クロック入力タイミング

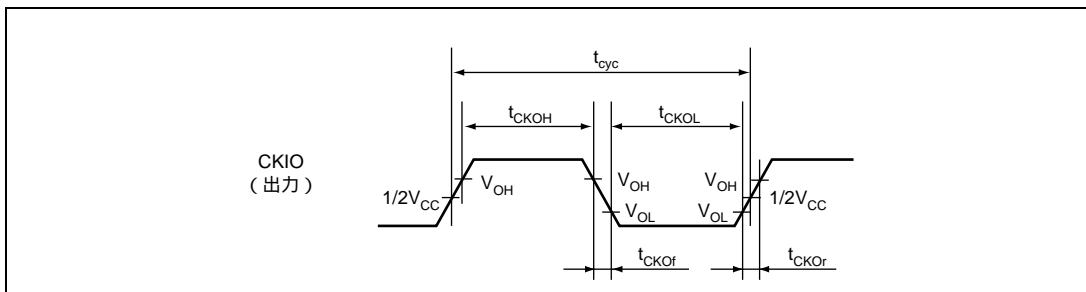


図 24.2 CKIO クロック出力タイミング

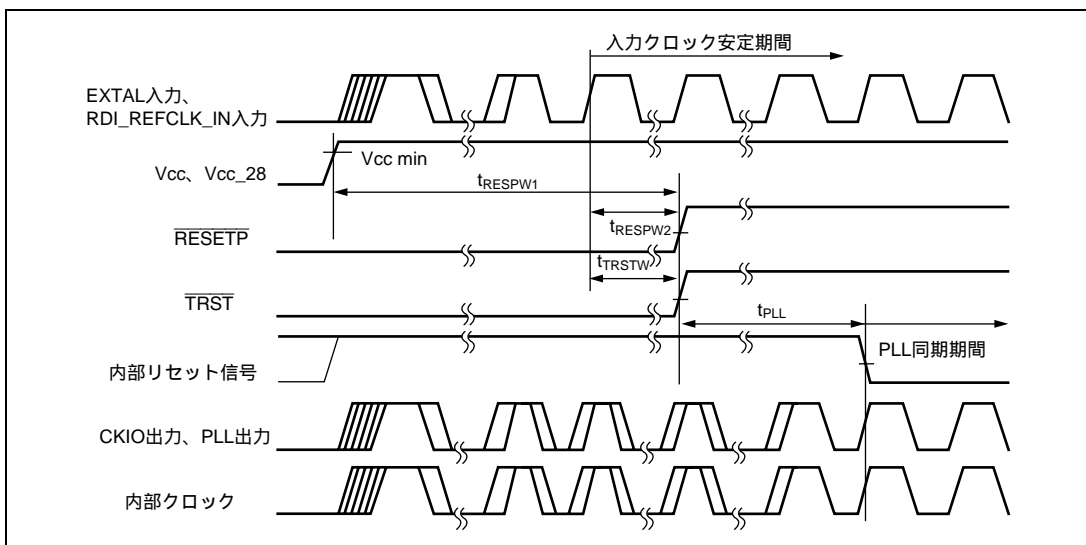


図 24.3 パワーオンリセット時のタイミングチャート
(電源 ON から発振するクロックを RDI_REFCLK_IN 端子および EXTAL 端子に供給した場合)

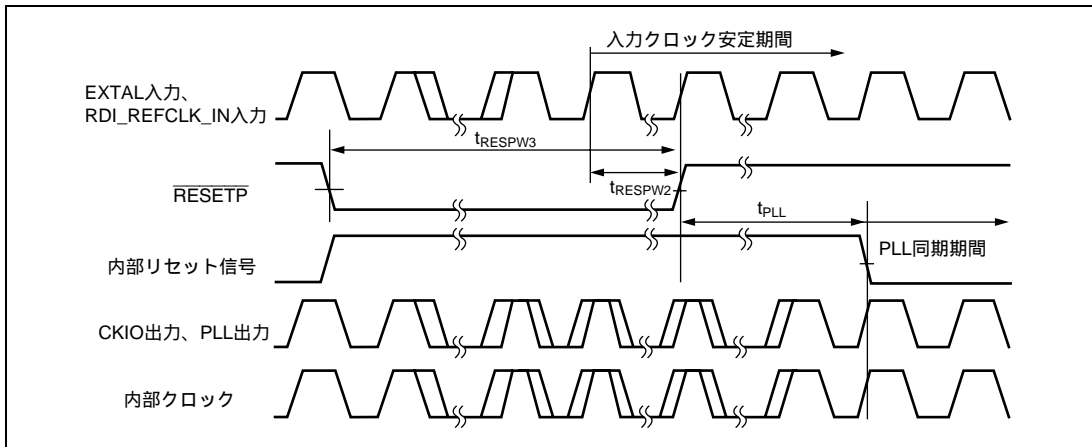


図 24.4 通常のリセット時のタイミングチャート
(電源 ON から発振するクロックを RDI_REFCLK_IN 端子および EXTAL 端子に供給した場合)

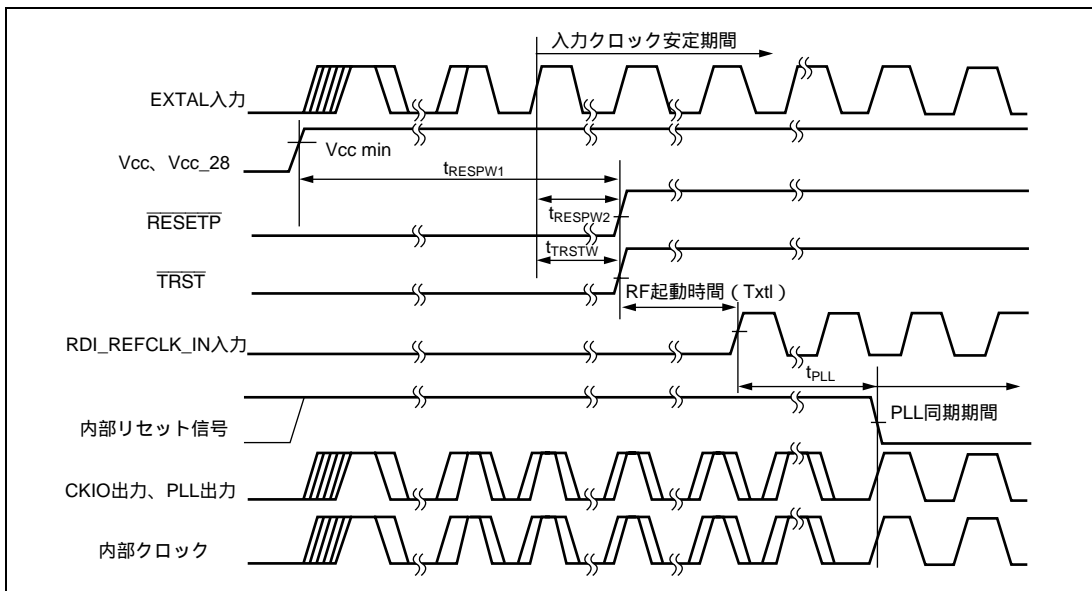


図 24.5 パワーオンリセット時のタイミングチャート
(弊社 RF-IC (HD157100NP/HD157102NP) の BRCLK を RDI_REFCLK_IN 端子のみに接続し、EXTAL 端子には電源 ON から発振する、BRCLK とは別のクロックを供給した場合)

24. 電気的特性

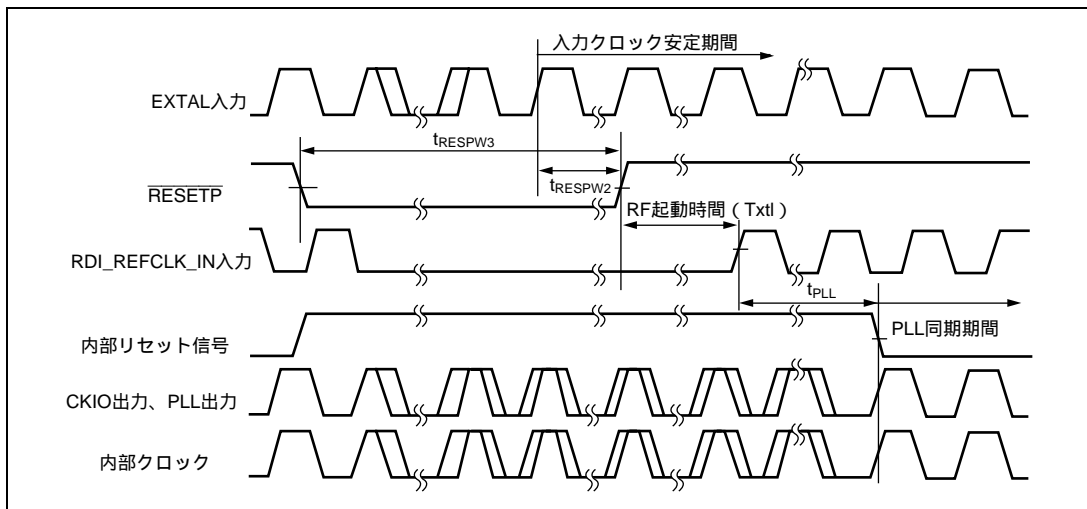


図 24.6 通常のリセット時のタイミングチャート

(弊社 RF-IC (HD157100NP/HD157102NP) の BRCLK を RDI_REFCLK_IN 端子のみに接続し、EXTAL 端子には電源 ON から発振する、BRCLK とは別のクロックを供給した場合)

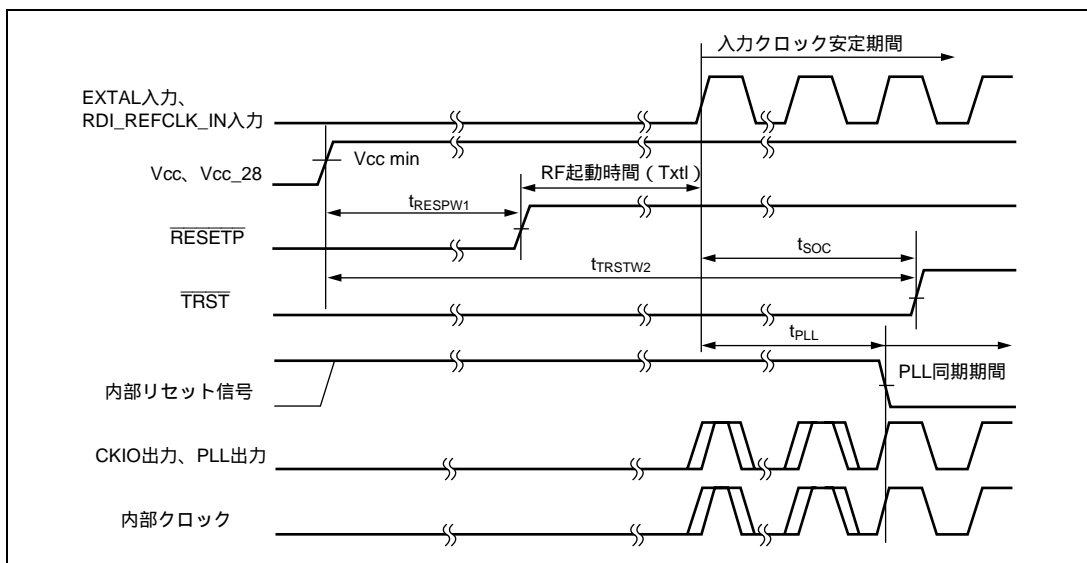


図 24.7 パワーオンリセット時のタイミングチャート

(弊社 RF-IC (HD157100NP/HD157102NP) の BRCLK を RDI_REFCLK_IN 端子および EXTAL 端子に接続し、電源投入時の TRST 端子および RESETP 端子に供給する信号を個別に供給した場合)

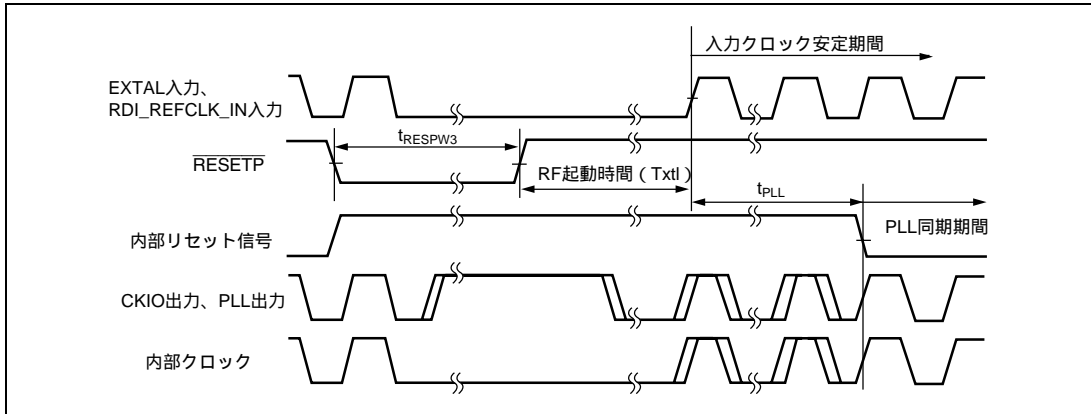


図 24.8 通常のリセット時のタイミングチャート

(弊社 RF-IC (HD157100NP/HD157102NP) の BRCLK を RDI_REFCLK_IN 端子および EXTAL 端子に接続し、電源投入時の $\overline{\text{TRST}}$ 端子および $\overline{\text{RESETP}}$ 端子に供給する信号を個別に供給した場合)

24.3.2 制御信号タイミング

表 24.6 制御信号タイミング

条件: $V_{cc} = 2.7 \sim 3.6V$ 、 $V_{cc28} = 2.7 \sim 3.0V$ 、 $AV_{cc} = 2.7 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	26MHz*3		単位	参照図
		min	max		
RESETP パルス幅	t_{RESPW}	100	-	μs	24.9
RESETP セットアップ時間*1	t_{RESPS}	30	-	ns	24.10
BOOT_E セットアップ時間*2	t_{BOOTS}	50	-	μs	24.9
RESETP ホールド時間	t_{RESPH}	4	-	ns	24.10
NMI セットアップ時間*1	t_{NMIS}	20	-	ns	24.10
NMI ホールド時間	t_{NMIH}	4	-	ns	
IRQ0 セットアップ時間*1	t_{IRQS}	20	-	ns	
IRQ0 ホールド時間	t_{IRQH}	4	-	ns	24.11
バスタイステート遅延時間 1	t_{BOFF1}	0	38	ns	
バスタイステート遅延時間 2	t_{BOFF2}	0	38	ns	
バスバッファオンタイム 1	t_{BON1}	0	38	ns	
バスバッファオンタイム 2	t_{BON2}	0	38	ns	

【注】 *1 RESETP、NMI および IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。また、NMI およびエッジ検出の場合の IRQ0 は周辺モジュールクロック (P) で 2 サイクル以上のパルス幅が必要です。

*2 BOOT_E は、RESETP が low アサートされている期間 (リセット期間中) 以外では変化させないでください。リセット期間以外で変化させた場合、動作の保証はできません。

*3 外部バスクロックの上限周波数は 26MHz です。

24. 電気的特性

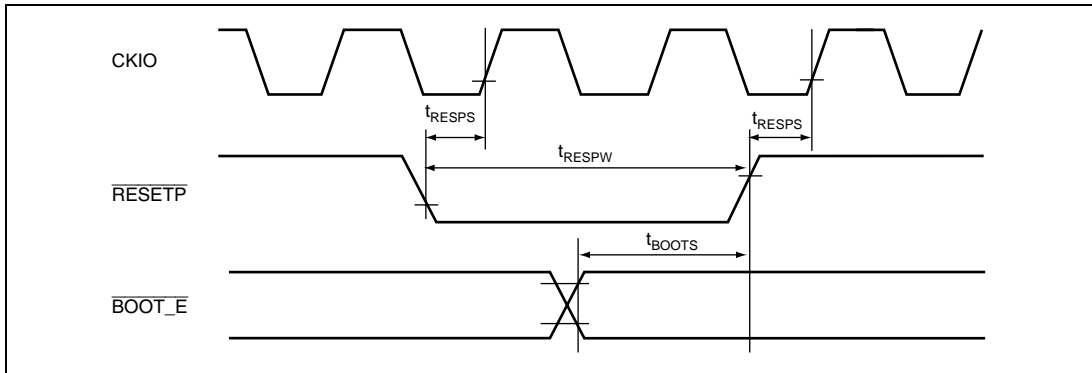


図 24.9 リセット入力タイミング

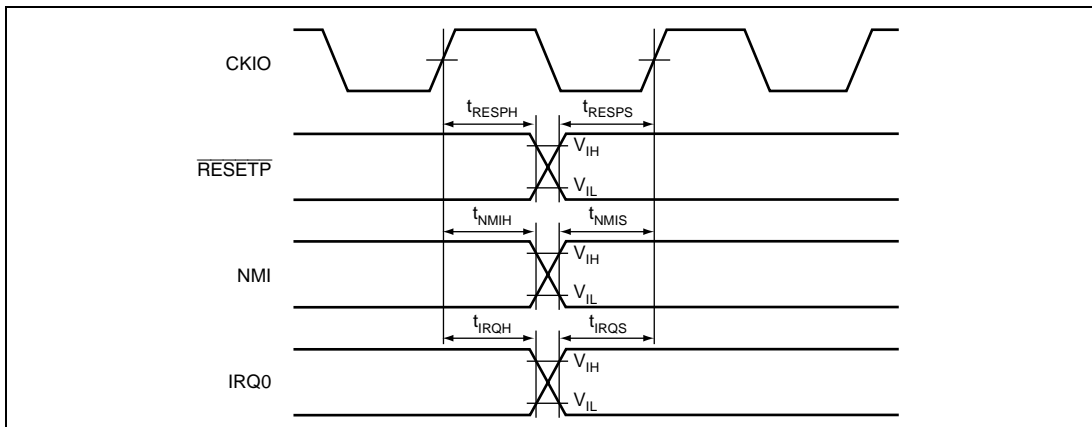


図 24.10 割り込み信号入力タイミング

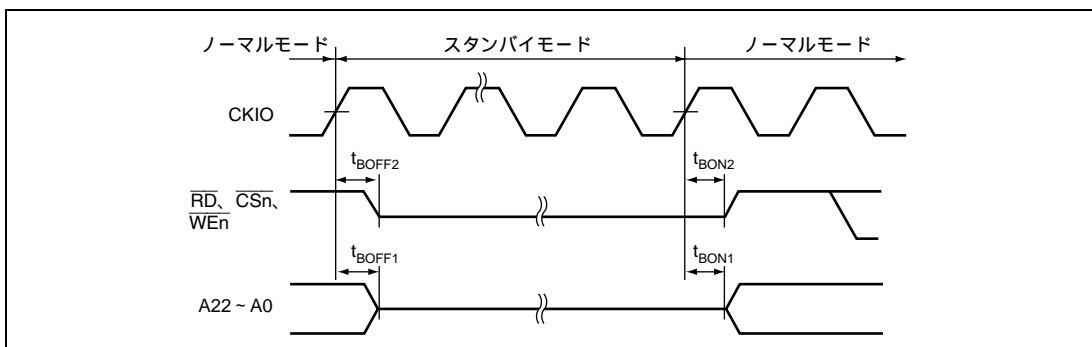


図 24.11 スタンバイ時の端子ドライブタイミング

24.3.3 AC バスタイミング仕様

表 24.7 バスタイミング

条件：クロックモード 5、 $V_{CC}=2.7\sim 3.6V$ 、 $V_{CC-28}=2.7\sim 3.0V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $T_a = -20\sim 75$

項目	記号	26MHz*		単位	参照図
		min	max		
アドレス遅延時間 1	t_{AD1}	-	17	ns	24.12 ~ 24.16
アドレス遅延時間 2	t_{AD2}	$1/2t_{cyc}$	$1/2t_{cyc}+17$	ns	24.16
アドレスセットアップ時間	t_{AS}	0	-	ns	24.12 ~ 24.15
アドレスホールド時間	t_{AH}	0	-	ns	24.12 ~ 24.15
\overline{CS} 遅延時間 1	t_{CSD1}	1	17	ns	24.12 ~ 24.16
リードストロブ時間	t_{RSD}	$1/2t_{cyc}$	$1/2t_{cyc}+18$	ns	24.12 ~ 24.16
リードデータセットアップ時間 1	t_{RDS1}	$1/2t_{cyc}+15$	-	ns	24.12 ~ 24.15
リードデータセットアップ時間 2	t_{RDS2}	$1/2t_{cyc}+15$	-	ns	24.16
リードデータホールド時間 1	t_{RDH1}	0	-	ns	24.12 ~ 24.15
リードデータホールド時間 2	t_{RDH2}	0	-	ns	24.16
ライトイネーブル遅延時間 1	t_{WED1}	$1/2t_{cyc}$	$1/2t_{cyc}+25$	ns	24.12 ~ 24.15
ライトイネーブル遅延時間 2	t_{WED2}	$1/2t_{cyc}$	$1/2t_{cyc}+25$	ns	24.16
ライトデータ遅延時間 1	t_{WDD1}	-	20	ns	24.12 ~ 24.15
ライトデータホールド時間 1	t_{WDH1}	2	-	ns	24.12 ~ 24.15
WAIT セットアップ時間	t_{WTS}	$1/2t_{cyc}+7$	-	ns	24.13 ~ 24.16
WAIT ホールド時間	t_{WTH}	$1/2t_{cyc}+4$	-	ns	24.13 ~ 24.16

【注】 * 外部バスクロックは 26MHz が上限です。

24.3.4 基本タイミング

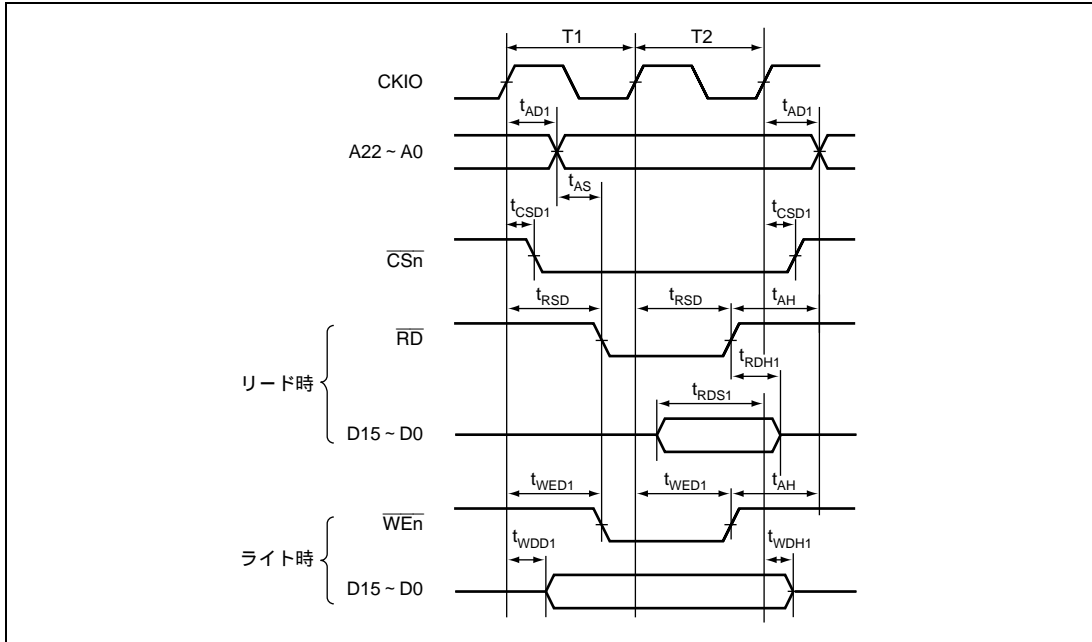


図 24.12 基本バスサイクル (ノーウェイト)

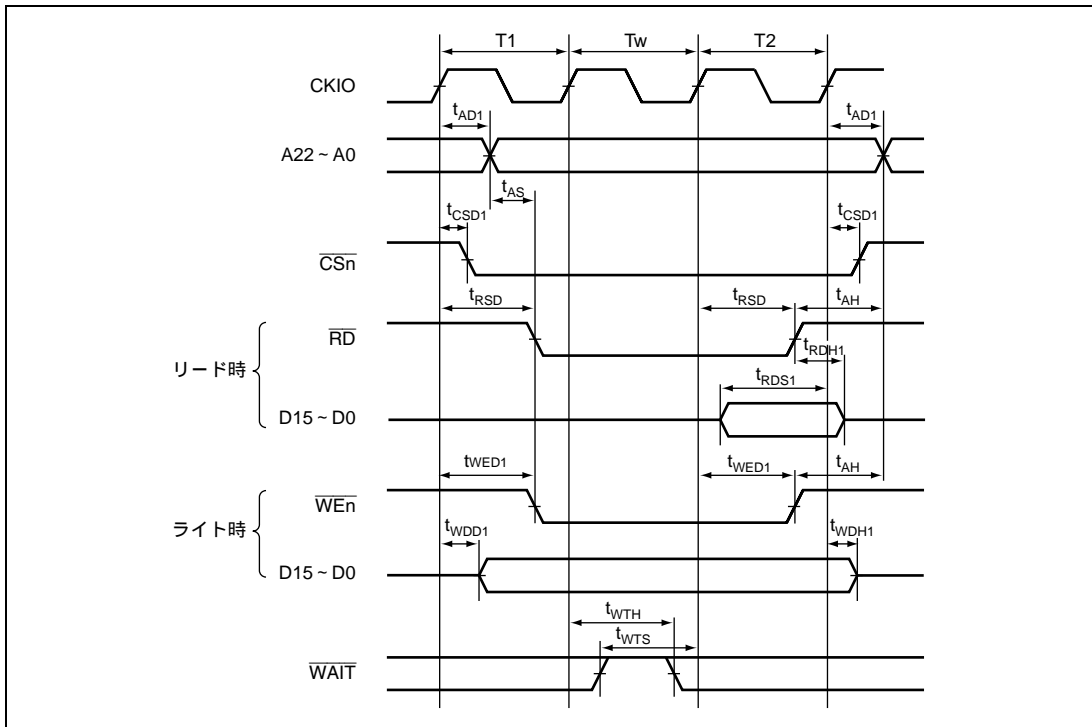


図 24.13 基本バスサイクル (ソフトウェアウェイト1)

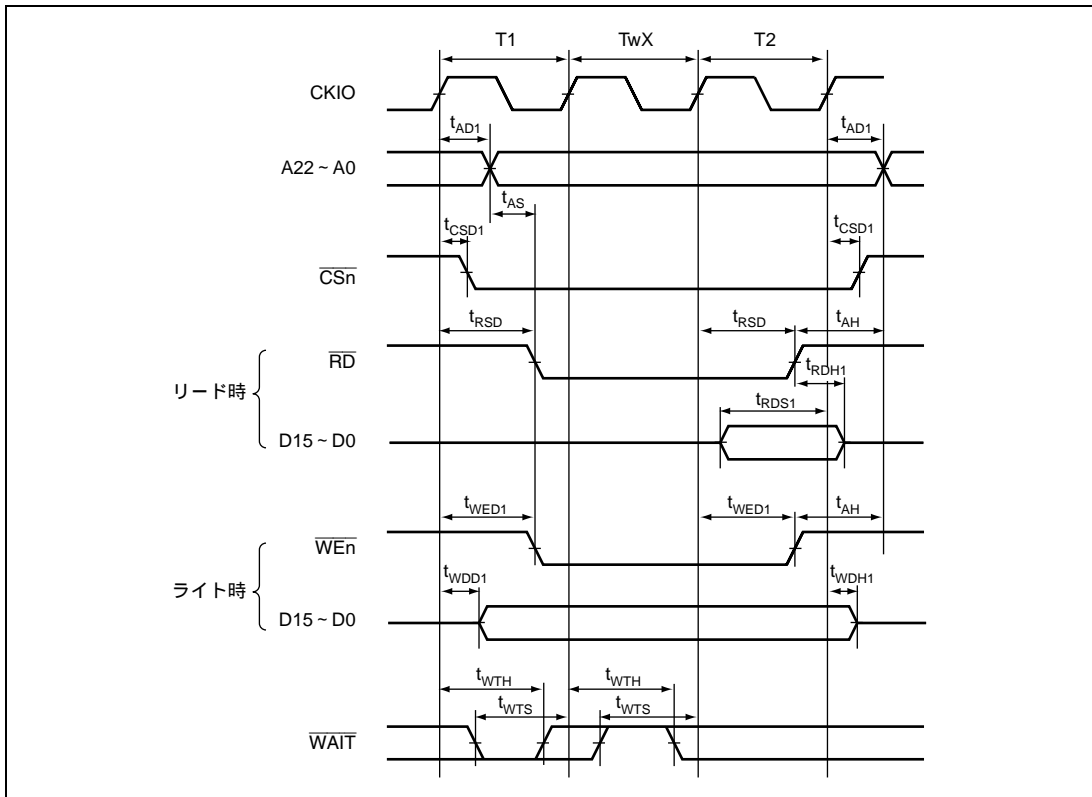


図 24.14 基本バスサイクル (外部ウェイト1挿入)

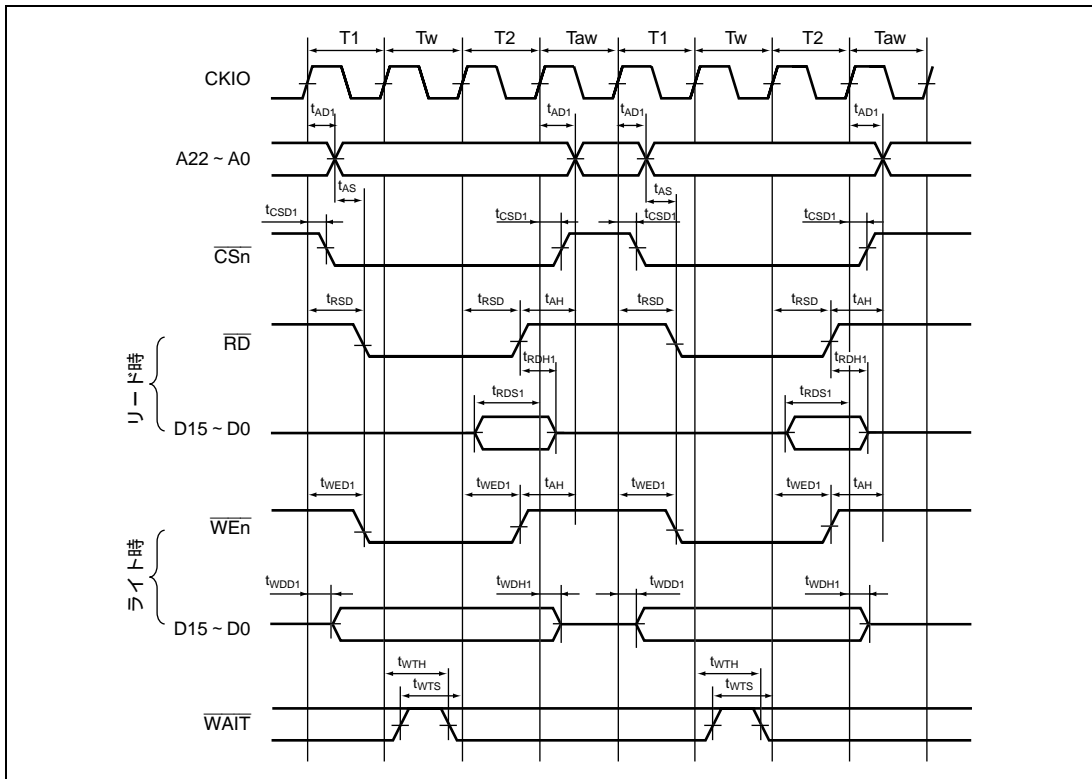


図 24.15 基本バスサイクル

(ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし設定)

24.3.5 バーストROM タイミング

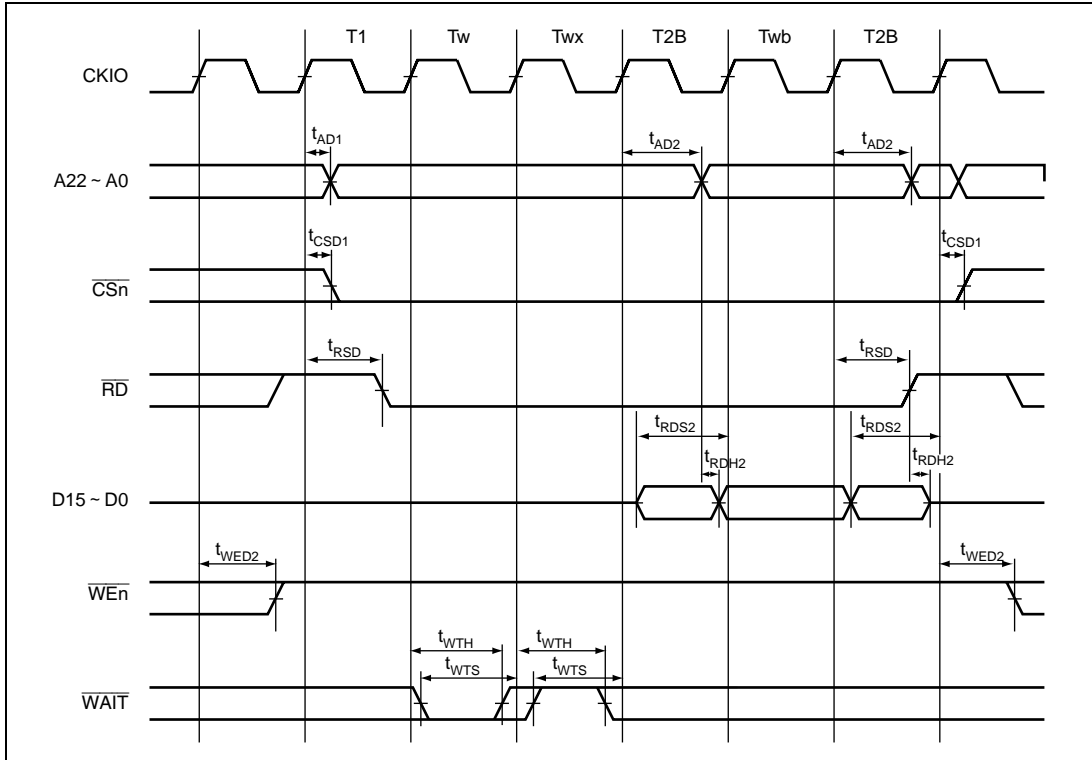


図 24.16 バーストROM 読み出しサイクル
 (1 アクセスウェイト、1 外部ウェイト、1 バーストウェイト、2 バースト)

24.3.6 周辺モジュール信号タイミング

表 24.8 周辺モジュール信号タイミング

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC_28} = 2.7 \sim 3.0V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $T_a = -20 \sim 75$

モジュール	項目	記号	min	max	単位	参照図
ポート	出力データ遅延時間	t_{PORTD}	-	17	ns	24.17
	入力データセットアップ時間	t_{PORTS}	17	-		
	入力データホールド時間	t_{PORTH}	10	-		

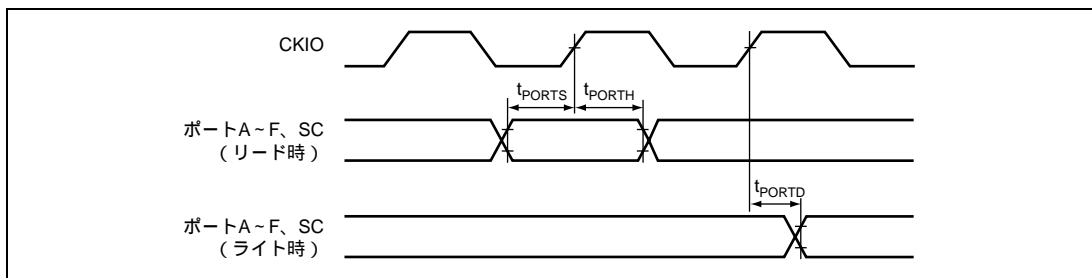


図 24.17 I/O ポートタイミング

24.3.7 SCIF モジュール信号タイミング

表 24.9 SCIF モジュール信号タイミング

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC_28} = 2.7 \sim 3.0V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	min	max	単位	参照図
SCIF 入力クロックサイクル	t_{SCYC}	$4 \times t_{PCYC}$	-	ns	24.18
SCIF 入力クロックハイレベル幅	t_{SCWH}	$0.4 \times t_{SCYC}$	-	ns	
SCIF 入力クロックローレベル幅	t_{SCWL}	$0.4 \times t_{SCYC}$	-	ns	

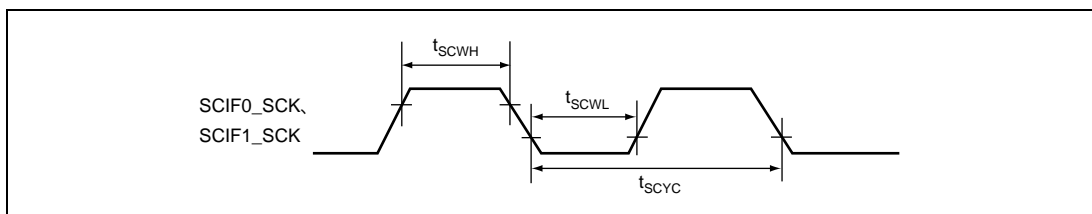
【注】 t_{PCYC} は p のこと

図 24.18 SCIF モジュール信号タイミング

24. 電気的特性

24.3.8 USB モジュール信号タイミング

表 24.10 USB モジュールクロックタイミング

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC-28} = 2.7 \sim 3.0V$ 、 $AV_{CC} (USB) = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	min	max	単位	参照図
クロック立ち上がり時間	t_{r48}	-	4	ns	24.19
クロック立ち下がり時間	t_{f48}	-	4	ns	
デューティー	t_{HIGH}/t_{LOW}	90	110	%	

表 24.11 USB モジュールクロックタイミング

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC-28} = 2.7 \sim 3.0V$ 、 $AV_{CC} (USB) = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	周波数	単位
周波数	$1/t_{FREQ}$	48.0 ($\pm 2500ppm$)	MHz

【注】 USB は内蔵通倍回路を使用しないで外部から UCLK 端子にクロック供給させて動作させる場合は、USB 規格に準拠するクロックを入力してください。

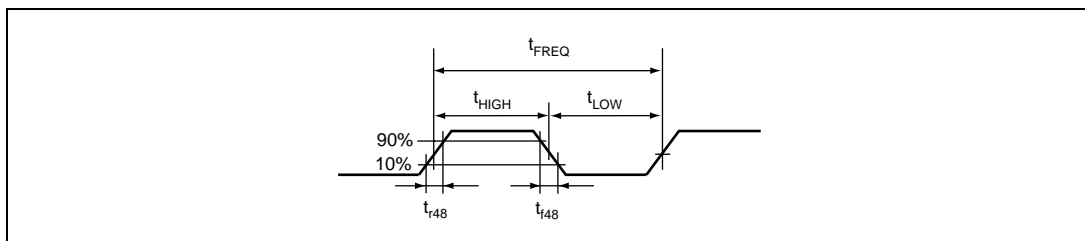


図 24.19 USB クロックタイミング

24.3.9 USB トランシーバタイミング

表 24.12 USB トランシーバタイミング

条件 : $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC_28} = 2.7 \sim 3.0V$ 、 $AV_{CC}(\text{USB}) = 3.0 \sim 3.6V$ 、 $T_a = -20 \sim 75$

項目	記号	min	typ	max	単位	測定条件
立ち上がり時間	t_r	4	-	20	ns	$C_L = 50pF$
立ち下がり時間	t_f	4	-	20	ns	$C_L = 50pF$
立ち上がり / 立ち下がり時間比	t_r/t_f	90	-	110	%	
出力信号クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	-
出力ドライバ抵抗*	Z_{DRU}	28	-	44		

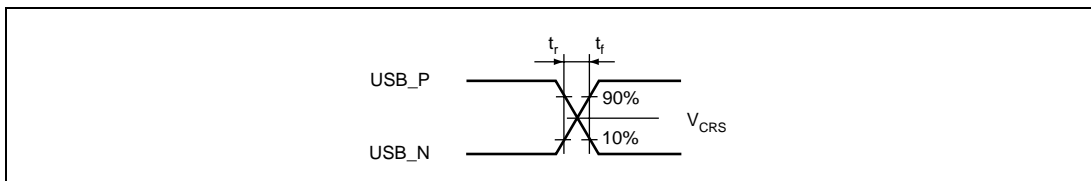
【注】 * 外付け直列抵抗 $R_S = 27 \pm 1\%$ を含みます。

図 24.20 USB トランシーバタイミング

• 測定回路

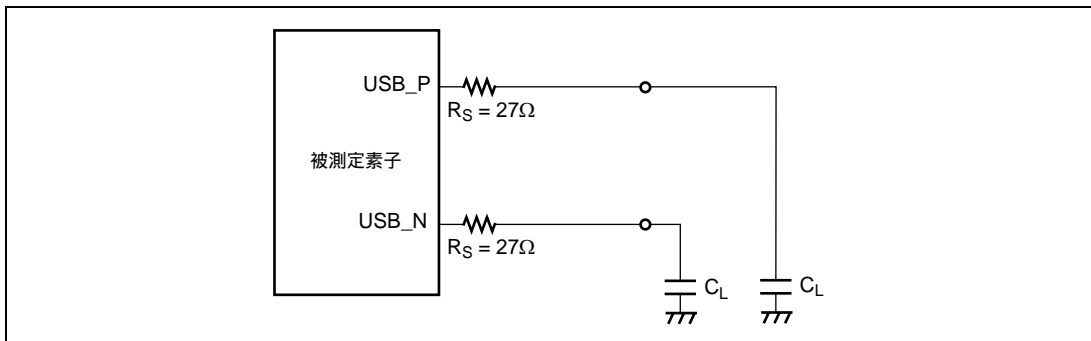


図 24.21 USB トランシーバ特性評価回路

24. 電気的特性

24.3.10 ブルートゥースインタフェース (BT) タイミング

表 24.13 ブルートゥースインタフェースモジュールクロックタイミング

条件: $V_{CC}=2.7\sim 3.6V$ 、 $V_{CC_28}=2.7\sim 3.0V$ 、 $T_a = -20\sim 75$

項目	記号	min	typ	max	単位	参照図
クロック立ち上がり時間	t_r	-	-	4	ns	24.22
クロック立ち下がり時間	t_f	-	-	4	ns	
デューティ	t_{HIGH}/t_{LOW}	90	100	110	%	

表 24.14 ブルートゥースインタフェースモジュールクロックタイミング

条件: $V_{CC}=2.7\sim 3.6V$ 、 $V_{CC_28}=2.7\sim 3.0V$ 、 $T_a = -20\sim 75$

項目	記号	周波数	単位	条件
周波数	$1/t_{FREQ}$	13.0 ($\pm 20ppm$)	MHz	弊社 RF-IC 接続時*1、*2
		8.0 ~ 13.0		Bluetooth 機能を使用しない場合 (本 LSI 単独使用時)*2

【注】 *1 接続可能な RF-IC は、HD157100NP、HD157102NP です。

*2 内蔵通信回路を使用して RDI_REFCLK_IN (13MHz) から USB クロックを生成し、USB を使用する場合には、クロック精度は USB 規格の値を保証できません。クロック精度を保証したい場合には、UCLK 端子から直接入力を使用してください。

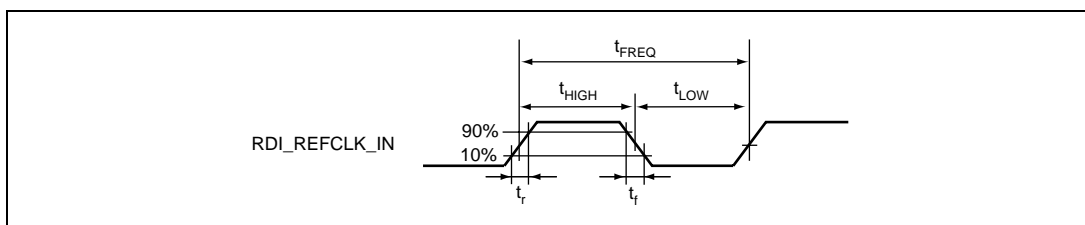


図 24.22 ブルートゥースインタフェースモジュールクロックタイミング

表 24.15 ブルートゥースインタフェースモジュールローパワークロックタイミング

条件: $V_{CC}=2.7\sim 3.6V$ 、 $V_{CC_28}=2.7\sim 3.0V$ 、 $T_a = -20\sim 75$

項目	記号	min	typ	max	単位	参照図
クロック立ち上がり時間	t_r	-	-	4	ns	24.23
クロック立ち下がり時間	t_f	-	-	4	ns	
デューティ	t_{HIGH}/t_{LOW}	90	100	110	%	

表 24.16 ブルートゥースインタフェースモジュールローパワークロックタイミング

条件: $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC_28} = 2.7 \sim 3.0V$ 、 $T_a = -20 \sim 75$

項目	記号	周波数	単位	条件
周波数	$1/t_{FREQ}$	32.0 (±250ppm)	kHz	周波数変換回路バイパス時
		32.768 (±250ppm)	kHz	周波数変換回路使用時 (ただし最大誤差は 30 μs 程度発生)

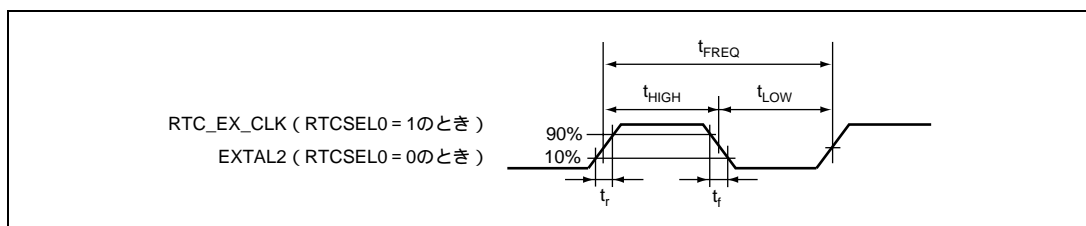


図 24.23 ブルートゥースインタフェースモジュールローパワークロックタイミング

表 24.17 ブルートゥースインタフェース (BT) Voice CODEC インタフェース信号のタイミング

条件: $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CC_28} = 2.7 \sim 3.0V$ 、 $T_a = -20 \sim 75$

項目	記号	min	typ	max	単位	参照図
VCI_SCO_CLK_OUT クロック出力周波数	f_{VCI_CLK}	0.2	-	1	MHz	24.24、24.25
VCI_SCO_SYNC_OUT 出力遅延時間	t_{SYNCD}	-	-	200	ns	24.24、24.25
VCI_SCO_RX 出力遅延時間	t_{RXD}	-	-	200	ns	24.24、24.25
VCI_SCO_TX セットアップ時間	t_{TXS}	100	-	-	ns	24.24、24.25
VCI_SCO_TX ホールド時間	t_{TXH}	100	-	-	ns	24.24、24.25
VCI_HWC 出力遅延時間*	T_{HWCD}	-	-	200	ns	24.24

【注】 * 外付け Voice CODEC IC として STLC7550 を接続する場合。

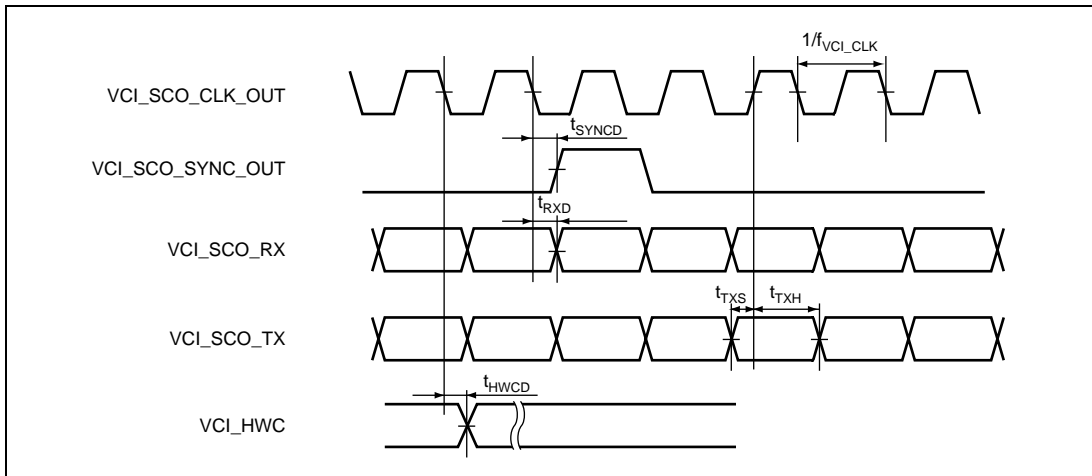


図 24.24 ブルートゥースインタフェース (BT)
Voice CODEC (STLC7550) インタフェース信号のタイミング

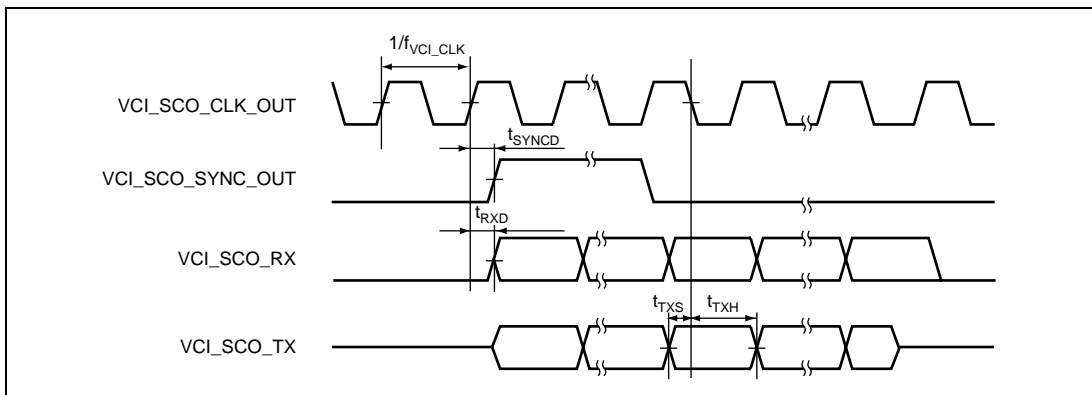


図 24.25 ブルートゥースインタフェース (BT)
Voice CODEC (MC145483) インタフェース信号のタイミング

表 24.18 ブルートゥースインタフェース (BT) RF 用 SPI インタフェース信号のタイミング

条件: $V_{CC} = 2.7 \sim 3.6V$, $V_{CC_28} = 2.7 \sim 3.0V$, $T_a = 20 \sim 75$

項目	記号	min	typ	max	単位	参照図
RCL_SPI_CLK クロック出力周波数 (弊社 RF-IC 接続時)	f_{SPI_CLK}	-	6.5	-	MHz	24.26
RCL_SPI_CLK duty		45	50	55	%	24.26
RCL_SPI_TXRX 出力遅延時間	t_{DELAY}	-	-	30	ns	24.26
RCL_SPI_TXRX セットアップ時間	t_{SETUP}	40	-	-	ns	24.26
RCL_SPI_TXRX ホールド時間	t_{HOLD}	45	-	-	ns	24.26

【注】接続可能な RF-IC は、HD157100NP、HD157102NP です。

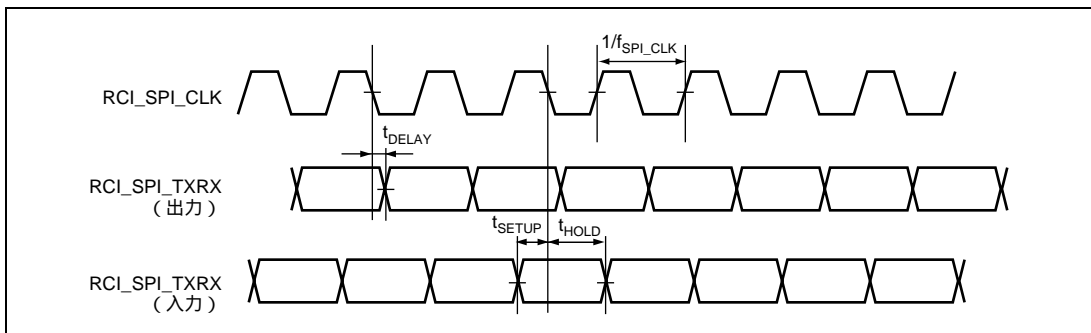


図 24.26 ブルートゥースインタフェース (BT) RF 用 SPI インタフェース信号のタイミング

表 24.19 受信データタイミング

条件: $V_{CC} = 2.7 \sim 3.6V$, $V_{CC_28} = 2.7 \sim 3.0V$, $T_a = 20 \sim 75$

項目	記号	min	typ	max	単位	参照図
RDL_TXTRDATA	$t_{TXTRDATA}$	0.7	1	1.3	μs	24.27

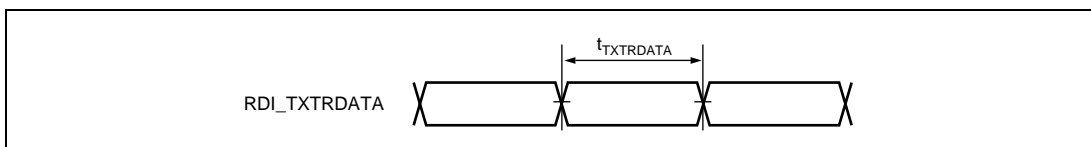


図 24.27 ブルートゥースインタフェース (BT) 受信データタイミング

24. 電気的特性

24.3.11 AC 特性測定条件

- 入出力信号参照レベル：1.5V ($V_{cc} = 2.7 \sim 3.6V$ 、 $V_{cc_28} = 2.7 \sim 3.0V$)
- 入力パルスレベル： $V_{ss} \sim 3.3V$ (ただし、 \overline{RESETP} 、 $RDL_TXTRDATA$ 、 RDI_REFCLK_IN 、 RCL_SPI_TXRX は $V_{ss} \sim 2.8V$)
- 入力立ち上がり、立ち下がり時間：1ns

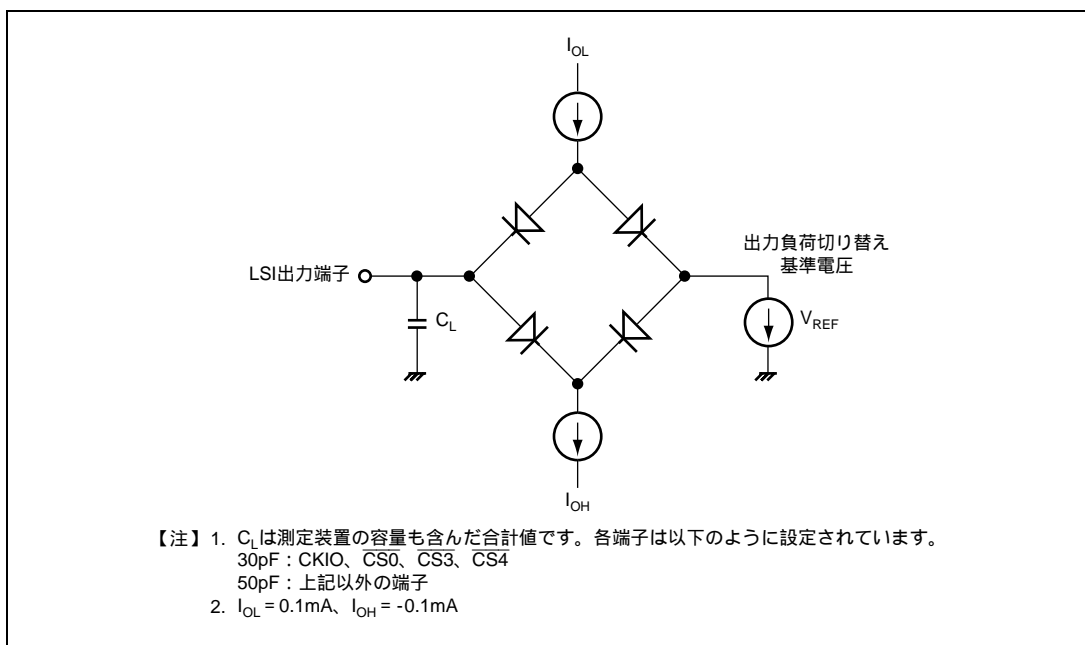


図 24.28 出力負荷回路

24.4 D/A 変換器特性

D/A 変換器特性を表 24.20 に示します。

表 24.20 D/A 変換器特性

条件： $V_{cc} = 2.7V \sim 3.6V$ 、 $V_{cc_28} = 2.7 \sim 3.0V$ 、 $AV_{cc} = 2.7V \sim 3.6V$ 、 $T_a = 20 \sim 75$

項目	min	typ	max	単位
分解能	8	8	8	bits
変換時間 (20pF 容量負荷)	-	-	10	μs
絶対精度 (2M 抵抗負荷)	-	-	± 4.0	LSB

付録

A. 端子状態表

本 LSI の各端子の状態は、動作モード（リセット、低消費電力モード）により下表のようになります。表中の記号の意味は、次の通りです。

【記号説明】

- O: 出力
- I: 入力
- IP: 入力（プルアップ MOS オン）
- H: ハイレベル出力
- L: ローレベル出力
- Z: ハイインピーダンス（入力/出力バッファオフ）
- Z1: ハイインピーダンス（入力/出力バッファオフ・プルアップ MOS オフ）
- Z2: ハイインピーダンス（出力バッファオフ）
- P: レジスタ設定によって「I」か「O」が「IP」になります。
- K: 入力端子はオフ、出力端子は状態の保持
- V: 入力/出力バッファオフ・プルアップ MOS オン

表 A.1 端子状態

分類	端子名	リセット		低消費電力モード			
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ	
クロック	EXTAL	I	I	I	I		
	CKIO	O	O	Z、O ^{*1}	O		
動作モード コントロール	MD5、MD0	I	I	I	I		
システム制御	RESETP	I	I	I	I		
	BOOT_E	IP	IP	IP	IP		
割り込み	NMI	I	I	I	I		
	IRQ0	Z	I	I	I		
アドレスバス	A22～A19	O	O	Z、O ^{*2}	O		
	A18～A0	O	O	Z、O ^{*2}	O		

付録

分類	端子名	リセット		低消費電力モード		
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
データバス	D15~D0	Z	Z	Z	Z*3、I、O	
バス制御	CS0、CS3、CS4	H	O	Z、O*2	O	
	\overline{RD}	O	O	Z、O*2	O	
	WE1	O	O	Z、O*2	O	
	WE0	O	O	Z、O*2	O	
	WAIT	IP	IP	IP	IP	
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF0、1)	SCIF0_TXD、SCIF1_TXD	Z*4	Z、O*5	Z	Z、O*5	
	SCIF0_RXD、SCIF1_RXD	Z1*4	Z、I*6	Z	Z、I*6	
	SCIF0_SCK	Z1*4	I	Z	I	
	SCIF1_SCK	V*4	I	Z	I	
	SCIF0_RTS	Z1*4	O	Z	O	
	SCIF0_CTS	Z1*4	I	Z	I	
USB	UCLK	Z	Z、I*7	Z、I*7	Z、I*7	
	USB_PULLUP	O	O	O	O	
	USB_VBUS	I	I	I	I	
	USB_N	Z	I、O	Z	I、O	
	USB_P	Z	I、O	Z	I、O	

分類	端子名	リセット		低消費電力モード		
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
ブルートゥース インタフェース (BT)	RDI_TXTRDATA	O	I, O	I, O	I, O	
	RDI_RXBDW_OUT	O	O	O	O	
	RDI_REFCLK_IN	I	I	I	I	
	RDI_CTRL2	V	O	O	O	
	RDI_CTRL3	O	O	O	O	
	RDI_CTRL4	O	O	O	O	
	RCI_SPI_CLK	O	O	O	O	
	RCI_SPI_TXRX	O	I, O	I, O	I, O	
	RCI_SPI_ENB	O	O	O	O	
	VCI_SCO_CLK_OUT	V* ⁴	O	O	O	
	VCI_SCO_SYNC_OUT	V* ⁴	O	O	O	
	VCI_SCO_TX	V* ⁴	I	I	I	
	VCI_SCO_RX	V* ⁴	O	O	O	
	VCI_HWC	V* ⁴	O	O	O	
	VCI_CODEC_PWRDWN	V* ⁴	O	O	O	
	RTCSEL0	I	I	I	I	
	RTC_EX_CLK	I, Z* ⁸	I, Z* ⁸	I, Z* ⁸	I, Z* ⁸	
	EXTAL2	I, Z* ⁹	I, Z* ⁹	I, Z* ⁹	I, Z* ⁹	
	XTAL2	H, O* ¹⁰	H, O* ¹⁰	H, O* ¹⁰	H, O* ¹⁰	
D/A 変換器 (DAC)	DA1, DA0	Z2	Z2, O* ¹¹	Z2, O* ¹¹	Z2, O* ¹¹	
I/O ポート	PTA0	Z1	P	K, V* ¹⁴	P	
	PTA1	V	P	K, V* ¹⁴	P	
	PTB0* ¹²	H* ¹²	P	K, V* ¹⁴	P	
	PTC1~PTC0* ¹²	O* ¹²	P	K, V* ¹⁴	P	
	PTD1~PTD0* ¹²	O* ¹²	P	K, V* ¹⁴	P	
	PTE5~PTE0	V	P	K, V* ¹⁴	P	
	PTF3~PTF0	V	P	K, V* ¹⁴	P	
	SCPT3i	Z1	I, Z1, IP* ¹³	V, Z1	I, Z1, IP* ¹³	
	SCPT3o	Z	O, Z* ¹³	K	O, Z* ¹³	
	SCPT2~SCPT1	Z1	P	K, V* ¹⁴	P	
	SCPT0i	Z1	I, Z1, IP* ¹³	V, Z1	I, Z1, IP* ¹³	
	SCPT0o	Z	O, Z* ¹³	K	O, Z* ¹³	

分類	端子名	リセット		低消費電力モード		
		パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
ユーザデバッグ インタフェース (H-UDI)	TCK	IP	IP	IP	IP	
	TMS	IP	IP	IP	IP	
	TDI	IP	IP	IP	IP	
	TDO	Z2	Z2、O ^{*15}	Z2、O ^{*15}	Z2、O ^{*15}	
	TRST	IP	IP	IP	IP	
アドバンスト ユーザデバッグ (AUD)	AUDATA3~AUDATA0	O	O	O	O	
	AUDCK	O	O	O	O	
	AUDSYN \bar{C}	H	O	O	O	
E10A インタフェース	ASEBRKAK	O	O	O	O	
	ASEMD \bar{O}	I	I	I	I	

- 【注】 *1 ソフトウェアスタンバイモード時、BSC と CPG 内レジスタ設定に従って「Z」もしくは「O」になります。
- *2 ソフトウェアスタンバイモード時、BSC 内のレジスタ設定に従って「Z」もしくは「O」になります。
- *3 外バスアクセス時以外は「Z」になります。
- *4 PORT 機能とマルチプレクスされており、パワーオンリセットで PORT 機能の端子の状態になります。詳しくは表 17.1 を参照してください。
- *5 SCIF0/SCIF1 内のレジスタ設定により「O」もしくは「Z」になります。
- *6 SCIF0/SCIF1 内のレジスタ設定により「I」もしくは「Z」になります。
- *7 USBPM 内のレジスタ設定により「I」もしくは「Z」になります。
- *8 RTCSEL0 が Low の時「Z」に、High の時「I」になります。
- *9 RTCSEL0 が Low の時「I」に、High の時「Z」になります。
- *10 RTCSEL0 が Low の時「O」に、High の時「H」になります。
- *11 DAC 内のレジスタ設定により「O」もしくは「Z2」になります。
- *12 BSC 機能とマルチプレクスされており、パワーオンリセットでバス制御機能の端子の状態になります。詳しくは表 17.1 を参照してください。
- *13 SCSCR_0、SCSCR_1 と SCPCR レジスタの設定により、I、Z1、IP または、O、Z の状態になります。
- *14 PFC 内のレジスタ設定により「K」もしくは「V」になります。
- *15 H-UDI 内のレジスタ設定により「O」もしくは「Z2」になります。

B. 外形寸法図

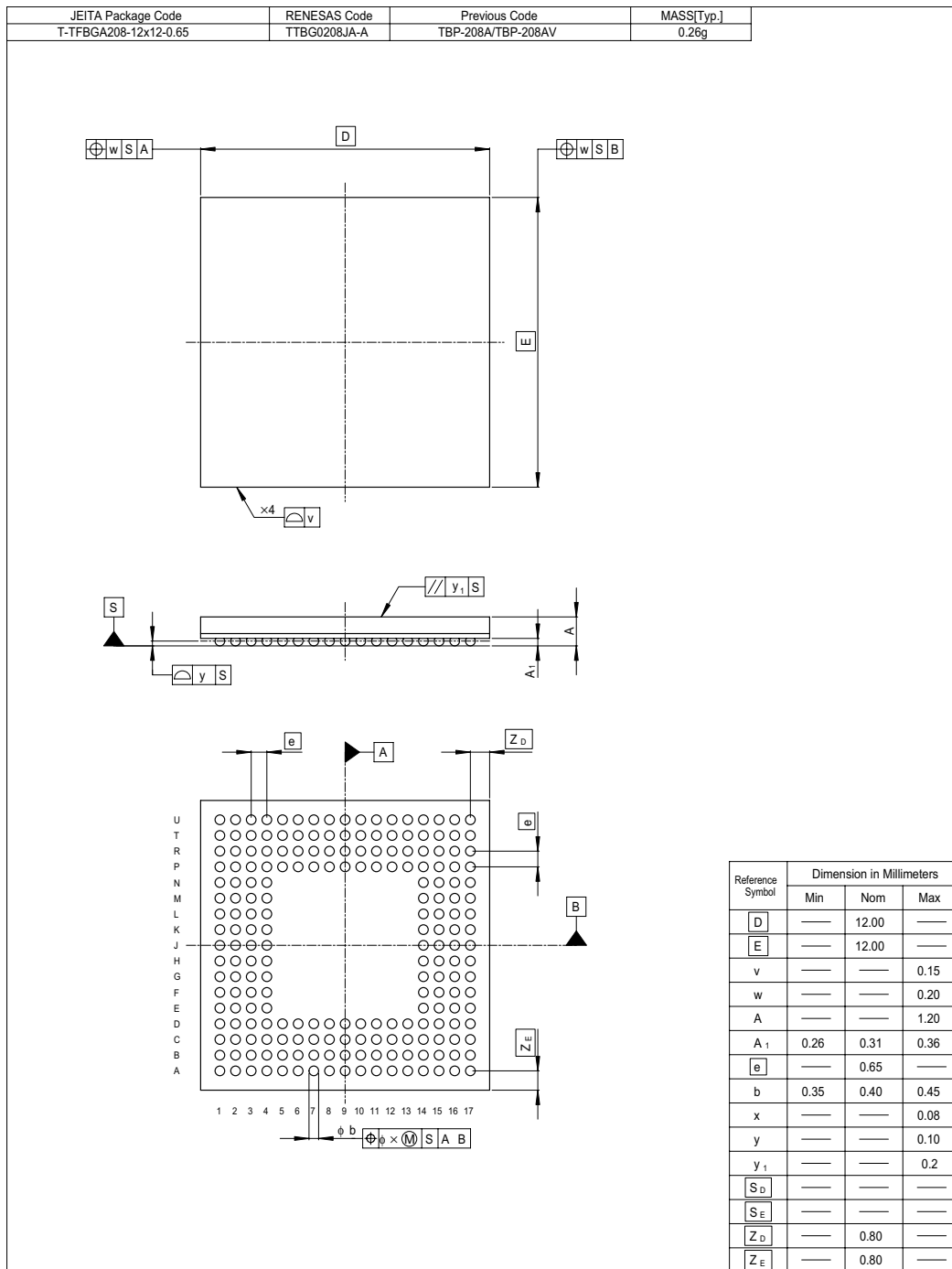


図 B.1 TBP-208AV 外形寸法図

索引

16 ビットと 32 ビットディスプレイースメント	2-18	インターバルタイマモード	10-8
AUD	22-1	インタラプトイン転送	16-42
CPU	2-1	ウォッチドッグタイマ	10-1
D/A 変換器 (DAC)	14-1	ウォッチドッグタイマモード	10-7
D+のプルアップ制御	15-8	オートリクエストモード	8-14
FIFO 内蔵シリアルコミュニケーション	13-1	オートリロードカウンタ動作	12-7
I/O ポート	18-1	外部アドレス空間	2-6
Iバスデータアクセスサイクル	21-21	キャッシュ	3-1
JTAG	22-1	グローバルベースレジスタ	2-13
LRU	3-2	クロックパルス発振器 (CPG)	9-1
Lバスデータアクセスサイクル	21-21	クロック周波数制御回路	9-3
Lバス命令フェッチサイクル	21-18	固定モード	8-15
P0 領域	2-4	コントロールレジスタ	2-7, 2-11
P1 領域	2-4	コントロール転送	16-36
P2 領域	2-4	サイクルスチールモード	8-20
P3 領域	2-4	システムレジスタ	2-7, 2-10
P4 領域	2-4	実効アドレス	2-19
PLL 回路 1	9-3	周波数制御レジスタ	9-3
PLL 回路 2	9-3	受信マージン	13-35
RWTCNT	7-17	処理モード	2-2
TAP コントローラ	22-5	スタンバイコントロールレジスタ	9-3
T ビット	2-17	スタンバイ制御回路	9-3
U0 領域	2-4	ステータスレジスタ	2-7, 2-11
USB ケーブル接続 / 切断の検出	15-8	ストール動作	16-50
USB ピンマルチプレクスコントローラ (USBPM)	15-1	積和レジスタ	2-10
USB ファンクションコントローラ (USBF)	16-1	絶対アドレス	2-18
USB 標準コマンド	16-49	ソフトウェアスタンバイ解除	10-6
Uxy 領域	2-5	退避プログラムカウンタ	2-13
U メモリ	4-1	タイマユニット (TMU)	12-1
アイソクロナスイン転送	16-45	ダイレクトメモリアクセスコントローラ (DMAC)	8-1
アドレスアレイ	3-2, 3-10	遅延分岐	2-17
アドレスアレイライト (連想あり)	3-11	調歩同期式モード	13-22
アドレスアレイライト (連想なし)	3-10	低消費電力状態	2-1
アドレスアレイリード	3-10	低消費電力モード	11-1
アドレスモード	8-18	データアクセスサイクルアドレス	21-15
アドレッシングモード	2-19	データアレイ	3-2, 3-11
一般例外	5-9	データアレイライト	3-12

データアレイリード	3-11	BARB	21-5, 23-6, 23-18, 23-24
特権モード	2-2	BBRA	21-4, 23-7, 23-19, 23-24
内蔵周辺モジュールリクエストモード	8-14	BBRB	21-7, 23-6, 23-18, 23-24
バーストモード	8-21	BDMRB	21-6, 23-6, 23-18, 23-24
バスステートコントローラ (BSC)	7-1	BDRB	21-6, 23-6, 23-18, 23-24
バスモード	8-20	BETR	21-10, 23-6, 23-18, 23-24
バルクアウト転送	16-44	BRCR	21-8, 23-6, 23-18, 23-24
バルクイン転送	16-43	BRDR	21-12, 23-7, 23-19, 23-24
汎用レジスタ	2-7, 2-9	BRSR	21-12, 23-6, 23-18, 23-24
ビッグエンディアン	2-15, 7-18, 20-6	CCR1	3-3, 23-2, 23-8, 23-20
ピンファンクションコントローラ (PFC)	17-1	CCR2	3-4, 23-2, 23-8, 23-20
ブート機能 (BOOT)	20-1	CHCR	8-5, 23-3, 23-11, 23-21
物理アドレス空間	2-5	CMNCR	7-7, 23-3, 23-9, 23-20
プリフェッチヒット	3-8	CSnBCR	7-8, 23-3, 23-9, 23-20
プリフェッチミス	3-8	CSnWCR	7-11, 23-3, 23-10, 23-20
ブルートゥースインタフェース (BT)	19-1	CTLR	16-27, 23-6, 23-17, 23-23
プログラムカウンタ	2-7, 2-10	CVR	16-26, 23-6, 23-17, 23-23
プロシジャーレジスタ	2-10	DACR	14-3, 23-5, 23-16, 23-22
分周器 1	9-3	DADR	14-2, 23-5, 23-16, 23-22
ベクタベースレジスタ	2-13	DAR	8-4, 23-3, 23-11, 23-21
マニュアルリセット	5-8	DASTS	16-22, 23-6, 23-17, 23-23
命令形式	2-22	DMA	16-24, 23-6, 23-17, 23-23
ユーザデバッグインタフェース (H-UDI)	22-1	DMAOR	8-8, 23-3, 23-13, 23-21
ユーザブレイクコントローラ (UBC)	21-1	DMARS	8-10, 23-3, 23-13, 23-21
ユーザモード	2-2	DMATCR	8-5, 23-3, 23-11, 23-21
ライトヒット	3-8	EPDR0i	16-17, 23-5, 23-16, 23-23
ライトミス	3-9	EPDR0o	16-17, 23-5, 23-16, 23-23
ラウンドロビンモード	8-15	EPDR0s	16-17, 23-5, 23-16, 23-23
リードヒット	3-8	EPDR1	16-18, 23-5, 23-16, 23-23
リードミス	3-8	EPDR2i	16-18, 23-5, 23-16, 23-23
リセット	5-8	EPDR2o	16-18, 23-5, 23-16, 23-23
リセット状態	2-1	EPDR3i	16-19, 23-5, 23-16, 23-23
リテラル定数	2-18	EPDR3o	16-19, 23-5, 23-16, 23-23
リトルエンディアン	2-16, 7-18	EPDR4	16-19, 23-5, 23-16, 23-23
例外コード	5-5	EPDR5	16-20, 23-5, 23-16, 23-23
例外処理	5-1	EPDR6	16-20, 23-5, 23-16, 23-23
例外処理状態	2-1	EPIRn	16-28, 23-6, 23-17, 23-23
例外処理ベクタアドレス	5-5	EPSTL	16-25, 23-6, 23-17, 23-23
レジスタ		EPSZ0o	16-20, 23-5, 23-16, 23-23
BAMRA	21-4, 23-7, 23-19, 23-24	EPSZ2o	16-20, 23-5, 23-16, 23-23
BAMRB	21-5, 23-6, 23-18, 23-24	EPSZ3o	16-21, 23-5, 23-16, 23-23
BARA	21-3, 23-6, 23-19, 23-24	EPSZ6	16-21, 23-5, 23-17, 23-23

EXCPGCR.....	15-4, 23-5, 23-16, 23-22
EXPEVT	5-2, 23-2, 23-8, 23-20
FCLR	16-23, 23-6, 23-17, 23-23
FRQCR.....	9-5, 23-4, 23-14, 23-21
HIZCRA	17-10, 23-6, 23-17, 23-24
ICR	6-5, 23-2, 23-9, 23-20
IER0.....	16-14, 23-5, 23-16, 23-23
IFR0.....	16-5, 23-5, 23-16, 23-23
IMCR	6-8, 23-2, 23-9, 23-20
IMR	6-7, 23-2, 23-9, 23-20
INTEVT2.....	5-3, 23-2, 23-8, 23-20
IPR.....	6-4, 23-2, 23-8, 23-20
IRR0	6-7, 23-2, 23-9, 23-20
ISR0.....	16-11, 23-5, 23-16, 23-23
PACR.....	17-2, 23-6, 23-17, 23-24
PADR.....	18-2, 23-6, 23-17, 23-24
PBCR.....	17-3, 23-6, 23-17, 23-24
PBDR.....	18-3, 23-6, 23-17, 23-24
PCCR	17-3, 23-6, 23-17, 23-24
PCDR	18-4, 23-6, 23-18, 23-24
PDCR	17-4, 23-6, 23-17, 23-24
PDDR	18-6, 23-6, 23-18, 23-24
PECR.....	17-4, 23-6, 23-17, 23-24
PEDR.....	18-7, 23-6, 23-18, 23-24
PFCR.....	17-6, 23-6, 23-17, 23-24
PFDR.....	18-9, 23-6, 23-18, 23-24
PSELA.....	17-9, 23-6, 23-17, 23-24
SAR	8-4, 23-3, 23-10, 23-21
SCBRR.....	13-17, 23-4, 23-15, 23-22
SCFCR	13-19, 23-4, 23-15, 23-22
SCFDR	13-21, 23-4, 23-15, 23-22
SCFER	13-11, 23-4, 23-15, 23-22
SCFRDR	13-5, 23-4, 23-15, 23-22
SCFTDR.....	13-5, 23-4, 23-15, 23-22
SCPCR.....	17-7, 23-6, 23-17, 23-24
SCPDR.....	18-10, 23-6, 23-18, 23-24
SCRSR.....	13-4
SCSCR.....	13-8, 23-4, 23-15, 23-22
SCSMR	13-6, 23-4, 23-15, 23-22
SCSSR	13-12, 23-4, 23-15, 23-22
SCTDSR.....	13-21, 23-4, 23-15, 23-22
SCTSR	13-5
SDBPR.....	22-3
SDBSR.....	22-4
SDID.....	22-4, 23-7, 23-19, 23-24
SDIR.....	22-3, 23-7, 23-19, 23-24
STBCR	11-3, 23-4, 23-14, 23-21
TCNT.....	12-5, 23-4, 23-14, 23-22
TCOR	12-5, 23-4, 23-14, 23-22
TCR	12-4, 23-4, 23-14, 23-22
TEA	5-3, 23-2, 23-8, 23-20
TRA	5-2, 23-2, 23-8, 23-20
TRG.....	16-21, 23-5, 23-17, 23-23
TSR	16-26, 23-6, 23-17, 23-23
TSTR	12-4, 23-4, 23-14, 23-22
WTCNT	10-3, 23-4, 23-14, 23-21
WTCSR	10-3, 23-4, 23-14, 23-21
ロードストアアーキテクチャ	2-17
論理アドレス空間.....	2-3
割り込みコントローラ (INTC)	6-1
割り込み要因	6-10

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7630

発行年月日 2004年2月19日 Rev.1.00

2005年3月7日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	店	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	社	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	店	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	支	部	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
浜	支	店	〒430-7710	浜松市板屋町111-2 (浜松アクトタワー10F)	(053) 451-2131
西	支	部	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	店	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com

SH7630
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0125-0200