

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7618 グループ

ハードウェアマニュアル

ルネサス32ビットRISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7618 シリーズ

SH7618
SH7618A

HD6417618
HD6417618A

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上で
ご確認ください。

11. 索引

はじめに

SH7618 グループは、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

対象者 このマニュアルは、SH7618、SH7618A を用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7618、SH7618A のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。
なお、実行命令の詳細については、「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき。

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第20章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

- SH7618グループに関するユーザーズマニュアル

| 資料名 | 資料番号 |
|------------------------------|------------|
| SH7618 グループ ハードウェアマニュアル | 本マニュアル |
| SH-1/SH-2/SH-DSP ソフトウェアマニュアル | RJJ09B0228 |

- 開発ツール関連ユーザーズマニュアル

| 資料名 | 資料番号 |
|---|------------|
| SuperH RISC engine C/C++コンパイラ、アセンブラ、最適化リンケージエディタ V.9.00 ユーザーズマニュアル | RJJ10B0156 |
| SuperH RISC engine High-performance Embedded Workshop3 ユーザーズマニュアル | RJJ10B0028 |
| SuperH RISC engine High-Performance Embedded Workshop3 チュートリアル | RJJ10B0026 |

- アプリケーションノート

| 資料名 | 資料番号 |
|---|------------|
| SuperH RISC engine C/C++コンパイラパッケージアプリケーションノート | RJJ05B0557 |

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

| | |
|-----------------------------|------|
| 1. 概要 | 1-1 |
| 1.1 特長 | 1-2 |
| 1.2 ブロック図 | 1-5 |
| 1.3 ピン配置図 | 1-6 |
| 1.4 端子機能 | 1-7 |
| 2. CPU | 2-1 |
| 2.1 特長 | 2-1 |
| 2.2 レジスタの構成 | 2-1 |
| 2.2.1 汎用レジスタ (Rn) | 2-3 |
| 2.2.2 コントロールレジスタ | 2-3 |
| 2.2.3 システムレジスタ | 2-4 |
| 2.2.4 レジスタの初期値 | 2-4 |
| 2.3 データ形式 | 2-5 |
| 2.3.1 レジスタのデータ形式 | 2-5 |
| 2.3.2 メモリのデータ形式 | 2-5 |
| 2.3.3 イミディエイトデータのデータ形式 | 2-5 |
| 2.4 命令の特長 | 2-6 |
| 2.4.1 RISC 方式 | 2-6 |
| 2.4.2 アドレッシングモード | 2-8 |
| 2.4.3 命令形式 | 2-11 |
| 2.5 命令セット | 2-14 |
| 2.5.1 分類順命令セット | 2-14 |
| 2.6 処理状態 | 2-23 |
| 2.6.1 状態遷移 | 2-23 |
| 3. キャッシュ | 3-1 |
| 3.1 特長 | 3-1 |
| 3.1.1 キャッシュの構成 | 3-1 |
| 3.1.2 部分空間とキャッシュの関係 | 3-3 |
| 3.2 レジスタの説明 | 3-3 |
| 3.2.1 キャッシュ制御レジスタ 1 (CCR1) | 3-3 |
| 3.2.2 キャッシュ制御レジスタ 3 (CCR3) | 3-4 |
| 3.3 動作説明 | 3-5 |

| | | |
|-------|--------------------------|------|
| 3.3.1 | キャッシュの検索..... | 3-5 |
| 3.3.2 | リード動作..... | 3-6 |
| 3.3.3 | ライト動作..... | 3-6 |
| 3.3.4 | ライトバックバッファ..... | 3-7 |
| 3.3.5 | キャッシュと外部メモリとのコヒーレンシ..... | 3-7 |
| 3.4 | メモリ割り付けキャッシュの構成..... | 3-7 |
| 3.4.1 | アドレスアレイ..... | 3-7 |
| 3.4.2 | データアレイ..... | 3-8 |
| 3.4.3 | 使用例..... | 3-10 |
| 4. | Uメモリ..... | 4-1 |
| 4.1 | 特長..... | 4-1 |
| 4.2 | 使用上の注意事項..... | 4-1 |
| 5. | 例外処理..... | 5-1 |
| 5.1 | 概要..... | 5-1 |
| 5.1.1 | 例外処理の種類と優先順位..... | 5-1 |
| 5.1.2 | 例外処理の動作..... | 5-2 |
| 5.1.3 | 例外処理ベクタテーブル..... | 5-3 |
| 5.2 | リセット..... | 5-5 |
| 5.2.1 | リセットの種類..... | 5-5 |
| 5.2.2 | パワーオンリセット..... | 5-5 |
| 5.2.3 | H-UDI リセット..... | 5-6 |
| 5.3 | アドレスエラー..... | 5-7 |
| 5.3.1 | アドレスエラー発生要因..... | 5-7 |
| 5.3.2 | アドレスエラー例外処理..... | 5-7 |
| 5.4 | 割り込み..... | 5-8 |
| 5.4.1 | 割り込み要因..... | 5-8 |
| 5.4.2 | 割り込み優先順位..... | 5-8 |
| 5.4.3 | 割り込み例外処理..... | 5-9 |
| 5.5 | 命令による例外..... | 5-9 |
| 5.5.1 | 命令による例外の種類..... | 5-9 |
| 5.5.2 | トラップ命令..... | 5-10 |
| 5.5.3 | スロット不当命令..... | 5-10 |
| 5.5.4 | 一般不当命令..... | 5-10 |
| 5.6 | 例外要因の受け付け..... | 5-11 |
| 5.7 | 例外処理後のスタックの状態..... | 5-12 |
| 5.8 | 使用上の注意事項..... | 5-13 |
| 5.8.1 | スタックポインタ (SP) の値..... | 5-13 |
| 5.8.2 | ベクタベースレジスタ (VBR) の値..... | 5-13 |

| | | |
|-------|---|------|
| 5.8.3 | アドレスエラー例外処理のスタッキングで発生するアドレスエラー | 5-13 |
| 5.8.4 | スロット不当命令例外処理に関する注意事項 | 5-14 |
| 6. | 割り込みコントローラ (INTC) | 6-1 |
| 6.1 | 特長 | 6-1 |
| 6.2 | 入出力端子 | 6-2 |
| 6.3 | レジスタの説明 | 6-2 |
| 6.3.1 | 割り込みコントロールレジスタ 0 (ICR0) | 6-2 |
| 6.3.2 | IRQ コントロールレジスタ (IRQCR) | 6-3 |
| 6.3.3 | IRQ ステータスレジスタ (IRQSR) | 6-5 |
| 6.3.4 | インタラプトプライオリティレジスタ A~E (IPRA ~ IPRE) | 6-9 |
| 6.4 | 割り込み要因 | 6-11 |
| 6.4.1 | 外部割り込み要因 | 6-11 |
| 6.4.2 | 内蔵周辺モジュール割り込み | 6-12 |
| 6.4.3 | ユーザブレーク割り込み | 6-12 |
| 6.4.4 | H-UDI 割り込み | 6-12 |
| 6.5 | 割り込み例外処理ベクタテーブル | 6-13 |
| 6.6 | 動作説明 | 6-15 |
| 6.6.1 | 割り込み動作の流れ | 6-15 |
| 6.6.2 | 割り込み例外処理終了後のスタックの状態 | 6-17 |
| 6.7 | 割り込み応答時間 | 6-18 |
| 7. | バスステートコントローラ (BSC) | 7-1 |
| 7.1 | 特長 | 7-1 |
| 7.2 | 入出力端子 | 7-4 |
| 7.3 | エリアの概要 | 7-5 |
| 7.3.1 | 空間分割 | 7-5 |
| 7.3.2 | シャドウ空間 | 7-5 |
| 7.3.3 | アドレスマップ | 7-6 |
| 7.3.4 | エリア 0 メモリタイプおよびメモリバス幅 | 7-7 |
| 7.3.5 | データアライメント | 7-7 |
| 7.4 | レジスタの説明 | 7-8 |
| 7.4.1 | 共通コントロールレジスタ (CMNCR) | 7-8 |
| 7.4.2 | CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、3、4、5B、6B) | 7-10 |
| 7.4.3 | CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、3、4、5B、6B) | 7-12 |
| 7.4.4 | SDRAM コントロールレジスタ (SDCR) | 7-25 |
| 7.4.5 | リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) | 7-27 |
| 7.4.6 | リフレッシュタイマカウンタ (RTCNT) | 7-28 |
| 7.4.7 | リフレッシュタイムコンスタントレジスタ (RTCOR) | 7-28 |
| 7.5 | 動作説明 | 7-28 |

| | | |
|--------|--|------|
| 7.5.1 | エンディアン / アクセスサイズとデータアライメント | 7-28 |
| 7.5.2 | 通常空間インタフェース | 7-32 |
| 7.5.3 | アクセスウェイト制御 | 7-36 |
| 7.5.4 | \overline{CSn} アサート期間拡張 | 7-38 |
| 7.5.5 | SDRAM インタフェース | 7-39 |
| 7.5.6 | バイト選択付き SRAM インタフェース | 7-55 |
| 7.5.7 | PCMCIA インタフェース | 7-58 |
| 7.5.8 | アクセスサイクル間ウェイト | 7-63 |
| 7.5.9 | その他 | 7-64 |
| 8. | クロック発振器 (CPG) | 8-1 |
| 8.1 | 特長 | 8-1 |
| 8.2 | 入出力端子 | 8-4 |
| 8.3 | クロック動作モード | 8-4 |
| 8.4 | レジスタの説明 | 8-6 |
| 8.4.1 | 周波数制御レジスタ (FRQCR) | 8-6 |
| 8.4.2 | PHY-LSI クロック周波数制御レジスタ (MCLKCR) | 8-7 |
| 8.4.3 | 使用上の注意事項 | 8-7 |
| 8.5 | 周波数変更方法 | 8-8 |
| 8.5.1 | 逡倍率の変更 | 8-8 |
| 8.5.2 | 分周率の変更 | 8-9 |
| 8.5.3 | クロック動作モードの変更 | 8-9 |
| 8.6 | ボード設計上の注意事項 | 8-10 |
| 9. | ウォッチドッグタイマ (WDT) | 9-1 |
| 9.1 | 特長 | 9-1 |
| 9.2 | WDTのレジスタの説明 | 9-2 |
| 9.2.1 | ウォッチドッグタイマカウンタ (WTCNT) | 9-2 |
| 9.2.2 | ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) | 9-3 |
| 9.2.3 | レジスタアクセス時の注意 | 9-4 |
| 9.3 | WDTの動作説明 | 9-5 |
| 9.3.1 | ソフトウェアスタンバイ解除の手順 | 9-5 |
| 9.3.2 | 周波数変更の手順 | 9-5 |
| 9.3.3 | ウォッチドッグタイマモードの使用法 | 9-6 |
| 9.3.4 | インターバルタイマモードの使用法 | 9-6 |
| 9.4 | 使用上の注意事項 | 9-6 |
| 10. | 低消費電力モード | 10-1 |
| 10.1 | 特長 | 10-1 |
| 10.1.1 | 低消費電力モードの種類 | 10-1 |

| | | |
|---------|---|-------|
| 10.2 | 入出力端子 | 10-2 |
| 10.3 | レジスタの説明 | 10-2 |
| 10.3.1 | スタンバイコントロールレジスタ (STBCR) | 10-2 |
| 10.3.2 | スタンバイコントロールレジスタ 2 (STBCR2) | 10-3 |
| 10.3.3 | スタンバイコントロールレジスタ 3 (STBCR3) | 10-3 |
| 10.3.4 | スタンバイコントロールレジスタ 4 (STBCR4) | 10-4 |
| 10.4 | スリープモード | 10-5 |
| 10.4.1 | スリープモードへの遷移 | 10-5 |
| 10.4.2 | スリープモードの解除 | 10-5 |
| 10.5 | ソフトウェアスタンバイモード | 10-6 |
| 10.5.1 | ソフトウェアスタンバイモードへの遷移 | 10-6 |
| 10.5.2 | ソフトウェアスタンバイモードの解除 | 10-7 |
| 10.6 | モジュールスタンバイ機能 | 10-8 |
| 10.6.1 | モジュールスタンバイ機能への遷移 | 10-8 |
| 10.6.2 | モジュールスタンバイ機能の解除 | 10-8 |
| 11. | イーサネットコントローラ (EtherC) | 11-1 |
| 11.1 | 特長 | 11-1 |
| 11.2 | 入出力端子 | 11-2 |
| 11.3 | レジスタの説明 | 11-3 |
| 11.3.1 | EtherC モードレジスタ (ECMR) | 11-4 |
| 11.3.2 | EtherC ステータスレジスタ (ECSR) | 11-6 |
| 11.3.3 | EtherC 割り込み許可レジスタ (ECSIPR) | 11-7 |
| 11.3.4 | PHY 部インタフェースレジスタ (PIR) | 11-8 |
| 11.3.5 | MAC アドレス上位設定レジスタ (MAHR) | 11-8 |
| 11.3.6 | MAC アドレス下位設定レジスタ (MALR) | 11-8 |
| 11.3.7 | 受信フレーム長上限レジスタ (RFLR) | 11-9 |
| 11.3.8 | PHY 部ステータスレジスタ (PSR) | 11-9 |
| 11.3.9 | 送信リトライオーバーカウンタレジスタ (TROCR) | 11-10 |
| 11.3.10 | 遅延衝突検出カウンタレジスタ (CDCR) | 11-10 |
| 11.3.11 | キャリア消失カウンタレジスタ (LCCR) | 11-10 |
| 11.3.12 | キャリア未検出カウンタレジスタ (CNDCR) | 11-10 |
| 11.3.13 | CRC エラーフレーム受信カウンタレジスタ (CEFCR) | 11-11 |
| 11.3.14 | フレーム受信エラーカウンタレジスタ (FRECR) | 11-11 |
| 11.3.15 | 64 バイト未満フレーム受信カウンタレジスタ (TSFRCCR) | 11-11 |
| 11.3.16 | 指定バイト超フレーム受信カウンタレジスタ (TLFRCCR) | 11-11 |
| 11.3.17 | 端数ビットフレーム受信カウンタレジスタ (RFCR) | 11-12 |
| 11.3.18 | マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR) | 11-12 |
| 11.3.19 | IPG 設定レジスタ (IPGR) | 11-12 |
| 11.3.20 | 自動 PAUSE フレーム設定レジスタ (APR) | 11-13 |

| | | |
|---------|---|-------|
| 11.3.21 | 手動 PAUSE フレーム設定レジスタ (MPR) | 11-13 |
| 11.3.22 | 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) | 11-13 |
| 11.4 | 動作説明 | 11-14 |
| 11.4.1 | 送信動作 | 11-14 |
| 11.4.2 | 受信動作 | 11-15 |
| 11.4.3 | MII フレームタイミング | 11-16 |
| 11.4.4 | MII レジスタのアクセス方法 | 11-18 |
| 11.4.5 | Magic Packet の検出 | 11-21 |
| 11.4.6 | IPG 設定による動作 | 11-21 |
| 11.4.7 | フロー制御 | 11-22 |
| 11.5 | PHY-LSIとの接続 | 11-23 |
| 11.6 | 使用上の注意事項 | 11-24 |
| 12. | イーサネットコントローラ用ダイレクトメモリ アクセスコントローラ (E-DMAC) | 12-1 |
| 12.1 | 特長 | 12-1 |
| 12.2 | レジスタの説明 | 12-2 |
| 12.2.1 | E-DMAC モードレジスタ (EDMR) | 12-3 |
| 12.2.2 | E-DMAC 送信要求レジスタ (EDTRR) | 12-4 |
| 12.2.3 | E-DMAC 受信要求レジスタ (EDRRR) | 12-4 |
| 12.2.4 | 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) | 12-5 |
| 12.2.5 | 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR) | 12-5 |
| 12.2.6 | EtherC/E-DMAC ステータスレジスタ (EESR) | 12-6 |
| 12.2.7 | EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) | 12-9 |
| 12.2.8 | 送受信ステータスコピー指示レジスタ (TRSCER) | 12-12 |
| 12.2.9 | ミスドフレームカウンタレジスタ (RMFCR) | 12-13 |
| 12.2.10 | 送信 FIFO しきい値指定レジスタ (TFTR) | 12-14 |
| 12.2.11 | FIFO 容量指定レジスタ (FDR) | 12-15 |
| 12.2.12 | 受信方式制御レジスタ (RMCR) | 12-15 |
| 12.2.13 | E-DMAC 動作制御レジスタ (EDOCR) | 12-16 |
| 12.2.14 | 受信バッファライトアドレスレジスタ (RBWAR) | 12-16 |
| 12.2.15 | 受信ディスクリプタフェッチアドレスレジスタ (RDFAR) | 12-17 |
| 12.2.16 | 送信バッファリードアドレスレジスタ (TBRAR) | 12-17 |
| 12.2.17 | 送信ディスクリプタフェッチアドレスレジスタ (TDFAR) | 12-17 |
| 12.2.18 | フロー制御開始 FIFO しきい値設定レジスタ (FCFTR) | 12-18 |
| 12.2.19 | 送信割り込み設定レジスタ (TRIMD) | 12-18 |
| 12.3 | 動作説明 | 12-19 |
| 12.3.1 | ディスクリプタリストとデータバッファ | 12-19 |
| 12.3.2 | 送信機能 | 12-24 |
| 12.3.3 | 受信機能 | 12-26 |
| 12.3.4 | マルチバッファフレームの送受信処理について | 12-27 |

| | | |
|---------|---|-------|
| 12.4 | 使用上の注意事項 | 12-29 |
| 12.4.1 | SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について | 12-29 |
| 12.4.2 | SH-Ether 送信アンダフロー発生時の使用上の注意について | 12-36 |
| 13. | コンペアマッチタイマ (CMT) | 13-1 |
| 13.1 | 特長 | 13-1 |
| 13.2 | レジスタの説明 | 13-2 |
| 13.2.1 | コンペアマッチタイマスタートレジスタ (CMSTR) | 13-2 |
| 13.2.2 | コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) | 13-3 |
| 13.2.3 | コンペアマッチカウンタ (CMCNT) | 13-3 |
| 13.2.4 | コンペアマッチコンスタントレジスタ (CMCOR) | 13-4 |
| 13.3 | 動作説明 | 13-4 |
| 13.3.1 | 期間カウント動作 | 13-4 |
| 13.3.2 | CMCNT カウントタイミング | 13-4 |
| 13.4 | 割り込み | 13-5 |
| 13.4.1 | 割り込み要因 | 13-5 |
| 13.4.2 | コンペアマッチフラグのセットタイミング | 13-5 |
| 13.4.3 | コンペアマッチフラグのクリアタイミング | 13-5 |
| 13.5 | 使用上の注意事項 | 13-6 |
| 13.5.1 | CMCNT の書き込みとコンペアマッチの競合 | 13-6 |
| 13.5.2 | CMCNT のワード書き込みとカウントアップの競合 | 13-7 |
| 13.5.3 | CMCNT のバイト書き込みとカウントアップの競合 | 13-8 |
| 13.5.4 | カウント停止中の CMCNT と CMCOR への書き込み競合 | 13-8 |
| 14. | FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF) | 14-1 |
| 14.1 | 特長 | 14-1 |
| 14.2 | 入出力端子 | 14-3 |
| 14.3 | レジスタの説明 | 14-3 |
| 14.3.1 | レシーブシフトレジスタ (SCRSR) | 14-4 |
| 14.3.2 | レシーブ FIFO データレジスタ (SCFRDR) | 14-4 |
| 14.3.3 | トランスミットシフトレジスタ (SCTSR) | 14-5 |
| 14.3.4 | トランスミット FIFO データレジスタ (SCFTDR) | 14-5 |
| 14.3.5 | シリアルモードレジスタ (SCSMR) | 14-5 |
| 14.3.6 | シリアルコントロールレジスタ (SCSCR) | 14-8 |
| 14.3.7 | シリアルステータスレジスタ (SCFSR) | 14-10 |
| 14.3.8 | ビットレートレジスタ (SCBRR) | 14-15 |
| 14.3.9 | FIFO コントロールレジスタ (SCFCR) | 14-20 |
| 14.3.10 | FIFO データ数レジスタ (SCFDR) | 14-22 |
| 14.3.11 | シリアルポートレジスタ (SCSPTR) | 14-23 |
| 14.3.12 | ラインステータスレジスタ (SCLSR) | 14-25 |

| | | |
|---------|--|-------|
| 14.4 | 動作説明 | 14-26 |
| 14.4.1 | 概要 | 14-26 |
| 14.4.2 | 調歩同期式モード時の動作 | 14-28 |
| 14.4.3 | クロック同期式モード時の動作 | 14-38 |
| 14.5 | SCIF割り込み要因 | 14-46 |
| 14.6 | シリアルポートレジスタ (SCSPTR) とSCIF端子との関係 | 14-47 |
| 14.7 | 使用上の注意事項 | 14-50 |
| 15. | ホストインタフェース (HIF) | 15-1 |
| 15.1 | 特長 | 15-1 |
| 15.2 | 入出力端子 | 15-3 |
| 15.3 | パラレルアクセス | 15-4 |
| 15.3.1 | 動作説明 | 15-4 |
| 15.3.2 | 接続方法 | 15-4 |
| 15.4 | レジスタの説明 | 15-5 |
| 15.4.1 | HIF インデックスレジスタ (HIFIDX) | 15-5 |
| 15.4.2 | HIF 汎用ステータスレジスタ (HIFGSR) | 15-6 |
| 15.4.3 | HIF ステータス / コントロールレジスタ (HIFSCR) | 15-7 |
| 15.4.4 | HIF メモリ制御レジスタ (HIFMCR) | 15-8 |
| 15.4.5 | HIF 内部割り込み制御レジスタ (HIFIICR) | 15-10 |
| 15.4.6 | HIF 外部割り込み制御レジスタ (HIFEICR) | 15-10 |
| 15.4.7 | HIF アドレスレジスタ (HIFADR) | 15-11 |
| 15.4.8 | HIF データレジスタ (HIFDATA) | 15-11 |
| 15.4.9 | HIF ブート制御レジスタ (HIFBCR) | 15-12 |
| 15.4.10 | HIFDREQ トリガレジスタ (HIFDTR) | 15-12 |
| 15.4.11 | HIF バンク割り込み制御レジスタ (HIFBICR) | 15-13 |
| 15.5 | メモリマップ | 15-14 |
| 15.6 | インタフェース (基本) | 15-15 |
| 15.7 | インタフェース (詳細) | 15-15 |
| 15.7.1 | HIFIDX ライト / HIFGSR リード | 15-15 |
| 15.7.2 | HIFIDX と HIFGSR 以外の HIF レジスタのリード / ライト | 15-16 |
| 15.7.3 | 外部デバイスから HIFRAM への連続データ書き込み | 15-16 |
| 15.7.4 | HIFRAM から外部デバイスへの連続読み出し | 15-17 |
| 15.8 | 外部DMACインタフェース | 15-18 |
| 15.9 | 外部デバイス電源遮断時のインタフェース | 15-22 |
| 16. | ピンファンクションコントローラ (PFC) | 16-1 |
| 16.1 | レジスタの説明 | 16-9 |
| 16.1.1 | ポート A ・ IO レジスタ H (PAIORH) | 16-9 |
| 16.1.2 | ポート A コントロールレジスタ H1、H2 (PACRH1、PACRH2) | 16-10 |

| | | |
|---------|---|-------|
| 16.1.3 | ポート B・IO レジスタ L (PBIORL) | 16-12 |
| 16.1.4 | ポート B コントロールレジスタ L1、L2 (PBCRL1、PBCRL2) | 16-12 |
| 16.1.5 | ポート C・IO レジスタ H、L (PCIORH、PCIORL) | 16-15 |
| 16.1.6 | ポート C コントロールレジスタ H2、L1、L2 (PCCR2、PCCRL1、PCCRL2) | 16-15 |
| 16.1.7 | ポート D・IO レジスタ L (PDIORL) | 16-19 |
| 16.1.8 | ポート D コントロールレジスタ L2 (PDCRL2) | 16-19 |
| 16.1.9 | ポート E・IO レジスタ H、L (PEIORH、PEIORL) | 16-21 |
| 16.1.10 | ポート E コントロールレジスタ H1、H2、L1、L2 (PECRH1、PECRH2、PECRL1、PECRL2) | 16-21 |
| 17. | I/O ポート | 17-1 |
| 17.1 | ポート A | 17-1 |
| 17.1.1 | レジスタの説明 | 17-1 |
| 17.1.2 | ポート A データレジスタ H (PADRH) | 17-2 |
| 17.2 | ポート B | 17-3 |
| 17.2.1 | レジスタの説明 | 17-3 |
| 17.2.2 | ポート B データレジスタ L (PBDRL) | 17-4 |
| 17.3 | ポート C | 17-5 |
| 17.3.1 | レジスタの説明 | 17-5 |
| 17.3.2 | ポート C データレジスタ H、L (PCDRH、PCDRL) | 17-6 |
| 17.4 | ポート D | 17-7 |
| 17.4.1 | レジスタの説明 | 17-7 |
| 17.4.2 | ポート D データレジスタ L (PDDRL) | 17-8 |
| 17.5 | ポート E | 17-9 |
| 17.5.1 | レジスタの説明 | 17-10 |
| 17.5.2 | ポート E データレジスタ H、L (PEDRH、PEDRL) | 17-10 |
| 17.6 | 使用上の注意事項 | 17-12 |
| 18. | ユーザブレイクコントローラ (UBC) | 18-1 |
| 18.1 | 特長 | 18-1 |
| 18.2 | レジスタの説明 | 18-3 |
| 18.2.1 | ブレイクアドレスレジスタ A (BARA) | 18-3 |
| 18.2.2 | ブレイクアドレスマスクレジスタ A (BAMRA) | 18-4 |
| 18.2.3 | ブレイクバスサイクルレジスタ A (BBRA) | 18-4 |
| 18.2.4 | ブレイクアドレスレジスタ B (BARB) | 18-5 |
| 18.2.5 | ブレイクアドレスマスクレジスタ B (BAMRB) | 18-5 |
| 18.2.6 | ブレイクデータレジスタ B (BDRB) | 18-6 |
| 18.2.7 | ブレイクデータマスクレジスタ B (BDMRB) | 18-6 |
| 18.2.8 | ブレイクバスサイクルレジスタ B (BBRB) | 18-7 |
| 18.2.9 | ブレイクコントロールレジスタ (BRCR) | 18-8 |

| | | |
|---------|--------------------------------|-------|
| 18.2.10 | 実行回数ブレークレジスタ (BETR) | 18-10 |
| 18.2.11 | ブランチソースレジスタ (BRSR) | 18-10 |
| 18.2.12 | ブランチデスティネーションレジスタ (BRDR) | 18-11 |
| 18.3 | 動作説明 | 18-11 |
| 18.3.1 | ユーザブレーク動作の流れ..... | 18-11 |
| 18.3.2 | 命令フェッチサイクルでのブレーク | 18-12 |
| 18.3.3 | データアクセスサイクルでのブレーク | 18-13 |
| 18.3.4 | シーケンシャルブレーク..... | 18-13 |
| 18.3.5 | 回避したプログラムカウンタ (PC) の値 | 18-14 |
| 18.3.6 | PC トレース..... | 18-14 |
| 18.3.7 | 使用例..... | 18-15 |
| 18.3.8 | 注意事項..... | 18-19 |
| 19. | ユーザデバッグインタフェース (H-UDI) | 19-1 |
| 19.1 | 特長 | 19-1 |
| 19.2 | 入出力端子 | 19-2 |
| 19.3 | レジスタの説明..... | 19-2 |
| 19.3.1 | バイパスレジスタ (SDBPR) | 19-3 |
| 19.3.2 | インストラクションレジスタ (SDIR) | 19-3 |
| 19.3.3 | バウンダリスキャンレジスタ (SDBSR) | 19-3 |
| 19.3.4 | ID レジスタ (SDID) | 19-8 |
| 19.4 | 動作説明..... | 19-9 |
| 19.4.1 | TAP コントローラ | 19-9 |
| 19.4.2 | リセット構成..... | 19-10 |
| 19.4.3 | TDO 出力タイミング | 19-10 |
| 19.4.4 | H-UDI リセット | 19-11 |
| 19.4.5 | H-UDI 割り込み | 19-11 |
| 19.5 | バウンダリスキャン..... | 19-11 |
| 19.5.1 | サポートする命令..... | 19-11 |
| 19.5.2 | 注意事項..... | 19-13 |
| 19.6 | 使用上の注意事項 | 19-13 |
| 20. | レジスタ一覧..... | 20-1 |
| 20.1 | レジスタアドレス一覧 (アドレス順) | 20-2 |
| 20.2 | レジスタビット一覧..... | 20-7 |
| 20.3 | 各動作モードにおけるレジスタの状態..... | 20-21 |
| 21. | 電気的特性..... | 21-1 |
| 21.1 | 絶対最大定格..... | 21-1 |
| 21.2 | 電源投入および切断順序..... | 21-2 |

| | | |
|-----------------|---------------------------|-------|
| 21.3 | DC特性..... | 21-3 |
| 21.4 | AC特性..... | 21-5 |
| 21.4.1 | クロックタイミング..... | 21-5 |
| 21.4.2 | 制御信号タイミング..... | 21-8 |
| 21.4.3 | AC バスタイミング仕様..... | 21-10 |
| 21.4.4 | 基本タイミング..... | 21-11 |
| 21.4.5 | シンクロナス DRAM タイミング..... | 21-17 |
| 21.4.6 | PCMCIA タイミング..... | 21-34 |
| 21.4.7 | SCIF モジュール信号タイミング..... | 21-38 |
| 21.4.8 | ポートモジュール信号タイミング..... | 21-39 |
| 21.4.9 | HIF モジュール信号タイミング..... | 21-40 |
| 21.4.10 | EtherC モジュール信号タイミング..... | 21-42 |
| 21.4.11 | H-UDI 関連端子のタイミング..... | 21-45 |
| 21.4.12 | AC 特性測定条件..... | 21-47 |
| 21.4.13 | 負荷容量による遅延時間の変化 (参考値)..... | 21-48 |
| 付録 | | 付録-1 |
| A. | 端子状態..... | 付録-1 |
| B. | 型名一覧..... | 付録-4 |
| C. | 外形寸法図..... | 付録-5 |
| 本版で修正または追加された箇所 | | 改訂-1 |
| 索引 | | 索引-1 |

図目次

| | |
|--|------|
| 1. 概要 | |
| 図 1.1 ブロック図 | 1-5 |
| 図 1.2 ピン配置図 | 1-6 |
| 2. CPU | |
| 図 2.1 CPU 内部レジスタ構成 | 2-2 |
| 図 2.2 レジスタのデータ形式 | 2-5 |
| 図 2.3 メモリ上でのデータ形式 | 2-5 |
| 図 2.4 処理状態の状態遷移図 | 2-23 |
| 3. キャッシュ | |
| 図 3.1 キャッシュの構成 | 3-1 |
| 図 3.2 キャッシュの検索方法 | 3-5 |
| 図 3.3 ライトバックバッファの構成 | 3-7 |
| 図 3.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法 | 3-9 |
| 6. 割り込みコントローラ (INTC) | |
| 図 6.1 INTC のブロック図 | 6-1 |
| 図 6.2 IRQ7 ~ IRQ0 割り込み制御 | 6-12 |
| 図 6.3 割り込み動作フロー | 6-16 |
| 図 6.4 割り込み例外処理終了後のスタック状態 | 6-17 |
| 7. バスステートコントローラ (BSC) | |
| 図 7.1 バスステートコントローラのブロック図 | 7-3 |
| 図 7.2 アドレス空間 | 7-6 |
| 図 7.3 通常空間基本アクセス (アクセスウェイト 0) | 7-32 |
| 図 7.4 通常空間連続アクセス例 (1) バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0 (アクセスウェイト 0、サイクル間ウェイト 0) | 7-33 |
| 図 7.5 通常空間連続アクセス例 (2) バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1 (アクセスウェイト 0、サイクル間ウェイト 0) | 7-34 |
| 図 7.6 16 ビットデータ幅 SRAM 接続例 | 7-35 |
| 図 7.7 8 ビットデータ幅 SRAM 接続例 | 7-35 |
| 図 7.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ) | 7-36 |
| 図 7.9 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入) | 7-37 |
| 図 7.10 $\overline{\text{CSn}}$ アサート期間拡張 | 7-38 |
| 図 7.11 16 ビットデータ幅 SDRAM 接続例 | 7-39 |
| 図 7.12 パーストリード基本タイミング (オートプリチャージ) | 7-44 |
| 図 7.13 パーストリードウェイト指定タイミング (オートプリチャージ) | 7-44 |
| 図 7.14 シングルリードの基本タイミング (オートプリチャージ) | 7-45 |
| 図 7.15 パーストライト基本タイミング (オートプリチャージ) | 7-46 |
| 図 7.16 シングルライト基本タイミング (オートプリチャージ) | 7-47 |
| 図 7.17 パーストリードタイミング (オートプリチャージなし) | 7-48 |

| | | |
|---------------------------|---|-------|
| 図 7.18 | バーストリードタイミング (バンクアクティブ、同一ローアドレス) | 7-49 |
| 図 7.19 | バーストリードタイミング (バンクアクティブ、異なるローアドレス) | 7-49 |
| 図 7.20 | シングルライトタイミング (オートプリチャージなし) | 7-50 |
| 図 7.21 | シングルライトタイミング (バンクアクティブ、同一ローアドレス) | 7-50 |
| 図 7.22 | シングルライトタイミング (バンクアクティブ、異なるローアドレス) | 7-51 |
| 図 7.23 | オートリフレッシュタイミング | 7-52 |
| 図 7.24 | セルフリフレッシュタイミング | 7-53 |
| 図 7.25 | SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠) | 7-54 |
| 図 7.26 | BAS = 0 バイト選択付き SRAM 基本アクセスタイミング | 7-55 |
| 図 7.27 | BAS = 1 バイト選択付き SRAM 基本アクセスタイミング | 7-56 |
| 図 7.28 | BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ) | 7-57 |
| 図 7.29 | 16 ビットデータ幅バイト選択付き SRAM 接続例 | 7-57 |
| 図 7.30 | PCMCIA インタフェース接続例 | 7-58 |
| 図 7.31 | PCMCIA メモリカードインタフェース基本タイミング | 7-59 |
| 図 7.32 | PCMCIA メモリカードインタフェースウェイトタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェア 1) | 7-60 |
| 図 7.33 | PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0] = B'10、CS6BWCR.SA[1:0] = B'10) | 7-60 |
| 図 7.34 | PCMCIA I/O カードインタフェース基本タイミング | 7-62 |
| 図 7.35 | PCMCIA I/O カードインタフェースウェイトタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 1、ハードウェア 1) | 7-62 |
| 図 7.36 | PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング (TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェア 3) | 7-63 |
| 8. クロック発振器 (CPG) | | |
| 図 8.1 | CPG のブロック図 | 8-2 |
| 図 8.2 | 水晶発振子使用時の注意 | 8-10 |
| 9. ウォッチドッグタイマ (WDT) | | |
| 図 9.1 | WDT のブロック図 | 9-2 |
| 図 9.2 | WTCNT、WTCR への書き込み | 9-4 |
| 10. 低消費電力モード | | |
| 図 10.1 | STBCR の STBY ビットとスタンバイモードの解除 | 10-7 |
| 11. イーサネットコントローラ (EtherC) | | |
| 図 11.1 | EtherC の構成 | 11-1 |
| 図 11.2 | EtherC 送信部状態遷移図 | 11-14 |
| 図 11.3 | EtherC 受信部状態遷移図 | 11-15 |
| 図 11.4 (1) | MII フレーム送信タイミング (正常時) | 11-16 |
| 図 11.4 (2) | MII フレーム送信タイミング (衝突発生) | 11-16 |
| 図 11.4 (3) | MII フレーム送信タイミング (送信エラー発生) | 11-17 |
| 図 11.4 (4) | MII フレーム受信タイミング (正常受信) | 11-17 |
| 図 11.4 (5) | MII フレーム受信タイミング (受信エラー (1) 受信エラー通知) | 11-17 |
| 図 11.4 (6) | MII フレーム受信タイミング (受信エラー (2) キャリアエラー通知) | 11-17 |
| 図 11.5 | MII 管理フレームフォーマット | 11-18 |
| 図 11.6 (1) | 1 ビットデータのライトフロー | 11-19 |
| 図 11.6 (2) | バス解放フロー (図 11.5 中のリード時の TA) | 11-19 |
| 図 11.6 (3) | 1 ビットデータのリードフロー | 11-20 |

| | |
|--|-------|
| 図 11.6 (4) 単独バス解放フロー (図 11.5 中のライト時の IDLE) | 11-20 |
| 図 11.7 IPG の変更による伝送効率の違い | 11-21 |
| 図 11.8 DP83846AVHG との接続例 | 11-23 |
| 12. イーサネットコントローラ用ダイレクトメモリ アクセスコントローラ (E-DMAC) | |
| 図 12.1 E-DMAC とディスクリプタおよびバッファの構成 | 12-1 |
| 図 12.2 送信ディスクリプタと送信バッファの関係 | 12-19 |
| 図 12.3 受信ディスクリプタと受信バッファの関係 | 12-22 |
| 図 12.4 送信フローの例 | 12-25 |
| 図 12.5 受信フローの例 | 12-26 |
| 図 12.6 送信エラー発生後の E-DMAC 動作 | 12-27 |
| 図 12.7 受信エラー発生後の E-DMAC 動作 | 12-28 |
| 図 12.8 E-DMAC EESR 割り込み要因セット不具合タイミング | 12-29 |
| 図 12.9 フレーム送信完了 (TC) 以外の割り込み処理時に送信ディスクリプタの状態を 監視することによる対応方法 | 12-34 |
| 図 12.10 タイムアウト処理を付加することによる対応方法 | 12-35 |
| 図 12.11 E-DMAC が停止する場合の動作と送信 FIFO との関係 | 12-37 |
| 図 12.12 TC 割り込みによるハンドリングを使用せずに送信処理を行う方法 | 12-39 |
| 図 12.13 TC 割り込みをベースとした場合の最大規定時間タイムアウト処理を 付加することによる対応方法 | 12-41 |
| 13. コンペアマッチタイマ (CMT) | |
| 図 13.1 コンペアマッチタイマのブロック図 | 13-1 |
| 図 13.2 カウンタ動作 | 13-4 |
| 図 13.3 カウントタイミング | 13-5 |
| 図 13.4 CMF セットタイミング | 13-5 |
| 図 13.5 CMCNT の書き込みとコンペアマッチの競合 | 13-6 |
| 図 13.6 CMCNT のワード書き込みとカウントアップの競合 | 13-7 |
| 図 13.7 CMCNT のバイト書き込みとカウントアップの競合 | 13-8 |
| 14. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF) | |
| 図 14.1 SCIF のブロック図 | 14-2 |
| 図 14.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例) | 14-28 |
| 図 14.3 SCIF 初期化フローチャートの例 | 14-31 |
| 図 14.4 シリアル送信のフローチャートの例 | 14-32 |
| 図 14.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) | 14-33 |
| 図 14.6 モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$) | 14-34 |
| 図 14.7 シリアル受信のフローチャートの例 (1) | 14-35 |
| 図 14.8 シリアル受信のフローチャートの例 (2) | 14-36 |
| 図 14.9 SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) | 14-37 |
| 図 14.10 モデムコントロール使用時の動作例 (RTS) | 14-38 |
| 図 14.11 クロック同期式通信のデータフォーマット | 14-38 |
| 図 14.12 SCIF 初期化フローチャートの例 | 14-40 |
| 図 14.13 シリアル送信のフローチャートの例 | 14-41 |
| 図 14.14 SCIF の送信時の動作例 | 14-42 |
| 図 14.15 シリアル受信のフローチャートの例 (1) | 14-43 |
| 図 14.16 シリアル受信のフローチャートの例 (2) | 14-44 |

| | | |
|----------------------------|---|-------|
| 図 14.17 | SCIF の受信時の動作例 | 14-44 |
| 図 14.18 | シリアル送受信のフローチャートの例 | 14-45 |
| 図 14.19 | RTSIO ビット、RTSDT ビットと $\overline{\text{RTS}}$ 端子との関係 | 14-47 |
| 図 14.20 | CTSIO ビット、CTSDT ビットと $\overline{\text{CTS}}$ 端子との関係 | 14-48 |
| 図 14.21 | SCKIO ビット、SCKDT ビットと SCK 端子との関係 | 14-48 |
| 図 14.22 | SPBIO ビット、SPBDT ビットと TxD 端子との関係 | 14-49 |
| 図 14.23 | SPBDT ビットと RxD 端子との関係 | 14-49 |
| 図 14.24 | 受信データサンプリングタイミング | 14-51 |
| 15. ホストインタフェース (HIF) | | |
| 図 15.1 | HIF ブロック図 | 15-2 |
| 図 15.2 | HIF 接続参考例 | 15-4 |
| 図 15.3 | HIF インタフェース基本タイミング | 15-15 |
| 図 15.4 | HIFIDX ライトおよび HIFGSR リード | 15-15 |
| 図 15.5 | HIF レジスタ設定 | 15-16 |
| 図 15.6 | HIFRAM への連続データ書き込み | 15-16 |
| 図 15.7 | HIFRAM からの連続データ読み出し | 15-17 |
| 図 15.8 | HIFDREQ タイミング (DMD=0、DPOL=0 の場合) | 15-18 |
| 図 15.9 | HIFDREQ タイミング続き (DMD=0、DPOL=1 の場合) | 15-19 |
| 図 15.10 | HIFDREQ タイミング続き (DMD=1、DPOL=0 の場合) | 15-19 |
| 図 15.11 | HIFDREQ タイミング続き (DMD=1、DPOL=1 の場合) | 15-19 |
| 図 15.12 | HIFEBL による HIF 端子ハイインピーダンス制御イメージ | 15-22 |
| 17. I/O ポート | | |
| 図 17.1 | ポート A | 17-1 |
| 図 17.2 | ポート B | 17-3 |
| 図 17.3 | ポート C | 17-5 |
| 図 17.4 | ポート D | 17-7 |
| 図 17.5 | ポート E | 17-9 |
| 18. ユーザブ레이크コントローラ (UBC) | | |
| 図 18.1 | UBC のブロック図 | 18-2 |
| 19. ユーザデバッグインタフェース (H-UDI) | | |
| 図 19.1 | H-UDI のブロック図 | 19-1 |
| 図 19.2 | TAP コントローラ状態遷移図 | 19-9 |
| 図 19.3 | H-UDI データ転送タイミング | 19-10 |
| 図 19.4 | H-UDI リセット | 19-11 |
| 21. 電気的特性 | | |
| 図 21.1 | EXTAL クロック入力タイミング | 21-6 |
| 図 21.2 | CKIO クロック出力タイミング、CK_PHY クロック出力タイミング | 21-6 |
| 図 21.3 | パワーオン発振安定時間 | 21-7 |
| 図 21.4 | スタンバイ復帰時発振安定時間 (リセットによる復帰) | 21-7 |
| 図 21.5 | スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰) | 21-7 |
| 図 21.6 | リセットまたは NMI 割り込みによる PLL 同期安定化時間 | 21-8 |
| 図 21.7 | リセット入力タイミング | 21-9 |
| 図 21.8 | 割り込み信号入力タイミング | 21-9 |

| | | |
|---------|---|-------|
| 図 21.9 | スタンバイ時の端子ドライブタイミング | 21-9 |
| 図 21.10 | 基本バスサイクル (ノーウェイト) | 21-11 |
| 図 21.11 | 基本バスサイクル (ソフトウェアウェイト 1) | 21-12 |
| 図 21.12 | 基本バスサイクル (外部ウェイト 1 挿入) | 21-13 |
| 図 21.13 | 基本バスサイクル (ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし設定) | 21-14 |
| 図 21.14 | バイト選択付き SRAM タイミング (SW=1 サイクル、HW=1 サイクル、 非同期外部ウェイト 1 挿入、CSnWCR、BAS=0 (ライトサイクル UB、 LB コントロール)) | 21-15 |
| 図 21.15 | バイト選択付き SRAM タイミング (SW=1 サイクル、HW=1 サイクル、 非同期外部ウェイト 1 挿入 CSnWCR.BAS=1 (ライトサイクル WE コントロール)) | 21-16 |
| 図 21.16 | シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、 CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=0 サイクル) | 21-17 |
| 図 21.17 | シンクロナス DRAM シングルリードバスサイクル (オートプリチャージあり、 CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=1 サイクル) | 21-18 |
| 図 21.18 | シンクロナス DRAM パーストリードバスサイクル(シングルリード×4) (オートプリチャージあり、 CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=1 サイクル) | 21-19 |
| 図 21.19 | シンクロナス DRAM パーストリードバスサイクル(シングルリード×4) (オートプリチャージあり、 CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=0 サイクル) | 21-20 |
| 図 21.20 | シンクロナス DRAM シングルライトバスサイクル (オートプリチャージあり、 TRWL=1 サイクル) | 21-21 |
| 図 21.21 | シンクロナス DRAM シングルライトバスサイクル (オートプリチャージあり、 WTRCD=2 サイクル、TRWL=1 サイクル) | 21-22 |
| 図 21.22 | シンクロナス DRAM パーストライトバスサイクル (シングルライト×4) (オートプリチャージあり、WTRCD=0 サイクル、TRWL=1 サイクル) | 21-23 |
| 図 21.23 | シンクロナス DRAM パーストライトバスサイクル (シングルライト×4) (オートプリチャージあり、WTRCD=1 サイクル、TRWL=1 サイクル) | 21-24 |
| 図 21.24 | シンクロナス DRAM パーストリードバスサイクル (シングルリード×4) (バンクアクティブモード: ACT+READ コマンド、CAS レイテンシ 2、 WTRCD=0 サイクル) | 21-25 |
| 図 21.25 | シンクロナス DRAM パーストリードバスサイクル (シングルリード×4) (バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ 2、 WTRCD=0 サイクル) | 21-26 |
| 図 21.26 | シンクロナス DRAM パーストリードバスサイクル (シングルリード×4) (バンクアクティブモード: PRE+ACT+READ コマンド、異なるロウアドレス、 CAS レイテンシ 2、WTRCD=0 サイクル) | 21-27 |
| 図 21.27 | シンクロナス DRAM パーストライトバスサイクル (シングルライト×4) (バンクアクティブモード: ACT+WRITE コマンド、WTRCD=0 サイクル、 TRWL=0 サイクル) | 21-28 |
| 図 21.28 | シンクロナス DRAM パーストライトバスサイクル (シングルライト×4) (バンクアクティブモード: WRITE コマンド、同一ロウアドレス、WTRCD=0 サイクル、 TRWL=0 サイクル) | 21-29 |
| 図 21.29 | シンクロナス DRAM パーストライトバスサイクル (シングルライト×4) (バンクアクティブモード: PRE+ACT+WRITE コマンド、異なるロウアドレス、 WTRCD=0 サイクル、TRWL=0 サイクル) | 21-30 |
| 図 21.30 | シンクロナス DRAM オートリフレッシュタイミング (WTRP=1 サイクル、 WTRC=3 サイクル) | 21-31 |

| | | |
|---------|--|-------|
| 図 21.31 | シンクロナス DRAM セルフリフレッシュタイミング (WTRP=1 サイクル) | 21-32 |
| 図 21.32 | シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP=1 サイクル) | 21-33 |
| 図 21.33 | PCMCIA メモリカードインタフェースバスタイミング | 21-34 |
| 図 21.34 | PCMCIA メモリカードインタフェースバスタイミング (TED=2.5 サイクル、TEH=1.5 サイクル、ソフトウェア1、外部ウェイト1) | 21-35 |
| 図 21.35 | PCMCIA I/O カードインタフェースバスタイミング | 21-36 |
| 図 21.36 | PCMCIA I/O カードインタフェースバスタイミング (TED=2.5 サイクル、TEH=1.5 サイクル、 ソフトウェア1、外部ウェイト1) | 21-37 |
| 図 21.37 | SCK 入力クロックタイミング | 21-38 |
| 図 21.38 | クロック同期モード時の SCI 入出力タイミング | 21-38 |
| 図 21.39 | I/O ポートタイミング | 21-39 |
| 図 21.40 | HIF アクセスタイミング | 21-41 |
| 図 21.41 | $\overline{\text{HIFINT}}$ 、HIFDREQ タイミング | 21-41 |
| 図 21.42 | HIFRDY、HIF 端子イネーブル/ディスエーブルタイミング | 21-41 |
| 図 21.43 | MII 送信タイミング (正常動作時) | 21-43 |
| 図 21.44 | MII 送信タイミング (衝突発生ケース) | 21-43 |
| 図 21.45 | MII 受信タイミング (正常動作時) | 21-44 |
| 図 21.46 | MII 受信タイミング (エラー発生ケース) | 21-44 |
| 図 21.47 | MDIO 入力タイミング | 21-44 |
| 図 21.48 | MDIO 出力タイミング | 21-44 |
| 図 21.49 | WOL 出力タイミング | 21-45 |
| 図 21.50 | EXOUT 出力タイミング | 21-45 |
| 図 21.51 | TCK 入力タイミング | 21-46 |
| 図 21.52 | TCK 入力タイミング (リセットホールド時) | 21-46 |
| 図 21.53 | H-UDI データ転送タイミング | 21-46 |
| 図 21.54 | 出力付加回路 | 21-47 |
| 図 21.55 | 負荷容量 - 遅延時間 | 21-48 |

付録

| | | |
|-------|----------------|------|
| 図 C.1 | 外形寸法図 (BP-176) | 付録-5 |
|-------|----------------|------|

表目次

| | |
|-----------------------------------|------|
| 1. 概要 | |
| 表 1.1 SH7618、SH7618A の特長 | 1-2 |
| 表 1.2 端子機能 | 1-7 |
| 表 1.3 各端子の入出力属性一覧 | 1-11 |
| 2. CPU | |
| 表 2.1 レジスタの初期値 | 2-4 |
| 表 2.2 ワードデータの符号拡張 | 2-6 |
| 表 2.3 遅延分岐命令 | 2-6 |
| 表 2.4 T ビット | 2-7 |
| 表 2.5 イミディエイトデータによる参照 | 2-7 |
| 表 2.6 絶対アドレスによる参照 | 2-8 |
| 表 2.7 ディスプレースメントによる参照 | 2-8 |
| 表 2.8 アドレッシングモードと実効アドレス | 2-8 |
| 表 2.9 命令形式 | 2-11 |
| 表 2.10 命令の分類 | 2-14 |
| 3. キャッシュ | |
| 表 3.1 LRU ビットと置き換えられるウェイ | 3-2 |
| 表 3.2 各部分空間とキャッシュとの関係 | 3-3 |
| 4. U メモリ | |
| 表 4.1 U メモリアドレス | 4-1 |
| 5. 例外処理 | |
| 表 5.1 例外要因の種類と優先順位 | 5-1 |
| 表 5.2 例外要因検出と例外処理開始タイミング | 5-2 |
| 表 5.3 例外処理ベクタテーブル | 5-3 |
| 表 5.4 例外処理ベクタテーブルアドレスの算出法 | 5-4 |
| 表 5.5 リセット状態 | 5-5 |
| 表 5.6 バスサイクルとアドレスエラー | 5-7 |
| 表 5.7 割り込み要因 | 5-8 |
| 表 5.8 割り込み優先順位 | 5-9 |
| 表 5.9 命令による例外の種類 | 5-9 |
| 表 5.10 遅延スロット、割り込み禁止命令直後の例外要因発生 | 5-11 |
| 表 5.11 例外処理終了後のスタックの状態 | 5-12 |
| 6. 割り込みコントローラ (INTC) | |
| 表 6.1 端子構成 | 6-2 |
| 表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 | 6-14 |
| 表 6.3 割り込み応答時間 | 6-18 |

| | | |
|---------|---|-------|
| 7. | バスステートコントローラ (BSC) | |
| 表 7.1 | 端子構成 | 7-4 |
| 表 7.2 | アドレスマップ 1 (CMNCR.MAP=0) | 7-6 |
| 表 7.3 | アドレスマップ 2 (CMNCR.MAP=1) | 7-7 |
| 表 7.4 | 外部端子 (MD3) と CS0 メモリタイプ、メモリバス幅の対応 | 7-7 |
| 表 7.5 | 外部端子 (MD5) とエンディアン対応 | 7-7 |
| 表 7.6 | 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント | 7-29 |
| 表 7.7 | 8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント | 7-29 |
| 表 7.8 | 16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント | 7-30 |
| 表 7.9 | 8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント | 7-31 |
| 表 7.10 | A3BSZ [1:0]、A3ROW [1:0]、A3COL [1:0] とアドレスマルチプレクスの関係 (1) | 7-40 |
| 表 7.11 | A3BSZ [1:0]、A3ROW [1:0]、A3COL [1:0] とアドレスマルチプレクスの関係 (2) | 7-41 |
| 表 7.12 | A3BSZ [1:0]、A3ROW [1:0]、A3COL [1:0] とアドレスマルチプレクスの関係 (3) | 7-42 |
| 表 7.13 | アクセスサイズとバースト数の関係 | 7-43 |
| 表 7.14 | SDRAM モードレジスタライト時のアクセスアドレス | 7-54 |
| 8. | クロック発振器 (CPG) | |
| 表 8.1 | クロック発振器の端子構成と機能 | 8-4 |
| 表 8.2 | モード制御端子の組み合わせとクロック動作モードの関係 | 8-4 |
| 表 8.3 | クロックモードと FRQCR 値の可能な組み合わせ | 8-5 |
| 10. | 低消費電力モード | |
| 表 10.1 | 低消費電力モードの状態 | 10-1 |
| 表 10.2 | 端子構成 | 10-2 |
| 表 10.3 | ソフトウェアスタンバイモード時のレジスタの状態 | 10-6 |
| 11. | イーサネットコントローラ (EtherC) | |
| 表 11.1 | 端子構成 | 11-2 |
| 12. | イーサネットコントローラ用ダイレクトメモリ アクセスコントローラ (E-DMAC) | |
| 表 12.1 | EESR 本不具合該当の有無、および、各割り込み要因のディスクリプタへの反映の有無 | 12-30 |
| 表 12.2 | 最大規定時間参考値 | 12-42 |
| 14. | FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF) | |
| 表 14.1 | 端子構成 | 14-3 |
| 表 14.2 | SCSMR の設定 | 14-15 |
| 表 14.3 | ビットレートに対する SCBRR の設定例 [調歩同期式モード] (1) | 14-16 |
| 表 14.3 | ビットレートに対する SCBRR の設定例 [調歩同期式モード] (2) | 14-17 |
| 表 14.4 | ビットレートに対する SCBRR の設定例 [クロック同期式モード] | 14-18 |
| 表 14.5 | ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード) | 14-19 |
| 表 14.6 | 外部クロック入力時の最大ビットレート (調歩同期式モード) | 14-19 |
| 表 14.7 | 外部クロック入力時の最大ビットレート (クロック同期式モード) | 14-20 |
| 表 14.8 | SCSMR の設定値と SCIF 送信 / 受信フォーマット | 14-27 |
| 表 14.9 | SCSMR、SCSCR の設定と SCIF のクロックソースの選択 | 14-27 |
| 表 14.10 | シリアル送信 / 受信フォーマット (調歩同期式モード) | 14-29 |
| 表 14.11 | SCIF 割り込み要因 | 14-46 |

| | |
|---|-------|
| 15. ホストインタフェース (HIF) | |
| 表 15.1 端子構成 | 15-3 |
| 表 15.2 HIF 動作 | 15-4 |
| 表 15.3 メモリマップ | 15-14 |
| 表 15.4 外部 DMAC による HIFRAM への連続ライト手順例 | 15-20 |
| 表 15.5 外部 DMAC による HIFRAM からの連続リード手順例 | 15-21 |
| 表 15.6 HIF 端子の入出力制御 | 15-23 |
| 16. ピンファンクションコントローラ (PFC) | |
| 表 16.1 マルチプレクス一覧表 (ポート A) | 16-1 |
| 表 16.2 マルチプレクス一覧表 (ポート B) | 16-2 |
| 表 16.3 マルチプレクス一覧表 (ポート C) | 16-3 |
| 表 16.4 マルチプレクス一覧表 (ポート D) | 16-3 |
| 表 16.5 マルチプレクス一覧表 (ポート E) | 16-4 |
| 表 16.6 動作モード別端子一覧 | 16-5 |
| 17. I/O ポート | |
| 表 17.1 ポート A データレジスタ H (PADRH) の読み出し / 書き込み動作 | 17-2 |
| 表 17.2 ポート B データレジスタ L (PBDRL) の読み出し / 書き込み動作 | 17-4 |
| 表 17.3 ポート C データレジスタ H、L (PCDRH、L) の読み出し / 書き込み動作 | 17-7 |
| 表 17.4 ポート D データレジスタ L (PDDRL) の読み出し / 書き込み動作 | 17-8 |
| 表 17.5 ポート E データレジスタ H、L (PEDRH、L) の読み出し / 書き込み動作 | 17-11 |
| 18. ユーザブ레이크コントローラ (UBC) | |
| 表 18.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件 | 18-13 |
| 19. ユーザデバッグインタフェース (H-UDI) | |
| 表 19.1 端子構成 | 19-2 |
| 表 19.2 H-UDI コマンド | 19-3 |
| 表 19.3 外部端子とバウンダリスキャンレジスタの対応 | 19-4 |
| 表 19.4 リセット構成 | 19-10 |
| 21. 電気的特性 | |
| 表 21.1 絶対最大定格 | 21-1 |
| 表 21.2 電源投入時間推奨値 | 21-2 |
| 表 21.3 電源切断時間推奨値 | 21-3 |
| 表 21.4 DC 特性 (1) | 21-3 |
| 表 21.4 DC 特性 (2) | 21-4 |
| 表 21.5 出力許容電流値 | 21-5 |
| 表 21.6 最大動作周波数 | 21-5 |
| 表 21.7 クロックタイミング | 21-5 |
| 表 21.8 制御信号タイミング | 21-8 |
| 表 21.9 バスタイミング | 21-10 |
| 表 21.10 SCIF モジュール信号タイミング | 21-38 |
| 表 21.11 ポートモジュール信号タイミング | 21-39 |
| 表 21.12 HIF モジュール信号タイミング | 21-40 |
| 表 21.13 EtherC モジュール信号タイミング | 21-42 |
| 表 21.14 H-UDI 関連端子のタイミング | 21-45 |

1. 概要

本 LSI は、ルネサス テクノロジーの RISC (Reduced Instruction Set Computer) 方式の CPU をコアにして、イーサネットシステムに必要な周辺機能を集積した CMOS シングルチップ・マイコンです。

本 LSI の CPU は、RISC (Reduced Instruction Set Computer) 方式の命令セットを持っており、基本的に 1 命令 1 サイクルで動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成となっており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI は、IEEE802.3u 規格に準拠したメディアアクセスコントローラ (MAC) とメディアインディペンデントインタフェース (MII) 標準ユニットを含むイーサネットコントローラを搭載しており、10/100Mbps での LAN 接続を実現することができます。また、システムに必要な周辺機能として、キャッシュメモリ、RAM、タイマ、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、ホストインタフェース (HIF)、割り込みコントローラ (INTC)、I/O ポートなどをサポートします。

また、本 LSI では外部メモリアクセスサポート機能により、通常メモリ、SDRAM、PCMCIA と直接接続が行えます。

これらにより、システムコストの大幅な低減が可能です。

1. 概要

1.1 特長

表 1.1 SH7618、SH7618A の特長

| 項目 | 特長 |
|---------------------------|---|
| CPU | <ul style="list-style-type: none">• 32 ビット RISC (Reduced Instruction Set Computer) タイプ CPU• 命令長 : 16 ビット固定による、コード効率の向上• ロードストアアーキテクチャ (基本演算はレジスタ間で実行)• 汎用レジスタ : 32 ビット × 16 本• バイプライン : 5 段バイプライン方式• 乗算器内蔵 : 32 × 32 64 乗算を 2 ~ 5 サイクル実行• 基本命令 : 62 種類、C 言語指向の命令セット <p>【注意】スロット不当命令の仕様に関して従来の SH2 コアと異なる点がありますので、ご注意ください。詳細は、「第 5 章 例外処理」の「5.8 使用上の注意事項」を参照ください。</p> |
| ユーザブレイク コントローラ (UBC) | <ul style="list-style-type: none">• アドレス、データ値、アクセスタイプ、データサイズはすべてブレイク条件として設定可能• シーケンシャルブレイク機能をサポート• 2 本のブレイクチャネル |
| U メモリ | <ul style="list-style-type: none">• 4K バイト |
| キャッシュメモリ | <ul style="list-style-type: none">• 命令、データ混在のユニファイドタイプ• 4 ウェイセットアソシアティブの連想方式• ライトスルー、ライトバックを選択可能• 4K バイト (SH7618)、16K バイト (SH7618A) |
| バスステート コントローラ (BSC) | <ul style="list-style-type: none">• それぞれ最大 64M バイトの 3 つの領域エリア 0、3、4 および最大 32M バイトの 2 つの領域エリア 5B、6B の合計 5 エリアのアドレス空間をサポート (アドレスマップ 1 モード)• それぞれ最大 64M バイトの 5 つの領域エリア 0、3、4、5、6 の合計 5 エリアのアドレス空間をサポート (アドレスマップ 2 モード)• 外部バス 16 ビット• 各エリアには独立に次の機能を設定可能 :<ul style="list-style-type: none">- バスサイズ (8、16 ビット)- アクセスウェイトサイクル数- アイドルウェイトサイクル設定- エリアごとに接続するメモリを指定することによって SRAM、SDRAM、PCMCIA との直結が可能。- 該当する領域にチップセレクト信号 (CS0、CS3、CS4、CS5B、CS6B) を出力• SDRAM リフレッシュ機能<ul style="list-style-type: none">- オートリフレッシュおよびセルフリフレッシュモードをサポート• SDRAM バーストアクセス機能• PCMCIA アクセス機能<ul style="list-style-type: none">- JEIDA 仕様 Ver4.2 準拠、2 スロット• ビッグ/リトルエンディアン切り替え可能 (モード端子による全空間一括切り替え) |

| 項目 | 特長 |
|-----------------------------------|---|
| 割り込み コントローラ (INTC) | <ul style="list-style-type: none"> • 9本の外部割り込み端子 (NMI、IRQ7～IRQ0) • 内蔵周辺割り込み：モジュールごとに優先順位を設定 • ベクタアドレス：割り込み要因ごとに固有のベクタアドレス |
| ユーザデバッグ インタフェース (H-UDI) | <ul style="list-style-type: none"> • JTAG インタフェースエミュレータのサポート • JTAG 標準端子配置 |
| クロック発振器 (CPG) | <ul style="list-style-type: none"> • クロックモード：入力クロックを外部入力、水晶発振子から選択可能 • 3種類のクロックを生成 <ul style="list-style-type: none"> - CPU クロック：100MHz (MAX) - バスクロック：50MHz (MAX) - 周辺クロック：50MHz (MAX) • パワーダウンモードのサポート <ul style="list-style-type: none"> - スリープモード - ソフトウェアスタンバイモード • 4種類のクロックモード (PLL2の×2 / ×4 選択およびクロック / 水晶発振子のどちらかを選択可能) |
| イーサネット コントローラ (EtherC) | <ul style="list-style-type: none"> • MAC (Media Access Control 機能) <ul style="list-style-type: none"> - データフレームの組み立て / 分解 (IEEE802.3 準拠フレーム形式) - CSMA/CD 方式のリンク管理 (衝突回避、衝突発生時の処理) - CRC 処理 - FIFO 内蔵 (送信用、受信用それぞれ 256 バイト (SH7618)、512 バイト (SH7618A)) - 全二重送受信サポート - ショートフレーム・ロングフレームの検出が可能 • MII (Media Independent Interface) 標準規格に対応 <ul style="list-style-type: none"> - MAC 層からの 8 ビットデータストリームを MII ニブルストリーム (4 ビット) に変換 - ステーション管理 (STA 機能) - 18 本の TTL レベル信号 - 転送レート 10/100Mbps • Magic Packet™* (WOL (Wake On LAN) 出力あり) |
| イーサネット コントローラ用 DMAC (EDMAC) | <ul style="list-style-type: none"> • ディスクリプタ管理方式による CPU 負荷の軽減 • EtherC 受信 FIFO から受信バッファへの転送用 ×1 チャンネル • 送信バッファから EtherC 送信 FIFO への転送用 ×1 チャンネル • 16 バイトバースト転送可能によるシステムバスの効率使用 • シングルフレーム・マルチバッファ対応可能 |

1. 概要

| 項目 | 特長 |
|------------------------------------|--|
| ホストインタフェース (HIF) | <ul style="list-style-type: none">• 1K バイト×2 バンク : 計 2K バイトのバッファ RAM 内蔵• バッファ RAM と外部デバイスは 16 本のデータ端子でパラレル接続• バッファ RAM と本 LSI の CPU とは内部バスでパラレル接続• 外部デバイスは、レジスタインデクス指定後に、所望のレジスタをアクセス可能 (ただし、バッファ RAM 連続アクセス時はアドレス自動更新可能)• エンディアン切り替え可能• 外部デバイスに対して割り込み要求可能• 本 LSI の CPU に対して内部割り込み要求可能• 外部デバイスがバッファ RAM に命令コードをあらかじめ格納しておくことで、バッファ RAM からブート可能 |
| コンペアマッチタイマ (CMT) | <ul style="list-style-type: none">• 16 ビットカウンタ• コンペアマッチ割り込み発生• 2 チャンネル |
| FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) | <ul style="list-style-type: none">• クロック同期 / 調歩同期モード• 送受信用 FIFO 各々 16 バイト内蔵• 高速な UART• UART は FIFO ストップ / FIFO トリガサポート• フロー制御可能 (チャンネル 0、1 のみ)• 3 チャンネル |
| I/O ポート | <ul style="list-style-type: none">• 78 本の汎用入出力端子• 入出力兼用ポートはビットごとに入出力切り替え可能 |
| パッケージ | <ul style="list-style-type: none">• BP1313-176 (0.8 ピッチ) |
| 電源電圧 | <ul style="list-style-type: none">• I/O : 3.0 ~ 3.6V 内部 : 1.5 ± 0.1V (外部から 2 電源供給) |

【注】 * Magic Packet™ は、Advanced Micro Devices, Inc. の登録商標です。

1.2 ブロック図

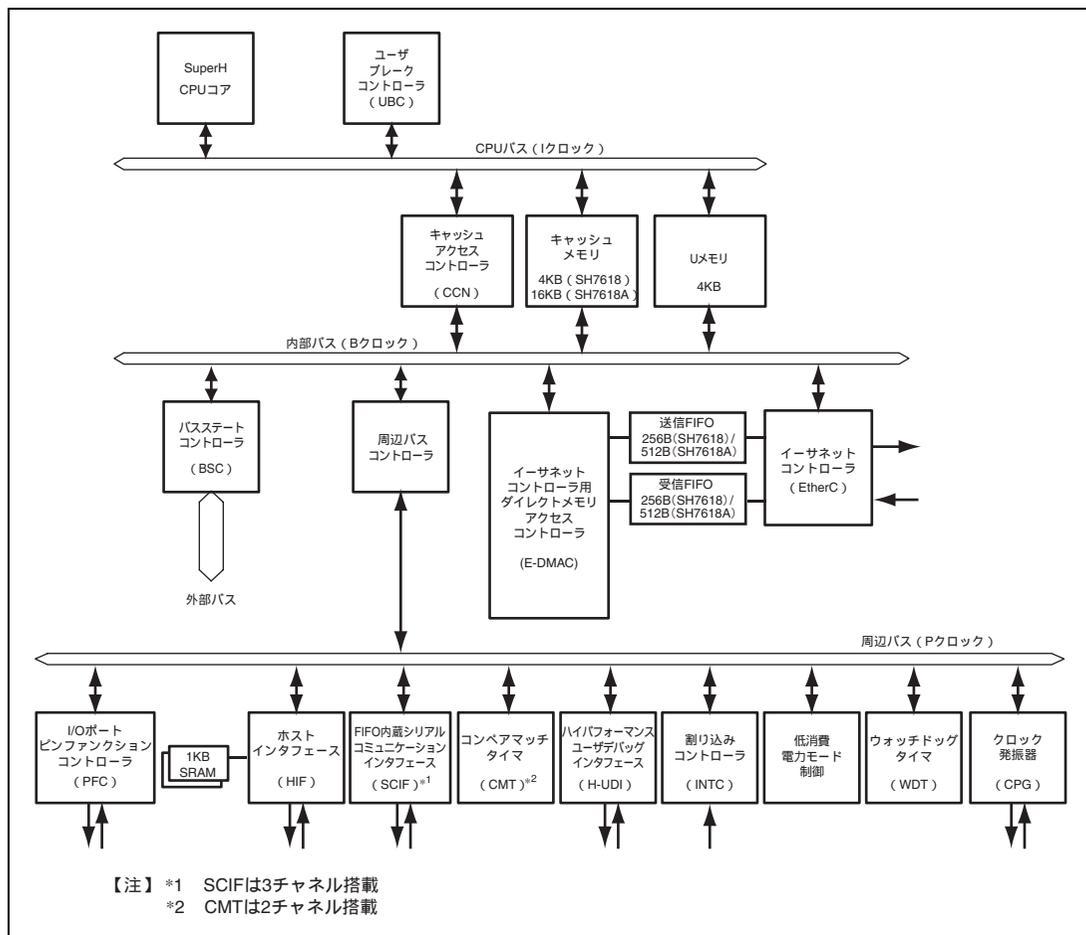


図 1.1 ブロック図

1. 概要

1.3 ピン配置図

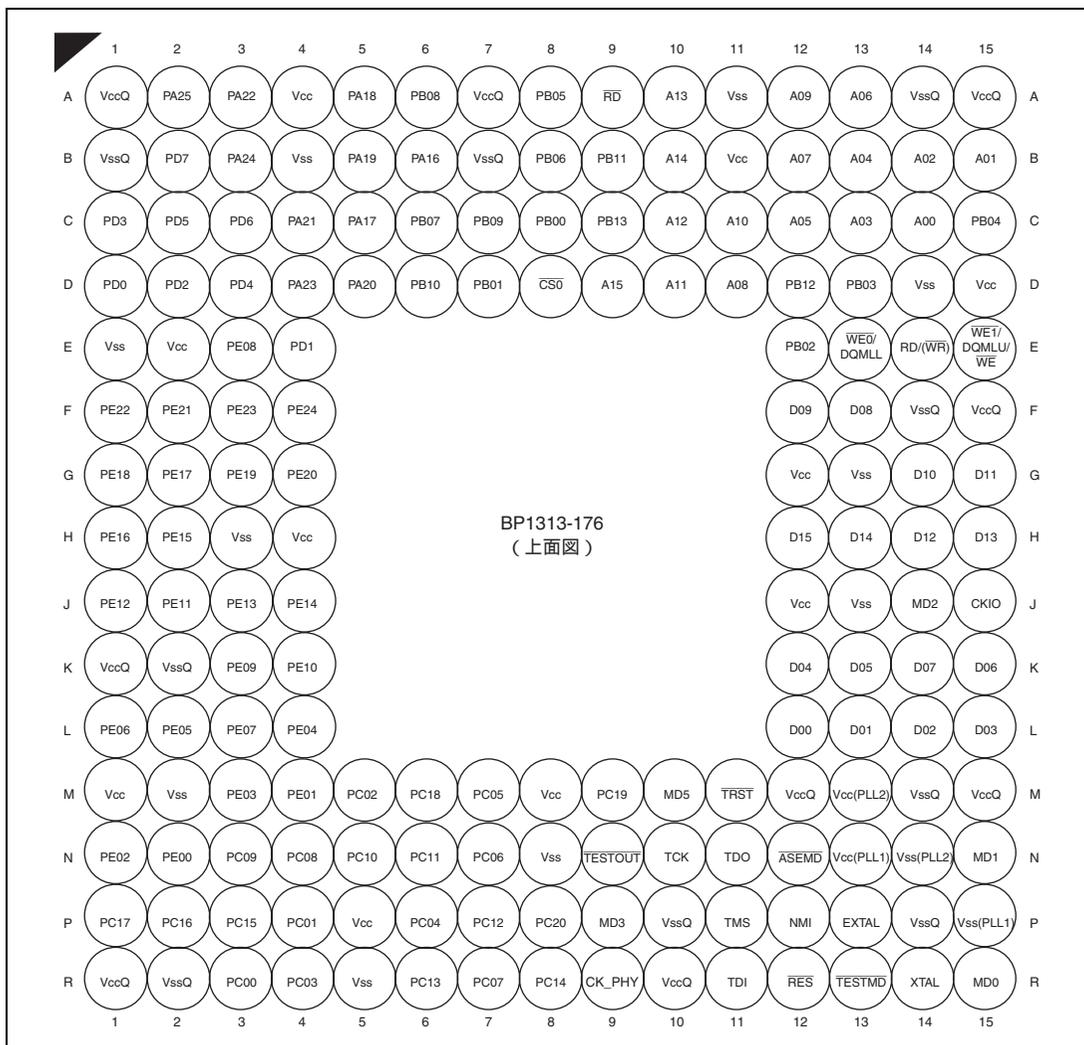


図 1.2 ピン配置図

1.4 端子機能

表 1.2 端子機能

| 分類 | 記号 | 入出力 | 名称 | 機能 |
|-----------------|-------------------|-----|-----------------|---|
| 電源 | Vcc | 入力 | 電源 | LSI 内部論理用の電源です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。 |
| | Vss | 入力 | グランド | グランド端子です。すべての Vss 端子をシステム電源(0V)に接続してください。開放端子があると動作しません。 |
| | VccQ | 入力 | 電源 | 入出力端子用電源です。すべての VccQ 端子をシステムの電源に接続してください。開放端子があると動作しません。 |
| | VssQ | 入力 | グランド | グランド端子です。すべての VssQ 端子をシステム電源(0V)に接続してください。開放端子があると動作しません。 |
| クロック | Vcc (PLL1) | 入力 | PLL1 用電源 | 内蔵 PLL1 発振器用の電源端子です。 |
| | Vss (PLL1) | 入力 | PLL1 用グランド | 内蔵 PLL1 発振器用のグランド端子です。 |
| | Vcc (PLL2) | 入力 | PLL2 用電源 | 内蔵 PLL2 発振器用の電源端子です。 |
| | Vss (PLL2) | 入力 | PLL2 用グランド | 内蔵 PLL2 発振器用のグランド端子です。 |
| | EXTAL | 入力 | 外部クロック | 水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。外部クロック入力の場合の接続例については、「第 8 章 クロック発振器 (CPG)」を参照してください。 |
| | XTAL | 出力 | クリスタル | 水晶発振子を接続します。 |
| | CKIO | 出力 | システムクロック | 外部デバイスにシステムクロックを供給します。 |
| 動作モード コントロール | MD5、 MD3 ~ MD0 | 入力 | モード設定 | 動作モードを設定します。これらの端子は動作中には変化させないでください。 MD2 ~ MD0 はクロックモード設定用、MD3 はエリア 0 のバス幅モード設定用、MD5 はエンディアン設定用です。 |
| | RES | 入力 | パワーオン リセット | この端子がローレベルになると、パワーオンリセット状態になります。 |
| 割り込み | NMI | 入力 | ノンマスカブル 割り込み | ノンマスカブル割り込み要求端子です。使用しない場合はハイレベルに固定してください。 |
| | IRQ7 ~ IRQ0 | 入力 | 割り込み要求 7 ~ 0 | マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がりの選択が可能です。 |
| アドレスバス | A25 ~ A0 | 出力 | アドレスバス | アドレスを出力します。 |
| データバス | D15 ~ D0 | 入出力 | データバス | 16 ビットの双方向バスです。 |

1. 概要

| 分類 | 記号 | 入出力 | 名称 | 機能 |
|--------------|--|-----|----------------------|---|
| バス制御 | $\overline{CS0}$ 、 $\overline{CS3} - \overline{CS4}$ 、 $\overline{CS5B}$ 、 $\overline{CS6B}$ | 出力 | チップセレクト 0、3~4、5B、6B | 外部メモリまたはデバイスのためのチップセレクト信号です。 |
| | \overline{RD} | 出力 | 読み出し | 外部のデバイスから読み出すことを示します。 |
| | $\overline{RD}/\overline{WR}$ | 出力 | リード/ライト | リード/ライト信号 |
| | \overline{BS} | 出力 | バス開始 | バスサイクル開始 |
| | $\overline{WE1}$ | 出力 | 上位側書き込み | 外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。 |
| | $\overline{WE0}$ | 出力 | 下位側書き込み | 外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。 |
| | \overline{WAIT} | 入力 | ウェイト | 外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。 |
| | \overline{RAS} | 出力 | RAS | SDRAM の \overline{RAS} 端子に接続します。 |
| | \overline{CAS} | 出力 | CAS | SDRAM の \overline{CAS} 端子に接続します。 |
| | \overline{CKE} | 出力 | クロックイネーブル | SDRAM の \overline{CKE} 端子に接続します。 |
| | \overline{DQMLU} | 出力 | 上位側選択 | SDRAM のデータバスビット 15~8 を選択します。 |
| | \overline{DQMLL} | 出力 | 下位側選択 | SDRAM のデータバスビット 7~0 を選択します。 |
| | $\overline{CE1A}$ | 出力 | PCMCIA カードセレクト下位側 | エリア 5 接続の PCMCIA 用チップイネーブル |
| | $\overline{CE1B}$ | 出力 | PCMCIA カードセレクト下位側 | エリア 6 接続の PCMCIA 用チップイネーブル |
| | $\overline{CE2A}$ | 出力 | PCMCIA カードセレクト上位側 | エリア 5 接続の PCMCIA 用チップイネーブル |
| | $\overline{CE2B}$ | 出力 | PCMCIA カードセレクト上位側 | エリア 6 接続の PCMCIA 用チップイネーブル |
| | \overline{ICIORW} | 出力 | PCMCIA I/O ライトストロープ | PCMCIA I/O ライトストロープを接続します。 |
| | \overline{ICIORL} | 出力 | PCMCIA I/O リードストロープ | PCMCIA I/O リードストロープを接続します。 |
| | \overline{WE} | 出力 | PCMCIA メモリライトストロープ | PCMCIA メモリライトストロープを接続します。 |
| | $\overline{IOIS16}$ | 入力 | PCMCIA ダイナミックバスサイジング | リトルエンディアン時、PCMCIA の 16 ビット幅 I/O を示します。ビッグエンディアン時は、ローレベル固定にしてください。 |
| イーサネットコントローラ | CRS | 入力 | キャリアセンス | キャリアセンス端子です。 |
| | COL | 入力 | コリジョン | 衝突検出端子です。 |
| | MII_TXD3~MII_TXD0 | 出力 | 送信データ | 4 ビットの送信データ端子です。 |

| 分類 | 記号 | 入出力 | 名称 | 機能 |
|---|------------------------|-----|------------------|---|
| イーサネット コントローラ | TX_EN | 出力 | 送信イネーブル | MII_TXD3 ~ MII_TXD0 上に送信データが準備できたことを示します。 |
| | TX_CLK | 入力 | 送信クロック | TX_EN、TX_ER、MII_TXD3 ~ MII_TXD0 の参照タイミング入力です。 |
| | TX_ER | 出力 | 送信エラー | 送信中のエラーを PHY-LSI に通知する端子です。 |
| | MII_RXD3 ~ MII_RXD0 | 入力 | 受信データ | 4 ビットの受信データ端子です。 |
| | RX_DV | 入力 | 受信データ バリッド | MII_RXD3 ~ MII_RXD0 上に有効な受信データがあることを示します。 |
| | RX_CLK | 入力 | 受信クロック | RX_DV、RX_ER、MII_RXD3 ~ MII_RXD0 の参照タイミング入力です。 |
| | RX_ER | 入力 | 受信エラー | 受信中に発生したエラー状態を認識する端子です。 |
| | MDC | 出力 | 管理用クロック | MDIO による転送情報の参照タイミング入力です。 |
| | MDIO | 入出力 | 管理用データ 入出力 | 管理情報を交換するための双方向端子です。 |
| | WOL | 出力 | MAGIC パケット 受信 | Magic Packet™* 受信を示す端子です。 |
| | LNKSTA | 入力 | リンクステータス | PHY-LSI からのリンク状態入力端子です。 |
| | EXOUT | 出力 | 汎用出力 | 外部出力用端子です。 |
| FIFO 内蔵 シリアルコミュニ ケーション インタフェース | TXD2 ~ TXD0 | 出力 | 送信データ | 送信データ用の端子です。 |
| | RXD2 ~ RXD0 | 入力 | 受信データ | 受信データ用の端子です。 |
| | SCK2 ~ SCK0 | 入出力 | シリアルクロック | クロック入力端子です。 |
| | RTS1 ~ RTS0 | 出力 | 送信要求 | モデムコントロール端子です。SCIF1、0 のみ対応します。 |
| | CTS1 ~ CTS0 | 入力 | 送信可 | モデムコントロール端子です。SCIF1、0 のみ対応します。 |
| ホストインタ フェース | HIFD15 ~ HIFD00 | 入出力 | HIF データバス | HIF へのアドレス / データ / コマンド入出力です。 |
| | HIFCS | 入力 | HIF チップ セレクト | HIF へのチップセレクト入力です。 |
| | HIFRS | 入力 | HIF レジスタ セレクト | HIF へのアクセス種別切り替え指示です。 |
| | HIFWR | 入力 | HIF ライト | ライトストロープ信号です。 |
| | HIFRD | 入力 | HIF リード | リードストロープ信号です。 |
| | HIFINT | 出力 | HIF 割り込み | HIF から外部デバイスへの割り込み要求です。 |
| | HIFMD | 入力 | HIF モード | HIF ブートモードを指定します。 |
| | HIFDREQ | 出力 | HIFDMAC 転送 要求 | 外部デバイスに対して HIFRAM への DMAC 転送を要求します。 |

1. 概要

| 分類 | 記号 | 入出力 | 名称 | 機能 |
|------------------------|----------------------------|-----|-------------|---|
| ホストインタフェース | HIFRDY | 出力 | HIF ブートレディ | 本 LSI 内部で、HIF モジュールのリセットが解除され、外部デバイスから HIF モジュールへのアクセスを受け付け可能になったことを示します。 |
| | HIFEBL | 入力 | HIF 端子イネーブル | ハイレベルを入力することで、本端子以外の HIF 端子を活性化します。 |
| ユーザデバッグインタフェース (H-UDI) | TCK | 入力 | テストクロック | テストクロック入力端子です。 |
| | TMS | 入力 | テストモードセレクト | テストモードセレクト信号入力端子です。 |
| | TDI | 入力 | テストデータ入力 | インストラクションとデータのシリアル入力端子です。 |
| | TDO | 出力 | テストデータ出力 | インストラクションとデータのシリアル出力端子です。 |
| | $\overline{\text{TRST}}$ | 入力 | テストリセット | 初期化信号入力端子です。 |
| I/O ポート | PA25 ~ PA16 | 入出力 | 汎用ポート | 10 ビットの汎用入出力ポート端子です。 |
| | PB13 ~ PB00 | 入出力 | 汎用ポート | 14 ビットの汎用入出力ポート端子です。 |
| | PC20 ~ PC00 | 入出力 | 汎用ポート | 21 ビットの汎用入出力ポート端子です。 |
| | PD07 ~ PD00 | 入出力 | 汎用ポート | 8 ビットの汎用入出力ポート端子です。 |
| | PE24 ~ PE00 | 入出力 | 汎用ポート | 25 ビットの汎用入出力ポート端子です。 |
| エミュレータインタフェース | ASEMD | 入力 | ASE モード | ASE モードを設定します。 本端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 |
| テストモード | $\overline{\text{TESTMD}}$ | 入力 | テストモード | テストモードを設定します。 本端子にローレベルを入力するとテストモードになります。本端子は常にハイレベルを入力してください。 |
| | TESTOUT | 出力 | テスト出力 | テスト用出力端子です。本端子には何も接続しないでください。 |

【注】 * Magic Packet™ は、Advanced Micro Devices, Inc の登録商標です。

表 1.3 各端子の入出力属性一覧

| ピン番号 | 機能名 | 入出力属性 |
|------|----------------------------------|-------------|
| A1 | VccQ | Power |
| A2 | PA25/A25 | IO / O |
| A3 | PA22/A22 | IO / O |
| A4 | Vcc | Power |
| A5 | PA18/A18 | IO / O |
| A6 | PB08/ ($\overline{CS6B/CE1B}$) | IO / O / O |
| A7 | VccQ | Power |
| A8 | PB05/ \overline{ICIORD} | IO / O |
| A9 | \overline{RD} | O |
| A10 | A13 | O |
| A11 | Vss | Power |
| A12 | A09 | O |
| A13 | A06 | O |
| A14 | VssQ | Power |
| A15 | VccQ | Power |
| B1 | VssQ | Power |
| B2 | PD7/IRQ7/SCK2 | IO / I / IO |
| B3 | PA24/A24 | IO / O |
| B4 | Vss | Power |
| B5 | PA19/A19 | IO / O |
| B6 | PA16/A16 | IO / O |
| B7 | VssQ | Power |
| B8 | PB06/ \overline{ICIOWR} | IO / O |
| B9 | PB11/ $\overline{CS4}$ | IO / O |
| B10 | A14 | O |
| B11 | Vcc | Power |
| B12 | A07 | O |
| B13 | A04 | O |
| B14 | A02 | O |
| B15 | A01 | O |
| C1 | PD3/IRQ3/RxD1 | IO / I / I |
| C2 | PD5/IRQ5/TxD2 | IO / I / O |
| C3 | PD6/IRQ6/RxD2 | IO / I / I |
| C4 | PA21/A21 | IO / O |
| C5 | PA17/A17 | IO / O |
| C6 | PB07/ $\overline{CE2B}$ | IO / O |

1. 概要

| ピン番号 | 機能名 | 入出力属性 |
|------|--|-------------|
| C7 | PB09/ $\overline{CE2A}$ | IO / O |
| C8 | PB00/ \overline{WAIT} | IO / I |
| C9 | PB13/ \overline{BS} | IO / O |
| C10 | A12 | O |
| C11 | A10 | O |
| C12 | A05 | O |
| C13 | A03 | O |
| C14 | A00 | O |
| C15 | PB04/ \overline{RAS} | IO / O |
| D1 | PD0/ $\overline{IRQ0}$ | IO / I |
| D2 | PD2/ $\overline{IRQ2/TxD1}$ | IO / I / O |
| D3 | PD4/ $\overline{IRQ4/SCK1}$ | IO / I / IO |
| D4 | PA23/A23 | IO / O |
| D5 | PA20/A20 | IO / O |
| D6 | PB10/ ($\overline{CS5B/CE1A}$) | IO / O / O |
| D7 | PB01/ $\overline{IOIS16}$ | IO / I |
| D8 | $\overline{CS0}$ | O |
| D9 | A15 | O |
| D10 | A11 | O |
| D11 | A08 | O |
| D12 | PB12/ $\overline{CS3}$ | IO / O |
| D13 | PB03/ \overline{CAS} | IO / O |
| D14 | Vss | Power |
| D15 | Vcc | Power |
| E1 | Vss | Power |
| E2 | Vcc | Power |
| E3 | PE08/ \overline{HIFCS} | IO / I |
| E4 | PD1/ $\overline{IRQ1}$ | IO / I |
| E12 | PB02/ \overline{CKE} | IO / O |
| E13 | ($\overline{WE0/DQMLL}$) | O / O |
| E14 | RD/(\overline{WR}) | O |
| E15 | ($\overline{WE1/DQMLU/\overline{WE}}$) | O / O / O |
| F1 | PE22/ $\overline{HIFD13/CTS0}$ | IO / IO / I |
| F2 | PE21/ $\overline{HIFD12/RTS0}$ | IO / IO / O |
| F3 | PE23/ $\overline{HIFD14/RTS1}$ | IO / IO / O |
| F4 | PE24/ $\overline{HIFD15/CTS1}$ | IO / IO / I |
| F12 | D09 | IO |

| ピン番号 | 機能名 | 入出力属性 |
|------|------------------|--------------|
| F13 | D08 | IO |
| F14 | VssQ | Power |
| F15 | VccQ | Power |
| G1 | PE18/HIFD09/TxD1 | IO / IO / O |
| G2 | PE17/HIFD08/SCK0 | IO / IO / IO |
| G3 | PE19/HIFD10/RxD1 | IO / IO / I |
| G4 | PE20/HIFD11/SCK1 | IO / IO / IO |
| G12 | Vcc | Power |
| G13 | Vss | Power |
| G14 | D10 | IO |
| G15 | D11 | IO |
| H1 | PE16/HIFD07/RxD0 | IO / IO / I |
| H2 | PE15/HIFD06/TxD0 | IO / IO / O |
| H3 | Vss | Power |
| H4 | Vcc | Power |
| H12 | D15 | IO |
| H13 | D14 | IO |
| H14 | D12 | IO |
| H15 | D13 | IO |
| J1 | PE12/HIFD03 | IO / IO |
| J2 | PE11/HIFD02 | IO / IO |
| J3 | PE13/HIFD04 | IO / IO |
| J4 | PE14/HIFD05 | IO / IO |
| J12 | Vcc | Power |
| J13 | Vss | Power |
| J14 | MD2 | I |
| J15 | CKIO | IO |
| K1 | VccQ | Power |
| K2 | VssQ | Power |
| K3 | PE09/HIFD00 | IO / IO |
| K4 | PE10/HIFD01 | IO / IO |
| K12 | D04 | IO |
| K13 | D05 | IO |
| K14 | D07 | IO |
| K15 | D06 | IO |
| L1 | PE06/HIFWR | IO / I |
| L2 | PE05/HIFRD | IO / I |

1. 概要

| ピン番号 | 機能名 | 入出力属性 |
|------|---------------|--------|
| L3 | PE07/HIFRS | IO / I |
| L4 | PE04/HIFINT | IO / O |
| L12 | D00 | IO |
| L13 | D01 | IO |
| L14 | D02 | IO |
| L15 | D03 | IO |
| M1 | Vcc | Power |
| M2 | Vss | Power |
| M3 | PE03/HIFMD | IO / I |
| M4 | PE01/HIFRDY | IO / O |
| M5 | PC02/MII_RXD2 | IO / I |
| M6 | PC18/LNKSTA | IO / I |
| M7 | PC05/MII_TXD1 | IO / O |
| M8 | Vcc | Power |
| M9 | PC19/EXOUT | IO / O |
| M10 | MD5 | I |
| M11 | TRST | I |
| M12 | VccQ | Power |
| M13 | Vcc(PLL2) | Power |
| M14 | VssQ | Power |
| M15 | VccQ | Power |
| N1 | PE02/HIFDREQ | IO / O |
| N2 | PE00/HIFEFL | IO / I |
| N3 | PC09/RX_ER | IO / I |
| N4 | PC08/RX_DV | IO / I |
| N5 | PC10/RX_CLK | IO / I |
| N6 | PC11/TX_ER | IO / O |
| N7 | PC06/MII_TXD2 | IO / O |
| N8 | Vss | Power |
| N9 | TESTOUT | O |
| N10 | TCK | I |
| N11 | TDO | O |
| N12 | ASEMD | I |
| N13 | Vcc(PLL1) | Power |
| N14 | Vss(PLL2) | Power |
| N15 | MD1 | I |
| P1 | PC17/MDC | IO / O |

| ピン番号 | 機能名 | 入出力属性 |
|------|---------------|---------|
| P2 | PC16/MDIO | IO / IO |
| P3 | PC15/CRS | IO / I |
| P4 | PC01/MII_RXD1 | IO / I |
| P5 | Vcc | Power |
| P6 | PC04/MII_TXD0 | IO / O |
| P7 | PC12/TX_EN | IO / O |
| P8 | PC20/WOL | IO / O |
| P9 | MD3 | I |
| P10 | VssQ | Power |
| P11 | TMS | I |
| P12 | NMI | I |
| P13 | EXTAL | I |
| P14 | VssQ | Power |
| P15 | Vss(PLL1) | Power |
| R1 | VccQ | Power |
| R2 | VssQ | Power |
| R3 | PC00/MII_RXD0 | IO / I |
| R4 | PC03/MII_RXD3 | IO / I |
| R5 | Vss | Power |
| R6 | PC13/TX_CLK | IO / I |
| R7 | PC07/MII_TXD3 | IO / O |
| R8 | PC14/COL | IO / I |
| R9 | CK_PHY | O |
| R10 | VccQ | Power |
| R11 | TDI | I |
| R12 | RES | I |
| R13 | TESTMD | I |
| R14 | XTAL | O |
| R15 | MD0 | I |

1. 概要

2. CPU

2.1 特長

- 汎用レジスタ：32ビット×16本
- 基本命令：62種類
- アドレッシングモード：11種類
 - レジスタ直接 (Rn)
 - レジスタ間接 (@Rn)
 - ポストインクリメントレジスタ間接 (@Rn+)
 - プリデクリメントレジスタ間接 (@-Rn)
 - ディスプレースメント付きレジスタ間接 (@disp:4,Rn)
 - インデックス付きレジスタ間接 (@R0,Rn)
 - ディスプレースメント付きGBR間接 (@disp:8,GBR)
 - インデックス付きGBR間接 (@R0,GBR)
 - ディスプレースメント付きPC相対 (@disp:8,PC)
 - PC相対 (disp:8/disp:12/Rn)
 - イミディエイト (#imm:8)

2.2 レジスタの構成

レジスタは、汎用レジスタ (32ビット×16本)、コントロールレジスタ (32ビット×3本)、システムレジスタ (32ビット×4本) の3種類があります。

2. CPU

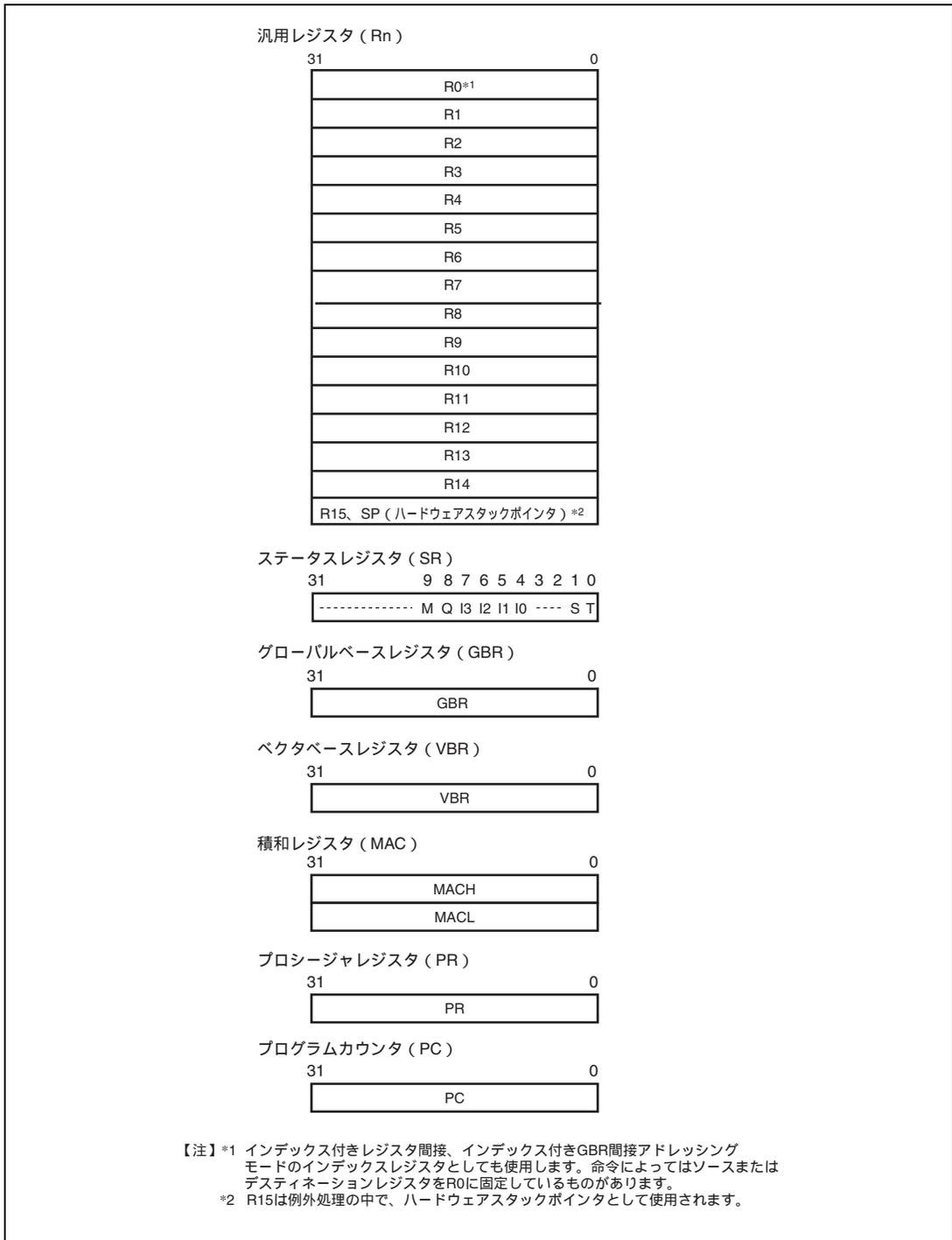


図 2.1 CPU 内部レジスタ構成

2.2.1 汎用レジスタ (Rn)

汎用レジスタ(Rn)は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ(SP)として使われます。例外処理でのステータスレジスタ(SR)とプログラムカウンタ(PC)の退避、回復はR15を用いてスタックを参照を行います。

2.2.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ(SR)、グローバルベースレジスタ(GBR)、ベクタベースレジスタ(VBR)の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

(1) ステータスレジスタ (SR)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|------|-----|---|
| 31~10 | - | すべて0 | R/W | リザーブビット 0が読み出されます。書き込みは必ず0を書き込んでください。 |
| 9 | M | 不定 | R/W | DIV0U、DIV0S、DIV1命令で使います。 |
| 8 | Q | 不定 | R/W | DIV0U、DIV0S、DIV1命令で使います。 |
| 7 | I3 | 1 | R/W | 割り込みマスクビット |
| 6 | I2 | 1 | R/W | |
| 5 | I1 | 1 | R/W | |
| 4 | I0 | 1 | R/W | |
| 3、2 | - | すべて0 | R/W | リザーブビット 0が読み出されます。書き込みは必ず0を書き込んでください。 |
| 1 | S | 不定 | R/W | Sビット 積和命令で使います。 |
| 0 | T | 不定 | R/W | Tビット 以下の命令では、真(1)、偽(0)を表します。 MOVT、CMP/cond、TAS、TST、BT (BT/S)、BF(BF/S)、SETT、CLRT 以下の命令では、キャリ、ポロー、オーバフロー、アンダフローなどを表します。 ADDV、ADDC、SUBV、SUBC、NEGC、DIV0U、DIV0S、DIV1、SHAR、SHAL、SHLR、SHLL、ROTR、ROTL、ROTCR、ROTCL |

2. CPU

(2) グローバルベースレジスタ (GBR)

GBR 間接アドレッシングモードのベースアドレスを示します。GBR 間接アドレッシングモードは、内蔵周辺モジュールのレジスタ領域などのデータ転送と論理演算に使用します。

(3) ベクタベースレジスタ (VBR)

例外処理ベクタ領域のベースアドレスを示します。

2.2.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。

(1) 積和レジスタ (MAC)

乗算、積和演算の結果の格納レジスタです。

(2) プロシージャレジスタ (PR)

サブルーチンプロシージャからの戻り先アドレスの格納レジスタです。

(3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト (2 命令) 先を示しています。

2.2.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

| 区分 | レジスタ | 初期値 |
|------------|--------------|-------------------------------------|
| 汎用レジスタ | R0 - R14 | 不定 |
| | R15 (SP) | ベクタアドレステーブル中の SP の値 |
| コントロールレジスタ | SR | I3 - I0 は 1111 (HF)、予約ビットは 0、その他は不定 |
| | GBR | 不定 |
| | VBR | H'00000000 |
| システムレジスタ | MACH、MACL、PR | 不定 |
| | PC | ベクタアドレステーブル中の PC の値 |

2.3 データ形式

2.3.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

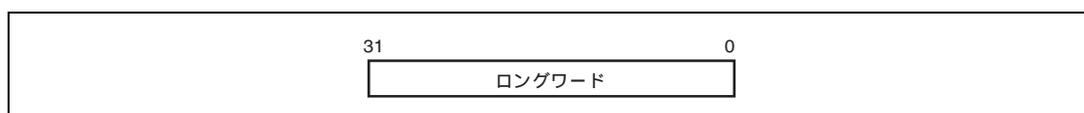


図 2.2 レジスタのデータ形式

2.3.2 メモリのデータ形式

メモリのデータ形式は、バイト、ワード、ロングワードに分けられます。バイトデータは任意のアドレスからアクセスできますが、 $2n$ 以外のアドレスから始まるワードデータ、または $4n$ 以外のアドレスから始まるロングワードにアクセスしようとするアドレスエラーが発生します。このような場合、アクセスするデータは保証できません。(図 2.3)

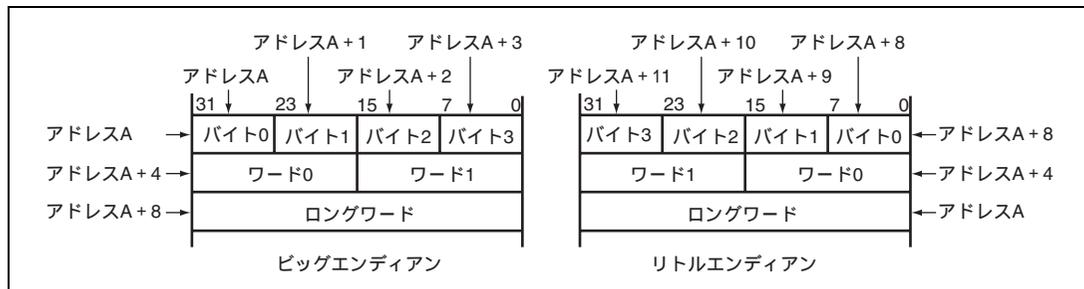


図 2.3 メモリ上でのデータ形式

データ形式は、リセット時のモード端子によってビッグエンディアンかリトルエンディアンのいずれかのバイト順を選択できます。モード端子の詳細については、「第 7 章 バスステートコントローラ (BSC)」を参照してください。

2.3.3 イミディエイトデータのデータ形式

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で、参照します。

2.4 命令の特長

2.4.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。40MHz 動作時、1 ステートは 25ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

| 本 LSI の CPU | 説明 | 他の CPU の例 |
|------------------------|---|-------------------|
| MOV.W @ (disp, PC), R1 | 32 ビットに符号拡張され、R1 は H'00001234 になります。 次に ADD 命令で演算されます。 | ADD.W #H'1234, R0 |
| ADD R1, R0 | | |
| | | |
| .DATA.W H'1234 | | |

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 つがあります。

表 2.3 遅延分岐命令

| 本 LSI の CPU | 説明 | 他の CPU の例 |
|-------------------------|---------------------------|---------------------------|
| BRA TRGET ADD R1, R0 | TRGET に分岐する前に ADD を実行します。 | ADD.W R1, R0 BRA TRGET |

(6) 乗算 / 積和演算

16×16 32の乗算を1~2ステート、16×16+64 64の積和演算を2~3ステートで実行します。32×32 64の乗算や、32×32+64 64の積和演算を2~4ステートで実行します。

(7) Tビット

比較結果はSRのTビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみTビットを変化させ、処理速度を向上させています。

表 2.4 Tビット

| 本 LSI の CPU | 説 明 | 他の CPU の例 |
|---------------|----------------------------|--------------|
| CMP/GE R1, R0 | R0 R1 のとき Tビットがセットされます。 | CMP.W R1, R0 |
| BT TRGET0 | R0 R1 のとき TRGET0 へ分岐します。 | BGE TRGET0 |
| BF TRGET1 | R0 < R1 のとき TRGET1 へ分岐します。 | BLT TRGET1 |
| ADD #-1, R0 | ADD では Tビットが変化しません。 | SUB.W #1, R0 |
| CMP/EQ #0, R0 | R0 = 0 のとき Tビットがセットされます。 | BEQ TRGET |
| BT TRGET | R0 = 0 のとき分岐します。 | |

(8) イミディエイトデータ

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令(MOV)で参照します。

表 2.5 イミディエイトデータによる参照

| 区 分 | 本 LSI の CPU | 他の CPU の例 |
|---------------|--|----------------------|
| 8 ビットイミディエイト | MOV #H'12, R0 | MOV.B #H'12, R0 |
| 16 ビットイミディエイト | MOV.W @(disp, PC), R0DATA.W H'1234 | MOV.W#H'1234, R0 |
| 32 ビットイミディエイト | MOV.L @(disp, PC), R0DATA.L H'12345678 | MOV.L#H'12345678, R0 |

【注】 @(disp, PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

2. CPU

表 2.6 絶対アドレスによる参照

| 区 分 | 本 LSI の CPU | 他の CPU の例 |
|--------|------------------------|------------------------|
| 絶対アドレス | MOV.L @ (disp, PC), R1 | MOV.B @ H'12345678, R0 |
| | MOV.B @ R1, R0 | |
| | | |
| | .DATA.L H'12345678 | |

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(10) 16 ビット / 32 ビットディスプレースメント

16 ビット、または 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

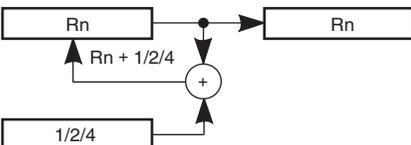
| 区 分 | 本 LSI の CPU | 他の CPU の例 |
|------------------|------------------------|--------------------------|
| 16 ビットディスプレースメント | MOV.W @ (disp, PC), R0 | MOV.W @ (H'1234, R1), R2 |
| | MOV.W @ (R0, R1), R2 | |
| | | |
| | .DATA.W H'1234 | |

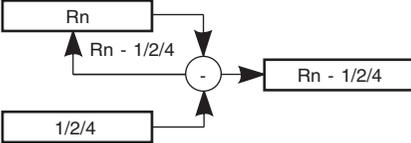
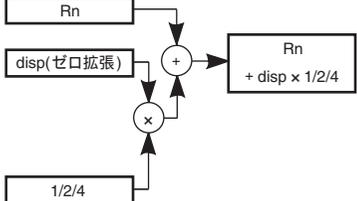
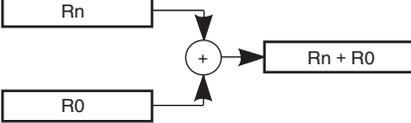
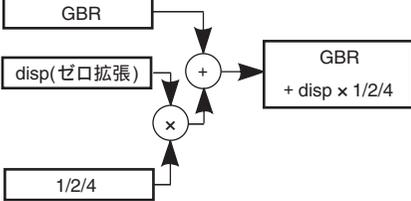
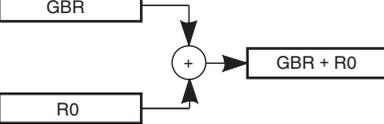
【注】 @ (disp, PC) でイミディエイトデータを参照します。

2.4.2 アドレッシングモード

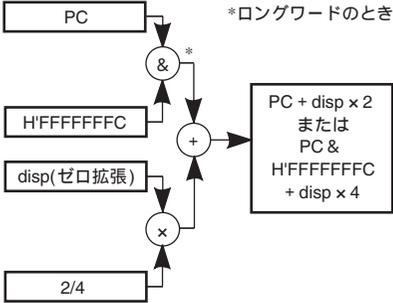
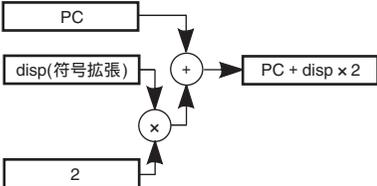
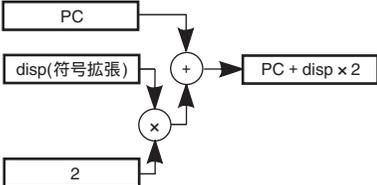
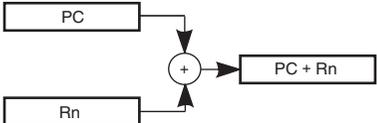
アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

| アドレッシングモード | 命令フォーマット | 実行アドレスの計算方法 | 計算式 |
|----------------------|----------|--|---|
| レジスタ直接 | Rn | 実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です) | - |
| レジスタ間接 | @Rn | 実効アドレスはレジスタ Rn の内容です。  | Rn |
| ポストインクリメント レジスタ間接 | @Rn + | 実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。  | Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn |

| アドレッシングモード | 命令フォーマット | 実行アドレスの計算方法 | 計算式 |
|---------------------|------------------|---|--|
| プリデクリメントレジスタ間接 | @ - Rn | <p>実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。</p>  | <p>バイト : $Rn - 1$ Rn ワード : $Rn - 2$ Rn ロングワード : $Rn - 4$ Rn (計算後の Rn で命令実行)</p> |
| ディスプレースメント付きレジスタ間接 | @ (disp:4, Rn) | <p>実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>  | <p>バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$</p> |
| インデックス付きレジスタ間接 | @ (R0, Rn) | <p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>  | $Rn + R0$ |
| ディスプレースメント付き GBR 間接 | @ (disp: 8, GBR) | <p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>  | <p>バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$</p> |
| インデックス付き GBR 間接 | @ (R0, GBR) | <p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>  | $GBR + R0$ |

2. CPU

| アドレッシングモード | 命令フォーマット | 実行アドレスの計算方法 | 計算式 |
|--------------------|-----------------|--|--|
| ディスプレースメント付き PC 相対 | @ (disp: 8, PC) | <p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p style="text-align: right;">*ロングワードのとき</p> | <p>ワード : $PC + \text{disp} \times 2$ ロングワード : $PC \& \text{H'FFFFFFFC} + \text{disp} \times 4$</p> |
| PC 相対 | disp: 8 | <p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>  | $PC + \text{disp} \times 2$ |
| | disp: 12 | <p>実効アドレスはレジスタ PC に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>  | $PC + \text{disp} \times 2$ |
| | Rn | <p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p>  | $PC + Rn$ |

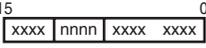
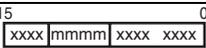
| アドレッシング モード | 命令 フォーマット | 実行アドレスの計算方法 | 計算式 |
|----------------|--------------|---|-----|
| イミディエイト | #imm:8 | TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。 | - |
| | #imm:8 | MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。 | - |
| | #imm:8 | TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張 後、4 倍します。 | - |

2.4.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

| 命令形式 | | ソ - スオペランド | デスティネ - ション オペランド | 命令の例 |
|------|---|----------------------------|---------------------------|------------------|
| 0 形式 |  | - | - | NOP |
| n 形式 |  | - | nnnn: レジスタ直接 | MOVT Rn |
| | | コントロールレジスタ またはシステムレジスタ | nnnn: レジスタ直接 | STS MACH, Rn |
| | | コントロールレジスタ またはシステムレジスタ | nnnn: プリデクリメント レジスタ間接 | STC.L SR, @ - Rn |
| m 形式 |  | mmmm: レジスタ直接 | コントロールレジスタ またはシステムレジスタ | LDC Rm, SR |
| | | mmmm: ポストインク リメントレジスタ間接 | コントロールレジスタ またはシステムレジスタ | LDC.L @Rm+, SR |
| | | mmmm: レジスタ間接 | - | JMP @Rm |
| | | mmmm: Rm を用いた PC 相対 | - | BRAF Rm |

2. CPU

| 命令形式 | | ソースオペランド | デスティネーション オペランド | 命令の例 |
|--------|--|--|---|------------------------|
| nm 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$ | m m m m: レジスタ直接 | n n n n: レジスタ直接 | ADD Rm, Rn |
| | | m m m m: レジスタ直接 | n n n n: レジスタ間接 | MOV.L Rm, @Rn |
| | | m m m m: ポストインクリメント レジスタ間接 (積和演算) n n n n: * ポストインクリメント レジスタ間接 (積和演算) | MACH, MACL | MAC.W @Rm+, @Rn+ |
| | | m m m m: ポストインクリメント レジスタ間接 | n n n n: レジスタ直接 | MOV.L @Rm+, Rn |
| | | m m m m: レジスタ直接 | n n n n: プリデクリメント レジスタ間接 | MOV.L Rm, @-Rn |
| | | m m m m: レジスタ直接 | n n n n: インデックス付き レジスタ間接 | MOV.L Rm, @(R0, Rn) |
| md 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{m m m m} & \text{d d d d} \\ \hline \end{array}$ | m m m m d d d d: ディスプレースメント 付きレジスタ間接 | R0 (レジスタ直接) | MOV.B @(disp, Rn), R0 |
| nd4 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{n n n n} & \text{d d d d} \\ \hline \end{array}$ | R0 (レジスタ直接) | n n n n d d d d: ディスプレースメント 付きレジスタ間接 | MOV.B R0, @(disp, Rn) |
| nmd 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{m m m m} & \text{d d d d} \\ \hline \end{array}$ | m m m m: レジスタ直接 | n n n n d d d d: ディスプレースメント 付きレジスタ間接 | MOV.L Rm, @(disp, Rn) |
| | | m m m m d d d d: ディスプレースメント付 きレジスタ間接 | n n n n: レジスタ直接 | MOV.L @(disp, Rm), Rn |
| d 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{d d d d} & \text{d d d d} \\ \hline \end{array}$ | d d d d d d d d: ディスプレースメント付 き GBR 間接 | R0 (レジスタ直接) | MOV.L @(disp, GBR), R0 |
| | | R0 (レジスタ直接) | d d d d d d d d: ディスプレースメント 付き GBR 間接 | MOV.L R0, @(disp, GBR) |
| | | d d d d d d d d: ディスプレースメント付 き PC 相対 | R0 (レジスタ直接) | MOVA @(disp, PC), R0 |
| | | - | d d d d d d d d: PC 相対 | BF label |

| 命令形式 | | ソースオペランド | デスティネーション オペランド | 命令の例 |
|--------|--|-----------------------------------|-----------------------|------------------------------|
| d12 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$ | - | ddddddddddd: PC 相対 | BRA label (label=disp+pc) |
| nd8 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{dddd} & \text{dddd} \\ \hline \end{array}$ | ddddddd: ディスプレイメント 付き PC 相対 | nnnn: レジスタ直接 | MOV.L @(disp,PC),Rn |
| i 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iiii} & \text{iiii} \\ \hline \end{array}$ | iiiiiii: イミディエイト | インデックス付き GBR 間接 | AND.B #imm,@(R0,GBR) |
| | | iiiiiii: イミディエイト | R0 (レジスタ直接) | AND #imm, R0 |
| | | iiiiiii: イミディエイト | - | TRAPA #imm |
| ni 形式 | $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{iiii} \\ \hline \end{array}$ | iiiiiii: イミディエイト | nnnn: レジスタ直接 | ADD #imm, Rn |

【注】 * 積和命令では nnnn は、ソースレジスタです。

2.5 命令セット

2.5.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

| 分類 | 命令の種類 | オペコード | 機能 | 命令数 |
|---------|--------------|----------|--|-----|
| データ転送命令 | 5 | MOV | データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 | 39 |
| | | MOVA | 実行アドレスの転送 | |
| | | MOVT | Tビットの転送 | |
| | | SWAP | 上位と下位の交換 | |
| | | XTRCT | 連結レジスタの中央切り出し | |
| 算術演算命令 | 21 | ADD | 2進加算 | 33 |
| | | ADDC | キャリ付き2進加算 | |
| | | ADDV | オーバフロー付き2進加算 | |
| | | CMP/cond | 比較 | |
| | | DIV1 | 除算 | |
| | | DIV0S | 符号付き除算の初期化 | |
| | | DIV0U | 符号なし除算の初期化 | |
| | | DMULS | 符号付き倍精度乗算 | |
| | | DMULU | 符号なし倍精度乗算 | |
| | | DT | デクリメントとテスト | |
| | | EXTS | 符号拡張 | |
| | | EXTU | ゼロ拡張 | |
| | | MAC | 積和演算、倍精度積和演算 | |
| | | MUL | 倍精度乗算 | |
| | | MULS | 符号付き乗算 | |
| | | MULU | 符号なし乗算 | |
| | | NEG | 符号反転 | |
| | | NEGC | ポロー付き符号反転 | |
| | | SUB | 2進減算 | |
| | | SUBC | ポロー付き2進減算 | |
| SUBV | アンドフロー付き2進減算 | | | |

| 分類 | 命令の種類 | オペコード | 機能 | 命令数 |
|--------|-------|--------|---------------------------|-----|
| 論理演算命令 | 6 | AND | 論理積演算 | 14 |
| | | NOT | ビット反転 | |
| | | OR | 論理和演算 | |
| | | TAS | メモリテストとビットセット | |
| | | TST | 論理積演算のTビットセット | |
| | | XOR | 排他的論理和演算 | |
| シフト命令 | 10 | ROTL | 1ビット左回転 | 14 |
| | | ROTR | 1ビット右回転 | |
| | | ROTCL | Tビット付き1ビット左回転 | |
| | | ROTCLR | Tビット付き1ビット右回転 | |
| | | SHAL | 算術的1ビット左シフト | |
| | | SHAR | 算術的1ビット右シフト | |
| | | SHLL | 論理的1ビット左シフト | |
| | | SHLLn | 論理的nビット左シフト | |
| | | SHLR | 論理的1ビット右シフト | |
| | | SHLRn | 論理的nビット右シフト | |
| 分岐命令 | 9 | BF | 条件分岐、遅延付き条件分岐 (T=0で分岐) | 11 |
| | | BT | 条件分岐、遅延付き条件分岐 (T=1で分岐) | |
| | | BRA | 無条件分岐 | |
| | | BRAF | 無条件分岐 | |
| | | BSR | サブルーチンプロシージャへの分岐 | |
| | | BSRF | サブルーチンプロシージャへの分岐 | |
| | | JMP | 無条件分岐 | |
| | | JSR | サブルーチンプロシージャへの分岐 | |
| | | RTS | サブルーチンプロシージャからの復帰 | |

2. CPU

| 分類 | 命令の種類 | オペコード | 機能 | 命令数 |
|----------|-------|--------|------------------|-----|
| システム制御命令 | 11 | CLRT | Tビットのクリア | 31 |
| | | CLRMAC | MACレジスタのクリア | |
| | | LDC | コントロールレジスタへのロード | |
| | | LDS | システムレジスタへのロード | |
| | | NOP | 無操作 | |
| | | RTE | 例外処理からの復帰 | |
| | | SETT | Tビットのセット | |
| | | SLEEP | 低消費電力状態への遷移 | |
| | | STC | コントロールレジスタからのストア | |
| | | STS | システムレジスタからのストア | |
| | | TRAPA | トラップ例外処理 | |
| | 計 62 | | | 142 |

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

| 命令 | 命令コード | 動作の概略 | 実行ステート | Tビット |
|---|---|--|------------------|------------------------|
| ニーモニックで表示しています。 | MSB LSB の順で表示しています。 | 動作の概略を表示しています。 | ノーウェイトのときの値です。*1 | 命令実行後の、Tビットの値を表示しています。 |
| 記号の説明 OP:Sz SRC, DEST OP:オペコード Sz:サイズ SRC:ソース DEST:デスティネーション Rm:ソースレジスタ Rn:デスティネーション レジスタ imm:イミディエイトデータ disp: ディスプレースメント*2 | 記号の説明 mmmm:ソース レジスタ nnnn:デスティネーション レジスタ 0000: R0 0001: R1 1111: R15 iiii:イミディエイトデータ dddd:ディスプレースメント | 記号の説明 、 : 転送方向 (xx):メモリオペランド M/Q/T: SR 内のフラグ ビット &:ビットごとの論理積 :ビットごとの論理和 ^:ビットごとの排他的論理和 ~:ビットごとの論理否定 <<n:左 n ビットシフト >>n:右 n ビットシフト | | 記号の説明 :変化 しない |

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
 - (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合
- などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(x1、x2、x4)されます。

詳細は「SH-1/SH-2/SH-DSP ソフトウェアマニュアル」を参照してください。

(1) データ転送命令

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|------------------------|------------------|--------------------------|------------|------|
| MOV #imm, Rn | 1110nnnniiiiiii | #imm 符号拡張 Rn | 1 | - |
| MOV.W @(disp, PC), Rn | 1001nnnnddddddd | (disp × 2+PC) 符号拡張 Rn | 1 | - |
| MOV.L @(disp, PC), Rn | 1101nnnnddddddd | (disp × 4+PC) Rn | 1 | - |
| MOV Rm, Rn | 0110nnnnmmmm0011 | Rm Rn | 1 | - |
| MOV.B Rm, @Rn | 0010nnnnmmmm0000 | Rm (Rn) | 1 | - |
| MOV.W Rm, @Rn | 0010nnnnmmmm0001 | Rm (Rn) | 1 | - |
| MOV.L Rm, @Rn | 0010nnnnmmmm0010 | Rm (Rn) | 1 | - |
| MOV.B @Rm, Rn | 0110nnnnmmmm0000 | (Rm) 符号拡張 Rn | 1 | - |
| MOV.W @Rm, Rn | 0110nnnnmmmm0001 | (Rm) 符号拡張 Rn | 1 | - |
| MOV.L @Rm, Rn | 0110nnnnmmmm0010 | (Rm) Rn | 1 | - |
| MOV.B Rm, @- Rn | 0010nnnnmmmm0100 | Rn - 1 Rn, Rm (Rn) | 1 | - |
| MOV.W Rm, @- Rn | 0010nnnnmmmm0101 | Rn - 2 Rn, Rm (Rn) | 1 | - |
| MOV.L Rm, @- Rn | 0010nnnnmmmm0110 | Rn - 4 Rn, Rm (Rn) | 1 | - |
| MOV.B @Rm+, Rn | 0110nnnnmmmm0100 | (Rm) 符号拡張 Rn, Rm+1 Rm | 1 | - |
| MOV.W @Rm+, Rn | 0110nnnnmmmm0101 | (Rm) 符号拡張 Rn, Rm+2 Rm | 1 | - |
| MOV.L @Rm+, Rn | 0110nnnnmmmm0110 | (Rm) Rn, Rm+4 Rm | 1 | - |
| MOV.B R0, @(disp, Rn) | 10000000nnnndddd | R0 (disp+Rn) | 1 | - |
| MOV.W R0, @(disp, Rn) | 10000001nnnndddd | R0 (disp × 2+Rn) | 1 | - |
| MOV.L Rm, @(disp, Rn) | 0001nnnnmmmmdddd | Rm (disp × 4+Rn) | 1 | - |
| MOV.B @(disp, Rm), R0 | 10000100mmmmdddd | (disp+Rm) 符号拡張 R0 | 1 | - |
| MOV.W @(disp, Rm), R0 | 10000101mmmmdddd | (disp × 2+Rm) 符号拡張 R0 | 1 | - |
| MOV.L @(disp, Rm), Rn | 0101nnnnmmmmdddd | (disp × 4+Rm) Rn | 1 | - |
| MOV.B Rm, @(R0, Rn) | 0000nnnnmmmm0100 | Rm (R0+Rn) | 1 | - |
| MOV.W Rm, @(R0, Rn) | 0000nnnnmmmm0101 | Rm (R0+Rn) | 1 | - |
| MOV.L Rm, @(R0, Rn) | 0000nnnnmmmm0110 | Rm (R0+Rn) | 1 | - |
| MOV.B @(R0, Rm), Rn | 0000nnnnmmmm1100 | (R0+Rm) 符号拡張 Rn | 1 | - |
| MOV.W @(R0, Rm), Rn | 0000nnnnmmmm1101 | (R0+Rm) 符号拡張 Rn | 1 | - |
| MOV.L @(R0, Rm), Rn | 0000nnnnmmmm1110 | (R0+Rm) Rn | 1 | - |
| MOV.B R0, @(disp, GBR) | 11000000dddddddd | R0 (disp+GBR) | 1 | - |
| MOV.W R0, @(disp, GBR) | 11000001dddddddd | R0 (disp × 2+GBR) | 1 | - |
| MOV.L R0, @(disp, GBR) | 11000010dddddddd | R0 (disp × 4+GBR) | 1 | - |

2. CPU

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|------------------------|------------------|---------------------------|------------|------|
| MOV.B @(disp, GBR), R0 | 11000100dddddddd | (disp+GBR) 符号拡張 R0 | 1 | - |
| MOV.W @(disp, GBR), R0 | 11000101dddddddd | (disp × 2+GBR) 符号拡張 R0 | 1 | - |
| MOV.L @(disp, GBR), R0 | 11000110dddddddd | (disp × 4+GBR) R0 | 1 | - |
| MOVA @(disp, PC), R0 | 11000111dddddddd | disp × 4+PC R0 | 1 | - |
| MOVT Rn | 0000nnnn00101001 | T Rn | 1 | - |
| SWAP.B Rm, Rn | 0110nnnnmmmm1000 | Rm 下位2バイトの上下バイト 交換 Rn | 1 | - |
| SWAP.W Rm, Rn | 0110nnnnmmmm1001 | Rm 上下ワード交換 Rn | 1 | - |
| XTRCT Rm, Rn | 0010nnnnmmmm1101 | Rm: Rn の中央 32 ビット Rn | 1 | - |

(2) 算術演算命令

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|-----------------|------------------|---|------------|---------------|
| ADD Rm, Rn | 0011nnnnmmmm1100 | Rn+Rm Rn | 1 | - |
| ADD #imm, Rn | 0111nnnniiiiiiii | Rn+imm Rn | 1 | - |
| ADDC Rm, Rn | 0011nnnnmmmm1110 | Rn+Rm+T Rn, キャリ T | 1 | キャリ |
| ADDV Rm, Rn | 0011nnnnmmmm1111 | Rn+Rm Rn, オーバフロー T | 1 | オ - バ フロ - |
| CMP/EQ #imm, R0 | 10001000iiiiiiii | R0=imm のとき 1 T | 1 | 比較結果 |
| CMP/EQ Rm, Rn | 0011nnnnmmmm0000 | Rn=Rm のとき 1 T | 1 | 比較結果 |
| CMP/HS Rm, Rn | 0011nnnnmmmm0010 | 無符号で Rn Rm のとき 1 T | 1 | 比較結果 |
| CMP/GE Rm, Rn | 0011nnnnmmmm0011 | 有符号で Rn Rm のとき 1 T | 1 | 比較結果 |
| CMP/HI Rm, Rn | 0011nnnnmmmm0110 | 無符号で Rn > Rm のとき 1 T | 1 | 比較結果 |
| CMP/GT Rm, Rn | 0011nnnnmmmm0111 | 有符号で Rn > Rm のとき 1 T | 1 | 比較結果 |
| CMP/PL Rn | 0100nnnn00010101 | Rn > 0 のとき 1 T | 1 | 比較結果 |
| CMP/PZ Rn | 0100nnnn00010001 | Rn 0 のとき 1 T | 1 | 比較結果 |
| CMP/STR Rm, Rn | 0010nnnnmmmm1100 | いずれかのバイトが等しいとき 1 T | 1 | 比較結果 |
| DIV1 Rm, Rn | 0011nnnnmmmm0100 | 1ステップ除算 (Rn ÷ Rm) | 1 | 計算結果 |
| DIV0S Rm, Rn | 0010nnnnmmmm0111 | Rn の MSB Q, Rm の MSB M, M^Q T | 1 | 計算結果 |
| DIV0U | 0000000000011001 | 0 M/Q/T | 1 | 0 |
| DMULS.L Rm, Rn | 0011nnnnmmmm1101 | 符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット | 2~5* | - |

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|------------------|------------------|--|------------|------------|
| DMULU.L Rm, Rn | 0011nnnnmmmm0101 | 符号なしで Rn × Rm MACH,MACL 32×32 64ビット | 2~5* | - |
| DT Rn | 0100nnnn00010000 | Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T | 1 | 比較結果 |
| EXTS.B Rm, Rn | 0110nnnnmmmm1110 | Rm をバイトから符号拡張 Rn | 1 | - |
| EXTS.W Rm, Rn | 0110nnnnmmmm1111 | Rm をワードから符号拡張 Rn | 1 | - |
| EXTU.B Rm, Rn | 0110nnnnmmmm1100 | Rm をバイトからゼロ拡張 Rn | 1 | - |
| EXTU.W Rm, Rn | 0110nnnnmmmm1101 | Rm をワードからゼロ拡張 Rn | 1 | - |
| MAC.L @Rm+, @Rn+ | 0000nnnnmmmm1111 | 符号付きで (Rn) × (Rm) + MAC MAC 32×32+64 64ビット | 2~5* | - |
| MAC.W @Rm+, @Rn+ | 0100nnnnmmmm1111 | 符号付きで (Rn) × (Rm) + MAC MAC 16×16+64 64ビット | 2~4* | - |
| MUL.L Rm, Rn | 0000nnnnmmmm0111 | Rn × Rm MACL 32×32 32ビット | 2~5* | - |
| MULS.W Rm, Rn | 0010nnnnmmmm1111 | 符号付きで Rn × Rm MACL 16×16 32ビット | 1~3* | - |
| MULU.W Rm, Rn | 0010nnnnmmmm1110 | 符号なしで Rn × Rm MACL 16×16 32ビット | 1~3* | - |
| NEG Rm, Rn | 0110nnnnmmmm1011 | 0 - Rm Rn | 1 | - |
| NEGC Rm, Rn | 0110nnnnmmmm1010 | 0 - Rm - T Rn, ボロー T | 1 | ボロ- |
| SUB Rm, Rn | 0011nnnnmmmm1000 | Rn - Rm Rn | 1 | - |
| SUBC Rm, Rn | 0011nnnnmmmm1010 | Rn - Rm - T Rn, ボロー T | 1 | ボロ- |
| SUBV Rm, Rn | 0011nnnnmmmm1011 | Rn - Rm Rn, アンダフロー T | 1 | オ-バ フロ- |

【注】 * 通常実行ステートを示します。

(3) 論理演算命令

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|------------------------|------------------|-------------------------|------------|------|
| AND Rm, Rn | 0010nnnnmmmm1001 | Rn & Rm Rn | 1 | - |
| AND #imm, R0 | 11001001iiiiiii | R0 & imm R0 | 1 | - |
| AND.B #imm, @(R0, GBR) | 11001101iiiiiii | (R0+GBR) & imm (R0+GBR) | 3 | - |
| NOT Rm, Rn | 0110nnnnmmmm0111 | ~Rm Rn | 1 | - |
| OR Rm, Rn | 0010nnnnmmmm1011 | Rn Rm Rn | 1 | - |

2. CPU

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|------------------------|------------------|---|------------|-----------|
| OR #imm, R0 | 11001011iiiiiiii | $R0 \mid \text{imm}$ R0 | 1 | - |
| OR.B #imm, @(R0, GBR) | 11001111iiiiiiii | $(R0+GBR) \mid \text{imm}$ (R0+GBR) | 3 | - |
| TAS.B @Rn | 0100nnnn00011011 | (Rn) が0のとき 1 T, 1 MSB of (Rn) | 4 | テスト 結果 |
| TST Rm, Rn | 0010nnnnmmmm1000 | $Rn \& Rm$, 結果が0のとき 1 T | 1 | テスト 結果 |
| TST #imm, R0 | 11001000iiiiiiii | $R0 \& \text{imm}$, 結果が0のとき 1 T | 1 | テスト 結果 |
| TST.B #imm, @(R0, GBR) | 11001100iiiiiiii | $(R0+GBR) \& \text{imm}$, 結果が0のとき 1 T | 3 | テスト 結果 |
| XOR Rm, Rn | 0010nnnnmmmm1010 | $Rn \wedge Rm$ Rn | 1 | - |
| XOR #imm, R0 | 11001010iiiiiiii | $R0 \wedge \text{imm}$ R0 | 1 | - |
| XOR.B #imm, @(R0, GBR) | 11001110iiiiiiii | $(R0+GBR) \wedge \text{imm}$ (R0+GBR) | 3 | - |

(4) シフト命令

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|-----------|------------------|----------------|------------|------|
| ROTL Rn | 0100nnnn00000100 | T Rn MSB | 1 | MSB |
| ROTR Rn | 0100nnnn00000101 | LSB Rn T | 1 | LSB |
| ROTCL Rn | 0100nnnn00100100 | T Rn T | 1 | MSB |
| ROTCR Rn | 0100nnnn00100101 | T Rn T | 1 | LSB |
| SHAL Rn | 0100nnnn00100000 | T Rn 0 | 1 | MSB |
| SHAR Rn | 0100nnnn00100001 | MSB Rn T | 1 | LSB |
| SHLL Rn | 0100nnnn00000000 | T Rn 0 | 1 | MSB |
| SHLR Rn | 0100nnnn00000001 | 0 Rn T | 1 | LSB |
| SHLL2 Rn | 0100nnnn00001000 | $Rn \ll 2$ Rn | 1 | - |
| SHLR2 Rn | 0100nnnn00001001 | $Rn \gg 2$ Rn | 1 | - |
| SHLL8 Rn | 0100nnnn00011000 | $Rn \ll 8$ Rn | 1 | - |
| SHLR8 Rn | 0100nnnn00011001 | $Rn \gg 8$ Rn | 1 | - |
| SHLL16 Rn | 0100nnnn00101000 | $Rn \ll 16$ Rn | 1 | - |
| SHLR16 Rn | 0100nnnn00101001 | $Rn \gg 16$ Rn | 1 | - |

(5) 分岐命令

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|------------|---------------------------|---|------------|------|
| BF label | 100010111 d d d d d d d d | T=0 のとき disp×2+PC PC, T=1 のとき nop | 3/1* | - |
| BF/S label | 100011111 d d d d d d d d | 遅延分岐、 T=0 のとき disp×2+PC PC, T=1 のとき nop | 3/1* | - |
| BT label | 100010011 d d d d d d d d | T=1 のとき disp×2+PC PC, T=0 のとき nop | 3/1* | - |
| BT/S label | 100011011 d d d d d d d d | 遅延分岐、 T=1 のとき disp×2+PC PC, T=0 のとき nop | 2/1* | - |
| BRA label | 1010 d d d d d d d d d d | 遅延分岐、 disp×2+PC PC | 2 | - |
| BRAF Rm | 0000 m m m m 00100011 | 遅延分岐、 Rm+PC PC | 2 | - |
| BSR label | 1011 d d d d d d d d d d | 遅延分岐、 PC PR, disp×2+PC PC | 2 | - |
| BSRF Rm | 0000 m m m m 00000011 | 遅延分岐、 PC PR, Rm+PC PC | 2 | - |
| JMP @Rm | 0100 m m m m 00101011 | 遅延分岐、 Rm PC | 2 | - |
| JSR @Rm | 0100 m m m m 00001011 | 遅延分岐、 PC PR, Rm PC | 2 | - |
| RTS | 0000000000001011 | 遅延分岐、 PR PC | 2 | - |

【注】 * 分岐しないときは1ステートになります。

(6) システム制御命令

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|-----------------|-----------------------|-------------------|------------|------|
| CLRT | 0000000000001000 | 0 T | 1 | 0 |
| CLRMACH | 0000000000101000 | 0 MACH, MACL | 1 | - |
| LDC Rm, SR | 0100 m m m m 00001110 | Rm SR | 6 | LSB |
| LDC Rm, GBR | 0100 m m m m 00011110 | Rm GBR | 4 | - |
| LDC Rm, VBR | 0100 m m m m 00101110 | Rm VBR | 4 | - |
| LDC.L @Rm+, SR | 0100 m m m m 00000111 | (Rm) SR, Rm+4 Rm | 8 | LSB |
| LDC.L @Rm+, GBR | 0100 m m m m 00010111 | (Rm) GBR, Rm+4 Rm | 4 | - |
| LDC.L @Rm+, VBR | 0100 m m m m 00100111 | (Rm) VBR, Rm+4 Rm | 4 | - |
| LDS Rm, MACH | 0100 m m m m 00001010 | Rm MACH | 1 | - |
| LDS Rm, MACL | 0100 m m m m 00011010 | Rm MACL | 1 | - |
| LDS Rm, PR | 0100 m m m m 00101010 | Rm PR | 1 | - |

2. CPU

| 命令 | 命令コード | 動作 | 実行 ステート | Tビット |
|------------------|------------------|-------------------------------------|------------|------|
| LDS.L @Rm+, MACH | 0100mmmm00000110 | (Rm) MACH, Rm+4 Rm | 1 | - |
| LDS.L @Rm+, MACL | 0100mmmm00010110 | (Rm) MACL, Rm+4 Rm | 1 | - |
| LDS.L @Rm+, PR | 0100mmmm00100110 | (Rm) PR, Rm+4 Rm | 1 | - |
| NOP | 0000000000001001 | 無操作 | 1 | - |
| RTE | 0000000000101011 | 遅延分岐、スタック領域 PC/SR | 5 | - |
| SETT | 0000000000011000 | 1 T | 1 | 1 |
| SLEEP | 0000000000011011 | スリープ | 4* | - |
| STC SR, Rn | 0000nnnn00000010 | SR Rn | 1 | - |
| STC GBR, Rn | 0000nnnn00010010 | GBR Rn | 1 | - |
| STC VBR, Rn | 0000nnnn00100010 | VBR Rn | 1 | - |
| STC.L SR, @- Rn | 0100nnnn00000011 | Rn - 4 Rn, SR (Rn) | 1 | - |
| STC.L GBR, @- Rn | 0100nnnn00010011 | Rn - 4 Rn, GBR (Rn) | 1 | - |
| STC.L VBR, @- Rn | 0100nnnn00100011 | Rn - 4 Rn, VBR (Rn) | 1 | - |
| STS MACH, Rn | 0000nnnn00001010 | MACH Rn | 1 | - |
| STS MACL, Rn | 0000nnnn00011010 | MACL Rn | 1 | - |
| STS PR, Rn | 0000nnnn00101010 | PR Rn | 1 | - |
| STS.L MACH, @-Rn | 0100nnnn00000010 | Rn - 4 Rn, MACH (Rn) | 1 | - |
| STS.L MACL, @-Rn | 0100nnnn00010010 | Rn - 4 Rn, MACL (Rn) | 1 | - |
| STS.L PR, @-Rn | 0100nnnn00100010 | Rn - 4 Rn, PR (Rn) | 1 | - |
| TRAPA #imm | 11000011iiiiiiii | PC/SR スタック領域、 (imm x 4 + VBR) PC | 8 | - |

【注】 * スリープ状態に遷移するまでのステート数です。

命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが
同一の場合

などの条件により、命令実行ステート数は増加します。

2.6 処理状態

2.6.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の4種類があります。状態間の遷移を図2.4に示します。ただし、製品によってはマニュアルリセット、 $\overline{\text{MRES}}$ 端子をサポートしていないものもあります。

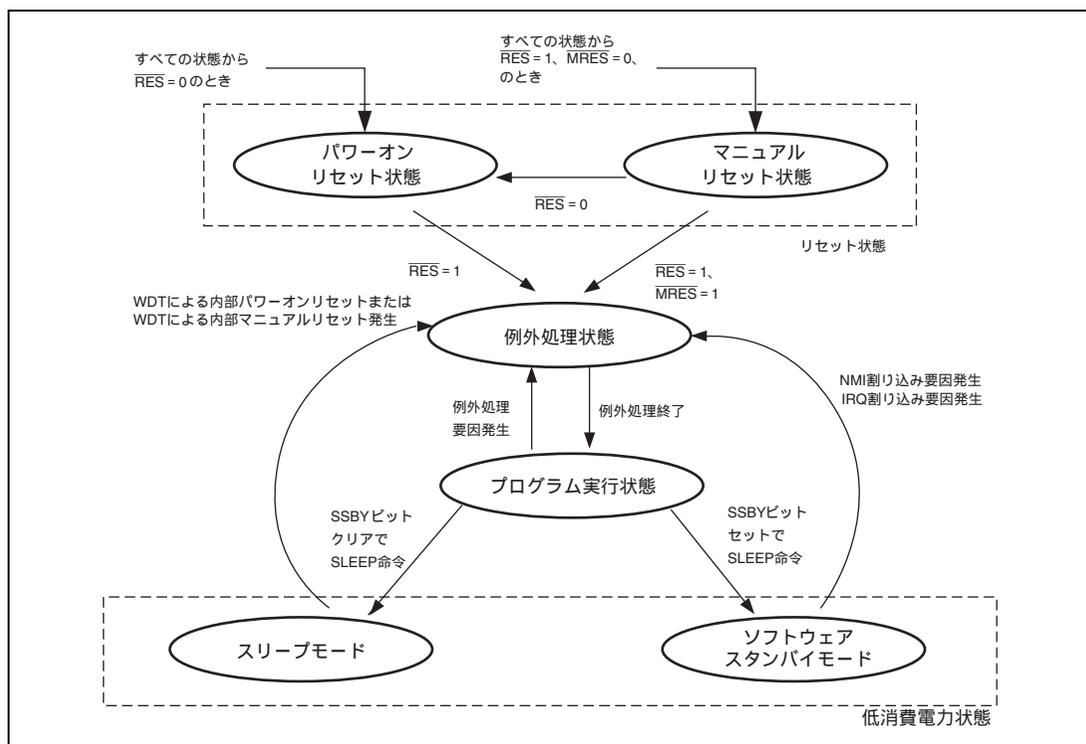


図2.4 処理状態の状態遷移図

2. CPU

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。 $\overline{\text{RES}}$ 端子がハイレベルで $\overline{\text{MRES}}$ 端子がローレベルのとき、マニュアルリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。

3. キャッシュ

3.1 特長

- 容量：4Kバイト（SH7618）、16Kバイト（SH7618A）
- 構成：命令/データ混在、4ウェイセットアソシアティブ
- ラインサイズ：16バイト
- エントリ数：64エントリ/ウェイ（SH7618）、256エントリ/ウェイ（SH7618A）
- ライト方式：ライトバック方式とライトスルー方式より選択可能
- 置換方式：LRU置換アルゴリズム

3.1.1 キャッシュの構成

キャッシュは、命令/データ混在型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、各々のウェイはアドレス、データに分かれています。アドレス、データは各々64（SH7618Aの場合、256）のエントリで構成されます。エントリのデータをラインとよびます。1ラインは16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、1Kバイト（16バイト×64エントリ）（SH7618Aの場合、4Kバイト（16バイト×256エントリ））で、キャッシュ全体（4ウェイ）では4Kバイト（SH7618Aの場合、16Kバイト）バイトの容量となります。

キャッシュの構成を図3.1に示します。

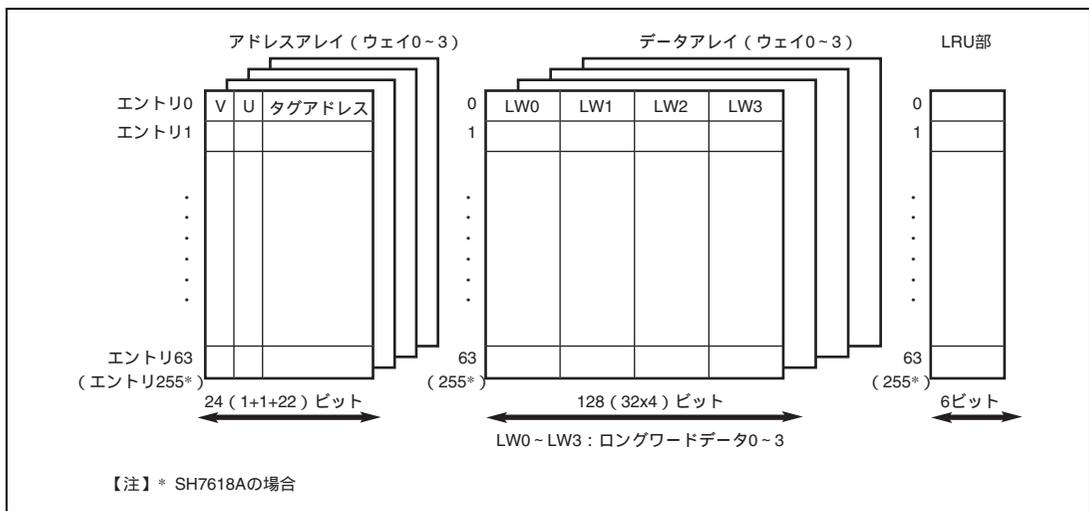


図 3.1 キャッシュの構成

3. キャッシュ

(1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

U ビットは、ライトバックモードで、そのエントリに書き込みがあったことを示します。

U ビットが 1 で書き込みあり、0 で書き込みなしを示します。

タグアドレスは、キャッシュ検索時の比較に使用される 22 ビット (アドレス 31 ~ 10) からなります。

本 LSI では、アドレス 32 ビットの上位 3 ビットをシャドウとして利用するため (「第 7 章 バスステートコントローラ (BSC)」を参照)、タグアドレスの上位 3 ビットに 0 が入ります。

V、U ビットは、パワーオンリセットで 0 に初期化されます。タグアドレスは、パワーオンリセットで初期化されません。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセットで初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令、データを 4 つまでキャッシュに登録できます。エントリを登録するとき、4 つのウェイのうち、どのウェイに登録するかを LRU ビットが示します。LRU ビットは 6 ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶ LRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6 ビットの LRU ビットによって指定されます。表 3.1 に示した以外の LRU ビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRU ビットをソフトウェアで変更するときは、表 3.1 に示すパターンを設定してください。

LRU ビットは、パワーオンリセットで 000000 に初期化されます。

表 3.1 LRU ビットと置き換えられるウェイ

| LRU (ビット 5-0) | 置き換えられるウェイ |
|---|------------|
| 000000、000100、010100、100000、110000、110100 | 3 |
| 000001、000011、001011、100001、101001、101011 | 2 |
| 000110、000111、001111、010110、011110、011111 | 1 |
| 111000、111001、111011、111100、111110、111111 | 0 |

3.1.2 部分空間とキャッシュの関係

本 LSI では、CPU アーキテクチャ上所有する 4G バイトのアドレス空間を 5 個の部分空間に分割しており、部分空間ごとにキャッシュアクセス方法を切り替えます。表 3.2 に各部分空間とキャッシュとの関係を示します。

表 3.2 各部分空間とキャッシュとの関係

| アドレス範囲 | 部分空間名 | キャッシュ対象 / 非対象 | キャッシュライト制御 |
|---------------------------|-------|-------------------|------------------|
| H'0000 0000 ~ H'7FFF FFFF | P0 | 対象 | CCR1 の WT ビットで制御 |
| H'8000 0000 ~ H'9FFF FFFF | P1 | 対象 | CCR1 の CB ビットで制御 |
| H'A000 0000 ~ H'BFFF FFFF | P2 | 非対象 | - |
| H'C000 0000 ~ H'DFFF FFFF | P3 | 対象 | CCR1 の WT ビットで制御 |
| H'E000 0000 ~ H'FFFF FFFF | P4 | 非対象 (内蔵 I/O 等の領域) | - |

3.2 レジスタの説明

キャッシュには以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 20 章 レジスタ一覧」を参照してください。

- キャッシュ制御レジスタ1 (CCR1)
- キャッシュ制御レジスタ3 (CCR3) *

【注】 * SH7618A のみです。

3.2.1 キャッシュ制御レジスタ 1 (CCR1)

キャッシュは CCR1 の CE ビットでイネーブル、ディスエーブルを指定します。また、CCR1 には、キャッシュの全エントリの無効化を制御する CF ビット、ライトスルーモード、ライトバックモードを切り替える WT ビットおよび CB ビットがあります。CCR1 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|---|
| 31~4 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 3 | CF | 0 | R/W | キャッシュフラッシュ 1 を書き込むと、キャッシュの全エントリの V、U、LRU ビットを 0 にクリア (フラッシュ) します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。 |
| 2 | CB | 0 | R/W | ライトバック H'8000_0000 ~ H'9FFF_FFFF 領域のライトバック / ライトスルー切り替え 0: ライトスルーモード 1: ライトバックモード |

3. キャッシュ

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|--|
| 1 | WT | 0 | R/W | ライトスルー H'0000_0000 ~ H'7FFF_FFFF、H'C000_0000 ~ H'DFFF_FFFF 領域のライトバック/ライトスルー切り替え 0: ライトバックモード 1: ライトスルーモード |
| 0 | CE | 0 | R/W | キャッシュ有効 キャッシュ機能を使用するかどうかを示します。 0: 使用しない 1: 使用する |

3.2.2 キャッシュ制御レジスタ 3 (CCR3)

キャッシュのサイズを指定します。CCR3 の内容を変更するプログラムは、キャッシングしないアドレス空間に配置してください。

【注】 SH7618A のみです。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|--------|-------|-----|---|
| 31~17 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 16 | CSIZE2 | 0 | R/W | キャッシュサイズ |
| 15 | CSIZE1 | 0 | R/W | B'100 を書き込むことで、キャッシュサイズ 16KB を指定します。 |
| 14 | CSIZE0 | 1 | R/W | CCR1 の CE ビットでキャッシュをイネーブルする前に、B'100 を書き込んでください。 |
| 13~0 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

3.3 動作説明

3.3.1 キャッシュの検索

キャッシュがイネーブルのとき(CCR1 レジスタの CE ビット=1)、H'0000_0000 ~ H'7FFF_FFFF 領域、H'800_0000 ~ H'9FFF_FFFF 領域、H'C000_0000 ~ H'DFFF_FFFF 領域の命令またはデータにアクセスすると、キャッシュが検索され、目的の命令またはデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 3.2 に示します。

メモリへのアクセスアドレスのビット 9~4 (SH7618A の場合、ビット 11~4) でエントリを選択し、そのエントリのタグアドレスを読み出します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ、比較されたエントリが有効である (V=1) 場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合を図 3.2 に示します。

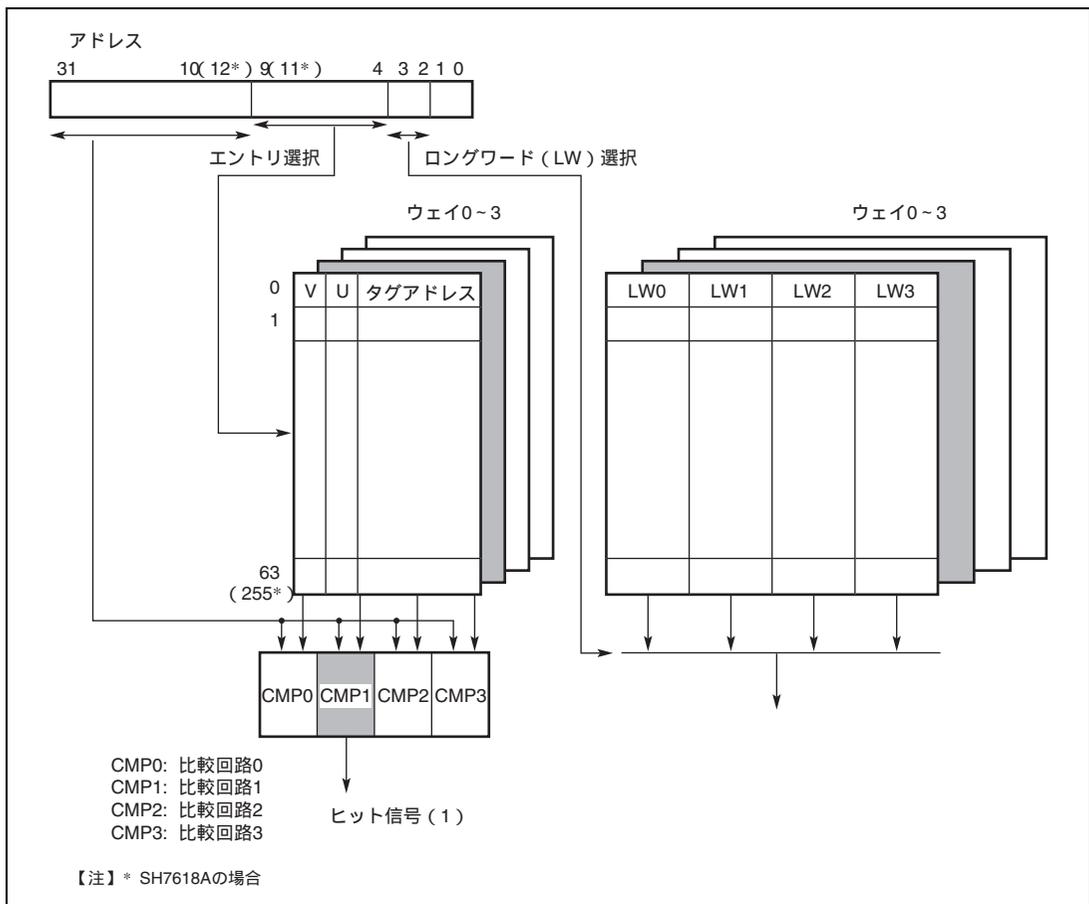


図 3.2 キャッシュの検索方法

3. キャッシュ

3.3.2 リード動作

(1) リードヒット

キャッシュから CPU に命令 / データが転送されます。ヒットしたウェイが最新となるように、LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 3.1 に従います。エントリの更新の単位は、16 バイトです。外部メモリから目的の命令またはデータがキャッシュに登録されると同時に、CPU にその命令またはデータが転送されます。キャッシュに登録される時に、U ビットが 0 に、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

3.3.3 ライト動作

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 3.1 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてから、キャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は、16 バイトです。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

3.3.4 ライトバックバッファ

ライトバックモードで置き換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへ新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの 1 ライン分のデータ (16 バイト) とアドレスを保持可能です。ライトバックバッファの構成を図 3.3 に示します。

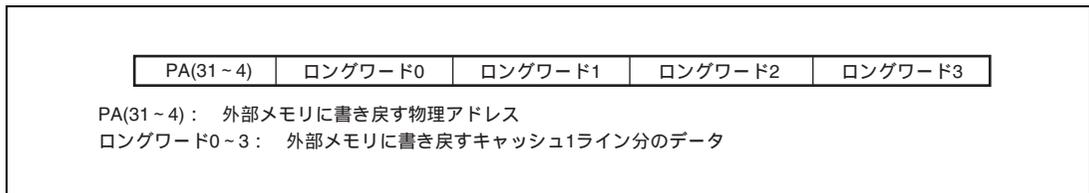


図 3.3 ライトバックバッファの構成

3.3.5 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシングするアドレス空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と E-DMAC との共有メモリについても同様にしてください。

3.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。アドレスアレイは H'F000 0000 ~ H'FFFF FFFF に、データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。アドレスアレイ、データアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

3.4.1 アドレスアレイ

アドレスアレイは H'F0000000 ~ H'FFFF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはアドレスアレイに書き込むタグアドレス、V ビット、U ビットおよび LRU ビットを指定します。

アドレスにはエントリを選択するためのエントリアドレス、ウェイを選択するための W、連想動作の有無を指定する A およびアドレスアレイアクセスを示す H'F0 を指定します。W は、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。

データにはタグアドレス、LRU ビット、U ビットおよび V ビットを指定します。タグアドレスの上位 3 ビット (ビット 31 ~ 29) には常に 0 を指定してください。

3. キャッシュ

アドレスおよびデータのフォーマットについては、図 3.4 を参照してください。

アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビットおよび V ビットを読み出します。リードの場合、アドレスに指定される連想ビット (A ビット) は 1 でも 0 でも連想動作は行いません。

(2) アドレスアレイライト (連想なし)

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。アドレスの連想ビット (A ビット) は 0 にしてください。書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

(3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビットと V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。このときヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

3.4.2 データアレイ

データアレイは H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示す L、ウェイを指定するための W、およびデータアレイアクセスを示す HF1 を指定します。L は 00 がロングワード 0、01 がロングワード 1、10 がロングワード 2、11 がロングワード 3 を示します。W は、00 がウェイ 0、01 がウェイ 1、10 がウェイ 2、11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には 00 を指定してください。

アドレスおよびデータのフォーマットについては、図 3.4 を参照してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスのLで指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスのLで指定された位置に、データで指定されたロングワードデータを書き込みます。

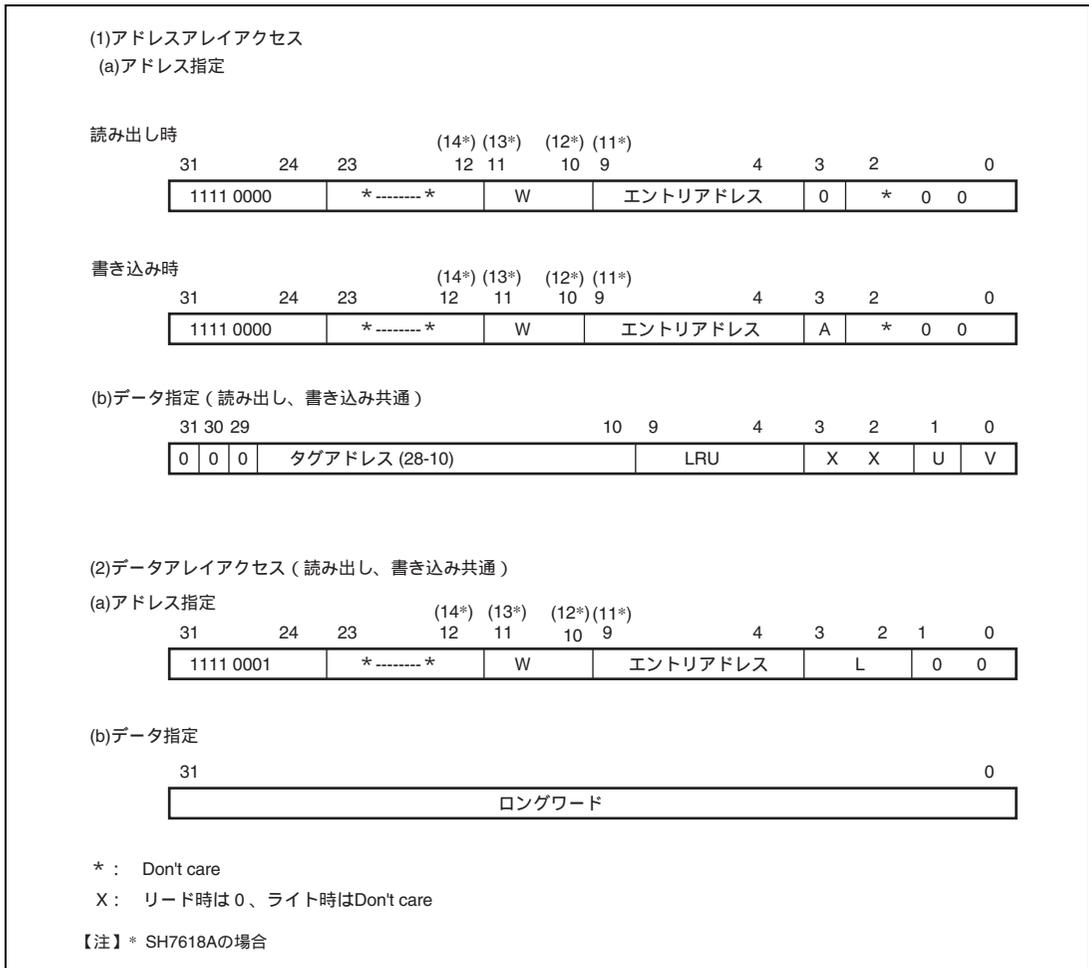


図 3.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

3. キャッシュ

3.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合は、ノーオペレーションです。アドレスアレイのあるエントリのVビットを0にすると、そのエントリのUビットが1のときそのエントリがライトバックされます。

以下に、R0に書き込みデータ、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0010 ; VPN = B'0000 0001 0001 0000 0000 00, U = 0, V = 0  
; R1 = HF000 0088 ; アドレスアレイアクセス、エントリ = B'001000  
                (SH7618Aの場合、エントリ = B'00001000)、A = 1
```

```
;
```

```
MOV.L  R0, @R1
```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図3.4のデータアレイのデータ部に示されるロングワードが、レジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = HF100 004C ; データアレイアクセス、エントリ = B'000100 (SH7618Aの場合、エントリ = B'00000100)、  
; ウェイ = 0、ロングワードアドレス = 3
```

```
;
```

```
MOV.L  @R0, R1 ; ロングワード3が読み出されます。
```

4. Uメモリ

本 LSI は U メモリモジュールを内蔵しており、命令やデータを格納することができます。

4.1 特長

表 4.1 U メモリアドレス

| | |
|------|---------------------------|
| サイズ | 4kB |
| アドレス | H'E55F_F000 ~ H'E55F_FFFF |

- 優先順位

Uメモリは、E-DMACによるIバスからのアクセス、CPUによるLバスからのアクセスが可能です。異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIバス、Lバスとなります。

4.2 使用上の注意事項

スリープモード中は、E-DMAC から本メモリへのアクセスは行えません。

4. Uメモリ

5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

| 例外処理 | | 優先 順位 | |
|------------------|--|--|---|
| リセット | パワーオンリセット | 高 ↑ ↓ 低 | |
| | H-UDI リセット | | |
| 割り込み | ユーザブレイク (命令実行前ブレイク) | | |
| アドレスエラー | CPU アドレスエラー (命令フェッチ) | | |
| 命令 | 一般不当命令 (未定義コード) | | |
| | スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コードまたは PC を書き換える命令* ²) | | |
| | トラップ命令 (TRAPA 命令) | | |
| アドレスエラー | CPU アドレスエラー (データアクセス) | | |
| 割り込み | ユーザブレイク (命令実行後ブレイク、またはオペランドブレイク) | | |
| | NMI | | |
| | H-UDI | | |
| | IRQ | | |
| | 内蔵周辺 | | ウォッチドッグタイマ (WDT) |
| | モジュール | | イーサコントローラ (EtherC、E-DMAC) |
| | | | コンペアマッチタイマ 0、1 (CMT0、CMT1) |
| | | | FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF0、1、2) |
| ホストインタフェース (HIF) | | | |

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA_F、LDC Rm,SR、LDC.L @Rm+,SR

5. 例外処理

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

| 例外処理 | | 要因検出および処理開始タイミング |
|---------|------------|--|
| リセット | パワーオンリセット | RES 端子のローレベルからハイレベルへの変化、または WDT のオーバフローしてから一定時間経過後に開始される |
| | H-UDI リセット | H-UDI にリセットアサートコマンド、リセットネゲートコマンドの順でコマンド入力したときに開始される |
| アドレスエラー | | 命令のデコードステージ時に検出され、この前までに実行中の命令が完了後開始される |
| 割り込み | | |
| 命令 | トラップ命令 | TRAPA 命令の実行により開始される |
| | 一般不当命令 | 遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される |
| | スロット不当命令 | 遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される |

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、H'A0000000 番地、H'A0000004 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (B'1111) にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3~I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

| 例外要因 | | ベクタ番号 | ベクタテーブルアドレスオフセット |
|-----------------|---------|-------|-------------------------|
| パワーオンリセット | PC | 0 | H'00000000 ~ H'00000003 |
| H-UDI リセット | SP | 1 | H'00000004 ~ H'00000007 |
| (システム予約) | | 2 | H'00000008 ~ H'0000000B |
| | | 3 | H'0000000C ~ H'0000000F |
| 一般不当命令 | | 4 | H'00000010 ~ H'00000013 |
| (システム予約) | | 5 | H'00000014 ~ H'00000017 |
| スロット不当命令 | | 6 | H'00000018 ~ H'0000001B |
| (システム予約) | | 7 | H'0000001C ~ H'0000001F |
| | | 8 | H'00000020 ~ H'00000023 |
| CPU アドレスエラー | | 9 | H'00000024 ~ H'00000027 |
| (システム予約) | | 10 | H'00000028 ~ H'0000002B |
| 割り込み | NMI | 11 | H'0000002C ~ H'0000002F |
| | ユーザブレイク | 12 | H'00000030 ~ H'00000033 |
| | H-UDI | 13 | H'00000034 ~ H'00000037 |
| (システム予約) | | 14 | H'00000038 ~ H'0000003B |
| | | ⋮ | ⋮ |
| | | 31 | H'0000007C ~ H'0000007F |
| トラップ命令 (ユーザベクタ) | | 32 | H'00000080 ~ H'00000083 |
| | | ⋮ | ⋮ |
| | | 63 | H'000000FC ~ H'000000FF |

5. 例外処理

| 例外要因 | | ベクタ番号 | ベクタテーブルアドレスオフセット |
|------------|----------|-------------------------|-------------------------|
| 割り込み | IRQ0 | 64 | H'00000100 ~ H'00000103 |
| | IRQ1 | 65 | H'00000104 ~ H'00000107 |
| | IRQ2 | 66 | H'00000108 ~ H'0000010B |
| | IRQ3 | 67 | H'0000010C ~ H'0000010F |
| | (システム予約) | 68 | H'00000110 ~ H'00000113 |
| | | ⋮ | ⋮ |
| | | 79 | H'0000013C ~ H'0000013F |
| | IRQ4 | 80 | H'00000140 ~ H'00000143 |
| | IRQ5 | 81 | H'00000144 ~ H'00000147 |
| | IRQ6 | 82 | H'00000148 ~ H'0000014B |
| IRQ7 | 83 | H'0000014C ~ H'0000014F | |
| 内蔵周辺モジュール* | | 84 | H'00000150 ~ H'00000153 |
| | | ⋮ | ⋮ |
| | | 255 | H'000003FC ~ H'000003FF |

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「第6章 割り込みコントローラ (INTC)」の「表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧」を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

| 例外要因 | ベクタテーブルアドレス算出法 |
|---------------------|---|
| リセット | ベクタテーブルアドレス = H'A0000000 + (ベクタテーブルアドレスオフセット) = H'A0000000 + (ベクタ番号) × 4 |
| アドレスエラー、 割り込み、命令 | ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4 |

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 5.3 を参照

ベクタ番号 : 表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。表 5.5 に示すように、パワーオンリセットで本 LSI の内部がすべて初期化されます。

表 5.5 リセット状態

| 種類 | リセット状態への遷移条件 | | | 内部状態 | | |
|------------|--------------|-------------|--------------|----------|-----------|------------|
| | RES | WDT オーバフロー | H-UDI コマンド | CPU/INTC | 内蔵周辺モジュール | PFC、IO ポート |
| パワーオンリセット | ロー | - | - | 初期化 | 初期化 | 初期化 |
| | ハイ | オーバフロー | - | 初期化 | 初期化 | 初期化 |
| H-UDI リセット | ハイ | オーバフローしていない | リセットアサートコマンド | 初期化 | 初期化 | 初期化 |

5.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはスタンバイ時（クロックが停止している場合は発振安定時間の間、クロックが動作している場合は最低 20 μcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ（PC）の初期値（実行開始アドレス）を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ（SP）の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ（VBR）をH'00000000にクリアし、ステータスレジスタ（SR）の割り込みマスクビット（I3～I0）をHF（B'1111）にセットします。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

5. 例外処理

(2) WDTによるパワーオンリセット

WDTのウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDTのTCNTがオーバーフローするとパワーオンリセット状態になります。

また、 $\overline{\text{RES}}$ 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSRのWOVFビットは0にクリアされます。WDTによるパワーオンリセット処理が開始されるとCPUは次のように動作します。

1. プログラムカウンタ(PC)の初期値(実行開始アドレス)を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ(SP)の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ(VBR)をH'00000000にクリアし、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)をHF(B'1111)にセットします。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

5.2.3 H-UDI リセット

H-UDIのリセットアサートコマンドを発行することで発生します。このとき、CPUは次のように動作します。詳細は「第19章 ユーザデバッグインタフェース(H-UDI)」を参照してください。

1. プログラムカウンタ(PC)の初期値(実行開始アドレス)を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ(SP)の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ(VBR)をH'00000000にクリアし、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)をHF(B'1111)にセットします。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すような命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

| バスサイクル | | バスサイクルの内容 | アドレスエラーの発生 |
|----------------|-------|----------------------------|------------|
| 種類 | バスマスタ | | |
| 命令フェッチ | CPU | 偶数アドレスから命令をフェッチ | なし (正常) |
| | | 奇数アドレスから命令をフェッチ | アドレスエラー発生 |
| データ読み出し / 書き込み | CPU | ワードデータを偶数アドレスからアクセス | なし (正常) |
| | | ワードデータを奇数アドレスからアクセス | アドレスエラー発生 |
| | | ロングワードデータをロングワード境界からアクセス | なし (正常) |
| | | ロングワードデータをロングワード境界以外からアクセス | アドレスエラー発生 |

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ (SR) をスタックに退避します。
2. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、本例外を発生させた命令のアドレスです。ただし、本例外を発生させた命令が遅延スロットに配置されている場合は、直前の遅延分岐命令のアドレスが退避されます。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

| 種類 | 要求元 | 要因数 |
|-----------|---|-----|
| NMI | NMI 端子 (外部からの入力) | 1 |
| ユーザブレイク | ユーザブレイクコントローラ | 1 |
| H-UDI | ユーザデバッグインタフェース | 1 |
| IRQ | IRQ0 ~ IRQ7 端子 (外部からの入力) | 8 |
| 内蔵周辺モジュール | ウォッチドッグタイマ | 1 |
| | イーサコントローラ (EtherC、E-DMAC) | 1 |
| | コンパスマッチタイマ (CMT0、CMT1) | 2 |
| | FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF0、1、2) | 12 |
| | ホストインタフェース (HIF) | 2 |

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の「表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合 (多重割り込み)、割り込みコントローラ (INTC) によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0 ~ 16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込み、および H-UDI の優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC のインタラプトプライオリティレジスタ A ~ E (IPRA ~ IPRE) で自由に設定することができます (表 5.8)。設定できる優先レベルは 0 ~ 15 で、優先レベル 16 は設定できません。IPRA ~ IPRE については「6.3.4 インタラプトプライオリティレジスタ A ~ E (IPRA ~ IPRE)」を参照してください。

表 5.8 割り込み優先順位

| 種類 | 優先レベル | 備 考 |
|-----------|--------|-------------------------|
| NMI | 16 | 優先レベル固定、マスク不可能 |
| ユーザブレイク | 15 | 優先レベル固定、マスク可能 |
| H-UDI | 15 | 優先レベル固定 |
| IRQ | 0 ~ 15 | インタラプトプライオリティレジスタ A ~ E |
| 内蔵周辺モジュール | | (IPRA ~ IPRE) により設定 |

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は SR とプログラムカウンタ (PC) をスタックに退避し、受け付けた割り込みの優先レベル値を SR の I3 ~ I0 ビットに書き込みます。ただし、NMI の場合優先レベルは 16 ですが、I3 ~ I0 ビットに設定される値は HF (レベル 15) です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理については「6.6 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.9 命令による例外の種類

| 種類 | 要因となる命令 | 備 考 |
|-----------|---|--|
| トラップ命令 | TRAPA | |
| スロット不当命令* | 遅延分岐命令直後 (遅延スロット) に配置された未定義コードまたは PC を書き換える命令 | 遅延分岐命令 : JMP, JSR, BRA, BSR, RTS, RTE, BF/S, BT/S, BSRF, BRAF PC を書き換える命令 : JMP, JSR, BRA, BSR, RTS, RTE, BT, BF, TRAPA, BF/S, BT/S, BSRF, BRAF, LDC Rm, SR, LDC.L @Rm+, SR |
| 一般不当命令* | 遅延スロット以外にある未定義コード | |

【注】 * H'FC00 ~ H'FFFF 以外の未定義命令をデコードした場合には動作を保証しません。

5. 例外処理

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. ステータスレジスタ (SR) をスタックに退避します。
2. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、TRAPA命令の次命令の先頭アドレスです。
3. 例外サービスルーチンスタートアドレスを、TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. SRをスタックに退避します。
2. PCをスタックに退避します。退避するPCの値は、未定義コードまたはPCを書き換える命令の直前にある遅延分岐命令のアドレスです。
3. 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外要因の受け付け

リセットを除くすべての例外要因は表 5.10 に示すように遅延スロット、または割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延スロット、割り込み禁止命令直後の例外要因発生

| 発生した時点 | 例外要因 | | | | |
|----------------------------|-----------------|--------|-----------------|--------|-----------------|
| | アドレスエラー | 一般不当命令 | スロット不当命令 | トラップ命令 | 割り込み |
| 遅延スロット | x ^{*2} | - | x ^{*2} | - | x ^{*3} |
| 割り込み禁止命令 ^{*1} の直後 | | | | | x ^{*4} |

【注】 *1 割り込み禁止命令：LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

*2 遅延分岐命令実行前に受け付けられません。ただし、RTE 命令の遅延スロットでアドレスエラー、スロット不当命令が発生すると動作は保証されません。

*3 遅延分岐後（遅延スロット命令と遅延分岐先命令の間）に受け付けられません。

*4 割り込み禁止命令の直後の命令実行後（割り込み禁止命令の直後の命令とさらにその次の命令の間）に受け付けられません。

○：受け付けられる。

x：受け付けられない。

-：あり得ないケースです。

5. 例外処理

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

| 種類 | スタックの状態 | 種類 | スタックの状態 |
|--|---------|------------------------------|---------|
| アドレス エラー (例外発生 の原因とな った命令が 遅延スロッ トにある場 合) | | アドレス エラー (前記以外 の場合) | |
| 割り込み | | トラップ 命令 | |
| スロット 不当命令 | | 一般不当 命令 | |

5.8 使用上の注意事項

5.8.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ - 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値に対して下位 2 ビットを 0 に丸めたものが出力されます。このとき、スタッキングされたライトデータは不定です。

5. 例外処理

5.8.4 スロット不当命令例外処理に関する注意事項

本 LSI のスロット不当命令例外処理仕様で、従来の SH2 と異なる点があります。

従来 SH2 : LDC Rm, SR、LDC.L @Rm+, SR をスロット不当命令の対象としません。

本 LSI : LDC Rm, SR、LDC.L @Rm+, SR をスロット不当命令の対象とします。

本件に関する弊社ソフトウェア製品の対応状況を以下に示します。

(1) コンパイラ

V.4 以降のコンパイラは、当該命令を遅延スロットに配置しません。

(2) μ ITRON 仕様リアルタイム OS

(a) HI7000/4、HI-SH7

OS 内で当該命令は遅延スロットに存在しません。

(b) HI7000

OS 内で当該命令が遅延スロットに配置されている箇所があり、本 LSI ではスロットで不当命令例外処理が発生します。

(c) その他

アセンブラで記述した場合や、オブジェクトのミドルウェアを導入する場合、本 LSI ではスロット不当命令例外処理が発生する可能性があります。

なお、当該命令列を抽出するチェックプログラム（チェッカ）を弊社ホームページの製品の個別情報ページに掲載していますので、必要に応じてダウンロードしてご確認ください。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。

6.1 特長

- 割り込み優先順位を16レベル設定可能

INTC のブロック図を図 6.1 に示します。

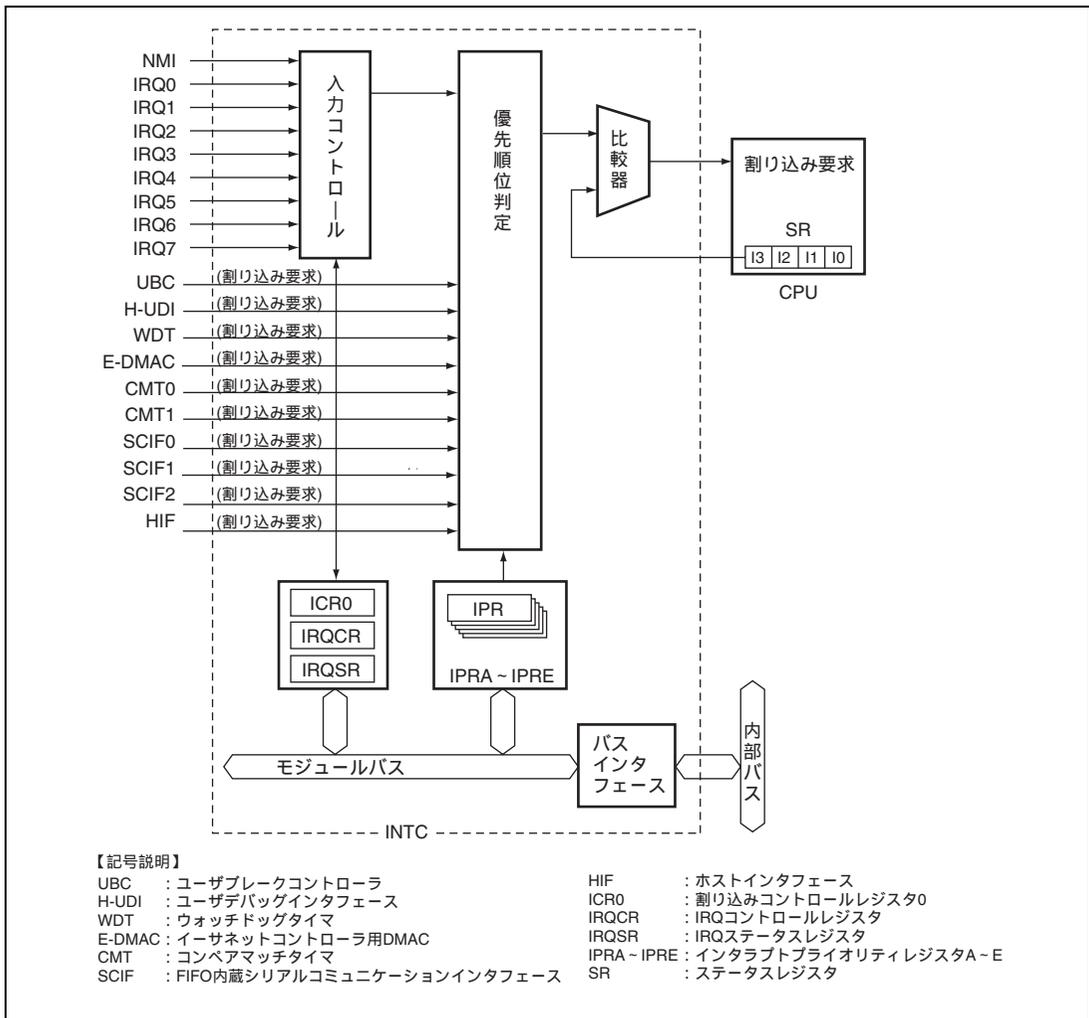


図 6.1 INTC のブロック図

6. 割り込みコントローラ (INTC)

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

| 名称 | 略称 | 入出力 | 機能 |
|------------------|-------------|-----|--------------------|
| ノンマスクابل割り込み入力端子 | NMI | 入力 | マスク不可能な割り込み要求信号を入力 |
| 割り込み要求入力端子 | IRQ0 ~ IRQ7 | 入力 | マスク可能な割り込み要求信号を入力 |

6.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- 割り込みコントロールレジスタ0 (ICR0)
- IRQコントロールレジスタ (IRQCR)
- IRQステータスレジスタ (IRQSR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)

6.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|---|
| 15 | NMIL | 1/0 | R | NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されている 1 : NMI 端子にハイレベルが入力されている |
| 14~9 | - | すべて 0 | R | リザーブビット リードすると常に 0 がリードされます。書き込む値も常に 0 にしてください。 |
| 8 | NMIE | 0 | R/W | NMI エッジセレクト 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出 |
| 7~0 | - | すべて 0 | R | リザーブビット リードすると常に 0 がリードされます。書き込む値も常に 0 にしてください。 |

6.3.2 IRQ コントロールレジスタ (IRQCR)

IRQCR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ0 ~ IRQ7 の入力信号検出モードを設定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-----|-----|---|
| 15 | IRQ71S | 0 | R/W | IRQ7 センスセレクト IRQ7 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ71S、IRQ70S の設定値が、 00 : IRQ7 入力のローレベルで割り込み要求を検出 01 : IRQ7 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ7 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ7 入力の両エッジで割り込み要求を検出 |
| 14 | IRQ70S | 0 | R/W | |
| 13 | IRQ61S | 0 | R/W | IRQ6 センスセレクト IRQ6 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ61S、IRQ60S の設定値が、 00 : IRQ6 入力のローレベルで割り込み要求を検出 01 : IRQ6 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ6 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ6 入力の両エッジで割り込み要求を検出 |
| 12 | IRQ60S | 0 | R/W | |
| 11 | IRQ51S | 0 | R/W | IRQ5 センスセレクト IRQ5 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ51S、IRQ50S の設定値が、 00 : IRQ5 入力のローレベルで割り込み要求を検出 01 : IRQ5 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ5 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ5 入力の両エッジで割り込み要求を検出 |
| 10 | IRQ50S | 0 | R/W | |
| 9 | IRQ41S | 0 | R/W | IRQ4 センスセレクト IRQ4 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ41S、IRQ40S の設定値が、 00 : IRQ4 入力のローレベルで割り込み要求を検出 01 : IRQ4 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ4 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ4 入力の両エッジで割り込み要求を検出 |
| 8 | IRQ40S | 0 | R/W | |

6. 割り込みコントローラ (INTC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|------------------|--------|------------|--|
| 7 6 | IRQ31S IRQ30S | 0 0 | R/W R/W | <p>IRQ3 センスセレクト</p> <p>IRQ3 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ31S、IRQ30S の設定値が、</p> <p>00 : IRQ3 入力のローレベルで割り込み要求を検出 01 : IRQ3 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ3 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ3 入力の両エッジで割り込み要求を検出</p> |
| 5 4 | IRQ21S IRQ20S | 0 0 | R/W R/W | <p>IRQ2 センスセレクト</p> <p>IRQ2 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ21S、IRQ20S の設定値が、</p> <p>00 : IRQ2 入力のローレベルで割り込み要求を検出 01 : IRQ2 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ2 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ2 入力の両エッジで割り込み要求を検出</p> |
| 3 2 | IRQ11S IRQ10S | 0 0 | R/W R/W | <p>IRQ1 センスセレクト</p> <p>IRQ1 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ11S、IRQ10S の設定値が、</p> <p>00 : IRQ1 入力のローレベルで割り込み要求を検出 01 : IRQ1 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ1 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ1 入力の両エッジで割り込み要求を検出</p> |
| 1 0 | IRQ01S IRQ00S | 0 0 | R/W R/W | <p>IRQ0 センスセレクト</p> <p>IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。IRQ01S、IRQ00S の設定値が、</p> <p>00 : IRQ0 入力のローレベルで割り込み要求を検出 01 : IRQ0 入力の立ち下がりエッジで割り込み要求を検出 10 : IRQ0 入力の立ち上がりエッジで割り込み要求を検出 11 : IRQ0 入力の両エッジで割り込み要求を検出</p> |

6.3.3 IRQ ステータスレジスタ (IRQSR)

IRQSR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ0 ~ IRQ7 状態と割り込み要求のステータスを示します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-------|-----|--|
| 15 | IRQ7L | 0または1 | R | IRQ7 の端子状態を示します。 0 : IRQ7 端子にローレベルが入力されている 1 : IRQ7 端子にハイレベルが入力されている |
| 14 | IRQ6L | 0または1 | R | IRQ6 の端子状態を示します。 0 : IRQ6 端子にローレベルが入力されている 1 : IRQ6 端子にハイレベルが入力されている |
| 13 | IRQ5L | 0または1 | R | IRQ5 の端子状態を示します。 0 : IRQ5 端子にローレベルが入力されている 1 : IRQ5 端子にハイレベルが入力されている |
| 12 | IRQ4L | 0または1 | R | IRQ4 の端子状態を示します。 0 : IRQ4 端子にローレベルが入力されている 1 : IRQ4 端子にハイレベルが入力されている |
| 11 | IRQ3L | 0または1 | R | IRQ3 の端子状態を示します。 0 : IRQ3 端子にローレベルが入力されている 1 : IRQ3 端子にハイレベルが入力されている |
| 10 | IRQ2L | 0または1 | R | IRQ2 の端子状態を示します。 0 : IRQ2 端子にローレベルが入力されている 1 : IRQ2 端子にハイレベルが入力されている |
| 9 | IRQ1L | 0または1 | R | IRQ1 の端子状態を示します。 0 : IRQ1 端子にローレベルが入力されている 1 : IRQ1 端子にハイレベルが入力されている |
| 8 | IRQ0L | 0または1 | R | IRQ0 の端子状態を示します。 0 : IRQ0 端子にローレベルが入力されている 1 : IRQ0 端子にハイレベルが入力されている |

6. 割り込みコントローラ (INTC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-----|-----|--|
| 7 | IRQ7F | 0 | R/W | <p>IRQ7 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ7 割り込み要求なし</p> <p>[クリア条件]</p> <p>IRQ7 端子へのハイレベル入力</p> <p>1 : IRQ7 割り込み要求あり</p> <p>[セット条件]</p> <p>IRQ7 端子へのローレベル入力</p> <p>エッジ検出を設定している場合</p> <p>0 : IRQ7 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ7F = 1 の状態を読み出した後の 0 書き込み • IRQ7 割り込みの受け付け <p>1 : IRQ7 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ7 端子での指定エッジ検出 |
| 6 | IRQ6F | 0 | R/W | <p>IRQ6 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ6 割り込み要求なし</p> <p>[クリア条件]</p> <p>IRQ6 端子へのハイレベル入力</p> <p>1 : IRQ6 割り込み要求あり</p> <p>[セット条件]</p> <p>IRQ6 端子へのローレベル入力</p> <p>エッジ検出を設定している場合</p> <p>0 : IRQ6 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ6F = 1 の状態を読み出した後の 0 書き込み • IRQ6 割り込みの受け付け <p>1 : IRQ6 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ6 端子での指定エッジ検出 |

6. 割り込みコントローラ (INTC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-----|-----|--|
| 5 | IRQ5F | 0 | R/W | <p>IRQ5 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ5 割り込み要求なし</p> <p>[クリア条件]</p> <p>IRQ5 端子へのハイレベル入力</p> <p>1 : IRQ5 割り込み要求あり</p> <p>[セット条件]</p> <p>IRQ5 端子へのローレベル入力</p> <p>エッジ検出を設定している場合</p> <p>0 : IRQ5 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ5F = 1 の状態を読み出した後の 0 書き込み • IRQ5 割り込みの受け付け <p>1 : IRQ5 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ5 端子での指定エッジ検出 |
| 4 | IRQ4F | 0 | R/W | <p>IRQ4 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ4 割り込み要求なし</p> <p>[クリア条件]</p> <p>IRQ4 端子へのハイレベル入力</p> <p>1 : IRQ4 割り込み要求あり</p> <p>[セット条件]</p> <p>IRQ4 端子へのローレベル入力</p> <p>エッジ検出を設定している場合</p> <p>0 : IRQ4 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ4F = 1 の状態を読み出した後の 0 書き込み • IRQ4 割り込みの受け付け <p>1 : IRQ4 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ4 端子での指定エッジ検出 |

6. 割り込みコントローラ (INTC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-----|-----|--|
| 3 | IRQ3F | 0 | R/W | <p>IRQ3 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ3 割り込み要求なし</p> <p>[クリア条件]</p> <p>IRQ3 端子へのハイレベル入力</p> <p>1 : IRQ3 割り込み要求あり</p> <p>[セット条件]</p> <p>IRQ3 端子へのローレベル入力</p> <p>エッジ検出を設定している場合</p> <p>0 : IRQ3 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ3F=1 の状態を読み出した後の 0 書き込み • IRQ3 割り込みの受け付け <p>1 : IRQ3 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ3 端子での指定エッジ検出 |
| 2 | IRQ2F | 0 | R/W | <p>IRQ2 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合</p> <p>0 : IRQ2 割り込み要求なし</p> <p>[クリア条件]</p> <p>IRQ2 端子へのハイレベル入力</p> <p>1 : IRQ2 割り込み要求あり</p> <p>[セット条件]</p> <p>IRQ2 端子へのローレベル入力</p> <p>エッジ検出を設定している場合</p> <p>0 : IRQ2 割り込み要求を未検出</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ2F=1 の状態を読み出した後の 0 書き込み • IRQ2 割り込みの受け付け <p>1 : IRQ2 割り込み要求を検出済み</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ2 端子での指定エッジ検出 |

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-----|-----|---|
| 1 | IRQ1F | 0 | R/W | <p>IRQ1 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合 0 : IRQ1 割り込み要求なし</p> <p>[クリア条件] IRQ1 端子へのハイレベル入力 1 : IRQ1 割り込み要求あり</p> <p>[セット条件] IRQ1 端子へのローレベル入力</p> <p>エッジ検出を設定している場合 0 : IRQ1 割り込み要求を未検出</p> <p>[クリア条件] • IRQ1F=1 の状態を読み出した後の 0 書き込み • IRQ1 割り込みの受け付け 1 : IRQ1 割り込み要求を検出済み</p> <p>[セット条件] • IRQ1 端子での指定エッジ検出</p> |
| 0 | IRQ0F | 0 | R/W | <p>IRQ0 割り込み要求ステータスを示します。</p> <p>レベル検出を設定している場合 0 : IRQ0 割り込み要求なし</p> <p>[クリア条件] IRQ0 端子へのハイレベル入力 1 : IRQ0 割り込み要求あり</p> <p>[セット条件] IRQ0 端子へのローレベル入力</p> <p>エッジ検出を設定している場合 0 : IRQ0 割り込み要求を未検出</p> <p>[クリア条件] • IRQ0F=1 の状態を読み出した後の 0 書き込み • IRQ0 割り込みの受け付け 1 : IRQ0 割り込み要求を検出済み</p> <p>[セット条件] • IRQ0 端子での指定エッジ検出</p> |

6.3.4 インタラプトプライオリティレジスタ A ~ E (IPRA ~ IPRE)

IPR は 16 ビットのリード/ライト可能な 5 本のレジスタで、NMI を除く割り込み要因の優先順位 (レベル 15 ~ 0) を設定します。各割り込み要因と IPR の対応については「表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧」を参照してください。ビット 15 ~ 12、ビット 11 ~ 8、ビット 7 ~ 4、ビット 3 ~ 0 の各 4 ビットに H'0 から H'F の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。割り付けのないリザーブビットについては、H'0 (B'0000) を設定してください。

6. 割り込みコントローラ (INTC)

| ビット | ビット名 | 初期値 | R/W | 説 明 | |
|-----|-------|-----|-----|--|--|
| 15 | IPR15 | 0 | R/W | 対応する割り込み要因の優先順位を設定します。 0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高) | |
| 14 | IPR14 | 0 | R/W | | |
| 13 | IPR13 | 0 | R/W | | |
| 12 | IPR12 | 0 | R/W | | |
| 11 | IPR11 | 0 | R/W | | 対応する割り込み要因の優先順位を設定します。 0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高) |
| 10 | IPR10 | 0 | R/W | | |
| 9 | IPR9 | 0 | R/W | | |
| 8 | IPR8 | 0 | R/W | | |
| 7 | IPR7 | 0 | R/W | 対応する割り込み要因の優先順位を設定します。 0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高) | |
| 6 | IPR6 | 0 | R/W | | |
| 5 | IPR5 | 0 | R/W | | |
| 4 | IPR4 | 0 | R/W | | |
| 3 | IPR3 | 0 | R/W | | 対応する割り込み要因の優先順位を設定します。 0000 : 優先レベル 0 (最低) 1000 : 優先レベル 8 0001 : 優先レベル 1 1001 : 優先レベル 9 0010 : 優先レベル 2 1010 : 優先レベル 10 0011 : 優先レベル 3 1011 : 優先レベル 11 0100 : 優先レベル 4 1100 : 優先レベル 12 0101 : 優先レベル 5 1101 : 優先レベル 13 0110 : 優先レベル 6 1110 : 優先レベル 14 0111 : 優先レベル 7 1111 : 優先レベル 15 (最高) |
| 2 | IPR2 | 0 | R/W | | |
| 1 | IPR1 | 0 | R/W | | |
| 0 | IPR0 | 0 | R/W | | |

【注】 ビット名は一般名称で表記しています。レジスタ一覧表ではモジュール名で表記しています。

6.4 割り込み要因

6.4.1 外部割り込み要因

割り込み要因は、ユーザブレイク、NMI、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

(1) NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0(ICR0)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。

(2) IRQ7~IRQ0 割り込み

IRQ 割り込みはIRQ0~IRQ7 端子からの入力による割り込みです。IRQ コントロールレジスタ(IRQCR)のIRQ センセレクトビット(IRQ7IS、IRQ70S~IRQ01S、IRQ00S)の設定によって、端子ごとにローレベル検出、立ち下がりエッジ検出、立ち上がりエッジ検出、または両エッジ検出を選択できます。また、インタラプトプライオリティレジスタA、B(IPRA、IPRB)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ 端子がローレベルの期間INTCに割り込み要求信号が送られます。IRQ 端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQ ステータスレジスタ(IRQSR)のIRQ フラグ(IRQ7F~IRQ0F)を読み出しすることにより割り込み要求の有無を確認できます。

IRQ 割り込みを立ち下がりエッジ(立ち上がりエッジ、両エッジ)検出に設定している場合、IRQ 端子のハイレベルからローレベル(ローレベルからハイレベル、ローレベルからハイレベルあるいはハイレベルからローレベル)の変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQ ステータスレジスタ(IRQSR)のIRQ フラグ(IRQ7F~IRQ0F)を読み出すことによりIRQ 割り込み要求が検出されているかどうかを確認でき、1読み出し後に0を書き込むことによりIRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

IRQ7~IRQ0 割り込みのブロック図を図6.2に示します。

6. 割り込みコントローラ (INTC)

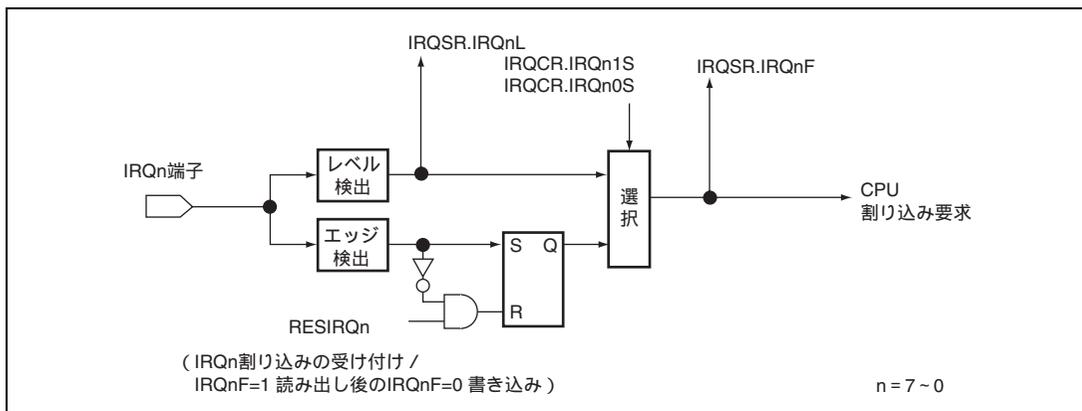


図 6.2 IRQ7 ~ IRQ0 割り込み制御

6.4.2 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、インタラプトプライオリティレジスタ C~E (IPRC~IPRE) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.4.3 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は 15 に設定されます。ユーザブレイクの詳細は、「第 18 章 ユーザブレイクコントローラ (UBC)」を参照してください。

6.4.4 H-UDI 割り込み

ユーザデバッグインタフェース (H-UDI) 割り込みは、優先順位レベル 15 を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込みはエッジで検出され、受け付けられるまで保持されます。H-UDI 例外処理により、SR の I3~I0 は 15 に設定されます。H-UDI 割り込みについては、「第 19 章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

6.5 割り込み例外処理ベクタテーブル

表 6.2 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の「表 5.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、インタラプトプライオリティレジスタ A~E (IPRA~IPRE) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、同一の IPR によって指定される複数の割り込み要因の優先順位は、ベクタ番号の小さい要因ほど高い優先に割り付けられており変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.2 に示す「デフォルト優先順位」に従って処理されます。

6. 割り込みコントローラ (INTC)

表 6.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

| 割り込み要因発生元 | 名称 | ベクタ番号 | ベクタテーブル 先頭アドレス | IPR | デフォルト 優先順位 |
|--------------|-------|-------|-------------------|-----------------|--|
| ユーザブレイク | | 12 | H'00000030 | - | 高  低 |
| 外部端子 | NMI | 11 | H'0000002C | - | |
| H-UDI | | 13 | H'00000034 | - | |
| 外部端子 | IRQ0 | 64 | H'00000100 | IPRA15 ~ IPRA12 | |
| | IRQ1 | 65 | H'00000104 | IPRA11 ~ IPRA8 | |
| | IRQ2 | 66 | H'00000108 | IPRA7 ~ IPRA4 | |
| | IRQ3 | 67 | H'0000010C | IPRA3 ~ IPRA0 | |
| | IRQ4 | 80 | H'00000140 | IPRB15 ~ IPRB12 | |
| | IRQ5 | 81 | H'00000144 | IPRB11 ~ IPRB8 | |
| | IRQ6 | 82 | H'00000148 | IPRB7 ~ IPRB4 | |
| | IRQ7 | 83 | H'0000014C | IPRB3 ~ IPRB0 | |
| WDT | ITI | 84 | H'00000150 | IPRC15 ~ IPRC12 | |
| E-DMAC | EINT0 | 85 | H'00000154 | IPRC11 ~ IPRC8 | |
| CMT チャンネル 0 | CMIO | 86 | H'00000158 | IPRC7 ~ IPRC4 | |
| CMT チャンネル 1 | CM11 | 87 | H'0000015C | IPRC3 ~ IPRC0 | |
| SCIF チャンネル 0 | ERI_0 | 88 | H'00000160 | IPRD15 ~ IPRD12 | |
| | RXI_0 | 89 | H'00000164 | | |
| | BRI_0 | 90 | H'00000168 | | |
| | TXI_0 | 91 | H'0000016C | | |
| SCIF チャンネル 1 | ERI_1 | 92 | H'00000170 | IPRD11 ~ IPRD8 | |
| | RXI_1 | 93 | H'00000174 | | |
| | BRI_1 | 94 | H'00000178 | | |
| | TXI_1 | 95 | H'0000017C | | |
| SCIF チャンネル 2 | ERI_2 | 96 | H'00000180 | IPRD7 ~ IPRD4 | |
| | RXI_2 | 97 | H'00000184 | | |
| | BRI_2 | 98 | H'00000188 | | |
| | TXI_2 | 99 | H'0000018C | | |
| HIF | HIFI | 100 | H'00000190 | IPRE15 ~ IPRE12 | |
| | HIFBI | 101 | H'00000194 | IPRE11 ~ IPRE8 | |

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.3 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、インタラプトプライオリティレジスタ A ~ E (IPRA ~ IPRE) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.2 に示す「デフォルト優先順位」に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
4. 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます。
5. SR とプログラムカウンタ (PC) がスタックに退避されます。
6. SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
7. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (IRQSR) のアクセスにより取り下げることができます。

また、エッジ検出により保留されている割り込みはパワーオンリセットおよび H-UDI リセットでクリアされます。

6. 割り込みコントローラ (INTC)

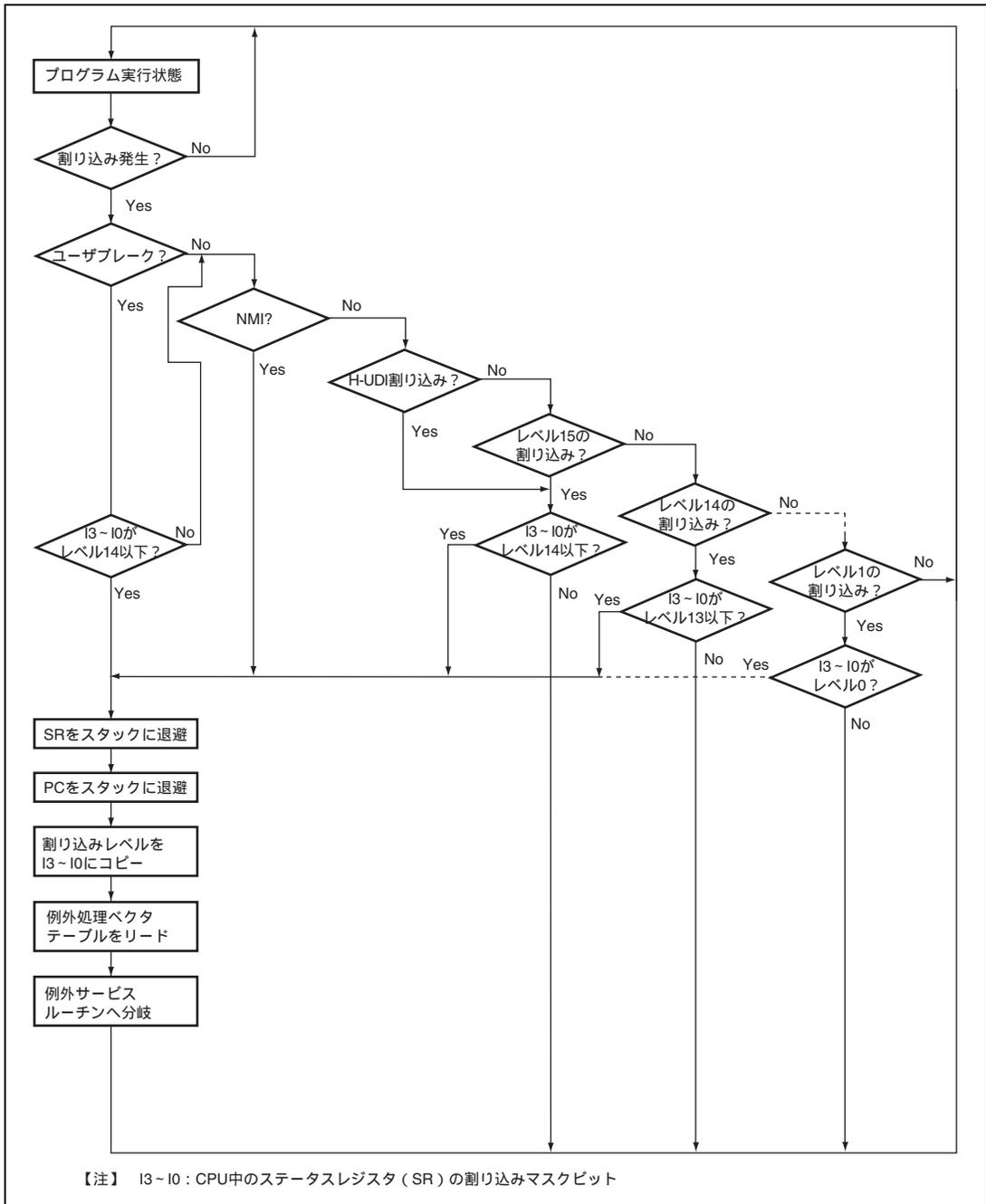


図 6.3 割り込み動作フロー

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.4 に示すようになります。

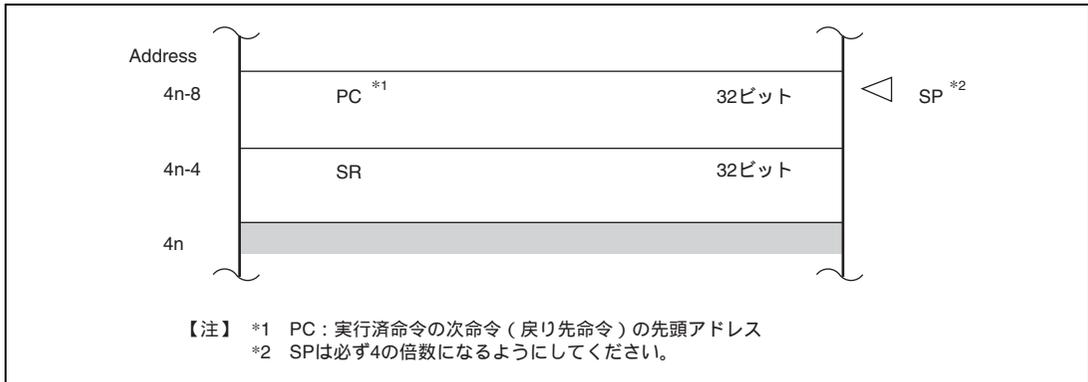


図 6.4 割り込み例外処理終了後のスタック状態

6. 割り込みコントローラ (INTC)

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 6.3 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.5 に示します。

表 6.3 割り込み応答時間

| 項目 | ステート数 | | 備考 |
|---|---|---|--|
| | NMI、H-UDI | IRQ、周辺モジュール | |
| 優先順位判定および SR のマスクビットとの比較時間 | $1 \times \text{lcyc} + 2 \times \text{Pcyc}$ | $1 \times \text{lcyc} + 3 \times \text{Pcyc}$ | |
| CPU が実行中のシーケンス終了までの待ち時間 | $X (0)$ | | 最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X = 7 \times \text{lcyc} + m1 + m2 + m3 + m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。 |
| 割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間 | $8 \times \text{lcyc} + m1 + m2 + m3$ | | SR、PC の退避とベクタアドレスのフェッチを行います。 |
| 応答時間 | 合計 | $9 \times \text{lcyc} + 2 \times \text{Pcyc} + m1 + m2 + m3 + X$ | $9 \times \text{lcyc} + 3 \times \text{Pcyc} + m1 + m2 + m3 + X$ |
| | 最小時* | $12 \times \text{lcyc} + 2 \times \text{Pcyc}$ | $12 \times \text{lcyc} + 3 \times \text{Pcyc}$ |
| | 最大時 | $16 \times \text{lcyc} + 2 \times \text{Pcyc} + 2(m1 + m2 + m3) + m4$ | $16 \times \text{lcyc} + 3 \times \text{Pcyc} + 2(m1 + m2 + m3) + m4$ |

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

- m1 : SR の退避 (ロングワードライト)
- m2 : PC の退避 (ロングワードライト)
- m3 : ベクタアドレスリード (ロングワードリード)
- m4 : 割り込みサービスルーチン先頭命令のフェッチ
- * m1=m2=m3=m4=1 × lcyc の場合

7. バスステートコントローラ (BSC)

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

7.1 特長

BSC には、次の特長があります。

(1) 外部アドレス空間

- CS0、CS3、CS4、CS5B、およびCS6Bの各空間をそれぞれ最大32Mバイトまたは最大64Mバイトまで、外部アドレス空間の合計を256Mバイト（5個の部分空間に分割）までサポート
- CS0、CS3、CS4、CS5、およびCS6の各空間はそれぞれ最大64Mバイトまで、外部アドレス空間の合計は320Mバイト（5個の部分空間に分割）までサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、SDRAM、およびPCMCIAのメモリ種類を指定可能
- 空間ごとに、データバス幅（8ビット、または16ビット）を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリードライト（同一空間または別空間）、リードリード（同一空間または別空間）、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

(2) 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

(3) SDRAM インタフェース

- エリア3でSDRAMを設定可能
- ローアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート

(4) バイト選択付き SRAM インタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

7. バスステートコントローラ (BSC)

(5) PCMCIA 直結インターフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1 Rev2.1) で定める「ICメモリカードおよびI/Oカードインターフェース」をサポート
- ウェイトステート挿入をプログラムで制御可能
- I/Oバス幅のバスサイジング機能をサポート (リトルエンディアンモード時のみ)

(6) リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

BSC のブロック図を図 7.1 に示します。

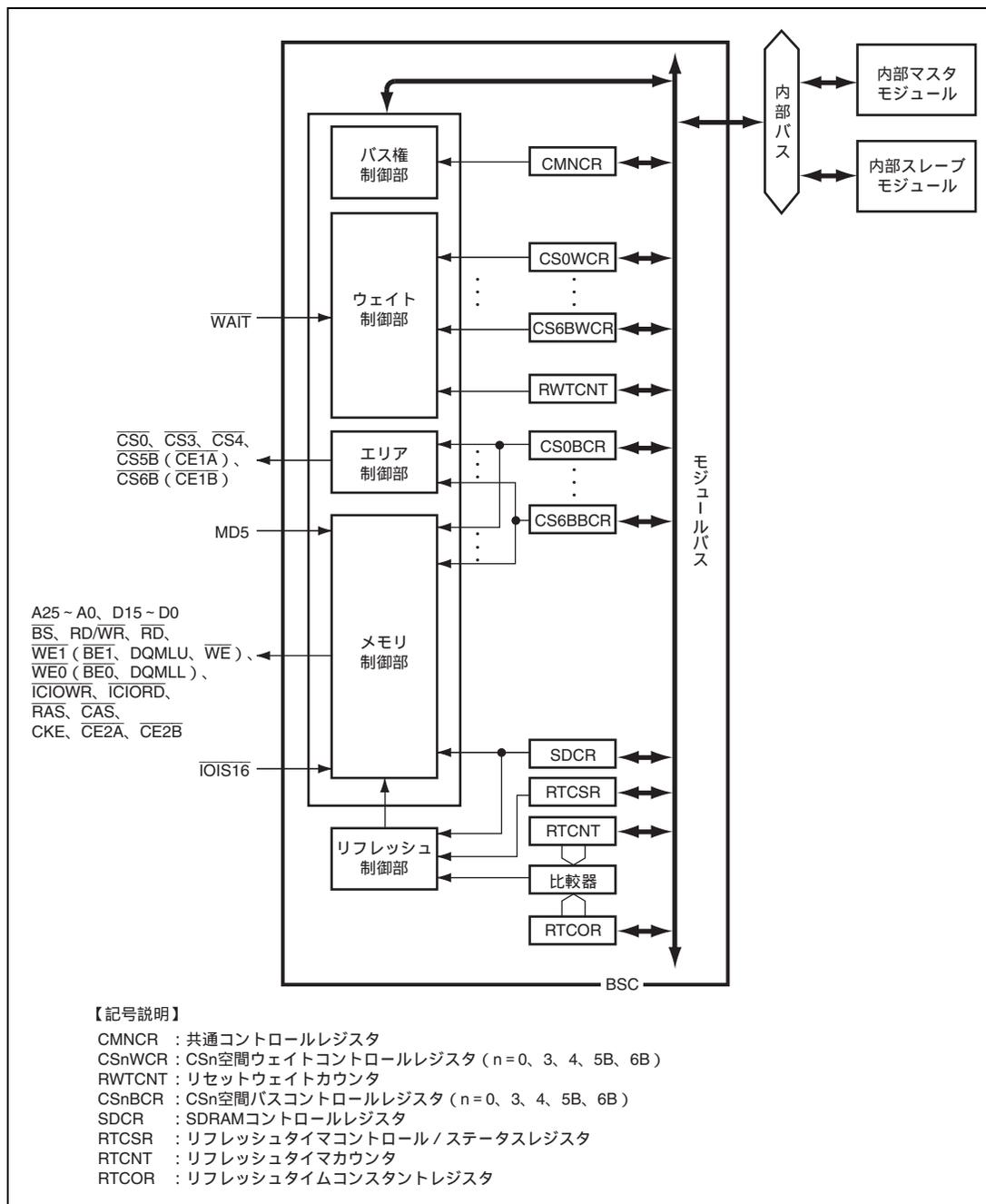


図 7.1 バスステートコントローラのブロック図

7. バスステートコントローラ (BSC)

7.2 入出力端子

BSC の端子構成を表 7.1 に示します。

表 7.1 端子構成

| 端子名 | 入出力 | 機能 |
|--|-----|---|
| A25 ~ A0 | 出力 | アドレスバス* |
| D15 ~ D0 | 入出力 | データバス |
| \overline{BS} | 出力 | バスサイクルの開始を示す信号 通常空間、バースト ROM (クロック同期 / 非同期)、および PCMCIA アクセス時にアサートされる。SDRAM アクセス時は、 \overline{CAS} と同タイミングでアサートされる。 |
| $\overline{CS0}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ | 出力 | チップセレクト |
| $\overline{CS5B/CE1A}$ | 出力 | チップセレクト PCMCIA 使用時は、エリア 5 に接続された PCMCIA 用チップイネーブル |
| $\overline{CE2A}$ | 出力 | PCMCIA 使用時は、エリア 5 に接続された PCMCIA 用チップイネーブル |
| $\overline{CS6B/CE1B}$ | 出力 | チップセレクト PCMCIA 使用時は、エリア 6 に接続された PCMCIA 用チップイネーブル |
| $\overline{CE2B}$ | 出力 | PCMCIA 使用時は、エリア 6 に接続された PCMCIA 用チップイネーブル |
| $\overline{RD/WR}$ | 出力 | リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 \overline{WE} 端子に接続 |
| \overline{RD} | 出力 | リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号 |
| \overline{ICIORW} | 出力 | PCMCIA 使用時、I/O ライトを示すストロープ信号 |
| $\overline{ICIOR\overline{D}}$ | 出力 | PCMCIA 使用時、I/O リードを示すストロープ信号 |
| $\overline{WE1(BE1)/WE}$ | 出力 | D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、メモリライトサイクルを示すストロープ信号 |
| $\overline{WE0(BE0)}$ | 出力 | D7 ~ D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 |
| \overline{RAS} | 出力 | SDRAM 接続時は、 \overline{RAS} 端子に接続 |
| \overline{CAS} | 出力 | SDRAM 接続時は、 \overline{CAS} 端子に接続 |
| \overline{CKE} | 出力 | SDRAM 接続時は、 \overline{CKE} 端子に接続 |
| $\overline{IOIS16}$ | 入力 | PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効 ビッグエンディアン時は、ローレベルにしてください。 |
| DQMLU DQMLL | 出力 | SDRAM 接続時は、DQMxx 端子に接続 DQMLU : D15 ~ D8 対応の選択信号 DQMLL : D7 ~ D0 対応の選択信号 |

| 端子名 | 入出力 | 機能 |
|---------|-----|---|
| WAIT | 入力 | 外部ウェイト入力 |
| MD5、MD3 | 入力 | MD5 : データアライメント (ビッグまたはリトルエンディアンの選択) MD3 : エリア 0 のバス幅 (8/16 ビット) |

【注】 * A25 ~ A16 はパワーオンリセット直後は汎用入力ポートになっていますので、必要に応じて LSI 外部でプルダウン / プルアップをしてください。

7.3 エリアの概要

7.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。このうち上位 3 ビットで P0 ~ P4 領域に分類され、キャッシュアクセス方法を表します。詳細は、「第 3 章 キャッシュ」を参照ください。残り 29 ビットは、CMNCR レジスタの MAP ビットにより、アドレスマップ 1 を選択した場合、10 空間 (ただし、うち 5 空間は予約)、またアドレスマップ 2 を選択した場合、8 空間 (ただし、うち 3 空間は予約) に分類されています。BSC は、本 29 ビットの空間の制御を行います。

本 LSI は、表 7.2、表 7.3 に示すように 5 空間にそれぞれ各種メモリを接続でき、おのおのに対応してチップセレクト信号 ($\overline{CS0}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5B}$ 、および $\overline{CS6B}$) を出力します。たとえば、エリア 0 のアクセス時には $\overline{CS0}$ がアサートされます。

7.3.2 シャドウ空間

エリア 0、3、4、5B、および 6B は、物理アドレスの A28 ~ A25 でデコードされ、000 ~ 111 のエリアに対応します。アドレスの A31 ~ A29 は、無視されます。このため、たとえば、エリア 0 のアドレスの範囲は H'00000000 ~ H'03FFFFFF なのに対し、H'20000000 × n (n = 1 ~ 6) を加えた P1 ~ P3 領域のアドレス空間はシャドウ空間となります。

また、エリア 7 のアドレスの範囲は、H'1C000000 ~ H'1FFFFFFF です。エリア 7 のシャドウ空間に相当するアドレスを含めて H'1C000000 + H'20000000 × n ~ H'1FFFFFFF + H'20000000 × n (n = 0 ~ 6) は予約空間ですので、使用しないでください。

P4 領域 (H'E0000000 ~ H'FFFFFFF) は、I/O 領域であり、内蔵レジスタ等のアドレスが割り付けてあります。シャドウ空間にはなりません。

7. バスステートコントローラ (BSC)

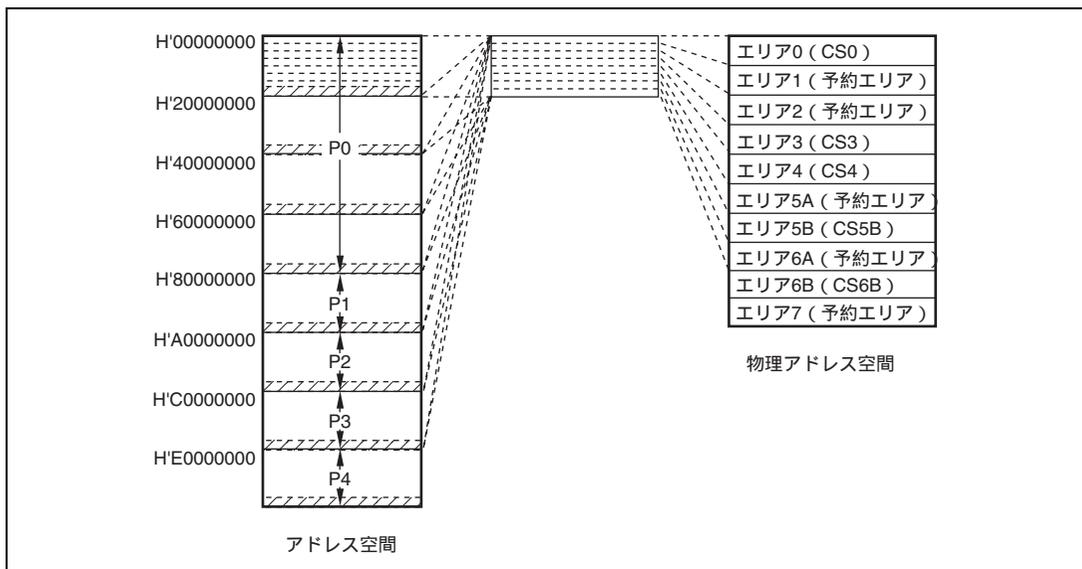


図 7.2 アドレス空間

7.3.3 アドレスマップ

外部アドレス空間は合計 256M バイトあり、これを 5 空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 7.2 アドレスマップ 1 (CMNCR.MAP=0)

| アドレス | 空間 | メモリ種類 | サイズ |
|-------------------------|--------|-------------------------------|---------|
| H'00000000 ~ H'03FFFFFF | エリア 0 | 通常空間 | 64M バイト |
| H'04000000 ~ H'07FFFFFF | エリア 1 | 予約エリア* | 64M バイト |
| H'08000000 ~ H'0BFFFFFF | エリア 2 | 予約エリア* | 64M バイト |
| H'0C000000 ~ H'0FFFFFFF | エリア 3 | 通常空間 バイト選択付き SRAM SDRAM | 64M バイト |
| H'10000000 ~ H'13FFFFFF | エリア 4 | 通常空間 バイト選択付き SRAM | 64M バイト |
| H'14000000 ~ H'15FFFFFF | エリア 5A | 予約エリア* | 32M バイト |
| H'16000000 ~ H'17FFFFFF | エリア 5B | 通常空間 バイト選択付き SRAM | 32M バイト |
| H'18000000 ~ H'19FFFFFF | エリア 6A | 予約エリア* | 32M バイト |
| H'1A000000 ~ H'1BFFFFFF | エリア 6B | 通常空間 バイト選択付き SRAM | 32M バイト |
| H'1C000000 ~ H'1FFFFFFF | エリア 7 | 予約エリア* | 64M バイト |

【注】 * 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

表 7.3 アドレスマップ 2 (CMNCR.MAP = 1)

| アドレス | 空間 | メモリ種類 | サイズ |
|-------------------------|---------------------|--------------------------------|---------|
| H'00000000 ~ H'03FFFFFF | エリア 0 | 通常空間 | 64M バイト |
| H'04000000 ~ H'07FFFFFF | エリア 1 | 予約エリア* ¹ | 64M バイト |
| H'08000000 ~ H'0BFFFFFF | エリア 2 | 予約エリア* ¹ | 64M バイト |
| H'0C000000 ~ H'0FFFFFFF | エリア 3 | 通常空間 バイト選択付き SRAM SDRAM | 64M バイト |
| H'10000000 ~ H'13FFFFFF | エリア 4 | 通常空間 バイト選択付き SRAM | 64M バイト |
| H'14000000 ~ H'17FFFFFF | エリア 5* ² | 通常空間 バイト選択付き SRAM PCMCIA | 64M バイト |
| H'18000000 ~ H'1BFFFFFF | エリア 6* ² | 通常空間 バイト選択付き SRAM PCMCIA | 64M バイト |
| H'1C000000 ~ H'1FFFFFFF | エリア 7 | 予約エリア* ¹ | 64M バイト |

【注】 *1 予約エリアは、アクセスしないでください。アクセスした場合は、動作の保証はできません。

*2 エリア 5 空間は、CS5BBCR および CS5BWCR レジスタが有効になります。
エリア 6 空間は、CS6BBCR および CS6BWCR レジスタが有効になります。

7.3.4 エリア 0 メモリタイプおよびメモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部端子を用いてバスサイズを通常空間設定時は 8 ビット、16 ビットから選択できます。それ以外のエリアは、レジスタで設定します。パワーオンリセット時のメモリタイプおよび外部端子 (MD3) とバス幅の関係は、以下のようになります。

表 7.4 外部端子 (MD3) と CS0 メモリタイプ、メモリバス幅の対応

| MD3 | メモリタイプ | バス幅 |
|-----|--------|--------|
| 1 | 通常空間 | 8 ビット |
| 0 | | 16 ビット |

7.3.5 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) で決まります。

表 7.5 外部端子 (MD5) とエンディアン対応

| MD5 | データアライメント |
|-----|-----------|
| 0 | ビッグエンディアン |
| 1 | リトルエンディアン |

7. バスステートコントローラ (BSC)

7.4 レジスタの説明

BSC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 20 章 レジスタ一覧」を参照してください。

メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

- 共通コントロールレジスタ (CMNCR)
- エリア0バスコントロールレジスタ (CS0BCR)
- エリア3バスコントロールレジスタ (CS3BCR)
- エリア4バスコントロールレジスタ (CS4BCR)
- エリア5Bバスコントロールレジスタ (CS5BBCR)
- エリア6Bバスコントロールレジスタ (CS6BBCR)
- エリア0ウェイトコントロールレジスタ (CS0WCR)
- エリア3ウェイトコントロールレジスタ (CS3WCR)
- エリア4ウェイトコントロールレジスタ (CS4WCR)
- エリア5Bウェイトコントロールレジスタ (CS5BWCR)
- エリア6Bウェイトコントロールレジスタ (CS6BWCR)
- SDRAMコントロールレジスタ (SDCR)
- リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)
- リフレッシュタイムカウンタ (RTCNT)
- リフレッシュタイムコンスタントレジスタ (RTCOR)

7.4.1 共通コントロールレジスタ (CMNCR)

本レジスタは、各エリアに共通の制御を行う 32 ビットのレジスタです。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|-------|-----|---|
| 31~13 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 12 | MAP | 0 | R/W | 空間設定 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、表 7.2、表 7.3 を参照してください。 0: アドレスマップ 1 を選択 1: アドレスマップ 2 を選択 |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------|-------|-----|---|
| 11~5 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 4 | - | 1 | R | リザーブビット 読み出すと常に 1 が読み出されます。書き込み時も常に 1 にしてください。 |
| 3 | ENDIAN | 0/1* | R | エンディアンフラグ 本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。本ビットは、読み出し専用です。 0 : パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作 1 : パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作 |
| 2 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 1 | HIZMEM | 0 | R/W | High-Z メモリコントロール 本ビットは、A25 - 0、 \overline{BS} 、 \overline{CSn} 、 $\overline{RD}/\overline{WR}$ 、 \overline{WEn} (\overline{BEEn})/ \overline{DQMxx} 、および \overline{RD} のスタンバイモード時の端子状態を指定します。 0 : スタンバイモード時にハイインピダンス 1 : スタンバイモード時にドライブ |
| 0 | HIZCNT | 0 | R/W | High-Z コントロール 本ビットは、 \overline{CKIO} 、 \overline{CKE} 、 \overline{RAS} 、 \overline{CAS} のスタンバイモード時の状態を指定します。 0 : \overline{CKIO} 、 \overline{CKE} 、 \overline{RAS} 、 \overline{CAS} は、スタンバイモード時にハイインピダンス 1 : \overline{CKIO} 、 \overline{CKE} 、 \overline{RAS} 、 \overline{CAS} は、スタンバイモード時にドライブ |

【注】 * エンディアンを指定する外部端子 (MD5) の値をパワーオンリセット時にサンプリングします。
ビッグエンディアンのときは 0、リトルエンディアンのときは 1 となります。

7. バスステートコントローラ (BSC)

7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、3、4、5B、6B)

本レジスタは、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定が終了するまでは、エリア0以外の外部メモリをアクセスしないでください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|----------|------------------|--------|------------|--|
| 31、30 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 29 28 | IWW1 IWW0 | 1 1 | R/W R/W | ライト-リード/ライト-ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト-リードサイクルとライト-ライトサイクルの場合です。 00: アイドルサイクルなし 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 4 アイドルサイクル挿入 |
| 27 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 26 25 | IWRWD1 IWRWD0 | 1 1 | R/W R/W | 別空間リード-ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-ライトサイクルの場合です。 00: アイドルサイクルなし 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 4 アイドルサイクル挿入 |
| 24 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 23 22 | IWRWS1 IWRWS0 | 1 1 | R/W R/W | 同一空間リード-ライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。 00: アイドルサイクルなし 01: 1 アイドルサイクル挿入 10: 2 アイドルサイクル挿入 11: 4 アイドルサイクル挿入 |
| 21 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-----|-----|---|
| 20 | IWRRD1 | 1 | R/W | 別空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入 |
| 19 | IWRRD0 | 1 | R/W | |
| 18 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 17 | IWRRS1 | 1 | R/W | 同一空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。 00 : アイドルサイクルなし 01 : 1 アイドルサイクル挿入 10 : 2 アイドルサイクル挿入 11 : 4 アイドルサイクル挿入 |
| 16 | IWRRS0 | 1 | R/W | |
| 15 | TYPE3 | 0 | R/W | メモリ種類指定 本ビットは、空間に接続するメモリの種類を設定します。 0000 : 通常空間 0001 : 予約 (設定不可) 0010 : 予約 (設定不可) 0011 : バイト選択付き SRAM 0100 : SDRAM 0101 : PCMCIA 0110 : 予約 (設定不可) 0111 : 予約 (設定不可) 1000 : 予約 (設定不可) 1001 : 予約 (設定不可) 1010 : 予約 (設定不可) 1011 : 予約 (設定不可) 1100 : 予約 (設定不可) 1101 : 予約 (設定不可) 1110 : 予約 (設定不可) 1111 : 予約 (設定不可) エリアごとのメモリタイプは表 7.2、表 7.3 を参照ください。 |
| 14 | TYPE2 | 0 | R/W | |
| 13 | TYPE1 | 0 | R/W | |
| 12 | TYPE0 | 0 | R/W | |
| | | | | |
| 11 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|---------|--------------|----------|------------|---|
| 10 9 | BSZ1 BSZ0 | 1* 1* | R/W R/W | データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00 : 予約 (設定不可) 01 : 8 ビット 10 : 16 ビット 11 : 予約 (設定不可) 【注】 1. エリア 0 のデータバス幅は、外部入力端子で設定します。CS0BCR の BSZ1、0 ビットの設定は無視されます。 2. エリア 5 または エリア 6 を PCMCIA 空間に設定した場合は、バス幅は 8 または 16 ビットから設定が可能です。 3. エリア 3 を SDRAM 空間に設定した場合は、バス幅は 16 ビット以外の設定はできません。 4. エリア 0 以外の外部メモリにアクセスする前に、本ビットを 01、または 10 に設定してください。 |
| 8~0 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |

【注】 * CS0BCR は、バス幅を指定する外部端子 (MD3) の値をパワーオンリセット時にサンプリングします。

7.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、3、4、5B、6B)

本レジスタは、メモリアクセスに関する各種ウェイトサイクルの設定を行います。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE3、2、1、0) により、以下のように変わります。対象となるエリアにアクセスする前に設定してください。また、CSnWCR は、CSnBCR を設定後に設定してください。

(1) 通常空間、バイト選択付き SRAM

• CS0WCR

| ビット | ビット名 | 初期値 | R/W | 説明 |
|----------|------------|--------|------------|--|
| 31~13 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 12 11 | SW1 SW0 | 0 0 | R/W R/W | アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WE} ($\overline{BE_n}$) アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WE} ($\overline{BE_n}$) アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説明 | |
|-----|------|------|-----|---|---------------|
| 10 | WR3 | 1 | R/W | アクセスウェイトサイクル数 | |
| 9 | WR2 | 0 | R/W | 本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定しません。 | |
| 8 | WR1 | 1 | R/W | | |
| 7 | WR0 | 0 | R/W | | |
| | | | | | 0000 : 0 サイクル |
| | | | | | 0001 : 1 サイクル |
| | | | | | 0010 : 2 サイクル |
| | | | | | 0011 : 3 サイクル |
| | | | | | 0100 : 4 サイクル |
| | | | | 0101 : 5 サイクル | |
| | | | | 0110 : 6 サイクル | |
| | | | | 0111 : 8 サイクル | |
| | | | | 1000 : 10 サイクル | |
| | | | | 1001 : 12 サイクル | |
| | | | | 1010 : 14 サイクル | |
| | | | | 1011 : 18 サイクル | |
| | | | | 1100 : 24 サイクル | |
| | | | | 1101 : 予約 (設定不可) | |
| | | | | 1110 : 予約 (設定不可) | |
| | | | | 1111 : 予約 (設定不可) | |
| 6 | WM | 0 | R/W | 外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視 | |
| 5~2 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 | |
| 1 | HW1 | 0 | R/W | \overline{RD} 、 \overline{WEn} (\overline{BEn}) ネゲート アドレス、 \overline{CSn} ネゲート遅延サイクル数 本ビットは、 \overline{RD} 、 \overline{WEn} (\overline{BEn}) ネゲートから、アドレス、 \overline{CSn} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル | |
| 0 | HW0 | 0 | R/W | | |

7. バスステートコントローラ (BSC)

• CS3WCR

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|------|-----|---|
| 31~21 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 20 | BAS | 0 | R/W | バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} ($\overline{BE_n}$) および $\overline{RD}/\overline{WR}$ 信号のタイミングを設定します。 0: \overline{WEn} ($\overline{BE_n}$) は、リードライトタイミングでアサート (ストロープ) RD/ \overline{WR} は、ライトアクセスサイクル中アサート (ステータス) 1: \overline{WEn} ($\overline{BE_n}$) は、リードライトアクセスサイクル中アサート (ステータス) RD/ \overline{WR} は、ライトタイミングでアサート (ストロープ) |
| 19~11 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 10 | WR3 | 1 | R/W | アクセスウェイトサイクル数 |
| 9 | WR2 | 0 | R/W | 本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。 |
| 8 | WR1 | 1 | R/W | |
| 7 | WR0 | 0 | R/W | 0000: 0 サイクル 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定不可) 1110: 予約 (設定不可) 1111: 予約 (設定不可) |
| 6 | WM | 0 | R/W | 外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視 |
| 5~0 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |

7. バスステートコントローラ (BSC)

• CS4WCR

| ビット | ビット名 | 初期値 | R/W | 説明 |
|----------------|-------------------|-------------|-------------------|---|
| 31~21 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 20 | BAS | 0 | R/W | バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} (\overline{BEn}) および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} (\overline{BEn}) は、リードライトタイミングでアサート (ストロープ) RD/\overline{WR} は、ライトアクセスサイクル中アサート (ステータス) 1: \overline{WEn} (\overline{BEn}) は、リードライトアクセスサイクル中アサート (ステータス) RD/\overline{WR} は、ライトタイミングでアサート (ストロープ) |
| 19 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 18 17 16 | WW2 WW1 WW0 | 0 0 0 | R/W R/W R/W | ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR3~WR0 設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル |
| 15~13 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 12 11 | SW1 SW0 | 0 0 | R/W R/W | アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WEn} (\overline{BEn}) アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} (\overline{BEn}) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|------|-----|--|
| 10 | WR3 | 1 | R/W | アクセスウェイトサイクル数 |
| 9 | WR2 | 0 | R/W | 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 |
| 8 | WR1 | 1 | R/W | 0000 : 0 サイクル |
| 7 | WR0 | 0 | R/W | 0001 : 1 サイクル |
| | | | | 0010 : 2 サイクル |
| | | | | 0011 : 3 サイクル |
| | | | | 0100 : 4 サイクル |
| | | | | 0101 : 5 サイクル |
| | | | | 0110 : 6 サイクル |
| | | | | 0111 : 8 サイクル |
| | | | | 1000 : 10 サイクル |
| | | | | 1001 : 12 サイクル |
| | | | | 1010 : 14 サイクル |
| | | | | 1011 : 18 サイクル |
| | | | | 1100 : 24 サイクル |
| | | | | 1101 : 予約 (設定不可) |
| | | | | 1110 : 予約 (設定不可) |
| | | | | 1111 : 予約 (設定不可) |
| 6 | WM | 0 | R/W | 外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視 |
| 5~2 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 1 | HW1 | 0 | R/W | RD、 $\overline{WE_n}$ ($\overline{BE_n}$) ネゲート アドレス、 $\overline{CS_n}$ ネゲート遅延サイクル数 |
| 0 | HW0 | 0 | R/W | 本ビットは、RD、 $\overline{WE_n}$ ($\overline{BE_n}$) ネゲートから、アドレス、 $\overline{CS_n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル |

7. バスステートコントローラ (BSC)

• CS5BWCR

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|------|-----|--|
| 31~19 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 18 | WW2 | 0 | R/W | ライトアクセスウェイトサイクル数 |
| 17 | WW1 | 0 | R/W | 本ビットは、ライトアクセスに必要なサイクル数を指定します。 |
| 16 | WW0 | 0 | R/W | 000 : WR3~WR0 設定 (リードアクセスウェイト) と同じサイクル 001 : 0 サイクル 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル |
| 15~13 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 12 | SW1 | 0 | R/W | アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WEn} ($\overline{BE\overline{n}}$) アサート遅延サイクル数 |
| 11 | SW0 | 0 | R/W | 本ビットは、アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} ($\overline{BE\overline{n}}$) アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|------|-----|--|
| 10 | WR3 | 1 | R/W | アクセスウェイトサイクル数 |
| 9 | WR2 | 0 | R/W | 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 |
| 8 | WR1 | 1 | R/W | 0000 : 0 サイクル |
| 7 | WR0 | 0 | R/W | 0001 : 1 サイクル |
| | | | | 0010 : 2 サイクル |
| | | | | 0011 : 3 サイクル |
| | | | | 0100 : 4 サイクル |
| | | | | 0101 : 5 サイクル |
| | | | | 0110 : 6 サイクル |
| | | | | 0111 : 8 サイクル |
| | | | | 1000 : 10 サイクル |
| | | | | 1001 : 12 サイクル |
| | | | | 1010 : 14 サイクル |
| | | | | 1011 : 18 サイクル |
| | | | | 1100 : 24 サイクル |
| | | | | 1101 : 予約 (設定不可) |
| | | | | 1110 : 予約 (設定不可) |
| | | | | 1111 : 予約 (設定不可) |
| 6 | WM | 0 | R/W | 外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視 |
| 5~2 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 1 | HW1 | 0 | R/W | RD、WE \bar{n} (BE \bar{n}) ネゲート アドレス、CS \bar{n} ネゲート遅延サイクル数 |
| 0 | HW0 | 0 | R/W | 本ビットは、RD、WE \bar{n} (BE \bar{n}) ネゲートから、アドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル |

7. バスステートコントローラ (BSC)

• CS6BWCR

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|-------|-----|--|
| 31~21 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 20 | BAS | 0 | R/W | バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ ($\overline{BE_n}$) および RD/ \overline{WR} 信号のタイミングを設定します。 0: $\overline{WE_n}$ ($\overline{BE_n}$) は、リードライトタイミングでアサート (ストロープ) RD/ \overline{WR} は、ライトアクセスサイクル中アサート (ステータス) 1: $\overline{WE_n}$ ($\overline{BE_n}$) は、リードライトアクセスサイクル中アサート (ステータス) RD/ \overline{WR} は、ライトタイミングでアサート (ストロープ) |
| 19~13 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 12 | SW1 | 0 | R/W | アドレス、 $\overline{CS_n}$ アサート \overline{RD} 、 \overline{WE} ($\overline{BE_n}$) アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS_n}$ アサートから \overline{RD} 、 \overline{WE} ($\overline{BE_n}$) アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル |
| 11 | SW0 | 0 | R/W | |
| 10 | WR3 | 1 | R/W | アクセスウェイトサイクル数 本ビットは、リード/ライトアクセスに必要なウェイトサイクル数を指定します。 0000: 0 サイクル 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 予約 (設定不可) 1110: 予約 (設定不可) 1111: 予約 (設定不可) |
| 9 | WR2 | 0 | R/W | |
| 8 | WR1 | 1 | R/W | |
| 7 | WR0 | 0 | R/W | |
| | | | R/W | |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|------|------|-----|--|
| 6 | WM | 0 | R/W | 外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視 |
| 5~2 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 1 | HW1 | 0 | R/W | RD、WE \bar{n} (BE \bar{n}) ネゲート アドレス、CS \bar{n} ネゲート遅延サイクル数 本ビットは、RD、WE \bar{n} (BE \bar{n}) ネゲートから、アドレス、CS \bar{n} ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル |
| 0 | HW0 | 0 | R/W | |

7. バスステートコントローラ (BSC)

(2) SDRAM

• CS3WCR

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|----------|------------------|--------|------------|---|
| 31~15 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 14 13 | WTRP1 WTRP0 | 0 0 | R/W R/W | プリチャージ完了待ちウェイトサイクル数 本ビットは、以下の場合において、プリチャージ完了待ちのために、挿入される最小ウェイトサイクルの数を指定します。 (1) オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで (2) PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで (3) オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで (4) セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで 00 : 0 サイクル (ウェイトサイクルなし) 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル |
| 12 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 11 10 | WTRCD1 WTRCD0 | 0 1 | R/W R/W | ACTV コマンド READ(A)/WRIT(A)コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ(A)/WRIT(A)コマンド発行までの最小ウェイトサイクル数を指定します。 00 : 0 サイクル (ウェイトサイクルなし) 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル |
| 9 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 8 7 | A3CL1 A3CL0 | 1 0 | R/W R/W | エリア3のCASレイテンシ 本ビットは、エリア3のCASレイテンシを指定します。 00 : 予約 (設定しないでください) 01 : 2 サイクル 10 : 3 サイクル 11 : 予約 (設定しないでください) |
| 6, 5 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|----------------|--------|------------|---|
| 4 3 | TRWL1 TRWL0 | 0 0 | R/W R/W | <p>プリチャージ起動待ちウェイトサイクル数</p> <p>本ビットは、以下の場合においてプリチャージ起動待ちのために挿入される最小ウェイトサイクル数を指定します。</p> <p>(1) 本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動されるまで</p> <p>非バンクアクティブモードで WRITA コマンド発行後、同一バンクに対する ACTV コマンド発行を行う場合です。</p> <p>なお、SDRAM 内で、WRITA コマンドを受け付けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が本ビットで指定するサイクル数を超えないように本ビットを設定してください。</p> <p>(2) 本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまで</p> <p>バンクアクティブモードで、同一バンク内の異なるローアドレスへのアクセスを行う場合です。</p> <p>00 : 0 サイクル (ウェイトサイクルなし)</p> <p>01 : 1 サイクル</p> <p>10 : 2 サイクル</p> <p>11 : 3 サイクル</p> |
| 2 | - | 0 | R | <p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p> |
| 1 0 | WTRC1 WTRC0 | 0 0 | R/W R/W | <p>REF コマンド / セルフリフレッシュ解除 ACTV/REF/MRS コマンド間アイドルサイクル数</p> <p>本ビットは、以下の場合において、コマンド間の最小アイドルサイクル数を指定します。</p> <p>(1) REF コマンド発行から ACTV/REF/MSR コマンド発行まで</p> <p>(2) セルフリフレッシュ解除から ACTV/REF/MRS コマンド発行まで</p> <p>00 : 2 サイクル</p> <p>01 : 3 サイクル</p> <p>10 : 5 サイクル</p> <p>11 : 8 サイクル</p> |

7. バスステートコントローラ (BSC)

(3) PCMCIA

- CS5BWCR、CS6BWCR

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|----------------------|------------------------------|------------------|--------------------------|--|
| 31~22 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 21 20 | SA1 SA0 | 0 0 | R/W R/W | 空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモ리카ードインタフェースおよびI/Oカードインタフェースのいずれかを指定します。 SA1 0: A25=1の空間をメモ리카ードインタフェース指定 1: A25=1の空間をI/Oカードインタフェース指定 SA0 0: A25=0の空間をメモ리카ードインタフェース指定 1: A25=0の空間をI/Oカードインタフェース指定 |
| 19~15 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 14 13 12 11 | TED3 TED2 TED1 TED0 | 0 0 0 0 | R/W R/W R/W R/W | アドレス - RD、WE アサート遅延 本ビットは、PCMCIA インタフェースにおけるアドレス出力から RD と WE アサートまでの遅延時間を設定します。 0000: 0.5 サイクル 0001: 1.5 サイクル 0010: 2.5 サイクル 0011: 3.5 サイクル 0100: 4.5 サイクル 0101: 5.5 サイクル 0110: 6.5 サイクル 0111: 7.5 サイクル 1000: 予約 (設定不可) 1001: 予約 (設定不可) 1010: 予約 (設定不可) 1011: 予約 (設定不可) 1100: 予約 (設定不可) 1101: 予約 (設定不可) 1110: 予約 (設定不可) 1111: 予約 (設定不可) |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|------|------|-----|--|
| 10 | PCW3 | 1 | R/W | アクセスウェイトサイクル数 |
| 9 | PCW2 | 0 | R/W | 本ビットは、挿入ウェイトステート数を設定します。 |
| 8 | PCW1 | 1 | R/W | 0000 : 3 サイクル |
| 7 | PCW0 | 0 | R/W | 0001 : 6 サイクル |
| | | | | 0010 : 9 サイクル |
| | | | | 0011 : 12 サイクル |
| | | | | 0100 : 15 サイクル |
| | | | | 0101 : 18 サイクル |
| | | | | 0110 : 22 サイクル |
| | | | | 0111 : 26 サイクル |
| | | | | 1000 : 30 サイクル |
| | | | | 1001 : 33 サイクル |
| | | | | 1010 : 36 サイクル |
| | | | | 1011 : 38 サイクル |
| | | | | 1100 : 52 サイクル |
| | | | | 1101 : 60 サイクル |
| | | | | 1110 : 64 サイクル |
| | | | | 1111 : 80 サイクル |
| 6 | WM | 0 | R/W | 外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視 |
| 5、4 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|------|-----|-----|---|
| 3 | TEH3 | 0 | R/W | RD、WE ネゲートアドレス遅延 |
| 2 | TEH2 | 0 | R/W | 本ビットは、PCMCIA インタフェースにおける \overline{RD} と \overline{WE} ネゲートからのアドレスホールド時間を設定します。 |
| 1 | TEH1 | 0 | R/W | |
| 0 | TEH0 | 0 | R/W | |
| | | | R/W | |
| | | | | 0000 : 0.5 サイクル |
| | | | | 0001 : 1.5 サイクル |
| | | | | 0010 : 2.5 サイクル |
| | | | | 0011 : 3.5 サイクル |
| | | | | 0100 : 4.5 サイクル |
| | | | | 0101 : 5.5 サイクル |
| | | | | 0110 : 6.5 サイクル |
| | | | | 0111 : 7.5 サイクル |
| | | | | 1000 : 予約 (設定不可) |
| | | | | 1001 : 予約 (設定不可) |
| | | | | 1010 : 予約 (設定不可) |
| | | | | 1011 : 予約 (設定不可) |
| | | | | 1100 : 予約 (設定不可) |
| | | | | 1101 : 予約 (設定不可) |
| | | | | 1110 : 予約 (設定不可) |
| | | | | 1111 : 予約 (設定不可) |

7.4.4 SDRAM コントロールレジスタ (SDCR)

本レジスタは、SDRAM のリフレッシュ方法やアクセス方法および、接続する SDRAM の種類を指定します。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-------|-------|-------|-----|---|
| 31~12 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 11 | RFSH | 0 | R/W | リフレッシュ制御 本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。 0 : リフレッシュしない 1 : リフレッシュする |
| 10 | RMODE | 0 | R/W | リフレッシュ制御 本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うのかセルフリフレッシュを行うのかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。 0 : オートリフレッシュを行う 1 : セルフリフレッシュを行う |
| 9 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |

7. バスステートコントローラ (BSC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-------|-----|---|
| 8 | BACTV | 0 | R/W | バンクアクティブモード 本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。 0: オートプリチャージモード (READA および WRITA コマンドを使用) 1: バンクアクティブモード (READ および WRIT コマンドを使用) |
| 7~5 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 4 | A3ROW1 | 0 | R/W | エリア 3 ローアドレスビット数 |
| 3 | A3ROW0 | 0 | R/W | 本ビットは、エリア 3 のローアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 予約 (設定不可) |
| 2 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 1 | A3COL1 | 0 | R/W | エリア 3 カラムアドレスビット数 |
| 0 | A3COL0 | 0 | R/W | 本ビットは、エリア 3 のカラムアドレスのビット数を指定します。 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 予約 (設定不可) |

7.4.5 リフレッシュタイマコントロール / ステータスレジスタ (RTCSR)

本レジスタは、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------------|----------------------|-------------|-------------------|--|
| 31~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 7 | CMF | 0 | R/W | コンペアマッチフラグ 本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット / クリアされます。 0 : クリア条件 : CMF = 1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1 : セット条件 : RTCNT = RTCOR になったとき |
| 6 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 5 4 3 | CKS2 CKS1 CKS0 | 0 0 0 | R/W R/W R/W | クロックセレクト 本ビットは、リフレッシュタイマカウンタ (RTCNT) をカウントアップするクロックを選択します。 000 : カウントアップ停止 001 : B /4 010 : B /16 011 : B /64 100 : B /256 101 : B /1024 110 : B /2048 111 : B /4096 |
| 2 1 0 | RRC2 RRC1 RRC0 | 0 0 0 | R/W R/W R/W | リフレッシュ回数 本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000 : 1 回 001 : 2 回 010 : 4 回 011 : 6 回 100 : 8 回 101 : 予約 (設定不可) 110 : 予約 (設定不可) 111 : 予約 (設定不可) |

7. バスステートコントローラ (BSC)

7.4.6 リフレッシュタイマカウンタ (RTCNT)

本レジスタは、8ビットのカウンタで、RTCSRのCKS2、CKS1、CKS0ビットで選択したクロックによりカウントアップされます。RTCNTとRTCORの値が一致すると、RTCNTは0にクリアされます。また、255までカウントアップすると次は0に戻ります。書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|------|-----|---|
| 31~8 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 7~0 | - | すべて0 | R/W | 8ビットのカウンタ |

7.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

本レジスタは、8ビットのレジスタです。RTCORとRTCNTの値が一致すると、RTCSRのCMFビットが1にセットされ、RTCNTは0にクリアされます。

SDCRのRFSHビットが1にセットされている場合は、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

書き込み時には、書き込みデータの上位16ビットをH'A55Aとしてライトプロテクトを解除してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|------|-----|---|
| 31~8 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 7~0 | - | すべて0 | R/W | 8ビットのカウンタ |

7.5 動作説明

7.5.1 エンディアン / アクセスサイズとデータアライメント

本LSIでは、バイトデータの並び方を上位バイト (MSByte) が0番地側になるビッグエンディアン、下位バイト (LSByte) が0番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MD5) でパワーオンリセット時に設定します。パワーオンリセット時、MD5端子がローレベルのときビッグエンディアンになり、MD5端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリ、バイト選択付きSRAMとしては8ビット、および16ビット幅の2種類から選べ、SDRAMは16ビット幅のみです。PCMCIAインタフェースの場合は、8ビットおよび16ビット幅の2種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8ビット幅のデバイスからロングワードデータを読み出すためには、4回の読み出し動作が必要です。本LSIでは、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的にを行います。

7. バスステートコントローラ (BSC)

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 7.6 ~ 表 7.9 に示します。

表 7.6 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

| オペレーション | | データバス | | | | ストロープ信号 | | | |
|----------------------------|----------------|-----------|-----------|--------------|--------------|-------------------|-------------------|-------------------|-------------------|
| | | D31 ~ D24 | D23 ~ D16 | D15 ~ D8 | D7 ~ D0 | WE3(BE3) DQMUU | WE2(BE2) DQMUL | WE1(BE1) DQMLU | WE0(BE0) DQMLL |
| 0 番地バイトアクセス | | - | - | データ 7~0 | - | - | - | アサート | - |
| 1 番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 2 番地バイトアクセス | | - | - | データ 7~0 | - | - | - | アサート | - |
| 3 番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 0 番地ワードアクセス | | - | - | データ 15~8 | データ 7~0 | - | - | アサート | アサート |
| 2 番地ワードアクセス | | - | - | データ 15~8 | データ 7~0 | - | - | アサート | アサート |
| 0 番地 ロング ワード アクセス | 1 回目 (0 番地) | - | - | データ 31~24 | データ 23~16 | - | - | アサート | アサート |
| | 2 回目 (2 番地) | - | - | データ 15~8 | データ 7~0 | - | - | アサート | アサート |

表 7.7 8 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

| オペレーション | | データバス | | | | ストロープ信号 | | | |
|---------------------|----------------|-----------|-----------|----------|-------------|-------------------|-------------------|-------------------|-------------------|
| | | D31 ~ D24 | D23 ~ D16 | D15 ~ D8 | D7 ~ D0 | WE3(BE3) DQMUU | WE2(BE2) DQMUL | WE1(BE1) DQMLU | WE0(BE0) DQMLL |
| 0 番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 1 番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 2 番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 3 番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 0 番地 ワード アクセス | 1 回目 (0 番地) | - | - | - | データ 15~8 | - | - | - | アサート |
| | 2 回目 (1 番地) | - | - | - | データ 7~0 | - | - | - | アサート |

7. バスステートコントローラ (BSC)

| オペレーション | | データバス | | | | ストロープ信号 | | | |
|---------------------------|--------------|-----------|-----------|----------|--------------|-------------------|-------------------|-------------------|-------------------|
| | | D31 ~ D24 | D23 ~ D16 | D15 ~ D8 | D7 ~ D0 | WE3(BE3) DQMUU | WE2(BE2) DQMUL | WE1(BE1) DQMLU | WE0(BE0) DQMLL |
| 2番地 ワード アクセス | 1回目 (2番地) | - | - | - | データ 15~8 | - | - | - | アサート |
| | 2回目 (3番地) | - | - | - | データ 7~0 | - | - | - | アサート |
| 0番地 ロング ワード アクセス | 1回目 (0番地) | - | - | - | データ 31~24 | - | - | - | アサート |
| | 2回目 (1番地) | - | - | - | データ 23~16 | - | - | - | アサート |
| | 3回目 (2番地) | - | - | - | データ 15~8 | - | - | - | アサート |
| | 4回目 (3番地) | - | - | - | データ 7~0 | - | - | - | アサート |

表 7.8 16ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

| オペレーション | | データバス | | | | ストロープ信号 | | | |
|---------------------------|--------------|-----------|-----------|--------------|--------------|-------------------|-------------------|-------------------|-------------------|
| | | D31 ~ D24 | D23 ~ D16 | D15 ~ D8 | D7 ~ D0 | WE3(BE3) DQMUU | WE2(BE2) DQMUL | WE1(BE1) DQMLU | WE0(BE0) DQMLL |
| 0番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 1番地バイトアクセス | | - | - | データ 7~0 | - | - | - | アサート | - |
| 2番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 3番地バイトアクセス | | - | - | データ 7~0 | - | - | - | アサート | - |
| 0番地ワードアクセス | | - | - | データ 15~8 | データ 7~0 | - | - | アサート | アサート |
| 2番地ワードアクセス | | - | - | データ 15~8 | データ 7~0 | - | - | アサート | アサート |
| 0番地 ロング ワード アクセス | 1回目 (0番地) | - | - | データ 15~8 | データ 7~0 | - | - | アサート | アサート |
| | 2回目 (2番地) | - | - | データ 31~24 | データ 23~16 | - | - | アサート | アサート |

7. バスステートコントローラ (BSC)

表 7.9 8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

| オペレーション | | データバス | | | | ストロープ信号 | | | |
|---------------------------|--------------|-----------|-----------|----------|--------------|-------------------|-------------------|-------------------|-------------------|
| | | D31 ~ D24 | D23 ~ D16 | D15 ~ D8 | D7 ~ D0 | WE3(BE3) DQMUU | WE2(BE2) DQMUL | WE1(BE1) DQMLU | WE0(BE0) DQMLL |
| 0番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 1番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 2番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 3番地バイトアクセス | | - | - | - | データ 7~0 | - | - | - | アサート |
| 0番地 ワード アクセス | 1回目 (0番地) | - | - | - | データ 7~0 | - | - | - | アサート |
| | 2回目 (1番地) | - | - | - | データ 15~8 | - | - | - | アサート |
| 2番地 ワード アクセス | 1回目 (2番地) | - | - | - | データ 7~0 | - | - | - | アサート |
| | 2回目 (3番地) | - | - | - | データ 15~8 | - | - | - | アサート |
| 0番地 ロング ワード アクセス | 1回目 (0番地) | - | - | - | データ 7~0 | - | - | - | アサート |
| | 2回目 (1番地) | - | - | - | データ 15~8 | - | - | - | アサート |
| | 3回目 (2番地) | - | - | - | データ 23~16 | - | - | - | アサート |
| | 4回目 (3番地) | - | - | - | データ 31~24 | - | - | - | アサート |

7. バスステートコントローラ (BSC)

7.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のないSRAMの直結を考慮してストロープ信号を出力します。バイト選択付き端子のあるSRAMを使用する場合は、「7.5.6 バイト選択付きSRAMインタフェース」を参照ください。図7.3に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1サイクルアサートされます。

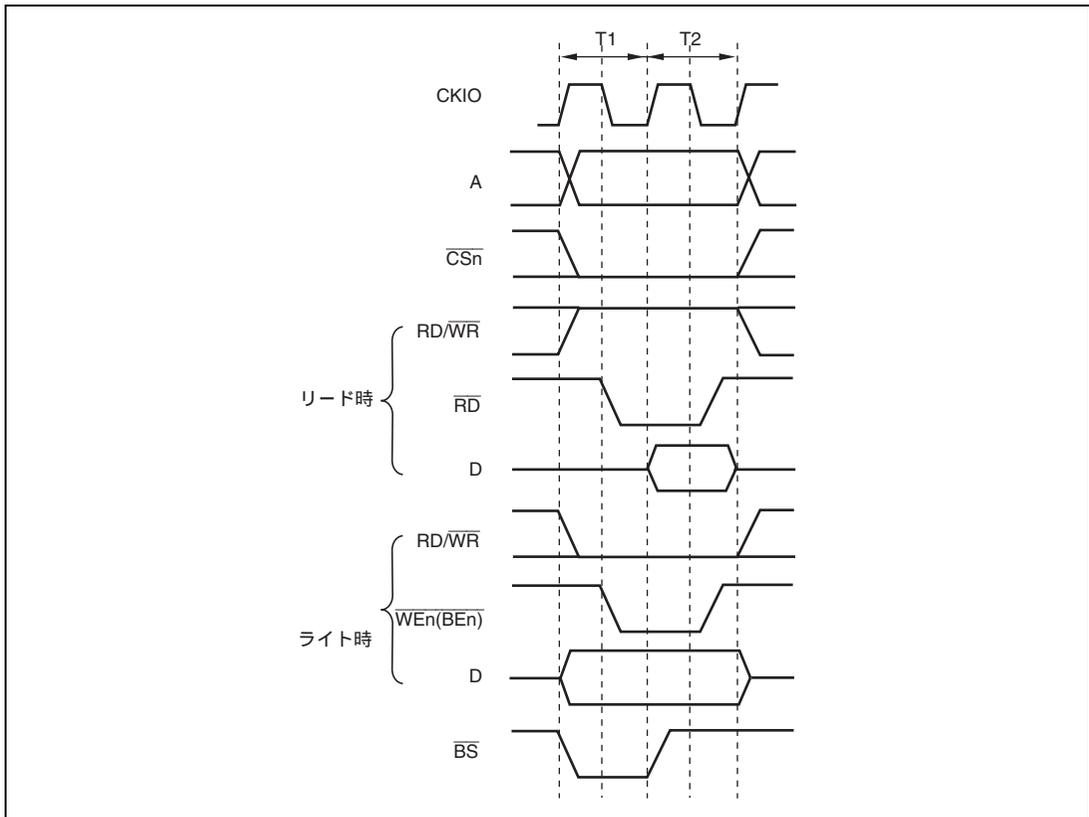


図 7.3 通常空間基本アクセス (アクセスウェイト0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、16ビットデバイスでは16ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WEn} (\overline{BEn})信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。 $\overline{RD}/\overline{WR}$ 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 7.4、図 7.5 に通常空間連続アクセスの例を示します。CSnWCR.WM ビットを 0 に設定すると、外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます(図 7.4)。しかし、CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑止することができます(図 7.5)。

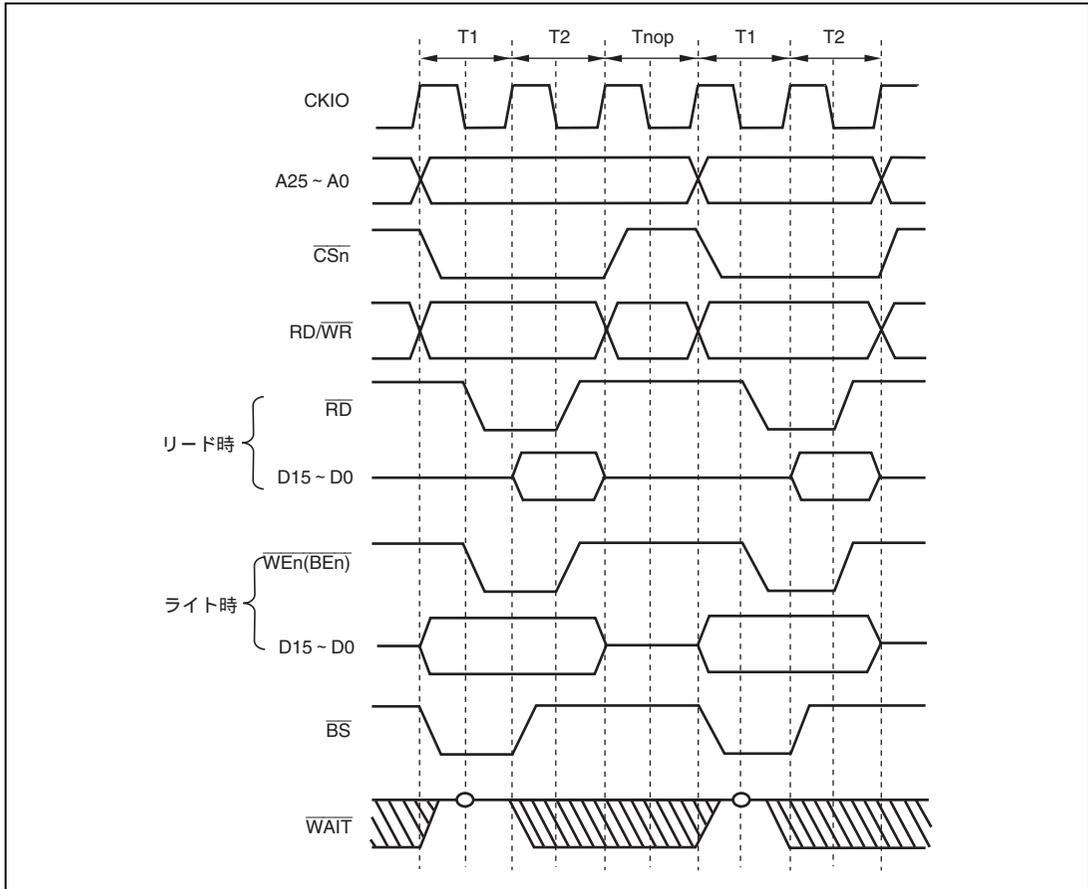


図 7.4 通常空間連続アクセス例 (1) バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0 (アクセスウェイト 0、サイクル間ウェイト 0)

7. バスステートコントローラ (BSC)

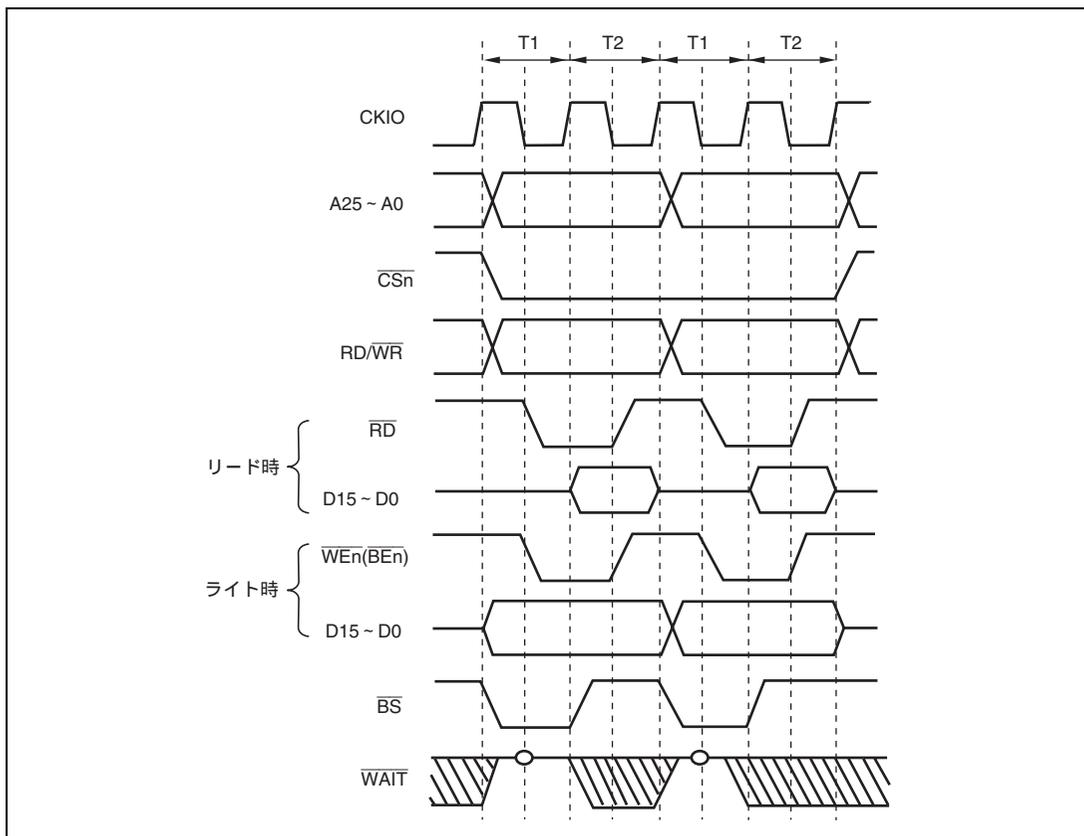


図 7.5 通常空間連続アクセス例 (2) バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=1
(アクセスウェイト 0、サイクル間ウェイト 0)

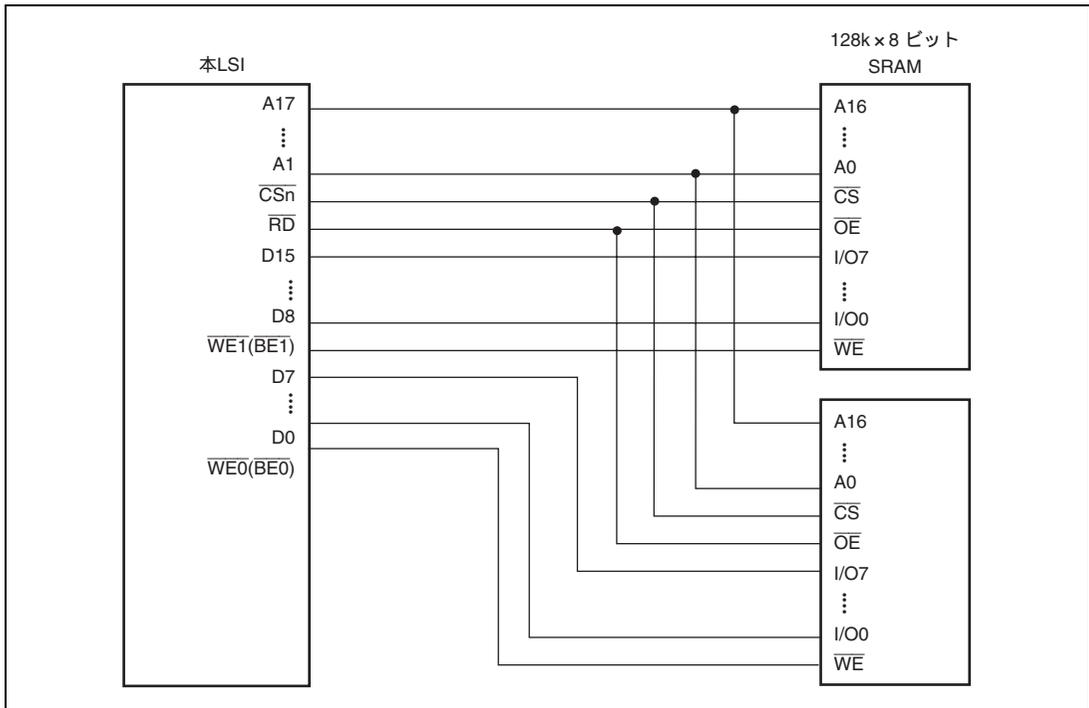


図 7.6 16 ビットデータ幅 SRAM 接続例

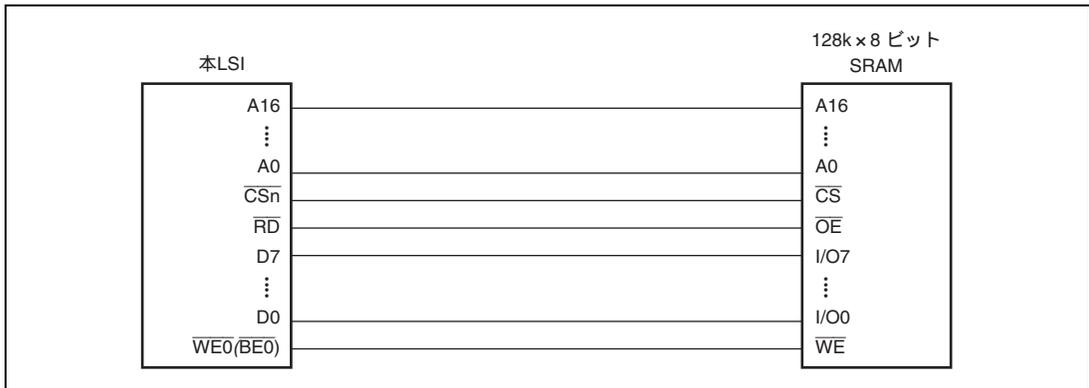


図 7.7 8 ビットデータ幅 SRAM 接続例

7. バスステートコントローラ (BSC)

7.5.3 アクセスウェイト制御

CSnWCR の WR3、WR2、WR1、および WR0 ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 4、エリア 5A、およびエリア 5B では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リードおよびライトサイクル共通となります。図 7.8 に示す通常空間のアクセスでは、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

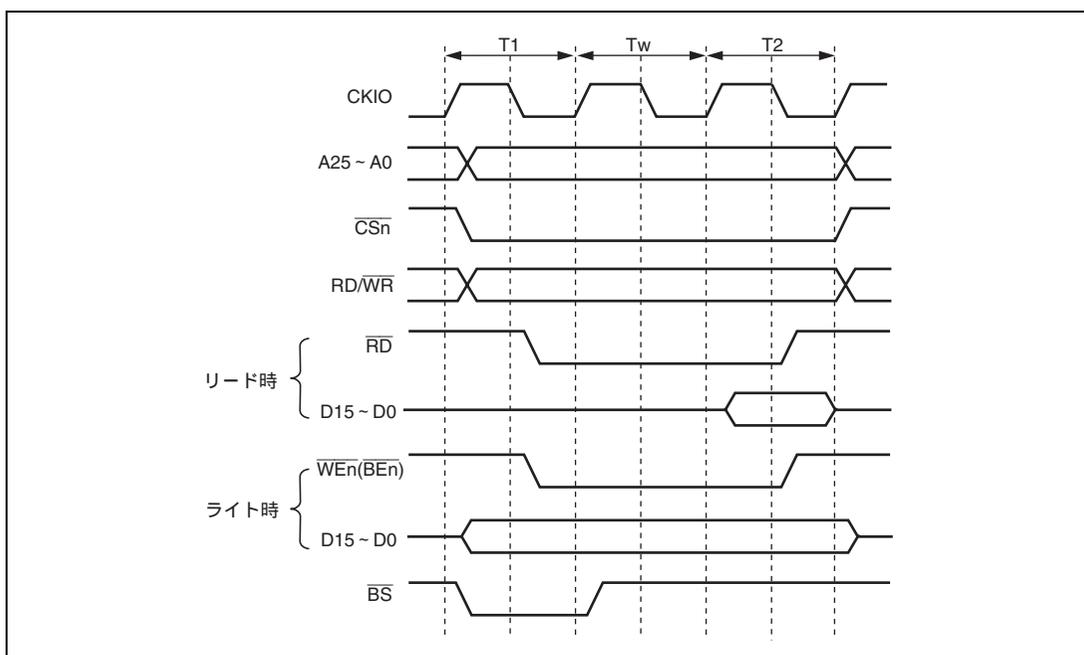


図 7.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

7. バスステートコントローラ (BSC)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 7.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

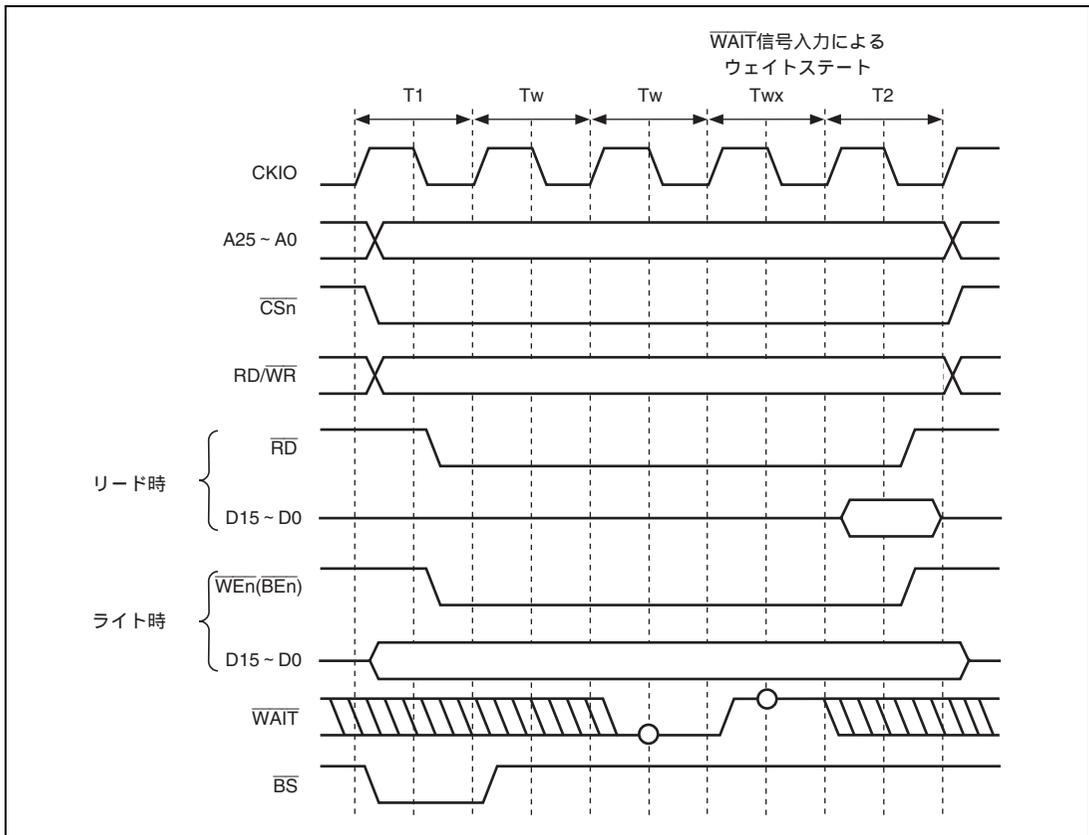


図 7.9 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

7. バスステートコントローラ (BSC)

7.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW1 と SW0 ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WEn} (\overline{BEn}) アサートまでのサイクル数を指定できます。また、HW1 と HW0 ビットの設定により、 \overline{RD} と \overline{WEn} (\overline{BEn}) ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 7.10 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WEn} (\overline{BEn}) 以外はアサートされますが、 \overline{RD} と \overline{WEn} (\overline{BEn}) はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

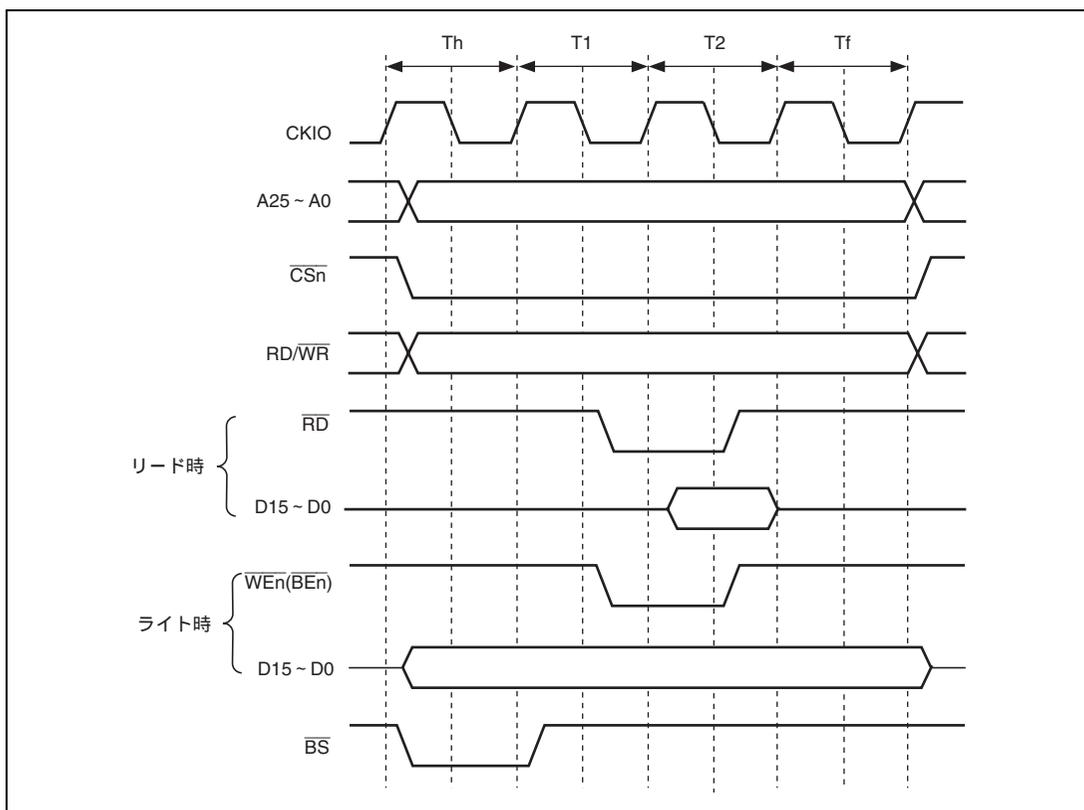


図 7.10 \overline{CSn} アサート期間拡張

7.5.5 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ローアドレスが 11/12/13 ビット、カラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 DQMLU 、 DQMLL 、 CKE 、および $\overline{\text{CS3}}$ です。CKE を除く信号は $\overline{\text{CS3}}$ がアサートされているときのみ有効になります。エリア 3 に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、16 ビットです。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS) があります。

アクセスするバイトの指定は、 DQMLU 、および DQMLL によって行われます。該当する DQM_{xx} がローレベルのバイトに対してリード/ライトが行われます。 DQM_{xx} とアクセスするバイトの関係は、「7.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 7.11 に本 LSI と SDRAM との接続例を示します。

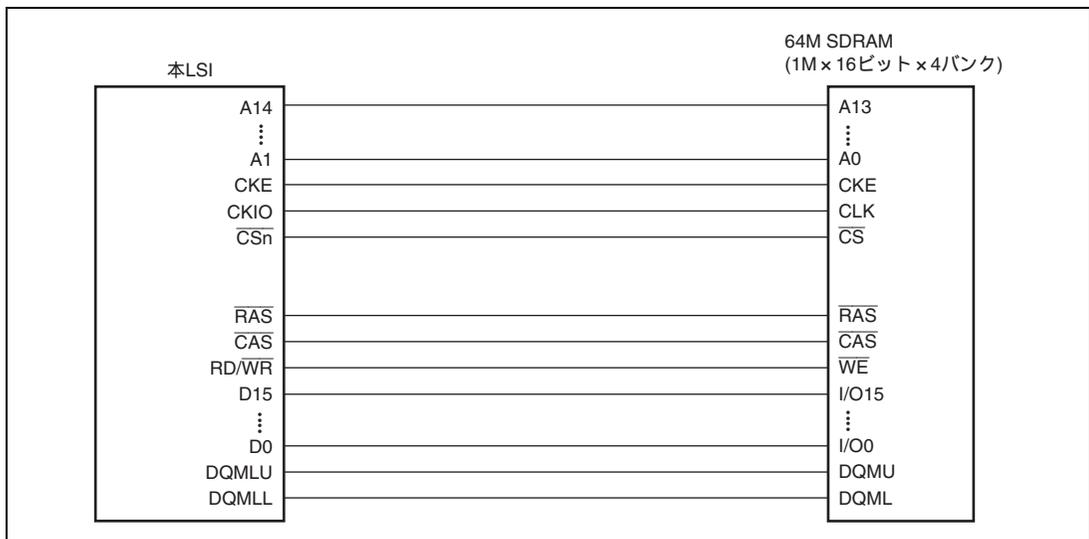


図 7.11 16 ビットデータ幅 SDRAM 接続例

7. バスステートコントローラ (BSC)

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の AxROW[1:0]ビット、および AxCOL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 7.10 ~ 表 7.12 に BSZ[1:0]、AxROW[1:0]、および AxCOL[1:0]の設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないください。この表以外の設定を行った場合の動作は、保証されません。A25 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。

表 7.10 A3BSZ [1:0]、A3ROW [1:0]、A3COL [1:0] とアドレスマルチプレクスの関係 (1)

| 設定 | | | | |
|---|----------------------|----------------------|--------------------|-----------------------|
| A3 BSZ [1:0] | A3 ROW [1:0] | A3 COL [1:0] | | |
| 10 (16bit) | 00 (11bit) | 00 (8bit) | | |
| 本 LSI の 出力端子 | 出力される ローアドレス | 出力される コラムアドレス | シンクロナス DRAM の端子 | 機能 |
| A17 | A25 | A17 | | 未使用 |
| A16 | A24 | A16 | | |
| A15 | A23 | A15 | | |
| A14 | A22 | A14 | | |
| A13 | A21 | A21 | | |
| A12 | A20*2 | A20*2 | A11 (BA0) | バンク指定 |
| A11 | A19 | L/H*1 | A10/AP | アドレス/ プリチャージ 指定 |
| A10 | A18 | A10 | A9 | アドレス |
| A9 | A17 | A9 | A8 | |
| A8 | A16 | A8 | A7 | |
| A7 | A15 | A7 | A6 | |
| A6 | A14 | A6 | A5 | |
| A5 | A13 | A5 | A4 | |
| A4 | A12 | A4 | A3 | |
| A3 | A11 | A3 | A2 | |
| A2 | A10 | A2 | A1 | |
| A1 | A9 | A1 | A0 | |
| A0 | A8 | A0 | | 未使用 |
| 接続メモリ例 | | | | |
| 16M ビット品 (512K ワード×16 ビット×2 バンク、コラム 8 ビット品) 1 個 | | | | |

| 設定 | | | | |
|---|----------------------|----------------------|--------------------|-----------------------|
| A3 BSZ [1:0] | A3 ROW [1:0] | A3 COL [1:0] | | |
| 10 (16bit) | 01 (12bit) | 00 (8bit) | | |
| 本 LSI の 出力端子 | 出力される ローアドレス | 出力される コラムアドレス | シンクロナス DRAM の端子 | 機能 |
| A17 | A25 | A17 | | 未使用 |
| A16 | A24 | A16 | | |
| A15 | A23 | A15 | | |
| A14 | A22*2 | A22*2 | A13 (BA1) | バンク指定 |
| A13 | A21*2 | A21*2 | A12 (BA0) | |
| A12 | A20 | A12 | A11 | アドレス |
| A11 | A19 | L/H*1 | A10/AP | アドレス/ プリチャージ 指定 |
| A10 | A18 | A10 | A9 | アドレス |
| A9 | A17 | A9 | A8 | |
| A8 | A16 | A8 | A7 | |
| A7 | A15 | A7 | A6 | |
| A6 | A14 | A6 | A5 | |
| A5 | A13 | A5 | A4 | |
| A4 | A12 | A4 | A3 | |
| A3 | A11 | A3 | A2 | |
| A2 | A10 | A2 | A1 | |
| A1 | A9 | A1 | A0 | |
| A0 | A8 | A0 | | 未使用 |
| 接続メモリ例 | | | | |
| 64M ビット品 (1M ワード×16 ビット×4 バンク、コラム 8 ビット品) 1 個 | | | | |

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

7. バスステートコントローラ (BSC)

表 7.11 A3BSZ [1:0]、A3ROW [1:0]、A3COL [1:0] とアドレスマルチプレクスの関係 (2)

| 設定 | | | | |
|--|----------------------|----------------------|--------------------|------------------------|
| A3 BSZ [1:0] | A3 ROW [1:0] | A3 COL [1:0] | | |
| 10 (16bit) | 01 (12bit) | 01 (9bit) | | |
| 本 LSI の 出力端子 | 出力される ローアドレス | 出力される コラムアドレス | シンクロナス DRAM の端子 | 機能 |
| A17 | A26 | A17 | | 未使用 |
| A16 | A25 | A16 | | |
| A15 | A24 | A15 | | |
| A14 | A23*2 | A23*2 | A13 (BA1) | バンク指定 |
| A13 | A22*2 | A22*2 | A12 (BA0) | |
| A12 | A21 | A12 | A11 | アドレス |
| A11 | A20 | L/H*1 | A10/AP | アドレス / プリチャージ 指定 |
| A10 | A19 | A10 | A9 | アドレス |
| A9 | A18 | A9 | A8 | |
| A8 | A17 | A8 | A7 | |
| A7 | A16 | A7 | A6 | |
| A6 | A15 | A6 | A5 | |
| A5 | A14 | A5 | A4 | |
| A4 | A13 | A4 | A3 | |
| A3 | A12 | A3 | A2 | |
| A2 | A11 | A2 | A1 | |
| A1 | A10 | A1 | A0 | |
| A0 | A9 | A0 | | 未使用 |
| 接続メモリ例 | | | | |
| 128M ビット品 (2M ワード × 16 ビット × 4 バンク、コラム 9 ビット品) 1 個 | | | | |

| 設定 | | | | |
|---|----------------------|----------------------|--------------------|------------------------|
| A3 BSZ [1:0] | A3 ROW [1:0] | A3 COL [1:0] | | |
| 10 (16bit) | 01 (12bit) | 10 (10bit) | | |
| 本 LSI の 出力端子 | 出力される ローアドレス | 出力される コラムアドレス | シンクロナス DRAM の端子 | 機能 |
| A17 | A27 | A17 | | 未使用 |
| A16 | A26 | A16 | | |
| A15 | A25 | A15 | | |
| A14 | A24*2 | A24*2 | A13 (BA1) | バンク指定 |
| A13 | A23*2 | A23*2 | A12 (BA0) | |
| A12 | A22 | A12 | A11 | アドレス |
| A11 | A21 | L/H*1 | A10/AP | アドレス / プリチャージ 指定 |
| A10 | A20 | A10 | A9 | アドレス |
| A9 | A19 | A9 | A8 | |
| A8 | A18 | A8 | A7 | |
| A7 | A17 | A7 | A6 | |
| A6 | A16 | A6 | A5 | |
| A5 | A15 | A5 | A4 | |
| A4 | A14 | A4 | A3 | |
| A3 | A13 | A3 | A2 | |
| A2 | A12 | A2 | A1 | |
| A1 | A11 | A1 | A0 | |
| A0 | A10 | A0 | | 未使用 |
| 接続メモリ例 | | | | |
| 256M ビット品 (4M ワード × 16 ビット × 4 バンク、コラム 10 ビット品) 1 個 | | | | |

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

7. バスステートコントローラ (BSC)

表 7.12 A3BSZ [1:0]、A3ROW [1:0]、A3COL [1:0] とアドレスマルチプレクスの関係 (3)

| 設定 | | | | |
|--|----------------------|----------------------|--------------------|-----------------------|
| A3 BSZ [1:0] | A3 ROW [1:0] | A3 COL [1:0] | | |
| 10 (16bit) | 10 (13bit) | 01 (9bit) | | |
| 本 LSI の 出力端子 | 出力される ローアドレス | 出力される カラムアドレス | シンクロナス DRAM の端子 | 機能 |
| A17 | A26 | A17 | | 未使用 |
| A16 | A25 | A16 | | 未使用 |
| A15 | A24*2 | A24*2 | A14 (BA1) | バンク指定 |
| A14 | A23*2 | A23*2 | A13 (BA0) | |
| A13 | A22 | A13 | A12 | アドレス |
| A12 | A21 | A12 | A11 | |
| A11 | A20 | L/H*1 | A10/AP | アドレス/ プリチャージ 指定 |
| A10 | A19 | A10 | A9 | アドレス |
| A9 | A18 | A9 | A8 | |
| A8 | A17 | A8 | A7 | |
| A7 | A16 | A7 | A6 | |
| A6 | A15 | A6 | A5 | |
| A5 | A14 | A5 | A4 | |
| A4 | A13 | A4 | A3 | |
| A3 | A12 | A3 | A2 | |
| A2 | A11 | A2 | A1 | |
| A1 | A10 | A1 | A0 | |
| A0 | A9 | A0 | | 未使用 |
| 接続メモリ例 | | | | |
| 256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個 | | | | |

| 設定 | | | | |
|---|----------------------|----------------------|--------------------|-----------------------|
| A3 BSZ [1:0] | A3 ROW [1:0] | A3 COL [1:0] | | |
| 10 (16bit) | 10 (13bit) | 10 (10bit) | | |
| 本 LSI の 出力端子 | 出力される ローアドレス | 出力される カラムアドレス | シンクロナス DRAM の端子 | 機能 |
| A17 | A27 | A17 | | 未使用 |
| A16 | A26 | A16 | | 未使用 |
| A15 | A25*2 | A25*2 | A14 (BA1) | バンク指定 |
| A14 | A24*2 | A24*2 | A13 (BA0) | |
| A13 | A23 | A13 | A12 | アドレス |
| A12 | A22 | A12 | A11 | |
| A11 | A21 | L/H*1 | A10/AP | アドレス/ プリチャージ 指定 |
| A10 | A20 | A10 | A9 | アドレス |
| A9 | A19 | A9 | A8 | |
| A8 | A18 | A8 | A7 | |
| A7 | A17 | A7 | A6 | |
| A6 | A16 | A6 | A5 | |
| A5 | A15 | A5 | A4 | |
| A4 | A14 | A4 | A3 | |
| A3 | A13 | A3 | A2 | |
| A2 | A12 | A2 | A1 | |
| A1 | A11 | A1 | A0 | |
| A0 | A10 | A0 | | 未使用 |
| 接続メモリ例 | | | | |
| 512M ビット品 (8M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個 | | | | |

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

(3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. E-DMACでの16バイト転送 (ノンキャッシュブル領域アクセス) のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、パースト長 1 のリードを 8 回連続して行います。このときのアクセスをパースト数 8 と呼びます。表 7.13 にアクセスサイズとパースト数の関係を示します。

表 7.13 アクセスサイズとバースト数の関係

| バス幅 | アクセスサイズ | バースト数 |
|--------|---------|-------|
| 16 ビット | 8 ビット | 1 |
| | 16 ビット | 1 |
| | 32 ビット | 2 |
| | 16 バイト | 8 |

バーストリード時のタイミングチャートを図 7.12 と図 7.13 に示します。バーストリードでは ACTV コマンド出力を行う T_r サイクルに続いて、READ コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、READA コマンドを T_{c4} サイクルに発行し、 T_{d1} から T_{d4} のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。 T_{ap} サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、異なるバンクに対するアクセスは可能です。CS3WCR の $WTRP1$ および $WTRP0$ の指定によって T_{ap} のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CSnWCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 7.13 となります。ACTV コマンド出力サイクル T_r から READA コマンド出力サイクル T_{c1} までのサイクル数は、CS3WCR の $WTRCD1$ および $WTRCD0$ ビットによって指定することができます。 $WTRCD1$ および $WTRCD0$ の設定が 1 サイクル以上の場合、 T_r サイクルと T_{c1} サイクルの間に NOP コマンド発行サイクル T_{rw} サイクルが挿入されます。READA コマンド出力サイクル T_{c1} からリードデータ取り込みサイクル T_{d1} までのサイクル数は、CS3WCR の $A3CL1$ と $A3CL0$ ビットによって指定することができます。このサイクル数は、シンクロナス DRAM の CAS レイテンシに相当します。シンクロナス DRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI とシンクロナス DRAM の間にラッチを含む回路を設けて接続するためのものです。

7. バスステートコントローラ (BSC)

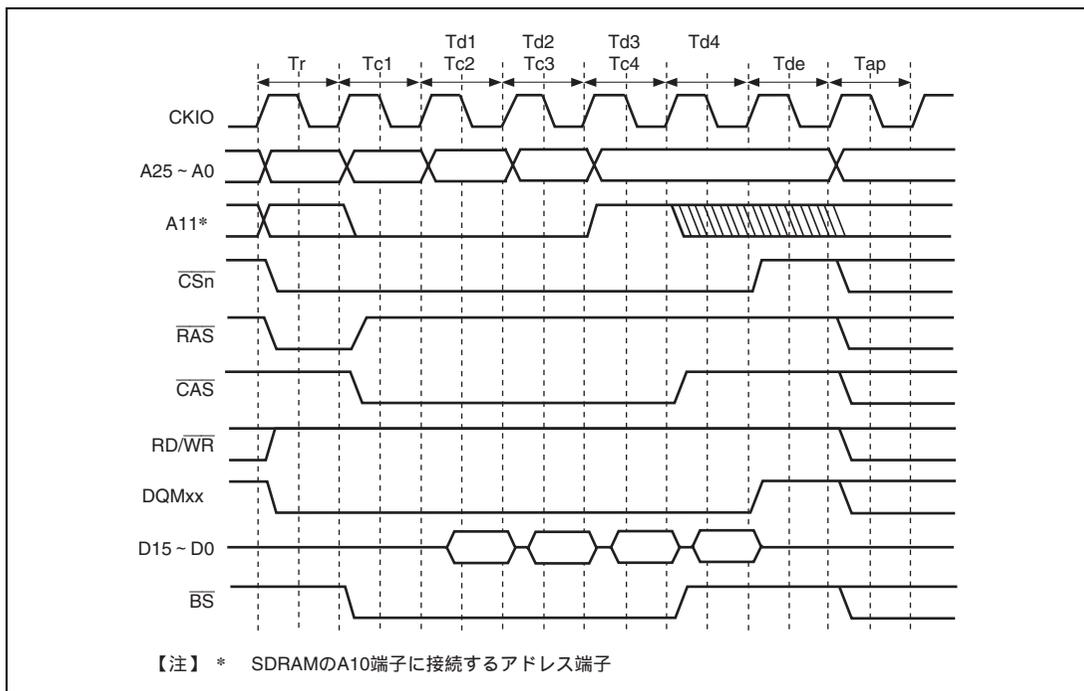


図 7.12 バーストリード基本タイミング (オートプリチャージ)

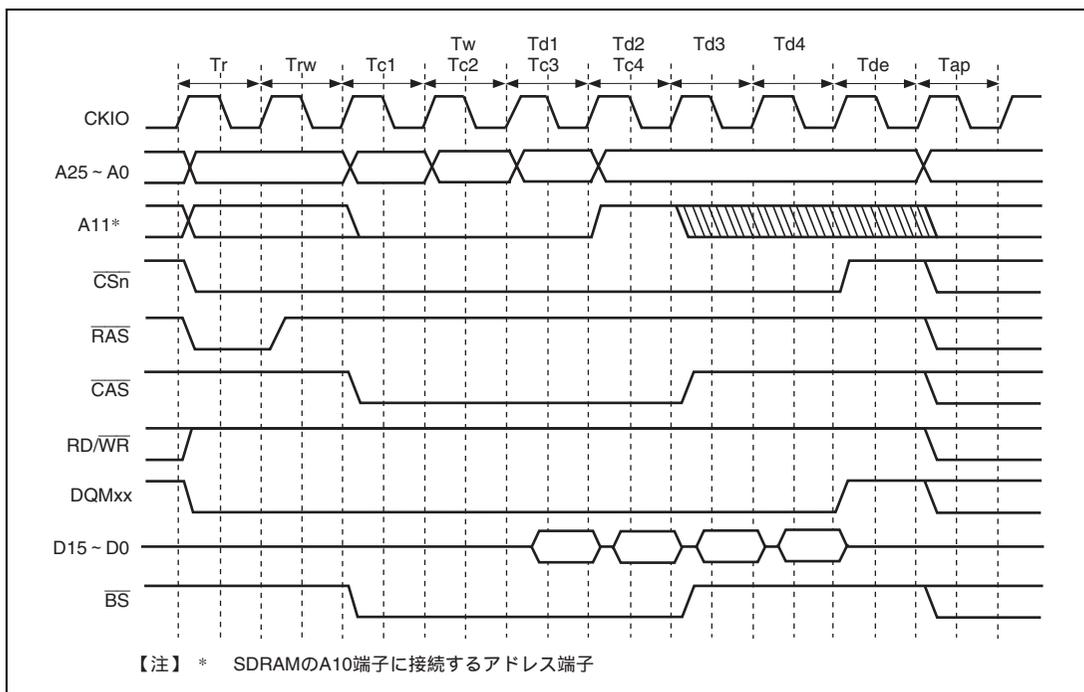


図 7.13 バーストリードウェイト指定タイミング (オートプリチャージ)

(4) シングルリード

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。これをシングルリードと呼びます。SDRAMは、バーストリード/シングルライトのモードでバースト長1に設定しているので必要なデータのみ出力します。このため、キャッシュスルー領域をアクセスしても無駄なバスサイクルは、発生しません。

シングルリードの基本タイミングチャートを図7.14に示します。

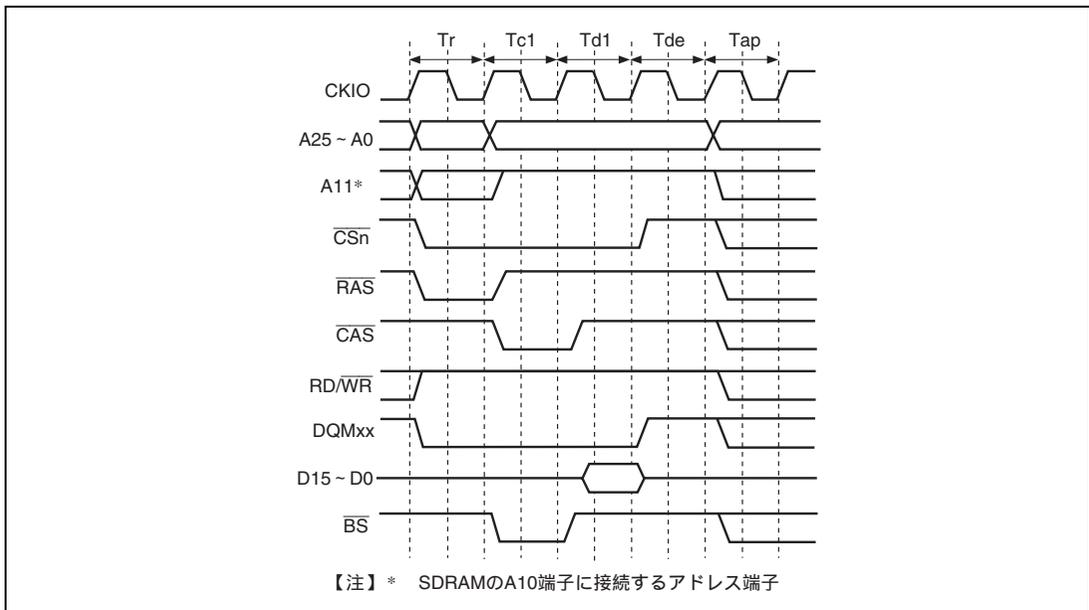


図 7.14 シングルリードの基本タイミング (オートプリチャージ)

7. バスステートコントローラ (BSC)

(5) パーストライト

本 LSI でパーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. E-DMACでの16バイト転送 (ノンキャッシュ領域アクセス) のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、パースト長 1 のライトを 8 回連続して行います。アクセスサイズとパースト数の関係は、表 7.13 に従います。

図 7.15 にパーストライト時のタイミングチャートを示します。パーストライトでは ACTV コマンド出力を行う T_r サイクルに続いて WRIT コマンドを T_{c1} 、 T_{c2} 、 T_{c3} サイクルに、オートプリチャージを行う WRITA コマンドを T_{c4} サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ T_{rwl} サイクル、そしてオートプリチャージの完了を待つ T_{ap} サイクルが続きます。 T_{ap} サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。 T_{rwl} サイクルは CS3WCR の TRWL1 と TRWL0 ビット、および T_{ap} サイクルは CS3WCR の WTRP1 と WTRP0 ビットの指定で決定されます。

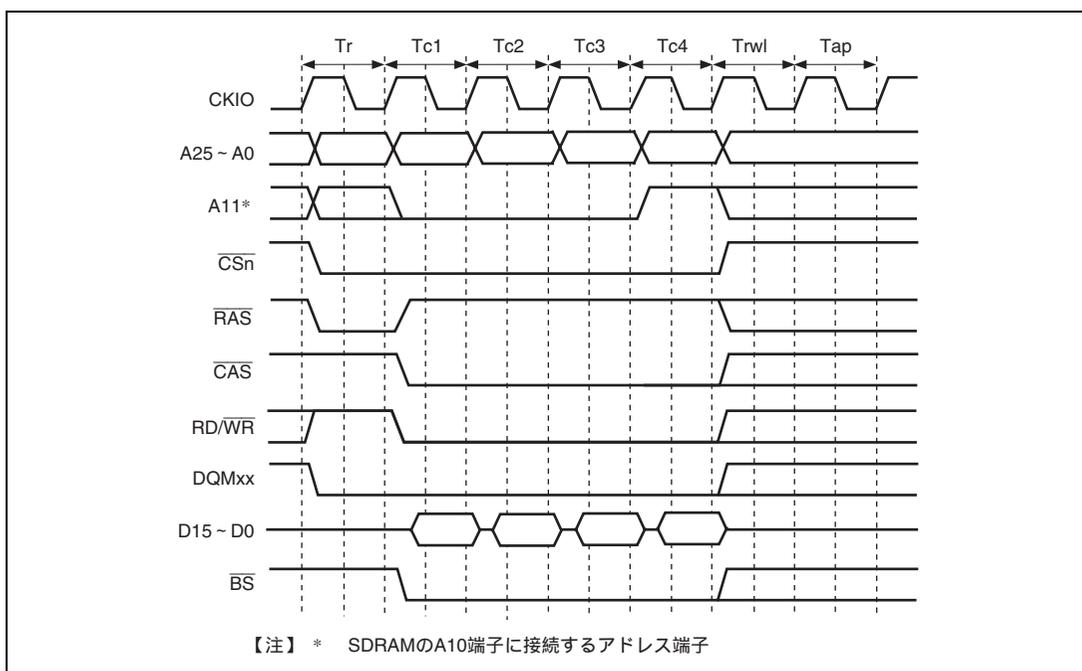


図 7.15 パーストライト基本タイミング (オートプリチャージ)

(6) シングルライト

ノンキャッシュ領域でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。これをシングルライトと呼びます。シングルライトの基本タイミングチャートを図7.16に示します。

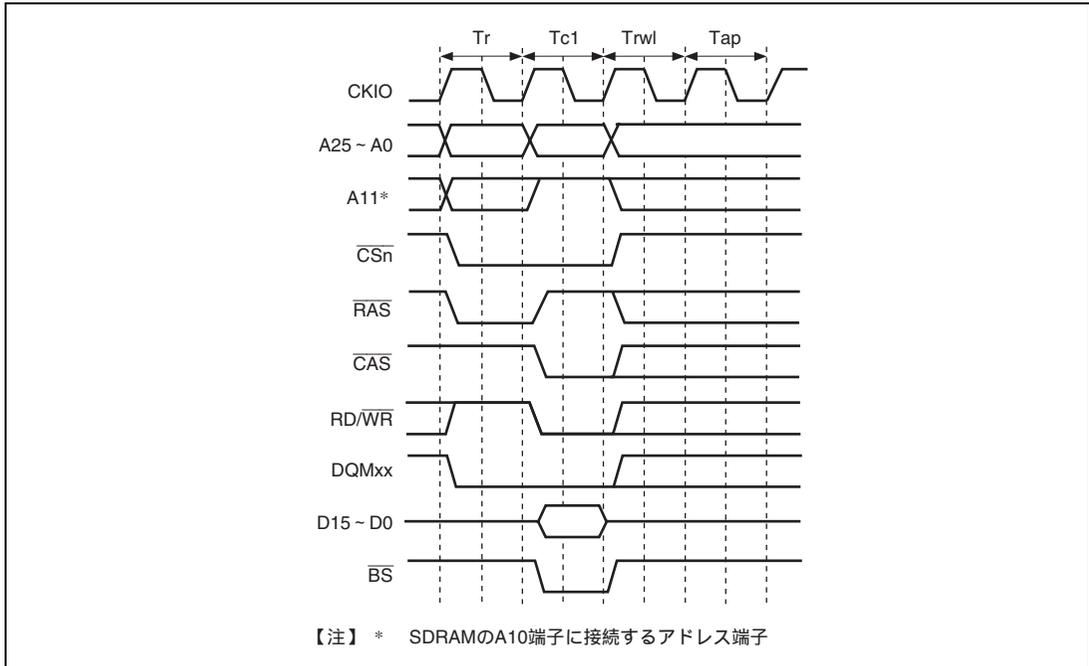


図7.16 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のローアドレスに対するアクセスを高速実行するため、SDRAMのバンク機能を使用することができます。SDCRのBACTVビットが1の場合は、オートプリチャージなしのコマンド (READまたはWRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じローアドレスにアクセスする場合は、ACTVコマンドを発行せずに、ただちにREADまたはWRITコマンドを発行することができます。SDRAMの内部は複数のバンクに分かれているので、それぞれのバンクで1つずつのローアドレスをアクティブ状態としておくことができます。次のアクセスが異なるローアドレスに対するものであった場合には、最初にPREコマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後ACTVコマンド、READまたはWRITコマンドの順に発行します。異なるローアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PREコマンド発行からACTVコマンド発行までのサイクル数は、CSnWCRのWTRP[1:0]ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITAコマンド発行後Trwl + Tapサイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ローアドレスの場合には続けてREADまたはWRITコマンドを発行することができます。したがって、1つの書き込みごとにTrwl + Tapサイクル

7. バスステートコントローラ (BSC)

だけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるローアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 7.17 にオートプリチャージのないバーストリードサイクルを、図 7.18 には同一のローアドレスに対するバーストリードサイクルを、図 7.19 には異なるローアドレスに対するバーストリードサイクルを示します。同様に、図 7.20 にオートプリチャージのないシングルライトサイクルを、図 7.21 に同一のローアドレスに対するシングルライトサイクルを、図 7.22 には異なるローアドレスに対するシングルライトサイクルを示します。

図 7.18 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のローアドレスに対するアクセスが続く限り、図 7.17 または図 7.20 で始まり、図 7.18 または図 7.21 をくり返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のローアドレスに対するアクセスが発生した場合は、図 7.18 または図 7.21 のかわりに図 7.19 または図 7.22 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後には、すべてのバンクが非アクティブな状態になります。

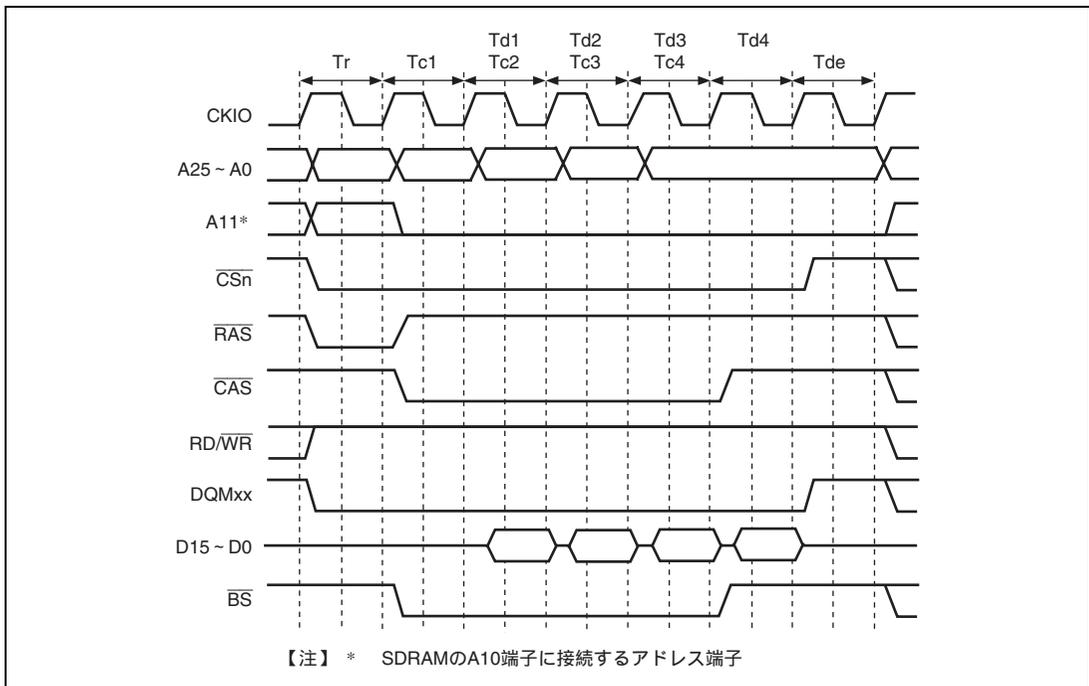


図 7.17 バーストリードタイミング (オートプリチャージなし)

7. バスステートコントローラ (BSC)

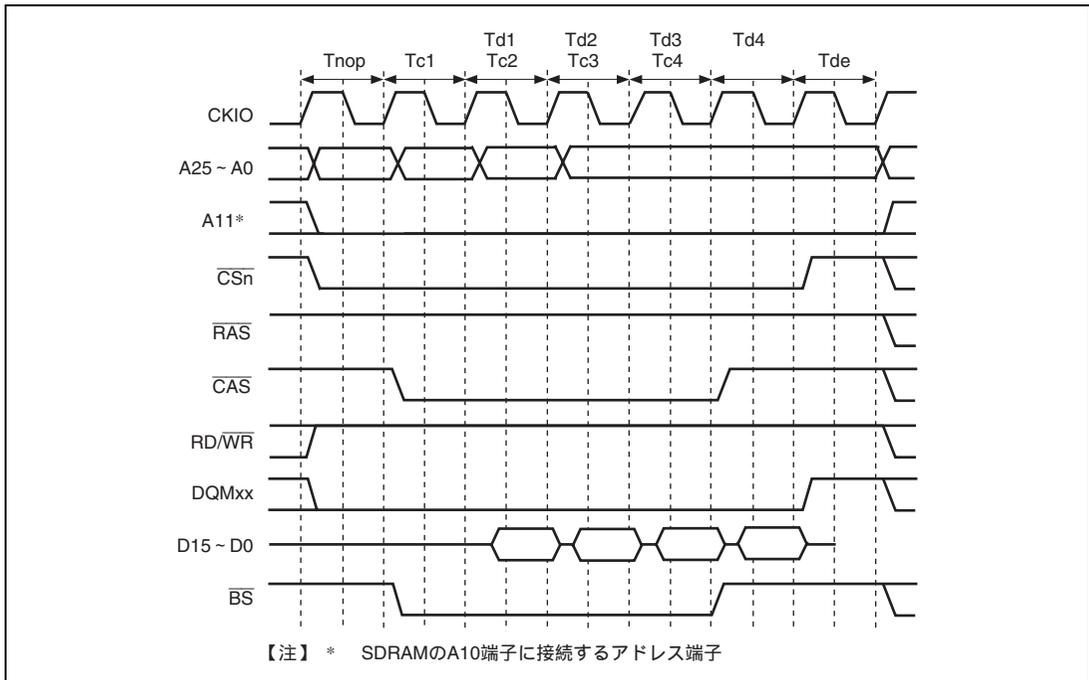


図 7.18 バーストリードタイミング (バンクアクティブ、同一ローアドレス)

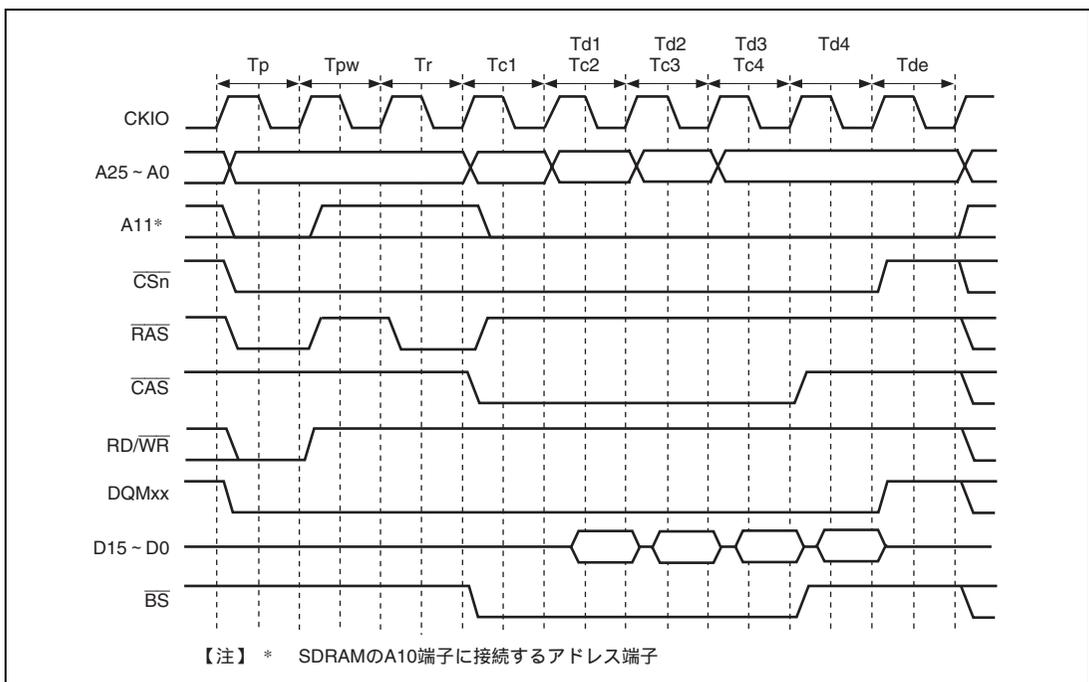


図 7.19 バーストリードタイミング (バンクアクティブ、異なるローアドレス)

7. バスステートコントローラ (BSC)

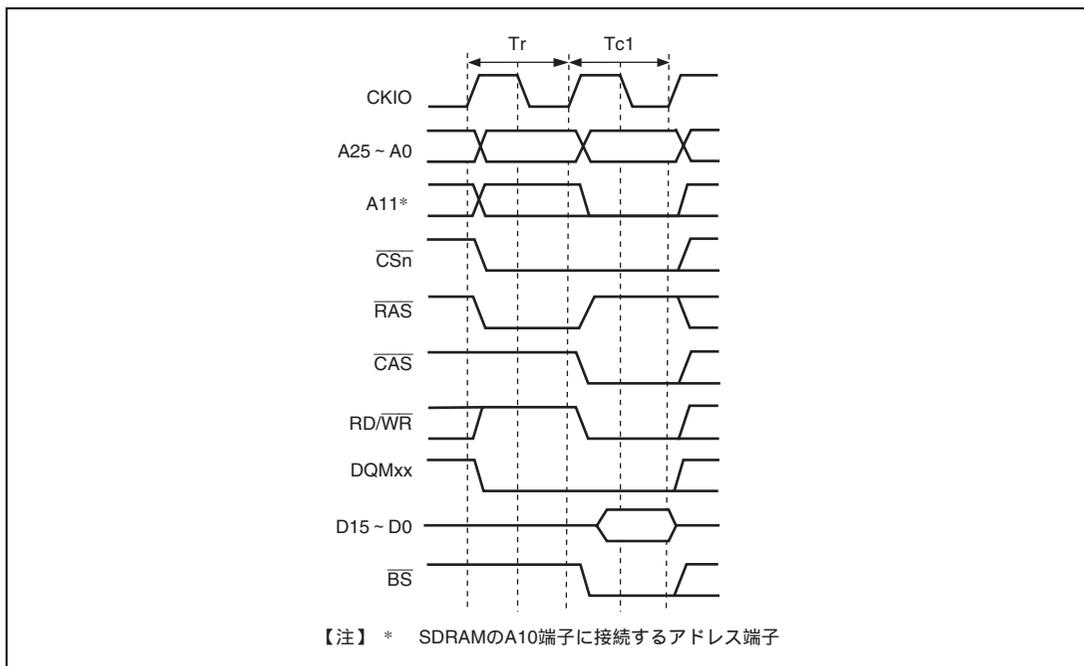


図 7.20 シングルライトタイミング (オートプリチャージなし)

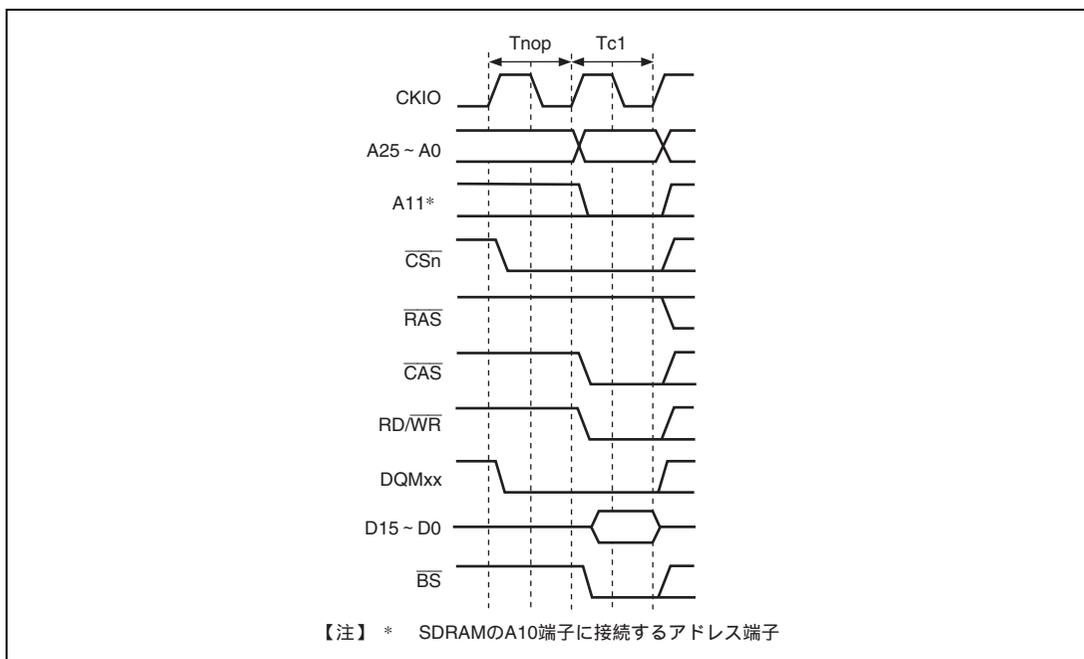


図 7.21 シングルライトタイミング (バンクアクティブ、同一ローアドレス)

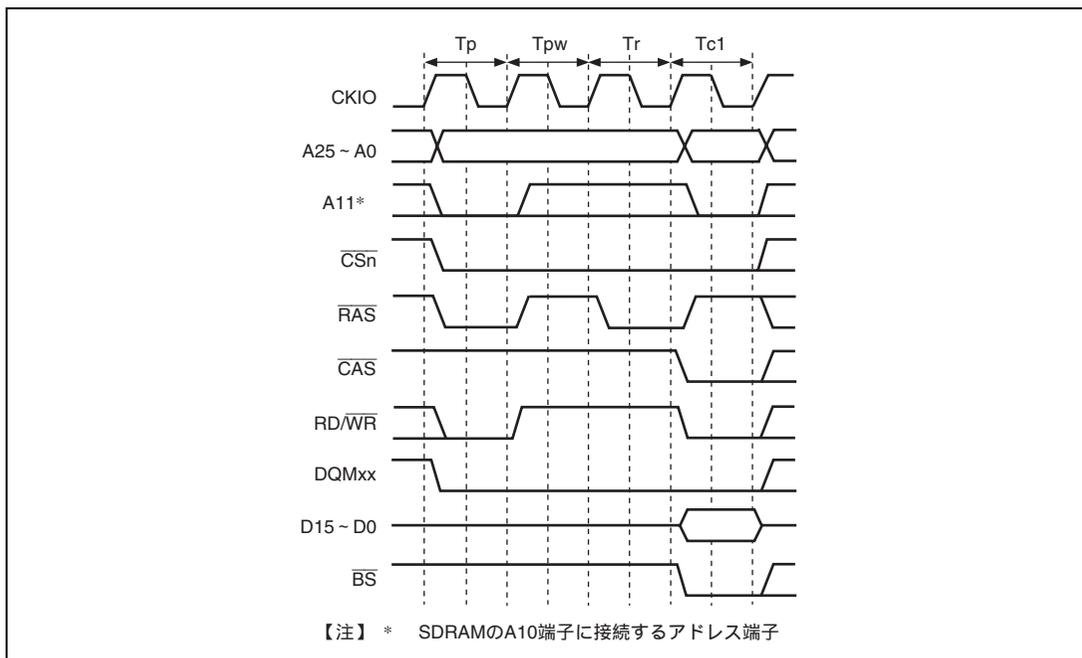


図 7.22 シングルライトタイミング (バンクアクティブ、異なるローアドレス)

(8) リフレッシュ

BSCは、SDRAMのリフレッシュを制御する機能を備えています。SDCRのRFSHビットを1に、RMODEビットを0に設定することによって、オートリフレッシュを行うことができます。また、RTCSRのRRC[2:0]ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間SDRAMにアクセスしないときは、RFSHビットとRMODEビットをともに1にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSRのCKS[2:0]ビットで選択した入力クロックと、RTCORに設定した値とで決まる間隔でRTCSRのRRC[2:0]に設定した回数のリフレッシュが行われます。使用するSDRAMのリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初にRTCOR、RTCNT、SDCRのRFSHビットおよび、RMODEビットの設定を行い、次いでRTCSRのCKS[2:0]ビットおよび、RRC[2:0]ビットの設定を行ってください。CKS[2:0]によって入力クロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0]に設定された回数のオートリフレッシュが実行されます。同時にRTCNTは0にクリアされ、カウントアップが再開されます。

図 7.23 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、TpサイクルでPALLコマンドを発行します。次いで、CSnWCRのWTRP[1:0]ビットで設定された数のアイドルサイクル挿入後、REFコマンドをTrrサイクルに発行します。Trrサイクル後CSnWCRのWTRC[1:0]ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAMのリフレッシュサイクル時

7. バスステートコントローラ (BSC)

間の規定 (t_{RC}) を満たすように $WTRC[1:0]$ を設定する必要があります。 $CSnWCR$ の $WTRP[1:0]$ ビットの設定値が 1 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間に T_{pw} サイクルが挿入されます。

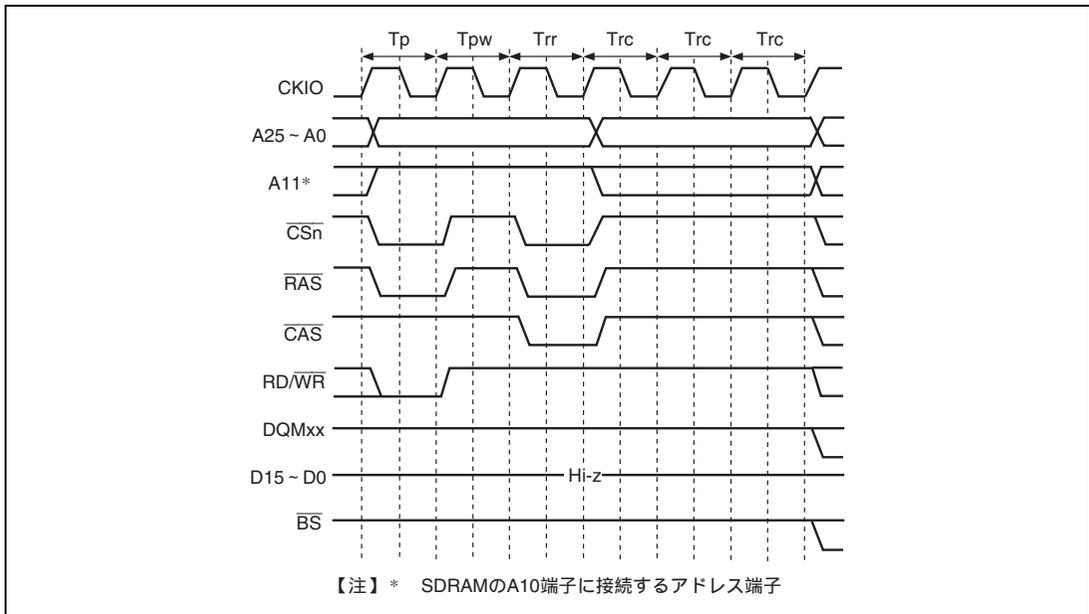


図 7.23 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の $RFSH$ ビットと $RMODE$ ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、 T_p サイクルで $PALL$ コマンドを発行します。次いで、 $CSnWCR$ の $WTRP[1:0]$ ビットで設定されたアイドルサイクルを挿入後、 $SELF$ コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、 $RMODE$ ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、 $CSnWCR$ の $WTRC[1:0]$ ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 7.24 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に $RFSH=1$ 、 $RMODE=0$ とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、 $(RTCOR$ の値 - 1) を $RTCNT$ に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されません。

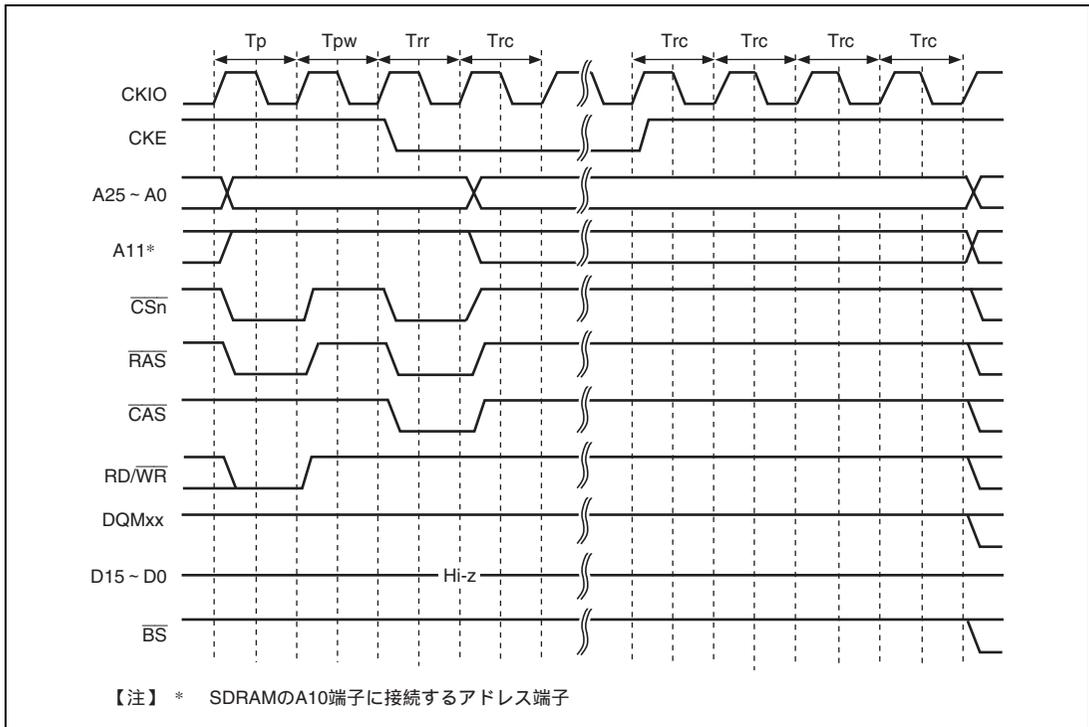


図 7.24 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起これないようにする必要があります。

(10) パワーオンシーケンス

SDRAMを使用するためには、パワーオン後、SDRAM に対してモード設定を行う必要があります。SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDMR3 レジスタをアクセスすることにより SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は \overline{CSn} 、 \overline{RAS} 、 \overline{CAS} 、および $\overline{RD/WR}$ の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると $X + (\text{HF8FD5000})$ 番地にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト (バースト長 1) またはバーストリード/バーストライト (バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 7.14 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

7. バスステートコントローラ (BSC)

表 7.14 SDRAM モードレジスタライト時のアクセスアドレス

バーストリード/シングルライト (バースト長 1) の場合

| データバス幅 | CAS レイテンシ | アクセスアドレス | 外部アドレス端子 |
|--------|-----------|------------|-----------|
| 16 ビット | 2 | H'F8FD5440 | H'0000440 |
| | 3 | H'F8FD5460 | H'0000460 |

バーストリード/バーストライト (バースト長 1) の場合

| データバス幅 | CAS レイテンシ | アクセスアドレス | 外部アドレス端子 |
|--------|-----------|------------|-----------|
| 16 ビット | 2 | H'F8FD5040 | H'0000040 |
| | 3 | H'F8FD5060 | H'0000060 |

モードレジスタ設定タイミングを図 7.25 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CSnWCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および 8 回目の REF と MRS の間に CSnWCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

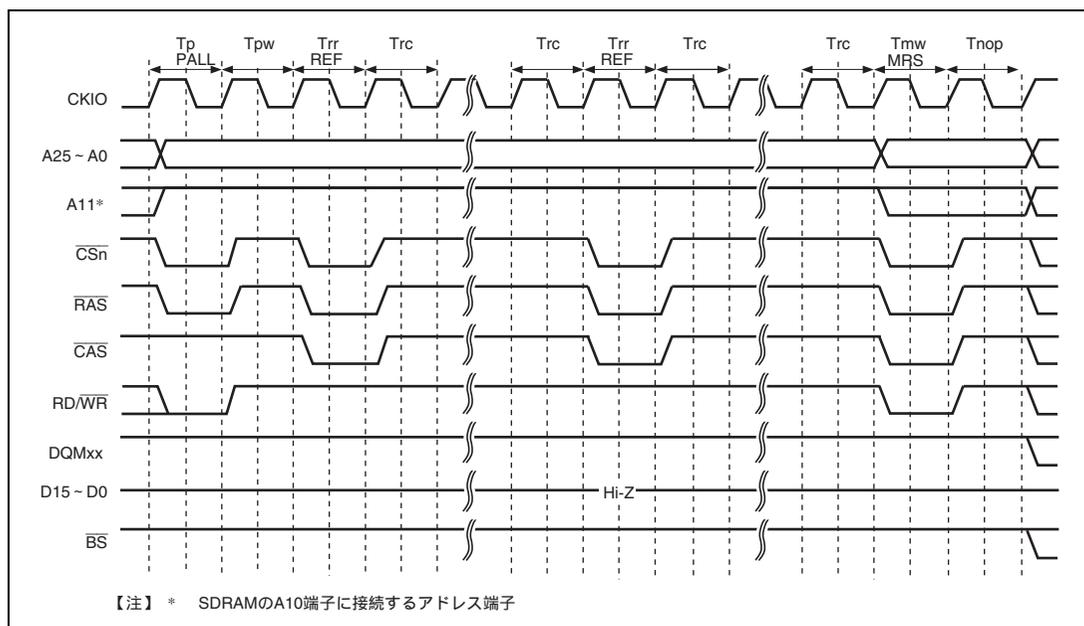


図 7.25 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

7.5.6 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子($\overline{WE_n}$ ($\overline{BE_n}$))を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR レジスタの BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WE_n}$ ($\overline{BE_n}$) 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WE_n}$ ($\overline{BE_n}$) 端子からバイト選択信号を出力します。図 7.26 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ($\overline{WE_n}$ ($\overline{BE_n}$)) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR レジスタの BAS ビットが 1 のとき、 $\overline{WE_n}$ ($\overline{BE_n}$) 端子と RD/ \overline{WR} 端子のタイミングが変化します。図 7.27 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RD/ \overline{WR}) のタイミングでメモリに書き込まれます。RD/ \overline{WR} 端子のネグートタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0] ビットを設定することにより確保してください。図 7.28 にソフトウェア設定時のアクセスタイミングを示します。

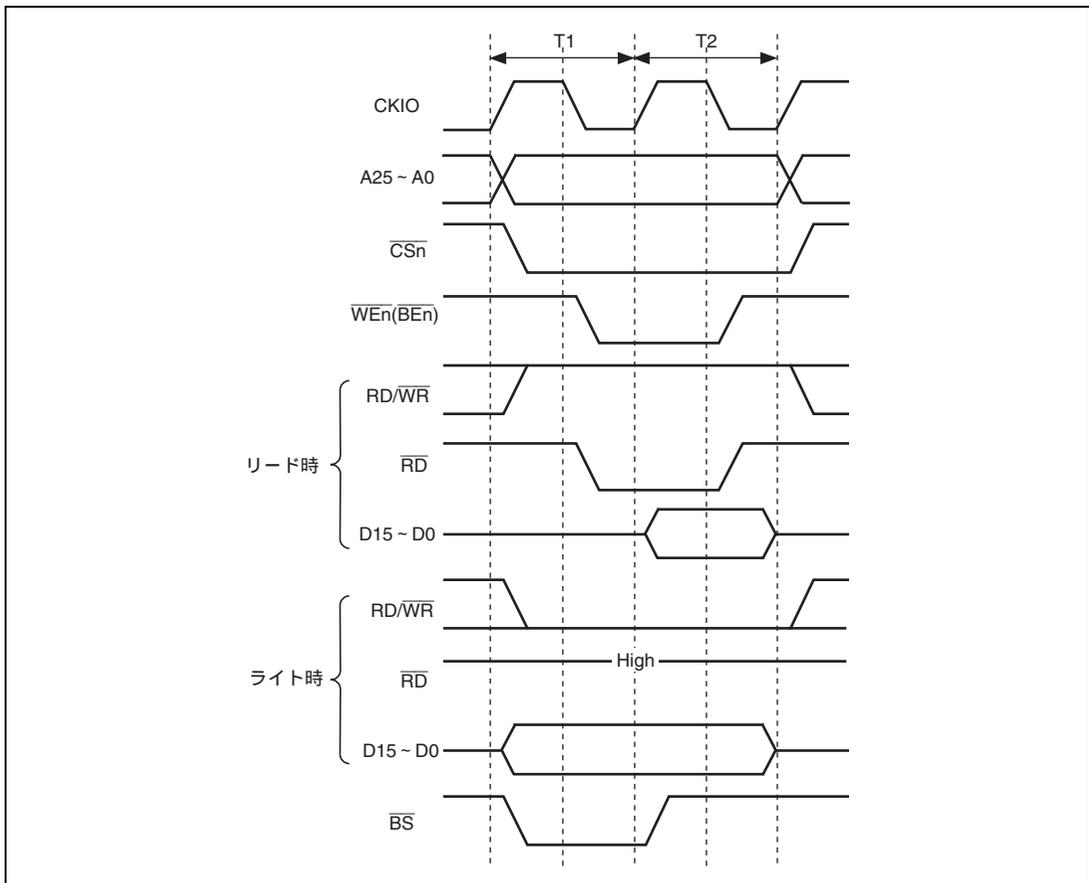


図 7.26 BAS = 0 バイト選択付き SRAM 基本アクセスタイミング

7. バスステートコントローラ (BSC)

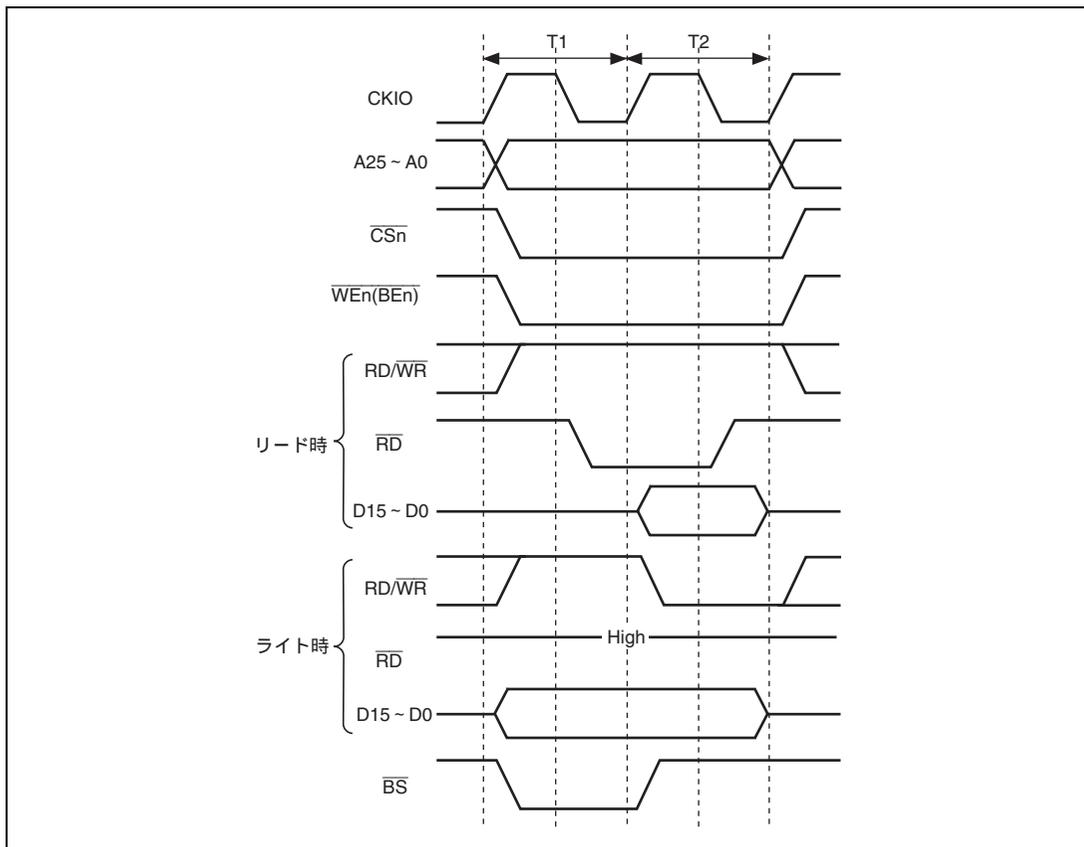


図 7.27 BAS = 1 バイト選択付き SRAM 基本アクセスタイミング

7. バスステートコントローラ (BSC)

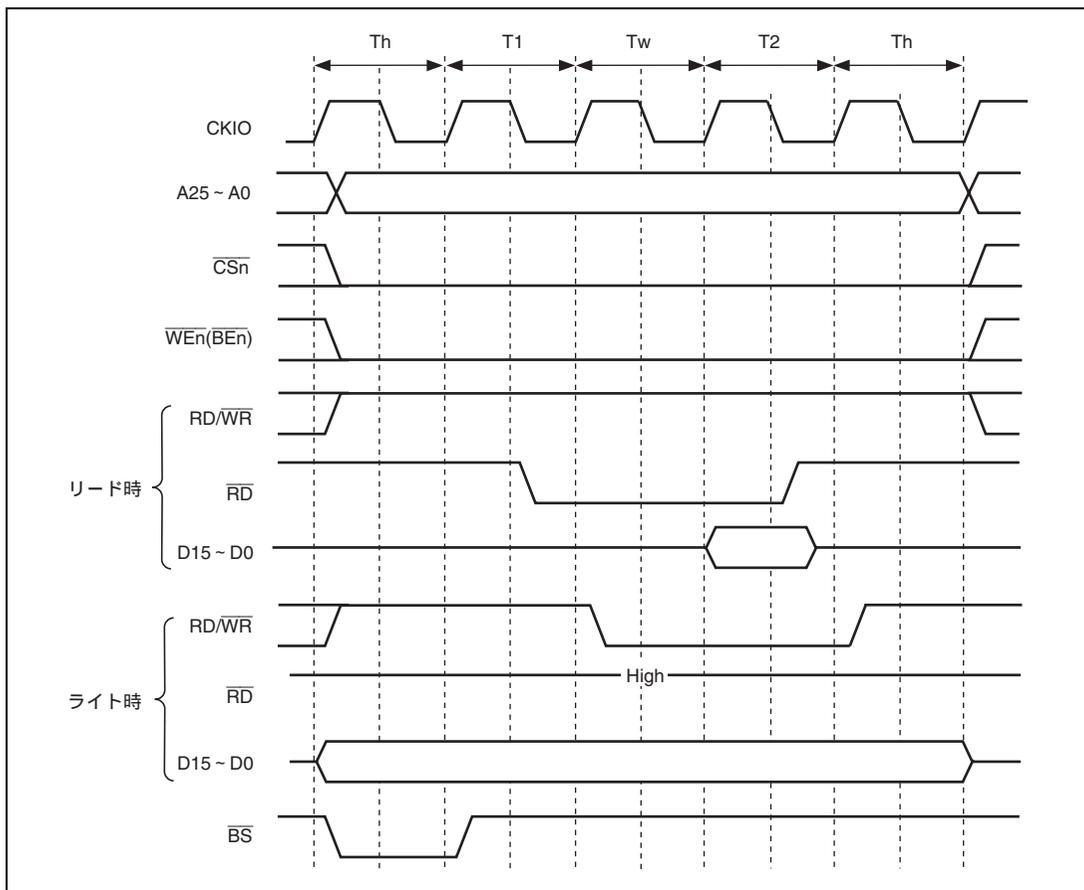


図 7.28 BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)

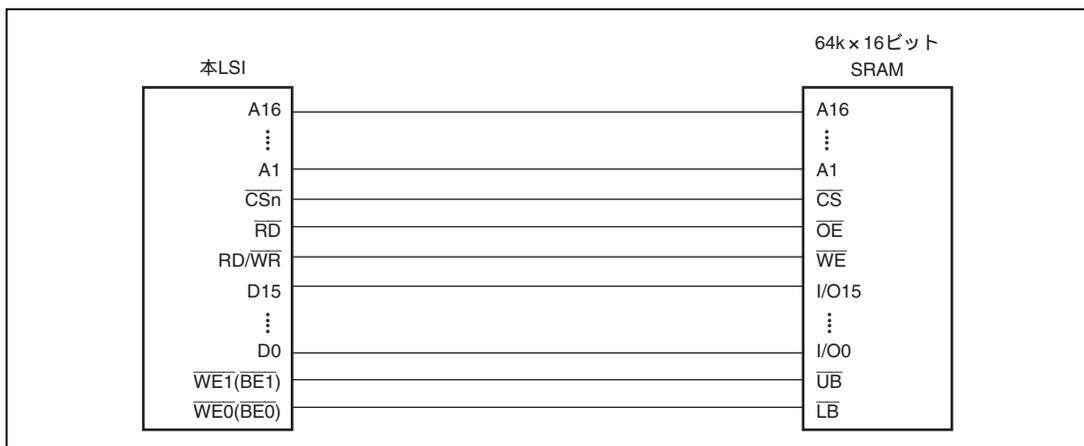


図 7.29 16 ビットデータ幅バイト選択付き SRAM 接続例

7. バスステートコントローラ (BSC)

7.5.7 PCMCIA インタフェース

本 LSI では、CMNCR の MAP ビットにてアドレスマップ (2) を選択した場合、エリア 5、エリア 6 で PCMCIA インタフェースの設定が可能です。物理空間のエリア 5 およびエリア 6 は CSnBCR (n = 5B、6B) の TYPE[3:0] ビットを B'0101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1 Rev2.1) で定める「IC メモリカードおよび I/O カードインタフェース」になります。また、CSnWCR (n = 5B、6B) の SA[1:0] ビットにより各エリアの前半 32MB と後半の 32MB に対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5BWCR の SA1 ビットを 1 に、また CS5BWCR の SA0 ビットを 0 に設定すると前半の 32MB が IC メモリカードインタフェースおよび後半の 32MB が I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BBCR の BSZ[1:0] ビットもしくは CS6BBCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 7.30 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

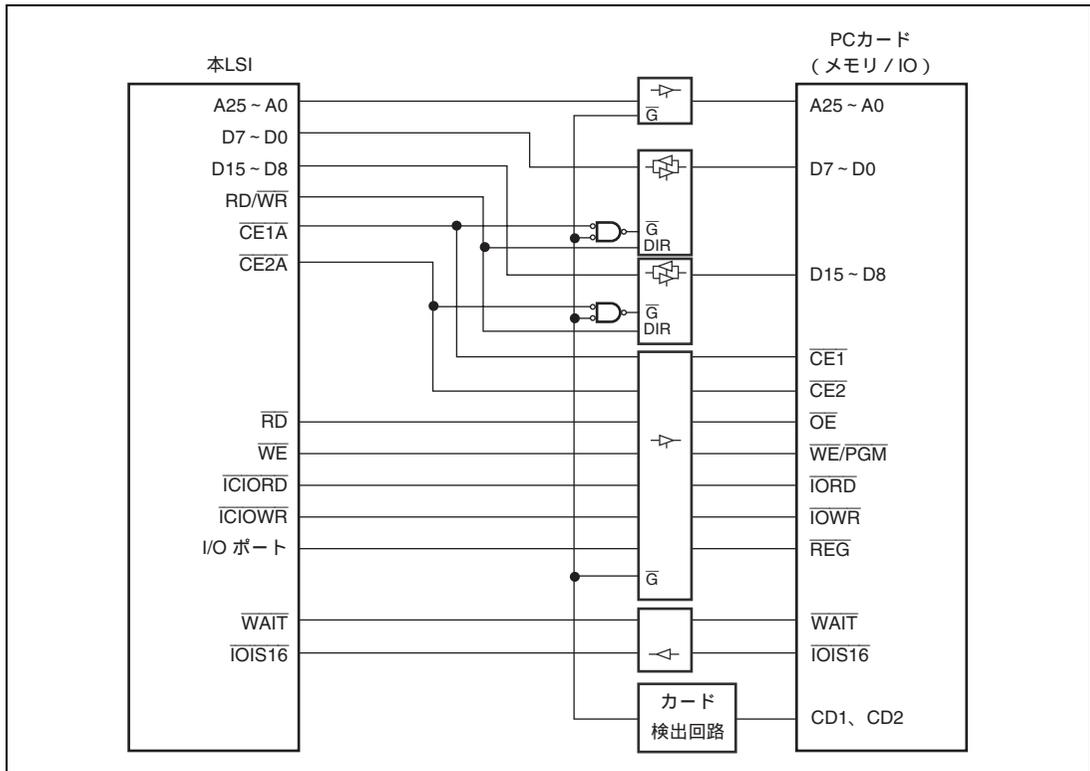


図 7.30 PCMCIA インタフェース接続例

(1) メモリカードインタフェース基本タイミング

図 7.31 に PCMCIA の「IC メモリカードインタフェース」の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、各エリアの共通メモリ空間をアクセスすると自動的に「IC メモリカードインタフェース」としてバスアクセスが行われます。外部バス周波数 (CKIO) が高くなると、 \overline{RD} や \overline{WE} に対してアドレス (A25 ~ A0)、カードイネーブル ($\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$)、書き込みサイクル時の書き込みデータ (D15 ~ D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5BWCR もしくは CS6BWCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 7.32 に PCMCIA メモリバスウェイトタイミングを示します。

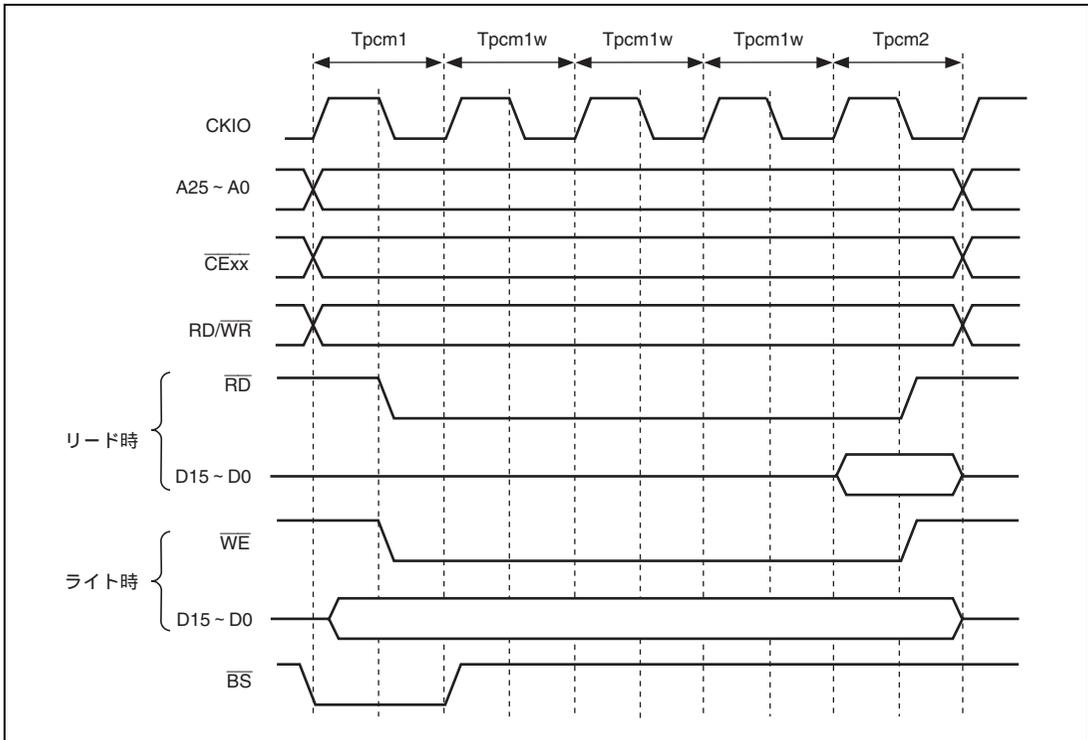


図 7.31 PCMCIA メモリカードインタフェース基本タイミング

7. バスステートコントローラ (BSC)

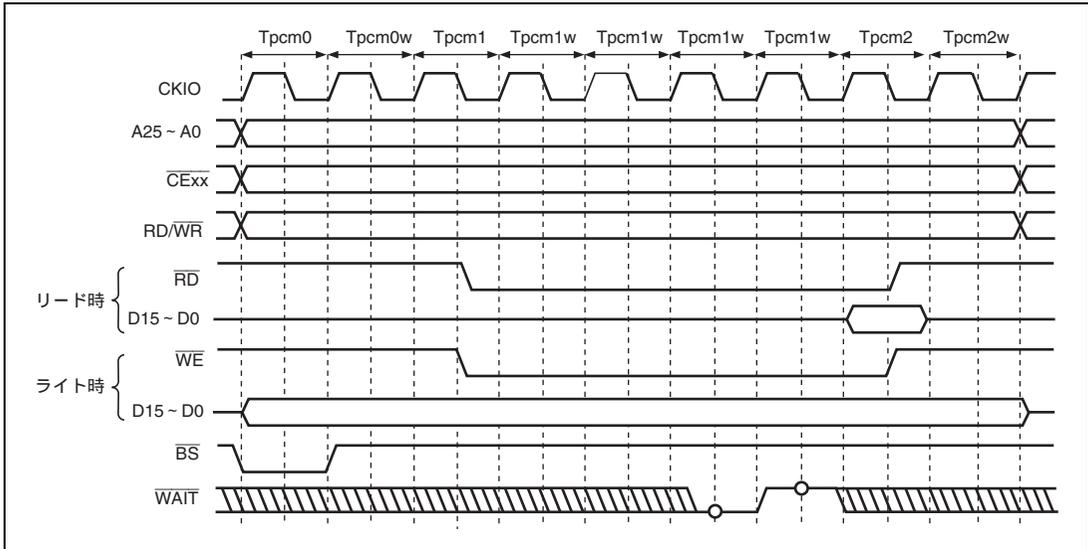


図 7.32 PCMCIA メモリカードインタフェースウェイトタイミング
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェイト1、ハードウェイト1)

IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべてを使用する場合は、COMMONメモリとアトリビュートメモリの切り替え信号 $\overline{\text{REG}}$ はポート等を利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトずつCOMMONメモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を $\overline{\text{REG}}$ 信号として利用することができます。

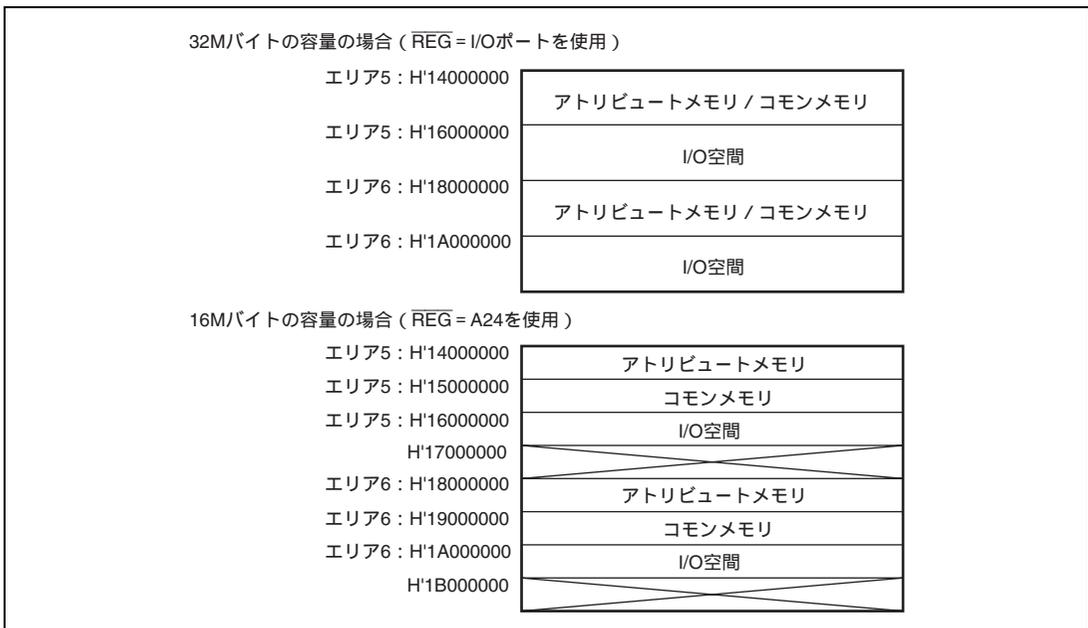


図 7.33 PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0]=B'10、CS6BWCR.SA[1:0]=B'10)

(2) I/O カードインタフェース基本タイミング

図 7.34 および図 7.35 に PCMCIA の「I/O カードインタフェース」のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定し、CS5BWCR の SA1、SA0 ビットを 1 にすると、それぞれ物理アドレスの H'16000000 ~ H'17FFFFFF、H'14000000 ~ H'15FFFFFF が I/O カードエリアとして割り付けられます。また、物理空間のエリア 6 を PCMCIA に設定し、CS6BWCR の SA1、SA0 ビットを 1 にすると、それぞれ物理アドレスの H'1A000000 ~ H'1BFFFFFF、H'18000000 ~ H'19FFFFFF が I/O カードエリアとして割り付けられます。

PCMCIA の I/O カードをアクセスする場合は、キャッシュ非対象領域 (P2 空間) で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合は、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合は、8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$ 信号は、TED[3:0]ビットの設定を 1.5 サイクル以上に設定したときの Tpci0、Tpci0w、および Tpci1 サイクルにおける CKIO の立ち下がりでのサンプリングされ、サンプリングポイントから CKIO の 1.5 サイクル後に CE2 信号に反映されます。ご使用になる PC カードの $\overline{\text{ICIORD}}$ と $\overline{\text{ICIORW}}$ から CEn のセットアップの規格を満たすように、TED[3:0]ビットを設定してください。

ダイナミックバスサイジングの基本タイミングを図 7.36 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$ 信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$ 信号をローレベルに固定してください。

7. バスステートコントローラ (BSC)

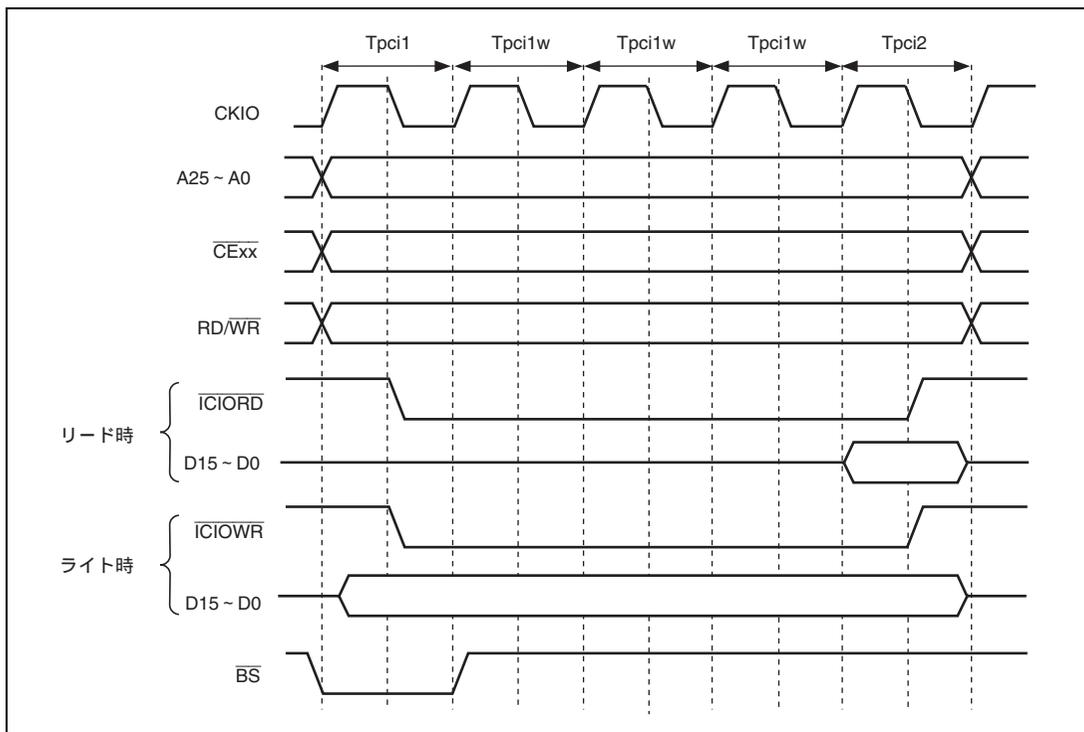


図 7.34 PCMCIA I/O カードインタフェース基本タイミング

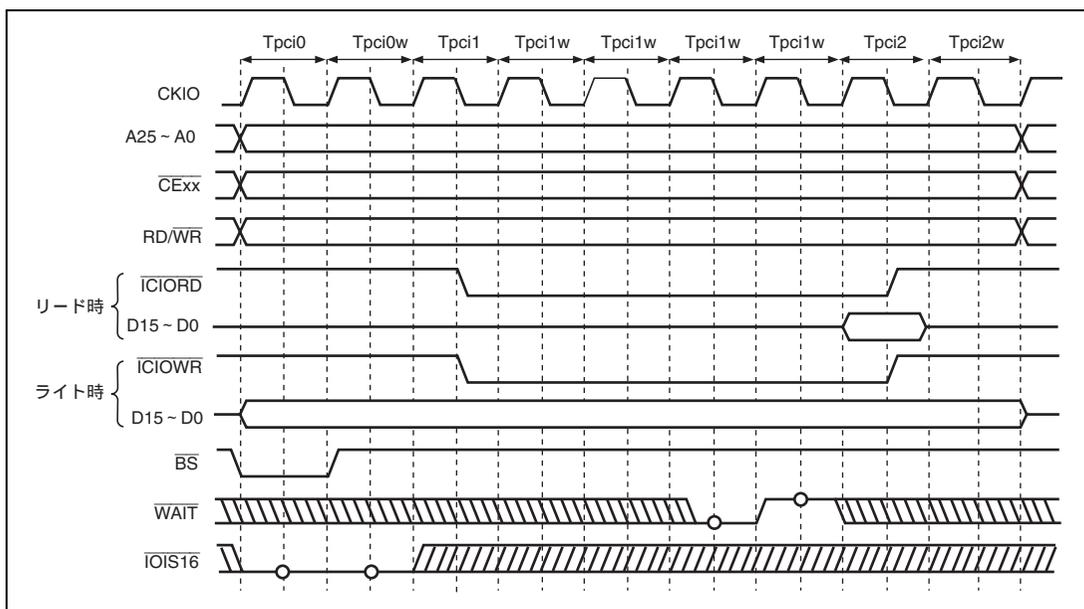


図 7.35 PCMCIA I/O カードインタフェースウェイトタイミング
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェア1、ハードウェイト1)

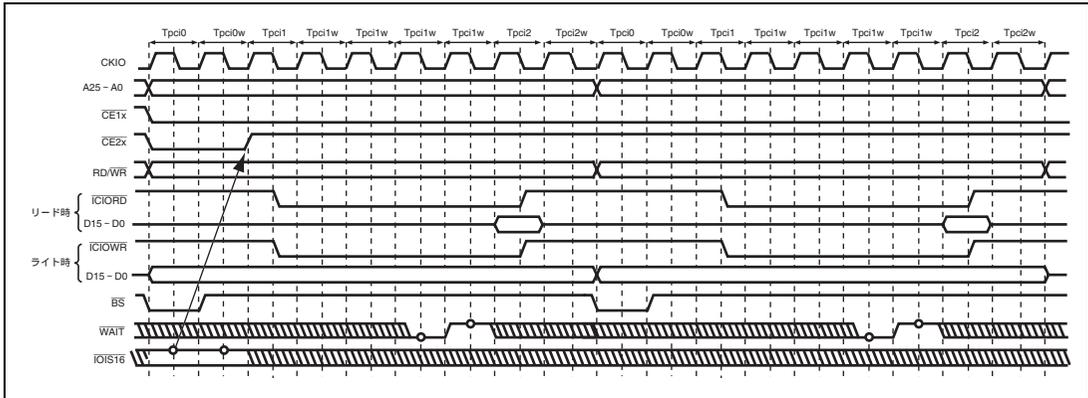


図 7.36 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング
(TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェイト 3)

7.5.8 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にウェイトを挿入して、データの衝突を回避する機能を有しています。

アクセスサイクル間ウェイトのサイクル数は、CSnBCR の IWW[1:0] ビット、IWRWD[1:0] ビット、IWRWS1:0] ビット、IWRRD[1:0] ビット、IWRRS[1:0] ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合

7. バスステートコントローラ (BSC)

7.5.9 その他

(1) リセット

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらず直ちにすべての信号をネゲートし、出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープでは、バスステートコントローラの制御レジスタの初期化は行われません。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、7ビットのカウンタ (RWTCNT) を用意しています。パワーオンリセットによりこのカウンタは、0 クリアされます。パワーオンリセット解除後は CKIO に同期してカウントアップされ、カウンタの値が H'007F になるまで外部アクセスを発生しません。

(2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、キャッシュバス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリはキャッシュバスに、CPU を除く内部バスマスタおよびバスステートコントローラは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリと UBC などのデバッグモジュールはキャッシュバースト内部バスの双方に接続されています。キャッシュバスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (E-DMAC など) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのページをソフトウェアで行う必要があります。

CPU が読み出しアクセスを開始し、それがキャッシュ領域の場合はキャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取りこみアクセスは完了します。キャッシュ内にデータが無い場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードペランドアクセス時および奇数ワード境界 ($4n+2$) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュスルー領域に関しては、実際のアクセスアドレスにしたがってアクセスを行います。アクセスが偶数ワード境界 ($4n$) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ($4n+2$) への命令フェッチの場合にはワードアクセスとなります。

キャッシュスルー領域および内蔵周辺モジュールの読み出しサイクルの場合は、その判定後内部バスを介して読み出しサイクルが起動されます。読み出しデータは、キャッシュバスを経由して CPU に送られます。

書き込みサイクルがキャッシュ領域に対するものであった場合は、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを經由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを經由して実際の書き込みのみ行われます

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

(3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P) で 2 サイクル以上かかります。システム設計の見積もり時には、ご注意ください。

7. バスステートコントローラ (BSC)

8. クロック発振器 (CPG)

本 LSI は、クロック発振器を内蔵しており、内部クロック (I)、周辺クロック (P)、バスクロック (B)、IEEE802.3-PHY (Physical Layer Device、以下 PHY-LSI と呼びます) のためのクロック (M) を生成します。クロック発振器は、発振器、PLL 回路、分周回路で構成されます。

8.1 特長

- 4種類のクロックモード
クロックソースの周波数、および水晶発振子直付けか外部クロック入力かの選択により、4種類のクロックモードから選択できます。
- 4種類のクロックを生成
CPU、キャッシュで使用する内部クロック (I) と、周辺モジュールで使用する周辺クロック (P)、さらに外部バスインターフェイスで使用するバスクロック (B = CKIO) を独立に生成できます。また外部の PHY-LSI 用クロック (M) を独立に生成できます。
- 周波数変更機能
CPG 内部の PLL 回路や分周回路により、内部クロック、周辺クロック、および PHY-LSI 用クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR)、および PHY-LSI クロック周波数制御レジスタ (MCLKCR) の設定により、ソフトウェアで行います。
- 低消費電力モードの制御
スリープモード、ソフトウェアスタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

CPG のブロック図を図 8.1 に示します。

8. クロック発振器 (CPG)

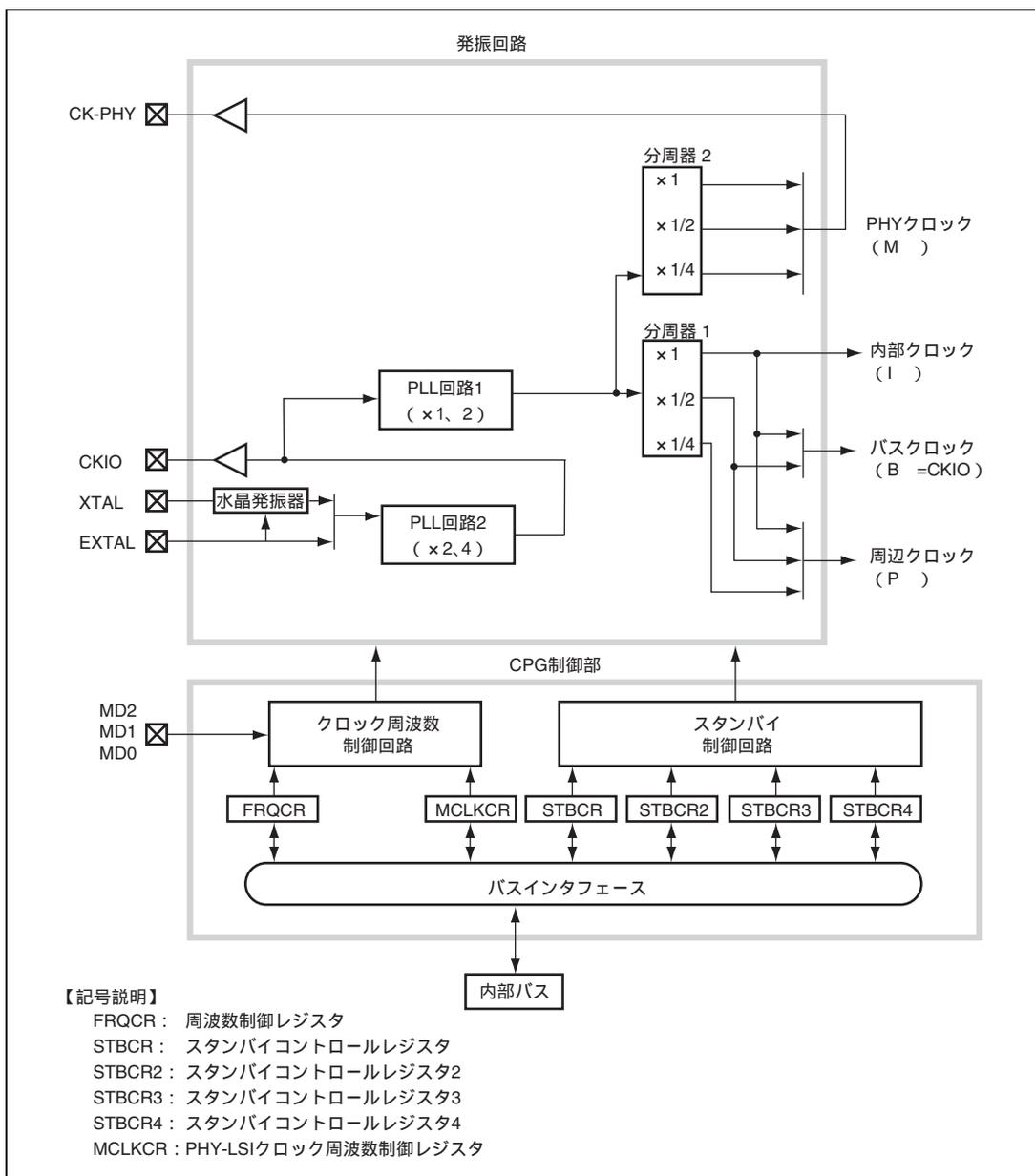


図 8.1 CPG のブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、PLL 回路 2 からのクロック周波数を 1 倍または 2 倍に通倍する機能を持ちます。通倍率は周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、水晶発振器、または EXTAL 端子からの入力クロック周波数を 2 倍または 4 倍に通倍する機能を持ちます。通倍率はクロック動作モードにより固定されます。クロック動作モードは MD0、MD1、MD2 端子で設定します。

(3) 水晶発振器

XTAL または EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

(4) 分周器 1

分周器 1 は、内部クロック、バスクロック、および周辺クロックで使用する動作周波数のクロックを生成する機能を持ちます。内部クロックとしては、常に本分周器の 1 倍出力が選択されます。バスクロックには、PLL 回路 1 の通倍率と連動して、CKIO 端子と同一周波数となる本分周器の出力が自動的に選択されます。周辺クロックには、周波数制御レジスタの設定によって、本分周器の 1 倍、1/2 倍、1/4 倍出力が選択可能ですが、CKIO 端子よりも高い周波数は選択しないでください。

(5) 分周器 2

分周器 2 は、外部の PHY-LSI に供給するクロックを生成する機能を持ちます。一般に PHY-LSI は 25MHz のクロックを必要とするため、本分周器の出力が 25MHz となるようにします。本分周器の出力は、PLL 回路 1 の出力周波数に対して、1 倍、1/2 倍、1/4 倍の選択が可能です。分周率は、PHY-LSI 周波数制御レジスタで設定します。

(6) クロック周波数制御回路

クロック周波数制御回路は、MD0、MD1、MD2 端子、周波数制御レジスタ、および PHY-LSI 周波数制御レジスタによりクロック周波数を制御します。

(7) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時やソフトウェアスタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。

(8) 周波数制御レジスタ

周波数制御レジスタには、スタンバイ時の CKIO 端子からのクロック出力の有無、PLL 回路 1 の周波数通倍率、周辺クロックの周波数分周率の各制御ビットが割り当てられています。

(9) スタンバイコントロールレジスタ

スタンバイコントロールレジスタには、低消費電力モードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「第 10 章 低消費電力モード」を参照してください。

(10) PHY-LSI クロック周波数制御レジスタ

PHY-LSI クロック周波数制御レジスタには、PHY-LSI クロックの分周比を設定します。

8. クロック発振器 (CPG)

8.2 入出力端子

クロック発振器の端子構成と機能を表 8.1 に示します。

表 8.1 クロック発振器の端子構成と機能

| 名称 | 略称 | 入出力 | 機能 |
|----------------|--------|-----|------------------------------------|
| モード制御端子* | MD0 | 入力 | クロック動作モードを設定します。 |
| | MD1 | 入力 | クロック動作モードを設定します |
| | MD2 | 入力 | クロック動作モードを設定します。 |
| クロック入力端子 | XTAL | 出力 | 水晶発振子を接続します。 |
| | EXTAL | 入力 | 水晶発振子を接続します。または外部クロック入力端子として使用します。 |
| クロック出力端子 | CKIO | 出力 | 外部クロック出力端子として使用します。 |
| PHY-LSI クロック端子 | CK_PHY | 出力 | 外部 PHY-LSI 用クロック出力端子です |

【注】 * モード制御端子の値は誤動作防止のために、パワーオンリセット時もしくは STBCR レジスタの MDCHG ビットを 1 にした状態でのソフトウェアスタンバイ時のみサンプリングされます。

8.3 クロック動作モード

モード制御端子 (MD2~MD0) の組み合わせとクロック動作モードの関係を表 8.2 に示します。また、クロック動作モードの使用可能周波数範囲と入力クロックの周波数範囲を表 8.3 に示します。

表 8.2 モード制御端子の組み合わせとクロック動作モードの関係

| クロックモード | モード制御端子組み合わせ | | | クロック入出力 | | PLL 回路 2 | PLL 回路 1 | CKIO の周波数 |
|---------|--------------|-----|-----|---------|------|----------|------------|------------|
| | MD2 | MD1 | MD0 | 供給源 | 出力 | | | |
| 1 | 0 | 0 | 1 | EXTAL | CKIO | ON (×4) | ON (×1, 2) | (EXTAL) ×4 |
| 2 | 0 | 1 | 0 | 水晶発振子 | CKIO | ON (×4) | ON (×1, 2) | (水晶) ×4 |
| 5 | 1 | 0 | 1 | EXTAL | CKIO | ON (×2) | ON (×1, 2) | (EXTAL) ×2 |
| 6 | 1 | 1 | 0 | 水晶発振子 | CKIO | ON (×2) | ON (×1, 2) | (水晶) ×2 |

- モード1

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で周波数を 4 倍に逡倍して本 LSI に供給します。入力クロック周波数は 10MHz から 12.5MHz まで使用でき、CKIO の周波数レンジは 40MHz から 50MHz となります。

- モード2

内蔵水晶発振器を動作させ、発振周波数を PLL 回路 2 で 4 倍に逡倍して本 LSI に供給します。発振周波数が 10MHz から 12.5MHz までの水晶を使用でき、CKIO の周波数レンジは 40MHz から 50MHz となります。

- モード5

EXTAL 端子から外部クロックを入力し、PLL 回路 2 で周波数を 2 倍に逡倍して本 LSI に供給します。入力クロック周波数は 10MHz から 25MHz まで使用でき、CKIO の周波数レンジは 20MHz から 50MHz となります。

- モード6

内蔵水晶発振器を動作させ、発振周波数を PLL 回路 2 で 2 倍に逡倍して本 LSI に供給します。発振周波数が 10MHz から 25MHz までの水晶を使用でき、CKIO の周波数レンジは 20MHz から 50MHz となります。

表 8.3 クロックモードと FRQCR 値の可能な組み合わせ

| モード | FRQCR レジスタ値 | PLL 回路 1 | PLL 回路 2 | クロック比* (I:B:P) | 入力クロック / 周波数範囲 | CKIO 端子 周波数範囲 |
|-----|-------------|------------|------------|-------------------|-----------------|------------------|
| 1、2 | H'1000 | ON (× 1) | ON (× 4) | 4 : 4 : 4 | 10MHz ~ 12.5MHz | 40MHz ~ 50MHz |
| | H'1001 | ON (× 1) | ON (× 4) | 4 : 4 : 2 | | |
| | H'1003 | ON (× 1) | ON (× 4) | 4 : 4 : 1 | | |
| | H'1101 | ON (× 2) | ON (× 4) | 8 : 4 : 4 | | |
| | H'1103 | ON (× 2) | ON (× 4) | 8 : 4 : 2 | | |
| 5、6 | H'1000 | ON (× 1) | ON (× 2) | 2 : 2 : 2 | 10MHz ~ 25MHz | 20MHz ~ 50MHz |
| | H'1001 | ON (× 1) | ON (× 2) | 2 : 2 : 1 | | |
| | H'1003 | ON (× 1) | ON (× 2) | 2 : 2 : 1/2 | | |
| | H'1101 | ON (× 2) | ON (× 2) | 4 : 2 : 2 | | |
| | H'1103 | ON (× 2) | ON (× 2) | 4 : 2 : 1 | | |

【注】 * 入力クロックを 1 とします。

【注意事項】

1. 内部クロック周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数逡倍率を掛けた周波数になります。
2. 周辺クロックの周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数逡倍率と分周器 1 の分周率を掛けた周波数になります。周辺クロック周波数は CKIO 端子の周波数より高く設定しないでください。
3. PHY-LSI クロックの周波数は、CKIO 端子の周波数に PLL 回路 1 の周波数逡倍率と分周器 2 の分周率を掛けた周波数になります。
4. 分周器 1 の分周率には、× 1、× 1/2、× 1/4 が選択できます。これは周波数制御レジスタで設定します。
5. 分周器 2 の分周率には、× 1、× 1/2、× 1/4 が選択できます。これは PHY-LSI クロック周波数制御レジスタで設定します。
6. PLL 回路 1 の出力周波数は、CKIO 端子の周波数に PLL 回路 1 の逡倍率を掛けた周波数になります。これは周波数制御レジスタで設定します。
7. バスクロックの周波数は、常に CKIO 端子の周波数と等しくなるように設定されます。
8. 本表を参考として、「第 21 章 電気的特性」で規定される動作周波数範囲を満足するように、クロックモード、FRQCR レジスタ値、入力クロック周波数を決定してください。

8.4 レジスタの説明

CPG には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- 周波数制御レジスタ (FRQCR)
- PHY-LSI クロック周波数制御レジスタ (MCLKCR)

8.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタでスタンバイ時の CKIO 端子からクロック出力の有無、PLL 回路 1 の周波数逡倍率、周辺クロックの周波数分周率の指定ができます。FRQCR はワードアクセスのみ可能です。

本レジスタは、端子入力によるパワーオンリセット時、または H-UDI リセット時には初期化されますが、WDT オーバフローによるパワーオンリセット時には初期化されません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|-------|-------|-----|---|
| 15~13 | - | すべて 0 | R | リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 12 | CKOEN | 1 | R/W | クロック出力イネーブル ソフトウェアスタンバイ解除時に CKIO 端子から、クロックを出力するか、CKIO 端子をレベル固定するかを指定します。0 を設定した場合、CKIO 端子がローレベルに固定されます。これにより、ソフトウェアスタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。 0: ソフトウェアスタンバイ期間中に、CKIO 端子をローレベルに固定する。 1: クロックモード 1、または 5 でのソフトウェアスタンバイ期間中に、EXTAL 入力を CKIO 端子にスルーします。ただし、通常状態からスタンバイモードに遷移するときに、CKIO 端子のソース信号を PLL2 出力から EXTAL 入力へ切り替えるため、ハザード防止の意味で P _{max} サイクル分ローレベル固定します。 |
| 11 | - | 0 | R | リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 10 | STC2 | 0 | R/W | PLL 回路 1 の周波数逡倍率 000: ×1 倍 001: ×2 倍 上記以外: 設定禁止 |
| 9 | STC1 | 0 | R/W | |
| 8 | STC0 | 0 | R/W | |
| 7~3 | - | 0 | R | リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 |

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|---|
| 2 | PFC2 | 0 | R/W | 周辺クロック周波数の分周率 PLL 回路 1 の出力周波数に対しての周辺クロック周波数の分周率を指定します。 000 : × 1 倍 001 : × 1/2 倍 011 : × 1/4 倍 上記以外 : 設定禁止 |
| 1 | PFC1 | 1 | R/W | |
| 0 | PFC0 | 1 | R/W | |

8.4.2 PHY-LSI クロック周波数制御レジスタ (MCLKCR)

MCLKCR は読み出し / 書き込み可能な 8 ビットのレジスタです。MCLKCR に書きこむ場合、上位バイトを H'5A、下位バイトをライトデータとして、ワードサイズで書き込んでください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|---------|-------|-----|---|
| 7 | FLSCS1 | 0 | R/W | ソースクロックセレクトビット 源クロックの選択を行います。 00 : PLL1 出力クロック 01 : PLL1 出力クロック 10 : 設定禁止 11 : 設定禁止 |
| 6 | FLSCS0 | 1 | R/W | |
| 5~3 | - | すべて 0 | R | リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 2 | FLDIVS2 | 0 | R/W | 分周器セレクトビット PLL1 出力に対する分周比を設定します。 000 : × 1 倍 001 : × 1/2 倍 011 : × 1/4 倍 上記以外 : 設定禁止 |
| 1 | FLDIVS1 | 1 | R/W | |
| 0 | FLDIVS0 | 1 | R/W | |

8.4.3 使用上の注意事項

- MCLKCR は外部PHY-LSI用クロックの生成にのみに適用されます。
- MCLKCR または、FRQCR のレジスタ値を変更する場合は、必ず外部PHY-LSI をリセットした状態で行ってください。一時的に CK_PHY 出力にハザードが発生することがあるためです。MCLKCR または、FRQCR のレジスタ値を変更した後、外部PHY-LSI のリセットを解除してください。

8.5 周波数変更方法

内部クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法があります。周辺クロックの周波数を変更するには、PLL 回路 1 の通倍率を変える方法と、分周器 1 の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

8.5.1 通倍率の変更

PLL 回路 1 の通倍率を変更する場合、PLL 同期安定化時間が必要になります。内蔵 WDT により PLL 同期安定化時間のカウントを行います。

1. 初期状態では、PLL回路1の通倍率は1になっています。
2. WDTに、指定されたPLL同期安定化時間になるように値をセットし、WDTを停止します。次の設定が必要です。

WTCSR.TME = 0 : WDTの停止

WTCSR.CKS2 ~ CKS0 : WDTカウントクロックの分周率

WTCNT : カウンタの初期値

3. STBCRのMDCHGビットを0にした状態でSTC2 ~ STC0ビットを目的とする値に設定します。同時にPFC2 ~ PFC0ビットに分周率を設定することも可能です。
4. 本LSI内部は一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。
5. WDTのカウントオーバーフローで設定されたクロックが供給されはじめ、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

- 【注】
1. STBCR の MDCHG ビットに 1 が設定されている場合、FRQCR 値の変更は直ちに動作へ反映されません。詳細は「8.5.3 クロック動作モードの変更」を参照してください。
 2. 内蔵周辺モジュールが動作中の場合は、動作が完了してから通倍率の変更を行ってください。通倍率の変更中は、内部クロックと周辺クロックが停止します。外部 IC と通信している周辺モジュールは通信エラーを発生したり、タイムは時間を間違えたりします (WDT を除く)。また、外部割り込み (NMI、IRQ7 ~ IRQ0) のエッジ検出も行いません。

8.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合、WDT によるカウントは行いません。

1. 初期状態では、PFC2 ~ PFC0 = 011になっています。
2. STBCRのMDCHGビットを0にした状態でPFC2 ~ PFC0ビットを目的とする値に設定します。クロックモードやPLL回路1の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. ただちに設定されたクロックに切り替わります。

【注】 STBCR の MDCHG ビットに 1 が設定されている場合、FRQCR 値の変更は直ちに動作に反映されません。詳細は、「8.5.3 クロック動作モードの変更」を参照してください。

8.5.3 クロック動作モードの変更

クロック動作モードを決めるモード制御端子 (MD2 ~ MD0) はパワーオンリセット時および STBCR の MDCHG ビットを 1 にしたときのソフトウェアスタンバイ時にその値が取り込まれます。

また、MDCHG ビットを 1 にしてから FRQCR を変更すると、ただちに設定されたクロックには切り替わりません。モード変更のために行うソフトウェアスタンバイ解除後の通倍率や分周率として反映されます。これを利用するとモード変更後に再度通倍率を変更する必要がなく、PLL 安定化時間を削減することが可能です。

これらソフトウェアスタンバイ時のモード変更は、以下の手順で行います。

1. MD2 ~ MD0 を変更するクロック動作モードに設定してください。
2. STBCR の STBY ビットと MDCHG ビットを 1 に設定してください。
3. WDT に、指定された発振安定時間になるように値をセットし、WDT を停止します。
4. FRQCR をモード変更後の値に設定します。この際 STC2 ~ STC0 ビットを目的とする通倍率に設定してください。同時に PFC2 ~ PFC0 ビットに分周率を設定することも可能です。変更前モードで動作中は設定されたクロックに切り替わりません。
5. SLEEP 命令を用いてソフトウェアスタンバイモードへ遷移してください。
6. 割り込みによりソフトウェアスタンバイモードを解除してください。
7. ソフトウェアスタンバイ解除後、モード変更前に設定した FRQCR の値で動作を開始します。

【注】

1. MD2 ~ MD0 の設定はモード変更前の動作中あるいは割り込み前のソフトウェアスタンバイ中に行ってください。
2. 上記手順 6 の割り込みによる割り込み処理ルーチン内で、STBCR の STBY ビットをクリアしてください。STBY ビットをクリアしないと、再びソフトウェアスタンバイモードに遷移してしまいます。詳細は「10.5.2 ソフトウェアスタンバイモードの解除」を参照してください。
3. 一度 STC2 ~ STC0 ビットの値を変更すると、その後 PFC2 ~ PFC0 ビットのみを変更しても設定されたクロックに切り替わりません。MDCHG ビットを 1 にしてから STC2 ~ STC0 ビットを変更した後は FRQCR の設定はクロックモードが、変更されるまで行わないでください。

8.6 ボード設計上の注意事項

(1) 外部水晶発振器使用時の注意

水晶発振器と容量 CL1、CL2 およびダンピング抵抗 R はできるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、振動子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

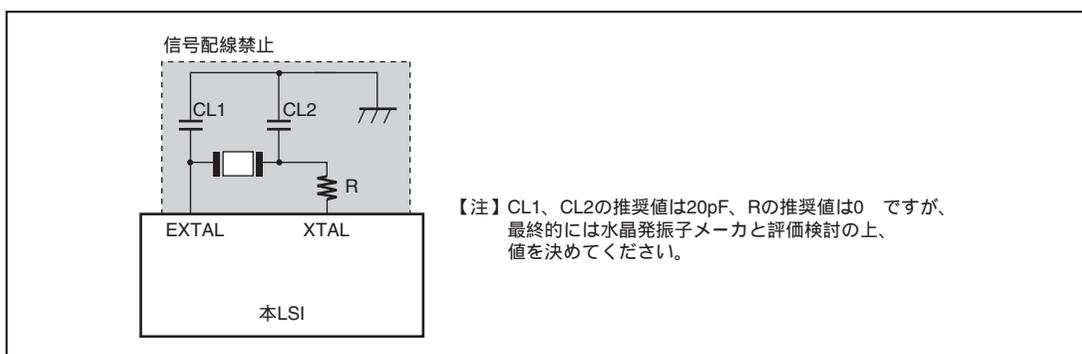


図 8.2 水晶発振器使用時の注意

(2) バイパスコンデンサについての注意

V_{SS} と V_{CC} のペアごとに積層セラミックコンデンサをパスコンとして入れてください。

パスコンは LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

- 内部論理用デジタル電源ペア

A4-B4、B11-A11、D15-D14、E2-E1、G12-G13、H4-H3、J12-J13、M1-M2、M8-N8、P5-R5

- 入出力用電源ペア

A1-B1、A7-B7、A15-A14、F15-F14、K1-K2、M12-P14、M15-M14、R1-R2、R10-P10、

- PLL用電源ペア

N13-N14、N13-P15

(3) PLL 発振回路使用時の注意

PLL 用 V_{CC} と V_{SS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と V_{CC}、V_{CCQ} のデジタル電源系は極力基板上で同一リソースを供給しないでください。

9. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などにより、カウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

WDT は 1 チャンネルのタイマであり、周辺クロックを入力とし、ソフトウェアスタンバイモードや、周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウンタ用としても使用します。また、インターバルタイマとしても使用可能です。

9.1 特長

- クロック安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、内部リセットを発生
カウンタオーバーフローにより、内部をリセットします。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
- 周辺クロックを分周した8種類のクロック ($\times 1 \sim \times 1/4096$) から選択できます。

9. ウォッチドッグタイマ (WDT)

WDT のブロック図を図 9.1 に示します。

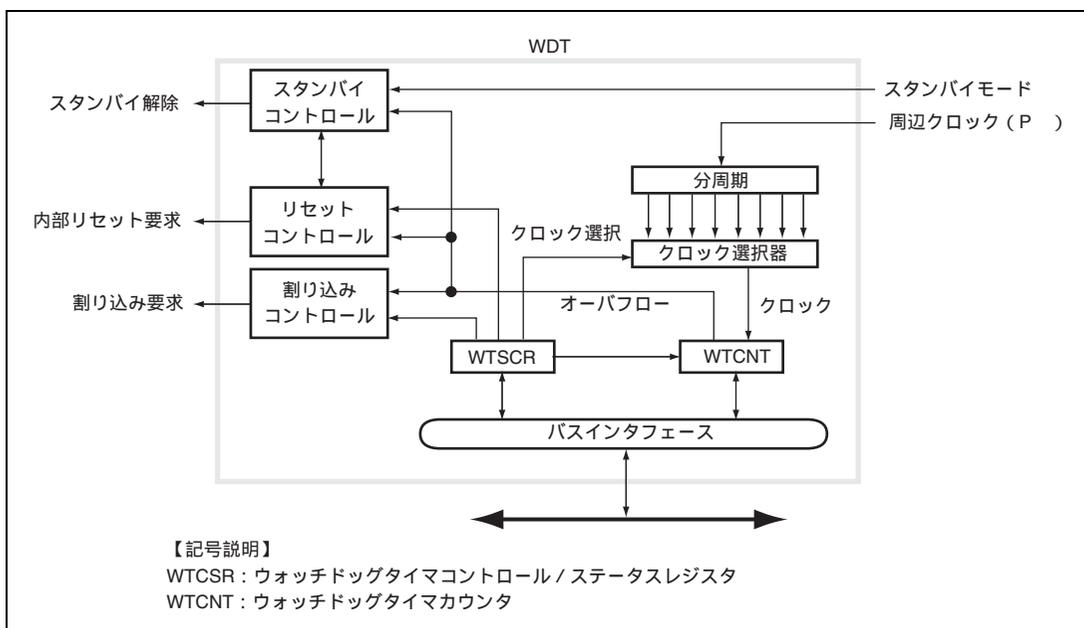


図 9.1 WDT のブロック図

9.2 WDT のレジスタの説明

WDT には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- ウォッチドッグタイマカウンタ (WTCNT)
- ウォッチドッグタイマコントロール/ステータスレジスタ (WTCNT)

9.2.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバーフローすると、ウォッチドッグタイマモードのときパワーオンリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT は WDT オーバフローによる内部パワーオンリセットでは初期化されません。端子入力によるパワーオンリセット時、または H-UDI リセット時には、H'00 に初期化されます。

WTCNT への書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは「9.2.3 レジスタアクセス時の注意」を参照してください。

9.2.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットから成ります。

WTCSR は WDT オーバフローによる内部パワーオンリセット時には値は保持されます。端子入力によるパワーオンリセット時、または H-UDI リセット時には、H'00 に初期化されます。ソフトウェアスタンバイ解除時のクロック安定時間のカウントに使用するときには、カウンタオーバフロー後、値は保持されます。

WTCSR への書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは「9.2.3 レジスタアクセス時の注意」を参照してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-----|-----|---|
| 7 | TME | 0 | R/W | <p>タイマイネーブル</p> <p>タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。</p> <p>0 : タイマディスエーブル。カウントアップを停止、WTCNT の値は保持 1 : タイマイネーブル</p> |
| 6 | WT/IT | 0 | R/W | <p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。</p> <p>0 : インターバルタイマモード 1 : ウォッチドッグタイマモード</p> <p>【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われないことがあります。</p> |
| 5 | - | 0 | R | <p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> |
| 4 | WOVF | 0 | R/W | <p>ウォッチドッグタイマオーバフロー</p> <p>ウォッチドッグタイマモードで WTCNT がオーバフローしたことを示します。インターバルタイマモードではセットされません。</p> <p>0 : オーバフローなし 1 : ウォッチドッグタイマモードで WTCNT がオーバフローした</p> |
| 3 | IOVF | 0 | R/W | <p>インターバルタイマオーバフロー</p> <p>インターバルタイマモードで WTCNT がオーバフローしたことを示します。ウォッチドッグタイマモードではセットされません。</p> <p>0 : オーバフローなし 1 : インターバルタイマモードで WTCNT がオーバフローした</p> |

9. ウォッチドッグタイマ (WDT)

| ビット | ビット名 | 初期値 | R/W | 説明 | |
|-----|------|-----|-----|--|--|
| 2 | CKS2 | 0 | R/W | クロックセレクト 2~0 | |
| 1 | CKS1 | 0 | R/W | 周辺クロック (P) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。括弧内に示すオーバフロー周期は、周辺クロック P = 25MHz の場合の値です。 000 : P (10 μs) 001 : P /4 (41 μs) 010 : P /16 (164 μs) 011 : P /32 (328 μs) 100 : P /64 (655 μs) 101 : P /256 (2.62 ms) 110 : P /1024 (10.49 ms) 111 : P /4096 (41.94 ms) | |
| 0 | CKS0 | 0 | R/W | | |
| | | | | | 【注】 WDT の動作中に CKS2 ~ CKS0 ビットを書き換えると、カウンタアップが正しく行われな場合があります。CKS2 ~ CKS0 ビットを書き換える場合は必ず WDT を停止させてください。 |

9.2.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

- WTCNT、WTCSRへ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送では、書き込みません。

図 9.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

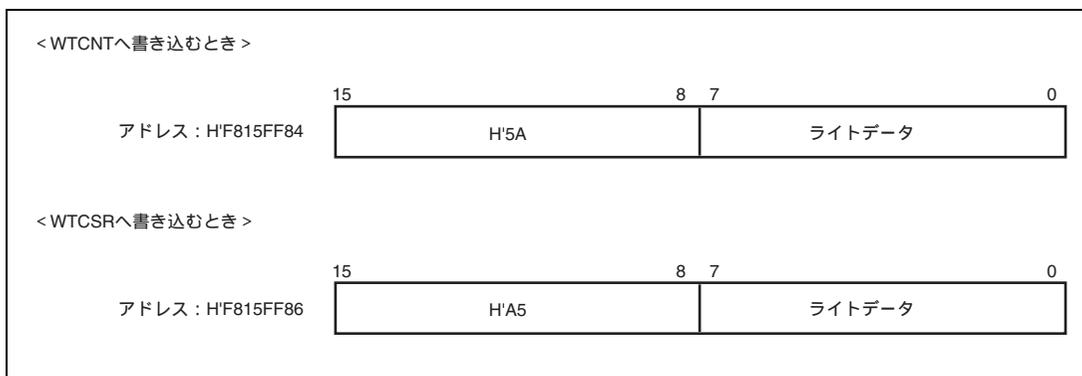


図 9.2 WTCNT、WTCSR への書き込み

9.3 WDT の動作説明

9.3.1 ソフトウェアスタンバイ解除の手順

WDT はソフトウェアスタンバイモードを NMI 割り込みまたは外部割り込み (IRQ) で解除する場合に使用します。この手順を以下に示します。(リセットで解除する場合 WDT は動作しないため、クロックが安定するまで $\overline{\text{RES}}$ 端子をローレベルに保ってください。)

1. ソフトウェアスタンバイモードへ遷移前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT にカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. SLEEP 命令実行によりソフトウェアスタンバイモードに遷移し、クロックは停止します。
4. NMI 端子や IRQ 端子への入力レベルに変化があるとエッジ検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、本 LSI が動作を再開します。このとき、WTCSR の WOVF フラグはセットされません。
6. WDT は H'00 からカウントを継続するので、割り込み処理プログラムの中で STBCR レジスタの STBY ビットを 0 にしてください。これにより、WDT のカウントが停止します。STBY ビットが 1 のままだと、WDT が H'80 までカウントした時点で再びソフトウェアスタンバイモードに入ります。このソフトウェアスタンバイモードはパワーオンリセットで解除してください。

9.3.2 周波数変更の手順

PLL 回路 1 の通倍率変更時に、WDT を使用します。分周器の切り換えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT にカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. 周波数制御レジスタ (FRQCR) の STC2 ~ STC0 ビットを書き換えると、プロセッサ内部は一時的に停止し、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開し、本 LSI が動作を再開します。このとき、WTCSR の WOVF フラグはセットされません。

9. ウォッチドッグタイマ (WDT)

5. WTCNTはH'00の値で停止します。
6. 周波数変更命令の後、WTCNTを書き換える場合には、WTCNTを読み出してH'00になっていることを確認してから書き換えてください。

9.3.3 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定し、CKS2~CKS0にカウントクロックの種類、WTCNTにカウンタの初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWTCSRのWOVFフラグを1にセットし、パワーオンリセットを発生します。この後WTCNTはカウントを続行します。

9.3.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ITビットに0をセットし、CKS2~CKS0ビットにカウントクロックの種類、WTCNTにカウンタの初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、WTCNTがオーバーフローするとWTCSRのIOVFフラグに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。WTCNTはカウントを続行します。

9.4 使用上の注意事項

WDTを使用する際は、以下のことに注意してください。

1. インターバルタイマモードで使用している場合、WDTCNTにH'FFを書き込むと直後のH'00ではオーバーフローが発生しません (WTCSRのIOVFセットされません)。1周期後のH'00までカウントした時点でオーバーフローが発生します。

なお、ウォッチドッグタイマモードで使用している場合は、本件は該当しません。

10. 低消費電力モード

本 LSI は低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、モジュールスタンバイ機能をサポートしています。

10.1 特長

- スリープ/ソフトウェアスタンバイ/モジュールスタンバイをサポートします。

10.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能（キャッシュ、Uメモリ、UBC、H-UDI、および内蔵周辺モジュール）

プログラム実行状態から各モードへ遷移する方法、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 10.1 に示します。

表 10.1 低消費電力モードの状態

| 低消費電力モード | 遷移方法 | 状態 | | | | | | 解除方法 |
|----------------|--------------------------------------|-----|-----|----------|-------------------|------------|----|---------------------------------------|
| | | CPG | CPU | CPU レジスタ | 内蔵メモリ | 内蔵周辺モジュール | 端子 | |
| スリープモード | STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行 | 動作 | 停止 | 保持 | 停止（内容は保持） | 動作 | 保持 | (1) 割り込み（ユーザブレイク除く） (2) リセット |
| ソフトウェアスタンバイモード | STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行 | 停止 | 停止 | 保持 | 停止（内容は保持） | 停止 | 保持 | (1) NMI、IRQ (2) リセット |
| モジュールスタンバイ機能 | STBCR2~4 の MSTP ビットを 1 とする | 動作 | 動作 | 保持 | 指定モジュールが停止（内容は保持） | 指定モジュールが停止 | 保持 | (1) MSTP ビットを 0 にクリア (2) パワーオンリセット |

10. 低消費電力モード

10.2 入出力端子

低消費電力モード関連の端子構成を表 10.2 に示します。

表 10.2 端子構成

| 端子名 | 略称 | 入出力 | 機能 |
|----------|-----|-----|----------------------|
| リセット入力端子 | RES | 入力 | リセット入力信号。ローレベルでリセット。 |

10.3 レジスタの説明

消費電力モードに関連するレジスタには、以下のものがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- スタンバイコントロールレジスタ (STBCR)
- スタンバイコントロールレジスタ2 (STBCR2)
- スタンバイコントロールレジスタ3 (STBCR3)
- スタンバイコントロールレジスタ4 (STBCR4)

10.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力モードの状態を指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-------|-----|---|
| 7 | STBY | 0 | R/W | スタンバイ ソフトウェアスタンバイモードへの実行を指定します。 0 : SLEEP 命令の実行で、スリープモードへ遷移 1 : SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移 |
| 6~4 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 3 | MDCHG | 0 | R/W | MD2 ~ MD0 端子制御 ソフトウェアスタンバイモード中に MD2 ~ MD0 端子の値を取り込むかどうかを設定します。MDCHG ビットを 1 にセットするとソフトウェアスタンバイモードから割り込みで復帰する際に MD2 ~ MD0 端子の値を取り込みます。 0 : ソフトウェアスタンバイモード中に MD2 ~ MD0 端子の値を取り込まない 1 : ソフトウェアスタンバイモード中に MD2 ~ MD0 端子の値を取り込む |
| 2~0 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

10.3.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-------|-----|---|
| 7 | MSTP10 | 0 | R/W | モジュールストップビット 10 本ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止 |
| 6 | MSTP9 | 0 | R/W | モジュールストップビット 9 本ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止 |
| 5~3 | - | すべて 0 | R | リザーブビットです。 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 2 | MSTP5 | 0 | R/W | モジュールストップビット 5 本ビットを 1 にセットするとキャッシュメモリへのクロックの供給を停止します。 0 : キャッシュメモリは動作 1 : キャッシュメモリへのクロック供給を停止 |
| 1 | MSTP4 | 0 | R/W | モジュールストップビット 4 本ビットを 1 にセットすると Uメモリへのクロックの供給を停止します。 0 : Uメモリは動作 1 : Uメモリへのクロック供給を停止 |
| 0 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

10.3.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-------|-----|---|
| 7~5 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 4 | MSTP15 | 0 | R/W | モジュールストップビット 15 本ビットを 1 にセットすると CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロック供給を停止 |

10. 低消費電力モード

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-----|-----|---|
| 3 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 2 | MSTP13 | 0 | R/W | モジュールストップビット 13 本ビットを1にセットすると SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロック供給を停止 |
| 1 | MSTP12 | 0 | R/W | モジュールストップビット 12 本ビットを1にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロック供給を停止 |
| 0 | MSTP11 | 0 | R/W | モジュールストップビット 11 本ビットを1にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止 |

10.3.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットレジスタで、低消費電力時の各モジュールの動作を制御します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|------|-----|---|
| 7~5 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 4 | MSTP23 | 0 | R/W | モジュールストップビット 23 本ビットを1にセットすると HIF へのクロックの供給を停止します。 0 : HIF は動作 1 : HIF へのクロック供給を停止 |
| 3~1 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| 0 | MSTP19 | 0 | R/W | モジュールストップビット 19 本ビットを1にセットすると EtherC、および E-DMAC へのクロックの供給を停止します。 0 : EtherC、および E-DMAC は動作 1 : EtherC、および E-DMAC へのクロック供給を停止 |

10.4 スリープモード

10.4.1 スリープモードへの遷移

STBCRのSTBYビットが0の状態、SLEEP命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPUはSLEEP命令実行後に停止しますが、CPUのレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO端子にはクロックが出力され続けます。

10.4.2 スリープモードの解除

スリープモードは、ユーザブレイクを除く割り込み（NMI、H-UDI、IRQ、内蔵周辺）、リセットにより解除されます。

（1）割り込みによる解除

ユーザブレイク、NMI、H-UDI、IRQ、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。ただし、IRQや内蔵周辺の割り込みについては、その割り込み優先レベルがCPUのステータスレジスタ（SR）に設定されている割り込みマスクレベル以下の場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

（2）リセットによる解除

パワーオンリセットまたはH-UDIリセットにより、スリープモードは解除されます。

10.5 ソフトウェアスタンバイモード

10.5.1 ソフトウェアスタンバイモードへの遷移

STBCRのSTBYビットが1の状態ではSLEEP命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPUだけでなくクロックや内蔵周辺モジュールも停止します。CKIO端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタの状態を表10.3に示します。

表 10.3 ソフトウェアスタンバイモード時のレジスタの状態

| モジュール | 初期化レジスタ | 内容が保持されるレジスタ |
|--|---------|--------------|
| 割り込みコントローラ (INTC) | - | 全レジスタ |
| クロック発振器 (CPG) | - | 全レジスタ |
| ユーザブレイクコントローラ (UBC) | - | 全レジスタ |
| バスステートコントローラ (BSC) | - | 全レジスタ |
| イーサネットコントローラ (EtherC) | - | 全レジスタ |
| イーサネットコントローラ用ダイレクトメモリアクセス コントローラ (E-DMAC) | - | 全レジスタ |
| I/Oポート | - | 全レジスタ |
| ユーザデバッグインタフェース (H-UDI) | - | 全レジスタ |
| FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF0~2) | - | 全レジスタ |
| コンペアマッチタイマ (CMT0~1) | 全レジスタ | - |
| ホストインタフェース (HIF) | - | 全レジスタ |

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) を0にセットし、WTCSRレジスタのCKS2~CKS0ビットに、指定された発振安定時間になるように、値を設定します。
3. STBCRのSTBYビットに1を設定した後、SLEEP命令を実行させます。
4. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止します。

10.5.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）、リセットにより、解除されます。

（１）割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRQ 割り込みが検出されると、WDT のタイマコントロール/ステータスレジスタに設定されている時間が経過した後、LSI 全体にクロックが供給され、ソフトウェアスタンバイモードが解除されます。この後、割り込み例外処理が実行されます。割り込み処理ルーチンに分岐後、STBCR の STBY ビットをクリアしてください。WTCNT は自動的に停止します。STBY ビットをクリアしないと、WTCNT は動作を継続し、H'80 に達した時点でソフトウェアスタンバイモード*に遷移してしまいます。この機能により、電源不安定時などの電圧上昇によるデータ破壊を防止できます。

ただし、IRQ については IRQCR の IRQn1S、IRQn0S≠B'00（ローレベル検出以外の設定）となっていて、さらに指定された検出条件に合致した入力変化が起きた時のみ、ソフトウェアスタンバイモードが解除されます。また、IRQ の割り込み優先レベルが CPU のステータスレジスタ（SR）に設定されている割り込みマスクレベル以下の場合には、ソフトウェアスタンバイモード解除後に、SLEEP 命令の次の命令から実行を再開し、IRQ の割り込み優先レベルが CPU のステータスレジスタ（SR）に設定されている割り込みマスクレベルより大きい場合には、ソフトウェアスタンバイモード解除後に IRQ 割り込み例外処理を実行します。

【注】 * このソフトウェアスタンバイモードは、パワーオンリセットでのみ解除可能です。

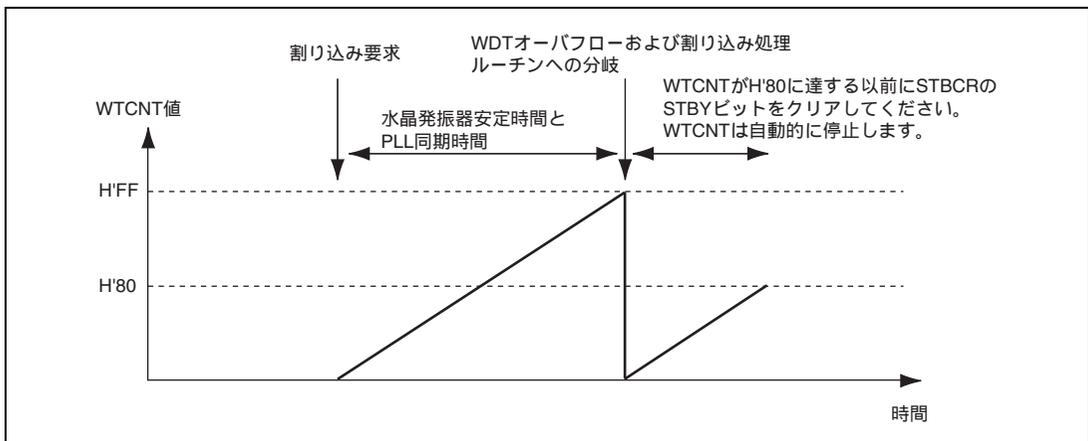


図 10.1 STBCR の STBY ビットとスタンバイモードの解除

（２）リセットによる解除

パワーオンリセットにより、ソフトウェアスタンバイモードは解除されます。 $\overline{\text{RES}}$ 端子はクロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

10.6 モジュールスタンバイ機能

10.6.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタ2~4 (STBCR2~4) の各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時の消費電力を低減させることができます。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、内蔵周辺モジュールおよびポート設定により異なります。レジスタは一部を除いて停止前の状態を保持します。

10.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、STBCR2~4 の各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。

11. イーサネットコントローラ (EtherC)

本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格に準拠したイーサネットコントローラ (EtherC) を内蔵しています。EtherC は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット / IEEE802.3 フレームの送受信を行うことができます。本 LSI 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しています。また、イーサネットコントローラは、本 LSI 内部でイーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC) に接続されており、メモリとの高速アクセスが可能です。

図 11.1 に EtherC の構成を示します。

11.1 特長

- イーサネット / IEEE802.3 フレームの送受信
- 10Mbps および 100Mbps 転送への対応
- 全二重モードおよび半二重モード対応
- IEEE802.3u 規格の MII (Media Independent Interface) 対応
- Magic Packet の検出および Wake-On-LAN (WOL) 信号の出力
- IEEE802.3x 規格のフロー制御準拠

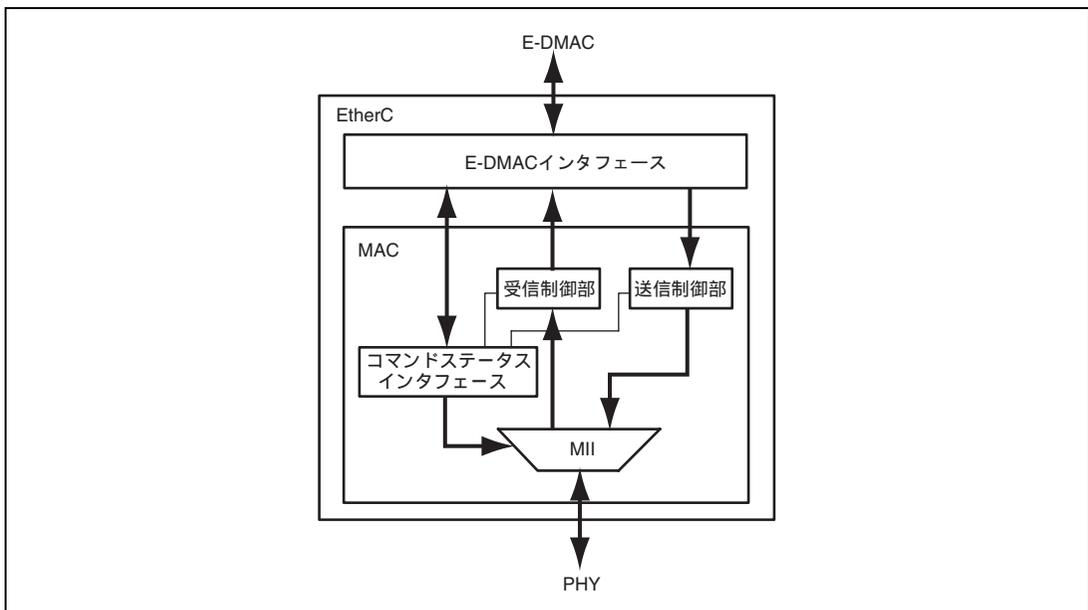


図 11.1 EtherC の構成

11. イーサネットコントローラ (EtherC)

11.2 入出力端子

EtherC の端子構成を表 11.1 に示します。

表 11.1 端子構成

| 名 称 | 系 | 記号 | 入出力 | 機 能 |
|------------|---|----------------------|-----|--|
| 送信クロック | 0 | TX-CLK* | 入力 | TX-EN、MII_TXD3 ~ MII_TXD0、TX-ER のタイミング参照信号 |
| 受信クロック | 0 | RX-CLK* | 入力 | RX-DV、MII_RXD3 ~ MII_RXD0、RX-ER のタイミング参照信号 |
| 送信イネーブル | 0 | TX-EN* | 出力 | MII_TXD3 ~ MII_TXD0 上に送信データが準備できたことを示す信号 |
| 送信データ | 0 | MII_TXD3 ~ MII_TXD0* | 出力 | 4 ビットの送信データ |
| 送信エラー | 0 | TX-ER* | 出力 | 送信中のエラーを PHY-LSI に通知 |
| 受信データ有効 | 0 | RX-DV* | 入力 | 有効な受信データが MII_RXD3 ~ MII_RXD0 上にあることを示す信号 |
| 受信データ | 0 | MII_RXD3 ~ MII_RXD0* | 入力 | 4 ビットの受信データ |
| 受信エラー | 0 | RX-ER* | 入力 | データ受信中に発生したエラー状態を認識 |
| キャリア検出 | 0 | CRS* | 入力 | キャリア検出信号 |
| 衝突検出 | 0 | COL* | 入力 | 衝突検出信号 |
| 管理用データクロック | 0 | MDC* | 出力 | MDIO による情報転送用の参照クロック信号 |
| 管理用データ入出力 | 0 | MDIO* | 入出力 | STA と PHY との間で管理情報を交換するための双方向信号 |
| リンクステータス | 0 | LNKSTA | 入力 | PHY-LSI からのリンク状態入力 |
| 汎用外部出力 | 0 | EXOUT | 出力 | 外部出力用端子 |
| ウェイク・オン・ラン | 0 | WOL | 出力 | Magic Packet 受信を示す信号 |

【注】 * IEEE802.3u 準拠の MII 信号

11.3 レジスタの説明

EtherC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 20 章 レジスタ一覧」を参照してください。

MAC 層インタフェース制御レジスタ

- EtherCモードレジスタ (ECMR)
- EtherCステータスレジスタ (ECSR)
- EtherC割り込み許可レジスタ (ECSIPR)
- PHY部インタフェースレジスタ (PIR)
- MACアドレス上位設定レジスタ (MAHR)
- MACアドレス下位設定レジスタ (MALR)
- 受信フレーム長上限レジスタ (RFLR)
- PHY部ステータスレジスタ (PSR)
- 送信リトライオーバーカウンタレジスタ (TROCR)
- 遅延衝突検出カウンタレジスタ (CDCR)
- キャリア消失カウンタレジスタ (LCCR)
- キャリア未検出カウンタレジスタ (CNDCR)
- CRCエラーフレーム受信カウンタレジスタ (CEFCR)
- フレーム受信エラーカウンタレジスタ (FRECR)
- 64バイト未満フレーム受信カウンタレジスタ (TSFCR)
- 指定バイト超フレーム受信カウンタレジスタ (TLFCR)
- 端数ビットフレーム受信カウンタレジスタ (RFCR)
- マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)
- IPG設定レジスタ (IPGR)
- 自動PAUSEフレーム設定レジスタ (APR)
- 手動PAUSEフレーム設定レジスタ (MPR)
- 自動PAUSEフレーム再送回数設定レジスタ (TPAUSER)

11. イーサネットコントローラ (EtherC)

11.3.1 EtherC モードレジスタ (ECMR)

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、イーサネットコントローラの動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合は、EDMR の SWR ビットにより、EtherC および E-DMAC を初期状態に戻してから再設定を行います。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|-------|-------|-----|---|
| 31~20 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 19 | ZPF | 0 | R/W | 0 time PAUSE フレーム使用許可 0 : TIME パラメータが 0 の PAUSE フレーム制御を無効にする Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。 Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。 1 : TIME パラメータが 0 の PAUSE フレーム制御を有効にする Timer 値の示す時間が経過していない状態で、受信 FIFO のデータ量が FCFTR 設定値未満になると Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。 |
| 18 | PFR | 0 | R/W | PAUSE フレーム受信モード 0 : PAUSE フレームを E-DMAC へ転送しません 1 : PAUSE フレームを E-DMAC へ転送します |
| 17 | RXF | 0 | R/W | 受信系フロー制御動作モード 0 : PAUSE フレームの検出機能が無効になります 1 : 受信系のフロー制御機能が有効になります |
| 16 | TXF | 0 | R/W | 送信系フロー制御動作モード 0 : 送信系のフロー制御機能が無効になります (自動 PAUSE フレームは送信されません) 1 : 送信系のフロー制御機能が有効になります (必要に応じて自動 PAUSE フレームが送信されます) |
| 15~13 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 12 | PRCEF | 0 | R/W | CRC エラーフレーム受信許可 0 : CRC エラーとなった受信フレームを「エラーあり」のフレームとして受信する 1 : CRC エラーとなった受信フレームを「エラーなし」のフレームとして受信する 「エラーあり」の場合、E-DMAC の ECSR および受信ディスクリプタのステータスに CRC エラーが反映されます。「エラーなし」の場合、正常なフレームとして受信します。 |

11. イーサネットコントローラ (EtherC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|------|-----|---|
| 11、10 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 9 | MPDE | 0 | R/W | Magic Packet 検出許可 イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet の検出機能を許可するかしないかの選択を行います。 0 : Magic Packet の検出を許可しない 1 : Magic Packet の検出を許可する |
| 8、7 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 6 | RE | 0 | R/W | 受信許可 本ビットを受信機能有効 (RE = 1) から無効 (RE = 0) としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0 : 受信機能を無効にする 1 : 受信機能を有効にする |
| 5 | TE | 0 | R/W | 送信許可 本ビットを送信機能有効 (TE = 1) から無効 (TE = 0) としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0 : 送信機能を無効にする 1 : 送信機能を有効にする |
| 4 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 3 | ILB | 0 | R/W | 内部ループバックモード EtherC 内部でのループバックモードを指定します。 0 : 通常データ送受信を行う 1 : DM = 1 のとき、EtherC 内の MAC 内部でのデータの折り返しを行う |
| 2 | ELB | 0 | R/W | 外部ループバックモード 本ビットの値は、本 LSI の汎用外部出力端子 (EXOUT) にそのまま出力されず、EXOUT 端子を用いて PHY-LSI におけるループバックモードの指示などに利用します。本機能によって PHY-LSI でのループバック機能を実現する場合は、PHY-LSI に EXOUT 端子に対応する端子があることが必要です。 0 : EXOUT 端子は、ローレベルを出力する 1 : EXOUT 端子は、ハイレベルを出力する |
| 1 | DM | 0 | R/W | デュプレックスモード EtherC の転送方式を指示します。 0 : 半二重転送方式を指定する 1 : 全二重転送方式を指定する |

11. イーサネットコントローラ (EtherC)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|---|
| 0 | PRM | 0 | R/W | <p>プロミスキャスモード</p> <p>本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。</p> <p>0 : EtherC は、通常動作を行う 1 : EtherC は、プロミスキャスモード動作を行う</p> |

11.3.2 EtherC ステータスレジスタ (ECSR)

ECSR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PSRTO、LCHNG、MPD、ICD ビットに 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR レジスタの対応するビットによって割り込みを許可または禁止することができます。

本ステータスレジスタが要因で発生する割り込みは、E-DMAC の EESR レジスタ ECI ビットに反映されます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|-------|-------|-----|---|
| 31~5 | - | すべて 0 | R | <p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p> |
| 4 | PSRTO | 0 | R/W | <p>PAUSE フレーム再送リトライオーバ</p> <p>フロー制御を用いる際の PAUSE フレームの再送において、再送回数が自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) に設定した再送上限値を超えたことを表します。</p> <p>0 : PAUSE フレーム再送回数が上限値を超えていない 1 : PAUSE フレーム再送回数が上限値を超えた</p> |
| 3 | - | 0 | R | <p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p> |
| 2 | LCHNG | 0 | R/W | <p>リンク信号変化</p> <p>PHY-LSI から入力される LNKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。</p> <p>現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LM0N ビットを参照してください。</p> <p>0 : LNKSTA 信号の変化を検出していない 1 : LNKSTA 信号の変化 (ハイレベル ローレベルあるいはローレベル ハイレベル) を検出した</p> |

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|---|
| 1 | MPD | 0 | R/W | Magic Packet 検出 回線上から Magic Packet を検出したことを表します。 0 : Magic Packet を検出していない 1 : Magic Packet を検出した |
| 0 | ICD | 0 | R/W | 不正キャリア検出 回線上で PHY-LSI が不正なキャリアを検出したことを表します。すなわち、PHY-LSI から本 LSI へ通知される信号が RX-DV=0 かつ RX-ER=1 かつ MII-RXD3~0=1110 の組み合わせとなった場合、本ビットがセットされます。 (図 11.4 (6) 参照) ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。 0 : PHY-LSI は、回線上で不正キャリアを検出していない 1 : PHY-LSI は、回線上で不正キャリアを検出した |

11.3.3 EtherC 割り込み許可レジスタ (ECSIPR)

ECSIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ECSR レジスタによって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|---------|-------|-----|---|
| 31~5 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 4 | PSRTOIP | 0 | R/W | Pause フレーム再送リトライオーバー割り込み許可ビット 0 : PSRTO の割り込み通知を禁止 1 : PSRTO の割り込み通知を許可 |
| 3 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 2 | LCHNGIP | 0 | R/W | リンク信号変化割り込み許可ビット 0 : LCHNG の割り込み通知を禁止 1 : LCHNG の割り込み通知を許可 |
| 1 | MPDIP | 0 | R/W | Magic Packet 検出割り込み許可ビット 0 : MPD の割り込み通知を禁止 1 : MPD の割り込み通知を許可 |
| 0 | ICDIP | 0 | R/W | 不正キャリア検出割り込み許可ビット 0 : ICD の割り込み通知を禁止 1 : ICD の割り込み通知を許可 |

11. イーサネットコントローラ (EtherC)

11.3.4 PHY 部インタフェースレジスタ (PIR)

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|--|
| 31~4 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 3 | MDI | 不定 | R | MII マネージメントデータイン MDIO 端子のレベルを表します。 |
| 2 | MDO | 0 | R/W | MII マネージメントデータアウト MMD ビットが 1 のとき、本ビットに設定された値を MDIO 端子より出力します。 |
| 1 | MMD | 0 | R/W | MII マネージメントモード MII とのデータのリード/ライト方向を規定します。 0 : リード方向を規定 1 : ライト方向を規定 |
| 0 | MDC | 0 | R/W | MII マネージメントデータクロック 本ビットに設定された値を MDC 端子より出力し、MII へのマネージメントデータクロックを供給します。MII レジスタへのアクセス方法については、「11.4.4 MII レジスタのアクセス方法」を参照してください。 |

11.3.5 MAC アドレス上位設定レジスタ (MAHR)

MAHR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|---------------|-------|-----|--|
| 31~0 | MA47~ MA16 | すべて 0 | R/W | MAC アドレスビット MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。 |

11.3.6 MAC アドレス下位設定レジスタ (MALR)

MALR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|--------------|------|-----|---|
| 31~16 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 15~0 | MA15~ MA0 | すべて0 | R/W | MAC アドレスビット 15~0 MAC アドレスの低位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。 |

11.3.7 受信フレーム長上限レジスタ (RFLR)

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|----------------|------|-----|---|
| 31~12 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 11~0 | RFL11~ RFL0 | すべて0 | R/W | 受信フレームデータ長 11~0 ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されず、CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。 H'000~H'5EE : 1,518 バイト H'5EF : 1,519 バイト H'5F0 : 1,520 バイト : : H'7FF : 2,047 バイト H'800~H'FFF : 2,048 バイト |

11.3.8 PHY 部ステータスレジスタ (PSR)

PSR は、読み出し専用のレジスタで、PHY-LSI からのインタフェース信号を読み込むことができます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|------|-----|---|
| 31~1 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 0 | LMON | 不定 | R | LNKSTA 端子状態 LNKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。 |

11. イーサネットコントローラ (EtherC)

11.3.9 送信リトライオーバーカウンタレジスタ (TROCR)

TROCR は、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示す 32 ビットのカウンタです。送信を 16 回失敗すると、本レジスタは 1 カウントアップします。本レジスタの値が、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------------------|-------|-----|---|
| 31~0 | TROCR31 ~TROCR0 | すべて 0 | R/W | 送信リトライオーバーカウンタ 送信時に、再送を合わせて 16 回の試行で送信できなかったフレームのカウンタ数を表します。 |

11.3.10 遅延衝突検出カウンタレジスタ (CDCR)

CDCR は、送信開始以降すべての回線の遅延衝突回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------------------|-------|-----|--|
| 31~0 | COSDC31 ~COSDC0 | すべて 0 | R/W | 遅延衝突検出カウンタ 送信開始からのすべての遅延衝突の回数を表します。 |

11.3.11 キャリア消失カウンタレジスタ (LCCR)

LCCR は、データの送信中にキャリアが消失した回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|-------|-----|---|
| 31~0 | LCCR31~ LCCR0 | すべて 0 | R/W | 消失キャリアカウンタ データ送信中に消失したキャリアのカウンタ数を表します。 |

11.3.12 キャリア未検出カウンタレジスタ (CNDCR)

CNDCR は、プリアンプルを送出中にキャリアを検出できなかった回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------------------|-------|-----|------------------------------------|
| 31~0 | CNDCR31 ~CNDCR0 | すべて 0 | R/W | キャリア未検出カウンタ 未検出キャリアのカウンタ数を表します。 |

11.3.13 CRC エラーフレーム受信カウンタレジスタ (CEFCR)

CEFCR は、CRC エラーとなったフレームの受信回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|-------|-----|--|
| 31~0 | CEFC31~ CEFC0 | すべて 0 | R/W | CRC エラーフレームカウント CRC エラーとなったフレームを受信したカウント数を表します。 |

11.3.14 フレーム受信エラーカウンタレジスタ (FRECR)

FRECR は、PHY-LSI から入力される RX-ER 端子により受信エラーとなったフレームの個数を示す 32 ビットのカウンタです。RX-ER 端子がアクティブになるごとに 1 カウントアップします。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------------------|-------|-----|--|
| 31~0 | FRECR31~ FRECR0 | すべて 0 | R/W | フレーム受信エラーカウント フレームを受信中にエラーとなったカウント数を表します。 |

11.3.15 64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)

TSFRCR は、64 バイト未満のフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------------------|-------|-----|---|
| 31~0 | TSFRC31~ TSFRC0 | すべて 0 | R/W | 64 バイト未満フレーム受信カウント 64 バイト未満のフレームを受信したカウント数を表します。 |

11.3.16 指定バイト超フレーム受信カウンタレジスタ (TLFRCR)

TLFRCR は、受信フレーム長上限レジスタ (RFLR) で指定した値を超えるフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) に反映されます。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------------------|-------|-----|---|
| 31~0 | TLFRC31~ TLFRC0 | すべて 0 | R/W | 指定バイト超フレーム受信カウント RFLR の値を超えるフレームを受信したカウント数を表します。 |

11. イーサネットコントローラ (EtherC)

11.3.17 端数ビットフレーム受信カウンタレジスタ (RFCR)

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|----------------|-------|-----|--|
| 31~0 | RFC31~ RFC0 | すべて 0 | R/W | 端数ビットフレーム受信カウンタ 端数ビットデータを含むフレームを受信したカウント数を表します。 |

11.3.18 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

MAFCR は、マルチキャストアドレスを指定するフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|-------|-----|--|
| 31~0 | MAFC31 ~MAFC0 | すべて 0 | R/W | マルチキャストアドレスフレームカウンタ マルチキャストフレームを受信したカウント数を表します。 |

11.3.19 IPG 設定レジスタ (IPGR)

IPGR は、IPG (InterPacketGap) の値を設定するレジスタです。EtherC モードレジスタ (ECMR) の送受信機能が有効な状態での書き換えは、禁止します (詳細は「11.4.6 IPG 設定による動作」を参照してください)。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|---------------|-------|-----|--|
| 31~5 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 4~0 | IPG4~ IPG0 | H'14 | R/W | Inter Packet Gap 4 ビット時間ごとに IPG 値を設定します。 H'00 : 16 ビット時間 H'01 : 20 ビット時間 : : H'14 : 96 ビット時間 (初期値) : : H'1F : 140 ビット時間 |

11.3.20 自動 PAUSE フレーム設定レジスタ (APR)

APR は、自動 PAUSE フレームの TIME パラメータ値を設定します。

自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|----------|-------|-----|--|
| 31～16 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 15～0 | AP15～AP0 | すべて 0 | R/W | 自動 PAUSE 自動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。 |

11.3.21 手動 PAUSE フレーム設定レジスタ (MPR)

MPR は、手動 PAUSE フレームの TIME パラメータ値を設定します。

手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|----------|-------|-----|---|
| 31～16 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 15～0 | MP15～MP0 | すべて 0 | R/W | 手動 PAUSE 手動 PAUSE フレームの TIME パラメータ値を設定します。このとき 1 ビットは、512 ビット時間を表します。読み出すと不定値が読み出されます。 |

11.3.22 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)

TPAUSER は、自動 PAUSE フレームの再送回数の上限値を設定します。本レジスタは、送信機能が有効な状態での書き換えを禁止します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|--------------------------|-------|-----|--|
| 31～16 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 15～0 | TPAUSE15 ～ TPAUSE0 | すべて 0 | R/W | 自動 PAUSE フレーム再送回数上限値 H'0000 : 再送回数無制限 H'0001 : 再送回数は、1 回 : : H'FFFF : 再送回数は、65535 回 |

11.4 動作説明

イーサネットコントローラ (EtherC) の動作の概要を以下に示します。

イーサネットコントローラ (EtherC) は、IEEE802.3x に準拠した制御をサポートしており、使用される Pause フレームの送信および受信が可能です。

11.4.1 送信動作

EtherC 送信部は、送信 E-DMAC から送信要求があると、送信データをフレームに組み立てて MII に出力します。MII を経由した送信データは、PHY-LSI によって回線に送出されます。Ether-C 送信部の状態遷移図を図 11.2 に示します。

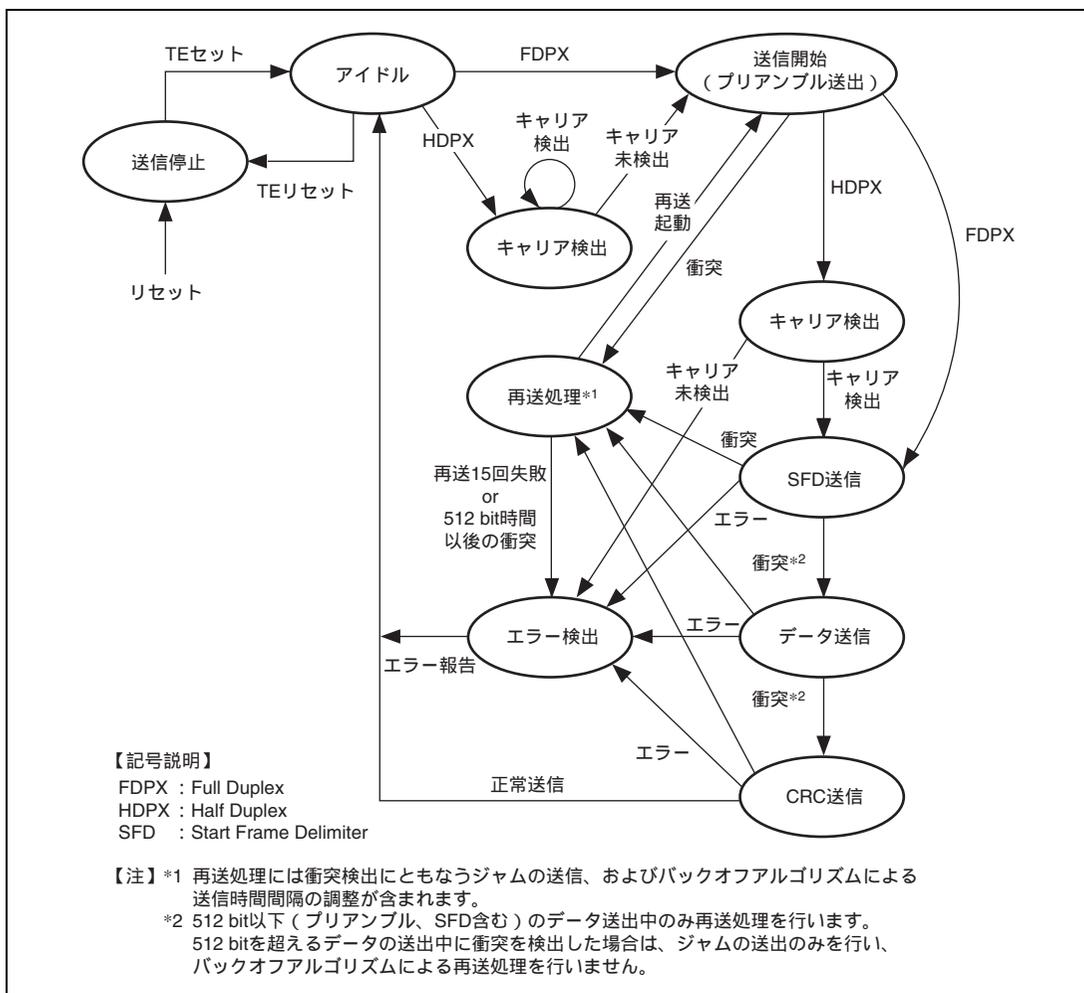


図 11.2 EtherC 送信部状態遷移図

1. 送信許可 (TE) ビットがセットされると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があるとEtherCは、キャリア検出、フレーム間隔時間の送信延期を経てプリアンブルをMIIに送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACが送信終了割り込み (TC) を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を継続します。

11.4.2 受信動作

EtherC 受信部は、MII より入力されたフレームをプリアンブル、SFD、データおよび CRC データに分解し、受信 E-DMAC には DA (宛先アドレス) から CRC データまでを出力します。EtherC 受信部の状態遷移図を図 11.3 に示します。

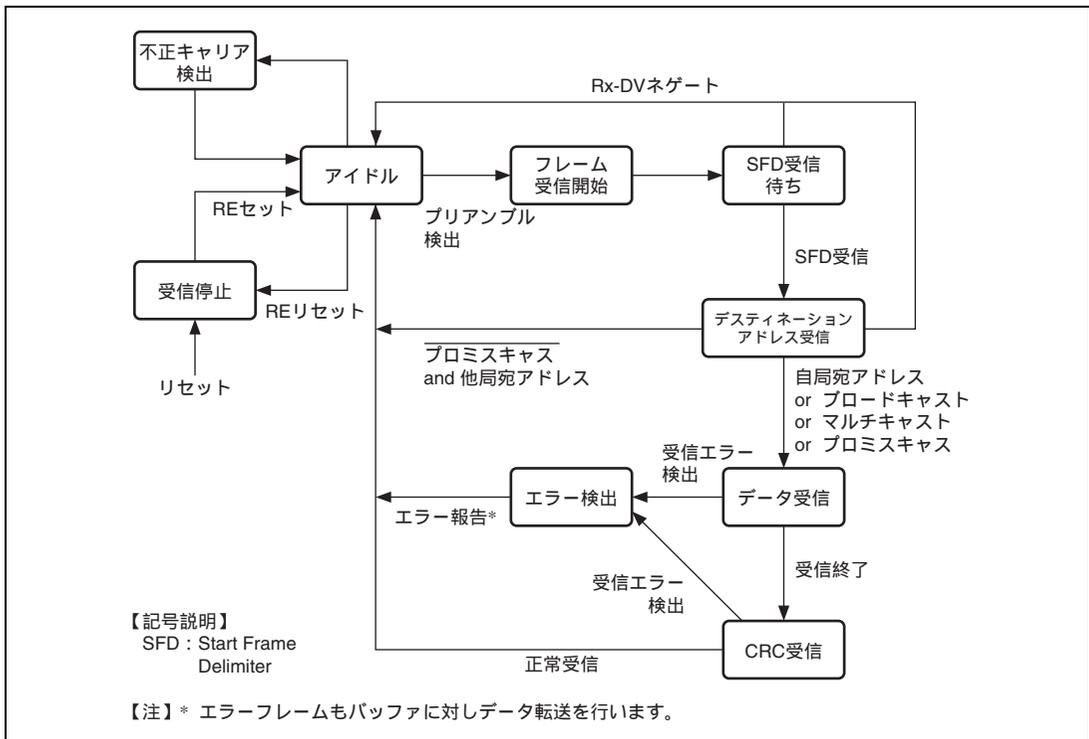


図 11.3 EtherC 受信部状態遷移図

11. イーサネットコントローラ (EtherC)

1. 受信許可 (RE) ビットがセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンプルに続くSFD (スタートフレームデリミタ)を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのデスティネーションアドレスが本LSI宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. MIIからのデータ受信後、フレームデータ部のCRCチェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。
5. 1フレームを受信後、EtherCモードレジスタ内の受信許可ビットが設定 (RE=1) されていると、次のフレーム受信に備えます。

11.4.3 MII フレームタイミング

各種 MII フレームのタイミングを図 11.4 に示します。

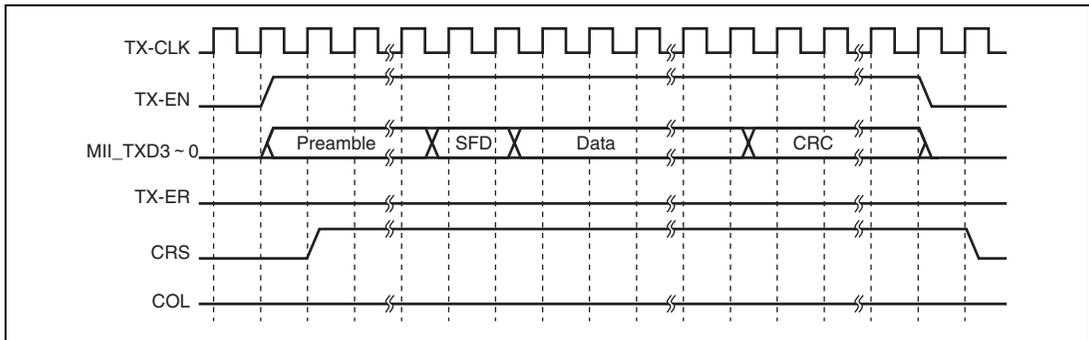


図 11.4 (1) MII フレーム送信タイミング (正常時)

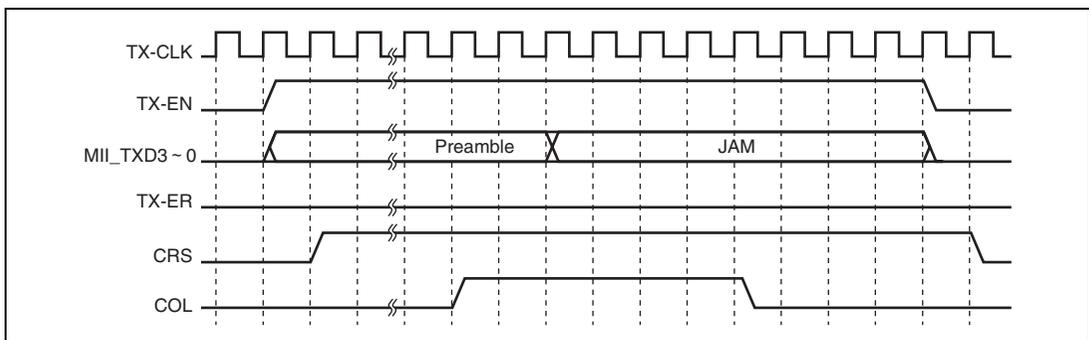


図 11.4 (2) MII フレーム送信タイミング (衝突発生)

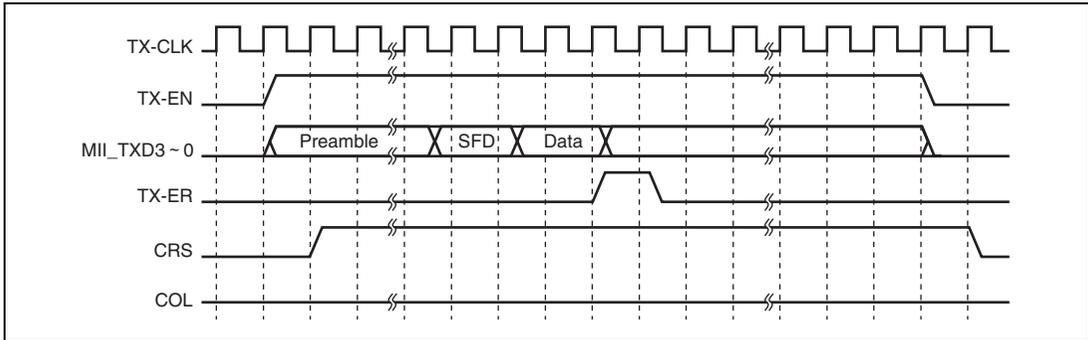


図 11.4 (3) MII フレーム送信タイミング (送信エラー発生)

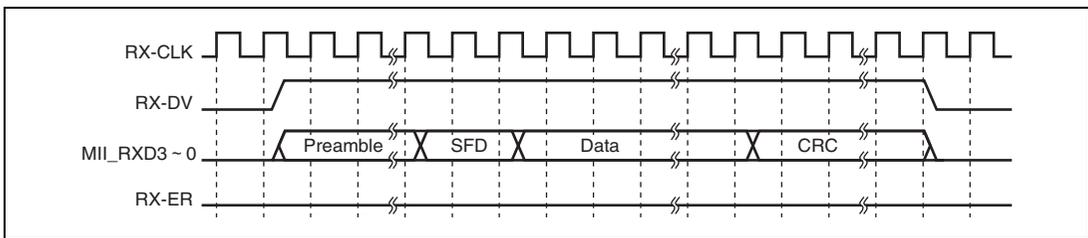


図 11.4 (4) MII フレーム受信タイミング (正常受信)

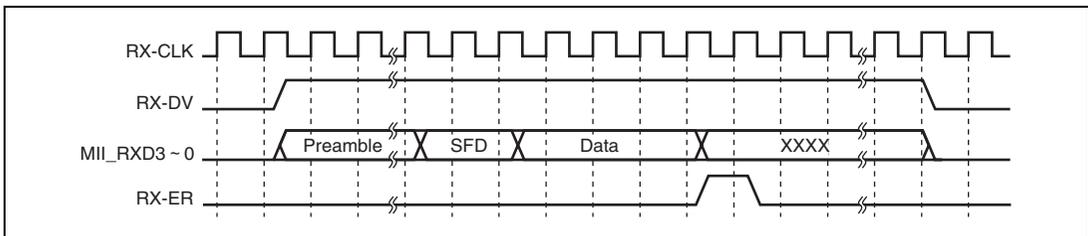


図 11.4 (5) MII フレーム受信タイミング (受信エラー (1) 受信エラー通知)

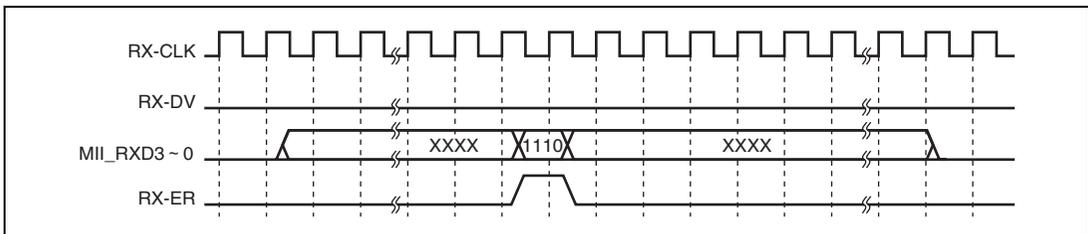


図 11.4 (6) MII フレーム受信タイミング (受信エラー (2) キャリアエラー通知)

11. イーサネットコントローラ (EtherC)

11.4.4 MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ (PIR) を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

(1) MII 管理フレームのフォーマット

MII 管理フレームのフォーマットを図 11.5 に示します。MII レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

| アクセス種別 | MII管理フレーム | | | | | | | |
|--------|-----------|----|----|-------|-------|----|------|------|
| | PRE | ST | OP | PHYAD | REGAD | TA | DATA | IDLE |
| ビット数 | 32 | 2 | 2 | 5 | 5 | 2 | 16 | |
| リード | 1..1 | 01 | 10 | 00001 | RRRRR | Z0 | D..D | |
| ライト | 1..1 | 01 | 01 | 00001 | RRRRR | 10 | D..D | X |

【記号説明】

- PRE : 32個の連続した1
- ST : フレームの先頭を示す01のライト
- OP : アクセス種別を示すコードのライト
- PHYAD : PHY-LSIのアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIアドレスによって可変となる。
- REGAD : レジスタアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
- TA : MIIインタフェース上でデータの送信元を切り替える時間
 - (a) ライト時は10をライト
 - (b) リード時は、「バス解放」(Z0と表記)を行う
- DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
 - (a) ライト時は、16ビットデータのライト
 - (b) リード時は、16ビットデータのリード
- IDLE : 次のMII管理フォーマット入力までの待機時間
 - (a) ライト時は、「単独バス解放」(Xと表記)を行う
 - (b) リード時は、すでにTA時にバス解放済みであり制御不要

図 11.5 MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ (PIR) を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 11.6 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

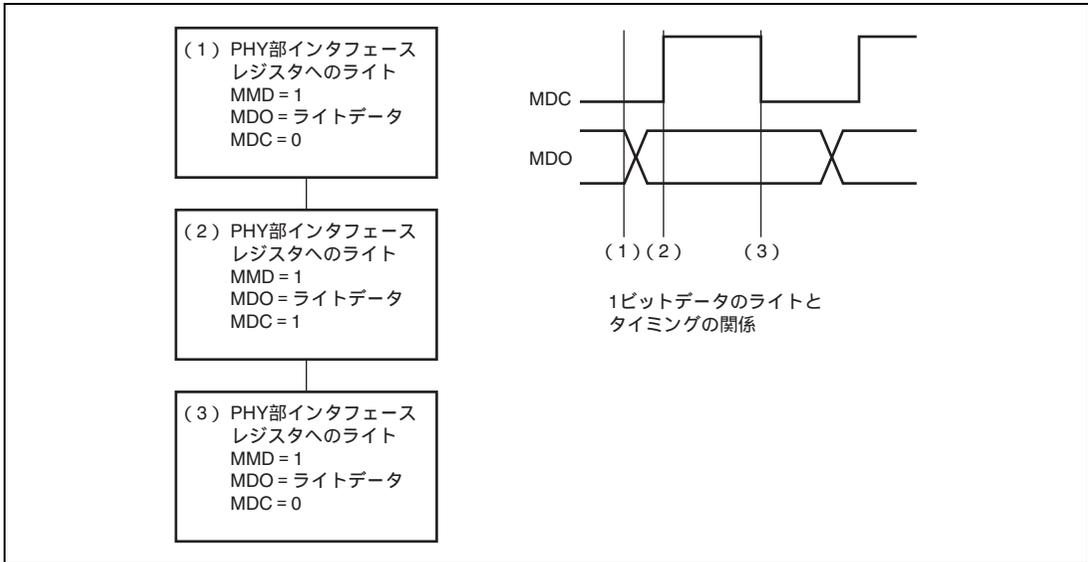


図 11.6 (1) 1 ビットデータのライトフロー

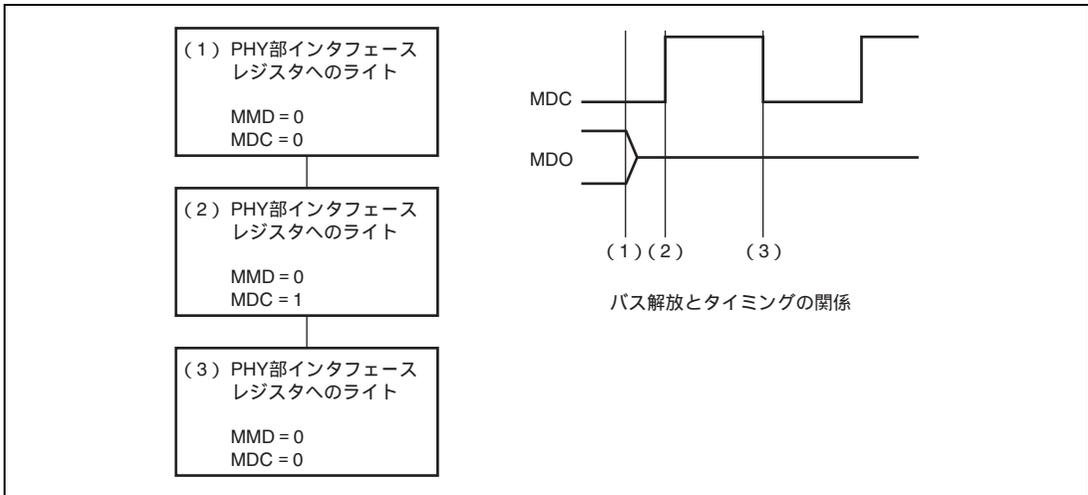


図 11.6 (2) バス解放フロー (図 11.5 中のリード時の TA)

11. イーサネットコントローラ (EtherC)

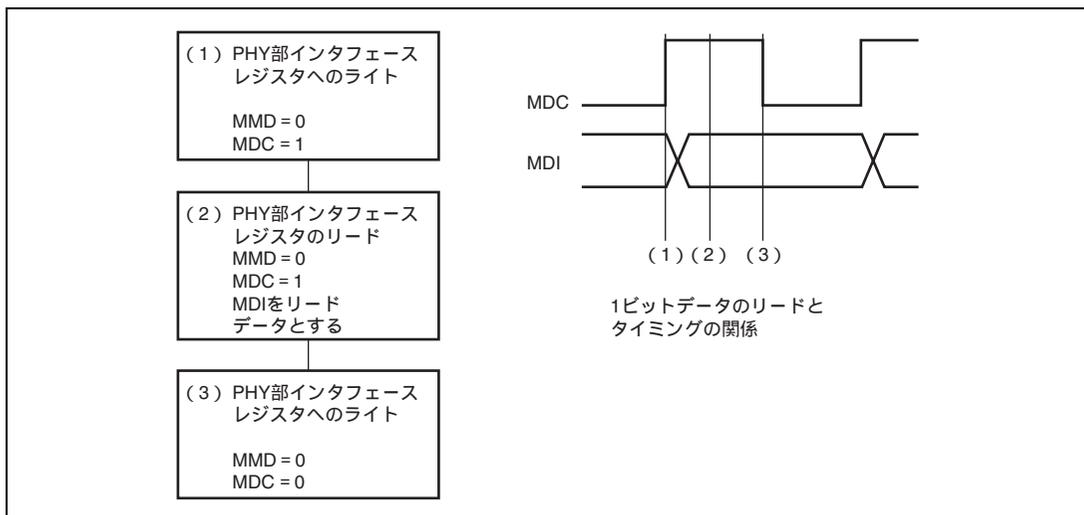


図 11.6 (3) 1ビットデータのリードフロー

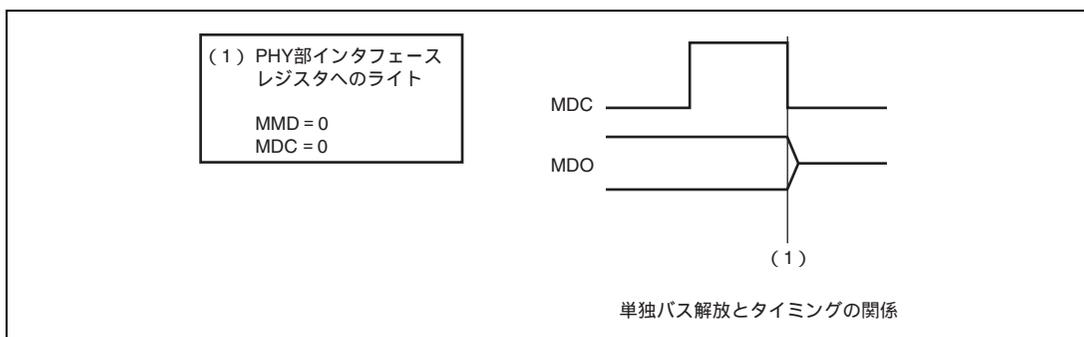


図 11.6 (4) 単独バス解放フロー (図 11.5 中のライト時の IDLE)

11.4.5 Magic Packet の検出

EtherC は、Magic Packet の検出機能を有しています。本機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能 (WOL : Wake-On-LAN) を提供します。これによって、ホスト装置などから送出される Magic Packet を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、EtherC には受信ステータスなどが報告されています。本割り込み処理から通常の動作に復帰するためには、E-DMAC モードレジスタ (EDMR) の SWR ビットにより EtherC および E-DMAC の初期化を実行してください。

Magic Packet においては、宛先アドレスにかかわらず受信を行います。結果として、Magic Packet 内のフォーマットで指定される宛先に合致する場合のみ有効となり WOL 端子が有効となります。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。

本 LSI を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可 / マスクレジスタによって割り込み要因の出力を禁止します。
2. EtherCモードレジスタ (ECMR) の Magic Packet検出許可ビット (MPDE) を設定します。
3. EtherC割り込み許可レジスタ (ECSIPR) の Magic Packet検出割り込み許可ビット (MPDIP) をイネーブルに設定します。
4. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。
5. Magic Packet を検出すると、CPU には割り込みが通知されます。また、周辺 LSI に対しては、WOL 端子により Magic Packet を検出したことを通知します。

11.4.6 IPG 設定による動作

EtherC は、送信フレーム間の無送信期間 IPG (Inter Packet Gap) を変更する機能を有しています。IPG 設定レジスタ (IPGR) の設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお IPG の設定は IEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

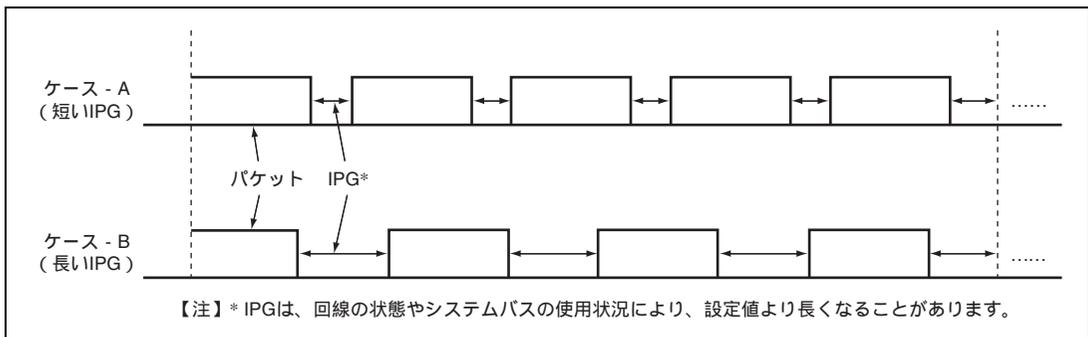


図 11.7 IPG の変更による伝送効率の違い

11.4.7 フロー制御

EtherC は、全二重動作時に IEEE802.3x 準拠のフロー制御機能をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の手順があります。

(1) 自動 PAUSE フレームの送信

受信フレームに対しては、受信 FIFO (E-DMAC に内蔵) に書き込まれたデータ量が E-DMAC 内蔵のフロー制御開始 FIFO しきい値設定レジスタ (FCFTR) に設定された値に達すると PAUSE フレームを自動送信します。このときの PAUSE フレームに含まれる TIME パラメータは、自動 PAUSE フレーム設定レジスタ (APR) で設定します。自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR 設定値未満になるまで繰り返されます。また、自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) により PAUSE フレームの再送回数の上限値を設定することもできます。この場合は、受信 FIFO 内のデータ量が FCFTR 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで PAUSE フレームの送信が繰り返されます。自動 PAUSE フレームの送信は EtherC モードレジスタ (ECMR) の TXF ビットが 1 の場合に有効となります。

(2) 手動 PAUSE フレームの送信

ソフトウェアからの指示により、PAUSE フレームを送信します。手動 PAUSE フレーム設定レジスタ (MPR) への Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は、1 回のみです。

(3) PAUSE フレームの受信

PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。ただし、送信中のフレームについては送信を続けます。PAUSE フレームの受信は EtherC モードレジスタ (ECMR) の RXF ビットが 1 の場合に有効となります。

11.5 PHY-LSI との接続

図 11.8 に National Semiconductor Corporation の DP83846AVHG との接続例を示します。

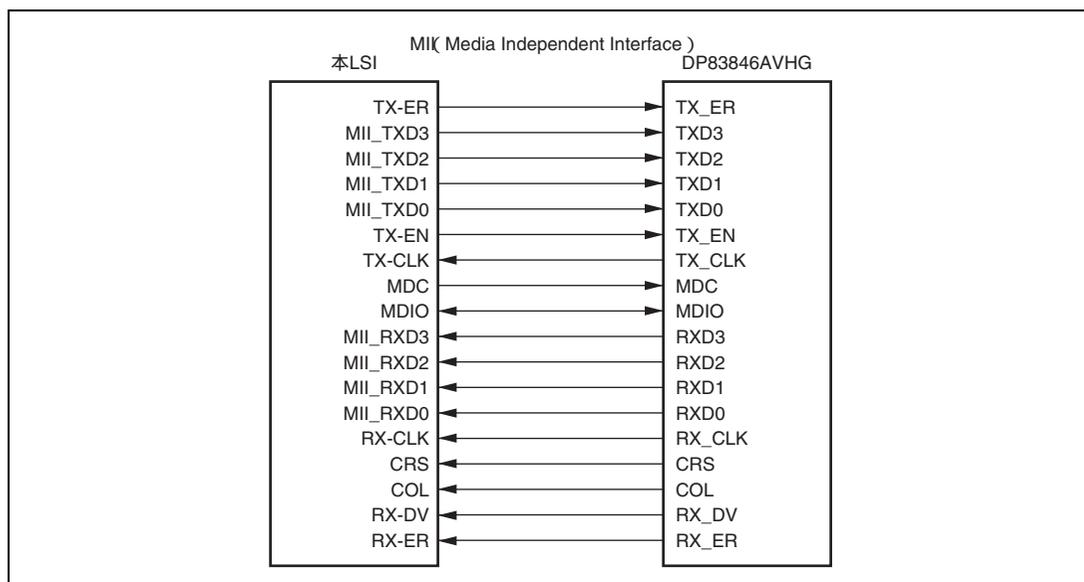


図 11.8 DP83846AVHG との接続例

11.6 使用上の注意事項

EtherC を使用する際は、以下のことに注意してください。

(1) LCHNG ビットのセット条件について

LNKSTA 端子への入力レベルが変化していない場合でも、ECSR の LCHNG ビットがセットされる場合があります。PFC の PCCR2 で LNKSTA 端子を選択したときや、EDMR の SWR ビットによる EtherC/E-DMAC のソフトウェアリセット解除時に、LNKSTA 端子にハイレベルが入力されている場合です。

これは、PFC で LNKSTA 端子を選択していないときや、EtherC/E-DMAC のソフトウェアリセット中に、LSI 内部の LNKSTA 信号が、外部端子への入力レベルとは無関係に、ローレベル固定されているからです。

誤ってリンク信号変化割り込みを発生させないように、LCHNG ビットをクリアしてから、ECSIPR の LCHNGIP ビットをセットしてください。

(2) フロー制御不具合その 1

全二重モードで受信系フロー制御を有効 (ECMR の RXF ビット = 1) にしている場合、PAUSE フレームを受信すると、以降、通常の自局宛ユニキャストフレーム (CRC エラーでない非 PAUSE フレーム) を受信する度に、先の PAUSE フレームで指定されたタイムパラメータが不正に適用されてしまいます。結果、不必要な待ち時間が発生し、送信スループットが低下することがあります。なお、タイムパラメータ値は、次の PAUSE フレームを受信するまで保持されます。

本不具合は、相手局が本 LSI と同様、0 time PAUSE フレーム送信機能をサポートしている場合、以下のとおり回避可能です。本 LSI の 0 time PAUSE フレームの使用を許可 (ECMR の ZPF ビット = 1) にしておき、相手局から 0 time PAUSE フレームを受信することで、EtherC 内部で不正に保持されたタイムパラメータをクリアします。これにより、不正な送信待ち時間を抑止することができます。

(3) フロー制御不具合その 2

全二重モードで受信系 / 送信系フロー制御を共に有効 (ECMR の RXF = 1/TXF ビット = 1) にしていて、PAUSE 期間が発生した場合、非 PAUSE フレームの送信は待たされます (これは正常動作) が、PAUSE フレームの送信も不正に待たされてしまいます。IEEE802.3 では、PASUE 期間中の非 PAUSE フレームの送信は禁止されていますが、PAUSE フレームの送信は許可されています。

相手局からの要求によって (即ち、相手局からの PAUSE フレームの受信によって)、PASUE 期間が発生している場合、相手局の負荷は高く、逆に自局の負荷は比較軽い状態であると言えます。よって、この期間に PAUSE フレームを送信する必要度は通常低く、本不具合の影響は実使用上、低いと思われます。

12. イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)

本 LSI は、イーサネットコントローラ (EtherC) に直結したダイレクトメモリアクセスコントローラ (E-DMAC) を内蔵しています。バッファ管理の多くの部分を E-DMAC がディスクリプタを用いて制御します。このため CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。

図 12.1 に E-DMAC とメモリ上のディスクリプタおよび送信と受信バッファの構成を示します。

12.1 特長

- ディスクリプタ管理方式による CPU 負荷の軽減
- 送受信フレームステータスのディスクリプタへの反映
- ブロック転送 (16バイト単位) によるシステムバスの効率使用
- シングルフレーム・マルチバッファ方式対応可能

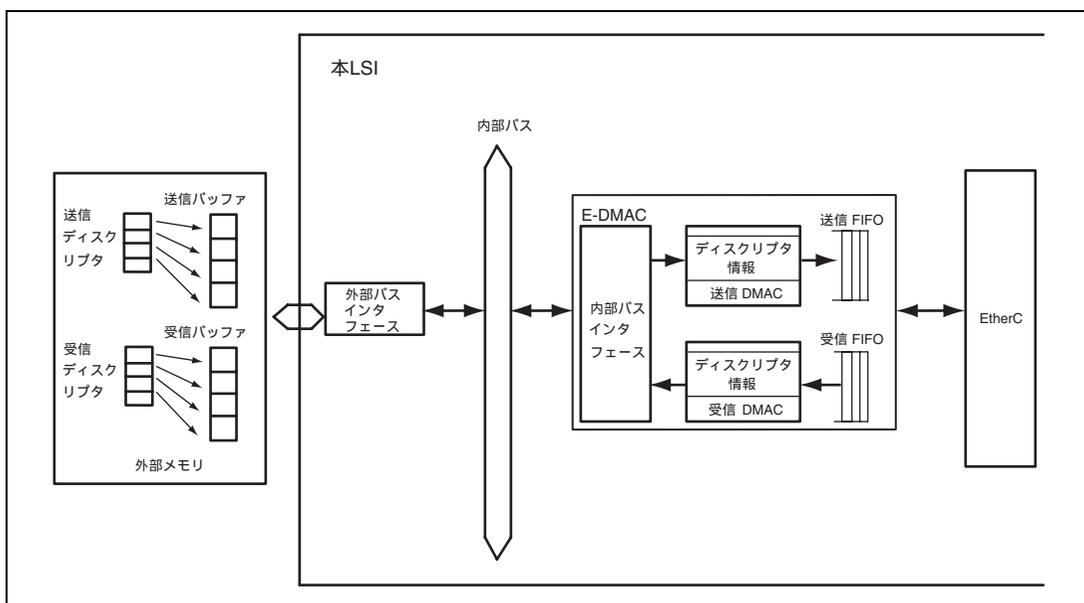


図 12.1 E-DMAC とディスクリプタおよびバッファの構成

12.2 レジスタの説明

E-DMAC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 20 章 レジスタ一覧」を参照してください。

- E-DMACモードレジスタ (EDMR)
- E-DMAC送信要求レジスタ (EDTRR)
- E-DMAC受信要求レジスタ (EDRRR)
- 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)
- 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)
- EtherC/E-DMACステータスレジスタ (EESR)
- EtherC/E-DMACステータス割り込み許可レジスタ (EESIPR)
- 送受信ステータスコピー指示レジスタ (TRSCER)
- ミスドフレームカウンタレジスタ (RMFCR)
- 送信FIFOしきい値指定レジスタ (TFTR)
- FIFO容量指定レジスタ (FDR)
- 受信方式制御レジスタ (RMCR)
- E-DMAC動作制御レジスタ (EDOCR)
- 受信バッファライトアドレスレジスタ (RBWAR)
- 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)
- 送信バッファリードアドレスレジスタ (TBRAR)
- 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)
- フロー制御開始FIFOしきい値設定レジスタ (FCFTR)
- 送信割り込み設定レジスタ (TRIMD)

12.2.1 E-DMAC モードレジスタ (EDMR)

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC の動作モードを指定します。本レジスタの設定は、通常リセット後の初期設定時に行います。データ送信中に本レジスタによって EtherC および E-DMAC を初期化すると回線上に異常データを送出する可能性があります。動作モードの設定は、送信と受信機能が有効状態で書き換えることを禁止します。動作モードを切り替えるには、ソフトウェアリセットビット(SWR)により、EtherC および E-DMAC を初期状態に戻してから再設定してください。なお、EtherC および E-DMAC の初期化完了までの所要時間は、内部バスクロック B で 64 サイクルです。このため、EtherC および E-DMAC 内のレジスタアクセスは、内部バスクロック B で 64 サイクル経過後に行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|------------|--------|------------|--|
| 31~7 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 6 | DE | 0 | R/W | E-DMAC データエンディアン変換 E-DMAC によるデータ転送時のエンディアン変換を指定します。なお、ディスクリプタおよび E-DMAC のレジスタについては、本ビットの設定に関わらず、エンディアン変換をしません。 0 : エンディアン変換をしません (ビッグエンディアン) 1 : エンディアン変換をします (リトルエンディアン) |
| 5 4 | DL1 DL0 | 0 0 | R/W R/W | 送受信ディスクリプタ長 ディスクリプタ長を指定します。 00 : 16 バイト 01 : 32 バイト 10 : 64 バイト 11 : リザーブ (設定不可) |
| 3~1 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 0 | SWR | 0 | R/W | ソフトウェアリセット 本ビットに 1 をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、EtherC の各レジスタを初期化することができます。ソフトウェアリセットの発行期間中 (内部バスクロック B で 64 サイクル間) は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。 ソフトウェアリセット期間 (例) : B = 50MHz のとき : 1.28 μ S B = 33MHz のとき : 1.94 μ S 本ビットを読み出すと常に 0 が読み出されます。 0 : 0 ライトは無効 (E-DMAC 動作に何ら影響を与えません) 1 : 1 ライトで EtherC および E-DMAC をリセットします。 その後セルフクリアされます。 |

12.2.2 E-DMAC 送信要求レジスタ (EDTRR)

EDTRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。このディスクリプタ内の送信ディスクリプタ有効ビットが有効であれば、送信を続けます。また送信ディスクリプタ有効ビットが無効な場合は、TR ビットをクリアして送信 DMAC の動作を停止します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|---|
| 31~1 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 0 | TR | 0 | R/W | 送信要求 0: 送信停止状態。0 を書き込んでも送信は停止しません。送信の終了は、送信ディスクリプタ内の有効ビットで制御します。 1: 送信開始。該当するディスクリプタを読み込み、送信有効ビットが 1 であるフレームを送信します。 |

12.2.3 E-DMAC 受信要求レジスタ (EDRRR)

EDRRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。E-DMAC は、受信要求ビットがセットされると、当該受信ディスクリプタを読み込みます。ディスクリプタ内の受信ディスクリプタ有効ビットが有効であれば、EtherC からの受信要求に備えます。受信バッファ分の受信が完了すると、E-DMAC は次のディスクリプタを読み込みフレームの受信に備えます。このとき、ディスクリプタ内の受信ディスクリプタ有効ビットが無効である場合は、RR ビットをクリアして受信 DMAC の動作を停止します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|--|
| 31~1 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 0 | RR | 0 | R/W | 受信要求 0: 受信機能を無効にする* 1: 受信ディスクリプタを読み込み、E-DMAC 受信可能状態となる |

【注】 * フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度 E-DMAC を受信可能状態とするためには、EDMR の SWR ビットによりソフトウェアリセットしてください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、ECMR の RE ビットにより受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。

12.2.4 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)

TDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ (EDTRR) の TR ビット (=0) による送信停止状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|-------|-----|---|
| 31~0 | TDLA31 ~TDLA0 | すべて 0 | R/W | 送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : TDLA[3:0] = 0000 32 バイトバウンダリ : TDLA[4:0] = 00000 64 バイトバウンダリ : TDLA[5:0] = 000000 |

12.2.5 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)

RDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ (EDRRR) の RR ビット (=0) による受信停止状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|-------|-----|---|
| 31~0 | RDLA31 ~RDLA0 | すべて 0 | R/W | 受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : RDLA[3:0] = 0000 32 バイトバウンダリ : RDLA[4:0] = 00000 64 バイトバウンダリ : RDLA[5:0] = 000000 |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

12.2.6 EtherC/E-DMAC ステータスレジスタ (EESR)

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC と E-DMAC を合わせた通信ステータスを表示します。本レジスタは、割り込み要因として報告されます。各ビットは、1 をライトすることでクリアされます（ただし、ビット 22 (ECI) はリ - ド専用で、1 をライトしてもクリアされません）。0 をライトしても、各ビットの状態には影響しません。各割り込み要因は EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の当該ビットによってマスクすることが可能です。

本ステータスレジスタが要因で発生する割り込みは、EINT0 となります。割り込みの優先順位については、「6.5 割り込み例外処理ベクタテーブル」を参照ください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|-------|-------|-----|---|
| 31 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 30 | TWB | 0 | R/W | ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、TRIMD の TIS ビットが 1 にセットされているときのみ有効です 0 : ライトバック未完了または送信未指示 1 : ライトバック完了 |
| 29~27 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 26 | TABT | 0 | R/W | 送信中断検出 フレーム送信時、障害等により EtherC がフレーム送信を中断したことを示します。 0 : フレーム送信中断未発生または送信未指示 1 : フレーム送信中断発生 |
| 25 | RABT | 0 | R/W | 受信中断検出 フレーム受信時、障害等により EtherC がフレーム受信を中断したことを示します。 0 : フレーム受信中断未発生または受信未指示 1 : フレーム受信中断発生 |
| 24 | RFCOF | 0 | R/W | 受信フレームカウンタオーバーフロー 受信 FIFO 内のフレームカウンタがオーバーフローしたことを示します。 0 : 受信フレームカウンタがオーバーフローしていない 1 : 受信フレームカウンタがオーバーフローした |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|------|-----|-----|--|
| 23 | ADE | 0 | R/W | <p>アドレスエラー</p> <p>E-DMAC が転送しようとしたメモリアドレスが不正であったことを示します。</p> <p>0 : 不正なメモリアドレスを検出していない (正常動作)</p> <p>1 : 不正なメモリアドレスを検出した</p> <p>【注】 アドレスエラーが検出されると、E-DMAC は送受信を停止します。再開するには、EDMR の SWR ビットにより、ソフトウェアリセットをかけてから再設定してください。</p> |
| 22 | ECI | 0 | R | <p>EtherC ステータスレジスタ要因</p> <p>本ビットは、リ - ド専用です。EtherC にある ECSR の要因がクリアされると、本ビットもクリアされます。</p> <p>0 : EtherC ステータス割り込み要因未検出</p> <p>1 : EtherC ステータス割り込み要因検出</p> |
| 21 | TC | 0 | R/W | <p>フレーム送信完了</p> <p>送信ディスクリプタによって指定されたデータをすべて EtherC 部より送信したことを示します。1 フレーム / 1 バッファ処理では、1 フレームの送信が完了した場合、またマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は転送状態を当該ディスクリプタにライトバックします。</p> <p>0 : 転送未完了または転送未指示</p> <p>1 : 転送完了</p> |
| 20 | TDE | 0 | R/W | <p>送信ディスクリプタ枯渇</p> <p>マルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMAC が送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかったことを示します。結果として不完全なフレームを送出する場合があります。</p> <p>0 : 送信ディスクリプタ有効ビット TACT = 1 を検出</p> <p>1 : 送信ディスクリプタ有効ビット TACT = 0 を検出</p> <p>送信ディスクリプタ枯渇 (TDE = 1) が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) に格納されているアドレスからの開始となります。</p> |
| 19 | TFUF | 0 | R/W | <p>送信 FIFO アンダフロー</p> <p>フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線には、不完全なデータが送出されます。</p> <p>0 : アンダフロー未発生</p> <p>1 : アンダフロー発生</p> |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-------|------|------|-----|---|
| 18 | FR | 0 | R/W | フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1フレームを受信するたびに1にセットされます。 0: フレーム未受信 1: フレーム受信済み |
| 17 | RDE | 0 | R/W | 受信ディスクリプタ枯渇 受信ディスクリプタ枯渇 (RDE = 1) が発生した場合は、当該受信ディスクリプタを RACT = 1 に設定し受信起動をかけることで、受信を再開することができます。 0: 受信ディスクリプタ有効ビット RACT = 1 を検出 1: 受信ディスクリプタ有効ビット RACT = 0 を検出 |
| 16 | RFOF | 0 | R/W | 受信 FIFO オーバフロー フレームを受信中に受信 FIFO がオーバフローしたことを示します。 0: オーバフロー未発生 1: オーバフロー発生 |
| 15~12 | - | すべて0 | R | リザーブビット ライトは常に0をライトしてください。 |
| 11 | CND | 0 | R/W | キャリア未検出 キャリアの検出状態を示します。 0: 送信開始時にキャリア検出 1: キャリア未検出 |
| 10 | DLC | 0 | R/W | キャリア消失検出 フレーム送信中のキャリア消失を検出したことを示します。 0: キャリア消失未検出 1: キャリア消失検出 |
| 9 | CD | 0 | R/W | 遅延衝突検出 フレーム送信中に遅延衝突を検出したことを示します。 0: 遅延衝突未検出 1: 遅延衝突検出 |
| 8 | TRO | 0 | R/W | 送信リトライオーバ フレーム送信中にリトライオーバが発生したことを示します。これは、EtherC が送信を開始後、バックオフアルゴリズムに基づく15回の再送を合わせ全部で16回の送信試行に失敗したことを示します。 0: 送信リトライオーバ未検出 1: 送信リトライオーバ検出 |
| 7 | RMAF | 0 | R/W | マルチキャストアドレスフレーム受信 0: マルチキャストアドレスフレーム未受信 1: マルチキャストアドレスフレーム受信 |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|-------|------|-----|---|
| 6、5 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 4 | RRF | 0 | R/W | 端数ビットフレーム受信 0: 端数ビットフレーム未受信 1: 端数ビットフレーム受信 |
| 3 | RTLFL | 0 | R/W | ロングフレーム受信エラー EtherCのRFLRで設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0: ロングフレーム未受信 1: ロングフレーム受信 |
| 2 | RTSF | 0 | R/W | ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0: ショートフレーム未受信 1: ショートフレーム受信 |
| 1 | PRE | 0 | R/W | PHY-LSI 受信エラー 0: PHY-LSI 受信エラー未検出 1: PHY-LSI 受信エラー検出 |
| 0 | CERF | 0 | R/W | 受信フレーム CRC エラー 0: CRC エラー未検出 1: CRC エラー検出 |

12.2.7 EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)

EESIPR は、読み出したり書き込み可能な 32 ビットのレジスタで、EtherC/E-DMAC ステータスレジスタ (EESR) の各ビットに対応する割り込み許可レジスタです。各ビットは、1 をライトすることで割り込みが許可されます。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-------|--------|------|-----|--|
| 31 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 30 | TWBIP | 0 | R/W | ライトバック完了割り込み許可 0: ライトバック完了割り込み禁止 1: ライトバック完了割り込み許可 |
| 29~27 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 26 | TABTIP | 0 | R/W | 送信中断検出割り込み許可 0: 送信中断検出割り込み禁止 1: 送信中断検出割り込み許可 |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-------|---------|-------|-----|---|
| 25 | RABTIP | 0 | R/W | 受信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可 |
| 24 | RFCOFIP | 0 | R/W | 受信フレームカウンタオーバーフロー割り込み許可 0: 受信フレームカウンタオーバーフロー割り込み禁止 1: 受信フレームカウンタオーバーフロー割り込み許可 |
| 23 | ADEIP | 0 | R/W | アドレスエラー割り込み許可 0: アドレスエラー割り込み禁止 1: アドレスエラー割り込み許可 |
| 22 | ECIIP | 0 | R/W | EtherC ステータスレジスタ要因割り込み許可 0: EtherC ステータス割り込み禁止 1: EtherC ステータス割り込み許可 |
| 21 | TCIP | 0 | R/W | フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可 |
| 20 | TDEIP | 0 | R/W | 送信ディスクリプタ枯渇割り込み許可 0: 送信ディスクリプタ枯渇割り込み禁止 1: 送信ディスクリプタ枯渇割り込み許可 |
| 19 | TFUFIP | 0 | R/W | 送信 FIFO アンダフロー割り込み許可 0: アンダフロー割り込み禁止 1: アンダフロー割り込み許可 |
| 18 | FRIP | 0 | R/W | フレーム受信割り込み許可 0: フレーム受信割り込み禁止 1: フレーム受信割り込み許可 |
| 17 | RDEIP | 0 | R/W | 受信ディスクリプタ枯渇割り込み許可 0: 受信ディスクリプタ枯渇割り込み禁止 1: 受信ディスクリプタ枯渇割り込み許可 |
| 16 | RFOFIP | 0 | R/W | 受信 FIFO オーバフロー割り込み許可 0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可 |
| 15~12 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 11 | CNDIP | 0 | R/W | キャリア未検出割り込み許可 0: キャリア未検出割り込み禁止 1: キャリア未検出割り込み許可 |
| 10 | DLCIP | 0 | R/W | キャリア消失検出割り込み許可 0: キャリア消失検出割り込み禁止 1: キャリア消失検出割り込み許可 |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|---------|-----|-----|---|
| 9 | CDIP | 0 | R/W | 遅延衝突検出割り込み許可 0: 遅延衝突割り込み禁止 1: 遅延衝突割り込み許可 |
| 8 | TROIP | 0 | R/W | 送信リトライオーバーバ割り込み許可 0: 送信リトライオーバーバ割り込み禁止 1: 送信リトライオーバーバ割り込み許可 |
| 7 | RMAFIP | 0 | R/W | マルチキャストアドレスフレーム受信割り込み許可 0: マルチキャストアドレスフレーム受信割り込み禁止 1: マルチキャストアドレスフレーム受信割り込み許可 |
| 6 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 5 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。 |
| 4 | RRFIP | 0 | R/W | 端数ビットフレーム受信割り込み許可 0: 端数ビットフレーム受信割り込み禁止 1: 端数ビットフレーム受信割り込み許可 |
| 3 | RTLFIIP | 0 | R/W | ロングフレーム受信エラー割り込み許可 0: ロングフレーム受信エラー割り込み禁止 1: ロングフレーム受信エラー割り込み許可 |
| 2 | RTSFIIP | 0 | R/W | ショートフレーム受信エラー割り込み許可 0: ショートフレーム受信エラー割り込み禁止 1: ショートフレーム受信エラー割り込み許可 |
| 1 | PREIIP | 0 | R/W | PHY-LSI 受信エラー割り込み許可 0: PHY-LSI 受信エラー割り込み禁止 1: PHY-LSI 受信エラー割り込み許可 |
| 0 | CERFIIP | 0 | R/W | 受信フレーム CRC エラー割り込み許可 0: CRC エラー割り込み禁止 1: CRC エラー割り込み許可 |

12.2.8 送受信ステータスコピー指示レジスタ (TRSCER)

TRSCER は、EtherC/E-DMAC ステータスレジスタの各ビットで報告される、送信および受信ステータス情報を当該ディスクリプタの TFS26~0 および RFS26~0 に反映するか否かを指示します。本レジスタの各ビットは、EtherC/E-DMAC ステータスレジスタ (EESR) のビット 11 からビット 0 に対応し各ビットに 0 を設定すると、送信ステータス (EESR のビット 11 からビット 8) は送信ディスクリプタの TFS3~TFS0 ビットに、また受信ステータス (EESR のビット 7 からビット 0) は受信ディスクリプタの RFS7~RFS0 ビットに反映されます。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|--------|-------|-----|---|
| 31~12 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 11 | CNDCE | 0 | R/W | CND ビットコピー指示 0: CND ビットのステータスを送信ディスクリプタの TFS3 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS3 ビットに反映しない。 |
| 10 | DLCCE | 0 | R/W | DLC ビットコピー指示 0: DLC ビットのステータスを送信ディスクリプタの TFS2 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS2 ビットに反映しない。 |
| 9 | CDCE | 0 | R/W | CD ビットコピー指示 0: CD ビットのステータスを送信ディスクリプタの TFS1 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS1 ビットに反映しない。 |
| 8 | TROCE | 0 | R/W | TRO ビットコピー指示 0: TRO ビットのステータスを送信ディスクリプタの TFS0 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS0 ビットに反映しない。 |
| 7 | RMAFCE | 0 | R/W | RMAF ビットコピー指示 0: RMAF ビットのステータスを受信ディスクリプタの RFS7 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS7 ビットに反映しない。 |
| 6、5 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|---------|-----|-----|---|
| 4 | RRFCE | 0 | R/W | RRF ビットコピー指示 0: RRF ビットのステータスを受信ディスクリプタの RFS4 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS4 ビットに反映しない。 |
| 3 | RTLFCCE | 0 | R/W | RTLF ビットコピー指示 0: RTLF ビットのステータスを受信ディスクリプタの RFS3 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS3 ビットに反映しない。 |
| 2 | RTSFCE | 0 | R/W | RTSF ビットコピー指示 0: RTSF ビットのステータスを受信ディスクリプタの RFS2 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS2 ビットに反映しない。 |
| 1 | PRECE | 0 | R/W | PRE ビットコピー指示 0: PRF ビットのステータスを受信ディスクリプタの RFS1 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS1 ビットに反映しない。 |
| 0 | CERFCE | 0 | R/W | CERF ビットコピー指示 0: CERF ビットのステータスを受信ディスクリプタの RFS0 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS0 ビットに反映しない。 |

12.2.9 ミスドフレームカウンタレジスタ (RMFCR)

RMFCR は、受信時に受信バッファに収容しきれずに廃棄されたフレーム数を示す 16 ビットのカウンタです。受信 FIFO がオーバーフローすると、この FIFO 内にある受信フレームは廃棄されます。このときに廃棄するフレームの数をカウントアップします。本レジスタの値が H'FFFF になるとカウントアップを停止します。カウンタの値は、本レジスタを読むと 0 にクリアされます。本レジスタへのライトは、他に影響を与えません。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|---------|--------------|-------|-----|--|
| 31 ~ 16 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 15 ~ 0 | MFC15 ~ MFC0 | すべて 0 | R | ミスドフレームカウンタ 受信時に、受信バッファに転送しきれずに廃棄されたフレーム数を示します。 |

12.2.10 送信 FIFO しきい値指定レジスタ (TFTR)

TFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。実際のしきい値は、設定した数値の 4 倍の値に相当します。EtherC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお本レジスタの設定は、送信停止状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|---------|-----------------|-------|-----|---|
| 31 ~ 11 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 10 ~ 0 | TFT10 ~ TFT0 | すべて 0 | R/W | 送信 FIFO しきい値 送信 FIFO のしきい値は、必ず FDR で指定した FIFO 容量値より小さい値に設定してください。 H'00 : ストア&フォワードモード H'01 ~ H'0C : 設定禁止 H'0D : 52 バイト H'0E : 56 バイト : : H'1F : 124 バイト H'20 : 128 バイト : : H'3F : 252 バイト H'40 : 256 バイト H'41 : 260 バイト (SH7618 では設定禁止、SH7618A では設定可) H'42 : 264 バイト (SH7618 では設定禁止、SH7618A では設定可) : : H'7F : 508 バイト (SH7618 では設定禁止、SH7618A では設定可) H'80 : 512 バイト (SH7618 では設定禁止、SH7618A では設定可) H'81 ~ H'200 : 設定禁止 |

【注】 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。

12.2.11 FIFO 容量指定レジスタ (FDR)

FDR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-------|-----------|-------|-----|--|
| 31~11 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 10~8 | TFD2~TFD0 | B'000 | R/W | 送信 FIFO 容量 送信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。 000 : 256 バイト 001 : 512 バイト (SH7618 では設定禁止、SH7618A では設定可) 上記以外 : 設定禁止 |
| 7~3 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 2~0 | RFD2~RFD0 | B'000 | R/W | 受信 FIFO 容量 受信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。 000 : 256 バイト 001 : 512 バイト (SH7618 では設定禁止、SH7618A では設定可) 上記以外 : 設定禁止 |

12.2.12 受信方式制御レジスタ (RMCR)

RMCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、フレームを受信するときの EDRRR の RR ビットの制御方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|------|------|-------|-----|--|
| 31~1 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 0 | RNC | 0 | R/W | 受信許可制御 通常は、本設定により連続したフレーム受信を継続します。 0 : 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタにライトして EDRRR の RR ビットをクリアします。 1 : 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタにライトします。さらに E-DMAC は次のディスクリプタを読み込み、次のフレームの受信に備えます。 |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

12.2.13 E-DMAC 動作制御レジスタ (EDOCR)

EDOCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC の動作状態における制御方法を指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|--|
| 31~4 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 3 | FEC | 0 | R/W | FIFO エラー制御 送信 FIFO におけるアンダフローあるいは受信 FIFO におけるオーバフロー発生時の E-DMAC の動作を指定します。 0 : アンダフローあるいはオーバフローが発生しても E-DMAC の動作を継続します。 1 : アンダフローあるいはオーバフローが発生すると E-DMAC の動作を停止します。 |
| 2 | AEC | 0 | R/W | アドレスエラー制御 E-DMAC が転送しようとしたメモリアドレスが不正であったことを示します。 0 : 不正なメモリアドレスを検出していない (正常動作)。 1 : 不正なメモリアドレスを検出したため、E-DMAC の動作を停止します。 【注】 E-DMAC の動作を再開するには、EDMR の SWR ビットにより、ソフトウェアリセットをかけてから再設定してください。 |
| 1 | EDH | 0 | R/W | E-DMAC 停止 0 : E-DMAC は正常に動作中です。 1 : NMI 端子がアサートされたため E-DMAC の動作を停止します。0 を書き込むことによって E-DMAC は動作を再開します。 |
| 0 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |

12.2.14 受信バッファライトアドレスレジスタ (RBWAR)

RBWAR は、E-DMAC が受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が受信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファライト処理とレジスタの読み出しの値が一致していない場合もあります。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|----------------------|-------|-----|---|
| 31~0 | RBWA31 ~ RBWA0 | すべて 0 | R | 受信バッファライトアドレス 本ビットは読み出し専用です。書き込みは禁止です。 |

12.2.15 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|------|-----|---|
| 31~0 | RDFA31 ~RDFA0 | すべて0 | R | 受信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。 |

12.2.16 送信バッファリードアドレスレジスタ (TBRAR)

TBRAR は、E-DMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が送信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファリード処理とレジスタの読み出しの値が一致していない場合もあります。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|------|-----|---|
| 31~0 | TBRA31 ~TBRA0 | すべて0 | R | 送信バッファリードアドレス 本ビットは読み出し専用です。書き込みは禁止です。 |

12.2.17 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)

TDFAR は、E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の送信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------------|------|-----|---|
| 31~0 | TDFA31 ~TDFA0 | すべて0 | R | 送信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。 |

12.2.18 フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC のフロー制御の設定 (自動 PAUSE 送信のしきい値設定) を行います。受信 FIFO データ容量 (RFD2 ~ RFD0)、受信フレーム数 (RFF2 ~ RFF0) によるしきい値を設定できます。受信 FIFO データ容量しきい値判定、および受信フレーム数しきい値判定の論理和を条件として、フロー制御を開始します。

RFD の設定条件によりフロー制御をオンにすると、FIFO 容量設定レジスタ (FDR) で設定した受信 FIFO 容量値と同じ設定である場合は、(FIFO データ容量 - 64) バイトでフロー制御をオンにします。たとえば FDR の RFD = 0、FCFTR の RFD = 0 の場合は、受信 FIFO 内に (256 - 64) バイトのデータを格納されたとき、フロー制御がオンになります。なお本レジスタの RFD の設定値は、FDR の RFD の設定値と同じ小さい値を設定してください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|---------|------|-------|-----|---|
| 31 ~ 19 | - | すべて 0 | - | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 18 | RFF2 | 1 | R/W | 受信フレーム数によるフロー制御しきい値 000: 受信フレームを受信 FIFO 内に 1 フレーム格納完了時 001: 受信フレームを受信 FIFO 内に 2 フレーム格納完了時 : : 110: 受信フレームを受信 FIFO 内に 7 フレーム格納完了時 111: 受信フレームを受信 FIFO 内に 8 フレーム格納完了時 |
| 17 | RFF1 | 1 | R/W | |
| 16 | RFF0 | 1 | R/W | |
| | | | | |
| 15 ~ 3 | - | すべて 0 | - | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 2 | RFD2 | 0 | R/W | 受信バイト数によるフロー制御しきい値 000: 受信 FIFO 内に 256 - 64 バイトのデータ容量を格納時 001: 受信 FIFO 内に 512 - 64 バイトのデータ容量を格納時 (SH7618 では設定禁止、SH7618A では設定可) 上記以外: 設定禁止 |
| 1 | RFD1 | 0 | R/W | |
| 0 | RFD0 | 0 | R/W | |

12.2.19 送信割り込み設定レジスタ (TRIMD)

TRIMD は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信動作時にフレームごとのライトバック完了を EESR の TWB ビットおよび割り込みにて通知するかどうかを指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|------|-------|-----|---|
| 31 ~ 1 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |
| 0 | TIS | 0 | R/W | 送信割り込み設定 0: フレームごとのライトバック完了を通知しない 1: フレームごとのライトバック完了を EESR の TWB ビットで通知する |

12.3 動作説明

E-DMAC は、EtherC と接続され、送受信データを CPU の介在なく効率的な転送をメモリ (バッファ) との間で行います。E-DMAC は、各バッファと対応したディスクリプタと呼ぶバッファポインタなどを格納した制御情報を見ずから読み込みます。この制御情報に従って送信データを送信バッファから読み込み、受信データは受信バッファにライトします。このディスクリプタを複数個連続して配置 (ディスクリプタリスト) することで、送信ならびに受信を連続して実行できます。

12.3.1 ディスクリプタリストとデータバッファ

通信プログラムは、送受信の開始に先立って、メモリ上に送信および受信の各ディスクリプタリストを作成します。そしてこのリストの先頭アドレスを、送信または受信ディスクリプタリスト先頭アドレスレジスタに設定します。

ディスクリプタの開始アドレスの設定は、E-DMAC モードレジスタ (EDMR) で設定したディスクリプタ長に従ったアドレス境界に設定してください。送信バッファの開始アドレスの設定は、ロングワードを境界として設定する必要はなく、ワード境界、バイト境界として設定しても構いません。

(1) 送信ディスクリプタ

図 12.2 に送信ディスクリプタと送信バッファの関係を示します。本ディスクリプタの指示により、送信フレームと送信バッファの構成を 1 フレーム / 1 バッファまたは 1 フレーム / マルチバッファのように関連づけることが可能です。

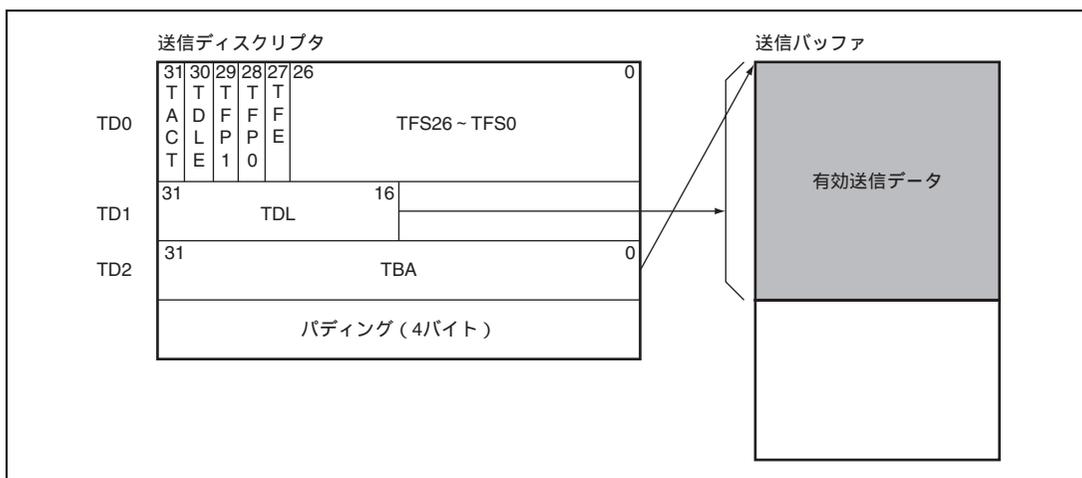


図 12.2 送信ディスクリプタと送信バッファの関係

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

(a) 送信ディスクリプタ 0 (TD0)

TD0 は、送信フレームのステータスを示します。CPU と E-DMAC は、この TD0 によってフレーム送信状態を連絡します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|----------|--------------|--------|------------|---|
| 31 | TACT | 0 | R/W | <p>送信ディスクリプタ有効</p> <p>当該ディスクリプタが有効であることを示します。CPU は、送信データを送信バッファに転送後に本ビットをセットします。また E-DMAC は、フレームの転送を完了、あるいは送信を中断した場合にリセットします。</p> <p>0：送信ディスクリプタが無効であることを示します。</p> <p>CPU により送信バッファに有効データをライトしていない、または E-DMAC のフレーム転送処理終了によるライトバック動作で、本ビットがリセットされたことを示します (送信完了あるいは中断)。</p> <p>本状態が、E-DMAC のディスクリプタリードにより認識された場合は、E-DMAC は送信処理を終了します。送信動作の継続はできません。再起動が必要となります。</p> <p>1：送信ディスクリプタが有効であることを示します。</p> <p>CPU により送信バッファに有効データがライトされ、まだフレーム転送処理を行っていないことを、あるいはフレーム転送中であることを示します。</p> <p>本状態が E-DMAC のディスクリプタリードにより認識された場合は、E-DMAC は送信動作を継続します。</p> |
| 30 | TDLE | 0 | R/W | <p>送信ディスクリプタリスト最終</p> <p>E-DMAC は、当該バッファの転送を終了後は先頭のディスクリプタを参照します。本指示によって送信ディスクリプタは、リング構成となります。</p> <p>0：送信ディスクリプタリストは最後でない</p> <p>1：送信ディスクリプタリストは最後</p> |
| 29 28 | TFP1 TFP0 | 0 0 | R/W R/W | <p>送信フレーム内位置 1、0</p> <p>送信バッファと送信フレームの関連づけを行います。前後のディスクリプタにおいて、本ビットおよび TDL ビットの設定は、論理的に正しい関係を維持してください。</p> <p>00：本ディスクリプタで指示する送信バッファのフレーム送信を継続する (フレームを完結しない)</p> <p>01：本ディスクリプタで指示する送信バッファはフレームの最後を含む (フレームを完結する)</p> <p>10：本ディスクリプタで指示する送信バッファはフレームの先頭である (フレームを完結しない)</p> <p>11：本ディスクリプタで指示する送信バッファの内容が 1 フレームに相当する (1 フレーム / 1 バッファ)</p> |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|------|------------|-------|-----|--|
| 27 | TFE | 0 | R/W | 送信フレームエラー ビット 26~0 に示す送信フレームステータスのいずれかのビットがセットされていることを示します。また送信フレームステータスの情報を本ビットに反映するか否かは、送受信ステータスコピー指示レジスタによって設定されます。 0：送信時にエラーがなかった 1：送信中に何らかのエラーがあった |
| 26~0 | TFS26~TFS0 | すべて 0 | R/W | 送信フレームステータス フレーム送信中のエラーステータスを表示します。 TFS26~4：予約（書き込み時は 0 としてください） TFS3：ノーキャリア検出（EESR の CND ビットに相当） TFS2：キャリア消失検出（EESR の DLC ビットに相当） TFS1：送信中の遅延衝突検出（EESR の CD ビットに相当） TFS0：送信リトライオーバ（EESR の TRO ビットに相当） |

(b) 送信ディスクリプタ 1 (TD1)

TD1 は最大 64k バイトの送信バッファ長を指定します。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-------|------|-------|-----|--|
| 31~16 | TDL | すべて 0 | R/W | 送信バッファデータ長 当該送信バッファ内の有効転送バイト長を示します。 1 フレーム / マルチバッファ方式 (TD0、TFP = 10 あるいは 00) を指定する場合は、先頭と途中のディスクリプタ内で指定する転送バイト長もバイト単位で設定可能です。 |
| 15~0 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。 |

(c) 送信ディスクリプタ 2 (TD2)

TD2 は 32 ビット幅の当該送信バッファの先頭アドレスを示します。送信バッファの開始アドレスの設定は、ロングワードを境界として設定する必要はなく、ワード境界、バイト境界として設定しても構いません。

(2) 受信ディスクリプタ

図 12.3 に受信ディスクリプタと受信バッファの関係を示します。フレームの受信時は、E-DMAC は受信フレーム長に関係なく受信バッファの 16 バイト境界までデータの書き換えを行います。最終的に実際の受信フレーム長は、ディスクリプタ内にある RD1 の下位 16 ビットに報告されます。受信バッファへのデータ転送は、受信した 1 フレームの大きさにより、1 フレーム / 1 バッファあるいは 1 フレーム / マルチバッファ構成となるように E-DMAC が自動的に行います。

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

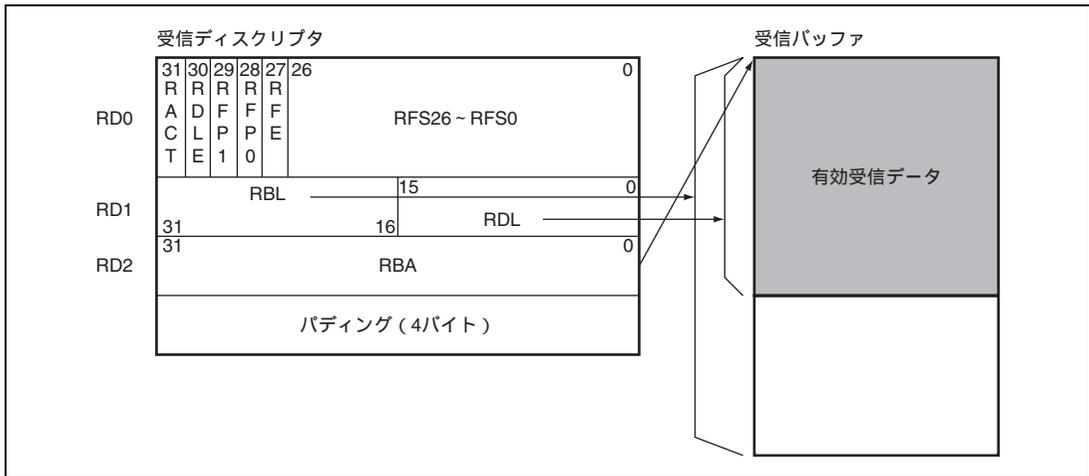


図 12.3 受信ディスクリプタと受信バッファの関係

(a) 受信ディスクリプタ 0 (RD0)

RD0は、受信フレームのステータスを示します。CPUとE-DMACは、このRD0によってフレーム受信状態を連絡します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|---|
| 31 | RACT | 0 | R/W | <p>受信ディスクリプタ有効</p> <p>当該ディスクリプタが有効であることを示します。E-DMACは、受信データを受信バッファに転送後に本ビットをリセットします。またCPUは、受信フレームの処理を完了した場合に受信準備のためセットします。</p> <p>0：受信ディスクリプタが無効であることを示します。</p> <p>受信バッファの準備ができていない（E-DMACによるアクセス禁止）、またはE-DMACのフレーム転送終了によるライトバック動作で本ビットがリセットされたことを示します（受信完了あるいは中断）。</p> <p>本状態がE-DMACのディスクリプタリードにより認識された場合は、E-DMACは受信処理を終了します。受信動作の継続はできません。RACT=1に設定し受信起動をかけることで受信を再開することができます。</p> <p>1：受信ディスクリプタが有効であることを示します。</p> <p>受信バッファの準備完了（アクセス許可）でかつFIFOからのフレーム転送処理を行っていないことを、あるいはフレーム転送中であることを示します。</p> <p>本状態がE-DMACのディスクリプタリードにより認識された場合は、E-DMACは受信動作を継続します。</p> |
| 30 | RDLE | 0 | R/W | <p>受信ディスクリプタリスト最終</p> <p>E-DMACは、当該バッファの転送を終了後に先頭の受信ディスクリプタを参照します。本指示によって受信ディスクリプタは、リング構成となります。</p> <p>0：受信ディスクリプタリストの最後ではない</p> <p>1：受信ディスクリプタリストの最後</p> |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|----------|-----------------|--------|------------|--|
| 29 28 | RFP1 RFP0 | 0 0 | R/W R/W | <p>受信フレーム内位置</p> <p>受信バッファと受信フレームの関連づけを行います。</p> <p>00: 本ディスクリプタで指示する受信バッファのフレーム受信を継続する (フレームを完結しない)</p> <p>01: 本ディスクリプタで指示する受信バッファはフレームの最後を含む (フレームを完結する)</p> <p>10: 本ディスクリプタで指示する受信バッファはフレームの先頭である (フレームを完結しない)</p> <p>11: 本ディスクリプタで指示する受信バッファの内容が 1 フレームに相当する (1 フレーム / 1 バッファ)</p> |
| 27 | RFE | 0 | R/W | <p>受信フレームエラー</p> <p>ビット 26 ~ 0 に示す受信フレームステータスのいずれかのビットがセットされていることを示します。また受信フレームステータスの情報を本ビットに反映するか否かは、送受信ステータスコピー指示レジスタによって設定されます。</p> <p>0: 受信時にエラーがなかった</p> <p>1: 受信中に何らかのエラーがあった</p> |
| 26 ~ 0 | RFS26 ~ RFS0 | すべて 0 | R/W | <p>受信フレームステータス</p> <p>フレーム受信中のエラーステータスを表示します。</p> <p>RFS26 ~ 10: 予約 (書き込み時は 0 としてください)</p> <p>PFS9: 受信 FIFO オ - バッファ (EESR の RFOF ビットに相当)</p> <p>RFS8: 予約 (書き込み時は 0 としてください)</p> <p>RFS7: マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当)</p> <p>RFS6: 予約 (書き込み時は 0 としてください)</p> <p>RFS5: 予約 (書き込み時は 0 としてください)</p> <p>RFS4: 端数ビットフレーム受信エラー (EESR の RRF ビットに相当)</p> <p>RFS3: ロングフレーム受信エラー (EESR の RTLF ビットに相当)</p> <p>RFS2: ショートフレーム受信エラー (EESR の RTSF ビットに相当)</p> <p>RFS1: PHY - LSI 受信エラー (EESR の PRE ビットに相当)</p> <p>RFS0: 受信フレーム CRC エラー検出 (EESR の CERF ビットに相当)</p> |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

(b) 受信ディスクリプタ 1 (RD1)

RD1 は最大 64k バイト以内の受信バッファ長を指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|---------|------|-------|-----|---|
| 31 ~ 16 | RBL | すべて 0 | R/W | 受信バッファ長 当該受信バッファ内の最大転送バイト長を示します。 転送バイト長は、16 バイト境界 (ビット 19 ~ 16 は 0) としてください。 1 フレーム / バッファのときは、受信フレーム長は CRC データを除き 1,514 バイトが最大です。よって受信バッファ長の指定は、最大受信フレーム長に 16 バイト境界を考慮した値である 1,520 バイト (H'05F0) を設定します。 |
| 15 ~ 0 | RDL | すべて 0 | R/W | 受信データ長 受信バッファに格納された受信フレームのデータ長を示します。 受信バッファに転送される受信データには、フレームの最後にある CRC データ (4 バイト) が含まれません。また受信フレーム長は、この CRC データを含めない (有効データバイト) 語数が報告されます。 |

(c) 受信ディスクリプタ 2 (RD2)

RD2 は 32 ビット幅の当該受信バッファの先頭アドレスを示します。受信バッファの開始アドレスの設定は、ロングワードを境界として設定してください。ただし、SDRAM 接続時は、16 バイトを境界として設定してください。

12.3.2 送信機能

送信機能が有効で、E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) をセットすると、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初期状態では送信ディスクリプタ先頭アドレスレジスタ (TDLAR) で示すディスクリプタ) を読み込みます。読み込んだディスクリプタの TACT ビットが有効な場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して EtherC に転送します。EtherC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP = 00 or 10 (フレーム継続):

DMA 転送後、ディスクリプタのライトバック (TACT ビットのみ) を行います。

- TFP = 01 or 11 (フレーム終了):

フレームの送信完了後、ディスクリプタのライトバック (TACT ビットおよびステータス) を行います。

読み込んだディスクリプタの TACT ビットが有効な間は、E-DMAC ディスクリプタの読み込みとフレームの送信を継続します。TACT ビットが無効なディスクリプタを読み込むと、E-DMAC は EDTRR の TR ビットをリセットして送信処理を完了します。

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

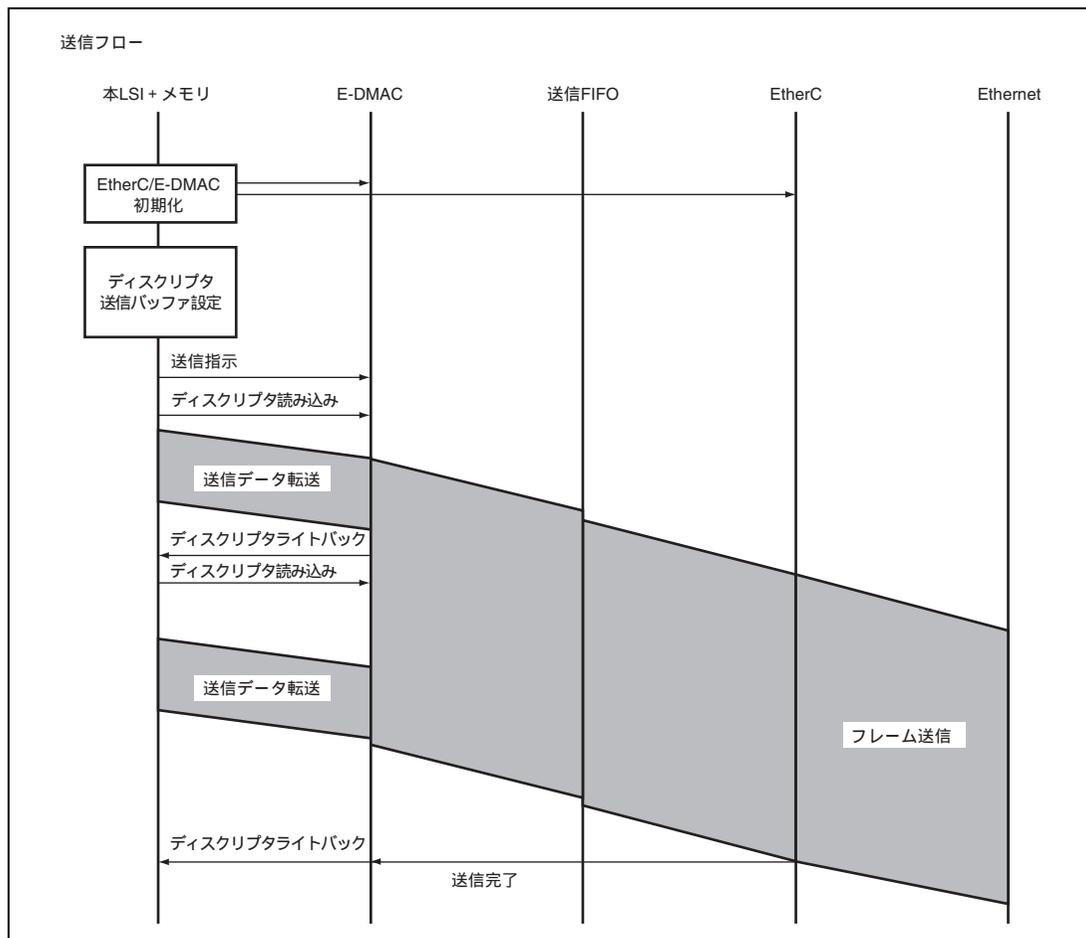


図 12.4 送信フローの例

12.3.3 受信機能

受信機能が有効で CPU が E-DMAC 受信要求レジスタ (EDRRR) の受信要求ビット (RR) をセットすると、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初期状態では受信ディスクリプタ先頭アドレスレジスタ (RDLAR) で示すディスクリプタ) を読み込んだ後に受信待機状態となります。RACT ビットが有効でかつ自局あてのフレームを受信すると、RD2 で指定される受信バッファに転送します。受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック (RFP = 10 or 00) を行った後に次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック (RFP = 11 or 01) を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

なお連続してフレームを受信するには、受信方式制御レジスタ (RMCR) 内の受信コントロ - ルビット (RNC) を 1 に設定してください。初期化後は、0 になっています。

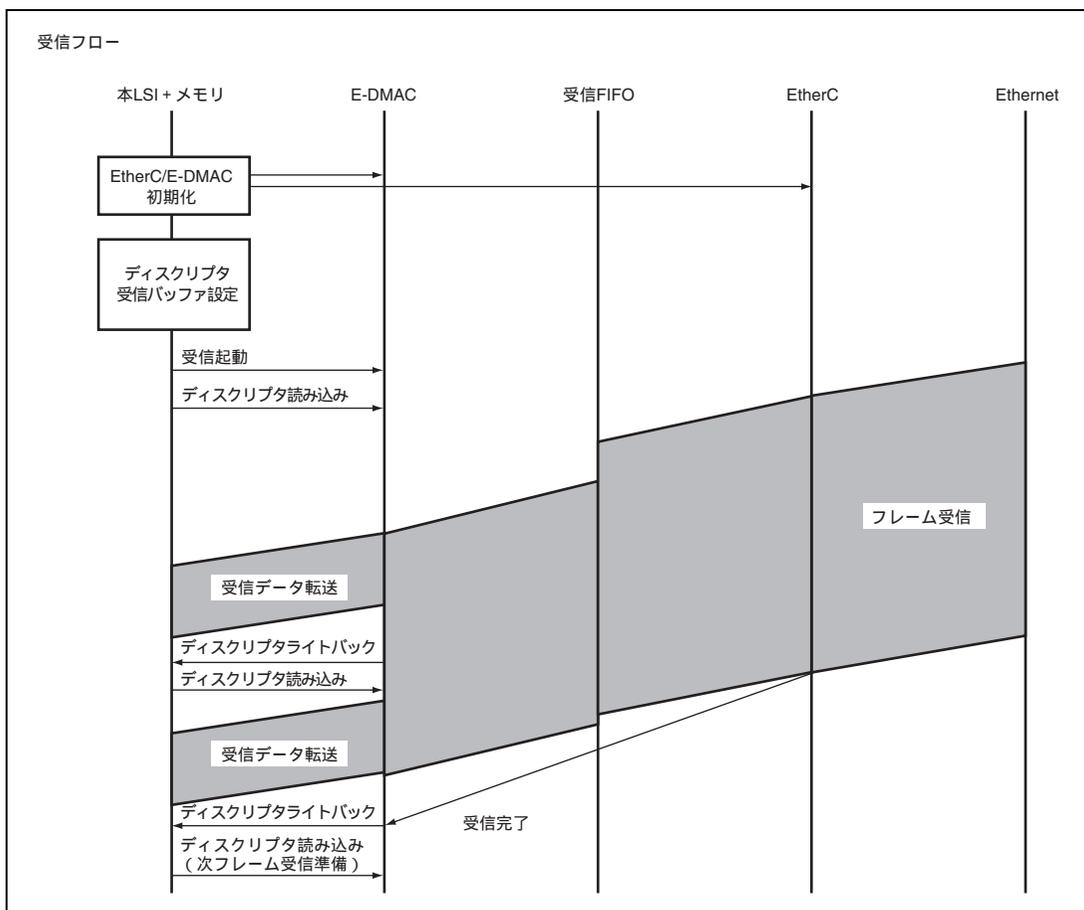


図 12.5 受信フローの例

12.3.4 マルチバッファフレームの送受信処理について

(1) マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 12.6 に示す処理を行います。

図中で送信ディスクリプタが無効 (TACT ビットが 0) である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効 (TACT ビットが 1) である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効 (TACT ビットが 1) である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます (継続[B'00]または終了[B'01])。継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE および TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

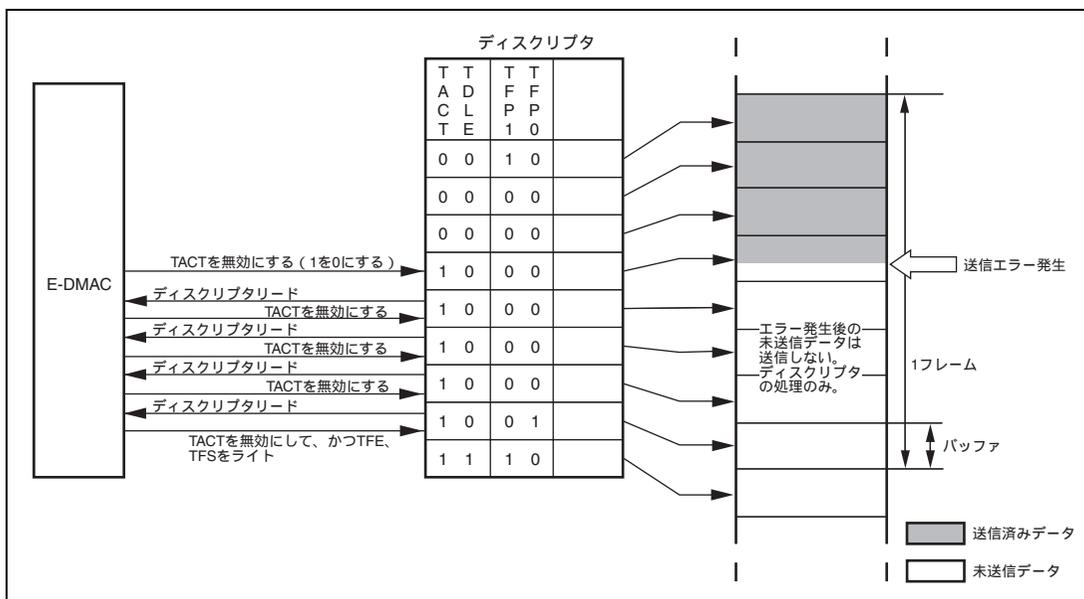


図 12.6 送信エラー発生後の E-DMAC 動作

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

(2) マルチバッファフレームの受信処理

マルチバッファフレームの受信中にエラーが発生した場合は、E-DMAC は図 12.7 に示す処理を行います。

図中で受信ディスクリプタが無効 (RACT ビットが 0) である部分はすでにバッファデータを正常に受信した部分を、受信ディスクリプタが有効 (RACT ビットが 1) である部分は未受信バッファであることを示します。図中で RACT ビットが 1 である最初のディスクリプタ部分でフレーム受信エラーが発生した場合は、ディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

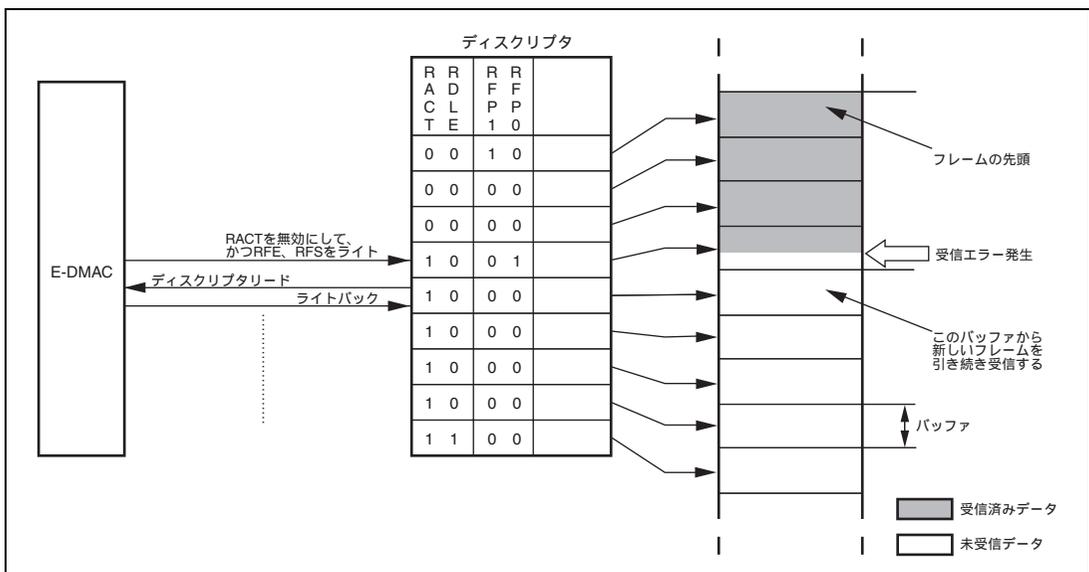


図 12.7 受信エラー発生後の E-DMAC 動作

12.4 使用上の注意事項

12.4.1 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について

SH-Ether 内蔵 E-DMAC の EESR にセットされるステータスを割り込み要因として使用した場合に、ソフトウェアによる EESR の 1 ライトクリアと EtherC、または、E-DMAC による EESR へのステータス割り込み要因のセットが競合することにより、割り込み要因が EESR にセットされない場合があります。例として、図 12.8 に EESR 割り込み要因セット不具合タイミングを示します。

- (a) EESR の受信割り込み要因と送信割り込み要因を同時に使用した場合、EtherC、または、E-DMAC からの受信割り込み要因 A が EESR のビット A にセットされ、割り込みが発生します。
- (b) 割り込みハンドラで、ソフトウェアにより EESR のビット A を 1 ライトクリアします。
- (c) ビット A を 1 ライトクリアするタイミングと、EtherC、または、E-DMAC からの送信割り込み要因 B が同時に発生した場合に、ビット A はクリアされますが、送信割り込み要因 B が EESR の該当ビットにセットされない場合があります。

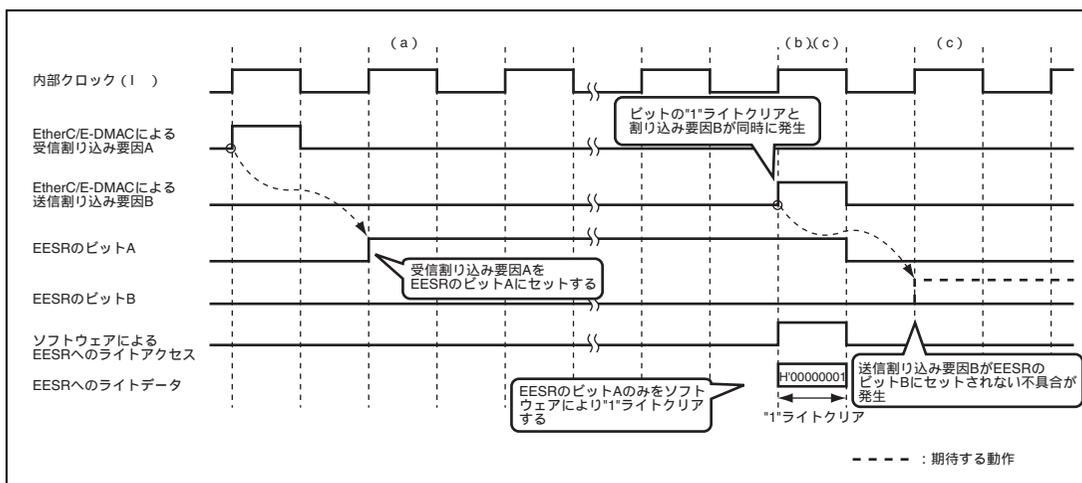


図 12.8 E-DMAC EESR 割り込み要因セット不具合タイミング

(1) 対応方法

EESR のすべてのビットで本不具合が発生するのではなく、本不具合に該当するものと該当しないものがあります。表 12.1 に本不具合該当の有無、および、各割り込み要因のディスクリプタへの反映の有無を示します。

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

表 12.1 EESR 本不具合該当の有無、および、各割り込み要因のディスクリプタへの反映の有無

| ビット | ビット名 | ビット名称 | 不具合 該当ビット | ディスクリプタへ 反映する | 割り込み要因 |
|-----|-------|---------------------|--------------|-------------------------|--------|
| 31 | - | リザーブビット | - | - | - |
| 30 | TWB | ライトバック完了 | x | - | 送信 |
| 29 | - | リザーブビット | - | - | - |
| 28 | - | リザーブビット | - | - | - |
| 27 | - | リザーブビット | - | - | - |
| 26 | TABT | 送信アボート検出、または、送信中断検出 | x | TD0 bit8 (TFS8) へ反映 | 送信 |
| 25 | RABT | 受信アボート検出、または、受信中断検出 | | RD0 bit8 (RFS8) へ反映 | 受信 |
| 24 | RFCOF | 受信フレームカウンタオーバーフロー | x | - | 受信 |
| 23 | ADE | アドレスエラー | | - | その他 |
| 22 | ECI | EtherC ステータスレジスタ要因 | | - | その他 |
| 21 | TC | フレーム送信完了 | x | TD0 bit31 (TACT) へ反映 | 送信 |
| 20 | TDE | 送信ディスクリプタ枯渇 | | - | 送信 |
| 19 | TFUF | 送信 FIFO アンダフロー | x | - | 送信 |
| 18 | FR | フレーム受信 | | RD0 bit31 (RACT) へ反映 | 受信 |
| 17 | RDE | 受信ディスクリプタ枯渇 | | - | 受信 |
| 16 | RFOF | 受信 FIFO オーバフロー | x | RD0 bit9 (RFS9) へ反映 | 受信 |
| 15 | - | リザーブビット | - | - | - |
| 14 | - | リザーブビット | - | - | - |
| 13 | - | リザーブビット | - | - | - |
| 12 | - | 送信フレーム長異常 | x | TD0 bit4 (TFS4) へ反映 | 送信 |
| 11 | CND | キャリア未検出 | x | TD0 bit3 (TFS3) へ反映 | 送信 |
| 10 | DLC | キャリア消失検出 | x | TD0 bit2 (TFS2) へ反映 | 送信 |
| 9 | CD | 遅延衝突検出 | x | TD0 bit1 (TFS1) へ反映 | 送信 |
| 8 | TRO | 送信リトライオーバ | x | TD0 bit0 (TFS0) へ反映 | 送信 |
| 7 | RMAF | マルチキャストアドレスフレーム受信 | | RD0 bit7 (RFS7) へ反映 | 受信 |

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

| ビット | ビット名 | ビット名称 | 不具合 該当ビット | ディスクリプタへ 反映する | 割り込み要因 |
|-----|------|-----------------|--------------|-----------------------|--------|
| 6 | - | リザーブビット | - | - | - |
| 5 | - | 受信フレーム廃棄の要求アサート | | RD0 bit5 (RFS5)へ反映 | 受信 |
| 4 | RRF | 端数ビットフレーム受信 | | RD0 bit4 (RFS4)へ反映 | 受信 |
| 3 | RTLF | ロングフレーム受信エラー | | RD0 bit3 (RFS3)へ反映 | 受信 |
| 2 | RTSF | ショートフレーム受信エラー | | RD0 bit2 (RFS2)へ反映 | 受信 |
| 1 | PRE | PHY-LSI 受信エラー | | RD0 bit1 (RFS1)へ反映 | 受信 |
| 0 | CERF | 受信フレーム CRC エラー | | RD0 bit0 (RFS0)へ反映 | 受信 |

x : EESR 割り込み要因セット不具合該当ビット

: EESR 割り込み要因セット不具合非該当ビット

: ディスクリプタへ反映する割り込み要因

EESR 不具合該当ビットに対する対応方法を以下に示します。

- bit30 TWB : ライトバック完了割り込み要因がEESRにセットされない場合があります。
該当する送信ディスクリプタのTACTビットを確認し、TACTビットが0の場合はライトバックが完了したことを認識してください。
- bit26 TABT : 送信アバート検出、または、送信中断検出割り込み要因がEESRにセットされない場合があります。ただし、割り込み要因は該当ディスクリプタにライトバックされますので、送信ディスクリプタ (TD0) でエラーステータスを確認してください。
- bit24 RFCOF : 受信フレームカウンタオーバーフロー割り込み要因がEESRにセットされない場合があります。ただし、仮に本オーバーフローが発生したにも関わらず割り込みがソフトウェアに通知されなかったとしても、本LSIは、このフレームを廃棄するため上位レイヤ (例えば、TCP/IP) はエラーを認識することができます。オーバーフロー状態解除後は、次のフレームの先頭から受信FIFOに正常に格納されますので、システム上の影響はありません。

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

- bit21 TC : フレーム送信完了割り込み要因がEESRにセットされない場合があります。
したがって、送信系処理の場合は、以下の (a)、(b) のいずれかを採用してください。
 - (a) フレーム送信完了割り込みによるハンドリングを使用せずに送信処理を行う方法
 1. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
 2. 送信ディスクリプタ設定後、E-DMAC送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
 3. 次の送信フレームをディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタ (TD0) のTACTビットをチェックしてください。
 4. TACTビットが0の場合は、送信フレームを該当する送信ディスクリプタに設定して、EDTRRのTRビットをセットし、送信を開始します。TACTビットが1の場合は、次のタイミングまで送信ディスクリプタ設定を待ちます。
 - (b) フレーム送信完了をその都度認識して処理を行うことが必要なシステムの場合 (送信フレーム設定 送信起動 フレーム送信完了 次の送信フレーム設定 . . .)
 1. 送信フレームの最後のディスクリプタのTACTビットを確認し、TACTビットが0の場合に送信完了を認識してください。
- bit19 TFUF : 送信FIFOアンダフロー割り込み要因がEESRにセットされない場合があります。
ただし、本ビットを割り込み要因として使用した場合はソフトウェアに通知されませんが、送信FIFOアンダフローとなった場合、上位レイヤはエラーを認識することができます。
- bit16 RFOF : 受信FIFOオーバフロー割り込み要因がEESRにセットされない場合があります。
ただし、割り込み要因は該当ディスクリプタにライトバックされますので、受信ディスクリプタ (RD0) でエラーステータスを確認してください。
- bit11 CND、bit10 DLC、bit9 CD、bit8 TRO : キャリア未検出、キャリア消失検出、遅延衝突検出、送信リトライオーバ割り込み要因がEESRにセットされない場合があります。ただし、割り込み要因は該当ディスクリプタにライトバックされるため、送信ディスクリプタ (TD0) でエラーステータスを確認してください。

(2) フレーム送信完了割り込みをベースとしたソフトウェア構成の場合の対応方法例

EESR bit21 のフレーム送信完了 (TC) 割り込みを使用したソフトウェア構成に対する、対応方法の例を以下に示します。

(a) については、EESR bit21 に TC 割り込み要因がセットされずに、TC 割り込み待ち状態となり送信処理が停止する現象が、割り込みハンドラで EESR の 1 ライトクリア時に発生することに着目し、TC 以外の割り込み処理時に送信ディスクリプタの状態を監視することによって回避する方法を示します。

一方 (b) は、複数のディスクリプタを使用する場合の送信処理について、TC 割り込み要因がセットされずに、TC 割り込み待ち状態となり送信処理が停止する現象を、タイムアウトを設けてリトライ処理させることで回避する方法を示します。

【注】 ご使用のドライバ構造、または、ソフトウェア構造にあわせて組込み、ご使用いただくようお願い致します。

(a) フレーム送信完了 (TC) 以外の割り込み処理時に、送信ディスクリプタの状態を監視することによる対応方法

1. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
 2. および割り込みハンドラで使用する"条件フラグ" (送信ディスクリプタの TACT ビットをリードするための条件フラグ) を準備し、条件フラグを"OFF"にセットしてください。
 3. 送信フレームを最初の送信ディスクリプタに設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
 4. 次の送信フレームを送信ディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタの TACT ビットをチェックしてください。
 5. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後、EDTRR の TR ビットをセットし送信を開始します。
TACT ビットが 1 の場合は、条件フラグを"ON"にセットし、OS のサービスコール (例: セマフォの獲得) により送信タスクを待ち状態にします。
- 【注】 EDTRR の TR ビットをセットする場合には、必ず EDTRR をリードし TR ビットが 0 であることを確認後にセットしてください。
6. 送信タスクの待ち状態が解除されるまで待ちます。なお、割り込みハンドラで OS のサービスコール (例: セマフォの返却) によりタスクの待ち状態を解除させる条件は以下の 2 つです。
 - TC 割り込みが発生した場合。
 - TC 以外の割り込みが発生し、かつ、条件フラグが"ON"で、かつ、TACT = 0 の場合。
条件フラグが"ON"のときにのみ TACT をチェックすることで不要な処理を削減できます。なお、タスクの待ち状態解除に続いて条件フラグを"OFF"にセットします。
 7. 送信タスクが待ち状態から解除され実行状態になった場合、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始してください。

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

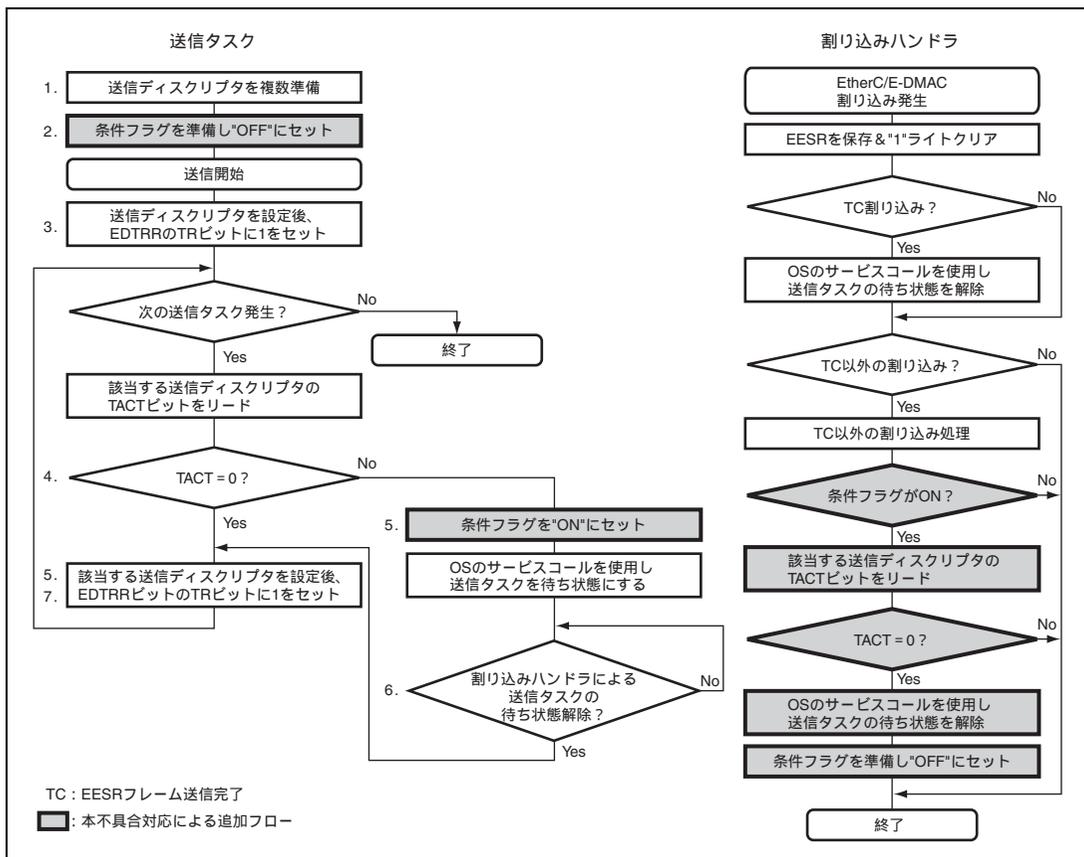


図 12.9 フレーム送信完了 (TC) 以外の割り込み処理時に送信ディスクリプタの状態を監視することによる対応方法

(b) タイムアウト処理を付加することによる対応方法

1. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
 2. 送信ディスクリプタ設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
 3. 次の送信フレームを送信ディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタの TACT ビットをチェックしてください。
 4. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始します。TACT ビットが 1 の場合は、OS のタイムアウト機能付きサービスコール (例: セマフォの獲得 (タイムアウト有り)) により送信タスクを待ち状態にします。
- 【注】 EDTRR の TR ビットをセットする場合には、必ず EDTRR をリードし TR ビットが 0 であることを確認後にセットしてください。
5. 規定時間以内に送信タスクの待ち状態が解除され実行状態になった場合、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始してください。なお、送信

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

タスクの待ち状態解除は割り込みハンドラにて TC 割り込みが発生した時に行ってください。

- 規定時間経過しタイムアウトしたときは、該当する送信ディスクリプタの TACT ビットをチェックしてください。

TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし、送信を開始します。TACT ビットが 1 の場合は、OS のタイムアウト機能付きサービスコールによりタスクを待ち状態にするか、あるいは、ソフトウェアリセットによりイーサネット関係のすべてのモジュールを初期化してください。

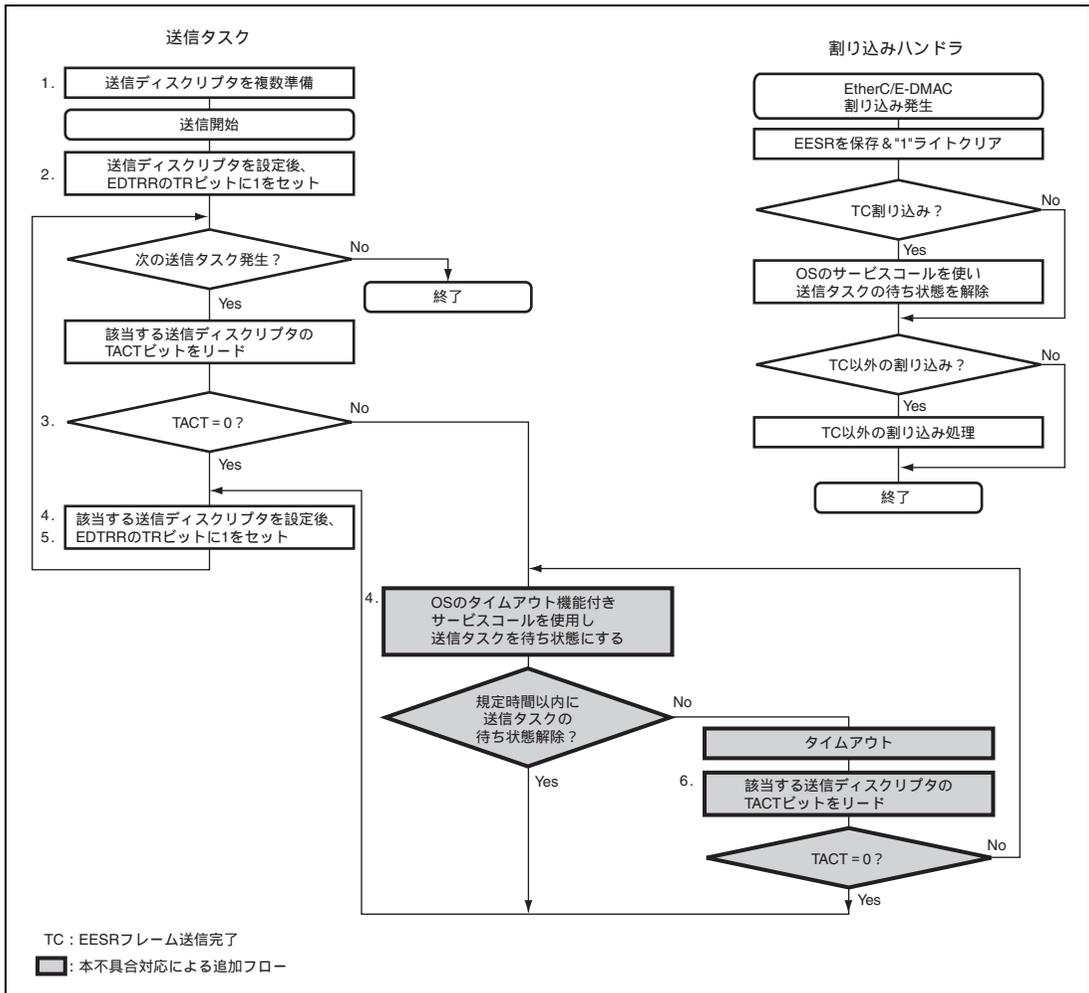


図 12.10 タイムアウト処理を付加することによる対応方法

12.4.2 SH-Ether 送信アンダフロー発生時の使用上の注意について

SH-Ether 内蔵 E-DMAC の送信動作において、E-DMAC 以外の他バスマスタによるバス占有などの理由によって E-DMAC がバス権を獲得できない場合、送信 FIFO へのライトデータが滞り送信アンダフローが発生します。その後、E-DMAC が再びバス権を獲得すると残りの送信データの転送を再開し、DMA 転送完了後に該当ディスクリプタへライトバックを行った後に、次のディスクリプタフェッチに移るのが本来期待する動作です。しかし、FIFO 容量指定レジスタ (FDR) の送信 FIFO 容量値 最大送信フレーム長 (1518 バイト) の場合、送信アンダフロー発生時点の残りのフレームデータ長と送信 FIFO ポインタの関係によっては、E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) が 1 にセットされているにも関わらず E-DMAC が動作停止する場合があります。

E-DMAC が停止する場合の動作と送信 FIFO との関係を、以下に示します。

送信データは、外部メモリ (送信バッファ) E-DMAC による DMA 転送 送信 FIFO EtherC 経由で MII 端子から送信されます。E-DMAC が送信データを送信 FIFO にライトする際は送信 FIFO ライトポインタ (WP) を、EtherC により送信 FIFO から送信データをリードする際は送信 FIFO リードポインタ (RP) を使用します。

1. ソフトウェアリセット後、送信FIFOは初期状態となりWPは送信FIFO容量の最小値を、RPは送信FIFO容量の最大値となります。
2. E-DMACによるDMA転送が開始すると、送信データが送信FIFOにライトされWPがカウントアップします。一方、送信FIFOにライトされたデータは、EtherCにより読み出されるとRPがカウントアップします。

【注】送信 FIFO に格納されるデータは、処理中の 1 フレームのみです。次フレームをまたいで格納されることはありません。

すなわち、処理中の 1 フレームが送信 FIFO からリードされない限り、E-DMAC は次フレームを送信 FIFO に転送しません。

3. システム的な原因によりE-DMACがバス権を獲得できない場合、DMA転送が滞り送信アンダフローが発生 (WP=RP、かつ、フレーム長未満) するとEtherCによる送信FIFOのリードアクセスを終了し、RPを初期状態 (送信FIFO容量の最大値) にします。
4. その後、E-DMACが再びバス権を獲得すると残りのフレームデータのDMA転送を再開しますが、送信アンダフロー発生時点での残りのフレームデータ (1フレーム分) をすべて送信FIFOにライトできずに送信FIFOが満杯になると、さらに残りのデータを転送するためにE-DMACは送信FIFOの空き待ち状態となります。しかし、3.においてEtherCによる送信FIFOのリードアクセスは終了しており送信FIFO内のデータは満杯状態のまま、E-DMACは動作停止状態となります。

すなわち、送信アンダフロー発生時点の (RPの初期値 - WP値) < 残りのフレームデータ長の場合に本不具合が発生します。

12. イ - サネットコントロール用ダイレクトメモリアクセスコントロール (E-DMAC)

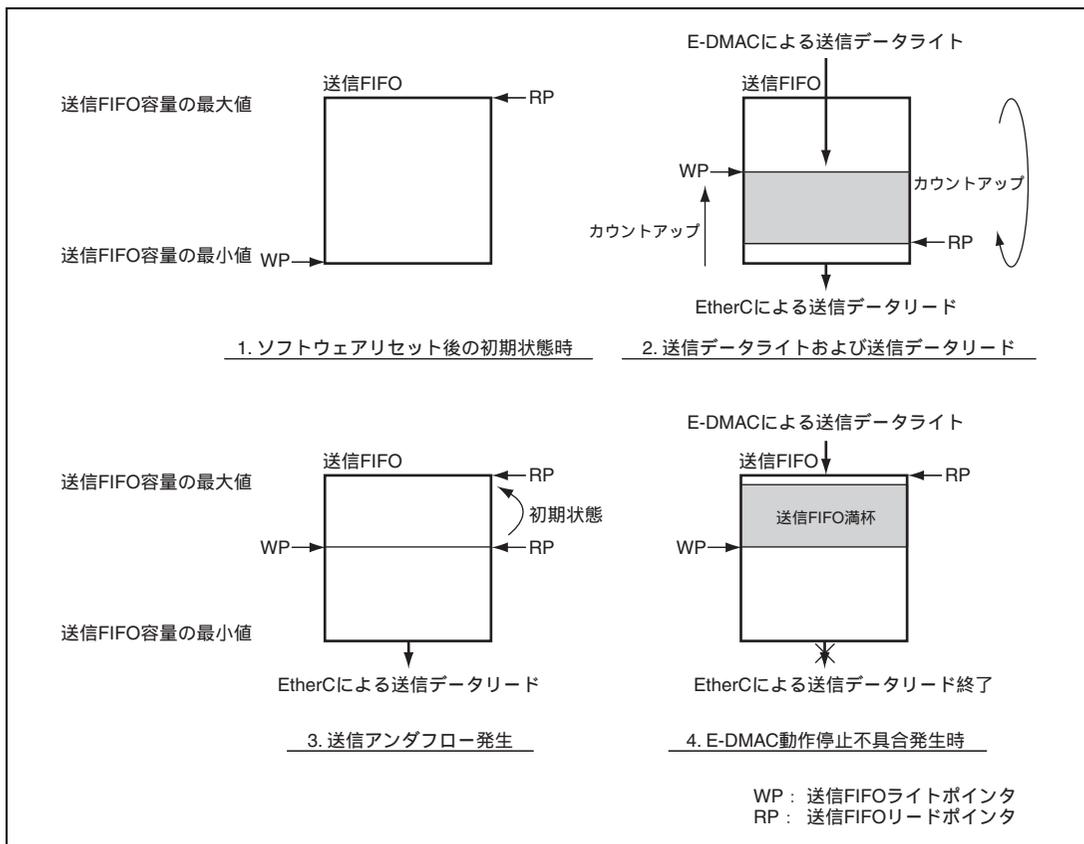


図 12.11 E-DMAC が停止する場合の動作と送信 FIFO との関係

(1) 対応方法

FIFO 容量指定レジスタ (FDR) の送信 FIFO 容量値 最大送信フレーム長 (1518 バイト) の条件の場合、本不具合が該当します。

本不具合による E-DMAC 動作停止状態を解除するため、ソフトウェアリセットにより EtherC、および、E-DMAC の初期化を行ってください。

具体的な対応方法の例として、TC 割り込みを使用せずに送信処理を行うソフトウェア構成の場合の対応方法の例を (2) に、TC 割り込みをベースとしたソフトウェア構成の場合の対応方法例を (3) に示します。いずれの方法も「12.4.1 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について」の対応方法をベースにした、最大規定時間タイムアウト処理を付加することによる対応方法です。

一定規定時間とは、「12.4.1 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について」におけるタイムアウト時間に対応します。また、最大規定時間は呼び出した回数 n に反映させ、表 12.2 の再送処理を考慮した最大時間を参考にして設定してください。最大規定時間を超えた場合は、送信アンダフローによる E-DMAC の動作停止状態と判断し、ソフトウェアリセットにより EtherC、および、E-DMAC の初期化を行ってください。なお、ソフトウェアリセットで受信側も初期化されることとなりますので、上位レイヤ (例えば、

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

TCP/IP)により受信側の処理が必要になる場合があります。

【注】 ご使用のドライバ構造、または、ソフトウェア構造にあわせて組込み、ご使用いただくようお願い致します。

(2) TC 割り込みを使用せずに送信処理を行うソフトウェア構成の場合の対応方法

「12.4.1 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について」の bit21 に示す、

(a) TC 割り込みによるハンドリングを使用せずに送信処理を行う方法をベースにした対応方法例です。

(a) TC 割り込みによるハンドリングを使用せずに送信処理を行う方法

1. タイマの初期設定をします。
2. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
3. 送信ディスクリプタ設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
4. 次の送信フレームをディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタ (TD0) の TACT ビットをチェックしてください。
5. ACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定して、EDTRR の TR ビットをセットし、送信を開始します。TACT ビットが 1 の場合は、カウンタ i を 0 にセットします (カウンタ i は、一定規定時間の呼び出し回数を示す変数です)。
6. タイマカウント動作を開始します。
7. 一定規定時間経過した場合はタイマカウント動作を停止し、該当する送信ディスクリプタ (TD0) の TACT ビットをチェックしてください。
8. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定して、EDTRR の TR ビットをセットし、送信を開始します。TACT ビットが 1 の場合はカウンタ i をインクリメントします。
9. カウンタ i が n 回未満の場合は、8. で TACT ビットが 1 である限り最大規定時間に達するまで何度も 6. ~ 8. を繰り返します (最大規定時間は、呼び出した回数 n に反映させ、表 12.2 の再送処理を考慮した最大時間を参考にして設定してください)。カウント数 n は、表 12.2 を参考にユーザが決定するカウント数です。

カウンタ i が n 回以上となった場合は最大規定時間を経過していますので、送信アンダフローによる E-DMAC の動作停止状態と判断し、E-DMAC モードレジスタ (EDMR) ソフトウェアリセット (SWR) による EtherC、および、E-DMAC を初期化し、再度イーサネットモジュールの初期設定後、送受信ディスクリプタ、および送受信バッファの初期化を実行してください。

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

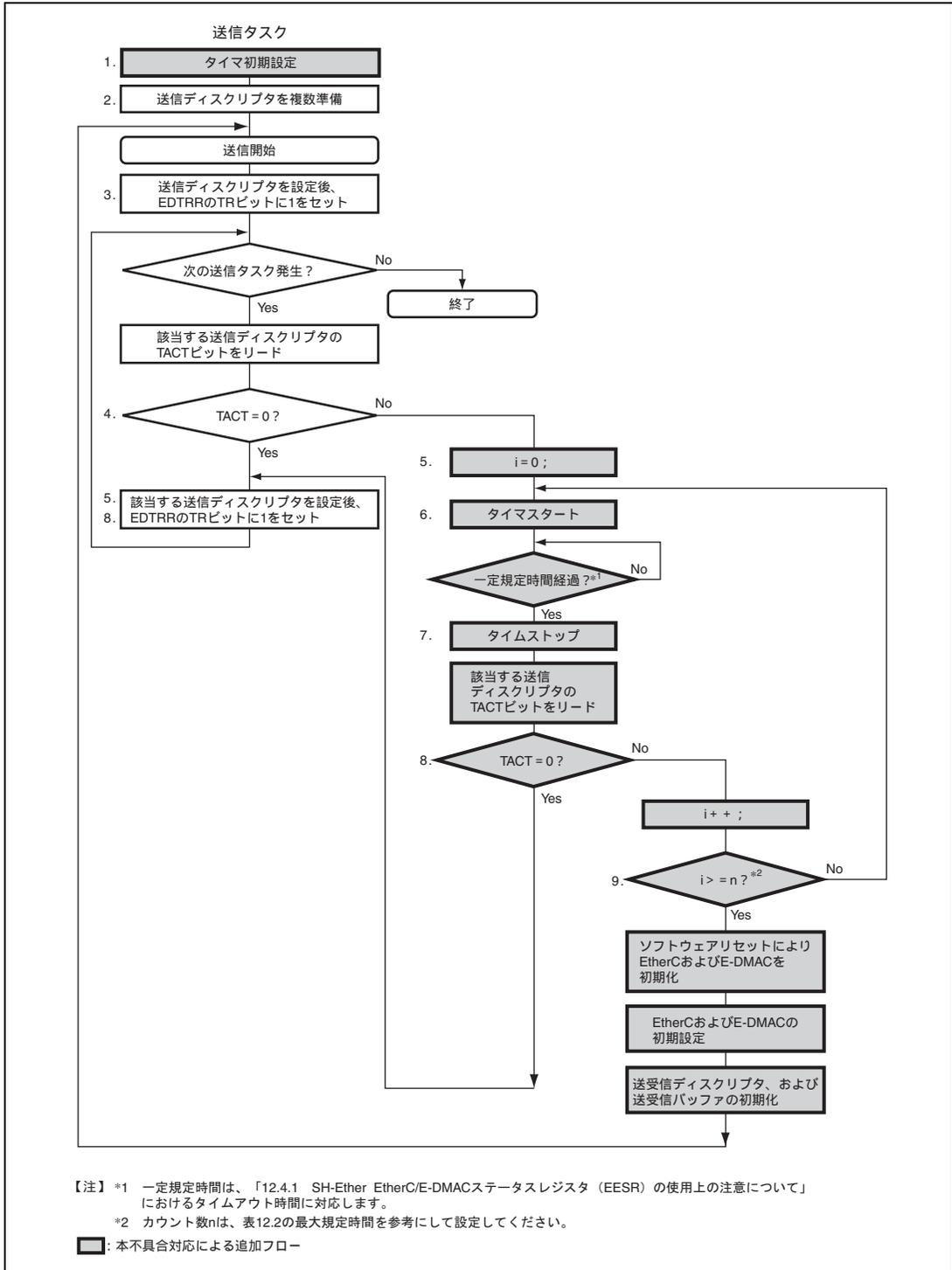


図 12.12 TC 割り込みによるハンドリングを使用せずに送信処理を行う方法

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

(3) TC 割り込みをベースとしたソフトウェア構成の場合の対応方法

TC 割り込みをベースとしたソフトウェア構成の場合の対応方法例として、最大規定時間タイムアウト処理を付加することによる対応方法を示します。これは「12.4.1 SH-Ether EtherC/E-DMAC ステータスレジスタ (EESR) の使用上の注意について」に示す、(b) タイムアウト処理を付加することによる対応方法をベースにした対応方法です。

最大規定時間はタイムアウト機能付きサービスコールを呼び出した回数 n に反映させ、表 12.2 の再送処理を考慮した最大時間を参考にして設定してください。

(b) 最大経過時間タイムアウト処理を付加することによる対応方法

1. 複数フレームを送信できるように送信ディスクリプタを複数準備します。
2. 送信ディスクリプタ設定後、E-DMAC 送信要求レジスタ (EDTRR) bit0 (TR) をセットし、送信を開始します。
3. 次の送信フレームを送信ディスクリプタに設定する際は (送信するタスクが発生した際)、該当する送信ディスクリプタの TACT ビットをチェックしてください。
4. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始します。TACT ビットが 1 の場合は、カウンタ i を 0 にセットします (カウンタ i は、OS のタイムアウト機能付きサービスコールの呼び出し回数を示す変数です)。そして OS のタイムアウト機能付きサービスコール (例: セマフォの獲得 (タイムアウト有り)) により送信タスクを待ち状態にします。

【注】 EDTRR の TR ビットをセットする場合には、必ず EDTRR をリードし TR ビットが 0 であることを確認後にセットしてください。

5. 一定規定時間以内に送信タスクの待ち状態が解除され実行状態になった場合、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始してください。なお、送信タスクの待ち状態解除は割り込みハンドラにて TC 割り込みが発生した時に行ってください。
6. 一定規定時間以内に送信タスクの待ち状態が解除されなかった場合、カウンタ i をインクリメントしその値が n 回未満であれば、該当する送信ディスクリプタの TACT ビットをチェックしてください。カウンタ数 n は、表 12.2 を参考にユーザが決定するカウンタ数です。
7. TACT ビットが 0 の場合は、送信フレームを該当する送信ディスクリプタに設定後 EDTRR の TR ビットをセットし送信を開始します。TACT ビットが 1 の場合は、再度 OS のタイムアウト機能付きサービスコールを使用し送信タスクを待ち状態にしてください。その後 5、6 を繰り返します。
8. カウンタ i が n 回以上になった場合は最大規定時間を経過していますので、送信アンダフローによる E-DMAC の動作停止状態と判断し、E-DMAC モードレジスタ (EDMR) ソフトウェアリセット (SWR) による EtherC、および、E-DMAC を初期化し、再度イーサネットモジュールの初期設定、送受信ディスクリプタ、および送受信バッファの初期化を実行してください。

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

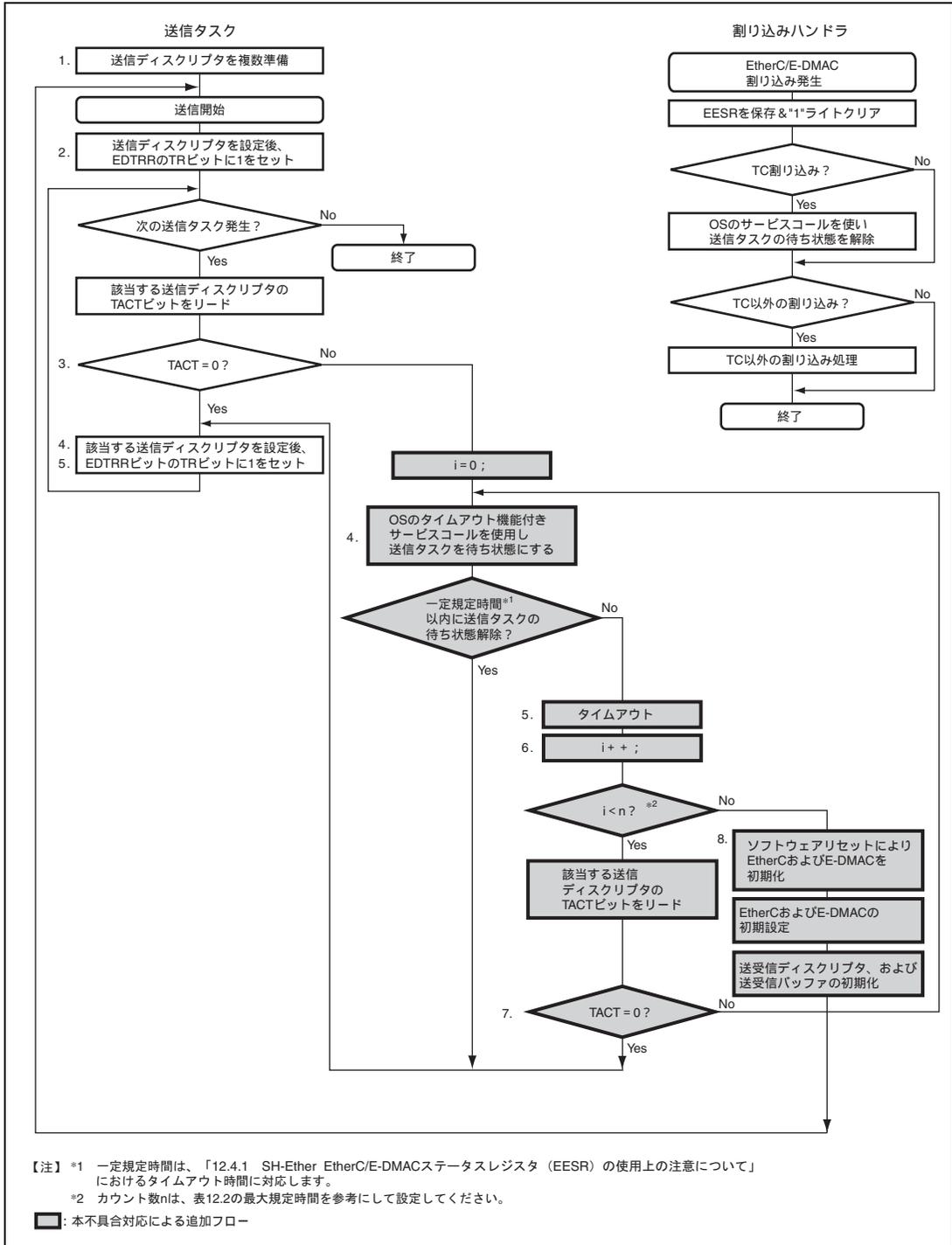


図 12.13 TC 割り込みをベースとした場合の最大規定時間タイムアウト処理を付加することによる対応方法

12. イ - サネットコントロ - ラ用ダイレクトメモリアクセスコントロ - ラ (E-DMAC)

表 12.2 最大規定時間参考値

| 回線速度 | | 10Mbps の時 | 100Mbps の時 |
|----------------|---------------------|----------------------|------------------------|
| 最大 規定 時間 | フロー制御なし、かつ、全二重通信の場合 | 1.3m 秒以上 | 130 μ 秒以上 |
| | フロー制御なし、かつ、半二重通信の場合 | 183m 秒以上 (最大 366m 秒) | 18.3m 秒以上 (最大 36.6m 秒) |
| | フロー制御ありの場合 | 336m 秒以上 | 33.6m 秒以上 |

【注】 最大規定時間とは、1 フレーム送信にかかる最大時間、または、フロー制御の最大時間です。

13. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

13.1 特長

CMT には次の特長があります。

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
4種類の内部クロック (P /8、P /32、P /128、P /512) を選択可能
- コンペアマッチ時、割り込み要求可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 13.1 に CMT のブロック図を示します。

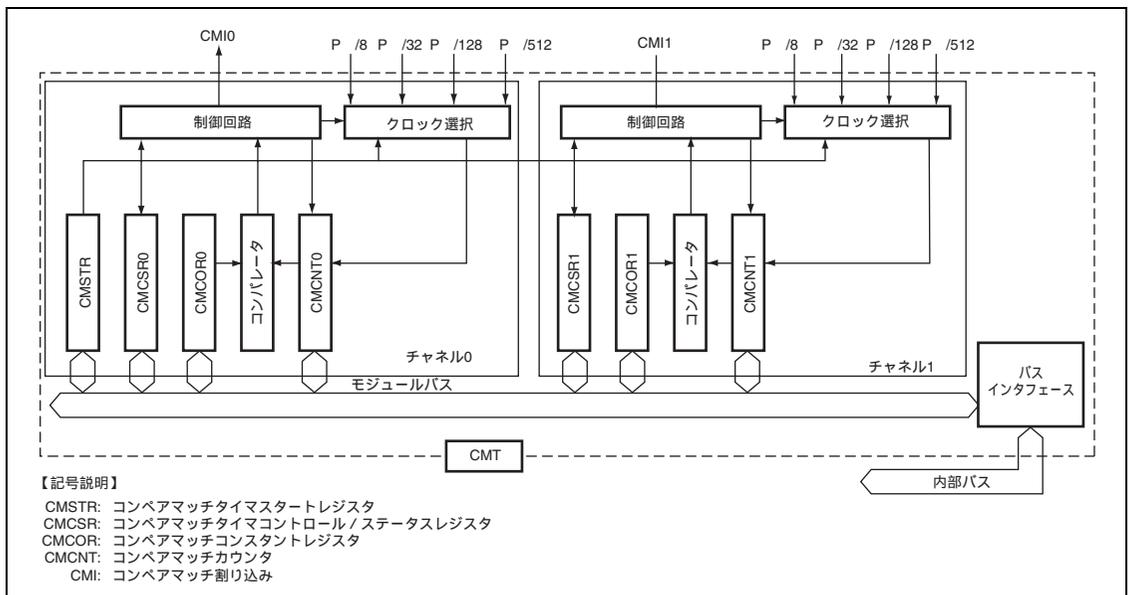


図 13.1 コンペアマッチタイマのブロック図

13. コンペアマッチタイマ (CMT)

13.2 レジスタの説明

CMT のレジスタを以下に示します。

- コンペアマッチタイマスタートレジスタ (CMSTR)
- コンペアマッチタイマコントロール/ステータスレジスタ_0 (CMCSR_0)
- コンペアマッチカウンタ_0 (CMCNT_0)
- コンペアマッチコンスタントレジスタ_0 (CMCOR_0)
- コンペアマッチタイマコントロール/ステータスレジスタ_1 (CMCSR_1)
- コンペアマッチカウンタ_1 (CMCNT_1)
- コンペアマッチコンスタントレジスタ_1 (CMCOR_1)

13.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

CMSTR はパワーオンリセット時に H'0000 に初期化されます。スタンバイモード時にも、H'0000 に初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|---|
| 15~2 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。 |
| 1 | STR1 | 0 | R/W | カウントスタート 1 コンペアマッチカウンタ_1 の動作 / 停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始 |
| 0 | STR0 | 0 | R/W | カウントスタート 0 コンペアマッチカウンタ_0 の動作 / 停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始 |

13.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込み、およびカウンタ入力クロックの設定を行います。CMCSR はパワーオンリセット時に H'0000 に初期化されます。スタンバイモード時にも、H'0000 に初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|--------------|--------|------------|--|
| 15~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。 |
| 7 | CMF | 0 | (R/W)* | コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0 : CMCNT と CMCOR の値は不一致 [クリア条件] CMF に 0 を書き込んだとき 1 : CMCNT と CMCOR の値が一致 |
| 6 | CMIE | 0 | R/W | コンペアマッチ割り込みイネーブル CMCNTCMCOR の値が一致したとき (CMF = 1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0 : コンペアマッチ割り込み (CMI) を禁止 1 : コンペアマッチ割り込み (CMI) を許可 |
| 5~2 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込みも常に 0 を書き込んでください。 |
| 1 0 | CKS1 CKS0 | 0 0 | R/W R/W | クロックセレクト 1、0 周辺動作クロック (P) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS1、CKS0 ビットにより選択されたクロックでカウントを開始します。 00 : P /8 01 : P /32 10 : P /128 11 : P /512 |

【注】 * フラグクリアのための 0 書き込みのみ可能です。

13.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT はパワーオンリセット時に H'0000 に初期化されます。スタンバイモード時にも、H'0000 に初期化されます。

13. コンペアマッチタイム (CMT)

13.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はパワーオンリセット時に H'FFFF に初期化されます。スタンバイモード時にも、H'FFFF に初期化されます。

13.3 動作説明

13.3.1 期間カウント動作

内部クロックが CMCSR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 13.2 にコンペアマッチカウンタ動作を示します。

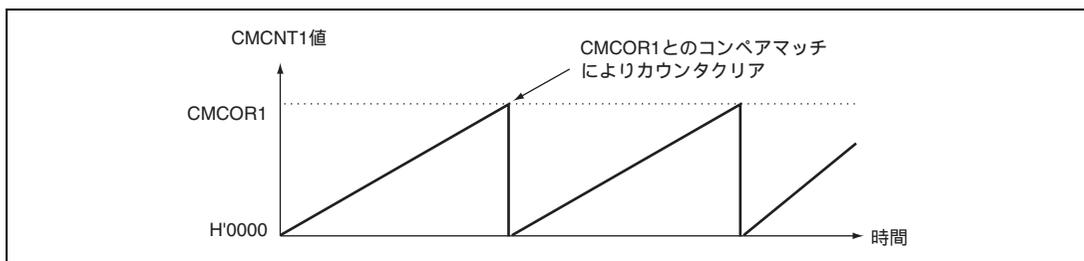


図 13.2 カウンタ動作

13.3.2 CMCNT カウントタイミング

クロック (P) を分周して得られた 4 種類のクロック (P / 8、P / 32、P / 128、P / 512) のうち 1 つを CMCSR の CKS1、CKS0 ビットにより選択することができます。図 13.3 にそのタイミングを示します。

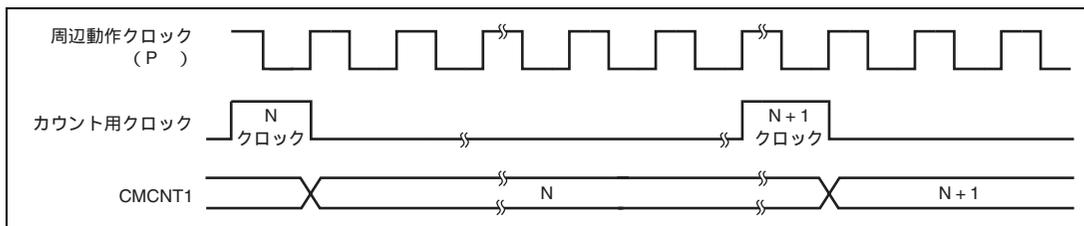


図 13.3 カウントタイミング

13.4 割り込み

13.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「第 6 章 割り込みコントローラ (INTC)」を参照してください。

13.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないときコンペアマッチ信号は発生しません。図 13.4 に CMF ビットのセットタイミングを示します。

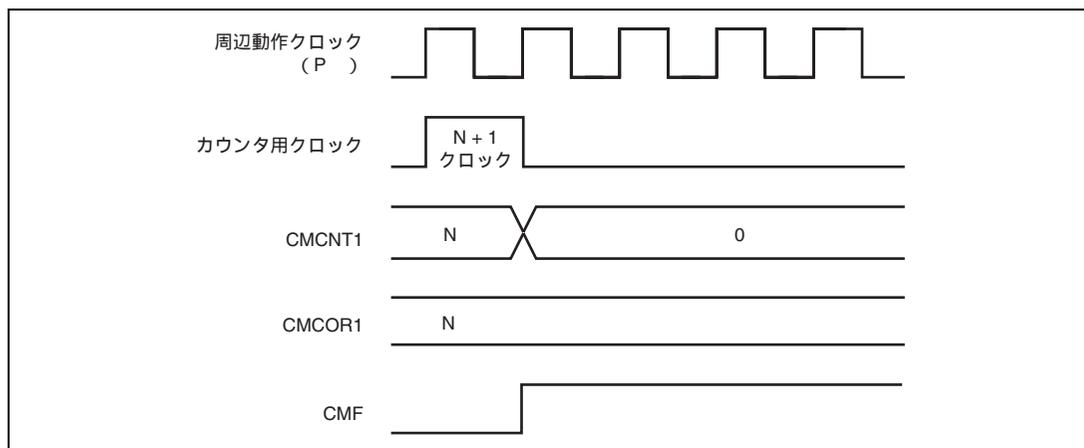


図 13.4 CMF セットタイミング

13.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF = 1 を読み出した後に 0 を書き込むことでクリアされます。

13.5 使用上の注意事項

13.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 13.5 に示します。

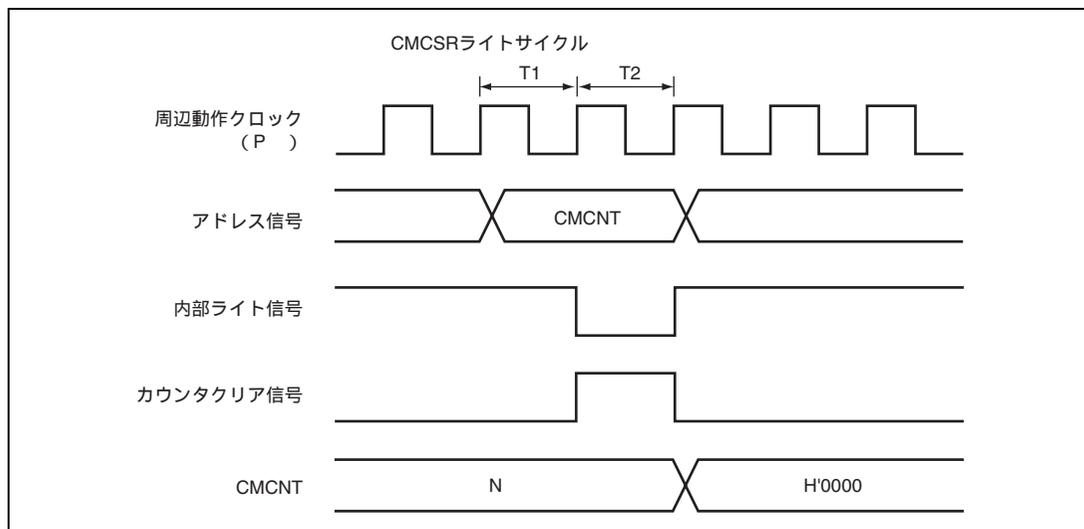


図 13.5 CMCNT の書き込みとコンペアマッチの競合

13.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 13.6 に示します。

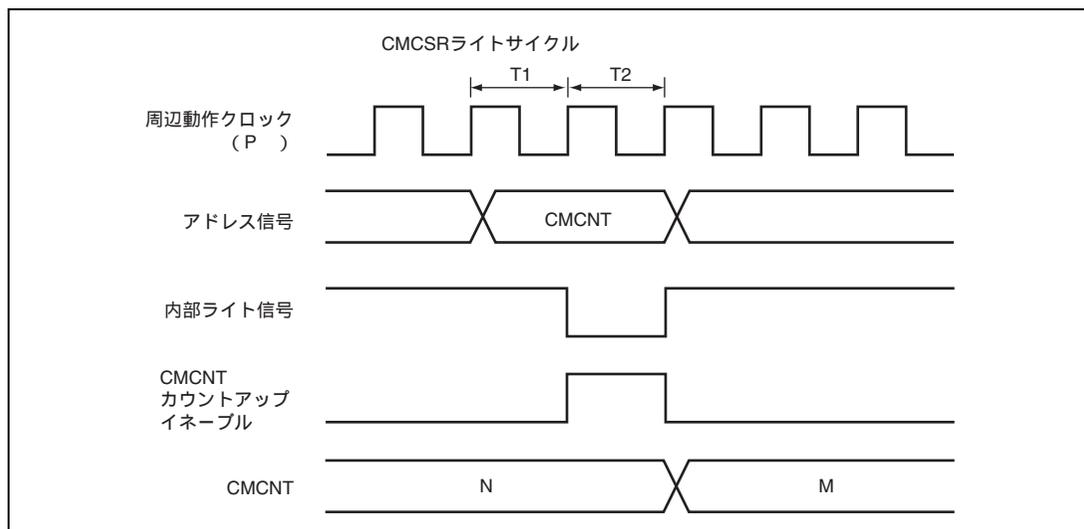


図 13.6 CMCNT のワード書き込みとカウントアップの競合

13.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 13.7 に示します。

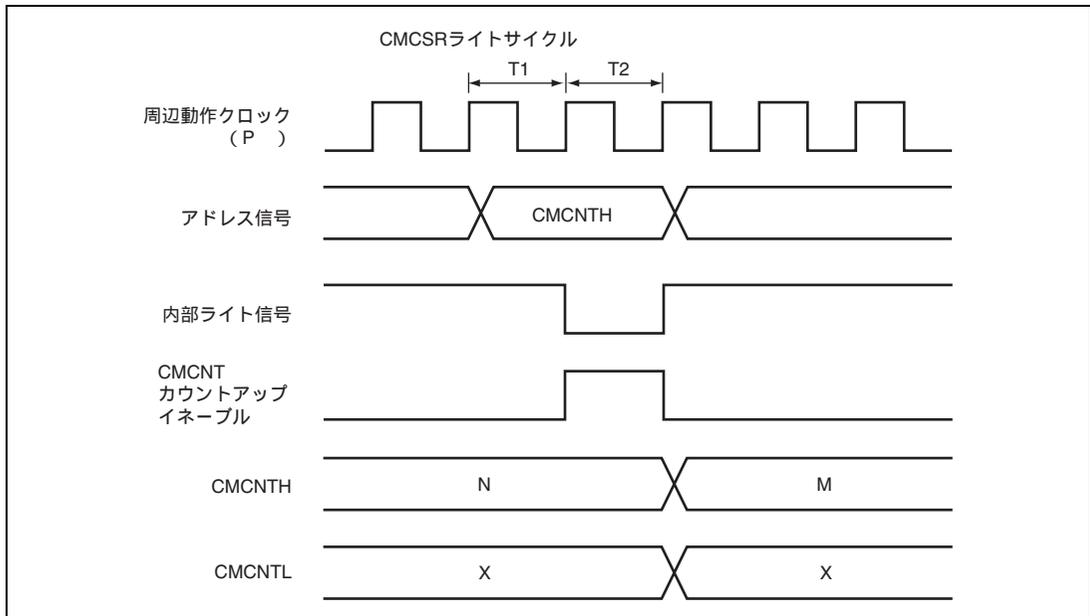


図 13.7 CMCNT のバイト書き込みとカウントアップの競合

13.5.4 カウント停止中の CMCNT と CMCOR への書き込み競合

CMCNT がカウント動作停止状態で CMCNT と CMCOR に同じ値を設定しないでください。このような動作をすると、CMCSR の CMF ビットに 1 がセットされ、CMCNT は H'0000 にクリアされます。

14. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

本 LSI は、3 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。SCIF は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。

送受信に FIFO レジスタを各々16 段内蔵しており、効率の良い高速連続通信を行うことができます。

14.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO パツファ構造になっているので、シリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース

ボーレートジェネレータ (内部クロック)、または SCK 端子 (外部クロック) から選択可能

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- 4 種類の割り込み要因

送信FIFOデータエンプティ、ブ레이크、レシーブFIFOデータフル、受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。

- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期モードにおいて、モデムコントロール機能 ($\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$) を内蔵しています。(チャンネル0、1のみ)
- 送信、およびレシーブFIFOレジスタのデータ数およびレシーブFIFOレジスタの受信データの受信エラー数を知ることができます。
- 調歩同期モード受信時、タイムアウトエラー (DR) を検出できます。

SCIFのブロック図を図14.1に示します。

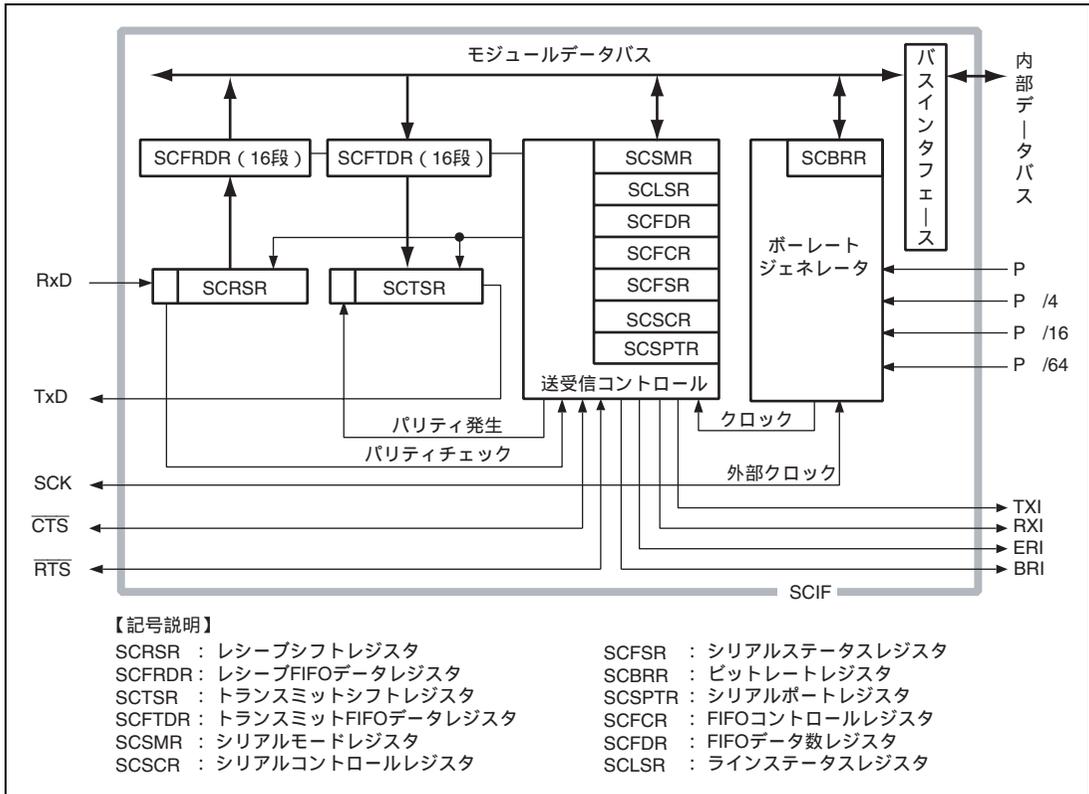


図 14.1 SCIFのブロック図

14.2 入出力端子

SCIFの入出力端子を表 14.1 に示します。

表 14.1 端子構成

| チャンネル | 名称 | 略称 | 入出力 | 機能 |
|-------|---------------|------|-----|-------------|
| 0 | シリアルクロック端子 | SCK0 | 入出力 | クロック入出力 |
| | 受信データ端子 | RxD0 | 入力 | 受信データ入力 |
| | 送信データ端子 | TxD0 | 出力 | 送信データ出力 |
| | リクエストツースェンド端子 | RTS0 | 出力 | リクエストツースェンド |
| | クリアツースェンド端子 | CTS0 | 入力 | クリアツースェンド |
| 1 | シリアルクロック端子 | SCK1 | 入出力 | クロック入出力 |
| | 受信データ端子 | RxD1 | 入力 | 受信データ入力 |
| | 送信データ端子 | TxD1 | 出力 | 送信データ出力 |
| | リクエストツースェンド端子 | RTS1 | 出力 | リクエストツースェンド |
| | クリアツースェンド端子 | CTS1 | 入力 | クリアツースェンド |
| 2 | シリアルクロック端子 | SCK2 | 入出力 | クロック入出力 |
| | 受信データ端子 | RxD2 | 入力 | 受信データ入力 |
| | 送信データ端子 | TxD2 | 出力 | 送信データ出力 |

14.3 レジスタの説明

SCIFのレジスタを以下に示します。これらのレジスタはデータフォーマットとビットレートを指定し、送信部、受信部をコントロールします。

- レシーブFIFOデータレジスタ_0 (SCFRDR_0)
- トランスミットFIFOデータレジスタ_0 (SCFTDR_0)
- シリアルモードレジスタ_0 (SCSMR_0)
- シリアルコントロールレジスタ_0 (SCSCR_0)
- シリアルステータスレジスタ_0 (SCFSR_0)
- ビットレートレジスタ_0 (SCBRR_0)
- FIFOコントロールレジスタ_0 (SCFCR_0)
- FIFOデータ数レジスタ_0 (SCFDR_0)
- シリアルポートレジスタ_0 (SCSPTR_0)
- ラインステータスレジスタ_0 (SCLSR_0)
- レシーブFIFOデータレジスタ_1 (SCFRDR_1)
- トランスミットFIFOデータレジスタ_1 (SCFTDR_1)
- シリアルモードレジスタ_1 (SCSMR_1)
- シリアルコントロールレジスタ_1 (SCSCR_1)

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- シリアルステータスレジスタ_1 (SCFSR_1)
- ビットレートレジスタ_1 (SCBRR_1)
- FIFOコントロールレジスタ_1 (SCFCR_1)
- FIFOデータ数レジスタ_1 (SCFDR_1)
- シリアルポートレジスタ_1 (SCSPTR_1)
- ラインステータスレジスタ_1 (SCLSR_1)
- レシーブFIFOデータレジスタ_2 (SCFRDR_2)
- トランスミットFIFOデータレジスタ_2 (SCFTDR_2)
- シリアルモードレジスタ_2 (SCSMR_2)
- シリアルコントロールレジスタ_2 (SCSCR_2)
- シリアルステータスレジスタ_2 (SCFSR_2)
- ビットレートレジスタ_2 (SCBRR_2)
- FIFOコントロールレジスタ_2 (SCFCR_2)
- FIFOデータ数レジスタ_2 (SCFDR_2)
- シリアルポートレジスタ_2 (SCSPTR_2)
- ラインステータスレジスタ_2 (SCLSR_2)

14.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。

14.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット 16 段の FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込むことはできません。レシーブ FIFO データレジスタに受信データがない状態で読み出すと値は不定になります。このレジスタが受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

SCFRDR は、パワーオンリセット時に不定となります。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|-----------------|
| 7~0 | - | 不定 | R | シリアル受信データ用 FIFO |

14.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。

14.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット 16 段 FIFO レジスタです。

SCIF は、トランスミットシフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができません。SCFTDR は、常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことはできません。書き込みを試みてもデータは無視されます。SCFTDR は、パワーオンリセット時に不定となります。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|-----------------|
| 7~0 | - | 不定 | W | シリアル送信データ用 FIFO |

14.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。SCSMR は、常に CPU による読み出し / 書き込みが可能です。SCSMR は、パワーオンリセット時に H'0000 に初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|---|
| 15~8 | - | すべて 0 | R | リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | C/Ā | 0 | R/W | コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|--|
| 6 | CHR | 0 | R/W | <p>キャラクタレンクス 調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードでは、CHRの設定にかかわらず、データ長は8ビットデータ固定です。</p> <p>0: 8ビットデータ 1: 7ビットデータ*</p> <p>【注】* 7ビットデータを選択した場合、トランスミット FIFO データレジスタのMSB(7ビット)は送信されません。</p> |
| 5 | PE | 0 | R/W | <p>パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】* PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p> |
| 4 | O/E | 0 | R/W | <p>パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/Eビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。</p> <p>0: 偶数パリティ*¹ 1: 奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。</p> |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|--------------|--------|------------|---|
| 3 | STOP | 0 | R/W | <p>ストップビットレングス 調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効となります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。</p> <p>0:1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1:2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p> |
| 2 | - | 0 | R | <p>リザーブビット リードすると常に0が読み出されます。書き込む値も常に0にしてください。</p> |
| 1 0 | CKS1 CKS0 | 0 0 | R/W R/W | <p>クロックセレクト1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「14.3.8 ビットレートレジスタ(SCBRR)」を参照してください。</p> <p>00:P クロック 01:P /4クロック 10:P /16クロック 11:P /64クロック</p> <p>【注】P :周辺クロック</p> |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

14.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行う 16 ビットのレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。SCSCR は、パワーオンリセット時に H'0000 に初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|---|
| 15~8 | - | すべて 0 | R | リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | TIE | 0 | R/W | トランスミットインタラプトイネーブル トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) へシリアル送信データが転送され、トランスミット FIFO レジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* 1: 送信 FIFO データエンプティ割り込み (TXI) 要求を許可 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より大きな量の送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 |
| 6 | RIE | 0 | R/W | レシーブインタラプトイネーブル SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。 0: 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレーク割り込み (BRI) 要求を禁止* 1: 受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレーク割り込み (BRI) 要求を許可 【注】* RXI 割り込み要求の解除は、RDF または DR フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。 |
| 5 | TE | 0 | R/W | トランスミットイネーブル シリアル送信動作の開始を許可 / 禁止します。 0: 送信動作を禁止 1: 送信動作を許可* 【注】* この状態で、SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。 |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|--|
| 4 | RE | 0 | R/W | <p>レシーブイネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*1 RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p> |
| 3 | REIE | 0 | R/W | <p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止*</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK または ORER フラグの 1 を読み出した後 0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行います。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</p> |
| 2 | - | 0 | R | <p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|-----|---|
| 1 | CKE1 | 0 | R/W | クロックイネーブル 1、0 |
| 0 | CKE0 | 0 | R/W | <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし、CKE0 ビットの設定は、内部クロック動作 (CKE1=0) のときのみ有効です。外部クロック動作 (CKE1=1) の場合は CKE0 ビットの設定は無効です。また、クロック同期式モードで使用する場合は、SCSMR で SCIF の動作モードを決定してから、その後 CKE1、CKE0 ビットの設定をしてください。</p> <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 内部クロック/SCK 端子は入力端子 (入力信号は無視)。SCK 端子の状態は SCSPTR の SCKIO ビット、SCKDT ビットに依存します。 01 : 内部クロック/SCK 端子はクロック出力 (ビットレートの 16 倍の周波数のクロックを出力) 10 : 外部クロック/SCK 端子はクロック入力 (ビットレートの 16 倍の周波数のクロックを入力) 11 : 設定禁止 • クロック同期式モード <ul style="list-style-type: none"> 00 : 内部クロック/SCK 端子は同期クロック出力 01 : 内部クロック/SCK 端子は同期クロック出力 10 : 外部クロック/SCK 端子は同期クロック入力 11 : 設定禁止 |

14.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビットのレジスタです。上位 8 ビットはレシーブ FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みが可能です。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。SCFSR は、パワーオンリセット時に H'0060 に初期化されます。

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|--------|---|
| 15 | PER3 | 0 | R | パリティエラー数 |
| 14 | PER2 | 0 | R | レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。 |
| 13 | PER1 | 0 | R | SCFSR の ER ビットがセットされた後、ビット 15 ~ 12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER3 ~ PER0 は 0 を表示します。 |
| 12 | PER0 | 0 | R | |
| 11 | FER3 | 0 | R | フレーミングエラー数 |
| 10 | FER2 | 0 | R | レシーブ FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 |
| 9 | FER1 | 0 | R | SCFSR の ER ビットがセットされた後、ビット 11 ~ 8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER3 ~ FER0 は 0 を表示します。 |
| 8 | FER0 | 0 | R | |
| 7 | ER | 0 | R/(W)* | <p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 回のデータ受信の終わりで受信データの最後のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*² • 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき <p>【注】*¹ SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>*² 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。</p> |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|--------|---|
| 6 | TEND | 1 | R/(W)* | <p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR に送信データを書き込み、TEND = 1 の状態を読み出した後 TEND フラグに 0 を書き込んだとき 送信を終了したことを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき |
| 5 | TDFE | 1 | R/(W)* | <p>送信 FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、指定送信トリガ数より多い送信データ数を SCFTDR に書き込み、TDFE に 0 を書き込んだとき SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットに示されます。</p> |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|--------|---|
| 4 | BRK | 0 | R/(W)* | <p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1: ブレーク信号を受信*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】* ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると受信データの転送が再開します。</p> |
| 3 | FER | 0 | R | <p>フレーミングエラー表示</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり |
| 2 | PER | 0 | R | <p>パリティエラー</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-----|--------|--|
| 1 | RDF | 0 | R/(W)* | <p>レシーブ FIFO データフル</p> <p>受信データがレシーブ FIFO データレジスタ (SCFRDR) に転送され、SCFRDR の受信データ数が、FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた送信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • RDF = 1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき 1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数以上の受信データ数が SCFRDR に格納されたとき* <p>【注】* SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けると不定になります。SCFRDR の受信データ数は SCFRDR の下位 8 ビットに示されます。</p> |
| 0 | DR | 0 | R/(W)* | <p>レシーブデータレディ</p> <p>調歩同期式モードで、レシーブ FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • DR = 1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき 1 : 次の受信データが受信されていないことを表示 <p>[セット条件]</p> <ul style="list-style-type: none"> • 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*後も次のデータが受信されないとき <p>【注】* 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。ETU (Element Time Unit : 要素時間単位)</p> |

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、3 つのチャンネルにはそれぞれ異なる値を設定することができます。

SCBRR の設定値は以下の計算式で求められます。

- 調歩同期式モード

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- クロック同期式モード

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)

(電気的特性を満足する設定値としてください。)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 14.2 を参照してください)

表 14.2 SCSMR の設定

| n | クロック | SCSMR の設定値 | |
|---|-------|------------|------|
| | | CKS1 | CKS0 |
| 0 | P | 0 | 0 |
| 1 | P /4 | 0 | 1 |
| 2 | P /16 | 1 | 0 |
| 3 | P /64 | 1 | 1 |

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 14.3 に調歩同期式モードの SCBRR の設定例を、表 14.4 にクロック同期式モードの SCBRR の設定例を示します。表 14.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 14.6 と表 14.7 に外部クロック入力時の最大ビットレートを示します。

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 14.3 ビットレートに対する SCBRR の設定例 (調歩同期式モード) (1)

| ビットレート (bit/s) | P (MHz) | | | | | | | | | | | | | | |
|-------------------|---------|-----|-----------|---|-----|-----------|-------|-----|-----------|---------|-----|-----------|---|-----|-----------|
| | 5 | | | 6 | | | 6.144 | | | 7.37288 | | | 8 | | |
| | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) |
| 110 | 2 | 88 | -0.25 | 2 | 106 | -0.44 | 2 | 108 | 0.08 | 2 | 130 | -0.07 | 2 | 141 | 0.03 |
| 150 | 2 | 64 | 0.16 | 2 | 77 | 0.16 | 2 | 79 | 0.00 | 2 | 95 | 0.00 | 2 | 103 | 0.16 |
| 300 | 1 | 129 | 0.16 | 1 | 155 | 0.16 | 1 | 159 | 0.00 | 1 | 191 | 0.00 | 1 | 207 | 0.16 |
| 600 | 1 | 64 | 0.16 | 1 | 77 | 0.16 | 1 | 79 | 0.00 | 1 | 95 | 0.00 | 1 | 103 | 0.16 |
| 1200 | 0 | 129 | 0.16 | 0 | 155 | 0.16 | 0 | 159 | 0.00 | 0 | 191 | 0.00 | 0 | 207 | 0.16 |
| 2400 | 0 | 64 | 0.16 | 0 | 77 | 0.16 | 0 | 79 | 0.00 | 0 | 95 | 0.00 | 0 | 103 | 0.16 |
| 4800 | 0 | 32 | -1.36 | 0 | 38 | 0.16 | 0 | 39 | 0.00 | 0 | 47 | 0.00 | 0 | 51 | 0.16 |
| 9600 | 0 | 15 | 1.73 | 0 | 19 | -2.34 | 0 | 19 | 0.00 | 0 | 23 | 0.00 | 0 | 25 | 0.16 |
| 19200 | 0 | 7 | 1.73 | 0 | 9 | -2.34 | 0 | 9 | 0.00 | 0 | 11 | 0.00 | 0 | 12 | 0.16 |
| 31250 | 0 | 4 | 0.00 | 0 | 5 | 0.00 | 0 | 5 | 2.40 | 0 | 6 | 5.33 | 0 | 7 | 0.00 |
| 38400 | 0 | 3 | 1.73 | 0 | 4 | -2.34 | 0 | 4 | 0.00 | 0 | 5 | 0.00 | 0 | 6 | -6.99 |

| ビットレート (bit/s) | P (MHz) | | | | | | | | | | | |
|-------------------|---------|-----|-----------|----|-----|-----------|----|-----|-----------|--------|-----|-----------|
| | 9.8304 | | | 10 | | | 12 | | | 12.288 | | |
| | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) |
| 110 | 2 | 174 | -0.26 | 2 | 177 | -0.25 | 2 | 212 | 0.03 | 2 | 217 | 0.08 |
| 150 | 2 | 127 | 0.00 | 2 | 129 | 0.16 | 2 | 155 | 0.16 | 2 | 159 | 0.00 |
| 300 | 1 | 255 | 0.00 | 2 | 64 | 0.16 | 2 | 77 | 0.16 | 2 | 79 | 0.00 |
| 600 | 1 | 127 | 0.00 | 1 | 129 | 0.16 | 1 | 155 | 0.16 | 1 | 159 | 0.00 |
| 1200 | 0 | 255 | 0.00 | 1 | 64 | 0.16 | 1 | 77 | 0.16 | 1 | 79 | 0.00 |
| 2400 | 0 | 127 | 0.00 | 0 | 129 | 0.16 | 0 | 155 | 0.16 | 0 | 159 | 0.00 |
| 4800 | 0 | 63 | 0.00 | 0 | 64 | 0.16 | 0 | 77 | 0.16 | 0 | 79 | 0.00 |
| 9600 | 0 | 31 | 0.00 | 0 | 32 | -1.36 | 0 | 38 | 0.16 | 0 | 39 | 0.00 |
| 19200 | 0 | 15 | 0.00 | 0 | 15 | 1.73 | 0 | 19 | 0.16 | 0 | 19 | 0.00 |
| 31250 | 0 | 9 | -1.70 | 0 | 9 | 0.00 | 0 | 11 | 0.00 | 0 | 11 | 2.40 |
| 38400 | 0 | 7 | 0.00 | 0 | 7 | 1.73 | 0 | 9 | -2.34 | 0 | 9 | 0.00 |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 14.3 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕(2)

| ビットレート (bit/s) | P (MHz) | | | | | | | | | | | |
|-------------------|---------|-----|-----------|----|-----|-----------|---------|-----|-----------|----|-----|-----------|
| | 14.7456 | | | 16 | | | 19.6608 | | | 20 | | |
| | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) |
| 110 | 3 | 64 | 0.70 | 3 | 70 | 0.03 | 3 | 86 | 0.31 | 3 | 88 | -0.25 |
| 150 | 2 | 191 | 0.00 | 2 | 207 | 0.16 | 2 | 255 | 0.00 | 3 | 64 | 0.16 |
| 300 | 2 | 95 | 0.00 | 2 | 103 | 0.16 | 2 | 127 | 0.00 | 2 | 129 | 0.16 |
| 600 | 1 | 191 | 0.00 | 1 | 207 | 0.16 | 1 | 255 | 0.00 | 2 | 64 | 0.16 |
| 1200 | 1 | 95 | 0.00 | 1 | 103 | 0.16 | 1 | 127 | 0.00 | 1 | 129 | 0.16 |
| 2400 | 0 | 191 | 0.00 | 0 | 207 | 0.16 | 0 | 255 | 0.00 | 1 | 64 | 0.16 |
| 4800 | 0 | 95 | 0.00 | 0 | 103 | 0.16 | 0 | 127 | 0.00 | 0 | 129 | 0.16 |
| 9600 | 0 | 47 | 0.00 | 0 | 51 | 0.16 | 0 | 63 | 0.00 | 0 | 64 | 0.16 |
| 19200 | 0 | 23 | 0.00 | 0 | 25 | 0.16 | 0 | 31 | 0.00 | 0 | 32 | -1.36 |
| 31250 | 0 | 14 | -1.70 | 0 | 15 | 0.00 | 0 | 19 | -1.70 | 0 | 19 | 0.00 |
| 38400 | 0 | 11 | 0.00 | 0 | 12 | 0.16 | 0 | 15 | 0.00 | 0 | 15 | 1.73 |

| ビットレート (bit/s) | P (MHz) | | | | | | | | | | | | | | |
|-------------------|---------|-----|-----------|--------|-----|-----------|------|-----|-----------|----|-----|-----------|----|-----|-----------|
| | 24 | | | 24.576 | | | 28.7 | | | 30 | | | 33 | | |
| | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) | n | N | 誤差 (%) |
| 110 | 3 | 106 | -0.44 | 3 | 108 | 0.08 | 3 | 126 | 0.31 | 3 | 132 | 0.13 | 3 | 145 | 0.33 |
| 150 | 3 | 77 | 0.16 | 3 | 79 | 0.00 | 3 | 92 | 0.46 | 3 | 97 | -0.35 | 3 | 106 | 0.39 |
| 300 | 2 | 155 | 0.16 | 2 | 159 | 0.00 | 2 | 186 | -0.08 | 2 | 194 | 0.16 | 2 | 214 | -0.07 |
| 600 | 2 | 77 | 0.16 | 2 | 79 | 0.00 | 2 | 92 | 0.46 | 2 | 97 | -0.35 | 2 | 106 | 0.39 |
| 1200 | 1 | 155 | 0.16 | 1 | 159 | 0.00 | 1 | 186 | -0.08 | 1 | 194 | 0.16 | 1 | 214 | -0.07 |
| 2400 | 1 | 77 | 0.16 | 1 | 79 | 0.00 | 1 | 92 | 0.46 | 1 | 97 | -0.35 | 1 | 106 | 0.39 |
| 4800 | 0 | 155 | 0.16 | 0 | 159 | 0.00 | 0 | 186 | -0.08 | 0 | 194 | -1.36 | 0 | 214 | -0.07 |
| 9600 | 0 | 77 | 0.16 | 0 | 79 | 0.00 | 0 | 92 | 0.46 | 0 | 97 | -0.35 | 0 | 106 | 0.39 |
| 19200 | 0 | 38 | 0.16 | 0 | 39 | 0.00 | 0 | 46 | -0.61 | 0 | 48 | -0.35 | 0 | 53 | -0.54 |
| 31250 | 0 | 23 | 0.00 | 0 | 24 | -1.70 | 0 | 28 | -1.03 | 0 | 29 | 0.00 | 0 | 32 | 0.00 |
| 38400 | 0 | 19 | -2.34 | 0 | 19 | 0.00 | 0 | 22 | 1.55 | 0 | 23 | 1.73 | 0 | 26 | -0.54 |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 14.4 ビットレートに対する SCBRR の設定例〔クロック同期モード〕

| ビットレート (bit/s) | P (MHz) | | | | | | | | | | | |
|-------------------|---------|-----|---|-----|----|-----|------|-----|----|-----|----|-----|
| | 5 | | 8 | | 16 | | 28.7 | | 30 | | 33 | |
| | n | N | n | N | n | N | n | N | n | N | n | N |
| 110 | - | - | - | - | - | - | - | - | - | - | - | - |
| 250 | 3 | 77 | 3 | 124 | 3 | 249 | - | - | - | - | - | - |
| 500 | 3 | 38 | 2 | 249 | 3 | 124 | 3 | 223 | 3 | 233 | 3 | 255 |
| 1k | 2 | 77 | 2 | 124 | 2 | 249 | 3 | 111 | 3 | 116 | 3 | 125 |
| 2.5k | 1 | 124 | 1 | 199 | 2 | 99 | 2 | 178 | 2 | 187 | 2 | 200 |
| 5k | 0 | 249 | 1 | 99 | 1 | 199 | 2 | 89 | 2 | 93 | 2 | 100 |
| 10k | 0 | 124 | 0 | 199 | 1 | 99 | 1 | 178 | 1 | 187 | 1 | 200 |
| 25k | 0 | 49 | 0 | 79 | 0 | 159 | 1 | 71 | 1 | 74 | 1 | 80 |
| 50k | 0 | 24 | 0 | 39 | 0 | 79 | 0 | 143 | 0 | 149 | 0 | 160 |
| 100k | - | - | 0 | 19 | 0 | 39 | 0 | 71 | 0 | 74 | 0 | 80 |
| 250k | 0 | 4 | 0 | 7 | 0 | 15 | - | - | 0 | 29 | 0 | 31 |
| 500k | - | - | 0 | 3 | 0 | 7 | - | - | 0 | 14 | 0 | 15 |
| 1M | - | - | 0 | 1 | 0 | 3 | - | - | - | - | 0 | 7 |
| 2M | | | 0 | 0* | 0 | 1 | - | - | - | - | - | - |

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

- 空欄 : 設定できません。
- : 設定可能ですが誤差がです。
- * : 連続送信 / 受信はできません。

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 14.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

| P (MHz) | 最大ビットレート (bit/s) | 設定値 | |
|---------|------------------|-----|---|
| | | n | N |
| 5 | 156250 | 0 | 0 |
| 8 | 250000 | 0 | 0 |
| 9.8304 | 307200 | 0 | 0 |
| 12 | 375000 | 0 | 0 |
| 14.7456 | 460800 | 0 | 0 |
| 16 | 500000 | 0 | 0 |
| 19.6608 | 614400 | 0 | 0 |
| 20 | 625000 | 0 | 0 |
| 24 | 750000 | 0 | 0 |
| 24.576 | 768000 | 0 | 0 |
| 28.7 | 896875 | 0 | 0 |
| 30 | 937500 | 0 | 0 |
| 33 | 1031250 | 0 | 0 |

表 14.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

| P (MHz) | 外部入力クロック (MHz) | 最大ビットレート (bit/s) |
|---------|----------------|------------------|
| 5 | 1.2500 | 78125 |
| 8 | 2.0000 | 125000 |
| 9.8304 | 2.4576 | 153600 |
| 12 | 3.0000 | 187500 |
| 14.7456 | 3.6864 | 230400 |
| 16 | 4.0000 | 250000 |
| 19.6608 | 4.9152 | 307200 |
| 20 | 5.0000 | 312500 |
| 24 | 6.0000 | 375000 |
| 24.576 | 6.1440 | 384000 |
| 28.7 | 7.1750 | 448436 |
| 30 | 7.5000 | 468750 |
| 33 | 8.25 | 515625 |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 14.7 外部クロック入力時の最大ビットレート (クロック同期モード)

| P (MHz) | 外部入力クロック (MHz) | 最大ビットレート (bit/s) |
|---------|----------------|------------------|
| 5 | 0.8333 | 833333.3 |
| 8 | 1.3333 | 1333333.3 |
| 16 | 2.6667 | 2666666.7 |
| 24 | 4.0000 | 4000000.0 |
| 28.7 | 4.7833 | 4783333.3 |
| 30 | 5.0000 | 5000000.0 |
| 33 | 5.5 | 5500000.0 |

14.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、トランスミット FIFO データレジスタおよびレシーブ FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行う 16 ビットのレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。SCFCR は、パワーオンリセット時に H'0000 に初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 | |
|-------|--------|-------|-----|---|----------|
| 15~11 | - | すべて 0 | R | リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。 | |
| 10 | RSTRG2 | 0 | R/W | RTS 出力アクティブトリガ 2、1、0 | |
| 9 | RSTRG1 | 0 | R/W | レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 本ビットは SCFCR_0、SCFCR_1 にのみ存在します。SCFCR_2 では初期値 0、0 のみライト可能なリザーブビットとなります。 | |
| 8 | RSTRG0 | 0 | R/W | | |
| | | | | | 000 : 15 |
| | | | | | 001 : 1 |
| | | | | | 010 : 4 |
| | | | | 011 : 6 | |
| | | | | 100 : 8 | |
| | | | | 101 : 10 | |
| | | | | 110 : 12 | |
| | | | | 111 : 14 | |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 | | | | | | | | | | |
|----------------|----------------|--------|------------|--|----------------|---------------|---------------|---------------|--------|--------|--------|--------|---------|---------|
| 7 6 | RTRG1 RTRG0 | 0 0 | R/W R/W | <p>レシーブ FIFO データ数トリガ 1、0</p> <p>シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。</p> <p>レシーブ FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグをセットします。</p> <table style="width: 100%; border: none;"> <tr> <td style="text-align: center;">・ 調歩同期式モード</td> <td style="text-align: center;">・ クロック同期式モード</td> </tr> <tr> <td style="text-align: center;">00 : 1</td> <td style="text-align: center;">00 : 1</td> </tr> <tr> <td style="text-align: center;">01 : 4</td> <td style="text-align: center;">01 : 2</td> </tr> <tr> <td style="text-align: center;">10 : 8</td> <td style="text-align: center;">10 : 8</td> </tr> <tr> <td style="text-align: center;">11 : 14</td> <td style="text-align: center;">11 : 14</td> </tr> </table> | ・ 調歩同期式モード | ・ クロック同期式モード | 00 : 1 | 00 : 1 | 01 : 4 | 01 : 2 | 10 : 8 | 10 : 8 | 11 : 14 | 11 : 14 |
| ・ 調歩同期式モード | ・ クロック同期式モード | | | | | | | | | | | | | |
| 00 : 1 | 00 : 1 | | | | | | | | | | | | | |
| 01 : 4 | 01 : 2 | | | | | | | | | | | | | |
| 10 : 8 | 10 : 8 | | | | | | | | | | | | | |
| 11 : 14 | 11 : 14 | | | | | | | | | | | | | |
| 5 4 | TTRG1 TTRG0 | 0 0 | R/W R/W | <p>トランスミット FIFO データ数トリガ 1、0</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。</p> <p>トランスミット FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグをセットします。</p> <table style="width: 100%; border: none;"> <tr> <td style="text-align: center;">00 : 8 (8) *</td> </tr> <tr> <td style="text-align: center;">01 : 4 (12) *</td> </tr> <tr> <td style="text-align: center;">10 : 2 (14) *</td> </tr> <tr> <td style="text-align: center;">11 : 0 (16) *</td> </tr> </table> <p>【注】* () 内の値は TDFE フラグがセットされるとき SCFTDR レジスタの空きバイト数を示します。</p> | 00 : 8 (8) * | 01 : 4 (12) * | 10 : 2 (14) * | 11 : 0 (16) * | | | | | | |
| 00 : 8 (8) * | | | | | | | | | | | | | | |
| 01 : 4 (12) * | | | | | | | | | | | | | | |
| 10 : 2 (14) * | | | | | | | | | | | | | | |
| 11 : 0 (16) * | | | | | | | | | | | | | | |
| 3 | MCE | 0 | R/W | <p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可/禁止します。</p> <p>クロック同期モードでは MCE を常に 0 にしてください。</p> <p>本ビットは SCFCR_0、SCFCR_1 にのみ存在します。SCFCR_2 では初期値 0、0 のみライト可能なリザーブビットとなります。</p> <table style="width: 100%; border: none;"> <tr> <td style="text-align: center;">0 : モデム信号を禁止*</td> </tr> <tr> <td style="text-align: center;">1 : モデム信号を許可</td> </tr> </table> <p>【注】* 入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ も 0 に固定されます。</p> | 0 : モデム信号を禁止* | 1 : モデム信号を許可 | | | | | | | | |
| 0 : モデム信号を禁止* | | | | | | | | | | | | | | |
| 1 : モデム信号を許可 | | | | | | | | | | | | | | |
| 2 | TFRST | 0 | R/W | <p>トランスミット FIFO データレジスタリセット</p> <p>トランスミット FIFO データレジスタ内の送信データを無効とし、データが空の状態にリセットします。</p> <table style="width: 100%; border: none;"> <tr> <td style="text-align: center;">0 : リセット動作を禁止*</td> </tr> <tr> <td style="text-align: center;">1 : リセット動作を許可</td> </tr> </table> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p> | 0 : リセット動作を禁止* | 1 : リセット動作を許可 | | | | | | | | |
| 0 : リセット動作を禁止* | | | | | | | | | | | | | | |
| 1 : リセット動作を許可 | | | | | | | | | | | | | | |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|-----|-----|--|
| 1 | RFRST | 0 | R/W | レシーブ FIFO データレジスタリセット レシーブ FIFO データレジスタの受信データを無効とし、データが空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。 |
| 0 | LOOP | 0 | R/W | ループバックテスト (LOOP) 送信出力端子 (TxD) と受信入力端子 (RxD)、RTS 端子と CTS 端子を内部で接続し、ループバックテストを可能にします。 0: ループバックテストを禁止 1: ループバックテストを許可 |

14.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、トランスミット FIFO データレジスタ (SCFTDR) およびレシーブ FIFO データレジスタ (SCFRDR) に格納されているデータ数を示す 16 ビットのレジスタです。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU からの読み出しが可能です。SCFDR は、パワーオンリセット時に H'0000 に初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|-------|-----|--|
| 15~13 | - | すべて 0 | R | リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 12 | T4 | 0 | R | SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。 |
| 11 | T3 | 0 | R | |
| 10 | T2 | 0 | R | |
| 9 | T1 | 0 | R | |
| 8 | T0 | 0 | R | |
| 7~5 | - | すべて 0 | R | リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 4 | R4 | 0 | R | SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを示します。 |
| 3 | R3 | 0 | R | |
| 2 | R2 | 0 | R | |
| 1 | R1 | 0 | R | |
| 0 | R0 | 0 | R | |

14.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御する 16 ビットのレジスタです。ビット 7、6 で $\overline{\text{RTS}}$ 端子を制御できます。ビット 5、4 で $\overline{\text{CTS}}$ 端子を制御できます。ビット 3、2 で SCK 端子を制御できます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。

次の各ビットの説明とあわせて、「14.6 シリアルポートレジスタ (SCSPTR) と SCIF 端子との関係」も参照してください。

SCSPTR は、常に CPU による読み出し / 書き込みが可能です。SCSPTR は、パワーオンリセット時にビット 6、4、2、0 を除いて初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 | | | | | | | | | | | | | | | | | | | | |
|--------------------|--------------|--------------------|------------------------|--|--------------------|--------------|--------------|---------|---|---|---|-----------|---|---|---|---------|---|---|---|---------|---|---|---|------------------------|
| 15~8 | - | すべて 0 | R | リザーブビット リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。 | | | | | | | | | | | | | | | | | | | | |
| 7 | RTSIO | 0 | R/W | RTS ポート入出力指定 RTSDT ビット、SCFCR の MCE ビットとあわせて、 $\overline{\text{RTS}}$ 端子を制御します。 SCIF チャネル 2 は、フロー制御に対応しておりませんので、SCSPTR_2 の本ビットはリザーブ扱いとなります。 | | | | | | | | | | | | | | | | | | | | |
| 6 | RTSDT | 読み出し値は不定 設定値は 0 | R/W | RTS ポートデータ RTSIO ビット、SCFCR の MCE ビットとあわせて、 $\overline{\text{RTS}}$ 端子を制御します。 ただし、PFC (ピンファンクションコントローラ) で $\overline{\text{RTS}}$ 端子機能を選択しておく必要があります。 <table border="1" data-bbox="559 1070 1201 1267"> <thead> <tr> <th>SCFCR の MCE ビット設定値</th> <th>RTSIO ビット設定値</th> <th>RTSDT ビット設定値</th> <th>RTS端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>入力 (初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>モデムコントロール論理に従ってシーケンス出力</td> </tr> </tbody> </table> <p>【注】* Don't care</p> <p>なお本ビットからの読み出し値は、RTSDT 設定値ではなく、$\overline{\text{RTS}}$ 端子のレベルです。 SCIF チャネル 2 は、フロー制御に対応しておりませんので、SCSPTR_2 の本ビットはリザーブ扱いとなります。</p> | SCFCR の MCE ビット設定値 | RTSIO ビット設定値 | RTSDT ビット設定値 | RTS端子状態 | 0 | 0 | * | 入力 (初期状態) | 0 | 1 | 0 | ローレベル出力 | 0 | 1 | 1 | ハイレベル出力 | 1 | * | * | モデムコントロール論理に従ってシーケンス出力 |
| SCFCR の MCE ビット設定値 | RTSIO ビット設定値 | RTSDT ビット設定値 | RTS端子状態 | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | * | 入力 (初期状態) | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | ローレベル出力 | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | ハイレベル出力 | | | | | | | | | | | | | | | | | | | | | |
| 1 | * | * | モデムコントロール論理に従ってシーケンス出力 | | | | | | | | | | | | | | | | | | | | | |
| 5 | CTSIO | 0 | R/W | CTS ポート入出力指定 CTSDT ビット、SCFCR の MCE ビットとあわせて、 $\overline{\text{CTS}}$ 端子を制御します。 SCIF チャネル 2 は、フロー制御に対応しておりませんので、SCSPTR_2 の本ビットはリザーブ扱いとなります。 | | | | | | | | | | | | | | | | | | | | |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|--|-----------------------------|------------------------------------|------------------------------|--|--|-------------------------|------------------------------------|------------------------------|---------|---|----|-----------|---|-----------|---|---------|---|---|---------|---------|----|---|---|-----------------|---|----|---|---|----------------------|---|----|---|---|-------------------|---|----|---|---|------|---|----|---|---|----------------------|---|----|---|---|----------------------|---|----|---|---|-------------------|---|----|---|---|------|
| 4 | CTS $\overline{\text{SDT}}$ | 読み出し値は不定 設定値は0 | R/W | <p>CTS ポートデータ</p> <p>CTSIO ビット、SCFCR の MCE ビットとあわせて、$\overline{\text{CTS}}$ 端子を制御します。</p> <p>ただし、PFC (ピンファンクションコントローラ) で CTS 端子機能を選択しておく必要があります。</p> <table border="1"> <thead> <tr> <th>SCFCRの MCE ビット設定値</th> <th>CTSIO ビット設定値</th> <th>CTS$\overline{\text{SDT}}$ ビット設定値</th> <th>$\overline{\text{CTS}}$端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>入力 (初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>モデムコントロール論理への入力</td> </tr> </tbody> </table> <p>【注】* Don't care</p> <p>なお本ビットからの読み出し値は、CTS$\overline{\text{SDT}}$ 設定値ではなく、$\overline{\text{CTS}}$ 端子のレベルです。</p> <p>SCIF チャネル 2 は、フロー制御に対応しておりませんので、SCSPTR_2 の本ビットはリザーブ扱いとなります。</p> | SCFCRの MCE ビット設定値 | CTSIO ビット設定値 | CTS $\overline{\text{SDT}}$ ビット設定値 | $\overline{\text{CTS}}$ 端子状態 | 0 | 0 | * | 入力 (初期状態) | 0 | 1 | 0 | ローレベル出力 | 0 | 1 | 1 | ハイレベル出力 | 1 | * | * | モデムコントロール論理への入力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| SCFCRの MCE ビット設定値 | CTSIO ビット設定値 | CTS $\overline{\text{SDT}}$ ビット設定値 | $\overline{\text{CTS}}$ 端子状態 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | * | 入力 (初期状態) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | ローレベル出力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | ハイレベル出力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | * | * | モデムコントロール論理への入力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 3 | SCKIO | 0 | R/W | <p>SCK ポート入出力指定</p> <p>SCKDT ビット、SCSMR の C/$\overline{\text{A}}$ ビット、SCSCR の CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。</p> | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 2 | SCKDT | 読み出し値は不定 設定値は0 | R/W | <p>SCK ポートデータ</p> <p>SCKIO ビット、SCSMR の C/$\overline{\text{A}}$ ビット、SCSCR の CKE1、CKE0 ビットとあわせて、SCK 端子を制御します。</p> <p>ただし、PFC (ピンファンクションコントローラ) で $\overline{\text{SCK}}$ 端子機能を選択しておく必要があります。</p> <table border="1"> <thead> <tr> <th>SCSMRの C/$\overline{\text{A}}$ ビット設定値</th> <th>SCSCRの CKE1、CKE0 ビット設定値</th> <th>SCKIO ビット設定値</th> <th>SCKDT ビット設定値</th> <th>SCK端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>00</td> <td>0</td> <td>*</td> <td>入力 (初期状態)</td> </tr> <tr> <td>0</td> <td>00</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>00</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>0</td> <td>01</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って内部クロック出力</td> </tr> <tr> <td>0</td> <td>10</td> <td>*</td> <td>*</td> <td>シリアルコア論理へ外部クロック入力</td> </tr> <tr> <td>0</td> <td>11</td> <td>*</td> <td>*</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>00</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って内部クロック出力</td> </tr> <tr> <td>1</td> <td>01</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って内部クロック出力</td> </tr> <tr> <td>1</td> <td>10</td> <td>*</td> <td>*</td> <td>シリアルコア論理へ外部クロック入力</td> </tr> <tr> <td>1</td> <td>11</td> <td>*</td> <td>*</td> <td>設定禁止</td> </tr> </tbody> </table> <p>【注】* Don't care</p> <p>なお本ビットからの読み出し値は、SCKDT 設定値ではなく、SCK 端子のレベルです。</p> | SCSMRの C/ $\overline{\text{A}}$ ビット設定値 | SCSCRの CKE1、CKE0 ビット設定値 | SCKIO ビット設定値 | SCKDT ビット設定値 | SCK端子状態 | 0 | 00 | 0 | * | 入力 (初期状態) | 0 | 00 | 1 | 0 | ローレベル出力 | 0 | 00 | 1 | 1 | ハイレベル出力 | 0 | 01 | * | * | シリアルコア論理に従って内部クロック出力 | 0 | 10 | * | * | シリアルコア論理へ外部クロック入力 | 0 | 11 | * | * | 設定禁止 | 1 | 00 | * | * | シリアルコア論理に従って内部クロック出力 | 1 | 01 | * | * | シリアルコア論理に従って内部クロック出力 | 1 | 10 | * | * | シリアルコア論理へ外部クロック入力 | 1 | 11 | * | * | 設定禁止 |
| SCSMRの C/ $\overline{\text{A}}$ ビット設定値 | SCSCRの CKE1、CKE0 ビット設定値 | SCKIO ビット設定値 | SCKDT ビット設定値 | SCK端子状態 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 00 | 0 | * | 入力 (初期状態) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 00 | 1 | 0 | ローレベル出力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 00 | 1 | 1 | ハイレベル出力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 01 | * | * | シリアルコア論理に従って内部クロック出力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 10 | * | * | シリアルコア論理へ外部クロック入力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 11 | * | * | 設定禁止 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 00 | * | * | シリアルコア論理に従って内部クロック出力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 01 | * | * | シリアルコア論理に従って内部クロック出力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 10 | * | * | シリアルコア論理へ外部クロック入力 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 11 | * | * | 設定禁止 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | SPBIO | 0 | R/W | <p>シリアルポートブレイク入出力指定</p> <p>SPBDT ビット、SCSCR の TE ビットとあわせて、Tx$\overline{\text{D}}$ 端子を制御します。</p> | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

| ビット | ビット名 | 初期値 | R/W | 説明 | | | | | | | | | | | | | | | | | | | | |
|------------------------|---------------------|---------------------|---------------------|---|------------------------|---------------------|---------------------|---------|---|---|---|-----------|---|---|---|---------|---|---|---|---------|---|---|---|---------------------|
| 0 | SPBDT | 読み出し値は不定 設定値は0 | R/W | <p>シリアルポートブ레이크データ</p> <p>SPBIO ビット、SCSCR の TE ビットとあわせて、TxD 端子を制御します。</p> <p>また、RxD 端子のレベルをモニタできます。</p> <p>ただし、PFC (ピンファンクションコントローラ) で TxD 端子、RxD 端子機能を選択しておく必要があります。</p> <table border="1"> <thead> <tr> <th>SCSCRの TEビット 設定値</th> <th>SPBIO ビット 設定値</th> <th>SPBDT ビット 設定値</th> <th>TxD端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>*</td> <td>入力 (初期状態)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ハイレベル出力</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> <p>【注】* Don't care</p> <p>なお本ビットからの読み出しは、SPBDT 設定値ではなく、RxD 端子のレベルです。</p> | SCSCRの TEビット 設定値 | SPBIO ビット 設定値 | SPBDT ビット 設定値 | TxD端子状態 | 0 | 0 | * | 入力 (初期状態) | 0 | 1 | 0 | ローレベル出力 | 0 | 1 | 1 | ハイレベル出力 | 1 | * | * | シリアルコア論理に従って送信データ出力 |
| SCSCRの TEビット 設定値 | SPBIO ビット 設定値 | SPBDT ビット 設定値 | TxD端子状態 | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | * | 入力 (初期状態) | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | ローレベル出力 | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | ハイレベル出力 | | | | | | | | | | | | | | | | | | | | | |
| 1 | * | * | シリアルコア論理に従って送信データ出力 | | | | | | | | | | | | | | | | | | | | | |

14.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU による読み出し / 書き込みが可能な 16 ビットのレジスタです。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

SCLSR は、パワーオンリセット時に H'0000 に初期化されます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|--------|--|
| 15~1 | - | すべて 0 | R | <p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> |
| 0 | ORER | 0 | R/(W)* | <p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信完了したことを表示*¹</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ORER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にオーバランエラーが発生したことを表示*²</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信 FIFO フルの状態で次のシリアル受信を完了したとき <p>【注】*¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*² レシーブ FIFO データレジスタ (SCFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p> |

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.4 動作説明

14.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信 / 受信の各々に 16 段の FIFO バッファを内蔵しており、CPU のオーパヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として \overline{RTS} 、 \overline{CTS} 信号を用意しています。(チャンネル 0、1)

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 14.8 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 14.9 に示します。

- 調歩同期式モード
- データ長 : 7ビット / 8ビットから選択可能
 - パリティの付加および 1ビット / 2ビットのストップビットの付加を選択可能
 - (これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブ FIFO データフル、オーバランエラー、レシーブデータレディ、およびブレイクの検出が可能
- 送受信 FIFO レジスタ各々の格納データ数を表示
- SCIF のクロックソース : 内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合 : SCIF はボーレートジェネレータのクロックで動作
 - 外部クロックを選択した場合 : ビットレートの 16 倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)
- クロック同期式モード
- 送信 / 受信フォーマット : 8ビットデータ固定
- 受信時にオーバランエラーの検出が可能
- SCIF のクロックソース : 内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合 : SCIF はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合 : 内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 14.8 SCSMR の設定値と SCIF 送信 / 受信フォーマット

| SCSMR の設定値 | | | | モード | SCIF 送信 / 受信フォーマット | | |
|--------------|-------|-------|-------|------------|--------------------|-------------|--------------|
| ビット 7 | ビット 6 | ビット 5 | ビット 3 | | データ長 | パリティ ビット | ストップ ビット長 |
| C/ \bar{A} | CHR | PE | STOP | | | | |
| 0 | 0 | 0 | 0 | 調歩同期式モード | 8 ビット | なし | 1 ビット |
| | | | 1 | | | | 2 ビット |
| | | 1 | 0 | | | | 1 ビット |
| | | | 1 | | | | 2 ビット |
| | 1 | 0 | 0 | | 7 ビット | なし | 1 ビット |
| | | | 1 | | | | 2 ビット |
| | | 1 | 0 | | | | 1 ビット |
| | | | 1 | | | | 2 ビット |
| 1 | * | * | * | クロック同期式モード | 8 ビット | なし | なし |

表 14.9 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

| SCSMR | SCSCR の設定値 | | モード | クロック ソース | SCK 端子の機能 | |
|-------|--------------|-------|------------|-------------|---|-------|
| | ビット 7 | ビット 1 | | | | ビット 0 |
| | C/ \bar{A} | CKE1 | | | | CKE0 |
| 0 | 0 | 0 | 調歩同期式モード | 内部 | SCIF は SCK 端子を使用しません。SCK 端子の状態は、SCSPTR の SCKIO ビット、SCKDT ビットに依存します。 | |
| | | 1 | | | ビットレートの 16 倍の周波数のクロックを出力 | |
| | 1 | 0 | | 外部 | ビットレートの 16 倍の周波数のクロックを入力 | |
| | | 1 | | - | 設定禁止 | |
| 1 | 0 | * | クロック同期式モード | 内部 | 同期クロックを出力 | |
| | 1 | 0 | | 外部 | 同期クロックを入力 | |
| | | 1 | | - | 設定禁止 | |

【注】* : Don't care

14.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (ハイレベル) に保たれています。SCIF は通信回線を監視し、スペース (ローレベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット (ローレベル) から始まり、データ (LSB ファースト : 最下位ビットから)、パリティビット (ハイ / ローレベル)、最後にストップビット (ハイレベル) の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

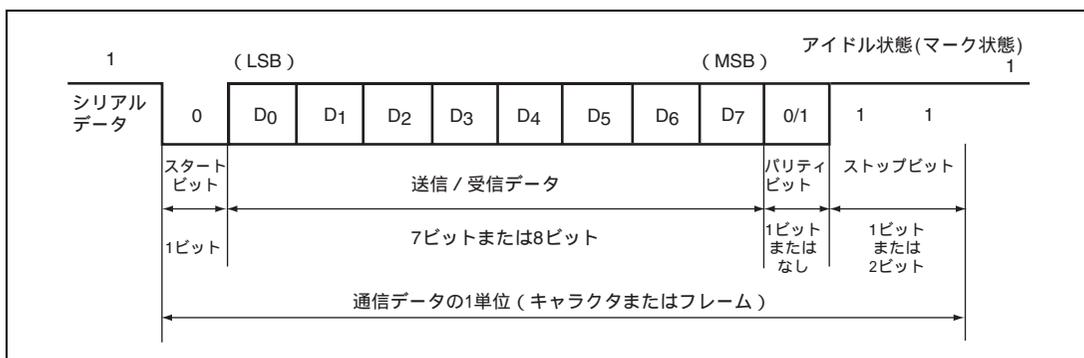


図 14.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表14.10に示します。

送信 / 受信フォーマットは8種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 14.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

| SCSMRの設定 | | | シリアル送信 / 受信フォーマットとフレーム長 | | | | | | | | | | | | |
|----------|----|------|-------------------------|---------|---|---|---|---|---|---|------|------|------|------|--|
| CHR | PE | STOP | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | |
| 0 | 0 | 0 | START | 8ビットデータ | | | | | | | | STOP | | | |
| 0 | 0 | 1 | START | 8ビットデータ | | | | | | | | STOP | STOP | | |
| 0 | 1 | 0 | START | 8ビットデータ | | | | | | | | P | STOP | | |
| 0 | 1 | 1 | START | 8ビットデータ | | | | | | | | P | STOP | STOP | |
| 1 | 0 | 0 | START | 7ビットデータ | | | | | | | STOP | | | | |
| 1 | 0 | 1 | START | 7ビットデータ | | | | | | | STOP | STOP | | | |
| 1 | 1 | 0 | START | 7ビットデータ | | | | | | | P | STOP | | | |
| 1 | 1 | 1 | START | 7ビットデータ | | | | | | | P | STOP | STOP | | |

【記号説明】

START : スタートビット
 STOP : ストップビット
 P : パリティビット

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(2) クロック

SCIFの送受信クロックは、SCSMRの C/\bar{A} ビットおよびシリアルコントロールレジスタ(SCSCR)のCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIFのクロックソースの選択については表14.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16倍です。

(3) データの送信 / 受信動作

- SCIF初期化 (調歩同期式)

データの送信 / 受信前には、まずシリアルコントロールレジスタ(SCSCR)のTEビット、およびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、トランスミットシフトレジスタ(SCTSR)が初期化されます。TE、REビットを0にクリアしても、シリアルステータスレジスタ(SCFSR)、トランスミットFIFOデータレジスタ(SCFTDR)および、レシーブFIFOデータレジスタ(SCFRDR)は初期化されず内容は保持されますので注意してください。TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。図14.3にSCIFの初期化フローチャートの例を示します。

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

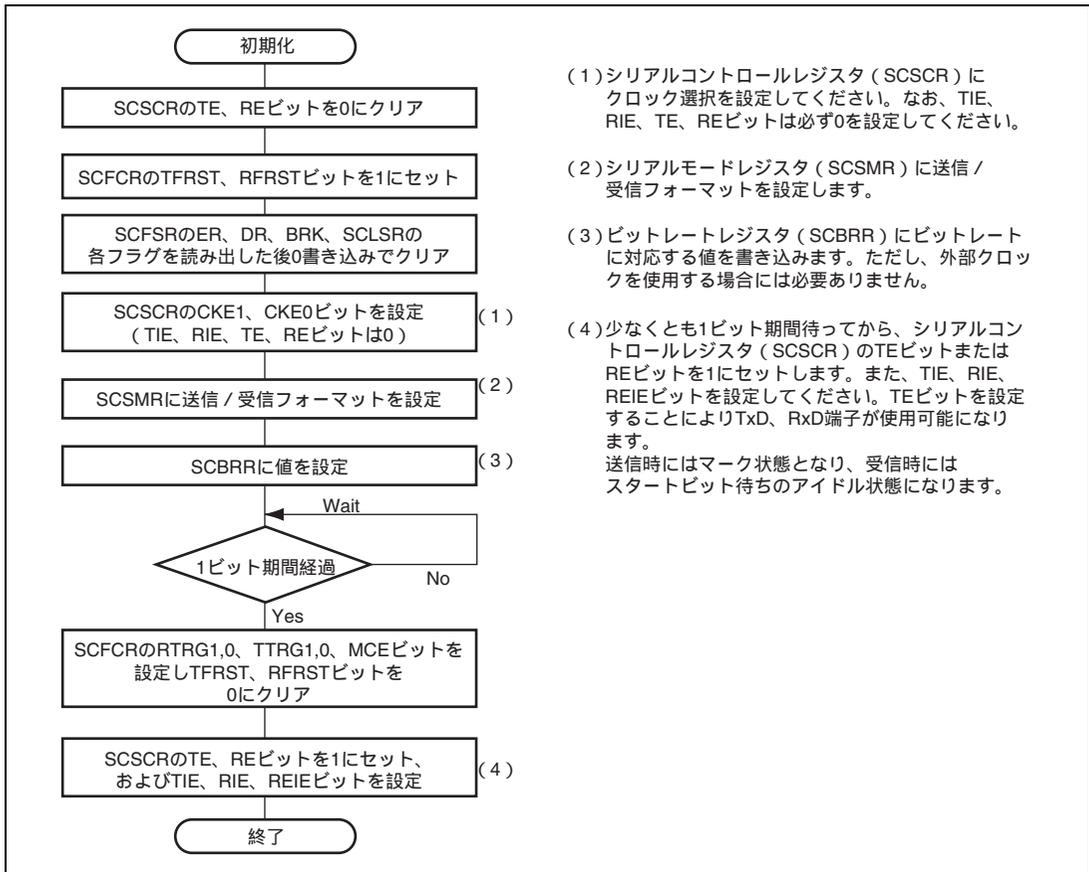


図 14.3 SCIF 初期化フローチャートの例

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

● シリアルデータ送信 (調歩同期式)

図14.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

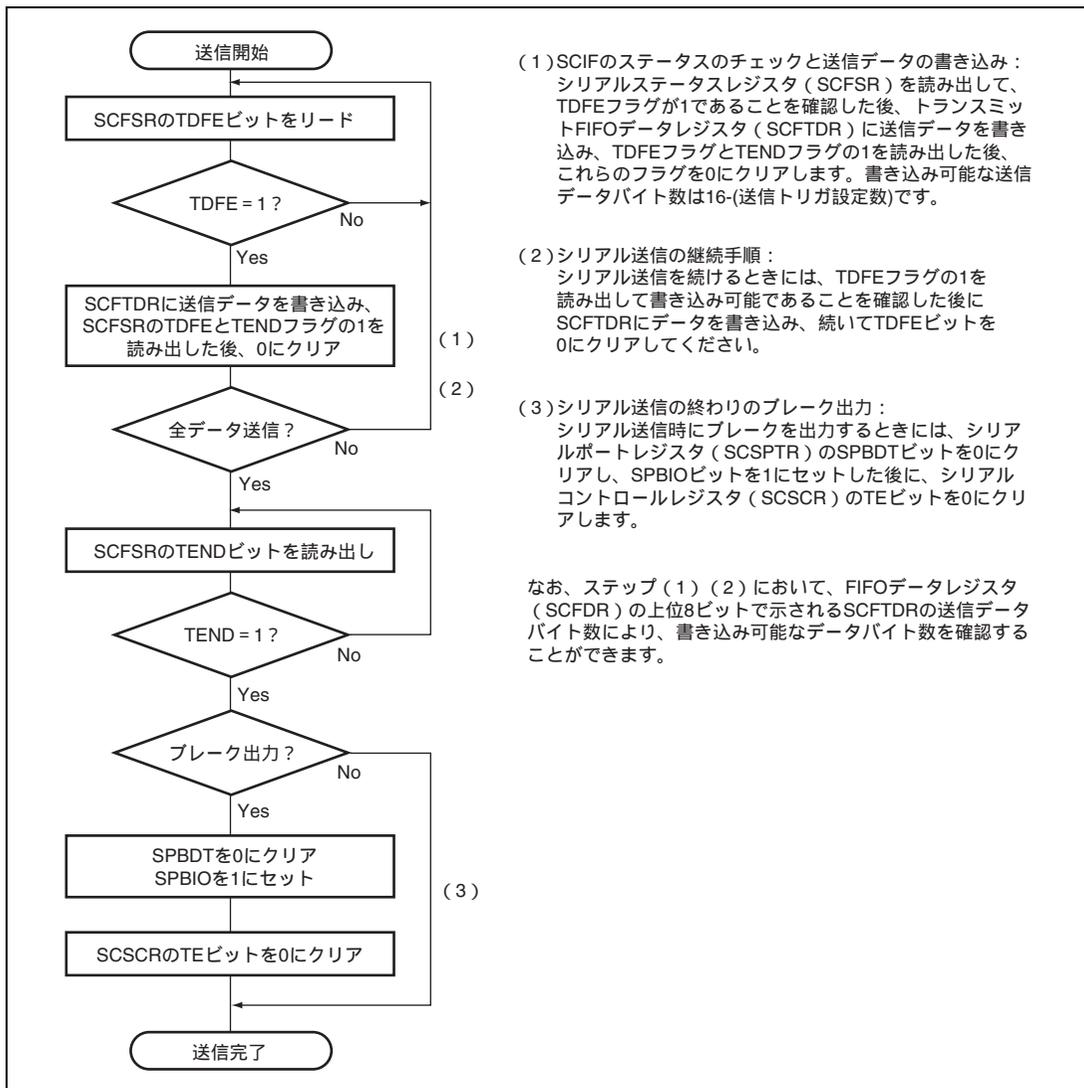


図 14.4 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1であることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を行います。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
- (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
- (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
- (d) ストップビット : 1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
- (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。送信データがないとSCFSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を連続して出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 14.5 に示します。

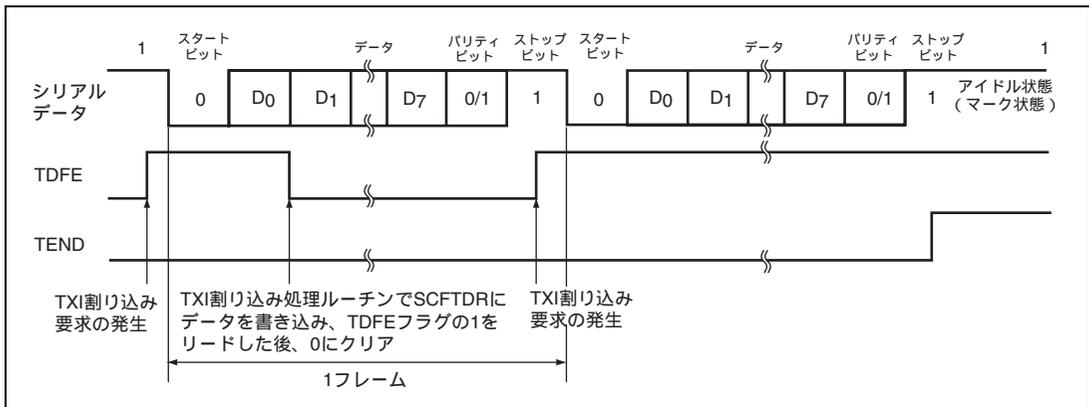


図 14.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

4. モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止 / 再開することができます。 $\overline{\text{CTS}}$ が1にされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にされると、次の送信データがスタートビットを先頭に出力されます。モデムコントロールを使用した動作例を図14.6に示します。(チャンネル0のみ)

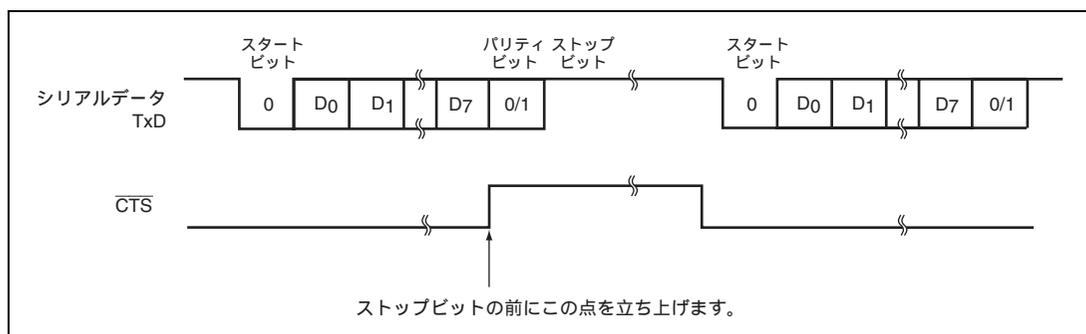


図 14.6 モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$)

● シリアルデータ受信 (調歩同期式)

図 14.7、図 14.8 にシリアル受信フローチャートの例を示します。

SCIF の受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

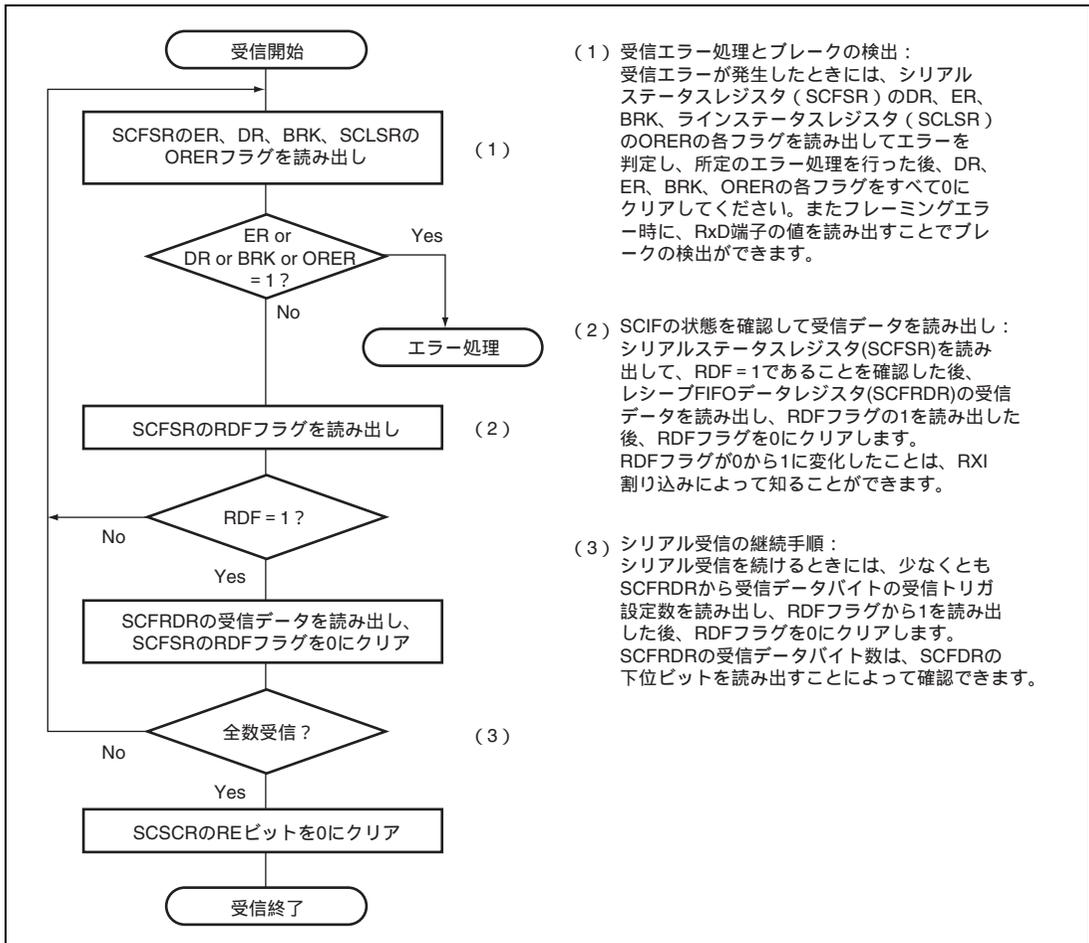


図 14.7 シリアル受信のフローチャートの例 (1)

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

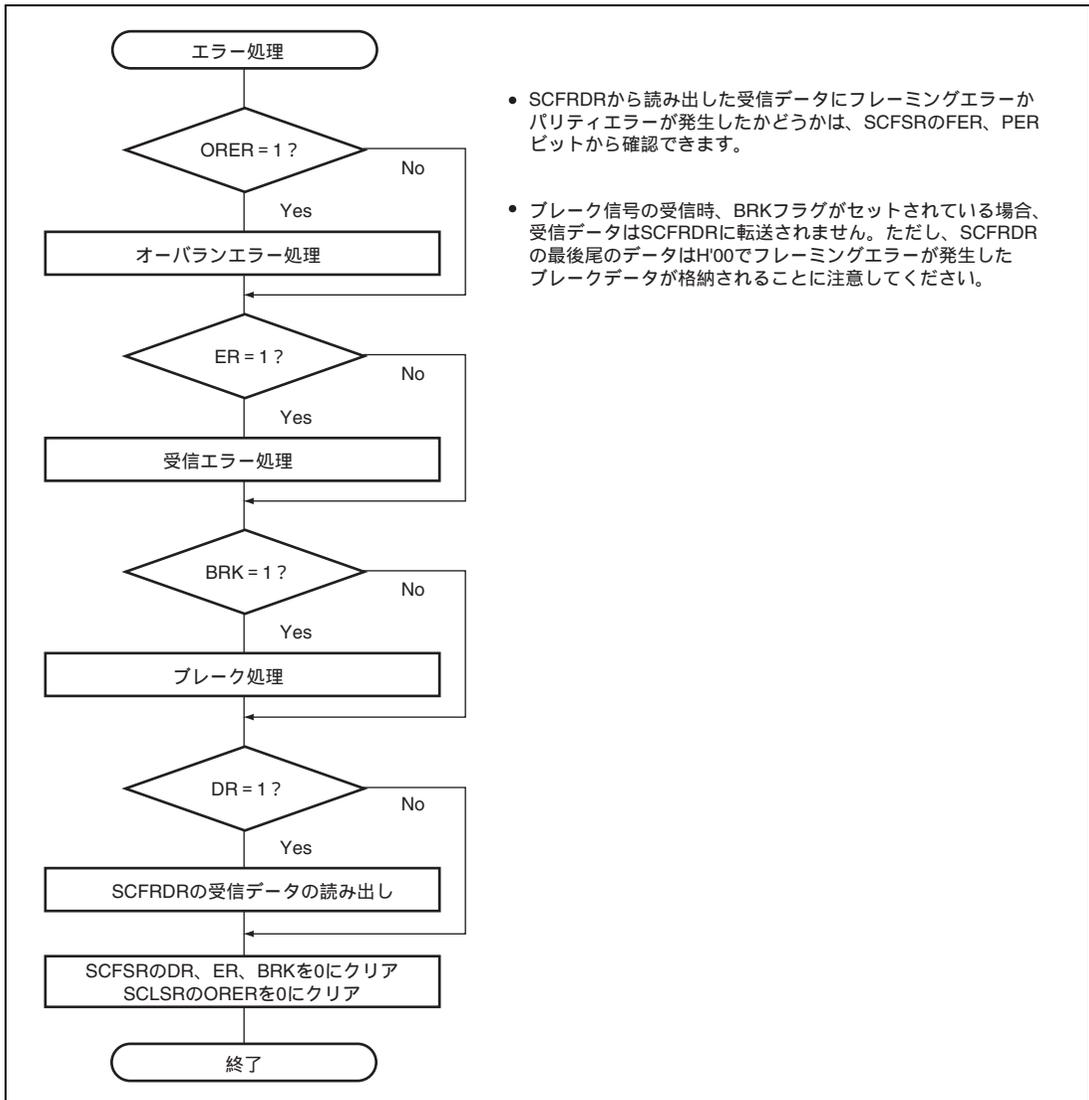


図 14.8 シリアル受信のフローチャートの例 (2)

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシープシフトレジスタ (SCRSR) から SCFRDR に転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示す ORER フラグが0であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示す BRK フラグが0であるかどうかをチェックします。

以上のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされているとレシープFIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 14.9 に示します。

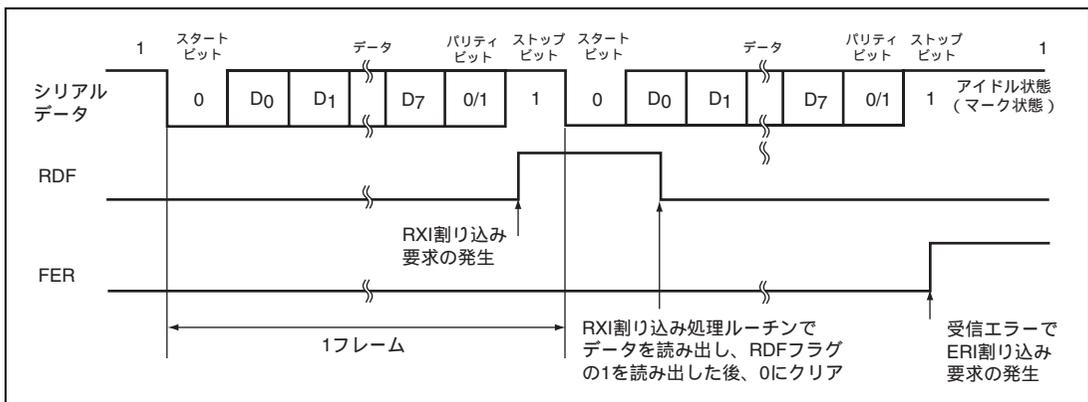


図 14.9 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

5. モデムコントロールが有効であると、SCFRDRが空のとき $\overline{\text{RTS}}$ 信号を出力します。 $\overline{\text{RTS}}$ が0のときは受信可能です。 $\overline{\text{RTS}}$ が1のときはSCFRDRのデータ数がフルで受信が不可能であることを示します。(チャンネル0、1のみ)

モデムコントロール使用時の動作例を図14.10に示します。

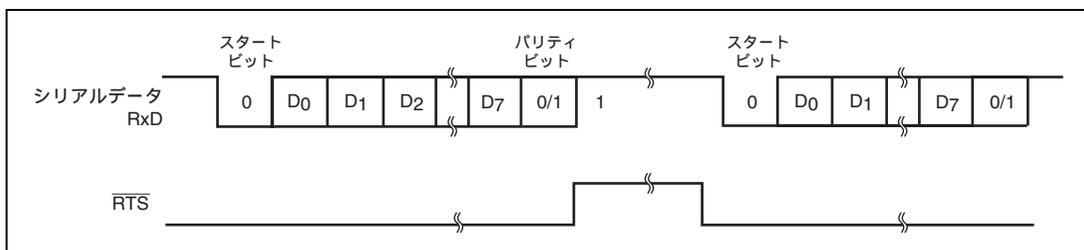


図 14.10 モデムコントロール使用時の動作例 ($\overline{\text{RTS}}$)

14.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.11 に示します。

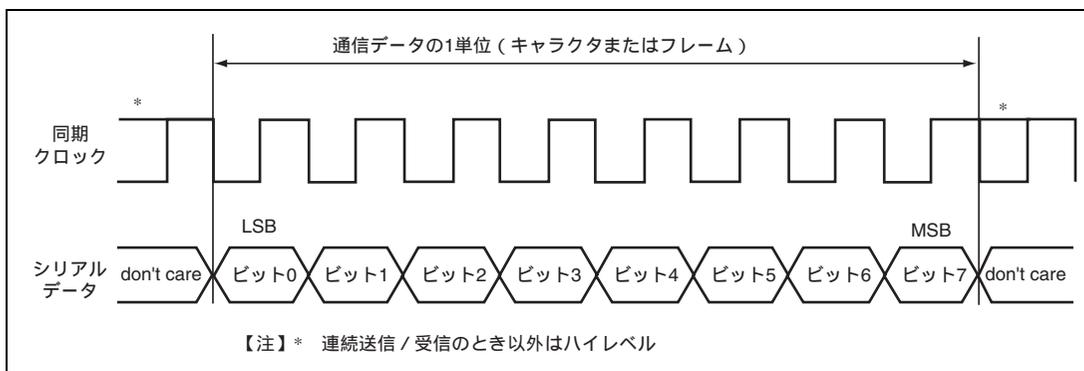


図 14.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビット固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。この場合、 $8 \times (16 + 1) = 136$ パルスの同期クロックが出力されます。n キャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用する場合は、RE=1 かつ TE=1 とし、n キャラクタ数のダミーデータ送信と同時に n キャラクタの受信を行う手順としてください。

(3) データの送信 / 受信動作

- SCIF の初期化 (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビット 0 にクリアするとトランスミットシフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR) の内容は保持されますので注意してください。

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 14.12 に SCIF の初期化フローチャート例を示します。

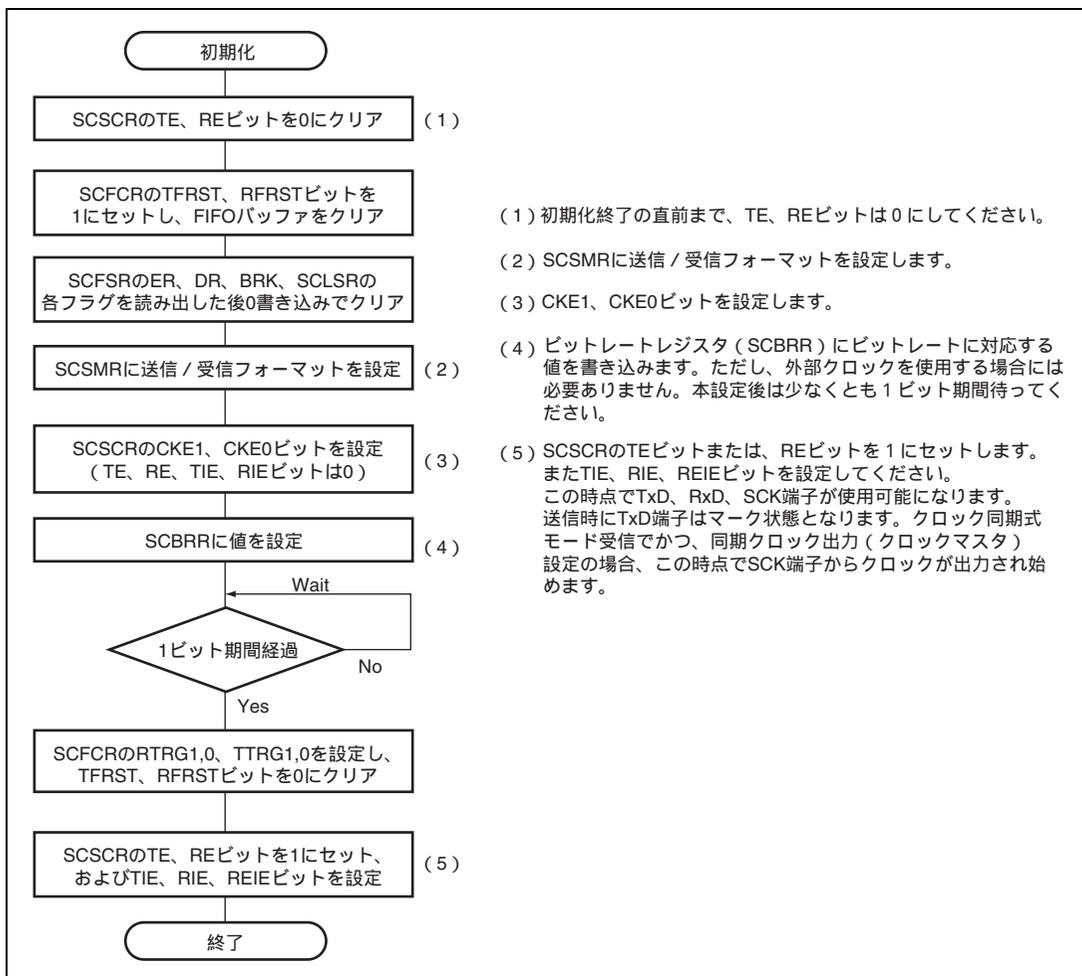


図 14.12 SCIF 初期化フローチャートの例

• シリアルデータ送信 (クロック同期式)

図 14.13 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

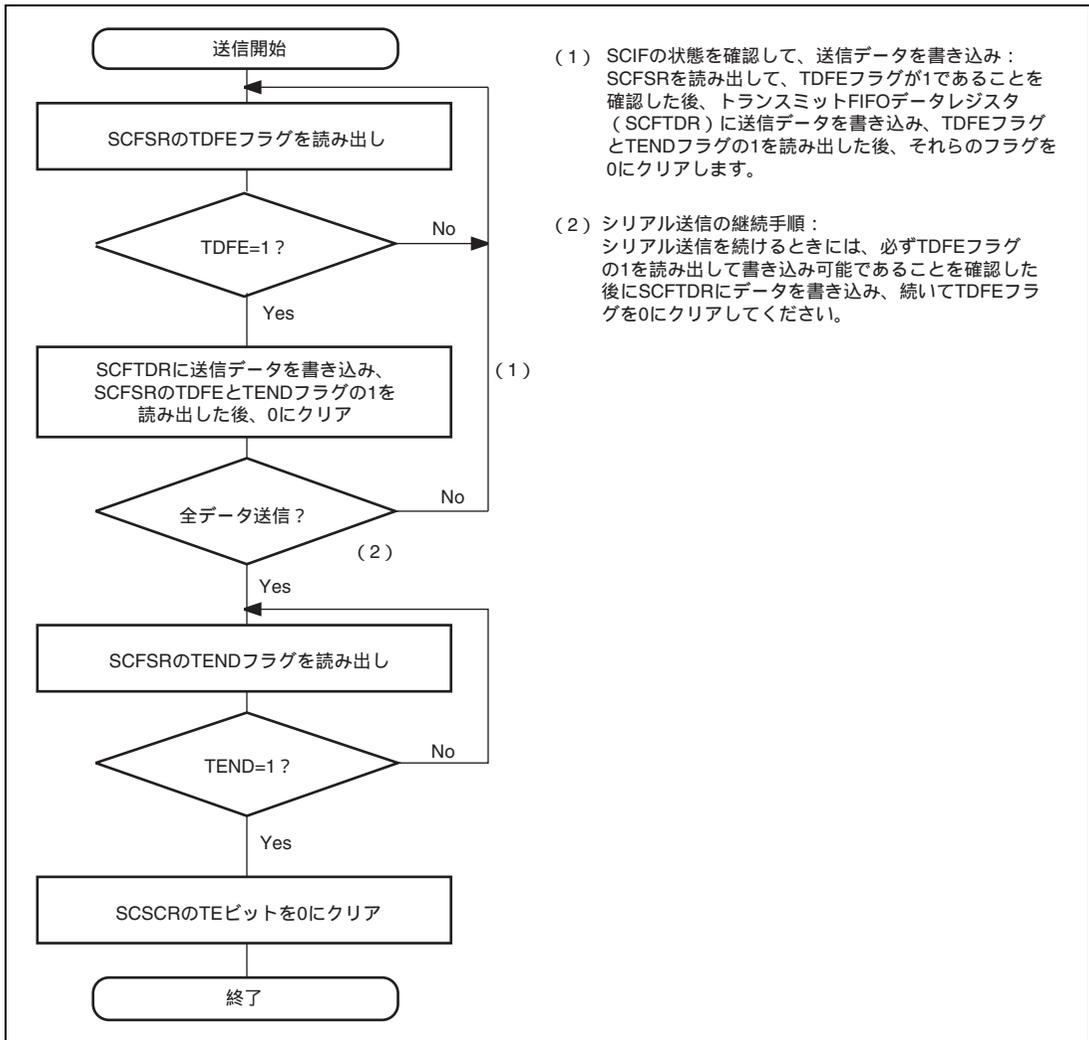


図 14.13 シリアル送信のフローチャートの例

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、トランスミットFIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRからトランスミットシフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1であることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になったとき、TDFEフラグがセットされます。このときシリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSBからMSBの順にTxD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないとシリアルステータスレジスタ (SCFSR) のTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後、SCK端子はハイレベル固定になります。

図 14.14 に SCIF の送信時の動作例を示します。

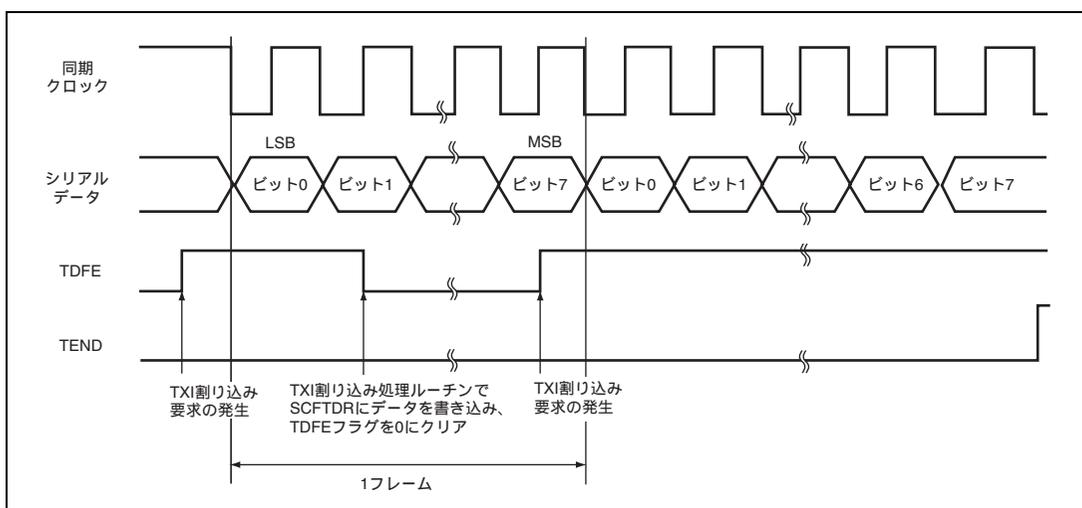


図 14.14 SCIF の送信時の動作例

● シリアルデータ受信 (クロック同期式)

図 14.15、図 14.16 にシリアル受信のフローチャートの例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

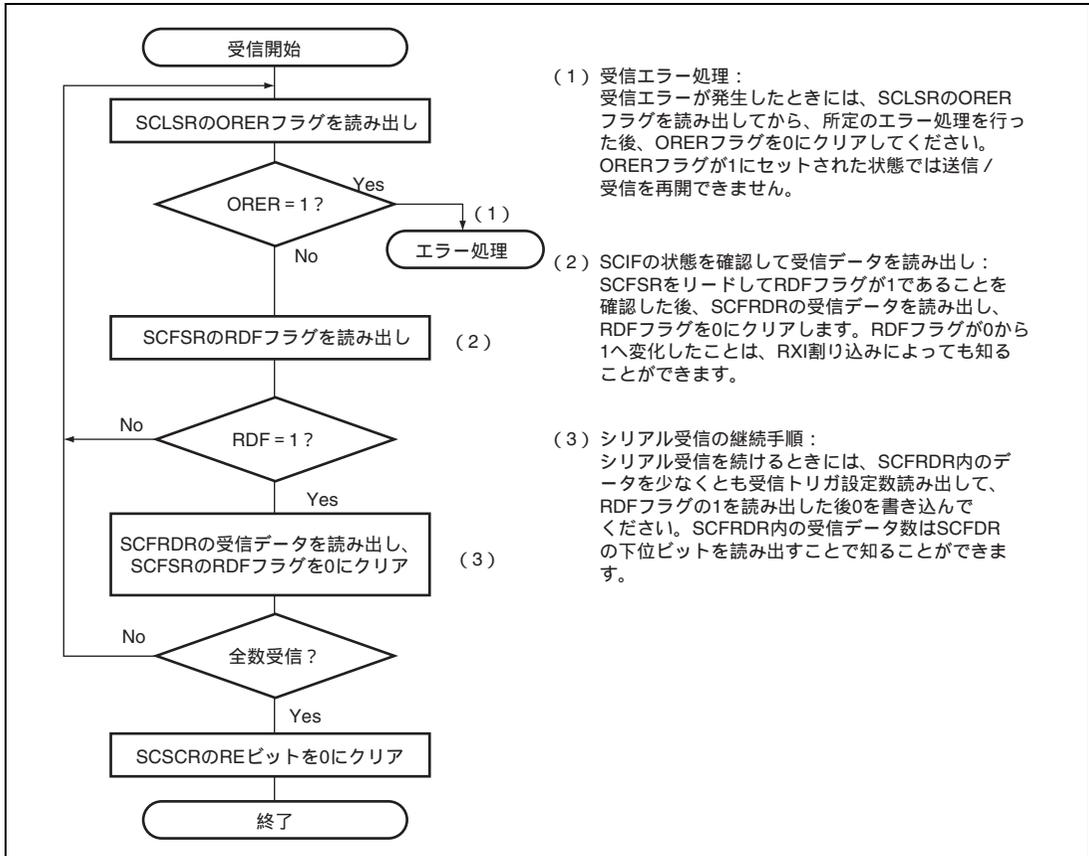


図 14.15 シリアル受信のフローチャートの例 (1)

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

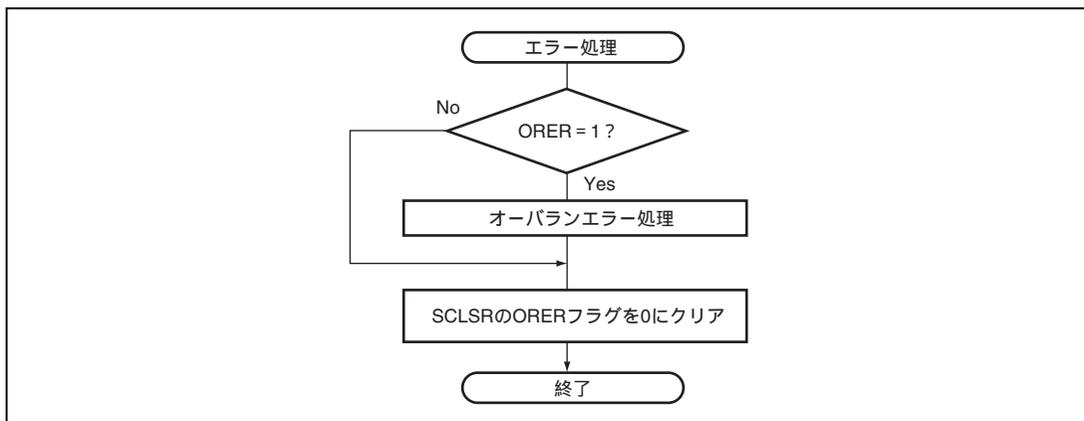


図 14.16 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシープシフトレジスタ (SCRSR) のLSBからMSBの順に格納します。
3. 受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたとき、SCFRDRに受信データが格納されます。
4. エラーチェックでオーバーランエラーを検出すると以後の受信動作ができません。
5. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビット、またはREIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図 14.17 に SCIF の受信時の動作例を示します。

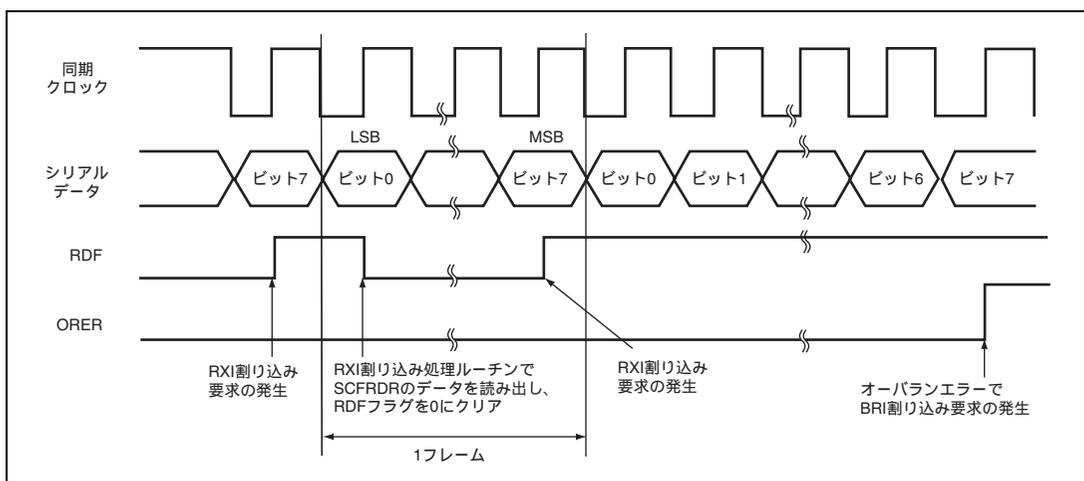


図 14.17 SCIF の受信時の動作例

- シリアルデータ送受信同時動作 (クロック同期式)

図 14.18 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

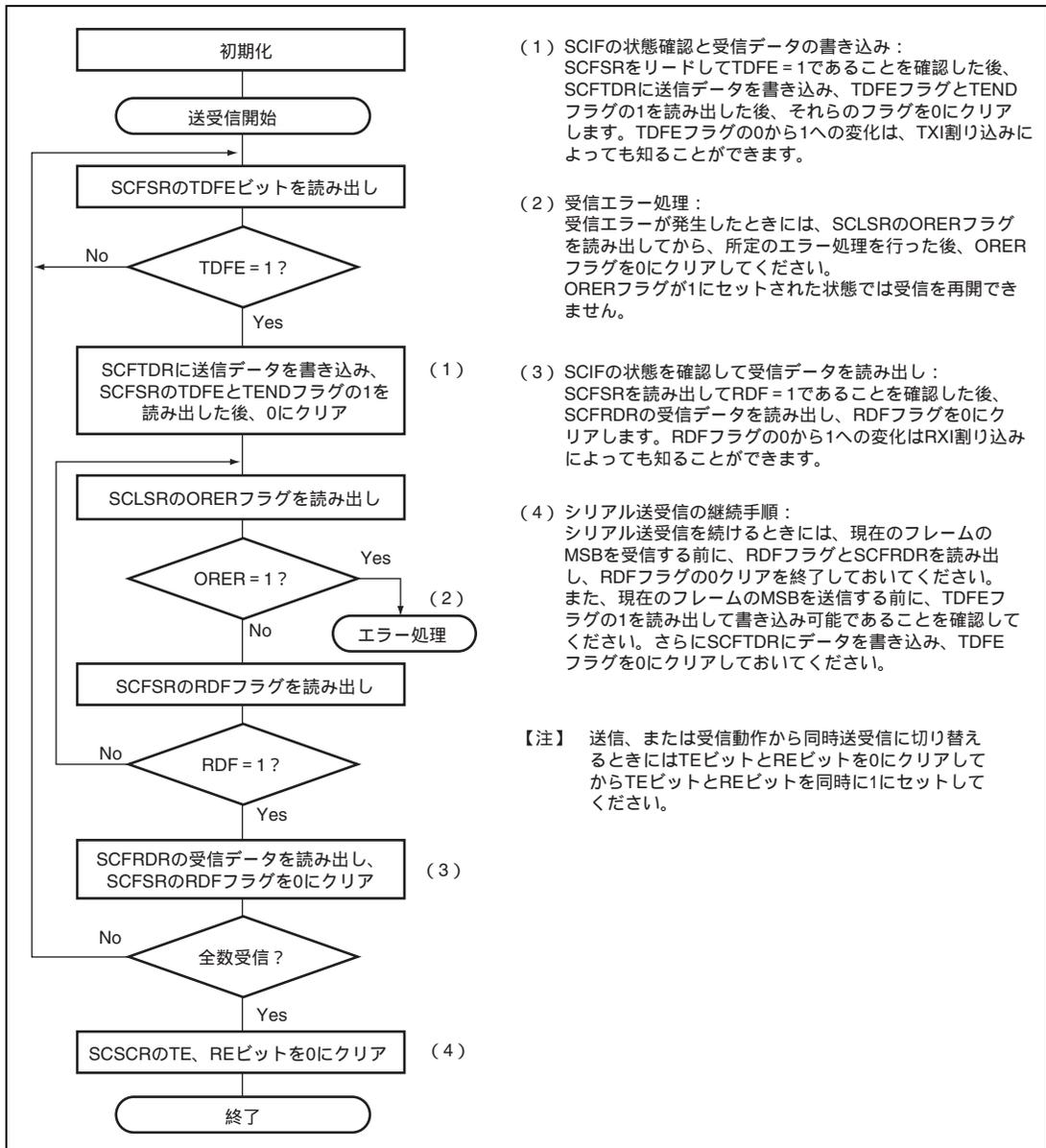


図 14.18 シリアル送受信のフローチャートの例

14.5 SCIF 割り込み要因

SCIF は、送信 FIFO データエンpty 割り込み (TXI) 要求、受信エラー 割り込み (ERI) 要求、受信データフル 割り込み (RXI) 要求、ブ레이크 割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 14.11 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。ただし、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

RIE ビット、または REIE ビットにより BRI が許可されている場合、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

RIE ビット、または REIE ビットにより、ERI が許可されている場合、SCFCR の ER フラグが 1 にセットされると、ERI 割り込み要求が発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI、BRI 割り込み要求だけを出すことができます。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは SCFRDR に受信データがあることを示しています。

表 14.11 SCIF 割り込み要因

| 割り込み要因 | 内 容 | 割り込み許可ビット | リセット解除時の優先順位 |
|--------|--|--------------|---|
| ERI | 受信エラー (ER) による割り込み | RIE または REIE | 高  低 |
| RXI | 受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み | RIE | |
| BRI | ブ레이크 (BRK) またはオーバランエラー (ORER) による割り込み | RIE または REIE | |
| TXI | 送信 FIFO データエンpty (TDFE) による割り込み | TIE | |

14.6 シリアルポートレジスタ (SCSPTR) と SCIF 端子との関係

SCSPTR と SCIF 端子との関係を図 14.19 ~ 図 14.23 に示します。

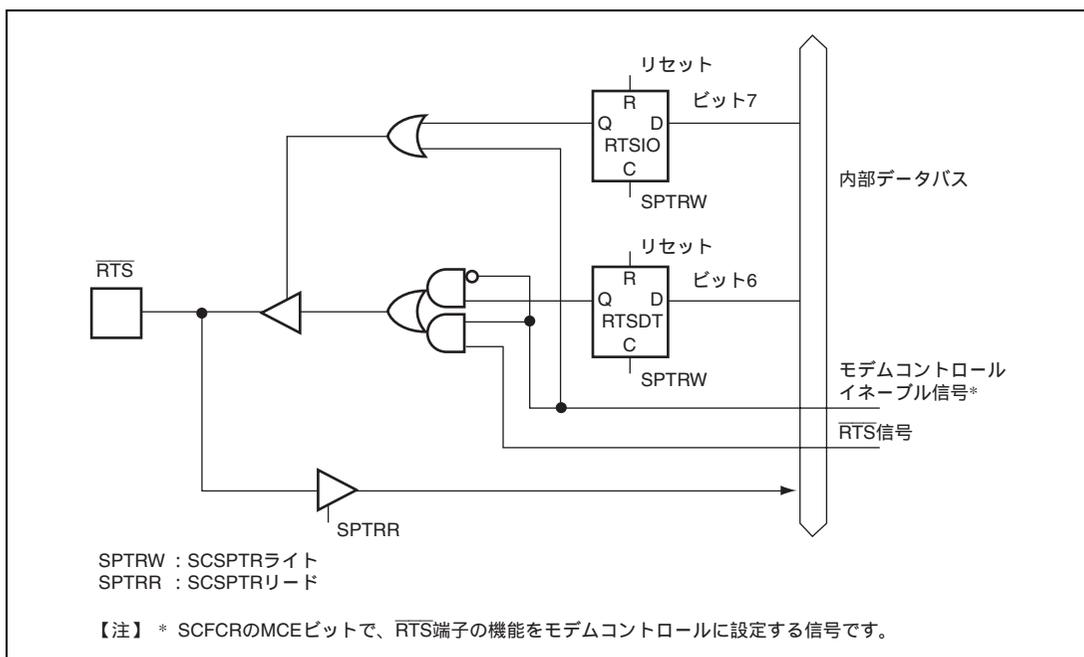


図 14.19 RTSIO ビット、RTSDT ビットと $\overline{\text{RTS}}$ 端子との関係

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

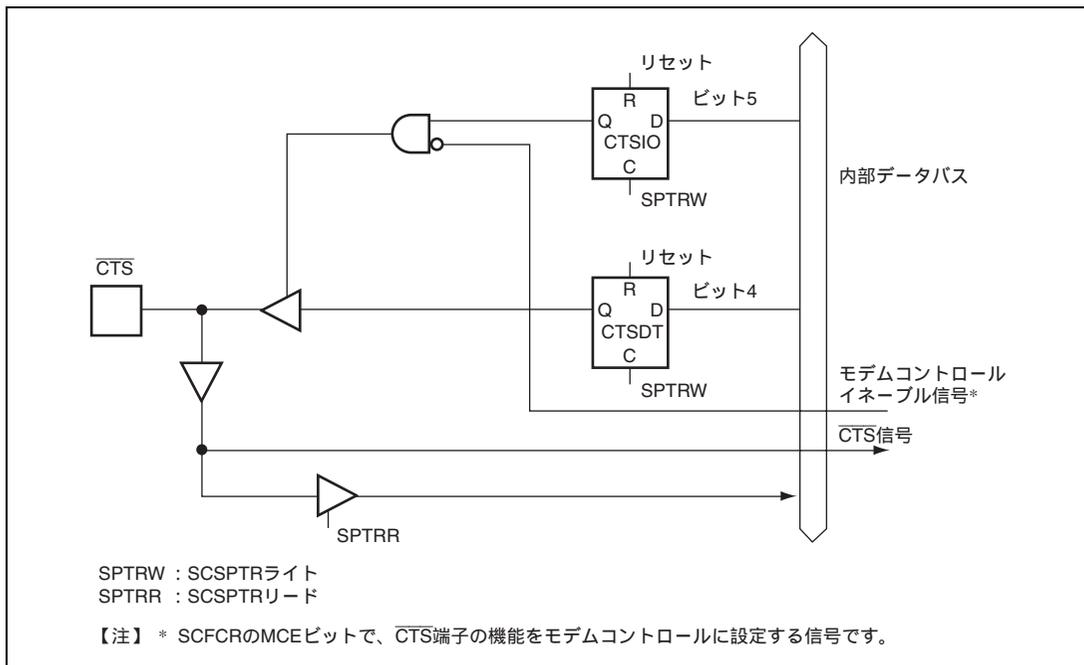


図 14.20 CTSIO ビット、CSDT ビットと CTS 端子との関係

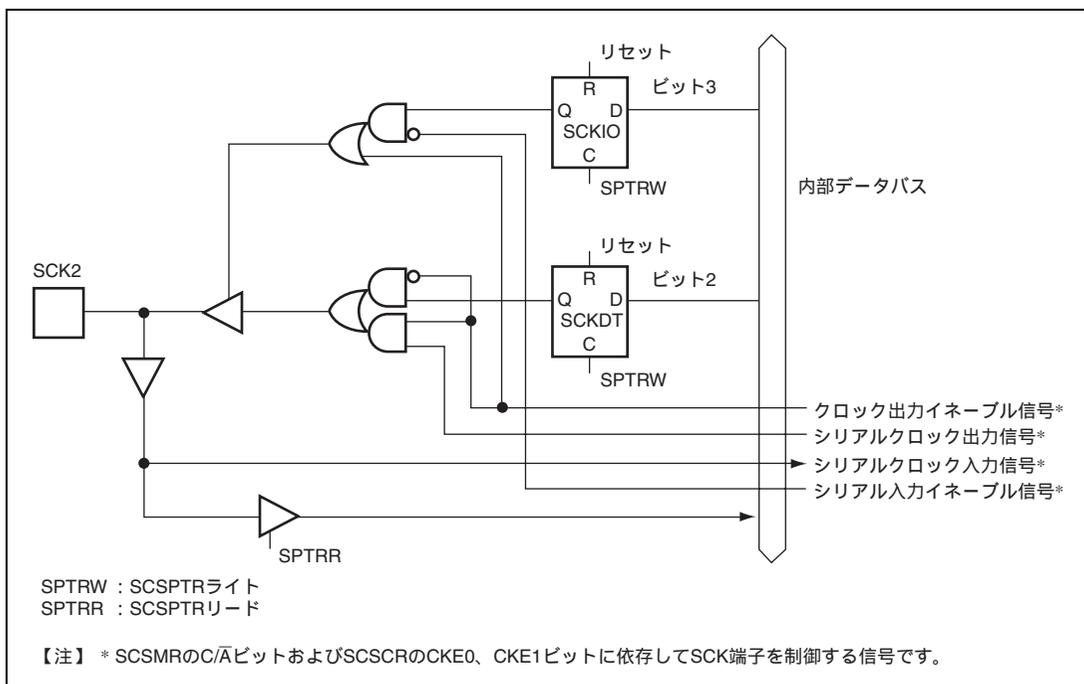


図 14.21 SCKIO ビット、SCKDT ビットと SCK 端子との関係

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

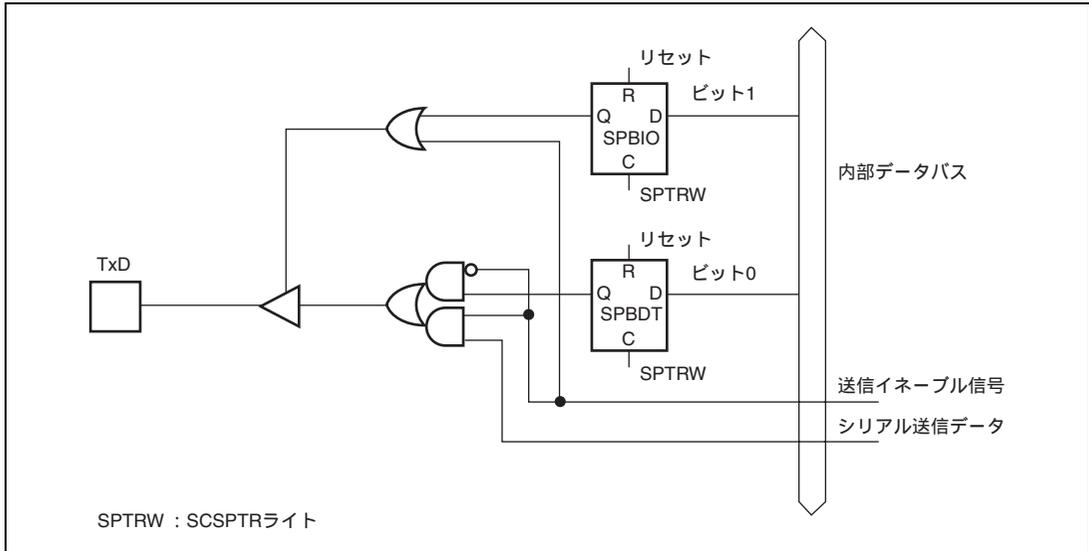


図 14.22 SPBIO ビット、SPBDT ビットと TxD 端子との関係

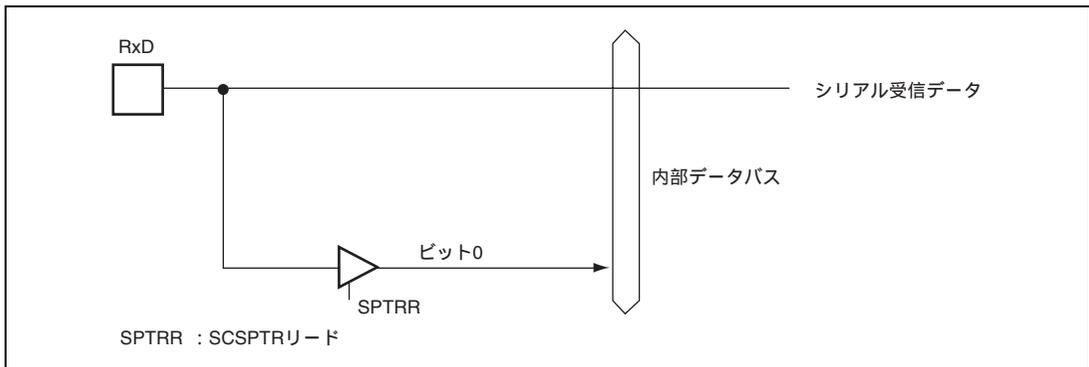


図 14.23 SPBDT ビットと RxD 端子との関係

14.7 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(1) SCFTDR への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCFSR) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が、FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率よい連続送信が可能となります。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは SCFTDR に書き込んだデータバイト数が送信トリガ数を上回るときに 1 を読み出した後に行ってください。

SCFTDR の送信データバイト数は FIFO データ数レジスタ (SCFDR) の上位 8 ビットで知ることができます。

(2) SCFRDR の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCFSR) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG1、RTRG0 ビットで設定した受信トリガ数以上になったときセットされます。RDF がセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数以上の場合、RDF フラグを、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF のクリアは、レシーブ FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR の受信データバイト数は FIFO データ数レジスタ (SCFDR) の下位 8 ビットで知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことによって、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

(4) ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPBIO ビット、SPBDT ビットで決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替えされます。このため、最初は SPBIO と SPBDT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレークを送り出したいときは SPBDT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

(5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 14.24 に示します。

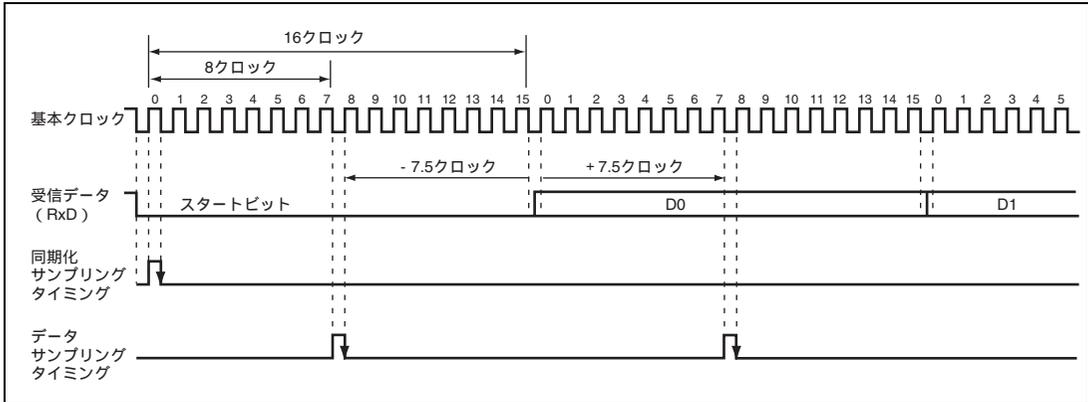


図 14.24 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

- M : 受信マージン (%)
- N : ビットレートに対するクロック周波数の比 (N = 16)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 9 ~ 12)
- F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned} & D = 0.5, F = 0 \text{ のとき} \\ M &= \left(0.5 - 1 / (2 \times 16) \right) \times 100 \% \\ &= 46.875 \% \dots \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(6) チャンネル 1 の端子の複数箇所への割り付け禁止

チャンネル 1 の端子のうち、SCK1、Rx/D1、Tx/D1 は、それぞれ PD4/PE20、PD3/PE19、PD2/PE18 と複数の端子にマルチプレクスされていますが、必ず一方の端子にのみ割り付けてください。例えば、SCK1 を PD4 と PE20 の両方に割り付けた場合、SCIF の動作は保証されません。

14. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

(7) TE ビットがクリアされている期間の TxD 端子、RTS 端子の状態

通常、TxDi ($i=0, 1, 2$) 端子、RTSj 端子 ($j=0, 1$) 端子は、シリアル通信中に出力端子として機能させますが、PFC (ピンファンクションコントローラ) でこれらの機能を選択しても、SCSCRi ($i=0, 1, 2$) の TE ビットがクリアされている期間は、ハイインピーダンス状態となります。PFC でこれらの機能を選択した後は、常に (TE ビットの値に関わらず) 出力端子として機能させるためには、SCPTRi ($i=0, 1, 2$) と PFC の設定を以下の順序で行ってください。

1. SCPTRi ($i=0, 1, 2$) の SPBIO ビット、SPBDT ビットをセット。SCPTRj ($j=0, 1$) の RTSIO ビット、RTSDT ビットをセット。
2. PFC で TxDi ($i=0, 1, 2$) 端子、RTSj ($j=0, 1$) 端子を選択。

(8) 調歩同期モードで SCSCR の TE ビットをセットしてからスタートビットが送出されるまでの間隔

従来の製品に搭載されている SCIF では、TE ビットをセットから 1 フレーム相当期間の後、スタートビットが送出され始めますが、本 SCIF では、TE ビットをセットすると、直ちにスタートビットが送出され始めます。

15. ホストインタフェース (HIF)

本 LSI はシステムバスを共有できない外部デバイスと高速にデータ転送を行うためのホストインタフェース (HIF: Host Interface) を内蔵しています。

HIF を用いることにより、外部デバイスから本 LSI に内蔵された 2KB (1KB×2 バンク) の HIF 用内蔵 RAM (HIFRAM) に対して 32 ビット単位のリード/ライトが可能となります。さらに外部デバイスから本 LSI への割り込み、本 LSI から外部デバイスへの割り込み、および本 LSI から外部デバイスへの DMA 転送要求をサポートします。この HIFRAM と割り込み機能を用いることにより、ソフトウェア的に外部デバイスと本 LSI 間のデータ転送が可能となり、バス権を開放しない外部デバイスとの接続が可能となります。

また HIFRAM を使って本 LSI を起動することができる HIF ブートモードをサポートします。

15.1 特長

HIF には、次のような特長があります。

- 外部デバイスからは、HIFの端子を介して、HIFRAMに32ビット単位でリード/ライトが可能です (8 / 16ビット単位のアクセスはできません)。本LSIのCPUからは、内部周辺バスを介して、HIFRAMに8 / 16 / 32ビット単位でリード/ライトが可能です。また、2つのHIFRAMアクセスモード (バンクモード、非バンクモード) が選べます。
- 外部デバイスが、HIFの端子を介して、HIFRAMをアクセスする場合、HIF内部レジスタの設定により、アドレスの自動インクリメントやエンディアンの設定が可能となります。
- 外部デバイスからHIF内部レジスタの特定ビットへライトを行うこと、あるいは外部デバイスがHIFRAM最終アドレスをアクセスすることで、本LSIのCPUに割り込み (内部割り込み) をかけることができます。また逆に本LSIのCPUからHIF内部レジスタの特定ビットへライトを行うことで、外部デバイスに対して割り込み (外部割り込み)、あるいはDMAC転送要求をかけることも可能です。
- 割り込み要因ビットを内部割り込み / 外部割り込み用にそれぞれ7ビットサポートします。これにより128とおりの割り込みの制御がソフトウェアから可能となり、割り込みを用いたデータ転送を高速に行うことが可能となります。
- ブートモード時に、外部デバイスがHIFRAMに命令コードを格納しておくことで、HIFRAMからブート可能です。

15. ホストインタフェース (HIF)

図 15.1 に HIF のブロック図を示します。

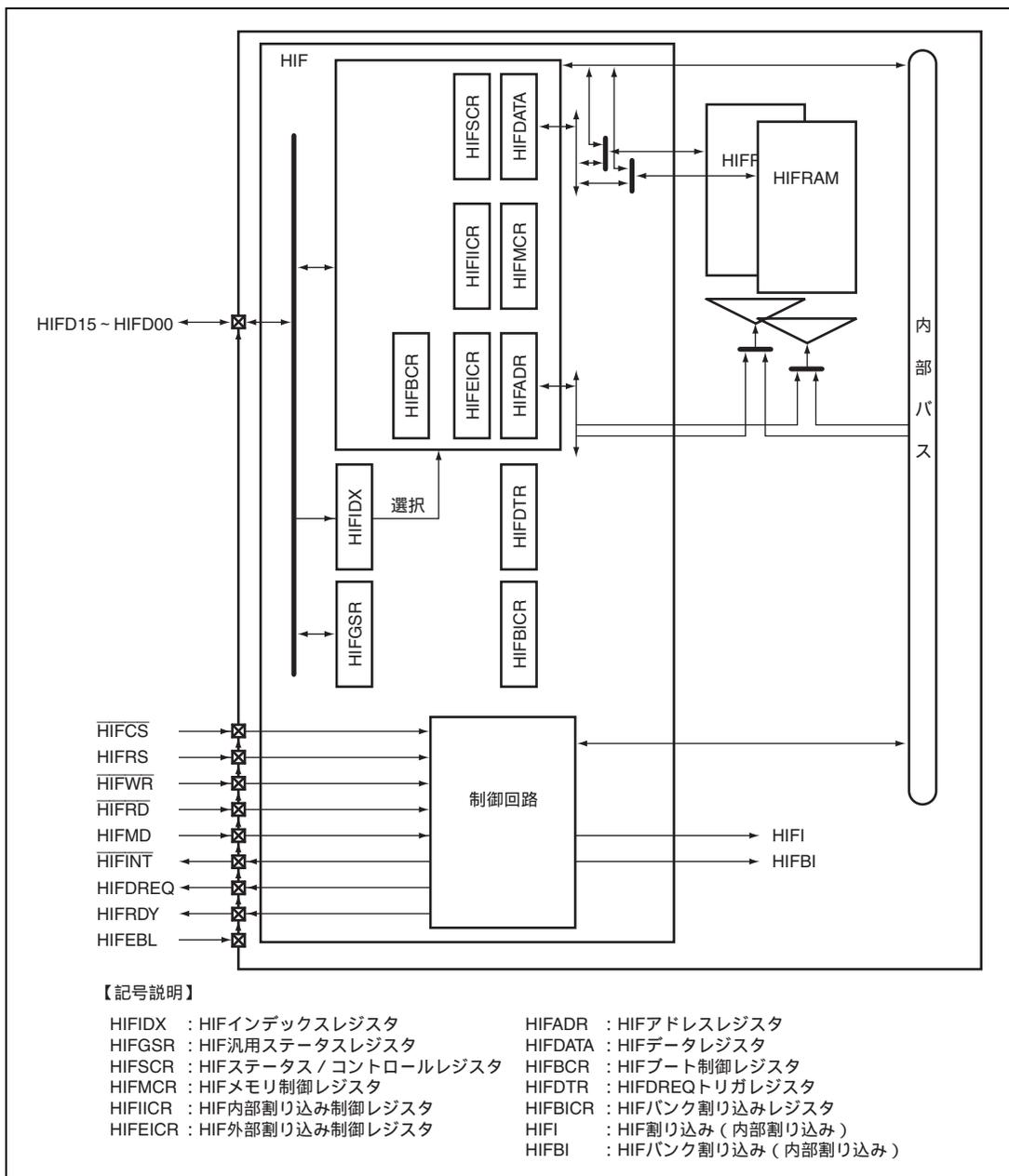


図 15.1 HIF ブロック図

15.2 入出力端子

HIF の端子構成を表 15.1 に示します。

表 15.1 端子構成

| 名称 | 略称 | 入出力 | 機能 |
|--------------|--------------------|-----|--|
| HIF データ端子 | HIFD15 ~ HIFD00 | 入出力 | HIF へのアドレス / データ / コマンド入出力 |
| HIF チップセレクト | HIFCS | 入力 | HIF へのチップセレクト入力 |
| HIF レジスタセレクト | HIFRS | 入力 | HIF へのアクセス種別切り替え 0 : 通常アクセス (下記以外) 1 : インデックスレジスタライト / ステータスレジスタリード |
| HIF ライト | HIFWR | 入力 | ライトストロープ信号。外部デバイスが HIF へデータを書き込む場合、ローレベルを入力します。 |
| HIF リード | HIFRD | 入力 | リードストロープ信号。外部デバイスが HIF からデータを読み出す場合、ローレベルを入力します。 |
| HIF 割り込み | HIFINT | 出力 | HIF から外部デバイスへの割り込み要求 |
| HIF モード | HIFMD | 入力 | HIF ブートをするか、しないかを指定します。ハイレベルを入力した状態でパワーオンリセット解除することで、本 LSI は HIF ブートモードで起動します。 |
| HIFDMAC 転送要求 | HIFDREQ | 出力 | 外部デバイスに対して HIFRAM への DMAC 転送を要求します。 |
| HIF ブートレディ | HIFRDY | 出力 | 本 LSI 内部で、HIF モジュールのリセットが解除され、外部デバイスから HIF モジュールへのアクセスを受け付け可能になったことを示します。 本 LSI のリセット入力端子のネゲートが検出されてから、周辺クロック換算で最大 10 クロック後にアサート出力されます。 |
| HIF 端子イネーブル | HIFEBL | 入力 | ハイレベルを入力することで、本端子以外の HIF 端子を活性化します。 |

15. ホストインタフェース (HIF)

15.3 パラレルアクセス

15.3.1 動作説明

HIF へのアクセスは $\overline{\text{HIFCS}}$ 、 $\overline{\text{HIFRS}}$ 、 $\overline{\text{HIFWR}}$ 、 $\overline{\text{HIFRD}}$ の各端子を組み合わせることで行います。表 15.2 にこれらの信号の組み合わせと動作との対応を示します。

表 15.2 HIF 動作

| HIFCS | HIFRS | HIFWR | HIFRD | 動作 |
|-------|-------|-------|-------|--------------------------------|
| 1 | * | * | * | ノーオペレーション (NOP) |
| 0 | 0 | 1 | 0 | HIFIDX[7:0]で指定されるレジスタからのリード |
| 0 | 0 | 0 | 1 | HIFIDX[7:0]で指定されるレジスタへのライト |
| 0 | 1 | 1 | 0 | ステータスレジスタ (HIFGSR[7:0]) リード |
| 0 | 1 | 0 | 1 | インデックスレジスタ (HIFIDX[7:0]) へのライト |
| 0 | * | 1 | 1 | ノーオペレーション (NOP) |
| 0 | * | 0 | 0 | 設定禁止 |

【注】 * : Don't Care

15.3.2 接続方法

HIF を外部デバイスに接続する場合は、たとえば図 15.2 に示すような方法で接続してください。

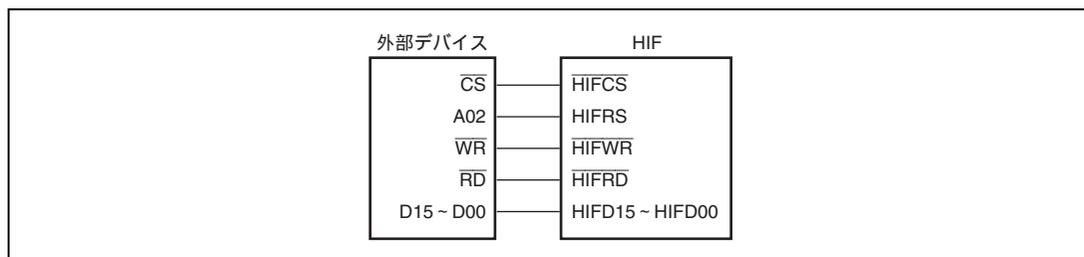


図 15.2 HIF 接続参考例

15.4 レジスタの説明

HIF には、以下のレジスタがあります。

- HIFインデックスレジスタ (HIFIDX)
- HIF汎用ステータスレジスタ (HIFGSR)
- HIFステータス/コントロールレジスタ (HIFSCR)
- HIFメモリ制御レジスタ (HIFMCR)
- HIF内部割り込み制御レジスタ (HIFIICR)
- HIF外部割り込み制御レジスタ (HIFEICR)
- HIFアドレスレジスタ (HIFADR)
- HIFデータレジスタ (HIFDATA)
- HIFブート制御レジスタ (HIFBCR)
- HIFDREQトリガレジスタ (HIFDTR)
- HIFバンク割り込み制御レジスタ (HIFBICR)

15.4.1 HIF インデックスレジスタ (HIFIDX)

HIFIDX は、32 ビットのレジスタで、HIFRS 端子がローレベルのときに外部デバイスがリード/ライトするレジスタを指定するために用います。本 LSI の CPU からはリードのみ可能です。外部デバイスからは HIFRS 端子をハイレベルにした状態でライトのみ可能です。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|------|---|
| 31~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | REG5 | 0 | R/W* | HIF 内蔵レジスタ選択 |
| 6 | REG4 | 0 | R/W* | 外部デバイスが、HIFGSR、HIFSCR、HIFMCR、HIFIICR、HIFEICR、HIFADR、HIFDATA、HIFBCR のうち、どれをアクセスするかを指定するためのビットです。 |
| 5 | REG3 | 0 | R/W* | |
| 4 | REG2 | 0 | R/W* | |
| 3 | REG1 | 0 | R/W* | |
| 2 | REG0 | 0 | R/W* | |
| | | | | 000000 : HIFGSR 000001 : HIFSCR 000010 : HIFMCR 000011 : HIFIICR 000100 : HIFEICR 000101 : HIFADR 000110 : HIFDATA 001111 : HIFBCR 上記以外 : リザーブビット |

15. ホストインタフェース (HIF)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|-------|-----|------|---|
| 1 | BYTE1 | 0 | R/W* | 内蔵レジスタ内バイト指定 外部デバイスが、HIFGSR、HIFSCR、HIFMCR、HIFIICR、HIFEICR、HIFADR、HIFDATA、HIFBCR のいずれかをアクセスする前に、あらかじめターゲットとなるワード位置を指定しておくためのビットです。 HIFSCR.BO = 0 の場合 00 : レジスタのビット[31:16] 01 : 設定しないでください 10 : レジスタのビット[15:0] 11 : 設定しないでください HIFSCR.BO = 1 の場合 00 : レジスタのビット[15:0] 01 : 設定しないでください 10 : レジスタのビット[31:16] 11 : 設定しないでください ただし REG5 ~ REG0 で HIFDATA が選択された場合には、HIFDATA へのリード/ライトが発生するたびに BYTE1、BYTE0 が以下の規則で変化します。 00 10 00 10繰り返し |
| 0 | BYTE0 | 0 | R/W* | |

【注】 * 外部デバイスからは、HIFRS 端子をハイレベルにした状態でライトのみ可能です。本 LSI の CPU からはライト無効です。

15.4.2 HIF 汎用ステータスレジスタ (HIFGSR)

HIFGSR は、32 ビットのレジスタで、HIF に接続される外部デバイスと本 LSI 上のソフトウェアとの間でハンドシェイクをとるために自由に用いることができるレジスタです。本 LSI の CPU からはリードもライトも可能です。外部デバイスが本レジスタをリードする場合は、HIFRS 端子をハイレベルにした状態で行うか、または HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。外部デバイスが本レジスタをライトする場合は、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|---------|--------------------------|-------|-----|--|
| 31 ~ 16 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 15 ~ 0 | STATUS15 ~ STATUS0 | すべて 0 | R/W | 汎用ステータス。 HIF に接続された外部デバイスからも、本 LSI の CPU からもリード/ライト可能なレジスタです。パワーオンリセット時のみ初期化されます。 |

15.4.3 HIF ステータス/コントロールレジスタ (HIFSCR)

HIFSCR は、32 ビットのレジスタで、HIFRAM のアクセスモード制御やエンディアン制御を行います。本 LSI の CPU からはリードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|----------|-------------|--------|------------|--|
| 31~12 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 11 10 | DMD DPOL | 0 0 | R/W R/W | DREQ モード DREQ ポラリティ HIFDREQ 端子のアサートモードを制御します。ネゲートタイミング等の詳細は、「15.8 外部 DMAC インタフェース」を参照してください。 00: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子にローレベルを生成します。HIFDREQ はデフォルトハイレベル出力です。 01: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子にハイレベルを生成します。HIFDREQ はデフォルトローレベル出力です。 10: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子に立ち下がりエッジを生成します。HIFDREQ はデフォルトハイレベル出力です。 11: 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子に立ち上がりエッジを生成します。HIFDREQ はデフォルトローレベル出力です。 |
| 9 8 | BMD BSEL | 0 0 | R/W R/W | HIFRAM バンクモード HIFRAM バンクセレクト HIFRAM のアクセスモードを設定します。 00: 外部デバイス、本 LSI の CPU とともにバンク 0 をアクセス可能です。両者のアクセスが競合した場合、たとえアクセスアドレスが異なっても、外部デバイスのアクセス、本 LSI の CPU のアクセスの順に処理されます。バンク 1 はアクセスできません。 01: 外部デバイス、本 LSI の CPU とともにバンク 1 をアクセス可能です。両者のアクセスが競合した場合、例えアクセスアドレスが異なっても、外部デバイスのアクセス、本 LSI の CPU のアクセスの順に処理されます。バンク 0 はアクセスできません。 10: 外部デバイスはバンク 0 のみを、本 LSI の CPU はバンク 1 のみをアクセス可能です。 11: 外部デバイスはバンク 1 のみを、本 LSI の CPU はバンク 0 のみをアクセス可能です。 |
| 7 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。 |
| 6 | - | 1 | R | リザ - ビット 読み出すと常に 1 が読み出されます。書き込み値も常に 1 にしてください。 |

15. ホストインタフェース (HIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|------|-------|-----|--|
| 5 | MD1 | 0 / 1 | R | HIF モード 1 本 LSI を HIF ブートモードで起動したか、非 HIF ブートモードで起動したかを示します。本ビットはパワーオンリセット時にサンプリングされた HIFMD 端子への入力レベルが格納されます。 0: 非 HIF ブートモードで起動 (エリア 0 に接続しているメモリからブート) した。 1: HIF ブートモードで起動 (HIFRAM からブート) した。 |
| 4~2 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | EDN | 0 | R/W | HIFRAM アクセス時のエンディアン 本 LSI の CPU が HIFRAM をアクセスする場合のバイトオーダーを指定します。 0: ビッグエンディアン (MSB ファースト) 1: リトルエンディアン (LSB ファースト) |
| 0 | BO | 0 | R/W | HIFDATA を含め HIF の全レジスタをアクセスする時のバイトオーダー - 外部デバイスが HIFDATA を含め HIF の全レジスタをアクセスする場合のバイトオーダーを指定します。 0: ビッグエンディアン (MSB ファースト) 1: リトルエンディアン (LSB ファースト) |

15.4.4 HIF メモリ制御レジスタ (HIFMCR)

HIFMCR は、32 ビットのレジスタで、HIFRAM の制御を行います。本 LSI の CPU からはリードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|------|--|
| 31~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | LOCK | 0 | R/W* | ロック 外部デバイスが、HIFDATA 経由で HIFRAM を連続アクセスする場合、アクセス方向 (リード、またはライト) をロックするためのビットです。本ビットへ 1 を書き込むと同時に設定した RD ビット、WT ビットの値が、次に本ビットを 0 クリアするまで保持されます。RD ビットと本ビットに同時に 1 を書き込んだ場合は連続読み出しモード、WT ビットと本ビットに同時に 1 を書き込んだ場合は連続書き込みモードとなります。RD ビットと WT ビットは同時に 1 にしないでください。 |
| 6 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

15. ホストインタフェース (HIF)

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|-------|------|------|--|
| 5 | WT | 0 | R/W* | <p>ライト</p> <p>本ビットに1を書き込むと HIFDATA の値が、HIFADR に対応する HIFRAM の位置へ書き込まれます。</p> <p>本ビットへ1を書き込むのと同時に LOCK ビットに対して1を書き込むと HIFRAM への連続書き込み状態となり、高速なデータ転送が可能となります。この場合、本ビットの値は、次に0を書き込むか、LOCK ビットを0にするまで保持されます。</p> <p>LOCK ビットに対して同時に1を書き込まない場合は、HIFRAM に対して1度だけ書き込みが発生し、その後、本ビットの値は自動的に0クリアされます。</p> |
| 4 | - | 0 | R | <p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p> |
| 3 | RD | 0 | R/W* | <p>リード</p> <p>本ビットに1を書き込むと HIFADR に対応する HIFRAM のデータが、HIFDATA に読み出されます。</p> <p>本ビットへ1を書き込むのと同時に LOCK ビットに対して1を書き込むと HIFRAM への連続読み出し状態となり、高速なデータ転送が可能となります。この場合、本ビットの値は、次に0を書き込むか、LOCK ビットを0にするまで保持されます。</p> <p>LOCK ビットに対して同時に1を書き込まない場合は、HIFRAM に対して1度だけ読み出しが発生し、その後、本ビットの値は自動的に0クリアされます。</p> |
| 2、1 | - | すべて0 | R | <p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p> |
| 0 | AI/AD | 0 | R/W* | <p>アドレスオートインクリメント/デクリメント。</p> <p>LOCK ビットが1のときのみ有効なビットです。HIFRAM へのリードもしくはライトが発生するたびに、HIFADR の値が自動的に+4もしくは-4します。</p> <p>0: オートインクリメントモード (+4)</p> <p>1: オートデクリメントモード (-4)</p> |

【注】 * 外部デバイスからは、HIFRS 端子をローレベルにした状態でライトのみ可能です。本 LSI の CPU からはライト無効です。また HIFSCR の BMD ビット、BSEL ビットにより、外部デバイスからアクセス可能な HIFRAM のバンクを変更しても、本ビットの設定は影響を受けません。

15. ホストインタフェース (HIF)

15.4.5 HIF 内部割り込み制御レジスタ (HIFIICR)

HIFIICR は、32 ビットのレジスタで、HIF に接続された外部デバイスから本 LSI の CPU に対して割り込みを発生させるためのレジスタです。外部デバイスからのアクセスは、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|--|
| 31~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | IIC6 | 0 | R/W | 内部割り込み要因 IIR 割り込みの要因を指定するためのビットです。本ビットは外部デバイスからも本 LSI の CPU からも書き込みが可能です。本ビットを用いることにより割り込みハンドラの処理を高速に行うことが可能となります。このビットは完全にソフトウェア制御であり、本ビットの値が本 LSI の動作に影響を与えることはありません。 |
| 6 | IIC5 | 0 | R/W | |
| 5 | IIC4 | 0 | R/W | |
| 4 | IIC3 | 0 | R/W | |
| 3 | IIC2 | 0 | R/W | |
| 2 | IIC1 | 0 | R/W | |
| 1 | IIC0 | 0 | R/W | |
| 0 | IIR | 0 | R/W | 内部割り込みリクエスト このビットが 1 の期間、本 LSI の CPU に対して割り込み要求 (HIFI) が発生します。 |

15.4.6 HIF 外部割り込み制御レジスタ (HIFEICR)

HIFEICR は、32 ビットのレジスタで、本 LSI から HIF に接続された外部デバイスに対して割り込みを発生させるためのレジスタです。外部デバイスからのアクセスは、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|--|
| 31~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | EIC6 | 0 | R/W | 外部割り込み要因 EIR 割り込みの要因を指定するためのビットです。本ビットは外部デバイスからも本 LSI の CPU からも書き込みが可能です。本ビットを用いることにより割り込みハンドラの処理を高速に行うことが可能となります。このビットは完全にソフトウェア制御であり、本ビットの値が本 LSI の動作に影響を与えることはありません。 |
| 6 | EIC5 | 0 | R/W | |
| 5 | EIC4 | 0 | R/W | |
| 4 | EIC3 | 0 | R/W | |
| 3 | EIC2 | 0 | R/W | |
| 2 | EIC1 | 0 | R/W | |
| 1 | EIC0 | 0 | R/W | |
| 0 | EIR | 0 | R/W | 外部割り込みリクエスト このビットが 1 の期間、本 LSI から外部デバイスに対して HIFINT 端子をアサートして割り込みを要求します。 |

15.4.7 HIF アドレスレジスタ (HIFADR)

HIFADR は、32 ビットのレジスタで、外部デバイスが HIFRAM をアクセスする際のアドレスを示します。HIFMCR の LOCK ビットの設定により HIFRAM への連続アクセスが指定されているときは、HIFMCR の AI/AD ビットの設定に従い、アドレスのオ - トインクリメント (+4) もしくはオートデクリメント (-4) が HIFRAM へのアクセスのたびに自動的に行われ、HIFADR が更新されます。本 LSI の CPU からはリードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|-------|-------|------|---|
| 31~10 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 9~2 | A9~A2 | すべて 0 | R/W* | HIFRAM アドレス指定。 外部デバイスが HIFRAM をアクセスする際のアドレスを 32 ビット境界で指定します。 |
| 1, 0 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

【注】 * 外部デバイスからは、HIFRS 端子をローレベルにした状態でライトのみ可能です。本 LSI の CPU からはライト無効です。

15.4.8 HIF データレジスタ (HIFDATA)

HIFDATA は、32 ビットのレジスタで、外部デバイスから HIFRAM へのライトデータや、HIFRAM からの外部デバイスへのリードデータを保持するレジスタです。HIFRAM へのアクセスで HIFDATA を用いない場合は、HIF に接続されている外部デバイスと、本 LSI の CPU とのデータ転送に用いることも可能です。本 LSI の CPU から、リードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------|-------|-----|-----------|
| 31~0 | D31~D0 | すべて 0 | R/W | 32 ビットデータ |

15. ホストインタフェース (HIF)

15.4.9 HIF ブート制御レジスタ (HIFBCR)

HIFBCR は、32 ビットのレジスタで、HIFRAM アクセスに関して、外部デバイスと本 LSI の CPU との排他制御を行うレジスタです。本 LSI の CPU からは、リードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5 ~ REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|-----|--|
| 31~8 | - | すべて 0 | R | リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7~1 | - | すべて 0 | R/W | AC ビット書き込み用補助 AT ビットに 1 を設定するためのビットパターン (H'A5) の書き込みを使用します。読み出すと常に 0 が読み出されます。 |
| 0 | AC | 0/1 | R/W | HIFRAM アクセス排他制御 HIFSCR の BMD ビット、BSEL ビットによって選択された、本 LSI がアクセス可能な HIFRAM のバンクに対して、本 LSI の CPU からのアクセス制御を行います。 0 : 本 LSI の CPU から HIFRAM ヘリード / ライトが可能です。 1 : 本 LSI の CPU から HIFRAM へのリード / ライトが発生すると、CPU は待機状態となり、本ビットが 0 になるまで命令の実行を停止します。 非 HIF ブートモードで起動した場合、AC ビットの初期値は 0 です。 HIF ブートモードで起動した場合、AC ビットの初期値は 1 です。外部デバイスが HIF 経由で HIFRAM にブ - トプログラムを格納した後、本ビットをクリアすることで、本 LSI の CPU は HIFRAM からブ - トします。 外部デバイスが本ビットへ 1 に設定する場合は、誤書き込み防止のため、HIFBCR[7:0] に H'A5 を書き込んでください。 |

15.4.10 HIFDREQ トリガレジスタ (HIFDTR)

HIFDTR は、32 ビットのレジスタで、本 LSI の CPU が本レジスタにライト動作を行うことで、HIFDREQ 端子がアサートされます。外部デバイスからのアクセスはできません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|---------------------|--|
| 31~1 | - | すべて 0 | R* ¹ | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | DTRG | 0 | R/W* ^{1*2} | HIFDREQ トリガ 本ビットに 1 をライトすると、HIFSCR の DMD ビット、DPOL ビットの設定に従って、HIFDREQ 端子がアサートされます。また、本ビットは HIFDREQ 端子のネゲートに同期して、自動的にクリアされます。 本 LSI の CPU からは、本ビットのセットはできませんが、クリアはできません。 HIFDREQ 端子のネゲートによる本ビットのクリアと、本 LSI の CPU によるセットが競合しないように、本 LSI の CPU によるセットの前に、必ずクリアされていることを確認してください。 |

【注】 *1 外部デバイスからは、アクセスできません。本 LSI の CPU からのみアクセス可能です。

*2 本 LSI の CPU からの 0 ライトは無効です。

15.4.11 HIF バンク割り込み制御レジスタ (HIFBICR)

HIFBICR は、32 ビットのレジスタで、HIF バンク割り込みの制御を行います。外部デバイスからのアクセスはできません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------|-------|---------------------|--|
| 31~2 | - | すべて 0 | R* ¹ | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 1 | BIE | 0 | R/W* ¹ | バンク割り込みイネーブル 本 LSI の CPU に対して、バンク割り込み要求 (HIFBI) を禁止するか、許可するかを設定します。 0 : HIFBI を禁止します。 1 : HIFBI を許可します。 |
| 0 | BIF | 0 | R/W* ^{1,2} | バンク割り込み要求フラグ 本ビットが 1 の期間、BIE の設定に従って、本 LSI の CPU に対してバンク割り込み要求 (HIFBI) を発生します。 本ビットは、オートインクリメントモード (HIFMCR の AI/AD ビット = 0) 時には、外部デバイスが HIFRAM の最後尾の 32 ビットデータのアクセスを完了し、HIFCS がネゲートされたときに自動的にセットされます。 オートデクリメントモード (HIFMCR の AI/AD ビット = 1) 時には、外部デバイスが HIFRAM の先頭の 32 ビットデータのアクセスを完了し、HIFCS がネゲートされたときに自動的にセットされます。 本 LSI の CPU からは、本ビットのクリアはできますが、セットはできません。 外部デバイスの HIFRAM アクセスによる本ビットのセットと、本 LSI の CPU によるクリアが競合しないように、ソフトウェアで保証してください。 |

【注】 *1 外部デバイスからは、アクセスできません。本 LSI の CPU からのみアクセス可能です。

*2 本 LSI の CPU からは 1 書き込みできません。

15.5 メモリマップ

表 15.3 に HIFRAM のメモリマップを示します。

表 15.3 メモリマップ

| 分類 | 開始アドレス | 終了アドレス | サイズ |
|--|-------------|-------------|-----|
| 外部デバイスからみたマップ* ¹ | H'0000 | H'03FF | 1KB |
| 本 LSI の CPU からみたマップ* ¹ * ² | H'F84E_0000 | H'F84E_03FF | 1KB |

【注】 *1 HIFRAM の 1 バンクあたりのマップです。外部デバイスや本 LSI の CPU がどちらのバンクをアクセスするかは、HIFSCR の BMD ビット、BSEL ビットに依存し、マッピングアドレスはバンク間で共通です。

*2 ただし HIF ブートモード時には、バンク 0 が選択され、H'0000_0000 ~ H'01FF_FFFF (P0 領域エリア 0 の前半 32MB)、H'2000_0000 ~ H'21FF_FFFF (P0 領域エリア 0 の前半 32MB)、H'4000_0000 ~ H'41FF_FFFF (P0 領域エリア 0 の前半 32MB)、H'6000_0000 ~ H'61FF_FFFF (P0 領域エリア 0 の前半 32MB)、H'8000_0000 ~ H'81FF_FFFF (P1 領域エリア 0 の前半 32MB)、H'A000_0000 ~ H'A1FF_FFFF (P2 領域エリア 0 の前半 32MB)、および H'C000_0000 ~ H'C1FF_FFFF (P3 領域エリア 0 の前半 32MB) 各々の先頭 1KB にもマッピングされます。キャッシュオンの状態で、P0、P1 あるいは P3 領域から HIFRAM をアクセスすると、外部デバイスが HIFRAM を更新した場合、コヒ - レンシの問題が発生します。キャッシュオンの状態では、P2 領域から HIFRAM をアクセスすることを推奨します。

HIF ブートモード時には、各エリア 0 の前半 32MB のうち、HIFRAM がマッピングされている領域以外はアクセス禁止です。

HIF ブートモード時であっても、エリア 0 の後半 32MB、エリア 3、エリア 4、エリア 5B、エリア 5、エリア 6B、エリア 6 の各々は通常どおり、外部メモリにマッピングされます。

15.6 インタフェース (基本)

図 15.3 に基本シーケンスを示します。 $\overline{\text{HIFRD}}$ のローレベル期間と $\overline{\text{HIFCS}}$ のローレベル期間のオーバーラップ期間でリードを規定し、 $\overline{\text{HIFWR}}$ のローレベル期間と $\overline{\text{HIFCS}}$ のローレベル期間のオーバーラップ期間でライトを規定します。また HIFRS 信号は、当該アクセスが通常アクセスなのか、インデックス/ステータスレジスタアクセスなのかを示し、ローレベルならば通常アクセス、ハイレベルであればインデックス/ステータスレジスタアクセスとなります。

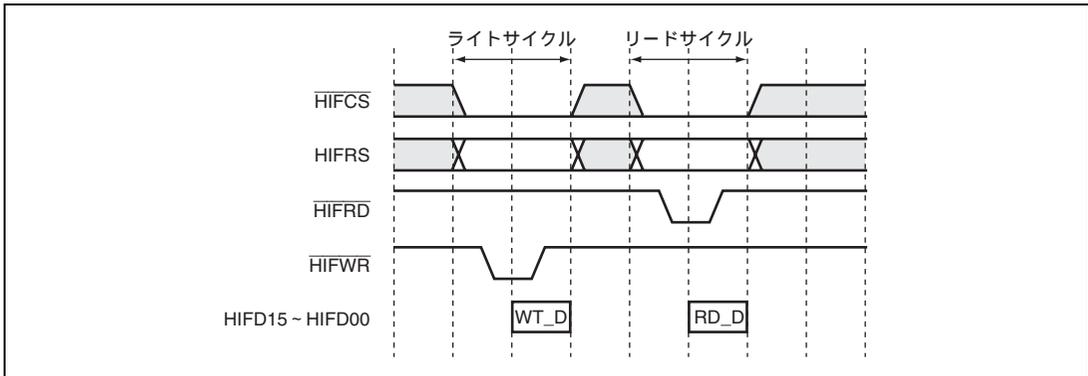


図 15.3 HIF インタフェース基本タイミング

15.7 インタフェース (詳細)

15.7.1 HIFIDX ライト / HIFGSR リード

HIFIDX へのライトおよび HIFGSR のリードは図 15.4 のように行います。

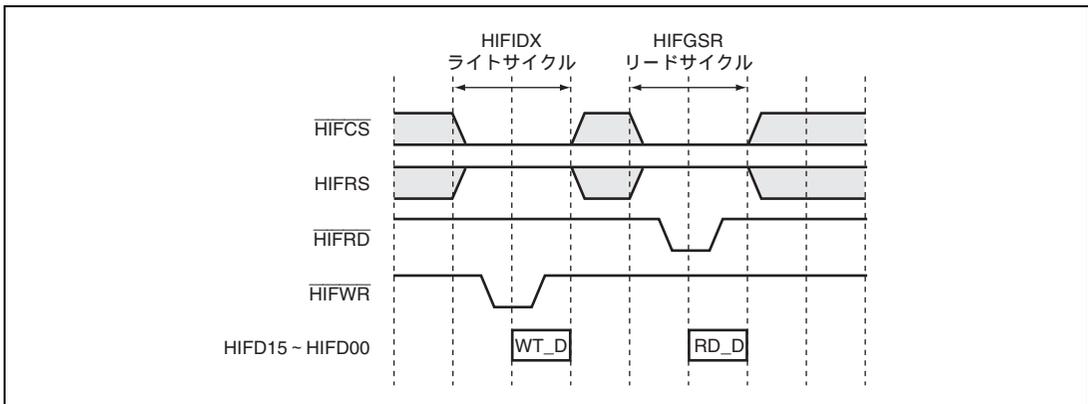


図 15.4 HIFIDX ライトおよび HIFGSR リード

15. ホストインタフェース (HIF)

15.7.2 HIFIDX と HIFGSR 以外の HIF レジスタのリード/ライト

図 15.5 に示すように、HIFIDX と HIFGSR 以外の HIF レジスタへのリード/ライトは最初 HIFRS をハイレベルにした状態で HIFIDX に書き込みを行うことでアクセスするレジスタとバイト位置を選びます。その後 HIFRS をローレベルにして HIFIDX で選択したレジスタにリード/ライトを行ってください。

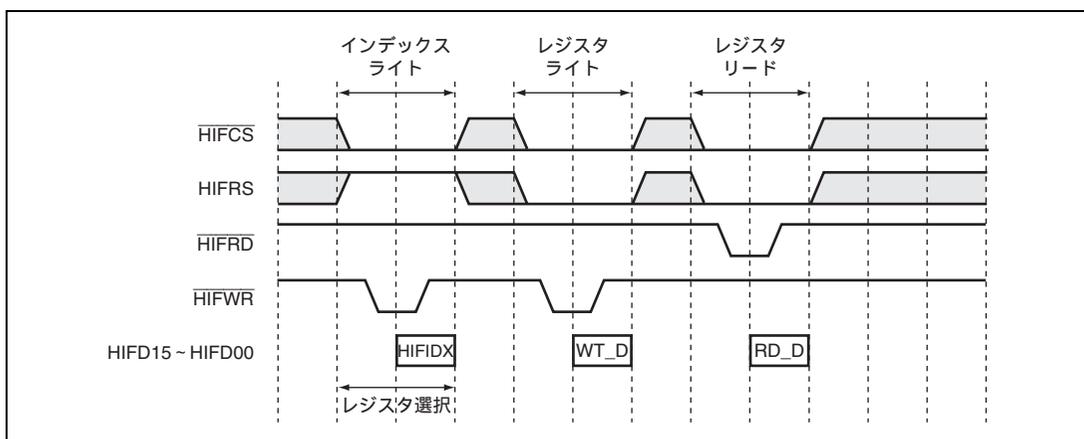


図 15.5 HIF レジスタ設定

15.7.3 外部デバイスから HIFRAM への連続データ書き込み

図 15.6 に外部デバイスから HIFRAM への連続データ転送のタイミングチャートを示します。本タイミングチャートで示すとおり、開始アドレスと最初の書き込みデータを設定すれば、それ以降は連続してデータを転送することが可能となります。

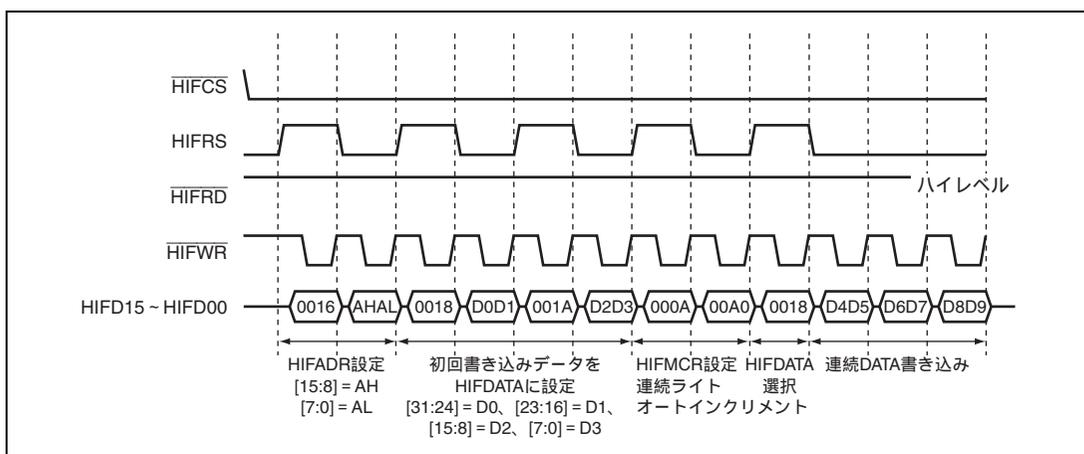


図 15.6 HIFRAM への連続データ書き込み

15.7.4 HIFRAM から外部デバイスへの連続読み出し

図 15.7 に HIFRAM から外部デバイスへの連続データ読み出しのタイミングチャートを示します。本タイミングチャートに示すとおり、開始アドレスを設定すれば、それ以降は連続してデータを読み出すことが可能となります。

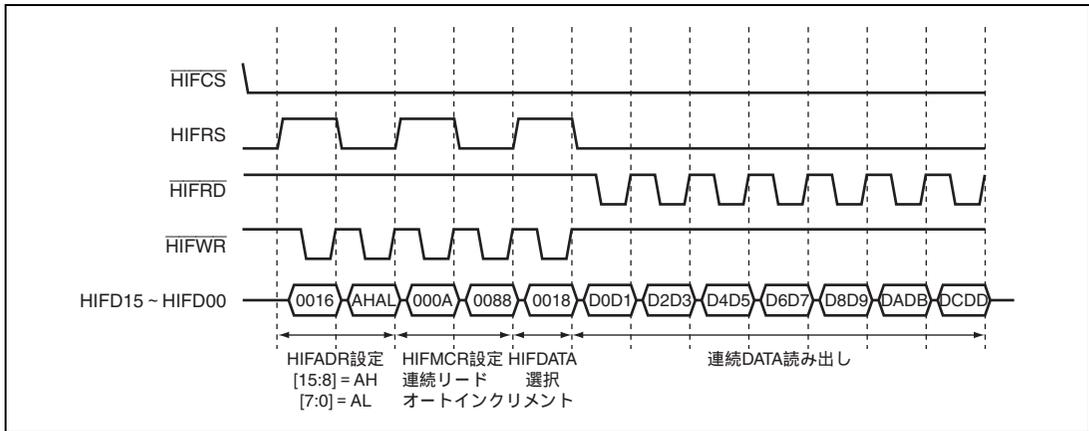


図 15.7 HIFRAM からの連続データ読み出し

15.8 外部 DMAC インタフェース

図 15.8 ~ 図 15.11 に HIFDREQ 出力タイミングを示します。HIFDREQ のアサート開始は、HIFDTR の DTRG ビットへの 1 ライトに同期します。HIFDREQ ネゲートタイミング、アサートレベルは、それぞれ HIFSCR の DMD ビット、DPOL ビットによって決まります。

外部 DMAC が HIFDREQ をロ - アクティブでレベル検出する場合、DMD = 0、DPOL = 0 を設定します。DTRG に 1 ライトしてから $\overline{\text{HIFCS}} = \text{HIFRS} = \text{ローレベル}$ を検出するまで、HIFDREQ はローレベルを保持します。

このモードで、HIFDREQ 出力を使用する場合、 $\overline{\text{HIFCS}}$ アサート期間と HIFRS 確定期間のセットアップ、ホールド時間の確保に注意してください。「21.4.9 HIF モジュール信号タイミング」に規定された $t_{\text{HIFAS}}/t_{\text{HIFAH}}$ を満足できない場合、HIFDREQ が誤ってネゲートされることがあります。

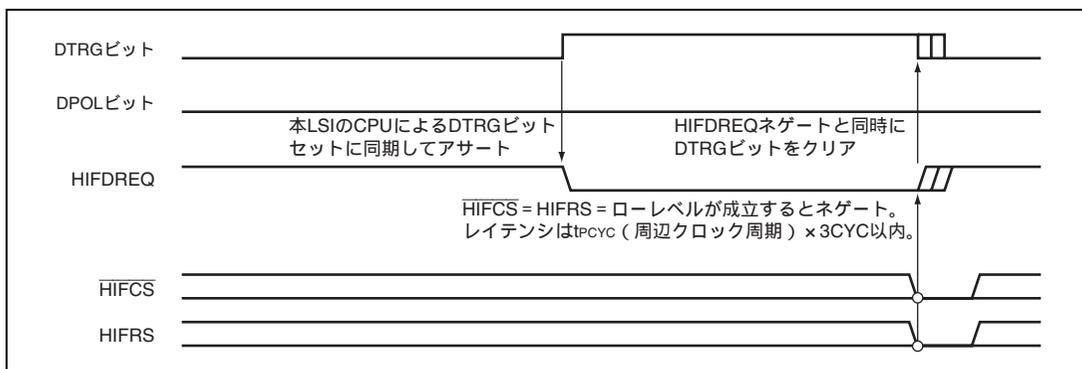


図 15.8 HIFDREQ タイミング (DMD = 0、DPOL = 0 の場合)

外部 DMAC が HIFDREQ をハイアクティブでレベル検出する場合、DMD = 0、DPOL = 1 を設定します。DPOL = 1 を設定した時点で、HIFDREQ はローレベルとなります。その後、DTRG に 1 ライトしてから $\overline{\text{HIFCS}} = \text{HIFRS} = \text{ローレベル}$ を検出するまで、HIFDREQ はハイレベルを保持します。

このモードで、HIFDREQ 出力を使用する場合、 $\overline{\text{HIFCS}}$ アサート期間と HIFRS 確定期間のセットアップ、ホールド時間の確保に注意してください。「21.4.9 HIF モジュール信号タイミング」に規定された $t_{\text{HIFAS}}/t_{\text{HIFAH}}$ を満足できない場合、HIFDREQ が誤ってネゲートされることがあります。

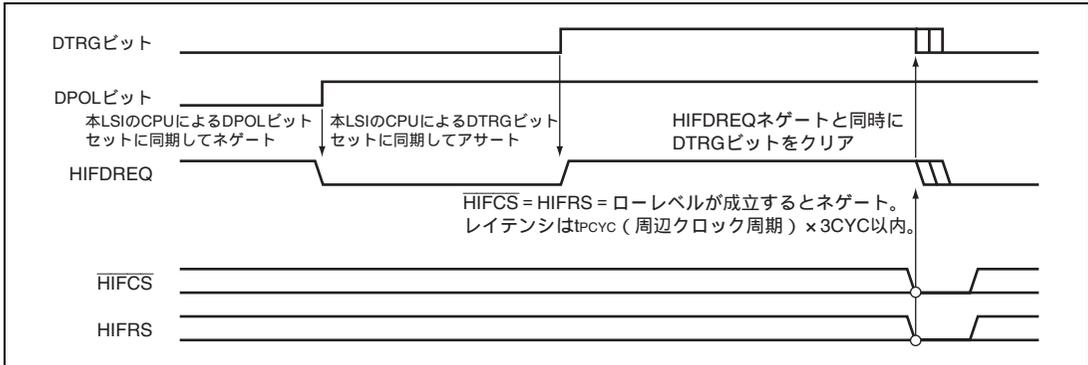


図 15.9 HIFDREQ タイミング続き (DMD = 0、DPOL = 1 の場合)

外部 DMAC が HIFDREQ を立ち下がりエッジ検出する場合、DMD = 1、DPOL = 0 を設定します。HIFDREQ には、DTRG に 1 ライトしてから周辺クロック換算で 32 サイクル幅のローパルスが生成されます。

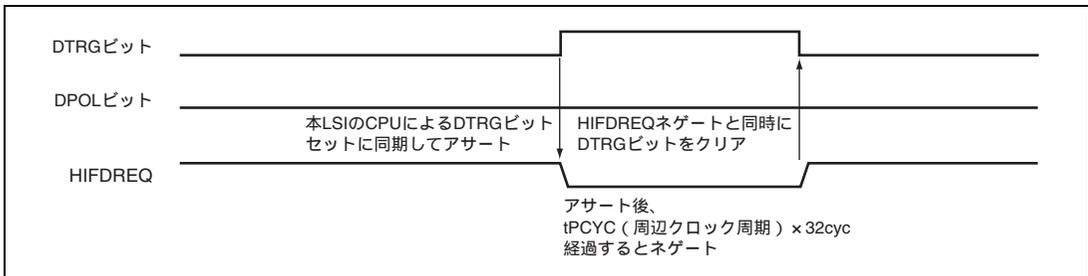


図 15.10 HIFDREQ タイミング続き (DMD = 1、DPOL = 0 の場合)

外部 DMAC が HIFDREQ を立ち上がりエッジ検出する場合、DMD = 1、DPOL = 1 を設定します。DPOL = 1 を設定した時点で、HIFDREQ はローレベルとなります。その後、HIFDREQ には、DTRG に 1 ライトしてから周辺クロック換算で 32 サイクル幅のローパルスが生成されます。

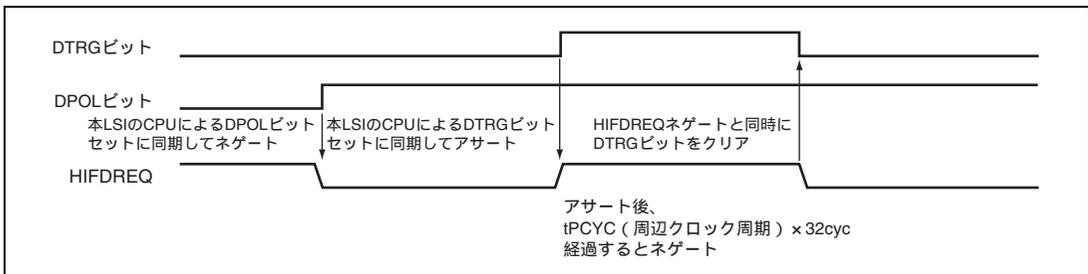


図 15.11 HIFDREQ タイミング続き (DMD = 1、DPOL = 1 の場合)

15. ホストインタフェース (HIF)

外部 DMAC が間欠動作モード (ブロック転送モード) をサポートしている場合、HIFRAM の連続アクセス機能とバンク機能を利用して、効率の良いデータ転送が可能です。

表 15.4 外部 DMAC による HIFRAM への連続ライト手順例

| 番号 | 外部デバイス | | 本 LSI | |
|----|---|--------------------------------------|---------------|--|
| | CPU | DMAC | HIF | CPU |
| 1 | HIF 初期設定 | | | HIF 初期設定 |
| 2 | DMAC 初期設定 | | | |
| 3 | HIFADR を (HIFRAM の最終アドレス - 8) に設定 | | | |
| 4 | HIFDATA を選択し、HIFDATA にダミ - データ (4 バイト) 書き込み | | | |
| 5 | HIFMCR でアドレスインクリメントの HIFRAM 連続ライトを設定 | | | |
| 6 | HIFDATA 選択し、HIFRAM にダミ - データ (4 バイト) 書き込み | | HIF バンク割り込み発生 | HIF バンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス) |
| 7 | | DMAC 起動 | HIFDREQ アサート | DTRG ビットをセット |
| 8 | | HIFRAM バンク 1 にデータ連続書き込み | | |
| 9 | | HIFRAM バンク 1 の最終アドレスへの書き込み完了し、いったん停止 | HIF バンク割り込み発生 | HIF バンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 0 アクセス、本 LSI の CPU はバンク 1 をアクセス) |
| 10 | | DMAC 再起動 | HIFDREQ アサート | DTRG ビットをセット |
| 11 | | HIFRAM バンク 0 にデータ連続書き込み | | HIFRAM バンク 1 のデータを読み出し |
| 12 | | HIFRAM バンク 0 の最終アドレスへの書き込み完了し、いったん停止 | HIF バンク割り込み発生 | HIF バンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス) |

15. ホストインタフェース (HIF)

| 番号 | 外部デバイス | | 本 LSI | |
|--|--------|----------|--------------|--------------|
| | CPU | DMAC | HIF | CPU |
| 13 | | DMAC 再起動 | HIFDREQ アサート | DTRG ビットをセット |
| 以降 11 番 ~ 13 番の繰り返し。HIFDATA 以外のレジスタをアクセスすると (ただし、HIFRS = ローレベル状態での HIFGSR リードは除く)、HIFRAM 連続ライトが途切れ、再度 3 番 ~ 6 番の手続きが必要となります。 | | | | |

表 15.5 外部 DMAC による HIFRAM からの連続リード手順例

| 番号 | 外部デバイス | | 本 LSI | |
|----|--------------------------------------|---------------------------------------|---------------|---|
| | CPU | DMAC | HIF | CPU |
| 1 | HIF 初期設定 | | | HIF 初期設定 |
| 2 | DMAC 初期設定 | | | |
| 3 | HIFADR を (HIFRAM の先頭) に設定 | | | |
| 4 | HIFMCR でアドレスインクリメントの HIFRAM 連続リードを設定 | | | |
| 5 | HIFDATA 選択 | | | |
| 6 | | | | HIFRAM バンク 1 にデータを書き込み |
| 7 | | | | HIFRAM バンク 1 の最終アドレスにデータ書き込み後、HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス) |
| 8 | | DMAC 起動 | HIFDREQ アサート | DTRG ビットをセット |
| 9 | | HIFRAM バンク 1 からデータ連続読み出し | | HIFRAM バンク 0 にデータを書き込み |
| 10 | | HIFRAM バンク 1 の最終アドレスからの読み出し完了し、いったん停止 | HIF バンク割り込み発生 | HIF バンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 0 アクセス、本 LSI の CPU はバンク 1 をアクセス) |
| 11 | | DMAC 再起動 | HIFDREQ アサート | DTRG ビットをセット |
| 12 | | HIFRAM バンク 0 からデータ連続読み出し | | HIFRAM バンク 1 にデータを書き込み |

15. ホストインタフェース (HIF)

| 番号 | 外部デバイス | | 本 LSI | |
|----|--------|---------------------------------------|----------------|---|
| | CPU | DMAC | HIF | CPU |
| 13 | | HIFRAM バンク 0 の最終アドレスからの読み出し完了し、いったん停止 | HIF バンク 割り込み発生 | HIF バンク 割り込みハンドラで HIFRAM バンク 切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス) |
| 14 | | DMAC 再起動 | HIFDREQ アサート | DTRG ビットをセット |

以降 12 番 ~ 14 番の繰り返し。HIFDATA 以外のレジスタをアクセスすると (ただし、HIFRS = ローレベル状態での HIFGSR リードは除く)、HIFRAM 連続リードが途切れ、再度 3 番 ~ 5 番の手続きが必要となります。

15.9 外部デバイス電源遮断時のインタフェース

本モジュールとインタフェースをとる外部デバイスの電源が遮断された場合、本モジュールの入力端子に中間電位が印加されたり、本モジュールの出力端子が通電されていないデバイスをドライブしたりすることがあり、これはデバイス破壊の原因となります。これを防ぐため、HIFEFL 端子を設けています。システム電源監視ブロックが、外部デバイスの電源遮断に同期して本端子を制御することで、本モジュールの全端子をハイインピーダンス状態にできます。図 15.12 にハイインピーダンス制御のイメージを示します。また、表 15.6 に HIF 端子の入出力制御をまとめます。

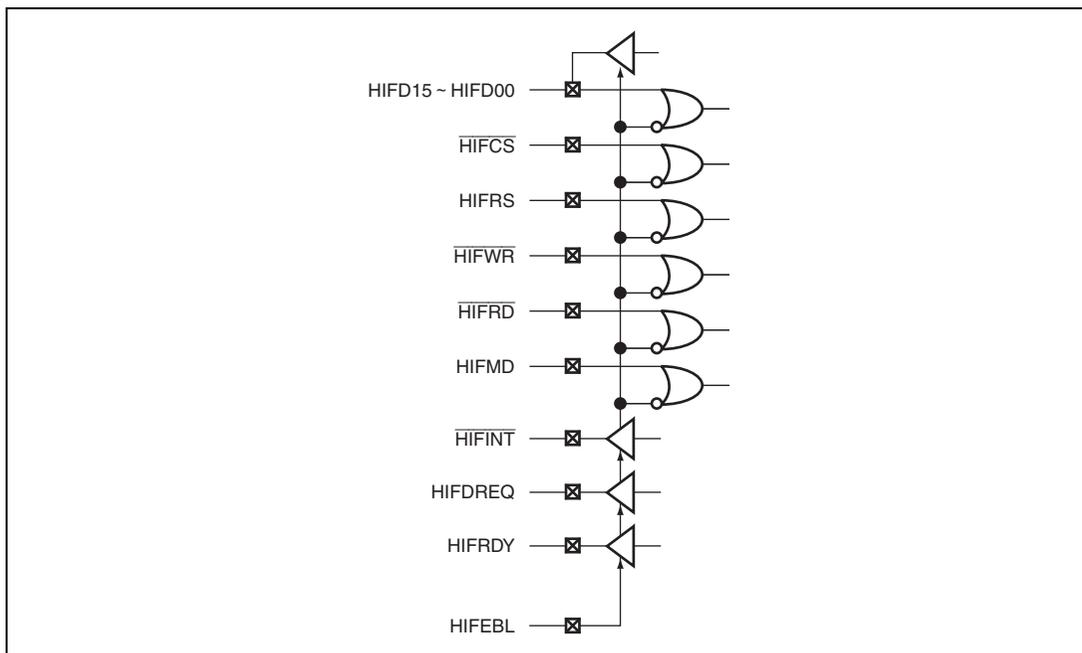


図 15.12 HIFEFL による HIF 端子ハイインピーダンス制御イメージ

表 15.6 HIF 端子の入出力制御

| LSI 状態 | RES 端子によるリセット中 | | | RES 端子によるリセットを解除した後 | | |
|----------------------------|-----------------------|-----------------------|---|---------------------------|--|-------------------------------------|
| | High (ブ - ト指定) | | Low (非ブ - ト指定) | High (ブ - ト指定でリセット解除後) | | Low (非ブ - ト指定で リセット解除後) |
| HIFMD 入力レベル | | | | | | |
| HIFEBL 入力レベル | Low | High | 本端子への入力値 による HIF 端子制 御は無効です。 本端子は汎用入力 ボ - トとなります。 | Low | High | 初期状態は汎用入 力ボ - トです。* ¹ |
| HIFRDY 出力制御 | 出力バッファ ON (Low 出力) | 出力バッファ ON (Low 出力) | 汎用入力ボ - トと なります。 | 出力バッファ OFF | 出力バッファ ON (シ - ケンス出力) | 初期状態は汎用入 力ボ - トです。* ² |
| HIFINT 出力制御 | 出力バッファ OFF | 出力バッファ OFF | 汎用入力ボ - トと なります。 | 出力バッファ OFF | 出力バッファ ON (シ - ケンス出力) | 初期状態は汎用入 力ボ - トです。* ² |
| HIFDREQ 出力制御 | 出力バッファ OFF | 出力バッファ OFF | 汎用入力ボ - トと なります。 | 出力バッファ OFF | 出力バッファ ON (シ - ケンス出力) | 初期状態は汎用入 力ボ - トです。* ² |
| HIFD15 ~ HIFD0 入出力制御 | 入出力バッファ OFF | 入出力バッファ OFF | 汎用入力ボ - トと なります。 | 入出力バッファ OFF | HIFCS/HIFWR/ HIFRD への入力レ ベルに従って入出 力バッファ制御 | 初期状態は汎用入 力ボ - トです。* ² |
| HIFCS 入力制御 | 入力バッファ OFF | 入力バッファ OFF | 汎用入力ボ - トと なります。 | 入力バッファ OFF | 入力バッファ ON | 初期状態は汎用入 力ボ - トです。* ² |
| HIFRS 入力制御 | 入力バッファ OFF | 入力バッファ OFF | 汎用入力ボ - トと なります。 | 入力バッファ OFF | 入力バッファ ON | 初期状態は汎用入 力ボ - トです。* ² |
| HIFWR 入力制御 | 入力バッファ OFF | 入力バッファ OFF | 汎用入力ボ - トと なります。 | 入力バッファ OFF | 入力バッファ ON | 初期状態は汎用入 力ボ - トです。* ² |
| HIFRD 入力制御 | 入力バッファ OFF | 入力バッファ OFF | 汎用入力ボ - トと なります。 | 入力バッファ OFF | 入力バッファ ON | 初期状態は汎用入 力ボ - トです。* ² |

【注】 *1 PFC 設定で HIFEBL 機能を選択することも可能です。

- *2 PFC 設定で HIF 機能を選択することも可能です。
PFC 設定で HIFEBL 端子を選択し、本端子も HIF 端子として選択した場合は、HIFEBL 入力レベルによって入出力
バッファが制御されます。
PFC 設定で HIFEBL 端子を選択しないで、本端子を HIF 端子として選択した場合は、入出力バッファは OFF のま
まとなります。このような設定はしないでください。

15. ホストインタフェース (HIF)

16. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能と、その入出力の方向を選ぶためのレジスタで構成されています。表 16.1 ~ 表 16.5 に本 LSI のマルチプレクス端子を示します。表 16.6 に動作モード別端子機能一覧を示します。

表 16.1 マルチプレクス一覧表 (ポート A)

| ポート | 機能 1 (関連モジュール) | 機能 2 (関連モジュール) | 機能 3 (関連モジュール) | 機能 4 (関連モジュール) |
|-----|-------------------|-------------------|-------------------|-------------------|
| A | PA16 入出力 (ポート) | A16 出力 (BSC) | - | - |
| | PA17 入出力 (ポート) | A17 出力 (BSC) | - | - |
| | PA18 入出力 (ポート) | A18 出力 (BSC) | - | - |
| | PA19 入出力 (ポート) | A19 出力 (BSC) | - | - |
| | PA20 入出力 (ポート) | A20 出力 (BSC) | - | - |
| | PA21 入出力 (ポート) | A21 出力 (BSC) | - | - |
| | PA22 入出力 (ポート) | A22 出力 (BSC) | - | - |
| | PA23 入出力 (ポート) | A23 出力 (BSC) | - | - |
| | PA24 入出力 (ポート) | A24 出力 (BSC) | - | - |
| | PA25 入出力 (ポート) | A25 出力 (BSC) | - | - |

16. ピンファンクションコントロール - ラ (PFC)

表 16.2 マルチプレクス一覧表 (ポート B)

| ポート | 機能 1 (関連モジュール) | 機能 2 (関連モジュール) | | 機能 3 (関連モジュール) | 機能 4 (関連モジュール) | |
|-----|-------------------|--------------------------------------|-------------------------------------|--|-------------------|---|
| | | | | | | |
| B | PB00 入出力 (ポート) | $\overline{\text{WAIT}}$ 入力 (BSC) | | | - | - |
| | PB01 入出力 (ポート) | | | $\overline{\text{IOIS16}}$ 入力 (BSC) | - | - |
| | PB02 入出力 (ポート) | | CKE 出力 (BSC) | | - | - |
| | PB03 入出力 (ポート) | | $\overline{\text{CAS}}$ 出力 (BSC) | | - | - |
| | PB04 入出力 (ポート) | | $\overline{\text{RAS}}$ 出力 (BSC) | | - | - |
| | PB05 入出力 (ポート) | | | $\overline{\text{ICIOR}}D$ 出力 (BSC) | - | - |
| | PB06 入出力 (ポート) | | | $\overline{\text{ICIOR}}W$ 出力 (BSC) | - | - |
| | PB07 入出力 (ポート) | | | $\overline{\text{CE2B}}$ 出力 (BSC) | - | - |
| | PB08 入出力 (ポート) | $\overline{\text{CS6B}}$ 出力 (BSC) | | $\overline{\text{CE1B}}$ 出力 (BSC) | - | - |
| | PB09 入出力 (ポート) | | | $\overline{\text{CE2A}}$ 出力 (BSC) | - | - |
| | PB10 入出力 (ポート) | $\overline{\text{CS5B}}$ 出力 (BSC) | | $\overline{\text{CE1A}}$ 出力 (BSC) | - | - |
| | PB11 入出力 (ポート) | $\overline{\text{CS4}}$ 出力 (BSC) | | | - | - |
| | PB12 入出力 (ポート) | $\overline{\text{CS3}}$ 出力 (BSC) | | | - | - |
| | PB13 入出力 (ポート) | $\overline{\text{BS}}$ 出力 (BSC) | | | - | - |

表 16.3 マルチプレクス一覧表 (ポート C)

| ポート | 機能 1 (関連モジュール) | 機能 2 (関連モジュール) | 機能 3 (関連モジュール) | 機能 4 (関連モジュール) |
|----------------|-------------------|----------------------|-------------------|-------------------|
| C | PC00 入出力 (ポート) | MII_RXD0 入力 (EtherC) | - | - |
| | PC01 入出力 (ポート) | MII_RXD1 入力 (EtherC) | - | - |
| | PC02 入出力 (ポート) | MII_RXD2 入力 (EtherC) | - | - |
| | PC03 入出力 (ポート) | MII_RXD3 入力 (EtherC) | - | - |
| | PC04 入出力 (ポート) | MII_TXD0 出力 (EtherC) | - | - |
| | PC05 入出力 (ポート) | MII_TXD1 出力 (EtherC) | - | - |
| | PC06 入出力 (ポート) | MII_TXD2 出力 (EtherC) | - | - |
| | PC07 入出力 (ポート) | MII_TXD3 出力 (EtherC) | - | - |
| | PC08 入出力 (ポート) | RX_DV 入力 (EtherC) | - | - |
| | PC09 入出力 (ポート) | RX_ER 入力 (EtherC) | - | - |
| | PC10 入出力 (ポート) | RX_CLK 入力 (EtherC) | - | - |
| | PC11 入出力 (ポート) | TX_ER 出力 (EtherC) | - | - |
| | PC12 入出力 (ポート) | TX_EN 出力 (EtherC) | - | - |
| | PC13 入出力 (ポート) | TX_CLK 入力 (EtherC) | - | - |
| | PC14 入出力 (ポート) | COL 入力 (EtherC) | - | - |
| | PC15 入出力 (ポート) | CRS 入力 (EtherC) | - | - |
| | PC16 入出力 (ポート) | MDIO 入出力 (EtherC) | - | - |
| | PC17 入出力 (ポート) | MDC 出力 (EtherC) | - | - |
| | PC18 入出力 (ポート) | LNKSTA 入力 (EtherC) | - | - |
| | PC19 入出力 (ポート) | EXOUT 出力 (EtherC) | - | - |
| PC20 入出力 (ポート) | WOL 出力 (EtherC) | - | - | |

表 16.4 マルチプレクス一覧表 (ポート D)

| ポート | 機能 1 (関連モジュール) | 機能 2 (関連モジュール) | 機能 3 (関連モジュール) | 機能 4 (関連モジュール) |
|-----|-------------------|-------------------|-------------------|-------------------|
| D | PD0 入出力 (ポート) | IRQ0 入力 (INTC) | - | - |
| | PD1 入出力 (ポート) | IRQ1 入力 (INTC) | - | - |
| | PD2 入出力 (ポート) | IRQ2 入力 (INTC) | TxD1 出力 (SCIF) | - |
| | PD3 入出力 (ポート) | IRQ3 入力 (INTC) | RxD1 入力 (SCIF) | - |
| | PD4 入出力 (ポート) | IRQ4 入力 (INTC) | SCK1 入出力 (SCIF) | - |
| | PD5 入出力 (ポート) | IRQ5 入力 (INTC) | TxD2 出力 (SCIF) | - |
| | PD6 入出力 (ポート) | IRQ6 入力 (INTC) | RxD2 入力 (SCIF) | - |
| | PD7 入出力 (ポート) | IRQ7 入力 (INTC) | SCK2 入出力 (SCIF) | - |

16. ピンファンクションコントロール - ラ (PFC)

表 16.5 マルチプレクス一覧表 (ポート E)

| ポート | 機能 1 (関連モジュール) | 機能 2 (関連モジュール) | 機能 3 (関連モジュール) | 機能 4 (関連モジュール) |
|----------------|-------------------|--------------------------------|-------------------|-------------------|
| E | PE00 入出力 (ポート) | HIFE \overline{B} L 入力 (HIF) | - | - |
| | PE01 入出力 (ポート) | HIFRDY 出力 (HIF) | - | - |
| | PE02 入出力 (ポート) | HIFDREQ 出力 (HIF) | - | - |
| | PE03 入出力 (ポート) | HIFMD 入力 (HIF) | - | - |
| | PE04 入出力 (ポート) | HIFINT 出力 (HIF) | - | - |
| | PE05 入出力 (ポート) | HIFR \overline{D} 入力 (HIF) | - | - |
| | PE06 入出力 (ポート) | HIFW \overline{R} 入力 (HIF) | - | - |
| | PE07 入出力 (ポート) | HIFRS 入力 (HIF) | - | - |
| | PE08 入出力 (ポート) | HIFCS 入力 (HIF) | - | - |
| | PE09 入出力 (ポート) | HIFD00 入出力 (HIF) | - | - |
| | PE10 入出力 (ポート) | HIFD01 入出力 (HIF) | - | - |
| | PE11 入出力 (ポート) | HIFD02 入出力 (HIF) | - | - |
| | PE12 入出力 (ポート) | HIFD03 入出力 (HIF) | - | - |
| | PE13 入出力 (ポート) | HIFD04 入出力 (HIF) | - | - |
| | PE14 入出力 (ポート) | HIFD05 入出力 (HIF) | - | - |
| | PE15 入出力 (ポート) | HIFD06 入出力 (HIF) | TxD0 出力 (SCIF) | - |
| | PE16 入出力 (ポート) | HIFD07 入出力 (HIF) | RxD0 入力 (SCIF) | - |
| | PE17 入出力 (ポート) | HIFD08 入出力 (HIF) | SCK0 入出力 (SCIF) | - |
| | PE18 入出力 (ポート) | HIFD09 入出力 (HIF) | TxD1 出力 (SCIF) | - |
| | PE19 入出力 (ポート) | HIFD10 入出力 (HIF) | RxD1 入力 (SCIF) | - |
| | PE20 入出力 (ポート) | HIFD11 入出力 (HIF) | SCK1 入出力 (SCIF) | - |
| | PE21 入出力 (ポート) | HIFD12 入出力 (HIF) | RTS0 出力 (SCIF) | - |
| | PE22 入出力 (ポート) | HIFD13 入出力 (HIF) | CTS0 入力 (SCIF) | - |
| | PE23 入出力 (ポート) | HIFD14 入出力 (HIF) | RTS1 出力 (SCIF) | - |
| PE24 入出力 (ポート) | HIFD15 入出力 (HIF) | CTS1 入力 (SCIF) | - | |

16. ピンファンクションコントロール (PFC)

表 16.6 動作モード別端子一覧

| ピン 番号 | 非 HIF ブートモード | | HIF ブートモード | |
|----------|--------------------------------------|----------------------------------|--------------------------------------|----------------------------------|
| | 初期機能 | PFC で設定可能な機能 | 初期機能 | PFC で設定可能な機能 |
| C14 | A00 | - | A00 | - |
| B15 | A01 | - | A01 | - |
| B14 | A02 | - | A02 | - |
| C13 | A03 | - | A03 | - |
| B13 | A04 | - | A04 | - |
| C12 | A05 | - | A05 | - |
| A13 | A06 | - | A06 | - |
| B12 | A07 | - | A07 | - |
| D11 | A08 | - | A08 | - |
| A12 | A09 | - | A09 | - |
| C11 | A10 | - | A10 | - |
| D10 | A11 | - | A11 | - |
| C10 | A12 | - | A12 | - |
| A10 | A13 | - | A13 | - |
| B10 | A14 | - | A14 | - |
| D9 | A15 | - | A15 | - |
| B6 | PA16 | PA16/A16 | PA16 | PA16/A16 |
| C5 | PA17 | PA17/A17 | PA17 | PA17/A17 |
| A5 | PA18 | PA18/A18 | PA18 | PA18/A18 |
| B5 | PA19 | PA19/A19 | PA19 | PA19/A19 |
| D5 | PA20 | PA20/A20 | PA20 | PA20/A20 |
| C4 | PA21 | PA21/A21 | PA21 | PA21/A21 |
| A3 | PA22 | PA22/A22 | PA22 | PA22/A22 |
| D4 | PA23 | PA23/A23 | PA23 | PA23/A23 |
| B3 | PA24 | PA24/A24 | PA24 | PA24/A24 |
| A2 | PA25 | PA25/A25 | PA25 | PA25/A25 |
| C8 | PB00 | PB00/ $\overline{\text{WAIT}}$ | PB00 | PB00/ $\overline{\text{WAIT}}$ |
| D7 | PB01 | PB01/ $\overline{\text{IOIS16}}$ | PB01 | PB01/ $\overline{\text{IOIS16}}$ |
| E12 | PB02 | PB02/ $\overline{\text{CKE}}$ | PB02 | PB02/ $\overline{\text{CKE}}$ |
| D13 | PB03 | PB03/ $\overline{\text{CAS}}$ | PB03 | PB03/ $\overline{\text{CAS}}$ |
| C15 | PB04 | PB04/ $\overline{\text{RAS}}$ | PB04 | PB04/ $\overline{\text{RAS}}$ |
| E13 | ($\overline{\text{WE0/DQMLL}}$) | - | ($\overline{\text{WE0/DQMLL}}$) | - |
| E15 | ($\overline{\text{WE1/DQMLU/WE}}$) | - | ($\overline{\text{WE1/DQMLU/WE}}$) | - |
| A8 | PB05 | PB05/ $\overline{\text{ICIOR}}$ | PB05 | PB05/ $\overline{\text{ICIOR}}$ |

16. ピンファンクションコントロール (PFC)

| ピン 番号 | 非 HIF ブートモード | | HIF ブートモード | |
|----------|--------------|-------------------|------------|-------------------|
| | 初期機能 | PFC で設定可能な機能 | 初期機能 | PFC で設定可能な機能 |
| B8 | PB06 | PB06/CIOWR | PB06 | PB06/CIOWR |
| A9 | RD | - | RD | - |
| E14 | RDWR | - | RDWR | - |
| C6 | PB07 | PB07/CE2B | PB07 | PB07/CE2B |
| A6 | PB08 | PB08/ (CS6B/CE1B) | PB08 | PB08/ (CS6B/CE1B) |
| C7 | PB09 | PB09/CE2A | PB09 | PB09/CE2A |
| D6 | PB10 | PB10/ (CS5B/CE1A) | PB10 | PB10/ (CS5B/CE1A) |
| B9 | PB11 | PB11/CS4 | PB11 | PB11/CS4 |
| D12 | PB12 | PB12/CS3 | PB12 | PB12/CS3 |
| D8 | CS0 | - | CS0 | - |
| C9 | PB13 | PB13/BS | PB13 | PB13/BS |
| R3 | PC00 | PC00/MII_RXD0 | PC00 | PC00/MII_RXD0 |
| P4 | PC01 | PC01/MII_RXD1 | PC01 | PC01/MII_RXD1 |
| M5 | PC02 | PC02/MII_RXD2 | PC02 | PC02/MII_RXD2 |
| R4 | PC03 | PC03/MII_RXD3 | PC03 | PC03/MII_RXD3 |
| P6 | PC04 | PC04/MII_TXD0 | PC04 | PC04/MII_TXD0 |
| M7 | PC05 | PC05/MII_TXD1 | PC05 | PC05/MII_TXD1 |
| N7 | PC06 | PC06/MII_TXD2 | PC06 | PC06/MII_TXD2 |
| R7 | PC07 | PC07/MII_TXD3 | PC07 | PC07/MII_TXD3 |
| N4 | PC08 | PC08/RX_DV | PC08 | PC08/RX_DV |
| N3 | PC09 | PC09/RX_ER | PC09 | PC09/RX_ER |
| N5 | PC10 | PC10/RX_CLK | PC10 | PC10/RX_CLK |
| N6 | PC11 | PC11/TX_ER | PC11 | PC11/TX_ER |
| P7 | PC12 | PC12/TX_EN | PC12 | PC12/TX_EN |
| R6 | PC13 | PC13/TX_CLK | PC13 | PC13/TX_CLK |
| R8 | PC14 | PC14/COL | PC14 | PC14/COL |
| P3 | PC15 | PC15/CRS | PC15 | PC15/CRS |
| P2 | PC16 | PC16/MDIO | PC16 | PC16/MDIO |
| P1 | PC17 | PC17/MDC | PC17 | PC17/MDC |
| M6 | PC18 | PC18/LNKSTA | PC18 | PC18/LNKSTA |
| M9 | PC19 | PC19/EXOUT | PC19 | PC19/EXOUT |
| P8 | PC20 | PC20/WOL | PC20 | PC20/WOL |
| D1 | PD0 | PD0/IRQ0 | PD0 | PD0/IRQ0 |
| E4 | PD1 | PD1/IRQ1 | PD1 | PD1/IRQ1 |
| D2 | PD2 | PD2/IRQ2/TxD1 | PD2 | PD2/IRQ2/TxD1 |

16. ピンファンクションコントロール (PFC)

| ピン 番号 | 非 HIF ブートモード | | HIF ブートモード | |
|----------|--------------|----------------------------|-----------------------|----------------------------|
| | 初期機能 | PFC で設定可能な機能 | 初期機能 | PFC で設定可能な機能 |
| C1 | PD3 | PD3/IRQ3/RxD1 | PD3 | PD3/IRQ3/RxD1 |
| D3 | PD4 | PD4/IRQ4/SCK1 | PD4 | PD4/IRQ4/SCK1 |
| C2 | PD5 | PD5/IRQ5/TxD2 | PD5 | PD5/IRQ5/TxD2 |
| C3 | PD6 | PD6/IRQ6/RxD2 | PD6 | PD6/IRQ6/RxD2 |
| B2 | PD7 | PD7/IRQ7/SCK2 | PD7 | PD7/IRQ7/SCK2 |
| N2 | PE00 | PE00/HIFE \overline{B} L | HIFE \overline{B} L | PE00/HIFE \overline{B} L |
| M4 | PE01 | PE01/HIFRD \overline{Y} | HIFRD \overline{Y} | PE01/HIFRD \overline{Y} |
| N1 | PE02 | PE02/HIFDREQ | HIFDREQ | PE02/HIFDREQ |
| M3 | HIFMD | PE03/HIFMD | HIFMD | PE03/HIFMD |
| L4 | PE04 | PE04/HIFIN \overline{T} | HIFIN \overline{T} | PE04/HIFIN \overline{T} |
| L2 | PE05 | PE05/HIFRD \overline{D} | HIFRD \overline{D} | PE05/HIFRD \overline{D} |
| L1 | PE06 | PE06/HIFWR \overline{R} | HIFWR \overline{R} | PE06/HIFWR \overline{R} |
| L3 | PE07 | PE07/HIFRS | HIFRS | PE07/HIFRS |
| E3 | PE08 | PE08/HIFCS \overline{S} | HIFCS \overline{S} | PE08/HIFCS \overline{S} |
| K3 | PE09 | PE09/HIFD00 | HIFD00 | PE09/HIFD00 |
| K4 | PE10 | PE10/HIFD01 | HIFD01 | PE10/HIFD01 |
| J2 | PE11 | PE11/HIFD02 | HIFD02 | PE11/HIFD02 |
| J1 | PE12 | PE12/HIFD03 | HIFD03 | PE12/HIFD03 |
| J3 | PE13 | PE13/HIFD04 | HIFD04 | PE13/HIFD04 |
| J4 | PE14 | PE14/HIFD05 | HIFD05 | PE14/HIFD05 |
| H2 | PE15 | PE15/HIFD06/TxD0 | HIFD06 | PE15/HIFD06/TxD0 |
| H1 | PE16 | PE16/HIFD07/RxD0 | HIFD07 | PE16/HIFD07/RxD0 |
| G2 | PE17 | PE17/HIFD08/SCK0 | HIFD08 | PE17/HIFD08/SCK0 |
| G1 | PE18 | PE18/HIFD09/TxD1 | HIFD09 | PE18/HIFD09/TxD1 |
| G3 | PE19 | PE19/HIFD10/RxD1 | HIFD10 | PE19/HIFD10/RxD1 |
| G4 | PE20 | PE20/HIFD11/SCK1 | HIFD11 | PE20/HIFD11/SCK1 |
| F2 | PE21 | PE21/HIFD12/RTS0 | HIFD12 | PE21/HIFD12/RTS0 |
| F1 | PE22 | PE22/HIFD13/CTS0 | HIFD13 | PE22/HIFD13/CTS0 |
| F3 | PE23 | PE23/HIFD14/RTS1 | HIFD14 | PE23/HIFD14/RTS1 |
| F4 | PE24 | PE24/HIFD15/CTS1 | HIFD15 | PE24/HIFD15/CTS1 |
| L12 | D00 | - | D00 | - |
| L13 | D01 | - | D01 | - |
| L14 | D02 | - | D02 | - |
| L15 | D03 | - | D03 | - |
| K12 | D04 | - | D04 | - |

16. ピンファンクションコントロール - ラ (PFC)

| ピン 番号 | 非 HIF ブートモード | | HIF ブートモード | |
|----------|--------------|--------------|------------|--------------|
| | 初期機能 | PFC で設定可能な機能 | 初期機能 | PFC で設定可能な機能 |
| K13 | D05 | - | D05 | - |
| K15 | D06 | - | D06 | - |
| K14 | D07 | - | D07 | - |
| F13 | D08 | - | D08 | - |
| F12 | D09 | - | D09 | - |
| G14 | D10 | - | D10 | - |
| G15 | D11 | - | D11 | - |
| H14 | D12 | - | D12 | - |
| H15 | D13 | - | D13 | - |
| H13 | D14 | - | D14 | - |
| H12 | D15 | - | D15 | - |
| M11 | TRST 入力 | - | TRST 入力 | - |
| N11 | TDO 出力 | - | TDO 出力 | - |
| R11 | TDI 入力 | - | TDI 入力 | - |
| P11 | TMS 入力 | - | TMS 入力 | - |
| N10 | TCK 入力 | - | TCK 入力 | - |
| P13 | EXTAL 入力 | - | EXTAL 入力 | - |
| R14 | XTAL 出力 | - | XTAL 出力 | - |
| J15 | CKIO 出力 | - | CKIO 出力 | - |
| R9 | CK_PHY 出力 | - | CK_PHY 出力 | - |
| N12 | ASEMD 入力 | - | ASEMD 入力 | - |
| R13 | TESTMD 入力 | - | TESTMD 入力 | - |
| P9 | MD3 入力 | - | MD3 入力 | - |
| J14 | MD2 入力 | - | MD2 入力 | - |
| N15 | MD1 入力 | - | MD1 入力 | - |
| R15 | MD0 入力 | - | MD0 入力 | - |
| R12 | RES 入力 | - | RES 入力 | - |
| P12 | NMI 入力 | - | NMI 入力 | - |
| M10 | MD5 入力 | - | MD5 入力 | - |
| N9 | TESTOUT 出力 | - | TESTOUT 出力 | - |

16.1 レジスタの説明

PFC には以下のレジスタがあります。レジスタのアドレスおよび各処理におけるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- ポート A・IOレジスタ H (PAIORH)
- ポート A コントロールレジスタ H1 (PACRH1)
- ポート A コントロールレジスタ H2 (PACRH2)
- ポート B・IOレジスタ L (PBIORL)
- ポート B コントロールレジスタ L1 (PBCRL1)
- ポート B コントロールレジスタ L2 (PBCRL2)
- ポート C・IOレジスタ H (PCIORH)
- ポート C・IOレジスタ L (PCIORL)
- ポート C コントロールレジスタ H2 (PCCR2)
- ポート C コントロールレジスタ L1 (PCCRL1)
- ポート C コントロールレジスタ L2 (PCCRL2)
- ポート D・IOレジスタ L (PDIORL)
- ポート D コントロールレジスタ L2 (PDCRL2)
- ポート E・IOレジスタ H (PEIORH)
- ポート E・IOレジスタ L (PEIORL)
- ポート E コントロールレジスタ H1 (PECRH1)
- ポート E コントロールレジスタ H2 (PECRH2)
- ポート E コントロールレジスタ L1 (PECRL1)
- ポート E コントロールレジスタ L2 (PECRL2)

16.1.1 ポート A・IO レジスタ H (PAIORH)

PAIORH は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA25IOR ~ PA16IOR ビットが、それぞれ PA25 ~ PA16 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PAIORH はポート A の端子機能が汎用入出力 (PA25 ~ PA16) の場合に有効でそれ以外の場合は無効です。

PAIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORH のビット 15 ~ 10 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PAIORH の初期値は H'0000 です。

16. ピンファンクションコントロール - ラ (PFC)

16.1.2 ポート A コントロールレジスタ H1、H2 (PACRH1、PACRH2)

PACRH1、PACRH2 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|------|---------|-------|-----|---|
| PACRH1 | 15~3 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 2 | PA25MD0 | 0 | R/W | PA25 モードビット PA25/A25 端子の機能を選びます。 0 : PA25 入出力 (ポート) 1 : A25 出力 (BSC) |
| | 1 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 0 | PA24MD0 | 0 | R/W | PA24 モードビット PA24/A24 端子の機能を選びます。 0 : PA24 入出力 (ポート) 1 : A24 出力 (BSC) |
| PACRH2 | 15 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 14 | PA23MD0 | 0 | R/W | PA23 モードビット PA23/A23 端子の機能を選びます。 0 : PA23 入出力 (ポート) 1 : A23 出力 (BSC) |
| | 13 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 12 | PA22MD0 | 0 | R/W | PA22 モードビット PA22/A22 端子の機能を選びます。 0 : PA22 入出力 (ポート) 1 : A22 出力 (BSC) |
| | 11 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 10 | PA21MD0 | 0 | R/W | PA21 モードビット PA21/A21 端子の機能を選びます。 0 : PA21 入出力 (ポート) 1 : A21 出力 (BSC) |

16. ピンファンクションコントロ - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|-----|---------|-----|-----|---|
| PACRH2 | 9 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 8 | PA20MD0 | 0 | R/W | PA20 モードビット PA20/A20 端子の機能を選びます。 0 : PA20 入出力 (ポート) 1 : A20 出力 (BSC) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 6 | PA19MD0 | 0 | R/W | PA19 モードビット PA19/A19 端子の機能を選びます。 0 : PA19 入出力 (ポート) 1 : A19 出力 (BSC) |
| | 5 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 4 | PA18MD0 | 0 | R/W | PA18 モードビット PA18/A18 端子の機能を選びます。 0 : PA18 入出力 (ポート) 1 : A18 出力 (BSC) |
| | 3 | - | 0 | R | リザ - ビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 2 | PA17MD0 | 0 | R/W | PA17 モードビット PA17/A17 端子の機能を選びます。 0 : PA17 入出力 (ポート) 1 : A17 出力 (BSC) |
| | 1 | - | 0 | R | リザ - ビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 0 | PA16MD0 | 0 | R/W | PA16 モードビット PA16/A16 端子の機能を選びます。 0 : PA16 入出力 (ポート) 1 : A16 出力 (BSC) |

16. ピンファンクションコントロール - ラ (PFC)

16.1.3 ポート B・IO レジスタ L (PBIORL)

PBIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB13IOR ~ PBOIOR ビットが、それぞれ PB13 ~ PB00 端子(端子名からポート以外のマルチプレクス端子名を省略)に対応しています。PBIORL はポート B の端子機能が汎用入出力 (PB13 ~ PB00) の場合に有効で、それ以外の場合は無効です

PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIORL のビット 15、14 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PBIORL の初期値は H'0000 です。

16.1.4 ポート B コントロールレジスタ L1、L2 (PBCRL1、PBCRL2)

PBCRL1、PBCRL2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|---------|---------|-------|-----|--|
| PBCRL1 | 15 ~ 11 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 10 | PB13MD0 | 0 | R/W | PB13 モードビット PB13/ \overline{BS} 端子の機能を選びます。 0 : PB13 入出力 (ポート) 1 : \overline{BS} 出力 (BSC) |
| | 9 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 8 | PB12MD0 | 0 | R/W | PB12 モードビット PB12/ $\overline{CS3}$ 端子の機能を選びます。 0 : PB12 入出力 (ポート) 1 : $\overline{CS3}$ 出力 (BSC) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 6 | PB11MD0 | 0 | R/W | PB11 モードビット PB11/ $\overline{CS4}$ 端子の機能を選びます。 0 : PB11 入出力 (ポート) 1 : $\overline{CS4}$ 出力 (BSC) |

16. ピンファンクションコントロール (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|---------|-----|-----|--|
| PBCRL1 | 5 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 4 | PB10MD0 | 0 | R/W | PB10 モードビット PB10/ $\overline{CS5B}/\overline{CE1A}$ 端子の機能を選びます。 0: PB10 入出力 (ポート) 1: $\overline{CS5B}/\overline{CE1A}$ 出力 (BSC) |
| | 3 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 2 | PB9MD0 | 0 | R/W | PB9 モードビット PB09/ $\overline{CE2A}$ 端子の機能を選びます。 0: PB09 入出力 (ポート) 1: $\overline{CE2A}$ 出力 (BSC) |
| | 1 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 0 | PB8MD0 | 0 | R/W | PB8 モードビット PB08/ $\overline{CS6B}/\overline{CE1B}$ 端子の機能を選びます。 0: PB13 入出力 (ポート) 1: $\overline{CS6B}/\overline{CE1B}$ 出力 (BSC) |
| PBCRL2 | 15 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 14 | PB7MD0 | 0 | R/W | PB7 モードビット PB07/ $\overline{CE2B}$ 端子の機能を選びます。 0: PB07 入出力 (ポート) 1: $\overline{CE2B}$ 出力 (BSC) |
| | 13 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 12 | PB6MD0 | 0 | R/W | PB6 モードビット PB06/ $\overline{IC1OWR}$ 端子の機能を選びます。 0: PB06 入出力 (ポート) 1: $\overline{IC1OWR}$ 出力 (BSC) |
| | 11 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

16. ピンファンクションコントロ - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|-----|--------|-----|-----|---|
| PBCRL2 | 10 | PB5MD0 | 0 | R/W | PB5 モードビット PB05/ $\overline{\text{CIORD}}$ 端子の機能を選びます。 0: PB05 入出力 (ポート) 1: $\overline{\text{CIORD}}$ 出力 (BSC) |
| | 9 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 8 | PB4MD0 | 0 | R/W | PB4 モードビット PB04/ $\overline{\text{RAS}}$ 端子の機能を選びます。 0: PB04 入出力 (ポート) 1: $\overline{\text{RAS}}$ 出力 (BSC) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 6 | PB3MD0 | 0 | R/W | PB3 モードビット PB03/ $\overline{\text{CAS}}$ 端子の機能を選びます。 0: PB03 入出力 (ポート) 1: $\overline{\text{CAS}}$ 出力 (BSC) |
| | 5 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 4 | PB2MD0 | 0 | R/W | PB2 モードビット PB02/ $\overline{\text{CKE}}$ 端子の機能を選びます。 0: PB02 入出力 (ポート) 1: $\overline{\text{CKE}}$ 出力 (BSC) |
| | 3 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 2 | PB1MD0 | 0 | R/W | PB1 モードビット PB01/ $\overline{\text{IOIS16}}$ 端子の機能を選びます。 0: PB01 入出力 (ポート) 1: $\overline{\text{IOIS16}}$ 入力 (BSC) |
| | 1 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 0 | PB0MD0 | 0 | R/W | PB0 モードビット PB00/ $\overline{\text{WAIT}}$ 端子の機能を選びます。 0: PB00 入出力 (ポート) 1: $\overline{\text{WAIT}}$ 入力 (BSC) |

16.1.5 ポート C・IO レジスタ H、L (PCIORH、PCIORL)

PCIORH、PCIORL は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC20IOR ~ PC0IOR ビットが、それぞれ PC20 ~ PC00 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PCIORH はポート C の端子機能が汎用入出力 (PC20 ~ PC16) の場合に有効でそれ以外の場合は無効です。PCIORL はポート C の端子機能が汎用入出力 (PC15 ~ PC00) の場合に有効でそれ以外の場合は無効です。

PCIORH および PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIORH のビット 15 ~ 5 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PCIORH、PCIORL の初期値はそれぞれ H'0000 です。

16.1.6 ポート C コントロールレジスタ H2、L1、L2 (PCCR2、PCCRL1、PCCRL2)

PCCR2、PCCRL1、PCCRL2 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|------|---------|-------|-----|--|
| PCCR2 | 15~9 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 8 | PC20MD0 | 0 | R/W | PC20 モードビット PC20/WOL 端子の機能を選びます。 0 : PC20 入出力 (ポート) 1 : WOL 出力 (EtherC) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 6 | PC19MD0 | 0 | R/W | PC19 モードビット PC19/EXOUT 端子の機能を選びます。 0 : PC19 入出力 (ポート) 1 : EXOUT 出力 (EtherC) |
| | 5 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 4 | PC18MD0 | 0 | R/W | PC18 モードビット PC18/LNKSTA 端子の機能を選びます。 0 : PC18 入出力 (ポート) 1 : LNKSTA 入力 (EtherC) |

16. ピンファンクションコントロ - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|-----|---------|-----|-----|--|
| PCCR2 | 3 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 2 | PC17MD0 | 0 | R/W | PC17 モードビット PC17/MDC 端子の機能を選びます。 0 : PC17 入出力 (ポート) 1 : MDC 出力 (EtherC) |
| | 1 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 0 | PC16MD0 | 0 | R/W | PC16 モードビット PC16/MDIO 端子の機能を選びます。 0 : PC16 入出力 (ポート) 1 : MDIO 入出力 (EtherC) |
| PCCRL1 | 15 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 14 | PC15MD0 | 0 | R/W | PC15 モードビット PC15/CRS 端子の機能を選びます。 0 : PC15 入出力 (ポート) 1 : CRS 入力 (EtherC) |
| | 13 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 12 | PC14MD0 | 0 | R/W | PC14 モードビット PC14/COL 端子の機能を選びます。 0 : PC14 入出力 (ポート) 1 : COL 入力 (EtherC) |
| | 11 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 10 | PC13MD0 | 0 | R/W | PC13 モードビット PC13/TX_CLK 端子の機能を選びます。 0 : PC13 入出力 (ポート) 1 : TX_CLK 入力 (EtherC) |
| | 9 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

16. ピンファンクションコントロール (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|---------|-----|-----|---|
| PCCRL1 | 8 | PC12MD0 | 0 | R/W | PC12 モードビット PC12/TX_EN 端子の機能を選びます。 0 : PC12 入出力 (ポート) 1 : TX_EN 出力 (EtherC) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 6 | PC11MD0 | 0 | R/W | PC11 モードビット PC11/TX_ER 端子の機能を選びます。 0 : PC11 入出力 (ポート) 1 : TX_ER 出力 (EtherC) |
| | 5 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 4 | PC10MD0 | 0 | R/W | PC10 モードビット PC10/RX_CLK 端子の機能を選びます。 0 : PC10 入出力 (ポート) 1 : RX_CLK 入力 (EtherC) |
| | 3 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 2 | PC9MD0 | 0 | R/W | PC9 モードビット PC09/RX_ER 端子の機能を選びます。 0 : PC09 入出力 (ポート) 1 : RX_ER 入力 (EtherC) |
| | 1 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 0 | PC8MD0 | 0 | R/W | PC8 モードビット PC08/RX_DV 端子の機能を選びます。 0 : PC08 入出力 (ポート) 1 : RX_DV 入力 (EtherC) |
| PCCRL2 | 15 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 14 | PC7MD0 | 0 | R/W | PC7 モードビット PC07/MII_TXD3 端子の機能を選びます。 0 : PC07 入出力 (ポート) 1 : MII_TXD3 出力 (EtherC) |

16. ピンファンクションコントロール - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|--------|-----|-----|---|
| PCCRL2 | 13 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 12 | PC6MD0 | 0 | R/W | PC6 モードビット PC06/MII_TXD2 端子の機能を選びます。 0 : PC06 入出力 (ポート) 1 : MII_TXD2 出力 (EtherC) |
| | 11 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 10 | PC5MD0 | 0 | R/W | PC5 モードビット PC05/MII_TXD1 端子の機能を選びます。 0 : PC05 入出力 (ポート) 1 : MII_TXD1 出力 (EtherC) |
| | 9 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 8 | PC4MD0 | 0 | R/W | PC4 モードビット PC04/MII_TXD0 端子の機能を選びます。 0 : PC04 入出力 (ポート) 1 : MII_TXD0 出力 (EtherC) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 6 | PC3MD0 | 0 | R/W | PC3 モードビット PC03/MII_RXD3 端子の機能を選びます。 0 : PC03 入出力 (ポート) 1 : MII_RXD3 入力 (EtherC) |
| | 5 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 4 | PC2MD0 | 0 | R/W | PC2 モードビット PC02/MII_RXD2 端子の機能を選びます。 0 : PC02 入出力 (ポート) 1 : MII_RXD2 入力 (EtherC) |
| | 3 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|--------|-----|-----|---|
| PCCRL2 | 2 | PC1MD0 | 0 | R/W | PC1 モードビット PC01/MII_RXD1 端子の機能を選びます。 0 : PC01 入出力 (ポート) 1 : MII_RXD1 入力 (EtherC) |
| | 1 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 0 | PC0MD0 | 0 | R/W | PC0 モードビット PC00/MII_RXD0 端子の機能を選びます。 0 : PC00 入出力 (ポート) 1 : MII_RXD0 入力 (EtherC) |

16.1.7 ポート D・IO レジスタ L (PDIORL)

PDIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD7IOR ~ PD0IOR ビットが、それぞれ、PD7 ~ PD0 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD7 ~ PD0) の場合に有効での場合に有効でそれ以外の場合は無効です。

PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL のビット 15~8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PDIORL の初期値は H'0000 です。

16.1.8 ポート D コントロールレジスタ L2 (PDCRL2)

PDCRL2 は、16 ビットの読み出し/書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|--------|-----|-----|---|
| PDCRL2 | 15 | PD7MD1 | 0 | R/W | PD7 モードビット PD7/IRQ7/SCK2 端子の機能を選びます。 00 : PD7 入出力 (ポート) 01 : IRQ7 入力 (INTC) 10 : SCK2 入出力 (SCIF) 11 : 設定禁止 |
| | 14 | PD7MD0 | 0 | R/W | |

16. ピンファンクションコントロ - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|--------|--------|-----|--|---|
| PDCRL2 | 13 | PD6MD1 | 0 | R/W | PD6 モードビット PD6/IRQ6/RxD2 端子の機能を選びます。 00 : PD6 入出力 (ポート) 01 : IRQ6 入力 (INTC) 10 : RxD2 入力 (SCIF) 11 : 設定禁止 |
| | 12 | PD6MD0 | 0 | R/W | |
| | 11 | PD5MD1 | 0 | R/W | PD5 モードビット PD5/IRQ5/TxD2 端子の機能を選びます。 00 : PD5 入出力 (ポート) 01 : IRQ5 入力 (INTC) 10 : TxD2 出力 (SCIF) 11 : 設定禁止 |
| | 10 | PD5MD0 | 0 | R/W | |
| | 9 | PD4MD1 | 0 | R/W | PD4 モードビット PD4/IRQ4/SCK1 端子の機能を選びます。 00 : PD4 入出力 (ポート) 01 : IRQ4 入力 (INTC) 10 : SCK1 入出力 (SCIF) 11 : 設定禁止 |
| | 8 | PD4MD0 | 0 | R/W | |
| | 7 | PD3MD1 | 0 | R/W | PD3 モードビット PD3/IRQ3/RxD1 端子の機能を選びます。 00 : PD3 入出力 (ポート) 01 : IRQ3 入力 (INTC) 10 : RxD1 入力 (SCIF) 11 : 設定禁止 |
| | 6 | PD3MD0 | 0 | R/W | |
| 5 | PD2MD1 | 0 | R/W | PD2 モードビット PD2/IRQ2/TxD1 端子の機能を選びます。 00 : PD2 入出力 (ポート) 01 : IRQ2 入力 (INTC) 10 : TxD1 出力 (SCIF) 11 : 設定禁止 | |
| 4 | PD2MD0 | 0 | R/W | | |
| 3 | - | 0 | R | リザ - ビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 | |
| 2 | PD1MD0 | 0 | R/W | PD1 モードビット PD1/IRQ1 端子の機能を選びます。 0 : PD1 入出力 (ポート) 1 : IRQ1 入力 (INTC) | |

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|--------|-----|-----|---|
| PDCRL2 | 1 | - | 0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 0 | PD0MD0 | 0 | R/W | PD0モードビット PD0/IRQ0端子の機能を選びます。 0: PD0入出力(ポート) 1: IRQ0入力(INTC) |

16.1.9 ポートE・IOレジスタH、L (PEIORH、PEIORL)

PEIORH、PEIORLは、それぞれ読み出し/書き込み可能な16ビットのレジスタで、ポートEにある端子の入出力方向を選びます。PE24IOR~PE0IORビットが、それぞれ、PE24~PE00端子(端子名からポート以外のマルチプレクス端子名を省略)に対応しています。PEIORHはポートEの端子機能が汎用入出力(PE24~PE16)の場合に有効でそれ以外の場合は無効です。PEIORLはポートEの端子機能が汎用入出力(PE15~PE00)の場合に有効でそれ以外の場合は無効です。

PEIORHおよびPEIORLのビットを1にすると、対応する端子は出力になり、0にすると入力になります。

PEIORHのビット15~9はリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

PEIORH、PEIORLの初期値はそれぞれH'0000です。

16.1.10 ポートEコントロールレジスタH1、H2、L1、L2 (PECRH1、PECRH2、PECRL1、PECRL2)

PECRH1、PECRH2、PECRL1、PECRL2は、それぞれ16ビットの読み出し/書き込み可能なレジスタで、ポートEにあるマルチプレクス端子の機能を選びます。

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|------|---------|--|-----|---|
| PECRH1 | 15~2 | - | すべて0 | R | リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 |
| | 1 | PE24MD1 | 0 | R/W | PE24モードビット |
| | 0 | PE24MD0 | 0 (非HIFブートモード時) 0 1 (HIFブートモード時) | R/W | PE24/HIFD15/CTS1端子の機能を選びます。 00: PE24入出力(ポート) 01: HIFD15入出力(HIF) 10: CTS1入力(SCIF) 11: 設定禁止 |

16. ピンファンクションコントロ - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|---------|--|--|--|--|
| PECRH2 | 15 | PE23MD1 | 0 | R/W | PE23 モードビット PE23/HIFD14/RTS1 端子の機能を選びます。 00 : PE23 入出力 (ポート) 01 : HIFD14 入出力 (HIF) 10 : RTS1 出力 (SCIF) 11 : 設定禁止 |
| | 14 | PE23MD0 | 0 | R/W | |
| | | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | |
| | 13 | PE22MD1 | 0 | R/W | PE22 モードビット PE22/ HIFD13/CTS0 端子の機能を選びます。 00 : PE22 入出力 (ポート) 01 : HIFD13 入出力 (HIF) 10 : CTS0 入力 (SCIF) 11 : 設定禁止 |
| | 12 | PE22MD0 | 0 | R/W | |
| | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | | |
| 11 | PE21MD1 | 0 | R/W | PE21 モードビット PE21/ HIFD12/RTS0 端子の機能を選びます。 00 : PE21 入出力 (ポート) 01 : HIFD12 入出力 (HIF) 10 : RTS0 出力 (SCIF) 11 : 設定禁止 | |
| 10 | PE21MD0 | 0 | R/W | | |
| | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | | |
| 9 | PE20MD1 | 0 | R/W | PE20 モードビット PE20/HIFD11/SCK1 端子の機能を選びます。 00 : PE20 入出力 (ポート) 01 : HIFD11 入出力 (HIF) 10 : SCK1 入出力 (SCIF) 11 : 設定禁止 | |
| 8 | PE20MD0 | 0 | R/W | | |
| | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | | |
| 7 | PE19MD1 | 0 | R/W | PE19 モードビット PE19/HIFD10/RxD1 端子の機能を選びます。 00 : PE19 入出力 (ポート) 01 : HIFD10 入出力 (HIF) 10 : RxD1 入力 (SCIF) 11 : 設定禁止 | |
| 6 | PE19MD0 | 0 | R/W | | |
| | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | | |

16. ピンファンクションコントロール (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|---------|--|-----|--|
| PECRH2 | 5 | PE18MD1 | 0 | R/W | PE18 モードビット PE18/HIFD09/TxD1 端子の機能を選びます。 00 : PE18 入出力 (ポート) 01 : HIFD09 入出力 (HIF) 10 : TxD1 出力 (SCIF) 11 : 設定禁止 |
| | 4 | PE18MD0 | 0 | R/W | |
| | | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | |
| | 3 | PE17MD1 | 0 | R/W | PE17 モードビット PE17/HIFD08/SCK0 端子の機能を選びます。 00 : PE17 入出力 (ポート) 01 : HIFD08 入出力 (HIF) 10 : SCK0 入出力 (SCIF) 11 : 設定禁止 |
| | 2 | PE17MD0 | 0 | R/W | |
| | | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | |
| | 1 | PE16MD1 | 0 | R/W | PE16 モードビット PE16/HIFD07/RxD0 端子の機能を選びます。 00 : PE16 入出力 (ポート) 01 : HIFD07 入出力 (HIF) 10 : RxD0 入力 (SCIF) 11 : 設定禁止 |
| | 0 | PE16MD0 | 0 | R/W | |
| PECRL1 | 15 | PE15MD1 | 0 | R/W | PE15 モードビット PE15/HIFD06/TxD0 端子の機能を選びます。 00 : PE15 入出力 (ポート) 01 : HIFD06 入出力 (HIF) 10 : TxD0 出力 (SCIF) 11 : 設定禁止 |
| | 14 | PE15MD0 | 0 | R/W | |
| | | | (非 HIF ブート モード時) 0 1 (HIF ブート モード時) | | |
| | 13 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

16. ピンファンクションコントロ - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|-----|---------|--|-----|--|
| PECRL1 | 12 | PE14MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE14 モードビット PE14/HIFD05 端子の機能を選びます。 0 : PE14 入出力 (ポート) 1 : HIFD05 入出力 (HIF) |
| | 11 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 10 | PE13MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE13 モードビット PE13/HIFD04 端子の機能を選びます。 0 : PE13 入出力 (ポート) 1 : HIFD04 入出力 (HIF) |
| | 9 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 8 | PE12MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE12 モードビット PE12/HIFD03 端子の機能を選びます。 0 : PE12 入出力 (ポート) 1 : HIFD03 入出力 (HIF) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 6 | PE11MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE11 モードビット PE11/HIFD02 端子の機能を選びます。 0 : PE11 入出力 (ポート) 1 : HIFD02 入出力 (HIF) |
| | 5 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

16. ピンファンクションコントロ - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説 明 |
|--------|-----|---------|--|-----|--|
| PECRL1 | 4 | PE10MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE10 モードビット PE10/HIFD01 端子の機能を選びます。 0 : PE10 入出力 (ポート) 1 : HIFD01 入出力 (HIF) |
| | 3 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 2 | PE9MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE9 モードビット PE09/HIFD00 端子の機能を選びます。 0 : PE09 入出力 (ポート) 1 : HIFD00 入出力 (HIF) |
| | 1 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 0 | PE8MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE8 モードビット PE08/HIFCS 端子の機能を選びます。 0 : PE08 入出力 (ポート) 1 : HIFCS 入力 (HIF) |
| PECRL2 | 15 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 14 | PE7MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE7 モードビット PE07/HIFRS 端子の機能を選びます。 0 : PE07 入出力 (ポート) 1 : HIFRS 入力 (HIF) |
| | 13 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

16. ピンファンクションコントロール - ラ (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|--------|--|-----|--|
| PECRL2 | 12 | PE6MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE6 モードビット PE06/HIFWR 端子の機能を選びます。 0 : PE06 入出力 (ポート) 1 : HIFWR 入力 (HIF) |
| | 11 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 10 | PE5MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE5 モードビット PE05/HIFRD 端子の機能を選びます。 0 : PE05 入出力 (ポート) 1 : HIFRD 入力 (HIF) |
| | 9 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 8 | PE4MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE4 モードビット PE04/HIFINT 端子の機能を選びます。 0 : PE04 入出力 (ポート) 1 : HIFINT 出力 (HIF) |
| | 7 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 6 | PE3MD0 | 1 | R/W | PE3 モードビット PE03/HIFMD 端子の機能を選びます。 0 : PE03 入出力 (ポート) 1 : HIFMD 入力 (HIF) |
| | 5 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |

16. ピンファンクションコントロール (PFC)

| レジスタ | ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|-----|--------|--|-----|--|
| PECRL2 | 4 | PE2MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE2 モードビット PE02/HIFDREQ 端子の機能を選びます。 0 : PE02 入出力 (ポート) 1 : HIFDREQ 出力 (HIF) |
| | 3 | - | 0 | R | リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 2 | PE1MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE1 モードビット PE01/HIFRDY 端子の機能を選びます。 0 : PE01 入出力 (ポート) 1 : HIFRDY 出力 (HIF) |
| | 1 | - | 0 | R | リザ - ビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| | 0 | PE0MD0 | 0 (非 HIF ブート モード時) 1 (HIF ブート モード時) | R/W | PE0 モードビット PE00/HIFEFL 端子の機能を選びます。 0 : PE00 入出力 (ポート) 1 : HIFEFL 入力 (HIF) |

16. ピンファンクションコントロ - ラ (PFC)

17. I/O ポート

本 LSI のポートは、A、B、C、D、E の 5 本から構成されています。ポート A は 10 ビット、ポート B は 14 ビット、ポート C は 21 ビット、ポート D は 8 ビット、ポート E は 25 ビットの入出力ポートです。

それぞれのポートの端子は、すべて、そのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタをもっています。

17.1 ポート A

本 LSI のポート A は、図 17.1 に示すような 10 本の端子を持つ入出力ポートです。

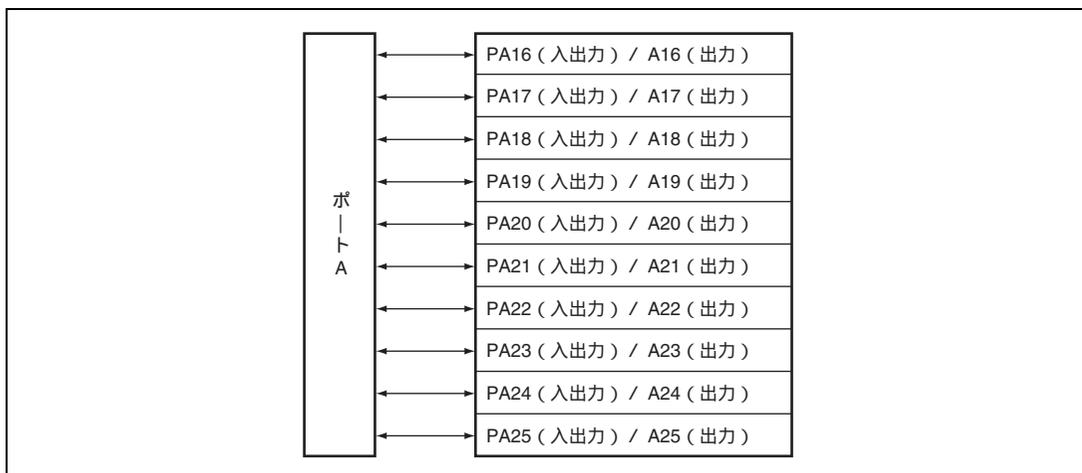


図 17.1 ポート A

17.1.1 レジスタの説明

ポート A は 10 ビットの入出力ポートです。ポート A には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- ポートAデータレジスタH (PADRH)

17. I/O ポート

17.1.2 ポート A データレジスタ H (PADRH)

PADRH は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA25DR ~ PA16DR ビットは、それぞれ PA25 ~ PA16 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PADRH に値を書き込むと端子からその値が出力され、PADRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PADRH に値を書き込むと PADRH にその値を書き込みますが、端子の状態には影響しません。表 17.1 にポート A データレジスタ H の読み出し / 書き込み動作を示します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|--------|-------|-----|---|
| 15~10 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 9 | PA25DR | 0 | R/W | 表 17.1 参照 |
| 8 | PA24DR | 0 | R/W | |
| 7 | PA23DR | 0 | R/W | |
| 6 | PA22DR | 0 | R/W | |
| 5 | PA21DR | 0 | R/W | |
| 4 | PA20DR | 0 | R/W | |
| 3 | PA19DR | 0 | R/W | |
| 2 | PA18DR | 0 | R/W | |
| 1 | PA17DR | 0 | R/W | |
| 0 | PA16DR | 0 | R/W | |

表 17.1 ポート A データレジスタ H (PADRH) の読み出し / 書き込み動作

- PADRH のビット 9 ~ 0

| 端子機能 | PAIORH | 読み出し | 書き込み |
|--------|--------|----------|---------------------------|
| 汎用入力 | 0 | 端子の状態 | PADRH に書き込めるが、端子の状態に影響しない |
| 汎用出力 | 1 | PADRH の値 | 書き込み値が端子から出力される |
| その他の機能 | * | PADRH の値 | PADRH に書き込めるが、端子の状態に影響しない |

17.2 ポート B

本 LSI のポート B は、図 17.2 に示すような 14 本の端子を持つ入出力ポートです。

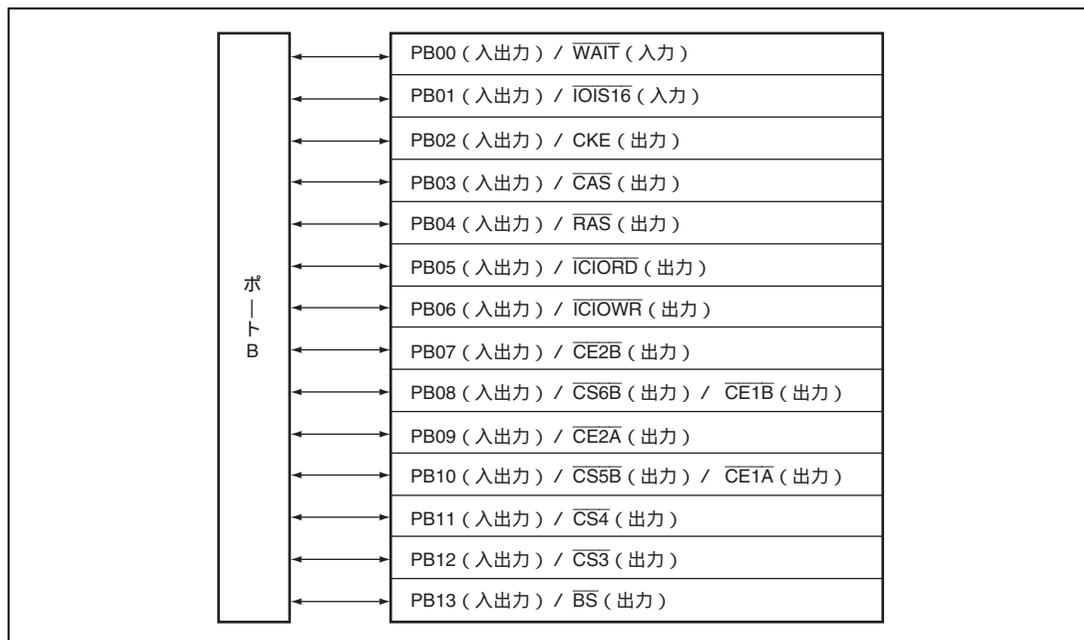


図 17.2 ポート B

17.2.1 レジスタの説明

ポート B は、14 ビットの入出力ポートです。ポート B には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- ポート B データレジスタ L (PBDRL)

17. I/O ポート

17.2.2 ポート B データレジスタ L (PBDRL)

PBDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB13DR ~ PB0DR ビットは、それぞれ、PB13 ~ PB00 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PBDRL に値を書き込むと端子からその値が出力され、PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PBDRL に値を書き込むと PBDRL にその値を書き込みますが、端子の状態には影響しません。表 17.2 にポート B データレジスタ L の読み出し / 書き込み動作を示します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-----|-----|--|
| 15 | - | 0 | R | リザーブビット |
| 14 | - | 0 | R | 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 13 | PB13DR | 0 | R/W | 表 17.2 参照 |
| 12 | PB12DR | 0 | R/W | |
| 11 | PB11DR | 0 | R/W | |
| 10 | PB10DR | 0 | R/W | |
| 9 | PB9DR | 0 | R/W | |
| 8 | PB8DR | 0 | R/W | |
| 7 | PB7DR | 0 | R/W | |
| 6 | PB6DR | 0 | R/W | |
| 5 | PB5DR | 0 | R/W | |
| 4 | PB4DR | 0 | R/W | |
| 3 | PB3DR | 0 | R/W | |
| 2 | PB2DR | 0 | R/W | |
| 1 | PB1DR | 0 | R/W | |
| 0 | PB0DR | 0 | R/W | |

表 17.2 ポート B データレジスタ L (PBDRL) の読み出し / 書き込み動作

● PBDRLのビット13~0

| 端子機能 | PBIORL | 読み出し | 書き込み |
|--------|--------|----------|---------------------------|
| 汎用入力 | 0 | 端子の状態 | PBDRL に書き込めるが、端子の状態に影響しない |
| 汎用出力 | 1 | PBDRL の値 | 書き込み値が端子から出力される |
| その他の機能 | * | PBDRL の値 | PBDRL に書き込めるが、端子の状態に影響しない |

17.3 ポート C

本 LSI のポート C は、図 17.3 に示すような 21 本の端子を持つ入出力ポートです。

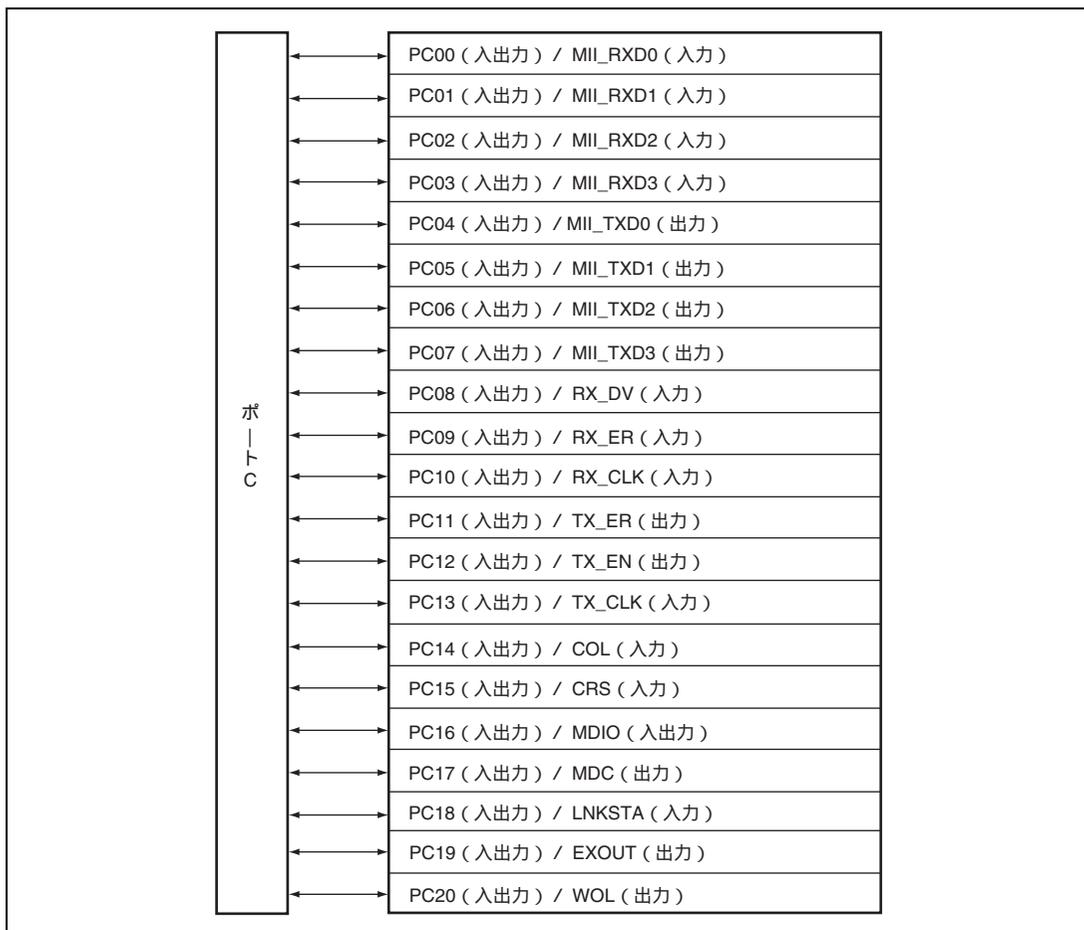


図 17.3 ポート C

17.3.1 レジスタの説明

ポート C は、21 ビットの入出力ポートです。ポート C には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- ポート C データレジスタ H (PCDRH)
- ポート C データレジスタ L (PCDRL)

17. I/O ポート

17.3.2 ポート C データレジスタ H、L (PCDRH、PCDRL)

PCDRH および PCDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC20DR ~ PC0DR ビットは、それぞれ、PC20 ~ PC00 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PCDRH または PCDRL に値を書き込むと端子からその値が出力され、PCDRH、または PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRH または PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PCDRH または PCDRL に値を書き込むと PCDRH または PCDRL にその値を書き込みますが、端子の状態には影響しません。表 17.3 にポート C データレジスタ H、L の読み出し / 書き込み動作を示します。

• PCDRH

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------|-------|-----|---|
| 15~5 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 4 | PC20DR | 0 | R/W | 表 17.3 参照 |
| 3 | PC19DR | 0 | R/W | |
| 2 | PC18DR | 0 | R/W | |
| 1 | PC17DR | 0 | R/W | |
| 0 | PC16DR | 0 | R/W | |

• PCDRL

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-----|-----|-----------|
| 15 | PC15DR | 0 | R/W | 表 17.3 参照 |
| 14 | PC14DR | 0 | R/W | |
| 13 | PC13DR | 0 | R/W | |
| 12 | PC12DR | 0 | R/W | |
| 11 | PC11DR | 0 | R/W | |
| 10 | PC10DR | 0 | R/W | |
| 9 | PC9DR | 0 | R/W | |
| 8 | PC8DR | 0 | R/W | |
| 7 | PC7DR | 0 | R/W | |
| 6 | PC6DR | 0 | R/W | |
| 5 | PC5DR | 0 | R/W | |
| 4 | PC4DR | 0 | R/W | |
| 3 | PC3DR | 0 | R/W | |
| 2 | PC2DR | 0 | R/W | |
| 1 | PC1DR | 0 | R/W | |
| 0 | PC0DR | 0 | R/W | |

表 17.3 ポート C データレジスタ H、L (PCDRH、L) の読み出し / 書き込み動作

- PCDRHのビット4~0およびPCDRLのビット15~0

| 端子機能 | PCIORH、L | 読み出し | 書き込み |
|--------|----------|--------------------|-------------------------------------|
| 汎用入力 | 0 | 端子の状態 | PCDRH または PCDRL に書き込めるが、端子の状態に影響しない |
| 汎用出力 | 1 | PCDRH または PCDRL の値 | 書き込み値が端子から出力される |
| その他の機能 | * | PCDRH または PCDRL の値 | PCDRH または PCDRL に書き込めるが、端子の状態に影響しない |

17.4 ポート D

本 LSI のポート D は、図 17.4 に示すような 8 本の端子を持つ入出力ポートです。

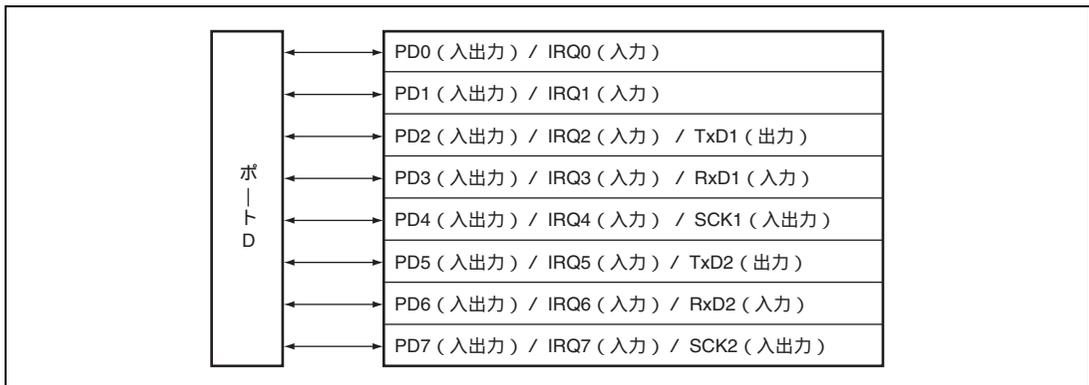


図 17.4 ポート D

17.4.1 レジスタの説明

ポート D は、8 ビットの入出力ポートです。ポート D には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- ポート D データレジスタ L (PDDRL)

17. I/O ポート

17.4.2 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD7DR ~ PD0DR ビットは、それぞれ、PD7 ~ PD0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PDDRL に値を書き込むと PDDRL にその値を書き込みますが、端子の状態には影響しません。表 17.4 にポート D データレジスタ L の読み出し / 書き込み動作を示します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|-------|-------|-----|---|
| 15~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | PD7DR | 0 | R/W | 表 17.4 参照 |
| 6 | PD6DR | 0 | R/W | |
| 5 | PD5DR | 0 | R/W | |
| 4 | PD4DR | 0 | R/W | |
| 3 | PD3DR | 0 | R/W | |
| 2 | PD2DR | 0 | R/W | |
| 1 | PD1DR | 0 | R/W | |
| 0 | PD0DR | 0 | R/W | |

表 17.4 ポート D データレジスタ L (PDDRL) の読み出し / 書き込み動作

- PDDRL のビット 7 ~ 0

| 端子機能 | PDIORL | 読み出し | 書き込み |
|--------|--------|----------|---------------------------|
| 汎用入力 | 0 | 端子の状態 | PDDRL に書き込めるが、端子の状態に影響しない |
| 汎用出力 | 1 | PDDRL の値 | 書き込み値が端子から出力される |
| その他の機能 | * | PDDRL の値 | PDDRL に書き込めるが、端子の状態に影響しない |

17.5 ポート E

本 LSI のポート E は、図 17.5 に示すような 25 本の端子を持つ入出力ポートです。

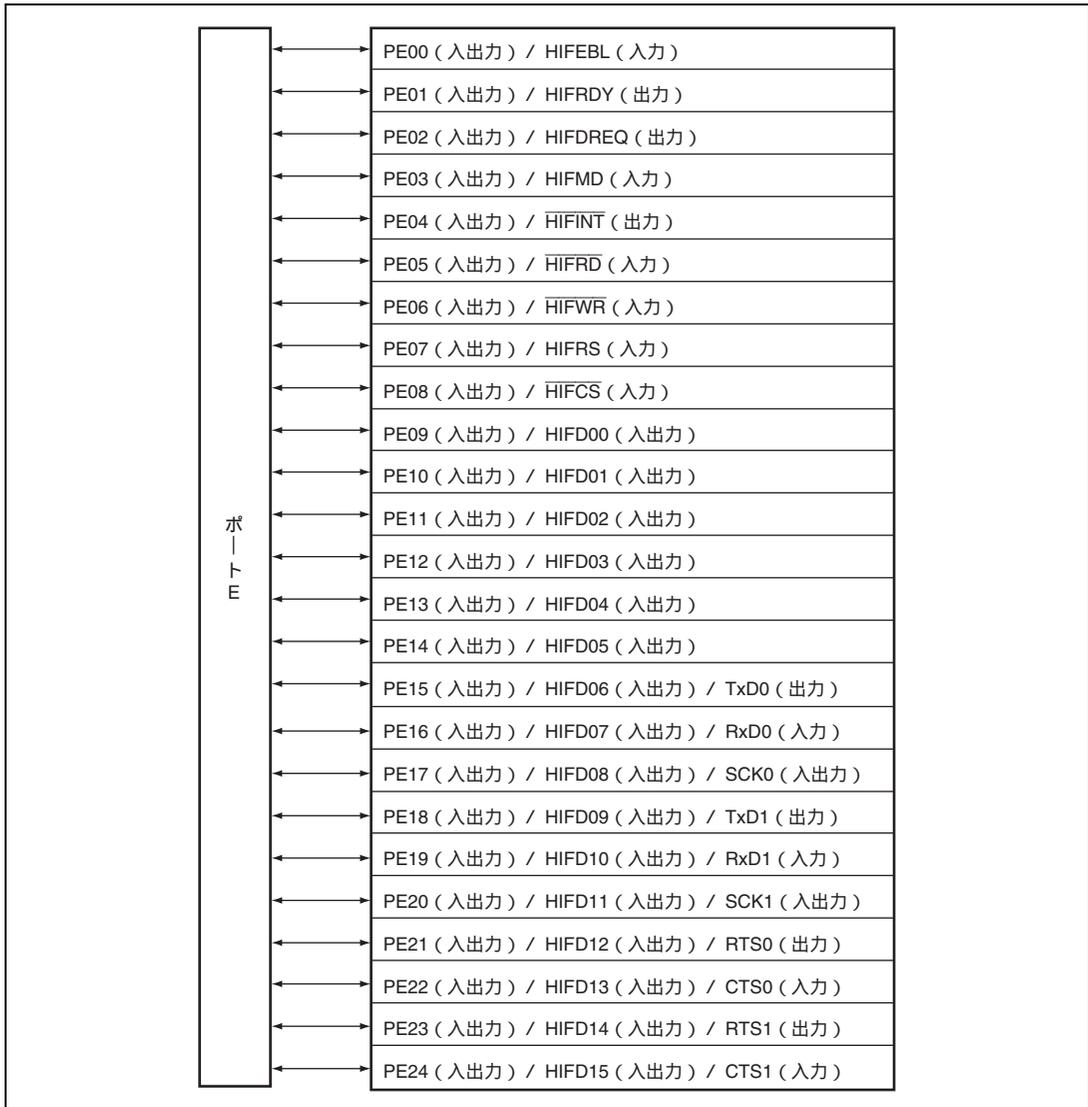


図 17.5 ポート E

17.5.1 レジスタの説明

ポート E は、25 ビットの入出力ポートです。ポート E には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- ポート E データレジスタ H (PEDRH)
- ポート E データレジスタ L (PEDRL)

17.5.2 ポート E データレジスタ H、L (PEDRH、PEDRL)

PEDRH および PEDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE24DR ~ PE0DR ビットは、それぞれ PE24 ~ PE00 端子 (兼用機能については記述を省略) に対応しています。

端子機能が汎用出力の場合には、PEDRH または PEDRL に値を書き込むと端子からその値が出力され、PEDRH または PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRH または PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRH または PEDRL に値を書き込むと、PEDRH または PEDRL にその値を書き込めますが、端子の状態には影響しません。表 17.5 にポート E データレジスタ H、L の読み出し / 書き込み動作を示します。

- PEDRH

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|--------|-------|-----|---|
| 15~9 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 8 | PE24DR | 0 | R/W | 表 17.5 参照 |
| 7 | PE23DR | 0 | R/W | |
| 6 | PE22DR | 0 | R/W | |
| 5 | PE21DR | 0 | R/W | |
| 4 | PE20DR | 0 | R/W | |
| 3 | PE19DR | 0 | R/W | |
| 2 | PE18DR | 0 | R/W | |
| 1 | PE17DR | 0 | R/W | |
| 0 | PE16DR | 0 | R/W | |

- PEDRL

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-----|-----|-----------|
| 15 | PE15DR | 0 | R/W | 表 17.5 参照 |
| 14 | PE14DR | 0 | R/W | |
| 13 | PE13DR | 0 | R/W | |
| 12 | PE12DR | 0 | R/W | |
| 11 | PE11DR | 0 | R/W | |
| 10 | PE10DR | 0 | R/W | |
| 9 | PE9DR | 0 | R/W | |
| 8 | PE8DR | 0 | R/W | |
| 7 | PE7DR | 0 | R/W | |
| 6 | PE6DR | 0 | R/W | |
| 5 | PE5DR | 0 | R/W | |
| 4 | PE4DR | 0 | R/W | |
| 3 | PE3DR | 0 | R/W | |
| 2 | PE2DR | 0 | R/W | |
| 1 | PE1DR | 0 | R/W | |
| 0 | PE0DR | 0 | R/W | |

表 17.5 ポート E データレジスタ H、L (PEDRH、L) の読み出し / 書き込み動作

- PEDRHのビット8～0およびPEDRLのビット15～0

| 端子機能 | PEIORH、L | 読み出し | 書き込み |
|--------|----------|-------------------|------------------------------------|
| 汎用入力 | 0 | 端子の状態 | PEDRHまたは PEDRL に書き込めるが、端子の状態に影響しない |
| 汎用出力 | 1 | PEDRHまたは PEDRL の値 | 書き込み値が端子から出力される |
| その他の機能 | * | PEDRHまたは PEDRL の値 | PEDRHまたは PEDRL に書き込めるが、端子の状態に影響しない |

17.6 使用上の注意事項

1. 汎用入出力とマルチプレクスされた端子を、それ以外の機能の出力端子として使用している場合、当該端子はWDTオーバーフローによる内部パワーオンリセットと同期して、 $1 \times t_{peyc}$ の期間だけ汎用出力となります。例えば、PB12/ $\overline{CS3}$ を $\overline{CS3}$ として使用しており、PBDRLのPB12DRビットが0に設定されている場合、 $1 \times t_{peyc}$ の期間だけローレベル出力となり、メモリの誤動作を招く可能性があります。
これを防ぐため、ストローブ出力として使用している端子に対応するポートデータレジスタには、ストローブ非アクティブレベルを設定しておいてください。
なお、本件は \overline{RES} 端子からのパワーオンリセットの場合には該当しません。
2. HIFMD端子は、初期値が汎用ポートではありませんので、HIFMD端子を使用する場合は、外部プルアップ/ダウンにて状態を確定させる必要がありますのでご注意ください。
3. マルチプレクスされた端子で、初期値でない機能の端子を選択し使用する場合、例えば、PB12/ $\overline{CS3}$ で初期値がPB12であり $\overline{CS3}$ を使用する場合は、少なくともリセット後にソフトウェアで機能選択するまでの間、外部プルアップ/ダウン等で状態を確定させる必要がありますのでご注意ください。

18. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはデータの読み出し書き込み、データのサイズ、データの内容、アドレスの値、命令フェッチのときの停止タイミングがあります。

18.1 特長

- UBCでは次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2チャンネル (チャンネルAとB)

ユーザブ레이크は、チャンネルA、B独立に、または連続した (シーケンシャル) 一つの条件として設定することができます。 (シーケンシャルブ레이크：チャンネルAのブ레이크条件が一致した後チャンネルBのブ레이크条件の一致が発生し、かつ両者が同じバスサイクルで発生しないときにブ레이크条件が成立します。)

1. アドレス (アドレス32ビットを比較) :

比較はビットごとにマスク可能で、ユーザは下位12ビット (4kペ - ジ)、下位10ビット (1kペ - ジ)、あるいは任意の大きさのページ等でアドレスをマスクすることができます。

2つのアドレスバスのいずれか (Lバスアドレス (LAB)、またはIバスアドレス (IAB)) を選択できます。

2. データ (チャンネルBのみ、32ビットマスク可能)

2本のデータバス (Lバスデータ (LDB)、Iバスデータ (IDB)) のどれか1つを選択できます。

3. バスサイクル：命令フェッチまたはデータアクセス

4. 読み出しまたは書き込み

5. オペランドサイズ：バイト、ワード、またはロングワード

- ブ레이크条件が成立するときユーザブ레이크割り込みが発生します。ユーザ指定のユーザブ레이크条件割り込み例外処理ルーチンを実行できます。
- 命令フェッチサイクルにおいて、ブ레이크を命令の実行の前に設定するか後に設定するかを指定できます。
- ブ레이크条件 (チャンネルBに対してのみ) として、最大 2^{12} - 1回まで繰り返し回数を指定することができます。
- 4組の分岐元 / 分岐先バッファ

18. ユーザブレークコントローラ (UBC)

UBC のブロック図を図 18.1 に示します。

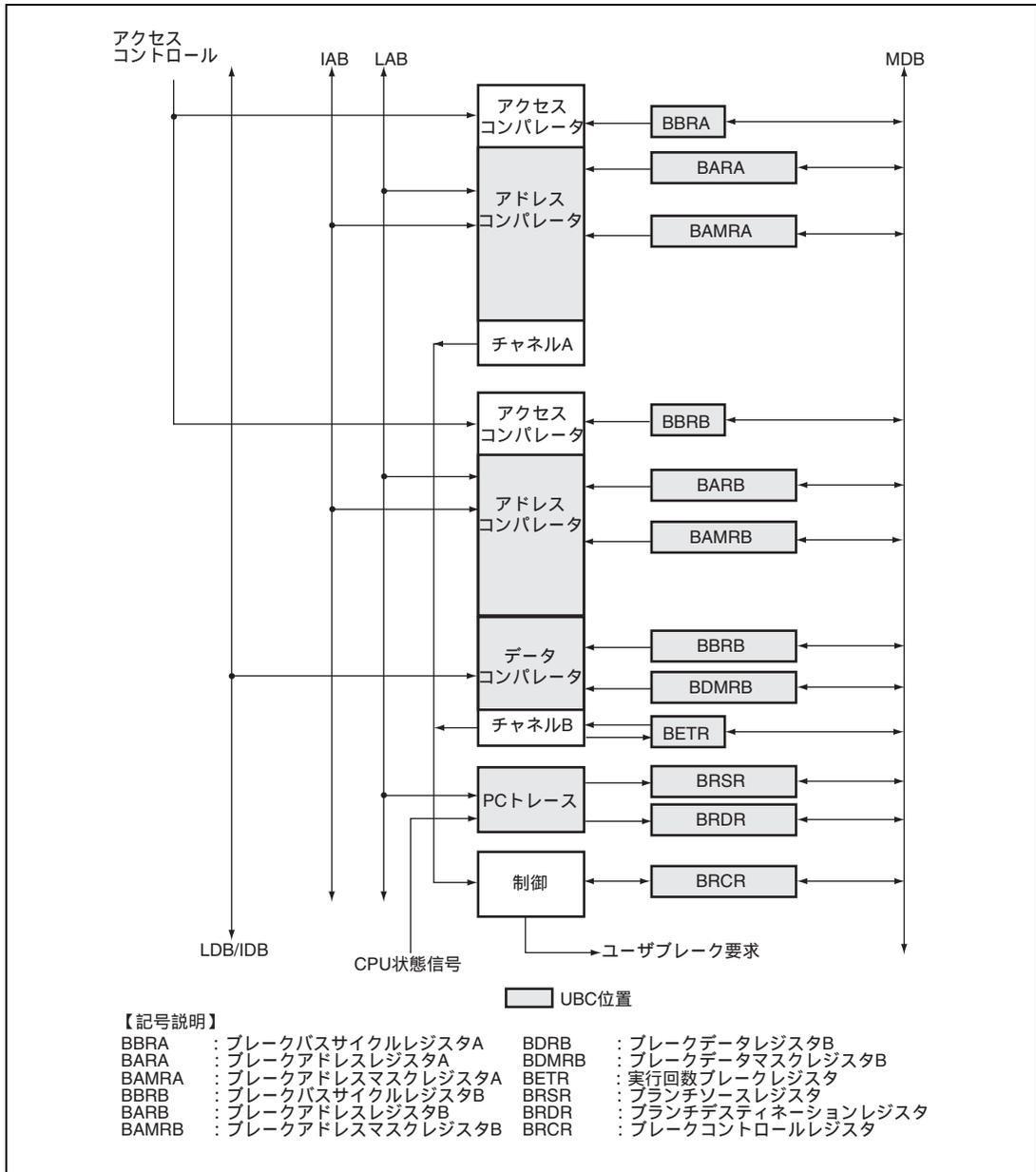


図 18.1 UBC のブロック図

18.2 レジスタの説明

UBC には以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては「第 20 章 レジスタ一覧」を参照してください。

- ブレークアドレスレジスタ A (BARA)
- ブレークアドレスマスクレジスタ A (BAMRA)
- ブレークバスサイクルレジスタ A (BBRA)
- ブレークアドレスレジスタ B (BARB)
- ブレークアドレスマスクレジスタ B (BAMRB)
- ブレークバスサイクルレジスタ B (BBRB)
- ブレークデータレジスタ B (BDRB)
- ブレークデータマスクレジスタ B (BDMRB)
- ブレークコントロールレジスタ (BRCR)
- 実行回数ブレークレジスタ (BETR)
- ブランチソースレジスタ (BRSR)
- ブランチデスティネーションレジスタ (BRDR)

18.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットの読み出し / 書き込み可能なレジスタです。BARA はチャンネル A のブレーク条件とするアドレスを指定します。

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|------|----------------|-------|-----|---|
| 31~0 | BAA31~ BAA0 | すべて 0 | R/W | ブレークアドレス A チャンネル A のブレーク条件を指定する LAB または IAB のアドレスを格納します。 |

18. ユ - ザブレ - クコントロール - ラ (UBC)

18.2.2 ブレークアドレスマスクレジスタ A (BAMRA)

BAMRA は 32 ビットの読み出し / 書き込み可能なレジスタです。BAMRA は BARA によって指定されるブレークアドレスビットのうちマスクするビットを指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|----------------------|-------|-----|--|
| 31~0 | BAMA31 ~ BAMA0 | すべて 0 | R/W | ブレークアドレスマスク A BARA (BAA31~BAA0) によって指定されるチャンネル A のブレークアドレスビットのうちマスクするビットを指定します。 0 : ブレークアドレスビット BAA _n は、ブレーク条件に含まれる 1 : ブレークアドレスビット BAA _n はマスクされ、ブレーク条件に含まれない 【注】 n = 31 ~ 0 |

18.2.3 ブレークバスサイクルレジスタ A (BBRA)

BBRA は、チャンネル A のブレーク条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、(4) オペランドサイズを指定する 16 ビットの読み出し / 書き込み可能なレジスタです。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|--------------|--------|------------|--|
| 15~8 | - | 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 6 | CDA1 CDA0 | 0 0 | R/W R/W | L バスサイクル / I バスサイクルセレクト A チャンネル A ブレーク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は L バスサイクル 10 : ブレーク条件は I バスサイクル 11 : ブレーク条件は L バスサイクル |
| 5 4 | IDA1 IDA0 | 0 0 | R/W R/W | 命令フェッチ / データアクセスセレクト A チャンネル A ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は命令フェッチサイクル 10 : ブレーク条件はデータアクセスサイクル 11 : ブレーク条件は命令フェッチサイクルまたはデータアクセスサイクル |

| ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|--------------|--------|------------|--|
| 3 2 | RWA1 RWA0 | 0 0 | R/W R/W | 読み出し / 書き込みセレクト A チャンネル A ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00 : 条件比較を行わない 01 : ブレーク条件は読み出しサイクル 10 : ブレーク条件は書き込みサイクル 11 : ブレーク条件は読み出しサイクルまたは書き込みサイクル |
| 1 0 | SZA1 SZA0 | 0 0 | R/W R/W | オペランドサイズセレクト A チャンネル A ブレーク条件のバスサイクルのオペランドサイズを選択します。 00 : ブレーク条件にはオペランドサイズを含まない 01 : ブレーク条件はバイトアクセス 10 : ブレーク条件はワードアクセス 11 : ブレーク条件はロングワードアクセス |

18.2.4 ブレークアドレスレジスタ B (BARB)

BARB は、32 ビットの読み出し / 書き込み可能なレジスタです。BARB はチャンネル B のブレーク条件とするアドレスを指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|-----------------|-------|-----|---|
| 31~0 | BAB31 ~ BAB0 | すべて 0 | R/W | ブレークアドレス B チャンネル B のブレーク条件を指定する LAB または IAB のアドレスを格納します。 |

18.2.5 ブレークアドレスマスクレジスタ B (BAMRB)

BAMRB は 32 ビットの読み出し / 書き込み可能なレジスタです。BAMRB は BARB によって指定されるブレークアドレスビットのうちマスクするビットを指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|----------------------|-------|-----|--|
| 31~0 | BAMB31 ~ BAMB0 | すべて 0 | R/W | ブレークアドレスマスク B BARB (BAB31 ~ BAB0) によって指定されるチャンネル B のブレークアドレスビットのうちマスクするビットを指定します。 0 : ブレークアドレスビット BABn は、ブレーク条件に含まれる 1 : ブレークアドレスビット BABn はマスクされ、ブレーク条件に含まれない 【注】 n = 31 ~ 0 |

18. ユ - ザブレ - クコントロール - ラ (UBC)

18.2.6 ブレークデータレジスタ B (BDRB)

BDRB は、32 ビットの読み出し / 書き込み可能なレジスタです。BDRB はチャンネル B のブレーク条件とするデータを指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|-----------------|-------|-----|--|
| 31~0 | BDB31 ~ BDB0 | すべて 0 | R/W | ブレークデータビット B チャンネル B のブレーク条件を指定するデータを格納します。 BDRB は LDB または IDB のブレークデータを指定します。 |

- 【注】
1. ブレーク条件にデータバスの値を含める場合オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合、BDRB におけるブレークデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

18.2.7 ブレークデータマスクレジスタ B (BDMRB)

BDMRB は 32 ビットの読み出し / 書き込み可能なレジスタです。BDMRB は、BDRB によって指定されるブレークデータビットのうちマスクするビットを指定します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|----------------------|-------|-----|--|
| 31~0 | BDMB31 ~ BDMB0 | すべて 0 | R/W | ブレークデータマスク B BDRB (BDB31 ~ BDB0) によって指定されるチャンネル B のブレークデータビットのうちマスクするビットを指定します。 0 : ブレークデータビット BDBn は、ブレーク条件に含まれる 1 : ブレークデータビット BDBn はマスクされ、ブレーク条件に含まれない 【注】 n = 31 ~ 0 |

- 【注】
1. ブレーク条件にデータバスの値を含める場合オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合、BDMRB におけるブレークマスクデータとして、ビット 15~8 とビット 7~0 に同一のバイトデータをセットしてください。

18.2.8 ブレークバスサイクルレジスタ B (BBRB)

BBRB は、チャンネル B のブレーク条件として (1) L バスサイクルまたは I バスサイクル、(2) 命令フェッチまたはデータアクセス、(3) 読み出しまたは書き込み、および (4) オペランドサイズを指定する 16 ビットの読み出し / 書き込み可能なレジスタです。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|--------|--------------|--------|------------|--|
| 15~8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 6 | CDB1 CDB0 | 0 0 | R/W R/W | L バスサイクル / I バスサイクルセレクト B チャンネル B ブレーク条件のバスサイクルとして L バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は L バスサイクル 10: ブレーク条件は I バスサイクル 11: ブレーク条件は L バスサイクル |
| 5 4 | IDB1 IDB0 | 0 0 | R/W R/W | 命令フェッチ / データアクセスセレクト B チャンネル B ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は命令フェッチサイクル 10: ブレーク条件はデータアクセスサイクル 11: ブレーク条件は命令フェッチサイクルまたはデータアクセスサイクル |
| 3 2 | RWB1 RWB0 | 0 0 | R/W R/W | 読み出し / 書き込みセレクト B チャンネル B ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は読み出しサイクル 10: ブレーク条件は書き込みサイクル 11: ブレーク条件は読み出しサイクルまたは書き込みサイクル |
| 1 0 | SZB1 SZB0 | 0 0 | R/W R/W | オペランドサイズセレクト B チャンネル B ブレーク条件のバスサイクルのオペランドサイズを選択します。 00: ブレーク条件はオペランドサイズを含まない 01: ブレーク条件はバイトアクセス 10: ブレーク条件はワードアクセス 11: ブレーク条件はロングワードアクセス |

18.2.9 ブレークコントロールレジスタ (BRCR)

BRCR は次の条件を設定します。

1. チャンネルA、Bを2つの独立したチャンネル条件か、あるいは1つの連続した条件として使用するかを指定します。
2. ブレークを命令実行の前に設定するか後に設定するかを指定します。
3. チャンネルB比較条件に実行回数を含めるかどうかを指定します。
4. チャンネルB比較条件にデータバスの値を含めるかどうかを指定します。
5. PCトレースをイネーブルにします。

BRCR は、ブレーク条件一致フラグと種々のブレーク条件をセットするためのビットを持つ 32 ビットの読み出し / 書き込み可能なレジスタです。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|--------|-------|-----|---|
| 31~16 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 15 | SCMFCA | 0 | R/W | L バスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル A に対する L バスサイクル条件不一致 1 : チャンネル A に対する L バスサイクル条件一致 |
| 14 | SCMFCB | 0 | R/W | L バスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の L バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル B に対する L バスサイクル条件不一致 1 : チャンネル B に対する L バスサイクル条件一致 |
| 13 | SCMFDA | 0 | R/W | I バスサイクル条件一致フラグ A チャンネル A にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル A に対する I バスサイクル条件不一致 1 : チャンネル A に対する I バスサイクル条件一致 |
| 12 | SCMFDB | 0 | R/W | I バスサイクル条件一致フラグ B チャンネル B にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするにはこのビットに 0 を書き込みます。 0 : チャンネル B に対する I バスサイクル条件不一致 1 : チャンネル B に対する I バスサイクル条件一致 |

18. ユ - ザブレ - クontro - ラ (UBC)

| ビット | ビット名 | 初期値 | R/W | 説 明 |
|-----|------|-------|-----|--|
| 11 | PCTE | 0 | R/W | PC トレースイネーブル 0 : PC トレースを禁止 1 : PC トレースを許可 |
| 10 | PCBA | 0 | R/W | PC ブレークセレクト A チャンネル A に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル A の PC ブレークを命令実行前に設定 1 : チャンネル A の PC ブレークを命令実行後に設定 |
| 9、8 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 7 | DBEB | 0 | R/W | データブレークイネーブル B データベース条件がチャンネル B のブレーク条件に含まれるかどうかを選択します。 0 : データバス条件がチャンネル B のブレーク条件に含まれない 1 : データバス条件がチャンネル B のブレーク条件に含まれる |
| 6 | PCBB | 0 | R/W | PC ブレークセレクト B チャンネル B に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0 : チャンネル B の PC ブレークを命令実行前に設定 1 : チャンネル B の PC ブレークを命令実行後に設定 |
| 5、4 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 3 | SEQ | 0 | R/W | シーケンス条件セレクト チャンネル A および B の 2 つの条件が独立した条件であるか連続した条件であるかを選択します。 0 : 独立した条件下でチャンネル A とチャンネル B を比較 1 : 連続した条件下でチャンネル A とチャンネル B を比較 (チャンネル A、次にチャンネル B) |
| 2、1 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 0 | ETBE | 0 | R/W | 実行回数ブレークイネーブル チャンネル B に対してのみ実行回数ブレーク条件を有効にします。このビットが 1 の場合、生じたブレーク条件の数が BETR レジスタで指定した実行回数と等しくなったときユーザブレーク割り込みが出されます。 0 : チャンネル B の実行回数ブレーク条件を無効にする 1 : チャンネル B の実行回数ブレーク条件を有効にする |

18. ユ - ザブレ - クコントロール - ラ (UBC)

18.2.10 実行回数ブレークレジスタ (BETR)

BETR は 16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル B の実行回数ブレーク条件を有効にした場合、このレジスタでブレークを行う回数を指定します。実行回数最大値は $2^{12} - 1$ 回です。ブレーク条件を満たすたびに BETR は 1 ずつデクリメントされます。BETR が H'0001 になった後、ブレーク条件を満たすとブレークが発生します。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|----------------|-------|-----|---|
| 15~12 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 11~0 | BET11~ BET0 | すべて 0 | R/W | 実行回数 |

18.2.11 ブランチソースレジスタ (BRSR)

BRSR は、32 ビットの読み出し専用レジスタです。BRSR は、分岐元命令のアドレスのビット 27~0 を格納します。BRSR は、分岐発生時に 1 にセットされるフラグビットを持っています。このフラグビットは、BRSR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。4 本の BRSR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|----------------|-------|-----|---|
| 31 | SVF | 0 | R | BRSR 有効フラグ 分岐元のアドレスが格納されているかどうかを示します。このフラグは分岐発生時に 1 にセットされます。このフラグは、BRSR を読み出した場合、PC トレース禁止の状態から許可に設定した場合、パワーオンリセットのいずれかの条件で 0 にクリアされます。 0 : BRSR レジスタの値は無効 1 : BRSR レジスタの値は有効 |
| 30~28 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 27~0 | BSA27~ BSA0 | 不定 | R | 分岐元アドレス これらのビットは分岐元アドレスのビット 27~0 を格納します。 |

18.2.12 ブランチデスティネーションレジスタ (BRDR)

BRDR は、32 ビットの読み出し専用レジスタです。BRDR は、分岐先命令のアドレスのビット 27~0 を格納します。BRDR は、分岐発生時に 1 に設定されるフラグビットを持っています。このフラグビットは、BRDR の読み出し時、PC トレース禁止状態からの許可設定時、またはパワーオンリセットで 0 にクリアされます。その他のビットはリセットによっては初期化されません。4 本の BRDR レジスタはキュー構造を持ち、格納したレジスタは分岐ごとにシフトされます。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|----------------|-------|-----|--|
| 31 | DVF | 0 | R | BRDR 有効フラグ 分岐先アドレスが格納されているかどうかを示します。このフラグは分岐発生時に 1 にセットされます。このフラグは、BRDR を読み出した場合、PC トレース禁止の状態から許可に設定した場合、パワーオンリセットのいずれかの条件で 0 にクリアされます。 0 : BRDR レジスタの値は無効 1 : BRDR レジスタの値は有効 |
| 30~28 | - | すべて 0 | R | リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 |
| 27~0 | BDA27~ BDA0 | 不定 | R | 分岐元アドレス これらのビットは分岐先アドレスのビット 27~0 を格納します。 |

18.3 動作説明

18.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは次のとおりです。

- ブレイクアドレスは、ブレイクアドレスレジスタ (BARA、BARB) にセットします。マスクするアドレスはブレイクアドレスマスクレジスタ (BAMRA、BAMRB) にセットします。ブレイクデータはブレイクデータレジスタ (BDRB) にセットします。マスクするデータはブレイクデータマスクレジスタ (BDMRB) にセットします。バスブレイク条件は、ブレイクバスサイクルレジスタ (BBRA、BBRB) にセットします。BBRA とBBRBの3つの制御ビットペアには、Lバスサイクル/Iバスサイクルセレクト、命令フェッチ/データアクセスセレクト、読み出し/書き込みセレクトをセットします。この3つの制御ビットペアのどれか1つでも0の場合、ユーザブレイクは発生しません。ブレイク制御はBRCRのビットにセットします。他のすべてのブレイク関連レジスタの設定後にBBRA、BBRBの設定を行ってください。
- ブレイク条件を満足すると、UBCはユーザブレイク要求をCPUに通知するとともに、それぞれのチャンネルに対するLバス条件一致フラグ (SCMFCA、SCMFCB) およびIバス条件一致フラグ (SCMFDA、SCMFDB) をセットします。

18. ユ - ザブレ - クコントロール - ラ (UBC)

3. 設定条件の一致、不一致をチェックするため該当する条件一致フラグ (SCMFCA、SCMFDA、SCMFCB、SCMFDB) を使用することができます。フラグは条件一致によりセットされます。フラグを再び使用するためには、まず0を書き込みフラグをリセットしてください。
4. データアクセスブレークとそれに続く命令フェッチブレークがほぼ同時に発生する場合があります。CPUに対するブレーク割り込み要求は1つだけであってもこれらの2つのブレークチャンネル一致フラグは2つともセットされる場合があります。

18.3.2 命令フェッチサイクルでのブレーク

1. ブレークバスサイクルレジスタ (BBRA/BBRB) にLバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレーク条件はLバスの命令フェッチになります。命令実行の前にブレークするか後にブレークするかは、該当するチャンネルに対するブレークコントロールレジスタ (BRCR) のPCBA、PCBBビットで選択できます。ブレーク条件として命令フェッチサイクルを設定する場合、ブレークアドレスレジスタ (BARA/BARB) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチによるブレークがその命令を実行する前に行われるように設定されている状態で条件が一致した場合、命令がフェッチされて命令を実行することが確定した時点でブレークが発生します。したがって、この機能はオーバランによってフェッチされる命令 (分岐または割り込みの遷移中にフェッチされるが、実行されず廃棄される命令) には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレークが設定されると、ブレークを受け付ける最初の命令の実行の直前までブレークは発生しません。また、遅延スロット命令に対する実行前命令ブレーク、およびSLEEP命令に対する実行後命令ブレークも禁止されます。
3. 命令実行後ブレークを設定している場合、ブレーク条件と一致した命令が実行され、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、これはオーバランフェッチ命令では使用できません。遅延分岐命令に対してこの種のブレークが設定されると、ブレークを受け付ける最初の命令までブレークは発生しません。
4. 命令フェッチサイクルがチャンネルBに設定されるとブレークデータレジスタB (BDRB) は無視されます。したがって、命令フェッチサイクルのブレークにはブレークデータを設定する必要はありません。

18.3.3 データアクセスサイクルでのブ레이크

1. Lバスデータアクセスブ레이크は命令実行によるバスサイクルに対して発生します。
2. 表18.1にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 18.1 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

| アクセスサイズ | 比較アドレス |
|---------|--|
| ロングワード | ブ레이크アドレスレジスタのビット31~2とアドレスバスのビット31~2を比較 |
| ワード | ブ레이크アドレスレジスタのビット31~1とアドレスバスのビット31~1を比較 |
| バイト | ブ레이크アドレスレジスタのビット31~0とアドレスバスのビット31~0を比較 |

これは、たとえばブ레이크アドレスレジスタ (BARA/BARB) にアドレスH'00001003を設定するとき、ブ레이크条件を満足するバスサイクルには (他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. チャンネルBのブ레이크条件にデ - タ値が含まれる場合 :

ブ레이크条件にデ - タ値が含まれる場合、ブ레이크バスサイクルレジスタ (BBRA、BBRB) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。デ - タ値がブ레이크条件に含まれる場合、アドレス条件とデ - タ条件が一致するときブ레이크が発生します。バイトデータを指定するためにはブ레이크データレジスタB (BDRB) とブ레이크データマスクレジスタB (BDMRB) のビット15~8、ビット7~0の2バイトに同じデータをセットします。ワードまたはバイトのオペランドサイズを選択すると、BDRBとBDMRBのビット31~16は無視されます。

18.3.4 シーケンシャルブ레이크

1. BRRCRのSEQビットを1にセットすると、チャンネルAブ레이크条件が一致した後チャンネルBブ레이크条件が一致するときにシーケンシャルブ레이크が発生します。チャンネルAブ레이크条件が一致する前にチャンネルBブ레이크条件が一致すると、ユーザブ레이크は発生しません。また、チャンネルAとチャンネルBのブ레이크条件が同時に一致したときも、シーケンシャルブ레이크は発生しません。シーケンシャルブ레이크指定時、チャンネルA条件が一致し、かつチャンネルB条件が一致する前にチャンネルA一致をクリアしたい場合、BRRCRレジスタのSEQビットに0を書き込みます。
2. シーケンシャルブ레이크指定では、Lバス、またはIバスを選択でき、実行回数ブ레이크条件も指定することができます。例えば、実行回数ブ레이크条件を指定すると、チャンネルAブ레이크条件一致後、チャンネルBブ레이크条件がBETR = H'0001のときに一致するとブ레이크が発生します。

18.3.5 退避したプログラムカウンタ (PC) の値

ブレーク発生時、PC はスタック領域に退避されます。退避した PC 値はブレークの種類によって次のようになります。

1. 命令実行前ブレークを指定する場合：

退避されたプログラムカウンタ (PC) の値は、ブレーク条件と一致する命令のアドレスです。フェッチした命令は実行されず、その前にブレークが発生します。

2. 命令実行後ブレークを指定する場合：

退避されたPCの値は、ブレーク条件が一致する命令の次の命令のアドレスです。フェッチした命令は実行され、次の命令の実行の前にブレークが発生します。

3. アドレスのみのデータアクセスをブレーク条件として指定する場合：

PCの値は、ブレーク条件に一致した命令の直後の命令のアドレスです。条件に一致した命令が実行され、次の命令の実行前にブレークが発生します。

4. アドレス + データのデータアクセスをブレーク条件として指定する場合：

PCの値は、ブレーク処理の起動時にすでに実行された命令の次の命令の先頭アドレスです。データ値がブレーク条件に追加されると、ブレーク条件に一致した命令の2命令実行前までに割り込みが発生します。ブレークが発生する場所は正確に指定することができません。

18.3.6 PC トレース

1. PCトレースは、BRCRのPCTEを1にセットすることによってイネ - ブルになります。分岐 (分岐命令および割り込み) が発生すると、分岐元アドレスと分岐先アドレスがそれぞれBRSRとBRDRに格納されます。

2. 分岐元アドレスの値は、分岐の種類によって異なります。

(a) 分岐命令

分岐命令アドレス

(b) 割り込み、例外

割り込み、例外を受けつけた命令のアドレス。このアドレスはスタック領域に退避される復帰アドレスと等しくなります。

割り込み、例外処理ルーチンの先頭アドレスがBRDRに格納されます。

TRAPAは (b) に含まれます。

3. BRSRとBRDRは、4組のキュー構造からなっています。PCトレースレジスタに格納されたアドレスの読み出し時、キューの先頭を最初に読み出します。BRSRとBRDRはリードポイントを共有します。BRSR、BRDRの順で読み出してください。キューはBRDRの読み出し後のみシフトされます。BRCRのPCTEビットをオフからオンに切り替えると、キューの値は無効になります。

18.3.7 使用例

(1) Lバス命令フェッチサイクルに指定したブレーク条件

(A) レジスタ指定

BARA = H'00000404、BAMRA = H'00000000、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BR CR = H'00300400

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレークは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令の実行前に発生します。

(B) レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'0056、BARB = H'0003722E、BAMRB = H'00000000、
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、
BR CR = H'00000008

指定条件：チャンネル A / チャンネル B シーケンシャルモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：Lバス / 命令フェッチ (命令実行前) / 読み出し / ワード

アドレス H'00037226 の命令が実行された後、アドレス H'0003722E の命令実行前にユーザブレークが発生します。

18. ユーザブレックコントロール (UBC)

(C) レジスタ指定

BARA = H'00027128、BAMRA = H'00000000、BBRA = H'005A、BARB = H'00031415、BAMRB = H'00000000、
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00300000

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：L バス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L バス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル A では、命令フェッチは書き込みサイクルではないのでユーザブレイクは発生しません。チャンネル B では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(D) レジスタ指定

BARA = H'00037226、BAMRA = H'00000000、BBRA = H'005A、BARB = H'0003722E、BAMRB = H'00000000、
BBRB = H'0056、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000008

指定条件：チャンネル A / チャンネル B シーケンシャルモード

<チャンネル A>

アドレス：H'00037226、アドレスマスク：H'00000000

バスサイクル：L バス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル B>

アドレス：H'0003722E、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L バス / 命令フェッチ (命令実行前) / 読み出し / ワード

チャンネル A で命令フェッチは書き込みサイクルではないので、シーケンシャル条件は一致しません。したがって、ユーザブレイクは発生しません。

(E) レジスタ指定

BARA = H'00000500、BAMRA = H'00000000、BBRA = H'0057、BARB = H'00001000、BAMRB = H'00000000、
BBRB = H'0057、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00300001、BETR = H'0005

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

<チャンネル B>

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し / ロングワード

実行回数ブレークイネーブル (5 回)

チャンネル A では、ユーザブレークはアドレス H'00000500 の命令の実行前に発生します。チャンネル B では、ユーザブレークはアドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に発生します。

(F) レジスタ指定

BARA = H'00008404、BAMRA = H'00000FFF、BBRA = H'0054、BARB = H'00008010、BAMRB = H'00000006、
BBRB = H'0054、BDRB = H'00000000、BDMRB = H'00000000、BRCR = H'00000400

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00008404、アドレスマスク：H'00000FFF

バスサイクル：L パス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件には含まれません)

<チャンネル B>

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：L パス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件には含まれません)

ユーザブレークは、アドレス H'00008000 ~ H'00008FFE の命令の実行後、またはアドレス H'00008010 ~ H'00008016 の命令の実行前に発生します。

18. ユ - ザブレ - クontro - ラ (UBC)

(2) Lバスデータアクセスサイクルに指定したブレイク条件

(A) レジスタ指定

BARA = H'00123456、BAMRA = H'00000000、BBRA = H'0064、BARB = H'000ABCDE、BAMRB = H'000000FF、
BBRB = H'006A、BDRB = H'0000A512、BDMRB = H'00000000、BR CR = H'00000080

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00123456、アドレスマスク：H'00000000

バスサイクル：Lバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'000ABCDE、アドレスマスク：H'000000FF

デ - タ：H'0000A512、デ - タマスク：H'00000000

バスサイクル：Lバス / データアクセス / 書き込み / ワード

チャンネル A では、ユーザブレイクは、アドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで発生します。チャンネル B では、ユーザブレイクは H'000ABC00 ~ H'000ABCFE にワード H'A512 を書き込むときに発生します。

(3) Iバスデータアクセスサイクルに指定されたブレイク条件

レジスタ指定：

BARA = H'00314156、BAMRA = H'00000000、BBRA = H'0094、BARB = H'00055555、BAMRB = H'00000000、
BBRB = H'00A9、BDRB = H'00007878、BDMRB = H'0000F0F0、BR CR = H'00000080

指定条件：チャンネル A / チャンネル B 独立モード

<チャンネル A>

アドレス：H'00314156、アドレスマスク：H'00000000

バスサイクル：Iバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル B>

アドレス：H'00055555、アドレスマスク：H'00000000

デ - タ：H'00000078、デ - タマスク：H'0000000F

バスサイクル：Iバス / データアクセス / 書き込み / バイト

チャンネル A では、ユーザブレイクはメモリ空間のアドレス H'00314156 に対する命令フェッチで発生します。チャンネル B では、ユーザブレイクは Iバス上でバイト H'7* をアドレス H'00055555 に書き込むときに発生します。

18.3.8 注意事項

1. UBCのレジスタの読み出しまたは書き込みは、Iバス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはLバスとIバスサイクルを同じチャンネルで監視することはできません。
3. シーケンシャルブレークの指定における注意事項は、次のとおりです。

シーケンシャルブレークの設定時、Aチャンネル一致が発生後Bチャンネル一致が発生するとき、条件一致が発生します。したがって、チャンネルA一致とチャンネルB一致が同時に発生するバスサイクルが設定されても、ブレークは発生しません。
4. ユーザブレークと他の例外が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレークは発生しません。
 - 命令実行前ブレークは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレークやデータアクセスブレークは、より優先度の高い再実行型の例外（命令実行前ブレークを含む）と同時に発生した場合、再実行型の例外が受け付けられ条件一致を示すフラグもセットされません（ただし、5項に示す例外事項があります）。例外処理により再実行型の例外要因が解消され、同命令が再実行されて完了する時点で改めてブレークが発生し、フラグがセットされます。
 - 命令実行後ブレークやデータアクセスブレークが、より優先度の高い完了型の例外（TRAPA）と同時に発生した場合は、ブレークは発生しませんが条件一致を示すフラグはセットされます。
5. 4項の例外事項として、次の注意事項があります。

データアクセスによりCPUアドレスエラーが発生する命令において、命令実行後ブレークやデータアクセスブレークが成立する場合は、ブレークに優先してCPUアドレスエラーが発生します。この際、UBCの条件一致フラグもセットされます。
6. 遅延スロットでブレークが発生する場合は、次の注意事項があります。

RTE命令の遅延スロット命令に対して命令実行前ブレークを設定した場合は、RTE命令の分岐先の実行前までブレークは発生しません。
7. UBCモジュールスタンバイ時は、ユーザブレーク機能を使用できません。また、モジュールスタンバイ中はUBCレジスタを書き込みしないでください。読み書きした場合は、その値は保証されません。

18. ユ - ザブレ - クントロ - ラ (UBC)

19. ユーザデバッグインタフェース (H-UDI)

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、ユーザデバッグインタフェース(H-UDI)を内蔵しています。

本章では、H-UDI のバウンダリスキャン機能について説明します。H-UDI のエミュレータ専用機能については各エミュレータのユーザズマニュアルを参照してください。

19.1 特長

ユーザデバッグインタフェース(H-UDI)は、JTAG(Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary - Scan Architecture) に準拠したシリアル入出力インタフェースです。

本 LSI の H-UDI はバウンダリスキャンをサポートし、エミュレータとの接続にも使用されます。

エミュレータを使用する場合は、H-UDI の機能を使用しないでください。エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

H-UDI のブロック図を図 19.1 に示します。

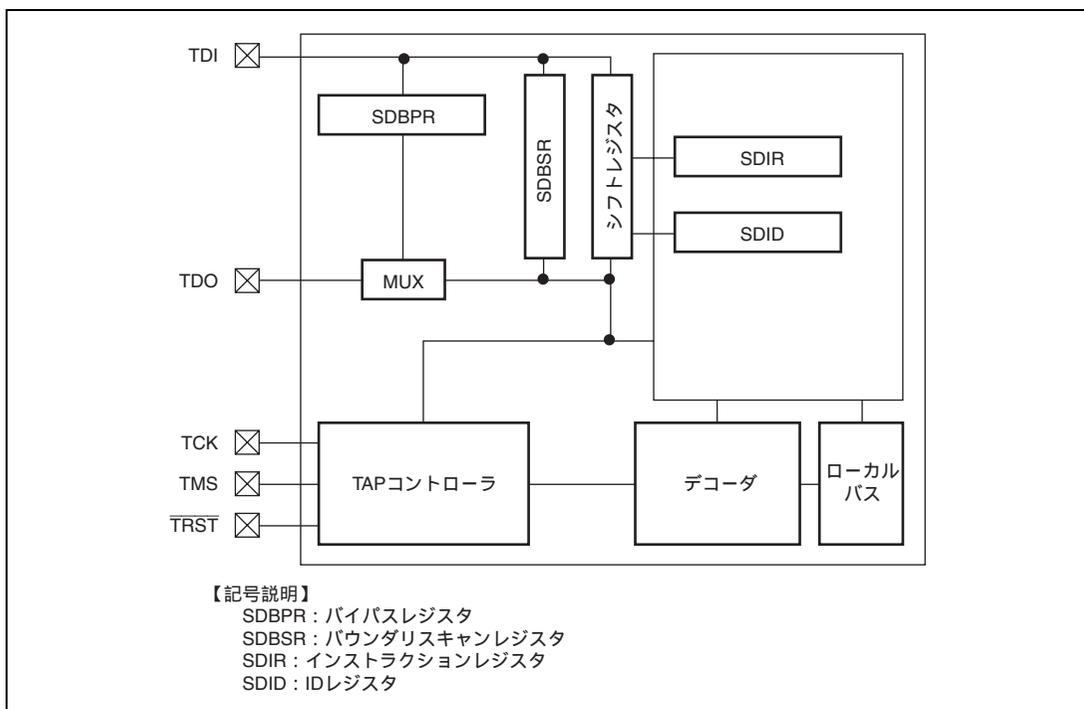


図 19.1 H-UDI のブロック図

19.2 入出力端子

表 19.1 に H-UDI の端子構成を示します。

表 19.1 端子構成

| 名称 | 入出力 | 説明 |
|-------|-----|---|
| TCK | 入力 | シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。 |
| TMS | 入力 | モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは JTAG 規格 (IEEE Std.1149.1) に準拠しています。 |
| TRST | 入力 | リセット入力端子 TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。これは JTAG の規格と異なります。リセット構成の詳細については「19.4.2 リセット構成」を参照してください。 |
| TDI | 入力 | シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。 |
| TDO | 出力 | シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングは SDIR に設定されているコマンドの種類により異なります。詳細については、「19.3.2 インストラクションレジスタ (SDIR)」を参照してください。 |
| ASEMD | 入力 | ASE モードセレクト端子 $\overline{\text{ASEMD}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{RES}}$ 端子アサート期間以外で、 $\overline{\text{ASEMD}}$ 端子への入力レベルを変化させないでください。 |

19.3 レジスタの説明

H-UDI には以下のレジスタがあります。レジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 20 章 レジスタ一覧」を参照してください。

- バイパスレジスタ (SDBPR)
- インストラクションレジスタ (SDIR)
- バウンダリスキャンレジスタ (SDBSR)
- IDレジスタ (SDID)

19.3.1 バイパスレジスタ (SDBPR)

SDBPR は CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR をバイパスモードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

19.3.2 インストラクションレジスタ (SDIR)

SDIR は、CPU からは読み出しのみ可能な 16 ビットのレジスタです。初期状態でこのレジスタは JTAG IDCODE になっています。 $\overline{\text{TRST}}$ のアサートまたは、TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|-------|---------|-------|-----|---|
| 15~13 | TI7~TI5 | すべて 1 | R | テストインストラクション 7~0 H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 19.2 を参照してください。 |
| 12 | TI4 | 0 | R | |
| 11~8 | TI3~TI0 | すべて 1 | R | |
| 7~2 | - | すべて 1 | R | リザ - ビットです。読み出すと常に 1 が読み出されます。 |
| 1 | - | 0 | R | リザ - ビットです。読み出すと常に 0 が読み出されます。 |
| 0 | - | 1 | R | リザ - ビットです。読み出すと常に 1 が読み出されます。 |

表 19.2 H-UDI コマンド

| ビット 15~8 | | | | | | | | 説明 |
|----------|-----|-----|-----|-----|-----|-----|-----|---------------------|
| TI7 | TI6 | TI5 | TI4 | TI3 | TI2 | TI1 | TI0 | |
| 0 | 0 | 0 | 0 | - | - | - | - | JTAG EXTEST |
| 0 | 0 | 1 | 0 | - | - | - | - | JTAG CLAMP |
| 0 | 0 | 1 | 1 | - | - | - | - | JTAG HIGHZ |
| 0 | 1 | 0 | 0 | - | - | - | - | JTAG SAMPLE/PRELOAD |
| 0 | 1 | 1 | 0 | - | - | - | - | H-UDI リセット、ネグート |
| 0 | 1 | 1 | 1 | - | - | - | - | H-UDI リセット、アサート |
| 1 | 0 | 1 | - | - | - | - | - | H-UDI 割り込み |
| 1 | 1 | 1 | 0 | - | - | - | - | JTAG IDCODE (初期値) |
| 1 | 1 | 1 | 1 | - | - | - | - | JTAG BYPASS |
| 上記以外 | | | | | | | | 予約 |

19.3.3 バウンダリスキャンレジスタ (SDBSR)

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置された 333 ビットのシフトレジスタです。初期値は不定です。CPU からはアクセスできません。

EXTEST、SAMPLE/PRELOAD、CLAMP、HIGHZ コマンドを用いて、JTAG 規格に準拠したバウンダリスキャンテストを行うことができます。表 19.3 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

19. ユーザデバッグインタフェース (H-UDI)

表 19.3 外部端子とバウンダリスキャンレジスタの対応

| ビット名 | 端子名 | 入出力 | ビット名 | 端子名 | 入出力 |
|------|--------------------|-----|------|--------------------|---------|
| | from TDI | | 297 | PD05/IRQ5/TxD2/- | OUT |
| 332 | PD06/IRQ6/RxD2/- | IN | 296 | PD04/IRQ4/SCK1/- | OUT |
| 331 | PD05/IRQ5/TxD2/- | IN | 295 | PD03/IRQ3/RxD1/- | OUT |
| 330 | PD04/IRQ4/SCK1/- | IN | 294 | PD02/IRQ2/TxD1/- | OUT |
| 329 | PD03/IRQ3/RxD1/- | IN | 293 | PD01/IRQ1/-/- | OUT |
| 328 | PD02/IRQ2/TxD1/- | IN | 292 | PD00/IRQ0/-/- | OUT |
| 327 | PD01/IRQ1/-/- | IN | 291 | PE08/HIFCS | OUT |
| 326 | PD00/IRQ0/-/- | IN | 290 | PE24/HIFD15/CTS1/- | OUT |
| 325 | PE08/HIFCS | IN | 289 | PE23/HIFD14/RTS1/- | OUT |
| 324 | PE24/HIFD15/CTS1/- | IN | 288 | PE22/HIFD13/CTS0/- | OUT |
| 323 | PE23/HIFD14/RTS1/- | IN | 287 | PE21/HIFD12/RTS0/- | OUT |
| 322 | PE22/HIFD13/CTS0/- | IN | 286 | PE20/HIFD11/SCK1/- | OUT |
| 321 | PE21/HIFD12/RTS0/- | IN | 285 | PE19/HIFD10/RxD1/- | OUT |
| 320 | PE20/HIFD11/SCK1/- | IN | 284 | PE18/HIFD09/TxD1/- | OUT |
| 319 | PE19/HIFD10/RxD1/- | IN | 283 | PE17/HIFD08/SCK0/- | OUT |
| 318 | PE18/HIFD09/TxD1/- | IN | 282 | PE16/HIFD07/RxD0/- | OUT |
| 317 | PE17/HIFD08/SCK0/- | IN | 281 | PE15/HIFD06/TxD0/- | OUT |
| 316 | PE16/HIFD07/RxD0/- | IN | 280 | PE14/HIFD05 | OUT |
| 315 | PE15/HIFD06/TxD0/- | IN | 279 | PE13/HIFD04 | OUT |
| 314 | PE14/HIFD05 | IN | 278 | PE12/HIFD03 | OUT |
| 313 | PE13/HIFD04 | IN | 277 | PE11/HIFD02 | OUT |
| 312 | PE12/HIFD03 | IN | 276 | PE10/HIFD01 | OUT |
| 311 | PE11/HIFD02 | IN | 275 | PE09/HIFD00 | OUT |
| 310 | PE10/HIFD01 | IN | 274 | PE07/HIFRS | OUT |
| 309 | PE09/HIFD00 | IN | 273 | PE06/HIFWR | OUT |
| 308 | PE07/HIFRS | IN | 272 | PE05/HIFRD | OUT |
| 307 | PE06/HIFWR | IN | 271 | PE04/HIFINT | OUT |
| 306 | PE05/HIFRD | IN | 270 | PE03/HIFMD | OUT |
| 305 | PE04/HIFINT | IN | 269 | PE02/HIFDREQ | OUT |
| 304 | PE03/HIFMD | IN | 268 | PE01/HIFRDY | OUT |
| 303 | PE02/HIFDREQ | IN | 267 | PE00/HIFEBL | OUT |
| 302 | PE01/HIFRDY | IN | 266 | PC17/MDC/-/- | OUT |
| 301 | PE00/HIFEBL | IN | 265 | PC16/MDIO/-/- | OUT |
| 300 | PC17/MDC/-/- | IN | 264 | PD06/IRQ6/RxD2/- | Control |
| 299 | PC16/MDIO/-/- | IN | 263 | PD05/IRQ5/TxD2/- | Control |
| 298 | PD06/IRQ6/RxD2/- | OUT | 262 | PD04/IRQ4/SCK1/- | Control |

19. ユーザデバッグインタフェース (H-UDI)

| ビット名 | 端子名 | 入出力 | ビット名 | 端子名 | 入出力 |
|------|--------------------|---------|------|------------------|-----|
| 261 | PD03/IRQ3/RxD1/- | Control | 224 | PC03/MIIRXD3/-/- | IN |
| 260 | PD02/IRQ2/TxD1/- | Control | 223 | PC10/RX_CLK/-/- | IN |
| 259 | PD01/IRQ1/-/- | Control | 222 | PC18/LNKSTA | IN |
| 258 | PD00/IRQ0/-/- | Control | 221 | PC11/TX_ER/-/- | IN |
| 257 | PE08/HIFCS | Control | 220 | PC13/TX_CLK/-/- | IN |
| 256 | PE24/HIFD15/CTS1/- | Control | 219 | PC04/MIITXD0/-/- | IN |
| 255 | PE23/HIFD14/RTS1/- | Control | 218 | PC05/MIITXD1/-/- | IN |
| 254 | PE22/HIFD13/CTS0/- | Control | 217 | PC06/MIITXD2/-/- | IN |
| 253 | PE21/HIFD12/RTS0/- | Control | 216 | PC07/MIITXD3/-/- | IN |
| 252 | PE20/HIFD11/SCK1/- | Control | 215 | PC12/TX_EN/-/- | IN |
| 251 | PE19/HIFD10/RxD1/- | Control | 214 | PC14/COL/-/- | IN |
| 250 | PE18/HIFD09/TxD1/- | Control | 213 | PC20/WOL | IN |
| 249 | PE17/HIFD08/SCK0/- | Control | 212 | PC19/EXOUT | IN |
| 248 | PE16/HIFD07/RxD0/- | Control | 211 | MD3 | IN |
| 247 | PE15/HIFD06/TxD0/- | Control | 210 | MD5 | IN |
| 246 | PE14/HIFD05 | Control | 209 | NMI | IN |
| 245 | PE13/HIFD04 | Control | 208 | TESTMD | IN |
| 244 | PE12/HIFD03 | Control | 207 | PC09/RX_ER/-/- | OUT |
| 243 | PE11/HIFD02 | Control | 206 | PC15/CRS/-/- | OUT |
| 242 | PE10/HIFD01 | Control | 205 | PC08/RX_DV/-/- | OUT |
| 241 | PE09/HIFD00 | Control | 204 | PC00/MIIRXD0/-/- | OUT |
| 240 | PE07/HIFRS | Control | 203 | PC01/MIIRXD1/-/- | OUT |
| 239 | PE06/HIFWR | Control | 202 | PC02/MIIRXD2/-/- | OUT |
| 238 | PE05/HIFRD | Control | 201 | PC03/MIIRXD3/-/- | OUT |
| 237 | PE04/HIFINT | Control | 200 | PC10/RX_CLK/-/- | OUT |
| 236 | PE03/HIFMD | Control | 199 | PC18/LNKSTA | OUT |
| 235 | PE02/HIFDREQ | Control | 198 | PC11/TX_ER/-/- | OUT |
| 234 | PE01/HIFRDY | Control | 197 | PC13/TX_CLK/-/- | OUT |
| 233 | PE00/HIFEFL | Control | 196 | PC04/MIITXD0/-/- | OUT |
| 232 | PC17/MDC/-/- | Control | 195 | PC05/MIITXD1/-/- | OUT |
| 231 | PC16/MDIO/-/- | Control | 194 | PC06/MIITXD2/-/- | OUT |
| 230 | PC09/RX_ER/ | IN | 193 | PC07/MIITXD3/-/- | OUT |
| 229 | PC15/CRS/ | IN | 192 | PC12/TX_EN/-/- | OUT |
| 228 | PC08/RX_DV/ | IN | 191 | PC14/COL/-/- | OUT |
| 227 | PC00/MIIRXD0/ | IN | 190 | PC20/WOL | OUT |
| 226 | PC01/MIIRXD1/ | IN | 189 | PC19/EXOUT | OUT |
| 225 | PC02/MIIRXD2/ | IN | 188 | TESTOUT | OUT |

19. ユーザデバッグインタフェース (H-UDI)

| ビット名 | 端子名 | 入出力 | ビット名 | 端子名 | 入出力 |
|------|------------------|---------|------|--------------|---------|
| 187 | PC09/RX_ER/-/- | Control | 150 | D09 | IN |
| 186 | PC15/CRS/-/- | Control | 149 | D08 | IN |
| 185 | PC08/RX_DV/-/- | Control | 148 | PB02/CKE | IN |
| 184 | PC00/MIIRXD0/-/- | Control | 147 | PB03/CAS | IN |
| 183 | PC01/MIIRXD1/-/- | Control | 146 | PB04/RAS | IN |
| 182 | PC02/MIIRXD2/-/- | Control | 145 | PB12/CS3 | IN |
| 181 | PC03/MIIRXD3/-/- | Control | 144 | D00 | OUT |
| 180 | PC10/RX_CLK/-/- | Control | 143 | D01 | OUT |
| 179 | PC18/LNKSTA | Control | 142 | D02 | OUT |
| 178 | PC11/TX_ER/-/- | Control | 141 | D03 | OUT |
| 177 | PC13/TX_CLK/-/- | Control | 140 | D04 | OUT |
| 176 | PC04/MIITXD0/-/- | Control | 139 | D05 | OUT |
| 175 | PC05/MIITXD1/-/- | Control | 138 | D06 | OUT |
| 174 | PC06/MIITXD2/-/- | Control | 137 | D07 | OUT |
| 173 | PC07/MIITXD3/-/- | Control | 136 | D15 | OUT |
| 172 | PC12/TX_EN/-/- | Control | 135 | D14 | OUT |
| 171 | PC14/COL/-/- | Control | 134 | D13 | OUT |
| 170 | PC20/WOL | Control | 133 | D12 | OUT |
| 169 | PC19/EXOUT | Control | 132 | D11 | OUT |
| 168 | TESTOUT | Control | 131 | D10 | OUT |
| 167 | MD0 | IN | 130 | D09 | OUT |
| 166 | MD1 | IN | 129 | D08 | OUT |
| 165 | D00 | IN | 128 | WE0,DQMLL | OUT |
| 164 | D01 | IN | 127 | WE1,DQMLU,WE | OUT |
| 163 | D02 | IN | 126 | RDWR | OUT |
| 162 | D03 | IN | 125 | PB02/CKE | OUT |
| 161 | D04 | IN | 124 | PB03/CAS | OUT |
| 160 | D05 | IN | 123 | PB04/RAS | OUT |
| 159 | D06 | IN | 122 | PB12/CS3 | OUT |
| 158 | D07 | IN | 121 | A00 | OUT |
| 157 | MD2 | IN | 120 | A01 | OUT |
| 156 | D15 | IN | 119 | A02 | OUT |
| 155 | D14 | IN | 118 | D00 | Control |
| 154 | D13 | IN | 117 | D01 | Control |
| 153 | D12 | IN | 116 | D02 | Control |
| 152 | D11 | IN | 115 | D03 | Control |
| 151 | D10 | IN | 114 | D04 | Control |

19. ユーザデバッグインタフェース (H-UDI)

| ビット名 | 端子名 | 入出力 | ビット名 | 端子名 | 入出力 |
|------|---|---------|------|---|-----|
| 113 | D05 | Control | 76 | PA22/A22 | IN |
| 112 | D06 | Control | 75 | PA23/A23 | IN |
| 111 | D07 | Control | 74 | PA24/A24 | IN |
| 110 | D15 | Control | 73 | PA25/A25 | IN |
| 109 | D14 | Control | 72 | PD07/IRQ7/SCK2/- | IN |
| 108 | D13 | Control | 71 | A03 | OUT |
| 107 | D12 | Control | 70 | A04 | OUT |
| 106 | D11 | Control | 69 | A05 | OUT |
| 105 | D10 | Control | 68 | A06 | OUT |
| 104 | D09 | Control | 67 | A07 | OUT |
| 103 | D08 | Control | 66 | A08 | OUT |
| 102 | $\overline{WE0}$,DQMLL | Control | 65 | A09 | OUT |
| 101 | $\overline{WE1}$,DQMLU, \overline{WE} | Control | 64 | A10 | OUT |
| 100 | RDWR | Control | 63 | A11 | OUT |
| 99 | PB02/CKE | Control | 62 | A12 | OUT |
| 98 | PB03/CAS | Control | 61 | A13 | OUT |
| 97 | PB04/RAS | Control | 60 | A14 | OUT |
| 96 | PB12/CS3 | Control | 59 | A15 | OUT |
| 95 | A00 | Control | 58 | PB13/ \overline{BS} | OUT |
| 94 | A01 | Control | 57 | $\overline{CS0}$ | OUT |
| 93 | A02 | Control | 56 | PB11/ $\overline{CS4}$ | OUT |
| 92 | PB13/ \overline{BS} | IN | 55 | \overline{RD} | OUT |
| 91 | PB11/ $\overline{CS4}$ | IN | 54 | PB00/ \overline{WAIT} | OUT |
| 90 | PB00/ \overline{WAIT} | IN | 53 | PB05/ \overline{CIORD} | OUT |
| 89 | PB05/ \overline{CIORD} | IN | 52 | PB06/ \overline{CIOWR} | OUT |
| 88 | PB06/ \overline{CIOWR} | IN | 51 | PB01/ $\overline{IOIS16}$ | OUT |
| 87 | PB01/ $\overline{IOIS16}$ | IN | 50 | PB09/ $\overline{CE2A}$ | OUT |
| 86 | PB09/ $\overline{CE2A}$ | IN | 49 | PB10/ $\overline{CS5B}$, $\overline{CE1A}$ | OUT |
| 85 | PB10/ $\overline{CS5B}$, $\overline{CE1A}$ | IN | 48 | PB07/ $\overline{CE2B}$ | OUT |
| 84 | PB07/ $\overline{CE2B}$ | IN | 47 | PB08/ $\overline{CS6B}$, $\overline{CE1B}$ | OUT |
| 83 | PB08/ $\overline{CS6B}$, $\overline{CE1B}$ | IN | 46 | PA16/A16 | OUT |
| 82 | PA16/A16 | IN | 45 | PA17/A17 | OUT |
| 81 | PA17/A17 | IN | 44 | PA18/A18 | OUT |
| 80 | PA18/A18 | IN | 43 | PA19/A19 | OUT |
| 79 | PA19/A19 | IN | 42 | PA20/A20 | OUT |
| 78 | PA20/A20 | IN | 41 | PA21/A21 | OUT |
| 77 | PA21/A21 | IN | 40 | PA22/A22 | OUT |

19. ユーザデバッグインタフェース (H-UDI)

| ビット名 | 端子名 | 入出力 | ビット名 | 端子名 | 入出力 |
|------|------------------|---------|--------|------------------|---------|
| 39 | PA23/A23 | OUT | 18 | PB00/WAIT | Control |
| 38 | PA24/A24 | OUT | 17 | PB05/CIORD | Control |
| 37 | PA25/A25 | OUT | 16 | PB06/CIOWR | Control |
| 36 | PD07/IRQ7/SCK2/- | OUT | 15 | PB01/IOIS16 | Control |
| 35 | A03 | Control | 14 | PB09/CE2A | Control |
| 34 | A04 | Control | 13 | PB10/CS5B,CE1A | Control |
| 33 | A05 | Control | 12 | PB07/CE2B | Control |
| 32 | A06 | Control | 11 | PB08/CS6B,CE1B | Control |
| 31 | A07 | Control | 10 | PA16/A16 | Control |
| 30 | A08 | Control | 9 | PA17/A17 | Control |
| 29 | A09 | Control | 8 | PA18/A18 | Control |
| 28 | A10 | Control | 7 | PA19/A19 | Control |
| 27 | A11 | Control | 6 | PA20/A20 | Control |
| 26 | A12 | Control | 5 | PA21/A21 | Control |
| 25 | A13 | Control | 4 | PA22/A22 | Control |
| 24 | A14 | Control | 3 | PA23/A23 | Control |
| 23 | A15 | Control | 2 | PA24/A24 | Control |
| 22 | PB13/BS | Control | 1 | PA25/A25 | Control |
| 21 | CS0 | Control | 0 | PD07/IRQ7/SCK2/- | Control |
| 20 | PB11/CS4 | Control | to TDO | | |
| 19 | RD | Control | | | |

【注】 Control はローアクティブの信号です。

Control をローにすることで、該当ピンを OUT の値でドライブします。

19.3.4 ID レジスタ (SDID)

SDID は、SDIDH と SDIDL を連結した 32 ビットレジスタで、おのの CPU から読み出し可能な 16 ビットのレジスタです。CPU からは、読み出しのみ可能です。

H-UDI 端子側からは、IDCODE のコマンドがセットされ、TAP のステートが Shift-DR のとき、TDO から読み出し可能です。書き込みはできません。

| ビット | ビット名 | 初期値 | R/W | 説明 |
|------|------------|-------|-----|---|
| 31~0 | DID31~DID0 | 説明を参照 | R | デバイス ID31~0 JTAG に規定されている ID レジスタです。本 LSI では、H'002B200F (初期値) です。ただし、上位 4 ビットはチップのバージョンにより変更されることがあります。 SDIDH はビット 31~16 に対応します。 SDIDL はビット 15~0 に対応します。 |

19.4 動作説明

19.4.1 TAP コントローラ

図 19.2 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

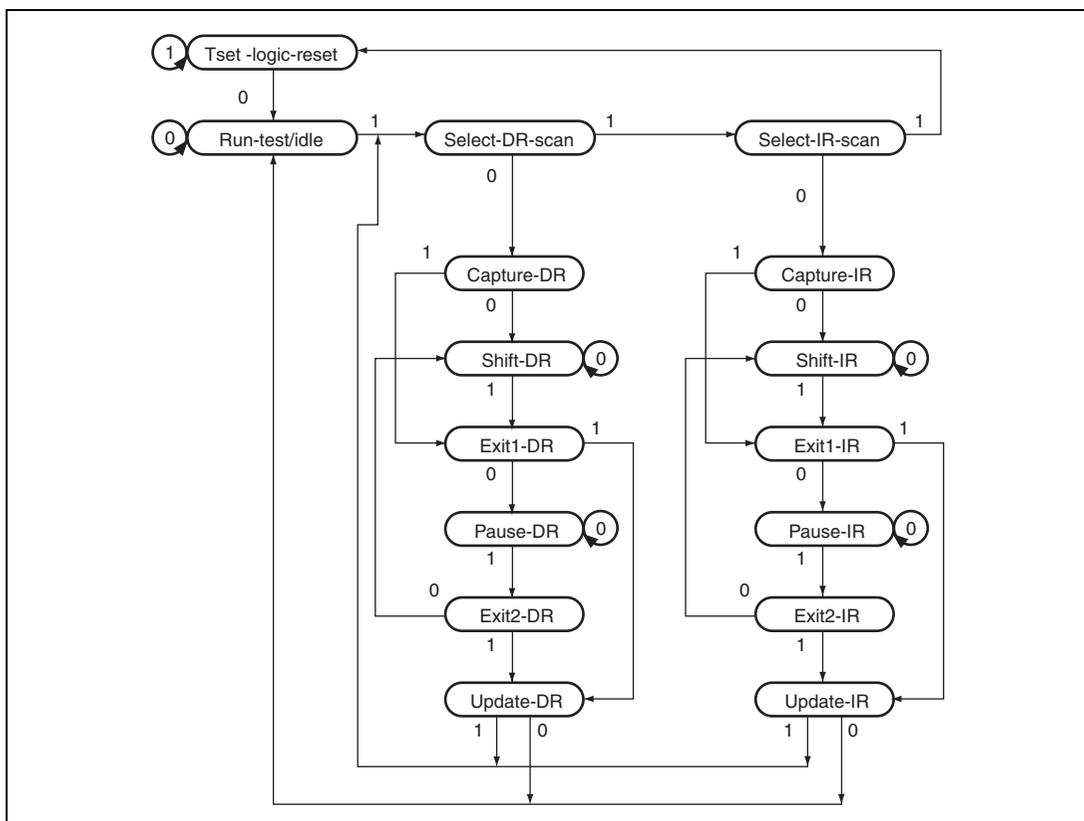


図 19.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「19.4.3 TDO 出力タイミング」を参照してください。また、TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。TRST = 0 で TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

19. ユーザデバッグインタフェース (H-UDI)

19.4.2 リセット構成

表 19.4 リセット構成

| $\overline{\text{ASEMD}}^{*1}$ | RES | $\overline{\text{TRST}}$ | チップ状態 |
|--------------------------------|-----|--------------------------|------------------------|
| H | L | L | 通常リセットおよびH-UDI リセット |
| | | H | 通常リセット |
| | H | L | H-UDI リセットのみ |
| | | H | 通常動作 |
| L | L | L | リセットホールド ^{*2} |
| | | H | 通常リセット |
| | H | L | H-UDI リセットのみ |
| | | H | 通常動作 |

【注】 *1 通常モードと ASE モードの設定を選択

$\overline{\text{ASEMD}} = \text{H}$ 、通常モード

$\overline{\text{ASEMD}} = \text{L}$ 、ASE モード

*2 ASE モード時、リセットホールドは一定サイクル期間、RES と $\overline{\text{TRST}}$ 端子をローレベルにセットすることによって有効になります。この状態で RES をハイレベルにセットしても CPU は起動しません。その後 $\overline{\text{TRST}}$ をハイレベルにセットすると、H-UDI 動作が有効になりますが CPU は起動しません。リセットホールド状態は次のようにして解除されます。

- ・別の RES アサート (パワーオンリセット)
- ・ $\overline{\text{TRST}}$ の再アサート

19.4.3 TDO 出力タイミング

TDO から出力するデータの切り替えタイミングは SDIR に設定されているコマンドの種類により切り替わります。JTAG コマンド (EXTEST、CLAMP、HIGHZ、SAMPLE/PRELOAD、IDCODE、BYPASS) が設定されているときには、TCK の立ち下がりエッジに同期して変化します。これは JTAG 規格のタイミングです。H-UDI コマンド (H-UDI リセットネガート、H-UDI リセットアサート、H-UDI 割り込み) が設定されているときには、JTAG 規格より半サイクル早い TCK の立ち上がりエッジに同期して出力されます。

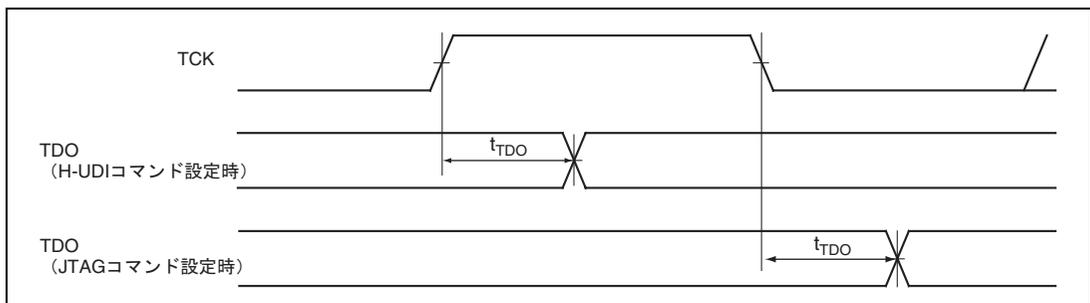


図 19.3 H-UDI データ転送タイミング

19.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをリセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドを入力することにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために RES 端子をローレベルに保つ時間と同じです。

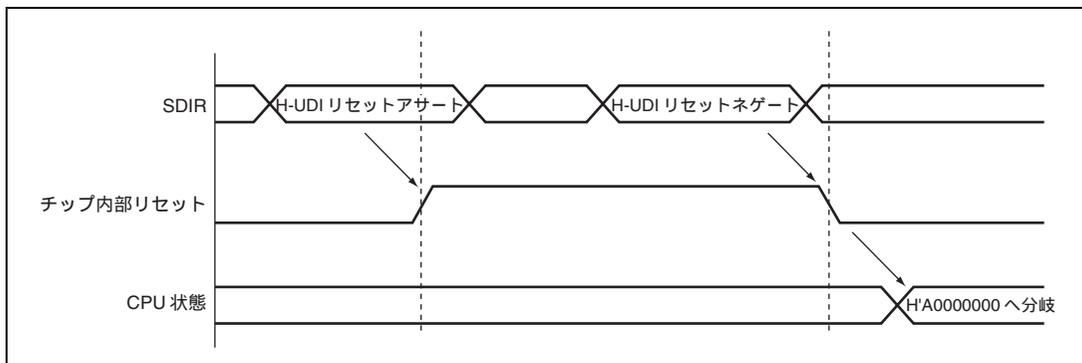


図 19.4 H-UDI リセット

19.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、VBR 値とオフセットの和に基づくアドレスに分岐が発生し、RTE 命令で復帰します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、スタンバイモードでは、H-UDI 割り込みは受け付けられません。

19.5 バウンダリスキャン

H-UDI から SDIR にコマンドを設定することにより、H-UDI 端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

19.5.1 サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、EXTEST) と 3 つのオプション命令 (IDCODE、CLAMP、HIGHZ) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令はシフトバスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードの上位 4 ビットは 1111 です。

19. ユーザデバッグインタフェース (H-UDI)

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。命令コードの上位 4 ビットは 0100 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出します。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する）ことになります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N - 1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。（シフト動作で入れ換えます）。

命令コードの上位 4 ビットは 0000 です。

(4) IDCODE

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている IDCODE モードに設定できます。H-UDI を初期化した場合 ($\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする) IDCODE モードになります。

(5) CLAMP、HIGHZ

H-UDI 端子から SDIR にコマンドを設定することにより H-UDI 端子を JTAG で規定されている CLAMP、HIGHZ モードに設定できます。

19.5.2 注意事項

1. 以下の端子はバウンダリスキャンの対象外です。
クロック関連 (EXTAL、XTAL、CKIO、CK_PHY)
システム、E10A関連 ($\overline{\text{RES}}$ 、 $\overline{\text{ASEMD}}$)
H-UDI関連 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$)
2. EXTEST、CLAMP、HIGHZコマンドを設定時には、 $\overline{\text{RES}}$ 端子はローレベル固定にしてください。
3. BYPASS、IDCODEを除くバウンダリスキャン実行中は、 $\overline{\text{ASEMD}}$ 端子をハイレベルに固定してください。

19.6 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド (BYPASSなど) をいったん設定してから再度コマンドを設定する必要があります。
2. スタンバイモードではチップ動作が中断されるためH-UDIコマンドは受け付けられません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. H-UDIはエミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDIの機能は使用できません。

19. ユーザデバッグインタフェース (H-UDI)

20. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- リザーブアドレスは、レジスタ名称部を「 - 」で表記しています。
リザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. ビット構成一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

20. レジスタ一覧

20.1 レジスタアドレス一覧 (アドレス順)

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

ただし、B:8 ビットアクセス時、W:16 ビットアクセス時、L:32 ビットアクセス時の値です。

【注】 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスした時の動作および継続する動作については保証できませんので、アクセスしないようにしてください。

| レジスタ名称 | 略称 | ビット数 | アドレス | モジュール | アクセス サイズ |
|---------------------|--------------------|------|-----------|-------|-------------|
| キャッシュ制御レジスタ 3 | CCR3* ² | 32 | HF80000B4 | キャッシュ | 32 |
| ポート A データレジスタ H | PADRH | 16 | HF8050000 | I/O | 8/16 |
| ポート A・IO レジスタ H | PAIORH | 16 | HF8050004 | I/O | 8/16 |
| ポート A コントロールレジスタ H1 | PACRH1 | 16 | HF8050008 | I/O | 8/16 |
| ポート A コントロールレジスタ H2 | PACRH2 | 16 | HF805000A | I/O | 8/16 |
| ポート B データレジスタ L | PBDRL | 16 | HF8050012 | I/O | 8/16 |
| ポート B・IO レジスタ L | PBIORL | 16 | HF8050016 | I/O | 8/16 |
| ポート B コントロールレジスタ L1 | PBCRL1 | 16 | HF805001C | I/O | 8/16 |
| ポート B コントロールレジスタ L2 | PBCRL2 | 16 | HF805001E | I/O | 8/16 |
| ポート C データレジスタ H | PCDRH | 16 | HF8050020 | I/O | 8/16 |
| ポート C データレジスタ L | PCDRL | 16 | HF8050022 | I/O | 8/16 |
| ポート C・IO レジスタ H | PCIORH | 16 | HF8050024 | I/O | 8/16 |
| ポート C・IO レジスタ L | PCIORL | 16 | HF8050026 | I/O | 8/16 |
| ポート C コントロールレジスタ H2 | PCCRH2 | 16 | HF805002A | I/O | 8/16 |
| ポート C コントロールレジスタ L1 | PCCRL1 | 16 | HF805002C | I/O | 8/16 |
| ポート C コントロールレジスタ L2 | PCCRL2 | 16 | HF805002E | I/O | 8/16 |
| ポート D データレジスタ L | PDDRL | 16 | HF8050032 | I/O | 8/16 |
| ポート D・IO レジスタ L | PDIORL | 16 | HF8050036 | I/O | 8/16 |
| ポート D コントロールレジスタ L2 | PDCRL2 | 16 | HF805003E | I/O | 8/16 |
| ポート E データレジスタ H | PEDRH | 16 | HF8050040 | I/O | 8/16 |
| ポート E データレジスタ L | PEDRL | 16 | HF8050042 | I/O | 8/16 |
| ポート E・IO レジスタ H | PEIORH | 16 | HF8050044 | I/O | 8/16 |
| ポート E・IO レジスタ L | PEIORL | 16 | HF8050046 | I/O | 8/16 |
| ポート E コントロールレジスタ H1 | PECRH1 | 16 | HF8050048 | I/O | 8/16 |
| ポート E コントロールレジスタ H2 | PECRH2 | 16 | HF805004A | I/O | 8/16 |
| ポート E コントロールレジスタ L1 | PECRL1 | 16 | HF805004C | I/O | 8/16 |
| ポート E コントロールレジスタ L2 | PECRL2 | 16 | HF805004E | I/O | 8/16 |
| インタラプトプライオリティレジスタ C | IPRC | 16 | HF8080000 | INTC | 16 |
| インタラプトプライオリティレジスタ D | IPRD | 16 | HF8080002 | INTC | 16 |
| インタラプトプライオリティレジスタ E | IPRE | 16 | HF8080004 | INTC | 16 |

20. レジスタ一覧

| レジスタ名称 | 略称 | ビット数 | アドレス | モジュール | アクセス サイズ |
|------------------------------|----------|------|------------|----------|--------------------|
| スタンバイコントロールレジスタ 3 | STBCR3 | 8 | H'F80A0000 | 低消費電力モード | 8 |
| スタンバイコントロールレジスタ 4 | STBCR4 | 8 | H'F80A0004 | 低消費電力モード | 8 |
| PHY-LSI クロック周波数制御レジスタ | MCLKCR | 8 | H'F80A000C | CPG | 8/16* ¹ |
| インストラクションレジスタ | SDIR | 16 | H'F8100200 | H-UDI | 16 |
| ID レジスタ | SDID | 32 | H'F8100214 | H-UDI | 16/32 |
| 割り込みコントロールレジスタ 0 | ICR0 | 16 | H'F8140000 | INTC | 8/16 |
| IRQ コントロールレジスタ | IRQCR | 16 | H'F8140002 | INTC | 8/16 |
| IRQ ステータスレジスタ | IRQSR | 16 | H'F8140004 | INTC | 8/16 |
| インタラプトプライオリティレジスタ A | IPRA | 16 | H'F8140006 | INTC | 8/16 |
| インタラプトプライオリティレジスタ B | IPRB | 16 | H'F8140008 | INTC | 8/16 |
| 周波数制御レジスタ | FRQCR | 16 | H'F815FF80 | CPG | 16 |
| スタンバイコントロールレジスタ | STBCR | 8 | H'F815FF82 | 低消費電力モード | 8 |
| ウォッチドッグタイマカウンタ | WTCNT | 8 | H'F815FF84 | WDT | 8/16* ¹ |
| ウォッチドッグタイマコントロール / ステータスレジスタ | WTCNR | 8 | H'F815FF86 | WDT | 8/16* ¹ |
| スタンバイコントロールレジスタ 2 | STBCR2 | 8 | H'F815FF88 | 低消費電力モード | 8 |
| シリアルモードレジスタ_0 | SCSMR_0 | 16 | H'F8400000 | SCIF_0 | 16 |
| ビットレートレジスタ_0 | SCBRR_0 | 8 | H'F8400004 | SCIF_0 | 8 |
| シリアルコントロールレジスタ_0 | SCSCR_0 | 16 | H'F8400008 | SCIF_0 | 16 |
| トランスミット FIFO データレジスタ_0 | SCFTDR_0 | 8 | H'F840000C | SCIF_0 | 8 |
| シリアルステータスレジスタ_0 | SCFSR_0 | 16 | H'F8400010 | SCIF_0 | 16 |
| レシーブ FIFO データレジスタ_0 | SCFRDR_0 | 8 | H'F8400014 | SCIF_0 | 8 |
| FIFO コントロールレジスタ_0 | SCFCR_0 | 16 | H'F8400018 | SCIF_0 | 16 |
| FIFO データ数レジスタ_0 | SCFDR_0 | 16 | H'F840001C | SCIF_0 | 16 |
| シリアルポートレジスタ_0 | SCSPTR_0 | 16 | H'F8400020 | SCIF_0 | 16 |
| ラインステータスレジスタ_0 | SCLSR_0 | 16 | H'F8400024 | SCIF_0 | 16 |
| シリアルモードレジスタ_1 | SCSMR_1 | 16 | H'F8410000 | SCIF_1 | 16 |
| ビットレートレジスタ_1 | SCBRR_1 | 8 | H'F8410004 | SCIF_1 | 8 |
| シリアルコントロールレジスタ_1 | SCSCR_1 | 16 | H'F8410008 | SCIF_1 | 16 |
| トランスミット FIFO データレジスタ_1 | SCFTDR_1 | 8 | H'F841000C | SCIF_1 | 8 |
| シリアルステータスレジスタ_1 | SCFSR_1 | 16 | H'F8410010 | SCIF_1 | 16 |
| レシーブ FIFO データレジスタ_1 | SCFRDR_1 | 8 | H'F8410014 | SCIF_1 | 8 |
| FIFO コントロールレジスタ_1 | SCFCR_1 | 16 | H'F8410018 | SCIF_1 | 16 |
| FIFO データ数レジスタ_1 | SCFDR_1 | 16 | H'F841001C | SCIF_1 | 16 |
| シリアルポートレジスタ_1 | SCSPTR_1 | 16 | H'F8410020 | SCIF_1 | 16 |
| ラインステータスレジスタ_1 | SCLSR_1 | 16 | H'F8410024 | SCIF_1 | 16 |

20. レジスタ一覧

| レジスタ名称 | 略称 | ビット数 | アドレス | モジュール | アクセス サイズ |
|--------------------------------|----------|------|------------|--------|-------------|
| シリアルモードレジスタ_2 | SCSMR_2 | 16 | H'F8420000 | SCIF_2 | 16 |
| ビットレートレジスタ_2 | SCBRR_2 | 8 | H'F8420004 | SCIF_2 | 8 |
| シリアルコントロールレジスタ_2 | SCSCR_2 | 16 | H'F8420008 | SCIF_2 | 16 |
| トランスミット FIFO データレジスタ_2 | SCFTDR_2 | 8 | H'F842000C | SCIF_2 | 8 |
| シリアルステータスレジスタ_2 | SCFSR_2 | 16 | H'F8420010 | SCIF_2 | 16 |
| レシーブ FIFO データレジスタ_2 | SCFRDR_2 | 8 | H'F8420014 | SCIF_2 | 8 |
| FIFO コントロールレジスタ_2 | SCFCR_2 | 16 | H'F8420018 | SCIF_2 | 16 |
| FIFO データ数レジスタ_2 | SCFDR_2 | 16 | H'F842001C | SCIF_2 | 16 |
| シリアルポートレジスタ_2 | SCSPTR_2 | 16 | H'F8420020 | SCIF_2 | 16 |
| ラインステータスレジスタ_2 | SCLSR_2 | 16 | H'F8420024 | SCIF_2 | 16 |
| コンペアマッチタイマスタートレジスタ | CMSTR | 16 | H'F84A0070 | CMT | 8/16 |
| コンペアマッチタイマコントロール / ステータスレジスタ_0 | CMCSR_0 | 16 | H'F84A0072 | CMT | 8/16 |
| コンペアマッチカウンタ_0 | CMCNT_0 | 16 | H'F84A0074 | CMT | 8/16 |
| コンペアマッチコンスタントレジスタ_0 | CMCOR_0 | 16 | H'F84A0076 | CMT | 8/16 |
| コンペアマッチタイマコントロール / ステータスレジスタ_1 | CMCSR_1 | 16 | H'F84A0078 | CMT | 8/16 |
| コンペアマッチカウンタ_1 | CMCNT_1 | 16 | H'F84A007A | CMT | 8/16 |
| コンペアマッチコンスタントレジスタ_1 | CMCOR_1 | 16 | H'F84A007C | CMT | 8/16 |
| HIF インデックスレジスタ | HIFIDX | 32 | H'F84D0000 | HIF | 32 |
| HIF 汎用ステータスレジスタ | HIFGSR | 32 | H'F84D0004 | HIF | 32 |
| HIF ステータス / コントロールレジスタ | HIFSCR | 32 | H'F84D0008 | HIF | 32 |
| HIF メモリ制御レジスタ | HIFMCR | 32 | H'F84D000C | HIF | 32 |
| HIF 内部割り込み制御レジスタ | HIFIICR | 32 | H'F84D0010 | HIF | 32 |
| HIF 外部割り込み制御レジスタ | HIFEICR | 32 | H'F84D0014 | HIF | 32 |
| HIF アドレスレジスタ | HIFADR | 32 | H'F84D0018 | HIF | 32 |
| HIF データレジスタ | HIFDATA | 32 | H'F84D001C | HIF | 32 |
| HIFDREQ トリガレジスタ | HIFDTR | 32 | H'F84D0020 | HIF | 32 |
| HIF バンク割り込み制御レジスタ | HIFBICR | 32 | H'F84D0024 | HIF | 32 |
| HIF ブート制御レジスタ | HIFBCR | 32 | H'F84D0040 | HIF | 32 |
| 共通コントロールレジスタ | CMNCR | 32 | H'F8FD0000 | BSC | 32 |
| エリア 0 バスコントロールレジスタ | CS0BCR | 32 | H'F8FD0004 | BSC | 32 |
| エリア 3 バスコントロールレジスタ | CS3BCR | 32 | H'F8FD000C | BSC | 32 |
| エリア 4 バスコントロールレジスタ | CS4BCR | 32 | H'F8FD0010 | BSC | 32 |
| エリア 5B バスコントロールレジスタ | CS5BBCR | 32 | H'F8FD0018 | BSC | 32 |
| エリア 6B バスコントロールレジスタ | CS6BBCR | 32 | H'F8FD0020 | BSC | 32 |

20. レジスタ一覧

| レジスタ名称 | 略称 | ビット数 | アドレス | モジュール | アクセス サイズ |
|-------------------------------|---------|------|------------|--------|-------------|
| エリア0 ウェイトコントロールレジスタ | CS0WCR | 32 | H'F8FD0024 | BSC | 32 |
| エリア3 ウェイトコントロールレジスタ | CS3WCR | 32 | H'F8FD002C | BSC | 32 |
| エリア4 ウェイトコントロールレジスタ | CS4WCR | 32 | H'F8FD0030 | BSC | 32 |
| エリア5B ウェイトコントロールレジスタ | CS5BWCR | 32 | H'F8FD0038 | BSC | 32 |
| エリア6B ウェイトコントロールレジスタ | CS6BWCR | 32 | H'F8FD0040 | BSC | 32 |
| SDRAM コントロールレジスタ | SDCR | 32 | H'F8FD0044 | BSC | 32 |
| リフレッシュタイムコントロール / ステータスレジスタ | RTCSCR | 32 | H'F8FD0048 | BSC | 32 |
| リフレッシュタイムカウンタ | RTCNT | 32 | H'F8FD004C | BSC | 32 |
| リフレッシュタイムコンスタントレジスタ | RTCOR | 32 | H'F8FD0050 | BSC | 32 |
| E-DMAC モードレジスタ | EDMR | 32 | H'FB000000 | E-DMAC | 32 |
| E-DMAC 送信要求レジスタ | EDTRR | 32 | H'FB000004 | E-DMAC | 32 |
| E-DMAC 受信要求レジスタ | EDRRR | 32 | H'FB000008 | E-DMAC | 32 |
| 送信ディスクリプタリスト先頭アドレスレジスタ | TDLAR | 32 | H'FB00000C | E-DMAC | 32 |
| 受信ディスクリプタリスト先頭アドレスレジスタ | RDLAR | 32 | H'FB000010 | E-DMAC | 32 |
| EtherC/E-DMAC ステータスレジスタ | EESR | 32 | H'FB000014 | E-DMAC | 32 |
| EtherC/E-DMAC ステータス割り込み許可レジスタ | EESIPR | 32 | H'FB000018 | E-DMAC | 32 |
| 送受信ステータスコピー指示レジスタ | TRSCER | 32 | H'FB00001C | E-DMAC | 32 |
| ミスドフレームカウンタレジスタ | RMFCR | 32 | H'FB000020 | E-DMAC | 32 |
| 送信 FIFO しきい値指定レジスタ | TFTR | 32 | H'FB000024 | E-DMAC | 32 |
| FIFO 容量指定レジスタ | FDR | 32 | H'FB000028 | E-DMAC | 32 |
| 受信方式制御レジスタ | RMCR | 32 | H'FB00002C | E-DMAC | 32 |
| E-DMAC 動作制御レジスタ | EDOCR | 32 | H'FB000030 | E-DMAC | 32 |
| フロー制御開始 FIFO しきい値設定レジスタ | FCFTR | 32 | H'FB000034 | E-DMAC | 32 |
| 送信割り込み設定レジスタ | TRIMD | 32 | H'FB00003C | E-DMAC | 32 |
| 受信バッファライトアドレスレジスタ | RBWAR | 32 | H'FB000040 | E-DMAC | 32 |
| 受信ディスクリプタフェッチアドレスレジスタ | RDFAR | 32 | H'FB000044 | E-DMAC | 32 |
| 送信バッファリードアドレスレジスタ | TBRAR | 32 | H'FB00004C | E-DMAC | 32 |
| 送信ディスクリプタフェッチアドレスレジスタ | TDFAR | 32 | H'FB000050 | E-DMAC | 32 |
| EtherC モードレジスタ | ECMR | 32 | H'FB000160 | EtherC | 32 |
| EtherC ステータスレジスタ | ECSR | 32 | H'FB000164 | EtherC | 32 |
| EtherC 割り込み許可レジスタ | ECSIPR | 32 | H'FB000168 | EtherC | 32 |
| PHY 部インタフェースレジスタ | PIR | 32 | H'FB00016C | EtherC | 32 |
| MAC アドレス上位設定レジスタ | MAHR | 32 | H'FB000170 | EtherC | 32 |
| MAC アドレス下位設定レジスタ | MALR | 32 | H'FB000174 | EtherC | 32 |
| 受信フレーム長上限レジスタ | RFLR | 32 | H'FB000178 | EtherC | 32 |

20. レジスタ一覧

| レジスタ名称 | 略称 | ビット数 | アドレス | モジュール | アクセス サイズ |
|---------------------------|---------|------|------------|--------|-------------|
| PHY 部ステータスレジスタ | PSR | 32 | H'FB00017C | EtherC | 32 |
| 送信リトライオーバーカウンタレジスタ | TROCR | 32 | H'FB000180 | EtherC | 32 |
| 遅延衝突検出カウンタレジスタ | CDCR | 32 | H'FB000184 | EtherC | 32 |
| キャリア消失カウンタレジスタ | LCRR | 32 | H'FB000188 | EtherC | 32 |
| キャリア未検出カウンタレジスタ | CNDCR | 32 | H'FB00018C | EtherC | 32 |
| CRC エラーフレーム受信カウンタレジスタ | CEFCR | 32 | H'FB000194 | EtherC | 32 |
| フレーム受信エラーカウンタレジスタ | FRECR | 32 | H'FB000198 | EtherC | 32 |
| 64 バイト未満フレーム受信カウンタレジスタ | TSFRCR | 32 | H'FB00019C | EtherC | 32 |
| 指定バイト超フレーム受信カウンタレジスタ | TLFRCR | 32 | H'FB0001A0 | EtherC | 32 |
| 端数ビットフレーム受信カウンタレジスタ | RFCR | 32 | H'FB0001A4 | EtherC | 32 |
| マルチキャストアドレスフレーム受信カウンタレジスタ | MAFCR | 32 | H'FB0001A8 | EtherC | 32 |
| IPG 設定レジスタ | IPGR | 32 | H'FB0001B4 | EtherC | 32 |
| 自動 PAUSE フレーム設定レジスタ | APR | 32 | H'FB0001B8 | EtherC | 32 |
| 手動 PAUSE フレーム設定レジスタ | MPR | 32 | H'FB0001BC | EtherC | 32 |
| 自動 PAUSE フレーム再送回数設定レジスタ | TPAUSER | 32 | H'FB0001C4 | EtherC | 32 |
| ブレイクデータレジスタ B | BDRB | 32 | H'FFFFFF90 | UBC | 32 |
| ブレイクデータマスクレジスタ B | BDMRB | 32 | H'FFFFFF94 | UBC | 32 |
| ブレイクコントロールレジスタ | BRCR | 32 | H'FFFFFF98 | UBC | 32 |
| 実行回数ブレイクレジスタ | BETR | 16 | H'FFFFFF9C | UBC | 16 |
| ブレイクアドレスレジスタ B | BARB | 32 | H'FFFFFFA0 | UBC | 32 |
| ブレイクアドレスマスクレジスタ B | BAMRB | 32 | H'FFFFFFA4 | UBC | 32 |
| ブレイクバスサイクルレジスタ B | BBRB | 16 | H'FFFFFFA8 | UBC | 16 |
| ブランチソースレジスタ | BRSR | 32 | H'FFFFFFAC | UBC | 32 |
| ブレイクアドレスレジスタ A | BARA | 32 | H'FFFFFFB0 | UBC | 32 |
| ブレイクアドレスマスクレジスタ A | BAMRA | 32 | H'FFFFFFB4 | UBC | 32 |
| ブレイクバスサイクルレジスタ A | BBRA | 16 | H'FFFFFFB8 | UBC | 16 |
| ブランチデスティネーションレジスタ | BRDR | 32 | H'FFFFFFBC | UBC | 32 |
| キャッシュ制御レジスタ 1 | CCR1 | 32 | H'FFFFFFEC | キャッシュ | 32 |

【注】 *1 読み出しは 8 ビット、書き込みは 16 ビットです。

*2 SH7618A のみです。

20.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビット、32ビットレジスタは、8ビットずつ2段または4段で表しています。

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|--------|------------|------------|------------|------------|------------|------------|-----------|-----------|-------|
| CCR3* | - | - | - | - | - | - | - | - | キャッシュ |
| | - | - | - | - | - | - | - | CSIZE2 | |
| | CSIZE1 | CSIZE0 | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| PADRH | - | - | - | - | - | - | PA25DR | PA24DR | I/O |
| | PA23DR | PA22DR | PA21DR | PA20DR | PA19DR | PA18DR | PA17DR | PA16DR | |
| PAIORH | - | - | - | - | - | - | PA25IOR | PA24IOR | |
| | PA23IOR | PA22IOR | PA21IOR | PA20IOR | PA19IOR | PA18IOR | PA17IOR | PA16IOR | |
| PACRH1 | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | PA25MD0 | - | PA24MD0 | |
| PACRH2 | - | PA23MD0 | - | PA22MD0 | - | PA21MD0 | - | PA20MD0 | |
| | - | PA19MD0 | - | PA18MD0 | - | PA17MD0 | - | PA16MD0 | |
| PBDRL | - | - | PB13DR | PB12DR | PB11DR | PB10DR | PB9DR | PB8DR | |
| | PB7DR | PB6DR | PB5DR | PB4DR | PB3DR | PB2DR | PB1DR | PB0DR | |
| PBIORL | - | - | PB13IOR | PB12IOR | PB11IOR | PB10IOR | PB9IOR | PB8IOR | |
| | PB7IOR | PB6IOR | PB5IOR | PB4IOR | PB3IOR | PB2IOR | PB1IOR | PB0IOR | |
| PBCRL1 | - | - | - | - | - | PB13MD0 | - | PB12MD0 | |
| | - | PB11MD0 | - | PB10MD0 | - | PB9MD0 | - | PB8MD0 | |
| PBCRL2 | - | PB7MD0 | - | PB6MD0 | - | PB5MD0 | - | PB4MD0 | |
| | - | PB3MD0 | - | PB2MD0 | - | PB1MD0 | - | PB0MD0 | |
| PCDRH | - | - | - | - | - | - | - | - | |
| | - | - | - | PC20DR | PC19DR | PC18DR | PC17DR | PC16DR | |
| PCDRL | PC15DR | PC14DR | PC13DR | PC12DR | PC11DR | PC10DR | PC9DR | PC8DR | |
| | PC7DR | PC6DR | PC5DR | PC4DR | PC3DR | PC2DR | PC1DR | PC0DR | |
| PCIORH | - | - | - | - | - | - | - | - | |
| | - | - | - | PC20IOR | PC19IOR | PC18IOR | PC17IOR | PC16IOR | |
| PCIORL | PC15IOR | PC14IOR | PC13IOR | PC12IOR | PC11IOR | PC10IOR | PC9IOR | PC8IOR | |
| | PC7IOR | PC6IOR | PC5IOR | PC4IOR | PC3IOR | PC2IOR | PC1IOR | PC0IOR | |
| PCCR2 | - | - | - | - | - | - | - | PC20MD0 | |
| | - | PC19MD0 | - | PC18MD0 | - | PC17MD0 | - | PC16MD0 | |
| PCCRL1 | - | PC15MD0 | - | PC14MD0 | - | PC13MD0 | - | PC12MD0 | |
| | - | PC11MD0 | - | PC10MD0 | - | PC9MD0 | - | PC8MD0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|--------|------------|------------|------------|------------|------------|------------|-----------|-----------|-------|
| PCCRL2 | - | PC7MD0 | - | PC6MD0 | - | PC5MD0 | - | PC4MD0 | I/O |
| | - | PC3MD0 | - | PC2MD0 | - | PC1MD0 | - | PC0MD0 | |
| PDDR1 | - | - | - | - | - | - | - | - | |
| | PD7DR | PD6DR | PD5DR | PD4DR | PD3DR | PD2DR | PD1DR | PD0DR | |
| PDIOR1 | - | - | - | - | - | - | - | - | |
| | PD7IOR | PD6IOR | PD5IOR | PD4IOR | PD3IOR | PD2IOR | PD1IOR | PD0IOR | |
| PDCRL2 | PD7MD1 | PD7MD0 | PD6MD1 | PD6MD0 | PD5MD1 | PD5MD0 | PD4MD1 | PD4MD0 | |
| | PD3MD1 | PD3MD0 | PD2MD1 | PD2MD0 | - | PD1MD0 | - | PD0MD0 | |
| PEDRH | - | - | - | - | - | - | - | PE24DR | |
| | PE23DR | PE22DR | PE21DR | PE20DR | PE19DR | PE18DR | PE17DR | PE16DR | |
| PEDRL | PE15DR | PE14DR | PE13DR | PE12DR | PE11DR | PE10DR | PE9DR | PE8DR | |
| | PE7DR | PE6DR | PE5DR | PE4DR | PE3DR | PE2DR | PE1DR | PE0DR | |
| PEIORH | - | - | - | - | - | - | - | PE24IOR | |
| | PE23IOR | PE22IOR | PE21IOR | PE20IOR | PE19IOR | PE18IOR | PE17IOR | PE16IOR | |
| PEIORL | PE15IOR | PE14IOR | PE13IOR | PE12IOR | PE11IOR | PE10IOR | PE9IOR | PE8IOR | |
| | PE7IOR | PE6IOR | PE5IOR | PE4IOR | PE3IOR | PE2IOR | PE1IOR | PE0IOR | |
| PECRH1 | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | PE24MD1 | PE24MD0 | |
| PECRH2 | PE23MD1 | PE23MD0 | PE22MD1 | PE22MD0 | PE21MD1 | PE21MD0 | PE20MD1 | PE20MD0 | |
| | PE19MD1 | PE19MD0 | PE18MD1 | PE18MD0 | PE17MD1 | PE17MD0 | PE16MD1 | PE16MD0 | |
| PECRL1 | PE15MD1 | PE15MD0 | - | PE14MD0 | - | PE13MD0 | - | PE12MD0 | |
| | - | PE11MD0 | - | PE10MD0 | - | PE9MD0 | - | PE8MD0 | |
| PECRL2 | - | PE7MD0 | - | PE6MD0 | - | PE5MD0 | - | PE4MD0 | |
| | - | PE3MD0 | - | PE2MD0 | - | PE1MD0 | - | PE0MD0 | |
| IPRC | IPRC15 | IPRC14 | IPRC13 | IPRC12 | IPRC11 | IPRC10 | IPRC9 | IPRC8 | INTC |
| | IPRC7 | IPRC6 | IPRC5 | IPRC4 | IPRC3 | IPRC2 | IPRC1 | IPRC0 | |
| IPRD | IPRD15 | IPRD14 | IPRD13 | IPRD12 | IPRD11 | IPRD10 | IPRD9 | IPRD8 | |
| | IPRD7 | IPRD6 | IPRD5 | IPRD4 | - | - | - | - | |
| IPRE | IPRE15 | IPRE14 | IPRE13 | IPRE12 | IPRE11 | IPRE10 | IPRE9 | IPRE8 | |
| | - | - | - | - | - | - | - | - | |
| STBCR3 | - | - | - | MSTP15 | - | MSTP13 | MSTP12 | MSTP11 | 低消費電力 |
| STBCR4 | - | - | - | MSTP23 | - | - | - | MSTP19 | モード |
| MCLKCR | FLSCS1 | FLSCS0 | - | - | - | FLDIVS2 | FLDIVS1 | FLDIVS0 | CPG |
| SDIR | TI7 | TI6 | TI5 | TI4 | TI3 | TI2 | TI1 | TI0 | H-UDI |
| | - | - | - | - | - | - | - | - | |
| SDID | DID31 | DID30 | DID29 | DID28 | DID27 | DID26 | DID25 | DID24 | |
| | DID23 | DID22 | DID21 | DID20 | DID19 | DID18 | DID17 | DID16 | |
| | DID15 | DID14 | DID13 | DID12 | DID11 | DID10 | DID9 | DID8 | |
| | DID7 | DID6 | DID5 | DID4 | DID3 | DID2 | DID1 | DID0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|----------|--------------|------------|------------|--------------|------------|------------|-----------|-----------|--------------|
| ICR0 | NMIL | - | - | - | - | - | - | NMIE | INTC |
| | - | - | - | - | - | - | - | - | |
| IRQCR | IRQ71S | IRQ70S | IRQ61S | IRQ60S | IRQ51S | IRQ50S | IRQ41S | IRQ40S | |
| | IRQ31S | IRQ30S | IRQ21S | IRQ20S | IRQ11S | IRQ10S | IRQ01S | IRQ00S | |
| IRQSR | IRQ7L | IRQ6L | IRQ5L | IRQ4L | IRQ3L | IRQ2L | IRQ1L | IRQ0L | |
| | IRQ7F | IRQ6F | IRQ5F | IRQ4F | IRQ3F | IRQ2F | IRQ1F | IRQ0F | |
| IPRA | IPRA15 | IPRA14 | IPRA13 | IPRA12 | IPRA11 | IPRA10 | IPRA9 | IPRA8 | |
| | IPRA7 | IPRA6 | IPRA5 | IPRA4 | IPRA3 | IPRA2 | IPRA1 | IPRA0 | |
| IPRB | IPRB15 | IPRB14 | IPRB13 | IPRB12 | IPRB11 | IPRB10 | IPRB9 | IPRB8 | |
| | IPRB7 | IPRB6 | IPRB5 | IPRB4 | IPRB3 | IPRB2 | IPRB1 | IPRB0 | |
| FRQCR | - | - | - | CKOEN | - | STC2 | STC1 | STC0 | CPG |
| | - | - | - | - | - | PFC2 | PFC1 | PFC0 | |
| STBCR | STBY | - | - | - | MDCHG | - | - | - | 低消費電力 モード |
| WTCNT | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | WDT |
| WTCSR | TME | WT/IT | - | WOVF | IOVF | CKS2 | CKS1 | CKS0 | |
| STBCR2 | MSTP10 | MSTP9 | - | - | - | MSTP5 | MSTP4 | - | 低消費電力 モード |
| SCSMR_0 | - | - | - | - | - | - | - | - | SCIF_0 |
| | C/ \bar{A} | CHR | PE | O/ \bar{E} | STOP | - | CKS1 | CKS0 | |
| SCBRR_0 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCSCR_0 | - | - | - | - | - | - | - | - | |
| | TIE | RIE | TE | RE | REIE | - | CKE1 | CKE0 | |
| SCFTDR_0 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCFSR_0 | PER3 | PER2 | PER1 | PER0 | FER3 | FER2 | FER1 | FER0 | |
| | ER | TEND | TDFE | BRK | FER | PER | RDF | DR | |
| SCFRDR_0 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCFCR_0 | - | - | - | - | - | RSTRG2 | RSTRG1 | RSTRG0 | |
| | RTRG1 | RTRG0 | TTRG1 | TTRG0 | MCE | TFRST | RFRST | LOOP | |
| SCFDR_0 | - | - | - | T4 | T3 | T2 | T1 | T0 | |
| | - | - | - | R4 | R3 | R2 | R1 | R0 | |
| SCSPTR_0 | - | - | - | - | - | - | - | - | |
| | RTSIO | RTSDT | CTSIO | CTSDT | SCKIO | SCKDT | SPBIO | SPBDT | |
| SCLSR_0 | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | ORER | |
| SCSMR_1 | - | - | - | - | - | - | - | - | SCIF_1 |
| | C/ \bar{A} | CHR | PE | O/ \bar{E} | STOP | - | CKS1 | CKS0 | |
| SCBRR_1 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|----------|--------------|------------|------------|--------------|------------|------------|-----------|-----------|--------|
| SCSCR_1 | - | - | - | - | - | - | - | - | SCIF_1 |
| | TIE | RIE | TE | RE | REIE | - | CKE1 | CKE0 | |
| SCFTDR_1 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCFSR_1 | PER3 | PER2 | PER1 | PER0 | FER3 | FER2 | FER1 | FER0 | |
| | ER | TEND | TDFE | BRK | FER | PER | RDF | DR | |
| SCFRDR_1 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCFCR_1 | - | - | - | - | - | RSTRG2 | RSTRG1 | RSTRG0 | |
| | RTRG1 | RTRG0 | TTRG1 | TTRG0 | MCE | TFRST | RFRST | LOOP | |
| SCFDR_1 | - | - | - | T4 | T3 | T2 | T1 | T0 | |
| | - | - | - | R4 | R3 | R2 | R1 | R0 | |
| SCSPTR_1 | - | - | - | - | - | - | - | - | |
| | RTSIO | RTSDT | CTSIO | CTSDT | SCKIO | SCKDT | SPBIO | SPBDT | |
| SCLSR_1 | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | ORER | |
| SCSMR_2 | - | - | - | - | - | - | - | - | SCIF_2 |
| | C/ \bar{A} | CHR | PE | O/ \bar{E} | STOP | - | CKS1 | CKS0 | |
| SCBRR_2 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCSCR_2 | - | - | - | - | - | - | - | - | |
| | TIE | RIE | TE | RE | REIE | - | CKE1 | CKE0 | |
| SCFTDR_2 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCFSR_2 | PER3 | PER2 | PER1 | PER0 | FER3 | FER2 | FER1 | FER0 | |
| | ER | TEND | TDFE | BRK | FER | PER | RDF | DR | |
| SCFRDR_2 | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| SCFCR_2 | - | - | - | - | - | RSTRG2 | RSTRG1 | RSTRG0 | |
| | RTRG1 | RTRG0 | TTRG1 | TTRG0 | MCE | TFRST | RFRST | LOOP | |
| SCFDR_2 | - | - | - | T4 | T3 | T2 | T1 | T0 | |
| | - | - | - | R4 | R3 | R2 | R1 | R0 | |
| SCSPTR_2 | - | - | - | - | - | - | - | - | |
| | - (リザ - プ) | - (リザ - プ) | - (リザ - プ) | - (リザ - プ) | SCKIO | SCKDT | SPBIO | SPBDT | |
| SCLSR_2 | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | ORER | |
| CMSTR | - | - | - | - | - | - | - | - | CMT |
| | - | - | - | - | - | - | STR1 | STR0 | |
| CMCSR_0 | - | - | - | - | - | - | - | - | |
| | CMF | CMIE | - | - | - | - | CKS1 | CKS0 | |
| CMCNT_0 | Bit15 | Bit14 | Bit13 | Bit12 | Bit11 | Bit10 | Bit9 | Bit8 | |
| | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|---------|------------|------------|------------|------------|------------|------------|-----------|-----------|-------|
| CMCOR_0 | Bit15 | Bit14 | Bit13 | Bit12 | Bit11 | Bit10 | Bit9 | Bit8 | CMT |
| | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| CMCSR_1 | - | - | - | - | - | - | - | - | |
| | CMF | CMIE | - | - | - | - | CKS1 | CKS0 | |
| CMCNT_1 | Bit15 | Bit14 | Bit13 | Bit12 | Bit11 | Bit10 | Bit9 | Bit8 | |
| | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| CMCOR_1 | Bit15 | Bit14 | Bit13 | Bit12 | Bit11 | Bit10 | Bit9 | Bit8 | |
| | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| HIFIDX | - | - | - | - | - | - | - | - | HIF |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | REG5 | REG4 | REG3 | REG2 | REG1 | REG0 | BYTE1 | BYTE0 | |
| HIFGSR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | STATUS15 | STATUS14 | STATUS13 | STATUS12 | STATUS11 | STATUS10 | STATUS9 | STATUS8 | |
| | STATUS7 | STATUS6 | STATUS5 | STATUS4 | STATUS3 | STATUS2 | STATUS1 | STATUS0 | |
| HIFSCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | DMD | DPOL | BMD | BSEL | |
| | - | - | MD1 | - | - | - | EDN | BO | |
| HIFMCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | LOCK | - | WT | - | RD | - | - | AI/AD | |
| HIFIICR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | IIC6 | IIC5 | IIC4 | IIC3 | IIC2 | IIC1 | IIC0 | IIR | |
| HIFEICR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | EIC6 | EIC5 | EIC4 | EIC3 | EIC2 | EIC1 | EIC0 | EIR | |
| HIFADR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | A9 | A8 | |
| | A7 | A6 | A5 | A4 | A3 | A2 | - | - | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|---------|------------|------------|------------|------------|------------|------------|-----------|-----------|-------|
| HIFDATA | D31 | D30 | D29 | D28 | D27 | D26 | D25 | D24 | HIF |
| | D23 | D22 | D21 | D20 | D19 | D18 | D17 | D16 | |
| | D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | |
| | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| HIFDTR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | DTRG | |
| HIFBICR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | BIE | BIF | |
| HIFBCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | AC | |
| CMNCR | - | - | - | - | - | - | - | - | BSC |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | MAP | - | - | - | - | |
| | - | - | - | - | ENDIAN | - | HIZMEM | HIZCNT | |
| CS0BCR | - | - | IWW1 | IWW0 | - | IWRWD1 | IWRWD0 | - | |
| | IWRWS1 | IWRWS0 | - | IWRRD1 | IWRRD0 | - | IWRRS1 | IWRRS0 | |
| | TYPE3 | TYPE2 | TYPE1 | TYPE0 | - | BSZ1 | BSZ0 | - | |
| | - | - | - | - | - | - | - | - | |
| CS3BCR | - | - | IWW1 | IWW0 | - | IWRWD1 | IWRWD0 | - | |
| | IWRWS1 | IWRWS0 | - | IWRRD1 | IWRRD0 | - | IWRRS1 | IWRRS0 | |
| | TYPE3 | TYPE2 | TYPE1 | TYPE0 | - | BSZ1 | BSZ0 | - | |
| | - | - | - | - | - | - | - | - | |
| CS4BCR | - | - | IWW1 | IWW0 | - | IWRWD1 | IWRWD0 | - | |
| | IWRWS1 | IWRWS0 | - | IWRRD1 | IWRRD0 | - | IWRRS1 | IWRRS0 | |
| | TYPE3 | TYPE2 | TYPE1 | TYPE0 | - | BSZ1 | BSZ0 | - | |
| | - | - | - | - | - | - | - | - | |
| CS5BCR | - | - | IWW1 | IWW0 | - | IWRWD1 | IWRWD0 | - | |
| | IWRWS1 | IWRWS0 | - | IWRRD1 | IWRRD0 | - | IWRRS1 | IWRRS0 | |
| | TYPE3 | TYPE2 | TYPE1 | TYPE0 | - | BSZ1 | BSZ0 | - | |
| | - | - | - | - | - | - | - | - | |

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|------------------------------|------------|------------|------------|------------|------------|------------|-----------|-----------|-------|
| CS6BBCR | - | - | IWW1 | IWW0 | - | IWRWD1 | IWRWD0 | - | BSC |
| | IWRWS1 | IWRWS0 | - | IWRRD1 | IWRRD0 | - | IWRRS1 | IWRRS0 | |
| | TYPE3 | TYPE2 | TYPE1 | TYPE0 | - | BSZ1 | BSZ0 | - | |
| CS0WCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | SW1 | SW0 | WR3 | WR2 | WR1 | |
| | WR0 | WM | - | - | - | - | HW1 | HW0 | |
| CS3WCR | - | - | - | - | - | - | - | - | |
| | - | - | - | BAS | - | - | - | - | |
| | - | - | - | - | - | WR3 | WR2 | WR1 | |
| | WR0 | WM | - | - | - | - | - | - | |
| CS3WCR (SDRAM 接続時) | - | - | - | - | - | - | - | - | |
| | - | WTRP1 | WTRP0 | - | WTRCD1 | WTRCD0 | - | A3CL1 | |
| | A3CL0 | - | - | TRWL1 | TRWL0 | - | WTRC1 | WTRC0 | |
| CS4WCR | - | - | - | - | - | - | - | - | |
| | - | - | - | BAS | - | WW2 | WW1 | WW0 | |
| | - | - | - | SW1 | SW0 | WR3 | WR2 | WR1 | |
| | WR0 | WM | - | - | - | - | HW1 | HW0 | |
| CS5BWCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | WW2 | WW1 | WW0 | |
| | - | - | - | SW1 | SW0 | WR3 | WR2 | WR1 | |
| | WR0 | WM | - | - | - | - | HW1 | HW0 | |
| CS5BWCR (PCMCIA 接続時) | - | - | - | - | - | - | - | - | |
| | - | TED3 | TED2 | TED1 | TED0 | PCW3 | PCW2 | PCW1 | |
| | PCW0 | WM | - | - | TEH3 | TEH2 | TEH1 | TEH0 | |
| CS6BWCR | - | - | - | - | - | - | - | - | |
| | - | - | - | BAS | - | - | - | - | |
| | - | - | - | SW1 | SW0 | WR3 | WR2 | WR1 | |
| | WR0 | WM | - | - | - | - | HW1 | HW0 | |
| CS6BWCR (PCMCIA 接続時) | - | - | - | - | - | - | - | - | |
| | - | - | SA1 | SA0 | - | - | - | - | |
| | - | TED3 | TED2 | TED1 | TED0 | PCW3 | PCW2 | PCW1 | |
| | PCW0 | WM | - | - | TEH3 | TEH2 | TEH1 | TEH0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|-------|------------|------------|------------|------------|------------|------------|-----------|-----------|--------|
| SDCR | - | - | - | - | - | - | - | - | BSC |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | RFSH | RMODE | - | BACTV | |
| | - | - | - | A3ROW1 | A3ROW0 | - | A3COL1 | A3COL0 | |
| RTCSR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | CMF | - | CKS2 | CKS1 | CKS0 | RRC2 | RRC1 | RRC0 | |
| RTCNT | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| RTCOR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 | |
| EDMR | - | - | - | - | - | - | - | - | E-DMAC |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | DE | DL1 | DL0 | - | - | - | SWR | |
| EDTRR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | TR | |
| EDRRR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | RR | |
| TDLAR | TDLA31 | TDLA30 | TDLA29 | TDLA28 | TDLA27 | TDLA26 | TDLA25 | TDLA24 | |
| | TDLA23 | TDLA22 | TDLA21 | TDLA20 | TDLA19 | TDLA18 | TDLA17 | TDLA16 | |
| | TDLA15 | TDLA14 | TDLA13 | TDLA12 | TDLA11 | TDLA10 | TDLA9 | TDLA8 | |
| | TDLA7 | TDLA6 | TDLA5 | TDLA4 | TDLA3 | TDLA2 | TDLA1 | TDLA0 | |
| RDLAR | RDLA31 | RDLA30 | RDLA29 | RDLA28 | RDLA27 | RDLA26 | RDLA25 | RDLA24 | |
| | RDLA23 | RDLA22 | RDLA21 | RDLA20 | RDLA19 | RDLA18 | RDLA17 | RDLA16 | |
| | RDLA15 | RDLA14 | RDLA13 | RDLA12 | RDLA11 | RDLA10 | RDLA9 | RDLA8 | |
| | RDLA7 | RDLA6 | RDLA5 | RDLA4 | RDLA3 | RDLA2 | RDLA1 | RDLA0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|--------|------------|------------|------------|------------|------------|------------|-----------|-----------|--------|
| EESR | - | TWB | - | - | - | TABT | RABT | RFCOF | E-DMAC |
| | ADE | ECI | TC | TDE | TFUF | FR | RDE | RFOF | |
| | - | - | - | - | CND | DLC | CD | TRO | |
| | RMAF | - | - | RRF | RTL | RTSF | PRE | CERF | |
| EESIPR | - | TWBIP | - | - | - | TABTIP | RABTIP | RFCOFIP | |
| | ADEIP | ECIIP | TCIP | TDEIP | TFUFIP | FRIP | RDEIP | RFOFIP | |
| | - | - | - | - | CNDIP | DLCIP | CDIP | TROIP | |
| | RMAFIP | - | - | RRFIP | RTLFI | RTSFIP | PREIP | CERFIP | |
| TRSCER | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | CNDCE | DLCCE | CDCE | TROCE | |
| | RMAFCE | - | - | RRFCE | RTLFC | RTSFCE | PRECE | CERFCE | |
| RMFCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | MFC15 | MFC14 | MFC13 | MFC12 | MFC11 | MFC10 | MFC9 | MFC8 | |
| | MFC7 | MFC6 | MFC5 | MFC4 | MFC3 | MFC2 | MFC1 | MFC0 | |
| TFTR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | TFT10 | TFT9 | TFT8 | |
| | TFT7 | TFT6 | TFT5 | TFT4 | TFT3 | TFT2 | TFT1 | TFT0 | |
| FDR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | TFD2 | TFD1 | TFD0 | |
| | - | - | - | - | - | RFD2 | RFD1 | RFD0 | |
| RMCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | RNC | |
| EDOCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | FEC | AEC | EDH | - | |
| FCFTR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | RFF2 | RFF1 | RFF0 | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | RFD2 | RFD1 | RFD0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|--------|------------|------------|------------|------------|------------|------------|-----------|-----------|--------|
| TRIMD | - | - | - | - | - | - | - | - | E-DMAC |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | TIS | |
| RBWAR | RBWA31 | RBWA30 | RBWA29 | RBWA28 | RBWA27 | RBWA26 | RBWA25 | RBWA24 | |
| | RBWA23 | RBWA22 | RBWA21 | RBWA20 | RBWA19 | RBWA18 | RBWA17 | RBWA16 | |
| | RBWA15 | RBWA14 | RBWA13 | RBWA12 | RBWA11 | RBWA10 | RBWA9 | RBWA8 | |
| | RBWA7 | RBWA6 | RBWA5 | RBWA4 | RBWA3 | RBWA2 | RBWA1 | RBWA0 | |
| RDFAR | RDFA31 | RDFA30 | RDFA29 | RDFA28 | RDFA27 | RDFA26 | RDFA25 | RDFA24 | |
| | RDFA23 | RDFA22 | RDFA21 | RDFA20 | RDFA19 | RDFA18 | RDFA17 | RDFA16 | |
| | RDFA15 | RDFA14 | RDFA13 | RDFA12 | RDFA11 | RDFA10 | RDFA9 | RDFA8 | |
| | RDFA7 | RDFA6 | RDFA5 | RDFA4 | RDFA3 | RDFA2 | RDFA1 | RDFA0 | |
| TBRAR | TBRA31 | TBRA30 | TBRA29 | TBRA28 | TBRA27 | TBRA26 | TBRA25 | TBRA24 | |
| | TBRA23 | TBRA22 | TBRA21 | TBRA20 | TBRA19 | TBRA18 | TBRA17 | TBRA16 | |
| | TBRA15 | TBRA14 | TBRA13 | TBRA12 | TBRA11 | TBRA10 | TBRA9 | TBRA8 | |
| | TBRA7 | TBRA6 | TBRA5 | TBRA4 | TBRA3 | TBRA2 | TBRA1 | TBRA0 | |
| TDFAR | TDFA31 | TDFA30 | TDFA29 | TDFA28 | TDFA27 | TDFA26 | TDFA25 | TDFA24 | |
| | TDFA23 | TDFA22 | TDFA21 | TDFA20 | TDFA19 | TDFA18 | TDFA17 | TDFA16 | |
| | TDFA15 | TDFA14 | TDFA13 | TDFA12 | TDFA11 | TDFA10 | TDFA9 | TDFA8 | |
| | TDFA7 | TDFA6 | TDFA5 | TDFA4 | TDFA3 | TDFA2 | TDFA1 | TDFA0 | |
| ECMR | - | - | - | - | - | - | - | - | EtherC |
| | - | - | - | - | ZPF | PFR | RXF | TXF | |
| | - | - | - | PRCEF | - | - | MPDE | - | |
| | - | PE | TE | - | ILB | ELB | DM | PRM | |
| ECSR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | PSRTO | - | LCHNG | MPD | ICD | |
| ECSIPR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | PSRTOIP | - | LCHNGIP | MPDIP | ICDIP | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|-------|------------|------------|------------|------------|------------|------------|-----------|-----------|--------|
| PIR | - | - | - | - | - | - | - | - | EtherC |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | MDI | MDO | MMD | MDC | |
| MAHR | MA47 | MA46 | MA45 | MA44 | MA43 | MA42 | MA41 | MA40 | |
| | MA39 | MA38 | MA37 | MA36 | MA35 | MA34 | MA33 | MA32 | |
| | MA31 | MA30 | MA29 | MA28 | MA27 | MA26 | MA25 | MA24 | |
| | MA23 | MA22 | MA21 | MA20 | MA19 | MA18 | MA17 | MA16 | |
| MALR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | MA15 | MA14 | MA13 | MA12 | MA11 | MA10 | MA9 | MA8 | |
| | MA7 | MA6 | MA5 | MA4 | MA3 | MA2 | MA1 | MA0 | |
| RFLR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | RFL11 | RFL10 | RFL9 | RFL8 | |
| | RFL7 | RFL6 | RFL5 | RFL4 | RFL3 | RFL2 | RFL1 | RFL0 | |
| PSR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | LMON | |
| TROCR | TROC31 | TROC30 | TROC29 | TROC28 | TROC27 | TROC26 | TROC25 | TROC24 | |
| | TROC23 | TROC22 | TROC21 | TROC20 | TROC19 | TROC18 | TROC17 | TROC16 | |
| | TROC15 | TROC14 | TROC13 | TROC12 | TROC11 | TROC10 | TROC9 | TROC8 | |
| | TROC7 | TROC6 | TROC5 | TROC4 | TROC3 | TROC2 | TROC1 | TROC0 | |
| CDCR | COSDC31 | COSDC30 | COSDC29 | COSDC28 | COSDC27 | COSDC26 | COSDC25 | COSDC24 | |
| | COSDC23 | COSDC22 | COSDC21 | COSDC20 | COSDC19 | COSDC18 | COSDC17 | COSDC16 | |
| | COSDC15 | COSDC14 | COSDC13 | COSDC12 | COSDC11 | COSDC10 | COSDC9 | COSDC8 | |
| | COSDC7 | COSDC6 | COSDC5 | COSDC4 | COSDC3 | COSDC2 | COSDC1 | COSDC0 | |
| LCCR | LCC 31 | LCC30 | LCC29 | LCC28 | LCC27 | LCC26 | LCC25 | LCC24 | |
| | LCC23 | LCC22 | LCC21 | LCC20 | LCC19 | LCC18 | LCC17 | LCC16 | |
| | LCC15 | LCC14 | LCC13 | LCC12 | LCC11 | LCC10 | LCC9 | LCC8 | |
| | LCC7 | LCC6 | LCC5 | LCC4 | LCC3 | LCC2 | LCC1 | LCC0 | |
| CNDCR | CNDC31 | CNDC30 | CNDC29 | CNDC28 | CNDC27 | CNDC26 | CNDC25 | CNDC24 | |
| | CNDC23 | CNDC22 | CNDC21 | CNDC20 | CNDC19 | CNDC18 | CNDC17 | CNDC16 | |
| | CNDC15 | CNDC14 | CNDC13 | CNDC12 | CNDC11 | CNDC10 | CNDC9 | CNDC8 | |
| | CNDC7 | CNDC6 | CNDC5 | CNDC4 | CNDC3 | CNDC2 | CNDC1 | CNDC0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|-------|------------|------------|------------|------------|------------|------------|-----------|-----------|--------|
| CEFCR | CEFC31 | CEFC30 | CEFC29 | CEFC28 | CEFC27 | CEFC26 | CEFC25 | CEFC24 | EtherC |
| | CEFC23 | CEFC22 | CEFC21 | CEFC20 | CEFC19 | CEFC18 | CEFC17 | CEFC16 | |
| | CEFC15 | CEFC14 | CEFC13 | CEFC12 | CEFC11 | CEFC10 | CEFC9 | CEFC8 | |
| | CEFC7 | CEFC6 | CEFC5 | CEFC4 | CEFC3 | CEFC2 | CEFC1 | CEFC0 | |
| FRECR | FREC31 | FREC30 | FREC29 | FREC28 | FREC27 | FREC26 | FREC25 | FREC24 | |
| | FREC23 | FREC22 | FREC21 | FREC20 | FREC19 | FREC18 | FREC17 | FREC16 | |
| | FREC15 | FREC14 | FREC13 | FREC12 | FREC11 | FREC10 | FREC9 | FREC8 | |
| | FREC7 | FREC6 | FREC5 | FREC4 | FREC3 | FREC2 | FREC1 | FREC0 | |
| TSFCR | TSFC31 | TSFC30 | TSFC29 | TSFC28 | TSFC27 | TSFC26 | TSFC25 | TSFC24 | |
| | TSFC23 | TSFC22 | TSFC21 | TSFC20 | TSFC19 | TSFC18 | TSFC17 | TSFC16 | |
| | TSFC15 | TSFC14 | TSFC13 | TSFC12 | TSFC11 | TSFC10 | TSFC9 | TSFC8 | |
| | TSFC7 | TSFC6 | TSFC5 | TSFC4 | TSFC3 | TSFC2 | TSFC1 | TSFC0 | |
| TLFCR | TLFC31 | TLFC30 | TLFC29 | TLFC28 | TLFC27 | TLFC26 | TLFC25 | TLFC24 | |
| | TLFC23 | TLFC22 | TLFC21 | TLFC20 | TLFC19 | TLFC18 | TLFC17 | TLFC16 | |
| | TLFC15 | TLFC14 | TLFC13 | TLFC12 | TLFC11 | TLFC10 | TLFC9 | TLFC8 | |
| | TLFC7 | TLFC6 | TLFC5 | TLFC4 | TLFC3 | TLFC2 | TLFC1 | TLFC0 | |
| RFCR | RFC31 | RFC30 | RFC29 | RFC28 | RFC27 | RFC26 | RFC25 | RFC24 | |
| | RFC23 | RFC22 | RFC21 | RFC20 | RFC19 | RFC18 | RFC17 | RFC16 | |
| | RFC15 | RFC14 | RFC13 | RFC12 | RFC11 | RFC10 | RFC9 | RFC8 | |
| | RFC7 | RFC6 | RFC5 | RFC4 | RFC3 | RFC2 | RFC1 | RFC0 | |
| MAFCR | MAFC31 | MAFC30 | MAFC29 | MAFC28 | MAFC27 | MAFC26 | MAFC25 | MAFC24 | |
| | MAFC23 | MAFC22 | MAFC21 | MAFC20 | MAFC19 | MAFC18 | MAFC17 | MAFC16 | |
| | MAFC15 | MAFC14 | MAFC13 | MAFC12 | MAFC11 | MAFC10 | MAFC9 | MAFC8 | |
| | MAFC7 | MAFC6 | MAFC5 | MAFC4 | MAFC3 | MAFC2 | MAFC1 | MAFC0 | |
| IPGR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | IPG4 | IPG3 | IPG2 | IPG1 | IPG0 | |
| APR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | AP15 | AP14 | AP13 | AP12 | AP11 | AP10 | AP9 | AP8 | |
| | AP7 | AP6 | AP5 | AP4 | AP3 | AP2 | AP1 | AP0 | |
| MPR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | MP15 | MP14 | MP13 | MP12 | MP11 | MP10 | MP9 | MP8 | |
| | MP7 | MP6 | MP5 | MP4 | MP3 | MP2 | MP1 | MP0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|---------|------------|------------|------------|------------|------------|------------|-----------|-----------|--------|
| TPAUSER | - | - | - | - | - | - | - | - | EtherC |
| | - | - | - | - | - | - | - | - | |
| | TPAUSE15 | TPAUSE14 | TPAUSE13 | TPAUSE12 | TPAUSE11 | TPAUSE10 | TPAUSE9 | TPAUSE8 | |
| | TPAUSE7 | TPAUSE6 | TPAUSE5 | TPAUSE4 | TPAUSE3 | TPAUSE2 | TPAUSE1 | TPAUSE0 | |
| BDRB | BDB31 | BDB30 | BDB29 | BDB28 | BDB27 | BDB26 | BDB25 | BDB24 | UBC |
| | BDB23 | BDB22 | BDB21 | BDB20 | BDB19 | BDB18 | BDB17 | BDB16 | |
| | BDB15 | BDB14 | BDB13 | BDB12 | BDB11 | BDB10 | BDB9 | BDB8 | |
| | BDB7 | BDB6 | BDB5 | BDB4 | BDB3 | BDB2 | BDB1 | BDB0 | |
| BDMRB | BDMB31 | BDMB30 | BDMB29 | BDMB28 | BDMB27 | BDMB26 | BDMB25 | BDMB24 | |
| | BDMB23 | BDMB22 | BDMB21 | BDMB20 | BDMB19 | BDMB18 | BDMB17 | BDMB16 | |
| | BDMB15 | BDMB14 | BDMB13 | BDMB12 | BDMB11 | BDMB10 | BDMB9 | BDMB8 | |
| | BDMB7 | BDMB6 | BDMB5 | BDMB4 | BDMB3 | BDMB2 | BDMB1 | BDMB0 | |
| BRCR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | SCMFCA | SCMFCA | SCMFDA | SCMFDB | PCTE | PCBA | - | - | |
| | DBEB | PCBB | - | - | SEQ | - | - | ETBE | |
| BETR | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | BET11 | BET10 | BET9 | BET8 | |
| | BET7 | BET6 | BET5 | BET4 | BET3 | BET2 | BET1 | BET0 | |
| BARB | BAB31 | BAB30 | BAB29 | BAB28 | BAB27 | BAB26 | BAB25 | BAB24 | |
| | BAB23 | BAB22 | BAB21 | BAB20 | BAB19 | BAB18 | BAB17 | BAB16 | |
| | BAB15 | BAB14 | BAB13 | BAB12 | BAB11 | BAB10 | BAB9 | BAB8 | |
| | BAB7 | BAB6 | BAB5 | BAB4 | BAB3 | BAB2 | BAB1 | BAB0 | |
| BAMRB | BAMB31 | BAMB30 | BAMB29 | BAMB28 | BAMB27 | BAMB26 | BAMB25 | BAMB24 | |
| | BAMB23 | BAMB22 | BAMB21 | BAMB20 | BAMB19 | BAMB18 | BAMB17 | BAMB16 | |
| | BAMB15 | BAMB14 | BAMB13 | BAMB12 | BAMB11 | BAMB10 | BAMB9 | BAMB8 | |
| | BAMB7 | BAMB6 | BAMB5 | BAMB4 | BAMB3 | BAMB2 | BAMB1 | BAMB0 | |
| BBRB | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | CDB1 | CDB0 | IDB1 | IDB0 | RWB1 | RWB0 | SZB1 | SZB0 | |
| BRSR | SVF | - | - | - | BSA27 | BSA26 | BSA25 | BSA24 | |
| | BSA23 | BSA22 | BSA21 | BSA20 | BSA19 | BSA18 | BSA17 | BSA16 | |
| | BSA15 | BSA14 | BSA13 | BSA12 | BSA11 | BSA10 | BSA9 | BSA8 | |
| | BSA7 | BSA6 | BSA5 | BSA4 | BSA3 | BSA2 | BSA1 | BSA0 | |

20. レジスタ一覧

| レジスタ | 31/23/15/7 | 30/22/14/6 | 29/21/13/5 | 28/20/12/4 | 27/19/11/3 | 26/18/10/2 | 25/17/9/1 | 24/16/8/0 | モジュール |
|-------|------------|------------|------------|------------|------------|------------|-----------|-----------|-------|
| BARA | BAA31 | BAA30 | BAA29 | BAA28 | BAA27 | BAA26 | BAA25 | BAA24 | UBC |
| | BAA23 | BAA22 | BAA21 | BAA20 | BAA19 | BAA18 | BAA17 | BAA16 | |
| | BAA15 | BAA14 | BAA13 | BAA12 | BAA11 | BAA10 | BAA9 | BAA8 | |
| | BAA7 | BAA6 | BAA5 | BAA4 | BAA3 | BAA2 | BAA1 | BAA0 | |
| BAMRA | BAMA31 | BAMA30 | BAMA29 | BAMA28 | BAMA27 | BAMA26 | BAMA25 | BAMA24 | |
| | BAMA23 | BAMA22 | BAMA21 | BAMA20 | BAMA19 | BAMA18 | BAMA17 | BAMA16 | |
| | BAMA15 | BAMA14 | BAMA13 | BAMA12 | BAMA11 | BAMA10 | BAMA9 | BAMA8 | |
| | BAMA7 | BAMA6 | BAMA5 | BAMA4 | BAMA3 | BAMA2 | BAMA1 | BAMA0 | |
| BBRA | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | CDA1 | CDA0 | IDA1 | IDA0 | RWA1 | RWA0 | SZA1 | SZA0 | |
| BRDR | DVF | - | - | - | BDA27 | BDA26 | BDA25 | BDA24 | |
| | BDA23 | BDA22 | BDA21 | BDA20 | BDA19 | BDA18 | BDA17 | BDA16 | |
| | BDA15 | BDA14 | BDA13 | BDA12 | BDA11 | BDA10 | BDA9 | BDA8 | |
| | BDA7 | BDA6 | BDA5 | BDA4 | BDA3 | BDA2 | BDA1 | BDA0 | |
| CCR1 | - | - | - | - | - | - | - | - | キャッシュ |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | - | - | - | - | |
| | - | - | - | - | CF | CB | WT | CE | |

【注】 * SH7618A のみです。

20.3 各動作モードにおけるレジスタの状態

| 関連モジュール | レジスタ略称 | アドレス | パワーオン リセット | ソフトウェア スタンバイ | モジュール スタンバイ | スリープ |
|--------------|--------------------|------------|---------------|------------------|------------------|------|
| キャッシュ | CCR3* ⁴ | H'F8000B4 | 初期化 | 保持 | 保持 | 保持 |
| I/O | PADRH | H'F8050000 | 初期化 | 保持 | - * ³ | 保持 |
| | PAIORH | H'F8050004 | 初期化 | 保持 | - * ³ | 保持 |
| | PACRH1 | H'F8050008 | 初期化 | 保持 | - * ³ | 保持 |
| | PACRH2 | H'F805000A | 初期化 | 保持 | - * ³ | 保持 |
| | PBDRL | H'F8050012 | 初期化 | 保持 | - * ³ | 保持 |
| | PBIORL | H'F8050016 | 初期化 | 保持 | - * ³ | 保持 |
| | PBCRL1 | H'F805001C | 初期化 | 保持 | - * ³ | 保持 |
| | PBCRL2 | H'F805001E | 初期化 | 保持 | - * ³ | 保持 |
| | PCDRH | H'F8050020 | 初期化 | 保持 | - * ³ | 保持 |
| | PCDRL | H'F8050022 | 初期化 | 保持 | - * ³ | 保持 |
| | PCIORH | H'F8050024 | 初期化 | 保持 | - * ³ | 保持 |
| | PCIORL | H'F8050026 | 初期化 | 保持 | - * ³ | 保持 |
| | PCCR2H | H'F805002A | 初期化 | 保持 | - * ³ | 保持 |
| | PCCRL1 | H'F805002C | 初期化 | 保持 | - * ³ | 保持 |
| | PCCRL2 | H'F805002E | 初期化 | 保持 | - * ³ | 保持 |
| | PDDRL | H'F8050032 | 初期化 | 保持 | - * ³ | 保持 |
| | PDIORL | H'F8050036 | 初期化 | 保持 | - * ³ | 保持 |
| | PDCRL2 | H'F805003E | 初期化 | 保持 | - * ³ | 保持 |
| | PEDRH | H'F8050040 | 初期化 | 保持 | - * ³ | 保持 |
| | PEDRL | H'F8050042 | 初期化 | 保持 | - * ³ | 保持 |
| | PEIORH | H'F8050044 | 初期化 | 保持 | - * ³ | 保持 |
| | PEIORL | H'F8050046 | 初期化 | 保持 | - * ³ | 保持 |
| | PECRH1 | H'F8050048 | 初期化 | 保持 | - * ³ | 保持 |
| | PECRH2 | H'F805004A | 初期化 | 保持 | - * ³ | 保持 |
| PECRL1 | H'F805004C | 初期化 | 保持 | - * ³ | 保持 | |
| PECRL2 | H'F805004E | 初期化 | 保持 | - * ³ | 保持 | |
| INTC | IPRC | H'F8080000 | 初期化 | 保持 | - * ³ | 保持 |
| | IPRD | H'F8080002 | 初期化 | 保持 | - * ³ | 保持 |
| | IPRE | H'F8080004 | 初期化 | 保持 | - * ³ | 保持 |
| 低消費電力 モード | STBCR3 | H'F80A0000 | 初期化 | 保持 | - * ³ | 保持 |
| | STBCR4 | H'F80A0004 | 初期化 | 保持 | - * ³ | 保持 |
| CPG | MCLKCR | H'F80A000C | 初期化 | 保持 | - * ³ | 保持 |

20. レジスタ一覧

| 関連モジュール | レジスタ略称 | アドレス | パワーオン リセット | ソフトウェア スタンバイ | モジュール スタンバイ | スリープ |
|--------------|------------|------------|-------------------|-----------------|------------------|------|
| H-UDI | SDIR | H'F8100200 | 保持 | 保持 | 保持 | 保持 |
| | SDID | H'F8100214 | 保持 | 保持 | 保持 | 保持 |
| INTC | ICR0 | H'F8140000 | 初期化* ¹ | 保持 | - * ³ | 保持 |
| | IRQCR | H'F8140002 | 初期化 | 保持 | - * ³ | 保持 |
| | IRQSR | H'F8140004 | 初期化* ¹ | 保持 | - * ³ | 保持 |
| | IPRA | H'F8140006 | 初期化 | 保持 | - * ³ | 保持 |
| | IPRB | H'F8140008 | 初期化 | 保持 | - * ³ | 保持 |
| CPG | FRQCR | H'F815FF80 | 初期化* ² | 保持 | - * ³ | 保持 |
| 低消費電力 モード | STBCR | H'F815FF82 | 初期化 | 保持 | - * ³ | 保持 |
| WDT | WTCNT | H'F815FF84 | 初期化* ² | 保持 | - * ³ | 保持 |
| | WTCSR | H'F815FF86 | 初期化* ² | 保持 | - * ³ | 保持 |
| 低消費電力 モード | STBCR2 | H'F815FF88 | 初期化 | 保持 | - * ³ | 保持 |
| SCIF_0 | SCSMR_0 | H'F8400000 | 初期化 | 保持 | 保持 | 保持 |
| | SCBRR_0 | H'F8400004 | 初期化 | 保持 | 保持 | 保持 |
| | SCSCR_0 | H'F8400008 | 初期化 | 保持 | 保持 | 保持 |
| | SCFTDR_0 | H'F840000C | 不定 | 保持 | 保持 | 保持 |
| | SCFSR_0 | H'F8400010 | 初期化 | 保持 | 保持 | 保持 |
| | SCFRDR_0 | H'F8400014 | 不定 | 保持 | 保持 | 保持 |
| | SCFCR_0 | H'F8400018 | 初期化 | 保持 | 保持 | 保持 |
| | SCFDR_0 | H'F840001C | 初期化 | 保持 | 保持 | 保持 |
| | SCSPTR_0 | H'F8400020 | 初期化* ¹ | 保持 | 保持 | 保持 |
| SCLSR_0 | H'F8400024 | 初期化 | 保持 | 保持 | 保持 | |
| SCIF_1 | SCSMR_1 | H'F8410000 | 初期化 | 保持 | 保持 | 保持 |
| | SCBRR_1 | H'F8410004 | 初期化 | 保持 | 保持 | 保持 |
| | SCSCR_1 | H'F8410008 | 初期化 | 保持 | 保持 | 保持 |
| | SCFTDR_1 | H'F841000C | 不定 | 保持 | 保持 | 保持 |
| | SCFSR_1 | H'F8410010 | 初期化 | 保持 | 保持 | 保持 |
| | SCFRDR_1 | H'F8410014 | 不定 | 保持 | 保持 | 保持 |
| | SCFCR_1 | H'F8410018 | 初期化 | 保持 | 保持 | 保持 |
| | SCFDR_1 | H'F841001C | 初期化 | 保持 | 保持 | 保持 |
| | SCSPTR_1 | H'F8410020 | 初期化* ¹ | 保持 | 保持 | 保持 |
| SCLSR_1 | H'F8410024 | 初期化 | 保持 | 保持 | 保持 | |

| 関連モジュール | レジスタ略称 | アドレス | パワーオン リセット | ソフトウェア スタンバイ | モジュール スタンバイ | スリープ |
|---------|------------|------------|-------------------|-----------------|-----------------|------|
| SCIF_2 | SCSMR_2 | H'F8420000 | 初期化 | 保持 | 保持 | 保持 |
| | SCBRR_2 | H'F8420004 | 初期化 | 保持 | 保持 | 保持 |
| | SCSCR_2 | H'F8420008 | 初期化 | 保持 | 保持 | 保持 |
| | SCFTDR_2 | H'F842000C | 不定 | 保持 | 保持 | 保持 |
| | SCFSR_2 | H'F8420010 | 初期化 | 保持 | 保持 | 保持 |
| | SCFRDR_2 | H'F8420014 | 不定 | 保持 | 保持 | 保持 |
| | SCFCR_2 | H'F8420018 | 初期化 | 保持 | 保持 | 保持 |
| | SCFDR_2 | H'F842001C | 初期化 | 保持 | 保持 | 保持 |
| | SCSPTR_2 | H'F8420020 | 初期化 ^{*1} | 保持 | 保持 | 保持 |
| SCLSR_2 | H'F8420024 | 初期化 | 保持 | 保持 | 保持 | |
| CMT | CMSTR | H'F84A0070 | 初期化 | 初期化 | 保持 | 保持 |
| | CMCSR_0 | H'F84A0072 | 初期化 | 初期化 | 保持 | 保持 |
| | CMCNT_0 | H'F84A0074 | 初期化 | 初期化 | 保持 | 保持 |
| | CMCOR_0 | H'F84A0076 | 初期化 | 初期化 | 保持 | 保持 |
| | CMCSR_1 | H'F84A0078 | 初期化 | 初期化 | 保持 | 保持 |
| | CMCNT_1 | H'F84A007A | 初期化 | 初期化 | 保持 | 保持 |
| | CMCOR_1 | H'F84A007C | 初期化 | 初期化 | 保持 | 保持 |
| HIF | HIFIDX | H'F84D0000 | 初期化 | 保持 | 保持 | 保持 |
| | HIFGSR | H'F84D0004 | 初期化 | 保持 | 保持 | 保持 |
| | HIFSCR | H'F84D0008 | 初期化 ^{*1} | 保持 | 保持 | 保持 |
| | HIFMCR | H'F84D000C | 初期化 | 保持 | 保持 | 保持 |
| | HIFIICR | H'F84D0010 | 初期化 | 保持 | 保持 | 保持 |
| | HIFEICR | H'F84D0014 | 初期化 | 保持 | 保持 | 保持 |
| | HIFADR | H'F84D0018 | 初期化 | 保持 | 保持 | 保持 |
| | HIFDATA | H'F84D001C | 初期化 | 保持 | 保持 | 保持 |
| | HIFDTR | H'F84D0020 | 初期化 | 保持 | 保持 | 保持 |
| | HIFBICR | H'F84D0024 | 初期化 | 保持 | 保持 | 保持 |
| | HIFBCR | H'F84D0040 | 初期化 ^{*1} | 保持 | 保持 | 保持 |
| BSC | CMNCR | H'F8FD0000 | 初期化 ^{*1} | 保持 | - ^{*3} | 保持 |
| | CS0BCR | H'F8FD0004 | 初期化 | 保持 | - ^{*3} | 保持 |
| | CS3BCR | H'F8FD000C | 初期化 | 保持 | - ^{*3} | 保持 |
| | CS4BCR | H'F8FD0010 | 初期化 | 保持 | - ^{*3} | 保持 |
| | CS5BBCR | H'F8FD0018 | 初期化 | 保持 | - ^{*3} | 保持 |
| | CS6BBCR | H'F8FD0020 | 初期化 | 保持 | - ^{*3} | 保持 |
| | CS0WCR | H'F8FD0024 | 初期化 | 保持 | - ^{*3} | 保持 |
| | CS3WCR | H'F8FD002C | 初期化 | 保持 | - ^{*3} | 保持 |

20. レジスタ一覧

| 関連モジュール | レジスタ略称 | アドレス | パワーオン リセット | ソフトウェア スタンバイ | モジュール スタンバイ | スリープ |
|---------|-------------------------|------------|---------------|-----------------|------------------|------|
| BSC | CS3WCR (SDRAM 接続時) | H'F8FD002C | 初期化 | 保持 | - * ³ | 保持 |
| | CS4WCR | H'F8FD0030 | 初期化 | 保持 | - * ³ | 保持 |
| | CS5BWCR | H'F8FD0038 | 初期化 | 保持 | - * ³ | 保持 |
| | CS5BWCR (PCMCIA 接続時) | H'F8FD0038 | 初期化 | 保持 | - * ³ | 保持 |
| | CS6BWCR | H'F8FD0040 | 初期化 | 保持 | - * ³ | 保持 |
| | CS6BWCR (PCMCIA 接続時) | H'F8FD0040 | 初期化 | 保持 | - * ³ | 保持 |
| | SDCR | H'F8FD0044 | 初期化 | 保持 | - * ³ | 保持 |
| | RTCSR | H'F8FD0048 | 初期化 | 保持 | - * ³ | 保持 |
| | RTCNT | H'F8FD004C | 初期化 | 保持 | - * ³ | 保持 |
| | RTCOR | H'F8FD0050 | 初期化 | 保持 | - * ³ | 保持 |
| E-DMAC | EDMR | H'FB000000 | 初期化 | 保持 | 保持 | 保持 |
| | EDTRR | H'FB000004 | 初期化 | 保持 | 保持 | 保持 |
| | EDRRR | H'FB000008 | 初期化 | 保持 | 保持 | 保持 |
| | TDLAR | H'FB00000C | 初期化 | 保持 | 保持 | 保持 |
| | RDLAR | H'FB000010 | 初期化 | 保持 | 保持 | 保持 |
| | EESR | H'FB000014 | 初期化 | 保持 | 保持 | 保持 |
| | EESIPR | H'FB000018 | 初期化 | 保持 | 保持 | 保持 |
| | TRSCER | H'FB00001C | 初期化 | 保持 | 保持 | 保持 |
| | RMFCR | H'FB000020 | 初期化 | 保持 | 保持 | 保持 |
| | TFTR | H'FB000024 | 初期化 | 保持 | 保持 | 保持 |
| | FDR | H'FB000028 | 初期化 | 保持 | 保持 | 保持 |
| | RMCR | H'FB00002C | 初期化 | 保持 | 保持 | 保持 |
| | EDOCR | H'FB000030 | 初期化 | 保持 | 保持 | 保持 |
| | FCFTR | H'FB000034 | 初期化 | 保持 | 保持 | 保持 |
| | TRIMD | H'FB00003C | 初期化 | 保持 | 保持 | 保持 |
| | RBWAR | H'FB000040 | 初期化 | 保持 | 保持 | 保持 |
| | RDFAR | H'FB000044 | 初期化 | 保持 | 保持 | 保持 |
| | TBRAR | H'FB00004C | 初期化 | 保持 | 保持 | 保持 |
| | TDFAR | H'FB000050 | 初期化 | 保持 | 保持 | 保持 |
| EtherC | ECMR | H'FB000160 | 初期化 | 保持 | 保持 | 保持 |
| | ECSR | H'FB000164 | 初期化 | 保持 | 保持 | 保持 |

| 関連モジュール | レジスタ略称 | アドレス | パワーオンリセット | ソフトウェアスタンバイ | モジュールスタンバイ | スリープ |
|---------|------------|------------|-------------------|-------------|------------|------|
| EtherC | ECSIPR | H'FB000168 | 初期化 | 保持 | 保持 | 保持 |
| | PIR | H'FB00016C | 初期化* ¹ | 保持 | 保持 | 保持 |
| | MAHR | H'FB000170 | 初期化 | 保持 | 保持 | 保持 |
| | MALR | H'FB000174 | 初期化 | 保持 | 保持 | 保持 |
| | RFLR | H'FB000178 | 初期化 | 保持 | 保持 | 保持 |
| | PSR | H'FB00017C | 初期化* ¹ | 保持 | 保持 | 保持 |
| | TROCR | H'FB000180 | 初期化 | 保持 | 保持 | 保持 |
| | CDCR | H'FB000184 | 初期化 | 保持 | 保持 | 保持 |
| | LCCR | H'FB000188 | 初期化 | 保持 | 保持 | 保持 |
| | CNDCR | H'FB00018C | 初期化 | 保持 | 保持 | 保持 |
| | CEFCR | H'FB000194 | 初期化 | 保持 | 保持 | 保持 |
| | FRECR | H'FB000198 | 初期化 | 保持 | 保持 | 保持 |
| | TSFRCR | H'FB00019C | 初期化 | 保持 | 保持 | 保持 |
| | TLFRCR | H'FB0001A0 | 初期化 | 保持 | 保持 | 保持 |
| | RFCR | H'FB0001A4 | 初期化 | 保持 | 保持 | 保持 |
| | MAFCR | H'FB0001A8 | 初期化 | 保持 | 保持 | 保持 |
| | IPGR | H'FB0001B4 | 初期化 | 保持 | 保持 | 保持 |
| | APR | H'FB0001B8 | 初期化 | 保持 | 保持 | 保持 |
| | MPR | H'FB0001BC | 初期化 | 保持 | 保持 | 保持 |
| TPAUSER | H'FB0001C4 | 初期化 | 保持 | 保持 | 保持 | |
| UBC | BDRB | H'FFFFFF90 | 初期化 | 保持 | 保持 | 保持 |
| | BDMRB | H'FFFFFF94 | 初期化 | 保持 | 保持 | 保持 |
| | BRCR | H'FFFFFF98 | 初期化 | 保持 | 保持 | 保持 |
| | BETR | H'FFFFFF9C | 初期化 | 保持 | 保持 | 保持 |
| | BARB | H'FFFFFFA0 | 初期化 | 保持 | 保持 | 保持 |
| | BAMRB | H'FFFFFFA4 | 初期化 | 保持 | 保持 | 保持 |
| | BBRB | H'FFFFFFA8 | 初期化 | 保持 | 保持 | 保持 |
| | BRSR | H'FFFFFFAC | 初期化* ¹ | 保持 | 保持 | 保持 |
| | BARA | H'FFFFFFB0 | 初期化 | 保持 | 保持 | 保持 |
| | BAMRA | H'FFFFFFB4 | 初期化 | 保持 | 保持 | 保持 |
| | BBRA | H'FFFFFFB8 | 初期化 | 保持 | 保持 | 保持 |
| | BRDR | H'FFFFFFBC | 初期化* ¹ | 保持 | 保持 | 保持 |
| キャッシュ | CCR1 | H'FFFFFFEC | 初期化 | 保持 | 保持 | 保持 |

【注】 *1 初期化されないビットがあります。

*2 WDT によるパワーオンリセットでは初期化されません。

*3 本モジュールに対するモジュールスタンバイ機能はありません。

*4 SH7618A のみです。

21. 電気的特性

21.1 絶対最大定格

絶対最大定格を表 21.1 に示します。

表 21.1 絶対最大定格

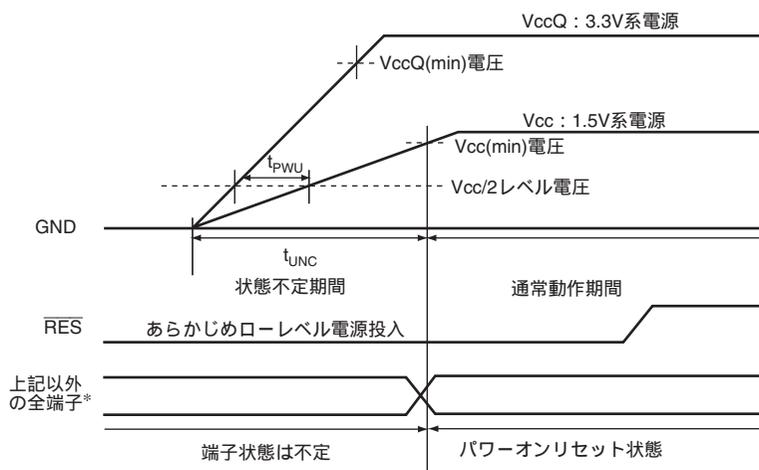
| 項目 | 記号 | 定格値 | 単位 |
|------------|--|---------------------------------------|----|
| 電源電圧 (I/O) | V_{CCQ} | - 0.3 ~ 4.2 | V |
| 電源電圧 (内部) | V_{CC} $V_{CC}(PLL1)$ $V_{CC}(PLL2)$ | - 0.3 ~ 2.5 | V |
| 入力電圧 | V_{in} | - 0.3 ~ $V_{CCQ} + 0.3$ | V |
| 動作温度 | T_{opr} | - 20 ~ 75 (標準品) - 40 ~ 85 (広温度範囲品) | |
| 保存温度 | T_{stg} | - 55 ~ 125 | |

【注】 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

21.2 電源投入および切断順序

(1) 1.5V系電源 (V_{CC} (メイン)、 V_{CC} (サブ)、 V_{CC} (PLL1)、 V_{CC} (PLL2)) と 3.3V系電源 (V_{CCQ}) の投入順序について

- 3.3V系電源を先に投入してください。その後、1ms以内に1.5V系電源を投入してください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。
- すべての電源に電圧が印加され、 \overline{RES} 端子にローレベルが入力されるまでの間、内部回路不確定なので、各端子の状態も不確定となります。この不確定状態によってシステムが誤動作を起こさないようシステム設計を行ってください。以下に電源投入時の波形を示します。



【注】* 電源/GND、クロック関連端子を除く

表 21.2 電源投入時間推奨値

| 項目 | 記号 | 最大時間 | 単位 |
|----------------------------|-----------|------|----|
| V_{CCQ} V_{CC} 電源投入時間差 | t_{PWU} | 1 | ms |
| 状態不確定時間 | t_{UNC} | 100 | ms |

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

状態不確定時間はおのおのの電源立ち上がりが過度状態にある時間を意味します。

端子状態は $V_{CCQ}(\min)$ 到達時間で確定しますが、パワーオンリセット (\overline{RES}) が正常に受け付けられるのは、 $V_{CC}(\min)$ 到達時間以降でかつクロック発振安定時間 (内蔵発振器を用いる場合) 以後となります。

状態不安定時間は 100ms 以下となるようにしてください。

(2) 電源の切断順序について

1. 電源投入時とは逆に1.5V系電源を先に切断してください。その後、10ms以内に3.3V系電源を切ってください。この間隔をできるだけ短くすることを推奨します。端子状態、内部状態不定期間の状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。
2. 1.5V系電源だけを切断した状態では、端子状態は不定となります。この状態によってシステムが誤動作を起こさないようシステム設計を行ってください。

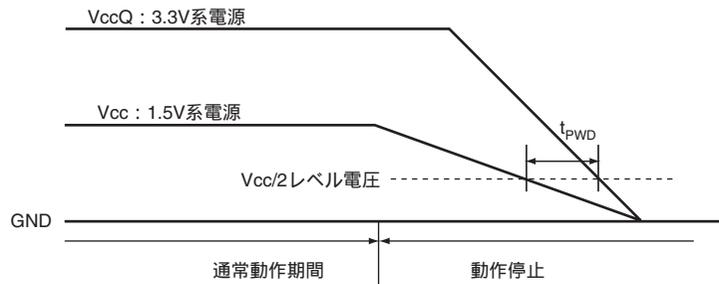


表 21.3 電源切断時間推奨値

| 項目 | 記号 | 最大時間 | 単位 |
|--------------------|-----------|------|----|
| VccQ - Vcc 電源切断時間差 | t_{PWD} | 10 | ms |

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

21.3 DC 特性

DC 特性を表 21.4、表 21.5 に示します。

表 21.4 DC 特性 (1)

条件: $T_a = -20 \sim 75$ (標準品)、 $-40 \sim 85$ (広温度範囲品)

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|--------------|-----------|-------------|-----|-----|-----|---------|--|
| 消費電流 | 通常動作時 | I_{CC} | - | 100 | 140 | mA | $V_{CC} = 1.5V$ $V_{CCQ} = 3.3V$ $I = 100MHz$ $B = 50MHz$ |
| | | I_{CCQ} | - | 30 | 50 | mA | |
| | スタンバイモード時 | I_{stby} | - | 500 | 700 | μA | $T_a = 25$ $V_{CC} = 1.5V$ $V_{CCQ} = 3.3V$ |
| | スリープモード時 | I_{sleep} | - | 40 | 60 | mA | $V_{CC} = 1.5V$ $V_{CCQ} = 3.3V$ $B = 50MHz$ |
| I_{sleepQ} | | - | 30 | 50 | mA | | |

21. 電気的特性

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|-----------------|---------------------|-------------|-----|-----|-----|---------|------------------------------------|
| 入力リーク電流 | 全入力端子 | $ I_{in} $ | - | - | 1.0 | μA | $V_{in} = 0.5 \sim V_{CCQ} - 0.5V$ |
| スリープ状態 リーク電流 | 入出力、全出力 端子（オフ状態） | $ I_{ST1} $ | - | - | 1.0 | μA | $V_{in} = 0.5 \sim V_{CCQ} - 0.5V$ |
| 端子容量 | 全端子 | C | - | - | 10 | pF | |

表 21.4 DC 特性 (2)

条件: $T_a = -20 \sim 75$ (標準品)、 $-40 \sim 85$ (広温度範囲品)

| 項目 | 記号 | min | typ | max | 単位 | 測定条件 | |
|------------------|---|----------------------|-----|----------------------|------|------|---|
| 電源電圧 | V_{CCQ} | 3.0 | 3.3 | 3.6 | V | | |
| | V_{CC} 、 $V_{CC(PLL1)}$ $V_{CC(PLL2)}$ | 1.4 | 1.5 | 1.6 | | | |
| 入力 High レベル電圧 | \overline{RES} 、 NMI 、 $IRQ7 \sim IRQ0$ 、 $MD5$ $MD3 \sim MD0$ 、 \overline{ASEMD} 、 \overline{TESTMD} 、 $HIFMD$ 、 \overline{TRST} | $V_{CCQ} \times 0.9$ | - | $V_{CCQ} + 0.3$ | V | | |
| | EXTAL | $V_{CCQ} - 0.3$ | - | $V_{CCQ} + 0.3$ | | | |
| | その他の入力端子 | 2.0 | - | $V_{CCQ} + 0.3$ | | | |
| 入力 Low レベル電圧 | \overline{RES} 、 NMI 、 $IRQ7 \sim IRQ0$ 、 $MD5$ $MD3 \sim MD0$ 、 \overline{ASEMD} 、 \overline{TESTMD} 、 $HIFMD$ 、 \overline{TRST} | - 0.3 | - | $V_{CCQ} \times 0.1$ | V | | |
| | EXTAL | - 0.3 | - | $V_{CCQ} \times 0.2$ | | | |
| | その他の入力端子 | - 0.3 | - | $V_{CCQ} \times 0.2$ | | | |
| 出力 High レベル電圧 | 全出力端子 | V_{OH} | 2.4 | - | - | V | $V_{CCQ} = 3.0V$ 、 $I_{OH} = -200 \mu A$ |
| | | | 2.0 | - | - | | $V_{CCQ} = 3.0V$ 、 $I_{OH} = -2mA$ |
| 出力 Low レベル電圧 | 全出力端子 | V_{OL} | - | - | 0.55 | V | $V_{CCQ} = 3.6V$ 、 $I_{OL} = 2.0mA$ |

- 【注】
1. V_{CC} 端子は必ず V_{CC} 、 V_{SS} 端子は必ず V_{SS} に接続してください。
 2. 消費電流値は、 $V_{IHmin} = V_{CCQ} - 0.5V$ 、 $V_{ILmax} = 0.5V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。

表 21.5 出力許容電流値

条件： $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ （標準品）、 $-40 \sim 85$ （広温度範囲品）

| 項目 | 記号 | min | typ | max | 単位 |
|--------------------------|-------------|-----|-----|-----|----|
| 出力 Low レベル許容電流（1 端子あたり） | I_{OL} | - | - | 2.0 | mA |
| 出力 Low レベル許容電流（総和） | I_{OL} | - | - | 120 | mA |
| 出力 High レベル許容電流（1 端子あたり） | $-I_{OH}$ | - | - | 2.0 | mA |
| 出力 High レベル許容電流（総和） | $(-I_{OH})$ | - | - | 40 | mA |

【注】 LSI の信頼性を確保するため、出力電流値は表 21.5 の値を超えないようにしてください。

21.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがない限り、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 21.6 最大動作周波数

条件： $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ （標準品）、 $-40 \sim 85$ （広温度範囲品）

| 項目 | 記号 | min | typ | max | 単位 | 備考 |
|-------|-------------------|-----|-----|-----|-----|-----|
| 動作周波数 | CPU、 キャッシュ(I) | f | 20 | - | 100 | MHz |
| | 外部バス(B) | | 20 | - | 50 | |
| | 周辺モジュール(P) | | 5 | - | 50 | |

21.4.1 クロックタイミング

表 21.7 クロックタイミング

条件： $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ （標準品）、 $-40 \sim 85$ （広温度範囲品）、外部バス最大動作周波数：50MHz

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------|-------------|-----|-----|-----|------|
| EXTAL クロック入力周波数 | f_{EX} | 10 | 25 | MHz | 21.1 |
| EXTAL クロック入力サイクル時間 | t_{Excyc} | 40 | 100 | ns | |
| EXTAL クロック入力 Low レベルパルス幅 | t_{EXL} | 10 | - | ns | |
| EXTAL クロック入力 High レベルパルス幅 | t_{EXH} | 10 | - | ns | |
| EXTAL クロック入力立ち上がり時間 | t_{Exr} | - | 4 | ns | |
| EXTAL クロック入力立ち下がり時間 | t_{Exf} | - | 4 | ns | |
| CKIO クロック出力周波数 | f_{OP} | 20 | 50 | MHz | 21.2 |
| CKIO クロック出力サイクル時間 | t_{cyc} | 20 | 50 | ns | |
| CKIO クロック出力 Low レベルパルス幅 | t_{CKOL} | 5 | - | ns | |
| CKIO クロック出力 High レベルパルス幅 | t_{CKOH} | 5 | - | ns | |
| CKIO クロック出力立ち上がり時間 | t_{CKOr} | - | 5 | ns | |

21. 電氣的特性

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------------|--------------|-----|-----|-----------------|------------|
| CKIO クロック出力立ち下がり時間 | t_{CKOf} | - | 5 | ns | 21.2 |
| CK_PHY クロック出力 Low レベルパルス幅 | t_{CKPHYL} | 12 | - | ns | |
| CK_PHY クロック出力 High レベルパルス幅 | t_{CKPHYH} | 12 | - | ns | |
| CK_PHY クロック出力立ち上がり時間 | t_{CKPHYr} | - | 6 | ns | |
| CK_PHY クロック出力立ち下がり時間 | t_{CKPHYf} | - | 6 | ns | |
| パワーオン発振安定時間 | t_{OSC1} | 10 | - | ms | 21.3 |
| RES セットアップ時間 | t_{RESS} | 25 | - | ns | 21.3, 21.4 |
| RES アサート時間 | t_{RESW} | 20 | - | $t_{b_{cyc}}^*$ | |
| スタンバイ復帰発振安定時間 1 | t_{OSC2} | 10 | - | ms | 21.4 |
| スタンバイ復帰発振安定時間 2 | t_{OSC3} | - | 10 | ms | 21.5 |
| PLL 同期安定化時間 | t_{PLL} | - | 100 | μs | 21.6 |

【注】 * $t_{b_{cyc}}$ は外部バスクロック (B) の周期を示します。

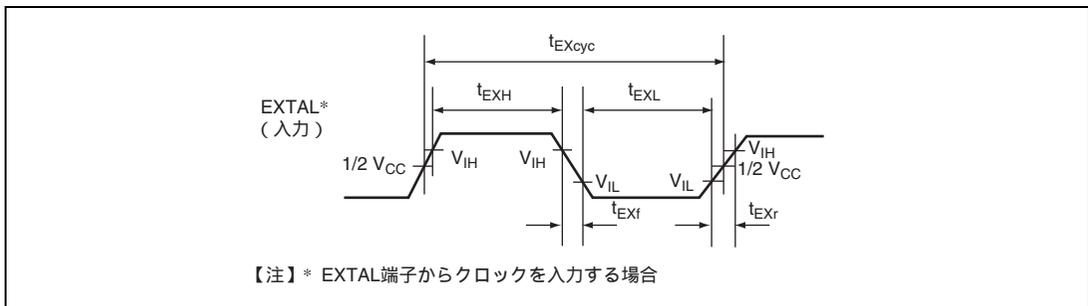


図 21.1 EXTERNAL クロック入力タイミング

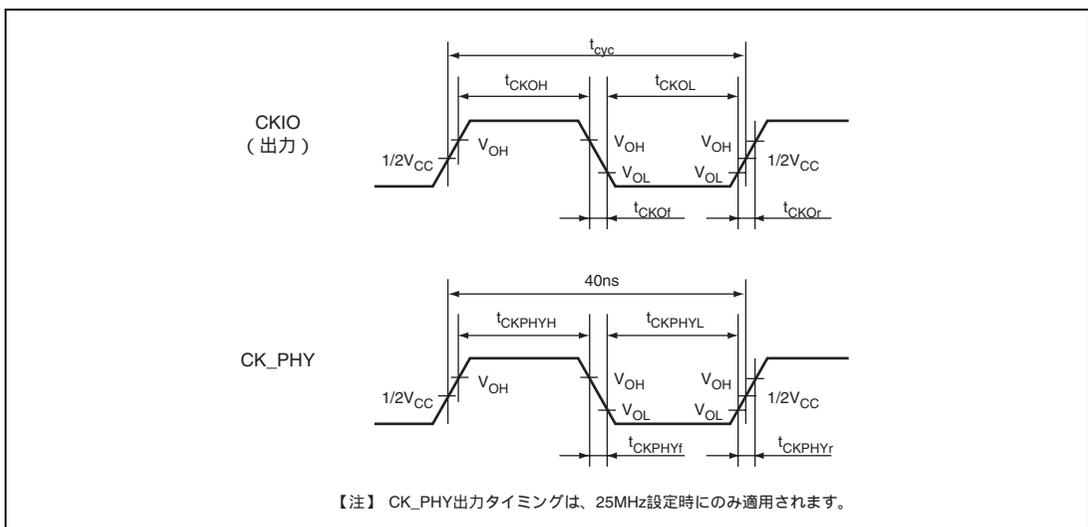


図 21.2 CKIO クロック出力タイミング、CK_PHY クロック出力タイミング

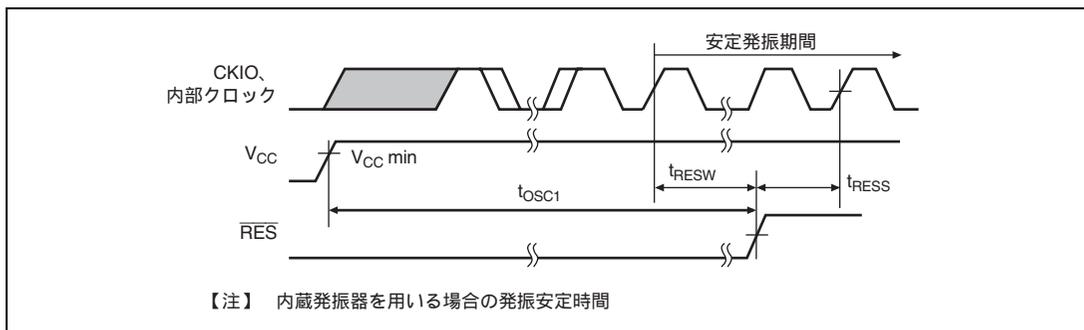


図 21.3 パワーオン発振安定時間

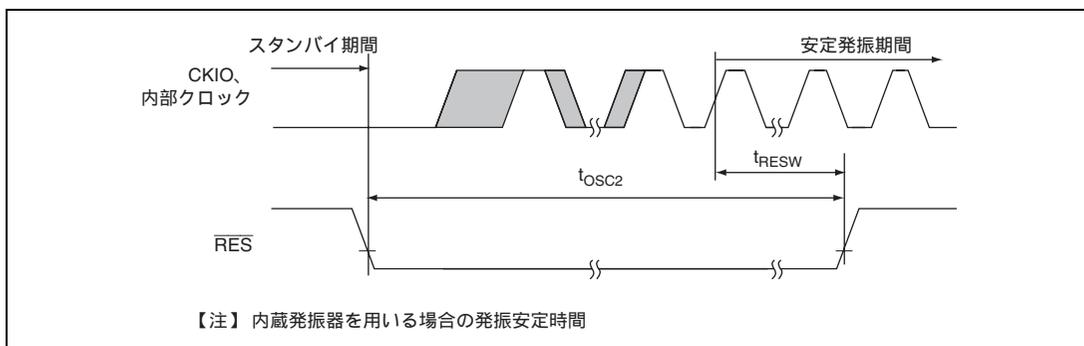


図 21.4 スタンバイ復帰時発振安定時間（リセットによる復帰）

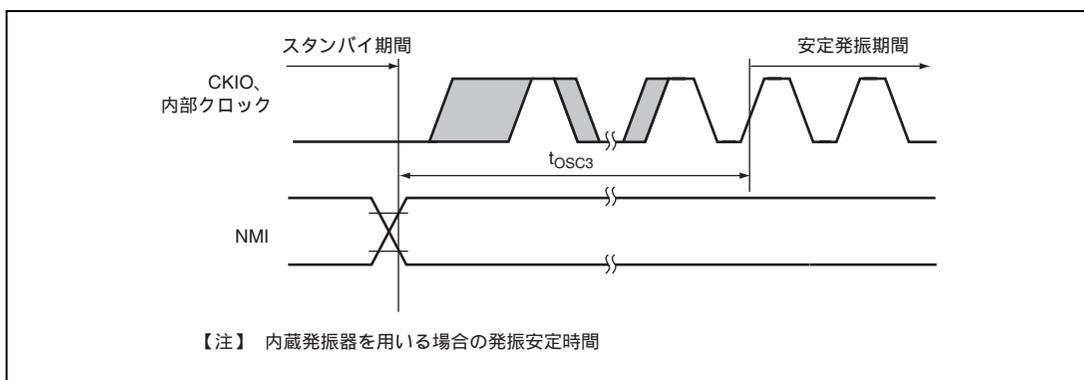


図 21.5 スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）

21. 電気的特性

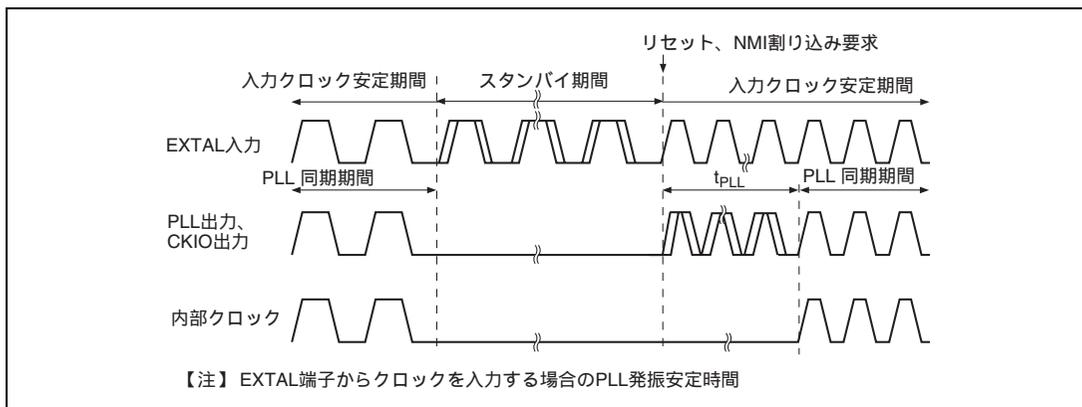


図 21.6 リセットまたはNMI 割り込みによる PLL 同期安定化時間

21.4.2 制御信号タイミング

表 21.8 制御信号タイミング

条件： $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ （標準品）、 $-40 \sim 85$ （広温度範囲品）

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------------------|-------------|------------------|-----|--------------------------|------|
| \overline{RES} パルス幅 | t_{RESW} | 20 ^{*2} | - | t_{bCYC} ^{*3} | 21.7 |
| RES セットアップ時間 ^{*1} | t_{RESS} | 25 | - | ns | 21.8 |
| RES ホールド時間 | t_{RESH} | 15 | - | ns | |
| NMI セットアップ時間 ^{*1} | t_{NMIS} | 12 | - | ns | 21.8 |
| NMI ホールド時間 | t_{NMIH} | 10 | - | ns | |
| IRQ7 ~ IRQ0 セットアップ時間 ^{*1} | t_{IRQS} | 12 | - | ns | 21.9 |
| IRQ7 ~ IRQ0 ホールド時間 | t_{IRQH} | 10 | - | ns | |
| バスタライステート遅延時間 1 | t_{BOFF1} | - | 20 | ns | 21.9 |
| バスタライステート遅延時間 2 | t_{BOFF2} | - | 20 | ns | |
| バスバッファオンタイム 1 | t_{BON1} | - | 20 | ns | |
| バスバッファオンタイム 2 | t_{BON2} | - | 20 | ns | |

【注】 *1 \overline{RES} 、NMI および IRQ7 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

*2 スタンバイモード時は、 $t_{RESW} = t_{OSC2}$ (10ms) になります。クロック通倍率が変化したときは、 $t_{RESW} = t_{PLL1}$ (100 μs) になります。

*3 t_{bCYC} は外部バスクロック (B) の周期を示します。

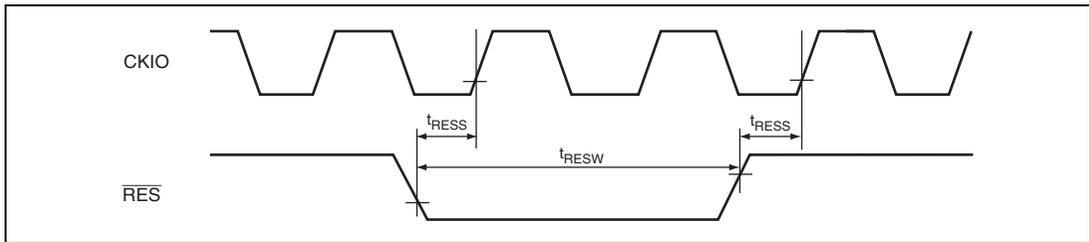


図 21.7 リセット入力タイミング

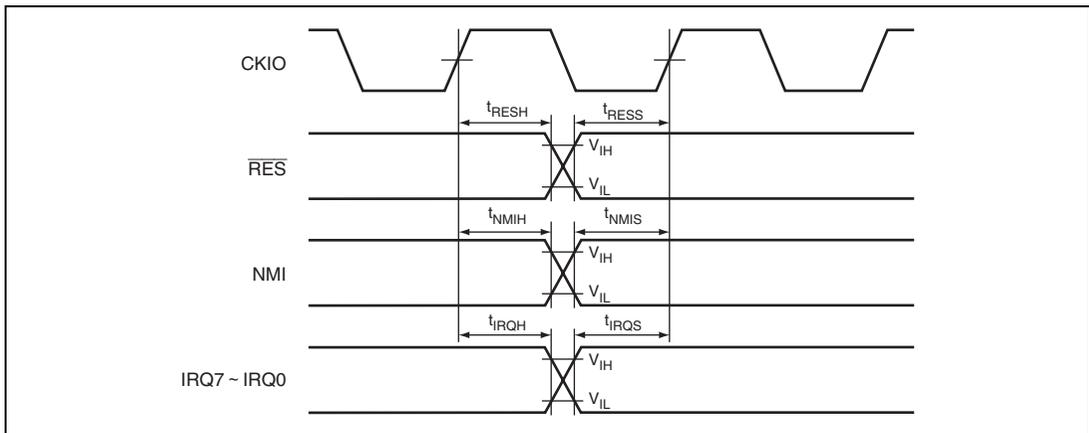


図 21.8 割り込み信号入力タイミング

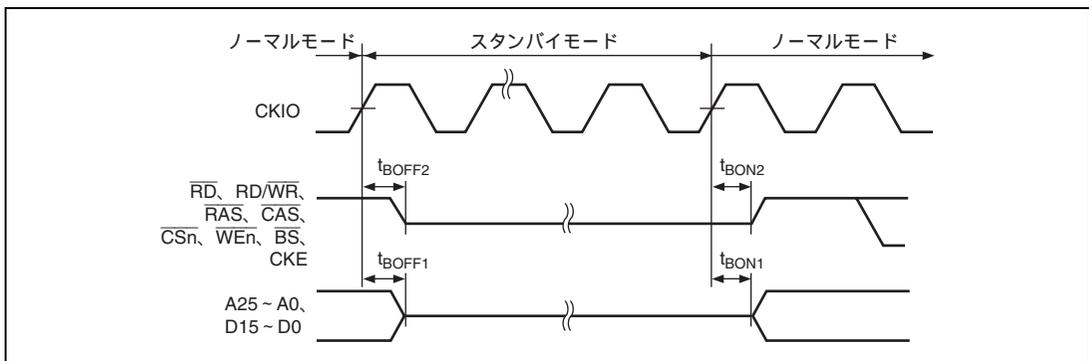


図 21.9 スタンバイ時の端子ドライブタイミング

21. 電気的特性

21.4.3 AC バスタイミング仕様

表 21.9 バスタイミング

条件：クロックモード 1/2/5/6、 $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ （標準品）、 $-40 \sim 85$ （広温度範囲品）

| 項目 | 記号 | min | max | 単位 | 参照図 |
|-------------------------------------|-------------|-------------------------|-------------------------|----|------------------------------|
| アドレス遅延時間 1 | t_{AD1} | 1 | 15 | ns | 21.10 ~ 21.36 |
| アドレスセットアップ時間 | t_{AS} | 3 | - | ns | 21.10 ~ 21.13 |
| アドレスホールド時間 | t_{AH} | 3 | - | ns | 21.10 ~ 21.13 |
| BS 遅延時間 | t_{BSD} | 0 | 14 | ns | 21.10 ~ 21.29, 21.33 ~ 21.36 |
| \overline{CS} 遅延時間 1 | t_{CSD1} | 1 | 14 | ns | 21.10 ~ 21.36 |
| リードライト遅延時間 | t_{RWD} | 1 | 14 | ns | 21.10 ~ 21.36 |
| ライトストロブ遅延時間 | t_{RWD2} | - | 14 | ns | 21.15 |
| リードストロブ時間 | t_{RSD} | $1/2t_{b\text{cyc}}$ | $1/2t_{b\text{cyc}}+13$ | ns | 21.10 ~ 21.15, 21.33, 21.34 |
| リードデータセットアップ時間 1 | t_{RDS1} | $1/2t_{b\text{cyc}}+10$ | - | ns | 21.10 ~ 21.15, 21.33 ~ 21.36 |
| リードデータセットアップ時間 2 | t_{RDS2} | 12 | - | ns | 21.16 ~ 21.19, 21.24 ~ 21.26 |
| リードデータホールド時間 1 | t_{RDH1} | 0 | - | ns | 21.10 ~ 21.15, 21.33 ~ 21.36 |
| リードデータホールド時間 2 | t_{RDH2} | 2 | - | ns | 21.16 ~ 21.19, 21.24 ~ 21.26 |
| ライトイネーブル遅延時間 1 | t_{WED1} | $1/2t_{b\text{cyc}}$ | $1/2t_{b\text{cyc}}+13$ | ns | 21.10 ~ 21.14, 21.33, 21.34 |
| ライトイネーブル遅延時間 2 | t_{WED2} | - | 13 | ns | 21.15 |
| ライトデータ遅延時間 1 | t_{WDD1} | - | 18 | ns | 21.10 ~ 21.15, 21.33 ~ 21.36 |
| ライトデータ遅延時間 2 | t_{WDD2} | - | 17 | ns | 21.20 ~ 21.23, 21.27 ~ 21.29 |
| ライトデータホールド時間 1 | t_{WDH1} | 2 | - | ns | 21.10 ~ 21.15, 21.33 ~ 21.36 |
| ライトデータホールド時間 2 | t_{WDH2} | 2 | - | ns | 21.20 ~ 21.23, 21.27 ~ 21.29 |
| ライトデータホールド時間 3 | t_{WDH3} | 0 | - | ns | 21.10 ~ 21.13 |
| WAIT セットアップ時間 | t_{WTS} | $1/2t_{b\text{cyc}}+11$ | - | ns | 21.12 ~ 21.15, 21.34, 21.36 |
| WAIT ホールド時間 | t_{WTH} | $1/2t_{b\text{cyc}}+10$ | - | ns | 21.12 ~ 21.15, 21.34, 21.36 |
| RAS 遅延時間 | t_{RASD} | 1 | 15 | ns | 21.16 ~ 21.27, 21.29 ~ 21.32 |
| \overline{CAS} 遅延時間 | t_{CASD} | 1 | 15 | ns | 21.16 ~ 21.32 |
| DQM 遅延時間 | t_{DQMD} | 1 | 15 | ns | 21.16 ~ 21.29 |
| CKE 遅延時間 | t_{CKED} | - | 14 | ns | 21.31 |
| $\overline{ICIOR\overline{D}}$ 遅延時間 | t_{ICRSD} | $1/2t_{b\text{cyc}}$ | $1/2t_{b\text{cyc}}+15$ | ns | 21.35, 21.36 |
| $\overline{ICIOR\overline{W}}$ 遅延時間 | t_{ICWSD} | $1/2t_{b\text{cyc}}$ | $1/2t_{b\text{cyc}}+15$ | ns | 21.35, 21.36 |
| $\overline{IOIS16}$ セットアップ時間 | t_{IO16S} | $1/2t_{b\text{cyc}}+11$ | - | ns | 21.36 |
| $\overline{IOIS16}$ ホールド時間 | t_{IO16H} | $1/2t_{b\text{cyc}}+10$ | - | ns | 21.36 |

21.4.4 基本タイミング

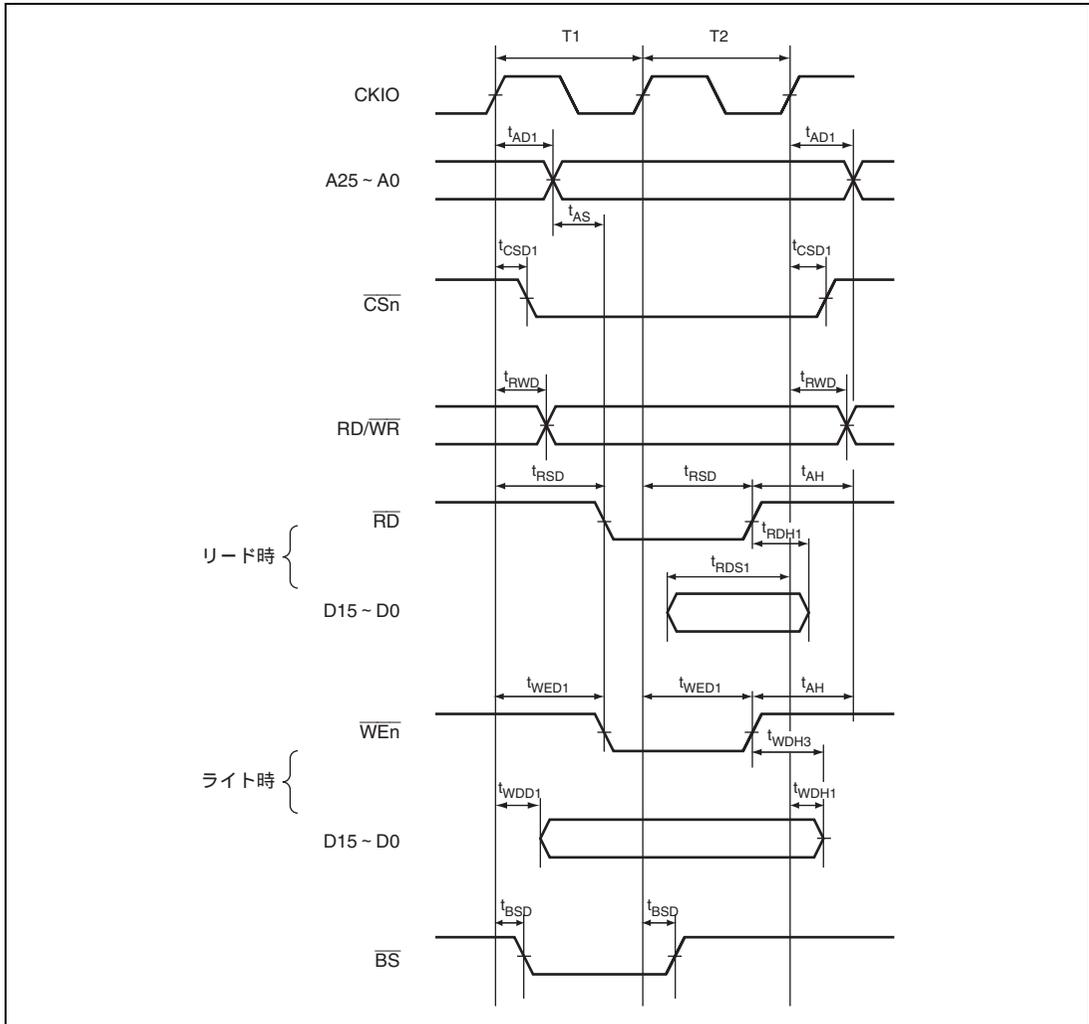


図 21.10 基本バスサイクル (ノーウェイト)

21. 電気的特性

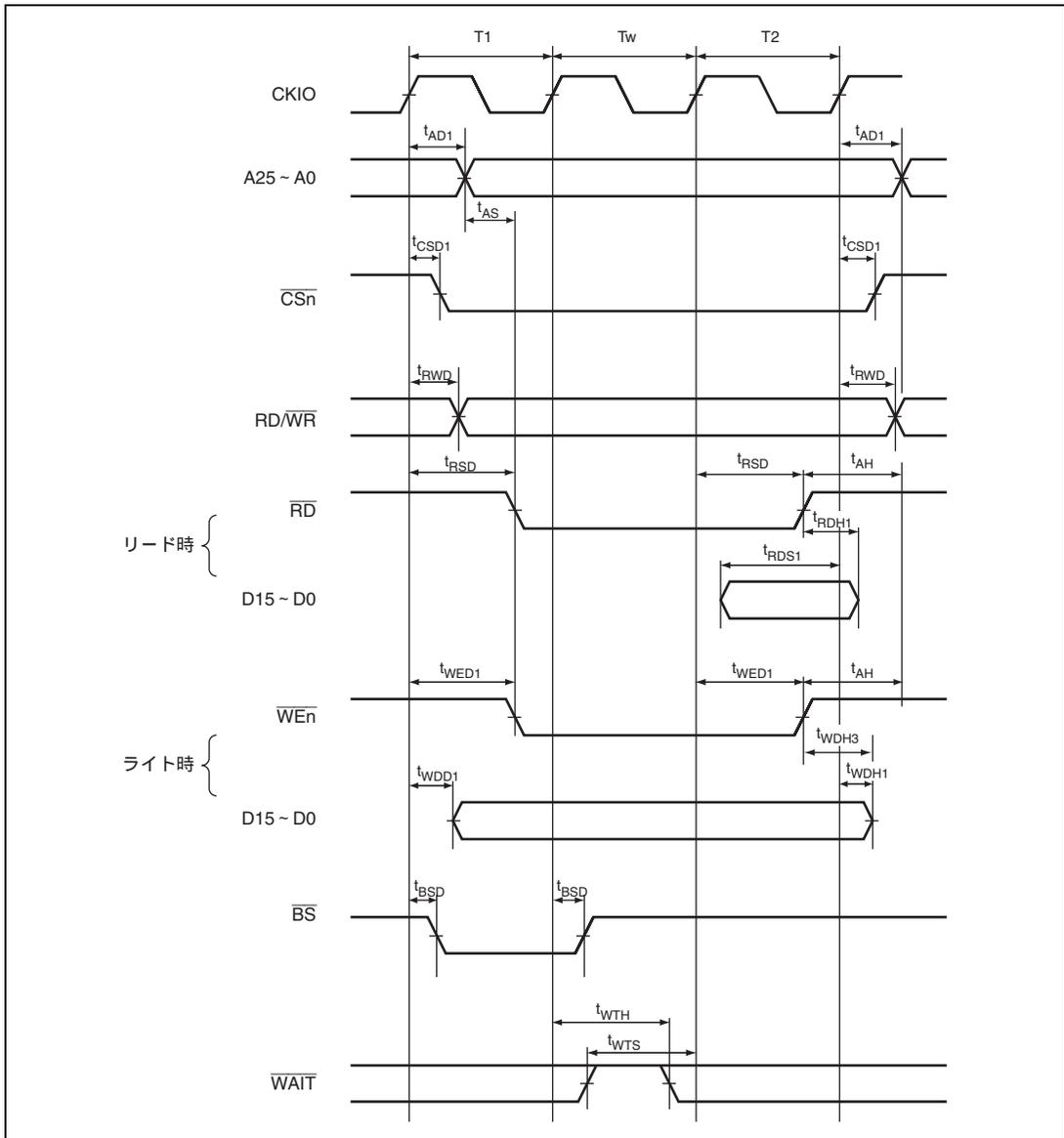


図 21.11 基本バスサイクル (ソフトウェアウェイト 1)

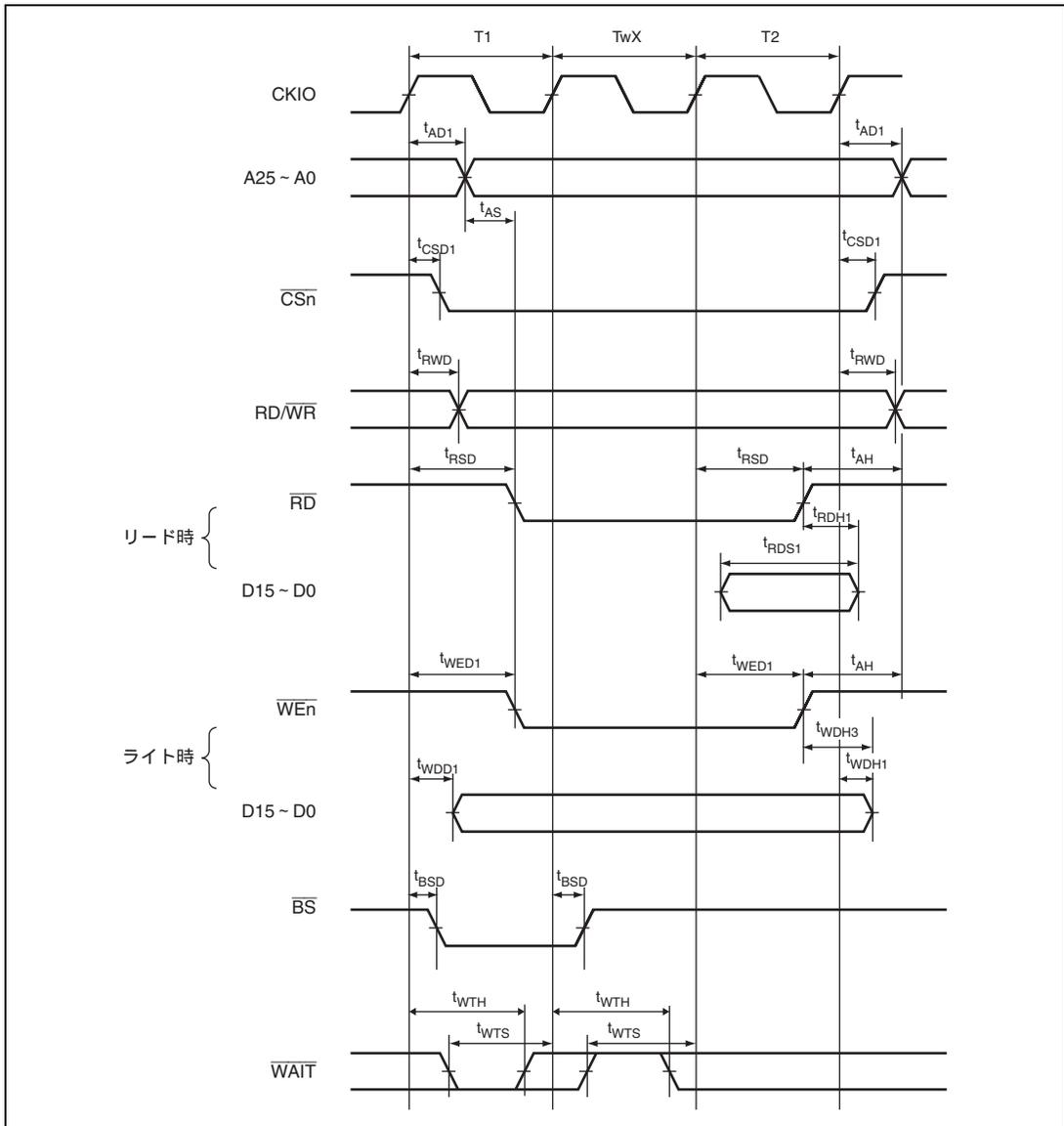


図 21.12 基本バスサイクル (外部ウェイト 1 挿入)

21. 電気的特性

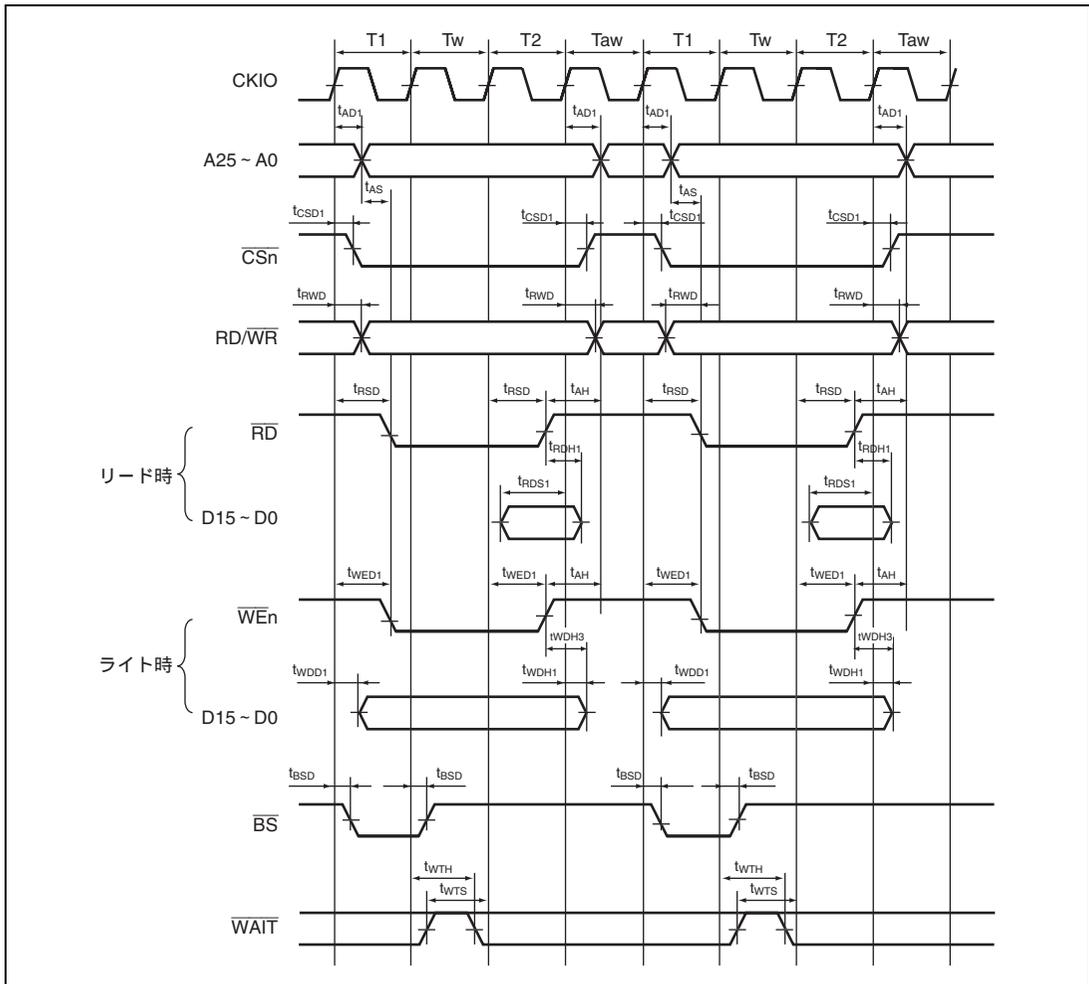


図 21.13 基本バスサイクル
 (ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし設定)

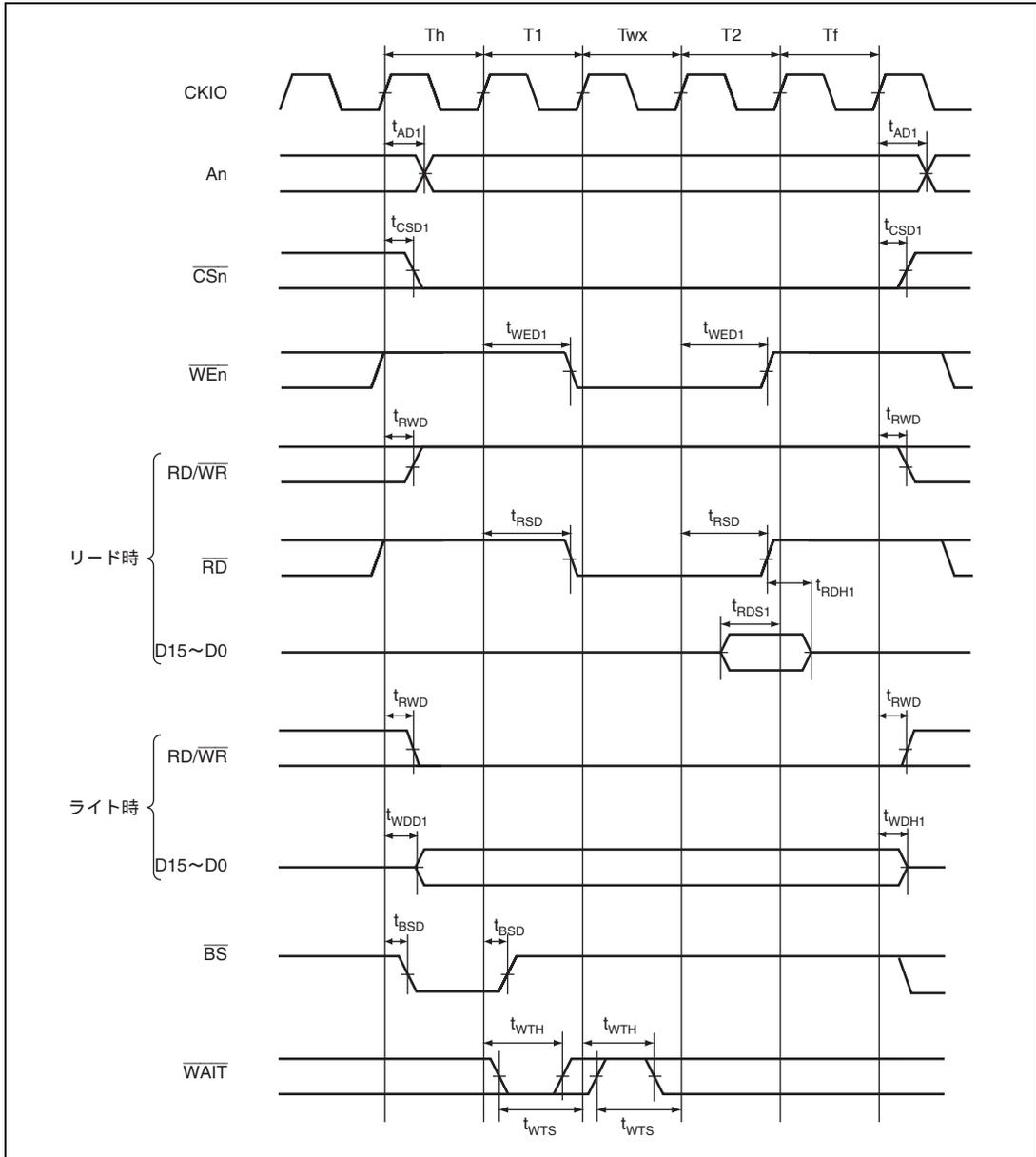


図 21.14 バイト選択付き SRAM タイミング (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、CSnWCR、BAS=0 (ライトサイクル UB、LB コントロール))

21. 電気的特性

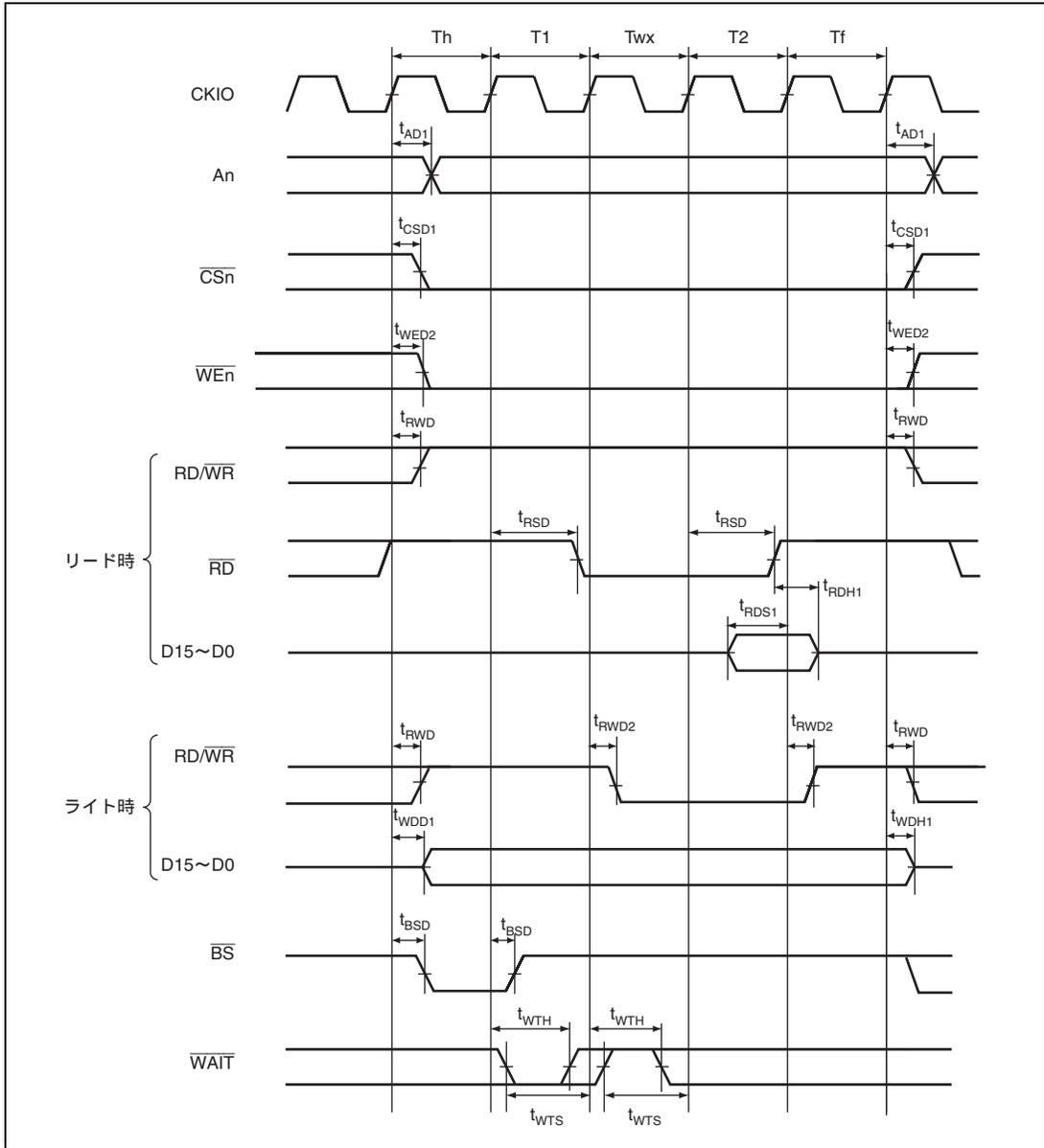


図 21.15 バイト選択付き SRAM タイミング (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入 CSnWCR.BAS = 1 (ライトサイクル WE コントロール))

21.4.5 シンクロナス DRAM タイミング

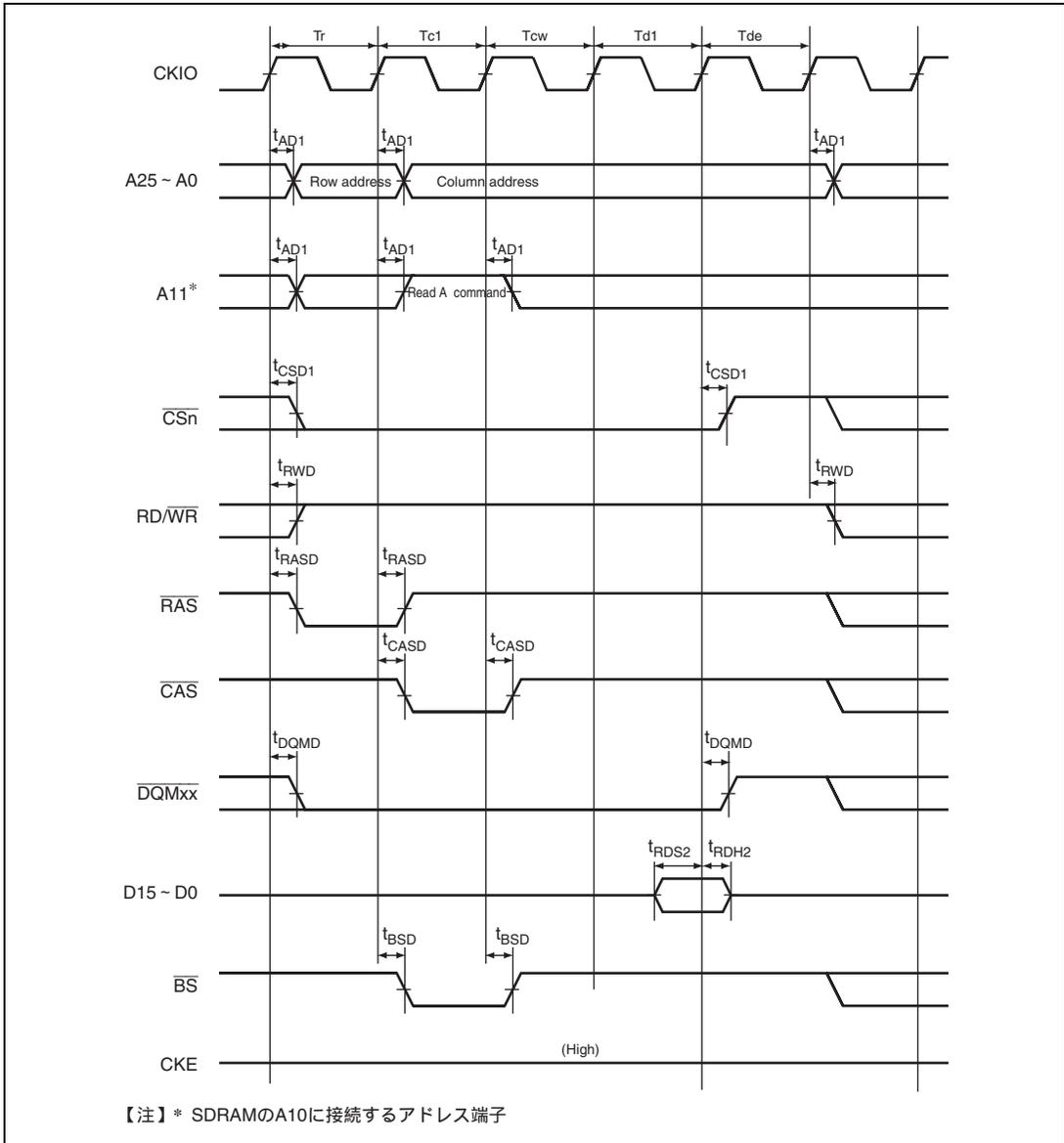


図 21.16 シンクロナス DRAM シングルリードバスサイクル
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

21. 電気的特性

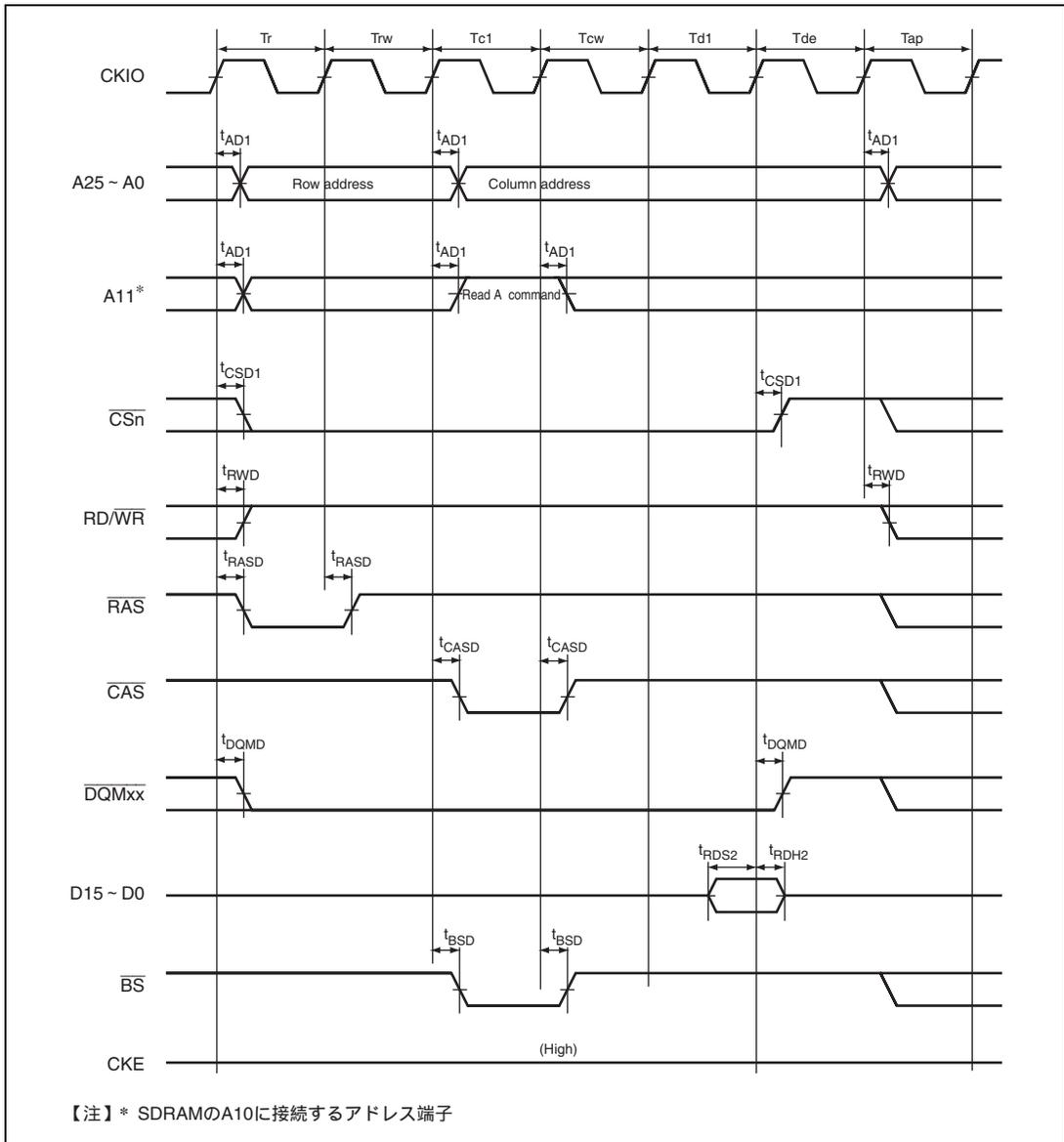


図 21.17 シンクロナス DRAM シングルリードバスサイクル
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

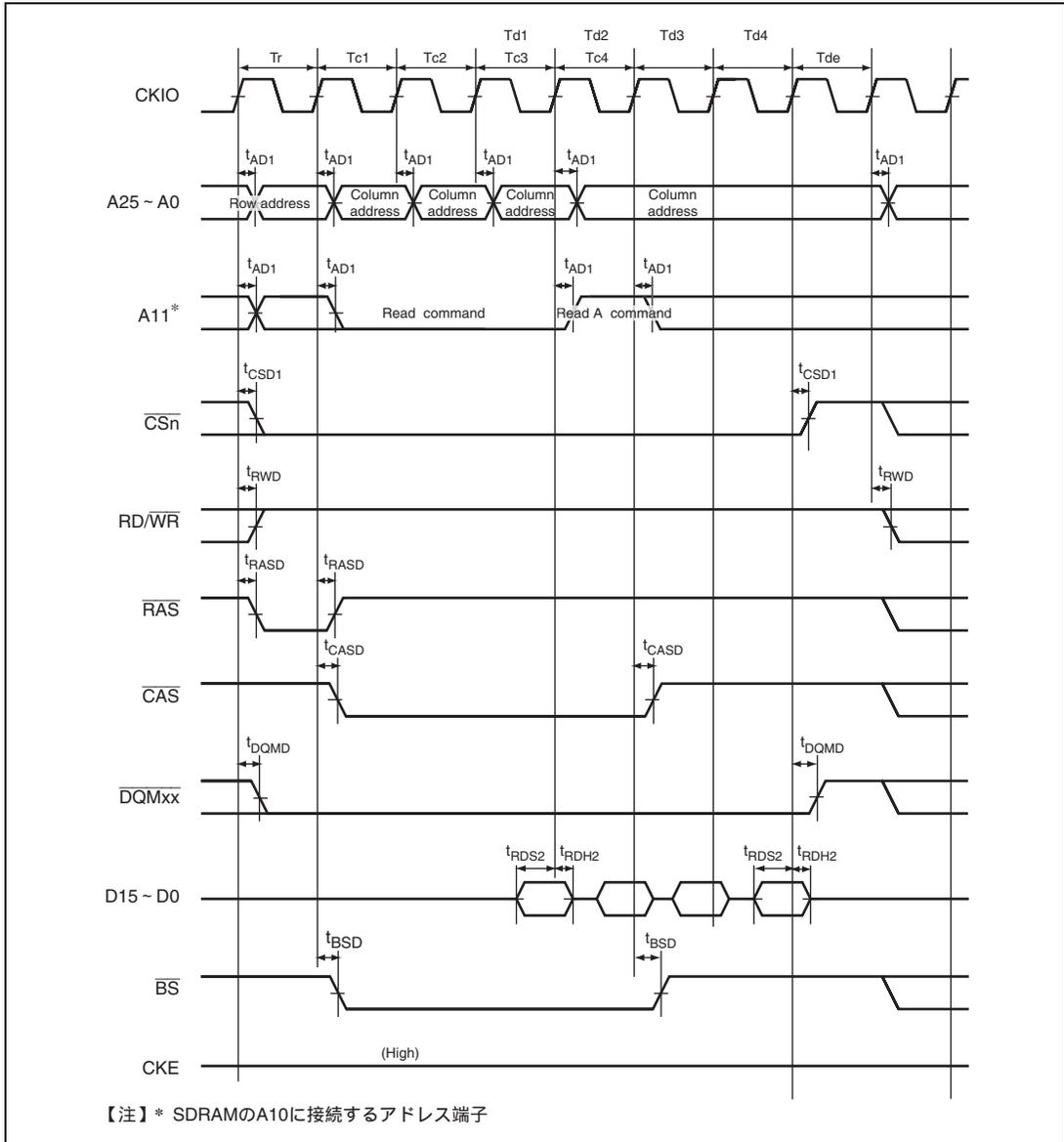


図 21.18 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=1 サイクル)

21. 電気的特性

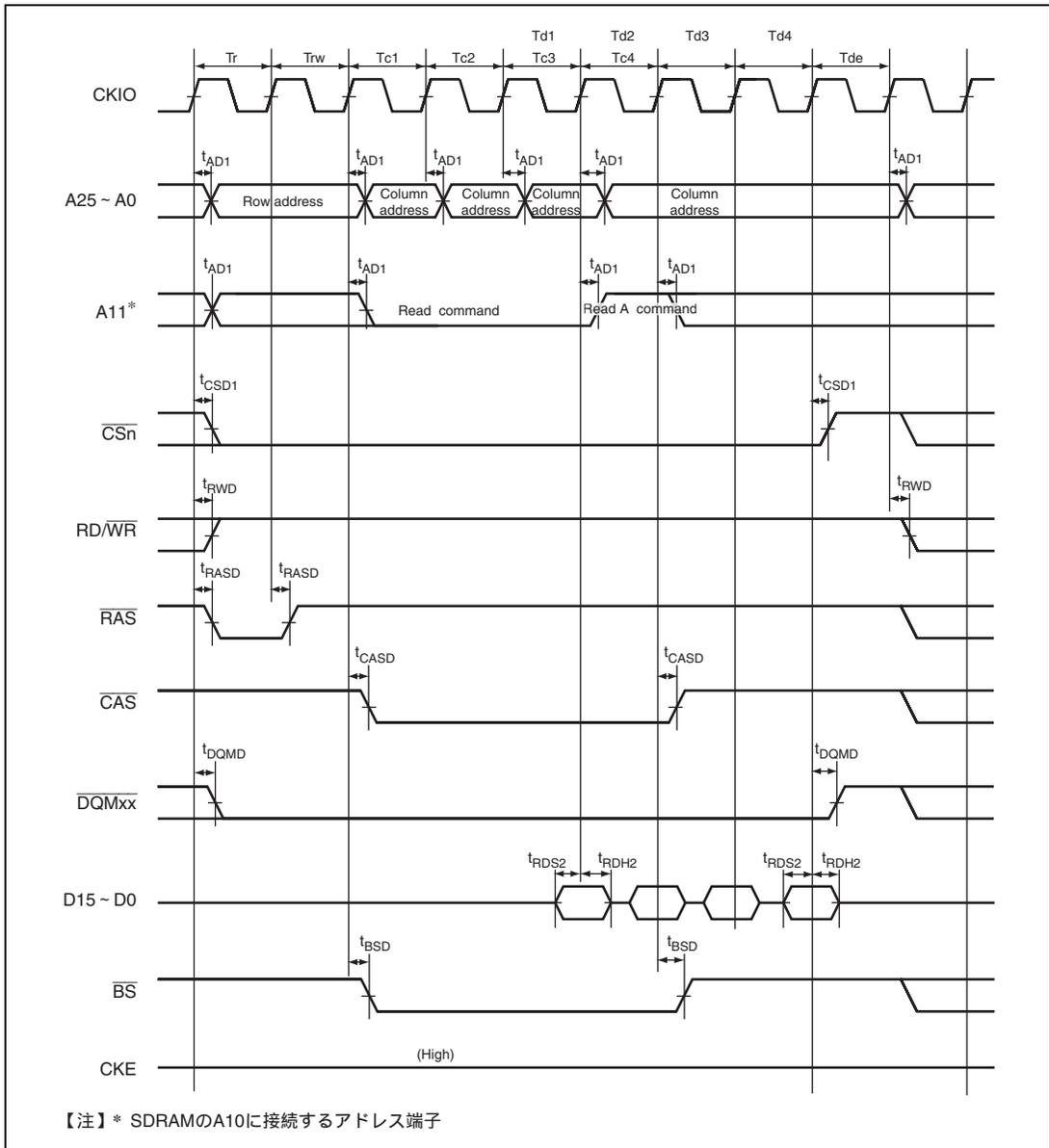


図 21.19 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル)

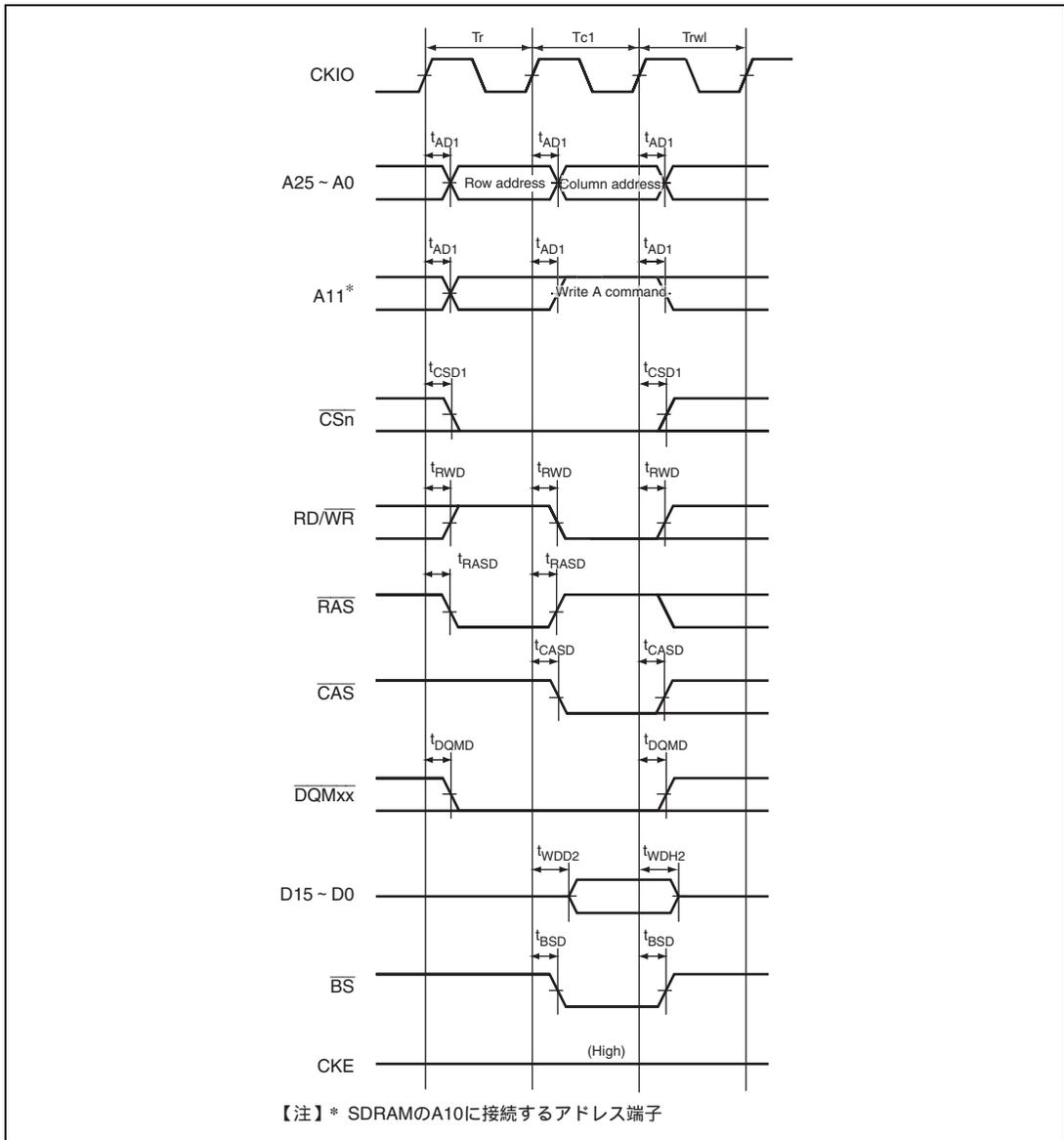


図 21.20 シンクロナス DRAM シングルライトバスサイクル (オートプリチャージあり、TRWL = 1 サイクル)

21. 電気的特性

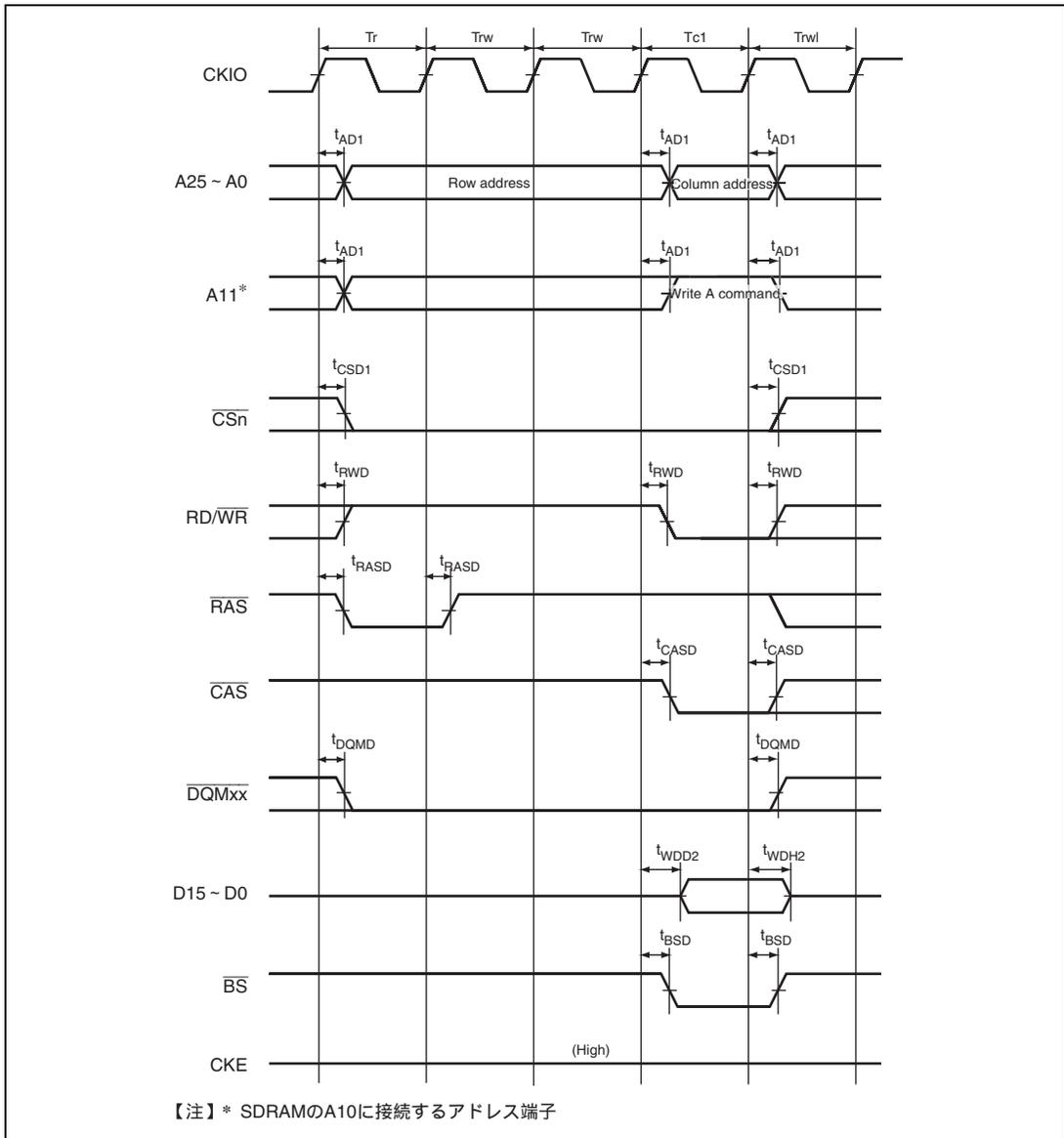


図 21.21 シンクロナス DRAM シングルライトパスサイクル
(オートプリチャージあり、WTRCD=2 サイクル、TRWL=1 サイクル)

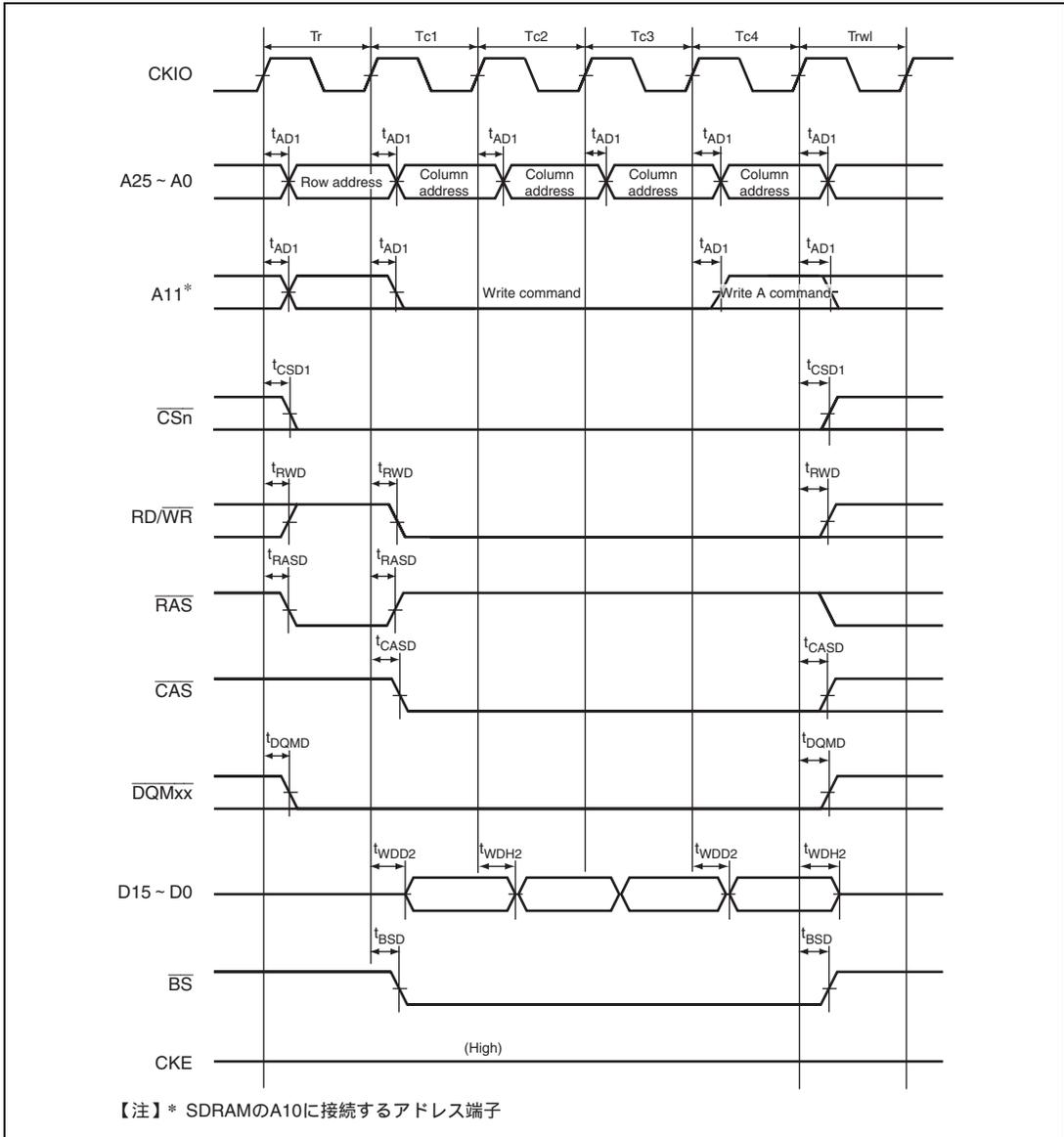


図 21.22 シンクロナス DRAM パーストライトバスサイクル (シングルライト×4)
(オートプリチャージあり、WTRCD=0 サイクル、TRWL=1 サイクル)

21. 電気的特性

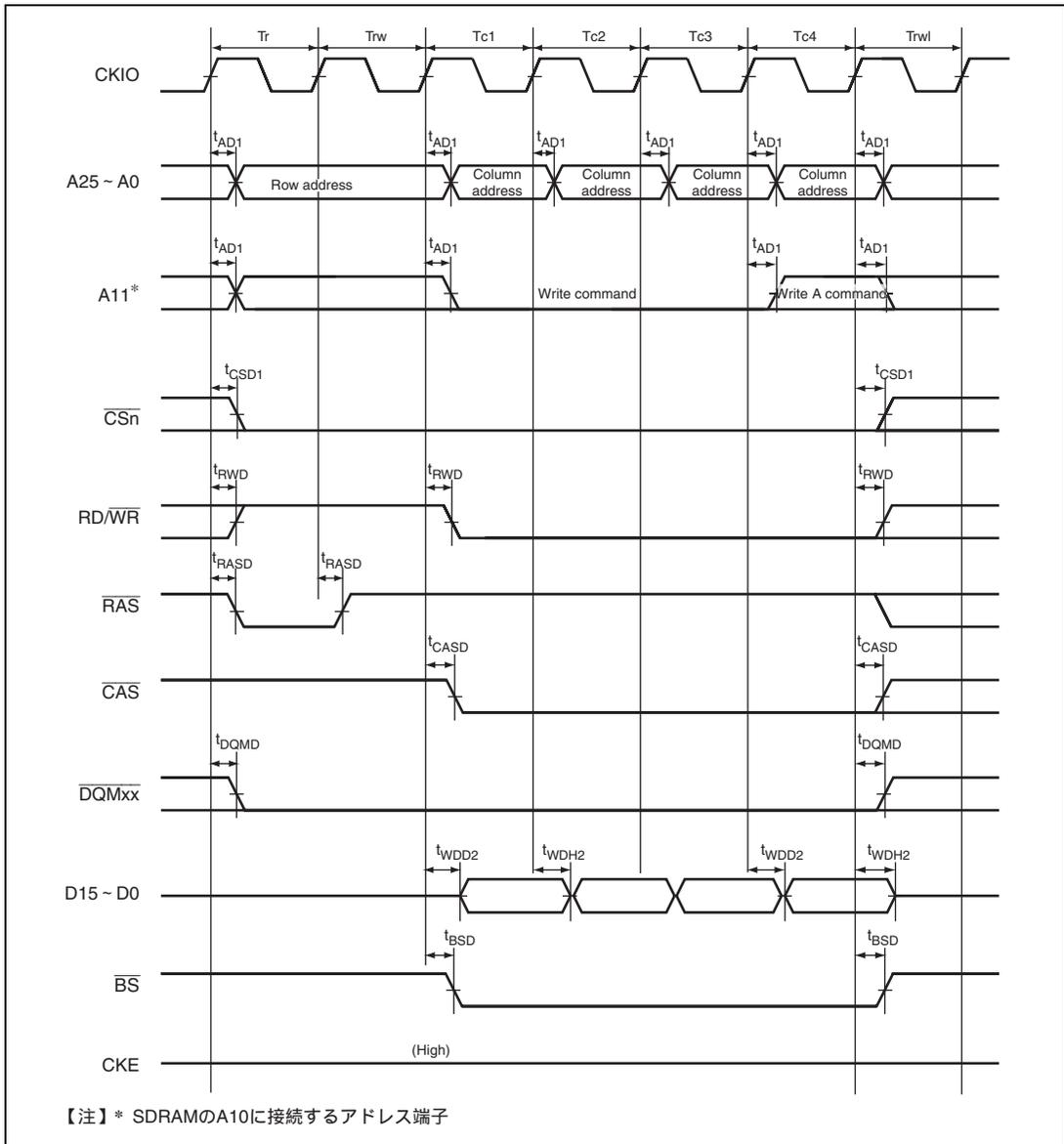


図 21.23 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)
(オートプリチャージあり、WTRCD=1 サイクル、TRWL=1 サイクル)

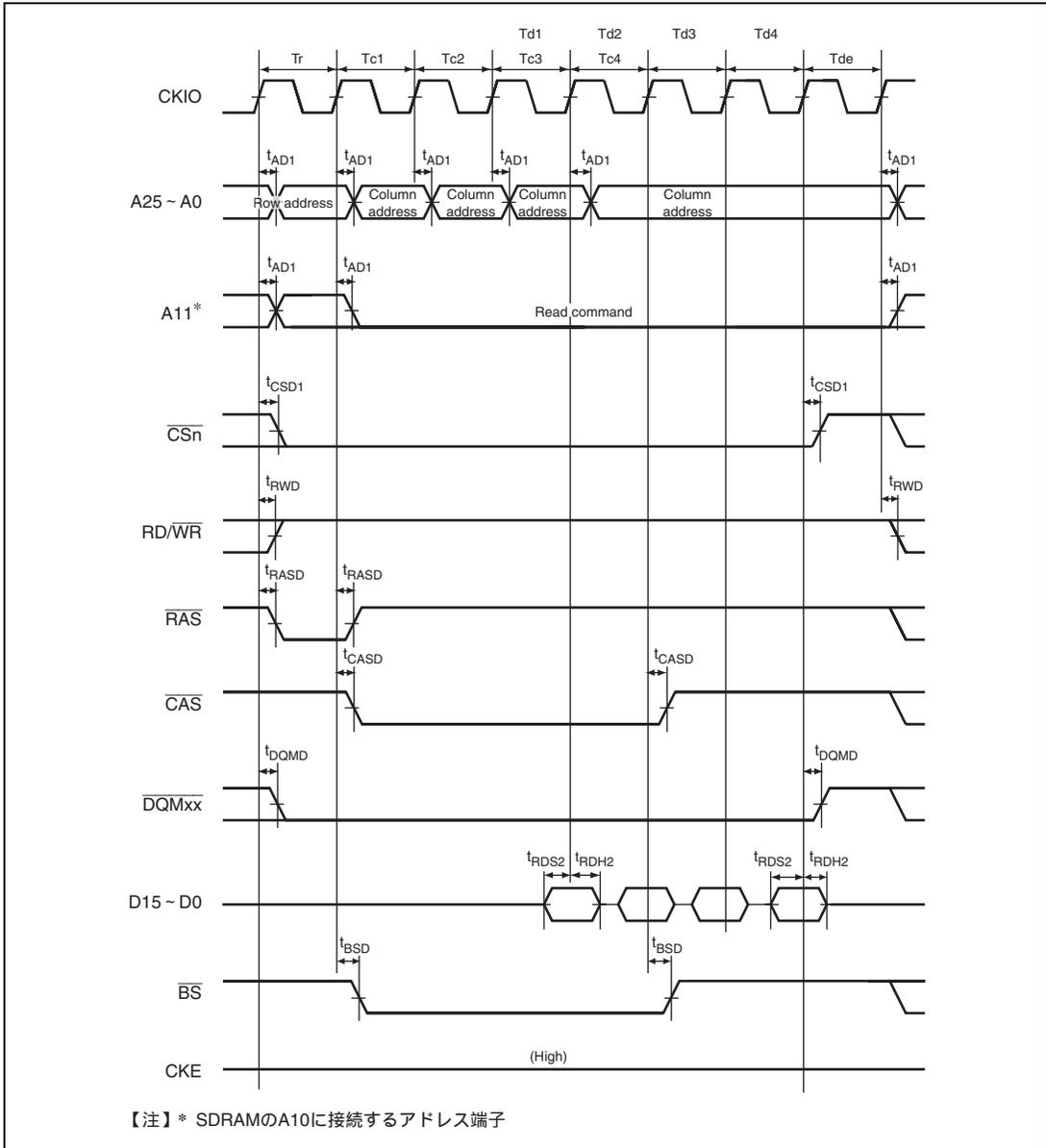


図 21.24 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
 (バンクアクティブモード: ACT+READ コマンド、CAS レイテンシ 2、WTRCD=0 サイクル)

21. 電気的特性

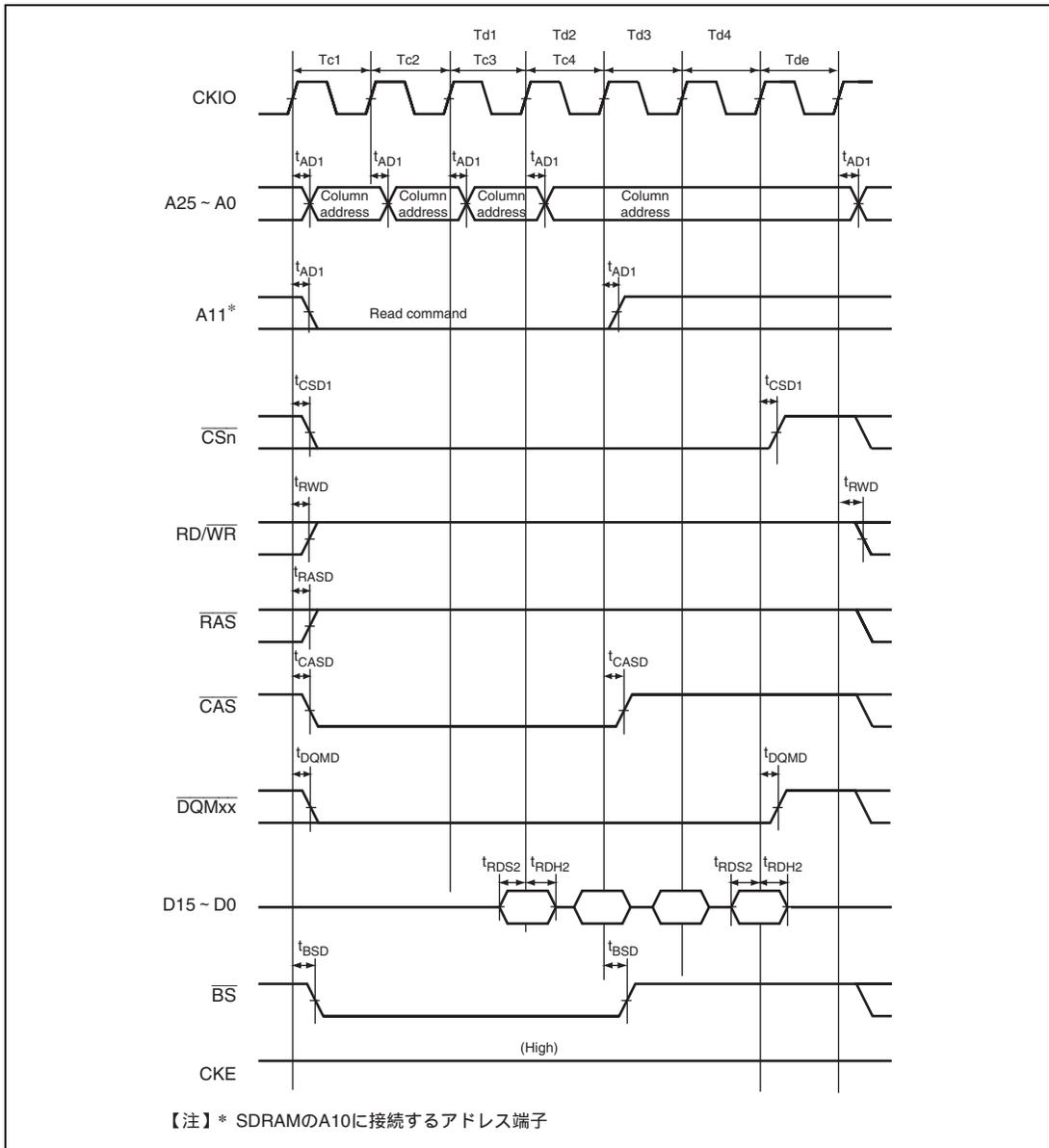


図 21.25 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
 (バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

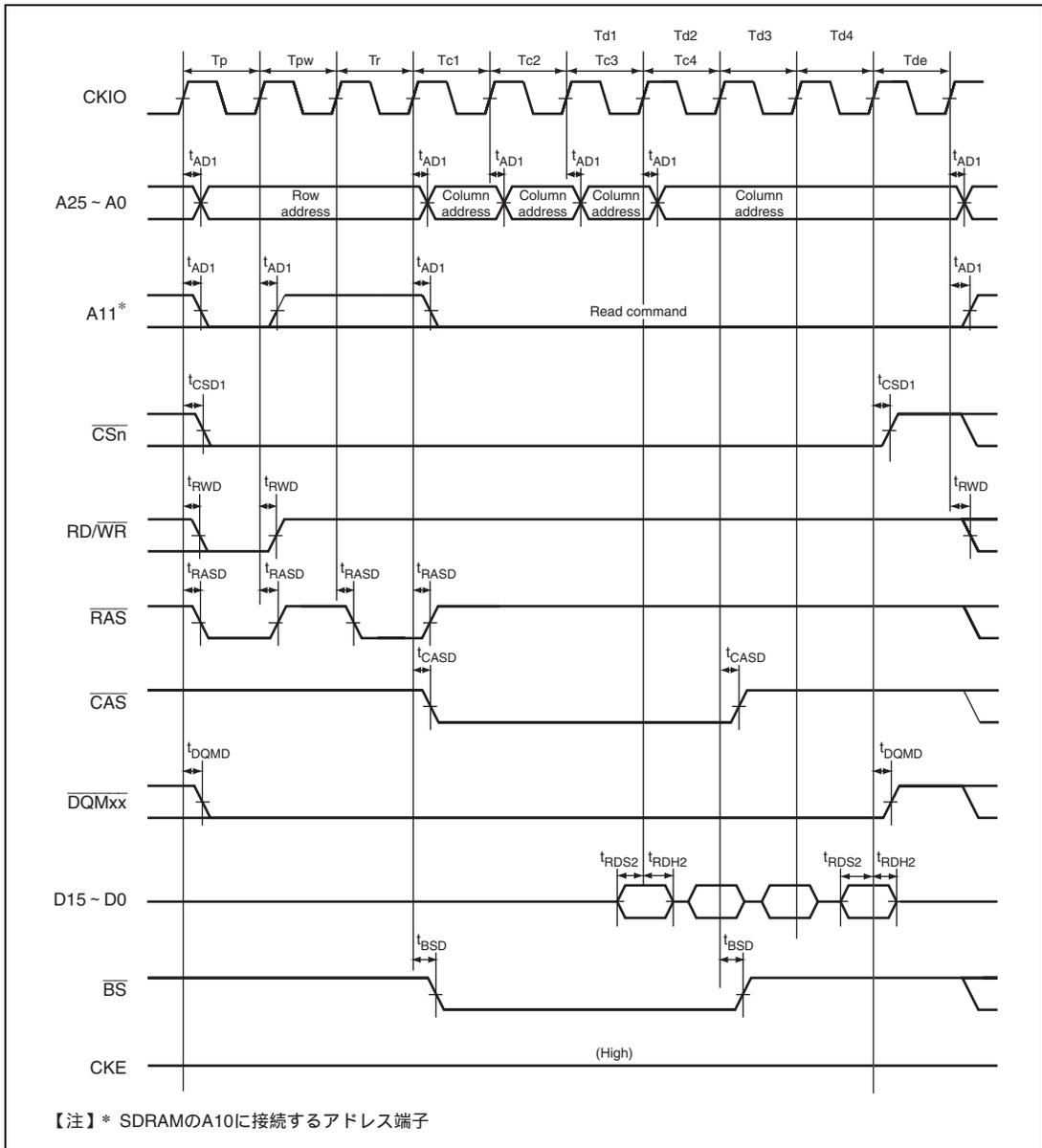


図 21.26 シンクロナス DRAM バーストリードバスサイクル (シングルリード×4)
 (バンクアクティブモード: PRE + ACT + READ コマンド、
 異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

21. 電気的特性

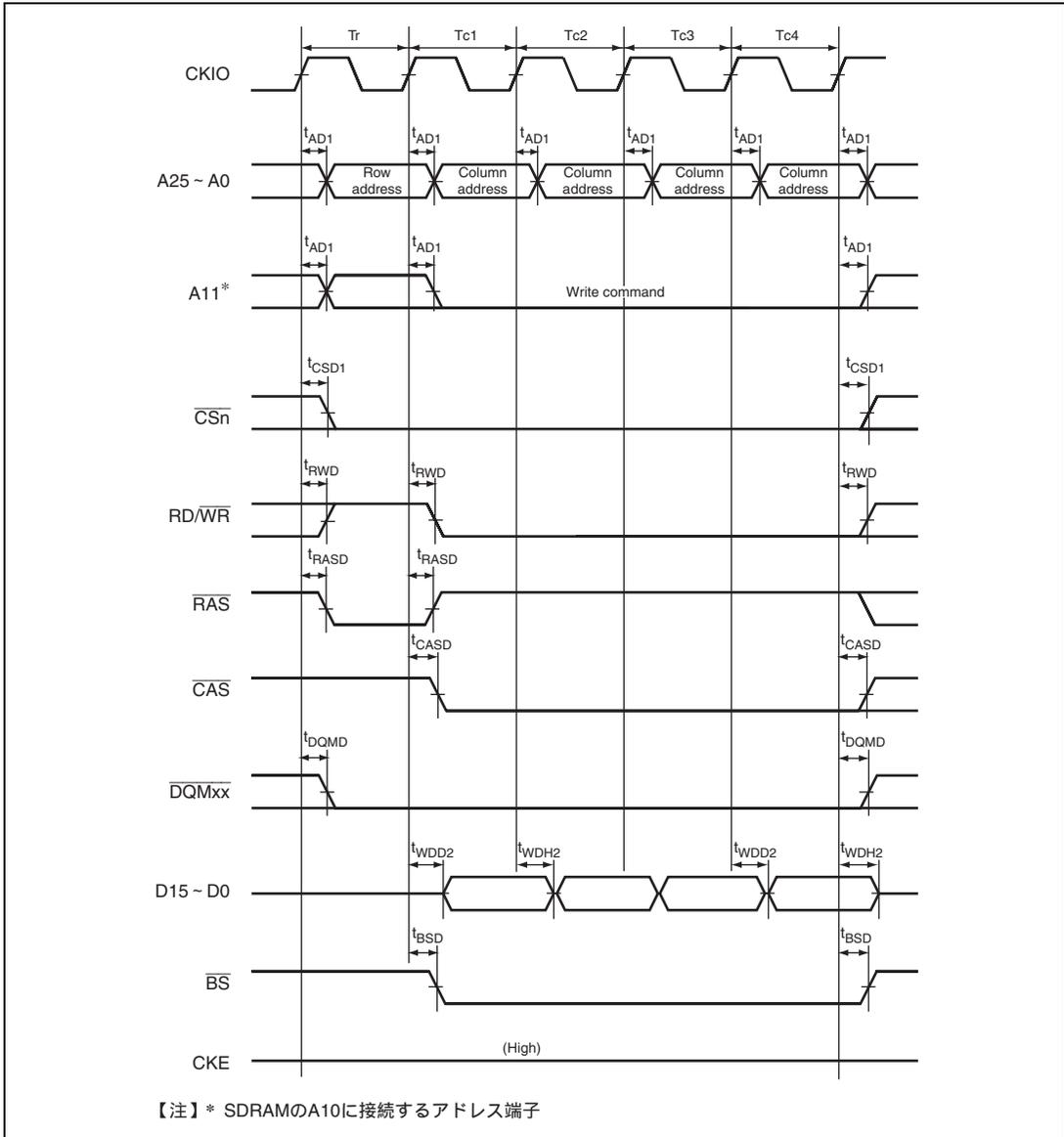


図 21.27 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)
(バンクアクティブモード : ACT+WRITE コマンド、WTRCD=0 サイクル、TRWL=0 サイクル)

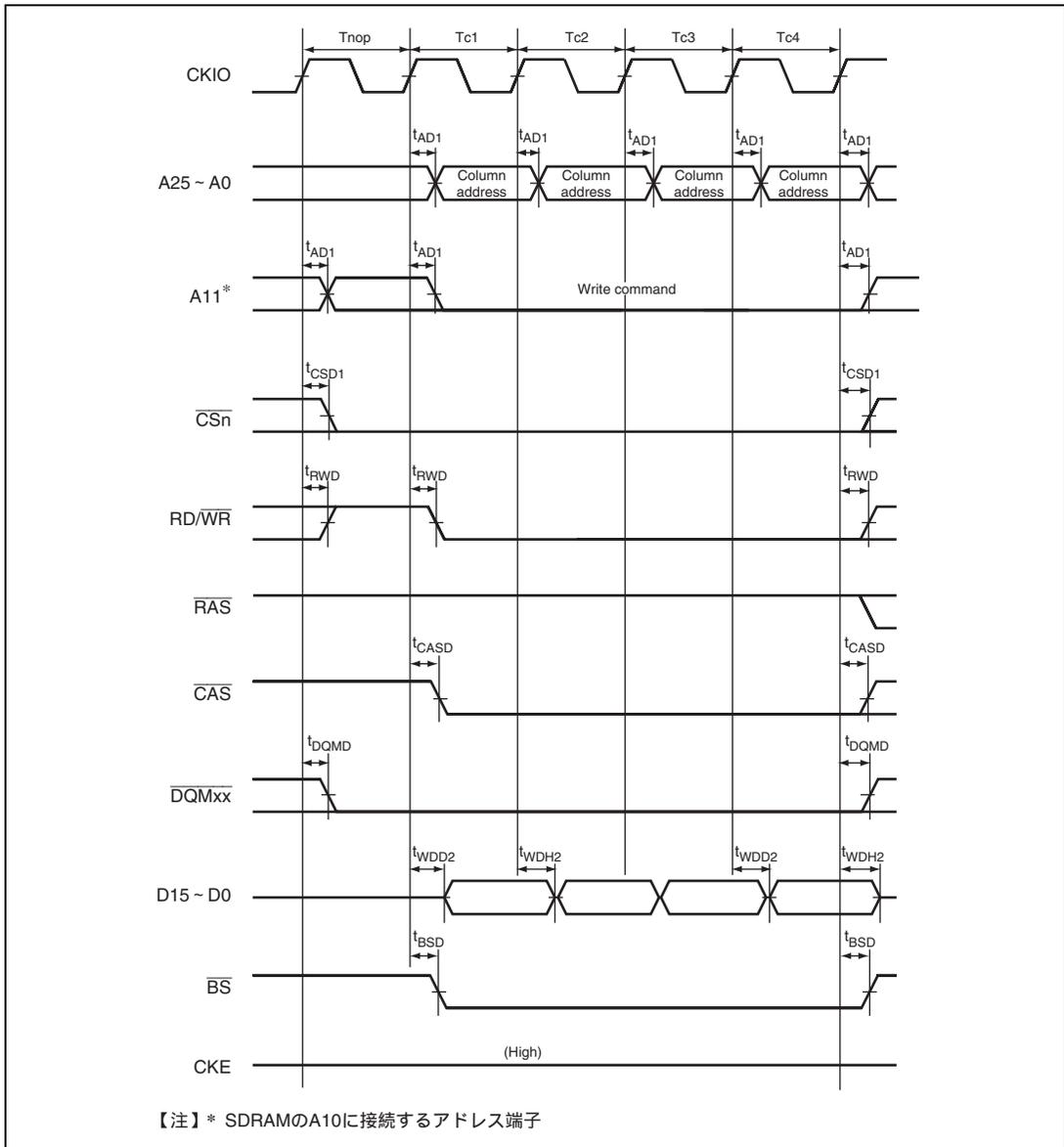


図 21.28 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)
 (バンクアクティブモード: WRITE コマンド、同一ロウアドレス、WTRCD=0 サイクル、TRWL=0 サイクル)

21. 電気的特性

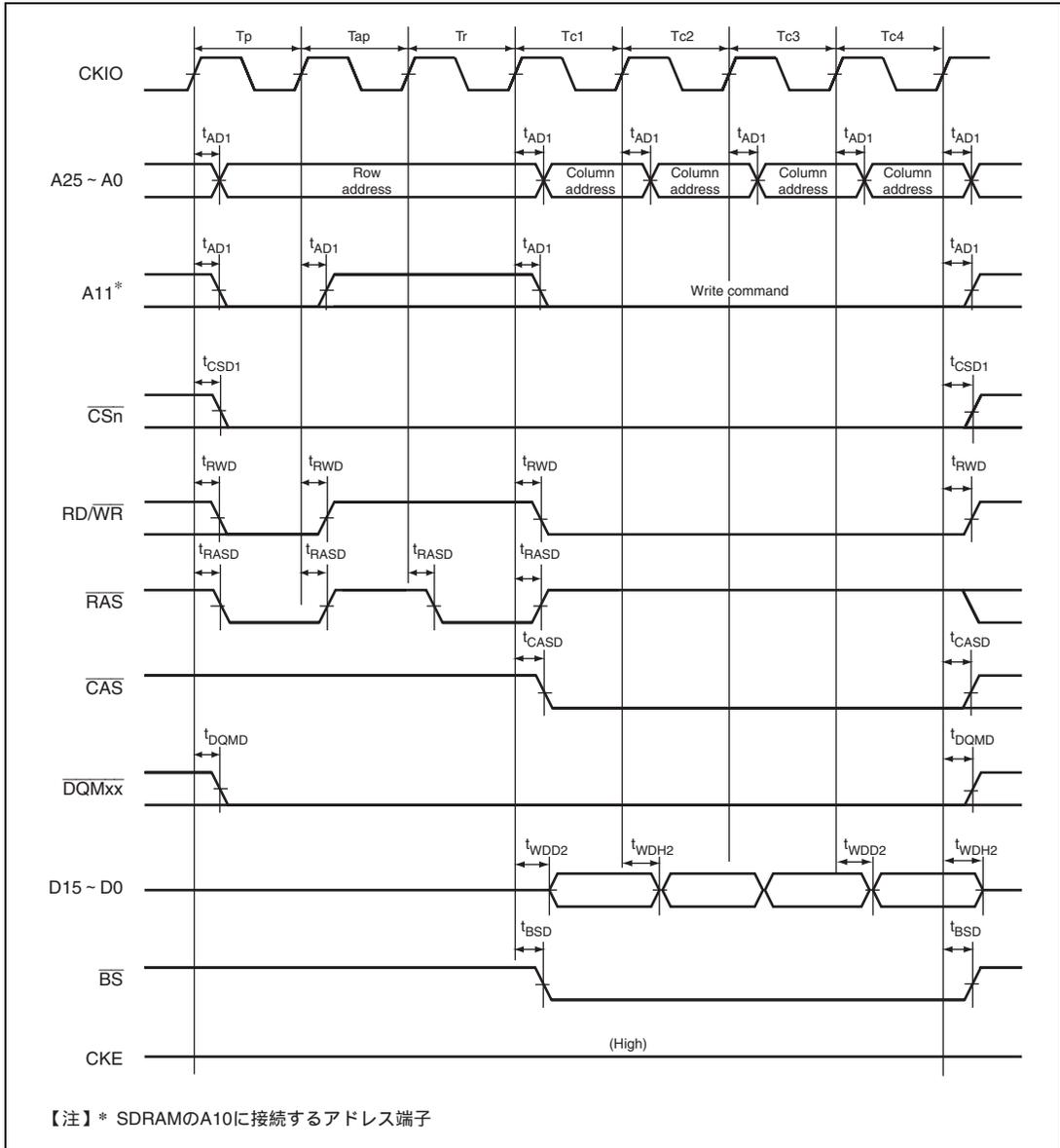


図 21.29 シンクロナス DRAM バーストライトバスサイクル (シングルライト×4)
 (バンクアクティブモード : PRE + ACT + WRITE コマンド、
 異なるロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

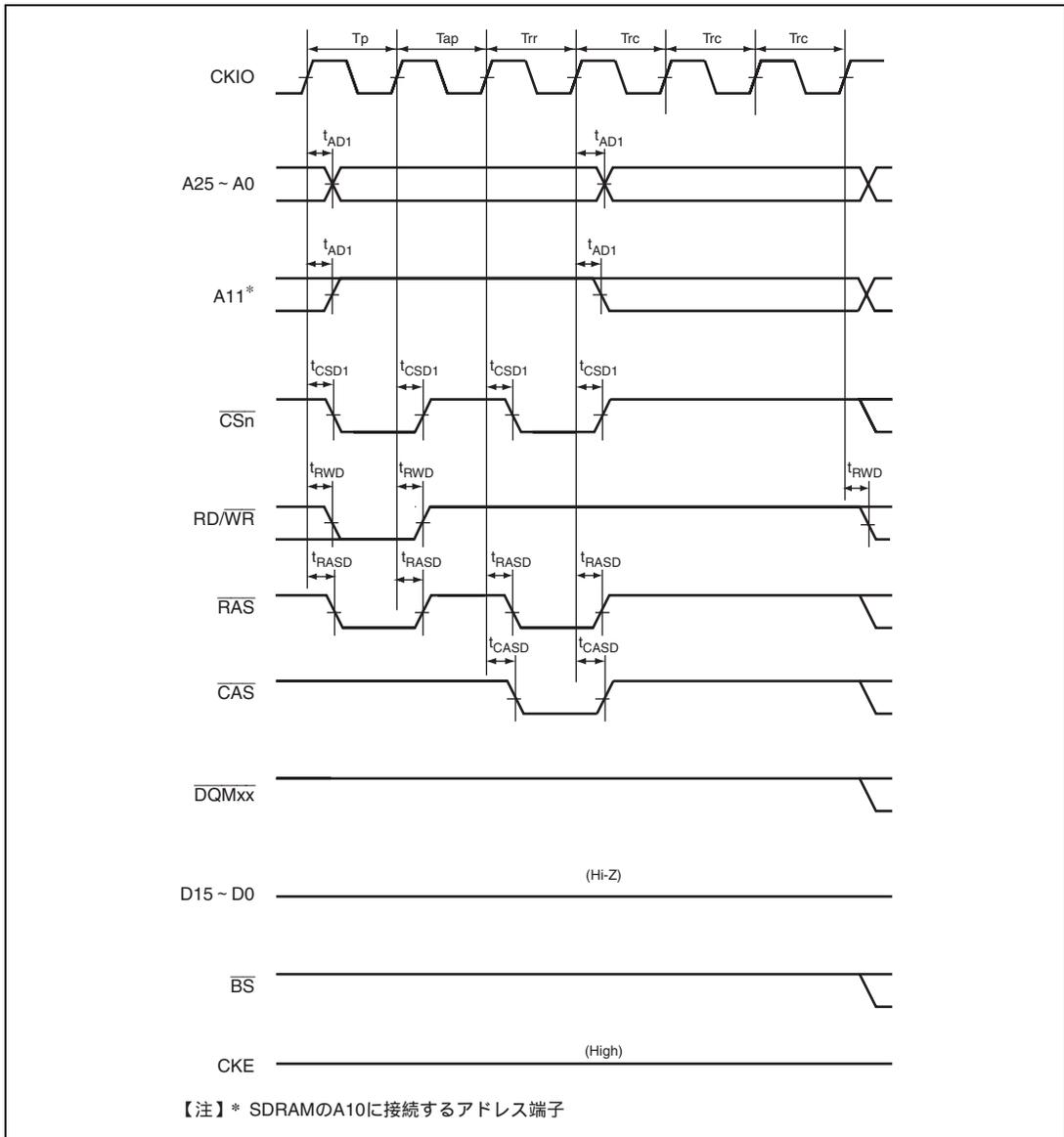


図 21.30 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

21. 電気的特性

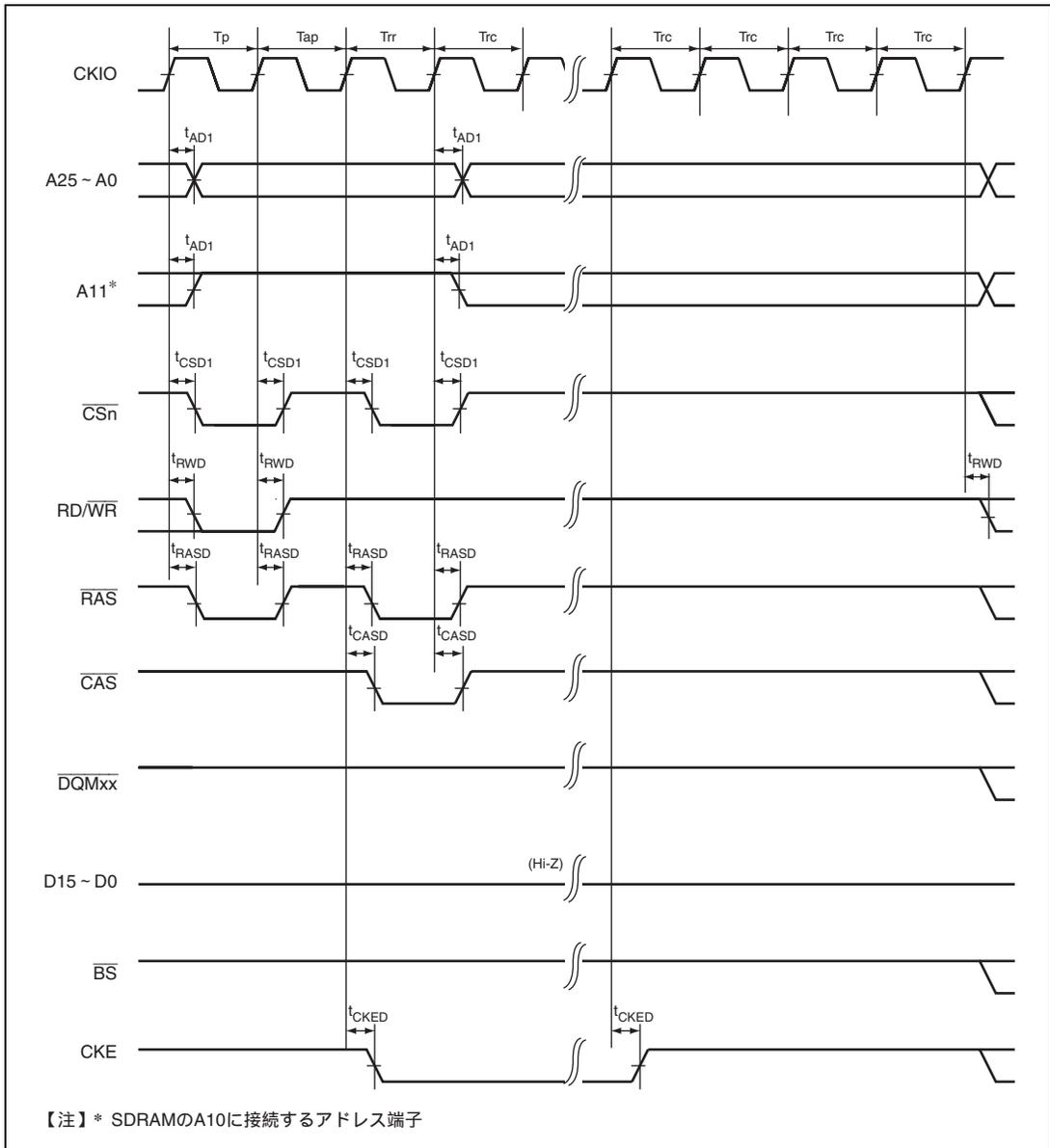


図 21.31 シンクロナス DRAM セルフリフレッシュタイミング (WTRP=1 サイクル)

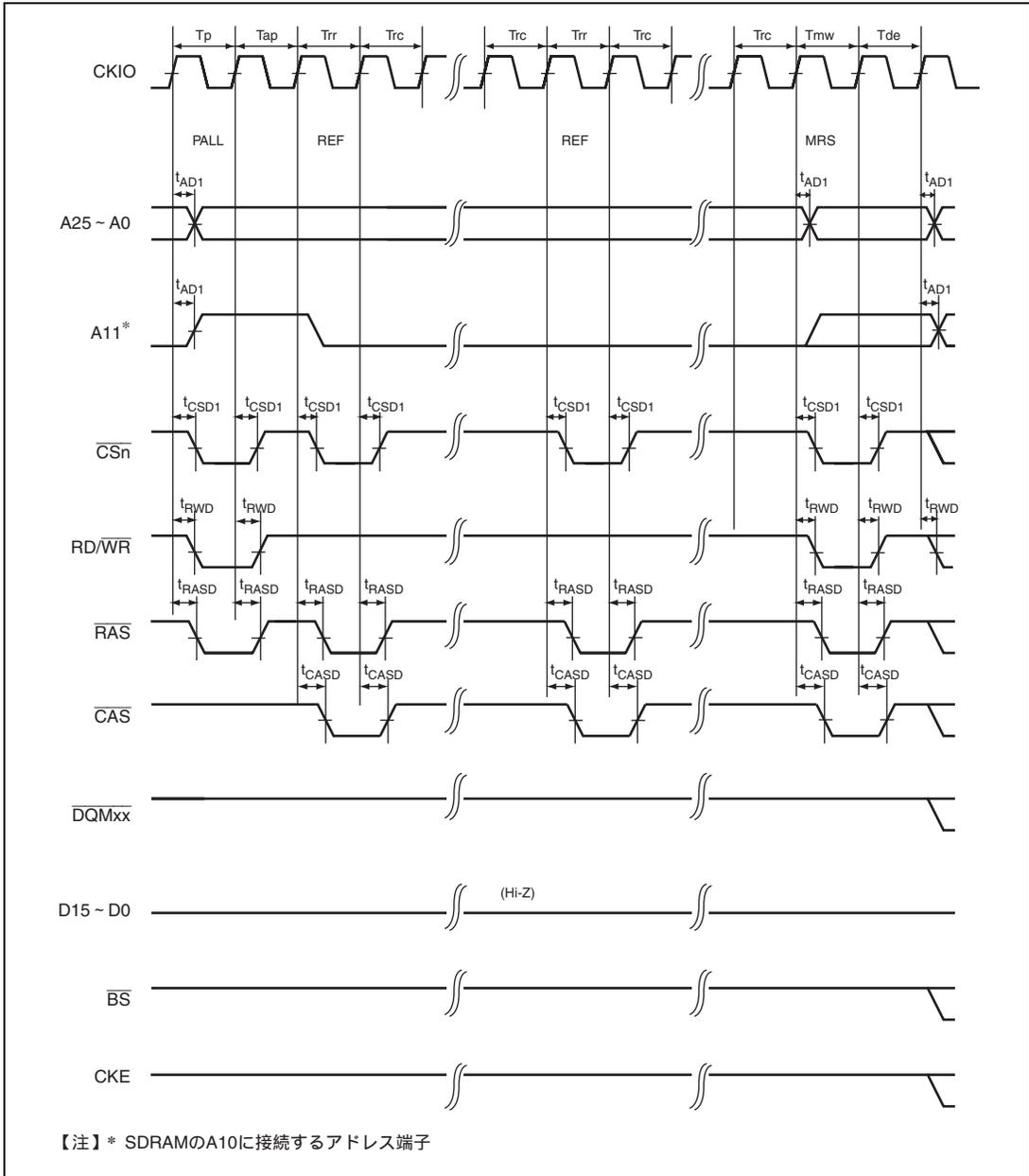


図 21.32 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

21.4.6 PCMCIA タイミング

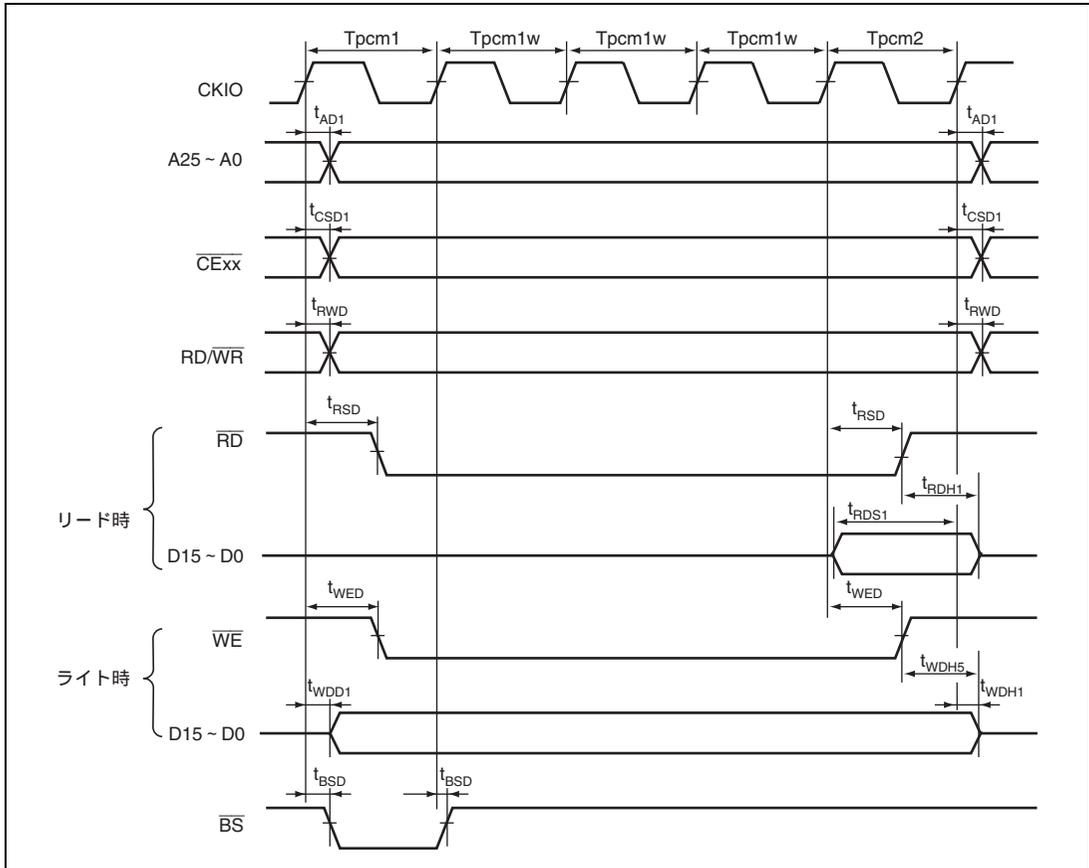


図 21.33 PCMCIA メモリカードインタフェースバスタイミング

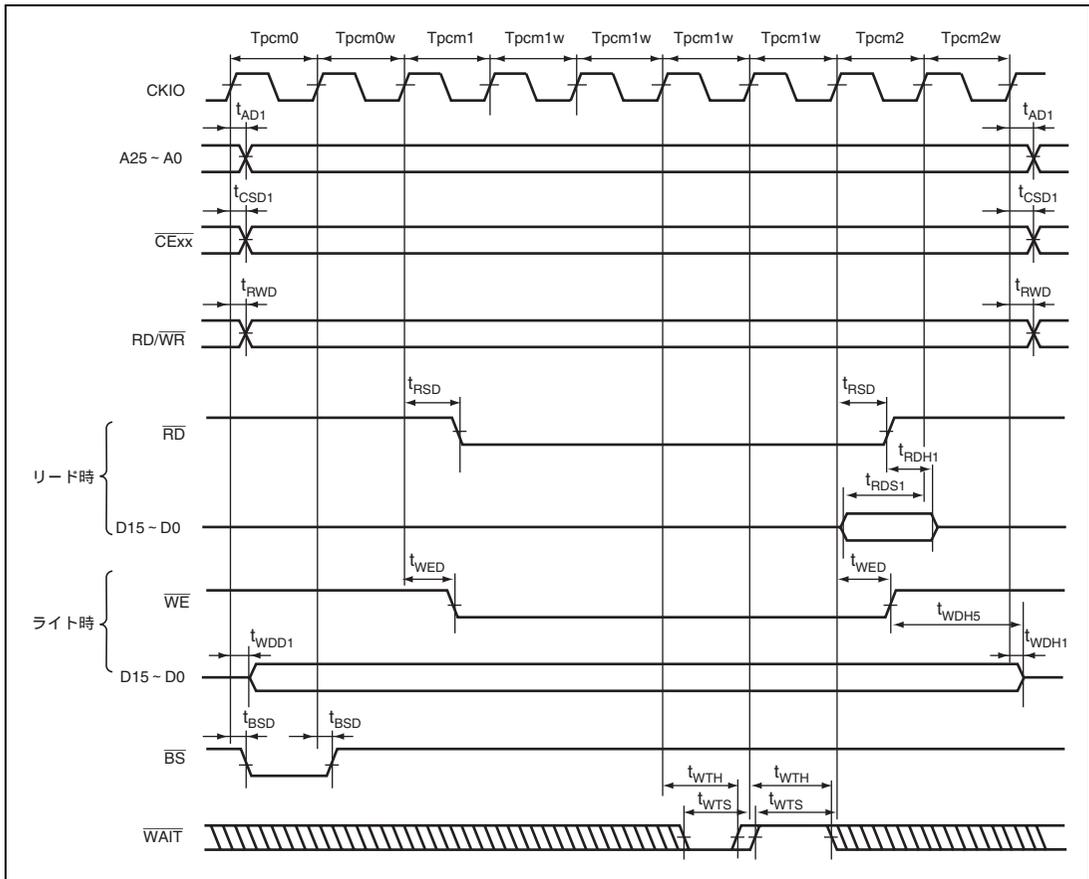


図 21.34 PCMCIA メモリカードインタフェースバスタイミング
 (TED=2.5 サイクル、TEH=1.5 サイクル、ソフトウェイト1、外部ウェイト1)

21. 電気的特性

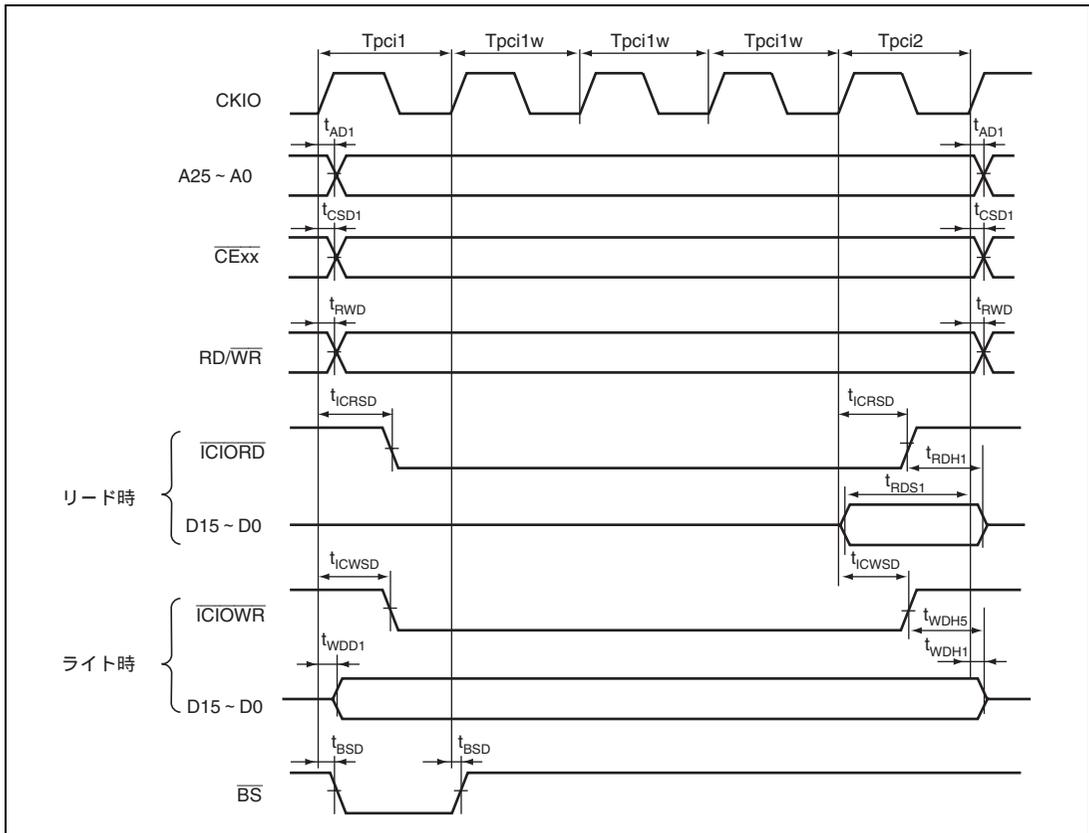


図 21.35 PCMCIA I/O カードインタフェースバスタイミング

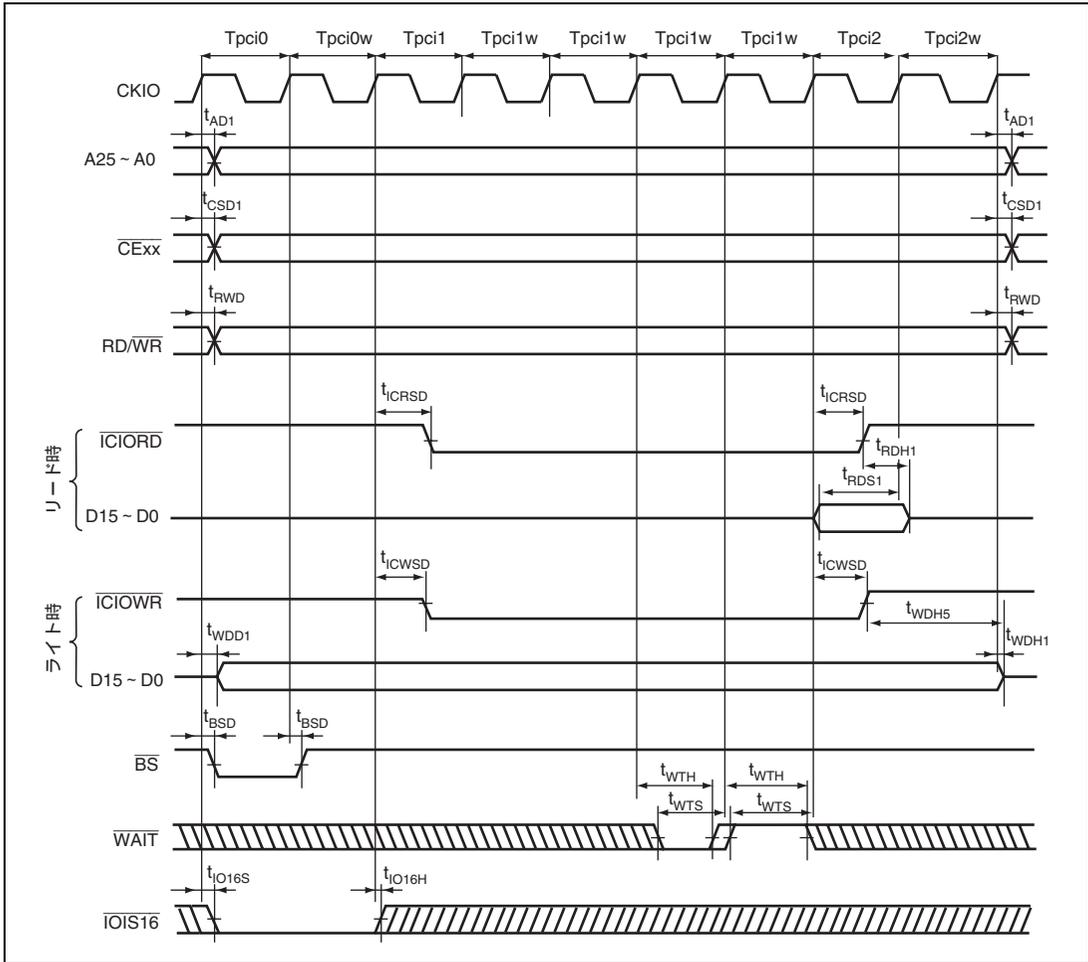


図 21.36 PCMCIA I/O カードインタフェースバスタイミング
 (TED = 2.5 サイクル、TEH = 1.5 サイクル、ソフトウェア 1、外部ウェイト 1)

21. 電気的特性

21.4.7 SCIF モジュール信号タイミング

表 21.10 SCIF モジュール信号タイミング

条件: $V_{CCQ} = 3.0 \sim 3.6V$, $V_{CC} = 1.4 \sim 1.6V$, $T_a = -20 \sim 75$ (標準品)、 $-40 \sim 85$ (広温度範囲品)

| 項目 | 記号 | min | max | 単位 | 参照図 |
|------------------------|------------|-----|--------------------|------------|-------|
| 入力クロックサイクル | クロック同期時 | 12 | - | t_{pcyc} | 21.37 |
| | 調歩同期時 | 4 | - | t_{pcyc} | 21.38 |
| 入力クロック立ち上がり時間 | t_{SCKR} | - | 0.8 | t_{pcyc} | 21.37 |
| 入力クロック立ち下がり時間 | t_{SCKF} | - | 0.8 | t_{pcyc} | |
| 入力クロックパルス幅 | t_{SCKW} | 0.4 | 0.6 | t_{scyc} | |
| 送信データ遅延時間 | t_{TXD} | - | $3t_{pcyc}^* + 50$ | ns | 21.38 |
| 受信データセットアップ時間 (クロック同期) | t_{RXS} | 3 | - | t_{pcyc} | |
| 受信データホールド時間 (クロック同期) | t_{RXH} | 3 | - | t_{pcyc} | |
| RTS 遅延時間 | t_{RTSD} | - | 100 | ns | |
| CTS セットアップ時間 (クロック同期) | t_{CTSS} | 100 | - | ns | |
| CTS ホールド時間 (クロック同期) | t_{CTSH} | 100 | - | ns | |

【注】 * t_{pcyc} は周辺クロック (P) の周期を示します。

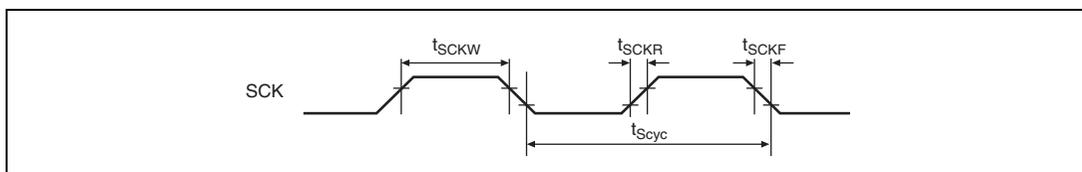


図 21.37 SCK 入力クロックタイミング

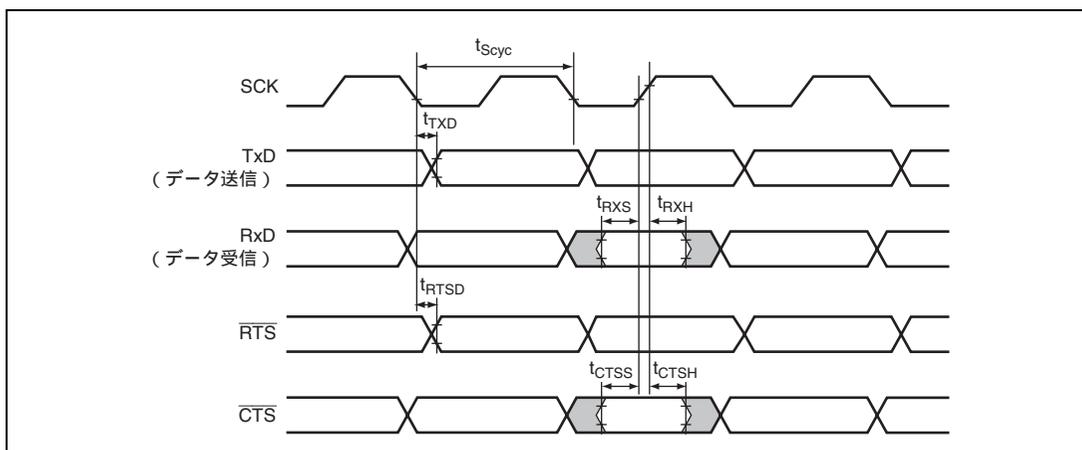


図 21.38 クロック同期モード時の SCI 入出力タイミング

21.4.8 ポートモジュール信号タイミング

表 21.11 ポートモジュール信号タイミング

条件 : $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ (標準品)、 $-40 \sim 85$ (広温度範囲品)

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------|-------------|-----|-----|----|-------|
| 出力データ遅延時間 | t_{PORTD} | - | 20 | ns | 21.39 |
| 入力データセットアップ時間 | t_{PORTS} | 16 | - | ns | |
| 入力データホールド時間 | t_{PORTH} | 10 | - | ns | |

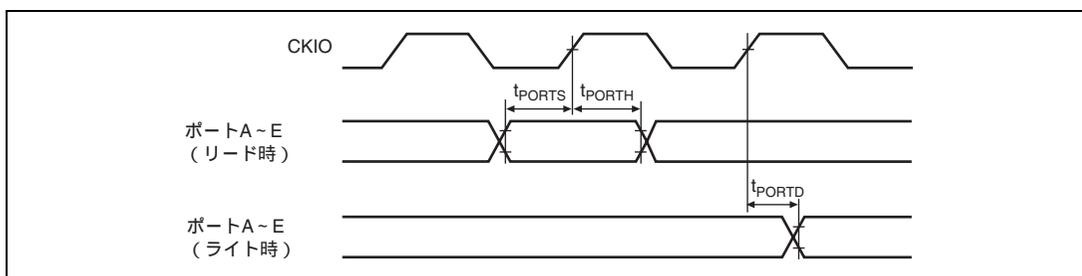


図 21.39 I/O ポートタイミング

21. 電気的特性

21.4.9 HIF モジュール信号タイミング

表 21.12 HIF モジュール信号タイミング

条件：V_{CCQ} = 3.0 ~ 3.6V、V_{CC} = 1.4 ~ 1.6V、T_a = -20 ~ 75（標準品）、-40 ~ 85（広温度範囲品）

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------------------|----------------------|------------------------|----------------------------|-------------------|-------|
| リードバスサイクル時間 | t _{HIFCYCR} | 4 | - | t _{pcyc} | 21.40 |
| ライトバスサイクル時間 | t _{HIFCYCW} | 4 | - | t _{pcyc} | |
| アドレスセットアップ時間 (HIFSCR.DMD=0 の場合) | t _{HIFAS} | 10 | - | ns | |
| アドレスセットアップ時間 (HIFSCR.DMD=1 の場合) | t _{HIFAS} | 0 | - | ns | |
| アドレスホールド時間 (HIFSCR.DMD=0 の場合) | t _{HIFAH} | 10 | - | ns | |
| アドレスホールド時間 (HIFSCR.DMD=1 の場合) | t _{HIFAH} | 0 | - | ns | |
| リードロー幅 (リード時) | t _{HIFWRL} | 2.5 | - | t _{pcyc} | |
| ライトロー幅 (ライト時) | t _{HIFWWL} | 2.5 | - | t _{pcyc} | |
| リード/ライトハイ幅 | t _{HIFWRWH} | 2.0 | - | t _{pcyc} | |
| 読み出しデータ遅延時間 | t _{HIFRDD} | - | 2 × t _{pcyc} + 16 | ns | |
| 読み出しデータホールド時間 | t _{HIFRDH} | 0 | - | ns | |
| 書き込みデータセットアップ時間 | t _{HIFWDS} | t _{pcyc} + 10 | - | ns | |
| 書き込みデータホールド時間 | t _{HIFWDH} | 10 | - | ns | |
| HIFINT 出力遅延時間 | t _{HIFITD} | - | 20 | ns | 21.41 |
| HIFRDY 出力遅延時間 | t _{HIFRYD} | - | 10 | t _{pcyc} | 21.42 |
| HIFDREQ 出力遅延時間 | t _{HIFDQD} | - | 20 | ns | 21.41 |
| HIF 端子イネーブル遅延時間 | t _{HIFEBD} | - | 20 | ns | 21.42 |
| HIF 端子ディスエーブル遅延時間 | t _{HIFDBD} | - | 20 | ns | |

- 【注】
- t_{pcyc} は周辺クロック (P) の周期を示します。
 - t_{HIFAS} は、 $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFRD}}$ 信号、または $\overline{\text{HIFWR}}$ 信号の LOW 期間のオーバーラップ期間の開始に対して規定されます。
 - t_{HIFAH} は $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFRD}}$ 信号、または $\overline{\text{HIFWR}}$ 信号の LOW 期間のオーバーラップ期間の終了に対して規定されます。
 - t_{HIFWRL} 期間は $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFRD}}$ 信号の LOW 期間のオーバーラップ期間で規定されます。
 - t_{HIFWWL} 期間は $\overline{\text{HIFCS}}$ 信号の LOW 期間と $\overline{\text{HIFWR}}$ 信号の LOW 期間のオーバーラップ期間で規定されます。
 - HIF インデックスレジスタ (HIFIDX) ヘライトした後に、REG5 ~ REG0 で設定したレジスタをリードする場合は t_{HIFWRWH} (min) は 2 × t_{pcyc} + 5ns になります。

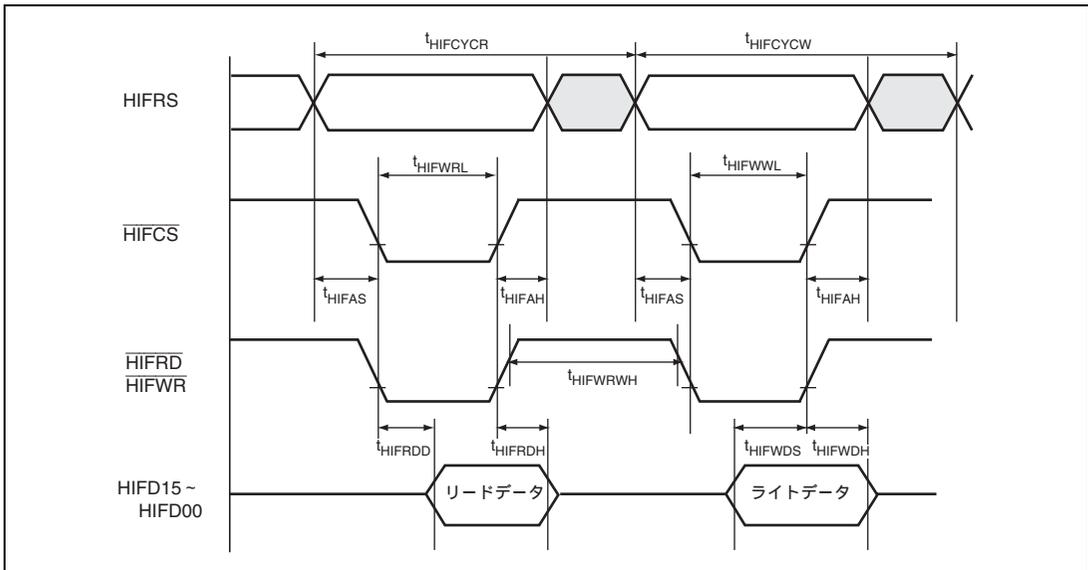


図 21.40 HIF アクセスタイミング

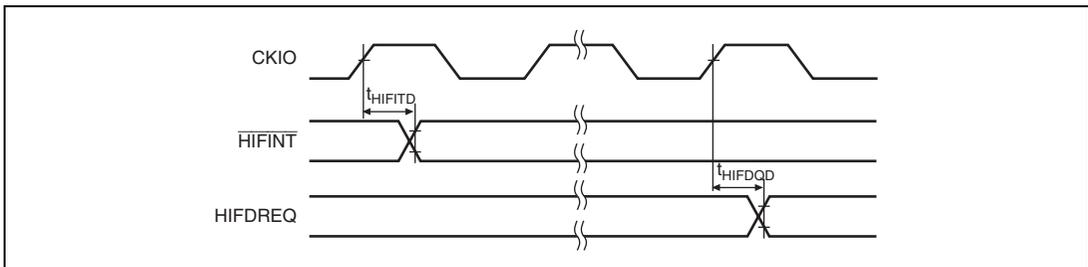


図 21.41 HIFINT、HIFDREQ タイミング

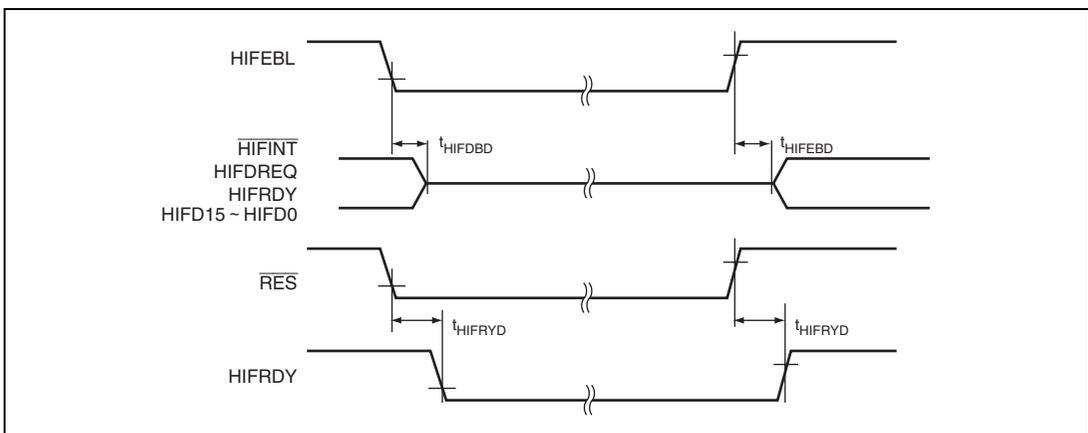


図 21.42 HIFRDY、HIF 端子イネーブル/ディスエーブルタイミング

21. 電気的特性

21.4.10 EtherC モジュール信号タイミング

表 21.13 EtherC モジュール信号タイミング

条件 : $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ (標準品)、 $-40 \sim 85$ (広温度範囲品)

| 項目 | 記号 | min | max | 単位 | 参照図 |
|----------------------|--------------|-----|-----|----|-------|
| TX-CLK サイクル時間 | t_{Tcyc} | 40 | - | ns | - |
| TX-EN 出力遅延時間 | t_{TEND} | 1 | 20 | ns | 21.43 |
| MII_TXD[3:0]出力遅延時間 | t_{MTDd} | 1 | 20 | ns | |
| CRS セットアップ時間 | t_{CRSs} | 10 | - | ns | |
| CRS ホールド時間 | t_{CRSh} | 10 | - | ns | 21.44 |
| COL セットアップ時間 | t_{COLs} | 10 | - | ns | |
| COL ホールド時間 | t_{COLh} | 10 | - | ns | |
| RX-CLK サイクル時間 | t_{Rcyc} | 40 | - | ns | - |
| RX-DV セットアップ時間 | t_{RDVs} | 10 | - | ns | 21.45 |
| RX-DV ホールド時間 | t_{RDVh} | 10 | - | ns | |
| MII_RXD[3:0]セットアップ時間 | t_{MRDs} | 10 | - | ns | |
| MII_RXD[3:0]ホールド時間 | t_{MRDh} | 10 | - | ns | 21.46 |
| RX-ER セットアップ時間 | t_{RERs} | 10 | - | ns | |
| RX-ER ホールド時間 | t_{RERh} | 10 | - | ns | |
| MDIO セットアップ時間 | t_{MDIOs} | 10 | - | ns | 21.47 |
| MDIO ホールド時間 | t_{MDIOh} | 10 | - | ns | |
| MDIO 出力データホールド時間 | t_{MDIOdh} | 5 | 18 | ns | 21.48 |
| WOL 出力遅延時間 | t_{WOLD} | 1 | 20 | ns | 21.49 |
| EXOUT 出力遅延時間 | t_{EXOUTd} | 1 | 20 | ns | 21.50 |

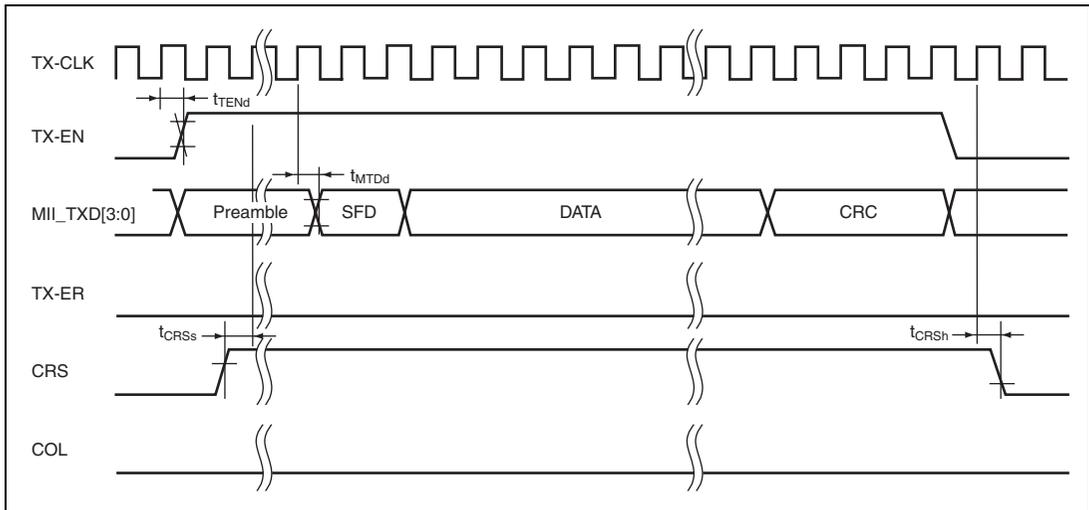


図 21.43 MII 送信タイミング (正常動作時)

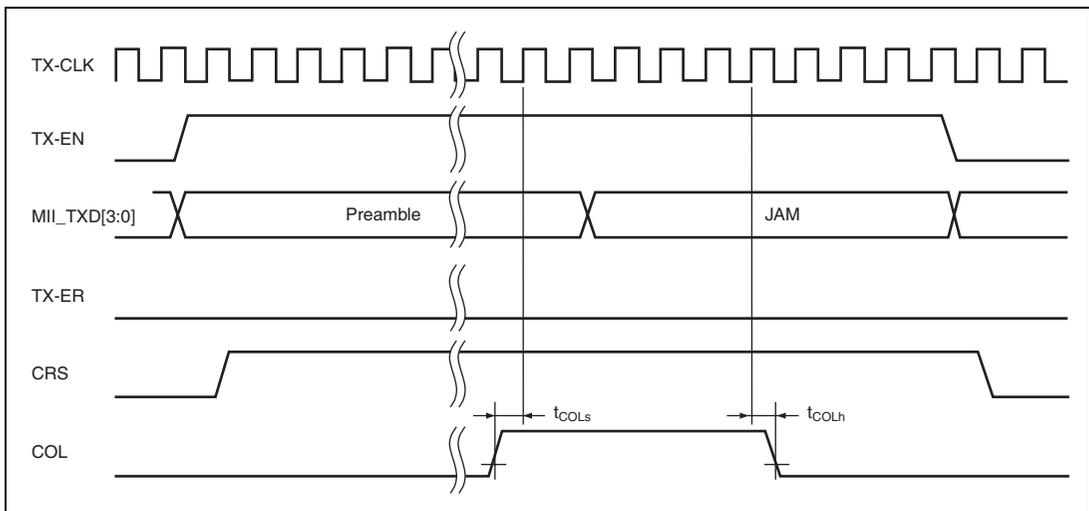


図 21.44 MII 送信タイミング (衝突発生ケース)

21. 電気的特性

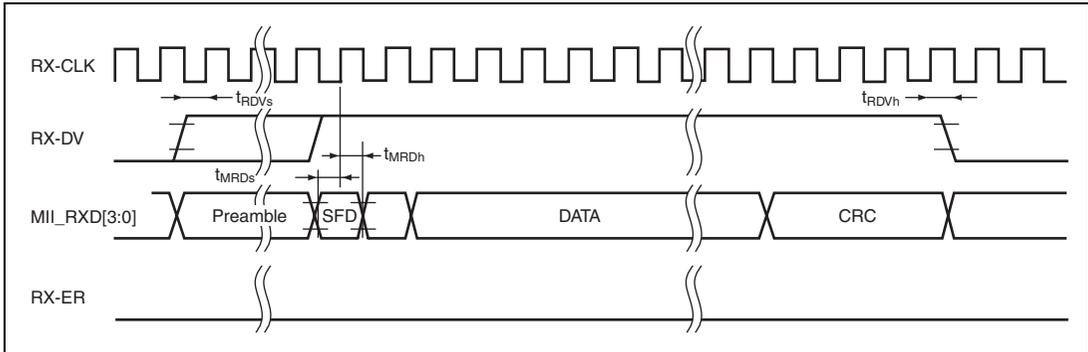


図 21.45 MII 受信タイミング (正常動作時)

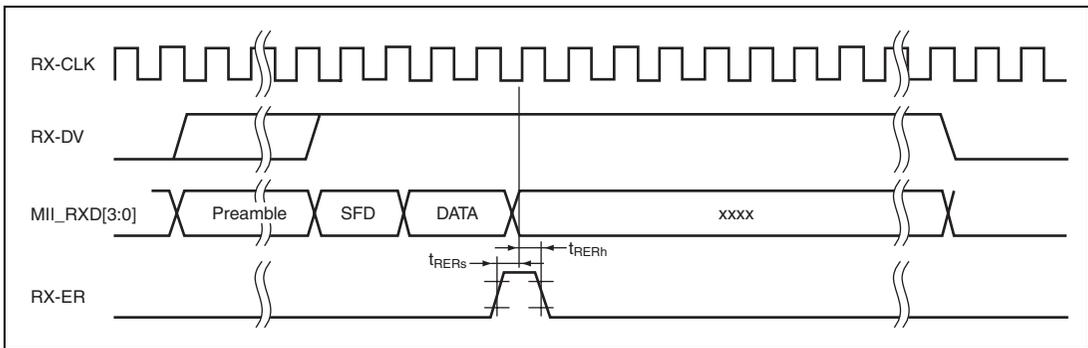


図 21.46 MII 受信タイミング (エラー発生ケース)

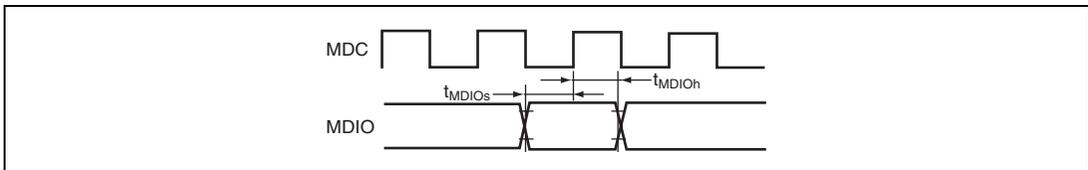


図 21.47 MDIO 入力タイミング

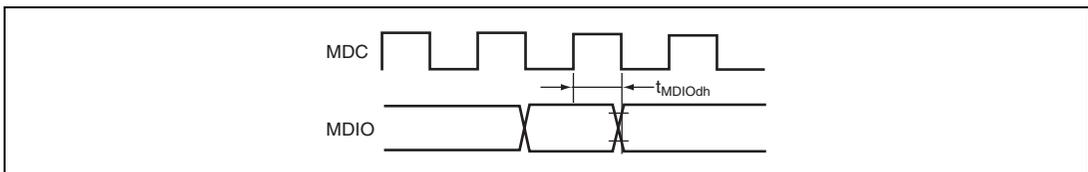


図 21.48 MDIO 出力タイミング

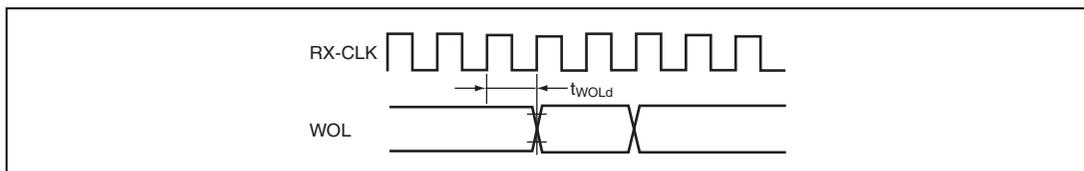


図 21.49 WOL 出力タイミング

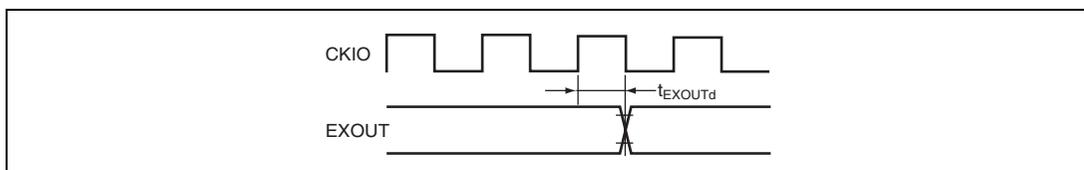


図 21.50 EXOUT 出力タイミング

21.4.11 H-UDI 関連端子のタイミング

表 21.14 H-UDI 関連端子のタイミング

条件 : $V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$ 、 $T_a = -20 \sim 75$ (標準品)、 $-40 \sim 85$ (広温度範囲品)

| 項目 | 記号 | min | max | 単位 | 参照図 |
|---------------------|--------------|-----|-----|--------------|-------|
| TCK サイクル時間 | t_{TCKcyc} | 50 | - | ns | 21.51 |
| TCK High レベルパルス幅 | t_{TCKH} | 19 | - | ns | |
| TCK Low レベルパルス幅 | t_{TCKL} | 19 | - | ns | |
| TCK 立ち上がり / 立ち下がり時間 | t_{TCKrf} | - | 4 | ns | |
| TRST セットアップ時間 | t_{TRSTS} | 10 | - | t_{bcyc}^* | 21.52 |
| TRST ホールド時間 | t_{TRSTH} | 50 | - | t_{bcyc}^* | |
| TDI セットアップ時間 | t_{TDIS} | 10 | - | ns | 21.53 |
| TDI ホールド時間 | t_{TDIH} | 10 | - | ns | |
| TMS セットアップ時間 | t_{TMSS} | 10 | - | ns | |
| TMS ホールド時間 | t_{TMSH} | 10 | - | ns | |
| TDO 遅延時間 | t_{TDOD} | - | 19 | ns | |

【注】 * t_{bcyc} は外部バスクロック (B) の周期を示します。

21. 電気的特性

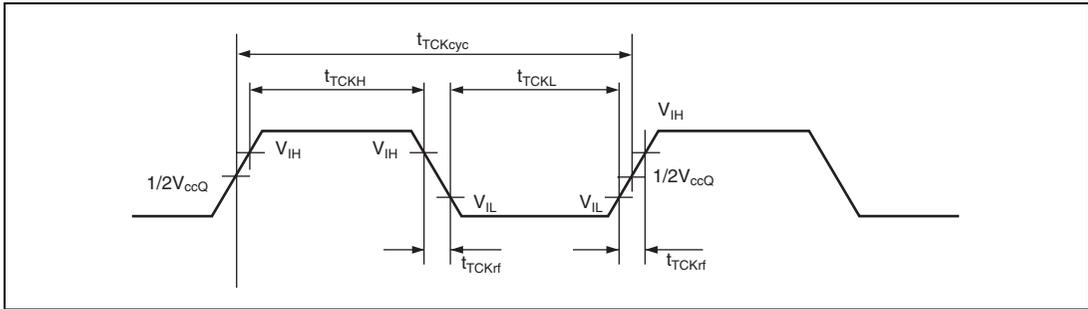


図 21.51 TCK 入力タイミング

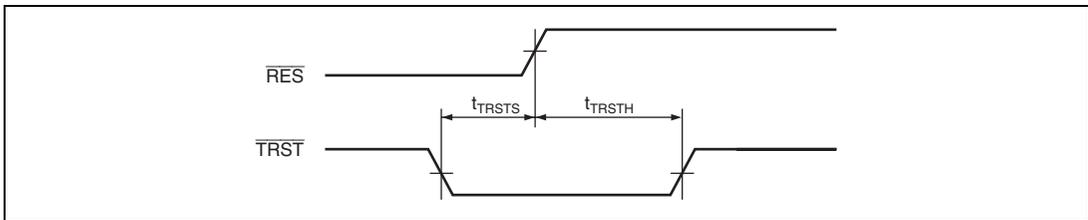


図 21.52 TCK 入力タイミング (リセットホールド時)

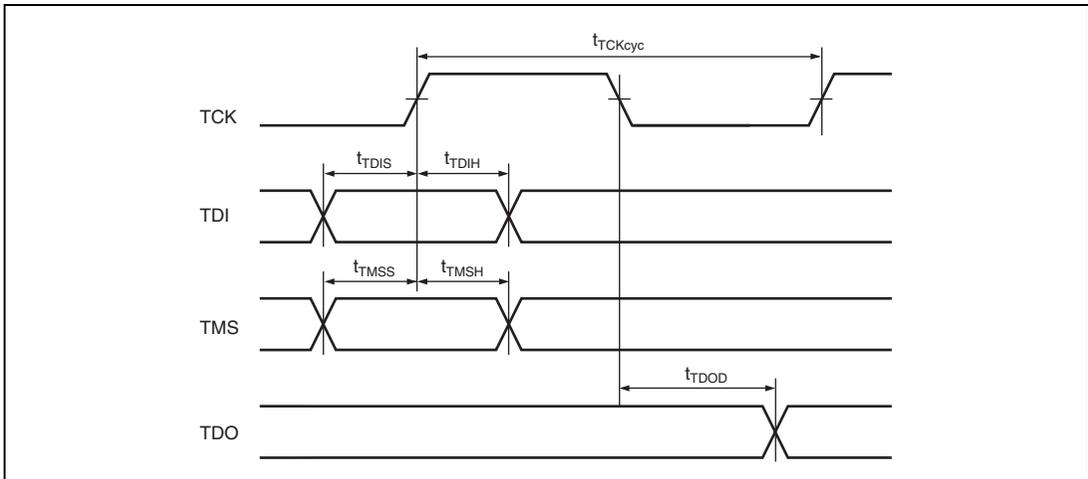


図 21.53 H-UDI データ転送タイミング

21.4.12 AC 特性測定条件

入出力信号参照レベル： $V_{CC}Q/2$ ($V_{CCQ} = 3.0 \sim 3.6V$ 、 $V_{CC} = 1.4 \sim 1.6V$)

入力パルスレベル： $V_{SS} \sim 3.0V$ (ただし、 \overline{RES} 、 \overline{NMI} 、 $\overline{IRQ7} \sim \overline{IRQ0}$ 、 $MD5$ 、 $MD3 \sim MD0$ 、 \overline{ASEMD} 、 \overline{TESTMD} 、 \overline{HIFMD} 、 \overline{TRST} 、および \overline{EXTAL} は $V_{SS} \sim V_{CC}$)

入力立ち上がり、立ち下がり時間：1ns

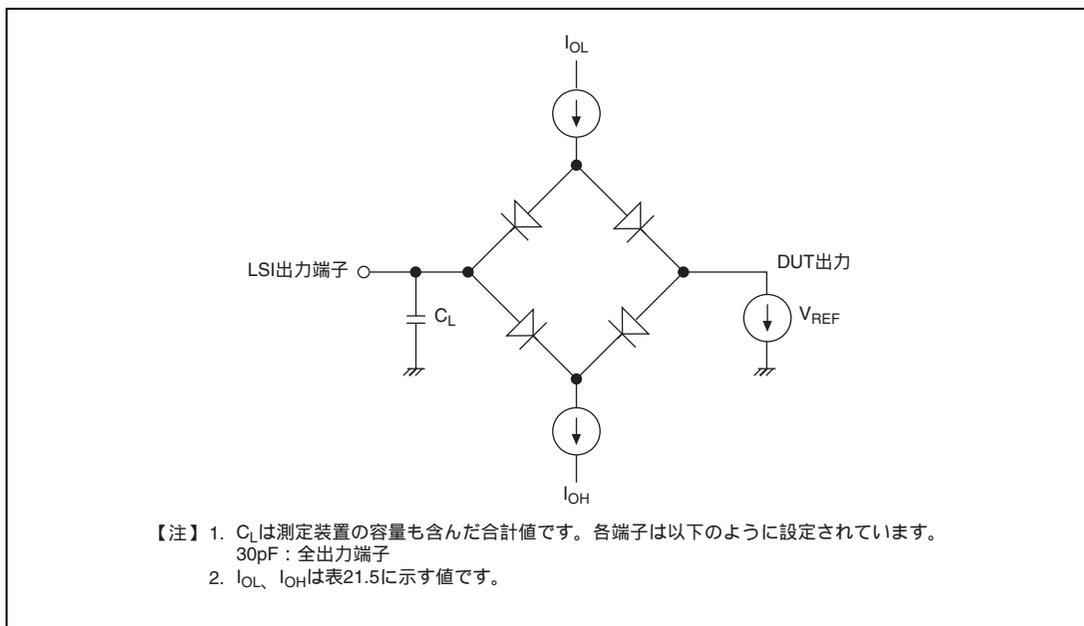


図 21.54 出力付加回路

21.4.13 負荷容量による遅延時間の変化（参考値）

下記に、本 LSI の各端子に規定以上（30pF）の負荷容量を接続した場合の、遅延時間の変化のグラフ（参考データ）を示します。規定容量を超えて、外部デバイスを接続される場合は、図 21.55 のグラフを参考に設計してください。

なお、接続される負荷容量が図 21.55 の範囲を超える場合は、グラフは直線になりません。

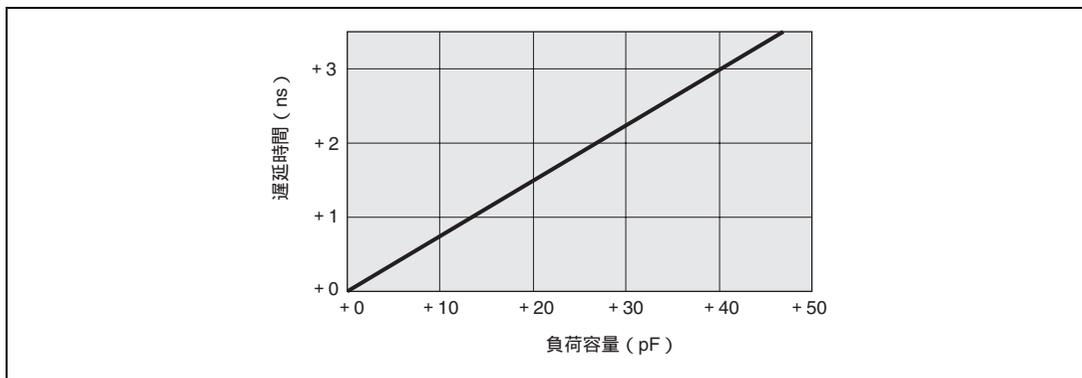


図 21.55 負荷容量 - 遅延時間

付録

A. 端子状態

| 端子機能 | | 端子状態 | | | | |
|---------|--|------------------------------|-------------------------------|-------------------|-----------------|-------------------------|
| 分類 | 端子名 | リセット状態 | | 低消費電力状態 | | |
| | | パワーオン リセット (HIFMD=Low) | パワーオン リセット (HIFMD=High) | ソフトウェア スタンバイ | スリープ | H-UDI モジュール スタンバイ |
| クロック | EXTAL | I | I | I | I | I |
| | XTAL | O* ¹ | O* ¹ | O* ¹ | O* ¹ | O* ¹ |
| | CKIO | O* ¹ | O* ¹ | ZO* ⁵ | O* ¹ | O* ¹ |
| | CK_PHY | O | O | H | O | O |
| システム制御 | $\overline{\text{RES}}$ | I | I | I | I | I |
| 動作モード制御 | MD5 MD[3:0] | I | I | I | I | I |
| 割り込み | NMI | I | I | I | I | I |
| | IRQ[7:0] | - | - | I | I | I |
| アドレスバス | A[25:16] | - | - | ZHL* ⁴ | O | O |
| | A[15:0] | O | O | ZHL* ⁴ | O | O |
| データバス | D[15:0] | Z | Z | Z | IO | IO |
| バス制御 | $\overline{\text{WAIT}}$ | - | - | Z | I | I |
| | $\overline{\text{IOIS16}}$ | - | - | Z | I | I |
| | CKE | - | - | ZO* ² | O | O |
| | $\overline{\text{CAS}} \quad \overline{\text{RAS}}$ | - | - | ZO* ² | O | O |
| | $\overline{\text{WE0/DQMLL}}$ | H | H | ZH* ⁴ | O | O |
| | $\overline{\text{WE1/DQMLU/WE}}$ | H | H | ZH* ⁴ | O | O |
| | $\overline{\text{ICIOR0}}$ | - | - | ZH* ⁴ | O | O |
| | $\overline{\text{ICIOR1}}$ | - | - | ZH* ⁴ | O | O |
| | $\overline{\text{RD}}$ | H | H | ZH* ⁴ | O | O |
| | RDWR | H | H | ZH* ⁴ | O | O |
| | $\overline{\text{CE2B}} \quad \overline{\text{CE2A}}$ | - | - | ZH* ⁴ | O | O |
| | $\overline{\text{CS6B/CE1B}}$ $\overline{\text{CS5B/CE1A}}$ | - | - | ZH* ⁴ | O | O |
| | $\overline{\text{CS4}} \quad \overline{\text{CS3}}$ | - | - | ZH* ⁴ | O | O |

付録

| 端子機能 | | 端子状態 | | | | |
|----------|-----------|------------------------------|-------------------------------|-----------------|------|-------------------------|
| 分類 | 端子名 | リセット状態 | | 低消費電力状態 | | |
| | | パワーオン リセット (HIFMD=Low) | パワーオン リセット (HIFMD=High) | ソフトウェア スタンバイ | スリープ | H-UDI モジュール スタンバイ |
| バス制御 | CS0 | H | H | ZH*4 | O | O |
| | BS | - | - | ZH*4 | O | O |
| Ether | ERXD[3:0] | - | - | I | I | I |
| | ETXD[3:0] | - | - | O | O | O |
| | RX_DV | - | - | I | I | I |
| | RX_ER | - | - | I | I | I |
| | RX_CLK | - | - | I | I | I |
| | TX_ER | - | - | O | O | O |
| | TX_EN | - | - | O | O | O |
| | TX_CLK | - | - | I | I | I |
| | COL | - | - | I | I | I |
| | CRS | - | - | I | I | I |
| | MDIO | - | - | IO | IO | IO |
| | MDC | - | - | O | O | O |
| | LNKSTA | - | - | Z | I | I |
| | EXOUT | - | - | Z | O | O |
| WOL | - | - | Z | O | O | |
| SCIF | TxD[2:0] | - | - | Z | O | O |
| | RxD[2:0] | - | - | Z | I | I |
| | SCK[2:1] | - | - | Z | O | O |
| | SCK0 | - | - | Z | I | I |
| | RTS[1:0] | - | - | Z | O | O |
| | CTS[1:0] | - | - | Z | I | I |
| Host-I/F | HIFEBL | - | Z | Z | I | I |
| | HIFRDY | - | O | O | O*3 | O*3 |
| | HIFDREQ | - | Z | Z | O*3 | O*3 |
| | HIFMD | I | I | I | I*3 | I*3 |
| | HIFINT | - | Z | Z | O*3 | O*3 |
| | HIFRD | - | Z | Z | I*3 | I*3 |
| | HIFWR | - | Z | Z | I*3 | I*3 |
| | HIFRS | - | Z | Z | I*3 | I*3 |
| | HIFCS | - | Z | Z | I*3 | I*3 |

| 端子機能 | | 端子状態 | | | | |
|----------|----------------------------|------------------------------|-------------------------------|------------------|------------------|-------------------------|
| 分類 | 端子名 | リセット状態 | | 低消費電力状態 | | |
| | | パワーオン リセット (HIFMD=Low) | パワーオン リセット (HIFMD=High) | ソフトウェア スタンバイ | スリープ | H-UDI モジュール スタンバイ |
| Host-I/F | HIFD[15:0] | - | Z | Z | IO* ³ | IO* ³ |
| H-UDI | TRST | I | I | I | I | I |
| | TCK | I | I | I | I | I |
| | TMS | I | I | I | I | I |
| | TDI | I | I | I | I | I |
| | TDO | Z | Z | ZO* ⁶ | ZO* ⁶ | Z |
| | A $\overline{\text{SEMD}}$ | I | I | I | I | I |
| I/Oポート | PA[25:16] | Z | Z | Z | P | I/O |
| | PB[13:0] | Z | Z | Z | P | I/O |
| | PC[20:0] | Z | Z | Z | P | I/O |
| | PD[7:0] | Z | Z | Z | P | I/O |
| | PE[24:4] PE[2:0] | Z | - | Z | P | I/O |
| | PE3 | - | - | Z | P | I/O |
| テストモード | TESTMD | I | I | I | I | I |
| | TESTOUT | O | O | O | O | O |

【記号説明】

- 本端子機能が初期状態として選択されることはありません。
- I 入力
- O 出力
- H ハイレベル出力
- L ローレベル出力
- Z ハイインピーダンス
- P レジスタの設定によって、IかOになります。

- 【注】 *1 クロックモードに依存します (MD2~MD0 端子の設定)。
*2 CMNCR レジスタの HIZCNT (ビット 0) の設定に従います。
*3 HIFEBL=Low 入力時、ハイインピーダンスになります。
*4 CMNCR レジスタの HIZMEM (ビット 1) の設定に従います。
*5 CMNCR レジスタの HZCNT (ビット 0) または FRQCR レジスタの CKOEN (ビット 12) の設定に従います。
*6 H-UDI からのデータ読み出し時のみ出力状態になります。それ以外のときは、ハイインピーダンスになります。

B. 型名一覧

• SH7618

| 製品型名 | カタログ型名 | 動作温度 | はんだボール組成 | PKG コード |
|----------------|-------------------|----------|----------|--------------|
| D17618RBG100V | HD6417618RBG100V | -20 ~ 75 | 鉛フリー | PLBG0176GA-A |
| D17618RBGN100V | HD6417618RBGN100V | -20 ~ 75 | 鉛フリー | |
| D17618RBGW100V | HD6417618RBGW100V | -40 ~ 85 | 鉛フリー | |
| D17618RBG100 | HD6417618RBG100 | -20 ~ 75 | 共晶 | |
| D17618RBGN100 | HD6417618RBGN100 | -20 ~ 75 | 共晶 | |
| D17618RBGW100 | HD6417618RBGW100 | -40 ~ 85 | 共晶 | |

• SH7618A

| 製品型名 | カタログ型名 | 動作温度 | はんだボール組成 | PKG コード |
|----------------|-------------------|----------|----------|--------------|
| D17618ABG100V | HD6417618ABG100V | -20 ~ 75 | 鉛フリー | PLBG0176GA-A |
| D17618ABGN100V | HD6417618ABGN100V | -20 ~ 75 | 鉛フリー | |
| D17618ABGW100V | HD6417618ABGW100V | -40 ~ 85 | 鉛フリー | |
| D17618ABG100 | HD6417618ABG100 | -20 ~ 75 | 共晶 | |
| D17618ABGN100 | HD6417618ABGN100 | -20 ~ 75 | 共晶 | |
| D17618ABGW100 | HD6417618ABGW100 | -40 ~ 85 | 共晶 | |

C. 外形寸法図

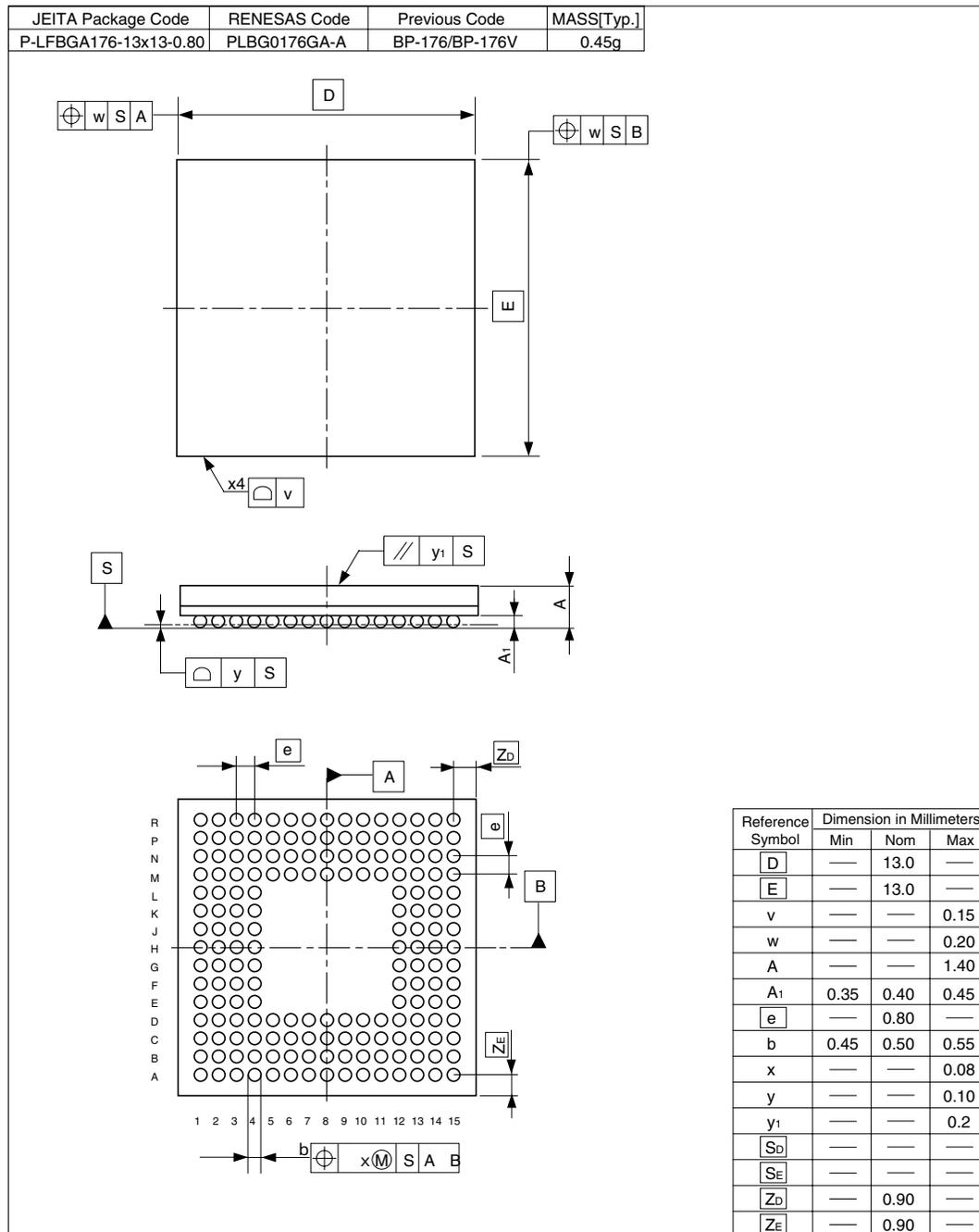
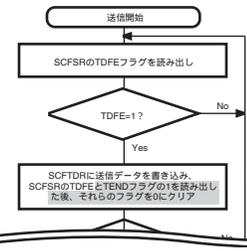
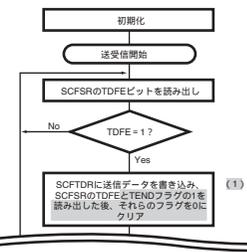
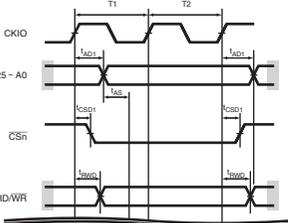
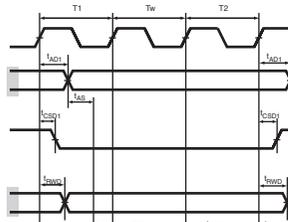
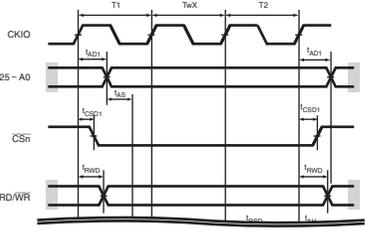
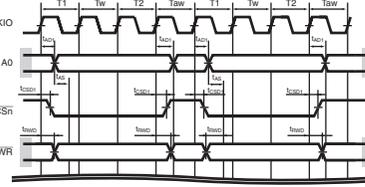
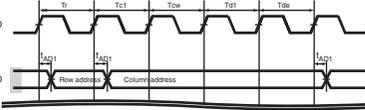
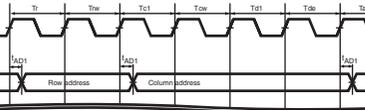
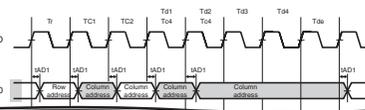
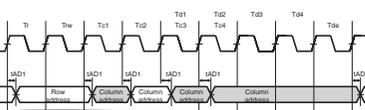
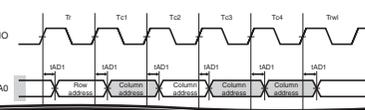


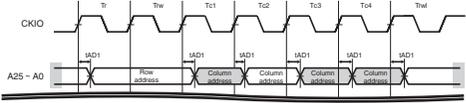
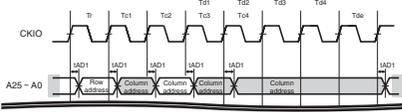
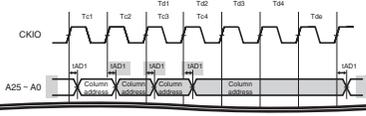
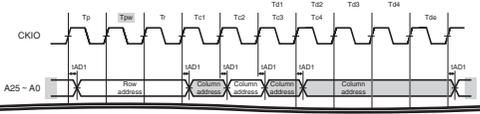
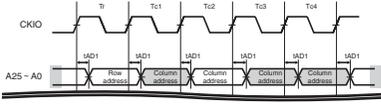
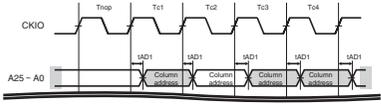
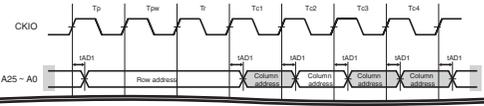
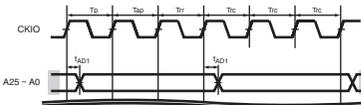
図 C.1 外形寸法図 (BP-176)

本版で修正または追加された箇所

| 項 目 | ページ | 修正箇所 | | | | |
|--------------------------------|--|---|-----|-----|---|--|
| (a) オートリフレッシュ | 7-52 | <p>修正</p> <p>・・・間の規定 (IRC) を満たすように WTRC[1:0] を設定する必要があります。CSnWCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合、Tp サイクルと Trr サイクルの間に Tpw サイクルが挿入されます。</p> | | | | |
| 14.3.7 シリアルステータスレジスタ (SCFSR) | 14-12 | <p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center; border: none;">ビット</th> <th style="text-align: center; border: none;">説 明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; vertical-align: top;">5</td> <td> <p>送信 FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ● TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータ SCFTDR に書き込み、TDFE に 0 を書き込んだとき ● DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ● パワーオンリセット ● 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットに示されます。</p> </td> </tr> </tbody> </table> | ビット | 説 明 | 5 | <p>送信 FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ● TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータ SCFTDR に書き込み、TDFE に 0 を書き込んだとき ● DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ● パワーオンリセット ● 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットに示されます。</p> |
| ビット | 説 明 | | | | | |
| 5 | <p>送信 FIFO データエンプティ</p> <p>トランスミット FIFO データレジスタ (SCFTDR) からトランスミットシフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG1、TTRG0 ビットで指定した送信トリガデータ数より少なくなり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ● TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータ SCFTDR に書き込み、TDFE に 0 を書き込んだとき ● DMAC で指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ● パワーオンリセット ● 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】* SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットに示されます。</p> | | | | | |
| 14.4.3 クロック同期式モード時の動作 (2) クロック | 14-39 | <p>追加</p> <p>・・・受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されず、この場合、$8 \times (16 + 1) = 136$ パルスの同期クロックが出力されます。n キャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用する場合は、RE = 1 かつ TE = 1 とし、n キャラクタ数のダミーデータ送信と同時に n キャラクタの受信を行う手順としてください。</p> | | | | |

| 項 目 | ページ | 修正箇所 |
|--------------------------------|-------|--|
| 図 14.13 シリアル送信のフローチャートの例 | 14-41 | <p>修正</p>  <p>(1) SCIFの状態を確認して、送信データを書き込み、SCFSRを読み出して、TDFEフラグが1であることを確認した後、トランスミットFIFOデータレジスタ (SCFTDR) に送信データを書き込み、TDFEフラグとTENDフラグの1を読み出した後、それらのフラグを0にクリアします。</p> <p>(2) シリアル送信の継続手順：シリアル送信を続けるときには、必ずTDFEフラグの1を読み出して書き込み可能であることを確認した後にSCFTDRにデータを書き込み、続いてTDFEフラグを0にクリアしてください。</p> |
| 図 14.18 シリアル送受信のフローチャートの例 | 14-45 | <p>修正</p>  <p>(1) SCIFの状態を確認して受信データを読み出し、SCFSRを読み出してROF=1であることを確認した後、SCFTDRに受信データを書き込み、それらのフラグを0にクリアします。TDFEフラグの0から1への変化は、TXI割り込みによっても知ることができます。</p> <p>(2) 受信エラー処理：受信エラーが発生したときには、SCLSRのORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では受信を再開できません。</p> <p>(3) SCIFの状態を確認して受信データを読み出し、SCFSRを読み出してROF=1であることを確認した後、SCFTDRに受信データを書き込み、RDFフラグを0にクリアします。RDFフラグの0から1への変化はRXI割り込みによっても知ることができます。</p> |
| 17.6 使用上の注意事項 | 17-12 | <p>追加</p> <p>2. HIFMD 端子は、初期値が汎用ポートではありませんので、外部プルアップ/ダウンにて状態を確定させる必要がありますのでご注意ください。</p> <p>3. マルチプレクスされた端子で、初期値でない機能の端子を選択し使用する場合、例えば、PB12/CS3 で初期値がPB12 であり CS3 を使用する場合は、少なくともリセット後にソフトウェアで機能選択するまでの間、外部プルアップ/ダウン等で状態を確定させる必要がありますのでご注意ください。</p> |
| 図 21.10 基本バスサイクル (ノーウェイト) | 21-11 | <p>修正</p>  |
| 図 21.11 基本バスサイクル (ソフトウェアウェイト1) | 21-12 | <p>修正</p>  |

| 項 目 | ページ | 修正箇所 |
|--|-------|--|
| 図 21.12 基本バスサイクル (外部ウェイト1挿入) | 21-13 | 修正  |
| 図 21.13 基本バスサイクル (ソフトウェアウェイト1、外部ウェイト有効 (WMビット=0)、アイドルサイクルなし設 定) | 21-14 | 修正  |
| 図 21.16 シンクロナス DRAM シングルリー ドバスサイクル (オートプリチャージあり、CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=0 サイクル) | 21-17 | 修正  |
| 図 21.17 シンクロナス DRAM シングルリー ドバスサイクル (オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=1 サイクル) | 21-18 | 修正  |
| 図 21.18 シンクロナス DRAM パーストリー ドバスサイクル (リード4サイクル分) (オートプリチャージあり、CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=1 サイクル) | 21-19 | 修正  |
| 図 21.19 シンクロナス DRAM パーストリー ドバスサイクル (リード4サイクル分) (オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=0 サイクル) | 21-20 | 修正  |
| 図 21.22 シンクロナス DRAM パーストラ イトバスサイクル (ライト4サイクル分) (オートプリチャージあり、WTRCD=0 サ イクル、TRWL=1 サイクル) | 21-23 | 修正  |

| 項 目 | ページ | 修正箇所 |
|---|-------|--|
| <p>図 21.23 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分) (オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)</p> | 21-24 | <p>修正</p>  |
| <p>図 21.24 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分) (バンクアクティブモード: ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)</p> | 21-25 | <p>修正</p>  |
| <p>図 21.25 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分) (バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)</p> | 21-26 | <p>修正</p>  |
| <p>図 21.26 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分) (バンクアクティブモード: PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)</p> | 21-27 | <p>修正</p>  |
| <p>図 21.27 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分) (バンクアクティブモード: ACT + WRITE コマンド、WTRCD = 0 サイクル、TRWL = 0 サイクル)</p> | 21-28 | <p>修正</p>  |
| <p>図 21.28 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分) (バンクアクティブモード: WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)</p> | 21-29 | <p>修正</p>  |
| <p>図 21.29 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分) (バンクアクティブモード: PRE + ACT + WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)</p> | 21-30 | <p>修正</p>  |
| <p>図 21.30 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)</p> | 21-31 | <p>修正</p>  |

索引

| | | | |
|---|-------|--|-------|
| 【 C 】 | | SDRAM インタフェース..... | 7-39 |
| CPU | 2-1 | SDRAM 直結インタフェース..... | 7-39 |
| CSn アサート期間拡張..... | 7-38 | 【 T 】 | |
| 【 E 】 | | TAP コントローラ | 19-9 |
| EtherC 受信部 | 11-15 | 【 U 】 | |
| EtherC 送信部 | 11-14 | U メモリ | 4-1 |
| 【 F 】 | | 【 あ 】 | |
| FIFO 付きシリアルコミュニケーションインタフェース (SCIF) | 14-1 | アクセスウェイト制御..... | 7-36 |
| 【 H 】 | | アクセスサイクル間ウェイト | 7-63 |
| H-UDI リセット | 5-6 | アドレスアレイ | 3-7 |
| H-UDI 割り込み..... | 6-12 | アドレスエラー発生要因 | 5-7 |
| 【 I 】 | | アドレスエラー例外処理 | 5-7 |
| I/O カードインタフェース基本タイミング | 7-61 | アドレスマルチプレクス | 7-40 |
| I/O ポート..... | 17-1 | アドレッシングモード..... | 2-8 |
| IPG 設定による動作 | 11-21 | イーサネットコントローラ (EtherC) | 11-1 |
| IRQ7 ~ IRQ0 割り込み..... | 6-11 | イーサネットコントローラ用ダイレクトメモリ アクセスコントローラ (E-DMAC) | 12-1 |
| 【 M 】 | | 一般不当命令 | 5-10 |
| Magic Packet の検出 | 11-21 | イミディエイトデータのデータ形式..... | 2-5 |
| MII フレームタイミング | 11-16 | ウォッチドッグタイマ (WDT) | 9-1 |
| MII レジスタのアクセス方法 | 11-18 | エンディアン / アクセスサイズと データアライメント | 7-28 |
| 【 N 】 | | オートリフレッシュ | 7-51 |
| NMI 割り込み | 6-11 | 【 か 】 | |
| 【 P 】 | | 基本タイミング | 7-32 |
| PCMCIA インタフェース | 7-58 | キャッシュ | 3-1 |
| PHY-LSI との接続 | 11-23 | キャッシュと外部メモリとのコヒーレンシ | 3-7 |
| 【 R 】 | | キャッシュの検索 | 3-5 |
| RISC 方式 | 2-6 | キャッシュの構成 | 3-1 |
| 【 S 】 | | クロック動作モード | 8-4 |
| SCIF の初期化 (クロック同期式) | 14-39 | クロック動作モードの変更..... | 8-9 |
| SCIF 初期化 (調歩同期式) | 14-30 | クロック同期式モード..... | 14-38 |
| | | クロック発振器 (CPG) | 8-1 |
| | | コントロールレジスタ..... | 2-3 |
| | | コンペアマッチタイマ (CMT) | 13-1 |

【さ】

| | |
|----------------------------------|-------|
| 算術演算命令..... | 2-18 |
| システムレジスタ..... | 2-4 |
| システム制御命令..... | 2-21 |
| シフト命令..... | 2-20 |
| 周波数変更方法..... | 8-8 |
| 受信ディスクリプタ 0 (RD0)..... | 12-22 |
| 受信ディスクリプタ 1 (RD1)..... | 12-24 |
| 受信ディスクリプタ 2 (RD2)..... | 12-24 |
| 状態遷移..... | 2-23 |
| シリアルデータ受信 (クロック同期式)..... | 14-43 |
| シリアルデータ受信 (調歩同期式)..... | 14-35 |
| シリアルデータ送受信同時動作 (クロック同期式)..... | 14-45 |
| シリアルデータ送信 (クロック同期式)..... | 14-41 |
| シリアルデータ送信 (調歩同期式)..... | 14-32 |
| シングルライト..... | 7-47 |
| シングルリード..... | 7-45 |
| スリープモード..... | 10-5 |
| スロット不当命令..... | 5-10 |
| セルフリフレッシュ..... | 7-52 |
| 送信ディスクリプタ 0 (TD0)..... | 12-20 |
| 送信ディスクリプタ 1 (TD1)..... | 12-21 |
| 送信ディスクリプタ 2 (TD2)..... | 12-21 |
| ソフトウェアスタンバイモード..... | 10-6 |

【た】

| | |
|------------------|-------|
| 通信率の変更..... | 8-8 |
| 端子機能..... | 1-7 |
| 調歩同期式モード..... | 14-28 |
| 通常空間インタフェース..... | 7-32 |
| 低消費電力モード..... | 10-1 |
| 低消費電力モードの種類..... | 10-1 |
| データアレイ..... | 3-8 |
| データレジスタ..... | 17-1 |
| データ転送命令..... | 2-17 |
| トラップ命令..... | 5-10 |

【な】

| | |
|--------------------|------|
| 内蔵周辺モジュール割り込み..... | 6-12 |
|--------------------|------|

【は】

| | |
|---------------------------|-------|
| バーストライト..... | 7-46 |
| バーストリード..... | 7-42 |
| バイト選択付き SRAM インタフェース..... | 7-55 |
| バウンダリスキャン..... | 19-11 |
| バスステートコントローラ (BSC)..... | 7-1 |

| | |
|----------------------------|-------|
| パワーオンシーケンス..... | 7-53 |
| パワーオンリセット..... | 5-5 |
| バンクアクティブ..... | 7-47 |
| 汎用レジスタ..... | 2-3 |
| ビットレート..... | 14-15 |
| ピンファンクションコントローラ (PFC)..... | 16-1 |
| ピン配置図..... | 1-6 |
| 部分空間とキャッシュの関係..... | 3-3 |
| フロー制御..... | 11-22 |
| 分岐命令..... | 2-21 |
| 分周率の変更..... | 8-9 |
| ホストインタフェース (HIF)..... | 15-1 |

【ま】

| | |
|---------------------------|-------|
| マルチバッファフレームの送受信処理..... | 12-27 |
| マルチプレクス端子..... | 16-1 |
| 命令形式..... | 2-11 |
| 命令セット..... | 2-14 |
| 命令による例外の種類..... | 5-9 |
| 命令の特長..... | 2-6 |
| メモ리카ードインタフェース基本タイミング..... | 7-59 |
| メモリのデータ形式..... | 2-5 |
| メモリ割り付けキャッシュの構成..... | 3-7 |
| モジュールスタンバイ機能..... | 10-8 |

【や】

| | |
|-----------------------------|------|
| ユーザデバッグインタフェース (H-UDI)..... | 19-1 |
| ユーザブ레이크コントローラ (UBC)..... | 18-1 |
| ユーザブ레이크割り込み..... | 6-12 |

【ら】

| | |
|-------------------------|---------------------------|
| ライトバックバッファ..... | 3-7 |
| ライト動作..... | 3-6 |
| リード動作..... | 3-6 |
| リセット..... | 5-5 |
| リフレッシュ..... | 7-51 |
| リフレッシュ要求とバスサイクルの関係..... | 7-53 |
| 例外処理..... | 5-1 |
| 例外処理後のスタックの状態..... | 5-12 |
| 例外処理の種類と優先順位..... | 5-1 |
| 例外処理の動作..... | 5-2 |
| 例外処理ベクタテーブル..... | 5-3 |
| 例外要因の受け付け..... | 5-11 |
| レジスタ | |
| APR..... | 11-13, 20-6, 20-18, 20-25 |
| BAMRA..... | 18-4, 20-6, 20-20, 20-25 |
| BAMRB..... | 18-5, 20-6, 20-19, 20-25 |

| | | | |
|---------|--------------------------------|---------|---------------------------|
| BARA | 18-3, 20-6, 20-20, 20-25 | FCFTR | 12-18, 20-5, 20-15, 20-24 |
| BARB | 18-5, 20-6, 20-19, 20-25 | FDR | 12-15, 20-5, 20-15, 20-24 |
| BBRA | 18-4, 20-6, 20-20, 20-25 | FRECR | 11-11, 20-6, 20-18, 20-25 |
| BBRB | 18-7, 20-6, 20-19, 20-25 | FRQCR | 8-6, 20-3, 20-9, 20-22 |
| BDMRB | 18-6, 20-6, 20-19, 20-25 | HIFADR | 15-11, 20-4, 20-11, 20-23 |
| BDRB | 18-6, 20-6, 20-19, 20-25 | HIFBCR | 15-12, 20-4, 20-12, 20-23 |
| BETR | 18-10, 20-6, 20-19, 20-25 | HIFBICR | 15-13, 20-4, 20-12, 20-23 |
| BRCR | 18-8, 20-6, 20-19, 20-25 | HIFDATA | 15-11, 20-4, 20-12, 20-23 |
| BRDR | 18-11, 20-6, 20-20, 20-25 | HIFDTR | 15-12, 20-4, 20-12, 20-23 |
| BRSR | 18-10, 20-6, 20-19, 20-25 | HIFEICR | 15-10, 20-4, 20-11, 20-23 |
| CCR1 | 3-3, 20-6, 20-20, 20-25 | HIFGSR | 15-6, 20-4, 20-11, 20-23 |
| CCR3 | 3-4, 20-2, 20-7, 20-21 | HIFIDX | 15-5, 20-4, 20-11, 20-23 |
| CDCR | 11-10, 20-6, 20-17, 20-25 | HIFIICR | 15-10, 20-4, 20-11, 20-23 |
| CEFCR | 11-11, 20-6, 20-18, 20-25 | HIFMCR | 15-8, 20-4, 20-11, 20-23 |
| CMCNT | 13-3 | HIFSCR | 15-7, 20-4, 20-11, 20-23 |
| CMCNT_0 | 20-4, 20-10, 20-23 | ICR0 | 6-2, 20-3, 20-9, 20-22 |
| CMCNT_1 | 20-4, 20-11, 20-23 | IPGR | 11-12, 20-6, 20-18, 20-25 |
| CMCOR | 13-4 | IPR | 6-9 |
| CMCOR_0 | 20-4, 20-11, 20-23 | IPRA | 20-3, 20-9, 20-22 |
| CMCOR_1 | 20-4, 20-11, 20-23 | IPRB | 20-3, 20-9, 20-22 |
| CMCSR | 13-3 | IPRC | 20-2, 20-8, 20-21 |
| CMCSR_0 | 20-4, 20-10, 20-23 | IPRD | 20-2, 20-8, 20-21 |
| CMCSR_1 | 20-4, 20-11, 20-23 | IPRE | 20-2, 20-8, 20-21 |
| CMNCR | 7-8, 20-4, 20-12, 20-23 | IRQCR | 6-3, 20-3, 20-9, 20-22 |
| CMSTR | 13-2, 20-4, 20-10, 20-23 | IRQSR | 6-5, 20-3, 20-9, 20-22 |
| CNDCR | 11-10, 20-6, 20-17, 20-25 | LCCR | 11-10, 20-6, 20-17, 20-25 |
| CS0BCR | 20-4, 20-12, 20-23 | MAFCR | 11-12, 20-6, 20-18, 20-25 |
| CS0WCR | 7-12, 20-5, 20-13, 20-23 | MAHR | 11-8, 20-5, 20-17, 20-25 |
| CS3BCR | 20-4, 20-12, 20-23 | MALR | 11-8, 20-5, 20-17, 20-25 |
| CS3WCR | 7-14, 7-21, 20-5, 20-13, 20-23 | MCLKCR | 8-7, 20-3, 20-8, 20-21 |
| CS4BCR | 20-4, 20-12, 20-23 | MPR | 11-13, 20-6, 20-18, 20-25 |
| CS4WCR | 7-15, 20-5, 20-13, 20-24 | PACRH1 | 16-10, 20-2, 20-7, 20-21 |
| CS5BBCR | 20-4, 20-12, 20-23 | PACRH2 | 16-10, 20-2, 20-7, 20-21 |
| CS5BWCR | 7-17, 7-23, 20-5, 20-13, 20-24 | PADRH | 17-2, 20-2, 20-7, 20-21 |
| CS6BBCR | 20-4, 20-13, 20-23 | PAIORH | 16-9, 20-2, 20-7, 20-21 |
| CS6BWCR | 7-19, 7-23, 20-5, 20-13, 20-24 | PBCRL1 | 16-12, 20-2, 20-7, 20-21 |
| CShBCR | 7-10 | PBCRL2 | 16-12, 20-2, 20-7, 20-21 |
| CShWCR | 7-12 | PBDRL | 17-4, 20-2, 20-7, 20-21 |
| ECMR | 11-4, 20-5, 20-16, 20-24 | PBIORL | 16-12, 20-2, 20-7, 20-21 |
| ECSIPR | 11-7, 20-5, 20-16, 20-25 | PCCR2 | 16-15, 20-2, 20-7, 20-21 |
| ECSR | 11-6, 20-5, 20-16, 20-24 | PCCRL1 | 16-15, 20-2, 20-7, 20-21 |
| EDMR | 12-3, 20-5, 20-14, 20-24 | PCCRL2 | 16-15, 20-2, 20-8, 20-21 |
| EDOCR | 12-16, 20-5, 20-15, 20-24 | PCDRH | 17-6, 20-2, 20-7, 20-21 |
| EDRRR | 12-4, 20-5, 20-14, 20-24 | PCDRL | 17-6, 20-2, 20-7, 20-21 |
| EDTRR | 12-4, 20-5, 20-14, 20-24 | PCIORH | 16-15, 20-2, 20-7, 20-21 |
| EESIPR | 12-9, 20-5, 20-15, 20-24 | PCIORL | 16-15, 20-2, 20-7, 20-21 |
| EESR | 12-6, 20-5, 20-15, 20-24 | PDCRL2 | 16-19, 20-2, 20-8, 20-21 |

| | | | |
|---------------|---------------------------|-----------------|---------------------------|
| PDDRL..... | 17-8, 20-2, 20-8, 20-21 | SCLSR_0..... | 20-3, 20-9, 20-22 |
| PDIORL..... | 16-19, 20-2, 20-8, 20-21 | SCLSR_1..... | 20-3, 20-10, 20-22 |
| PECRH1..... | 16-21, 20-2, 20-8, 20-21 | SCLSR_2..... | 20-4, 20-10, 20-23 |
| PECRH2..... | 16-21, 20-2, 20-8, 20-21 | SCRSR..... | 14-4 |
| PECRL1..... | 16-21, 20-2, 20-8, 20-21 | SCSCR..... | 14-8 |
| PECRL2..... | 16-21, 20-2, 20-8, 20-21 | SCSCR_0..... | 20-3, 20-9, 20-22 |
| PEDRH..... | 17-10, 20-2, 20-8, 20-21 | SCSCR_1..... | 20-3, 20-10, 20-22 |
| PEDRL..... | 17-10, 20-2, 20-8, 20-21 | SCSCR_2..... | 20-4, 20-10, 20-23 |
| PEIORH..... | 16-21, 20-2, 20-8, 20-21 | SCSMR..... | 14-5 |
| PEIORL..... | 16-21, 20-2, 20-8, 20-21 | SCSMR_0..... | 20-3, 20-9, 20-22 |
| PIR..... | 11-8, 20-5, 20-17, 20-25 | SCSMR_1..... | 20-3, 20-9, 20-22 |
| PSR..... | 11-9, 20-6, 20-17, 20-25 | SCSMR_2..... | 20-4, 20-10, 20-23 |
| RBWAR..... | 12-16, 20-5, 20-16, 20-24 | SCSPTR..... | 14-23 |
| RDFAR..... | 12-17, 20-5, 20-16, 20-24 | SCSPTR_0..... | 20-3, 20-9, 20-22 |
| RDLAR..... | 12-5, 20-5, 20-14, 20-24 | SCSPTR_1..... | 20-3, 20-10, 20-22 |
| RFCR..... | 11-12, 20-6, 20-18, 20-25 | SCSPTR_2..... | 20-4, 20-10, 20-23 |
| RFLR..... | 11-9, 20-5, 20-17, 20-25 | SCTSR..... | 14-5 |
| RMCR..... | 12-15, 20-5, 20-15, 20-24 | SDBPR..... | 19-3 |
| RMFCR..... | 12-13, 20-5, 20-15, 20-24 | SDBSR..... | 19-3 |
| RTCNT..... | 7-28, 20-5, 20-14, 20-24 | SDCR..... | 7-25, 20-5, 20-14, 20-24 |
| RTCOR..... | 7-28, 20-5, 20-14, 20-24 | SDID..... | 19-8, 20-3, 20-8, 20-22 |
| RTCSR..... | 7-27, 20-5, 20-14, 20-24 | SDIR..... | 19-3, 20-3, 20-8, 20-22 |
| SCBRR..... | 14-15 | STBCR..... | 10-2, 20-3, 20-9, 20-22 |
| SCBRR_0..... | 20-3, 20-9, 20-22 | STBCR2..... | 10-3, 20-3, 20-9, 20-22 |
| SCBRR_1..... | 20-3, 20-9, 20-22 | STBCR3..... | 10-3, 20-3, 20-8, 20-21 |
| SCBRR_2..... | 20-4, 20-10, 20-23 | STBCR4..... | 10-4, 20-3, 20-8, 20-21 |
| SCFCR..... | 14-20 | TBRAR..... | 12-17, 20-5, 20-16, 20-24 |
| SCFCR_0..... | 20-3, 20-9, 20-22 | TDFAR..... | 12-17, 20-5, 20-16, 20-24 |
| SCFCR_1..... | 20-3, 20-10, 20-22 | TDLAR..... | 12-5, 20-5, 20-14, 20-24 |
| SCFCR_2..... | 20-4, 20-10, 20-23 | TFTR..... | 12-14, 20-5, 20-15, 20-24 |
| SCFDR..... | 14-22 | TLFRCR..... | 11-11, 20-6, 20-18, 20-25 |
| SCFDR_0..... | 20-3, 20-9, 20-22 | TPAUSER..... | 11-13, 20-6, 20-19, 20-25 |
| SCFDR_1..... | 20-3, 20-10, 20-22 | TRIMD..... | 12-18, 20-5, 20-16, 20-24 |
| SCFDR_2..... | 20-4, 20-10, 20-23 | TROCR..... | 11-10, 20-6, 20-17, 20-25 |
| SCFRDR..... | 14-4 | TRSCER..... | 12-12, 20-5, 20-15, 20-24 |
| SCFRDR_0..... | 20-3, 20-9, 20-22 | TSFRCR..... | 11-11, 20-6, 20-18, 20-25 |
| SCFRDR_1..... | 20-3, 20-10, 20-22 | WTCNT..... | 9-2, 20-3, 20-9, 20-22 |
| SCFRDR_2..... | 20-4, 20-10, 20-23 | WTCSR..... | 9-3, 20-3, 20-9, 20-22 |
| SCFSR..... | 14-10 | レジスタのデータ形式..... | 2-5 |
| SCFSR_0..... | 20-3, 20-9, 20-22 | レジスタの初期値..... | 2-4 |
| SCFSR_1..... | 20-3, 20-10, 20-22 | 論理演算命令..... | 2-19 |
| SCFSR_2..... | 20-4, 20-10, 20-23 | | |
| SCFTDR..... | 14-5 | | |
| SCFTDR_0..... | 20-3, 20-9, 20-22 | | |
| SCFTDR_1..... | 20-3, 20-10, 20-22 | | |
| SCFTDR_2..... | 20-4, 20-10, 20-23 | | |
| SCLSR..... | 14-25 | | |

| | |
|-----------------------|------|
| 【わ】 | |
| 割り込み応答時間..... | 6-18 |
| 割り込みコントローラ（INTC）..... | 6-1 |
| 割り込み動作の流れ..... | 6-15 |
| 割り込み優先順位..... | 5-8 |

割り込み要因..... 5-8
割り込み例外処理..... 5-9

割り込み例外処理ベクタテーブル..... 6-13

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH7618グループ

発行年月日 2004年4月 第1版
2007年6月12日 Rev.6.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

| | | | | | | |
|---|---|---|---|-----------|--------------------------------|----------------|
| 本 | | | 社 | 〒100-0004 | 千代田区大手町2-6-2 (日本ビル) | (03) 5201-5350 |
| 京 | 浜 | 支 | 社 | 〒212-0058 | 川崎市幸区鹿島田890-12 (新川崎三井ビル) | (044) 549-1662 |
| 西 | 東 | 京 | 支 | 〒190-0023 | 立川市柴崎町2-2-23 (第二高島ビル2F) | (042) 524-8701 |
| 東 | 北 | 支 | 社 | 〒980-0013 | 仙台市青葉区花京院1-1-20 (花京院スクエア13F) | (022) 221-1351 |
| い | わ | き | 支 | 〒970-8026 | いわき市平小太郎町4-9 (平小太郎ビル) | (0246) 22-3222 |
| 茨 | 城 | 支 | 店 | 〒312-0034 | ひたちなか市堀口832-2 (日立システムプラザ勝田1F) | (029) 271-9411 |
| 新 | 潟 | 支 | 店 | 〒950-0087 | 新潟市東大通1-4-2 (新潟三井物産ビル3F) | (025) 241-4361 |
| 松 | 本 | 支 | 社 | 〒390-0815 | 松本市深志1-2-11 (昭和ビル7F) | (0263) 33-6622 |
| 中 | 部 | 支 | 社 | 〒460-0008 | 名古屋市中区栄4-2-29 (名古屋広小路ブレイス) | (052) 249-3330 |
| 関 | 西 | 支 | 社 | 〒541-0044 | 大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル) | (06) 6233-9500 |
| 北 | 陸 | 支 | 社 | 〒920-0031 | 金沢市広岡3-1-1 (金沢パークビル8F) | (076) 233-5980 |
| 広 | 島 | 支 | 店 | 〒730-0036 | 広島市中区袋町5-25 (広島袋町ビルディング8F) | (082) 244-2570 |
| 島 | 取 | 支 | 店 | 〒680-0822 | 鳥取市今町2-251 (日本生命鳥取駅前ビル) | (0857) 21-1915 |
| 九 | 州 | 支 | 社 | 〒812-0011 | 福岡市博多区博多駅前2-17-1 (博多プレステージ5F) | (092) 481-7695 |

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

SH7618 グループ
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0084-0600