

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# SH7263 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7260 シリーズ

SH7263

R5S72630P200FP

R5S72631P200FP

R5S72632P200FP

R5S72633P200FP

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
  - CPUおよびシステム制御系
  - 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、 等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。各章の本文中には説明に対する注意事項、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスター一覧
8. 電気的特性
9. 付録
  - 製品型名、外形寸法図など
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

---

# はじめに

---

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

**対象者** 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的にしています。

## 読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第34章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例

本マニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に、レジスタ名\_チャンネル番号、の表記を使用します。

(例) CMCSR\_0

(2) ビットの表記

本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。

(例) CKS1、CKS0

(3) 数字の表記

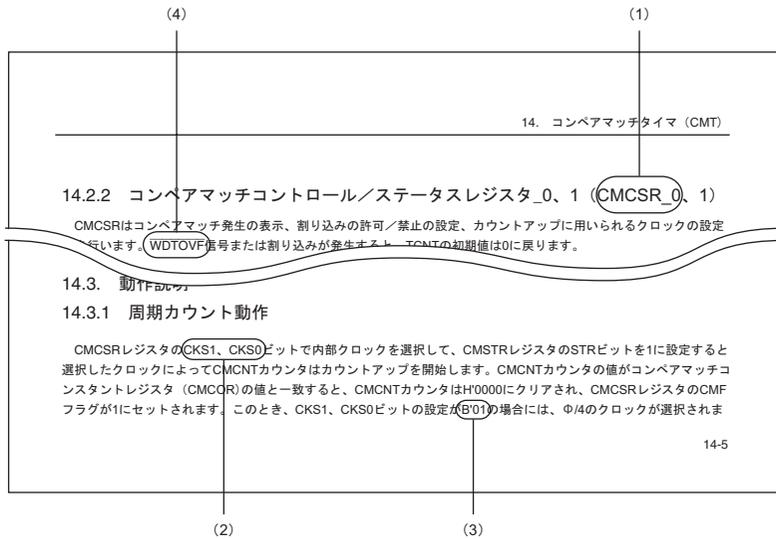
2進数はB'xxxxまたはxxxx、16進数はH'xxxx、10進数はxxxxで表します。

(例) B'11または11、H'EFA0、1234

(4) 記号の表記

ローアクティブの信号にはオーバーバーを付けています。

(例)  $\overline{\text{WDTOVF}}$



【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

• ビット図とビット表の表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

レジスタのビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「-」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

- : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、

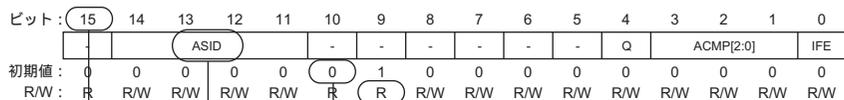
ビット表で指定された値または初期値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

(5) 説明

ビットを設定することで可能となる機能について説明しています。



ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されず。
14~11	ASID	0000	R/W	アドレス識別子 端子機能の有効 / 無効を設定できます。
10	-	0	R	リザーブビット 読み出すと常に0が読み出されず。
9	-	1	R	リザーブビット 読み出すと常に1が読み出されず。
-	-	0	-	-

【注】 上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

すべての商標および登録商標は、それぞれの所有者に帰属します。



---

# 目次

---

1.	概要	1-1
1.1	SH7263の特長	1-1
1.2	製品一覧	1-8
1.3	ブロック図	1-9
1.4	ピン配置図	1-10
1.5	端子機能	1-11
1.6	端子一覧	1-18
2.	CPU	2-1
2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-3
2.1.4	レジスタバンク	2-4
2.1.5	レジスタの初期値	2-4
2.2	データ形式	2-5
2.2.1	レジスタのデータ形式	2-5
2.2.2	メモリのデータ形式	2-5
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC 方式	2-7
2.3.2	アドレッシングモード	2-11
2.3.3	命令形式	2-15
2.4	命令セット	2-19
2.4.1	分類順命令セット	2-19
2.4.2	データ転送命令	2-24
2.4.3	算術演算命令	2-27
2.4.4	論理演算命令	2-29
2.4.5	シフト命令	2-30
2.4.6	分岐命令	2-31
2.4.7	システム制御命令	2-32
2.4.8	浮動小数点演算命令	2-34
2.4.9	FPU に関する CPU 命令	2-36
2.4.10	ビット操作命令	2-37

2.5	処理状態.....	2-38
3.	浮動小数点ユニット (FPU) .....	3-1
3.1	特長.....	3-1
3.2	データフォーマット .....	3-2
3.2.1	浮動小数点フォーマット.....	3-2
3.2.2	非数 (NaN) .....	3-4
3.2.3	非正規化数.....	3-4
3.3	レジスタの説明.....	3-5
3.3.1	浮動小数点レジスタ .....	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR) .....	3-6
3.3.3	浮動小数点通信レジスタ (FPUL) .....	3-7
3.4	丸め.....	3-8
3.5	FPU例外.....	3-9
3.5.1	FPU 例外要因.....	3-9
3.5.2	FPU 例外処理.....	3-9
4.	クロックパルス発振器 (CPG) .....	4-1
4.1	特長.....	4-1
4.2	入出力端子.....	4-4
4.3	クロック動作モード .....	4-5
4.4	レジスタの説明.....	4-8
4.4.1	周波数制御レジスタ (FRQCR) .....	4-8
4.5	周波数変更方法.....	4-11
4.5.1	逡倍率の変更.....	4-11
4.5.2	分周率の変更.....	4-11
4.6	クロック端子の使用法.....	4-12
4.6.1	外部クロック入力時.....	4-12
4.6.2	水晶発振子使用時.....	4-13
4.6.3	未使用時.....	4-13
4.7	発振安定時間.....	4-14
4.7.1	内蔵水晶発振器の発振安定時間.....	4-14
4.7.2	PLL 回路の発振安定時間.....	4-14
4.8	ボード設計上の注意事項.....	4-15
4.8.1	PLL 発振回路使用時の注意.....	4-15
4.9	使用上の注意事項 .....	4-15
5.	例外処理.....	5-1
5.1	概要.....	5-1
5.1.1	例外処理の種類と優先順位.....	5-1

5.1.2	例外処理の動作 .....	5-3
5.1.3	例外処理ベクタテーブル.....	5-5
5.2	リセット .....	5-7
5.2.1	入出力端子 .....	5-7
5.2.2	リセットの種類 .....	5-7
5.2.3	パワーオンリセット .....	5-8
5.2.4	マニュアルリセット .....	5-9
5.3	アドレスエラー .....	5-10
5.3.1	アドレスエラー発生要因.....	5-10
5.3.2	アドレスエラー例外処理.....	5-11
5.4	レジスタバンクエラー .....	5-12
5.4.1	レジスタバンクエラー発生要因.....	5-12
5.4.2	レジスタバンクエラー例外処理.....	5-12
5.5	割り込み .....	5-13
5.5.1	割り込み要因 .....	5-13
5.5.2	割り込み優先順位 .....	5-14
5.5.3	割り込み例外処理 .....	5-15
5.6	命令による例外 .....	5-16
5.6.1	命令による例外の種類.....	5-16
5.6.2	トラップ命令 .....	5-16
5.6.3	スロット不当命令 .....	5-17
5.6.4	一般不当命令 .....	5-17
5.6.5	整数除算例外 .....	5-17
5.6.6	FPU 例外 .....	5-18
5.7	例外処理が受け付けられない場合.....	5-19
5.8	例外処理後のスタックの状態.....	5-20
5.9	使用上の注意事項 .....	5-21
5.9.1	スタックポインタ ( SP ) の値 .....	5-21
5.9.2	ベクタベースレジスタ ( VBR ) の値.....	5-21
5.9.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー .....	5-21
5.9.4	割り込みマスクビット変更による割り込み制御 .....	5-21
5.9.5	例外処理実行前の注意事項.....	5-21
6.	割り込みコントローラ ( INTC ) .....	6-1
6.1	特長.....	6-1
6.2	入出力端子 .....	6-3
6.3	レジスタの説明 .....	6-4
6.3.1	割り込み優先レベル設定レジスタ 01、02、05 ~ 17 ( IPR01、IPR02、IPR05 ~ IPR17 ) .....	6-5
6.3.2	割り込みコントロールレジスタ 0 ( ICR0 ) .....	6-6
6.3.3	割り込みコントロールレジスタ 1 ( ICR1 ) .....	6-7

6.3.4	割り込みコントロールレジスタ 2 (ICR2) .....	6-8
6.3.5	IRQ 割り込み要求レジスタ (IRQRR) .....	6-9
6.3.6	PINT 割り込みイネーブルレジスタ (PINTER) .....	6-10
6.3.7	PINT 割り込み要求レジスタ (PIRR) .....	6-11
6.3.8	バンクコントロールレジスタ (IBCR) .....	6-12
6.3.9	バンク番号レジスタ (IBNR) .....	6-13
6.4	割り込み要因 .....	6-14
6.4.1	NMI 割り込み .....	6-14
6.4.2	ユーザブレイク割り込み .....	6-14
6.4.3	H-UDI 割り込み .....	6-14
6.4.4	IRQ 割り込み .....	6-14
6.4.5	PINT 割り込み .....	6-15
6.4.6	内蔵周辺モジュール割り込み .....	6-16
6.5	割り込み例外処理ベクタテーブルと優先順位 .....	6-17
6.6	動作説明 .....	6-23
6.6.1	割り込み動作の流れ .....	6-23
6.6.2	割り込み例外処理終了後のスタックの状態 .....	6-25
6.7	割り込み応答時間 .....	6-26
6.8	レジスタバンク .....	6-31
6.8.1	バンクの対象レジスタと入出力方式 .....	6-31
6.8.2	バンク退避、復帰の動作 .....	6-32
6.8.3	すべてのバンクに退避が行われた状態での退避、復帰 .....	6-34
6.8.4	レジスタバンクの例外 .....	6-35
6.8.5	レジスタバンクエラー例外処理 .....	6-35
6.9	割り込み要求信号によるデータ転送 .....	6-36
6.9.1	割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合 .....	6-36
6.9.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合 .....	6-37
6.10	使用上の注意事項 .....	6-38
6.10.1	割り込み要因クリアのタイミング .....	6-38
6.10.2	$\overline{\text{IRQOUT}}$ のネゲートタイミング .....	6-38
7.	ユーザブレイクコントローラ (UBC) .....	7-1
7.1	特長 .....	7-1
7.2	入出力端子 .....	7-3
7.3	レジスタの説明 .....	7-4
7.3.1	ブレイクアドレスレジスタ (BAR) .....	7-4
7.3.2	ブレイクアドレスマスクレジスタ (BAMR) .....	7-5
7.3.3	ブレイクデータレジスタ (BDR) .....	7-6
7.3.4	ブレイクデータマスクレジスタ (BDMR) .....	7-7
7.3.5	ブレイクバスサイクルレジスタ (BBR) .....	7-8

7.3.6	ブレークコントロールレジスタ (BRCCR) .....	7-10
7.4	動作説明 .....	7-12
7.4.1	ユーザブレーク動作の流れ .....	7-12
7.4.2	命令フェッチサイクルでのブレーク .....	7-13
7.4.3	データアクセスサイクルでのブレーク .....	7-14
7.4.4	退避されるプログラムカウンタの値 .....	7-15
7.4.5	使用例 .....	7-15
7.5	使用上の注意事項 .....	7-18
8.	キャッシュ .....	8-1
8.1	特長 .....	8-1
8.1.1	キャッシュの構成 .....	8-1
8.2	レジスタの説明 .....	8-4
8.2.1	キャッシュ制御レジスタ 1 (CCR1) .....	8-4
8.2.2	キャッシュ制御レジスタ 2 (CCR2) .....	8-6
8.3	動作説明 .....	8-9
8.3.1	キャッシュの検索 .....	8-9
8.3.2	リード動作 .....	8-10
8.3.3	プリフェッチ動作 (オペランドキャッシュのみ) .....	8-10
8.3.4	ライト動作 (オペランドキャッシュのみ) .....	8-10
8.3.5	ライトバックバッファ (オペランドキャッシュのみ) .....	8-11
8.3.6	キャッシュと外部メモリとのコヒーレンシ .....	8-13
8.4	メモリ割り付けキャッシュの構成 .....	8-14
8.4.1	アドレスアレイ .....	8-14
8.4.2	データアレイ .....	8-15
8.4.3	使用例 .....	8-17
8.4.4	注意事項 .....	8-17
9.	バスステートコントローラ (BSC) .....	9-1
9.1	特長 .....	9-1
9.2	入出力端子 .....	9-4
9.3	エリアの概要 .....	9-5
9.3.1	アドレスマップ .....	9-5
9.3.2	各エリアのデータバス幅と関連端子設定 .....	9-6
9.4	レジスタの説明 .....	9-7
9.4.1	共通コントロールレジスタ (CMNCR) .....	9-8
9.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~7) .....	9-10
9.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~7) .....	9-14
9.4.4	SDRAM コントロールレジスタ (SDCR) .....	9-43
9.4.5	リフレッシュタイマコントロール/ステータスレジスタ (RTCSR) .....	9-46

9.4.6	リフレッシュタイマカウンタ (RTCNT) .....	9-47
9.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR) .....	9-48
9.5	<b>動作説明</b> .....	9-49
9.5.1	エンディアン / アクセスサイズとデータアライメント .....	9-49
9.5.2	通常空間インタフェース .....	9-54
9.5.3	アクセスウェイト制御 .....	9-59
9.5.4	$\overline{CSn}$ アサート期間拡張 .....	9-61
9.5.5	MPX-I/O インタフェース .....	9-62
9.5.6	SDRAM インタフェース .....	9-66
9.5.7	バースト ROM (クロック非同期) インタフェース .....	9-100
9.5.8	バイト選択付き SRAM インタフェース .....	9-101
9.5.9	PCMCIA インタフェース .....	9-106
9.5.10	バースト MPX-I/O インタフェース .....	9-112
9.5.11	バースト ROM (クロック同期) インタフェース .....	9-117
9.5.12	アクセスサイクル間アイドル .....	9-118
9.5.13	バスアービトレーション .....	9-124
9.5.14	その他 .....	9-126
9.6	<b>使用上の注意事項</b> .....	9-128
9.6.1	バスアービトレーション機能とソフトウェアスタンバイモード併用時の注意事項 .....	9-128
10.	<b>ダイレクトメモリアクセスコントローラ (DMAC) .....</b>	<b>10-1</b>
10.1	特長 .....	10-1
10.2	入出力端子 .....	10-3
10.3	レジスタの説明 .....	10-4
10.3.1	DMA ソースアドレスレジスタ (SAR) .....	10-7
10.3.2	DMA デスティネーションアドレスレジスタ (DAR) .....	10-8
10.3.3	DMA トランスファカウンタレジスタ (DMATCR) .....	10-8
10.3.4	DMA チャネルコントロールレジスタ (CHCR) .....	10-9
10.3.5	DMA リロードソースアドレスレジスタ (RSAR) .....	10-15
10.3.6	DMA リロードデスティネーションアドレスレジスタ (RDAR) .....	10-16
10.3.7	DMA リロードトランスファカウンタレジスタ (RDMATCR) .....	10-16
10.3.8	DMA オペレーションレジスタ (DMAOR) .....	10-17
10.3.9	DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3) .....	10-20
10.4	<b>動作説明</b> .....	10-23
10.4.1	転送フロー .....	10-23
10.4.2	DMA 転送要求 .....	10-25
10.4.3	チャネルの優先順位 .....	10-29
10.4.4	DMA 転送の種類 .....	10-32
10.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング .....	10-41
10.5	<b>使用上の注意事項</b> .....	10-44

10.5.1	ハーフエンドフラグのセットおよびハーフエンド割り込み.....	10-44
10.5.2	DACK 出力および TEND 出力のタイミング.....	10-44
10.5.3	外部リクエストモードを使用する場合の注意事項.....	10-44
10.5.4	内蔵周辺モジュールリクエストモードまたはオートリクエストモードを使用する場合の 注意事項.....	10-45
10.5.5	フラグビット使用上の注意事項.....	10-46
11.	マルチファンクションタイマパルスユニット 2 (MTU2).....	11-1
11.1	特長.....	11-1
11.2	入出力端子.....	11-6
11.3	レジスタの説明.....	11-7
11.3.1	タイマコントロールレジスタ (TCR).....	11-10
11.3.2	タイマモードレジスタ (TMDR).....	11-13
11.3.3	タイマ I/O コントロールレジスタ (TIOR).....	11-15
11.3.4	タイマインタラプトイネーブルレジスタ (TIER).....	11-33
11.3.5	タイマステータスレジスタ (TSR).....	11-36
11.3.6	タイマバッファ動作転送モードレジスタ (TBTM).....	11-40
11.3.7	タイマインプットキャプチャコントロールレジスタ (TICCR).....	11-41
11.3.8	タイマ A/D 変換開始要求コントロールレジスタ (TADCR).....	11-42
11.3.9	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B_4).....	11-44
11.3.10	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B_4).....	11-44
11.3.11	タイマカウンタ (TCNT).....	11-45
11.3.12	タイマジェネラルレジスタ (TGR).....	11-45
11.3.13	タイマスタートレジスタ (TSTR).....	11-46
11.3.14	タイマシンクロレジスタ (TSYR).....	11-47
11.3.15	タイマリードライトイネーブルレジスタ (TRWER).....	11-48
11.3.16	タイマアウトプットマスタイネーブルレジスタ (TOER).....	11-49
11.3.17	タイマアウトプットコントロールレジスタ 1 (TOCR1).....	11-50
11.3.18	タイマアウトプットコントロールレジスタ 2 (TOCR2).....	11-52
11.3.19	タイマアウトプットレベルバッファレジスタ (TOLBR).....	11-55
11.3.20	タイマゲートコントロールレジスタ (TGCR).....	11-56
11.3.21	タイマサブカウンタ (TCNTS).....	11-57
11.3.22	タイマデッドタイムデータレジスタ (TDDR).....	11-57
11.3.23	タイマ周期データレジスタ (TCDR).....	11-58
11.3.24	タイマ周期バッファレジスタ (TCBR).....	11-58
11.3.25	タイマ割り込み間引き設定レジスタ (TITCR).....	11-59
11.3.26	タイマ割り込み間引き回数カウンタ (TITCNT).....	11-60
11.3.27	タイマバッファ転送設定レジスタ (TBTER).....	11-61
11.3.28	タイマデッドタイムイネーブルレジスタ (TDER).....	11-62
11.3.29	タイマ波形コントロールレジスタ (TWCR).....	11-63
11.3.30	バスマスタとのインタフェース.....	11-64

11.4	動作説明	11-65
11.4.1	基本動作	11-65
11.4.2	同期動作	11-71
11.4.3	バッファ動作	11-73
11.4.4	カスケード接続動作	11-77
11.4.5	PWM モード	11-81
11.4.6	位相計数モード	11-86
11.4.7	リセット同期 PWM モード	11-92
11.4.8	相補 PWM モード	11-95
11.4.9	A/D 変換開始要求ディレイド機能	11-126
11.4.10	相補 PWM の「山/谷」での TCNT キャプチャ動作	11-130
11.5	割り込み要因	11-131
11.5.1	割り込み要因と優先順位	11-131
11.5.2	DMAC の起動	11-133
11.5.3	A/D 変換器の起動	11-133
11.6	動作タイミング	11-135
11.6.1	入出力タイミング	11-135
11.6.2	割り込み信号タイミング	11-142
11.7	使用上の注意事項	11-146
11.7.1	モジュールスタンバイモードの設定	11-146
11.7.2	入力クロックの制限事項	11-146
11.7.3	周期設定上の注意事項	11-146
11.7.4	TCNT のライトとクリアの競合	11-147
11.7.5	TCNT のライトとカウントアップの競合	11-147
11.7.6	TGR のライトとコンペアマッチの競合	11-148
11.7.7	バッファレジスタのライトとコンペアマッチの競合	11-149
11.7.8	バッファレジスタのライトと TCNT クリアの競合	11-150
11.7.9	TGR のリードとインプットキャプチャの競合	11-151
11.7.10	TGR のライトとインプットキャプチャの競合	11-152
11.7.11	バッファレジスタのライトとインプットキャプチャの競合	11-153
11.7.12	カスケード接続における TCNT_2 のライトとオーバフロー/アンダフローの競合	11-153
11.7.13	相補 PWM モード停止時のカウンタ値	11-155
11.7.14	相補 PWM モードでのバッファ動作の設定	11-155
11.7.15	リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ	11-156
11.7.16	リセット同期 PWM モードのオーバフローフラグ	11-157
11.7.17	オーバフロー/アンダフローとカウンタクリアの競合	11-158
11.7.18	TCNT のライトとオーバフロー/アンダフローの競合	11-158
11.7.19	通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項	11-159
11.7.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	11-159
11.7.21	モジュールスタンバイ時の割り込み	11-159
11.7.22	カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ	11-159

11.7.23	相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	11-160
11.8	MTU2出力端子の初期化方法	11-162
11.8.1	動作モード	11-162
11.8.2	リセットスタート時の動作	11-162
11.8.3	動作中の異常などによる再設定時の動作	11-163
11.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要	11-163
12.	コンペアマッチタイマ (CMT)	12-1
12.1	特長	12-1
12.2	レジスタの説明	12-2
12.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	12-2
12.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	12-3
12.2.3	コンペアマッチカウンタ (CMCNT)	12-4
12.2.4	コンペアマッチコンスタントレジスタ (CMCOR)	12-4
12.3	動作説明	12-5
12.3.1	期間カウント動作	12-5
12.3.2	CMCNT カウントタイミング	12-5
12.4	割り込み	12-6
12.4.1	割り込み要因と DMA 転送要求	12-6
12.4.2	コンペアマッチフラグのセットタイミング	12-6
12.4.3	コンペアマッチフラグのクリアタイミング	12-7
12.5	使用上の注意事項	12-8
12.5.1	CMCNT の書き込みとコンペアマッチの競合	12-8
12.5.2	CMCNT のワード書き込みとカウントアップの競合	12-8
12.5.3	CMCNT のバイト書き込みとカウントアップの競合	12-9
12.5.4	CMCNT と CMCOR のコンペアマッチ	12-9
13.	ウォッチドッグタイマ (WDT)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-4
13.3.1	ウォッチドッグタイマカウンタ (WTCNT)	13-4
13.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	13-5
13.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)	13-7
13.3.4	レジスタアクセス時の注意	13-8
13.4	WDTの使用方法	13-10
13.4.1	ソフトウェアスタンバイモード解除の手順	13-10
13.4.2	周波数変更の手順	13-10
13.4.3	ウォッチドッグタイマモードの使用法	13-11
13.4.4	インターバルタイマモードの使用法	13-12

13.5	使用上の注意事項 .....	13-13
13.5.1	タイマ誤差 .....	13-13
13.5.2	WTCNT の設定値として H'FF は設定禁止 .....	13-13
13.5.3	インターバルタイマオーバフローフラグ .....	13-13
13.5.4	WDTOVF 信号によるシステムリセット .....	13-13
13.5.5	ウォッチドッグタイマモードのマニュアルリセット .....	13-14
13.5.6	ウォッチドッグタイマモードでの内部リセット .....	13-14
14.	リアルタイムクロック (RTC) .....	14-1
14.1	特長 .....	14-1
14.2	入出力端子 .....	14-3
14.3	レジスタの説明 .....	14-3
14.3.1	64Hz カウンタ (R64CNT) .....	14-4
14.3.2	秒カウンタ (RSECCNT) .....	14-5
14.3.3	分カウンタ (RMINCNT) .....	14-6
14.3.4	時カウンタ (RHRCNT) .....	14-7
14.3.5	曜日カウンタ (RWKCNT) .....	14-8
14.3.6	日カウンタ (RDAYCNT) .....	14-9
14.3.7	月カウンタ (RMONCNT) .....	14-10
14.3.8	年カウンタ (RYRCNT) .....	14-11
14.3.9	秒アラームレジスタ (RSECAR) .....	14-12
14.3.10	分アラームレジスタ (RMINAR) .....	14-13
14.3.11	時アラームレジスタ (RHRAR) .....	14-14
14.3.12	曜日アラームレジスタ (RWKAR) .....	14-15
14.3.13	日アラームレジスタ (RDAYAR) .....	14-16
14.3.14	月アラームレジスタ (RMONAR) .....	14-17
14.3.15	年アラームレジスタ (RYRAR) .....	14-18
14.3.16	RTC コントロールレジスタ 1 (RCR1) .....	14-18
14.3.17	RTC コントロールレジスタ 2 (RCR2) .....	14-20
14.3.18	RTC コントロールレジスタ 3 (RCR3) .....	14-21
14.4	動作説明 .....	14-22
14.4.1	電源投入後のレジスタの初期設定 .....	14-22
14.4.2	時刻設定手順 .....	14-22
14.4.3	時刻読み出し手順 .....	14-23
14.4.4	アラーム機能 .....	14-24
14.5	使用上の注意事項 .....	14-25
14.5.1	RTC カウント動作時のレジスタ書き込みについて .....	14-25
14.5.2	リアルタイムクロック (RTC) の周期割り込みの使用について .....	14-25
14.5.3	レジスタ設定後のスタンバイ遷移について .....	14-25
14.5.4	レジスタ書き込み / 読み出し時の注意事項 .....	14-26

15. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) .....	15-1
15.1  特長 .....	15-1
15.2  入出力端子 .....	15-3
15.3  レジスタの説明 .....	15-4
15.3.1  受信シフトレジスタ (SCRSR) .....	15-6
15.3.2  受信 FIFO データレジスタ (SCFRDR) .....	15-6
15.3.3  送信シフトレジスタ (SCTSR) .....	15-6
15.3.4  送信 FIFO データレジスタ (SCFTDR) .....	15-7
15.3.5  シリアルモードレジスタ (SCSMR) .....	15-7
15.3.6  シリアルコントロールレジスタ (SCSCR) .....	15-10
15.3.7  シリアルステータスレジスタ (SCFSR) .....	15-12
15.3.8  ビットレートレジスタ (SCBRR) .....	15-17
15.3.9  FIFO コントロールレジスタ (SCFCR) .....	15-25
15.3.10  FIFO データカウントセットレジスタ (SCFDR) .....	15-27
15.3.11  シリアルポートレジスタ (SCSPTR) .....	15-28
15.3.12  ラインステータスレジスタ (SCLSR) .....	15-30
15.3.13  シリアル拡張モードレジスタ (SCEMR) .....	15-31
15.4  動作説明 .....	15-32
15.4.1  概要 .....	15-32
15.4.2  調歩同期式モード時の動作 .....	15-34
15.4.3  クロック同期式モード時の動作 .....	15-42
15.5  SCIFの割り込み .....	15-50
15.6  使用上の注意事項 .....	15-51
15.6.1  SCFTDR への書き込みと TDFE フラグ .....	15-51
15.6.2  SCFRDR の読み出しと RDF フラグ .....	15-51
15.6.3  DMAC 使用上の制約事項 .....	15-51
15.6.4  ブレークの検出と処理 .....	15-51
15.6.5  ブレークの送り出し .....	15-52
15.6.6  調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	15-52
15.6.7  調歩同期式基本クロックセレクト .....	15-53
16. シンクロナスシリアルコミュニケーションユニット (SSU) .....	16-1
16.1  特長 .....	16-1
16.2  入出力端子 .....	16-3
16.3  レジスタの説明 .....	16-4
16.3.1  SS コントロールレジスタ H (SSCRH) .....	16-5
16.3.2  SS コントロールレジスタ L (SSCRL) .....	16-6
16.3.3  SS モードレジスタ (SSMR) .....	16-7
16.3.4  SS イネーブルレジスタ (SSER) .....	16-8
16.3.5  SS ステータスレジスタ (SSSR) .....	16-9

16.3.6	SS コントロールレジスタ 2 (SSCR2) .....	16-12
16.3.7	SS 送信データレジスタ 0~3 (SSTD0~SSTD3) .....	16-13
16.3.8	SS 受信データレジスタ 0~3 (SSRD0~SSRD3) .....	16-14
16.3.9	SS シフトレジスタ (SSTRSR) .....	16-15
16.4	動作説明 .....	16-16
16.4.1	転送クロック .....	16-16
16.4.2	クロックの位相、極性とデータの関係 .....	16-16
16.4.3	データ入出力端子とシフトレジスタの関係 .....	16-17
16.4.4	各通信モードと端子機能 .....	16-18
16.4.5	SSU モード .....	16-19
16.4.6	$\overline{SCS}$ 端子制御とコンフリクトエラー .....	16-27
16.4.7	クロック同期式通信モード .....	16-28
16.5	SSUの割り込み要因とDMAC .....	16-34
16.6	使用上の注意事項 .....	16-35
16.6.1	モジュールスタンバイモードの設定 .....	16-35
16.6.2	SSU スレーブモードにおける連続送受信時の注意事項 .....	16-35
16.6.3	SSU モードのマスタ送信動作またはマスタ送受信動作における注意事項 .....	16-35
17.	I <sup>2</sup> C バスインタフェース 3 (IIC3) .....	17-1
17.1	特長 .....	17-1
17.2	入出力端子 .....	17-3
17.3	レジスタの説明 .....	17-4
17.3.1	I <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1) .....	17-5
17.3.2	I <sup>2</sup> C バスコントロールレジスタ 2 (ICCR2) .....	17-8
17.3.3	I <sup>2</sup> C バスモードレジスタ (ICMR) .....	17-9
17.3.4	I <sup>2</sup> C バスインタラプトイネーブルレジスタ (ICIER) .....	17-11
17.3.5	I <sup>2</sup> C バスステータスレジスタ (ICSR) .....	17-13
17.3.6	スレーブアドレスレジスタ (SAR) .....	17-15
17.3.7	I <sup>2</sup> C バス送信データレジスタ (ICDRT) .....	17-15
17.3.8	I <sup>2</sup> C バス受信データレジスタ (ICDRR) .....	17-16
17.3.9	I <sup>2</sup> C バスシフトレジスタ (ICDRS) .....	17-16
17.3.10	NF2CYC レジスタ (NF2CYC) .....	17-16
17.4	動作説明 .....	17-17
17.4.1	I <sup>2</sup> C バスフォーマット .....	17-17
17.4.2	マスタ送信動作 .....	17-18
17.4.3	マスタ受信動作 .....	17-20
17.4.4	スレーブ送信動作 .....	17-22
17.4.5	スレーブ受信動作 .....	17-24
17.4.6	クロック同期式シリアルフォーマット .....	17-26
17.4.7	ノイズ除去回路 .....	17-29

17.4.8	使用例	17-30
17.5	割り込み要求	17-34
17.6	ビット同期回路	17-35
17.7	使用上の注意事項	17-38
17.7.1	ICCR1.CKS[3:0]設定時の注意	17-38
17.7.2	マルチマスタで使用時の注意	17-38
17.7.3	マスタ受信モード時の注意	17-38
17.7.4	マスタ受信モード、ACKBT 設定時の注意	17-38
17.7.5	アービトレーションロスト時の MST と TRN ビットの状態についての注意	17-38
17.7.6	ꝑC パスインタフェースモードのマスタ受信モード時の注意事項	17-38
17.7.7	IICRST、BBSY ビットに関する注意事項	17-39
17.7.8	マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意	17-39
18.	シリアルサウンドインタフェース (SSI)	18-1
18.1	特長	18-1
18.2	入出力端子	18-4
18.3	レジスタの説明	18-5
18.3.1	コントロールレジスタ (SSICR)	18-6
18.3.2	ステータスレジスタ (SSISR)	18-11
18.3.3	トランスミットデータレジスタ (SSITDR)	18-15
18.3.4	レシーブデータレジスタ (SSIRDR)	18-15
18.4	動作説明	18-16
18.4.1	バスフォーマット	18-16
18.4.2	非圧縮モード	18-16
18.4.3	動作モード	18-24
18.4.4	送信動作	18-25
18.4.5	受信動作	18-27
18.4.6	送信時における一時停止、再開手順	18-30
18.4.7	シリアルビットクロックコントロール	18-30
18.5	使用上の注意事項	18-31
18.5.1	DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項	18-31
19.	コントローラエリアネットワーク (RCAN-TL1)	19-1
19.1	特長	19-1
19.1.1	RCAN-TL1 の特長	19-1
19.1.2	本マイコンにおける特長	19-2
19.2	構成	19-3
19.2.1	ブロック図	19-3
19.2.2	各ブロックの機能	19-4
19.2.3	端子構成	19-5

19.2.4	メモリマップ	19-6
19.3	メールボックス	19-7
19.3.1	メールボックスの構成	19-7
19.3.2	メッセージコントロールフィールド	19-12
19.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	19-17
19.3.4	メッセージデータフィールド	19-18
19.3.5	タイムスタンプ	19-19
19.3.6	送信トリガタイム (TTT) とタイムトリガコントロール	19-20
19.4	RCAN-TL1のコントロールレジスタ	19-24
19.4.1	マスタコントロールレジスタ (MCR)	19-24
19.4.2	ジェネラルステータスレジスタ (GSR)	19-30
19.4.3	ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	19-32
19.4.4	インタラプトリクエストレジスタ (IRR)	19-36
19.4.5	インタラプトマスクレジスタ (IMR)	19-43
19.4.6	送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)	19-43
19.5	RCAN-TL1のメールボックスレジスタ	19-44
19.5.1	送信待ちレジスタ 1、0 (TXPR1、TXPR0)	19-45
19.5.2	送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)	19-48
19.5.3	送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)	19-49
19.5.4	アボートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)	19-50
19.5.5	データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)	19-51
19.5.6	リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)	19-52
19.5.7	メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)	19-53
19.5.8	未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)	19-54
19.6	タイマレジスタ	19-55
19.6.1	タイムトリガコントロールレジスタ 0 (TTCR0)	19-56
19.6.2	サイクルマキシマム / Tx_Enable_Window レジスタ (CMAX_TEW)	19-58
19.6.3	リファレンストリガオフセットレジスタ (RFTROFF)	19-59
19.6.4	タイマステータスレジスタ (TSR)	19-60
19.6.5	サイクルカウンタレジスタ (CCR)	19-62
19.6.6	タイマカウンタレジスタ (TCNTR)	19-63
19.6.7	サイクルタイムレジスタ (CYCTR)	19-64
19.6.8	リファレンスマークレジスタ (RFMK)	19-64
19.6.9	タイマコンペアマッチレジスタ 0~2 (TCMR0~2)	19-64
19.6.10	送信トリガタイムセレクトレジスタ (TTTSEL)	19-66
19.7	動作説明	19-68
19.7.1	RCAN-TL1 の設定	19-68
19.7.2	テストモードの設定	19-74
19.7.3	メッセージ送信シーケンス	19-76
19.7.4	メッセージ受信シーケンス	19-88
19.7.5	メールボックスの再設定	19-90

19.8	割り込み要因 .....	19-92
19.9	DMACインタフェース .....	19-93
19.10	CANバスインタフェース .....	19-94
19.11	RCAN-TL1端子ポート設定 .....	19-95
19.12	使用上の注意事項 .....	19-97
19.12.1	1チャンネル64メールボックスでのポート設定についての注意事項 .....	19-97
20.	IEBus™コントローラ (IEB) .....	20-1
20.1	特長 .....	20-1
20.1.1	IEBus 通信プロトコル .....	20-2
20.1.2	伝送プロトコル .....	20-4
20.1.3	伝送データ (データフィールドの内容) .....	20-10
20.1.4	ビットフォーマット .....	20-13
20.1.5	構成 .....	20-14
20.2	入出力端子 .....	20-15
20.3	レジスタの説明 .....	20-16
20.3.1	IEBus コントロールレジスタ (IECTR) .....	20-17
20.3.2	IEBus コマンドレジスタ (IECMR) .....	20-18
20.3.3	IEBus マスタコントロールレジスタ (IEMCR) .....	20-19
20.3.4	IEBus 自局アドレスレジスタ 1 (IEAR1) .....	20-21
20.3.5	IEBus 自局アドレスレジスタ 2 (IEAR2) .....	20-22
20.3.6	IEBus スレーブアドレス設定レジスタ 1 (IESA1) .....	20-22
20.3.7	IEBus スレーブアドレス設定レジスタ 2 (IESA2) .....	20-23
20.3.8	IEBus 送信電文長レジスタ (IETBFL) .....	20-23
20.3.9	IEBus 受信マスタアドレスレジスタ 1 (IEMA1) .....	20-24
20.3.10	IEBus 受信マスタアドレスレジスタ 2 (IEMA2) .....	20-24
20.3.11	IEBus 受信コントロールフィールドレジスタ (IERCTL) .....	20-25
20.3.12	IEBus 受信電文長レジスタ (IERBFL) .....	20-25
20.3.13	IEBus ロックアドレスレジスタ 1 (IELA1) .....	20-26
20.3.14	IEBus ロックアドレスレジスタ 2 (IELA2) .....	20-26
20.3.15	IEBus ゼネラルフラグレジスタ (IEFLG) .....	20-27
20.3.16	IEBus 送信ステータスレジスタ (IETSR) .....	20-29
20.3.17	IEBus 送信割り込み許可レジスタ (IEIET) .....	20-31
20.3.18	IEBus 受信ステータスレジスタ (IERSR) .....	20-32
20.3.19	IEBus 受信割り込み許可レジスタ (IEIER) .....	20-35
20.3.20	IEBus クロック選択レジスタ (IECKSR) .....	20-36
20.3.21	IEBus 送信データバッファ 001 ~ 128 (IETB001 ~ IETB128) .....	20-37
20.3.22	IEBus 受信データバッファ 001 ~ 128 (IERB001 ~ IERB128) .....	20-37
20.4	データフォーマット .....	20-38
20.4.1	送信フォーマット .....	20-38

20.4.2	受信フォーマット .....	20-39
20.5	ソフト制御フロー .....	20-40
20.5.1	初期設定 .....	20-40
20.5.2	マスタ送信 .....	20-41
20.5.3	スレーブ受信 .....	20-42
20.5.4	マスタ受信 .....	20-43
20.5.5	スレーブ送信 .....	20-44
20.6	動作タイミング .....	20-45
20.6.1	マスタ送信 .....	20-45
20.6.2	スレーブ受信 .....	20-46
20.6.3	マスタ受信 .....	20-47
20.6.4	スレーブ送信 .....	20-48
20.7	割り込み要因 .....	20-49
20.8	使用上の注意事項 .....	20-51
20.8.1	最大伝送バイト長内で通信が終了しなかったときの注意事項 .....	20-51
21.	CD-ROM デコーダ (ROM-DEC) .....	21-1
21.1	特長 .....	21-1
21.1.1	ROM-DEC フォーマット .....	21-2
21.2	ブロック図 .....	21-3
21.3	レジスタの説明 .....	21-7
21.3.1	ROMDEC イネーブルコントロールレジスタ (CROMEN) .....	21-10
21.3.2	同期コードの同期制御コントロールレジスタ (CROMSY0) .....	21-11
21.3.3	デコーディングモードコントロールレジスタ (CROMCTL0) .....	21-12
21.3.4	EDC、ECC チェック制御コントロールレジスタ (CROMCTL1) .....	21-13
21.3.5	デコード処理自動停止コントロールレジスタ (CROMCTL3) .....	21-14
21.3.6	デコードオプション設定コントロールレジスタ (CROMCTL4) .....	21-15
21.3.7	HEAD20 ~ 22 表示コントロールレジスタ (CROMCTL5) .....	21-16
21.3.8	同期コードステータスレジスタ (CROMST0) .....	21-16
21.3.9	ECC 後のヘッダに対するエラーステータスレジスタ (CROMST1) .....	21-17
21.3.10	ECC 後のサブヘッダに対するエラーステータスレジスタ (CROMST3) .....	21-17
21.3.11	ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ (CROMST4) .....	21-18
21.3.12	モード判定結果とリンクセクタ検出ステータスレジスタ (CROMST5) .....	21-19
21.3.13	ECC、EDC エラーステータスレジスタ (CROMST6) .....	21-20
21.3.14	バッファステータスレジスタ (CBUFST0) .....	21-21
21.3.15	デコード中止要因ステータスレジスタ (CBUFST1) .....	21-21
21.3.16	バッファオーバフローステータスレジスタ (CBUFST2) .....	21-22
21.3.17	ECC 訂正前ヘッダ部-MINUTES データレジスタ (HEAD00) .....	21-22
21.3.18	ECC 訂正前ヘッダ部-SECONDS データレジスタ (HEAD01) .....	21-22
21.3.19	ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD02) .....	21-23

21.3.20	ECC 訂正前ヘッダ部-MODE データレジスタ (HEAD03) .....	21-23
21.3.21	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD00) .....	21-23
21.3.22	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD01) .....	21-24
21.3.23	ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD02) .....	21-24
21.3.24	ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD03) .....	21-24
21.3.25	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD04) .....	21-25
21.3.26	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD05) .....	21-25
21.3.27	ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD06) .....	21-25
21.3.28	ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD07) .....	21-26
21.3.29	ECC 訂正後ヘッダ部-MINUTES データレジスタ (HEAD20) .....	21-26
21.3.30	ECC 訂正後ヘッダ部-SECONDS データレジスタ (HEAD21) .....	21-26
21.3.31	ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD22) .....	21-27
21.3.32	ECC 訂正後ヘッダ部-MODE データレジスタ (HEAD23) .....	21-27
21.3.33	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD20) .....	21-27
21.3.34	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD21) .....	21-28
21.3.35	ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD22) .....	21-28
21.3.36	ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD23) .....	21-28
21.3.37	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD24) .....	21-29
21.3.38	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD25) .....	21-29
21.3.39	ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD26) .....	21-29
21.3.40	ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD27) .....	21-30
21.3.41	自動バッファリング設定コントロールレジスタ (CBUFCTL0) .....	21-30
21.3.42	自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ (CBUFCTL1) .....	21-31
21.3.43	自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ (CBUFCTL2) .....	21-31
21.3.44	自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ (CBUFCTL3) .....	21-32
21.3.45	ISY 割り込み要因マスクコントロールレジスタ (CROMST0M) .....	21-32
21.3.46	CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST) .....	21-33
21.3.47	CD-ROM デコーダモジュールリセットステータスレジスタ (RSTSTAT) .....	21-33
21.3.48	SSI データコントロールレジスタ (SSI) .....	21-34
21.3.49	割り込みフラグレジスタ (INTHOLD) .....	21-35
21.3.50	割り込み要因マスクコントロールレジスタ (INHINT) .....	21-36
21.3.51	CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN0) .....	21-37
21.3.52	CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN2) .....	21-37
21.3.53	CD-ROM デコーダストリームデータ出力レジスタ (STRMDOUT0) .....	21-37
21.4	動作説明 .....	21-38
21.4.1	入力ストリームデータエンディアン変換機能 .....	21-38
21.4.2	同期コード保護機能 .....	21-39
21.4.3	エラー訂正 .....	21-43
21.4.4	自動デコード停止機能 .....	21-44
21.4.5	バッファリングフォーマット .....	21-45
21.4.6	目標セクタバッファリング機能 .....	21-47

21.5	割り込み要因 .....	21-49
21.5.1	割り込みおよび DMA 転送要求信号 .....	21-49
21.5.2	ステータスレジスタの更新タイミング .....	21-50
21.6	使用上の注意事項 .....	21-51
21.6.1	デコード動作状態でバッファリングのみ停止 / 再開させる場合の注意 .....	21-51
21.6.2	同期コードステータスレジスタ (CROMST0) 設定時の注意 .....	21-51
21.6.3	リンクブロックでの注意 .....	21-51
21.6.4	CD-DSP 停止・再開時の注意点 .....	21-52
21.6.5	IREADY フラグクリアの注意点 .....	21-52
21.6.6	ストリームデータ転送における注意点 (1) .....	21-52
21.6.7	ストリームデータ転送における注意点 (2) .....	21-52
22.	A/D 変換器 (ADC) .....	22-1
22.1	特長 .....	22-1
22.2	入出力端子 .....	22-3
22.3	レジスタの説明 .....	22-3
22.3.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH) .....	22-4
22.3.2	A/D コントロール / ステータスレジスタ (ADCSR) .....	22-5
22.4	動作説明 .....	22-8
22.4.1	シングルモード .....	22-8
22.4.2	マルチモード .....	22-10
22.4.3	スキャンモード .....	22-12
22.4.4	外部トリガ、MTU2 による A/D 変換器の起動 .....	22-14
22.4.5	入力サンプリングと A/D 変換時間 .....	22-14
22.4.6	外部トリガ入力タイミング .....	22-16
22.5	割り込み要因とDMAC転送要求 .....	22-17
22.6	A/D変換精度の定義 .....	22-18
22.7	使用上の注意事項 .....	22-19
22.7.1	モジュールスタンバイモードの設定 .....	22-19
22.7.2	アナログ電圧の設定 .....	22-19
22.7.3	ボード設計上の注意 .....	22-19
22.7.4	アナログ入力端子の取り扱い .....	22-19
22.7.5	許容信号源インピーダンス .....	22-21
22.7.6	絶対精度への影響 .....	22-21
22.7.7	スキャンモードおよびマルチモード使用時の注意 .....	22-21
23.	D/A 変換器 (DAC) .....	23-1
23.1	特長 .....	23-1
23.2	入出力端子 .....	23-2
23.3	レジスタの説明 .....	23-3

23.3.1	D/A データレジスタ 0、1 (DADR0、DADR1) .....	23-3
23.3.2	D/A コントロールレジスタ (DACR) .....	23-3
23.4	動作説明 .....	23-5
23.5	使用上の注意事項 .....	23-6
23.5.1	モジュールスタンバイモードの設定 .....	23-6
23.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能 .....	23-6
23.5.3	アナログ電圧の設定 .....	23-6
24.	AND/NAND フラッシュメモリコントローラ (FLCTL) .....	24-1
24.1	特長 .....	24-1
24.2	入出力端子 .....	24-5
24.3	レジスタの説明 .....	24-6
24.3.1	共通コントロールレジスタ (FLCMNCR) .....	24-7
24.3.2	コマンド制御レジスタ (FLCMDCR) .....	24-9
24.3.3	コマンドコードレジスタ (FLCMCDR) .....	24-11
24.3.4	アドレスレジスタ (FLADR) .....	24-12
24.3.5	アドレスレジスタ 2 (FLADR2) .....	24-14
24.3.6	データカウンタレジスタ (FLDTCNTR) .....	24-15
24.3.7	データレジスタ (FLDATAR) .....	24-16
24.3.8	割り込み DMA 制御レジスタ (FLINTDMACR) .....	24-17
24.3.9	レディビジータイムアウト設定レジスタ (FLBSYTMR) .....	24-21
24.3.10	レディビジータイムアウトカウンタ (FLBSYCNT) .....	24-22
24.3.11	データ FIFO レジスタ (FLDTFIFO) .....	24-23
24.3.12	管理コード FIFO レジスタ (FLECFIFO) .....	24-24
24.3.13	転送制御レジスタ (FLTRCR) .....	24-25
24.4	動作説明 .....	24-26
24.4.1	アクセス手順 .....	24-26
24.4.2	動作モード .....	24-26
24.4.3	レジスタ設定手順 .....	24-27
24.4.4	コマンドアクセスモード .....	24-28
24.4.5	セクタアクセスモード .....	24-33
24.4.6	ECC のエラーの修正 .....	24-35
24.4.7	ステータスリード .....	24-35
24.5	割り込み処理 .....	24-37
24.6	DMA 転送の設定 .....	24-37
24.7	使用上の注意事項 .....	24-37
25.	USB2.0 ホスト / ファンクションモジュール (USB) .....	25-1
25.1	特長 .....	25-1
25.2	入出力端子 .....	25-3

25.3	レジスタの説明	25-4
25.3.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	25-6
25.3.2	システムコンフィギュレーションステータスレジスタ (SYSSTS)	25-8
25.3.3	デバイスステートコントロールレジスタ (DVSTCTR)	25-10
25.3.4	テストモードレジスタ (TESTMODE)	25-13
25.3.5	FIFO ポートコンフィギュレーションレジスタ (CFBCFG、D0FBCFG、D1FBCFG)	25-15
25.3.6	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	25-17
25.3.7	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)	25-18
25.3.8	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	25-22
25.3.9	CFIFO ポート SIE レジスタ (CFIFOSIE)	25-23
25.3.10	トランザクションカウンタレジスタ (D0FIFOTRN、D1FIFOTRN)	25-24
25.3.11	割り込み許可レジスタ 0 (INTENB0)	25-25
25.3.12	割り込み許可レジスタ 1 (INTENB1)	25-27
25.3.13	BRDY 割り込み許可レジスタ (BRDYENB)	25-28
25.3.14	NRDY 割り込み許可レジスタ (NRDYENB)	25-29
25.3.15	BEMP 割り込み許可レジスタ (BEMPENB)	25-30
25.3.16	割り込みステータスレジスタ 0 (INTSTS0)	25-31
25.3.17	割り込みステータスレジスタ 1 (INTSTS1)	25-33
25.3.18	BRDY 割り込みステータスレジスタ (BRDYSTS)	25-35
25.3.19	NRDY 割り込みステータスレジスタ (NRDYSTS)	25-36
25.3.20	BEMP 割り込みステータスレジスタ (BEMPSTS)	25-37
25.3.21	フレームナンバーレジスタ (FRMNUM)	25-38
25.3.22	μフレームナンバーレジスタ (UFRMNUM)	25-40
25.3.23	USB アドレスレジスタ (USBADDR)	25-40
25.3.24	USB リクエストタイプレジスタ (USBREQ)	25-41
25.3.25	USB リクエストバリュージェジスタ (USBVAL)	25-41
25.3.26	USB リクエストインデックスレジスタ (USBINDX)	25-42
25.3.27	USB リクエストレンゲスレジスタ (USBLENG)	25-42
25.3.28	DCP コンフィギュレーションレジスタ (DCPCFG)	25-43
25.3.29	DCP マックスパケットサイズレジスタ (DCPMAXP)	25-44
25.3.30	DCP コントロールレジスタ (DCPCTR)	25-45
25.3.31	パイプウィンドウ選択レジスタ (PIPESEL)	25-47
25.3.32	パイプコンフィギュレーションレジスタ (PIPECFG)	25-48
25.3.33	パイプバッファ指定レジスタ (PIPEBUF)	25-50
25.3.34	パイプマックスパケットサイズレジスタ (PIPEMAXP)	25-51
25.3.35	パイプ周期制御レジスタ (PIPEPERI)	25-52
25.3.36	パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 7)	25-54
25.3.37	USB AC 特性切り替えレジスタ (USBACSWR)	25-56
25.4	動作説明	25-57
25.4.1	システム制御	25-57
25.4.2	割り込み機能	25-59

25.4.3	パイプコントロール .....	25-76
25.4.4	バッファメモリ .....	25-82
25.4.5	コントロール転送 (DCP) .....	25-95
25.4.6	パルク転送 (パイプ 1~5) .....	25-98
25.4.7	インタラプト転送 (パイプ 6、7) .....	25-100
25.4.8	アイソクロナス転送 (パイプ 1、2) .....	25-101
25.4.9	SOF 補間機能 .....	25-108
25.4.10	パイプスケジュール .....	25-109
25.5	使用上の注意事項 .....	25-111
25.5.1	アイソクロナス OUT 転送を使用する場合の注意事項 .....	25-111
25.5.2	USB トランシーバの設定手順 .....	25-112
25.5.3	割り込み要因クリアのタイミング .....	25-113
26.	LCD コントローラ (LCDC) .....	26-1
26.1	特長 .....	26-1
26.2	入出力端子 .....	26-3
26.3	レジスタの説明 .....	26-4
26.3.1	LCDC インพุットクロックレジスタ (LDICKR) .....	26-5
26.3.2	LCDC モジュールタイプレジスタ (LDMTR) .....	26-6
26.3.3	LCDC データフォーマットレジスタ (LDDFR) .....	26-9
26.3.4	LCDC スキャンモードレジスタ (LDSMR) .....	26-10
26.3.5	LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU) .....	26-11
26.3.6	LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL) .....	26-12
26.3.7	LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR) .....	26-12
26.3.8	LCDC パレットコントロールレジスタ (LDPALCR) .....	26-13
26.3.9	パレットデータレジスタ 00~FF (LDPR00~LDPRFF) .....	26-14
26.3.10	LCDC 水平キャラクタナンバーレジスタ (LDHCNR) .....	26-15
26.3.11	LCDC 水平同期信号レジスタ (LDHSYNR) .....	26-16
26.3.12	LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR) .....	26-17
26.3.13	LCDC 垂直総ラインナンバーレジスタ (LDVTLNR) .....	26-18
26.3.14	LCDC 垂直同期信号レジスタ (LDVSYNR) .....	26-19
26.3.15	LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR) .....	26-20
26.3.16	LCDC 割り込みコントロールレジスタ (LDINTR) .....	26-20
26.3.17	LCDC パワーマネジメントモードレジスタ (LDPMMR) .....	26-22
26.3.18	LCDC 電源シーケンス期間レジスタ (LDPSPR) .....	26-24
26.3.19	LCDC コントロールレジスタ (LDCNTR) .....	26-25
26.3.20	LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR) .....	26-26
26.3.21	LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR) .....	26-27
26.3.22	LCDC メモリアクセスインターバルナンバーレジスタ (LDLIRNR) .....	26-28
26.4	動作説明 .....	26-29

26.4.1	LCDC で表示可能な液晶モジュールのサイズについて	26-29
26.4.2	回転表示の解像度 / パースト長および接続メモリ (SDRAM) の制限	26-30
26.4.3	カラーパレット仕様について	26-36
26.4.4	データフォーマット	26-37
26.4.5	表示解像度の設定	26-40
26.4.6	電源制御シーケンス処理	26-40
26.4.7	ハードウェアローテーション動作説明	26-46
26.5	クロックとLCDデータ信号例	26-49
26.6	使用上の注意事項	26-59
26.6.1	表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) アクセスの 停止手順について	26-59
27.	サンプリングレートコンバータ (SRC)	27-1
27.1	特長	27-1
27.2	レジスタの説明	27-3
27.2.1	SRC 入力データレジスタ (SRCID)	27-3
27.2.2	SRC 出力データレジスタ (SRCOD)	27-4
27.2.3	SRC 入力データ制御レジスタ (SRCIDCTRL)	27-5
27.2.4	SRC 出力データ制御レジスタ (SRCODCTRL)	27-6
27.2.5	SRC 制御レジスタ (SRCCTRL)	27-7
27.2.6	SRC ステータスレジスタ (SRCSTAT)	27-9
27.3	動作説明	27-11
27.3.1	初期設定	27-11
27.3.2	データ入力	27-12
27.3.3	データ出力	27-13
27.4	割り込み	27-15
27.5	使用上の注意事項	27-15
27.5.1	レジスタアクセス時の注意	27-15
27.5.2	フラッシュ処理に関する注意	27-15
27.5.3	OVF ビットに関する注意	27-16
28.	SD ホストインタフェース (SDHI)	28-1
29.	ピンファンクションコントローラ (PFC)	29-1
29.1	特長	29-6
29.2	レジスタの説明	29-7
29.2.1	ポート B・IO レジスタ L (PBIORL)	29-8
29.2.2	ポート B コントロールレジスタ L1 ~ L4 (PBCRL1 ~ PBCRL4)	29-8
29.2.3	ポート C・IO レジスタ L (PCIORL)	29-12
29.2.4	ポート C コントロールレジスタ L1 ~ L4 (PCCRL1 ~ PCCRL4)	29-13

29.2.5	ポートD・IOレジスタL (PDIORL) .....	29-17
29.2.6	ポートDコントロールレジスタL1~L4 (PDCRL1~PDCRL4) .....	29-17
29.2.7	ポートE・IOレジスタL (PEIORL) .....	29-25
29.2.8	ポートEコントロールレジスタL1~L4 (PECRL1~PECRL4) .....	29-25
29.2.9	ポートF・IOレジスタH、L (PFIORH、PFIORL) .....	29-30
29.2.10	ポートFコントロールレジスタH1~H4、L1~L4 (PFCRH1~PFCRH4、PFCRL1~PFCRL4) .....	29-30
29.2.11	IRQOUT機能コントロールレジスタ(IFCR) .....	29-39
29.2.12	SSIオーバサンプルクロック選択レジスタ(SCSR) .....	29-39
29.3	ポートAの機能切り替えについて .....	29-41
29.4	使用上の注意事項 .....	29-42
<b>30.</b>	<b>I/Oポート .....</b>	<b>30-1</b>
30.1	特長 .....	30-1
30.2	ポートA .....	30-2
30.2.1	レジスタの説明 .....	30-2
30.2.2	ポートAデータレジスタL (PADRL) .....	30-2
30.3	ポートB .....	30-4
30.3.1	レジスタの説明 .....	30-4
30.3.2	ポートBデータレジスタL (PBDRL) .....	30-4
30.3.3	ポートBポートレジスタL (PBPR) .....	30-6
30.4	ポートC .....	30-7
30.4.1	レジスタの説明 .....	30-7
30.4.2	ポートCデータレジスタL (PCDRL) .....	30-7
30.4.3	ポートCポートレジスタL (PCPR) .....	30-9
30.5	ポートD .....	30-10
30.5.1	レジスタの説明 .....	30-10
30.5.2	ポートDデータレジスタL (PDDRL) .....	30-11
30.5.3	ポートDポートレジスタL (PDPR) .....	30-12
30.6	ポートE .....	30-13
30.6.1	レジスタの説明 .....	30-13
30.6.2	ポートEデータレジスタL (PEDRL) .....	30-14
30.6.3	ポートEポートレジスタL (PEPR) .....	30-15
30.7	ポートF .....	30-16
30.7.1	レジスタの説明 .....	30-16
30.7.2	ポートFデータレジスタH、L (PFDRH、PFDR) .....	30-17
30.7.3	ポートFポートレジスタH、L (PFPRH、PFPR) .....	30-19
30.8	使用上の注意事項 .....	30-21

31. 内蔵 RAM .....	31-1
31.1  特長 .....	31-1
31.2  使用上の注意事項 .....	31-3
31.2.1  ページ競合 .....	31-3
31.2.2  RAME ビット、RAMWE ビットについて .....	31-3
31.2.3  命令配置禁止領域 .....	31-3
31.2.4  データ保持について .....	31-4
32. 低消費電力モード .....	32-1
32.1  特長 .....	32-1
32.1.1  低消費電力モードの種類 .....	32-1
32.2  レジスタの説明 .....	32-3
32.2.1  スタンバイコントロールレジスタ (STBCR) .....	32-4
32.2.2  スタンバイコントロールレジスタ 2 (STBCR2) .....	32-5
32.2.3  スタンバイコントロールレジスタ 3 (STBCR3) .....	32-6
32.2.4  スタンバイコントロールレジスタ 4 (STBCR4) .....	32-7
32.2.5  スタンバイコントロールレジスタ 5 (STBCR5) .....	32-8
32.2.6  スタンバイコントロールレジスタ 6 (STBCR6) .....	32-10
32.2.7  システムコントロールレジスタ 1 (SYSCR1) .....	32-11
32.2.8  システムコントロールレジスタ 2 (SYSCR2) .....	32-12
32.2.9  システムコントロールレジスタ 3 (SYSCR3) .....	32-13
32.2.10  ディープスタンバイコントロールレジスタ (DSCTR) .....	32-14
32.2.11  ディープスタンバイコントロールレジスタ 2 (DSCTR2) .....	32-15
32.2.12  ディープスタンバイ解除要因セレクトレジスタ (DSSSR) .....	32-15
32.2.13  ディープスタンバイ解除要因フラグレジスタ (DSFR) .....	32-17
32.2.14  保持用内蔵 RAM トリミングレジスタ (DSRTR) .....	32-19
32.3  動作説明 .....	32-20
32.3.1  スリープモード .....	32-20
32.3.2  ソフトウェアスタンバイモード .....	32-20
32.3.3  ソフトウェアスタンバイモードの応用例 .....	32-22
32.3.4  ディープスタンバイモード .....	32-23
32.3.5  モジュールスタンバイ機能 .....	32-28
32.4  使用上の注意事項 .....	32-29
32.4.1  レジスタ書き込みに関する注意事項 .....	32-29
32.4.2  ディープスタンバイコントロールレジスタ 2 (DSCTR2) に関する注意事項 .....	32-29
32.4.3  パワーオンリセット例外処理に関する注意事項 .....	32-29
33. ユーザデバッグインタフェース (H-UDI) .....	33-1
33.1  特長 .....	33-1
33.2  入出力端子 .....	33-2

33.3	レジスタの説明	33-3
33.3.1	バイパスレジスタ (SDBPR)	33-3
33.3.2	インストラクションレジスタ (SDIR)	33-3
33.4	動作説明	33-5
33.4.1	TAP コントローラ	33-5
33.4.2	リセット構成	33-6
33.4.3	TDO 出力タイミング	33-6
33.4.4	H-UDI リセット	33-7
33.4.5	H-UDI 割り込み	33-7
33.5	使用上の注意事項	33-8
34.	レジスタ一覧	34-1
34.1	レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)	34-2
34.2	レジスタビット一覧	34-25
34.3	各動作モードにおけるレジスタの状態の一覧	34-68
35.	電気的特性	35-1
35.1	絶対最大定格	35-1
35.2	電源投入・切断シーケンス	35-2
35.3	DC特性	35-3
35.4	AC特性	35-10
35.4.1	クロックタイミング	35-10
35.4.2	制御信号タイミング	35-14
35.4.3	バスタイミング	35-17
35.4.4	UBC タイミング	35-51
35.4.5	DMAC タイミング	35-52
35.4.6	MTU2 タイミング	35-53
35.4.7	WDT タイミング	35-54
35.4.8	SCIF タイミング	35-55
35.4.9	SSU タイミング	35-56
35.4.10	IIC3 タイミング	35-59
35.4.11	SSI タイミング	35-61
35.4.12	RCAN-TL1 タイミング	35-63
35.4.13	ADC タイミング	35-64
35.4.14	FLCTL タイミング	35-65
35.4.15	USB タイミング	35-73
35.4.16	LCDC タイミング	35-75
35.4.17	SDHI タイミング	35-76
35.4.18	I/O ポートタイミング	35-77
35.4.19	H-UDI タイミング	35-78

35.4.20	AC 特性測定条件.....	35-80
35.5	A/D変換器特性.....	35-81
35.6	D/A変換器特性.....	35-82
35.7	使用上の注意事項.....	35-83
付録	.....	付録-1
A.	端子状態.....	付録-1
B.	未使用端子の処理.....	付録-6
C.	外形寸法図.....	付録-7
本版で改訂された箇所.....		改-1
索引	.....	索引-1

---

# 1. 概要

---

## 1.1 SH7263 の特長

本 LSI は、ルネサスオリジナルの RISC (縮小命令セットコンピュータ) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU には、SH-1、SH-2、SH-2E マイクロコンピュータとオブジェクトコードレベルでの上位互換性を特長とする SH-2A CPU を採用しています。RISC 方式の命令セットを持っており、スーパースカラアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。またダイレクトメモリアクセスコントローラ (DMAC) とは独立した内部 32 ビットバス構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

本 LSI は、浮動小数点ユニット (FPU) とキャッシュを内蔵しています。さらに本 LSI はシステム構成に必要な周辺機能として、64KB の高速内蔵 RAM と 16KB のデータ保持用 RAM、マルチファンクションタイマパルスユニット 2 (MTU2)、コンペアマッチタイマ (CMT)、リアルタイムクロック (RTC)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、シンクロナスシリアルコミュニケーションユニット (SSU)、I<sup>2</sup>C バスインタフェース 3 (IIC3)、シリアルサウンドインタフェース (SSI)、コントローラエリアネットワーク (RCAN-TL1)、IEBus<sup>TM</sup>\*1 コントローラ (IEB)\*2、CD-ROM デコーダ (ROM-DEC)、A/D 変換器、D/A 変換器、AND/NAND フラッシュメモリコントローラ (FLCTL)、USB2.0 ホスト / ファンクションモジュール (USB)、サンプリングレートコンバータ (SRC)、SD ホストインタフェース (SDHI)\*3、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続を行えます。これらにより、システムコストの大幅な低減が可能です。さらに、本 LSI の I/O 端子には、端子の電位が中間電位状態となることを抑止するウィークキーバ回路が付いていますので、入力レベルを固定するための外付け回路は不要であり、部品点数を大幅に減らすことが可能です。

本 LSI の特長を表 1.1 に示します。

【注】 \*1 IEBus<sup>TM</sup> (Inter Equipment Bus<sup>TM</sup>) はルネサス エレクトロニクスの商標です。

\*2 R5S72632P200FP および R5S72633P200FP に内蔵しています。

\*3 R5S72631P200FP および R5S72633P200FP に内蔵しています。

表 1.1 SH7263 の特長

項目	特 長
CPU	<ul style="list-style-type: none"> <li>• ルネサス独自の SuperH アーキテクチャ</li> <li>• SH-1、SH-2、SH-2E とオブジェクトコードレベルで互換性あり</li> <li>• 32 ビット内部データバス</li> <li>• 汎用レジスタアーキテクチャ <ul style="list-style-type: none"> <li>16 本の 32 ビット汎用レジスタ</li> <li>4 本の 32 ビットコントロールレジスタ</li> <li>4 本の 32 ビットシステムレジスタ</li> </ul> </li> <li>高速割り込み応答のためのレジスタバンク</li> <li>• RISC タイプ命令セット (SH シリーズと上位互換性) <ul style="list-style-type: none"> <li>命令長：コードの効率改善のための 16 ビット基本命令と、性能・使い勝手向上のための 32 ビット命令</li> <li>ロードストアアーキテクチャ</li> <li>遅延分岐命令</li> <li>C 言語に基づく命令セット</li> </ul> </li> <li>• FPU を含む 2 命令同時実行スーパースカラ</li> <li>• 命令実行時間：最大 2 命令 / サイクル</li> <li>• アドレス空間：4G バイト</li> <li>• 乗算器内蔵</li> <li>• 5 段パイプライン</li> <li>• ハーバードアーキテクチャ</li> </ul>
浮動小数点ユニット (FPU)	<ul style="list-style-type: none"> <li>• 浮動小数点コプロセッサ内蔵</li> <li>• 単精度 (32 ビット) および倍精度 (64 ビット) をサポート</li> <li>• IEEE754 に準拠したデータタイプおよび例外をサポート</li> <li>• 丸めモード：近傍および 0 方向への丸め</li> <li>• 非正規化数の扱い：0 への切り捨て</li> <li>• 浮動小数点レジスタ <ul style="list-style-type: none"> <li>16 本の 32 ビット浮動小数点レジスタ (単精度 × 16 ワードまたは倍精度 × 8 ワード)</li> <li>2 本の 32 ビット浮動小数点システムレジスタ</li> </ul> </li> <li>• FMAC (乗算およびアキュムレート) 命令をサポート</li> <li>• FDIV (除算) / FSQRT (平方根) 命令をサポート</li> <li>• FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート</li> <li>• 命令実行時間 <ul style="list-style-type: none"> <li>レイテンシ (FMAC/FADD/FSUB/FMUL)：3 サイクル (単精度)、8 サイクル (倍精度)</li> <li>ピッチ (FMAC/FADD/FSUB/FMUL)：1 サイクル (単精度)、6 サイクル (倍精度)</li> </ul> </li> <li>【注】FMAC は単精度に対してのみサポートしています。</li> <li>• 5 段パイプライン</li> </ul>

項目	特 長
キャッシュメモリ	<ul style="list-style-type: none"> <li>• 命令キャッシュ：8K バイト</li> <li>• オペランドキャッシュ：8K バイト</li> <li>• おおの 128 エントリ/ウェイ、4 ウェイセットアソシアティブ、16 バイトブロック長</li> <li>• ライトバック、ライトスルー、LRU 置換アルゴリズム</li> <li>• ウェイロック機能あり（オペランドキャッシュのみ）：ウェイ 2、ウェイ 3 はロック可能</li> </ul>
割り込みコントローラ（INTC）	<ul style="list-style-type: none"> <li>• 17 本の外部割り込み端子（NMI、IRQ7～IRQ0、PINT7～PINT0）</li> <li>• 内蔵周辺割り込み：モジュールごとに優先順位を設定</li> <li>• 16 レベルの優先順位設定が可能</li> <li>• レジスタバンクにより割り込み処理に伴うレジスタの退避/復帰を高速に行うことが可能</li> </ul>
バスステートコントローラ（BSC）	<ul style="list-style-type: none"> <li>• アドレス空間はそれぞれ最大 64MB の 8 つの領域エリア 0～7 をサポート</li> <li>• 各エリアには独立に次の機能を設定可能 バスサイズ（8、16、32 ビット）。ただし各エリアごとにサポートサイズは異なります アクセスウェイトサイクル数（リード/ライトで独立ウェイト設定可能なエリアあり） アイドルウェイトサイクル設定（同一エリア/別エリア） エリアごとに接続するメモリを指定することによって SRAM、バイト選択付き SRAM、SDRAM、バースト ROM（クロック同期/クロック非同期）との直結が可能。また、アドレス/データマルチプレクス I/O（MPX）インタフェース、バースト MPX-I/O インタフェースをサポート PCMCIA インタフェースをサポート 該当する領域にチップセレクト信号（CS0～CS7）を出力 （CS アサート/ネゲートタイミングをプログラミングで選択可能）</li> <li>• SDRAM リフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート</li> <li>• SDRAM バーストアクセス機能</li> </ul>
ダイレクトメモリアクセスコントローラ（DMAC）	<ul style="list-style-type: none"> <li>• 8 チャンネル。うち 4 チャンネルは外部リクエスト可能</li> <li>• 内蔵周辺モジュールから起動することが可能</li> <li>• バーストモードおよびサイクルスチールモード</li> <li>• インタミットモードをサポート（16/64 サイクルサポート）</li> <li>• 転送情報を自動的にリロードすることが可能</li> </ul>
クロックパルス発振器（CPG）	<ul style="list-style-type: none"> <li>• クロックモード：入力クロックを外部入力（EXTAL、CKIO、または USB_X1）または水晶発振子から選択可能</li> <li>• 内蔵 PLL 回路により入力クロックを最大 16 逓倍することが可能</li> <li>• 3 種類のクロックを生成 CPU クロック：最大 200MHz バスクロック：最大 66MHz 周辺クロック：最大 33MHz</li> </ul>

項目	特 長
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> <li>• 1チャンネルのウォッチドッグタイマ</li> <li>• カウンタのオーバフローにより本 LSI にリセットをかけることが可能</li> </ul>
低消費電力モード	<ul style="list-style-type: none"> <li>• 本 LSI の消費電力を下げるために 4 種類の低消費電力モードをサポート</li> <li>スリープモード</li> <li>ソフトウェアスタンバイモード</li> <li>ディープスタンバイモード</li> <li>モジュールスタンバイモード</li> </ul>
マルチファンクション タイマパルスユニット 2 (MTU2)	<ul style="list-style-type: none"> <li>• 16 ビットタイマ 5 チャンネルをベースに最大 16 種類のパルス入出力が可能</li> <li>• 18 本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ</li> <li>• インプットキャプチャ機能</li> <li>• パルス出力モード</li> <li>トグル / PWM / 相補 PWM / リセット同期 PWM</li> <li>• 複数カウンタの同期化機能</li> <li>• 相補 PWM 出力モード</li> <li>3 相のインバータ制御用ノンオーバーラップ波形を出力</li> <li>デッドタイム自動設定</li> <li>PWM デューティを 0 ~ 100% 任意に設定可能</li> <li>A/D 変換要求ディレイド機能</li> <li>山・谷割り込み間引き機能</li> <li>• リセット同期 PWM モード</li> <li>任意デューティの正相・逆相 PWM 波形を 3 相出力</li> <li>• 位相計数モード</li> <li>2 相エンコーダ計数処理が可能</li> </ul>
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>• 2 チャンネル 16 ビットカウンタ</li> <li>• 4 種類のクロック選択可能 (P /8、P /32、P /128、P /512)</li> <li>• コンペアマッチ時、DMA 転送要求または割り込み要求の発生を選択可能</li> </ul>
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> <li>• 内蔵クロック、カレンダー機能、アラーム機能</li> <li>• 1/256 秒の最大分解能 (割り込みサイクル) の内蔵 32.768kHz 水晶発振器回路</li> </ul>
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> <li>• 4 チャンネル</li> <li>• クロック同期式 / 調歩同期式モードの選択が可能</li> <li>• 送受信を同時に行うことが可能 (全二重)</li> <li>• 専用のポーレートジェネレータ内蔵</li> <li>• 送受信 FIFO をそれぞれ 16 バイト内蔵</li> <li>• モデムコントロール機能 (調歩同期式モード時)</li> </ul>

項目	特 長
シンクロナス シリアルコミュニケーション ユニット (SSU)	<ul style="list-style-type: none"> <li>• マスタモードとスレーブモード選択可能</li> <li>• 標準モード / 双方向モードが選択可能</li> <li>• 送受信データ長を 8/16/32 ビットから選択可能</li> <li>• 送受信を同時に行うことが可能 (全二重)</li> <li>• 連続シリアル通信が可能</li> <li>• 2 チャンネル</li> </ul>
I <sup>2</sup> C バス インタフェース 3 (IIC3)	<ul style="list-style-type: none"> <li>• 4 チャンネル</li> <li>• マスタモード / スレーブモード内蔵</li> </ul>
シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> <li>• 4 チャンネルの双方向シリアル転送</li> <li>• 多様なシリアルオーディオフォーマットをサポート</li> <li>• マスタ / スレーブ機能をサポート</li> <li>• プログラマブルワードクロック、ビットクロック生成機能</li> <li>• マルチチャンネルフォーマット機能</li> <li>• 8/16/18/20/22/24/32 ビットデータフォーマットをサポート</li> </ul>
コントローラエリア ネットワーク (RCAN-TL1)	<ul style="list-style-type: none"> <li>• 2 チャンネル</li> <li>• TTCAN レベル 1 はすべてのチャンネルでサポート</li> <li>• Bosch 2.0B active 対応</li> <li>• バッファサイズ : 送受信 × 31、受信のみ × 1</li> <li>• 32 チャンネル入力のバッファを増やすために複数の RCAN チャンネルを 1 つのバスに割り当て可能</li> <li>• 送信または受信に設定可能な 31 個のメールボックス</li> </ul>
IEBus™ コントローラ (IEB) 【注】IEB は型番により搭載品、 非搭載品に分かれます	<ul style="list-style-type: none"> <li>• IEBus のプロトコル制御 (レイア 2) に対応</li> <li>半二重非同期通信</li> <li>マルチマスタ方式</li> <li>同報通信機能</li> <li>伝送速度の異なる 3 種類のモードが選択可能</li> <li>• モード 2 の最大伝送バイト数である 128 バイトまで連続送受信が可能なデータ送受信用バッファ (デュアルポート RAM) 内蔵</li> <li>動作周波数 : <ul style="list-style-type: none"> <li>12MHz、12.58MHz のクロックを 1/2 に分周して使用</li> <li>18MHz、18.87MHz のクロックを 1/3 に分周して使用</li> <li>24MHz、25.16MHz のクロックを 1/4 に分周して使用</li> <li>30MHz、31.45MHz のクロックを 1/5 に分周して使用</li> <li>36MHz、37.74MHz のクロックを 1/6 に分周して使用</li> </ul> </li> </ul>

項目	特 長
CD-ROM デコーダ (ROM-DEC)	<ul style="list-style-type: none"> <li>• Mode0、Mode1、Mode2、Mode2 Form1、Mode2 Form2 の 5 種類のフォーマットをサポート</li> <li>• 同期コードの検出・保護 (保護：検出できなかったときに自動挿入)</li> <li>• デスクランブル</li> <li>• ECC 訂正 P、Q、PQ、QP 訂正 PQ、QP 訂正は、最大 3 回まで繰り返し訂正が可能</li> <li>• EDC チェック ECC 前後にチェック</li> <li>• Mode、Form の自動検出</li> <li>• リンクセクタの自動検出</li> <li>• バッファリングデータ制御 同期コード以降の CD-ROM データに対して、デスクランブル、ECC 訂正、EDC チェック後のデータを特定フォーマットで転送</li> </ul>
AND/NAND フラッシュ メモリコントローラ (FLCTL)	<ul style="list-style-type: none"> <li>• AND/NAND 型フラッシュメモリとの直結メモリインタフェース</li> <li>• セクタ単位の読み出し / 書き込み</li> <li>• コマンドアクセスモードとセクタアクセスモード (512 バイトデータ + 16 バイト管理コード : ECC 付き) の 2 種類の転送モード</li> <li>• 割り込み要求、DMAC 転送要求あり</li> <li>• 5 バイトアドレス (2G ビット超) のフラッシュメモリに対応</li> </ul>
USB2.0 ホスト/ ファンクションモジュール (USB)	<ul style="list-style-type: none"> <li>• USB バージョン 2.0 準拠</li> <li>• 480Mbps および 12Mbps の転送レートに対応</li> <li>• ファンクションとしても使用可能</li> <li>• ソフトウェアで設定可能</li> <li>• 通信バッファとして 8K バイトの RAM を内蔵</li> </ul>
サンプリングレート コンバータ (SRC)	<ul style="list-style-type: none"> <li>• データ形式：ステレオ 32 ビット (L/R 各 16 ビット)、モノラル 16 ビット</li> <li>• 入力サンプリングレート：8/11.025/12/16/22.05/24/32/44.1/48kHz</li> <li>• 出力サンプリングレート：44.1/48kHz</li> </ul>
LCD コントローラ (LCDC)	<ul style="list-style-type: none"> <li>• 16 × 1 ~ 1,024 × 1,024 ドットサポート</li> <li>• 4、8、15、16bpp カラーモードをサポート</li> <li>• 1、2、4、6bpp グレyscaleモードをサポート</li> <li>• TFT/DSTN/STN ディスプレイをサポート</li> <li>• 信号極性を設定可能</li> <li>• 24 ビットカラーパレットメモリ (24 ビット中 R:5/G:6/B:5 として 16 ビットが有効)</li> <li>• ユニファイドグラフィックメモリアーキテクチャ</li> </ul>

項目	特 長
SD ホスト インタフェース (SDHI) 【注】SDHI は型番により搭載 品、非搭載品に分かれます	<ul style="list-style-type: none"> <li>• SD メモリ/IO カードインタフェース (1 ビット / 4 ビット SD バス)</li> <li>• エラーチェック機能 : CRC7 (コマンド)、CRC16 (データ)</li> <li>• MMC (MultiMediaCard) アクセス</li> <li>• 割り込み要求 : カードアクセス割り込み、SDIO アクセス割り込み、カード検出割り込み</li> <li>• DMA 転送要求 : SD_BUF ライト、SD_BUF リード</li> <li>• カード検出機能、ライトプロテクトサポート</li> </ul>
I/O ポート	<ul style="list-style-type: none"> <li>• 82 本 (入出力)、16 本 (入力)、1 本 (出力)</li> <li>• 入出力ポートはビットごとに入出力切替可能</li> <li>• ウィークキーバ回路内蔵</li> </ul>
A/D 変換器 (ADC)	<ul style="list-style-type: none"> <li>• 分解能 : 10 ビット</li> <li>• 入力 : 8 チャンネル</li> <li>• 外部トリガ / タイマトリガによる A/D 変換の起動が可能</li> </ul>
D/A 変換器 (DAC)	<ul style="list-style-type: none"> <li>• 分解能 : 8 ビット</li> <li>• 出力 2 チャンネル</li> </ul>
ユーザブレイクコントローラ (UBC)	<ul style="list-style-type: none"> <li>• ブレイクチャンネル × 2 チャンネル</li> <li>• アドレス、データ値、アクセス形式、およびデータサイズをブレイク条件として設定可能</li> </ul>
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> <li>• E10A エミュレータのサポート</li> <li>• JTAG 標準端子配置</li> </ul>
内蔵 RAM	<ul style="list-style-type: none"> <li>• 高速アクセス用に 64K バイトのメモリを内蔵 (16KB × 4 面)</li> <li>• データ保持用に 16K バイトのメモリを内蔵 (4KB × 4 面)</li> </ul>
電源電圧	<ul style="list-style-type: none"> <li>• Vcc : 1.1 ~ 1.3V、PVcc : 3.0 ~ 3.6V</li> </ul>
パッケージ	<ul style="list-style-type: none"> <li>• QFP3232-240Cu (0.5 ピッチ)</li> </ul>

## 1.2 製品一覧

表 1.2 製品一覧

製品分類	製品型名	IEB	SDHI	パッケージ
SH7263	R5S72630P200FP	非搭載	非搭載	QFP3232-240Cu
	R5S72631P200FP	非搭載	搭載	
	R5S72632P200FP	搭載	非搭載	
	R5S72633P200FP	搭載	搭載	

### 1.3 ブロック図

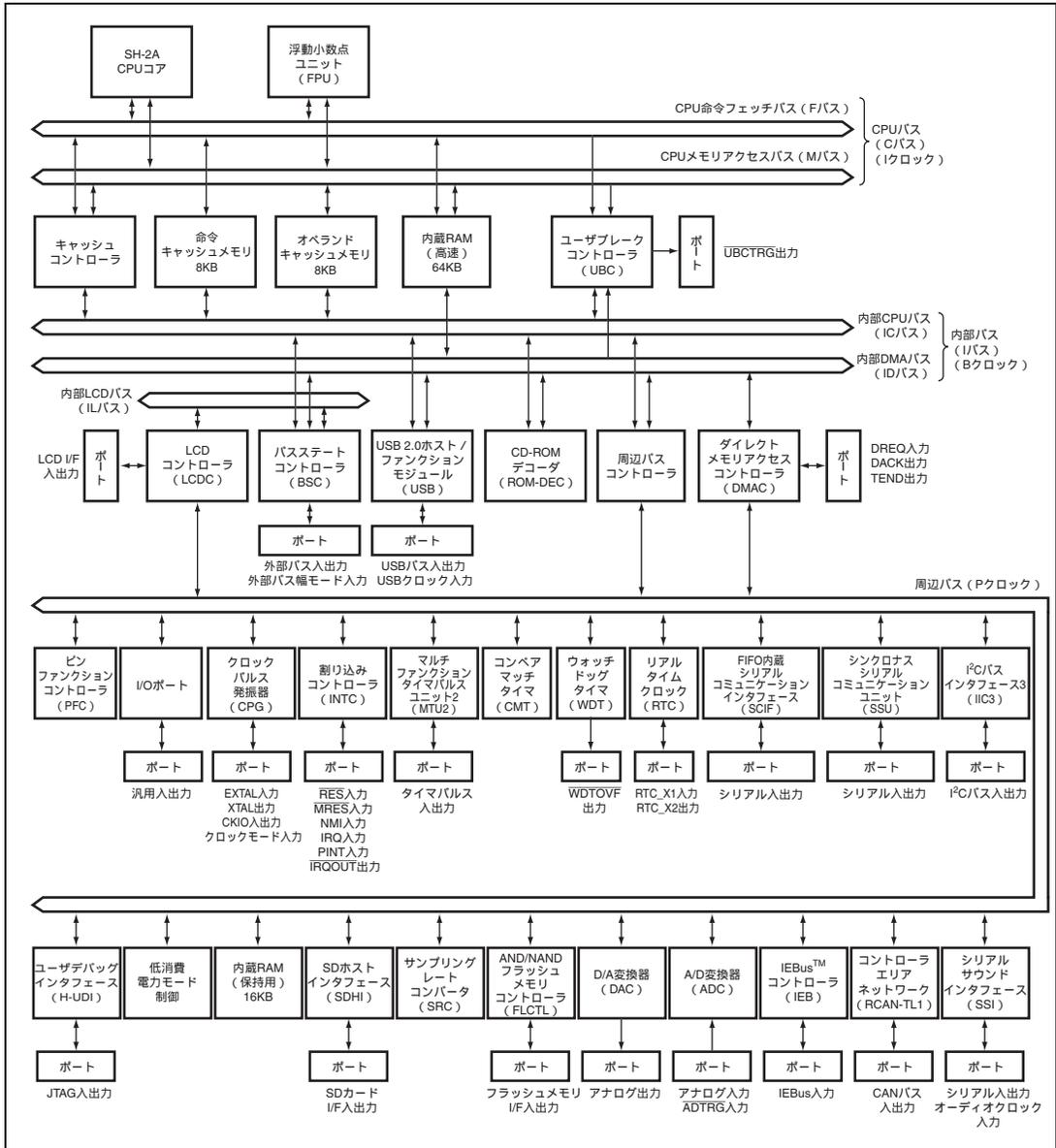


図 1.1 ブロック図

### 1.4 ピン配置図

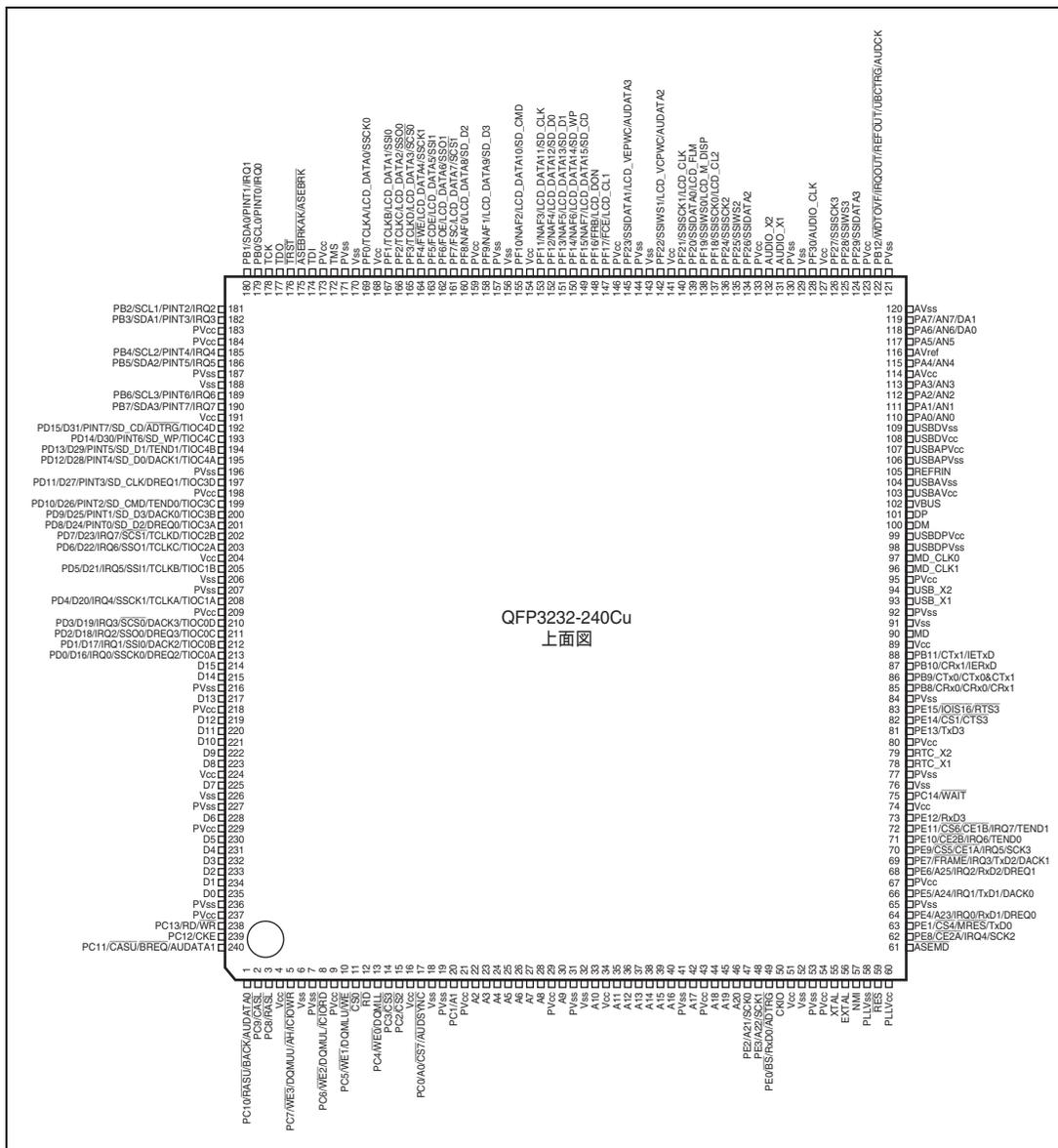


図 1.2 ピン配置図

## 1.5 端子機能

表 1.3 端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力端子用の電源端子です。すべての PVcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	PVss	入力	入出力回路用グランド	入出力端子用のグランド端子です。すべての PVss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PLLvcc	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLLvss	入力	PLL 用グランド	内蔵 PLL 発振器用のグランド端子です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	入出力	システムクロック入出力	外部クロック入力端子、または外部デバイスにシステムクロックを供給します。
動作モードコントロール	MD	入力	モード設定	動作モードを設定します。この端子は動作中には変化させないでください。
	MD_CLK1、MD_CLK0	入力	クロックモード設定	クロック動作モードを設定します。これらの端子は動作中には変化させないでください。
	ASEMD	入力	ASE モード	RES 端子アサート期間中にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、E10A-USB エミュレータ機能が有効になります。エミュレータ機能を使用しない場合は、ハイレベルに固定してください。
システム制御	RES	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	MRES	入力	マニュアルリセット	この端子がローレベルになると、マニュアルリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	WDT からのオーバーフロー出力信号です。
	BREQ	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	BACK	出力	バス権要求アクリッジ	バス権を外部デバイスに解放したことを示します。BREQ 信号を出力したデバイスは、BACK 信号を受けて、バス権を獲得したことを知ることができます。

分類	端子名	入出力	名称	機能
割り込み	NMI	入力	ノンマスクابل割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7 ~ IRQ0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
	PINT7 ~ PINT0	入力	割り込み要求 7~0	マスク可能な割り込み要求端子です。 レベル入力のみを選択です。
	IRQOUT	出力	割り込み要求出力	割り込み要因が発生したことを示します。バス権解放中にも割り込み発生を知ることができます。
アドレスバス	A25 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D31 ~ D0	入出力	データバス	双方向のデータバスです。
バス制御	CS7 ~ CS0	出力	チップセレクト 7~0	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{RD}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	RD/WR	出力	リード/ライト	リード信号またはライト信号です。
	$\overline{BS}$	出力	バス開始	バスサイクル開始信号です。
	AH	出力	アドレスホールド	アドレスまたはデータマルチプレクス I/O 時のアドレスをホールドするための信号です。
	FRAME	出力	FRAME 信号	バースト MPX-I/O インタフェース時は、FRAME 信号を接続します。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{WE0}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。
	$\overline{WE1}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。
	$\overline{WE2}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 23~16 に書き込みすることを示します。
	$\overline{WE3}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット 31~24 に書き込みすることを示します。
	DQMLL	出力	バイト指定	SDRAM 接続時、D7~D0 を選択します。
	DQMLU	出力	バイト指定	SDRAM 接続時、D15~D8 を選択します。
	DQMUL	出力	バイト指定	SDRAM 接続時、D23~D16 を選択します。
	DQMUU	出力	バイト指定	SDRAM 接続時、D31~D24 を選択します。
RASU, RASL	出力	RAS	SDRAM 接続時に RAS 端子に接続します。	
CASU, CASL	出力	CAS	SDRAM 接続時に CAS 端子に接続します。	

分類	端子名	入出力	名称	機能
バス制御	CKE	出力	CK イネーブル	SDRAM 接続時に CKE 端子に接続します。
	CE1A、CE1B	出力	PCMCIA カードセレクト 下位側	PCMCIA カードセレクト信号 D7～D0 に接続します。
	CE2A、CE2B	出力	PCMCIA カードセレクト 上位側	PCMCIA カードセレクト信号 D15～D8 に接続します。
	$\overline{\text{ICIORW}}$	出力	PCMCIA ライト ストロープ	PCMCIA I/O ライトストロープを接続します。
	$\overline{\text{ICIORD}}$	出力	PCMCIA リード ストロープ	PCMCIA I/O リードストロープを接続します。
	WE	出力	PCMCIA メモリアイト ストロープ	PCMCIA メモリアイトストロープを接続します。
	$\overline{\text{IOIS16}}$	入力	PCMCIA ダイナミック バスサイジング	PCMCIA の 16 ビット I/O を示します。
	REFOUT	出力	リフレッシュ 要求	リフレッシュ実行要求信号です。
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0～ DREQ3	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0～ DACK3	出力	DMA 転送要求 受け付け	外部からの DMA 転送要求に対する、要求受け付け出力 端子です。
	TEND0、 TEND1	出力	DMA 転送終了 出力	DMA 転送終了出力信号です。
マルチ ファンクション タイマパルス ユニット 2 (MTU2)	TCLKA、 TCLKB、 TCLKC、 TCLKD	入力	MTU2 タイマ クロック入力	タイマの外部クロック入力端子です。
	TIOC0A、 TIOC0B、 TIOC0C、 TIOC0D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル 0)	TGRA_0～TGRD_0 のインพุットキャプチャ入力 / ア ウトプットコンペア出力 / PWM 出力端子です。
	TIOC1A、 TIOC1B	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル 1)	TGRA_1、TGRB_1 のインพุットキャプチャ入力 / ア ウトプットコンペア出力 / PWM 出力端子です。

分類	端子名	入出力	名称	機能
マルチ ファンクション タイマパルス ユニット2 (MTU2)	TIOC2A、 TIOC2B	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル2)	TGRA_2、TGRB_2 のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOC3A、 TIOC3B、 TIOC3C、 TIOC3D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル3)	TGRA_3~TGRD_3 のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOC4A、 TIOC4B、 TIOC4C、 TIOC4D	入出力	MTU2 インพุット キャプチャ/ アウトプット コンペア (チャンネル4)	TGRA_4、TGRB_4 のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
リアルタイム クロック (RTC)	RTC_X1	入力	RTC 用水晶発振子 /外部クロック	32.768kHz の水晶発振子を接続します。 また RTC_X1 端子は外部クロックを入力することも できます。
	RTC_X2	出力		
FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	TxD3 ~ TxD0	出力	送信データ	データ出力端子です。
	RxD3 ~ RxD0	入力	受信データ	データ入力端子です。
	SCK3 ~ SCK0	入出力	シリアルクロック	クロック入出力端子です。
	RTS $\bar{3}$	出力	送信要求	モデムコントロール端子です。
	CTS $\bar{3}$	入力	送信可	モデムコントロール端子です。
シンクロナス シリアル コミュニケーション ユニット (SSU)	SSO1、SSO0	入出力	データ	データ入出力端子です。
	SSI1、SSI0	入出力	データ	データ入出力端子です。
	SSCK1、 SSCK0	入出力	クロック	クロック入出力端子です。
	SCS $\bar{1}$ 、SCS $\bar{0}$	入出力	チップセレクト	チップセレクト入出力端子です。
I <sup>2</sup> C バス インタフェース 3 (IIC3)	SCL3 ~ SCL0	入出力	シリアルクロック 端子	シリアルクロック入出力端子です。
	SDA3 ~ SDA0	入出力	シリアルデータ 端子	シリアルデータ入出力端子です。
シリアルサウンド インタフェース (SSI)	SSIDATA3 ~ SSIDATA0	入出力	SSI データ入出力	シリアルデータ入出力端子です。
	SSISCK3 ~ SSISCK0	入出力	SSI クロック入出力	シリアルクロック入出力端子です。
	SSIWS3 ~ SSIWS0	入出力	SSI クロック LR 入出力	ワード選択入出力端子です。

分類	端子名	入出力	名称	機能
シリアルサウンド インタフェース (SSI)	AUDIO_CLK	入力	SSI オーディオ用 外部クロック	オーディオ用外部クロックを入力します。 AUDIO_X1、AUDIO_X2 の発振クロックと選択して 分周器に入力します。
	AUDIO_X1	入力	SSI オーディオ用 水晶発振子 / 外部クロック	オーディオ用水晶発振子を接続します。 また AUDIO_X1 端子は外部クロックを入力するこ ともできます。
	AUDIO_X2	出力		AUDIO_CLK 入力クロックと選択して分周器に入 力します。
コントローラ エリアネットワーク (RCAN-TL1)	CTx0、CTx1	出力	CAN バス 送信データ	CAN バスの送信用端子です。
	CRx0、CRx1	入力	CAN バス 受信データ	CAN バスの受信用端子です。
IEBus™ コントローラ (IEB)	IETxD	出力	IEB 送信データ	IEB の送信データ出力端子です。
	IERxD	入力	IEB 受信データ	IEB の受信データ入力端子です。
AND/NAND フラッシュメモリ コントローラ (FLCTL)	FOE	出力	フラッシュメモリ 出力イネーブル	アドレスラッチイネーブル: アドレス出力時にアサ ートします。データ入出力時にネゲートします。 アウトプットイネーブル: データ入力時 / ステータ スリード時にアサートします。
	FSC	出力	フラッシュメモリ シリアルクロック	リードイネーブル: 立ち下がりエッジでデータリ ードします。 シリアルクロック: 信号に同期してデータの入出力 を行います。
	FCE	出力	フラッシュメモリ チップイネーブル	チップイネーブル: 本 LSI に接続されたフラッシュ メモリをイネーブルにします。
	FCDE	出力	フラッシュメモリ コマンドデー イネーブル	コマンドラッチイネーブル: コマンド出力時にアサ ートします。 コマンドデータイネーブル: コマンド出力時にアサ ートします。
	FRB	入力	フラッシュメモリ レディ / ビジー	レディ / ビジー: ハイレベルでレディ状態、ローレ ベルでビジー状態を示します。
	FWE	出力	フラッシュメモリ ライトイネーブル	ライトイネーブル: 立ち下がりエッジでフラッシュ メモリがコマンド、アドレス、およびデータをラッ チします。
	NAF7 ~ NAF0	入出力	フラッシュメモリ データ	データ入出力端子です。

分類	端子名	入出力	名称	機能
USB2.0 ホスト/ ファンクション モジュール (USB)	DP	入出力	USB D+データ	USB バスの D+データです。
	DM	入出力	USB D-データ	USB バスの D-データです。
	VBUS	入力	VBUS 入力	USB バスの Vbus に接続してください。
	REFFRIN	入力	リファレンス入力	5.6k $\pm$ 1%抵抗を介して USBAPVss に接続してください。
	USB_X1	入力	USB 用水晶発振子 / 外部クロック	USB 用水晶発振子を接続します。また USB_X1 端子は外部クロックを入力することもできます。
	USB_X2	出力		
	USBAPVcc	入力	トランシーバ部 アナログ端子電源	端子用電源です。
	USBAPVss	入力	トランシーバ部 アナログ端子グランド	端子用グランドです。
	USBDPVcc	入力	トランシーバ部 デジタル端子電源	端子用電源です。
	USBDPVss	入力	トランシーバ部 デジタル端子グランド	端子用グランドです。
	USBAVcc	入力	トランシーバ部 アナログコア電源	コア用電源です。
	USBAVss	入力	トランシーバ部 アナログコアグランド	コア用グランドです。
	USBDVcc	入力	トランシーバ部 デジタルコア電源	コア用電源です。
	USBDVss	入力	トランシーバ部 デジタルコアグランド	コア用グランドです。
LCD コントローラ (LCDC)	LCD_DATA15 ~ LCD_DATA0	出力	LCD データ	LCD パネル用データ出力端子です。
	LCD_CL1	出力	シフトクロック	LCD シフトクロック 1 / 水平同期信号端子です。
	LCD_CL2	出力	シフトクロック	LCD シフトクロック 2 / ドットクロック端子です。
	LCD_CLK	入力	クロックソース	LCD クロックソース入力端子です。
	LCD_FLM	出力	ラインマーカ	ファーストラインマーカ / 垂直同期信号端子です。
	LCD_DON	出力	LCD 表示開始	LCD 表示開始信号端子です。
	LCD_VCPWC	出力	電源制御	LCD 液晶モジュール電源制御 (VCC) 端子です。
	LCD_VEPWC	出力	電源制御 (VEE)	LCD 液晶モジュール電源制御 (VEE) 端子です。
LCD_M_DISP	出力	液晶交流化	液晶交流化信号端子です。	

分類	端子名	入出力	名称	機能
SD ホスト インタフェース (SDHI)	SD_CLK	出力	SD クロック	SD クロック出力端子です。
	SD_CMD	入出力	SD コマンド	SD コマンド出力、レスポンス入力信号です。
	SD_D3 ~ SD_D0	入出力	SD データ	SD データバス信号です。
	SD_CD	入力	SD カード検出	SD カード検出です。
	SD_WP	入力	SD ライトプロテクト	SD ライトプロテクト信号です。
A/D 変換器 (ADC)	AN7 ~ AN0	入力	アナログ入力端子	アナログ入力端子です。
	ADTRG	入力	A/D 変換トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器 (DAC)	DA1, DA0	出力	アナログ出力端子	アナログ出力端子です。
アナログ共通	AVcc	入力	アナログ電源	A/D 変換器および D/A 変換器の電源端子です。
	AVss	入力	アナロググランド	A/D 変換器および D/A 変換器のグランド端子です。
	AVref	入力	アナログ基準電圧	A/D 変換器および D/A 変換器の基準電圧端子です。
I/O ポート	PB11 ~ PB8、 PC14 ~ PC0、 PD15 ~ PD0、 PE15 ~ PE0、 PF30 ~ PF0	入出力	汎用ポート	82 ビットの汎用入出力ポート端子です。
	PA7 ~ PA0、 PB7 ~ PB0	入力	汎用ポート	16 ビットの汎用入力ポート端子です。
	PB12	出力	汎用ポート	1 ビットの汎用出力ポート端子です。
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモードセレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子 です。
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子 です。
	TRST	入力	テストリセット	初期化信号入力端子です。
エミュレータ インタフェース	AUDATA3 ~ AUDATA0	出力	AUD データ	分岐先 / 分岐元アドレス出力端子です。
	AUDCK	出力	AUD クロック	同期クロック出力端子です。
	AUDSYNC	出力	AUD 同期信号	データ先頭位置認識信号出力端子です。
	ASEBRKAK	出力	ブレイクモード アクトリッジ	E10A-USB エミュレータがブレイクモードに入っ たことを示します。
	ASEBRK	入力	ブレイク要求	E10A-USB エミュレータブレイク入力です。
ユーザブレイク コントローラ (UBC)	UBCTR $\bar{G}$	出力	ユーザブレイク トリガ出力	UBC 条件一致のトリガ出力です。

## 1.6 端子一覧

表 1.4 端子一覧

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
1	PC10	I/O	RAS $\bar{U}$	O	BACK	O
2	PC9	I/O	CAS $\bar{L}$	O	-	-
3	PC8	I/O	RAS $\bar{L}$	O	-	-
4	Vcc					
5	PC7	I/O	WE3/DQMUU/AH/CIOWR	O	-	-
6	Vss					
7	PVss					
8	PC6	I/O	WE2/DQMUL/CIORD	O	-	-
9	PVcc					
10	PC5	I/O	WE1/DQMLU/WE	O	-	-
11	CS0	O	-	-	-	-
12	RD	O	-	-	-	-
13	PC4	I/O	WE0/DQMLL	O	-	-
14	PC3	I/O	CS $\bar{3}$	O	-	-
15	PC2	I/O	CS $\bar{2}$	O	-	-

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
1	AUDATA0	O	-	-	-	-			(9)
2	-	-	-	-	-	-			(9)
3	-	-	-	-	-	-			(9)
4									
5	-	-	-	-	-	-			(9)
6									
7									
8	-	-	-	-	-	-			(9)
9									
10	-	-	-	-	-	-			(9)
11	-	-	-	-	-	-			(7)
12	-	-	-	-	-	-			(7)
13	-	-	-	-	-	-			(9)
14	-	-	-	-	-	-			(9)
15	-	-	-	-	-	-			(9)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
16	Vcc					
17	PC0	I/O	A0	O	$\overline{CS7}$	O
18	Vss					
19	PVss					
20	PC1	I/O	A1	O	-	-
21	PVcc					
22	A2	O	-	-	-	-
23	A3	O	-	-	-	-
24	A4	O	-	-	-	-
25	A5	O	-	-	-	-
26	A6	O	-	-	-	-
27	A7	O	-	-	-	-
28	A8	O	-	-	-	-
29	PVcc					
30	A9	O	-	-	-	-
31	PVss					
32	Vss					

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
16									
17	AUDSYNC	O	-	-	-	-			(9)
18									
19									
20	-	-	-	-	-	-			(9)
21									
22	-	-	-	-	-	-			(7)
23	-	-	-	-	-	-			(7)
24	-	-	-	-	-	-			(7)
25	-	-	-	-	-	-			(7)
26	-	-	-	-	-	-			(7)
27	-	-	-	-	-	-			(7)
28	-	-	-	-	-	-			(7)
29									
30	-	-	-	-	-	-			(7)
31									
32									

1. 概要

SH7263 グループ

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
33	A10	O	-	-	-	-
34	Vcc					
35	A11	O	-	-	-	-
36	A12	O	-	-	-	-
37	A13	O	-	-	-	-
38	A14	O	-	-	-	-
39	A15	O	-	-	-	-
40	A16	O	-	-	-	-
41	PVss					
42	A17	O	-	-	-	-
43	PVcc					
44	A18	O	-	-	-	-
45	A19	O	-	-	-	-
46	A20	O	-	-	-	-
47	PE2	I(s)/O	A21	O	-	-
48	PE3	I(s)/O	A22	O	-	-
49	PE0	I(s)/O	BS	O	-	-

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
33	-	-	-	-	-	-			(7)
34									
35	-	-	-	-	-	-			(7)
36	-	-	-	-	-	-			(7)
37	-	-	-	-	-	-			(7)
38	-	-	-	-	-	-			(7)
39	-	-	-	-	-	-			(7)
40	-	-	-	-	-	-			(7)
41									
42	-	-	-	-	-	-			(7)
43									
44	-	-	-	-	-	-			(7)
45	-	-	-	-	-	-			(7)
46	-	-	-	-	-	-			(7)
47	SCK0	I(s)/O	-	-	-	-			(10)
48	SCK1	I(s)/O	-	-	-	-			(10)
49	RxD0	I(s)	ADTRG	I(s)	-	-			(10)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
50	CKIO	I/O	-	-	-	-
51	Vcc					
52	Vss					
53	PVss					
54	PVcc					
55	XTAL	O	-	-	-	-
56	EXTAL	I	-	-	-	-
57	NMI	I(s)	-	-	-	-
58	PLLVss					
59	RES	I(s)	-	-	-	-
60	PLLVcc					
61	ASEMD	I(s)	-	-	-	-
62	PE8	I(s)/O	$\overline{OE2A}$	O	IRQ4	I(s)
63	PE1	I(s)/O	CS4	O	MRES	I(s)
64	PE4	I(s)/O	A23	O	IRQ0	I(s)
65	PVss					
66	PE5	I(s)/O	A24	O	IRQ1	I(s)

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
50	-	-	-	-	-	-			(8)
51									
52									
53									
54									
55	-	-	-	-	-	-			(13)
56	-	-	-	-	-	-			(13)
57	-	-	-	-	-	-			(1)
58									
59	-	-	-	-	-	-			(1)
60									
61	-	-	-	-	-	-			(1)
62	SCK2	I(s)/O	-	-	-	-			(10)
63	TxD0	O	-	-	-	-			(10)
64	RxD1	I(s)	DREQ0	I(s)	-	-			(10)
65									
66	TxD1	O	DACK0	O	-	-			(10)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
67	PVcc					
68	PE6	I(s)/O	A25	O	IRQ2	I(s)
69	PE7	I(s)/O	$\overline{\text{FRAME}}$	O	IRQ3	I(s)
70	PE9	I(s)/O	$\overline{\text{CS5/CE1A}}$	O	IRQ5	I(s)
71	PE10	I(s)/O	$\overline{\text{CE2B}}$	O	IRQ6	I(s)
72	PE11	I(s)/O	$\overline{\text{CS6/CE1B}}$	O	IRQ7	I(s)
73	PE12	I(s)/O	-	-	-	-
74	Vcc					
75	PC14	I/O	WAIT	I	-	-
76	Vss					
77	PVss					
78	RTC_X1	I	-	-	-	-
79	RTC_X2	O	-	-	-	-
80	PVcc					
81	PE13	I(s)/O	-	-	-	-
82	PE14	I(s)/O	$\overline{\text{CS1}}$	O	-	-
83	PE15	I(s)/O	$\overline{\text{IOIS16}}$	I(s)	-	-

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
67									
68	RxD2	I(s)	DREQ1	I(s)	-	-			(10)
69	TxD2	O	DACK1	O	-	-			(10)
70	SCK3	I(s)/O	-	-	-	-			(10)
71	-	-	TEND0	O	-	-			(10)
72	-	-	TEND1	O	-	-			(10)
73	RxD3	I(s)	-	-	-	-			(10)
74									
75	-	-	-	-	-	-			(9)
76									
77									
78	-	-	-	-	-	-			(14)
79	-	-	-	-	-	-			(14)
80									
81	TxD3	O	-	-	-	-			(10)
82	$\overline{\text{CTS3}}$	I(s)/O	-	-	-	-			(10)
83	$\overline{\text{RTS3}}$	I(s)/O	-	-	-	-			(10)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
84	PVss					
85	PB8	I/O	CRx0	I	CRx0/CRx1	I
86	PB9	I/O	CTx0	O	CTx0&CTx1	O
87	PB10	I/O	CRx1	I	IERxD	I
88	PB11	I/O	CTx1	O	IETxD	O
89	Vcc					
90	MD	I(s)	-	-	-	-
91	Vss					
92	PVss					
93	USB_X1	I	-	-	-	-
94	USB_X2	O	-	-	-	-
95	PVcc					
96	MD_CLK1	I(s)	-	-	-	-
97	MD_CLK0	I(s)	-	-	-	-
98	USBDPVss					
99	USBDPVcc					
100	DM	I/O	-	-	-	-

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
84									
85	-	-	-	-	-	-			(9)
86	-	-	-	-	-	-			(9)
87	-	-	-	-	-	-			(9)
88	-	-	-	-	-	-			(9)
89									
90	-	-	-	-	-	-			(1)
91									
92									
93	-	-	-	-	-	-			(13)
94	-	-	-	-	-	-			(13)
95									
96	-	-	-	-	-	-			(1)
97	-	-	-	-	-	-			(1)
98									
99									
100	-	-	-	-	-	-			

1. 概要

SH7263 グループ

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
101	DP	I/O	-	-	-	-
102	VBUS	I	-	-	-	-
103	USBAVcc					
104	USBAVss					
105	REFRIN	I	-	-	-	-
106	USBAPVss					
107	USBAPVcc					
108	USBDVcc					
109	USBDVss					
110	PA0	I	AN0	I(a)	-	-
111	PA1	I	AN1	I(a)	-	-
112	PA2	I	AN2	I(a)	-	-
113	PA3	I	AN3	I(a)	-	-
114	AVcc					
115	PA4	I	AN4	I(a)	-	-
116	AVref					
117	PA5	I	AN5	I(a)	-	-

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
101	-	-	-	-	-	-			
102	-	-	-	-	-	-			
103									
104									
105	-	-	-	-	-	-			
106									
107									
108									
109									
110	-	-	-	-	-	-			(4)
111	-	-	-	-	-	-			(4)
112	-	-	-	-	-	-			(4)
113	-	-	-	-	-	-			(4)
114									
115	-	-	-	-	-	-			(4)
116									
117	-	-	-	-	-	-			(4)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
118	PA6	I	AN6	I(a)	DA0	O(a)
119	PA7	I	AN7	I(a)	DA1	O(a)
120	AVss					
121	PVss					
122	PB12	O	WDTOVF	O	IRQOUT/REFOUT	O
123	PVcc					
124	PF29	I/O	SSIDATA3	I/O	-	-
125	PF28	I/O	SSIWS3	I/O	-	-
126	PF27	I/O	SSISCK3	I/O	-	-
127	Vcc					
128	PF30	I/O	AUDIO_CLK	I	-	-
129	Vss					
130	PVss					
131	AUDIO_X1	I	-	-	-	-
132	AUDIO_X2	O	-	-	-	-
133	PVcc					
134	PF26	I/O	SSIDATA2	I/O	-	-

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
118	-	-	-	-	-	-			(5)
119	-	-	-	-	-	-			(5)
120									
121									
122	UBCTRG	O	AUDCK	O	-	-			(7)
123									
124	-	-	-	-	-	-			(9)
125	-	-	-	-	-	-			(9)
126	-	-	-	-	-	-			(9)
127									
128	-	-	-	-	-	-			(9)
129									
130									
131	-	-	-	-	-	-			(13)
132	-	-	-	-	-	-			(13)
133									
134	-	-	-	-	-	-			(9)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
135	PF25	I/O	SSIWS2	I/O	-	-
136	PF24	I/O	SSISCK2	I/O	-	-
137	PF18	I/O	SSISCK0	I/O	LCD_CL2	O
138	PF19	I/O	SSIWS0	I/O	LCD_M_DISP	O
139	PF20	I/O	SSIDATA0	I/O	LCD_FLM	O
140	PF21	I/O	SSISCK1	I/O	LCD_CLK	I
141	Vcc					
142	PF22	I/O	SSIWS1	I/O	LCD_VCPWC	O
143	Vss					
144	PVss					
145	PF23	I/O	SSIDATA1	I/O	LCD_VEPWC	O
146	PVcc					
147	PF17	I/O	$\overline{FCE}$	O	LCD_CL1	O
148	PF16	I/O	FRB	I	LCD_DON	O
149	PF15	I/O	NAF7	I/O	LCD_DATA15	O
150	PF14	I/O	NAF6	I/O	LCD_DATA14	O
151	PF13	I/O	NAF5	I/O	LCD_DATA13	O

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
135	-	-	-	-	-	-			(9)
136	-	-	-	-	-	-			(9)
137	-	-	-	-	-	-			(9)
138	-	-	-	-	-	-			(9)
139	-	-	-	-	-	-			(9)
140	-	-	-	-	-	-			(9)
141									
142	AUDATA2	O	-	-	-	-			(9)
143									
144									
145	AUDATA3	O	-	-	-	-			(9)
146									
147	-	-	-	-	-	-			(9)
148	-	-	-	-	-	-			(9)
149	SD_CD	I	-	-	-	-			(9)
150	SD_WP	I	-	-	-	-			(9)
151	SD_D1	I/O	-	-	-	-			(9)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
152	PF12	I/O	NAF4	I/O	LCD_DATA12	O
153	PF11	I/O	NAF3	I/O	LCD_DATA11	O
154	Vcc					
155	PF10	I/O	NAF2	I/O	LCD_DATA10	O
156	Vss					
157	PVss					
158	PF9	I/O	NAF1	I/O	LCD_DATA9	O
159	PVcc					
160	PF8	I/O	NAF0	I/O	LCD_DATA8	O
161	PF7	I(s)/O	FSC	O	LCD_DATA7	O
162	PF6	I(s)/O	FOE	O	LCD_DATA6	O
163	PF5	I(s)/O	FCDE	O	LCD_DATA5	O
164	PF4	I(s)/O	$\overline{\text{FWE}}$	O	LCD_DATA4	O
165	PF3	I(s)/O	TCLKD	I(s)	LCD_DATA3	O
166	PF2	I(s)/O	TCLKC	I(s)	LCD_DATA2	O
167	PF1	I(s)/O	TCLKB	I(s)	LCD_DATA1	O
168	Vcc					

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
152	SD_D0	I/O	-	-	-	-			(9)
153	SD_CLK	O	-	-	-	-			(9)
154									
155	SD_CMD	I/O	-	-	-	-			(9)
156									
157									
158	SD_D3	I/O	-	-	-	-			(9)
159									
160	SD_D2	I/O	-	-	-	-			(9)
161	SCS1	I(s)/O	-	-	-	-			(10)
162	SSO1	I(s)/O	-	-	-	-			(10)
163	SSI1	I(s)/O	-	-	-	-			(10)
164	SSCK1	I(s)/O	-	-	-	-			(10)
165	SCS0	I(s)/O	-	-	-	-			(10)
166	SSO0	I(s)/O	-	-	-	-			(10)
167	SSI0	I(s)/O	-	-	-	-			(10)
168									

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
169	PF0	I(s)/O	TCLKA	I(s)	LCD_DATA0	O
170	Vss					
171	PVss					
172	TMS	I	-	-	-	-
173	PVcc					
174	TDI	I	-	-	-	-
175	ASEBRKAK/ASEBRK	I(s)/O	-	-	-	-
176	$\overline{\text{TRST}}$	I(s)	-	-	-	-
177	TDO	O	-	-	-	-
178	TCK	I	-	-	-	-
179	PB0	I(s)	SCL0	I(s)/O(o)	PINT0	I(s)
180	PB1	I(s)	SDA0	I(s)/O(o)	PINT1	I(s)
181	PB2	I(s)	SCL1	I(s)/O(o)	PINT2	I(s)
182	PB3	I(s)	SDA1	I(s)/O(o)	PINT3	I(s)
183	PVcc					
184	PVcc					
185	PB4	I(s)	SCL2	I(s)/O(o)	PINT4	I(s)

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
169	SSCK0	I(s)/O	-	-	-	-			(10)
170									
171									
172	-	-	-	-	-	-			(3)
173									
174	-	-	-	-	-	-			(3)
175	-	-	-	-	-	-			(10)
176	-	-	-	-	-	-			(2)
177	-	-	-	-	-	-			(6)
178	-	-	-	-	-	-			(3)
179	IRQ0	I(s)	-	-	-	-			(12)
180	IRQ1	I(s)	-	-	-	-			(12)
181	IRQ2	I(s)	-	-	-	-			(12)
182	IRQ3	I(s)	-	-	-	-			(12)
183									
184									
185	IRQ4	I(s)	-	-	-	-			(12)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
186	PB5	I(s)	SDA2	I(s)/O(o)	PINT5	I(s)
187	PVss					
188	Vss					
189	PB6	I(s)	SCL3	I(s)/O(o)	PINT6	I(s)
190	PB7	I(s)	SDA3	I(s)/O(o)	PINT7	I(s)
191	Vcc					
192	PD15	I/O	D31	I/O	PINT7	I(s)
193	PD14	I/O	D30	I/O	PINT6	I(s)
194	PD13	I/O	D29	I/O	PINT5	I(s)
195	PD12	I/O	D28	I/O	PINT4	I(s)
196	PVss					
197	PD11	I/O	D27	I/O	PINT3	I(s)
198	PVcc					
199	PD10	I/O	D26	I/O	PINT2	I(s)
200	PD9	I/O	D25	I/O	PINT1	I(s)
201	PD8	I/O	D24	I/O	PINT0	I(s)
202	PD7	I/O	D23	I/O	IRQ7	I(s)

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
186	IRQ5	I(s)	-	-	-	-			(12)
187									
188									
189	IRQ6	I(s)	-	-	-	-			(12)
190	IRQ7	I(s)	-	-	-	-			(12)
191									
192	SD_CD	I	$\overline{\text{ADTRG}}$	I(s)	TIOC4D	I(s)/O			(11)
193	SD_WP	I	-	-	TIOC4C	I(s)/O			(11)
194	SD_D1	I/O	TEND1	O	TIOC4B	I(s)/O			(11)
195	SD_D0	I/O	DACK1	O	TIOC4A	I(s)/O			(11)
196									
197	SD_CLK	O	DREQ1	I(s)	TIOC3D	I(s)/O			(11)
198									
199	SD_CMD	I/O	TEND0	O	TIOC3C	I(s)/O			(11)
200	SD_D3	I/O	DACK0	O	TIOC3B	I(s)/O			(11)
201	SD_D2	I/O	DREQ0	I(s)	TIOC3A	I(s)/O			(11)
202	$\overline{\text{SCS1}}$	I(s)/O	TCLKD	I(s)	TIOC2B	I(s)/O			(11)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
203	PD6	I/O	D22	I/O	IRQ6	I(s)
204	Vcc					
205	PD5	I/O	D21	I/O	IRQ5	I(s)
206	Vss					
207	PVss					
208	PD4	I/O	D20	I/O	IRQ4	I(s)
209	PVcc					
210	PD3	I/O	D19	I/O	IRQ3	I(s)
211	PD2	I/O	D18	I/O	IRQ2	I(s)
212	PD1	I/O	D17	I/O	IRQ1	I(s)
213	PD0	I/O	D16	I/O	IRQ0	I(s)
214	D15	I/O	-	-	-	-
215	D14	I/O	-	-	-	-
216	PVss					
217	D13	I/O	-	-	-	-
218	PVcc					
219	D12	I/O	-	-	-	-

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
203	SSO1	I(s)/O	TCLKC	I(s)	TIOC2A	I(s)/O			(11)
204									
205	SSI1	I(s)/O	TCLKB	I(s)	TIOC1B	I(s)/O			(11)
206									
207									
208	SSCK1	I(s)/O	TCLKA	I(s)	TIOC1A	I(s)/O			(11)
209									
210	SCS0	I(s)/O	DACK3	O	TIOC0D	I(s)/O			(11)
211	SSO0	I(s)/O	DREQ3	I(s)	TIOC0C	I(s)/O			(11)
212	SSI0	I(s)/O	DACK2	O	TIOC0B	I(s)/O			(11)
213	SSCK0	I(s)/O	DREQ2	I(s)	TIOC0A	I(s)/O			(11)
214	-	-	-	-	-	-			(9)
215	-	-	-	-	-	-			(9)
216									
217	-	-	-	-	-	-			(9)
218									
219	-	-	-	-	-	-			(9)

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
220	D11	I/O	-	-	-	-
221	D10	I/O	-	-	-	-
222	D9	I/O	-	-	-	-
223	D8	I/O	-	-	-	-
224	Vcc					
225	D7	I/O	-	-	-	-
226	Vss					
227	PVss					
228	D6	I/O	-	-	-	-
229	PVcc					
230	D5	I/O	-	-	-	-
231	D4	I/O	-	-	-	-
232	D3	I/O	-	-	-	-
233	D2	I/O	-	-	-	-
234	D1	I/O	-	-	-	-
235	D0	I/O	-	-	-	-
236	PVss					

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
220	-	-	-	-	-	-			(9)
221	-	-	-	-	-	-			(9)
222	-	-	-	-	-	-			(9)
223	-	-	-	-	-	-			(9)
224									
225	-	-	-	-	-	-			(9)
226									
227									
228	-	-	-	-	-	-			(9)
229									
230	-	-	-	-	-	-			(9)
231	-	-	-	-	-	-			(9)
232	-	-	-	-	-	-			(9)
233	-	-	-	-	-	-			(9)
234	-	-	-	-	-	-			(9)
235	-	-	-	-	-	-			(9)
236									

ピン 番号	機能 1		機能 2		機能 3	
	端子名	I/O	端子名	I/O	端子名	I/O
237	PVcc					
238	PC13	I/O	RD/WR	O	-	-
239	PC12	I/O	CKE	O	-	-
240	PC11	I/O	CASU	O	BREQ	I

ピン 番号	機能 4		機能 5		機能 6		ウィーク キーバ	ブル アップ	簡易回路図 図 1.3
	端子名	I/O	端子名	I/O	端子名	I/O			
237									
238	-	-	-	-	-	-			(9)
239	-	-	-	-	-	-			(9)
240	AUDATA1	O	-	-	-	-			(9)

【記号説明】

(s) : シュミット

(a) : アナログ

(o) : オープンドレイン

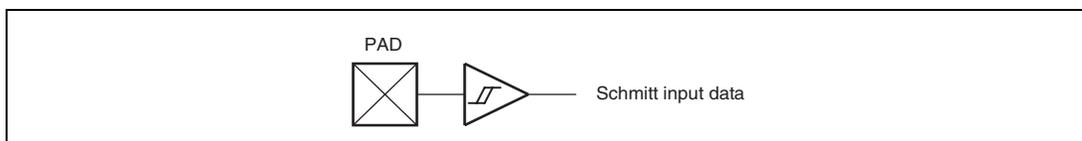


図 1.3(1) 簡易回路図 (シュミット入力バッファ)

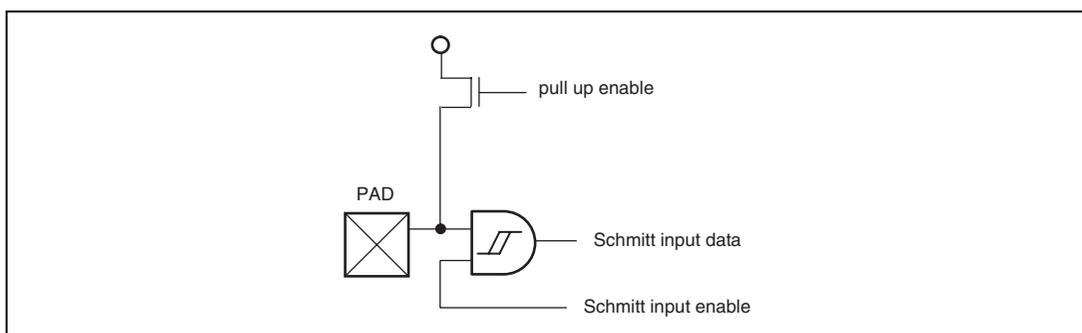


図 1.3(2) 簡易回路図 (シュミット AND 入力バッファ、プルアップ付き)

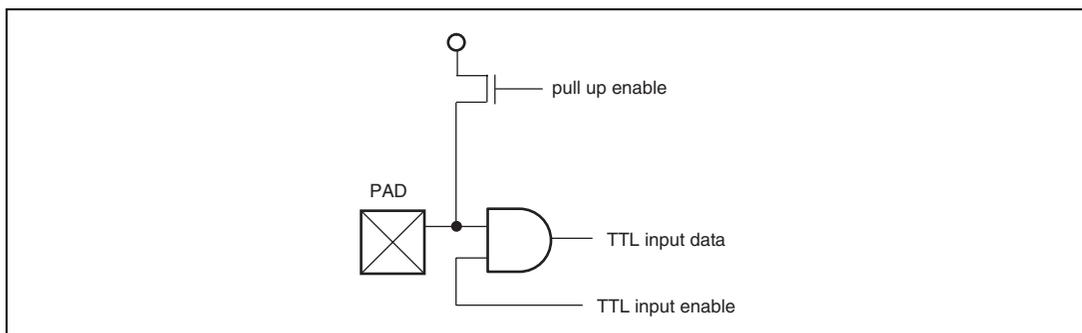


図 1.3(3) 簡易回路図 (TTL AND 入力バッファ、プルアップ付き)

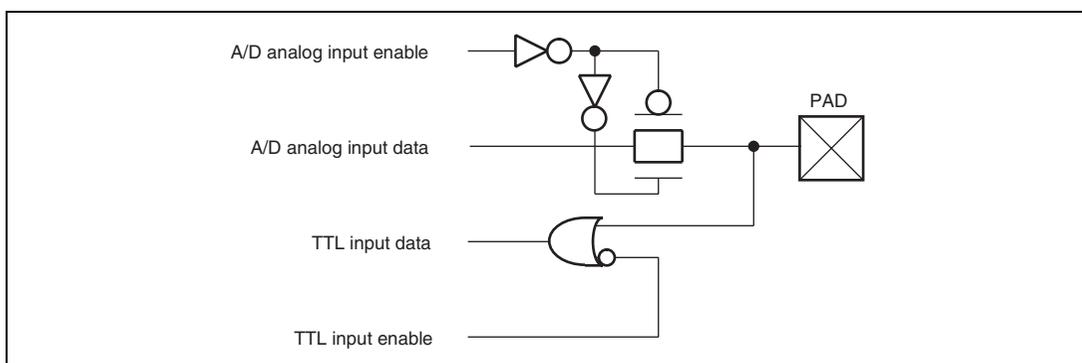


図 1.3(4) 簡易回路図 (TTL OR 入力、A/D 入力 兼用バッファ)

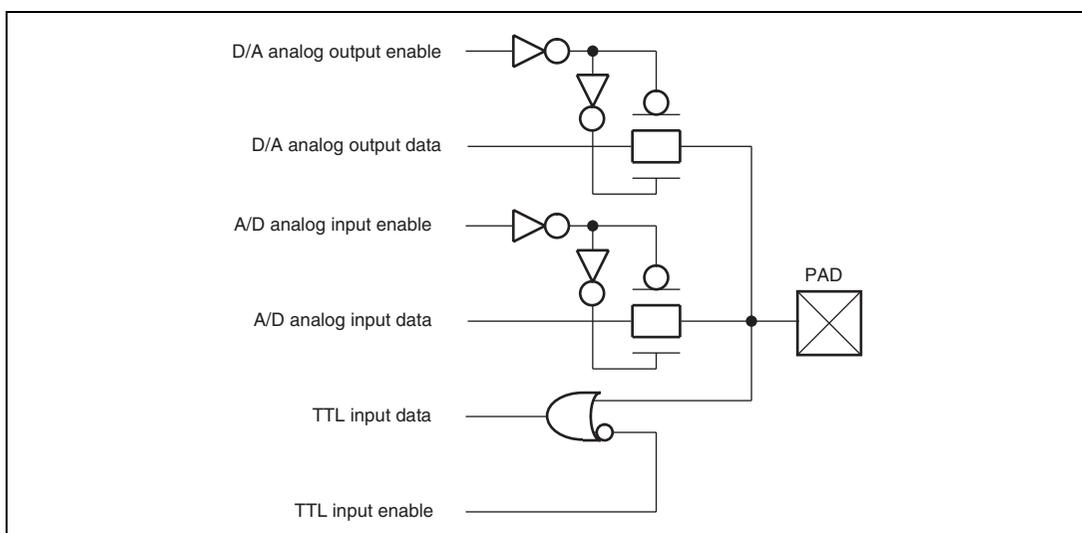


図 1.3(5) 簡易回路図 (TTL OR 入力、A/D 入力、D/A 出力 兼用バッファ)

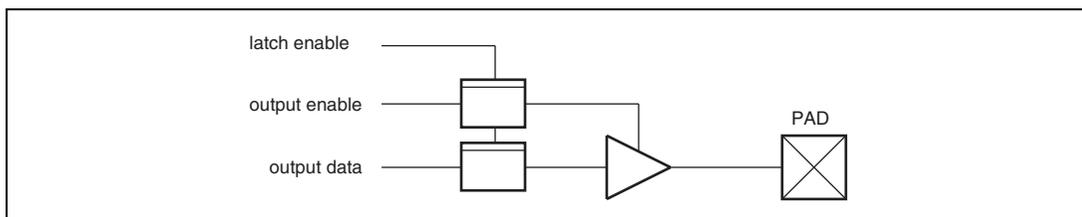


図 1.3(6) 簡易回路図 (イネーブル付き出力バッファ、ラッチ付き)

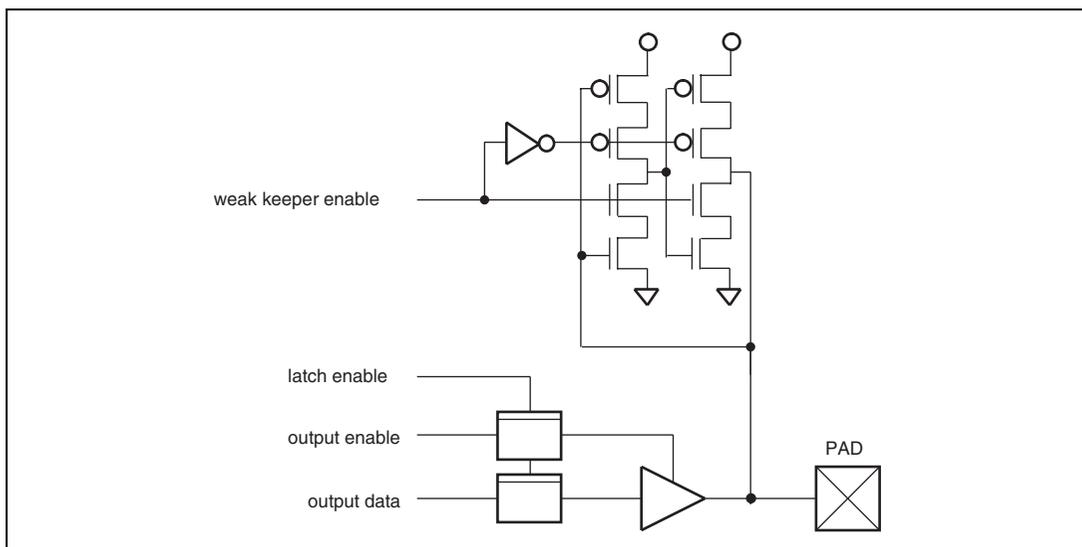


図 1.3(7) 簡易回路図 (イネーブル付き出力バッファ、ラッチ付き、ウィークキーバ付き)

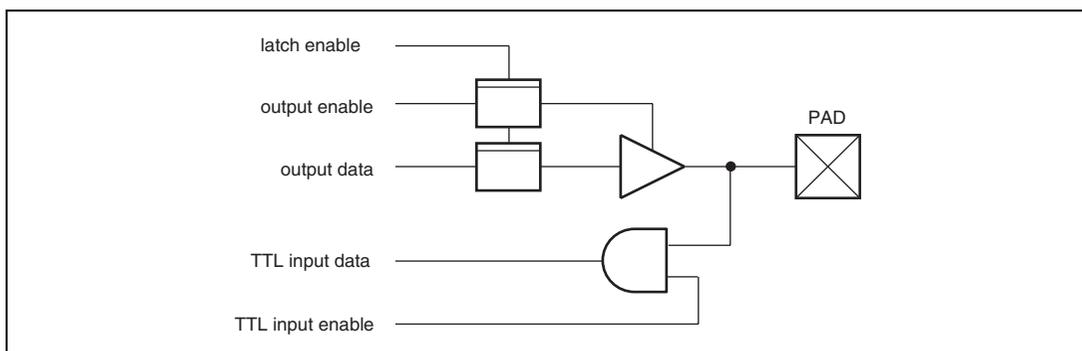


図 1.3(8) 簡易回路図 (双方向バッファ、TTL AND 入力、ラッチ付き)

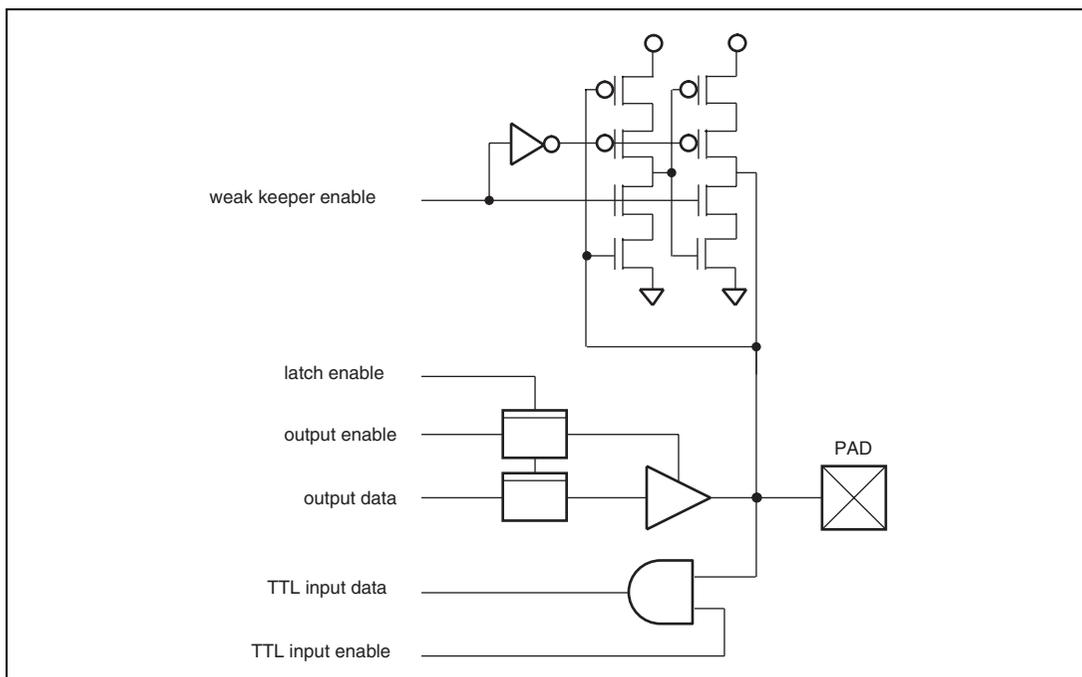


図 1.3(9) 簡易回路図 ( 双向バッファ、TTL AND 入力、ラッチ付き、ウィークキーバ付き )

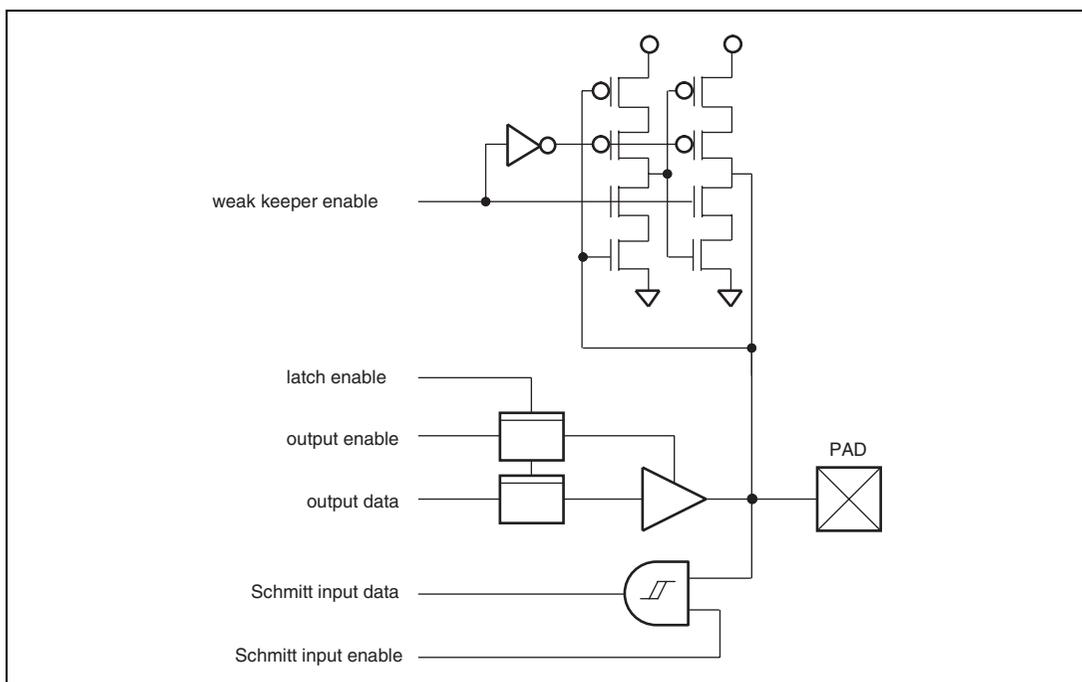


図 1.3(10) 簡易回路図 ( 双向バッファ、シュミット AND 入力、ラッチ付き、キーバ付き )

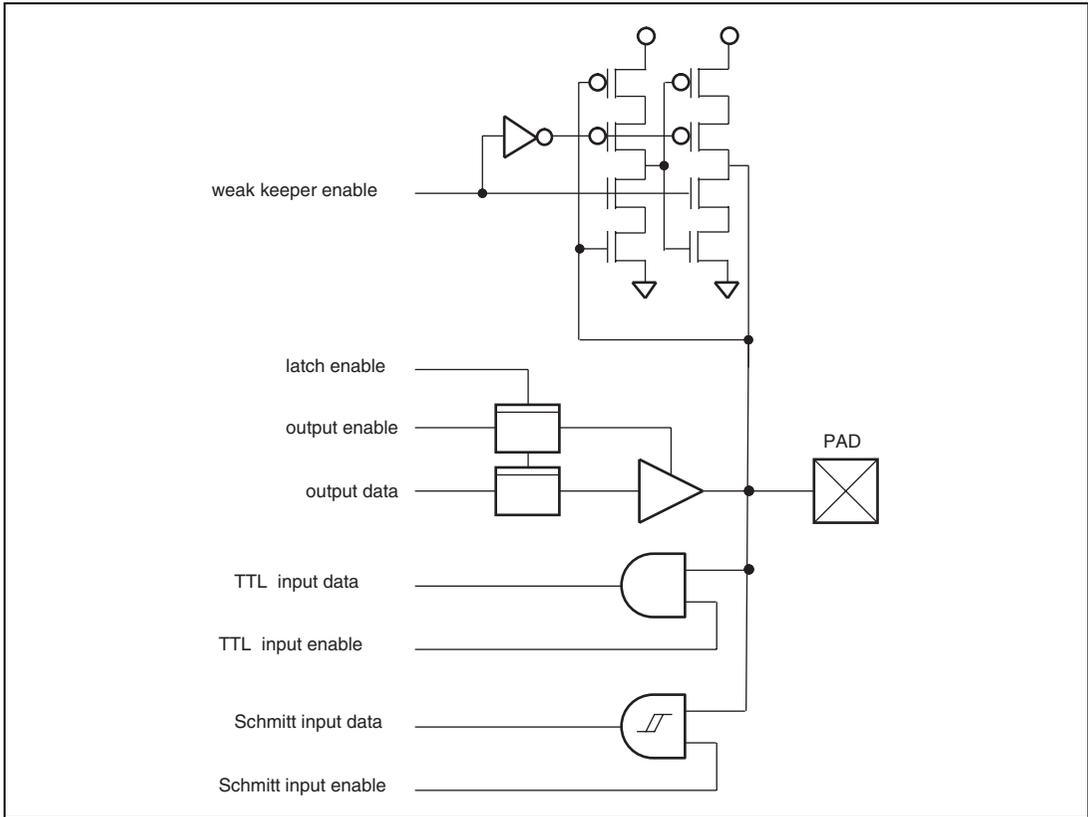


図 1.3(11) 簡易回路図 ( 双方向バッファ、TTL AND 入力、シュミット AND 入力、ラッチ付き、キーバ付き )

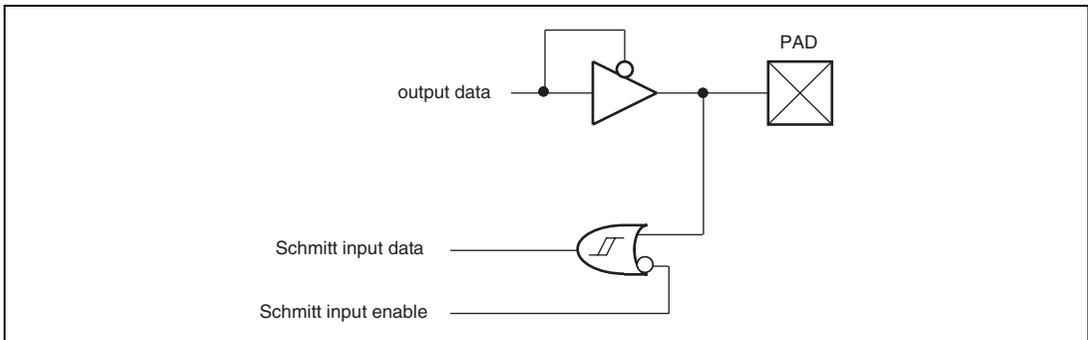


図 1.3(12) 簡易回路図 ( オープンドレイン出力、シュミット OR 入力 )

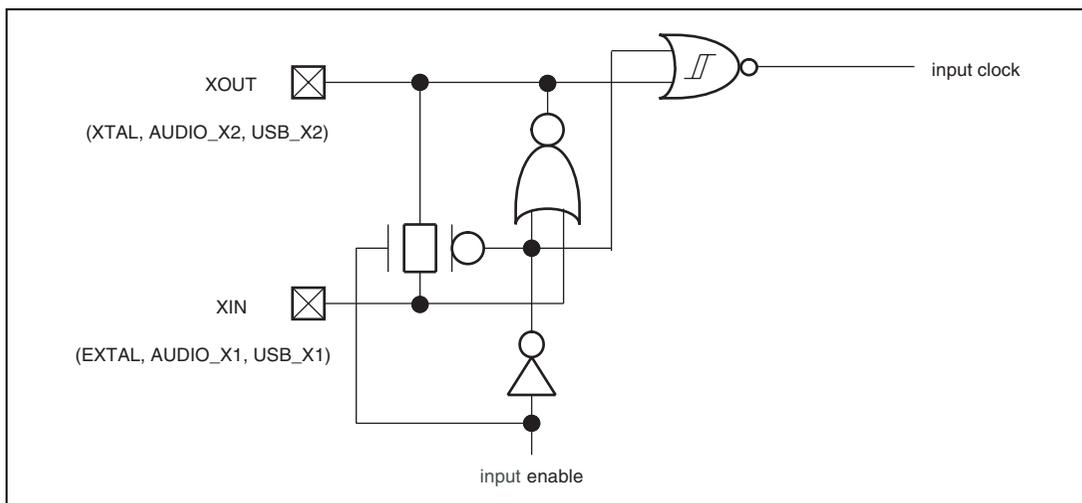


図 1.3(13) 簡易回路図 (発振バッファ 1)

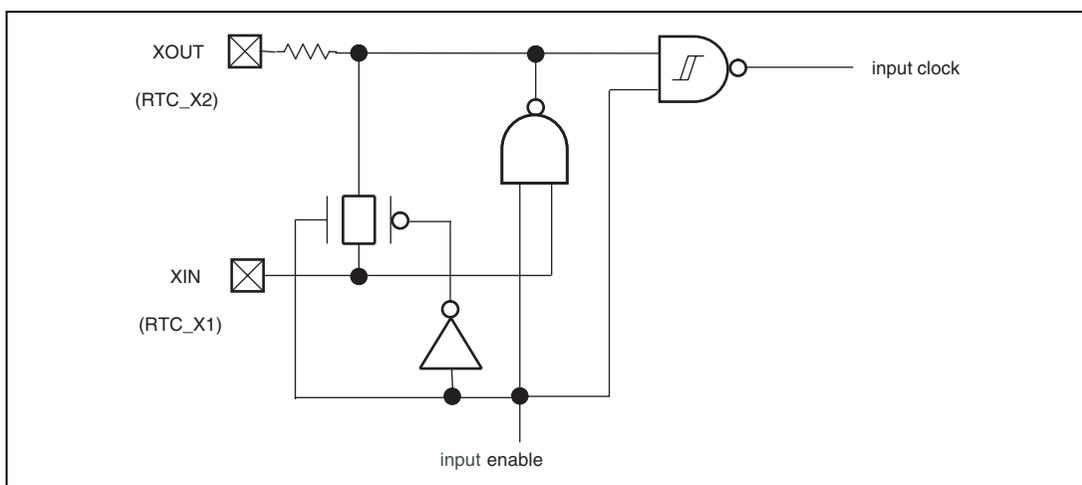


図 1.3(14) 簡易回路図 (発振バッファ 2)



---

## 2. CPU

---

### 2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×4 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

#### 2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は、R15 を用いてスタックを参照し行います。

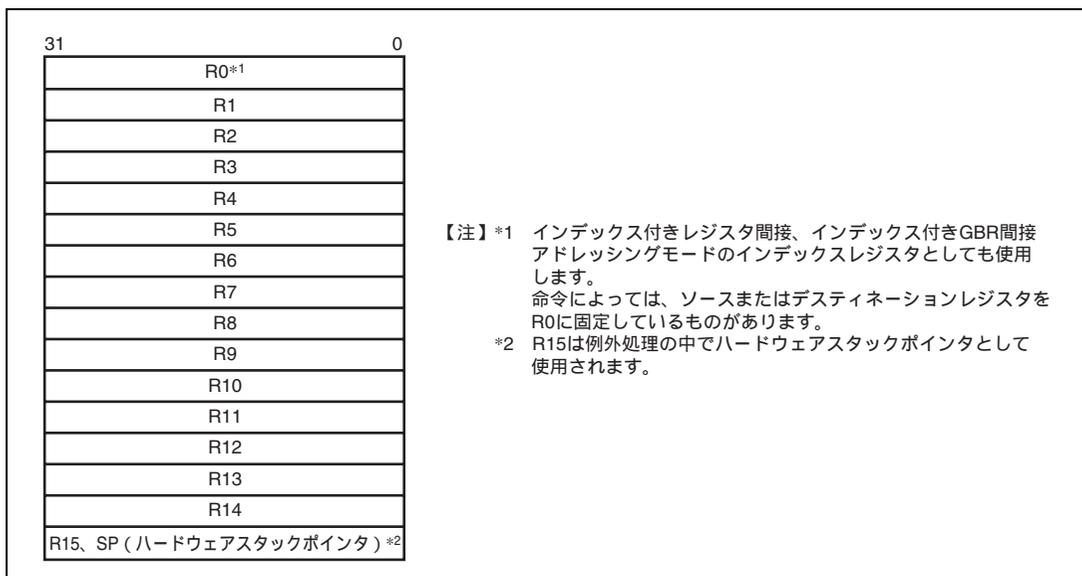


図 2.1 汎用レジスタ

## 2.1.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の 4 本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

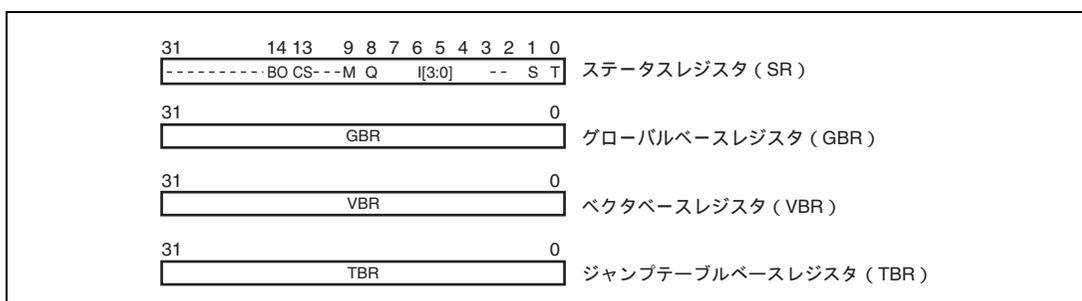


図 2.2 コントロールレジスタ

### (1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	M	-	R/W	M ビット
8	Q	-	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	-	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	-	R/W	T ビット 真 / 偽条件またはキャリー / ボロービット

### (2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

### (3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

### (4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

## 2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は現在実行中の命令の 4 バイト先を示し、処理の流れを制御します。

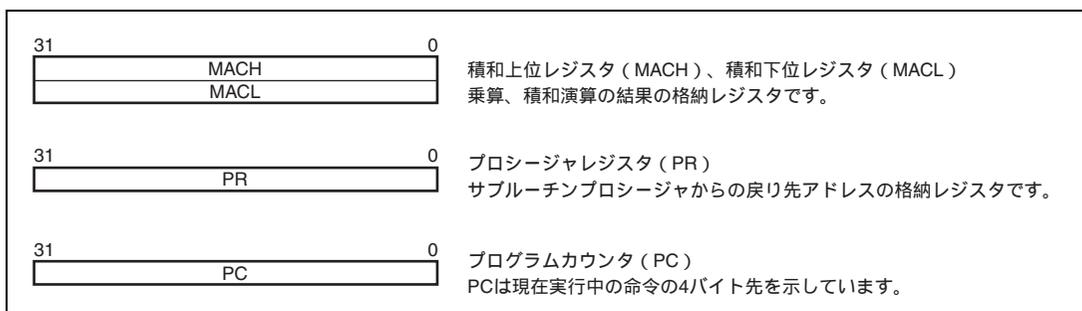


図 2.3 システムレジスタ

## (1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

## (2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

## (3) プログラムカウンタ (PC)

PC は現在実行中の命令の 4 バイト先を示します。

## 2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

本 LSI は 15 個のバンクを持ちます。詳細については「SH-2A、SH2A-FPU ソフトウェアマニュアル」、「6.8 レジスタバンク」を参照してください。

## 2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	[[3:0]]は 1111 (H'F)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

## 2.2 データ形式

### 2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

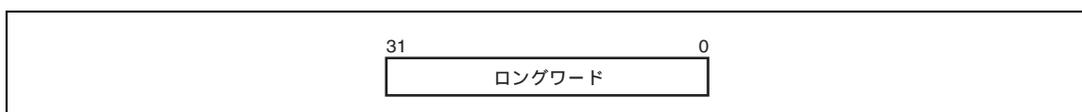


図 2.4 レジスタのデータ形式

### 2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地:  $2n$  番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地:  $4n$  番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

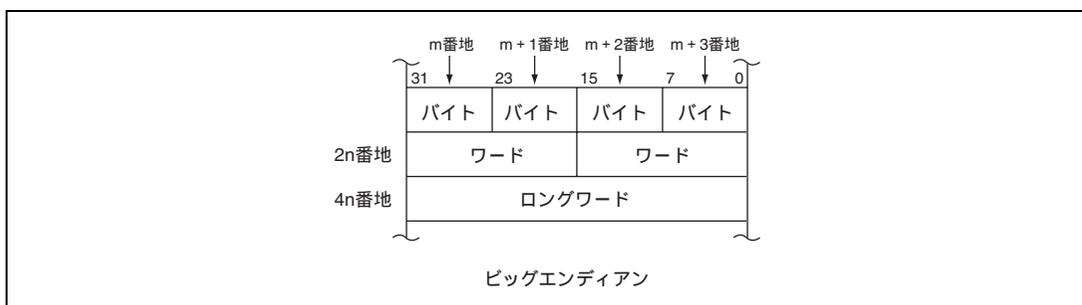


図 2.5 メモリのデータ形式

### 2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

## 2.3 命令の特長

### 2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

#### (1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

#### (2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

#### (3) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

#### (4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0 ..... .DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

#### (5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

## (6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令 遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU		説 明	他の CPU の例
BRA	TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0
ADD	R1,R0		BRA TRGET

## (7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

## (8) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

## (9) T ビット

比較結果はステータスレジスタ (SR) の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU		説 明	他の CPU の例
CMP/GE	R1,R0	R0 R1 のとき T ビットがセットされます。	CMP.W R1,R0
BT	TRGET0	R0 R1 のとき TRGET0 へ	BGE TRGET0
BF	TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT TRGET1
ADD	# - 1,R0	ADD では T ビットが変化しません。	SUB.W #1,R0
CMP/EQ	#0,R0	R0 = 0 のとき T ビットがセットされます。	BEQ TRGET
BT	TRGET	R0 = 0 のとき分岐します。	

## (10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOV120 #H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOV120 #H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOV120S #H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0 ..... .DATA.L H'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

## (11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21 ~ 28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0 ..... .DATA.L H'12345678	MOV.B @H'12345678,R0

## (12) 16 ビット / 32 ビットディスプレイースメント

16 ビットまたは 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

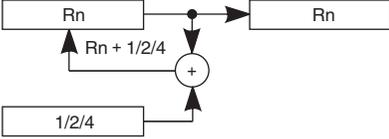
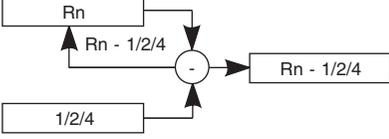
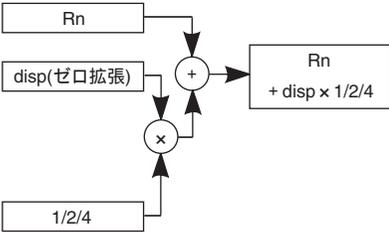
表 2.7 ディスプレースメントによる参照

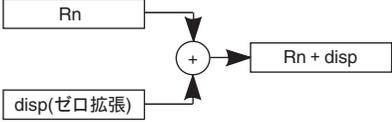
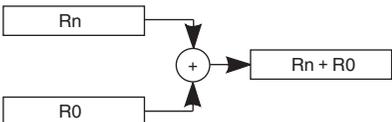
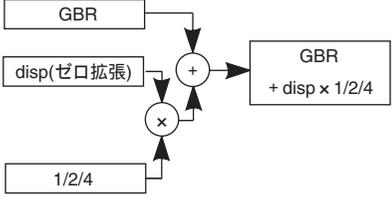
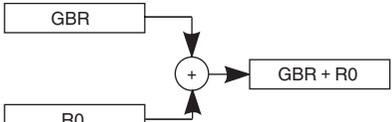
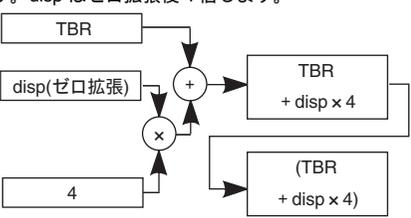
区分	SH-2A CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2 ..... .DATA.W H'1234	MOV.W @(H'1234,R1),R2

## 2.3.2 アドレッシングモード

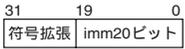
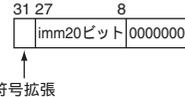
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp x 2 ロングワード : Rn + disp x 4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイースメント付き TBR 二重間接	@@(disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレイースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p> 	( $TBR + disp \times 4$ ) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p>* ロングワードのとき</p>	<p>ワード : <math>PC + disp \times 2</math></p> <p>ロングワード :</p> $PC \& H'FFFFFFFC + disp \times 4$
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + disp \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	-
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側 は符号拡張、下位側はゼロ詰めを行います。 	-
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	-

### 2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

- xxxx : 命令コード
- mmmm : ソースレジスタ
- nnnn : デスティネーションレジスタ
- iiii : イミディエイトデータ
- dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		-	-	NOP
n 形式		-	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
		R0 (レジスタ直接)	nnnn : ポストインクリメント レジスタ間接	MOV.L R0,@Rn+
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	-	JMP @Rm
		mmmm : プリデクリメント レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	-	BRAF Rm

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	$\begin{array}{ c c c c } \hline & 32 & & 16 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$ $\begin{array}{ c c c c } \hline & 15 & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12,Rm),Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式		ddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレイメント付き GBR 間接		
		R0 (レジスタ直接)	ddddddd :	MOV.L R0,@(disp,GBR)
		ディスプレイメント付き PC 相対	ddddddd :	MOVA @(disp,PC),R0
		ディスプレイメント付き TBR 二重間接	ddddddd :	-
		ddddddd : PC 相対	-	BF label
d12 形式		ddddddddddd : PC 相対	-	BRA label (label=disp+PC)
nd8 形式		ddddddd : ディスプレイメント付き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト	-	TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式		nnnn : レジスタ直接 iii : イミディエイト	-	BLD #imm3,Rn
		-	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式		iiiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20 #imm20, Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">32</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 2px 5px;">xxxx</div> <div style="border-right: 1px solid black; padding: 2px 5px;">nnnn</div> <div style="border-right: 1px solid black; padding: 2px 5px;">xiii</div> <div style="padding: 2px 5px;">xxxx</div> </div> <div style="margin-left: 5px;">16</div> </div> <div style="display: flex; align-items: center;"> <div style="margin-right: 5px;">15</div> <div style="border: 1px solid black; padding: 2px; display: flex; align-items: center;"> <div style="border-right: 1px solid black; padding: 2px 5px;">xxxx</div> <div style="padding: 2px 5px;">dddd dddd dddd</div> </div> <div style="margin-left: 5px;">0</div> </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	-	BLD.B #imm3,@ (disp12,Rn)
		-	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 \* 積和命令では nnnn はソースレジスタです。

## 2.4 命令セット

### 2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0 ~ Rn のレジスタ退避・復帰	
		MOVMU	Rn ~ R14, PR のレジスタ退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOV T	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバーフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32 ÷ 32)	
		DIVU	符号なし除算 (32 ÷ 32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロ－付き符号反転	
		SUB	2 進減算	
		SUBC	ポロ－付き 2 進減算	
		SUBV	アンダフロー付き 2 進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDIO	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	

分類	命令の種類	オペコード	機能	命令数
浮動小数点演算命令	19	FMOV	浮動小数点数転送	48
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命 令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。	MSB LSBの順で表示しています。	動作の概略を表示しています。	ノーウェイトのときの値です。*1	命令実行後の、Tビットの値を表示しています。
【記号説明】 Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント*2	【記号説明】 mmmm : ソースレジスタ nnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 ..... 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント	【記号説明】 、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR内のフラグビット & : ビットごとの論理積   : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト		【記号説明】 - : 変化しない

【注】 \*1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
  - (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合
- などの条件により、命令実行ステート数は増加します。

\*2 命令のオペランドサイズなどに応じてスケールリング(x1、x2、x4)されます。  
詳しくは、「SH-2A、SH2A-FPU ソフトウェアマニュアル」を参照してください。

## 2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiii	imm 符号拡張 Rn	1	-			
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2+PC) 符号拡張 Rn	1	-			
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4+PC) Rn	1	-			
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	-			
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	-			
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	-			
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	-			
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	-			
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	-			
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	-			
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1 Rn, Rm (Rn)	1	-			
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2 Rn, Rm (Rn)	1	-			
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4 Rn, Rm (Rn)	1	-			
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm+1 Rm	1	-			
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm+2 Rm	1	-			
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm+4 Rm	1	-			
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0 (disp+Rn)	1	-			
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0 (disp × 2+Rn)	1	-			
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4+Rn)	1	-			
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp+Rm) 符号拡張 R0	1	-			
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2+Rm) 符号拡張 R0	1	-			
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4+Rm) Rn	1	-			
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0+Rn)	1	-			
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0+Rn)	1	-			
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0+Rn)	1	-			
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) 符号拡張 Rn	1	-			
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) 符号拡張 Rn	1	-			
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) Rn	1	-			
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp+GBR)	1	-			
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2+GBR)	1	-			
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4+GBR)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) 符号拡張 R0	1	-			
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR) 符号拡張 R0	1	-			
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR) R0	1	-			
MOV.B R0, @Rn+	0100nnnn10001011	R0 (Rn), Rn+1 Rn	1	-			
MOV.W R0, @Rn+	0100nnnn10011011	R0 (Rn), Rn+2 Rn	1	-			
MOV.L R0, @Rn+	0100nnnn10101011	R0 (Rn), Rn+4 Rn	1	-			
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1 Rm, (Rm) 符号拡張 R0	1	-			
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2 Rm, (Rm) 符号拡張 R0	1	-			
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4 Rm, (Rm) R0	1	-			
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm (disp+Rn)	1	-			
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm (disp×2+Rn)	1	-			
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm (disp×4+Rn)	1	-			
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm) 符号拡張 Rn	1	-			
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp×2+Rm) 符号拡張 Rn	1	-			
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp×4+Rm) Rn	1	-			
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC R0	1	-			
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm 符号拡張 Rn	1	-			
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8 符号拡張 Rn	1	-			
MOVMLL Rm, @-R15	0100mmmm11110001	R15-4 R15, Rm (R15) R15-4 R15, Rm-1 (R15) : R15-4 R15, R0 (R15) Rm=R15 のとき、Rm を PR に 読み替え	1 ~ 16	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVMLL @R15+, Rn	0100nnnn11110101	(R15) R0, R15+4 R15 (R15) R1, R15+4 R15 : (R15) Rn Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVMLL Rm, @-R15	0100mmmm11110000	R15-4 R15, PR (R15) R15-4 R15, R14 (R15) : R15-4 R15, Rm (R15) Rm=R15 のとき、Rm を PR に読み替え	1 ~ 16	-			
MOVMLL @R15+, Rn	0100nnnn11110100	(R15) Rn, R15+4 R15 (R15) Rn+1, R15+4 R15 : (R15) R14, R15+4 R15 (R15) PR Rn=R15 のとき、Rn を PR に 読み替え	1 ~ 16	-			
MOVRT Rn	0000nnnn00111001	~T Rn	1	-			
MOVRT Rn	0000nnnn00101001	T Rn	1	-			
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm) ゼロ拡張 Rn	1	-			
MOVU.W @(disp12,Rm), Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp × 2+Rm) ゼロ拡張 Rn	1	-			
NOTT	000000001101000	~T T	1	演算結果			
PREF @Rn	0000nnnn10000011	(Rn) オペランドキャッシュ	1	-			
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイ ト交換 Rn	1	-			
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	-			
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット Rn	1	-			

## 2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm Rn	1	-			
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm Rn	1	-			
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T Rn, キャリー T	1	キャリー			
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm Rn, オーバフロー T	1	オーバ フロー			
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/Hi Rm, Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/PZ Rn	0100nnnn00010001	Rn 0 のとき 1 T それ以外るとき 0 T	1	比較結果			
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	1	比較結果			
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) Rn, 1 CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) Rn, 1 CS	1	-			
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) Rn, 1 CS Rn<(H'FFFF8000)のとき、 (H'FFFF8000) Rn, 1 CS	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) Rn, 1 CS	1	-			
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) Rn, 1 CS	1	-			
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算(Rn ÷ Rm)	1	計算結果			
DIVOS Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M ^ Q T	1	計算結果			
DIV0U	0000000000011001	0 M/Q/T	1	0			
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	36	-			
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn ÷ R0 Rn 32 ÷ 32 32 ビット	34	-			
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット	2	-			
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果			
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	-			
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	-			
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	-			
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	-			
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64 ビット	4	-			
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64 ビット	3	-			
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32 ビッ ト	2	-			
MULR R0, Rn	0100nnnn10000000	R0 × Rn Rn 32 × 32 32 ビット	2				
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MACL 16 × 16 32 ビット	1	-			
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MACL 16 × 16 32 ビット	1	-			
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm Rn	1	-			
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T Rn, ポロー T	1	ポロー			
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm Rn	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T Rn, ボロー T	1	ボロー			
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm Rn, アンダフロー T	1	オーバ フロー			

## 2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	-			
AND #imm, R0	11001001iiiiiiii	R0 & imm R0	1	-			
AND.B #imm, @(R0, GBR)	11001101iiiiiiii	(R0+GBR) & imm (R0+GBR)	3	-			
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	-			
OR Rm, Rn	0010nnnnmmmm1011	Rn   Rm Rn	1	-			
OR #imm, R0	11001011iiiiiiii	R0   imm R0	1	-			
OR.B #imm, @(R0, GBR)	11001111iiiiiiii	(R0+GBR)   imm (R0+GBR)	3	-			
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1 T, それ以外のとき0 T, 1 MSB of(Rn)	3	テスト 結果			
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1 T, その他0 T	1	テスト 結果			
TST #imm, R0	11001000iiiiiiii	R0 & imm, 結果が0のとき1 T その他0 T	1	テスト 結果			
TST.B #imm, @(R0, GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が0のとき1 T その他0 T	3	テスト 結果			
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	-			
XOR #imm, R0	11001010iiiiiiii	R0 ^ imm R0	1	-			
XOR.B #imm, @(R0, GBR)	11001110iiiiiiii	(R0+GBR) ^ imm (R0+GBR)	3	-			

## 2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB			
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB			
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB			
ROTCR Rn	0100nnnn00100101	T Rn T	1	LSB			
SHAD Rm, Rn	0100nnnnmmmm1100	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm  [MSB Rn]	1	-			
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB			
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB			
SHLD Rm, Rn	0100nnnnmmmm1101	Rm 0 のとき Rn<<Rm Rn Rm<0 のとき Rn>> Rm  [0 Rn]	1	-			
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB			
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB			
SHLL2 Rn	0100nnnn00001000	Rn<<2 Rn	1	-			
SHLR2 Rn	0100nnnn00001001	Rn>>2 Rn	1	-			
SHLL8 Rn	0100nnnn00011000	Rn<<8 Rn	1	-			
SHLR8 Rn	0100nnnn00011001	Rn>>8 Rn	1	-			
SHLL16 Rn	0100nnnn00101000	Rn<<16 Rn	1	-			
SHLR16 Rn	0100nnnn00101001	Rn>>16 Rn	1	-			

## 2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2, SH2E	SH4	SH-2A
BF label	10001011ddddddd	T=0 のとき disp × 2+PC PC, T=1 のとき nop	3/1*	-			
BF/S label	10001111ddddddd	遅延分岐、T=0 のとき disp × 2+PC PC, T=1 のとき nop	2/1*	-			
BT label	10001001ddddddd	T=1 のとき disp × 2+PC PC, T=0 のとき nop	3/1*	-			
BT/S label	10001101ddddddd	遅延分岐、T=1 のとき disp × 2+PC PC, T=0 のとき nop	2/1*	-			
BRA label	1010ddddddddddd	遅延分岐、 disp × 2+PC PC	2	-			
BRAF Rm	0000mmmm00100011	遅延分岐、 Rm+PC PC	2	-			
BSR label	1011ddddddddddd	遅延分岐、 PC PR, disp × 2+PC PC	2	-			
BSRF Rm	0000mmmm00000011	遅延分岐、 PC PR, Rm+PC PC	2	-			
JMP @Rm	0100mmmm00101011	遅延分岐、 Rm PC	2	-			
JSR @Rm	0100mmmm00001011	遅延分岐、 PC PR, Rm PC	2	-			
JSR/N @Rm	0100mmmm01001011	PC-2 PR, Rm PC	3	-			
JSR/N @@(disp8, TBR)	10000011ddddddd	PC-2 PR, (disp × 4+TBR) PC	5	-			
RTS	0000000000001011	遅延分岐、 PR PC	2	-			
RTS/N	0000000001101011	PR PC	3	-			
RTV/N Rm	0000mmmm01111011	Rm R0, PR PC	3	-			

【注】 \* 分岐しないときは 1 ステートになります。

## 2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2, SH2E	SH4	SH-2A
CLRT	0000000000001000	0 T	1	0			
CLRMAC	000000000101000	0 MACH,MACL	1	-			
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ) R0	6	-			
LDC Rm, SR	0100mmmm00001110	Rm SR	3	LSB			
LDC Rm, TBR	0100mmmm01001010	Rm TBR	1	-			
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	-			
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	-			
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	5	LSB			
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	1	-			
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	1	-			
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	-			
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	-			
LDS Rm, PR	0100mmmm01010101	Rm PR	1	-			
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	-			
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	-			
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	-			
NOP	0000000000001001	無操作	1	-			
RESBANK	000000001011011	バンク R0~R14, GBR, MACH, MACL, PR	9*	-			
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	6	-			
SETT	0000000000011000	1 T	1	1			
SLEEP	0000000000011011	スリープ	5	-			
STBANK R0, @Rn	0100nnnn11100001	R0 (指定レジスタバンクエントリ)	7	-			
STC SR, Rn	0000nnnn00000010	SR Rn	2	-			
STC TBR, Rn	0000nnnn01001010	TBR Rn	1	-			
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	-			
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	-			
STC.L SR, @- Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	-			
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	1	-			
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	-			
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	-			
STS PR, Rn	0000nnnn00101010	PR Rn	1	-			
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	-			
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	-			
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	-			
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、 (imm×4+VBR) PC	5	-			

## 【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

\* バンクのオーバーフロー時は、ステート数が19です。

## 2.4.8 浮動小数点演算命令

表 2.17 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FABS FRn	1111nnnn01011101	FRn  FRn	1	-			
FABS DRn	1111nnn001011101	DRn  DRn	1	-			
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm FRn	1	-			
FADD DRm, DRn	1111nnn0mmmm00000	DRn+DRm DRn	6	-			
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0 T	1	比較結果			
FCMP/EQ DRm, DRn	1111nnn0mmmm00100	(DRn=DRm)? 1:0 T	2	比較結果			
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0 T	1	比較結果			
FCMP/GT DRm, DRn	1111nnn0mmmm00101	(DRn>DRm)? 1:0 T	2	比較結果			
FCNVDS DRm, FPUL	1111mmmm010111101	(float)DRm FPUL	2	-			
FCNVSD FPUL, DRn	1111nnn010101101	(double)FPUL DRn	2	-			
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm FRn	10	-			
FDIV DRm, DRn	1111nnn0mmmm00011	DRn/DRm DRn	23	-			
FLDI0 FRn	1111nnnn10001101	0 × 00000000 FRn	1	-			
FLDI1 FRn	1111nnnn10011101	0 × 3F800000 FRn	1	-			
FLDS FRm, FPUL	1111mmmm00011101	FRm FPUL	1	-			
FLOAT FPUL, FRn	1111nnnn00101101	(float)FPUL FRn	1	-			
FLOAT FPUL, DRn	1111nnn000101101	(double)FPUL DRn	2	-			
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0 × FRm + FRn FRn	1	-			
FMOV FRm, FRn	1111nnnnmmmm1100	FRm FRn	1	-			
FMOV DRm, DRn	1111nnn0mmmm01100	DRm DRn	2	-			
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm) FRn	1	-			
FMOV.D @(R0, Rm), DRn	1111nnn0mmmm0110	(R0+Rm) DRn	2	-			
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) FRn, Rm+=4	1	-			
FMOV.D @Rm+, DRn	1111nnn0mmmm1001	(Rm) DRn, Rm+=8	2	-			
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) FRn	1	-			
FMOV.D @Rm, DRn	1111nnn0mmmm1000	(Rm) DRn	2	-			
FMOV.S @(disp12, Rm), FRn	0011nnnnmmmm0001 0111dddddddddddd	(disp × 4 + Rm) FRn	1	-			
FMOV.D @(disp12, Rm), DRn	0011nnn0mmmm0001 0111dddddddddddd	(disp × 8 + Rm) DRn	2	-			
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm (R0+Rn)	1	-			

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm00111	DRm (R0+Rn)	2	-			
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn-4, FRm (Rn)	1	-			
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn-8, DRm (Rn)	2	-			
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm (Rn)	1	-			
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm (Rn)	2	-			
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm (disp x 4+Rn)	1	-			
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm00001 0011ddddddddddd	DRm (disp x 8+Rn)	2	-			
FMUL FRm, FRn	1111nnnnmmmm0010	FRn x FRm FRn	1	-			
FMUL DRm, DRn	1111nnn0mmmm00010	DRn x DRm DRn	6	-			
FNEG FRn	1111nnnn01001101	-FRn FRn	1	-			
FNEG DRn	1111nnn001001101	-DRn DRn	1	-			
FSCHG	1111001111111101	FPSCR.SZ=-FPSCR.SZ	1	-			
FSQRT FRn	1111nnnn01101101	FRn FRn	9	-			
FSQRT DRn	1111nnn001101101	DRn DRn	22	-			
FSTS FPUL,FRn	1111nnnn00001101	FPUL FRn	1	-			
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm FRn	1	-			
FSUB DRm, DRn	1111nnn0mmmm00001	DRn-DRm DRn	6	-			
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm FPUL	1	-			
FTRC DRm, FPUL	1111mmmm000111101	(long)DRm FPUL	2	-			

## 2.4.9 FPU に関する CPU 命令

表 2.18 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A- FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm FPSCR	1	-			
LDS Rm,FPUL	0100mmmm01011010	Rm FPUL	1	-			
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm) FPSCR, Rm+=4	1	-			
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm) FPUL, Rm+=4	1	-			
STS FPSCR, Rn	0000nnnn01101010	FPSCR Rn	1	-			
STS FPUL, Rn	0000nnnn01011010	FPUL Rn	1	-			
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4, FPSCR (Rn)	1	-			
STS.L FPUL, @-Rn	0100nnnn01010010	Rn-=4, FPUL (Rn)	1	-			

## 2.4.10 ビット操作命令

表 2.19 ビット操作命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T T	3	演算結果			
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T T	3	演算結果			
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0 (imm of (disp+ Rn))	3	-			
BCLR #imm3, Rn	10000110nnnn0iii	0 imm of Rn	1	-			
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) T	3	演算結果			
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn T	1	演算結果			
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) T	3	演算結果			
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn))   T T	3	演算結果			
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn))   T T	3	演算結果			
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1 (imm of (disp+Rn))	3	-			
BSET #imm3, Rn	10000110nnnn1iii	1 imm of Rn	1	-			
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T (imm of (disp+Rn))	3	-			
BST #imm3, Rn	10000111nnnn0iii	T imm of Rn	1	-			
BXOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T T	3	演算結果			

## 2.5 処理状態

CPUの処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.6に示します。

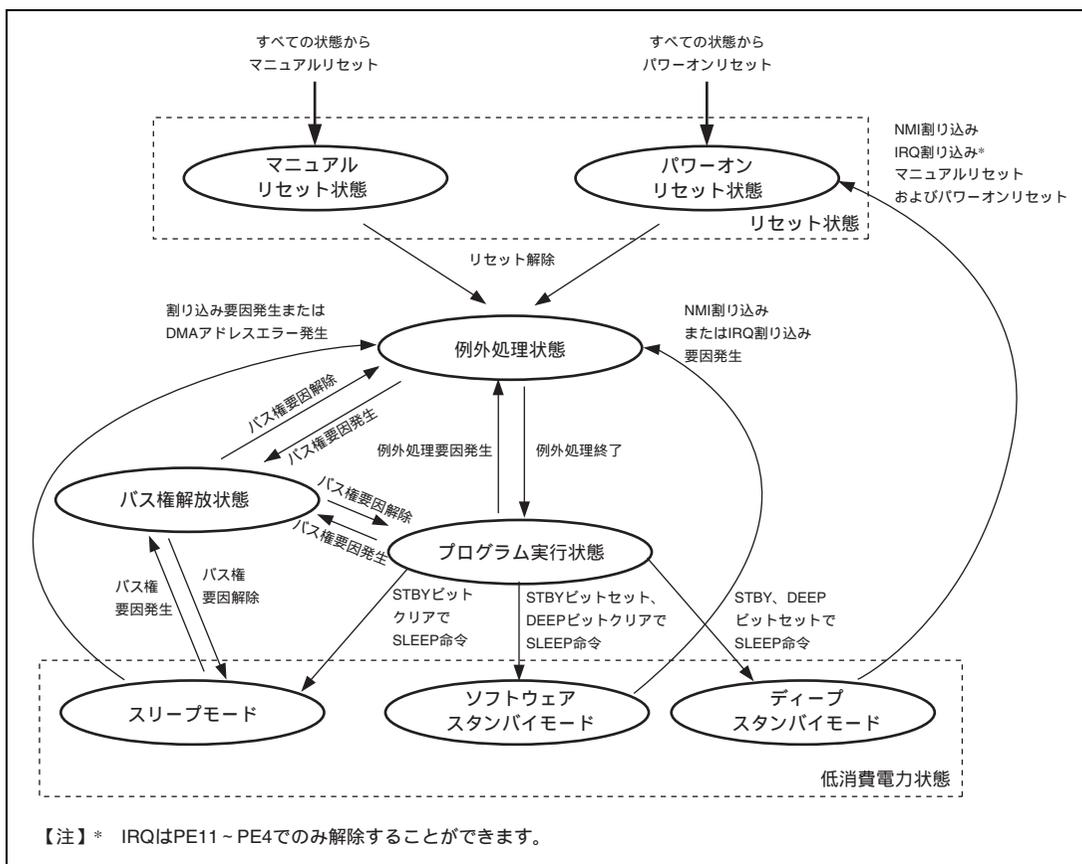


図 2.6 処理状態の状態遷移図

#### (1) リセット状態

CPU がリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

#### (2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

#### (3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

#### (4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、ソフトウェアスタンバイモード、またはディープスタンバイモードになります。

#### (5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。



---

## 3. 浮動小数点ユニット (FPU)

---

### 3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 16本の単精度浮動小数点レジスタ (8本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 非正規化数処理モード：0へのフラッシュ
- 5つの例外要因：  
無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：  
単精度、倍精度、システム制御

## 3.2 データフォーマット

### 3.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

本 LSI は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

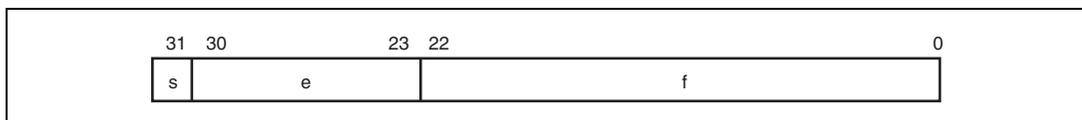


図 3.1 単精度浮動小数点フォーマット

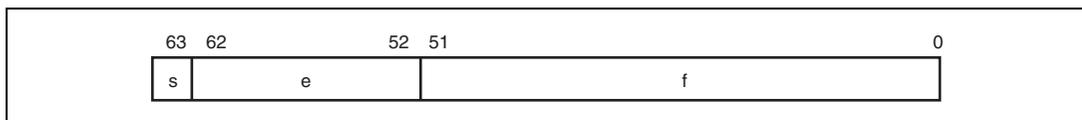


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数  $E$  の範囲は、 $E_{\min}-1$  から  $E_{\max}+1$  までです。 $E_{\min}-1$  と  $E_{\max}+1$  の2つの値は次のように区別します。 $E_{\min}-1$  は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$  は正または負の無限大または非数 (NaN) を表します。表 3.1 に  $E_{\min}$  と  $E_{\max}$  の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
$E_{max}$	+127	+1023
$E_{min}$	-126	-1022

浮動小数点の数値  $v$  は次のようにして決められます。

$E = E_{max} + 1$  かつ  $f = 0$  の場合、 $v$  は符号  $s$  に関係なく非数 (NaN) です。

$E = E_{max} + 1$  かつ  $f = 0$  の場合、 $v$  は  $(-1)^s$  (無限) 「正または負の無限」です。

$E_{min} \leq E \leq E_{max}$  の場合、 $v$  は  $(-1)^s 2^E (1.f)$  「正規化数」です。

$E = E_{min} - 1$  かつ  $f \neq 0$  の場合、 $v$  は  $(-1)^s 2^{E_{min}} (0.f)$  「非正規化数」です。

$E = E_{min} - 1$  かつ  $f = 0$  の場合、 $v$  は  $(-1)^s 0$  「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF ~ H'7FC0 0000	H'7FFF FFFF FFFF FFFF ~ H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF ~ H'7F80 0001	H'7FF7 FFFF FFFF FFFF ~ H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF ~ H'0080 0000	H'7FEF FFFF FFFF FFFF ~ H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF ~ H'0000 0001	H'000F FFFF FFFF FFFF ~ H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001 ~ H'807F FFFF	H'8000 0000 0000 0001 ~ H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000 ~ H'FF7F FFFF	H'8010 0000 0000 0000 ~ H'FFE7 FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001 ~ H'FFBF FFFF	H'FFF0 0000 0000 0001 ~ H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000 ~ H'FFFF FFFF	H'FFF8 0000 0000 0000 ~ H'FFFF FFFF FFFF FFFF

### 3.2.2 非数 (NaN)

図 3.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : Don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

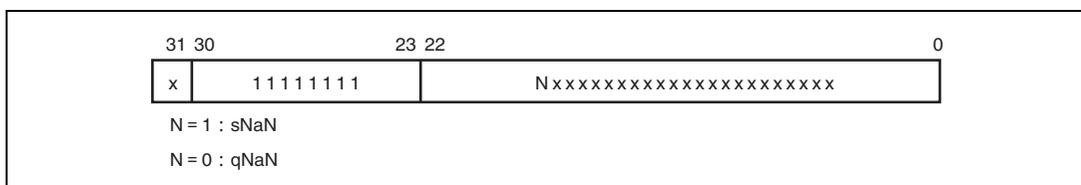


図 3.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCRのEN.Vビットが0の場合、演算結果（出力）はqNaNです。
- FPSCRのEN.Vビットが1の場合、無効演算例外によるFPU例外処理が発生します。この場合、演算のデステーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR の EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBF FFFF
- 倍精度qNaN : H'7FF7 FFFF FFFF FFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

### 3.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

SH2A-FPU ではステータスレジスタ FPSCR の DN ビットが常に 1 のため、非正規化数 (ソースオペランドまたは演算結果) は、(コピー、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で常に 0 にフラッシュされます。

非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

### 3.3 レジスタの説明

#### 3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。16本の32ビット浮動小数点レジスタ FPR0~FPR15 があります。この16本のレジスタは FR0~FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPR<sub>n</sub> と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 3.4 を参照してください。

1. 浮動小数点レジスタ : FPR<sub>i</sub> (16レジスタ)

FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,  
FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15

2. 単精度浮動小数点レジスタ : FR<sub>i</sub> (16レジスタ)

FR0~FR15 は FPR0~FPR15に割り当てられます。

3. 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DR<sub>i</sub> (8レジスタ)

DRレジスタは2つのFRレジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、  
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

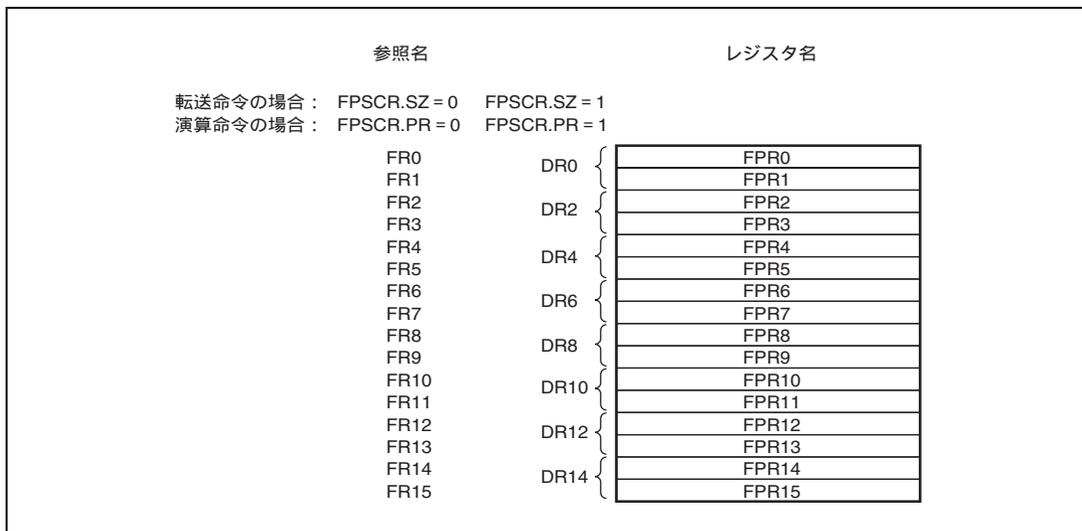


図 3.4 浮動小数点レジスタ

## 3.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの使用方法を選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	QIS	-	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM1	RM0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	非数処理モード 0: qNaN あるいは ± をそのまま処理します。 1: qNaN あるいは ± を sNaN と同様に扱います (FPSCR のイネーブル V=1 のときのみ有効です)。
21	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します。
18	DN	1	R	非正規化モード (SH2A-FPU では常に 1 固定です) 1: 非正規化数を 0 として扱います。
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11~7	Enable	すべて 0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて 0	R/W	FPU 例外フラグフィールド 浮動小数点演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、浮動小数点演算によって FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 FPU 例外イネーブルフィールドの該当するビットが 1 にセットされているとき、FPU 例外処理が発生します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：リザーブ 11：リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH2A-FPU では FPU エラーは発生しません。

### 3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

## 3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0] = 00 : 近傍への丸め

FPSCR.RM[1:0] = 01 : 0 方向への丸め

### (1) 近傍への丸め

演算結果は最も近い表現可能な値に丸められます。最も近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が  $2^{E_{\max}}(2^{-2^p})$  以上であれば丸め前と同じ符号の無限となります。ここで  $E_{\max}$ 、 $p$  は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

### (2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

## 3.5 FPU 例外

### 3.5.1 FPU 例外要因

FPU 例外は浮動小数点演算命令で発生する可能性があり、その要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

### 3.5.2 FPU 例外処理

FPU 例外処理は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ無効演算の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

浮動小数点演算による各例外処理の可能性については各命令の説明で示します。浮動小数点演算に起因するすべての例外事象は、同一の FPU 例外処理事象として割り付けられています。浮動小数点演算によって発生した例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、FPU 例外処理が発生した場合は、デスティネーションレジスタは変更されません。

上記以外は V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果としてqNaNを生成します。
- 0による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。

- オーバフロー (O) :
  - 0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
  - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) : 丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

---

## 4. クロックパルス発振器 (CPG)

---

本 LSI は、クロックパルス発振器を内蔵しており、CPU クロック (I )、周辺クロック (P )、およびバスクロック (B ) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

### 4.1 特長

- 4種類のクロック動作モード

使用する周波数範囲、水晶発振子直付けか外部クロック入力およびUSB用クロック入力かによって、4種類のクロック動作モードから選択できます。

- 3種類のクロック

CPU、キャッシュで使用するCPUクロック (I )、周辺モジュールで使用する周辺クロック (P )、さらに外部バスインタフェースで使用するバスクロック (B =CKIO) を独立に生成できます。

- 周波数変更機能

CPG内部のPLL (Phase Locked Loop) 回路や分周回路により、CPUクロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第32章 低消費電力モード」を参照してください。

図 4.1 にクロックパルス発振器のブロック図を示します。

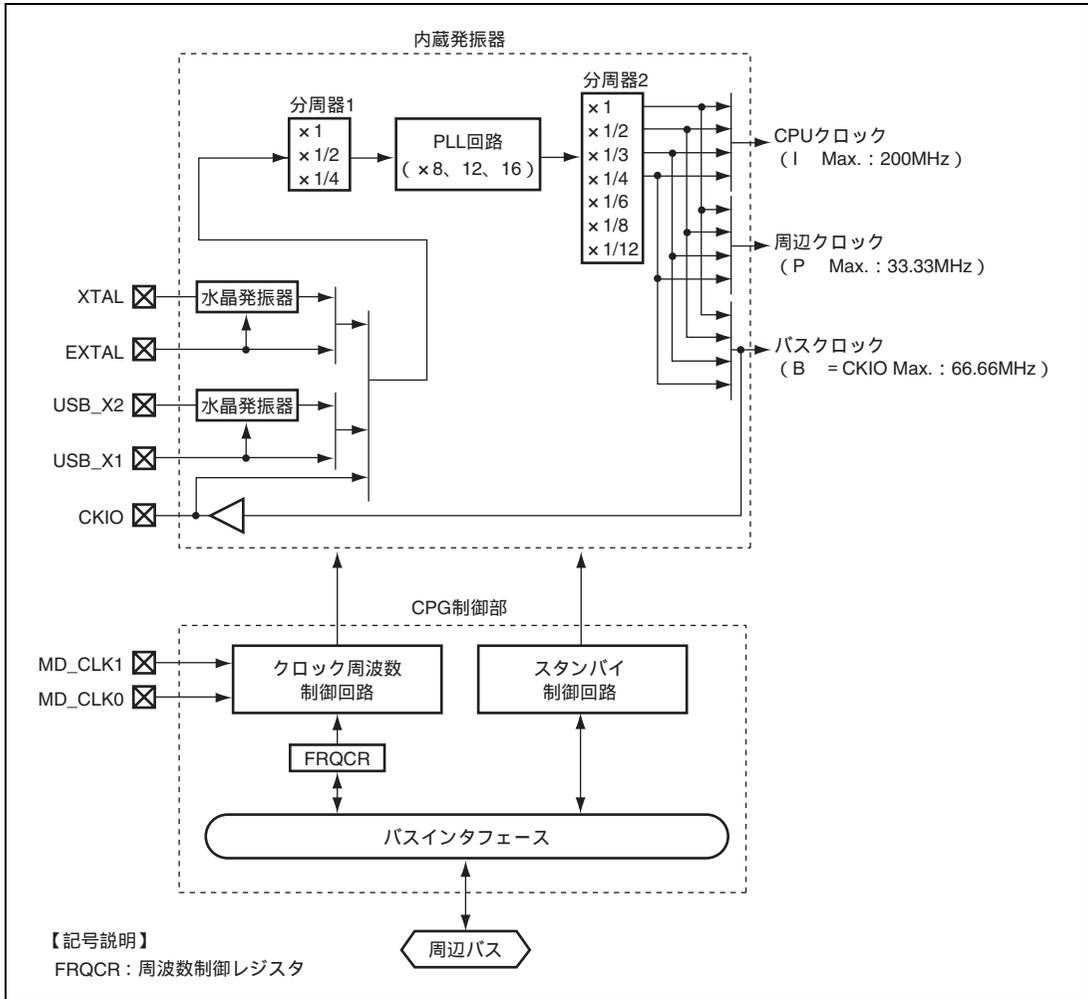


図 4.1 クロックパルス発振器のブロック図

クロックパルス発振器の各ブロックは、次のように機能します。

(1) 水晶発振器

水晶発振器は、XTAL、EXTAL 端子および USB\_X1、USB\_X2 端子に水晶発振子を接続する場合に使用されます。クロック動作モードの設定によりどちらかが選択されます。

(2) 分周器 1

分周器 1 は、水晶発振器の出力または外部クロック入力を分周する機能を持ちます。分周率は、クロック動作モードにより決まります。

(3) PLL 回路

PLL 回路は、分周器 1 の出力を逡倍する機能を持ちます。逡倍率は、周波数制御レジスタで設定します。

(4) 分周器 2

分周器 2 は、CPU クロック、周辺クロック、およびバスクロックで使用する動作周波数のクロックを生成する機能を持ちます。CPU クロックと周辺クロックの分周率は、周波数制御レジスタで設定します。バスクロックの分周率は、クロック動作モードおよび PLL 逡倍率により決まります。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD\_CLK0、MD\_CLK1 端子、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやソフトウェアスタンバイモードおよびディープスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

さらに、他のモジュールの低消費電力モードを制御するスタンバイコントロールレジスタがあります。スタンバイコントロールレジスタについては、「第 32 章 低消費電力モード」を参照してください。

(7) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、PLL 回路の周波数逡倍率、CPU クロック、および周辺クロック (P ) の周波数分周率の各制御ビットが割り当てられています。

## 4.2 入出力端子

クロックパルス発振器の端子構成と機能を表 4.1 に示します。

表 4.1 発振回路の端子構成と機能

名称	端子名	入出力	機能 (クロック動作モード 0、1)	機能 (クロック動作モード 2)	機能 (クロック動作モード 3)
モード 制御端子	MD_CLK0	入力	クロック動作モードを設定します。		
	MD_CLK1	入力	クロック動作モードを設定します。		
クリスタル 入出力端子 (クロック 入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない 場合は、端子を開放してく ださい)	端子を開放してください。	端子を開放してください。
	EXTAL	入力	水晶発振子を接続、または 外部クロック入力端子とし て使用します。	端子を固定 (プルアップ/ プルダウン / 電源接続 / グ ランド接続) してください。	端子を固定 (プルアップ/ プルダウン / 電源接続 / グ ランド接続) してください。
クロック 入出力端子	CKIO	入出力	クロック出力端子になりま す。	クロック入力端子になりま す。	クロック出力端子になりま す。
USB 用 クリスタル 入出力端子 (クロック 入力端子)	USB_X1	入力	USB 専用クロック入力とし て水晶発振子を接続、また は外部クロック入力端子と して使用します。USB を使 用しないときは、端子を固 定 (プルアップ / プルダウ ン / 電源接続 / グランド接 続) してください。	USB 専用クロック入力とし て水晶発振子を接続、また は外部クロック入力端子と して使用します。USB を使 用しないときは、端子を固 定 (プルアップ / プルダウ ン / 電源接続 / グランド接 続) してください。	USB 兼本 LSI のクロック入 力として水晶発振子を接 続、または外部クロック入 力端子として使用します。
	USB_X2	出力	USB 用水晶発振子を接続し ます。 (水晶発振子を使用しない 場合は、端子を開放してく ださい)	USB 用水晶発振子を接続し ます。 (水晶発振子を使用しない 場合は、端子を開放してく ださい)	USB 兼本 LSI 用水晶発振子 を接続します。 (水晶発振子を使用しない 場合は、端子を開放してく ださい)

### 4.3 クロック動作モード

モード制御端子 (MD\_CLK1、MD\_CLK0) の組み合わせとクロック動作モードの関係を表 4.2 に示します。クロック動作モードの使用可能周波数範囲を表 4.3 に示します。

表 4.2 クロック動作モード

モード	端子組み合わせ		クロック入出力		分周器 1	PLL 回路	CKIO の周波数
	MD_CLK1	MD_CLK0	供給源	出力			
0	0	0	EXTAL / 水晶発振器	CKIO	1	ON ( × 8、12、16 )	( EXTAL / 水晶 ) × 4
1	0	1	EXTAL / 水晶発振器	CKIO	1/2	ON ( × 8、12、16 )	( EXTAL / 水晶 ) × 2
2	1	0	CKIO	-	1/4	ON ( × 8、12、16 )	( CKIO )
3	1	1	USB_X1 / 水晶発振器	CKIO	1/4	ON ( × 8、12、16 )	( USB_X1 / 水晶 )

- モード0

モード0ではEXTAL端子または水晶発振器からクロックを入力します。PLL回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本LSIに供給します。EXTAL端子入力および水晶発振器ともに発振周波数が10MHzから16.67MHzまでのものを使用でき、CKIOの周波数レンジは40MHzから66.66MHzとなります。なお、消費電流削減のため、USBを使用しないときは、USB\_X1端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB\_X2端子は解放としてください。

- モード1

モード1ではEXTAL端子または水晶発振器からクロックを入力します。PLL回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本LSIに供給します。EXTAL端子入力および水晶発振器ともに発振周波数が20MHzから33.33MHzまでのものを使用でき、CKIOの周波数レンジは40MHzから66.66MHzとなります。なお、消費電流削減のため、USBを使用しないときは、USB\_X1端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB\_X2端子は解放としてください。

- モード2

モード2ではCKIO端子は入力になり、この端子に外部クロックを入力して、PLL回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本LSIに供給します。CKIOの周波数レンジは40MHzから66.66MHzとなります。なお、消費電流削減のため、モード2で使用する場合には、EXTAL端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、XTAL端子は開放としてください。さらに、USBを使用しないときは、USB\_X1端子を固定（プルアップ/プルダウン/電源接続/グランド接続）し、USB\_X2端子は解放としてください。

- モード3

モード3ではUSB\_X1端子または水晶発振器からのクロックを入力することができます。この端子の外部クロックを入力して、PLL回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本LSIに供給します。CKIOの周波数は、( USB\_X1 / 水晶 ) ( 48MHz ) となります。なお、消費電流削減のため、モード3で使用する場合には、EXTAL端子を固定(プルアップ/プルダウン/電源接続/グランド接続)し、XTAL

端子は開放としてください。また、USBクリスタルを使用しないときは、USB\_X2端子は解放としてください。

表 4.3 クロック動作モードと設定可能な周波数範囲

クロック動作モード	FRQCRレジスタ設定値 <sup>*1</sup>	PLL 通倍率 PLL 回路	内部 クロック比 (I : B : P) <sup>*2</sup>	設定可能な周波数範囲 (MHz)				
				入力クロック <sup>*3</sup>	出力クロック (CKIO 端子)	CPU クロック ( I )	バスクロック ( B )	周辺クロック ( P )
0	H'x003	ON ( × 8 )	8 : 4 : 2	10 ~ 16.67	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	20 ~ 33.33
	H'x004	ON ( × 8 )	8 : 4 : 4/3	10 ~ 16.67	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	13.33 ~ 22.22
	H'x005	ON ( × 8 )	8 : 4 : 1	10 ~ 16.67	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	10 ~ 16.67
	H'x006	ON ( × 8 )	8 : 4 : 2/3	10 ~ 16.67	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	6.67 ~ 11.11
	H'x104	ON ( × 12 )	12 : 4 : 2	10 ~ 16.67	40 ~ 66.66	120 ~ 200	40 ~ 66.66	20 ~ 33.33
	H'x106	ON ( × 12 )	12 : 4 : 1	10 ~ 16.67	40 ~ 66.66	120 ~ 200	40 ~ 66.66	10 ~ 16.67
	H'x205	ON ( × 16 )	16 : 4 : 2	10 ~ 12.5	40 ~ 50	160 ~ 200	40 ~ 50	20 ~ 25
	H'x206	ON ( × 16 )	16 : 4 : 4/3	10 ~ 12.5	40 ~ 50	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x215	ON ( × 16 )	8 : 4 : 2	10 ~ 12.5	40 ~ 50	80 ~ 100	40 ~ 50	20 ~ 25
H'x216	ON ( × 16 )	8 : 4 : 4/3	10 ~ 12.5	40 ~ 50	80 ~ 100	40 ~ 50	13.33 ~ 16.67	
1	H'x003	ON ( × 8 )	4 : 2 : 1	20 ~ 33.33	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	20 ~ 33.33
	H'x004	ON ( × 8 )	4 : 2 : 2/3	20 ~ 33.33	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	13.33 ~ 22.22
	H'x005	ON ( × 8 )	4 : 2 : 1/2	20 ~ 33.33	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	10 ~ 16.67
	H'x006	ON ( × 8 )	4 : 2 : 1/3	20 ~ 33.33	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	6.67 ~ 11.11
	H'x104	ON ( × 12 )	6 : 2 : 1	20 ~ 33.33	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33
	H'x106	ON ( × 12 )	6 : 2 : 1/2	20 ~ 33.33	40 ~ 66.66	120 ~ 200.0	40 ~ 66.66	10 ~ 16.67
	H'x205	ON ( × 16 )	8 : 2 : 1	20 ~ 25	40 ~ 50	160 ~ 200	40 ~ 50	20 ~ 25
	H'x206	ON ( × 16 )	8 : 2 : 2/3	20 ~ 25	40 ~ 50	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x215	ON ( × 16 )	4 : 2 : 1	20 ~ 25	40 ~ 50	80 ~ 100	40 ~ 50	20 ~ 25
H'x216	ON ( × 16 )	4 : 2 : 2/3	20 ~ 25	40 ~ 50	80 ~ 100	40 ~ 50	13.33 ~ 16.67	
2	H'x003	ON ( × 8 )	2 : 1 : 1/2	40 ~ 66.66	-	80 ~ 133.36	40 ~ 66.66	20 ~ 33.33
	H'x004	ON ( × 8 )	2 : 1 : 1/3	40 ~ 66.66	-	80 ~ 133.36	40 ~ 66.66	13.33 ~ 22.22
	H'x005	ON ( × 8 )	2 : 1 : 1/4	40 ~ 66.66	-	80 ~ 133.36	40 ~ 66.66	10 ~ 16.67
	H'x006	ON ( × 8 )	2 : 1 : 1/6	40 ~ 66.66	-	80 ~ 133.36	40 ~ 66.66	6.67 ~ 11.11
	H'x104	ON ( × 12 )	3 : 1 : 1/2	40 ~ 66.66	-	120 ~ 200.0	40 ~ 66.66	20 ~ 33.33
	H'x106	ON ( × 12 )	3 : 1 : 1/4	40 ~ 66.66	-	120 ~ 200.0	40 ~ 66.66	10 ~ 16.67
	H'x205	ON ( × 16 )	4 : 1 : 1/2	40 ~ 50	-	160 ~ 200	40 ~ 50	20 ~ 25
	H'x206	ON ( × 16 )	4 : 1 : 1/3	40 ~ 50	-	160 ~ 200	40 ~ 50	13.33 ~ 16.67
	H'x215	ON ( × 16 )	2 : 1 : 1/2	40 ~ 50	-	80 ~ 100	40 ~ 50	20 ~ 25
H'x216	ON ( × 16 )	2 : 1 : 1/3	40 ~ 50	-	80 ~ 100	40 ~ 50	13.33 ~ 16.67	

クロック 動作 モード	FRQCR レジスタ 設定値 *1	PLL 通倍率 PLL 回路	内部 クロック比 (I : B : P) *2	設定可能な周波数範囲 (MHz)				
				入力クロック *3	出力クロック (CKIO 端子)	CPU クロック ( I )	バスクロック ( B )	周辺クロック ( P )
3	H'x003	ON ( × 8 )	2 : 1 : 1/2	48	48	96	48	24
	H'x004	ON ( × 8 )	2 : 1 : 1/3	48	48	96	48	16
	H'x005	ON ( × 8 )	2 : 1 : 1/4	48	48	96	48	12
	H'x006	ON ( × 8 )	2 : 1 : 1/6	48	48	96	48	8
	H'x104	ON ( × 12 )	3 : 1 : 1/2	48	48	144	48	24
	H'x106	ON ( × 12 )	3 : 1 : 1/4	48	48	144	48	12
	H'x205	ON ( × 16 )	4 : 1 : 1/2	48	48	192	48	24
	H'x206	ON ( × 16 )	4 : 1 : 1/3	48	48	192	48	16
	H'x215	ON ( × 16 )	2 : 1 : 1/2	48	48	96	48	24
	H'x216	ON ( × 16 )	2 : 1 : 1/3	48	48	96	48	16

【注】 \*1 FRQCR レジスタ設定値の x は、ビット 12、13 の設定値によります。

\*2 入力クロック周波数を 1 としたときのクロック比です。

\*3 モード 0、1 のとき、EXTAL 端子からのクロック入力または水晶発振子の周波数です。

モード 2 のとき、CKIO 端子からのクロック入力周波数です。

モード 3 のとき、USB\_X1 端子からのクロック入力または水晶発振子の周波数です。

【注意事項】 表 4.3 以外の周波数設定で本 LSI を使用しないでください。

## 4.4 レジスタの説明

クロックパルス発振器には以下のレジスタがあります。

表 4.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'0003	H'FFFE0010	16

### 4.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、通常時、バス権解放時、ソフトウェアスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、PLL 回路の周波数逡倍率、CPU クロック、および周辺クロック (P ) の周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	CKO EN2	CKOEN[1:0]	-	-	STC[1:0]	-	-	-	IFC	-	PFC[2:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W :	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	CKOEN2	0	R/W	クロック出力イネーブル 2 CKOEN2 は、PLL 回路の周波数逡倍率変更時に CKIO 端子からクロックを出力するか、CKIO 端子をローレベル固定するかを指定します。 1 を設定した場合は、PLL 回路の周波数逡倍率変更時の間、CKIO 端子がローレベルに固定されます。これにより、PLL 回路の周波数逡倍率変更時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 2 のときは、このビットの値によらず CKIO 端子が入力になります。 0 : クロックを出力 1 : ローレベル出力

ビット	ビット名	初期値	R/W	説明
13, 12	CKOEN[1:0]	00	R/W	<p>クロック出力イネーブル</p> <p>CKOEN[1:0]は、通常時、バス権解放時、スタンバイモード時、およびスタンバイ解除時に CKIO 端子からクロックを出力するか、CKIO 端子をレベル固定するか、ハイインピーダンス状態 (Hi-Z) にするかを指定します。</p> <p>01 を設定した場合は、スタンバイモード時およびスタンバイ解除時の間、CKIO 端子がローレベルに固定されます。これにより、スタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 2 のときは、このビットの値によらず CKIO 端子が入力になります。ディープスタンバイモード時は、通常時の状態が保持されます。</p> <p>表 4.5 に CKOEN[1:0]ビットの設定内容を示します。</p>
11, 10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9, 8	STC[1:0]	00	R/W	<p>PLL 回路の周波数逡倍率</p> <p>00 : × 8 倍</p> <p>01 : × 12 倍</p> <p>10 : × 16 倍</p> <p>11 : 予約 (設定禁止)</p>
7~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	IFC	0	R/W	<p>CPU クロック周波数の分周率</p> <p>PLL 回路の出力周波数に対しての CPU クロック周波数の分周率を指定します。</p> <p>0 : × 1 倍</p> <p>1 : × 1/2 倍</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	PFC[2:0]	011	R/W	<p>周辺クロック周波数の分周率</p> <p>PLL 回路の出力周波数に対しての周辺クロック周波数の分周率を指定します。</p> <p>000 : 予約 (設定禁止)</p> <p>001 : 予約 (設定禁止)</p> <p>010 : 予約 (設定禁止)</p> <p>011 : × 1/4 倍</p> <p>100 : × 1/6 倍</p> <p>101 : × 1/8 倍</p> <p>110 : × 1/12 倍</p>

表 4.5 CKOEN[1:0]ビットの設定内容

設定値	通常時	バス権解放時	ソフトウェアスタンバイモード時	ディープスタンバイモード時
00	出力	出力オフ (Hi-Z)	出力オフ (Hi-Z)	ローレベル出力またはハイレベル出力
01	出力	出力	ローレベル出力	ローレベル出力またはハイレベル出力
10	出力	出力	出力 (不安定なクロック出力)	ローレベル出力またはハイレベル出力
11	出力オフ (Hi-Z)	出力オフ (Hi-Z)	出力オフ (Hi-Z)	出力オフ (Hi-Z)

## 4.5 周波数変更方法

CPU クロック (I ) および周辺クロック (P ) の周波数を変更するには、PLL 回路の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

### 4.5.1 通倍率の変更

PLL 回路の通倍率を変更する場合は、発振安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。発振安定時間は、ソフトウェアスタンバイモード解除時と同じになります。

1. 初期状態では、PLL回路の通倍率は8になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。

WTCSR.TME = 0 : WDTの停止

WTCSR.CKS[2:0] : WDTカウントクロックの分周率

WTCNT : カウンタの初期値

( WDTのカウントアップは、設定後のクロックでカウントアップされます。 )

3. STC[1:0]を目的とする値に設定します。同時にIFC、PFC[2:0]に分周率を設定することも可能です。
4. 本LSI内部は、一時的に停止し、WDTのカウントアップを開始します。WDTにのみクロックが供給され、それ以外の内部クロックが停止します。また、CKIO端子にはクロックが出力され続けます。  
本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われず。詳細は「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。
5. WDTのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

### 4.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合は、WDT によるカウントは行いません。

1. 初期状態では、IFC = B'0、PFC[2:0] = B'011になっています。
2. IFC、PFC[2:0]ビットを目的とする値に設定します。クロックモードやPLL回路の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタの各ビット (IFC、PFC[2:0]) が設定されると、設定されたクロックに切り替わります。

- 【注】
1. 周波数変更後 SLEEP 命令を実行する場合、周波数制御レジスタ (FRQCR) を 3 回リードしてから SLEEP 命令を実行してください。
  2. PLL 回路で通倍率変更時およびソフトウェアスタンバイモード解除後の発振安定時間の間、クロックモード 0、1、3 では、不安定な CKIO が出力されます。これによる誤動作を防ぐためには FRQCR レジスタのビット 14、13、12 を変更してください。

## 4.6 クロック端子の使用法

本 LSI には、水晶発振子を接続またはクロック入力可能な端子として、表 4.6 に示す端子があります。

これらの端子に関して、以下のことに注意してください。なお、本文中の X<sub>in</sub> 端子と X<sub>out</sub> 端子は表 4.6 の端子を示します。

表 4.6 クロック端子

X <sub>in</sub> 端子 (水晶発振子を接続または外部クロック入力端子として使用する)	X <sub>out</sub> 端子 (水晶発振子を接続する)
EXTAL	XTAL
USB_X1	USB_X2
AUDIO_X1	AUDIO_X2
RTC_X1	RTC_X2

### 4.6.1 外部クロック入力時

外部クロック入力の接続例を図 4.2 に示します。X<sub>out</sub> 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

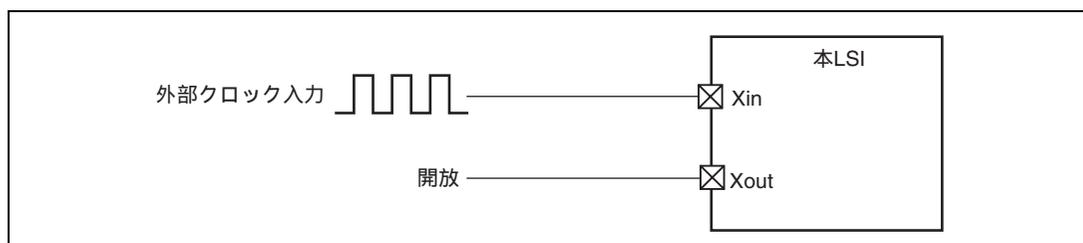


図 4.2 外部クロックの接続例

### 4.6.2 水晶発振子使用時

水晶発振子の接続例を図 4.3 に示します。

水晶発振子と容量 CL1、CL2 は、できるだけ X<sub>in</sub> 端子と X<sub>out</sub> 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する水晶発振子の接続例を参考に、ユーザ側での十分な評価を実施して使用してください。水晶発振子の回路定格は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカーと十分ご相談の上決定してください。クロック端子に印加される電圧が最大定格を超えないようにしてください。帰還抵抗を内蔵しておりますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。ユーザ側で十分な評価を実施して、パラメータ（抵抗、容量値）を設定してください。

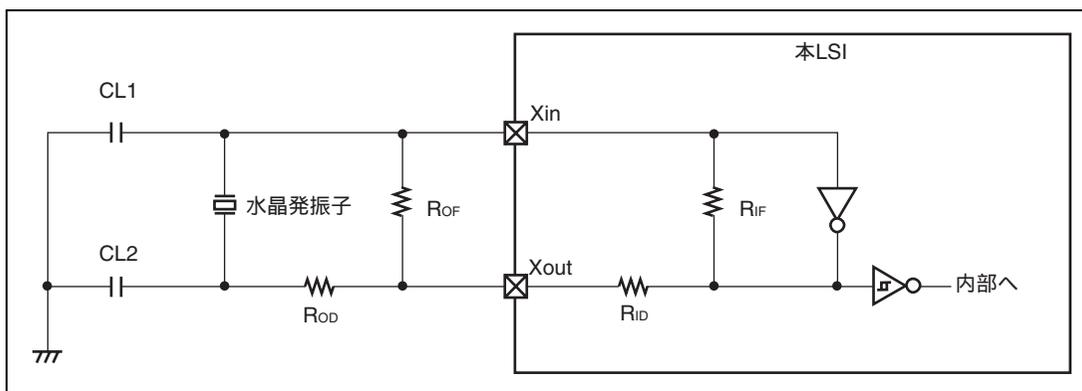


図 4.3 水晶発振子の接続例

### 4.6.3 未使用時

未使用時は、X<sub>in</sub> 端子は固定（プルアップ / プルダウン / 電源接続 / グランド接続）、X<sub>out</sub> 端子は開放にしてください。

## 4.7 発振安定時間

### 4.7.1 内蔵水晶発振器の発振安定時間

内蔵水晶発振器の発振安定時間確保のため、水晶発振器使用時は以下の場合には発振安定時間以上待つようにしてください (外部クロック入力時は必要ありません)。

- 電源投入時
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子で解除するとき
- パワーオンリセットまたはレジスタ設定により、発振停止から発振動作へ変化するとき (AUDIO\_X1、RTC\_X1)

### 4.7.2 PLL 回路の発振安定時間

クロックモード 0、1 では EXTAL からの入力が、クロックモード 2 では CKIO からの入力が、クロックモード 3 では USB\_X1 からの入力が、PLL に供給されます。このため、EXTAL (クロックモード 0、1) または USB\_X1 (クロックモード 3) に水晶発振器を使用するか外部クロック入力するかにかかわらず、PLL 回路の発振安定時間確保のため、以下の場合には発振安定時間以上待つようにしてください。

- 電源投入時 (水晶発振器使用時) / 外部クロック入力開始時 (外部クロック入力時)
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子で解除するとき
- $\overline{\text{RES}}$ 端子によるパワーオンリセットでPLL通倍率が変化するとき

#### 【備考】

以下の場合には本 LSI 内部のカウンタが動作することで発振安定時間が確保されます。

- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子以外で解除するとき

## 4.8 ボード設計上の注意事項

### 4.8.1 PLL 発振回路使用時の注意

PLL 用 PLLVcc と PLLVss の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一ソースを供給しないでください。

PLLVcc は Vcc と同電位にしてください。

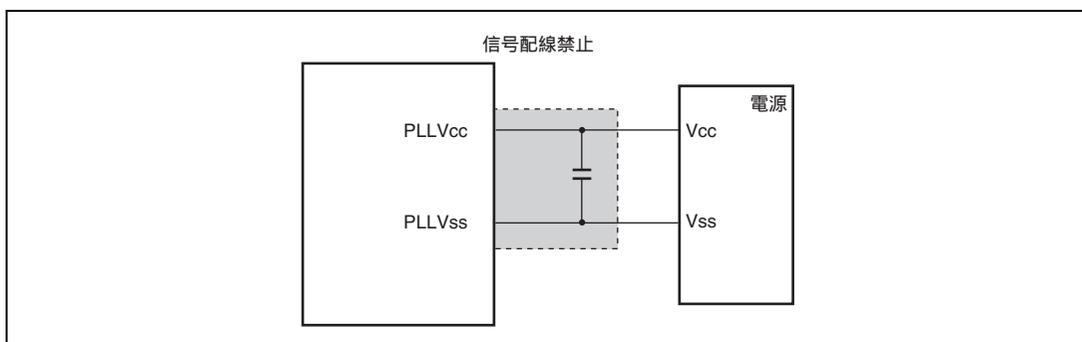


図 4.4 PLL 発振回路使用時の注意

## 4.9 使用上の注意事項

本 LSI をクロックモード 0、1、3 で使用する場合、RES 端子をネゲート後、CKIO の出力が 1 サイクル乱れたクロックが出力されます。



## 5. 例外処理

### 5.1 概要

#### 5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

種類	例外処理	優先順位	
リセット	パワーオンリセット		
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
命令	FPU 例外		
	整数除算例外 (0 除算)		
	整数除算例外 (オーバフロー)		
レジスタバンクエラー	バンクアンダフロー		
	バンクオーバフロー		
割り込み	NMI		
	ユーザブレイク		
	H-UDI		
	IRQ		
	PINT		
	内蔵周辺 モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			USB2.0 ホスト/ファンクションモジュール (USB)
		LCD コントローラ (LCDC)	
		コンペアマッチタイマ (CMT)	
		バスステートコントローラ (BSC)	
		ウォッチドッグタイマ (WDT)	
		マルチファンクションタイマパルスユニット 2 (MTU2)	
		A/D 変換器 (ADC)	
		I <sup>2</sup> C バスインタフェース 3 (IIC3)	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	低		

種類	例外処理		優先順位
割り込み	内蔵周辺 モジュール	シンクロナスシリアルコミュニケーションユニット (SSU)	高 ↑        ↓ 低
		シリアルサウンドインタフェース (SSI)	
		CD-ROM デコーダ (ROM-DEC)	
		AND/NAND フラッシュメモリコントローラ (FLCTL)	
		SD ホストインタフェース (SDHI)	
		リアルタイムクロック (RTC)	
		コントローラエリアネットワーク (RCAN-TL1)	
		サンプリングレートコンバータ (SRC)	
		IEBus™ コントローラ (IEB)	
		命令	
一般不当命令 (未定義コード)			
スロット不当命令 (遅延分岐命令*1 直後に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令*2、32 ビット命令*3、RESBANK 命令、DIVS 命令または DIVU 命令)			

【注】 \*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAF

\*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAf、JSR/N、RTV/N

\*3 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

## 5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、H-UDI リセットアサートコマンドをセットした後に H-UDI リセットネゲートコマンドのセット、または WDT のオーバフローで開始されます。
	マニュアルリセット	MRES 端子のローレベルからハイレベルへの変化、または WDT のオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとするを開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後 (遅延スロット) 以外にある未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む) がデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後 (遅延スロット) に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算例外	ゼロによる除算例外、または負の最大値 (H'80000000) を -1 で除算することによるオーバフロー例外が検出されると開始されます。
	FPU 例外	浮動小数点演算命令の無効演算例外 (IEEE754 規定)、ゼロによる除算例外、オーバフロー、アンダフロー、または不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN または ± を浮動小数点演算命令のソースに入力すると開始されます。

例外処理が起動されると、CPU は次のように動作します。

#### (1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を H'00000000 に、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ (INTC) の IBNR の BN ビットを 0 に初期化します。さらにパワーオンリセット時には、FPSCR を H'00040001 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

#### (2) アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットを、レジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット = 0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されている場合には、レジスタバンクオーバーフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3~I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

### 5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
FPU 例外		13	H'00000034 ~ H'00000037
H-UDI		14	H'00000038 ~ H'0000003B
バンクオーバフロー		15	H'0000003C ~ H'0000003F
バンクアンダフロー		16	H'00000040 ~ H'00000043
整数除算例外 (0 除算)		17	H'00000044 ~ H'00000047
整数除算例外 (オーバフロー)		18	H'00000048 ~ H'0000004B
(システム予約)		19	H'0000004C ~ H'0000004F
		:	:
		31	H'0000007C ~ H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令 (ユーザベクタ)	32	H'00000080 ~ H'00000083
	:	:
	63	H'000000FC ~ H'000000FF
外部割り込み (IRQ、PINT)、内蔵周辺モジュール*	64	H'00000100 ~ H'00000103
	:	:
	511	H'000007FC ~ H'000007FF

【注】 \* 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第6章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、レジスタバンクエラー、割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 【注】 1. ベクタテーブルアドレスオフセット：表 5.3 を参照  
2. ベクタ番号：表 5.3 を参照

## 5.2 リセット

### 5.2.1 入出力端子

リセット関連の端子構成を表 5.5 に示します。

表 5.5 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
マニュアルリセット	MRES	入力	端子にローレベルを入力することにより、マニュアルリセット処理へ遷移します。

### 5.2.2 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.6 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。FPU 状態はパワーオンリセットでは初期化され、マニュアルリセットでは初期化されません。また、内蔵周辺モジュールのレジスタは一部のレジスタを除き、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 5.6 リセット状態

種類	リセット状態への遷移条件				内部状態			
	RES	H-UDI コマンド	MRES	WDT オーバフロー	CPU	CPU 以外の モジュール	高速内蔵 RAM	保持用内 蔵 RAM
パワーオン リセット	ロー	-	-	-	初期化	初期化	初期化 or 保持 <sup>*2</sup>	初期化
	ハイ	H-UDI リセットアサート コマンドをセット	-	-	初期化	初期化	初期化 or 保持 <sup>*2</sup>	初期化
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	-	パワーオン	初期化	<sup>*1</sup>	初期化 or 保持 <sup>*2</sup>	初期化
マニュアル リセット	ハイ	H-UDI リセットアサート 以外のコマンドをセット	ロー	-	初期化	<sup>*1</sup>	保持	保持
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	ハイ	マニュアル	初期化	<sup>*1</sup>	保持	保持

【注】 \*1 「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

\*2 RAME ビットまたは RAMWE ビットを無効にすることにより、データを保持し続けます。

### 5.2.3 パワーオンリセット

#### (1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$  端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合は発振安定時間の間、クロックが動作している場合は最低 20 t<sub>cy</sub>の間  $\overline{\text{RES}}$  端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$  端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。さらに、FPSCR を H'00040001 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

#### (2) H-UDI リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になります。H-UDI リセットアサートコマンドは、 $\overline{\text{RES}}$  端子によるパワーオンリセットと同等です。H-UDI リセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために  $\overline{\text{RES}}$  端子をローレベルに保つ時間と同じです。H-UDI リセットアサートコマンドによるパワーオンリセット状態で、H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$  端子によるパワーオンリセットのときと同様です。

#### (3) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WRCSR、CPG の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$  端子、H-UDI リセットアサートコマンドによるリセットと WDT のオーバフローによるリセットが同時に発生したときは  $\overline{\text{RES}}$  端子、H-UDI リセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$  端子によるパワーオンリセットのときと同様です。

## 5.2.4 マニュアルリセット

### (1) $\overline{\text{MRES}}$ 端子によるマニュアルリセット

$\overline{\text{MRES}}$  端子をローレベルにすると、本 LSI はマニュアルリセット状態になります。本 LSI を確実にリセットするために最低 20 tcy の間  $\overline{\text{MRES}}$  端子をローレベルに保持してください。マニュアルリセット状態では、CPU の内部状態が初期化され、内蔵周辺モジュールのレジスタは初期化されません。マニュアルリセット状態で、 $\overline{\text{MRES}}$  端子を一定期間ローレベルに保持した後ハイレベルにすると、マニュアルリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を H'F (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

### (2) WDT によるマニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の WTCNT がオーバーフローすると、マニュアルリセット状態になります。

WDT によりマニュアルリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{MRES}}$  端子によるマニュアルリセットのときと同様です。

### (3) マニュアルリセット時の注意事項

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中や DMAC パースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。マニュアルリセットでは CPU および INTC の IBNR の BN ビットを初期化します。FPU やその他のモジュールは初期化されません。

## 5.3 アドレスエラー

### 5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.7 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.7 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし (正常)
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000 ~ H'F5FFFFFFF 以外から命令をフェッチ	なし (正常)
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000 ~ H'F5FFFFFFF から命令をフェッチ	アドレスエラー発生
データ読み出し / 書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし (正常)
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし (正常)
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ダブルロングワードデータをダブルロングワード境界からアクセス	なし (正常)
		ダブルロングワードデータをダブルロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	なし (正常)

【注】 \* 内蔵周辺モジュール空間および内蔵 RAM 空間については、「第 9 章 バススタートコントローラ (BSC)」を参照してください。

### 5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し\*、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

【注】 \* データ読み出し / 書き込みによるアドレスエラー時。命令フェッチによるアドレスエラーは、上記動作終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。

## 5.4 レジスタバンクエラー

### 5.4.1 レジスタバンクエラー発生要因

#### (1) バンクオーバーフロー

割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット = 1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

#### (2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

### 5.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、バンクオーバーフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。  
バンクオーバーフロー時は多重割り込みを防止するために、バンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に書き込みます。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

## 5.5 割り込み

### 5.5.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.8 に示すように NMI、ユーザブレイク、H-UDI、IRQ、PINT、内蔵周辺モジュールがあります。

表 5.8 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
H-UDI	ユーザデバッグインタフェース (H-UDI)	1
IRQ	IRQ0 ~ IRQ7 端子 (外部からの入力)	8
PINT	PINT0 ~ PINT7 端子 (外部からの入力)	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ (DMAC)	16
	USB2.0 ホスト / ファンクションモジュール (USB)	1
	LCD コントローラ (LCDC)	1
	コンペアマッチタイマ (CMT)	2
	バスステートコントローラ (BSC)	1
	ウォッチドッグタイマ (WDT)	1
	マルチファンクションタイムバルスユニット 2 (MTU2)	25
	A/D 変換器 (ADC)	1
	°C バスインタフェース 3 (IIC3)	20
	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16
	シンクロナスシリアルコミュニケーションユニット (SSU)	6
	シリアルサウンドインタフェース (SSI)	4
	CD-ROM デコーダ (ROM-DEC)	5
	AND/NAND フラッシュメモリコントローラ (FLCTL)	4
	SD ホストインタフェース (SDHI)	3
	リアルタイムクロック (RTC)	3
	コントローラエリアネットワーク (RCAN-TL1)	10
サンプリングレートコンバータ (SRC)	3	
IEBus™ コントローラ (IEB)	1	

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

### 5.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブ레이크割り込み、およびH-UDIの優先レベルは15です。IRQ割り込み、PINT割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCの割り込み優先レベル設定レジスタ01、02、05～17（IPR01、IPR02、IPR05～IPR17）で自由に設定することができます（表5.9）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPR01、IPR02、IPR05～IPR17については「6.3.1 割り込み優先レベル設定レジスタ01、02、05～17（IPR01、IPR02、IPR05～IPR17）」を参照してください。

表 5.9 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブ레이크	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ01、02、05～17（IPR01、IPR02、IPR05～IPR17）により設定
PINT		
内蔵周辺モジュール		

### 5.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、ユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバーフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット=0) されている必要があります。レジスタバンクオーバーフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されている場合には、レジスタバンクオーバーフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「6.6 動作説明」を参照してください。

## 5.6 命令による例外

### 5.6.1 命令による例外の種類

例外処理を起動する命令には、表 5.10 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、FPU 例外があります。

表 5.10 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (-1)	DIVS
FPU 例外	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフロー、および不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

### 5.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA 命令で指定したベクタ番号に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

### 5.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。さらに、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延スロットに配置された場合、この命令がデコードされるとスロット不当命令例外処理が開始されます。

スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、未定義コード、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

### 5.6.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）をデコードすると、一般不当命令例外処理が開始されます。また、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延分岐命令の直後（遅延スロット）以外に配置された場合、この命令がデコードされると一般不当命令例外処理が開始されます。

一般不当命令例外処理時、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

### 5.6.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバーフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバーフロー例外の要因となる命令は DIVS のみで、負の最大値を -1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算例外に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、例外が発生した整数除算命令の先頭アドレスです。

4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

### 5.6.6 FPU 例外

浮動小数点ステータス/コントロールレジスタ(FPSCR)のFPU例外イネーブルフィールド(Enable)中のV、Z、O、U、またはIビットがセットされているとき、FPU例外処理が発生します。これは浮動小数点演算命令がIEEE754規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー(可能性のある命令)、アンダフロー(可能性のある命令)、および不正確例外(可能性のある命令)を引き起こしたことを示します。

FPU例外処理の発生要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当するFPU例外イネーブルビット(Enable)がセットされているときのみ、FPU例外処理が発生します。FPUが浮動小数点演算による例外要因を検出すると、FPUの動作は中断されてCPUにFPU例外処理の発生を通知します。CPUは例外処理を開始すると次のように動作します。

1. 発生したFPU例外処理に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ(SR)をスタックに退避します。
3. プログラムカウンタ(PC)をスタックに退避します。退避するPCの値は最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCRのFPU例外フラグフィールド(Flag)は、FPU例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCRのFPU例外要因フィールド(Cause)は浮動小数点演算命令が実行されるごとに変化します。

また、FPSCRのFPU例外イネーブルフィールド(Enable)中のVビットがセットされ、かつFPSCRのQISビットがセットされているとき、qNaNまたは± を浮動小数点演算命令のソースに入力するとFPU例外処理が発生します。

## 5.7 例外処理が受け付けられない場合

アドレスエラー、FPU 例外、レジスタバンクエラー（オーバフロー）および割り込みは、表 5.11 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.11 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因			
	アドレスエラー	FPU 例外	レジスタバンクエラー (オーバフロー)	割り込み
遅延分岐命令*の直後	×	×	×	×

【記号説明】 × : 受け付けられない

【注】 \* 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAf

## 5.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.12 に示すようになります。

表 5.12 例外処理終了後のスタックの状態

種類	スタックの状態		種類	スタックの状態													
アドレス エラー	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			割り込み	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
レジスタ バンク エラー (オーバ フロー)	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			レジスタ バンク エラー (アンダ フロー)	SP →	<table border="1"> <tr><td>当該RESBANK 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該RESBANK 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
当該RESBANK 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																
トラップ 命令	SP →	<table border="1"> <tr><td>TRAPA命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	TRAPA命令の 次命令アドレス	(32ビット)	SR	(32ビット)			スロット 不当命令	SP →	<table border="1"> <tr><td>遅延分岐命令の 飛び先アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	遅延分岐命令の 飛び先アドレス	(32ビット)	SR	(32ビット)		
TRAPA命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
遅延分岐命令の 飛び先アドレス	(32ビット)																
SR	(32ビット)																
一般不当 命令	SP →	<table border="1"> <tr><td>一般不当命令の 先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	一般不当命令の 先頭アドレス	(32ビット)	SR	(32ビット)			整数除算 例外	SP →	<table border="1"> <tr><td>当該整数除算 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該整数除算 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
一般不当命令の 先頭アドレス	(32ビット)																
SR	(32ビット)																
当該整数除算 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																
FPU 例外	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)											
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																

## 5.9 使用上の注意事項

### 5.9.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

### 5.9.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

### 5.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けられないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ - 4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

### 5.9.4 割り込みマスクビット変更による割り込み制御

LDC、LDC.L 命令でステータスレジスタ (SR) の割り込みマスクビット (I3~I0) の値を操作して、割り込みを禁止から許可に変更する場合、割り込みを許可する命令に続く 5 命令を実行する間は割り込みを受け付けられない場合があります。

したがって、LDC、LDC.L 命令でステータスレジスタ (SR) の割り込みマスクビット (I3~I0) の値を操作して、割り込みの許可 / 禁止を制御する場合は、割り込みを許可する命令と割り込みを禁止する命令の間に 5 命令以上配置してください。

### 5.9.5 例外処理実行前の注意事項

例外処理実行前には、あらかじめ例外処理ベクタテーブルをメモリ上に格納し、CPU がそのメモリをアクセス可能にしておく必要があります。そのため、

- 例1：例外処理ベクタテーブルが外部アドレス空間に格納されているが、その外部アドレス空間をアクセスするためのバスステートコントローラや汎用入出力ポートの設定が完了していない状態
- 例2：例外処理ベクタテーブルが内蔵RAMに格納されているが、ベクタベースレジスタ (VBR) が内蔵RAMのアドレスに設定変更されていない状態

などの状態で例外処理が発生すると、CPU はプログラムの実行開始アドレスとして意図しない値を取り出し、意図しないアドレスからプログラム実行を開始することになります。

---

## 6. 割り込みコントローラ (INTC)

---

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

### 6.1 特長

- 割り込み優先順位を16レベル設定可能  
15本の割り込み優先レベル設定レジスタにより、IRQ割り込み、PINT割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。
- NMIノイズキャンセラ機能  
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サーブスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- 割り込みが発生したことを外部へ出力可能 (IRQOUT端子)  
たとえば、本LSIがバス権を解放しているときに、内蔵周辺モジュール割り込みが発生したことを外部バスマスタに知らせ、バス権を要求することができます。
- レジスタバンク  
本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

図 6.1 に INTC のブロック図を示します。

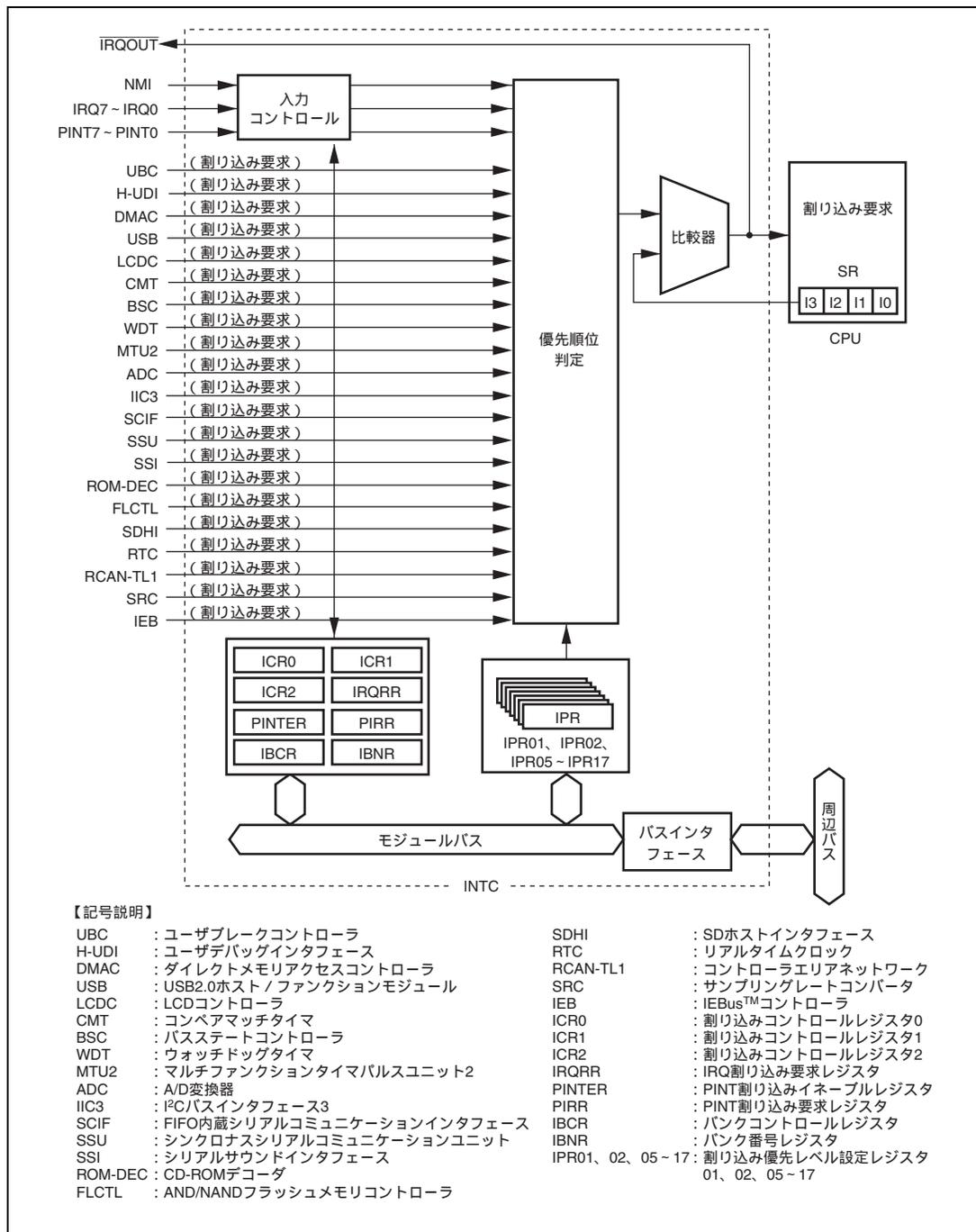


図 6.1 INTC のブロック図

## 6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7 ~ IRQ0	入力	マスク可能な割り込み要求信号を入力
	PINT7 ~ PINT0	入力	
割り込み要求出力端子	$\overline{\text{IRQOUT}}$	出力	割り込み要因の発生を知らせる信号を出力

### 6.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16、32
割り込みコントロールレジスタ 2	ICR2	R/W	H'0000	H'FFFE0804	16、32
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H'0000	H'FFFE0806	16、32
PINT 割り込みイネーブルレジスタ	PINTER	R/W	H'0000	H'FFFE0808	16、32
PINT 割り込み要求レジスタ	PIRR	R	H'0000	H'FFFE080A	16、32
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16、32
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16、32
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H'0000	H'FFFE0820	16、32
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFE0C02	16、32
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C06	16、32
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C0A	16、32
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C0E	16、32
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C12	16、32
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFE0C14	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H'0000	H'FFFE0C16	16、32

【注】 \*1 NMI 端子がハイレベルのとき：H'8000、ローレベルのとき：H'0000 です。

\*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

### 6.3.1 割り込み優先レベル設定レジスタ 01、02、05～17 (IPR01、IPR02、IPR05～IPR17)

IPR01、IPR02、IPR05～IPR17 は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位 (レベル 0～15) を設定します。割り込み要求元と IPR01、IPR02、IPR05～IPR17 の各ビットの対応を表 6.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

表 6.3 割り込み要求元と IPR01、IPR02、IPR05～IPR17

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 05	PINT7～PINT0	予約	予約	予約
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 07	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 08	USB	LCDC	CMT0	CMT1
割り込み優先レベル設定レジスタ 09	BSC	WDT	MTU0 (TGI0A～TGI0D)	MTU0 (TCI0V、TGI0E、 TGI0F)
割り込み優先レベル設定レジスタ 10	MTU1 (TGI1A、TGI1B)	MTU1 (TCI1V、TCI1U)	MTU2 (TGI2A、TGI2B)	MTU2 (TCI2V、TCI2U)
割り込み優先レベル設定レジスタ 11	MTU3 (TGI3A～TGI3D)	MTU3 (TCI3V)	MTU4 (TGI4A～TGI4D)	MTU4 (TCI4V)
割り込み優先レベル設定レジスタ 12	ADC	IIC3-0	IIC3-1	IIC3-2
割り込み優先レベル設定レジスタ 13	IIC3-3	SCIF0	SCIF1	SCIF2
割り込み優先レベル設定レジスタ 14	SCIF3	SSU0	SSU1	SSI0
割り込み優先レベル設定レジスタ 15	SSI1	SSI2	SSI3	ROM-DEC
割り込み優先レベル設定レジスタ 16	FLCTL	SDHI	RTC	RCAN0
割り込み優先レベル設定レジスタ 17	RCAN1	SRC	IEB	予約

表 6.3 に示すように、ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。

### 6.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】\* NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0: NMI 端子にローレベルが入力されている。 1: NMI 端子にハイレベルが入力されている。
14~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0: NMI 入力の立ち下がりエッジで割り込み要求を検出。 1: NMI 入力の立ち上がりエッジで割り込み要求を検出。
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 6.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7 ~ IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7 ~ IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : 割り込み要求を IRQn 入力のローレベルで検出する。 01 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11 : 割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n = 7 ~ 0

### 6.3.4 割り込みコントロールレジスタ 2 (ICR2)

ICR2 は、外部割り込み入力端子 PINT7～PINT0 に対してローレベル、ハイレベルの検出モードを個別に指定する 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15～8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7S	0	R/W	PINT センスセレクト PINT7～PINT0 端子に対する割り込み信号をローレベル、ハイレベルのいずれかで検出するかを選択します。 0：割り込み要求を PINTn 入力のローレベルで検出する。 1：割り込み要求を PINTn 入力のハイレベルで検出する。
6	PINT6S	0	R/W	
5	PINT5S	0	R/W	
4	PINT4S	0	R/W	
3	PINT3S	0	R/W	
2	PINT2S	0	R/W	
1	PINT1S	0	R/W	
0	PINT0S	0	R/W	

【記号説明】 n = 7～0

### 6.3.5 IRQ 割り込み要求レジスタ (IRQRR)

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求を示します。IRQ7 ~ IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F ~ IRQ0F = 1 をリード後、IRQ7F ~ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*							

【注】\* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	IRQ7F	0	R/(W)*	IRQ 割り込み要求 IRQ7 ~ IRQ0 割り込み要求のステータスを表示します。  レベル検出時 0 : IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1 : IRQn 割り込み要求が存在します。  [セット条件] • IRQn 入力がローレベルのとき  エッジ検出時 0 : IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に0をライトしたとき • IRQn 割り込み例外処理を実行したとき 1 : IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】 n = 7 ~ 0

### 6.3.6 PINT 割り込みイネーブルレジスタ (PINTER)

PINTER は、外部割り込み入力端子 PINT7～PINT0 に対する割り込み要求入力を許可する 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15～8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7E	0	R/W	PINT イネーブルビット PINT7～PINT0 端子に対する割り込み要求入力を許可するかどうか選択します。 0 : PINTn 入力割り込み要求をディスエーブルにする。 1 : PINTn 入力割り込み要求をイネーブルにする。
6	PINT6E	0	R/W	
5	PINT5E	0	R/W	
4	PINT4E	0	R/W	
3	PINT3E	0	R/W	
2	PINT2E	0	R/W	
1	PINT1E	0	R/W	
0	PINT0E	0	R/W	

【記号説明】 n = 7～0

### 6.3.7 PINT 割り込み要求レジスタ (PIRR)

PIRR は、16 ビットのレジスタで、外部割り込み PINT7 ~ PINT0 の割り込み要求を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PINT7R	0	R	PINT 割り込み要求 PINT7 ~ PINT0 割り込み要求を示します。 0 : PINTn 端子に割り込みなし。 1 : PINTn 端子に割り込みあり。
6	PINT6R	0	R	
5	PINT5R	0	R	
4	PINT4R	0	R	
3	PINT3R	0	R	
2	PINT2R	0	R	
1	PINT1R	0	R	
0	PINT0R	0	R	

【記号説明】 n = 7 ~ 0

## 6.3.8 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可 / 禁止を設定することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R														

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15 ~ 1 に対してレジスタバンク使用の許可 / 禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0: レジスタバンクの使用を禁止します。 1: レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 6.3.9 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可 / 禁止、およびレジスタバンクオーバーフロー例外の許可 / 禁止を設定します。また、BN3 ~ BN0 により次に退避されるバンク番号を示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可 / 禁止を設定します。 00 : すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01 : NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10 : 予約 (設定禁止) 11 : レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバーフローイネーブル レジスタバンクオーバーフロー例外の許可 / 禁止を設定します。 0 : レジスタバンクオーバーフロー例外の発生を禁止します。 1 : レジスタバンクオーバーフロー例外の発生を許可します。
12 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 ~ 0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3 ~ BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

## 6.4 割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、PINT、内蔵周辺モジュールの6つに分類されます。各割り込みの優先順位は割り込み優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

### 6.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ0(ICR0)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ(SR)の割り込みマスクレベルビット(I3~I0)は15に設定されます。

### 6.4.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ(UBC)で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み例外処理によって、SRのI3~I0ビットは15に設定されます。ユーザブレイクについては、「第7章 ユーザブレイクコントローラ(UBC)」を参照してください。

### 6.4.3 H-UDI 割り込み

ユーザデバッグインタフェース(H-UDI)割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI 割り込み例外処理により、SRのI3~I0ビットは15に設定されます。H-UDI 割り込みについては、「第33章 ユーザデバッグインタフェース(H-UDI)」を参照してください。

### 6.4.4 IRQ 割り込み

IRQ 割り込みはIRQ7~IRQ0端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ1(ICR1)のIRQセンスセレクトビット(IRQ7IS~IRQ0IS、IRQ70S~IRQ00S)の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ01、02(IPR01、IPR02)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7~IRQ0端子がローレベルの期間、INTCに割り込み要求信号が送られます。IRQ7~IRQ0端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQ 割り込み要求レジスタ(IRQRR)のIRQ 割り込み要求ビット(IRQ7F~IRQ0F)をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7~IRQ0端子の変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRRのIRQ7F~IRQ0FビットをリードすることによりIRQ 割り込み要求が検出されている

かどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ (IRQRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

### 6.4.5 PINT 割り込み

PINT 割り込みは、PINT7 ~ PINT0 端子からの入力による割り込みです。PINT 割り込みイネーブルレジスタ (PINTER) の PINT イネーブルビット (PINT7E ~ PINT0E) により、割り込み要求入力を許可されます。PINT7 ~ PINT0 は、割り込みコントロールレジスタ 2 (ICR2) の PINT センスセレクトビット (PINT7S ~ PINT0S) の設定によって、端子ごとにローレベル、ハイレベル検出を選択できます。優先レベルは、割り込み優先レベル設定レジスタ 05 (IPR05) のビット 15 ~ 12 により、PINT7 ~ PINT0 を一括して、レベル 0 ~ 15 の範囲で設定できます。

PINT7 ~ PINT0 をローレベル検出に設定している場合、PINT 端子がローレベルの期間、INTC に割り込み要求信号が送られます。PINT 端子がハイレベルになると、割り込み要求信号は INTC に送られません。PINT 割り込み要求レジスタ (PIRR) の PINT 割り込み要求ビット (PINT7R ~ PINT0R) をリードすることにより割り込み要求のレベルを確認できます。ハイレベル検出に設定している場合も、極性が反対となる以外は同様です。PINT 割り込み例外処理では、SR の I3 ~ I0 は、PINT 割り込みの優先レベル値に設定されます。

PINT 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、PINT 割り込み要求レジスタ (PIRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

### 6.4.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- USB2.0ホスト/ファンクションモジュール (USB)
- LCDコントローラ (LCDC)
- コンペアマッチタイマ (CMT)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- マルチファンクションタイマパルスユニット2 (MTU2)
- A/D変換器 (ADC)
- I<sup>2</sup>Cバスインタフェース3 (IIC3)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)
- シンクロナスシリアルコミュニケーションユニット (SSU)
- シリアルサウンドインタフェース (SSI)
- CD-ROMデコーダ (ROM-DEC)
- AND/NANDフラッシュメモリコントローラ (FLCTL)
- SDホストインタフェース (SDHI)
- リアルタイムクロック (RTC)
- コントローラエリアネットワーク (RCAN-TL1)
- サンプリングレートコンバータ (SRC)
- IEBus<sup>TM</sup>コントローラ (IEB)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 05 ~ 17 (IPR05 ~ IPR17) によって、モジュールごとに優先レベル 0 ~ 15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3 ~ I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

## 6.5 割り込み例外処理ベクタテーブルと優先順位

表 6.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の表 5.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、05 ~ 17 (IPR01、IPR02、IPR05 ~ IPR17) によって、端子またはモジュールごとに優先レベル 0 ~ 15 の範囲で任意に設定できます。ただし、IPR05 ~ IPR17 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 6.4 の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.4 に示すデフォルト優先順位に従って処理されます。

表 6.4 割り込み例外ベクタと優先順位

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
NMI		11	H'0000002C ~ H'0000002F	16	-	-	↑ 高
ユーザブレイク		12	H'00000030 ~ H'00000033	15	-	-	
H-UDI		14	H'00000038 ~ H'0000003B	15	-	-	
IRQ	IRQ0	64	H'00000100 ~ H'00000103	0 ~ 15(0)	IPR01(15 ~ 12)	-	
	IRQ1	65	H'00000104 ~ H'00000107	0 ~ 15(0)	IPR01(11 ~ 8)	-	
	IRQ2	66	H'00000108 ~ H'0000010B	0 ~ 15(0)	IPR01(7 ~ 4)	-	
	IRQ3	67	H'0000010C ~ H'0000010F	0 ~ 15(0)	IPR01(3 ~ 0)	-	
	IRQ4	68	H'00000110 ~ H'00000113	0 ~ 15(0)	IPR02(15 ~ 12)	-	
	IRQ5	69	H'00000114 ~ H'00000117	0 ~ 15(0)	IPR02(11 ~ 8)	-	
	IRQ6	70	H'00000118 ~ H'0000011B	0 ~ 15(0)	IPR02(7 ~ 4)	-	
	IRQ7	71	H'0000011C ~ H'0000011F	0 ~ 15(0)	IPR02(3 ~ 0)	-	
PINT	PINT0	80	H'00000140 ~ H'00000143	0 ~ 15(0)	IPR05(15 ~ 12)	1	
	PINT1	81	H'00000144 ~ H'00000147			2	
	PINT2	82	H'00000148 ~ H'0000014B			3	
	PINT3	83	H'0000014C ~ H'0000014F			4	
	PINT4	84	H'00000150 ~ H'00000153			5	
	PINT5	85	H'00000154 ~ H'00000157			6	
	PINT6	86	H'00000158 ~ H'0000015B			7	
	PINT7	87	H'0000015C ~ H'0000015F			8	
DMAC	DMAC0	DEI0	108	H'000001B0 ~ H'000001B3	0 ~ 15(0)	IPR06(15 ~ 12)	1
		HEI0	109	H'000001B4 ~ H'000001B7			2
	DMAC1	DEI1	112	H'000001C0 ~ H'000001C3	0 ~ 15(0)	IPR06(11 ~ 8)	1
		HEI1	113	H'000001C4 ~ H'000001C7			2
	DMAC2	DEI2	116	H'000001D0 ~ H'000001D3	0 ~ 15(0)	IPR06(7 ~ 4)	1
		HEI2	117	H'000001D4 ~ H'000001D7			2
	DMAC3	DEI3	120	H'000001E0 ~ H'000001E3	0 ~ 15(0)	IPR06(3 ~ 0)	1
		HEI3	121	H'000001E4 ~ H'000001E7			2
	DMAC4	DEI4	124	H'000001F0 ~ H'000001F3	0 ~ 15(0)	IPR07(15 ~ 12)	1
		HEI4	125	H'000001F4 ~ H'000001F7			2
	DMAC5	DEI5	128	H'00000200 ~ H'00000203	0 ~ 15(0)	IPR07(11 ~ 8)	1
		HEI5	129	H'00000204 ~ H'00000207			2
	DMAC6	DEI6	132	H'00000210 ~ H'00000213	0 ~ 15(0)	IPR07(7 ~ 4)	1
		HEI6	133	H'00000214 ~ H'00000217			2
	DMAC7	DEI7	136	H'00000220 ~ H'00000223	0 ~ 15(0)	IPR07(3 ~ 0)	1
		HEI7	137	H'00000224 ~ H'00000227			2
							↓ 低

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
		ベクタ	ベクタテーブル アドレスオフセット					
USB	USB1	140	H'00000230 - H'00000233	0 - 15(0)	IPR08(15 ~ 12)	-	高 ↑ ↓ 低	
LCDC	LCDCI	141	H'00000234 - H'00000237	0 - 15(0)	IPR08(11 ~ 8)	-		
CMT	CM10	142	H'00000238 - H'0000023B	0 - 15(0)	IPR08(7 ~ 4)			
	CM11	143	H'0000023C - H'0000023F	0 - 15(0)	IPR08(3 ~ 0)	-		
BSC	CM1	144	H'00000240 - H'00000243	0 - 15(0)	IPR09(15 ~ 12)	-		
WDT	ITI	145	H'00000244 - H'00000247	0 - 15(0)	IPR09(11 ~ 8)	-		
MTU2	MTU0	TGI0A	146	H'00000248 - H'0000024B	0 - 15(0)	IPR09(7 ~ 4)		1
		TGI0B	147	H'0000024C - H'0000024F				2
		TGI0C	148	H'00000250 - H'00000253				3
		TGI0D	149	H'00000254 - H'00000257				4
		TCI0V	150	H'00000258 - H'0000025B	0 - 15(0)	IPR09(3 ~ 0)		1
		TGI0E	151	H'0000025C - H'0000025F				2
		TGI0F	152	H'00000260 - H'00000263				3
	MTU1	TGI1A	153	H'00000264 - H'00000267	0 - 15(0)	IPR10(15 ~ 12)	1	
		TGI1B	154	H'00000268 - H'0000026B			2	
		TCI1V	155	H'0000026C - H'0000026F	0 - 15(0)	IPR10(11 ~ 8)	1	
		TCI1U	156	H'00000270 - H'00000273			2	
	MTU2	TGI2A	157	H'00000274 - H'00000277	0 - 15(0)	IPR10(7 ~ 4)	1	
		TGI2B	158	H'00000278 - H'0000027B			2	
		TCI2V	159	H'0000027C - H'0000027F	0 - 15(0)	IPR10(3 ~ 0)	1	
		TCI2U	160	H'00000280 - H'00000283			2	
	MTU3	TGI3A	161	H'00000284 - H'00000287	0 - 15(0)	IPR11(15 ~ 12)	1	
		TGI3B	162	H'00000288 - H'0000028B			2	
		TGI3C	163	H'0000028C - H'0000028F			3	
		TGI3D	164	H'00000290 - H'00000293			4	
		TCI3V	165	H'00000294 - H'00000297	0 - 15(0)	IPR11(11 ~ 8)	-	
MTU4	TGI4A	166	H'00000298 - H'0000029B	0 - 15(0)	IPR11(7 ~ 4)	1		
	TGI4B	167	H'0000029C - H'0000029F			2		
	TGI4C	168	H'000002A0 - H'000002A3			3		
	TGI4D	169	H'000002A4 - H'000002A7			4		
	TCI4V	170	H'000002A8 - H'000002AB	0 - 15(0)	IPR11(3 ~ 0)	-		
ADC	ADI	171	H'000002AC - H'000002AF	0 - 15(0)	IPR12(15 ~ 12)	-	低	

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
IIC3	IIC3-0	STPI0	172	H'000002B0 - H'000002B3	0 - 15(0)	IPR12(11 ~ 8)	1	↑ 高 ↓ 低
		NAKI0	173	H'000002B4 - H'000002B7			2	
		RXI0	174	H'000002B8 - H'000002BB			3	
		TXI0	175	H'000002BC - H'000002BF			4	
		TEI0	176	H'000002C0 - H'000002C3			5	
	IIC3-1	STPI1	177	H'000002C4 - H'000002C7	0 - 15(0)	IPR12(7 ~ 4)	1	
		NAKI1	178	H'000002C8 - H'000002CB			2	
		RXI1	179	H'000002CC - H'000002CF			3	
		TXI1	180	H'000002D0 - H'000002D3			4	
		TEI1	181	H'000002D4 - H'000002D7			5	
	IIC3-2	STPI2	182	H'000002D8 - H'000002DB	0 - 15(0)	IPR12(3 ~ 0)	1	
		NAKI2	183	H'000002DC - H'000002DF			2	
		RXI2	184	H'000002E0 - H'000002E3			3	
		TXI2	185	H'000002E4 - H'000002E7			4	
		TEI2	186	H'000002E8 - H'000002EB			5	
	IIC3-3	STPI3	187	H'000002EC - H'000002EF	0 - 15(0)	IPR13(15 ~ 12)	1	
		NAKI3	188	H'000002F0 - H'000002F3			2	
		RXI3	189	H'000002F4 - H'000002F7			3	
		TXI3	190	H'000002F8 - H'000002FB			4	
		TEI3	191	H'000002FC - H'000002FF			5	
SCIF	SCIF0	BRI0	192	H'00000300 - H'00000303	0 - 15(0)	IPR13(11 ~ 8)	1	
		ERI0	193	H'00000304 - H'00000307			2	
		RXI0	194	H'00000308 - H'0000030B			3	
		TXI0	195	H'0000030C - H'0000030F			4	
	SCIF1	BRI1	196	H'00000310 - H'00000313	0 - 15(0)	IPR13(7 ~ 4)	1	
		ERI1	197	H'00000314 - H'00000317			2	
		RXI1	198	H'00000318 - H'0000031B			3	
		TXI1	199	H'0000031C - H'0000031F			4	
	SCIF2	BRI2	200	H'00000320 - H'00000323	0 - 15(0)	IPR13(3 ~ 0)	1	
		ERI2	201	H'00000324 - H'00000327			2	
		RXI2	202	H'00000328 - H'0000032B			3	
		TXI2	203	H'0000032C - H'0000032F			4	

割り込み要因		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
SCIF	SCIF3	BRI3	204	H'00000330 - H'00000333	0 - 15(0)	IPR14(15 ~ 12)	1
		ERI3	205	H'00000334 - H'00000337			2
		RXI3	206	H'00000338 - H'0000033B			3
		TXI3	207	H'0000033C - H'0000033F			4
SSU	SSU0	SSERIO	208	H'00000340 - H'00000343	0 - 15(0)	IPR14(11 ~ 8)	1
		SSRXIO	209	H'00000344 - H'00000347			2
		SSTXIO	210	H'00000348 - H'0000034B			3
	SSU1	SSER1I	211	H'0000034C - H'0000034F	0 - 15(0)	IPR14(7 ~ 4)	1
		SSRX1I	212	H'00000350 - H'00000353			2
		SSTX1I	213	H'00000354 - H'00000357			3
SSI	SSI0	SSII0	214	H'00000358 - H'0000035B	0 - 15(0)	IPR14(3 ~ 0)	-
	SSI1	SSII1	215	H'0000035C - H'0000035F	0 - 15(0)	IPR15(15 ~ 12)	-
	SSI2	SSII2	216	H'00000360 - H'00000363	0 - 15(0)	IPR15(11 ~ 8)	-
	SSI3	SSII3	217	H'00000364 - H'00000367	0 - 15(0)	IPR15(7 ~ 4)	-
ROM-DEC	ISY		218	H'00000368 - H'0000036B	0 - 15(0)	IPR15(3 ~ 0)	1
	IERR		219	H'0000036C - H'0000036F			2
	IARG		220	H'00000370 - H'00000373			3
	ISEC		221	H'00000374 - H'00000377			4
	IBUF		222	H'00000378 - H'0000037B			5
	IREADY		223	H'0000037C - H'0000037F			6
FLCTL	FLSTEI		224	H'00000380 - H'00000383	0 - 15(0)	IPR16(15 ~ 12)	1
	FLTENDI		225	H'00000384 - H'00000387			2
	FLTREQ0I		226	H'00000388 - H'0000038B			3
	FLTREQ1I		227	H'0000038C - H'0000038F			4
SDHI	SDHI3		228	H'00000390 - H'00000393	0 - 15(0)	IPR16(11 ~ 8)	1
	SDHI0		229	H'00000394 - H'00000397			2
	SDHI1		230	H'00000398 - H'0000039B			3
RTC	ARM		231	H'0000039C - H'0000039F	0 - 15(0)	IPR16(7 ~ 4)	1
	PRD		232	H'000003A0 - H'000003A3			2
	CUP		233	H'000003A4 - H'000003A7			3

高

低

割り込み要因			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
RCAN-TL1	RCAN0	ERS0	234	H'000003A8 ~ H'000003AB	0 - 15(0)	IPR16(3 ~ 0)	1	高 ↑ ↓ 低
		OVR0	235	H'000003AC ~ H'000003AF			2	
		RM00	236	H'000003B0 ~ H'000003B3			3	
		RM10	237	H'000003B4 ~ H'000003B7			4	
		SLE0	238	H'000003B8 ~ H'000003BB			5	
	RCAN1	ERS1	239	H'000003BC ~ H'000003BF	0 - 15(0)	IPR17(15 ~ 12)	1	
		OVR1	240	H'000003C0 ~ H'000003C3			2	
		RM01	241	H'000003C4 ~ H'000003C7			3	
		RM11	242	H'000003C8 ~ H'000003CB			4	
		SLE1	243	H'000003CC ~ H'000003CF			5	
SRC	OVF		244	H'000003D0 ~ H'000003D3	0 - 15(0)	IPR17(11 ~ 8)	1	
	ODFI		245	H'000003D4 ~ H'000003D7			2	
	IDEI		246	H'000003D8 ~ H'000003DB			3	
IEB	IEBI		247	H'000003DC ~ H'000003DF	0 - 15(0)	IPR17(7 ~ 4)	-	

## 6.6 動作説明

### 6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、05 ~ 17 (IPR01、IPR02、IPR05 ~ IPR17) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視\*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、表6.4に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) とが比較されます。I3 ~ I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
5. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図6.4参照)。
6. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
7. ステータスレジスタ (SR) がスタックに退避され、SRのI3 ~ I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
8. プログラムカウンタ (PC) がスタックに退避されます。
9. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。
10.  $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けている時は、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

\* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ (IRQRR) のアクセスにより取り下げることができます。詳しくは「6.4.4 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

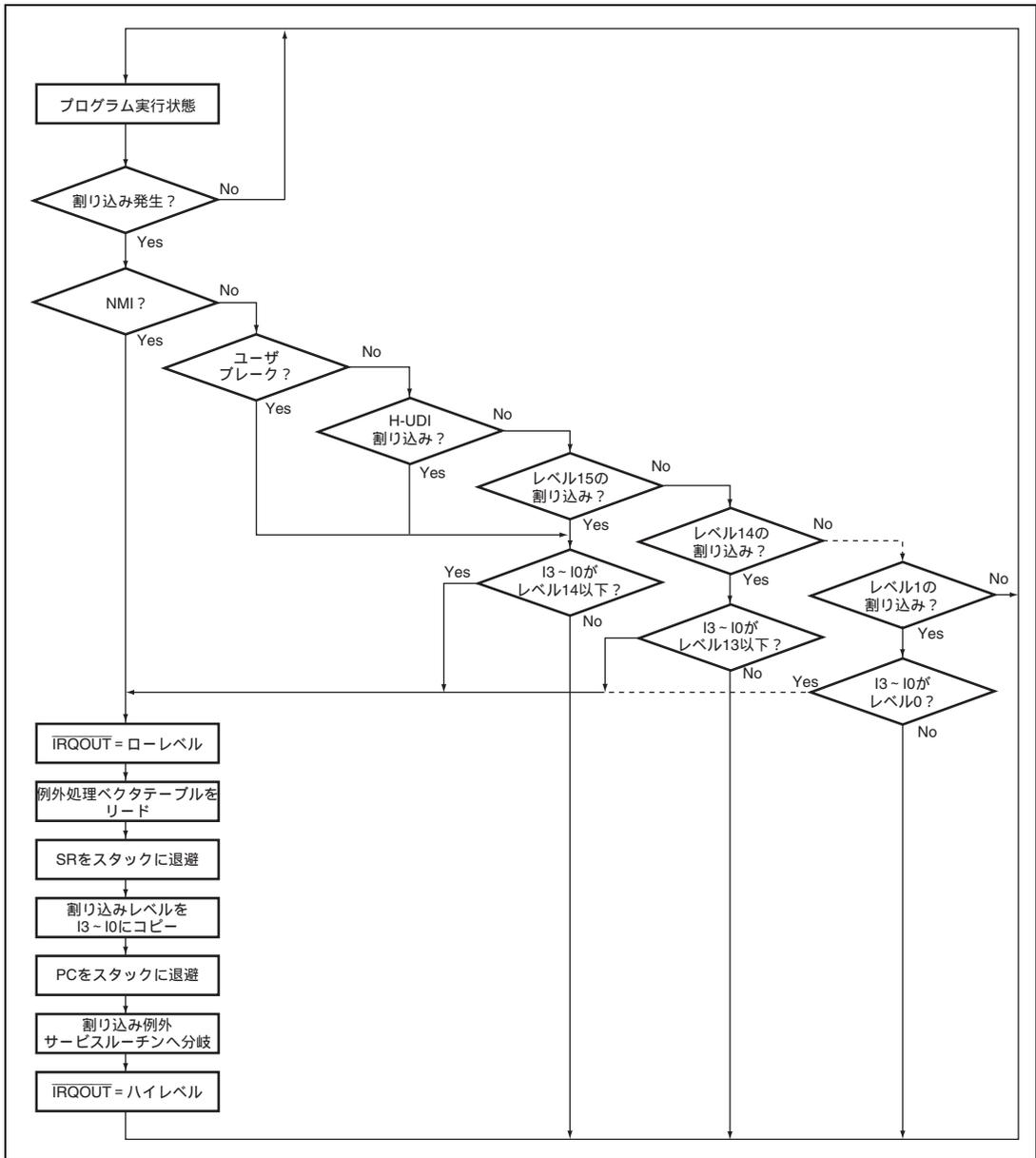


図 6.2 割り込み動作フロー

### 6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。

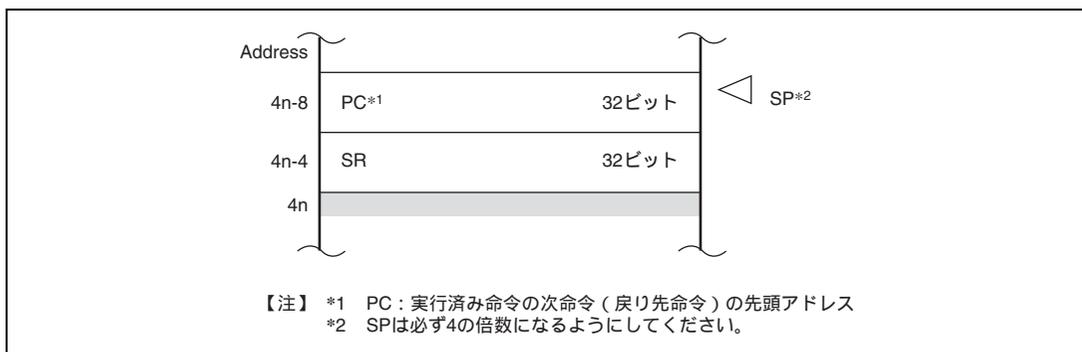


図 6.3 割り込み例外処理終了後のスタック状態

## 6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、割り込み例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 6.4、図 6.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 6.6、図 6.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 6.8、図 6.9 に示します。

表 6.5 割り込み応答時間

項 目			ステート数						備考	
			NMI	ユーザ ブレイク	H-UDI	IRQ、 PINT	USB	周辺 モジュール (USB 以外)		
割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間			2lcyc+ 2Bcyc+ 1Pcyc	3lcyc	2lcyc+ 1Pcyc	2lcyc+ 3Bcyc+ 1Pcyc	2lcyc+ 4Bcyc	2lcyc+ 2Bcyc		
CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、割り込み例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンクなし。	最小値	3lcyc+m1+m2						最小値は、割り込み待ち時間 0 のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。	
		最大値	4lcyc+2(m1+m2)+m3							
	レジスタバンクあり。 レジスタバンクオーバーフローなし。	最小値	-	3lcyc+m1+m2				最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。		
		最大値	-	12lcyc+m1+m2						
	レジスタバンクあり。 レジスタバンクオーバーフローあり。	最小値	-	3lcyc+m1+m2						最小値は、割り込み待ち時間 0 のとき。 最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。
		最大値	-	3lcyc+m1+m2+19(m4)						

項 目			ステート数						備考
			NMI	ユーザ ブレイク	H-UDI	IRQ、 PINT	USB	周辺 モジュール (USB 以外)	
応答時間	レジスタバンク なし。	最小値	$5\text{cyc}+2\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$6\text{cyc}+m1+$ $m2$	$5\text{cyc}+1\text{Pcyc}+$ $m1+m2$	$5\text{cyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$5\text{cyc}+4\text{Bcyc}+$ $m1+m2$	$5\text{cyc}+2\text{Bcyc}+$ $m1+m2$	200MHz 動作時 *1*2 : 0.040 - 0.110 $\mu\text{s}$
		最大値	$6\text{cyc}+2\text{Bcyc}+$ $1\text{Pcyc}+$ $2(m1+m2)+$ $m3$	$7\text{cyc}+$ $2(m1+m2)+$ $m3$	$6\text{cyc}+1\text{Pcyc}+$ $2(m1+m2)+$ $m3$	$6\text{cyc}+3\text{Bcyc}+$ $1\text{Pcyc}+$ $2(m1+m2)+$ $m3$	$6\text{cyc}+4\text{Bcyc}+$ $2(m1+m2)+$ $m3$	$6\text{cyc}+2\text{Bcyc}+$ $2(m1+m2)+$ $m3$	200MHz 動作時 *1*2 : 0.060 - 0.130 $\mu\text{s}$
	レジスタバンク あり。 レジスタバンク オーバーフローなし。	最小値	-	-	$5\text{cyc}+1\text{Pcyc}+$ $m1+m2$	$5\text{cyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$5\text{cyc}+4\text{Bcyc}+$ $m1+m2$	$5\text{cyc}+2\text{Bcyc}+$ $m1+m2$	200MHz 動作時 *1*2 : 0.070 - 0.110 $\mu\text{s}$
		最大値	-	-	$14\text{cyc}+1\text{Pcyc}+$ $+m1+m2$	$14\text{cyc}+3\text{Bcyc}+$ $+1\text{Pcyc}+m1+$ $m2$	$14\text{cyc}+4\text{Bcyc}+$ $+m1+m2$	$14\text{cyc}+2\text{Bcyc}+$ $+m1+m2$	200MHz 動作時 *1*2 : 0.120 - 0.155 $\mu\text{s}$
	レジスタバンク あり。 レジスタバンク オーバーフローあり。	最小値	-	-	$5\text{cyc}+1\text{Pcyc}+$ $m1+m2$	$5\text{cyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2$	$5\text{cyc}+4\text{Bcyc}+$ $m1+m2$	$5\text{cyc}+2\text{Bcyc}+$ $m1+m2$	200MHz 動作時 *1*2 : 0.065 - 0.110 $\mu\text{s}$
		最大値	-	-	$5\text{cyc}+1\text{Pcyc}+$ $m1+m2+$ $19(m4)$	$5\text{cyc}+3\text{Bcyc}+$ $1\text{Pcyc}+m1+$ $m2+19(m4)$	$5\text{cyc}+4\text{Bcyc}+$ $m1+$ $m2+19(m4)$	$5\text{cyc}+2\text{Bcyc}+$ $m1+$ $m2+19(m4)$	200MHz 動作時 *1*2 : 0.160 - 0.205 $\mu\text{s}$

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0 ~ R14, GBR, MACH, MACL, PR) のスタックからの復帰

\*1 : m1=m2=m3=m4=1cyc の場合

\*2 : (I、B、P) = (200MHz、66MHz、33MHz) の場合

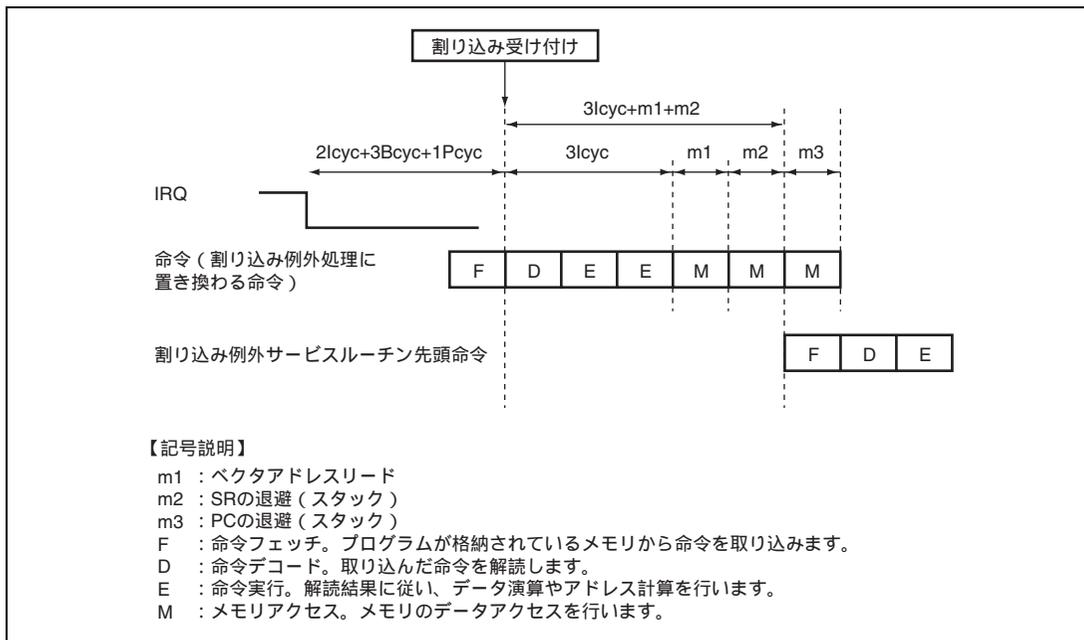


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

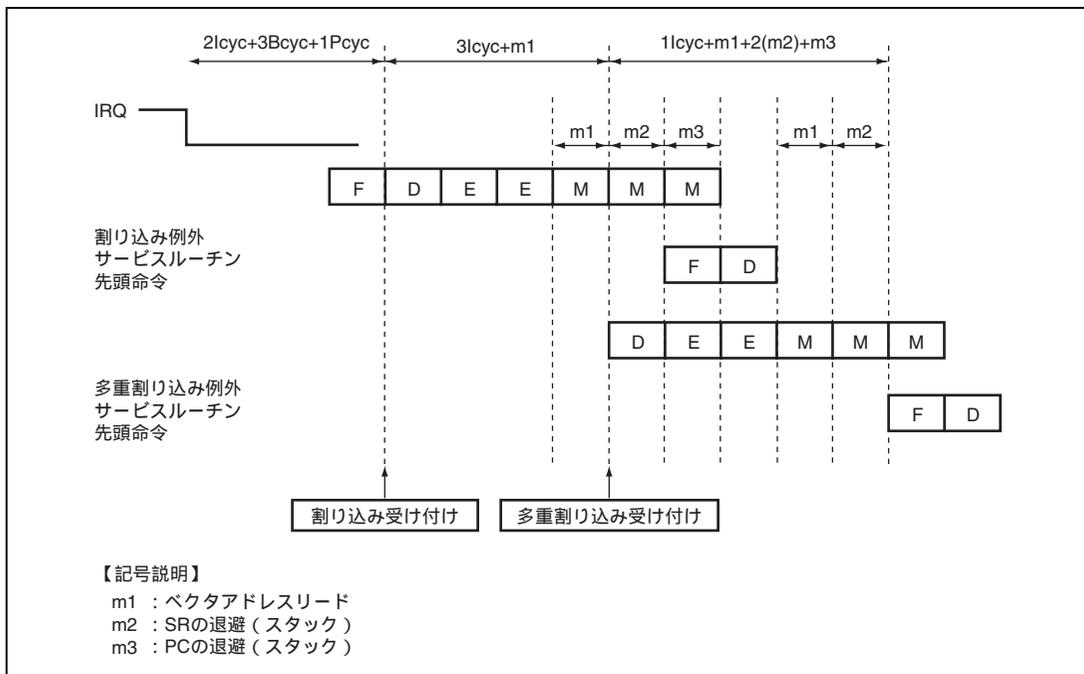


図 6.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

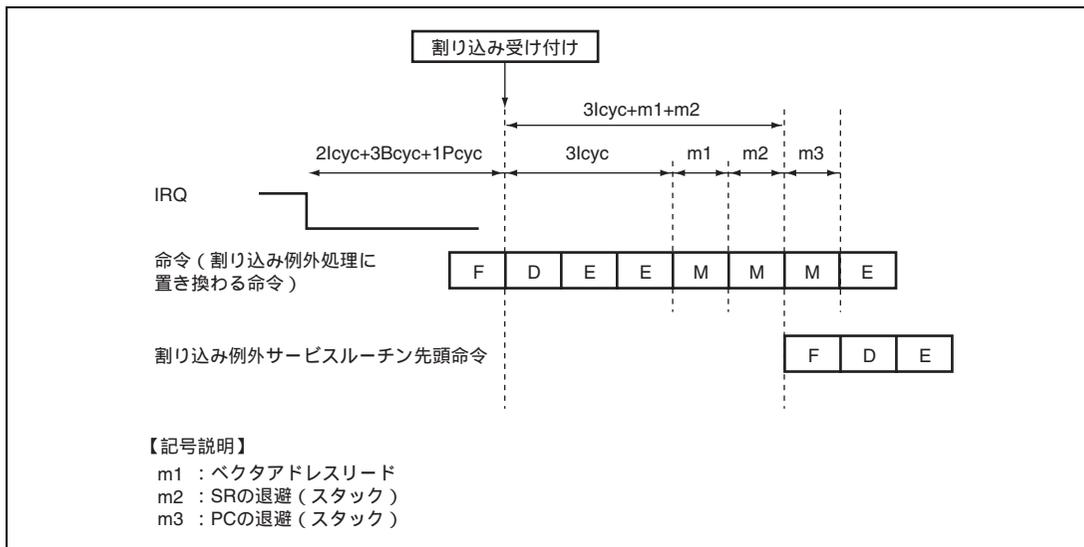


図 6.6 IRQ 割り込みを受け付けるときのパイプライン動作例  
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

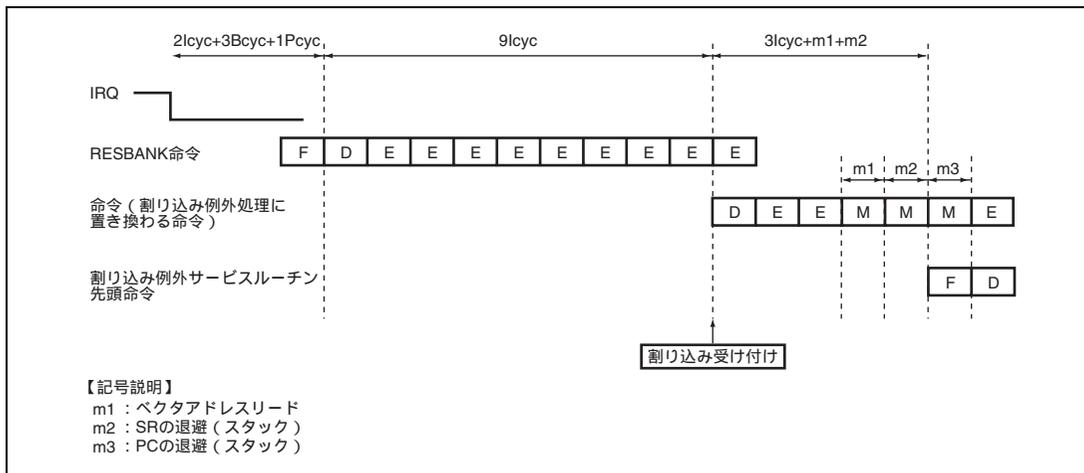


図 6.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例  
 (レジスタバンクあり、レジスタバンクオーバーフローなし)

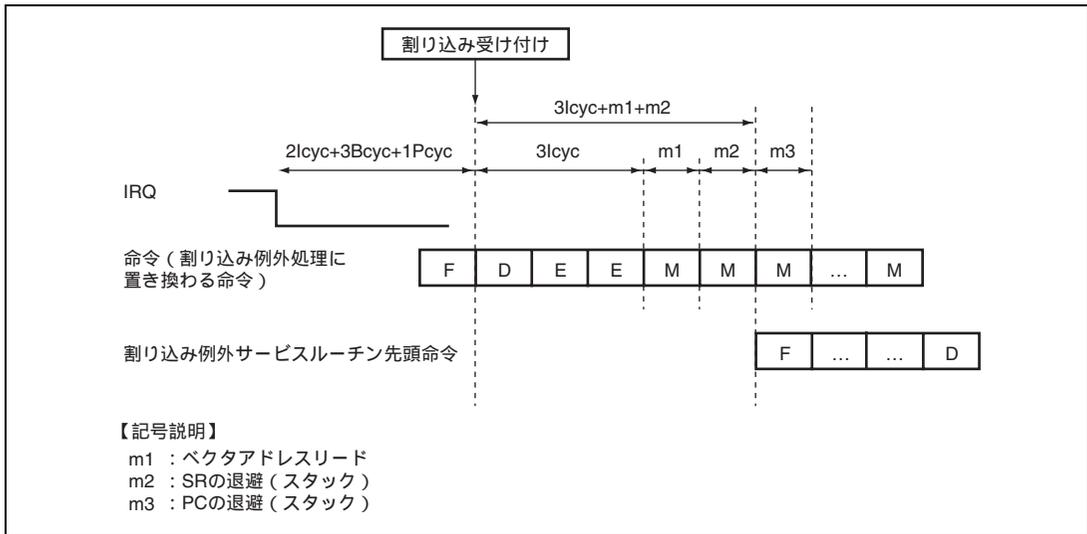


図 6.8 IRQ 割り込みを受け付けるときのパイプライン動作例  
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

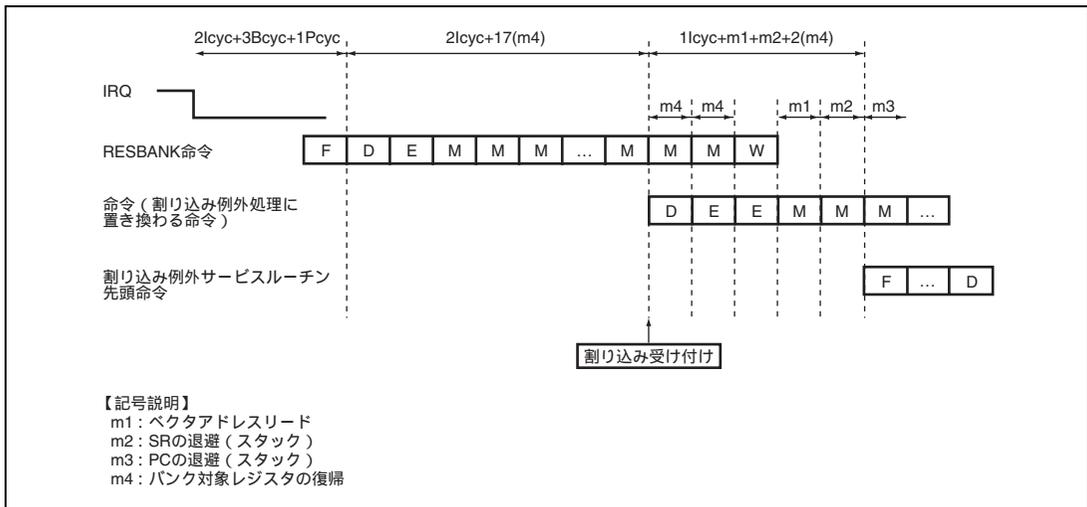


図 6.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例  
 (レジスタバンクあり、レジスタバンクオーバーフローあり)

## 6.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 6.10 に示します。

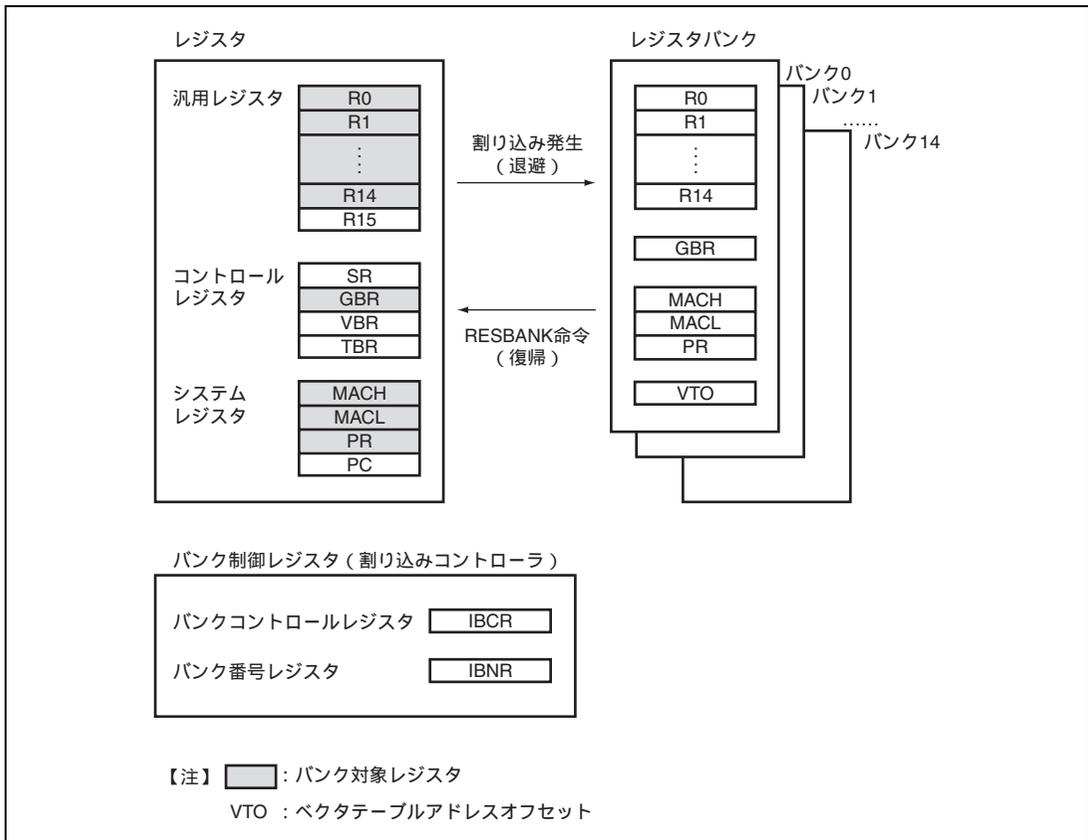


図 6.10 レジスタバンクの構成の概要

### 6.8.1 バンクの対象レジスタと入出力方式

#### (1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセットをバンクの対象とします。

#### (2) バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

## 6.8.2 バンク退避、復帰の動作

### (1) バンクへの退避

図 6.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を  $i$  とします。
- (b) BN の示すバンク  $i$  に、レジスタ R0~R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を +1 します。

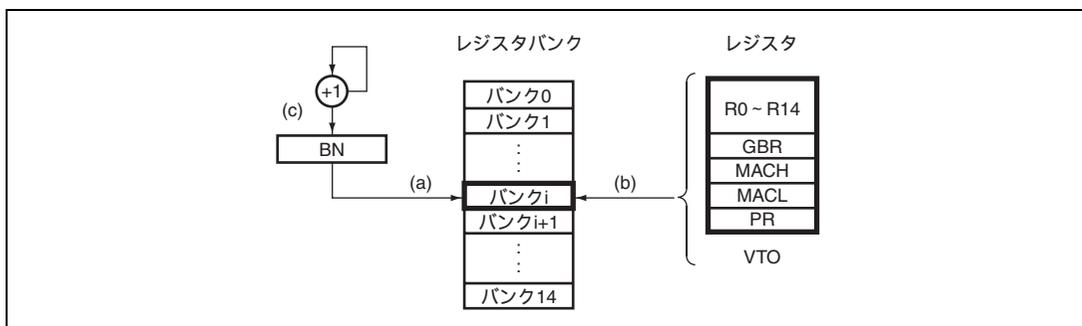


図 6.11 バンク退避の動作

図 6.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から割り込み例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

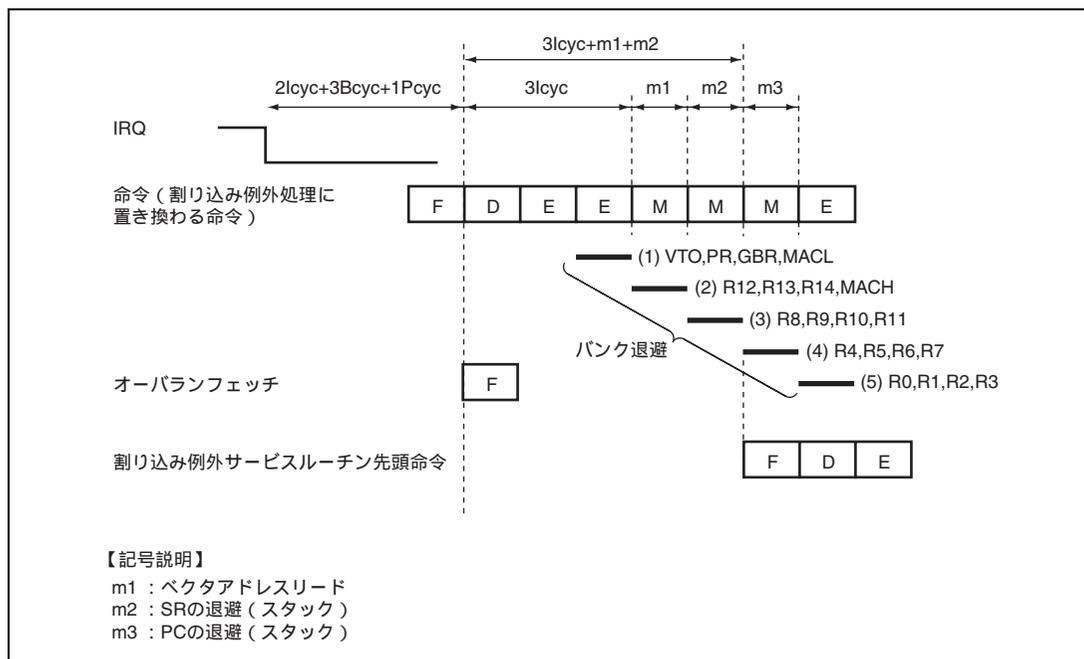


図 6.12 バンク退避のタイミング

## (2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込み例外サービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で割り込み例外サービスルーチンからの復帰を行ってください。

### 6.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバーフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

#### (1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、.....、R1、R0の順となります。
3. SRのレジスタバンクオーバーフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

#### (2) スタックからの復帰

SR のレジスタバンクオーバーフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、.....、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

### 6.8.4 レジスタバンクの例外

レジスタバンクの例外 (レジスタバンクエラー) には、レジスタバンクオーバーフローとレジスタバンクアンダフローの2種類があります。

#### (1) レジスタバンクオーバーフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 1 にセットされているときに発生します。このとき、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) はバンク数 15 のまま変化せず、レジスタバンクへの退避は行われません。

#### (2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0 ~ R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は 0 のまま変化しません。

### 6.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバーフロー時の退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避する PC の値は、当該の RESBANK 命令の先頭アドレスです。また、レジスタバンクオーバーフロー時は多重割り込みを防止するためにレジスタバンクオーバーフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3 ~ I0) に書き込みます。
4. 例外サービスルーチンの開始アドレスからプログラムを実行します。

## 6.9 割り込み要求信号によるデータ転送

割り込み要求信号により DMAC を起動し、データ転送を行うことができます。

割り込み要因の中で DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択 0} + \text{DE1} \cdot \text{要因選択 1} + \text{DE2} \cdot \text{要因選択 2} + \text{DE3} \cdot \text{要因選択 3} + \text{DE4} \cdot \text{要因選択 4} + \text{DE5} \cdot \text{要因選択 5} + \text{DE6} \cdot \text{要因選択 6} + \text{DE7} \cdot \text{要因選択 7})$$

割り込み制御ブロック図を図 6.13 に示します。

ここで DME は DMAC の DMAOR のビット 0、DE<sub>n</sub> (n=0~7) は DMAC の CHCR0~CHCR7 のビット 0 です。詳細は「第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

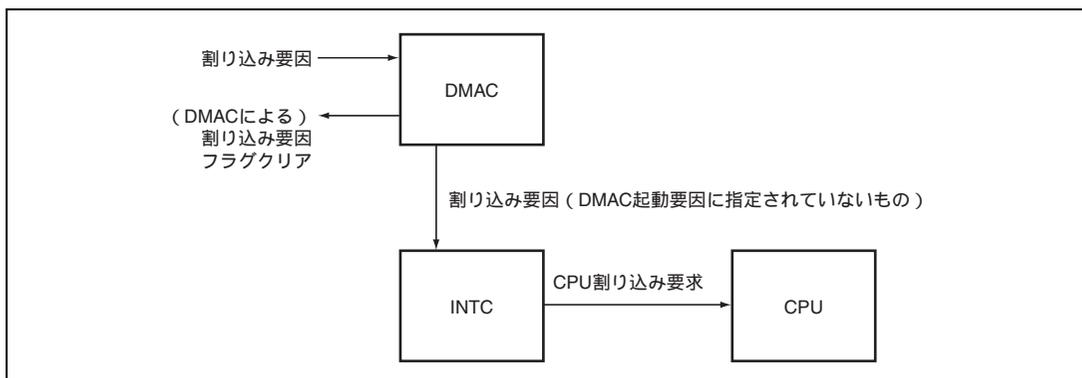


図 6.13 割り込み制御ブロック図

### 6.9.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。また、DMACで要因を選択している場合には、DMACの当該チャンネルのDEビットを0にクリアします。
2. 割り込みが発生すると、CPUに割り込みを要求します。
3. CPUは割り込み例外サービスルーチンで、割り込み要因をクリアし、所要の処理をします。

### 6.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

1. DMACで要因を選択し、DE = 1、DME = 1にセットします。割り込み優先レベル設定レジスタの設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、DMACに起動要因が与えられます。
3. DMACは、転送時に起動要因をクリアします。

## 6.10 使用上の注意事項

### 6.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリード\*し、その後 RTE 命令を実行します。

【注】 \* USB の割り込み要因フラグをクリアする場合、クリア後割り込み要因フラグを 3 回リードしてください。

### 6.10.2 $\overline{\text{IRQOUT}}$ のネゲートタイミング

割り込みコントローラが割り込み要求を受け付けると、 $\overline{\text{IRQOUT}}$  端子からローレベルが出力され、割り込み例外サービスルーチンの開始アドレスにジャンプした後、 $\overline{\text{IRQOUT}}$  端子からハイレベルが出力されます。

ただし、割り込みコントローラが割り込み要求を受け付け、 $\overline{\text{IRQOUT}}$  端子からローレベルが出力された後、割り込み例外サービスルーチンの開始アドレスにジャンプする前に割り込み要求が取り下げられた場合、次の割り込み要求による割り込み例外サービスルーチンの開始アドレスにジャンプするまで  $\overline{\text{IRQOUT}}$  端子からはローレベルが出力されます。

---

## 7. ユーザブ레이크コントローラ ( UBC )

---

ユーザブ레이크コントローラ ( UBC ) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件として、命令フェッチまたはデータの読み出し / 書き込み ( データの読み出し / 書き込みの場合はバスサイクル ( CPU、DMAC ) )、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス ( C バス ) 上での命令フェッチは命令フェッチバス ( F バス ) にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス ( M バス ) にバスサイクルを発行します。また、内部バス ( I バス ) には、内部 CPU バスと内部 DMA バスがあり、CPU は内部 CPU バスに、DMA は内部 DMA バスにバスサイクルを発行します。UBC はこれら C バスと I バスをモニタします。

### 7.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数 : 2チャンネル ( チャンネル0と1 )

ユーザブ레이크は、チャンネル0、1独立に設定することができます。

- アドレス

アドレス32ビットの比較はビットごとにマスク可能です。

4種類のアドレスバス ( Fバスアドレス ( FAB )、Mバスアドレス ( MAB )、内部CPUバスアドレス ( ICAB )、内部DMAバスアドレス ( IDAB ) ) を選択できます。

- データ

データ32ビットの比較はビットごとにマスク可能です。

3種類のデータバス ( Mバスデータ ( MDB )、内部CPUバスデータ ( ICDB )、内部DMAバスデータ ( IDDB ) ) の1つを選択可能です。

- Iバス選択時のバスセレクト

内部CPUバス、内部DMAバス

- バスサイクル

命令フェッチ ( Cバス選択時のみ ) またはデータアクセス

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、およびロングワードをサポート。

- 命令フェッチサイクルにおいて、ユーザブレイク割り込み例外処理の実行開始を命令の実行の前に設定するか、後に設定するかを指定可能。
- ブレイク条件成立をUBCTRG端子に出力できます。

図 7.1 に UBC のブロック図を示します。

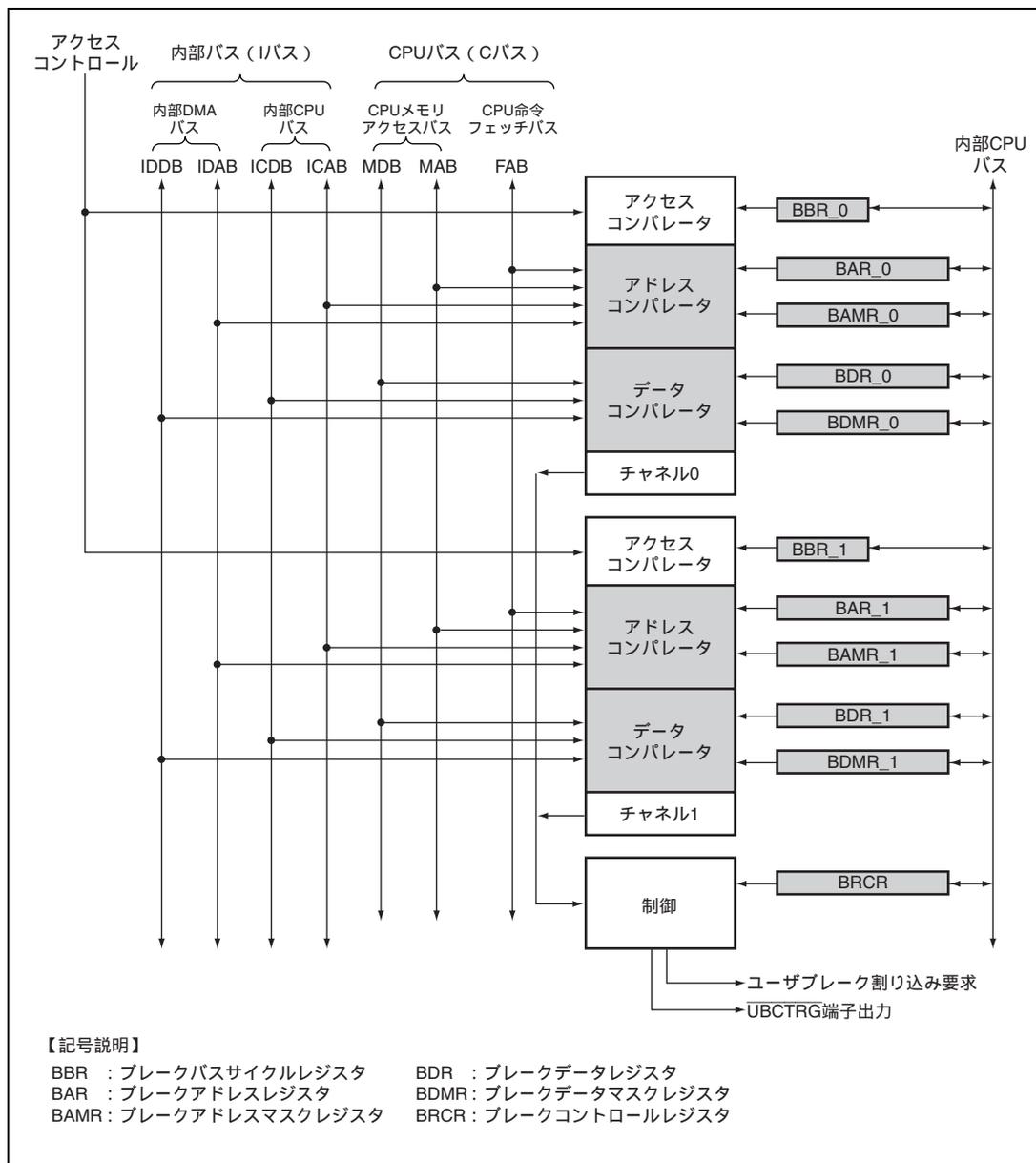


図 7.1 UBC のブロック図

## 7.2 入出力端子

UBC の端子構成を表 7.1 に示します。

表 7.1 端子構成

名称	端子名	入出力	機能
UBC トリガ	UBCTRG	出力	UBC のチャンネル 0、1 のいずれかで設定条件が成立したことを示します

## 7.3 レジスタの説明

UBC には以下のレジスタがあります。チャンネルごとに 5 本の制御レジスタと、チャンネル 0、1 に共通な制御レジスタが 1 本あります。各チャンネルのレジスタについては、チャンネル 0 の BAR は BAR\_0 のように表記していません。

表 7.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	ブレイクアドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブレイクアドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブレイクバスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
	ブレイクデータレジスタ_0	BDR_0	R/W	H'00000000	H'FFFC0408	32
	ブレイクデータマスクレジスタ_0	BDMR_0	R/W	H'00000000	H'FFFC040C	32
1	ブレイクアドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブレイクアドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブレイクバスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
	ブレイクデータレジスタ_1	BDR_1	R/W	H'00000000	H'FFFC0418	32
	ブレイクデータマスクレジスタ_1	BDMR_1	R/W	H'00000000	H'FFFC041C	32
共通	ブレイクコントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

### 7.3.1 ブレイクアドレスレジスタ (BAR)

BAR は、32 ビットの読み出し / 書き込み可能なレジスタです。BAR は、各チャンネルのブレイク条件とするアドレスを指定します。ブレイク条件の対象とするアドレスバスは 4 種類あり、ブレイクバスサイクルレジスタ (BBR) の制御ビットの CD[1:0]と CP[1:0]により選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	BA31 ~ BA0	すべて 0	R/W	ブ레이크アドレス ブ레이크条件を指定する CPU アドレスバス (FAB または MAB) または内部アドレスバス (ICAB または IDAB) のアドレスを格納します。 BBR により C バスかつ命令フェッチサイクルを選択した場合は、BA31 ~ BA0 に FAB のアドレスを指定します。 BBR により C バスかつデータアクセスサイクルを選択した場合は、BA31 ~ BA0 に MAB のアドレスを指定します。 BBR により I バスかつ内部 CPU バスを選択した場合は、BA31 ~ BA0 に ICAB のアドレスを指定します。 BBR により I バスかつ内部 DMA バスを選択した場合は、BA31 ~ BA0 に IDAB のアドレスを指定します。

【注】 ブ레이크条件として命令フェッチサイクルを設定する場合は、BAR の LSB を 0 にクリアしてください。

### 7.3.2 ブ레이크アドレスマスクレジスタ (BAMR)

BAMR は、32 ビットの読み出し / 書き込み可能なレジスタです。BAMR は、BAR で指定するブ레이크アドレスビットのうち、マスクするビットを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	BAM31 ~ BAM0	すべて 0	R/W	ブ레이크アドレスマスク BAR (BA31 ~ BA0) によって指定されるブ레이크アドレスビットのうち、マスクするビットを指定します。 0: ブ레이크アドレスビット BAn は、ブ레이크条件に含まれる 1: ブ레이크アドレスビット BAn はマスクされ、ブ레이크条件に含まれない 【注】 n = 31 ~ 0

### 7.3.3 ブレークデータレジスタ (BDR)

BDR は、32 ビットの読み出し / 書き込み可能なレジスタです。ブレーク条件の対象とするデータバスは 3 種類あり、ブレークバスサイクルレジスタ (BBR) の制御ビット CD[1:0]と CP[1:0]により選択します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	BD31 ~ BD0	すべて 0	R/W	<p>ブレークデータビット</p> <p>ブレーク条件を指定するデータを格納します。</p> <p>BBR により C バスを選択した場合は、BD31 ~ BD0 に MDB のブレークデータを指定します。</p> <p>BBR により I バスかつ内部 CPU バスを選択した場合は、BD31 ~ BD0 に ICDB のアドレスを指定します。</p> <p>BBR により I バスかつ内部 DMA バスを選択した場合は、BD31 ~ BD0 に IDDB のアドレスを指定します。</p>

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
  2. ブレーク条件としてバイトサイズを指定する場合は、BDR におけるブレークデータとして、ビット 31~24、23~16、15~8、7~0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31~16、15~0 に同一のワードデータをセットしてください。

### 7.3.4 ブレークデータマスクレジスタ (BDMR)

BDMR は、32 ビットの読み出し / 書き込み可能なレジスタです。BDMR は、BDR で指定するブレークデータビットのうちマスクするビットを指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	BDM31 ~ BDM0	すべて 0	R/W	<p>ブレークデータマスク</p> <p>BDR (BD31 ~ BD0) によって指定されるブレークデータビットのうちマスクするビットを指定します。</p> <p>0 : ブレークデータビット BDn は、ブレーク条件に含まれる</p> <p>1 : ブレークデータビット BDn はマスクされ、ブレーク条件に含まれない</p> <p>【注】 n = 31 ~ 0</p>

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
  2. ブレーク条件としてバイトサイズを指定する場合は、BDMR におけるブレークマスクデータとして、ビット 31 ~ 24、23 ~ 16、15 ~ 8、7 ~ 0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31 ~ 16、15 ~ 0 に同一のワードデータをセットしてください。

## 7.3.5 ブレークバスサイクルレジスタ (BBR)

BBR は、ブレーク条件として (1) ユーザブレイク割り込み要求の禁止 / 許可、(2) データバスの値を含める / 含めない、(3) 内部 CPU バスまたは内部 DMA バス、(4) C バスサイクルまたは I バスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しましたは書き込み、および (7) オペランドサイズを指定する 16 ビットの読み出しましたは書き込み可能なレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	DBE	-	-	CP[1:0]		CD[1:0]		ID[1:0]		RW[1:0]		SZ[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W								

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID	0	R/W	ユーザブレイク割り込みディスエーブル 条件一致時にユーザブレイク割り込み要求の禁止 / 許可を指定します。 0: ユーザブレイク割り込み要求を許可する 1: ユーザブレイク割り込み要求を禁止する
12	DBE	0	R/W	データブレイクイネーブル データバス条件がブレーク条件に含まれるかどうかを選択します。 0: データバス条件がブレーク条件に含まれない 1: データバス条件がブレーク条件に含まれる
11, 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9, 8	CP[1:0]	00	R/W	I バスのバスセレクト ブレーク条件のバスサイクルが I バスの場合のバスを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。 00: 条件比較を行わない 01: ブレーク条件は、内部 CPU バス 10: ブレーク条件は、内部 DMA バス 11: ブレーク条件は、内部 CPU バス
7, 6	CD[1:0]	00	R/W	C バスサイクル / I バスサイクルセレクト ブレーク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00: 条件比較を行わない 01: ブレーク条件は、C バス (F バス、M バス) サイクル 10: ブレーク条件は、I バスサイクル 11: ブレーク条件は、C バス (F バス、M バス) サイクル

ビット	ビット名	初期値	R/W	説明
5、4	ID[1:0]	00	R/W	<p>命令フェッチ / データアクセスセレクト</p> <p>ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブ레이크条件は、命令フェッチサイクル</p> <p>10 : ブ레이크条件は、データアクセスサイクル</p> <p>11 : ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW[1:0]	00	R/W	<p>読み出し / 書き込みセレクト</p> <p>ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00 : 条件比較を行わない</p> <p>01 : ブ레이크条件は、読み出しサイクル</p> <p>10 : ブ레이크条件は、書き込みサイクル</p> <p>11 : ブ레이크条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ[1:0]	00	R/W	<p>オペランドサイズセレクト</p> <p>ブ레이크条件のバスサイクルのオペランドサイズを選択します。</p> <p>00 : ブ레이크条件には、オペランドサイズを含まない</p> <p>01 : ブ레이크条件は、バイトアクセス</p> <p>10 : ブ레이크条件は、ワードアクセス</p> <p>11 : ブ레이크条件は、ロングワードアクセス</p>

## 7.3.6 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

1. 命令フェッチサイクルによるユーザブレイク割り込み例外処理の実行開始を命令実行の前に設定するか後に設定するかを指定します。
2. ブレイク条件一致時の $\overline{UBCTR\overline{G}}$ 出力のパルス幅を設定します。
3. ブレイク条件一致時の $\overline{UBCTR\overline{G}}$ 出力をするかどうかを設定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件を設定するためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。ビット 15~12 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	UTOD1	UTOD0	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC 0	SCMFC 1	SCMFD 0	SCMFD 1	-	-	-	-	-	PCB1	PCB0	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	UTOD1	0	R/W	$\overline{UBCTR\overline{G}}$ 出力ディスエーブル 1 チャンネル 1 の条件一致時に $\overline{UBCTR\overline{G}}$ 出力するかどうかを指定します。 0: チャンネル 1 に対する条件一致で $\overline{UBCTR\overline{G}}$ へ出力する 1: チャンネル 1 に対する条件一致で $\overline{UBCTR\overline{G}}$ へ出力しない
18	UTOD0	0	R/W	$\overline{UBCTR\overline{G}}$ 出力ディスエーブル 0 チャンネル 0 の条件一致時に $\overline{UBCTR\overline{G}}$ 出力するかどうかを指定します。 0: チャンネル 0 に対する条件一致で $\overline{UBCTR\overline{G}}$ へ出力する 1: チャンネル 0 に対する条件一致で $\overline{UBCTR\overline{G}}$ へ出力しない
17, 16	CKS[1:0]	00	R/W	クロックセレクト 条件一致時、 $\overline{UBCTR\overline{G}}$ に出力するパルス幅を指定します。 00: $\overline{UBCTR\overline{G}}$ のパルス幅をバスクロック 1 周期分にする 01: $\overline{UBCTR\overline{G}}$ のパルス幅をバスクロック 2 周期分にする 10: $\overline{UBCTR\overline{G}}$ のパルス幅をバスクロック 4 周期分にする 11: $\overline{UBCTR\overline{G}}$ のパルス幅をバスクロック 8 周期分にする

ビット	ビット名	初期値	R/W	説明
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 に設定したブ레이크条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する C バスサイクル条件不一致 1 : チャンネル 0 に対する C バスサイクル条件一致
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 に設定したブ레이크条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する C バスサイクル条件不一致 1 : チャンネル 1 に対する C バスサイクル条件一致
13	SCMFD0	0	R/W	I バスサイクル条件一致フラグ 0 チャンネル 0 に設定したブ레이크条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する I バスサイクル条件不一致 1 : チャンネル 0 に対する I バスサイクル条件一致
12	SCMFD1	0	R/W	I バスサイクル条件一致フラグ 1 チャンネル 1 に設定したブ레이크条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する I バスサイクル条件不一致 1 : チャンネル 1 に対する I バスサイクル条件一致
11~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PCB1	0	R/W	PC ブ레이크セレクト 1 チャンネル 1 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル 1 の PC ブ레이크を命令実行前に設定 1 : チャンネル 1 の PC ブ레이크を命令実行後に設定
5	PCB0	0	R/W	PC ブ레이크セレクト 0 チャンネル 0 に対する命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを選択します。 0 : チャンネル 0 の PC ブ레이크を命令実行前に設定 1 : チャンネル 0 の PC ブ레이크を命令実行後に設定
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 7.4 動作説明

### 7.4.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの動作の流れは、次のとおりです。

1. ブレイクアドレスを、ブレイクアドレスレジスタ (BAR) に指定します。マスクするアドレスを、ブレイクアドレスマスクレジスタ (BAMR) に指定します。ブレイクデータを、ブレイクデータレジスタ (BDR) に指定します。マスクするデータを、ブレイクデータマスクレジスタ (BDMR) に指定します。バスブレイク条件を、ブレイクバスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレイクは発生しません。ブレイク制御は、BRCCRのビットに指定します。すべてのブレイク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレイク条件を満足し、ユーザブレイク割り込み要求を許可する設定の場合、UBCはユーザブレイク割り込み要求をINTCに通知するとともに、それぞれのチャンネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットし、UBCTRG端子にCKS[1:0]ビットで設定されたパルス幅で出力します。また、BBRのUBIDビットを1にセットすることにより、ユーザブレイク割り込みを要求せず外部でトリガ出力をモニタすることも可能です。
3. ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられません。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第6章 割り込みコントローラ (INTC)」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。ユーザブレイク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。
5. チャンネル0およびチャンネル1で設定したブレイクがほぼ同時に発生する場合があります。INTCに対するユーザブレイク割り込み要求は1つだけであっても、これらの2つのブレイクチャンネル一致フラグは2つともセットされる場合があります。
6. ブレイク条件としてIバスを選択した場合は、次のことに注意してください。
  - CPUがCバス上で発行したアクセスが内部CPUバス上に発行されるかどうかは、キャッシュの設定により異なります。キャッシュ条件によるIバスの動作については、「第8章 キャッシュ」の表8.8を参照してください。
  - Iバスにブレイク条件を設定している場合はデータアクセスサイクルのみ監視し、命令フェッチサイクル (キャッシュ更新サイクルを含む) は監視しません。

- 内部DMAバスサイクルは、データアクセスサイクルのみです。
- Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因した内部CPUバスサイクルで条件が一致したときでも、どの命令でユーザブレイク割り込み要求を受け付けるかを一意に決定することはできません。

## 7.4.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBR) にCバス / 命令フェッチ / 読み出し / ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。ユーザブレイク割り込み例外処理の実行開始を命令実行の前にするか後にするかは、該当するチャネルに対するブレイクコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BAR) のBA0ビットを0に設定してください。このビットが1に設定されているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までユーザブレイク割り込み要求は受け付けられません。

【注】遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までユーザブレイク割り込み要求は受け付けられません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ (BDR) は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

### 7.4.3 データアクセスサイクルでのブレイク

1. データアクセスブレイクにおいて、ブレイク条件としてCバスを指定した場合は、実行された命令によりアクセスされたアドレス(およびデータ)に対して条件比較を行いブレイクを発生します。ブレイク条件としてIバスを指定した場合は、Iバスセレクトで指定したバス上のデータアクセスサイクルのアドレス(およびデータ)に対して条件比較を行いブレイクを発生します。内部CPUバス上に発行されるCPUのバスサイクルに関しては、「7.4.1 ユーザブレイク動作の流れ」の6.の項を参照してください。
2. 表7.3にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 7.3 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレイクアドレスレジスタのビット31~2とアドレスバスのビット31~2を比較
ワード	ブレイクアドレスレジスタのビット31~1とアドレスバスのビット31~1を比較
バイト	ブレイクアドレスレジスタのビット31~0とアドレスバスのビット31~0を比較

これは、たとえばブレイクアドレスレジスタ (BAR) にアドレスH'00001003を設定するとき、ブレイク条件を満足するバスサイクルには、(他のすべての条件が満足されると仮定した場合) 以下が含まれることを意味します。

H'00001000 でのロングワードアクセス  
 H'00001002 でのワードアクセス  
 H'00001003 でのバイトアクセス

#### 3. ブレイク条件にデータ値が含まれる場合

ブレイク条件にデータ値が含まれる場合は、ブレイクバスサイクルレジスタ (BBR) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレイク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレイクが発生します。この場合、バイトデータを指定するためには、ブレイクデータレジスタ (BDR) とブレイクデータマスクレジスタ (BDMR) のビット31~24、ビット23~16、ビット15~8、ビット7~0の4バイトに同じデータを指定します。ワードデータを指定するためには、ビット31~16、ビット15~0の2ワードに同じデータを指定します。

4. PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレイク条件にデータ値が含まれる場合は、ブレイクは発生しません。
5. データアクセスサイクルを選択している場合は、ブレイクの発生する命令を特定することはできません。

#### 7.4.4 回避されるプログラムカウンタの値

ユーザブレイク割り込み要求受け付け時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレイク条件としてCバス (FAB) / 命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件としてCバス / データアクセスサイクル、またはIバス / データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

##### 1. Cバス (FAB) / 命令フェッチを (命令実行前) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

##### 2. Cバス (FAB) / 命令フェッチを (命令実行後) ブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

##### 3. Cバス / データアクセスサイクルまたはIバス / データアクセスサイクルをブレイク条件として指定する場合

スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが退避されます。

#### 7.4.5 使用例

##### (1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

###### • レジスタ指定

BAR\_0 = H'00000404、BAMR\_0 = H'00000000、BBR\_0 = H'0054、BAR\_1 = H'00008010、BAMR\_1 = H'00000006、  
BBR\_1 = H'0054、BDR\_1 = H'00000000、BDMR\_1 = H'00000000、BRCR = H'00000020

<チャンネル0>

アドレス : H'00000404、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00000404の命令実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に発生します。

(例 1-2)

- レジスタ指定

BAR\_0 = H'00027128、BAMR\_0 = H'00000000、BBR\_0 = H'005A、BAR\_1 = H'00031415、BAMR\_1 = H'00000000、  
BBR\_1 = H'0054、BDR\_1 = H'00000000、BDMR\_1 = H'00000000、BRCCR = H'00000000

<チャンネル0>

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル1>

アドレス : H'00031415、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル0では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

- レジスタ指定

BAR\_0 = H'00008404、BAMR\_0 = H'00000FFF、BBR\_0 = H'0054、BAR\_1 = H'00008010、BAMR\_1 = H'00000006、  
BBR\_1 = H'0054、BDR\_1 = H'00000000、BDMR\_1 = H'00000000、BRCCR = H'00000020

<チャンネル0>

アドレス : H'00008404、アドレスマスク : H'00000FFF

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレスH'00008000 ~ H'00008FFEの命令の実行後、またはアドレスH'00008010 ~ H'00008016の命令の実行前に生じます。

## (2) Cバスデータアクセスサイクルに指定したブレイク条件

(例 2-1)

## • レジスタ指定

BAR\_0 = H'00123456、BAMR\_0 = H'00000000、BBR\_0 = H'0064、BAR\_1 = H'000ABCDE、  
BAMR\_1 = H'000000FF、BBR\_1 = H'106A、BDR\_1 = H'A512A512、BDMR\_1 = H'00000000、BRCR = H'00000000

&lt;チャンネル0&gt;

アドレス : H'00123456、アドレスマスク : H'00000000

バスサイクル : Cバス / データアクセス / 読み出し (オペランドサイズは条件に含まれません)

&lt;チャンネル1&gt;

アドレス : H'000ABCDE、アドレスマスク : H'000000FF

データ : H'0000A512、データマスク : H'00000000

バスサイクル : Cバス / データアクセス / 書き込み / ワード

チャンネル0では、ユーザブレイクはアドレスH'00123456に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはH'000ABC00 ~ H'000ABCFEにワードH'A512を書き込むときに生じます。

## (3) Iバスデータアクセスサイクルに指定されたブレイク条件

(例 3-1)

## • レジスタ指定 :

BAR\_0 = H'00314156、BAMR\_0 = H'00000000、BBR\_0 = H'0194、BAR\_1 = H'00055555、BAMR\_1 = H'00000000、  
BBR\_1 = H'12A9、BDR\_1 = H'78787878、BDMR\_1 = H'0F0F0F0F、BRCR = H'00000000

&lt;チャンネル0&gt;

アドレス : H'00314156、アドレスマスク : H'00000000

バスサイクル : 内部CPUバス / 命令フェッチ / 読み出し (オペランドサイズは条件に含まれません)

&lt;チャンネル1&gt;

アドレス : H'00055555、アドレスマスク : H'00000000

データ : H'00000078、データマスク : H'0000000F

バスサイクル : 内部DMAバス / データアクセス / 書き込み / バイト

チャンネル0では、内部CPUバス上の命令フェッチの設定であり無効となります。チャンネル1では、ユーザブレイクは内部DMAバス上でDMACがバイトH'7xをアドレスH'00055555に書き込むときに生じます (内部CPUバスでのアクセスの場合は生じません)。

## 7.5 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、内部CPUバス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクル、内部CPUバスサイクル、内部DMAバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブレイク割り込み要求と他の例外要因が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外要因が発生した場合は、ユーザブレイク割り込み要求は受け付けられません。
4. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。  
遅延スロット命令に対して命令実行前ブレイクを設定した場合は、その分岐先の実行前までユーザブレイク割り込み要求は受け付けられません。
5. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレイク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレイクアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレイクを設定しないでください。
8. 32ビット命令にブレイクアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレイクアドレスを設定した場合、ブレイク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブレイクを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレイクを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレイクが発生します。

---

## 8. キャッシュ

---

### 8.1 特長

- 容量
  - 命令キャッシュ：8Kバイト
  - オペランドキャッシュ：8Kバイト
- 構成：命令/データ分離、4ウェイセットアソシアティブ
- ウェイロック機能（オペランドキャッシュのみ）：ウェイ2、ウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：128エントリ/ウェイ
- ライト方式：ライトバック方式とライトスルー方式より選択可能
- 置換方式：LRU置換アルゴリズム

#### 8.1.1 キャッシュの構成

キャッシュは、命令/データ分離型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、おのおののウェイはアドレス、データに分かれています。

アドレスとデータはそれぞれ1ウェイあたり128のエントリで構成されます。エントリのデータをラインと呼びます。1ラインは16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、2Kバイト（16バイト×128エントリ）で、キャッシュ全体（4ウェイ）では8Kバイトの容量となります。

オペランドキャッシュの構成を図 8.1 に示します。命令キャッシュの構成は、U ビットがないことを除いてオペランドキャッシュの構成と同じです。

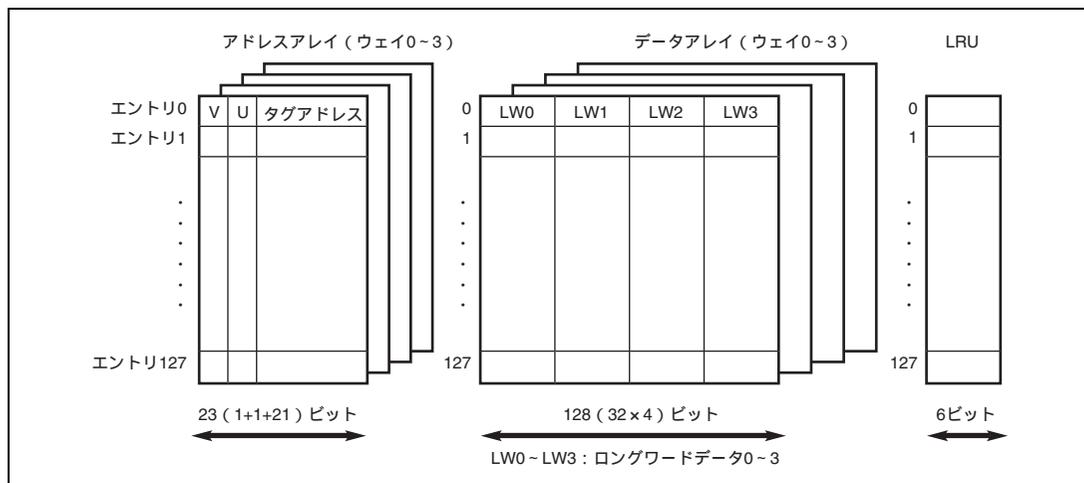


図 8.1 オペランドキャッシュの構成

#### (1) アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

U ビット (オペランドキャッシュのみ) は、ライトバックモードで、そのエントリに書き込みがあったことを示します。U ビットが 1 で書き込みあり、0 で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用されるアドレスを保持します。キャッシュ検索時の比較に使用される 21 ビット (アドレス 31~11) からなります。本 LSI では、キャッシュ有効空間のアドレスが H'00000000 ~ H'1FFFFFFF であるため (「第 9 章 バスステートコントローラ (BSC)」参照)、タグアドレスの上位 3 ビットに 0 が入ります。

V、U ビットは、パワーオンリセットで 0 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。タグアドレスは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

#### (2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位 (16 バイト単位) で行います。

データアレイは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

## (3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令、データを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能(オペランドキャッシュのみ)を使用しない場合のLRUビットとリプレースされるウェイの関係を表8.1に示します(キャッシュロック機能を使用する場合には「8.2.2 キャッシュ制御レジスタ2(CCR2)」を参照してください)。表8.1に示した以外のLRUビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表8.1に示すパターンを設定してください。

LRUビットは、パワーオンリセットでB'000000に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

表 8.1 LRU ビットと置き換えられるウェイ (キャッシュロック機能を使用しない場合)

LRU (ビット5~0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

## 8.2 レジスタの説明

キャッシュには以下のレジスタがあります。

表 8.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
キャッシュ制御レジスタ 1	CCR1	R/W	H'00000000	H'FFFC1000	32
キャッシュ制御レジスタ 2	CCR2	R/W	H'00000000	H'FFFC1004	32

### 8.2.1 キャッシュ制御レジスタ 1 (CCR1)

命令キャッシュは ICE ビットでイネーブルまたはディスエーブルを指定します。ICF ビットは命令キャッシュの全エントリの無効化を制御します。OCE ビットでオペランドキャッシュのイネーブルまたはディスエーブルを指定します。OCF ビットはオペランドキャッシュの全エントリの無効化を制御します。WT ビットではオペランドキャッシュのライトスルーモード、ライトバックモードを切り替えます。

CCR1 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR1 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICF	-	-	ICE	-	-	-	-	OCE	-	WT	OCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICF	0	R/W	命令キャッシュフラッシュ 1 を書き込むと、命令キャッシュの全エントリの V、LRU ビットを 0 にクリア (フラッシュ) します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
10, 9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	ICE	0	R/W	命令キャッシュ有効 命令キャッシュ機能のイネーブル/ディスエーブルを指定します。 0: 命令キャッシュディスエーブル 1: 命令キャッシュイネーブル
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	OCF	0	R/W	オペランドキャッシュフラッシュ 1を書き込むと、オペランドキャッシュの全エントリのV、U、LRU ビットを0にクリア(フラッシュ)します。読み出すと0が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	WT	0	R/W	ライトスルー ライトバック/ライトスルー切り替え 0: ライトバックモード 1: ライトスルーモード
0	OCE	0	R/W	オペランドキャッシュ有効 オペランドキャッシュ機能のイネーブル/ディスエーブルを指定します。 0: オペランドキャッシュディスエーブル 1: オペランドキャッシュイネーブル

## 8.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、オペランドキャッシュのキャッシュロック機能を制御するレジスタです。キャッシュロック機能はキャッシュロックモード時のみ有効です。キャッシュロックモードとは、CCR2 のロックイネーブルビット (LE ビット) = 1 の状態です。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 8.3 に示すとおりです。一方プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロックモード、W3LOAD=1 かつ W3LOCK=1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時のプリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 8.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR2 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	W3 LOAD*	W3 LOCK	-	-	-	-	-	-	W2 LOAD*	W2 LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

【注】\* W3LOADとW2LOADを同時に1にセットしないでください。

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	LE	0	R/W	ロックイネーブル キャッシュロックモードを制御します。 0:非キャッシュロックモード 1:キャッシュロックモード
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 8	W3LOAD* W3LOCK	0 0	R/W R/W	ウェイ3ロード ウェイ3ロック W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ3に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	W2LOAD* W2LOCK	0 0	R/W R/W	ウェイ2ロード ウェイ2ロック W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ2に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。

【注】 \* W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 8.3 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRU に従う (表 8.1)
1	x	0	x	0	LRU に従う (表 8.1)
1	x	0	0	1	LRU に従う (表 8.5)
1	0	1	x	0	LRU に従う (表 8.6)
1	0	1	0	1	LRU に従う (表 8.7)
1	0	x	1	1	ウェイ 2
1	1	1	0	x	ウェイ 3

【記号説明】 x : Don't care

【注】 \* W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 8.4 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRU に従う (表 8.1)
1	x	0	x	0	LRU に従う (表 8.1)
1	x	0	x	1	LRU に従う (表 8.5)
1	x	1	x	0	LRU に従う (表 8.6)
1	x	1	x	1	LRU に従う (表 8.7)

【記号説明】 x : Don't care

【注】 \* W3LOAD と W2LOAD を同時に 1 にセットしないでください。

表 8.5 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 0 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 8.6 LRU ビットと置き換えられるウェイ (W2LOCK = 0 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 8.7 LRU ビットと置き換えられるウェイ (W2LOCK = 1 かつ W3LOCK = 1 の場合)

LRU (ビット 5-0)	置き換えられるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

## 8.3 動作説明

オペランドキャッシュについて説明します。命令キャッシュについては、アドレスアレイにUビットがない、プリフェッチ動作がない、ライト動作がない、ライトバックバッファがないことを除いてオペランドキャッシュと同様です。

### 8.3.1 キャッシュの検索

オペランドキャッシュがイネーブルのとき (CCR1 レジスタの OCE ビット = 1)、キャッシュ有効空間のデータにアクセスすると、キャッシュが検索され、目的のデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 8.2 に示します。

メモリへのアクセスアドレスのビット 10~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。このとき、タグアドレスの上位 3 ビットは常に 0 です。メモリへのアクセスアドレスのビット 31~11 と、読み出したタグアドレスを比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ比較されたエントリが有効である (V=1) 場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合は図 8.2 に示します。

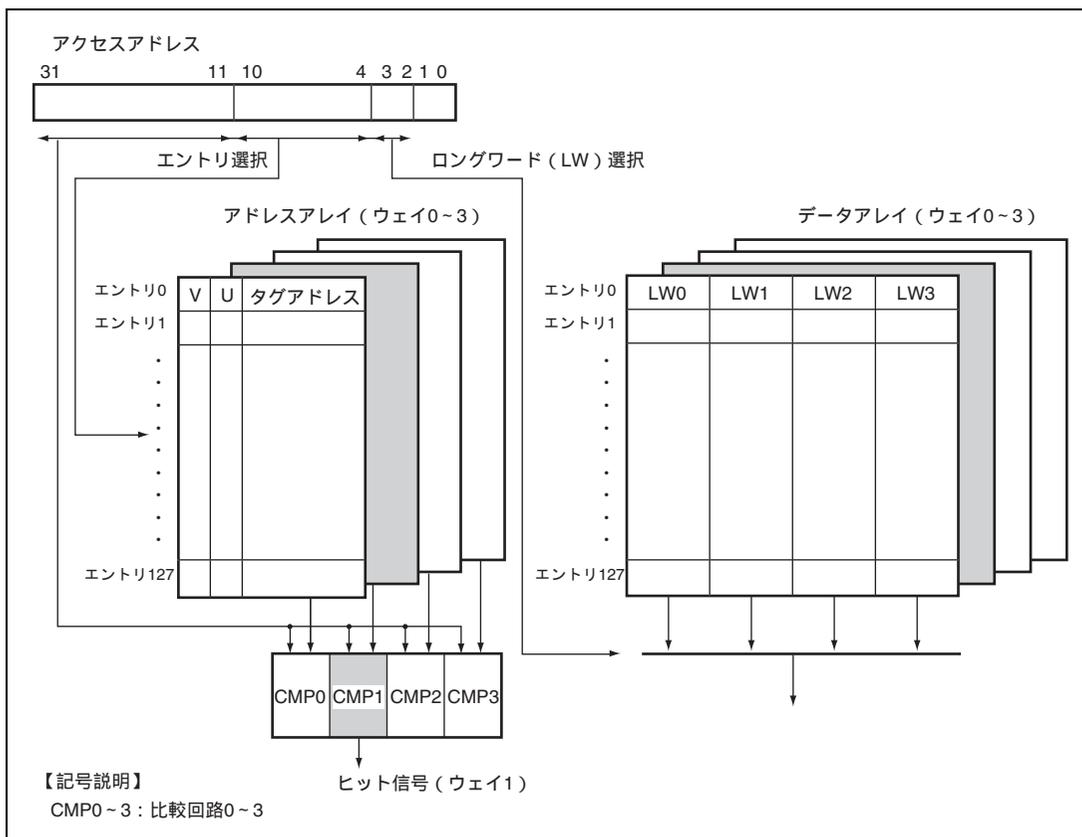


図 8.2 キャッシュの検索方法

### 8.3.2 リード動作

#### (1) リードヒット

キャッシュから CPU にデータが転送されます。ヒットしたウェイが最新となるように LRU が更新されます。

#### (2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 8.4 に従います。エントリの更新の単位は 16 バイトです。外部メモリから目的のデータがキャッシュに登録されると同時に、CPU にそのデータが転送されます。キャッシュに登録されるたびに、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。オペランドキャッシュではさらに U ビットが 0 にセットされ、ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。キャッシュの更新、および、メモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、リードミスが発生したアドレスの下位 4 ビットが H'4 の場合、アドレスの下位 4 ビットが H'4 H'8 H'C H'0 の順番でキャッシュの更新、および、メモリへの書き戻しを行います。

### 8.3.3 プリフェッチ動作 (オペランドキャッシュのみ)

#### (1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は変更されません。CPU へのデータの転送は行われません。

#### (2) プリフェッチミス

CPU へのデータの転送が行われず、置換するウェイは表 8.3 に従います。その他の動作はリードミスの場合と同じです。

### 8.3.4 ライト動作 (オペランドキャッシュのみ)

#### (1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

#### (2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 8.4 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュにデータがラ

イトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。キャッシュの更新、および、メモリへの書き戻しは、ラップアラウンド方式で行います。たとえば、ライトミスが発生したアドレスの下位 4 ビットが H4 の場合、アドレスの下位 4 ビットが H4 H8 HC H0 の順番でキャッシュの更新、および、メモリへの書き戻しを行います。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

### 8.3.5 ライトバックバッファ（オペランドキャッシュのみ）

ライトバックモードで置き換えられるエントリの U ビットが 1 のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへの新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの 1 ライン分のデータ（16 バイト）とそのアドレスを保持可能です。ライトバックバッファの構成を図 8.3 に示します。

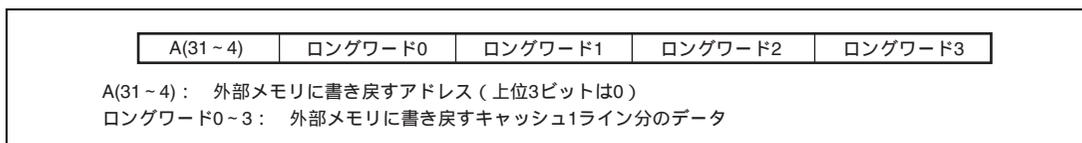


図 8.3 ライトバックバッファの構成

以上の 8.3.2~8.3.5 の動作を表 8.8 にまとめます。

表 8.8 キャッシュ動作まとめ

キャッシュの種類	CPU サイクル	ヒット/ミス	ライトバックモード/ライトスルーモード	U ビット	外部メモリへのアクセス (内部バス経由)	キャッシュの内容
命令キャッシュ	命令フェッチ	ヒット	-	-	発生しません。	更新されません。
		ミス	-	-	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
オペランドキャッシュ	プリフェッチ/リード	ヒット	どちらのモードでも	x	発生しません。	更新されません。
		ミス	ライトスルーモード	-	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新されます。
	ライト	ヒット	ライトスルーモード	-	CPU が発行したライトサイクルが発生します。	CPU が発行したライトサイクルの内容で更新されます。
			ライトバックモード	x	発生しません。	CPU が発行したライトサイクルの内容で更新されます。
		ミス	ライトスルーモード	-	CPU が発行したライトサイクルが発生します。	更新されません。*
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。

【記号説明】 x : Don't care

【注】 キャッシュ更新サイクル : 16 バイトのリードアクセス

ライトバックバッファの書き戻しサイクル : 16 バイトのライトアクセス

\* LRU も更新されません。これ以外のすべてのケースで、LRU は更新されます。

### 8.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシュ有効空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様にしてください。

## 8.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。命令キャッシュのアドレスレイは H'F000 0000 ~ H'F07F FFFF に、データレイは H'F100 0000 ~ H'F17F FFFF に割り付けられています。オペランドキャッシュのアドレスレイは H'F080 0000 ~ H'F0FF FFFF に、データレイは H'F180 0000 ~ H'F1FF FFFF に割り付けられています。アドレスレイ、データレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

### 8.4.1 アドレスレイ

アドレスレイのアクセスには 32 ビットのアドレスの指定（読み出し / 書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。

アドレスにはエントリを選択するためのエントリアドレス、ウェイを選択するための W ビット、連想動作の有無を指定する A ビットを指定します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1、0 には B'00 を指定してください。

データにはタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを指定します。タグアドレスの上位 3 ビット（ビット 31 ~ 29）には常に 0 を指定してください。

アドレスおよびデータのフォーマットについては、図 8.4 を参照してください。

アドレスレイに対しては次の 3 種類の操作が可能です。

#### (1) アドレスレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

#### (2) アドレスレイライト（連想なし）

アドレスの連想ビット（A ビット）を 0 にしてライトした場合、アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを書き込みます。オペランドキャッシュのアドレスレイに対する書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリへの書き戻しは、アドレスの下位 4 ビットが H'0 H'4 H'8 H'C の順番で行います。

### (3) アドレスアレイライト (連想あり)

アドレスの連想ビット (A ビット) を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビット (オペランドキャッシュのみ) と V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。

オペランドキャッシュの場合は、ヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。メモリへの書き戻しは、アドレスの下位 4 ビットが H'0 H'4 H'8 H'C の順番で行います。

## 8.4.2 データアレイ

データアレイのアクセスには、32 ビットのアドレスの指定 (読み出し / 書き込み時) と 32 ビットのデータの指定 (書き込み時) が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン (16 バイト) 中のロングワード位置を示す L ビット、ウェイを指定するための W ビットを指定します。L ビットは B'00 がロングワード 0、B'01 がロングワード 1、B'10 がロングワード 2、B'11 がロングワード 3 を示します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1、0 には B'00 を指定してください。

アドレスおよびデータのフォーマットについては、図 8.4 を参照してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

### (1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L ビットで指定されたデータを読み出します。

### (2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L ビットで指定された位置に、データで指定されたロングワードデータを書き込みます。

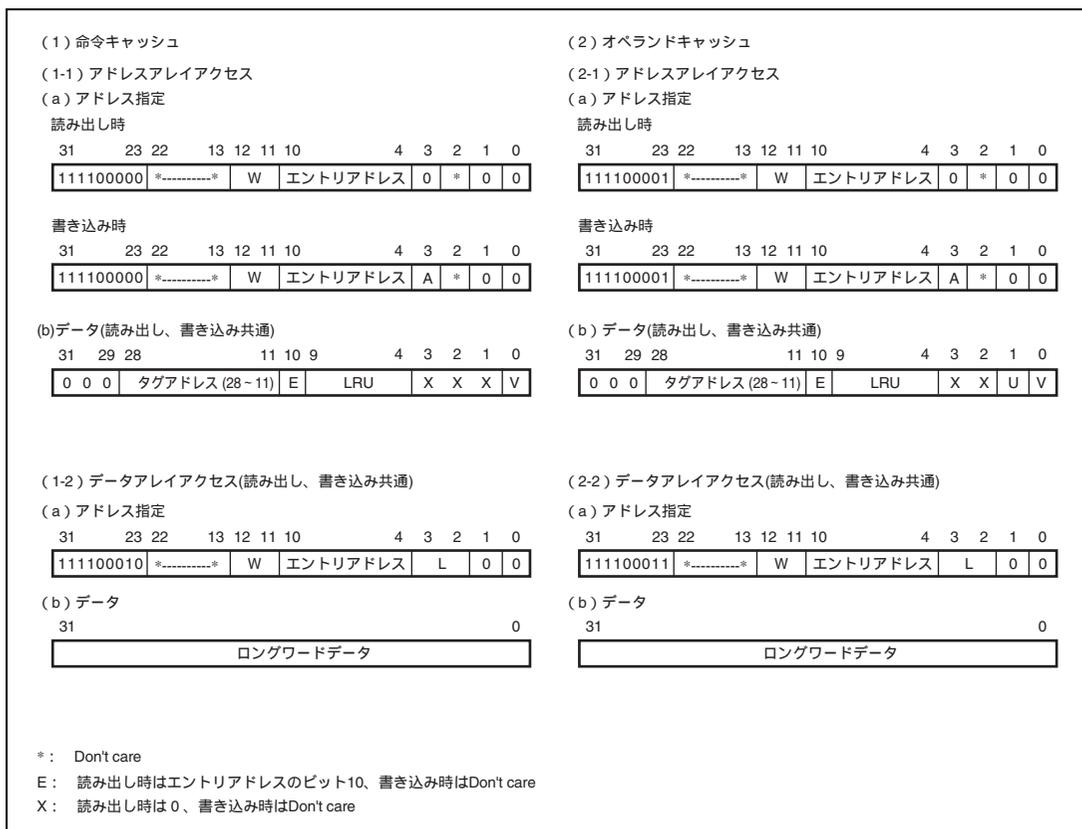


図 8.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

### 8.4.3 使用例

#### (1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリのVビットに0を書き込むことで実現できます。Aビットを1とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定されたVビットおよびUビットを書き込みます。一致しない場合はノーオペレーションです。アドレスアレイのあるエントリのVビットを0にすると、そのエントリのUビットが1のときそのエントリがライトバックされます。

以下に、R0に書き込みデータ、R1にアドレスを指定した場合の例を示します。

```
; R0 = H'0110 0010; タグアドレス(28 ~ 11) = B'0 0001 0001 0000 0000 0, U = 0, V = 0
; R1 = HF080 0088; オペランドキャッシュアドレスアレイアクセス、エントリ = B'000 1000, A = 1
;
MOV.L   R0, @R1
```

#### (2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図 8.4 のデータアレイのデータ部に示されるロングワードがレジスタに読み出されます。

以下に、R0にアドレスを指定し、R1に読み出す例を示します。

```
; R0 = HF100 004C; 命令キャッシュデータアレイアクセス、エントリ = B'000 0100、ウェイ = 0、
   ロングワードアドレス = 3
;
MOV.L   @R0, R1
```

### 8.4.4 注意事項

1. オペランドキャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置してください。命令キャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置し、その先頭と最後でそれぞれ2回以上、内蔵周辺モジュールまたは外部アドレス空間(キャッシュ無効アドレス)へのリードアクセスを実行してください。
2. 同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えることは禁止します。同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えた場合の動作は保証しません。
3. レジスタおよびメモリ割り付けキャッシュは、CPUでのみアクセス可能です。DMACではアクセスできません。



---

## 9. バスステートコントローラ (BSC)

---

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

### 9.1 特長

#### 1. 外部アドレス空間

- CS0～CS7の各空間をそれぞれ最大64Mバイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM (クロック同期または非同期)、MPX-I/O、バーストMPX-I/O、SDRAMのメモリ種類およびPCMCIAインタフェースを指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

#### 2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

#### 3. バーストROM (クロック非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能

#### 4. MPX-I/Oインタフェース

- アドレス / データマルチプレクスが必要な周辺LSIを直結可能

## 5. SDRAMインタフェース

- 最大2つのエリアでSDRAMを設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- 低周波数モード、パワーダウンモードのサポート
- MRSコマンド、EMRSコマンド発行のサポート

## 6. PCMCIAインタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1 Rev2.1) で定めるICメモ리카ードおよびI/Oカードインタフェースをサポート
- ウェイトステート挿入をプログラムで制御可能

## 7. バイト選択付きSRAMインタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

## 8. バーストMPX-I/Oインタフェース

- アドレス / データマルチプレクスが必要な周辺LSIを直結可能
- バースト転送をサポート

## 9. バーストROM (クロック同期) インタフェース

- クロック同期タイプのバーストROMを直結可能

## 10. バスアービトレーション

- すべての資源を他のCPUと共有し、外部からのバス権要求を受け、バス使用許可を出力可能

## 11. リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

## 12. リフレッシュ用カウンタのインターパルタイマとしての利用

- コンペアマッチタイマで割り込み要求発生可能

図 9.1 に BSC のブロック図を示します。

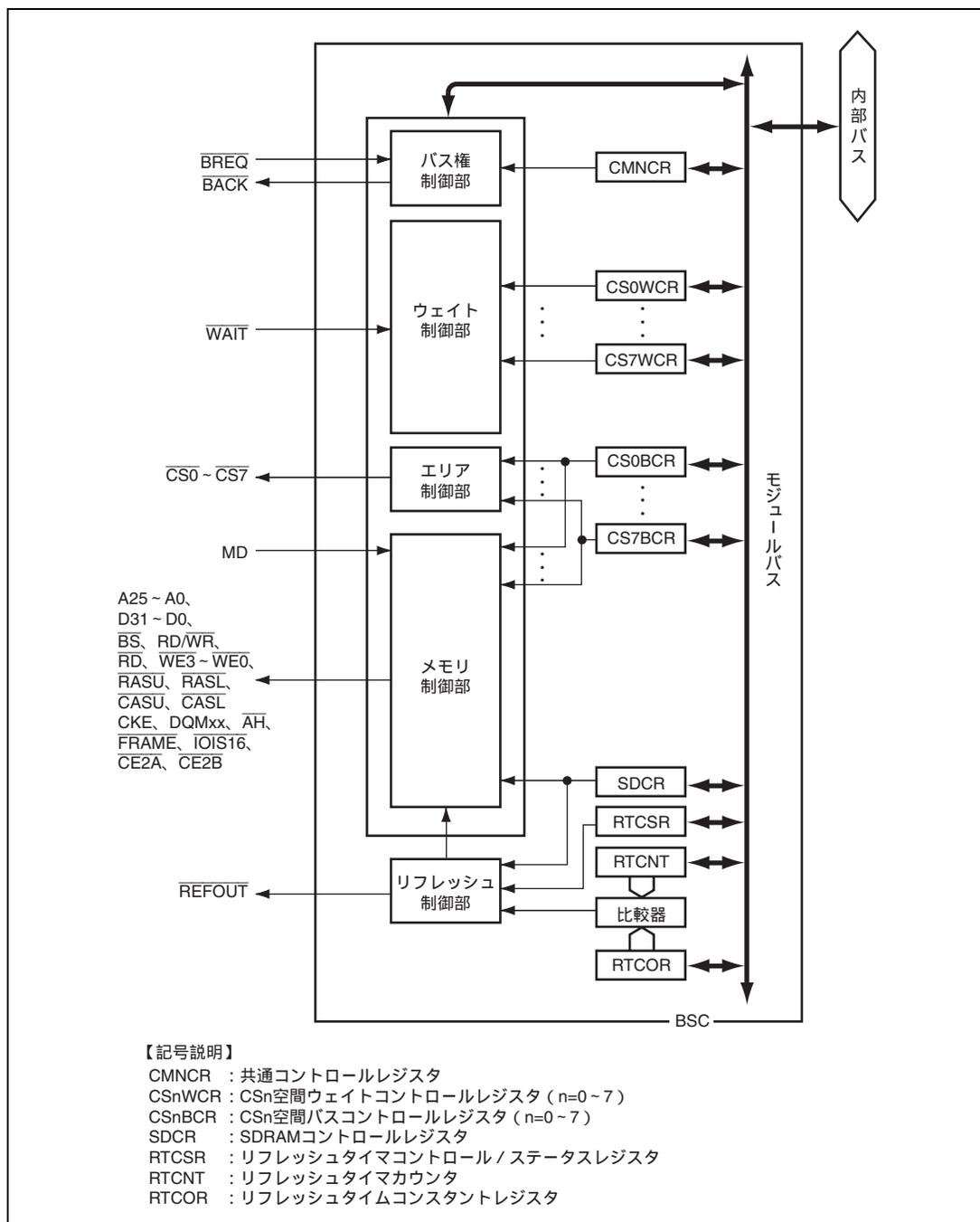


図 9.1 BSC のブロック図

## 9.2 入出力端子

BSC の端子構成を表 9.1 に示します。

表 9.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
BS	出力	バスサイクルの開始を示す信号
CS0 ~ CS4、CS7	出力	チップセレクト
CS5/CE1A、 CS6/CE1B	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
CE2A、CE2B	出力	PCMCIA カードセレクト信号 D15 ~ D8 対応
RD/WR	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、WE 端子に接続
RD	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号
WE3/DQMUU/ ICIOWR/AH	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31 ~ D24 対応の選択信号 PCMCIA 使用時は、I/O ライトを示すストロープ信号 MPX-I/O 使用時は、アドレスをホールドするための信号
WE2/DQMUL/CIORD	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23 ~ D16 対応の選択信号 PCMCIA 使用時は、I/O リードを示すストロープ信号
WE1/DQMLU/WE	出力	D15 ~ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ~ D8 対応の選択信号 PCMCIA 使用時は、メモリライトサイクルを示すストロープ信号
WE0/DQMLL	出力	D7 ~ D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7 ~ D0 対応の選択信号
RASU、RASL	出力	SDRAM 接続時は、RAS 端子に接続
CASU、CASL	出力	SDRAM 接続時は、CAS 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
FRAME	出力	バースト MPX-I/O インタフェース時は、FRAME 信号
WAIT	入力	外部ウェイト入力
BREQ	入力	バス権要求入力

端子名	入出力	機能
BACK	出力	バス使用許可出力
REFOUT	出力	バス解放時リフレッシュ実行要求出力
IOIS16	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効、ビッグエンディアン時は、ローレベルにしてください。
MD	入力	エリア 0 のバス幅選択、エリア 1~7 のバス幅初期値選択

## 9.3 エリアの概要

### 9.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、キャッシュ有効空間、キャッシュ無効空間、内蔵空間 (内蔵 RAM、内蔵周辺モジュール、予約) に分割されています。

CS0~CS7 の外部アドレス空間は、内部アドレスの A29=0 のときにキャッシュ有効、A29=1 のときにキャッシュ無効となります。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 9.2 アドレスマップ

内部アドレス	空間	メモリ種類	キャッシュ
H'00000000 ~ H'03FFFFFF	CS0	通常空間、バースト ROM (非同期、同期)	有効
H'04000000 ~ H'07FFFFFF	CS1	通常空間、バイト選択付き SRAM	
H'08000000 ~ H'0BFFFFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	
H'0C000000 ~ H'0FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	
H'10000000 ~ H'13FFFFFF	CS4	通常空間、バイト選択付き SRAM、バースト ROM (非同期)	
H'14000000 ~ H'17FFFFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O、PCMCIA	
H'18000000 ~ H'1BFFFFFF	CS6	通常空間、バイト選択付き SRAM、バースト MPX-I/O、PCMCIA	
H'1C000000 ~ H'1FFFFFFF	CS7	通常空間、バイト選択付き SRAM	無効
H'20000000 ~ H'23FFFFFF	CS0	通常空間、バースト ROM (非同期、同期)	
H'24000000 ~ H'27FFFFFF	CS1	通常空間、バイト選択付き SRAM	
H'28000000 ~ H'2BFFFFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM	
H'2C000000 ~ H'2FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM	
H'30000000 ~ H'33FFFFFF	CS4	通常空間、バイト選択付き SRAM、バースト ROM (非同期)	
H'34000000 ~ H'37FFFFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O、PCMCIA	
H'38000000 ~ H'3BFFFFFF	CS6	通常空間、バイト選択付き SRAM、バースト MPX-I/O、PCMCIA	
H'3C000000 ~ H'3FFFFFFF	CS7	通常空間、バイト選択付き SRAM	
H'40000000 ~ H'FFFBFFFF	その他	内蔵 RAM、予約エリア*	
H'FFFC0000 ~ H'FFFFFFF	その他	内蔵周辺モジュール、予約エリア*	-

【注】 \* 内蔵 RAM 空間は「第 31 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 34 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

### 9.3.2 各エリアのデータバス幅と関連端子設定

エリア 0 のデータバス幅は、外部端子で 16、32 ビットから選択できますが、起動後のプログラム中での変更はできません。エリア 1~7 の初期状態のデータバス幅はエリア 0 と同じになりますが、レジスタの設定によりプログラム中で変更できます。

パワーオンリセット直後に、エリア 0 の ROM を読み出すのに必要となるアドレスの一部とデータバスの一部、 $\overline{CS0}$ 、 $\overline{RD}$  の端子機能のみが初期機能として自動的に選択されますが、それ以外の機能は初期機能が汎用ポートとなり、プログラムで端子機能を設定するまでは使用できません。端子設定が完了するまでは、エリア 0 のリードアクセス以外は行わないでください。

表 9.3 に外部端子設定とエリア別初期状態を示します。

なお、本章に記載しているアクセス波形例では、 $\overline{BS}$ 、 $\overline{RD}/\overline{WR}$ 、 $\overline{WE}n$  などの端子も示していますが、これらはピンファンクションコントローラで端子機能を設定した場合の例です。例えば、32 ビットデータバス幅で起動後に、エリア 0 以外の空間のバス幅を 16 ビットに変更する場合、A1 端子の設定が必要になり、8 ビットに変更する場合、A1、A0 端子の設定が必要になります。

端子設定の詳細は、「第 29 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 9.3 外部端子 (MD) 設定とエリア別初期状態

MD	項目	エリア 0	エリア 1~7
1	データバス幅	32 ビットバス幅に固定。変更不可	初期値は 32 ビットバス幅。プログラムで変更可能
	本モジュール 関連端子設定	A20-A2、D31-D0、 $\overline{CS0}$ 、 $\overline{RD}$ の端子機能のみは自動設定。 それ以外の端子はプログラムで設定が必要。	
0	データバス幅	16 ビットバス幅に固定。変更不可	初期値は 16 ビットバス幅。プログラムで変更可能
	本モジュール 関連端子設定	A20-A1、D15-D0、 $\overline{CS0}$ 、 $\overline{RD}$ の端子機能のみは自動設定。 それ以外の端子はプログラムで設定が必要。	

- 【注】
1. エリア 0 に A21 以上のアドレス線を使用する ROM を接続する場合、A21 以上のアドレス線に対し基板上でブルダウン処理が必要です。
  2. 使用するメモリタイプによっては、データバス幅が限定されるものがあります。詳細は、「9.4.2 CSn 空間バスコントロールレジスタ」を参照してください。
  3.  $\overline{CS7}$  と A0 機能を同一端子に割り当てているため、エリア 7 と 8 ビットバス幅接続デバイスを併用することはできません。

## 9.4 レジスタの説明

BSC には以下のレジスタがあります。

接続メモリとのインタフェースの設定が終了するまでは、エリア 0 空間以外はアクセスしないでください。

表 9.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001010	H'FFFC0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0600*	H'FFFC0004	32
CS1 空間バスコントロールレジスタ	CS1BCR	R/W	H'36DB0600*	H'FFFC0008	32
CS2 空間バスコントロールレジスタ	CS2BCR	R/W	H'36DB0600*	H'FFFC000C	32
CS3 空間バスコントロールレジスタ	CS3BCR	R/W	H'36DB0600*	H'FFFC0010	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'36DB0600*	H'FFFC0014	32
CS5 空間バスコントロールレジスタ	CS5BCR	R/W	H'36DB0600*	H'FFFC0018	32
CS6 空間バスコントロールレジスタ	CS6BCR	R/W	H'36DB0600*	H'FFFC001C	32
CS7 空間バスコントロールレジスタ	CS7BCR	R/W	H'36DB0600*	H'FFFC0020	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'FFFC0028	32
CS1 空間ウェイトコントロールレジスタ	CS1WCR	R/W	H'00000500	H'FFFC002C	32
CS2 空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'00000500	H'FFFC0030	32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'00000500	H'FFFC0034	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'00000500	H'FFFC0038	32
CS5 空間ウェイトコントロールレジスタ	CS5WCR	R/W	H'00000500	H'FFFC003C	32
CS6 空間ウェイトコントロールレジスタ	CS6WCR	R/W	H'00000500	H'FFFC0040	32
CS7 空間ウェイトコントロールレジスタ	CS7WCR	R/W	H'00000500	H'FFFC0044	32
SDRAM コントロールレジスタ	SDCR	R/W	H'00000000	H'FFFC004C	32
リフレッシュタイムコントロール / ステータスレジスタ	RTCSR	R/W	H'00000000	H'FFFC0050	32
リフレッシュタイムカウンタ	RTCNT	R/W	H'00000000	H'FFFC0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'00000000	H'FFFC0058	32

【注】 \* 外部端子 (MD) にて 32 ビットバス幅設定で起動したときの初期値です。16 ビットバス幅設定時は、H'36DB0400 になります。

## 9.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	BLOCK	DPRTY[1:0]		DMAIW[2:0]			DMA IWA	-	-	-	HIZ MEM	HIZ CNT
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11	BLOCK	0	R/W	バスロックビット BREQ を受け付けるかどうかを指定します。 0: BREQ を受け付けます。 1: BREQ を受け付けません。
10, 9	DPRTY[1:0]	00	R/W	DMA バースト転送優先順位 本ビットは、DMA バースト転送中に対するリフレッシュ要求 / バス権使用要求の優先順位を指定します。 00: DMA バースト転送中にリフレッシュ要求とバス権使用要求を受け付ける。 01: DMA バースト転送中にリフレッシュ要求を受け付け、バス権使用要求は受け付けない。 10: DMA バースト転送中にリフレッシュ要求、バス権使用要求ともに受け付けない。 11: 予約 (設定禁止)

ビット	ビット名	初期値	R/W	説明
8~6	DMAIW[2:0]	000	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定</p> <p>本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。</p> <p>000 : アイドルサイクルなし  001 : 1 アイドルサイクル挿入  010 : 2 アイドルサイクル挿入  011 : 4 アイドルサイクル挿入  100 : 6 アイドルサイクル挿入  101 : 8 アイドルサイクル挿入  110 : 10 アイドルサイクル挿入  111 : 12 アイドルサイクル挿入</p>
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW[2:0]ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが0の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが1の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入  1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	-	1	R	<p>リザーブビット</p> <p>読み出すと常に1が読み出されます。書き込む値も常に1にしてください。</p>
3、2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1	HIZMEM	0	R/W	<p>Hi-Z メモリコントロール</p> <p>本ビットは、A25~A0、BS、CSn、CE2x、RD/WR、WE<math>\bar{n}</math>/DQMxx/AH、RD、FRAME のソフトウェアスタンバイモード時、およびディープスタンバイモード時の端子状態を指定します。バス解放時は、本ビットにかかわらずハイインピーダンスになります。</p> <p>0 : ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス  1 : ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ</p>

ビット	ビット名	初期値	R/W	説明
0	HIZCNT*	0	R/W	<p>Hi-Z コントロール</p> <p>本ビットは、<math>\overline{\text{CKE}}</math>、<math>\overline{\text{RASU}}</math>、<math>\overline{\text{RASL}}</math>、<math>\overline{\text{CASU}}</math>、<math>\overline{\text{CASL}}</math> のソフトウェアスタンバイモード時、ディープスタンバイモード時、およびバス権解放時の状態を指定します。</p> <p>0: <math>\overline{\text{CKE}}</math>、<math>\overline{\text{RASU}}</math>、<math>\overline{\text{RASL}}</math>、<math>\overline{\text{CASU}}</math>、<math>\overline{\text{CASL}}</math> は、ソフトウェアスタンバイモード時、ディープスタンバイモード時、およびバス権解放時にハイインピーダンス</p> <p>1: <math>\overline{\text{CKE}}</math>、<math>\overline{\text{RASU}}</math>、<math>\overline{\text{RASL}}</math>、<math>\overline{\text{CASU}}</math>、<math>\overline{\text{CASL}}</math> は、ソフトウェアスタンバイモード時、ディープスタンバイモード時、およびバス権解放時にドライブ</p>

【注】 \* CKIO の Hi-Z コントロールは「第 4 章 クロックパルス発振器 (CPG)」を参照してください。

#### 9.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0~7)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、「9.5.12 アクセスサイクル間アイドル」を参照ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]		IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]		IWRRS[2:0]				
初期値:	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]		ENDIAN	BSZ[1:0]		-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1*	1*	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

【注】 \* データバス幅を指定する外部端子 (MD) の値をパワーオンリセット時にサンプリングします。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
30 ~ 28	IWW[2:0]	011	R/W	<p>ライト - リード / ライト - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし  001 : 1 アイドルサイクル挿入  010 : 2 アイドルサイクル挿入  011 : 4 アイドルサイクル挿入  100 : 6 アイドルサイクル挿入  101 : 8 アイドルサイクル挿入  110 : 10 アイドルサイクル挿入  111 : 12 アイドルサイクル挿入</p>
27 ~ 25	IWRWD[2:0]	011	R/W	<p>別空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし  001 : 1 アイドルサイクル挿入  010 : 2 アイドルサイクル挿入  011 : 4 アイドルサイクル挿入  100 : 6 アイドルサイクル挿入  101 : 8 アイドルサイクル挿入  110 : 10 アイドルサイクル挿入  111 : 12 アイドルサイクル挿入</p>
24 ~ 22	IWRWS[2:0]	011	R/W	<p>同一空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし  001 : 1 アイドルサイクル挿入  010 : 2 アイドルサイクル挿入  011 : 4 アイドルサイクル挿入  100 : 6 アイドルサイクル挿入  101 : 8 アイドルサイクル挿入  110 : 10 アイドルサイクル挿入  111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
21 ~ 19	IWRRD[2:0]	011	R/W	別空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
18 ~ 16	IWRRS[2:0]	011	R/W	同一空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14 ~ 12	TYPE[2:0]	000	R/W	本ビットは、空間に接続するメモリの種類を設定します。 000 : 通常空間 001 : バースト ROM (クロック非同期) 010 : MPX-I/O 011 : バイト選択付き SRAM 100 : SDRAM 101 : PCMCIA 110 : バースト MPX-I/O 111 : バースト ROM (クロック同期) エリアごとのメモリタイプは表 9.2 を参照してください。 【注】 CS0 空間にバースト ROM を接続する場合は、CS0WCR レジスタを使用するバースト ROM で必要な設定に変更した後で TYPE[2:0] をバースト ROM の設定にしてください。

ビット	ビット名	初期値	R/W	説明
11	ENDIAN	0	R/W	<p>エンディアン指定</p> <p>本ビットは、空間のデータ並びを指定します。</p> <p>0: ビッグエンディアンとして動作</p> <p>1: リトルエンディアンとして動作</p> <p>【注】エリア0のリトルエンディアン設定はできません。エリア0のとき、本ビットは常に0が読み出されます。書き込む値も常に0にしてください。</p>
10, 9	BSZ[1:0]	11*	R/W	<p>データバス幅指定</p> <p>本ビットは、空間のデータバス幅を指定します。</p> <p>00: 予約 (設定禁止)</p> <p>01: 8 ビット</p> <p>10: 16 ビット</p> <p>11: 32 ビット</p> <p>MPX-I/O 時は、アドレスによるバス幅選択</p> <p>【注】1. エリア5をMPX-I/Oに設定した場合は、本ビットの設定を11に設定すると、バス幅はCS5WCRのSZSELに従ったアドレスによりバス幅(8ビットまたは16ビット)が選択されます。また、固定バス幅では8または16ビットバス幅が設定可能です。</p> <p>2. エリア0から7の初期状態のデータバス幅は、外部端子で設定します。このときCS0BCRのBSZ[1:0]ビットへの書き込みは無視されますが、CS1BCR~CS7BCRのバス幅変更は可能です。</p> <p>3. エリア6をバーストMPX-I/Oに設定した場合は、バス幅は32ビットのみ設定が可能です。</p> <p>4. エリア5またはエリア6をPCMCIA空間に設定した場合は、バス幅は8または16ビットから選択が可能です。</p> <p>5. エリア2またはエリア3をSDRAM空間に設定した場合は、バス幅は16または32ビットから選択が可能です。</p> <p>6. エリア0をクロック同期バーストROM空間に設定した場合は、バス幅は16または32ビットから選択が可能です。</p> <p>7. 8ビットデータバス幅を使用する場合には、エリア7は使用できません。エリア7を使用する場合、使用する全エリアを16ビットまたは32ビットデータバス幅としてください。</p>
8~0	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

【注】 \* データバス幅を指定する外部端子 (MD) の値をパワーオンリセット時にサンプリングします。

### 9.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~7)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[2:0]) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR レジスタを設定後に設定してください。

#### (1) 通常空間、バイト選択付き SRAM、MPX-I/O

- CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	WR[3:0]			WM	-	-	-	-	HW[1:0]			
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21, 20	- *	すべて0	R/W	リザーブビット 通常空間インタフェース時は0にしてください。
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17, 16	- *	すべて0	R/W	リザーブビット 通常空間インタフェース時は0にしてください。
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS0}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS0}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WE<math>\bar{n}</math> ネゲート アドレス、CS<math>\bar{0}</math> ネゲート遅延サイクル数</p> <p>本ビットは、RD、WE<math>\bar{n}</math> ネゲートから、アドレス、CS<math>\bar{0}</math> ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

【注】 \* CS0 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 21、20 でバースト数の指定、ビット 17、16 でバーストウェイトサイクル数の指定を行った後に、CS0BCR の TYPE[2:0] を設定してください。上記以外のリザーブビットへの 1 書き込みは行わないでください。

## • CS1WCR、CS7WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE}n$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	アドレス、 $\overline{CSn}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CSn}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	$\overline{RD}$ 、 $\overline{WEn}$ ネゲート アドレス、 $\overline{CSn}$ ネゲート遅延サイクル数 本ビットは、 $\overline{RD}$ 、 $\overline{WEn}$ ネゲートから、アドレス、 $\overline{CSn}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

- CS2WCR、CS3WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE}n$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

## • CS4WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE}n$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WE}n$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数)と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS4}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS4}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	HW[1:0]	00	R/W	$\overline{RD}$ 、 $\overline{WEn}$ ネゲート アドレス、 $\overline{CS4}$ ネゲート遅延サイクル数 本ビットは、 $\overline{RD}$ 、 $\overline{WEn}$ ネゲートから、アドレス、 $\overline{CS4}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

• CS5WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SZSEL	MPXW/ BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明																		
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
21	SZSEL	0	R/W	MPX-I/O インタフェースバス幅指定ビット 本ビットは、CS5BCR の BSZ[1:0]を 11 に設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア 5 を MPX-I/O に設定したときにのみ有効です。 0: アドレス A14 によりバス幅選択 1: アドレス A21 によりバス幅選択 SZSEL ビットと A14、A21 によるバス幅選択の関係について示します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SZSEL</th> <th>A14</th> <th>A21</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>影響なし</td> <td>8 ビットバス幅</td> </tr> <tr> <td>1</td> <td>影響なし</td> <td>16 ビットバス幅</td> </tr> <tr> <td rowspan="2">1</td> <td>影響なし</td> <td>0</td> <td>8 ビットバス幅</td> </tr> <tr> <td>影響なし</td> <td>1</td> <td>16 ビットバス幅</td> </tr> </tbody> </table>	SZSEL	A14	A21	説明	0	0	影響なし	8 ビットバス幅	1	影響なし	16 ビットバス幅	1	影響なし	0	8 ビットバス幅	影響なし	1	16 ビットバス幅
SZSEL	A14	A21	説明																			
0	0	影響なし	8 ビットバス幅																			
	1	影響なし	16 ビットバス幅																			
1	影響なし	0	8 ビットバス幅																			
	影響なし	1	16 ビットバス幅																			
20	MPXW	0	R/W	MPX-I/O インタフェースアドレスウェイト 本設定は、エリア 5 を MPX-I/O に設定したときにのみ有効です。本ビットは、MPX-I/O インタフェースのアドレスサイクル挿入ウェイトを設定します。 0: ウェイトなし 1: 1 サイクルウェイト挿入																		
	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本設定は、エリア 5 をバイト選択付き SRAM に設定したときにのみ有効です。本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ および RD/ $\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE_n}$ はリードライトタイミングでアサート、RD/ $\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WE_n}$ はリードライトアクセスサイクル中アサート、RD/ $\overline{WR}$ はライトタイミングでアサート																		

ビット	ビット名	初期値	R/W	説明
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000 : WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS5}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、エリア 5 を通常空間、バイト選択付 SRAM に設定した場合、アドレス、 $\overline{CS5}$ アサートから $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。エリア 5 を MPX-I/O に設定した場合、アドレスサイクル ( $Ta3$ ) から $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p><math>\overline{RD}</math>、<math>\overline{WE}_n</math> ネゲート アドレス、<math>\overline{CS}_5</math> ネゲート遅延サイクル数</p> <p>本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、<math>\overline{RD}</math>、<math>\overline{WE}_n</math> ネゲートから、アドレス、<math>\overline{CS}_5</math> ネゲートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、<math>\overline{RD}</math>、<math>\overline{WE}_n</math> ネゲートから、<math>\overline{CS}_5</math> ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

- CS6WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]				WR[3:0]			WM	-	-	-	-	HW[1:0]
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ および $RD/\overline{WR}$ 信号のタイミングを設定します。 0: $\overline{WE_n}$ はリードライトタイミングでアサート、 $RD/\overline{WR}$ はライトアクセスサイクル中アサート 1: $\overline{WE_n}$ はリードライトアクセスサイクル中アサート、 $RD/\overline{WR}$ はライトタイミングでアサート
19~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS_6}$ アサート $\overline{RD}$ 、 $\overline{WE_n}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS_6}$ アサートから $\overline{RD}$ 、 $\overline{WE_n}$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>RD、WE<math>\bar{n}</math> ネゲート アドレス、CS<math>\bar{6}</math> ネゲート遅延サイクル数</p> <p>本ビットは、RD、WE<math>\bar{n}</math> ネゲートから、アドレス、CS<math>\bar{6}</math> ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

## (2) パースト ROM (クロック非同期)

## • CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明																		
31~22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																		
21、20	BST[1:0]	00	R/W	パースト数指定 本ビットは、16 バイトアクセス発生時のパースト数を指定します。BST[1:0] の B'11 設定は予約ですので設定しないでください。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>バス幅</th> <th>BST[1:0]</th> <th>パースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8 ビット</td> <td>00</td> <td>16 パースト×1 回</td> </tr> <tr> <td>01</td> <td>4 パースト×4 回</td> </tr> <tr> <td rowspan="3">16 ビット</td> <td>00</td> <td>8 パースト×1 回</td> </tr> <tr> <td>01</td> <td>2 パースト×4 回</td> </tr> <tr> <td>10</td> <td>4-4 または 2-4-2 パースト</td> </tr> <tr> <td>32 ビット</td> <td>xx</td> <td>4 パースト×1 回</td> </tr> </tbody> </table>	バス幅	BST[1:0]	パースト数	8 ビット	00	16 パースト×1 回	01	4 パースト×4 回	16 ビット	00	8 パースト×1 回	01	2 パースト×4 回	10	4-4 または 2-4-2 パースト	32 ビット	xx	4 パースト×1 回
バス幅	BST[1:0]	パースト数																				
8 ビット	00	16 パースト×1 回																				
	01	4 パースト×4 回																				
16 ビット	00	8 パースト×1 回																				
	01	2 パースト×4 回																				
	10	4-4 または 2-4-2 パースト																				
32 ビット	xx	4 パースト×1 回																				
19、18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																		
17、16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル																		
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																		

ビット	ビット名	初期値	R/W	説 明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## • CS4WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]	-	-	-	-	BW[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	W[3:0]			WM	-	-	-	-	-	-	-	HW[1:0]
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明																		
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
21, 20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16 バイトアクセス発生時のバースト数を指定します。BST[1:0]の B'11 設定は予約ですので設定しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>バス幅</th> <th>BST[1:0]</th> <th>バースト数</th> </tr> </thead> <tbody> <tr> <td rowspan="2">8 ビット</td> <td>00</td> <td>16 バースト×1 回</td> </tr> <tr> <td>01</td> <td>4 バースト×4 回</td> </tr> <tr> <td rowspan="3">16 ビット</td> <td>00</td> <td>8 バースト×1 回</td> </tr> <tr> <td>01</td> <td>2 バースト×4 回</td> </tr> <tr> <td>10</td> <td>4-4 または 2-4-2 バースト</td> </tr> <tr> <td>32 ビット</td> <td>xx</td> <td>4 バースト×1 回</td> </tr> </tbody> </table>	バス幅	BST[1:0]	バースト数	8 ビット	00	16 バースト×1 回	01	4 バースト×4 回	16 ビット	00	8 バースト×1 回	01	2 バースト×4 回	10	4-4 または 2-4-2 バースト	32 ビット	xx	4 バースト×1 回
バス幅	BST[1:0]	バースト数																				
8 ビット	00	16 バースト×1 回																				
	01	4 バースト×4 回																				
16 ビット	00	8 バースト×1 回																				
	01	2 バースト×4 回																				
	10	4-4 または 2-4-2 バースト																				
32 ビット	xx	4 バースト×1 回																				
19, 18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		
17, 16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル																		
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																		

ビット	ビット名	初期値	R/W	説 明
12、11	SW[1:0]	00	R/W	アドレス、 $\overline{CS4}$ アサート $\overline{RD}$ 、 $\overline{WEn}$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS4}$ アサートから、 $\overline{RD}$ 、 $\overline{WEn}$ アサートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル
10~7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
1、0	HW[1:0]	00	R/W	$\overline{RD}$ 、 $\overline{WE_n}$ ネゲート アドレス、 $\overline{CS4}$ ネゲート遅延サイクル数 本ビットは、 $\overline{RD}$ 、 $\overline{WE_n}$ ネゲートから、アドレス、 $\overline{CS4}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

## (3) SDRAM\*

## • CS2WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	A2CL[1:0]		-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8、7	A2CL[1:0]	10	R/W	エリア2CAS レイテンシ 本ビットは、エリア2のCAS レイテンシを指定します。 00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル
6~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 \* 1 エリアのみ SDRAM を接続する場合は、エリア3をSDRAM 設定としてください。このときエリア2は、通常空間設定またはバイト選択付きSRAM 設定としてください。

## • CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTRP[1:0]*	-	WTRCD[1:0]*	-	A3CL[1:0]	-	-	-	TRWL[1:0]*	-	WTRC[1:0]*	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

【注】\* エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14, 13	WTRP[1:0]*	00	R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 <ul style="list-style-type: none"> <li>• オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで</li> <li>• PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで</li> <li>• パワーダウンモード / ディープパワーダウンモード遷移まで</li> <li>• オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで</li> <li>• セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで</li> </ul> エリア2とエリア3の設定は共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
12	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11, 10	WTRCD[1:0]*	01	R/W	ACTV コマンド READ (A) / WRIT (A) コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ (A) / WRIT (A) コマンド発行までの最小ウェイトサイクル数を指定します。エリア2とエリア3の設定は、共通となります。 00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
8, 7	A3CL[1:0]	10	R/W	<p>エリア 3CAS レイテンシ</p> <p>本ビットは、エリア 3 の CAS レイテンシを指定します。</p> <p>00 : 1 サイクル</p> <p>01 : 2 サイクル</p> <p>10 : 3 サイクル</p> <p>11 : 4 サイクル</p>
6, 5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4, 3	TRWL[1:0]*	00	R/W	<p>プリチャージ起動待ちサイクル数</p> <p>以下のプリチャージ起動待ちの最小サイクル数を指定します。</p> <ul style="list-style-type: none"> <li>本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動するまでのサイクル数</li> </ul> <p>WRITA コマンド発行後、同一バンクに対する ACTV コマンド発行までのサイクル数です。なお、SDRAM 内で WRITA コマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。</p> <ul style="list-style-type: none"> <li>本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのサイクル数</li> </ul> <p>バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。</p> <p>エリア 2 とエリア 3 の設定は共通となります。</p> <p>00 : ウェイトサイクルなし</p> <p>01 : 1 サイクル</p> <p>10 : 2 サイクル</p> <p>11 : 3 サイクル</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	WTRC[1:0]*	00	R/W	REF コマンド / セルフリフレッシュ解除 ACTV/REF/MRS コマンド間アイドルサイクル数 以下のコマンド間の最小アイドルサイクル数を指定します。 <ul style="list-style-type: none"> <li>REF コマンド発行後から ACTV/REF/MRS コマンド発行まで</li> <li>セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで</li> </ul> エリア 2 とエリア 3 の設定は共通となります。 00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル

【注】 \* エリア 2 とエリア 3 がともに SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

## (4) PCMCIA

- CS5WCR、CS6WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SA[1:0]	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TED[3:0]			PCW[3:0]			WM	-	-	TEH[3:0]					
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	SA[1:0]	00	R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモリカードインタフェースおよび I/O カードインタフェースのいずれかを指定します。 <ul style="list-style-type: none"> <li>SA1           <ul style="list-style-type: none"> <li>0: A25=1 の空間をメモリカードインタフェース指定</li> <li>1: A25=1 の空間を I/O カードインタフェース指定</li> </ul> </li> <li>SA0           <ul style="list-style-type: none"> <li>0: A25=0 の空間をメモリカードインタフェース指定</li> <li>1: A25=0 の空間を I/O カードインタフェース指定</li> </ul> </li> </ul>
19~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
14~11	TED[3:0]	0000	R/W	<p>アドレス - RD/WE アサート遅延</p> <p>本ビットは、PCMCIA インタフェースにおけるアドレス出力からメモ리카ード時の RD/WE アサートまで、または I/O カード時の ICIORD/ICIOWR アサートまでの遅延時間を設定します。</p> <p>0000 : 0.5 サイクル  0001 : 1.5 サイクル  0010 : 2.5 サイクル  0011 : 3.5 サイクル  0100 : 4.5 サイクル  0101 : 5.5 サイクル  0110 : 6.5 サイクル  0111 : 7.5 サイクル  1000 : 8.5 サイクル  1001 : 9.5 サイクル  1010 : 10.5 サイクル  1011 : 11.5 サイクル  1100 : 12.5 サイクル  1101 : 13.5 サイクル  1110 : 14.5 サイクル  1111 : 15.5 サイクル</p>
10~7	PCW[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、挿入ウェイトステート数を設定します。</p> <p>0000 : 3 サイクル  0001 : 6 サイクル  0010 : 9 サイクル  0011 : 12 サイクル  0100 : 15 サイクル  0101 : 18 サイクル  0110 : 22 サイクル  0111 : 26 サイクル  1000 : 30 サイクル  1001 : 33 サイクル  1010 : 36 サイクル  1011 : 38 サイクル  1100 : 52 サイクル  1101 : 60 サイクル  1110 : 64 サイクル  1111 : 80 サイクル</p>

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも本ビットの設定は有効です。 0: 外部ウェイト入力有効 1: 外部ウェイト入力無視
5、4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	TEH[3:0]	0000	R/W	$\overline{RD}/\overline{WE}$ ネゲート - アドレス遅延 本ビットは、PCMCIA インタフェースにおけるメモ리카ード時の $\overline{RD}/\overline{WE}$ ネゲートからの、または I/O カード時の $\overline{ICIOR}/\overline{ICIOWR}$ ネゲートからのアドレスホールド時間を設定します。 0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル

## (5) パースト MPX-I/O

## • CS6WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	MPXAW[1:0]	MPXMD	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21, 20	MPXAW[1:0]	00	R/W	アドレスサイクル挿入ウェイト数 本ビットは、アドレスサイクルに挿入するウェイト数を設定します。 00: ウェイトサイクルなし 01: 1サイクル 10: 2サイクル 11: 3サイクル

ビット	ビット名	初期値	R/W	説明																																											
19	MPXMD	0	R/W	<p>バースト MPX-I/O インタフェースモード指定</p> <p>本ビットは、16 バイトアクセス時のアクセスモードを指定します。</p> <p>0 : 転送サイズが 16 バイトによる 4 バースト 1 回</p> <p>1 : 転送サイズがクワッドワード (8 バイト) による 2 バースト 2 回</p> <p>MPXMD = 0 のときの転送サイズ</p> <table border="1"> <thead> <tr> <th>D31</th> <th>D30</th> <th>D29</th> <th>転送サイズ</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>バイト (1 バイト)</td> </tr> <tr> <td>1</td> <td>ワード (2 バイト)</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>ロングワード (4 バイト)</td> </tr> <tr> <td>1</td> <td>予約 クワッドワード (8 バイト)</td> </tr> <tr> <td rowspan="3">1</td> <td rowspan="2">0</td> <td>0</td> <td>16 バイト</td> </tr> <tr> <td>1</td> <td>予約 (32 バイト)</td> </tr> <tr> <td>1</td> <td>0</td> <td>予約 (64 バイト)</td> </tr> </tbody> </table> <p>MPXMD = 1 のときの転送サイズ</p> <table border="1"> <thead> <tr> <th>D31</th> <th>D30</th> <th>D29</th> <th>転送サイズ</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>バイト (1 バイト)</td> </tr> <tr> <td>1</td> <td>ワード (2 バイト)</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>ロングワード (4 バイト)</td> </tr> <tr> <td>1</td> <td>クワッドワード (8 バイト)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>予約 (32 バイト)</td> </tr> </tbody> </table>	D31	D30	D29	転送サイズ	0	0	0	バイト (1 バイト)	1	ワード (2 バイト)	1	0	ロングワード (4 バイト)	1	予約 クワッドワード (8 バイト)	1	0	0	16 バイト	1	予約 (32 バイト)	1	0	予約 (64 バイト)	D31	D30	D29	転送サイズ	0	0	0	バイト (1 バイト)	1	ワード (2 バイト)	1	0	ロングワード (4 バイト)	1	クワッドワード (8 バイト)	1	0	0	予約 (32 バイト)
D31	D30	D29	転送サイズ																																												
0	0	0	バイト (1 バイト)																																												
		1	ワード (2 バイト)																																												
	1	0	ロングワード (4 バイト)																																												
		1	予約 クワッドワード (8 バイト)																																												
1	0	0	16 バイト																																												
		1	予約 (32 バイト)																																												
	1	0	予約 (64 バイト)																																												
D31	D30	D29	転送サイズ																																												
0	0	0	バイト (1 バイト)																																												
		1	ワード (2 バイト)																																												
	1	0	ロングワード (4 バイト)																																												
		1	クワッドワード (8 バイト)																																												
1	0	0	予約 (32 バイト)																																												
18	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																																											
17、16	BW[1:0]	00	R/W	<p>バーストウェイトサイクル数</p> <p>本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>00 : ウェイトサイクルなし</p> <p>01 : 1 サイクル</p> <p>10 : 2 サイクル</p> <p>11 : 3 サイクル</p>																																											
15~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																																											

ビット	ビット名	初期値	R/W	説 明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のバーストアクセスサイクルまたはシングルアクセスに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## (6) パースト ROM (クロック同期)

## • CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]			WM	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、1 回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が 0 の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 9.4.4 SDRAM コントロールレジスタ (SDCR)

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	A2ROW[1:0]	-	-	A2COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV	-	-	-	A3ROW[1:0]	-	-	A3COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20, 19	A2ROW[1:0]	00	R/W	エリア 2 ロウアドレスビット数 本ビットは、エリア 2 のロウアドレスのビット数を指定します。 00: 11 ビット 01: 12 ビット 10: 13 ビット 11: 予約 (設定禁止)
18	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	A2COL[1:0]	00	R/W	エリア 2 カラムアドレスビット数 本ビットは、エリア 2 のカラムアドレスのビット数を指定します。 00: 8 ビット 01: 9 ビット 10: 10 ビット 11: 予約 (設定禁止)
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー SDRAM に対してのみ有効です。本ビットを 1 の状態で RFSH ビットおよび RMODE ビットを 1 にすると、ディープパワーダウンエントリコマンドを発行してローパワー SDRAM はディープパワーダウンモードに遷移します。 0: セルフリフレッシュモード 1: ディープパワーダウンモード

ビット	ビット名	初期値	R/W	説 明
12	SLOW	0	R/W	<p>低周波数モード</p> <p>本ビットは、SDRAM に対するコマンド、アドレス、ライトデータを出力するタイミング、およびリードデータを取り込むタイミングを指定します。本ビットを 1 に設定すると、SDRAM に対するコマンド、アドレス、およびライトデータを通常より半サイクル遅い CKIO の立ち下がりに同期して出力します。また、SDRAM からのリードデータを通常より半サイクル早い CKIO の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、およびリードデータのホールド時間を延長することができます。このモードは、SDRAM を低周波数で動作させるときに適したモードです。</p> <p>0: SDRAM に対するコマンド、アドレス、およびライトデータを CKIO の立ち上がりに同期して出力する。SDRAM からのリードデータを CKIO の立ち上がりに同期して取り込む。</p> <p>1: SDRAM に対するコマンド、アドレス、およびライトデータを CKIO の立ち下がりに同期して出力する。SDRAM からのリードデータを CKIO の立ち下がりに同期して取り込む。</p>
11	RFSH	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。</p> <p>0: リフレッシュしない</p> <p>1: リフレッシュする</p>
10	RMODE	0	R/W	<p>リフレッシュ制御</p> <p>本ビットは、RFSH ビットが 1 のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSH ビットを 1 かつ本ビットを 1 に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを 1 かつ本ビットを 0 に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。</p> <p>0: オートリフレッシュを行う</p> <p>1: セルフリフレッシュを行う</p>
9	PDOWN	0	R/W	<p>パワーダウンモード</p> <p>本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。</p> <p>0: アクセス終了後、SDRAM をパワーダウンモードにしない</p> <p>1: アクセス終了後、SDRAM をパワーダウンモードにする</p>

ビット	ビット名	初期値	R/W	説 明
8	BACTV	0	R/W	<p>バンクアクティブモード</p> <p>本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。</p> <p>0: オートプリチャージモード (READA および WRITA コマンドを使用)</p> <p>1: バンクアクティブモード (READ および WRIT コマンドを使用)</p> <p>【注】 バンクアクティブモードは、エリア 3 でのみ設定可能です。このときバス幅は、16 または 32 ビットから設定可能です。エリア 2 およびエリア 3 とともに SDRAM に設定する場合は、オートプリチャージモードに設定してください。</p>
7~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4, 3	A3ROW[1:0]	00	R/W	<p>エリア 3 ロウアドレスビット数</p> <p>本ビットは、エリア 3 のロウアドレスのビット数を指定します。</p> <p>00: 11 ビット</p> <p>01: 12 ビット</p> <p>10: 13 ビット</p> <p>11: 予約 (設定禁止)</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1, 0	A3COL[1:0]	00	R/W	<p>エリア 3 カラムアドレスビット数</p> <p>本ビットは、エリア 3 のカラムアドレスのビット数を指定します。</p> <p>00: 8 ビット</p> <p>01: 9 ビット</p> <p>10: 10 ビット</p> <p>11: 予約 (設定禁止)</p>

## 9.4.5 リフレッシュタイムコントロール / ステータスレジスタ (RTCSR)

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイムカウンタ (RTCNT) をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0] を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS[2:0]			RRC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット / クリアされます。 0: クリア条件: CMF = 1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1: セット条件: RTCNT = RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0: CMF による割り込み要求を禁止 1: CMF による割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5~3	CKS[2:0]	000	R/W	クロックセレクト 本ビットは、リフレッシュタイマカウンタ (RTCNT) をカウントアップするクロックを選択します。 000 : カウントアップ停止 001 : B /4 010 : B /16 011 : B /64 100 : B /256 101 : B /1024 110 : B /2048 111 : B /4096
2~0	RRC[2:0]	000	R/W	リフレッシュ回数 本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000 : 1回 001 : 2回 010 : 4回 011 : 6回 100 : 8回 101 : 予約 (設定禁止) 110 : 予約 (設定禁止) 111 : 予約 (設定禁止)

#### 9.4.6 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
7~0		すべて0	R/W	8ビットのカウンタ

#### 9.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが1にセットされ、RTCNT は0にクリアされます。

SDCR の RFSH ビットが1にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

バス解放中にリフレッシュ要求が発生した場合に、 $\overline{\text{REFOUT}}$  信号をアサートすることができます。詳細については「9.5.6 (9) リフレッシュ要求とバスサイクルの関係」または「9.5.13 バスアービトレーション」を参照してください。

RTCSR の CMIE ビットが1にセットされていると、この一致信号によって割り込み要求が発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイム割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位16ビットを H'A55A としてライトプロテクトを解除してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
7~0		すべて0	R/W	8ビットのレジスタ

## 9.5 動作説明

### 9.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアン、下位バイト (LSB) が 0 番地側になるリトルエンディアンのいずれもサポートしています。全エリアでパワーオンリセット後の初期状態は、ビッグエンディアンとなります。エリア 0 空間は、リトルエンディアンへの変更はできませんが、エリア 1~7 空間では、対象空間をアクセスしていない場合に、CSnBCR レジスタの設定でエンディアンの変更ができます。

また、エリア 1~7 空間でのデータバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。MPX-I/O では、8 ビットあるいは 16 ビット幅固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。バースト MPX-I/O では、32 ビット幅固定です。データのアライメントは、各デバイスのデータバス幅にあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。エリア 0 空間では、パワーオンリセット時の MD 端子設定により、16 または 32 ビットのデータバス幅に固定されます。

デバイスのデータ幅とアクセスの単位との関係を表 9.5~表 9.10 に示します。ここで、32 ビットバス幅および 16 ビットバス幅の場合のストローブ信号の番地対応が、ビッグエンディアンとリトルエンディアンで異なることにご注意ください。たとえば、32 ビットバス幅でビッグエンディアン時には、 $\overline{WE3}$  が 0 番地側を示し、リトルエンディアン時には、 $\overline{WE0}$  が 0 番地側を示します。エリア 0 をリトルエンディアンにすることはできません。また命令フェッチは 32 ビットアクセスと 16 ビットアクセスが混在し、リトルエンディアン領域への配置は困難ですので、命令実行はビッグエンディアン領域から行ってください。

表 9.5 ビッグエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイト アクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 9.6 ビッグエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
1 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
2 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	データ 15~8	データ 7~0	-	-	アサート	アサート

表 9.7 ビッグエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
3 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 15~8	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 7~0	-	-	-	アサート
2 番地 ワード アクセス	1 回目 (2 番地)	-	-	-	データ 15~8	-	-	-	アサート
	2 回目 (3 番地)	-	-	-	データ 7~0	-	-	-	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	-	データ 31~24	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 23~16	-	-	-	アサート
	3 回目 (2 番地)	-	-	-	データ 15~8	-	-	-	アサート
	4 回目 (3 番地)	-	-	-	データ 7~0	-	-	-	アサート

表 9.8 リトルエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス	-	-	-	データ 7~0	-	-	-	アサート
1 番地バイト アクセス	-	-	データ 7~0	-	-	-	アサート	-
2 番地バイト アクセス	-	データ 7~0	-	-	-	アサート	-	-
3 番地バイト アクセス	データ 7~0	-	-	-	アサート	-	-	-
0 番地ワード アクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワード アクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 9.9 リトルエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイト アクセス		-	-	データ 7~0	-	-	-	アサート	-
2 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
3 番地バイト アクセス		-	-	データ 7~0	-	-	-	アサート	-
0 番地ワード アクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワード アクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート

表 9.10 リトルエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	$\overline{WE3}$ 、 DQMUU	$\overline{WE2}$ 、 DQMUL	$\overline{WE1}$ 、 DQMLU	$\overline{WE0}$ 、 DQMLL
0 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
1 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
3 番地バイト アクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地 ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 15~8	-	-	-	アサート
2 番地 ワード アクセス	1 回目 (2 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (3 番地)	-	-	-	データ 15~8	-	-	-	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	-	データ 7~0	-	-	-	アサート
	2 回目 (1 番地)	-	-	-	データ 15~8	-	-	-	アサート
	3 回目 (2 番地)	-	-	-	データ 23~16	-	-	-	アサート
	4 回目 (3 番地)	-	-	-	データ 31~24	-	-	-	アサート

## 9.5.2 通常空間インタフェース

### (1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストロープ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「9.5.8 バイト選択付き SRAM インタフェース」を参照ください。図 9.2 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 $\overline{BS}$  信号はバスサイクルの開始を表し、1 サイクルアサートされます。

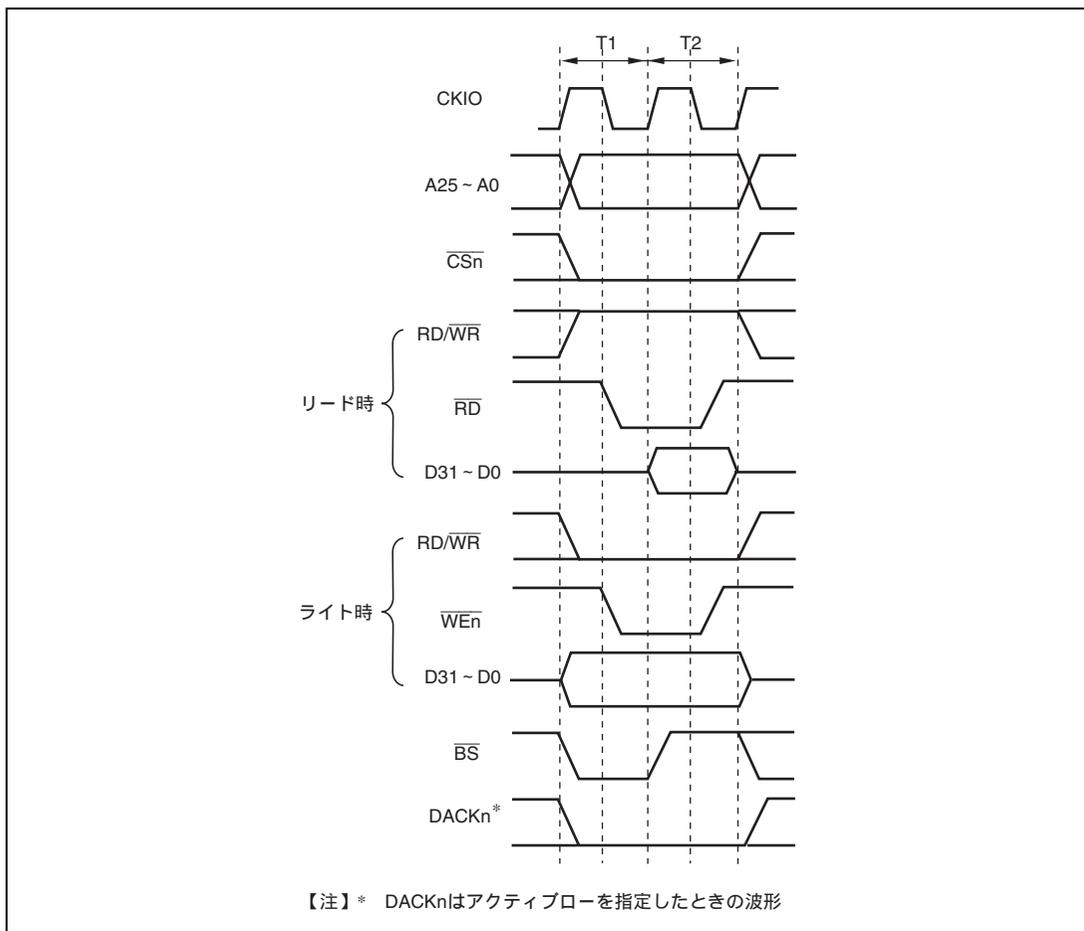


図 9.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32 ビットデバイスでは 32 ビットを、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの  $\overline{WEn}$  信号のみがアサートされます。

データバスにバッファを設ける場合には、 $\overline{RD}$  を用いてリードデータの出力制御を行う必要があります。 $\overline{RD}/\overline{WR}$  信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付け

データバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 9.3、図 9.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T<sub>nop</sub> が挿入されます (図 9.3)。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され T<sub>nop</sub> サイクルの挿入を抑制することができます (図 9.4)。

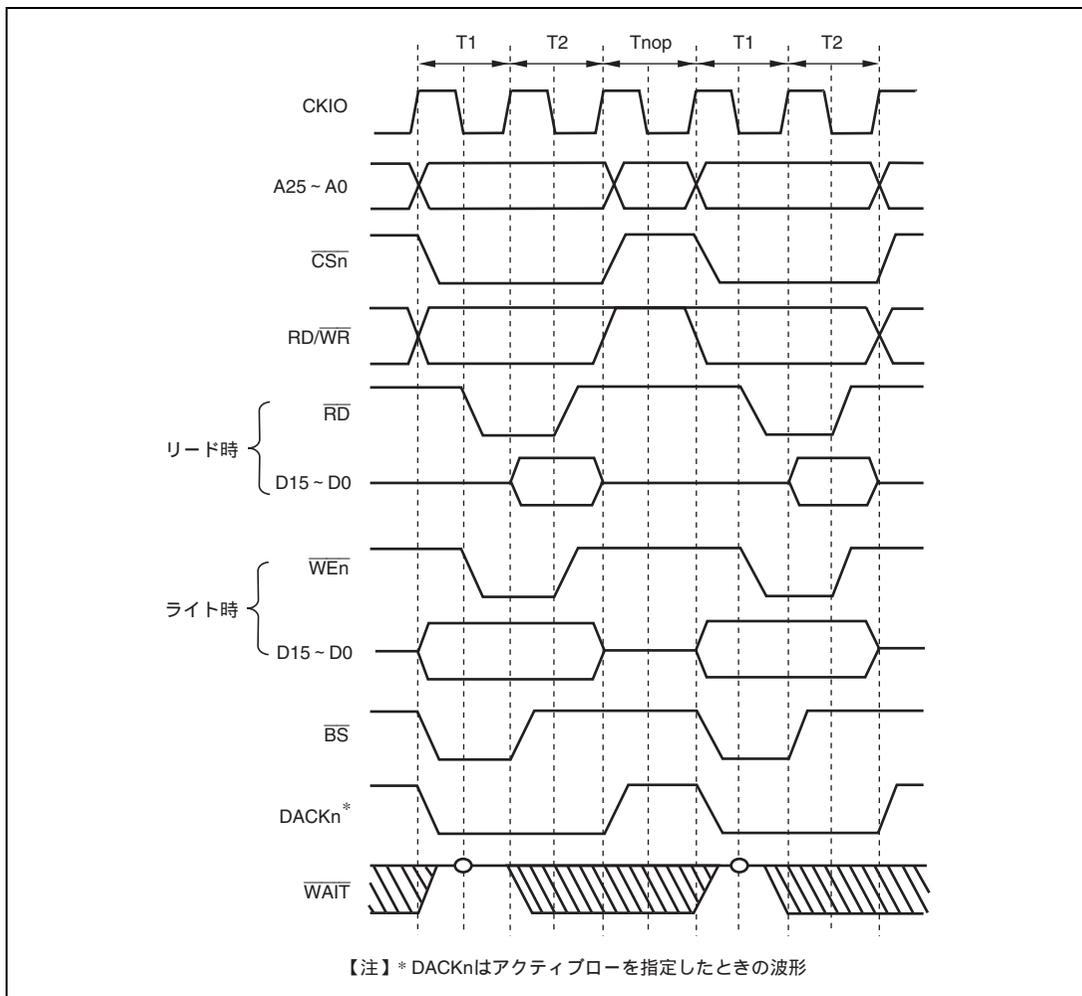


図 9.3 通常空間連続アクセス例 1

バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0  
(アクセスウェイト 0、サイクル間ウェイト 0)

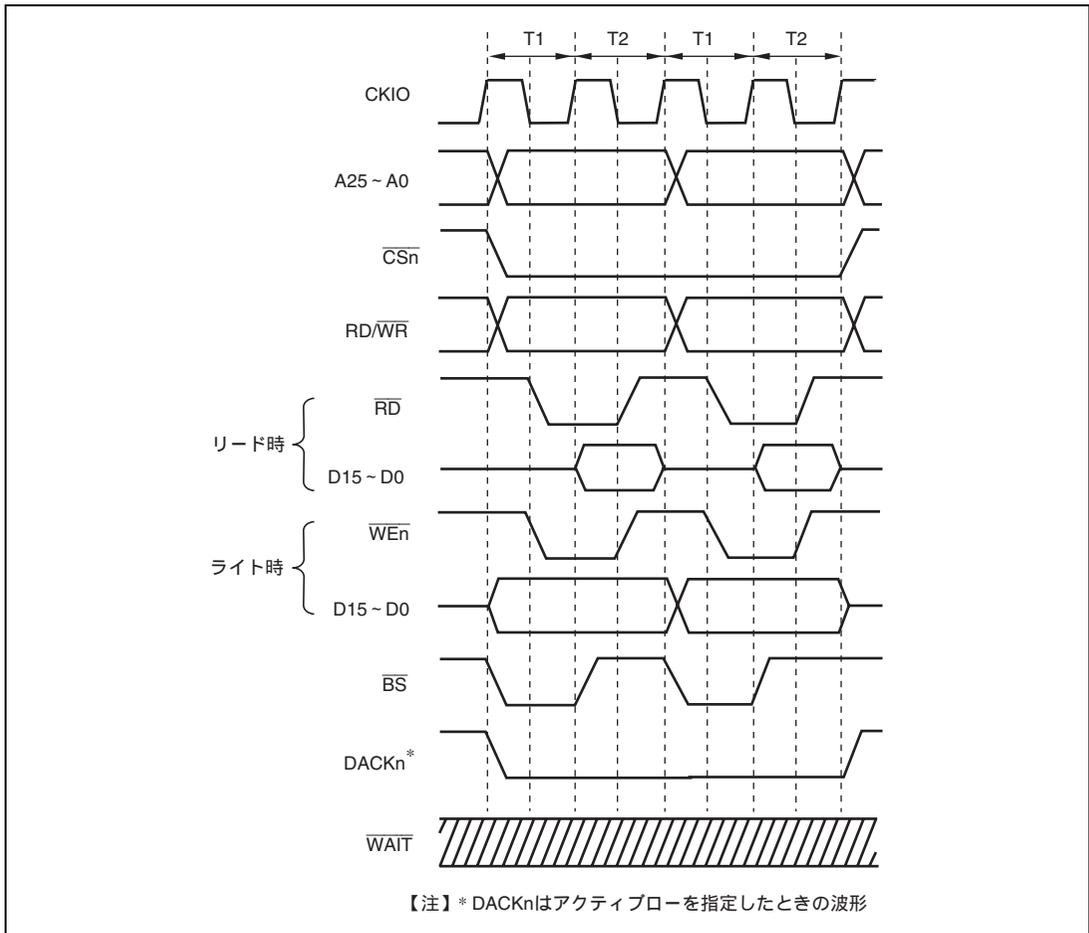


図 9.4 通常空間連続アクセス例 2  
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1  
 (アクセスウェイト 0、サイクル間ウェイト 0)

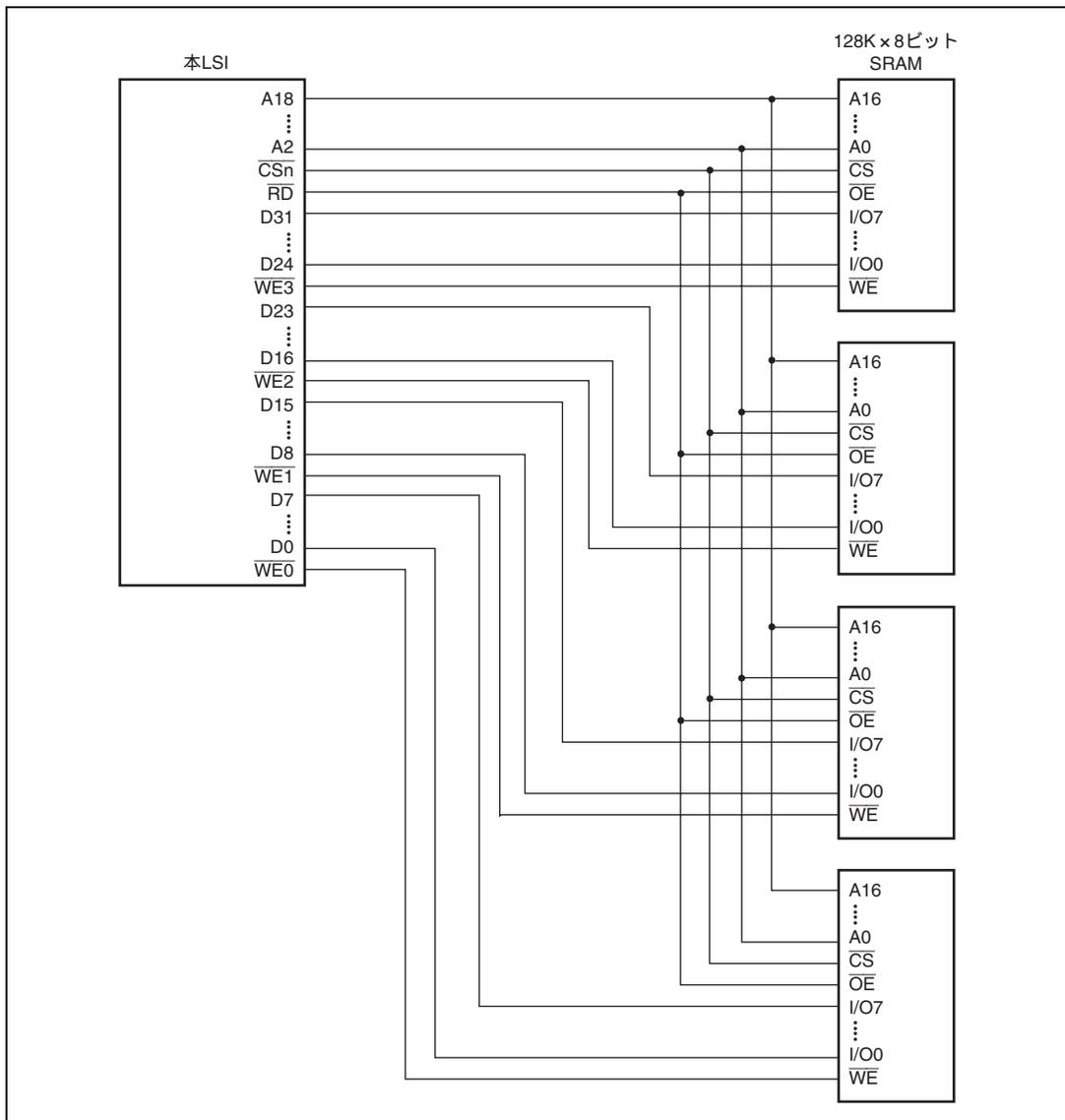


図 9.5 32 ビットデータ幅 SRAM 接続例

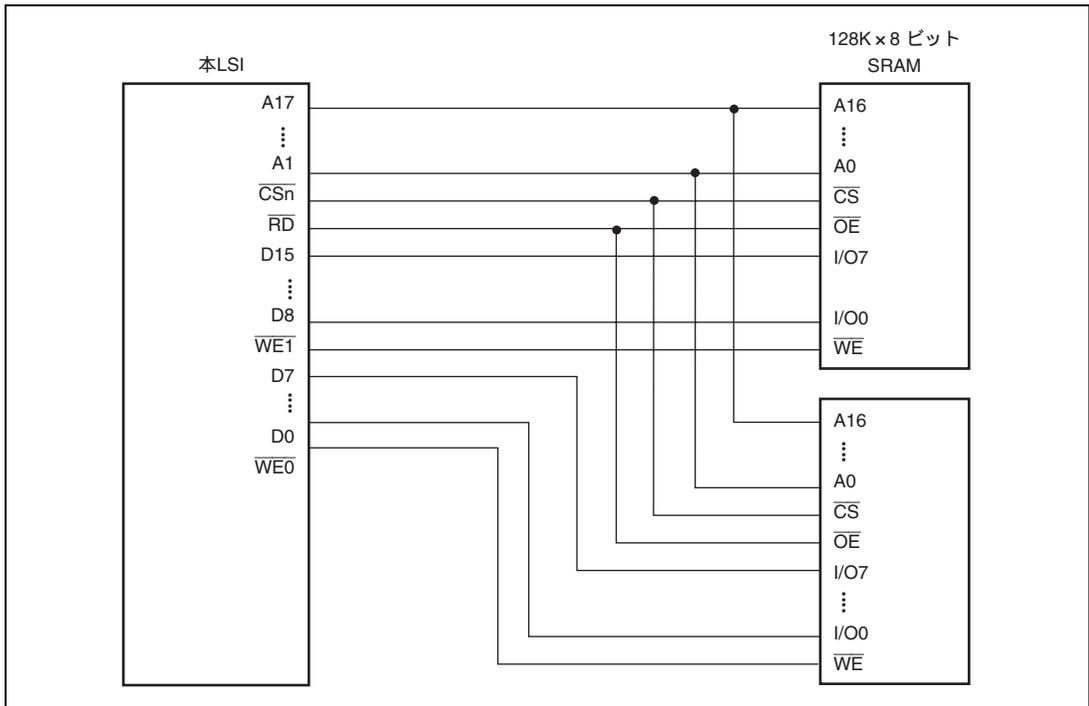


図 9.6 16 ビットデータ幅 SRAM 接続例

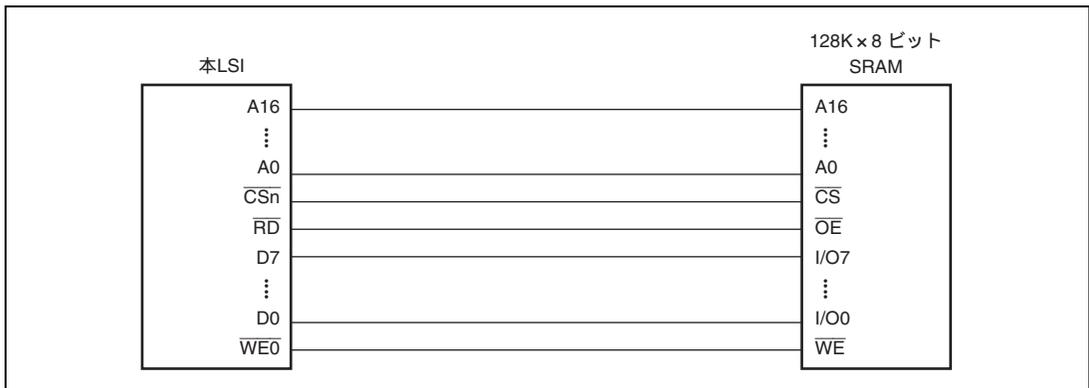


図 9.7 8 ビットデータ幅 SRAM 接続例

### 9.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 1、4、5 およびエリア 7 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、2、3 およびエリア 6 のアクセスウェイトは、リードおよびライトサイクルで共通となります。図 9.8 に示す通常空間のアクセスでは、 $T_w$  のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

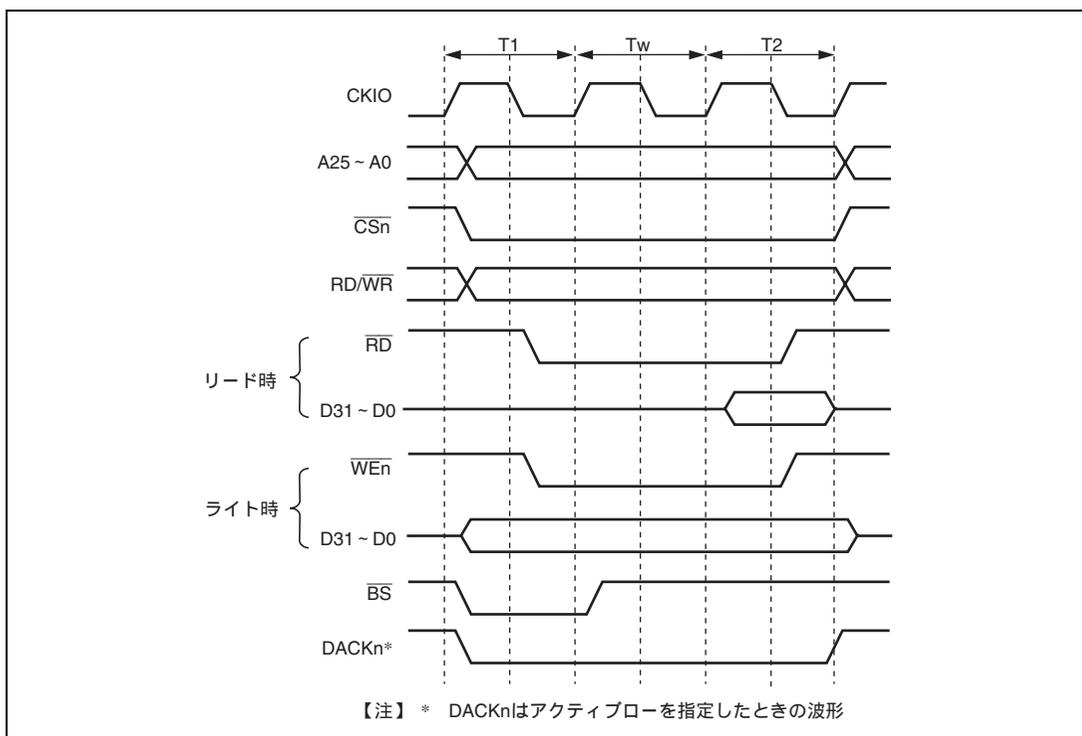


図 9.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力  $\overline{\text{WAIT}}$  信号もサンプリングされます。 $\overline{\text{WAIT}}$  信号のサンプリングを図 9.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$  信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

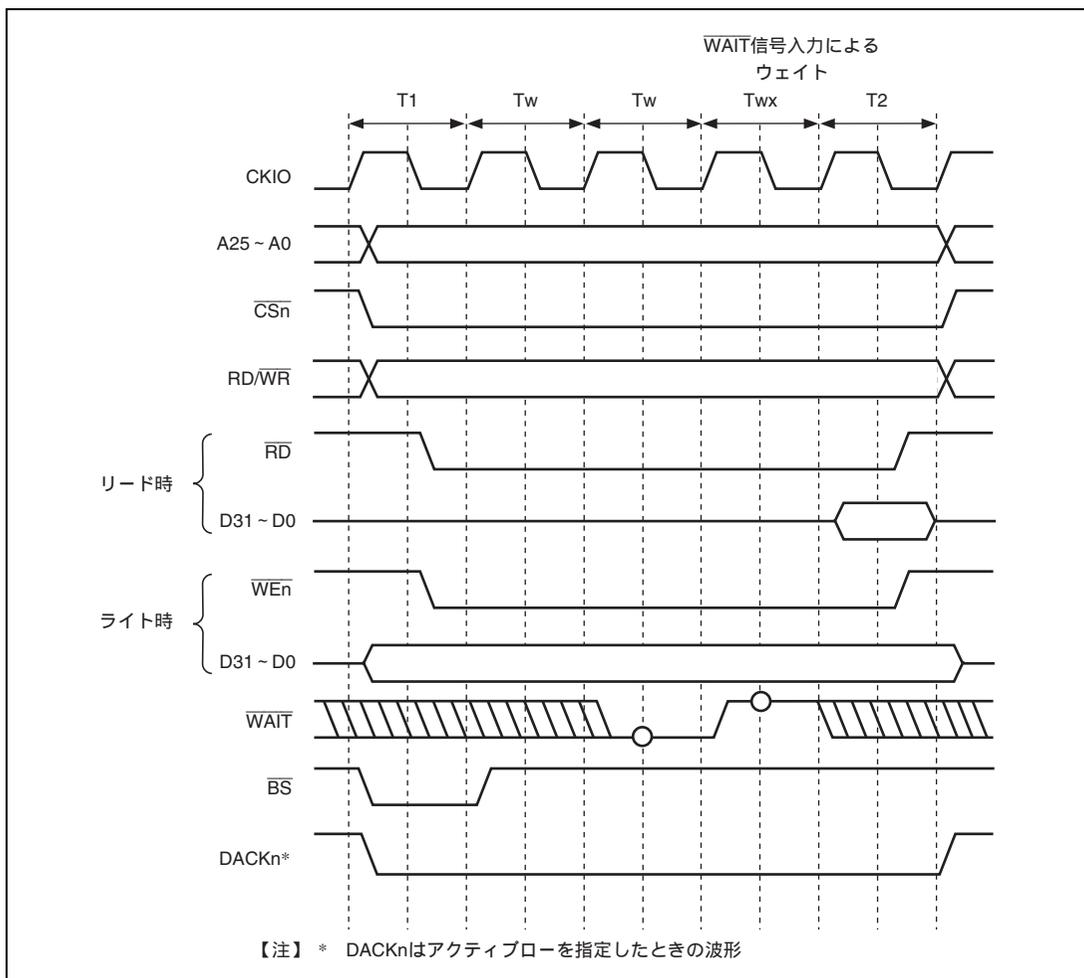


図 9.9 通常空間アクセスのウェイトタイミング (WAIT 信号によるウェイト挿入)

### 9.5.4 $\overline{CSn}$ アサート期間拡張

$\overline{CSnWCR}$  の SW[1:0] ビットの設定により、 $\overline{CSn}$  アサートから  $\overline{RD}$  と  $\overline{WEn}$  アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 $\overline{RD}$  と  $\overline{WEn}$  ネゲートから  $\overline{CSn}$  ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 9.10 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 $\overline{RD}$  と  $\overline{WEn}$  以外はアサートされますが、 $\overline{RD}$  と  $\overline{WEn}$  はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

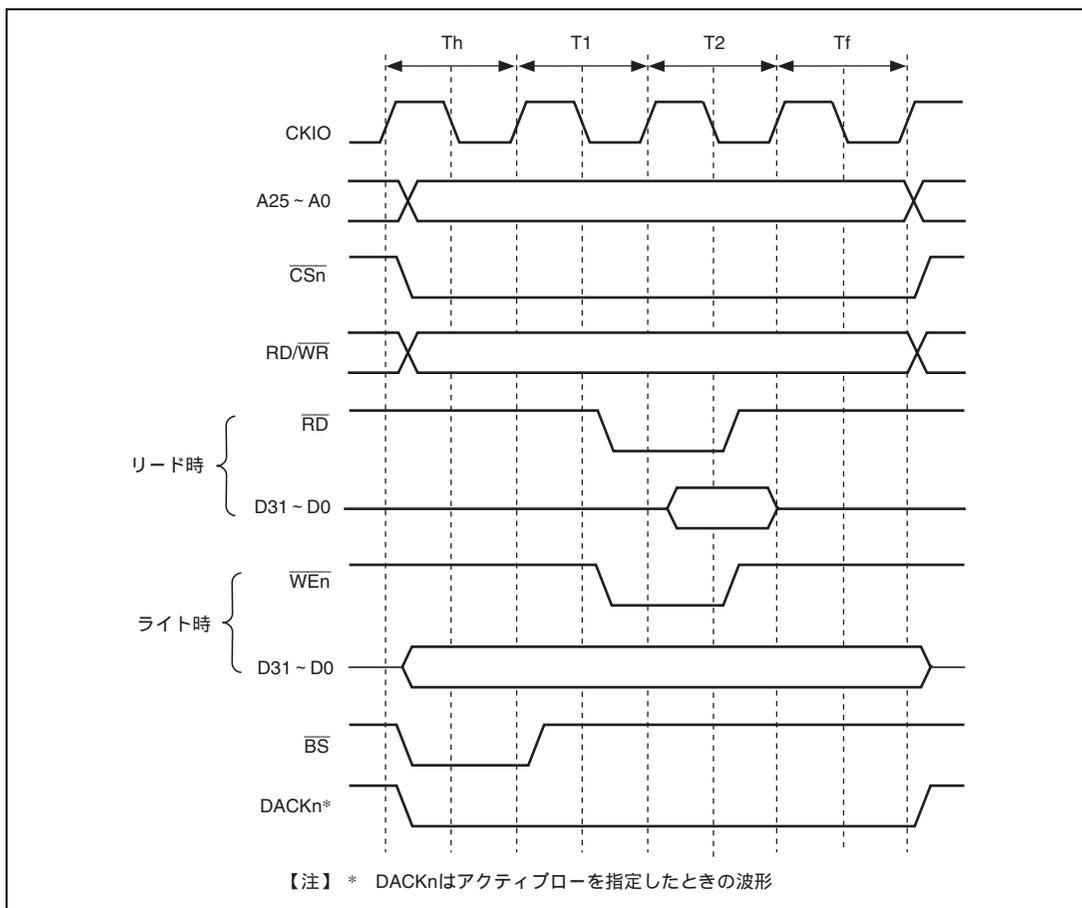


図 9.10  $\overline{CSn}$  アサート期間拡張

### 9.5.5 MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、 $\overline{CS5}$ 、 $\overline{AH}$ 、 $\overline{RD}$ 、および  $\overline{WE_n}$  信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15 ~ D0 または D7 ~ D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR の MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

RD/ $\overline{WR}$  信号は  $\overline{CS5}$  信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

SW[1:0]の遅延サイクルは、Ta3 と T1 サイクルの間に挿入されます。HW[1:0]の遅延サイクルは T2 サイクルの後に付加されます。

タイミングチャートを図 9.11、図 9.12、図 9.13 に示します。

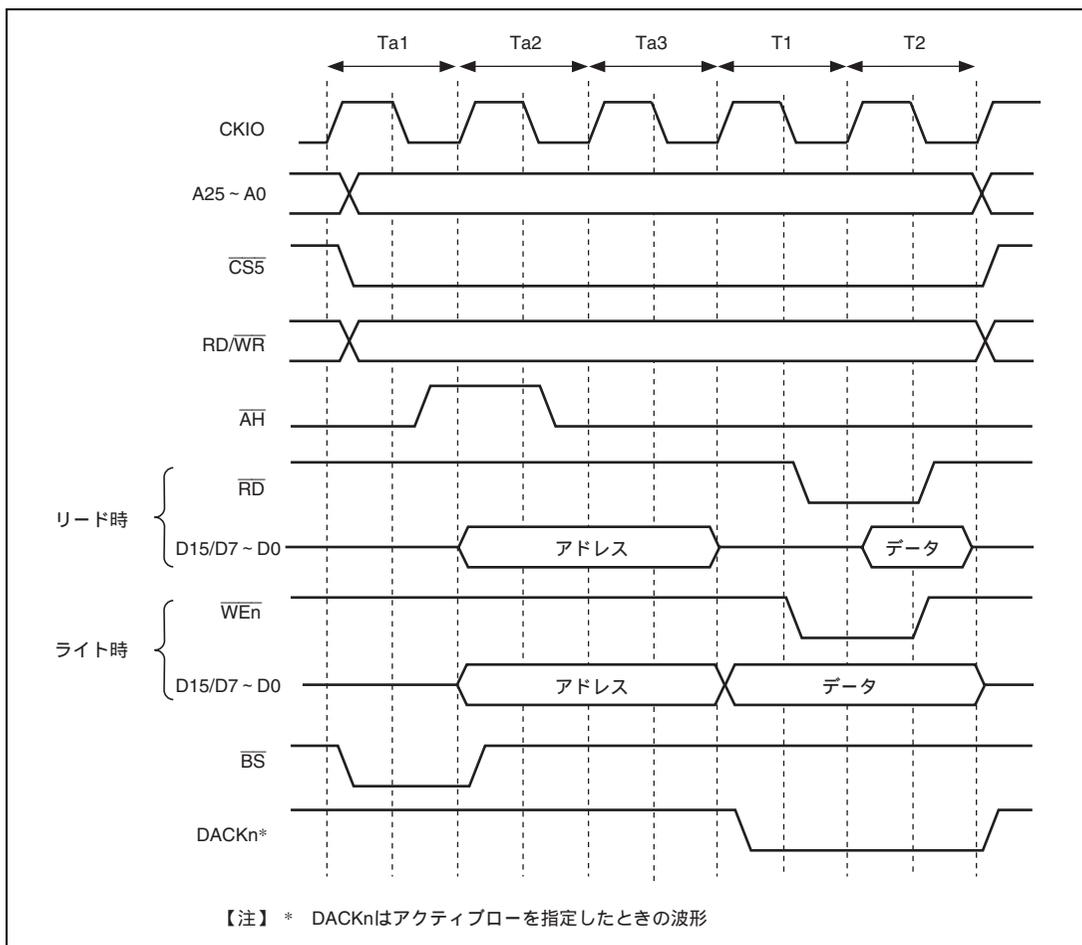


図 9.11 (1) MPX 空間アクセスタイミング  
(アドレスサイクルノーウェイト、データサイクルノーウェイト)

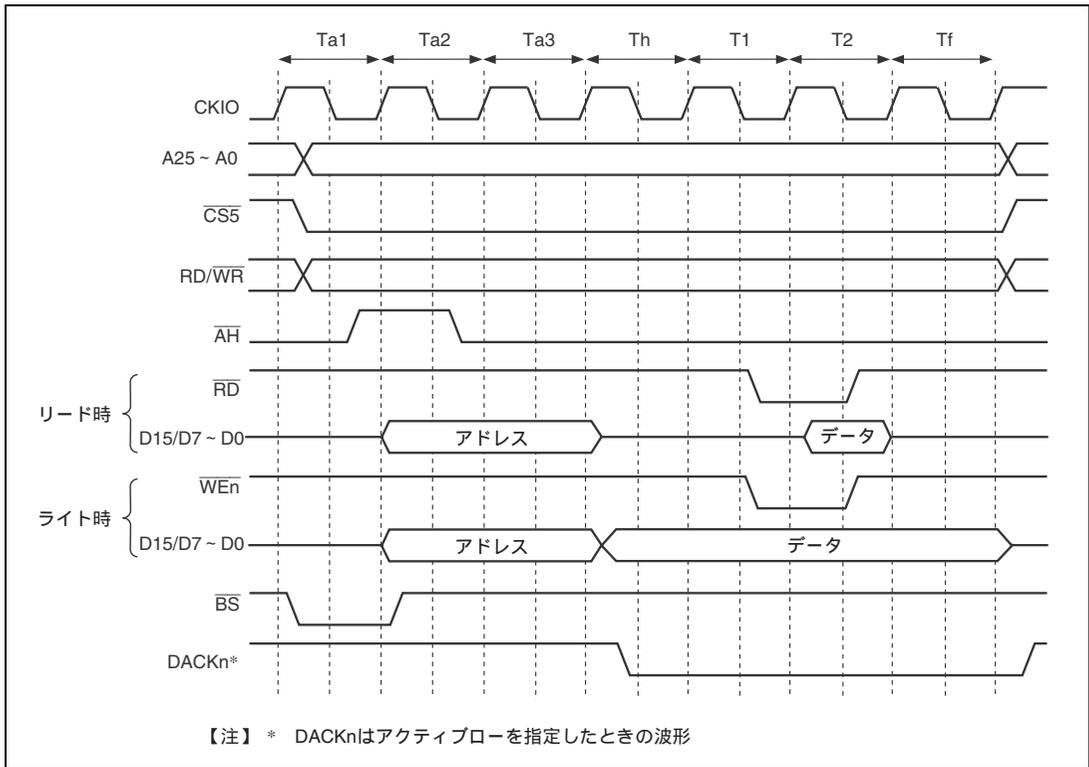


図 9.11 (2) MPX 空間アクセスタイミング  
 (アドレスサイクルノーウェイト、アサート拡張サイクル 1.5、  
 データサイクルノーウェイト、ネゲート拡張サイクル 1.5)

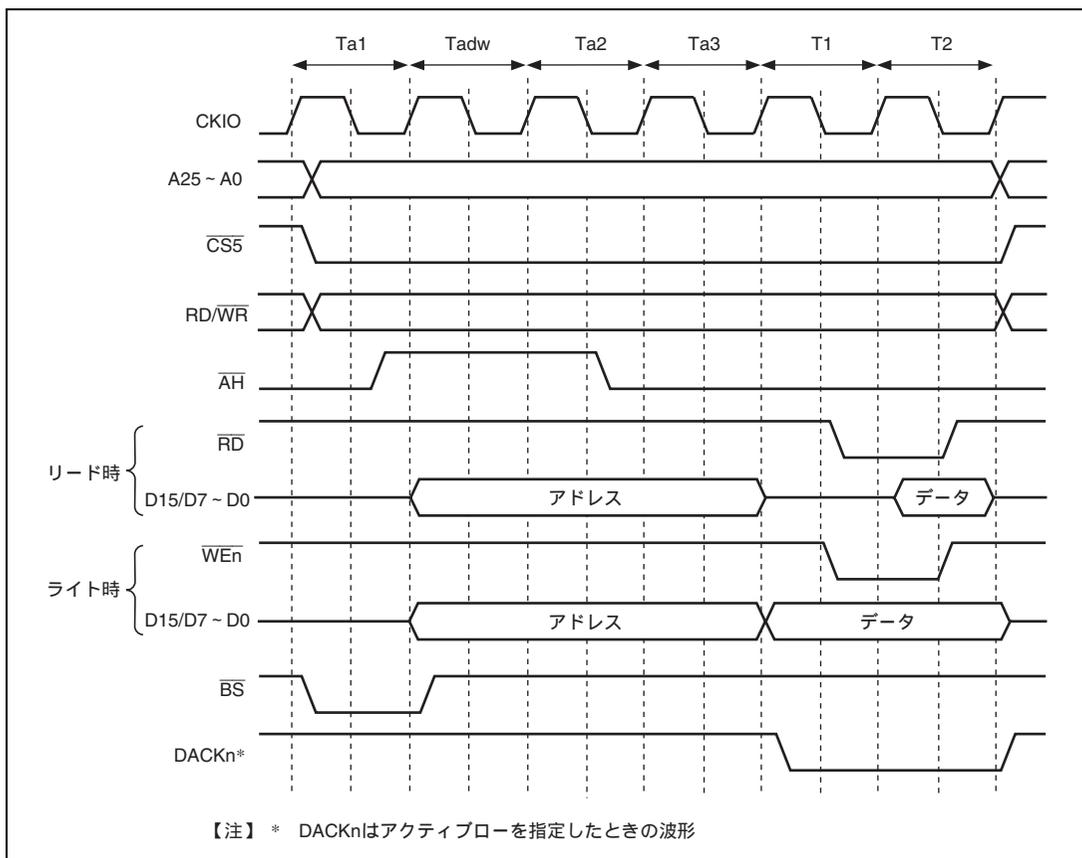


図 9.12 MPX 空間アクセスタイミング  
(アドレスサイクルウェイト 1、データサイクルノーウェイト)

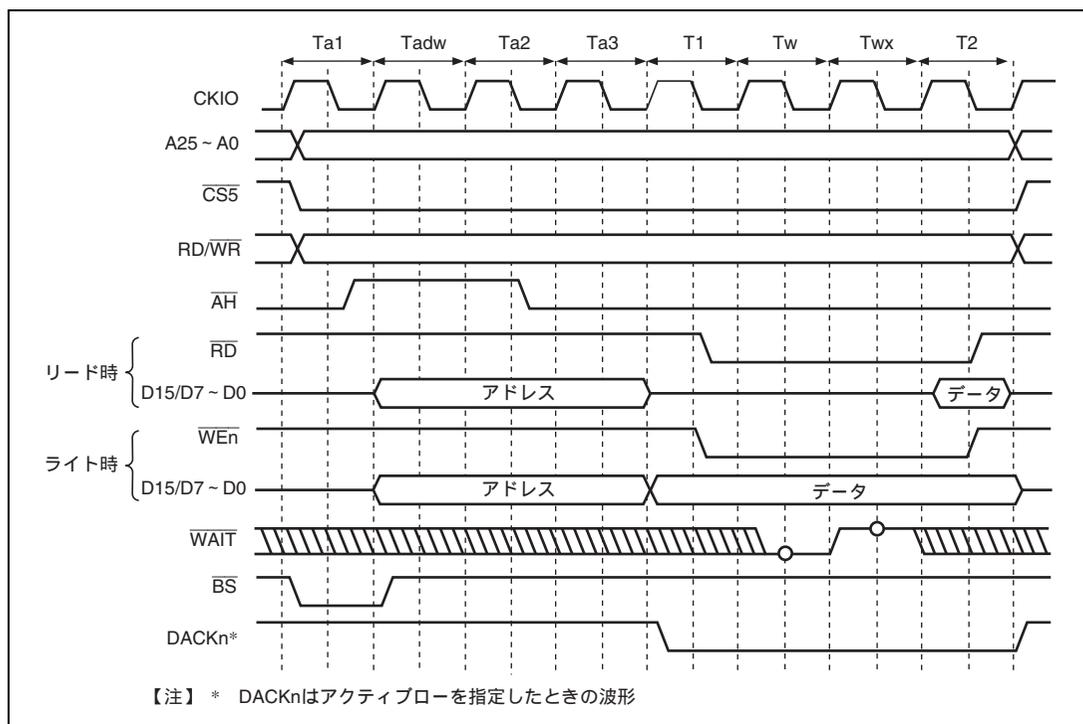


図 9.13 MPX 空間アクセスタイミング  
(アドレスサイクルアクセスウェイト1、データサイクルウェイト1、外部ウェイト1)

## 9.5.6 SDRAM インタフェース

### (1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 / 12 / 13 ビット、カラムアドレスが 8 / 9 / 10 ビット、バンク数が 4 以下、リード - ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{RASU}$ 、 $\overline{RASL}$ 、 $\overline{CASU}$ 、 $\overline{CASL}$ 、 $\overline{RD/WR}$ 、 $\overline{DQM0}$ 、 $\overline{DQM1}$ 、 $\overline{DQM2}$ 、 $\overline{DQM3}$ 、 $\overline{DQMLL}$ 、 $\overline{CKE}$ 、および  $\overline{CS2}$  と  $\overline{CS3}$  です。 $\overline{CS2}$  と  $\overline{CS3}$  を除く信号は各空間に共通であり、 $\overline{CKE}$  を除く信号は  $\overline{CS2}$  または  $\overline{CS3}$  がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

$\overline{RASU}$ 、 $\overline{RASL}$ 、 $\overline{CASU}$ 、 $\overline{CASL}$ 、 $\overline{RD/WR}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS、EMRS) などをサポートしています。

アクセスするバイトの指定は、 $\overline{DQM0}$ 、 $\overline{DQM1}$ 、 $\overline{DQM2}$ 、および  $\overline{DQM3}$  によって行われます。該当する  $\overline{DQMxx}$  がローレベルのバイトに対してリード/ライトが行われます。 $\overline{DQMxx}$  とアクセスするバイトの関係は、

「9.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 9.14 ~ 図 9.16 に本 LSI と SDRAM との接続例を示します。

図 9.16 に示すように本 LSI では同一 CS 空間内に  $\overline{\text{RASU}}$ 、 $\overline{\text{RASL}}$ 、 $\overline{\text{CASU}}$ 、および  $\overline{\text{CASL}}$  を用いることにより、32M バイト以下の SDRAM のセットを 2 つ接続することができます。この場合、同一 CS 空間内に  $\overline{\text{RASL}}$  と  $\overline{\text{CASL}}$  で指定される SDRAM の 4 バンクと、 $\overline{\text{RASU}}$  と  $\overline{\text{CASU}}$  で指定される SDRAM の 4 バンクの計 8 バンクが存在します。A25=0 のアドレスのアクセスにおいて、 $\overline{\text{RASL}}$  と  $\overline{\text{CASL}}$  がアサートされ、A25=1 のアドレスのアクセスにおいて  $\overline{\text{RASU}}$  と  $\overline{\text{CASU}}$  がアサートされます。

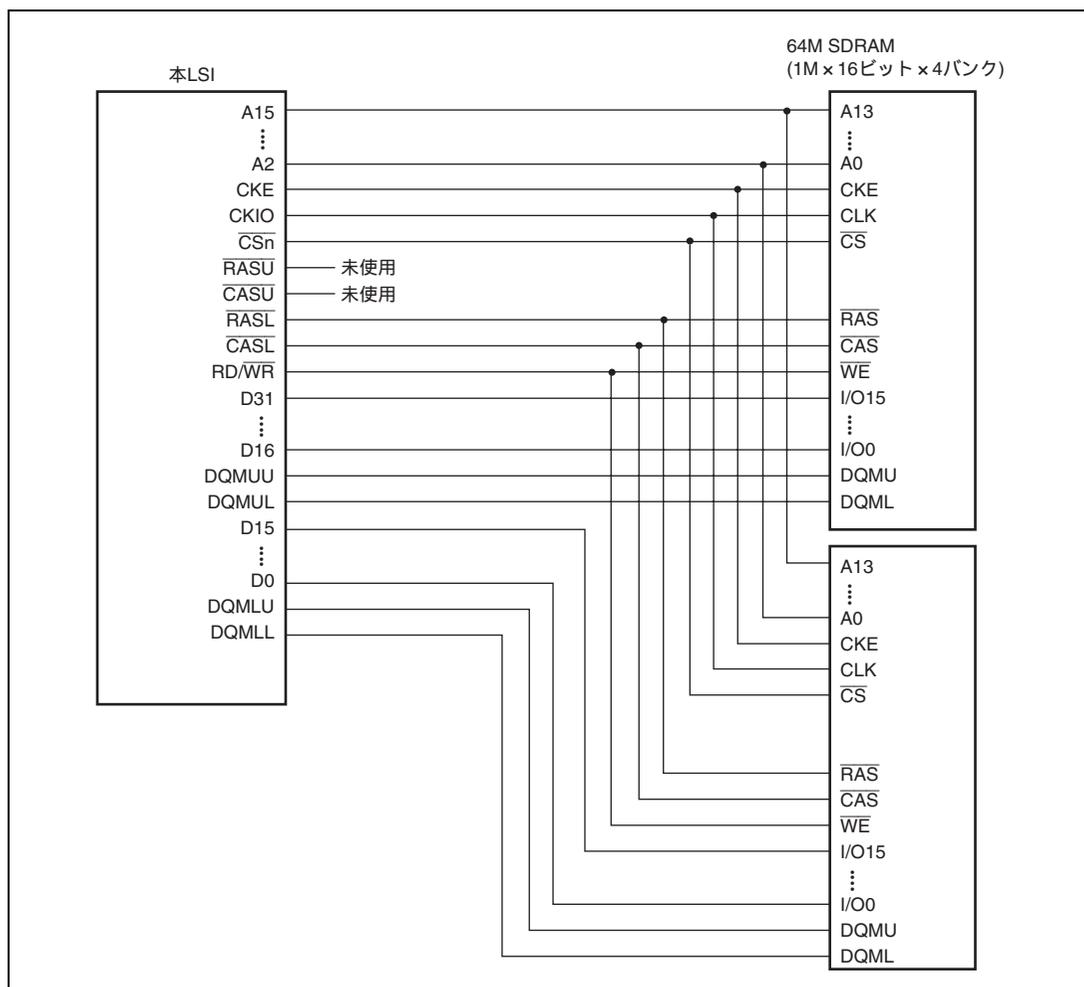
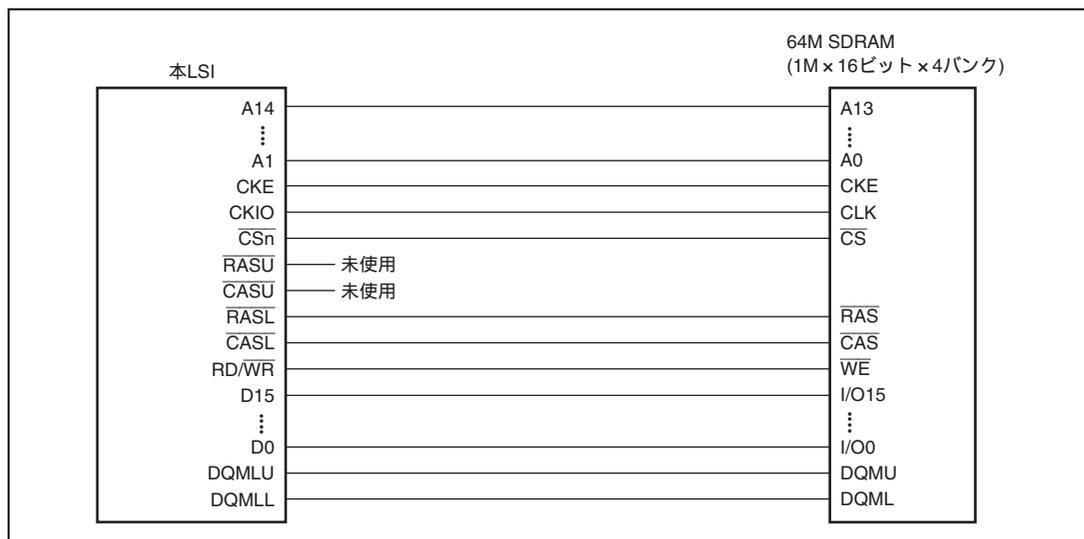
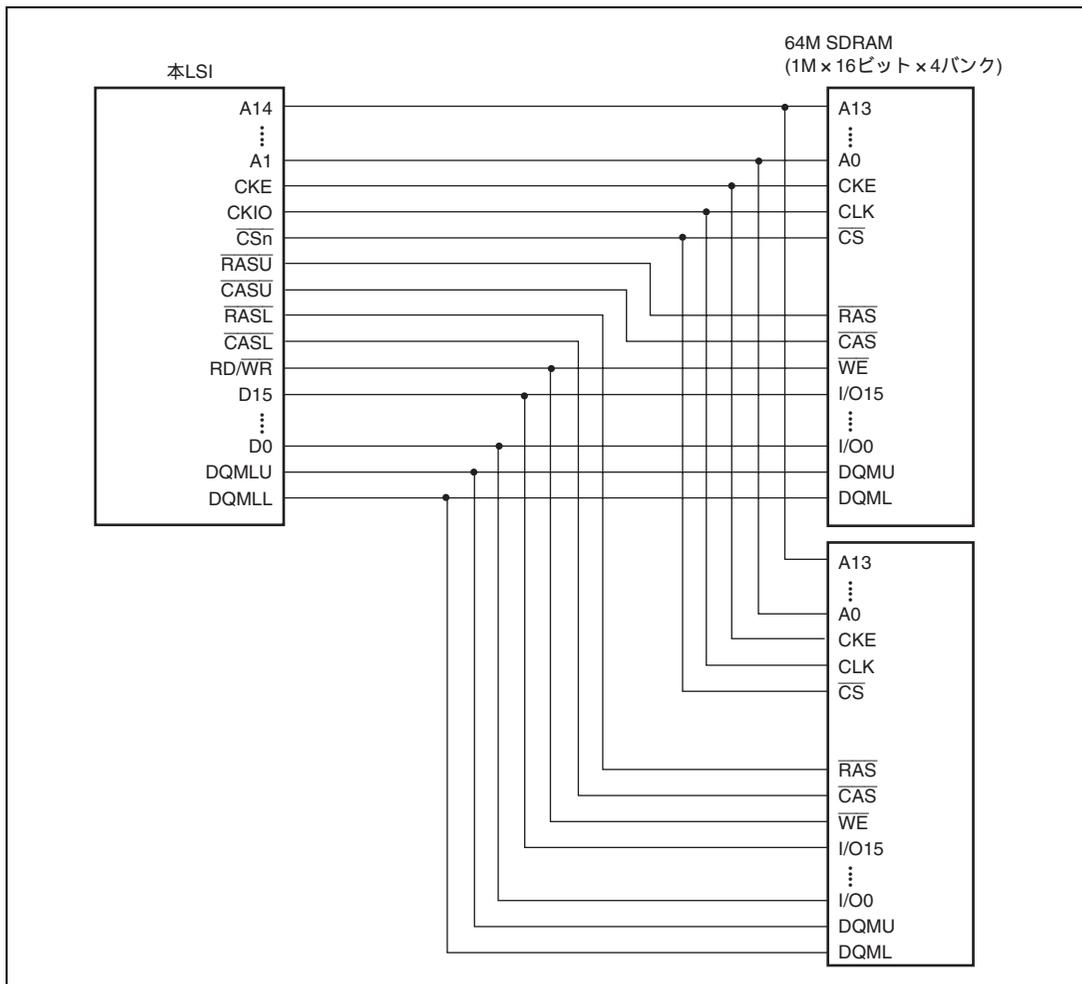


図 9.14 32 ビットデータ幅 SDRAM 接続例 ( $\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$  未使用)

図 9.15 16 ビットデータ幅 SDRAM 接続例 ( $\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$  未使用)

図 9.16 16 ビットデータ幅 SDRAM 接続例 ( $\overline{\text{RASU}}$ 、 $\overline{\text{CASU}}$  使用)

## (2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 9.11 ~ 表 9.16 に BSZ[1:0]、A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないください。この表以外の設定を行った場合の動作は、保証されません。A25 ~ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットするとき (BSZ[1:0] = B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットするとき (BSZ[1:0] = B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 9.11 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (1)

設 定					
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			
11 (32ビット)	00 (11ビット)	00 (8ビット)			
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能	
A17	A25	A17		未使用	
A16	A24	A16			
A15	A23	A15			
A14	A22*2	A22*2	A12(BA1)	バンク指定	
A13	A21*2	A21*2	A11(BA0)		
A12	A20	L/H*1	A10/AP	アドレス / プリチャージ 指定	
A11	A19	A11	A9		
A10	A18	A10	A8		
A9	A17	A9	A7		
A8	A16	A8	A6		
A7	A15	A7	A5		
A6	A14	A6	A4		
A5	A13	A5	A3		
A4	A12	A4	A2		
A3	A11	A3	A1		
A2	A10	A2	A0		
A1	A9	A1			未使用
A0	A8	A0			
接続メモリ例					
64Mビット品 (512Kワード×32ビット×4バンク、カラム8ビット品) 1個 16Mビット品 (512Kワード×16ビット×2バンク、カラム8ビット品) 2個					

設 定					
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			
11 (32ビット)	01 (12ビット)	00 (8ビット)			
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能	
A17	A25	A17		未使用	
A16	A24	A16			
A15	A23*2	A23*2			A13(BA1)
A14	A22*2	A22*2	A12(BA0)		
A13	A21	A13	A11	アドレス	
A12	A20	L/H*1	A10/AP	アドレス / プリチャージ 指定	
A11	A19	A11	A9		
A10	A18	A10	A8		
A9	A17	A9	A7		
A8	A16	A8	A6		
A7	A15	A7	A5		
A6	A14	A6	A4		
A5	A13	A5	A3		
A4	A12	A4	A2		
A3	A11	A3	A1		
A2	A10	A2	A0		
A1	A9	A1			未使用
A0	A8	A0			
接続メモリ例					
128Mビット品 (1Mワード×32ビット×4バンク、カラム8ビット品) 1個 64Mビット品 (1Mワード×16ビット×4バンク、カラム8ビット品) 2個					

【注】 \*1 L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 9.12 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (2)

設 定			SDRAM の 端子	機 能	設 定			SDRAM の 端子	機 能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	01 (9 ビット)			11 (32 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル			本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A26	A17		未使用	A17	A27	A17		未使用
A16	A25	A16			A16	A26	A16		
A15	A24*2	A24*2	A13(BA1)	バンク指定	A15	A25*2*3	A25*2*3	A13(BA1)	バンク指定
A14	A23*2	A23*2	A12(BA0)		A14	A24*2	A24*2	A12(BA0)	
A13	A22	A13	A11	アドレス	A13	A23	A13	A11	アドレス
A12	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定	A12	A22	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A11	A20	A11	A9		A11	A21	A11	A9	
A10	A19	A10	A8	アドレス	A10	A20	A10	A8	アドレス
A9	A18	A9	A7		A9	A19	A9	A7	
A8	A17	A8	A6		A8	A18	A8	A6	
A7	A16	A7	A5		A7	A17	A7	A5	
A6	A15	A6	A4		A6	A16	A6	A4	
A5	A14	A5	A3		A5	A15	A5	A3	
A4	A13	A4	A2		A4	A14	A4	A2	
A3	A12	A3	A1		A3	A13	A3	A1	
A2	A11	A2	A0		A2	A12	A2	A0	
A1	A10	A1			未使用	A1	A11	A1	
A0	A9	A0		A0		A10	A0		
接続メモリ例					接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、カラム 9 ビット品) 1 個					512M ビット品 (4M ワード×32 ビット×4 バンク、カラム 10 ビット品) 1 個				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 2 個					256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 2 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

\*3 A25 がバンクアドレス指定のため、RASL のみアサートされます。RASU は、アサートされません。

表 9.13 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (3)

設 定					
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			
11 (32 ビット)	10 (13 ビット)	01 (9 ビット)			
本 LSI の出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機能	
A17	A26	A17		未使用	
A16	A25 <sup>*2*</sup>	A25 <sup>*2*</sup>	A14(BA1)	バンク指定	
A15	A24 <sup>*2</sup>	A24 <sup>*2</sup>	A13(BA0)		
A14	A23	A14	A12	アドレス	
A13	A22	A13	A11		
A12	A21	L/H <sup>*1</sup>	A10/AP	アドレス / プリチャージ指定	
A11	A20	A11	A9	アドレス	
A10	A19	A10	A8		
A9	A18	A9	A7		
A8	A17	A8	A6		
A7	A16	A7	A5		
A6	A15	A6	A4		
A5	A14	A5	A3		
A4	A13	A4	A2		
A3	A12	A3	A1		
A2	A11	A2	A0		
A1	A10	A1			未使用
A0	A9	A0			
接続メモリ例					
512M ビット品 (4M ワード × 32 ビット × 4 バンク、カラム 9 ビット品) 1 個					
256M ビット品 (4M ワード × 16 ビット × 4 バンク、カラム 9 ビット品) 2 個					

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

\*3 A25 がバンクアドレス指定のため、 $\overline{\text{RASL}}$ のみアサートされます。 $\overline{\text{RASU}}$ は、アサートされません。

表 9.14 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (4)

設 定					設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	00 (11ビット)	00 (8ビット)			10 (16ビット)	01 (12ビット)	00 (8ビット)		
本LSIの 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAMの 端子	機能	本LSIの 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAMの 端子	機能
A17	A25	A17		未使用	A17	A25	A17		未使用
A16	A24	A16			A16	A24	A16		
A15	A23	A15			A15	A23	A15		
A14	A22	A14			A14	A22 <sup>*2</sup>	A22 <sup>*2</sup>	A13(BA1)	バンク指定
A13	A21	A21			A13	A21 <sup>*2</sup>	A21 <sup>*2</sup>	A12(BA0)	
A12	A20 <sup>*2</sup>	A20 <sup>*2</sup>	A11(BA0)	バンク指定	A12	A20	A12	A11	アドレス
A11	A19	L/H <sup>*1</sup>	A10/AP	アドレス/ プリチャージ 指定	A11	A19	L/H <sup>*1</sup>	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス	A10	A18	A10	A9	アドレス
A9	A17	A9	A8		A9	A17	A9	A8	
A8	A16	A8	A7		A8	A16	A8	A7	
A7	A15	A7	A6		A7	A15	A7	A6	
A6	A14	A6	A5		A6	A14	A6	A5	
A5	A13	A5	A4		A5	A13	A5	A4	
A4	A12	A4	A3		A4	A12	A4	A3	
A3	A11	A3	A2		A3	A11	A3	A2	
A2	A10	A2	A1		A2	A10	A2	A1	
A1	A9	A1	A0		A1	A9	A1	A0	
A0	A8	A0		未使用	A0	A8	A0		未使用
接続メモリ例					接続メモリ例				
16Mビット品 (512Kワード×16ビット×2バンク、カラム8ビット品) 1個					64Mビット品 (1Mワード×16ビット×4バンク、カラム8ビット品) 1個				

【注】 \*1 L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 9.15 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (5)

設 定					設 定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]			BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	01 (9 ビット)			10 (16 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能	本 LSI の 出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の 端子	機能
A17	A26	A17		未使用	A17	A27	A17		未使用
A16	A25	A16			A16	A26	A16		
A15	A24	A15			A15	A25	A15		
A14	A23*2	A23*2	A13(BA1)	バンク指定	A14	A24*2	A24*2	A13(BA1)	バンク指定
A13	A22*2	A22*2	A12(BA0)		A13	A23*2	A23*2	A12(BA0)	
A12	A21	A12	A11	アドレス	A12	A22	A12	A11	アドレス
A11	A20	L/H*1	A10/AP	アドレス/ プリチャージ 指定	A11	A21	L/H*1	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス	A10	A20	A10	A9	アドレス
A9	A18	A9	A8		A9	A19	A9	A8	
A8	A17	A8	A7		A8	A18	A8	A7	
A7	A16	A7	A6		A7	A17	A7	A6	
A6	A15	A6	A5		A6	A16	A6	A5	
A5	A14	A5	A4		A5	A15	A5	A4	
A4	A13	A4	A3		A4	A14	A4	A3	
A3	A12	A3	A2		A3	A13	A3	A2	
A2	A11	A2	A1		A2	A12	A2	A1	
A1	A10	A1	A0		A1	A11	A1	A0	
A0	A9	A0		未使用	A0	A10	A0		未使用
接続メモリ例					接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、カラム 9 ビット品) 1 個					256M ビット品 (4M ワード×16 ビット×4 バンク、カラム 10 ビット品) 1 個				

【注】 \*1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

表 9.16 BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0]とアドレスマルチプレクスの関係 (6)

設 定			SDRAMの 端子	機能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	10 (13ビット)	01 (9ビット)		
本LSIの出 力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24 <sup>*2</sup>	A24 <sup>*2</sup>	A14(BA1)	バンク指定
A14	A23 <sup>*2</sup>	A23 <sup>*2</sup>	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H <sup>*1</sup>	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256Mビット品 (4Mワード×16ビット×4バンク、カラム9ビット品) 1個				

設 定			SDRAMの 端子	機能
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16ビット)	10 (13ビット)	10 (10ビット)		
本LSIの出 力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25 <sup>*2a3</sup>	A25 <sup>*2a3</sup>	A14(BA1)	バンク指定
A14	A24 <sup>*2</sup>	A24 <sup>*2</sup>	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H <sup>*1</sup>	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512Mビット品 (8Mワード×16ビット×4バンク、カラム10ビット品) 1個				

【注】 \*1 L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

\*2 バンクアドレス指定

\*3 A25がバンクアドレス指定のため、 $\overline{\text{RASL}}$ のみアサートされます。 $\overline{\text{RASU}}$ はアサートされません。

## (3) パーストリード

本 LSI でパーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. DMACでの16バイト転送のとき
4. LCDCの16バイト~128バイト転送のとき\*

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、パースト長 1 のリードを 4 回連続して行います。このときのアクセスをパースト数 4 のパーストリードと呼びます。表 9.17 にアクセスサイズとパースト数の関係を示します。

【注】 \* 詳細は「第 26 章 LCD コントローラ (LCDC)」を参照してください。

表 9.17 アクセスサイズとパースト数の関係

バス幅	アクセスサイズ	パースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
	32 バイト*	16
	64 バイト*	32
	128 バイト*	64
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4
	32 バイト*	8
	64 バイト*	16
	128 バイト*	32

【注】 \* 32、64、128 バイトアクセスは LCDC 使用時に発生します。

詳細は「第 26 章 LCD コントローラ (LCDC)」を参照してください。

パーストリード時のタイミングチャートを図 9.17 と図 9.18 に示します。パーストリードでは ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1、Tc2、Tc3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0]ビットの指定によって Tap のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 9.18 となります。ACTV コマンド出力サイクル  $T_r$  から READ コマンド出力サイクル  $T_{c1}$  までのサイクル数は、CS3WCR の WTRCD[1:0]によって指定することができます。WTRCD[1:0]の設定が 1 サイクル以上の場合は、 $T_r$  サイクルと  $T_{c1}$  サイクルの間に NOP コマンド発行サイクル  $T_{rw}$  サイクルが挿入されます。READ コマンド出力サイクル  $T_{c1}$  からリードデータ取りこみサイクル  $T_{d1}$  までのサイクル数は、CS2WCR の A2CL[1:0]ビットおよび CS3WCR の A3CL[1:0]ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

$T_{de}$  サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、パーストリード、シングルリード時に必ず 1 サイクル発生します。

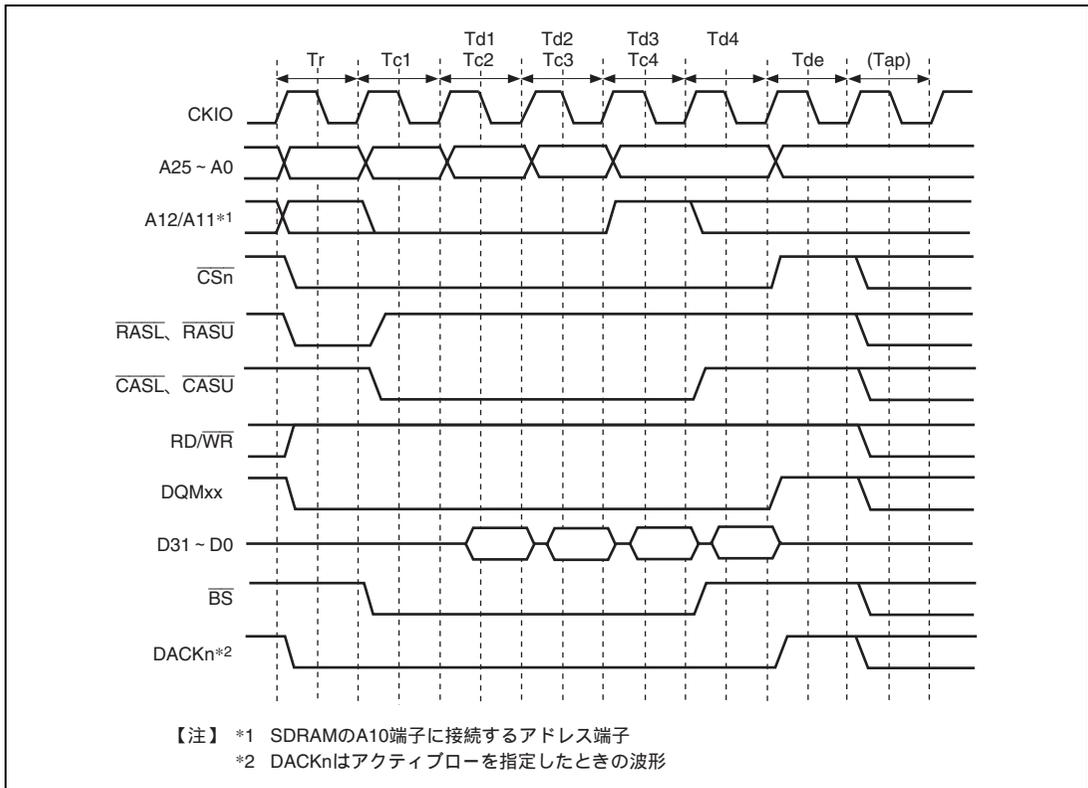


図 9.17 パーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)

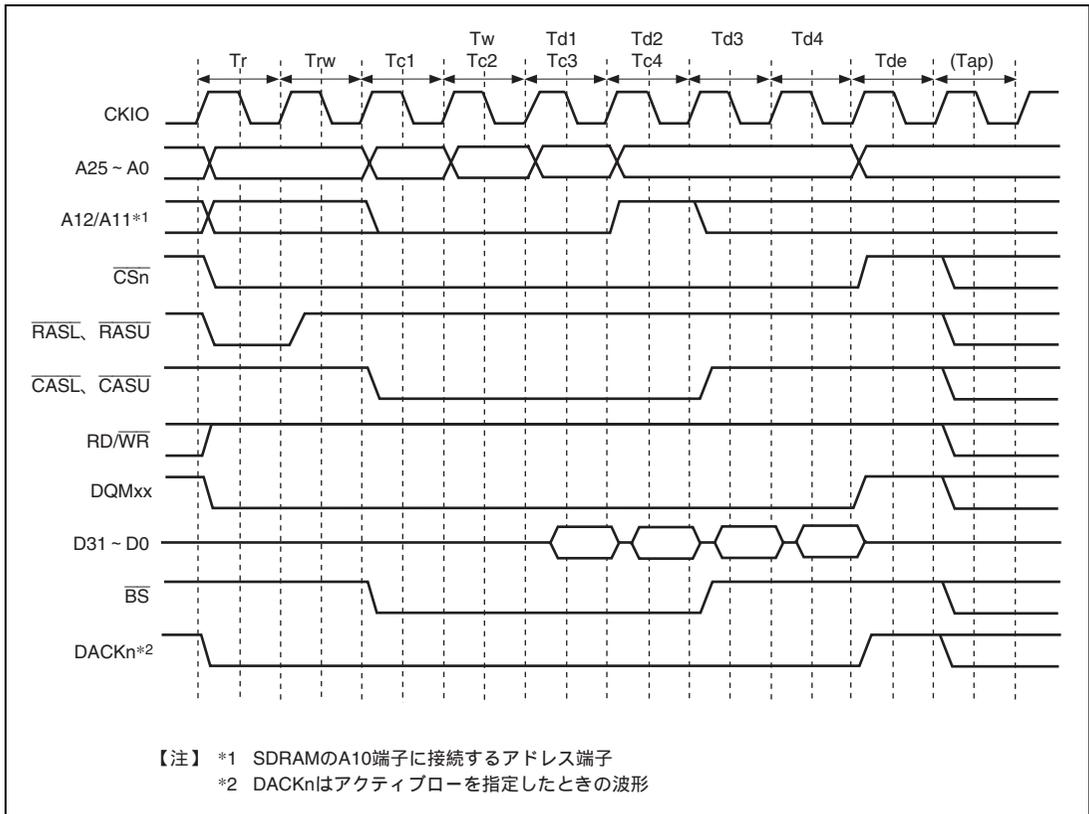


図 9.18 バーストリードウェイト指定タイミング  
(CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)

## (4) シングルリード

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。SDRAM は、バースト長 1 のバーストリードに設定しているので必要なデータのみ出力します。1回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図 9.19 に示します。

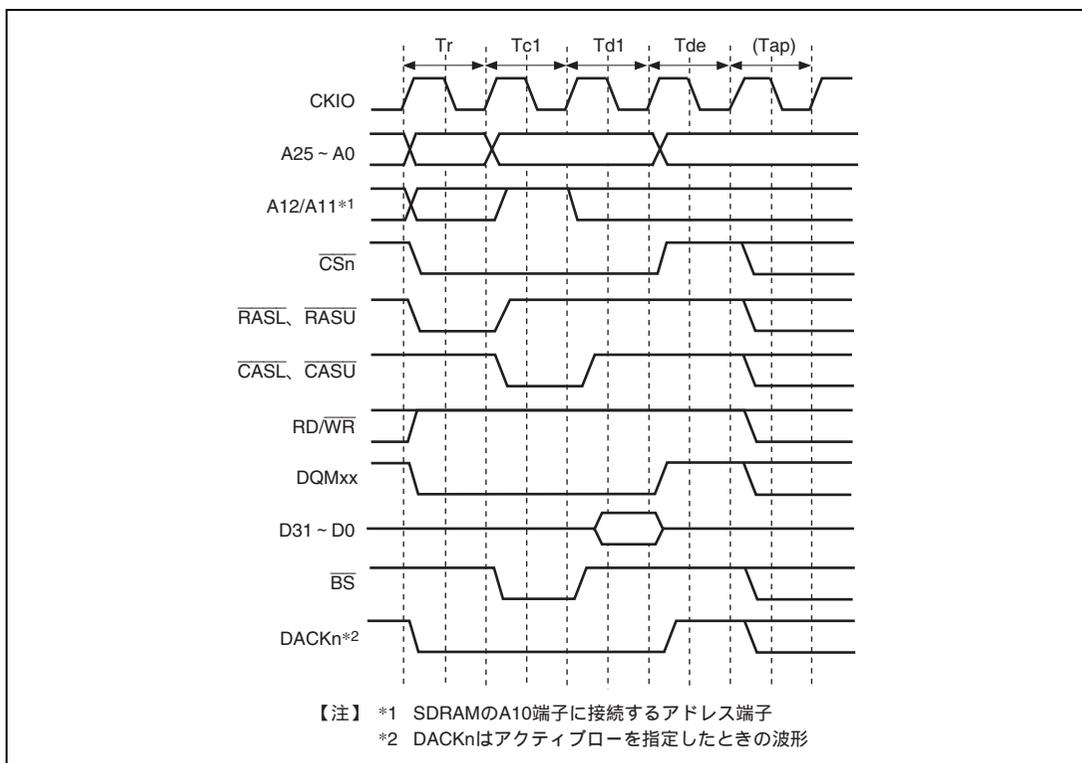


図 9.19 シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)

## (5) パーストライト

本 LSI でパーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にパースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、パースト長 1 のライトを 4 回連続して行います。このときのアクセスをパースト数 4 のパーストライトと呼びます。アクセスサイズとパースト数の関係は、表 9.17 に従います。図 9.20 にパーストライト時のタイミングチャートを示します。パーストライトでは ACTV コマンド出力を行う Tr サイクルに続いて WRIT コマンドを Tc1、Tc2、Tc3 サイクルに、オートプリチャージを行う WRITA コマンドを Tc4 サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。Trw1 サイクルおよび Tap サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは CS3WCR の TRWL[1:0]ビットおよび Tap サイクルは CS3WCR の WTRP[1:0]ビットの指定で決定されます。

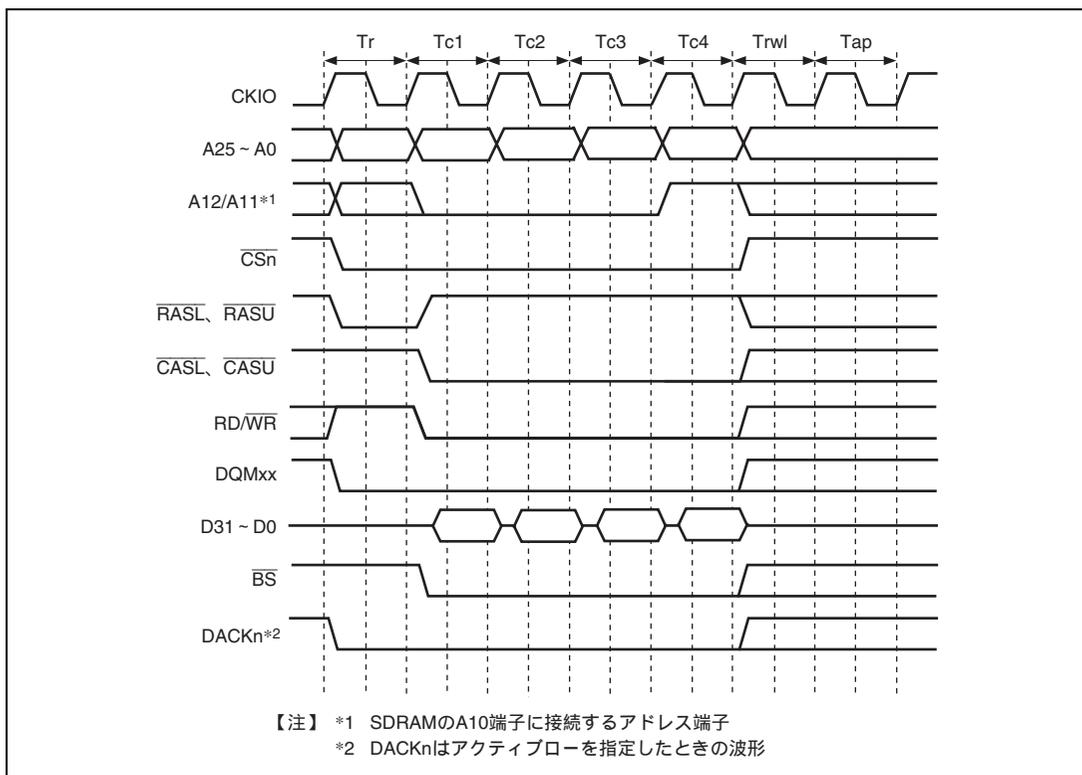


図 9.20 バーストライト基本タイミング (オートプリチャージ)

## (6) シングルライト

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。SDRAMは、シングルライトまたはバースト長1のバーストライトに設定しているため、必要なデータのみライトされます。1回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図9.21に示します。

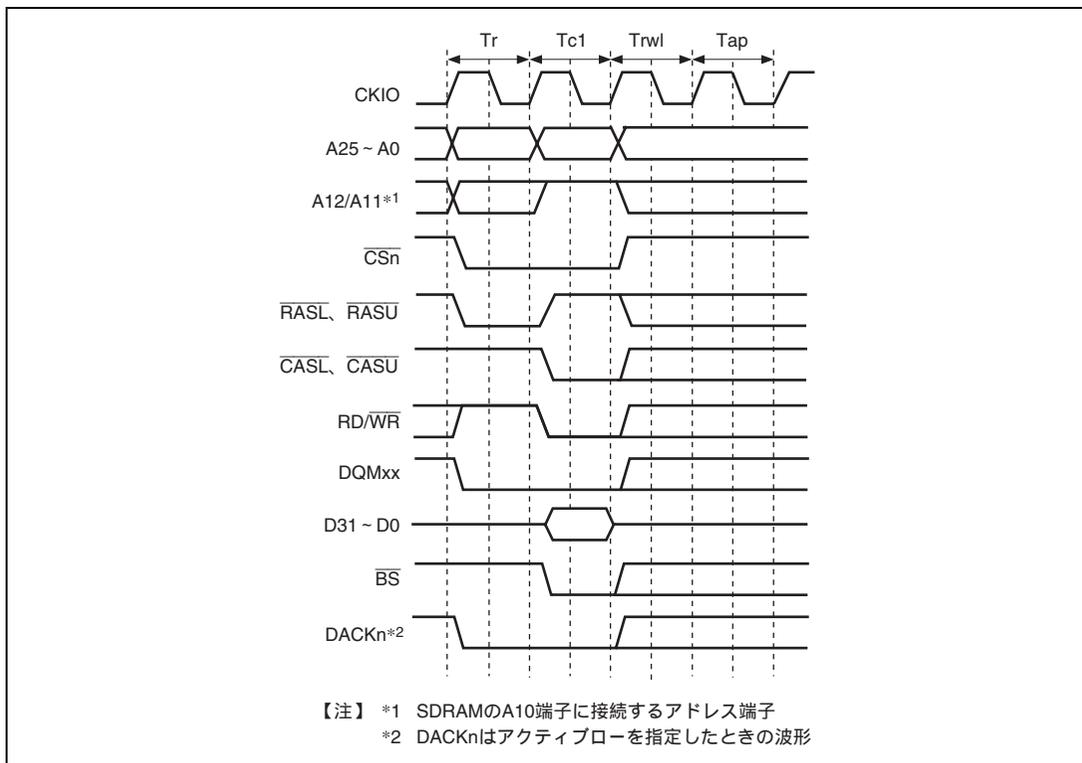


図 9.21 シングルライト基本タイミング (オートプリチャージ)

### (7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれていますので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl + Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl + Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 9.22 にオートプリチャージのないバーストリードサイクルを、図 9.23 には同一のロウアドレスに対するバーストリードサイクルを、図 9.24 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 9.25 にオートプリチャージのないシングルライトサイクルを、図 9.26 に同一のロウアドレスに対するシングルライトサイクルを、図 9.27 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 9.23 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、図 9.22 または図 9.25 で始まり、図 9.23 または図 9.26 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 9.23 または図 9.26 の代わりに図 9.24 または図 9.27 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

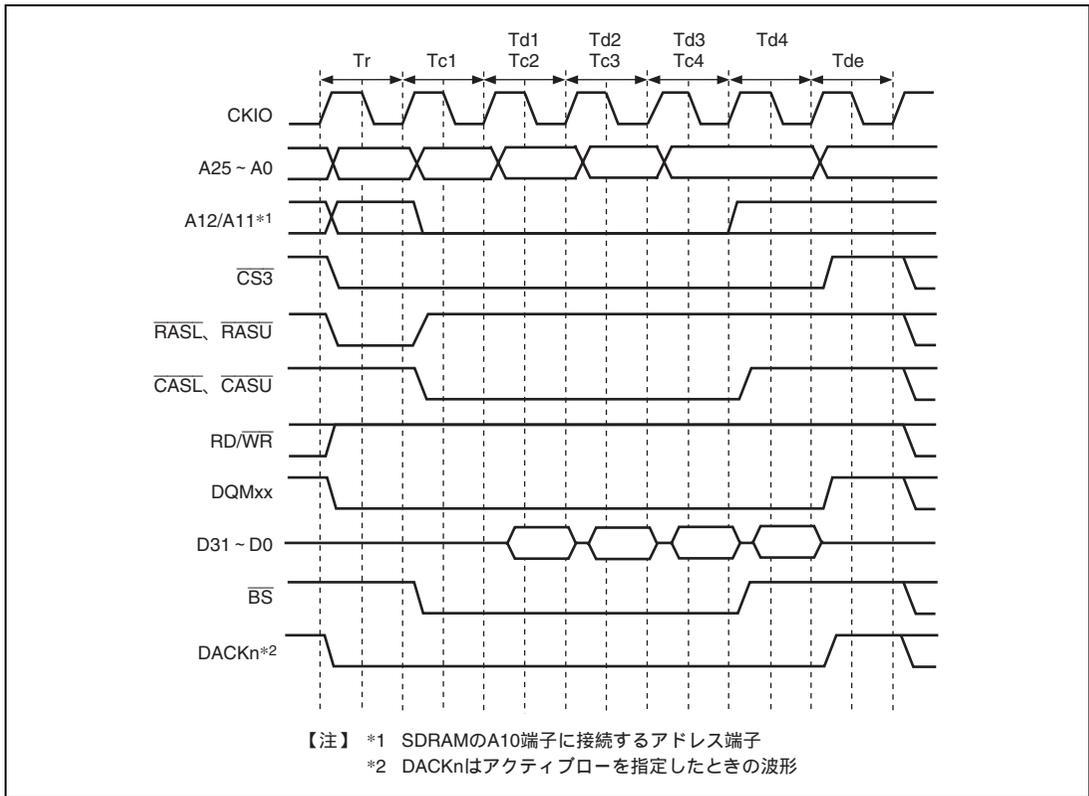


図 9.22 バーストリードタイミング (バンクアクティブ、異なるバンク、CAS レイテンシ 1)

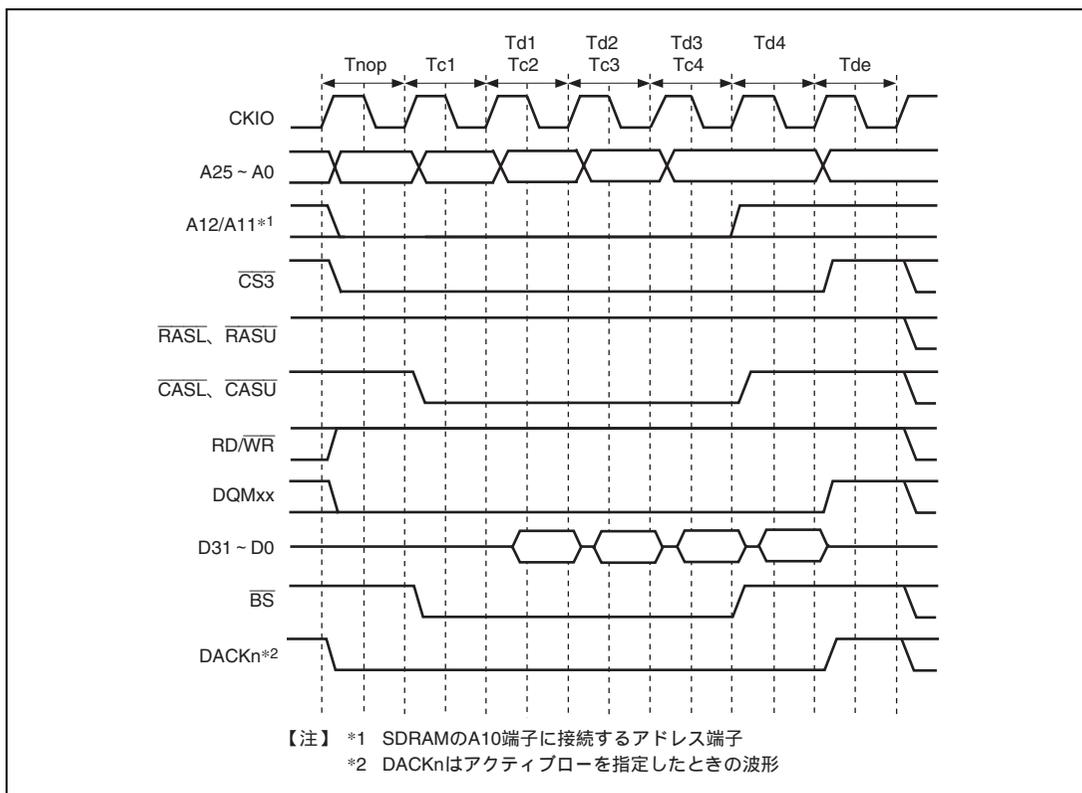


図 9.23 バーストリードタイミング (バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1)

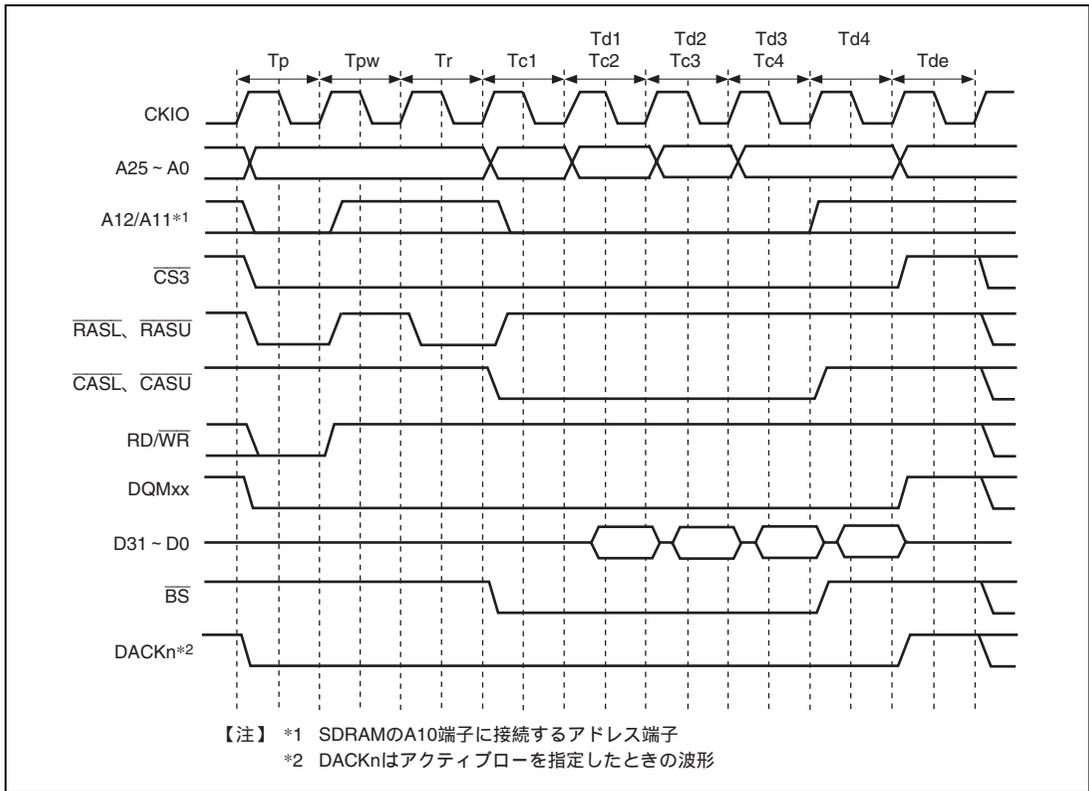


図 9.24 バーストリードタイミング  
(バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)

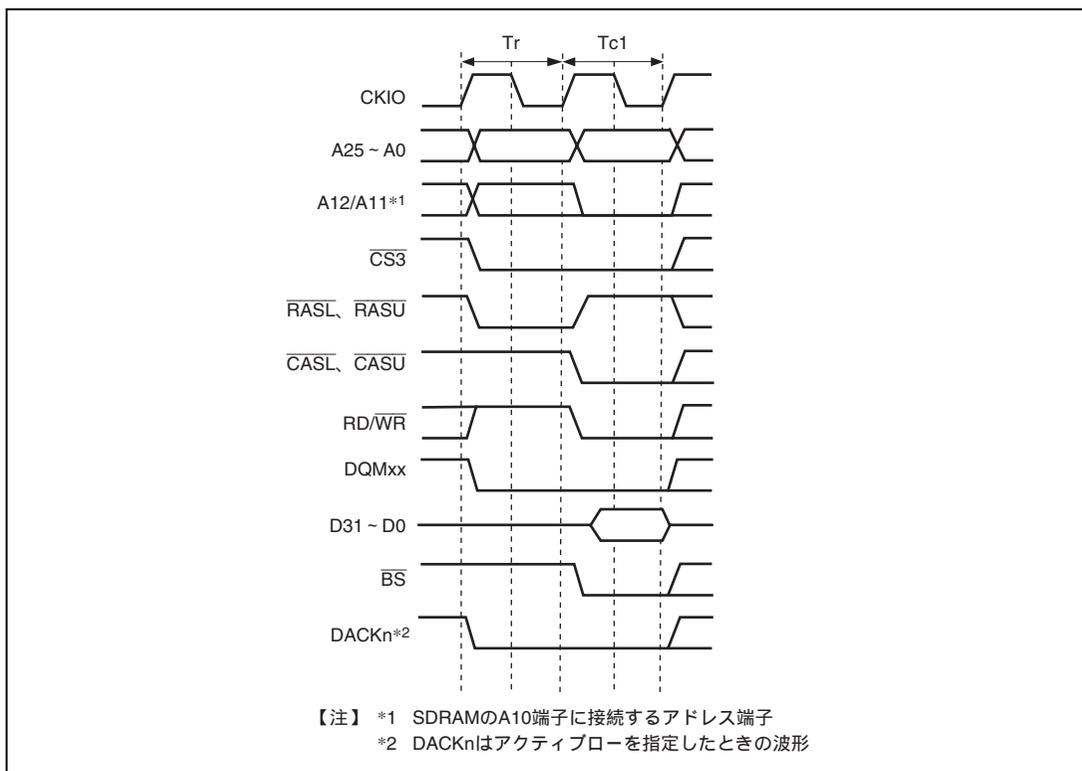


図 9.25 シングルライトタイミング (バンクアクティブ、異なるバンク)

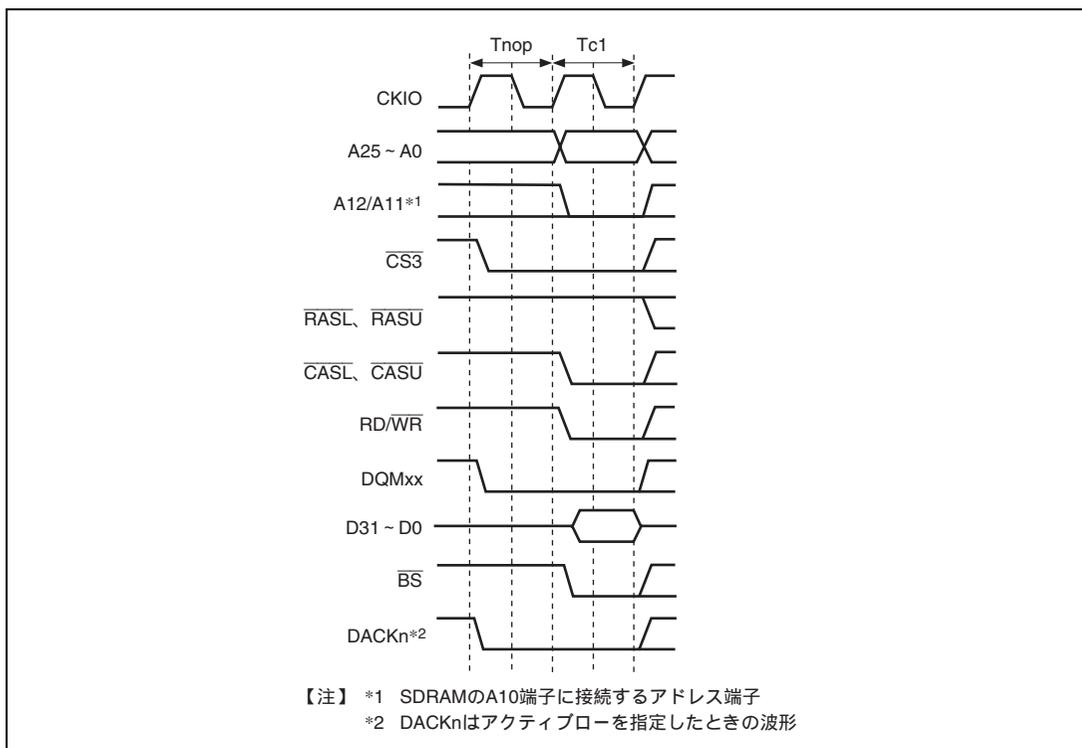


図 9.26 シングルライトタイミング (バンクアクティブ、同一バンクで同一ロウアドレス)

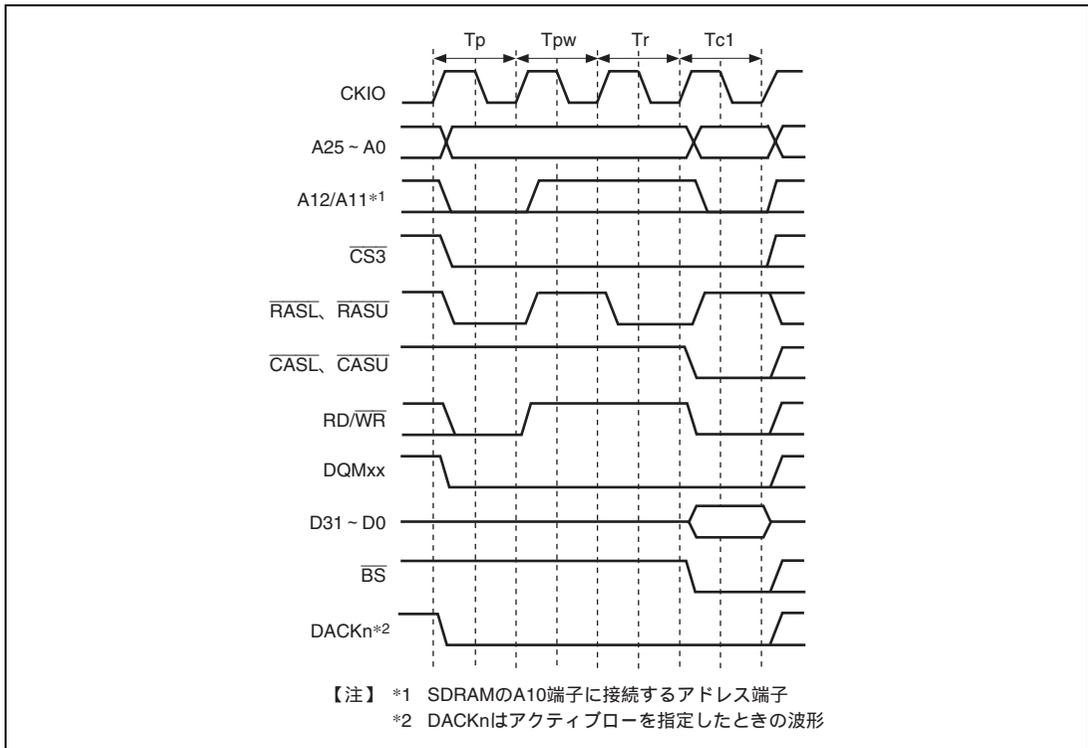


図 9.27 シングルライトタイミング (バンクアクティブ、同一バンクで異なるロウアドレス)

## (8) リフレッシュ

BSCは、SDRAMのリフレッシュを制御する機能を備えています。SDCRのRFSHビットを1に、RMODEビットを0に設定することによって、オートリフレッシュを行うことができます。また、RTCSRのRRC[2:0]ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間SDRAMにアクセスしないときは、RFSHビットとRMODEビットをともに1にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

## (a) オートリフレッシュ

RTCSR の CKS[2:0]ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0]ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビットおよび、RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0]ビットおよび、RRC[2:0]ビットの設定を行ってください。CKS[2:0]ビットによって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0]ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 9.28 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 $T_p$  サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0]ビットで設定された数のアイドルサイクル挿入後、REF コマンドを  $T_{rr}$  サイクルに発行します。 $T_{rr}$  サイクル後 CS3WCR の WTRC[1:0]ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 ( $t_{RC}$ ) を満たすように WTRC[1:0]ビットを設定する必要があります。CS3WCR の WTRP[1:0]ビットの設定値が 1 サイクル以上の場合には、 $T_p$  サイクルと  $T_{rr}$  サイクルの間にアイドルサイクルが挿入されます。

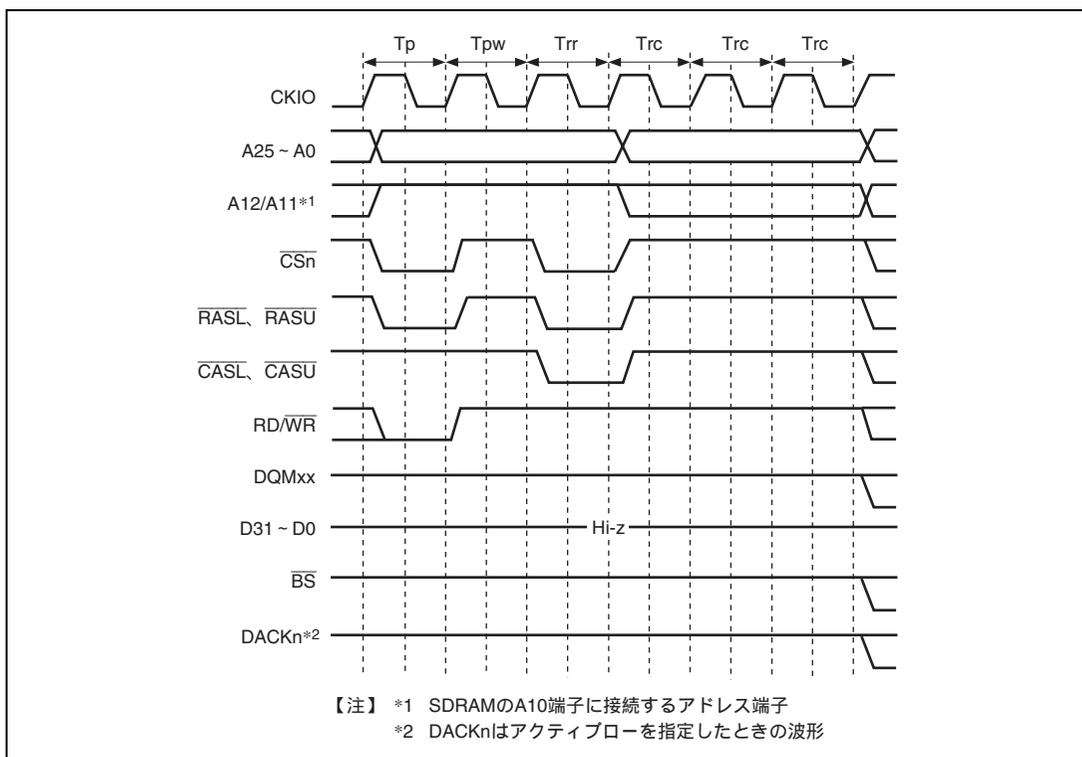


図 9.28 オートリフレッシュタイミング

## (b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、Tp サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 9.29 に示します。セルフリフレッシュ解除後、直ちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値 - 1) を RTCNT に設定することにより、直ちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

また PLL 回路の逡倍率を変更する場合、CKIO 出力が不安定になったり、ローレベルとなります。CKIO 出力については「第 4 章 クロックパルス発振器 (CPG)」をご覧ください。逡倍率変更の前にセルフリフレッシュ状態にすることで SDRAM の内容を保持することができます。

マニュアルリセットによってもセルフリフレッシュ状態が解除されることはありません。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されません。

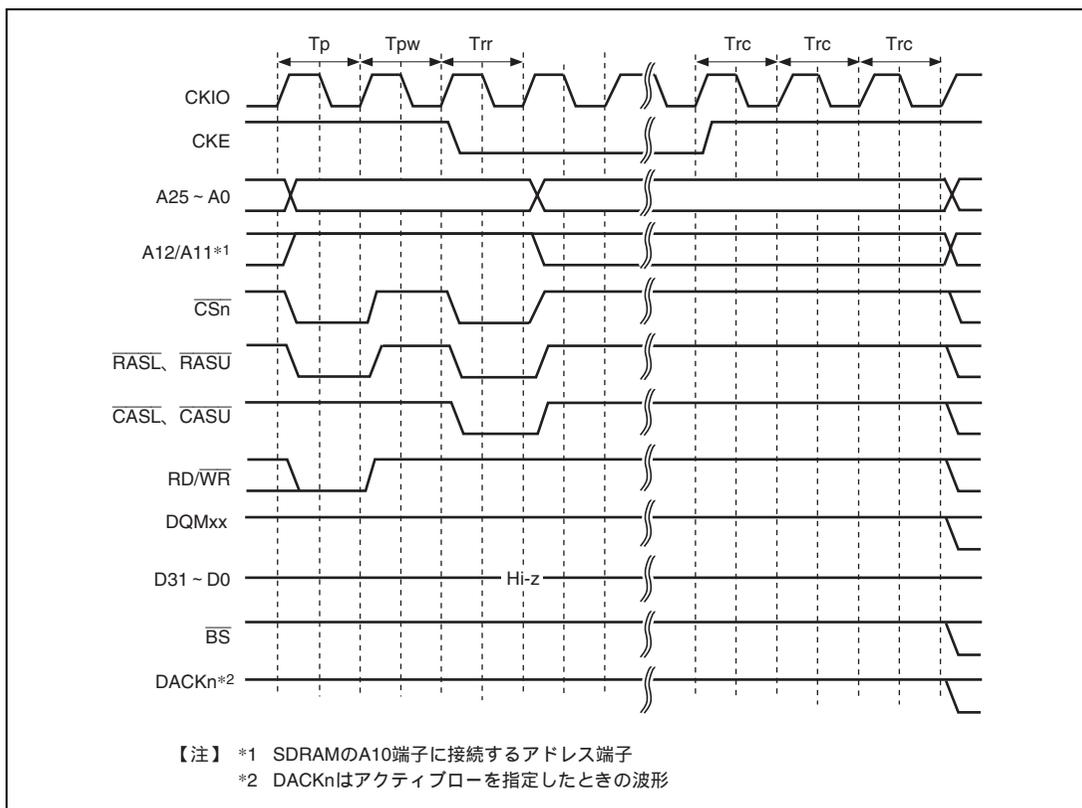


図 9.29 セルフリフレッシュタイミング

## (9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。また、バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が発生した場合は、バス権を獲得するまでリフレッシュの実行は待たされます。本 LSI はリフレッシュの実行が待たされている間に、バス権を要求する信号として  $\overline{\text{REFOUT}}$  端子を設けています。 $\overline{\text{REFOUT}}$  端子の選択については「第 29 章 ピンファンクションコントローラ (PFC)」をご覧ください。バス権を獲得するまで  $\overline{\text{REFOUT}}$  をローレベルにアサートし続けます。

外部デバイスは  $\overline{\text{REFOUT}}$  アサートにより、 $\overline{\text{BREQ}}$  をネゲートしバス権を返してください。外部デバイスがリフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ動作ができず SDRAM の内容は保証できなくなりますので注意してください。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルや、バス権の占有が起こらないようにする必要があります。

セルフリフレッシュ中にバス権要求が発生しても、バスの解放はセルフリフレッシュが解除されるまで行われません。

## (10) 低周波数モード

SDCR の SLOW ビットを 1 に設定すると、コマンド、アドレス、ライトデータの出力、およびリードデータの取り込みを、SDRAM を低周波数で動作させるのに適したタイミングで行います。

図 9.30 に低周波数モードでのアクセスタイミングを示します。このモードでは、コマンド、アドレス、ライトデータを通常より半サイクル遅い CKIO の立ち下がりに同期して出力します。また、リードデータを通常より半サイクル早い CKIO の立ち下がりで取り込みます。これにより、コマンド、アドレス、ライトデータ、リードデータのホールド時間を延長することができます。

SLOW ビットを 1 に設定して高周波数で SDRAM を動作させると、コマンド、アドレス、ライトデータ、リードデータのセットアップ時間が確保できなくなる可能性があります。SLOW ビットの設定は、動作周波数やボードのタイミング設計を考慮して決定してください。

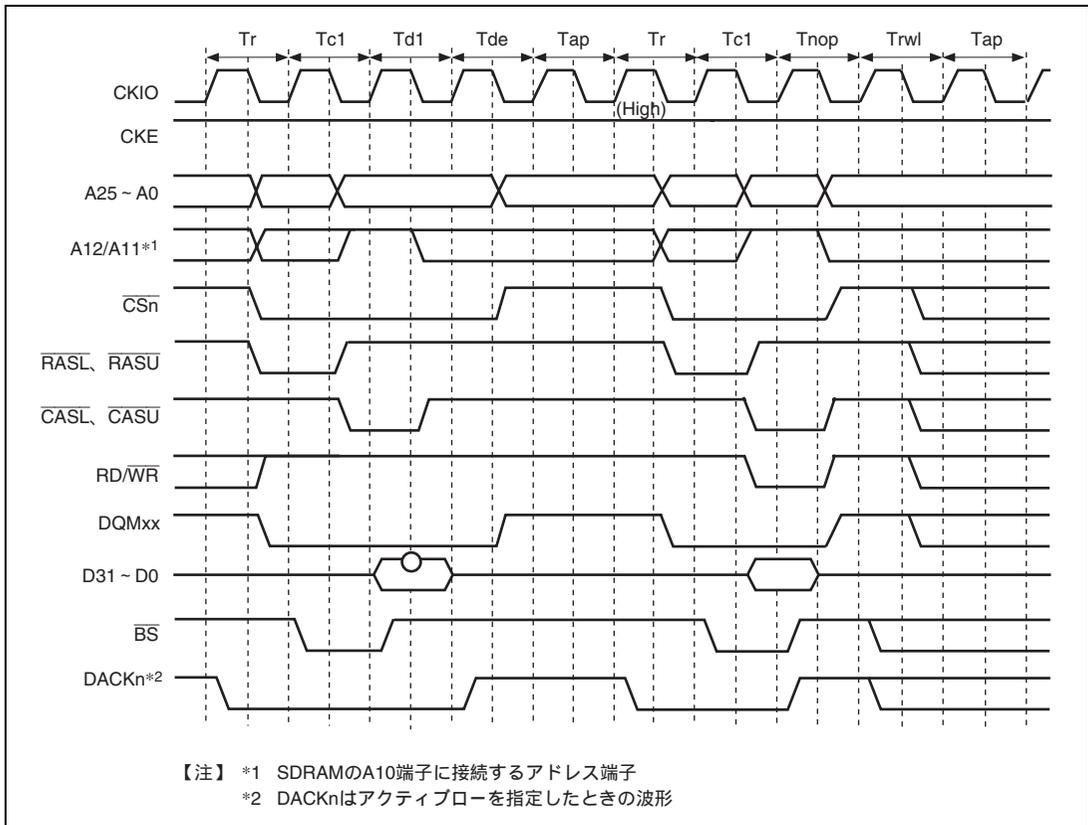


図 9.30 低周波数モードでのアクセスタイミング

## (11) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 9.31 にパワーダウンモードでのアクセスタイミングを示します。

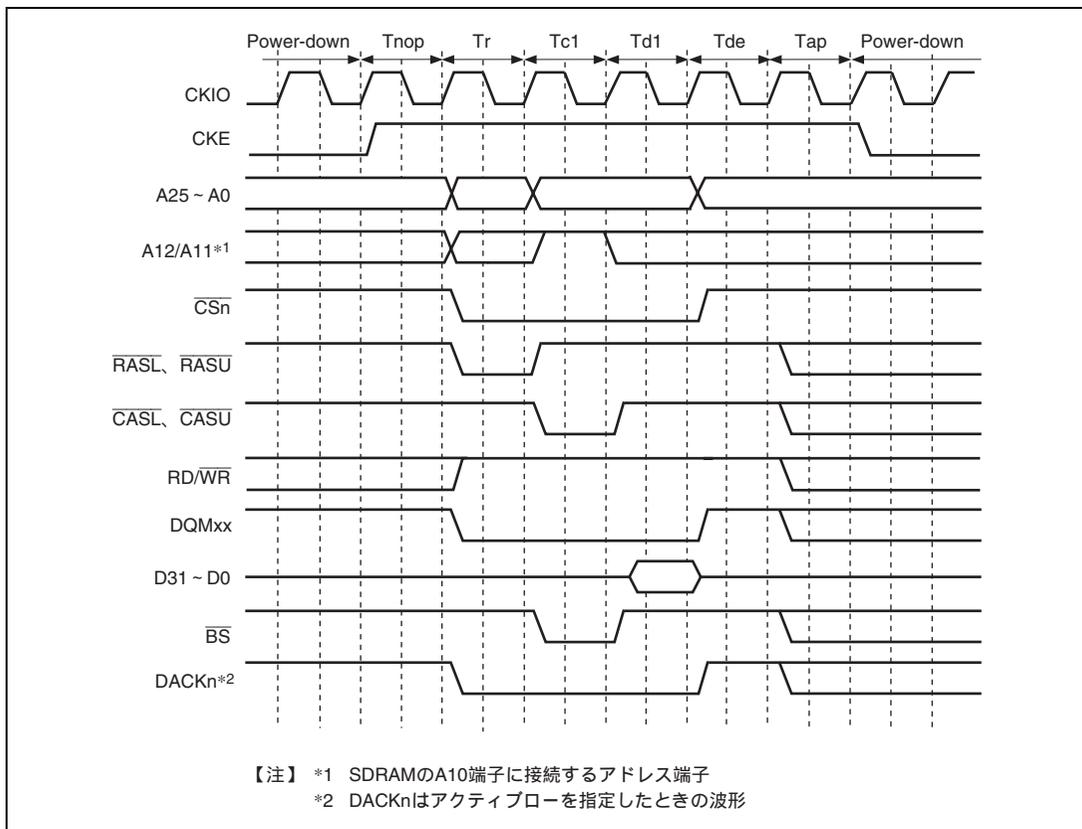


図 9.31 パワーダウンモードでのアクセスタイミング

## (12) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、使用する SDRAM で規定されたポーズ期間の後に、SDRAM に対してモード設定を行う必要があります。ポーズ期間は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は  $\overline{CSn}$ 、 $\overline{RASU}$ 、 $\overline{RASL}$ 、 $\overline{CASU}$ 、 $\overline{CASL}$ 、および  $\overline{RD/WR}$  の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X + (エリア 2 : H'FFFC4000、エリア 3 : H'FFFC5000 番地) にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト (バースト長 1) またはバーストリード/バーストライト (バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 9.18 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されません。

表 9.18 SDRAM モードレジスタライト時のアクセスアドレス

## • エリア2設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC4440	H'0000440
	3	H'FFFC4460	H'0000460
32 ビット	2	H'FFFC4880	H'0000880
	3	H'FFFC48C0	H'00008C0

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC4040	H'0000040
	3	H'FFFC4060	H'0000060
32 ビット	2	H'FFFC4080	H'0000080
	3	H'FFFC40C0	H'00000C0

## • エリア3設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5440	H'0000440
	3	H'FFFC5460	H'0000460
32 ビット	2	H'FFFC5880	H'0000880
	3	H'FFFC58C0	H'00008C0

バーストリード/バーストライト(バースト長1)の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5040	H'0000040
	3	H'FFFC5060	H'0000060
32 ビット	2	H'FFFC5080	H'0000080
	3	H'FFFC50C0	H'00000C0

モードレジスタ設定タイミングを図 9.32 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CS3WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

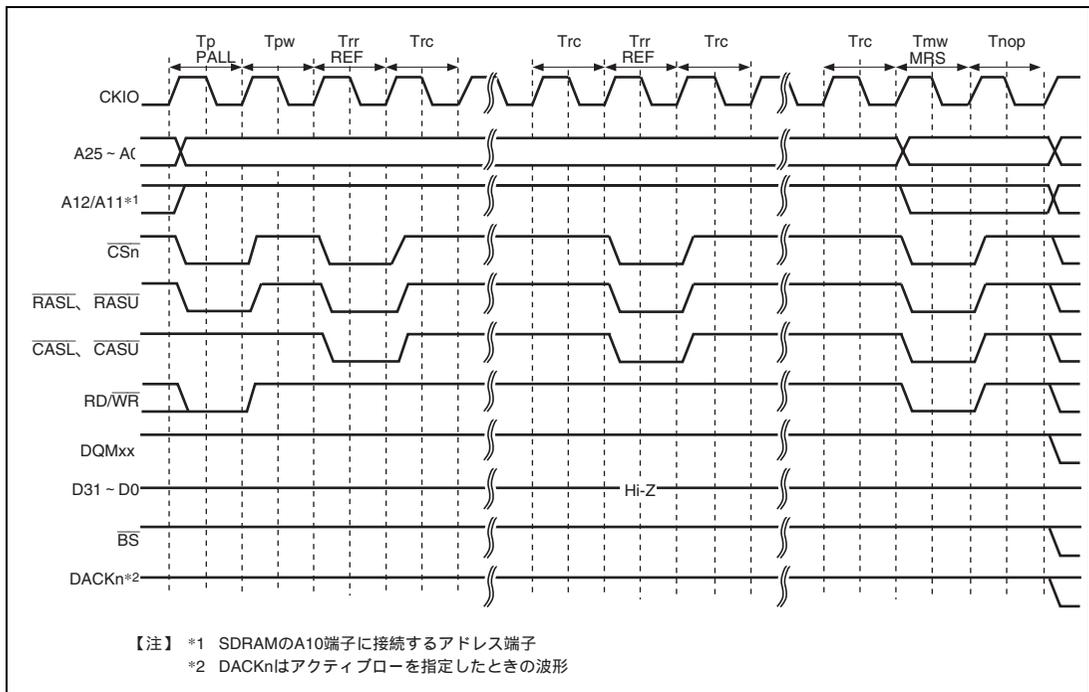


図 9.32 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

## (13) ローパワー-SDRAM

ローパワー-SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

ローパワー-SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパシシャルリフレッシュや、ユーザの使用条件 (温度) によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パシシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー-SDRAM のデータシートをご覧ください。

ローパワー-SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'FFFC5XX0 に H'0YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL REF×8 MRS EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYYY になります。また H'FFFC5XX0 に H'1YYYYYYY のデータをロングワードでライトすると、CS3 空間に対して PALL MRS EMRS のシーケンスでコマンドを発行します。

表 9.19 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセスアドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS2 MRS	H'FFFC4XX0	H'*****	16 ビット	H'0000XX0	-----
CS3 MRS	H'FFFC5XX0	H'*****	16 ビット	H'0000XX0	-----
CS2 MRS + EMRS (リフレッシュあり)	H'FFFC4XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS3 MRS+EMRS (リフレッシュあり)	H'FFFC5XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS2 MRS + EMRS (リフレッシュなし)	H'FFFC4XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY
CS3 MRS+EMRS (リフレッシュなし)	H'FFFC5XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYYY

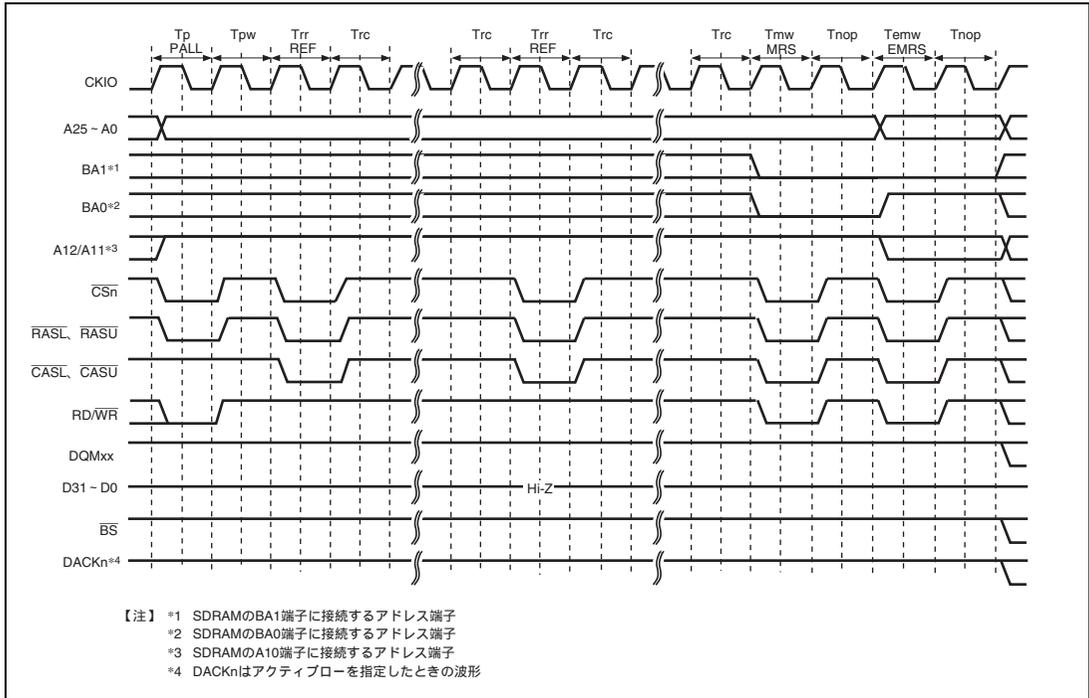


図 9.33 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワーSDRAMには、ディープパワーダウンモードという低消費電力モードもあります。

パースシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCRのDEEPビットを1、RFSHビットを1に設定した状態でRMODEビットに1を書き込むと、ローパワーSDRAMはディープパワーダウンモードに遷移します。RMODEビットに0を書き込むとCKEがハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

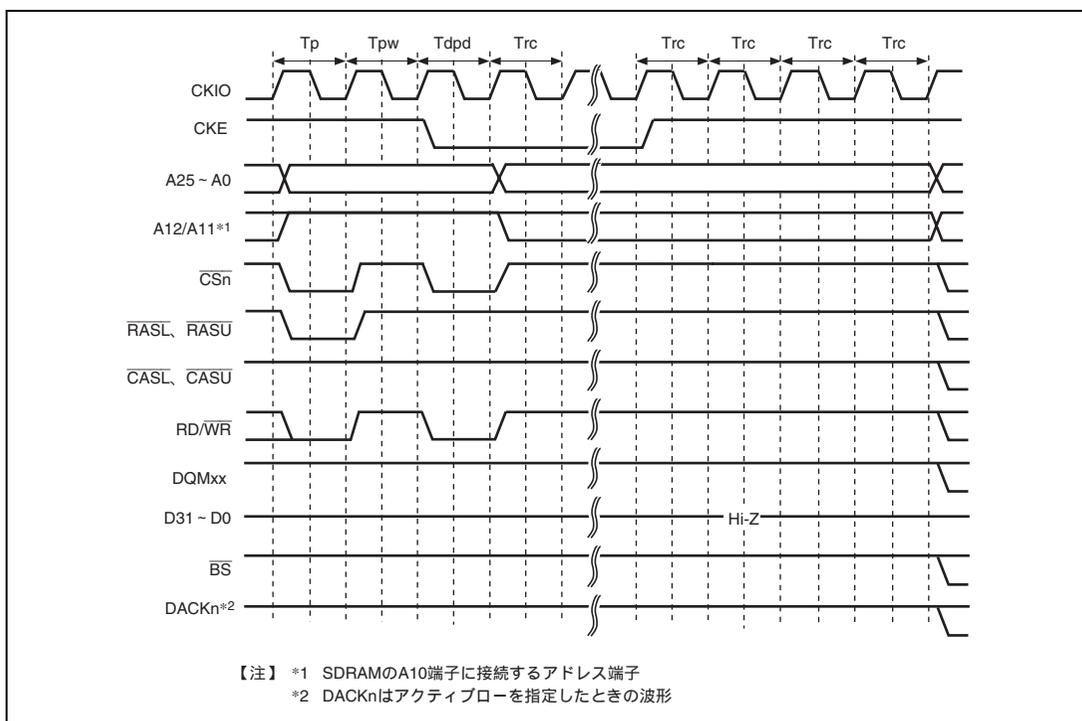


図 9.34 ディープパワーダウンモード遷移タイミング

### 9.5.7 バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に  $\overline{RD}$  信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 $\overline{BS}$  信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 9.20 にバス幅およびアクセスサイズとバースト数の関係を、図 9.35 にタイムチャートを示します。

表 9.20 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0]ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00	16	1
		01	4	4
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10*	4	2
		2、4、2	3	
32 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	1	1
	16 バイト	影響なし	4	1

【注】 \* バス幅 16 ビット、アクセスサイズ 16 バイト、CSnWCR.BST[1:0]が“10”の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8 番地の場合 4-4 バースト、H'xxx4、H'xxxC 番地の場合 2-4-2 バーストアクセスとなります。

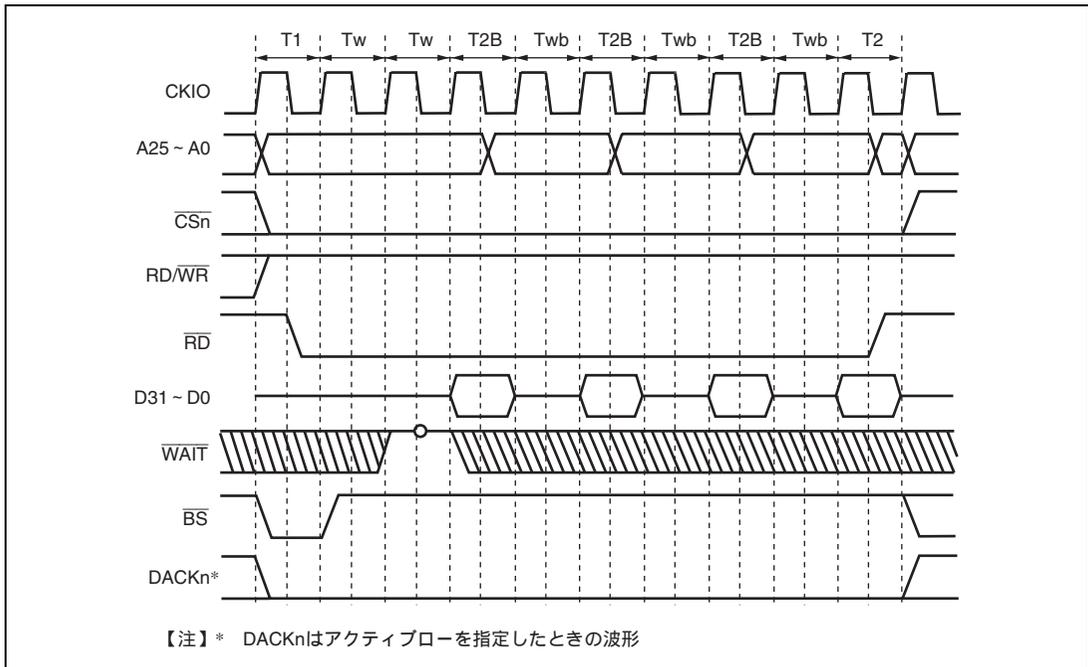


図 9.35 バースト ROM (クロック非同期) アクセス  
(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

### 9.5.8 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ( $\overline{WEn}$ ) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

$CSnWCR$  の BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WEn}$  端子のタイミングが通常空間インタフェースと異なり、 $\overline{WEn}$  端子からバイト選択信号を出力します。図 9.36 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ( $\overline{WEn}$ ) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

$CSnWCR$  の BAS ビットが 1 のとき、 $\overline{WEn}$  端子と  $RD/\overline{WR}$  端子のタイミングが変化します。図 9.37 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 ( $RD/\overline{WR}$ ) のタイミングでメモリに書き込まれます。 $RD/\overline{WR}$  のネグートタイミングからのライトデータのホールドタイミングは、 $CSnWCR$  の HW[1:0] ビットを設定することにより確保してください。図 9.38 にソフトウェア設定時のアクセスタイミングを示します。

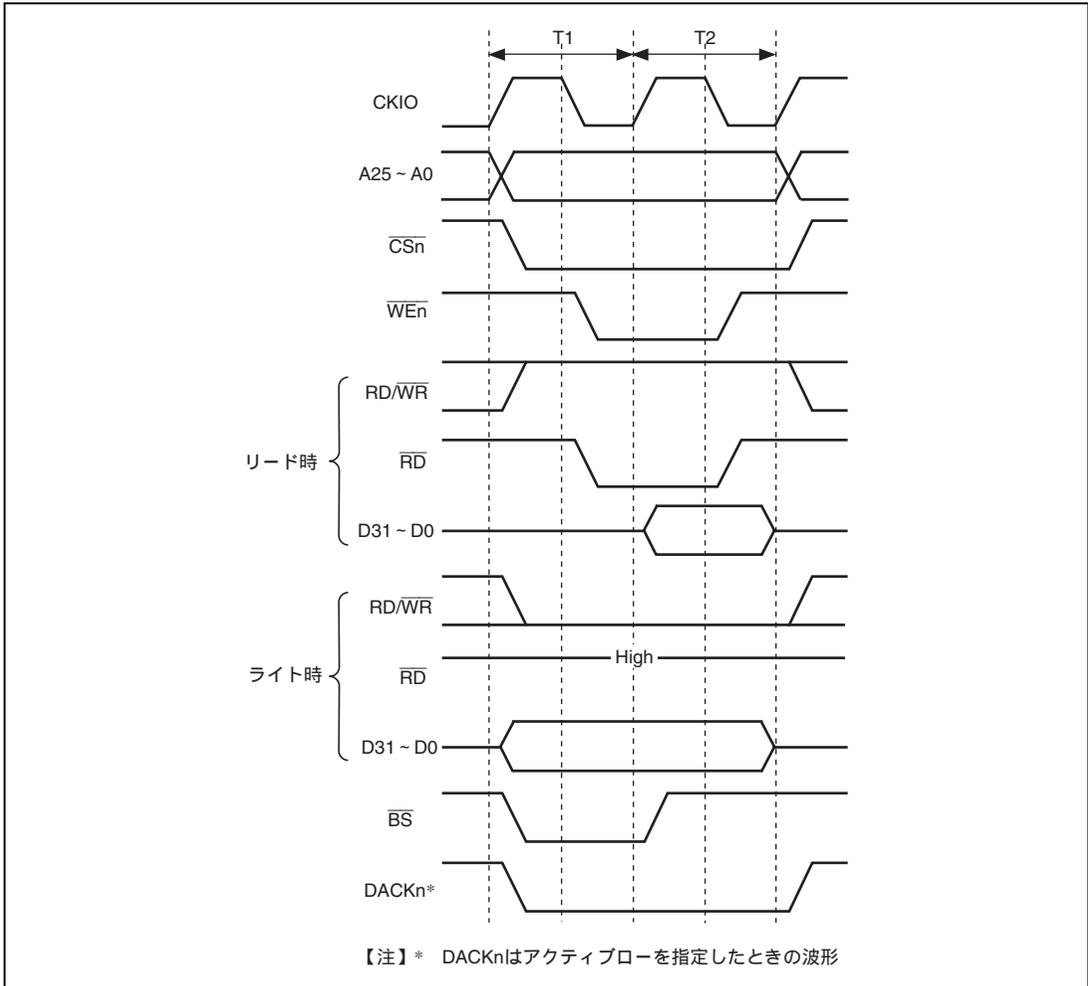


図 9.36 BAS=0、バイト選択付き SRAM 基本アクセスタイミング

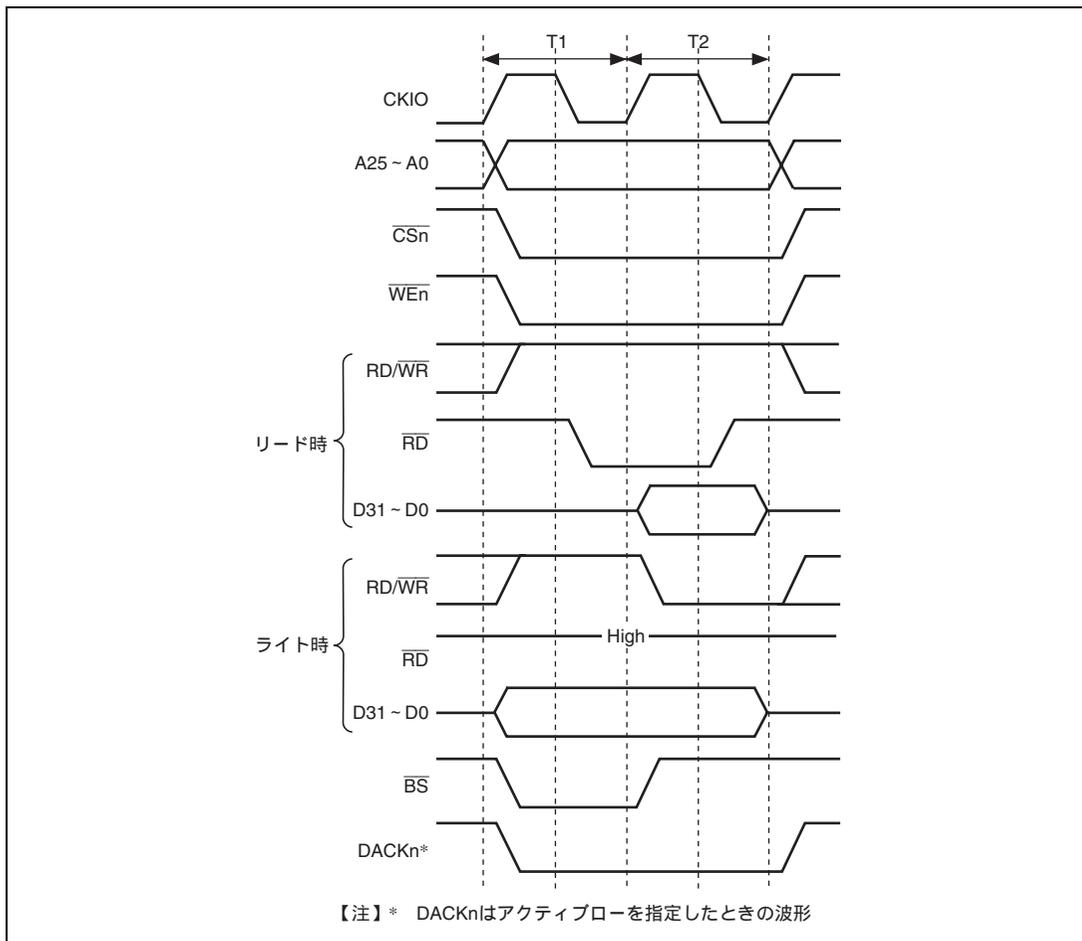


図 9.37 BAS=1、バイト選択付き SRAM 基本アクセスタイミング

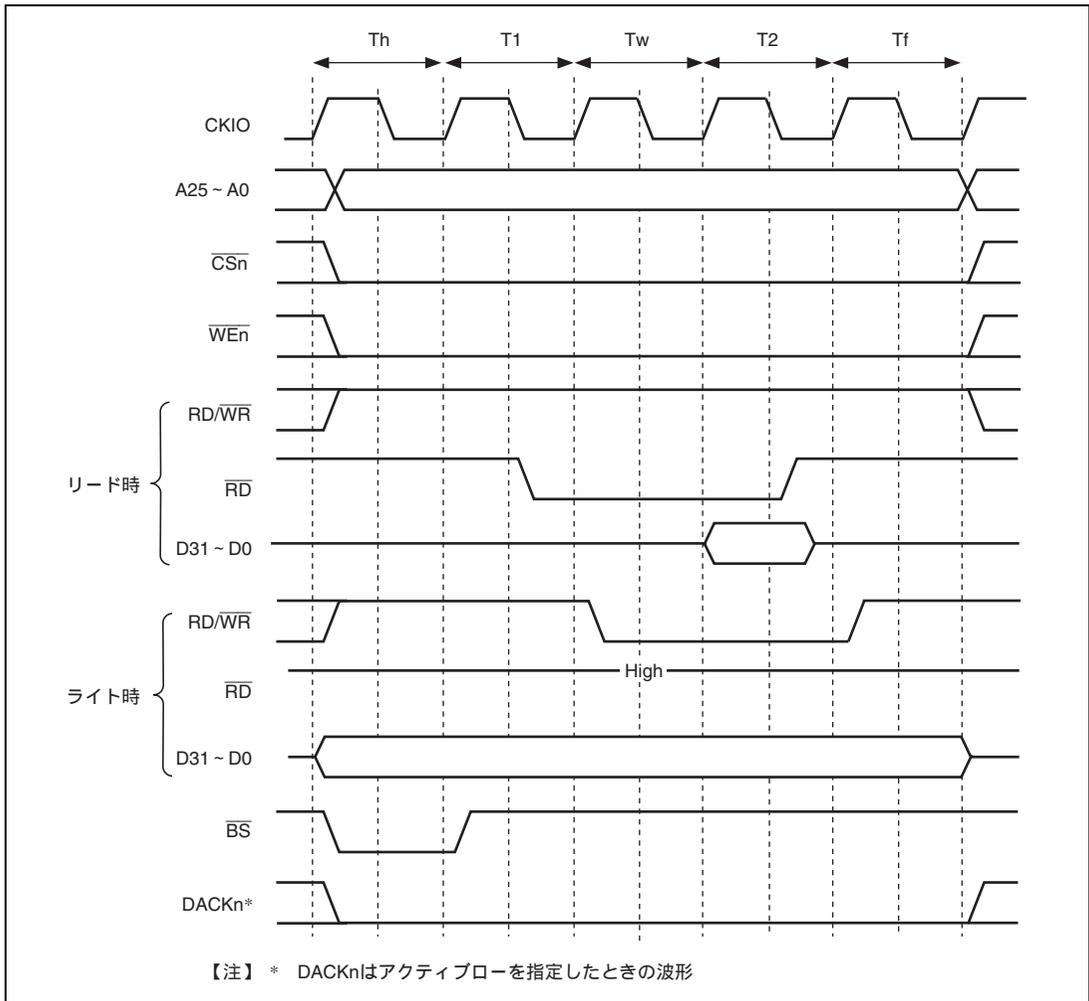


図 9.38 BAS=1、バイト選択付き SRAM ウェイトタイミング  
(SW[1:0]=01、WR[3:0]=0001、HW[1:0]=01)

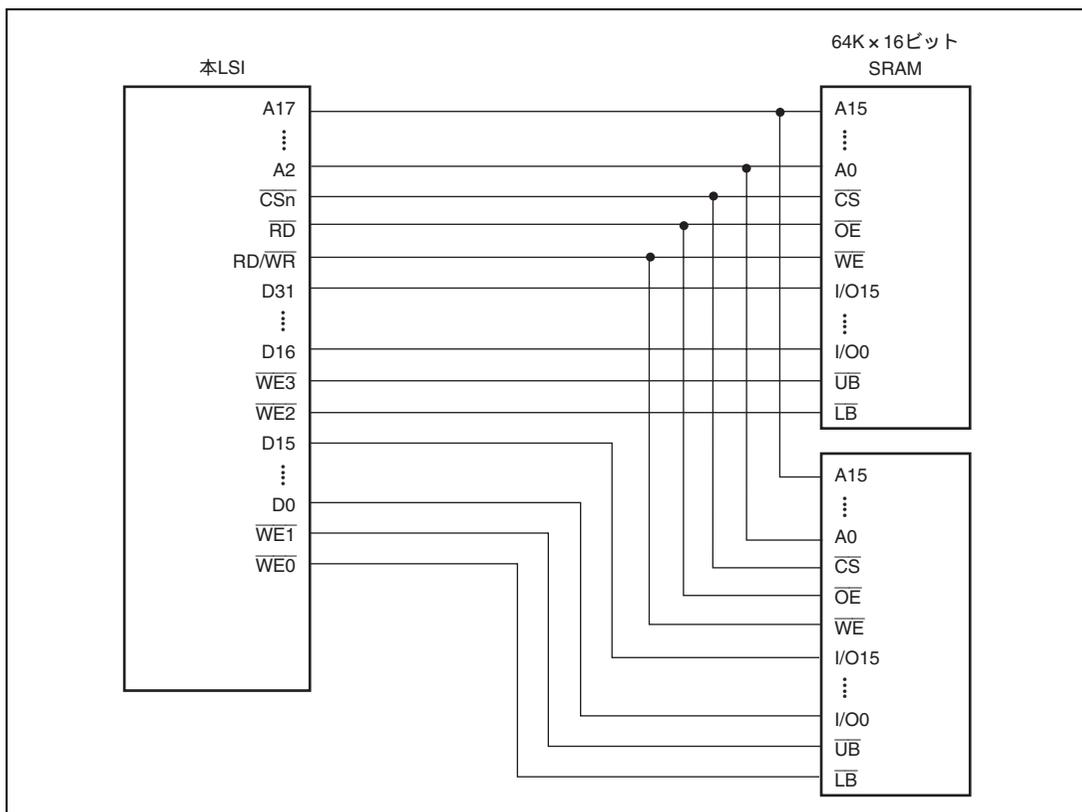


図 9.39 32 ビットデータ幅バイト選択付き SRAM 接続例

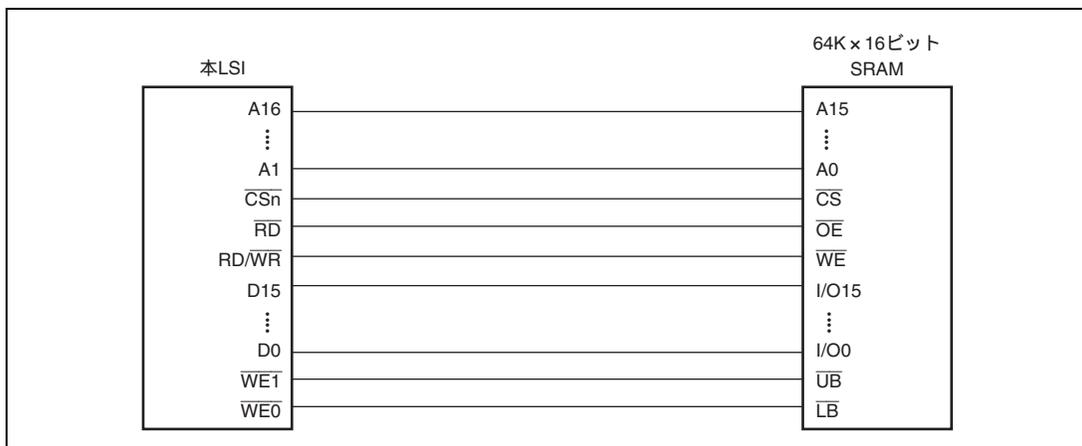


図 9.40 16 ビットデータ幅バイト選択付き SRAM 接続例

### 9.5.9 PCMCIA インタフェース

本 LSI では、エリア 5 およびエリア 6 が CSnBCR (n=5、6) の TYPE[2:0] ビットを B'101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1 Rev2.1) で定める IC メモリカードおよび I/O カードインタフェースになります。また、CSnWCR (n=5、6) の SA[1:0] ビットにより各エリアの前半 32MB と後半の 32MB に対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5WCR の SA1 ビットを 1 に、また CS5WCR の SA0 ビットを 0 に設定するとエリア 5 の前半の 32MB が IC メモリカードインタフェースおよび後半の 32MB が I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BCR の BSZ[1:0] ビットもしくは CS6BCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 9.41 に本 LSI で PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3 ステートバッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

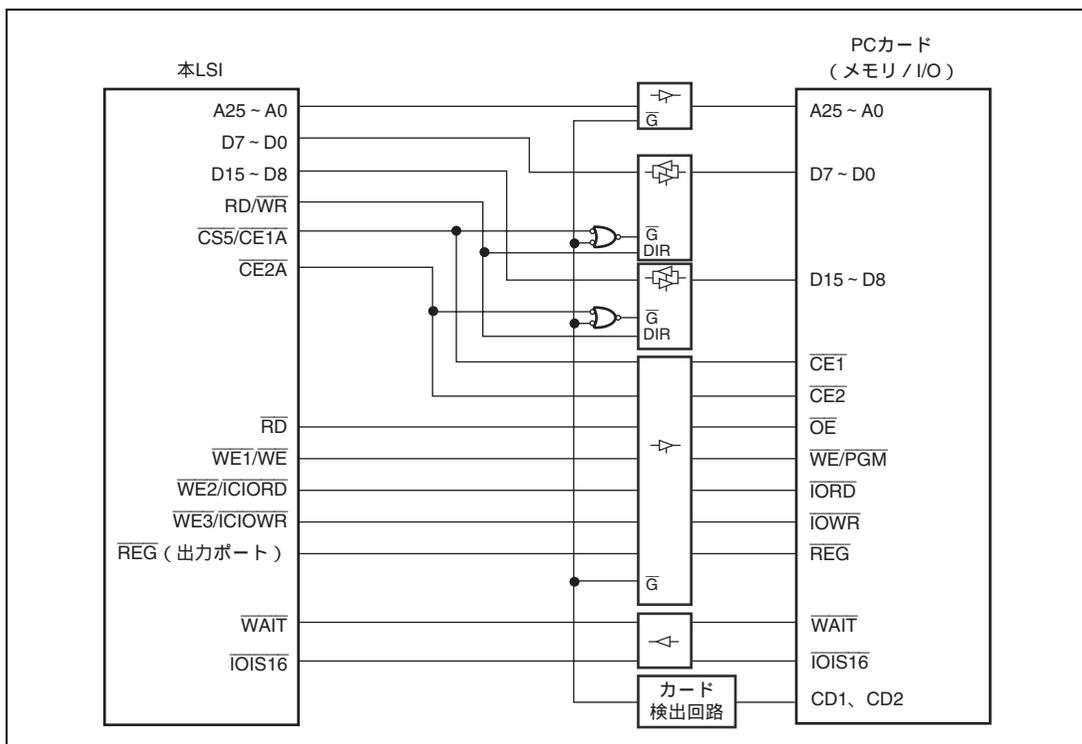


図 9.41 PCMCIA インタフェース接続例

## (1) メモリカードインタフェース基本タイミング

図 9.42 に PCMCIA の IC メモリカードインタフェースの基本タイミングを示します。エリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、CS5WCR および CS6WCR の SA[1:0] ビットの設定に従い、IC メモリカードインタフェースとしてバスアクセスを行うことができます。外部バス周波数 (CKIO) が高くなると、 $\overline{RD}$  や  $\overline{WE}$  に対してアドレス (A25~A0)、カードイネーブル ( $\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$ )、書き込みサイクル時の書き込みデータ (D15~D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5WCR もしくは CS6WCR によってエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび  $\overline{WAIT}$  端子によるハードウェアウェイトを行うことができます。図 9.43 に PCMCIA メモリバスウェイトタイミングを示します。

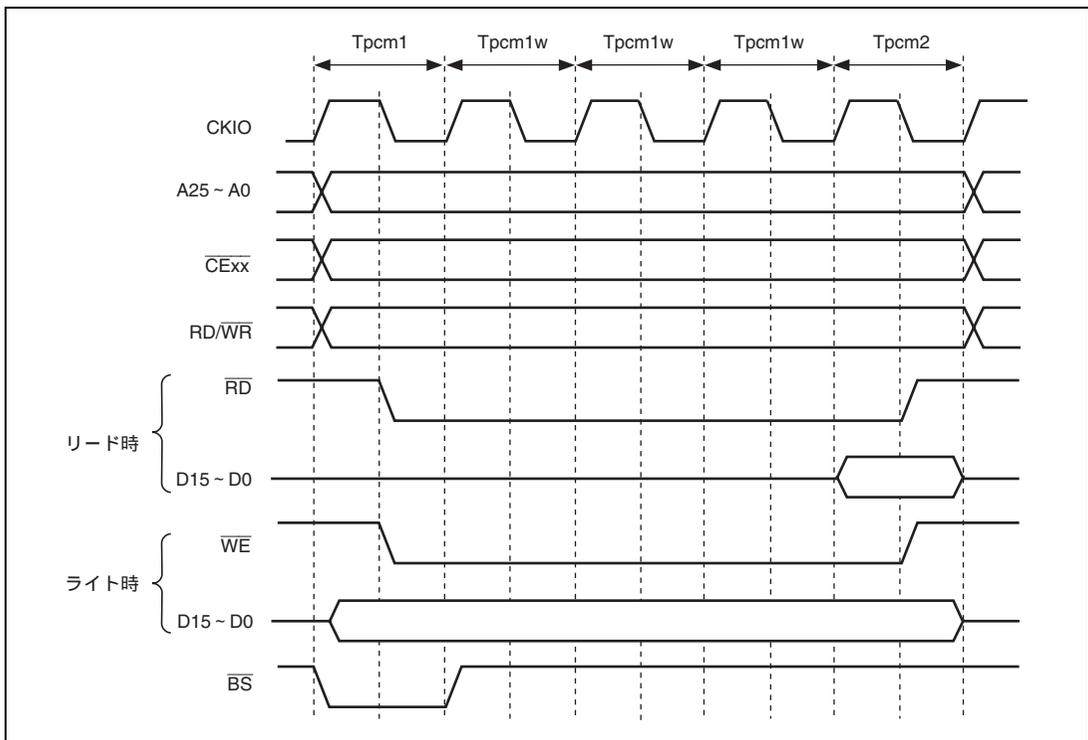


図 9.42 PCMCIA メモリカードインタフェース基本タイミング

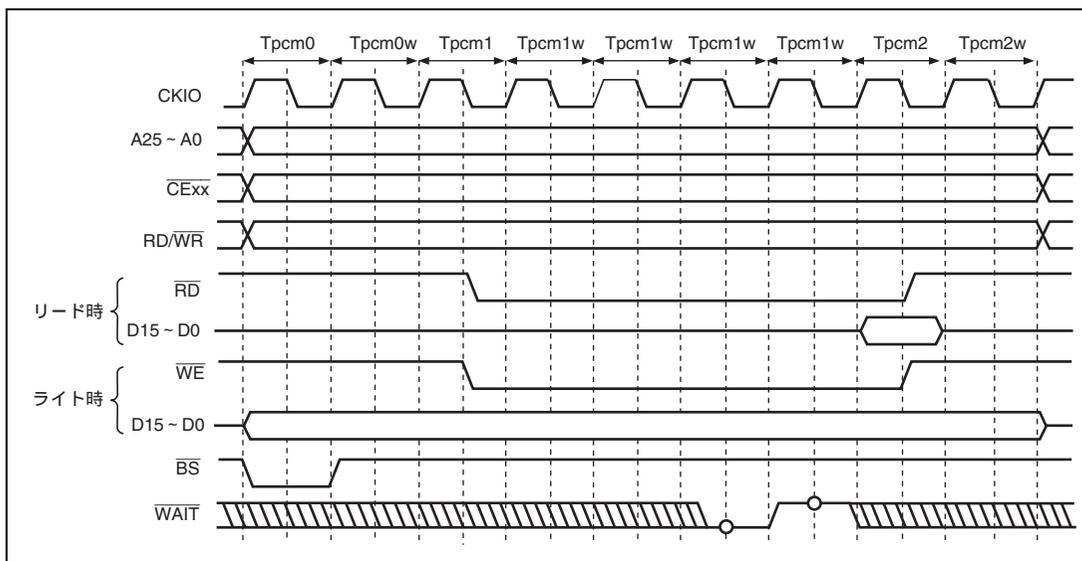


図 9.43 PCMCIA メモリカードインタフェースウェイトタイミング  
(TED[3:0]=B'0010、PCW[3:0]=B'0000、TEH[3:0]=B'0001、ハードウェイト 1)

コモンメモリとアトリビュートメモリの切り替え信号  $\overline{REG}$  はポートなどを利用して生成します。また、一例として図 9.44 に示すように、コモンメモリとアトリビュートメモリの合計のメモリ空間が 32M バイト以下で足りる場合は、A24 端子を  $\overline{REG}$  信号として利用することで、コモンメモリ空間 16M バイトとアトリビュートメモリ空間 16M バイトとして使うことができます。

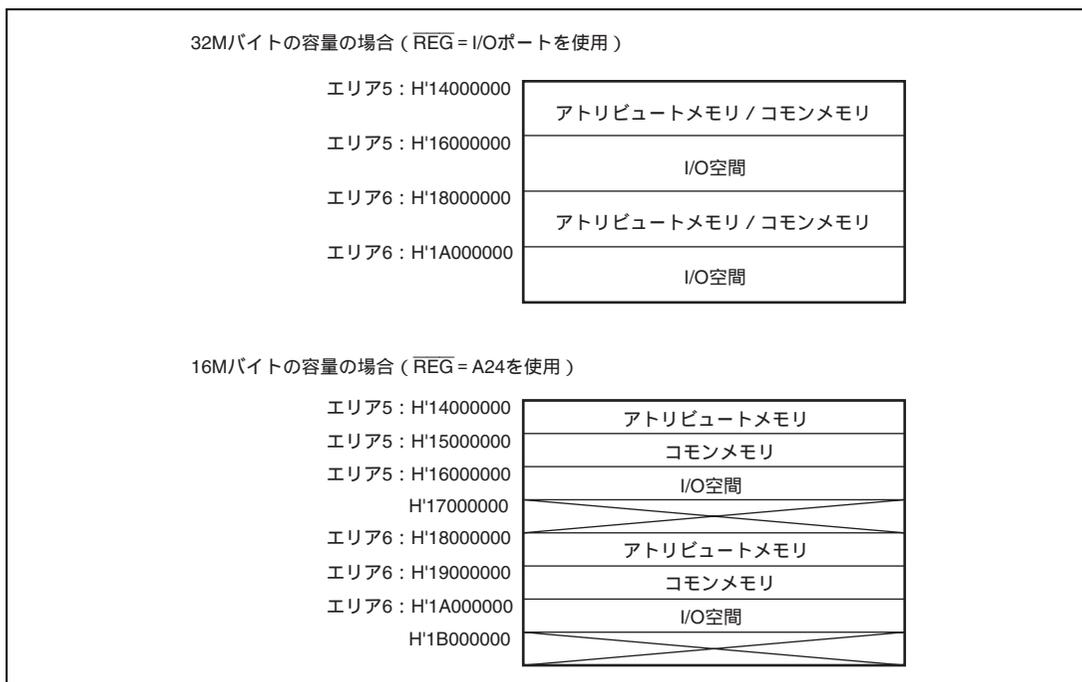


図 9.44 PCMCIA 空間割り付け例 (CS5WCR.SA[1:0]=B'10、CS6WCR.SA[1:0]=B'10)

## (2) I/O カードインタフェース基本タイミング

図 9.45 および図 9.46 に PCMCIA の I/O カードインタフェースのタイミングを示します。

PCMCIA の I/O カードをアクセスする場合は、キャッシュ無効領域に対してアクセスしてください。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、CS5WCR および CS6WCR の SA[1:0] ビットの設定に従い、アクセスするアドレスによって行います。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合には、 $\overline{\text{IOIS16}}$  端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 5 またはエリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O カードバスサイクル中に  $\overline{\text{IOIS16}}$  信号がハイレベルの場合に、8 ビットバス幅であると認識され、実行中の I/O カードバスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$  信号は、TED[3:0] ビットの設定を 1.5 サイクル以上に設定したときの Tpci0 およびすべての Tpci0w サイクルにおける CKIO の立ち下がりでサンプリングされ、Tpci0 のサンプリングポイントから CKIO1.5 サイクル後に  $\overline{\text{CE2A}}$  または  $\overline{\text{CE2B}}$  信号に反映されます。すべてのサンプリングポイントで  $\overline{\text{IOIS16}}$  信号を確定させ、途中で変化することのないようにしてください。

ご使用になる PC カードの  $\overline{\text{ICIOR}}\overline{\text{D}}$  と  $\overline{\text{ICIOR}}\overline{\text{W}}$  から  $\overline{\text{CE1}}$  または  $\overline{\text{CE2}}$  のセットアップの規格を満たすように、TED[3:0] ビットを設定してください。

ダイナミックバスサイジングの基本波形を図 9.46 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$  信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$  信号をローレベルに固定してください。

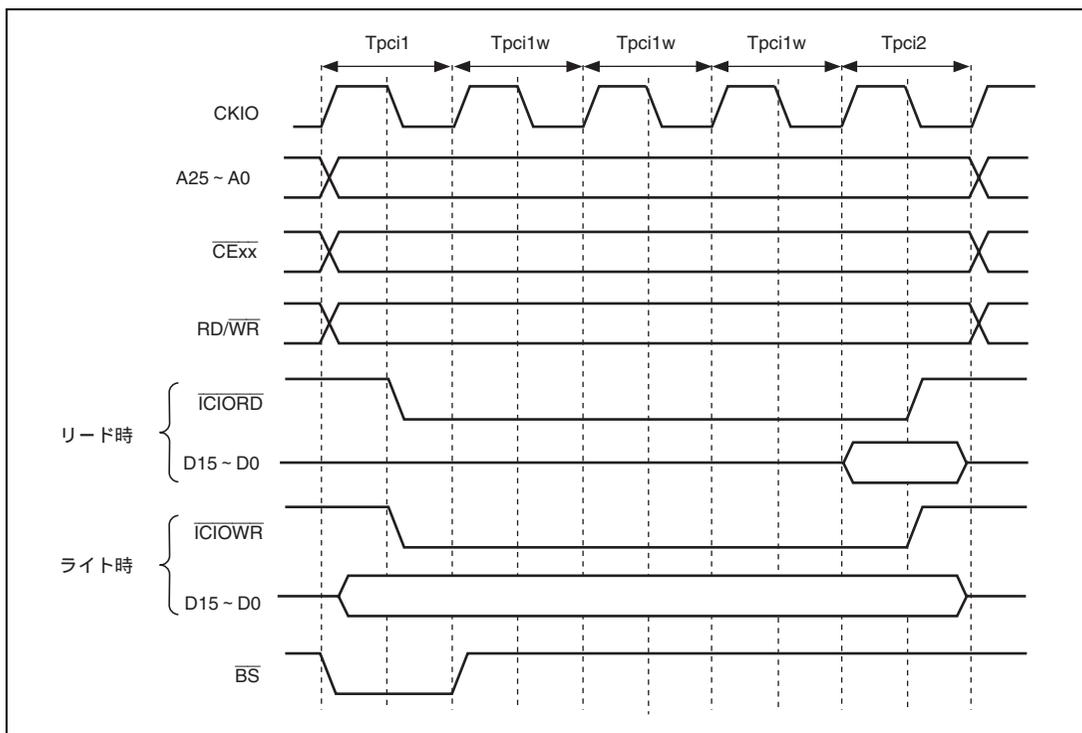


図 9.45 PCMCIA I/O カードインタフェース基本タイミング

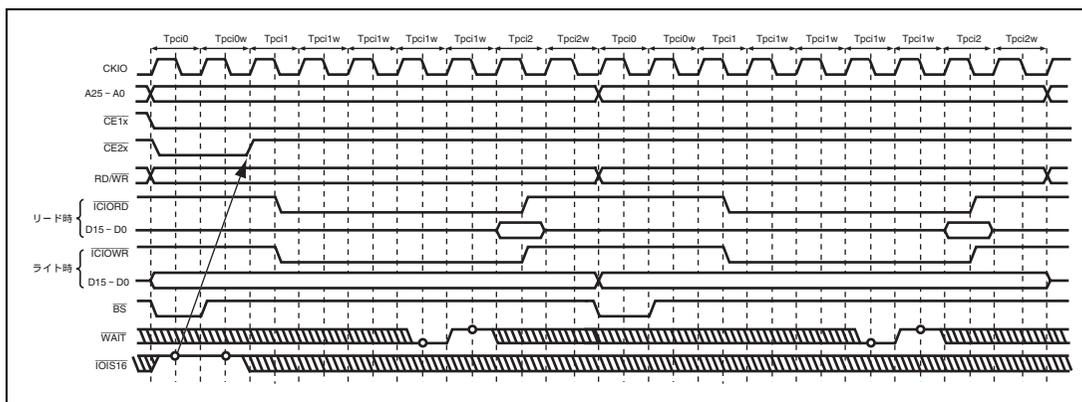


図 9.46 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング  
(TED[3:0]=B'0010、PCW[3:0]=B'0000、TEH[3:0]=B'0001、ハードウェイト 1)

### 9.5.10 バースト MPX-I/O インタフェース

図 9.47 にバースト MPX デバイス接続例を、図 9.48 ~ 図 9.51 にバースト MPX 空間アクセスタイミングを示します。

CS6BCR の TYPE[2:0]ビットの設定により、エリア 6 をアドレス/データマルチプレクス I/O インタフェースに設定することができます。本インタフェースにより、アドレス/データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。アドレスは、D25 ~ D0 に出力されます。アクセスサイズは、アドレスサイクル時 D31 ~ D29 に出力されます。D31 ~ D29 出力とアクセスサイズの対応は、「9.4.3 (5) バースト MPX-I/O」の CS6WCR の説明をご覧ください。

アドレス端子 A25 ~ A0 には、本来のアドレスが出力されます。

バースト MPX-I/O インタフェースを使用する場合は、バスサイズは 32 ビット固定となります。CS6BCR の BSZ[1:0]ビットの設定は 32 ビットに設定してください。また、ウェイトは、ソフトウェイトと  $\overline{\text{WAIT}}$  端子によるハードウェイトの挿入が可能です。

なお、リード時は、ソフトウェイトを 0 に設定していてもアドレス出力の次に自動的に 1 サイクルのウェイトが挿入されます。

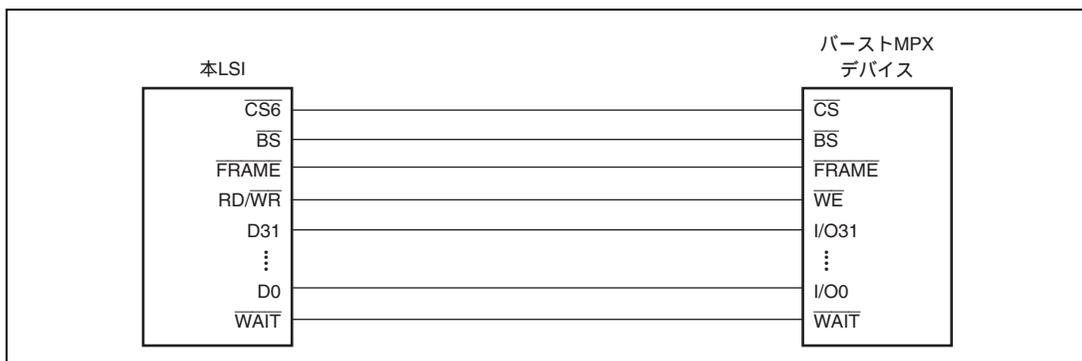


図 9.47 バースト MPX デバイス接続例

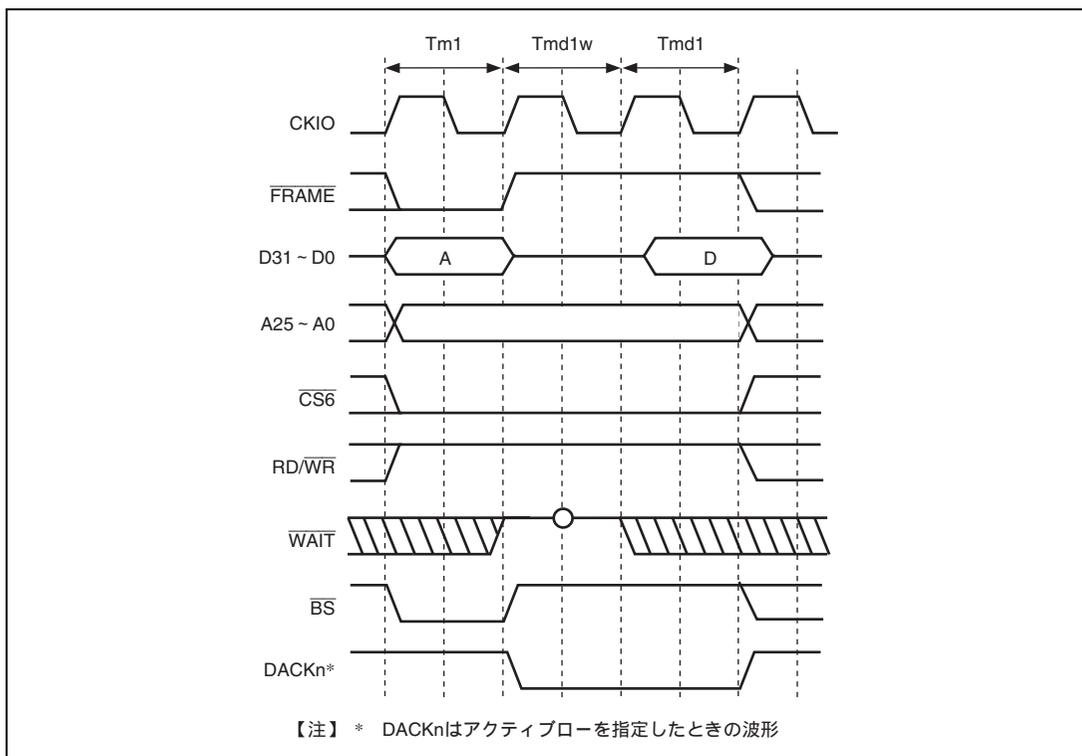


図 9.48 バースト MPX 空間アクセスタイミング  
(シングルリード、ノーウェイトまたはソフトウェイト 1)

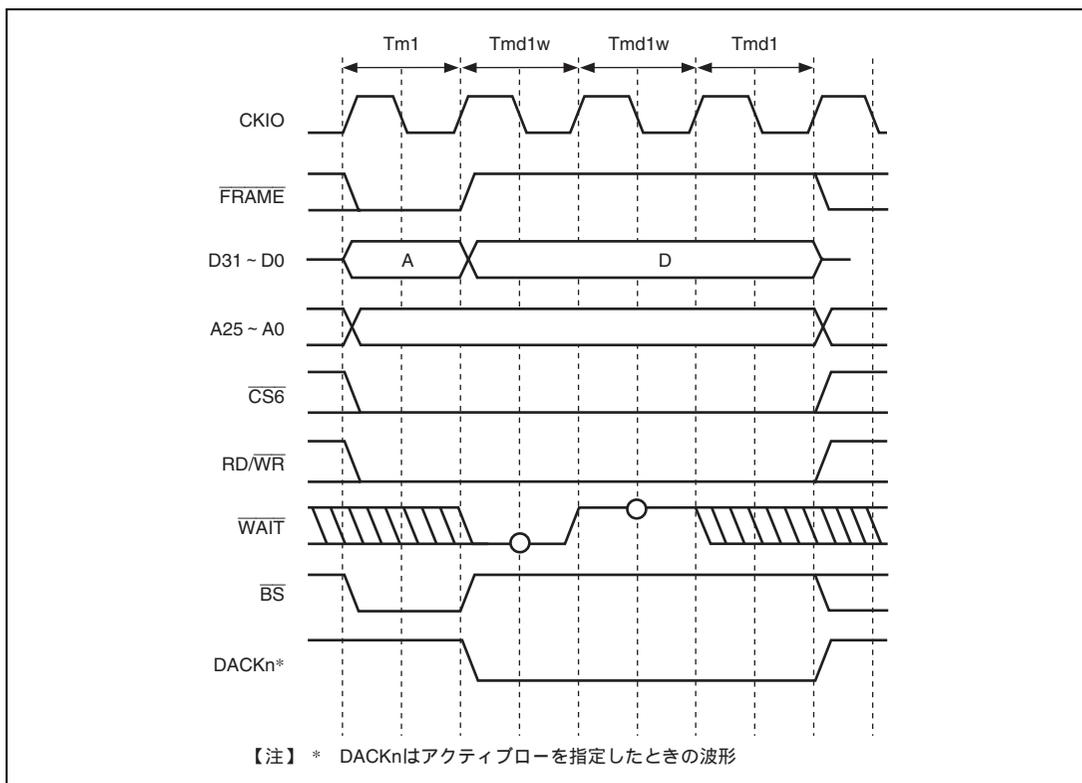


図 9.49 バースト MPX 空間アクセスタイミング  
(シングルライト、ソフトウェイト1、ハードウェイト1)

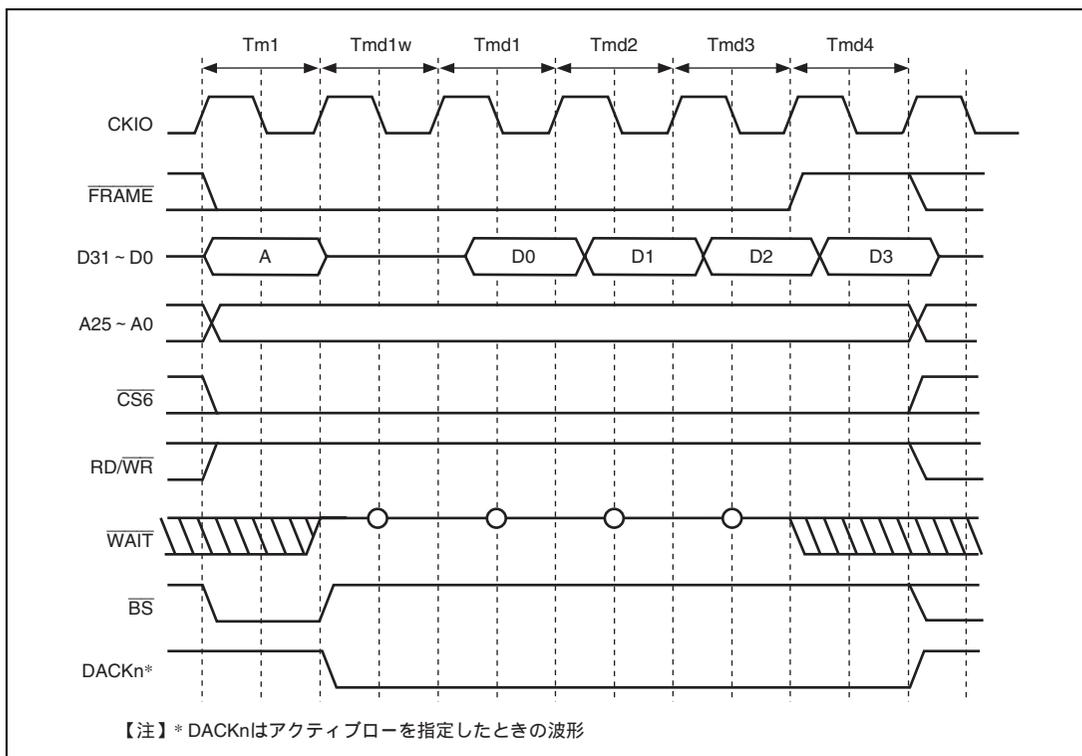


図 9.50 バースト MPX 空間アクセスタイミング  
 (バーストリード、ノーウェイトまたはソフトウェイト 1、CS6WCR.MPXMD=0)

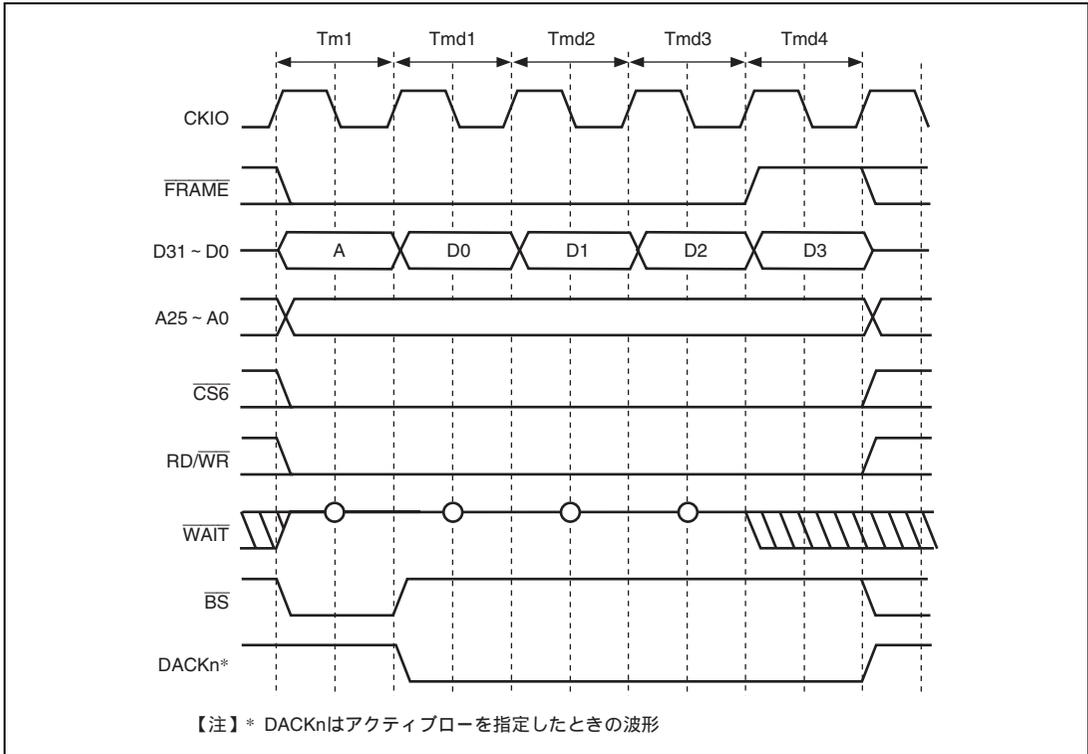


図 9.51 バースト MPX 空間アクセスタイミング (バーストライト、ノーウェイト、CS6WCR.MPXMD = 0)

### 9.5.11 バースト ROM (クロック同期) インタフェース

バースト ROM (クロック同期) インタフェースは、シンクロナスパースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック同期) アクセス時は、 $\overline{BS}$  信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときのみ有効です。

メモリの設定はバス幅が 16 ビット時には、バースト長は 8、バス幅が 32 ビット時はバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅でロングワードアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、キャッシュ有効空間でのキャッシュフィルによる 16 バイトリードや、DMA による 16 バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

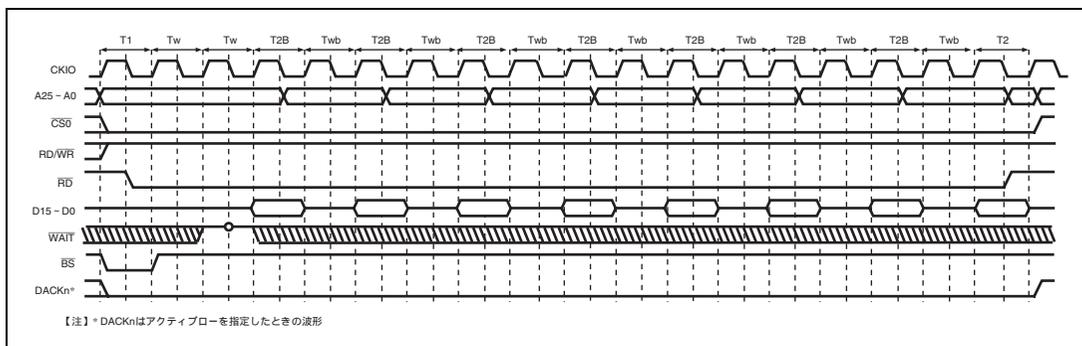


図 9.52 バースト ROM (クロック同期) アクセス  
(バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

### 9.5.12 アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル (ウェイト) を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0] の各ビット、および CMNCR の DMAIW[2:0]、DMAIWA ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合
6. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後の本 LSI を含む別デバイスによるデータ出力の場合 (DMAIWA = 0)
7. DMA シングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合 (DMAIWA = 1)

上記のアクセスサイクル間アイドルサイクル数の指定につきましては、各レジスタの説明をご覧ください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子 ( $\overline{WE_n}$ ) の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

$\overline{CS_n}$  ネゲートから  $\overline{CS_m}$  または  $\overline{CS_m}$  アサートまでの外部バスアイドルサイクル数について説明します。ここで  $\overline{CS_n}$  および  $\overline{CS_m}$  には、PCMCIA の  $\overline{CE2A}$ 、 $\overline{CE2B}$  も含まれます。

外部バスのアイドルサイクル数を決める項目としては、表 9.21 の 8 項目あります。これらの関係を図 9.53 に示します。

表 9.21 アイドルサイクル数を決める項目

項番	内容	説明	範囲	注意事項
(1)	CMNCR.DMAIW[2:0] 設定	DMA によるシングルアドレス転送時のアイドルサイクル数を指定します。シングルアドレス転送時のみ有効になる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	アイドル数を 0 に設定すると、DACK 信号が連続アサートする場合があります。DACK 付きデバイスの認識するサイクル数と DMAC 転送数に不一致が発生し、誤動作につながりますので、ご注意ください。
(2)	CSnBCR.IW**[2:0] 設定	シングルアドレス転送以外の場合のアイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS1 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0]を B'100 に設定します。シングルアドレス転送以外のときのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(3)	CSnWCR の SDRAM 関係設定	SDRAM アクセス時のプリチャージ完了 / 起動待ち、コマンド間アイドル数を指定します。SDRAM アクセス時にのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~3	使用する SDRAM のスペックに合わせて設定してください。
(4)	CSnWCR.WM ビット設定	SDRAM 以外のメモリでは、外部 WAIT 端子入力を有効 / 無効にする設定ができます。0 (外部 WAIT 有効) の場合、外部 WAIT 端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1 (無効) の場合には、本アイドルサイクルは発生しません。	0~1	
(5)	リードデータ転送サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0]が B'00 以外の場合にも発生しません。	0~1	SDRAM、PCMCIA のリードサイクルでは必ず 1 サイクルのアイドルが発生します。
(6)	内部バスアイドル他	CPU、DMAC などからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、BSC で分割アクセスを行いますが、分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0~	I :B のクロック比によっては内部バスアイドル数が <sup>0</sup> 0にならない場合があります。クロック比と内部バスの最小アイドル数の関係を表 9.22、表 9.23 に示します。

項番	内容	説明	範囲	注意事項
(7)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません(ライトバッファ効果)。	0~1	ライト ライトおよびライトリードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生しやすくなります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(8)	異種メモリ間アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0~2.5	メモリ種ごとに決まっています。表 9.24 を参照してください。

(1)/(2)項(どちらか一方が有効になります)、(3)/(4)項(どちらか一方が有効になります)、(5)+(6)+(7)項(順番に発生するので加算されます)および(8)項の4項目が平行して発生しますので、これらのうちの最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1)/(2)項のレジスタ設定を行ってください。

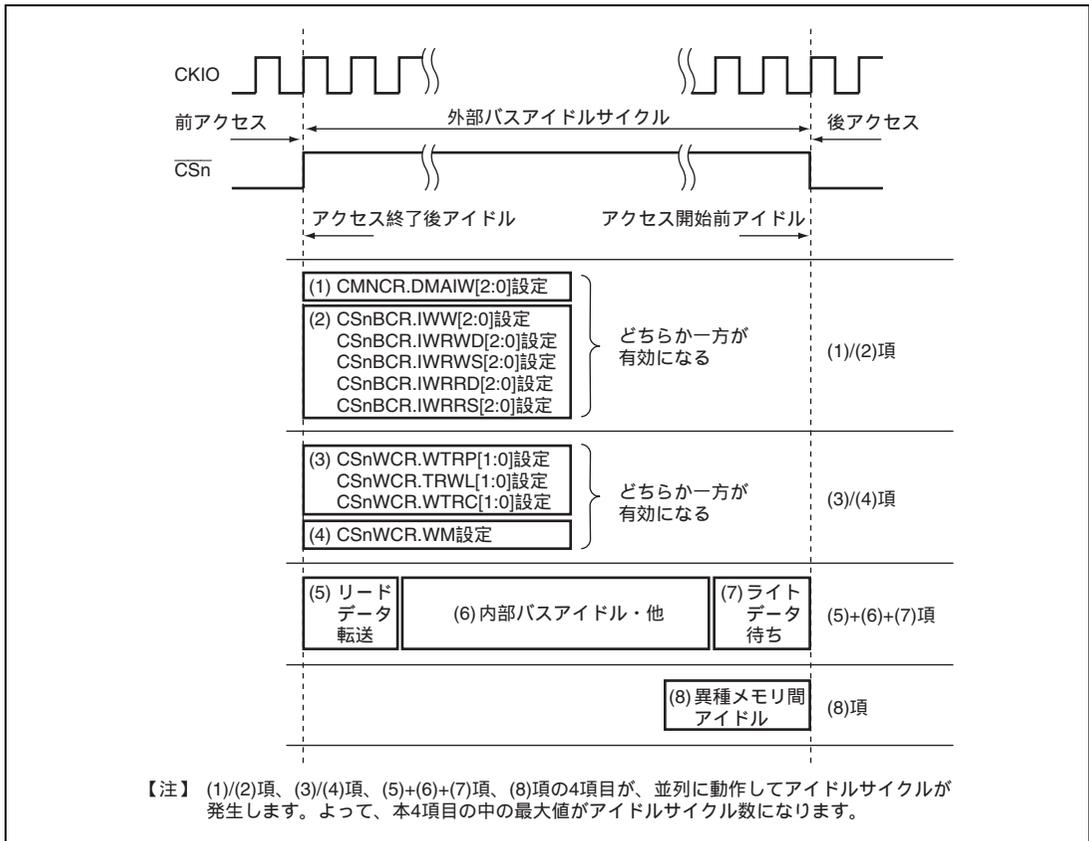


図 9.53 アイドルサイクルの構成

表 9.22 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (I : B)					
	8:1	6:1	4:1	3:1	2:1	1:1
ライト ライト	1	1	2	2	2	3
ライト リード	0	0	0	0	0	1
リード ライト	1	1	2	2	2	3
リード リード	0	0	0	0	0	1

表 9.23 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード	
	デュアルアドレス	シングルアドレス
ライト ライト	0	2
ライト リード	0 または 2	0
リード ライト	0	0
リード リード	0	2

- 【注】
- デュアルアドレス転送のライト ライト、リード リード動作は分割されたサイクルの実行中です。
  - デュアルアドレス転送のライト リードの 0 は異なるチャンネルが連続起動した場合、2 は同一のチャンネルが連続起動した場合です。
  - シングルアドレスのライト リード、リード ライトは異なるチャンネルを連続起動した場合です。  
「ライト」は DACK 付きデバイス 外部メモリ、「リード」は外部メモリ DACK 付きデバイスへの転送です。

表 9.24 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル									
		SRAM	バースト ROM (非同期)	MPX-I/O	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	SDRAM (低周波モード)	PCMCIA	バースト MPX	バースト ROM (同期)
前 サイ クル	SRAM	0	0	1	0	0/1 <sup>*1</sup>	0/1 <sup>*1</sup>	1.5	0	0	0
	バースト ROM (非同期)	0	0	1	0	0/1 <sup>*1</sup>	0/1 <sup>*1</sup>	1.5	0	0	0
	MPX-I/O	1	1	0	1	1	1	1.5	1	1	1
	バイト SRAM (BAS=0)	0	0	1	0	0/1 <sup>*1</sup>	0/1 <sup>*1</sup>	1.5	0	0	0
	バイト SRAM (BAS=1)	0/1 <sup>*1</sup>	0/1 <sup>*1</sup>	1/2 <sup>*1</sup>	0/1 <sup>*1</sup>	0	0	1.5	0/1 <sup>*1</sup>	0/1 <sup>*1</sup>	0/1 <sup>*1</sup>
	SDRAM	1	1	2	1	0	0	-	1	1	1
	SDRAM (低周波モード)	1.5	1.5	2.5	1.5	0.5	-	1	1.5	1.5	1.5
	PCMCIA	0	0	1	0	0/1 <sup>*2</sup>	0/1 <sup>*2</sup>	1.5	0	0	0
	バースト MPX	0	0	1	0	1	1	1.5	0	0	0
	バースト ROM (同期)	0	0	1	0	1	1	1.5	0	0	0

- 【注】
- \*1 前サイクルの CSnWCR.HW[1:0]ビットの設定で、アイドルサイクル数が決まります。HW[1:0] B'00 の場合には左側のアイドルサイクル数、HW[1:0] = B'00 の場合には右側のアイドルサイクル数になります。  
また、前サイクルが CSnWCR.HW[1:0]ビットが存在しない CSn 空間の場合には、右側のアイドルサイクル数になります。
- \*2 前サイクルの CSnWCR.TEH[3:0]ビットの設定で、アイドルサイクル数が決まります。TEH[3:0] B'0000 の場合には左側のアイドルサイクル数、TEH[3:0] = B'0000 の場合には右側のアイドルサイクル数になります。

サイクル間アイドルの最低数を試算する例を図 9.54 に示します。なお、実際の動作ではライトバッファの効果

により試算値よりもアイドルサイクルが短くなったり、CPU の命令実行や CPU レジスタ競合によるスプリットにより内部バスアイドルサイクルが発生して試算値よりもアイドルサイクルが増加することがありますので、試算値を使用する場合には、これらの誤差の発生を見込んでおいてください。

項目	R R	R W	W W	W R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	2	0	表9.22のI :B = 4:1の部分を参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	1	4	2	0	
(8)	0	0	0	0	SRAM SRAMであるため
試算アイドル サイクル数	1	4	2	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	2	1	W R で不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 9.54 アイドルサイクル数の試算例と実際の比較

### 9.5.13 バスアービトレーション

本 LSI でのバスアービトレーションは、通常状態でバス権を有し、他のデバイスからのバス権要求を受けてバスの解放を行います。

バス権の受け渡しはバスサイクルの切れ目で行われます。バス権を要求されたとき、バスサイクルを行っていない場合は、直ちにバス権の解放を行います。バスサイクルの最中の場合は、バスサイクルが完了するまで待ち、バス権の解放を行います。LSI 外部から見るとバスサイクルを行っていない場合でも、アクセスサイクル間ウェイトを挿入するなど、内部的にはバスサイクルが開始されている場合があるため、 $\overline{CSn}$  信号その他のバス制御信号を見て、直ちにバスが解放されるかどうかを判断することはできません。バス解放が行われない状態を以下に示します。

1. キャッシュミスによる16バイト転送中
2. キャッシュのコピーバック中
3. TAS命令のリードサイクルとライトサイクル間
4. データバス幅がアクセスサイズよりも小さいことによって生じる複数のバスサイクル(たとえば8ビットデータバス幅のメモリにロングワードアクセスを行う場合のバスサイクル間)
5. DMACでの16バイト転送時
6. CMNCRのBLOCKビットを1に設定時
7. LCDCの16バイト~128バイト転送時

また、CMNCRのDPRTY[1:0]ビットによって、DMACバースト転送中にバス権使用要求の受け付けの有無を選択可能です。

本 LSI は、バス権要求を受けないかぎりバス権を保有しています。外部からのバス権要求  $\overline{BREQ}$  のアサート(ローレベル)を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可  $\overline{BACK}$  をアサート(ローレベル)します。外部デバイスがバスを解放したことを示す  $\overline{BREQ}$  のネゲート(ハイレベル)を受けて  $\overline{BACK}$  をネゲート(ハイレベル)し、バスの使用を再開します。

SDRAM インタフェース使用時は、アクティブなバンクがある場合、全バンクプリチャージコマンド(PALL)を発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次のとおりです。まず、CKIO の立ち上がりに同期してアドレスバスおよび、データバスをハイインピーダンスにします。この 0.5 サイクル後にバス使用許可信号を CKIO の立ち下がりに同期してアサートします。これに続く CKIO の立ち上がりで、バス制御信号 ( $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RASU}$ 、 $\overline{RASL}$ 、 $\overline{CASU}$ 、 $\overline{CASL}$ 、CKE、 $\overline{DQMxx}$ 、 $\overline{WE_n}$ 、 $\overline{RD}$ 、および  $\overline{RD/WR}$ ) をハイインピーダンスにします。これらのバス制御信号は、遅くともハイインピーダンスにする 1 サイクル前には、ハイレベルにされています。バス権要求信号のサンプリングは、CKIO の立ち下がりで行います。なお、CKE、 $\overline{RASU}$ 、 $\overline{RASL}$ 、 $\overline{CASU}$ 、 $\overline{CASL}$  は、CMNCR の HIZCNT ビットの設定により、バス解放中でも直前の値でドライブし続けることもできます。

外部デバイスからバス権を再獲得するときのシーケンスは、次のとおりです。 $\overline{BREQ}$  のネゲートを CKIO の立ち下がりで検出すると、1.5 サイクル後にバス制御信号は、ハイレベルでドライブを開始します。これに続くクロ

ックの立ち上がりで、バス使用許可信号をネゲートします。アドレスバスおよびデータバスのドライブを開始するのは、これに続く CKIO の立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはアドレスおよびデータ信号をドライブするのと同じクロックの立ち上がりからです。バスアービトラージタイミングを図 9.55 に示します。

バス権解放中に SDRAM のリフレッシュが必要になった場合、バス権を返してもらいが必要であり、その要求信号として  $\overline{\text{REFOUT}}$  を設けています。 $\overline{\text{REFOUT}}$  端子の選択については「第 29 章 ピンファンクションコントローラ (PFC)」をご覧ください。 $\overline{\text{REFOUT}}$  はバス権を獲得できるまでローレベルにアサートし続けます。外部デバイスは  $\overline{\text{REFOUT}}$  アサートにより  $\overline{\text{BREQ}}$  をネゲートし、バス権を返してください。リフレッシュ間隔の規定時間以上バス権を返さない場合、リフレッシュ実行ができないため SDRAM の内容の保証はできなくなりますのでご注意ください。

バス権解放中の SLEEP 命令の実行 (スリープモード、ディープスタンバイモード、またはソフトウェアスタンバイモードへの遷移) は、本 LSI がバス権を獲得するまで実行されません。バス権解放中のマニュアルリセットも同様です。

ソフトウェアスタンバイモードまたはディープスタンバイモードのとき、 $\overline{\text{BREQ}}$  入力は無視され、 $\overline{\text{BACK}}$  出力はハイインピーダンス状態になります。この状態でバス権要求が必要な場合は、 $\overline{\text{BACK}}$  端子をプルダウンしておくことにより、ソフトウェアスタンバイモードまたはディープスタンバイモードへの遷移と同時にバス権解放状態となります。

バス権要求 ( $\overline{\text{BREQ}}$  のローレベルアサート) 後のバス権解放 ( $\overline{\text{BREQ}}$  のハイレベルネゲート) は、バス使用許可 ( $\overline{\text{BACK}}$  のローレベルアサート) 後に行ってください。 $\overline{\text{BACK}}$  アサート前に  $\overline{\text{BREQ}}$  をネゲートすると、 $\overline{\text{BREQ}}$  ネゲートタイミングによっては  $\overline{\text{BACK}}$  が 1 サイクルだけアサートされ、外部デバイスと本 LSI 間でバスの衝突が発生する可能性があります。

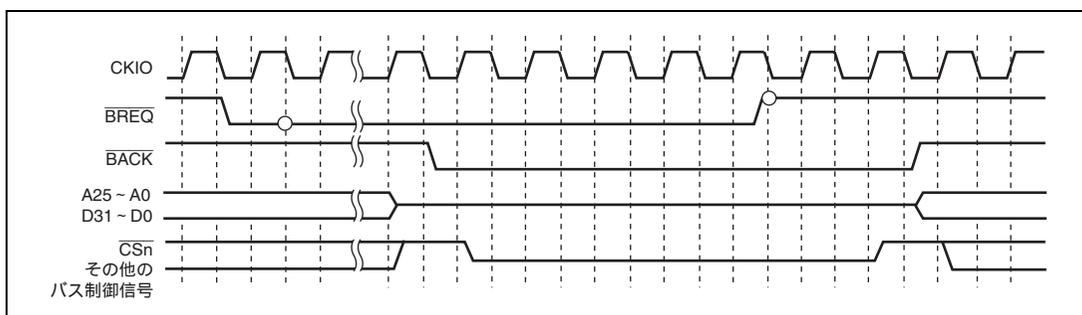


図 9.55 バスアービトラージ

### 9.5.14 その他

#### (1) リセット

バスステートコントローラ (BSC) は、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。ソフトウェアスタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行されます。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。

#### (2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、CPU バス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリは CPU バスに、CPU を除く内部バスマスタおよびバスステートコントローラは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリは CPU バスと内部バスの双方に接続されています。CPU バスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (DMAC など) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのページをソフトウェアで行う必要があります。

キャッシュ有効空間の場合、CPU が読み出しアクセスを開始し、キャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取り込みアクセスは完了します。キャッシュ内にデータがない場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオランダアクセス時および奇数ワード境界 ( $4n+2$ ) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュ無効空間の場合は、実際のアクセスアドレスに従ってアクセスを行います。アクセスが偶数ワード境界 ( $4n$ ) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ( $4n+2$ ) への命令フェッチの場合にはワードアクセスとなります。

内蔵周辺モジュールの読み出しサイクルの場合は、内部バスと周辺バスを介して読み出しサイクルが起動されます。読み出しデータは、周辺バス、内部バス、CPU バスを經由して CPU に送られます。

キャッシュ有効空間での書き込みサイクルは、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを經由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを經由して実際の書き込みのみ行われます。

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC などの別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に BSC のレジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に BSC のレジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に BSC のレジスタを変更してください。

### (3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P ) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

## 9.6 使用上の注意事項

### 9.6.1 バスアービトラージ機能とソフトウェアスタンバイモード併用時の注意事項

バスアービトラージ機能とソフトウェアスタンバイモードを併用するときは、ソフトウェアスタンバイモード遷移前にバスアービトラージ機能を無効にし (CMNCR の BLOCK ビットを 1 に設定)、ソフトウェアスタンバイモード解除後にバスアービトラージ機能を有効にしてください (CMNCR の BLOCK ビットを 0 に設定)。BLOCK ビットを 0 に設定にしたままソフトウェアスタンバイモードに遷移すると、ソフトウェアスタンバイモード解除後に、 $\overline{\text{BREQ}}$  端子に High 入力しているにも関わらず、バスクロック (B ) で 1 サイクルの間、 $\overline{\text{BACK}}$  端子から Low 出力されます。

---

## 10. ダイレクトメモリアクセスコントローラ (DMAC)

---

ダイレクトメモリアクセスコントローラ (DMAC) は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

### 10.1 特長

- チャンネル数：CH0～CH7の8チャンネル  
CH0～CH3の4チャンネルのみ、外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は4GB
- 転送データ単位：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24ビット) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：  
外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能  
内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。  
SCIF：8要因、IIC3：8要因、A/D変換器：1要因、MTU2：5要因、CMT：2要因、USB：2要因、  
FLCTL：2要因、RCAN-TL1：2要因、SSI：4要因、SRC：2要因、SSU：4要因、ROM-DEC：1要因、  
SDHI：2要因
- パスモード：サイクルスチールモード (通常モードとインターミittentモード) とパーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能  
CHCRのHEビット、HIEビットにより、DMAC転送が初期設定の1/2回終了した時点でCPUに対する割り込みを設定します。
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号・転送終了信号：DACKおよびTENDはアクティブレベルを設定可能
- DMA設定のレジスタにリロード機能を備えていますので、実行中のDMA転送と同じ設定でのDMA転送を再設定することなく繰り返し実行することができます。また、DMA転送中にリロードレジスタをあらかじめ設定しておくことで、次回のDMA転送を異なる設定で実行することができます。  
このリロード機能は、チャンネルごと、リロードレジスタごとにON/OFFの設定が可能です。

図 10.1 に DMAC のブロック図を示します。

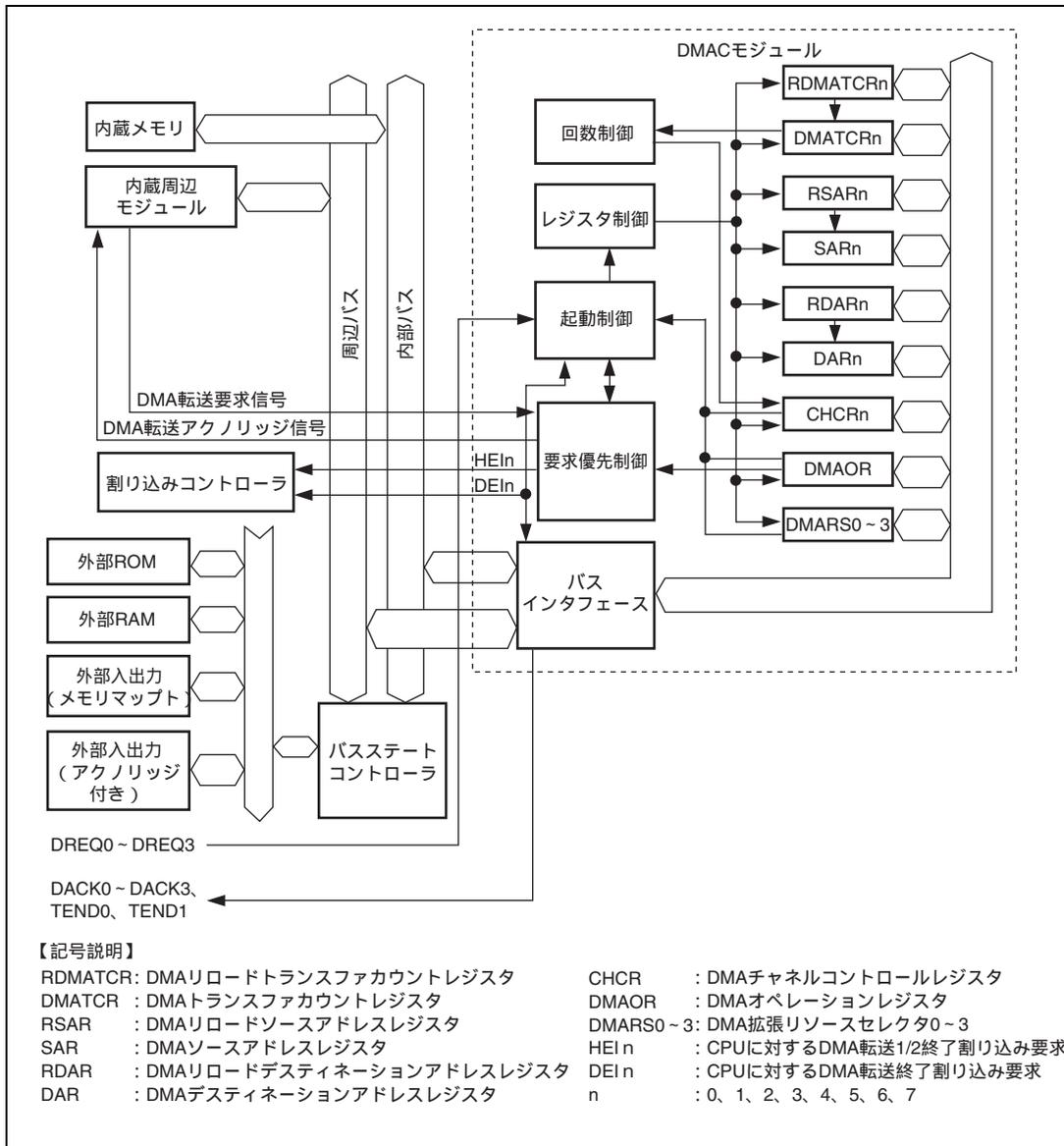


図 10.1 DMAC のブロック図

## 10.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 10.1 に示します。DMAC としては、外部バス用に 4 チャンネル分の端子( CH0 ~ CH3 )を持っています。

表 10.1 外部バスに対する端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力
2	DMA 転送要求	DREQ2	入力	外部デバイスからチャンネル 2 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK2	出力	DMAC チャンネル 2 から外部デバイスへの DMA 転送要求受け付け出力
3	DMA 転送要求	DREQ3	入力	外部デバイスからチャンネル 3 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK3	出力	DMAC チャンネル 3 から外部デバイスへの DMA 転送要求受け付け出力
0	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送終了	TEND1	出力	DMAC チャンネル 1 の DMA 転送終了出力

### 10.3 レジスタの説明

DMAC には以下のレジスタがあります。各チャンネルに 4 本の制御レジスタと 3 本のリロードレジスタがあり、すべてのチャンネルに共通な制御レジスタが 1 本あります。さらに、2 チャンネルごとに 1 本の拡張リソースセクタレジスタがあります。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR\_0 のように表記しています。

表 10.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	DMA ソースアドレスレジスタ_0	SAR0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレス レジスタ_0	DAR0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ_0	DMATCR0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR0	R/W*1	H'00000000	H'FFFE100C	8、16、32
	DMA リロードソースアドレス レジスタ_0	RSAR0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーション アドレスレジスタ_0	RDAR0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウン トレジスタ_0	RDMATCR0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ_1	SAR1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレス レジスタ_1	DAR1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR1	R/W*1	H'00000000	H'FFFE101C	8、16、32
	DMA リロードソースアドレス レジスタ_1	RSAR1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーション アドレスレジスタ_1	RDAR1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウン トレジスタ_1	RDMATCR1	R/W	H'00000000	H'FFFE1118	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR2	R/W	H'00000000	H'FFFE1020	16、32
	DMA デスティネーションアドレス レジスタ_2	DAR2	R/W	H'00000000	H'FFFE1024	16、32
	DMA トランスファカウントレジスタ_2	DMATCR2	R/W	H'00000000	H'FFFE1028	16、32
	DMA チャンネルコントロールレジスタ_2	CHCR2	R/W* <sup>1</sup>	H'00000000	H'FFFE102C	8、16、32
	DMA リロードソースアドレス レジスタ_2	RSAR2	R/W	H'00000000	H'FFFE1120	16、32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR2	R/W	H'00000000	H'FFFE1124	16、32
	DMA リロードトランスファカウント レジスタ_2	RDMATCR2	R/W	H'00000000	H'FFFE1128	16、32
3	DMA ソースアドレスレジスタ_3	SAR3	R/W	H'00000000	H'FFFE1030	16、32
	DMA デスティネーションアドレス レジスタ_3	DAR3	R/W	H'00000000	H'FFFE1034	16、32
	DMA トランスファカウントレジスタ_3	DMATCR3	R/W	H'00000000	H'FFFE1038	16、32
	DMA チャンネルコントロールレジスタ_3	CHCR3	R/W* <sup>1</sup>	H'00000000	H'FFFE103C	8、16、32
	DMA リロードソースアドレス レジスタ_3	RSAR3	R/W	H'00000000	H'FFFE1130	16、32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR3	R/W	H'00000000	H'FFFE1134	16、32
	DMA リロードトランスファカウント レジスタ_3	RDMATCR3	R/W	H'00000000	H'FFFE1138	16、32
4	DMA ソースアドレスレジスタ_4	SAR4	R/W	H'00000000	H'FFFE1040	16、32
	DMA デスティネーションアドレス レジスタ_4	DAR4	R/W	H'00000000	H'FFFE1044	16、32
	DMA トランスファカウントレジスタ_4	DMATCR4	R/W	H'00000000	H'FFFE1048	16、32
	DMA チャンネルコントロールレジスタ_4	CHCR4	R/W* <sup>1</sup>	H'00000000	H'FFFE104C	8、16、32
	DMA リロードソースアドレス レジスタ_4	RSAR4	R/W	H'00000000	H'FFFE1140	16、32
	DMA リロードデスティネーション アドレスレジスタ_4	RDAR4	R/W	H'00000000	H'FFFE1144	16、32
	DMA リロードトランスファカウント レジスタ_4	RDMATCR4	R/W	H'00000000	H'FFFE1148	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	DMA ソースアドレスレジスタ_5	SAR5	R/W	H'00000000	H'FFFE1050	16、32
	DMA デスティネーションアドレス レジスタ_5	DAR5	R/W	H'00000000	H'FFFE1054	16、32
	DMA トランスファカウントレジスタ_5	DMATCR5	R/W	H'00000000	H'FFFE1058	16、32
	DMA チャンネルコントロールレジスタ_5	CHCR5	R/W*1	H'00000000	H'FFFE105C	8、16、32
	DMA リロードソースアドレス レジスタ_5	RSAR5	R/W	H'00000000	H'FFFE1150	16、32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR5	R/W	H'00000000	H'FFFE1154	16、32
	DMA リロードトランスファカウント レジスタ_5	RDMATCR5	R/W	H'00000000	H'FFFE1158	16、32
6	DMA ソースアドレスレジスタ_6	SAR6	R/W	H'00000000	H'FFFE1060	16、32
	DMA デスティネーションアドレス レジスタ_6	DAR6	R/W	H'00000000	H'FFFE1064	16、32
	DMA トランスファカウントレジスタ_6	DMATCR6	R/W	H'00000000	H'FFFE1068	16、32
	DMA チャンネルコントロールレジスタ_6	CHCR6	R/W*1	H'00000000	H'FFFE106C	8、16、32
	DMA リロードソースアドレス レジスタ_6	RSAR6	R/W	H'00000000	H'FFFE1160	16、32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR6	R/W	H'00000000	H'FFFE1164	16、32
	DMA リロードトランスファカウント レジスタ_6	RDMATCR6	R/W	H'00000000	H'FFFE1168	16、32
7	DMA ソースアドレスレジスタ_7	SAR7	R/W	H'00000000	H'FFFE1070	16、32
	DMA デスティネーションアドレス レジスタ_7	DAR7	R/W	H'00000000	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ_7	DMATCR7	R/W	H'00000000	H'FFFE1078	16、32
	DMA チャンネルコントロールレジスタ_7	CHCR7	R/W*1	H'00000000	H'FFFE107C	8、16、32
	DMA リロードソースアドレス レジスタ_7	RSAR7	R/W	H'00000000	H'FFFE1170	16、32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR7	R/W	H'00000000	H'FFFE1174	16、32
	DMA リロードトランスファカウント レジスタ_7	RDMATCR7	R/W	H'00000000	H'FFFE1178	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	DMA オペレーションレジスタ	DMAOR	R/W*2	H'0000	H'FFFE1200	8、16
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'0000	H'FFFE1308	16
6/7	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'0000	H'FFFE130C	16

【注】 \*1 CHCRn の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

\*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

### 10.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

ワード(2 バイト)、ロングワード(4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

### 10.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

### 10.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

## 10.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

外部端子 DREQ、DACK の仕様を決めるビット (DO、AM、AL、DL、DS) については、チャンネル 0~3 で読み書き可能となっていますが、チャンネル 4~7 では対応するビットはリザーブビットとなっています。

さらに外部端子 TEND の仕様を決めるビット (TL) については、チャンネル 0、1 で読み書き可能となっていますが、チャンネル 2~7 では対応するビットはリザーブビットとなっています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC	-	RLD SAR	RLD DAR	-	DAF	SAF	-	DO	TL	-	TE MASK	HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]	SM[1:0]	RS[3:0]			DL	DS	TB	TS[1:0]	IE	TE	DE				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*

【注】\* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	TC	0	R/W	トランスファカウントモード 1回の転送要求で1回転送するか、DMATCRの設定回数転送するかを設定します。本機能は、内蔵周辺モジュールリクエストの場合のみ有効です。TC=0に設定した場合には、TBビットを1(バーストモード)に設定しないでください。また、転送要求元をSCIF、IIC3、SSI、SRC、SDHI、FLCTL、SSUに設定した場合には、TC=1に設定しないでください。 0: 1回の転送要求で1回転送 1: 1回の転送要求でDMATCRの設定回数転送
30	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29	RLDSAR	0	R/W	SARリロード機能ON/OFF SARおよびDMATCRへのリロード機能を、有効(ON)にするか、無効(OFF)にするかを設定します。 0: SARおよびDMATCRへのリロード機能は無効(OFF) 1: SARおよびDMATCRへのリロード機能は有効(ON)
28	RLDDAR	0	R/W	DARリロード機能ON/OFF DARおよびDMATCRへのリロード機能を、有効(ON)にするか、無効(OFF)にするかを設定します。 0: DARおよびDMATCRへのリロード機能は無効(OFF) 1: DARおよびDMATCRへのリロード機能は有効(ON)
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
26	DAF	0	R/W	<p>デスティネーションアドレス固定 16 バイト転送</p> <p>トランスファサイズ (TS[1:0]) が 16 バイトで、デスティネーションアドレスモード (DM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: DAR レジスタに設定したアドレスへ、16 バイトを転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレスの +H'0、+H'4、+H'8、+H'C 番地となります。</p> <p>1: DAR レジスタに設定したアドレスへ、4 バイトを 4 回転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p>
25	SAF	0	R/W	<p>ソースアドレス固定 16 バイト転送</p> <p>トランスファサイズ (TS[1:0]) が 16 バイトで、ソースアドレスモード (SM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: SAR レジスタに設定したアドレスから、16 バイトを転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレスの +H'0、+H'4、+H'8、+H'C 番地となります。</p> <p>1: SAR レジスタに設定したアドレスから、4 バイトを 4 回転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p>
24	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。</p> <p>本ビットは CHCR_0~3 のレベル検出のときのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0: DREQ をオーバラン 0 で検出 1: DREQ をオーバラン 1 で検出</p>
22	TL	0	R/W	<p>トランスファエンドレベル</p> <p>TEND 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0: TEND をローアクティブ出力 1: TEND をハイアクティブ出力</p>
21	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
20	TEMASK	0	R/W	<p>TE セットマスク</p> <p>TE ビットが 1 にセットされたときに、DMA 転送が停止しないことを指示します。SAR リロード機能または DAR リロード機能と合わせて本ビットを設定することで、転送要求を取りやめるまでの期間、DMA 転送を実行することができます。オートリクエストおよび外部リクエストの立ち上がり / 立ち下がりエッジ検出の場合には、本ビットの設定は無視され、TE ビットがセットされると DMA 転送は停止します。なお、本機能は RLDSAR ビットまたは RLDDAR ビットのいずれかが 1 にセットされた場合に有効となります。</p> <p>0 : TE ビットがセットされると DMA 転送を停止 1 : TE ビットがセットされても DMA 転送を継続</p>
19	HE	0	R/(W)* <sup>1</sup>	<p>ハーフエンドフラグ</p> <p>転送回数が、転送開始前にセットした DMATCR の値の半分以上になると、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。<sup>*2</sup></p> <p>0 : DMA 転送中または DMA 転送中断で、 DMATCR &gt; ( 転送前にセットした DMATCR ) / 2 [ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• HE ビットの 1 を読み出してから 0 を書き込む<sup>*2</sup></li> </ul> <p>1 : DMATCR ( 転送前にセットした DMATCR ) / 2</p>
18	HIE	0	R/W	<p>ハーフエンドインタラプトイネーブル</p> <p>転送回数が、転送開始前にセットした DMATCR の値に半分になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると、CPU に対し割り込みを要求します。</p> <p>0 : DMATCR = ( 転送前にセットした DMATCR ) / 2 で、割り込み要求を禁止 1 : DMATCR = ( 転送前にセットした DMATCR ) / 2 で、割り込み要求を許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK および TEND をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモード時は、本ビットの指定に関係なく DACK および TEND は常に出力されます。</p> <p>本ビットは CHCR_0 ~ 3 でのみ有効です。CHCR_4 ~ 7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 読み出しサイクルで DACK および TEND を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK および TEND を出力 (デュアルアドレスモード)</p>

ビット	ビット名	初期値	R/W	説明
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR_0~3 でのみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>
15, 14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。</p> <p>00 : デスティネーションアドレスは固定 01 : デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16) 10 : デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止) 11 : 設定禁止</p>
13, 12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます)。</p> <p>00 : ソースアドレスは固定 01 : ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16) 10 : ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止) 11 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	0000	R/W	<p>リソースセレクト</p> <p>DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0001 : 設定禁止</p> <p>0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間 DACK 付き外部デバイス</p> <p>0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス 外部アドレス空間</p> <p>0100 : オートリクエスト</p> <p>0101 : 設定禁止</p> <p>0110 : 設定禁止</p> <p>0111 : 設定禁止</p> <p>1000 : DMA 拡張リソースセクタ</p> <p>1001 : RCAN-TL10</p> <p>1010 : RCAN-TL11</p> <p>1011 : 設定禁止</p> <p>1100 : 設定禁止</p> <p>1101 : 設定禁止</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>【注】 外部リクエストの指定は CHCR_0~3 のみ有効です。 CHCR_4~7 では外部リクエストの指定をしても、何も実行されません。</p>
7	DL	0	R/W	DREQ レベル
6	DS	0	R/W	<p>DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と検出レベルを選択します。</p> <p>本ビットは CHCR_0~3 のみ有効です。CHCR_4~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>また転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出</p> <p>01 : 立ち下がりエッジ検出</p> <p>10 : ハイレベル検出</p> <p>11 : 立ち上がりエッジ検出</p>

ビット	ビット名	初期値	R/W	説明
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。ただし、TC=0 に設定した場合には、バーストモードに設定しないでください。</p> <p>0 : サイクルスチールモード 1 : バーストモード</p>
4, 3	TS[1:0]	00	R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト (ロングワード×4) 単位</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R/(W)* <sup>1</sup>	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。*<sup>2</sup></p> <p>TEMASK ビットが 0 で、TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送中断 [クリア条件] • TE ビットの 1 を読み出してから 0 を書き込む*<sup>2</sup> 1 : (DMATCR=0 により) DMA 転送終了</p>

ビット	ビット名	初期値	R/W	説明
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。外部リクエストのローレベル検出またはハイレベル検出、および周辺モジュールリクエストでは、TEMASK ビットが 1 である場合には、NMIF ビットおよび AE ビットが 0 であることが必要です。TEMASK ビットが 0 である場合には、TE ビットも 0 であることが必要となります。外部リクエストの立ち上がりエッジ検出または立ち下がりエッジ検出の場合には、オートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 \*1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

\*2 当該フラグが 1 にセットされるタイミングでリードを行うと、0 が読み出されますが、内部的に 1 をリードした状態となる場合があります。そのため、0 ライトを行うと、当該フラグが 1 リード後の 0 ライトと同じ状態となり 0 クリアされることがあります。詳細は「10.5.5 フラグビット使用上の注意事項」を参照してください。

### 10.3.5 DMA リロードソースアドレスレジスタ (RSAR)

RSAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

SAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RSAR の内容がソースアドレスレジスタ (SAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

### 10.3.6 DMA リロードデスティネーションアドレスレジスタ (RDAR)

RDAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDAR の内容がデスティネーションアドレスレジスタ (DAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

### 10.3.7 DMA リロードトランスファカウントレジスタ (RDMATCR)

RDMATCR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

SAR リロード機能あるいは DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDMATCR の内容がトランスファカウントレジスタ (DMATCR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能および DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。また、16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

## 10.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]		-	-	PR[1:0]		-	-	-	-	-	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*	R/(W)*	R/W

【注】\* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト サイクルスチールモード時に通常モードとインターミットモードを選択します。 インターミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードである必要があります。 00: 通常モード 01: 設定禁止 10: インターミットモード 16 B クロックで 16 クロックに 1 回 DMA 転送を実行 11: インターミットモード 64 B クロックで 64 クロックに 1 回 DMA 転送を実行
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PR[1:0]	00	R/W	プライオリティモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00: 固定モード 1: CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 01: 固定モード 2: CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 10: 設定禁止 11: ラウンドロビンモード (CH0~CH3のみラウンド対象)
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	AE	0	R/(W)* <sup>1</sup>	<p>アドレスエラーフラグ</p> <p>DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。*<sup>2</sup></p> <p>0 : DMAC によるアドレスエラーなし 1 : DMAC によるアドレスエラー発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• AE ビットの 1 を読み出してから 0 を書き込む*<sup>2</sup></li> </ul>
1	NMIF	0	R/(W)* <sup>1</sup>	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。*<sup>2</sup></p> <p>NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われず。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし 1 : NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• NMIF ビットの 1 を読み出してから 0 を書き込む*<sup>2</sup></li> </ul>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 \*1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

\*2 当該フラグが 1 にセットされるタイミングでリードを行うと、0 が読み出されますが、内部的に 1 をリードした状態となる場合があります。そのため、0 ライトを行うと、当該フラグが 1 リード後の 0 ライトと同じ状態となり 0 クリアされることがあります。詳細は「10.5.5 フラグビット使用上の注意事項」を参照してください。

1 転送終了後にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 となり、固定モード 1 で再設定した場合、優先順位は CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 となります。また、ラウンドロビンモードに再設定した場合は、転送終了チャンネルはリセットされます。

表 10.3 に、プライオリティモードビットの各モード (モード 0~2) の優先順位の遷移を示します。各モードは転送終了したチャンネルによって、次にリクエストを受けるチャンネルの優先順位が最大 3 通りに変化します。

たとえば、転送終了したチャンネルが CH1 のとき、次にリクエストを受け付けるチャンネルの優先順位は、

CH2>CH3>CH0>CH1>CH4>CH5>CH6>CH7 となります。また、転送終了したチャンネルが CH4、CH5、CH6、CH7 の場合にはラウンドロビンの対象外となるため、チャンネル 4、チャンネル 5、チャンネル 6、またはチャンネル 7 が転送終了しても優先順位は変化しません。

また、アドレスエラー発生時の DMAC の内部処理動作は、次のようになります。

- アドレスエラーが発生しない場合：Read (転送元 DMAC内部) Write (DMAC内部 転送先)
- アドレスエラーがソースアドレスで発生：Nop Nop
- アドレスエラーがデスティネーションアドレスで発生：Read Nop

表 10.3 プライオリティモードビットの組み合わせ

モード	転送終了 CH No.	プライオリティ モードビット		転送終了後の優先順位：高 低							
		PR[1]	PR[0]	優先 順位 0	優先 順位 1	優先 順位 2	優先 順位 3	優先 順位 4	優先 順位 5	優先 順位 6	優先 順位 7
モード 0 (固定 モード 1)	任意	0	0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
モード 1 (固定 モード 2)	任意	0	1	CH0	CH4	CH1	CH5	CH2	CH6	CH3	CH7
モード 2 (ラウンド ロビン モード)	CH0	1	1	CH1	CH2	CH3	CH0	CH4	CH5	CH6	CH7
	CH1	1	1	CH2	CH3	CH0	CH1	CH4	CH5	CH6	CH7
	CH2	1	1	CH3	CH0	CH1	CH2	CH4	CH5	CH6	CH7
	CH3	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH4	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH5	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH6	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH7	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7

### 10.3.9 DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3)

DMARS は、読み出し / 書き込み可能な 16 ビットのレジスタで、チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5、DMARS3 はチャンネル 6 および 7 を設定します。設定可能な組み合わせを表 10.4 に示します。

本レジスタで、以下の起動要因に対して転送要求を受け付けることができるように設定できます。

SCIF : 8 要因、IIC3 : 8 要因、A/D 変換器 : 1 要因、MTU2 : 5 要因、CMT : 2 要因、USB : 2 要因、

FLCTL : 2 要因、SSI : 4 要因、SRC : 2 要因、SSU : 4 要因、ROM-DEC : 1 要因、SDHI : 2 要因

なお、RCAN-TL1 からの 2 要因による転送要求受け付けのみ、DMA チャンネルコントロールレジスタの RS[3:0] で設定でき、DMA 拡張リソースセクタの設定は必要ありません。

#### • DMARS0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]						CH1 RID[1:0]		CH0 MID[5:0]						CH0 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### • DMARS1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]						CH3 RID[1:0]		CH2 MID[5:0]						CH2 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### • DMARS2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH5 MID[5:0]						CH5 RID[1:0]		CH4 MID[5:0]						CH4 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### • DMARS3

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH7 MID[5:0]						CH7 RID[1:0]		CH6 MID[5:0]						CH6 RID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下の MID、RID を設定します。

表 10.4 DMARS の設定

周辺モジュール	1チャンネル分の 設定値((MID,RID))	MID	RID	機能
USB_0	H'03	B'000000	B'11	-
USB_1	H'07	B'000001	B'11	-
SDHI	H'11	B'000100	B'01	送信
	H'12	B'000100	B'10	受信
SSI_0	H'23	B'001000	B'11	-
SSI_1	H'27	B'001001	B'11	-
SSI_2	H'2B	B'001010	B'11	-
SSI_3	H'2F	B'001011	B'11	-
SRC	H'41	B'010000	B'01	入力データエンプティ
	H'42		B'10	出力データフル
SSU_0	H'51	B'010100	B'01	送信
	H'52		B'10	受信
SSU_1	H'55	B'010101	B'01	送信
	H'56		B'10	受信
IIC3_0	H'61	B'011000	B'01	送信
	H'62		B'10	受信
IIC3_1	H'65	B'011001	B'01	送信
	H'66		B'10	受信
IIC3_2	H'69	B'011010	B'01	送信
	H'6A		B'10	受信
IIC3_3	H'6D	B'011011	B'01	送信
	H'6E		B'10	受信
ROM-DEC	H'73	B'011100	B'11	-
SCIF_0	H'81	B'100000	B'01	送信
	H'82		B'10	受信
SCIF_1	H'85	B'100001	B'01	送信
	H'86		B'10	受信
SCIF_2	H'89	B'100010	B'01	送信
	H'8A		B'10	受信
SCIF_3	H'8D	B'100011	B'01	送信
	H'8E		B'10	受信
A/D 変換器_0	H'B3	B'101100	B'11	-
FLCTL_0	H'BB	B'101110	B'11	データ送信 / 受信
FLCTL_1	H'BF	B'101111	B'11	管理コード送信 / 受信

周辺モジュール	1チャンネル分の 設定値((MID,RID))	MID	RID	機能
MTU2_0	H'E3	B'111000	B'11	-
MTU2_1	H'E7	B'111001	B'11	-
MTU2_2	H'EB	B'111010	B'11	-
MTU2_3	H'EF	B'111011	B'11	-
MTU2_4	H'F3	B'111100	B'11	-
CMT_0	H'FB	B'111110	B'11	-
CMT_1	H'FF	B'111111	B'11	-

表 10.4 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR\_0~7 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

## 10.4 動作説明

DMAC は DMA 転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

### 10.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、3 つのリロードレジスタ (RSAR, RDAR, RDMATCR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE = 1、DME = 1、TEMASK = 0かつTE = 0またはTEMASK = 1、AE = 0、NMIF = 0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS[1:0]ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の半分の転送を超える (DMATCRの値が初期値の1/2になる) と、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みを発生します。
4. TEMASK = 0のとき、指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。TEMASK = 1のときには、DMATCRの値が0になると、TE = 1にセット後、指定されたRSAR、RDAR、RDMATCRの値をSAR、DAR、DMATCRにリロードし、転送要求がなくなるまで転送動作を継続します。
5. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 10.2 に上記のフローチャートを示します。

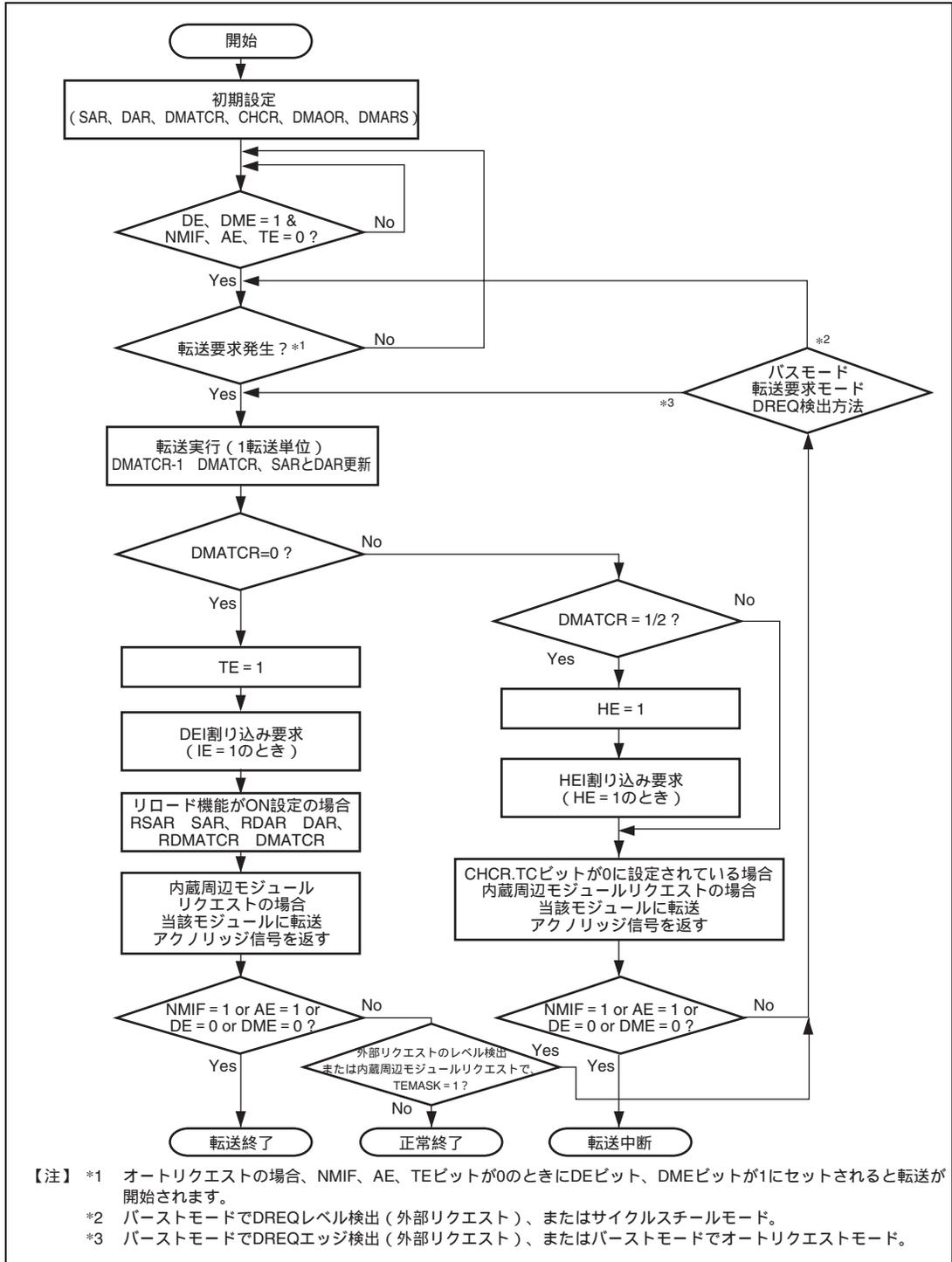


図 10.2 DMA 転送フローチャート

### 10.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は CHCR\_0 ~ CHCR\_7 の RS[3:0] ビットおよび DMARS0、DMARS1、DMARS2、DMARS3 レジスタによって行います。

#### (1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR\_0 ~ CHCR\_7 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR\_0 ~ CHCR\_7 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

#### (2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0 ~ DREQ3) によって転送を開始させるモードです。システムに応じて表 10.5 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (レベル検出のとき、DE = 1、DME = 1、TEMASK = 0 かつ TE = 0 または TEMASK = 1、AE = 0、NMIF = 0、エッジ検出のとき、DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

表 10.5 RS ビットによる外部リクエストモードの選択

RS[3]	RS[2]	RS[1]	RS[0]	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQ をエッジで検出するかレベルで検出するかは、表 10.6 に示す CHCR\_0 ~ CHCR\_3 の DL ビットと DS ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。立ち上がり検出または立ち下がり検出でバーストモードの場合、1 回の転送要求で DMATCR = 0 になるまで転送し続けます。サイクルスチールモードでは、1 回の転送要求で 1 回の転送を行います。

表 10.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態 (不感帯) となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバーラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバーラン 1) があります。オーバーランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 10.7 DO ビットによる外部リクエスト検出の選択

CHCR の DO ビット	外部リクエスト
0	オーバーラン 0
1	オーバーラン 1

### (3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから DMAC に対する DMA 転送要求信号の一覧を表 10.8 に示します。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TEMASK = 0 かつ TE = 0 または TEMASK = 1、AE = 0、NMIF = 0) ならば、転送要求信号によって転送が実行されます。

内蔵周辺モジュールリクエストの場合には、転送元、転送先が固定されるケースがあります。表 10.8 を参照してください。

表 10.8 RS3~RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	RS[3:0]	MID					
1001	任意	任意	RCAN-TL10 受信	DM0 (受信完了)	RCAN0 MB0	任意	サイクル スチール
1010	任意	任意	RCAN-TL11 受信	DM0 (受信完了)	RCAN1 MB0	任意	
1000	000000	11	USB	USB_DMA0 (受信 FIFO フル)	D0FIFO	任意	サイクル スチール/ バースト
				USB_DMA0 (送信 FIFO エンプティ)	任意	D0FIFO	
000001	11	USB	USB_DMA1 (受信 FIFO フル)	D1FIFO	任意		
			USB_DMA1 (送信 FIFO エンプティ)	任意	D1FIFO		
000100	01	SDHI 送信	TXI (送信データエンプティ)	任意	データレジスタ	サイクル スチール	
			10	SDHI 受信	RXI (受信データフル)		データレジスタ
001000	11	SSI_0	DMA0 (送信モード)	任意	SSITDR0	サイクル スチール	
			DMA0 (受信モード)	SSIRDR0	任意		
001001	11	SSI_1	DMA1 (送信モード)	任意	SSITDR1		
			DMA1 (受信モード)	SSIRDR1	任意		
001010	11	SSI_2	DMA2 (送信モード)	任意	SSITDR2		
			DMA2 (受信モード)	SSIRDR2	任意		
001011	11	SSI_3	DMA3 (送信モード)	任意	SSITDR3		
			DMA3 (受信モード)	SSIRDR3	任意		
010000	01	SRC 入力	IDEI (入力データエンプティ)	任意	SRCIDR		
			10	SRC 出力	ODFI (出力データフル)	SRCODR	任意
010100	01	SSU_0 送信	SSTXI0 (送信エンプティ または送信終了)	任意	SSTDR0~3	サイクル スチール	
			10	SSU_0 受信	SSRXI0 (受信フル)		SSRDR0~3
010101	01	SSU_1 送信	SSTXI1 (送信エンプティ または送信終了)	任意	SSTDR0~3		
			10	SSU_1 受信	SSRXI1 (受信フル)	SSRDR0~3	任意
011000	01	IIC3_0 送信	TXI0 (送信データエンプティ)	任意	ICDRT0		
			10	IIC3_0 受信	RXI0 (受信データフル)	ICDRR0	任意
011001	01	IIC3_1 送信	TXI1 (送信データエンプティ)	任意	ICDRT1		
			10	IIC3_1 受信	RXI1 (受信データフル)	ICDRR1	任意
011010	01	IIC3_2 送信	TXI2 (送信データエンプティ)	任意	ICDRT2		
			10	IIC3_2 受信	RXI2 (受信データフル)	ICDRR2	任意

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	011011	01	IIC3_3 送信	TXI3 (送信データエンプティ)	任意	ICDRT3	サイクル スチール
		10	IIC3_3 受信	RXI3 (受信データフル)	ICDRR3	任意	
	011100	11	ROM-DEC	IREADY (デコード終了)	STRMDOUT	任意	サイクル スチール/ バースト
100000	01	01	SCIF_0 送信	TXI0 (送信 FIFO データエンプティ)	任意	SCFTDR_0	サイクル スチール
		10	SCIF_0 受信	RXI0 (受信 FIFO データフル)	SCFRDR_0	任意	
100001	01	01	SCIF_1 送信	TXI1 (送信 FIFO データエンプティ)	任意	SCFTDR_1	
		10	SCIF_1 受信	RXI1 (受信 FIFO データフル)	SCFRDR_1	任意	
100010	01	01	SCIF_2 送信	TXI2 (送信 FIFO データエンプティ)	任意	SCFTDR_2	
		10	SCIF_2 受信	RXI2 (受信 FIFO データフル)	SCFRDR_2	任意	
100011	01	01	SCIF_3 送信	TXI3 (送信 FIFO データエンプティ)	任意	SCFTDR_3	
		10	SCIF_3 受信	RXI3 (受信 FIFO データフル)	SCFRDR_3	任意	
101100	11	11	A/D 変換器	ADI (A/D 変換終了)	ADDR	任意	サイクル スチール
101110	11	11	FLCTL データ部送信	送信 FIFO データエンプティ	任意	FLDTFIFO	サイクル スチール
		11	FLCTL データ部受信	受信 FIFO データフル	FLDTFIFO	任意	
101111	11	11	FLCTL 管理コード部 送信	送信 FIFO データエンプティ	任意	FLECFIFO	
		11	FLCTL 管理コード部 受信	受信 FIFO データフル	FLECFIFO	任意	
111000	11	11	MTU2_0	TGI0A (インプットキャプチャ/ コンペアマッチ)	任意	任意	サイクル スチール/ バースト
111001	11	11	MTU2_1	TGI1A (インプットキャプチャ/ コンペアマッチ)	任意	任意	
111010	11	11	MTU2_2	TGI2A (インプットキャプチャ/ コンペアマッチ)	任意	任意	

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	111011	11	MTU2_3	TGI3A (インプットキャプチャ/ コンペアマッチ)	任意	任意	サイクル スチール/ バースト
	111100	11	MTU2_4	TGI4A (インプットキャプチャ/ コンペアマッチ)	任意	任意	
	111110	11	CMT_0	CMIO (コンペアマッチ)	任意	任意	
	111111	11	CMT_1	CM11 (コンペアマッチ)	任意	任意	

### 10.4.3 チャンネルの優先順位

DMAC は同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード 1、固定モード 2、ラウンドロビンモードの 3 種類のモードから選択できます。モードの選択は DMAOR の PR1、PR0 ビットにより行います。

#### (1) 固定モード

固定モード 1 および 2 ではチャンネルの優先順位は変化しません。

各モードの優先順位は以下のとおりです。

- 固定モード 1 : CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7
- 固定モード 2 : CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7

これらの選択は DMAOR の PR1、PR0 ビットにより行います。

#### (2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで 1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位がラウンドロビン対象チャンネル内で一番低くなるように優先順位を変更します。なお、ラウンドロビンの対象となるチャンネルは CH0 ~ CH3 の 4 チャンネルのみです。これ以外のチャンネルはラウンドロビンモードでも優先順位は変更されません。この動作を図 10.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

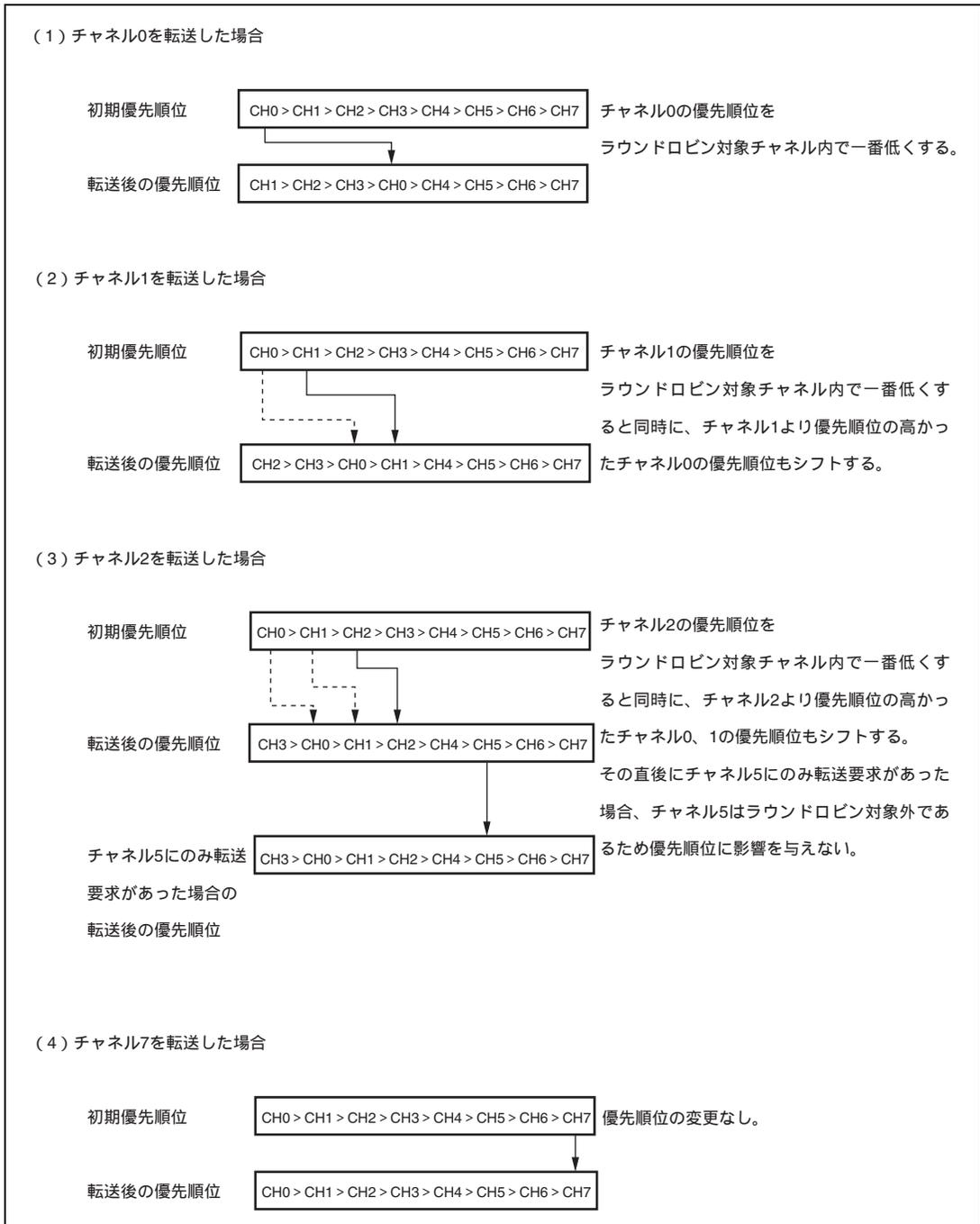


図 10.3 ラウンドロビンモード

図 10.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位をラウンドロビン対象チャンネル内で一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位をラウンドロビン対象チャンネル内で一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位がラウンドロビン対象チャンネル内で一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

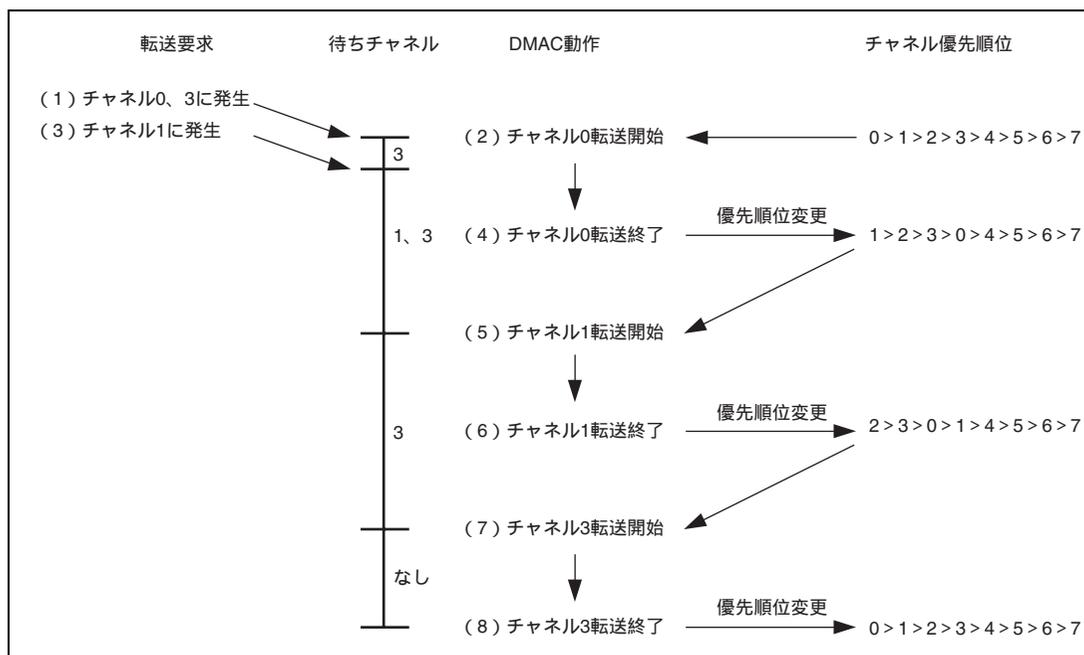


図 10.4 ラウンドロビンモードでのチャンネル優先順位

### 10.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 10.9 に DMAC がサポートできる転送を示します。

表 10.9 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	内蔵メモリ
DACK 付き 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	デュアル	デュアル
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	デュアル	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	デュアル	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
  2. シングル：シングルアドレスモード
  3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

## (1) アドレスモード

## (a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図10.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

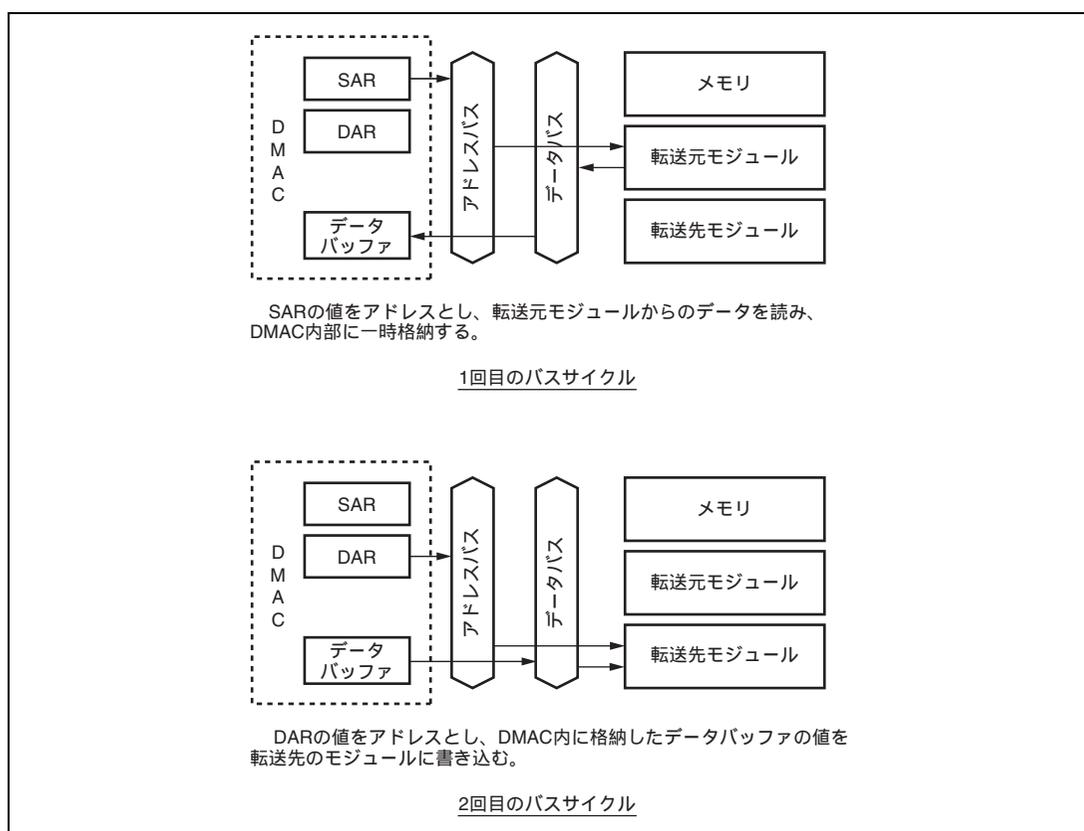


図 10.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはCHCRのAMビットによって設定可能です。

図10.6にデュアルアドレスモードでのDMA転送タイミング例を示します。

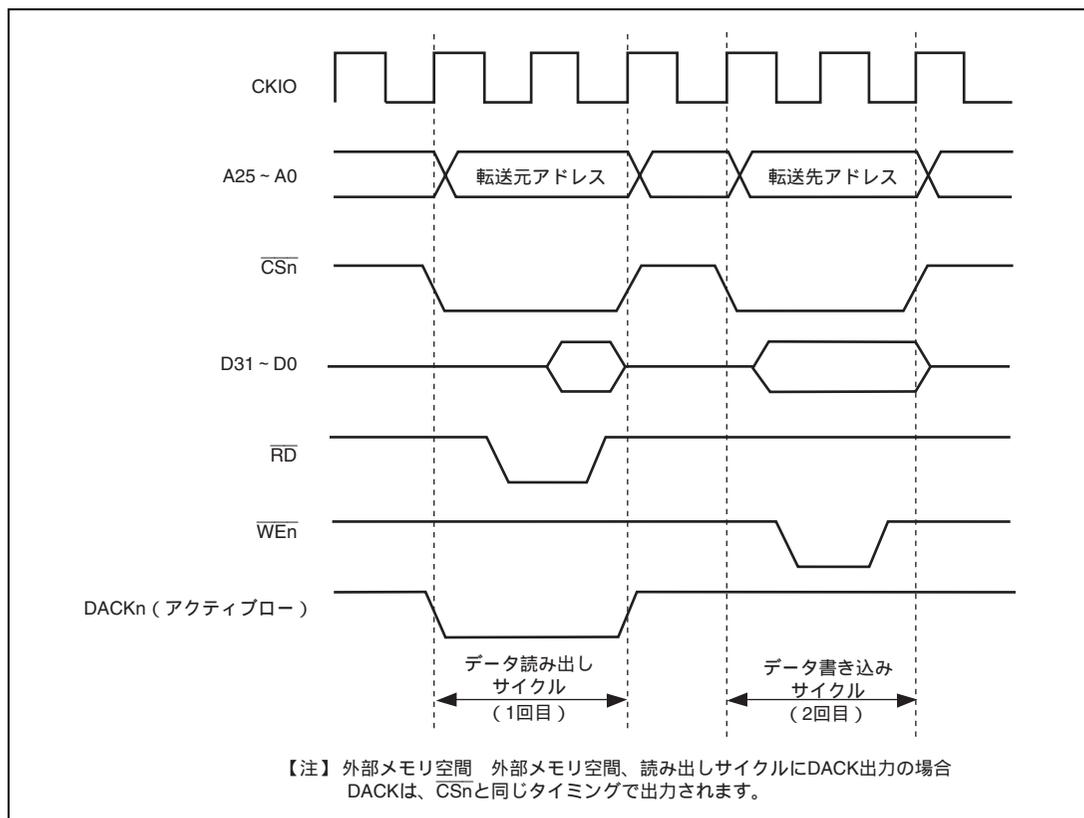


図 10.6 デュアルアドレスモードの DMA 転送タイミング例  
(転送元：通常メモリ、転送先：通常メモリ)

## (b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス (選択) し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1 つのバスサイクルで DMA 転送を行います。たとえば、図 10.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

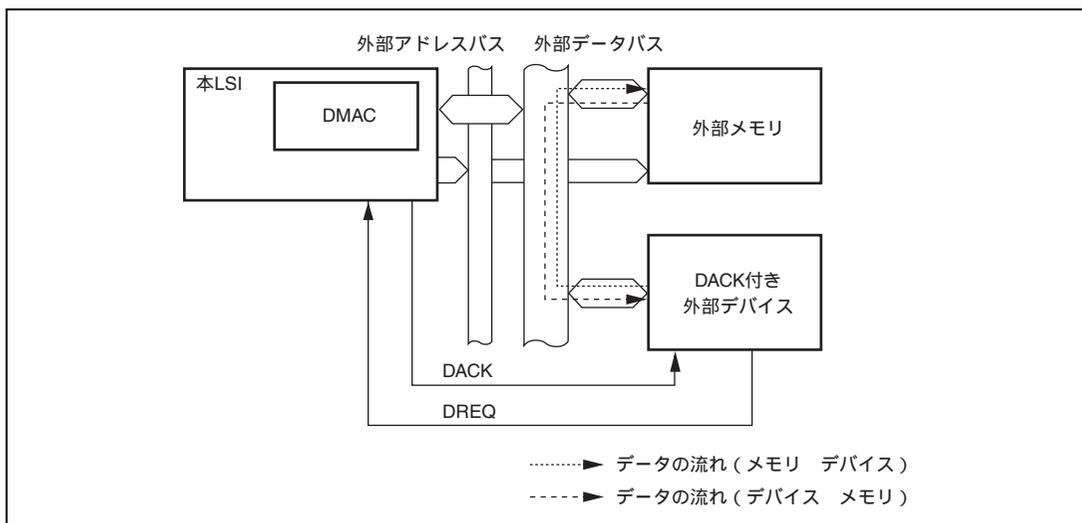


図 10.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 10.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

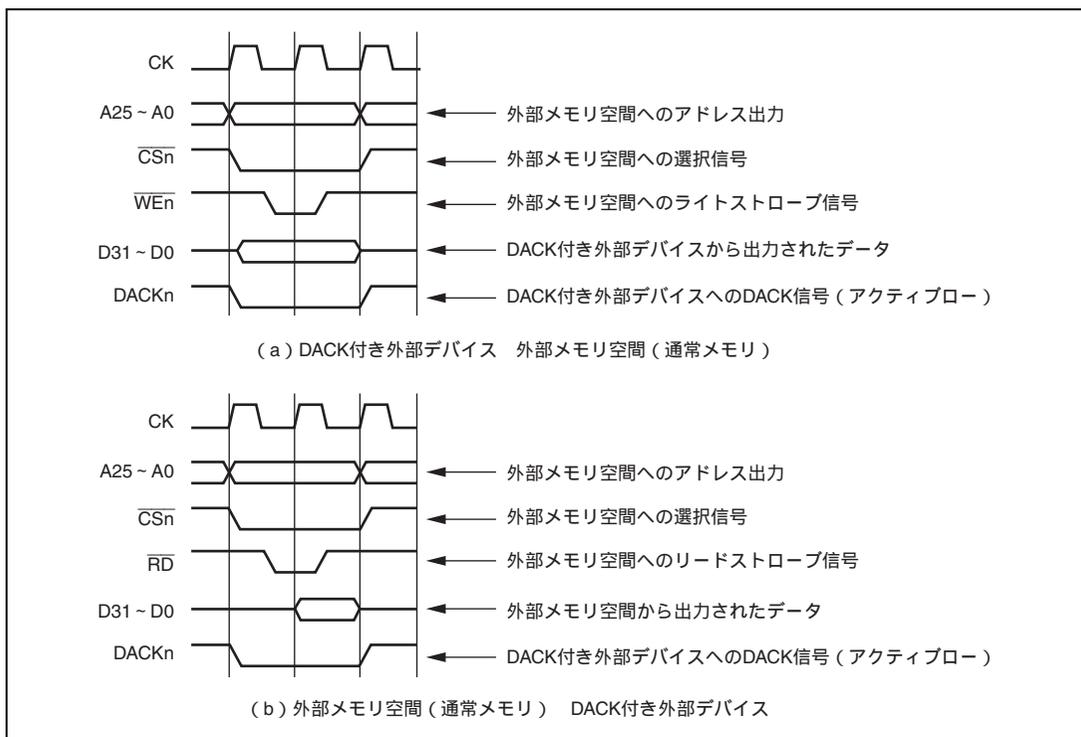


図 10.8 シングルアドレスモードの DMA 転送タイミング例

## (2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

## (a) サイクルスチールモード

## • 通常モード

サイクルスチールの通常モードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図10.9にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

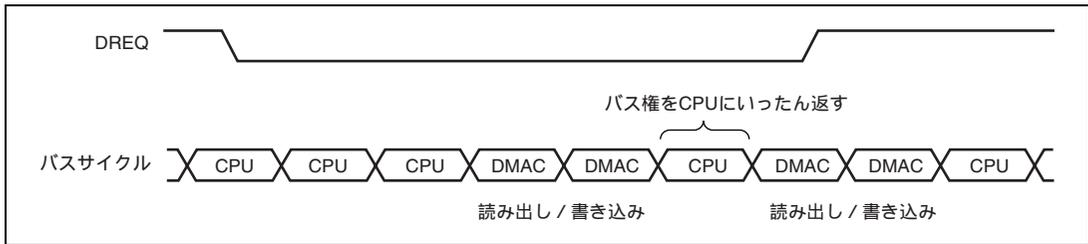


図 10.9 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

- インターミットモード16、インターミットモード64

サイクルスチールのインターミットモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、または16バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、B クロックカウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMACが再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

インターミットモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスマスタがサイクルスチールモードである必要があります。

図10.10にサイクルスチールインターミットモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

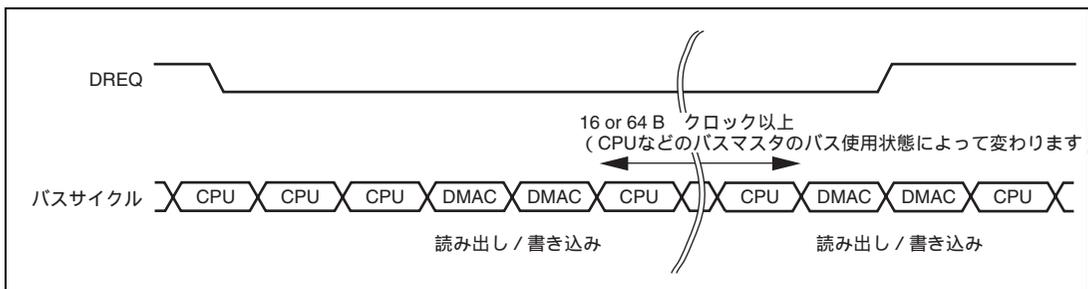


図 10.10 サイクルスチールインターミットモードの DMA 転送例  
(デュアルアドレス、DREQ ローレベル検出)

## (b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていないにもかかわらず、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 10.11 にバーストモードでの DMA 転送タイミングを示します。

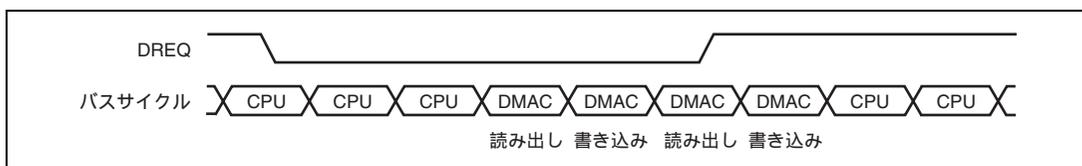


図 10.11 バーストモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

## (3) DMA 転送区間とリクエストモード、バスモードの関係

表 10.10 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 10.10 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0~3
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0~3
	DACK 付き外部デバイスと内蔵周辺モジュール	外部	B/C	8/16/32/128 <sup>*2</sup>	0~3
	DACK 付き外部デバイスと内蔵メモリ	外部	B/C	8/16/32/128	0~3
	外部メモリと外部メモリ	すべて可 <sup>*4</sup>	B/C	8/16/32/128	0~7 <sup>*3</sup>
	外部メモリとメモリマップト外部デバイス	すべて可 <sup>*4</sup>	B/C	8/16/32/128	0~7 <sup>*3</sup>
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可 <sup>*4</sup>	B/C	8/16/32/128	0~7 <sup>*3</sup>
	外部メモリと内蔵周辺モジュール	すべて可 <sup>*1</sup>	B/C <sup>*5</sup>	8/16/32/128 <sup>*2</sup>	0~7 <sup>*3</sup>
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 <sup>*1</sup>	B/C <sup>*5</sup>	8/16/32/128 <sup>*2</sup>	0~7 <sup>*3</sup>
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 <sup>*1</sup>	B/C <sup>*5</sup>	8/16/32/128 <sup>*2</sup>	0~7 <sup>*3</sup>
	内蔵メモリと内蔵メモリ	すべて可 <sup>*4</sup>	B/C	8/16/32/128	0~7 <sup>*3</sup>
	内蔵メモリとメモリマップト外部デバイス	すべて可 <sup>*4</sup>	B/C	8/16/32/128	0~7 <sup>*3</sup>
	内蔵メモリと内蔵周辺モジュール	すべて可 <sup>*1</sup>	B/C <sup>*5</sup>	8/16/32/128 <sup>*2</sup>	0~7 <sup>*3</sup>
内蔵メモリと外部メモリ	すべて可 <sup>*4</sup>	B/C	8/16/32/128	0~7 <sup>*3</sup>	
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0~3
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0~3

## 【記号説明】

B : バースト

C : サイクルスチール

【注】 \*1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、内蔵周辺モジュールリクエストの場合には、転送要求元が MTU2、CMT の場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。

\*2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。

\*3 転送要求が外部リクエストの場合にはチャンネル 0~3 のみ。

\*4 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。ただし、内蔵周辺モジュールリクエストの場合には、MTU2、CMT の場合のみ可能です。

\*5 内蔵周辺モジュールリクエストの場合には、転送要求元が USB、SSI、ROM-DEC、SRC、MTU2、CMT の場合を除いてサイクルスチールのみ。

## (4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、直ちにチャンネル0の転送を開始します。

このとき、チャンネル0もバーストモードの場合は優先順位の高いチャンネル0の転送がすべて終了してから、チャンネル1が転送を続けます。

また、チャンネル0がサイクルスチールモードの場合、まず優先順位の高いチャンネル0が1転送単位の転送を行った後、バス権を解放せずに連続してチャンネル1が転送されます。その後も、チャンネル0 チャンネル1 チャンネル0 チャンネル1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後のCPUサイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図 10.12 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

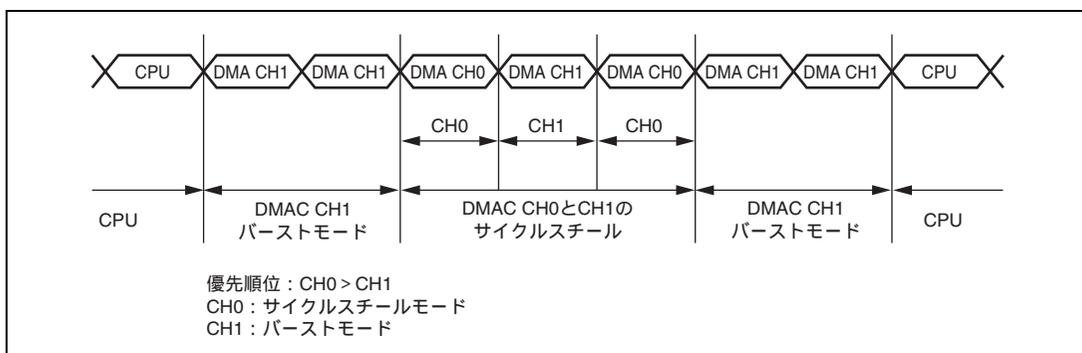


図 10.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 10.3 に示した仕様で優先順位が変化します。ただし、サイクルスチールモードのチャンネルとバーストモードのチャンネルを混在しないでください。

### 10.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

#### (1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳細は、「第 9 章 バスステートコントローラ (BSC)」を参照してください。

#### (2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力へのサンプリングタイミングを図 10.13 ~ 図 10.16 に示します。

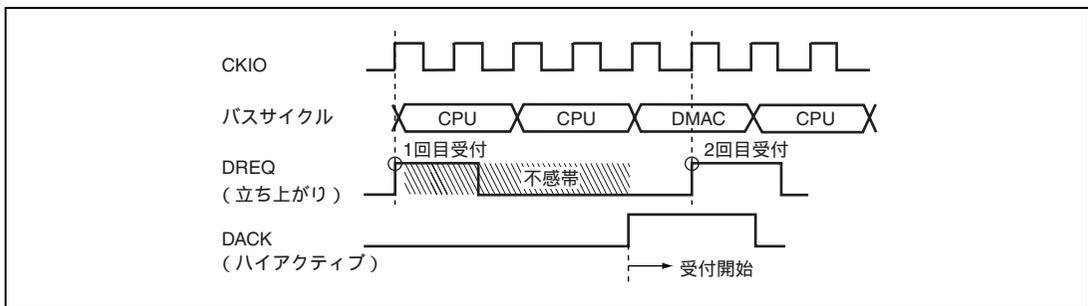


図 10.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング

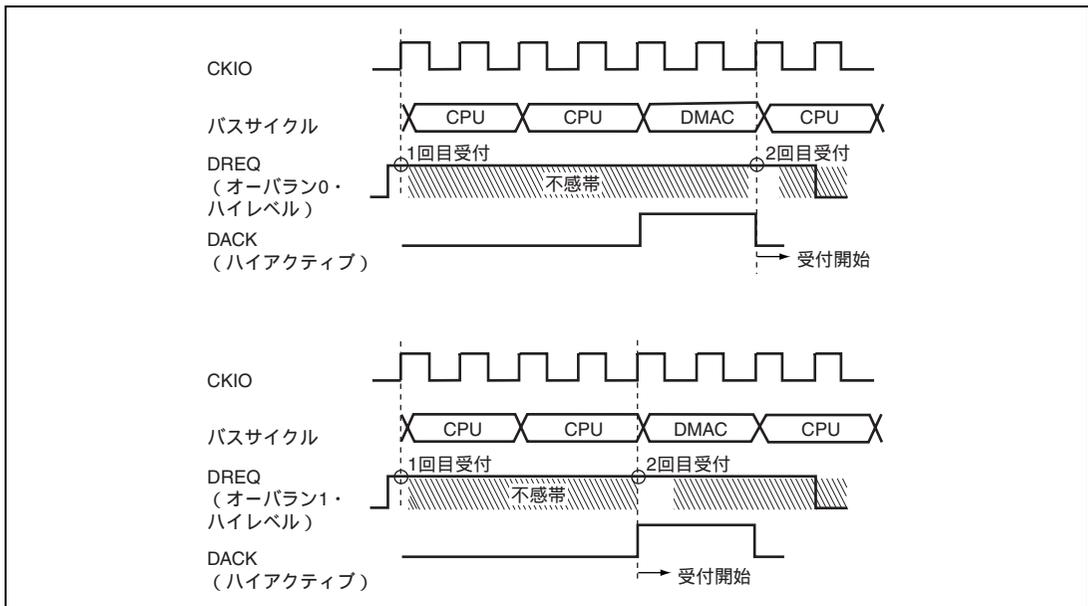


図 10.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング

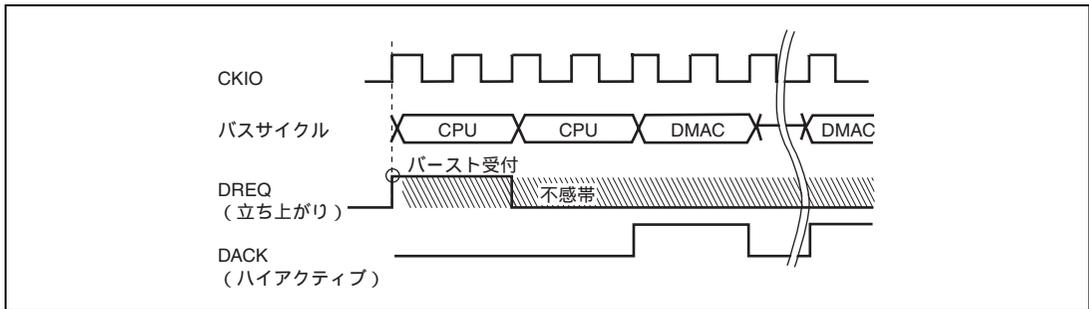


図 10.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング

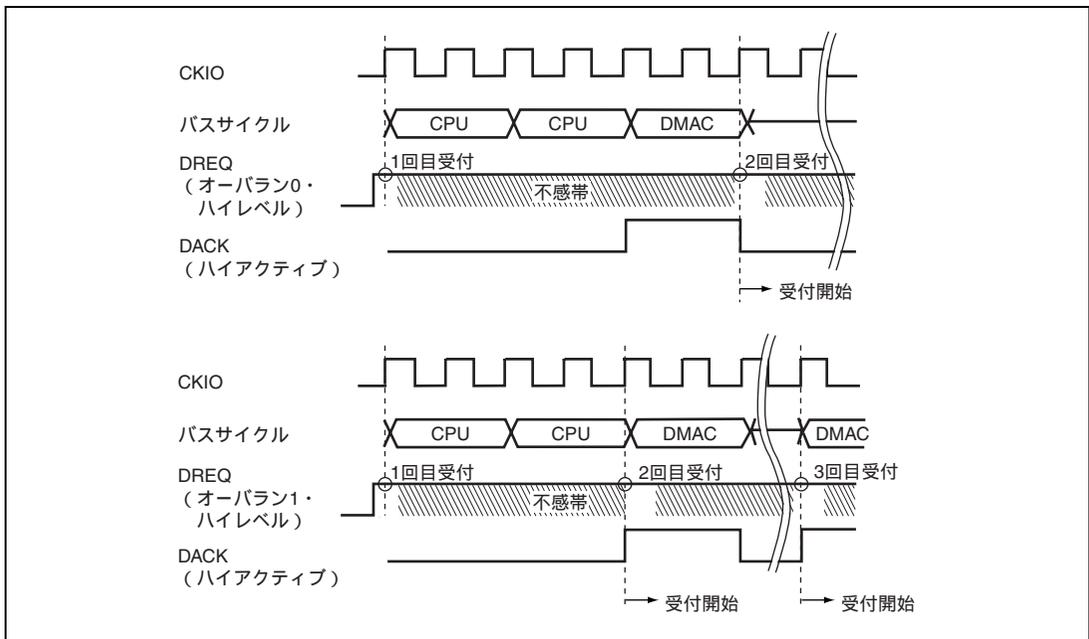


図 10.16 バーストモード・レベル検出時の DREQ 入力検出タイミング

図 10.17 に TEND 出力のタイミングを示します。

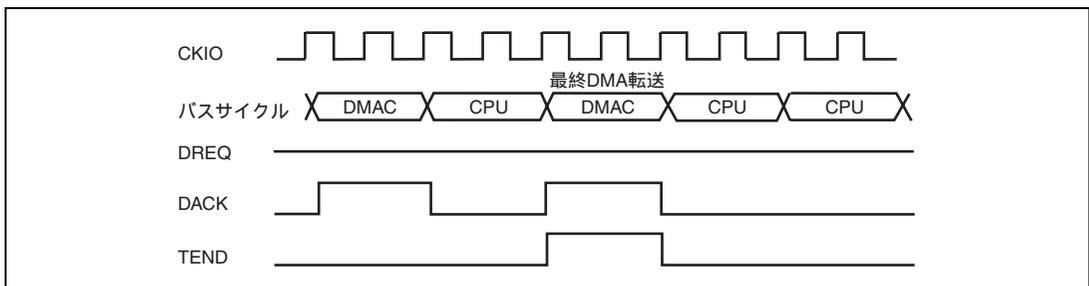


図 10.17 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8 ビット、16 ビット、32 ビット外部デバイスに 16 バイト転送を行ったり、8 ビット、16 ビット外部デバイスにロングワードアクセスしたり、8 ビット外部デバイスにワードアクセスをする場合は、DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送が複数のバスサイクルに分割され、かつバスサイクル間で  $\overline{CS}$  がネゲートする設定の場合、データをアライメントするために  $\overline{CS}$  と同様に DACK 出力および TEND 出力が分割されるので注意してください。この例を図 10.18 に示します。なお、図 10.13 ~ 図 10.17 は、DMA 転送時に DACK、TEND が分割されない場合を示しています。

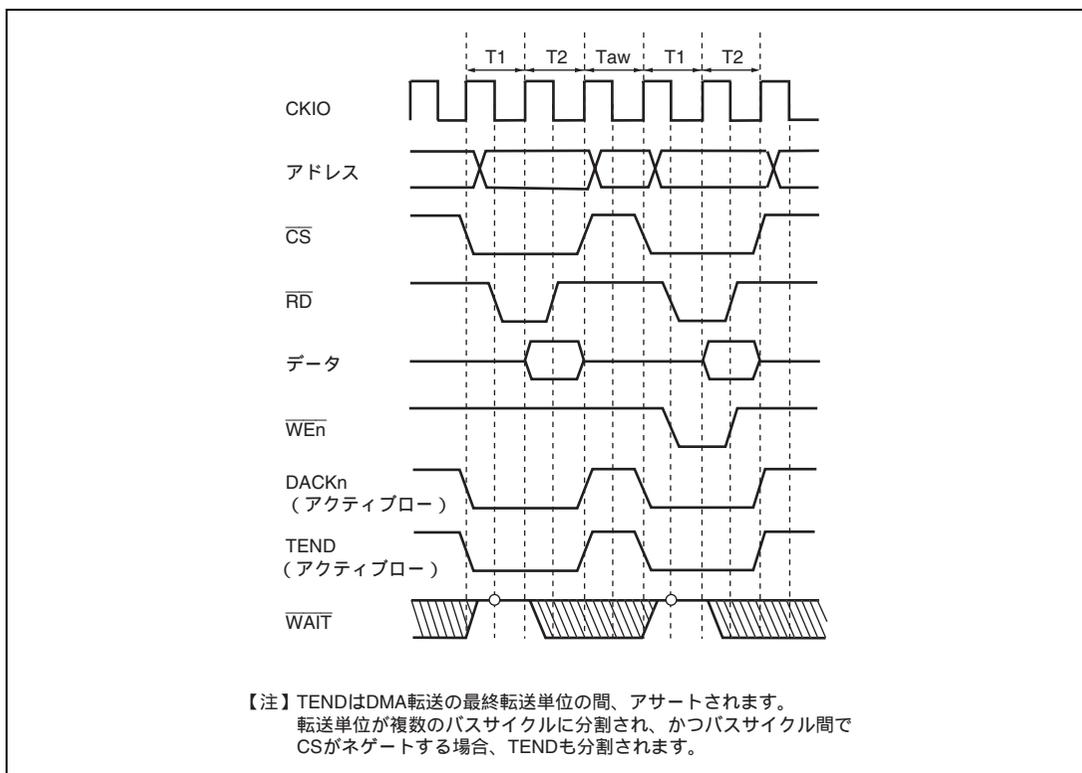


図 10.18 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル1、16 ビットデバイスへのロングワードアクセス)

## 10.5 使用上の注意事項

### 10.5.1 ハーフエンドフラグのセットおよびハーフエンド割り込み

DMAC のリロード機能を用いて DMA 転送を行う場合、DMA リロードトランスファカウントレジスタ (RDMATCR<sub>n</sub>) に、転送開始時に設定した DMA トランスファカウントレジスタ (DMATCR<sub>n</sub>) の値と異なる値を設定すると、DMA チャンネルコントロールレジスタ (CHCR<sub>n</sub>) のハーフエンドフラグ (HE) の動作が不正になります。リロード動作によって DMATCR<sub>n</sub> の値が書き換えられても、ハーフエンドフラグのセットは転送開始時に設定されていた値にもとづいて行われてしまうため、ハーフエンドフラグのセットタイミングがずれる、あるいはハーフエンドフラグがセットされないといった現象が発生します。RDMATCR<sub>n</sub> に DMATCR<sub>n</sub> と異なる値を設定した状態で、リロード機能を用いた DMA 転送を行う場合には、ハーフエンドフラグおよびハーフエンド割り込みを使用しないでください。

### 10.5.2 DACK 出力および TEND 出力のタイミング

外部メモリが MPX-I/O またはバースト MPX-I/O の場合、DACK 出力はデータサイクルのタイミングでアサートされます。詳細は「第9章 バスステートコントローラ (BSC)」の「9.5.5 MPX-I/O インタフェース」または「9.5.10 バースト MPX-I/O インタフェース」の各図を参照してください。

MPX-I/O およびバースト MPX-I/O 以外のメモリ種の場合には、該当 CS アサートと同一タイミングで DACK 出力もアサートされます。

TEND 出力はメモリ種によらず、常に該当 CS アサートと同一タイミングでアサートされます。

### 10.5.3 外部リクエストモードを使用する場合の注意事項

外部リクエストにて起動するチャンネルが存在する場合、以下の4項目のいずれかにて使用してください。

1. 全チャンネルをサイクルスチールモードで使用してください。
2. 全チャンネルをバーストモードで使用する場合、以下の3条件をすべて満たして使用してください。
  - 2-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
  - 2-2. 全チャンネルをデュアルアドレスモードにしてください。
  - 2-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。

A. 転送元アドレス：外部アドレス空間	転送先アドレス：外部アドレス空間
B. 転送元アドレス：外部アドレス空間	転送先アドレス：内部アドレス空間
C. 転送元アドレス：内部アドレス空間	転送先アドレス：内部アドレス空間
3. 全チャンネルにサイクルスチールモードとバーストモードが混在する場合、以下の3条件をすべて満たして使用してください。
  - 3-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
  - 3-2. 全チャンネルをデュアルアドレスモードにしてください。
  - 3-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。

- |                     |                  |
|---------------------|------------------|
| A. 転送元アドレス：外部アドレス空間 | 転送先アドレス：外部アドレス空間 |
| B. 転送元アドレス：外部アドレス空間 | 転送先アドレス：内部アドレス空間 |
| C. 転送元アドレス：内部アドレス空間 | 転送先アドレス：内部アドレス空間 |

4. 単一チャンネルで使用してください。

上記4項目以外で使用した場合、DACK<sub>n</sub> 端子および TEND<sub>n</sub> 端子が誤った転送チャンネルを示し、それ以降パワーオンリセットするまで DMA 転送できない状態になる場合があります。さらにこの状態がバーストモードで発生した場合には、CPU の命令フェッチ動作ができなくなり、その結果システム動作が停止する状態となります。

### 10.5.4 内蔵周辺モジュールリクエストモードまたはオートリクエストモードを使用する場合の注意事項

内蔵周辺モジュールリクエストかオートリクエストにて起動し、DACK<sub>n</sub> 端子および TEND<sub>n</sub> 端子を使用するチャンネルが存在する場合、以下の4項目のいずれかにて使用してください。

1. 全チャンネルをサイクルスチールモードで使用してください。
2. 全チャンネルをバーストモードで使用する場合、以下の3条件をすべて満たして使用してください。
  - 2-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
  - 2-2. 全チャンネルをデュアルアドレスモードにしてください。
  - 2-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。
 

A. 転送元アドレス：外部アドレス空間	転送先アドレス：外部アドレス空間
B. 転送元アドレス：外部アドレス空間	転送先アドレス：内部アドレス空間
C. 転送元アドレス：内部アドレス空間	転送先アドレス：内部アドレス空間
3. 全チャンネルにサイクルスチールモードとバーストモードが混在する場合、以下の3条件をすべて満たして使用してください。
  - 3-1. チャンネルの優先順位を固定モード1か固定モード2にしてください。
  - 3-2. 全チャンネルをデュアルアドレスモードにしてください。
  - 3-3. 全チャンネルの転送元アドレスおよび転送先アドレスを、それぞれ以下のいずれかにしてください。
 

A. 転送元アドレス：外部アドレス空間	転送先アドレス：外部アドレス空間
B. 転送元アドレス：外部アドレス空間	転送先アドレス：内部アドレス空間
C. 転送元アドレス：内部アドレス空間	転送先アドレス：内部アドレス空間
4. 単一チャンネルで使用してください。

上記4項目以外で使用した場合、DACK<sub>n</sub> 端子および TEND<sub>n</sub> 端子が誤った転送チャンネルを示す場合があります。

### 10.5.5 フラグビット使用上の注意事項

以下のフラグビットに関して、

1. DMAチャンネルコントロールレジスタ (CHCR)

HEビット (ハーフエンドフラグ) およびTEビット (トランスファエンドフラグ)

2. DMAオペレーションレジスタ (DMAOR)

AEビット (アドレスエラーフラグ) およびNMIFビット (NMIフラグ)

当該フラグが1にセットされるタイミングでリードを行うと、0が読み出されますが、内部的に1をリードした状態となる場合があります。そのため、0ライトを行うと、当該フラグが1リード後の0ライトと同じ状態となり0クリアされることがあります。

当該フラグを使用する場合は、意図せずにビットをクリアしないように以下の方法でリード/ライトを行ってください。

1. 明示的にクリアする場合は、1リード後の0ライトを行ってください。
2. それ以外の場合は、当該ビットへ1ライトを行ってください。

なお、当該フラグビットを使用しない場合は、常に0ライト (明示的にクリアするときは1リード後0ライト) で問題ありません。

---

## 11. マルチファンクションタイマパルスユニット 2 (MTU2)

---

本 LSI は、5 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 (MTU2) を内蔵しています。

### 11.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大12相の PWM 出力
- チャンネル0、3、4はバッファ動作を設定可能
- チャンネル1、2はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 28種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4連動動作により相補PWM、リセットPWM3相のポジ、ネガ計6相波形出力設定可能
- CH0、3、4を連動して、相補PWM、リセットPWMを用いたAC同期モータ ( ブラシレスDCモータ ) 駆動モードが設定可能で、2種 ( チョッピング、レベル ) の波形出力が選択可能
- 相補PWMモード時、カウンタの山 / 谷での割り込み、およびA/D変換器の変換スタートトリガを間引くことが可能

表 11.1 MTU2 の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック	P / 1 P / 4 P / 16 P / 64 TCLKA TCLKB TCLKC TCLKD	P / 1 P / 4 P / 16 P / 64 P / 256 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 1024 TCLKA TCLKB TCLKC	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB	P / 1 P / 4 P / 16 P / 64 P / 256 P / 1024 TCLKA TCLKB
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0 TGRF_0	-	-	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子	TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ出力	0 出力				
	1 出力				
	トグル出力				
インプットキャプチャ機能					
同期動作					
PWM モード 1					
PWM モード 2				-	-
相補 PWM モード	-	-	-		
リセット PWM モード	-	-	-		
AC 同期モータ駆動モード		-	-		
位相計数モード	-			-	-
バッファ動作		-	-		

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
DMAC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャと TCNT オーバフロー/ アンダフロー
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ TGRE_0 の コンペアマッチ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ 相補 PWM モード時 TCNT_4 の アンダフロー (谷)
割り込み要因	7 要因 <ul style="list-style-type: none"> <li>• コンペアマッ チ/インプッ トキャプチャ 0A</li> <li>• コンペアマッ チ/インプッ トキャプチャ 0B</li> <li>• コンペアマッ チ/インプッ トキャプチャ 0C</li> <li>• コンペアマッ チ/インプッ トキャプチャ 0D</li> <li>• コンペアマッ チ 0E</li> <li>• コンペアマッ チ 0F</li> <li>• オーバフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>• コンペアマッ チ/インプッ トキャプチャ 1A</li> <li>• コンペアマッ チ/インプッ トキャプチャ 1B</li> <li>• オーバフロー</li> <li>• アンダフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>• コンペアマッ チ/インプッ トキャプチャ 2A</li> <li>• コンペアマッ チ/インプッ トキャプチャ 2B</li> <li>• オーバフロー</li> <li>• アンダフロー</li> </ul>	5 要因 <ul style="list-style-type: none"> <li>• コンペアマッ チ/インプッ トキャプチャ 3A</li> <li>• コンペアマッ チ/インプッ トキャプチャ 3B</li> <li>• コンペアマッ チ/インプッ トキャプチャ 3C</li> <li>• コンペアマッ チ/インプッ トキャプチャ 3D</li> <li>• オーバフロー</li> </ul>	5 要因 <ul style="list-style-type: none"> <li>• コンペアマッ チ/インプッ トキャプチャ 4A</li> <li>• コンペアマッ チ/インプッ トキャプチャ 4B</li> <li>• コンペアマッ チ/インプッ トキャプチャ 4C</li> <li>• コンペアマッ チ/インプッ トキャプチャ 4D</li> <li>• オーバフロー /アンダフロー</li> </ul>

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
A/D 変換開始要求 ディレイド機能	-	-	-	-	<ul style="list-style-type: none"> <li>• TADCORA_4 と TCNT_4 の 一致で、A/D 変 換開始要求</li> <li>• TADCORB_4 と TCNT_4 の 一致で、A/D 変 換開始要求</li> </ul>
割り込み間引き機能	-	-	-	• TGRA_3 のコ ンペアマッチ 割り込みを間 引き	• TCIV_4 割り込 みを間引き

## 【記号説明】

: 可能

- : 不可

図 11.1 に MTU2 のブロック図を示します。

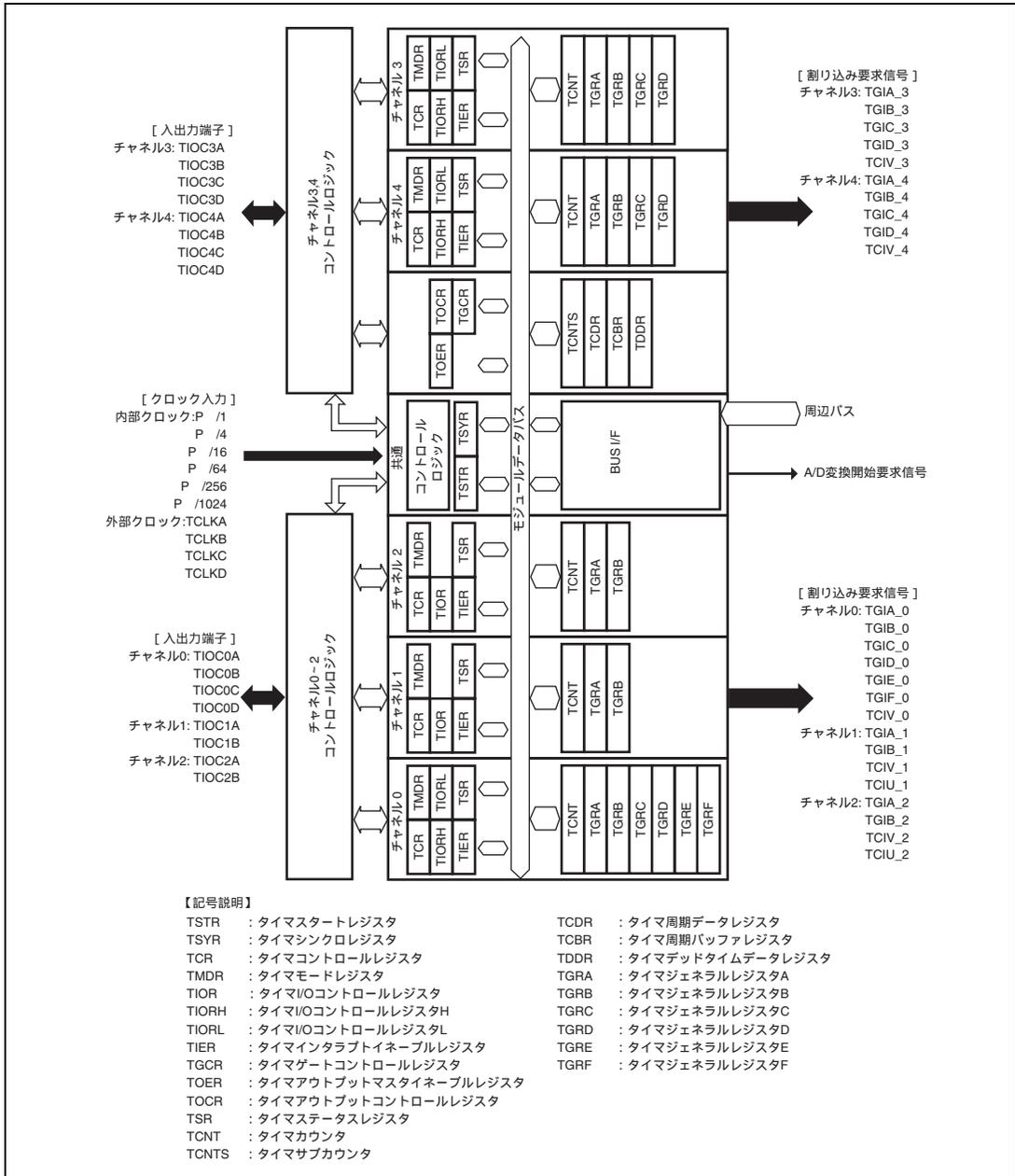


図 11.1 MTU2 のブロック図

## 11.2 入出力端子

表 11.2 端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOC0A	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0B	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0C	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC0D	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOC1A	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC1B	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOC2A	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC2B	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOC3A	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3B	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3C	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC3D	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOC4A	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4B	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4C	入出力	TGRC_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOC4D	入出力	TGRD_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

【注】 相補 PWM モードの端子構成は、「11.4.8 相補 PWM モード」の表 11.54 を参照してください。

### 11.3 レジスタの説明

MTU2 には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名についてはチャンネル 0 の TCR は TCR\_0 と表記してあります。

表 11.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFFE4300	8
	タイマモードレジスタ_0	TMDR_0	R/W	H'00	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FFFE4302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FFFE4303	8
	タイマインタラプトイネーブル レジスタ_0	TIER_0	R/W	H'00	H'FFFE4304	8
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FFFE4308	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FFFE430C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FFFE4320	16
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FFFE4322	16
	タイマインタラプトイネーブル レジスタ 2_0	TIER2_0	R/W	H'00	H'FFFE4324	8
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FFFE4325	8
	タイマパルファ動作転送モード レジスタ_0	TBTM_0	R/W	H'00	H'FFFE4326	8
1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFFE4380	8
	タイマモードレジスタ_1	TMDR_1	R/W	H'00	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FFFE4382	8
	タイマインタラプトイネーブル レジスタ_1	TIER_1	R/W	H'00	H'FFFE4384	8
	タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FFFE4388	16
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FFFE438A	16
	タイマインプットキャプチャ コントロールレジスタ	TICCR	R/W	H'00	H'FFFE4390	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	R/W	H'00	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FFFE4002	8
	タイマインタラプトイネーブル レジスタ_2	TIER_2	R/W	H'00	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	R/W	H'00	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FFFE4008	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FFFE400A	16
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FFFE4200	8
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FFFE4202	8
	タイマ I/O コントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FFFE4205	8
	タイマインタラプトイネーブル レジスタ_3	TIER_3	R/W	H'00	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	R/W	H'00	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FFFE4226	16
	タイマパルファ動作転送モード レジスタ_3	TBTM_3	R/W	H'00	H'FFFE4238	8
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FFFE4207	8
	タイマインタラプトイネーブル レジスタ_4	TIER_4	R/W	H'00	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	R/W	H'00	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FFFE4228	16
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FFFE422A	16
	タイマパルファ動作転送モード レジスタ_4	TBTM_4	R/W	H'00	H'FFFE4239	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
4	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	R/W	H'0000	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定 レジスタ A_4	TADCORA_4	R/W	H'FFFF	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定 レジスタ B_4	TADCORB_4	R/W	H'FFFF	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	R/W	H'FFFF	H'FFFE4248	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	R/W	H'FFFF	H'FFFE424A	16
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFFE4280	8
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFFE4281	8
	タイマリードライトイネーブル レジスタ	TRWER	R/W	H'01	H'FFFE4284	8
3/4 共通	タイマアウトプットマスタイネーブル レジスタ	TOER	R/W	H'C0	H'FFFE420A	8
	タイマアウトプットコントロール レジスタ 1	TOCR1	R/W	H'00	H'FFFE420E	8
	タイマアウトプットコントロール レジスタ 2	TOCR2	R/W	H'00	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H80	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FFFE4230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FFFE4232	8
	タイマデッドタイムイネーブル レジスタ	TDER	R/W	H'01	H'FFFE4234	8
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FFFE4260	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	R/W	H'00	H'FFFE4236	8

### 11.3.1 タイマコントロールレジスタ (TCR)

TCR は、各チャンネルの TCNT を制御する 8 ビットの読み出し/書き込み可能なレジスタです。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 11.4、表 11.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: P / 4 の両エッジ = P / 2 の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P / 4 もしくはそれより遅い場合に有効です。入力クロックに P / 1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合、値は書き込みませんが、動作は初期値となります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.6~表 11.9 を参照してください。

【記号説明】 x : Don't care

表 11.4 CCLR2~CCLR0 (チャンネル 0、3、4)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 11.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 チャンネル 1、2 ではビット 7 はリザーブです。読み出すと常に 0 が読み出されます。書き込みは無効です。

表 11.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : P /256 でカウント
	1	1	1	TCNT_2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : P /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 11.9 TPSC2~TPSC0 (チャンネル 3、4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック : P /1 でカウント
	0	0	1	内部クロック : P /4 でカウント
	0	1	0	内部クロック : P /16 でカウント
	0	1	1	内部クロック : P /64 でカウント
	1	0	0	内部クロック : P /256 でカウント
	1	0	1	内部クロック : P /1024 でカウント
	1	1	0	外部クロック : TCLKA 端子入力でカウント
	1	1	1	外部クロック : TCLKB 端子入力でカウント

### 11.3.2 タイマモードレジスタ (TMDR)

TMDR は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルの動作モードの設定を行います。MTU2 には、チャンネル 0~4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BFE	0	R/W	バッファ動作 E TGRE_0 と TGRF_0 を通常動作またはバッファ動作させるかどうかを選択します。 TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。 チャンネル 1、2、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TGRE_0 と TGRF_0 は通常動作 1 : TGRE_0 と TGRF_0 はバッファ動作

ビット	ビット名	初期値	R/W	説 明
5	BFB	0	R/W	<p>バッファ動作 B</p> <p>TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ / アウトプットコンペアは発生しません。</p> <p>TGRD を持たないチャンネル 1, 2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRB と TGRD は通常動作 1 : TGRB と TGRD はバッファ動作</p>
4	BFA	0	R/W	<p>バッファ動作 A</p> <p>TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ / アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、チャンネル 4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は TGFC がセットされますので、タイムインタラプトイネーブルレジスタ_4 (TIER_4) の TGIEC ビットは 0 にしてください。</p> <p>TGRC を持たないチャンネル 1, 2 ではこのビットはリザーブビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGRA と TGRC は通常動作 1 : TGRA と TGRC はバッファ動作</p>
3~0	MD[3:0]	0000	R/W	<p>モード 3~0</p> <p>MD3 ~ MD0 はタイマの動作モードを設定します。</p> <p>詳細は表 11.10 を参照してください。</p>

表 11.10 MD3~MD0 ビットによる動作モードの設定

ビット3	ビット2	ビット1	ビット0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2* <sup>1</sup>
0	1	0	0	位相計数モード 1* <sup>2</sup>
0	1	0	1	位相計数モード 2* <sup>2</sup>
0	1	1	0	位相計数モード 3* <sup>2</sup>
0	1	1	1	位相計数モード 4* <sup>2</sup>
1	0	0	0	リセット同期 PWM モード* <sup>3</sup>
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1 (山で転送)* <sup>3</sup>
1	1	1	0	相補 PWM モード 2 (谷で転送)* <sup>3</sup>
1	1	1	1	相補 PWM モード 3 (山・谷で転送)* <sup>3</sup>

【記号説明】 x : Don't care

【注】 \*1 チャンネル 3、4 では、PWM モード 2 の設定はできません。

\*2 チャンネル 0、3、4 では、位相計数モードの設定はできません。

\*3 リセット同期 PWM モード、相補 PWM モードの設定は、チャンネル 3 のみ可能です。

チャンネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャンネル 4 の設定は無効となり自動的にチャンネル 3 の設定に従います。ただし、チャンネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。

チャンネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

### 11.3.3 タイマ I/O コントロールレジスタ (TIOR)

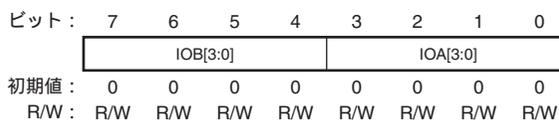
TIOR は、TGR を制御する 8 ビットの読み出し / 書き込み可能なレジスタです。MTU2 には、チャンネル 0、3、4 に各 2 本、チャンネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

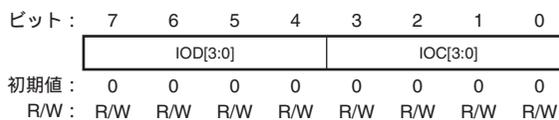
TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH\_0、TIOR\_1、TIOR\_2、TIORH\_3、TIORH\_4



ビット	ビット名	初期値	R/W	説明
7~4	IOB[3:0]	0000	R/W	I/O コントロール B3 ~ B0 IOB3 ~ IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 11.11    TIOR_1 : 表 11.13    TIOR_2 : 表 11.14 TIORH_3 : 表 11.15    TIORH_4 : 表 11.17
3~0	IOA[3:0]	0000	R/W	I/O コントロール A3 ~ A0 IOA3 ~ IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0 : 表 11.19    TIOR_1 : 表 11.21    TIOR_2 : 表 11.22 TIORH_3 : 表 11.23    TIORH_4 : 表 11.25

- TIORL\_0、TIORL\_3、TIORL\_4



ビット	ビット名	初期値	R/W	説明
7~4	IOD[3:0]	0000	R/W	I/O コントロール D3 ~ D0 IOD3 ~ IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 11.12    TIORL_3 : 表 11.16    TIORL_4 : 表 11.18
3~0	IOC[3:0]	0000	R/W	I/O コントロール C3 ~ C0 IOC3 ~ IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0 : 表 11.20    TIORL_3 : 表 11.24    TIORL_4 : 表 11.26

表 11.11 TIORH\_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.12 TIORL\_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>2</sup>	出力保持* <sup>1</sup>
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* <sup>2</sup>	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 \*1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

\*2 TMDR\_0 の BFB ビットを 1 にセットして TGRD\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.13 TIOR\_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOC1B 端子の機能
0	0	0	0	TGRB_1 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.14 TIOR\_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOC2B 端子の機能
0	0	0	0	TGRB_2 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.15 TIORH\_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.16 TIORL\_3 (チャンネル 3)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>2</sup>	出力保持* <sup>1</sup>
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ* <sup>2</sup>	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \*1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

\*2 TMDR\_3 の BFB ビットを 1 にセットして TGRD\_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.17 TIORH\_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOC4B 端子の機能
0	0	0	0	TGRB_4 はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.18 TIORL\_4 (チャンネル 4)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_4 の機能	TIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>2</sup>	出力保持* <sup>1</sup>
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ* <sup>2</sup>
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 \*1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

\*2 TMDR\_4 の BFB ビットを 1 にセットして、TGRD\_4 をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ / アウトプットコンペアは発生しません。

表 11.19 TIORH\_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.20 TIORL\_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOC0C の端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>2</sup>	出力保持* <sup>1</sup>
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* <sup>2</sup>	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \*1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

\*2 TMDR\_0 の BFA ビットを 1 にセットして TGRC\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.21 TIOR\_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOC1A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.22 TIOR\_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOC2A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.23 TIORH\_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOC3A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.24 TIORL\_3 (チャンネル 3)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力保持*1
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ*2	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \*1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

\*2 TMDR\_3 の BFA ビットを 1 にセットして TGRC\_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.25 TIORH\_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】 x : Don't care

【注】 \* パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表 11.26 TIORL\_4 (チャンネル 4)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_4 の機能	TIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>2</sup>	出力保持* <sup>1</sup>
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ* <sup>2</sup>
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

【注】 \*1 パワーオンリセット後、TIOR を設定するまでは 0 が出力されず。

\*2 TMDR\_4 の BFA ビットを 1 にセットして、TGRC\_4 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

### 11.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~4 に各 1 本、計 6 本の TIER があります。

- TIER\_0、TIER\_1、TIER\_2、TIER\_3、TIER\_4

ビット:	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 相補 PWM モードで、TCNT_4 のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。 チャンネル 0~3 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を禁止 1 : TCNT_4 のアンダフロー (谷) による A/D 変換要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されません。書き込む値も常に 0 にしてください。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可

ビット	ビット名	初期値	R/W	説明
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0、3、4 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0、3、4 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

## • TIER2\_0

ビット:	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE2	0	R/W	A/D 変換開始要求イネーブル 2 TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を禁止する 1: TCNT_0 と TGRE_0 のコンペアマッチによる A/D 変換開始要求を許可する
6~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGIEF	0	R/W	TGR インタラプトイネーブル F TCNT_0 と TGRF_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGFE ビットによる割り込み要求 (TGIF) を禁止 1: TGFE ビットによる割り込み要求 (TGIF) を許可
0	TGIEE	0	R/W	TGR インタラプトイネーブル E TCNT_0 と TGRE_0 のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0: TGEE ビットによる割り込み要求 (TGIE) を禁止 1: TGEE ビットによる割り込み要求 (TGIE) を許可

### 11.3.5 タイマステータスレジスタ (TSR)

TSR は、8 ビットの読み出し/書き込み可能なレジスタで、各チャンネルのステータスの表示を行います。MTU2 には、チャンネル 0 に 2 本、チャンネル 1~4 に各 1 本、計 6 本の TSR があります。

- TSR\_0、TSR\_1、TSR\_2、TSR\_3、TSR\_4

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】\*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1~4 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	TCFU	0	R/(W)*1	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 チャンネル 0、3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき*2 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき
4	TCFV	0	R/(W)*1	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき*2 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF H'0000) チャンネル 4 では相補 PWM モードで TCNT_4 の値がアンダフロー (H'0001 H'0000) したときにも本フラグがセットされます。

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3、4 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき*<sup>2</sup></li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</li> <li>• TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</li> </ul>
2	TGFC	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3、4 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。チャンネル 1、2 ではリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき*<sup>2</sup></li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき</li> <li>• TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき</li> </ul>
1	TGFB	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき*<sup>2</sup></li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき</li> <li>• TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGIA 割り込みにより DMAC が起動されたとき</li> <li>• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき*<sup>2</sup></li> </ul> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</li> <li>• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</li> </ul>

【注】 \*1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

\*2 1 を読み出した後、0 を書き込む前に次のフラグセットが発生した場合は、0 を書き込んでもフラグはクリアされません。再度 1 を読み出して 0 を書き込んでください。

## • TSR2\_0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 \*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TGFF	0	R/(W)*1	コンペアマッチフラグ F TCNT_0 と TGRF_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFF=1 の状態で TGFF をリード後、TGFF に 0 をライトしたとき*2 [セット条件] • TGRF_0 をコンペアレジスタとして機能している場合、TCNT_0=TGRF_0 になったとき
0	TGFE	0	R/(W)*1	コンペアマッチフラグ E TCNT_0 と TGRE_0 のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFE=1 の状態で TGFE をリード後、TGFE に 0 をライトしたとき*2 [セット条件] • TGRE_0 をコンペアレジスタとして機能している場合、TCNT_0= TGRE_0 になったとき

【注】 \*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

\*2 1を読み出した後、0を書き込む前に次のフラグセットが発生した場合は、0を書き込んでフラグはクリアされません。再度1を読み出して0を書き込んでください。

### 11.3.6 タイマバッファ動作転送モードレジスタ (TBTM)

TBTM は、8 ビットの読み出し/書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。MTU2 には、チャンネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TTSE	0	R/W	タイミングセレクト E バッファ動作時の TGRF_0 から TGRE_0 への転送タイミングを設定します。 チャンネル 3、4 ではリザーブビットです。読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。 なお、チャンネル 0 を PWM モード以外で使用する場合は、本ビットを 1 に設定しないでください。 0: チャンネル 0 のコンペアマッチ E 発生時 1: TCNT_0 クリア時
1	TTSB	0	R/W	タイミングセレクト B 各チャンネルのバッファ動作時の TGRD から TGRB への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ B 発生時 1: 各チャンネルの TCNT クリア時
0	TTSA	0	R/W	タイミングセレクト A 各チャンネルのバッファ動作時の TGRC から TGRA への転送タイミングを設定します。 なお、PWM モード以外で使用するチャンネルでは、本ビットを 1 に設定しないでください。 0: 各チャンネルのコンペアマッチ A 発生時 1: 各チャンネルの TCNT クリア時

### 11.3.7 タイマインプットキャプチャコントロールレジスタ (TICCR)

TICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、TCNT\_1 と TCNT\_2 のカスケード接続時のインプットキャプチャ条件を制御します。MTU2 には、チャンネル 1 に 1 本の TICCR があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1 のインプットキャプチャ条件に TIOC2B 端子を追加する / しないを選択します。 0 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加しない 1 : TIOC2B 端子を TGRB_1 のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1 のインプットキャプチャ条件に TIOC2A 端子を追加する / しないを選択します。 0 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加しない 1 : TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2 のインプットキャプチャ条件に TIOC1B 端子を追加する / しないを選択します。 0 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加しない 1 : TIOC1B 端子を TGRB_2 のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2 のインプットキャプチャ条件に TIOC1A 端子を追加する / しないを選択します。 0 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加しない 1 : TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加する

### 11.3.8 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

TADCR は、16 ビットの読み出し / 書き込み可能なレジスタで、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。MTU2 には、チャンネル 4 に 1 本の TADCR があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]	-	-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値:	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* 相補PWMモード以外では、1に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15, 14	BF[1:0]	00	R/W	TADCOBRA/B_4 転送タイミングセレクト TADCOBRA/B_4 から TADCORA/B_4 への転送タイミングを選択します。 詳細は表 11.27 を参照してください。
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	UT4AE	0	R/W	アップカウント TRG4AN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可
6	DT4AE	0*	R/W	ダウンカウント TRG4AN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可
5	UT4BE	0	R/W	アップカウント TRG4BN イネーブル TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可
4	DT4BE	0*	R/W	ダウンカウント TRG4BN イネーブル TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) の許可 / 禁止を設定します。 0: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: TCNT_4 のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可

ビット	ビット名	初期値	R/W	説明
3	ITA3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4AN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TGIA_3 割り込み間引き機能と連動する / しないを選択します。 0 : TGIA_3 割り込み間引き機能と連動しない 1 : TGIA_3 割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4 割り込み間引き運動イネーブル A/D 変換の開始要求 (TRG4BN) を TCIV_4 割り込み間引き機能と連動する / しないを選択します。 0 : TCIV_4 割り込み間引き機能と連動しない 1 : TCIV_4 割り込み間引き機能と連動する

- 【注】
1. TADCR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
  2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマ A/D 変換開始要求コントロールレジスタ (TADCR) の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定) 設定にしてください。
  3. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。
- \* 相補 PWM モード以外では、1 に設定しないでください。

表 11.27 BF1、BF0 ビットによる転送タイミングの設定

ビット7	ビット6	説 明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する* <sup>1</sup>
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する* <sup>2</sup>
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する* <sup>2</sup>

【注】 \*1 相補 PWM モードでは TCNT\_4 の山、リセット同期 PWM モードでは TCNT\_3 が TGRA\_3 とコンペアマッチしたとき、PWM モード 1 / 通常動作モードでは TCNT\_4 が TGRA\_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

\*2 相補 PWM モード以外では設定禁止です。

### 11.3.9 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA/B\_4)

TADCORA/B\_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TCNT\_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B\_4 の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

【注】 TADCORA/B\_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 11.3.10 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA/B\_4)

TADCOBRA/B\_4 は、16 ビットの読み出し / 書き込み可能なレジスタです。TADCORA/B\_4 のバッファレジスタから山か谷で TADCORA/B\_4 に転送します。

TADCOBRA/B\_4 の初期値は H'FFFF です。

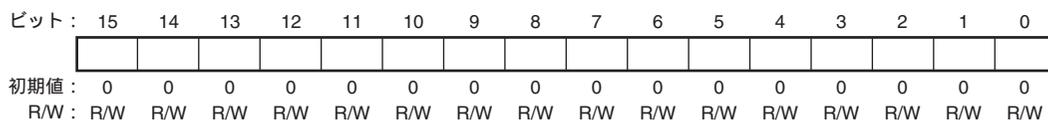
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

【注】 TADCOBRA/B\_4の8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 11.3.11 タイマカウンタ (TCNT)

TCNT は、16 ビットの読み出し / 書き込み可能なカウンタです。チャンネル 0~4 に各 1 本、計 5 本の TCNT があります。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。



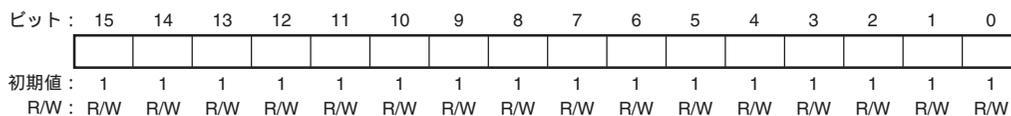
【注】 TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 11.3.12 タイマジェネラルレジスタ (TGR)

TGR は、16 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 0 に 6 本、チャンネル 1、2 に各 2 本、チャンネル 3、4 に各 4 本、計 18 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア / インプットキャブチャ兼用のレジスタです。チャンネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

TGRE\_0、TGRF\_0 はコンペアレジスタとして機能し、TCNT\_0 と TGRE\_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE - TGRF になります。



【注】 TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

### 11.3.13 タイマスタートレジスタ (TSTR)

TSTR は、8 ビットの読み出し / 書き込み可能なレジスタで、チャンネル 0~4 の TCNT の動作 / 停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット:	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート 4、3
6	CST3	0	R/W	TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_4、TCNT_3 のカウント動作は停止 1 : TCNT_4、TCNT_3 はカウント動作
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作

## 11.3.14 タイマシンクロレジスタ (TSYR)

TSYR は、8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0~4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SYNC4	0	R/W	タイマ同期 4、3
6	SYNC3	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_4、TCNT_3 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_4、TCNT_3 は同期動作 TCNT の同期プリセット/同期クリアが可能
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

### 11.3.15 タイマリードライトイネーブルレジスタ (TRWER)

TRWER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3、4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。 0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する [クリア条件] • RWE = 1 の状態で RWE をリード後、RWE に 0 をライトしたとき

- 誤書き込み防止の対象レジスタ / カウンタ

TCR\_3、4、TMDR\_3、4、TIORH\_3、4、TIORL\_3、4、TIER\_3、4、TGRA\_3、4、TGRB\_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT\_3、4 の計 22 レジスタです。

### 11.3.16 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。

TOER の設定はチャンネル 3、4 の TCNT のカウント動作を停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の MTU2 出力を許可 / 禁止します。 0 : MTU2 出力禁止 (非アクティブレベル) * 1 : MTU2 出力許可

【注】 \* 非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2 (TOCR1/2) の設定によります。詳細は、「11.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)」、「11.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)」を参照してください。なお、相補 PWM モード / リセット同期 PWM モード以外で MTU2 出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

## 11.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)

TOCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット :	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R/(W)*	R/W	R/W	R/W

【注】\* パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PSYE	0	R/W	PWM 同期出力イネーブル PWM 周期に同期したトグル出力の許可 / 禁止を設定します。 0 : トグル出力を禁止 1 : トグル出力を許可
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TOCL	0	R/(W)* <sup>3</sup>	TOC レジスタ書き込み禁止ビット* <sup>1</sup> TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止
2	TOCS	0	R/W	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0 : TOCR1 の設定を有効にする 1 : TOCR2 の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクト N* <sup>4</sup> リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 11.28 を参照してください。
0	OLSP	0	R/W	出力レベルセレクト P* <sup>2</sup> リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。表 11.29 を参照してください。

【注】 \*1 TOCL ビットを 1 に設定することにより、CPU 暴走時の誤書き込みを防止することができます。

\*2 TOCS ビットを 0 に設定することにより、本設定が有効になります。

\*3 パワーオンリセット後、1 回のみ 1 を書き込みできます。1 を書き込み後は、0 を書き込むことはできません。

\*4 デッドタイムを生成しない場合、逆相の出力は正相の反転となります。なお、OLSP、OLSN に同じ値を設定してください。

表 11.28 出力レベルセレクト機能

ビット 1	機 能			
OLSN	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.29 出力レベルセレクト機能

ビット 0	機 能			
OLSP	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 11.2 に示します。

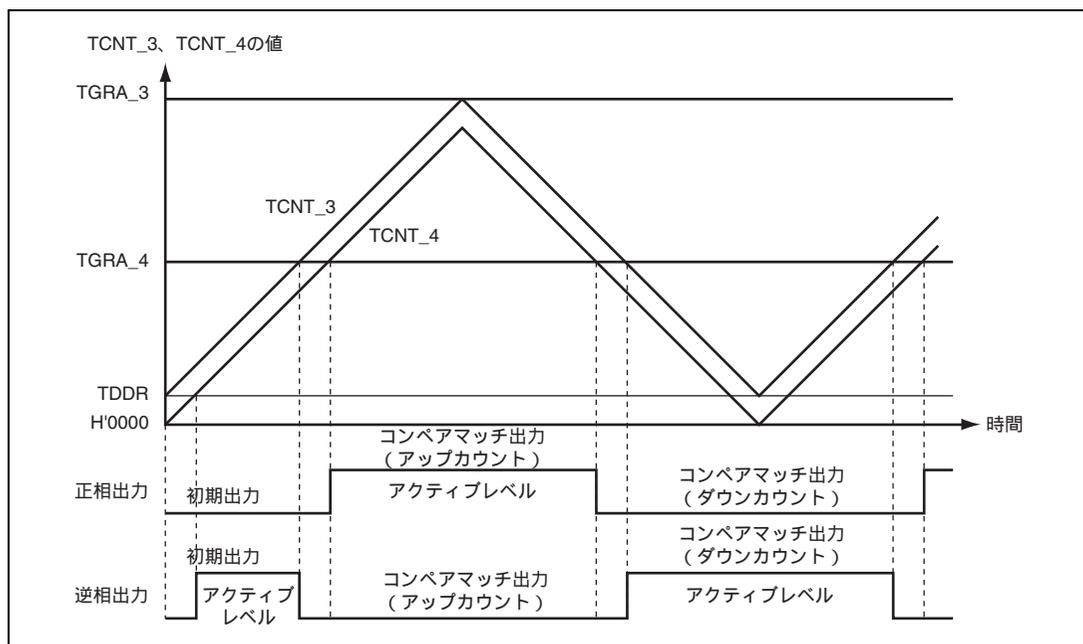


図 11.2 相補 PWM モードの出力レベルの例

## 11.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)

TOCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット:	7	6	5	4	3	2	1	0
	BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 11.30 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 11.31 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 11.32 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 11.33 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 11.34 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 11.35 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード / 相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 11.36 を参照してください。

【注】 \* TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。  
デッドタイムを生成しない場合、逆相の出力は正相の反転となります。  
なお、OLS1P、OLS1N に同じ値を設定してください。(i=1、2、3)

表 11.30 BF1、BF0 ビットの設定

ビット7	ビット6	説 明	
BF1	BF0	相補 PWM モード時	リセット PWM モード時
0	0	バッファレジスタ (TOLBR) から TOCR2 へ転送しない	バッファレジスタ (TOLBR) から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ (TOLBR) から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ (TOLBR) から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ (TOLBR) から TOCR2 へ転送する	設定禁止

表 11.31 TIOC4D 出力レベルセレクト機能

ビット5	機 能			
OLS3N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.32 TIOC4B 出力レベルセレクト機能

ビット4	機 能			
OLS3P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 11.33 TIOC4C 出力レベルセレクト機能

ビット3	機 能			
OLS2N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.34 TIOC4A 出力レベルセレクト機能

ビット 2	機 能			
OLS2P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表 11.35 TIOC3D 出力レベルセレクト機能

ビット 1	機 能			
OLS1N	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

【注】 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 11.36 TIOC4B 出力レベルセレクト機能

ビット 0	機 能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

### 11.3.19 タイマアウトプットレベルバッファレジスタ (TOLBR)

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 11.3 に示します。

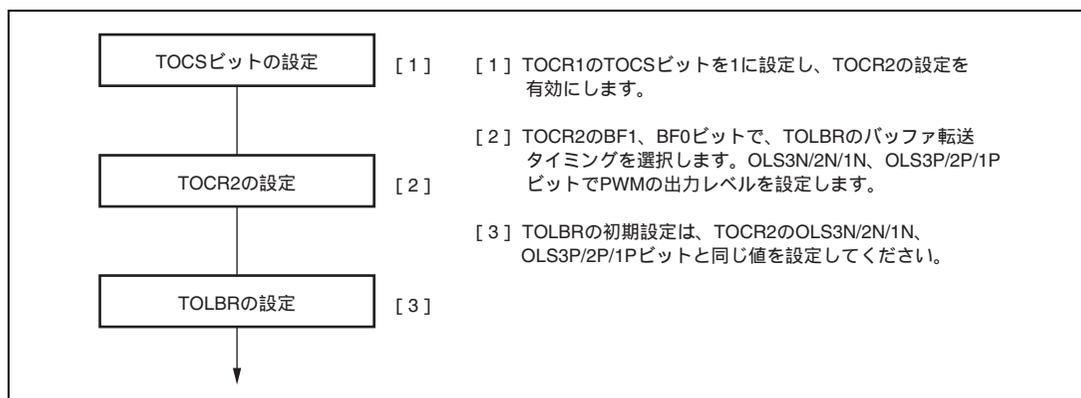


図 11.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

## 11.3.20 タイマゲートコントロールレジスタ (TGCR)

TGCR は、リセット同期 PWM モード / 相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モード / リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット:	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W						

ビット	ビット名	初期値	R/W	説 明
7	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	BDC	0	R/W	ブラシレス DC モータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0: 通常出力 1: 本レジスタの機能を有効
5	N	0	R/W	逆相出力 (N) 制御 逆相端子 (TIOC3D 端子、TIOC4C 端子、TIOC4D 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
4	P	0	R/W	正相出力 (P) 制御 正相端子の出力 (TIOC3B 端子、TIOC4A 端子、TIOC4B 端子) を出力時、レベル出力するか、リセット同期 PWM / 相補 PWM 出力するかを選択します。 0: レベル出力 1: リセット同期 PWM / 相補 PWM 出力
3	FB	0	R/W	外部フィードバック信号許可 正相 / 逆相の出力の切り換えを MTU2 / チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号で自動的に行うか、TGCR のビット 2~0 に 0 または 1 を書き込むことによって行うかを選択します。 0: 出力の切り換えは、外部入力 (入力元は、チャネル 0 の TGRA、TGRB、TGRC のインプットキャプチャ信号) 1: 出力の切り換えはソフトウェアで行う (TGCR の UF、VF、WF の設定値)
2	WF	0	R/W	出力相切り換え 2~0
1	VF	0	R/W	正相 / 逆相の出力相の ON、OFF を設定します。これらのビットの設定は本レジスタの FB ビットが 1 のときのみ有効です。このときは、ビット 2~0 の設定が、外部入力の代りになります。表 11.37 を参照してください。
0	UF	0	R/W	

表 11.37 出力レベルセレクト機能

ビット2	ビット1	ビット0	機 能					
			TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
WF	VF	UF	U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

### 11.3.21 タイマサブカウンタ (TCNTS)

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 11.3.22 タイマデッドタイムデータレジスタ (TDDR)

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT\_3 と TCNT\_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT\_3、TCNT\_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT\_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

【注】 TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 11.3.23 タイマ周期データレジスタ (TCDR)

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値 (ただし TDDR の 2 倍 + 3 以上の値) を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウントアップカウント)。TCDR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

【注】 TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 11.3.24 タイマ周期バッファレジスタ (TCBR)

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

【注】 TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

## 11.3.25 タイマ割り込み間引き設定レジスタ (TITCR)

TITCR は、8 ビットの読み出し / 書き込み可能なレジスタで、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。MTU2 には 1 本の TITCR があります。

ビット:	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]		T4VEN	4VCOR[2:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止 / 許可を設定します。 0 : TGIA_3 割り込みの間引きを禁止する 1 : TGIA_3 割り込みの間引きを許可する
6~4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 11.38 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止 / 許可を設定します。 0 : TCIV_4 割り込みの間引きを禁止する 1 : TCIV_4 割り込みの間引きを許可する
2~0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0~7 回で設定します。* 詳細は表 11.39 を参照してください。

【注】 \* 割り込み間引き回数に 0 を設定すると間引きは行いません。  
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ (TITCNT) をクリアしてください。

表 11.38 3ACOR2~3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説 明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 11.39 4VCOR2~4VCOR0 ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説 明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

### 11.3.26 タイマ割り込み間引き回数カウンタ (TITCNT)

TITCNT は、8 ビットの読み出し可能なカウンタです。MTU2 には 1 本の TITCNT があります。TITCNT は、TCNT\_3 および TCNT\_4 のカウント動作停止後も、値を保持します。

ビット:	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] <ul style="list-style-type: none"> <li>• TITCR の 3ACOR2 ~ 3ACOR0 と TITCNT の 3ACNT2 ~ 3ACNT0 が一致したとき</li> <li>• TITCR の T3AEN ビットが 0 のとき</li> <li>• TITCR の 3ACOR2 ~ 3ACOR0 が 0 のとき</li> </ul>
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
2~0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [ クリア条件 ] <ul style="list-style-type: none"> <li>• TITCR の 4VCOR2~4VCOR0 と TITCNT の 4VCNT2~4VCNT0 が一致したとき</li> <li>• TITCR の T4VEN ビットが 0 のとき</li> <li>• TITCR の 4VCOR2~4VCOR0 が 0 のとき</li> </ul>

【注】 TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

### 11.3.27 タイマバッファ転送設定レジスタ (TBTER)

TBTER は、8 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ\* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。MTU2 には 1 本の TBTER があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ* からテンポラリレジスタへの転送を抑制する / しない、または割り込み間引き機能と連動する / しないを設定します。詳細は表 11.40 を参照してください。

【注】 \* 対象バッファレジスタ

TGRC\_3、TGRD\_3、TGRC\_4、TGRD\_4、TCBR

表 11.40 BTE1、BTE0 ビットの設定

ビット 1	ビット 0	説 明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない*1 また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する*2
1	1	設定禁止

【注】 \*1 TMDR の MD3 ~ MD0 の設定に従い転送します。詳細は「11.4.8 相補 PWM モード」を参照してください。

\*2 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき) は、必ずバッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送レジスタ (TBTER) の BTE1 を 0 に設定) にしてください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

### 11.3.28 タイマデッドタイムイネーブルレジスタ (TDER)

TDER は、8 ビットの読み出し / 書き込み可能なレジスタです。チャンネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。MTU2 には 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする / しないを設定します。 0 : デッドタイムを生成しない 1 : デッドタイムを生成する* [クリア条件] • TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたとき

【注】 \* TDDR 1 に設定してください。

### 11.3.29 タイマ波形コントロールレジスタ (TWCR)

TWCR は、8 ビットの読み出し / 書き込み可能なレジスタです。相補 PWM モードで TNCT\_3、TNCT\_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA\_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット :	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	-	WRE
初期値 :	0*	0	0	0	0	0	0	0
R/W :	R/(W)	R	R	R	R	R	R	R/(W)

【注】 \* 相補PWMモード1のとき以外は、1に設定しないでください。

ビット	ビット名	初期値	R/W	説 明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補 PWM モードで、TGRA_3 のコンペアマッチによるカウンタクリアをする / しないを設定します。 0 : TGRA_3 のコンペアマッチによるカウンタクリアをしない 1 : TGRA_3 のコンペアマッチによるカウンタクリアをする [セット条件] • CCE = 0 の状態で CCE をリード後、CCE に 1 をライトしたとき
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	WRE	0	R/(W)	初期出力抑止イネーブル 相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。 相補 PWM モードの谷の Tb 区間については、図 11.40 を参照してください。 0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する [セット条件] • WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【注】 \* 相補 PWM モード 1 のとき以外は、1 に設定しないでください。

### 11.3.30 バスマスタとのインタフェース

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR)、タイマサブカウンタ (TCNTS)、タイマ周期バッファレジスタ (TCBR)、タイマデッドタイムデータレジスタ (TDDR)、タイマ周期データレジスタ (TCDR)、タイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (TADCOR)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBR) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

## 11.4 動作説明

### 11.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

MTU2 の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

#### (1) カウンタの動作

TSTR の CST0 ~ CST4 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図 11.4 に示します。

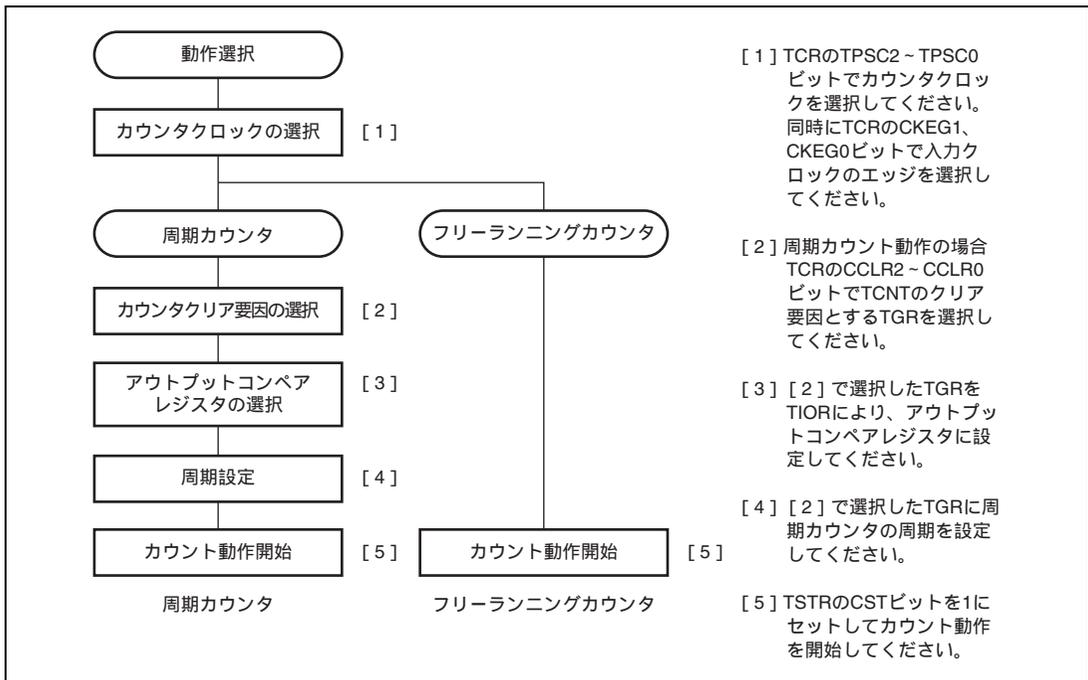


図 11.4 カウンタ動作設定手順例

## (b) フリーランニングカウンタ動作と周期カウンタ動作

MTU2 の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 11.5 に示します。

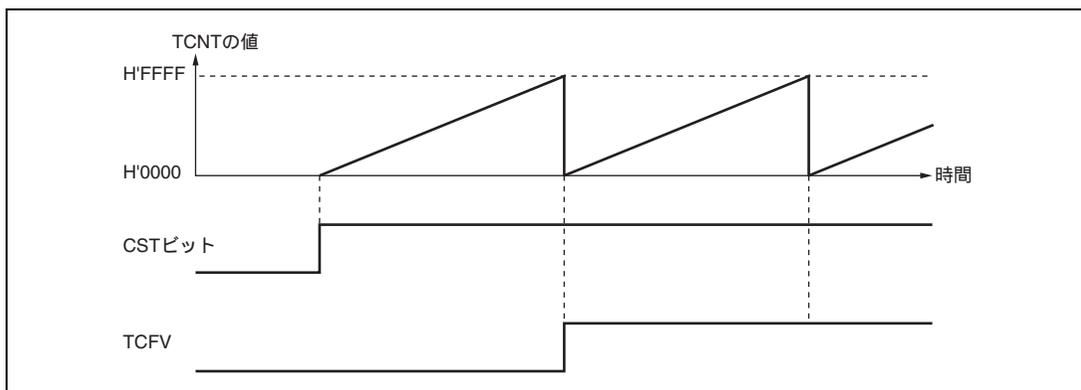


図 11.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、MTU2 は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 11.6 に示します。

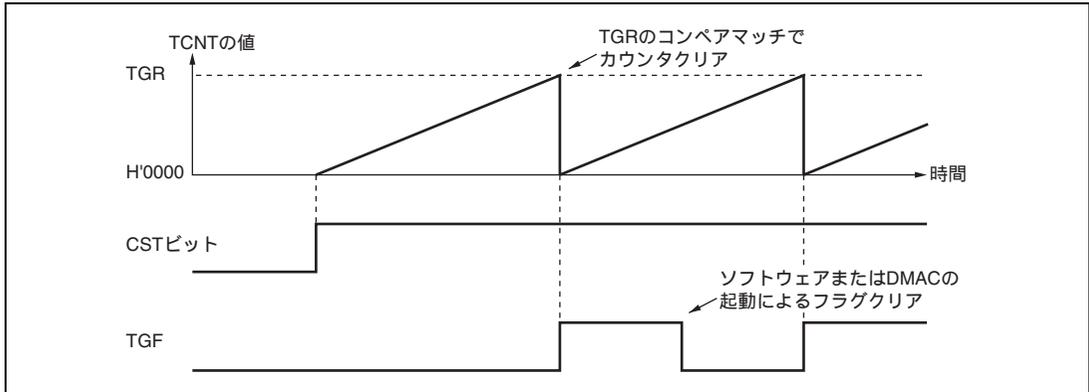


図 11.6 周期カウンタの動作

## (2) コンペアマッチによる波形出力機能

MTU2 は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

## (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.7 に示します。

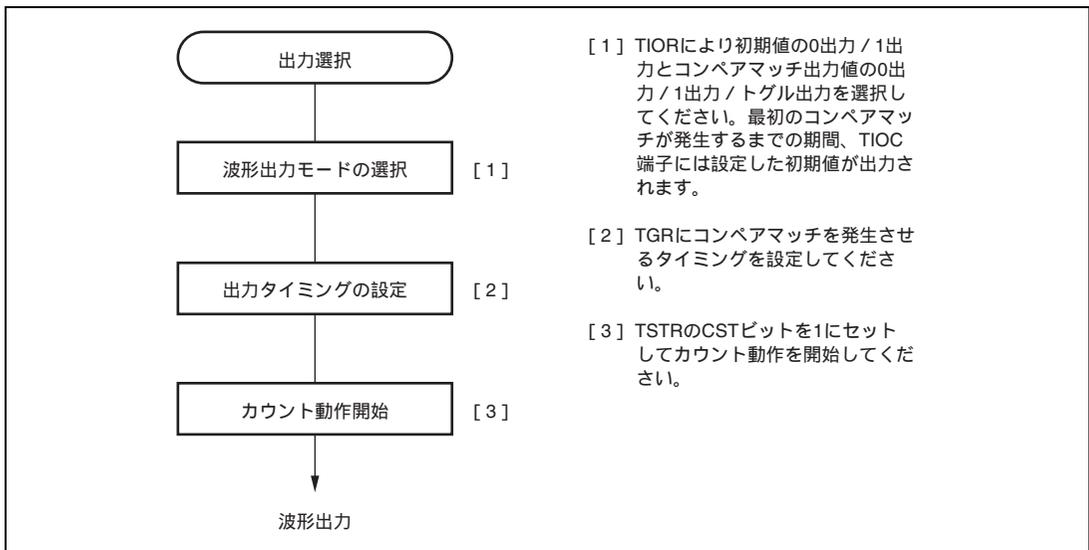


図 11.7 コンペアマッチによる波形出力動作例

## (b) 波形出力動作例

0 出力 / 1 出力例を図 11.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

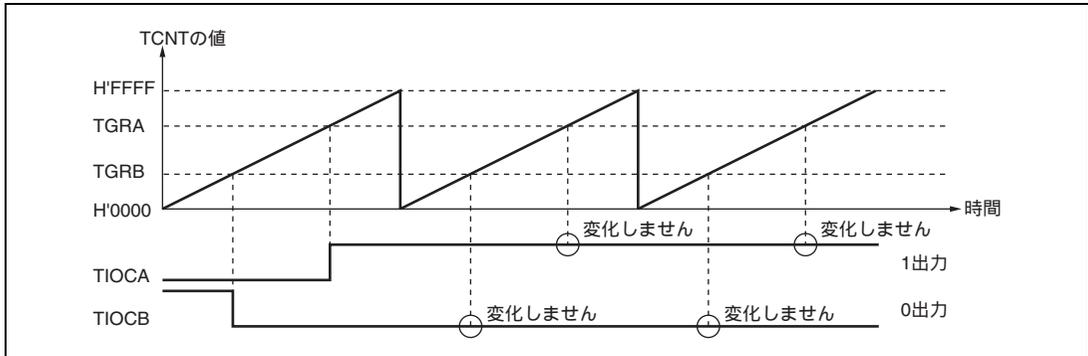


図 11.8 0 出力 / 1 出力の動作例

トグル出力の例を図 11.9 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

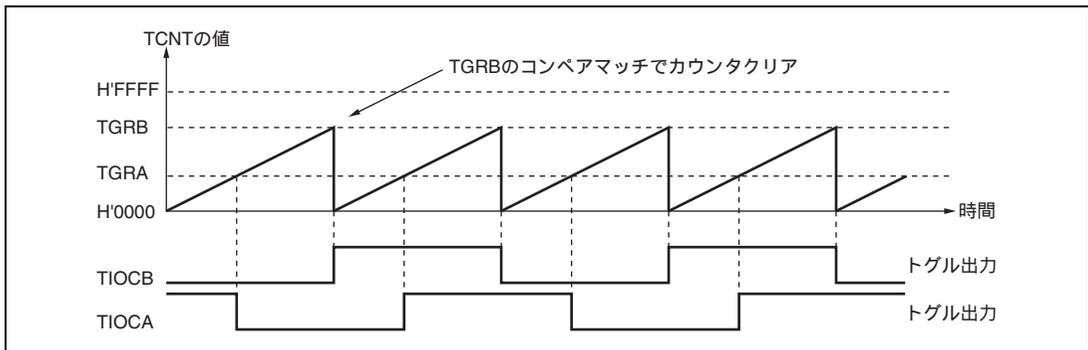


図 11.9 トグル出力の動作例

## (3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、1 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに P / 1 を選択しないでください。P / 1 を選択した場合は、インพุットキャプチャは発生しません。

## (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 11.10 に示します。

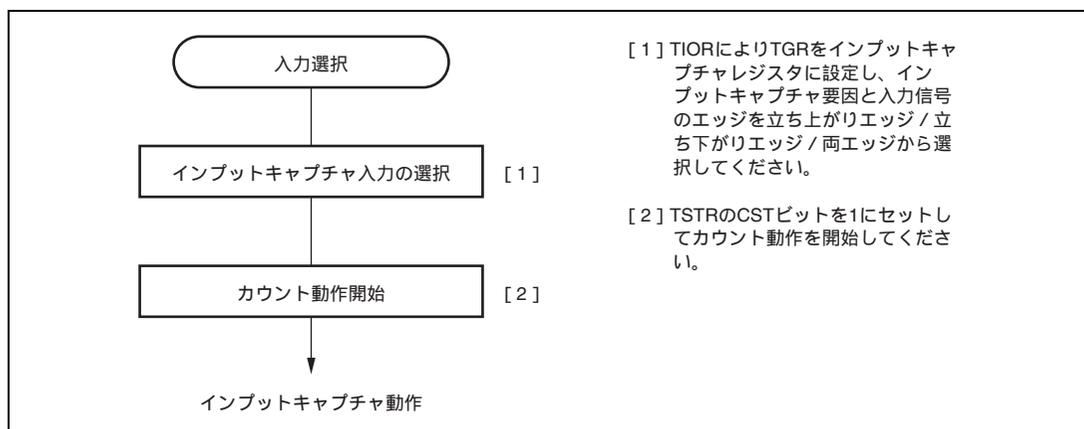


図 11.10 インพุットキャプチャ動作の設定例

## (b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.11 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

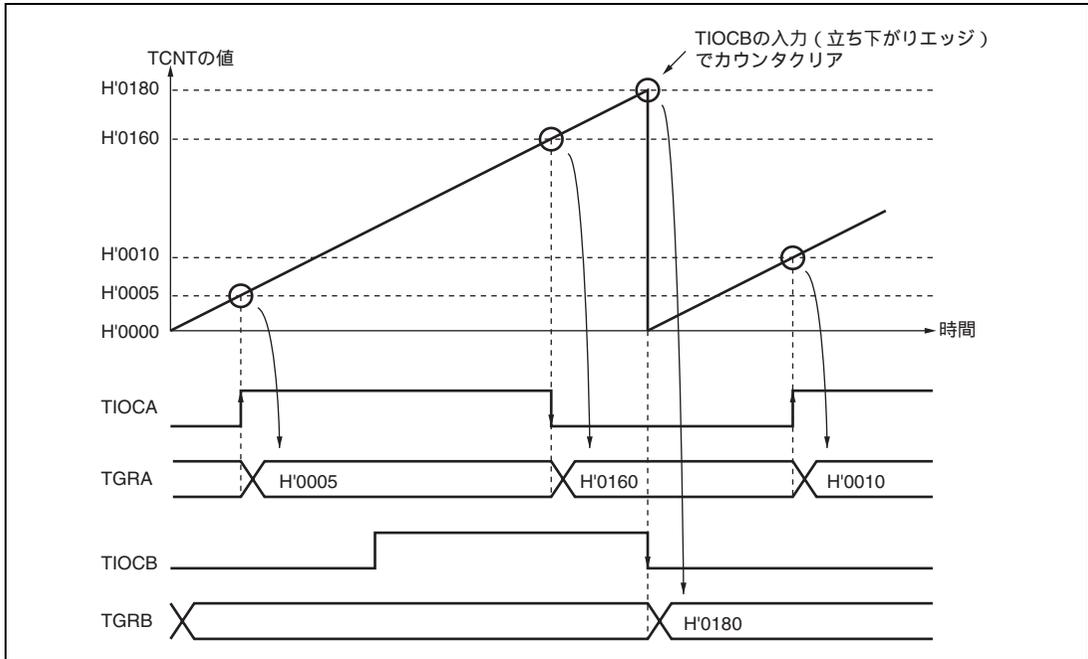


図 11.11 インพุットキャプチャ動作例

### 11.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャンネル 0~4 はすべて同期動作の設定が可能です。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図 11.12 に示します。

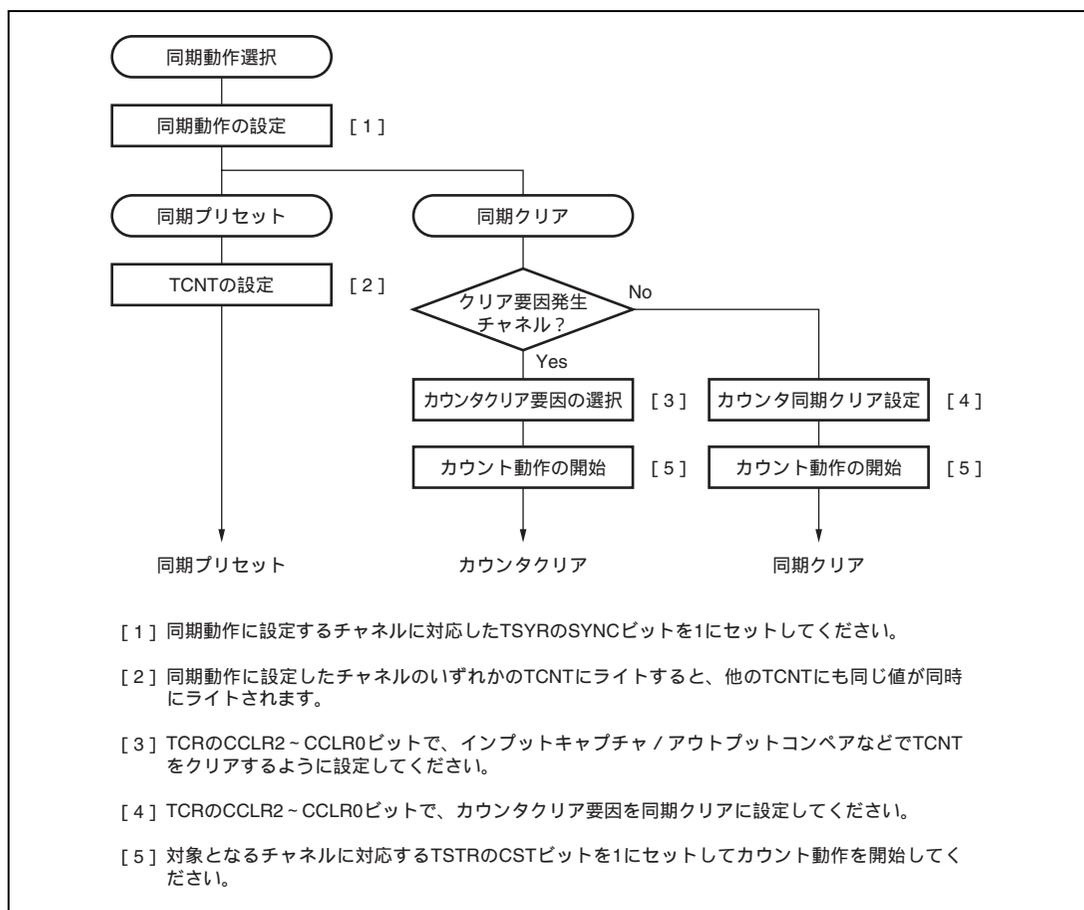


図 11.12 同期動作の設定手順例

## (2) 同期動作の例

同期動作の例を図 11.13 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB\_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB\_0 のコンペアマッチによる同期クリアを行い、TGRB\_0 に設定したデータが PWM 周期となります。

PWM モードについては、「11.4.5 PWM モード」を参照してください。

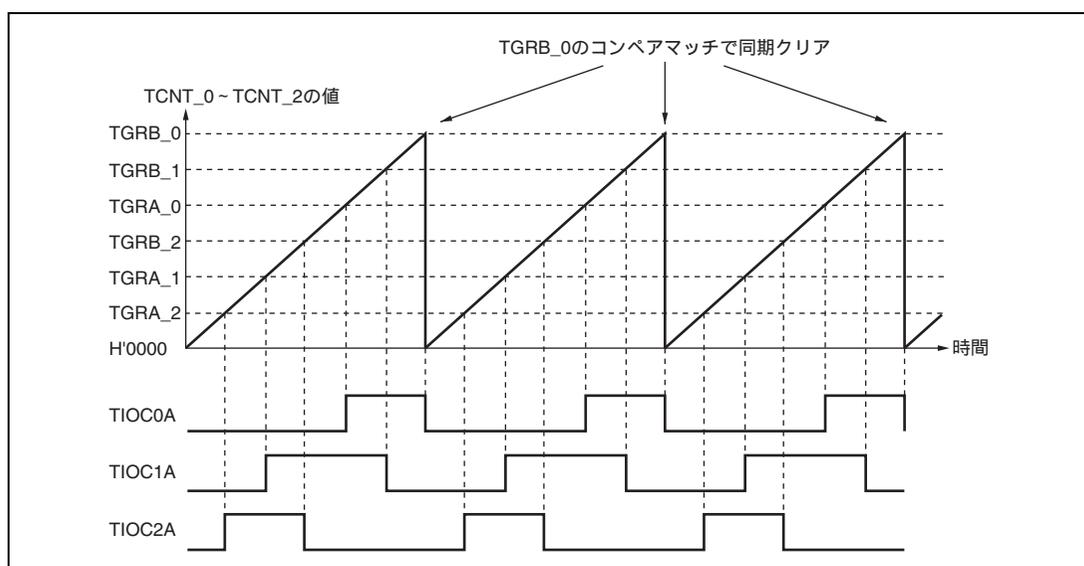


図 11.13 同期動作の動作例

### 11.4.3 バッファ動作

バッファ動作は、チャンネル 0、3、4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャンネル 0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

【注】 TGRE\_0 はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 11.41 にバッファ動作時のレジスタの組み合わせを示します。

表 11.41 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 11.14 に示します。

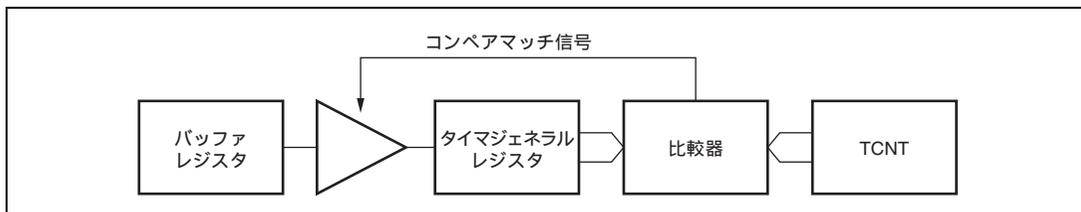


図 11.14 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 11.15 に示します。

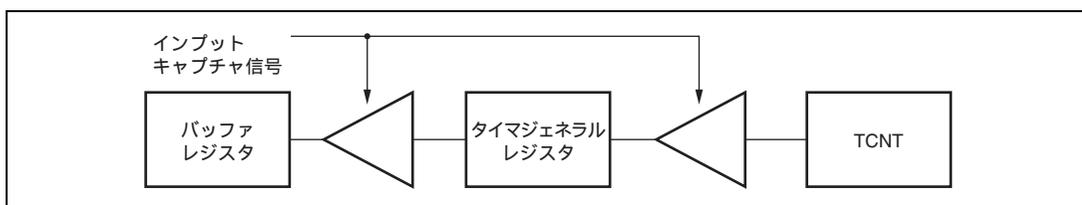


図 11.15 インプットキャプチャバッファ動作

#### (1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.16 に示します。

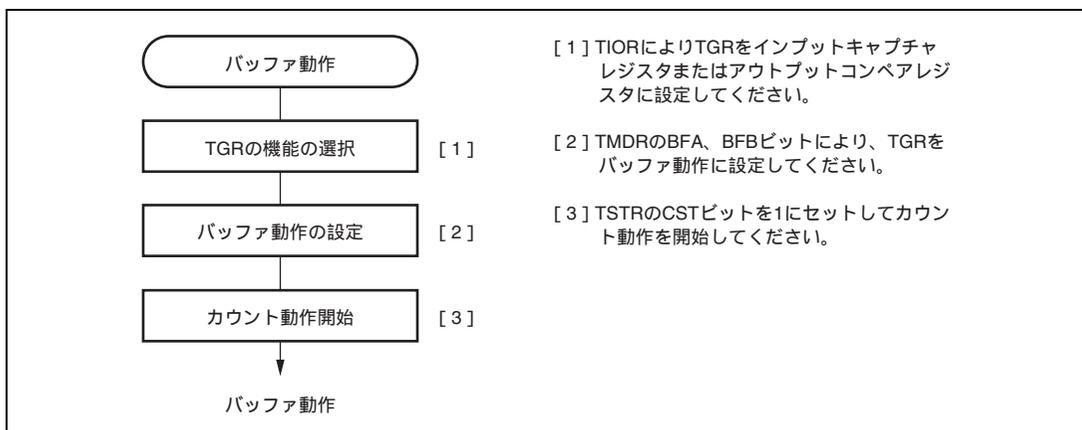


図 11.16 バッファ動作の設定手順例

## (2) バッファ動作例

## (a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 11.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「11.4.5 PWM モード」を参照してください。

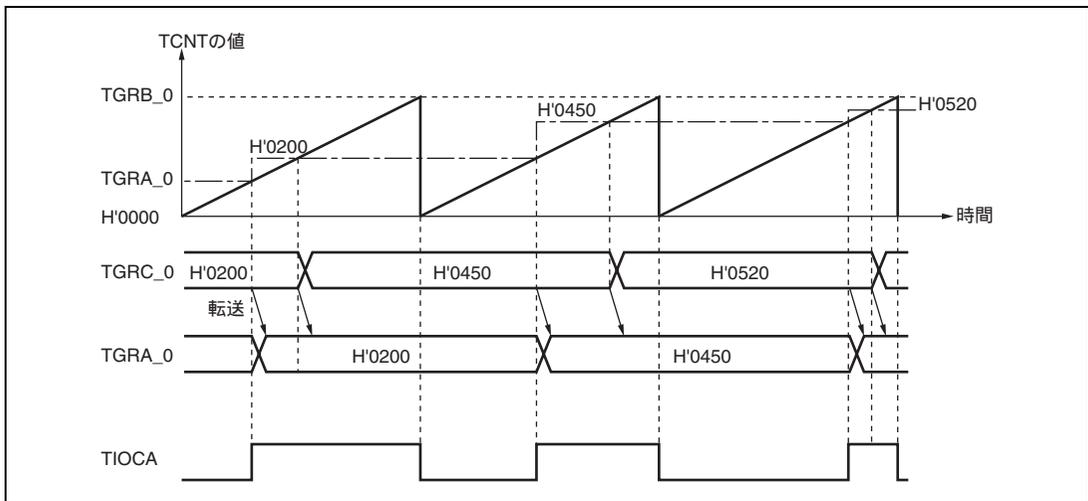


図 11.17 バッファ動作例 (1)

## (b) TGR がインプットキャプチャレジスタの場合

TGRC をインプットキャプチャレジスタに設定し、TGRC と TGRC をバッファ動作に設定したときの動作例を図 11.18 に示します。

TCNT は TGRC のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRC に格納されると同時に、それまで TGRC に格納されていた値が TGRC に転送されます。

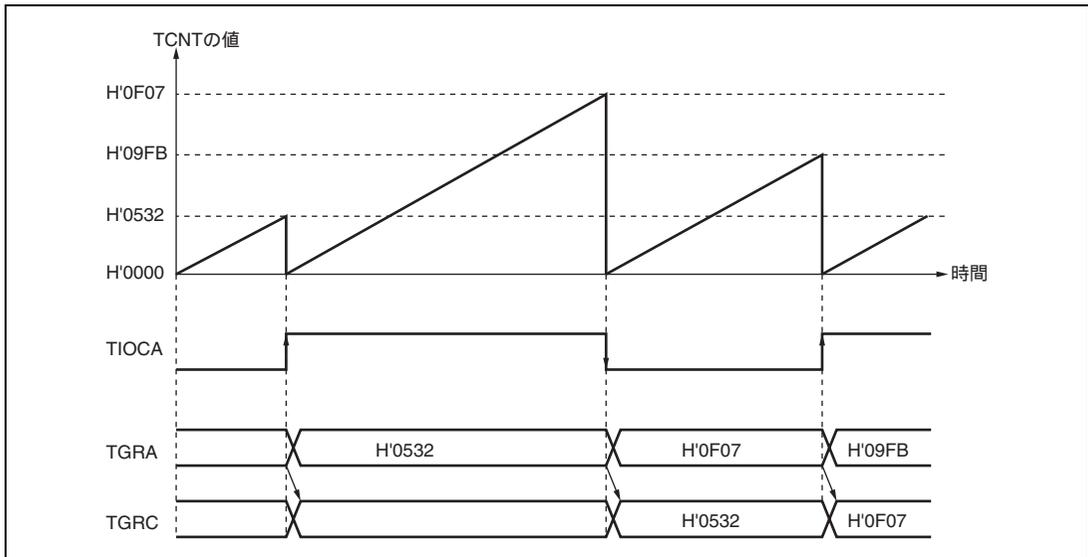


図 11.18 バッファ動作例 (2)

## (3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (TBTM\_0、TBTM\_3、TBTM\_4) を設定することで、チャンネル 0 では PWM モード 1、2 時の、チャンネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時 (初期値) と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNTがオーバーフローしたとき (H'FFFF H'0000)
- カウンタ動作中、TCNTにH'0000がライトされたとき
- TCRのCCLR2~CCLR0ビットで設定したクリア要因で、TCNTがH'0000になったとき

【注】 TBTM の設定は TCNT が停止した状態で行ってください。

チャンネル 0 を PWM モード 1 に設定し、TGRA\_0 と TGRC\_0 をバッファ動作に設定した場合の動作例を図 11.19 に示します。TCNT\_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM\_0 の TTSA ビットは 1 に設定しています。

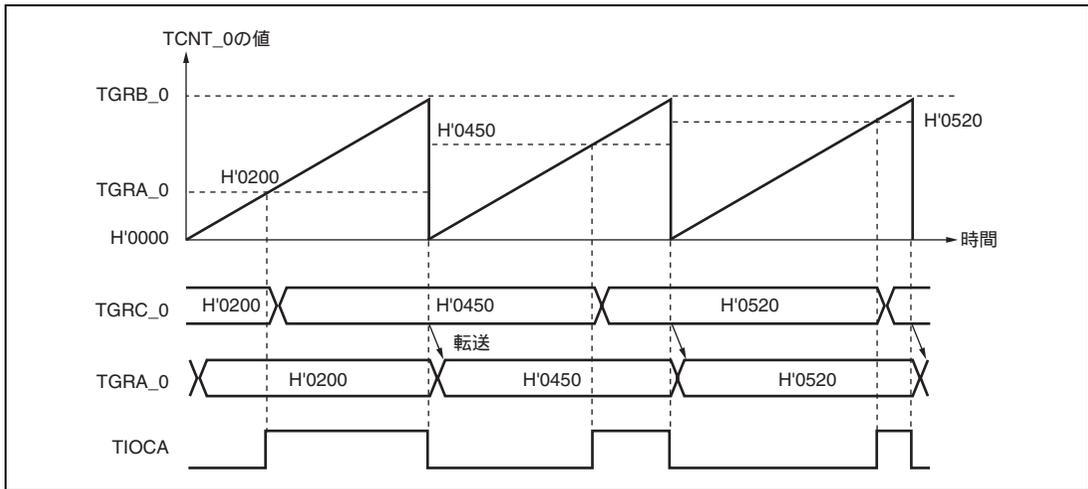


図 11.19 TGRB\_0 から TGRA\_0 のバッファ転送タイミングを TCNT\_0 クリア時に選択した場合の動作例

#### 11.4.4 カスケード接続動作

カスケード接続動作は、2 チャンルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT\_2 のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 11.42 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 11.42 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT\_1 と TCNT\_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は、「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「11.7.22 カスケード接続における TCNT\_1、TCNT\_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を表 11.43 に示します。

表 11.43 TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット = 0 (初期値)	TIOC1A
	I2AE ビット = 1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット = 0 (初期値)	TIOC1B
	I2BE ビット = 1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット = 0 (初期値)	TIOC2A
	I1AE ビット = 1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット = 0 (初期値)	TIOC2B
	I1BE ビット = 1	TIOC2B、TIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.20 に示します。

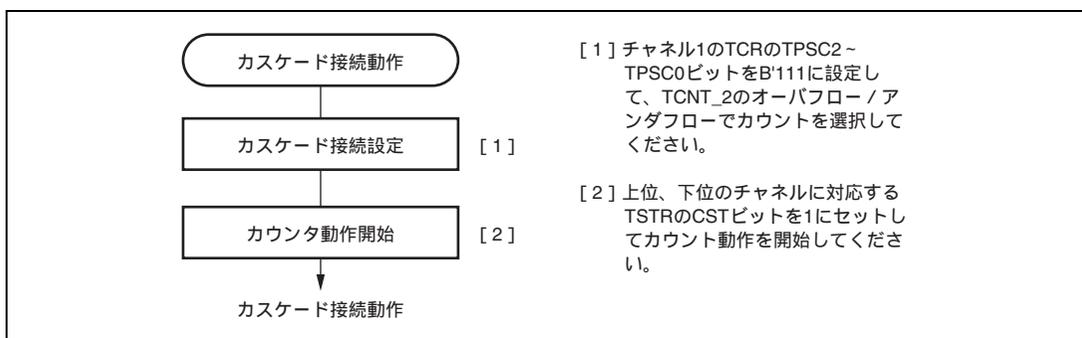


図 11.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

TCNT\_1 は TCNT\_2 のオーバーフロー/アンダフローでカウント、チャンネル2 を位相計数モードに設定したときの動作を図 11.21 に示します。

TCNT\_1 は、TCNT\_2 のオーバーフローでアップカウント、TCNT\_2 のアンダフローでダウンカウントされます。

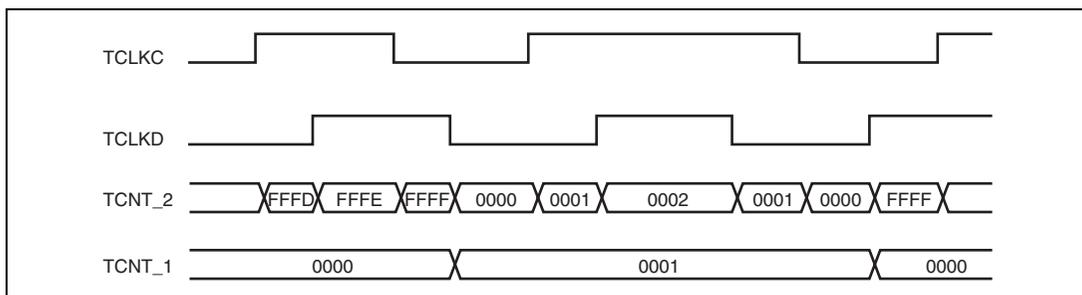


図 11.21 カスケード接続動作例 (a)

## (3) カスケード接続動作例 (b)

TCNT\_1、TCNT\_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA\_1 の入力キャプチャ条件に追加した場合の動作を図 11.22 に示します。この例では TIOR\_1 の IOA0 ~ IOA3 の設定は、( TIOC1A の ) 立ち上がりエッジで入力キャプチャに設定しています。また、TIOR\_2 の IOA0 ~ IOA3 の設定は、( TIOC2A の ) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA\_1 の入力キャプチャ条件に設定されます。また、TGRA\_2 の入力キャプチャ条件は TIOC2A の立ち上がりエッジとなります。

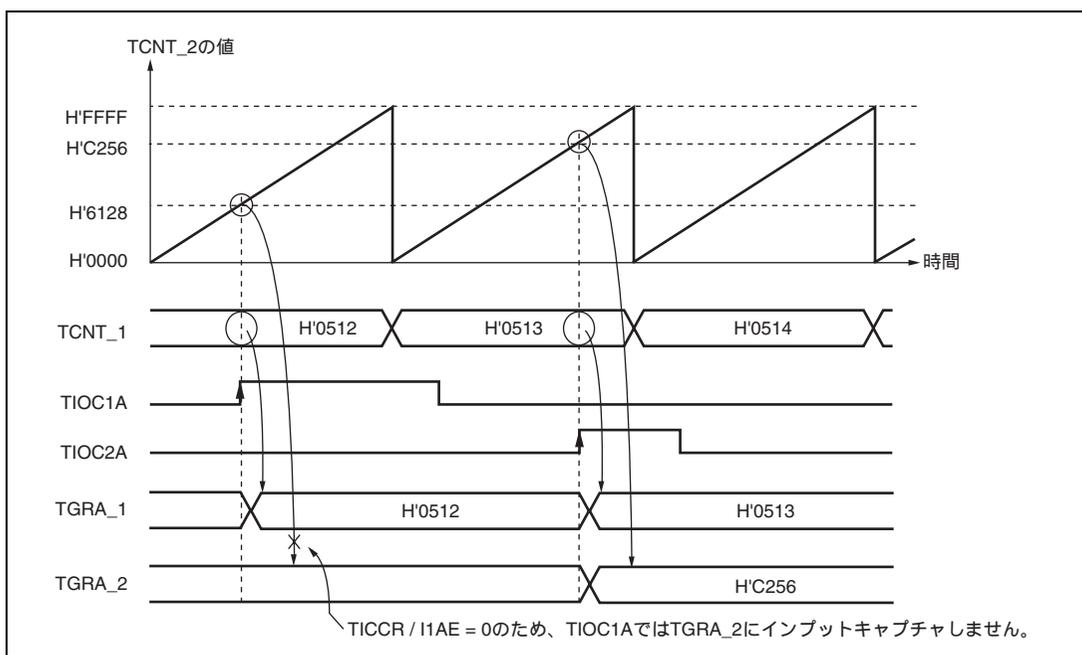


図 11.22 カスケード接続動作例 (b)

## (4) カスケード接続動作例 (c)

TCNT\_1、TCNT\_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA\_1 の入力キャプチャ条件に追加し、TIOC1A 端子を TGRA\_2 の入力キャプチャ条件に追加した場合の動作を図 11.23 に示します。この例では TIOR\_1、TIOR\_2 の IOA0 ~ IOA3 の設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA\_1 および TGRA\_2 の入力キャプチャ条件となります。

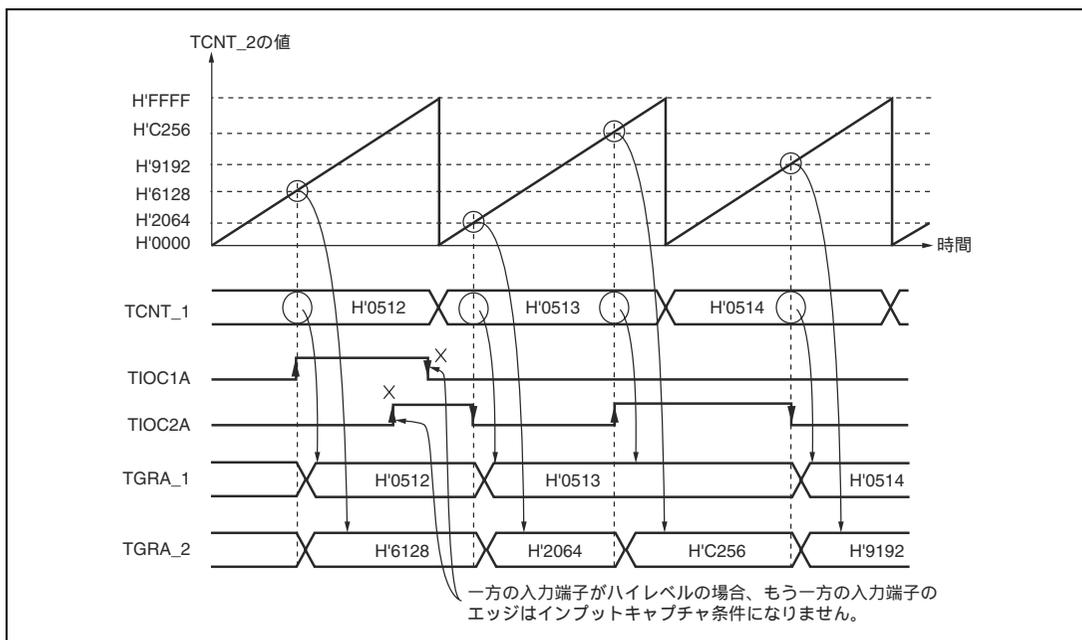


図 11.23 カスケード接続動作例 (c)

## (5) カスケード接続動作例 (d)

TCNT\_1、TCNT\_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA\_1 のインプットキャプチャ条件に追加した場合の動作を図 11.24 に示します。この例では TIOR\_1 の IOA0 ~ IOA3 の設定は、TGRA\_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR\_2 の IOA0 ~ IOA3 の設定は、( TIOC2A の ) 立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR\_1 の設定が TGRA\_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA\_1 のインプットキャプチャ条件になることはありません。

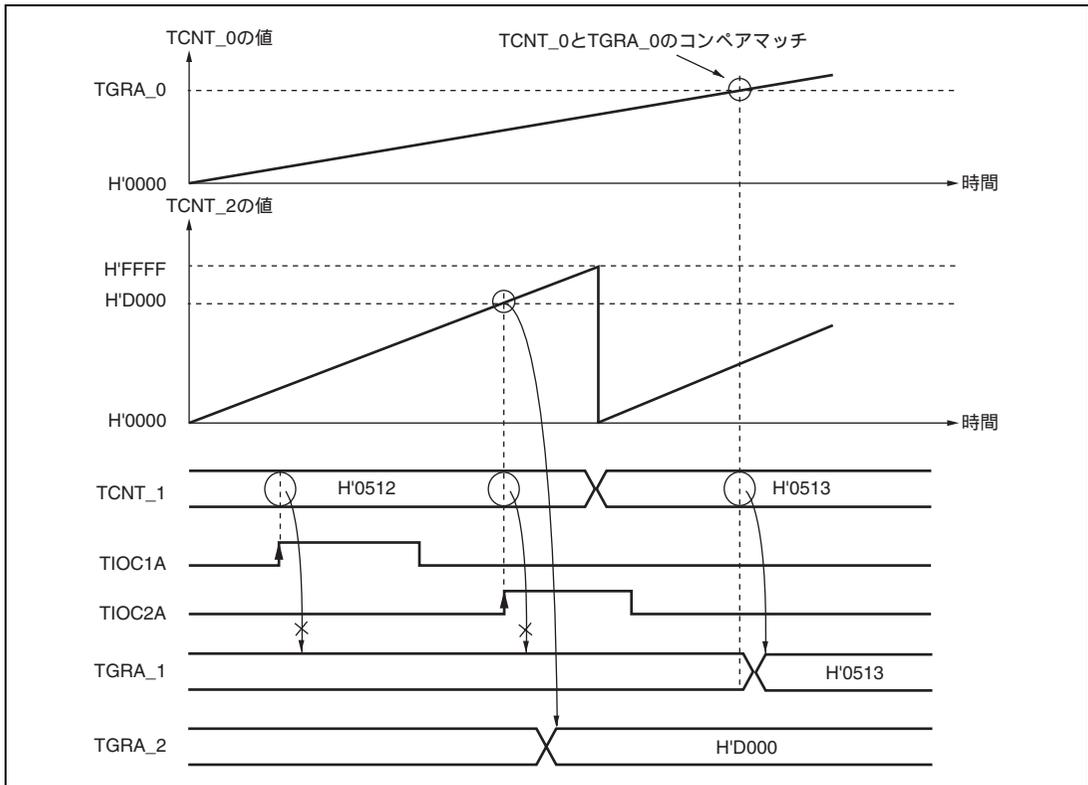


図 11.24 カスケード接続動作例 (d)

### 11.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

- PWMモード1

TGRAとTGRB、TGRCとTGRDをペアで使用して、TIOCA、TIOCC端子からPWM出力を生成します。TIOCA、TIOCC端子からコンペアマッチA、CによってTIOAのIOA3~IOA0、IOC3~IOC0ビットで指定した出力を、また、コンペアマッチB、DによってTIOBのIOB3~IOB0、IOD3~IOD0ビットで指定した出力を行います。初期出力値はTGRA、TGRCに設定した値になります。ペアで使用するTGRの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード1では、最大8相のPWM出力が可能です。

- PWMモード2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIORで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIORで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWMモード2では、同期動作と併用することにより最大8相のPWM出力が可能です。

PWM出力端子とレジスタの対応を表11.44に示します。

表 11.44 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

## (1) PWM モードの設定手順例

PWM モードの設定手順例を図 11.25 に示します。

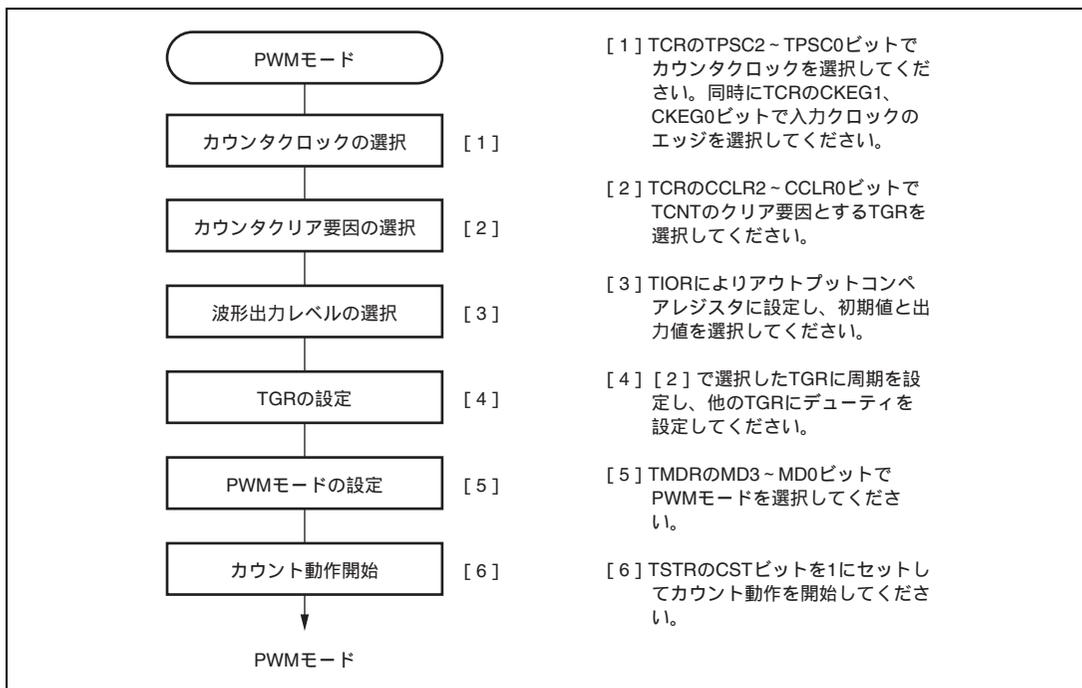


図 11.25 PWM モードの設定手順例

## (2) PWM モードの動作例

PWM モード 1 の動作例を図 11.26 に示します。

この図は、TCNTのクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

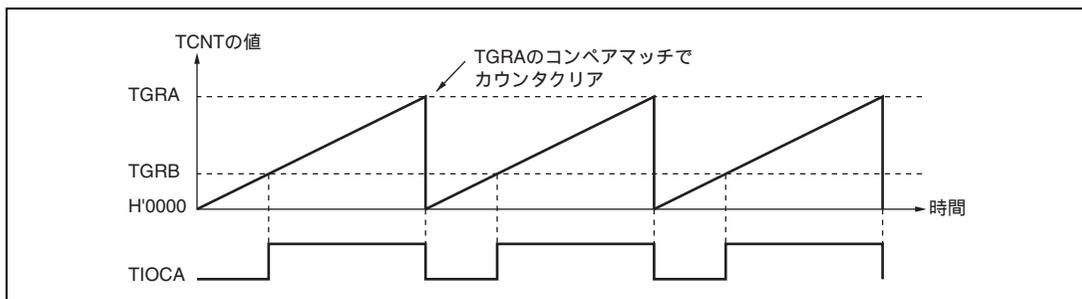


図 11.26 PWM モードの動作例

PWM モード 2 の動作例を図 11.27 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB\_1 のコンペアマッチとし、他の TGR (TGRA\_0~TGRD\_0, TGRA\_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB\_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

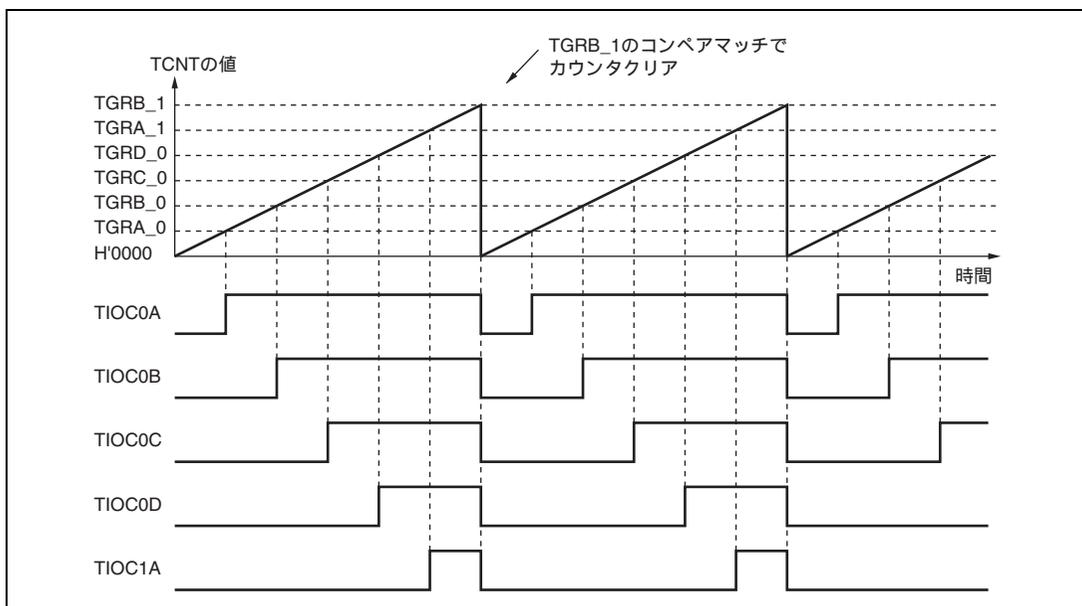


図 11.27 PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 11.28 に示します。

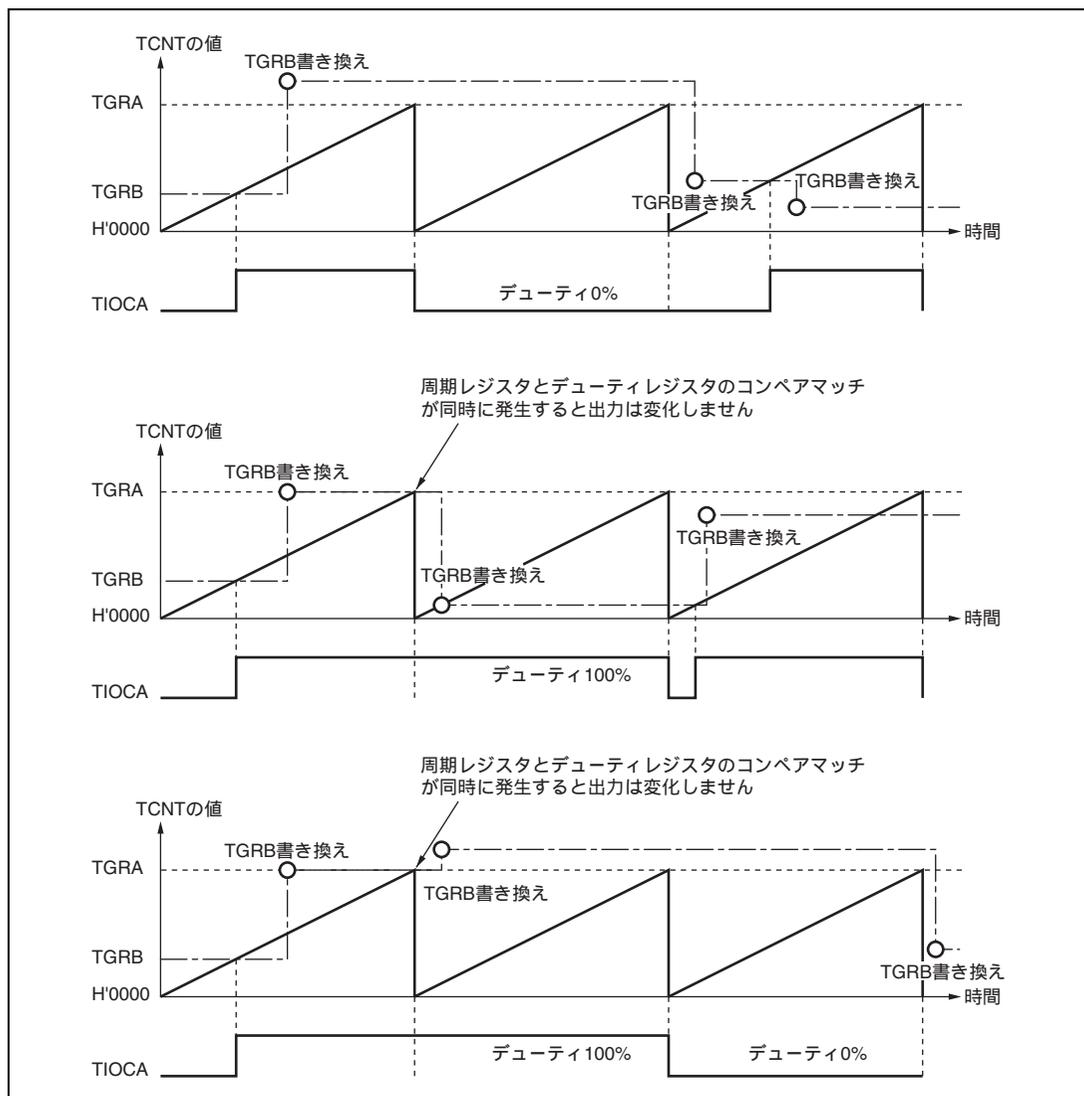


図 11.28 PWM モード動作例

### 11.4.6 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ / ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ / ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.45 に外部クロック端子とチャンネルの対応を示します。

表 11.45 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.29 に示します。

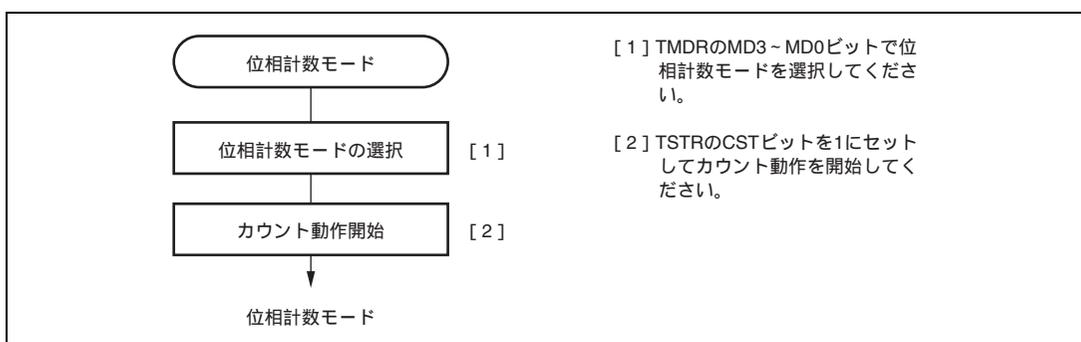


図 11.29 位相計数モードの設定手順例

## (2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4 つのモードがあります。

## (a) 位相計数モード 1

位相計数モード 1 の動作例を図 11.30 に、TCNT のアップ/ダウンカウント条件を表 11.46 に示します。

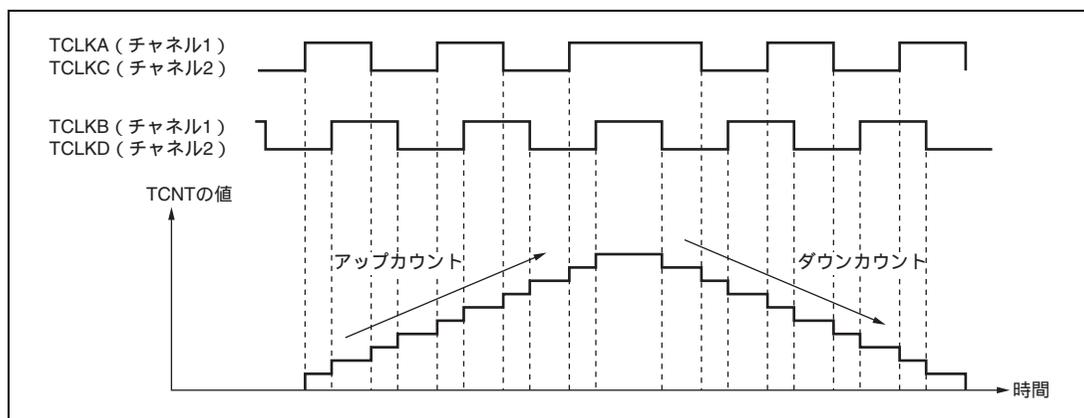


図 11.30 位相計数モード 1 の動作例

表 11.46 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

## 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 11.31 に、TCNT のアップ/ダウンカウント条件を表 11.47 に示します。

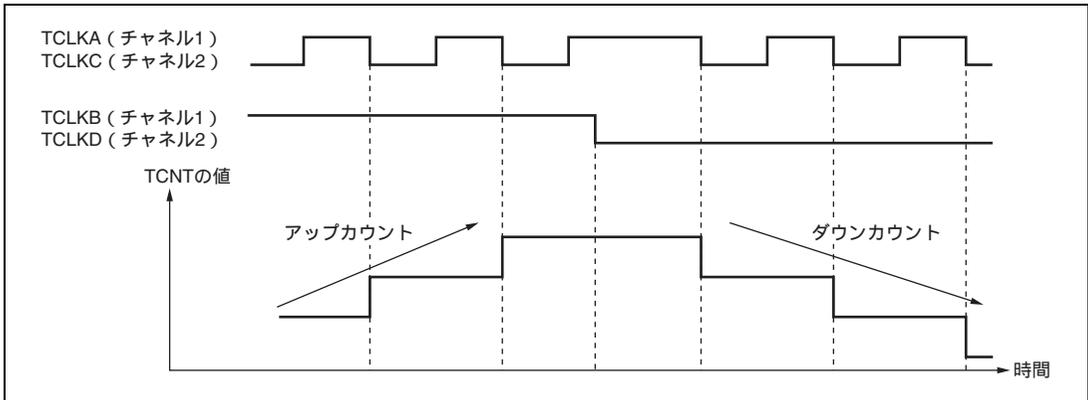


図 11.31 位相計数モード 2 の動作例

表 11.47 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	Low レベル	カウントしない (Don't care)
	High レベル	アップカウント
High レベル		カウントしない (Don't care)
Low レベル		カウントしない (Don't care)
	High レベル	カウントしない (Don't care)
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

## (c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.32 に、TCNT のアップ/ダウンカウント条件を表 11.48 に示します。

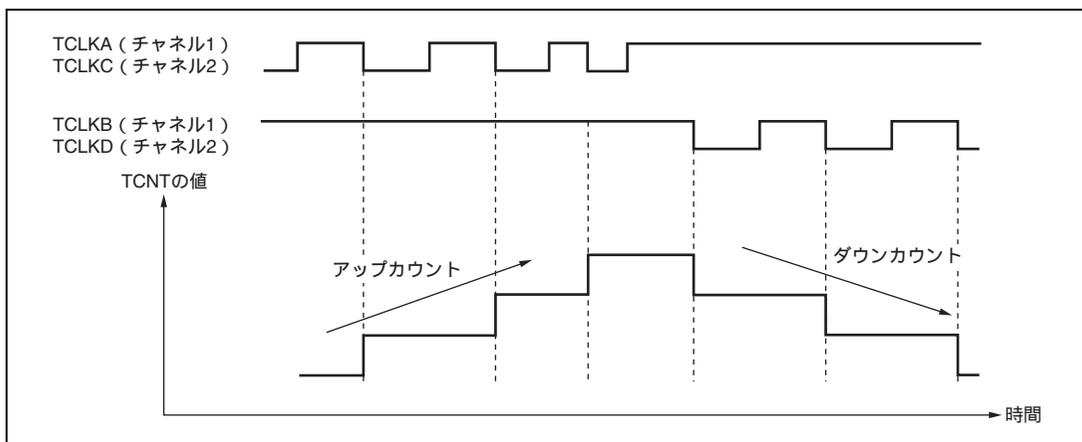


図 11.32 位相計数モード 3 の動作例

表 11.48 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	カウントしない (Don't care)
Low レベル	↓	カウントしない (Don't care)
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない (Don't care)
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	カウントしない (Don't care)

## 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.33 に、TCNT のアップ/ダウンカウント条件を表 11.49 に示します。

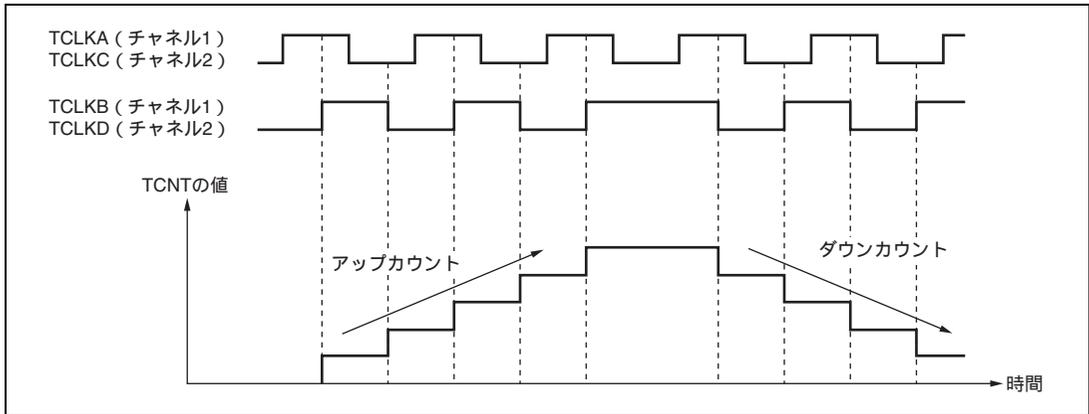


図 11.33 位相計数モード 4 の動作例

表 11.49 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない (Don't care)
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない (Don't care)
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## (3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図11.34に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC\_0のコンペアマッチでカウンタクリアとして動作させ、TGRA\_0とTGRC\_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB\_0は入力キャプチャ機能で使用し、TGRB\_0とTGRD\_0をバッファ動作させます。TGRB\_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4倍パルスのパルス幅を検出します。

チャンネル1のTGRA\_1とTGRB\_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA\_0とTGRC\_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

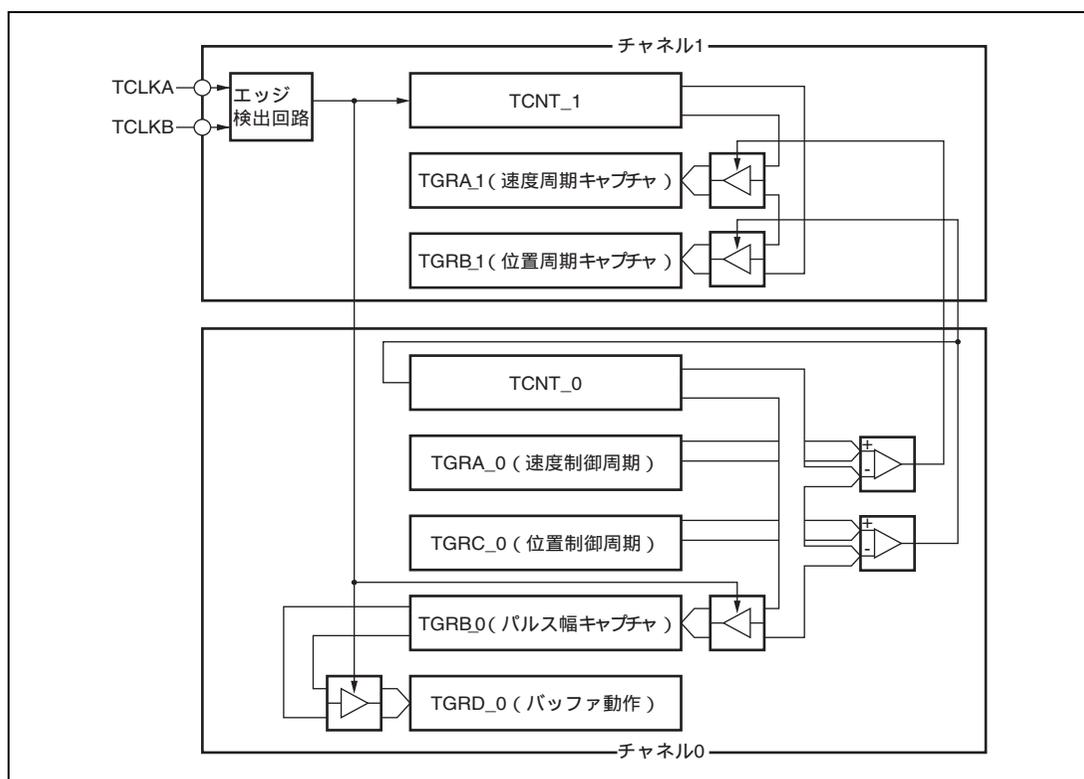


図 11.34 位相計数モードの応用例

### 11.4.7 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (TCNT\_3) はアップカウンタとして機能します。

使用される PWM 出力端子を表 11.50 に、使用するレジスタの設定を表 11.51 に示します。

表 11.50 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形)

表 11.51 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

## (1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 11.35 に示します。



図 11.35 リセット同期 PWM モードの設定手順例

## (2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 11.36 に示します。

リセット同期 PWM モードでは、TCNT\_3 と TCNT\_4 はアップカウンタとして動作します。TCNT\_3 が TGRA\_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB\_3、TGRA\_4、TGRB\_4 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

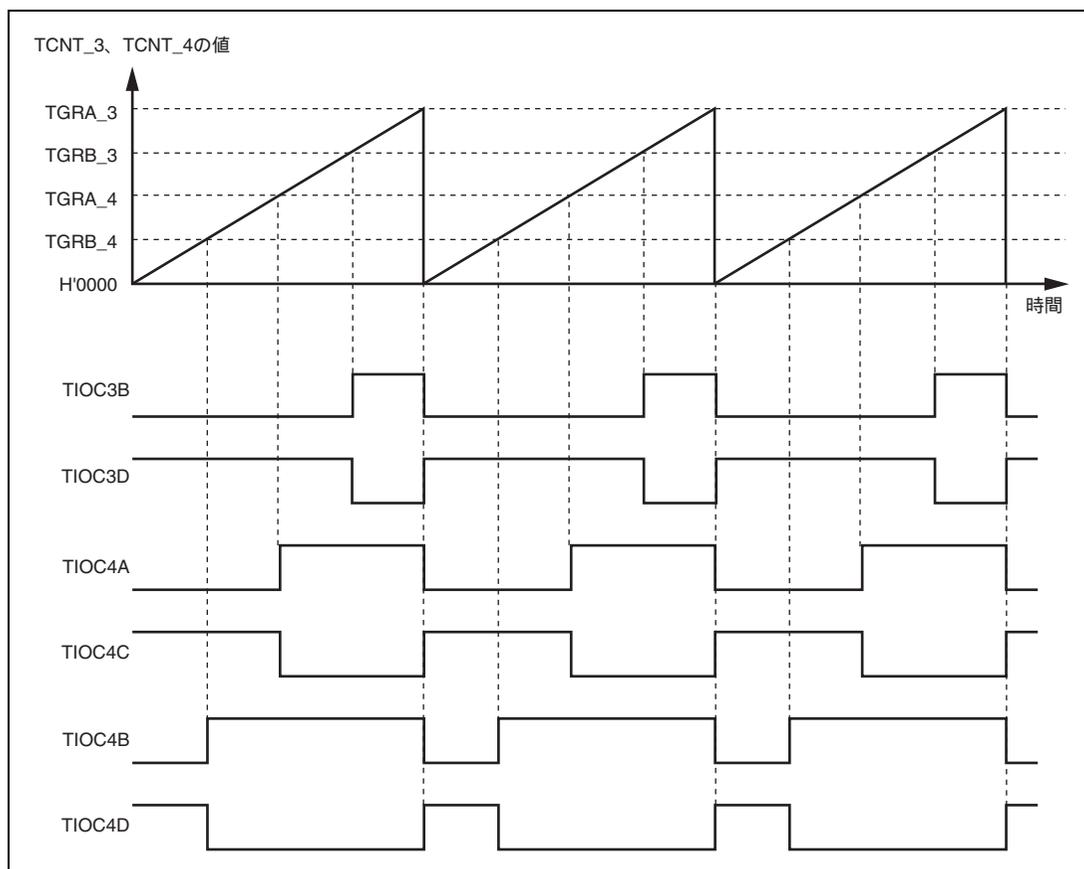


図 11.36 リセット同期 PWM モードの動作例 (TOCR の OLSN = 1、OLSP = 1 に設定した場合)

### 11.4.8 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT\_3 と TCNT\_4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 11.52 に、使用するレジスタの設定を表 11.53 に示します。

表 11.52 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力 (または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

【注】 \* TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 11.53 相補 PWM モード時のレジスタ設定

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウンタアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し / 書き込み可能
4	TCNT_4	H'0000 を初期設定しカウンタアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し / 書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し / 書き込み可能

チャンネル	カウンタ / レジスタ	説明	CPU からの 読み出し / 書き込み
	タイマデッドタイムデータレジスタ (TDDR)	TCNT_4 と TCNT_3 のオフセット値(デッドタイムの値)を設定	TRWER の設定*によりマスク可能
	タイマ周期データレジスタ (TCDR)	TCNT_4 の上限値の値を設定 (キャリア周期の 1/2)	TRWER の設定*によりマスク可能
	タイマ周期バッファレジスタ (TCBR)	TCDR のバッファレジスタ	常に読み出し / 書き込み可能
	サブカウンタ (TCNTS)	デッドタイム生成のためのサブカウンタ	読み出しのみ可能
	テンポラリレジスタ 1 (TEMP1)	PWM 出力 1/TGRB_3 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 2 (TEMP2)	PWM 出力 2/TGRA_4 のテンポラリレジスタ	読み出し / 書き込み不可
	テンポラリレジスタ 3 (TEMP3)	PWM 出力 3/TGRB_4 のテンポラリレジスタ	読み出し / 書き込み不可

【注】 \* TRWER (タイマリードライトイネーブルレジスタ) の設定によりアクセスの許可 / 禁止が可能です。

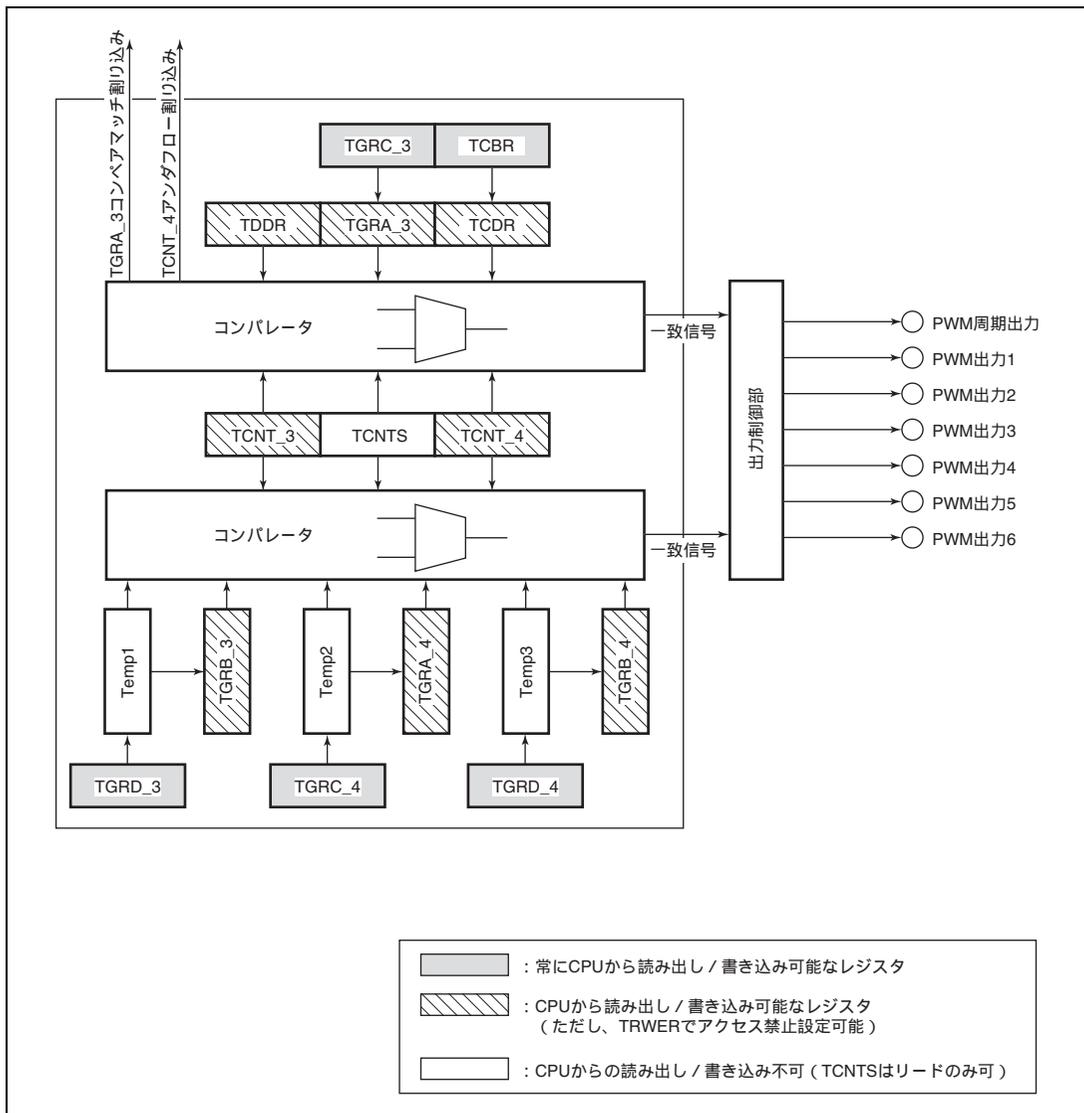


図 11.37 相補 PWM モード時のチャンネル 3、4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 11.38 に示します。



図 11.38 相補 PWM モードの設定手順例

## (2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。図 11.39 に相補 PWM モードのカウンタの動作を示します。図 11.40 に相補 PWM モードの動作例を示します。

## (a) カウンタの動作

相補 PWM モードでは、TCNT\_3、TCNT\_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT\_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA\_3 に設定された値までアップカウント動作を行い、TGRA\_3 と一致するとダウンカウントに切り換わります。その後、TDDR と一致するとアップカウントに切り換わり、この動作を繰り返します。

また、TCNT\_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT\_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り換わります。この後、H'0000 と一致するとアップカウントに切り換わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT\_3、4 がアップダウンカウント時、TCNT\_3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り換わります。また、TGRA\_3 と一致すると H'0000 にクリアされます。

TCNT\_3、TCNT\_4 がダウンカウント時、TCNT\_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り換わります。また、H'0000 に一致すると TCNTS は TGRA\_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

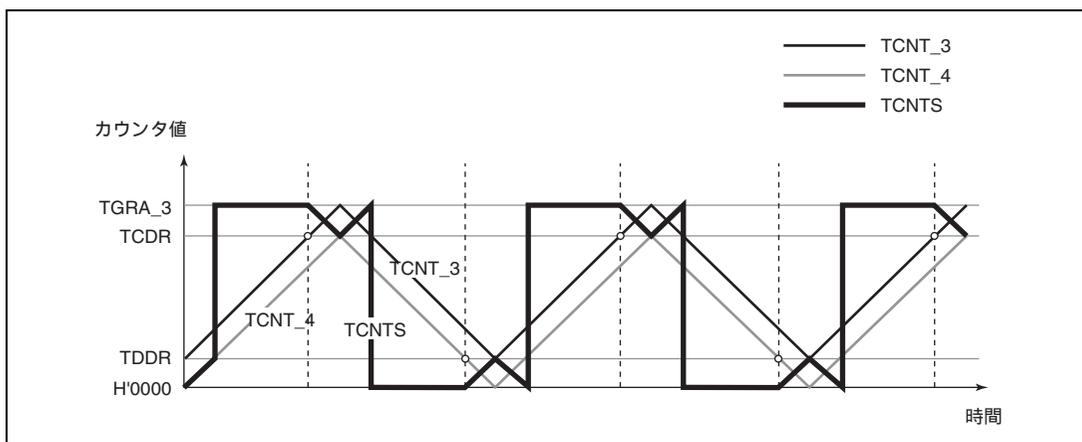


図 11.39 相補 PWM モードのカウンタ動作

## (b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。図 11.40 に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB\_3、TGRA\_4、TGRB\_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR) の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD\_3、TGRC\_4、TGRD\_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し / 書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA\_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで選択できます。図 11.40 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 11.40 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT\_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

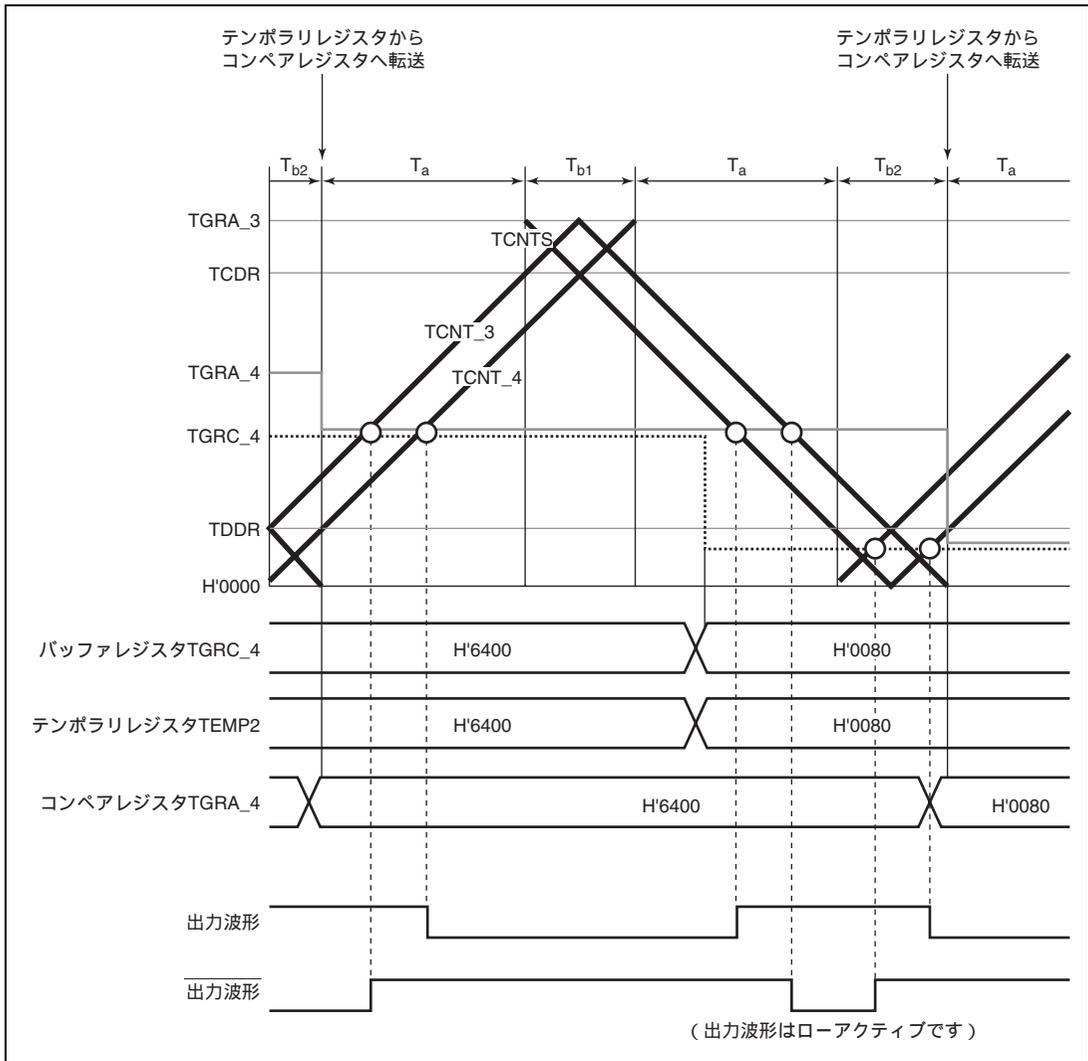


図 11.40 相補 PWM モード動作例

## (c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC\_3 は TGRA\_3 のバッファレジスタとして動作し、PWM キャリア周期の 1/2 + デッドタイム T<sub>d</sub> を設定します。タイマ周期バッファレジスタ (TCBR) は、タイマ周期データレジスタ (TCDR) のバッファレジスタとして動作し、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ (TDDR) には、デッドタイム T<sub>d</sub> を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定し、TGRC\_3、TGRA\_3 には、PWM キャリア周期の  $1/2+1$  を、TDDR には 1 を設定します。

バッファレジスタ TGRD\_3、TGRC\_4、TGRD\_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT\_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 11.54 初期設定に必要なレジスタとカウンタ

レジスタ / カウンタ	設定値
TGRC_3	PWM キャリア周期の $1/2 + \text{デッドタイム Td}$ (TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の $1/2+1$ )
TDDR	デッドタイム Td (TDER でデッドタイム生成をなしに設定した場合 1)
TCBR	PWM キャリア周期の $1/2$
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

【注】 TGRC\_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の  $1/2$  の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の  $1/2+1$  としてください。

#### (d) PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

#### (e) デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバーラップの関係にある PWM パルスを出力します。また、このノンオーバーラップ時間をデッドタイム時間と呼びます。

ノンオーバーラップ時間は、タイマデッドタイムデータレジスタ (TDDR) に設定します。TDDR に設定した値が、TCNT\_3 のカウンタスタート値となり、TCNT\_3 と TCNT\_4 のノンオーバーラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

#### (f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDER) の TDER ビットを 0 に設定します。TDER は、TDER = 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できません。

TGRA\_3、TGRC\_3 には PWM キャリア周期の  $1/2+1$  を設定し、タイマデッドタイムデータレジスタ (TDDR) には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 11.41 にデッドタイムを生成しない場合の動作例を示します。

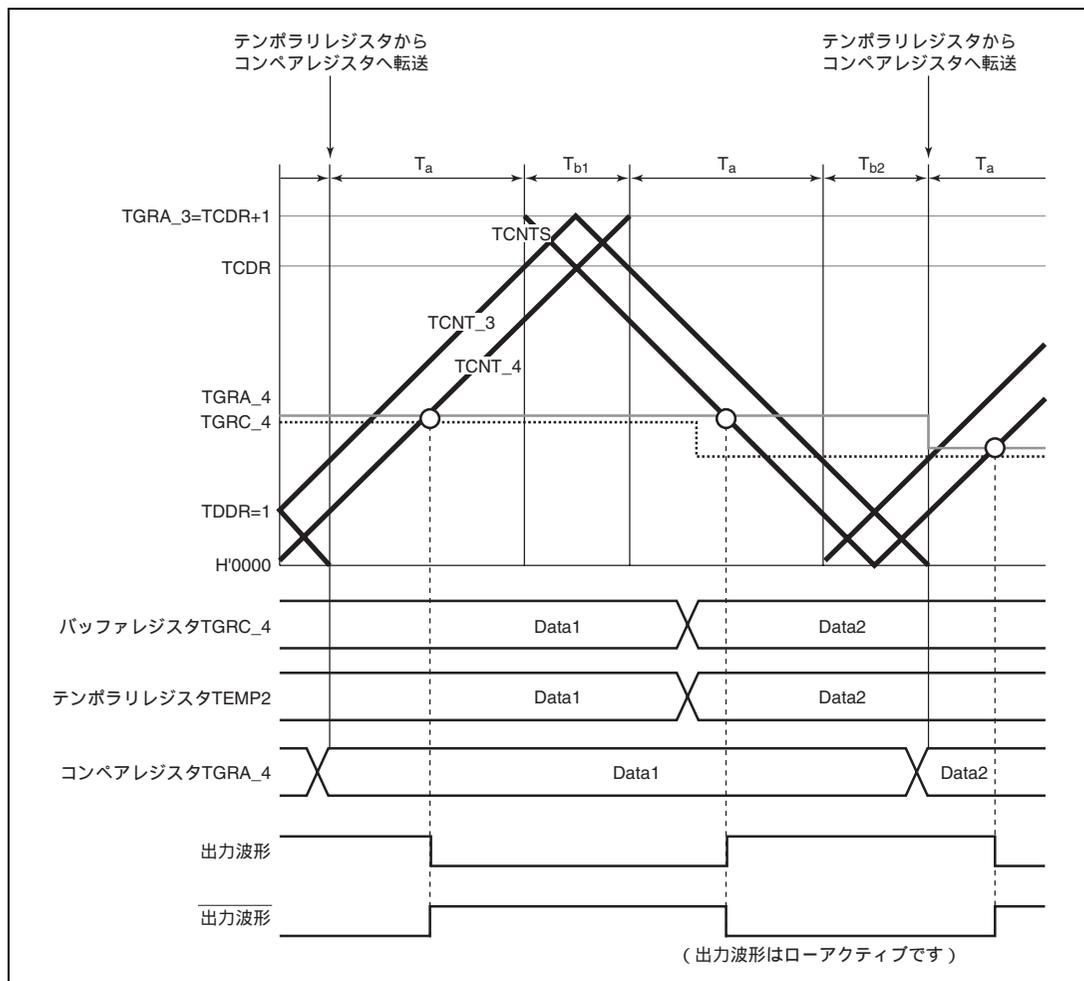


図 11.41 デッドタイムを生成しない場合の動作例

#### (g) PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT3 の上限値を設定する TGRA\_3 と TCNT\_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : TGRA\_3 の設定値 = TCDR の設定値 + TDDR の設定値

TCDR の設定値 > TDDR の設定値の 2 倍 + 2

デッドタイム生成なし : TGRA\_3 の設定値 = TCDR の設定値 + 1

TCDR の設定値 > 4

また、TGRA\_3、TCDR の設定は、バッファレジスタの TGRC\_3、TCBR に値を設定することで行ってください。TGRC\_3、TCBR に設定した値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 で選択した転送タイミングで TGRA\_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 11.42 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の「(h) レジスタデータの更新」の項を参照してください。

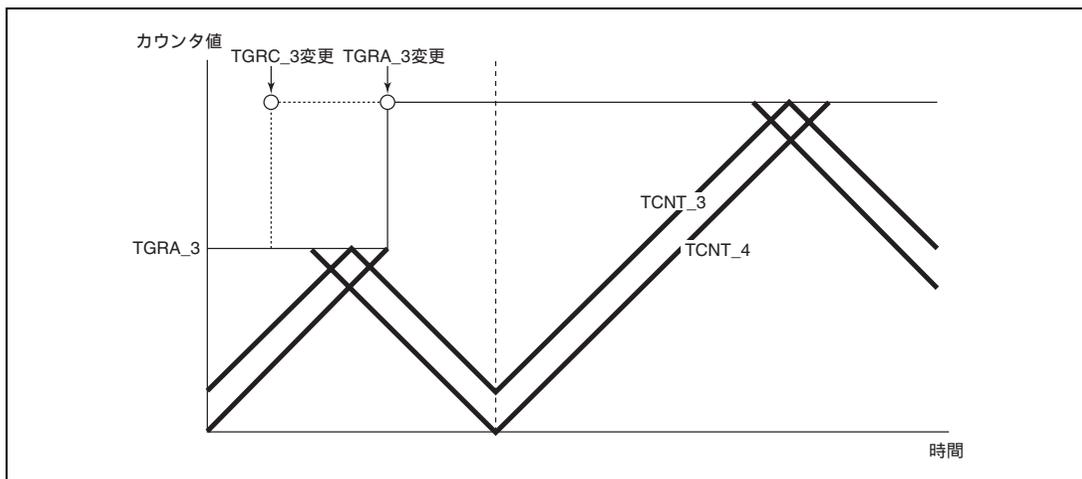


図 11.42 PWM 周期の変更例

#### (h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTs がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換えます。TCNTs がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTs が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ (TMDR) の MD3 ~ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 11.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD\_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD\_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD\_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD\_4 に書き込み動作を行ってください。またこのとき、TGRD\_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

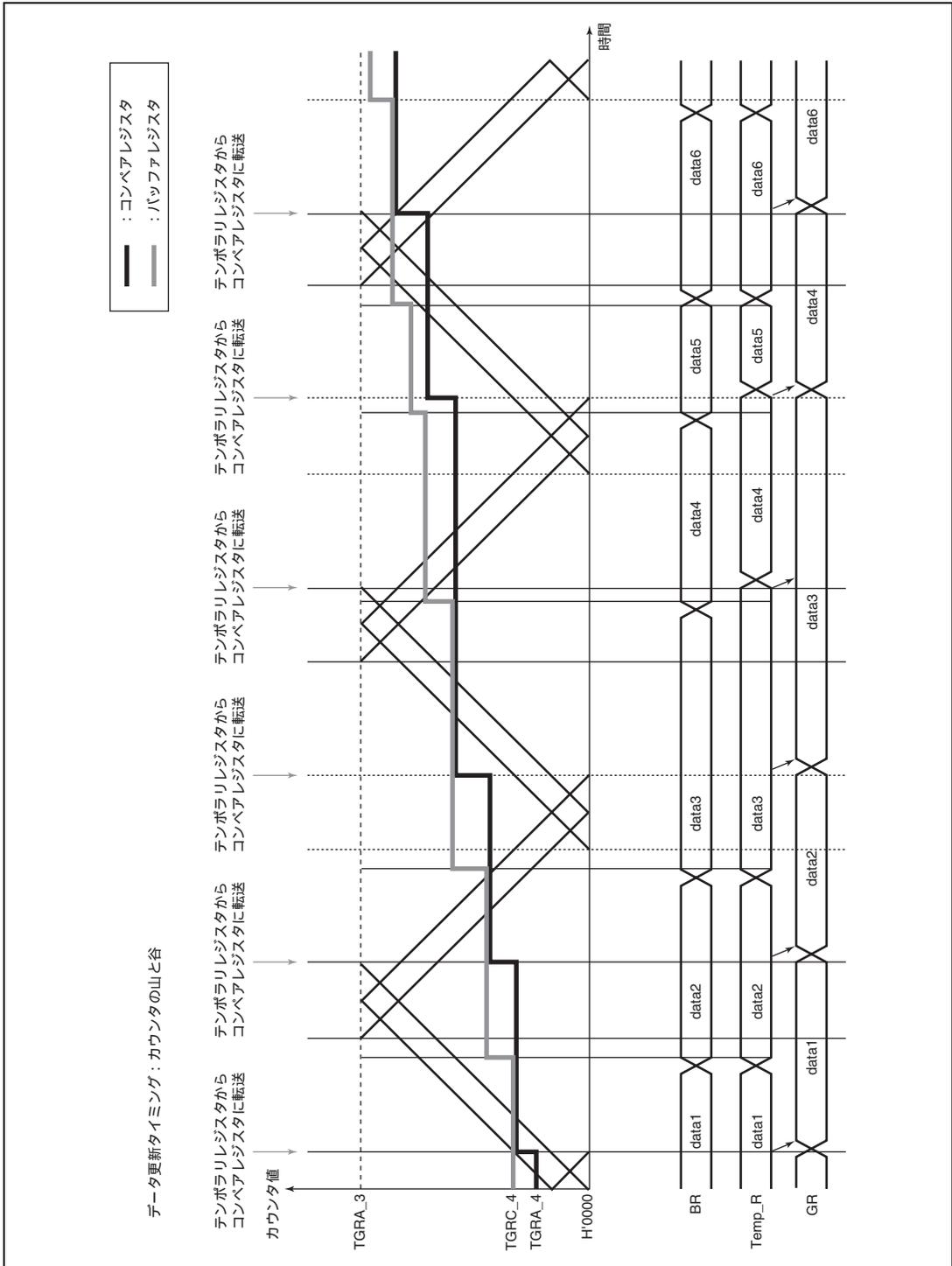


図 11.43 相補 PWM モードのデータ更新例

## (i) 相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1 (TOCR1) の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2 (TOCR2) の OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ (TMDR) で相補 PWM モードを設定してから TCNT\_4 がデッドタイムレジスタ (TDDR) に設定された値より大きくなるまで出力されます。

図 11.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 11.45 に示します。

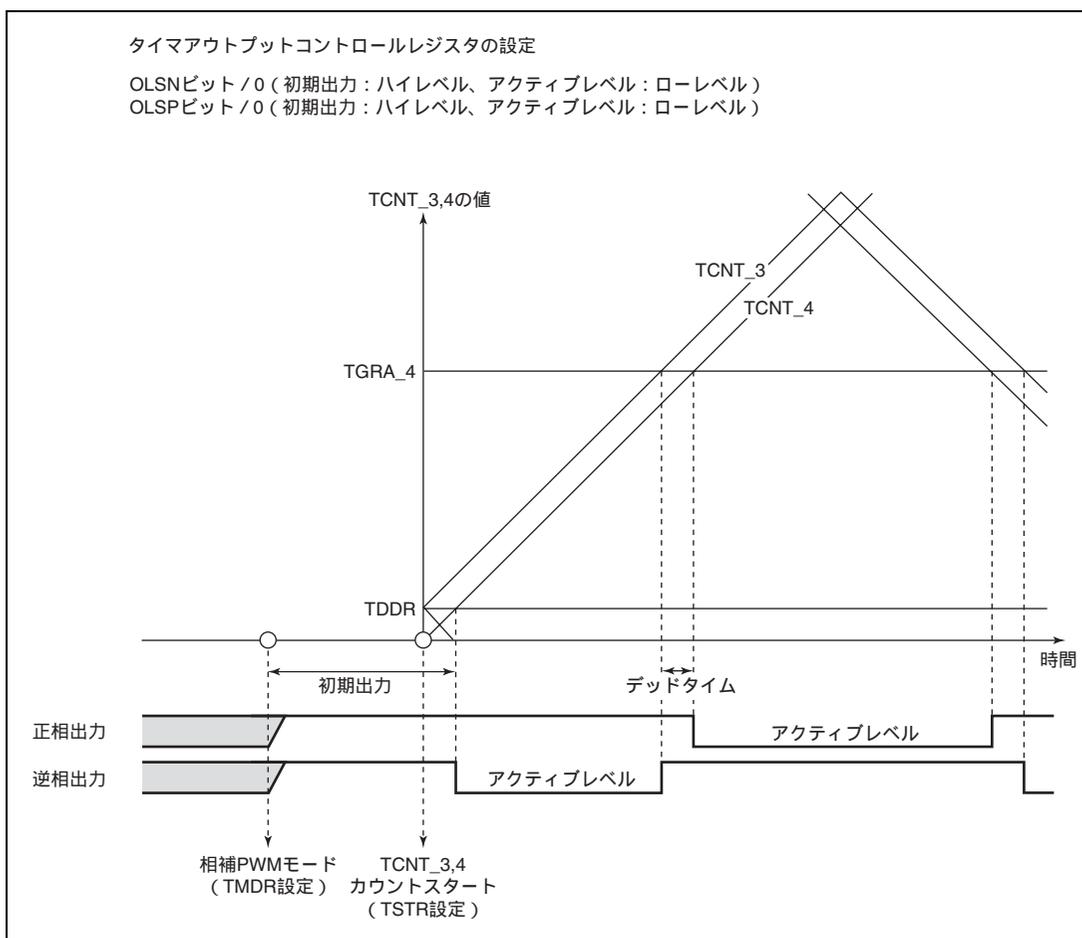


図 11.44 相補 PWM モードの初期出力例 (1)

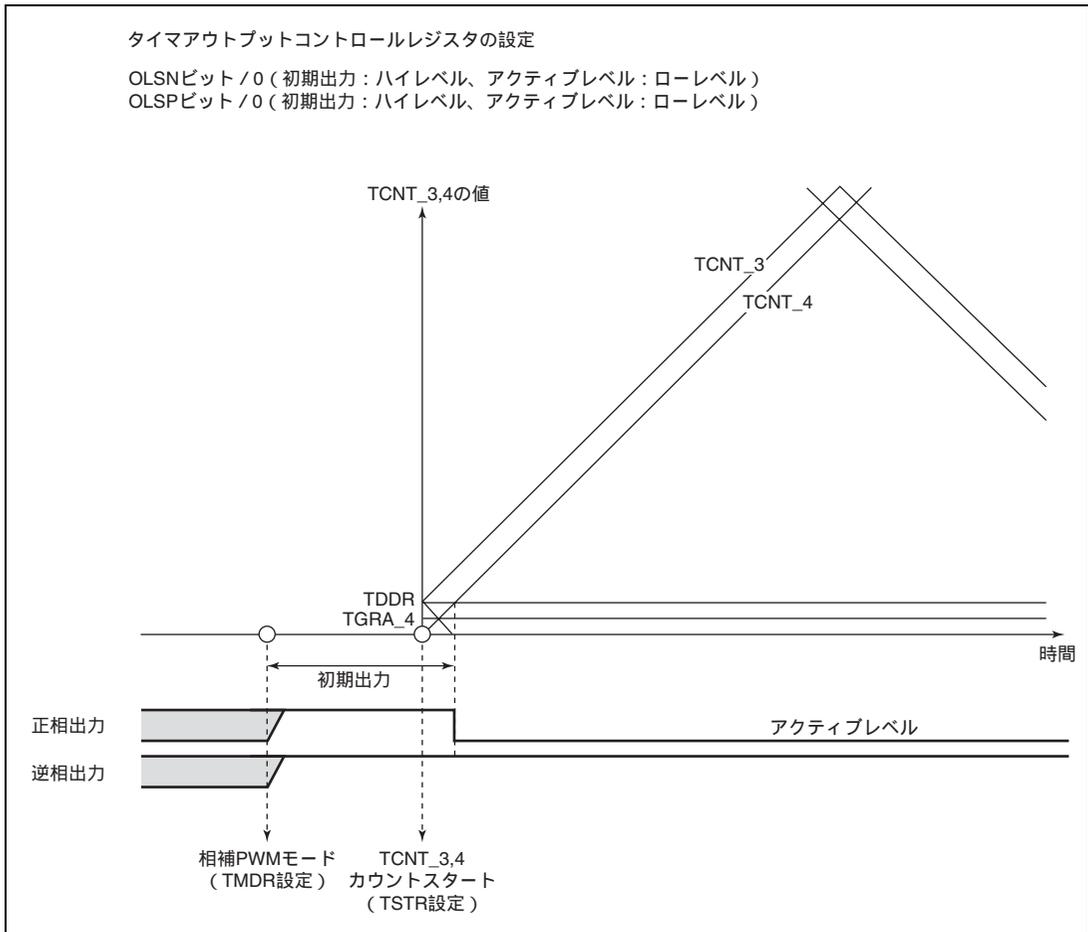


図 11.45 相補 PWM モードの初期出力例 (2)

## (j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバーラップ時間を持った PWM 波形を 3 相出力します。このノンオーバーラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0~100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 11.46 ~ 図 11.48 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 11.46 に示すように通常の場合のコンペアマッチは、a b c d (または c d a' b') の順番で発生します。

コンペアマッチが a b c d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c d a' b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 11.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を OFF します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです (ゆえに正相は OFF から OFF のため波形は変化しません)。

同様に、図 11.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

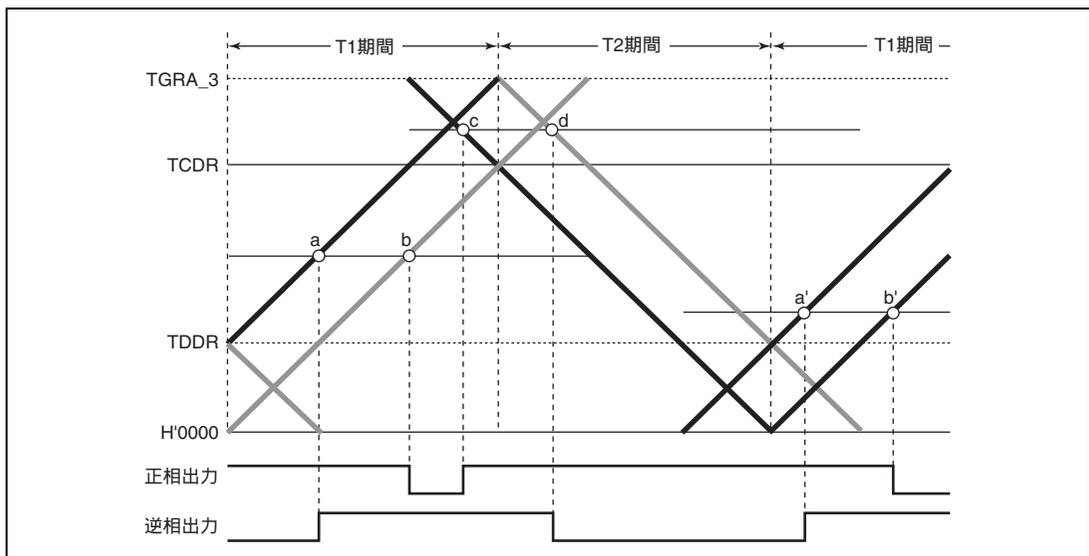


図 11.46 相補 PWM モード波形出力例 (1)

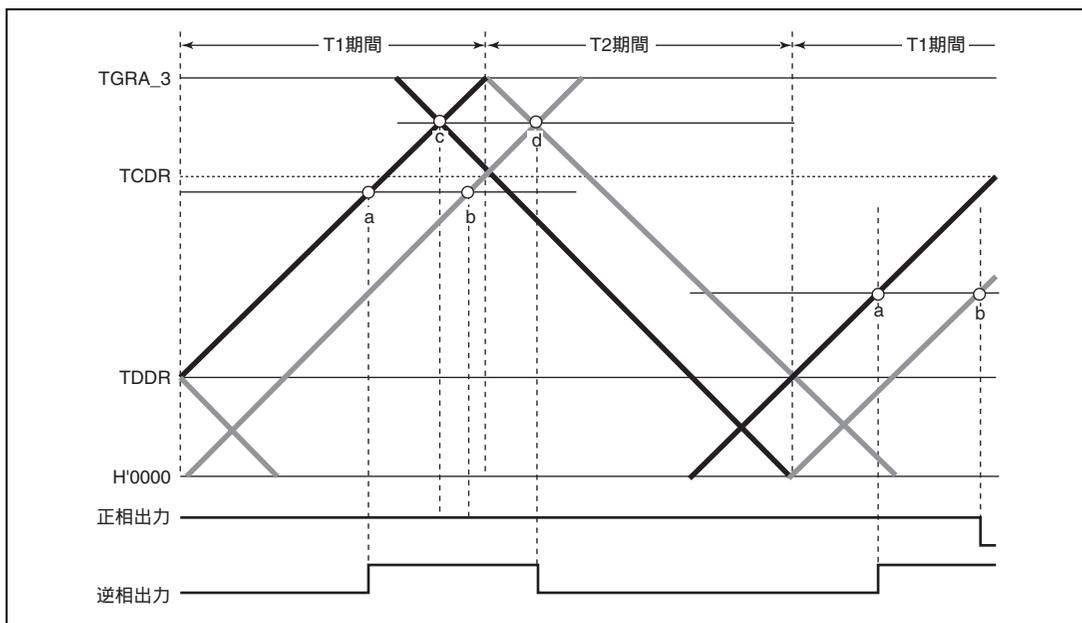


図 11.47 相補 PWM モード波形出力例 (2)

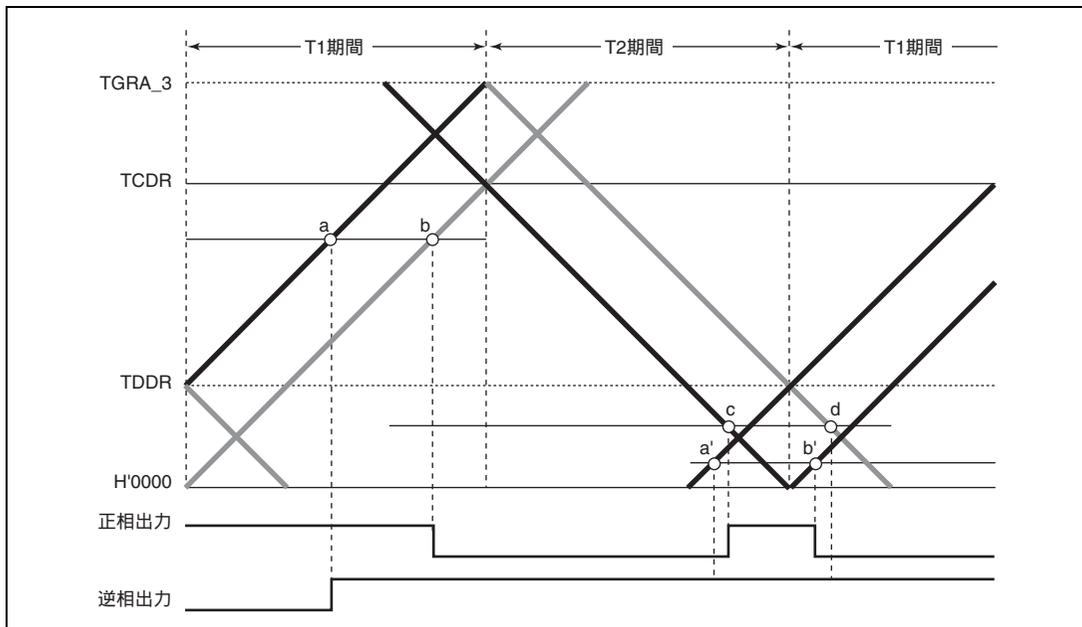


図 11.48 相補 PWM モード波形出力例 (3)

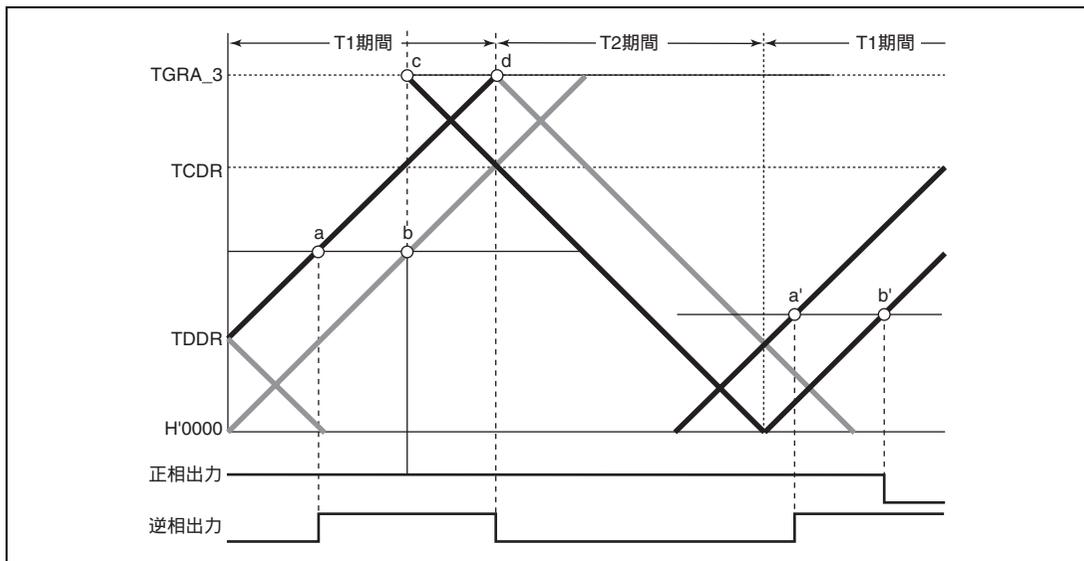


図 11.49 相補 PWM モード 0%、100%波形出力例 (1)

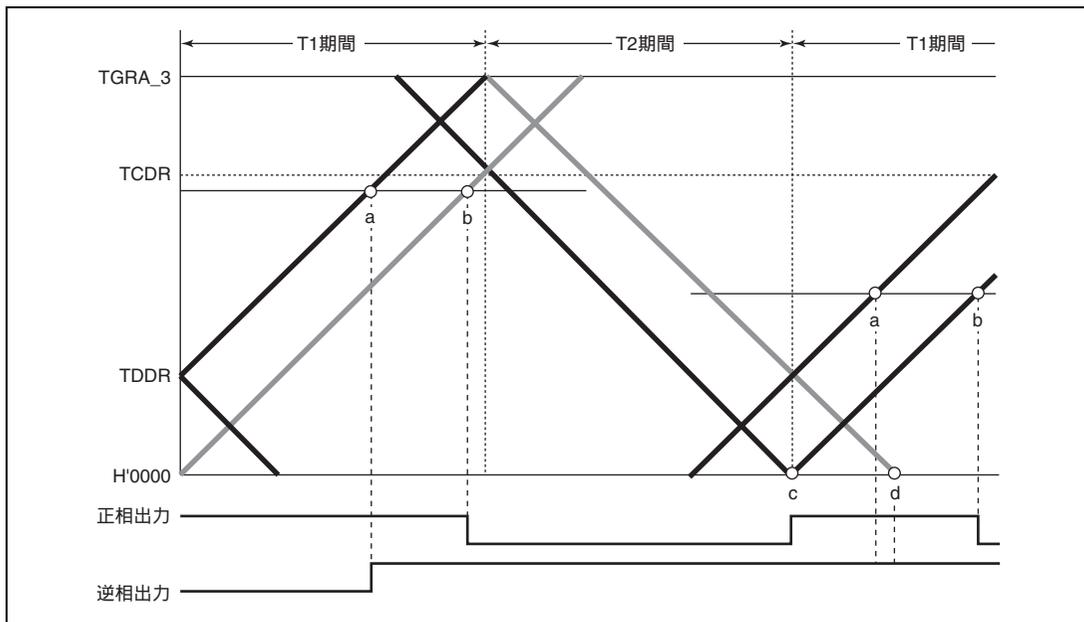


図 11.50 相補 PWM モード 0%、100%波形出力例 (2)

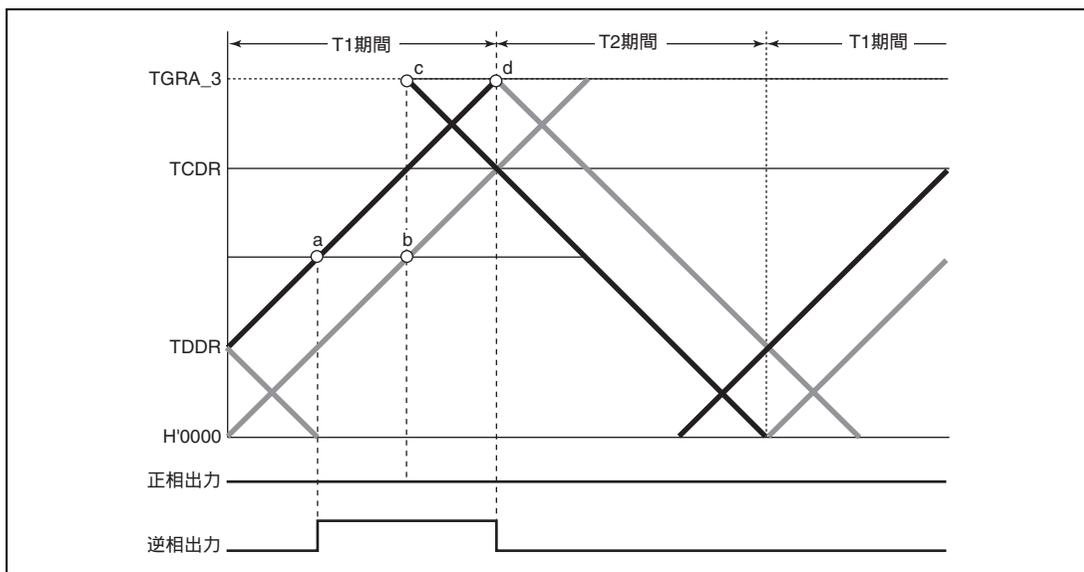


図 11.51 相補 PWM モード 0%、100%波形出力例 (3)

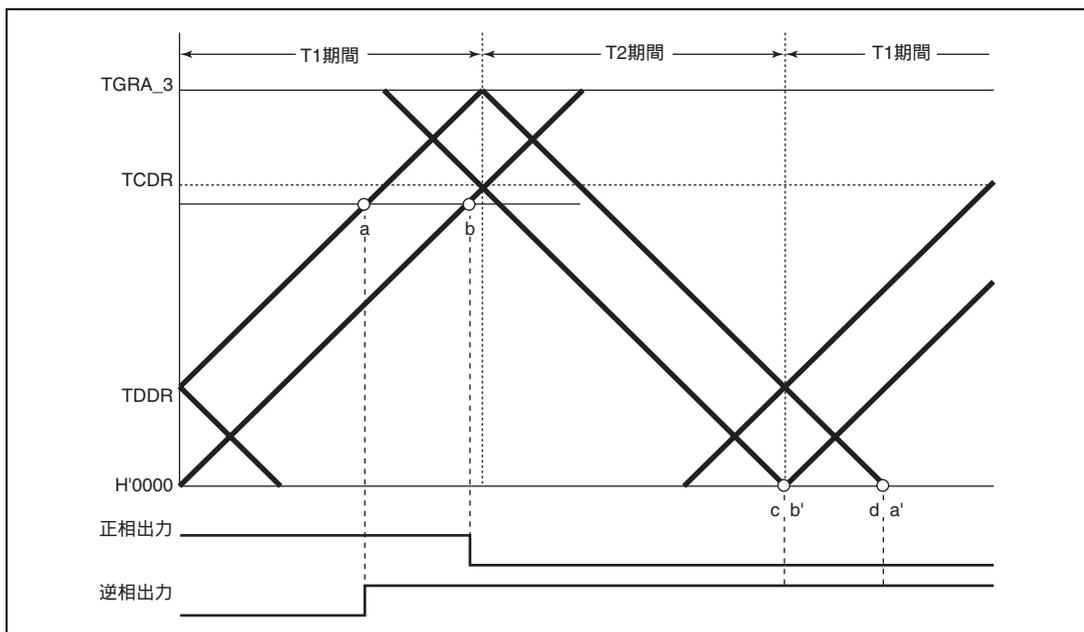


図 11.52 相補 PWM モード 0%、100%波形出力例 (4)

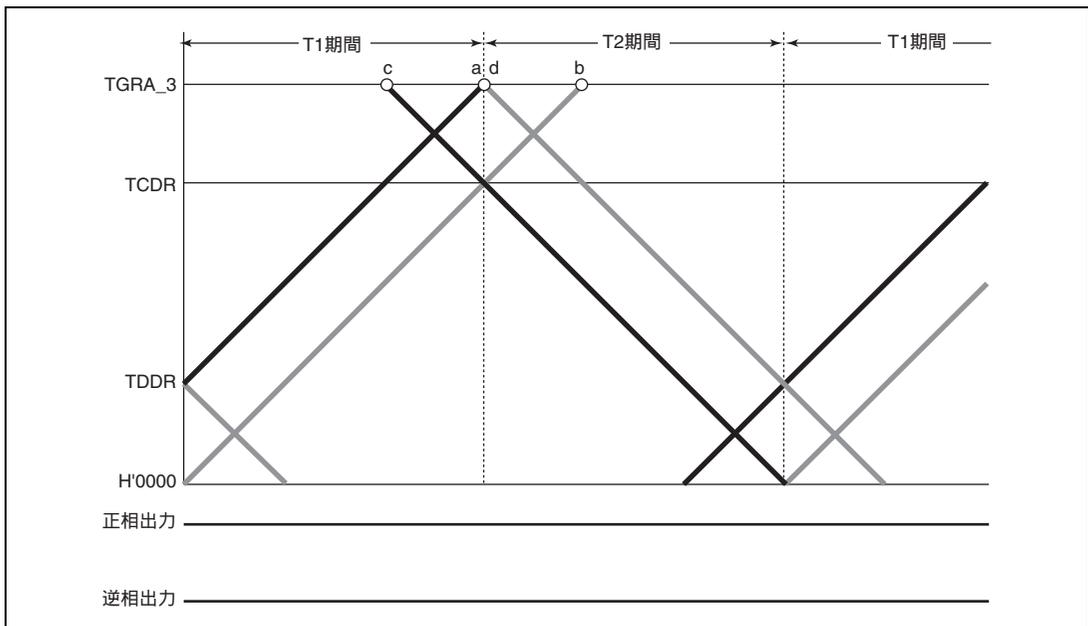


図 11.53 相補 PWM モード 0%、100%波形出力例 (5)

## (k) 相補 PWM モードのデューティ 0%、100%出力

相補 PWM モードでは、デューティ 0%、100%を任意に出力可能です。図 11.49 ~ 図 11.53 に出力例を示します。

デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA\_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

## (l) PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ (TOCR) の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 11.54 に示します。

この出力は、TCNT\_3 と TGRA\_3 のコンペアマッチと TCNT4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

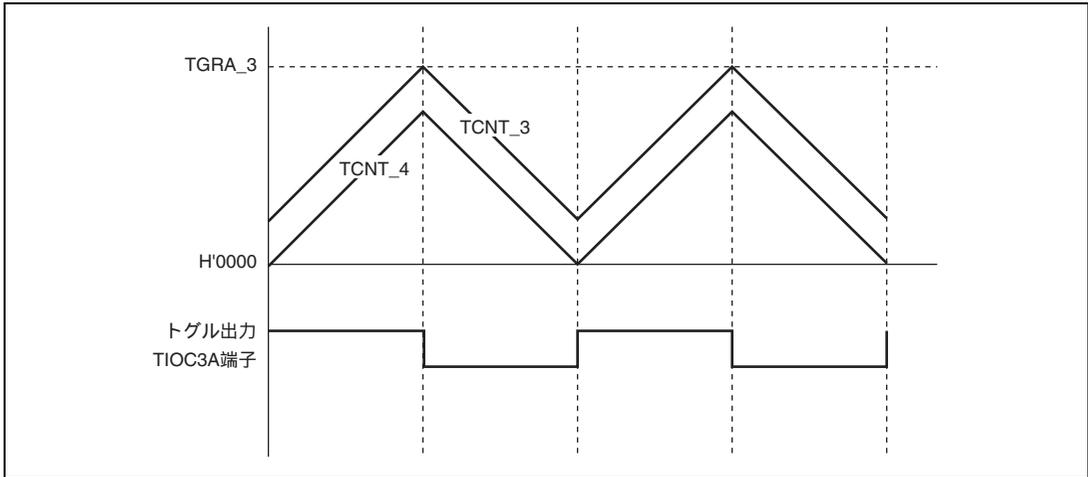


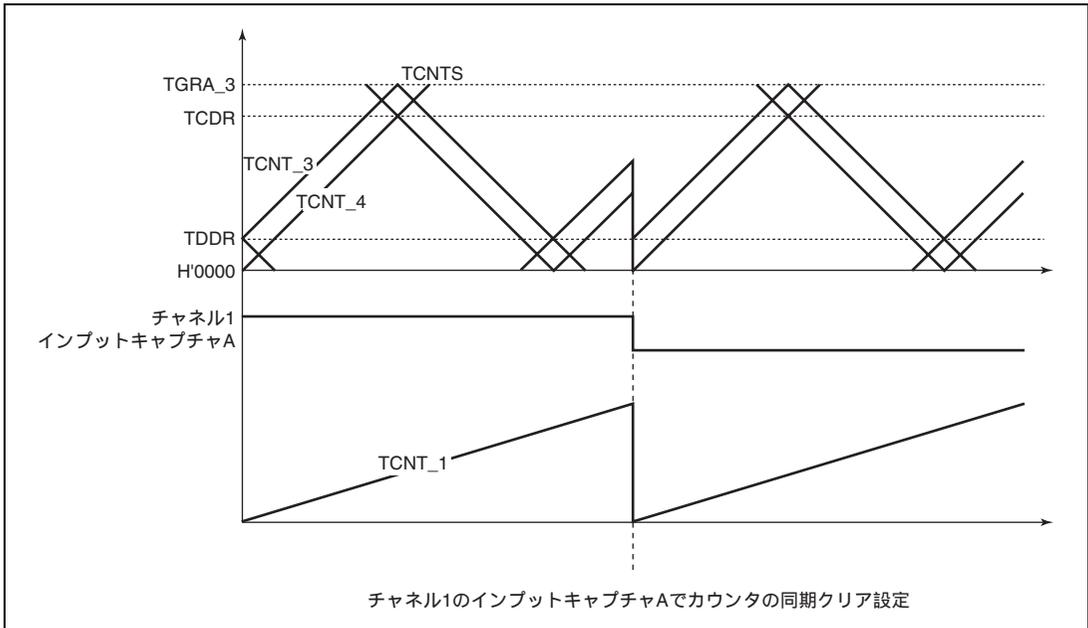
図 11.54 PWM 出力に同期したトグル出力波形例

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ (TSYR) により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT\_3、TCNT\_4 および TCNTS のクリアをすることが可能です。

図 11.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。



チャンネル1のインพุットキャプチャAでカウンタの同期クリア設定

図 11.55 他のチャネルに同期したカウンタクリア

## (n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の  $T_b$  区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 11.56 の、のような谷の  $T_b$  区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の  $T_b$  区間であっても、図 11.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑止する場合、コンペアレジスタ TGRB\_3、TGRA\_4、TGRB\_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「11.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。

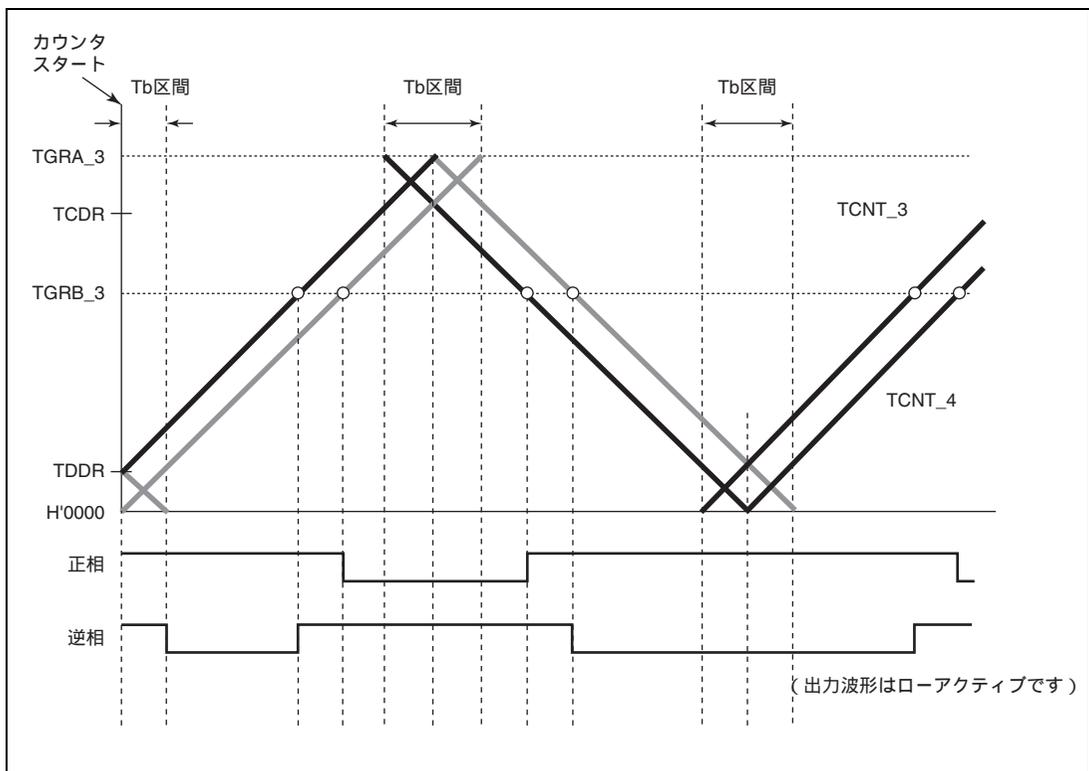


図 11.56 同期カウンタクリアタイミング

- 相補PWMモードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 11.57 に示します。

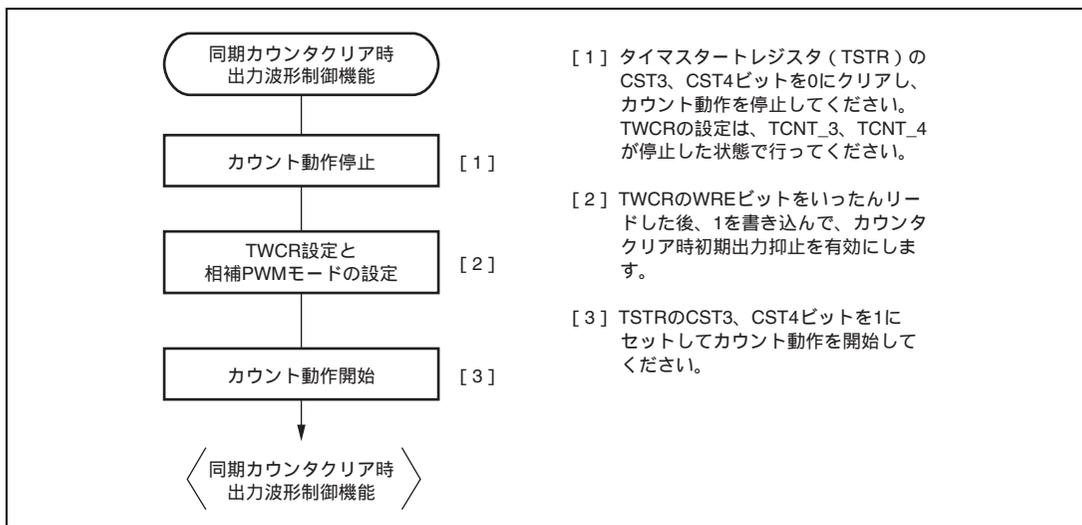


図 11.57 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補PWMモードでの同期カウンタクリア時出力波形制御動作例

図 11.58 ~ 図 11.61 に、TWCR の WRE ビットを 1 に設定した状態で MTU2 を相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 11.58 ~ 図 11.61 の同期カウンタクリアのタイミングは、それぞれ図 11.56 の 、 、 、 で示したタイミングです。

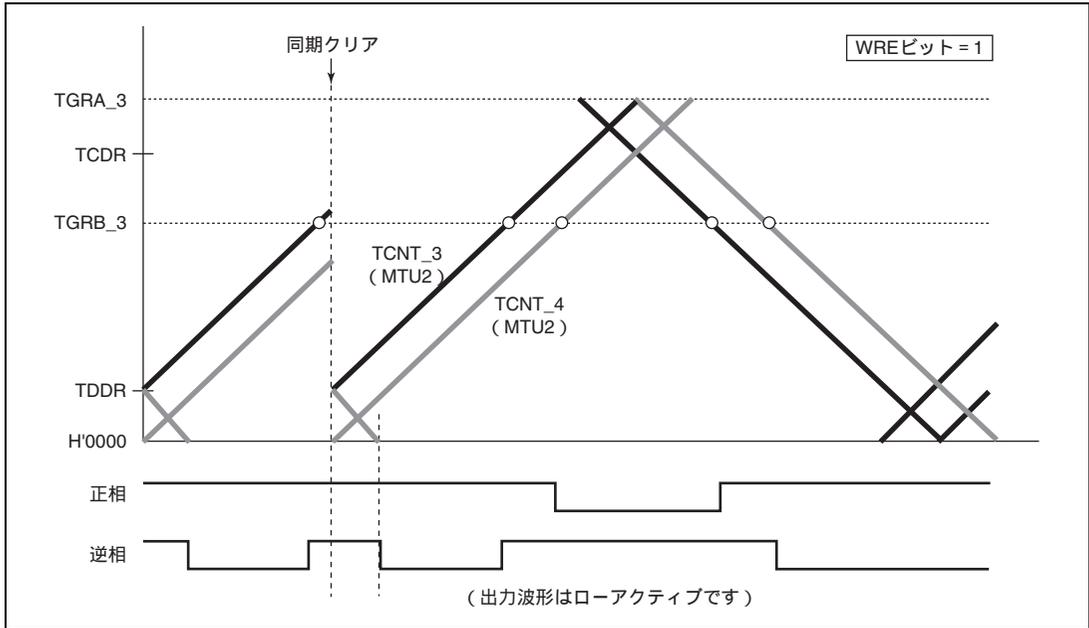


図 11.58 アップカウント中のデッドタイム時に同期クリアが発生した場合  
(図 11.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

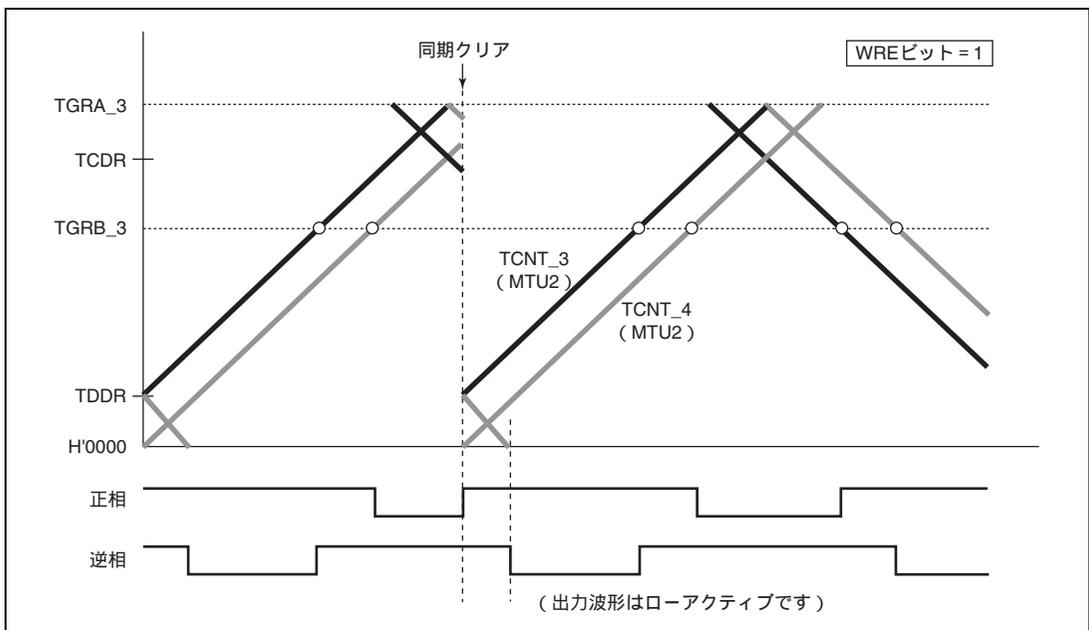


図 11.59 山の Tb 区間で同期クリアが発生した場合  
(図 11.56 のタイミング、MTU2 の TWCR レジスタの WRE ビット=1)

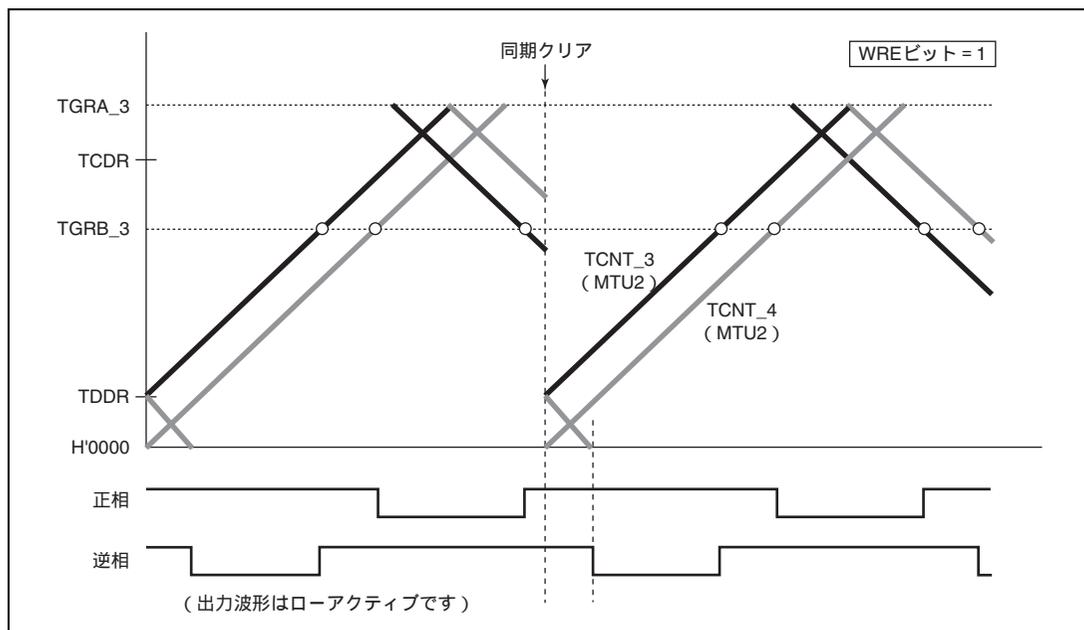


図 11.60 ダウンカウント中のデッドタイム時に同期クリアが発生した場合  
(図 11.56 のタイミング、TWCR レジスタの WRE ビット = 1)

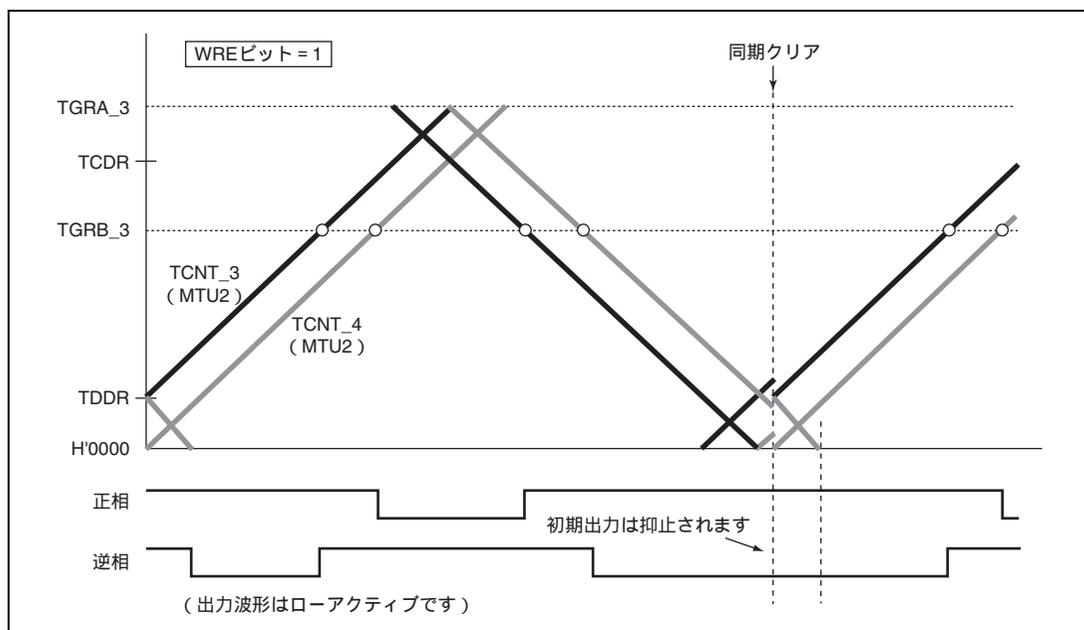


図 11.61 谷の Tb 区間で同期クリアが発生した場合  
(図 11.56 のタイミング、TWCR レジスタの WRE ビット = 1)

## (o) TGRA\_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ (TWCR) の CCE ビットを設定することにより、TGRA\_3 のコンペアマッチで TCNT\_3、TCNT\_4 および TCNTS をクリアすることが可能です。

図 11.62 に動作例を示します。

- 【注】
1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
  2. 他のチャンネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYR) の SYNC0 ~ SYNC4 ビットを 1 に設定しないでください)
  3. PWM デューティは、H'0000 を設定しないでください。
  4. タイマアウトプットコントロールレジスタ 1 (TOCR1) の PSYE ビットを 1 に設定しないでください。

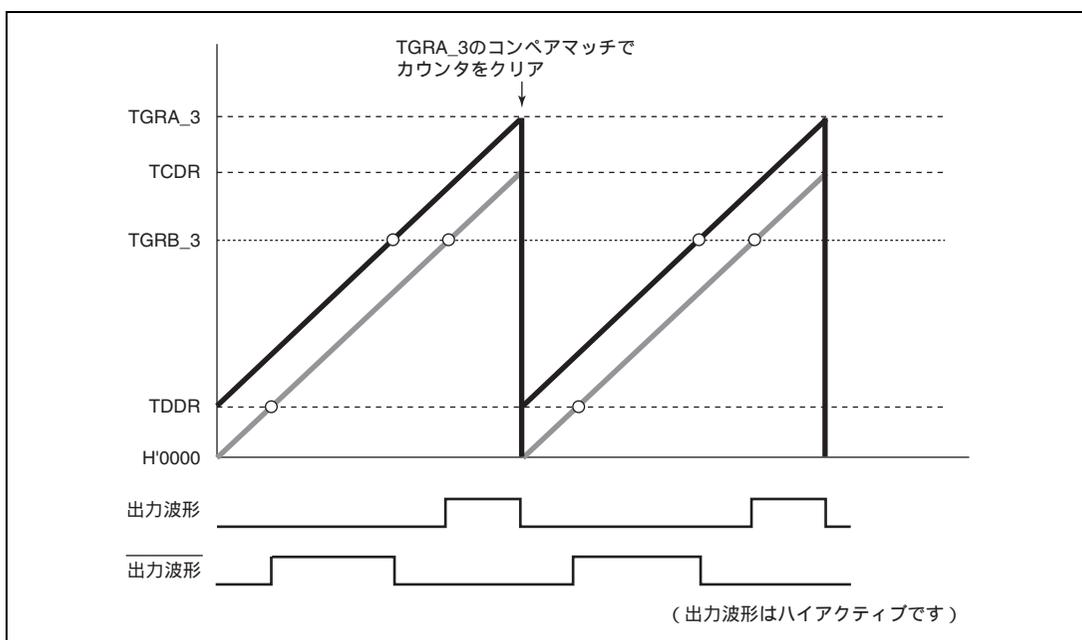


図 11.62 TGRA\_3 のコンペアマッチにおけるカウンタクリアの動作例

## (p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ (TGCR) を使ってブラシレス DC モータを簡単に制御することができます。図 11.63 ~ 図 11.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り換えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャンネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します (PFC で設定してください)。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り換わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り換わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ (TOCR) の OLSN ビット、OLSP ビットで設定できます。

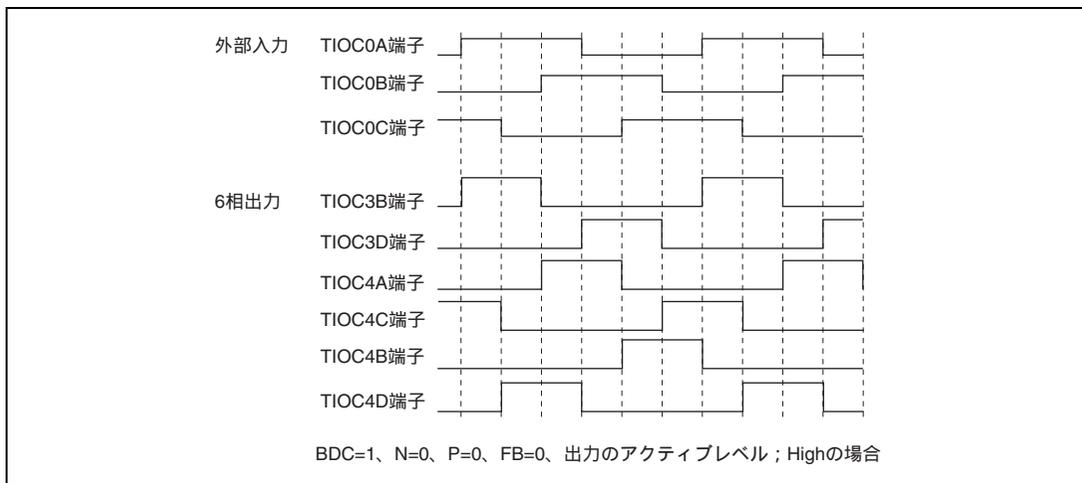


図 11.63 外部入力による出力相の切り換え動作例 (1)

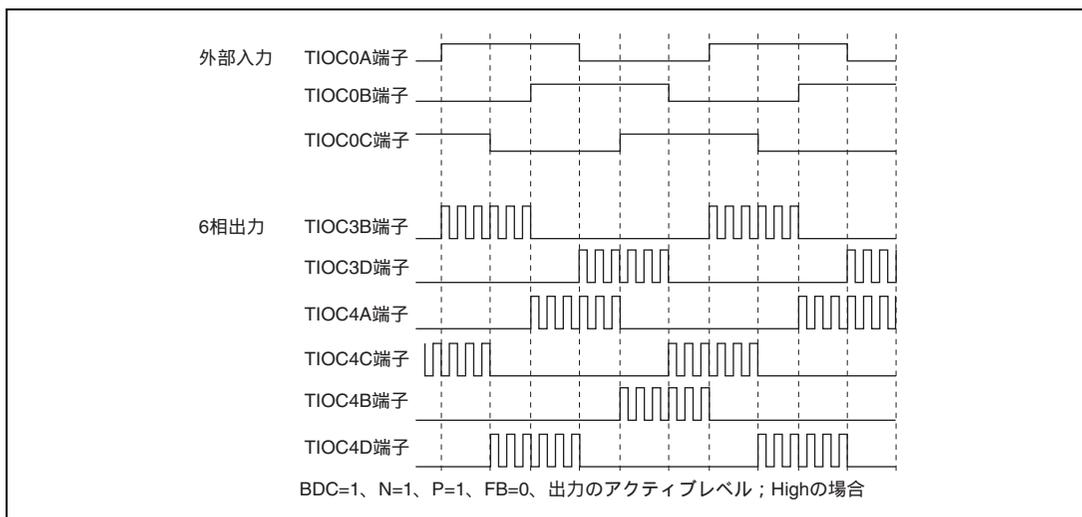


図 11.64 外部入力による出力相の切り換え動作例 (2)

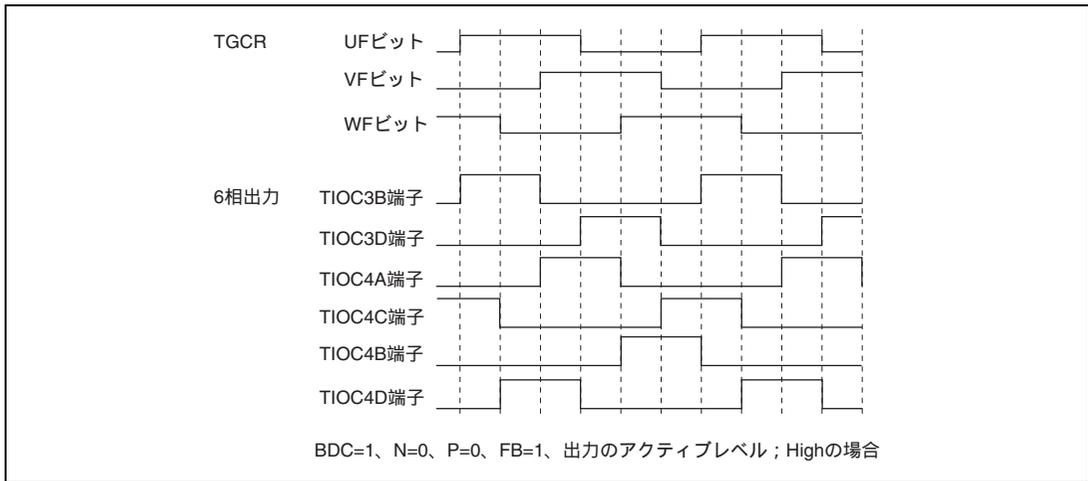


図 11.65 UF、VF、WF ビット設定による出力相の切り換え動作例 (1)

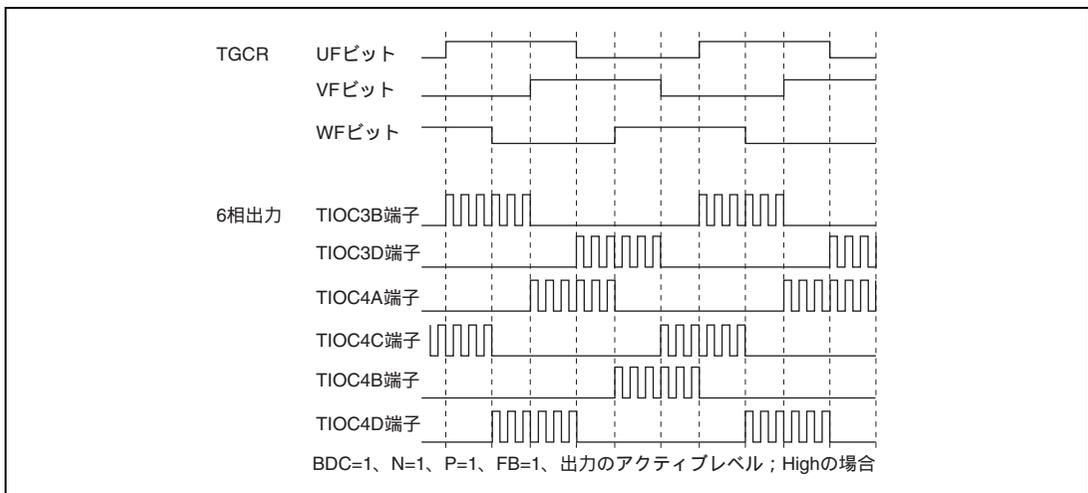


図 11.66 UF、VF、WF ビット設定による出力相の切り換え動作例 (2)

## (q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA\_3 のコンペアマッチ、TCNT\_4 のアンダフロー（谷）、チャンネル 3、4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

TGRA\_3 のコンペアマッチを使用して開始要求を設定すると、TCNT\_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ (TIER) の TTGE ビットを 1 にセットすることで設定できます。TCNT\_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER\_4 の TTGE2 ビットを 1 にセットすることで設定できます。

## (3) 相補 PWM モードの割り込み間引き機能

チャンネル 3 とチャンネル 4 の TGIA\_3 (山の割り込み)、および TCIV\_4 (谷の割り込み) は、タイマ割り込み間引き設定レジスタ (TITCR) を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ (TBTER) を設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

タイマ A/D 変換要求コントロールレジスタ (TADCR) を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「11.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

タイマ割り込み間引き設定レジスタ (TITCR) の設定は、TIER\_3、TIER\_4 レジスタの設定で TGIA\_3 と TCIV\_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA\_3、TCFV\_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

## (a) 割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を図 11.67 に示します。また、割り込み間引き回数の変更可能期間を図 11.68 に示します。

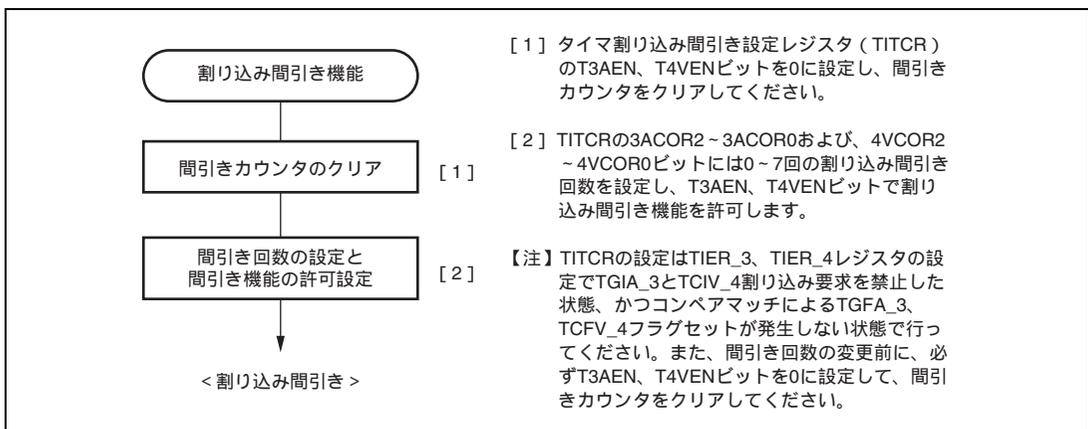


図 11.67 割り込み間引き機能の設定手順例

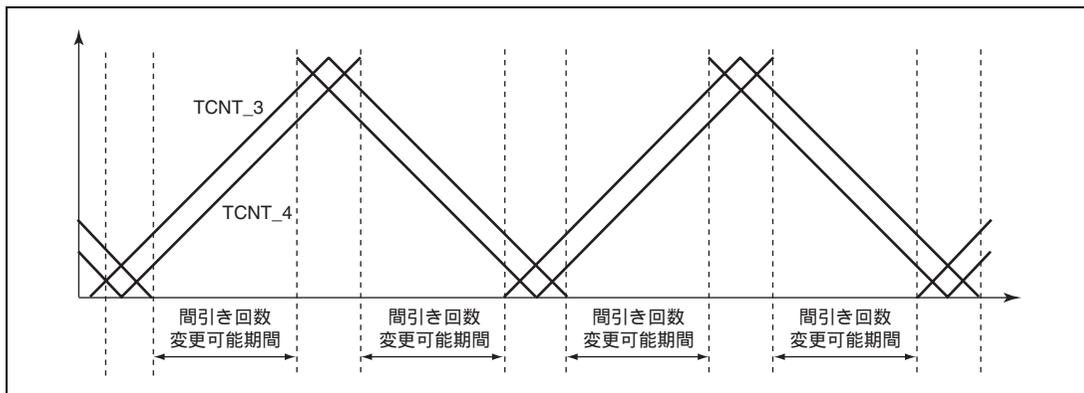


図 11.68 割り込み間引き回数の変更可能期間

## (b) 割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ (TITCR) の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA\_3 割り込み間引きの動作例を図 11.69 に示します。

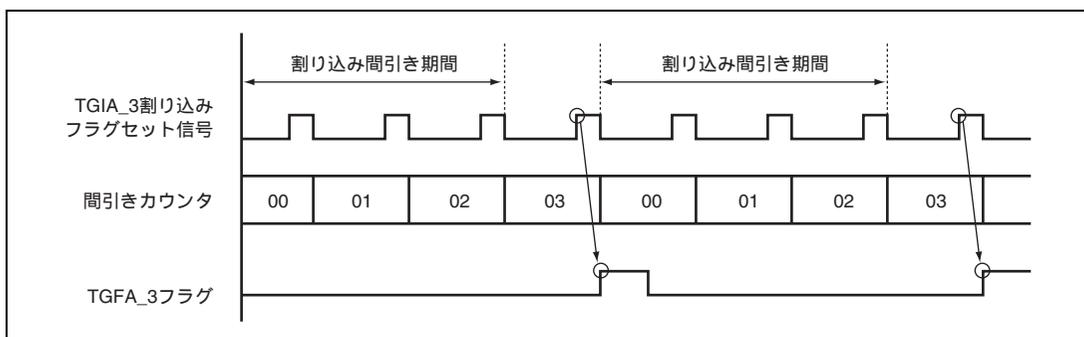


図 11.69 割り込み間引き機能の動作例

## (c) 割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ (TBTER) レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑制する設定 (BTE1 = 0、BTE0 = 1) にした場合の動作例を図 11.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例を図 11.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

割り込み発生からバッファレジスタの書き換えタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。

TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 11.72 に示します。

【注】 本機能は、割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット (3ACOR、4VCOR) を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ (TBTER) の BTE1 を 0 に設定）してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

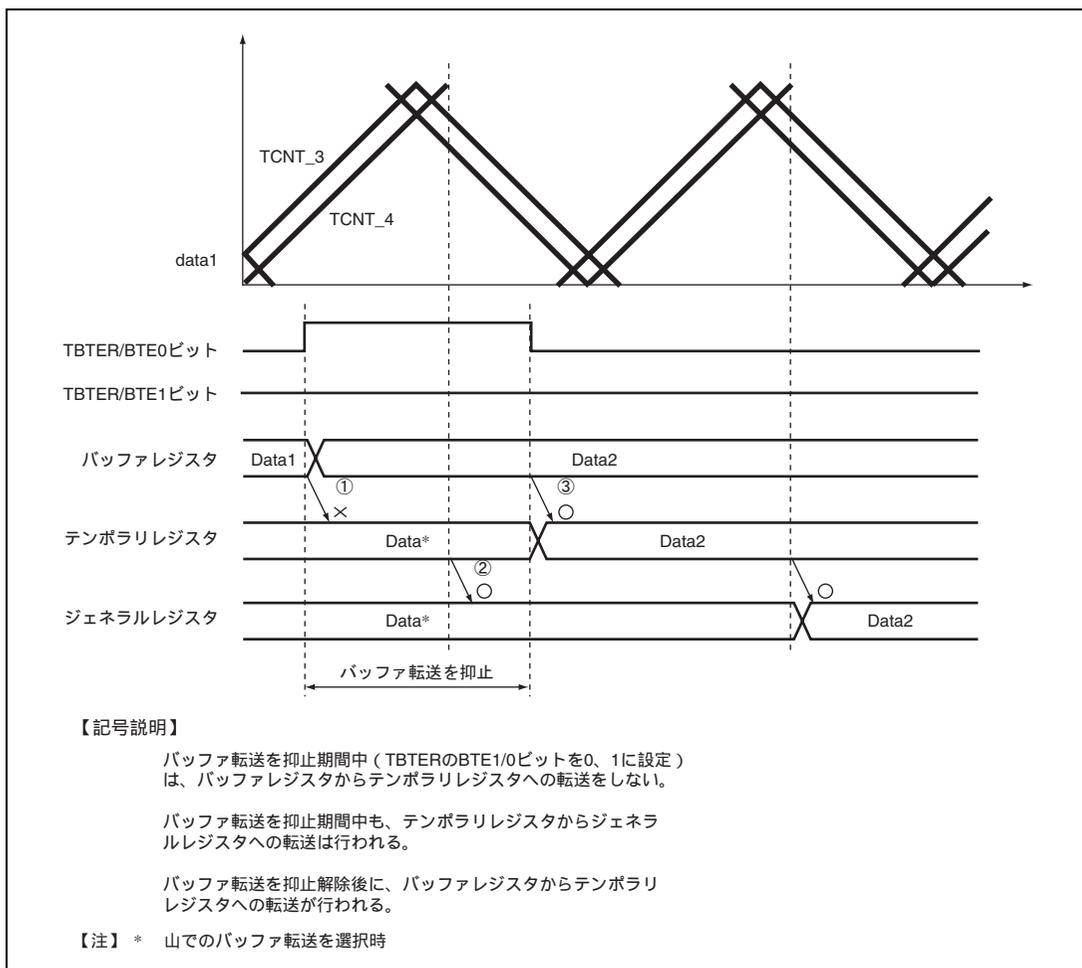


図 11.70 バッファ転送を抑制する設定（BTE1 = 0、BTE0 = 1）にした場合の動作例

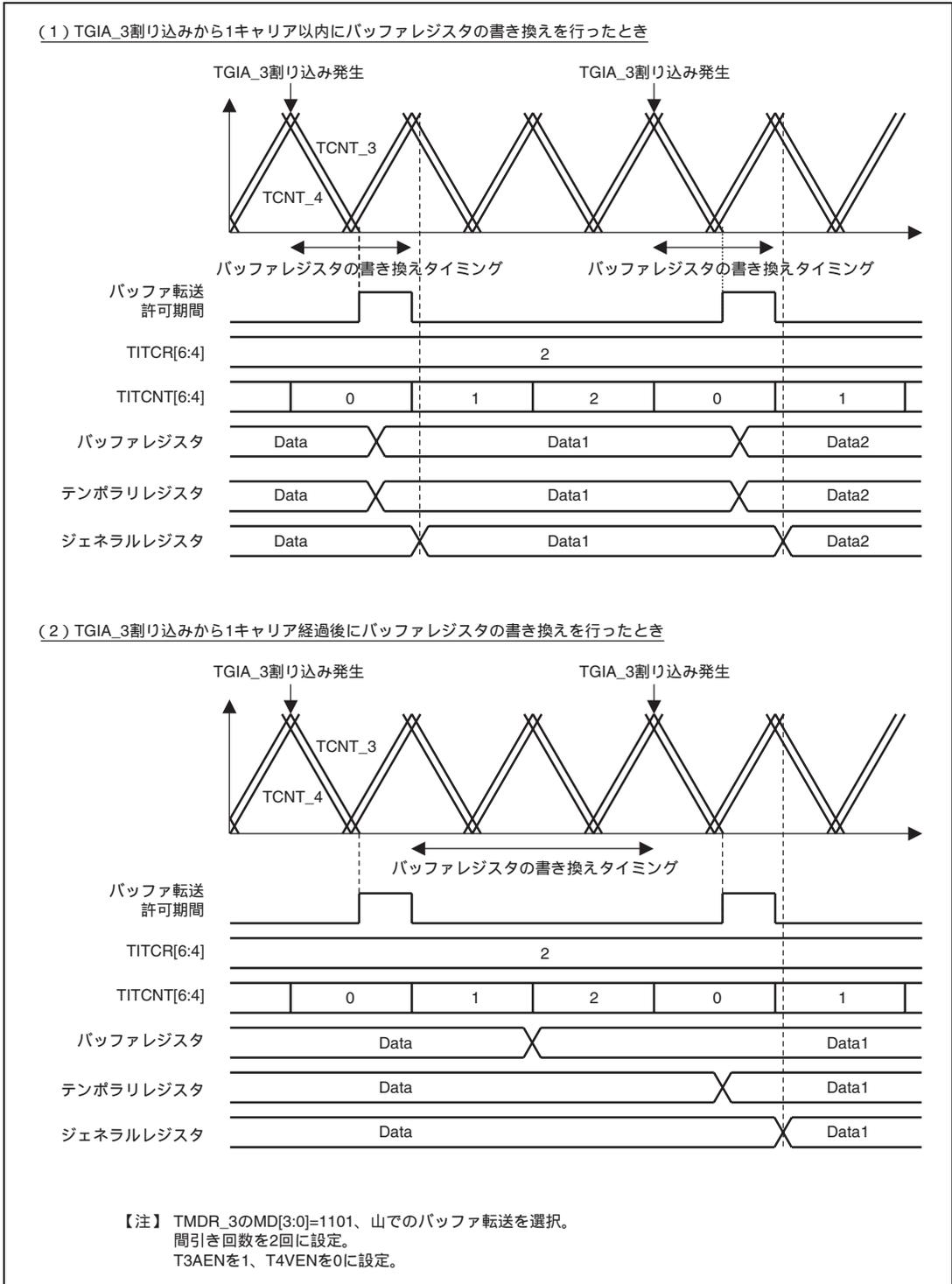


図 11.71 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例

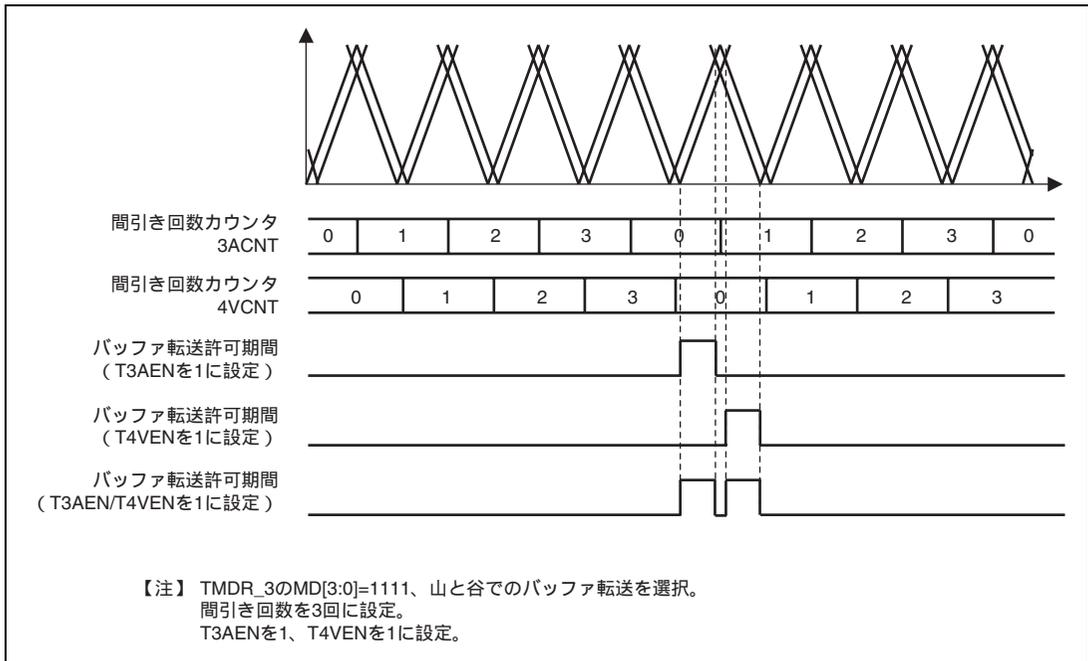


図 11.72 タイマ割り込み間引き設定レジスタ (TITCR) の T3AEN、T4VEN ビットの設定と  
バッファ転送許可期間の関係

#### (4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

##### (a) レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ (TRWER) の RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタはチャンネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR\_3 および TCR\_4、TMDR\_3 および TMDR\_4、TIORH\_3 および TIORH\_4、TIO RL\_3 および TIO RL\_4、TIER\_3 および TIER\_4、TCNT\_3 および TCNT\_4、TGRA\_3 および TGRA\_4、TGRB\_3 および TGRB\_4、TOER、TOCR、TGCR、TCDR、TDDR 計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

### 11.4.9 A/D 変換開始要求ディレイド機能

チャンネル 4 のタイマ A/D 変換開始要求コントロールレジスタ (TADCR)、タイマ A/D 起動要求用周期レジスタ (TADCORA\_4、TADCORB\_4)、タイマ A/D 起動要求用周期バッファレジスタ (TADCOBRA\_4、TADCOBRB\_4) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT\_4 と TADCORA\_4、TADCORB\_4 を比較し、TCNT\_4 と TADCORA\_4、TADCORB\_4 が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN) を間引くことが可能です。

- A/D変換開始要求ディレイド機能の設定手順例

A/D変換開始要求ディレイド機能の設定手順例を図11.73に示します。

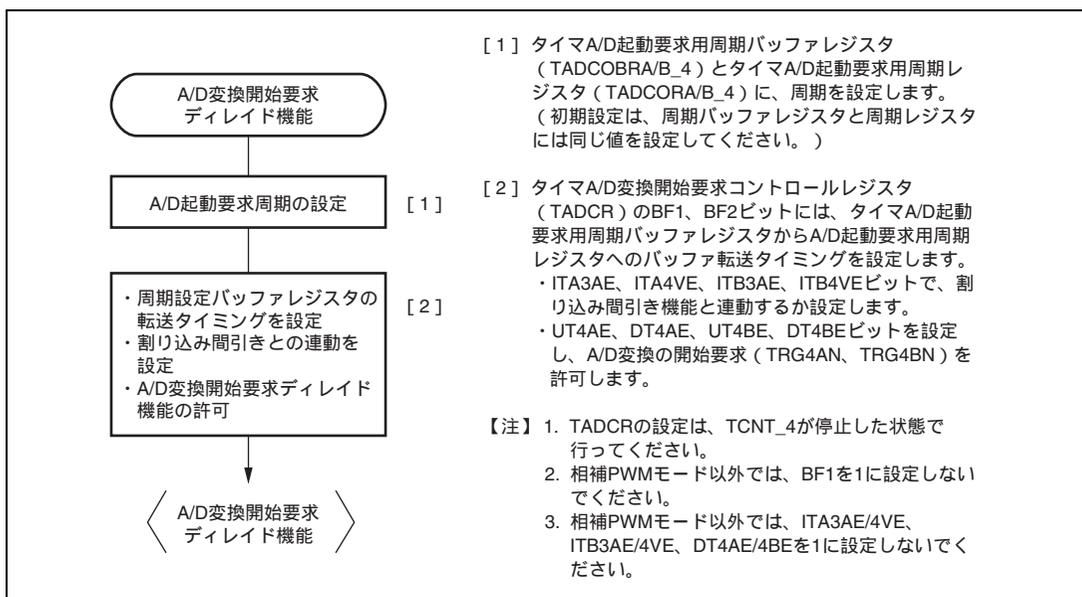


図 11.73 A/D 変換開始要求ディレイド機能の設定手順例

- A/D変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングをTCNT\_4の谷に設定し、TCNT\_4のダウンカウント時にA/D変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D変換の開始要求信号 (TRG4AN) の基本動作例を図11.74に示します。

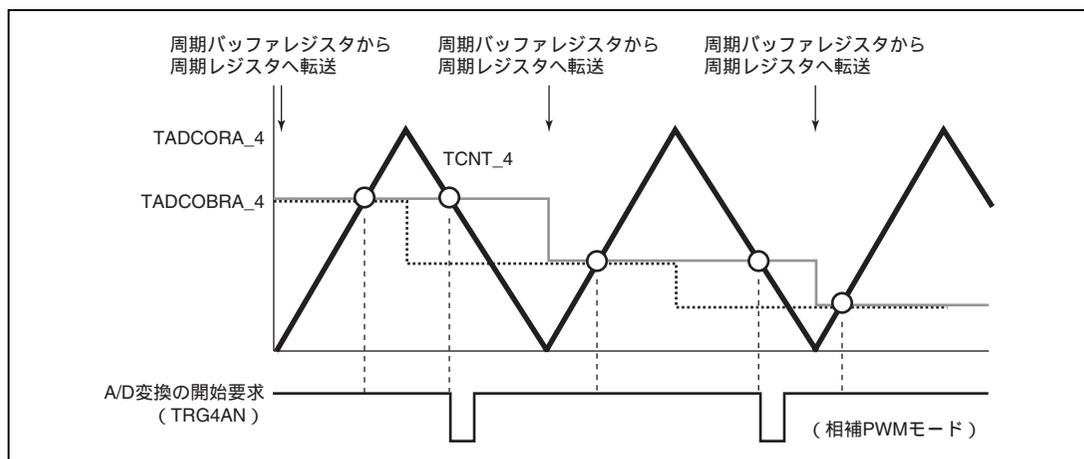


図 11.74 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

- バッファ転送

タイマA/D起動要求用周期設定レジスタ (TADCORA/B\_4) のデータ更新は、タイマA/D起動要求用周期設定バッファレジスタ (TADCOBRA/B\_4) にデータを書き込むことにより行います。タイマA/D起動要求用周期設定バッファレジスタからタイマA/D起動要求用周期設定レジスタへの転送タイミングは、タイマA/D変換開始要求コントロールレジスタ (TADCR\_4) のBF1、BF0ビットを設定することにより選択することができます。

- 割り込み間引き機能と連動したA/D変換開始要求ディレイド機能

タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VEビットの設定により、割り込み間引き機能と連動してA/D変換の開始要求 (TRG4AN、TRG4BN) を行うことが可能です。TCNT\_4のアップカウント時、およびダウンカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図11.75に示します。

また、TCNT\_4のアップカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能と連動した場合のA/D変換の開始要求信号 (TRG4AN) の動作例を図11.76に示します。

【注】 本機能は割り込み間引き機能と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR) のT3AEN、T4VEN ビットを0に設定したとき、またはTITCRの間引き回数設定ビット (3ACOR、4VCOR) を0に設定したとき) は、必ず割り込み間引き機能と連動しない (タイマA/D変換開始要求コントロールレジスタ (TADCR) のITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを0に設定) 設定にしてください。

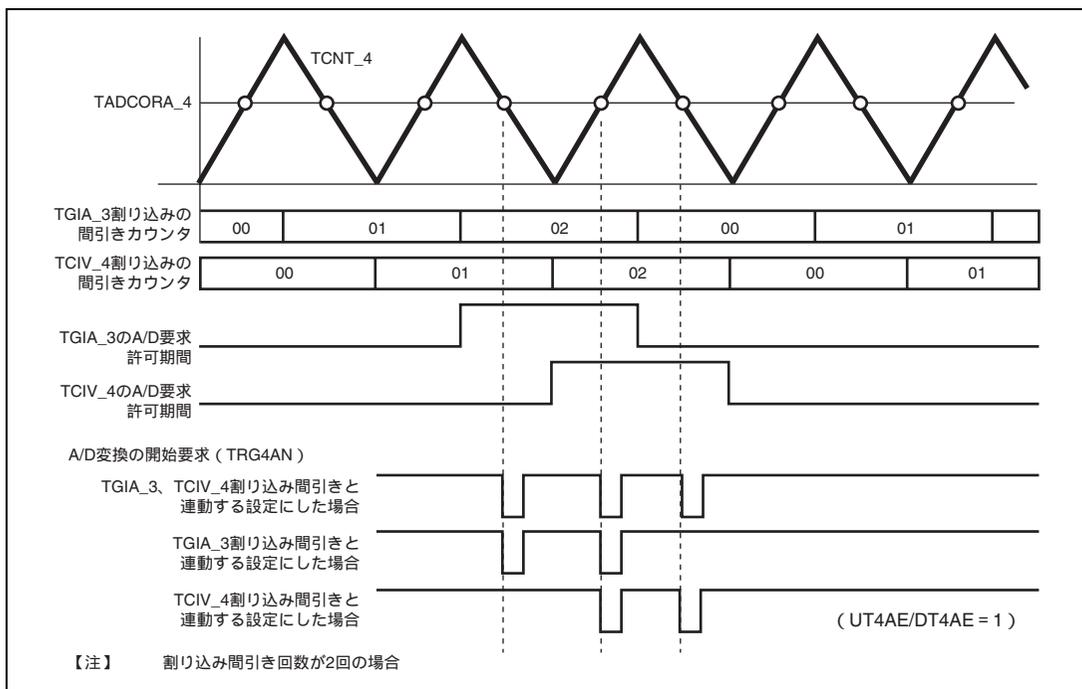


図 11.75 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

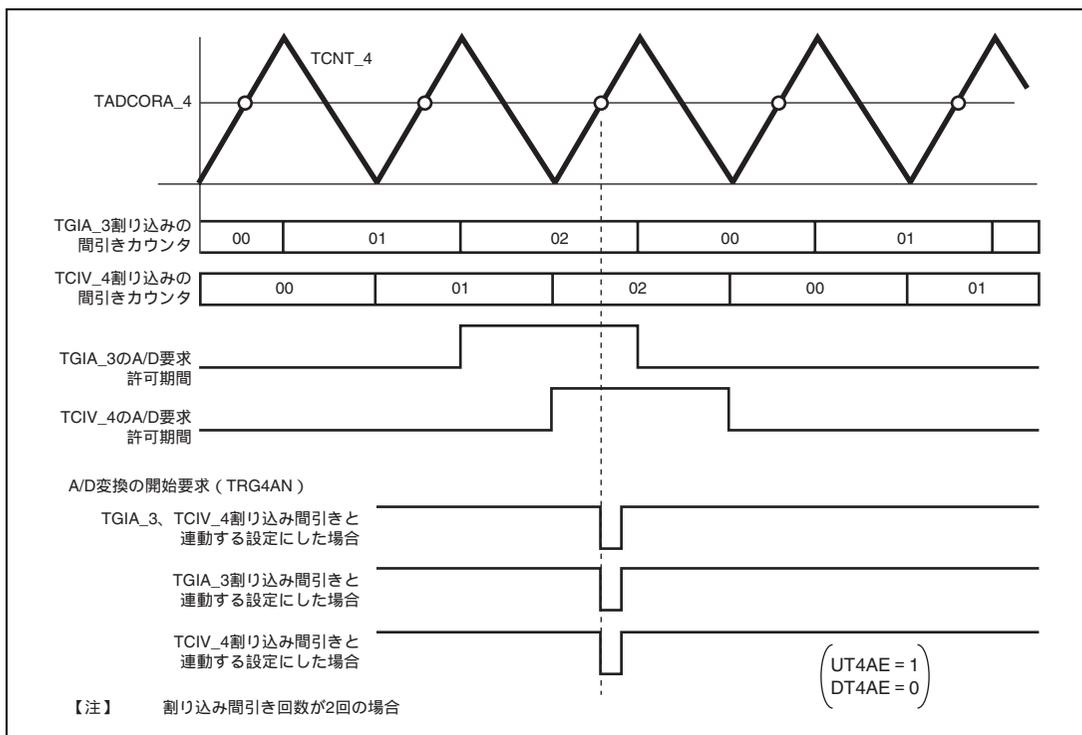


図 11.76 割り込み間引き機能と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例

### 11.4.10 相補 PWM の「山/谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 11.77 は TCNT はフリーランでクリアせずを使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

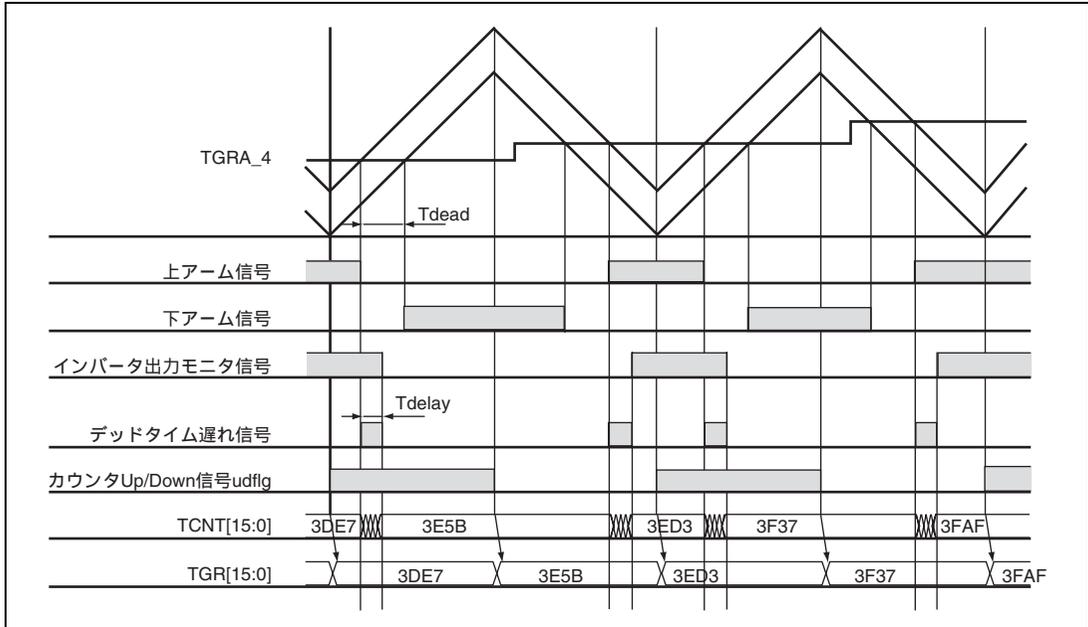


図 11.77 相補 PWM の「山/谷」での TCNT キャプチャ動作

## 11.5 割り込み要因

### 11.5.1 割り込み要因と優先順位

MTU2 の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 11.55 に MTU2 の割り込み要因の一覧を示します。

表 11.55 MTU2 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位
0	TGIA_0	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	高 ↑     ↓ 低
	TGIB_0	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	不可	
	TGIC_0	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	不可	
	TGID_0	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	不可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可	
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	
	TGIB_1	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	不可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	
	TGIB_2	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	不可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	
	TGIB_3	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	不可	
	TGIC_3	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	不可	
	TGID_3	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	不可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	

チャンネル	名称	割り込み要因	割り込みフラグ	DMACの起動	優先順位
4	TGIA_4	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	高 ↑ ↓ 低
	TGIB_4	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	不可	
	TGIC_4	TGRC_4 のインプットキャプチャ / コンペアマッチ	TGFC_4	不可	
	TGID_4	TGRD_4 のインプットキャプチャ / コンペアマッチ	TGFD_4	不可	
	TCIV_4	TCNT_4 のオーバフロー / アンダフロー	TCFV_4	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

#### (1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 0 に 6 本、チャンネル 3、4 に各 4 本、チャンネル 1、2 に各 2 本、計 18 本のインプットキャプチャ / コンペアマッチ割り込みがあります。チャンネル 0 の TGFE\_0、TGFF\_0 フラグは、インプットキャプチャではセットされません。

#### (2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

#### (3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。MTU2 には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

### 11.5.2 DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

MTU2 では、チャンネル 0~4 の各チャンネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

### 11.5.3 A/D 変換器の起動

MTU2 では、次の 3 種類の方法で A/D 変換器を起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 11.56 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の TCNT\_4 の谷での A/D 起動  
各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。また、TIER\_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT\_4 が谷 (TCNT\_4 = H'0000) になったときも A/D 変換器を起動することができます。

次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER\_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT\_4 が谷 (TCNT\_4 = H'0000) になった場合

これらのとき A/D 変換器側で MTU2 の変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2) TCNT\_0 と TGRE\_0 のコンペアマッチによる A/D 起動

チャンネル 0 の TCNT\_0 と TGRE\_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。

チャンネル 0 の TCNT\_0 と TGRE\_0 のコンペアマッチの発生により、TSR\_0 の TGFE フラグが 1 にセットされたとき、TIER\_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で MTU2 の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

## (3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (TADCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT\_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「11.4.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で MTU2 の変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 11.56 各割り込み要因と A/D 変換開始要求の対応

対 象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ/コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

## 11.6 動作タイミング

### 11.6.1 入出力タイミング

#### (1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.78 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 11.79 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 11.80 に示します。

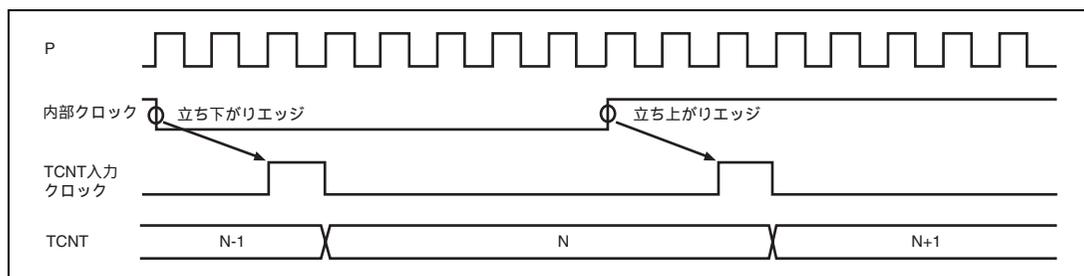


図 11.78 内部クロック動作時のカウントタイミング

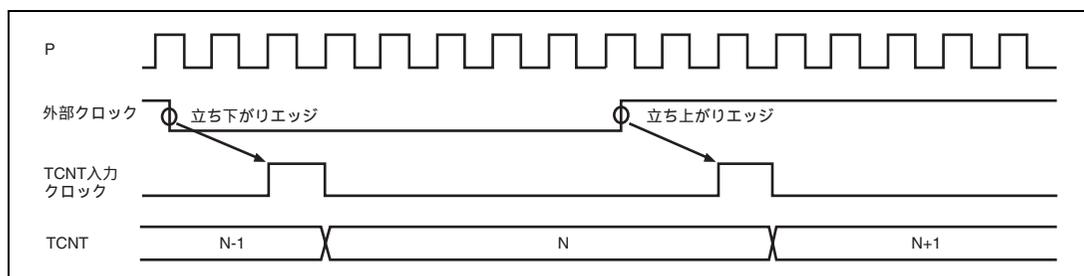


図 11.79 外部クロック動作時のカウントタイミング

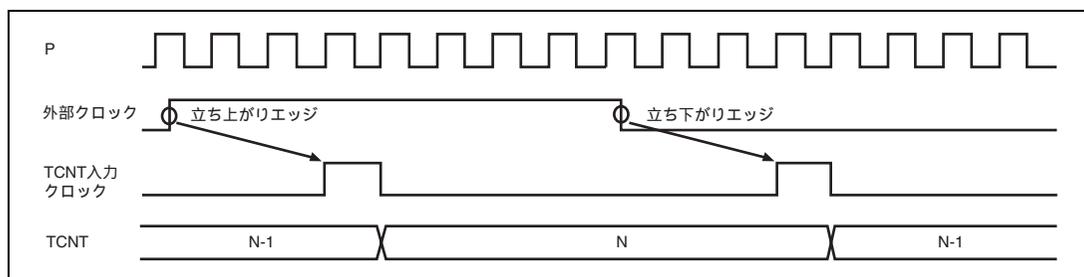


図 11.80 外部クロック動作時のカウントタイミング（位相計数モード）

## (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 11.81 に、アウトプットコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード) を図 11.82 に示します。

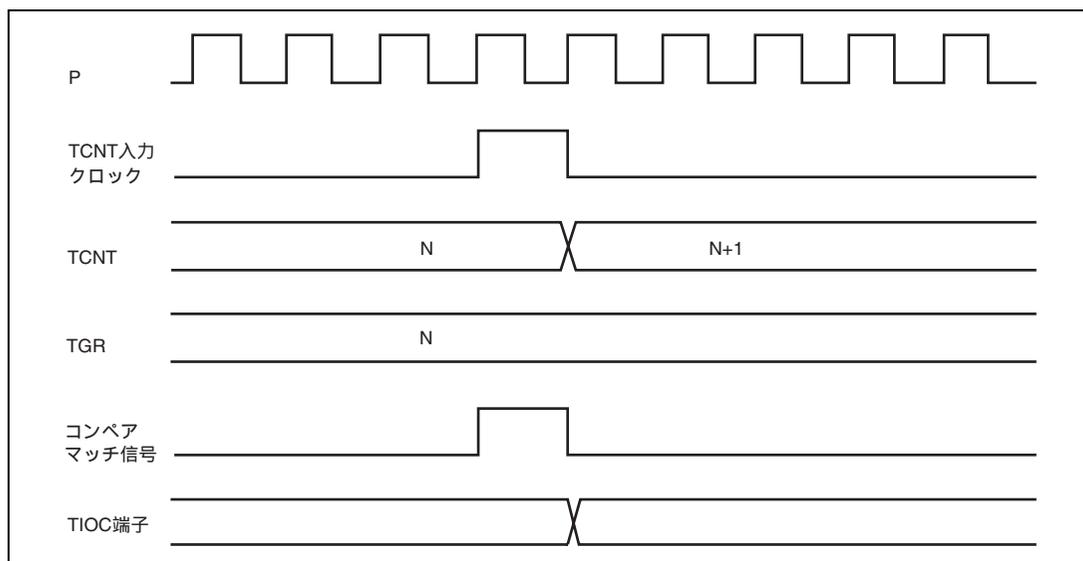


図 11.81 アウトプットコンペア出力タイミング (ノーマルモード、PWM モード)

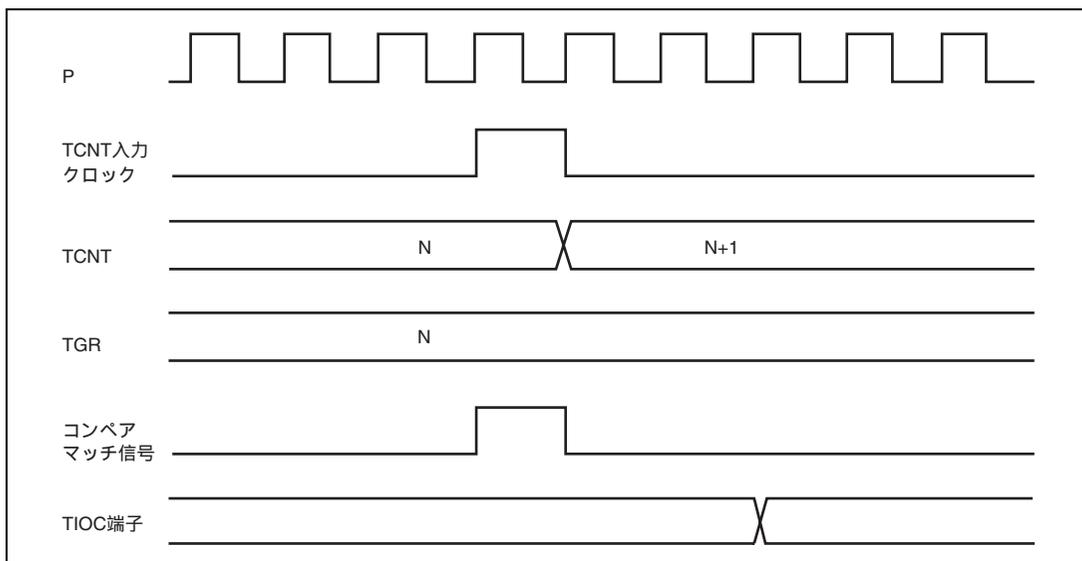


図 11.82 アウトputコンペア出力タイミング (相補 PWM モード、リセット同期 PWM モード)

### (3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 11.83 に示します。

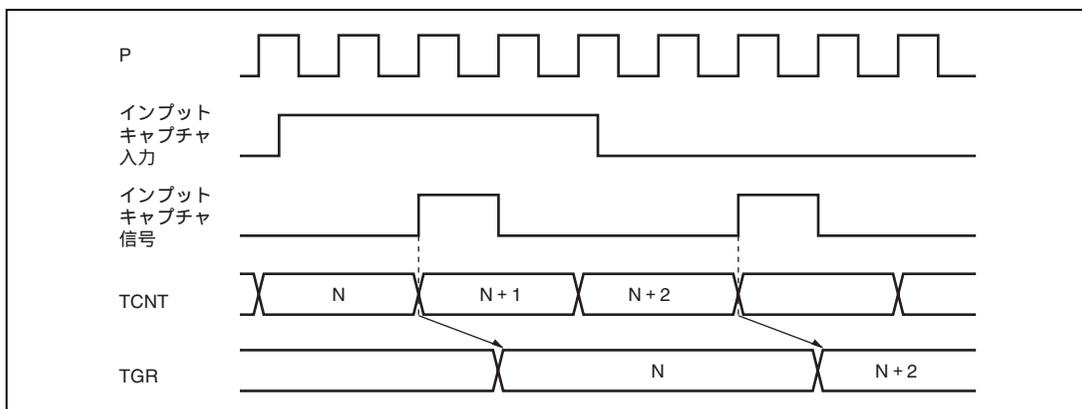


図 11.83 インพุットキャプチャ入力信号タイミング

## (4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.84 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.85 に示します。

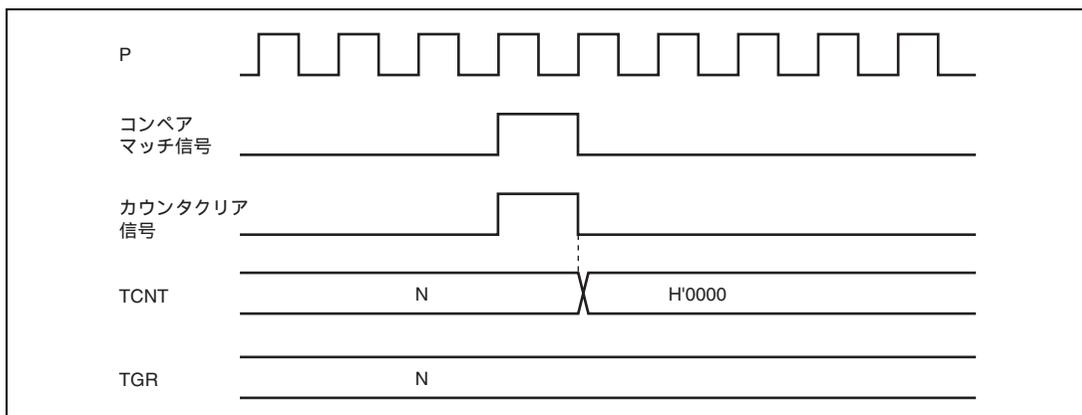


図 11.84 カウンタクリアタイミング (コンペアマッチ)

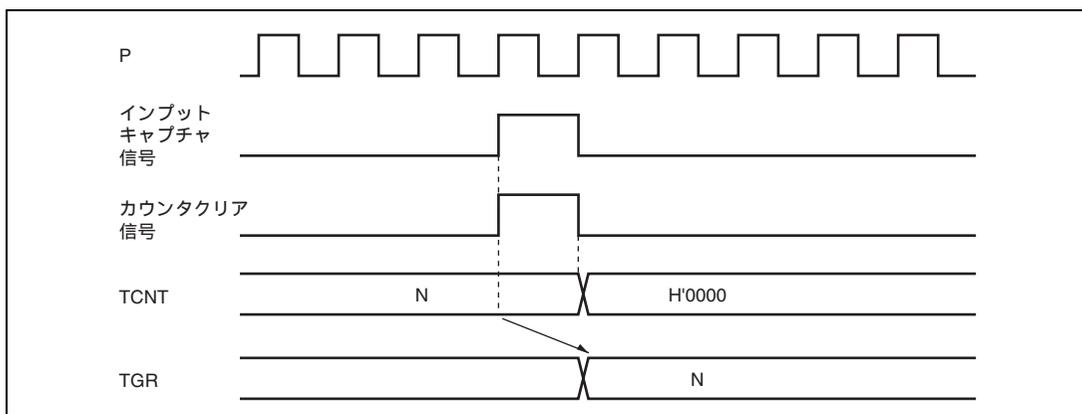


図 11.85 カウンタクリアタイミング (インプットキャプチャ)

## (5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.86 ~ 図 11.88 に示します。

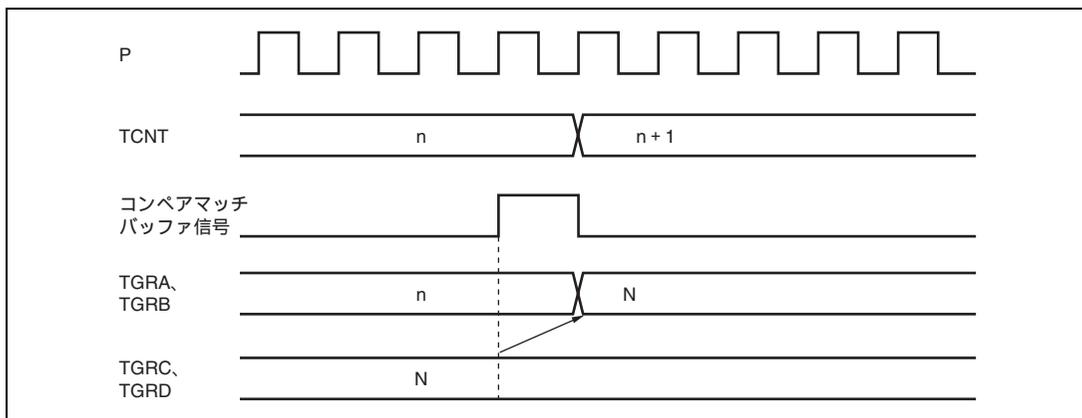


図 11.86 バッファ動作タイミング (コンペアマッチ)

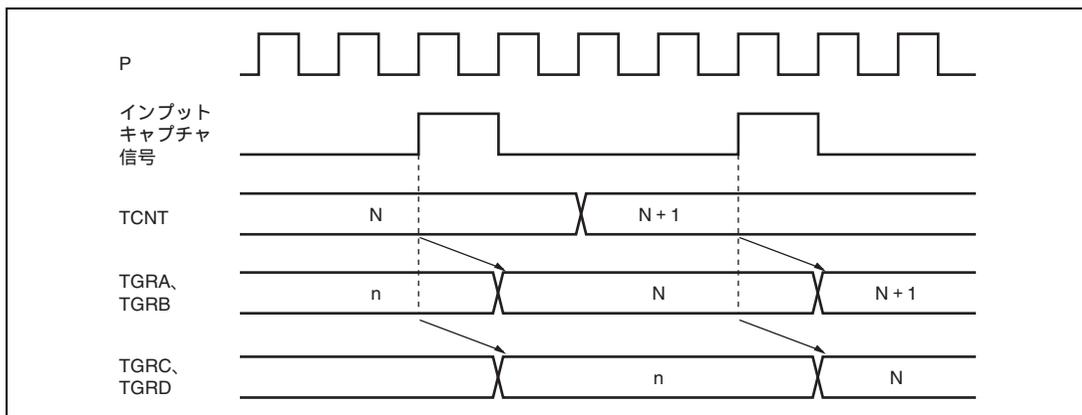


図 11.87 バッファ動作タイミング (インプットキャプチャ)

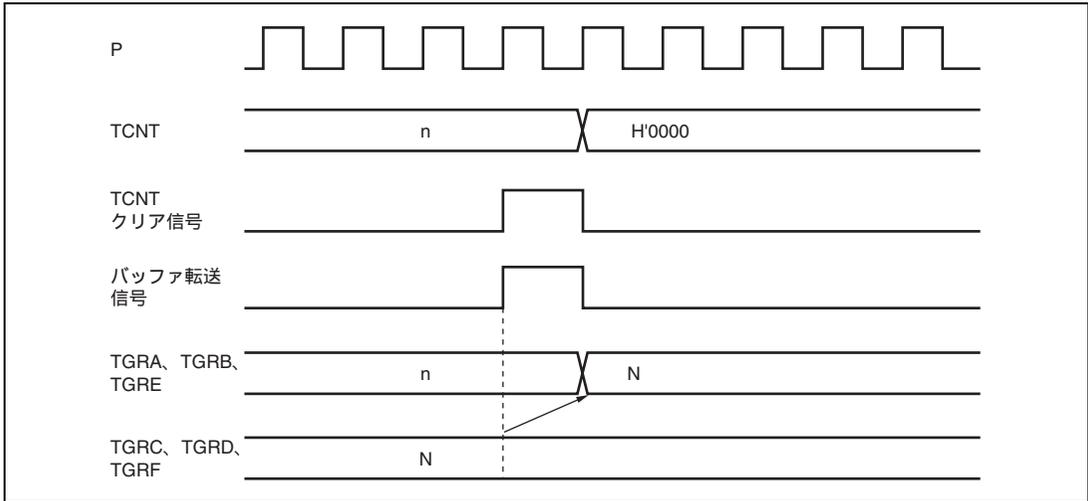


図 11.88 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 11.89 ~ 図 11.91 に示します。

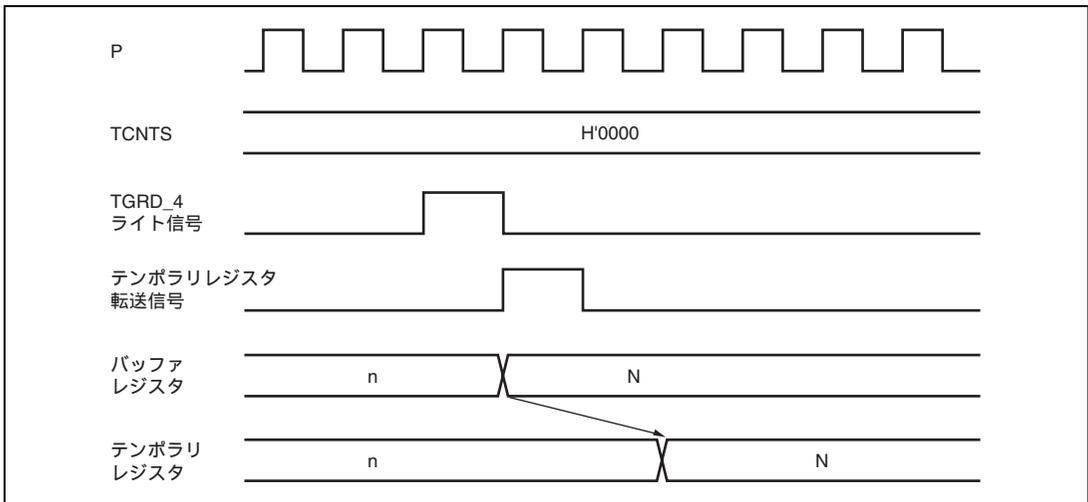


図 11.89 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 停止中)

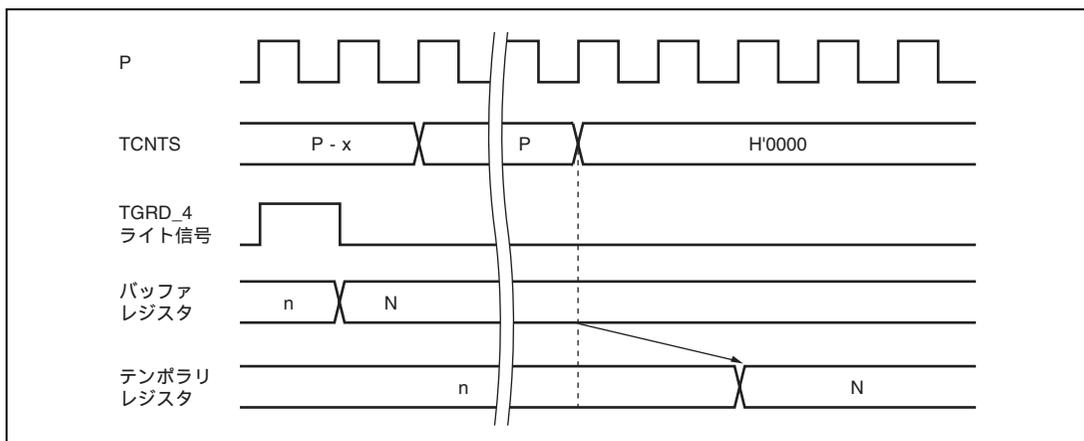


図 11.90 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTS 動作中)

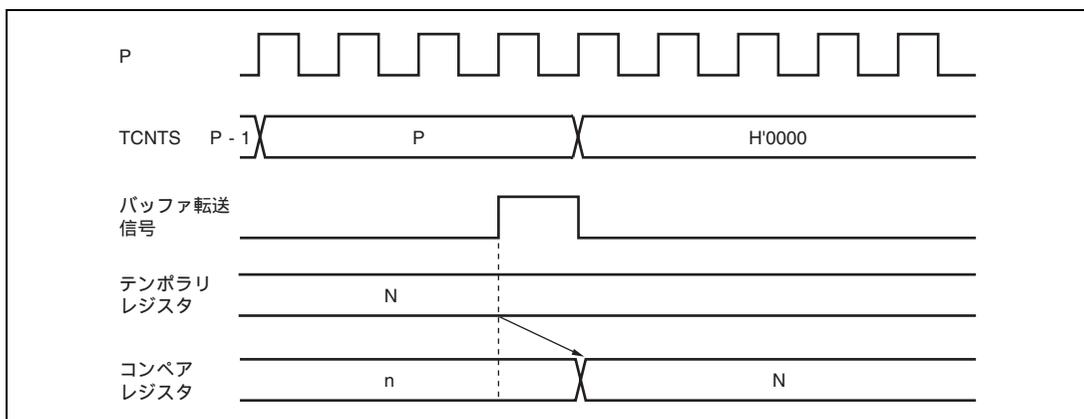


図 11.91 テンポラリレジスタからコンペアレジスタへの転送タイミング

## 11.6.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.92 に示します。

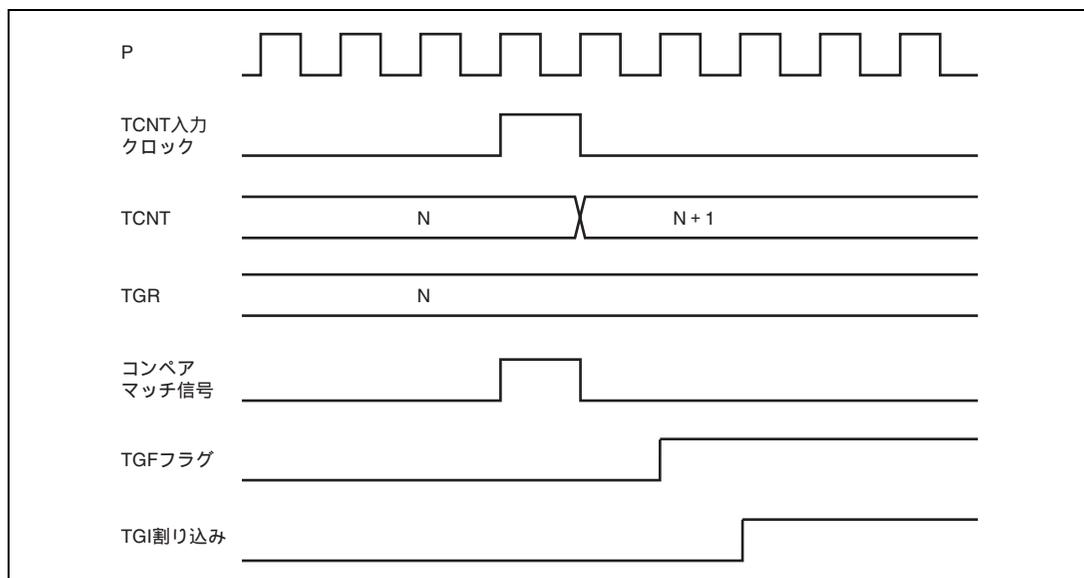


図 11.92 TGI 割り込みタイミング (コンペアマッチ)

## (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.93 に示します。

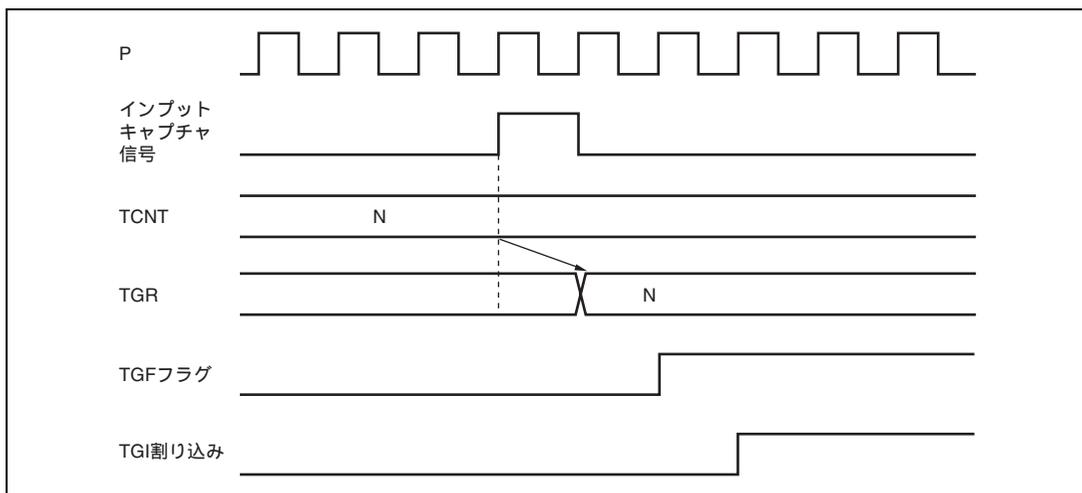


図 11.93 TGI 割り込みタイミング (インพุットキャプチャ)

## (3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.94 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.95 に示します。

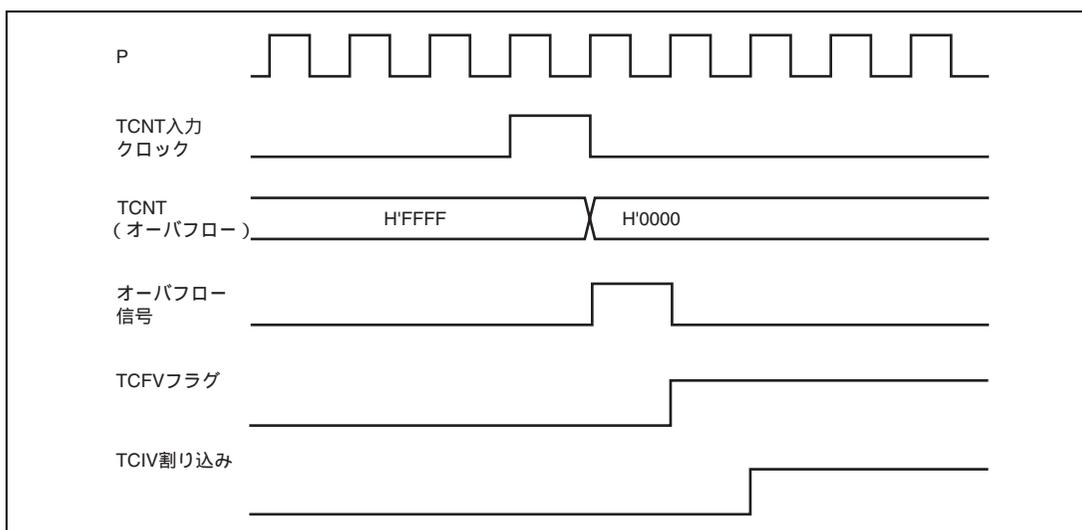


図 11.94 TCIV 割り込みのセットタイミング

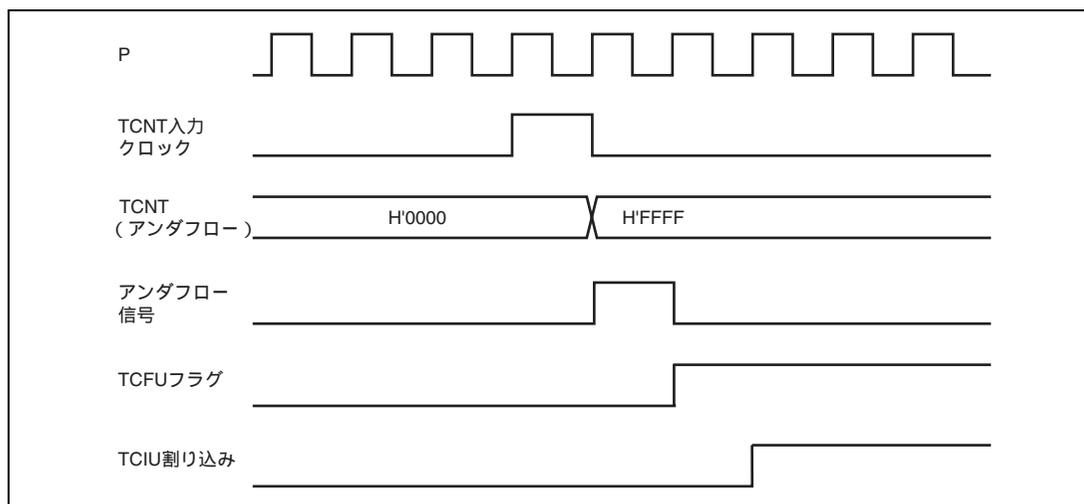


図 11.95 TCIU 割り込みのセットタイミング

## (4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図11.96に、DMACによるステータスフラグのクリアのタイミングを図11.97に示します。

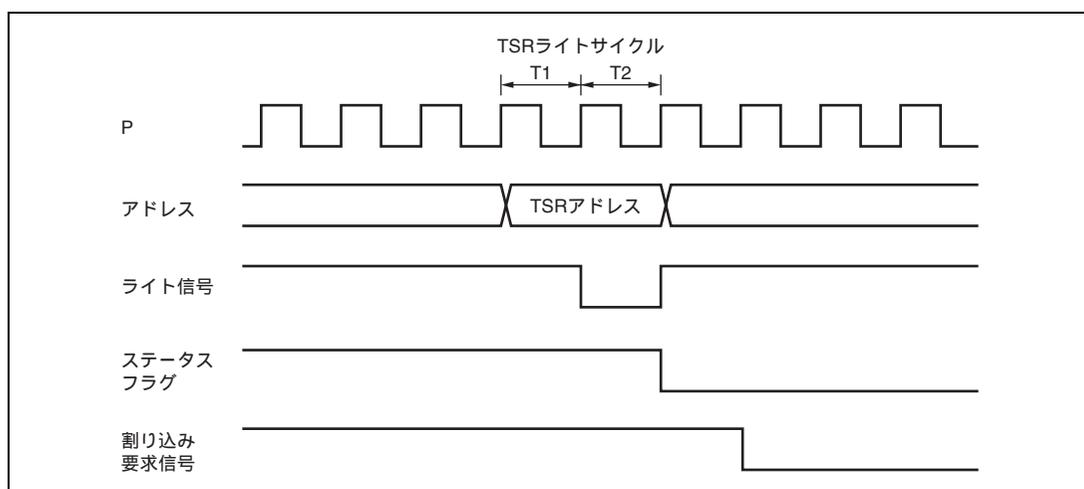


図 11.96 CPUによるステータスフラグのクリアタイミング

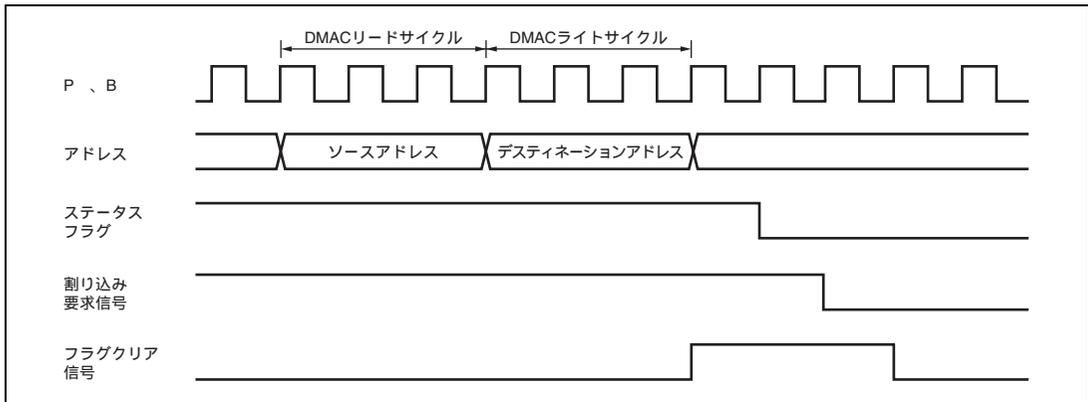


図 11.97 DMAC の起動によるステータスフラグのクリアタイミング

## 11.7 使用上の注意事項

### 11.7.1 モジュールスタンバイモードの設定

MTU2 は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、MTU2 の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

### 11.7.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.98 に示します。

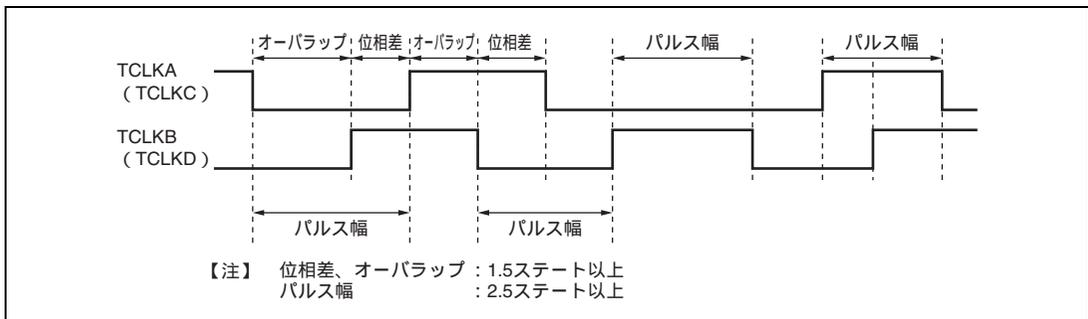


図 11.98 位相計数モード時の位相差、オーバーラップ、およびパルス幅

### 11.7.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{P}{(N+1)}$$

- f : カウンタ周波数
- P : 周辺クロック動作周波数
- N : TGR の設定値

### 11.7.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 11.99 に示します。

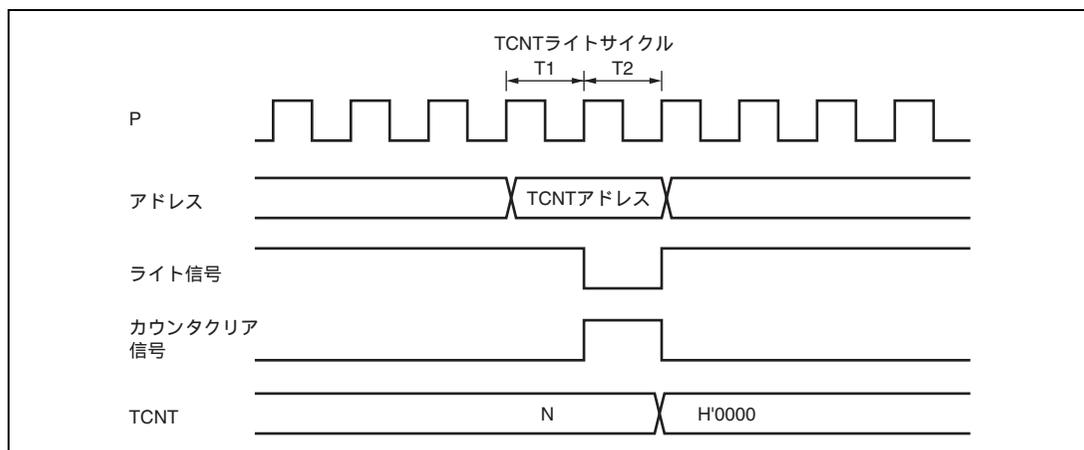


図 11.99 TCNT のライトとクリアの競合

### 11.7.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 11.100 に示します。

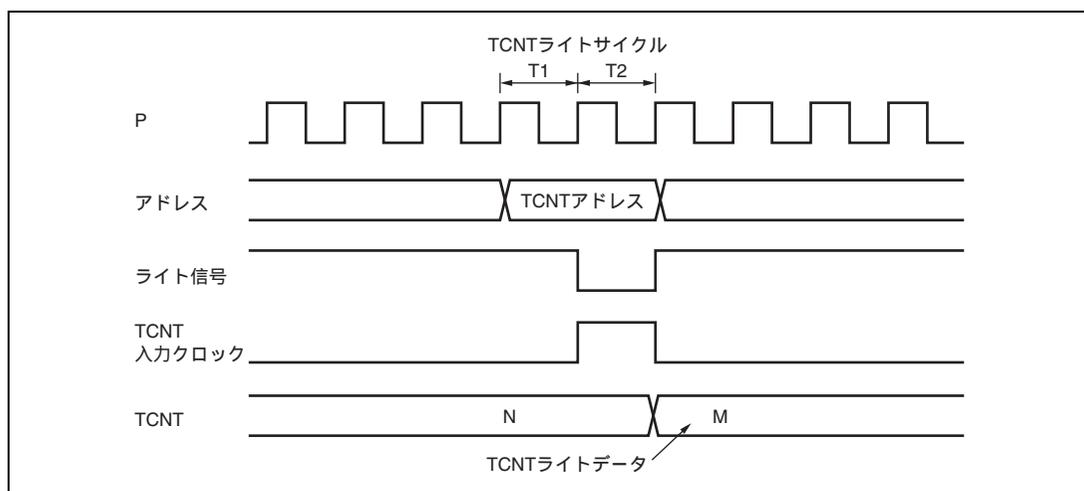


図 11.100 TCNT のライトとカウントアップの競合

### 11.7.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 11.101 に示します。

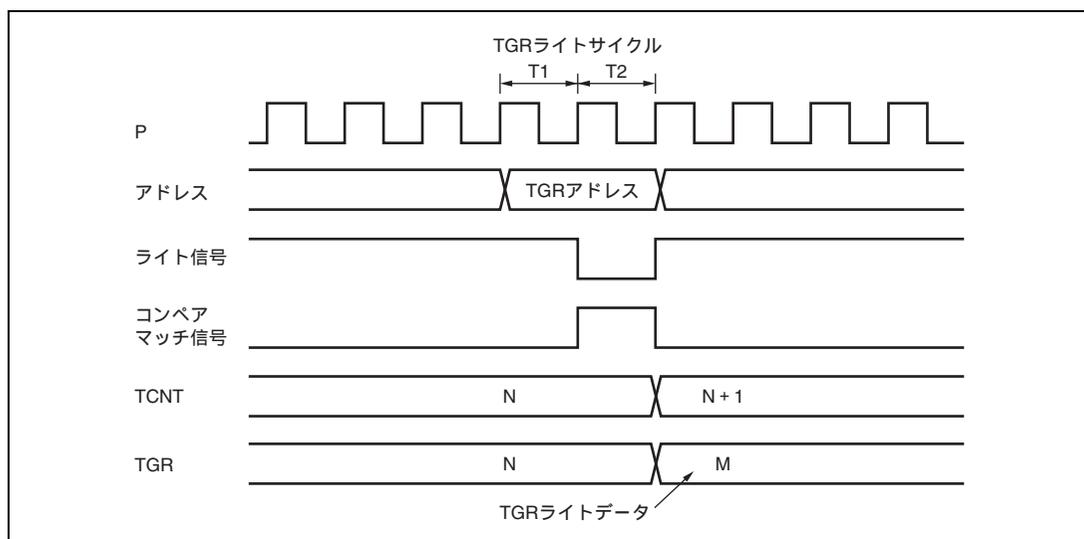


図 11.101 TGR のライトとコンペアマッチの競合

### 11.7.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 11.102 に示します。

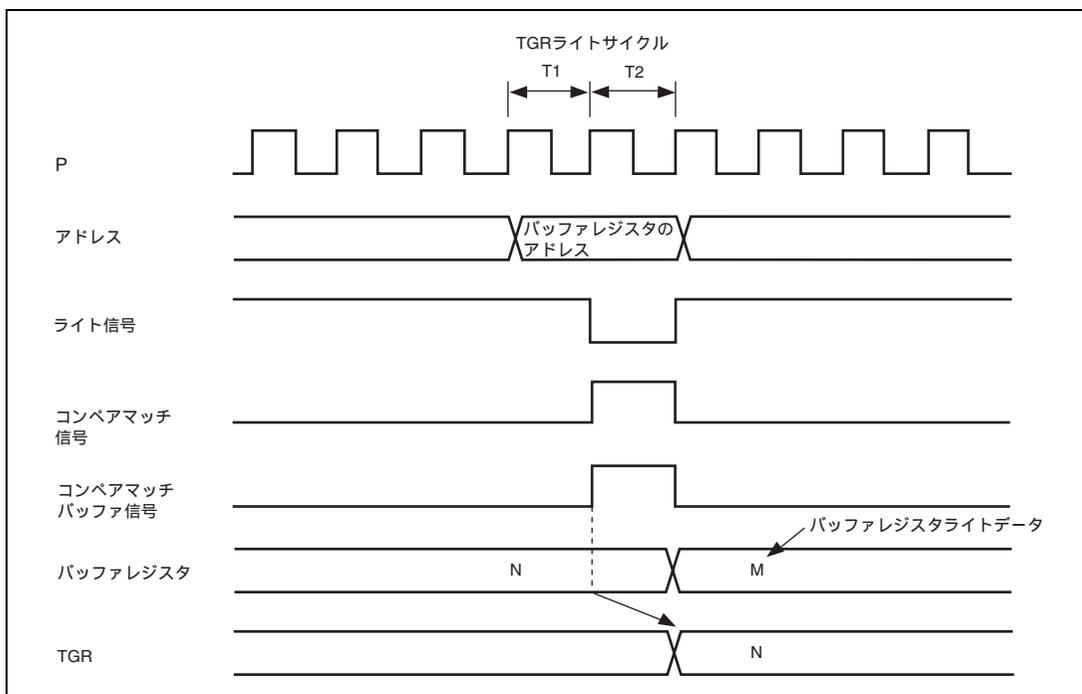


図 11.102 バッファレジスタのライトとコンペアマッチの競合

### 11.7.8 バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 11.103 に示します。

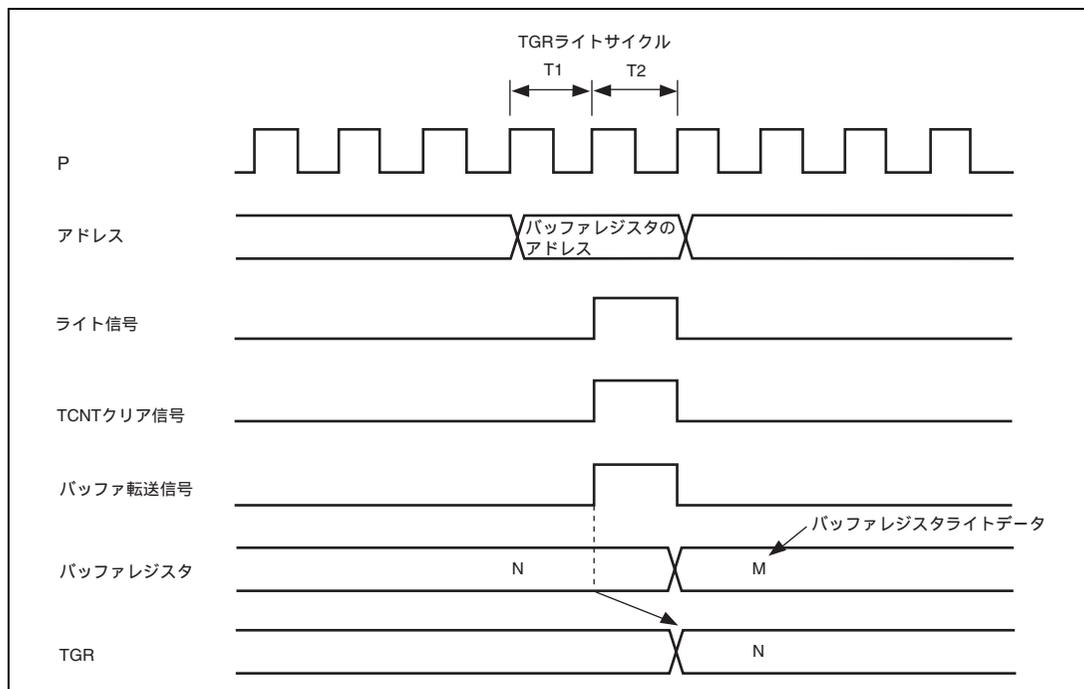


図 11.103 バッファレジスタのライトと TCNT クリアの競合

### 11.7.9 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 11.104 に示します。

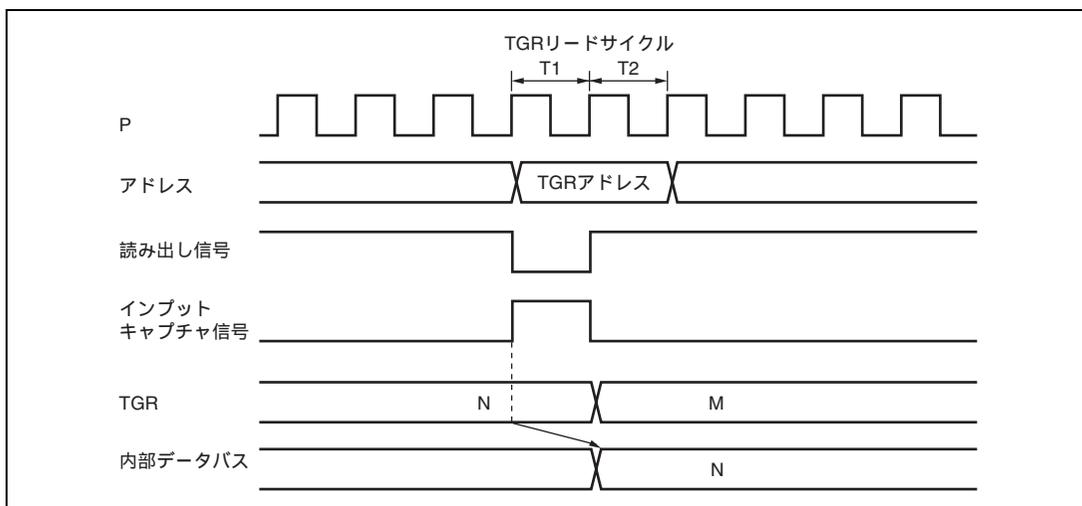


図 11.104 TGR のリードとインプットキャプチャの競合

### 11.7.10 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 11.105 に示します。

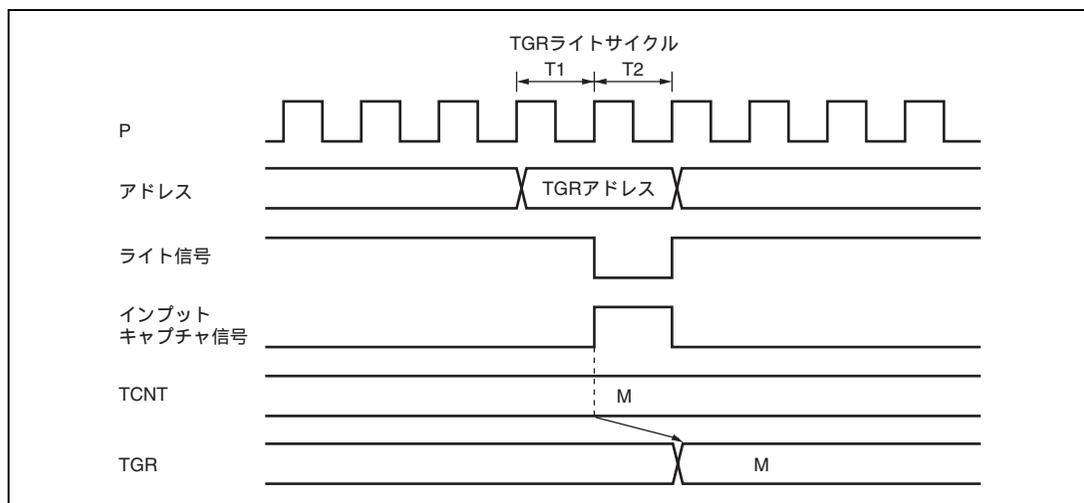


図 11.105 TGR のライトとインプットキャプチャの競合

### 11.7.11 バッファレジスタのライトと入力キャプチャの競合

バッファのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 11.106 に示します。

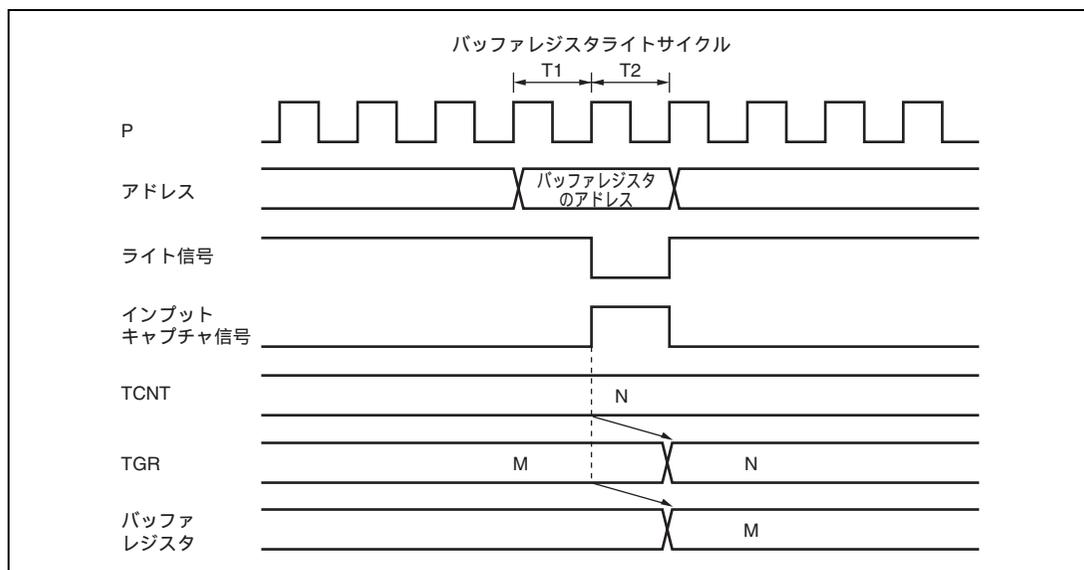


図 11.106 バッファレジスタのライトと入力キャプチャの競合

### 11.7.12 カスケード接続における TCNT\_2 のライトとオーバフロー / アンダフローの競合

タイマカウンタ (TCNT\_1 と TCNT\_2) をカスケード接続し、TCNT\_1 がカウントする瞬間 (TCNT\_2 がオーバフロー / アンダフローする瞬間) と TCNT\_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT\_2 への書き込みが行われ、TCNT\_1 のカウント信号が禁止されます。このとき、TGRA\_1 がコンペアマッチレジスタとして動作し TCNT\_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャンネル 0 の入力キャプチャ要因に TCNT\_1 カウントクロックを選択した場合には、TGRA\_0 ~ D\_0 は入力キャプチャ動作します。さらに TGRB\_1 の入力キャプチャ要因に TGRC\_0 のコンペアマッチ / 入力キャプチャを選択した場合には、TGRB\_1 は入力キャプチャ動作します。

このタイミングを図 11.107 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャンネル 1 とチャンネル 2 の同期設定を行ってください。

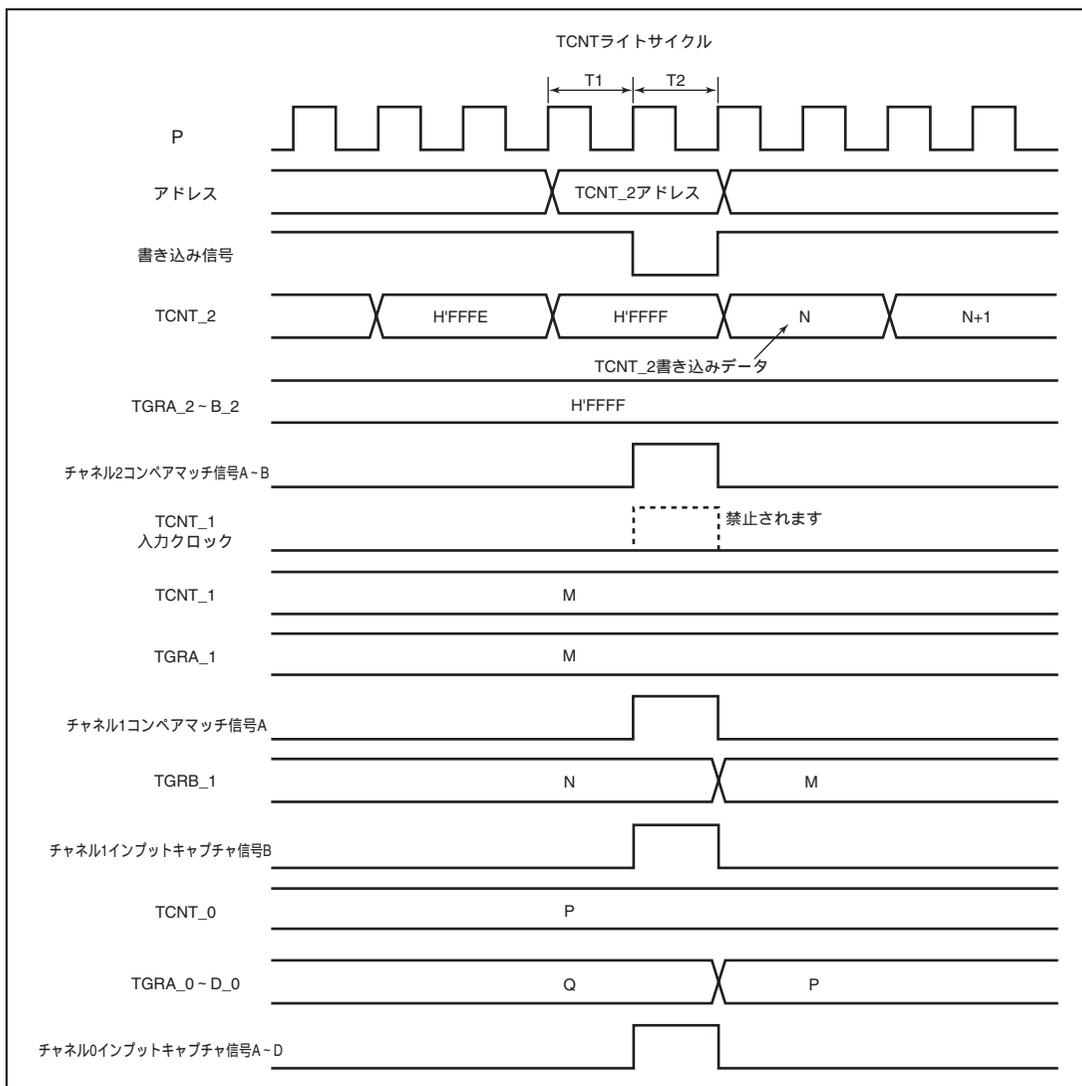


図 11.107 カスケード接続における TCNT\_2 のライトとオーバフロー / アンダフローの競合

### 11.7.13 相補 PWM モード停止時のカウンタ値

TCNT\_3、TCNT\_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT\_3 はタイマデッドタイムレジスタ (TDDR) の値、TCNT\_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 11.108 に示します。

また、他の動作モードでカウントを開始する場合は TCNT\_3、TCNT\_4 にカウント初期値の設定を行ってください。

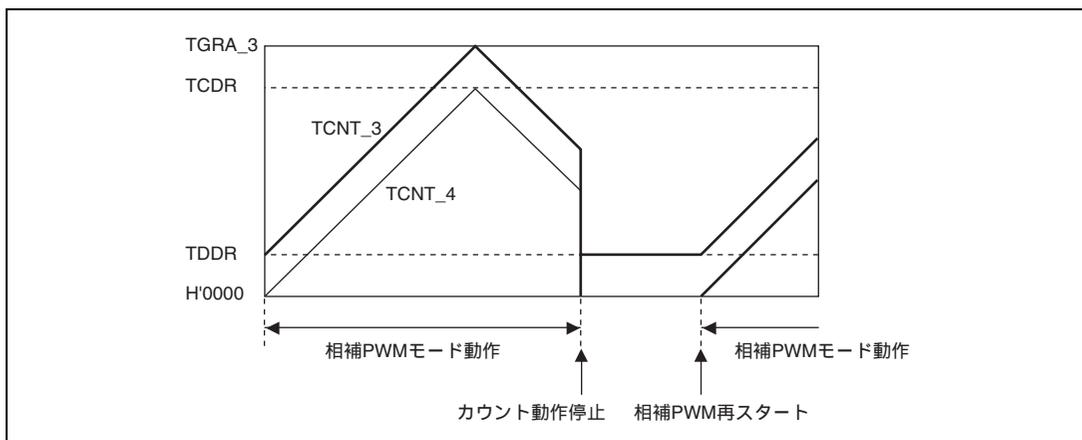


図 11.108 相補 PWM モード停止時のカウンタ値

### 11.7.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (TGRA\_3)、タイマ周期データレジスタ (TCDR)、デューティ設定レジスタ (TGRB\_3、TGRA\_4、TGRB\_4) の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャンネル 3 および 4 のバッファ動作は、TMDR\_3 の BFA、BFB ビットの設定に従い動作します。TMDR\_3 の BFA ビットを 1 にセットした場合、TGRC\_3 は TGRA\_3 のバッファレジスタとして機能します。同時に TGRC\_4 は TGRA\_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

### 11.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR\_4 の BFA、BFB ビットを 0 に設定してください。TMDR\_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャンネル 3 および 4 のバッファ動作は TMDR\_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR\_3 の BFA ビットを 1 にセットした場合、TGRC\_3 は TGRA\_3 のバッファレジスタとして機能します。同時に TGRC\_4 は TGRA\_4 のバッファレジスタとして機能します。

TSR\_3 および TSR\_4 の TGFC ビットと TGFD ビットは TGRC\_3、TGRD\_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR\_3 の BFA、BFB ビットを 1 にセットし、TMDR\_4 の BFA、BFB ビットを 0 にセットした場合の TGR\_3、TGR\_4、TIOC3、TIOC4 の動作例を図 11.109 に示します。

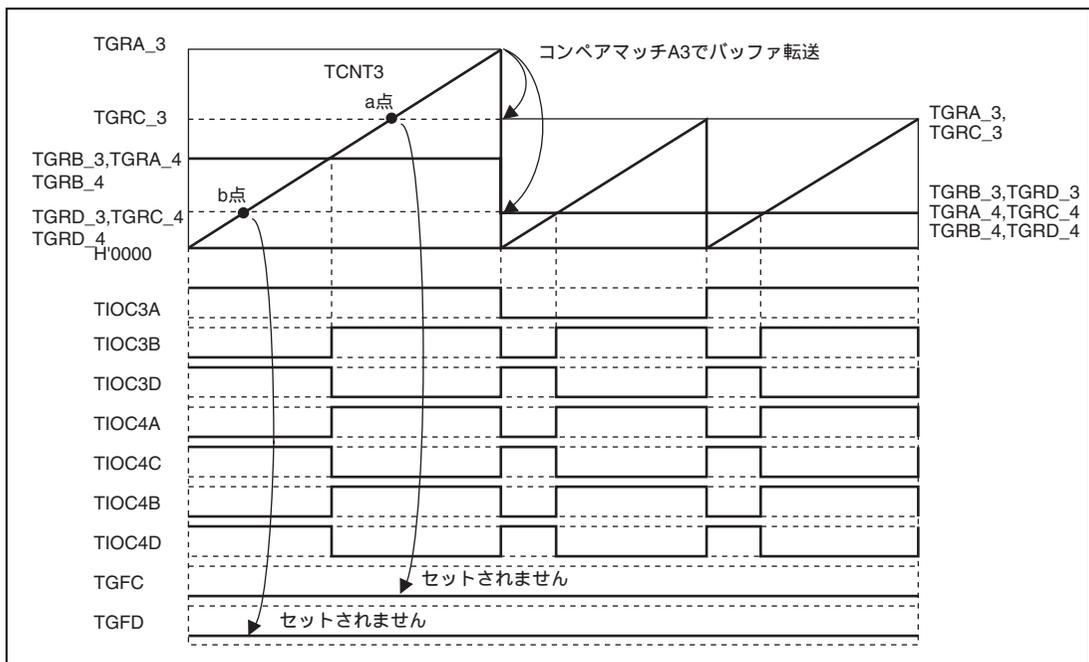


図 11.109 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

### 11.7.16 リセット同期 PWM モードのオーバーフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT\_3 と TCNT\_4 のカウント動作が開始します。このとき、TCNT\_4 のカウントクロックソースとカウントエッジは TCR\_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA\_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA\_3 のコンペアマッチを指定した場合、TCNT\_3、TCNT\_4 がアップカウントし H'FFFF になると、TGRA\_3 とのコンペアマッチが発生し、TCNT\_3、TCNT\_4 とともにカウントクリアされます。このとき、TSR のオーバーフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA\_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA\_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 11.110 に示します。

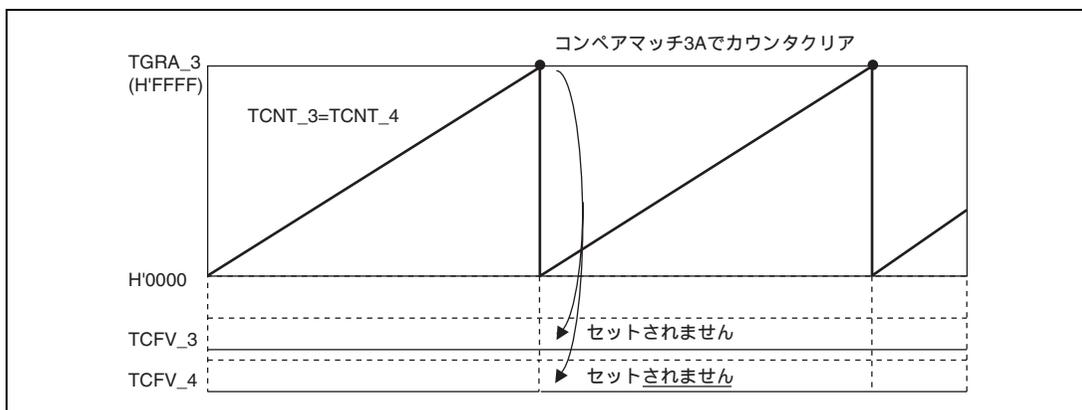


図 11.110 リセット同期 PWM モードのオーバーフローフラグ

### 11.7.17 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.111 に示します。

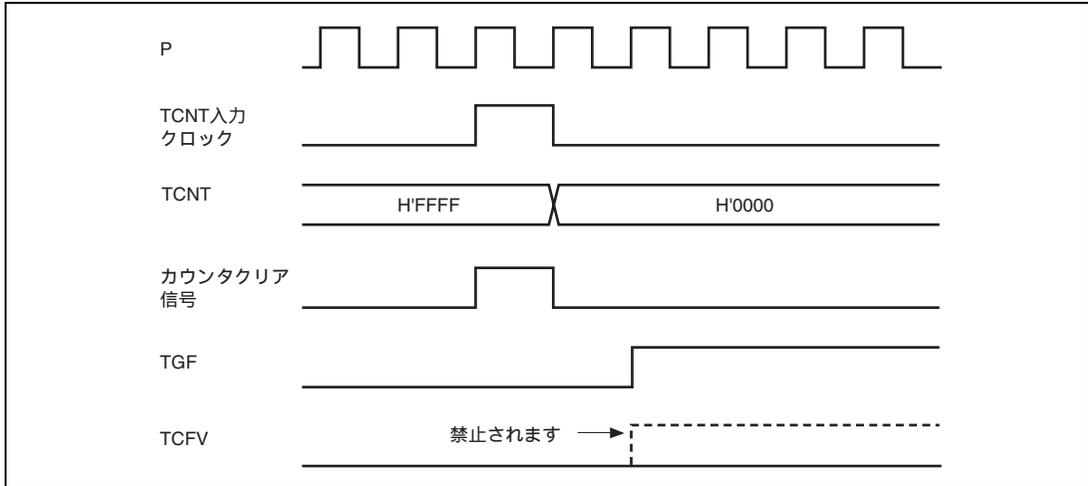


図 11.111 オーバフローとカウンタクリアの競合

### 11.7.18 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 11.112 に示します。

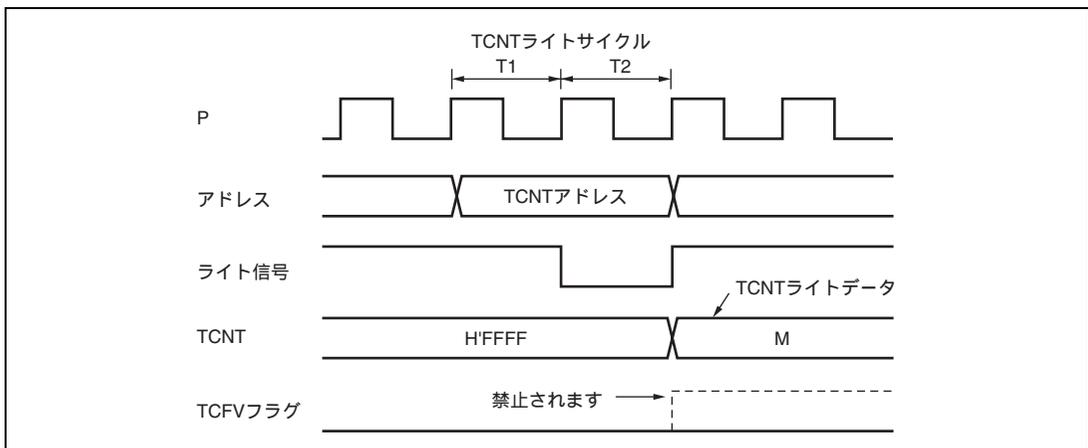


図 11.112 TCNT のライトとオーバフローの競合

### 11.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャンネル 3、4 の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子 (TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D) をハイレベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、TIORH\_3、TIORL\_3、TIORH\_4、TIORL\_4 レジスタに H'11 を書いて出力端子をローレベルに初期化した後、レジスタの初期値 H'00 を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値 H'00 を設定してからリセット同期 PWM モードに遷移してください。

### 11.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル

チャンネル 3、4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ (TOCR) の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR は H'00 としてください。

### 11.7.21 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPU の割り込み要因、または DMAC の起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

### 11.7.22 カスケード接続における TCNT\_1、TCNT\_2 同時インプットキャプチャ

タイマカウンタ 1、2 (TCNT\_1 と TCNT\_2) をカスケード接続して、32 ビットカウンタとして動作させている場合、TIOC1A と TIOC2A、または TIOC1B と TIOC2B に同時にインプットキャプチャ入力を行っても、TCNT\_1、TCNT\_2 に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、または TIOC1B と TIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT\_1 (上位 16 ビットのカウンタ) が TCNT\_2 (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは TCNT\_1=H'FFF1、TCNT\_2=H'0000 の値を TGRA\_1 と TGRA\_2、もしくは TGRB\_1 と TGRB\_2 に転送すべきところを誤って TCNT\_1=H'FFF0、TCNT\_2=H'0000 の値を転送します。

### 11.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効(TWCR レジスタの WRE=1 )とした状態で、条件 (1)、条件 (2) のいずれかを満たすと、下記の現象が発生します。

- PWM出力端子のデッドタイムが短くなる（もしくは消失）。
- PWM逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件 (1) 初期出力の抑止期間 にて、PWM 出力がデッドタイム期間中に、同期クリアする (図 11.113)。

条件 (2) 初期出力の抑止期間 、にて、TGRB\_3 TDDR、TGRA\_4 TDDR、TGRB\_4 TDDR のいずれかが成立する状態で、同期クリアする (図 11.114)。

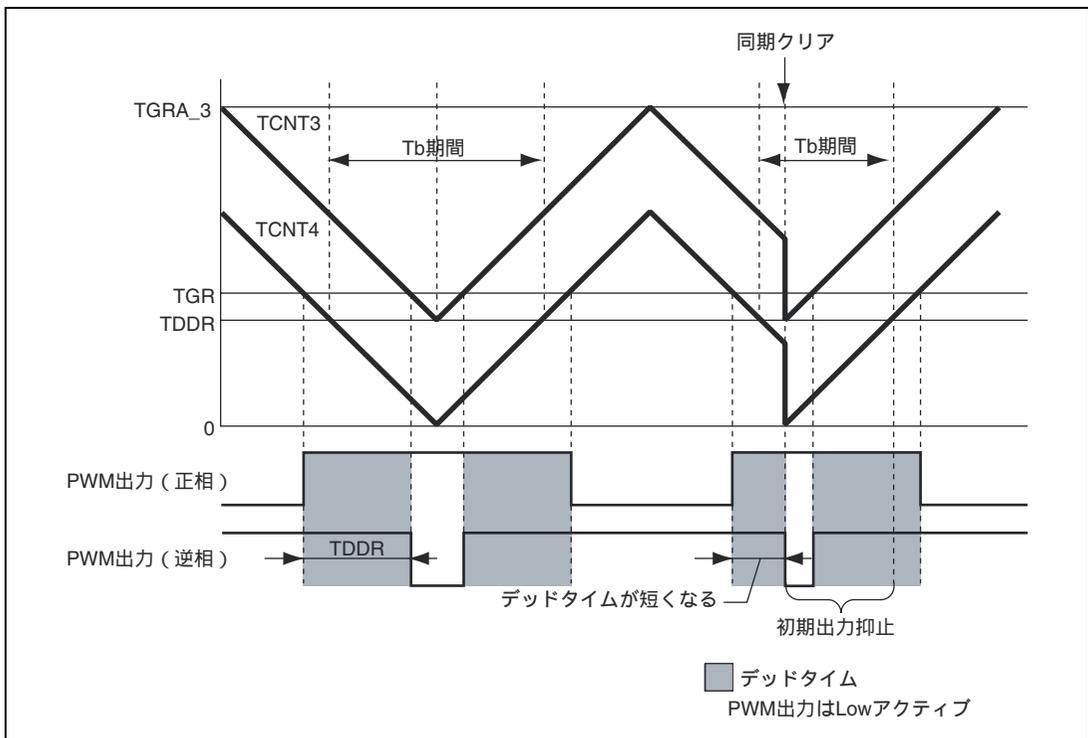


図 11.113 条件 (1) の同期クリア例

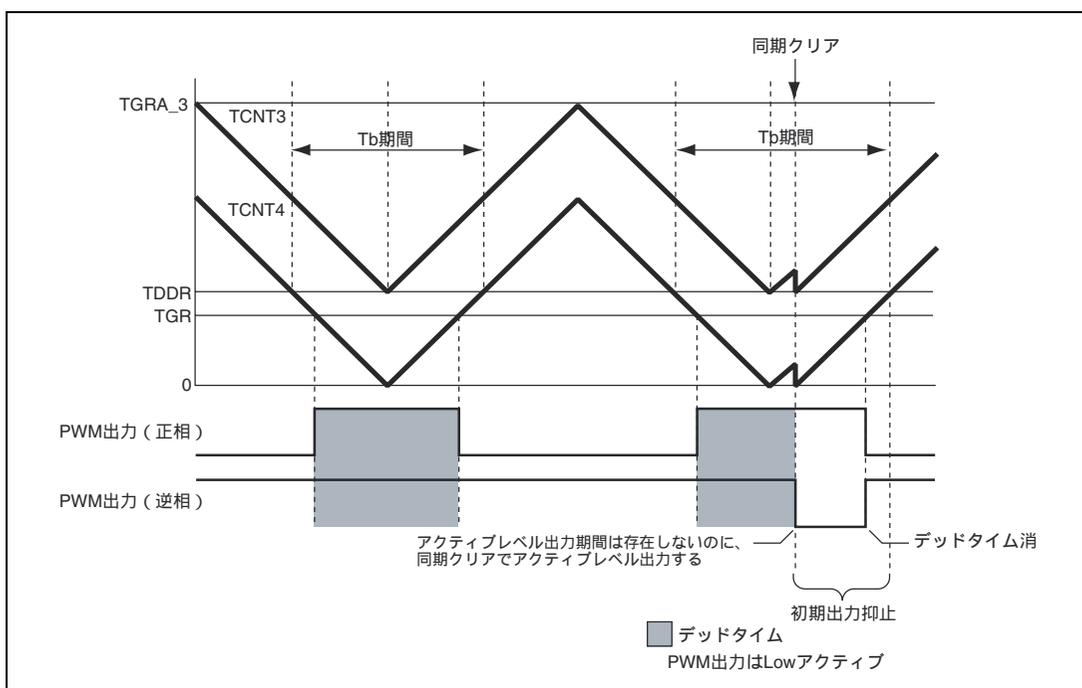


図 11.114 条件 (2) の同期クリア例

本現象は下記の方法により、回避することができます。

コンペアレジスタ TGRB\_3、TGRA\_4、TGRB\_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

## 11.8 MTU2 出力端子の初期化方法

### 11.8.1 動作モード

MTU2 には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (チャンネル0~4)
- PWMモード1 (チャンネル0~4)
- PWMモード2 (チャンネル0~2)
- 位相計数モード1~4 (チャンネル1、2)
- 相補PWMモード (チャンネル3、4)
- リセット同期PWMモード (チャンネル3、4)

ここでは、各モードでの MTU2 出力端子の初期化方法について示します。

### 11.8.2 リセットスタート時の動作

MTU2 の出力端子 (TIOC\*) はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。リセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。

【注】 \* チャンネル番号+ポート記号が入ります。

### 11.8.3 動作中の異常などによる再設定時の動作

MTU2 の動作中に異常が発生した場合、システムで MTU2 の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り換え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU2 には前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を表 11.57 に示します。

ただし、下記の表記を使用します。

Normal : ノーマルモード    PWM1 : PWM モード 1    PWM2 : PWM モード 2

PCM : 位相計数モード 1~4    CPWM : 相補 PWM モード    RPWM : リセット同期 PWM モード

表 11.57 モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	( 1 )	( 2 )	( 3 )	( 4 )	( 5 )	( 6 )
PWM1	( 7 )	( 8 )	( 9 )	( 10 )	( 11 )	( 12 )
PWM2	( 13 )	( 14 )	( 15 )	( 16 )	none	none
PCM	( 17 )	( 18 )	( 19 )	( 20 )	none	none
CPWM	( 21 )	( 22 )	none	none	( 23 ) ( 24 )	( 25 )
RPWM	( 26 )	( 27 )	none	none	( 28 )	( 29 )

### 11.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマI/Oコントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2、PCM) に遷移する場合はTIORの設定により端子を初期化してください。
- PWMモード1ではTIOC\*B (TIOC\*D) 端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード1に遷移してください。
- PWMモード2では周期レジスタの端子に波形が出力されないため、TIORを設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWMモード2遷移してください。
- ノーマルモードまたはPWMモード2ではTGRC、TGRDがバッファレジスタとして動作している場合、TIORを設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWMモード1ではTGRC、TGRDのいずれか一方がバッファレジスタとして動作している場合、TIORを設定してもTGRCの端子は初期化されません。TGRCの端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

- タイマアウトプットコントロールレジスタ (TOCR) の設定で端子の出力レベルを選択するモード (CPWM、RPWM) に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタインープルレジスタ (TOER) でチャンネル 3、4 を一度出力禁止としてください。その後モード設定手順 (TOCR 設定、TMDR 設定、TOER 設定) に従い動作させてください。

【注】 本項記述中の\*にはチャンネル番号が入ります。

以下、表 11.57 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.115 に示します。

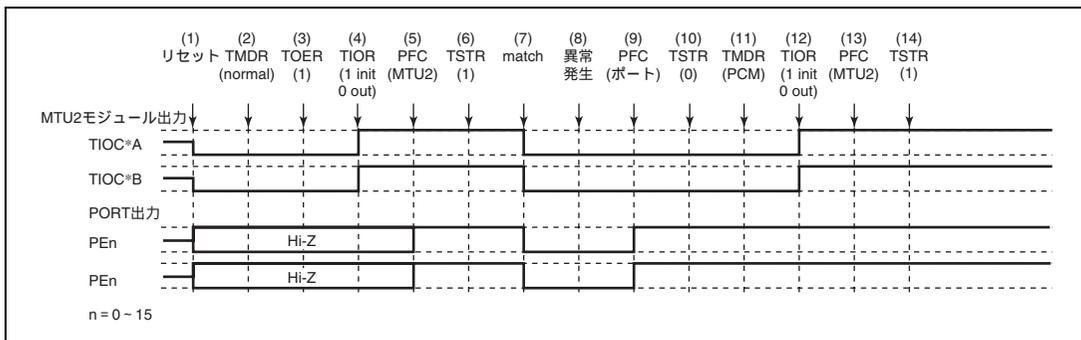


図 11.115 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR はノーマルモード設定になります。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください (例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりローレベルを出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

## (2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.116 に示します。

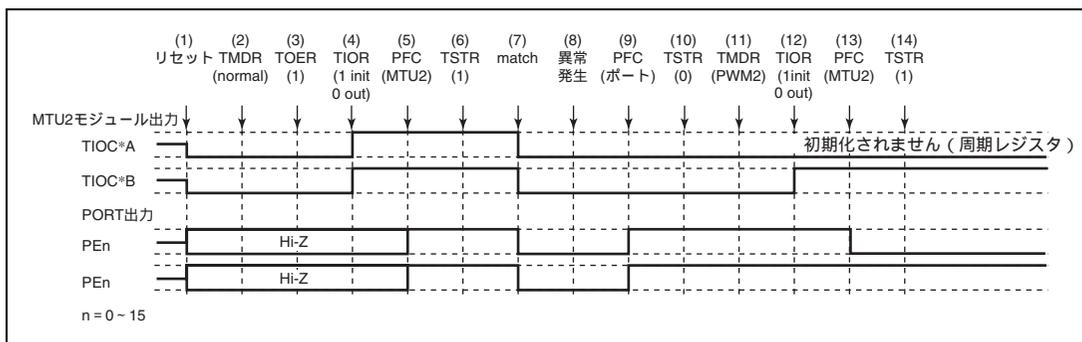


図 11.116 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.115 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC\*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

## (3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.117 に示します。

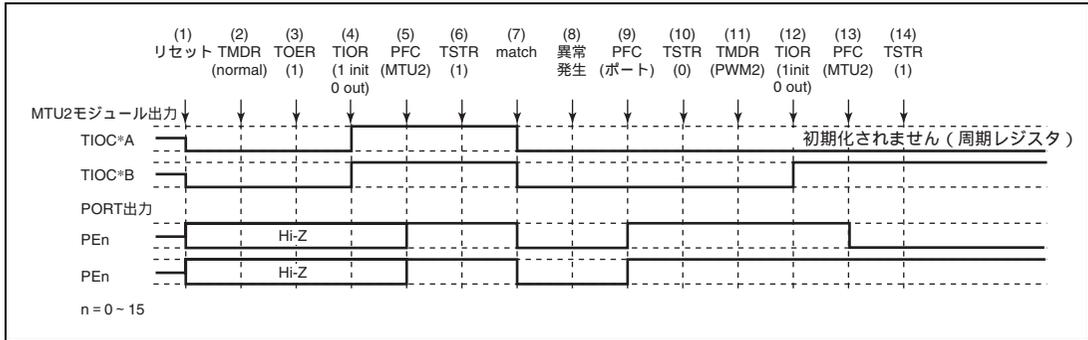


図 11.117 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 11.115 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

## (4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.118 に示します。

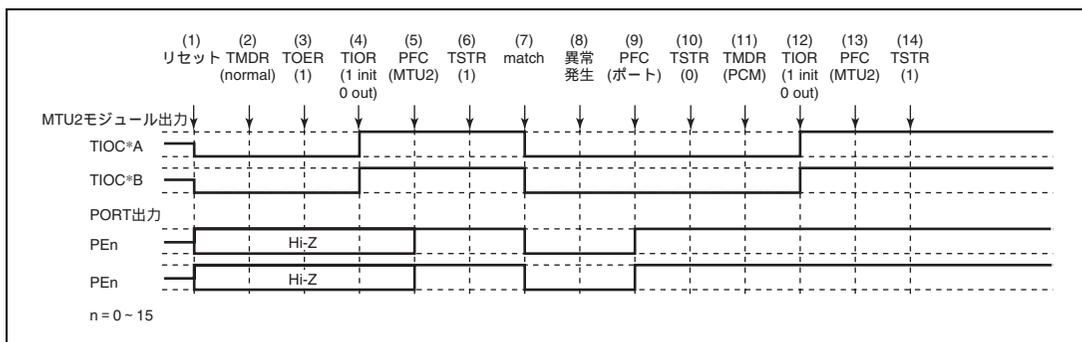


図 11.118 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 11.115 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

## (5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.119 に示します。

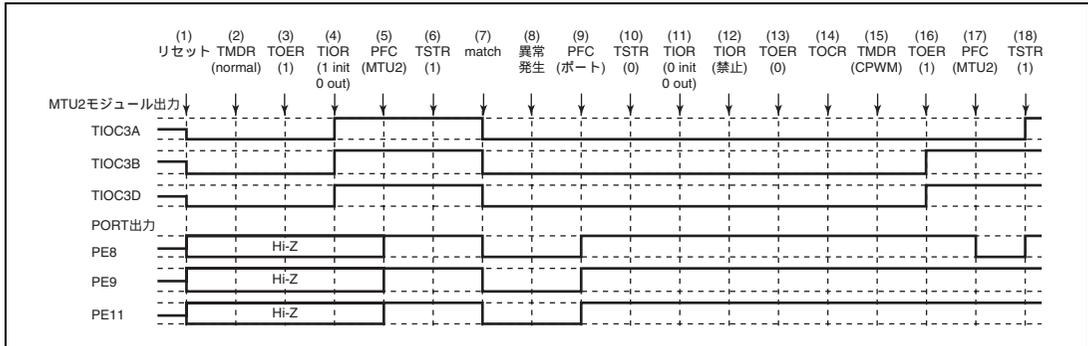


図 11.119 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 11.115 と共通です。

(11) TIOR でノーマルモードの波形生成部を初期化してください。

(12) TIOR でノーマルモードの波形生成部の動作を禁止してください。

(13) TOER でチャンネル 3、4 の出力を禁止してください。

(14) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(15) 相補 PWM を設定します。

(16) TOER でチャンネル 3、4 の出力を許可してください。

(17) PFC で MTU2 出力としてください。

(18) TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作  
 ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.120 に示します。

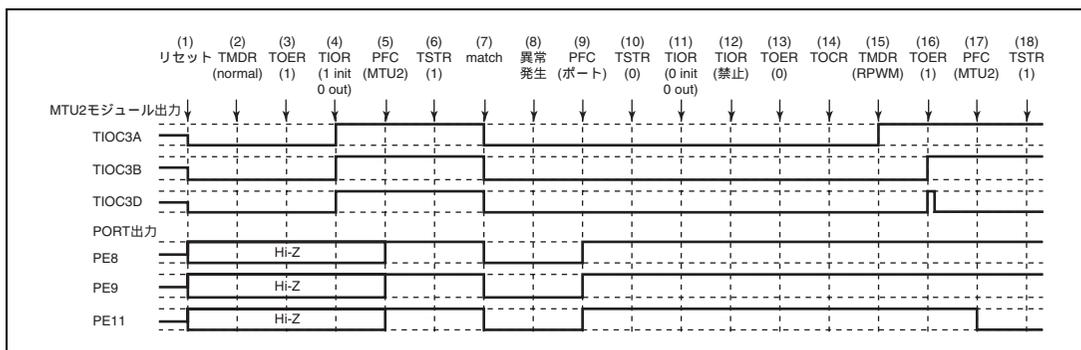


図 11.120 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 11.115 と共通です。
- (14) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOER でチャンネル 3、4 の出力を許可してください。
- (17) PFC で MTU2 出力としてください。
- (18) TSTR で再スタートします。

## (7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.121 に示します。

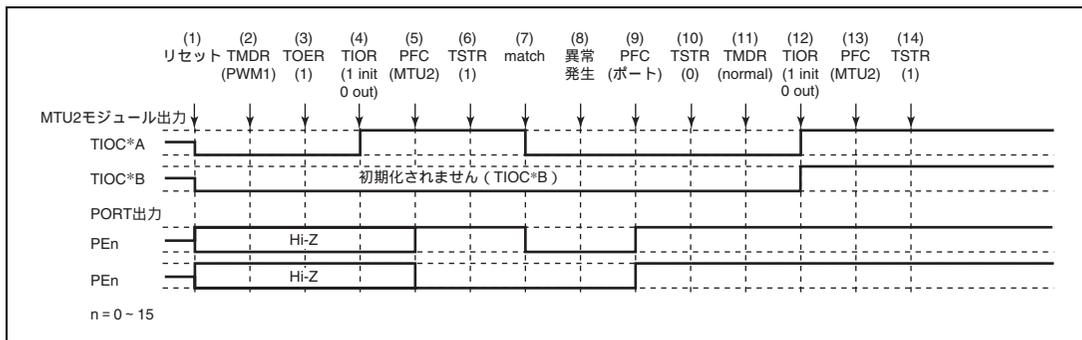


図 11.121 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) チャンネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
- (4) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。  
PWM モード 1 では TIOC\*B 側は初期化されません)。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により L を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

## (8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.122 に示します。

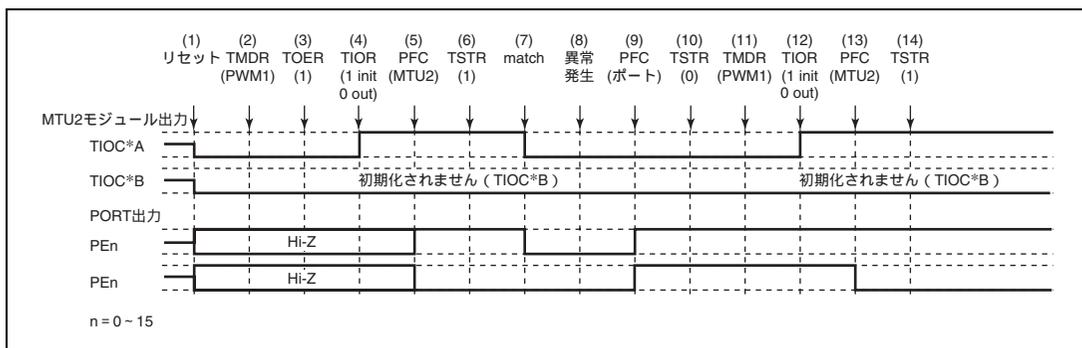


図 11.122 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.121 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC\*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

## (9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.123 に示します。

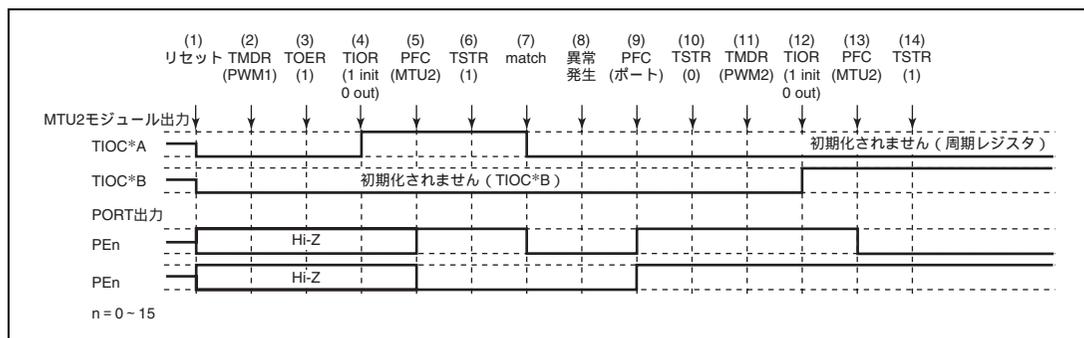


図 11.123 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 11.121 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 PWM モード 2 はチャンネル 0~2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.124 に示します。

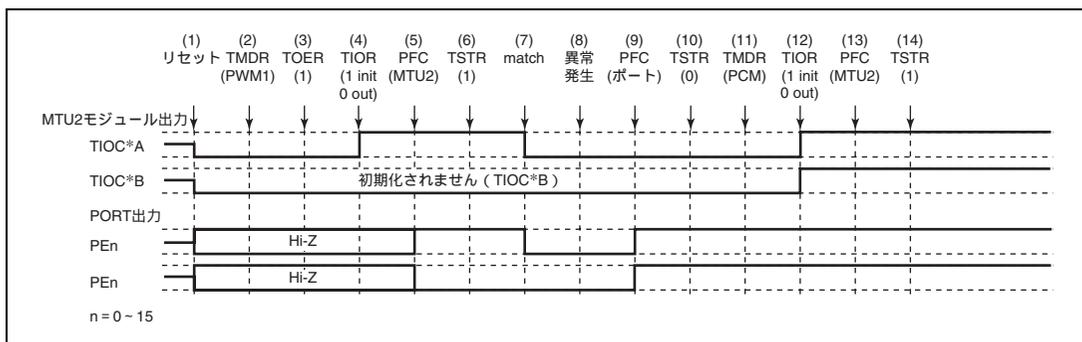


図 11.124 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 11.121 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR で端子を初期化してください。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

【注】 位相計数モードはチャンネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.125 に示します。

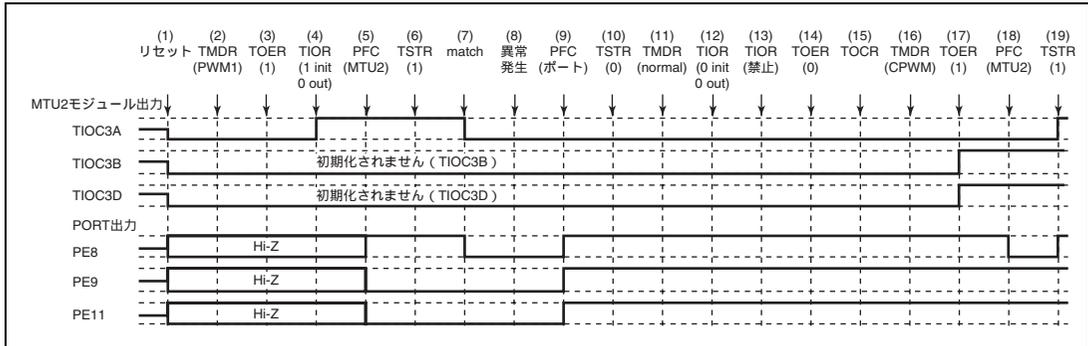


図 11.125 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 11.121 と共通です。

(11) 波形生成部の初期化のためノーマルモードを設定してください。

(12) TIOR で PWM モード 1 の波形生成部を初期化してください。

(13) TIOR で PWM モード 1 の波形生成部の動作を禁止してください。

(14) TOER でチャンネル 3、4 の出力を禁止してください。

(15) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) 相補 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.126 に示します。

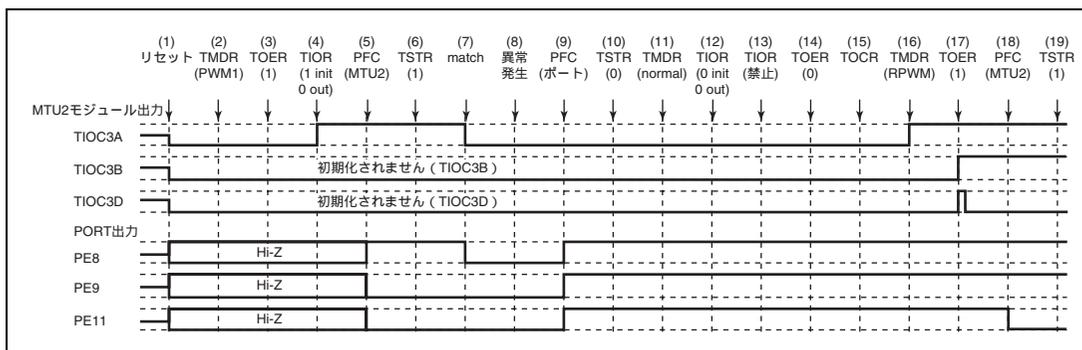


図 11.126 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 11.125 と共通です。

(15) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOER でチャンネル 3、4 の出力を許可してください。

(18) PFC で MTU2 出力としてください。

(19) TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.127 に示します。

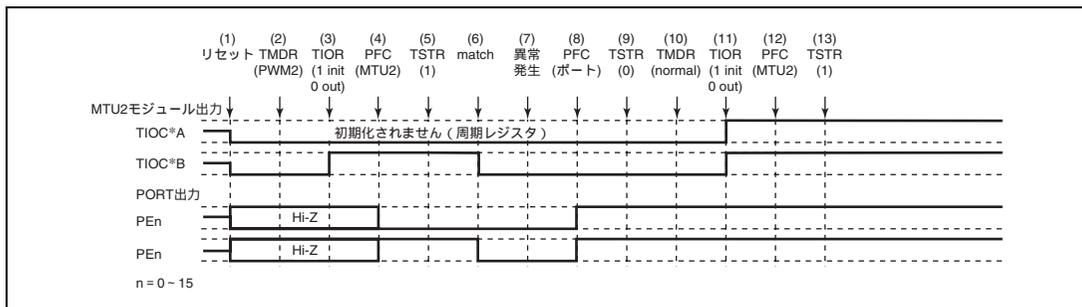


図 11.127 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です。  
PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC\*A が周期レジスタの場合です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.128 に示します。

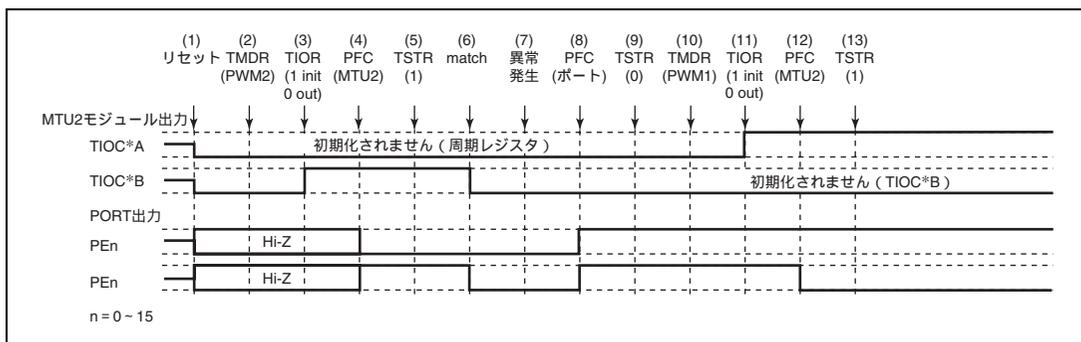


図 11.128 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 11.127 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC\*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 11.129 に示します。

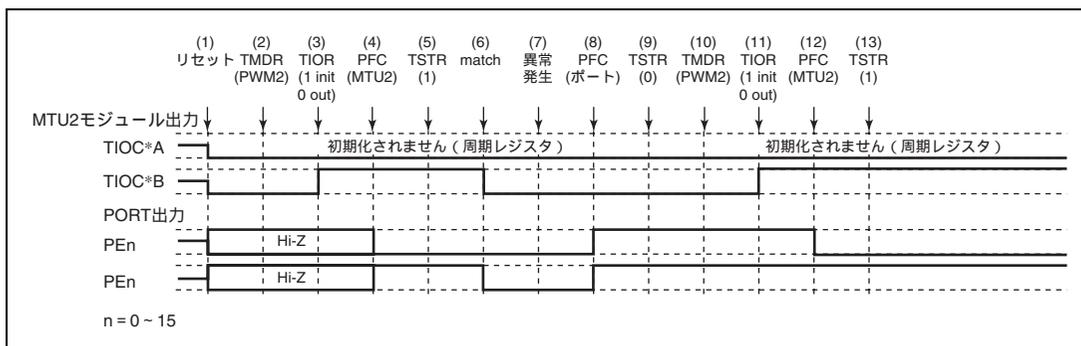


図 11.129 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 11.127 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.130 に示します。

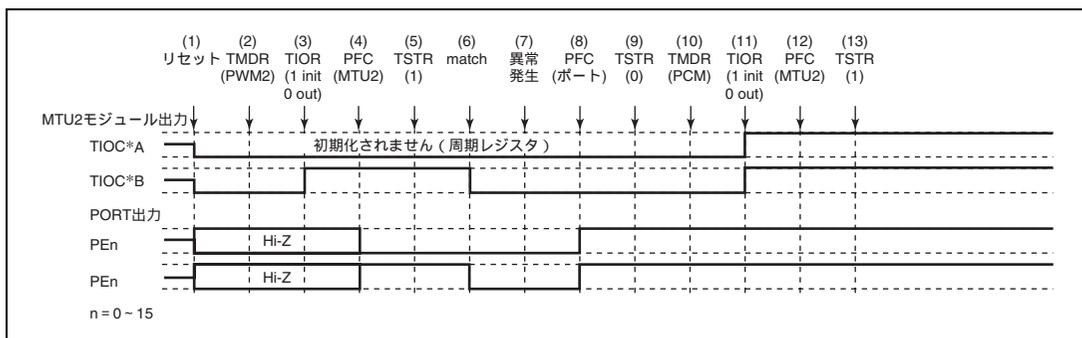


図 11.130 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 11.127 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.131 に示します。

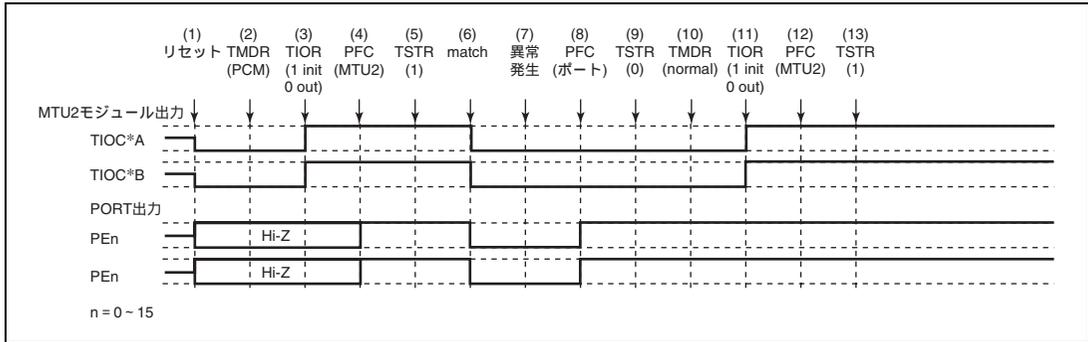


図 11.131 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR で端子を初期化してください(例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
- (4) PFC で MTU2 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生によりローレベルを出力します。
- (7) 異常が発生しました。
- (8) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU2 出力としてください。
- (13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.132 に示します。

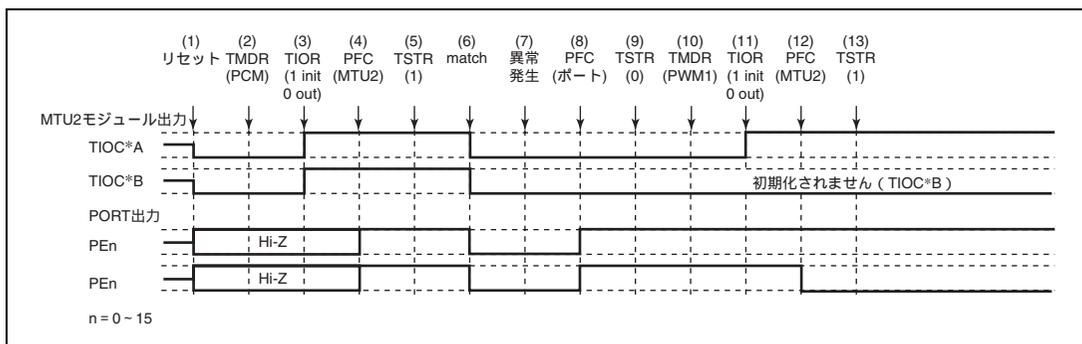


図 11.132 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 11.131 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC\*B 側は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 11.133 に示します。

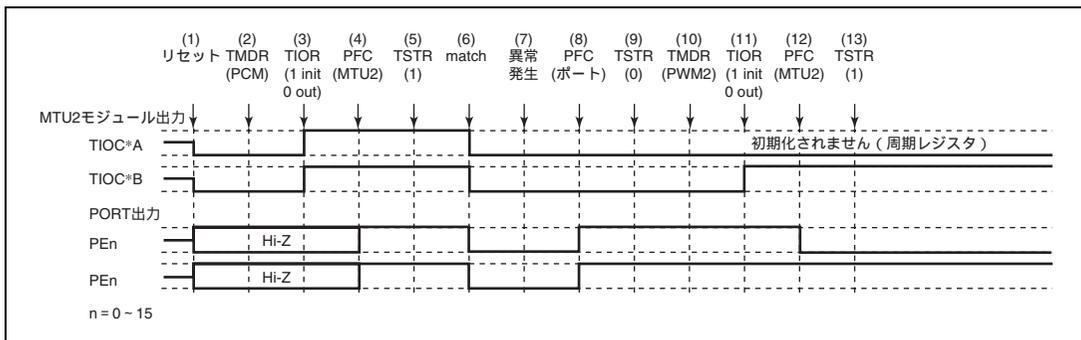


図 11.133 位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 11.131 と共通です。

(10) PWM モード 2 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 11.134 に示します。

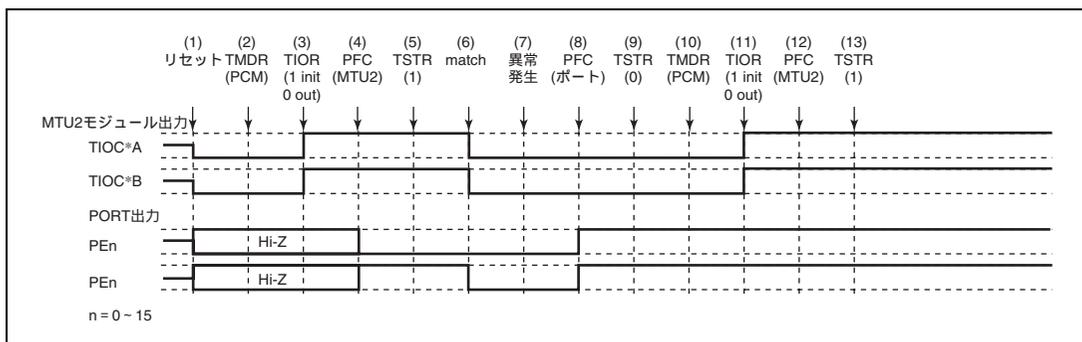


図 11.134 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 11.131 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR で端子を初期化してください。

(12) PFC で MTU2 出力としてください。

(13) TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 11.135 に示します。

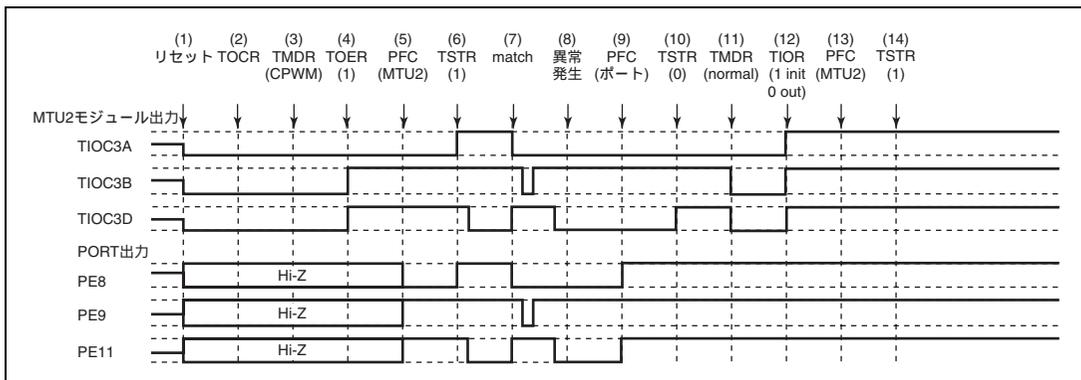


図 11.135 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.136 に示します。

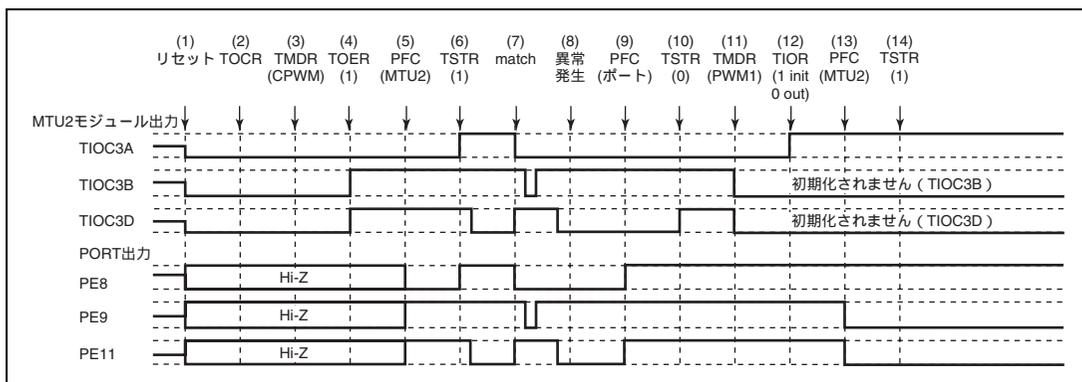


図 11.136 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (10) は図 11.135 と共通です。
- (11) PWM モード 1 を設定してください (MTU2 出力はローレベルとなります)。
- (12) TIOR で端子を初期化してください (PWM モード 1 では TIOC\*B 側は初期化されません)。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.137 に示します (周期、デューティ設定をカウンタを止めた時の値から再スタートする場合)。

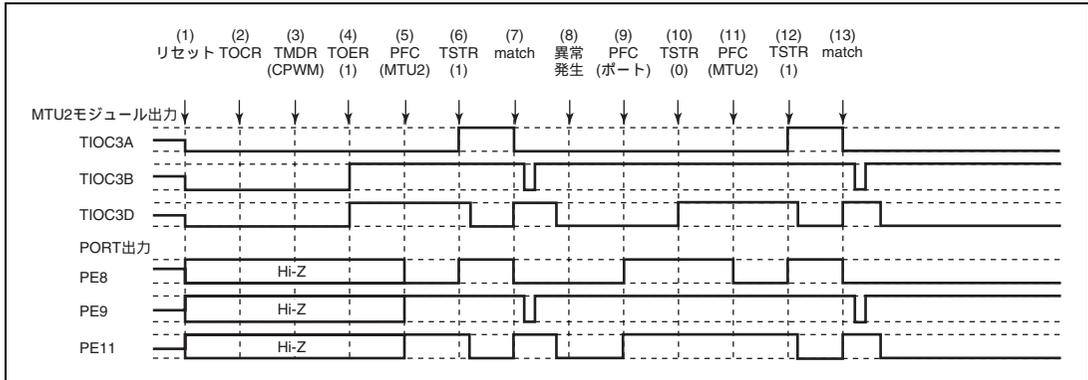


図 11.137 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 11.135 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 11.138 に示します (周期、デューティ設定を全く新しい設定値で再スタートする場合)。

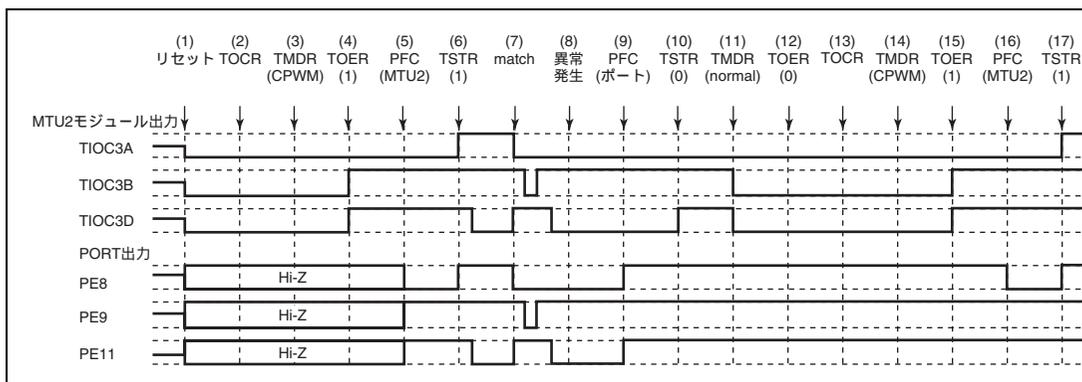


図 11.138 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 11.135 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください (MTU2 出力はローレベルとなります)。

(12) TOER でチャンネル 3、4 の出力を禁止してください。

(13) TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOER でチャンネル 3、4 の出力を許可してください。

(16) PFC で MTU2 出力としてください。

(17) TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作  
相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図  
11.139 に示します。

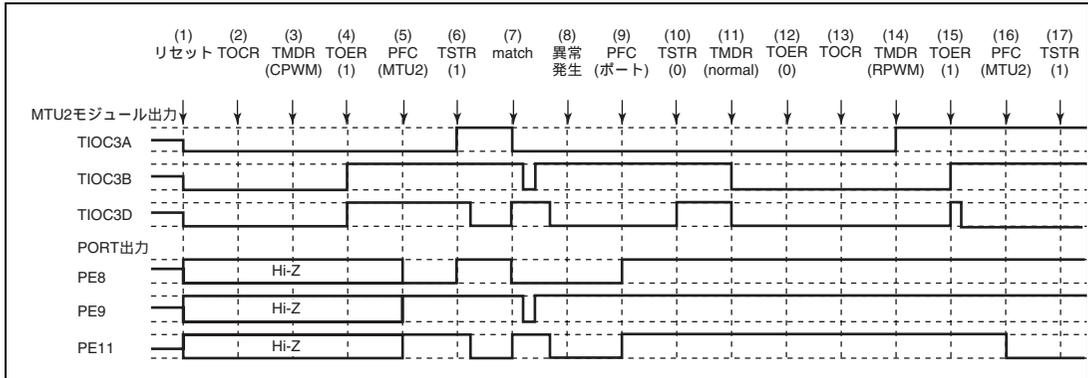


図 11.139 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 11.135 と共通です。
- (11) ノーマルモードを設定してください (MTU2 出力はローレベルとなります)。
- (12) TOER でチャンネル 3、4 の出力を禁止してください。
- (13) TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOER でチャンネル 3、4 の出力を許可してください。
- (16) PFC で MTU2 出力としてください。
- (17) TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作  
 リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図  
 11.140 に示します。

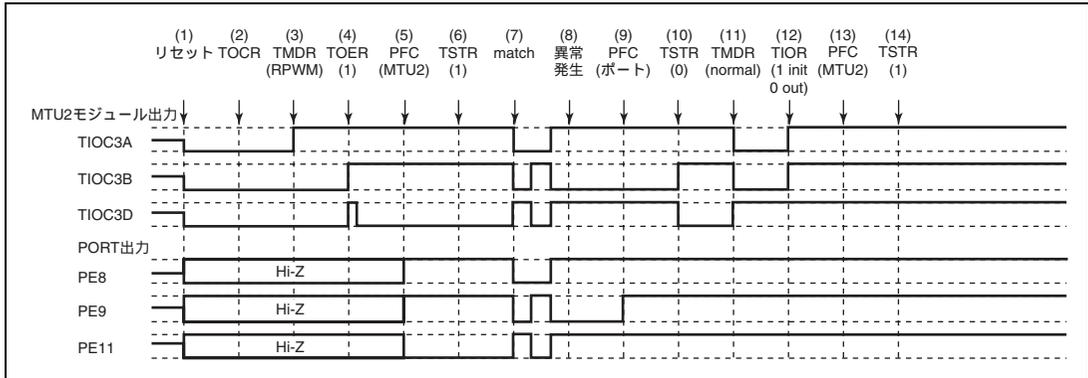


図 11.140 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU2 出力はローレベル、ポートはハイインピーダンスになります。
- (2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOER でチャンネル 3、4 の出力を許可してください。
- (5) PFC で MTU2 出力としてください。
- (6) TSTR でカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) PFC でポート出力とし、アクティブレベルの反転を出力してください。
- (10) TSTR でカウント動作を停止します (MTU2 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。
- (12) TIOR で端子を初期化してください。
- (13) PFC で MTU2 出力としてください。
- (14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 11.141 に示します。

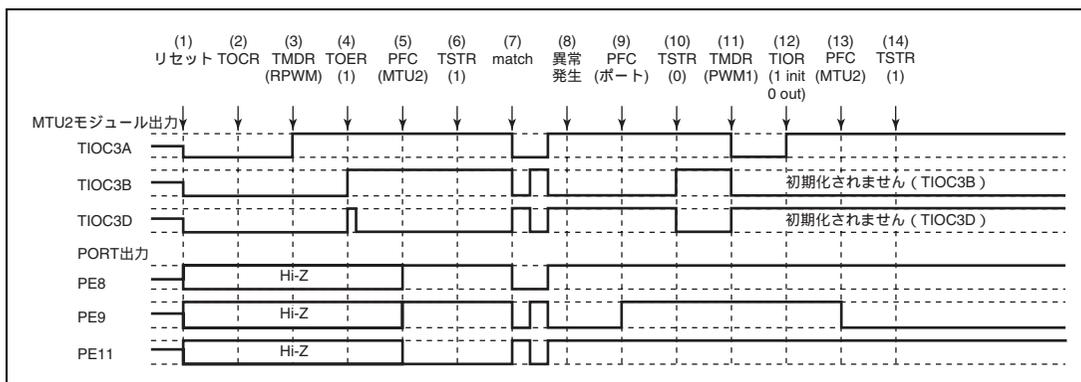


図 11.141 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 11.140 と共通です。

(11) PWM モード 1 を設定してください (MTU2 出力は正相側がローレベル、逆相側がハイレベルとなります)。

(12) TIOR で端子を初期化してください (PWM モード 1 では TIOC\*B 側は初期化されません)。

(13) PFC で MTU2 出力としてください。

(14) TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作  
 リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図  
 11.142 に示します。

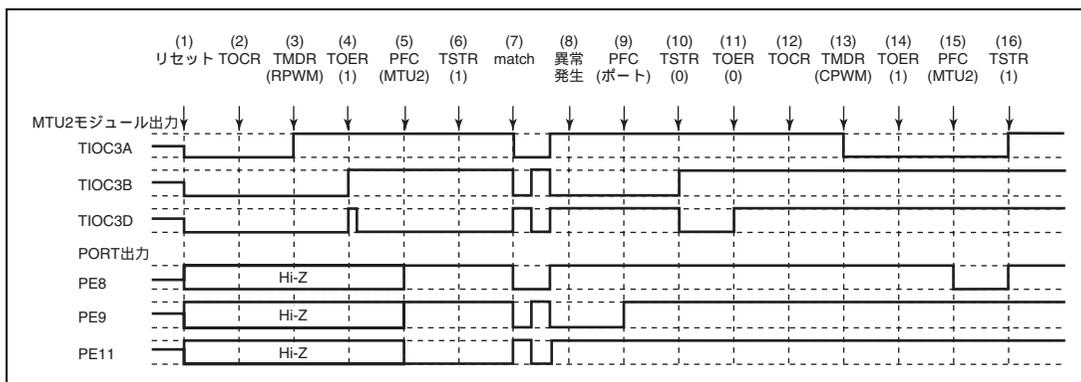


図 11.142 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

- (1) ~ (10) は図 11.140 と共通です。
- (11) TOER でチャンネル 3、4 の出力を禁止してください。
- (12) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
- (13) 相補 PWM を設定します (MTU2 の周期出力端子はローレベルになります)。
- (14) TOER でチャンネル 3、4 の出力を許可してください。
- (15) PFC で MTU2 出力としてください。
- (16) TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 11.143 に示します。

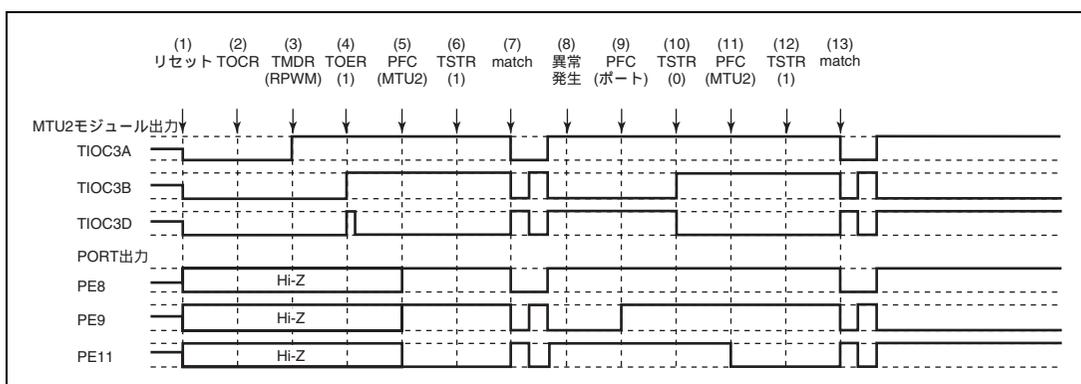


図 11.143 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 11.140 と共通です。
- (11) PFC で MTU2 出力としてください。
- (12) TSTR で再スタートします。
- (13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

## 12. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

### 12.1 特長

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能  
4種類の内部クロック (P /8、P /32、P /128、P /512) を選択可能
- コンペアマッチ時、DMAC設定により、DMA転送要求または割り込み要求の発生を選択可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 12.1 に CMT のブロック図を示します。

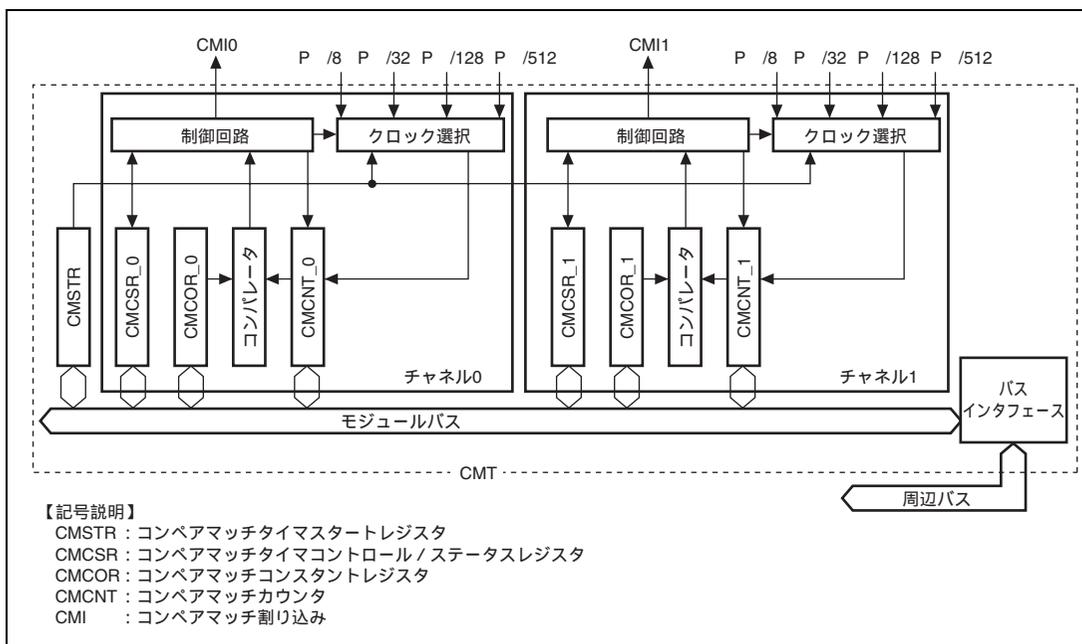


図 12.1 CMT のブロック図

## 12.2 レジスタの説明

CMT には以下のレジスタがあります。

表 12.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	コンペアマッチタイムスタートレジスタ	CMSTR	R/W	H'0000	H'FFFEC000	16
0	コンペアマッチタイムコントロール/ ステータスレジスタ_0	CMCSR_0	R/W	H'0000	H'FFFEC002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFEC004	8、16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFEC006	8、16
1	コンペアマッチタイムコントロール/ ステータスレジスタ_1	CMCSR_1	R/W	H'0000	H'FFFEC008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFEC00A	8、16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFEC00C	8、16

### 12.2.1 コンペアマッチタイムスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作 / 停止を選択します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作 / 停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作 / 停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始

## 12.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入力クロックの設定を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】\* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0: CMCNT と CMCOR の値は不一致 [クリア条件] • CMF = 1 を読み出し後、CMF に 0 を書き込んだとき 1: CMCNT と CMCOR の値が一致
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF = 1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0: コンペアマッチ割り込み (CMI) を禁止 1: コンペアマッチ割り込み (CMI) を許可
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (P ) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00: P /8 01: P /32 10: P /128 11: P /512

### 12.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

コンペアマッチタイムスタートレジスタ (CMSTR) の該当チャネルのカウントスタートビットを 1 から 0 にクリアしたとき、H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

### 12.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

## 12.3 動作説明

### 12.3.1 期間カウント動作

内部クロックが CMCSR の CKS[1:0]ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 12.2 にコンペアマッチカウンタ動作を示します。

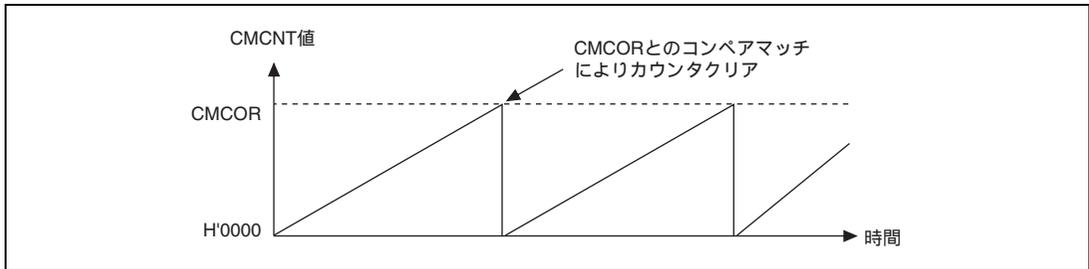


図 12.2 カウンタ動作

### 12.3.2 CMCNT カウントタイミング

周辺クロック (P) を分周して得られた 4 種類のクロック (P /8、P /32、P /128、P /512) のうち 1 つを CMCSR の CKS[1:0]ビットにより選択することができます。図 12.3 にそのタイミングを示します。

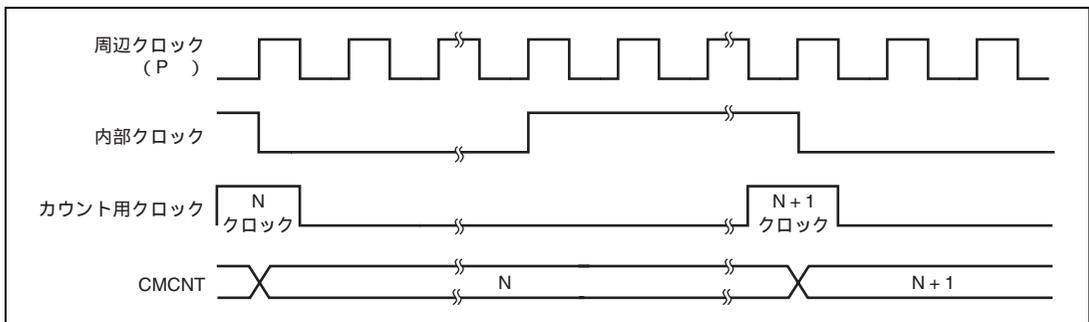


図 12.3 カウントタイミング

## 12.4 割り込み

### 12.4.1 割り込み要因と DMA 転送要求

CMT はチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。コンペアマッチフラグ (CMF) が 1 にセットされ、かつ割り込みイネーブルビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、ダイレクトメモリアクセスコントローラ (DMAC) の設定により、DMAC を起動することができます。このとき、CPU へ割り込み発生はしません。DMAC の起動設定を行わない場合は、CPU へ割り込み要求が発生します。DMAC によるデータ転送時に CMF ビットは自動的にクリアされます。

### 12.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないときコンペアマッチ信号は発生しません。図 12.4 に CMF ビットのセットタイミングを示します。

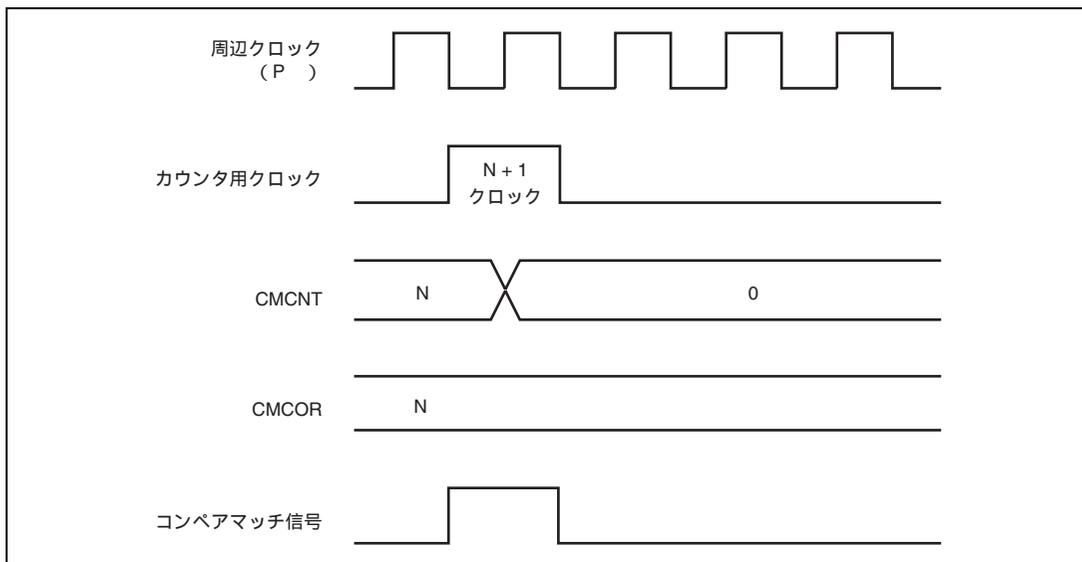


図 12.4 CMF セットタイミング

### 12.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF = 1 を読み出した後に 0 を書き込むことでクリアされます。ただし、DMAC を起動した場合、DMAC がデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

## 12.5 使用上の注意事項

### 12.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 12.5 に示します。

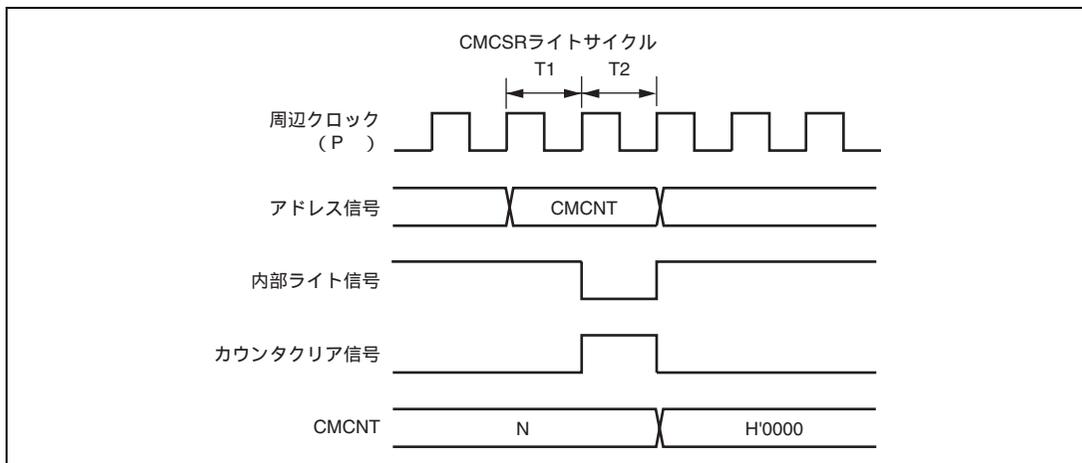


図 12.5 CMCNT の書き込みとコンペアマッチの競合

### 12.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 12.6 に示します。

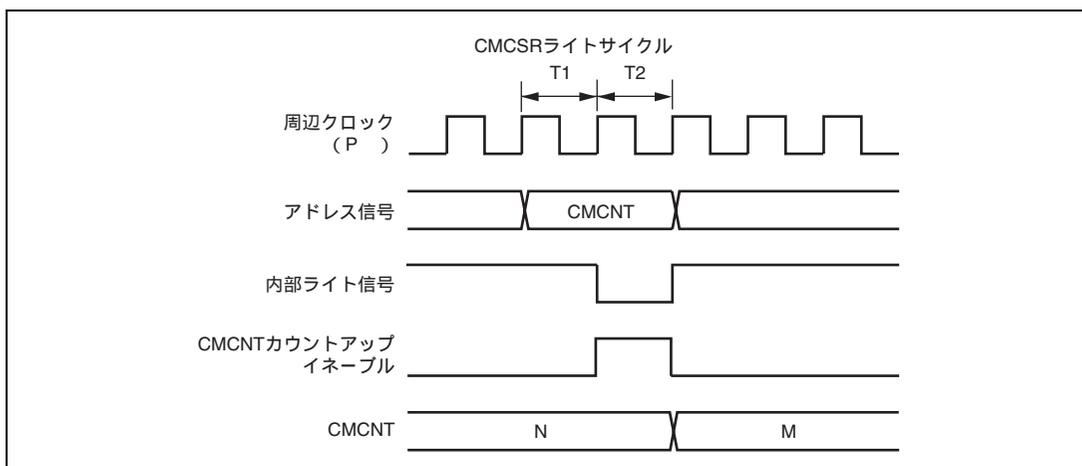


図 12.6 CMCNT のワード書き込みとカウントアップの競合

### 12.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 12.7 に示します。

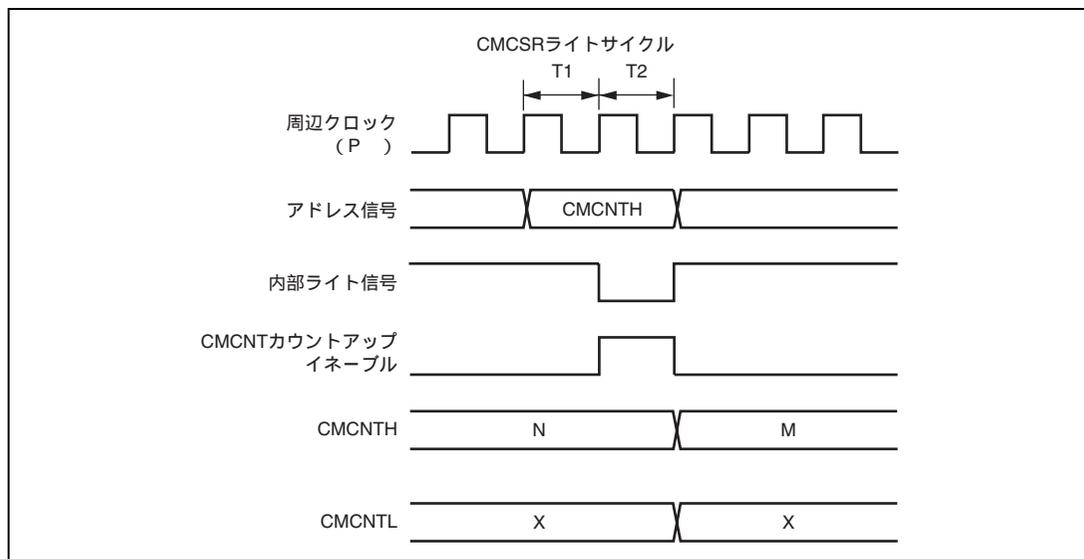


図 12.7 CMCNT のバイト書き込みとカウントアップの競合

### 12.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント停止状態で CMCNT と CMCOR に同じ値を設定しないでください。



---

## 13. ウォッチドッグタイマ (WDT)

---

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ( $\overline{\text{WDTOVF}}$ ) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

WDT は、1 チャネルのタイマで、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウンタに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

### 13.1 特長

- クロック発振安定時間の確保に使用可能  
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力  
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生  
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能  
周辺クロックを分周した8種類のクロック ( $P \times 1 \sim \times 1/16384$ ) から選択できます。

図 13.1 に WDT のブロック図を示します。

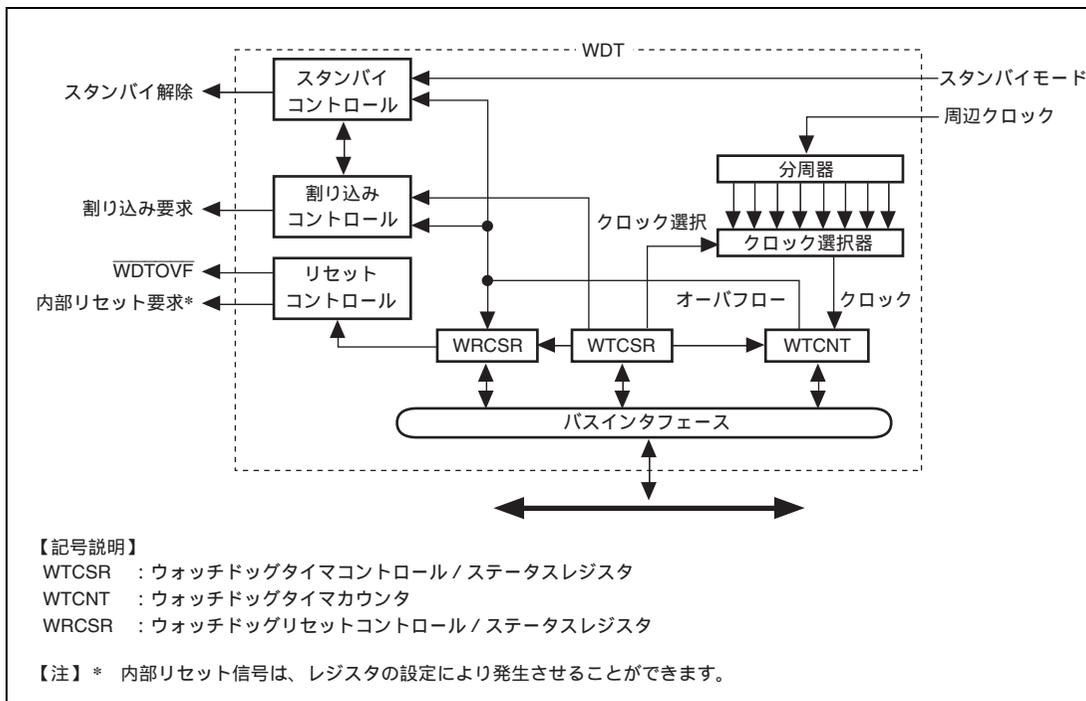


図 13.1 WDT のブロック図

## 13.2 入出力端子

WDT の端子を表 13.1 に示します。

表 13.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー 信号出力

### 13.3 レジスタの説明

WDT には以下のレジスタがあります。

表 13.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	R/W	H'1F	H'FFFE0004	16*

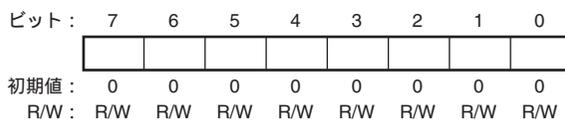
【注】 \* アクセスサイズは、「13.3.4 レジスタアクセス時の注意」を参照してください。

#### 13.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号 ( $\overline{\text{WDTOVF}}$ ) が発生し、インターバルタイマモードのときは割り込みが発生します。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「13.3.4 レジスタアクセス時の注意」を参照してください。



### 13.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットからなります。

ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「13.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/IT	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IOVF	0	R/(W)	インターバルタイマオーバフロー インターバルタイマモードでWTCNTがオーバフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0: オーバフローなし 1: インターバルタイマモードでWTCNTがオーバフローした [クリア条件] • IOVFを読み出してから0を書き込む
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNTがオーバフローしたときWDTOVF信号を外部へ出力 WDTの動作中にWT/ITを書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時にWDTを使用する場合には、このビットを0にしてください。 0: タイマディスエーブル カウントアップを停止し、WTCNTの値を保持する。 1: タイマイネーブル

ビット	ビット名	初期値	R/W	説 明																		
4, 3	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (P ) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック (P ) = 33MHz の場合の値です。</p> <table> <thead> <tr> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : 1 × P</td> <td>( 7.7 μs )</td> </tr> <tr> <td>001 : 1/64 × P</td> <td>( 500 μs )</td> </tr> <tr> <td>010 : 1/128 × P</td> <td>( 1.0ms )</td> </tr> <tr> <td>011 : 1/256 × P</td> <td>( 2.0ms )</td> </tr> <tr> <td>100 : 1/512 × P</td> <td>( 4.0ms )</td> </tr> <tr> <td>101 : 1/1024 × P</td> <td>( 8.0ms )</td> </tr> <tr> <td>110 : 1/4096 × P</td> <td>( 32ms )</td> </tr> <tr> <td>111 : 1/16384 × P</td> <td>( 128ms )</td> </tr> </tbody> </table> <p>【注】 WDT の動作中に CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換える場合は、必ず WDT を停止させてください。</p>	クロック分周比	オーバフロー周期	000 : 1 × P	( 7.7 μs )	001 : 1/64 × P	( 500 μs )	010 : 1/128 × P	( 1.0ms )	011 : 1/256 × P	( 2.0ms )	100 : 1/512 × P	( 4.0ms )	101 : 1/1024 × P	( 8.0ms )	110 : 1/4096 × P	( 32ms )	111 : 1/16384 × P	( 128ms )
クロック分周比	オーバフロー周期																					
000 : 1 × P	( 7.7 μs )																					
001 : 1/64 × P	( 500 μs )																					
010 : 1/128 × P	( 1.0ms )																					
011 : 1/256 × P	( 2.0ms )																					
100 : 1/512 × P	( 4.0ms )																					
101 : 1/1024 × P	( 8.0ms )																					
110 : 1/4096 × P	( 32ms )																					
111 : 1/16384 × P	( 128ms )																					

### 13.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「13.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0: オーバフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした [クリア条件] • WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: WTCNT がオーバーフローしたとき、内部リセットしない* 1: WTCNT がオーバーフローしたとき、内部リセットする 【注】* 本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCSR はリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット
4~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

### 13.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

#### (1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込みません。

図 13.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

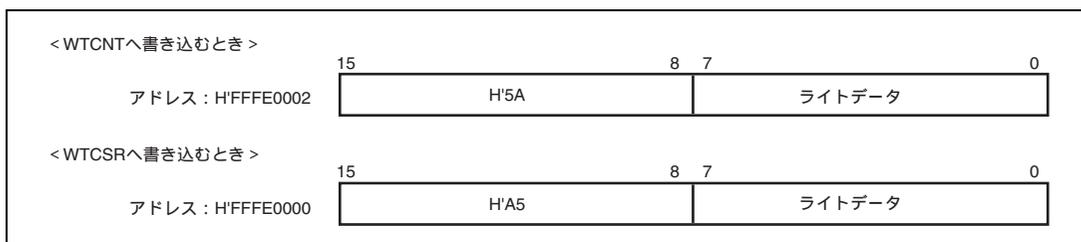


図 13.2 WTCNT および WTCSR への書き込み

#### (2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込みません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 13.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

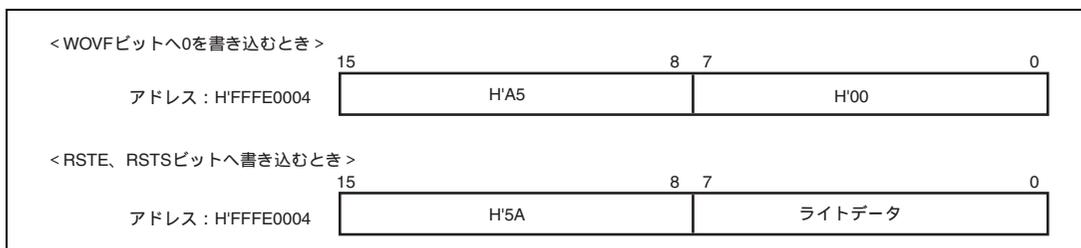


図 13.3 WRCSR への書き込み

## (3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

## 13.4 WDT の使用方法

### 13.4.1 ソフトウェアスタンバイモード解除の手順

WDT は、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します (リセットで解除する場合は、WDT は動作しないため、クロックの発振が安定するまで  $\overline{\text{RES}}$  端子または  $\overline{\text{MRES}}$  端子をローレベルに保ってください)。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR: 「第32章 低消費電力モード」参照) の STBY ビットに 1 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

### 13.4.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り換えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。ただし、WDT のカウントアップは、設定後のクロックでカウントアップされます。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止して、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開して、本 LSI が動作を再開します。このときは、WRCSR の WOVF はセットされません。
5. カウンタは、H'00 の値で停止します。
6. 周波数変更命令の後、WTCNT を書き換える場合には、WTCNT を読み出して H'00 になっていることを確認してから書き換えてください。

### 13.4.3 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定して、CKS[2:0]にカウントクロックの種類、WRCSRのRSTEビットに本LSIの内部をリセットするかしないか、RSTSビットにこのときのリセットのタイプ、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWRCSRのWOVVFを1にセットして、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図13.4に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、 $64 \times P$  クロックの間出力されます。
5. WRCSRのRSTEビットを1にセットしておく、と、 $\overline{\text{WDTOVF}}$ 信号と同時に本LSIの内部をリセットする信号を発生させることができます。このリセットは、WRCSRのRSTSビットの設定によってパワーオンリセットまたはマニュアルリセットを選択できます。内部リセット信号は、 $128 \times P$  クロックの間出力されます。
6.  $\overline{\text{RES}}$ 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCSRのWOVVFビットは0にクリアされます。

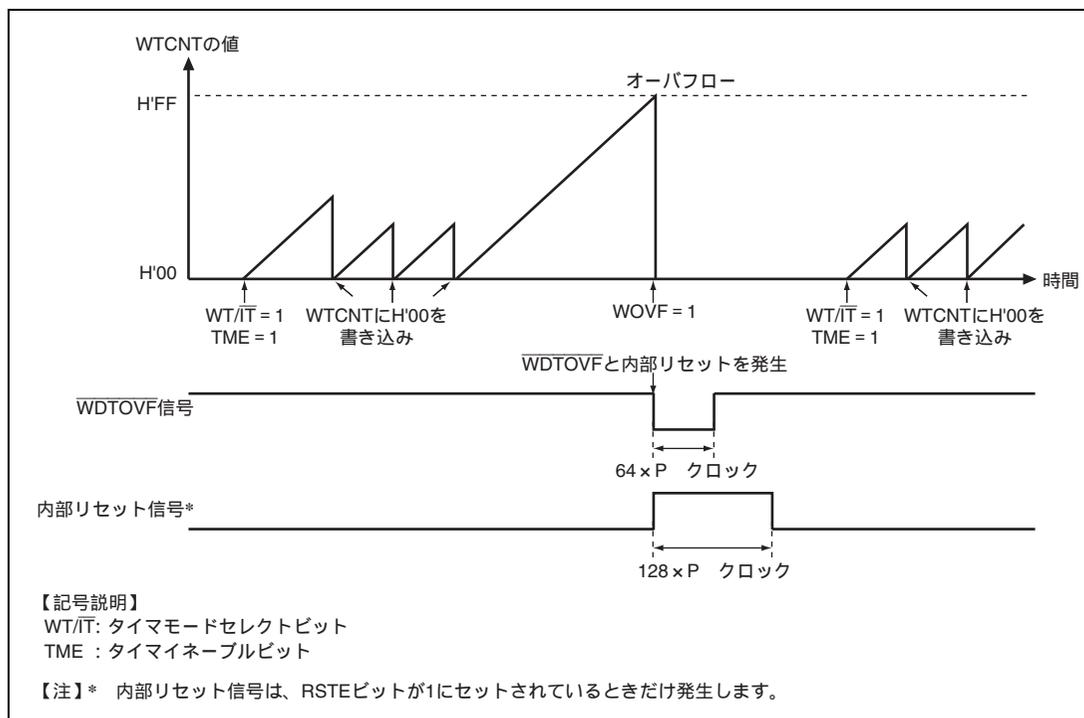


図 13.4 ウォッチドッグタイマモード時の動作

### 13.4.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRのWT/ $\overline{IT}$ ビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

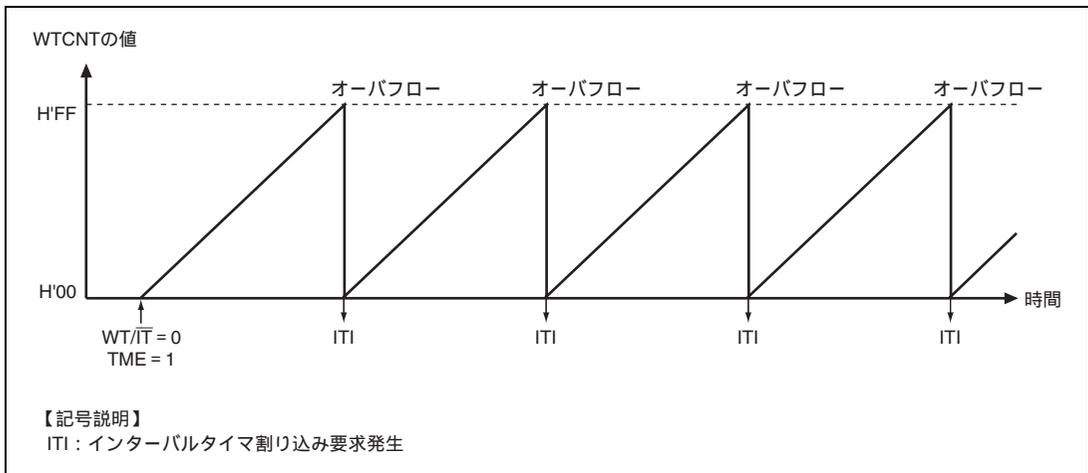


図 13.5 インターバルタイマモード時の動作

## 13.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

### 13.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、P の 1 サイクル後 (最短) から、CKS[2:0] で選択した分周タイミング (最長) までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

### 13.5.2 WTCNT の設定値として H'FF は設定禁止

WDT では WTCNT の値が H'FF になったことをオーバフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたは WDT リセットが発生します。

### 13.5.3 インターバルタイマオーバフローフラグ

WTCNT の値が H'FF のときには、WTCNT の IOVF フラグはクリアできません。

WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

### 13.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$  信号を本 LSI の  $\overline{\text{RES}}$  端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$  信号は、本 LSI の  $\overline{\text{RES}}$  端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$  信号でシステム全体をリセットするときは、図 13.6 に示すような回路で行ってください。

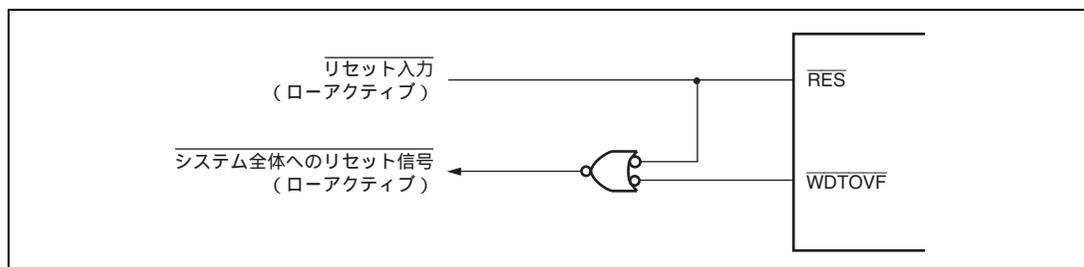


図 13.6  $\overline{\text{WDTOVF}}$  信号によるシステムリセット回路例

### 13.5.5 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やDMACバースト転送中にマニュアルリセットが発生すると、CPUがバス権を獲得するまでマニュアルリセット例外処理は保留されます。

### 13.5.6 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモードで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセットが発生した場合、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は初期化されず、WOVFビットは1の状態となります。WOVFビットが1の状態の場合、WTCNTがオーバーフローしても内部リセットは発生しません。

---

## 14. リアルタイムクロック (RTC)

---

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

### 14.1 特長

- 時計・カレンダー機能 (BCD表示) を搭載  
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載  
64Hzカウンタが、RTCの分周回路のうち64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み  
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み  
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み  
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

図 14.1 に RTC のブロック図を示します。

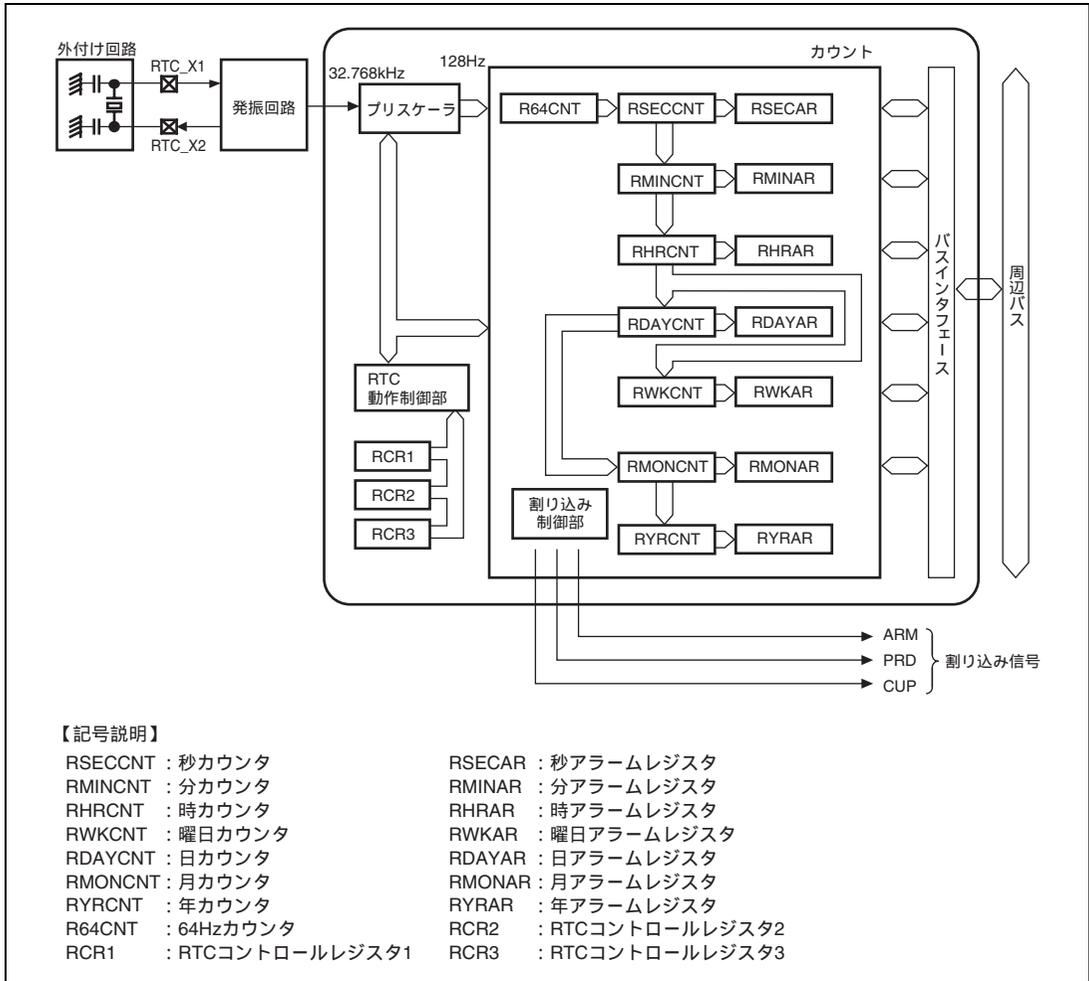


図 14.1 RTC のブロック図

## 14.2 入出力端子

RTC の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	端子名	入出力	機能
RTC 用水晶発振子 / 外部クロック	RTC_X1	入力	RTC 用に 32.768kHz の水晶発振子を接続します。また RTC_X1 端子は外部クロックを入力することもできます。
	RTC_X2	出力	

## 14.3 レジスタの説明

RTC には以下のレジスタがあります。

表 14.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
64Hz カウンタ	R64CNT	R	H'xx	H'FFFF2000	8
秒カウンタ	RSECCNT	R/W	H'xx	H'FFFF2002	8
分カウンタ	RMINCNT	R/W	H'xx	H'FFFF2004	8
時カウンタ	RHRCNT	R/W	H'xx	H'FFFF2006	8
曜日カウンタ	RWKCNT	R/W	H'0x	H'FFFF2008	8
日カウンタ	RDAYCNT	R/W	H'xx	H'FFFF200A	8
月カウンタ	RMONCNT	R/W	H'xx	H'FFFF200C	8
年カウンタ	RYRCNT	R/W	H'xxxx	H'FFFF200E	16
秒アラームレジスタ	RSECAR	R/W	H'xx	H'FFFF2010	8
分アラームレジスタ	RMINAR	R/W	H'xx	H'FFFF2012	8
時アラームレジスタ	RHRAR	R/W	H'xx	H'FFFF2014	8
曜日アラームレジスタ	RWKAR	R/W	H'0x	H'FFFF2016	8
日アラームレジスタ	RDAYAR	R/W	H'xx	H'FFFF2018	8
月アラームレジスタ	RMONAR	R/W	H'xx	H'FFFF201A	8
年アラームレジスタ	RYRAR	R/W	H'xxxx	H'FFFF2020	16
RTC コントロールレジスタ 1	RCR1	R/W	H'00	H'FFFF201C	8
RTC コントロールレジスタ 2	RCR2	R/W	H'09	H'FFFF201E	8
RTC コントロールレジスタ 3	RCR3	R/W	H'00	H'FFFF2024	8

### 14.3.1 64Hz カウンタ (R64CNT)

R64CNT は、RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は初期化されます。

ビット:	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	1Hz	不定	R	RTC の分周回路のうち、1Hz ~ 64Hz の状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

### 14.3.2 秒カウンタ (RSECCNT)

RSECCNT は、RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値:	0	不定						
R/W:	R	R/W						

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 秒	不定	R/W	秒十位カウント 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
3~0	1 秒	不定	R/W	秒一位カウント 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。

### 14.3.3 分カウンタ (RMINCNT)

RMINCNT は、RTC の BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	10分			1分			
初期値:	0	不定						
R/W:	R	R/W						

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	10 分	不定	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0	1 分	不定	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

### 14.3.4 時カウンタ (RHRCNT)

RHRCNT は、RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 00~23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位カウント 時十位は 0 から 2 をカウントします。
3~0	1 時間	不定	R/W	時一位カウント 時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時十位が +1 されます。

### 14.3.5 曜日カウンタ (RWKCNT)

RWKCNT は、RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0~6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日カウント バイナリコードで曜日を表します。  000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

### 14.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット:	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位カウンタ
3~0	1 日	不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0~9 をカウントします。桁上がりが発生すると日十位が +1 されます。

## 14.3.7 月カウンタ (RMONCNT)

RMONCNT は、RTC の BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10月	不定	R/W	月十位カウント
3~0	1月	不定	R/W	月一位カウント 月一位は 1 月ごとに 0~9 をカウントします。桁上がりが発生すると月十位が +1 されます。

### 14.3.8 年カウンタ (RYRCNT)

RYRCNT は、RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	1000 年	不定	R/W	年千位カウント
11~8	100 年	不定	R/W	年百位カウント
7~4	10 年	不定	R/W	年十位カウント
3~0	1 年	不定	R/W	年一位カウント

### 14.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、RTC の BCD コード化された秒部分のカウント RSECNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値:	0	不定						
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RSECNT の値と比較を行います。
6~4	10 秒	不定	R/W	秒十位の設定値
3~0	1 秒	不定	R/W	秒一位の設定値

### 14.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値:	0	不定						
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4	10 分	不定	R/W	分十位の設定値
3~0	1 分	不定	R/W	分一位の設定値

### 14.3.11 時アラームレジスタ (RHRAR)

RHRAR は、RTC の BCD コード化された時部分のカウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RHCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 時間	不定	R/W	時十位の設定値
3~0	1 時間	不定	R/W	時一位の設定値

### 14.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 0~6+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日		
初期値:	0	0	0	0	0	不定	不定	不定
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	曜日	不定	R/W	曜日の設定値  000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定禁止)

### 14.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10日		1日			
初期値:	0	0	不定	不定	不定	不定	不定	不定
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	10 日	不定	R/W	日十位の設定値
3~0	1 日	不定	R/W	日一位の設定値

### 14.3.14 月アラームレジスタ (RMONAR)

RMONAR は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進 (BCD) で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値:	0	0	0	不定	不定	不定	不定	不定
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	10 月	不定	R/W	月十位の設定値
3~0	1 月	不定	R/W	月一位の設定値

## 14.3.15 年アラームレジスタ (RYRAR)

RYRAR は、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。  
設定可能範囲は、10 進 (BCD) で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	1000 年	不定	R/W	年千位の設定値
11~8	100 年	不定	R/W	年百位の設定値
7~4	10 年	不定	R/W	年十位の設定値
3~0	1 年	不定	R/W	年一位の設定値

## 14.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

CF フラグは、分周回路がリセット (RCR2 の RESET ビットと ADJ ビットを 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	-	AF
初期値:	不定	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	<p>桁上げフラグ</p> <p>このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。</p> <p>0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし</p> <p>[クリア条件] CF に 0 を書き込んだとき</p> <p>1: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり</p> <p>[セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき</p>

ビット	ビット名	初期値	R/W	説明
6, 5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ (CF) が1にセットされているとき、割り込み発生を許可するビットです。 0: CF フラグが1にセットされたとき、桁上げ割り込みを発生させない 1: CF フラグが1にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ (AF) が1にセットされているとき、割り込み発生を許可するビットです。 0: AF フラグが1にセットされたとき、アラーム割り込みを発生させない 1: AF フラグが1にセットされたとき、アラーム割り込みを発生させる
2, 1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	AF	0	R/W	アラームフラグ アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENB ビットを1に設定したレジスタのみ) とカウンタが一致したとき1にセットされるフラグです。 0: アラームレジスタとカウンタは不一致 [クリア条件] AF に0を書き込んだとき 1: アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ (ENB ビットを1に設定したレジスタのみ) とカウンタが一致したとき 【注】*1を書き込むと、元の値が保持されます。

## 14.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、RTC カウント制御に関するレジスタです。

パワーオンリセット、およびディープスタンバイモード時は初期化されます。マニュアルリセット時は、RTCEN ビットおよび START ビット以外が初期化されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES[2:0]		RTCEN	ADJ	RESET	START	
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	周期割り込みフラグ PES2～PES0 ビットで設定された周期で割り込み発生を示すフラグです。 このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES2～PES0 ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES2～PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES2～PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6～4	PES[2:0]	000	R/W	割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000 : 周期割り込み発生なし 001 : 周期割り込み発生の周期を 1/256 秒ごとに 010 : 周期割り込み発生の周期を 1/64 秒ごとに 011 : 周期割り込み発生の周期を 1/16 秒ごとに 100 : 周期割り込み発生の周期を 1/4 秒ごとに 101 : 周期割り込み発生の周期を 1/2 秒ごとに 110 : 周期割り込み発生の周期を 1 秒ごとに 111 : 周期割り込み発生の周期を 2 秒ごとに
3	RTCEN	1	R/W	RTC_X1 クロック制御 RTC_X1 端子の機能を制御します。 0 : 内蔵水晶発振器を停止 / 外部クロック入力禁止 1 : 内蔵水晶発振器を動作 / 外部クロック入力許可

ビット	ビット名	初期値	R/W	説 明
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0: 通常の時計動作 1: 30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) がリセットされた後、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0: 通常の時計動作 1: 分周回路をリセット
0	START	1	R/W	START ビット カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。 0: 秒、分、時、日、曜日、月、年カウンタは停止 1: 秒、分、時、日、曜日、月、年カウンタは通常動作

### 14.3.18 RTC コントロールレジスタ 3 (RCR3)

RCR3 は、ENB ビットが 1 にセットされていると、RYRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RYRCNT の値と比較を行います。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 14.4 動作説明

RTC の使用例を示します。

### 14.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

### 14.4.2 時刻設定手順

時刻設定手順例を図 14.2 に示します。

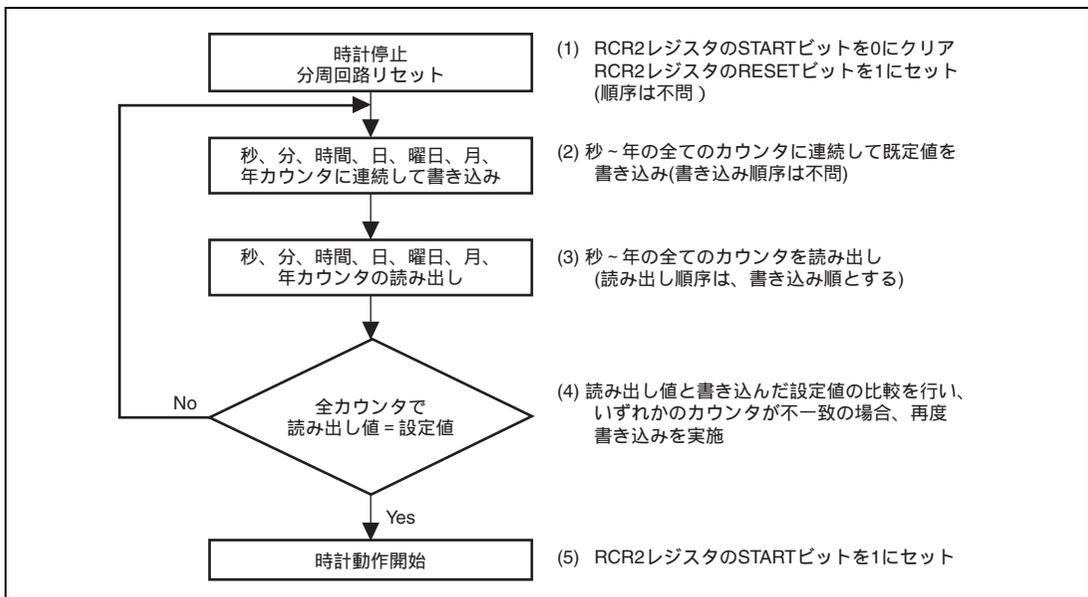


図 14.2 時刻設定手順

## 14.4.3 時刻読み出し手順

時刻読み出し手順を図 14.3 に示します。

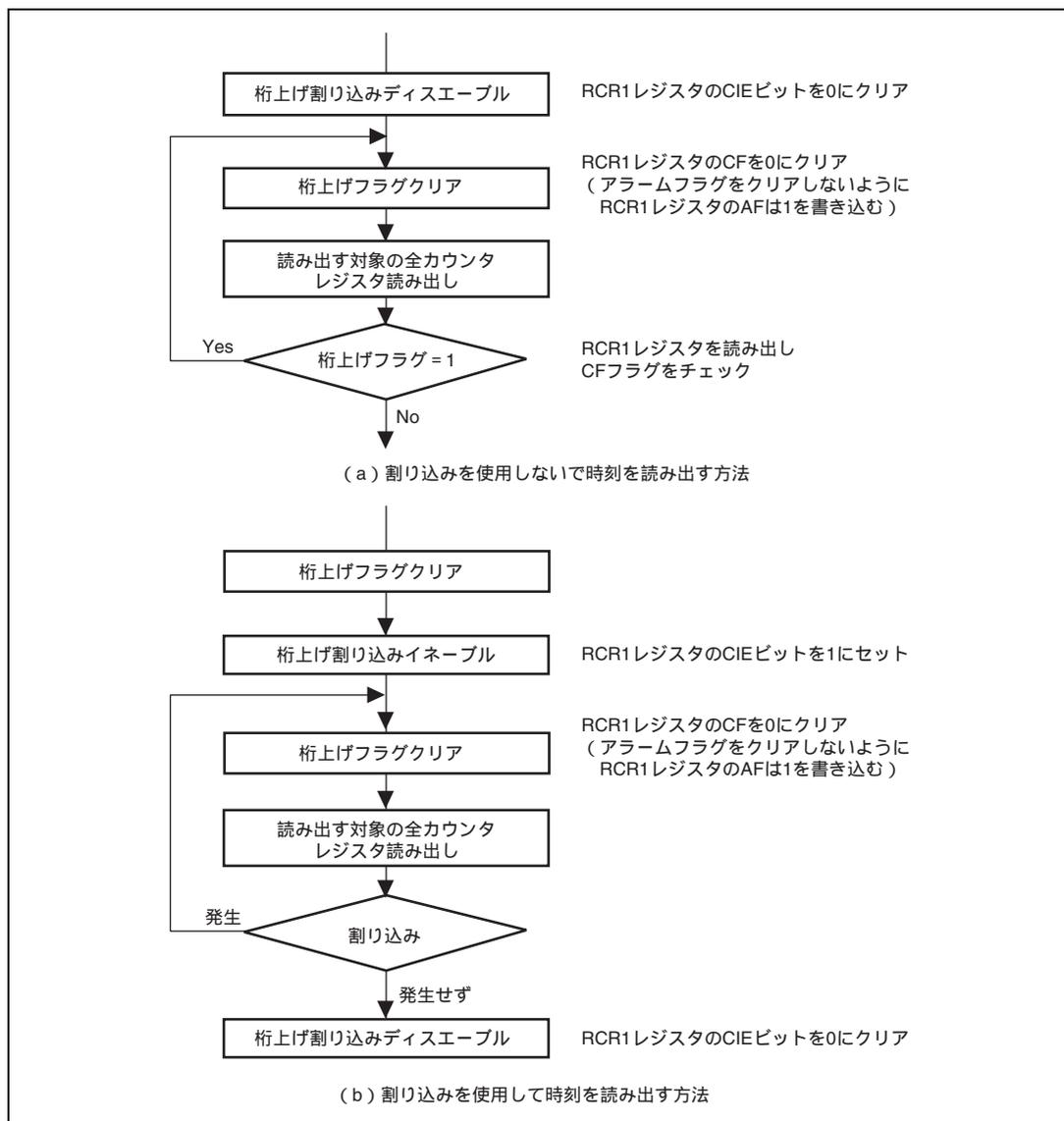


図 14.3 時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 14.3 の (a) に、桁上げ割り込みを使用する方法を図 14.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

### 14.4.4 アラーム機能

アラーム機能の使用例を図 14.4 に示します。

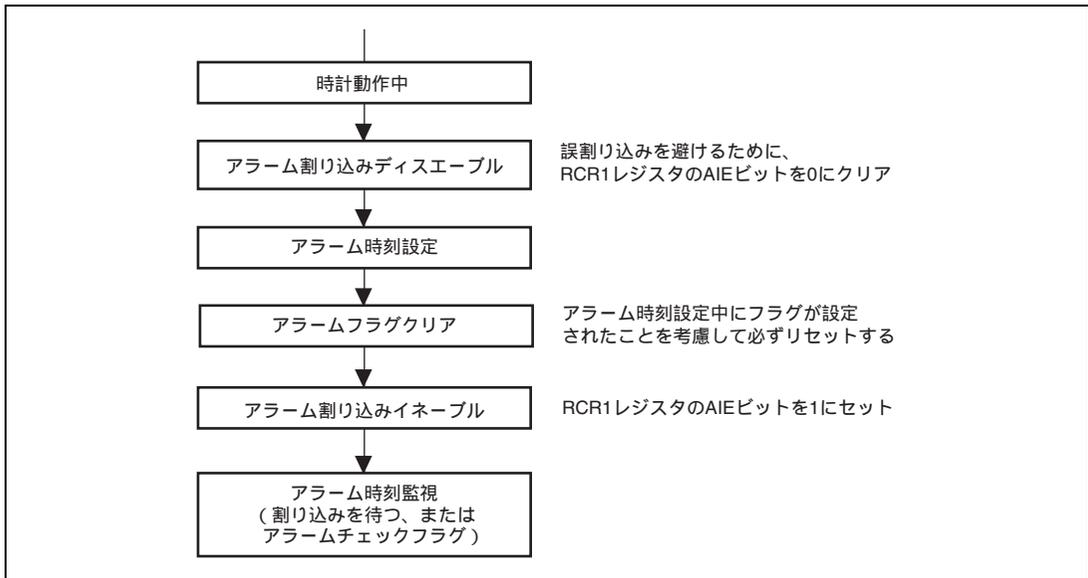


図 14.4 アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENBビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENBビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1レジスタのAFビットに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1レジスタのAIEビットに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

## 14.5 使用上の注意事項

### 14.5.1 RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 レジスタの START ビット = 1 のとき) は、以下のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

### 14.5.2 リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込みの使用方法を図 14.5 に示します。

周期割り込みは、RCR2 レジスタの PES[2:0] ビットで設定した周期で定期的に割り込みを発生させることができます。PES[2:0] ビットで設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] ビット設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

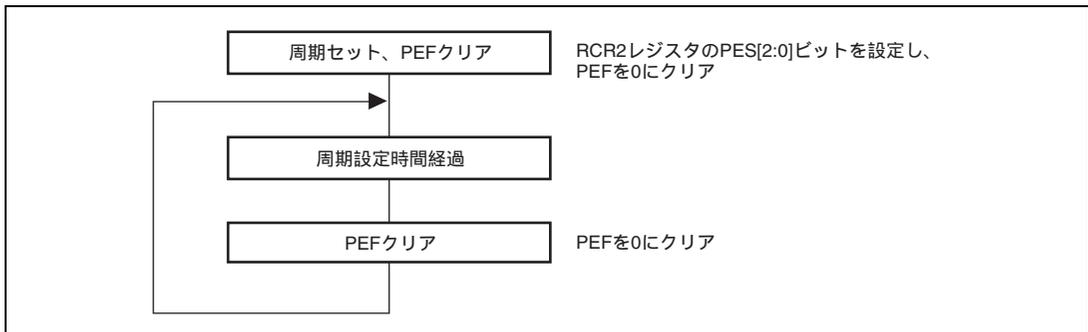


図 14.5 周期割り込み機能の使用方法

### 14.5.3 レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、設定したレジスタのダミーリードを行ってからスタンバイ状態に遷移してください。

#### 14.5.4 レジスタ書き込み / 読み出し時の注意事項

- 秒カウンタなど、カウントレジスタの書き込み後の読み出しは、「図14.2 時刻設定手順」に従ってください。  
このときに、秒～年の全てのカウンタに連続して書き込みを行う必要があります。図14.2の図中の(2)の書き込み処理の間に、カウントレジスタの読み出し処理が行われないようにしてください。
- RCR2レジスタの書き込み後の読み出し時は、ダミーリードを2回行った後に、リードしてください。2回のダミーリードでは、書き込み前の値が読み出せます。3回目のリードで書き込み値が反映されます。
- 上記以外のレジスタは、書き込み直後の読み出しで、書き込み値が反映されます。

---

## 15. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

---

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 4 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャンネルとも独立に送信 / 受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

### 15.1 特長

- 調歩同期式シリアル通信

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。

- クロック同期式シリアル通信

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 内部または外部送受信クロックソース  
ボーレートジェネレータ (内部クロック)、またはSCK端子 (外部クロック) から選択可能
- 4種類の割り込み要因  
送信FIFOデータエンプティ割り込み、ブ레이크割り込み、受信FIFOデータフル割り込み、および受信エラー割り込みの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいて、モデムコントロール機能 ( $\overline{\text{RTS}}$ および $\overline{\text{CTS}}$ ) を内蔵 (チャンネル3のみ)
- 送信、および受信FIFOデータレジスタのデータ数、および受信FIFOデータレジスタの受信データの受信エラー数を検出できます。
- 調歩同期式モード受信時、タイムアウトエラー (DR) を検出できます。
- 調歩同期式モードにおいて、ビットレートの16/8倍の基本クロックでの動作を選択可能
- 調歩同期式モード、クロックソースが内部クロック / SCK端子は入力端子において、ボーレートジェネレータ通常 / 倍速モード選択可能

図 15.1 に SCIF のブロック図を示します。ただし、チャンネル 0~2 には  $\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$  端子はありません。

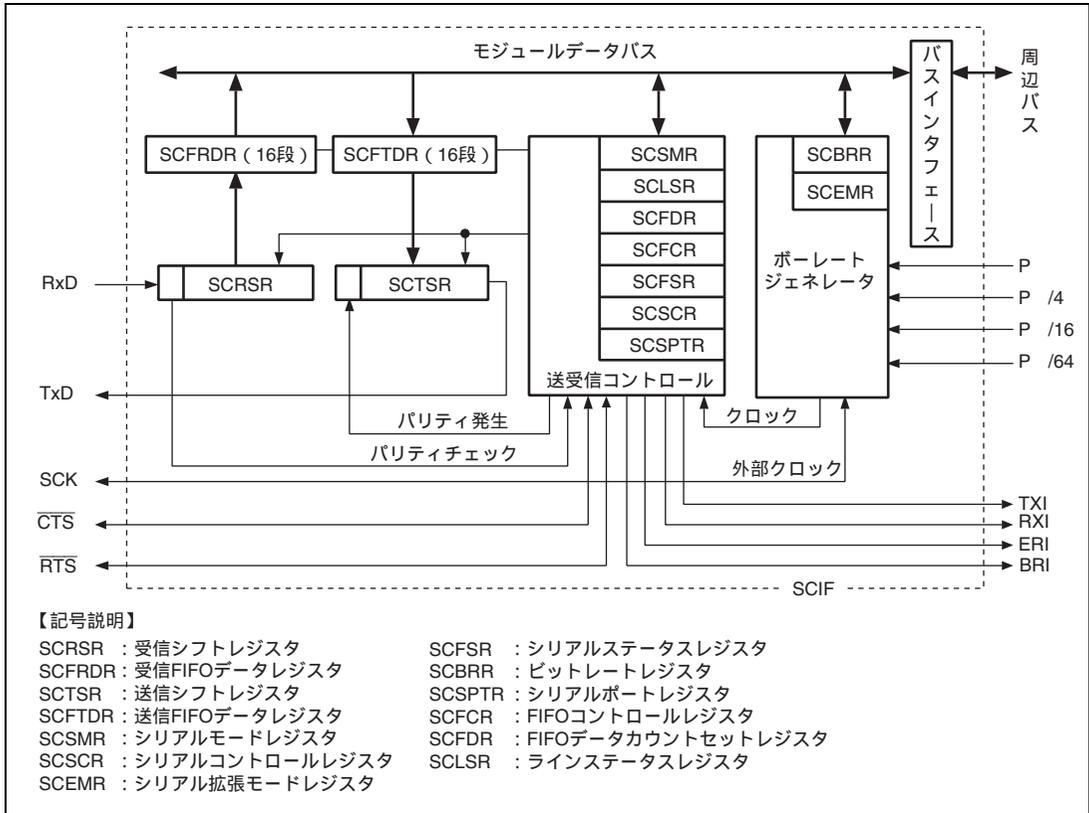


図 15.1 SCIF のブロック図

## 15.2 入出力端子

SCIF の端子構成を表 15.1 に示します。

表 15.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~3	シリアルクロック端子	SCK0 - SCK3	入出力	クロック入出力
	受信データ端子	RxD0 - RxD3	入力	受信データ入力
	送信データ端子	TxD0 - TxD3	出力	送信データ出力
3	リクエストツースェンド端子	$\overline{\text{RTS}}_3$	入出力	リクエストツースェンド
	クリアツースェンド端子	$\overline{\text{CTS}}_3$	入出力	クリアツースェンド

### 15.3 レジスタの説明

SCIF には以下のレジスタがあります。

表 15.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	W	不定	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* <sup>1</sup>	H'0060	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	R	不定	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* <sup>2</sup>	H'0000	H'FFFE8024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	R/W	H'0000	H'FFFE8028	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	W	不定	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* <sup>1</sup>	H'0060	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	R	不定	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* <sup>2</sup>	H'0000	H'FFFE8824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	R/W	H'0000	H'FFFE8828	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	W	不定	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* <sup>1</sup>	H'0060	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	R	不定	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'FFFE9020	16

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	ラインステータスレジスタ_2	SCLSR_2	R/(W)* <sup>2</sup>	H'0000	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	R/W	H'0000	H'FFFE9028	16
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'FFFE9808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	W	不定	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W)* <sup>1</sup>	H'0060	H'FFFE9810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	R	不定	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W)* <sup>2</sup>	H'0000	H'FFFE9824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	R/W	H'0000	H'FFFE9828	16

【注】 \*1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～8、3、2 は読み出し専用であり書き込むことはできません。

\*2 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～1 は読み出し専用であり書き込むことはできません。

### 15.3.1 受信シフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ (SCFRDR) へ転送されます。

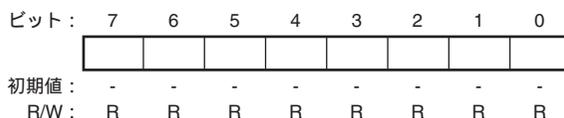
CPU から直接 SCRSR の読み出し / 書き込みをすることはできません。



### 15.3.2 受信 FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

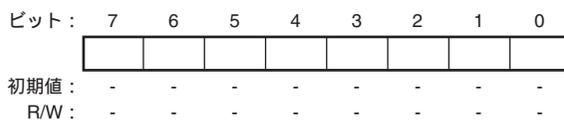
SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。



### 15.3.3 送信シフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、送信 FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

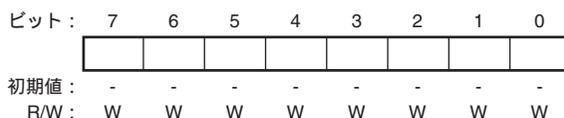
CPU から、直接 SCTSR の読み出し / 書き込みをすることはできません。



### 15.3.4 送信 FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、送信シフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。



### 15.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ $\bar{A}$	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレンクス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、送信 FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると、送信時には O/E ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0: 偶数パリティ*<sup>1</sup> 1: 奇数パリティ*<sup>2</sup></p> <p>【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0:1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1:2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「15.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00:P クロック 01:P /4クロック 10:P /16クロック 11:P /64クロック</p> <p>【注】P :周辺クロック</p>

## 15.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	-	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	送信インタラプトイネーブル 送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 0: 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンプティ割り込み (TXI) 要求を許可* 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	受信インタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可 / 禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】* RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。 ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説 明
5	TE	0	R/W	<p>送信イネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>受信イネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*<sup>1</sup></p> <p>1 : 受信動作を許可*<sup>2</sup></p> <p>【注】*<sup>1</sup> RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*<sup>2</sup> この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <ul style="list-style-type: none"> <li>調歩同期式モード <ul style="list-style-type: none"> <li>00 : 内部クロック / SCK 端子は入力端子 (入力信号は無視)</li> <li>01 : 内部クロック / SCK 端子はクロック出力 (ビットレートの 16/8 倍の周波数のクロックを出力)</li> <li>10 : 外部クロック / SCK 端子はクロック入力 (ビットレートの 16/8 倍の周波数のクロックを入力)</li> <li>11 : 設定禁止</li> </ul> </li> <li>クロック同期式モード <ul style="list-style-type: none"> <li>00 : 内部クロック / SCK 端子は同期クロック出力</li> <li>01 : 内部クロック / SCK 端子は同期クロック出力</li> <li>10 : 外部クロック / SCK 端子は同期クロック入力</li> <li>11 : 設定禁止</li> </ul> </li> </ul>

### 15.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し / 書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、PER フラグ (ビット 15~12、2)、FER フラグ (ビット 11~8、3) は読み出し専用であり、書き込むことはできません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値 :	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】\* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15～12	PER[3:0]	0000	R	<p>パリティエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 15～12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。</p>
11～8	FER[3:0]	0000	R	<p>フレーミングエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 11～8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。</p>
7	ER	0	R(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*<sup>1</sup></p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット</li> <li>• ER = 1 の状態を読み出した後、0 を書き込んだとき</li> </ul> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 1 回のデータ受信の終わりで受信データの最後のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 の場合*<sup>2</sup></li> <li>• 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき</li> </ul> <p>【注】*<sup>1</sup> SCSCR の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は継続します。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*<sup>2</sup> 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/(W)*	<p>送信エンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき*<sup>1</sup></li> </ul> <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>パワーオンリセット</li> <li>SCSCR の TE ビットが 0 のとき</li> <li>1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき</li> </ul> <p>【注】*<sup>1</sup> TXI 割り込み要求により DMAC で SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] で指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>TDFE = 1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき</li> <li>送信 FIFO データエンプティ 割り込み (TXI) により DMAC を起動し、指定送信トリガ数より多いデータを SCFTDR に書き込んだとき</li> </ul> <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを*<sup>1</sup> を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>パワーオンリセット</li> <li>送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき</li> </ul> <p>【注】*<sup>1</sup> SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE = 1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット</li> <li>• BRK=1の状態を読み出した後、BRK フラグに 0 を書き込んだとき</li> </ul> <p>1: ブレーク信号を受信*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合</li> </ul> <p>【注】*1 ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット</li> <li>• 次の SCFRDR 読み出しデータにフレーミングエラーなし</li> </ul> <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 次の SCFRDR 読み出しデータにフレーミングエラーあり</li> </ul>
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット</li> <li>• 次の SCFRDR 読み出しデータにパリティエラーなし</li> </ul> <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 次の SCFRDR 読み出しデータにパリティエラーあり</li> </ul>

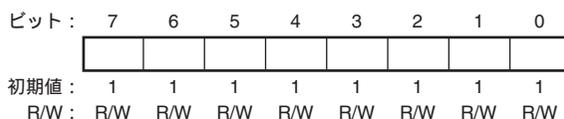
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データが受信 FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット</li> <li>• RDF=1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき</li> <li>• 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき</li> </ul> <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 指定受信トリガ数以上の受信データ数が SCFRDR に格納されるとき*1</li> </ul> <p>【注】*1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFCR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>受信データレディ</p> <p>調歩同期モードで、受信 FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット</li> <li>• DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき</li> <li>• 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR 内の受信データをすべて読み出したとき</li> </ul> <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過*1後も次のデータが受信されないと</li> </ul> <p>【注】*1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 \* フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

### 15.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0]、シリアル拡張モードレジスタ (SCEMR) の BGDM ビットおよび ABCS ビットとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、3 つのチャンネルにはそれぞれ異なる値を設定することができます。



SCBRR の設定値は以下の計算式で求められます。

#### 【調歩同期モード】

- ボーレートジェネレータ通常モード (SCEMRのBGDM=0)

$$N = (P / (64 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM=1)

$$N = (P / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの16倍の基本クロックで動作時)

$$N = (P / (16 \times 2^{2n-1} \times B)) \times 10^6 - 1$$

(ビットレートの8倍の基本クロックで動作時)

#### 【クロック同期モード】

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 ≤ N ≤ 255)  
(電気的特性を満足する設定値としてください)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)  
(n とクロックの関係は、表 15.3 を参照してください)

表 15.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS[1]	CKS[0]
0	P	0	0
1	P /4	0	1
2	P /16	1	0
3	P /64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード (SCEMRのBGDM=0)

$$\text{誤差 (\%)} = \{ ( ( P \times 10^6 ) / ( ( N + 1 ) \times B \times 64 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ( ( P \times 10^6 ) / ( ( N + 1 ) \times B \times 32 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

- ボーレートジェネレータ倍速モード (SCEMRのBGDM=1)

$$\text{誤差 (\%)} = \{ ( ( P \times 10^6 ) / ( ( N + 1 ) \times B \times 32 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの16倍の基本クロックで動作時)

$$\text{誤差 (\%)} = \{ ( ( P \times 10^6 ) / ( ( N + 1 ) \times B \times 16 \times 2^{2n-1} ) ) - 1 \} \times 100$$

(ビットレートの8倍の基本クロックで動作時)

表 15.4 にボーレートジェネレータ通常モード (SCEMR の BGDM=0)、16 倍の基本クロック動作 (SCEMR の ABCS=0) のとき、調歩同期モードの SCBRR の設定例を示します。また、表 15.5 にクロック同期モードの SCBRR の設定例を示します。

表 15.4 ビットレートに対する SCBRR の設定例 [調歩同期モード、BGDM=0、ABCS=0] (1)

ビットレート (bit/s)	P (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	9	-2.34

表 15.4 ビットレートに対する SCBRR の設定例 [調歩同期モード、BGDM=0、ABCS=0] (2)

ビットレート (bit/s)	P (MHz)								
	12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	3	64	0.70	3	70	0.03
150	2	159	0.00	2	191	0.00	2	207	0.16
300	2	79	0.00	2	95	0.00	2	103	0.16
600	1	159	0.00	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	14	-1.70	0	15	0.00
38400	0	9	0.00	0	11	0.00	0	12	0.16

表 15.4 ビットレートに対する SCBRR の設定例 [ 調歩同期式モード、BGDM = 0、ABCS = 0 ] ( 3 )

ビットレート (bit/s)	P (MHz)											
	20			24			24.576			28.7		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	- 0.25	3	106	- 0.44	3	108	0.08	3	126	0.31
150	3	64	0.16	3	77	0.16	3	79	0.00	3	92	0.46
300	2	129	0.16	2	155	0.16	2	159	0.00	2	186	- 0.08
600	2	64	0.16	2	77	0.16	2	79	0.00	2	92	0.46
1200	1	129	0.16	1	155	0.16	1	159	0.00	1	186	- 0.08
2400	1	64	0.16	1	77	0.16	1	79	0.00	1	92	0.46
4800	0	129	0.16	0	155	0.16	0	159	0.00	0	186	- 0.08
9600	0	64	0.16	0	77	0.16	0	79	0.00	0	92	0.46
19200	0	32	- 1.36	0	38	0.16	0	39	0.00	0	46	- 0.61
31250	0	19	0.00	0	23	0.00	0	24	- 1.70	0	28	- 1.03
38400	0	15	1.73	0	19	- 2.34	0	19	0.00	0	22	1.55

表 15.4 ビットレートに対する SCBRR の設定例 [ 調歩同期式モード、BGDM = 0、ABCS = 0 ] ( 4 )

ビットレート (bit/s)	P (MHz)					
	30			33		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33
150	3	97	- 0.35	3	106	0.39
300	2	194	0.16	2	214	- 0.07
600	2	97	- 0.35	2	106	0.39
1200	1	194	0.16	1	214	- 0.07
2400	1	97	- 0.35	1	106	0.39
4800	0	194	0.16	0	214	- 0.07
9600	0	97	- 0.35	0	106	0.39
19200	0	48	- 0.35	0	53	- 0.54
31250	0	29	0.00	0	32	0.00
38400	0	23	1.73	0	26	- 0.54

【注】 誤差は、なるべく 1%以内になるように設定してください。

表 15.5 ビットレートに対する SCBRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	P (MHz)									
	8		16		28.7		30		33	
	n	N	n	N	n	N	n	N	n	N
250	3	124	3	249						
500	2	249	3	124	3	223	3	233	3	255
1k	2	124	2	249	3	111	3	116	3	128
2.5k	1	199	2	99	2	178	2	187	2	205
5k	1	99	1	199	2	89	2	93	2	102
10k	0	199	1	99	1	178	1	187	1	205
25k	0	79	0	159	1	71	1	74	1	82
50k	0	39	0	79	0	143	0	149	0	164
100k	0	19	0	39	0	71	0	74	0	82
250k	0	7	0	15	-	-	0	29	0	32
500k	0	3	0	7	-	-	0	14	-	-
1M			0	3	-	-	-	-	-	-
2M					-	-	-	-	-	-

## 【記号説明】

空欄 : 設定できません。または、通信相手に関わらず、本 LSI 自身の電気的特性を満たすことができません。

- : 設定可能ですが誤差がでます。

表 15.6 にボーレートジェネレータを使用する場合の調歩同期モードの各周波数における最大ビットレートを示します。また、表 15.7 に外部クロック入力における調歩同期モードの最大ビットレート、表 15.8 に外部クロック入力 ( $t_{\text{sync}} = 12t_{\text{pclk}}$  時\*) におけるクロック同期モードの最大ビットレートを示します。

【注】 \* 本 LSI と通信相手先の電気的特性を満足することを確認してください。

表 15.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期モード)

P (MHz)	設定値				最大ビットレート (bit/s)
	BGDM	ABCS	n	N	
8	0	0	0	0	250000
		1	0	0	500000
	1	0	0	0	500000
		1	0	0	1000000
9.8304	0	0	0	0	307200
		1	0	0	614400
	1	0	0	0	614400
		1	0	0	1228800
12	0	0	0	0	375000
		1	0	0	750000
	1	0	0	0	750000
		1	0	0	1500000
14.7456	0	0	0	0	460800
		1	0	0	921600
	1	0	0	0	921600
		1	0	0	1843200
16	0	0	0	0	500000
		1	0	0	1000000
	1	0	0	0	1000000
		1	0	0	2000000
19.6608	0	0	0	0	614400
		1	0	0	1228800
	1	0	0	0	1228800
		1	0	0	2457600
20	0	0	0	0	625000
		1	0	0	1250000
	1	0	0	0	1250000
		1	0	0	2500000

P (MHz)	設定値				最大ビットレート (bit/s)
	BGDM	ABCS	n	N	
24	0	0	0	0	750000
		1	0	0	1500000
	1	0	0	0	1500000
		1	0	0	3000000
24.576	0	0	0	0	768000
		1	0	0	1536000
	1	0	0	0	1536000
		1	0	0	3072000
28.7	0	0	0	0	896875
		1	0	0	1793750
	1	0	0	0	1793750
		1	0	0	3587500
30	0	0	0	0	937500
		1	0	0	1875000
	1	0	0	0	1875000
		1	0	0	3750000
33	0	0	0	0	1031250
		1	0	0	2062500
	1	0	0	0	2062500
		1	0	0	4125000

表 15.7 外部クロック入力時の最大ビットレート (調歩同期式モード)

P (MHz)	外部入力クロック (MHz)	設定値	最大ビットレート (bit/s)
		ABCS	
8	2.0000	0	125000
		1	250000
9.8304	2.4576	0	153600
		1	307200
12	3.0000	0	187500
		1	375000
14.7456	3.6864	0	230400
		1	460800
16	4.0000	0	250000
		1	500000
19.6608	4.9152	0	307200
		1	614400
20	5.0000	0	312500
		1	625000
24	6.0000	0	375000
		1	750000
24.576	6.1440	0	384000
		1	768000
28.7	4.9152	0	448436
		1	896872
30	7.5000	0	468750
		1	937500
33	8.2500	0	515625
		1	1031250

表 15.8 外部クロック入力時の最大ビットレート (クロック同期式モード、 $t_{\text{sync}} = 12t_{\text{psyc}}$  時)

P (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	0.6666	666666.6
16	1.3333	1333333.3
24	2.0000	2000000.0
28.7	2.3916	2391666.6
30	2.5000	2500000.0
33	2.7500	2750000.0

### 15.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS 出力アクティブトリガ 受信 FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。  000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14
7, 6	RTRG[1:0]	00	R/W	受信 FIFO データ数トリガ シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。  • 調歩同期式モード 00 : 1 01 : 4 10 : 8 11 : 14  • クロック同期式モード 00 : 1 01 : 2 10 : 8 11 : 14  【注】クロック同期式モードのとき、DMAC により受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。

ビット	ビット名	初期値	R/W	説明
5, 4	TTRG[1:0]	00	R/W	<p>送信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <p>00 : 8 (8) *</p> <p>01 : 4 (12) *</p> <p>10 : 2 (14) *</p> <p>11 : 0 (16) *</p> <p>【注】* ( ) 内の数値は TDFE フラグが 1 にセットされときの SCFTDR レジスタの空きバイト数を意味します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 <math>\overline{\text{CTS}}</math>、<math>\overline{\text{RTS}}</math> を許可 / 禁止します。</p> <p>チャンネル 0~2、クロック同期モードでは MCE を常に 0 にしてください。</p> <p>0 : モデム信号を禁止*</p> <p>1 : モデム信号を許可</p> <p>【注】* 入力値に関係なく、<math>\overline{\text{CTS}}</math> のレベルは送信動作に影響しません。また、<math>\overline{\text{RTS}}</math> のレベルは受信動作に影響しません。</p>
2	TFRST	0	R/W	<p>送信 FIFO データレジスタリセット</p> <p>送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>受信 FIFO データレジスタリセット</p> <p>受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TxD) と受信入力端子 (RxD)、<math>\overline{\text{RTS}}</math> 端子と <math>\overline{\text{CTS}}</math> 端子を内部で接続しループバックテストを許可します。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

### 15.3.10 FIFO データカウントセットレジスタ (SCFDR)

SCFDR は、送信 FIFO データレジスタ (SCFTDR) と受信 FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR に格納されていることを示します。

### 15.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で  $\overline{\text{RTS}}$  端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で  $\overline{\text{CTS}}$  端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。

SCSPTR は、常に CPU による読み出し / 書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値 :	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
15-8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	RTS ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1 : $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	RTS ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0 : 入出力データがローレベル 1 : 入出力データがハイレベル
5	CTSIO	0	R/W	$\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1 : $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する

ビット	ビット名	初期値	R/W	説 明
4	CTS $\overline{\text{SDT}}$	1	R/W	<p>CTS ポートデータ</p> <p>シリアルポートの CTS 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS<math>\overline{\text{SDT}}</math> ビットの値が CTS 端子に出力されます。CTSIO ビットの値にかかわらず、CTS<math>\overline{\text{SDT}}</math> ビットからは CTS 端子の値が読み出されます。ただし PFC で CTS 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
3	SCKIO	0	R/W	<p>SCK ポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。</p> <p>0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R/W	<p>SCK ポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
1	SPB2IO	0	R/W	<p>シリアルポートブレイク入出力</p> <p>シリアルポートの Tx<math>\overline{\text{D}}</math> 端子の出力条件を指定します。実際に Tx<math>\overline{\text{D}}</math> 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : Tx<math>\overline{\text{D}}</math> 端子に SPB2DT ビットの値を出力しない 1 : Tx<math>\overline{\text{D}}</math> 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R/W	<p>シリアルポートブレイクデータ</p> <p>シリアルポートの Rx<math>\overline{\text{D}}</math> 端子の入力データおよび Tx<math>\overline{\text{D}}</math> 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。Tx<math>\overline{\text{D}}</math> 端子を出力に設定した場合、SPB2DT ビットの値が Tx<math>\overline{\text{D}}</math> 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは Rx<math>\overline{\text{D}}</math> 端子の値が読み出されます。ただし PFC で Rx<math>\overline{\text{D}}</math> 入力、Tx<math>\overline{\text{D}}</math> 出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>

### 15.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し / 書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】\* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示*<sup>1</sup></p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット</li> <li>• ORER = 1 の状態を読み出した後、0 を書き込んだとき</li> </ul> <p>1: 受信時にオーバーランエラーが発生したことを表示*<sup>2</sup></p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 受信 FIFO にいったばいの 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき</li> </ul> <p>【注】*<sup>1</sup> シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*<sup>2</sup> 受信 FIFO データレジスタ (SCFRDR) ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

### 15.3.13 シリアル拡張モードレジスタ (SCEMR)

SCEMR は、常に CPU から読み出し / 書き込みが可能です。BGDM ビットを 1 にセットすることにより、調歩同期式モード (SCSMR の  $C/\bar{A}=0$ ) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の  $CKE[1:0]=00$ ) のとき、SCIF 内部のポーレートジェネレータが倍速モードで動作します。

また、ABCS ビットの設定を変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックを選択することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BGDM	-	-	-	-	-	-	ABCS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	BGDM	0	R/W	ポーレートジェネレータ倍速モード BGDM ビットを 1 にセットすると、SCIF 内部のポーレートジェネレータが倍速モードで動作します。BGDM の設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$ ) かつクロックソースを内部クロック / SCK 端子は入力端子 (SCSCR の $CKE[1:0]=00$ ) のときに有効です。上記設定以外のときは通常モードを使用してください。 0: 通常モード 1: 倍速モード
6~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。ABCS ビットの設定は、調歩同期式モード (SCSMR の $C/\bar{A}=0$ ) のとき有効です。 0: ビットレートの 16 倍の周波数の基本クロックで動作 1: ビットレートの 8 倍の周波数の基本クロックで動作

## 15.4 動作説明

### 15.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信 / 受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバーヘッドを減らし、高速連続通信が可能です。さらにチャンネル 3 にはモデムコントロール信号として  $\overline{\text{RTS}}$  信号、 $\overline{\text{CTS}}$  信号を用意しています。送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 15.9 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の CKE[1:0] の組み合わせで決まります。これを表 15.10 に示します。

#### (1) 調歩同期式モード

- データ長：7ビット / 8ビットから選択可能
- パリティの付加および1ビット / 2ビットのストップビットの付加を選択可能  
(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能  
内部クロックを選択した場合：SCIFはボーレートジェネレータのクロックで動作  
外部クロックを選択した場合：ビットレートの16/8倍の周波数のクロックを入力することが必要  
(内蔵ボーレートジェネレータを使用しない)

#### (2) クロック同期式モード

- 送信 / 受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース：内部クロック / 外部クロックから選択可能  
内部クロックを選択した場合：SCIFはボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力  
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された外部同期クロックで動作

表 15.9 SCSMR の設定値と SCIF 送信 / 受信フォーマット

SCSMR				モード	SCIF 送信 / 受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ $\bar{A}$	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0				1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 15.10 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR	SCSCR	モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1、0			
C/ $\bar{A}$	CKE[1:0]			
0	00	調歩同期式モード	内部	SCIF は SCK 端子を使用しません
	01			ビットレートの 16/8 倍の周波数のクロックを出力
	10		外部	ビットレートの 16/8 倍の周波数のクロックを入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【記号説明】 x : Don't care

【注】 ボーレートジェネレータ倍速モード (BGDM=1) を使用する際は、調歩同期式モード (C/ $\bar{A}$ =0) かつクロックソースを内部クロック / SCK 端子を使用しない (CKE[1:0]=00) 設定にしてください。

### 15.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIF は、データを 1 ビット期間の 16/8 倍の周波数のクロックの 8/4 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

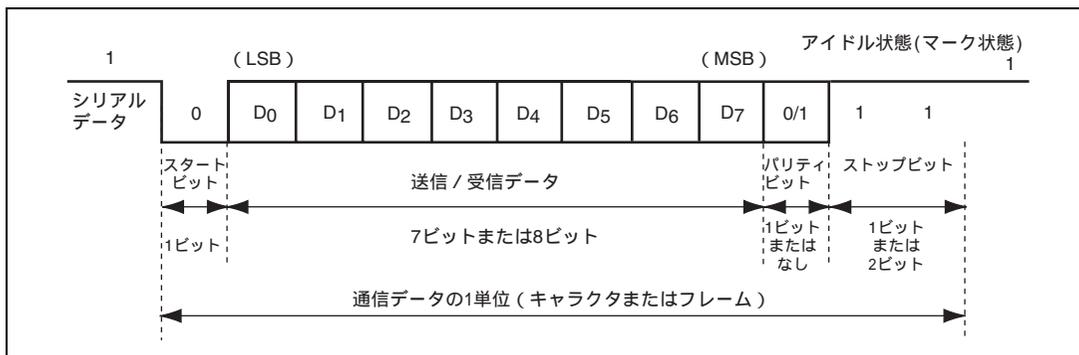


図 15.2 調歩同期式通信のデータフォーマット  
(8 ビットデータ / パリティあり / 2 ストップビットの例)

## (1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 15.11 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 15.11 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

## 【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

## (2) クロック

SCIFの送受信クロックは、SCSMRの $C/\bar{A}$ ビットおよびシリアルコントロールレジスタ (SCSCR)のCKE[1:0]の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部クロックの2種類から選択できます。SCIFのクロックソースの選択については表 15.10を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16/8倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの16/8倍の周波数です。

## (3) データの送信 / 受信動作

## • SCIF初期化 (調歩同期式モード)

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCSCR) のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、送信シフトレジスタ (SCTSR) は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ (SCFSR)、送信FIFOデータレジスタ (SCFTDR)、受信FIFOデータレジスタ (SCFRDR) は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図15.3にSCIFの初期化フローチャートの例を示します。

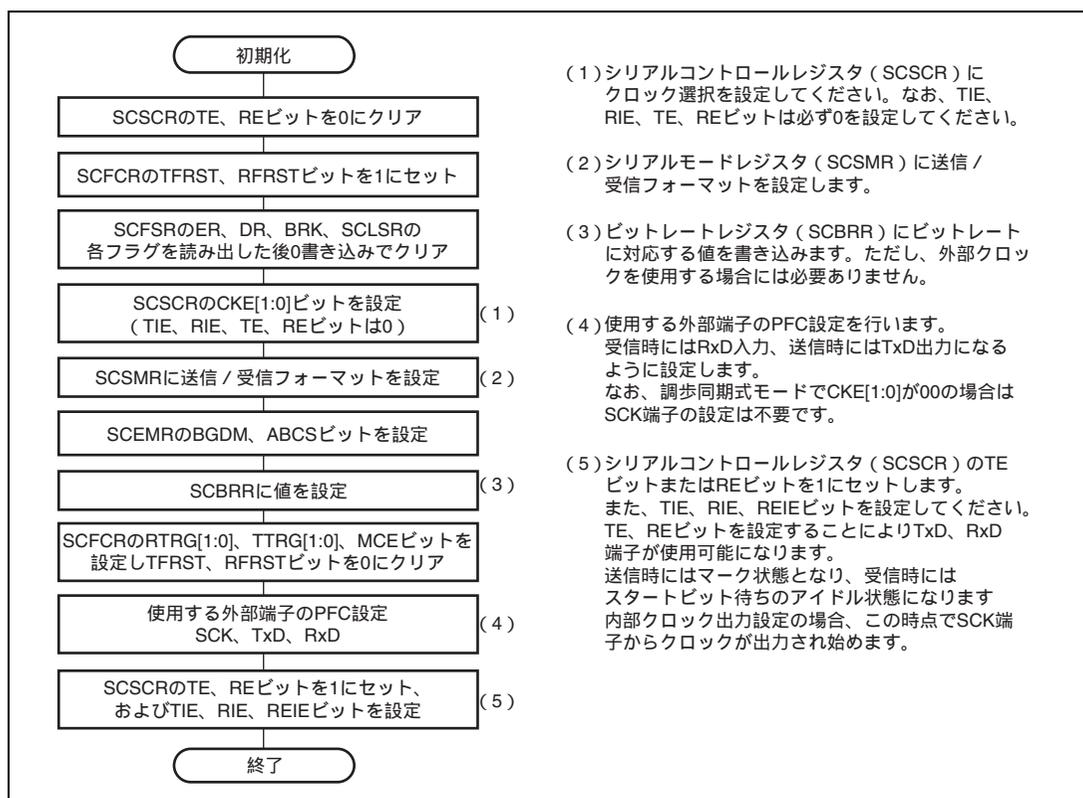


図 15.3 SCIF 初期化フローチャートの例

- シリアルデータ送信 (調歩同期モード)

図15.4にシリアル送信のフローチャートの例を示します。

SCIFの送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

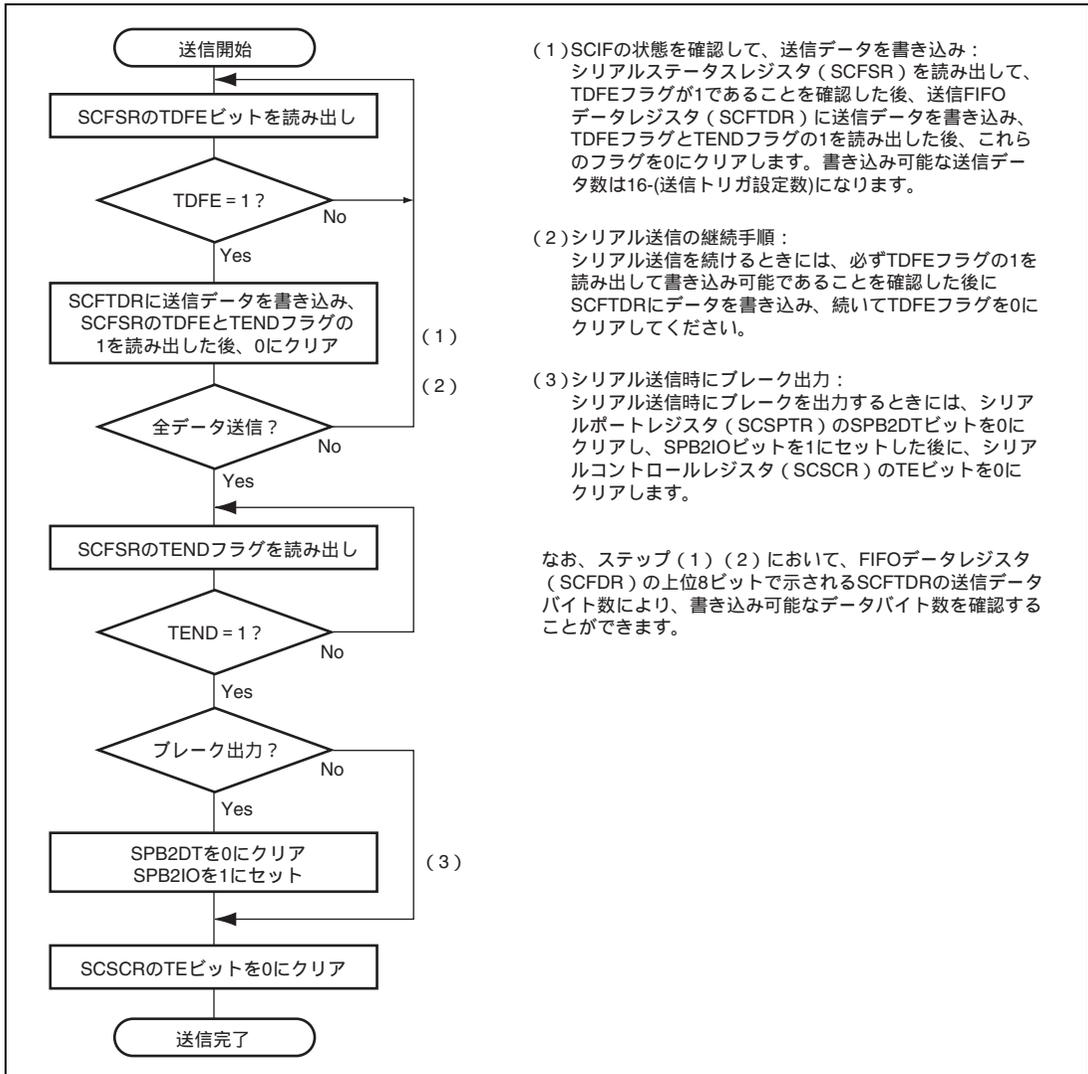


図 15.4 シリアル送信のフローチャートの例

SCIFは、シリアル送信時には以下のように動作します。

- SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。

- SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- スタートビット：1ビットの0が出力されます。
  - 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
  - パリティビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
  - ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図15.5に示します。

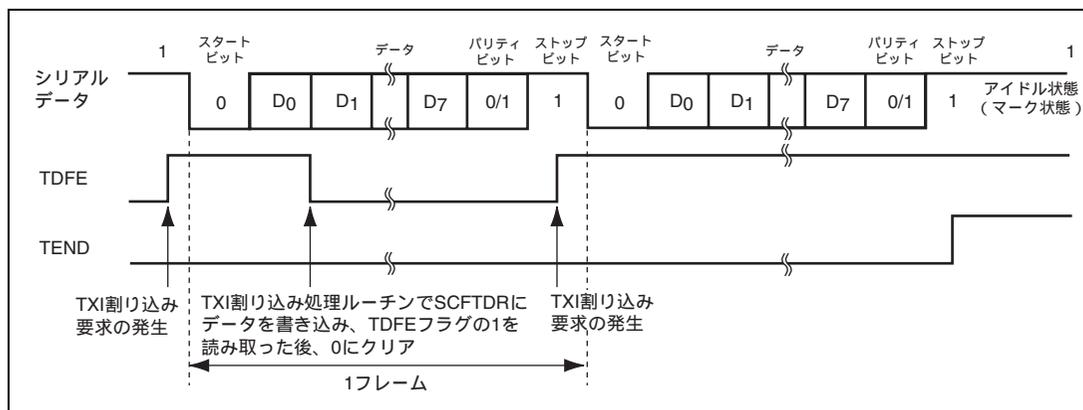


図 15.5 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

- チャンネル3において、モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止 / 再開することができます。 $\overline{\text{CTS}}$ が1にセットされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

モデムコントロールを使用した動作例を図15.6に示します。

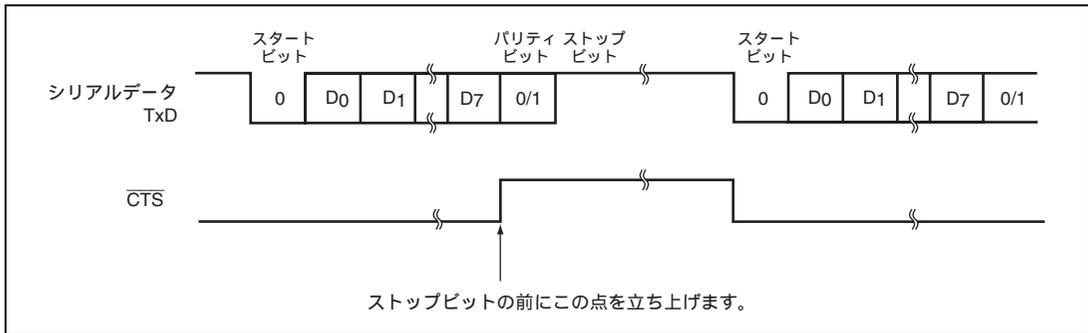


図 15.6 モデムコントロールを使用した動作例 (CTS)

- シリアルデータ受信 (調歩同期式モード)

図15.7、図15.8にシリアル受信フローチャートの例を示します。

SCIFの受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

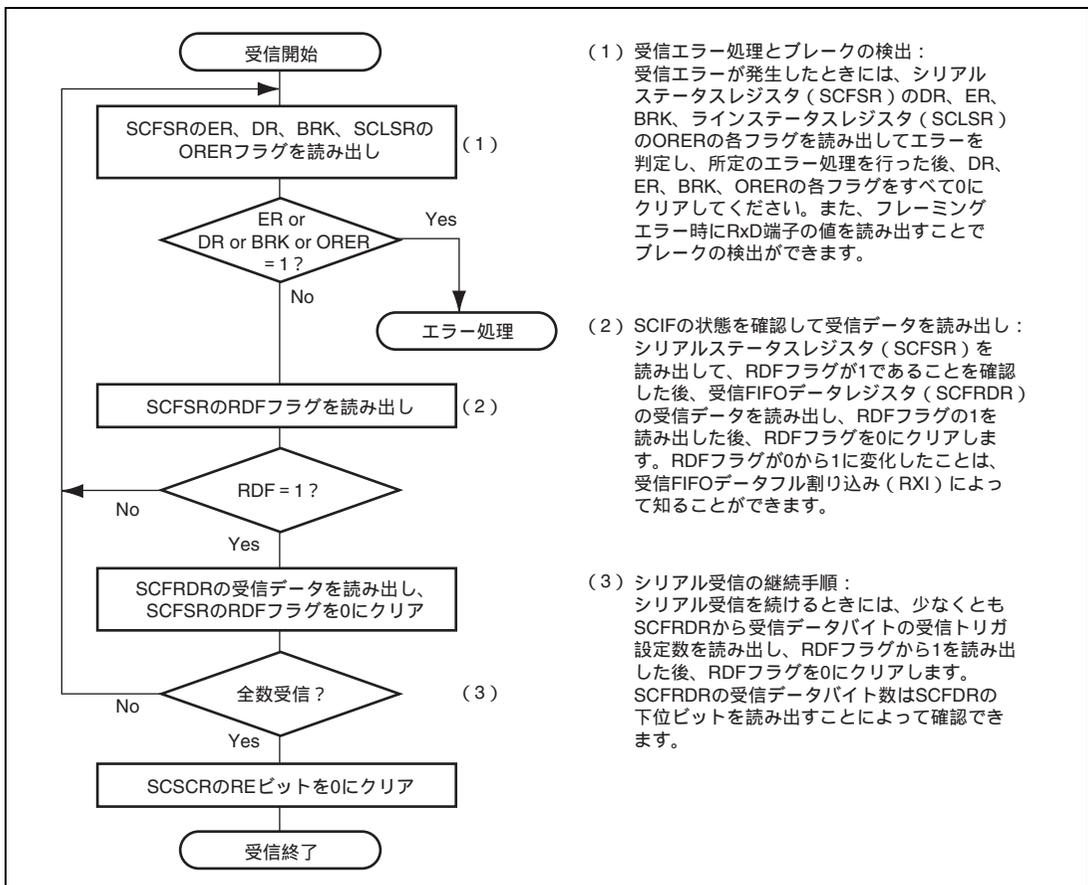


図 15.7 シリアル受信のフローチャートの例 (1)

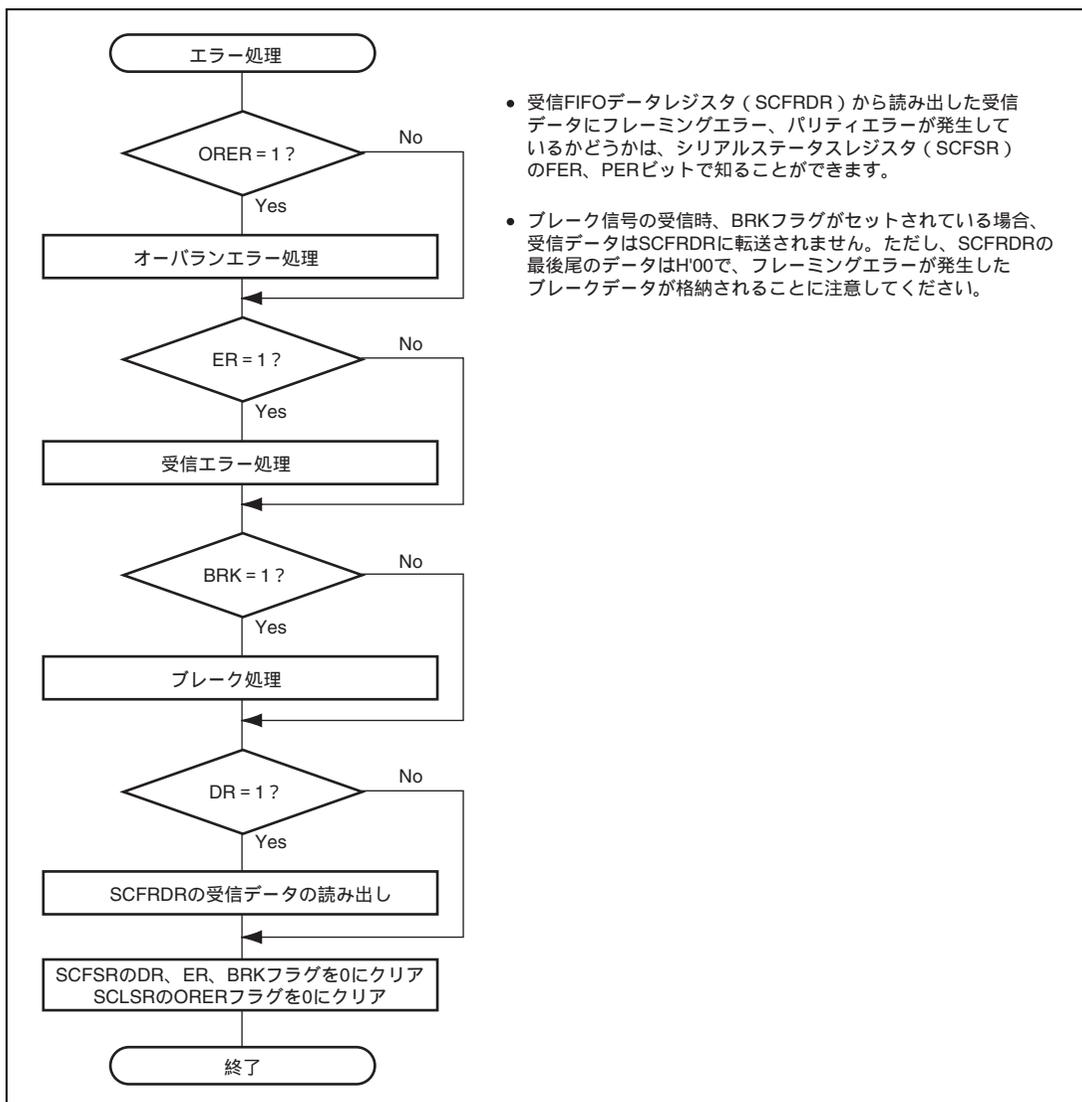


図 15.8 シリアル受信のフローチャートの例 (2)

SCIFは受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIFは以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

- (b) 受信データを受信シフトレジスタ (SCRSR) から SCFRDR に転送できる状態であることをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示す ORER フラグが 0 であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示す BRK フラグが 0 であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDR に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDF または DR フラグが 1 になったとき、SCSCR の RIE ビットが 1 にセットされていると、受信 FIFO データフル割り込み (RXI) 要求が発生します。また、ER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRK フラグまたは ORER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 15.9 に示します。

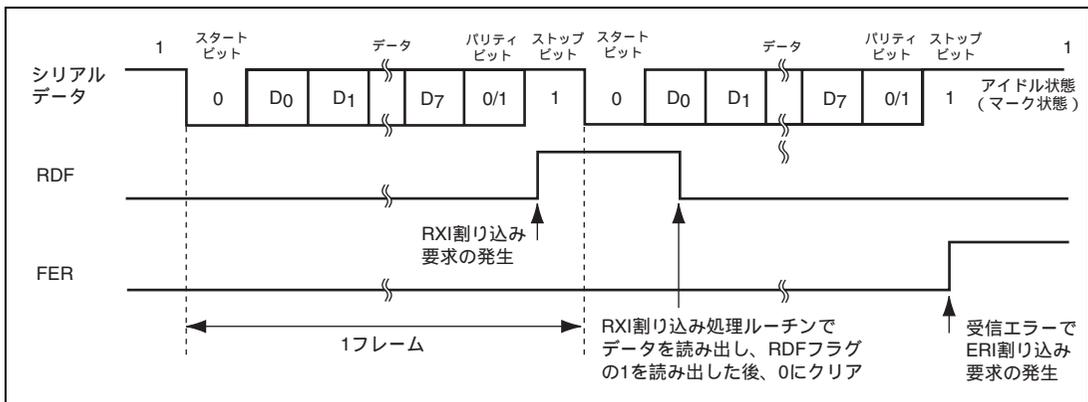


図 15.9 SCIF の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

5. チャンネル3においてモデムコントロールが有効であると、SCFRDR が空のとき  $\overline{\text{RTS}}$  信号が出力されます。 $\overline{\text{RTS}}$  が 0 の場合受信が可能です。 $\overline{\text{RTS}}$  が 1 の場合は SCFRDR のデータ数が RTS 出力アクティブトリガ設定数以上であることを示します。

モデムコントロール使用時の動作例を図15.10に示します。

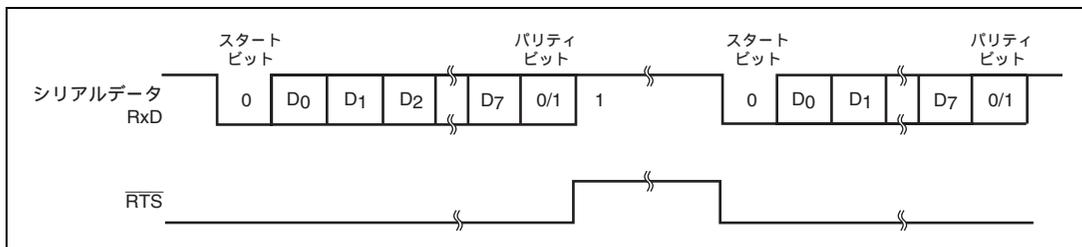


図 15.10 モデムコントロール使用時の動作例 (RTS)

### 15.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.11 に示します。

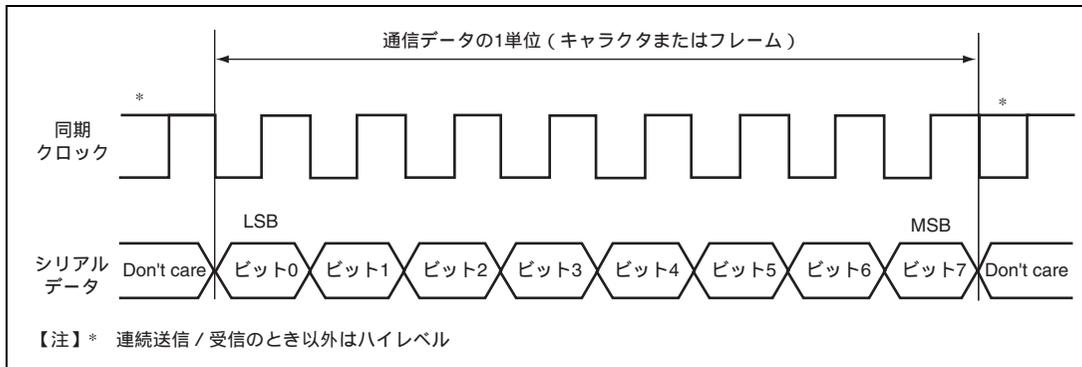


図 15.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

### (1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

### (2) クロック

SCSMR の  $C\bar{A}$  ビットと SCSCR の  $CKE[1:0]$  の設定により内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

### (3) データの送信 / 受信動作

- SCIFの初期化 (クロック同期式モード)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ (SCRDR) の内容は保持されますので注意してください。

図 15.12 に SCIF の初期化フローチャートの例を示します。

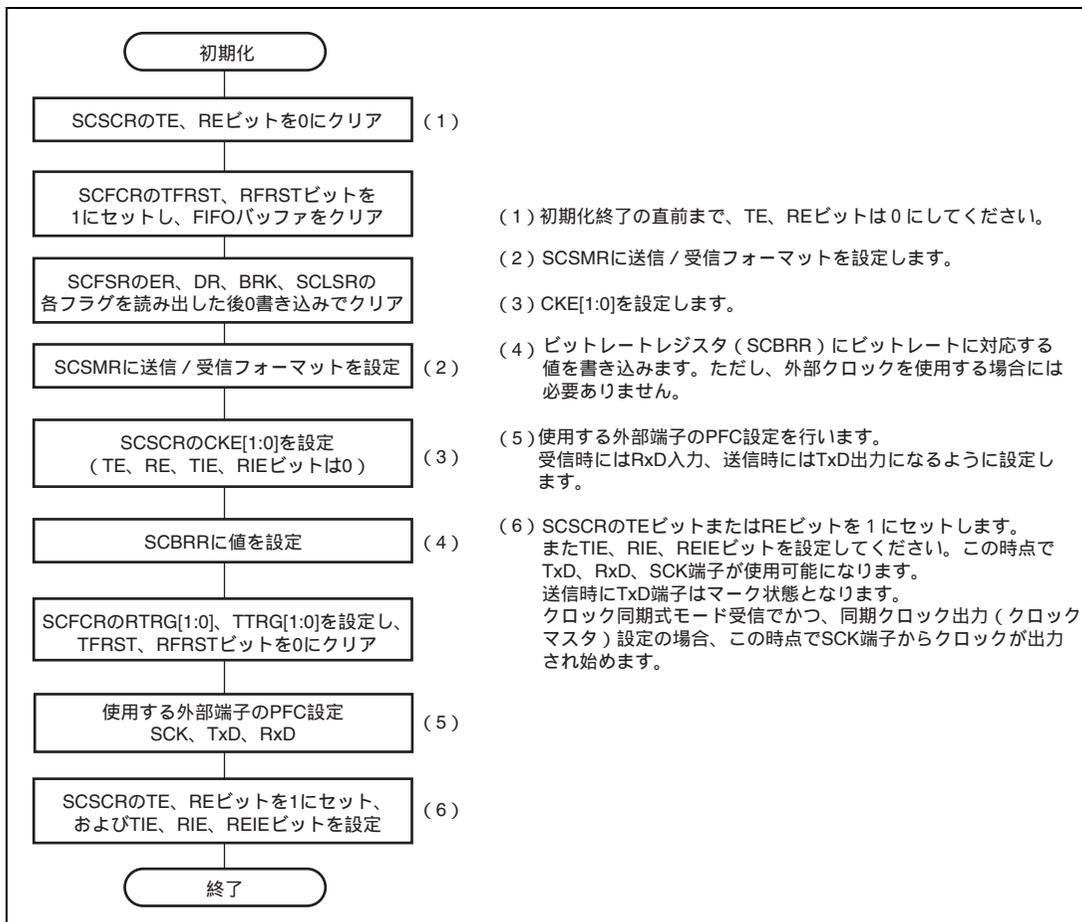


図 15.12 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図15.13にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順で行ってください。

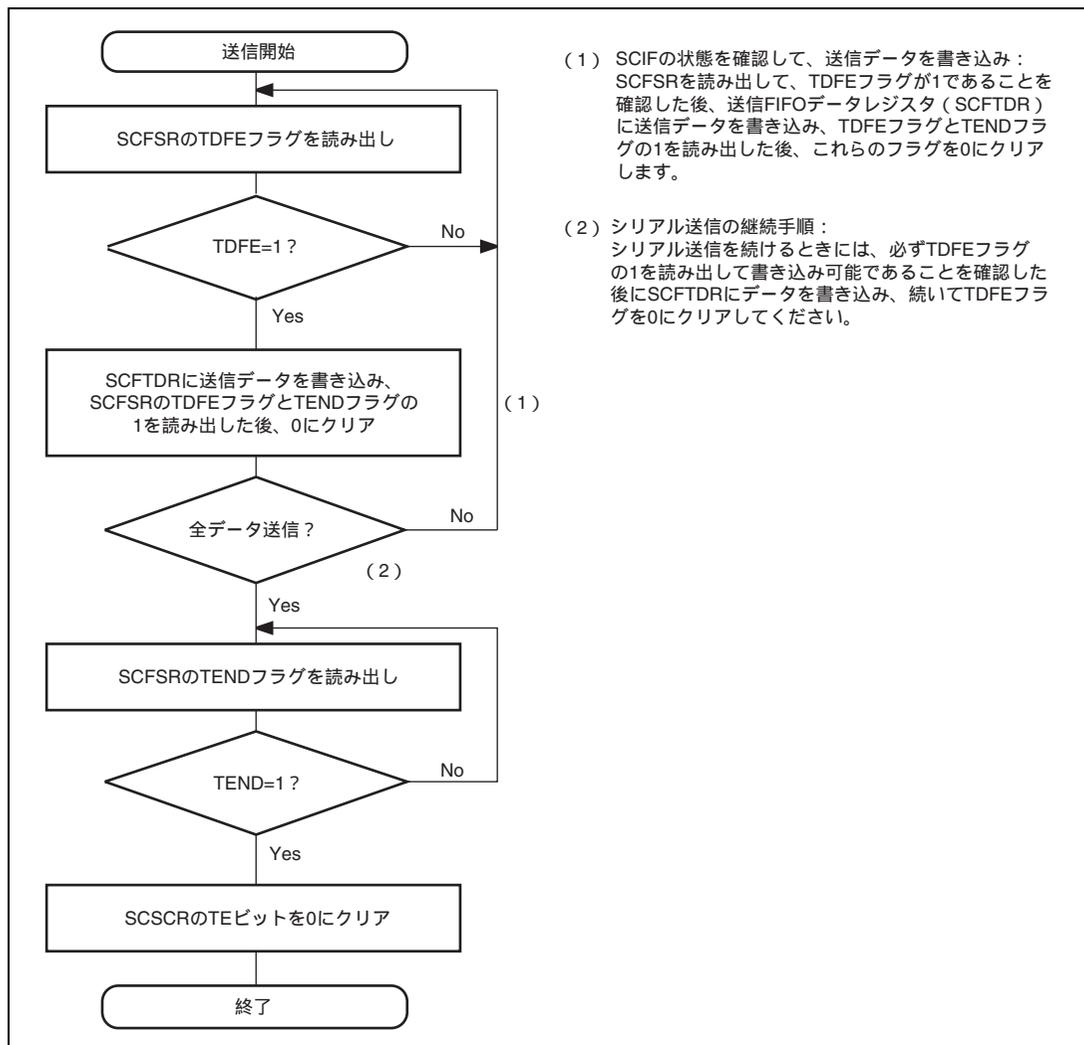


図 15.13 シリアル送信のフローチャートの例

SCIFはシリアル送信時に以下のように動作します。

1. SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16 - 送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンpty割り込み (TXI) 要求が発生します。  
 クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図15.14にSCIFの送信時の動作例を示します。

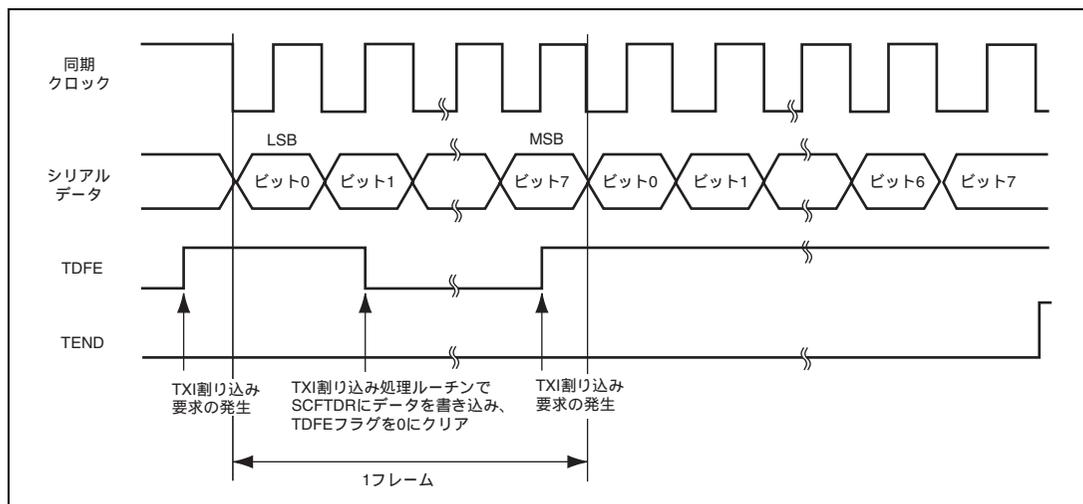


図 15.14 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図15.15、図15.16にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

SCIFの初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

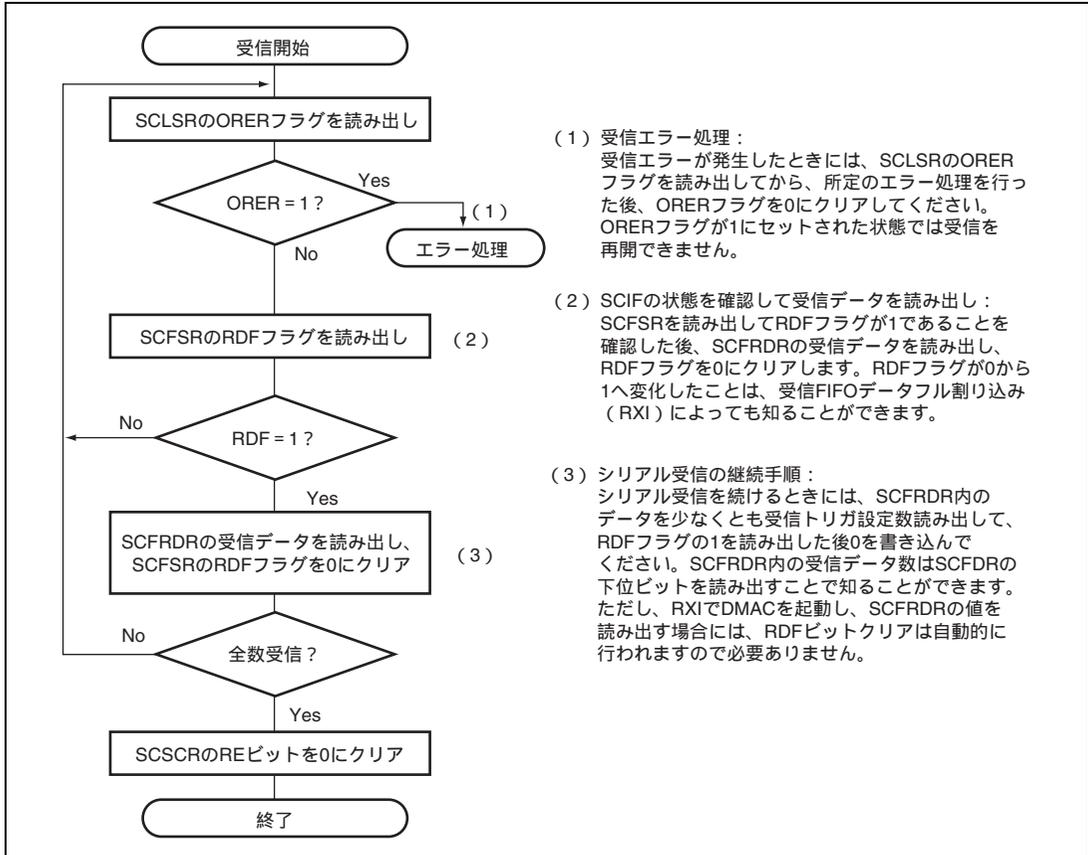


図 15.15 シリアル受信のフローチャートの例 (1)

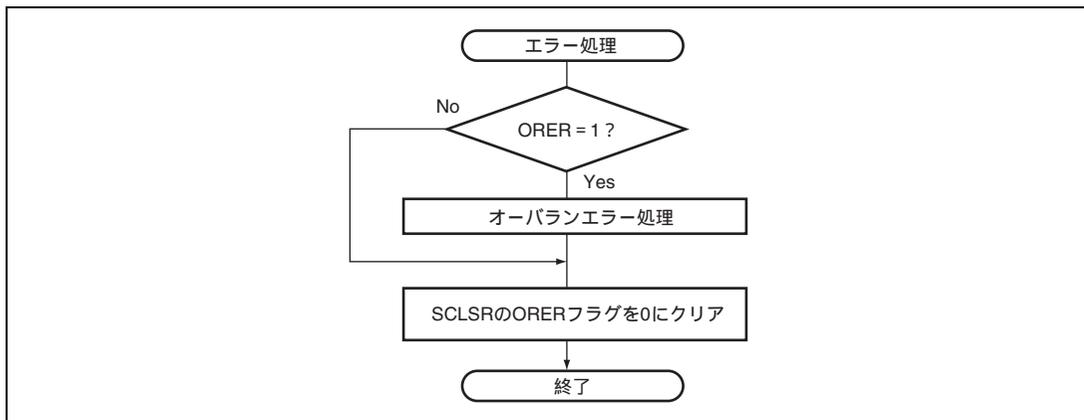


図 15.16 シリアル受信のフローチャートの例 (2)

SCIFはシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたときRDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされているとブ레이크割り込み (BRI) 要求を発生します。

図15.17にSCIFの受信時の動作例を示します。

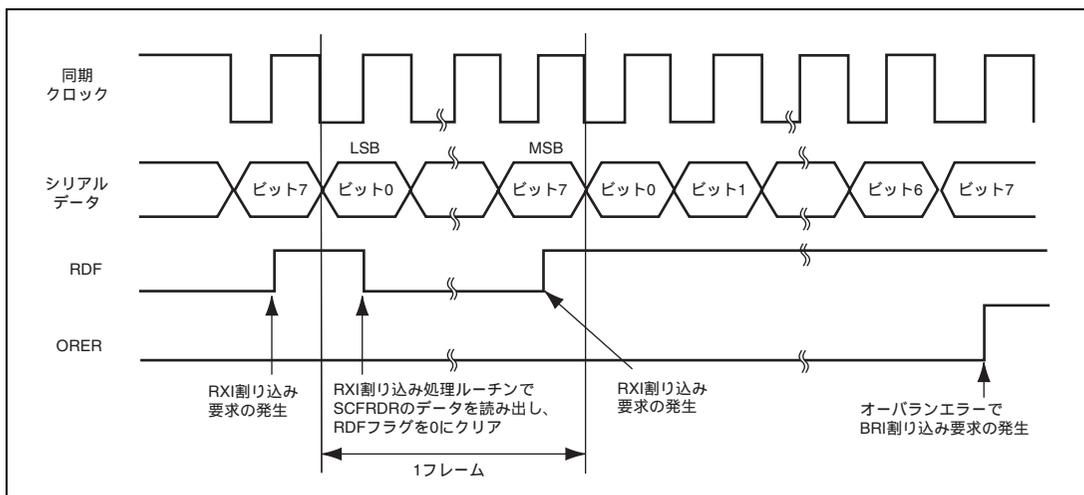


図 15.17 SCIF の受信時の動作例

• シリアルデータ送受信同時動作 (クロック同期式モード)

図15.18にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIFを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

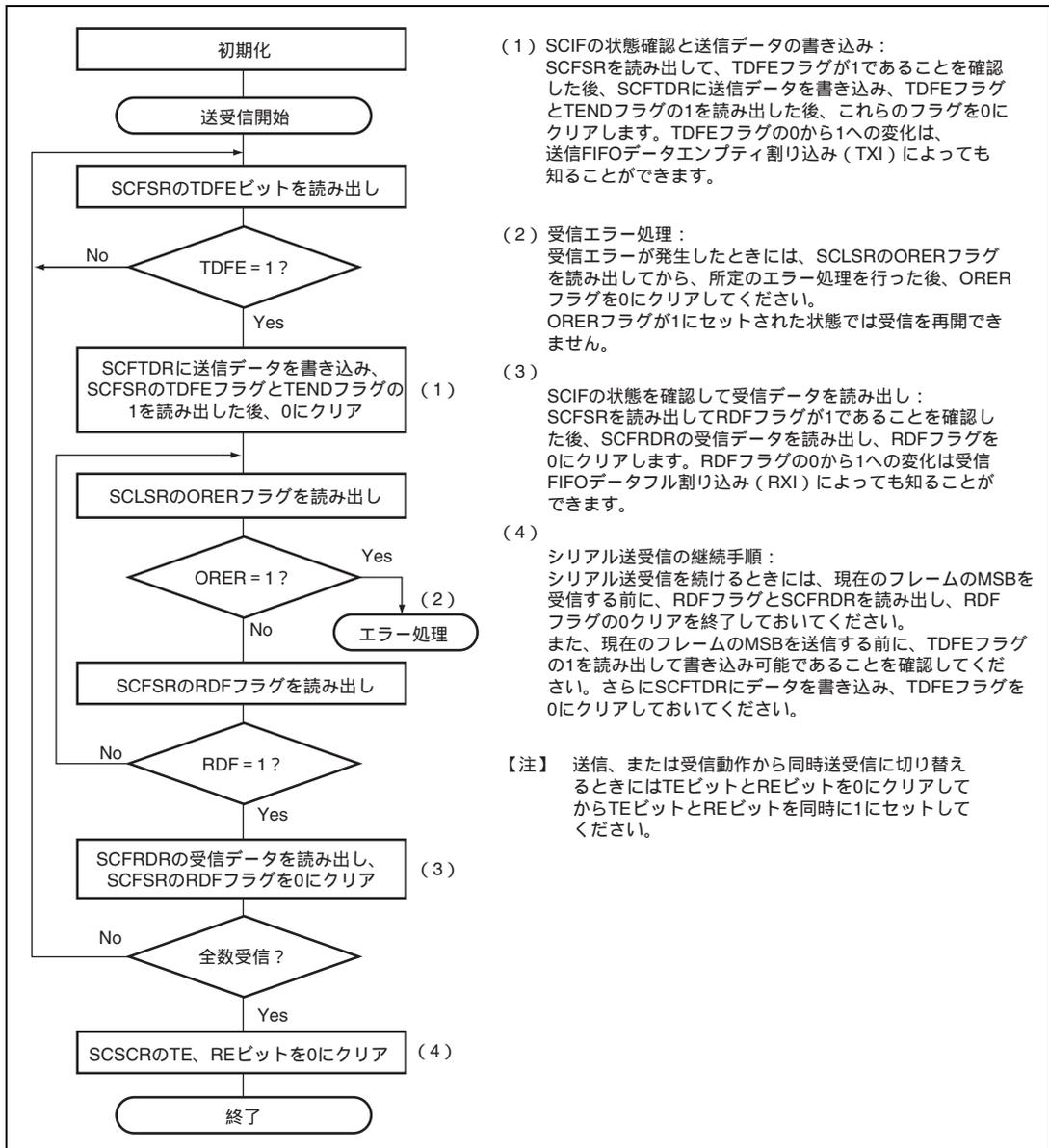


図 15.18 シリアルデータ送受信フローチャートの例

## 15.5 SCIF の割り込み

SCIF は、送信 FIFO データエンブティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 15.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期式モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求または BRI 割り込み要求を出すことができます。

なお、TXI は送信データを書き込み可能なことを示し、RXI は SCFRDR に受信データがあることを示しています。

表 15.12 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時 優先順位
BRI	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	不可	
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンブティ (TDFE) による割り込み	可	

## 15.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

### 15.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、送信 FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] で設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE フラグのクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回る時に 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

### 15.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、受信 FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0] で設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF フラグのクリアは、受信 FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

### 15.6.3 DMAC 使用上の制約事項

TXI 割り込み要求により DMAC で SCFTDR へデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

### 15.6.4 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

### 15.6.5 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

### 15.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF はビットレートの 16/8 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がりをもとに基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8/4 クロック目の立ち上がりエッジで内部に取り込みます。16 倍の周波数の基本クロックで動作したときのタイミングを図 15.19 に示します。

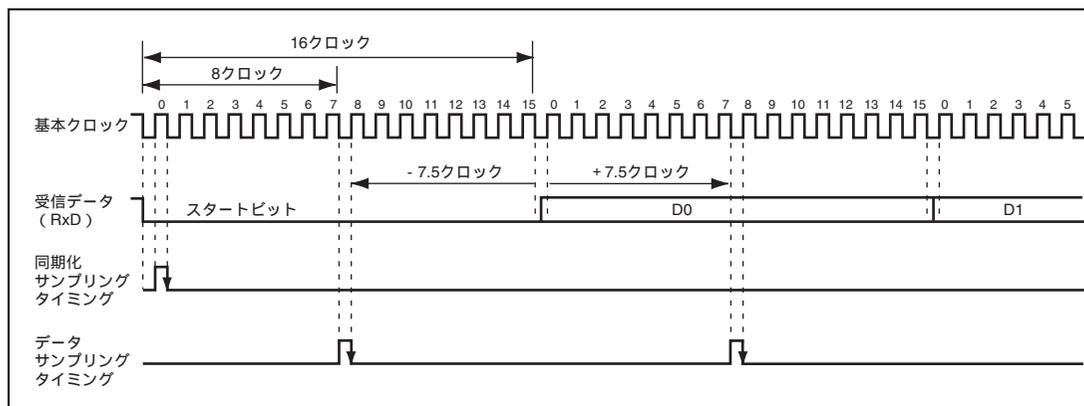


図 15.19 調歩同期式モードでの受信データサンプリングタイミング  
(ビットレートの 16 倍の周波数の基本クロックで動作)

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N=16/8)

D : クロックデューティ (D:0 ~ 1.0)

L : フレーム長 (L=9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5、N=16 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

### 15.6.7 調歩同期式基本クロックセレクト

本 LSI では、シリアル拡張モードレジスタ (SCEMR) の ABCS ビットを変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックをビットレートの 16/8 倍の周波数にすることができます。

ただし、「15.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) からわかるように、基本クロックの周波数をビットレートの 8 倍に下げると受信マージンが減少するので注意してください。

所望のビットレートが、シリアルモードレジスタ (SCSMR) の CKS[1:0]、ビットレートレジスタ (SCBRR) の設定のみで可能であれば、1 ビット期間の基本クロックをビットレートの 16 倍の周波数 (SCEMR の ABCS = 0) とすることをお勧めします。また、クロックソースを内部クロック / SCK 端子を使用しなければ、ポーレートジェネレータ倍速モード (SCEMR の BGDGM = 1) にすることで受信マージンを落とさずにビットレートを上げることができます。



---

## 16. シンクロナスシリアルコミュニケーションユニット (SSU)

---

本 LSI は 2 チャンネルのシンクロナスシリアルコミュニケーションユニット (SSU : Synchronous Serial communication Unit) を備えています。SSU には、本 LSI がマスタデバイスとして外部にクロックを出力し同期シリアル通信を行うマスタモードと、外部デバイスからのクロックを入力し同期シリアル通信を行うスレーブモードがあります。また、クロック極性とクロック位相の異なるデバイス間との同期シリアル通信が可能です。

### 16.1 特長

- SSUモードとクロック同期式通信モードを選択可能
- マスタモードとスレーブモードが選択可能
- 標準モードと双方向モードが選択可能
- クロック位相とクロック極性の異なる他のデバイスとの同期シリアル通信が可能
- 送受信データ長を8ビット / 16ビット / 32ビットで選択可能
- 全二重通信が可能  
送信と受信を同時に実行可能なシフトレジスタを装備
- 連続シリアル通信が可能
- LSBファースト方式 / MSBファースト方式が選択可能
- クロックソースとして7種類の内部クロック (P /4、P /8、P /16、P /32、P /64、P /128、P /256) と外部クロックを選択可能
- 割り込み要因 : 5種類  
送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因  
送信データエンプティ要求、受信データフル要求により、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータ転送を行うことができます。
- モジュールスタンバイモードの設定が可能  
消費電力低減のため、SSUに対してクロックの供給を止めて動作を停止させることができます。

図 16.1 に SSU のブロック図を示します。

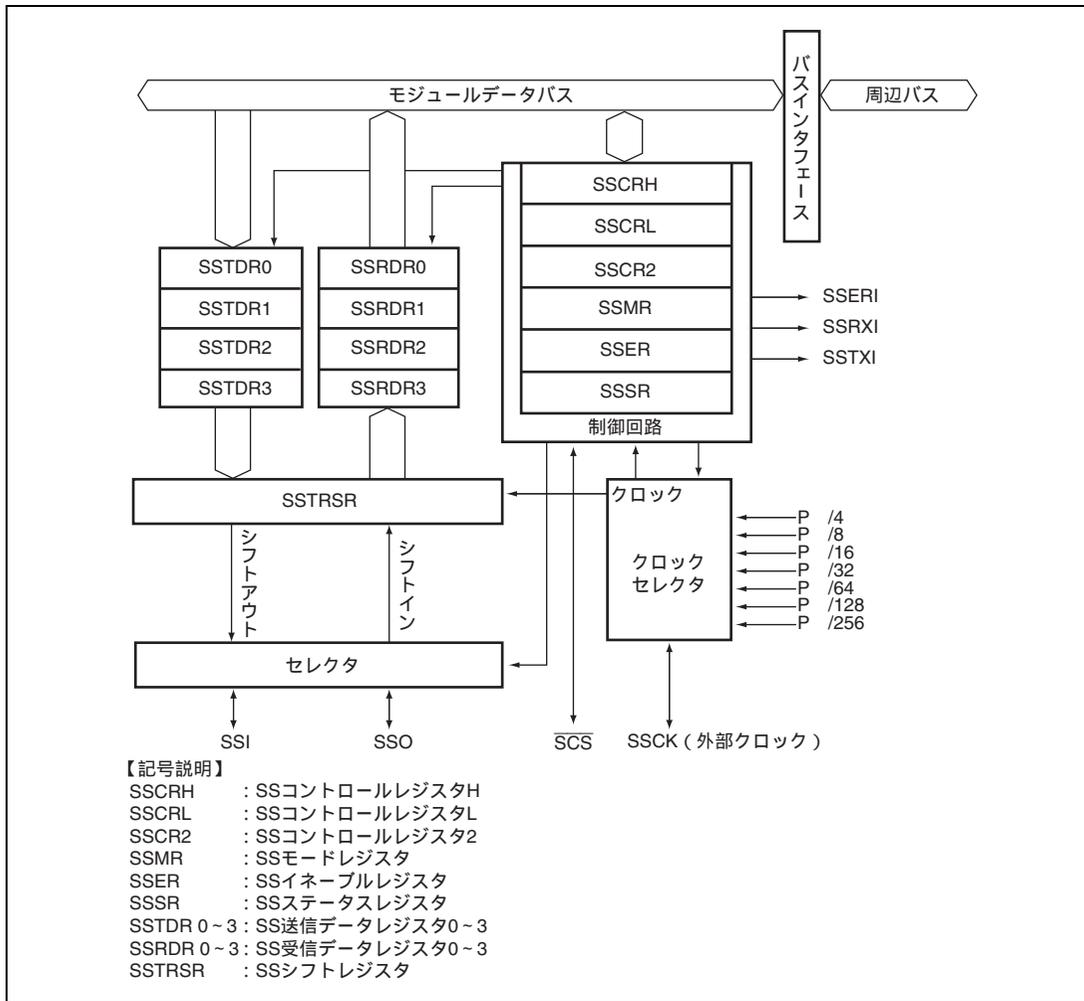


図 16.1 SSU のブロック図

## 16.2 入出力端子

SSU には、表 16.1 の入出力端子があります。

表 16.1 端子構成

チャンネル	端子名	入出力	機能
0、1	SSCK0、SSCK1	入出力	SSU クロック入出力端子
	SSI0、SSI1	入出力	SSU データ入出力端子
	SSO0、SSO1	入出力	SSU データ入出力端子
	SCS0、SCS1	入出力	SSU チップセレクト入出力端子

### 16.3 レジスタの説明

SSU には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。

表 16.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	SS コントロールレジスタ H_0	SSCRH_0	R/W	H'0D	H'FFFE7000	8、16
	SS コントロールレジスタ L_0	SSCRL_0	R/W	H'00	H'FFFE7001	8
	SS モードレジスタ_0	SSMR_0	R/W	H'00	H'FFFE7002	8、16
	SS イネーブルレジスタ_0	SSER_0	R/W	H'00	H'FFFE7003	8
	SS ステータスレジスタ_0	SSSR_0	R/W	H'04	H'FFFE7004	8、16
	SS コントロールレジスタ 2_0	SSCR2_0	R/W	H'00	H'FFFE7005	8
	SS 送信データレジスタ 0_0	SSTDR0_0	R/W	H'00	H'FFFE7006	8、16
	SS 送信データレジスタ 1_0	SSTDR1_0	R/W	H'00	H'FFFE7007	8
	SS 送信データレジスタ 2_0	SSTDR2_0	R/W	H'00	H'FFFE7008	8、16
	SS 送信データレジスタ 3_0	SSTDR3_0	R/W	H'00	H'FFFE7009	8
	SS 受信データレジスタ 0_0	SSRDR0_0	R	H'00	H'FFFE700A	8、16
	SS 受信データレジスタ 1_0	SSRDR1_0	R	H'00	H'FFFE700B	8
	SS 受信データレジスタ 2_0	SSRDR2_0	R	H'00	H'FFFE700C	8、16
	SS 受信データレジスタ 3_0	SSRDR3_0	R	H'00	H'FFFE700D	8
1	SS コントロールレジスタ H_1	SSCRH_1	R/W	H'0D	H'FFFE7800	8、16
	SS コントロールレジスタ L_1	SSCRL_1	R/W	H'00	H'FFFE7801	8
	SS モードレジスタ_1	SSMR_1	R/W	H'00	H'FFFE7802	8、16
	SS イネーブルレジスタ_1	SSER_1	R/W	H'00	H'FFFE7803	8
	SS ステータスレジスタ_1	SSSR_1	R/W	H'04	H'FFFE7804	8、16
	SS コントロールレジスタ 2_1	SSCR2_1	R/W	H'00	H'FFFE7805	8
	SS 送信データレジスタ 0_1	SSTDR0_1	R/W	H'00	H'FFFE7806	8、16
	SS 送信データレジスタ 1_1	SSTDR1_1	R/W	H'00	H'FFFE7807	8
	SS 送信データレジスタ 2_1	SSTDR2_1	R/W	H'00	H'FFFE7808	8、16
	SS 送信データレジスタ 3_1	SSTDR3_1	R/W	H'00	H'FFFE7809	8
	SS 受信データレジスタ 0_1	SSRDR0_1	R	H'00	H'FFFE780A	8、16
	SS 受信データレジスタ 1_1	SSRDR1_1	R	H'00	H'FFFE780B	8
	SS 受信データレジスタ 2_1	SSRDR2_1	R	H'00	H'FFFE780C	8、16
	SS 受信データレジスタ 3_1	SSRDR3_1	R	H'00	H'FFFE780D	8

## 16.3.1 SS コントロールレジスタ H (SSCRH)

SSCRH は、マスタ/スレーブデバイス選択、双方向モードイネーブル、SSO 端子の出力値選択、SSCK 端子選択、 $\overline{\text{SCS}}$  端子選択を設定します。

ビット:	7	6	5	4	3	2	1	0
	MSS	BIDE	-	SOL	SOLP	-	CSS[1:0]	
初期値:	0	0	0	0	1	1	0	1
R/W:	R/W	R/W	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSS	0	R/W	<p>マスタ/スレーブデバイス選択</p> <p>SSU をマスタモードとして使用するか、スレーブモードとして使用するかを選択します。マスタモードで使用する場合は、SSCK 端子から転送クロックを出力します。SSSR の CE ビットがセットされた場合、このビットは自動的にクリアされます。</p> <p>0: スレーブモードを選択 1: マスタモードを選択</p>
6	BIDE	0	R/W	<p>双方向モードイネーブル</p> <p>シリアルデータ入力端子、出力端子を 2 端子使用するか、1 端子のみ使用するかを選択します。ただし、双方向モードを選択した場合、送受信を同時に行うことはできません。詳細は、「16.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。</p> <p>0: 標準モード (データ入力端子とデータ出力端子の 2 端子を使用して通信) 1: 双方向モード (データ入力とデータ出力を 1 端子のみで通信)</p>
5	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	SOL	0	R/W	<p>シリアルデータ出力値選択</p> <p>送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保存しますが、送信前または、送信後にシリアルデータの出力レベルを変更できません。出力レベルを変更する場合は、SOLP ビットを 0 にして MOV 命令で行ってください。なおデータ転送中にこのビットにライトすると誤動作の原因となりますので、送信中は操作しないでください。</p> <p>0: シリアルデータの出力を Low レベルに変更 1: シリアルデータの出力を High レベルに変更</p>
3	SOLP	1	R/W	<p>SOL ビットライトプロテクト</p> <p>シリアルデータの出力レベルを変更する場合には、SOL=1 かつ SOLP=0、または SOL=0 かつ SOLP=0 を MOV 命令で行ってください。</p> <p>0: SOL の値によって出力レベルを変更可能 1: SOL の値によって出力レベルを変更不可能</p> <p>本ビットに 0 を書き込む場合には、読み出し後 1 を確認した後に書き込んでください。</p>
2	-	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CSS[1:0]	01	R/W	SCS 端子選択 SCS 端子を、SCS 入力または SCS 出力として機能させるかを選択します。 00: 設定禁止 01: 設定禁止 10: SCS 自動入出力機能 (転送前、転送後は SCS 入力、転送中は Low 出力) 11: SCS 自動出力機能 (転送前、転送後は High 出力、転送中は Low 出力)

### 16.3.2 SS コントロールレジスタ L (SSCRL)

SSCRL は、動作モード、ソフトウェアリセット、送受信データのデータ長を選択します。

ビット:	7	6	5	4	3	2	1	0
	-	SSUMS	SRES	-	-	-	DATS[1:0]	
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	SSUMS	0	R/W	SSU モードとクロック同期式通信モードを選択します。 0: SSU モード 1: クロック同期式通信モード
5	SRES	0	R/W	ソフトウェアリセット 本ビットを 1 にセットすると SSU 内部シーケンサを強制的にリセットします。その後、本ビットは自動的にクリアされ、SSSR の ORER、TEND、TDRE、RDRF、CE の各ビットおよび、SSER の TE、RE ビットが初期化されます。その他の SSU 内部レジスタ値は保持されます。 なお、転送を途中で中断したい場合には、本ビットに 1 を書き込んで、内部シーケンサをリセットしてください。
4~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	DATS[1:0]	00	R/W	送受信データ長選択 シリアルデータのデータ長を選択します。 00: 8 ビットデータ長 01: 16 ビットデータ長 10: 32 ビットデータ長 11: 設定無効

## 16.3.3 SS モードレジスタ (SSMR)

SSMR は、MSB ファースト / LSB ファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを選択します。

ビット:	7	6	5	4	3	2	1	0
	MLS	CPOS	CPHS	-	-	CKS[2:0]		
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 シリアルデータを MSB ファーストで転送するか、LSB ファーストで転送するかを選択します。 0 : LSB ファースト 1 : MSB ファースト
6	CPOS	0	R/W	クロック極性選択 SSCK クロックの極性を選択します。 0 : アイドル時に High 出力、アクティブ時に Low 出力 1 : アイドル時に Low 出力、アクティブ時に High 出力
5	CPHS	0	R/W	クロック位相選択 (SSU モード時のみ有効) SSCK クロックの位相を選択します。 0 : 最初のエッジでデータ変化 1 : 最初のエッジでデータラッチ
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CKS[2:0]	000	R/W	転送クロックレート選択 内部クロックを選択した場合の転送クロックレート (プリスケラ分周比) を選択します。 000 : リザーブ 001 : P /4 010 : P /8 011 : P /16 100 : P /32 101 : P /64 110 : P /128 111 : P /256

## 16.3.4 SS イネーブルレジスタ (SSER)

SSER は、送信イネーブル、受信イネーブル、および割り込み要求イネーブルを設定します。

ビット:	7	6	5	4	3	2	1	0
	TE	RE	-	-	TEIE	TIE	RIE	CEIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TE	0	R/W	送信イネーブル このビットを 1 にセットすると、送信動作が可能になります。
6	RE	0	R/W	受信イネーブル このビットを 1 にセットすると、受信動作が可能になります。
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TEIE	0	R/W	送信終了割り込みイネーブル このビットを 1 にセットすると送信終了時の SSTXI 割り込み要求がイネーブルになります。
2	TIE	0	R/W	送信割り込みイネーブル このビットを 1 にセットすると送信データエンプティ時の SSTXI 割り込み要求がイネーブルになります。
1	RIE	0	R/W	受信割り込みイネーブル このビットを 1 にセットすると SSRXI 割り込みおよび、オーバーランエラー時の SSERI 割り込み要求がイネーブルになります。
0	CEIE	0	R/W	コンフリクトエラー割り込みイネーブル このビットを 1 にセットするとコンフリクトエラー時の SSERI 割り込み要求がイネーブルになります。

## 16.3.5 SS ステータスレジスタ (SSSR)

SSSR は、各種割り込みのステータスフラグレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	ORER	-	-	TEND	TDRE	RDRF	CE
初期値:	0	0	0	0	0	1	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	ORER	0	R/W	オーバランエラー RDRF=1 の状態で、次のデータを受信するとオーバランエラーが発生し、異常終了したことを示します。SSRDR は、オーバランエラーが発生する前の 1 フレーム分の受信データを保持し、後から受信したデータは失われます。さらに ORER=1 にセットされた状態でそれ以降のシリアル受信を続けることはできません。またシリアル送信も続けることはできません。なお、SSU モード (SSCRL の SSUMS=0) のスレーブデータ受信動作 (SSCRH の MSS=0 かつ SSER の TE=0、RE=1) では本ビットは無効です。 [セット条件] <ul style="list-style-type: none"> <li>• RDRF=1 の状態で、次のシリアル受信の 1 バイトが完了したとき (SSU モードのスレーブデータ受信動作を除く)</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul>
5、4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TEND	0	R/W	送信終了 [セット条件] <ul style="list-style-type: none"> <li>• SSCR2 の TENDSTS が 0 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信時</li> <li>• SSCR2 の TENDSTS が 1 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信後</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき</li> <li>• SSTDR ヘデータをライトしたとき</li> </ul>

ビット	ビット名	初期値	R/W	説 明
2	TDRE	1	R/W	<p>送信データエンプティ SSTDR 内のデータの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• SSER の TE が 0 のとき</li> <li>• SSTDR から SSTRSR にデータが転送され、SSTDR にデータライトが可能になったとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき</li> <li>• TE=1 で、SSTDR ヘデータをライトしたとき</li> <li>• SSTXI 割り込みにより DMAC が起動され、DMAC 転送により SSTDR に転送データをライトしたとき</li> </ul>
1	RDRF	0	R/W	<p>受信データフル SSRDR 内のデータの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき</li> <li>• SSRDR から受信データをリードしたとき</li> <li>• SSRXI 割り込みにより DMAC が起動され、DMAC 転送により SSRDR から受信データをリードしたとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
0	CE	0	R/W	<p>コンフリクトエラー / インコンプリートエラー</p> <p>SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より <math>\overline{\text{SCS}}</math> から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、<math>\overline{\text{SCS}}</math> 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。SSU モードのスレーブデバイスの受信動作状態で受信データの読み出し (SSRDR リード) および SSSR の RDRF のクリアや、同様のスレーブデバイスの送受信動作状態で送信データの書き込み (SSTDR ライト) および SSSR の TDRE のクリアが、次のフレーム開始に間に合わない場合も、次のフレーム終了時にインコンプリートエラーを発生させます。</p> <p>CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>マスタデバイス (SSCRH の MSS=1) のとき <math>\overline{\text{SCS}}</math> 端子に Low レベルが入力されたとき</li> <li>スレーブデバイス (SSCRH の MSS=0) のとき転送途中で <math>\overline{\text{SCS}}</math> 端子が 1 になったとき</li> <li>スレーブデバイスの受信動作において、SSRDR リードと RDRF クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</li> <li>スレーブデバイスの送受信動作において、SSTDR ライトと TDRE クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul>

## 16.3.6 SS コントロールレジスタ 2 (SSCR2)

SSCR2 は、 $\overline{\text{SCS}}$  端子のアサートタイミング、SSO 端子のデータ出力タイミング、TEND ビットのセットタイミングを設定するレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	TENDSTS	SCSATS	SSODTS	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	TENDSTS	0	R/W	TEND ビットのセットタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0: 最後尾ビットの送信中に TEND ビットをセット 1: 最後尾ビットの送信後に TEND ビットをセット
3	SCSATS	0	R/W	$\overline{\text{SCS}}$ 端子のアサートタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0: $t_{\text{LEAD}}$ 、 $t_{\text{LAG}}$ の出力期間の Min. を $1/2 \times t_{\text{SUjcy}}$ とする 1: $t_{\text{LEAD}}$ 、 $t_{\text{LAG}}$ の出力期間の Min. を $3/2 \times t_{\text{SUjcy}}$ とする
2	SSODTS	0	R/W	SSO 端子のデータ出力タイミングを選択 (SSU モード、マスタ設定時のみ有効) 0: BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき SSO 端子はデータを出力 1: BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき、かつ SCS 端子の Low レベル期間中で SSO 端子はデータを出力
1、0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 16.3.7 SS 送信データレジスタ 0~3 (SSTDR0~SSTDR3)

SSTDR は、送信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSTDR0、16 ビットデータ長を選択した場合は SSTDR0、SSTDR1、32 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、SSTDR3 が有効になります。有効になっていない SSTDR へはアクセスしないでください。

SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中に SSTDR に次のデータをライトしておく、連続シリアル送信ができます。

SSTDR は CPU と DMAC から常に読み出し / 書き込み可能ですが、シリアル通信を確実に行うためには、SSTDR へのライトは、必ず SSSR の TDRE が 1 にセットされていることを確認してから行ってください。

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット	ビット名	初期値	R/W	説明
7~0		すべて 0	R/W	シリアル送信データ

表 16.3 DATS ビットの設定と SSTDR の対応表

SSTDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	無効
1	無効	有効	有効	無効
2	無効	無効	有効	無効
3	無効	無効	有効	無効

### 16.3.8 SS 受信データレジスタ 0~3 (SSRDR0~SSRDR3)

SSRDR は、受信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSRDR0、16 ビットデータ長を選択した場合は SSRDR0、SSRDR1、32 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、SSRDR3 が有効になります。有効になっていない SSRDR へはアクセスしないでください。

SSU は、1 バイトのデータ受信を完了すると、SSTRSR から SSRDR へ受信したシリアルデータを転送して格納します。この後、SSTRSR は受信可能となります。このように、SSTRSR と SSRDR はダブルバッファになっているため、連続受信動作が可能です。

SSRDR のリードは、SSSR レジスタの RDRF ビットが 1 にセットされていることを確認して行ってください。

SSRDR はリード専用レジスタです。CPU からライトすることはできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0		すべて 0	R	シリアル受信データ

表 16.4 DATS ビットの設定と SSRDR の対応表

SSRDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	無効
1	無効	有効	有効	無効
2	無効	無効	有効	無効
3	無効	無効	有効	無効

### 16.3.9 SS シフトレジスタ (SSTRSR)

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。

SSTDR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。その後、SSTRSR の LSB (ビット 0) から順に SSO 端子にデータを送り出すことでシリアルデータ送信を行います。

また、受信時は、SSI 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順に SSTRSR にセットします。1 バイトのデータ受信を完了すると、SSTRSR のデータを自動的に SSRDR へ転送します。SSTRSR は CPU から直接アクセスすることはできません。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

## 16.4 動作説明

### 16.4.1 転送クロック

転送クロックは7種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合はPFCでSSCK端子を有効しておく必要があります。SSCRHのMSS=1のときは、内部クロックが選択されSSCK端子が出力になります。転送が開始されるとSSMRのCKS2~CKS0に設定された転送レートのクロックがSSCK端子から出力されます。MSS=0のときは外部クロックが選択され、SSCK端子は入力端子になります。

### 16.4.2 クロックの位相、極性とデータの関係

SSCRLのSSUMS=0のとき、SSMRのCPOSとCPHSの組み合わせでクロックの位相、極性および転送データの関係が変わります。これらの関係を図16.2に示します。SSUMS=1のとき、CPOSの設定は有効ですが、CPHSの設定は無効となります。SSUMS=1の場合の送信データの変化タイミングおよび受信データの取り込みタイミングは、図16.2の「(1) CPHS=0のとき」と同じタイミングになります。

なお、SSMRのMLSの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLS=0のときはLSBからMSBの順で転送されます。また、MLS=1のときは、MSBからLSBの順で転送されます。

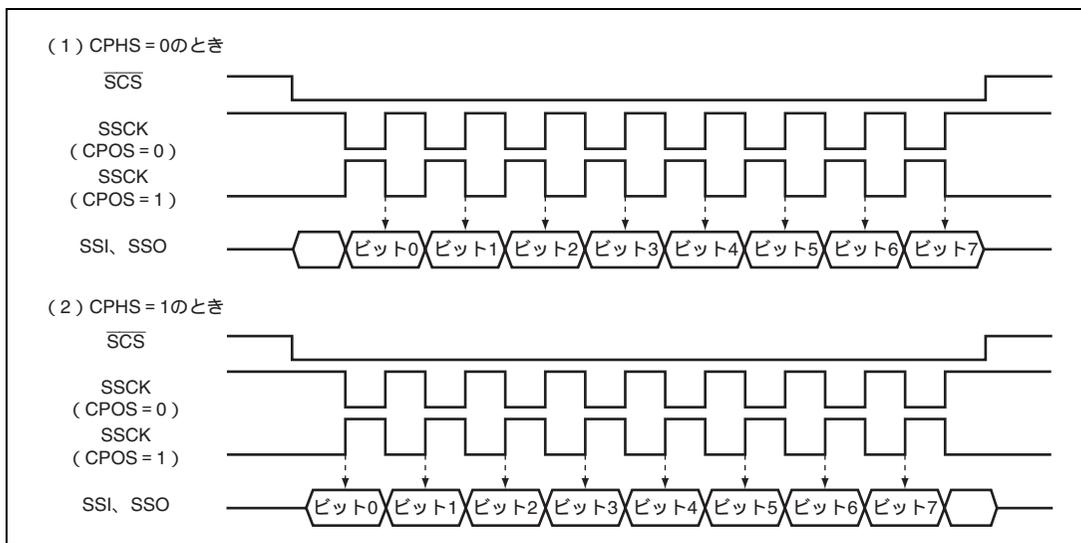


図 16.2 クロックの位相、極性とデータの関係

### 16.4.3 データ入出力端子とシフトレジスタの関係

SSCRH の MSS、BIDE と、SSCRL の SSUMS の組み合わせにより、データ入出力端子と SS シフトレジスタ (SSTRSR) の接続関係が変わります。これらの接続関係を図 16.3 に示します。

SSU は、BIDE=0、MSS=1 (標準、マスタモード) で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します (図 16.3 (1))。また、BIDE=0、MSS=0 (標準、スレーブモード) で動作しているとき、SSI 端子からシリアルデータを送信し、SSO 端子からシリアルデータを受信します (図 16.3 (2))。

BIDE=1 (双方向モード) では、マスタモード、スレーブモードにかかわらず、SSO 端子からシリアルデータの送信または受信を行います (図 16.3 (3)、図 16.3 (4))。

ただし、TE と RE を同時に 1 にセットしての送受信同時動作はできません。必ず、TE または RE のどちらか 1 つを選択してください。

SSUMS=1 で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します。MSS=1 のときは SSCK 端子から内部クロックを出力し、MSS=0 のときは SSCK 端子は入力端子となります (図 16.3 (5)、図 16.3 (6))。

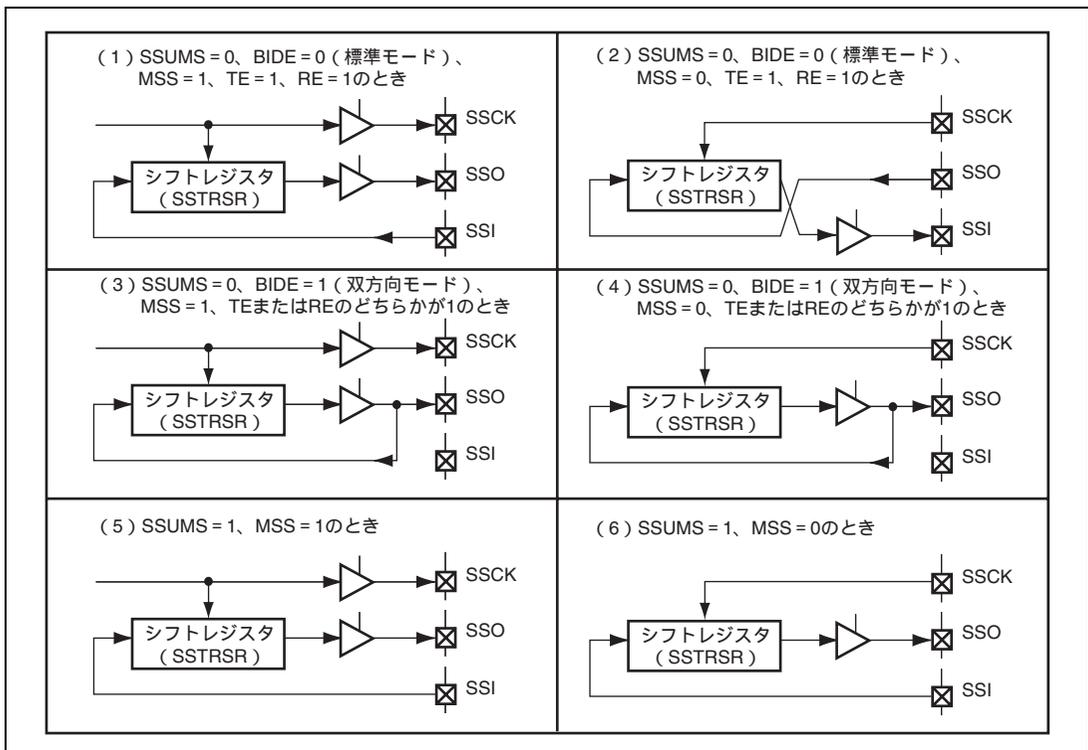


図 16.3 データ入出力端子とシフトレジスタの関係

## 16.4.4 各通信モードと端子機能

SSU は各通信モードとレジスタの設定により入出力端子 ( SSI、SSO、SSCK、 $\overline{SCS}$  ) の機能を切り替えます。各通信モードと入出力端子の関係を表 16.5 ~ 表 16.7 に示します。

表 16.5 各通信モードと SSI、SSO 端子の状態

通信モード	レジスタ状態					端子状態	
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO
SSU 通信モード	0	0	0	0	1	-	入力
				1	0	出力	-
				1	1	出力	入力
			1	0	1	入力	-
				1	0	-	出力
				1	1	入力	出力
SSU ( 双方向 ) 通信モード	0	1	0	0	1	-	入力
				1	0	-	出力
			1	0	1	-	入力
				1	0	-	出力
クロック同期式 通信モード	1	0	0	0	1	入力	
				1	0	-	出力
				1	1	入力	出力
			1	0	1	入力	-
				1	0	-	出力
				1	1	入力	出力

【記号説明】 - : SSU として端子を用いない ( I/O ポートとして使用可能 )

表 16.6 各通信モードと SSCK 端子の状態

通信モード	レジスタ状態		端子状態
	SSUMS	MSS	SSCK
SSU 通信モード	0	0	入力
		1	出力
クロック同期式 通信モード	1	0	入力
		1	出力

表 16.7 各通信モードと  $\overline{SCS}$  端子の状態

通信モード	レジスタ状態				端子状態	
	SSUMS	MSS	CSS1	CSS0	$\overline{SCS}$	
SSU 通信モード	0	0	x	x	入力	
		1	0	0	0	(設定禁止)
			0	1	1	(設定禁止)
			1	0	0	自動入出力
			1	1	1	出力
クロック同期式 通信モード	1	x	x	x	-	

【記号説明】 x : Don't care

- : SSU として端子を用いない (I/O ポートとして使用可能)

### 16.4.5 SSU モード

SSU モードは、クロックライン (SSCK)、データ入力ライン (SSI または SSO)、データ出力ライン (SSI または SSO)、チップセレクト ( $\overline{SCS}$ ) の 4 本のバスを使用してデータ通信を行います。

また、データ入力ラインとデータ出力ラインを 1 端子で行う双方向モードも対応しています。

#### (1) SSU モードの初期設定

SSU モードの初期設定例を図 16.4 に示します。データの送信 / 受信前には、SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

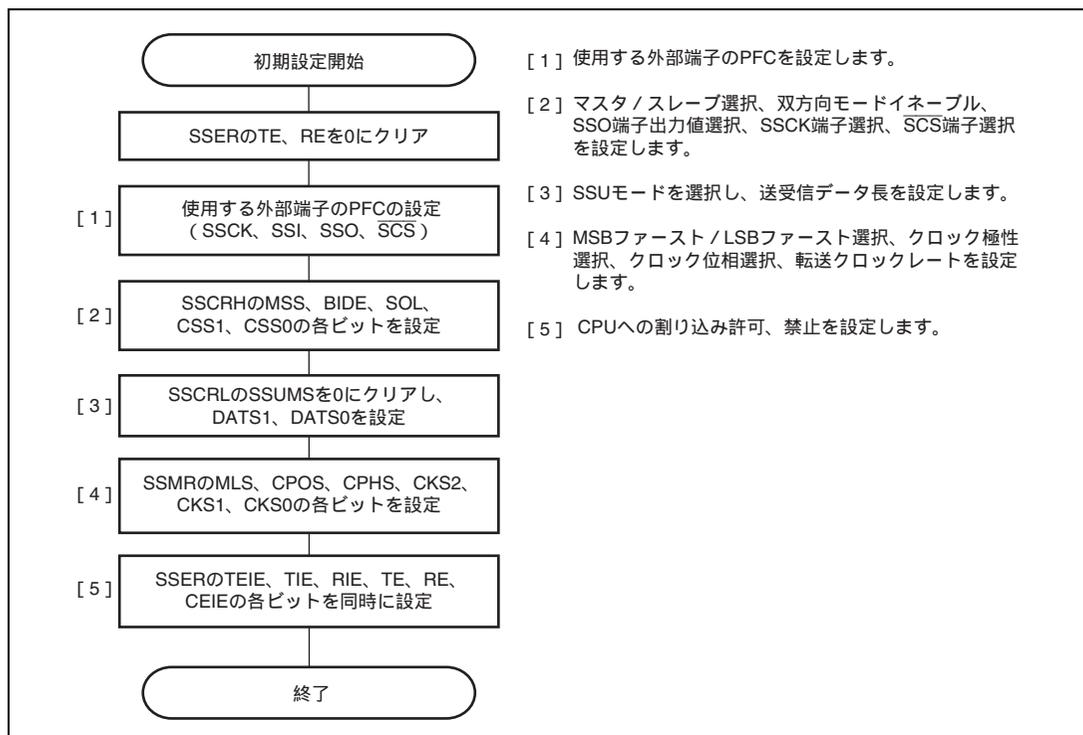


図 16.4 SSU モードの初期設定例

## (2) データ送信

図 16.5 に送信時の動作例を、図 16.6 にデータ送信のフローチャートの例を示します。

データ送信時に SSU は以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$  端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると送信データエンプティ時の SSTXI 割り込み要求を発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると送信終了時の SSTXI 割り込みを発生します。送信終了後は、SSCK 端子は SSMR の CPOS=0 のとき High レベルに固定され、CPOS=1 のときには Low レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

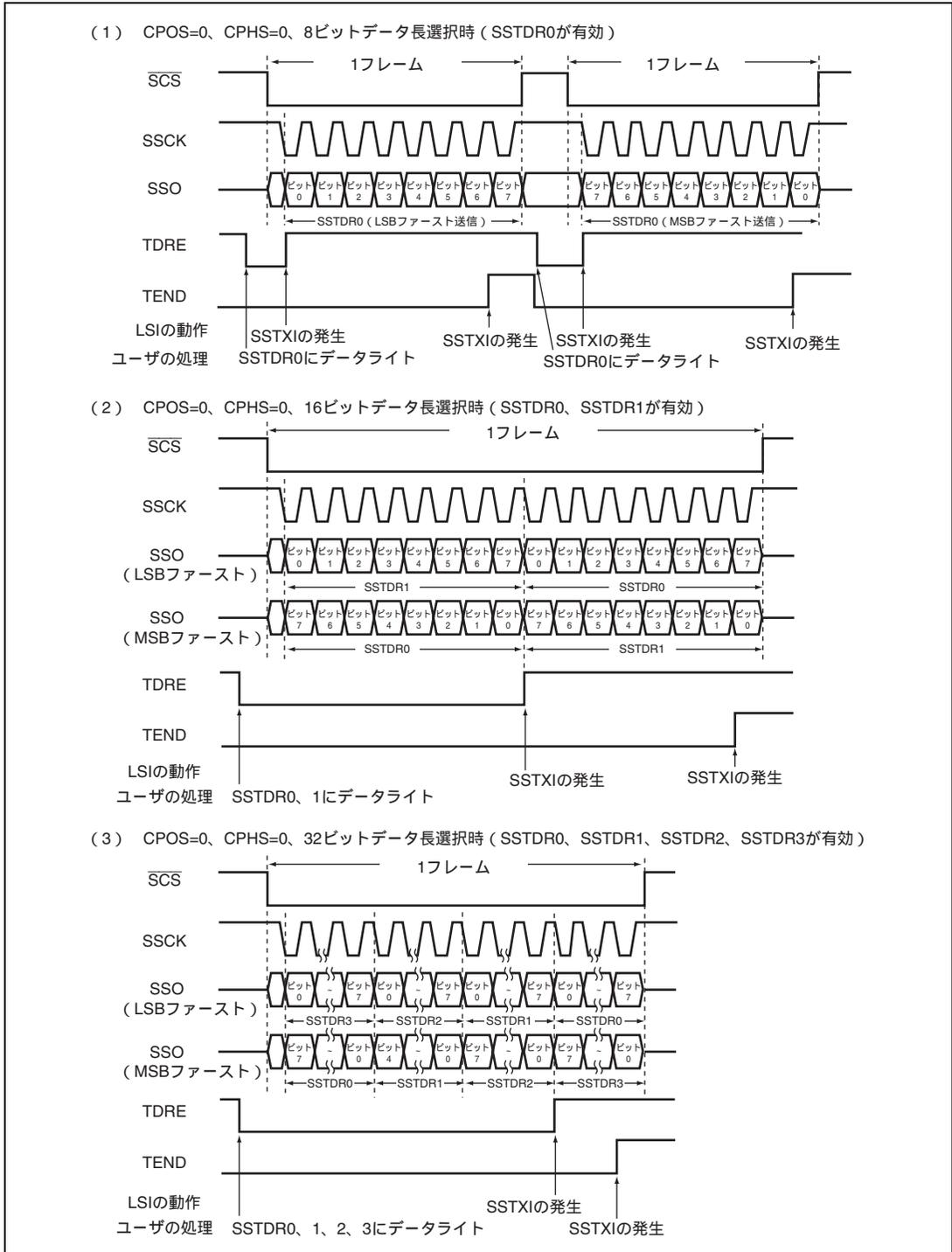


図 16.5 送信時の動作例 (SSU モード)

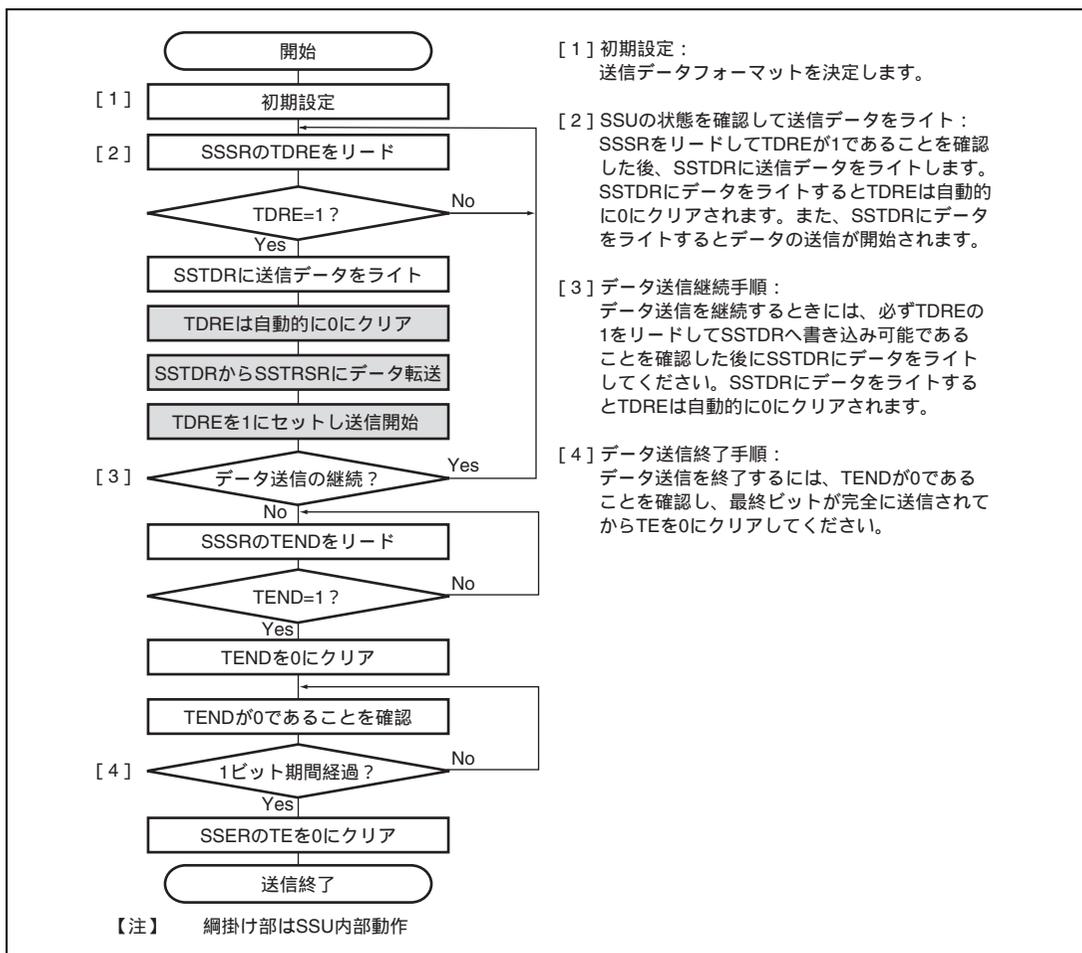


図 16.6 データ送信のフローチャート例 (SSU モード)

### (3) データ受信

図 16.7 に受信時の動作例を、図 16.8 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットし、SSRDR をダミーリードすることにより受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$  端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると SSRXI 割り込み要求を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

SSU モードのスレーブ受信で連続受信する場合は、次の受信を開始する前に (外部に接続したマスタデバイスが次の送信を開始する前に) SS 受信データレジスタ (SSRDR) をリードしてください。SS ステータスレジスタ (SSSR) の受信データフル (RDRF) ビットが 1 にセットされてから SSRDR をリードする前に次の受信が開始され、1 フレーム受信完了前に SSRDR をリードすると、受信完了後に SSSR のコンフリクト/インコンプリートエラー (CE) ビットが 1 にセットされます。また、RDRF が 1 にセットされてから SSRDR をリードする前に次の受信が開始され、1 フレーム受信完了後までに SSRDR をリードしなかった場合には、SSSR の CE ビットもオーバーランエラー (ORER) ビットもセットされませんが、受信データは破棄されます。

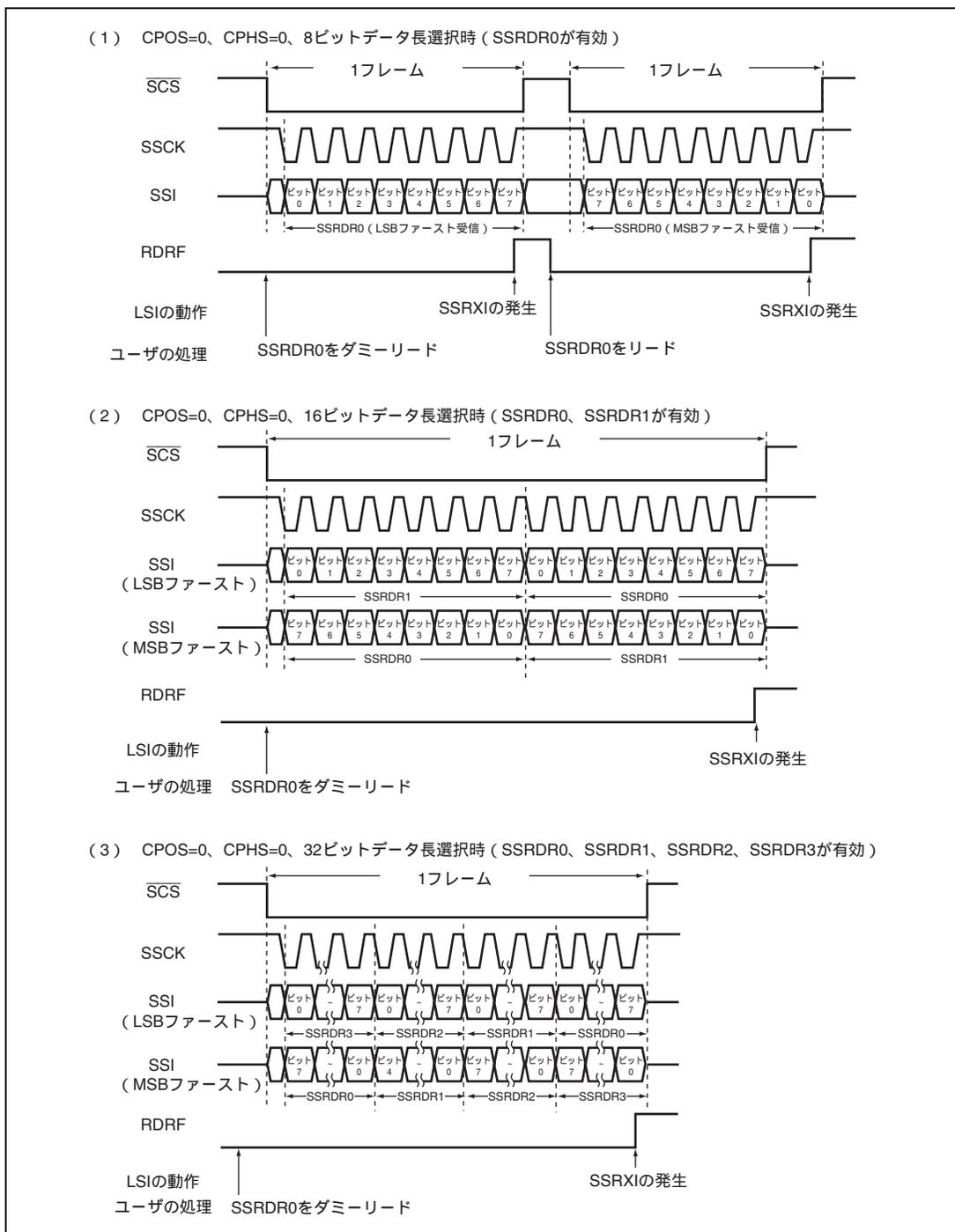


図 16.7 受信時の動作例 (SSU モード)

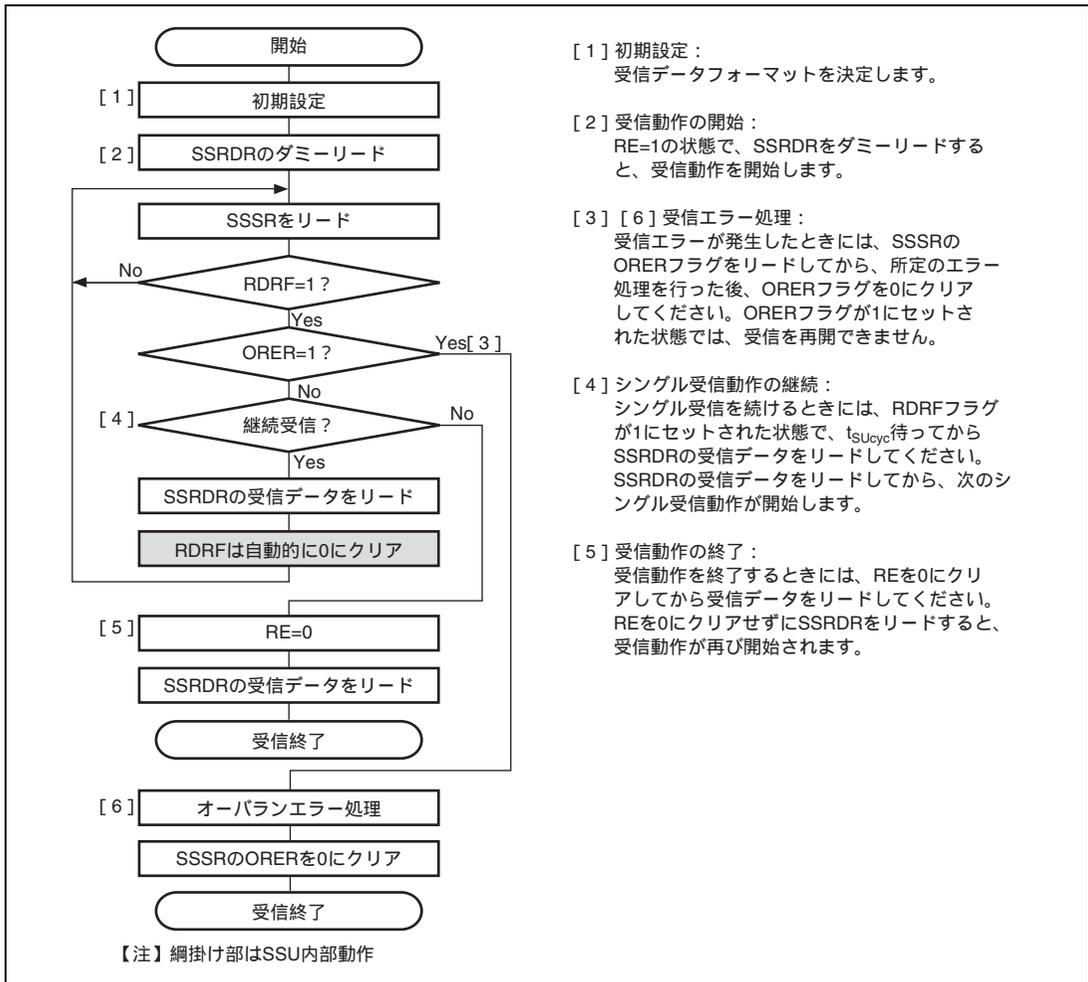


図 16.8 データ受信のフローチャート例 (SSU モード)

## (4) データ送受信

図 16.9 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、 $TE=RE=1$  の状態で、SSTDR に送信データをライトすることで開始されます。RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバーランエラー (SSERI) が発生し、送受信を停止します。ORER=1 の状態では送受信は行えませんが、送受信を再開する場合は ORER を 0 にクリアしてください。

なお、送信モード ( $TE=1$ ) あるいは受信モード ( $RE=1$ ) から送受信モード ( $TE=RE=1$ ) に切り替える場合は、一度  $TE$ 、 $RE$  を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、 $TE$  および  $RE$  を 1 にセットしてください。

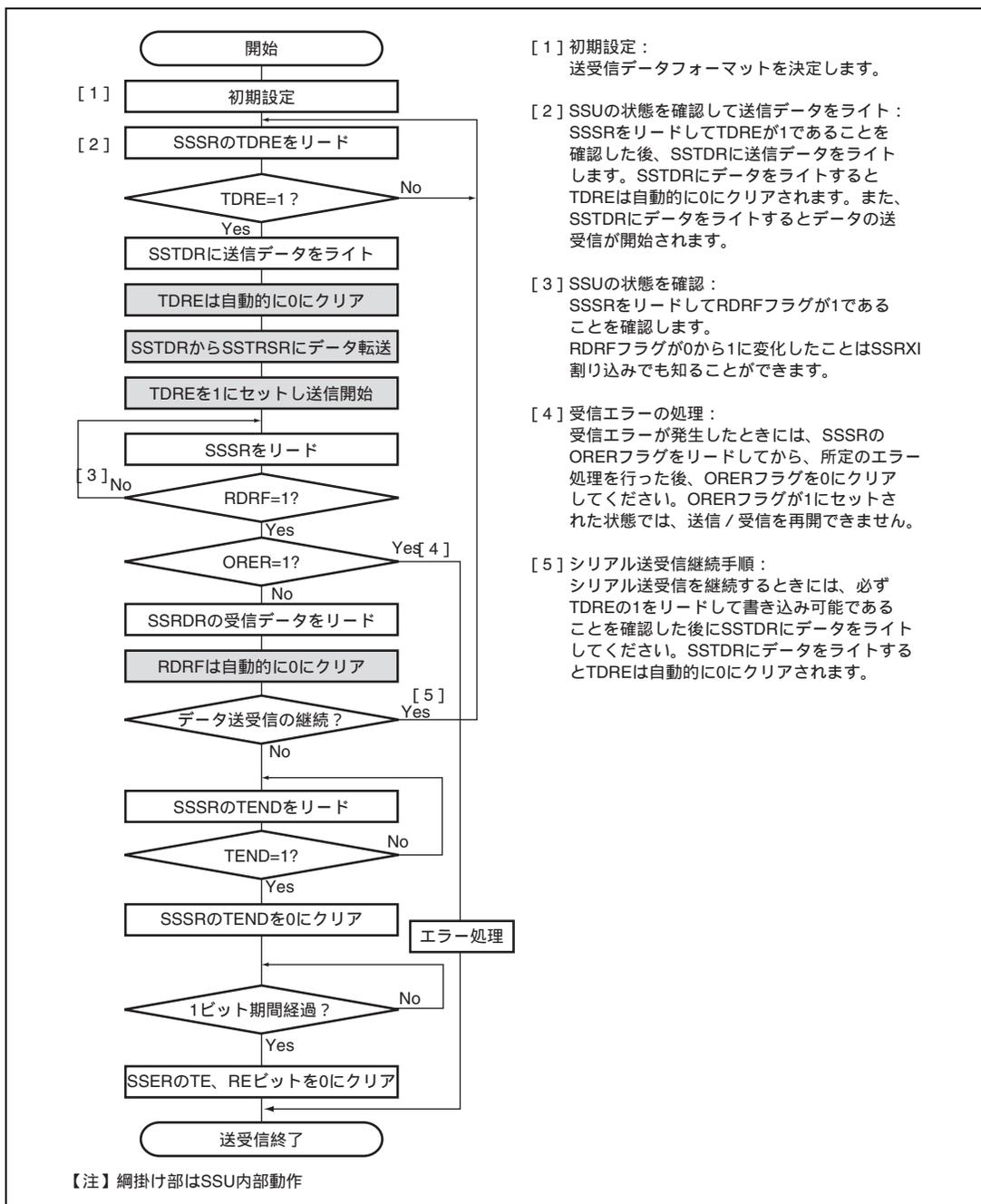


図 16.9 データ送受信同時動作のフローチャート例 (SSU モード)

### 16.4.6 $\overline{\text{SCS}}$ 端子制御とコンフリクトエラー

SSCRH の CSS1、CSS0=10、SSCRL の SSUMS=0 に設定した場合、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前と転送終了後に  $\overline{\text{SCS}}$  端子は入力 (Hi-Z) となり、コンフリクトエラーを検出します。この期間に  $\overline{\text{SCS}}$  端子から Low レベルが入力されるとコンフリクトエラーとなり、SSSR の CE がセットされ、MSS はクリアされます。

【注】 コンフリクトエラーがセットされた状態では、以後の送信 / 受信動作はできません。送信 / 受信を開始する前には、必ず CE を 0 にクリアしてください。

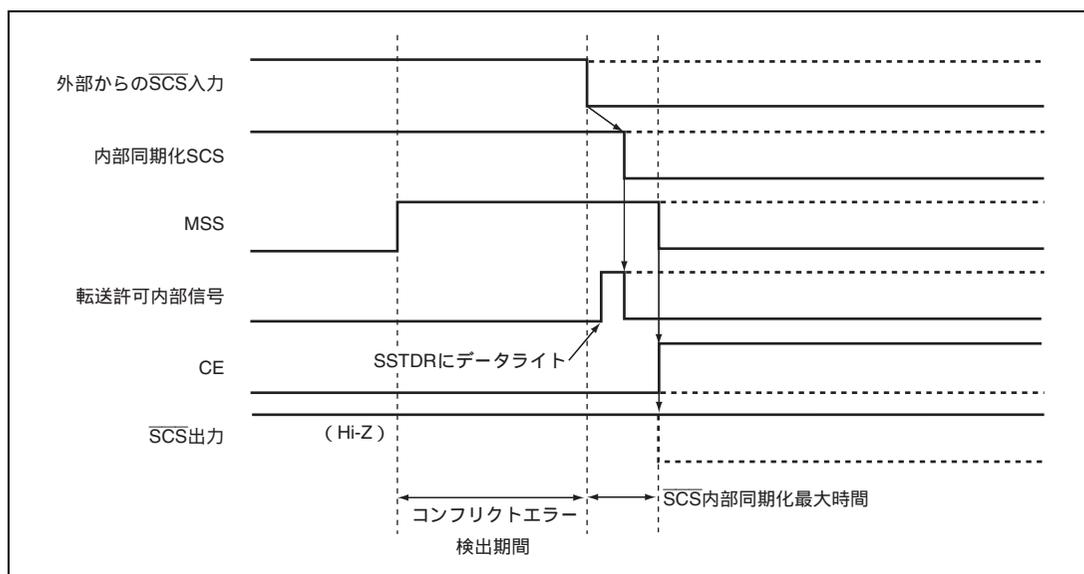


図 16.10 コンフリクトエラー検出タイミング (転送前)

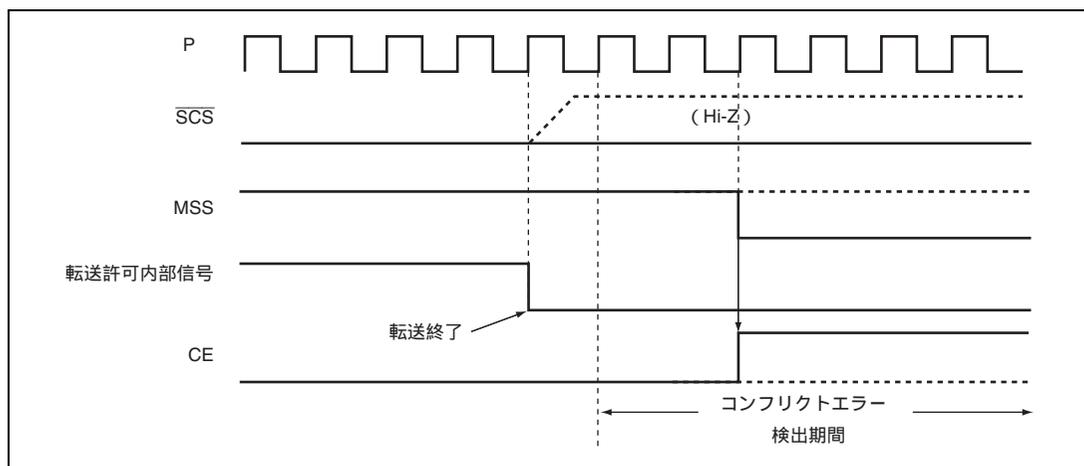


図 16.11 コンフリクトエラー検出タイミング (転送終了後)

### 16.4.7 クロック同期式通信モード

クロック同期式通信モードは、クロックライン (SSCK)、データ入力ライン (SSI)、データ出力ライン (SSO) の3本のバスを使用してデータ通信を行います。

#### (1) クロック同期式通信モードの初期設定

クロック同期式通信モードの初期設定例を図 16.12 に示します。データの送信 / 受信前には、まず SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORDER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

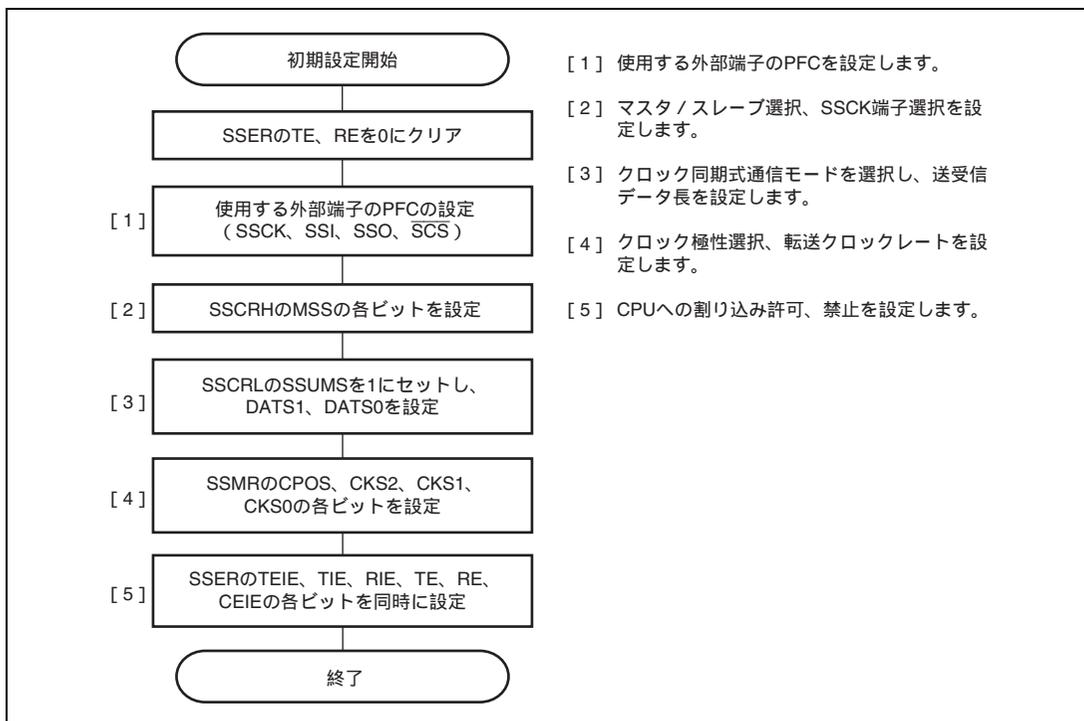


図 16.12 クロック同期式通信モードの初期設定例

## (2) データ送信

図 16.13 に送信時の動作例を、図 16.14 にデータ送信のフローチャートの例を示します。データ送信時にクロック同期式通信モードでは以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。SSU をスレーブデバイスに設定し、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると送信データエンプティ時の SSTXI 割り込み要求を発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると送信終了時の SSTXI 割り込み要求を発生します。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

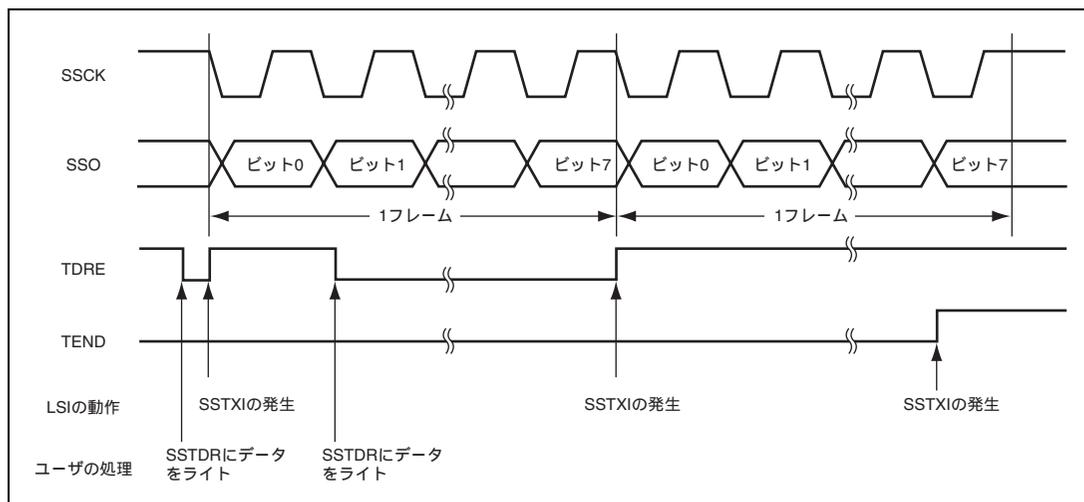


図 16.13 送信時の動作例 (クロック同期式通信モード)

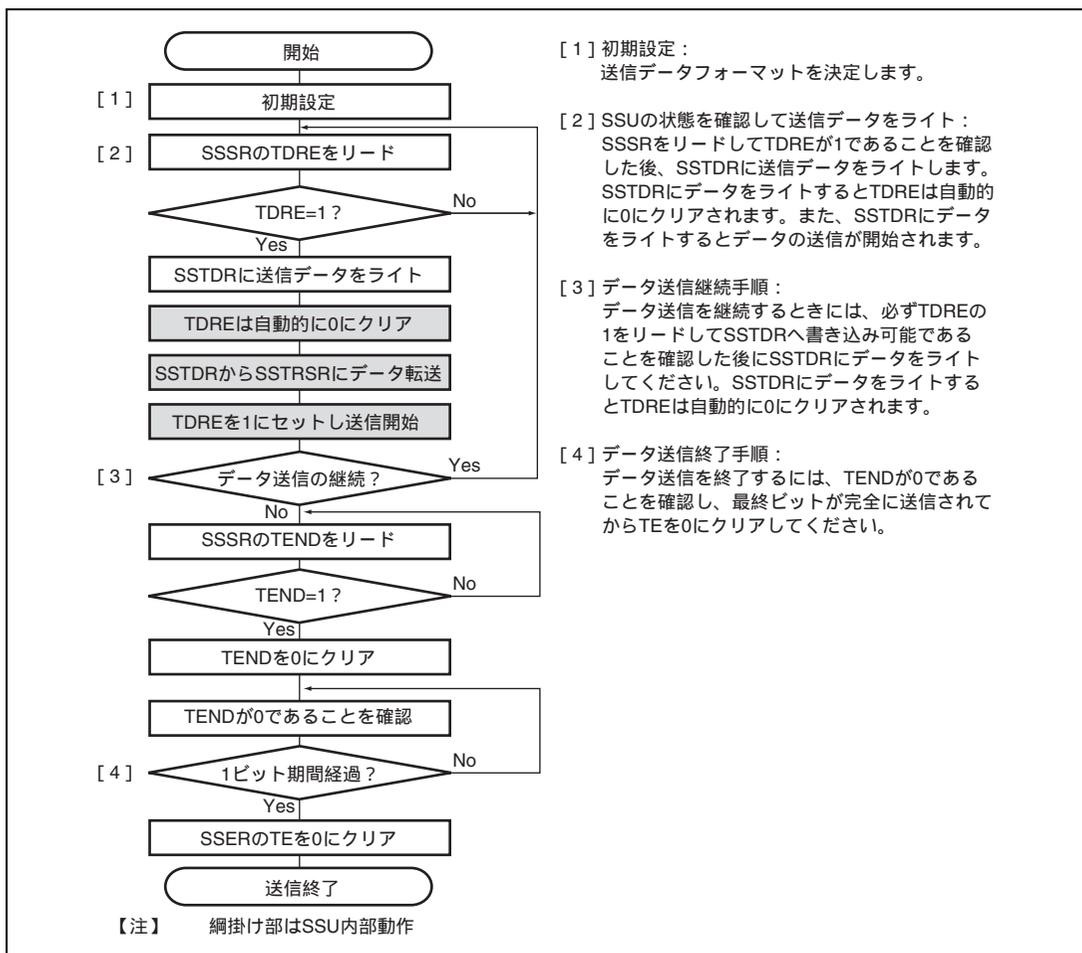


図 16.14 データ送信のフローチャート例 (クロック同期式通信モード)

## (3) データ受信

図 16.15 に受信時の動作例を、図 16.16 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットすると受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると SSRXI 割り込み要求を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (SSERI) が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

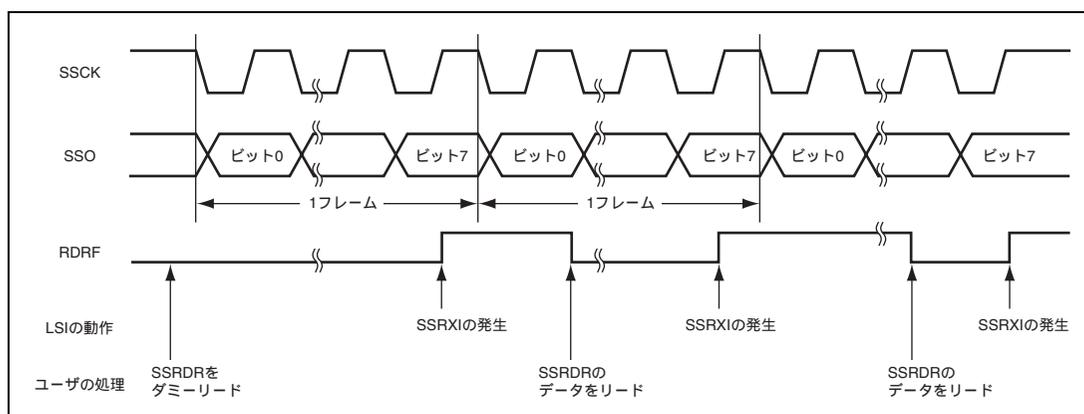


図 16.15 受信時の動作例 (クロック同期式通信モード)

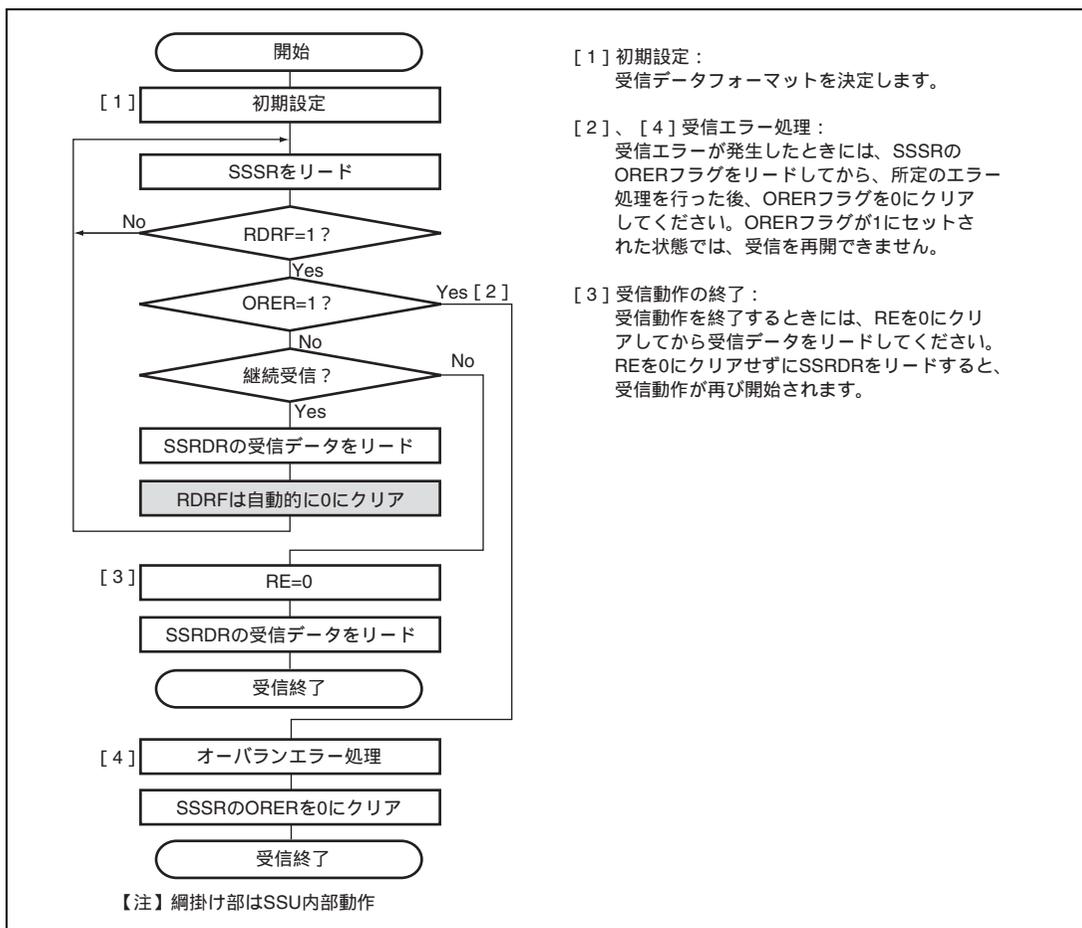


図 16.16 データ受信のフローチャート例 (クロック同期式通信モード)

#### (4) データ送受信

図 16.17 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、 $TE=RE=1$  の状態で、SSTDR に送信データをライトすることで開始されます。RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバーランエラー (SSERI) が発生し、送受信を停止します。ORER=1 の状態では送受信は行えませんが、送受信を再開する場合は ORER を 0 にクリアしてください。

なお、送信モード ( $TE=1$ ) あるいは受信モード ( $RE=1$ ) から送受信モード ( $TE=RE=1$ ) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

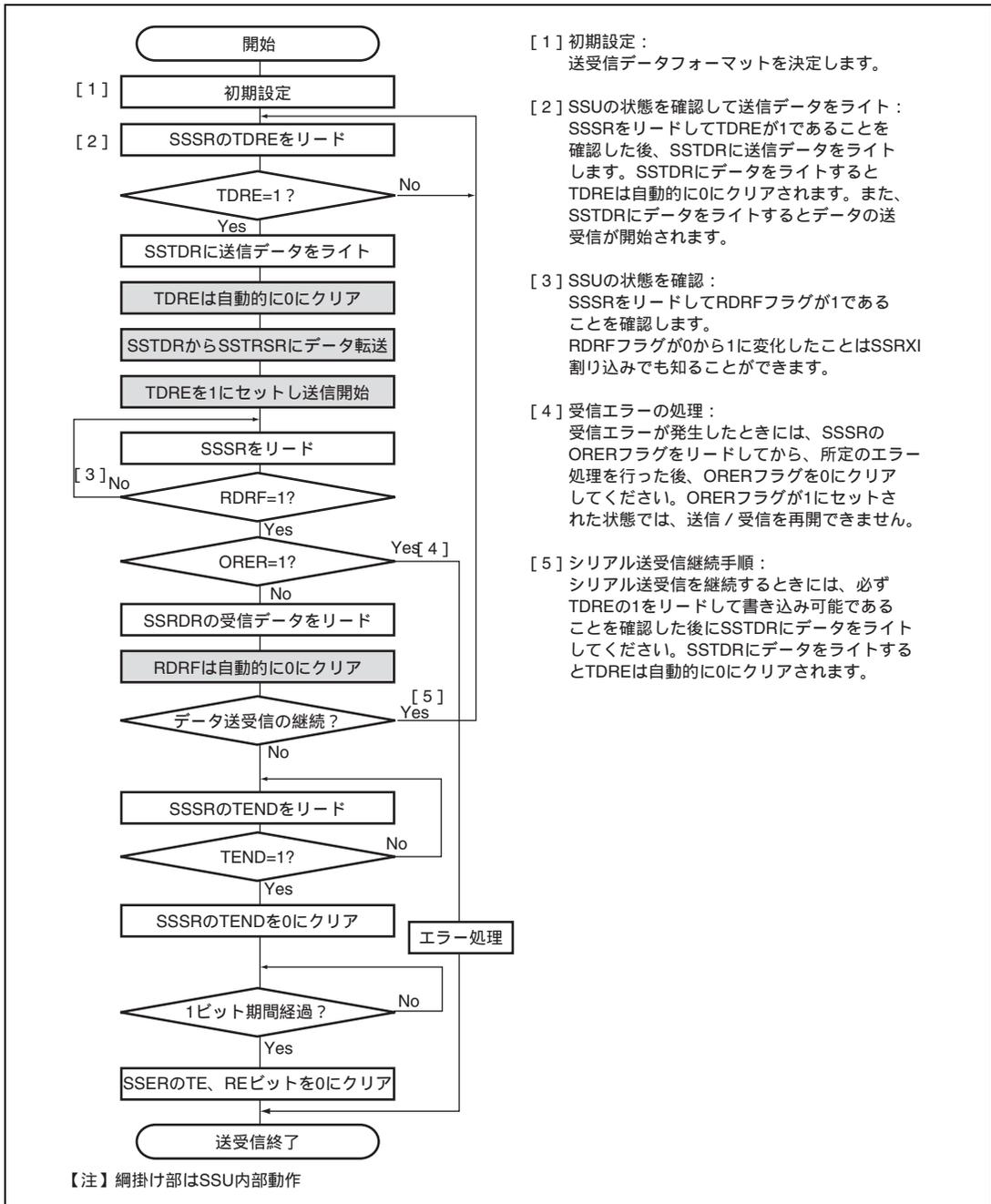


図 16.17 データ送受信同時動作のフローチャート例 (クロック同期式通信モード)

## 16.5 SSU の割り込み要因と DMAC

SSU の割り込み要求には、オーバランエラー、コンフリクトエラー、受信データフル、送信データエンプティ、送信終了割り込みがあります。また、受信データフル、送信データエンプティの割り込み要求で DMAC を起動しデータ転送を行うことができます。

オーバランエラー、コンフリクトエラーの割り込み要求が SSERI、送信データエンプティ、送信終了の割り込み要求が SSTXI のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 16.8 に割り込み要因を示します。

表 16.8 の割り込み条件が成立すると、割り込み要求が発生します。CPU または DMAC によるデータ転送で割り込み要因をクリアしてください。

表 16.8 SSU 割り込み要因

名称	割り込み要因	割り込み条件	DMAC の起動
SSERI	オーバランエラー	$(RIE=1) \cdot (ORER=1) + (CEIE=1) \cdot (CE=1)$	-
	コンフリクトエラー		
SSRXI	受信データフル	$(RIE=1) \cdot (RDRF=1)$	
SSTXI	送信データエンプティ	$(TIE=1) \cdot (TDRE=1) + (TEIE=1) \cdot (TEND=1)$	
	送信終了		

## 16.6 使用上の注意事項

### 16.6.1 モジュールスタンバイモードの設定

SSU は、スタンバイコントロールレジスタにより、本モジュールの動作禁止 / 許可を設定することが可能です。初期値では、SSU の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

### 16.6.2 SSU スレーブモードにおける連続送受信時の注意事項

SSU スレーブモードで連続送受信時は、1 フレームごとに  $\overline{SCS}$  端子をネグート (ハイレベル) してください。1 フレームを超えて  $\overline{SCS}$  端子をアサート (ローレベル) した場合は、正しく送受信できません。

### 16.6.3 SSU モードのマスタ送信動作またはマスタ送受信動作における注意事項

SSU モードのマスタ送信動作またはマスタ送受信動作を行う場合は、以下のいずれかで動作させてください。

- (1) SSSR の TDRE ビットが 1 にセットされたら最終ビットから 1 つ前のビットの送信開始前に SSTDR に次の送信データを格納してください。
- (2) SSSR の TEND ビットが 1 にセットされた後で SSTDR に次の送信データを書き込んでください。
- (3) SSCR2 を TENDSTS=0、または、TENDSTS=1 かつ SCSATS=1 の設定で使用してください。



---

## 17. I<sup>2</sup>C バスインタフェース 3 (IIC3)

---

I<sup>2</sup>C バスインタフェース 3 は、フィリップス社が提唱する I<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I<sup>2</sup>C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

なお、チャンネル数は 4 チャンネルあります。

### 17.1 特長

- I<sup>2</sup>C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

#### I<sup>2</sup>C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。

- 割り込み要因：6種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラージロスト、NACK 検出、停止条件検出

- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- バスを直接駆動可能

SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

#### クロック同期式シリアルフォーマット

- 割り込み要因：4種類

送信データエンプティ、送信終了、受信データフル、オーバランエラー

- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

図 17.1 に I<sup>2</sup>C バスインタフェース 3 のブロック図を示します。

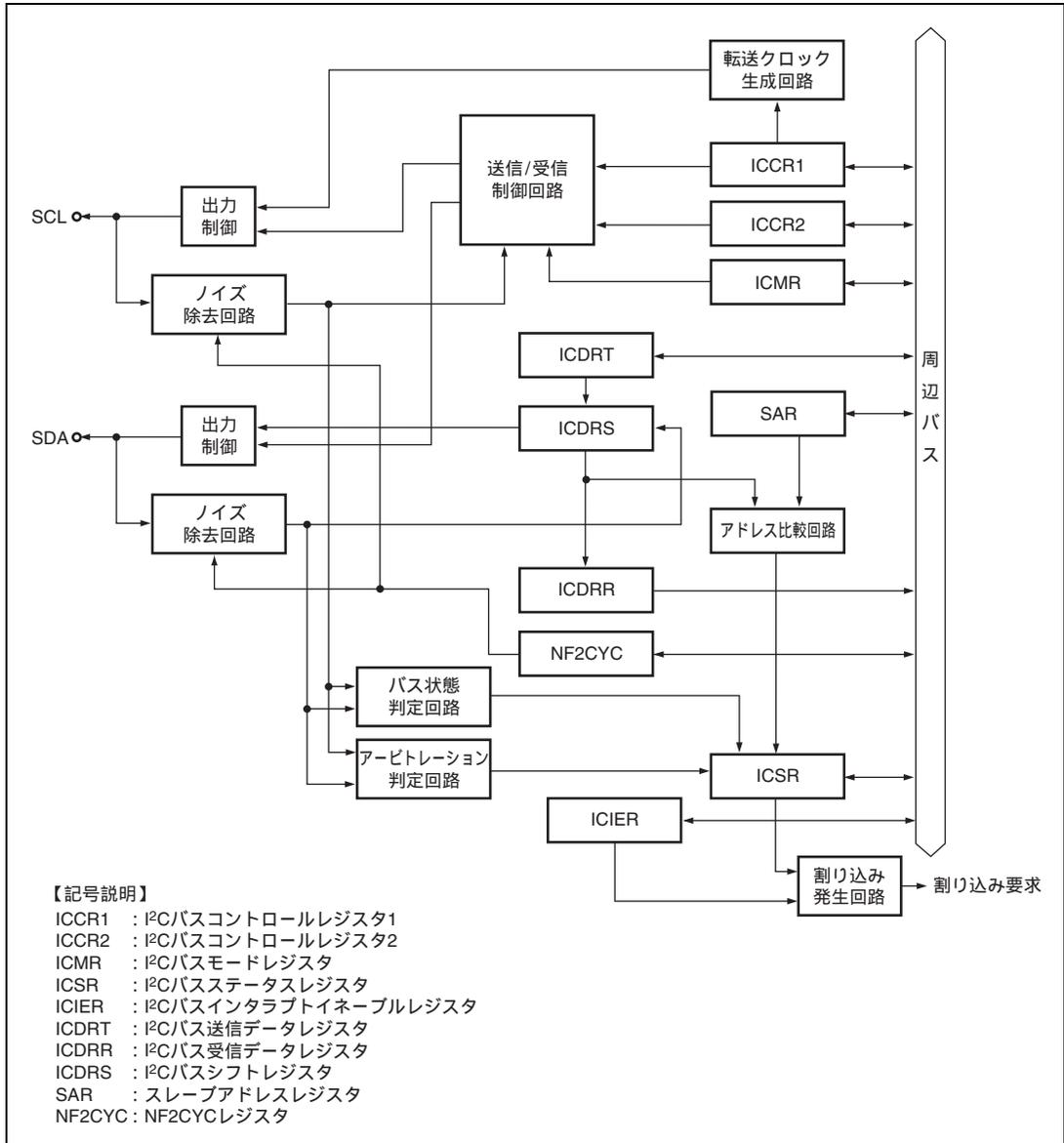


図 17.1 I<sup>2</sup>C バスインタフェース 3 のブロック図

## 17.2 入出力端子

I<sup>2</sup>C バスインタフェース 3 で使用する端子構成を表 17.1 に示します。

表 17.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL0 ~ SCL3	入出力	I <sup>2</sup> C シリアルクロック入出力端子
シリアルデータ端子	SDA0 ~ SDA3	入出力	I <sup>2</sup> C シリアルデータ入出力端子

図 17.2 に入出力端子の外部回路接続例を示します。

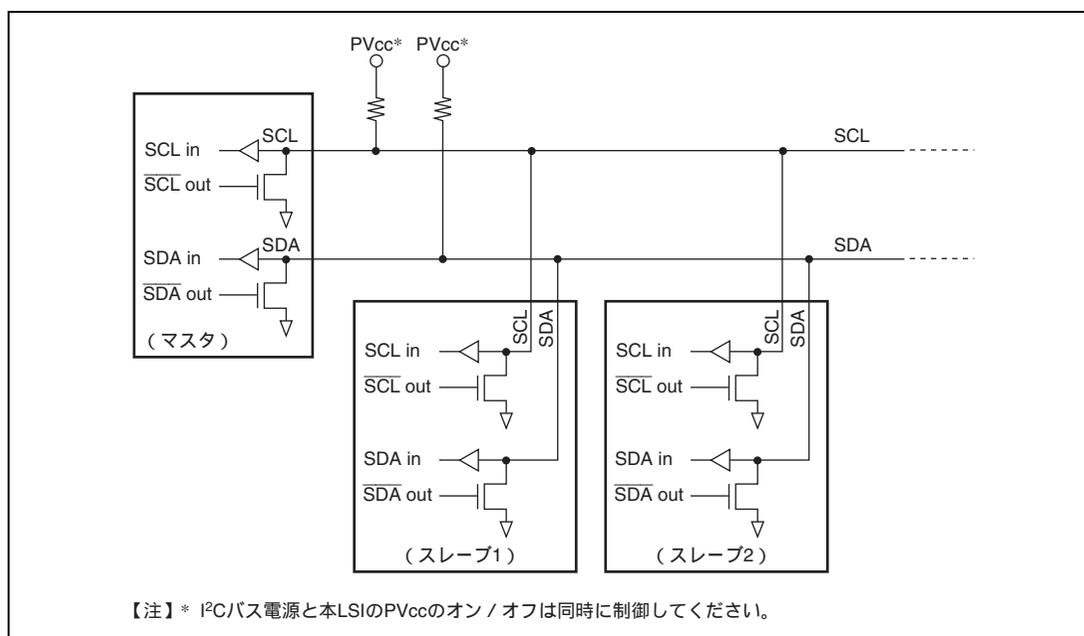


図 17.2 入出力端子の外部回路接続例

### 17.3 レジスタの説明

I<sup>2</sup>C バスインタフェース 3 には以下のレジスタがあります。

表 17.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	I <sup>2</sup> C バスコントロールレジスタ 1	ICCR1_0	R/W	H'00	H'FFFEE000	8
	I <sup>2</sup> C バスコントロールレジスタ 2	ICCR2_0	R/W	H'7D	H'FFFEE001	8
	I <sup>2</sup> C バスモードレジスタ	ICMR_0	R/W	H'38	H'FFFEE002	8
	I <sup>2</sup> C バスインタラプティネーブルレジスタ	ICIER_0	R/W	H'00	H'FFFEE003	8
	I <sup>2</sup> C バスステータスレジスタ	ICSR_0	R/W	H'00	H'FFFEE004	8
	スレーブアドレスレジスタ	SAR_0	R/W	H'00	H'FFFEE005	8
	I <sup>2</sup> C バス送信データレジスタ	ICDRT_0	R/W	H'FF	H'FFFEE006	8
	I <sup>2</sup> C バス受信データレジスタ	ICDRR_0	R/W	H'FF	H'FFFEE007	8
	NF2CYC レジスタ	NF2CYC_0	R/W	H'00	H'FFFEE008	8
1	I <sup>2</sup> C バスコントロールレジスタ 1	ICCR1_1	R/W	H'00	H'FFFEE400	8
	I <sup>2</sup> C バスコントロールレジスタ 2	ICCR2_1	R/W	H'7D	H'FFFEE401	8
	I <sup>2</sup> C バスモードレジスタ	ICMR_1	R/W	H'38	H'FFFEE402	8
	I <sup>2</sup> C バスインタラプティネーブルレジスタ	ICIER_1	R/W	H'00	H'FFFEE403	8
	I <sup>2</sup> C バスステータスレジスタ	ICSR_1	R/W	H'00	H'FFFEE404	8
	スレーブアドレスレジスタ	SAR_1	R/W	H'00	H'FFFEE405	8
	I <sup>2</sup> C バス送信データレジスタ	ICDRT_1	R/W	H'FF	H'FFFEE406	8
	I <sup>2</sup> C バス受信データレジスタ	ICDRR_1	R/W	H'FF	H'FFFEE407	8
	NF2CYC レジスタ	NF2CYC_1	R/W	H'00	H'FFFEE408	8
2	I <sup>2</sup> C バスコントロールレジスタ 1	ICCR1_2	R/W	H'00	H'FFFEE800	8
	I <sup>2</sup> C バスコントロールレジスタ 2	ICCR2_2	R/W	H'7D	H'FFFEE801	8
	I <sup>2</sup> C バスモードレジスタ	ICMR_2	R/W	H'38	H'FFFEE802	8
	I <sup>2</sup> C バスインタラプティネーブルレジスタ	ICIER_2	R/W	H'00	H'FFFEE803	8
	I <sup>2</sup> C バスステータスレジスタ	ICSR_2	R/W	H'00	H'FFFEE804	8
	スレーブアドレスレジスタ	SAR_2	R/W	H'00	H'FFFEE805	8
	I <sup>2</sup> C バス送信データレジスタ	ICDRT_2	R/W	H'FF	H'FFFEE806	8
	I <sup>2</sup> C バス受信データレジスタ	ICDRR_2	R/W	H'FF	H'FFFEE807	8
	NF2CYC レジスタ	NF2CYC_2	R/W	H'00	H'FFFEE808	8

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
3	I <sup>2</sup> C バスコントロールレジスタ 1	ICCR1_3	R/W	H'00	H'FFFEEC00	8
	I <sup>2</sup> C バスコントロールレジスタ 2	ICCR2_3	R/W	H'7D	H'FFFEEC01	8
	I <sup>2</sup> C バスモードレジスタ	ICMR_3	R/W	H'38	H'FFFEEC02	8
	I <sup>2</sup> C バスインタラプトイネーブルレジスタ	ICIER_3	R/W	H'00	H'FFFEEC03	8
	I <sup>2</sup> C バスステータスレジスタ	ICSR_3	R/W	H'00	H'FFFEEC04	8
	スレープアドレスレジスタ	SAR_3	R/W	H'00	H'FFFEEC05	8
	I <sup>2</sup> C バス送信データレジスタ	ICDRT_3	R/W	H'FF	H'FFFEEC06	8
	I <sup>2</sup> C バス受信データレジスタ	ICDRR_3	R/W	H'FF	H'FFFEEC07	8
	NF2CYC レジスタ	NF2CYC_3	R/W	H'00	H'FFFEEC08	8

### 17.3.1 I<sup>2</sup>C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し / 書き込み可能なレジスタで、I<sup>2</sup>C バスインタフェース 3 の動作 / 停止、送信 / 受信制御、マスタモード / スレープモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止

ビット	ビット名	初期値	R/W	説 明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択 送信/受信選択</p> <p>I<sup>2</sup>C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。</p> <p>また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバーランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。</p> <p>MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。</p> <p>00：スレーブ受信モード 01：スレーブ送信モード 10：マスタ受信モード 11：マスタ送信モード</p>
3~0	CKS[3:0]	0000	R/W	<p>転送クロック選択</p> <p>マスタモードのとき、必要な転送レート（表 17.3 参照）にあわせて設定してください。</p>

表 17.3 転送レート

ビット 3 CKS[3]	ビット 2 CKS[2]	ビット 1 CKS[1]	ビット 0 CKS[0]	クロック	転送レート (kHz)				
					P =16.7MHz	P =20.0MHz	P =25.0MHz	P =26.7MHz	P =33.3MHz
0	0	0	0	P /44	379	455	568	606	758
			1	P /52	321	385	481	513	641
		1	0	P /64	260	313	391	417	521
			1	P /72	231	278	347	370	463
	1	0	0	P /84	198	238	298	317	397
			1	P /92	181	217	272	290	362
		1	0	P /100	167	200	250	267	333
			1	P /108	154	185	231	247	309
1	0	0	0	P /176	94.7	114	142	152	189
			1	P /208	80.1	96.2	120	128	160
		1	0	P /256	65.1	78.1	97.7	104	130
			1	P /288	57.9	69.4	86.8	92.6	116
	1	0	0	P /336	49.6	59.5	74.4	79.4	99.2
			1	P /368	45.3	54.3	67.9	72.5	90.6
		1	0	P /400	41.7	50.0	62.5	66.7	83.3
			1	P /432	38.6	46.3	57.9	61.7	77.2

【注】 外部仕様を満足するように設定してください。

17.3.2 I<sup>2</sup>C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し / 書き込み可能なレジスタで、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I<sup>2</sup>C バスのコントロール部のリセットを制御します。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説 明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I<sup>2</sup>C バスの占有 / 解放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I<sup>2</sup>C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p style="margin-left: 20px;">0: リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p style="margin-left: 20px;">1: リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更(外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は ICMR レジスタの BC[2:0]ビットと IIC3 の内部回路をリセットします。I <sup>2</sup> C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると ICMR レジスタの BC[2:0]ビットと IIC3 の内部回路をリセットすることができます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

### 17.3.3 I<sup>2</sup>C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し / 書き込み可能なレジスタで、MSB ファースト / LSB ファーストの選択、転送ビット数の選択を行います。

ICCR2 の IICRST により BC[2:0]が H'0 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するときには 0 に設定してください。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5, 4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説 明																		
3	BCWP	1	R/W	<p>BC ライトプロテクト</p> <p>BC[2:0]の書き込みを制御します。BC[2:0]を書き換える場合は、本ビットを 0 に設定してください。なおクロック同期式シリアルフォーマットでは BC[2:0]の書き換えは行わないでください。</p> <p>0 : ライト時、BC[2:0]の値を設定 1 : リード時、常に 1 をリード ライト時、BC[2:0]設定値は無効</p>																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I<sup>2</sup>C バスフォーマットでは、データにアクリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。本ビットは、パワーオンリセット、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を 1 セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I<sup>2</sup>C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

### 17.3.4 I<sup>2</sup>C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効 / 無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	送信インタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可 / 禁止します。 0: 送信データエンpty割り込み要求 (TXI) の禁止 1: 送信データエンpty割り込み要求 (TXI) の許可
6	TEIE	0	R/W	送信エンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	受信インタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出兼アービトレーションロスト / オーバーランエラー割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可

ビット	ビット名	初期値	R/W	説 明
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIE は、ICSR の STOP がセットされたとき、停止条件検出割り込み要求 (STPI) の許可 / 禁止を選択します。</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う</p> <p>1: 受信アクノリッジが 1 の場合、転送を中断する</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 にセットするとクリアされます。</p> <p>0: 受信アクノリッジ = 0</p> <p>1: 受信アクノリッジ = 1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0: アクノリッジのタイミングで 0 を送出</p> <p>1: アクノリッジのタイミングで 1 を送出</p>

17.3.5 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し / 書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

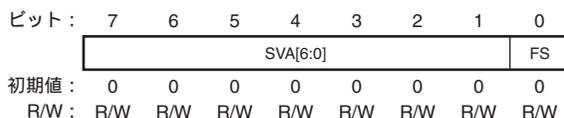
ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	送信データエンプティ [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• ICDRT ヘデータをライトしたとき</li> </ul> [セット条件] <ul style="list-style-type: none"> <li>• ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき</li> <li>• TRS をセットしたとき</li> <li>• 開始条件 (再送含む) を発行したとき</li> <li>• スleepモードで受信モードから送信モードになったとき</li> </ul>
6	TEND	0	R/W	送信エンド [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• ICDRT ヘデータをライトしたとき</li> </ul> [セット条件] <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき</li> <li>• クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき</li> </ul>
5	RDRF	0	R/W	受信データフル [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• ICDRR をリードしたとき</li> </ul> [セット条件] <ul style="list-style-type: none"> <li>• ICDRS から ICDRR に受信データが転送されたとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードした後、0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• ICIERのACKC=1の状態、送信時、受信デバイスからアクノリッジがなかったとき</li> </ul>
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードした後、0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• フレームの転送の完了後に停止条件を検出したとき</li> </ul>
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVEは、I<sup>2</sup>Cバスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI<sup>2</sup>Cバスインタフェース3はSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードした後、0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• マスタ送信モードの場合、SCLの立ち上がりで内部SDAとSDA端子のレベルが不一致のとき</li> <li>• マスタモードの場合、開始条件検出時、SDA端子がHighレベルのとき</li> <li>• クロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したとき</li> </ul>
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームがSARのSVA6~SVA0と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードした後、0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• スレーブ受信モードでスレーブアドレスを検出したとき</li> <li>• スレーブ受信モードでゼネラルコールアドレスを検出したとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
0	ADZ	0	R/W	ゼネラルコールアドレス認識フラグ I <sup>2</sup> C バスフォーマットのスレーブ受信モードのとき有効 [クリア条件] • 1の状態をリードした後、0をライトしたとき [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

### 17.3.6 スレーブアドレスレジスタ (SAR)

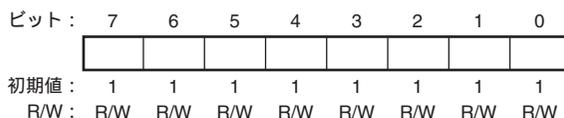
SAR は、8 ビットの読み出し / 書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。



ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I <sup>2</sup> C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I <sup>2</sup> C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

### 17.3.7 I<sup>2</sup>C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し / 書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくこと、連続送信が可能です。



### 17.3.8 I<sup>2</sup>C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

### 17.3.9 I<sup>2</sup>C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信 / 受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

### 17.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し / 書き込み可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「17.4.7 ノイズ除去回路」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PRS	NF2 CYC
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PRS	0	R/W	パルス幅比率選択 SCL の High 幅と Low 幅の比率を指定します。ただし、ICCR1 の CKS[3:0] = H'7 または H'F のとき、PRS = 1 に設定しないでください。 0 : High : Low = 0.5 : 0.5 1 : High : Low 0.4 : 0.6
0	NF2CYC	0	R/W	ノイズ除去幅選択 0 : 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1 : 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

## 17.4 動作説明

I<sup>2</sup>C バスインタフェース 3 には、SAR の FS の設定により、I<sup>2</sup>C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

### 17.4.1 I<sup>2</sup>C バスフォーマット

I<sup>2</sup>C バスフォーマットを図 17.3 に、I<sup>2</sup>C バスのタイミングを図 17.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

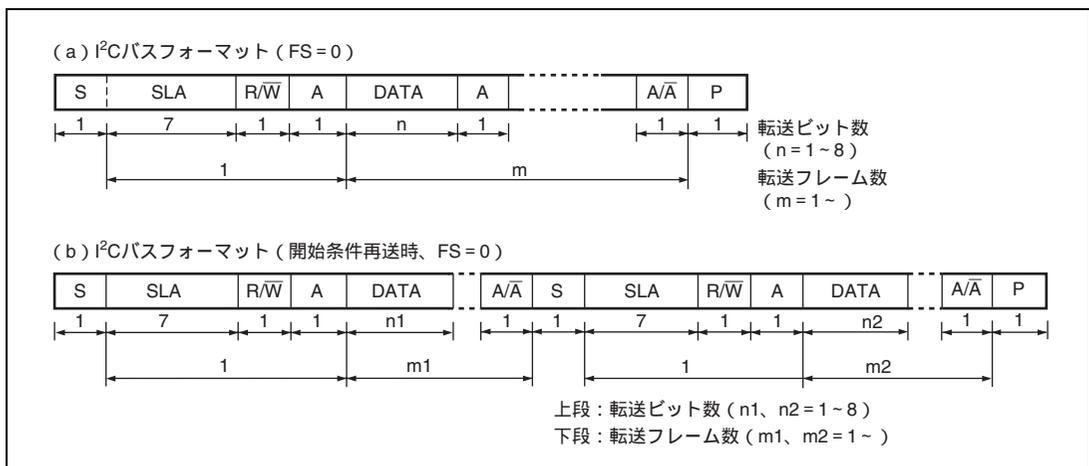


図 17.3 I<sup>2</sup>C バスフォーマット

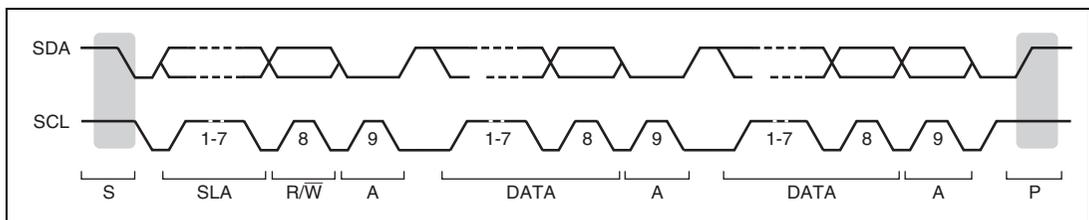


図 17.4 I<sup>2</sup>C バスタイミング

#### 【記号説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

### 17.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 17.5 と図 17.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。また、ICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR $\bar{W}$ を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

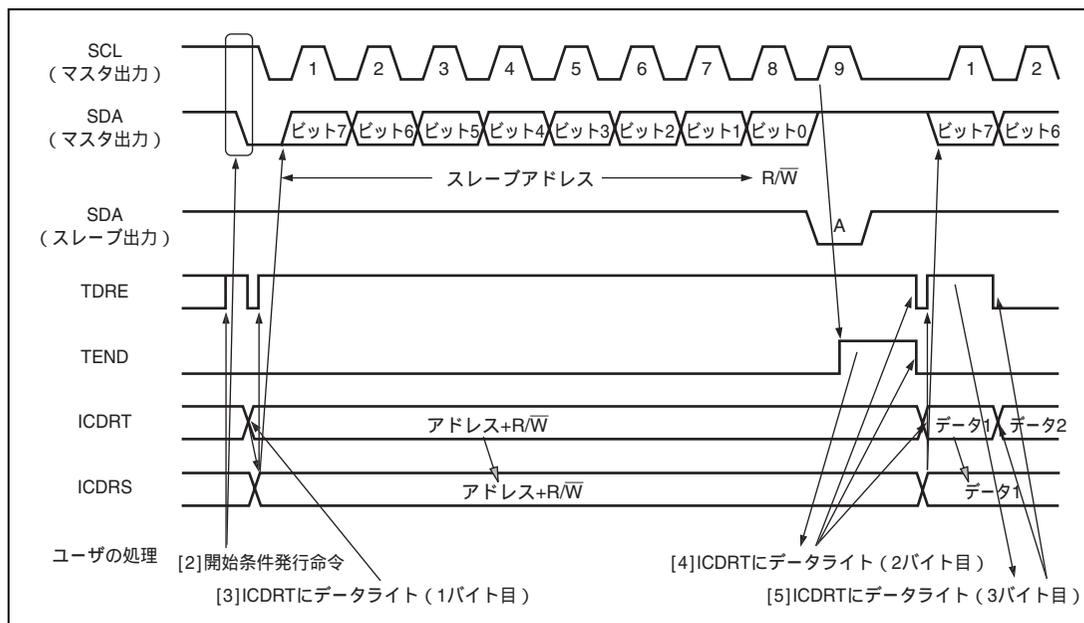


図 17.5 マスタ送信モード動作タイミング (1)

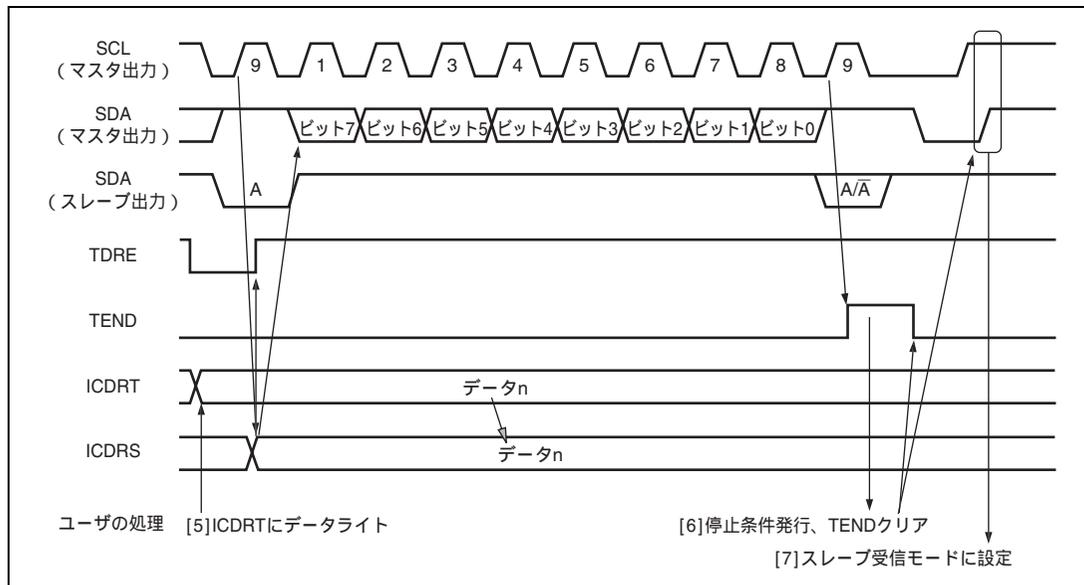


図 17.6 マスタ送信モード動作タイミング (2)

### 17.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアキュリッジを返します。マスタ受信モードの動作タイミングについては図 17.7 と図 17.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま  
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始\*し、内部クロックに同期して受信クロックを出力し、データを受  
信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力し  
ます。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま  
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク  
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが  
セットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCL  
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の  
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 \* 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

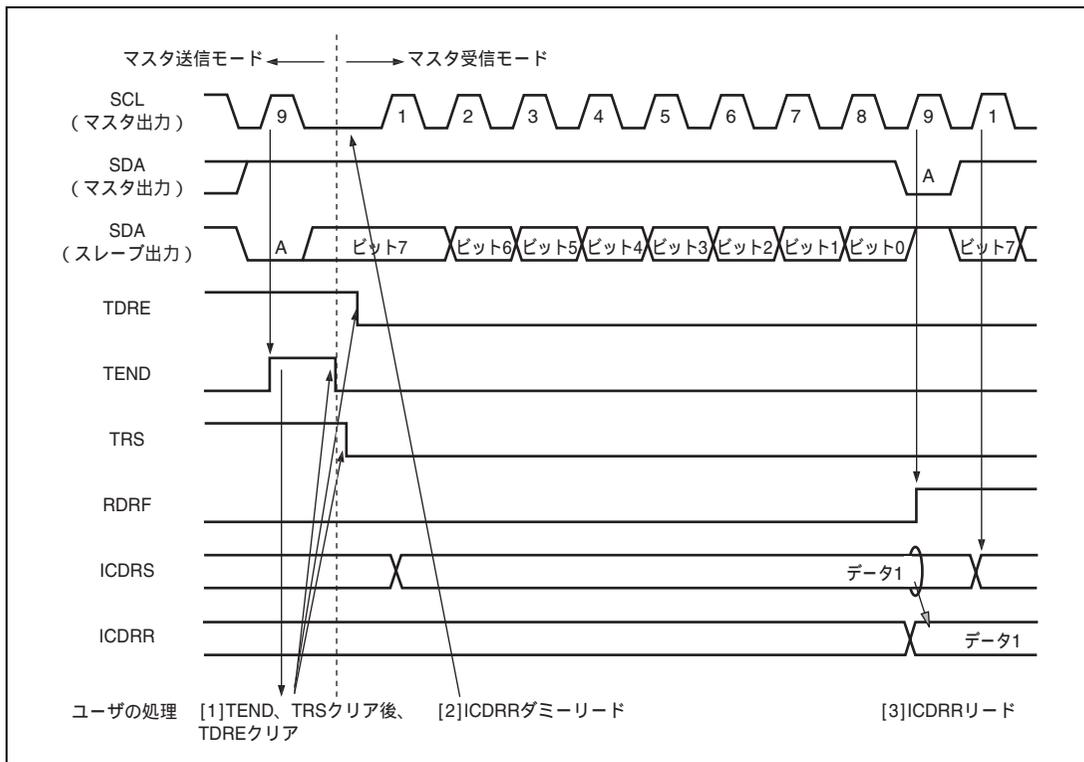


図 17.7 マスタ受信モード動作タイミング (1)

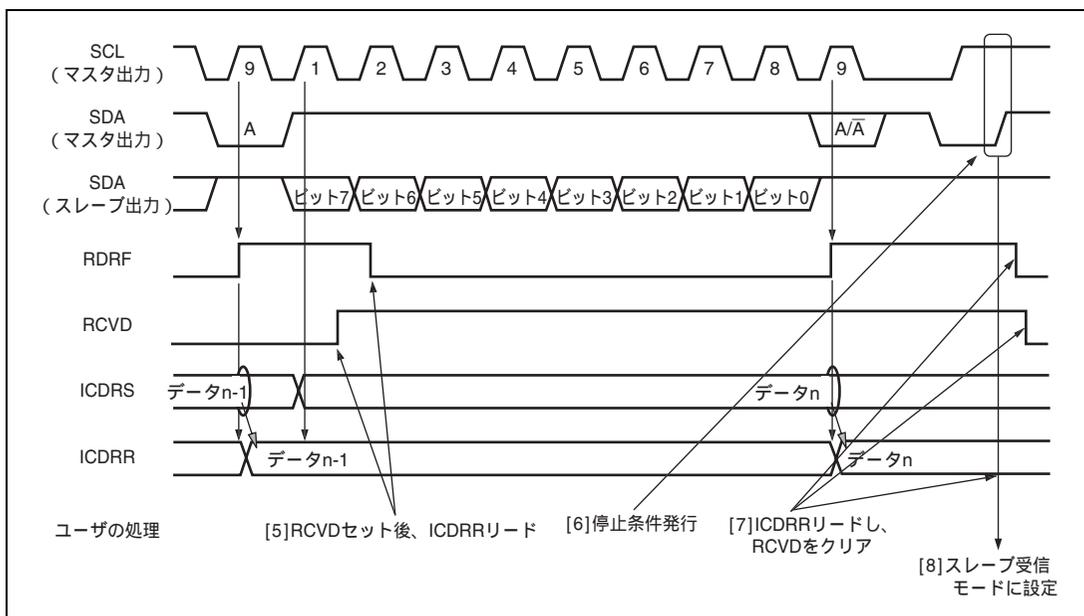


図 17.8 マスタ受信モード動作タイミング (2)

#### 17.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 17.9 と図 17.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

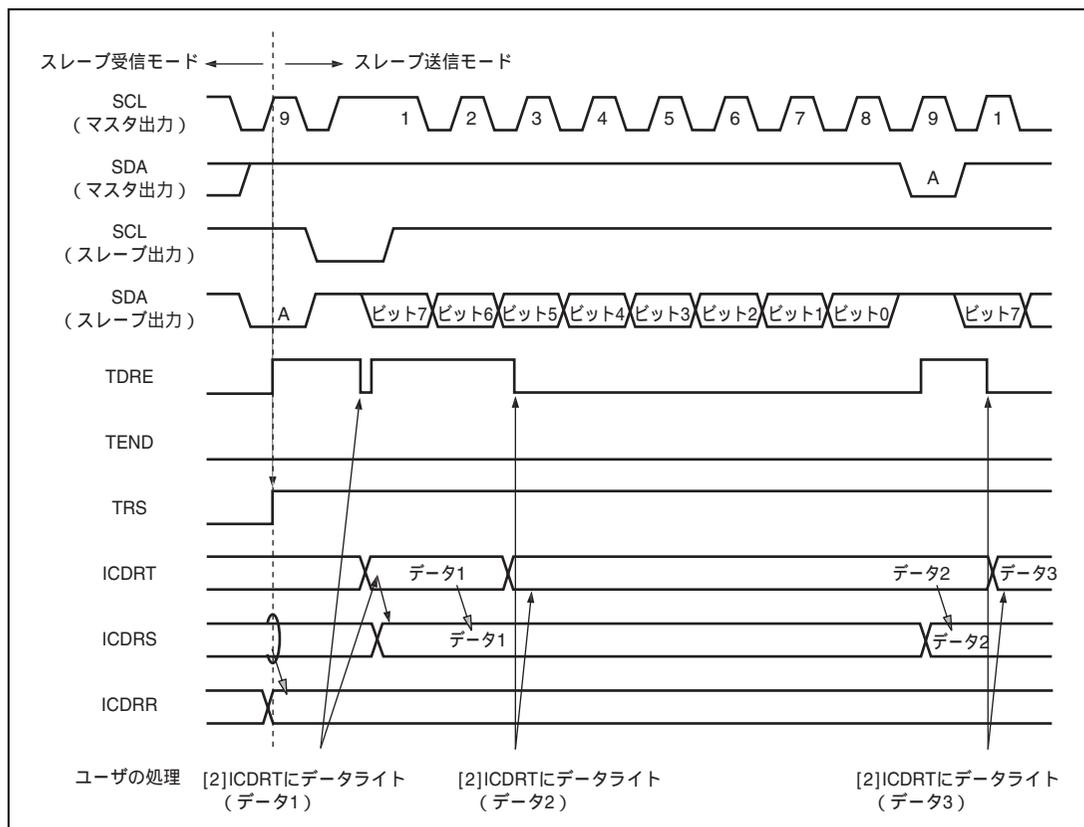


図 17.9 スレーブ送信モード動作タイミング (1)

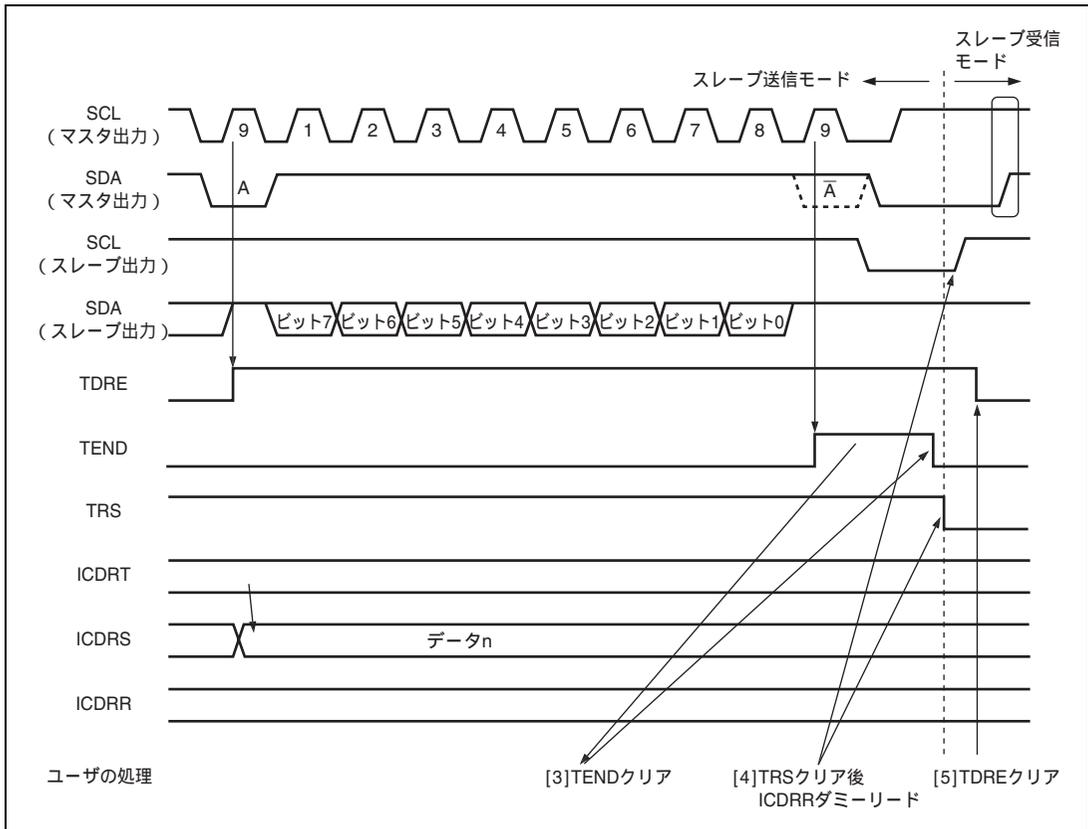


図 17.10 スレーブ送信モード動作タイミング (2)

### 17.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 17.11 と図 17.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します(初期設定)。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード(リードデータはスレーブアドレス+R/Wを示すので不要)します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

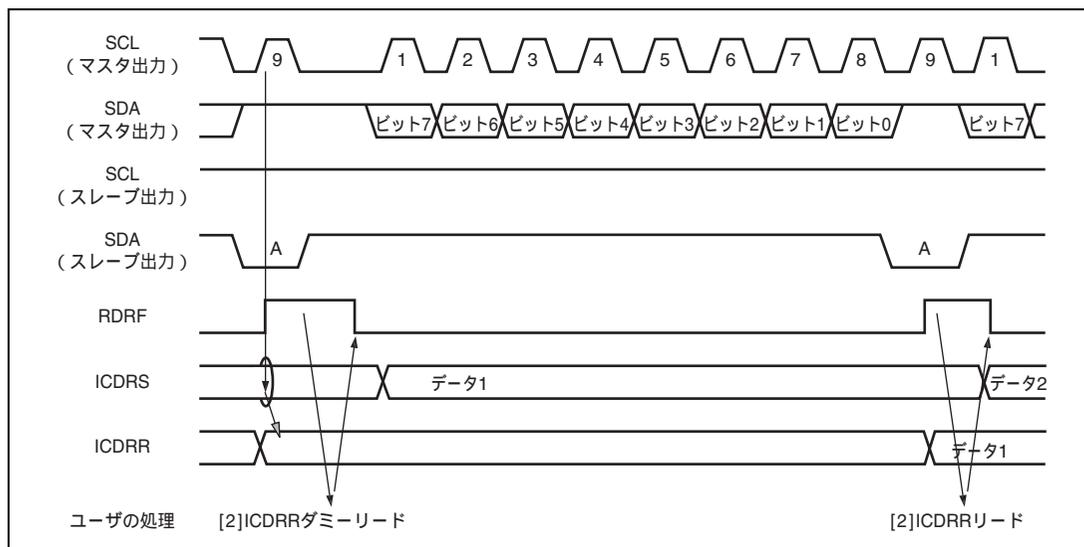


図 17.11 スレープ受信モード動作タイミング (1)

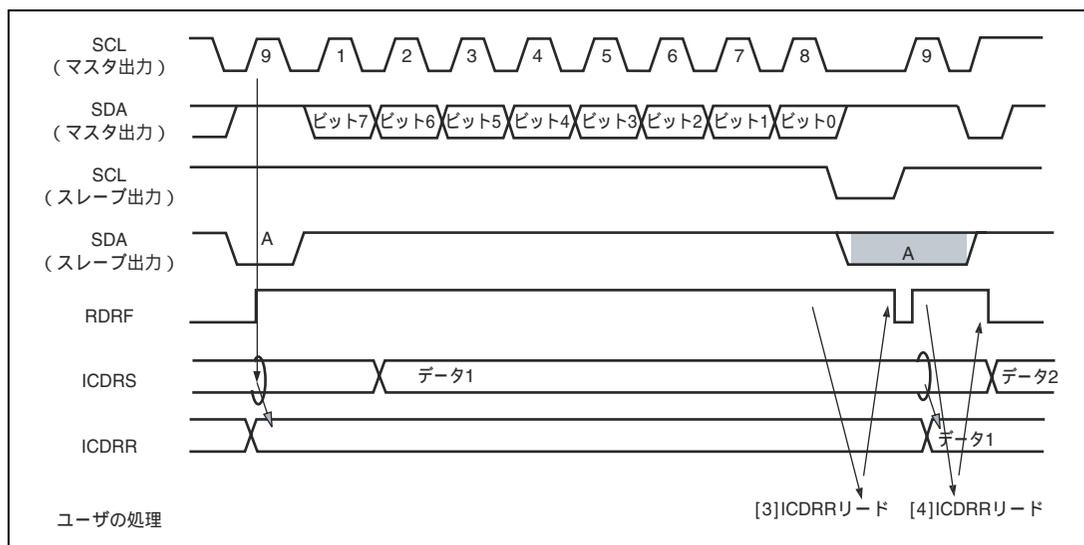


図 17.12 スレープ受信モード動作タイミング (2)

### 17.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

#### (1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 17.13 に示します。

転送データは SCL クロックの立ち下がりから立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

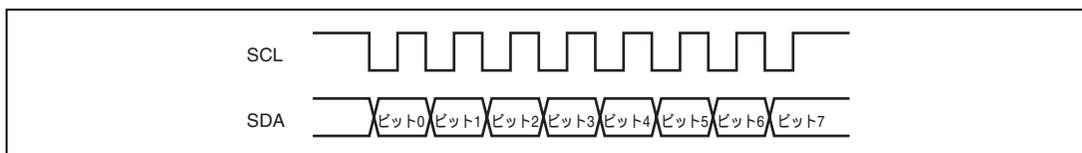


図 17.13 クロック同期式シリアルフォーマットの転送フォーマット

## (2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 17.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

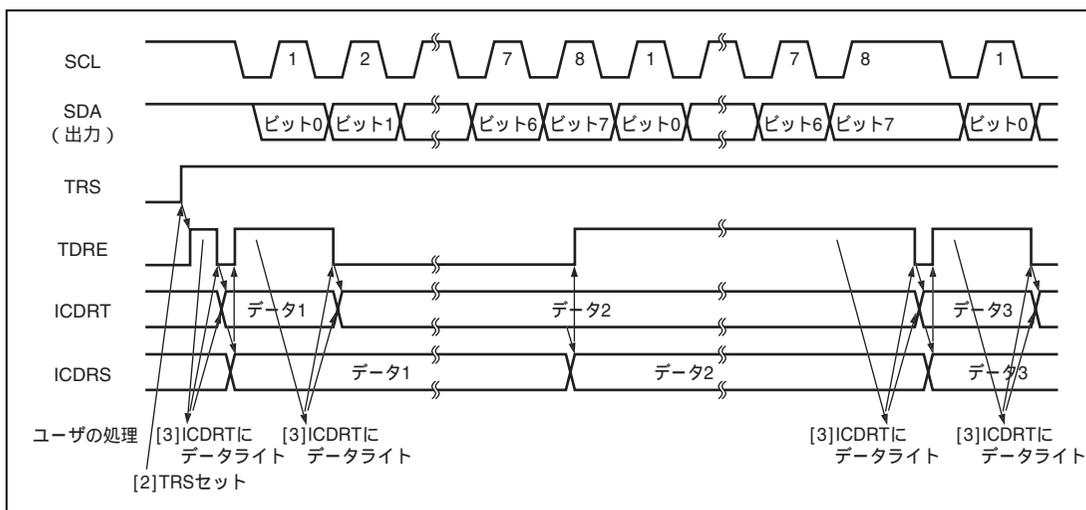


図 17.14 送信モード動作タイミング

## (3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 17.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. 転送クロックを出力時、MST = 1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST = 1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST = 1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

【注】 MST = 1 で 1 バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 17.16 を参照してください。

1. ICCR1 の ICE ビットを 1 セットします。また ICCR1 の CKS[3:0]等を設定します（初期設定）。
2. ICCR1 の RCVD ビットが 0 の状態で、MST = 1 にセットします。これにより受信クロックの出力を開始します。
3. ICMR の BC[2]ビットが 1 セットされたことを確認後、ICCR1 の RCVD = 1 にセットしてください。これにより受信クロックを 1 バイト分出力した後、SCL が High レベルに固定されます。

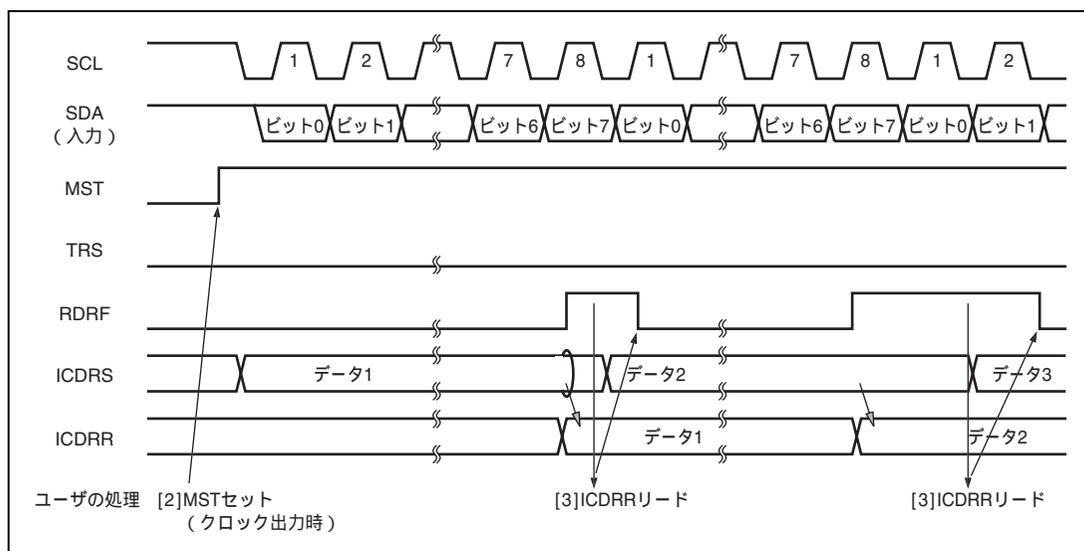


図 17.15 受信モード動作タイミング

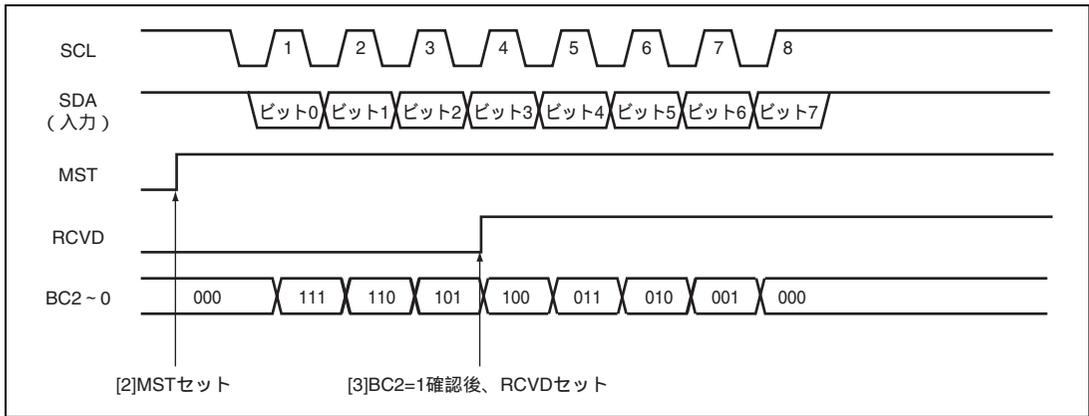


図 17.16 1 バイト受信動作タイミング (MST = 1)

### 17.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を經由して内部に取り込まれます。図 17.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが “0” のときは、2 つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが “1” のときは、3 つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

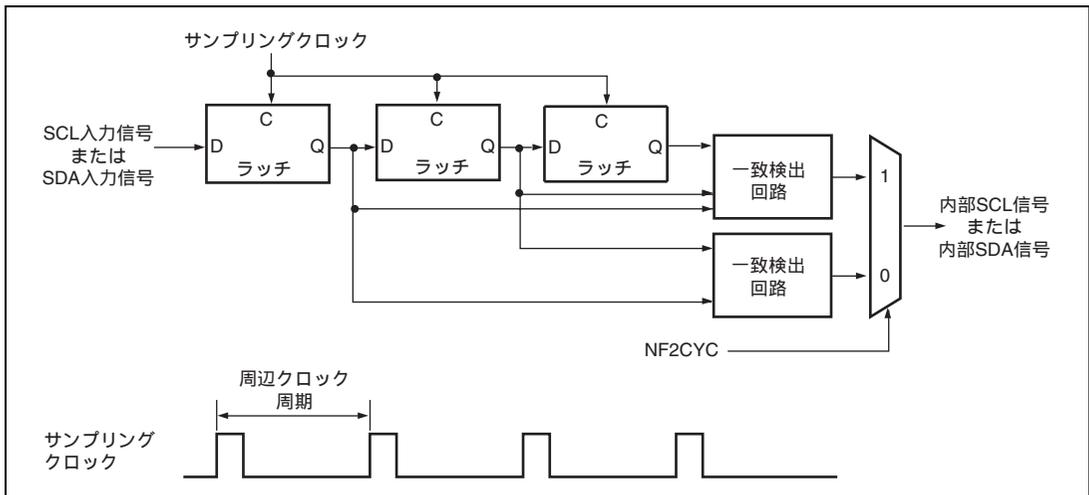


図 17.17 ノイズ除去回路のブロック図

17.4.8 使用例

I<sup>2</sup>C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 17.18 ~ 図 17.21 に示します。

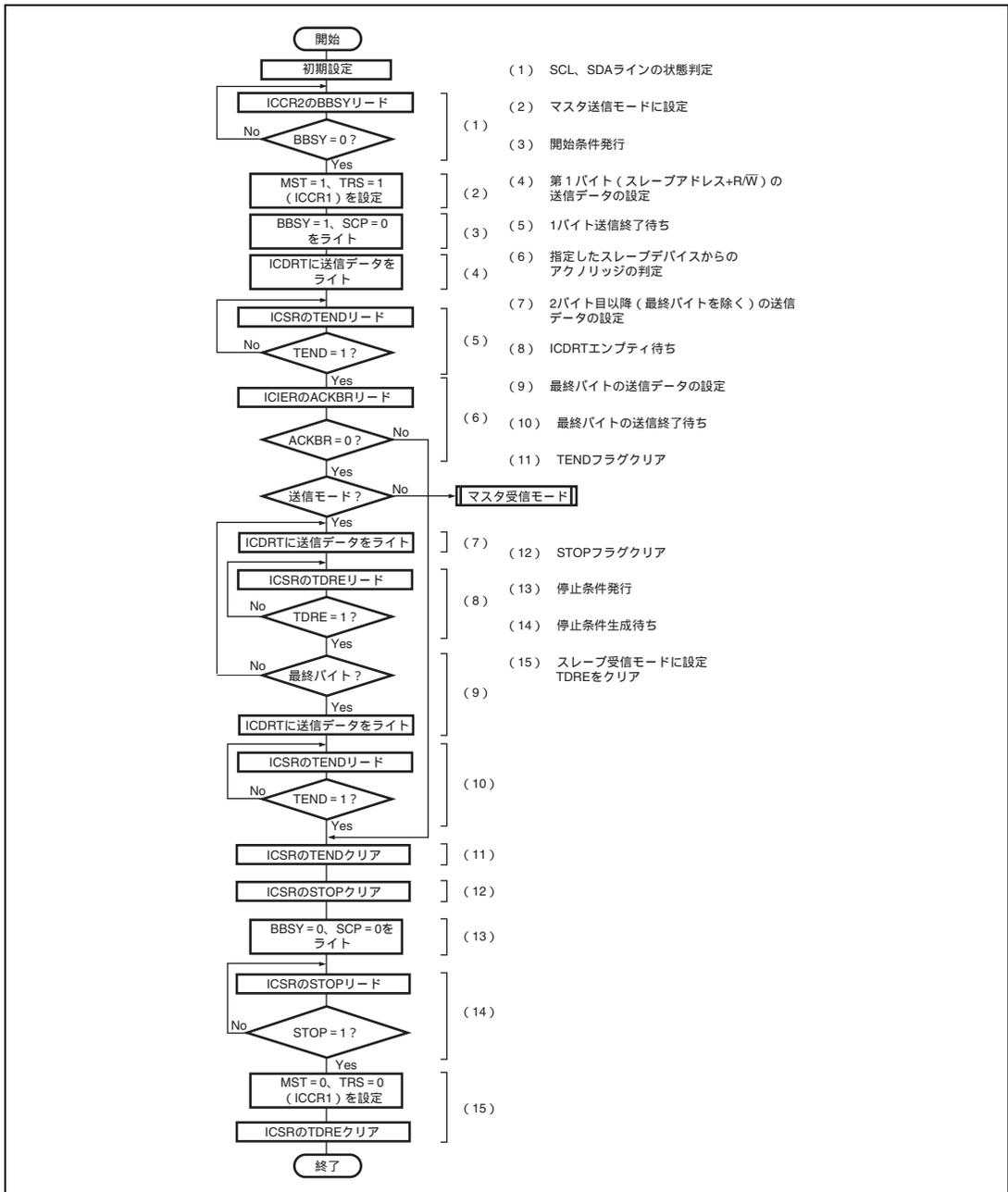


図 17.18 マスタ送信モードのフローチャート例

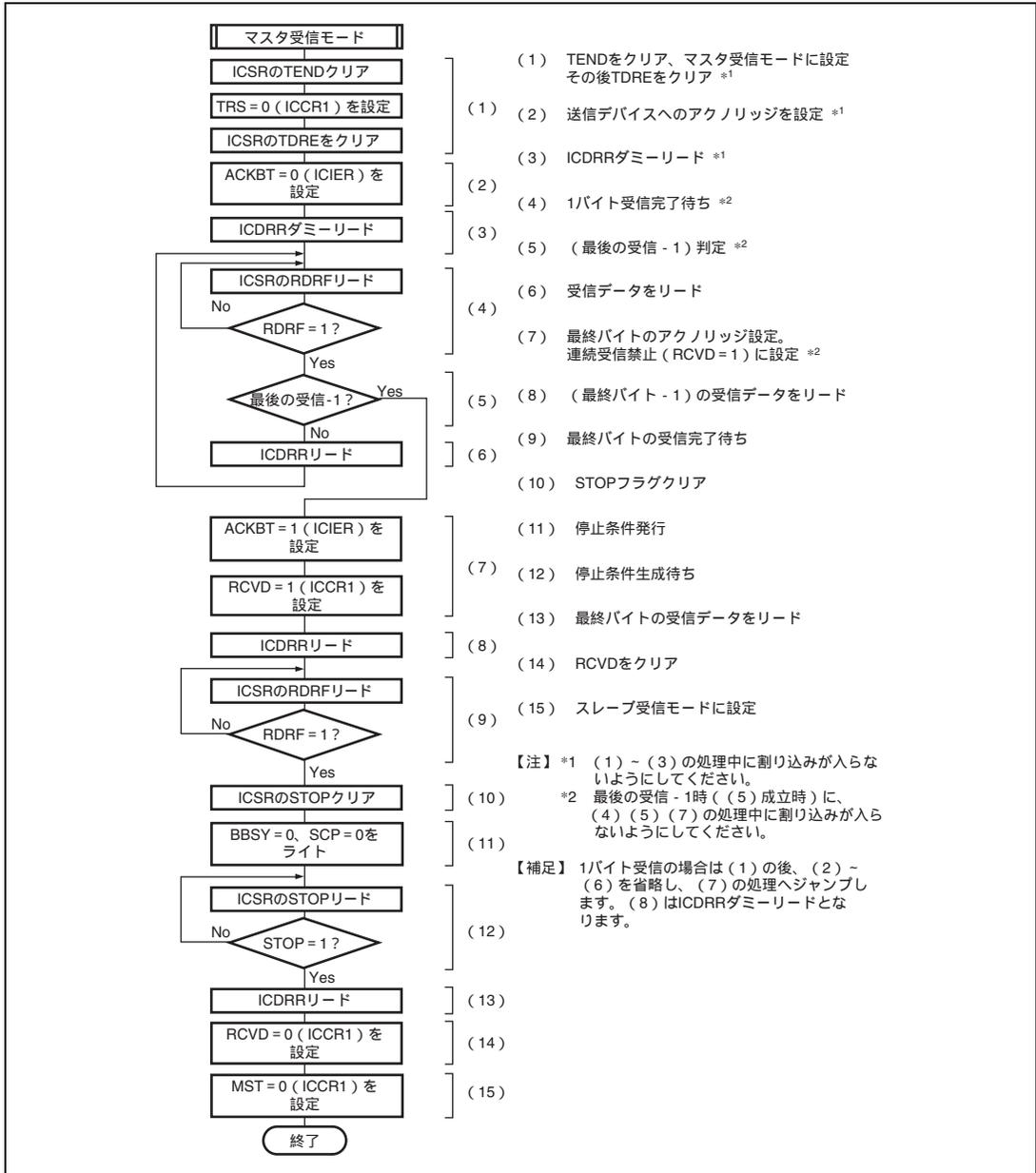


図 17.19 マスタ受信モードのフローチャート例

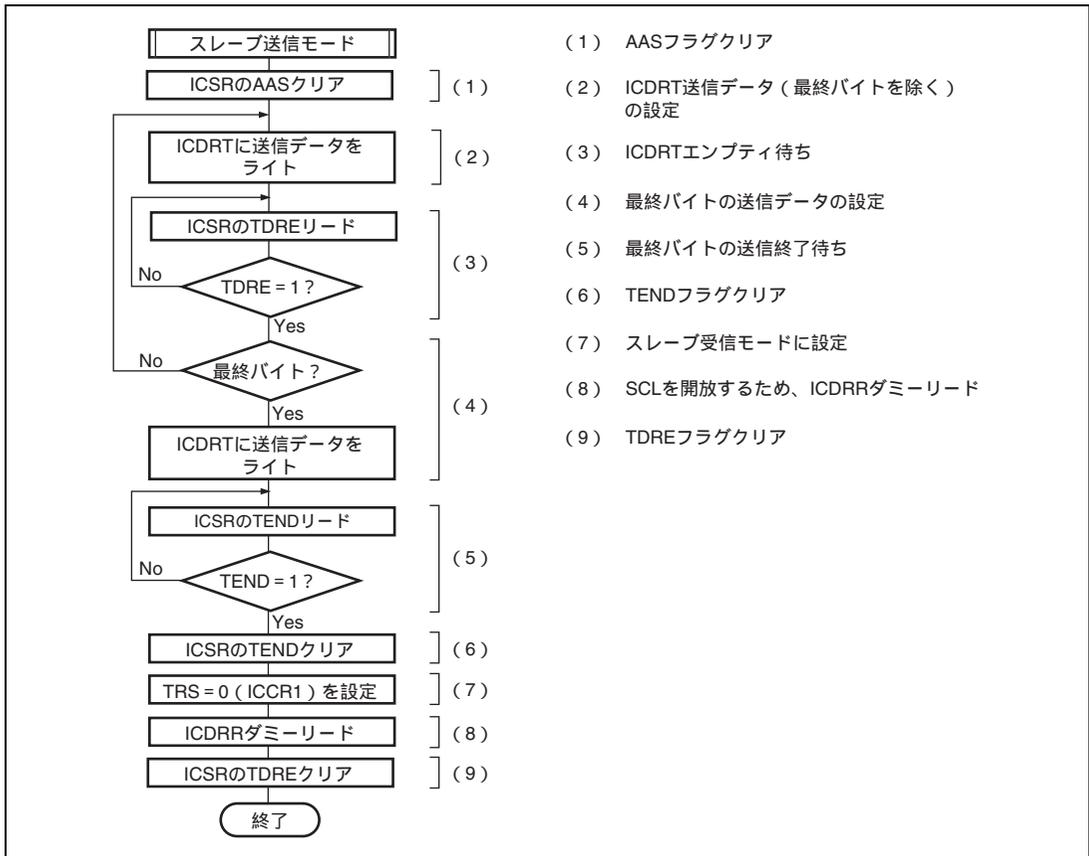


図 17.20 スレーブ送信モードのフローチャート例

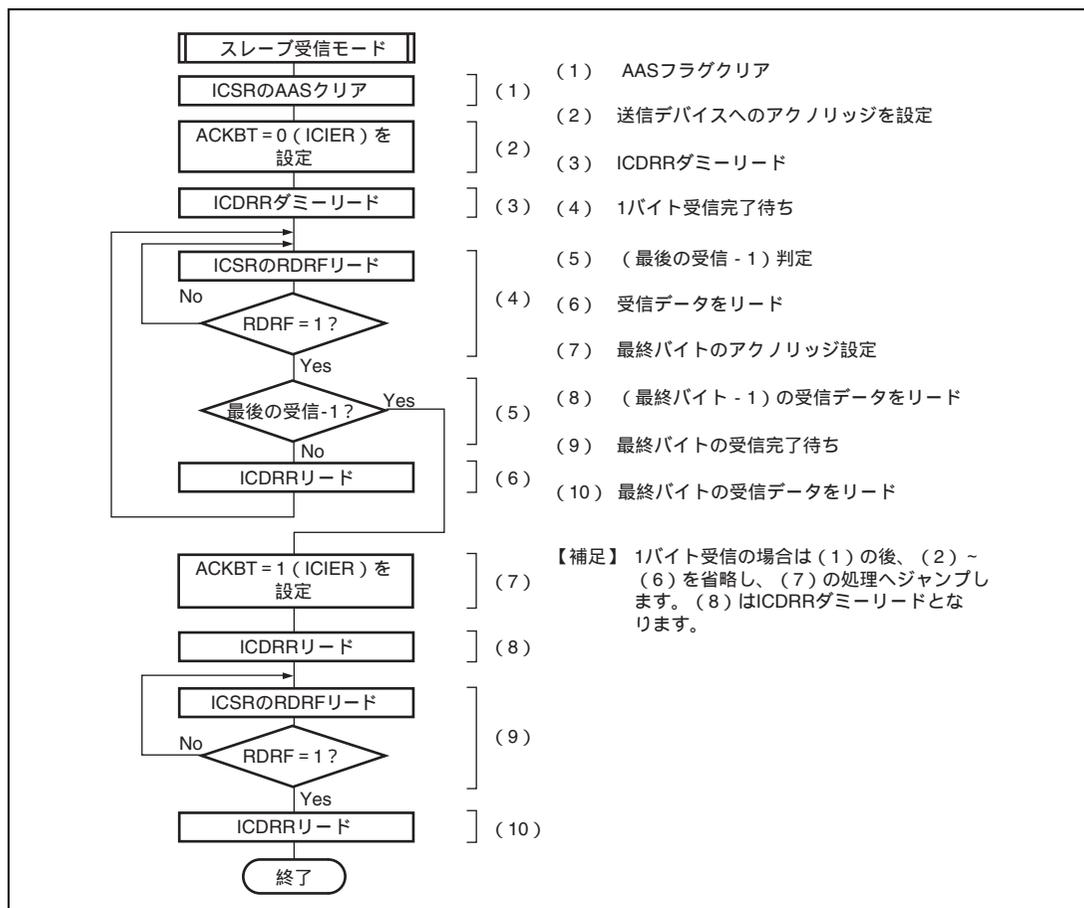


図 17.21 スレープ受信モードのフローチャート例

## 17.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト / オーバランエラーの 6 種類があります。表 17.4 に各割り込み要求の内容を示します。

表 17.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I <sup>2</sup> C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$		
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$		
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$		
停止条件検出	STPI	$(STOP = 1) \cdot (STIE = 1)$		x
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$		x
アービトレーションロスト / オーバランエラー				

表 17.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、DMAC の起動設定を行っている場合は、DMAC を起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

## 17.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 17.22 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 17.5 に示します。

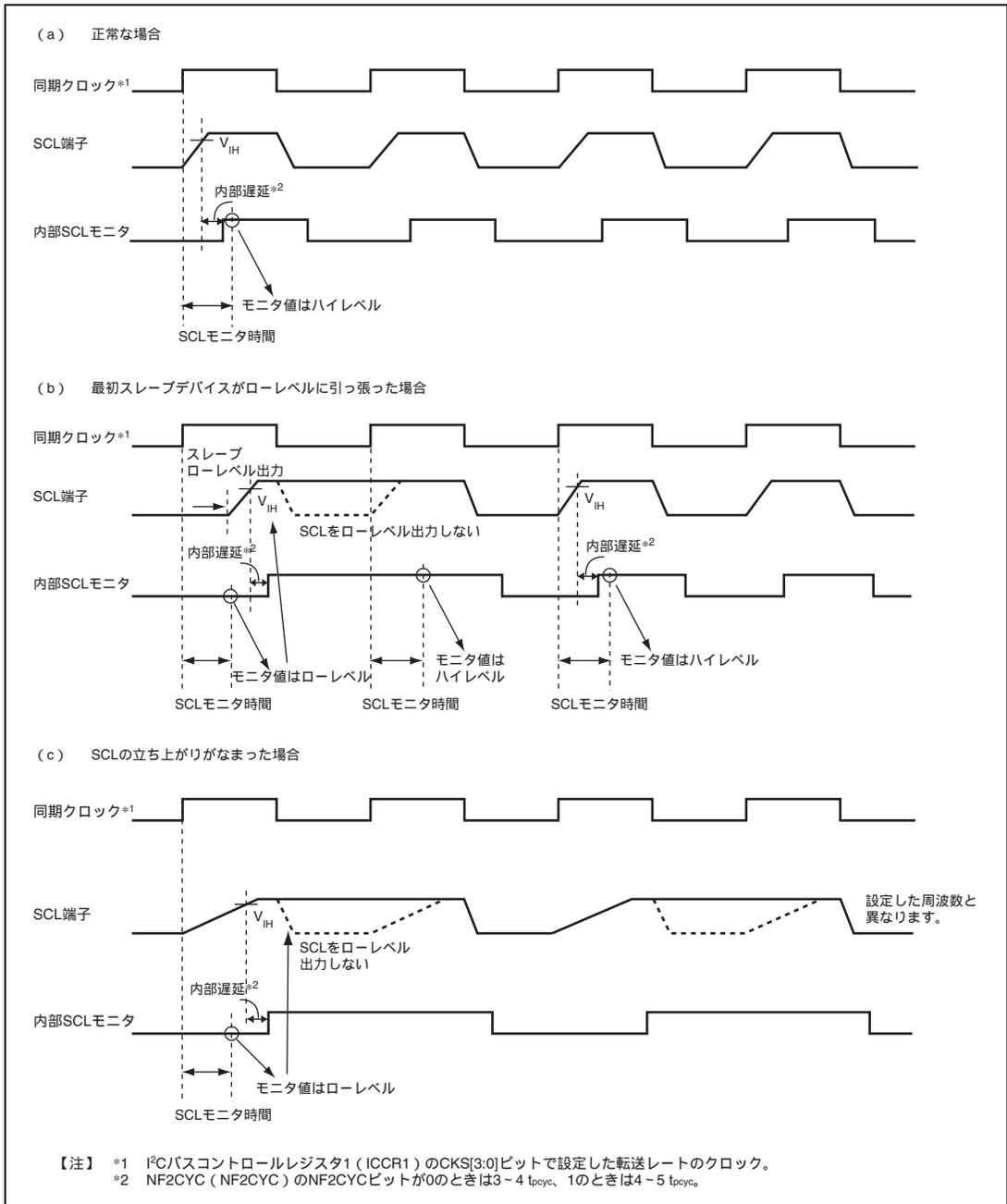


図 17.22 ビット同期回路のタイミング

表 17.5 SCL をモニタする時間

CKS[3]	CKS[2]	SCL をモニタする時間
0	0	9tpcyc*
	1	21tpcyc*
1	0	39tpcyc*
	1	87tpcyc*

【注】 \* tpcyc は周辺クロック (P ) の同期を示します。

## 17.7 使用上の注意事項

### 17.7.1 ICCR1.CKS[3:0]設定時の注意

ICCR1.CKS[3:0] = H'7 または HF、かつ NF2CYC.PRS = 1 を設定しないでください。

### 17.7.2 マルチマスタで使用時の注意

マルチマスタで使用し、本 LSI の IIC 転送ルートの設定 (ICCR1.CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

### 17.7.3 マスタ受信モード時の注意

8 クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ 8 クロック目の立ち下がり付近で RCVD = 1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVD=1にし、1バイトごとの通信で処理を行ってください。

### 17.7.4 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

### 17.7.5 アービトレーションロスト時の MST と TRN ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL = 1 かつマスタ送信モード (MST = 1、TRS = 1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRSの設定はMOV命令で行ってください。
- アービトレーションロストした場合、MST = 0、TRS = 0を確認してください。

万一、MST = 0、TRS = 0以外の状態の場合、MST = 0、TRS = 0を設定し直してください。

### 17.7.6 I<sup>2</sup>C バスインタフェースモードのマスタ受信モード時の注意事項

マスタ受信完了後、SCL の 9 クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

### 17.7.7 IICRST、BBSY ビットに関する注意事項

IICR2 の IICRST ビットに 1 をライトすると、本 LSI は SCL、SDA 端子を解放します。そのとき、端子が SCL = High レベルの状態でも SDA が Low レベルから High レベルに変化すると、停止条件と認識して IICR2 の BBSY ビットが 0 にクリアされます。

### 17.7.8 マスタ送信モード、ACKE ビット = 1 設定時における停止条件発行の注意

マスタ送信モードかつ I<sup>2</sup>C バスインタラプトイネーブルレジスタ (ICIER) の ACKE ビット = 1 設定で停止条件を発行したとき、発行するタイミングにより停止条件が正常に出力されないことがあります。

この現象を回避するためには、9 クロック目の立ち下がりを経験してから、停止条件の発行を行ってください。9 クロック目の立ち下がりには、I<sup>2</sup>C コントロールレジスタ 2 (IICR2) の SCLO ビットをチェックすることにより認識することができます。



---

## 18. シリアルサウンドインタフェース ( SSI )

---

シリアルサウンドインタフェース ( SSI ) は、I<sup>2</sup>S バスと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャンネルモードにも対応しています。

### 18.1 特長

- チャンネル数：4チャンネル
- 動作モード：非圧縮モード  
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- トランスマッタまたはレシーバのいずれとしても動作可能
- シリアルバスフォーマットを使用可能
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能
- DMACまたは割り込みで、データ送受信を制御可能
- オーバサンプルクロックを以下の端子から選択可能

EXTAL、XTAL ( クロック動作モード0、1 : 10 ~ 33.33MHz )

CKIO ( クロック動作モード2 : 40 ~ 50MHz\* )

AUDIO\_CLK ( 1 ~ 40MHz )

AUDIO\_X1、AUDIO\_X2 ( 水晶発振子接続時 : 10 ~ 40MHz、外部クロック入力時 : 1 ~ 40MHz )

【注】 \* クロック動作モード2でCKIOの周波数を50MHz超で使用する場合は、オーバサンプルクロックの供給源にCKIOを設定しないでください。

図 18.1 に SSI モジュールの概略図を示します。

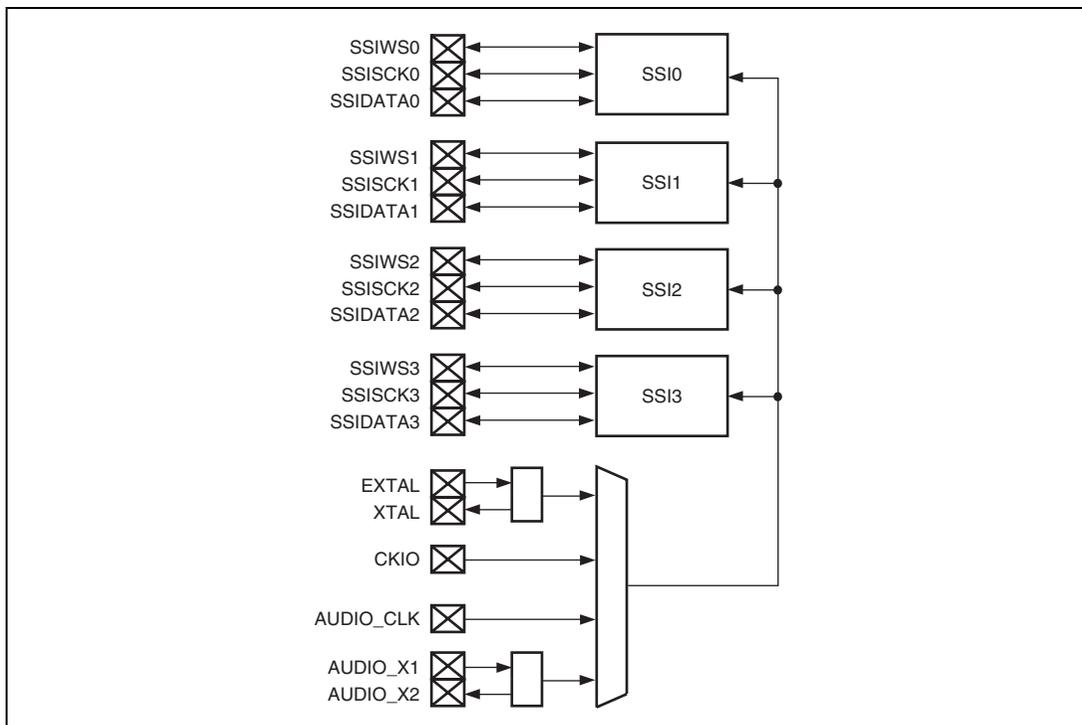


図 18.1 SSI モジュールの概略図

図 18.2 に SSI のブロック図を示します。

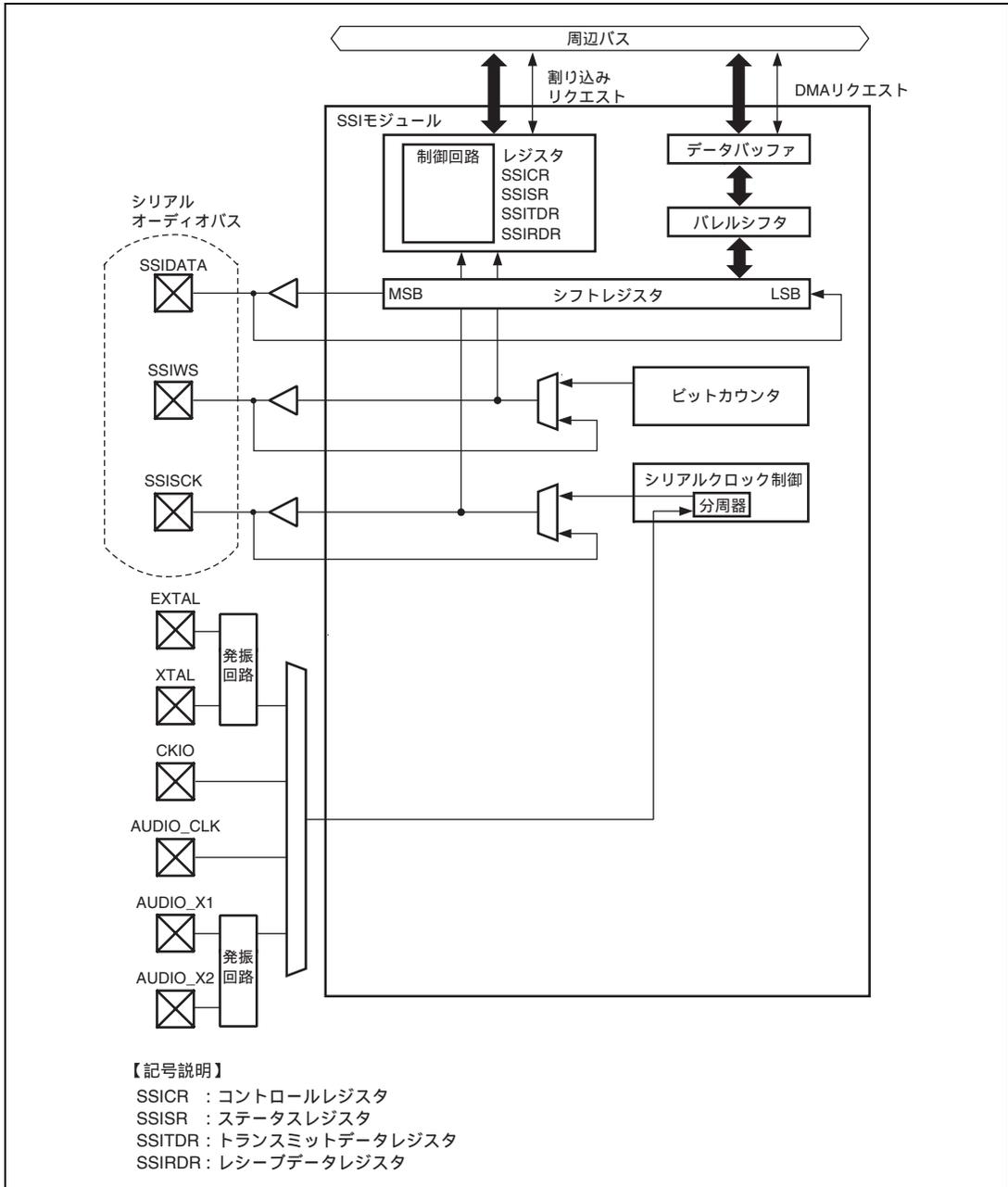


図 18.2 SSI のブロック図

## 18.2 入出力端子

SSI モジュールに関する端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	本数	入出力	機能
SSISCK0	1	入出力	シリアルビットクロック
SSIWS0	1	入出力	ワード選択
SSIDATA0	1	入出力	シリアルデータ入出力
SSISCK1	1	入出力	シリアルビットクロック
SSIWS1	1	入出力	ワード選択
SSIDATA1	1	入出力	シリアルデータ入出力
SSISCK2	1	入出力	シリアルビットクロック
SSIWS2	1	入出力	ワード選択
SSIDATA2	1	入出力	シリアルデータ入出力
SSISCK3	1	入出力	シリアルビットクロック
SSIWS3	1	入出力	ワード選択
SSIDATA3	1	入出力	シリアルデータ入出力
AUDIO_CLK	1	入力	オーディオ用外部クロック (オーバーサンプルクロックを入力)
AUDIO_X1	1	入力	オーディオ用水晶発振子 (オーバーサンプルクロックを入力)
AUDIO_X2	1	出力	

### 18.3 レジスタの説明

SSI には以下のレジスタがあります。また本文中では、チャンネルによる区別を省略して説明しています。

表 18.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	コントロールレジスタ 0	SSICR_0	R/W	H'00000000	H'FFFFFFC000	32
	ステータスレジスタ 0	SSISR_0	R/W*	H'02000003	H'FFFFFFC004	32
	トランスミットデータレジスタ 0	SSITDR_0	R/W	H'00000000	H'FFFFFFC008	32
	レシーブデータレジスタ 0	SSIRDR_0	R	H'00000000	H'FFFFFFC00C	32
1	コントロールレジスタ 1	SSICR_1	R/W	H'00000000	H'FFFFFFC800	32
	ステータスレジスタ 1	SSISR_1	R/W*	H'02000003	H'FFFFFFC804	32
	トランスミットデータレジスタ 1	SSITDR_1	R/W	H'00000000	H'FFFFFFC808	32
	レシーブデータレジスタ 1	SSIRDR_1	R	H'00000000	H'FFFFFFC80C	32
2	コントロールレジスタ 2	SSICR_2	R/W	H'00000000	H'FFFFFFD000	32
	ステータスレジスタ 2	SSISR_2	R/W*	H'02000003	H'FFFFFFD004	32
	トランスミットデータレジスタ 2	SSITDR_2	R/W	H'00000000	H'FFFFFFD008	32
	レシーブデータレジスタ 2	SSIRDR_2	R	H'00000000	H'FFFFFFD00C	32
3	コントロールレジスタ 3	SSICR_3	R/W	H'00000000	H'FFFFFFD800	32
	ステータスレジスタ 3	SSISR_3	R/W*	H'02000003	H'FFFFFFD804	32
	トランスミットデータレジスタ 3	SSITDR_3	R/W	H'00000000	H'FFFFFFD808	32
	レシーブデータレジスタ 3	SSIRDR_3	R	H'00000000	H'FFFFFFD80C	32

【注】 \* 本レジスタのビット 27 とビット 26 は読み出し / 書き込み可能ですが、それ以外のビットは読み出し専用です。詳細は、「18.3.2 ステータスレジスタ (SSISR)」を参照してください。

## 18.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し / 書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	CHNL[1:0]	DWL[2:0]			SWL[2:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	-	CKDV[2:0]			MUEN	-	TRMD	EN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W							

ビット	ビット名	初期値	R/W	説明
31 ~ 29	-	すべて 0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可 / 禁止します。 0 : DMA 要求を禁止 1 : DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0 : アンダフロー割り込みを禁止 1 : アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0 : オーバフロー割り込みを禁止 1 : オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0 : アイドルモード割り込みを禁止 1 : アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0 : データ割り込みを禁止 1 : データ割り込みを許可
23, 22	CHNL[1:0]	00	R/W	チャンネル 各システムワードのチャンネル数を示します。 00 : 各システムワードは 1 チャンネルで構成されています。 01 : 各システムワードは 2 チャンネルで構成されています。 10 : 各システムワードは 3 チャンネルで構成されています。 11 : 各システムワードは 4 チャンネルで構成されています。

ビット	ビット名	初期値	R/W	説明
21 ~ 19	DWL[2:0]	000	R/W	データワード長 データワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
18 ~ 16	SWL[2:0]	000	R/W	システムワード長 システムワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロック入力、スレーブモード 1 : シリアルビットクロック出力、マスタモード 【注】 (SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。それ以外の設定は禁止です。
14	SWSD	0	R/W	シリアル WS 方向 0 : シリアルワード選択入力、スレーブモード 1 : シリアルワード選択出力、マスタモード 【注】 (SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。それ以外の設定は禁止です。

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	シリアルビットクロック極性 0: SSIWS と SSIDATA は SSISCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング) 1: SSIWS と SSIDATA は SSISCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング) <table border="1" data-bbox="600 479 1199 765"> <thead> <tr> <th></th> <th>SCKP = 0</th> <th>SCKP = 1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD = 1) SSIDATA 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> <tr> <td>スリープモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP = 0	SCKP = 1	受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	送信時 (TRMD = 1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	スリープモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ
	SCKP = 0	SCKP = 1																	
受信時 (TRMD = 0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
送信時 (TRMD = 1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
スリープモード時 (SWSD = 0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
マスタモード時 (SWSD = 1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
12	SWSP	0	R/W	シリアル WS 極性 0: SSIWS は第 1 チャンネルではローレベル、第 2 チャンネルではハイレベル 1: SSIWS は第 1 チャンネルではハイレベル、第 2 チャンネルではローレベル															
11	SPDP	0	R/W	シリアルパディング極性 0: パディングビットはローレベル 1: パディングビットはハイレベル <b>【注】</b> MUEN = 1 のとき、パディングビットはローレベルになります。 (ミュート機能が優先されます)															
10	SDTA	0	R/W	シリアルデータアライメント 0: シリアルデータ、パディングビットの順に送受信 1: パディングビット、シリアルデータの順に送受信															

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアライメント</p> <p>データワード長が 32、16、8 ビットのと看、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0 : パラレルデータ (SSITDR、SSIRDR) を左詰め</p> <p>1 : パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> <li>• DWL = 000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。</li> <li>• DWL = 001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。</li> <li>• DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット 31~ビット (32 - DWL によって設定されたデータワード長のビット数)</li> </ul> <p>つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるリザーブビットになります。</p> <ul style="list-style-type: none"> <li>• DWL = 010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA = 1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。ビット (DWL によって設定されたデータワード長のビット数 - 1) ~ ビット 0</li> </ul> <p>つまり、DWL = 011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるリザーブビットになります。</p> <ul style="list-style-type: none"> <li>• DWL = 110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。</li> </ul>
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0 : SSIWS と SSIDATA 間で 1 クロックサイクルの遅延</p> <p>1 : SSIWS と SSIDATA 間の遅延なし</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6~4	CKDV[2:0]	000	R/W	<p>シリアルオーバーサンプルクロック分周比</p> <p>オーバーサンプルクロック*とシリアルビットクロックの分周比を設定します。SCKD=0 のとき、これらのビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSISCK 端子から供給されます。</p> <p>000 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 1</p> <p>001 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 2</p> <p>010 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 4</p> <p>011 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 8</p> <p>100 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 16</p> <p>101 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 6</p> <p>110 : シリアルビットクロック周波数 = オーバサンプルクロック周波数 / 12</p> <p>111 : 設定禁止</p> <p>【注】* オーバサンプルクロックは、PFC 内の SCSR の設定によって選択されます。「第 29 章 ビンファンクションコントローラ (PFC)」を参照してください。</p>
3	MUEN	0	R/W	<p>ミュートイネーブル</p> <p>0 : SSI モジュールはミュート状態でない</p> <p>1 : SSI モジュールはミュート状態</p> <p>【注】ミュート状態では、出力するシリアルデータを 0 に置き換えますが、モジュール内部のデータ転送は停止しません。送信アンダフローを発生させないためには、SSITDR にダミーデータを書き込んでください。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
1	TRMD	0	R/W	<p>送信 / 受信モード選択</p> <p>0 : SSI モジュールは受信モード</p> <p>1 : SSI モジュールは送信モード</p>
0	EN	0	R/W	<p>SSI モジュールイネーブル</p> <p>0 : SSI モジュール動作を禁止</p> <p>1 : SSI モジュール動作を許可</p>

## 18.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNO[1:0]	SWNO	IDST	
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 読み出し / 書き込み可能。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 [ TRMD = 0 (受信モード) のとき ] <ul style="list-style-type: none"> <li>DMRQ = 1 のとき、SSIRDR に未読データがあります。</li> <li>SSIRDR が読み出された場合、次の未読データがくるまで DMRQ = 0 になります。</li> </ul> [ TRMD = 1 (送信モード) のとき ] <ul style="list-style-type: none"> <li>DMRQ = 1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようデータの書き込みを要求します。</li> <li>SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ = 0 になります。</li> </ul>

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W*	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ = 1 かつ UIEN = 1 のとき、割り込みが発生します。</p> <p>[ TRMD = 0 (受信モード) のとき ]</p> <p>UIRQ = 1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[ TRMD = 1 (送信モード) のとき ]</p> <p>UIRQ = 1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W*	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ = 1 かつ OIEN = 1 のとき、割り込みが発生します。</p> <p>[ TRMD = 0 (受信モード) のとき ]</p> <p>OIRQ = 1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p> <p>[ TRMD = 1 (送信モード) のとき ]</p> <p>OIRQ = 1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>

ビット	ビット名	初期値	R/W	説明
25	IIRQ	1	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>I IREQ = 1 かつ I IEN = 1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しが書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んで割り込みをクリアできません。</p> <p>DIRQ = 1 かつ D IEN = 1 のとき、割り込みが発生します。</p> <p>[ TRMD = 0 (受信モード) のとき ]</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>[ TRMD = 1 (送信モード) のとき ]</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDR へのデータ書き込みを要求しています</p>
23~4	-	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
3, 2	CHNO [1:0]	00	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>[ TRMD = 0 (受信モード) のとき ]</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものかを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[ TRMD = 1 (送信モード) のとき ]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <p>[ TRMD = 0 (受信モード) のとき ]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[ TRMD = 1 (送信モード) のとき ]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>
0	IDST	1	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。</p> <p>EN = 1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>[ SSI がマスタトランスミッタ (SWSD = 1 かつ TRMD = 1) のとき ]</p> <p>EN ビットがクリアされ、SSITDR に書き込まれているデータがシリアルデータ入出力端子 (SSIDATA) から出力を完了すると (システムワード長の出力を完了すると)、このビットは 1 にセットされます。</p> <p>[ SSI がマスタレシーバ (SWSD = 1 かつ TRMD = 0) のとき ]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>[ SSI がスレーブトランスミッタ/レシーバ (SWSD = 0) のとき ]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 \* 読み出し / 書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

### 18.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

### 18.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## 18.4 動作説明

### 18.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 18.3 に示す 4 つの主要なモードから選択できます。

表 18.3 SSI モジュールのバスフォーマット

	TRMD	SCKD	SWSD	EN	MUEN	DIEN	IEN	OEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]
非圧縮スレーブレシーバ	0	0	0	コントロールビット						コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0															
非圧縮マスタレシーバ	0	1	1															
非圧縮マスタトランスミッタ	1	1	1															

### 18.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I<sup>2</sup>S 互換フォーマットだけでなく、多数の改良版にも対応しています。

#### (1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

#### (2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

#### (3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

#### (4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

## (5) 動作設定 - ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I<sup>2</sup>S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めフォーマットについて説明します。

- I<sup>2</sup>S互換フォーマット

図 18.3、図 18.4 に、パディングなしとパディングありの I<sup>2</sup>S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

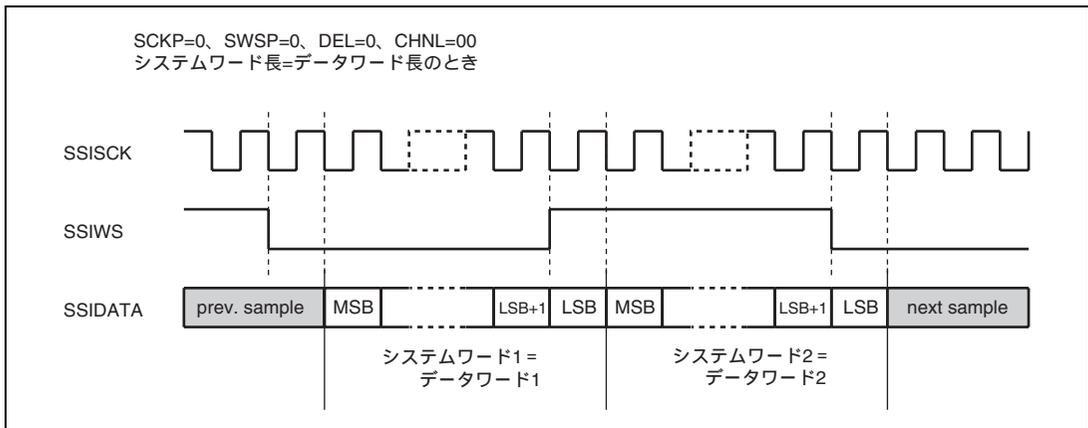
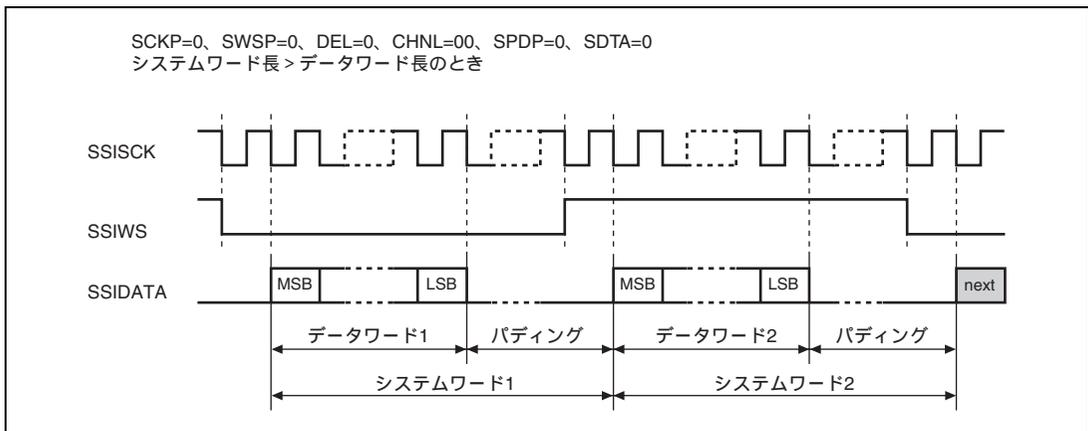
図 18.3 I<sup>2</sup>S 互換フォーマット (パディングなし)図 18.4 I<sup>2</sup>S 互換フォーマット (パディングあり)

図 18.5 に MSB ファースト・左詰めフォーマットを、図 18.6 に MSB ファースト・右詰めフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

- MSBファースト・左詰めフォーマット

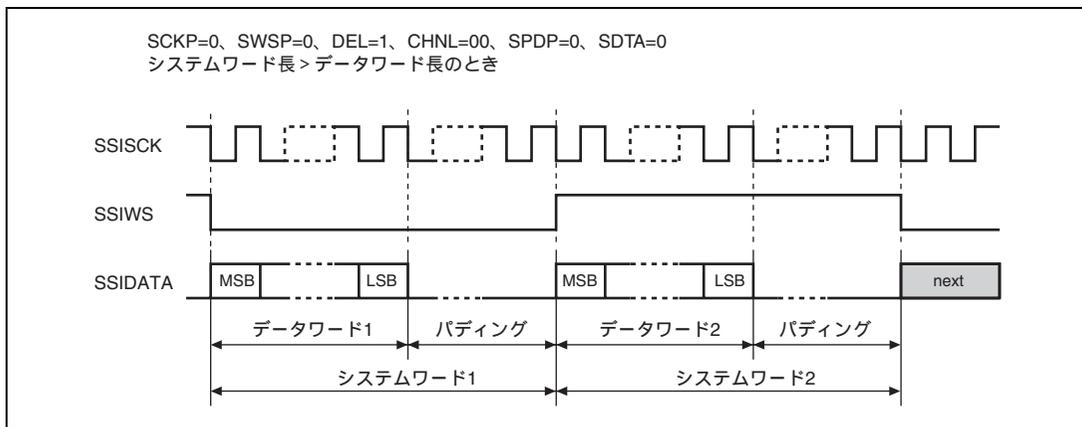


図 18.5 MSB ファースト・左詰めフォーマット (シリアルデータ、パディングビットの順に送受信)

- MSBファースト・右詰めフォーマット

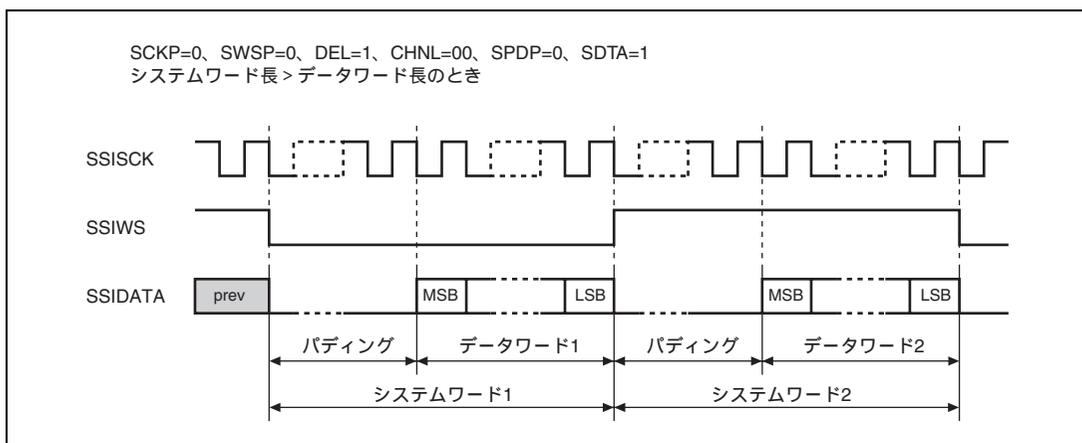


図 18.6 MSB ファースト・右詰めフォーマット (パディングビット、シリアルデータの順に送受信)

#### (6) マルチチャンネルフォーマット

I<sup>2</sup>S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。

SSI モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 18.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 18.4 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	-	-	-	-	-	-
		001	16	8	0	-	-	-	-	-
		010	24	16	8	6	4	2	0	-
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	-	-	-	-	-	-	-
		001	16	0	-	-	-	-	-	-
		010	24	8	-	-	-	-	-	-
		011	32	16	0	-	-	-	-	-
		100	48	32	16	12	8	4	0	-
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	0	-	-	-	-	-	-
		011	32	8	-	-	-	-	-	-
		100	48	24	0	-	-	-	-	-
		101	64	40	16	10	4	-	-	-
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	-	-	-	-	-	-	-
		001	16	-	-	-	-	-	-	-
		010	24	-	-	-	-	-	-	-
		011	32	0	-	-	-	-	-	-
		100	48	16	-	-	-	-	-	-
		101	64	32	0	-	-	-	-	-
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 18.7~図 18.9 に、4、6 および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 18.7 はパディングビットがない場合、図 18.8 は左詰めの場合、図 18.9 は右詰めの場合を示します。これらの例は、すべて任意の例です。

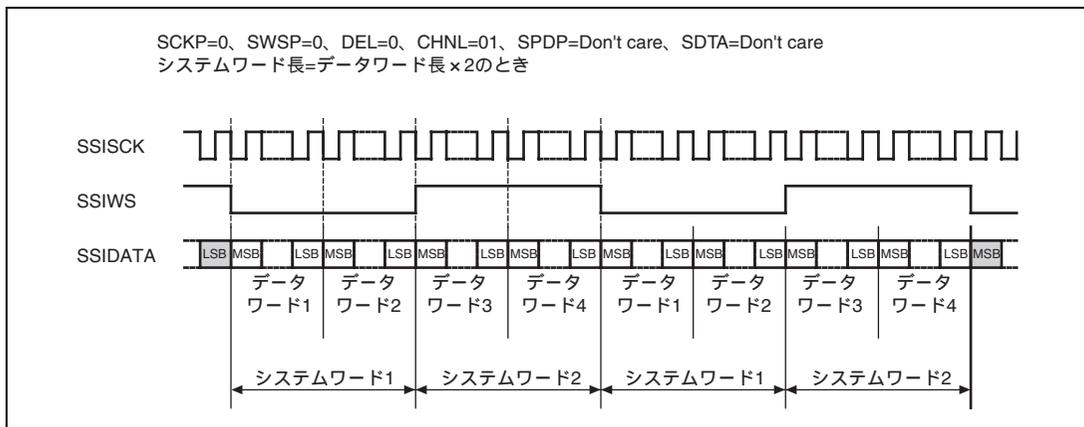


図 18.7 マルチチャンネルフォーマット (4 チャンル、パディングなし)

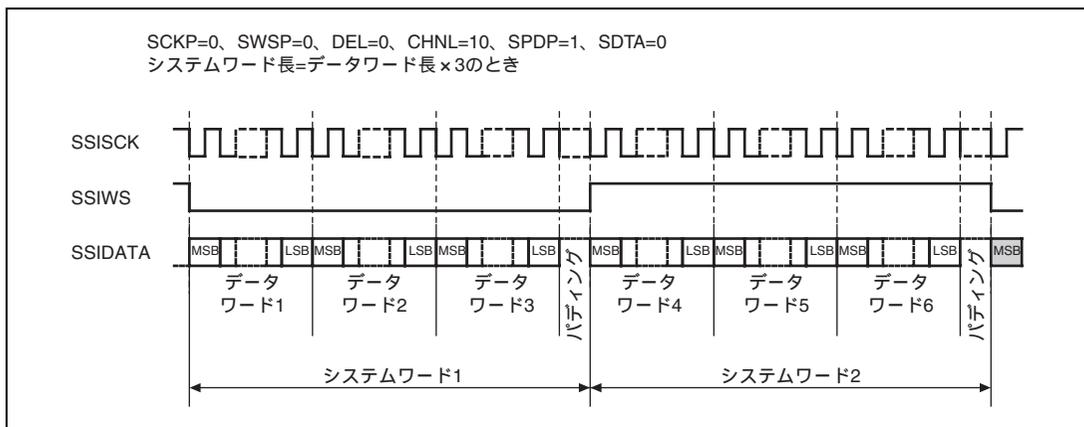


図 18.8 マルチチャンネルフォーマット (6 チャンル、High パディング)

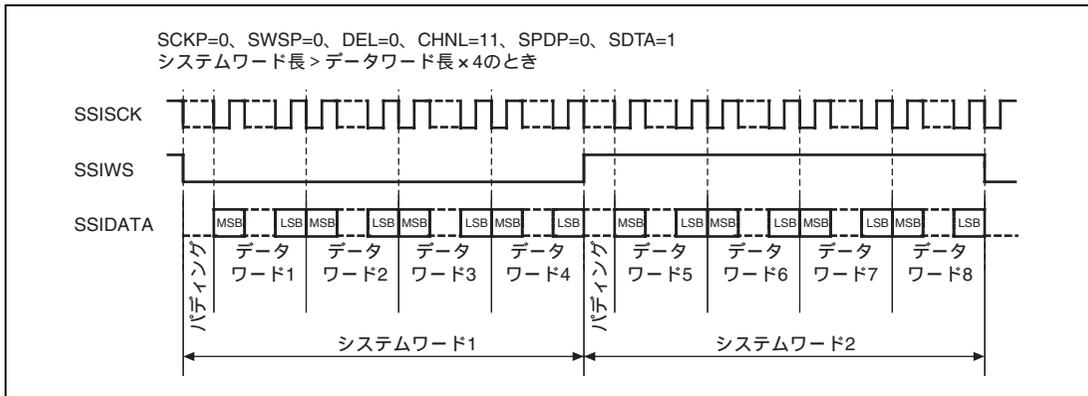


図 18.9 マルチチャンネルフォーマット  
(8チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

#### (7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 18.10 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

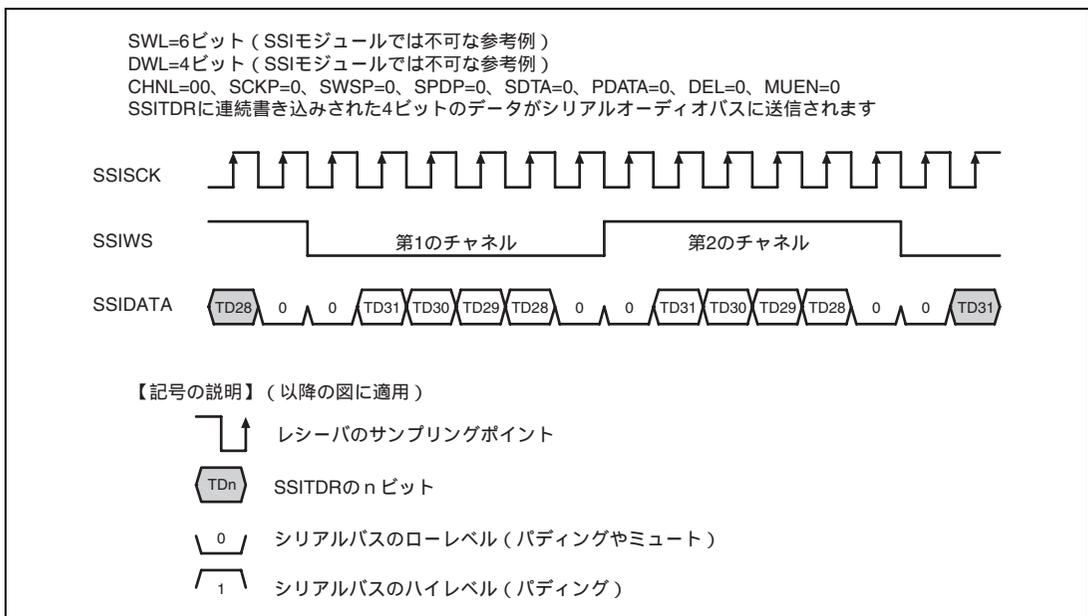


図 18.10 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 18.10 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

- 反転クロック

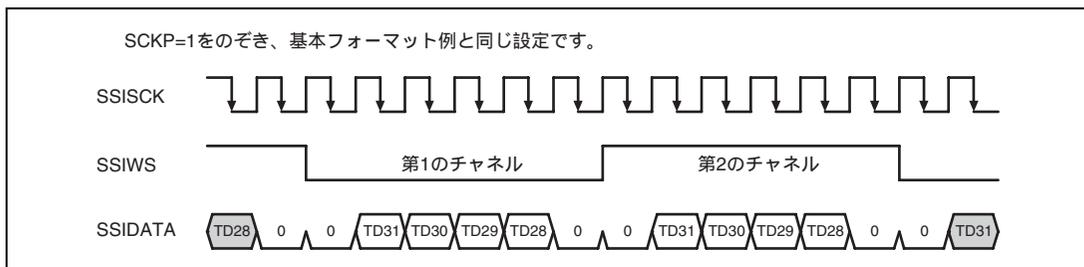


図 18.11 反転クロック

- 反転ワード選択信号

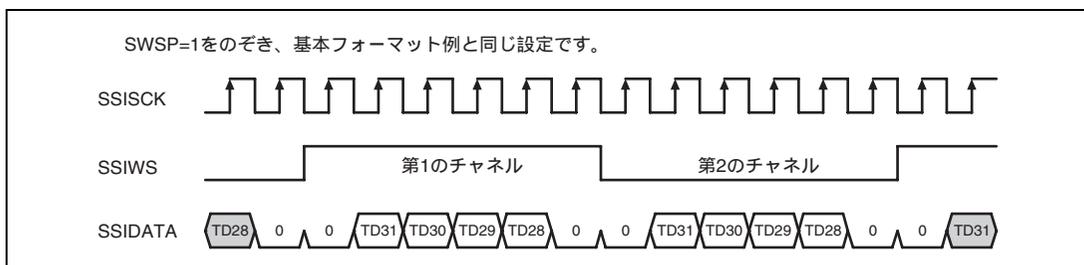


図 18.12 反転ワード選択信号

- 反転パディング極性

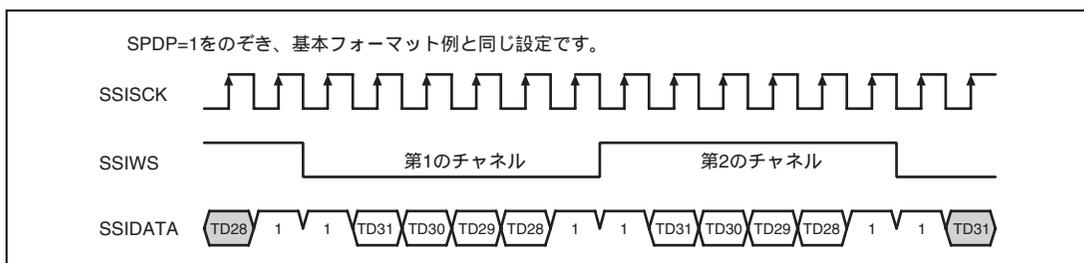


図 18.13 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

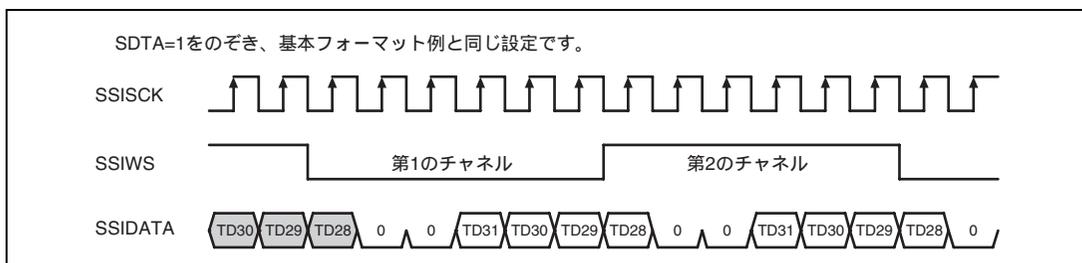


図 18.14 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

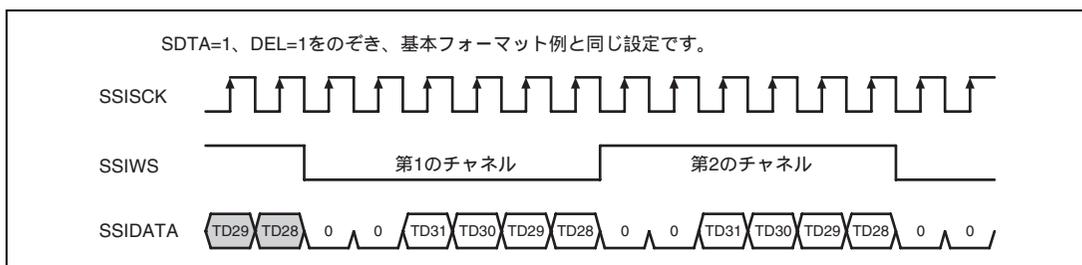


図 18.15 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

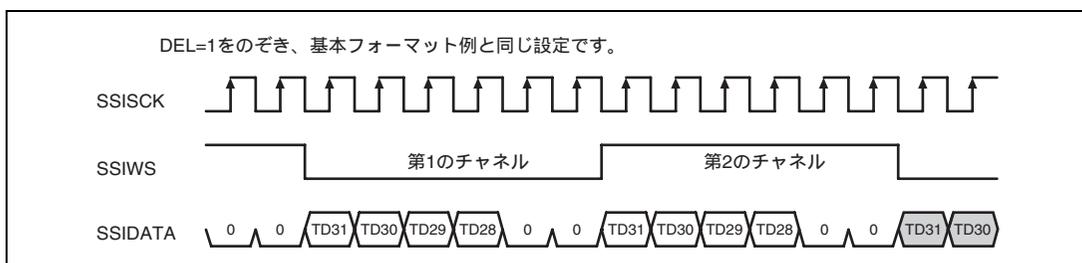


図 18.16 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

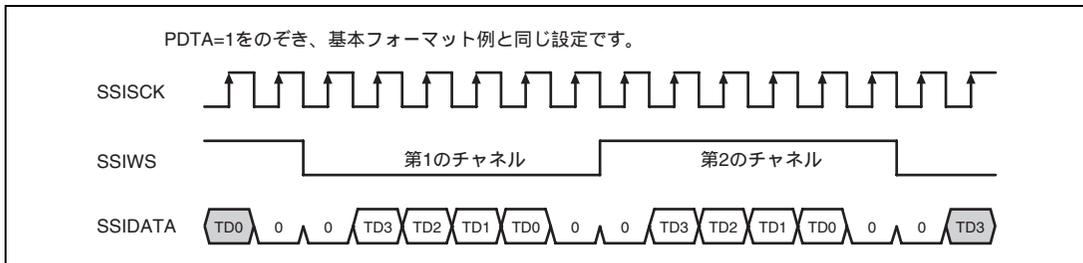


図 18.17 パラレルデータの右詰め、遅延あり

- ミュート有効

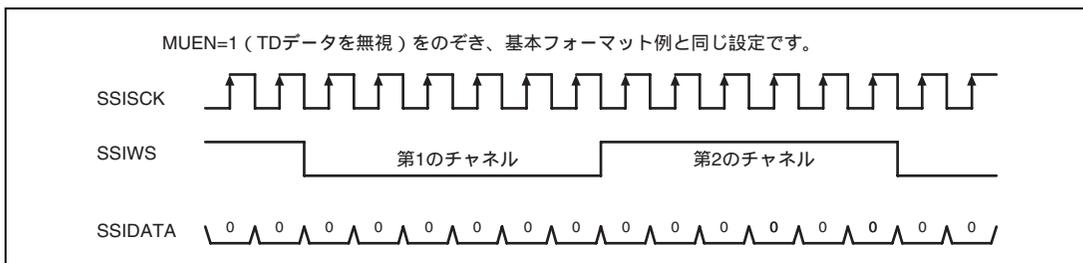


図 18.18 ミュート有効

### 18.4.3 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 18.19 に動作モードの遷移図を示します。

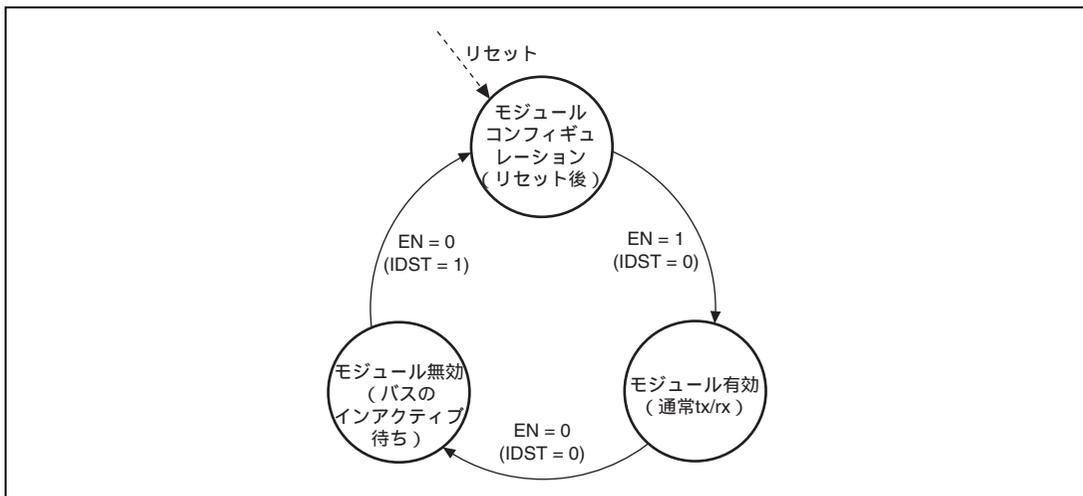


図 18.19 動作モード遷移図

#### (1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

#### (2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「18.4.4 送信動作」と「18.4.5 受信動作」を参照してください。

### 18.4.4 送信動作

送信は DMA が割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーパフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック\*は供給され続けなければなりません。

図 18.20 に DMA 制御モードの送信動作を、図 18.21 に割り込み制御モードの送信動作を示します。

【注】 \* SCKD = 0 のとき SSISCK 端子からの入力クロック  
SCKD = 1 のときオーバサンプルクロック

## (1) DMA コントローラを使用した送信

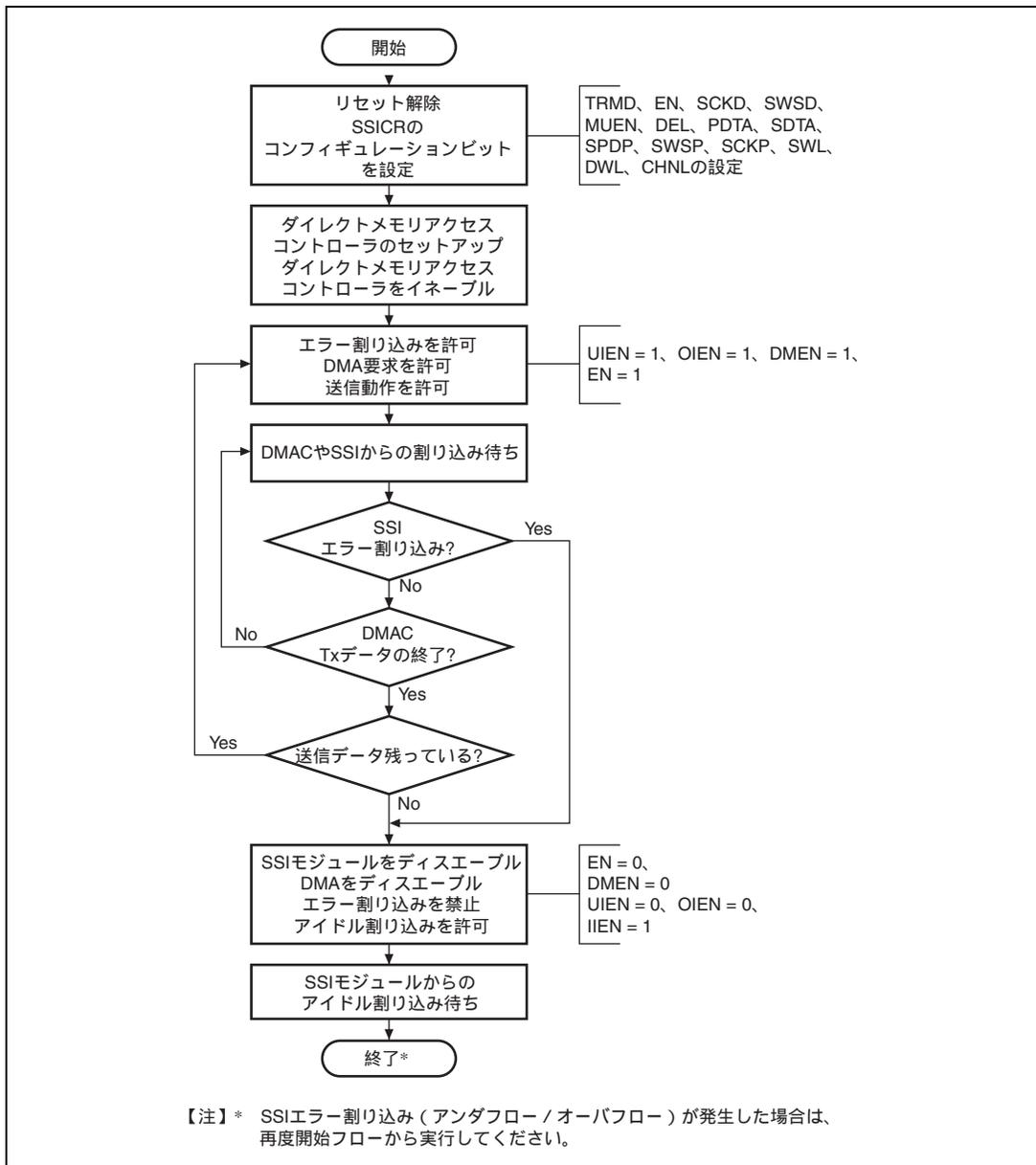


図 18.20 DMA コントローラを使用した送信

## (2) 割り込みデータフロー制御を使用した送信

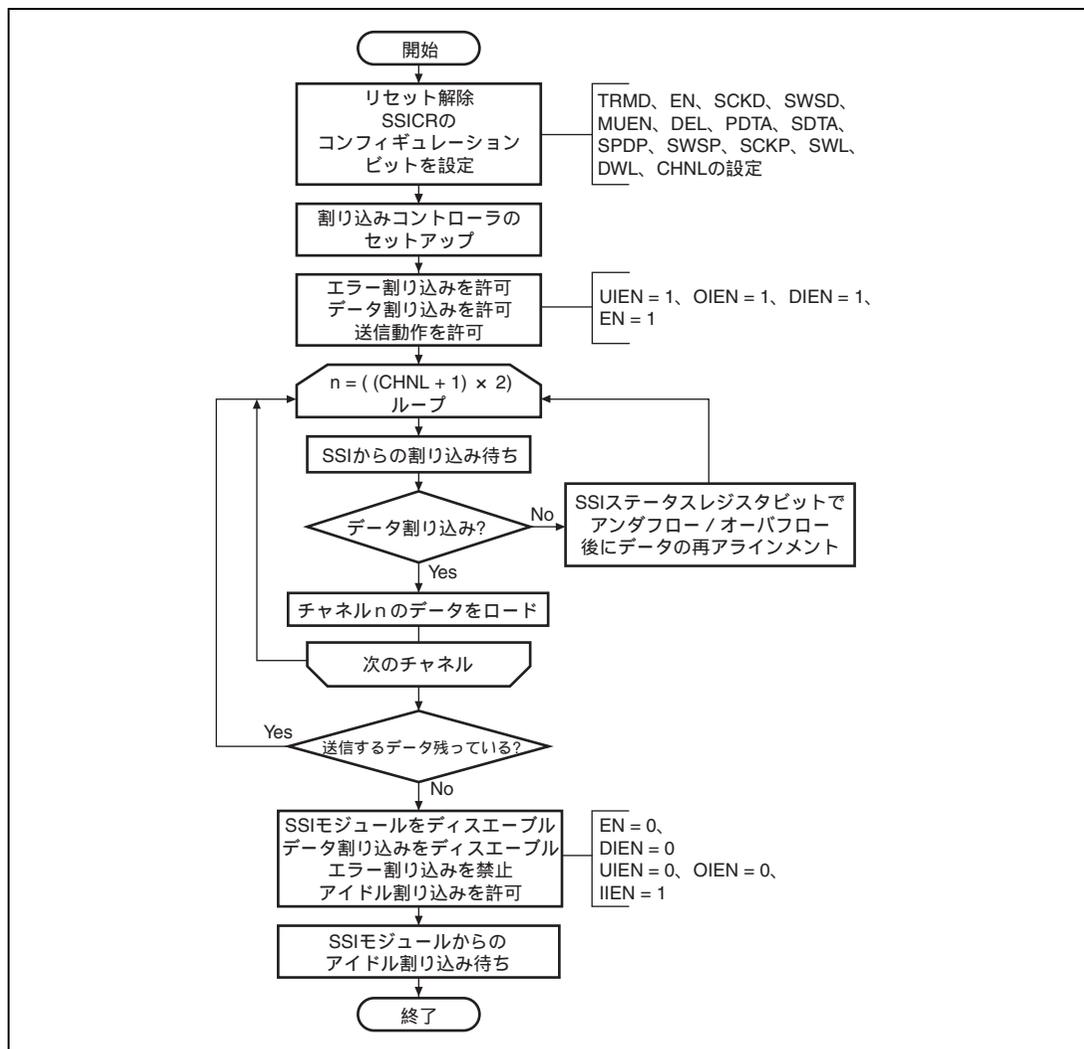


図 18.21 割り込みデータフロー制御を使用した送信

## 18.4.5 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 18.22、図 18.23 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック\*は供給され続けなければなりません。

【注】 \* SCKD = 0 のとき SSISCK 端子からの入力クロック

SCKD = 1 のときオーバサンプルクロック

## (1) DMA コントローラを使用した受信

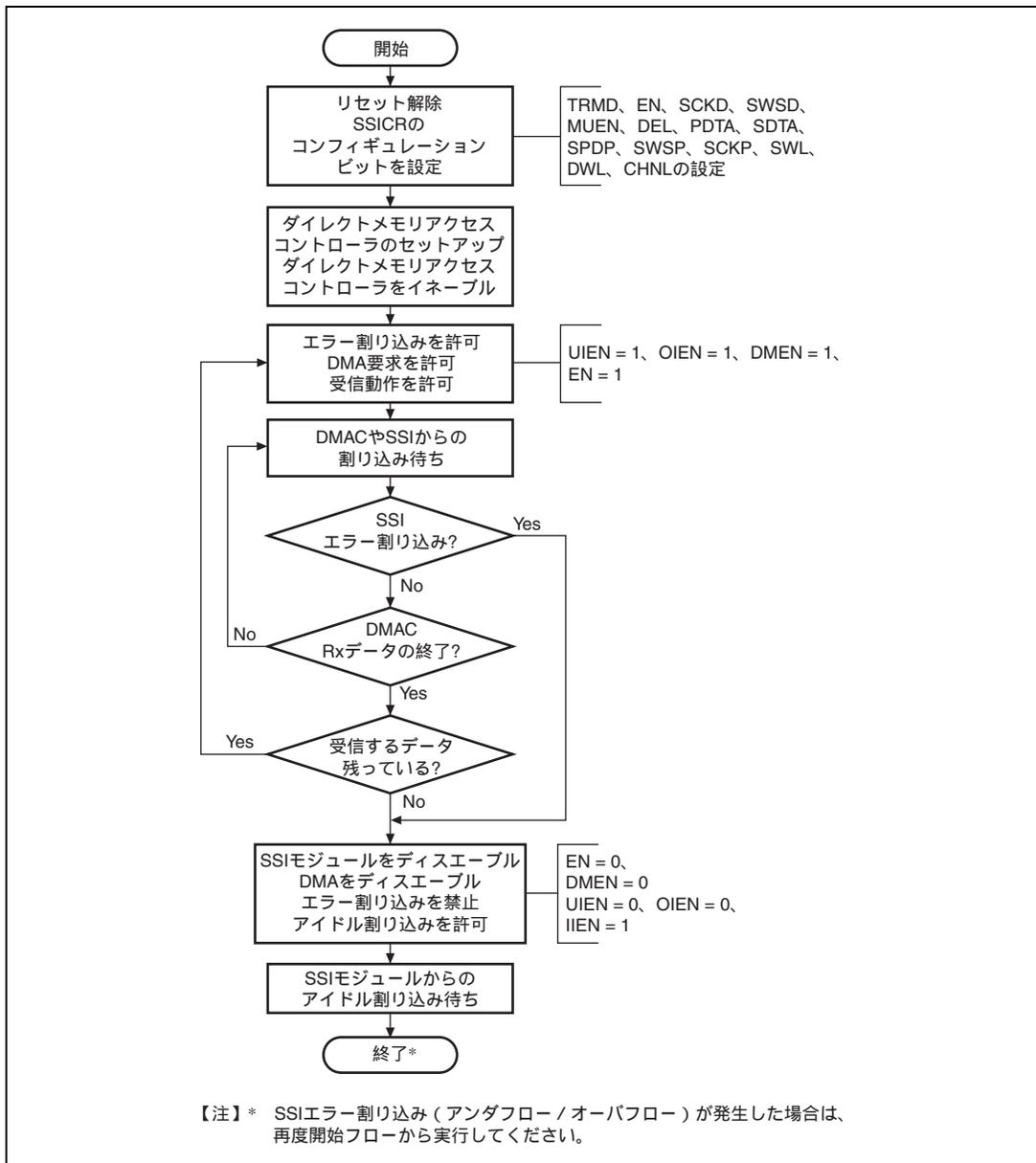


図 18.22 DMA コントローラを使用した受信

## (2) 割り込みデータフロー制御を使用した受信

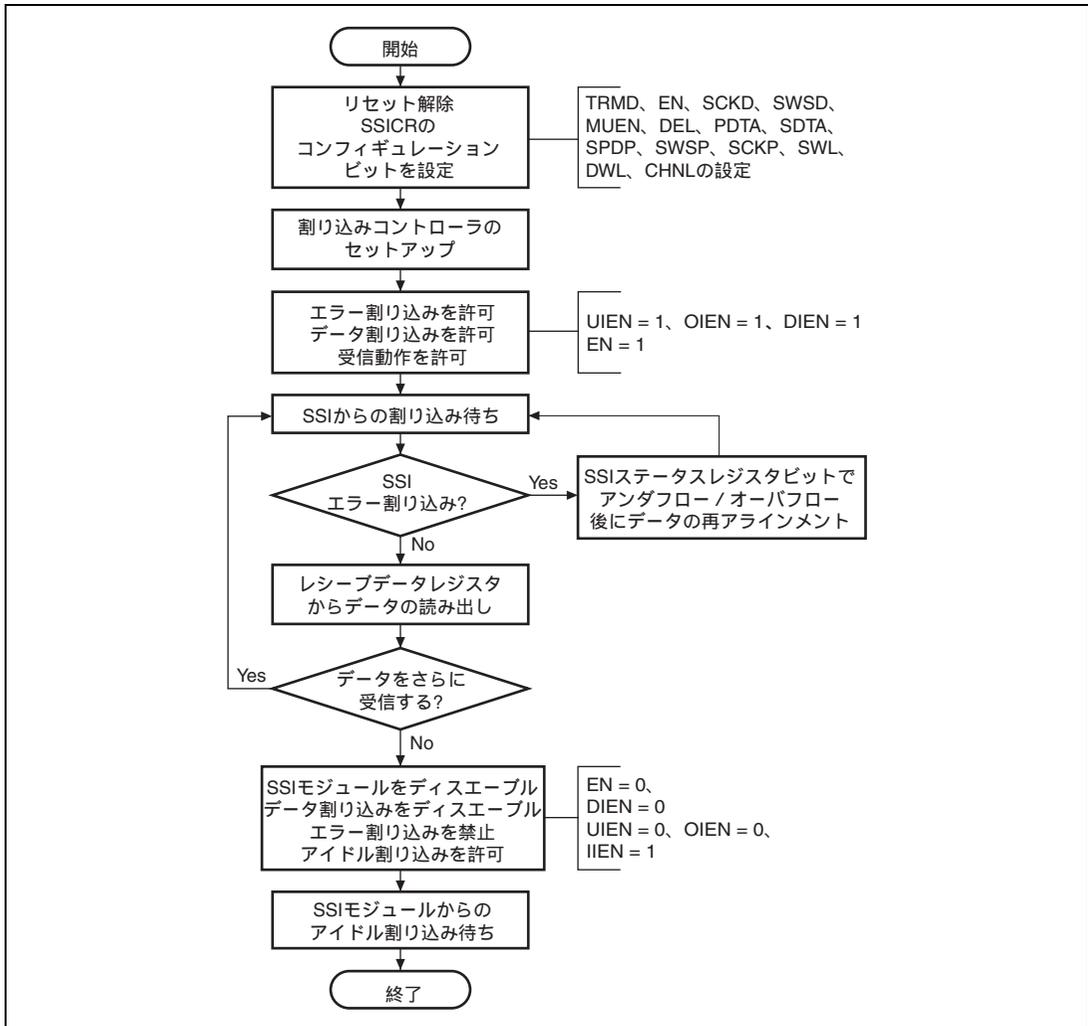


図 18.23 割り込みデータフロー制御を使用した受信

アンダフローやオーバーフロー条件が一致した場合、CHNO[1:0]ビットとSWNOビットを使ってSSIモジュールを一致する前の状態に回復できます。アンダフローやオーバーフローが発生したら、ホストCPUはチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSIモジュールが次に送信する予定のデータに到達するまでホストCPUは送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSIモジュールが次に受信すると示しているデータを格納できるようになるまでホストCPUはヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

### 18.4.6 送信時における一時停止、再開手順

以下の手順で実現することが可能です。

#### (1) DMAC の再設定なしで転送、停止を繰り返すための手順

1. DMA転送を止めるために、SSICR.DMEN = 0 (DMA要求を禁止) にします。
2. SSISR.DIRQ = 1 (送信モード: 送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN = 0 (SSIモジュール動作を禁止) で転送停止にします。
4. 再転送する前に、SSISR.IDST = 1 になっていることを確認します。
5. SSICR.EN = 1 (SSIモジュール動作を許可) にします。
6. SSISR.DIRQ = 1 になるのをポーリングまたは割り込みなどで待つ。
7. SSICR.DMEN = 1 (DMA要求を許可) にすることでDMA転送が再開されます。

#### (2) SSI 停止後、DMAC を再設定する場合の転送手順

1. DMA転送を止めるために、SSICR.DMEN = 0 (DMA要求を禁止) にします。
2. SSISR.DIRQ = 1 (送信モード: 送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN = 0 (SSIモジュール動作を禁止) で転送停止にします。
4. DMACのCHCRにてDMACを停止させます。
5. 再転送するまえに、SSISR.IDST = 1 になっていることを確認します。
6. SSICR.EN = 1 (SSIモジュール動作を許可) にします。
7. DMACの各レジスタ設定と転送開始を行います。
8. SSICR.DMEN = 1 (DMA要求を許可) にすることでDMA転送が再開されます。

### 18.4.7 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD = 0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSISCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD = 1)、SSI モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックはオーバサンプルクロックまたはそれを分周したクロックです。オーバサンプルクロックは、SSICR のシリアルオーバサンプルクロック分周比 (CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK 端子の出力はビットクロックと同じになります。

## 18.5 使用上の注意事項

### 18.5.1 DMA 動作中にアンダフローまたはオーバーフローが起こった場合の制限事項

DMA 動作中にアンダフローまたはオーバーフローが起こった場合、モジュールの再起動が必要です。送信バッファおよび受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ (SSICR) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~SWL0) が 32 ビットの設定の場合、アンダフローまたはオーバーフローが一度発生すると、L チャンネルで送受信すべきデータを、R チャンネルで送受信してしまうことがあります。

そこで、アンダフロー、オーバーフローの 2 通りのエラー割り込み、またはこれらに対応するエラーステータスフラグ (SSISR の UIRQ、OIRQ の各ビット) によりエラーの発生を確認した場合、SSICR の EN および DMEN ビットに 0 を書き込むことにより、DMA 転送要求を禁止して動作を停止させてください (このときダイレクトメモリアクセスコントローラの設定も停止させてください)。その後、エラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアし、再度ダイレクトメモリアクセスコントローラの設定を行い転送を再開してください。



---

## 19. コントローラエリアネットワーク (RCAN-TL1)

---

コントローラエリアネットワーク (RCAN-TL1 : Renesas CAN Time Trigger Level 1) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章は RCAN-TL1 のプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

### [ 参考文献 ]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-11898-1, 2003)
5. Road vehicles - Controller area network (CAN): Part 4: Time triggered communication (ISO-11898-4, 2004)

## 19.1 特長

### 19.1.1 RCAN-TL1 の特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 32個のメールボックス
- クロック周波数 : 16 ~ 33MHz
- プログラム可能な31個の送受信メールボックスおよび1個の受信メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵 (リスンオンリモード、エラーパッシブモード)

- 16ビットのフリーランニングタイマ (多様なクロックソース、プリスケアラ、3個のタイマコンペアマッチレジスタ)
- タイムトリガ送信用の6ビットサイクルカウンタ (Basic Cycle)
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
- タイムトリガ用レジスタ : Local\_Time、Cycle\_time、Ref\_Mark、Tx\_Enable\_Window、Ref\_Trigger\_Offset
- SOFでのフレキシブルなタイムスタンプ機能を送信、受信ともにサポート
- イベントトリガ送信に加え、タイムトリガ送信および定周期送信もサポート
- サイクルカウンタ (Basic Cycle) をCANフレームに組み込んで送信可能

### 19.1.2 本マイコンにおける特長

- 32メールボックスRCAN×2チャンネル搭載 (RCAN0、1)
- RCANの2チャンネルはピンファンクションコントローラ (PFC) の設定により、次の接続による使用が可能  
32メールボックス×2チャンネル (RCAN0、1)  
64メールボックス\*×1チャンネル (RCAN0、1)
- RCAN0、1ともにメールボックス0の受信メッセージによりDMAC起動可能

【注】 \* 64メールボックス構成においては使用上の注意事項があります。「19.12 使用上の注意事項」を参照してください。

## 19.2 構成

### 19.2.1 ブロック図

RCAN-TL1 は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-TL1 は機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、タイマ、および CAN インタフェースの 5 種類のブロックからなります。

図 19.1 に RCAN-TL1 のブロック図を示します。

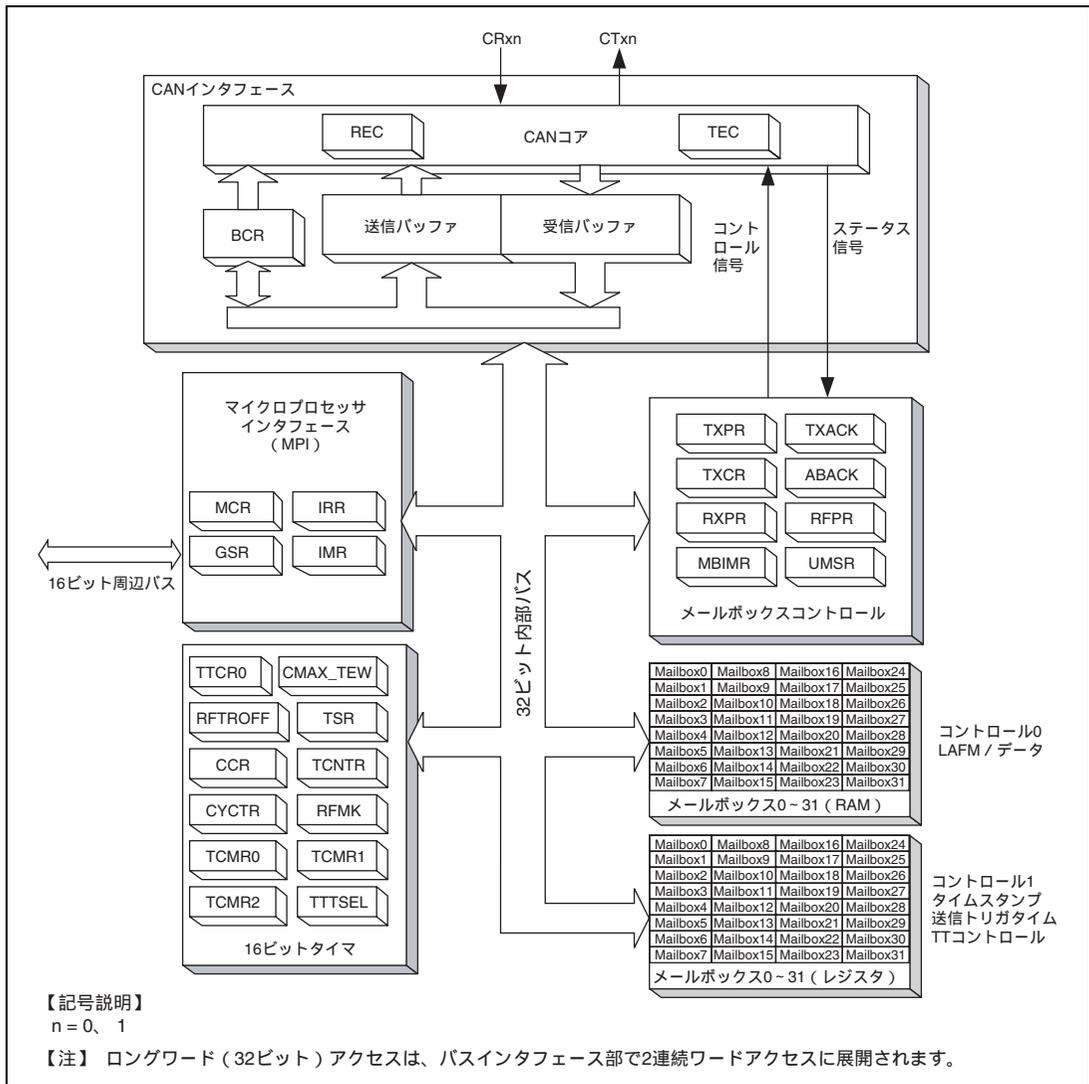


図 19.1 RCAN-TL1 のブロック図 (1 チャンネルあたり)

## 19.2.2 各ブロックの機能

### (1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN-TL1 のレジスタやメールボックスとの間の通信を可能にし、メモリアンタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN-TL1 の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-TL1 は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

### (2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 32 個のメールボックスがあり、以下の情報を格納します。

#### [ RAM ]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

#### [ レジスタ ]

- CANメッセージコントロール (DLC)
- メッセージ送信/受信用タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット
- 送信トリガタイム

### (3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。タイムトリガ送信の場合は、送信トリガタイムのコンペアマッチでメッセージをロードします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

## (4) タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16 ビットのフリーランニングアップカウンタで、CPU で制御することができます。ローカルタイムと比較する 16 ビットのコンペアマッチレジスタが 1 個と、サイクルタイムと比較するコンペアマッチレジスタが 2 個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CAN バスの 1 ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには、TCNTR、TTCR0、CMA\_X\_TEW、RFTROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、および TTTSEL があります。

## (5) CAN インタフェース

本ブロックは参考文献[2]と[4]の CAN バスデータリンクコントローラ仕様をサポートしています。これは OSI モデルで規定されるデータリンクコントローラの全機能を満たします。また、CAN バスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CAN データリンクコントローラの送受信を格納する機能もあります。

## 19.2.3 端子構成

RCAN-TL1 の端子構成を表 19.1 に示します。

表 19.1 端子構成

名称	端子名	入出力	機能
送信データ端子	CTxn	出力	CAN バス送信用端子です。
受信データ端子	CRxn	入力	CAN バス受信用端子です。

【注】 n=0, 1

### 19.2.4 メモリマップ

RCAN-TL1 のメモリマップを図 19.2 に示します。

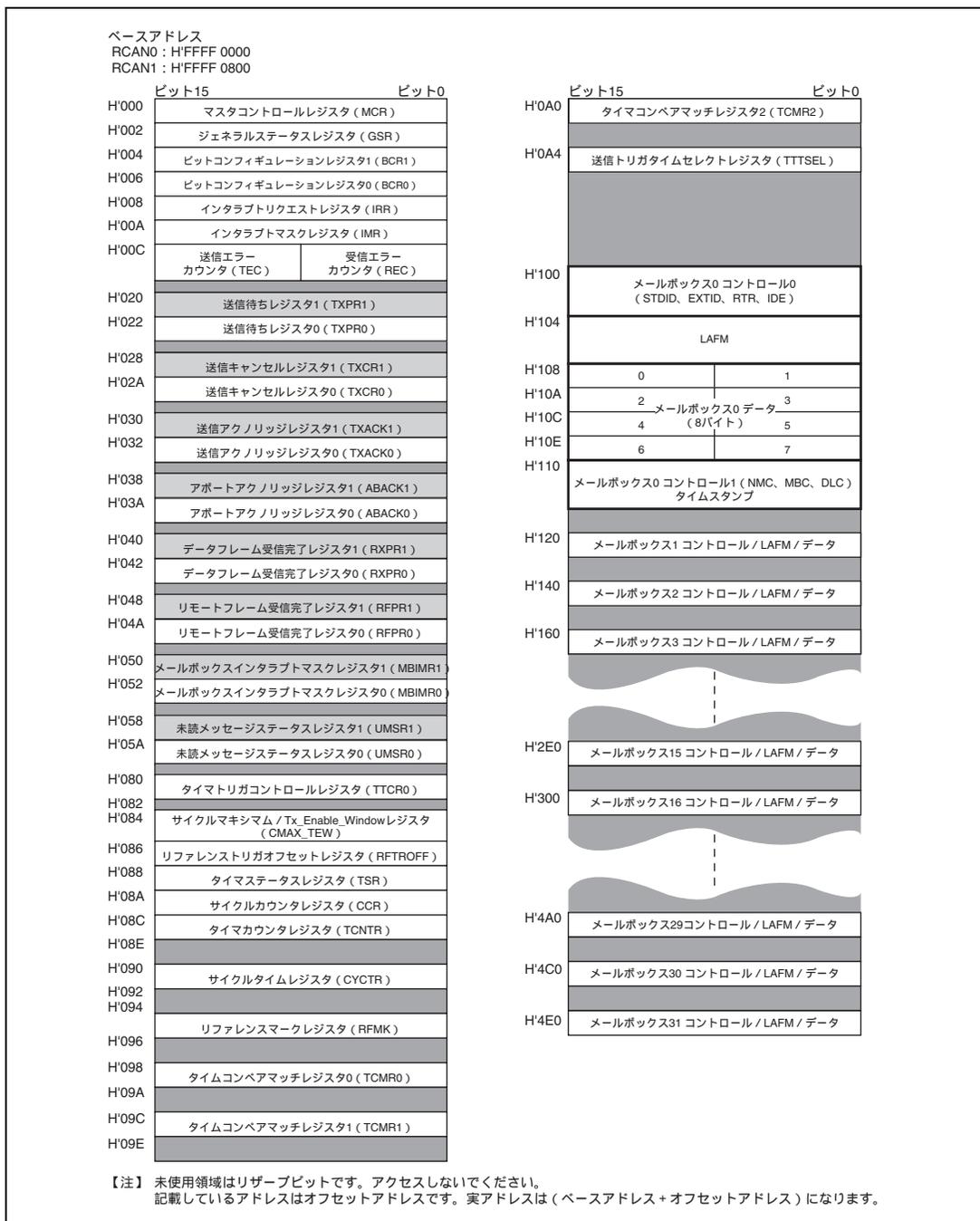


図 19.2 RCAN-TL1 のメモリマップ (1 チャンネルあたり)

## 19.3 メールボックス

### 19.3.1 メールボックスの構成

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの 3 個の格納フィールドからなります。さらに、タイムスタンプ、タイムトリガコンフィギュレーション、およびタイムトリガコントロールのフィールドを持つメールボックスもあります。

表 19.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータ、タイムスタンプ、送信トリガタイム、およびタイムトリガコントロールのアドレスマップを示します。

表 19.2 各メールボックスのアドレスマップ (1 チャンネルあたり)

メール ボックス	アドレス						
	コントロール 0	LAFM	データ	コントロール 1	タイム スタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
0 (受信のみ)	100 - 103	104 - 107	108 - 10F	110 - 111	112 - 113	-	-
1	120 - 123	124 - 127	128 - 12F	130 - 131	132 - 133	-	-
2	140 - 143	144 - 147	148 - 14F	150 - 151	152 - 153	-	-
3	160 - 163	164 - 167	168 - 16F	170 - 171	172 - 173	-	-
4	180 - 183	184 - 187	188 - 18F	190 - 191	192 - 193	-	-
5	1A0 - 1A3	1A4 - 1A7	1A8 - 1AF	1B0 - 1B1	1B2 - 1B3	-	-
6	1C0 - 1C3	1C4 - 1C7	1C8 - 1CF	1D0 - 1D1	1D2 - 1D3	-	-
7	1E0 - 1E3	1E4 - 1E7	1E8 - 1EF	1F0 - 1F1	1F2 - 1F3	-	-
8	200 - 203	204 - 207	208 - 20F	210 - 211	212 - 213	-	-
9	220 - 223	224 - 227	228 - 22F	230 - 231	232 - 233	-	-
10	240 - 243	244 - 247	248 - 24F	250 - 251	252 - 253	-	-
11	260 - 263	264 - 267	268 - 26F	270 - 271	272 - 273	-	-
12	280 - 283	284 - 287	288 - 28F	290 - 291	292 - 293	-	-
13	2A0 - 2A3	2A4 - 2A7	2A8 - 2AF	2B0 - 2B1	2B2 - 2B3	-	-
14	2C0 - 2C3	2C4 - 2C7	2C8 - 2CF	2D0 - 2D1	2D2 - 2D3	-	-
15	2E0 - 2E3	2E4 - 2E7	2E8 - 2EF	2F0 - 2F1	2F2 - 2F3	-	-
16	300 - 303	304 - 307	308 - 30F	310 - 311	-	-	-
17	320 - 323	324 - 327	328 - 32F	330 - 331	-	-	-
18	340 - 343	344 - 347	348 - 34F	350 - 351	-	-	-
19	360 - 363	364 - 367	368 - 36F	370 - 371	-	-	-
20	380 - 383	384 - 387	388 - 38F	390 - 391	-	-	-
21	3A0 - 3A3	3A4 - 3A7	3A8 - 3AF	3B0 - 3B1	-	-	-
22	3C0 - 3C3	3C4 - 3C7	3C8 - 3CF	3D0 - 3D1	-	-	-

メールボックス	アドレス						
	コントロール0	LAFM	データ	コントロール1	タイムスタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
23	3E0 - 3E3	3E4 - 3E7	3E8 - 3EF	3F0 - 3F1	-	-	-
24	400 - 403	404 - 407	408 - 40F	410 - 411	-	414 - 415	416 - 417
25	420 - 423	424 - 427	428 - 42F	430 - 431	-	434 - 435	436 - 437
26	440 - 443	444 - 447	448 - 44F	450 - 451	-	454 - 455	456 - 457
27	460 - 463	464 - 467	468 - 46F	470 - 471	-	474 - 475	476 - 477
28	480 - 483	484 - 487	488 - 48F	490 - 491	-	494 - 495	496 - 497
29	4A0 - 4A3	4A4 - 4A7	4A8 - 4AF	4B0 - 4B1	-	4B4 - 4B5	4B6 - 4B7
30	4C0 - 4C3	4C4 - 4C7	4C8 - 4CF	4D0 - 4D1	4D2 - 4D3 (ローカル タイム)	4D4 - 4D5	-
31	4E0 - 4E3	4E4 - 4E7	4E8 - 4EF	4F0 - 4F1	4F2 - 4F3 (ローカル タイム)	-	-

メールボックス0は受信専用です。他のすべてのメールボックスは、メッセージコントロールのMBC(メールボックス構成)ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図19.3~図19.5に示します。

表 19.3 メールボックスの役割

	イベントトリガ		タイムトリガ		備考	
	送信	受信	送信	受信	タイムスタンプレジスタ	送信トリガタイムレジスタ
MB31	設定可	設定可	-	タイムリファレンス受信	有	-
MB30	設定可	設定可	タイムマスタモード時 タイムリファレンス送信	タイムスレーブ モード時受信	有	有
MB29 ~ MB24	設定可	設定可	OK	OK	-	有
MB23 ~ MB16	設定可	設定可	-(ET)	OK	-	-
MB15 ~ MB1	設定可	設定可	-(ET)	OK	有	-
MB0	-	設定可	-	OK	有	-

【注】ET: タイムトリガモード時のマージドアービトラレーティングウィンドウ内で送信動作可能です。

・ MB0 (タイムスタンプ付き受信メールボックス)

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	0	0	MBC[2:0]*				0	0	0	0	DLC[3:0]		8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

・ MB15-1 (タイムスタンプ付きメールボックス)

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]				0	0	0	0	DLC[3:0]		8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

【注】 \* MBC[1] = 1 固定

1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
3. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 19.3 メールボックス (0~15) の構成

・ MB23 - 16 (メールボックス : タイムスタンプなし)

アドレス	データベース																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0	
H*102+N*32	EXTID[15:0]																16	
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM
H*106+N*32	EXTID_LAFM[15:0]																16	
H*108+N*32	MSG_DATA_0 (最初のRxTx バイト)								MSG_DATA_1								8/16/32	データ
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16	
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16	
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]		8/16	コントロール1			

・ MB29 - 24 (タイムトリガモード時タイムトリガ送信)

アドレス	データベース																アクセスサイズ	フィールド名	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]		16/32	コントロール0		
H*102+N*32	EXTID[15:0]																16		
H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]		16/32	LAFM	
H*106+N*32	EXTID_LAFM[15:0]																16		
H*108+N*32	MSG_DATA_0 (最初のRxTx バイト)								MSG_DATA_1								8/16/32	データ	
H*10A+N*32	MSG_DATA_2								MSG_DATA_3								8/16		
H*10C+N*32	MSG_DATA_4								MSG_DATA_5								8/16/32		
H*10E+N*32	MSG_DATA_6								MSG_DATA_7								8/16		
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]		8/16	コントロール1				
H*112+N*32	リザーブ																—	—	
H*114+N*32	送信トリガタイム (TTT)																16	トリガタイム	
H*116+N*32	TTW[1:0]	オフセット										0	0	0	0	0	Rep_Factor	16	TTコントロール

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。  
 2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 19.4 メールボックス (16 ~ 29) の構成

・MB30 (タイムトリガモード時タイムリファレンス送信)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16	
H*104+N*32	IDE LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM	
H*106+N*32	EXTID_LAFM[15:0]															16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ	
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16		
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16		
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)															16	タイムスタンプ
H*114+N*32	タイムリファレンスとしての送信トリガタイム (TTT)															16	トリガタイム

・MB31 (タイムトリガモード時タイムリファレンス受信)

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16	
H*104+N*32	IDE LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32	LAFM	
H*106+N*32	EXTID_LAFM[15:0]															16	
H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)							MSG_DATA_1							8/16/32	データ	
H*10A+N*32	MSG_DATA_2							MSG_DATA_3							8/16		
H*10C+N*32	MSG_DATA_4							MSG_DATA_5							8/16/32		
H*10E+N*32	MSG_DATA_6							MSG_DATA_7							8/16		
H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]		0	0	0	0	DLC[3:0]			8/16	コントロール1	
H*112+N*32	TimeStamp[15:0] (SOFでのTCNTR値)															16	タイムスタンプ

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。  
2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 19.5 メールボックス (30、31) の構成

## 19.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0: スタンダードフォーマット 1: エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き替えます。 <b>【重要】</b> MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレーム受信割り込み) ビットによって通知されますが、RCAN-TL1 は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 <b>【重要】</b> MBC=B'001 で ATX=1 を設定し、リモートフレームを受信したメールボックスは自動的に送信設定されます。そのときデータフレームが送信されるように、RTR は 0 に設定しなければなりません。 0: データフレーム 1: リモートフレーム
		13	-	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[x]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

- メールボックス0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC[1]の値は常に1です。

- メールボックス1~31

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	15, 14	-	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
		13	NMC	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUMSRの対応するビットをセットします。</p> <p>このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバーライトし、UMSRの対応するビットをセットします。</p> <p>【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。</p> <p>【重要】 タイムトリガモード使用時には、メールボックス31のNMCを必ず1にセットし、RXPR[31]がクリアされなくてもすべてのリファレンスメッセージを受信できるようにしてください。</p> <p>0: オーバランモード 1: オーバライトモード</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLCが格納され、TXPRは自動的にセットされます。同じメールボックスから書き換えられたDLCを使用し、自動的にデータフレームが送信されます。</p> <p>自動送信設定されたメールボックスは、メッセージ送信プライオリティビット (MCR2) の設定に従って、ID優先順位あるいはメールボックス優先順位にスケジューリングされます。本機能を使用するにはMBC[2:0]をB'001に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード (DLC) は受信されたものが使用されます。これを適用するには、リモートフレームのDLCは要求されているデータフレームのDLCに対応したものであることが必要です。</p> <p><b>【重要】</b> 1. ATXが使用され、MBCがB'001のとき、リモートフレームのIDは、応答メッセージの場合と同じく、データフレームのIDと完全に同じでなくてはならないため、IDEビットのフィルタは使用できません。</p> <p>2. 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTRビットはセットされません。リモートフレームを受信するとCPUはセット済みRFPRによって通知されますが、RCAN-TL1は現在のメッセージをデータフレームとして送信する必要があるためRTRビットは変更されません。</p> <p>3. リモートフレームの自動送信が開始されないこともあります。オーバランの状態(NMC=0のときのUMSRセット)に注意してください。</p> <p>4. ATX=1に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。</p> <p>0: データフレームの自動送信無効 1: データフレームの自動送信有効</p> <p><b>【注】</b> 本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットが1にセットされると、CANバスエラーのイベントが発生した場合や、CANバスのアービトレーションで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応するTXCRビットが送信の最初に自動的にセットされます。このビットが0にセットされると、RCAN-TL1は、TXCRで送信リクエストをキャンセルされるか、送信が正常終了されるまで送信をリクエストします。</p> <p>0: 再送信有効 1: 再送信無効</p> <p><b>【注】</b> 本ビットはメールボックス1~31にのみあります。メールボックス0ではリザーブビットとなります。</p>

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1	H'110+N*32	10~8	MBC[2:0]	<p>メールボックスコンフィギュレーション</p> <p>これらのビットは各メールボックスの機能を表 19.4 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。</p> <p>MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC の値を B'000 とそれ以外に設定すれば、LAFM フィールドは使用可能となります。</p> <p>MBC が受信に設定されているとき、TXPR はセットしないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC[1]は受信専用のため、ハードウェアによって 1 に固定されています。</p>
		7~4	-	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。</p> <p>0000 : データ長 0 バイト  0001 : データ長 1 バイト  0010 : データ長 2 バイト  0011 : データ長 3 バイト  0100 : データ長 4 バイト  0101 : データ長 5 バイト  0110 : データ長 6 バイト  0111 : データ長 7 バイト  1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

表 19.4 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	<ul style="list-style-type: none"> <li>• メールボックス 0 は使用不可能</li> <li>• タイムトリガ送信は使用可能</li> </ul>	
0	0	1	可	可	不可	可	<ul style="list-style-type: none"> <li>• ATX で使用可能*</li> <li>• メールボックス 0 は使用不可能</li> <li>• LAFM は使用可能</li> </ul>	
0	1	0	不可	不可	可	可	<ul style="list-style-type: none"> <li>• メールボックス 0 は使用可能</li> <li>• LAFM は使用可能</li> </ul>	
0	1	1	不可	不可	可	不可	<ul style="list-style-type: none"> <li>• メールボックス 0 は使用可能</li> <li>• LAFM は使用可能</li> </ul>	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 \* 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

### 19.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 19.6 に示すとおり、2 つの 16 ビットの読み出し / 書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[0].LAFMH	H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32	LAFM
MB[0].LAFML	H'106+N*32	EXTID_LAFM[15:0]																16	

図 19.6 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、RCAN-TL1 が一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していない限りなりません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN-TL1 は、メールボックス 31 からメールボックス 0 まで、一致する ID の検索を行います。RCAN-TL1 は一致する ID を検知すると、そのメッセージは NMC や RXPR/RFPR フラグによらず、直ちに検索を終了します。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
  2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なることがあります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14、13	-	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1、0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[x]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	1 : 対応する EXTID ビットが無効

### 19.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG\_DATA\_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

- タイムトリガ送信時の注意事項

メールボックス 30 は、CMAX B'111、MBC[30]=B'000 で TXPR[30] を 1 に設定すると、タイムリファレンス送信用に設定できます。この際、必ず DLC には 0 より大きい値を設定し、RTR は 0 に設定してください (TTCAN Level 1 にて規定)。メールボックス 30 の送信開始時に、データフィールドの先頭バイトの MSG\_DATA\_0[5:0] にサイクルカウンタ値 (CCR) が埋め込まれてメッセージを送信します。

MSG\_DATA\_0[7:6] は、メールボックスに格納された値が送信されます。

Next\_is\_Gap を送信する必要がある場合は、ユーザは MSG\_DATA\_0[7] を 1 に設定することで送信できます。

このとき、CCR の値は送信されるフレームに入りますが、メールボックス 30 のメッセージデータフィールドには格納されませんのでご注意ください。

メールボックス 31 は、CMAX B'111、MBC[31]=B'011 で設定するとタイムリファレンス受信用に設定されます。有効なリファレンスメッセージを受信すると (ID 一致、DLC>0)、RCAN-TL1 は RFMK およびサイクルカウンタ (CCR) を書き換えることにより、Cycle\_Time と Basic\_Cycle を同期化します。

MB30, 31		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'108+N*32	Next_is_Gap/Cycle_Counter (最初のRx/Tx/バイト)										MSG_DATA_1				8/16/32ビット				データ
H'10A+N*32	MSG_DATA_2						MSG_DATA_3						8/16ビット						
H'10C+N*32	MSG_DATA_4						MSG_DATA_5						8/16/32ビット						
H'10E+N*32	MSG_DATA_6						MSG_DATA_7						8/16ビット						

図 19.7 メッセージデータフィールド

### 19.3.5 タイムスタンプ

送信 / 受信メッセージに記録されたタイムスタンプを格納します。タイムスタンプは、メッセージがスケジュールどおりに送信 / 受信されたかどうかをモニタするのに役立ちます。

- タイムスタンプ

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

#### (1) メッセージ受信

メールボックス0～15の受信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0 (TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の受信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

#### (2) メッセージ送信

メールボックス1～15の送信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0 (TTCR0) のビット14の設定により、CYCTR[15:0] (サイクルタイムレジスタ) の値またはCCR[5:0] (サイクルカウンタ) + CYCTR[15:6] (サイクルタイムレジスタ) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30、31の送信メッセージのタイムスタンプには、タイマカウンタレジスタ (TCNTR) の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

**【重要】** タイムスタンプはテンポラリレジスタに格納されます。送信または受信が正常に行われると、その値がメールボックスのフィールドにコピーされます。また、オーバーランによって UMSR[N] がセットされると同時に CPU が RXPR[N]/RFPR[N] をクリアしたとき、タイムスタンプのみが更新されることがあります。したがって、RXPR[N]/RFPR[N] がクリアされる前の正しいタイムスタンプ値をリードすることができます。

### 19.3.6 送信トリガタイム (TTT) とタイムトリガコントロール

メールボックス 24~29 では、タイムトリガモード (CMAX B'111) で MBC を B'000 に設定すると、送信トリガタイムはタイムウィンドウ間の境界を決定するための Time\_Mark として機能します。

送信トリガタイム (TTT) とタイムトリガコントロール (TT コントロール) は、以下に示す 2 つの 16 ビットリード/ライトレジスタで構成されています。

メールボックス 30 にはタイムトリガコントロール (TT コントロール) がなく、Time\_Ref として機能します。

メールボックス 24~30 をタイムトリガモード送信に使用しない場合は、受信用メールボックスとして使用することができます。ただし、タイムトリガモードを使用する場合は、イベントトリガ送信の対象にはなりません。

- 送信トリガタイム (TTT)

送信トリガタイム (TTT) は、サイクルタイム内でメッセージの送信を開始する時間を指定します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- タイムトリガコントロール (TT コントロール)

タイムトリガコントロール (TT コントロール) は、ウィンドウの属性、送信を開始するシステムマトリックス内のサイクルカウント (Basic Cycle) および定周期送信の頻度を指定します。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TTW[1:0]	Offset[5:0]					0	0	0	0	0	rep_factor[2:0]				
初期値: 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

タイムトリガモードをサポートするすべてのメールボックス間の相違点を図 19.8 に示します。

MB29 - 24																		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'114 + N*32	送信トリガタイム (サイクルタイム)															16ビット	トリガタイム	
H'116 + N*32	TTW[1:0]	Offset[5:0]					0	0	0	0	0	rep_factor[2:0]					16ビット	TTコントロール
MB30																		
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'114 + N*32	送信トリガタイム (サイクルタイム)															16ビット	トリガタイム	

図 19.8 送信トリガコントロールフィールド

- TTW[1:0] (タイムトリガウィンドウ)

タイムウィンドウの属性を示します。TTW=B'10 設定でスタートしたマージドアービトレーティングウィンドウ (Merged Arbitrating Window) は、必ず TTW=B'11 設定によって終了してください。マージドアービトレーティングウィンドウの先頭から最後まで間に TTW=B'10 設定のメッセージを数個使用することができます。

TTW[1]	TTW[0]	説 明
0	0	エクスクルーシブウィンドウ : exclusive window (初期値)
0	1	アービトレーティングウィンドウ : arbitrating window
1	0	マージドアービトレーティングウィンドウの開始 : Start of Merged arbitrating window
1	1	マージドアービトレーティングウィンドウの終了 : End of Merged arbitrating window

TT レジスタの値が CYCTR の値と一致し、Offset の値が CCR の値と一致すると、対応するメールボックスから送信を試みます。この機能を有効にするには、CMAX B'111 に設定し、タイマ (TCNTR) を動作させ (TTCR0 のビット 15 が 1)、対応するメールボックスの MBC=B'000 に設定し、対応する TXPR のビットを 1 に設定してください。TXPR のビットをソフトウェアでセットした後は、定周期送信を続けるために、RCAN-TL1 はその TXPR のビット (メールボックス 24~30) をクリアしません。

定周期送信を停止するには、TXCR で TXPR をクリアしてください。この場合、送信完了直後に TXACK をクリアしないと、同じメールボックスの TXACK と ABACK の両方がセットされる可能性があります (図 19.9 参照)。

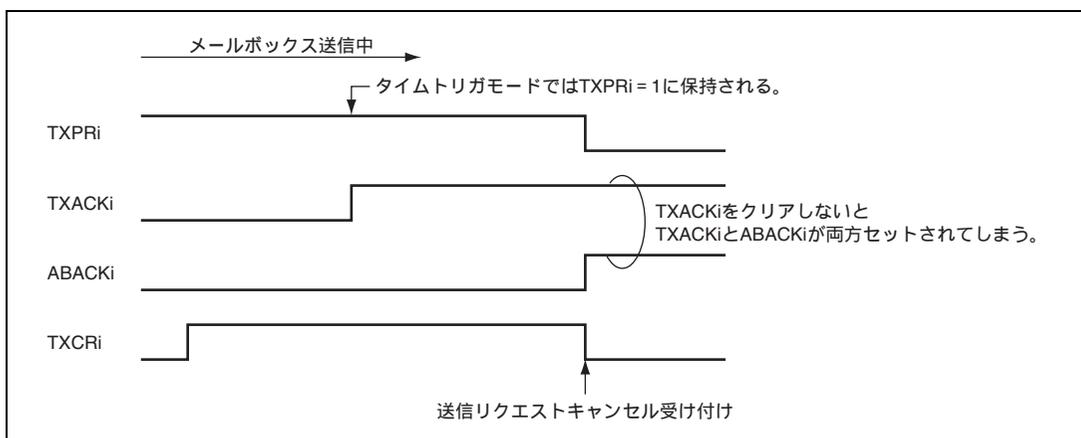


図 19.9 タイムトリガ送信時の TXACK と ABACK

なお、メールボックス 30 では TTW=B'01、Offset=B'000000、rep\_factor=B'000 に固定です。以下の表に rep\_factor と Offset の組み合わせを示します。

rep_factor	説 明
B'000	サイクルカウントごと (初期値)
B'001	2 サイクルカウントごと
B'010	4 サイクルカウントごと
B'011	8 サイクルカウントごと
B'100	16 サイクルカウントごと
B'101	32 サイクルカウントごと
B'110	64 サイクルカウントごと(システムマトリックスごとに 1 回)
B'111	リザーブ

Offset フィールドは、タイムトリガメールボックスがメッセージの送信を開始できる最初のサイクルカウンタ値を決定します。

Offset	説 明
B'000000	オフセット (Offset) = 最初のサイクルカウント (初期値)
B'000001	オフセット (Offset) = 2 番目のサイクルカウント
B'000010	オフセット (Offset) = 3 番目のサイクルカウント
B'000011	オフセット (Offset) = 4 番目のサイクルカウント
B'000100	オフセット (Offset) = 5 番目のサイクルカウント
...	...
B'111110	オフセット (Offset) = 63 番目のサイクルカウント
B'111111	オフセット (Offset) = 64 番目のサイクルカウント

以下の関係を満たさなければなりません。

$$\text{Cycle\_Count\_Maximum} + 1 > \text{Repeat\_Factor} > \text{Offset}$$

$$\text{Cycle\_Count\_Maximum} = 2^{\text{CMAX}} - 1$$

$$\text{Repeat\_Factor} = 2^{\text{rep\_factor}}$$

CMAX、Repeat\_Factor、および Offset はレジスタ値です。

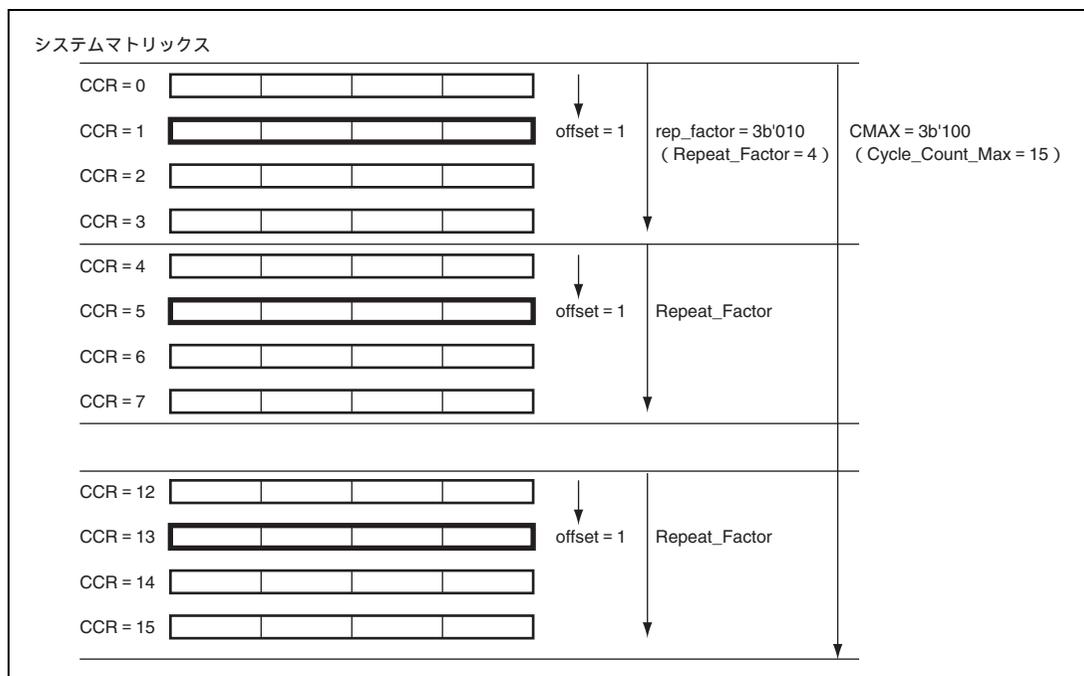


図 19.10 システムマトリックス

送信トリガタイムは昇順に設定してください。送信トリガタイム間の差は、必ず最低 TEW 幅は確保してください。

## 19.4 RCAN-TL1 のコントロールレジスタ

RCAN-TL1 のコントロールレジスタについて説明します。RCAN-TL1 のコントロールレジスタはワードサイズ (16 ビット) でのみアクセスできます。

表 19.5 に RCAN-TL1 のコントロールレジスタを示します。

表 19.5 RCAN-TL1 のコントロールレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
マスタコントロールレジスタ	MCR	H'000	16
ジェネラルステータスレジスタ	GSR	H'002	16
ビットコンフィギュレーションレジスタ 1	BCR1	H'004	16
ビットコンフィギュレーションレジスタ 0	BCR0	H'006	16
インタラプトリクエストレジスタ	IRR	H'008	16
インタラプトマスクレジスタ	IMR	H'00A	16
送信エラーカウンタ / 受信エラーカウンタ	TEC/REC	H'00C	16

### 19.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し / 書き込み可能なレジスタで、RCAN-TL1 を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並べ替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 19.11 を参照してください。</p> <p>0 : RCAN-TL1 と HCAN2 は同等の順序 1 : RCAN-TL1 と HCAN2 は異なる順序</p>

ビット	ビット名	初期値	R/W	説明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、RCAN-TL1 がバスオフ状態に入ると MCR1 は直ちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0: 通常の復帰シーケンス (128×11 レセツシブビット) で RCAN-TL1 バスオフ状態を維持</p> <p>1: MCR6 がセットされると RCAN-TL1 はバスオフ状態のあと、ただちにホルトモードに入ります</p>
13~11	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は常に0にしてください。</p>
10~8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCAN-TL1 をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「19.7.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCAN-TL1 が通常動作時には使用できません。</p> <p>000: ノーマルモード</p> <p>001: リスンオンリモード (受信専用モード)</p> <p>010: セルフテストモード 1 (外部)</p> <p>011: セルフテストモード 2 (内部)</p> <p>100: ライトエラーカウンタ</p> <p>101: エラーパッシブモード</p> <p>110: 設定禁止</p> <p>111: 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCAN-TL1 は CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると RCAN-TL1 は自動的に CAN スリープモードを解除しません。</p> <p>RCAN-TL1 は、RCAN-TL1 をウェイクアップしたメッセージを格納できません。</p> <p>0: CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1: CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

ビット	ビット名	初期値	R/W	説明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされると直ちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラも直ちにエラーアクティブモードに復帰するので注意してください。</p> <p>0 : バスオフ時にホルトモードにはならず、復帰シーケンスが終了するのを待ちます</p> <p>1 : バスオフ時に MCR1 設定によるホルトモード遷移を有効にします</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効/無効にします。RCAN-TL1 がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2 つのエラ - カウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには 2 つの方法があります。</p> <ul style="list-style-type: none"> <li>• MCR5 ビットに 0 を書き込む</li> <li>• MCR7 が有効の場合、CAN バス上のドミナントビットを検出する</li> </ul> <p>自動スリープ解除モードが無効であれば、CAN スリープモードが終了するまで RCAN-TL1 はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-TL1 は CAN バス動作に入る前に 11 レセシブビットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-TL1 が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。詳細は「19.7.1 (3) CAN スリープモード」を参照してください。</p> <p>0 : CAN スリープモードが解除されています</p> <p>1 : CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN-TL1 は、最初にホルトモードに設定してから CAN スリープモードに遷移できます。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-TL1 はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはベンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。</p> <p>送信はメールボックス 31 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>本機能は、メールボックス 24~30 のタイムトリガ送信には使用できませんのでご注意ください。もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) ID 優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE = 1 の場合) + RTR ビット) を持ち、最初に送信されます。</p> <p>内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0: メッセージ ID 優先順に送信 1: メールボックス番号順 (メールボックス 31 → メールボックス 1) に送信</p>

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります(ここでCANバスからは切り離されます)。RCAN-TL1は本ビットがクリアされるまでホルトモードのままになります。</p> <p>ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態をCPUに通知するためのIRR0とGSR4を除き、ユーザレジスタ(メールボックスの内容およびTEC/RECを含みます)の内容は保持されます。</p> <p>CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCAN-TL1は1ビット時間内にホルトモードになります。MCR6がセットされていると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスが完了するまではホルトモードに入りません。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされていると、本ビットはRCAN-TL1がバスオフ状態に遷移するとすぐに自動的にセットされます。</p> <p>ホルトモード中、RCAN-TL1はバス動作に関係しないため、ビットタイミング設定を除きRCAN-TL1の構成を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-TL1は11レセシブビットが検出されるまで待ち、CANバスに参加します。</p> <p>0: ホルトモードリクエストをクリア 1: ホルトモード遷移リクエスト</p> <p>【注】1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってからか、(ソフトウェアまたはハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへのあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN-TL1 モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-TL1 コントローラはリセットルーチンに入り、内部ロジックを初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN-TL1 は再構成することができません。CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-TL1 モジュールは、11 レセシブビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにボーレートを適切な値にセットする必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-TL1 を構成する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : リセットモードリクエストをクリア            [ クリア条件 ] RCAN-TL1 をリセットした後に 0 が書き込まれたとき            1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0																		
アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32	コントロール0	
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM[17:16]	16/32	LAFMフィールド	
H*106+N*32	EXTID_LAFM[15:0]															16		
・ MCR15 (ID並べ替え) = 1																		
アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	IED	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H*102+N*32	EXTID[15:0]															16		
H*104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM[17:16]		16/32	LAFMフィールド
H*106+N*32	EXTID_LAFM[15:0]															16		

図 19.11 ID 並べ替え

## 19.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN-TL1 の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットは RCAN-TL1 がエラーパッシブ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は、GSR5 は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN-TL1 はエラーパッシブあるいはバスオフ状態ではありません [クリア条件] RCAN-TL1 がエラーアクティブ状態の間 1: RCAN-TL1 がエラーパッシブ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC 128 または REC 128 またはテストモードでエラーパッシブモード選択時
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-TL1 の状態をフルに反映するものではありません。RCAN-TL1 は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN-TL1 はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-TL1 がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-TL1 がバスオフへ遷移したとき

ビット	ビット名	初期値	R/W	説明
3	GSR3	1	R	リセットステータス RCAN-TL1 がリセット状態かどうかを示します。 0 : RCAN-TL1 はリセット状態ではありません 1 : RCAN-TL1 がリセット状態です [セット条件] RCAN-TL1 のソフトウェアまたはハードウェアリセットの後
2	GSR2	1	R	メッセージ送信中フラグ RCAN-TL1 がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー/オーバロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK は EOF の 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトレーションロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。 0 : RCAN-TL1 はバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない
1	GSR1	0	R	送信/受信ワーニングフラグ エラーワーニングを示すフラグです。 0 : [クリア条件] TEC < 96 かつ REC < 96 またはバスオフのとき 1 : [セット条件] 96 TEC < 256 または 96 REC < 256 のとき 【注】 REC は、バスオフ復帰シーケンスに必要な 11 レセツピットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。
0	GSR0	0	R	バスオフフラグ RCAN-TL1 がバスオフ状態であることを示します。 0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] TEC 256 (バスオフ状態)

### 19.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクオンタを以下のとおり定義します。

$$\text{タイムクオンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR0 格納値 + 1 の値です。 $f_{\text{clk}}$  は周辺クロック周波数です。

#### (1) BCR1

TSEG1 と TSEG2 の設定については表 19.5 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG1[3:0]				-	TSG2[2:0]			-	-	SJW[1:0]		-	-	-	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (= PRSEG + PHSEG1) を設定するために使用します。4~16 タイムクオンタが設定できます。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : PRSEG + PHSEG1 = 4 タイムクオンタ 0100 : PRSEG + PHSEG1 = 5 タイムクオンタ : : 1111 : PRSEG + PHSEG1 = 16 タイムクオンタ
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (= PRSEG2) を設定することに使用します。2~8 タイムクオンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2 = 2 タイムクオンタ (条件によっては設定禁止です。表 19.5 を参照してください)</p> <p>010 : PHSEG2 = 3 タイムクオンタ</p> <p>011 : PHSEG2 = 4 タイムクオンタ</p> <p>100 : PHSEG2 = 5 タイムクオンタ</p> <p>101 : PHSEG2 = 6 タイムクオンタ</p> <p>110 : PHSEG2 = 7 タイムクオンタ</p> <p>111 : PHSEG2 = 8 タイムクオンタ</p>
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅 = 1 タイムクオンタ</p> <p>01 : 同期ジャンプ幅 = 2 タイムクオンタ</p> <p>10 : 同期ジャンプ幅 = 3 タイムクオンタ</p> <p>11 : 同期ジャンプ幅 = 4 タイムクオンタ</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

## (2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	00000000	R/W	ポーレートプリスケアラ これらのビットは、1タイムクオンタに対応する周辺クロック数を設定します。  00000000 : 2×周辺クロック 00000001 : 4×周辺クロック 00000010 : 6×周辺クロック : 2×(レジスタ値+1)×周辺クロック 11111111 : 512×周辺クロック

- ビットコンフィギュレーションレジスタについて



図 19.12 1ビットタイムの構成

SYNC\_SEG : CAN バス上のノードの同期をするセグメント

(通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN-TL1 ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = f_{clk} / (2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1))$$

BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は上述の表から算出した値であって実際の設定値ではありません。前記ビットレート計算式のタイムセグメントの「+1」は SYNC\_SEG の 1 タイムクオンタであること

によります。

$f_{clk}$  = 周辺クロック

BCR 設定上の制約となる事項

$TSEG1 (Min.) > TSEG2 \quad SJW (Max.) \quad (SJW = 1 \sim 4)$

8  $TSEG1 + TSEG2 + 1 \leq 25$  タイムクオンタ ( $TSEG1 + TSEG2 + 1 = 7$  は不可)

$TSEG2 \leq 2$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 19.6 に示される設定値の範囲であれば、上述の制限事項を満たします。表 19.6 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 19.6 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1:  $f_{clk}$  が 32MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 11、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'A300、BCR0 には H'0001 をライトすることになります。

例 2:  $f_{clk}$  が 20MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

### 19.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し/書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	IRR15	0	R/W	<p>タイマコンペアマッチ割り込み 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 の設定値がサイクルタイムと一致すると (TCMR1=CYCTR)、本ビットがセットされます。</p> <p>0: TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
14	IRR14	0	R/W	<p>タイマコンペアマッチ割り込み 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCMR0 の設定値がローカルタイムと一致すると (TCMR0=TCNTR)、本ビットがセットされます。</p> <p>0: TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1: TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR0 がタイム値と一致 (TCMR0=TCNTR)</p>

ビット	ビット名	初期値	R/W	説明
13	IRR13	0	R/W	<p>タイマオーバーラン割り込み / Next_is_Gap 受信割り込み / メッセージエラー割り込み</p> <p>本割り込みは RCAN-TL1 のモードにより異なった意味を持ち、以下の状態を示します。</p> <ul style="list-style-type: none"> <li>• イベントトリガモード (テストモードを含む) で動作中、タイマ (TCNTR) オーバランが発生。</li> <li>• タイムトリガモード (テストモードを含む) で動作中、Next_is_Gap がセットされたタイムリファレンスメッセージを受信。</li> <li>• テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバーロード条件が発生しても、本ビットはセットされません。</li> </ul> <p>0: イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバランが発生していない  タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信していない  テストモードでメッセージエラーが発生していない  [クリア条件] 1 を書き込む</p> <p>1: [セット条件] イベントトリガモード (テストモードを含む) でタイマ (TCNTR) オーバランが発生し、H'FFFF から H'0000 に変化  タイムトリガモード (テストモードを含む) で Next_is_Gap 付きタイムリファレンスメッセージを受信  テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN-TL1 が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みを受け付けない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0: バスアイドル状態  [クリア条件] 1 を書き込む</p> <p>1: CAN バスアクティビティを CAN スリープモード中に検出  [セット条件] CAN スリープモード中に CRxn 上でドミナントへのビット状態変化を検出</p>

ビット	ビット名	初期値	R/W	説明
11	IRR11	0	R/W	<p>タイマコンペアマッチ割り込み 2</p> <p>タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 の設定値がサイクルタイムと一致すると (TCMR2=CYCTR)、本ビットがセットされます。</p> <p>0 : TCMR2 のタイマコンペアマッチが発生していない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : TCMR2 のタイマコンペアマッチが発生</p> <p>[セット条件] TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)</p>
10	IRR10	0	R/W	<p>スタートシステムマトリックス割り込み</p> <p>次のシステムマトリックスが開始したことを示します。CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信完了時に本ビットがセットされます。CMAI=0 の場合は、本割り込みはサイクルカウント (Basic Cycle) ごとにセットされます。</p> <p>0 : 新しいシステムマトリックスの先頭でない</p> <p>[クリア条件] 1 を書き込む</p> <p>1 : サイクルカウンタが 0 になった</p> <p>[セット条件]</p> <p>CMAI=B'1111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了</p>
9	IRR9	0	R	<p>メッセージオーバラン / オーバライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバラン) か上書き (オーバライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0 : メッセージオーバラン / オーバライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1 : オーバランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバライトされた</p> <p>[セット条件] 対応する PXPR または RFPR = 1 かつ MBIMR = 0 のときにメッセージを受信</p>

ビット	ビット名	初期値	R/W	説明
8	IRR8	0	R	<p>メールボックスエンプティ割り込みフラグ</p> <p>送信用に設定されたメッセージの1つが正常に送信(対応する TXACK フラグがセット)または送信アボート(送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット)されると、本ビットがセットされます。</p> <p>このときイベントトリガモードでは、対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。</p> <p>タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 24 ~ 30 の TXPR は送信完了後にクリアされません。</p> <p>実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1: メッセージが送信または送信アボート(送信キャンセル)され、次のメッセージの格納が可能となった(タイムトリガモードでは、メールボックス 24 ~ 30 はアボート時のみ次のメッセージを格納可能)</p> <p>[セット条件] TXACK または ABACK ビットがセットされたとき(対応する MBIMR = 0 の場合)</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム</p> <p>RCAN-TL1 がオーバーロードフレーム送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: [セット条件] オーバロード条件を検出</p>

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCAN-TL1 がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの TEC <math>\geq</math> 256、バスオフ復帰シーケンスの終了 (11 レセッシブビットを 128 回連続受信) またはバスオフから停止状態への遷移 (オートまたはマニュアル) が要因となります。</p> <p>本ビットは RCAN-TL1 がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードして、RCAN-TL1 がバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] TEC <math>\geq</math> 256 または 11 レセッシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-TL1 がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 送信 / 受信エラーによるエラーパッシブ状態</p> <p>[セット条件] TEC <math>\geq</math> 128 または REC <math>\geq</math> 128 またはエラーパッシブテストモードを使用</p>
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-TL1 がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む</p> <p>1 : 受信エラーによるエラーワーニング状態</p> <p>[セット条件] RCAN-TL1 がバスオフ状態以外で REC <math>\geq</math> 96</p>

ビット	ビット名	初期値	R/W	説明
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-TL1 がバスオフ状態でないときに送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む 1 : 送信エラーによるエラーワーニング状態</p> <p>[セット条件] TEC ≥ 96</p>
2	IRR2	0	R	<p>リモートフレーム受信割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RFPR のすべてのビットがクリア 1 : 少なくとも 1 つのリモートフレームリクエストが処理待ち状態</p> <p>[セット条件] 対応する MBIMR = 0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0 : [クリア条件] RXPR のすべてのビットがクリア 1 : データフレームを受信しメールボックスに格納した</p> <p>[セット条件] 対応する MBIMR = 0 のときデータを受信</p>

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ 下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> <li>ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移</li> <li>ホルトリクエスト (MCR1) の後、ホルトモードに遷移</li> <li>ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移</li> </ul> <p>本ビットがセットされた後 GSR をリードして、RCAN-TL1 の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5 の説明および図 19.17 を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-TL1 がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード / CAN スリープモードから送信 / 受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間 - TSEG2] ~ [1 ビット時間 × 2 - TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0 : [クリア条件] 1 を書き込む 1 : ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット / ホルト / CAN スリープモードへの遷移が完了</p>

### 19.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し / 書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	すべて 1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0 : 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1 : IRR の対応する割り込みをマスクする

### 19.4.6 送信エラーカウンタ (TEC) / 受信エラーカウンタ (REC)

TEC および REC は、読み出し / 条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信 / 受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の [1]、[2]、[3]、[4] に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き替え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0]=B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-TL1 をホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*															

【注】 \* MCR の TST[2:0]=B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 レセツピットを受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

## 19.5 RCAN-TL1 のメールボックスレジスタ

RCAN-TL1 のメールボックスレジスタについて説明します。RCAN-TL1 のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 19.7 に RCAN-TL1 のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 19.7 RCAN-TL1 のメールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'020	32
送信待ちレジスタ 0	TXPR0	H'022	-
		H'024	
		H'026	
送信キャンセルレジスタ 1	TXCR1	H'028	16 / 32
送信キャンセルレジスタ 0	TXCR0	H'02A	16
		H'02C	
		H'02E	
送信アクノリッジレジスタ 1	TXACK1	H'030	16 / 32
送信アクノリッジレジスタ 0	TXACK0	H'032	16
		H'034	
		H'036	
アボートアクノリッジレジスタ 1	ABACK1	H'038	16 / 32
アボートアクノリッジレジスタ 0	ABACK0	H'03A	16
		H'03C	
		H'03E	
データフレーム受信完了レジスタ 1	RXPR1	H'040	16 / 32
データフレーム受信完了レジスタ 0	RXPR0	H'042	16
		H'044	
		H'046	
リモートフレーム受信完了レジスタ 1	RFPR1	H'048	16 / 32
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	16
		H'04C	
		H'04E	
メールボックスインタラプトマスクレジスタ 1	MBIMR1	H'050	16 / 32
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	16
		H'054	
		H'056	
未読メッセージステータスレジスタ 1	UMSR1	H'058	16 / 32

レジスタ名	略称	アドレス	アクセスサイズ(ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	16
		H'05C	
		H'05E	

### 19.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

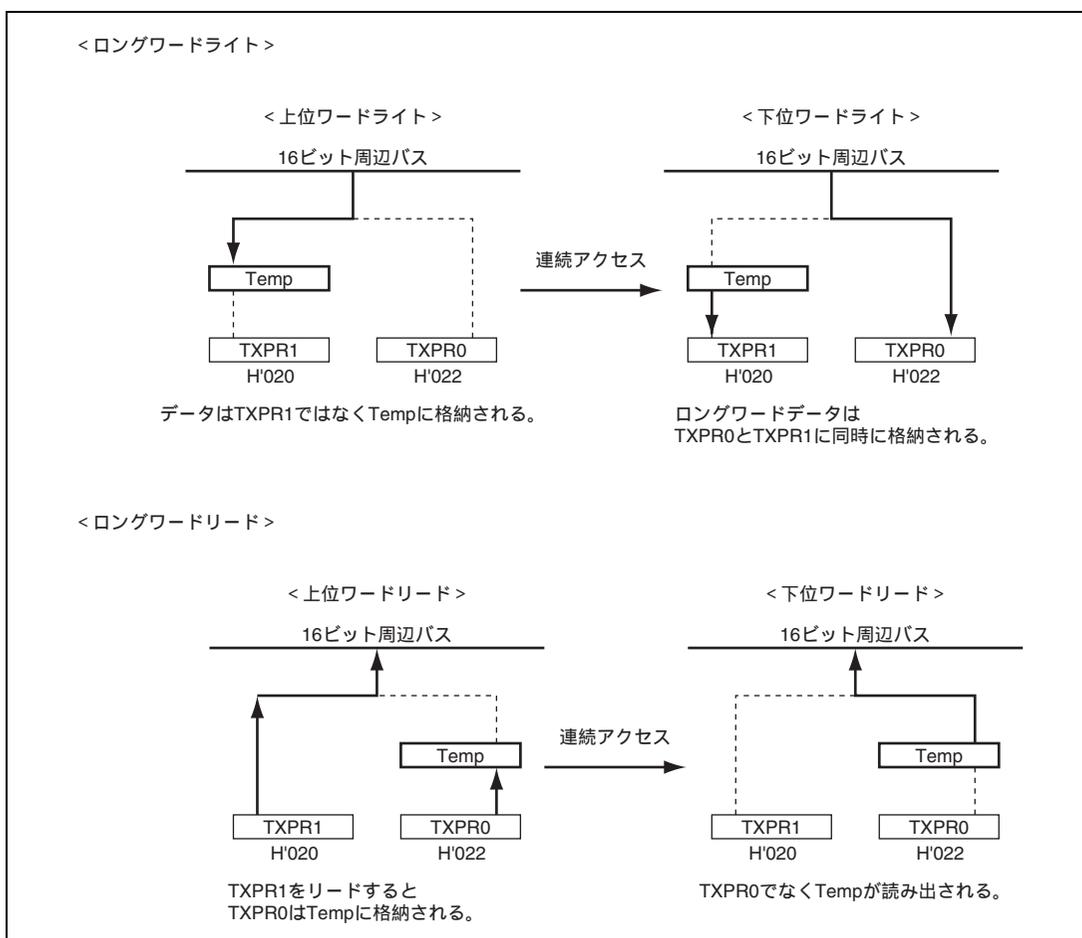


図 19.13 16 ビットバスインタフェース時のロングワードアクセス

TXPR1 レジスタはメールボックス 31~16 を制御し、TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

イベントトリガモードでは、メッセージが正常に送信された後または TXCR からの送信アボートが行われた後、RCAN-TL1 は対応する送信待ちフラグをクリアします。タイムトリガモードでは、プログラムされたサイクルカウント (Basic Cycle) ごとの送信を続けるため、メールボックス 30~24 の TXPR は送信完了後にクリアされません。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていないと、RCAN-TL1 は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「19.7 動作説明」を参照してください。

RCAN-TL1 が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き替えることができます。

#### (1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* 送信用に設定されたメールボックスに対応するビットには、1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXPR1[15:0]	H'0000	R/W	<p>対応するメールボックスに対して CAN フレーム送信をリクエストします。ビット 15~0 はメールボックス 31~16 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件]メッセージ送信終了(イベントトリガメッセージの場合)またはメッセージ送信アボート(自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>

## (2) TXPRO

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPRO[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 \* 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。  
TXPR1/TXPROのリード/ライトは、必ずロングワードアクセスで行ってください。

ビット	ビット名	初期値	R/W	説明
15~1	TXPRO[15:1]	H'0000	R/W	<p>対応するメールボックスにCANフレーム送信リクエストが発生していることを示します。ビット15~1はメールボックス15~1に対応しています。複数のビットがセットされた場合の送信順序は、MCR2ビットの設定によりメッセージID優先順またはメールボックス番号順に送信されます。</p> <p>0: 対応するメールボックスが送信メッセージアイドル状態 [クリア条件]メッセージ送信終了(イベントトリガメッセージの場合)またはメッセージ送信アポート(自動的にクリアされます)</p> <p>1: 対応するメールボックスに送信リクエストが発生</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視されます。読み出し値は0です。</p>

### 19.5.2 送信キャンセルレジスタ 1、0 (TXCR1、TXCR0)

TXCR1 と TXCR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、TXCR1 はメールボックス 31 ~ 16 を制御し、TXCR0 はメールボックス 15 ~ 1 を制御します。CPU は TXCR を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アポートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

#### (1) TXCR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXCR1[15:0]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~0 はメールボックス 31~16 (および TXPR1[15:0]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>

#### (2) TXCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 \* 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W	送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。  0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)  1: 対応するメールボックスに対して送信キャンセルを要求
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

### 19.5.3 送信アクノリッジレジスタ 1、0 (TXACK1、TXACK0)

TXACK1 と TXACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、RCAN-TL1 は TXACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK のビットをクリアすることができます。0 を書き込むと無視されます。

#### (1) TXACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	TXACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。  0: [クリア条件] 1 を書き込む  1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された  [セット条件] 対応するメールボックスのメッセージ送信が完了

#### (2) TXACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	-

【注】 \* ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

### 19.5.4 アポートアクノリッジレジスタ 1、0 (ABACK1、ABACK0)

ABACK1 と ABACK0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、RCAN-TL1 は ABACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-TL1 が ABACK のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

#### (1) ABACK1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	ABACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~0 はメールボックス 31~16 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル

#### (2) ABACK0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 \* ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスのメッセージ (データフレームまたはリモートフレーム) の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

### 19.5.5 データフレーム受信完了レジスタ 1、0 (RXPR1、RXPR0)

RXPR1 と RXPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

#### (1) RXPR1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR1[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 31~16 の受信用に設定されたメールボックスに対応します。 0 : [クリア条件] 1 を書き込む 1 : 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

## (2) RXPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

## 19.5.6 リモートフレーム受信完了レジスタ 1、0 (RFPR1、RFPR0)

RFPR1 と RFPR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効となります。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2 (リモートフレーム受信割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

## (1) RFPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR1[15:0]	H'0000	R/W	メールボックス 31~16 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

## (2) RFPR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15~0 のリモートリクエスト受信フラグです。 0: [クリア条件]1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

## 19.5.7 メールボックスインタラプトマスクレジスタ 1、0 (MBIMR1、MBIMR0)

MBIMR1 と MBIMR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。MBIMR は、メールボックスの動作に関連する IRR (IRR1: データフレーム受信割り込み、IRR2: リモートフレーム受信割り込み、IRR8: メールボックスエンプティ割り込み、IRR9: メッセージオーバーラン / オーバライト割り込み) をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ (IRR1、IRR2、IRR9) による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート (IRR8) による割り込みやメールボックスエンプティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アポートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。

## (1) MBIMR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR1[15:0]	H'FFFF	R/W	メールボックス 31 ~ 16 からの割り込み要求を許可 / 禁止します。 0: IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1: IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

## (2) MBIMR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15~0 からの割り込み要求を許可 / 禁止します。 0 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1 : IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

## 19.5.8 未読メッセージステータスレジスタ 1、0 (UMSR1、UMSR0)

UMSR1 と UMSR0 は、16 ビットの読み出し / 条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU/DMAC によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR または RFPR の対応するビットが CPU によってクリアされていないと、UMSR のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR のビットはセットされません。

## (1) UMSR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR1[15:0]	H'0000	R/W	メールボックス 31~16 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。 0 : [クリア条件] 1 を書き込む 1 : 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した [セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信

## (2) UMSR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 \* ビットをクリアするために1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/W	<p>メールボックス 15~0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した</p> <p>[セット条件] RXPR または RFPR がクリアされる前に新しいメッセージを受信</p>

## 19.6 タイマレジスタ

RCAN-TL1 のタイマは 16 ビットのタイマで、数種のクロックソースをサポートしています。プリスケールカウンタにより、クロックの速度を落とすことができます。また、3 個のコンペアマッチレジスタ (TCMR2、TCMR1、TCMR0) を備えています。アドレスマップを以下に示します。

【重要】タイマレジスタはすべてワード (16 ビット) アクセスのみ可能です。

表 19.8 RCAN-TL1 のタイマレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16
サイクルマキシマム / Tx_Enable_Window レジスタ	CMAX_TEW	H'084	16
リファレンストリガオフセットレジスタ	RFTR0FF	H'086	16
タイマステータスレジスタ	TSR	H'088	16
サイクルカウンタレジスタ	CCR	H'08A	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
リファレンスマークレジスタ	RFMK	H'094	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16
送信トリガタイムセレクトレジスタ	TTTSEL	H'0A4	16

## 19.6.1 タイムトリガコントロールレジスタ 0 (TTCR0)

TTCR0 は、16 ビットの読み出し / 書き込み可能なレジスタです。

タイマの動作を制御します。定周期送信や監視用レジスタの設定は、本レジスタを設定し、タイマを動作させてから行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-	-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TCR15	0	R/W	<p>タイマイネーブル</p> <p>本ビットをセットすると TCNTR は動作し、クリアすると TCNTR と CCR がクリアされます。</p> <p>0 : TCNTR と CCR をクリアし、動作停止</p> <p>1 : タイマ動作</p>
14	TCR14	0	R/W	<p>タイムスタンプ値</p> <p>メールボックス 15~0 の送信および受信用タイムスタンプとして、サイクルタイム (CYCTR) を使用するか CCR[5:0]+CYCTR[15:6]を使用するか指定します。本機能は、タイムトリガモードで Rx_Trigger をモニタするのに便利です。</p> <p>本レジスタはメールボックス 30 および 31 のタイムスタンプには影響しません。</p> <p>0 : メールボックス 15~0 のタイムスタンプに CYCTR[15:0]を使用</p> <p>1 : メールボックス 15~0 のタイムスタンプに CCR[5:0]+CYCTR[15:6]を使用</p>
13	TCR13	0	R/W	<p>TCMR2 によるキャンセル</p> <p>本ビットおよびビット 12 がセットされた状態で、RCAN-TL1 がホルトモード以外でコンペアマッチが発生したときに、当該 TXPR ビットに対応するすべての TXCR ビットを自動セットします。それにより送信キュー内のメッセージをキャンセルします。</p> <p>0 : TCMR2 のコンペアマッチによる送信キャンセル禁止</p> <p>1 : TCMR2 のコンペアマッチによる送信キャンセル許可</p>
12	TCR12	0	R/W	<p>コンペアマッチイネーブル</p> <p>本ビットをセットすると TCMR2 のコンペアマッチで IRR11 がセットされます。</p> <p>0 : TCMR2 のコンペアマッチで IRR11 がセットされない</p> <p>1 : TCMR2 のコンペアマッチで IRR11 がセットされる</p>

ビット	ビット名	初期値	R/W	説明
11	TCR11	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR1 のコンペアマッチで IRR15 がセットされます。 0 : TCMR1 のコンペアマッチで IRR15 がセットされない 1 : TCMR1 のコンペアマッチで IRR15 がセットされる
10	TCR10	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR0 のコンペアマッチで IRR14 がセットされます。 0 : TCMR0 のコンペアマッチで IRR14 がセットされない 1 : TCMR0 のコンペアマッチで IRR14 がセットされる
9~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6	TCR6	0	R/W	TCMR0 によるタイムクリア制御 TCNTR が TCMR0 と一致したときにタイマを H'0000 にクリアするか指定します。また、TCMR0 は IRR14 により CPU に対して割り込み信号を発生することもできます。 【注】RCAN-TL1 が TTCAN モードで動作中(CMAX≠B'111)は、本ビットを 0 に設定しローカルタイムがクリアされないようにしてください。 0 : TCMR0 でタイムクリアしない 1 : TCMR0 でタイムクリア
5~0	TPSC5~ TPSC0	すべて 0	R/W	タイムプリスケアラ 本ビットの設定により、タイマのソースクロック (4×[RCAN-TL1 のシステムクロック]) を分周して使用することができます。プリスケアラはイベントトリガモードでのみ有効です。TTCAN モードで (CMAX≠B'111) は、自動的に 1 ビットタイミング (=CAN バス上の 1 ビット長) が TCNTR のソースクロックとして選択されます。 ソースクロック周期とタイマ周期の関係を以下に示します。 000000 : 1X ソースクロック 000001 : 2X ソースクロック 000010 : 3X ソースクロック 000011 : 4X ソースクロック 000100 : 5X ソースクロック : 111111 : 64X ソースクロック

## 19.6.2 サイクルマキシマム / Tx\_Enable\_Window レジスタ (CMAX\_TEW)

CMAX\_TEW は、16 ビットの読み出し / 書き込み可能なレジスタです。

CMAX はタイムトリガ送信用のサイクルカウンタ (CCR) の最大値を指定し、これによりシステムマトリックスのサイクルカウント数 (Basic Cycle) が設定されます。サイクルカウンタが最大値になると (CCR=CMAX)、1 サイクルカウント後にサイクルカウンタは 0 にクリアされ、IRR10 割り込みが発生します。

TEW は Tx\_Enable\_Window 幅を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMAX[2:0]			-	-	-	-	TEW[3:0]			
初期値:	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10~8	CMAX[2:0]	111	R/W	サイクルカウンタ最大値 CCR の最大値を示します。 サイクルカウンタ最大値 = $2^{CMAX} - 1$ (CMAX = レジスタ値) タイムトリガ送信用のマトリックスサイクル内で可能なサイクルカウント数は、(サイクルカウンタ最大値 + 1) となります。 CMAX = B'111 設定時、RCAN-TL1 はタイムトリガモードであり、タイムトリガ機能を使用できます。 CMAX = B'111 設定時、RCAN-TL1 はイベントトリガモードです。 000 : サイクルカウンタ最大値 = 0 001 : サイクルカウンタ最大値 = 1 010 : サイクルカウンタ最大値 = 3 011 : サイクルカウンタ最大値 = 7 100 : サイクルカウンタ最大値 = 15 101 : サイクルカウンタ最大値 = 31 110 : サイクルカウンタ最大値 = 63 111 : RCAN-TL1 はイベントトリガモード (CCR はクリア) 【注】 イベントトリガモードを使用する場合は、CMAX=B'111 に設定してください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	TEW[3:0]	0000	R/W	<p>Tx_Enable_Window</p> <p>Tx_Enable_Window 幅を設定します。</p> <p>TEW=B'0000 のとき、ウィンドウ幅は 1 ビットタイミングとなります。</p> <p>B'0000 ~ B'1111 のすべての値を設定することができます。</p> <p>0000 : Tx_Enable_Window 幅=1</p> <p>0001 : Tx_Enable_Window 幅=2</p> <p>0010 : Tx_Enable_Window 幅=3</p> <p>0011 : Tx_Enable_Window 幅=4</p> <p>：</p> <p>1111 : Tx_Enable_Window 幅=16</p> <p>【注】RCAN-TL1 の CAN データリンクコントローラは、送信リクエストから送信を開始するのに常に CAN バス 1~2 ビットタイミングを必要とします。したがって、上記の値はこの精度を考慮していません。</p>

### 19.6.3 リファレンストリガオフセットレジスタ (RFTROFF)

RFTROFF は、8 ビットの読み出し/書き込み可能なレジスタです。

メールボックス 30 の送信トリガタイム (TTT) に -127 ~ +127 までオフセットを設定することができます。メールボックス 30 の TTT は、RFTROFF レジスタ値の符号拡張値を付加した後、CYCTR と比較されます。

ただし、TTT の値は変更されません。本オフセット値はメールボックス 30 にのみ影響します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTROFF[7:0]								-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	RFTROFF [7:0]	すべて 0	R/W	<p>リファレンストリガオフセット値を示します。</p> <p>00000000 : ref_trigger_offset =+0</p> <p>00000001 : ref_trigger_offset =+1</p> <p>00000010 : ref_trigger_offset =+2</p> <p>：</p> <p>01111111 : ref_trigger_offset =+127</p> <p>：</p> <p>11111111 : ref_trigger_offset =-1</p> <p>11111110 : ref_trigger_offset =-2</p> <p>：</p> <p>10000001 : ref_trigger_offset =-127</p>
7~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

## 19.6.4 タイマステータスレジスタ (TSR)

TSR は、16 ビットの読み出し専用レジスタで、これにより CPU はタイマコンペアマッチ状態およびタイマオーバラン状態を監視することができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	TSR4	0	R*	スタートシステムマトリックス 次のシステムマトリックスが開始したことを示します。 CCR=0 のとき、本ビットはタイムリファレンスメッセージの送信 / 受信完了時にセットされます。 0 : 次のシステムマトリックスの先頭でない [クリア条件] IRR10 (サイクルカウンタオーバーフロー割り込みフラグ) に 1 を書き込む 1 : サイクルカウンタが 0 になった [セット条件] サイクルカウンタの値が最大値 (CMAX) から H'0 に変化 CMAX=B'111 かつ CCR=0 のとき、タイムリファレンスメッセージの送信 / 受信が完了
3	TSR3	0	R*	タイマコンペアマッチフラグ 2 タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチが発生したことを示します。TCMR2 に設定した値がサイクルタイムレジスタと一致 (TCMR2=CYCTR) したとき、TTCR0 のビット 12 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR11 (タイマコンペアマッチ割り込み 2 フラグ) がクリアされるとクリアされます。 0 : TCMR2 のタイマコンペアマッチが発生していない [クリア条件] IRR11 (タイマコンペアマッチ割り込み 2 フラグ) に 1 を書き込む 1 : TCMR2 のタイマコンペアマッチが発生 [セット条件] TTCR0 のビット 12 が 1 のとき TCMR2 がサイクルタイムと一致 (TCMR2=CYCTR)

ビット	ビット名	初期値	R/W	説明
2	TSR2	0	R*	<p>タイマコンペアマッチフラグ 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチが発生したことを示します。TCMR1 に設定した値がサイクルタイムレジスタと一致 (TCMR1=CYCTR) したとき、TTCR0 のビット 11 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR15 (タイマコンペアマッチ割り込み 1 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR1 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR15 (タイマコンペアマッチ割り込み 1 フラグ) に 1 を書き込む</p> <p>1 : TCMR1 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 11 が 1 のとき TCMR1 がサイクルタイムと一致 (TCMR1=CYCTR)</p>
1	TSR1	0	R*	<p>タイマコンペアマッチフラグ 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチが発生したことを示します。TCM02 に設定した値がタイマ値と一致 (TCMR0=TCNTR) したとき、TTCR0 のビット 10 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR14 (タイマコンペアマッチ割り込み 0 フラグ) がクリアされるとクリアされます。</p> <p>0 : TCMR0 のタイマコンペアマッチが発生していない</p> <p>[クリア条件]</p> <p>IRR14 (タイマコンペアマッチ割り込み 0 フラグ) に 1 を書き込む</p> <p>1 : TCMR0 のタイマコンペアマッチが発生</p> <p>[セット条件]</p> <p>TTCR0 のビット 10 が 1 のとき TCMR0 がタイマ値と一致 (TCMR0=TCNTR)</p>

ビット	ビット名	初期値	R/W	説明
0	TSR0	0	R*	<p>タイマオーバーラン / Next_is_Gap 受信 / メッセージエラー</p> <p>本フラグは 3 つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバーランが発生、タイムトリガモードで動作中に Next_is_Gap がセットされたタイムリファレンスメッセージを受信、およびテストモード中に CAN バス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。</p> <p>0 : イベントトリガモードでタイマ(TCNTR)オーバーランが発生していない タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] IRR13 に 1 を書き込む</p> <p>1 : [セット条件] イベントトリガモードでタイマ (TCNTR) オーバーランが発生し、H'FFFF から H'0000 に変化 タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生</p>

【注】 \* 本ビットは読み出し専用で、CPU はサイクルカウンタ、タイマ、およびコンペアマッチレジスタの状態を監視することができます。本ビットに対する書き込みは無効です。

### 19.6.5 サイクルカウンタレジスタ (CCR)

CCR は、6 ビットの読み出し / 書き込み可能なレジスタです。

タイムトリガ送信のサイクルカウント値 (Basic Cycle) を表示するためのレジスタです。

CCR の値は、RCAN-TL1 がポテンシャルタイムマスタとして動作するか、タイムスレーブとして動作するかにより、更新方法が変わります。CCR は以下のように更新されます。

RCAN-TL1 がタイムマスタ (ポテンシャル) として動作する場合 :

- サイクルタイム (CYCTR) がメールボックス30の送信トリガタイムと一致するたびに+1増加
- または

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG\_DATA\_0[5:0]の値を上書き

RCAN-TL1 がタイムスレーブとして動作する場合 :

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG\_DATA\_0[5:0]の値を上書き

CMAx=B'111 かつ TTCR0[15]=0 の場合 :

- CCRの値は常にB'000000

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	CCR[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
5~0	CCR[5:0]	すべて0	R/W	サイクルカウンタレジスタ タイムトリガ送信用マトリックスサイクルの現在のサイクルカウント数を示します。

### 19.6.6 タイマカウンタレジスタ (TCNTR)

TCNTR は、16 ビットの読み出し / 書き込み可能なレジスタです。

TCNTR はフリーランニングタイマカウンタです。TTCR0[15]=1 に設定することでタイマがカウントします。

タイマカウンタのプリスケアラは、RCAN-TL1 のトリガモードにより変わります。

- イベントトリガモード時 (C<sub>MAX</sub> = B'111) : TTCR0[5:0]のTPSC値
- タイムトリガモード時 (C<sub>MAX</sub> = B'111) : CANバス1ビットタイミング

TTCR0[6]=1 を設定時、TCNTR の値がタイマコンペアマッチレジスタα (TCMR0) と一致すると、TCNTR は H'0000 にクリアされカウントアップします。

タイムトリガモードでは、TCNTR はローカルタイム (Local time) として使用します。したがって、TTCR0[6]=0 に設定してフリーランニングタイマとして動作させます。

- 【注】
1. TTCR0[15]=0 の場合、TCNTR は常に H'0000 です。
  2. タイマをイネーブル設定 (TTCR0[15]=1) してから TCNTR がカウントを開始するまで、数クロックサイクルの遅延があります。これはプリスケアラの内部論理に起因するものです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

- 【注】 \* 本レジスタへの書き込みは、タイマイネーブル設定 (TTCR0[15]=1) されたときのみ可能です。  
タイムトリガモード (C<sub>MAX</sub> が B'111 以外) では、書き込みは禁止です。

ビット	ビット名	初期値	R/W	説明
15~0	TCNTR[15:0]	H'0000	R/W	フリーランニングタイマの値を示します。

### 19.6.7 サイクルタイムレジスタ (CYCTR)

CYCTR は、サイクルタイムを示す 16 ビットの読み出し専用レジスタです。

$Cycle\_Time (CYCTR) = Local\_Time (TCNTR) - Reference\_Mark (RFMK)$

イベントトリガモードでは、RFMK は 0 に固定されるので本レジスタは TCNTR のコピーとなります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CYCTR[15:0]	H'0000	R	サイクルタイムを示します。

### 19.6.8 リファレンスマークレジスタ (RFMK)

RFMK は、16 ビットの読み出し専用レジスタです。リファレンスメッセージが正常に送信または受信されたときに、リファレンスメッセージの SOF におけるローカルタイム (TCNTR) をキャプチャするためのレジスタです。イベントトリガモードでは本レジスタは使用せず、常に 0 にクリアされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMK[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	RFMK[15:0]	H'0000	R	リファレンスマークレジスタ タイムリファレンスメッセージの SOF における TCNTR の値を示します。

### 19.6.9 タイムコンペアマッチレジスタ 0~2 (TCMR0~2)

TCMR0~2 は、16 ビットの読み出し / 書き込み可能なレジスタです。

割り込み信号の発生、タイム値のクリア (TCMR0 のみサポート)、送信リクエストのクリア (TCMR2 のみサポート) を行うことが可能です。

TCMR0 は TCNTR と比較し、TCMR1 と TCMR2 は CYCTR と比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0 のビット 12~10 をセットする必要があります。タイムトリガモードでは、TCMR0 は Init\_Watch\_Trigger、TCMR2 は Watch\_Trigger に使用します。

## (1) 割り込み機能

各レジスタの割り込みフラグは、TTCR0 のビット 12、ビット 11、ビット 10 を設定することで許可します。

コンペアマッチが発生すると、IRR の対応する割り込みフラグ (ビット 11、ビット 15、ビット 14) をセットします。

割り込み信号の発生は、IMR のビット 11、ビット 15、ビット 14 で抑止することができます。

コンペアマッチ発生時に IRR11 (または IRR15 か IRR14) がセットされると、タイムステータスレジスタ (TSR) のビット 3、ビット 2、またはビット 1 もセットされます。また、IRR のビットをクリアすると、対応する TSR のビットもクリアされます。

## (2) タイマクリア機能

TCMR0 のみコンペアマッチによるタイマ値 (TCNTR) のクリア機能があります。TTCR0[6]=1 設定時に有効です。TCMR1 と TCMR2 には本機能はありません。

## (3) 送信リクエストされたメッセージのキャンセル機能

TCMR2 は、TTCR0[13:12]=B'11 設定時に、ホルトモード以外で TCMR2 のコンペアマッチ発生時に TXPR 設定に対応する TXCR 設定を行います。したがって、送信中のメッセージを除き、送信待ちリクエストをキャンセルします。

TCMR1 と TCMR0 には本機能はありません。

## • TCMR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR0[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR0[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の TCNTR の値を示します。

## • TCMR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR1[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR1 [15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

- TCMR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR2[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR2[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

### 19.6.10 送信トリガタイムセレクトレジスタ (TTTSEL)

TTTSEL は、16 ビットの読み出し/書き込み可能なレジスタで、サイクルタイムとコンペアマッチさせる送信トリガタイムを指定します。1 ビットのみセットできます。複数のビットをセットしないでください。またはすべてのビットをクリアしてください。本レジスタは、コンフィギュレーションモードでのみ変更することができます。変更時のアルゴリズムを図 19.14 に示します。

TTTSEL はテストおよび診断専用です。通常動作時は書き込まないでください。また、読み出し値は保証されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TTTSEL[14:8]								-	-	-	-	-	-	-
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 1 ビットのみセット可能。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
14~8	TTTSEL [14:8]	B'1000000	R/W	CYCTR とコンペアマッチさせる送信トリガタイムを指定します。ビット 14~8 は、メールボックス 30~24 に対応しています。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

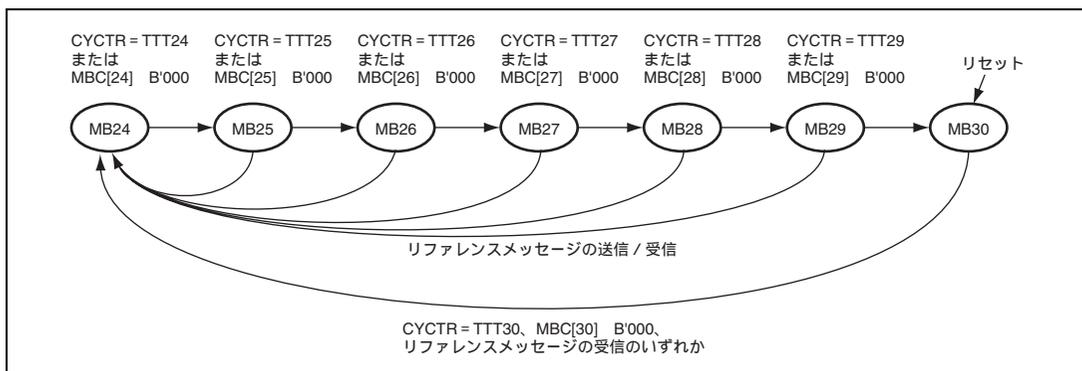


図 19.14 TTTSEL 変更アルゴリズム

## 19.7 動作説明

### 19.7.1 RCAN-TL1 の設定

ハードウェアリセット (パワーオンリセット) またはソフトウェアリセット (MCR0) 後のコンフィギュレーションモードおよびホルトモード時の RCAN-TL1 の設定について説明します。どちらの場合も RCAN-TL1 は CAN バスアクティビティに参加できません。また、RCAN-TL1 の設定の変更が CAN バス上の通信に影響を与えることはありません。

#### (1) リセットシーケンス

図 19.15 にソフトウェアリセットまたはハードウェアリセット後の RCAN-TL1 の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-TL1 を設定する必要があります。詳細については図中の注を参照してください。

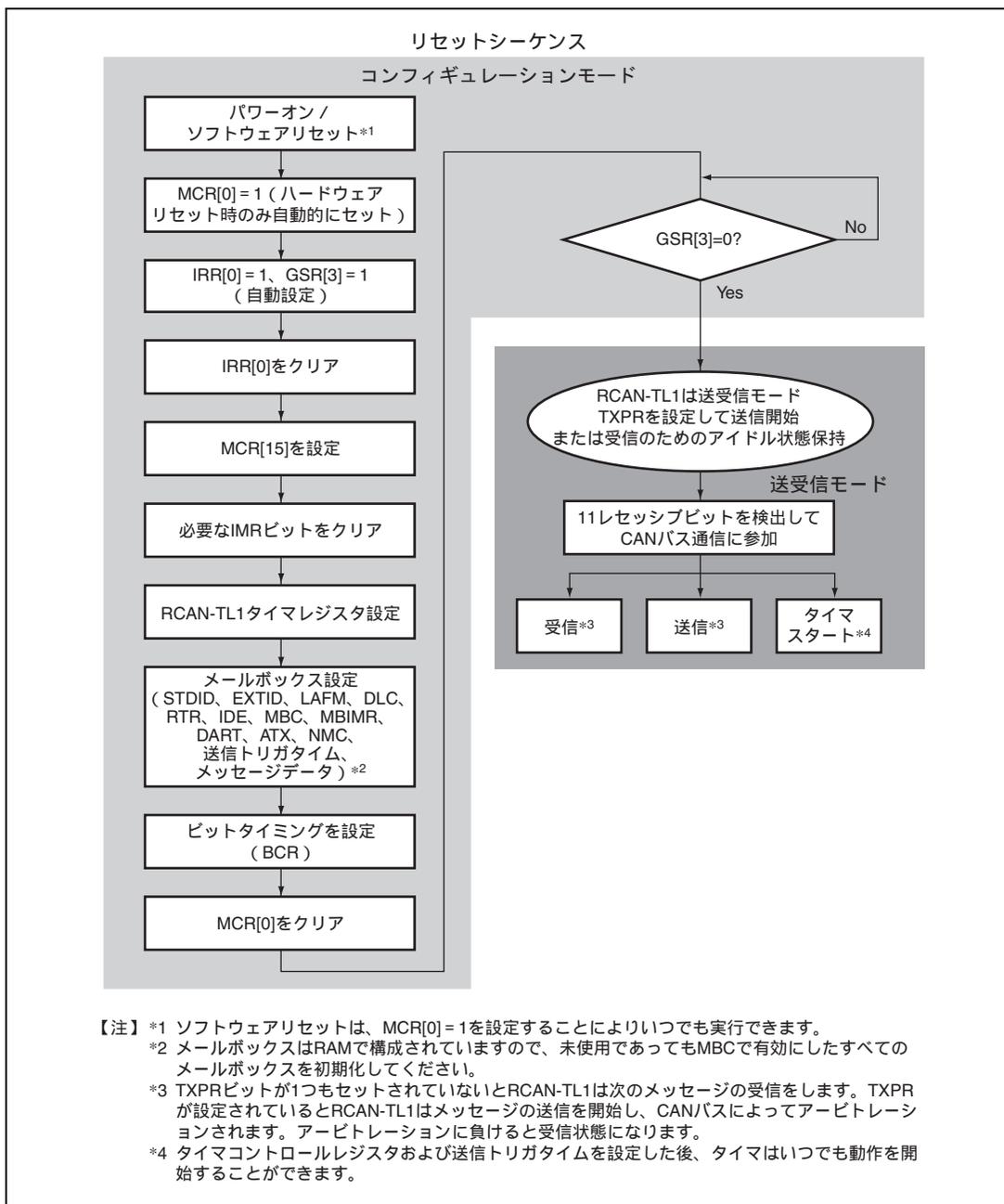


図 19.15 リセットシーケンス

## (2) ホルトモード

RCAN-TL1 はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えずに必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN-TL1 がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません (CAN バスがアイドルまたは休止状態のときに遷移します)。

RCAN-TL1 がホルトモードに遷移すると GSR4 ビットがセットされます。

レジスタ設定終了後はホルトリクエストを解除する必要があります。ホルトリクエスト解除後 (MCR1=0 か GSR4=0) に RCAN-TL1 は CAN バス上で 11 レセッシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN-TL1 の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 19.16 に RCAN-TL1 の CAN スリープモードのフローチャートを示します。

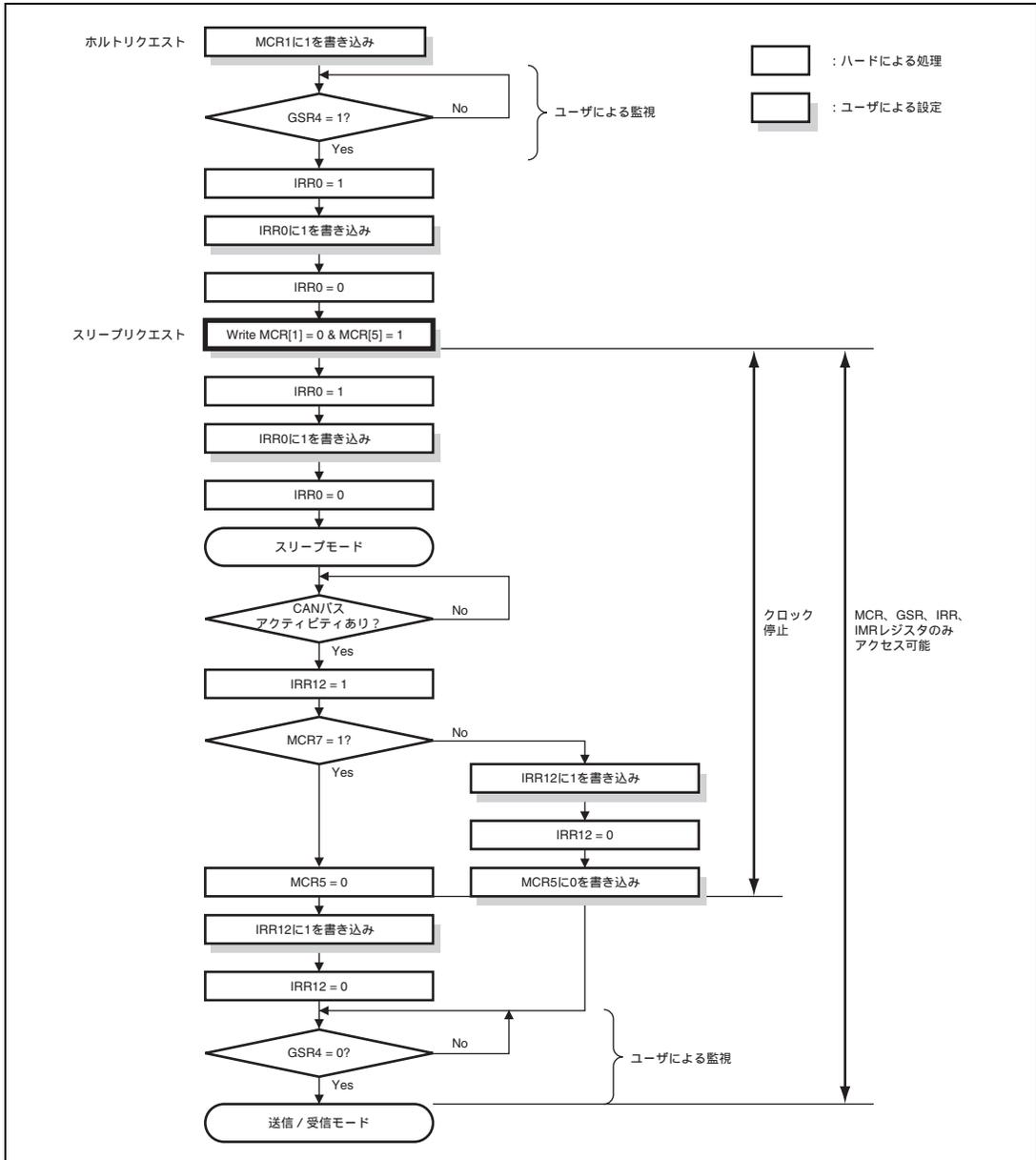


図 19.16 CAN スリープモードのフローチャート

図 19.17 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前に必ず GSR4 のセットを確認して RCAN-TL1 をホルトモードにしてください。

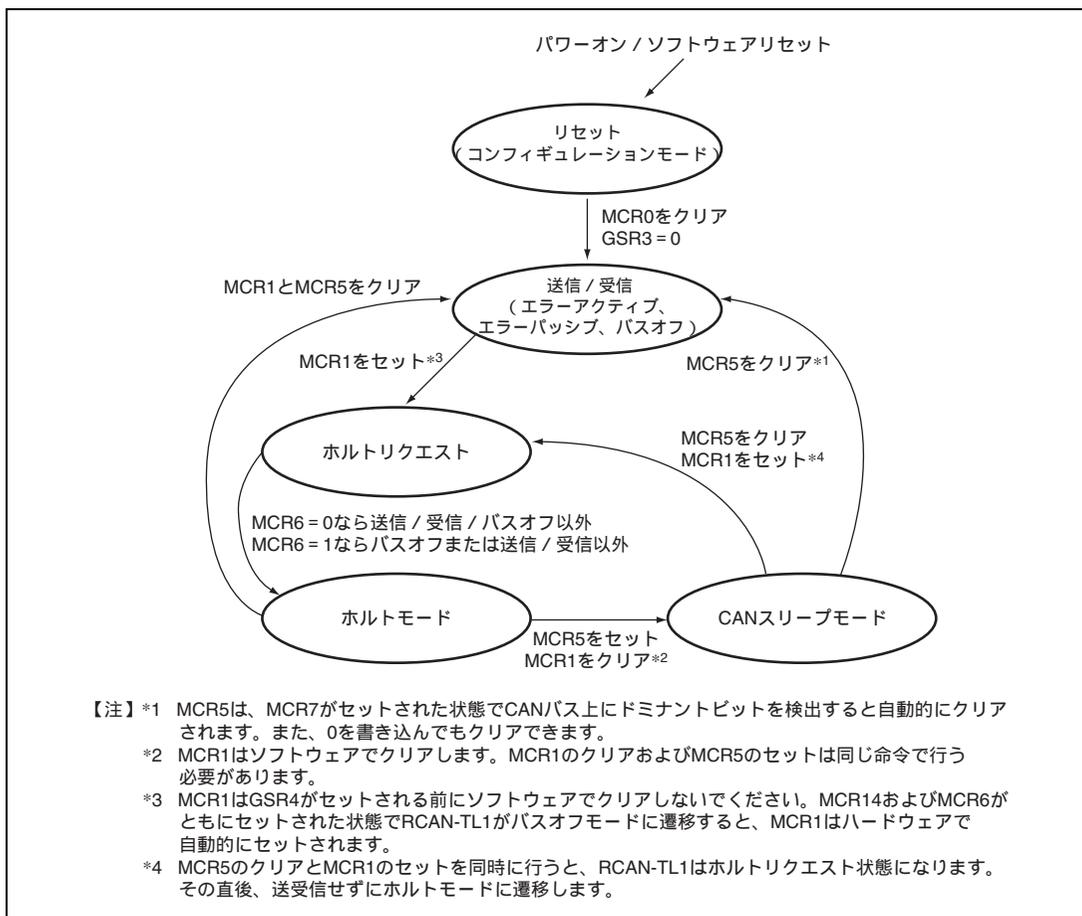


図 19.17 状態遷移図

各モードでのアクセスを許可する条件を表 19.9 に示します。

表 19.9 アクセス可能なレジスタ

ステータス モード	レジスタ											
	MCR、 GSR	IRR、 IMR	BCR	MBIMR タイマ TT レジ スタ	フラグ レジスタ	メール ボックス (コント ロール0、 LAFM)		メール ボックス (データ)		メール ボックス (コント ロール1)		メール ボックス (トリガ タイム、 TT コント ロール)
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes		Yes		Yes
送信 / 受信	Yes	Yes	No	Yes	Yes	No	Yes *	Yes*		No	Yes *	Yes*
ホルト リクエスト	Yes	Yes	No	Yes	Yes	No	Yes *	Yes*		No	Yes *	Yes*
ホルト モード	Yes	Yes	No	Yes	Yes	Yes		Yes		Yes		Yes
CAN スリープ モード	Yes	Yes	No	No	No	No		No		No		No

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 \* TXPR0 がセットされていない場合

### 19.7.2 テストモードの設定

RCAN-TL1には種々のテストモードがあります。テストモードの選択はMCRレジスタのTST[2:0]ビットで行います。RCAN-TL1は、デフォルト（初期値）ではノーマルモードで動作します。

表 19.10 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除（BCR0/BCR1が設定されていることを確認）してください。

表 19.10 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード（受信専用モード）
0	1	0	セルフテストモード1（外部）
0	1	1	セルフテストモード2（内部）
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

RCAN-TL1は通常の動作をします。

- リスンオンリモード

ボーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTxn（n=0、1）出力を禁止し、RCAN-TL1によるエラーフレームやアクノリッジビットの生成を抑制します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード（外部）

RCAN-TL1自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-TL1の受信メールボックスに格納します。CRxn/CTxn（n=0、1）端子は必ずCANバスに接続してください。

- セルフテストモード（内部）

RCAN-TL1自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-TL1の受信メールボックスに格納します。内部CTxn（n=0、1）が内部CRxn（n=0、1）にループバックされるため、CRxn/CTxn（n=0、1）端子はCANバスその他の外部デバイスに接続する必要はありません。CTxn（n=0、1）端子はレセツピビットのみ出力し、CRxn（n=0、1）端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-TL1を強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込

まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-TL1を強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際はRCAN-TL1がホルトモードでなければなりません(エラーカウンタ書き込み時にMCR1=1)。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

RCAN-TL1は強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-TL1はバスオフ状態になりますが、本モードを使用するとRCAN-TL1はエラーアクティブになることができません。したがってRCAN-TL1はバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

### 19.7.3 メッセージ送信シーケンス

#### (1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスの例を図 19.18 に示します。

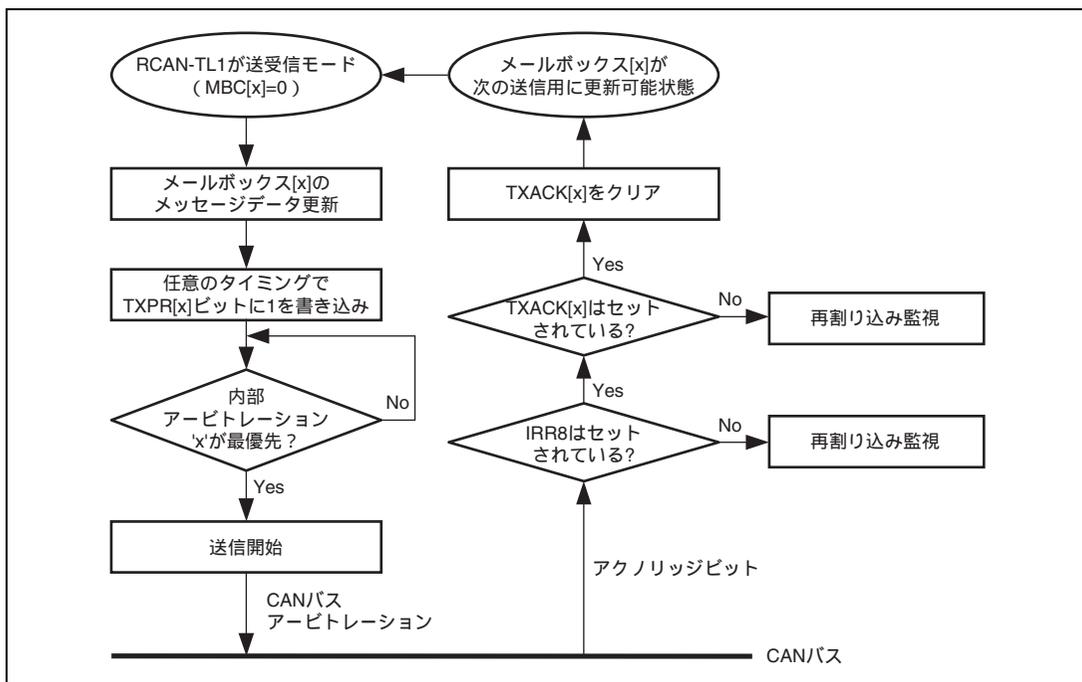


図 19.18 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない(すべての TXPR フラグがセットされていない)ことを示しています。

#### (2) 送信用内部アービトレーション

図 19.19 は、RCAN-TL1 がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

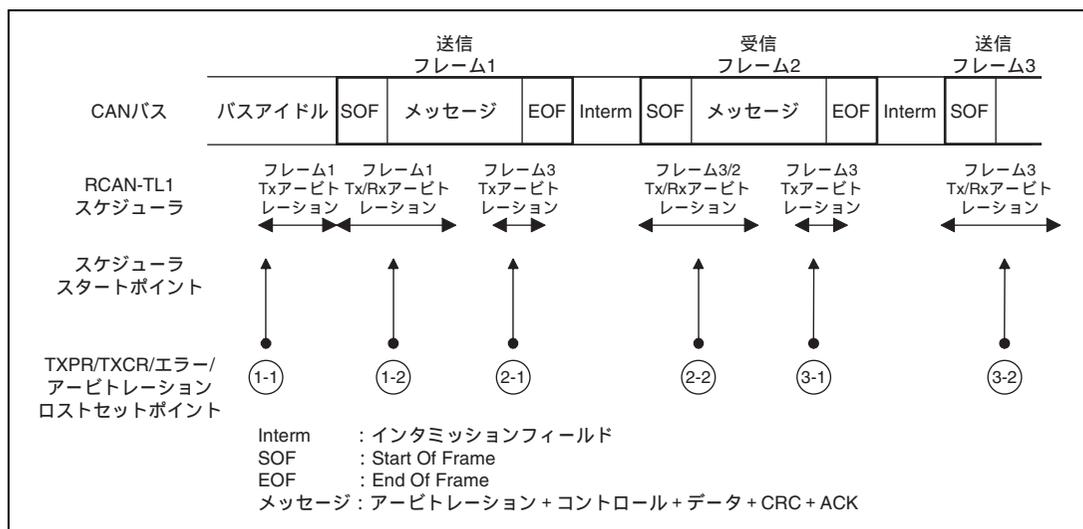


図 19.19 送信用内部アービトレーション

- 1-1 : CAN バスがアイドル状態のとき TXPR ビットがセットされると、直ちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-TL1 は送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-TL1 は受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-TL1 は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションは CRC のデリミタで行われるため、ATX = 1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

### (3) タイムトリガ送信

RCAN-TL1 は、ISO-11898-4 TTCAN Level 1 の仕様に準拠したタイムトリガモード通信を、ハードウェアでサポートしています。

ここでは、タイムトリガモードを使用するための基本的な手順を記します。

- タイムトリガモードの設定

タイムトリガモードをセットアップするには以下の設定が必要です。

- CMAX\_TEWのCMAXをB'111以外の値に設定
- TTCR0のビット15をセットし、TCNTRの動作を開始
- コンペアマッチでTCNTRがクリアされないように、TTCR0のビット6をクリア
- タイムトリガ送信をするメールボックスのTXPRは、定周期送信を行うためにクリアされません。

- 各レジスタの役割

RCAN-TL1 のユーザレジスタを使用して、TTCAN 規格が要求する主な機能を扱うことができます。

TCNTR	Local_Time
RFMK	Ref_Mark
CYCTR	サイクルタイム = TCNTR - RFMK
RFTROFF	メールボックス 30 の Ref_Trigger_Offset
メールボックス 31	タイムリファレンスメッセージ専用受信メールボックス
メールボックス 30	タイムリファレンスメッセージ専用送信メールボックス (ポテンシャルタイムマスタとして動作する場合)
メールボックス 29~24	タイムトリガ送信対応のメールボックス
メールボックス 23~16	タイムスタンプなしの受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
メールボックス 15~0	タイムスタンプ付き受信対応のメールボックス (イベントトリガ送信用メールボックスとして使用することもできます。)
Tx-Trigger Time	メッセージを送信するタイミングを指定する Time_Mark
CMAX	ポテンシャルタイムマスタとして動作する場合のサイクルカウント数(Basic Cycle) の最大値を指定
TEW	Tx_Enable_Window 幅を指定
TCMR0	Init_Watch_Trigger (ローカルタイムとコンペアマッチ)
TCMR1	ユーザ指定イベント監視用にサイクルタイムとコンペアマッチ
TCMR2	Watch_Trigger (サイクルタイムとコンペアマッチ) 待ち状態にある送信をすべてアボートするように設定することができます。
TTW	送信に使用するタイムウィンドウの属性を指定
TTTSEL	次の送信待ちメールボックスを指定

- タイムマスタ/タイムスレーブ

RCAN-TL1 は、ネットワークのポテンシャルタイムマスタまたはタイムスレーブとして動作するように設定することができます。各モードに必要な設定と RCAN-TL1 が自動的に行う処理を下記の表に示します。

モード	設定	機能
タイムスレーブ	TXPR[30]=0 & MBC[30]≠ B'000 & CMAX≠B'111 & MBC[31]=B'011	CAN バス上で SOF が検出されるたびに TCNTR をサンプリングし、内部レジスタに格納します。メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、TCNTR の値(SOF で格納)を Ref_Mark (RFMK) にコピーします。受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーします。 Next_is_Gap=1 ならば IRR13 をセットします。
(ポテンシャル) タイムマスタ	TXPR[30]=1 & MBC[30]=B'000 & DLC[30]>0 & CMAX≠B'111 & MBC[31]=B'011	以下の 2 つの場合があります。 (1)メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。受信したリファレンスメッセージのサイクルカウンタ値 (CCR) を自ノードのサイクルカウンタレジスタ (CCR) にコピーし、Next_is_Gap=1 ならば IRR13 をセットします。 (2)メールボックス 30 からタイムリファレンスメッセージが送信されると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark (RFMK) にコピーします。メールボックス 30 の TTT が CYCTR に一致するとサイクルカウンタ (CCR) をインクリメントします。 サイクルカウンタ (CCR) はタイムリファレンスメッセージの最初のデータバイト (Data0[7:6]、CCR[5:0]) に組み込まれます。

- 送信トリガタイムの設定

送信トリガタイム (TTT) は、以下に示すように昇順に設定してください。TTT 間の差分は、次の式を満たす必要があります。式中の TEW はレジスタ値です。

$$\begin{aligned} & \text{TTT (メールボックス 24)} < \text{TTT (メールボックス 25)} < \text{TTT (メールボックス 26)} < \\ & \text{TTT (メールボックス 27)} < \text{TTT (メールボックス 28)} < \text{TTT (メールボックス 29)} < \\ & \text{TTT (メールボックス 30)} \end{aligned}$$

かつ

$$\text{TTT (メールボックス } i) - \text{TTT (メールボックス } i-1) > \text{TEW} + \text{最大フレーム長} + 9$$

ポテンシャルタイムマスタとして動作する場合、TTT (メールボックス 24) ~ TTT (メールボックス 29) は Time\_Mark に、TTT (メールボックス 30) は Basic\_Cycle length を示す Time\_Ref に対応しています。

上記の制約は、タイムトリガ送信に設定されたメールボックスにのみ適用されます。

【重要】 送信トリガタイム設定の制約により、1 つのタイムウィンドウに割り付けることのできるメールボックスは 1 つのみとなります。

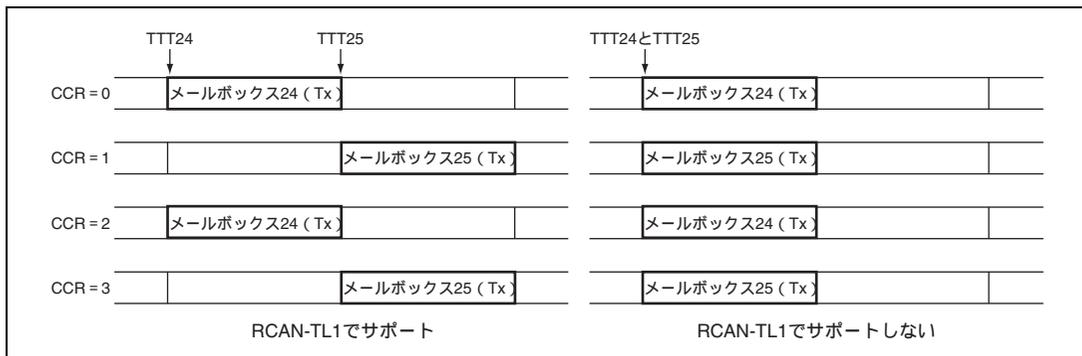


図 19.20 送信トリガタイムの制約

Watch\_Trigger としての TCMR2 の値は、1Basic\_Cycle length を示す TTT (メールボックス 30) より大きくなければなりません。

図 19.21、図 19.22 に、(ポテンシャル) タイムマスタおよびタイムスレーブの設定例を示します。図中の L は、タイムリファレンスメッセージの時間長です。

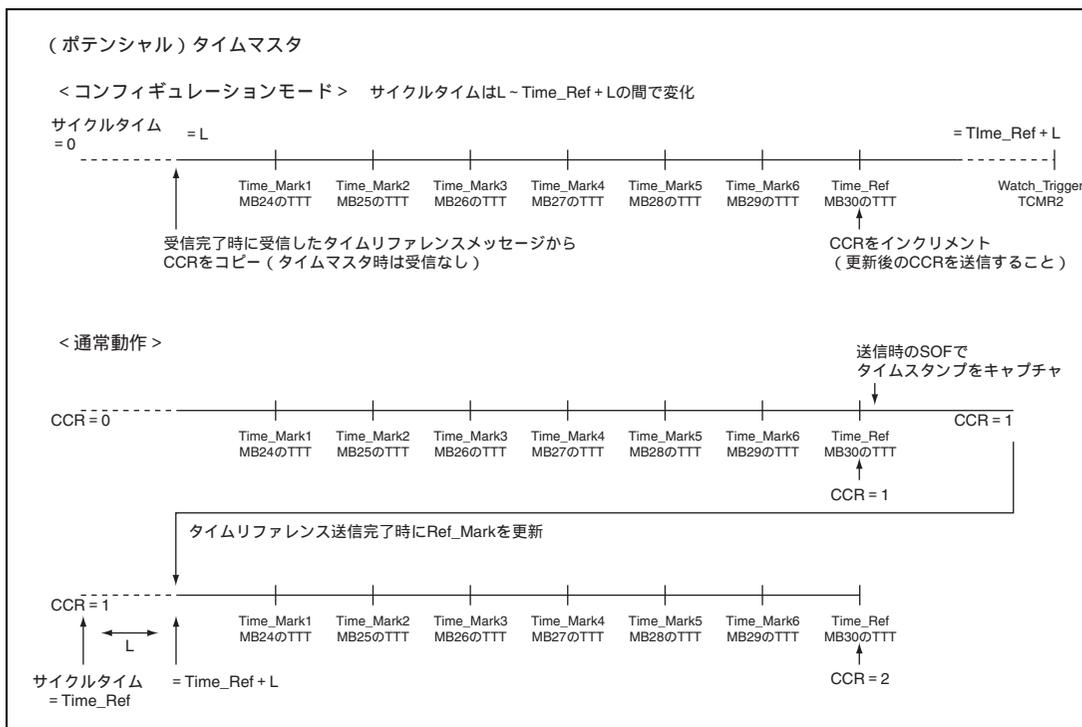


図 19.21 (ポテンシャル) タイムマスタ

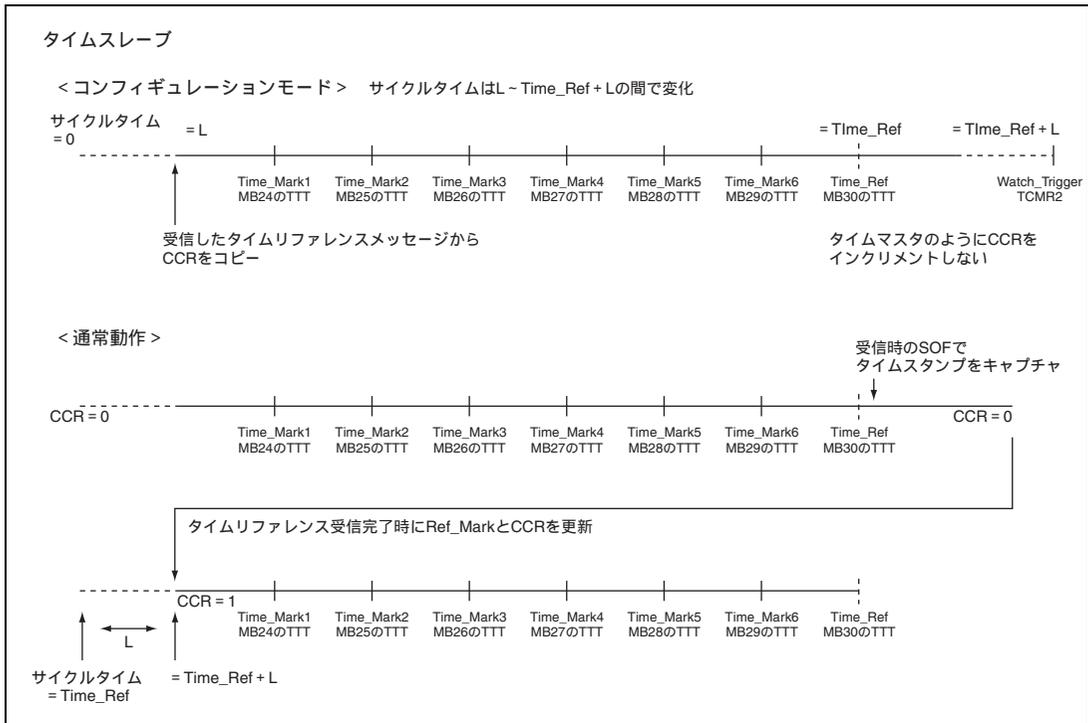


図 19.22 タイムスレーブ

- ソフトウェアで実装する機能

TTCAN の機能には、ソフトウェアで実装する必要のあるものがあります。主な機能を以下に示します。詳細は ISO-11898-4 を参照してください。

- Init\_Watch\_Trigger から Watch\_Trigger への変更

RCAN-TL1 では、Init\_Watch\_Trigger および Watch\_Trigger のハードウェアサポートとしてそれぞれ TCMR0 レジスタと TCMR2 レジスタを用意しています。CAN バス上で最初のリファレンスメッセージが検出されるまで TCMR0 を有効かつ TCMR2 を無効にし、その後 TCMR0 を無効かつ TCMR2 を有効にする制御はソフトウェアで行います。(スケジュール同期化ステートマシンの)

Next\_is\_Gap 受信割り込みのみサポートしています。アプリケーションにて、対応する TXCR フラグをセットすることにより、現在の Basic\_Cycle の終了時にすべての送信を停止する必要があります。

#### マスタ/スレーブモード制御

自動サイクルタイム同期と CCR のインクリメントのみサポートしています。

- メッセージステータスカウント

エクスクルーシブウィンドウの定周期メッセージに関するスケジュールエラーを、ソフトウェアでカウントする必要があります。

- タイムトリガ通信のメッセージ送信リクエスト

タイムトリガモードを使用する場合、ISO11898-4 の要求事項を満たさなければなりません。

以下の手順を行ってください。

1. RCAN-TL1をリセットまたはホルトモードにする
2. TCMR0にInit\_Watch\_Trigger (H'FFFF) を設定
3. TTCR0のビット10でTCMR0によるコンペアマッチを有効に設定
4. TCMR2に指定のWatch\_Trigger 値を設定
5. TTCR0のビット12を0に保持し、TCMR2によるコンペアマッチを無効にする。
6. CMAXに必要な値を設定 (B'111以外)
7. TEWに必要な値を設定
8. メールボックスをタイムトリガ送信および受信に設定する
9. メールボックス31のLAFMを下位3ビットに対して設定
10. MCR、BCR1、BCR0に必要な値を設定
11. ポテンシャルタイムマスタとして動作する場合は下記を設定
  - RFTROFFに必要なInit\_Ref\_Offset値を設定
  - メールボックス30のTXPRをセット
  - TTTSELにH'4000を書き込む
12. TTCR0のビット15でタイムTCNTRをイネーブルにする
13. 通常モードに移行
14. 有効なリファレンスメッセージが送信または受信されるのを待つ、もしくはTCMR0のコンペアマッチを待つ
15. ローカルタイム (TCNTR) がTCMR0の値に一致したら、Init\_Watch\_Triggerに到達したことを意味し、アプリケーションでメールボックス30のTXCRをセットし再び開始する
16. リファレンスメッセージが送信されたら (TXACK[30] がセットされた)、RFTROFFを0に設定
17. 有効なリファレンスメッセージを受信したら (RXPR[31] がセットされた)、下記を行う
  - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも高ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値をInit\_Ref\_Offsetに保持
  - メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも低ければ (ポテンシャルタイムマスタとして動作する場合)、RFTROFFの値を1デクリメント
18. TTCR0のビット10をクリアし、TCMR0 によるコンペアマッチを無効にする
19. TTCR0のビット12をセットし、TCMR2 によるコンペアマッチを有効にする
20. CANバス上でリファレンスメッセージを2個検出 (送信または受信) した後、アプリケーションで他のタイムトリガメールボックスのTXPRをセットすることができます。

CAN バス上でリファレンスメッセージが検出されずに、サイクルタイム CYCTR が TCMR2 の値に到達した場合はいつでも、RCAN-TL1 は待ち状態の送信(リファレンスメッセージを含む)をすべて自動的にアボートします。

タイムトリガモードでさらに送信を要求するときのシーケンスを以下に示します。

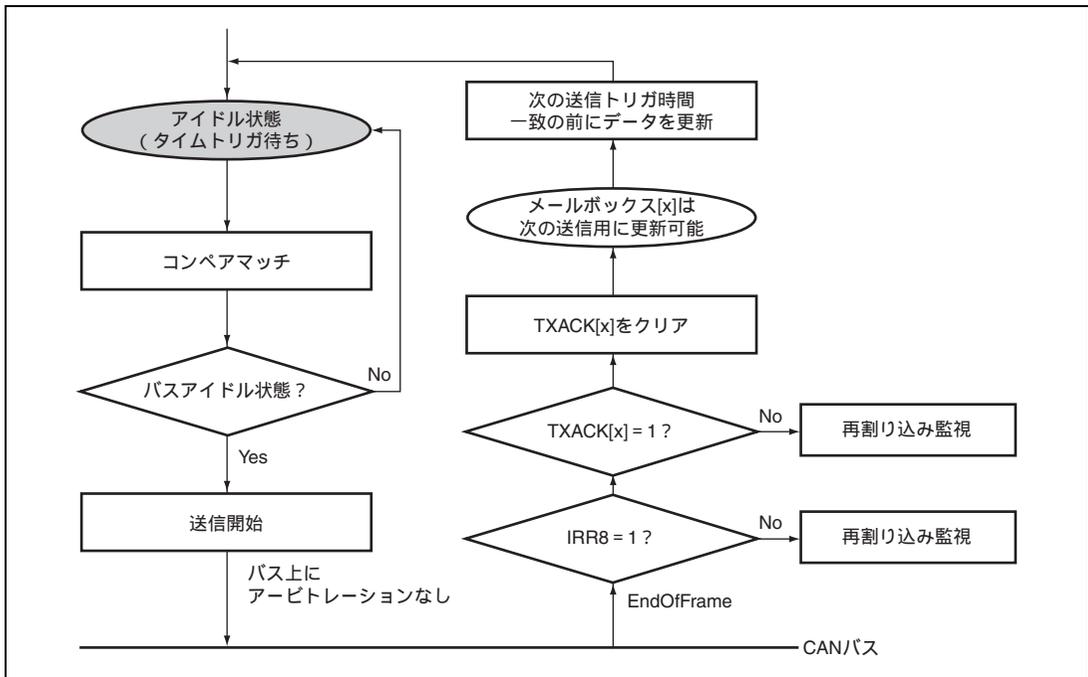


図 19.23 メッセージ送信リクエスト

ソフトウェアは、送信トリガが発生する前にメッセージの更新が確実に行われるようにしなければなりません。CYCTR がメールボックスの TTT (送信トリガタイム) に到達し、CCR がプログラムされた送信用サイクルに一致すると、RCAN-TL1 は直ちに送信バッファにメッセージを転送します。

この時点で、RCAN-TL1 は指定された Tx\_Enable Window 内で送信を試みます。このタイムスロットを逃すと、送信が定周期の場合 (メールボックス 24 ~ 30)、RCAN-TL1 は対応する TXPR ビットを 1 に保持し送信リクエストを次の送信トリガまで保留します。

RCAN-TL1 が上記のタイムスロットを逃す 3 つの要因があります。

1. CANバスが使用中
2. タイムトリガメッセージ送信中にCANバス上にエラーが発生
3. タイムトリガメッセージ送信中にアービトレーションロストが発生

マージドアービトレーティングウィンドウ (Merged Arbitrating Window) の場合、この送信スロットは、ウィンドウを開始した (TTW=B'10) メールボックスの送信トリガから、ウィンドウを終了する (TTW=B'11) メールボックスの TEW の最後までです。TXPR はいつでも変更可能です。RCAN-TL1 は、タイムトリガメッセージの送信が常に正しくスケジュールされるようにしますが、正確なスケジュールを保证するため、以下に示す重要な規則があります。

- TTT (送信トリガタイム) は、コンフィギュレーションモードで変更可能。
- Basic\_Cycle length サイクルカウンタ (Basic Cycle) 長を指定する Time\_Ref を超える TTT の設定は不可。違反すると、スケジューリングで問題が発生します。
- 定周期送信では、TXPR は自動的にクリアされません。定周期送信をキャンセルする必要がある場合は、アプリケーションで対応する TXCR ビットをセットします。

#### • タイムトリガシステムの例

タイムスレープモードの RCAN-TL1 を使用して、タイムトリガシステムが動作する簡単な例を下図に示します。

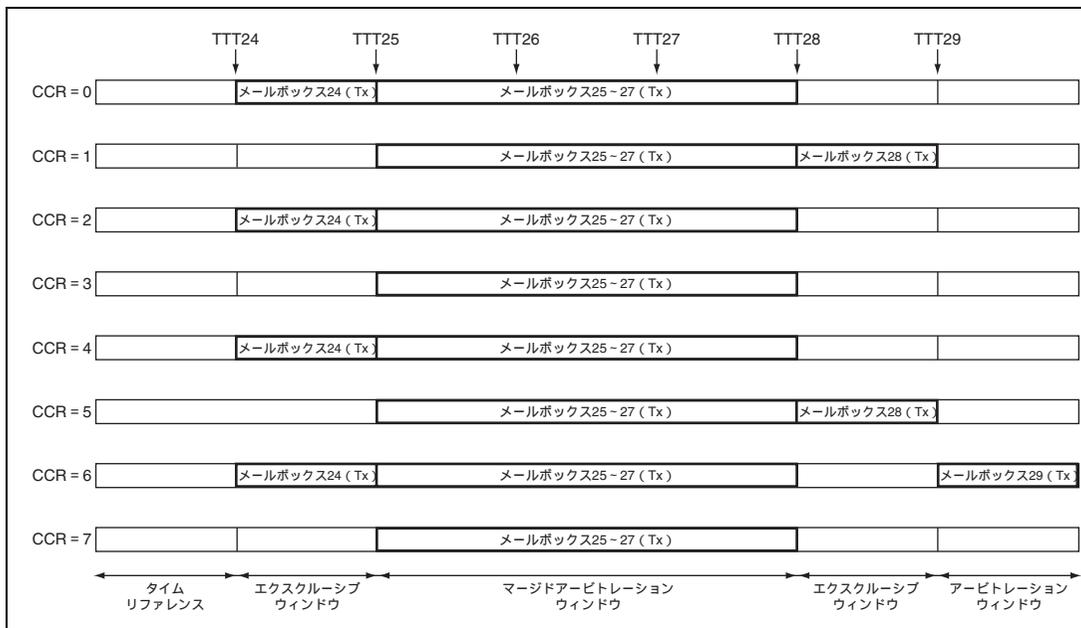


図 19.24 タイムスレープとしてのタイムトリガシステム例

図 19.24 の例で使用する値を表 19.11 に示します。

表 19.11 例で使用する設定値

	rep_factor (レジスタ)	Offset		TTW[1:0]	MBC[2:0]
メールボックス 24	B'001	B'000000		B'00	B'000
メールボックス 25	B'000	B'000000		B'10	B'000
メールボックス 26	B'000	B'000000		B'10	B'000
メールボックス 27	B'000	B'000000		B'11	B'000
メールボックス 28	B'010	B'000001		B'00	B'000
メールボックス 29	B'011	B'000110		B'01	B'000
メールボックス 30	-	-		-	B'111
メールボックス 31	-	-		-	B'011

【注】 CMAX=B'011, TXPR[30]=0

マージドアービトレイティングウィンドウ内では、タイムトリガ送信リクエストは FCFS (First Come First Served) で処理されます。たとえば、メールボックス 25 が送信トリガタイム 25 (TTT25) と送信トリガタイム 26 (TTT26) の間で送信できなかった場合、TTT26 - TTT28 間ではメールボックス 25 はメールボックス 26 より優先度が高くなります。

タイムトリガ送信を無効にするには、MBC を B'111 に設定します。RCAN-TL1 がタイムマスタの場合、MBC[30]=B'000 としなければならず、タイムリファレンスウィンドウは自動的にアービトレイティングウィンドウと認識されます。

• タイマ動作

図 19.25 にタイマのタイミング図を示します。送信トリガタイム=n と設定すると、タイムトリガ送信は、CYCTR=n+2 から CYCTR=n+3 の間に開始します。

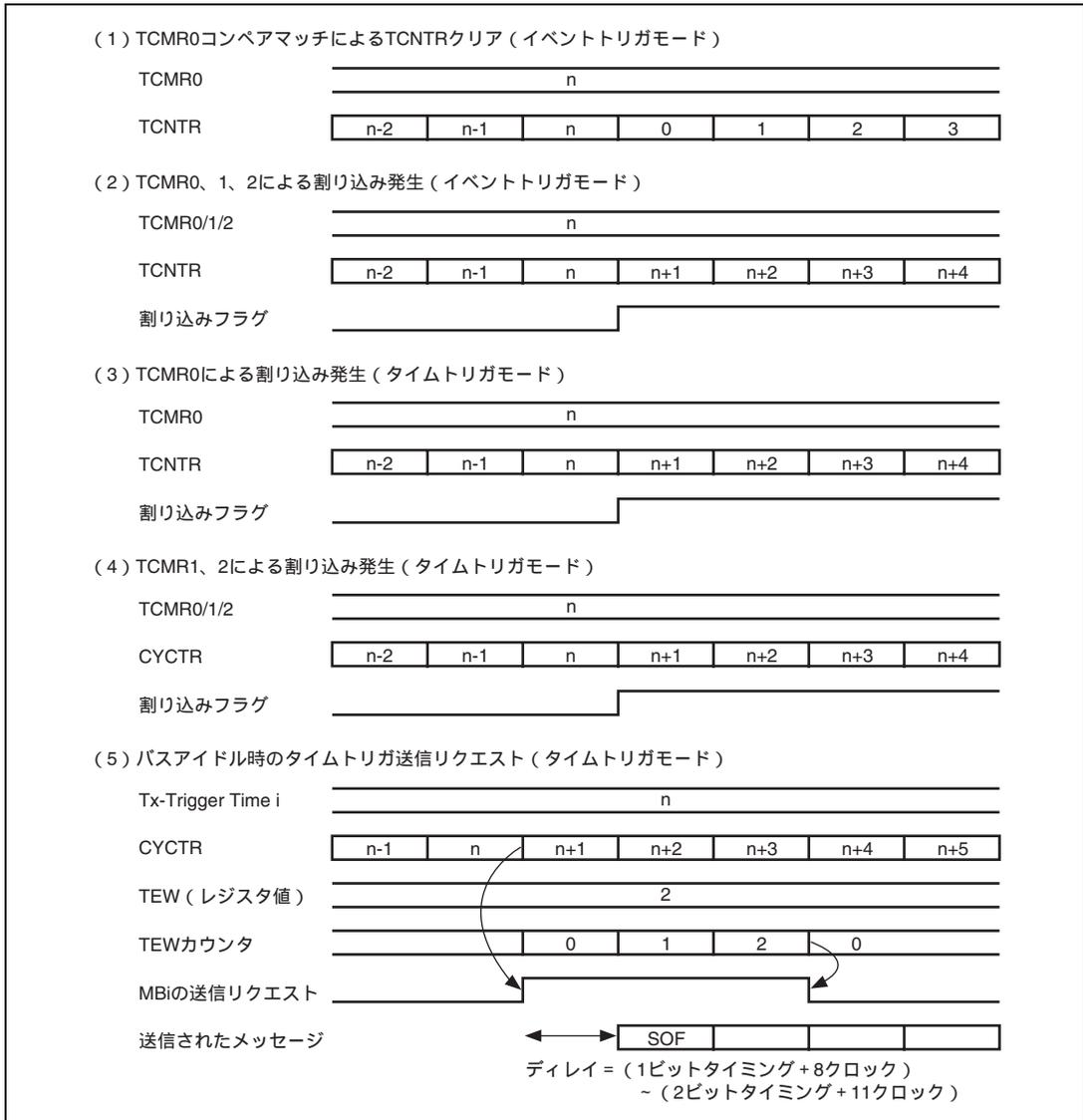


図 19.25 タイマのタイミング図

マージドアービトレイティングウィンドウ内では、イベントトリガ送信はタイマトリガ送信完了後に処理されます。たとえば、メールボックス 25 の送信が完了したときに CYCTR が TTT26 に到達していないと、MCR2 で指定したメッセージ送信の優先順位により、イベントトリガ送信が開始します。タイマトリガ送信の TXPR は送信完了後にクリアされませんが、イベントトリガ送信の TXPR は送信完了後にクリアされます。

マージドアービトレイティングウィンドウを閉じるメールボックスの TXPR がセットされない場合は、そのメールボックスの TTT の後に続く TEW の最後でマージドアービトレイティングウィンドウが閉じます。

「19.3.1 メールボックスの構成」の表 19.3 を参照してください。 .

## 19.7.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 19.26 に示します。

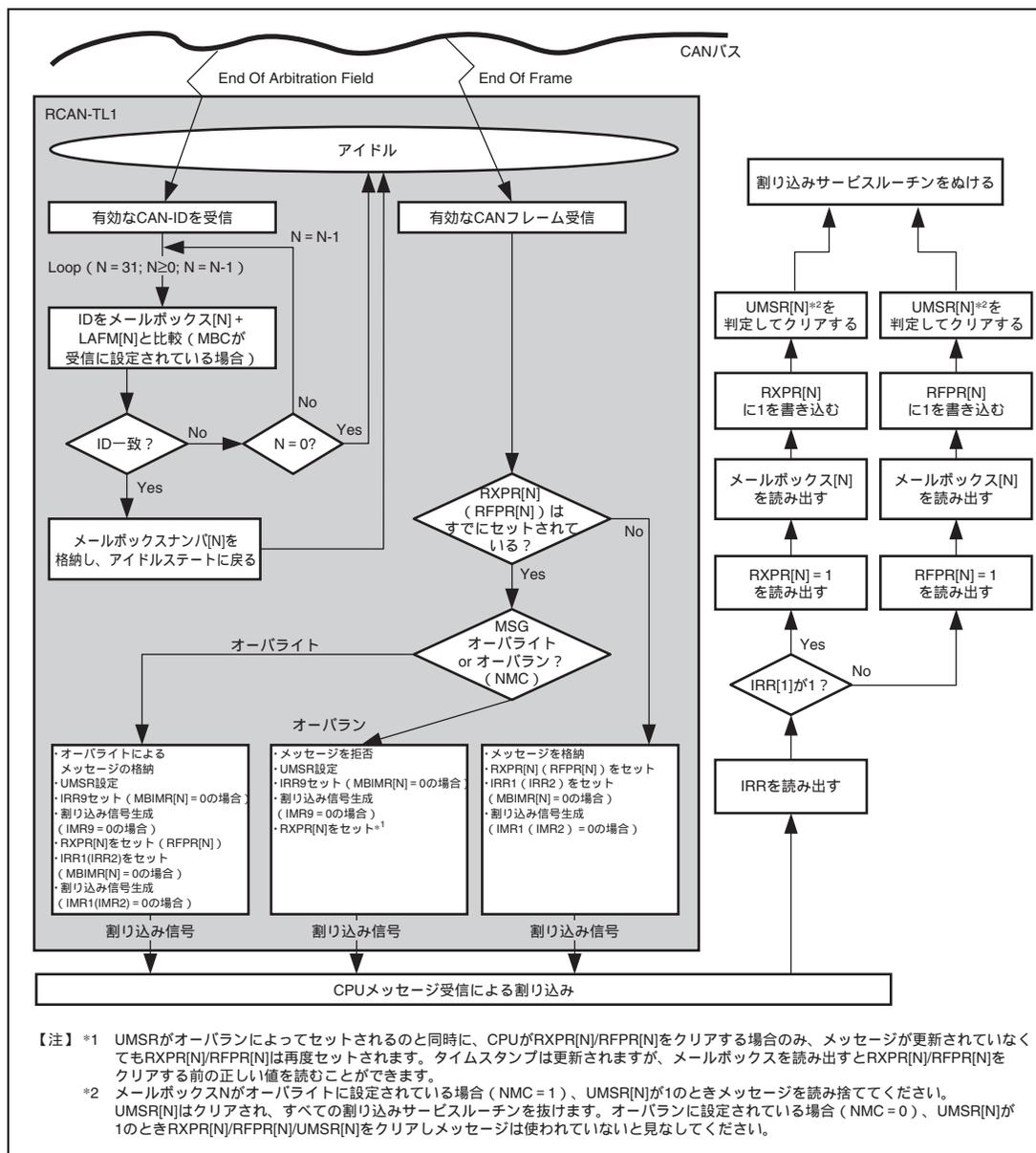


図 19.26 メッセージ受信シーケンス

メッセージを受信中に RCAN-TL1 がアービトラージフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 31 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 31 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 30 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN-TL1 はそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-TL1 のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。受信メッセージを対応するメールボックスに書き込むときに、メッセージ ID を含めて書き込まれるため、LAFM を使用するときは CAN-ID が異なる CAN-ID でオーバライトされることがあります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致する場合には、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 19.26 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバライトされること (NMC が 1 のとき) を検出するためです。UMSR の最後のチェック中にオーバライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

メールボックスがオーバランに (NMC = 0) 設定されているときは、UMSR がセットされた場合のメッセージは有効です。しかし、CAN バスでモニタされた最新のメッセージではなく古いメッセージです。メッセージの読み出しは、関連する RXPR/RFPR フラグをクリアする前に行ってください。

受信したリモートフレームがデータフレームでオーバライトされた場合、リモートフレーム受信割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバライトされた場合も IRR2 と IRR1 がセットされます。

メッセージを受信しメールボックスに格納すると、受信されなかったデータフィールドはすべて 0 として格納されます。スタンダード ID を受信した場合も同様です。エクステンデッド ID (EXTID[17:0]) には 0 が書き込まれます。

### 19.7.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

#### (1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC = B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定 (MBCを除く) はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-TL1がメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-TL1がバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

#### (2) 受信ボックスの ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBC の設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージが CAN バス上にあり RCAN-TL1 が受信モードの場合、そのメッセージを逃すことはありません。RCAN-TL1 は現在行っている受信を完了してからホルトモードに遷移します。RCAN-TL1 がメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります (受信 / 送信が終了するのを待ってからホルト状態に遷移するためです)。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-TL1 がバスオフ状態の場合、ホルト状態への遷移は MCR レジスタのビット 6 およびビット 14 の設定に従います。

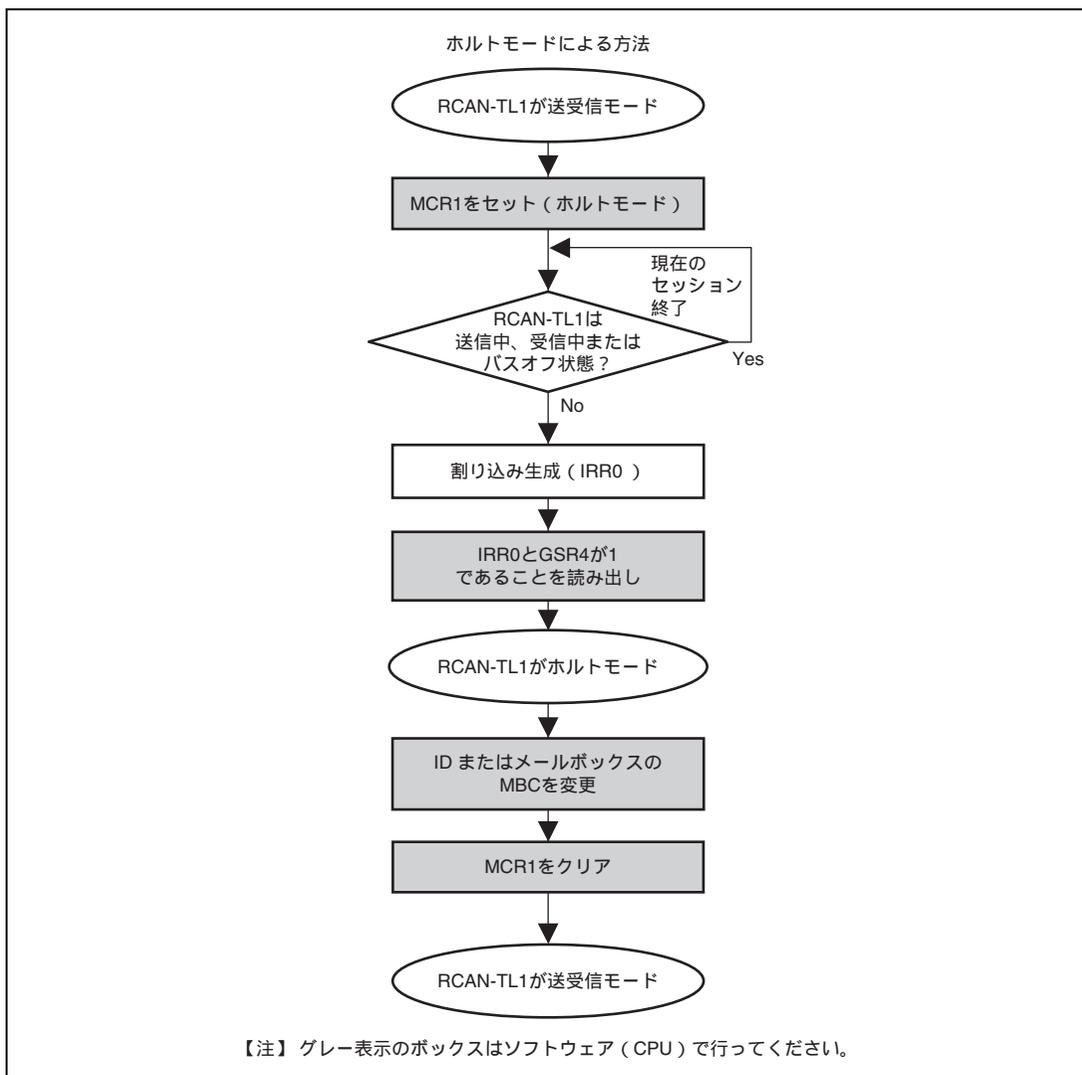


図 19.27 受信ボックスの ID 変更 / 受信ボックスから送信ボックスへの変更

## 19.8 割り込み要因

RCAN-TL1 には表 19.12 に示す割り込み要因があります。これらの要因はマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 6 章 割り込みコントローラ (INTC)」を参照してください。

表 19.12 RCAN-TL1 の割り込み要因

モジュール名	名称	要 因	割り込みフラグ	DMAC の起動
RCANn* <sup>1</sup>	ERSn* <sup>1</sup>	エラーパッシブ (TEC 128 または REC 128)	IRR5	不可
		バスオフ (TEC 256) / バスオフからの復帰	IRR6	
		エラーワーニング (TEC 96)	IRR3	
		エラーワーニング (REC 96)	IRR4	
	OVRn* <sup>1</sup>	リセット / ホルト / CAN スリープ遷移	IRR0	
		オーバーロードフレーム送信	IRR7	
		未読メッセージのオーバーライト (オーバーラン)	IRR9	
		スタートシステムマトリックス	IRR10	
		TCMR2 コンペアマッチ	IRR11	
		CAN スリープ中 CAN バス動作の検出	IRR12	
		タイマオーバーラン / Next_is_Gap / メッセージエラー	IRR13	
		TCMR0 コンペアマッチ	IRR14	
		TCMR1 コンペアマッチ	IRR15	
	RM0n* <sup>1,*2</sup>	データフレーム受信	IRR1* <sup>3</sup>	可* <sup>4</sup>
	RM1n* <sup>1,*2</sup>	リモートフレーム受信	IRR2* <sup>3</sup>	
	SLEn* <sup>1</sup>	メッセージの送信 / 送信取り消し (スロットエンプティ)	IRR8	不可

【注】 \*1 n = 0, 1

\*2 RM0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0]) またはデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1 はメールボックス n (n = 1 ~ 31) のリモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。

\*3 IRR1 はメールボックス 0 ~ 31 のデータフレーム受信フラグ、IRR2 はメールボックス 0 ~ 31 のリモートフレーム受信フラグです。

\*4 RM0n 割り込みのみ DMAC を起動できます。

## 19.9 DMAC インタフェース

各 RCAN-TL1 のメールボックス 0 にメッセージを受信すると、DMAC を起動することができます。なお、DMAC 起動を設定し、DMAC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます。このとき、RCAN-TL1 からの受信割り込みで CPU への割り込みは発生しません。図 19.28 に DMAC の転送フローチャートを示します。

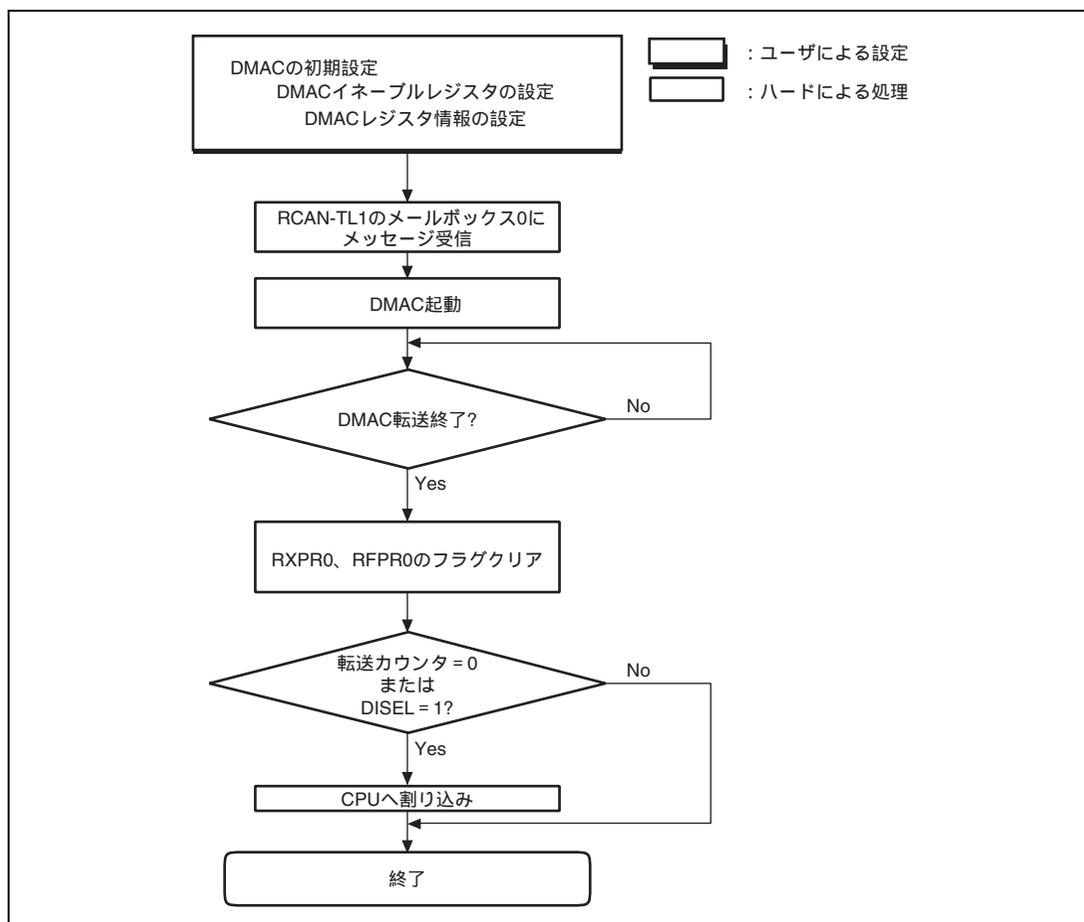


図 19.28 DMAC の転送フローチャート

## 19.10 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC にはルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。また、CRx、CTx 端子は 3V 仕様のため、レベルシフトを外付けする必要があります。図 19.29 に接続例を示します。

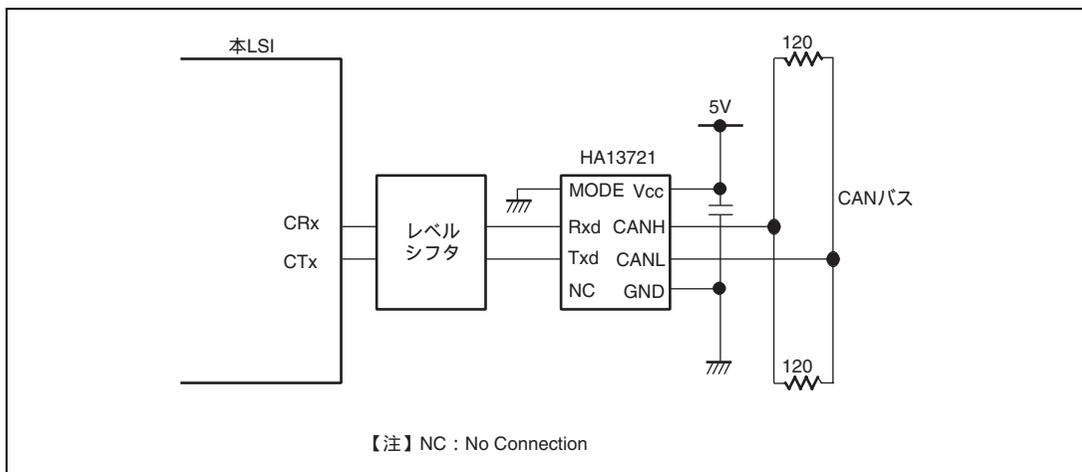


図 19.29 HA13721 を用いたハイスピードインタフェース

## 19.11 RCAN-TL1 端子ポート設定

RCAN-TL1 ポート設定は、必ずコンフィギュレーションモード中またはそれ以前に行ってください。ポート設定方法の詳細は「第 29 章 ピンファンクションコントローラ (PFC)」を参照してください。本 LSI は 3 チャンネルの RCAN-TL1 を内蔵しており、2 種類の使用方法があります。

- 2チャンネルの32メールボックス (RCAN0、1)
- 1チャンネルの64メールボックス (RCAN0+1)

【注】 64 メールボックス使用時には注意が必要です。「19.12.1 1チャンネル 64 メールボックスでのポート設定についての注意事項」を必ずお読みください。

図 19.30、図 19.31 に各ポート設定での接続例を示します。

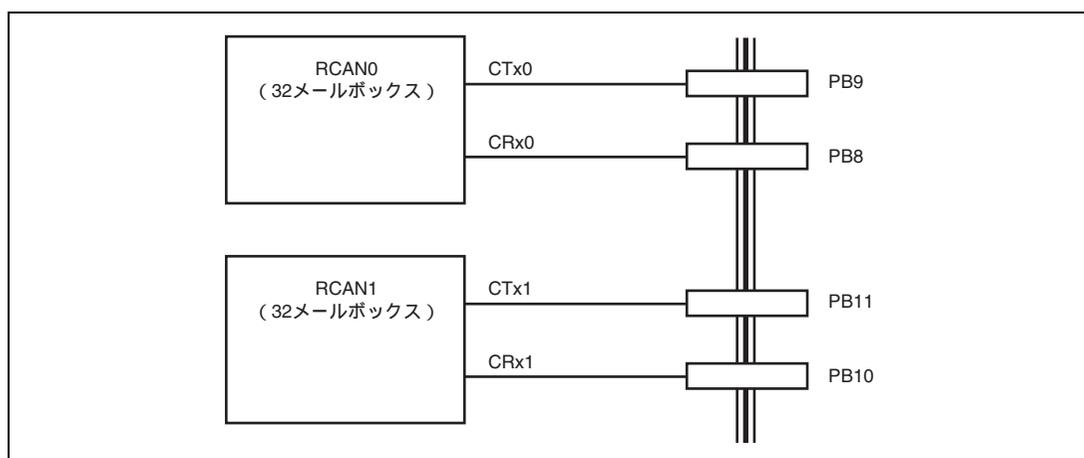


図 19.30 RCAN0、1 を個別のチャンネルとして使用するときの接続例

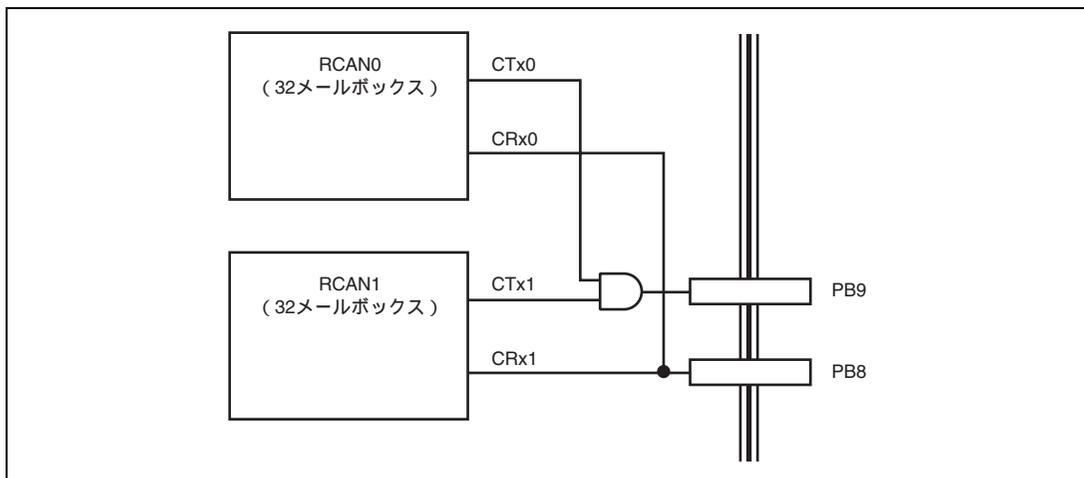


図 19.31 RCAN0、1 を 64 メールボックスの 1 チャンネルとして使用するときの接続例

## 19.12 使用上の注意事項

### 19.12.1 1チャンネル64メールボックスでのポート設定についての注意事項

本 LSI は、2チャンネルの RCAN-TL1 を内蔵しています。1チャンネルで64メールボックスの設定で使用する際、以下の注意事項があります。

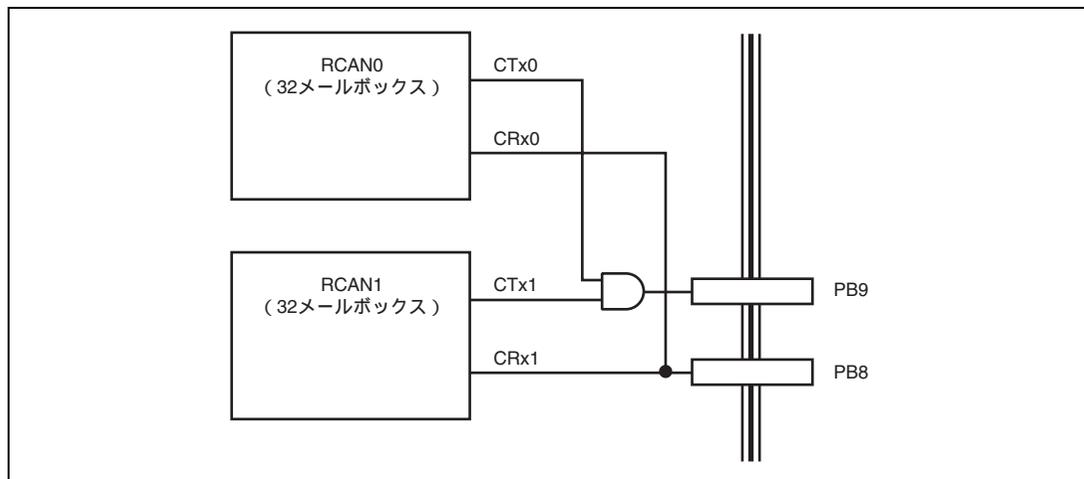


図 19.32 RCAN0、1 を 64 メールボックスの 1 チャンネルとして使用するときの接続例

1. CANバスに他ノードを接続しない状態でメッセージ送信した場合、ACKエラーが発生しません。上図の RCAN0からメッセージを送信した場合、ACKフィールドでRCAN1がACKを送信するためです。RCAN1はCANバス上のメッセージを受信しており、CANプロトコルに従いACKフィールドでACKを送信し、そのACKをRCAN0が受信します。  
対応方法は、メッセージを送信しないRCAN1をテストモードのリスンオンリモード状態 (TST[2:0]=B'001) またはリセット状態 (MCR0=1設定) にしてください。これにより、メッセージを送信しないチャンネルからACKを送信しません。
2. 送信順位を決定する内部アービトレーションは、それぞれRCAN0とRCAN1で独立に実施します。送信可能バッファは、RCAN-TL1には31メールボックス/チャンネルありますが、62バッファの範囲で内部アービトレーションは実施しません。
3. 同一送信メッセージIDをRCAN0とRCAN1に設定しないでください。CANバス上でのアービトレーション実施後、2つのチャンネルからメッセージを送信することになります。



---

## 20. IEBus™ コントローラ (IEB)

---

本 LSI は、1 チャンネルの IEBus コントローラ (IEB) を内蔵しています。IEBus™ (Inter Equipment Bus™) \*は、装置間のデータ転送を目的とした小規模のデジタルデータ転送システムです。

本 LSI は IEBus ドライバ/レシーバを内蔵していないため、専用のドライバ/レシーバを外付けする必要があります。また、IERxD、IETxD 端子は 3V 仕様のため、専用のレベルシフタを外付けする必要があります。

【注】 \* IEBus™ (Inter Equipment Bus™) は NEC エレクトロニクスの商標です。

### 20.1 特長

- IEBusのプロトコル制御 (レイア2) に対応
  - 半二重非同期通信
  - マルチマスタ方式
  - 同報通信機能
  - 伝送速度の異なる3種類のモードが選択可能
- データ送受信用バッファ内蔵
  - 送信バッファ / 受信バッファは各128バイト
  - モード2の最大伝送バイト数である128バイトまで連続送受信が可能
- 動作周波数
  - 12MHz、12.58MHzのクロックを1/2に分周して使用
  - 18MHz、18.87MHzのクロックを1/3に分周して使用
  - 24MHz、25.16MHzのクロックを1/4に分周して使用
  - 30MHz、31.45MHzのクロックを1/5に分周して使用
  - 36MHz、37.74MHzのクロックを1/6に分周して使用

【注】 AUDIO\_X1 は、SSI オーディオ用のクロック入力として使用しない場合のみ、IEB のクロック入力として使用できます。

- モジュールスタンバイモードの設定可能

### 20.1.1 IEBus 通信プロトコル

IEBus の概要は、以下のとおりです。

- 通信方式：半2重非同期通信
- マルチマスタ方式

IEBusに接続しているすべてのユニットがほかのユニットへデータの伝送が実現できます。

- 同報通信機能 (1ユニット対複数ユニットの通信)

グループ同報通信：グループユニットに対しての同報通信

一斉同報通信：すべてのユニットに対しての同報通信

- 伝送速度の異なる3種類のモードが選択可能

表 20.1 3 種類のモード

モード	IEB *1 = 12MHz、18MHz、 24MHz、30MHz、36MHz*2	IEB *1 = 12.58MHz、18.87MHz、 25.16MHz、31.45MHz、 37.74MHz*2	最大伝送バイト数 (バイト/フレーム)
0	約 3.9kbps	約 4.1kbps	16
1	約 17kbps	約 18kbps	32
2	約 26kbps	約 27kbps	128

【注】 \*1 周辺クロック (P ) または AUDIO\_X1、AUDIO\_X2 のクロック

\*2 本 LSI を使用したときの発振周波数

- アクセス制御：CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

バス占有の優先順位は、次のとおりです。

1. 同報通信 (1ユニット対複数ユニットの通信) が通常通信 (1ユニット対1ユニットの通信) より優先
2. マスタアドレスの小さい方が優先

- 通信規模

ユニット数：最大50

ケーブル長：最長150m (ツイストペアケーブルを使用した場合)

【注】 実際のシステムにおける通信規模は、外付けの IEBus ドライバ/レシーバの特性や使用するケーブルの特性により異なります。

#### (1) バス占有権の決定 (アービトレーション)

IEBus に接続された装置は他の装置を制御するときに、バスを占有するための動作を行います。この動作を、アービトレーションと呼びます。アービトレーションでは、複数のユニットが同時に送信を開始した場合に、それらの中から1つのユニットに対し、バスを占有する許可を与える処理が行われます。

アービトレーションにより1装置のみがバス占有権を得るため、次のようなバス占有の優先条件が決められています。

## (a) 通信の種類による優先

同報通信(1 ユニット対複数ユニットの通信)が通常通信(1 ユニット対1 ユニットの通信)より優先されます。

## (b) マスタアドレスによる優先

通信種類が同じ場合には、マスタアドレスの最も小さいものが優先されます。

例：マスタアドレスは12ビットで構成され、H'000のユニットが最上位の優先順位を持ち、H'FFFのユニットが最下位の優先順位を持ちます。

【注】 アービトレーションに負けた場合、自動的に再送信モードに入ることができます(再送信回数は、IEMCRのRNビットで0~7回に設定可能です)。

## (2) 通信モード

IEBusには、伝送速度の異なる3種の通信モードが用意されています。各通信モードにおける伝送速度および1通信フレームの中の最大伝送バイト数を、表20.2に示します。

表 20.2 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数 (バイト/フレーム)	実効伝送速度*1 (kbps)	
		IEB *2 = 12MHz、18MHz、24MHz、30MHz、 36MHz*3	IEB *2 = 12.58MHz、18.87MHz、 25.16MHz、31.45MHz、37.74MHz*3
0	16	約 3.9	約 4.1
1	32	約 17	約 18
2	128	約 26	約 27

【注】 IEBusに接続した各装置は、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタユニットとその通信相手局(スレーブユニット)の通信モードが同一でないと、通信は正しく行われません。

IEB = 12MHzの装置とIEB = 12.58MHzの装置間では、通信モードが同一でも通信は正しく行われません。必ず同じ発振周波数で通信を行ってください。

\*1 最大伝送バイト数を伝送したときの実行伝送速度

\*2 周辺クロック(P)またはAUDIO\_X1、AUDIO\_X2のクロック

\*3 本LSIを使用したときの発振周波数

## (3) 通信アドレス

IEBusでは、各装置に12ビットの固有な通信アドレスが割り当てられます。通信アドレスは、次のように構成されます。

上位4ビット：グループ番号(各装置の所属するグループを識別する番号)

下位8ビット：ユニット番号(グループ内の各装置を識別する番号)

## (4) 同報通信

通常の送信では、マスタユニットとその通信相手局となるスレーブユニットはともに1ユニットで、1対1の送信または受信が行われます。それに対し、同報通信ではスレーブユニットが複数存在し、マスタユニットは複数のスレーブユニットに対して送信を行います。スレーブユニットは複数存在するため、通信中スレーブユニットからは、アクノリッジは返されません。

また、同報通信を行うか通常の通信を行うかは、同報ビットによって決まります。(同報ビットについては、「20.1.2(1)(b)同報ビット」を参照してください)。

同報通信には、次の2種類があります。

## (a) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内の装置に対して同報通信を行います。

## (b) 一斉同報通信

グループ番号の値にかかわらずすべての装置に対して同報通信を行います。

グループ同報と一斉同報の識別は、スレーブアドレスの値で行われます(スレーブアドレスについては、「20.1.2(3)スレーブアドレスフィールド」を参照してください)。

## 20.1.2 伝送プロトコル

IEBus の伝送信号フォーマットを図 20.1 に示します。

通信データは、通信フレームと呼ぶ一連の信号として伝送されます。1通信フレームで伝送可能なデータ数および伝送速度は、通信モードによって異なります。

(IEB = 12MHz、18MHz、24MHz、30MHz、36MHz時)																			
フィールド名	ヘッダ		マスタアドレスフィールド		スレーブアドレスフィールド			コントロールフィールド			電文長フィールド			データフィールド					
ビット数	1	1	12	1	12	1	1	4	1	1	8	1	1	8	1	1	8	1	1
	スタートビット	同報ビット	マスタアドレス	P	スレーブアドレス	P	A	コントロールビット	P	A	電文長ビット	P	A	データビット	P	A	データビット	P	A
伝送時間																			
モード0	約7330μs													約1590 × Nμs					
モード1	約2090μs													約410 × Nμs					
モード2	約1590μs													約300 × Nμs					

P: パリティビット (1ビット)  
A: アクノリッジビット (1ビット)  
A = 0のとき: ACK  
A = 1のとき: NAK  
N: データバイト数

【注】同報通信時には、アクノリッジビットの値は無視されます。

図 20.1 伝送信号フォーマット

## (1) ヘッダ

ヘッダは、スタートビットおよび同報ビットで構成されています。

## (a) スタートビット

スタートビットはデータ伝送の始まりをほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間口ウレベルの信号 (スタートビット) を出力し、同報ビットの出力へ移行します。

スタートビットを出力しようとしたとき、すでにほかのユニットがスタートビットを出力している場合には、スタートビットを出力しないでそのユニットのスタートビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を始めたユニット以外は、このスタートビットを検出し受信状態へ移行します。

## (b) 同報ビット

同報ビットは、同報通信、または通常の通信の識別を行うビットです。

同報ビットが 0 の場合には同報通信、1 の場合には通常の通信を表します。また同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブアドレスの値によって行われます (スレーブアドレスについては、「20.1.2 (3) スレーブアドレスフィールド」を参照してください)。

同報通信の場合には通信相手局となるスレーブユニットが複数存在するため、(2)以降各フィールドでのアクノリッジビットは返されません。

2 つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が通常の通信より優先し、アービトレーションに勝ち残ります。

## (2) マスタアドレスフィールド

マスタアドレスフィールドは、自分のユニットアドレス (マスタアドレス) をほかのユニットに送信するためのフィールドです。マスタアドレスフィールドはマスタアドレスビットとパリティビットで構成されています。

マスタアドレスは 12 ビットで構成されており MSB より出力されます。

2 つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタアドレスフィールドへ持ち越されます。

マスタアドレスフィールドでは、1 ビット送信するたびに自分が出力しているデータとバス上のデータとの比較を行います。比較の結果、自分の出力しているマスタアドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断し、送信を中止し受信状態へ移行します。

IEBus はワイヤード AND で構成されているため、アービトレーションに参加しているユニット (アービトレーションマスタ) の中で、最小のマスタアドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に 12 ビットのマスタアドレス出力後、1 つのユニットのみがマスタユニットとして送信状態で残ります。

次に、このマスタユニットはパリティビット\*を出力し、ほかのユニットに対してマスタアドレスを確定させ、スレーブアドレスフィールド出力へ移行します。

【注】 \* パリティは偶数パリティを使用しており、マスタアドレスビット中の 1 のビットの数が奇数のとき、パリティビットが 1 となります。

### (3) スレーブアドレスフィールド

スレーブアドレスフィールドは、通信を行いたいユニット (スレーブユニット) のアドレス (スレーブアドレス) を送信するためのフィールドです。スレーブアドレスフィールドはスレーブアドレスビット、パリティビットおよびアクノリッジビットで構成されています。

スレーブアドレスは 12 ビットで構成され MSB から出力されます。12 ビットのスレーブアドレス送信後、スレーブアドレスが間違っ受信されることを避けるため、パリティビットを出力します。次に、スレーブユニットがバス上に存在することを確認するために、マスタユニットはスレーブユニットからのアクノリッジ信号の検出を行います。アクノリッジ信号を検出した場合、コントロールフィールド出力へ移行します。ただし、同報通信時には、アクノリッジビットを検出せずに、コントロールフィールド出力へ移行します。

スレーブユニットは、スレーブアドレスが一致し、マスタアドレスとスレーブアドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブユニットはパリティが奇数の場合、マスタアドレスまたはスレーブアドレスが正しく受信されなかったと判断し、アクノリッジ信号を出力しません。このとき、マスタユニットは、待機 (モニタ) 状態になり通信が終了します。

また、同報通信の場合は、スレーブアドレスは次のようにグループ同報か、一斉同報かの識別に使用されます。

スレーブアドレスが H'FFF のとき : 一斉同報通信

スレーブアドレスが H'FFF 以外のとき : グループ同報通信

【注】 グループ同報通信時のグループ番号は、スレーブアドレスの上位 4 ビットの値になります。

### (4) コントロールフィールド

コントロールフィールドは、次のデータフィールドの種類や方向を送信するためのフィールドです。コントロールフィールドはコントロールビット、パリティビットおよびアクノリッジビットで構成されています。

コントロールビットは 4 ビットで構成され MSB から出力されます。

コントロールビットに続いて、パリティビットが出力されます。パリティが偶数でかつ、マスタユニットの要求機能をスレーブが実行可能な場合は、スレーブユニットはアクノリッジ信号を出力し、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブユニットがマスタユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブユニットはアクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。

マスタユニットはアクノリッジ信号を確認後、次の電文長フィールドへ移行します。

アクノリッジ信号の確認ができない場合は、マスタユニットは待機状態になり、通信が終了します。ただし同報通信の場合には、マスタユニットはアクノリッジ信号を確認せずに、次の電文長フィールドへ移行します。

コントロールビットの内容については表 20.4 を参照してください。

### (5) 電文長フィールド

電文長フィールドは、通信データのバイト数を指定するためのフィールドです。電文長フィールドは、電文長ビットと、パリティビットおよびアクノリッジビットで構成されます。

電文長ビットは 8 ビットで構成され、MSB から出力されます。通信データのバイト数を表 20.3 に示します。

表 20.3 電文長ビットの内容

電文長ビット	送信データ・バイト数
H'01	1 バイト
H'02	2 バイト
.	.
.	.
H'FF	255 バイト
H'00	256 バイト

【注】 通信モードにより、1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信となります。その際、2 回目以降は、電文長ビットは残りの通信データのバイト数となります。本 LSI では電文長ビットの設定は 1 フレームの最大伝送バイト数以上は設定できません。以下に示す範囲内で設定してください。

モード 0 : 1 ~ 16 バイト

モード 1 : 1 ~ 32 バイト

モード 2 : 1 ~ 128 バイト

このフィールドの動作は、マスタ送信時 (コントロールビットのビット 3 が 1) とマスタ受信時 (コントロールビットのビット 3 が 0) で異なります。

#### (a) マスタ送信時

電文長ビットおよびパリティビットは、マスタユニットが出力します。スレーブユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力し、次のデータフィールドへ移行します。ただし、同報通信時では、スレーブユニットはアクノリッジ信号を出力しません。

また、スレーブユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。このとき、マスタユニットも待機状態に戻り、通信が終了します。

#### (b) マスタ受信時

電文長ビットおよびパリティビットは、スレーブユニットが出力します。マスタユニットはパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機状態に戻ります。このとき、スレーブユニットも待機状態に戻り、通信が終了します。

#### (6) データフィールド

データフィールドは、スレーブユニットに対しデータを送受信するためのフィールドです。マスタユニットは、データフィールドを使用してスレーブユニットにデータを送信したり、スレーブユニットからデータを受信したりします。データフィールドはデータビット、パリティビットおよびアクノリッジビットで構成されています。

データユニットは 8 ビットで構成され MSB から出力されます。

データビットに続きパリティビットとアクノリッジビットが、それぞれマスタユニットおよびスレーブユニットより出力されます。

同報通信は、マスタユニットの送信動作のみに行われます。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作は次のようになります。

## (a) マスタ送信時

マスタユニットからスレーブユニットへ書き込みを行う場合、マスタユニットは、スレーブユニットに対してデータビット、パリティビットを送信します。スレーブユニットはデータビット、パリティビットを受信し、パリティが偶数で、かつ受信バッファが空いていれば、アクノリッジ信号を出力します。パリティが奇数、または受信バッファが空いていない場合には、スレーブユニットは対応するデータの受け付けを拒否し、アクノリッジ信号出力を行いません。

スレーブユニットからアクノリッジ信号が出力されなかった場合、マスタユニットは再び同じデータを送信します。この動作はスレーブユニットからのアクノリッジ信号を検出するか、データ最大伝送バイト数を超えるまで続けられます。

パリティが偶数で、スレーブユニットからアクノリッジ信号が出力された場合は、データに続きがあり、かつ最大伝送バイト数を超えていなければ、マスタユニットは次のデータを送信します。

また、同報通信の場合では、スレーブユニットからはアクノリッジ信号は出力されず、マスタユニットはデータを1バイトごとに転送します。

## (b) マスタ受信時

マスタユニットがスレーブユニットから読み込みを行う場合、マスタユニットはすべての読み込みビットに対応する同期信号を出力します。

スレーブユニットは、データ、パリティビットの内容をマスタユニットからの同期信号に応じてバス上に出力します。

マスタユニットは、スレーブユニットの出力したデータパリティビットを読み込み、パリティを確認します。

パリティが奇数の場合、または受信バッファが空いていない場合は、マスタユニットはそのデータ受け付けを拒否し、アクノリッジ信号を出力しません。1通信フレームで送信可能な最大伝送バイト数以内であれば、マスタユニットは同じデータの読み込み動作を繰り返します。また、パリティが偶数で、かつ受信バッファが空いていれば、マスタユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信可能な最大バイト数以内であればマスタユニットは次のデータを読み込みます。

## (7) パリティビット

パリティビットは、伝送データに誤りが無いことを確認するために使用されます。

パリティビットは、マスタアドレスビット、スレーブアドレスビット、コントロールビット、電文長ビット、データビットの各データに対して付加されます。

パリティは、偶数パリティです。データの中の1のビット数が奇数の場合は、パリティビットは1となります。データ中の1の数が偶数の場合は、パリティビットは0となります。

## (8) アクノリッジビット

通常通信(1ユニット対1ユニット間の通信)においては、データを正しく受け付けたかを確認するために、次の箇所にアクノリッジビットが付加されます。

- スレーブアドレスフィールドの最後
- コントロールフィールドの最後

- 電文長フィールドの最後
- データフィールドの最後

アクノリッジビットの定義は次のとおりです。

- 0: 伝送データを認識したことを表します。(ACK)
- 1: 伝送データを認識しなかったことを表します。(NAK)

ただし、同報通信の場合には、アクノリッジビットの内容は無視されます。

(a) スレーブアドレスフィールドの最後のアクノリッジビット

スレーブアドレスフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- マスタアドレスビットまたはスレーブアドレスビットのパリティが正しくない場合
- タイミングエラー (ビットフォーマットにエラー) が発生した場合
- スレーブユニットが存在しなかった場合

(b) コントロールフィールドの最後のアクノリッジビット

コントロールフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- コントロールビットのパリティが正しくない場合
- スレーブ受信バッファ\*が空でないのに、コントロールビットのビット3が1 (書き込み動作) の場合
- スレーブ送信バッファ\*が空なのに、コントロールビットがデータの読み込み (H'3、H'7) の場合
- ロックを設定されているのに、ロックを設定したユニット以外からコントロールビットのH'3、H'6、H'7、H'A、H'B、H'E、H'Fを要求した場合
- ロックを設定されていないのに、コントロールビットがロックアドレスの読み込み (H'4、H'5) の場合
- タイミングエラーが発生した場合
- 未定義のコントロールビットの場合

【注】 \* 「20.1.3 (1) スレーブステータス (SSR) の読み込み (コントロールビット: H'0、H'6)」を参照してください。

(c) 電文長フィールドの最後のアクノリッジビット

電文長フィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- 電文長ビットのパリティが正しくない場合
- タイミングエラーが発生した場合

(d) データフィールドの最後のアクノリッジビット

データフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- データビットのパリティが正しくない場合\*
- タイミングエラーが前回のアクノリッジビット伝送以降で発生した場合
- 受信バッファがフルの状態になり、それ以上のデータを受け付けることができない場合\*

【注】 \* この場合、送信側では1フレームで伝送可能な最大伝送バイト数以内であれば、最大伝送バイト数に達するまでそのデータフィールドの送信を再実行します。

## 20.1.3 伝送データ (データフィールドの内容)

データフィールドの内容は、コントロールビットで示されるデータになります。

表 20.4 コントロールビットの内容

設定値	ビット 3*1	ビット 2	ビット 1	ビット 0	機能*2
H'0	0	0	0	0	スレープステータス (SSR) の読み込み
H'1	0	0	0	1	未定義
H'2	0	0	1	0	未定義
H'3	0	0	1	1	データ読み込みとロック
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)
H'6	0	1	1	0	スレープステータス (SSR) の読み込みとロック解除
H'7	0	1	1	1	データ読み込み
H'8	1	0	0	0	未定義
H'9	1	0	0	1	未定義
H'A	1	0	1	0	コマンド書き込みとロック
H'B	1	0	1	1	データ書き込みとロック
H'C	1	1	0	0	未定義
H'D	1	1	0	1	未定義
H'E	1	1	1	0	コマンド書き込み
H'F	1	1	1	1	データ書き込み

【注】 \*1 ビット 3 (MSB) の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータの転送方向が変わります。

ビット 3 が 1 の場合：マスタユニットからスレーブユニットへ転送

ビット 3 が 0 の場合：スレーブユニットからマスタユニットへ転送

\*2 H'3、H'6、H'A、H'B はロックの設定、および解除を指定するコントロールビットです。

H'1、H'2、H'8、H'9、H'C、H'D の未定義値が送信された場合はアクノリッジを返しません。

マスタユニットによりロックを設定されたユニットは、ロックを要求したマスタユニット以外から受信したコントロールビットが表 20.5 以外の場合、受け付けを拒否し、アクノリッジビットを出力しません。

表 20.5 ロックされたスレーブユニットに対するコントロールフィールド

設定値	ビット 3	ビット 2	ビット 1	ビット 0	機能
H'0	0	0	0	0	スレープステータスの読み込み
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)

## (1) スレープステータス (SSR) の読み込み (コントロールビット : H'0、H'6)

マスタユニットは、スレープステータスの読み込み (H'0、H'6) を行うことにより、スレープユニットが、アクノリッジビット (ACK) を返送しなかった理由を知ることができます。スレープステータスは、スレープステータスが最後に行った通信結果に対して決定されます。すべてのスレープユニットは、スレープステータスの情報を提供できます。スレープステータスについて、図 20.2 に示します。

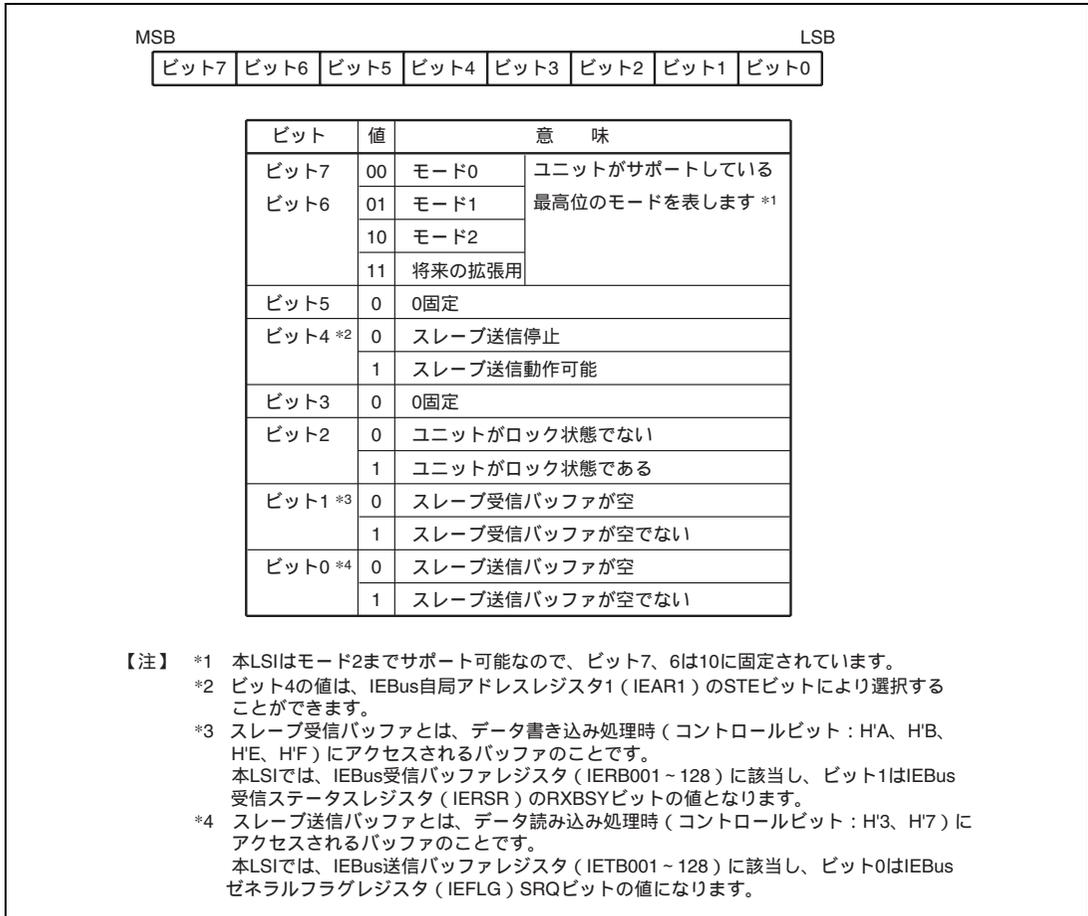


図 20.2 スレープステータス (SSR) のビット構成

## (2) データコマンド転送 (コントロールビット : 読み込み (H'3、H'7)、書き込み (H'A、H'B、H'E、H'F))

データ読み込み (H'3、H'7) の場合、スレープユニットのデータバッファにあるデータが、マスタユニットに読み込まれます。データ書き込み (H'B、H'F) またはコマンド書き込み (H'A、H'E) の場合、スレープユニットが受信したデータはそのスレープユニットの動作規定に従って処理されます。

- 【注】 1. データとコマンドの選択は、ユーザがシステムに応じて自由に決めることができます。  
 2. H'3、H'A、H'B は通信条件、状態によりロックが設定されることがあります。

## (3) ロックアドレスの読み込み (コントロールビット : H'4、H'5)

ロックアドレスの読み込み処理時 (H'4、H'5) には、ロック命令を発行したマスタユニットのアドレス (12 ビット) が、次に示すように 1 バイト単位に構成されて、読み出されます。

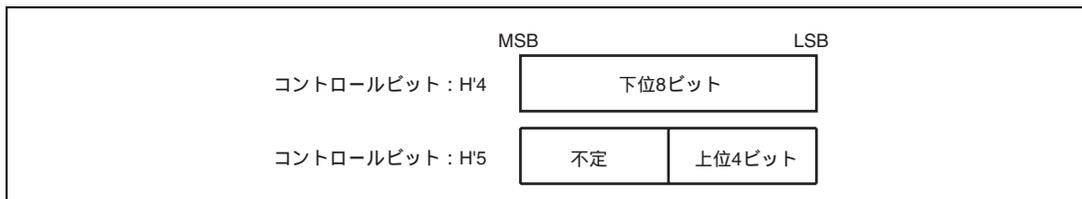


図 20.3 ロックアドレスの構成

## (4) ロックの設定、解除 (コントロールビット : 設定 (H'3、H'A、H'B)、解除 (H'6))

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。ロックを設定されたユニットは、ロックをかけたユニット以外からは受信しません。

ロックの設定および解除を、次に示します。

## (a) ロックの設定

ロックを指定したコントロールビット (H'3、H'A、H'B) で、電文長フィールドのアクノリッジビット 0 の送受信終了後、電文長ビットにて指定されたバイト数分のデータの送受信を完了せずに通信フレームを終了した場合に、スレーブユニットはマスタユニットにより、ロックを設定されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 1 にセットされます。

ロックが設定されるのは、フレーム最大伝送バイト数を超えたときのみで、他のエラー終了ではセットされません。

## (b) ロックの解除

ロックを指定したコントロールビット (H'3、H'A、H'B) または、ロックの解除を指定したコントロールビット (H'6) で、1 通信フレーム内に、電文長ビットで指定したバイト数分のデータの送受信完了後、スレーブユニットは、マスタユニットによりロックを解除されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 0 にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

【注】 ロックの解除を指定されたユニット自身で解除するには、次の 3 種類の方法があります。

- ・ パワーオンリセットをかける
- ・ ディープスタンバイをかける
- ・ IEBus コマンドレジスタ (IECMR) でロック状態解除コマンドを発行する

なお、ロック状態の有無は IEFLG の LCK ビットで確認できます。

### 20.1.4 ビットフォーマット

IEBus の通信フレームを構成するビットのフォーマット (概念) を図 20.4 に示します。

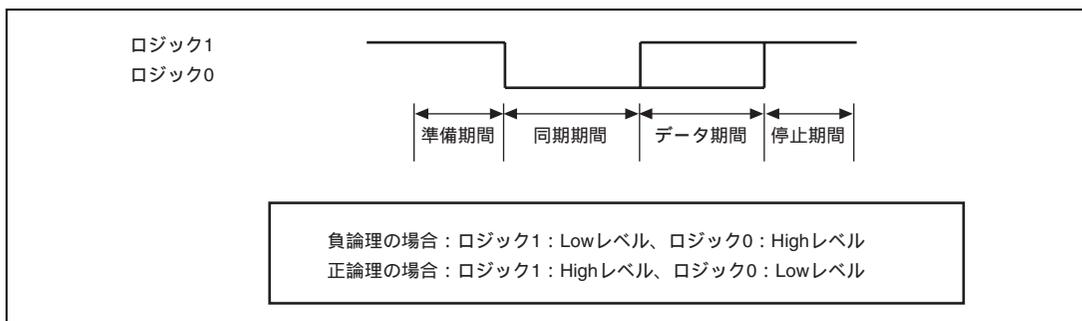


図 20.4 IEBus のビットフォーマット (概念)

以下、正論理の場合のビットフォーマットの各期間を説明します。

準備期間 : 最初のロジック 1 期間 (High レベル)

同期期間 : 次のロジック 0 期間 (Low レベル)

データ期間 : ビットの値を表す期間 (ロジック 1 : High レベル、ロジック 0 : Low レベル)

停止期間 : 最後のロジック 1 期間 (High レベル)

負論理の場合、正論理から反転したレベルになります。

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1 ビットごとに同期がとられています。また、ビット全体の時間と、そのビット内に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタユニットかスレーブユニットかの違いにより異なります。

## 20.1.5 構成

図 20.5 に IEB の全体ブロック図を、表 20.6 に各ブロックの機能を示します。

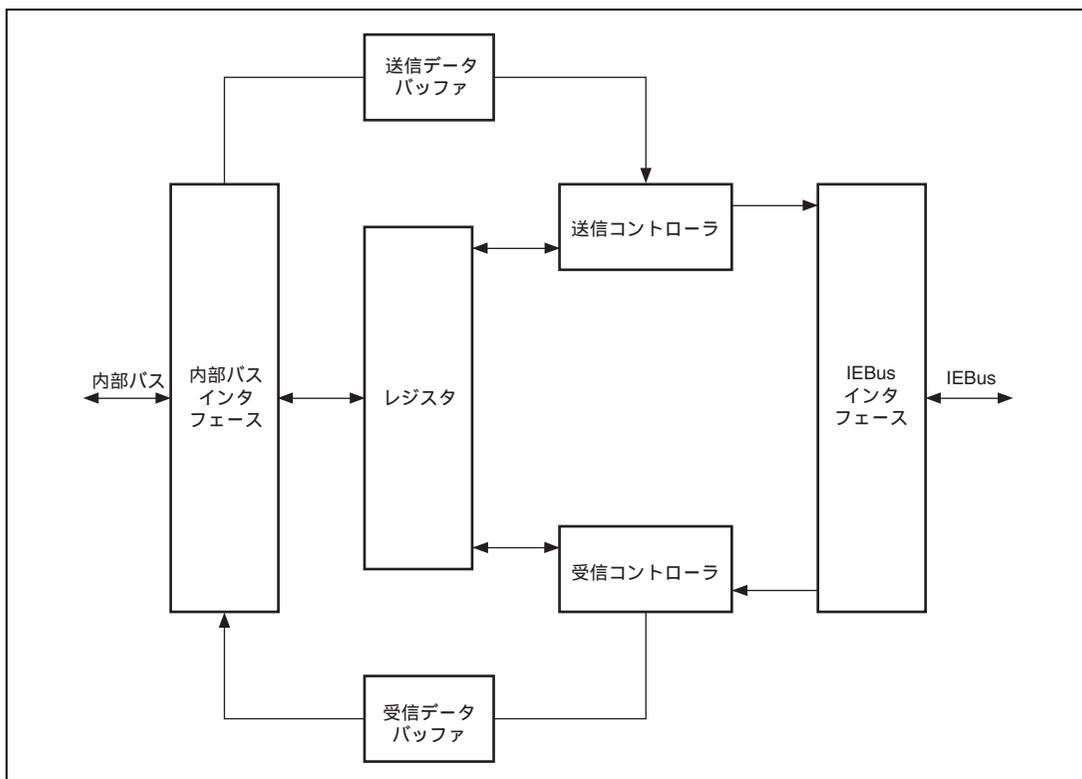


図 20.5 IEB のブロック図

表 20.6 各ブロックの機能

ブロック	機 能
内部バスインタフェース	内部バスのインタフェース機能
	<ul style="list-style-type: none"> <li>• データ幅 8 ビット</li> <li>• IEB レジスタアクセス</li> </ul>
IEBus インタフェース	IEBus 仕様に準拠したインタフェース機能
	<ul style="list-style-type: none"> <li>• 送信コントローラからデータを IEBus 仕様のビットフォーマットで IEBus 送出</li> <li>• IEBus 仕様のビットフォーマットからフレームデータを抽出し受信コントローラへ転送</li> </ul>
レジスタ	IEB 制御レジスタ
	<ul style="list-style-type: none"> <li>• IEB 制御のためのレジスタ</li> <li>• 内部バスよりリード/ライト可能</li> </ul>
送信コントローラ	送信バッファのデータ IEBus に送信
	<ul style="list-style-type: none"> <li>• レジスタからのヘッダ情報と送信バッファのデータにより送信フレームを生成し送信</li> <li>• 送信エラー検出</li> </ul>
受信コントローラ	IEBus からのデータを受信バッファに格納
	<ul style="list-style-type: none"> <li>• 受信したフレームをヘッダ情報はレジスタにデータは受信バッファに格納</li> <li>• 受信エラー検出</li> </ul>
送信データバッファ	データ送信用バッファ
	<ul style="list-style-type: none"> <li>• IEBus へ送信するデータを格納するバッファ</li> <li>• バッファ容量 128 バイト</li> </ul>
受信データバッファ	データ受信用バッファ
	<ul style="list-style-type: none"> <li>• IEBus から受信したデータを格納するバッファ</li> <li>• バッファ容量 128 バイト</li> </ul>

## 20.2 入出力端子

表 20.7 端子構成

名称	端子名	入出力	機 能
IEB 受信データ端子	IERxD	入力	受信データ入力端子
IEB 送信データ端子	IETxD	出力	送信データ出力端子

## 20.3 レジスタの説明

IEB には以下のレジスタがあります。

各レジスタは 8 ビット長で、8 ビット単位のアクセスを原則とします。

表 20.8 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
IEBus コントロールレジスタ	IECTR	R/W	H'00	H'FFFEF000	8
IEBus コマンドレジスタ	IECMR	W	H'00	H'FFFEF001	8
IEBus マスタコントロールレジスタ	IEMCR	R/W	H'00	H'FFFEF002	8
IEBus 自局アドレスレジスタ 1	IEAR1	R/W	H'00	H'FFFEF003	8
IEBus 自局アドレスレジスタ 2	IEAR2	R/W	H'00	H'FFFEF004	8
IEBus スレーブアドレス設定レジスタ 1	IESA1	R/W	H'00	H'FFFEF005	8
IEBus スレーブアドレス設定レジスタ 2	IESA2	R/W	H'00	H'FFFEF006	8
IEBus 送信電文長レジスタ	IETBFL	R/W	H'00	H'FFFEF007	8
IEBus 受信マスタアドレスレジスタ 1	IEMA1	R	H'00	H'FFFEF009	8
IEBus 受信マスタアドレスレジスタ 2	IEMA2	R	H'00	H'FFFEF00A	8
IEBus 受信コントロールフィールド レジスタ	IERCTL	R	H'00	H'FFFEF00B	8
IEBus 受信電文長レジスタ	IERBFL	R	H'00	H'FFFEF00C	8
IEBus ロックアドレスレジスタ 1	IELA1	R	H'00	H'FFFEF00E	8
IEBus ロックアドレスレジスタ 2	IELA2	R	H'00	H'FFFEF00F	8
IEBus ゼネラルフラグレジスタ	IEFLG	R	H'00	H'FFFEF010	8
IEBus 送信ステータスレジスタ	IETSR	R/(W)*	H'00	H'FFFEF011	8
IEBus 送信割り込み許可レジスタ	IEIET	R/W	H'00	H'FFFEF012	8
IEBus 受信ステータスレジスタ	IERSR	R/(W)*	H'00	H'FFFEF014	8
IEBus 受信割り込み許可レジスタ	IEIER	R/W	H'00	H'FFFEF015	8
IEBus クロック選択レジスタ	IECKSR	R/W	H'01	H'FFFEF018	8
IEBus 送信データバッファ 001 ~ 128	IETB001 ~ IETB128	W	不定	H'FFFEF100 ~ H'FFFEF17F	8
IEBus 受信データバッファ 001 ~ 128	IERB001 ~ IERB128	R	不定	H'FFFEF200 ~ H'FFFEF27F	8

【注】 \* フラグをクリアするための 1 ライトのみ可能です。

## 20.3.1 IEBus コントロールレジスタ (IECTR)

IECTR は、IEB の動作の制御の設定を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	-	IOL	DEE	-	RE	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	IOL	0	R/W	入出力レベル IERxD、IETxD 端子の入出力端子のレベル (正論理、負論理) を選択します。 0: 端子の入出力は負論理 (ロジック 1 が Low レベル、ロジック 0 が High レベル) 1: 端子の入出力は正論理 (ロジック 1 が High レベル、ロジック 0 が Low レベル)
5	DEE	0	R/W	同報受信エラー割り込みイネーブル 本ビットを 1 にセットすると、同報受信時に、受信バッファが受信可能状態にならない場合 (RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態)、同報受信エラー割り込みが発生します。その際、IEBus 受信マスタアドレスレジスタ 1、2 が格納されます。 本ビットが 0 のときは、同報受信時に、受信バッファが受信可能状態にならない場合、同報受信エラー割り込みは発生せず受信を中止して待機状態に入ります。マスタアドレスは保存されません。 0: コントロールフィールドまでの同報受信エラーを発生させない。 1: コントロールフィールドまでの同報受信エラーを発生させる。
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RE	0	R/W	レシーブイネーブル IEB の受信の許可 / 禁止を設定します。本ビットの設定は、フレーム受信前の初期設定で行ってください。 0: 受信動作を禁止 1: 受信動作を許可
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 20.3.2 IEBus コマンドレジスタ (IECMR)

IECMR は、IEB の通信の制御を行うためのコマンドを発行するレジスタです。本レジスタはライト専用レジスタです。リード値は不定です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CMD		
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	W	W	W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	-	リザーブビット 読み出すと不定が読み出されます。書き込む値は常に 0 にしてください。
2~0	CMD	000	W	コマンドビット IEB の通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLG の CMX ビットがセットされている間はコマンド実行中です。CMX が 0 になって、動作状態に移行します。  000: ノーオペレーション (動作に影響なし) 001: ロック状態 (他局からの要求) を解除*1 010: マスタとしての通信を要求 011: マスタ通信を中止*2 100: 未定義*4 101: スレープからのデータ送信を要求 110: スレープからのデータ送信を中止*3 111: 未定義*4

【注】 \*1 スレープ通信状態では、実行禁止です。

\*2 マスタ通信中 (MRQ = 1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。マスタ通信中に本コマンドを発行すると、通信コントローラは直ちに待機状態に入ります。同時に、発行されていたマスタ送信要求は終了 (MRQ = 0) します。

\*3 スレープ送信 (SRQ = 1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。スレープ送信中に本コマンドを発行すると、スレープ送信を行う前では、SRQ = 0 となるため、マスタからの送信要求に対応しなくなります。スレープ送信を行っている状態でコマンドを発行すると、送信動作を中止し、待機状態になります。(SRQ = 0)

\*4 未定義ビットです。本コマンドを発行しても動作に影響ありません。

### 20.3.3 IEBus マスタコントロールレジスタ (IEMCR)

IEMCR は、マスタ通信を行うときの通信条件を設定します。

ビット:	7	6	5	4	3	2	1	0
	SS	RN			CTL			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説 明
7	SS	0	R/W	同報 / 通常通信の選択 マスタ通信時の、同報 / 通常通信の選択を行います。 0 : マスタ通信時、同報通信 1 : マスタ通信時、通常通信
6~4	RN	000	R/W	再送回数 マスタ通信中にアービトレーションに負けた場合に、自動的に再送信を行う回数を設定します。アービトレーションに負けた場合、IETSR の TXEAL ビットがセットされ、送信エラー終了となります。 000 : 0 回 001 : 1 回 010 : 2 回 011 : 3 回 100 : 4 回 101 : 5 回 110 : 6 回 111 : 7 回

ビット	ビット名	初期値	R/W	説 明
3~0	CTL* <sup>1</sup>	0000	R/W	<p>コントロールビット</p> <p>マスタ送信時の、コントロールフィールドのコントロールビットの設定を行います。</p> <p>0000 : スレープステータスの読み込み</p> <p>0001 : 未定義*<sup>3</sup></p> <p>0010 : 未定義*<sup>3</sup></p> <p>0011 : データ読み込みとロック*<sup>2</sup></p> <p>0100 : ロックアドレスの読み込み (下位 8 ビット)</p> <p>0101 : ロックアドレスの読み込み (上位 4 ビット)</p> <p>0110 : スレープステータスの読み込みとロック解除*<sup>2</sup></p> <p>0111 : データ読み込み</p> <p>1000 : 未定義*<sup>3</sup></p> <p>1001 : 未定義*<sup>3</sup></p> <p>1010 : コマンド書き込みとロック*<sup>2</sup></p> <p>1011 : データ書き込みとロック*<sup>2</sup></p> <p>1100 : 未定義*<sup>3</sup></p> <p>1101 : 未定義*<sup>3</sup></p> <p>1110 : コマンド書き込み</p> <p>1111 : データ書き込み</p>

【注】 \*1 ビット 3 の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータ転送方向が変わります。

ビット 3 が 1 の場合 : マスタユニットからスレープユニットへの転送

ビット 3 が 0 の場合 : スレープユニットからマスタユニットへの転送

\*2 ロックの設定、および解除を指定するコントロールビットです。

\*3 使用禁止です。

### 20.3.4 IEBus 自局アドレスレジスタ 1 (IEAR1)

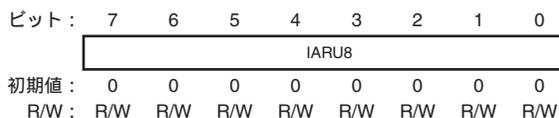
IEAR1 は、自局アドレスの下位 4 ビットと、通信モードを設定します。自局アドレスは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット:	7	6	5	4	3	2	1	0
	IARL4				IMD	-	STE	
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	IARL4	0000	R/W	IEBus 自局アドレス下位 4 ビット 自局アドレスの下位 4 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。
3, 2	IMD	00	R/W	IEBus 通信モード IEBus 通信モードの選択を行います。 00: 通信モード 0 01: 通信モード 1 10: 通信モード 2 11: 設定禁止
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	STE	0	R/W	スレーブ送信設定 スレーブステータスレジスタのビット 4 の値を設定します。本ビットを 1 に設定すると、マスタユニットに対して、スレーブステータスレジスタの送信により、スレーブ送信可能状態である、という情報を与えます。本ビットはスレーブステータスレジスタの値を設定するだけで、スレーブ送信の動作には直接影響しません。 0: スレーブステータスのビット 4 は 0 (スレーブ送信停止状態) 1: スレーブステータスのビット 4 は 1 (スレーブ送信可能状態)

### 20.3.5 IEBus 自局アドレスレジスタ 2 (IEAR2)

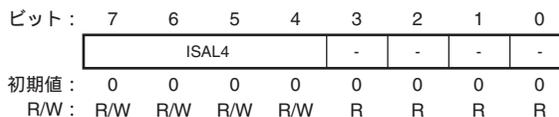
IEAR2 は、自局アドレスの上位 8 ビットを設定します。本レジスタは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。



ビット	ビット名	初期値	R/W	説明
7~0	IARU8	すべて 0	R/W	IEBus 自局アドレス上位 8 ビット 自局アドレスの上位 8 ビットを設定します。マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスとの比較を行います。

### 20.3.6 IEBus スレーブアドレス設定レジスタ 1 (IESA1)

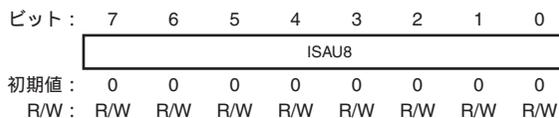
IESA1 は、通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。



ビット	ビット名	初期値	R/W	説明
7~4	ISAL4	0000	R/W	IEBus スレーブアドレス下位 4 ビット 通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 20.3.7 IEBus スレーブアドレス設定レジスタ 2 (IESA2)

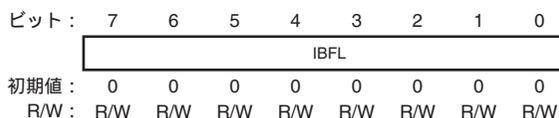
IESA2 は、通信相手のスレーブユニットのアドレスの上位 8 ビット設定します。



ビット	ビット名	初期値	R/W	説明
7~0	ISAU8	すべて 0	R/W	IEBus スレーブアドレス上位 8 ビット 通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。

### 20.3.8 IEBus 送信電文長レジスタ (IETBFL)

IETBFL は、マスタ送信、スレーブ送信を行う際の電文長を設定します。



ビット	ビット名	初期値	R/W	説明
7~0	IBFL	すべて 0	R/W	送信電文長ビット マスタ送信する際の電文長の値を設定します。通信モードの最大伝送バイト数以内の値を設定してください。 H'01 : 1 バイト H'02 : 2 バイト : H'7F : 127 バイト H'80 : 128 バイト H'81 : 未定義* : H'FF : 未定義* H'00 : 未定義*

【注】 \* 設定禁止です。

### 20.3.9 IEBus 受信マスタアドレスレジスタ 1 (IEMA1)

IEMA1 は、スレーブ/同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	IMAL4				-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	IMAL4	0000	R	IEBus 受信マスタアドレス下位 4 ビット スレーブ/同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットを表示します。本レジスタは、スレーブ/同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。 IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA1 にマスタアドレス下位 4 ビットが格納されます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 20.3.10 IEBus 受信マスタアドレスレジスタ 2 (IEMA2)

IEMA2 は、スレーブ/同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。本レジスタは、スレーブ/同報受信が開始すると有効になります (IERSR の RXS ビットがセットされた時点で、内容が書き換えられます)。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	IMAU8							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	IMAU8	すべて 0	R	IEBus 受信マスタアドレス上位 8 ビット スレーブ/同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットを表示します。本レジスタは、スレーブ/同報受信が開始されると有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。 IECTR の DEE ビットで同報受信エラーが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。

### 20.3.11 IEBus 受信コントロールフィールドレジスタ (IERCTL)

IERCTL は、スレープ / 同報受信時のコントロールフィールドの値が読み出されます。本レジスタは、スレープ / 同報受信が開始すると有効になります ( IERSR の RXS ビットがセットされた時点で、内容が書き換えられます )。本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RCTL			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	RCTL	0000	R	IEBus 受信コントロールフィールド スレープ / 同報受信時のコントロールフィールドの値を表示します。本レジスタは、スレープ / 同報受信が開始されると有効になります ( RXS ビットがセットされた時点で、内容が書き換えられます )。

### 20.3.12 IEBus 受信電文長レジスタ (IERBFL)

IERBFL は、スレープ / 同報受信時の電文長フィールドが読み出されます。本レジスタは、スレープ / 同報受信が開始すると有効になります ( IERSR の RXS ビットがセットされた時点で、内容が書き換えられます )。

本レジスタへのライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	RBFL							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	RBFL	すべて0	R	IEBus 受信電文長 スレープ / 同報受信時の電文長フィールドの内容が読み出されます。

## 20.3.13 IEBus ロックアドレスレジスタ 1 (IELA1)

IELA1 は、ロックが設定されたときのロックアドレスの下位 8 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	ILAL8							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	ILAL8	すべて 0	R	IEBus ロックアドレス下位 8 ビット ロックを設定したマスタユニットのアドレス下位 8 ビットを表示します。 IEFLG の LCK ビットがセットされているときのみ有効です。

## 20.3.14 IEBus ロックアドレスレジスタ 2 (IELA2)

IELA2 は、ロックが設定されたときのロックアドレスの上位 4 ビットを表示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ILAU4			
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	ILAU4	0000	R	IEBus ロックアドレス上位 4 ビット ロックを設定したマスタユニットのアドレス上位 4 ビットを格納します。 IEFLG の LCK ビットがセットされているときのみ有効です。

## 20.3.15 IEBus ゼネラルフラグレジスタ (IEFLG)

IEFLG は、IEB のコマンドの実行状態の表示、ロック状態の表示、スレーブアドレスの一致、同報受信の検出を行います。

ビット:	7	6	5	4	3	2	1	0
	CMX	MRQ	SRQ	SRE	LCK	-	RSS	GG
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	CMX	0	R	コマンド実行状態 コマンドの実行状態を示します。 0: コマンドの実行は終了 1: コマンド実行中 [セット条件] • MRQ、SRQ、SRE のいずれかがセットされた条件で、マスタ通信要求コマンドかスレーブ送信要求コマンドを発行時 [クリア条件] • コマンドが実行終了したとき。
6	MRQ	0	R	マスタ通信要求 マスタユニットとして、通信要求期間中か期間中でないかを示します。 0: マスタユニットとしての通信要求期間中ではない 1: マスタユニットとしての通信要求期間中 [セット条件] • マスタ通信要求コマンドを発行し、CMX ビットが 0 になったとき。 [クリア条件] • マスタ通信が終了したとき。
5	SRQ	0	R	スレーブ送信要求 スレーブユニットとして、送信要求期間中か期間中でないかを示します。 0: スレーブユニットとして送信要求期間中ではない 1: スレーブユニットとして送信要求期間中 [セット条件] • スレーブ送信要求コマンドを発行し、CMX ビットが 0 になったとき。 [クリア条件] • スレーブ送信が終了したとき。

ビット	ビット名	初期値	R/W	説 明
4	SRE	0	R	<p>スレーブ受信状態</p> <p>スレーブ/同報受信の実行状態を示します。</p> <p>0: スレーブ/同報受信中ではない</p> <p>1: スレーブ/同報受信中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• IECTR の RE ビットが1の状態、スレーブ/同報受信を開始したとき。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• スレーブ/同報受信が終了したとき。</li> </ul>
3	LCK	0	R	<p>ロック状態表示</p> <p>マスタユニットからロック要求を受けて、ロックが設定された場合、セットされます。IELA1、IELA2の値は本ビットがセットされているとき、有効です。</p> <p>0: ロックは解除</p> <p>1: ロック状態</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• マスタからロック設定のコントロールビットを受信し、電文長で指定されたデータを受信しなかったとき (LCK がセットされるのはフレーム最大伝送バイト数を越えたときのみで、他のエラー終了ではセットされません)。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ロック解除条件が成立するか、ロック解除コマンドを発行したとき。</li> </ul>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1	RSS	0	R	<p>受信同報ビット</p> <p>受信した同報ビットの値を示します。スレーブ/同報受信開始時有効になります (RXS ビットがセットされた時点で内容が書き換えられます)。</p> <p>スレーブ/同報受信開始時までは、前回値を保持します。</p> <p>0: 受信した同報ビットは0</p> <p>1: 受信した同報ビットは1</p>
0	GG	0	R	<p>一斉同報受信認識</p> <p>同報受信時、スレーブアドレスがH'FFFFを認識したとき、セットされます。受信同報ビットと同様に、スレーブ/同報受信開始時有効になります (RXS ビットがセットされた時点で、内容が書き換えられます)。</p> <p>スレーブ/同報受信開始時までは、前回値を保持します。スレーブ通常受信の場合は、0になります。</p> <p>0: (1) スレーブ受信であった</p> <p>(2) 同報受信時、スレーブアドレスフィールドでH'FFFFを認識しなかった</p> <p>1: 同報受信時、スレーブアドレスフィールドでH'FFFFを認識した</p>

### 20.3.16 IEBus 送信ステータスレジスタ (IETSR)

IETSR は、送信開始、送信正常終了、送信エラー終了等の状態を検出します。

それぞれの要因は、IEBus 送信割り込み許可レジスタ (IEIET) に対応したビットを持っており、割り込みの禁止/許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット:	7	6	5	4	3	2	1	0
	-	TXS	TXF	-	TXEAL	TXETTME	TXERO	TXEACK
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXS	0	R/(W)*	送信開始 IEB が、送信開始したことを示します。 [セット条件] • マスタ送信時、アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき。 [クリア条件] • 1 をライトしたとき
5	TXF	0	R/(W)*	送信正常終了 送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。 [セット条件] • 電文長ビットで指定した送信データバイト数分の送信を終了したとき [クリア条件] • 1 をライトしたとき
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/(W)*	アービトレーション負け IEB はマスタ通信時にアービトレーションに負けた場合、IEMCR の RN で設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合には、本ビットをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、本ビットは 1 にセットされません。本ビットがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。 [セット条件] • データ送信中に、アービトレーション負けが発生し送信が終了したことを示します。 [クリア条件] • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	TXETTME	0	R/(W)*	<p>送信タイミングエラー</p> <p>データ送信中、IEB プロトコルで規定したタイミングでデータの転送が行われなかったとき、本ビットがセットされます。IEB は、本ビットをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>データ送信中に、タイミングエラーが発生したことを示します。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 をライトしたとき</li> </ul>
1	TXERO	0	R/(W)*	<p>送信フレーム最大伝送バイト数オーバ</p> <p>データ送信時に、受信ユニットから NAK を受信し再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送数より大きい値であったため、送信が終了しなかったことを示します。IEB は本ビットをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>通信モードで定義する最大バイト数まで送信したが、送信が終了しなかったことを示します。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 をライトしたとき</li> </ul>
0	TXEACK	0	R/(W)*	<p>アクノリッジビット</p> <p>データフィールドのアクノリッジビットで受信したデータを示します。</p> <ul style="list-style-type: none"> <li>データフィールド以外のアクノリッジビット</li> </ul> <p>NAK を受信すると、送信を中止し待機状態に入ります。本ビットは 1 にセットされます。</p> <ul style="list-style-type: none"> <li>データフィールドでのアクノリッジビット</li> </ul> <p>データフィールド送信時に、受信ユニットから NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。この場合、送信中に受信ユニットから、ACK を受信した場合には、本ビットは設定されず、そのまま送信を行います。ACK を受信することができずに、通信を終了した場合に、本ビットは 1 にセットされます。</p> <p>【注】本フラグは同報通信では、無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>アクノリッジビットで 1 (NAK) を検出したことを示します。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 をライトしたとき</li> </ul>

【注】 \* フラグをクリアするための 1 ライトのみ可能です。

## 20.3.17 IEBus 送信割り込み許可レジスタ (IEIET)

IEIET は、IETSR の送信開始、送信正常終了、送信エラー終了等の各要因について、割り込みの禁止 / 許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	-	TXSE	TXFE	-	TXEAL	TXE TTMEE	TXEROE	TXE ACKE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TXSE	0	R/W	送信開始割り込み許可 送信開始 (TXS) 割り込みの禁止 / 許可を設定します。 0: 送信開始 (TXS) 割り込みを禁止 1: 送信開始 (TXS) 割り込みを許可
5	TXFE	0	R/W	送信正常終了割り込み許可 送信正常終了 (TXF) 割り込みの禁止 / 許可を設定します。 0: 送信正常終了 (TXF) 割り込みを禁止 1: 送信正常終了 (TXF) 割り込みを許可
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TXEAL	0	R/W	アービトレーション負け割り込み許可 アービトレーション負け (TXEAL) 割り込みの禁止 / 許可を設定します。 0: アービトレーション負け (TXEAL) 割り込みを禁止 1: アービトレーション負け (TXEAL) 割り込みを許可
2	TXE TTMEE	0	R/W	送信タイミングエラー割り込み許可 送信タイミングエラー (TXETTMEE) 割り込みの禁止 / 許可を設定します。 0: 送信タイミングエラー (TXETTMEE) 割り込みを禁止 1: 送信タイミングエラー (TXETTMEE) 割り込みを許可
1	TXEROE	0	R/W	送信フレーム最大伝送バイト数オーバー割り込み許可 送信フレーム最大伝送バイト数オーバー (TXEROE) 割り込みの禁止 / 許可を設定します。 0: 送信連フレーム最大伝送バイト数オーバー (TXEROE) 割り込みを禁止 1: 送信連フレーム最大伝送バイト数オーバー (TXEROE) 割り込みを許可
0	TXE ACKE	0	R/W	アクノリッジビット割り込み許可 アクノリッジビット (TXEACKE) 割り込みの禁止 / 許可を設定します。 0: アクノリッジビット (TXEACKE) 割り込みを禁止 1: アクノリッジビット (TXEACKE) 割り込みを許可

### 20.3.18 IEBus 受信ステータスレジスタ (IERSR)

IERSR は、受信ビジー、受信開始、受信正常終了、受信エラー終了等の状態を検出します。各要因は、IEIER に対応したビットを持っており、割り込みの禁止/許可を設定することができます。本ビットは各ビットに 1 を書き込むことによりクリアされます。

ビット:	7	6	5	4	3	2	1	0
	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXE RTME	RXEDLE	RXEPE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)*							

ビット	ビット名	初期値	R/W	説明
7	RXBSY	0	R/(W)*	受信ビジー 受信データバッファ (IERB001 ~ IERB128) に受信したデータが格納されていることを示します。受信データをすべて読み出した後クリアしてください。本ビットがセットされている間は、次の受信データを受信できません。 [セット条件] • 受信データが受信データバッファにすべて書き込まれたとき [クリア条件] • 1 をライトしたとき
6	RXS	0	R/(W)*	受信開始 IEB が受信開始したことを示します。 [セット条件] • スレーブ受信時、マスタユニットから、電文長フィールドまで正しく受信したとき [クリア条件] • 1 をライトしたとき
5	RXF	0	R/(W)*	受信正常終了 受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。 [セット条件] • 1 : 電文長ビットで指定した受信データバイト数分の受信を終了したとき [クリア条件] • 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
4	RXEDE	0	R/(W)*	<p>同報受信エラー</p> <p>同報受信のコントロールフィールド受信時、受信バッファが受信可能状態でない (RE ビットが 1 にセットされていない状態か、RXBSY フラグがセットされている状態) ためデータを受信できなかったことを示します。本ビットは IECTR の DEE ビットが 1 のとき、機能します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• 同報受信でデータを受信できなかったとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 をライトしたとき</li> </ul>
3	RXEOVE	0	R/(W)*	<p>受信オーバランフラグ</p> <p>データ受信中のオーバラン発生を示すフラグです。</p> <p>IEB は、RXBSY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で、次のデータ受信を開始すると、本フラグをセットします。このとき IEB はオーバランエラーが発生したと判断し、通信相手に NAK を返送します。この後、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。RXBSY フラグがセットされたままだと、IEB は NAK を送信し続けます。RXBSY フラグがクリアされると、IEB は ACK を送信し次のデータを取り込みます。同報受信の場合、データ受信開始時に、RXBSY ビットがセットされていると、直ちに待機状態に入ります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• RXBSY フラグがクリアされていない状態で、次のデータを受信したとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 をライトしたとき</li> </ul>
2	RXERTME	0	R/(W)*	<p>受信タイミングエラー</p> <p>データ受信時、IEB プロトコルで規定したタイミングで正しくデータを受信できなかった場合、本ビットがセットされます。IEB は、本ビットをセットして待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• データ受信中に、タイミングエラーが発生したことを示します</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 をライトしたとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
1	RXEDLE	0	R/(W)*	<p>受信フレーム最大伝送バイト数オーバー</p> <p>データ受信時に、パリティエラーかオーバーランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で、受信が終了しなかったか、電文長の値が、最大伝送バイト数より大きい値であったため、受信が終了しなかったことを示します。IEB は本ビットをセットして待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このときビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>通信モードで定義される最大バイト数内で、受信が終了しなかったことを示します</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 をライトしたとき</li> </ul>
0	RXEPE	0	R/(W)*	<p>パリティエラー</p> <p>データフィールド受信中に、パリティエラーが発生したことを示します。データフィールド受信前にパリティエラーが発生した場合、IEB は直ちに待機状態になります。RXEPE はセットされません。データフィールド受信中にパリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、RXEPE はまだセットされません。パリティエラーが発生すると、IEB はアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。再受信中に、パリティエラーが解消され、正常に受信が行われると、RXEPE はセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になった時に、パリティエラーが解消されていなかった場合、RXEPE はセットされます。同報受信の場合、データフィールド受信中にパリティエラーが発生すると、IEB は RXEPE をセットし、直ちに待機状態になります。このフラグは、受信開始フラグ (RXS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、このビットはセットされません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 をライトしたとき</li> </ul>

【注】 \* フラグをクリアするための 1 ライトのみ可能です。

## 20.3.19 IEBus 受信割り込み許可レジスタ (IEIER)

IEIER は、IERSR の受信ビジー、受信開始、受信正常終了、受信エラー終了等のそれぞれの要因について、割り込みの禁止 / 許可を設定することができます。

ビット:	7	6	5	4	3	2	1	0
	RXBSYE	RXSE	RXFE	RXEDEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXPEEE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	RXBSYE	0	R/W	受信ビジー割り込み許可 受信ビジー (RXBSY) 割り込みの禁止 / 許可を設定します。 0: 受信ビジー (RXBSY) 割り込みを禁止 1: 受信ビジー (RXBSY) 割り込みを許可
6	RXSE	0	R/W	受信開始割り込み許可 受信開始 (RXS) 割り込みの禁止 / 許可を設定します。 0: 受信開始 (RXS) 割り込みを禁止 1: 受信開始 (RXS) 割り込みを許可
5	RXFE	0	R/W	受信正常終了割り込み許可 受信正常終了 (RXF) 割り込みの禁止 / 許可を設定します。 0: 受信正常終了 (RXF) 割り込みを禁止 1: 受信正常終了 (RXF) 割り込みを許可
4	RXEDEE	0	R/W	同報受信エラー割り込み許可 同報受信エラー (RXEDE) 割り込みの禁止 / 許可を設定します。 0: 同報受信エラー (RXEDE) 割り込みを禁止 1: 同報受信エラー (RXEDE) 割り込みを許可
3	RXEOVEE	0	R/W	オーバラン制御フラグ割り込み許可 オーバラン制御フラグ (RXEOVE) 割り込みの禁止 / 許可を設定します。 0: オーバラン制御フラグ (RXEOVE) 割り込みを禁止 1: オーバラン制御フラグ (RXEOVE) 割り込みを許可
2	RXERTMEE	0	R/W	受信タイミングエラー割り込み許可 受信タイミングエラー (RXERTME) 割り込みの禁止 / 許可を設定します。 0: 受信タイミングエラー (RXERTME) 割り込みを禁止 1: 受信タイミングエラー (RXERTME) 割り込みを許可
1	RXEDLEE	0	R/W	受信フレーム最大伝送バイト数オーバ割り込み許可 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みの禁止 / 許可を設定します。 0: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを禁止 1: 受信フレーム最大伝送バイト数オーバ (RXEDLE) 割り込みを許可

ビット	ビット名	初期値	R/W	説 明
0	RXEPEE	0	R/W	パリティエラー割り込み許可 パリティエラー (RXEPE) 割り込みの禁止 / 許可を設定します。 0 : パリティエラー (RXEPE) 割り込みを禁止 1 : パリティエラー (RXEPE) 割り込みを許可

### 20.3.20 IEBus クロック選択レジスタ (IECKSR)

IECKSR は、読み出し / 書き込み可能な 8 ビットのレジスタです。IEB で使用するクロックの設定を行います。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	CKS3	-	CKS[2:0]		
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CKS3	0	R/W	入力クロック選択 3 <sup>*1</sup> * <sup>2</sup> IEB で使用するクロックの選択を行います。 0 : 周辺クロック (P ) を使用します。 1 : AUDIO_X1、AUDIO_X2 のクロックを使用します。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CKS[2:0]	001	R/W	入力クロック選択 2~0 <sup>*1</sup> IEB で使用するクロックの分周を選択します。 000 : 設定禁止 001 : CKS3 で選択したクロック (IEB ) の 1/2 のクロックを使用します。 ( IEB = 12MHz、12.58MHz ) 010 : CKS3 で選択したクロック (IEB ) の 1/3 のクロックを使用します。 ( IEB = 18MHz、18.87MHz ) 011 : CKS3 で選択したクロック (IEB ) の 1/4 のクロックを使用します。 ( IEB = 24MHz、25.16MHz ) 100 : CKS3 で選択したクロック (IEB ) の 1/5 のクロックを使用します。 ( IEB = 30MHz、31.45MHz ) 101 : CKS3 で選択したクロック (IEB ) の 1/6 のクロックを使用します。 ( IEB = 36MHz、37.74MHz ) 110 : 設定禁止 111 : 設定禁止

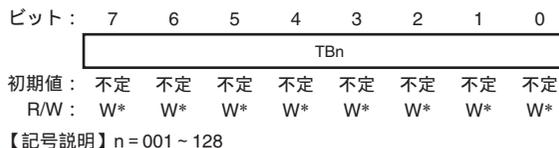
【注】 \*1 IEBus 送受信動作中は CKS3~CKS0 ビットの設定を変更しないでください。

\*2 CKS3 ビットを 1 に設定しているときは、STBCR3 レジスタの MSTP36 ビットを必ず 0 に設定してください。  
STBCR3 レジスタの設定方法については「第 32 章 低消費電力モード」を参照してください。

### 20.3.21 IEBus 送信データバッファ 001 ~ 128 (IETB001 ~ IETB128)

マスタ送信時に送信するデータを書き込む 128 バイト (8×128) バッファです。

IETB001 ~ IETB128 の初期値は不定です。



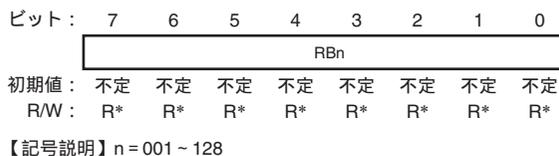
ビット	ビット名	初期値	R/W	説明
7~0	TBn	不定	W*	IEBus 送信データバッファ TB001 から TB128 は、マスタ送信時にデータフィールドで送信するデータを書き込みます。TB001 が先頭データ 1 バイトで、TB002、TB003...の順に送信順に書き込みます。TB128 が 128 バイト送信時の最終データとなります。

【注】 \* マスタ送信中 (IEFLG の MRQ = 1) のときは、書き込み禁止です。

### 20.3.22 IEBus 受信データバッファ 001 ~ 128 (IERB001 ~ IERB128)

スレーブ受信時に送信するデータを格納する 128 バイト (8×128) バッファです。

IERB001 ~ IERB128 の初期値は不定です。



ビット	ビット名	初期値	R/W	説明
7~0	RBn	不定	R*	IEBus 受信データバッファ RB001 から RB128 は、IEBus 受信ステータスレジスタ (IERSR) の RXBSY ビットが 1 のとき、読み出すことができます。RB001 から RB128 で読み出すデータはスレーブ受信時のデータフィールドの値になります。受信時のデータは RB001 が先頭データ 1 バイトで、RB002、RB003...の順に書き込まれます。RB128 が 128 バイト受信時の最終データとなります。

【注】 \* スレーブ受信中 (IEFLG の SRE = 1 かつ IERSR の RXBSY = 0) のときは、読み出し禁止です。(リード値不定)

## 20.4 データフォーマット

### 20.4.1 送信フォーマット

図 20.6 に IEBus データ送信時の伝送フォーマットと各レジスタの関係を示します。

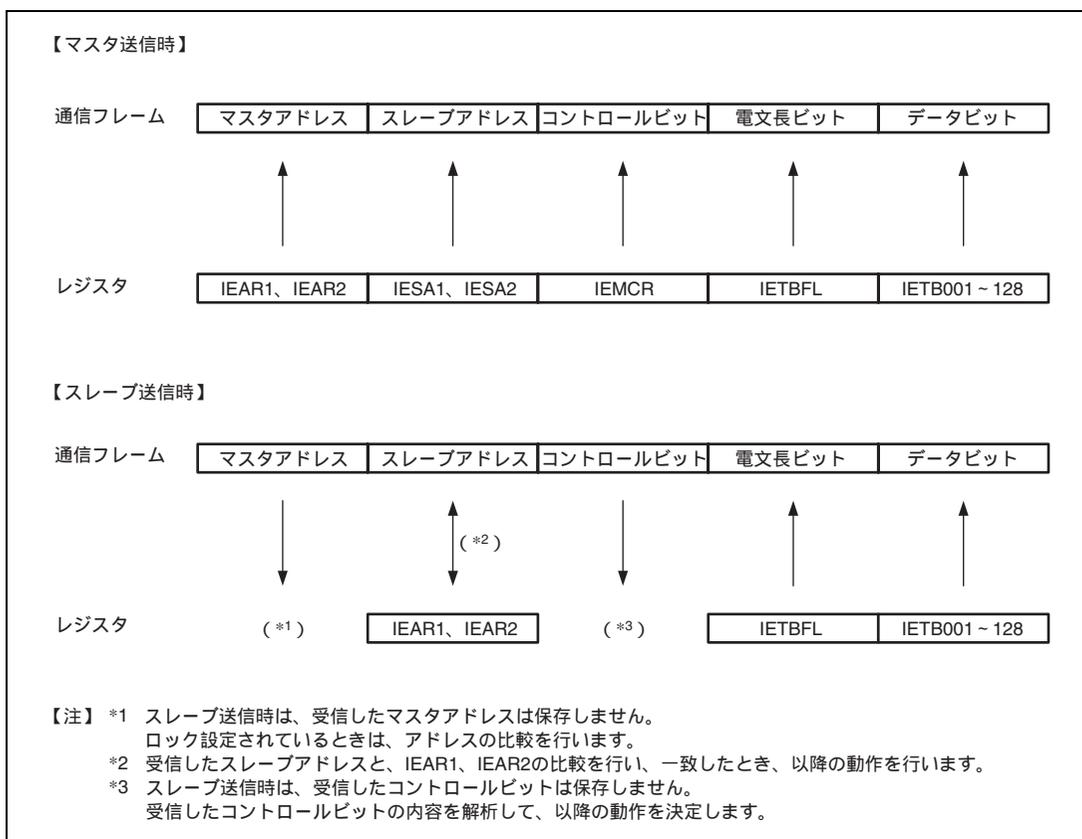


図 20.6 送信時の伝送信号フォーマットと各レジスタの関係

## 20.4.2 受信フォーマット

図 20.7 に IEBus データ受信時の伝送フォーマットと各レジスタの関係を示します。

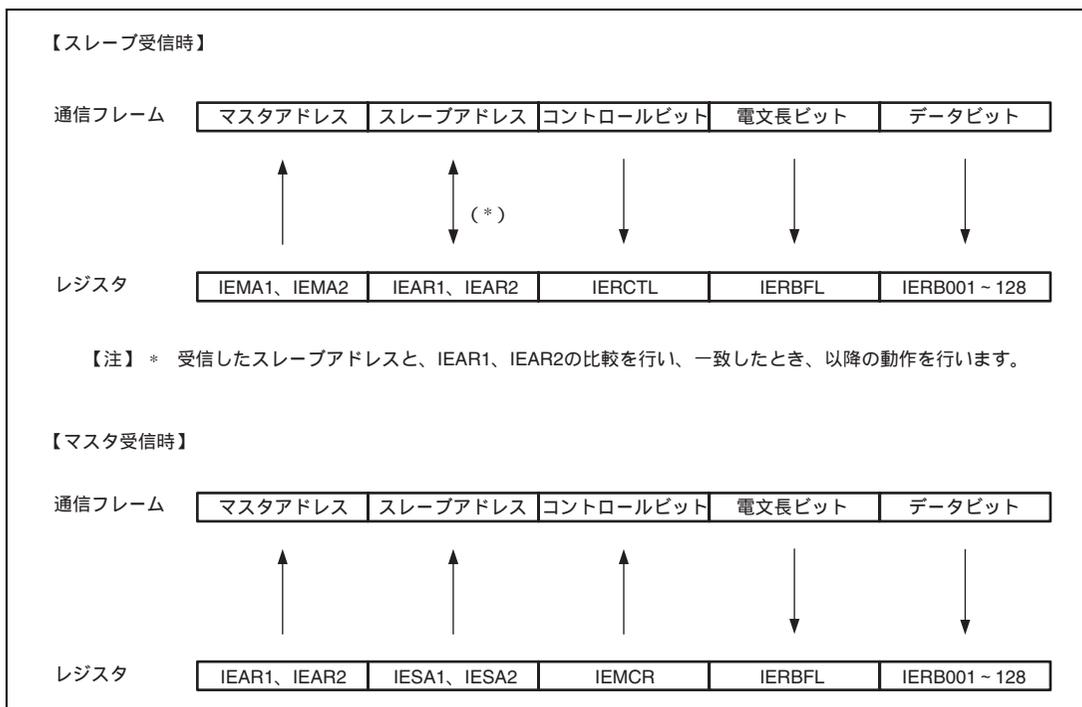


図 20.7 受信時の伝送信号フォーマットと各レジスタの関係

## 20.5 ソフト制御フロー

### 20.5.1 初期設定

図 20.8 に初期設定フローを示します。

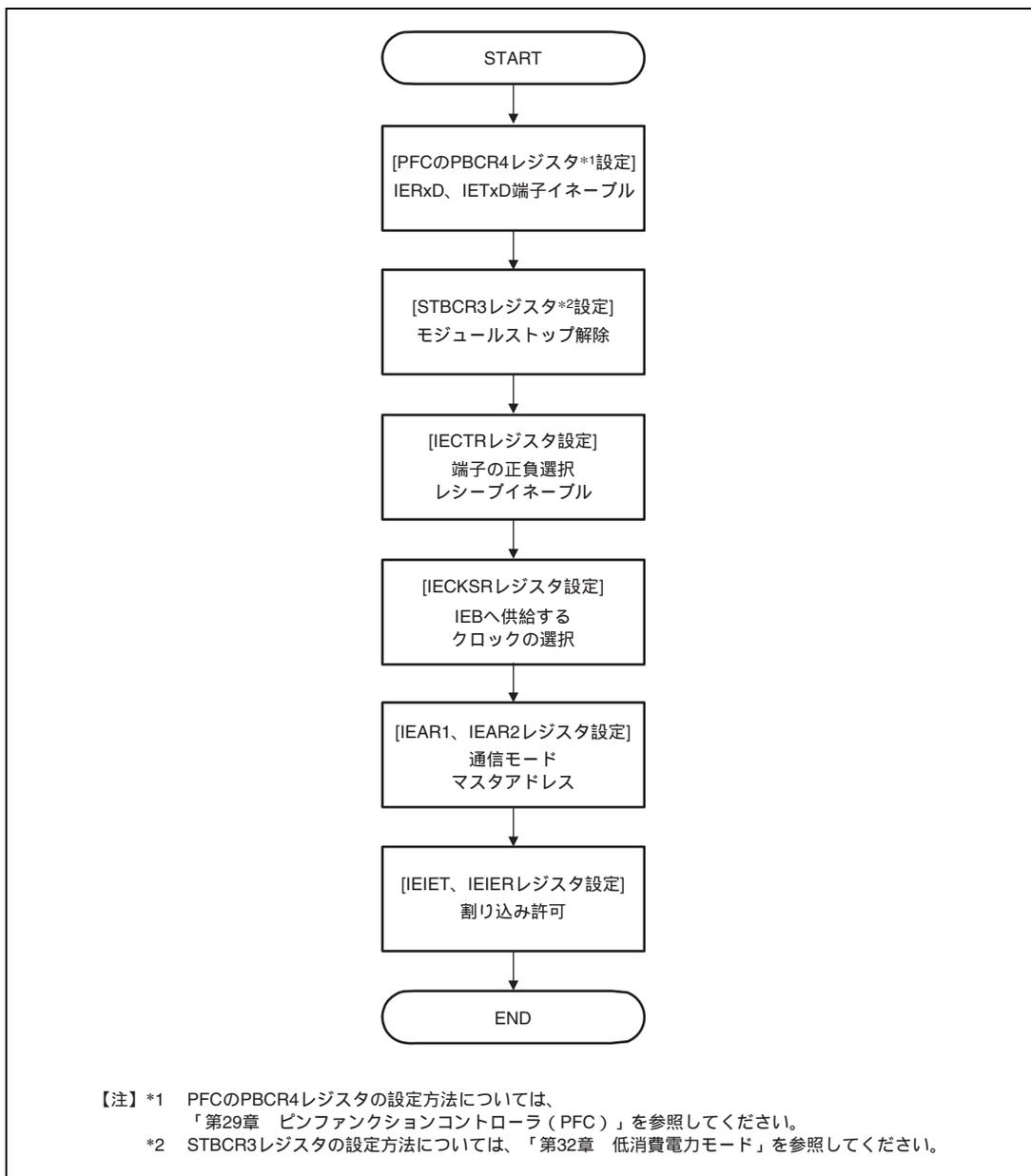


図 20.8 初期設定フロー

## 20.5.2 マスタ送信

図 20.9 にマスタ送信フローを示します。

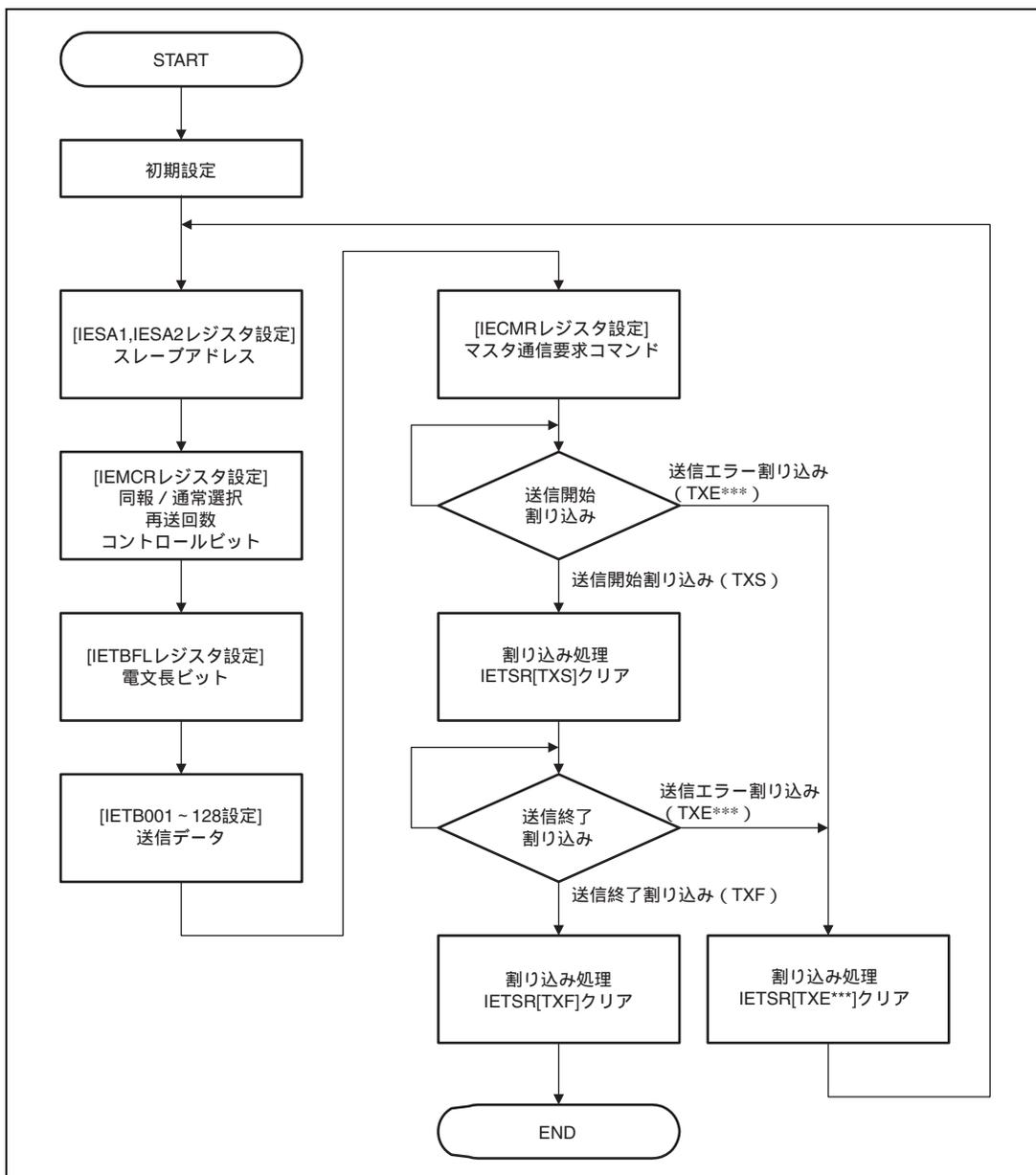


図 20.9 マスタ送信フロー

## 20.5.3 スレーブ受信

図 20.10 にスレーブ受信フローを示します。

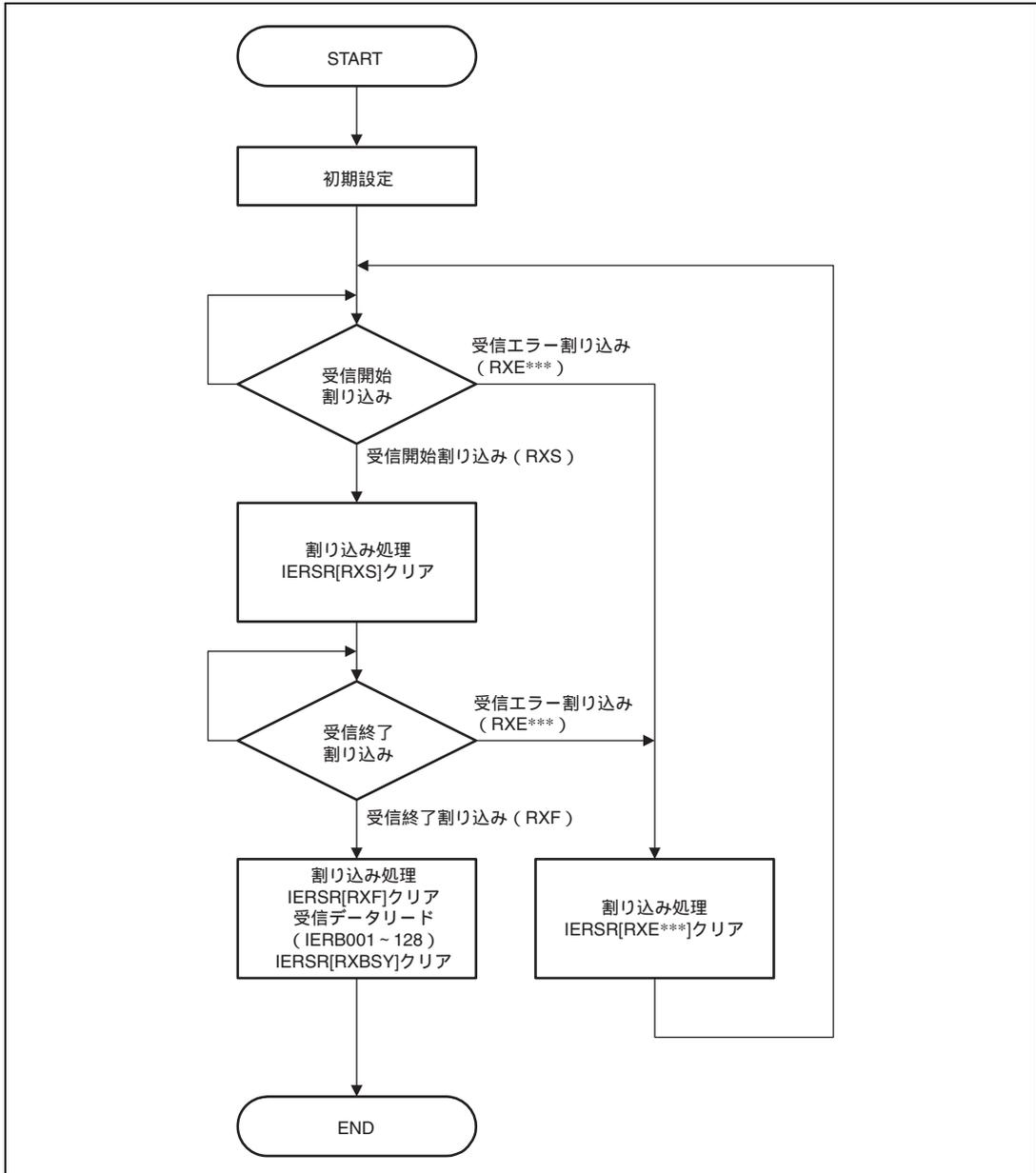


図 20.10 スレーブ受信フロー

## 20.5.4 マスタ受信

図 20.11 にマスタ受信フローを示します。

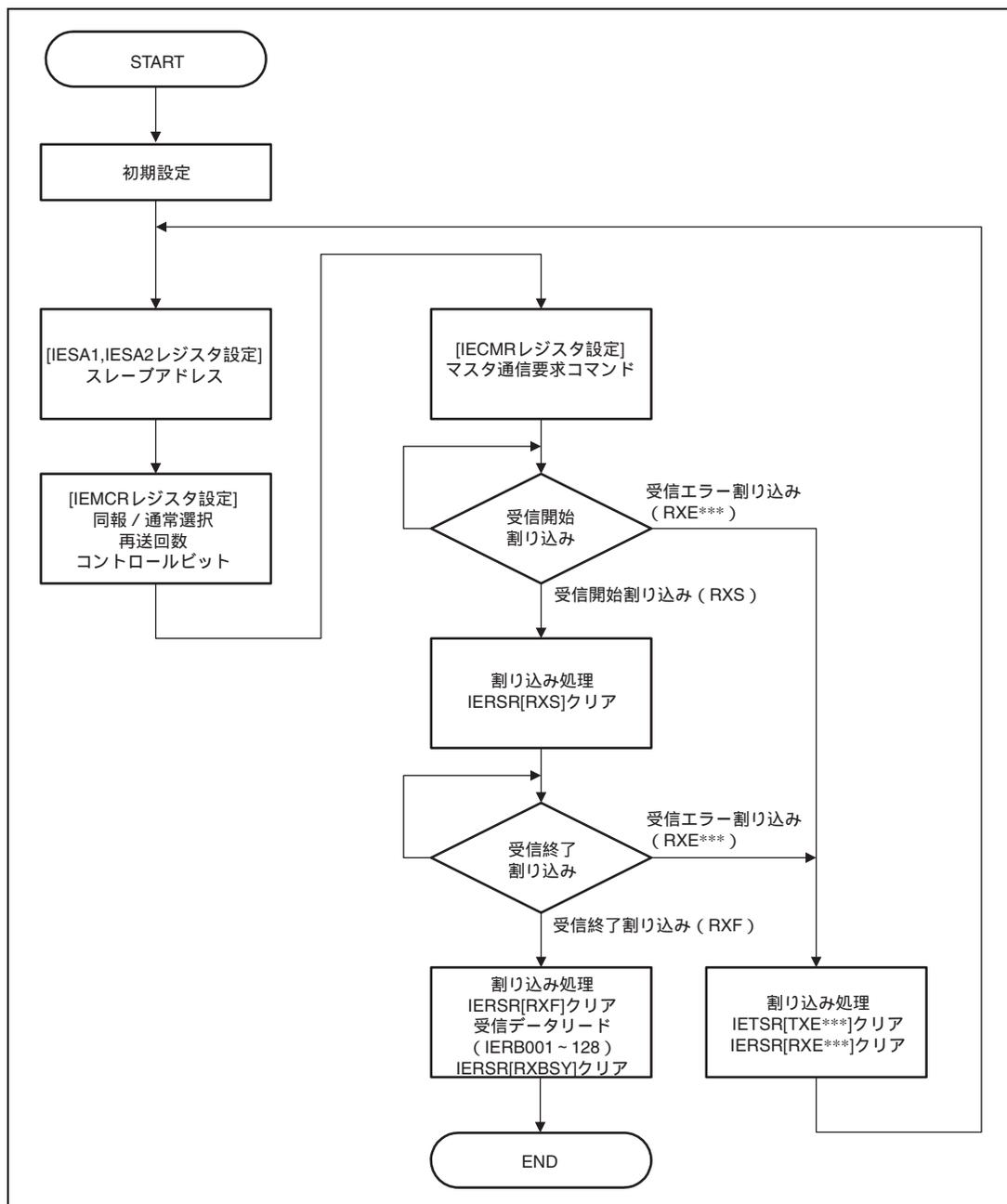


図 20.11 マスタ受信フロー

## 20.5.5 スレーブ送信

図 20.12 にスレーブ送信を示します。

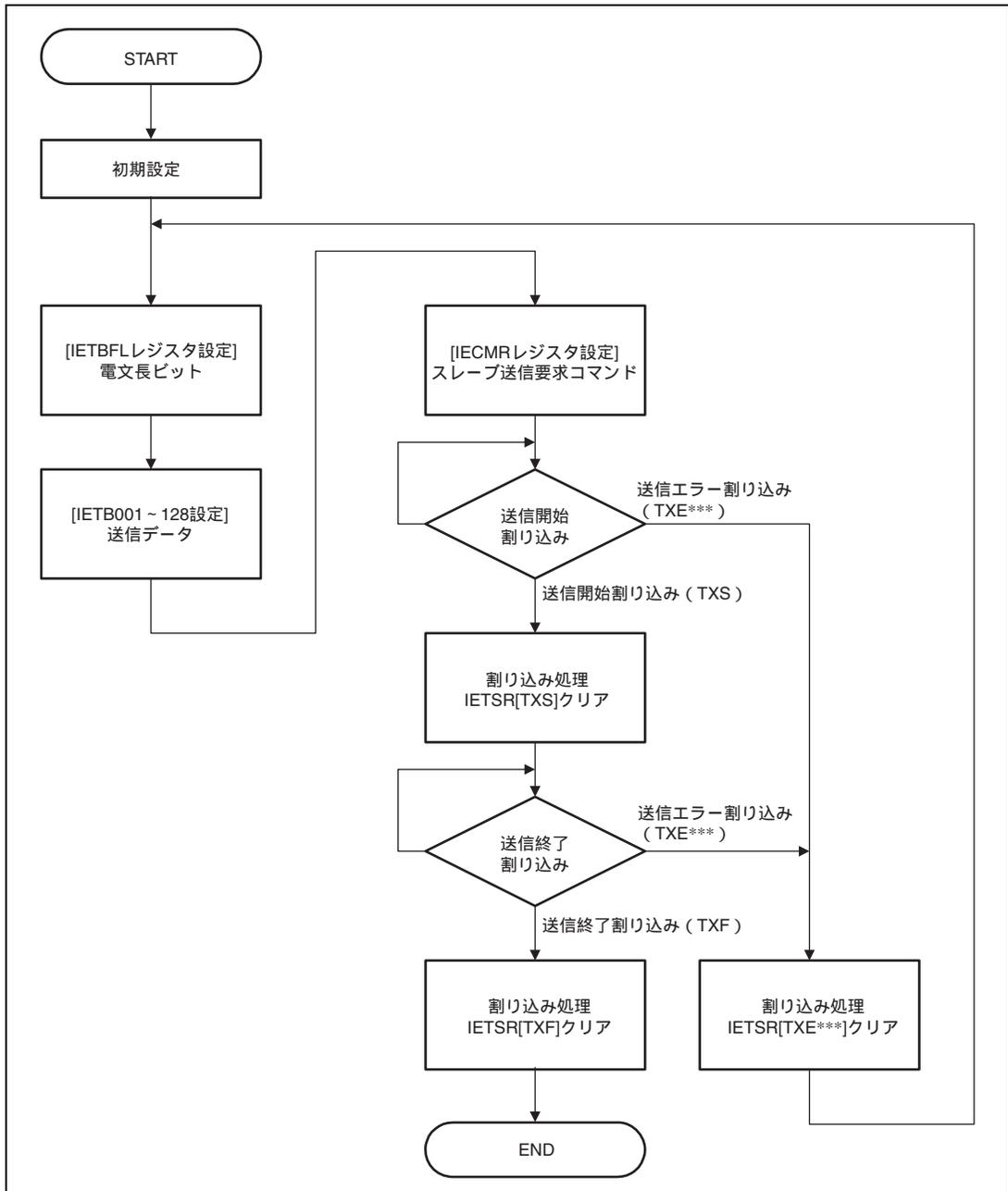


図 20.12 スレーブ送信フロー

## 20.6 動作タイミング

### 20.6.1 マスタ送信

図 20.13 にマスタ送信動作タイミングを示します。

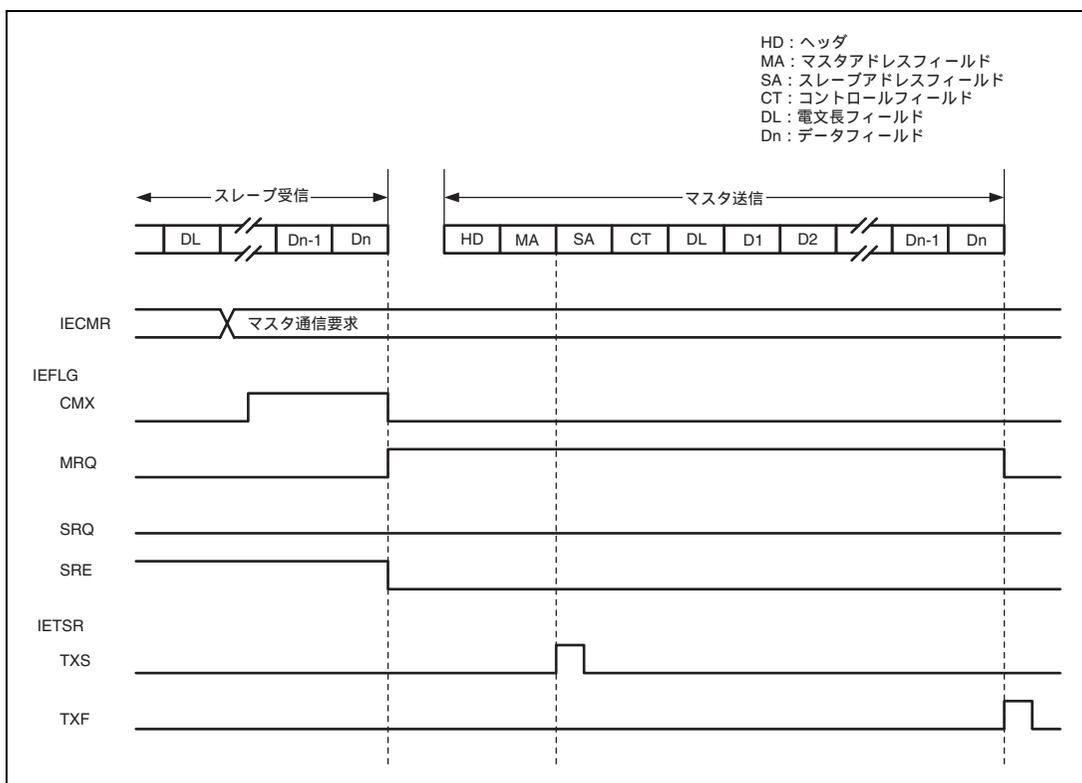


図 20.13 マスタ送信動作タイミング

## 20.6.2 スレーブ受信

図 20.14 にスレーブ受信動作タイミングを示します。

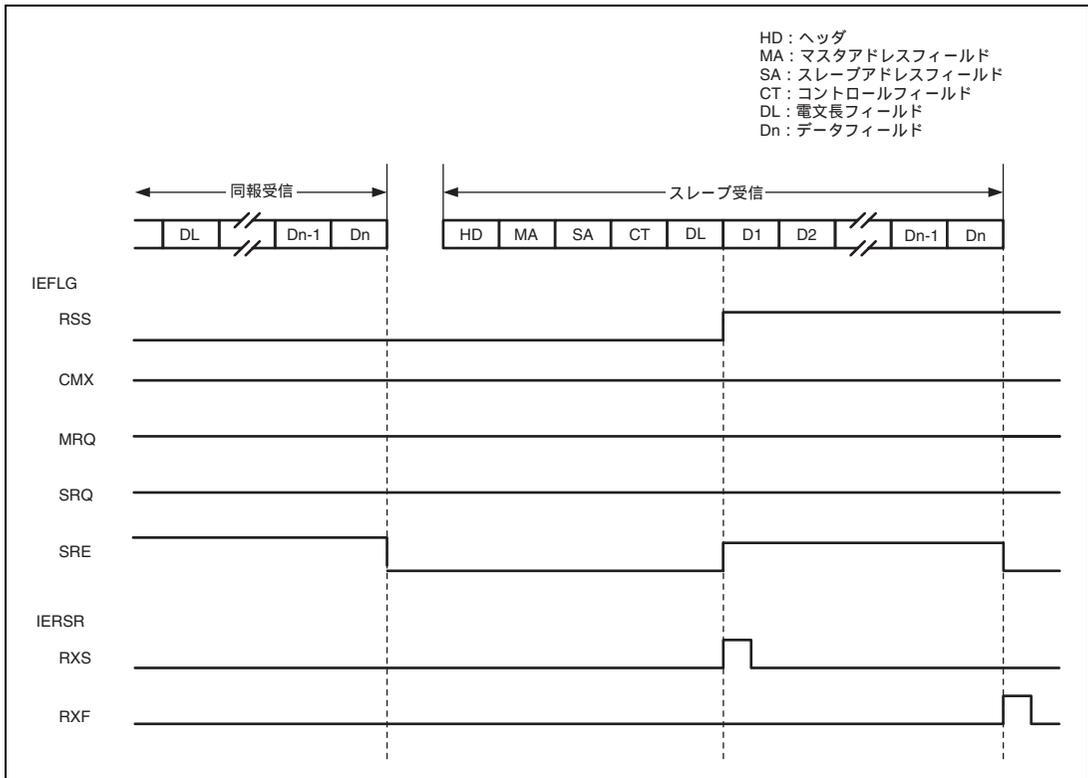


図 20.14 スレーブ受信動作タイミング

## 20.6.3 マスタ受信

図 20.15 にマスタ受信動作タイミングを示します。

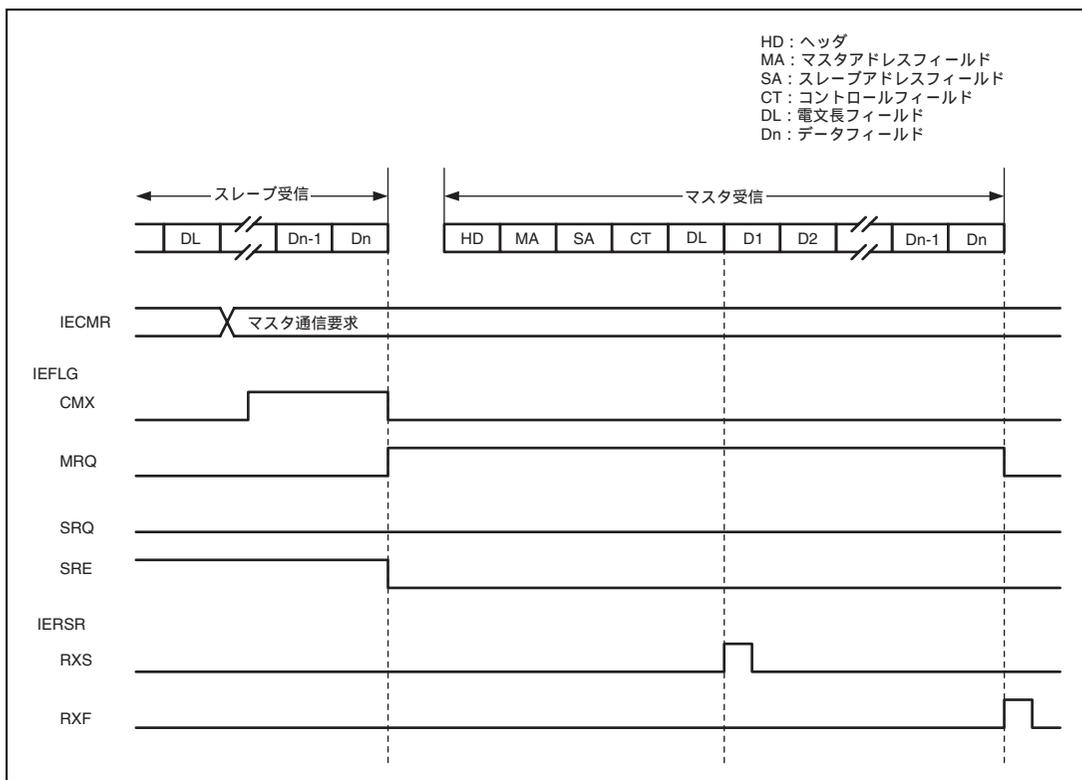


図 20.15 マスタ受信動作タイミング

## 20.6.4 スレーブ送信

図 20.16 にスレーブ送信動作タイミングを示します。

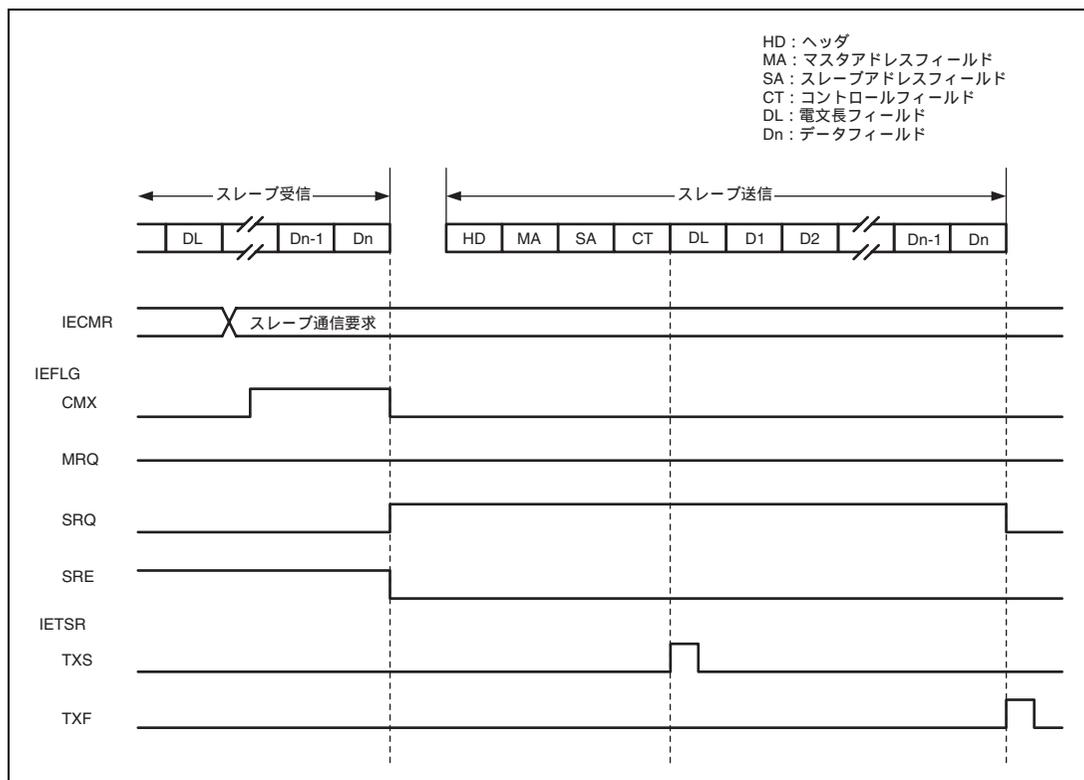


図 20.16 スレーブ送信動作タイミング

## 20.7 割り込み要因

IEB の割り込みには、送信開始 (TXS)、送信正常終了 (TXF)、アービトレーション負け (TXEAL)、送信タイミングエラー (TXETTME)、送信フレーム最大伝送バイト数オーバー (TXERO)、アクノリッジビット (TXEACK)、受信ビジー (RXBSY)、受信開始 (RXS)、受信正常終了 (RXF)、同報受信エラー (RXEDE)、受信オーバーランフラグ (RXEOVE)、受信タイミングエラー (RXERTME)、受信フレーム最大伝送バイト数オーバー (RXEDLE)、パリティエラー (RXEPE) があります。

各要因は、IEBus 送信割り込み許可レジスタ (IEIET)、IEBus 受信割り込み許可レジスタ (IEIER) に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。また、IEBus 送信ステータスレジスタ (IETSR)、IEBus 受信ステータスレジスタ (IERSR) に対応したステータスフラグを持っており、ステータスフラグをリードすることで要因の判定を行うことができます。

図 20.17 に IEB の割り込み要因の関係を示します。

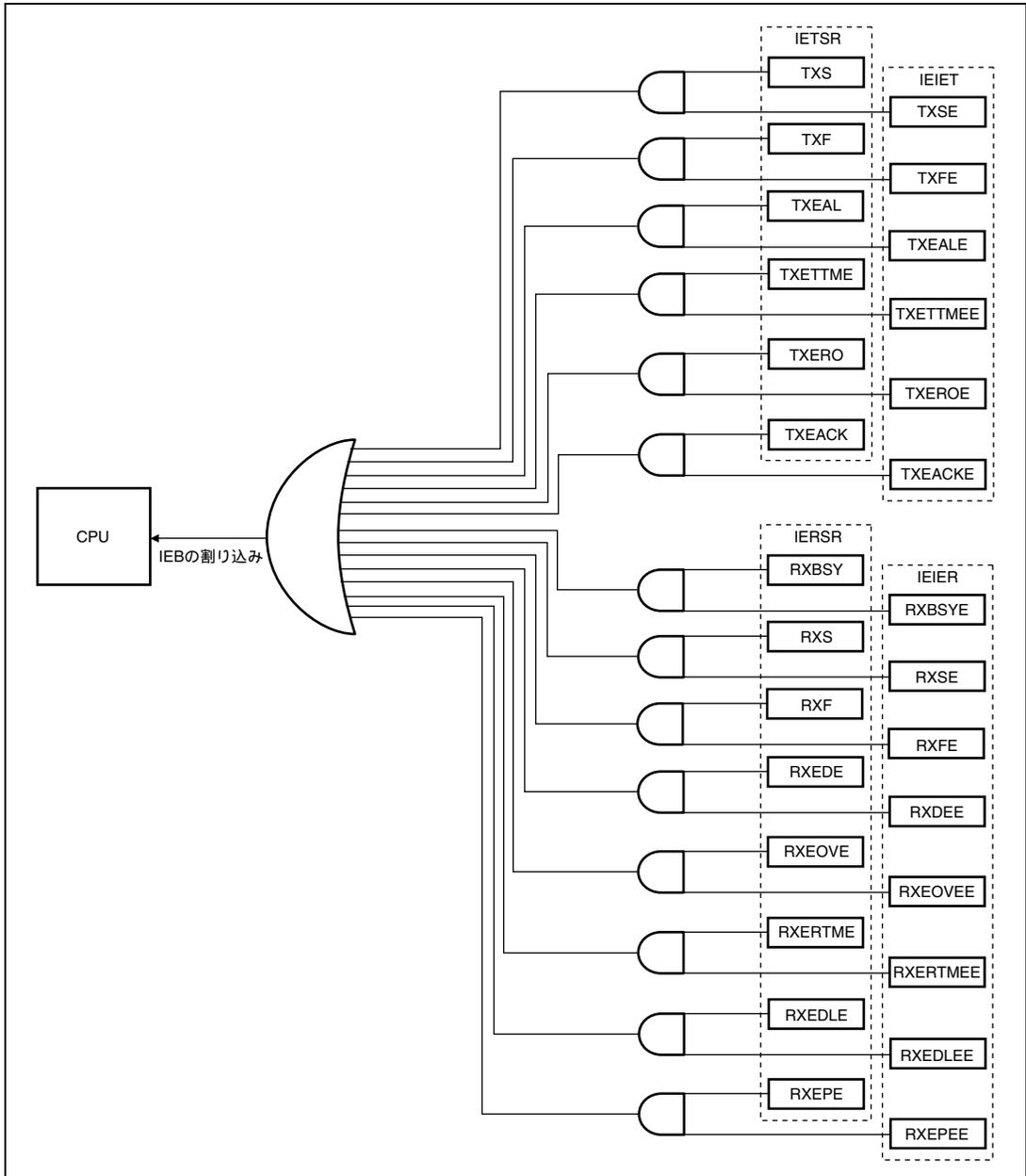


図 20.17 IEB の割り込み要因の関係

## 20.8 使用上の注意事項

### 20.8.1 最大伝送バイト長内で通信が終了しなかったときの注意事項

#### (1) データ送信

データ送信時に、受信ユニットから NAK を受信したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは電文長の値が最大伝送バイト数より大きい値であったため、最大バイト長内で送信が終了しなかった場合、IETSR のエラーフラグをセットして待機状態に入りますが、このとき最大伝送バイト数+1 バイト目まで送信を行います。その後、最大伝送バイト数+1 バイト目のアクノリッジビットで NAK を受信した場合、TXERO フラグがセットされます。NAK ではなく ACK を受信した場合は TXF フラグがセットされます。

図 20.18 に最大バイト長内で送信が終了しなかったときの動作タイミングを示します。

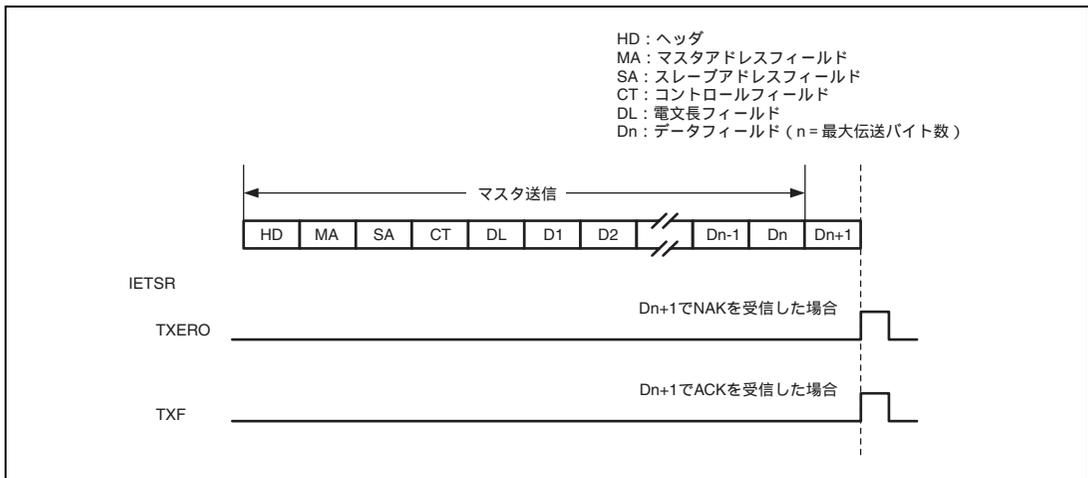


図 20.18 最大バイト長内で送信が終了しなかったときの動作タイミング

## (2) データ受信

データ受信時に、パリティエラーかオーバランエラーが発生し再送による受信を行ったため、通信モードで定義される最大バイト長内で受信が終了しなかったか、電文長の値が最大伝送バイト数より大きい値であったため受信が終了しなかった場合、IERSRのエラーフラグをセットして待機状態に入りますが、このとき最大伝送バイト数+1 バイト目のデータ受信待ち状態になります。そのため、最大伝送バイト数+1 バイト目のデータを受信できなかった場合、受信タイミングエラーを検出し、RXERTME フラグがセットされます。このとき RXEDLE フラグはセットされません。RXEDLE フラグは最大伝送バイト数+1 バイト目のデータを受信した場合にセットされます。

また、最大伝送バイト長まで受信し、パリティエラーが解消されていなかった場合も同様で、最大伝送バイト数+1 バイト目のデータを受信できなかった場合、RXERTME フラグがセットされます。このとき RXEPE フラグはセットされません。RXEPE フラグは最大伝送バイト数+1 バイト目のデータを受信した場合にセットされます。

図 20.19 に最大バイト長内で受信が終了しなかったときの動作タイミングを示します。

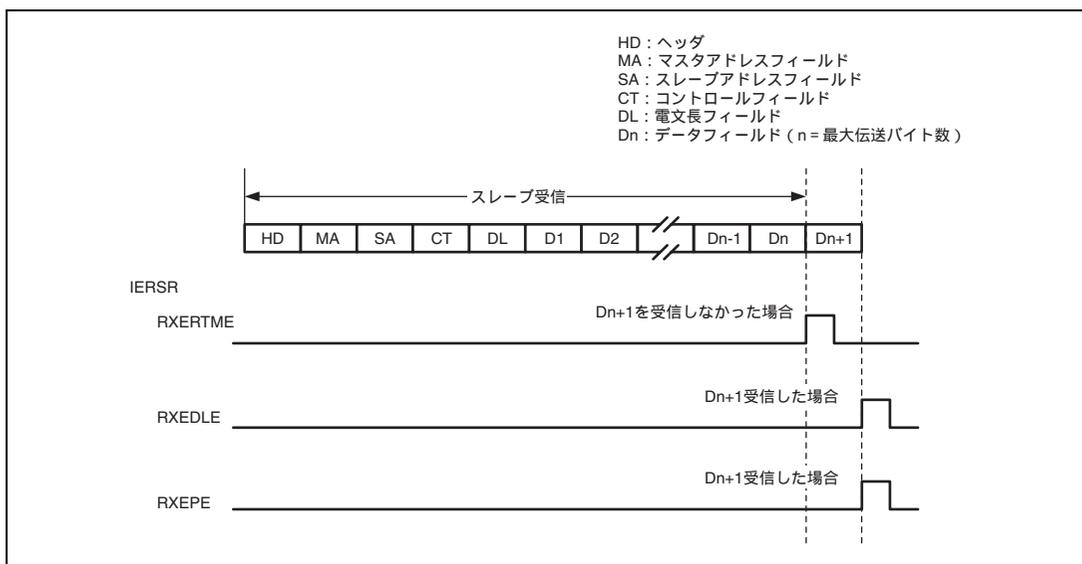


図 20.19 最大バイト長内で受信が終了しなかったときの動作タイミング

---

## 21. CD-ROM デコーダ (ROM-DEC)

---

CD-ROM デコーダ (ROM-DEC) は、CD-DSP から転送されたストリームデータの ROM デコード処理を行います。CD-DA<sup>\*1</sup> の場合には、ストリームデータは PCM データになっていますので、CD-ROM デコーダには入力されません。CD-ROM<sup>\*2</sup> の場合に、ストリームデータを入力し、同期コード検出・保護、デスクランブル、ECC 訂正、EDC チェックを行い、ストリームデータを出力します。

ただし、ストリームデータは、SSI を経由して CD-ROM データが転送されることを前提としています。したがって、CD 規格にあるサブコードの処理は行いません。

【注】 \*1 JIS S 8605 (Red Book) に準拠

\*2 JIS X 6281 (Yellow Book) に準拠

### 21.1 特長

- 同期コード検出・保護

CD-ROM同期コードを検出します。また、キズ等により同期コードを検出できなかったときは、同期コードを保護 (自動挿入) します。

保護の種類としては、自動同期保護モード、外部同期保護モード、内挿同期モードおよび、内挿 / 外部同期保護モードがあります。

- デスクランブル

- ECC訂正

P訂正、Q訂正、PQ訂正、QP訂正が実施できます。

PQ訂正、QP訂正は繰り返し訂正をすることができ、最大で3回訂正できます。ただし、CDの倍速に依存しており、例えば、CD-ROMデコーダの動作周波数を60MHz、CD2倍速とすると、最大で3回の繰り返し訂正ができます。

ECC訂正には、2面のバッファを持っており、1面でストリームデータを受信しながら、もう1面でECC訂正を行う並列動作が可能です。

- EDCチェック

EDCのチェックは、ECC訂正前後に行います。ECC前のEDCチェックがOKであった場合、シンドローム演算結果によらずECC訂正を行わないモードもあります。

- バッファリングデータ制御

CD-ROMデコーダは、同期コードを先頭とする特定のフォーマットでバッファリング領域へデータを出力します。

## 21.1.1 ROM-DEC フォーマット

本 LSI の CD-ROM デコーダは、図 21.1 の 5 種類のフォーマットをサポートしています。

Mode0	同期 (12バイト)	ヘッダ (4バイト)	All 0			
Mode1	同期 (12バイト)	ヘッダ (4バイト)	データ (2048バイト)	EDC (4バイト)	0 (8バイト)	P/パリティ (172バイト) Q/パリティ (104バイト)
Mode2 (notXA)	同期 (12バイト)	ヘッダ (4バイト)	データ (2336バイト)			
Mode2 Form1	同期 (12バイト)	ヘッダ (4バイト)	サブヘッダ (8バイト)	データ (2048バイト)	EDC (4バイト)	P/パリティ (172バイト) Q/パリティ (104バイト)
Mode2 Form2	同期 (12バイト)	ヘッダ (4バイト)	サブヘッダ (8バイト)	データ (2324バイト)	EDC (4バイト)	

図 21.1 ROM-DEC フォーマット

## 21.2 ブロック図

図 21.2 に CD-ROM デコーダ機能を実現するための、本 LSI での CD-ROM デコーダ機能と、周辺バスに接続するためのバスブリッジを示します。

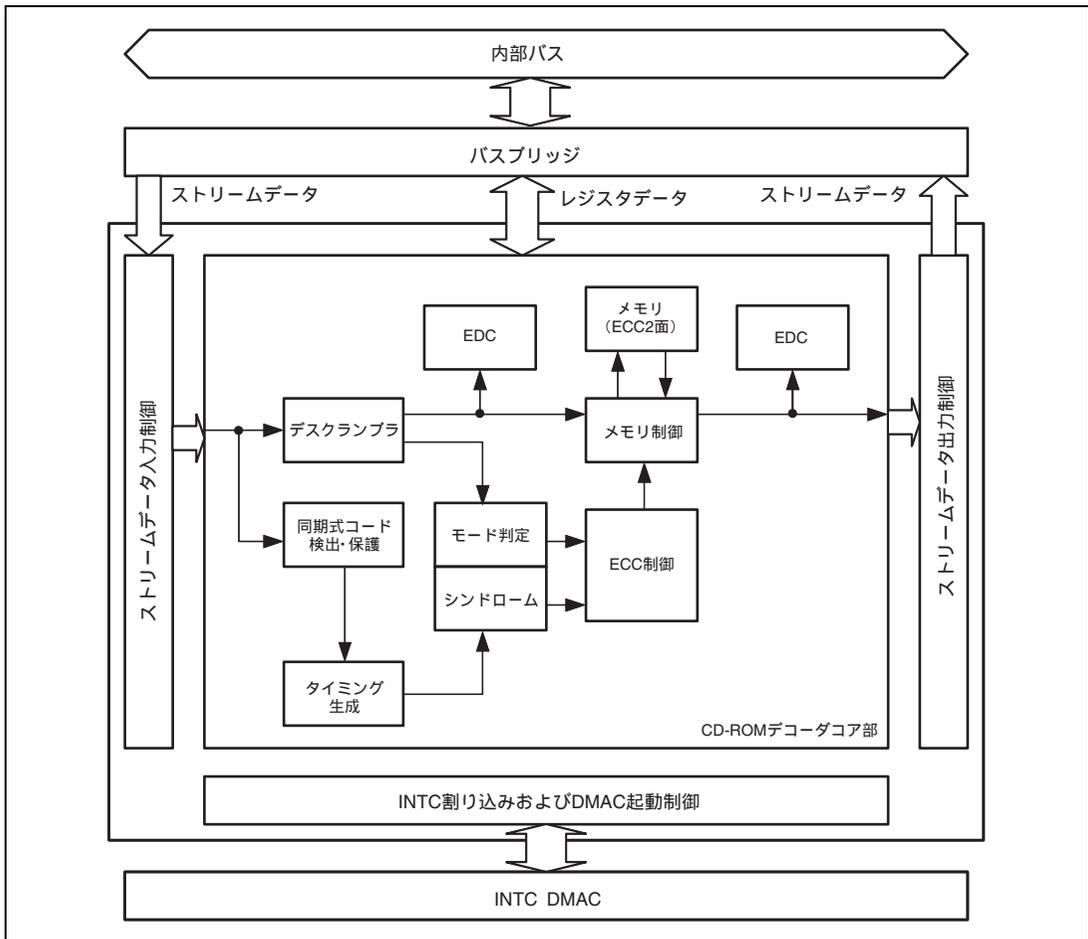


図 21.2 ROM-DEC のブロック図

CD-ROM デコーダコア部は、CD-ROM デコードをするために必要なデスクランブル機能、同期コードの検出、ECC (P、Q 訂正) 機能、EDC チェック機能を実行します。メモリは 2 セクタ分持っています。

内部バスからのデータは入出力おのの1系統ですが、バスブリッジ論理で、レジスタアクセスポートとストリームデータポートに分岐します。

CD-DSPからのストリームデータは、SSIを経由し、ストリームデータ入力制御ブロックに転送します。それからCD-ROMデコーダを通過し、デスクランブル、ECC訂正、EDCチェック後、1セクタ分のデータがそろいます。その後、ストリームデータ出力制御ブロックを経由し、ストリームデータバッファ内に転送します。ストリームデータの転送はDMACによる方法と、CPUによる方法があります。

図21.3にバスブリッジ部のブロック図を示します。

入力ストリームデータはSSIから転送されるため転送ピッチは遅いですが、出力ストリームデータはすでにCD-ROMデコーダコア部内にあるため、高速での転送が可能です。また、出力ストリームデータはSDRAM等にバッファリングするため、SDRAMビジー率を下げるために、高速で転送する必要があります。そこで、内部バスからの出力ストリームデータ読み出しリクエストがCD-ROMデコーダにくる前に、データを先読みし、バスブリッジ内レジスタにストリームデータを蓄えておき、内部バスからのリクエストがきたら、すぐにデータを内部バスへ出力可能な状態にしています。それゆえ、すでに出力ストリームデータが先読みされ、レジスタに蓄えられている状態で、他のレジスタ読み出しリクエストがくる場合もあります。そのため、ROM-DECは出力ストリームデータ用レジスタと他のレジスタ読み出し用の中継レジスタを別々に持っています。

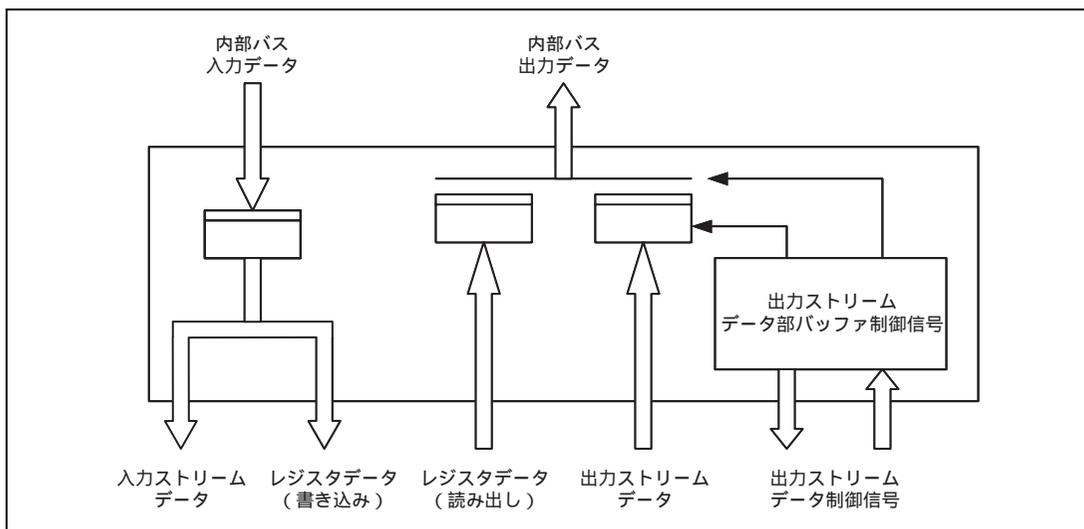


図 21.3 バスブリッジ部のブロック図

図 21.4 にストリームデータ入力制御ブロック図を示します。ストリームデータ入力制御部は、入力ストリームデータの制御論理と、CD-ROM デコーダの制御モードを変えるレジスタを持っています。

SSI から転送されてきたデータは、SSI のモードによりエンディアンの違いで転送順番が変わったり、パディングデータが転送されたりします。こういった種々のデータに対応するために、動作モードを変えるレジスタを備えていたり、CD-ROM デコーダコア部を制御する制御信号を生成したりします。入力ストリームデータ保持レジスタは、16 ビット 2 面のレジスタを持っています。レジスタで設定されたモードにより、先に SSI から転送されてきた 16 ビットデータを先に CD-ROM デコーダコア部に供給したり、後に送られてきた 16 ビットを先に供給したりすることができます。また、パディングデータを CD-ROM デコーダコア部に供給しないようにすることも可能です。

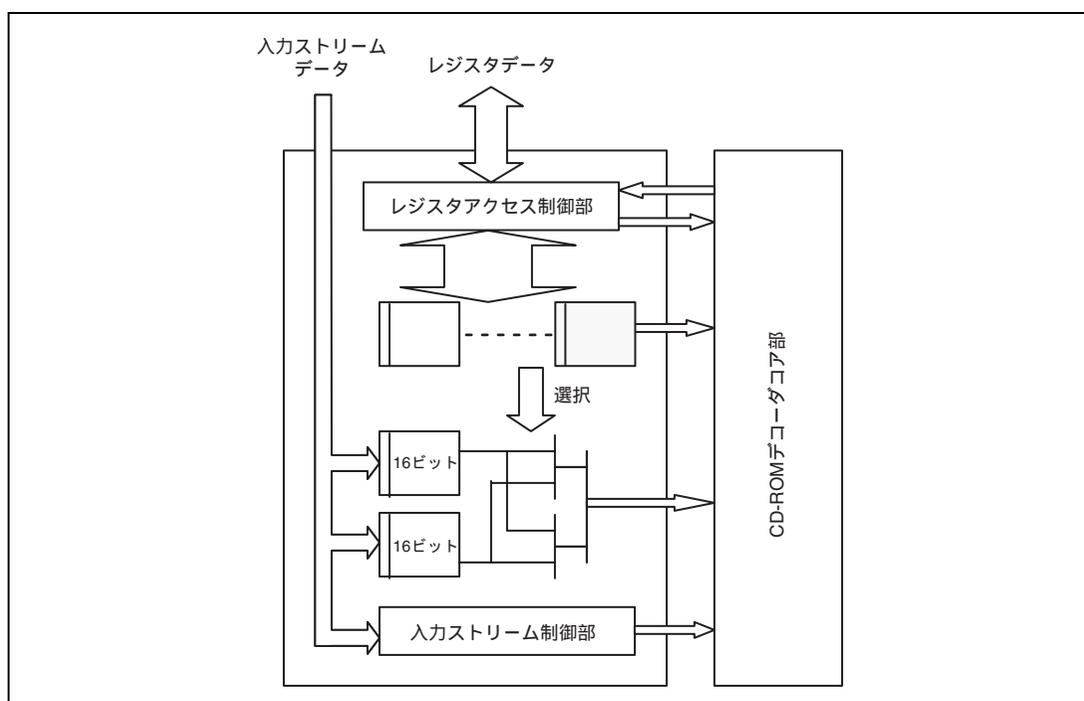


図 21.4 ストリームデータ入力制御ブロック図

図 21.5 にストリームデータ出力制御ブロック図を示します。

CD-ROM デコーダコア部から 1 セクタ分の CD-ROM データがそろったことを認識し、バスブリッジ部にある出力ストリームデータレジスタの空き状態を確認して、CD-ROM デコーダコア部から出力ストリームデータを取得します。

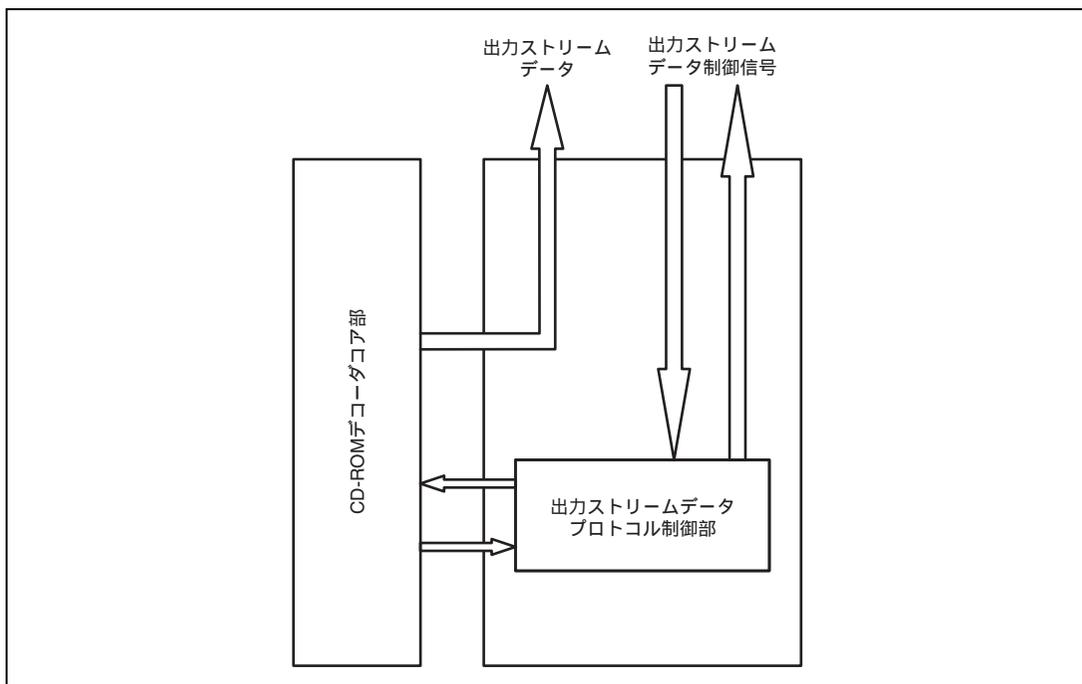


図 21.5 ストリームデータ出力制御ブロック図

INTC 割り込みおよび DMAC 起動制御では、割り込みの保留やフラグクリア、割り込みのマスク、DMAC への起動信号アサートと、転送データ量を検出し起動信号をネゲートする機能を持っています。

## 21.3 レジスタの説明

ROM-DEC は以下のレジスタがあります。

表 21.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ROMDEC イネーブルコントロールレジスタ	CROMEN	R/W	H'00	H'FFFC2000	8
同期コードの同期制御コントロールレジスタ	CROMSY0	R/W	H'89	H'FFFC2001	8
デコーディングモードコントロールレジスタ	CROMCTL0	R/W	H'82	H'FFFC2002	8
EDC、ECC チェック制御コントロールレジスタ	CROMCTL1	R/W	H'D1	H'FFFC2003	8
デコード処理自動停止コントロールレジスタ	CROMCTL3	R/W	H'00	H'FFFC2005	8
デコードオプション設定コントロールレジスタ	CROMCTL4	R/W	H'00	H'FFFC2006	8
HEAD20~22 表示コントロールレジスタ	CROMCTL5	R/W	H'00	H'FFFC2007	8
同期コードステータスレジスタ	CROMST0	R	H'00	H'FFFC2008	8
ECC 後のヘッダに対するエラーステータスレジスタ	CROMST1	R	H'00	H'FFFC2009	8
ECC 後のサブヘッダに対するエラーステータスレジスタ	CROMST3	R	H'00	H'FFFC200B	8
ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ	CROMST4	R	H'00	H'FFFC200C	8
モード判定結果とリンクセクタ検出ステータスレジスタ	CROMST5	R	H'00	H'FFFC200D	8
ECC、EDC エラーステータスレジスタ	CROMST6	R	H'00	H'FFFC200E	8
バッファステータスレジスタ	CBUFST0	R	H'00	H'FFFC2014	8
デコード中止要因ステータスレジスタ	CBUFST1	R	H'00	H'FFFC2015	8
バッファオーバーフローステータスレジスタ	CBUFST2	R	H'00	H'FFFC2016	8
ECC 訂正前ヘッダ部-MINUTES データレジスタ	HEAD00	R	H'00	H'FFFC2018	8
ECC 訂正前ヘッダ部-SECONDS データレジスタ	HEAD01	R	H'00	H'FFFC2019	8
ECC 訂正前ヘッダ部-FRAMES ( 1/75 秒 ) データレジスタ	HEAD02	R	H'00	H'FFFC201A	8
ECC 訂正前ヘッダ部-MODE データレジスタ	HEAD03	R	H'00	H'FFFC201B	8
ECC 訂正前サブヘッダ部-ファイルナンバ ( BYTE-16 ) データレジスタ	SHEAD00	R	H'00	H'FFFC201C	8
ECC 訂正前サブヘッダ部-チャンネルナンバ ( BYTE-17 ) データレジスタ	SHEAD01	R	H'00	H'FFFC201D	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD02	R	H'00	H'FFFC201E	8
ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD03	R	H'00	H'FFFC201F	8
ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD04	R	H'00	H'FFFC2020	8
ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD05	R	H'00	H'FFFC2021	8
ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD06	R	H'00	H'FFFC2022	8
ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD07	R	H'00	H'FFFC2023	8
ECC 訂正後ヘッダ部-MINUTES データ レジスタ	HEAD20	R	H'00	H'FFFC2024	8
ECC 訂正後ヘッダ部-SECONDS データ レジスタ	HEAD21	R	H'00	H'FFFC2025	8
ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ	HEAD22	R	H'00	H'FFFC2026	8
ECC 訂正後ヘッダ部-MODE データレジスタ	HEAD23	R	H'00	H'FFFC2027	8
ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD20	R	H'00	H'FFFC2028	8
ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ	SHEAD21	R	H'00	H'FFFC2029	8
ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD22	R	H'00	H'FFFC202A	8
ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD23	R	H'00	H'FFFC202B	8
ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD24	R	H'00	H'FFFC202C	8
ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD25	R	H'00	H'FFFC202D	8
ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD26	R	H'00	H'FFFC202E	8
ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD27	R	H'00	H'FFFC202F	8
自動バッファリング設定コントロール レジスタ	CBUFCTL0	R/W	H'04	H'FFFC2040	8
自動バッファリング開始セクタ設定 -MINUTES コントロールレジスタ	CBUFCTL1	R/W	H'00	H'FFFC2041	8
自動バッファリング開始セクタ設定 -SECONDS コントロールレジスタ	CBUFCTL2	R/W	H'00	H'FFFC2042	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ	CBUFCTL3	R/W	H'00	H'FFFC2043	8
ISY 割り込み要因マスクコントロール レジスタ	CROMST0M	R/W	H'00	H'FFFC2045	8
CD-ROM デコーダモジュールリセット コントロールレジスタ	ROMDECRST	R/W	H'00	H'FFFC2100	8
CD-ROM デコーダモジュールリセット ステータスレジスタ	RSTSTAT	R	H'00	H'FFFC2101	8
SSI データコントロールレジスタ	SSI	R/W	H'18	H'FFFC2102	8
割り込みフラグレジスタ	INTHOLD	R/W	H'00	H'FFFC2108	8
割り込み要因マスクコントロールレジスタ	INHINT	R/W	H'00	H'FFFC2109	8
CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN0	R/W	H'0000	H'FFFC2200	リード : 16 ライト : 16、32
CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN2	R/W	H'0000	H'FFFC2202	16
CD-ROM デコーダストリームデータ出力 レジスタ	STRMDOUT0	R	H'0000	H'FFFC2204	16、32

### 21.3.1 ROMDEC イネーブルコントロールレジスタ (CROMEN)

CROMEN は、Subcode 処理イネーブル、CD-ROM デコード処理イネーブル、CD-ROM デコード処理強制終了を行います。

ビット:	7	6	5	4	3	2	1	0
	SUBC_EN	CROM_EN	CROM_STP	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SUBC_EN	0	R/W	Subcode 処理イネーブル CROM_EN と同時にセット、クリアを行ってください。異常自動停止時および CROM_STP = 1 で自動的に 0 になります。
6	CROM_EN	0	R/W	CD-ROM デコード処理イネーブル このビットを 1 にすると、有効な同期コードを検出後、CD-ROM デコード処理を開始します。このビットを 0 にすると、現在のデコード中のセクタの処理が終了した時点でデコード処理を中止します。 自動デコード停止機能により停止したときおよび CROM_STP = 1 で自動的に 0 になります。
5	CROM_STP	0	R/W	CD-ROM デコード処理強制終了 このビットを 1 にすると即座に CD-ROM デコード処理が停止します。 SUBC_EN、CROM_EN ビットは自動的に 0 になります。デコード処理を再開する前に、このビットを 0 にする必要があります。
4~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 21.3.2 同期コードの同期制御コントロールレジスタ (CROMSY0)

CROMSY0 は同期コード保護機能を選択します。

ビット:	7	6	5	4	3	2	1	0
	SY AUT	SY IEN	SY DEN	-	-	-	-	-
初期値:	1	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SY_AUT	1	R/W	CD-ROM 同期コードの自動同期保護モード このビットを 1 にすると、CD-ROM 同期コードの同期保護(同期コードの挿入)が自動になります。このビットが 1 のとき、SY_IEN、SY_DEN の設定は無効です。
6	SY_IEN	0	R/W	内部同期信号イネーブル CD-ROM デコーダ内部のカウンタによって作られる内部同期信号を有効にします。 SY_AUT=0 のとき、このビットを 1 にすると、CD-ROM データの同期は常に内部カウンタによる内挿モードになります。
5	SY_DEN	0	R/W	同期信号の外部同期コードとの同期化 入力データから検出される同期コードを常時監視し、内部カウンタ値にかかわらず、常に同期化します。 このビットの設定は、SY_AUT=0 のときに有効です。
4	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	-	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2、1	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	-	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

表 21.2 同期コード保護機能の設定

SY_AUT	SY_IEN	SY_DEN	動作モード
1	-	-	自動同期保護モード
0	0	1	外部同期モード
0	1	0	内挿同期モード
0	1	1	内挿 / 外部同期モード
0	0	0	設定禁止

## 21.3.3 デコーディングモードコントロールレジスタ (CROMCTL0)

CROMCTL0 は各種機能の制御、Mode 判定 / Form 判定の選択およびセクタタイプの設定を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット:	7	6	5	4	3	2	1	0
	MD_DESC	-	MD_AUTO	MD_AUTOS1	MD_AUTOS2	MD_SEC[2:0]		
初期値:	1	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	MD_DESC	1	R/W	デスクランブル機能制御 0: デスクランブル機能 OFF 1: デスクランブル機能 ON
6	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MD_AUTO	0	R/W	Mode Form の自動検出機能制御 0: OFF 1: ON 検出可能なフォーマットは、Mode0、Mode1、Mode2( not XA )、Mode2 Form1、Mode2 Form2 です。Mode Form が検出できなかったとき、前セクタの Mode Form を継続します。デコード開始の最初のセクタの Mode Form が検出できなかった場合は、MD_SEC[2:0]の設定値を初期値として使用します。
4	MD_AUTOS1	0	R/W	MD_AUTO = 1 時の Mode 判定基準 0: 同期コードが検出された場合のみ Mode 判定を行う 1: 常に Mode 判定を行う このビットの設定は、MD_AUTO = 1 のときのみ有効です。判定不能の場合、前セクタの Mode を引き継ぎます。このビットを 0 とすると、当該セクタの同期コードが検出された場合のみ Mode 判定を行います。
3	MD_AUTOS2	0	R/W	MD_AUTO = 1 時の Mode2 の Form 判定基準 0: サブヘッド内 2 箇所の Form のうち、コードが一致しなかったら、not XA とします。 1: XA 判定は行いません。最初の Form を有効とします。ただし、2 箇所の Form 一致チェックは行い、ステータスには反映します。 このビットの設定は、MD_AUTO = 1 のときのみ有効です。

ビット	ビット名	初期値	R/W	説明
2~0	MD_SEC[2:0]	010	R/W	セクタタイプ設定 000 : 設定禁止 001 : Mode0 010 : Mode1 011 : Long (Mode0、Mode1、Mode2 EDC/ECC データなし) 100 : 設定禁止 101 : Mode2 Form1 110 : Mode2 Form2 111 : Mode2 自動フォーム検出 B'111 に設定した場合で、フォーム判定できなかった場合は、Mode2 not XA として処理します。

### 21.3.4 EDC、ECC チェック制御コントロールレジスタ (CROMCTL1)

CROMCTL1 は、EDC、ECC チェックを制御するレジスタです。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット : 7 6 5 4 3 2 1 0

M2F2 EDC	MD_DEC[2:0]	-	-	MD_PQREP[1:0]
-------------	-------------	---	---	---------------

初期値 : 1 1 0 1 0 0 0 1  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7	M2F2EDC	1	R/W	Mode2 Form2 において EDC コードが All 0 ならば EDC 機能を無効とします。 このビットを 1 とすると、Mode2 Form2 で EDC コードが 0 の場合、EDC チェックが NG となっても IERR 割り込みは発生しません。
6~4	MD_DEC [2:0]	101	R/W	EDC、ECC チェックモード選択 000 : チェックなし 001 : EDC のみ 010 : Q + EDC 011 : P + EDC 100 : QP + EDC 101 : PQ + EDC 110 : 設定禁止 111 : 設定禁止
3, 2	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	MD_PQREP [1:0]	01	R/W	PQ、QP 訂正の訂正繰り返し回数 MD_DEC ビットで、PQ、QP 訂正を設定したときの訂正繰り返し回数を選択します。 00 : 設定禁止 01 : 1 回訂正 10 : 2 回繰り返し訂正 11 : 3 回繰り返し訂正

### 21.3.5 デコード処理自動停止コントロールレジスタ (CROMCTL3)

CROMCTL3 はデコード異常発生時、自動的にデコード処理を停止することができます。停止した場合、IBUF 割り込みが発生し、CBUFST1 レジスタで停止要因を確認することができます。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット: 7 6 5 4 3 2 1 0

STP_ECC	STP_EDC	-	STP_MD	STP_MIN	-	-	-
0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	STP_ECC	0	R/W	STP_ECC ビットを 1 にセットすると、ECC 訂正不能となったとき、CD-ROM デコード処理を中止します。
6	STP_EDC	0	R/W	STP_EDC ビットを 1 にセットすると、ECC 後の EDC でエラーとなったとき、CD-ROM デコード処理を中止します。
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STP_MD	0	R/W	STP_MD ビットを 1 にセットすると、Mode Form が直前のセクタと異なっていた場合、デコード処理を中止します。
3	STP_MIN	0	R/W	STP_MIN ビットを 1 にセットすると、MINUTES、SECONDS、FRAME (1/75 秒) が途中でずれたときにデコード処理を中止します。
2~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 21.3.6 デコードオプション設定コントロールレジスタ (CROMCTL4)

CROMCTL4 は、リンクブロック検出制御、ステータスレジスタの表示選択および ECC 訂正モードの制御を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット:	7	6	5	4	3	2	1	0
	-	LINK2	-	ER0SEL	NO_ECC	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 書き込む値は 0 でも 1 でも構いません。 読み出すと書き込んだ値が読み出せます。
6	LINK2	0	R/W	リンクブロック検出条件の選択 0: ランアウト 1、2 のいずれかと、ランイン 3、4 の両方を検出した場合にリンクブロックと判定 1: ランアウト 1、2、リンクのうち、2 つ検出でリンクブロックと判定 LINK_ON がセットされる条件はリンクセクタをデコードしたタイミングとなります。
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ER0SEL	0	R/W	ROM データ関連ステータスレジスタの設定条件選択 0: 現在デコード中のセクタの情報を表示 1: バッファリングが完了した最新セクタの情報を表示 CROMST0 レジスタのビット 5~0、CROMST4、CROMST5 レジスタのビット 7~1、HEAD00~02 が対象です。
3	NO_ECC	0	R/W	ECC 前 EDC チェックが OK であったときの ECC 訂正モード選択 このビットを 1 にすると、ECC 前 EDC チェックが OK だった場合、シンドローム演算結果に関係なく、ECC 訂正を行いません。
2~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 21.3.7 HEAD20～22 表示コントロールレジスタ (CROMCTL5)

CROMCTL5 は、HEAD20～22 の表示方式を設定します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MSF_LBA_SEL
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
7～1	-	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MSF_LBA_SEL	0	R/W	HEAD20～22 の表示方式 0: ヘッドの MSF をそのまま BCD (10 進数) 表示 1: トータルセクタ値を 16 進数表示

### 21.3.8 同期コードステータスレジスタ (CROMST0)

CROMST0 は、同期式コード保護機能時のステータスを示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	ST_SYIL	ST_SYNO	ST_BLKs	ST_BLKL	ST_SECS	ST_SECL
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
5	ST_SYIL	0	R	ワードカウンタ (同期コード間隔を計測) の正しくないところで、同期コードが検出されたが、無視して同期化しなかったことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
4	ST_SYNO	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず内挿してデコーダを同期化したことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
3	ST_BLKs	0	R	ワードカウンタの正しくないところで、同期コードが検出され、これによってデコーダが同期化したことを示します。 このビットは、自動同期保護モードまたは外部同期モード時のみ有効です。
2	ST_BLKL	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず、1セクタの期間が長くなったことを示します。 このビットは、外部同期モードのときのみ有効です。
1	ST_SECS	0	R	同期コードと内挿した同期タイミングをショートセクタとして対応したことを示します。このビットが1になった場合、デコードを直ちに停止させ、現在デコード中の1つ前のセクタからリトライを行ってください。

ビット	ビット名	初期値	R/W	説明
0	ST_SECL	0	R	同期コードと内挿した同期タイミングをロングセクタとして対応したことを示します。このビットが1になった場合、デコードを直ちに停止させ、現在デコード中の2つ前のセクタからリトライを行ってください。

### 21.3.9 ECC 後のヘッダに対するエラーステータスレジスタ (CROMST1)

CROMST1 は、ECC 後のヘッダに対するエラー状態を示します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
3	ER2_HEAD0	0	R	ECC 後のヘッダ部 MINUTES に対するエラー状態を示します。
2	ER2_HEAD1	0	R	ECC 後のヘッダ部 SECONDS に対するエラー状態を示します。
1	ER2_HEAD2	0	R	ECC 後のヘッダ部 FRAME(1/75 秒)に対するエラー状態を示します。
0	ER2_HEAD3	0	R	ECC 後のヘッダ部 MODE に対するエラー状態を示します。

### 21.3.10 ECC 後のサブヘッダに対するエラーステータスレジスタ (CROMST3)

CROMST3 は、ECC 後のサブヘッダに対するエラー状態を示します。

ビット:	7	6	5	4	3	2	1	0
	ER2_SHEAD0	ER2_SHEAD1	ER2_SHEAD2	ER2_SHEAD3	ER2_SHEAD4	ER2_HEAD5	ER2_HEAD6	ER2_HEAD7
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ER2_SHEAD0	0	R	ECC 後のサブヘッダ (ファイルナンバ) に対するエラー状態を示します。 SHEAD20 レジスタのエラーを示します。
6	ER2_SHEAD1	0	R	ECC 後のサブヘッダ (チャンネルナンバ) に対するエラー状態を示します。 SHEAD21 レジスタのエラーを示します。
5	ER2_SHEAD2	0	R	ECC 後のサブヘッダ (サブモード) に対するエラー状態を示します。 SHEAD22 レジスタのエラーを示します。
4	ER2_SHEAD3	0	R	ECC 後のサブヘッダ (データタイプ) に対するエラー状態を示します。 SHEAD23 レジスタのエラーを示します。
3	ER2_SHEAD4	0	R	ECC 後のサブヘッダ (ファイルナンバ) に対するエラー状態を示します。 SHEAD24 レジスタのエラーを示します。

ビット	ビット名	初期値	R/W	説明
2	ER2_SHEAD5	0	R	ECC 後のサブヘッダ (チャネルナンバ) に対するエラー状態を示します。 SHEAD25 レジスタのエラーを示します。
1	ER2_SHEAD6	0	R	ECC 後のサブヘッダ (サブモード) に対するエラー状態を示します。 SHEAD26 レジスタのエラーを示します。
0	ER2_SHEAD7	0	R	ECC 後のサブヘッダ (データタイプ) に対するエラー状態を示します。 SHEAD27 レジスタのエラーを示します。

### 21.3.11 ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ (CROMST4)

CROMST4 は、自動モード判定、Mode2 の Form 判定のエラーを示します。

ビット :	7	6	5	4	3	2	1	0
	NG_MD	NG_MDCMP1	NG_MDCMP2	NG_MDCMP3	NG_MDCMP4	NG_MDDEF	NG_MDTIM1	NG_MDTIM2
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	NG_MD	0	R	自動モード判定基準で、モード判定ができなかったことを示します。
6	NG_MDCMP1	0	R	Mode2 の Form を判定する際、ファイルナンバ (BYTE-16 と BYTE-20) でコンペアエラーが発生したことを示します。
5	NG_MDCMP2	0	R	Mode2 の Form を判定する際、チャネルナンバ (BYTE-17 と BYTE-21) でコンペアエラーが発生したことを示します。
4	NG_MDCMP3	0	R	Mode2 の Form を判定する際、サブモード (BYTE-18 と BYTE-22) でコンペアエラーが発生したことを示します。
3	NG_MDCMP4	0	R	Mode2 の Form を判定する際、データタイプ (BYTE-19 と BYTE-23) でコンペアエラーが発生したことを示します。
2	NG_MDDEF	0	R	Mode、Form が直前のセクタと異なったことを示します。
1	NG_MDTIM1	0	R	ヘッダの MINUTES、SECONDS、FRAMES (1/75 秒) が途中でずれたことを示します。 次セクタからの連続性チェックは、更新値を使用します。
0	NG_MDTIM2	0	R	ヘッダの MINUTES、SECONDS、FRAMES が BCD (10 進) 値以外だったことを示します。 このビットは、BCD 以外の値 (A~F)、HEAD01 が H'59 より大きい値、HEAD02 が H'74 より大きい値であったことを意味します。 次セクタからの連続性チェックは内挿値を使用します。

## 21.3.12 モード判定結果とリンクセクタ検出ステータスレジスタ (CROMST5)

CROMST5 は、自動モード判定結果およびリンクブロック検出を示します。

ビット:	7	6	5	4	3	2	1	0
	ST_AMD[2:0]	ST_MDX	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1		
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~5	ST_AMD[2:0]	000	R	自動モード判定結果 自動モード判定機能を利用した際のモード判定結果を示します。 000 : 自動モード判定機能を利用していない 001 : Mode0 010 : Mode1 011 : - 100 : Mode2 not XA 101 : Mode2 Form1 110 : Mode2 Form2 111 : -
4	ST_MDX	0	R	自動モード判定を使用せず、手動設定したとき、設定値と論理が認識した結果が不一致であることを示します。手動設定値が優先です。
3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき 1 となります。リンクブロック判定基準は CROMCTL4 レジスタの LINK2 ビットを参照してください。
2	LINK_DET	0	R	リンクブロック (ランアウト 1~ランイン 4) が検出されたことを示します。ECC 訂正前のデータで検出しているため、リンクブロックと同じコードにデータが誤っていた場合、LINK_DET = 1 となることがあります。
1	LINK_SDET	0	R	リンクブロックがデコード開始後 7 セクタ以内に検出されたことを示します。
0	LINK_OUT1	0	R	ECC 処理後にランアウト 1 セクタと判定されたことを示します。 このビットは、IERR 割り込みが発生していない (ECC 訂正が正しく行われた) ときのみ有効です。

## 21.3.13 ECC、EDC エラーステータスレジスタ (CROMST6)

CROMST6 は、ECC 処理エラーおよび ECC 前後の EDC チェックエラーを示します。

ビット:	7	6	5	4	3	2	1	0
	ST_ERR	-	ST_ECCABT	ST_ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7	ST_ERR	0	R	ECC 後のデコードブロックに 1 バイトでもエラーがあることを示します。
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
5	ST_ECCABT	0	R	ECC 処理が途中で中断されたことを示します。 このビットは、ECC 訂正処理中にセクタ切り替えが発生したときに 1 となります。タイミングによっては、このビットが 1 となっても、CBUFST2 レジスタの BUF_NG ビットが 0 となっていれば ECC 訂正動作に問題はありません。
4	ST_ECCNG	0	R	エラー訂正できなかったことを示します。 このビットはショートセクタ検出時にも 1 となります。
3	ST_ECCP	0	R	ECC 処理で P 系列の訂正ができなかったことを示します。 このビットは同期状態が正常 (ショートセクタまたはロングセクタではない) 時のみ有効です。 P 系列のシンドローム値が All0 以外の場合、1 となります。
2	ST_ECCQ	0	R	ECC 処理で Q 系列の訂正ができなかったことを示します。 このビットは同期状態が正常 (ショートセクタまたはロングセクタではない) 時のみ有効です。 Q 系列のシンドローム値が All0 以外の場合、1 となります。
1	ST_EDC1	0	R	ECC 前の EDC チェックが NG だったことを示します。 このビットは EDC が有効で、ショートセクタとなった場合も 1 となります。
0	ST_EDC2	0	R	ECC 後の EDC チェックが NG だったことを示します。

### 21.3.14 バッファステータスレジスタ (CBUFST0)

CBUFST0 は、バッファリング開始セクタ検索中またはバッファリング中であることを示します。

ビット:	7	6	5	4	3	2	1	0
	BUF_REF	BUF_ACT	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUF_REF	0	R	バッファリング開始セクタを検索中であることを示します。 このビットは自動バッファリング機能使用時 (CBUF_AUT = 1) のみ有効です。
6	BUF_ACT	0	R	バッファリング中であることを示します。
5-0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

### 21.3.15 デコード中止要因ステータスレジスタ (CBUFST1)

CBUFST1 は、各種エラーのためデコード/バッファリング処理が中止されたことを示します。

本レジスタは CROMCTL3 の対応するビットを 1 としているときのみセットされます。

ビット:	7	6	5	4	3	2	1	0
	BUF_ECC	BUF_EDC	-	BUF_MD	BUF_MIN	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUF_ECC	0	R	ECC 訂正不能で ROM デコード/バッファリング処理を中止したことを示します。
6	BUF_EDC	0	R	ECC 訂正後 EDC チェックでエラーを検出したためデコード/バッファリング処理を中止したことを示します。
5	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
4	BUF_MD	0	R	Mode、Form が直前のセクタと異なったためにデコード/バッファリング処理を中止したことを示します。
3	BUF_MIN	0	R	MINUTES、SECONDS、FRAMES (1/75 秒) が途中でずれたためにデコード/バッファリング処理を中止したことを示します。
2-0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

### 21.3.16 バッファオーバフローステータスレジスタ (CBUFST2)

CBUFST2 は、バッファへの転送が完了しないうちにセクタ切り替えが発生したことを示します。

ビット:	7	6	5	4	3	2	1	0																		
	<table border="1"> <tr> <td>BUF_</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>NG</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table>								BUF_	-	-	-	-	-	-	-	-	NG								
BUF_	-	-	-	-	-	-	-	-																		
NG																										
初期値:	0	0	0	0	0	0	0	0																		
R/W:	R	R	R	R	R	R	R	R																		

ビット	ビット名	初期値	R/W	説明
7	BUF_NG	0	R	バッファへのデータ転送が完了しないうちにセクタの切り替えが発生したことを示します。出力ストリームデータを CD-ROM デコーダから引き出さずに 3 セクタ目のデータが入力されると本ビットが 1 となります。割り込みは発生しません。本ビットが 1 になった場合、ROMDECRST レジスタの LOGICRST ビットによるリセットのみ 0 にクリアされます。
6-0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

### 21.3.17 ECC 訂正前ヘッダ部-MINUTES データレジスタ (HEAD00)

HEAD00 は、ECC 訂正前のヘッダ部 MINUTES 値を示します。

ビット:	7	6	5	4	3	2	1	0								
	<table border="1"> <tr> <td colspan="8">HEAD00[7:0]</td> </tr> </table>								HEAD00[7:0]							
HEAD00[7:0]																
初期値:	0	0	0	0	0	0	0	0								
R/W:	R	R	R	R	R	R	R	R								

ビット	ビット名	初期値	R/W	説明
7-0	HEAD00[7:0]	H'00	R	ECC 訂正前のヘッダ部 MINUTES 値

### 21.3.18 ECC 訂正前ヘッダ部-SECONDS データレジスタ (HEAD01)

HEAD01 は、ECC 訂正前のヘッダ部 SECONDS 値を示します。

ビット:	7	6	5	4	3	2	1	0								
	<table border="1"> <tr> <td colspan="8">HEAD01[7:0]</td> </tr> </table>								HEAD01[7:0]							
HEAD01[7:0]																
初期値:	0	0	0	0	0	0	0	0								
R/W:	R	R	R	R	R	R	R	R								

ビット	ビット名	初期値	R/W	説明
7-0	HEAD01[7:0]	H'00	R	ECC 訂正前のヘッダ部 SECONDS 値

### 21.3.19 ECC 訂正前ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD02)

HEAD02 は、ECC 訂正前のヘッダ部 FRAMES (1/75 秒) 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD02[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	HEAD02[7:0]	H'00	R	ECC 訂正前のヘッダ部 FRAMES (1/75 秒) 値

### 21.3.20 ECC 訂正前ヘッダ部-MODE データレジスタ (HEAD03)

HEAD03 は、ECC 訂正前のヘッダ部 MODE 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD03[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	HEAD03[7:0]	H'00	R	ECC 訂正前のヘッダ部 MODE 値

### 21.3.21 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD00)

SHEAD00 は、ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-16) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD00[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD00 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-16) Mode2 以外のときは、相当する位置のバイトデータを表示します。

### 21.3.22 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD01)

SHEAD01 は、ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-17) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD01[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD01 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-17) Mode2 以外のときは、相当する位置のバイトデータを表示します。

### 21.3.23 ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD02)

SHEAD02 は、ECC 訂正前のサブヘッダ部サブモード値 (BYTE-18) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD02[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD02 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部サブモード値 (BYTE-18) Mode2 以外のときは、相当する位置のバイトデータを表示します。

### 21.3.24 ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD03)

SHEAD03 は、ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-19) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD03[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD03 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-19) Mode2 以外のときは、相当する位置のバイトデータを表示します。

### 21.3.25 ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD04)

SHEAD04 は、ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-20) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD04[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD04 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部ファイルナンバ値 (BYTE-20) Mode2 以外のときは、相当する位置のバイトデータを表示します。

### 21.3.26 ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD05)

SHEAD05 は、ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-21) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD05[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD05 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部チャンネルナンバ値 (BYTE-21) Mode2 以外のときは、相当する位置のバイトデータを表示します。

### 21.3.27 ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD06)

SHEAD06 は、ECC 訂正前のサブヘッダ部サブモード値 (BYTE-22) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD06[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD06 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部サブモード値 (BYTE-22) Mode2 以外のときは、相当する位置のバイトデータを表示します。

### 21.3.28 ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD07)

SHEAD07 は、ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-23) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD07[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD07 [7:0]	H'00	R	ECC 訂正前のサブヘッダ部データタイプ値 (BYTE-23) Mode2 以外の場合は、相当する位置のバイトデータを表示します。

### 21.3.29 ECC 訂正後ヘッダ部-MINUTES データレジスタ (HEAD20)

HEAD20 は、ECC 訂正後のヘッダ部 MINUTES 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD20[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD20[7:0]	H'00	R	ECC 訂正後のヘッダ部 MINUTES 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (1/3) を表示します。

### 21.3.30 ECC 訂正後ヘッダ部-SECONDS データレジスタ (HEAD21)

HEAD21 は、ECC 訂正後のヘッダ部 SECONDS 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD21[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD21[7:0]	H'00	R	ECC 訂正後のヘッダ部 SECONDS 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (2/3) を表示します。

### 21.3.31 ECC 訂正後ヘッダ部-FRAMES (1/75 秒) データレジスタ (HEAD22)

HEAD22 は、ECC 訂正後のヘッダ部 FRAMES (1/75 秒) 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD22[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD22[7:0]	H'00	R	ECC 訂正後のヘッダ部 FRAMES (1/75 秒) 値 MSF_LBA_SEL = 1 のときは M、S、F のトータルセクタ値 (3/3) を表示します。

### 21.3.32 ECC 訂正後ヘッダ部-MODE データレジスタ (HEAD23)

HEAD23 は、ECC 訂正後のヘッダ部 MODE 値を示します。

ビット:	7	6	5	4	3	2	1	0
	HEAD23[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	HEAD23[7:0]	H'00	R	ECC 訂正後のヘッダ部 MODE 値

### 21.3.33 ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ (SHEAD20)

SHEAD20 は、ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-16) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD20[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD20 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-16)

### 21.3.34 ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ (SHEAD21)

SHEAD21 は、ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-17) を示します。

```

ビット： 7   6   5   4   3   2   1   0
          ┌───────────────────────────┐
          │                SHEAD21[7:0]                │
          └───────────────────────────┘
初期値： 0   0   0   0   0   0   0   0
R/W：   R   R   R   R   R   R   R   R

```

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD21 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-17)

### 21.3.35 ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ (SHEAD22)

SHEAD22 は、ECC 訂正後のサブヘッダ部サブモード値 (BYTE-18) を示します。

```

ビット： 7   6   5   4   3   2   1   0
          ┌───────────────────────────┐
          │                SHEAD22[7:0]                │
          └───────────────────────────┘
初期値： 0   0   0   0   0   0   0   0
R/W：   R   R   R   R   R   R   R   R

```

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD22 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部サブモード値 (BYTE-18)

### 21.3.36 ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ (SHEAD23)

SHEAD23 は、ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-19) を示します。

```

ビット： 7   6   5   4   3   2   1   0
          ┌───────────────────────────┐
          │                SHEAD23[7:0]                │
          └───────────────────────────┘
初期値： 0   0   0   0   0   0   0   0
R/W：   R   R   R   R   R   R   R   R

```

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD23 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-19)

### 21.3.37 ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ (SHEAD24)

SHEAD24 は、ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-20) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD24[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD24 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部ファイルナンバ値 (BYTE-20)

### 21.3.38 ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ (SHEAD25)

SHEAD25 は、ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-21) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD25[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD25 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部チャンネルナンバ値 (BYTE-21)

### 21.3.39 ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ (SHEAD26)

SHEAD26 は、ECC 訂正後のサブヘッダ部サブモード値 (BYTE-22) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD26[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	SHEAD26 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部サブモード値 (BYTE-22)

### 21.3.40 ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ (SHEAD27)

SHEAD27 は、ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-23) を示します。

ビット:	7	6	5	4	3	2	1	0
	SHEAD27[7:0]							
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
7~0	SHEAD27 [7:0]	H'00	R	ECC 訂正後のサブヘッダ部データタイプ値 (BYTE-23)

### 21.3.41 自動バッファリング設定コントロールレジスタ (CBUFCTL0)

ビット:	7	6	5	4	3	2	1	0
	CBUF_ AUT	CBUF_ EN	-	CBUF_MD[1:0]	CBUF_ TS	CBUF_ O	-	
初期値:	0	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	CBUF_AUT	0	R/W	自動バッファリング機能制御 CROM_EN = 1 に設定した状態で、このビットを ON/OFF する場合には、CBUF_EN も同時に ON/OFF を行ってください。行わない場合、CBUFST0、CBUFST1、CBUFST2 の表示は保証できません。 0: 自動バッファリング OFF 1: 自動バッファリング ON
6	CBUF_EN	0	R/W	バッファ RAM へのバッファリング制御 本ビットは、自動 / マニュアル両バッファリングモードにおいて、バッファリングの ON/OFF を行います。マニュアルバッファリング時には、ISEC 割り込みが発生した後、本ビットをセットしてください。 自動バッファリング停止時には自動でリセットします。 0: バッファリング OFF 1: バッファリング ON
5	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4, 3	CBUF_MD [1:0]	00	R/W	自動バッファリング機能を使用する際の開始セクタの検出モード設定 00 : 前セクタ検出と現セクタ検出で連続性 (ヘッダ値) OK 01 : 現セクタ検出で内挿値との連続性 OK 10 : 現セクタ検出 OK 11 : 現セクタ未検出でも内挿値で判定
2	CBUF_TS	1	R/W	CBUFCTL1~3 の設定方法 0 : CBUFCTL1~3 : BCD (10 進数) 1 : トータルセクタ値 (16 進数)
1	CBUF_Q	0	R/W	QCODE の CRC-NG 時の QCODE バッファリングデータ指定 0 : CRC-OK だった最終セクタ値をバッファリング 1 : そのまま NG データをバッファリング 【注】 本 LSI ではサブコードは入力されませんので、本ビットは常に 1 を設定してください。
0	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 21.3.42 自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ (CBUFCTL1)

CBUFCTL1 は、バッファリング開始セクタのヘッダ-MINUTES 値を示します。

ビット :	7	6	5	4	3	2	1	0
	BS_MIN[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	BS_MIN[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-MINUTES 値

### 21.3.43 自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ (CBUFCTL2)

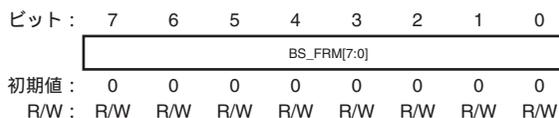
CBUFCTL2 は、バッファリング開始セクタのヘッダ-SECONDS 値を示します。

ビット :	7	6	5	4	3	2	1	0
	BS_SEC[7:0]							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	BS_SEC[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-SECONDS 値

### 21.3.44 自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ (CBUFCTL3)

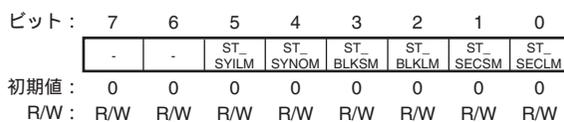
CBUFCTL3 は、バッファリング開始セクタのヘッダ-FRAMES (1/75 秒) 値を示します。



ビット	ビット名	初期値	R/W	説明
7-0	BS_FRM[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-FRAMES (1/75 秒) 値

### 21.3.45 ISY 割り込み要因マスクコントロールレジスタ (CROMST0M)

CROMST0M は、同期コードステータスレジスタ (CROMST0) の各ビットによる ISY 割り込み要因をマスクします。



ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	ST_SYILM	0	R/W	ISY 割り込み ST_SYIL (CROMST0 レジスタのビット 5) 要因マスク
4	ST_SYNOM	0	R/W	ISY 割り込み ST_SYNO (CROMST0 レジスタのビット 4) 要因マスク
3	ST_BLKSM	0	R/W	ISY 割り込み ST_BLK (CROMST0 レジスタのビット 3) 要因マスク
2	ST_BLKLM	0	R/W	ISY 割り込み ST_BLKL (CROMST0 レジスタのビット 2) 要因マスク
1	ST_SECSM	0	R/W	ISY 割り込み ST_SECS (CROMST0 レジスタのビット 1) 要因マスク
0	ST_SECLM	0	R/W	ISY 割り込み ST_SECL (CROMST0 レジスタのビット 0) 要因マスク

## 21.3.46 CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST)

ROMDECRST は、CD-ROM デコーダのランダム論理部のリセット、CD-ROM デコーダの RAM クリアを行います。

ビット:	7	6	5	4	3	2	1	0
	LOGI CRST	RAM RST	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	LOGICRST	0	R/W	CD-ROM デコーダのランダム論理部のリセット信号 本レジスタに 1 をセットしている間、リセット信号が出力されます。
6	RAMRST	0	R/W	CD-ROM デコーダが持つ RAM のクリア信号 RSTSTAT レジスタの RAMCLRST ビットにより、RAM クリア完了を確認してください。
5~0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 LOGICRST を 1 にセットする場合は、RAMRST ビットが 0 となっていることを確認後、本レジスタに B'10000000 を書き込んでください。

## 21.3.47 CD-ROM デコーダモジュールリセットステータスレジスタ (RSTSTAT)

RSTSTAT は、CD-ROM デコーダの RAM のクリア状態を示します。

ビット:	7	6	5	4	3	2	1	0
	RAM CLRST	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	RAMCLRST	0	R	ROMDECRST レジスタの RAMRST = 1 ライト後、RAM のクリアが完了すると、本ビットが 1 となります。RAMRST = 0 ライトにより、本ビットがクリアされます。
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。

## 21.3.48 SSI データコントロールレジスタ (SSI)

SSI はストリームデータに関する各種設定を行います。なお、本レジスタを設定したときの動作については「21.4.1 入力ストリームデータエンディアン変換機能」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	BYTEND	BITEND	BUFEND0[1:0]	BUFEND1[1:0]	-	-		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	BYTEND	0	R/W	SSI からのストリーム入力データのエンディアンを変更します。 1 がセットされると STRMDIN0、STRMDIN2 のバイト 0 とバイト 1 を入れ替えます。
6	BITEND	0	R/W	SSI からのストリーム入力データのビット並びを変更します。 1 がセットされると、バイト内のビット並びを 0 7 を 7 0 に入れ替えます。
5, 4	BUFEND0 [1:0]	01	R/W	SSI から転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。SSI では、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、SSI から 32 ビットのデータが CD-ROM データとして転送されます。CD-ROM デコーダ内部では 16 ビットの入力ストリームデータレジスタを 2 組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた 32 ビットのデータが SSI から転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROM デコードは 16 ビットのストリームデータとして扱い、本レジスタでは 32 ビットの SSI からの転送データのうち、先に入力する 16 ビットを制御します。 00: 先に処理するストリームデータを抑止します 01: SSI からの 32 ビットのストリームデータのうち、上位の 16 ビットデータを先にストリームデータとして処理します 10: SSI からの 32 ビットのストリームデータのうち、下位の 16 ビットデータを先にストリームデータとして処理します 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3, 2	BUFEND1 [1:0]	10	R/W	SSI から転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。SSI では、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、SSI から 32 ビットのデータが CD-ROM データとして転送されます。CD-ROM デコーダ内部では 16 ビットの入力ストリームデータレジスタを 2 組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた 32 ビットのデータが SSI から転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROM デコードは 16 ビットのストリームデータとして扱い、本レジスタでは 32 ビットの SSI からの転送データのうち、後に入力する 16 ビットを制御します。 00: 後に処理するストリームデータを抑止します 01: SSI からの 32 ビットのストリームデータのうち、上位の 16 ビットデータを後にストリームデータとして処理します 10: SSI からの 32 ビットのストリームデータのうち、下位の 16 ビットデータを後にストリームデータとして処理します 11: 設定禁止
1, 0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 21.3.49 割り込みフラグレジスタ (INTHOLD)

INTHOLD は、各種割り込みフラグで構成されています。

ビット:	7	6	5	4	3	2	1	0
	ISEC	ITARG	ISY	IERR	IBUF	IREADY	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ISEC	0	R/W	ISEC 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
6	ITARG	0	R/W	ITARG 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
5	ISY	0	R/W	ISY 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
4	IERR	0	R/W	IERR 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
3	IBUF	0	R/W	IBUF 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
2	IREADY	0	R/W	IREADY 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
1, 0	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 21.3.50 割り込み要因マスクコントロールレジスタ (INHINT)

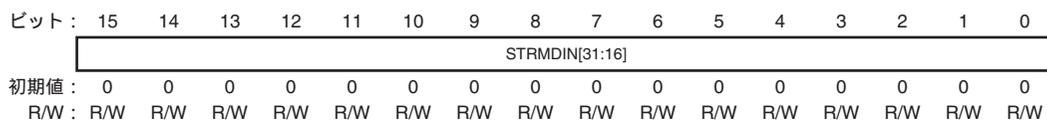
INHINT は、CD-ROM デコーダの各種割り込み要求を制御します。

ビット:	7	6	5	4	3	2	1	0
	INH ISEC	INH ITARG	INH ISY	INH IERR	INH IBUF	INH IREADY	PREINH REQDM	PREINH IREADY
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	INHISEC	0	R/W	ISEC 割り込みマスク 本ビットが 1 のとき、ISEC 割り込み要求を禁止します。
6	INHITARG	0	R/W	ITARG 割り込みマスク 本ビットが 1 のとき、ITARG 割り込み要求を禁止します。
5	INHISY	0	R/W	ISY 割り込みマスク 本ビットが 1 のとき、ISY 割り込み要求を禁止します。
4	INHIERR	0	R/W	IERR 割り込みマスク 本ビットが 1 のとき、IERR 割り込み要求を禁止します。
3	INHIBUF	0	R/W	IBUF 割り込みマスク 本ビットが 1 のとき、IBUF 割り込み要求を禁止します。
2	INHIREADY	0	R/W	IREADY 割り込みマスク 本ビットが 1 のとき、IREADY 割り込み要求を禁止します。
1	PREINH REQDM	0	R/W	出力ストリームデータの DMA 転送要求割り込みフラグのセットを禁止します。 本ビットが 1 のとき、DMA 転送要求割り込み要因を保持しなくなります。
0	PREINH IREADY	0	R/W	IREADY 割り込みのフラグのセットを禁止します。 本ビットが 1 のとき、IREADY フラグに割り込み要因を保持しなくなります。

### 21.3.51 CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN0)

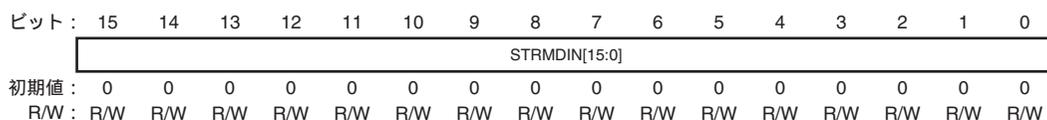
STRMDIN0 は、CD-ROM デコーダに入力する 4 バイトデータの MSB 側 2 バイトを示します。



ビット	ビット名	初期値	R/W	説明
15~0	STRMDIN [31:16]	H'0000	R/W	CD-ROM デコーダに入力する 4 バイトデータの MSB 側 2 バイト CD-ROM デコーダは 4 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1 セクタのデータ量は 2352 バイトです。

### 21.3.52 CD-ROM デコーダストリームデータ入力レジスタ (STRMDIN2)

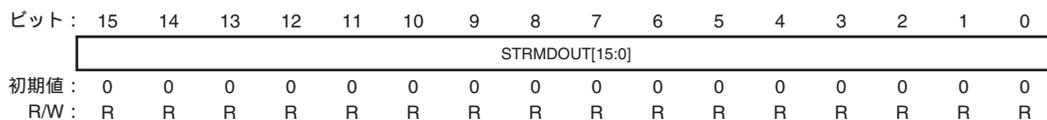
STRMDIN2 は、CD-ROM デコーダに入力する 4 バイトデータの LSB 側 2 バイトを示します。



ビット	ビット名	初期値	R/W	説明
15~0	STRMDIN [15:0]	H'0000	R/W	CD-ROM デコーダに入力する 4 バイトデータの LSB 側 2 バイト CD-ROM デコーダは 4 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1 セクタのデータ量は 2352 バイトです。

### 21.3.53 CD-ROM デコーダストリームデータ出力レジスタ (STRMDOUT0)

STRMDOUT0 は、CD-ROM デコーダから出力される 2 バイトデータを示します。



ビット	ビット名	初期値	R/W	説明
15~0	STRMDOUT [15:0]	H'0000	R	CD-ROM デコーダから出力される 2 バイトデータ CD-ROM デコーダは 2 バイト幅のデータウィンドをレジスタとしてもち、当該レジスタから出力されるデータが ROM デコード処理後のデータとなります。当該レジスタをアクセスするたびに別に定義する出力フォーマットに従ってアクセスサイズ分のデータが順次出力されます。1 セクタ分のデータは 2768 バイトです。必ず 2768 バイト分読み出してください。

## 21.4 動作説明

### 21.4.1 入力ストリームデータエンディアン変換機能

CD-ROM デコーダコア部には、CD-ROM データフォーマット仕様順にストリームデータを入力する必要があります。しかし、システムによっては、SSI からのデータの順番が入れ替わっていたり、パディング部を転送する必要があります。そこで、ストリームデータ入力制御部には、データの順番を入れ替えたり、パディングデータを CD-ROM デコーダコア部に入力しないようにする機能があります。

これらは、SSI データコントロールレジスタ (SSI) で制御します。図 21.6 は、入力ストリームデータとして“パディングデータ + 同期コード先頭 2 バイト”、すなわち H'000000FF を 16 ビット単位で順番が逆になったデータ (H'00FF0000) が CD-ROM デコーダに入力された場合を示します。

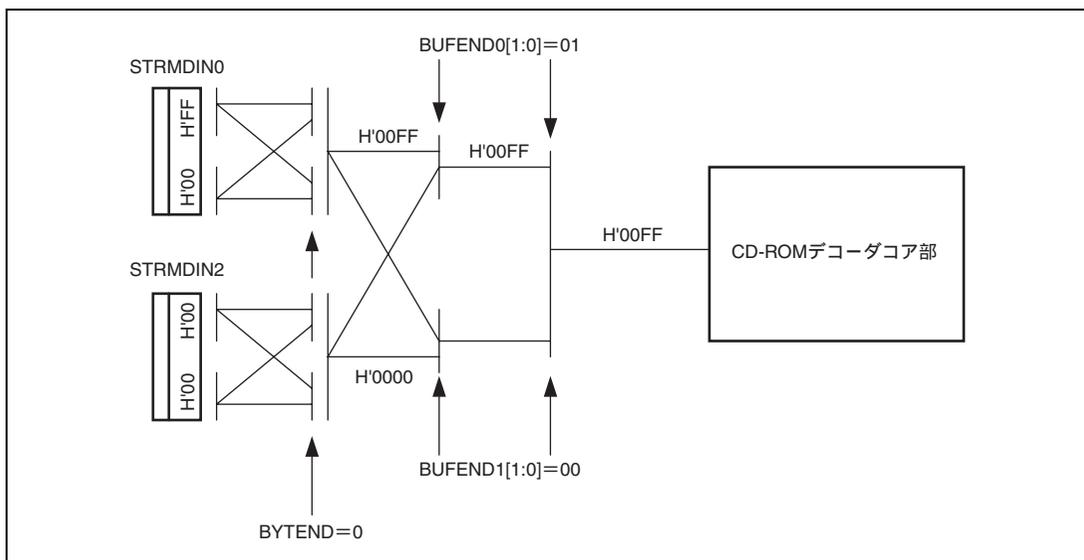


図 21.6 パディングデータ付きストリームデータの SSI レジスタ制御例

図 21.7 は、入力ストリームデータとしてパディングデータを持たない H'12345678 を 16 ビット単位で順番が逆になったデータ (H'56781234) が CD-ROM デコーダに入力された場合を示します。

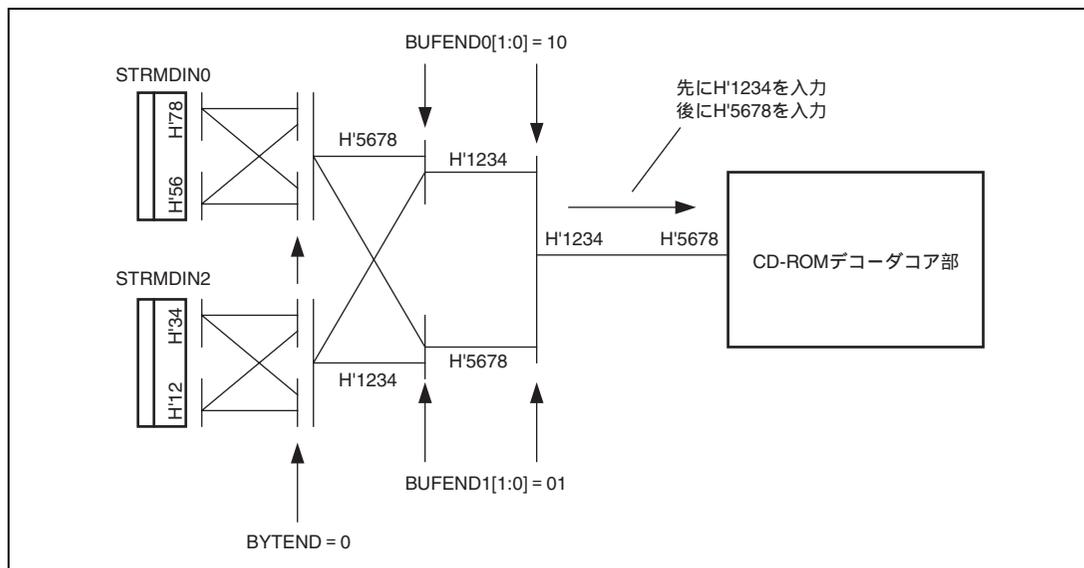


図 21.7 パディングデータなしストリームデータの SSI レジスタ制御例

#### 21.4.2 同期コード保護機能

CD-ROM のデータは、H'00FFFFFFFFFFFFFFFFF00 (同期コード) で始まる 2352 バイトが 1 セクタのデータとなりますが、キズ等により、同期コードが異常なタイミングで認識されたり、逆に、同期コードが検出されるべきタイミングに検出できなかったりする場合があります。そのため、本 CD-ROM デコーダには、異常なタイミングで同期コードを検出したときには、その同期コードを無視する機能、同期コードが検出されるべきタイミングで検出できなかったときには、同期コードを保護する機能があります。

同期コード保護機能には以下のモードがあります。設定についての詳細は、「21.3.2 同期コードの同期制御コントロールレジスタ (CROMSY0)」および表 21.2 を参照してください。

- 自動同期保護モード
- 外部同期モード
- 内挿同期モード
- 内挿 / 外部同期モード

## (1) 自動同期保護モード

自動同期保護モードは、1セクタ(2352バイト)期間内で検出した同期コードは無視し、次セクタの先頭で同期コードが検出できなかった場合は、同期コードを保護します。また、同期タイミングが変化した場合、同期タイミングが変化後、2352バイト期間で同期検出したところで、再同期します。

したがって、異常同期パターンを排除し、同期タイミング変更に従従する場合に有効です。ただし、同期タイミング変更時の最初の1セクタについては追従できません。

図 21.8 に、正常な場合、図 21.9 に、1セクタ期間内で同期コードを検出した場合、図 21.10 に、1セクタ期間を超えたタイミングで同期コードを検出した場合の動作を示します。

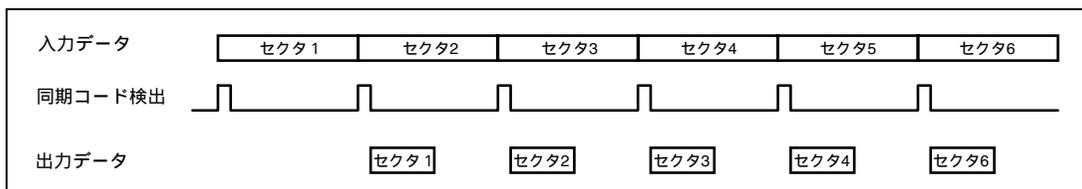


図 21.8 正常タイミングでの自動同期保護モード動作

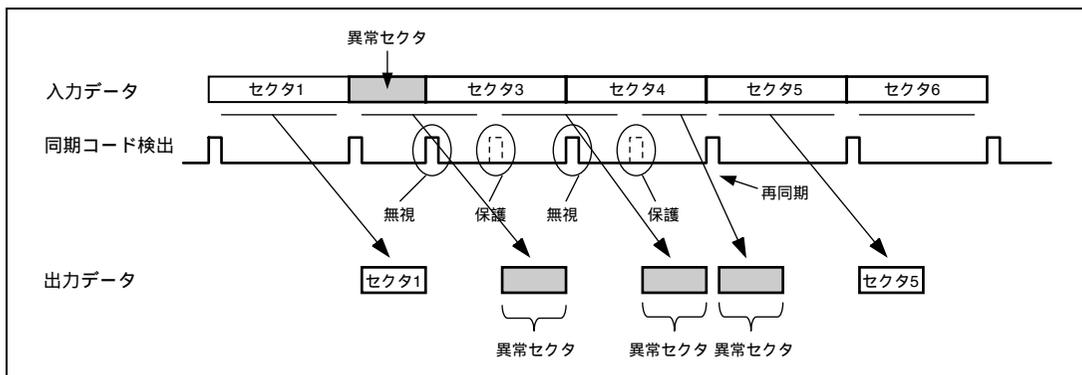


図 21.9 ショートセクタでの自動同期保護モード動作

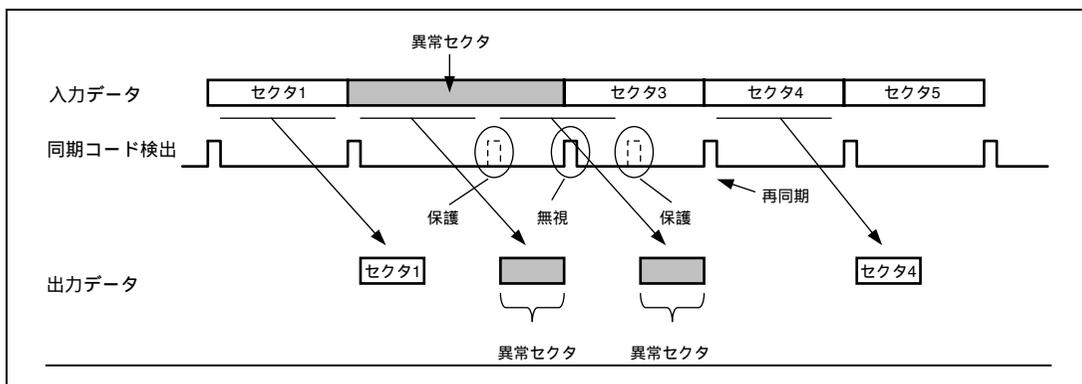


図 21.10 ロングセクタでの自動同期保護モード動作

## (2) 外部同期モード

外部同期モードは、常に入力されるデータの同期コードで同期します。2352 バイトで次の同期コードが見つからない場合は、同期コードを検出するまでデコードしません。

したがって、外部同期タイミングに追従する場合に有効です。ただし、異常同期コードパターンが入力されると正常にデコードできません。

図 21.11 に、外部同期モードでの動作を示します。

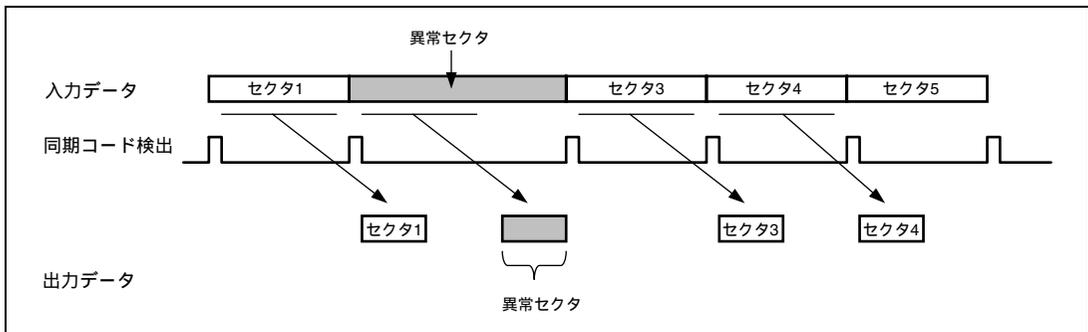


図 21.11 外部同期モード動作

## (3) 内挿同期モード

内挿同期モードは、デコード開始時の同期コードパターンを検出した後は、内部カウンタによって、常に同期します。したがって、同期パターンが壊れているような場合に有効です。

ただし、同期コードタイミングが変化すると追従することができず、正しくデコードできません。

図 21.12 に、内挿同期モードでの動作を示します。

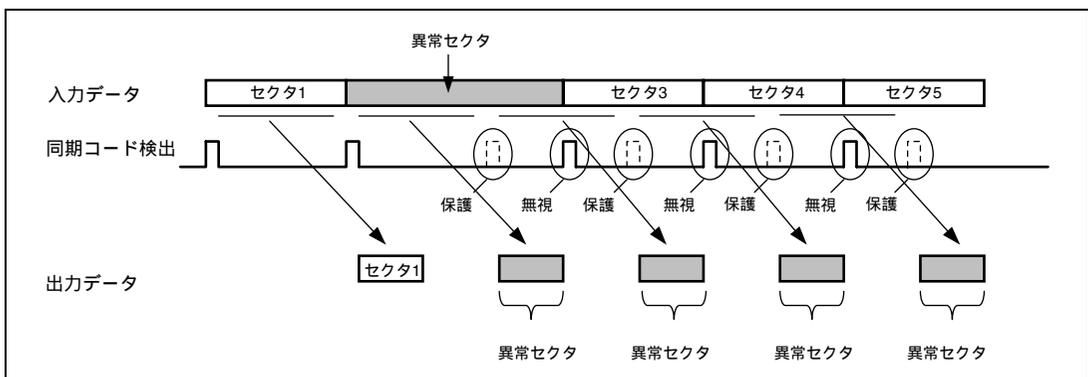


図 21.12 内挿同期モード動作

## (4) 内挿 / 外部同期モード

内挿 / 外部同期モードは、同期コードパターンを検出すると、それに同期し、2352 バイトで同期パターンが見つからない場合には保護します。自動同期保護モードと比較して、同期タイミングの変更にすぐ追従できます。

ただし、異常タイミングで同期パターンが入ってくると、正常にデコードできません。

図 21.13 に、ショートセクタが発生した場合の内挿 / 外部同期モードでの動作、図 21.14 に、ロングセクタが発生した場合の内挿 / 外部同期モードでの動作を示します。

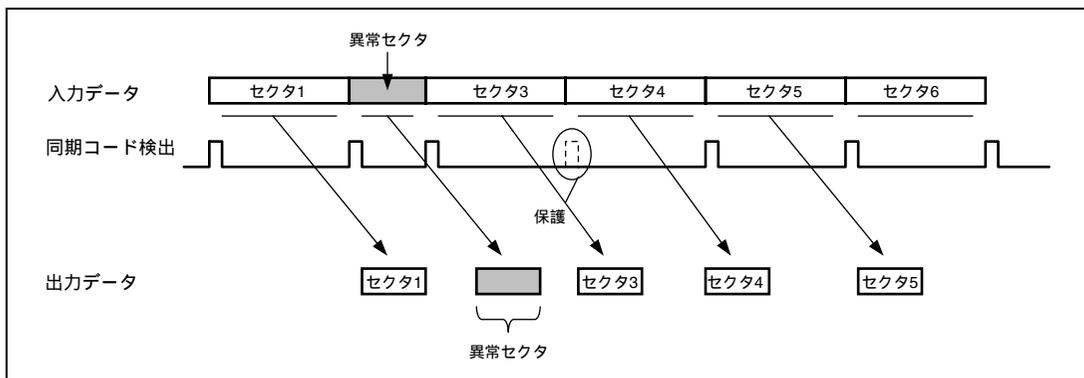


図 21.13 ショートセクタでの内挿 / 外部同期モード動作

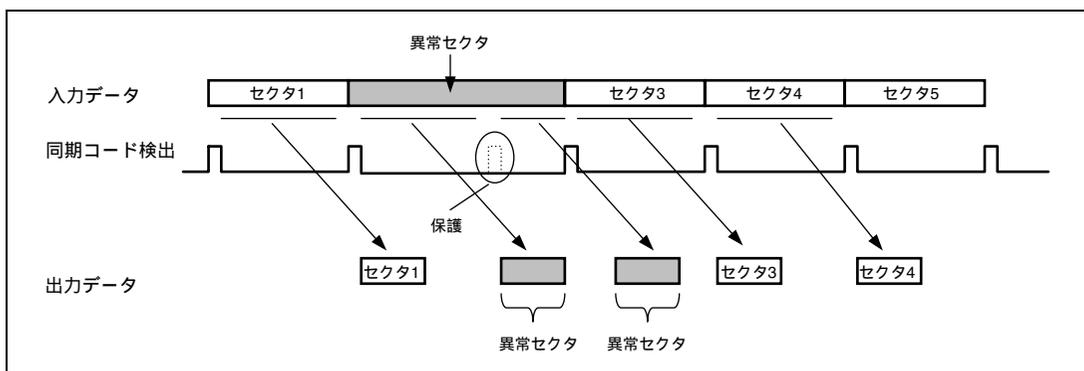


図 21.14 ロングセクタでの内挿 / 外部同期モード動作

### 21.4.3 エラー訂正

CD-ROM デコーダには、エラーを訂正するための EDC、P パリティ、Q パリティ情報をもったフォーマットがあります。本 CD-ROM デコーダにおいては、以下の機能があり、エラー訂正を行います。

- シンドローム演算機能
- ECC訂正機能
- EDCチェック機能

#### (1) シンドローム演算機能

CD-ROM デコーダ Mode1 および、Mode2 Form1 の場合で、1 セクタのデータが入力された後、エラーがあると判断された (シンドローム演算結果が 0 でなかった) 場合、ECC 訂正が行われます。ECC 訂正後、修正されたデータに対するシンドローム演算結果が、CROMST6 レジスタの ST\_ECCP ビット (P 系列)、ST\_ECCQ ビット (Q 系列) に出力されます。

#### (2) ECC 訂正および EDC チェック

EDC、P パリティ、Q パリティを持つ CD-ROM フォーマットデータに対して、ECC 訂正、EDC チェックを行います。ECC の訂正モードは P 訂正、Q 訂正、PQ 訂正 (P 訂正後、Q 訂正)、QP 訂正 (Q 訂正後、P 訂正) に対応しており、PQ 訂正、QP 訂正については、最大 3 回 (倍速により制限あり) までの繰り返し訂正が可能です。

EDC チェックは、ECC 訂正前と後の 2 回行います。

ECC 訂正、EDC チェックのチェックモードは、CROMCTL1 レジスタの MD\_DEC[2:0] ビットで設定します。また、PQ 訂正、QP 訂正モードを選択した際の訂正繰り返し回数は、CROMCTL1 レジスタの MD\_PQREP[1:0] ビットで設定します。

自動モード・フォーム検出機能使用時には、判定されたモードに従って、ECC 訂正、EDC チェックが行われます。P パリティ、Q パリティ、EDC のない Mode0、Mode2 と判断した際には、ECC 訂正、EDC チェックは行われません。また、Mode2 Form2 と判断した際には、ECC 訂正は行われません。

#### (a) ECC 訂正

ECC 訂正使用時は、訂正不能と判断すると、IERR 割り込みを発生し、CROMST6 レジスタの ST\_ECCNG ビットが 1 になります。また、当該ビットは、ショートセクタ検出時にも 1 となります。

CROMCTL4 レジスタの NO\_ECC ビットが 1 に設定されていたときは、ECC 前 EDC チェックが OK であったなら、シンドローム演算結果にかかわらず ECC 訂正を行いません。

#### (b) EDC チェック

EDC チェック使用時には、設定したモード・フォームに従って EDC チェックを行います。また、自動モード・フォーム検出機能使用時には、判定されたモード・フォームに従って、EDC チェックを行います。

ECC 訂正前、訂正後の EDC チェック結果が、それぞれ CROMST6 レジスタの ST\_EDC1、ST\_EDC2 ビットに反映されます。また、ECC 訂正後の EDC チェック結果が NG となった場合、IERR 割り込みを発生します。

#### 21.4.4 自動デコード停止機能

CD-ROM データをデコード中に異常が発生した場合、自動的にデコードを停止することができます。

自動停止する要因は、以下の場合があります。どの要因を有効にするかは、CROMCTL3 レジスタで設定します。

- ECC訂正が不能になった場合
- ECC後のEDCチェックがNGになった場合
- モード、フォームが変化した場合
- MSF (分、秒、フレーム (1/75秒)) が不連続となった場合

上記要因で自動停止する場合には、要因が発生したセクタを出力した後、デコードを停止します。

CROMCTL3 レジスタで設定した要因が発生して、デコードが停止した場合、CBUFST1 レジスタで、どの要因で自動停止したかを確認することができます。

また、CD-ROM デコーダ内には、2セクタ分のバッファを持っています。出力ストリームデータを読み出さずに、ストリームデータを入力し続けると、3セクタ目のデータが入力された時点で、CD-ROM デコーダは停止します。このとき、CBUFST2 レジスタのBUF\_NG ビットが1となります。割り込みは発生しません。CBUFST2 レジスタのBUF\_NG ビットが1となったときには、ROMDECRST レジスタのLOGICRST ビットによりCD-ROM デコーダ機能をクリアしないと回復できません。ROMDECRST レジスタのLOGICRST ビットを1にすることにより、リセット信号が出力され、設定されていたレジスタも初期値にクリアされます。

### 21.4.5 バッファリングフォーマット

図 21.15 は、CD-ROM デコード後の出力ストリームデータフォーマットを示しています。

CD-ROM デコーダの出力は、2 バイト幅のウィンドレジスタ STRMDOUT0 を持っており、CD-ROM デコード完了後、当該レジスタをアクセスすると、同期コードから順に出力されます。

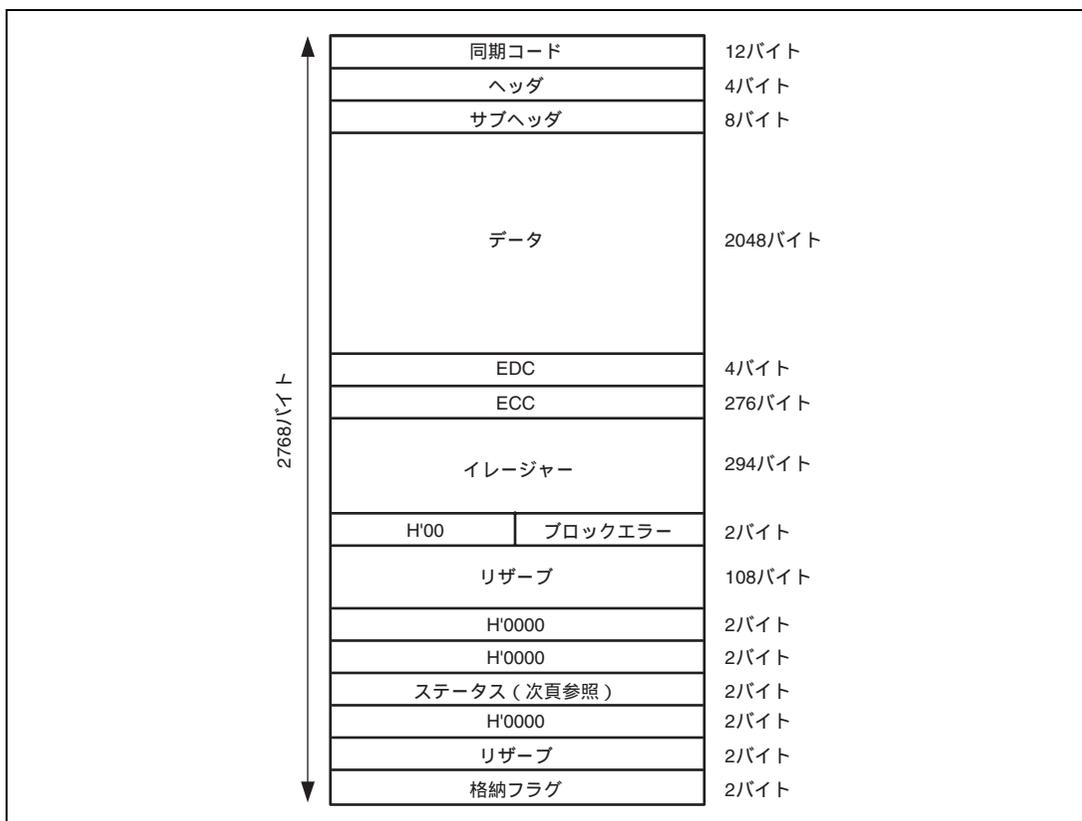


図 21.15 出力ストリームデータフォーマット

図 21.15 のステータスの 2 バイトは、以下の意味を持っています。アサインされていないビットは不定です。

ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERR	QERR	EDCE	-	-	-	-	-	SD	SY	FM[2:0]			HD	-	-

PERR : P 系列にエラーが残っていることを示します。

QERR : Q 系列にエラーが残っていることを示します。

EDCE : ECC 後の EDC チェックが NG であることを示します。

SD : ショートセクタとなったことを示します。

SY : 同期コードを内挿したことを示します。

FM : データフォーマットを意味しています。

001 : Mode0

010 : Mode1

011 : Long (EDC、ECC なしフォーマット)

100 : Mode2 notXA

101 : Mode2 Form1

110 : Mode2 Form2

HD : ヘッダの連続性 (分、秒、フレーム (1/75 秒) で NG)

図 21.15 の格納フラグは 1 セクタ分出力するごとに H'0000 ~ H'FFFF までカウントアップ (H'FFFF 後、H'0000 にラップアラウンド) します。なお、格納フラグに限り 2 バイトの上位バイトと下位バイトが入れ替わりますのでご注意ください。

### 21.4.6 目標セクタバッファリング機能

CD-ROM デコーダには、出力したいセクタを指定する方法として、目標セクタを事前に設定しておき CD-ROM デコーダ自体が目標セクタを検出する、自動バッファリング機能と、CD-ROM デコーダ内にバッファリングされているセクタをソフトウェアが認識しながら、ソフトウェアにより目標セクタの出力を指示する、手動バッファリング機能があります。

以下に、自動・手動バッファリングを行うための CD-ROM デコーダ内レジスタの設定方法を示します。

#### (1) 自動バッファリング設定

図 21.16 に自動バッファリングの設定例を示します。

CD-ROM デコーダレジスタを設定し、ストリームデータを入力すれば、目標セクタを CD-ROM デコーダが検出し、ストリームデータを出力開始します。

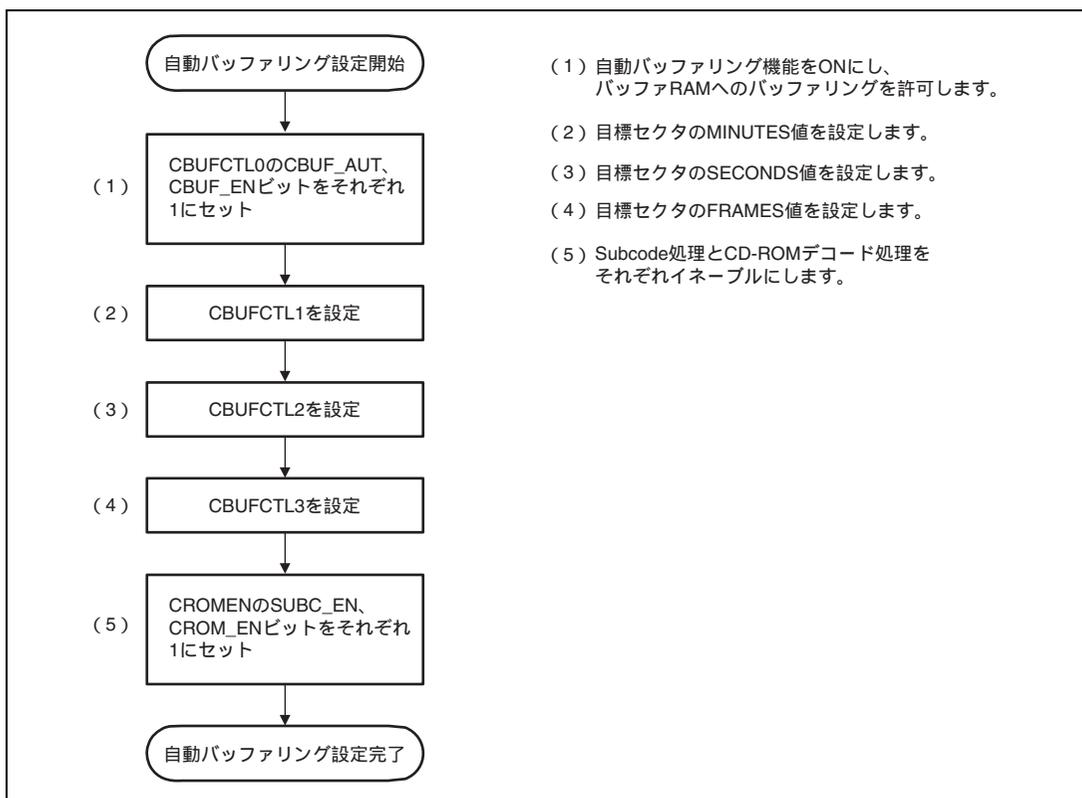


図 21.16 自動バッファリングの設定例

## (2) 手動バッファリング設定

図 21.17 に手動バッファリングの設定例を示します。

ISEC 割り込みがかかるたびに、目標セクタであるかどうかを判定し、目標セクタとなってから、バッファリングを ON とします。

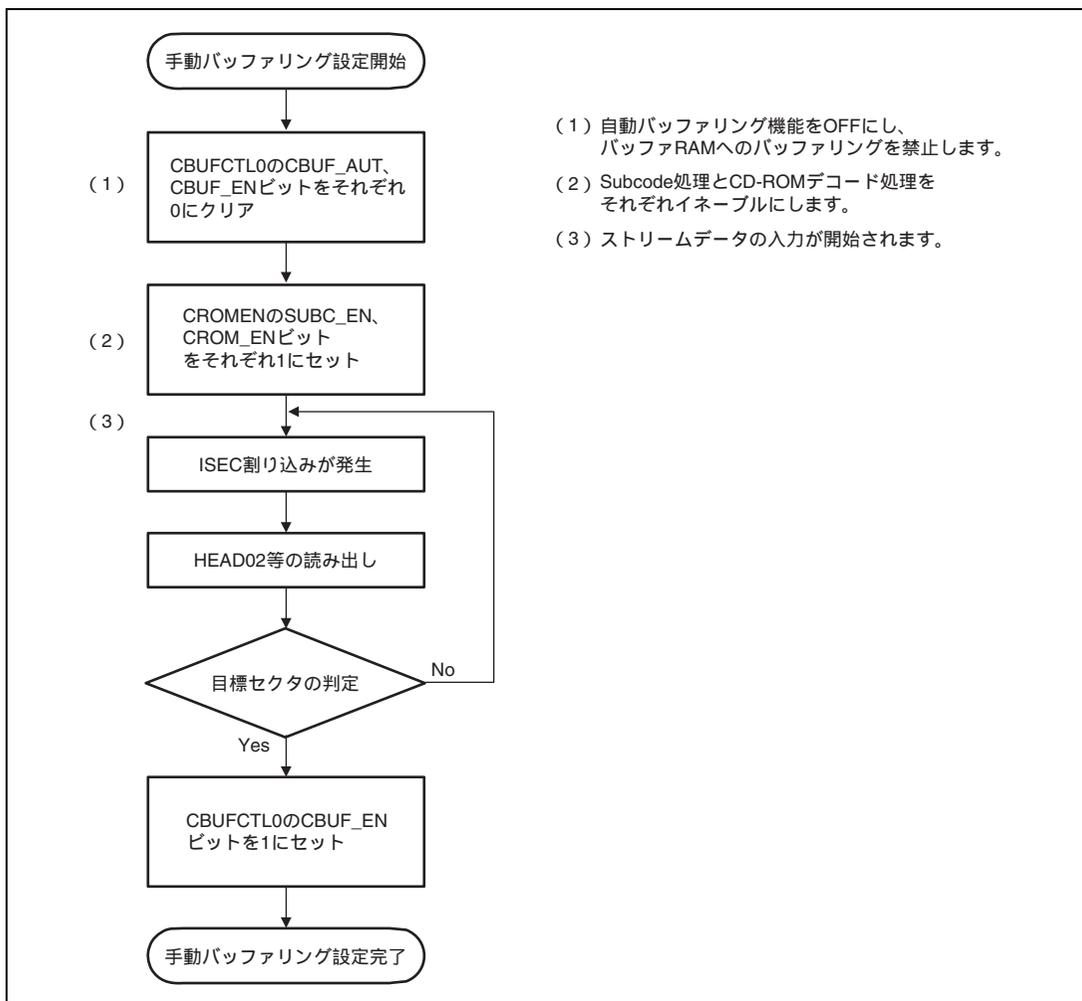


図 21.17 手動バッファリングの設定例

## 21.5 割り込み要因

### 21.5.1 割り込みおよび DMA 転送要求信号

表 21.3 は、CD-ROM デコーダが出力する割り込み信号と DMA 転送を要求する信号の意味と接続先を示しています。

表 21.3 割り込みおよび DMA 要求一覧

名 称	条 件	接続先
ISEC	セクタが切り替わったとき	INTC
ITARG	CD-ROM のアクセスセクタが目標セクタからずれたとき	INTC
ISY	CD-ROM 同期コード異常タイミング	INTC
IERR	ECC 訂正不能、もしくは ECC 訂正後の EDC チェックでエラーが発生したとき	INTC
IBUF	バッファへのデータ転送状況に変化があったとき	INTC
IREADY	CD-ROM のバッファへのデータ転送要求	INTC
DMA 転送要求	CD-ROM のバッファへのデータ転送要求	DMAC

#### (1) ISEC 割り込み

同期コードから始まる 1 つのセクタから、次のセクタに切り替わったときに発生します。

#### (2) ITARG 割り込み

CD-DSP から転送されるストリームデータが、目標セクタとずれていたときに発生します。CD-ROM デコーダではサブコード内の時間をチェックし、正しい状態では、目標とするセクタの少し前からデータ転送が開始されることを期待しますが、以下の場合に割り込みを発生します。

- 目標とするセクタのかなり以前のデータが転送されたとき
- 目標とするセクタの後のデータが転送されたとき

なお、本割り込みは、サブコードから ITARG を検出しますが、本 LSI では SSI から CD-ROM データが転送されるので、本割り込みは意味を持ちません。

#### (3) ISY 割り込み

以下の場合に割り込みを発生します。

- ワードカウンタ (同期コード間隔チェックカウンタ) の正しくないところで同期コードを検出したが、当該同期コードを無視したとき
- ワードカウンタが最終値になったが同期コードが検出されず、内挿 (保護) したとき
- ワードカウンタの正しくないところで同期コードを検出し、当該同期コードにより再同期したとき
- ワードカウンタが最終値になったが同期コードが検出されず、1セクタの期間が長くなったとき
- 同期コードと内挿したタイミングがショートセクタとなったとき
- 同期コードと内挿したタイミングがロングセクタとなったとき

#### (4) IERR 割り込み

以下の場合に割り込みを発生します。

- ECCで訂正しきれなかったとき
- ECCでは訂正OKとなったが、ECC訂正後のEDCチェックでエラーが発生したとき

#### (5) IBUF 割り込み

以下切り替わりで割り込みを発生します。

- リングバッファへデータ転送中 データ転送完了 (次転送データ検索中)
- リングバッファへの転送データ検索中 データ転送開始

#### (6) IREADY 割り込み

1セクタ分のCD-ROMデコードが終了すると発生する割り込みです。出力ストリームデータをCPUでSDRAMへバッファリングするときは、本割り込みを起動信号として使用します。

#### (7) DMA 転送要求

DMAを起動する要因は、IREADYと同じです。1セクタ分の出力ストリームデータがそろそろ割り込み要求を発生し、図21.15で示した2768バイトのデータを転送し終わると、一度ネゲートします。これは、次の1セクタ分の出力ストリームデータがそろそろまでに時間がかかりますので、DMACからのデータ転送要求を一度停止させるためです。

### 21.5.2 ステータスレジスタの更新タイミング

CD-ROMデコーダが持つステータス情報のレジスタはISEC割り込みごとに更新されます。どのセクタの情報が反映されるかは、CROMCTL4レジスタのER0SELビットで設定します。

## 21.6 使用上の注意事項

### 21.6.1 デコード動作状態でバッファリングのみ停止 / 再開させる場合の注意

CD-ROM デコーダを動作させたまま、出力ストリームデータを読み出さないと、CBUFST2 レジスタの BUF\_NG ビットが 1 となり、以降 CD-ROM デコーダは動作不能となります。

バッファリングのみ停止する場合は、CBUFCTL0 レジスタの CBUF\_EN ビットを 0 に設定します。また、自動バッファリング機能使用時には、同時に CBUFCTL0 レジスタの CBUF\_AUT ビットを 0 に設定します。このとき、現在バッファリング中のセクタは読み出してください。

バッファリングを再開するときには、自動バッファリング機能を使用している場合、CBUFCTL0 レジスタの CBUF\_AUT ビットと CBUF\_EN ビットを同時に 1 にセットしてください。

### 21.6.2 同期コードステータスレジスタ (CROMST0) 設定時の注意

1. CROMST0レジスタのST\_SECSビットが1になった場合、デコードを直ちに停止させ、現在デコード中の1つ前のセクタからリトライを行ってください。
2. CROMST0レジスタのST\_SECLビットが1になった場合、デコードを直ちに停止させ、現在デコード中の2つ前のセクタからリトライを行ってください。

### 21.6.3 リンクブロックでの注意

本 CD-ROM デコーダのリンクブロック検出機能は、ECC 訂正前のヘッダ情報を用いて判断しています。したがって、入力ストリームデータが誤っていたとき、リンクブロックを誤検出する可能性があります。これを防ぐため、ソフトウェアにて以下の対策をしてください。

- バッファリング中 (CBUFST0 レジスタ BUF\_ACT = 1) ISEC 割り込みのたびに CROMST5 レジスタ LINK\_OUT1 ビットを確認し、1 のとき、HEAD20 ~ 23 レジスタ値から MSF 値を記憶してください。このとき、IERR 割り込みが発生していないことを確認してください。発生していた場合は、MSF 値をとらないでください。
- 上記の LINK\_OUT1 ビットが 1 であることを確認した後、7 セクタ間 (ISEC 割り込み 7 回) 以下の処理を行ってください。

1. ISEC 割り込みのたびに、CROMST5 レジスタの LINK\_ON = 1 を確認し、その後の 2 セクタ間で再び、LINK\_ON = 1 を検出したとき
2. LINK\_ON = 1 が 1 度も検出されなかったとき

上記 1.、2. の場合、デコードを強制終了し、CROMSY0 レジスタを外部同期モードにして、目標セクタを上記で記憶した MSF 値 + 7 (リンクブロックの直後) を目標セクタとして、リトライしてください。

開始セクタアドレスは、ランアウトの格納アドレス + 7 になります。

### 21.6.4 CD-DSP 停止・再開時の注意点

CD-ROM デコーダへの入力ストリームデータを停止・再開するときに、停止したときのストリームデータが同期コードの直前で停止せず、その後再開すると、不当なストリームデータを認識してしまうことがあります。これは、停止したとき途中まで入力されていたストリームデータと、再開したときに入力されていたストリームデータが混在してしまうためです。入力ストリームデータを停止・再開するときは注意してください。

### 21.6.5 IREADY フラグクリアの注意点

割り込み処理などで IREADY フラグをクリアする際は、必ず 1 セクタ分 (2768 バイト) のデータを読み出した後に 0 クリアしてください。1 セクタ分の読み出しが完了する前に IREADY フラグを 0 クリアしてしまうと、以降のセクタについてはデコード不能となります。このとき、復帰する場合は CD-ROM デコーダモジュールリセットコントロールレジスタ (ROMDECRST) の LOGICRST ビットを 1 ライト後に 0 ライトとアクセスしてください。

### 21.6.6 ストリームデータ転送における注意点 (1)

ストリームデータの読み出しがストリームデータの書き込みより遅い場合、CD-ROM デコーダはバッファオーバーフロー状態に陥り異常停止します。ストリームデータの書き込み、読み出しの転送には十分注意してください。以下に、ストリームデータ転送設定の組み合わせ例を示します。

表 21.4 ストリームデータ転送設定の組み合わせ例

ストリーム入力	ストリーム出力
DMA による LW / サイクルスチール転送 (パディングなし)	(1) DMA による 16 バイト / サイクルスチール転送 (16 バイト*) (2) DMA によるバースト転送 (16 バイト*、ロングワード、ワード)
DMA による LW / サイクルスチール転送 (パディングあり)	(1) DMA によるサイクルスチール転送 (16 バイト*、ロングワード) (2) DMA によるバースト転送 (16 バイト*、ロングワード、ワード)
CPU による LW ライト	(1) DMA によるサイクルスチール転送 (16 バイト*、ロングワード、ワード) (2) DMA によるバースト転送 (16 バイト*、ロングワード、ワード)

【注】 \* 通常の 16 バイト転送設定に加え、DMA チャンネルコントロールレジスタ (CHCRn) のビット 25 を 1 にすることも合わせて行ってください。

### 21.6.7 ストリームデータ転送における注意点 (2)

ストリームデータの読み出しは、必ず DMA もしくは CPU のどちらか一方で行ってください。DMA と CPU のリードが混在した場合には、ストリームデータが CD-ROM のフォーマットとして認識できなくなる可能性があります。

---

## 22. A/D 変換器 (ADC)

---

本 LSI は 10 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

### 22.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 最小変換時間：1チャンネル当たり3.9  $\mu$ s
- 絶対精度： $\pm 4$ LSB
- 動作モード：3種類
  - シングルモード：1チャンネルのA/D変換
  - マルチモード：1～4チャンネルのA/D変換または1～8チャンネルのA/D変換
  - スキャンモード：1～4チャンネルの連続A/D変換または1～8チャンネルの連続A/D変換
- データレジスタ：8本
  - 変換結果を各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
  - ソフトウェア
  - マルチファンクションタイマパルスユニット2 (MTU2) による変換開始トリガ
  - 外部トリガ信号
- 割り込み要因
  - A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能
- モジュールスタンバイモードの設定可能

図 22.1 に A/D 変換器のブロック図を示します。

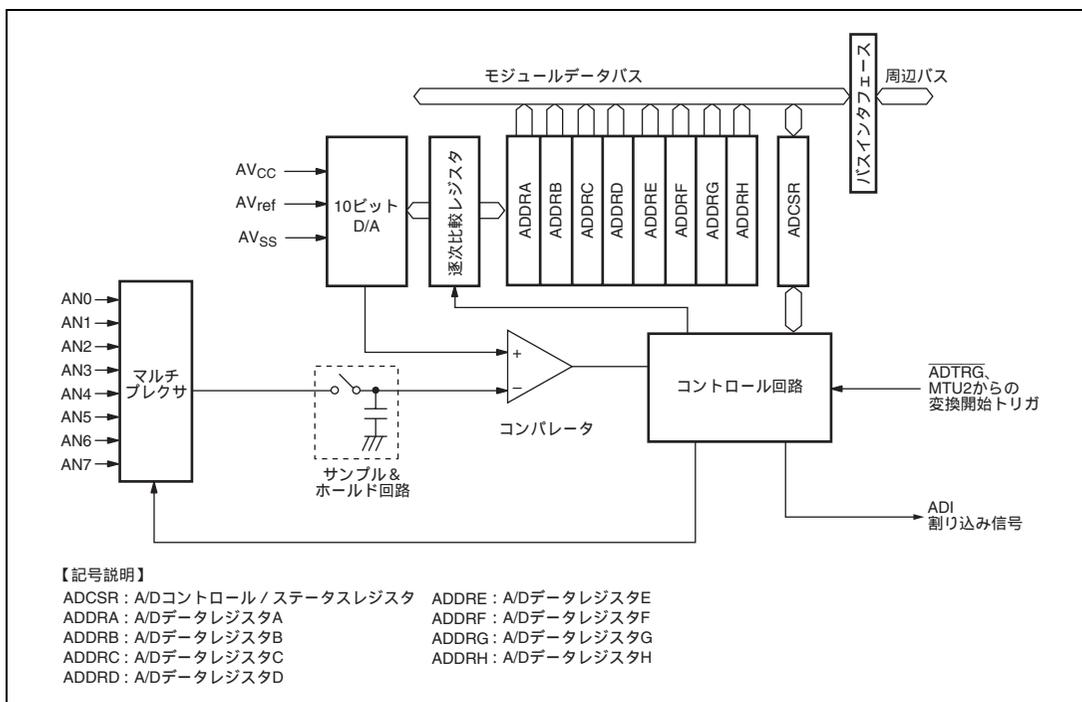


図 22.1 A/D 変換器のブロック図

## 22.2 入出力端子

A/D 変換器で使用する入力端子を表 22.1 に示します。

表 22.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子および A/D 変換の基準グランド
アナログ基準電圧端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	アナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力

## 22.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

表 22.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'0000	H'FFFE5800	16
A/D データレジスタ B	ADDRB	R	H'0000	H'FFFE5802	16
A/D データレジスタ C	ADDRC	R	H'0000	H'FFFE5804	16
A/D データレジスタ D	ADDRD	R	H'0000	H'FFFE5806	16
A/D データレジスタ E	ADDRE	R	H'0000	H'FFFE5808	16
A/D データレジスタ F	ADDRF	R	H'0000	H'FFFE580A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'FFFE580C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'FFFE580E	16
A/D コントロール/ステータスレジスタ	ADCSR	R/W	H'0040	H'FFFE5820	16

### 22.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA~ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャンネルに対応する ADDR のビット 15~6 に転送され、保持されます。ビット 5~0 は読み出すと常に 0 が読み出されます。

ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

アナログ入力チャンネルと ADDR の対応を表 22.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6		すべて 0	R	ビットデータ (10 ビット)
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 22.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

### 22.3.2 A/D コントロール / ステータスレジスタ (ADCSR)

ADCSR は、16 ビットの読み出し / 書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	-	TRGS[3:0]			CKS[1:0]		MDS[2:0]			CH[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/(W)*1	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\*1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	ADF	0	R/(W)*1	<p>A/D エンドフラグ</p> <p>A/D 変換の終了を示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ADF = 1 の状態で ADF フラグを読み出した後、ADF フラグに 0 を書き込んだとき</li> <li>ADI 割り込みにより DMAC が起動され、ADDR を読み出したとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>シングルモードで A/D 変換が終了したとき</li> <li>マルチモードで選択されたすべてのチャンネルの A/D 変換が終了したとき</li> <li>スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき</li> </ul>
14	ADIE	0	R/W	<p>A/D インタラプトイネーブル</p> <p>A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。ADIE ビットの設定は変換停止中に行ってください。</p> <p>0: A/D 変換の終了による割り込み (ADI) 要求を禁止</p> <p>1: A/D 変換の終了による割り込み (ADI) 要求を許可</p>
13	ADST	0	R/W	<p>A/D スタート</p> <p>A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。</p> <p>0: A/D 変換を停止</p> <p>1: シングルモード時: A/D 変換を開始。指定したチャンネルの A/D 変換が終了すると自動的にクリア。</p> <p>マルチモード時: A/D 変換を開始。指定したすべてのチャンネルを一巡して A/D 変換が終了すると自動的に 0 にクリア。</p> <p>スキャンモード時: A/D 変換を開始。ソフトウェア、パワーオンリセット、ディープスタンバイモード、ソフトウェアスタンバイモード、またはモジュールスタンバイモードへの遷移により 0 にクリアされるまで連続変換しません。</p>

ビット	ビット名	初期値	R/W	説明
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	TRGS[3:0]	0000	R/W	タイマトリガセレクト トリガ信号による A/D 変換開始の許可または禁止を選択します。 0000 : 外部トリガによる A/D 変換開始を禁止 0001 : MTU2 からの変換トリガ TRGAN による A/D 変換開始 0010 : MTU2 からの変換トリガ TRG0N による A/D 変換開始 0011 : MTU2 からの変換トリガ TRG4AN による A/D 変換開始 0100 : MTU2 からの変換トリガ TRG4BN による A/D 変換開始 1001 : $\overline{\text{ADTRG}}$ による A/D 変換開始 上記以外 : 設定禁止
7, 6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います* <sup>2</sup> 。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00 : 変換時間 = $138 t_{\text{pcc}}^{*3}$ (最大値) 01 : 変換時間 = $274 t_{\text{pcc}}^{*3}$ (最大値) 10 : 変換時間 = $546 t_{\text{pcc}}^{*3}$ (最大値) 11 : 設定禁止
5~3	MDS[2:0]	000	R/W	マルチスキャンモード A/D 変換の動作モードを選択します。 0xx : シングルモード 100 : マルチモード。1~4 チャンネルの A/D 変換 101 : マルチモード。1~8 チャンネルの A/D 変換 110 : スキャンモード。1~4 チャンネルの A/D 変換 111 : スキャンモード。1~8 チャンネルの A/D 変換
2~0	CH[2:0]	000	R/W	チャンネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 MDS = 100 または MDS = 101 または MDS = 0XX のとき MDS = 110 のとき MDS = 111 のとき 000 : AN0      000 : AN0      000 : AN0 001 : AN1      001 : AN0、AN1      001 : AN0、AN1 010 : AN2      010 : AN0~AN2      010 : AN0~AN2 011 : AN3      011 : AN0~AN3      011 : AN0~AN3 100 : AN4      100 : AN4      100 : AN0~AN4 101 : AN5      101 : AN4、AN5      101 : AN0~AN5 110 : AN6      110 : AN4~AN6      110 : AN0~AN6 111 : AN7      111 : AN4~AN7      111 : AN0~AN7

【記号説明】 x : Don't care

【注】 \*1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

ただし、以下の場合も 0 書き込みによるクリアとなりますのでご注意ください。

- (1) CPU で ADF = 1 の状態を読み出す
  - (2) DMAC による ADDR 読み出しによる ADF クリア
  - (3) A/D 変換終了による ADF フラグセット
  - (4) CPU で ADF フラグに 0 書き込み
- \*2 A/D 変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。
- \*3  $t_{\text{poyc}}$  は周辺クロック (P ) の周期を示します。

## 22.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

### 22.4.1 シングルモード

シングルモードは、1 チャネルのみの A/D 変換を行う場合に選択します。

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU2、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的に 0 にクリアされて A/D 変換器は待機状態になります。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。更新した後、ADST ビットを 1 にセットすると（モードおよびチャネルの変換と ADST ビットのセットは同時に行うことができます）、再び A/D 変換を開始します。

シングルモードでチャネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 22.2 に示します（動作例におけるビットの指定は ADCSR レジスタです）。

1. 動作モードをシングルモードに、入力チャネルを AN1 に (CH[2:0]=001)、A/D 割り込み要求許可 (ADIE=1) に設定して、A/D 変換を開始 (ADST=1) します。
2. A/D 変換が終了すると、A/D 変換結果が ADDR1B に転送されます。同時に、ADF=1、ADST=0 となり、A/D 変換器は変換待機となります。
3. ADF=1、ADIE=1 となっているため、ADI 割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. ADF=1 を読み出した後、ADF に 0 を書き込みます。
6. A/D 変換結果 (ADDR1B) を読み出して、処理します。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され 2.~7. を行います。

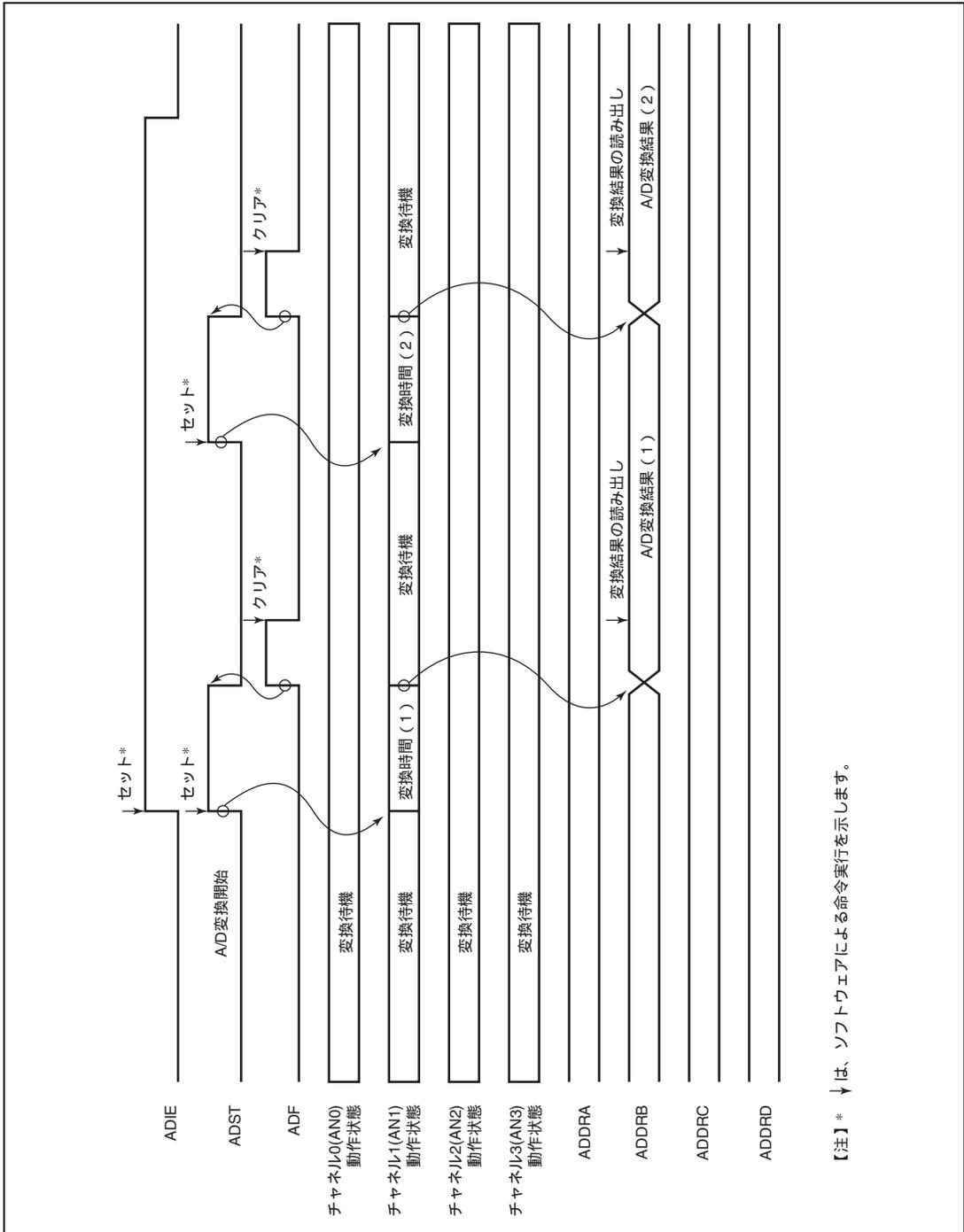


図 22.2 A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)

### 22.4.2 マルチモード

マルチモードは、複数チャンネル (1チャンネルを含む) のアナログ入力をそれぞれ 1 回順次変換します。

マルチモードは指定された最大 8 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、MTU2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順 (たとえばAN0、AN1...AN3) にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的に0にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D 変換は、指定したすべてのチャンネルを一巡して変換します。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

マルチモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 22.3 に示します。

1. 動作モードをマルチモード (MDS[2]=1、MDS[1]=0) に、アナログ入力チャンネルを AN0 ~ AN2 (CH[2:0]=010) に設定して A/D 変換を開始 (ADST=1) します。
2. 第1チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA に転送します。
3. 次に第2チャンネル (AN1) が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル (AN2) まで変換を行います。
5. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF=1 となり、ADST ビットを 0 にして変換を終了します。
6. このとき ADIE ビットが 1 であると、A/D 変換終了後、ADI 割り込みを発生します。

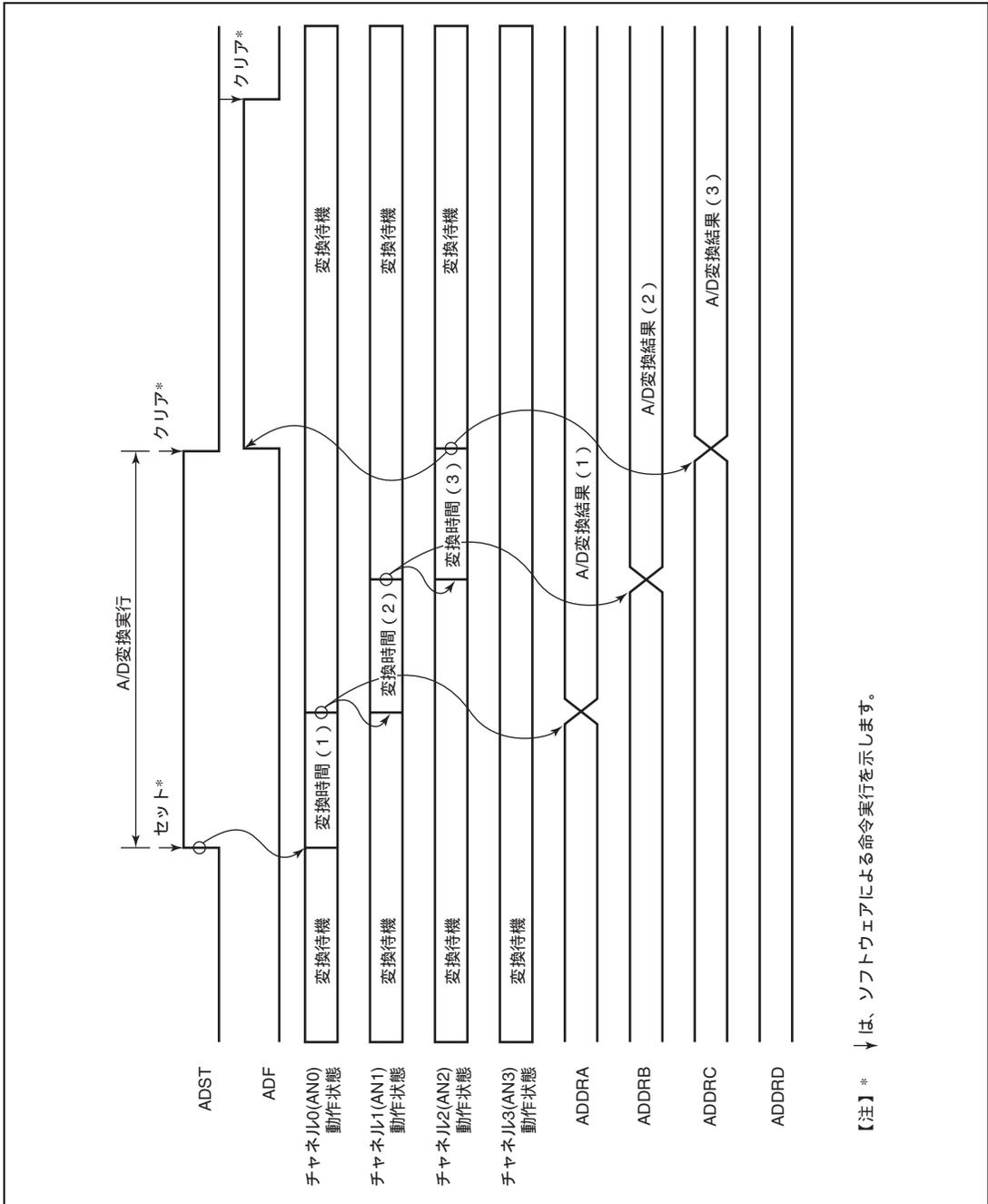


図 22.3 A/D 変換器の動作例 (マルチモード、AN0~AN2 の 3 チャンネル選択時)

### 22.4.3 スキャンモード

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、MTU2、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、アナログ入力チャンネル番号の小さい順(たとえばAN0、AN1...AN3)にA/D変換を実行します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネル番号の小さい順にA/D変換を実行します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。  
ADFビットは、ADF=1を読み出したあと、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに1をセットすると(モードおよびチャンネルの変更とADSTビットのセットは同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図22.4に示します。

1. 動作モードをスキャンモード(MDS[2]=1、MDS[1]=1)に、アナログ入力チャンネルをAN0~AN2(CH[2:0]=010)に設定してA/D変換を開始(ADST=1)します。
2. 第1チャンネル(AN0)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。
3. 次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
4. 同様に第3チャンネル(AN2)まで変換を行います。
5. 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、再び、第1チャンネル(AN0)を選択し、連続して変換が行われます。このときADIEビットが1であると、A/D変換(第3チャンネルの変換)終了後、ADI割り込みを発生します。
6. ADSTビットは自動的にクリアされず、ADSTビットが1にセットされている間は2.~4.を繰り返します。繰り返している間はADF=1を保持しています。ADSTビットを0にクリアすると、A/D変換が停止します。ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

2.~4.を繰り返している間ADF=1でADIE=1の場合、常にADI割り込みを発生します。第3チャンネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADFビットを0にクリアしてください。

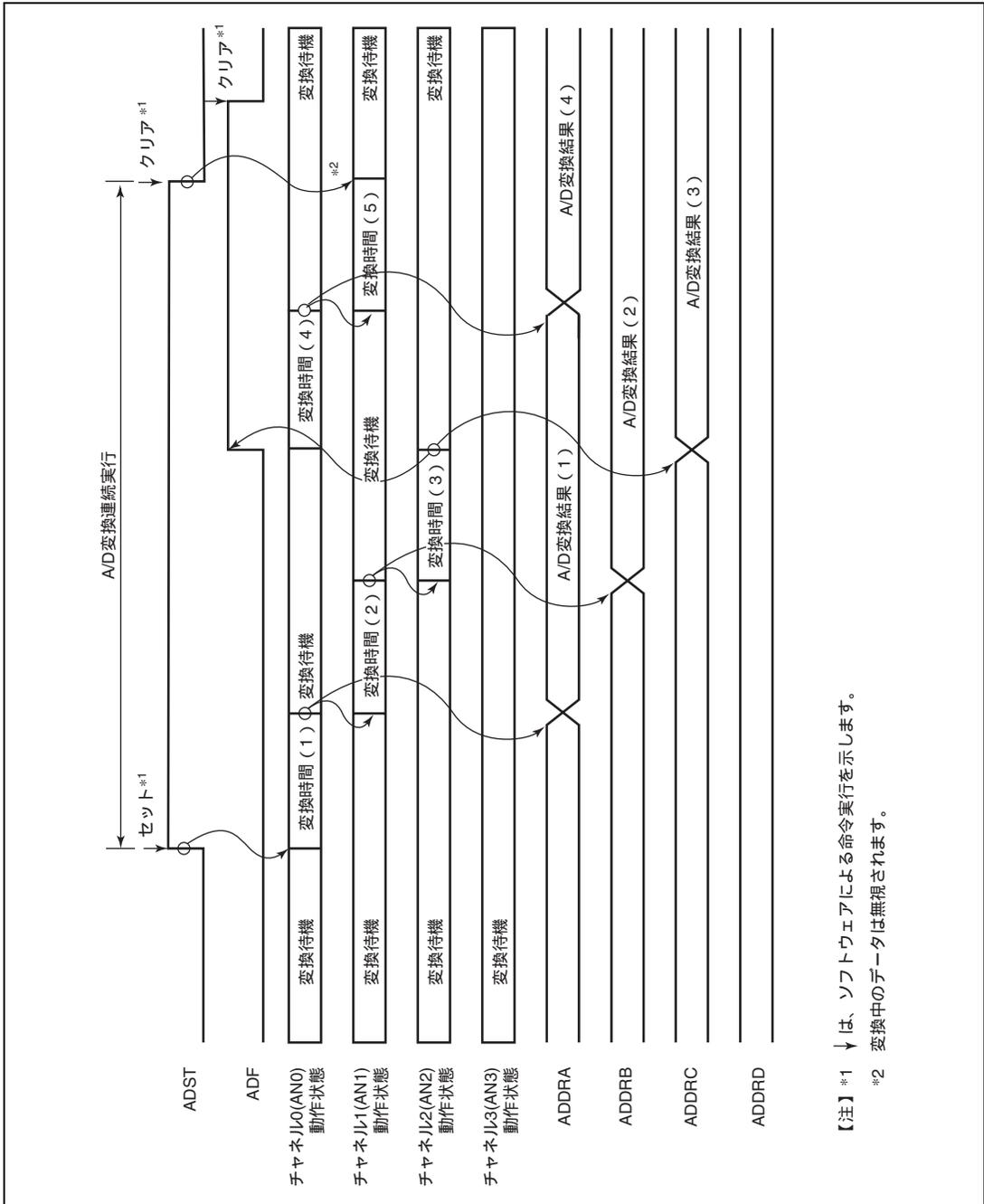


図 22.4 A/D 変換器の動作例 (スキャンモード、AN0~AN2 の3チャンネル選択時)

#### 22.4.4 外部トリガ、MTU2 による A/D 変換器の起動

外部トリガ、MTU2 からの A/D 変換要求によって、A/D 変換器を独立に起動することができます。外部トリガ、MTU2 から A/D 変換器を起動するときには、A/D トリガイネーブルビット (TRGS3 ~ TRGS0) の設定を行います。この状態で外部トリガ、MTU2 の A/D 変換要求が発生すると、ADST ビットを 1 にセットします。これで、A/D 変換が開始されます。変換を行うチャンネルは、ADCSR の CH2 ~ CH0 ビットで決まります。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

#### 22.4.5 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 ( $t_D$ ) 経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 22.5 に示します。また、A/D 変換時間を表 22.4 に示します。

A/D 変換時間 ( $t_{CONV}$ ) は、図 22.5 に示すように、 $t_D$  と入力サンプリング時間 ( $t_{SPL}$ ) を含めた時間となります。ここで  $t_D$  は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 22.4 に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、表 22.4 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 22.5 に示す値となります。

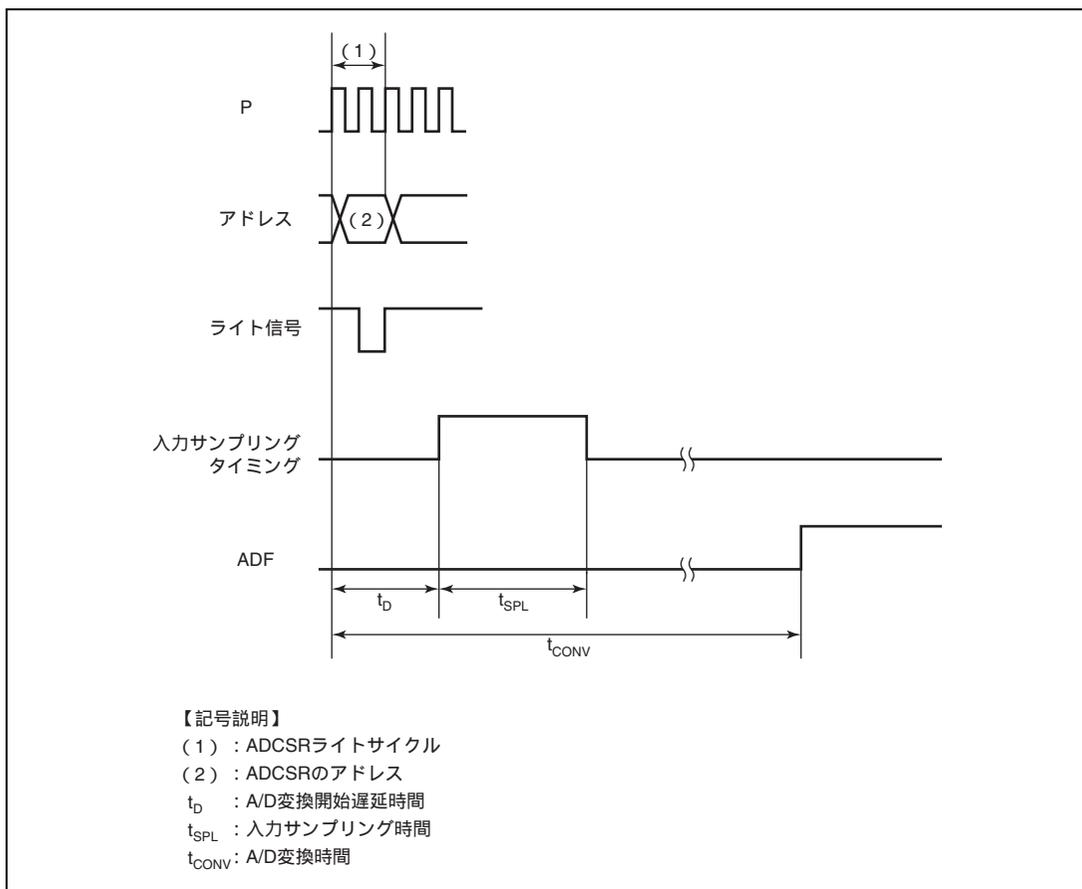


図 22.5 A/D 変換タイミング

表 22.4 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1		
		CKS0 = 0			CKS0 = 1			CKS0 = 0		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換開始遅延時間	$t_D$	11	-	14	19	-	26	35	-	50
入力サンプリング時間	$t_{SPL}$	-	33	-	-	65	-	-	129	-
A/D 変換時間	$t_{CONV}$	135	-	138	267	-	274	531	-	546

【注】 表中の数値の単位は  $t_{pclk}$  です。  $t_{pclk}$  は周辺クロック (P) の周期を示します。

表 22.5 A/D 変換時間 (マルチモード / スキャンモード)

CKS1	CKS0	変換時間 ( $t_{\text{conv}}$ )
0	0	128 (固定)
	1	256 (固定)
1	0	512 (固定)

【注】 表中の数値の単位は  $t_{\text{pclk}}$  です。  $t_{\text{pclk}}$  は周辺クロック (P ) の周期を示します。

### 22.4.6 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS3 ~ TRGS0 ビットが B'1001 にセットされているとき、 $\overline{\text{ADTRG}}$  端子から入力されます。 $\overline{\text{ADTRG}}$  の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード / マルチモード / スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 22.6 に示します。

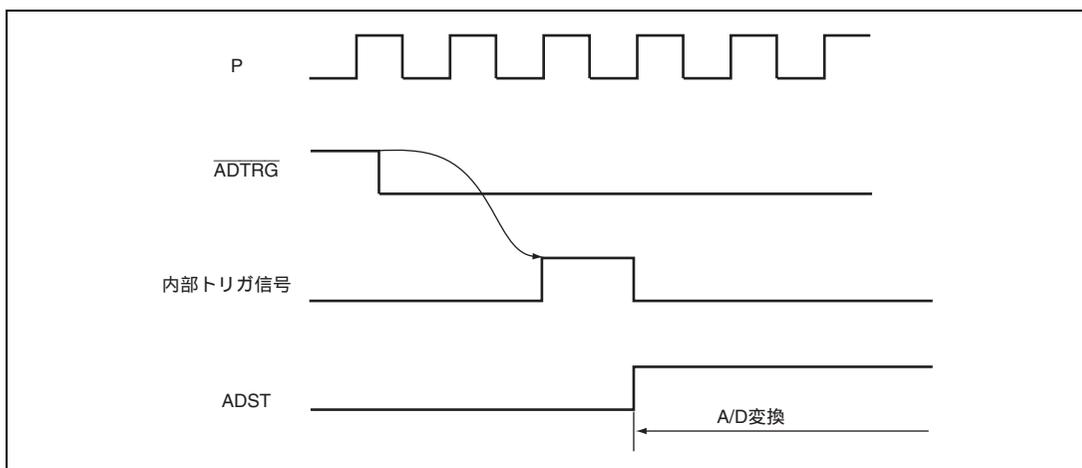


図 22.6 外部トリガ入力タイミング

## 22.5 割り込み要因と DMAC 転送要求

A/D 変換器は、A/D 変換が終了すると、A/D 変換割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求が発生します。なお、ADI 割り込みは、ダイレクトメモリアクセスコントローラ (DMAC) の設定により、DMAC の起動ができます。このとき、CPU への割り込み要求は発生されません。DMAC の起動設定を行わない場合は、CPU への割り込み要求が発生します。DMAC を使用して ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

シングルモードでは、ADI 割り込みによる DMA 転送は 1 回となるように設定してください。スキャンモードまたはマルチモードによる複数チャンネルの A/D 変換では DMA 転送回数を 1 回に設定すると、1 チャンネルのデータ転送のみで DMA 転送が終了してしまいます。DMAC によりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送回数を変換チャンネル数に設定し、DMA チャンネルコントロールレジスタ (CHCR) の TC ビットを 1 に設定してください。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされません。

表 22.6 割り込み要因と DMAC 転送要求の関係

名称	割り込み要因	割り込みフラグ	DMAC の起動
ADI	A/D 変換終了	ADCSR の ADF	可

## 22.6 A/D 変換精度の定義

A/D 変換器は、アナログ入力チャンネルから入力されたアナログ値をアナログ基準電圧と比較しながら、10 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 22.7 に沿って、上記 1.~4.の誤差を説明します。ただし、図ではわかりやすいように、10 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'000000000 (図では 000) から B'000000001 (図では 001) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 22.7 (1)) です。フルスケール誤差とはデジタル出力値が B'111111110 (図では 110) から最大値（フルスケール電圧）B'111111111 (図では 111) に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 22.7 (2)) です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます (図 22.7 (3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差 (図 22.7 (4)) です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

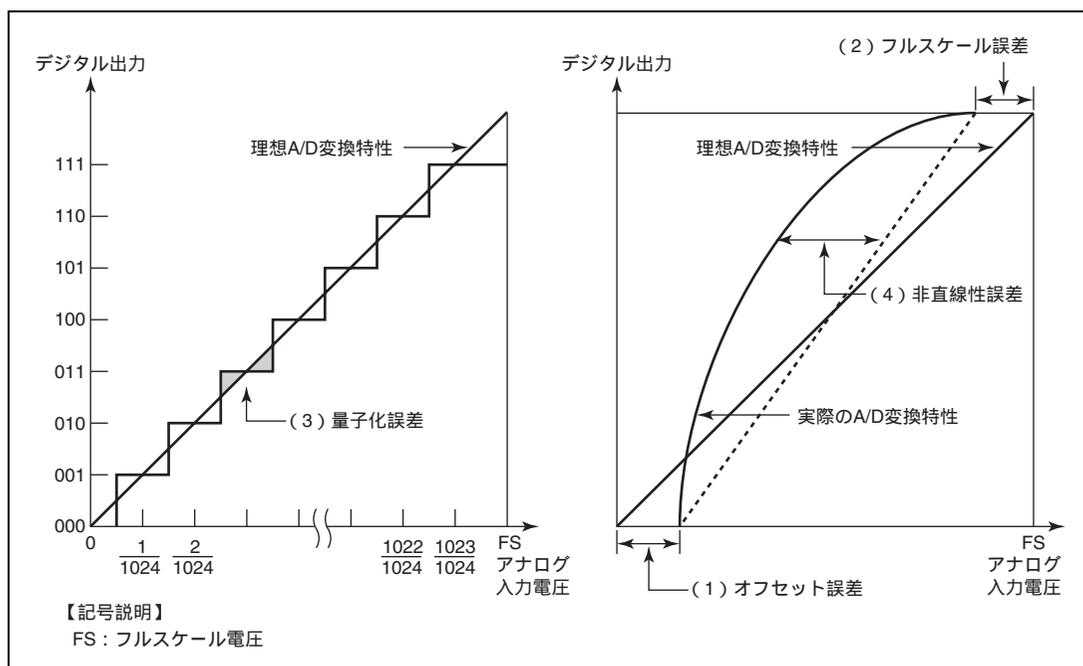


図 22.7 A/D 変換精度の定義

## 22.7 使用上の注意事項

A/D 変換器を使用する際は、以下のことに注意してください。

### 22.7.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

### 22.7.2 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

#### 1. アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN<sub>n</sub> に印加する電圧は AV<sub>ss</sub> AN<sub>n</sub> AV<sub>cc</sub> の範囲としてください。(n=0~7)

#### 2. AV<sub>cc</sub>、AV<sub>ss</sub> 入力電圧

AV<sub>cc</sub>、AV<sub>ss</sub> 入力電圧は、PV<sub>cc</sub> - 0.3V AV<sub>cc</sub> PV<sub>cc</sub>、AV<sub>ss</sub> = PV<sub>ss</sub> としてください。さらに、A/D 変換器および D/A 変換器を使用しないときやソフトウェアスタンバイモード時でも、AV<sub>cc</sub>、AV<sub>ss</sub> 端子をオープンにしないでください。使用しないときは、必ず AV<sub>cc</sub> は電源 (PV<sub>cc</sub>) に、AV<sub>ss</sub> はグランド (PV<sub>ss</sub>) に接続してください。

#### 3. AV<sub>ref</sub> の設定範囲

AV<sub>ref</sub> 端子によるリファレンス電圧範囲は 3.0V AV<sub>ref</sub> AV<sub>cc</sub> にしてください。

### 22.7.3 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0~AN7)、アナログ基準電圧 (AV<sub>ref</sub>)、アナログ電源 (AV<sub>cc</sub>) は、アナロググランド (AV<sub>ss</sub>) で、デジタル回路を分離してください。さらに、アナロググランド (AV<sub>ss</sub>) は、ボード上の安定したデジタルグランド (PV<sub>ss</sub>) に一点接続してください。

### 22.7.4 アナログ入力端子の取り扱い

アナログ入力端子 (AN0~AN7) には、過大サージなどの異常電圧による破壊を防ぐために、図 22.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 22.9 にアナログ入力端子の等価回路を、表 22.7 にアナログ入力端子の規格を示します。

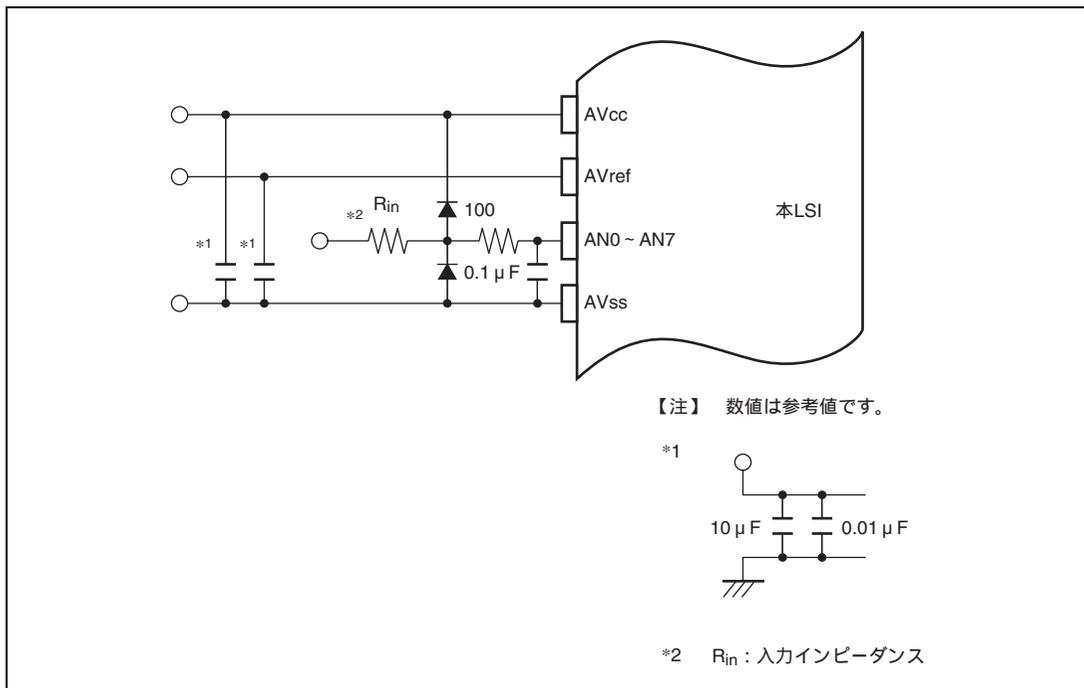


図 22.8 アナログ入力端子の保護回路例

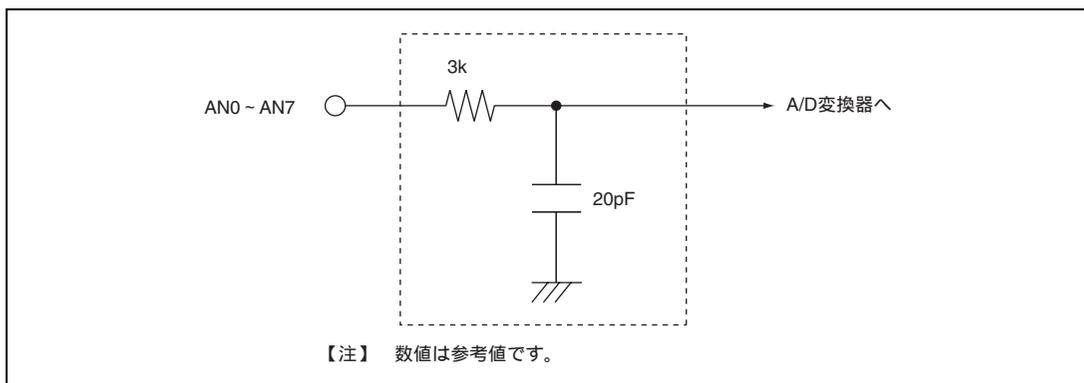


図 22.9 アナログ入力端子の等価回路

表 22.7 アナログ入力端子の規格

項目	Min.	Max.	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

### 22.7.5 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが  $5k$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが  $5k$  を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $3k$  だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば  $5mV/\mu s$  以上)には追従できないことがあります(図 22.10)。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

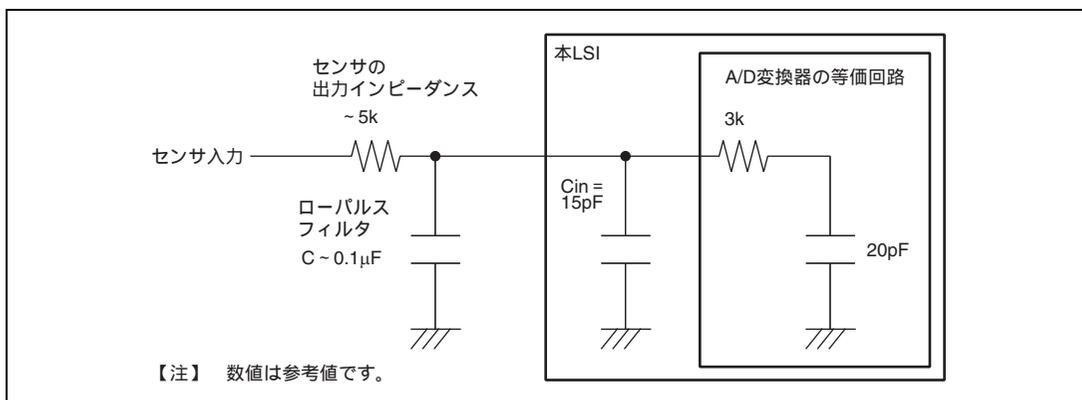


図 22.10 アナログ入力回路の例

### 22.7.6 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず  $AV_{SS}$  等は電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

### 22.7.7 スキャンモードおよびマルチモード使用時の注意

スキャンモードおよびマルチモードの停止直後に変換を開始した場合、誤った変換結果を示すことがあります。連続して変換を行う場合は、 $ADST = 0$  とした後、1 チャネル分の A/D 変換時間以上経過してから起動 ( $ADST = 1$ ) するようにしてください(1 チャネル分の変換時間は分周レジスタ設定により異なります)。



## 23. D/A 変換器 (DAC)

### 23.1 特長

- 分解能 : 8ビット
- 出力チャンネル : 2チャンネル
- 最小変換時間 : 10  $\mu$ s (負荷容量20pF時)
- 出力電圧 : 0V ~ AVref
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールスタンバイモードの設定可能

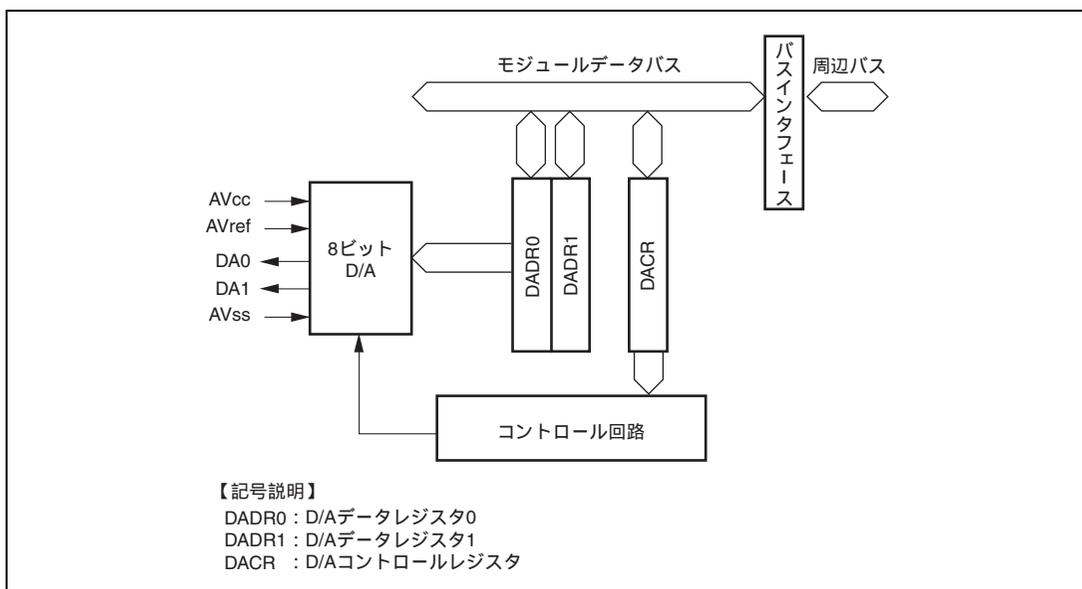


図 23.1 D/A 変換器のブロック図

## 23.2 入出力端子

D/A 変換器で使用する入出力端子を表 23.1 に示します。

表 23.1 端子構成

名称	端子名	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
アナログ基準電圧端子	AVref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

## 23.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

表 23.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFFE6800	8、16
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFFE6801	8、16
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFE6802	8、16

### 23.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力許可すると、DADR の値が変換されアナログ出力端子に出力されます。

DADR は、パワーオンリセットおよびモジュールスタンバイモードで H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

### 23.3.2 D/A コントロールレジスタ (DACR)

DACR は、8 ビットの読み出し / 書き込み可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、パワーオンリセットおよびモジュールスタンバイモードで H'1F に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 チャンネル 1 の D/A 変換とアナログ出力を制御します。 0: チャンネル 1 のアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 チャンネル 0 の D/A 変換とアナログ出力を制御します。 0: チャンネル 0 のアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可

ビット	ビット名	初期値	R/W	説 明
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 23.3 を参照してください。 0 : チャンネル 0 とチャンネル 1 の D/A 変換を独立に制御する 1 : チャンネル 0 とチャンネル 1 の D/A 変換を一括して制御する
4~0	-	すべて 1	-	リザーブビット 読み出すと常に 1 が読み出されます。書き込みは無効です。

表 23.3 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説 明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャンネル 0 の D/A 変換を許可。チャンネル 1 の D/A 変換を禁止
	1	0	チャンネル 1 の D/A 変換を許可。チャンネル 0 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
	1	0	
		1	

## 23.4 動作説明

2 チャンルの D/A 変換は、それぞれ独立して変換を行うことができます。DACR の DAOE ビットを 1 にセットすると、D/A 変換が許可され変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 23.2 に示します。

1. DADR0 に変換データをライトします。
2. DACR の DAOE0 ビットを 1 にセットすると、D/A 変換が開始されます。 $t_{\text{DCONV}}$  時間経過後、変換結果がアナログ出力端子 DA0 より出力されます。DADR0 を書き換えるか DAOE0 ビットを 0 にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \cdot \text{AVref}$$

3. DADR0 を書き換えると直ちに変換が開始されます。 $t_{\text{DCONV}}$  時間経過後、変換結果が出力されます。
4. DAOE0 ビットを 0 にクリアするとアナログ出力を禁止します。

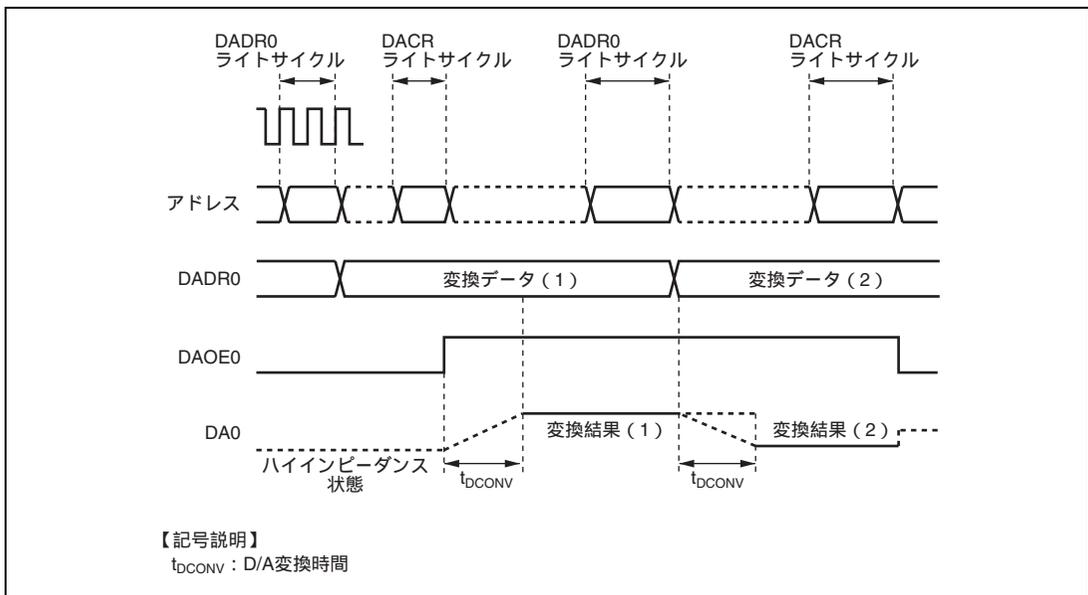


図 23.2 D/A 変換器の動作例

## 23.5 使用上の注意事項

### 23.5.1 モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 32 章 低消費電力モード」を参照してください。

### 23.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

### 23.5.3 アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

#### 1. AVcc、AVss 入力電圧

AVcc、AVss 入力電圧は、 $PVcc - 0.3V \leq AVcc \leq PVcc$ 、 $AVss = PVss$ としてください。さらに、A/D 変換器および D/A 変換器を使用しないときやソフトウェアスタンバイモード時でも、AVcc、AVss 端子をオープンにしないでください。使用しないときは、必ず AVcc は電源 (PVcc) に、AVss はグランド (PVss) に接続してください。

#### 2. AVref の設定範囲

AVref 端子による基準電圧範囲は  $3.0V \leq AVref \leq AVcc$  にしてください。

---

## 24. AND/NAND フラッシュメモリコントローラ (FLCTL)

---

AND/NAND フラッシュメモリコントローラ (FLCTL) は、外付けの AND 型フラッシュメモリと NAND 型フラッシュメモリとのメモリインタフェースを提供します。また、フラッシュメモリ特有の読み出し不具合に対応するための ECC 符号の生成およびエラー検出機能を持ちます。

【注】 フラッシュメモリにおいて、多値 (MLC) の製品が存在しますが、本 LSI では対応していませんので、注意してください。

### 24.1 特長

#### (1) AND 型フラッシュメモリのメモリインタフェース

- AND型フラッシュメモリとの直結が可能なインタフェース
- セクタ (512 + 16バイト) 単位のリードライト。ECC処理を実行します。

AND型フラッシュメモリデータシートでは、2048 + 64バイトのアクセス単位をページと表記されている製品もありますが、本書では512 + 16バイトを1セクタとして統一します。1ページ2048 + 64バイトの製品に関しては、512 + 16バイトごと (1ページを4セクタ) に分割して処理します。

- バイト単位のリードライト
- 5バイトアドレスへの拡張により2Gビット超のアドレスに対応

#### (2) NAND 型フラッシュメモリのメモリインタフェース

- NAND型フラッシュメモリとの直結が可能なインタフェース
- セクタ (512 + 16バイト) 単位のリードライト。ECC処理を実行します。

NAND型フラッシュメモリのデータシートでは、2048 + 64バイトのアクセス単位をページと表記されている製品もありますが、本書では512 + 16バイトを1セクタとして統一します。1ページ2048 + 64バイトの製品に関しては、512 + 16バイトごと (1ページを4セクタ) に分割して処理します。

- バイト単位のリードライト
- 5バイトアドレスへの拡張により2Gビット超のアドレスに対応

(3) アクセスモード：FLCTL では次の 2 つのアクセスモードが選択できます。

- コマンドアクセスモード：

本FLCTLからフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。これにより、ECC処理をとみなわないデータのリードライトおよびイレースが行えます。

- セクタアクセスモード：

セクタを指定することで、セクタ単位のリードライトを実行します。ECC符号生成/チェックの制御を行います。セクタ数を指定することで、連続するセクタに対するリードライトを実行できます。

(4) セクタと管理コード

- 1セクタはアクセスの基本単位で、512バイトのデータと16バイトの管理コードから構成されます。管理コードには、8バイトのECCが含まれます。
- 管理コード内のECCの埋め込まれる位置は、4バイト単位で指定可能です。
- ECC以外の管理コードには、ユーザ情報を書き込むことができます。

(5) ECC

- セクタ (データ：512バイト + 管理コード：16バイト) に対し8バイトのECCコードの生成およびエラーチェックを行います。  
(ただし、管理コード16バイト中でECCの生成およびエラーチェックの対象となるバイト数は設定により異なります。)
- エラー訂正能力は、任意の3箇所までです。
- 書き込み時、データおよびECCより前の管理コードまでがECC符号生成の対象です。ECCより後の管理コードは、ECCの対象外です。
- 読み出し時、データおよびECCより前の管理コードがECCエラー判定の対象です。また、FIFO内の管理コード上のECCは、フラッシュメモリから読み出されたECCコードではなく、ECC回路による判定結果に置換されています。
- ECCエラー発生時のエラー訂正は行いません。ソフト処理を行ってください。

(6) データエラー時

- プログラム/イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能です。
- リードエラー発生時、管理コード内のECCは0以外になります。その場合、ECCエラー要因フラグに反映されます。
- ECCエラーが発生した場合、エラー訂正を行い、代替セクタを指定し、必要に応じてブロックの内容を代替セクタにコピーしてください。

## (7) データ転送用 FIFO とデータレジスタ

- フラッシュメモリのデータ転送用に224バイトのデータFIFOレジスタ (FLDTFIFO) を内蔵
- 管理コードのデータ転送用に32バイトの管理コードFIFOレジスタ (FLECFIFO) を内蔵

## (8) DMA 転送

- DMAコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定することにより、異なる領域にデータと管理コードを転送できます。

## (9) アクセスタイム

- AND/NAND型フラッシュメモリ端子側の動作クロック (FCLK) は、周辺クロック (P ) を分周して使用します。分周率は共通コントロールレジスタ (FLCMNCR) のFCKSELビットとQTSELビットにより指定可能です。
- CPGの設定を変更する場合は、FLCTLをモジュールストップにより停止させた状態で行ってください。
- NAND型フラッシュメモリでは、FSC端子、 $\overline{FWE}$ 端子がFCLKの動作周波数で動作します。AND型フラッシュメモリでは、FSC端子がFCLKの動作周波数で、 $\overline{FWE}$ 端子がFCLKの半分の周波数で動作します。接続するメモリの最大動作周波数を超えないように設定してください。

図 24.1 に FLCTL のブロック図を示します。

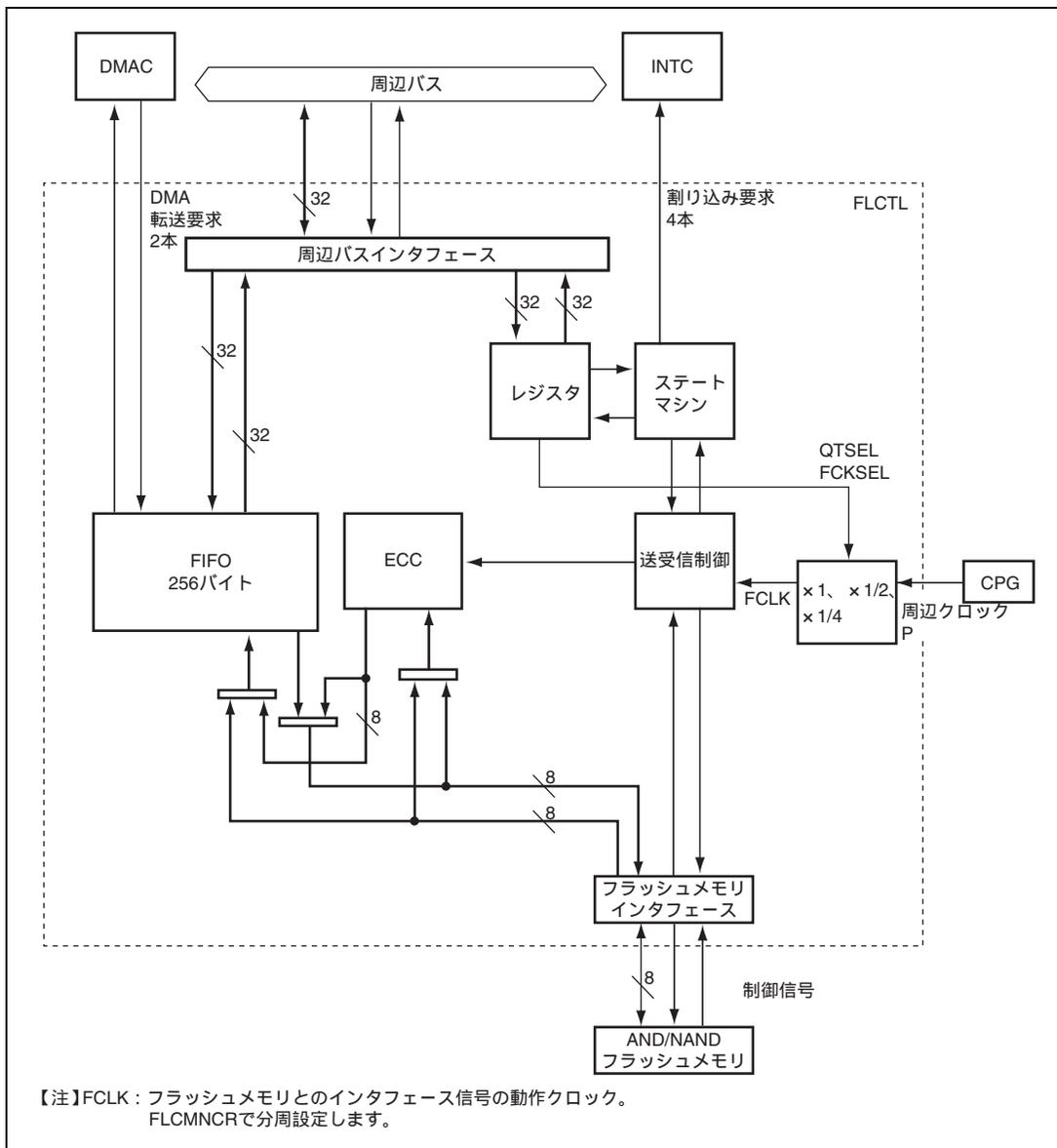


図 24.1 FLCTL のブロック図

## 24.2 入出力端子

FLCTL の端子構成を表 24.1 に示します。

表 24.1 端子構成

端子名	入出力	対応するフラッシュメモリの端子		機能
		NAND 型	AND 型	
FCE	出力	$\overline{\text{CE}}$	$\overline{\text{CE}}$	チップイネーブル 本 LSI に接続されたフラッシュメモリをイネーブルにします。
NAF7~0	入出力	I/O7~I/O0	I/O7~I/O0	データ入出力 コマンド、アドレス、データの入出力端子です。
FCDE	出力	CLE	$\overline{\text{CDE}}$	コマンドラッチイネーブル (CLE) コマンド出力時にアサートします。 コマンドデータイネーブル ( $\overline{\text{CDE}}$ ) コマンド出力時にアサートします。
FOE	出力	ALE	$\overline{\text{OE}}$	アドレスラッチイネーブル (ALE) アドレス出力時にアサートします。 データ入出力時にネゲートします。 アウトプットイネーブル ( $\overline{\text{OE}}$ ) データ入力時/ステータスリード時にアサートします。
FSC	出力	$\overline{\text{RE}}$	SC	リードイネーブル (RE) $\overline{\text{RE}}$ の立ち下がりエッジでデータリードします。 シリアルクロック (SC) SC に同期してデータの入出力を行います。
FW $\overline{\text{E}}$	出力	WE	$\overline{\text{WE}}$	ライトイネーブル $\overline{\text{WE}}$ の立ち上がりエッジでフラッシュメモリがコマンド、アドレスおよびデータをラッチします。
FRB	入力	R/B	R/B	レディ / ビジー ハイレベルでレディ状態を、ローレベルでビジー状態を示します。
- *	-	WP	$\overline{\text{RES}}$	ライトプロテクト / リセット ローレベルで電源投入切断時の偶発的消去 / プログラムから保護します。
- *	-	SE	-	スベアエリアイネーブル スベアエリアアクセス可能にする端子です。セクタアクセスモードを使う場合は、ローレベル固定にしてください。

【注】 \* 本 LSI では、サポートしていません。

### 24.3 レジスタの説明

FLCTL のレジスタ構成を表 24.2 に示します。

表 24.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	FLCMNCR	R/W	H'00000000	H'FFFFFF00	32
コマンド制御レジスタ	FLCMDCR	R/W	H'00000000	H'FFFFFF04	32
コマンドコードレジスタ	FLCMCDR	R/W	H'00000000	H'FFFFFF08	32
アドレスレジスタ	FLADR	R/W	H'00000000	H'FFFFFF0C	32
アドレスレジスタ 2	FLADR2	R/W	H'00000000	H'FFFFFF03C	32
データレジスタ	FLDATAR	R/W	H'00000000	H'FFFFFF010	32
データカウンタレジスタ	FLDTCNTR	R/W	H'00000000	H'FFFFFF014	32
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'00000000	H'FFFFFF018	32
レディビジータイムアウト設定レジスタ	FLBSYTMR	R/W	H'00000000	H'FFFFFF01C	32
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'00000000	H'FFFFFF020	32
データ FIFO レジスタ	FLDTFIFO	R/W	H'xxxxxxxx	H'FFFFFF050	32
管理コード FIFO レジスタ	FLECFIFO	R/W	H'xxxxxxxx	H'FFFFFF060	32
転送制御レジスタ	FLTRCR	R/W	H'00	H'FFFFFF02C	8

## 24.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し/書き込み可能な 32 ビットのレジスタで、フラッシュのメモリタイプ(AND/NAND)、アクセスモードなどを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	SNAND	QTSEL	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FCKSEL	-	ECCPOS[1:0]	ACM[1:0]	NANDWF	-	-	-	-	-	-	CE	-	-	-	TYPESEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18	SNAND	0	R/W	大容量 NAND フラッシュメモリ選択ビット 1G ビット以上のフラッシュメモリのうち、1 ページの構成が 2048+64 バイトである NAND フラッシュメモリおよび 1G ビット以上の AG-AND フラッシュメモリ指定のために使用します。 0: 1 ページ構成が 512+16 バイトのフラッシュメモリおよび AND 型フラッシュメモリ使用時は 0 に設定してください 1: 1 ページ構成が 2048+64 バイトの NAND 型フラッシュメモリおよび 1G ビット以上の AG-AND フラッシュメモリ使用時は 1 に設定してください 【注】TYPESEL=0 のときは、1 への設定禁止。
17	QTSEL	0	R/W	フラッシュクロック分周選択ビット フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。FCKSEL とあわせて使用します。 QTSEL=0、FCKSEL=0: CPG からのクロック(P)を 2 分の 1 に分周して FCLK として使用します。 QTSEL=0、FCKSEL=1: CPG からのクロック(P)をそのまま FCLK として使用します。 QTSEL=1、FCKSEL=0: CPG からのクロック(P)を 4 分の 1 に分周して FCLK として使用します。 QTSEL=1、FCKSEL=1: 設定禁止
16	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	FCKSEL	0	R/W	フラッシュクロック選択ビット フラッシュメモリ内で使用するクロック FCLK の分周選択ビットです。QTSEL とあわせて使用します。QTSEL の説明部を参照してください。

ビット	ビット名	初期値	R/W	説明
14	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	ECCPOS[1:0]	00	R/W	ECC 埋め込み位置指定ビット 1、0 管理コード領域内の ECC の埋め込み位置(0/4/8 バイト目)を指定します。 00: 管理コード領域の0~7バイト目に ECC を配置します 01: 管理コード領域の4~11バイト目に ECC を配置します 10: 管理コード領域の8~15バイト目に ECC を配置します 11: 設定禁止
11、10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00: コマンドアクセスモード 01: セクタアクセスモード 10: 設定禁止 11: 設定禁止
9	NANDWF	0	R/W	NAND ウェイト挿入動作ビット 0: アドレス、データの入出力が1FCLK サイクルで行われます 1: アドレス、データの入出力が2FCLK サイクルで行われます
8~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	CE	0	R/W	チップイネーブルビット 0: ディスエーブル (FCE 端子にハイレベルを出力します。) 1: イネーブル (FCE 端子にローレベルを出力します。)
2、1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TYPESEL	0	R/W	メモリ選択ビット 0: AND 型フラッシュメモリを選択します。 1: NAND 型フラッシュメモリ、AG-AND を選択します。

## 24.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	ADR CNT2	SCTCNT[19:16]				ADR MD	CDS RC	DOSR	-	-	SEL RW	DOA DR	ADRCNT[1:0]	DOC MD2	DOC MD1		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SCTCNT[15:0]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31	ADRCNT2	0	R/W	アドレス発行バイト数指定ビット 2 アドレスステージで発行するアドレスデータのバイト数を指定します。 ADRCNT[1:0]ビットとあわせて使用します。 0: ADRCNT[1:0]で指定したバイト数だけアドレスを発行します。 1: 5 バイトのアドレスを発行 ADRCNT[1:0]は 00 に設定してください。
30~27	SCTCNT [19:16]	すべて 0	R/W	セクタ転送回数指定ビット[19:16] セクタ転送回数指定ビット SCTCNT[15:0]の拡張ビットです。 SCTCNT[19:16]と SCTCNT[15:0]はあわせて SCTCNT[19:0]の 20 ビットの カウンタとして動作します。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモ ード時のみ有効となります。 0: アドレスレジスタの値は物理セクタ番号として処理されます。 セクタアクセス時は通常こちらを使用してください。 1: アドレスレジスタの値がそのまま、フラッシュメモリのアドレスと して出力されます。 【注】連続セクタアクセス時は、0 に設定してください。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージのリード / ライトするデー タバッファを指定します。 0: データバッファとして FLDATAR を指定 1: データバッファとして FLDTFIFO を指定

ビット	ビット名	初期値	R/W	説明
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第2コマンド発行後、ステータスリードを行うか指定します。 0: ステータスリードを行わない 1: ステータスリードを実行する
23、22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	SELRW	0	R/W	データリードライト指定ビット データステージでのリードライト方向を指定します。 0: リード 1: ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージを実行するかどうかを指定します。 0: アドレスステージを実行しない 1: アドレスステージを実行する
19、18	ADRCNT[1:0]	00	R/W	アドレス発行バイト数指定ビット1、0 アドレスステージで発行するアドレスデータのバイト数を指定します。 00: 1 バイトのアドレスを発行 01: 2 バイトのアドレスを発行 10: 3 バイトのアドレスを発行 11: 4 バイトのアドレスを発行
17	DOCMD2	0	R/W	第2コマンドステージ実行指定ビット コマンドアクセスモード時、第2コマンドステージを実行するかどうかを指定します。 0: 第2コマンドステージを実行しない 1: 第2コマンドステージを実行する
16	DOCMD1	0	R/W	第1コマンドステージ実行指定ビット コマンドアクセスモード時、第1コマンドステージを実行するかどうかを指定します。 0: 第1コマンドステージを実行しない 1: 第1コマンドステージを実行する
15~0	SCTCNT[15:0]	すべて0	R/W	セクタ転送回数指定ビット[15:0] セクタアクセスモードで連続して読み出すセクタ数を指定します。1セクタ転送終了ごとにカウントダウンし、0になると停止します。 SCTCNT[19:16]と合わせて使用します。 コマンドアクセスモード時は、動作中H'0 0001 になります。

### 24.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し / 書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD2[7:0]								CMD1[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CMD2[7:0]	すべて 0	R/W	第 2 コマンドデータビット 第 2 コマンドステージに発行するコマンドコードを指定します。
7~0	CMD1[7:0]	すべて 0	R/W	第 1 コマンドデータビット 第 1 コマンドステージに発行するコマンドコードを指定します。

### 24.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し / 書き込み可能な 32 ビットのレジスタで、アドレスとして出力する値を指定します。ADR1 から順にコマンドレジスタで指定されたバイト数がバイト単位でアドレスとして出力されます。なお、コマンド制御レジスタのセクタアクセスアドレス指定ビット (ADRMD) で、アドレスデータビットに指定されたセクタ番号がアドレスに変換された値を出力するかどうか指定できます。

- ADRMD = 1 のとき

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR4[7:0]								ADR3[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR2[7:0]								ADR1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ADR4[7:0]	すべて 0	R/W	第 4 アドレスデータビット ADRMD = 1 時にアドレスとしてフラッシュメモリに 4 番目に出力されるデータを指定します。
23~16	ADR3[7:0]	すべて 0	R/W	第 3 アドレスデータビット ADRMD = 1 時にアドレスとしてフラッシュメモリに 3 番目に出力されるデータを指定します。
15~8	ADR2[7:0]	すべて 0	R/W	第 2 アドレスデータビット ADRMD = 1 時にアドレスとしてフラッシュメモリに 2 番目に出力されるデータを指定します。
7~0	ADR1[7:0]	すべて 0	R/W	第 1 アドレスデータビット ADRMD = 1 時にアドレスとしてフラッシュメモリに最初に出力されるデータを指定します。

• ADRMD = 0 のとき

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	ADR[25:16]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25~0	ADR[25:0]	すべて 0	R/W	セクタアドレス指定ビット ADRMD = 0 のとき、アクセスするセクタ番号を指定します。セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。FLCMDRCR の ADRCNT2 ビットが 1 のときは、ADR[25:0]、ADRCNT2 ビットが 0 のときは ADR[17:0] が有効になります。詳細は図 24.15 を参照してください。 <ul style="list-style-type: none"> <li>• ラージブロック品 (2048 + 64 バイト) ADR[25:2] でページアドレス、ADR[1:0] でセクタ単位のコラムアドレスを指定できます。 ADR[1:0] = 00 : 0 バイト目 (0 セクタ) ADR[1:0] = 01 : 512 + 16 バイト目 (1 セクタ) ADR[1:0] = 10 : 1024 + 32 バイト目 (2 セクタ) ADR[1:0] = 11 : 1536 + 48 バイト目 (3 セクタ)</li> <li>• スモールブロック品 (512 + 16 バイト) ページアドレスのみの指定となります。</li> </ul>

### 24.3.5 アドレスレジスタ 2 (FLADR2)

FLADR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、FLCMDRCR の ADRCNT2 ビットが 1 のとき有効になります。コマンドアクセスモードでアドレスとして出力する値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ADR5[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ADR5[7:0]	すべて 0	R/W	第 5 アドレスデータビット ADRMD = 1 時にアドレスとしてフラッシュメモリに 5 番目に出力されるデータを指定します。

### 24.3.6 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し / 書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、リードライトするバイト数を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DTCNT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ECFLW[7:0]	すべて 0	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数を示します。 CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数を示します。
23~16	DTFLW[7:0]	すべて 0	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数を示します。 CPU による FLDTFIFO リードライト時に利用できます。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード数を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数を示します。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTCNT[11:0]	すべて 0	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (2048 + 64 バイトまで指定可能です)。

### 24.3.7 データレジスタ (FLDATAR)

FLDATAR は、読み出し / 書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモードで FLCMDCR の CDSRC ビットに 0 を設定した場合に使用される入出力データ格納用レジスタです。5 バイト以上の連続データのリードライト時には使用できません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT4[7:0]								DT3[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT2[7:0]								DT1[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	DT4[7:0]	すべて 0	R/W	第 4 データビット NAF7~0 から 4 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
23~16	DT3[7:0]	すべて 0	R/W	第 3 データビット NAF7~0 から 3 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
15~8	DT2[7:0]	すべて 0	R/W	第 2 データビット NAF7~0 から 2 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。
7~0	DT1[7:0]	すべて 0	R/W	第 1 データビット NAF7~0 から 1 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します。 読み出し時: 読み出しデータが格納されます。

### 24.3.8 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可 / 禁止を設定します。FLCTL から DMAC に対する転送要求は、各アクセスモードの動作開始後発生します。

また、ビット 9~5 は、フラッシュメモリアクセス時の各種エラーおよび FIFO からの転送要求の有無を表示するフラグビットで、0 書き込みのみ可能なビットです。フラグをクリアする場合、クリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	ECER INTE	-	-	FIFOTRG [1:0]	AC1 CLR	AC0 CLR	DREQ1 EN	DREQ0 EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	EC ERB	ST ERB	BTO ERB	TRR EQF1	TRR EQF0	STER INTE	RBBER INTE	TE INTE	TR INTE1	TR INTE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

【注】\* 0書き込みのみ有効です。

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	ECERINTE	0	R/W	ECC エラー割り込み許可ビット 0: ECC エラー発生時割り込みを禁止します 1: ECC エラー発生時割り込みを許可します
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
21、20	FIFOTRG[1:0]	00	R/W	<p>FIFO トリガ設定ビット</p> <p>FLDTFIFO、FLECFIFO の転送要求発生条件を切り替えます。</p> <ul style="list-style-type: none"> <li>フラッシュメモリ読み出し時 <ul style="list-style-type: none"> <li>00 : FLDTFIFO に 4 バイトたまったとき CPU に割り込み。 もしくは、DMA 転送要求を発生。</li> <li>01 : FLDTFIFO に 16 バイトたまったとき CPU に割り込み。 もしくは、DMA 転送要求を発生。</li> <li>10 : FLDTFIFO に 128 バイトたまったとき CPU に割り込み。 もしくは、4 バイトたまったとき DMA 転送要求を発生。</li> <li>11 : FLDTFIFO に 128 バイトたまったとき CPU に割り込み。 もしくは、16 バイトたまったとき DMA 転送要求を発生。</li> </ul> </li> </ul> <p>【注】* FLECFIFO については FIFOTRG[0]の値のみで切り替えます</p> <ul style="list-style-type: none"> <li>0 : FLECFIFO に 4 バイトたまったとき CPU に割り込み。 もしくは、DMA 転送要求を発生。</li> <li>1 : FLECFIFO に 16 バイトたまったとき CPU に割り込み。 もしくは、DMA 転送要求を発生。</li> </ul> <ul style="list-style-type: none"> <li>フラッシュメモリ書き込み時 <ul style="list-style-type: none"> <li>00 : FLDTFIFO に 4 バイト以上空きがあるとき CPU に割り込み (DMA 転送設定しないでください)。</li> <li>01 : FLDTFIFO に 16 バイト以上空きがあるとき CPU に割り込み。 もしくは、DMA 転送要求を発生。</li> <li>10 : FLDTFIFO に 128 バイト以上空きがあるとき CPU に割り込み。 (DMA 転送設定しないでください)</li> <li>11 : FLDTFIFO に 128 バイト以上空きがあるとき CPU に割り込み。 もしくは、16 バイト以上空きがあるとき DMA 転送要求を発生。</li> </ul> </li> </ul> <p>【注】* FLECFIFO については FIFOTRG[0]の値のみで切り替えます</p> <ul style="list-style-type: none"> <li>0 : FLECFIFO に 4 バイト以上空きがあるとき CPU に割り込み。 (DMA 転送設定しないでください)</li> <li>1 : FLECFIFO に 16 バイト以上空きがあるとき CPU に割り込み。 もしくは、DMA 転送要求を発生。</li> </ul>
19	AC1CLR	0	R/W	<p>FLECFIFO クリアビット</p> <p>FLECFIFO をクリアします。リードライト方向を変更する場合は FIFO をクリアしてください。</p> <ul style="list-style-type: none"> <li>0 : FLECFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。</li> <li>1 : FLECFIFO をクリアします。クリア後は 0 に設定してください。</li> </ul>

ビット	ビット名	初期値	R/W	説明
18	AC0CLR	0	R/W	<p>FLDTFIFO クリアビット</p> <p>データ領域 FLDTFIFO をクリアします。リードライト方向を変更する場合は FIFO をクリアしてください。</p> <p>0 : FLDTFIFO の値を保持します。フラッシュメモリアクセス時は 0 に設定してください。</p> <p>1 : FLDTFIFO の値をクリアします。クリア後は 0 に設定してください。</p>
17	DREQ1EN	0	R/W	<p>FLECFIFODMA リクエストイネーブルビット</p> <p>FLECFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。</p> <p>0 : FLECFIFO 領域からの DMA 転送要求発行を禁止します</p> <p>1 : FLECFIFO 領域からの DMA 転送要求発行を許可します</p>
16	DREQ0EN	0	R/W	<p>FLDTFIFODMA リクエストイネーブルビット</p> <p>FLDTFIFO 領域からの DMA 転送要求発行許可 / 禁止を選択します。</p> <p>0 : FLDTFIFO 領域からの DMA 転送要求発行を禁止します</p> <p>1 : FLDTFIFO 領域からの DMA 転送要求発行を許可します</p>
15~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9	ECERB	0	R/(W)*	<p>ECC エラービット</p> <p>ECC のエラー検出結果を示します。セクタアクセスモードでフラッシュメモリを読み出した場合、その中の ECC エラーが発生していれば、本ビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : ECC エラーなし (取り込んだ ECC がすべて 0 であったことを示します)</p> <p>1 : ECC エラーが発生したことを示します。</p>
8	STERB	0	R/(W)*	<p>ステータスエラービット</p> <p>ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT[7:0] ビットの特定ビットが 1 であれば、本ビットに 1 がセットされます。</p> <p>本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。</p> <p>0 : ステータスエラーなし (FLBSYCNT の STAT[7:0] ビットの特定ビットが 0 であったことを示します)</p> <p>1 : ステータスエラーが発生したことを示します。</p> <p>特定ビットに関しては「24.4.7 ステータスリード」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
7	BTOERB	0	R/(W)*	R/ $\bar{R}$ タイムアウトエラービット R/ $\bar{R}$ タイムアウトエラーが発生した( FLBSYCNT の RBTIMCNT[19:0]ビットがカウントダウン後 0 になった )とき、本ビットに 1 がセットされます。本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : R/ $\bar{R}$ タイムアウトエラーなし 1 : R/ $\bar{R}$ タイムアウトエラーが発生したことを示します。
6	TRREQF1	0	R/(W)*	FLECFIFO 転送要求フラグビット FLECFIFO からの転送要求が発生したことを示します。本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : FLECFIFO からの転送要求は発生していません 1 : FLECFIFO からの転送要求が発生したことを示します
5	TRREQF0	0	R/(W)*	FLDTFIFO 転送要求フラグビット FLDTFIFO からの転送要求が発生したことを示します。本ビットはフラグビットであるため、1 は書き込みません。フラグをクリアするための 0 書き込みのみ可能です。 0 : FLDTFIFO からの転送要求は発生していません 1 : FLDTFIFO からの転送要求が発生したことを示します
4	STERINTE	0	R/W	ステータスエラー発生時の割り込み許可ビット ステータスエラーによる CPU に対する割り込みの許可 / 禁止を選択します。 0 : ステータスエラーによる CPU に対する割り込み禁止 1 : ステータスエラーによる CPU に対する割り込み許可
3	RBERINTE	0	R/W	R/ $\bar{R}$ タイムアウトエラー発生時の割り込み許可ビット R/ $\bar{R}$ タイムアウトエラーによる CPU に対する割り込みの許可 / 禁止を選択します。 0 : R/ $\bar{R}$ タイムアウトエラーによる CPU に対する割り込み禁止 1 : R/ $\bar{R}$ タイムアウトエラーによる CPU に対する割り込み許可
2	TEINTE	0	R/W	転送終了割り込み許可ビット 転送終了 ( FLTRCR の TREND ビット ) による CPU に対する割り込みの許可 / 禁止を選択します。 0 : 転送終了による CPU に対する割り込み禁止 1 : 転送終了による CPU に対する割り込み許可

ビット	ビット名	初期値	R/W	説明
1	TRINTE1	0	R/W	CPU への FLECFIFO 転送要求許可ビット FLECFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。 0 : FLECFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLECFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブリングしている時は、本ビットを 0 に設定してください。
0	TRINTE0	0	R/W	CPU への FLDTFIFO 転送要求許可ビット FLDTFIFO からの転送要求による CPU に対する割り込みの許可 / 禁止を選択します。 0 : FLDTFIFO からの転送要求による CPU に対する割り込み禁止 1 : FLDTFIFO からの転送要求による CPU に対する割り込み許可 DMA 転送をイネーブリングしている時は、本ビットを 0 に設定してください。

【注】 \* 0 書き込みのみ有効です。

### 24.3.9 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し / 書き込み可能な 32 ビットのレジスタで、FRB 端子がビジー状態のときのタイムアウト時間を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	RBTMOUT[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	RBTMOUT[19:0]	すべて 0	R/W	レディビジータイムアウトビット ビジー状態のタイムアウトまでの時間を (P のクロック数で) 設定します。0 に設定した場合、タイムアウトは発生しません。

## 24.3.10 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT[7:0]に格納します。

FRB 端子がビジー状態になると、FLBSYTMR の RBTMOUT[19:0]ビットに設定したタイムアウト時間を RBTIMCNT[19:0]ビットにコピーしカウントダウンを開始します。RBTIMCNT[19:0]ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば、FLSTE 割り込みを発行することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STAT[7:0]								-	-	-	-	RBTIMCNT[19:16]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTIMCNT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	STAT[7:0]	H'00	R	フラッシュメモリからステータスリードした値を表示します。
23~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
19~0	RBTIMCNT[19:0]	すべて 0	R	レディビジータイムアウトカウンタビット FRB 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT[19:0]ビットの設定値が本ビットにコピーされます。 その後 FRB 端子がビジー状態の間、本ビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

### 24.3.11 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタをデータの転送先 (転送元) に指定してください。16 バイト DMA 転送時は、16 バイトアドレス境界のアドレスから FLDTFIFO にアクセスしてください。

FLCMDCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC0CLR ビットで FLDTFIFO をクリアしてから使用してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:16]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:0]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DTFO[31:0]	H'xxxxxxxx	R/W	データ FIFO 領域へのリードライト用レジスタ 書き込み時 : データ FIFO 領域にデータが書き込まれます。 読み出し時 : データ FIFO 領域のデータが読み出されます。

### 24.3.12 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用レジスタです。

DMA 転送時は、本レジスタを管理コードの転送先 (転送元) に指定してください。16 バイト DMA 転送時は、16 バイトアドレス境界のアドレスから FLECFIFO にアクセスしてください。

FLCMDCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。また、リードライト方向を変更する場合、FLINTDMACR の AC1CLR ビットで FLECFIFO をクリアしてから使用してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:16]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:0]															
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ECFO[31:0]	H'xxxxxxxx	R/W	管理コード FIFO 領域へのリードライト用レジスタ 書き込み時 : 管理コード FIFO 領域にデータが書き込まれます。 読み出し時 : 管理コード FIFO 領域のデータが読み出されます。

### 24.3.13 転送制御レジスタ (FLTRCR)

TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。転送中 (TRSTRT ビットを 1 にセットしてから TREND ビットに 1 がセットされるまでの間) には強制終了 (TRSTRT ビットを 0 にセット) は行わないでください。また、フラッシュメモリ読み出し時は、フラッシュメモリからの読み出しが完了した時点で TREND がセットされます。FIFO に読み出しデータが残っている場合は、FIFO の読み出しが終了するまで強制終了は行わないでください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TR END	TR STRT
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは、0 を書き込んでください。
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときに TRSTR を 0 から 1 にセットすることで、アクセスモード指定ビット ACM[1:0] で指定したアクセスモードでの処理を開始します。  0 : 転送停止 1 : 転送開始

## 24.4 動作説明

### 24.4.1 アクセス手順

FLCTL のアクセスは、一連のアクセス手順を分割して、独立したステージに分かれています。

たとえば、AND 型フラッシュメモリの書き込み時は、以下の 5 つのステージからなります。

- 第1コマンド発行ステージ (ライトセットアップコマンド)
- アドレス発行ステージ (ライトアドレス)
- データステージ (出力)
- 第2コマンド発行ステージ (ライトスタートコマンド)
- ステータスリード

一連のアクセスはこの 5 つのステージを順に実行することにより実現され、最後のステージ (この場合ステータスリード) が終了した時点でフラッシュメモリへのアクセスが終了します。

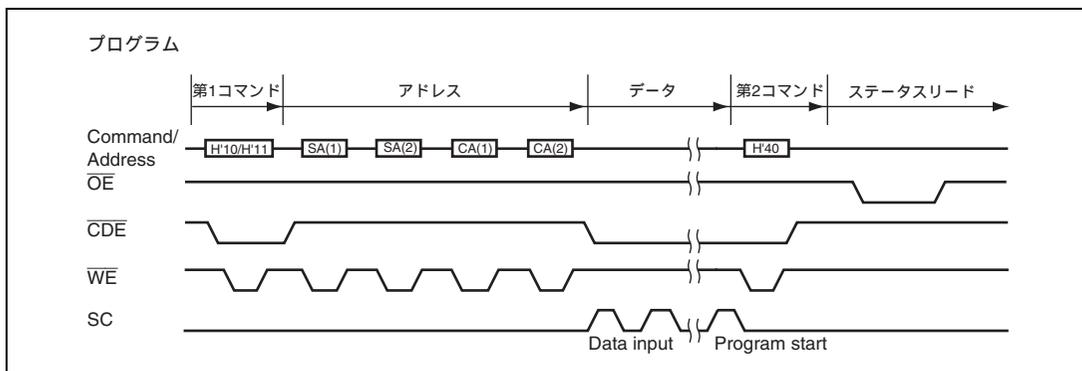


図 24.2 AND 型フラッシュメモリのライト動作をステージに区分した例

詳細および AND 型フラッシュメモリのリード、NAND 型フラッシュメモリのリード/ライト動作については、「24.4.4 コマンドアクセスモード」を参照してください。

### 24.4.2 動作モード

動作モードには、

- コマンドアクセスモード
- セクタアクセスモード

の 2 モードがあります。ECC の生成 / エラーチェックは、セクタアクセスモードで実行されます。

## 24.4.3 レジスタ設定手順

図 24.3 にフラッシュメモリとのアクセスに必要なレジスタ設定フローを示します。

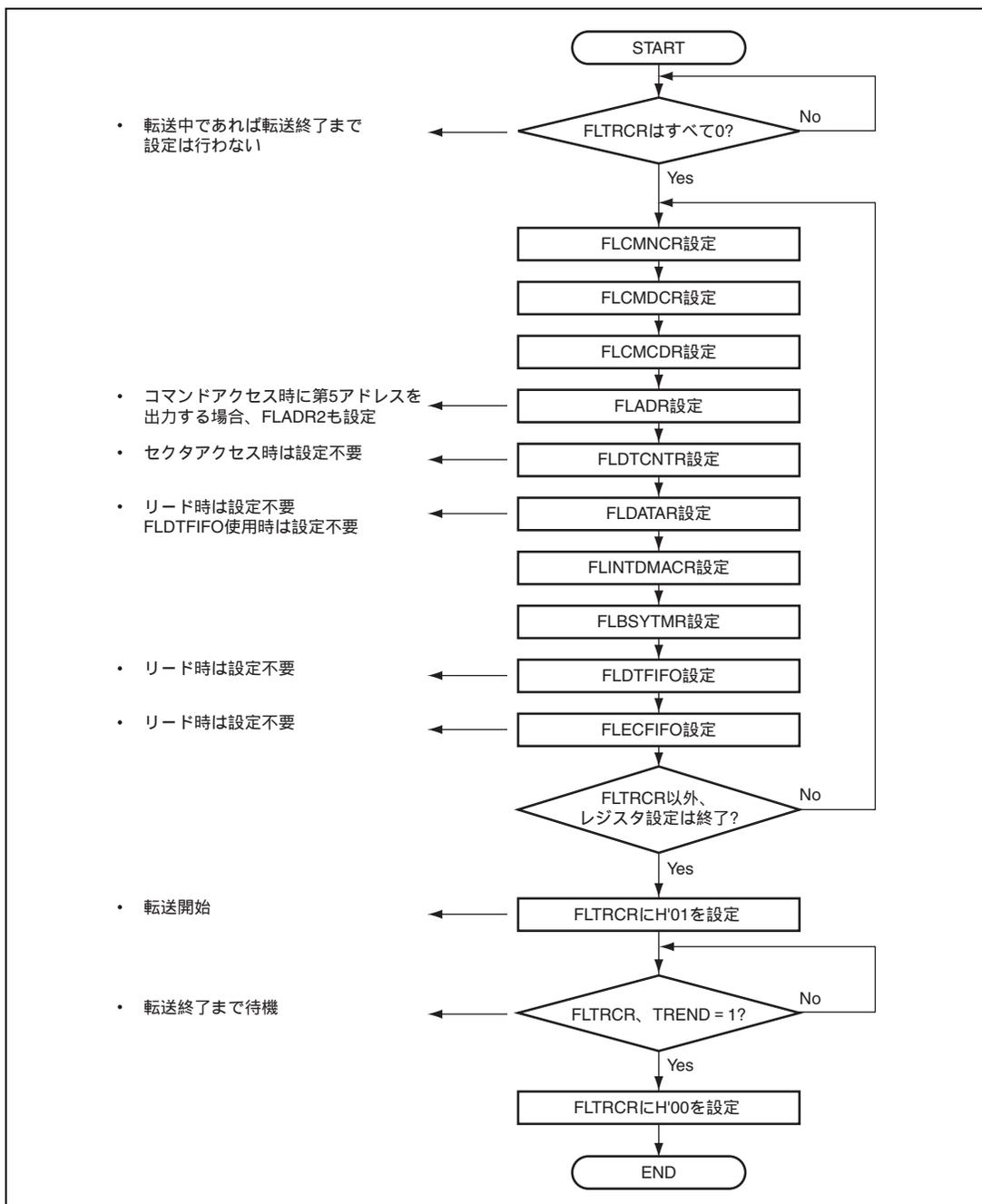


図 24.3 レジスタ設定フロー

### 24.4.4 コマンドアクセスモード

コマンドアクセスモードは、レジスタにフラッシュメモリに対して発行するコマンド、アドレス、データ、リード/ライト方向および回数等を設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用いDMA 転送が可能です。

#### (1) AND 型フラッシュメモリのアクセス

図 24.4、図 24.5 に AND 型フラッシュメモリに対し読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレスデータ長は 2 バイトで SA1、SA2 を指定。(SA1、2 のみ指定して、CA1、2 を指定していません。) リードバイト数としてデータカウンタに 4 バイトを指定。第 2 コマンドとして H'FF を指定した場合の動作です。

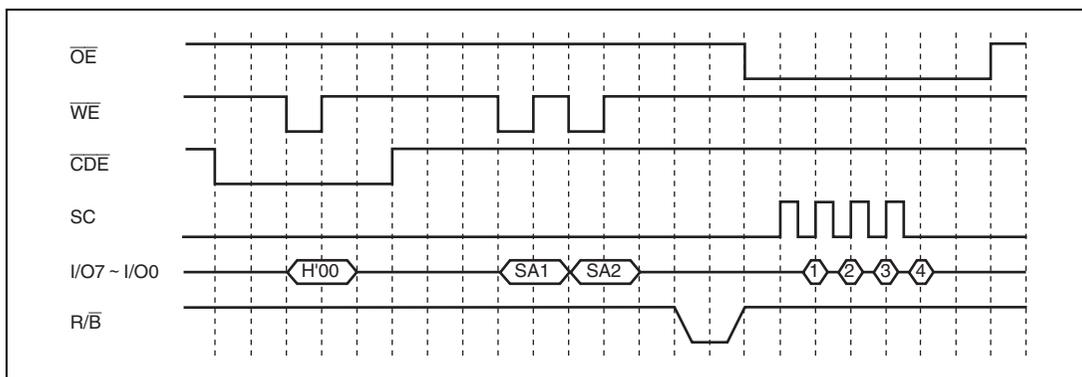


図 24.4 AND 型フラッシュメモリの読み出し動作タイミング (1)

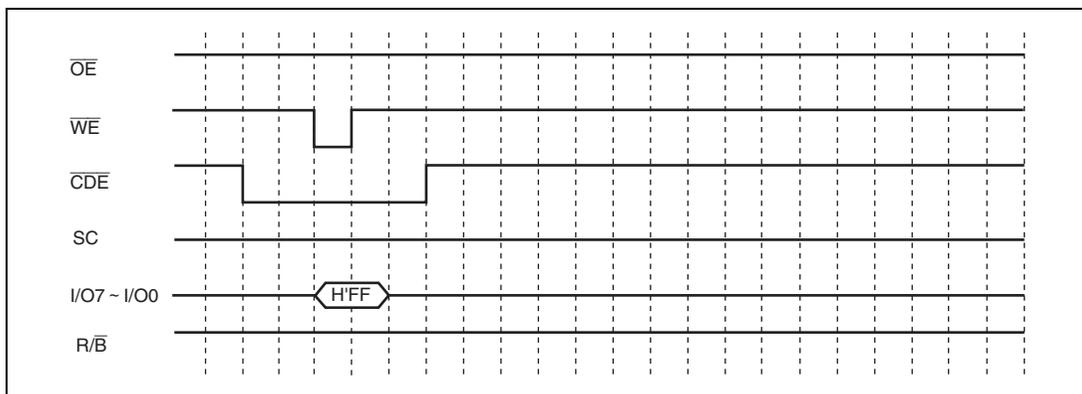


図 24.5 AND 型フラッシュメモリの読み出し動作タイミング (2)

次に、図 24.6、図 24.7 に AND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

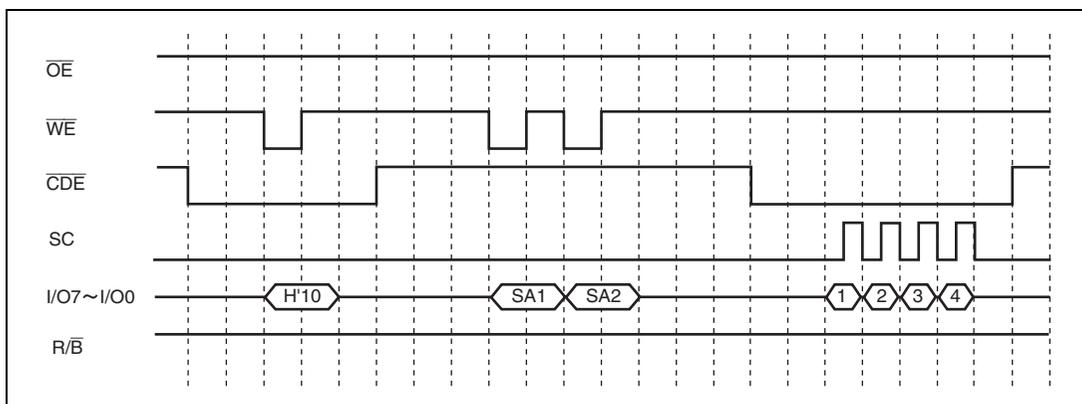


図 24.6 AND 型フラッシュメモリの書き込み動作タイミング (1)

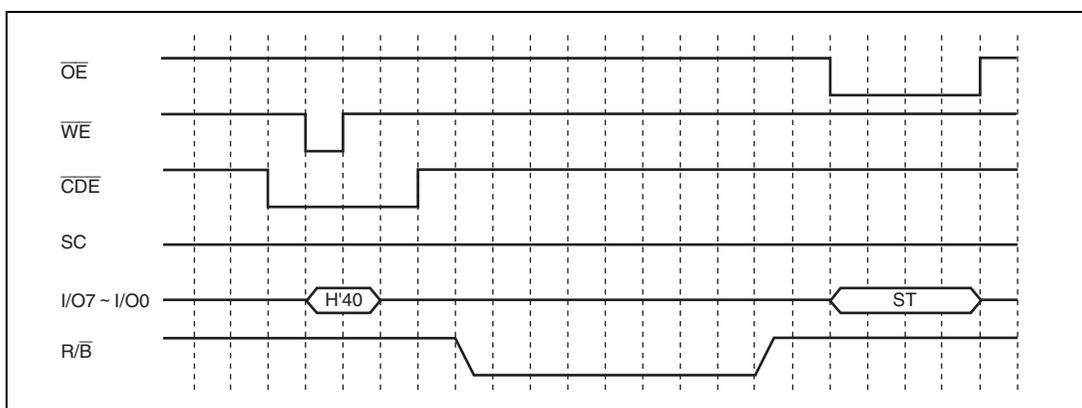


図 24.7 AND 型フラッシュメモリの書き込み動作タイミング (2)

## (2) NAND 型フラッシュメモリのアクセス

図 24.8 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 8 バイトを指定した場合の動作です。

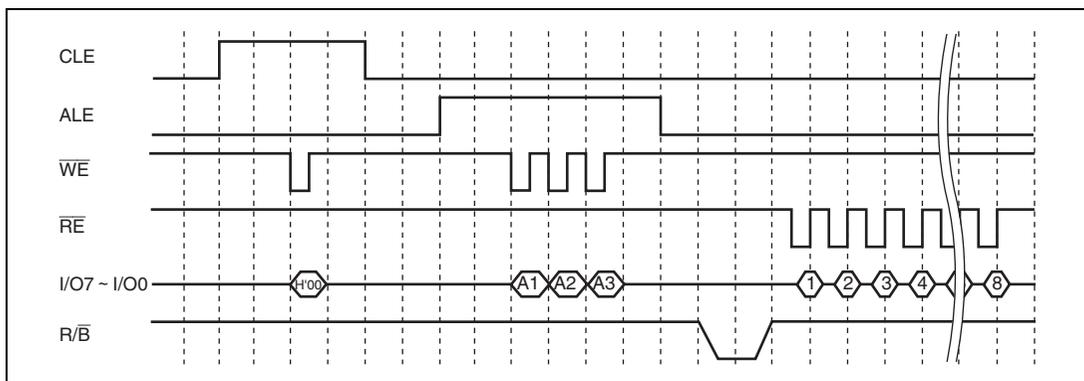


図 24.8 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 24.9、図 24.10 に NAND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

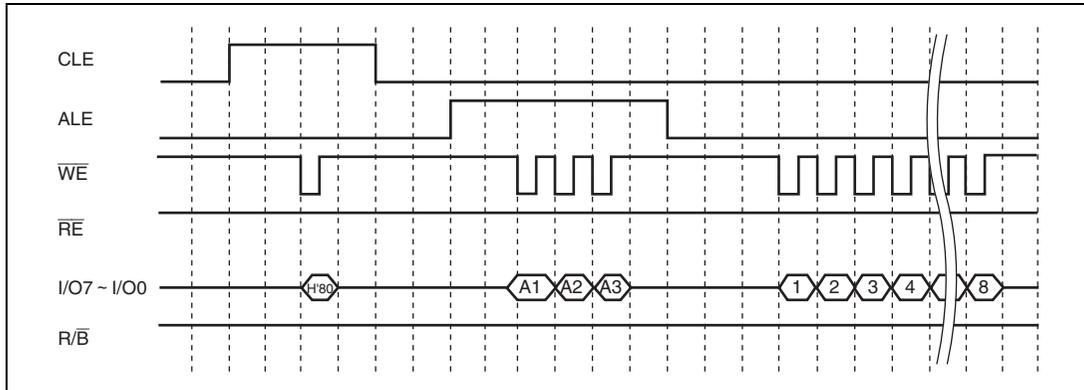


図 24.9 NAND 型フラッシュメモリの書き込み動作タイミング (1)

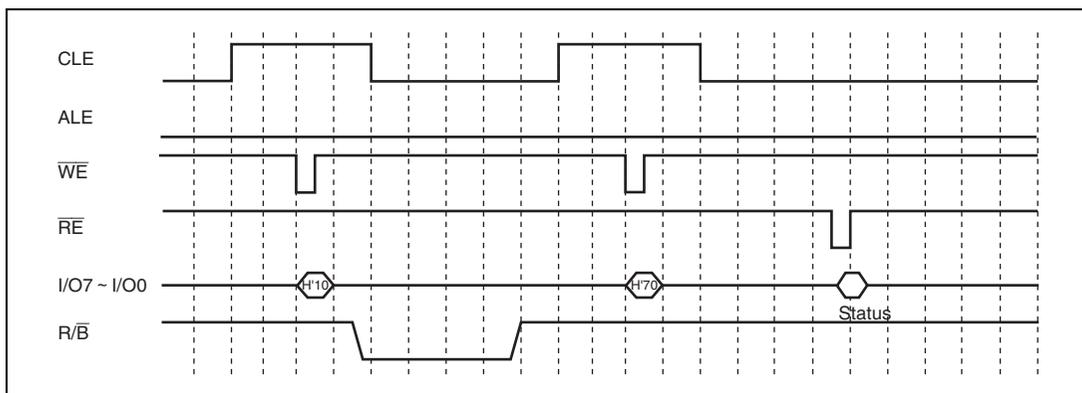


図 24.10 NAND 型フラッシュメモリの書き込み動作タイミング (2)

## (3) NAND 型フラッシュメモリ (2048 + 64 バイト) のアクセス

図 24.11 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00、第 2 コマンドに H'30 を指定、アドレス長は 4 バイトを指定。リードバイト数としてデータカウンタに 4 バイトを指定した場合の動作です。

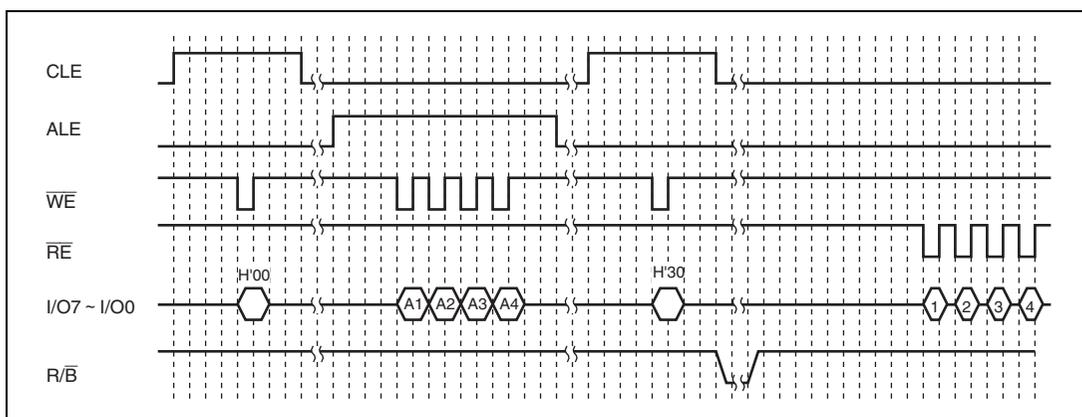


図 24.11 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 24.12、図 24.13 に NAND 型フラッシュメモリ (2048 + 64 バイト) に対して書き込み動作を行った場合の波形を示します。

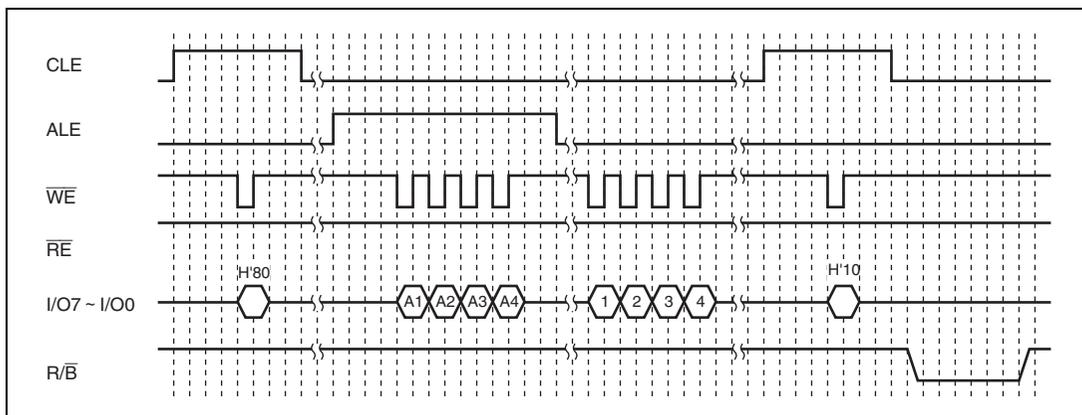


図 24.12 NAND 型フラッシュメモリの書き込み動作タイミング (1)

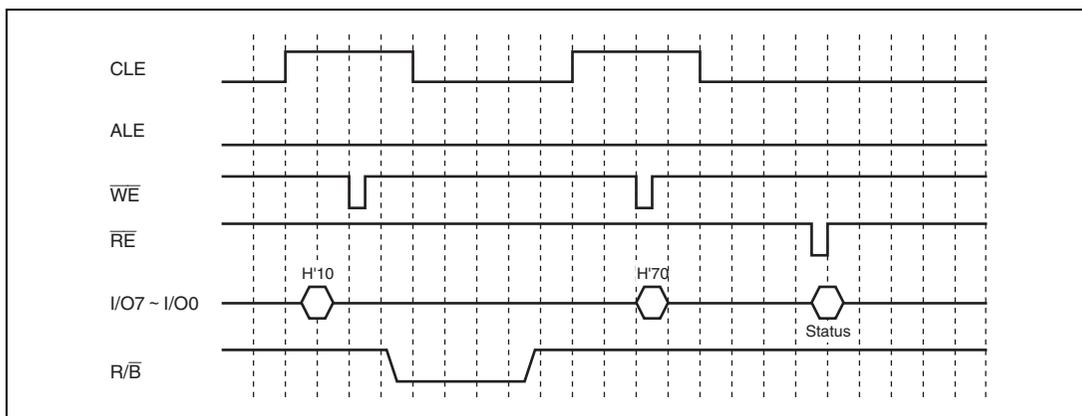


図 24.13 NAND 型フラッシュメモリの書き込み動作タイミング (2)

### 24.4.5 セクタアクセスモード

セクタアクセスモードでは、アクセスする物理セクタ番号を指定することによりセクタ単位のリードライトが可能です。また書き込み時には ECC 付加、読み出し時には ECC エラーチェック (検出) 処理が実行されます。

512 バイトのデータは FLDTFIFO に、16 バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ1EN、DREQ0EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ (データ + 管理コード) とアドレス空間上のメモリとの DMA 転送の関係を図 24.14 に示します。

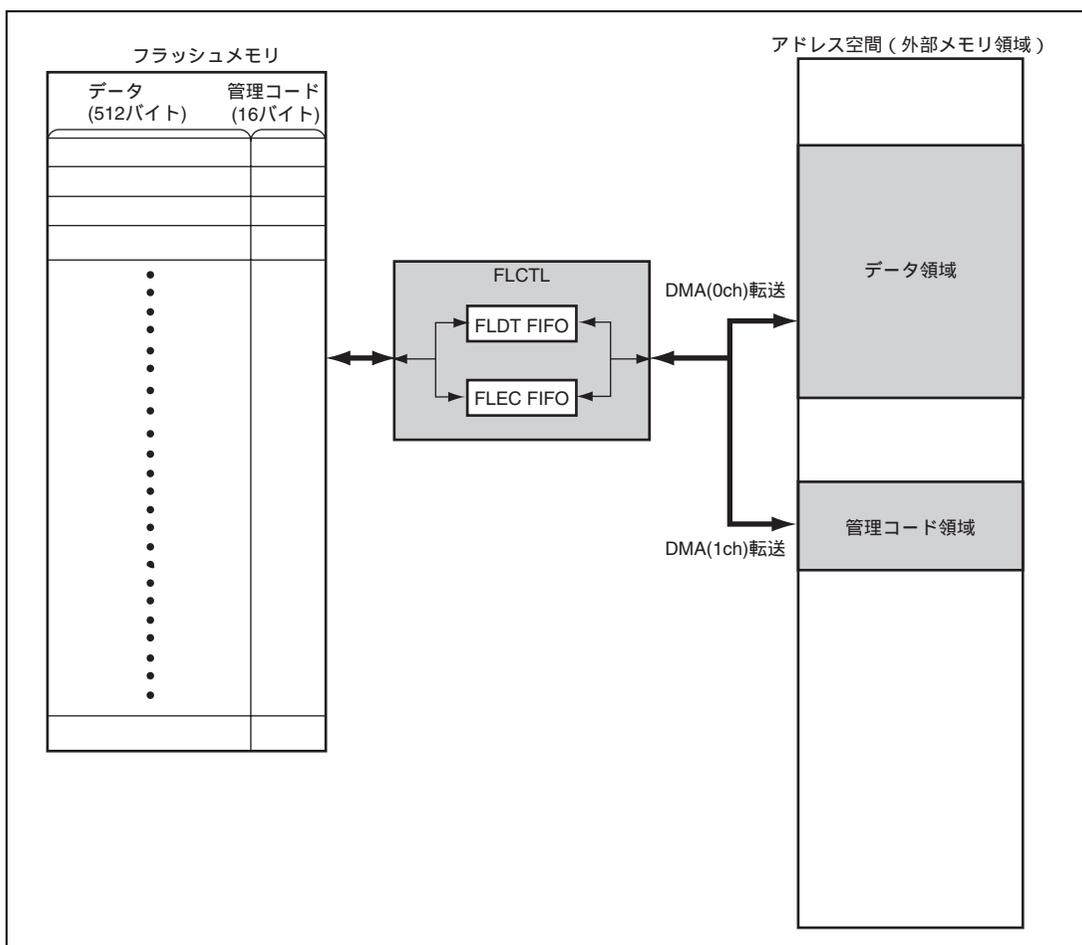


図 24.14 DMA 転送とセクタ (データ、管理コード) とメモリと DMA 転送の関連模式図

## (1) 物理セクタ

AND/NAND型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図24.15に示します。

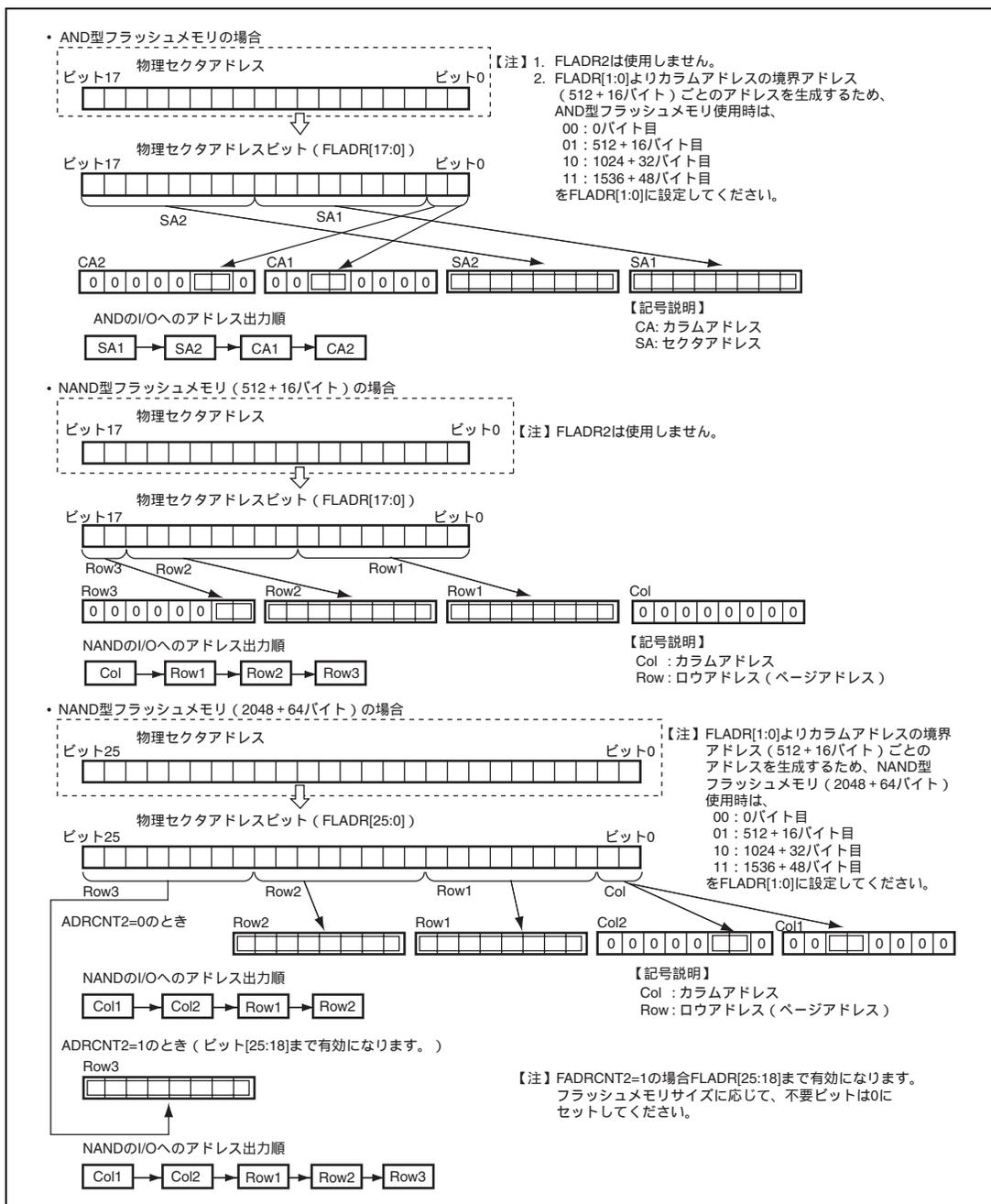


図 24.15 セクタ番号と AND/NAND 型フラッシュメモリのアドレスの展開例

## (2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭の物理セクタとセクタ転送回数を指定することにより、連続した物理セクタのリード/ライトが可能になります。途中で不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 24.16 にまとめます。

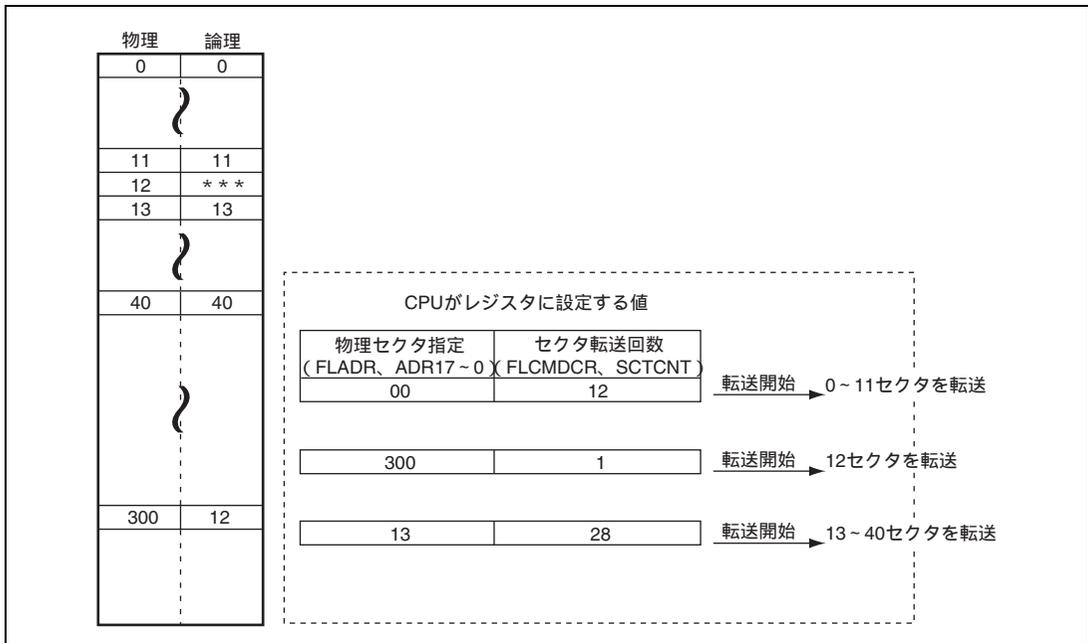


図 24.16 不良セクタがある場合のセクタアクセス例

#### 24.4.6 ECC のエラーの修正

本 FLCTL では、セクタアクセスモードの書き込み時には ECC コードの生成および付加を、読み出し時には ECC エラーチェックを行います。エラー訂正は行いません。

エラー訂正は、ソフト処理で行う必要があります。

#### 24.4.7 ステータスリード

FLCTL は AND 型フラッシュメモリ、NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。AND/NAND フラッシュメモリのステータスレジスタの値は I/O7~0 から入力され FLBSYCNT の STAT[7:0]ビットに格納されます。FLBSYCNT の STAT[7:0]ビットは CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNT の STAT[7:0]ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。

## (1) AND 型フラッシュメモリのステータスリード

AND 型フラッシュメモリのステータスリードは、アウトプットイネーブル信号  $\overline{OE}$  をアサート ( $\overline{OE}=0$ ) することで実現できます。FLCMDRCR の DOSR ビットを 1 にセットして、コマンドアクセスモード、またはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に  $\overline{OE}$  をアサートし、ステータスリードを行います。AND 型フラッシュメモリステータスリード時、I/O7 ~ 0 から入力されるステータスレジスタ各ビットの意味を表 24.3 に示します。

表 24.3 AND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	レディ / ビジー	0 : ビジー状態 1 : レディ状態
I/O6	リザーブ	-
I/O5	消去 (イレース) チェック	0 : Pass (消去) 1 : Fail (消去失敗)
I/O4	書き込み (プログラム) チェック	0 : Pass (書き込み) 1 : Fail (書き込み失敗)
I/O3 ~ 0	リザーブ	-

## (2) NAND 型フラッシュメモリのステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDRCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、I/O7 ~ 0 から入力されるステータスレジスタ各ビットの意味を表 24.4 に示します。

表 24.4 NAND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
I/O6	レディ / ビジー	0 : ビジー状態 1 : レディ状態
I/O5 ~ 1	リザーブ	-
I/O0	書き込み / 消去	0 : Pass (成功) 1 : Fail (失敗)

## 24.5 割り込み処理

FLCTL には 6 種類の割り込み要因 (ステータスエラー、レディ / ビジータイムアウトエラー、ECC エラー、転送終了、FIFO0 転送要求、FIFO1 転送要求) があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、CPU に対し独立した割り込み要求が発生します。ステータスエラーとレディ / ビジータイムアウトエラー、ECC エラーは、CPU に対して共通の FLSTE 割り込みを使用します。

表 24.5 FLCTL の割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味	優先順位
FLSTE 割り込み	STERB	STERINTE	ステータスエラー	高 ↑ ↓ 低
	BTOERB	RBERINTE	レディ / ビジータイムアウトエラー	
	ECERB	ECERINTE	ECC エラー	
FLTEND 割り込み	TREND	TEINTE	転送終了	
FLTRQ0 割り込み	TRREQF0	TRINTE0	FIFO0 転送要求	
FLTRQ1 割り込み	TRREQF1	TRINTE1	FIFO1 転送要求	

## 24.6 DMA 転送の設定

FLCTL はデータ領域 FLDTFIFO と管理コード領域 FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可 / 不可を表 24.6 に示します。

表 24.6 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

また、リトルエンディアン使用時、16 バイト DMA 転送を使用するとロングワード単位でデータの入れ替えが発生するので使用しないでください。

DMAC の設定については「第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

## 24.7 使用上の注意事項

### (1) SNAND ビットに関する注意事項

共通コントロールレジスタ (FLCMNCR) の SNAND ビット使用時は、コマンド制御レジスタ (FLCMDCR) の DOCMD1、DOCMD2 ビットの設定によらず、第 1 コマンド、第 2 コマンドのみの対応となります。

コマンド発行無し、もしくは第 1 コマンドのみを発行する場合、SNAND ビットには 0 を設定してください。



---

## 25. USB2.0 ホスト / ファンクションモジュール ( USB )

---

本モジュールは、USB 規格 2.0 のハイスピード転送、フルスピード転送に対応し、USB ホスト機能およびファンクション機能を備えたモジュールです。また、本モジュールは、USB トランシーバを内蔵\*し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用に 8K バイトのバッファメモリを内蔵し、最大 8 本のパイプを使用できます。また、パイプ 1~7 に対しては、通信を行うペリフェラル機器やユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

【注】 \* 本モジュールを使用する場合、初めに内蔵 USB トランシーバの設定を行う必要があります。詳細は、「25.5.2 USB トランシーバの設定手順」を参照してください。

### 25.1 特長

(1) USB ハイスピード対応のホストコントローラとファンクションコントローラを内蔵

- USBホストコントローラとファンクションコントローラを内蔵
- USBホスト機能とファンクション機能をレジスタ設定により切り替え可能
- ハイスピード転送 (480Mbps) とフルスピード転送 (12Mbps) に対応
- ハイスピード / フルスピードUSBトランシーバ内蔵 (ホストとファンクション共用)

(2) 少ない外付け素子かつ省スペース実装が可能

- D+プルアップ抵抗内蔵 (ファンクション動作時)
- D+、D-のプルダウン抵抗内蔵 (ホスト動作時)
- D+、D-終端抵抗内蔵 (ハイスピード動作時)
- D+、D-出力抵抗内蔵 (フルスピード動作時)

(3) USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送 (High Bandwidthは非対応)
- アイソクロナス転送 (High Bandwidthは非対応)

(4) 内部バスインタフェース

- DMAインタフェースを2チャンネル内蔵

## (5) パイプコンフィギュレーション

- USB通信用バッファメモリを8Kバイト内蔵
- 最大8本のパイプを選択可能 ( デフォルトコントロールパイプを含む )
- プログラマブルなパイプ構成
- パイプ1~7は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下のとおりです。

パイプ0 : コントロール転送専用のパイプ、連続転送モード、256バイト固定シングルバッファ

パイプ1、2 : バルク転送またはアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラマブル ( 最大2Kバイトでダブルバッファ指定可能 )

パイプ3~5 : バルク転送専用のパイプ、連続転送モード、バッファサイズはプログラマブル ( 最大2Kバイトでダブルバッファ指定可能 )

パイプ6、7 : インタラプト転送専用のパイプ、64バイト固定シングルバッファ

【注】 アイソクロナス OUT を使用する場合は、「25.5.1 アイソクロナス OUT 転送を使用する場合の注意事項」を参照してください。

## (6) ホスト機能選択時の特長

- ペリフェラル機器との1対1接続での通信が可能
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

## (7) ファンクション機能選択時の特長

- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET\_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)

## (8) その他の機能

- リセットハンドシェイク自動応答によるハイスピード動作またはフルスピード動作自動認識
- トランザクションカウントによるトランスファ終了機能
- DMA転送の終了機能
- SOF補間機能
- DMA転送終了時のZero-Lengthパケット付加機能 (DEZPM)
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DnFIFO (n=0、1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)

## 25.2 入出力端子

USB の端子構成および USB 使用時の端子機能を表 25.1 に示します。

本モジュールを使用しない場合は、下記のように処理してください。

- 電源は必ず印加してください。
- DP、DM、VBUSは、USBDPV<sub>ss</sub>に接続してください。
- REFRINは、5.6k  $\pm$ 20%の抵抗を介して、USBAPV<sub>cc</sub>に接続してください。
- USB\_X1、USB\_X2については、「4.3 クロック動作モード」を参照してください。

表 25.1 USB の端子構成

区分	名称	端子名	入出力	機能
USB バス インタフェース	USB D+データ	DP	入出力	USB 内蔵トランシーバ D+入出力です。 USB バスの D+端子に接続してください。
	USB D-データ	DM	入出力	USB 内蔵トランシーバ D-入出力です。 USB バスの D-端子に接続してください。
VBUS 監視入力	VBUS 入力	VBUS	入力	USB ケーブル接続モニタ端子です。 USB バスの V bus に接続してください。V bus の接続 / 切断を検出することができます。USB バスの V bus と接続しない場合は、5V に固定してください。ホストコントローラ機能選択時にも 5V を供給してください。 【注】接続されるデバイスへの V bus 供給はできません。
基準抵抗	リファレンス入力	REFRIN	入力	基準抵抗接続用端子です。 5.6k $\pm$ 1%抵抗を介して USBAPV <sub>ss</sub> に接続してください。
クロック	USB 用水晶発振子 / 外部クロック	USB_X1	入力	USB 用水晶発振子を接続します。また USB_X1 端子は外部クロックを入力することもできます。
		USB_X2	出力	
電源	トランシーバ部 アナログ端子電源	USBAPV <sub>cc</sub>	入力	端子用電源です。
	トランシーバ部 アナログ端子グランド	USBAPV <sub>ss</sub>	入力	端子用グランドです。
	トランシーバ部 デジタル端子電源	USBDPV <sub>cc</sub>	入力	端子用電源です。
	トランシーバ部 デジタル端子グランド	USBDPV <sub>ss</sub>	入力	端子用グランドです。
	トランシーバ部 アナログコア電源	USBAV <sub>cc</sub>	入力	コア用電源です。
	トランシーバ部 アナログコアグランド	USBAV <sub>ss</sub>	入力	コア用グランドです。
	トランシーバ部 デジタルコア電源	USBDV <sub>cc</sub>	入力	コア用電源です。
	トランシーバ部 デジタルコアグランド	USBDV <sub>ss</sub>	入力	コア用グランドです。

## 25.3 レジスタの説明

USB のレジスタ構成を表 25.2 に示します。

表 25.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
システムコンフィギュレーションコントロールレジスタ	SYSCFG	R/W	H'0000	H'FFFC1C00	16
システムコンフィギュレーションステータスレジスタ	SYSSTS	R	H'040x	H'FFFC1C02	16
デバイスステートコントロールレジスタ	DVSTCTR	R/W	H'0000	H'FFFC1C04	16
テストモードレジスタ	TESTMODE	R/W	H'0100	H'FFFC1C06	16
CPU-FIFO バスコンフィギュレーションレジスタ	CFBCFG	R/W	H'000F	H'FFFC1C0A	16
DMA0-FIFO バスコンフィギュレーションレジスタ	D0FBCFG	R/W	H'000F	H'FFFC1C0C	16
DMA1-FIFO バスコンフィギュレーションレジスタ	D1FBCFG	R/W	H'000F	H'FFFC1C0E	16
CFIFO ポートレジスタ	CFIFO	R/W	H'00000000	H'FFFC1C10	8、16、32
D0FIFO ポートレジスタ	D0FIFO	R/W	H'00000000	H'FFFC1C14	8、16、32
D1FIFO ポートレジスタ	D1FIFO	R/W	H'00000000	H'FFFC1C18	8、16、32
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'0000	H'FFFC1C1E	16
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'0000	H'FFFC1C20	16
CFIFO ポート SIE レジスタ	CFIFOSIE	R/W	H'0000	H'FFFC1C22	16
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'0000	H'FFFC1C24	16
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'0000	H'FFFC1C26	16
D0 トランザクションカウンタレジスタ	D0FIFOTRN	R/W	H'0000	H'FFFC1C28	16
D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'0000	H'FFFC1C2A	16
D1FIFO ポートコントロールレジスタ	D1FIFOCTR	R/W	H'0000	H'FFFC1C2C	16
D1 トランザクションカウンタレジスタ	D1FIFOTRN	R/W	H'0000	H'FFFC1C2E	16
割り込み許可レジスタ 0	INTENB0	R/W	H'0000	H'FFFC1C30	16
割り込み許可レジスタ 1	INTENB1	R/W	H'0000	H'FFFC1C32	16
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'0000	H'FFFC1C36	16
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'0000	H'FFFC1C38	16
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'0000	H'FFFC1C3A	16
割り込みステータスレジスタ 0	INTSTS0	R/W	H'00x0	H'FFFC1C40	16
割り込みステータスレジスタ 1	INTSTS1	R/W	H'0000	H'FFFC1C42	16
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'0000	H'FFFC1C46	16
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'0000	H'FFFC1C48	16
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'0000	H'FFFC1C4A	16
フレームナンバーレジスタ	FRMNUM	R/W	H'0000	H'FFFC1C4C	16
μフレームナンバーレジスタ	UFRMNUM	R/W	H'0000	H'FFFC1C4E	16

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
USB アドレスレジスタ	USBADDR	R	H'0000	H'FFFC1C50	16
USB リクエストタイプレジスタ	USBREQ	R	H'0000	H'FFFC1C54	16
USB リクエストバリューレジスタ	USBVAL	R	H'0000	H'FFFC1C56	16
USB リクエストインデックスレジスタ	USBINDX	R	H'0000	H'FFFC1C58	16
USB リクエストレンクスレジスタ	USBLENG	R	H'0000	H'FFFC1C5A	16
DCP コンフィギュレーションレジスタ	DCPCFG	R/W	H'0000	H'FFFC1C5C	16
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'0040	H'FFFC1C5E	16
DCP コントロールレジスタ	DCPCTR	R/W	H'0040	H'FFFC1C60	16
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'0000	H'FFFC1C64	16
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	H'0000	H'FFFC1C66	16
パイプバッファ指定レジスタ	PIPEBUF	R/W	H'0000	H'FFFC1C68	16
パイプマックスパケットサイズレジスタ	PEPMAXP	R/W	H'0xxx	H'FFFC1C6A	16
パイプ周期制御レジスタ	PIPEPERI	R/W	H'0000	H'FFFC1C6C	16
パイプ1 コントロールレジスタ	PIPE1CTR	R/W	H'0000	H'FFFC1C70	16
パイプ2 コントロールレジスタ	PIPE2CTR	R/W	H'0000	H'FFFC1C72	16
パイプ3 コントロールレジスタ	PIPE3CTR	R/W	H'0000	H'FFFC1C74	16
パイプ4 コントロールレジスタ	PIPE4CTR	R/W	H'0000	H'FFFC1C76	16
パイプ5 コントロールレジスタ	PIPE5CTR	R/W	H'0000	H'FFFC1C78	16
パイプ6 コントロールレジスタ	PIPE6CTR	R/W	H'0000	H'FFFC1C7A	16
パイプ7 コントロールレジスタ	PIPE7CTR	R/W	H'0000	H'FFFC1C7C	16
USB AC 特性切り替えレジスタ	USBACSWR	R/W	H'00000000	H'FFFC1C84	32

## 25.3.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

SYSCFG は、ハイスピード動作の許可、ホスト機能またはファンクション機能の選択、DP、DM 端子の制御、フルスピードレシーバの制御、および本モジュールのソフトウェアリセット制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HSE	DCFM	DMRPD	DPRPU	—	FSRPC	—	USBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	HSE	0	R/W	ハイスピード動作許可 0: ハイスピード動作禁止 (フルスピード動作のみ許可) 1: ハイスピード動作許可 (本モジュールが検出)
6	DCFM	0	R/W	コントローラ機能選択 ホストまたはファンクション機能の選択をします。 0: ファンクションコントローラ機能を選択 1: ホストコントローラ機能を選択
5	DMRPD	0	R/W	D-ライン抵抗制御
4	DPRPU	0	R/W	D+ライン抵抗制御 D-、D+ラインの抵抗の設定をします。本ビットを設定する前に必ず HSE ビットおよび DCFM ビットを設定してください。 00: D-はオープン、D+はオープン 01: D-はオープン、D+はプルアップ 10: D-はプルダウン、D+はプルダウン 11: D-はプルダウン、D+はプルアップ
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	FSRPC	0	R/W	フルスピードレシーバ動作許可 フルスピードレシーバの動作を許可します。 0: フルスピードレシーバの動作をハードウェア制御 1: フルスピードレシーバの動作をソフトウェアにより許可
1	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
0	USB_E	0	R/W	USB ブロック動作許可 本ビットで本モジュールのソフトウェアリセットが可能です。USB_E = 0 を設定時は、ソフトウェアリセット初期化対象レジスタを初期設定値にリセットします。また USB_E = 0 設定中は、ソフトウェアリセット初期化対象レジスタおよびビットへの書き込みは行えません。ソフトウェアリセット後、USB_E = 1 を設定し、本モジュールの動作を許可してください。 0 : USB ブロック動作禁止 (ソフトウェアリセット) 1 : USB ブロック動作許可

## 25.3.2 システムコンフィギュレーションステータスレジスタ (SYSSTS)

SYSSTS は、USB データバスのラインステータス (D+および D-ライン) をモニタします。

本レジスタは、パワーオンリセット、ソフトウェアリセット、および USB リセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	SOFEN	—	—	—	—	LNST[1:0]	
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	-	1	R	リザーブビット 読み出される値は不定です。書き込みは無効です。
9~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SOFEN	0	R	SOF 発行イネーブル ホストモード動作時、ソフトウェアが DVSTCTR レジスタの UACT ビットへの書き込みを行った後、本モジュールの内部回路が SOF 発行可能または SOF 発行停止状態になったことを示します。 0: USB ポートに対して SOF を発行しない 1: USB ポートに対して SOF を発行する
4~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	LNST[1:0]	-	R	USB データラインステータス 表 25.3 に USB データバスラインステータス表を示します。本ビットの設定によって USB データバスのラインステータス (D+ラインおよび D-ライン) をモニタします。 ラインステータスはフルスピードレシーバを用いて確認します。フルスピードレシーバの制御は、USBCLK を供給することにより本モジュールが自動的に行いますが、SYSCFG レジスタの FSRPC ビットを設定すると、USBCLK を供給しなくてもソフトウェアで許可を行うことができます。パワーオンリセット後、USBCLK を供給する前に D+および D-ラインの状態を確認する場合には、FSRPC ビットを 1 に設定してください。なお、USBCLK を一度供給した後は、ソフトウェアで設定する必要はありません。

【注】 \* D+および D-ラインの状態に依存します。

表 25.3 USB データバスラインステータス表

LNST1	LNST0	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	Squelch	Squelch
0	1	J-State	not Squelch	Chirp J
1	0	K-State	Invalid	Chirp K
1	1	SE1	Invalid	Invalid

## 【記号説明】

Chirp : ハイスピード動作許可の状態 (SYSCFG.HSE = 1) でリセットハンドシェイクプロトコル (RHSP) 実行中

Squelch : SE0 またはアイドル状態

not Squelch : ハイスピード J-State またはハイスピード K-State

Chirp J : Chirp J-State

Chirp K : Chirp K-State

Invalid : 無効

### 25.3.3 デバイスステートコントロールレジスタ (DVSTCTR)

DVSTCTR は、USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。また、ソフトウェアリセットで WKUP ビット以外のビットは初期化されますが、WKUP ビットは不定になります。USB バスリセットでは、WKUP ビットは初期化され、RESUME ビットは不定になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UACKEY0	—	—	UACKEY1	—	—	—	WKUP	RWUPE	USBRST	RESUME	UACT	—	—	RHST[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	UACKEY0	0	R/W	USBAC キー0 テストレジスタの HOSTPCC ビットをライトするために、本ビットの設定が必要になります。詳細は、「25.5.2 USB トランシーバの設定手順」を参照してください。
14, 13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	UACKEY1	0	R/W	USBAC キー1 テストレジスタの HOSTPCC ビットをライトするために、本ビットの設定が必要になります。詳細は、「25.5.2 USB トランシーバの設定手順」を参照してください。
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	WKUP	0	R/W	ウェイクアップ出力 本ビットは、USB バス上へのリモートウェイクアップ信号出力制御を行うために使用します。本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。本ビットに 1 を設定すると、本モジュールは 10ms の K-State を出力した後、本ビットを 0 にします。  USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに 1 を書き込んでも、2ms 待ってから K-State を出力します。  0: 非出力 1: リモートウェイクアップ信号出力  【注】本ビットへの 1 書き込みは、デバイスステートがサスペンド (INTSTS0.DVSQ = 1xx) であり、かつ USB ホストからリモートウェイクアップが許可されている場合以外は行わないでください。また、本ビットを 1 に設定する場合は、サスペンドであっても USBCLK を停止しないでください。

ビット	ビット名	初期値	R/W	説明
7	RWUPE	0	R/W	<p>ウェイクアップ検出許可</p> <p>本ビットを 1 に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号を出力します。このとき、本モジュールは RESUME ビットを 1 にセットします。</p> <p>0 : ダウンポートウェイクアップ禁止 1 : ダウンポートウェイクアップ許可</p> <p>【注】本ビットを 1 に設定する場合は、サスペンドであっても USBCLK を停止しないでください。</p>
6	USBRST	0	R/W	<p>バスリセット出力</p> <p>本ビットを 1 に設定することにより、USB バスリセット信号を出力します。USB バスリセット信号出力時間は、ソフトウェアによる時間管理が必要です。USB バスリセット時間経過後、本ビットを 0 に設定してください。</p> <p>0 : USB バスリセット信号出力停止 1 : USB バスリセット信号出力</p>
5	RESUME	0	R/W	<p>レジューム出力</p> <p>本ビットを 1 に設定することにより USB バス上にレジューム信号を出力します。</p> <p>0 : レジューム信号出力停止 1 : レジューム信号出力</p>
4	UACT	0	R/W	<p>USB バス許可</p> <p>USB バス上への SOF または <math>\mu</math>SOF パケットの送出制御をします。SOF パケットの送出間隔は本モジュールが管理します。本ビットに 0 を書き込んだ場合には、次の SOF を送出後にバスアイドル状態となります。</p> <p>0 : ダウンポート禁止 (SOF / <math>\mu</math>SOF 送出禁止) 1 : ダウンポート許可 (SOF / <math>\mu</math>SOF 送出許可)</p>
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	RHST[1:0]	00	R	<p>リセットハンドシェイク</p> <p>本ビットを参照することで、接続されたホストコントローラとの通信速度（通信ビットレート）が確認できます。</p> <p>ハイスピード動作を禁止状態（SYSCFG.HSE = 0）に設定している場合、本モジュールはリセットハンドシェイクプロトコルを実行せずにフルスピード動作となります。ハイスピード動作を許可状態にしている場合、本モジュールはリセットハンドシェイクプロトコルを実行（実行中のときは RHST = 01）し、実行結果を本ビットに反映（ハイスピード動作で RHST = 11 またはフルスピード動作で RHST = 10）します。</p> <p>ホストコントローラ機能選択時、USB バスリセット解除後、本ビットに結果が反映されるのは次の二つのタイミングです。ひとつは、フルスピードモード時、USB バスリセット出力によって SE0-State から J-State に USB バスが変化するときです。もうひとつは、ハイスピードモード時、リセットハンドシェイクにより終端抵抗をハイスピードモードに切り換えたときです。ただし、どちらのタイミングのときも、接続された周辺機器がフルスピード対応機器の場合には、反映されるまでに待ち時間が必要になりますので注意してください。</p> <p>00 : 通信速度不定 01 : リセットハンドシェイク処理中 10 : フルスピード動作確定 11 : ハイスピード動作確定</p> <p>【注】 USB バスリセット終了後（USBRST = 0 設定後）、十分な待ち時間を経過した後も RHST が確定していない場合、USB バスリセット中に USB ケーブルが切断されている可能性があります。このような場合は、LNST ビットにより USB バスの状態を確認してください。</p>

【注】 ファンクションコントローラ機能を選択したときは、RWUPE、USBRST、RESUME、UACT ビットの値をすべて 0 に設定してください。

ホストコントローラ機能を選択したときは、WKUP ビットの値を 0 に設定してください。

### 25.3.4 テストモードレジスタ (TESTMODE)

TESTMODE は、ハイスピード動作時の USB テスト信号出力および本モジュールに内蔵している USB トランシーバの制御をします。

本レジスタは、パワーオンリセットで初期化されます。ソフトウェアリセットで UTST ビットは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HOST PCC	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	HOSTPCC	0	R/W	ディスコネクトディテクタパワー切り替え USB トランシーバの設定を行います。* 本ビットを設定するには、デバイスコントロールレジスタの UACKEY0、UACKEY1 ビットを設定する必要があります。
14~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	-	1	R	リザーブビット 本ビットの読み出し値は、UACKEY0、UACKEY1 ビットに依存します。 UACKEY0=0、UACKEY1=0 のときは常に 1 が読み出されます。書き込む値は無効です。 UACKEY0=1、UACKEY1=1 のときは常に 0 が読み出されます。この際、書き込む値も常に 0 にしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	UTST[3:0]	0000	R/W	<p>テストモード</p> <p>表 25.4 に本モジュールのテストモード動作表を示します。本ビットでハイスピード動作時の USB テスト信号出力を制御します。</p> <p>[ ホストコントローラ機能選択時 ]</p> <p>ホストコントローラ機能選択時、DCFM = 1、DMRPD = 1、DPRPU = 0 書き込み後に本ビットの設定が可能です。また、本ビットへの書き込みを行うことにより、本モジュールはハイスピード終端を行います。</p> <p>本ビットの設定手順は以下のとおりです。</p> <p>(1) パワーオンリセット</p> <p>(2) DCFM = 1、DMRPD = 1、DPRPU = 0 (HSE = 1 の設定は必要ありません)</p> <p>(3) USBE = 1</p> <p>(4) 本ビットにテスト内容に応じた値を設定</p> <p>また本ビットの変更手順は以下のとおりです。</p> <p>(1) (上記 (4) の状態で) USBE = 0</p> <p>(2) USBE = 1</p> <p>(3) 本ビットにテスト内容に応じた値を設定</p> <p>【注】 Test_SE0_NAK (1011) 設定時は、UACT = 1 を設定しても本モジュールは SOF パケットを出力しません。Test_Force_Enable (1101) 設定時は、UACT = 1 を設定した場合、本モジュールは SOF パケットを出力します。</p> <p>UTST ビットを設定する場合は、すべてのパイプの PID ビットに NAK を設定してください。テストモード設定後、通常の USB 通信を行う場合はパワーオンリセットを実施してください。</p> <p>[ ファンクションコントローラ機能選択時 ]</p> <p>ファンクションコントローラ機能選択時は、ハイスピード通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。</p> <p>【注】 本ビットに 0001 ~ 0100 を設定しているときは、本モジュールはサスペンド状態へ遷移しません。</p>

【注】 \* 詳細は、「25.5.2 USB トランシーバの設定手順」を参照してください。

表 25.4 テストモード動作表

テストモード	UTST ビット設定	
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
通常動作	0000	0000
Test_J	0001	1001
Test_K	0010	1010
Test_SE0_NAK	0011	1011
Test_Packet	0100	1100
Reserved	0101 ~ 0111	1101 ~ 1111

### 25.3.5 FIFO ポートコンフィギュレーションレジスタ (CFBCFG、D0FBCFG、D1FBCFG)

FIFO ポートのアクセス制御を行います。FIFO ポートには CPU-FIFO、DMA0-FIFO、および DMA1-FIFO の 3 つあり、それぞれのポートに対応するコンフィギュレーションレジスタでアクセス制御を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TENDE	FEND	—	—	—	—	FWAIT[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	RW	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TENDE	0	R/W	DMA 転送終了サンプリング許可 DMA 転送終了時に、ダイレクトメモリアccessコントローラ (DMAC) から送出される DMA 転送終了信号の受け付け制御を行います。 0: DMA 転送終了信号をサンプリングしない 1: DMA 転送終了信号をサンプリングする
8	FEND	0	R/W	FIFO ポートエンディアン FIFO ポートにアクセスする際のバイトエンディアンを設定します。表 25.5 ~ 表 25.7 にエンディアン動作表を示します。本 LSI はビッグエンディアンで動作します。エンディアンの異なるデータの送受信時に本ビットの設定をしてください。
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	FWAIT[3:0]	1111	R/W	FIFO ポートアクセスウェイト指定 当該 FIFO ポートに対するアクセスウェイト数を指定します。FIFO ポートの最小アクセスサイクルは 2 サイクルです。 0000: 0 ウェイト (アクセスサイクル 2) : 0010: 2 ウェイト (アクセスサイクル 4) : 0100: 4 ウェイト (アクセスサイクル 6) : 1111: 15 ウェイト (アクセスサイクル 17)

【注】 TEND ビットは、D0FBCFG、D1FBCFG にのみ存在します。

表 25.5 エンディアン動作 (32 ビット幅アクセス時)

FEND	ビット 31~ビット 24	ビット 23~ビット 16	ビット 15~ビット 8	ビット 7~ビット 0
0	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス
1	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス

表 25.6 エンディアン動作 (16 ビット幅アクセス時)

FEND	ビット 31~ビット 24	ビット 23~ビット 16	ビット 15~ビット 8	ビット 7~ビット 0
0	偶数アドレス	奇数アドレス	書き込み：無効 読み出し：禁止*	
1	書き込み：無効 読み出し：禁止*		奇数アドレス	偶数アドレス

【注】 \* 無効レジスタへのワード読み出しは禁止です。

表 25.7 エンディアン動作 (8 ビット幅アクセス時)

FEND	ビット 31~ビット 24	ビット 23~ビット 16	ビット 15~ビット 8	ビット 7~ビット 0
0	書き込み：有効 読み出し：有効	書き込み：無効 読み出し：無効*		
1	書き込み：無効 読み出し：禁止*			書き込み：有効 読み出し：有効

【注】 \* 無効レジスタへのバイト読み出しは禁止です。

### 25.3.6 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

FIFO バッファメモリへのデータ読み出し/書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、バッファメモリへのデータリード/ライトを行うポートレジスタ、FIFO ポートに割り当てるパイプを選択する選択レジスタ、コントロールレジスタ、およびポート機能に特化したレジスタ (CFIFO ポート専用の SIE レジスタと DnFIFO ポート専用のトランザクションカウンタレジスタ) で構成されるレジスタ群が関連づけられています。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FIFOPORT [31:0]	すべて 0	R/W	FIFO ポート 受信データをバッファメモリからリードまたは送信データをバッファメモリにライトします。

- 【注】
- DCP は CFIFO ポート以外では、バッファメモリへアクセスできません。  
DMA 転送によるバッファメモリへのアクセスは D0FIFO ポートと D1FIFO ポート以外では行えません。
  - CPU による DnFIFO ポートアクセスでも DnFIFO ポートの機能および制限に従う必要があります (トランザクションカウンタの利用など)。
  - FIFO ポート固有の機能を使用する場合は選択パイプを使用できません (トランザクションカウンタの利用など)。
  - FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
  - 同一パイプを別々の FIFO ポートに割り当てないでください。
  - バッファメモリ状況には、アクセス権が CPU 側にある場合と SIE 側にある場合があります。バッファメモリのアクセス権が SIE 側にある場合は、CPU から正しいアクセスができません。
  - FIFO ポートで選択されているパイプのパイプコンフィギュレーションを変更しないでください。

### 25.3.7 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)

FIFO ポートに割り当てるパイプの選択、当該ポートへのアクセスの制御をします。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットの設定が B'000 の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

#### (1) CFIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]	—	—	—	—	ISEL	—	—	CURPIPE[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*1	R	R	R/W	R/W	R	R	R	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	リードカウントモード 0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出しで DTLN ビットカウントダウン
14	REW	0	R/W*1	バッファポインタリワインド 0: バッファポインタリワインドしない 1: バッファポインタリワインドする
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11, 10	MBW[1:0]	00	R/W	FIFO ポートアクセスビット幅 00: 8 ビット幅 01: 16 ビット幅 10: 32 ビット幅 11: 設定禁止 選択 CURPIPE がバッファメモリ読み出し方向のときは、本ビットの設定は下記いずれかの手順で行ってください。 • CURPIPE ビットへの設定と同時に書き込む • DCP 設定 (CURPIPE = 000) の場合、ISEL ビットへの設定と同時に書き込む 詳細は、「25.4.4 バッファメモリ」を参照してください。 【注】いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。また、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。
9~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5	ISEL	0	R/W	DCP 選択時の FIFO ポートアクセス方向* <sup>2</sup> 0: バッファメモリ読み出し選択 1: バッファメモリ書き込み選択 本ビットは、CURPIPE ビットで DCP 選択時のみ有効です。 本ビットの設定は、下記いずれかの手順で行ってください。 • CURPIPE ビットへの DCP 設定 (CURPIPE = 000) と ISEL ビットへの設定を同時に書き込む • CURPIPE ビットへの DCP 設定 (CURPIPE = 000) 後、200ns 待ってから ISEL ビットへの設定を行う 詳細は、「25.4.4 バッファメモリ」を参照してください。
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CURPIPE [2:0]	000	R/W	FIFO ポートアクセスパイプ指定* <sup>2</sup> 000: DCP 001: パイプ 1 010: パイプ 2 011: パイプ 3 100: パイプ 4 101: パイプ 5 110: パイプ 6 111: パイプ 7

【注】 \*1 0 読み出し、1 書き込みのみ有効です。

\*2 ISEL ビットまたは CURPIPE ビットを連続して変更する場合は、120ns + バスサイクル 5 サイクル以上のアクセスサイクルが必要です。

## (2) D0FIFOSEL、D1FIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	TRENB	TRCLR	DEZPM	—	—	—	—	CURPIPE[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*1	R/W	R/W	R/W	R/W	R/W	R/W*1	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	RCNT	0	R/W	リードカウントモード 0: 全受信データ読み出しで DTLN ビットクリア 1: 受信データ読み出しで DTLN ビットカウントダウン
14	REW	0	R/W*1	バッファポインタリワインド 0: バッファポインタリワインドしない 1: バッファポインタリワインドする
13	DCLRM	0	R/W	指定パイプのデータ読み出し後自動バッファメモリクリアモード 本ビットは、CURPIPE ビットに指定したパイプが受信方向 (バッファメモリ読み出し) 設定時に有効です。 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可
12	DREQE	0	R/W	DMA 転送要求許可 0: DMA 転送要求禁止 1: DMA 転送要求許可
11、10	MBW[1:0]	00	R/W	FIFO ポートアクセスビット幅 00: 8 ビット幅 01: 16 ビット幅 10: 32 ビット幅 11: 設定禁止 選択 CURPIPE がバッファメモリ読み出し方向のときは、本ビットの設定は CURPIPE ビットへの設定と同時に行ってください。 詳細は「25.4.4 バッファメモリ」を参照してください。 【注】いったんバッファメモリの読み出し処理を開始すると、すべてのデータ読み出しが完了するまで FIFO ポートアクセスビット幅の変更は行えません。また、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。
9	TRENB	0	R/W	トランザクションカウンタ許可 本ビットは、CURPIPE ビットに指定したパイプが受信方向 (バッファメモリ読み出し) 設定時に有効です。 0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効

ビット	ビット名	初期値	R/W	説明
8	TRCLR	0	R/W*1	トランザクションカウンタクリア 本ビットは、CURPIPE ビットに指定したパイプが受信方向 (バッファメモリ読み出し) 設定時に有効です。 0 : 無効 1 : カレントカウンタクリア
7	DEZPM	0	R/W	Zero-Length パケット付加モード 本ビットは、CURPIPE ビットに指定したパイプが送信方向 (バッファメモリ書き込み) 設定時に有効です。 0 : 付加なし 1 : 付加あり
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CURPIPE [2:0]	000	R/W	FIFO ポートアクセスパイプ指定*2 000 : 指定なし 001 : パイプ 1 010 : パイプ 2 011 : パイプ 3 100 : パイプ 4 101 : パイプ 5 110 : パイプ 6 111 : パイプ 7

【注】 \*1 0 読み出し、1 書き込みのみ有効です。REW=1 設定は、FRDY=1 を確認後に実施してください。

\*2 CURPIPE ビットを連続して変更する場合は、120ns + バスサイクル 5 サイクル以上のアクセスサイクルが必要です。

## 25.3.8 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応して CFIFOCTR、D0FIFOCTR、および D1FIFOCTR があります。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W* <sup>1</sup>	R/W* <sup>2</sup>	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R/W* <sup>1</sup>	バッファメモリ有効フラグ 本ビットへの 1 書き込みは、データパケット送出方向時 (バッファメモリ書き込み時) に有効です。受信方向時は BVAL = 0 を設定してください。 0: 無効 1: 書き込み終了
14	BCLR	0	R/W* <sup>2</sup>	CPU バッファクリア* <sup>3</sup> 本ビットによるバッファクリアはパイプコンフィギュレーションでパイプ無効状態 (PID = NAK) に設定のうえ、行ってください。 0: 無効 1: CPU 側バッファメモリクリア
13	FRDY	0	R	FIFO ポートレディ 本ビットの確認では、パイプ選択後 450ns 以上のアクセスサイクルが必要です。 0: FIFO ポートアクセス不可 1: FIFO ポートアクセス可能
12	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTLN [11:0]	H'000	R	受信データ長* <sup>4</sup> 受信データ長が確認できます。

【注】 \*1 1 書き込みのみ有効です。BVAL=1 設定は、FRDY=1 を確認後に実施してください。

\*2 0 読み出し、1 書き込みのみ有効です。

\*3 BCLR ビットは、DCP 以外のパイプを選択しているとき、CPU 側バッファメモリに対して有効です。BCLR = 1 設定は、FRDY = 1 を確認後に実施してください。パイプに DCP を選択している場合は、SIE 側バッファメモリのクリアも行います。この場合は、FRDY = 1 を確認する必要はありません。

\*4 DTLN ビットは、CPU 側バッファメモリに対して有効です。DTLN ビットの参照は、FRDY = 1 を確認後に実施してください。

### 25.3.9 CFIFO ポート SIE レジスタ (CFIFOSIE)

CFIFO ポートの SIE 機能を制御するレジスタで、CPU 側とのアクセス権切り替え、SIE 側バッファメモリのクリア、および SIE 側バッファビジューの確認をします。本レジスタは、DCP を選択している場合には機能しません。本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TGL	SCLR	SBUSY	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	TGL	0	R/W*	<p>アクセス権切り替え</p> <p>本ビットは SIE 側にあるバッファメモリを CPU 側にする機能です。PID = NAK を設定し SBUSY ビットで SIE がバッファアクセスしていない (SBUSY = 0) ことを確認のうえ、TGL ビットの書き込み (トグル操作) を行ってください。また、本ビットは受信方向 (バッファメモリ読み出し) 設定パイプにのみ有効です。</p> <p>0: 無効 1: アクセス権切り替え</p>
14	SCLR	0	R/W*	<p>SIE バッファクリア</p> <p>本ビットは SIE 側にあるバッファメモリをクリアする機能です。PID = NAK を設定し SBUSY ビットで SIE がバッファアクセスしていない (SBUSY = 0) ことを確認のうえ、バッファクリアを行ってください。なお、本ビットは送信方向 (バッファメモリ書き込み) 設定パイプにのみ有効です。</p> <p>0: 無効 1: SIE 側バッファメモリクリア</p>
13	SBUSY	0	R	<p>SIE バッファビジュー</p> <p>0: SIE がアクセスしていない状態 1: SIE がアクセスしている状態</p>
12~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 \* 0 読み出し、1 書き込みのみ有効です。

## 25.3.10 トランザクションカウンタレジスタ (D0FIFOTRN、D1FIFOTRN)

DMA 転送のトランザクション回数の設定およびトランザクション回数読み出しをするレジスタです。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	H'0000	R/W	トランザクションカウンタ 本ビットはバッファメモリからデータを読み出す場合に有効です。 カウント中のトランザクション回数を読み出せるのは DnFIFOSEL レジスタの TRENb ビットが 1 の場合に限りです。TRENb = 0 の場合は設定したトランザクション回数を読み出せません。 W : DMA 転送のトランザクション回数設定 R : トランザクション回数読み出し

## 25.3.11 割り込み許可レジスタ 0 (INTENB0)

各割り込みマスク指定、デバイスステート遷移割り込み要因マスク指定 (URST ビット、SADR ビット、SCFG ビット、SUSP ビット)、およびコントロール転送ステージ割り込み要因マスクの指定 (WDST ビット、RDST ビット、CMPL ビット、SERR ビット) を行います。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	VBUS 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
12	DVSE	0	R/W	デバイスステート遷移割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファエンプティ割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
7	URST	0	R/W	デフォルト状態遷移通知許可 0: デフォルト状態遷移時 DVST 割り込み禁止 1: デフォルト状態遷移時 DVST 割り込み許可
6	SADR	0	R/W	アドレス状態遷移通知許可 0: アドレス状態遷移時 DVST 割り込み禁止 1: アドレス状態遷移時 DVST 割り込み許可
5	SCFG	0	R/W	コンフィギュレーション状態遷移通知許可 0: コンフィギュレーション状態遷移時 DVST 割り込み禁止 1: コンフィギュレーション状態遷移時 DVST 割り込み許可
4	SUSP	0	R/W	サスペンド状態遷移通知許可 0: サスペンド状態遷移時 DVST 割り込み禁止 1: サスペンド状態遷移時 DVST 割り込み許可
3	WDST	0	R/W	コントロールライトステージ遷移通知許可 0: コントロールライトステージ遷移時 CTRT 割り込み禁止 1: コントロールライトステージ遷移時 CTRT 割り込み許可
2	RDST	0	R/W	コントロールリードステージ遷移通知許可 0: コントロールリードステージ遷移時 CTRT 割り込み禁止 1: コントロールリードステージ遷移時 CTRT 割り込み許可
1	CMPL	0	R/W	コントロール転送終了通知許可 0: コントロール転送終了検出時 CTRT 割り込み禁止 1: コントロール転送終了検出時 CTRT 割り込み許可
0	SERR	0	R/W	コントロール転送シーケンスエラー通知許可 0: コントロール転送シーケンスエラー検出時 CTRT 割り込み禁止 1: コントロール転送シーケンスエラー検出時 CTRT 割り込み許可

【注】 各割り込みステータスのクリアから、対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。

## 25.3.12 割り込み許可レジスタ 1 (INTENB1)

各割り込みマスク指定、各パイプの BRDY 割り込みステータスクリアタイミング制御を行います。

本レジスタは、パワーオンリセットで初期化されます。また、ソフトウェアリセットで BRDYM ビット以外のビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	—	—	—	—	—	—	SIGNE	SACKE	—	BRDYM	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DTCHE	0	R/W	フルスピード動作時切断検出割り込み許可 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ファンクションからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCH 割り込み」を参照してください。 0: 割り込み出力禁止 1: 割り込み出力許可 【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST = 11) した場合、ハイスピード通信中は DTCHE = 0 に設定してください。
11~6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	SACKE	0	R/W	セットアップトランザクション正常応答割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	BRDYM	0	R/W	各パイプの BRDY 割り込みステータスクリアタイミング制御 0: ソフトウェアがステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作により本モジュールがステータスをクリア
1, 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 25.3.13 BRDY 割り込み許可レジスタ (BRDYENB)

各パイプの BRDY 割り込み許可を行います。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W							

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BRDYE	0	R/W	パイプ 7 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	パイプ 6 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	パイプ 5 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	パイプ 4 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3BRDYE	0	R/W	パイプ 3 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2BRDYE	0	R/W	パイプ 2 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1BRDYE	0	R/W	パイプ 1 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0BRDYE	0	R/W	パイプ 0 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

【注】 各割り込みステータスのクリアから、対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。

## 25.3.14 NRDY 割り込み許可レジスタ (NRDYENB)

各パイプの NRDY 割り込み許可を行います。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W							

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7NRDYE	0	R/W	パイプ 7 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	パイプ 6 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	パイプ 5 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	パイプ 4 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3NRDYE	0	R/W	パイプ 3 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2NRDYE	0	R/W	パイプ 2 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1NRDYE	0	R/W	パイプ 1 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0NRDYE	0	R/W	パイプ 0 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

【注】 各割り込みステータスのクリアから、対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。

## 25.3.15 BEMP 割り込み許可レジスタ (BEMPENB)

各パイプの BEMP 割り込み許可を行います。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BEMPE	0	R/W	パイプ 7 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BEMPE	0	R/W	パイプ 6 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BEMPE	0	R/W	パイプ 5 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BEMPE	0	R/W	パイプ 4 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3BEMPE	0	R/W	パイプ 3 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2BEMPE	0	R/W	パイプ 2 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1BEMPE	0	R/W	パイプ 1 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0BEMPE	0	R/W	パイプ 0 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

【注】 各割り込みステータスのクリアから、対応する割り込みの許可 / 禁止を行う場合は、少なくとも 80ns 以上の間隔を空けてください。

## 25.3.16 割り込みステータスレジスタ 0 (INTSTS0)

各割り込みのステータスを確認するレジスタです。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。また、USB バスリセットで DVSQ[2:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値:	0	0	0	0	0	0	0	0	*3	*4	*4	*4	0	0	0	0
R/W:	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R	R	R	R	R	R	R	R/W*1	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W*1	VBUS 割り込みステータス*2 0: VBUS 割り込み非発生 1: VBUS 割り込み発生
14	RESM	0	R/W*1	レジューム割り込みステータス*2 0: レジューム割り込み非発生 1: レジューム割り込み発生
13	SOFR	0	R/W*1	フレーム番号更新割り込みステータス*2 0: SOF 割り込み非発生 1: SOF 割り込み発生
12	DVST	0	R/W*1	デバイスステート遷移割り込みステータス*2 0: デバイスステート遷移割り込み非発生 1: デバイスステート遷移割り込み発生
11	CTRT	0	R/W*1	コントロール転送ステージ遷移割り込みステータス*2 0: コントロール転送ステージ遷移割り込み非発生 1: コントロール転送ステージ遷移割り込み発生
10	BEMP	0	R	バッファエンプティ割り込みステータス 本ビットは、BEMPSTS レジスタの全ビットがクリアされた場合にクリアされます。 0: BEMP 割り込み非発生 1: BEMP 割り込み発生
9	NRDY	0	R	バッファノットレディ割り込みステータス 本ビットは、NRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。 0: NRDY 割り込み非発生 1: NRDY 割り込み発生

ビット	ビット名	初期値	R/W	説明
8	BRDY	0	R	バッファレディ割り込みステータス 本ビットは、BRDYSTS レジスタの全ビットがクリアされた場合にクリアされます。 0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生
7	VBSTS	*3	R	VBUS 入力ステータス 本ビットは VBUS 端子の状態をモニタします。ただし、制御用プログラムによりチャタリングを除去する必要があります。 0 : VBUS 端子がローレベル 1 : VBUS 端子がハイレベル
6~4	DVSQ[2:0]	*4	R	デバイスステート 000 : パワードステート 001 : デフォルトステート 010 : アドレスステート 011 : コンフィギュレーションステート 1xx : サスペンドステート
3	VALID	0	R/W*1	セットアップパケット受信 0 : 未検出 1 : セットアップパケット受信
2~0	CTSQ[2:0]	000	R	コントロール転送ステージ 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : 設定禁止

【注】 \*1 0 書き込みのみ有効です。

\*2 VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、および CTRT ビットのうち複数要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + バスクロックで 3 サイクル以上のアクセスサイクルが必要です。

\*3 VBUS 端子がハイレベルのとき 1、ローレベルのとき 0 です。

\*4 パワーオンリセット、ソフトウェアリセットのとき B'000、USB バスリセットのとき B'001 です。

### 25.3.17 割り込みステータスレジスタ 1 (INTSTS1)

各割り込みのステータスを確認するレジスタです。SOFR、BEMP、NRDY、BRDY ビットは、INTSTS0 レジスタのミラービットです。読み出すと、INTSTS0 レジスタの同一ビットと同じ値を読み出すことができます。また、書き込んだ場合には、書き込んだ値は INTSTS0 と INTSTS1 レジスタの両方のレジスタに反映されます。

なお、ペリフェラルコントローラ機能選択時は INTSTS0 レジスタ、ホストコントローラ機能選択時は INTSTS1 レジスタを利用することにより、どちらか片方のレジスタのみを参照することで割り込みの発生を知ることができます。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	SOFR	DTCH	—	BEMP	NRDY	BRDY	—	—	SIGN	SACK	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W*	R/W*	R/W*	R	R	R	R	R	R	R/W*	R/W*	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHG	0	R/W*	USB バス変化割り込みステータス 0 : BCHG 割り込み非発生 1 : BCHG 割り込み発生
13	SOFR	0	R/W*	フレーム番号更新割り込みステータス 0 : SOF 割り込み非発生 1 : SOF 割り込み発生
12	DTCH	0	R/W*	フルスピード動作時切断検出割り込みステータス 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ペリフェラルからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCH 割り込み」を参照してください。 0 : DTCH 割り込み非発生 1 : DTCH 割り込み発生  【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST = 11) した場合、ハイスピード通信中は DTCHE = 0 に設定してください。 またハイスピード通信中、本ビットは 1 にセットされることがあります。そのため、ハイスピード通信後は必ず本ビットを 0 にクリアしてください。
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	BEMP	0	R	バッファエンプティ割り込みステータス 0 : BEMP 割り込み非発生 1 : BEMP 割り込み発生

ビット	ビット名	初期値	R/W	説 明
9	NRDY	0	R	バッファノットレディ割り込みステータス 0: NRDY 割り込み非発生 1: NRDY 割り込み発生
8	BRDY	0	R	バッファレディ割り込みステータス 0: BRDY 割り込み非発生 1: BRDY 割り込み発生
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	SIGN	0	R/W*	セットアップトランザクションエラー割り込みステータス 0: SIGN 割り込み非発生 1: SIGN 割り込み発生
4	SACK	0	R/W*	セットアップトランザクション正常応答割り込みステータス 0: SACK 割り込み非発生 1: SACK 割り込み発生
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 \* 0 書き込みのみ有効です。

## 25.3.18 BRDY 割り込みステータスレジスタ (BRDYSTS)

各パイプの BRDY 割り込みステータスを確認するレジスタです。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*1	R/W*1							

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BRDY	0	R/W*1	パイプ 7 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BRDY	0	R/W*1	パイプ 6 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BRDY	0	R/W*1	パイプ 5 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BRDY	0	R/W*1	パイプ 4 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BRDY	0	R/W*1	パイプ 3 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BRDY	0	R/W*1	パイプ 2 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BRDY	0	R/W*1	パイプ 1 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
0	PIPE0BRDY	0	R/W*1	パイプ 0 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

【注】 \*1 0 書き込みのみ有効です。

\*2 複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + バスロックで 3 サイクル以上のアクセスサイクルが必要です。

## 25.3.19 NRDY 割り込みステータスレジスタ (NRDYSTS)

各パイプの NRDY 割り込みステータスを確認するレジスタです。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*1							

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7NRDY	0	R/W*1	パイプ 7 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*1	パイプ 6 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*1	パイプ 5 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*1	パイプ 4 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*1	パイプ 3 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*1	パイプ 2 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*1	パイプ 1 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
0	PIPE0NRDY	0	R/W*1	パイプ 0 の NRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

【注】 \*1 0 書き込みのみ有効です。

\*2 複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + バスクロックで 3 サイクル以上のアクセスサイクルが必要です。

## 25.3.20 BEMP 割り込みステータスレジスタ (BEMPSTS)

各パイプの BEMP 割り込みステータスを確認するレジスタです。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*1							

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PIPE7BEMP	0	R/W*1	パイプ 7 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BEMP	0	R/W*1	パイプ 6 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BEMP	0	R/W*1	パイプ 5 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BEMP	0	R/W*1	パイプ 4 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BEMP	0	R/W*1	パイプ 3 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BEMP	0	R/W*1	パイプ 2 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BEMP	0	R/W*1	パイプ 1 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
0	PIPE0BEMP	0	R/W*1	パイプ 0 の BEMP 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

【注】 \*1 0 書き込みのみ有効です。

\*2 複数パイプの要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + バスロックで 3 サイクル以上のアクセスサイクルが必要です。

## 25.3.21 フレームナンバーレジスタ (FRMNUM)

アイソクロナスエラー通知の要因判別、SOFR 割り込み動作モードの選択、およびフレーム番号の表示をします。  
本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	SOFRM	FRNM[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*1	R/W*1	R	R	R/W	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN	0	R/W*1	オーバーラン / アンダーラン*2 0: エラーなし 1: エラー発生 アイソクロナス転送中のパイプに対する NRDY 割り込みによるエラー通知の要因がデータバッファエラーであることを示します。 詳細は、表 25.8 および表 25.9 を参照してください。
14	CRCE	0	R/W*1	受信データエラー*2 0: エラーなし 1: エラー発生 アイソクロナス転送中のパイプに対する NRDY 割り込みによるエラー通知の要因がパケットエラーであることを示します。 詳細は、表 25.8 および表 25.9 を参照してください。
13, 12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	SOFRM	0	R/W	フレーム番号更新割り込み出力モード • ファンクションコントローラ機能選択時 0: SOF 受信、タイム補間で割り込みアサート 1: SOF 破損、欠落時に割り込みアサート • ホストコントローラ機能選択時 0: SOF 送信時にアサート 1: 設定禁止 フレーム番号更新割り込みは、UFRMNUM.UFRNM = 000 以外の $\mu$ SOF パケット検出では発生しません。

ビット	ビット名	初期値	R/W	説明
10-0	FRNM [10:0]	H'000	R	<p>フレーム番号 フレーム番号が確認できます。</p> <p>ファンクションコントローラ機能選択時、本モジュールは、SOF パケット受信タイミングでフレーム番号を更新します。パケット破損などによりモジュールが SOF パケットを検出できない場合には、新しい SOF パケットを受信するまで FRNM の値を保持します。</p> <p>SOF 補間タイマによる FRNM ビットの更新は行いません。</p>

【注】 \*1 0 書き込みのみ有効です。

\*2 OVRN と CRCE の要因が発生している場合に、各ビットを同時ではなく連続してクリアするときには、140ns + バスクロックで 3 サイクル以上のアクセスサイクルが必要です。

表 25.8 アイソクロナス OUT 転送における NRDY 割り込み発生時のエラー情報

ビットステータス	発生タイミング	発生条件	検出エラー	動作
OVRN = 1	データパケットを受信	バッファメモリ読み出し完了前に新たなデータパケットを受信した	受信データバッファのオーバーラン	受信データを破棄
CRCE = 1	データパケットを受信	CRC エラーまたはビットスタッフィングエラーを検出した	受信パケットエラー	受信データを破棄

表 25.9 アイソクロナス IN 転送における NRDY 割り込み発生時のエラー情報

ビットステータス	発生タイミング	発生条件	検出エラー	動作
OVRN = 1	IN-Token 受信	バッファメモリ書き込み完了前に IN-Token を受信した	送信データバッファのアンダーラン	Zero-Length パケット送出
CRCE = 1	発生しません			

## 25.3.22 μフレームナンバーレジスタ (UFRMNUM)

μフレーム番号を表示します。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRMNUM[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	UFRMNUM[2:0]	000	R	μフレーム μフレーム番号が確認できます。 uSOFパケットの受信により、UFRMNUMビットをインクリメントします。 フルスピード動作時には、本ビットは常にB'000が読み出されます。

## 25.3.23 USB アドレスレジスタ (USBADDR)

USB アドレスを表示します。

本レジスタは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時のペリフェラルのアドレス設定は、PIPEMAXPレジスタのDEVSELビットを使用してください。

本レジスタは、パワーオンリセット、ソフトウェアリセット、およびUSBバスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	USBADDR[6:0]	H'00	R	USBアドレス USBアドレスを表示します。

### 25.3.24 USB リクエストタイプレジスタ (USBREQ)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

本レジスタは、パワーオンリセット、ソフトウェアリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納します。
7~0	BMREQUEST TYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納します。

【注】 \* ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

### 25.3.25 USB リクエストバリュージェジスタ (USBVAL)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ペリフェラルコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

本レジスタは、パワーオンリセット、ソフトウェアリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WVALUE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュー USB リクエスト wValue の値を格納します。

【注】 \* ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

### 25.3.26 USB リクエストインデックスレジスタ (USBINDEX)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

本レジスタは、パワーオンリセット、ソフトウェアリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト windex の値を格納します。

【注】 \* ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

### 25.3.27 USB リクエストレングスレジスタ (USBLENG)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

ペリフェラルコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

本レジスタは、パワーオンリセット、ソフトウェアリセット、および USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WLENGTH[15:0]	H'0000	R/W*	レングス USB リクエスト wLength の値を格納します。

【注】 \* ファンクションコントローラ機能を選択したときは、読み出しのみ可能です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

## 25.3.28 DCP コンフィギュレーションレジスタ (DCPCFG)

デフォルトコントロールパイプ (DCP) に対して、連続転送モードか非連続転送モードか、PIPE 継続するかどうか、および転送終了時のパイプ動作を禁止するかどうかの選択をします。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CNTMD	SHT NAK	—	—	DIR	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	CNTMD	0	R/W	連続転送モード 0: 非連続転送モード 1: 連続転送モード DCP バッファメモリはコントロールリード転送およびコントロールライト転送で共通バッファを使用するため、CNTMD ビットはどちらの転送方向でも共通のビットになります。
7	SHTNAK	0	R/W	DCP の転送終了時パイプ禁止モード 0: 転送終了時にパイプ継続 1: 転送終了時にパイプ禁止 (応答 PID を NAK にする)
6, 5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	DIR	0	R/W	転送方向 ホストコントローラ機能選択時のコントロール転送のデータステージ、ステータスステージの転送方向を設定します。ファンクションコントローラ機能選択時は、本ビットの値を0に設定してください。 0: データ受信方向 1: データ送信方向
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 25.3.29 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[1:0]		—	—	—	—	—	—	—	MXPS[6:0]						
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R*	R*	R*

ビット	ビット名	初期値	R/W	説明
15、14	DEVSEL[1:0]	00	R/W	デバイス選択 ホストコントローラ機能選択時に通信相手のデバイスアドレスを指定します。ファンクションコントローラ機能を選択したときは、本ビットの値を B'00 に設定してください。 00 : アドレス 00 01 : アドレス 01 10 : アドレス 10 11 : アドレス 11
13~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	MXPS[6:0]	H'40	R/W*	マックスパケットサイズ DCP のマックスパケットサイズを指定します。 USB 規格以外の設定は行わないでください。また、MXPS[2:0]は 0 に固定されています。

【注】 \* MXPS[2:0]への書き込みは無効です。

## 25.3.30 DCP コントロールレジスタ (DCPCTR)

DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。また、USB パスリセットで CCPL、PID[2:0]ビットは初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	—	—	—	—	—	SQCLR	SQSET	SQMON	—	—	—	CCPL	PID[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R	R/W*2	R	R	R	R	R	R*1/ W*2	R*1/ W*2	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSTS	0	R	バッファステータス 0 : バッファアクセス不可 1 : バッファアクセス可 バッファアクセスの方向が書き込みなのか読み出しなのかは、CFIFOSEL.ISEL ビットの設定値によって決まります。
14	SUREQ	0	R/W*2	セットアップトークン送出 本ビットを 1 にセットすることにより、セットアップパケットを送信します。本モジュールは、セットアップトランザクション完了後、本ビットを 0 にします。なお、本ビットの値が 1 の間は、USBREQ、USBVAL、USBINDX、USBLENG レジスタに書き込みを行わないでください。 0 : 無効 1 : セットアップパケット送出
13~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SQCLR	0	R*/W*2	トグルビットクリア*3*4 0 : 無効 1 : DATA0 指定
7	SQSET	0	R*/W*2	トグルビットセット*3*4 0 : 無効 1 : DATA1 指定
6	SQMON	1	R	トグルビット確認 0 : DATA0 1 : DATA1 ファンクションコントローラ機能選択時、本ビットは、コントロール転送の SETUP トークン受信直後に、本モジュールにより 1 に初期化されます。
5~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2	CCPL	0	R/W	コントロール転送終了許可 0 : 無効 1 : コントロール転送終了 ファンクションコントローラ機能選択時、本ビットは SETUP トークン受信直後に 0 にクリアされます。ホストコントローラ機能選択時は、本ビットを 0 にしてください。
1、0	PID[1:0]	00	R/W	応答 PID 00 : NAK 応答 01 : BUF 応答 (バッファ状態に従う) 10 : STALL 応答 11 : STALL 応答 ファンクションコントローラ機能選択時、本ビットは SETUP トークン受信直後に B'00 にクリアされます。また、転送エラーの発生時などは、本コントローラにより本ビットが設定され、転送を終了します。

- 【注】
- \*1 0 読み出しのみ有効です。
  - \*2 1 書き込みのみ有効です。
  - \*3 SQCLR ビットおよび SQSET ビットを同時に 1 にセットしないでください。なお、どちらのビット操作も PID = NAK に設定のうえ行ってください。
  - \*4 SQSET ビットまたは SQCLR ビット、および PIPEnCTR レジスタの SQSET ビットまたは SQCLR ビットを連続して変更する場合 (複数パイプのデータ PID シーケンスストグルビットを連続して変更する場合には、120ns + バスクロック 5 クロック以上のアクセスサイクルが必要です。

### 25.3.31 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ1~7のうち、使用するパイプを選択します。パイプを選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタに、各パイプの機能設定を行います。PIPEEnCTR レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

パワーオンリセット、ソフトウェアリセット、および USB バスリセット時は、選択されているパイプだけではなく、すべてのパイプのレジスタの該当ビットが初期化されます。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	PIPESEL[2:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PIPESEL [2:0]	000	R/W	パイプウィンドウ選択 000: 未選択 001: パイプ1 010: パイプ2 011: パイプ3 100: パイプ4 101: パイプ5 110: パイプ6 111: パイプ7  PIPESEL = 000 設定時は、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、および PIPEEnCTR レジスタの各ビットに、すべて0が読み出されます。

## 25.3.32 パイプコンフィギュレーションレジスタ (PIPECFG)

パイプ1~7に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。また、USB バスリセットで TYPE[1:0]は初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]	—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	TYPE[1:0]	00	R/W	転送タイプ <ul style="list-style-type: none"> <li>• パイプ 1、2 の場合               <ul style="list-style-type: none"> <li>00: パイプ使用不可</li> <li>01: バルク転送</li> <li>10: 設定禁止</li> <li>11: アイソクロナス転送*</li> </ul> </li> <li>• パイプ 3~5 の場合               <ul style="list-style-type: none"> <li>00: パイプ使用不可</li> <li>01: バルク転送</li> <li>10: 設定禁止</li> <li>11: 設定禁止</li> </ul> </li> <li>• パイプ 6、7 の場合               <ul style="list-style-type: none"> <li>00: パイプ使用不可</li> <li>01: 設定禁止</li> <li>10: インタラプト転送</li> <li>11: 設定禁止</li> </ul> </li> </ul>
13~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	BFRE	0	R/W	BRDY 割り込み動作指定 <ul style="list-style-type: none"> <li>0: データ送受信で BRDY 割り込み</li> <li>1: データ読み出しで BRDY 割り込み</li> </ul> BFRE = 1 と設定した場合、データ書き込み方向時は BRDY 割り込みが発生しません。

ビット	ビット名	初期値	R/W	説明
9	DBLB	0	R/W	<p>ダブルバッファモード</p> <p>0: シングルバッファ 1: ダブルバッファ</p> <p>本ビットはパイプ 1~5 選択時に有効です。</p> <p>あるパイプに対して本ビットの設定を動的に切り替える場合には、以下の手順を守ってください。</p> <ul style="list-style-type: none"> <li>シングルバッファからダブルバッファへの切り替え時 (DBLB = 0 → DBLB = 1) <ol style="list-style-type: none"> <li>当該パイプの応答 PID を NAK に設定</li> <li>PIPEnCTR.ACLRm = 1</li> <li>100ns ソフトウェアで待つ</li> <li>ACLRm = 0</li> <li>DBLB ビット変更</li> <li>応答 PID を BUF に設定</li> </ol> </li> <li>ダブルバッファからシングルバッファへの切り替え時 (DBLB = 1 → DBLB = 0) <ol style="list-style-type: none"> <li>当該パイプの応答 PID を NAK に設定</li> <li>DBLB ビット変更</li> <li>PIPEnCTR.ACLRm = 1</li> <li>100ns ソフトウェアで待つ</li> <li>ACLRm = 0</li> <li>応答 PID を BUF に設定</li> </ol> </li> </ul>
8	CNTMD	0	R/W	<p>連続転送モード</p> <p>本ビットは、パイプ 1~5 にてバルク転送選択時 (TYPE = 01) に有効です。アイソクロナス転送選択時 (TYPE = 11) は CNTMD = 1 に設定しないでください。また、パイプ 6、7 を選択したときには、CNTMD = 1 に設定しないでください。</p> <p>0: 非連続転送モード 1: 連続転送モード</p>
7	SHTNAK	0	R/W	<p>トランスファ終了時のパイプ禁止</p> <p>0: トランスファ終了時にパイプ継続 1: トランスファ終了時にパイプ禁止</p>
6、5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	DIR	0	R/W	<p>転送方向</p> <p>0: 受信方向 1: 送信方向</p>
3~0	EPNUM[3:0]	0000	R/W	<p>エンドポイント番号</p> <p>当該パイプのエンドポイント番号を指定します。</p>

【注】 \* アイソクロナス OUT 転送を使用する場合は、「25.5.1 アイソクロナス OUT 転送を使用する際の注意事項」を参照してください。

## 25.3.33 パイプバッファ指定レジスタ (PIPEBUF)

パイプ1~7に対して、バッファサイズおよびバッファ番号を指定します。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BUFSIZE[4:0]						—	—	—	BUFNMB[6:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~10	BUFSIZE [4:0]	H'00	R/W	バッファサイズ 当該パイプのバッファサイズを指定します。 (0: 64 バイトから H'1F: 2K バイト) PIPESEL レジスタの PIPESEL ビットで選択したパイプに応じて、本ビットに設定可能な値が異なります。 パイプ1~5の場合: BUFSIZE = H'00 ~ H'1F を設定してください。 パイプ6, 7の場合: BUFSIZE = H'00 を設定してください。
9~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	BUFNMB [6:0]	H'00	R/W	バッファ番号 当該パイプのバッファ番号を H'04 ~ H'7F で指定します。 BUFNMB ビットはパイプ1~5 選択時にはシステムに合わせた設定ができます。 BUFNMB = 0~3 は DCP 専用です。BUFNMB = 4, 5 はパイプ6, 7 に配置されています。 パイプ1~5の場合: BUFNMB = H'06 ~ H'7F を設定してください。 ただし、PIPE7 を使用しない場合は BUFNMB = H'05 ~ H'7F、 パイプ6, 7 を使用しない場合は BUFNMB = H'04 ~ H'7F を設定可能です。 パイプ6の場合: 本ビットに対する書き込みは無効、読み出しは常に BUFNMB = 4 です。 パイプ7の場合: 本ビットに対する書き込みは無効、読み出しは常に BUFNMB = 5 です。

## 25.3.34 パイプマックスパケットサイズレジスタ (PIPEMAXP)

パイプ1~7に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[1:0]		—	—	—	MXPS[10:0]										
初期値:	0	0	0	0	0	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	DEVSEL[1:0]	00	R/W	デバイス選択 ホストコントローラ機能選択時にペリフェラルのデバイスアドレスを指定します。ファンクションコントローラ機能を選択したときは、本ビットの値を B'00 に設定してください。 00 : アドレス 00 01 : アドレス 01 10 : アドレス 10 11 : アドレス 11
13~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	MXPS[10:0]	*	R/W	マックスパケットサイズ 当該パイプのマックスパケットサイズを指定します。 本ビットは転送タイプごとに USB 規格に定義されている範囲の値を設定してください。

【注】 \* PIPESEL レジスタの PIPESEL ビットでパイプを選択していないとき H'000、選択しているとき H'040 です。

## 25.3.35 パイプ周期制御レジスタ (PIPEPERI)

パイプ1、2に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	—	IITV[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ 0: バッファフラッシュしない 1: バッファフラッシュする  本ビットは、ファンクションコントローラ機能選択時のみ有効です。 本ビットを使用する場合には、以下の手順で設定する必要があります。 <ul style="list-style-type: none"> <li>アイソクロナス IN 転送開始時 <ol style="list-style-type: none"> <li>IFIS = 1</li> <li>PIPECTR.PID[1:0] = 01 (BUF)</li> <li>Iso-IN PIPE の FIFO バッファへ送信データを書き込み</li> </ol> </li> <li>アイソクロナス IN 転送終了時 <ol style="list-style-type: none"> <li>PID[1:0] = 00 (NAK)</li> <li>PIPECTR.ACLR = 1</li> <li>100ns 以上のウェイト</li> <li>ACLR = 0</li> </ol> </li> </ul> 【注】IFIS を使用しない転送の場合では、上記の手順は特に必要ありません。 【注】IFIS を使用しない転送の場合では、ACLR の設定は必要ありません。
11~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	IITV[2:0]	000	R/W	<p>インターバルエラー検出間隔</p> <p>インターバルタイミングをフレームタイミングの2のn乗で指定します。</p> <p>本ビットは、ファンクションコントローラ機能選択時、アイソクロナス転送を選択した場合のみ有効です。すなわち、パイプ1、2 選択時のみ設定可能です。</p> <p>OUT 方向設定時：本ビットに設定した間隔でホストからの OUT トークンを受信しない場合に NRDY 割り込みでインターバルエラーを検出し、NRDY 割り込みを発生させます。</p> <p>IN 方向設定時：本ビットに設定した間隔でホストからの IN トークンを受信しない場合インターバルエラーを検出し、IFIS = 1 であればバッファフラッシュ(バッファクリア)します。</p> <p>ホストコントローラ機能選択時は、本ビットはアイソクロナス転送とインタラプト転送に有効です。</p>

## 25.3.36 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~7)

パイプ1~7に対して、当該パイプのバッファメモリステータスの確認、データPIDシーケンスビットの変更と確認、オート応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答PIDの設定を行います。本設定は、PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットおよびソフトウェアリセットで初期化されます。また、USBバスリセットでPID[1:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	—	—	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	—	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 0: バッファアクセス不可 1: バッファアクセス可 バッファアクセスが書き込み方向か読み出し方向かは、PIPECFGレジスタのDIRビットによって決まります。詳細は、「25.4 動作説明」を参照してください。
14	INBUFM	0	R	送信バッファモニタ 本ビットは、当該パイプを送信方向に設定している場合に有効な値を示します。 0: バッファメモリに送信可能データなし 1: バッファメモリに送信可能データあり 【注】本ビットは、パイプ1~5に対して有効なビットです。
13~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	ATREPM	0	R/W	オート応答モード 0: 通常モード 1: オート応答モード 【注】本ビットは、パイプ1~5に対して有効なビットです。
9	ACLRM	0	R/W	自動バッファクリアモード 0: 禁止 1: 許可 (全バッファ初期化) CFIFOSEL/DnFIFOSELレジスタのCURPIPEビットで選択しているパイプに対して、ACLRM=1を設定しないでください。
8	SQCLR	0	R/W*1	トグルビットクリア*2*3 0: 無効 1: DATA0 指定

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	トグルビットセット*2*3 0:無効 1:DATA1 指定
6	SQMON	0	R	トグルビット確認 0:DATA0 1:DATA1
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PID[1:0]	00	R/W	応答 PID*3 00: NAK 応答 01: BUF 応答 (バッファ状態に従う) 10: STALL 応答 11: STALL 応答 ホストコントローラ機能選択時に PID = BUF 設定以外の場合、トークンは発行されません。転送エラーの発生時など、コントローラにより PID ビットが設定されて、転送を終了します。

【注】 \*1 0 読み出し、1 書き込みのみ有効です。

\*2 SQSET ビットまたは SQCLR ビット、および DCPCTR レジスタの SQSET ビットまたは SQCLR ビットを連続して変更する場合 (複数パイプに渡りデータ PID のシーケンストグルビットを連続して変更する場合には、120ns + バスクロック 5 サイクル以上のアクセスサイクルが必要です。

\*3 SQCLR ビットおよび SQSET ビットを同時に 1 に設定しないでください。また、どちらのビット操作も PID = NAK に設定のうえ行ってください。なお、転送タイプをアイソクロナス転送に設定している (TYPE = 11) 場合は、SQSET ビットへの書き込みは無効です。

## 25.3.37 USB AC 特性切り替えレジスタ (USBACSWR)

USBACSWR は、本モジュールに内蔵している USB トランシーバの設定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	UACS23	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23	UACS23	0	R/W	USB AC 特性スイッチ USB トランシーバの設定を行います。*
22~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 \* 本モジュールを使用する際は、必ず本ビットに1をライトしてください。詳細は、「25.5.2 USB トランシーバの設定手順」を参照してください。

## 25.4 動作説明

### 25.4.1 システム制御

本節では、本モジュールの初期設定に必要なレジスタ操作および消費電力制御を行うために必要なレジスタについて説明します。

#### (1) リセット

表 25.10 に本モジュールのリセット種別の一覧を示します。なお、各リセット動作後のレジスタ初期化状態については、「25.3 レジスタの説明」を参照してください。

表 25.10 リセット種別一覧表

名称	操 作
パワーオンリセット	RES 端子からのローレベル入力
ソフトウェアリセット	SYSCFG レジスタの USBE ビットで操作
USB バスリセット	ファンクションコントローラ機能選択時に、本モジュールが D+、D-ラインから自動検出

#### (2) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG レジスタの DCFM ビットで行ってください。

#### (3) ハイスピード動作の許可

本モジュールは、ソフトウェアにて、USB 通信速度（通信ビットレート）をハイスピード動作またはフルスピード動作のどちらかに設定できます。本モジュールのハイスピード動作を許可する場合は、SYSCFG レジスタの HSE ビットを 1 に設定してください。HSE ビットの変更は、パワーオンリセット直後の初期設定または D+ のプルアップ禁止状態（DPRPU = 0）のときに行ってください。

ハイスピード動作が許可されている場合は、本モジュールがリセットハンドシェイクプロトコルを実行し、USB 通信速度を自動的に設定します。リセットハンドシェイクの結果は、DVSTCTR レジスタの RHST ビットで確認できます。

ハイスピード動作が禁止されている場合は、本モジュールはフルスピードでのみ動作します。

## (4) USB データバス抵抗制御

図 25.1 に本モジュールと USB コネクタの接続図を示します。

本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗を内蔵しています。SYSCFG レジスタの DPRPU、DMRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

また、本モジュールは D+、D-信号のハイスピード動作時の終端抵抗とフルスピード動作時の出力抵抗の制御を行います。ホストコントローラまたは周辺機器との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本モジュールが自動的に行います。ホストコントローラまたは周辺機器からの切断を検出した場合は、ソフトウェアリセット (SYSCFG.USBE=0) によって本モジュールを初期状態にしてください。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に SYSCFG レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗 (または終端抵抗) をディスエーブルにしますので、USB ケーブルを接続したままで、デバイスの切断および接続をソフトウェアで制御することができます。

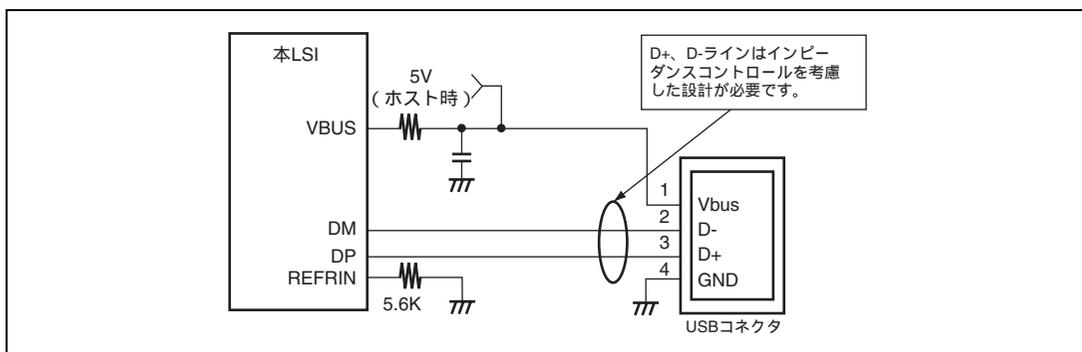


図 25.1 USB コネクタ接続図

## 25.4.2 割り込み機能

表 25.11 に本モジュールの割り込み発生条件一覧表を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、本モジュールは割り込みコントローラ (INTC) へ USB 割り込み要求信号を出力します。

表 25.11 割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> <li>VBUS 入力端子の状態変化を検出したとき (L H、H L の両方の変化)</li> </ul>	ホスト、 ファンクション	VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> <li>サスペンド状態において USB バスの状態変化を検出したとき (J-State K-State または J-State SE0)</li> </ul>	ファンクション	-
SOFR	フレーム番号更新 割り込み	[ ホストコントローラ機能選択時 ] <ul style="list-style-type: none"> <li>フレーム番号の異なる SOF パケットを送信したとき</li> </ul> [ ファンクションコントローラ機能選択時 ] <ul style="list-style-type: none"> <li>SOFRM = 0 : フレーム番号の異なる SOF パケットを受信したとき</li> <li>SOFRM = 1 : <math>\mu</math>フレーム番号が 0 のときの SOF をパケット破損などで受信できなかったとき</li> </ul>	ホスト、 ファンクション	-
DVST	デバイスステート 遷移割り込み	<ul style="list-style-type: none"> <li>デバイスステートの遷移を検出したとき</li> <li>USB バスリセット検出</li> <li>サスペンド状態検出</li> <li>Set Address リクエストの受信</li> <li>Set Configuration リクエストの受信</li> </ul>	ファンクション	DVSQ
CTRT	コントロール転送 ステージ遷移割り込み	<ul style="list-style-type: none"> <li>コントロール転送のステージ遷移を検出したとき</li> <li>セットアップステージ完了</li> <li>コントロールライト転送ステータスステージ遷移</li> <li>コントロールリード転送ステータスステージ遷移</li> <li>コントロール転送完了</li> <li>コントロール転送シーケンスエラー発生</li> </ul>	ファンクション	CTSQ
BEMP	バッファエンプティ 割り込み	<ul style="list-style-type: none"> <li>バッファメモリ中の全データを送信してバッファが空になったとき</li> <li>マックスパケットサイズを超えたパケットを受信したとき</li> </ul>	ホスト、 ファンクション	BEMPSTS. PIPEBEMP

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
NRDY	バッファノットレディ 割り込み	[ ホストコントローラ機能選択時 ] • 発行したトークンに対してファンクション側からの STALL を受信したとき • 発行したトークンに対してファンクション側からの応答がなかったとき (無応答) • アイソクロナス転送時にオーバラン / アンダーランが発生したとき [ ファンクションコントローラ機能選択時 ] • IN トークンを受信時にバッファメモリに送信可能なデータがないとき • OUT トークンを受信時にバッファメモリにデータ格納領域がなく受信できないとき • アイソクロナス転送でデータ受信時に CRC エラー、ビットスタッフエラーが発生したとき	ホスト、 ファンクション	NRDYSTS. PIPENRDY
BRDY	バッファレディ 割り込み	• バッファがレディ (リードまたはライト可能状態) になったとき	ホスト、 ファンクション	BRDYSTS. PIPEBRDY
BCHG	バス変化割り込み	• USB バスステートの変化を検出したとき	ホスト、 ファンクション	-
DTCH	フルスピード動作時 切断検出	• フルスピード動作時にファンクションの切断を検出したとき	ホスト	-
SACK	SETUP 正常	• セットアップトランザクションの正常応答 (ACK) を受信したとき	ホスト	-
SIGN	SETUP エラー	• セットアップトランザクションのエラー (無応答*、ACK パケット破損) を検出したとき	ホスト	-

【注】 \* ある一定期間内に SYNC フィールドを検出できなかったとき、無応答と認識します。

図 25.2 に本モジュールの割り込み関連図を示します。

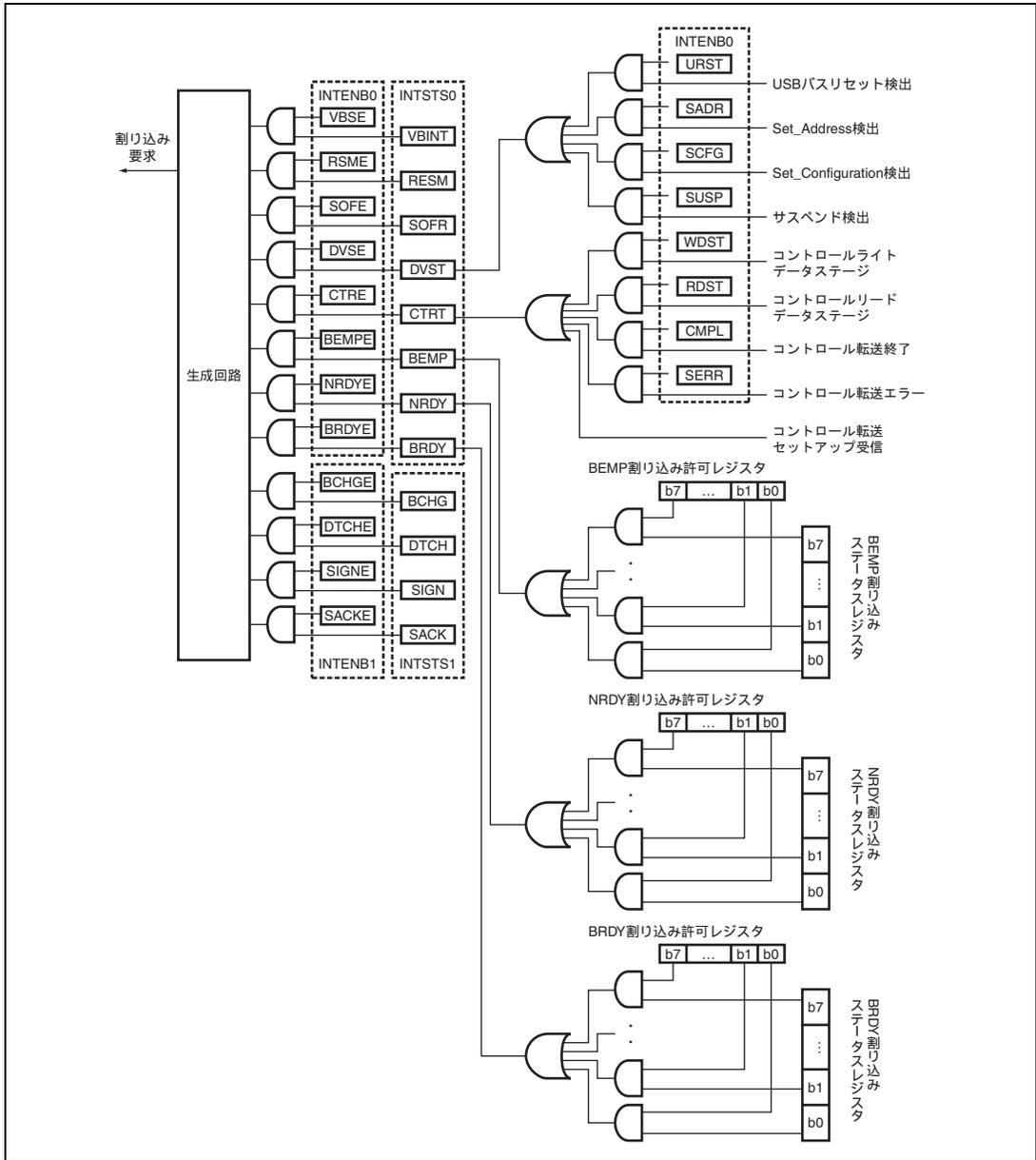


図 25.2 割り込みの関連図

## (1) BRDY 割り込み

BRDY 割り込みは、ホスト、ファンクションのどちらの機能を選択したときでも発生します。各パイプが表 25.12 の条件を満たしたときに、本モジュールは BRDYSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの BRDYE ビットを 1 に設定していれば、本モジュールは BRDY 割り込みを発生させます。

図 25.3 に BRDY 割り込み発生タイミング図を示します。

本モジュールが INTSTS0 レジスタの BRDY ビットをクリアする条件は、INTENB1 レジスタの BRDYM ビットの設定値によって異なります。表 25.13 に BRDY ビットクリア条件を示します。

なお、ファンクションコントローラ機能選択時の下記 1 の条件では、IN トークンに対し常に Zero-Length パケットを送信し BRDY 割り込みは発生しません。

1. 転送タイプがバルクIN転送に設定しており、PID = BUF設定であり、かつ、該当パイプのPIPEnCTRレジスタのATREPMビットにH'01を設定してあるとき

表 25.12 BRDY 割り込み発生条件表

アクセス方向	転送方向	パイプ	BFRE	DBLB	BRDY 割り込み発生条件
読み出し	受信	DCP	-	-	下記いずれかの受信を行ったとき <ul style="list-style-type: none"> <li>Zero-Length パケットを含むショートパケット受信</li> <li>バッファがフルになるまでデータを受信</li> </ul>
		1~7	0	0	下記いずれかの受信を行ったとき <ul style="list-style-type: none"> <li>Zero-Length パケットを含むショートパケット受信</li> <li>バッファがフル*になるまでデータを受信</li> <li>バッファはフルではないがトランザクションカウンタが終了</li> </ul>
				1	下記いずれかを満たしたとき <ul style="list-style-type: none"> <li>バッファの両面ともに受信待ちの状態、1.~3.のいずれかの方法で受信を行った  <ol style="list-style-type: none"> <li>Zero-Length パケットを含むショートパケット受信</li> <li>バッファの片側がフル*になるまでデータを受信</li> <li>バッファはフルではないがトランザクションカウンタが終了</li> </ol> </li> <li>バッファの両面ともに読み出し待ちの状態、バッファの片側の受信データの読み出しを完了した</li> <li>バッファの両面ともに読み出し待ちの状態、ソフトウェアで BCLR = 1 を行い、片側の受信データをクリアした</li> <li>連続転送モードに設定している場合 (PIPECFG.CNTMD = 1) に、SIE 側バッファにデータがある状態で CFIFOSIE.TGL = 1 を行った</li> </ul>
				1	Don't Care

【注】 \* このバッファフルとは、非連続転送 (CNTMD = 0) 設定の場合はマックスパケットサイズのデータが受信、連続転送 (CBTMD = 1) の場合はバッファサイズ分のデータを受信したことになります。

アクセス方向	転送方向	パイプ	BFRE	DBLB	BRDY 割り込み発生条件
書き込み	送信	DCP	-	-	発生しない
		1~7	0	0	下記いずれかを満たしたとき <ul style="list-style-type: none"> <li>ソフトウェアで転送方向を受信から送信に変更した</li> <li>送信可能データがバッファにある状態で、当該データの送信を完了した</li> <li>送信可能データがバッファにある状態で、ソフトウェアが ACLRM = 1 を設定した</li> <li>送信可能データがバッファにある状態で、ソフトウェアが SCLR = 1 を設定した</li> </ul>
					1
		1	Don't Care	発生しない	

Zero-Length パケットを受信した場合、BRDYSTS レジスタの該当するビットが 1 になりますが、当該パケットのデータの読み出しはできません。BRDYSTS レジスタをクリアした後、バッファクリア (BCLR = 1) を行ってください。

また、パイプ 1~7 では、読み出し方向で DMA 転送を使用している場合に、PIPECFG レジスタの BFRE ビットを 1 に設定することより、トランスファ単位で割り込みを発生させることが可能です。

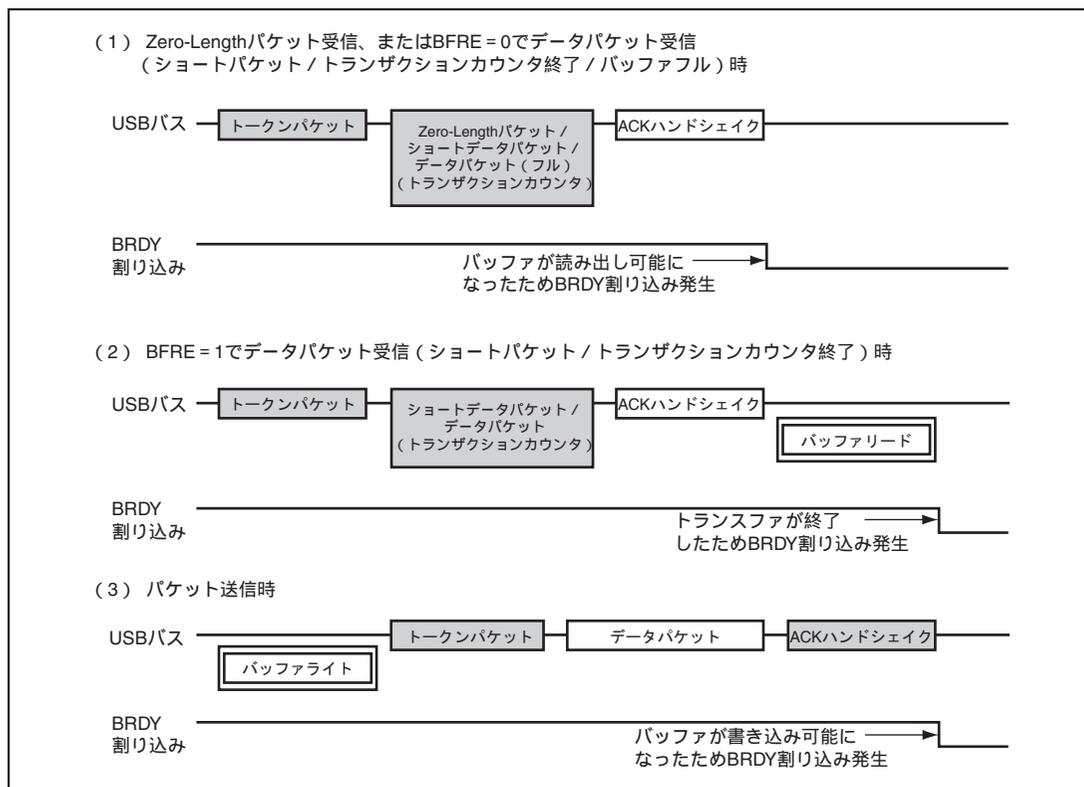


図 25.3 BRDY 割り込み発生タイミング図

表 25.13 本モジュールによる BRDY ビットクリア条件表

BRDYM	BRDY ビットクリア条件
0	ソフトウェアが BRDYSTS レジスタの全ビットをクリアすると、本モジュールは INTSTS0 レジスタの BRDY ビットをクリアします。
1	全パイプの BSTS ビットが 0 になったときに、本モジュールは INTSTS0 レジスタの BRDY ビットをクリアしません。

## (2) NRDY 割り込み

各パイプが下記の条件を満たしたときに、本モジュールは NRDYSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する NRDYENB レジスタの PIPENRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの NRDYE ビットを 1 に設定していれば、本モジュールは NRDY 割り込みを発生させません。ソフトウェアが NRDYSTS レジスタの全ビットをクリアすると、本モジュールが INTSTS0 レジスタの NRDY ビットをクリアします。

## (a) ホストコントローラ機能選択時

以下いずれかの条件で NRDY 割り込みが発生します。このとき、PID ビットをハードウェアが設定してトークンの発生を停止します。PID ビットの動作については、「25.4.3 (4) 応答 PID」を参照してください。

- 発行したトークンに対してペリフェラル側からのSTALLを受信した場合
- 発行したトークンに対してペリフェラル側からの応答がなかった場合 (無応答)

【注】 ある一定期間内に SYNC フィールドを検出できなかったとき、無応答と認識します。

- アイソクロナス転送時にオーバーラン / アンダーランエラーが発生した場合

ただし、セットアップトランザクションにおいて、ペリフェラル側の ACK を受信できない場合は、SIGN 割り込みが発生します。

## (b) ファンクションコントローラ機能選択時

以下の条件で NRDY 割り込みを発生させます。

## 1. データ送信時

- PIPE<sub>n</sub>CTR レジスタのPIDビットがPID=BUFの状態、かつ、バッファメモリに送信データがない状態で、IN トークンを受信 (アンダーラン) したとき

## 2. データ受信時

- PIPE<sub>n</sub>CTR レジスタのPIDビットがPID=BUFの状態、かつ、バッファメモリに受信データを格納する領域がない状態で、OUTトークンまたはPINGトークンを受信 (オーバーラン) したとき
- 転送タイプがバルク転送でマックスパケットサイズが未設定 (MXPS=0) のパイプに、OUTトークンまたはPINGトークンを受信したとき
- アイソクロナス転送でCRCエラー、ビットスタッフエラーが発生したとき
- アイソクロナス転送でインターバルフレーム以外でトークンを受信したとき (インターバルエラー)

図 25.4 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

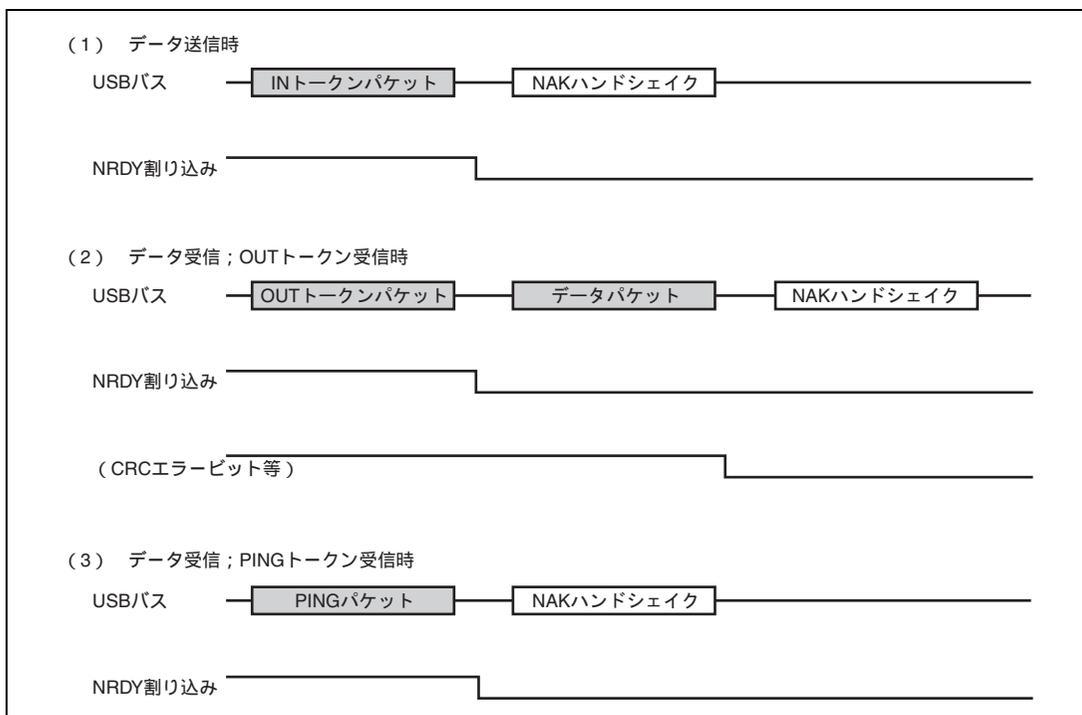


図 25.4 ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図

## (3) BEMP 割り込み

各パイプが下記の条件を満たしたときに、本モジュールは BEMPSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する BEMPENB レジスタの PIPEBEMPE ビットを 1 に設定し、かつ、INTENB0 レジスタの BEMPE ビットを 1 に設定していれば、本モジュールは BEMP 割り込みを発生させません。ソフトウェアが BEMPSTS レジスタの全ビットをクリアすると、本モジュールは INTSTS0 レジスタの BEMP ビットをクリアします。

## 1. 送信方向 (バッファメモリ書き込み) 設定時

バッファメモリに格納されたすべてのデータが送信されたとき。

ただし、バッファメモリをダブルバッファで使用している場合は、下記の条件に従います。

- 片側のバッファがエンプティ状態で、かつ、反対側バッファからのデータ送信が完了したときは、BEMP 割り込みが発生します。
- 片側のバッファへのデータの書き込みが 8 バイト未満で、かつ、反対側バッファからデータが送信し終わったときは、BEMP 割り込みが発生します。ただし、BVAL=1 設定により書き込み終了したときは、データの書き込みが 8 バイト未満でも BEMP 割り込みは発生しません。

## 2. 受信方向 (バッファメモリ読み出し) 設定時

受信したデータパケットサイズが設定したマックスパケットサイズを超えたとき。

このとき、マックスパケットサイズを 0 以外に設定 (MXPS≠0) していた場合は、本モジュールは当該パイプの PID ビットを STALL に設定します。

図 25.5 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

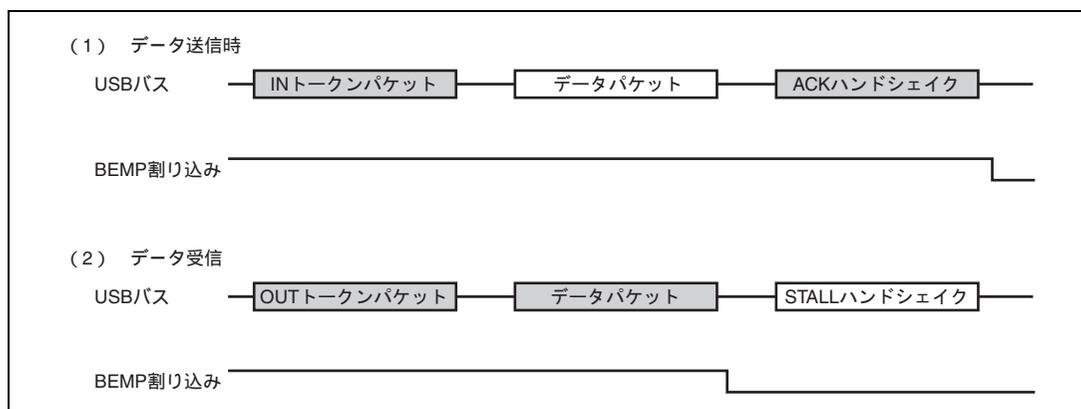


図 25.5 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

#### (4) デバイスステート遷移割り込み

図 25.6 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

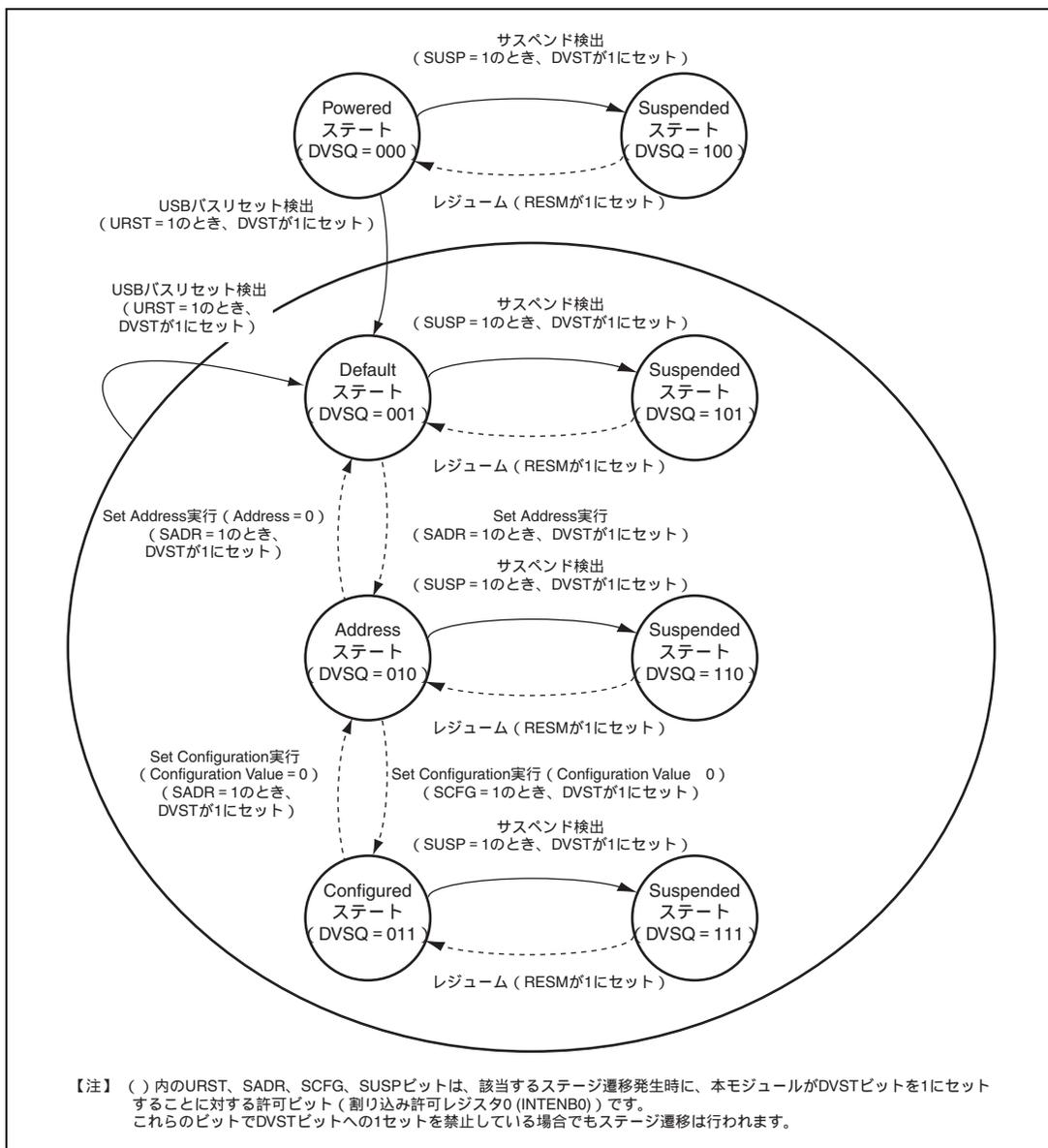


図 25.6 デバイスステート遷移図

## (5) コントロール転送ステージ遷移割り込み

図 25.7 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL 応答) になります。

## 1. コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATAPID = DATA0のパケットを受信

## 2. コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATAPID = DATA0のパケットを受信
- ステータスステージでOUTまたはPINGトークン受信

## 3. コントロールライトノデータコントロール転送時

- ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (SERR = 1 設定) は、CTSQ = 110 の値がシステムから CTRT = 0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ = 110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します)。

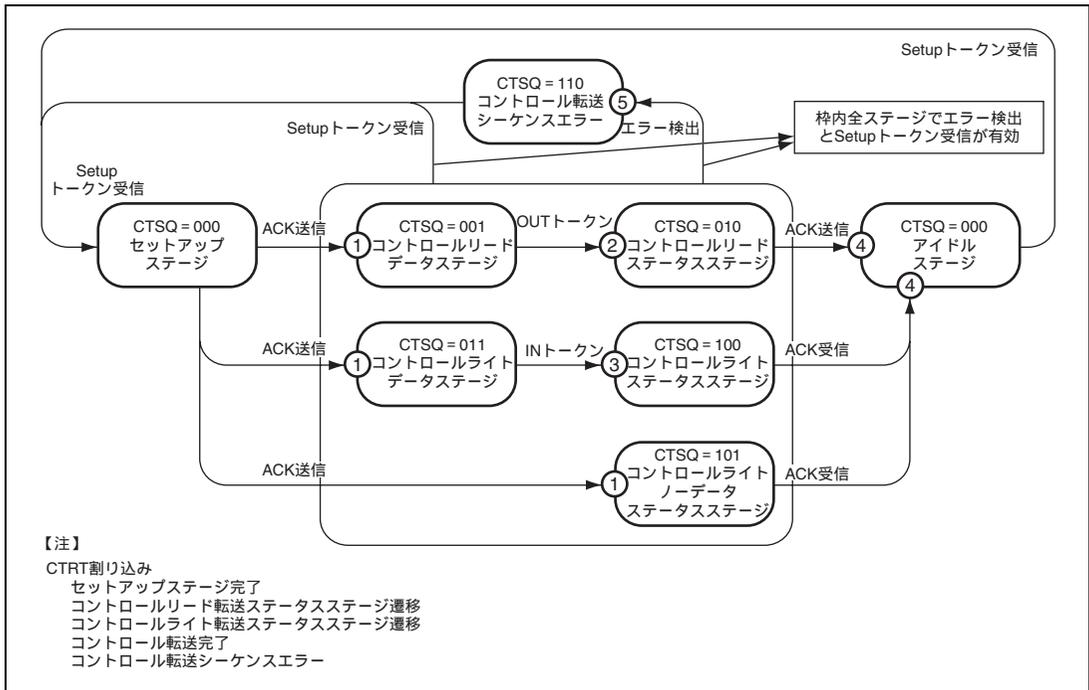


図 25.7 コントロール転送ステージ遷移図

## (6) フレーム更新割り込み

図 25.8 に本モジュールの SOFR 割り込み出力タイミング例を示します。

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたとき、または SOF パケット破損を検出したときに SOFR 割り込みが発生します。FRMNUM レジスタの SOFRM ビットにて割り込み動作を指定してください。

ただし、ホストコントローラ機能を選択した場合は、SOFRM = 1 に設定しないでください。

## 1. SOFRM = 0 選択時

フレーム番号更新タイミング (約 1ms の間隔) で SOFR 割り込みが発生します。SOF パケット破損または欠落時にも内部補間機能により割り込みが発生します。ハイスピード通信中も、フレーム番号更新タイミング (約 1ms の間隔) で割り込みが発生します。

## 2. SOFRM = 1 選択時

SOF パケット破損および欠落時に SOFR 割り込みが発生します。なお、ハイスピード通信中は、同一フレーム番号を持つ  $\mu$  SOF パケットの最初のパケットが破損または欠落した場合のみ割り込みが発生します

(SOF 破損および欠落認識は SOF 補間機能によります。詳細は「25.4.9 SOF 補間機能」を参照してください)。

ファンクションコントローラ機能を選択した場合、本モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生します。しかし、ハイスピード動作中は  $\mu$  SOF ロック状態にならないと、フレーム番号を更新せず SOFR 割り込みも発生しません。また、SOF の補間機能も動作しません。 $\mu$  SOF ロック状態とは、エラーなしでフレーム番号の異なる  $\mu$  SOF パケットを 2 回連続受信することです。

なお、 $\mu$  SOF ロック監視開始条件および  $\mu$  SOF ロック監視停止条件は下記 1.、2. のとおりです。

1.  $\mu$  SOF ロック監視開始条件

USBE = 1

2.  $\mu$  SOF ロック監視停止条件

USBE = 0 (ソフトウェアリセット)、USB パスリセット受信、またはサスペンド検出

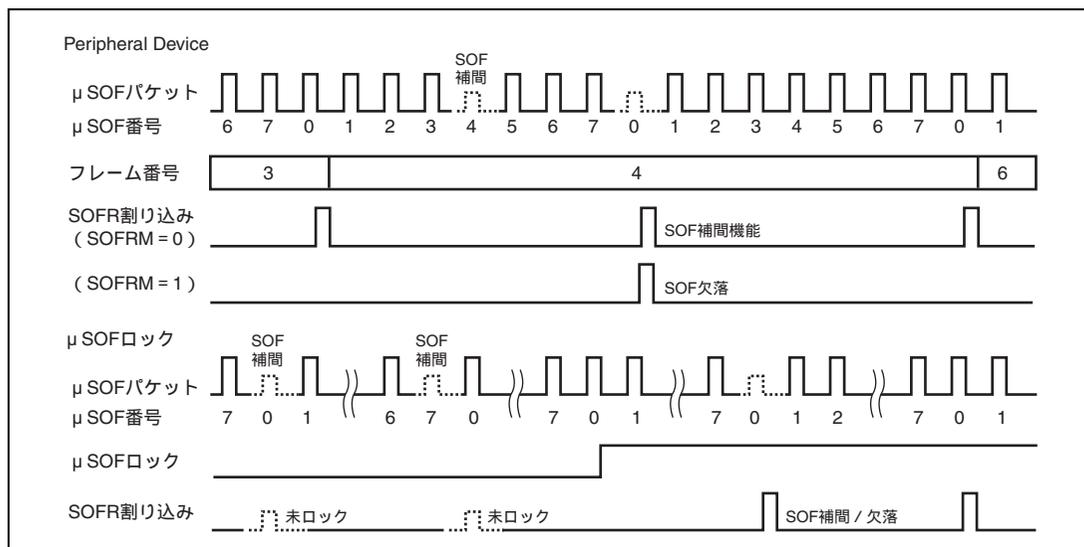


図 25.8 SOFR 割り込み出力タイミングの例

## (7) VBUS 割り込み

VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

## (8) レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State K-State または J-State SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

## (9) BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時のファンクション機器の接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

## (10) DTCH 割り込み

ホストコントローラ機能選択時にフルスピード動作中にデバイスの切断を検出すると、DTCH 割り込みが発生します。DTCH 割り込みは、SE0=25 $\mu$ s 以上にて検出されます。ハイスピードモードの場合には使用できませんので注意してください。ハイスピードモード時には、DTCHE=0 に設定してください。ハイスピードモードで切断を検出するには、定期的に標準リクエストのコントロール転送を行い、ペリフェラルからの応答がない場合に

切断と判断するなどの処理が必要です。

具体例としては、Set Configuration リクエスト実行後、Get Status リクエストに対するペリフェラルからの無応答を検出することで、実現可能です。

#### (11) SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対してペリフェラルからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

#### (12) SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対してペリフェラルからの ACK 応答を受信できなかった場合に SIGN 割り込みが発生します。ペリフェラルが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

【注】 ある一定期間内に SYNC フィールドを検出できなかったとき、無応答と認識します。

## 25.4.3 パイプコントロール

表 25.14 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に 8 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 25.14 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	「25.4.3 (1) 転送タイプ」を参照してください。
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1~5: 設定可
	DBLB	シングルまたはダブルバッファを選択	パイプ 1~5: 設定可
	CNTMD	連続転送または非連続転送を選択	DCP: 設定可 パイプ 1、2: 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5: 設定可 連続送受信ではバッファサイズをペイロードの整数倍に設定
	DIR	転送方向 (読み出しまたは書き込み) を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	「25.4.3 (2) エンドポイント番号」を参照してください。
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ 1、2: 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5: 設定可
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP: 設定不可 (256 バイト固定) パイプ 1~5: 設定可 (64 バイト単位で最大 2K バイトまで指定可) パイプ 6、7: 設定不可 (64 バイト固定)
	BUFNMB	バッファメモリ番号	DCP: 設定不可 (領域 H'0 ~ H'3 固定) パイプ 1~5: 設定可 (領域 H'6 ~ H'7F で指定可) パイプ 6、7: 設定不可 (領域 H'4、H'5 固定)
DCPMAXP PIPEMAXP	MXPS	マックスバケットサイズ	「25.4.3 (3) マックスバケットサイズ設定」を参照してください。
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1、2: 設定可 (アイソクロナス転送選択時のみ) パイプ 3~7: 設定不可
	IITV	インターバルカウンタ	パイプ 1、2: 設定可 (アイソクロナス転送選択時のみ) パイプ 3~7: 設定不可

レジスタ名	ビット名	設定内容	備 考
DCPCTR	BSTS	バッファステータス	DIR ビット / ISEL ビットにも関係します。
PIPEnCTR	INBUFM	IN バッファモニタ	DIR ビット / ISEL ビットにも関係します。
	ACLRM	自動バッファクリア	バッファメモリ読み出し設定時は許可 / 禁止設定可能です。
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PID	応答 PID	「25.4.3 (4) 応答 PID」を参照してください。

## (1) 転送タイプ

PIPEPCFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ3～5：バルク転送を設定してください。
- パイプ6、7：インタラプト転送を設定してください。

## (2) エンドポイント番号

PIPECFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント0に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント0固定）です。
- パイプ1～7：1から15までを選択して設定してください。

ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

### (3) マックスパケットサイズ設定

DCPMAXP レジスタおよびPIPEMAXP レジスタのMXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1~5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6、7 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前 (PID=BUF) に設定してください。

- DCP : ハイスピード動作時は64を設定してください。
- DCP : フルスピード動作時は、8、16、32、64から選択して設定してください。
- パイプ1~5 : ハイスピードバルク転送時は、0または512を設定してください。
- パイプ1~5 : フルスピードバルク転送時は、0、8、16、32、64から選択して設定してください。
- パイプ1、2 : ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- パイプ1、2 : フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- パイプ6、7 : 1から64の値を設定してください。

インタラプト転送およびアイソクロナス転送の High Bandwidth は未対応です。

### (4) 応答 PID

DCPCTR レジスタおよびPIPECTR レジスタのPID ビットにて各パイプの応答PIDを設定します。各設定における本モジュールの動作は下記のとおりです。

#### 1. ホストコントローラ機能選択時の応答PID設定

応答PIDは、トランザクションの実施を指定します。

- NAK設定 : パイプ禁止状態です。トランザクションは実施されません。
- BUF設定 : バッファメモリの状況に応じてトランザクションが実施されます。  
OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。  
IN方向の場合、バッファメモリに空きがあり受信可能な場合、INトークンを発行します。
- STALL設定 : パイプ禁止状態です。トランザクションは実施されません。

【注】 DCP のセットアップトランザクションは、SUREQ ビットで設定します。

#### 2. ファンクションコントローラ機能選択時の応答PID設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定 : 発生したトランザクションに対して常にNAK応答します。
- BUF設定 : バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定 : 発生したトランザクションに対して常にSTALL応答します。

【注】 セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

#### 1. ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トークンの発行を自動的に停止します。

アイソクロナス以外の転送で、送信したトークンに対して無応答だったとき

【注】 ある一定期間内に SYNC フィールドを検出できなかったとき、無応答と認識します。

送信したトークンに対して破損パケットを受信したとき

コントロールリード転送のデータステージにおいて、ショートパケットを受信したとき

バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合でショートパケットを受信したとき

バルク転送時にSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき

- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トークンの発行を自動的に停止します。

送信したトークンに対してSTALLを受信したとき

受信したデータパケットがマックスパケットサイズを超えたとき

#### 2. ファンクションコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トランザクションに対して常にNAK応答します。

SETUPトークンを正常に受信したとき (DCPのみ)

バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき

- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トランザクションに対して常にSTALL応答します。

受信データパケットでマックスパケットサイズオーバーエラーを検出したとき

コントロール転送シーケンスエラーを検出したとき

#### (5) USB 通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- CFIFOSELレジスタのISELビット (DCP選択時のみ該当)
- CFIFOSIEレジスタのTGLビット、SCLRビット
- DnFIFOSELレジスタのDCLRMビット、TRENbビット、TRCLRビット、DEZPMビット
- DnFIFOTRNレジスタのTRNCNTビット
- DCPCFGレジスタの各ビット
- DCPMAXPレジスタの各ビット
- DCPCTRレジスタの各ビット (ただしCCPLビットは除く)

- PIPECFGレジスタの各ビット
- PIPEBUFレジスタの各ビット
- PIPEMAXPレジスタの各ビット
- PIPEPERIレジスタの各ビット
- PIPEnCTRレジスタの各ビット

#### (6) データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA0 になり、ステータスステージでは DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定パイプは、SQSET ビットによるシーケンスビット操作を行うことはできません。

#### (7) 応答 PID = NAK 機能

本モジュールには、PIPECFG レジスタの SHTNAK ビットに 1 を設定することで、トランスファの最後 (ショートパケット受信またはトランザクションカウンタでモジュールが自動識別) のデータパケット受信タイミングで、パイプ動作を禁止 (応答 PID = NAK) する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可 (応答 PID = BUF) 設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

#### (8) オート応答モード

バルク転送のパイプ (パイプ 1~5) において、PIPEnCTR レジスタの ATREPM ビットに 1 をセットすると、オート応答モードとなります。OUT 転送時 (DIR = 0) には OUT-NAK モードとなり、IN 転送時 (DIR = 1) には Null 自動応答モードとなります。

- OUT-NAKモード

バルク OUT 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、OUT トークンまたは PING トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態 (応答 PID = NAK) で OUT-NAK モードに設定して、パイプ動作許可 (応答 PID = BUF) を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID = NAK) で OUT-NAK モードを解除して、パイプ動作許可 (応答 PID = BUF) を行ってください。通常モードでは、OUT データ受信が可能となり、PING トークンに対しては、バッファが受信可能であれば ACK を返します。

- Null自動応答モード

バルク IN 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態 (応答 PID = NAK) で、Null 自動応答モードに設定して、パイプ動作許可 (応答 PID = BUF) を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが 0 であることで確認してください。INBUFM ビットが 1 の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID = NAK) を Zero-Length パケット送信分ウェイト (フルスピード時: 10  $\mu$ s、ハイスピード時: 3  $\mu$ s) した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可 (応答 PID = BUF) を行うことにより、ホストへのパケット送信が可能となります。

### 25.4.4 バッファメモリ

#### (1) バッファメモリ割り当て

図 25.9 に本モジュールのバッファメモリマップ例を示します。バッファメモリは CPU と本モジュールが共用する領域です。バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と本モジュール (SIE 側) にある場合があります。

バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB ビットおよび BUFSIZE ビットで指定) で設定します。また、バッファメモリへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTR レジスタおよび PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、C/DnFIFOCTR レジスタの FRDY ビットで確認できます。

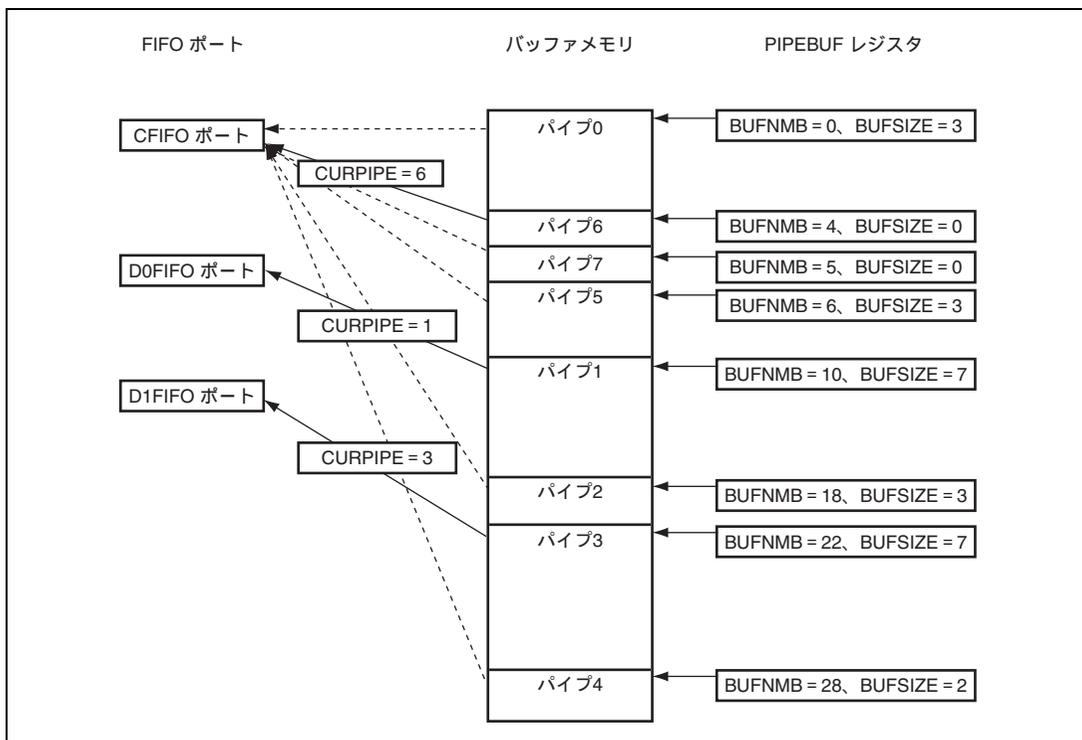


図 25.9 バッファメモリマップ例

## (a) バッファステータス

表 25.15 および表 25.16 に本モジュールのバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPEnCFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット (DCP 選択時) で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1~5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU (DMAC) による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 25.15 BSTS ビットによるバッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 25.16 INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

## (b) バッファクリア

表 25.17 に本モジュールによるバッファメモリのクリア一覧表を示します。バッファメモリは、BCLR、SCLR、DCLRM、ACLRM ビットにてクリアできます。

表 25.17 バッファクリア一覧表

ビット名	BCLR	SCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	CFIFOSIE レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側バッファメモリをクリアします。	SIE 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1 ライトでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

## (c) バッファ領域

表 25.18 に本モジュールのバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域およびユーザ設定が可能なユーザ領域があります。

DCP 用バッファは、コントロールリード転送およびコントロールライト転送で、同一領域を使用する専用固定領域です。

パイプ 6、7 領域は、あらかじめ領域を割り当ててありますが、パイプ 6、7 を使用しない場合はユーザ領域としてパイプ 1~5 に割り当てて使用可能です。

各パイプで領域が重ならないように設定してください。特にダブルバッファ設定時は領域が設定値の倍になりますので注意してください。

また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないでください。

表 25.18 バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
H'0 ~ H'3	256 バイト	DCP 専用固定領域	シングルバッファ、連続転送可能
H'4	64 バイト	パイプ 6 用固定領域	シングルバッファ
H'5	64 バイト	パイプ 7 用固定領域	シングルバッファ
H'6 ~ H'7F	最大 7808 バイト	パイプ 1~5 ユーザ領域	ダブルバッファ設定可能、連続転送可能

## (d) 自動バッファクリアモード機能

本モジュールには、PIPE<sub>n</sub>CTR レジスタの ACLRM ビットに 1 を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットに 1 を設定し、続けて 0 を設定することで、アクセス方向に関係なく、当該パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

## (e) バッファメモリ仕様 (シングル/ダブル設定)

パイプ 1~5 は、PIPE<sub>n</sub>CFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。ダブルバッファは同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てる機能です。図 25.10 に本モジュールのバッファメモリ設定例を示します。

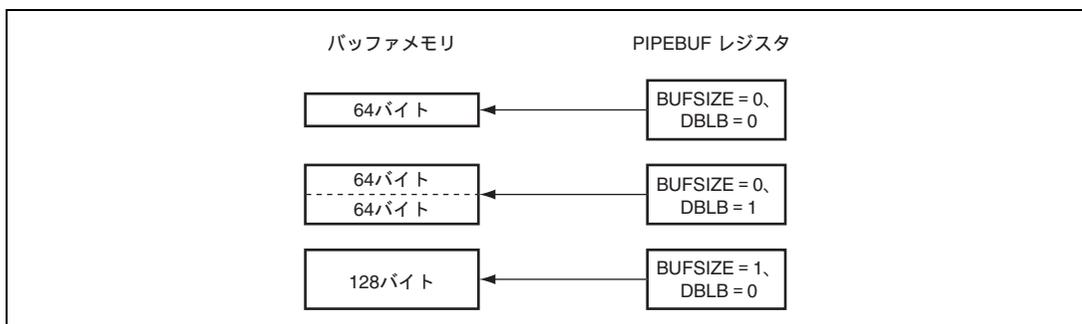


図 25.10 バッファメモリ設定例

## (f) バッファメモリ動作 (連続転送設定)

DCPCFG レジスタおよび PIPEnCFG レジスタの CNTMD ビットにて連続転送モード、または非連続転送モードを選択できます。この選択は、パイプ 0~5 に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまで CPU へ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信 (ショートパケットまたはマックスパケットサイズの整数倍でバッファサイズ未満) の場合には、送信データの書き込み後 BVAL=1 を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウントの終了、またはショートパケットを受信するまで割り込みは発生しません。

図 25.11 に本モジュールのバッファメモリ動作例を示します。

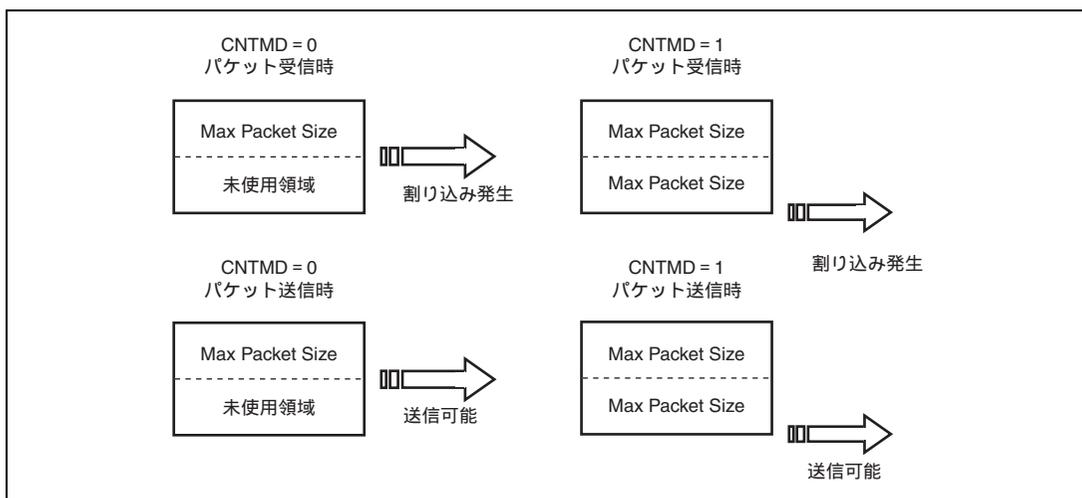


図 25.11 バッファメモリ動作例

## (2) FIFO ポートの機能

表 25.19 に本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル(非連続転送時はマックスケットサイズ数)まで書き込みを行うと、自動的に送信可能状態となります。バッファフル(非連続転送時はマックスケットサイズ数)未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN = 0) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 25.19 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
C/DnFIFOSEL	REW	バッファメモリリwind (再読み出し、再書き込み)	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	TRENB	トランザクションカウンタ動作許可	DnFIFO 専用
	TRCLR	カレントトランザクション回数クリア	DnFIFO 専用
	DEZPM	Zero-Length パケット付加モード	DMA 転送専用
	ISEL	FIFO ポートアクセス方向	DCP 専用
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR*	CPU 側バッファメモリクリア	
	DTLN	受信データ長確認	
DnFIFOTRN	TRNCNT	受信トランザクションカウンタ設定	DnFIFO 専用
CFIFOSIE (DCP 除く)	TGL	CPU/SIE バッファトグル	CFIFO 専用
	SCLR	SIE 側バッファメモリクリア	CFIFO 専用

【注】 \* CFIFOSIE.CURPIPE = DCP に設定しているとき、CFIFOCTR.BCLR = 1 に設定すると SIE 側バッファメモリもクリアします。

## (a) FIFO ポート選択

表 25.20 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、FRDY = 1 を確認してから FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPEnCFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 25.20 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~7	CPU アクセス	CFIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

## (b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、C/DnFIFOSEL レジスタの REW ビットを使用します。

C/DnFIFOSEL レジスタの CURPIPE ビット設定と同時に REW ビットを 1 に設定してパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、0 に設定しパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、FRDY = 1 を確認する必要があります。

## (c) SIE 側バッファメモリの読み出し (CFIFO ポート読み出し方向)

本モジュールは、FRDY = 0 状態でバッファメモリからデータ読み出しが行えない場合でも、CFIFOSIE レジスタの SBUSY ビットを確認し、TGL ビットに 1 を設定することで、SIE 側のデータ読み出しアクセスが可能です。PID = NAK に設定し、SBUSY = 0 を確認のうえ、TGL = 1 と書き込みを行ってください。モジュールは、CFIFO レジスタからデータ読み出しが可能になります。なお、本機能はバッファメモリ読み出し方向のみ使用できます。また、TGL ビット操作で BRDY 割り込みが発生します。

下記の状態では TGL ビットに 1 を書き込まないでください。

- DCP 選択時
- バッファメモリを読み出し中
- バッファメモリ書き込み方向のパイプ

## (d) SIE 側バッファメモリクリア (CFIFO ポート書き込み方向)

本モジュールは、CFIFOSIE レジスタの SBUSY ビットを確認し、SCLR ビットに 1 を設定することで、送信準備中のデータキャンセルができます。

PID = NAK 設定し、SBUSY = 0 を確認のうえ、SCLR = 1 と書き込みを行ってください。モジュールは、CFIFO レジスタから新しいデータ書き込みが可能になります。なお、本機能はバッファメモリ書き込み方向のみ使用できます。また、SCLR ビット操作で BRDY 割り込みが発生します。

下記の状態では SCLR ビットに 1 を書き込まないでください。

- DCP 選択時
- バッファメモリを書き込み中
- バッファメモリ読み出し方向のパイプ

## (e) トランザクションカウンタ (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタは、D0FIFO/D1FIFO ポートにて選択されているパイプが、バッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TREN B ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TREN B = 0 : 設定したトランザクションカウンタ値が読み出せます。
- TREN B = 1 : 内部でカウントしたカレントカウンタ値が読み出せます。

CURPIPE ビットの変更条件は下記のとおりです。

- 指定したパイプのトランザクションが終了するまで、CURPIPE ビットは変更しないでください。
- カレントカウンタがクリアされていないと CURPIPE ビットは変更できません。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID = BUF の場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

## (f) FIFO ポートアクセスウェイト指定

本モジュール内の FIFO ポートへのアクセスについては、次のような制約があります。

- 最大48MB/secの転送スピードを超えないこと

そこで本モジュールには、バスクロックの周波数制限をなくすために、アクセスウェイト指定 (FWAIT) ビットによりアクセスサイクルを制御できる機能があります。

FWAIT ビットは、各 FIFO ポートに設定でき、CPU スピードおよび転送先のアクセスサイクルなどにより効率よく設定が可能です。

FWAIT ビットの設定例：

- 条件

アクセス方向 : FIFOへの書き込み

バスクロック周波数 : 66MHz

MBWビット設定値 : 10 (32ビット幅)

アクセス形態 : 転送データは内蔵メモリ (ソース側) からデータ読み出し後、FIFOポートへ書き込む。その場合、ソース側のアクセスに2クロックサイクルが必要。

- 計算例

$(2 + (\text{FWAIT} + 2)) \times 1/66\text{MHz} = 1/48\text{MHz} \times 4 (32\text{ビット})$

FWAIT = 2 (4クロックサイクル)

## (g) FIFO ポートへの端数データアクセス方法

FIFO ポートの読み出しにおいて、読み出すデータが FIFO ポート選択レジスタの MBW ビットで指定したビット幅よりも少ない場合、MBW ビットで指定したビット幅で読み出し、不要なデータをソフトウェアにて削除してください。

FIFO ポートの書き込みにおいて、書き込むデータが FIFO ポート選択レジスタの MBW ビットで指定したビット幅よりも少ない場合、下記例のようにアクセスしてください。例として、FIFO ポート幅を 32 ビット (MBW = 10) に設定している際、24 ビットデータを書き込む方法を示します。

- 端数データ書き込み例1：16ビット幅で1回、8ビット幅で1回書き込む

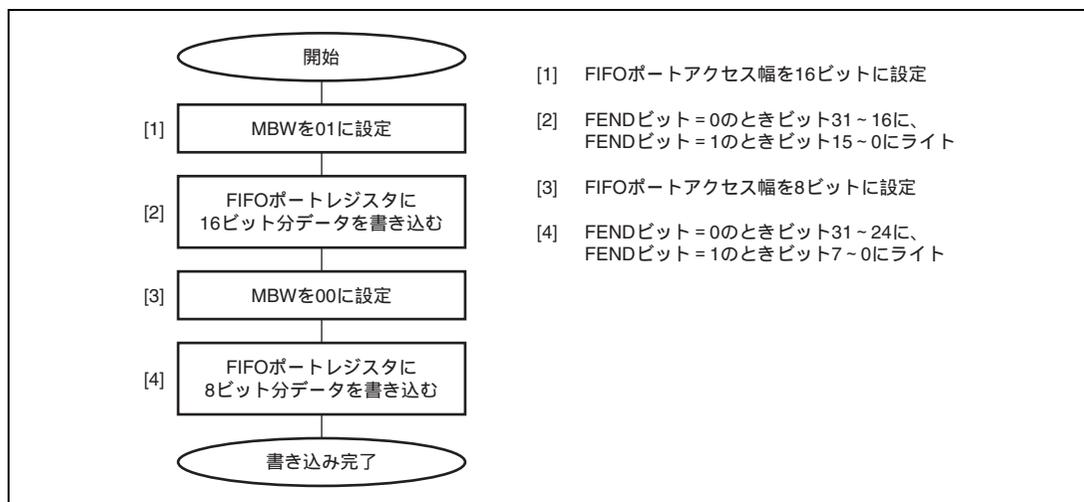


図 25.12 FIFO ポートへの端数データ書き込み例 1

- 端数データ書き込み例2：8ビット幅で3回書き込む

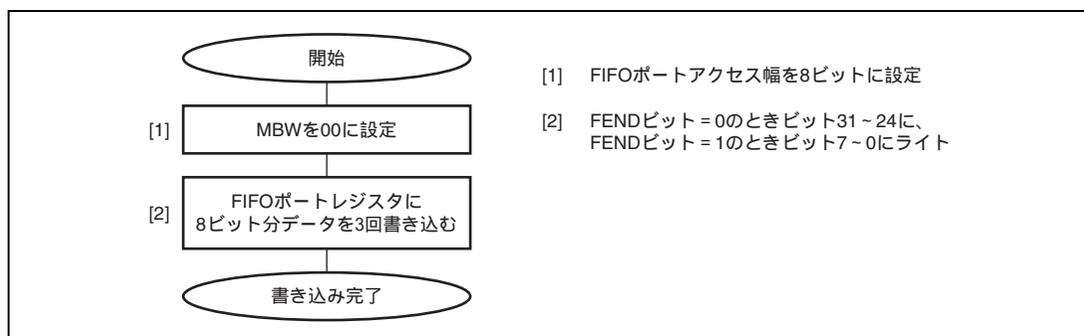


図 25.13 FIFO ポートへの端数データ書き込み例 2

#### (h) 選択 CURPIPE がバッファメモリ読み出し方向時における MBW ビット変更方法

FIFO ポート選択レジスタ (CFIFOSEL、DOFIFOSEL、D1FIFOSEL) の MBW ビットは、CURPIPE の設定と同時に書き込みを行ってください。CFIFO レジスタで DCP 設定時 (CURPIPE = 000) の場合は、CURPIPE もしくは ISEL ビットの設定と同時に書き込みを行ってください。

現在設定中のパイプで MBW ビットのみを変更したい場合は下記手順で行ってください。ただし、いったんバッファメモリの読み出し処理を開始した場合は、すべてのデータ読み出しが完了するまで MBW ビットの変更は行わないでください。

選択 CURPIPE がバッファメモリ書き込み方向のときは、MBW のみの設定で変更可能です。

ただし、いったんバッファメモリの書き込み処理を開始した場合は、8ビット幅から16ビット幅/32ビット幅、または16ビット幅から32ビット幅への切り替えは行わないでください。

- DFIFO0、DFIFO1またはCFIFOのCURPIPEがDCP設定(000)以外のとき

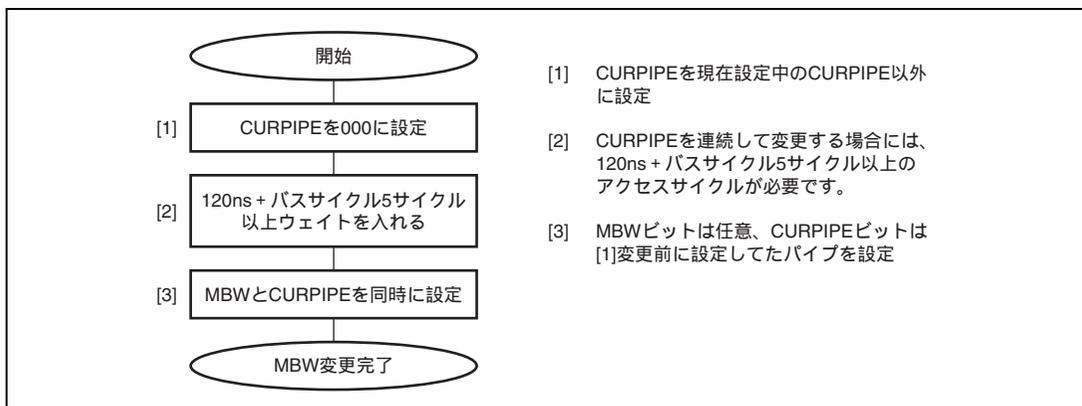


図 25.14 DFIFO0、DFIFO1 または CFIFO の CURPIPE が DCP 設定 (000) 以外のときの MBW 変更例

### (3) DMA 転送 (D0FIFO/D1FIFO ポート)

#### (a) DMA 転送概要

パイプ1~7に対して、DMACによるFIFOポートアクセスが可能です。DMAに設定したパイプのバッファがアクセス可能になったとき、DMA転送要求を出力します。

DnFIFOSELレジスタのMBWビットにてFIFOポートへの転送単位を、CURPIPEビットにてDMA転送するパイプを選択してください。なお、DMA転送中は選択しているパイプを変更しないでください。

#### (b) DMA 転送終了自動認識

本モジュールは、DMA転送終了信号入力を制御することによって、DMA転送によるFIFOデータ書き込みを終了させることが可能です。DMA転送終了信号は、ダイレクトメモリアクセスコントローラ(DMAC)のDMAトランスファカウンタ(DMATCR)に設定した回数分DMA転送を行うとDMACから出力されます。DMA転送終了信号をサンプリングすると、バッファメモリを送信可能状態(BVAL=1を設定したのと同じ状態)にします。DMA転送終了信号をサンプリングする/しないの設定をDnFBCFG.TENDEビットにて行うことができます。

#### (c) Zero-Length パケット付加モード (D0FIFO/D1FIFO ポート書き込み方向)

本モジュールは、DnFIFOSELレジスタのDEZPMビットに1を設定することで、DMA転送終了信号サンプリング時にバッファメモリに書き込まれているデータのバイト数がマックスパケットサイズの整数倍の場合に、全データ送信後、Zero-Lengthパケットを1パケット付加して送出することが可能です。本機能はバッファメモリ書き込み方向設定時(CURPIPEビットに送信方向のパイプが設定されている場合)のみ設定できます。

#### (d) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、DnFIFOSELレジスタのDCLRMビットに1を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 25.21 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 25.21 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 25.21 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

(e) BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により DMA 転送を使用している場合に、最終データを受信したときのみ割り込みを発生させることができます。最終データとは、ショートパケットの受信またはトランザクションカウントの終了を示します。BFRE = 1 に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DnFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表25.22に本モジュールのBRDY割り込み発生タイミングを示します。

表 25.22 BRDY 割り込み発生タイミング表

レジスタ設定	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態		
バッファフル (通常のパケット受信)	パケット受信時	発生しない
Zero-Length パケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

【注】 BFRE ビットはバッファメモリから読み出し方向のみ有効です。書き込み方向の場合には BFRE ビットは 0 に固定してください。

## (4) FIFO ポートアクセス可能タイミング

## (a) パイプ切り替え時の FIFO ポートアクセス可能タイミング

図 25.15 に、FIFO ポートで指定するパイプを切り替えた (C/DnFIFOSEL レジスタの CURPIPE ビットを変更した) 場合の、FRDY ビットおよび DTLN ビットが確定するまでのタイミング図を示します。

CURPIPE ビットを変更した場合は、C/DnFIFOSEL レジスタへの書き込み後に 450ns + バスクロック 8 クロックサイクル待った後、FIFO ポートへのアクセスを行ってください。

なお、CFIFO ポートに対しては、ISEL ビットを変更時も同様のタイミングになります。

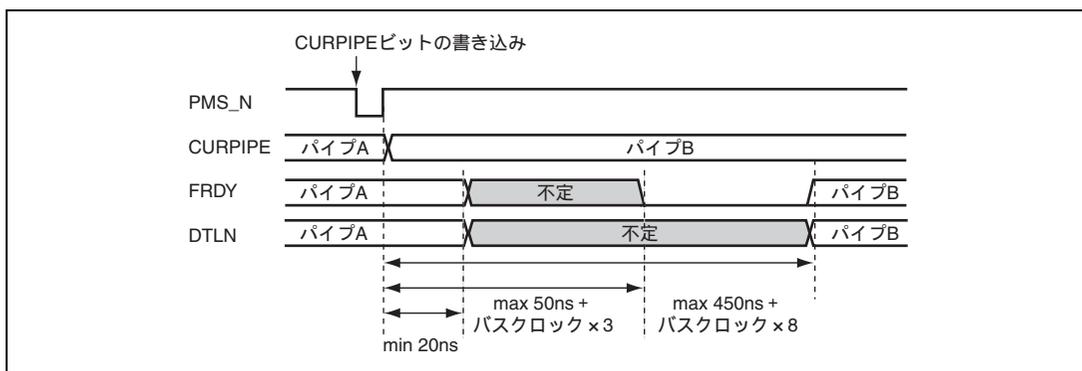


図 25.15 パイプ変更後の FRDY、DTLN の確定タイミング

## (b) ダブルバッファ時の読み出し、書き込み完了後の FIFO ポートアクセス可能タイミング

図 25.16 に、ダブルバッファのパイプに対して、バッファリードまたはライト完了後、もう一方のバッファがアクセス可能状態になるまでのタイミングを示します。

ダブルバッファ時は、トグル直前のアクセス後に 300ns + バスクロック 6 クロックサイクル待った後、FIFO ポートへのアクセスを行ってください。

なお IN 方向のパイプにて BVAL = 1 設定によるショートパケット送信を行うときも同様のタイミングになります。

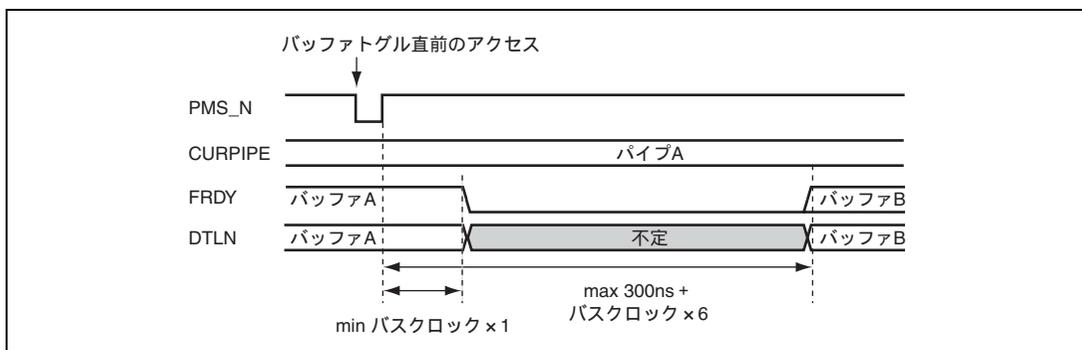


図 25.16 ダブルバッファ時の読み出し、書き込み完了後の FRDY、DTLN の確定タイミング

### 25.4.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

#### (1) ホストコントローラ機能選択時のコントロール転送

##### (a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに 1 を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 にクリアされます。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは、DCPMAXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、ペリフェラルからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

##### (b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

連続転送指定により複数パケットにわたったデータ転送が可能です。ただし、受信方向で連続転送に設定した場合は、バッファフルになるか、ショートパケットを受信しないと、BRDY 割り込みが発生しませんので注意してください (マックスパケットサイズの整数倍で、かつ 256 バイト以下の場合)。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

ハイスピード動作時のデータ送信方向の場合、PING パケットを送信します。PING パケットの制御はバルク転送と同様です。

##### (c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジ

スタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

ハイスピード動作時のデータ送信方向の場合、PING パケットを送信します。PING パケットの制御はバルク転送と同様です。

## (2) ファンクションコントローラ機能選択時のコントロール転送

### (a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。
  - INTSTS0レジスタのVALIDビットを1にセット
  - DCPCTRレジスタのPIDビットをNAKにセット
  - DCPCTRレジスタのCCPLビットを0にセット
2. セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID = 0 を設定後に行ってください。VALID = 1 状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図 25.7 を参照してください。

### (b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

DCPCTR レジスタの PID ビットを BUF に設定することで、トランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。NYET ハンドシェイクについては、「25.4.6 (2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御」を参照してください。

## (c) ステータスステージ

DCPCTR レジスタのPID ビットがPID = BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

## • コントロールリード転送の場合

USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

## • コントロールライト転送、ノーデータコントロール転送の場合

本モジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

## (d) コントロール転送自動応答機能

本モジュールは、正常な SET\_ADDRESS リクエストに自動応答します。SET\_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestType H'00
- wIndex H'00
- wLength H'00
- wValue > H'7F
- DVSQ = 011 (Configured)

SET\_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

### 25.4.6 バルク転送 (パイプ 1~5)

バルク転送は、バッファメモリ使用方法 (シングル / ダブルバッファ設定、または連続 / 非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、PING パケット / NYET ハンドシェイクには自動応答します。また、MXPS=0 を設定した場合の割り込み仕様が他のパイプとは異なります。詳細は「25.4.3 (3) マックスパケットサイズ設定」を参照してください。

#### (1) ホストコントローラ機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本モジュールにより自動的に送出されます。

以下に示すとおり初期状態が PING パケット送出状態で ACK ハンドシェイクを受信することにより OUT パケットを送出します。NAK または NYET を受信すると PING 送出状態に戻ります。また、この制御はコントロール転送のデータステージ、ステータスステージも同様です。

1. OUTデータ送信設定
2. PINGパケット送信
3. ACKハンドシェイク受信
4. OUTデータパケット送信
5. ACKハンドシェイク受信  
(4.と5.を繰り返します。)
6. OUTデータパケット送信
7. NAK/NYETハンドシェイク受信
8. PINGパケット送信

また、本コントローラが PING パケットの送信に戻る要因は、パワーオンリセット、ソフトウェアリセット、NYET/NAK ハンドシェイク受信、シーケンストグルビットのセット、クリア (SQSET、SQCLR)、バッファクリア (ACLRM) 設定です。

## (2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御

表 25.23 に本モジュールの NYET ハンドシェイク応答表を示します。本モジュールの NYET 応答は、下記の条件に従います。ただし、ショートパケット受信時は、NYET パケット応答をせずに ACK 応答となります。また、コントロールライト転送のデータステージも同様です。

表 25.23 NYET ハンドシェイク応答表

DCPCTR.PID ビット設定値	バッファメモリ の状態	トークン	応答	備 考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY1	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT ( Short )	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/1	データパケット送信
	TRN-NRDY	IN	NAK	TRN-NRDY

## 【記号説明】

RCV-BRDY1 : OUT/PING トークン受信時にバッファメモリに 2 パケット分以上の空き領域がある

RCV-BRDY2 : OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない

RCV-NRDY : PING トークン受信時にバッファメモリに空き領域がない

TRN-BRDY : IN トークン受信時にバッファメモリに送信データがある

TRN-NRDY : IN トークン受信時にバッファメモリに送信データがない

### 25.4.7 インタラプト転送 (パイプ 6、7)

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットは無視 (無応答になる) します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。OUT 方向の転送であっても、PING トークンは発行せずに OUT トークンを発行します。また、ペリフェラルから NYET ハンドシェイクを受信した場合は ACK 受信として動作します。

なお、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

#### (1) ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

#### (a) カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット :

IITV ビットが初期化されます。

- ソフトウェアリセット

IITV ビットが初期化されます。

- ACLRM によるバッファメモリ初期化

IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値を最初からカウントします。

なお以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド

IITV ビットは初期化されません。UACT ビットを 1 にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

#### (b) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向 (受信) の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向 (送信) の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

### 25.4.8 アイソクロナス転送 (パイプ 1、2)

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

【注】 アイソクロナス OUT 転送を使用する場合は、「25.5.1 アイソクロナス OUT 転送を使用する場合の注意事項」を参照してください。

#### (1) アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 25.24 および表 25.25 に本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

##### 1. PIDエラー

- 受信パケットのPIDが不正な場合

##### 2. CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

##### 3. マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた

##### 4. オーバラン、アンダーランエラー

- ホストコントローラ機能選択時

IN方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合

OUT方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合

- ファンクションコントローラ機能選択時

IN方向 (送信) の転送時にINトークン受信時にバッファメモリにデータがない場合

OUT方向 (受信) の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合

##### 5. インターバルエラー

ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表 25.24 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホスト / ファンクションのどちらの機能を選択した場合にも、割り込み発生せず (破損パケットとして無視)。
2	CRC エラー、ビットスタッフィングエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、割り込み発生せず (破損パケットとして無視)。
3	オーバラン、アンダーランエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、OVRN ビットをセットします。ホストコントローラ機能選択時は、トークンを送信しません。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません。

表 25.25 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず (破損パケットとして無視)。
2	CRC エラー、ビットスタッフィングエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバーエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、BEMP 割り込みを発生させて、PID を STALL にセットします。

## (2) DATA-PID

本モジュールは、High-Bandwidth 転送には対応していません。ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

## 1. IN方向

- DATA0：データパケットのPIDとして送信します。
- DATA1：送信しません。
- DATA2：送信しません。
- mData：送信しません。

## 2. OUT方向 (フルスピード動作時)

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：パケットを無視します。
- mData：パケットを無視します。

## 3. OUT方向 (ハイスピード動作時)

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：データパケットのPIDとして正常受信します。
- mData：データパケットのPIDとして正常受信します。

## (3) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 25.26 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 25.26 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない。

インターバルのカウンタは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は  $2^{IITV}$  フレームまたは  $2^{IITV} \mu$  フレームです。

(a) ファンクションコントローラ機能選択時でのカウンタの初期化  
本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット

IITVビットが初期化されます。

- ソフトウェアリセット

IITVビットが初期化されます。

- USBバスリセット

IITVビットは初期化されませんがカウントは初期化されます。

- ACLRMによるバッファメモリ初期化

IITVビットは初期化されませんがカウントは初期化されます。ACLRMビットを0にすることにより、IITVの設定値からカウントを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記 1.または 2.の条件でインターバルのカウントを開始します。

1. PID = BUF状態でINトークンに対して、データを送信後のSOF受信
2. PID = BUF状態でOUTトークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PIDビットをNAKまたはSTALLに設定した場合

インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。

2. USBサスペンド

IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

## (4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 25.17 に本モジュールで、IITV = 0 ( 毎フレーム ) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

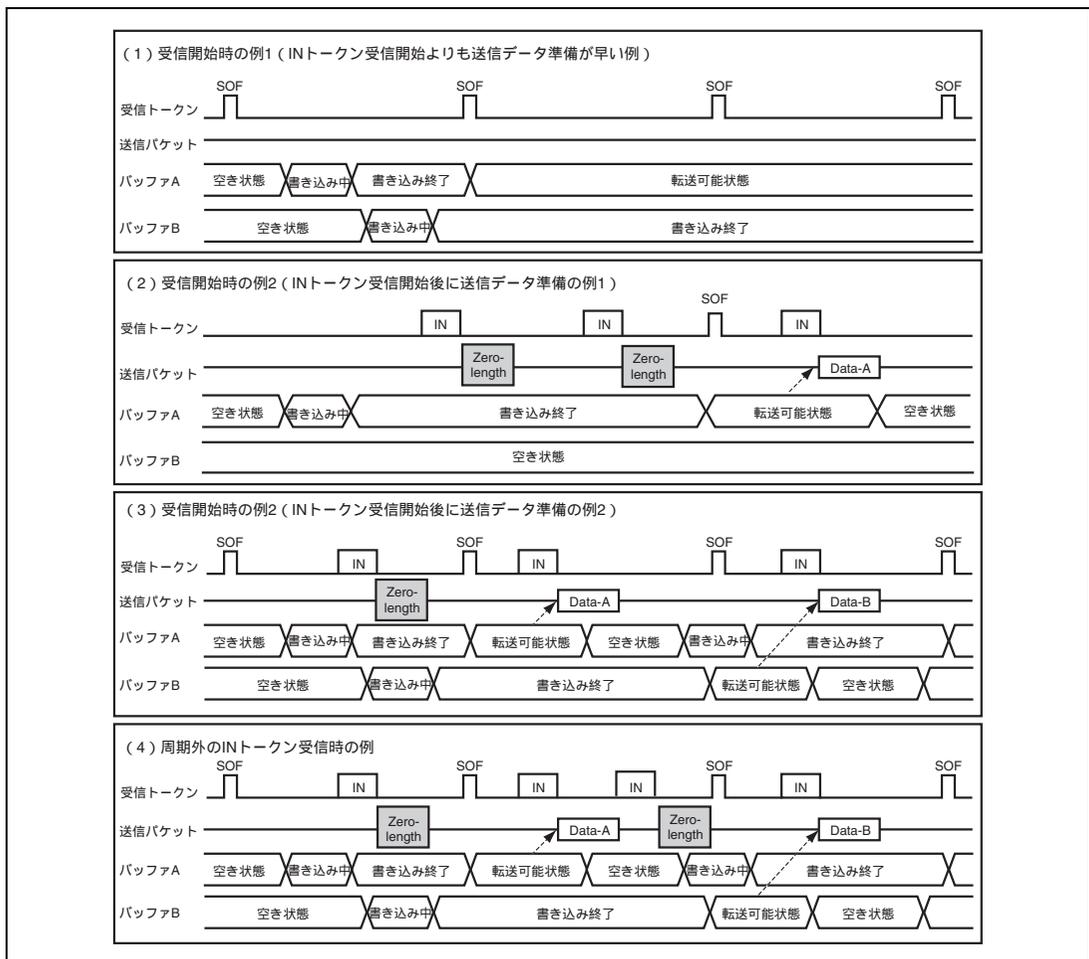


図 25.17 データセットアップ機能動作例

## (5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF または  $\mu$  SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF または  $\mu$  SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV = 0 の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 25.18 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外 (インターバルフレーム前のトークン) に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダーランエラーとして Zero-Length パケットを送出します。

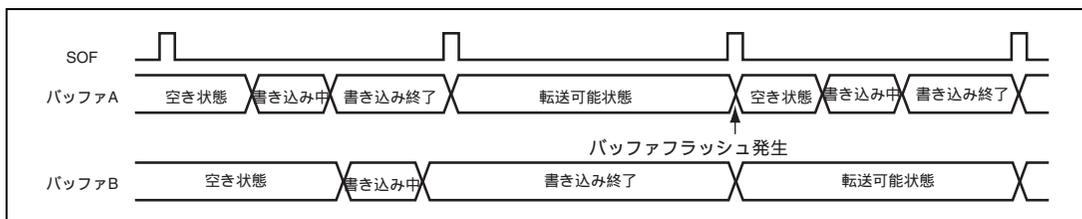


図 25.18 バッファフラッシュ機能動作例

図 25.19 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバーランエラーとの区別は OVRN ビットで判定してください。図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

#### 1. IN方向

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であればZero-Lengthパケット送信しアンダーランエラー

#### 2. OUT方向

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバーランエラー

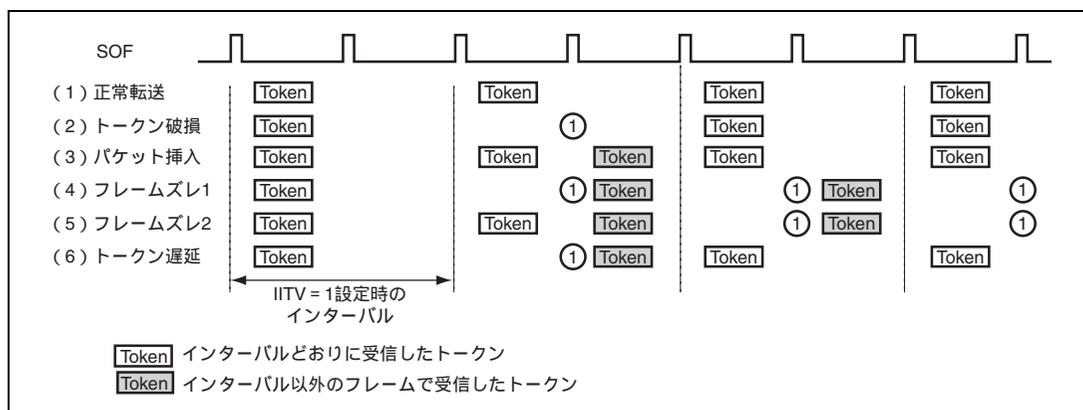


図 25.19 IITV = 1 のときのインターバルエラー発生例

### 25.4.9 SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms (フルスピード動作時) または 125  $\mu$ s (ハイスピード動作時) 間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は SYSCFG.USBE = 1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- ソフトウェアリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- フレーム間隔 (125  $\mu$ s または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後はUSB用クロック48MHzで125  $\mu$ s または 1ms をカウントし補間する。
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は補間しない。

(ハイスピード時のサスペンド移行では最終パケットから3msの間は補間を継続します)

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みおよび  $\mu$  SOF ロック
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。ハイスピード動作時に  $\mu$  SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。ただし、UFRNM = 000 の  $\mu$  SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する UFRNM = 000 以外の  $\mu$  SOF パケットが正常に受信されても FRNM ビットは更新されません。

### 25.4.10 パイプスケジュール

#### (1) トランザクション発行条件

本モジュールは、ホストコントローラ機能選択時、UACT=1 を設定したあと、表 25.27 に示す条件でトランザクションを発行します。

表 25.27 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	- * <sup>1</sup>	- * <sup>1</sup>	- * <sup>1</sup>	- * <sup>1</sup>	1 設定
コントロール転送のデータステージ、 ステータスステージ、 バルク転送	IN	BUF	無効	受信領域あり	- * <sup>1</sup>
	OUT	BUF	無効	送信データあり	- * <sup>1</sup>
インタラプト転送	IN	BUF	有効	受信領域あり	- * <sup>1</sup>
	OUT	BUF	有効	送信データあり	- * <sup>1</sup>
アイソクロナス転送	IN	BUF	有効	* <sup>2</sup>	- * <sup>1</sup>
	OUT	BUF	有効	* <sup>3</sup>	- * <sup>1</sup>

【注】 \*<sup>1</sup> 表中の「-」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタにかかわらず発行されることを示します。

\*<sup>2</sup> 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

\*<sup>3</sup> 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

### (2) 転送スケジュール

本モジュールのフレーム内の転送スケジューリング方法について説明します。本モジュールは、SOF を送信後、以下に示す順番で転送を行います。

#### 1. 周期的転送の実行

パイプ1 パイプ2 パイプ6 パイプ7の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

#### 2. コントロール転送のセットアップトランザクション

DCPを確認してセットアップトランザクションが可能であれば送信します。

#### 3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP パイプ1 パイプ2 パイプ3 パイプ4 パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、ペリフェラルからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

### (3) USB 通信許可

DVSTCTR レジスタの UACT ビットを 1 に設定することにより、SOF または  $\mu$ SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを 0 に設定すると、SOF または  $\mu$ SOF の送信を停止しサスペンドとなります。UACT ビットを 1 に設定する場合、次の SOF または  $\mu$ SOF を送信してから停止します。

## 25.5 使用上の注意事項

### 25.5.1 アイソクロナス OUT 転送を使用する場合の注意事項

下記「 and 」の条件時に、アイソクロナス (以下 ISO) -OUT 転送を使用する場合には、下表のパイプ設定にてご使用ください。

ホストモードにて使用

フルスピード通信時

【注】 なお、ホストモードのハイスピード通信時およびファンクションモード使用時 (フルスピード通信時含む) には本注意事項は該当しません。

	PIPE1	PIPE2	PIPE6
PIPE1 を ISO-OUT 転送で使用する場合	ISO-OUT	未使用または BULK-IN/OUT	未使用または INT-IN/OUT
PIPE2 を ISO-OUT 転送で使用する場合	未使用または ISO-IN または BULK-IN/OUT	ISO-OUT	未使用

【注】 ISO-OUT 転送を PIPE1、PIPE2 の両方 (2 パイプ) で使用することはできません。2 パイプでの ISO-OUT 転送が必要な場合は、ハイスピード通信をご使用ください。

### 25.5.2 USB トランシーバの設定手順

本モジュールを使用する場合は、初めに内蔵 USB トランシーバの設定を行う必要があります。下記に設定方法を示します。また以下の手順のプログラム例を図 25.20 に示します。

(1) USBAC 特性切り替えレジスタ (USBACSWR) の UACS23 ビットに 1 をライトします。

(2) TEST モードレジスタ (TESTMODE) の HOSTPCC ビットに 1 をライトします。

本ビットは誤って書き換えられないよう、特別なシーケンスによってライトすることができます。ライトシーケンスを下記に示します。

1. デバイスステートコントロールレジスタ (DVSTCTR) の UACKEY0、UACKEY1 ビットに 1 をライトします。
2. テストモードレジスタ (TESTMODE) の HOSTPCC ビットに 1 をライトします。
3. デバイスステートコントロールレジスタ (DVSTCTR) の UACKEY0、UACKEY1 ビットに 0 をライトします。

```

;初期化ルーチン
;USB=1に設定
    MOV.I20 #H'FFFC1C00, R0
    MOV.W #H'0001, R1
    MOV.W R1, @R0

;(1) UACS23=1に設定
    MOV.I20 #H'FFFC1C84, R0
    MOV.L #H'00800000, R1
    MOV.L R1, @R0

;(2) HOSTPCC=1に設定
;1. UACKEY0、UACKEY1=1
    MOV.I20 #H'FFFC1C04, R0
    MOV.W #H'9000, R1
    MOV.W R1, @R0
;2. HOSTPCC=1
    MOV.I20 #H'FFFC1C06, R0
    MOV.W #H'8000, R1
    MOV.W R1, @R0
;3. UACKEY0、UACKEY1=0
    MOV.I20 #H'FFFC1C04, R0
    MOV.W #H'0000, R1
    MOV.W R1, @R0
    .
    .
    .

```

図 25.20 USB トランシーバの設定手順

### 25.5.3 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因を取り下げられるまでには一定の時間を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグを 3 回リードし、その後 RTE 命令を実行します。



---

## 26. LCD コントローラ ( LCDC )

---

LCDC コントローラ ( LCDC ) は、表示用の画像をシステムメモリに格納するユニファイドメモリアーキテクチャをとっています。LCDC モジュールはシステムメモリからデータを読み出し、パレットメモリを使って色を決定した後、LCD パネルに送ります。マイコンバスインタフェース方式、NTSC/PAL 方式、LVDS インタフェースの液晶モジュール\*以外の液晶モジュールを接続することが可能です。

【注】 \* LVDS 変換 LSI を接続することで、LVDS インタフェースに接続可能です。

### 26.1 特長

LCDC は次のような特長があります。

- パネルインタフェース

シリアルインタフェース方式

STN/Dual STN/TFT/パネル ( 8/12/16/18ビットバス幅 ) のデータフォーマットをサポート\*<sup>1</sup>

- 4/8/15/16 bpp ( ビットパーピクセル ) カラーモードをサポート
- 1/2/4/6bppグレイスケールモードをサポート
- 16×1 ~ 1024×1024までの液晶パネルサイズをサポート\*<sup>2</sup>
- 24ビットカラーパレットメモリ ( 24ビット中、16ビットが有効 R:5 / G:6 / B:5 )
- RGB各8ビットの、24ビットの空間変調FRCにより、ちらつき、シャドーイングが起りやすいSTN/DSTNパネルでのちらつきの少ない65536の色制御を実現
- CPUに接続されたシンクロナスDRAM ( エリア3 ) の一部をLCDCの表示データ格納用VRAMとして使用することで、専用の表示用メモリが不要
- 2.4Kバイトの大きなサイズのラインバッファにより、安定した表示を実現
- 液晶パネルの信号極性に合わせる、出力信号、出力信号のレベル反転機能をサポート
- 各種のデータフォーマット ( バイト内のエンディアン設定、バックドピクセル方式 ) をレジスタにより選択的にサポート可能
- ユーザ指定位置で割り込みを発生可能 ( VRAMの更新開始タイミングを制御することによりティアリング ( ちらつき ) を回避 )
- 横長液晶パネルで縦長の液晶パネルをサポートするハードウェアローテーションモードをサポート ( 回転前の横幅は320ピクセル以下に限定されます。表26.5を参照してください )

【注】 \*<sup>1</sup> 18ビットバス幅の TFT パネル接続時は、未結線となる下位ビットの信号を GND、またはデータが出力される最下位ビットに接続してください。

\*<sup>2</sup> 詳細は「26.4.1 LCDC で表示可能な液晶モジュールのサイズについて」を参照してください。

図 26.1 に LCDC のブロック図を示します。

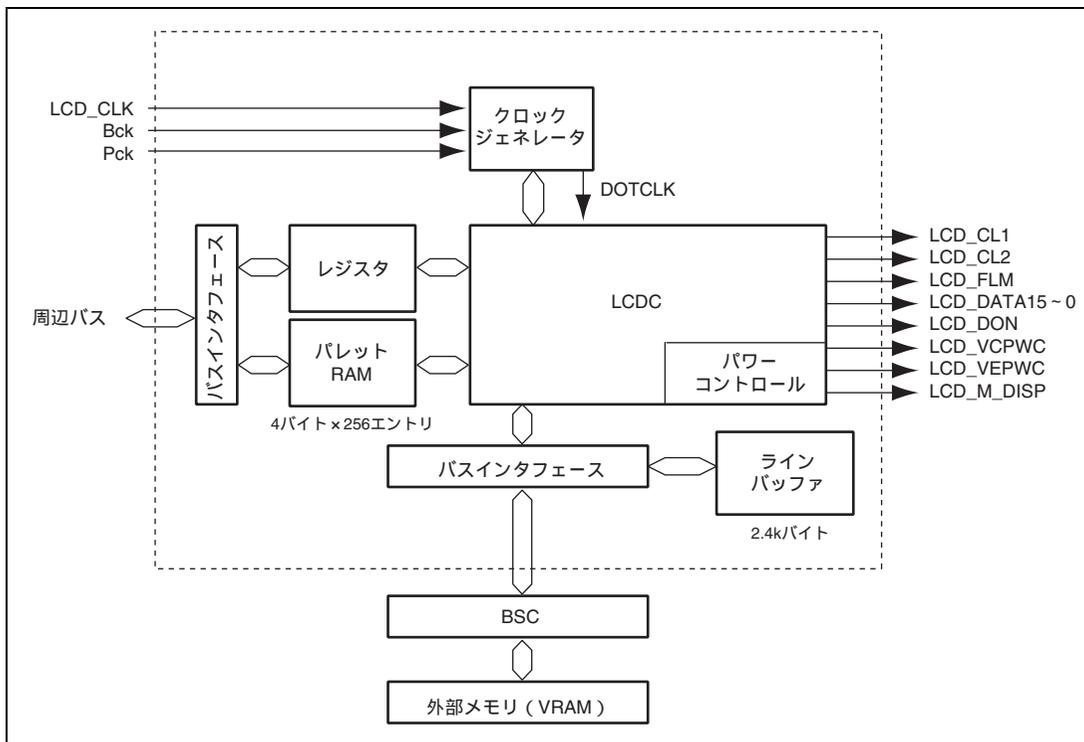


図 26.1 LCDC のブロック図

## 26.2 入出力端子

表 26.1 に LCDC の端子構成を示します。

表 26.1 端子構成

端子名	入出力	機能
LCD_DATA15~0	出力	LCD パネル用データ
LCD_DON	出力	表示開始信号 (DON)
LCD_CL1	出力	シフトクロック 1 (STN/DSTN) / 水平同期信号 (HSYNC) (TFT)
LCD_CL2	出力	シフトクロック 2 (STN/DSTN) / ドットクロック (DONCLK) (TFT)
LCD_M_DISP	出力	液晶交流化信号 / DISP 信号
LCD_FLM	出力	ファーストラインマーカ / 垂直同期信号 (VSYNC) (TFT)
LCD_VCPWC	出力	液晶モジュール電源制御 (VCC)
LCD_VEPWC	出力	液晶モジュール電源制御 (VEE)
LCD_CLK	入力	LCD クロックソース入力

【注】 液晶モジュールとの結線仕様に関しては、「26.5 クロックと LCD データ信号例」と、液晶モジュール側の仕様をよく確認の上、決定してください。

## 26.3 レジスタの説明

LCDC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 34 章 レジスタ一覧」を参照してください。LCDC 動作中は、LDSARU、LDSARL への設定は、Vsync 同期で更新されます。

表 26.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
LCDC インพุットクロックレジスタ	LDICKR	R/W	H'0101	H'FFFFFFC00	16
LCDC モジュールタイプレジスタ	LDMTR	R/W	H'0109	H'FFFFFFC02	16
LCDC データフォーマットレジスタ	LDDFR	R/W	H'000C	H'FFFFFFC04	16
LCDC スキャンモードレジスタ	LDSMR	R/W	H'0000	H'FFFFFFC06	16
LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	R/W	H'0C000000	H'FFFFFFC08	32
LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	R/W	H'0C000000	H'FFFFFFC0C	32
LCDC 表示パネル用取り込みデータ ラインアドレスオフセットレジスタ	LDLAOR	R/W	H'0280	H'FFFFFFC10	16
LCDC パレットコントロールレジスタ	LDPALCR	R/W	H'0000	H'FFFFFFC12	16
パレットデータレジスタ 00 ~ FF	LDPR00 ~ FF	R/W	-	H'FFFFFF800 ~ H'FFFFFFBFC	32
LCDC 水平キャラクタナンバーレジスタ	LDHCNR	R/W	H'4F52	H'FFFFFFC14	16
LCDC 水平同期信号レジスタ	LDHSYNR	R/W	H'0050	H'FFFFFFC16	16
LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	R/W	H'01DF	H'FFFFFFC18	16
LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	R/W	H'01DF	H'FFFFFFC1A	16
LCDC 垂直同期信号レジスタ	LDVSYNR	R/W	H'01DF	H'FFFFFFC1C	16
LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	R/W	H'000C	H'FFFFFFC1E	16
LCDC 割り込みコントロールレジスタ	LDINTR	R/W	H'0000	H'FFFFFFC20	16
LCDC パワーマネジメントモード レジスタ	LDPMMR	R/W	H'0010	H'FFFFFFC24	16
LCDC 電源シーケンス期間レジスタ	LDPSPR	R/W	H'F60F	H'FFFFFFC26	16
LCDC コントロールレジスタ	LDCNTR	R/W	H'0000	H'FFFFFFC28	16
LCDC ユーザ指定割り込みコントロール レジスタ	LDUINTR	R/W	H'0000	H'FFFFFFC34	16
LCDC ユーザ指定割り込みライン ナンバーレジスタ	LDUINTLNR	R/W	H'004F	H'FFFFFFC36	16
LCDC メモリアクセスインターバル ナンバーレジスタ	LDLIRNR	R/W	H'0000	H'FFFFFFC40	16

### 26.3.1 LCDC インพุットクロックレジスタ (LDICKR)

LCDC は、LCDC の動作クロック供給源として、バスクロック、周辺クロック、または外部クロックを選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (LCD\_CL2) を生成します。TFT パネルの場合は LCD\_CL2 = DOTCLK となります。STN、DSTN パネルの場合は LCD\_CL2 には以下のようなクロックが出力されます。

- モノクロ：LCD\_CL2 = (DOTCLK / 液晶パネルへの出力データバス幅) の周波数
- カラー：LCD\_CL2 = (DOTCLK × 3 / 液晶パネルへの出力データバス幅) の周波数  
ただし、DOTCLKの整数分の1になるため、割り切れない場合にはLCD\_CL2には歯抜け部分が発生します。

LCD\_CL2 の詳細なタイミングについては、図 26.10 ~ 図 26.21 を参照してください。

LCD\_CL2 にかかわらず、LCDC への入力クロックが 66MHz 以下となるように、LDICKR を設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ICKSEL[1:0]	-	-	-	-	-	-	-	DCDR[5:0]					
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W：	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	ICKSEL[1:0]	00	R/W	入力クロック選択 DOTCLK の供給源を設定します。 00：バスクロックを選択 (Bck) 01：周辺クロックを選択 (Pck) 10：外部クロックを選択 (LCD_CLK) 11：設定禁止
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	DCDR[5:0]	000001	R/W	クロック分周比 入力クロック分周比を設定します。 設定の詳細については表 26.3 を参照してください。

表 26.3 入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)		
		50.000	60.000	66.000
000001	1/1	50.000	60.000	66.000
000010	1/2	25.000	30.000	33.000
000011	1/3	16.667	20.000	22.000
000100	1/4	12.500	15.000	16.500
000110	1/6	8.333	10.000	11.000
001000	1/8	6.250	7.500	8.250
001100	1/12	4.167	5.000	5.500
010000	1/16	3.125	3.750	4.125
011000	1/24	2.083	2.500	2.750
100000	1/32	1.563	1.875	2.063

【注】 上記以外の設定の場合はクロック分周比 1/1 (初期値) となります。

### 26.3.2 LCDC モジュールタイプレジスタ (LDMTR)

LDMTR は、接続される液晶モジュールの信号極性に合わせ、LCDC より出力される制御信号、およびデータ信号の極性を設定します。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

FLM POL	CL1 POL	DISP POL	DPOL	-	MCNT	CL1CNT	CL2CNT	-	-	MIFTYP[5:0]					
初期値： 0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	1
R/W： R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	FLMPOL	0	R/W	FLM (垂直同期) 極性選択 液晶モジュールの LCD_FLM (垂直同期信号、ファーストラインマーカ) の極性を選択します。 0 : LCD_FLM パルスはハイアクティブ 1 : LCD_FLM パルスはローアクティブ
14	CL1POL	0	R/W	CL1 (水平同期) 極性選択 液晶モジュールの LCD_CL1 (水平同期信号) の極性を選択します。 0 : LCD_CL1 パルスはハイアクティブ 1 : LCD_CL1 パルスはローアクティブ
13	DISPPOL	0	R/W	DISP (表示許可) 極性選択 液晶モジュールの LCD_M_DISP (表示許可) の極性を選択します。 0 : LCD_M_DISP はハイアクティブ 1 : LCD_M_DISP はローアクティブ

ビット	ビット名	初期値	R/W	説明
12	DPOL	0	R/W	表示データ極性選択 液晶モジュールの LCD_DATA (表示データ) の極性を選択します。液晶モジュールの反映をサポートしています。 0 : LCD_DATA はハイアクティブ。透過型液晶パネル 1 : LCD_DATA はローアクティブ。反射型液晶パネル
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	MCNT	0	R/W	M 信号制御 液晶モジュールの液晶交流化信号の出力を設定します。 0 : M (AC ラインモジュレーション) 信号を出力する 1 : M 信号は出力しない
9	CL1CNT	0	R/W	CL1 (水平同期) 制御 垂直帰線期間中の LCD_CL1 出力を設定します。 0 : 垂直帰線期間中、LCD_CL1 は出力する 1 : 垂直帰線期間中、LCD_CL1 は出力しない
8	CL2CNT	1	R/W	CL2 (液晶モジュールのドットクロック) 制御 垂直水平帰線期間中の LCD_CL2 出力を設定します。 0 : 垂直水平帰線期間中、LCD_CL2 は出力する 1 : 垂直水平帰線期間中、LCD_CL2 は出力しない
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
5~0	MIFTYP[5:0]	001001	R/W	<p>モジュールインタフェースタイプ選択</p> <p>液晶パネルのタイプと、液晶パネルへの出力データバス幅を設定します。液晶パネルのタイプはSTN、DSTN、TFTの3種類から選択します。液晶パネルへの出力データバス幅は4ビット、8ビット、12ビット、16ビットから選択します。TFTの液晶パネルの要求データバス幅が16ビット以上のときは、パネル側に存在するデータバスに合わせて接続してください。TFTと異なり、STN、DSTNの液晶パネルにおいては表示色数、表示解像度と出力データバス幅の設定は一対一で対応しないため、16bppの表示色数であっても8ビットのデータバス幅であったり、4bppの表示色数であっても12ビットのデータバス幅であることがあります。これは、STN、DSTNの表示色数はデータバスのビット数ではなく、データバスへのデータの載せ方により決まるためです。STN、DSTNの場合のデータ仕様については、使用する液晶パネルの仕様書を参照してください。また、出力データバス幅は液晶パネルの機械的なインタフェース仕様に従って設定してください。</p> <p>STN、またはDSTNタイプが液晶パネルのタイプとして選択された場合、色表示、階調表示の階調設定にかかわらずLCDCに内蔵されたRGB各8ビットの24ビット空間変調FRCにより表示制御が行われます。そのため、STN、またはDSTNの表示においては1600万色からDSPCOLOR指定の色、階調が選択されて表示されます。パレットを使用する場合は、パレットで設定された色が表示されます。</p> <p>000000 : STN モノクロ4ビットデータバスモジュール  000001 : STN モノクロ8ビットデータバスモジュール  001000 : STN カラー4ビットデータバスモジュール  001001 : STN カラー8ビットデータバスモジュール  001010 : STN カラー12ビットデータバスモジュール  001011 : STN カラー16ビットデータバスモジュール  010001 : DSTN モノクロ8ビットデータバスモジュール  010011 : DSTN モノクロ16ビットデータバスモジュール  011001 : DSTN カラー8ビットデータバスモジュール  011010 : DSTN カラー12ビットデータバスモジュール  011011 : DSTN カラー16ビットデータバスモジュール  101011 : TFT カラー16ビットデータバスモジュール  上記以外の設定 : 設定禁止</p>

## 26.3.3 LCDC データフォーマットレジスタ (LDDFR)

LDDFR は、表示用のドライバソフトウェアの仕様に合わせるために、1 バイト内のデータのビットアラインメント、および表示に使用するデータの型と色数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PABD	-	DSPCOLOR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PABD	0	R/W	バイトデータピクセルアライメント 1 バイトデータ内のピクセルデータのアライメント種類を設定します。アライメントされた 1 ピクセル当たりのデータそれぞれの内容は、このビットの内容にかかわらず同一になります。たとえば、H'05 というデータは 2 進数の B'0101 か B'1010 かを選ぶのではなく、CPU が MOV 命令で通常扱う形の H'05 ( B'0101 ) としてください。 0 : バイトデータ内をビッグエンディアンに設定 1 : バイトデータ内をリトルエンディアンに設定
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	DSPCOLOR [6:0]	0001100	R/W	表示カラー選択 ディスプレイの表示色数を設定します (アンパレット 4、5、6bpp 上位ビットを 0 で埋めることで対応)。 (パレット経由)との記述のある表示カラーについては、実際にはカラーパレットに設定した色が、表示データにより選択されて表示されます。回転表示時にサポート可能な色数は、表示解像度によって制限されます。詳細については表 26.5 を参照してください。 0000000 : モノクロ、2 グレyscale、1bpp (パレット経由) 0000001 : モノクロ、4 グレyscale、2bpp (パレット経由) 0000010 : モノクロ、16 グレyscale、4bpp (パレット経由) 0000100 : モノクロ、64 グレyscale、6bpp (パレット経由) 0001010 : カラー、16 色、4bpp (パレット経由) 0001100 : カラー、256 色、8bpp (パレット経由) 0011101 : カラー、32k 色 (RGB : 5-5-5)、15bpp 0101101 : カラー、64k 色 (RGB : 5-6-5)、16bpp 上記以外の設定 : 設定禁止

## 26.3.4 LCDC スキャンモードレジスタ (LDSMR)

LDSMR は、液晶パネルを回転して使用するためのハードウェアローテーション機能のオン/オフ、および表示用に確保した VRAM (エリア 3 のシンクロナス DRAM) に対するバースト長を指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	ROT	-	-	-	AU[1:0]	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	ROT	0	R/W	ローテーションモジュール選択 ハードウェアによる表示の回転動作を選択します。ただし、回転する場合、以下の制限があります。 <ul style="list-style-type: none"> <li>モジュールタイプは STN または TFT。DSTN は不可</li> <li>液晶パネルの横方向(液晶パネル内部でのスキャン方向)の幅は最大 320</li> <li>LDLAOR に表示サイズを超える、2 のべき乗の値を設定する(320×240 を回転させて 240×320 で使用する場合で、表示イメージの横幅が 240 バイトである場合、256 を選択してください)</li> </ul> 0: 回転しない 1: 右 90 度回転する(表示イメージの左側が液晶モジュールの上側に表示される)
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	AU[1:0]	00	R/W	アクセスユニット選択 VRAM のアクセス単位を選択します。本ビットは ROT = 1(回転する場合)のみ機能します。ROT = 0 では、AU 設定いかんにかかわらず 16 バースト動作を行います。 <ul style="list-style-type: none"> <li>00: 4 バースト</li> <li>01: 8 バースト</li> <li>10: 16 バースト</li> <li>11: 32 バースト</li> </ul> 【注】 1. バースト長は 32 ビットバス幅時で、16 ビットバス幅のときは、バースト長は倍になります。 2. 回転表示する際のバースト長には、接続する SDRAM のカラムアドレスビット数とバス幅によって使用制限があります。 詳細は、表 26.4 および表 26.5 を参照してください。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 26.3.5 LCDC 上部表示パネル用データ取り込み開始アドレスレジスタ (LDSARU)

LDSARU は、液晶パネルに表示するデータを LCDC に取り込み開始するアドレスを指定します。DSTN 型の液晶パネルを使用する場合、本レジスタは上部のパネルの取り込み開始アドレスを指定します。LCDC 動作中は、本レジスタの設定は  $V_{sync}$  同期にて更新されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SAU25	SAU24	SAU23	SAU22	SAU21	SAU20	SAU19	SAU18	SAU17	SAU16
初期値:	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W									
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAU15	SAU14	SAU13	SAU12	SAU11	SAU10	SAU9	SAU8	SAU7	SAU6	SAU5	SAU4	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R											

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27、26	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
25~4	SAU25~ SAU4	すべて0	R/W	上部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア3のシンクロナス DRAM 領域内に設定します。
3~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- 【注】
- ハードウェアローテーション機能を使用しない場合、LDSARU の最小のアラインメント単位は 512 バイトです。下位 9 ビットには 0 を設定してください。ハードウェアローテーション機能を使用する場合の LDSARU の値は、イメージの左上のアドレスが 512 バイト境界にくるように設定してください。
  - ハードウェアローテーション機能を使用する (ROT = 1) の場合、本レジスタには表示するイメージのサイズから計算したイメージの左下のアドレスを設定してください。イメージが 240 × 320、LDLAOR = 256 の表示設定のとき、下記のように計算できます。パネルのサイズではなく、表示するイメージのメモリサイズから計算します。このとき、LDLAOR がイメージの横方向のサイズ以上の 2 のべき乗になることに注意してください。またイメージの左上のアドレスは、このときの LDSARU を使って逆算すると、 $LDSARU - 256 (LDLAOR \text{ の値}) \times (320 - 1)$  となるので、512 バイト境界にあることを確認して設定してください。  
 $LDSARU = \text{イメージ左上のアドレス} + 256 (LDLAOR \text{ の値}) \times 319 (\text{行})$

### 26.3.6 LCDC 下部表示パネル用データ取り込み開始アドレスレジスタ (LDSARL)

LDSARL は、DSTN 型の液晶パネルを使用する場合、下部のパネルの取り込み開始アドレスを指定します。LCDC 動作中は、本レジスタの設定は Vsync 同期にて更新されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	SAL25	SAL24	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16
初期値 :	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W									
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAL15	SAL14	SAL13	SAL12	SAL11	SAL10	SAL9	SAL8	SAL7	SAL6	SAL5	SAL4	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R											

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27、26	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
25~4	SAL25~ SAL4	すべて 0	R/W	下部パネル表示データの取り込み開始アドレス 表示データの取り込み開始アドレスはエリア 3 のシンクロナス DRAM 領域内に設定します。 STN、TFT : 使用しません DSTN : 下部パネルに対応する表示データの取り込み開始アドレス
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 26.3.7 LCDC 表示パネル用取り込みデータラインアドレスオフセットレジスタ (LDLAOR)

LDLAOR は、グラフィックスドライバにより認識されている画像イメージを LCDC が読み出すための Y 座標インクリメントのアドレス幅を指定します。Y 座標方向に 1 増えた際に何バイト分アドレスを移動してメモリからデータを読むかを指定するレジスタであり、液晶パネルの横幅と同一である必要はありません。2 次元の画像イメージ上の点 (X、Y) のメモリアドレスが  $A_x + B_y + C$  で計算される場合、本レジスタはこの式の B と等しくなります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LAO15	LAO14	LAO13	LAO12	LAO11	LAO10	LAO9	LAO8	LAO7	LAO6	LAO5	LAO4	LAO3	LAO2	LAO1	LAO0
初期値 :	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	LAO15~ LAO10	すべて0	R/W	ラインアドレスオフセット 最小のアライメント単位は 16 バイトです。16 バイト単位の処理となるので、各レジスタ書き込み値の下位 4 ビットは 0 としてください。また、レジスタ値を読み出すと下位 4 ビットは 0 が読み出されます。初期値は、VGA (640×480 ドット) 表示データをライン間でアドレスを飛ばさずに連続、稠密的に配置するための設定値 (×解像度 = 640) となっています。詳しくは表 26.4 および表 26.5 を参照してください。  LDLAOR の値としては、ソフトウェアの動作速度面を考慮し、画像イメージの横幅以上の 2 のべき乗の値を推奨します。また、ハードウェアローテーション機能を使用する場合、液晶パネルの横幅 (たとえば、320×240 のパネルの 320) ではなく、画像イメージの横幅 (回転後、240×320 になる場合の 240) 以上の 2 のべき乗の値 (この例では 256) にする必要があります。
9	LAO9	1	R/W	
8	LAO8	0	R/W	
7	LAO7	1	R/W	
6~0	LAO6~LAO0	すべて0	R/W	

### 26.3.8 LCDC パレットコントロールレジスタ (LDPALCR)

LDPALCR は、パレットメモリの CPU からのアクセス、または LCDC からのアクセスを選択します。パレットメモリを使用して表示動作中は、通常表示モードに、パレットメモリの内容を書き換える際はカラーパレット設定モードに設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PALS	-	-	-	PALEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PALS	0	R	パレット状態 パレットのアクセス権の状態を示します。 0: LCDC がパレットを使用。通常表示モード 1: ホスト (CPU) がパレットを使用。カラーパレット設定モード
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PALEN	0	R/W	パレット読み出し/書き込みイネーブル パレットアクセス権を要求します。 0: 通常表示モードへの遷移要求 1: カラーパレット設定モードへの遷移要求

### 26.3.9 パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)

LDPR は、メモリ空間上に直接配置 (4 バイト × 256 アドレス) されたパレットデータをアクセスするためのレジスタです。パレットメモリへのアクセスは、本レジスタ (LDPR00 ~ LDPRFF) の中の該当するレジスタに対してアクセスしてください。一つ一つのパレットレジスタは RGB それぞれ 8 ビットずつの領域を有する 32 ビットのレジスタです。本カラーパレットの詳細仕様に関しては、「26.4.3 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	PALDnn							
									23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PALDnn															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31 ~ 24	-	-	R	リザーブビット
23 ~ 0	PALDnn23 ~ PALDnn0	-	R/W	パレットデータ ビット 18 ~ 16、9、8、2 ~ 0 は、RGB 各パレット内のリザーブビットです。設定できませんが、上位ビットに従って拡張して使用できます。

【注】 nn = H'00 ~ H'FF

## 26.3.10 LCDC 水平キャラクタナンバーレジスタ (LDHCNR)

LDHCNR は、液晶モジュールの横方向 (スキャン方向) のサイズ、および水平帰線期間を含めた全体のスキャン幅を指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HDCN7	HDCN6	HDCN5	HDCN4	HDCN3	HDCN2	HDCN1	HDCN0	HTCN7	HTCN6	HTCN5	HTCN4	HTCN3	HTCN2	HTCN1	HTCN0
初期値:	0	1	0	0	1	1	1	1	0	1	0	1	0	0	1	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	HDCN7	0	R/W	水平表示キャラクタナンバー
14	HDCN6	1	R/W	水平画面方向の表示キャラクタ数を設定します (キャラクタ=8 ドット単位)。 (表示キャラクタ数) - 1 の値を設定してください。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HDCN = (640/8) - 1 = 79 = H'4F$
13	HDCN5	0	R/W	
12	HDCN4	0	R/W	
11	HDCN3	1	R/W	
10	HDCN2	1	R/W	
9	HDCN1	1	R/W	
8	HDCN0	1	R/W	
7	HTCN7	0	R/W	水平総キャラクタナンバー
6	HTCN6	1	R/W	水平画面方向の総キャラクタ数を設定します (キャラクタ=8 ドット単位)。 (総キャラクタ数) - 1 の値を設定してください。 ただし、最小の水平帰線期間は 3 キャラクタ (24 ドット) です。 (例) 横幅 640pixel の液晶モジュールを使用する場合 $HTCN = [(640/8) - 1] + 3 = 82 = H'52$ この場合、水平総ドット数は 664 ドット、水平帰線期間は 24 ドットになります。
5	HTCN5	0	R/W	
4	HTCN4	1	R/W	
3	HTCN3	0	R/W	
2	HTCN2	0	R/W	
1	HTCN1	1	R/W	
0	HTCN0	0	R/W	

- 【注】
- HDCN、HTCN の設定値は、 $HTCN > = HDCN$  の関係を必ず満足してください。また、HTCN は総キャラクタ数を偶数としてください (設定値は -1 値設定のため奇数となります)。
  - HDCN の設定は、使用するディスプレイの解像度によって下記としてください。
    - 1bpp の場合: (16 の倍数) - 1 [1 ラインが 128pixel の倍数]
    - 2bpp の場合: (8 の倍数) - 1 [1 ラインが 64pixel の倍数]
    - 4bpp の場合: (4 の倍数) - 1 [1 ラインが 32pixel の倍数]
    - 6bpp/8bpp の場合: (2 の倍数) - 1 [1 ラインが 16pixel の倍数]

## 26.3.11 LCDC 水平同期信号レジスタ (LDHSYNR)

LDHSYNR は、液晶パネルモジュールの横方向 (スキャン方向) の同期信号のタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HSYNW3	HSYNW2	HSYNW1	HSYNW0	-	-	-	-	HSYNP7	HSYNP6	HSYNP5	HSYNP4	HSYNP3	HSYNP2	HSYNP1	HSYNP0
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15	HSYNW3	0	R/W	水平同期信号幅
14	HSYNW2	0	R/W	水平画面方向の同期信号 (CL1、Hsync) 幅を設定します (キャラクタ = 8 ドット単位)。
13	HSYNW1	0	R/W	(水平同期信号幅) - 1 の値を設定してください。
12	HSYNW0	0	R/W	(例) 水平同期信号幅を 8 ドットとする場合 $HSYNW = (8 \text{ ドット} / 8 \text{ ドット} / \text{キャラクタ}) - 1 = 0 = H'0$
11~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	HSYNP7	0	R/W	水平同期信号出力位置
6	HSYNP6	1	R/W	水平画面方向の同期信号の出力位置を設定します (キャラクタ = 8 ドット単位)。
5	HSYNP5	0	R/W	(水平同期信号出力位置) - 1 の値を設定してください。
4	HSYNP4	1	R/W	(例) 横幅 640pixel の液晶モジュールを使用する場合 $HSYNP = [(640/8) + 1] - 1 = 80 = H'50$
3	HSYNP3	0	R/W	この場合、648 ドット目から 655 ドット目まで水平同期信号がアクティブになります。
2	HSYNP2	0	R/W	
1	HSYNP1	0	R/W	
0	HSYNP0	0	R/W	

【注】  $HTCN > = HSYNP + HSYNW + 1$

$HSYNP > = HDCN + 1$  の関係を満足してください。

## 26.3.12 LCDC 垂直表示ラインナンバーレジスタ (LDVDLNR)

LDVDLNR は、液晶パネルモジュールの縦方向(スキャン方向と垂直方向)のサイズを指定するレジスタです。DSTN の場合は上下のパネルの大きさにかかわらず、パネルモジュールとしての縦方向サイズ以上の偶数を指定してください(例: 640×480 のパネルの場合は 480)。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VDLN10	VDLN9	VDLN8	VDLN7	VDLN6	VDLN5	VDLN4	VDLN3	VDLN2	VDLN1	VDLN0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VDLN10	0	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します(ライン単位)。 (表示ライン数) - 1 の値を設定してください。 (例) 480 ラインの液晶モジュールを使用する場合 VDLN = 480 - 1 = 479 = H'1DF
9	VDLN9	0	R/W	
8	VDLN8	1	R/W	
7	VDLN7	1	R/W	
6	VDLN6	1	R/W	
5	VDLN5	0	R/W	
4	VDLN4	1	R/W	
3	VDLN3	1	R/W	
2	VDLN2	1	R/W	
1	VDLN1	1	R/W	
0	VDLN0	1	R/W	

## 26.3.13 LCDC 垂直総ラインナンバーレジスタ (LDVTLNR)

LDVTLNR は、液晶パネルモジュールの垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN10	VTLN9	VTLN8	VTLN7	VTLN6	VTLN5	VTLN4	VTLN3	VTLN2	VTLN1	VTLN0
初期値:	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	VTLN10	0	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します (ライン単位)。 (総ライン数) - 1 の値を設定してください。 最小の垂直総ライン数は2ラインです。 VTLN > = VDLN、VTLN > = 1 を満足してください。 (例) 480 ラインの液晶モジュールを使用し、垂直帰線期間が0ラインの場合 VTLN = (480 + 0) - 1 = 479 = H'1DF
9	VTLN9	0	R/W	
8	VTLN8	1	R/W	
7	VTLN7	1	R/W	
6	VTLN6	1	R/W	
5	VTLN5	0	R/W	
4	VTLN4	1	R/W	
3	VTLN3	1	R/W	
2	VTLN2	1	R/W	
1	VTLN1	1	R/W	
0	VTLN0	1	R/W	

## 26.3.14 LCDC 垂直同期信号レジスタ (LDVSYNR)

LDVSYNR は、液晶モジュールの縦方向 (スキャン方向と垂直方向) の同期信号のタイミングを指定するレジスタです。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSYNW3	VSYNW2	VSYNW1	VSYNW0	-	VSYNP10	VSYNP9	VSYNP8	VSYNP7	VSYNP6	VSYNP5	VSYNP4	VSYNP3	VSYNP2	VSYNP1	VSYNP0
初期値 :	0	0	0	0	0	0	0	1	1	1	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	VSYNW3	0	R/W	垂直同期信号幅
14	VSYNW2	0	R/W	垂直画面方向の同期信号 (FLM、Vsync) 幅を設定します (ライン単位)。
13	VSYNW1	0	R/W	(垂直同期信号幅) - 1 の値を設定してください。
12	VSYNW0	0	R/W	(例) 垂直同期信号幅を 1 ラインとする場合 $VSYNW = (1 - 1) = 0 = H'0$
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	VSYNP10	0	R/W	垂直同期信号出力位置
9	VSYNP9	0	R/W	垂直画面方向の同期信号 (FLM、Vsync) の出力位置を設定します (ライン単位)。
8	VSYNP8	1	R/W	(垂直同期信号出力位置) - 2 の値を設定してください。
7	VSYNP7	1	R/W	
6	VSYNP6	1	R/W	DSTN の場合は奇数値を設定してください。(設定値 + 1)/2 として扱われます。
5	VSYNP5	0	R/W	
4	VSYNP4	1	R/W	(例) 480 ラインの液晶モジュールを使用し、帰線期間が 0 ライン、つまり $VTLN = 479$ のときに 1 ライン目に垂直同期信号をアクティブにする場合
3	VSYNP3	1	R/W	
2	VSYNP2	1	R/W	
1	VSYNP1	1	R/W	• シングルディスプレイの場合
0	VSYNP0	1	R/W	$VSYNP = [(1 - 1) + VTLN] \bmod (VTLN + 1) = [(1 - 1) + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$
				• デュアルアドレスの場合
				$VSYNP = [(1 - 1) \times 2 + VTLN] \bmod (VTLN + 1) = [(1 - 1) \times 2 + 479] \bmod (479 + 1)$ $= 479 \bmod 480 = 479$ $= H'1DF$

### 26.3.15 LCDC AC モジュレーション信号トグルラインナンバーレジスタ (LDACLNR)

LDACLNR は、液晶モジュールの AC モジュレーション信号 (液晶交流化信号) をトグルするタイミングを指定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	ACLN4	ACLN3	ACLN2	ACLN1	ACLN0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ACLN4	0	R/W	AC ラインナンバー
3	ACLN3	1	R/W	液晶モジュール交流化信号をトグルする行数を設定します(ライン単位)。
2	ACLN2	1	R/W	(トグルする行数) - 1 の値を設定してください。
1	ACLN1	0	R/W	(例) 13 ラインごとにトグルさせる場合
0	ACLN0	0	R/W	ACLN = 13 - 1 = 12 = H'0C

【注】 パネルの総ライン数が偶数の場合、必ず奇数行でトグルするように偶数を設定してください。

### 26.3.16 LCDC 割り込みコントロールレジスタ (LDINTR)

LDINTR は、Vsync 割り込みの開始点を指定するレジスタです。割り込みについては、「26.3.20 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)」および「26.3.21 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)」も参照してください。なお、本レジスタの設定による作用と、LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR) の設定による作用は独立です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MINT EN	FINT EN	VSINT EN	VEINT EN	MINTS	FINTS	VSINTS	VEINTS	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	MINTEN	0	R/W	<p>メモリアクセス割り込みイネーブル</p> <p>LCDC による VRAM アクセスの垂直帰線期間の開始点で割り込みを発生するか否かを設定します。</p> <p>0: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生しません。</p> <p>1: VRAM アクセスの垂直帰線期間の開始点で割り込みを発生します。</p>
14	FINTEN	0	R/W	<p>フレーム終了割り込みイネーブル</p> <p>液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生するか否かを設定します。</p> <p>0: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生しません。</p> <p>1: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生します。</p>
13	VSINTEN	0	R/W	<p>Vsync 開始割り込みイネーブル</p> <p>LCDC Vsync の開始時に割り込みを発生するか否かを設定します。</p> <p>0: LCDC Vsync の開始時に割り込みを発生しません。</p> <p>1: LCDC Vsync の開始時に割り込みを発生します。</p>
12	VEINTEN	0	R/W	<p>Vsync 終了割り込みイネーブル</p> <p>LCDC Vsync の終了時に割り込みを発生するか否かを設定します。</p> <p>0: LCDC Vsync の終了時に割り込みを発生しません。</p> <p>1: LCDC Vsync の終了時に割り込みを発生します。</p>
11	MINTS	0	R/W	<p>メモリアクセス割り込み状態</p> <p>メモリアクセス割り込みの処理状態を表します。</p> <p>このビットは、LCDC メモリアクセス割り込みが発生した時点で 1 を示します (セット状態)。メモリアクセス割り込みに対する処理ルーチンの中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0: LCDC がメモリアクセス割り込みを発生していないか、またはメモリアクセス割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1: LCDC がメモリアクセス割り込みを発生し処理済の通知を受けていない状態を表します。</p>
10	FINTS	0	R/W	<p>フレーム終了割り込み状態</p> <p>フレーム終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC フレーム終了割り込みが発生した時点で 1 を示します (セット状態)。フレーム終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0: LCDC がフレーム終了割り込みを発生していないか、またはフレーム終了割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1: LCDC がフレーム終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>

ビット	ビット名	初期値	R/W	説明
9	VSINTS	0	R/W	<p>Vsync 開始割り込み状態 LCDC Vsync 開始割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 開始割り込みが発生した時点で 1 を示します (セット状態)。Vsync 開始割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0: LCDC が Vsync 開始割り込みを発生していないか、または Vsync 開始割り込み発生に対して処理済の通知を受けた状態を表します。</p> <p>1: LCDC が Vsync 開始割り込みを発生し処理済の通知を受けていない状態を表します。</p>
8	VEINTS	0	R/W	<p>Vsync 終了割り込み状態 LCDC Vsync 終了割り込みの処理状態を表します。</p> <p>このビットは、LCDC Vsync 終了割り込みが発生した時点で 1 を示します (セット状態)。Vsync 終了割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0: LCDC が Vsync 終了割り込みを発生していないか、または Vsync 終了割り込み発生に対して処理済の通知を受けた状態を示します。</p> <p>1: LCDC が Vsync 終了割り込みを発生し処理済の通知を受けていない状態を表します。</p>
7~0	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

### 26.3.17 LCDC パーマネジメントモードレジスタ (LDPMMR)

LDPMMR は、液晶パネルモジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。LCD\_VCPWC と LCD\_VEPWC の 2 種類の電源制御端子を使用するかしないか、電源投入機能オン/オフを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONC3	ONC2	ONC1	ONC0	OFFD3	OFFD2	OFFD1	OFFD0	-	VCPE	VEPE	DONE	-	-	LPS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	ONC3	0	R/W	LCDC 電源投入シーケンス期間 LCD モジュールの電源投入シーケンスにおいて LCD_VEPWC 端子のアサートから LCD_DON 端子のアサートまでの期間をフレーム周期単位設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の(c)期間に当たります。詳細な方法は、表 26.6 を参照してください(設定方法は ONA、ONB、OFFD、OFFE、OFFF の各レジスタに共通です)。
14	ONC2	0	R/W	
13	ONC1	0	R/W	
12	ONC0	0	R/W	
11	OFFD3	0	R/W	LCDC 電源遮断シーケンス期間 LCD モジュールの電源遮断シーケンスにおいて LCD_DON 端子のネグートから LCD_VEPWC 端子のネグートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 ~ 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の(d)期間に当たります。
10	OFFD2	0	R/W	
9	OFFD1	0	R/W	
8	OFFD0	0	R/W	
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	VCPE	0	R/W	LCD_VCPWC 端子イネーブル LCD_VCPWC 端子を用いた電源制御シーケンス処理の有無を設定します 0 : (処理無) LCD_VCPWC 端子出力はマスクされロー固定 1 : (処理有) LCD_VCPWC 端子出力は所定のシーケンスに従いアサート、ネグートする
5	VEPE	0	R/W	LCD_VEPWC 端子イネーブル LCD_VEPWC 端子を用いた電源制御シーケンス処理の有無を設定します。 0 : (処理無) LCD_VEPWC 端子出力はマスクされロー固定 1 : (処理有) LCD_VEPWC 端子出力は所定のシーケンスに従いアサート、ネグートする
4	DONE	1	R/W	LCD_DON 端子イネーブル LCD_DON 端子を用いた電源制御シーケンス処理の有無を設定します。 0 : (処理無) LCD_DON 端子出力はマスクされロー固定 1 : (処理有) LCD_DON 端子出力は所定のシーケンスに従いアサート、ネグートする
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	LPS[1:0]	00	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00 : 液晶モジュール電源遮断 11 : 液晶モジュール電源投入

## 26.3.18 LCDC 電源シーケンス期間レジスタ (LDPSPR)

LDPSPR は、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。  
LCD\_VEPWC、LCD\_VCPWC 端子とそれに伴うタイミング信号の出力開始タイミングを指定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ONA3	ONA2	ONA1	ONA0	ONB3	ONB2	ONB1	ONB0	OFFE3	OFFE2	OFFE1	OFFE0	OFFF3	OFFF2	OFFF1	OFFF0
初期値:	1	1	1	1	0	1	1	0	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

ビット	ビット名	初期値	R/W	説明
15	ONA3	1	R/W	LCDC 電源投入シーケンス期間
14	ONA2	1	R/W	LCD モジュールの電源投入シーケンスにおいて LCD_VCPWC 端子のアサートから表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 - 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (a) 期間に当たります。
13	ONA1	1	R/W	
12	ONA0	1	R/W	
11	ONB3	0	R/W	
10	ONB2	1	R/W	LCD モジュールの電源投入シーケンスにおいて表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力開始から LCD_VEPWC 端子のアサートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 - 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (b) 期間に当たります。
9	ONB1	1	R/W	
8	ONB0	0	R/W	
7	OFFE3	0	R/W	
6	OFFE2	0	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて LCD_VEPWC 端子ネゲートから表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止までの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 - 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (e) 期間に当たります。
5	OFFE1	0	R/W	
4	OFFE0	0	R/W	
3	OFFF3	1	R/W	
2	OFFF2	1	R/W	LCDC 電源遮断シーケンス期間 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCD_DATA) とタイミング信号 (LCD_FLM、LCD_CL1、LCD_CL2、LCD_M_DISP) の出力停止から LCD_VCPWC 端子のネゲートまでの期間をフレーム周期単位で設定します。(期間) - 1 の値を設定してください。 図 26.4 - 図 26.7 の「電源制御シーケンスと液晶モジュールの動作状態」の (f) 期間に当たります。
1	OFFF1	1	R/W	
0	OFFF0	1	R/W	

### 26.3.19 LCDC コントロールレジスタ (LDCNTR)

LDCNTR は、LCDC による表示動作の開始 / 終了を指定します。

DON2 ビットと DON ビットにそれぞれ 1 を書き込んだとき、LCDC は表示動作を開始します。次に、LDPMMR および LDPSPR で設定されたシーケンスに従って液晶モジュールの電源を投入します。LPS1、LPS0 ビットが B'00 から B'11 になれば所定のシーケンスは終了です。なお、所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

LCDC の表示動作を終了するときは、DON ビットを 0 に設定します。LDPMMR および LDPSPR で設定されたシーケンスに従って液晶モジュールの電源を遮断します。LCDC の動作を停止します。LPS[1:0]が B'11 から B'00 になれば所定のシーケンスは終了です。なお所定のシーケンスが終了するまで次の DON ビットの操作を行わないでください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	DON2	-	-	-	DON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DON2	0	R/W	ディスプレイオン 2 LCDC による表示動作開始を指示します。 0 : LCDC 動作 / 終了中 1 : 動作開始 このビットを読み出すと常に 0 が読み出されます。表示動作開始時のみ 1 を書き込んでください。表示動作開始時以外で 1 を書いた場合の動作は保証されません。書き込んだ 1 は 0 に自動的に復帰するので、1 をクリアするために 0 を書き込む必要はありません。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DON	0	R/W	ディスプレイオン LCDC による表示動作の開始 / 終了を指示します。 制御シーケンスの状態は LDPMMR の LPS[1:0]値を参照することで確認できます。 0 : LCDC 非動作。表示オフモード 1 : LCDC 動作。表示オンモード

- 【注】
- 表示開始時は H'0011 を LDCNTR に、表示終了時は H'0000 を LDCNTR に書き込んでください。これ以外の値は書き込まないでください。
  - DON2 ビットに 1 を書き込むとパレット RAM データが不定になるので、DON2 ビットに 1 を書き込んでからパレット RAM にデータを設定してください。
  - LDCNTR 書き込み後に LCDC の別のレジスタにアクセスを行う場合は、P クロック 4 サイクル以上間をあげるか STBCR4 のダミーリードを 1 回行ってください。

### 26.3.20 LCDC ユーザ指定割り込みコントロールレジスタ (LDUINTR)

LDUINTR は、ユーザ指定割り込みの発生有無を設定し、その状態を表示するレジスタです。本割り込みは、LCDC が LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR) で設定したラインの画像データを VRAM から読み終えた時点で発生します。

本 LCDC が発行する割り込み (LCDCI) は、本レジスタによるユーザ指定割り込みと LCDC 割り込みコントロールレジスタ (LDINTR) によるメモリアクセス、Vsync 割り込みとの OR 出力となります。なお、本レジスタと LCDC 割り込みコントロールレジスタ (LDINTR) の設定は、割り込み動作に対して独立に作用します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UINTEN	-	-	-	-	-	-	-	UINTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されず。書き込む値も常に0にしてください。
8	UINTEN	0	R/W	ユーザ指定割り込みイネーブル LCDC ユーザ指定割り込みを発生するかどうかを設定します。 0: LCDC ユーザ指定割り込みを発生しません。 1: LCDC ユーザ指定割り込みを発生します。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されず。書き込む値も常に0にしてください。
0	UINTS	0	R/W	ユーザ指定割り込み状態 このビットは、LCDC ユーザ指定割り込みが発生した時点で1を示します (セット状態)。ユーザ指定割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。 0: LCDC がユーザ指定割り込みを発生していないか、またはユーザ指定割り込み発生に対して処理済の通知を受けた状態を表します。 1: LCDC がユーザ指定割り込みを発生し処理済の通知を受けていない状態を表します。

#### 【注】 割り込み処理の流れ

1. 割り込み信号入力
2. LDINTR のリード
3. もし MINTS または FINTS または VSINTS または VEINTS = 1 ならば、その割り込みはメモリアクセスあるいはフレーム終了割り込みあるいは Vsync 立ち上がり割り込みあるいは Vsync 立ち下がり割り込み。それぞれの割り込みに対する処理を行う。
4. もし MINTS = FINTS = VSINTS = VEINTS = 0 ならば、その割り込みはメモリアクセス、フレーム終了、Vsync 立ち上がり割り込み、および Vsync 立ち下がり割り込みではない。
5. UINTS のリード
6. もし UINTS = 1 ならば、その割り込みはユーザ指定割り込み。ユーザ指定割り込みに対する処理を行う。
7. もし UINTS = 0 ならば、その割り込みはユーザ指定割り込みではない。他の処理を行う。

## 26.3.21 LCDC ユーザ指定割り込みラインナンバーレジスタ (LDUINTLNR)

LDUINTLNR は、ユーザ指定割り込みを発生する位置を設定するレジスタです。設定は水平ライン単位で行うことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	UINTLN10	UINTLN9	UINTLN8	UINTLN7	UINTLN6	UINTLN5	UINTLN4	UINTLN3	UINTLN2	UINTLN1	UINTLN0
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	UINTLN10	0	R/W	ユーザ指定割り込み発生ラインナンバー ユーザ指定割り込みを発生するラインを設定します (ライン単位)。 (割り込み発生ライン数) - 1 の値を設定してください。 (例) 80 ライン目にユーザ指定割り込みを発生する場合: $HINTLN = 160/2 - 1 = 79 = H'04F$
9	UINTLN9	0	R/W	
8	UINTLN8	0	R/W	
7	UINTLN7	0	R/W	
6	UINTLN6	1	R/W	
5	UINTLN5	0	R/W	
4	UINTLN4	0	R/W	
3	UINTLN3	1	R/W	
2	UINTLN2	1	R/W	
1	UINTLN1	1	R/W	
0	UINTLN0	1	R/W	

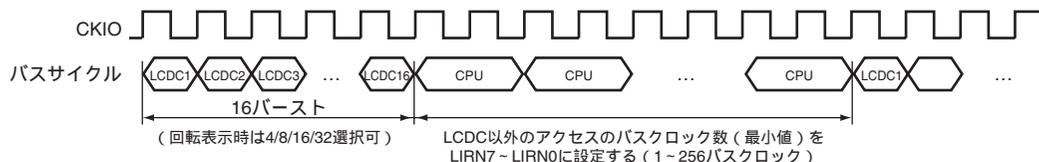
- 【注】
1. STN/TFT の液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) 以下にしてください。
  2. DSTN 液晶モジュールを使用する場合、本レジスタの設定値は LDVDLNR の垂直表示ラインナンバー (VDLN) の 1/2 以下に設定してください。このとき、ユーザ指定割り込みは LCDC が下部画面の画像データを本レジスタに設定したライン数分 VRAM から読み終えた時点で発生します。

## 26.3.22 LCDC メモリアクセスインターバルナンバレジスタ (LDLIRNR)

LDLIRNR は、LCDC が VRAM を読み出す際のバスクロックの間隔を制御します。LDLIRNR で設定したバスクロック期間、LCDC は VRAM をアクセスしませんので、その間は CPU/DMAC による外部バスアクセスが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	LIRN7	LIRN6	LIRN5	LIRN4	LIRN3	LIRN2	LIRN1	LIRN0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	LIRN7~ LIRN0	すべて0	R/W	LCDC の VRAM 読み出しバスクロック間隔 LCDC が VRAM を読み出すバーストバーストサイクルの間に挿入するバスクロックの数を指定します。 H'00 : 1 バスクロック H'01 : 2 バスクロック : H'FF : 256 バスクロック



## 26.4 動作説明

### 26.4.1 LCDC で表示可能な液晶モジュールのサイズについて

LCDC は、機能としては 1024 × 1024 ドット、16bpp (ビットパワピクセル) の表示を行うことが可能です。しかし、表示される画像のイメージは CPU と共有である VRAM に格納されており、本 LCDC は表示に間に合うように VRAM からデータの読み出しを行う必要があります。

本 LSI では、最大 32 バーストのメモリリードと 2.4K バイトのラインバッファ内蔵により、表示の破綻が起こりにくいのですが、組み合わせによっては、表示が困難になることがあります。

目安としては、下記に示されたバス占有率が 40% を超えないようにしてください。

$$\text{バス占有率 (\%)} = \frac{\text{オーバーヘッド係数} \times \text{表示総ピクセル数}((\text{HDCN} + 1) \times 8 \times (\text{VDLN} + 1)) \times \text{フレームレート (Hz)} \times \text{色数 (bpp)}}{\text{CKIO (Hz)} \times \text{バス幅 (bit)}} \times 100$$

オーバーヘッド係数は、CL2 の SDRAM が 32 ビットバスのときに 1.375、16 ビットバスのときに 1.188 となります。

図 26.2 に有効な表示と帰線期間について示します。

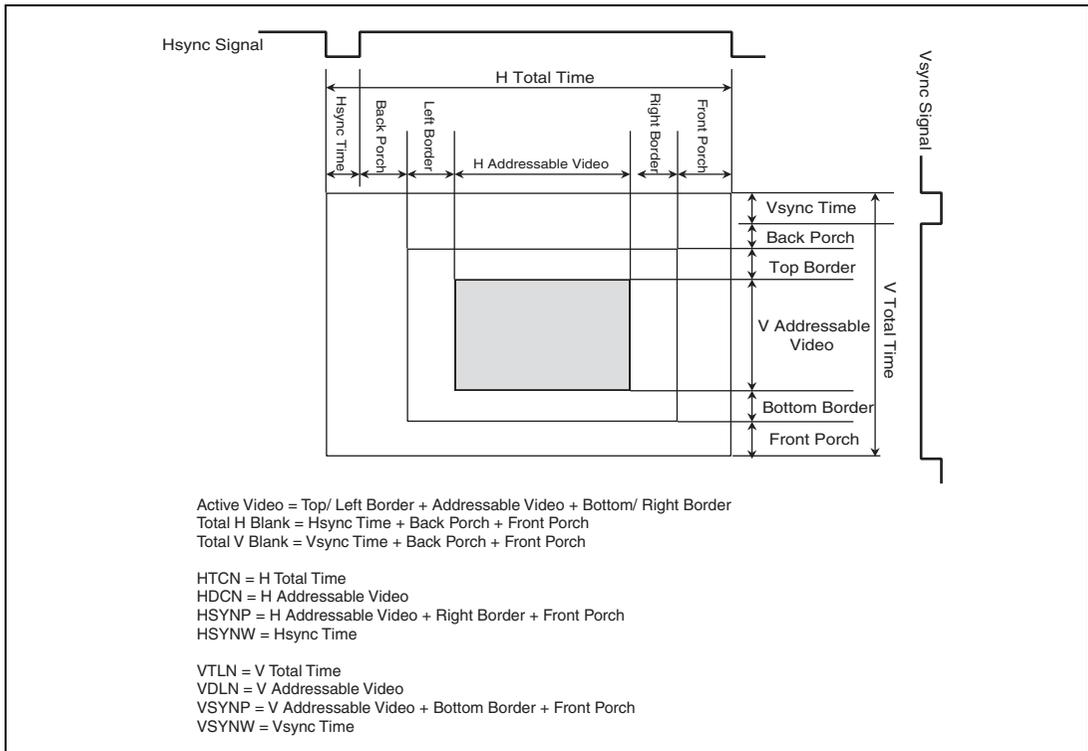


図 26.2 有効な表示と帰線期間

## 26.4.2 回転表示の解像度 / バースト長および接続メモリ (SDRAM) の制限

本 LCDC は、縦長の表示イメージを 90 度回転して、対応する横長の液晶モジュールに表示可能です。それぞれの解像度について以下に示す色数の表示のみ可能です。また、SDRAM を連続して読み出すために SDRAM のサイズ (カラムアドレスビット数) および LCDC のバースト長に制限があります。

表示色数、SDRAM カラムアドレス数および LCDC のバースト長の制限を表 26.4 および表 26.5 に示します。

なお、モノクロの表示イメージを表示するにはモノクロの液晶モジュールを、カラーの表示イメージを表示するにはカラーの液晶モジュールを必要とします。

表 26.4 回転表示の解像度 / バースト長および接続メモリの制限 (SDRAM 32 ビット幅時)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレスビット数	LCDC の バースト長 (LDSMR*)
240 × 320	320 × 240	モノクロ	4bpp (packed)	8 ビット品	8 バースト以下
				9 ビット品	16 バースト以下
				10 ビット品	-
			4bpp (unpacked)	8 ビット品	4 バースト
				9 ビット品	8 バースト以下
				10 ビット品	16 バースト以下
		6bpp	8 ビット品	4 バースト	
			9 ビット品	8 バースト以下	
			10 ビット品	16 バースト以下	
		カラー	8bpp	8 ビット品	4 バースト
				9 ビット品	8 バースト以下
				10 ビット品	16 バースト以下
16bpp	8 ビット品		使用不可		
	9 ビット品		4 バースト		
	10 ビット品		8 バースト以下		
234 × 320	320 × 234	モノクロ	6bpp	8 ビット品	4 バースト
				9 ビット品	8 バースト以下
				10 ビット品	16 バースト以下
		カラー	16bpp	8 ビット品	使用不可
				9 ビット品	4 バースト
				10 ビット品	8 バースト以下
				10 ビット品	8 バースト以下

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレスビット数	LCDC の バースト長 (LDSMR*)
80 × 160	160 × 80	モノクロ	2bpp	8 ビット品	-
				9 ビット品	-
				10 ビット品	-
			4bpp (packed)	8 ビット品	16 バースト以下
				9 ビット品	-
				10 ビット品	-
			4bpp (unpacked)	8 ビット品	8 バースト以下
				9 ビット品	16 バースト以下
				10 ビット品	-
			6bpp	8 ビット品	8 バースト以下
				9 ビット品	16 バースト以下
				10 ビット品	-
		カラー	4bpp (packed)	8 ビット品	16 バースト以下
				9 ビット品	-
				10 ビット品	-
			4bpp (unpacked)	8 ビット品	8 バースト以下
				9 ビット品	16 バースト以下
				10 ビット品	-
			8bpp	8 ビット品	8 バースト以下
				9 ビット品	16 バースト以下
				10 ビット品	-
			16bpp	8 ビット品	4 バースト
				9 ビット品	8 バースト以下
				10 ビット品	16 バースト以下

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレスビット数	LCDC の バースト長 (LDSMR*)	
64 × 128	128 × 64	モノクロ	1bpp	8 ビット品	-	
				9 ビット品	-	
				10 ビット品	-	
			2bpp	8 ビット品	-	
				9 ビット品	-	
				10 ビット品	-	
			4bpp (packed)	8 ビット品	-	
				9 ビット品	-	
				10 ビット品	-	
			4bpp (unpacked)	8 ビット品	16 バースト以下	
				9 ビット品	-	
				10 ビット品	-	
			6bpp	8 ビット品	16 バースト以下	
				9 ビット品	-	
				10 ビット品	-	
			カラー	4bpp (packed)	8 ビット品	-
					9 ビット品	-
					10 ビット品	-
		4bpp (unpacked)		8 ビット品	16 バースト以下	
				9 ビット品	-	
				10 ビット品	-	
		8bpp		8 ビット品	16 バースト以下	
				9 ビット品	-	
				10 ビット品	-	

【注】 \* バースト長に設定したライン数分のデータが SDRAM の同一 ROW アドレス内に入るように、データを設定してください。

表 26.5 回転表示の解像度 / パースト長および接続メモリの制限 (SDRAM 16 ビット幅時)

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレスビット数	LCDC の パースト長 (LDSMR*)
240 × 320	320 × 240	モノクロ	4bpp (packed)	8 ビット品	4 パースト以下
				9 ビット品	8 パースト以下
				10 ビット品	16 パースト以下
			4bpp (unpacked)	8 ビット品	使用不可
				9 ビット品	4 パースト
				10 ビット品	8 パースト以下
			6bpp	8 ビット品	使用不可
				9 ビット品	4 パースト
				10 ビット品	8 パースト以下
		カラー	8bpp	8 ビット品	使用不可
				9 ビット品	4 パースト
				10 ビット品	8 パースト以下
			16bpp	8 ビット品	使用不可
				9 ビット品	使用不可
				10 ビット品	4 パースト
234 × 320	320 × 234	モノクロ	6bpp	8 ビット品	使用不可
				9 ビット品	4 パースト
				10 ビット品	8 パースト以下
		カラー	16bpp	8 ビット品	使用不可
				9 ビット品	使用不可
				10 ビット品	4 パースト
				10 ビット品	4 パースト

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM コラムアドレスビット数	LCDC の バースト長 (LDSMR*)	
80 × 160	160 × 80	モノクロ	2bpp	8 ビット品	16 バースト以下	
				9 ビット品	-	
				10 ビット品	-	
			4bpp (packed)	8 ビット品	8 バースト以下	
				9 ビット品	16 バースト以下	
				10 ビット品	-	
			4bpp (unpacked)	8 ビット品	4 バースト	
				9 ビット品	8 バースト以下	
				10 ビット品	16 バースト以下	
			6bpp	8 ビット品	4 バースト	
				9 ビット品	8 バースト以下	
				10 ビット品	16 バースト以下	
			カラー	4bpp (packed)	8 ビット品	8 バースト以下
					9 ビット品	16 バースト以下
					10 ビット品	-
				4bpp (unpacked)	8 ビット品	4 バースト
					9 ビット品	8 バースト以下
					10 ビット品	16 バースト以下
		8bpp		8 ビット品	4 バースト	
				9 ビット品	8 バースト以下	
				10 ビット品	16 バースト以下	
		16bpp		8 ビット品	使用不可	
				9 ビット品	4 バースト	
				10 ビット品	8 バースト以下	

メモリ上の表示イメージ (X 解像度 × Y 解像度)	LCDC モジュール (X 解像度 × Y 解像度)	表示色数		使用する SDRAM カラムアドレスビット数	LCDC の バースト長 (LDSMR*)	
64 × 128	128 × 64	モノクロ	1bpp	8 ビット品	-	
				9 ビット品	-	
				10 ビット品	-	
			2bpp	8 ビット品	-	
				9 ビット品	-	
				10 ビット品	-	
			4bpp (packed)	8 ビット品	16 バースト以下	
				9 ビット品	-	
				10 ビット品	-	
			4bpp (unpacked)	8 ビット品	8 バースト以下	
				9 ビット品	16 バースト以下	
				10 ビット品	-	
			6bpp	8 ビット品	8 バースト以下	
				9 ビット品	16 バースト以下	
				10 ビット品	-	
			カラー	4bpp (packed)	8 ビット品	16 バースト以下
					9 ビット品	-
					10 ビット品	-
		4bpp (unpacked)		8 ビット品	8 バースト以下	
				9 ビット品	16 バースト以下	
				10 ビット品	-	
		8bpp		8 ビット品	8 バースト以下	
				9 ビット品	16 バースト以下	
				10 ビット品	-	

【注】 \* バースト長に設定したライン数分のデータが SDRAM の同一 ROW アドレス内に入るように、データを設定してください。

### 26.4.3 カラーパレット仕様について

#### (1) カラーパレットレジスタ

本LCDCは1エントリにつき24ビットデータ出力で256エントリ同時使用可能なカラーパレットを有しており、本カラーパレットを利用することで16M色中256色同時発色が可能です。

また、本カラーパレットは以下の手順によって、ユーザにより随時設定可能です。

1. LDPALCRのPALENビット=0(初期値)：通常表示動作
2. LDPALCRにアクセスしPALEN=1を設定：カラーパレット設定モードに移行は周辺クロックの3サイクル後
3. LDPALCRにアクセスしPALS=1を確認
4. LDPR00~FFにアクセスしPALD00~FFに必要な値を書き込む
5. LDPALCRにアクセスしPALEN=0を設定：通常表示モードに移行は周辺クロックの1サイクル後

なお、LDPALCRのPALS=1の間、LCDC表示データ出力(LCD\_DATA)は0値出力となります。

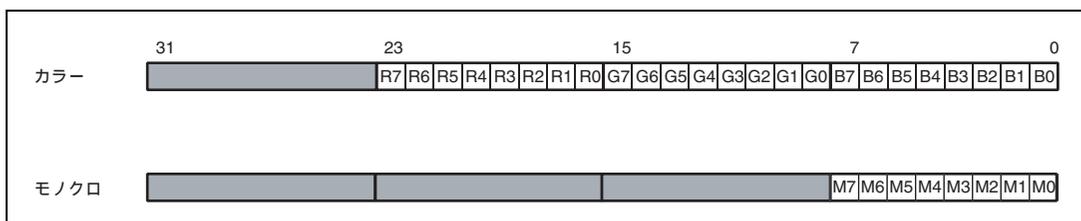


図 26.3 カラーパレットデータフォーマット

PALDnnの色/階調データは上記のように設定してください。

カラー表示の場合、PALDnn[23:16]にはRデータを、PALDnn[15:8]にはGデータを、PALDnn[7:0]にはBデータを設定します。ただし、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]にはレジスタのビットは存在しますが、それに対応するメモリが存在しません。そのため、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]はパレットのデータを保存することができないため、R:5ビット、G:6ビット、B:5ビットが有効となります。実際に使用する際は、24ビット(R:8ビット、G:8ビット、B:8ビット)のデータを書き込んでください。PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0でないときは、PALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0または1で埋め、PALDnn[23:19]、PALDnn[15:10]、PALDnn[7:3]の値が0のときはPALDnn[18:16]、PALDnn[9:8]、PALDnn[2:0]を0で埋めることで24ビットに拡張します。

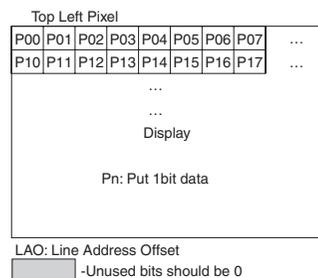
モノクロ表示の場合、PALDnn[7:3]に階調データを設定します。PALDnn[23:8]はdon't careです。PALDnn[7:3]の値が0でないときはPALDnn[2:0]を1で埋め、PALDnn[7:3]の値が0のときはPALDnn[2:0]を0で埋めることで8ビットに拡張します。

【記号説明】nn：H'00～H'FF

## 26.4.4 データフォーマット

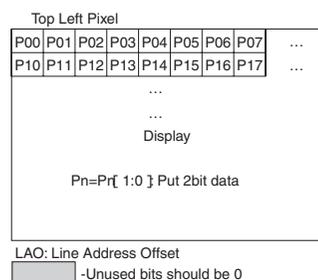
## 1. Packed 1bpp (Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format

Address	MSB							LSB	Bit ]
	7	6	5	4	3	2	1	0	
+00	P00	P01	P02	P03	P04	P05	P06	P07	(Byte0)
+01	P08								(Byte1)
+02	...								
+03	...								
...	...								
+LAO+00	P10	P11	P12	P13	P14	P15	P16	P17	
+LAO+01	P18								
+LAO+02	...								
+LAO+03	...								
...	Display Memory								



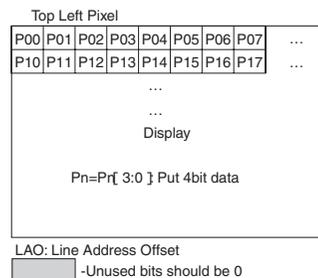
## 2. Packed 2bpp (Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format

Address	MSB				LSB				Bit ]		
	7	6	5	4	3	2	1	0			
+00	P00			P01			P02			P03	(Byte0)
+01	P04			P05			P06			P07	(Byte1)
+02	...										
+03	...										
...	...										
+LAO+00	P10			P11			P12			P13	
+LAO+01	P14			P15			P16			P17	
+LAO+02	...										
+LAO+03	...										
...	Display Memory										



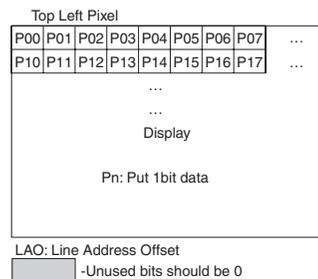
## 3. Packed 4bpp (Pixel Alignment in Byte is Big Endian) Windows CE Recommended Format

Address	MSB				LSB				Bit ]
	7	6	5	4	3	2	1	0	
+00	P00				P01				(Byte0)
+01	P02				P03				(Byte1)
+02	P04				P05				(Byte2)
+03	...								
...	...								
+LAO+00	P10				P11				
+LAO+01	P12				P13				
+LAO+02	P14				P15				
+LAO+03	...								
...	Display Memory								

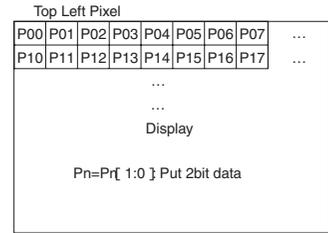
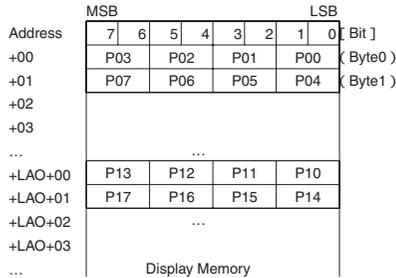


## 4. Packed 1bpp (Pixel Alignment in Byte is Little Endian)

Address	MSB							LSB	Bit ]
	7	6	5	4	3	2	1	0	
+00	P07	P06	P05	P04	P03	P02	P01	P00	(Byte0)
+01								P08	(Byte1)
+02	...								
+03	...								
...	...								
+LAO+00	P17	P16	P15	P14	P13	P12	P11	P10	
+LAO+01								P18	
+LAO+02	...								
+LAO+03	...								
...	Display Memory								

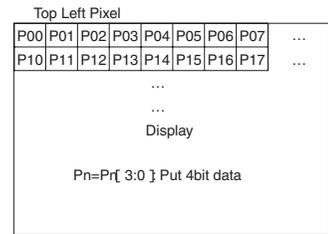
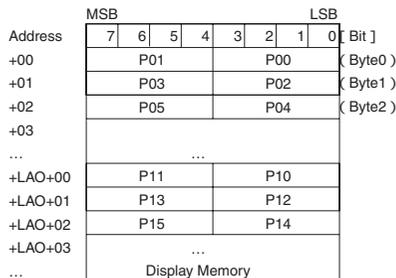


5.Packed 2bpp (Pixel Alignment in Byte is Little Endian)



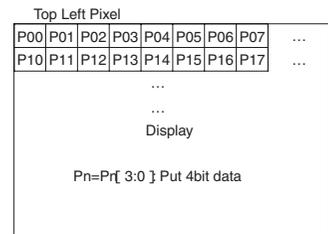
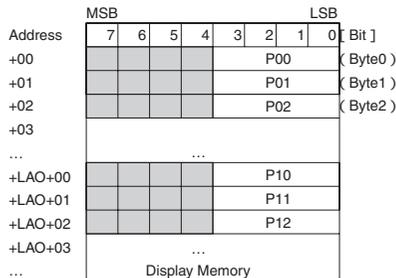
LAO: Line Address Offset  
 [ ] -Unused bits should be 0

6.Packed 4bpp (Pixel Alignment in Byte is Little Endian)



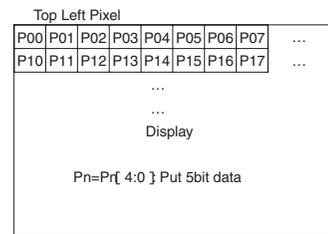
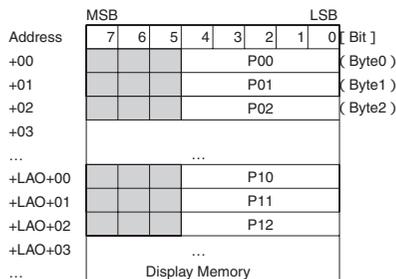
LAO: Line Address Offset  
 [ ] -Unused bits should be 0

7.Unpacked 4bpp (Windows CE Recommended Format)



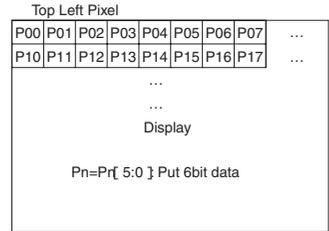
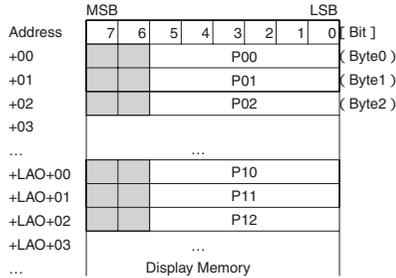
LAO: Line Address Offset  
 [ ] -Unused bits should be 0

8.Unpacked 5bpp (Windows CE Recommended Format)



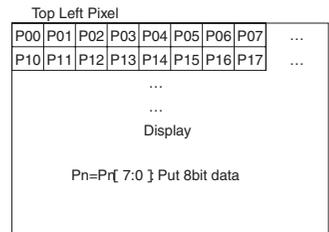
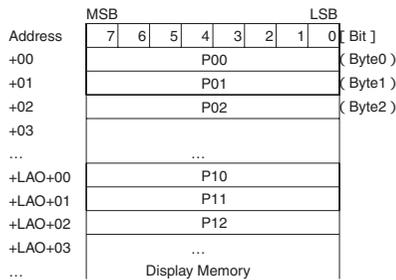
LAO: Line Address Offset  
 [ ] -Unused bits should be 0

9.Unpacked 6bpp[ Windows CE Recommended Format ]



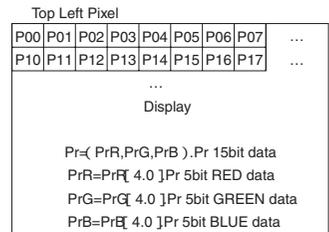
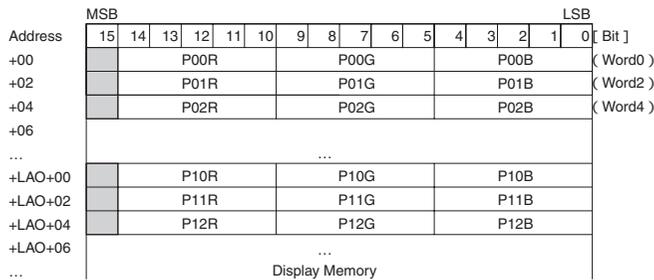
LAO: Line Address Offset  
 [ ] -Unused bits should be 0

10.Packed 8bpp[ Windows CE Recommended Format ]



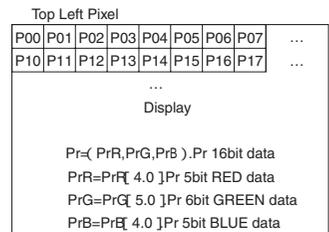
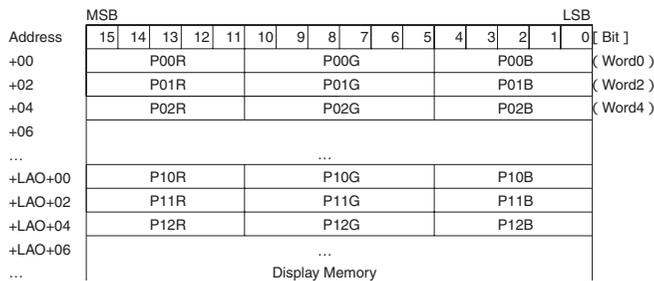
LAO: Line Address Offset  
 [ ] -Unused bits should be 0

11.Unpacked color 15bpp[ RGB 555 ] Windows CE Recommended Format ]



LAO: Line Address Offset  
 [ ] -Unused bits should be 0

12.Packed color 16bpp[ RGB 565 ] Windows CE Recommended Format ]



LAO: Line Address Offset  
 [ ] -Unused bits should be 0

### 26.4.5 表示解像度の設定

表示解像度は LDHCNR、LDHSYNR、LDVDLNR、LDVTLNR、LDVSYNR で設定します。LDACLNR で STN または DSTN 表示時の液晶交流化周期を設定します。これらのレジスタの初期値は VGA (640×480 ドット)、STN または DSTN 表示に典型的な解像度設定値となっています。

LDICKR で使用するクロックを設定します。液晶モジュールのフレームレートは、サイズに関するレジスタで設定された 1 画面分の表示画面 + 帰線期間 (非表示期間) と使用するクロックの周波数により決定されます。また本 LCDC は、垂直帰線期間の開始点 (正確には最終表示ラインの次のライン開始点) ごとに割り込みを発生する Vsync 割り込み機能を有しています。LDINTR を用いて、その機能を設定します。

### 26.4.6 電源制御シーケンス処理

通常、液晶モジュールは電源の投入遮断に関して特定のシーケンス処理を必要としています。LDPMMR、LDPSPR、LDCNTR を設定することにより、液晶電源制御端子 (LCD\_VCPWC、LCD\_VEPWC、LCD\_DON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行できます。

電源制御シーケンスのフローチャートを図 26.4 に、概略タイミングチャートを図 26.5 ~ 図 26.8 に、設定可能な電源制御シーケンス期間の説明を表 26.6 に示します。

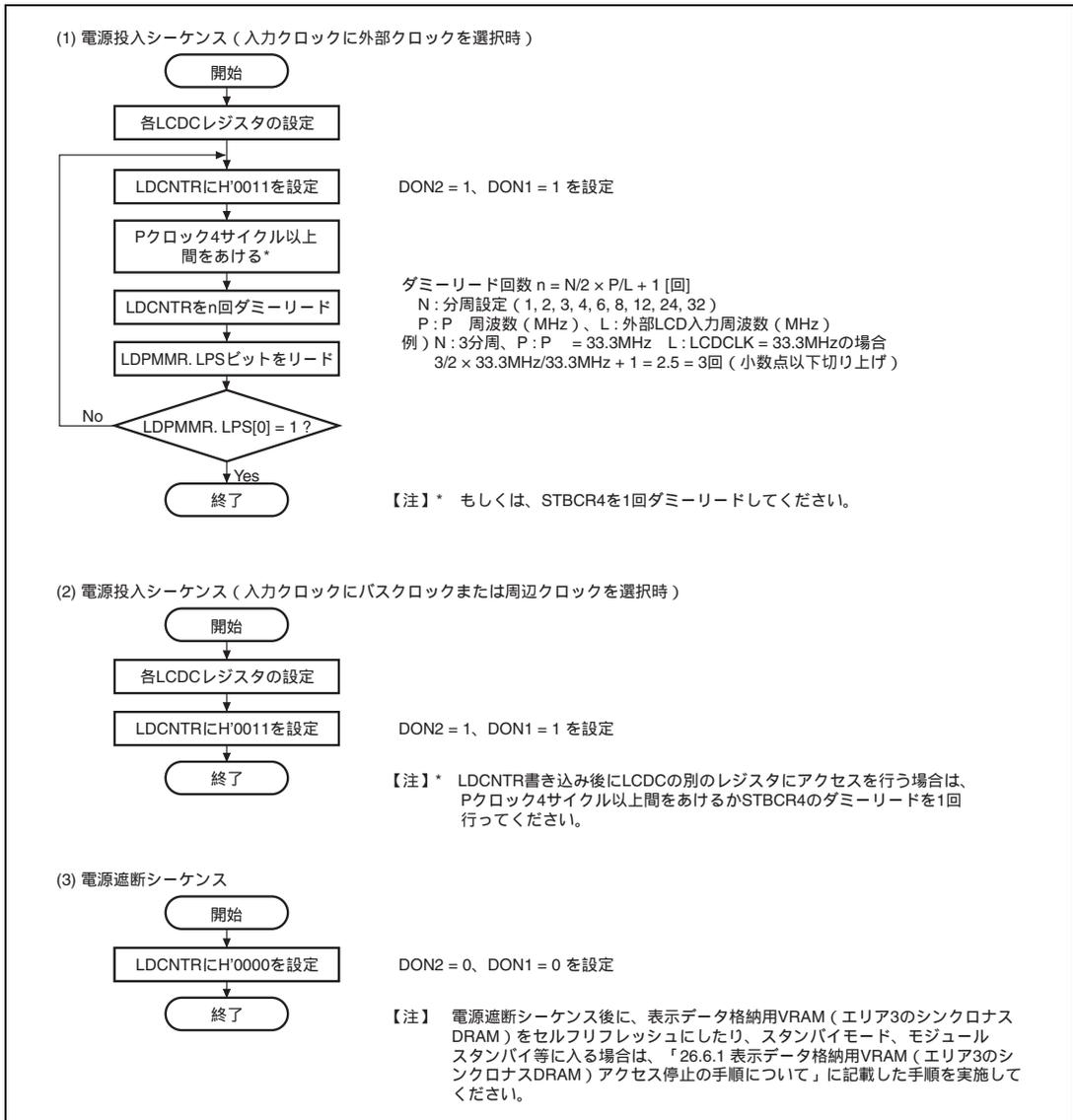


図 26.4 電源制御シーケンスのフローチャート

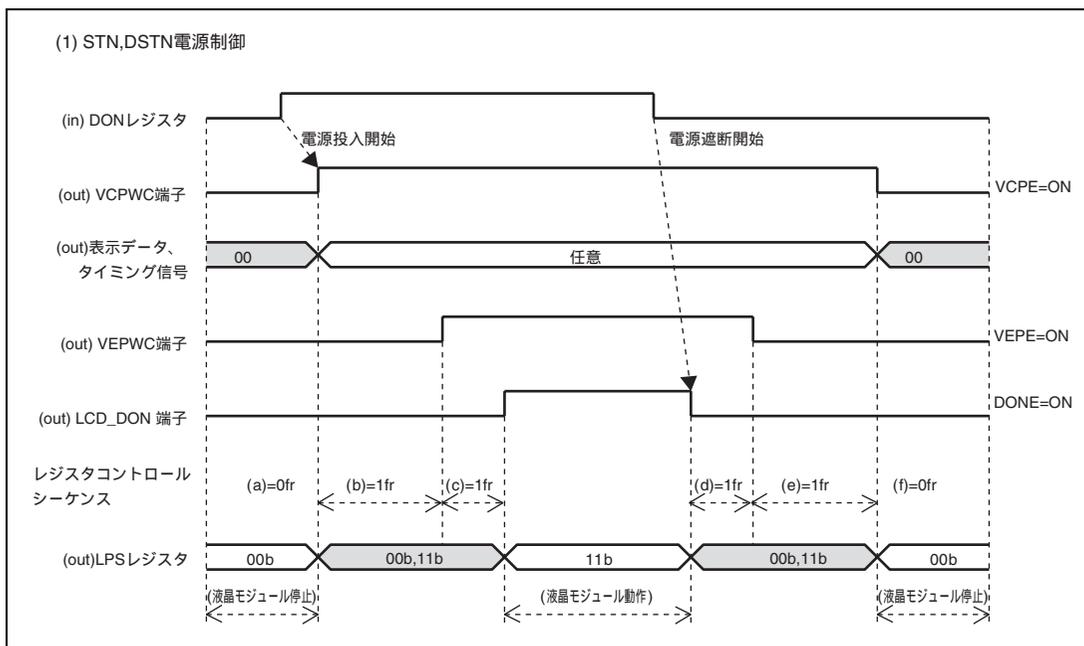


図 26.5 電源制御シーケンスと液晶モジュールの動作状態

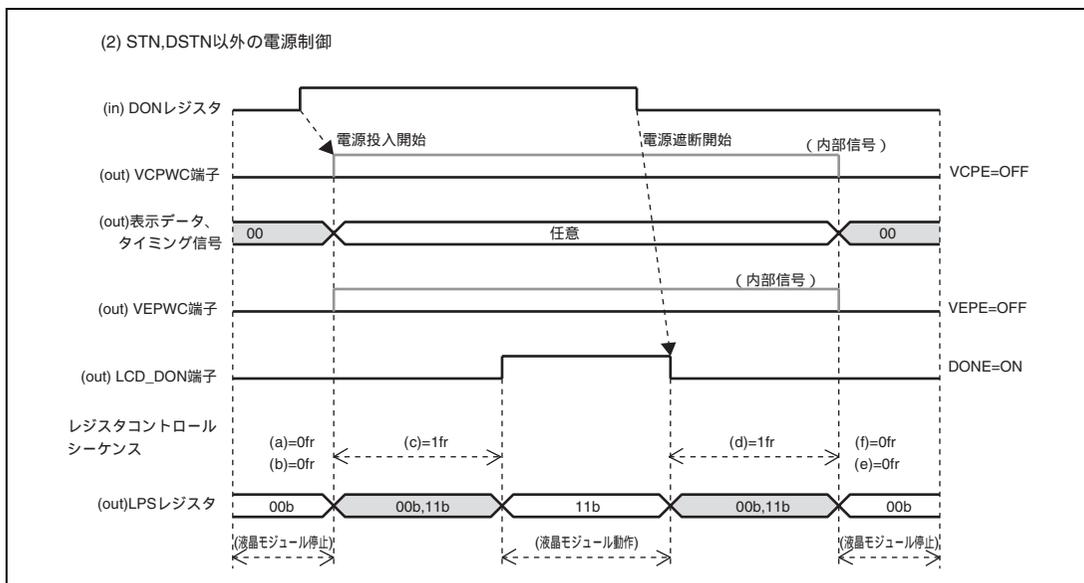


図 26.6 電源制御シーケンスと液晶モジュールの動作状態

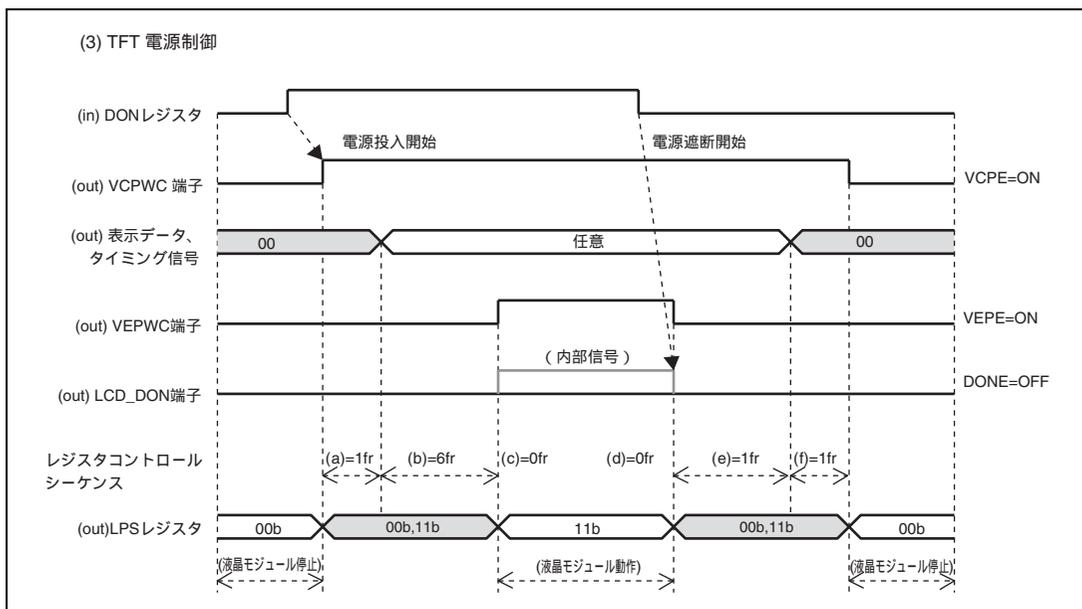


図 26.7 電源制御シーケンスと液晶モジュールの動作状態

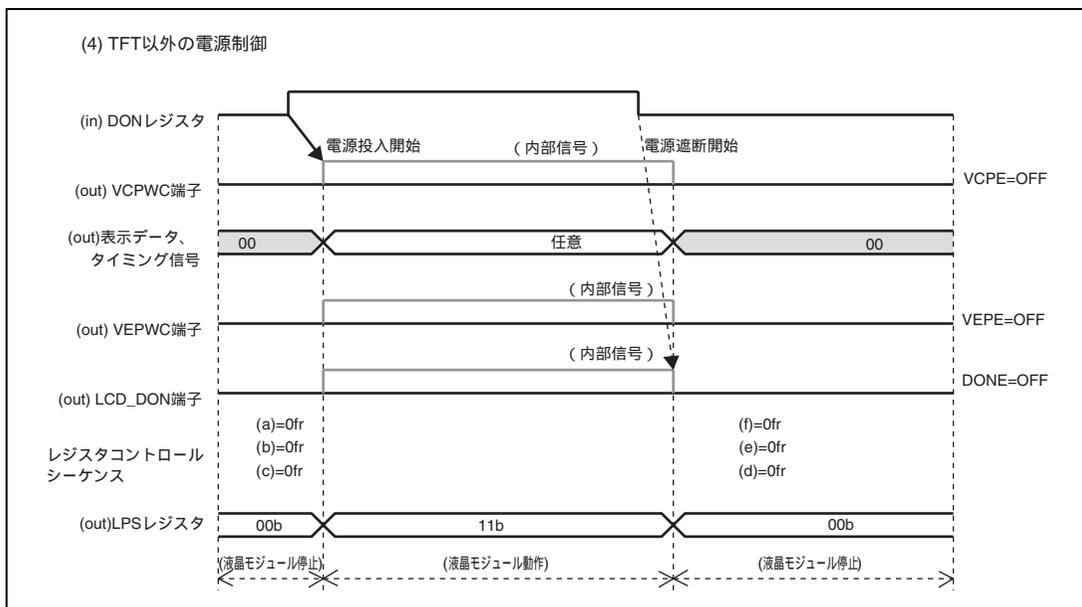


図 26.8 電源制御シーケンスと液晶モジュールの動作状態

表 26.6 代表的なフレームレートにおいて設定可能な電源制御シーケンス期間

ONX、OFFX レジスタ設定値	フレームレート	
	120Hz	60Hz
H'F	$(-1+1)/120 = 0.00(\text{ms})$	$(-1+1)/60 = 0.00(\text{ms})$
H'0	$(0+1)/120 = 8.33(\text{ms})$	$(0+1)/60 = 16.67(\text{ms})$
H'1	$(1+1)/120 = 16.67(\text{ms})$	$(1+1)/60 = 33.33(\text{ms})$
H'2	$(2+1)/120 = 25.00(\text{ms})$	$(2+1)/60 = 50.00(\text{ms})$
H'3	$(3+1)/120 = 33.33(\text{ms})$	$(3+1)/60 = 66.67(\text{ms})$
H'4	$(4+1)/120 = 41.67(\text{ms})$	$(4+1)/60 = 83.33(\text{ms})$
H'5	$(5+1)/120 = 50.00(\text{ms})$	$(5+1)/60 = 100.00(\text{ms})$
H'6	$(6+1)/120 = 58.33(\text{ms})$	$(6+1)/60 = 116.67(\text{ms})$
H'7	$(7+1)/120 = 66.67(\text{ms})$	$(7+1)/60 = 133.33(\text{ms})$
H'8	$(8+1)/120 = 75.00(\text{ms})$	$(8+1)/60 = 150.00(\text{ms})$
H'9	$(9+1)/120 = 83.33(\text{ms})$	$(9+1)/60 = 166.67(\text{ms})$
H'A	$(10+1)/120 = 91.67(\text{ms})$	$(10+1)/60 = 183.33(\text{ms})$
H'B	$(11+1)/120 = 100.00(\text{ms})$	$(11+1)/60 = 200.00(\text{ms})$
H'C	$(12+1)/120 = 108.33(\text{ms})$	$(12+1)/60 = 216.67(\text{ms})$
H'D	$(13+1)/120 = 116.67(\text{ms})$	$(13+1)/60 = 233.33(\text{ms})$
H'E	$(14+1)/120 = 125.00(\text{ms})$	$(14+1)/60 = 250.00(\text{ms})$

ONA、ONB、ONC、OFFD、OFFE、OFFF の各レジスタはフレーム周期単位で 0 ~ 15 フレームまでの電源制御シーケンス期間を設定可能です。レジスタ設定は (-1 値) 設定であり、H'0 ~ H'E 設定でおのおの 1 ~ 15 フレーム、H'F 設定で 0 フレームを意味します。

実際のシーケンス時間はレジスタ設定値と表示フレーム周波数に依存します。下表は代表的な液晶モジュールの表示フレーム周波数での電源制御シーケンス期間です。

- 表示フレーム周波数120HzにおいてONB レジスタにH'6を設定した場合

表示フレーム周波数が 120Hz なので、1 フレームの時間は  $8.33 \text{ (ms)} = 1/120 \text{ (sec)}$

ONB レジスタは (-1 値) 設定なので電源投入シーケンス期間は 7 フレーム。

したがって、この場合のシーケンス時間は  $58.33 \text{ (ms)} = 8.33 \text{ (ms)} \times 7$  となります。

表 26.7 LCDC 動作モード

モード		機能
表示 ON (LCDC 動作)	レジスタ設定 : DON = 1	所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力
表示 OFF (LCDC 停止)	レジスタ設定 : DON = 0	レジスタアクセスは可能。 所定の解像度、色数による表示データ、タイミング信号を液晶モジュールに出力しない

表 26.8 液晶モジュール電源状態

(STN、DSTN モジュールの場合)

状態	ロジック系電源	表示データ タイミング信号	高圧系電源	DON 信号
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、LCD_FLM、 LCD_M_DISP、LCD_DATA	LCD_VEPWC	LCD_DON
動作状態	供給	供給	供給	供給
(過渡状態)	供給	供給	供給	
	供給	供給		
	供給			
停止状態				

(TFT モジュールの場合)

状 態	ロジック系電源	表示データ タイミング信号	高圧系電源
対応する制御端子	LCD_VCPWC	LCD_CL2、LCD_CL1、 LCD_FLM、LCD_M_DISP、 LCD_DATA	LCD_VEPWC
動作状態	供給	供給	供給
(過渡状態)	供給	供給	
	供給		
停止状態			

上記は、一般的と思われる液晶モジュールの動作状態、停止状態での電源および表示データ、タイミング信号の供給状態です。ただし、モジュールによっては高圧系電源をロジック系電源電圧からモジュール内部で生成するものもあり必ずしも示した電源の供給を必要としているとはかぎりません。

- 表示OFFモード (LCDC停止) の注意事項

本 LCDC による液晶モジュール電源制御シーケンス処理を使用している場合、表示 ON モードのまま電源の遮断を行った場合の LCDC の正常動作は保証できません。また、最悪の場合、接続している液晶モジュールが破損する恐れがあります。

### 26.4.7 ハードウェアローテーション動作説明

以下にハードウェアローテーション動作の説明を示します。ハードウェアローテーションモードは、「横長の画面を持つ液晶パネルを縦置きすることで縦長の液晶パネルの代わりに使う」ような使い方を想定しています。パネルの形は横長でも縦長でも問題ありませんが、横幅が 320 以下である必要があります。

ハードウェアローテーションを行う場合、ハードウェアローテーションなしの設定から以下の 5 項目を変更しなければなりません (以下の例は 8bpp 時。16bpp 時は 1 ドット当たりのメモリサイズが 2 倍になるため、イメージのサイズ、回転時のレジスタ設定値が異なります)。

1. 画像イメージは、回転したパネルで表示する形で用意する (回転後に 240 × 320 であれば、回転されていない 240 × 320 のサイズのデータを用意する)
2. 画像イメージのアドレスに関係するレジスタの設定を変更する (LDSARU、LDLAOR)。
3. LDLAOR を 2 のべき乗にする (回転した後の横幅が 240 の場合、256 にする)。
4. グラフィックソフトウェアも 3 の設定に合わせる。
5. LDSARU を画像イメージの左上のアドレスから、左下のアドレスに変更する。

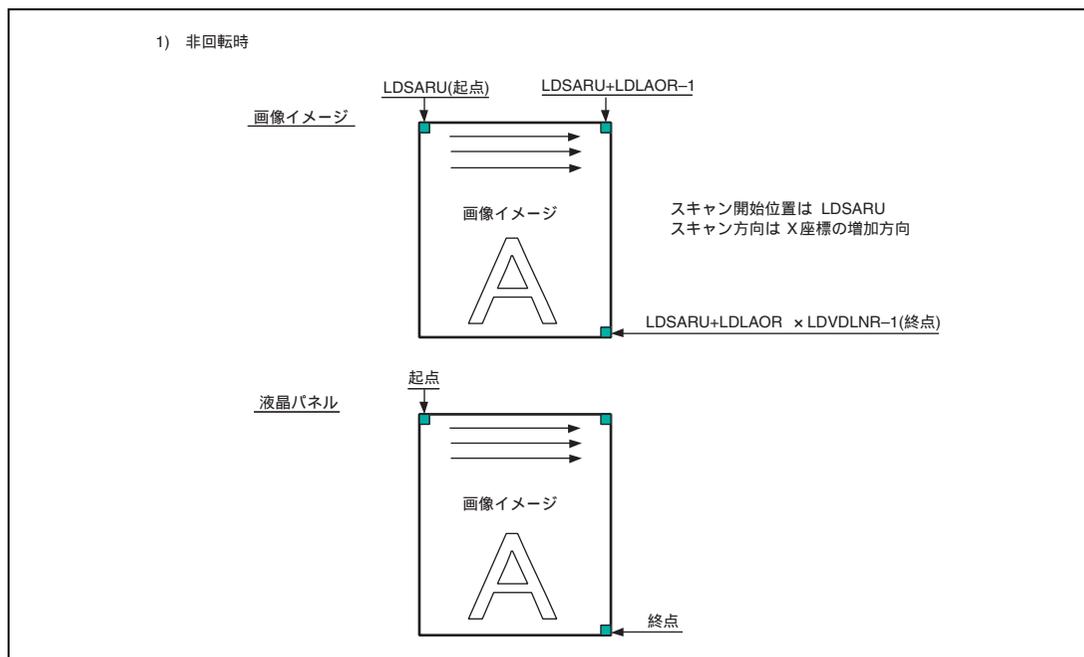


図 26.9 ハードウェアローテーション動作 (非回転時)

たとえば、サイズ  $320 \times 240$  の液晶パネルに対して  $LDSARU = 0x0c001000$  から始まる横長の画像イメージ ( $320 \times 240$ ) を表示するレジスタ設定、およびグラフィックドライバソフトウェアが完成しているものとします。この状態でハードウェアローテーションを使い  $240 \times 320$  で表示するように変更してみます。このとき、 $LDLAOR = 512$  であったとすると、グラフィックドライバソフトウェアも画像イメージの Y 座標のアドレス計算用オフセットを 2 のべき乗としているはずですが、この状態で  $ROT = 1$  とする前に、画像イメージ自体が  $240 \times 320$  用に描きなおす必要があります。また、サイズが異なるので、 $LDLAOR = 256$  となり、同時にグラフィックドライバソフトウェアも変更します。 $LDSARU$  は左上から左下になりますので、 $LDSARU = 0x0c001000 + 256 * 319$  に変更します。

【注】 ハードウェアローテーション機能は、液晶パネルを  $90$  度傾けて使えるようにする機能であり、液晶パネル自体にかかわる設定に関しては、回転前の液晶パネルに合わせる必要があります。また、グラフィックドライバソフトウェアの描画処理にはかわらずに回転可能ですが、グラフィックドライバソフトウェアの管理している画像イメージのサイズ、およびアドレスオフセットの値を実際の画像イメージに合わせる必要があります。

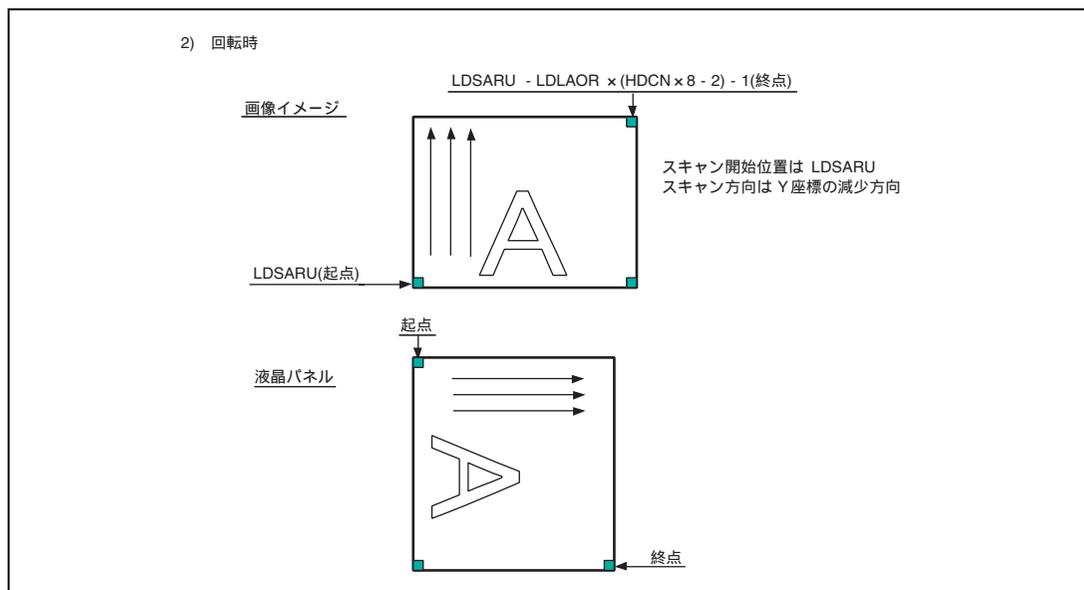


図 26.10 ハードウェアローテーション動作 (回転時)

## 26.5 クロックと LCD データ信号例

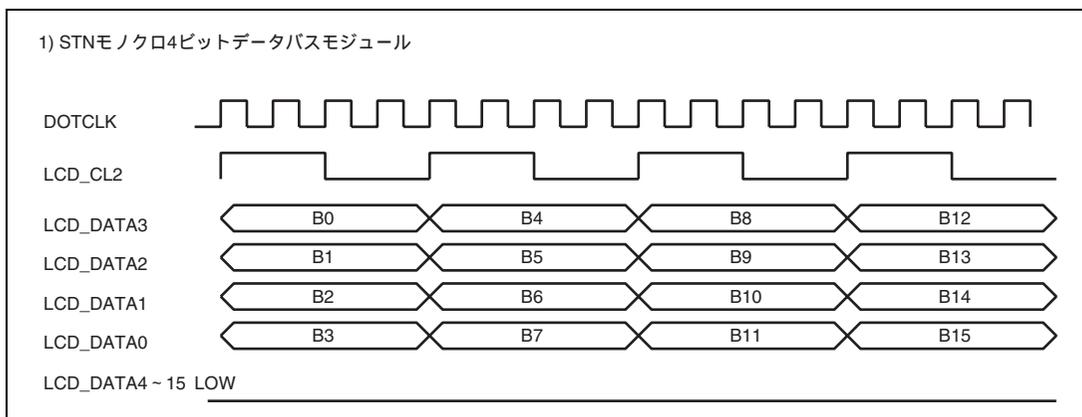


図 26.11 クロックと LCD データ信号例 (STN モノクロ 4 ビットデータバスモジュール)

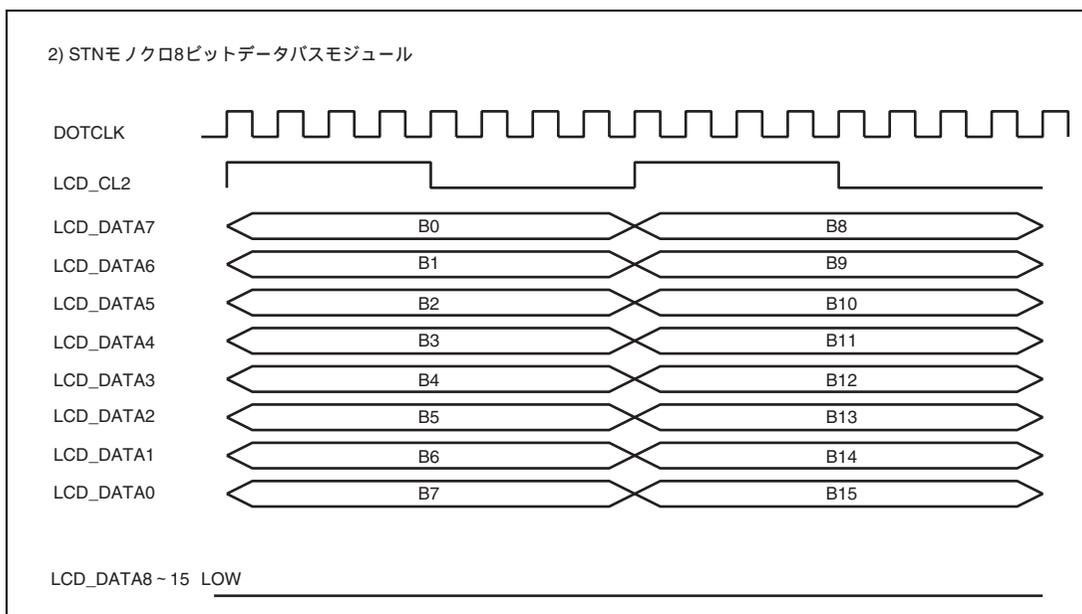


図 26.12 クロックと LCD データ信号例 (STN モノクロ 8 ビットデータバスモジュール)

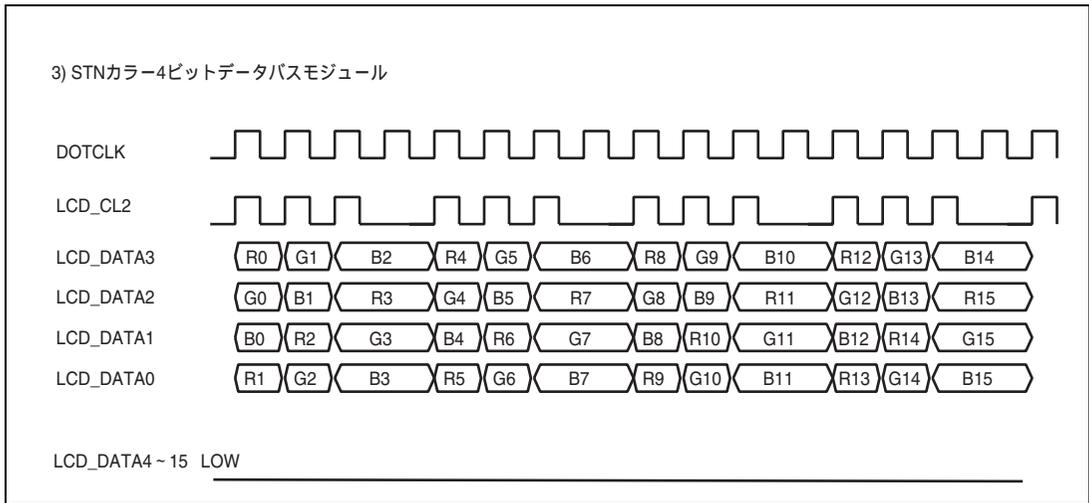


図 26.13 クロックと LCD データ信号例 (STN カラー4 ビットデータバスモジュール)

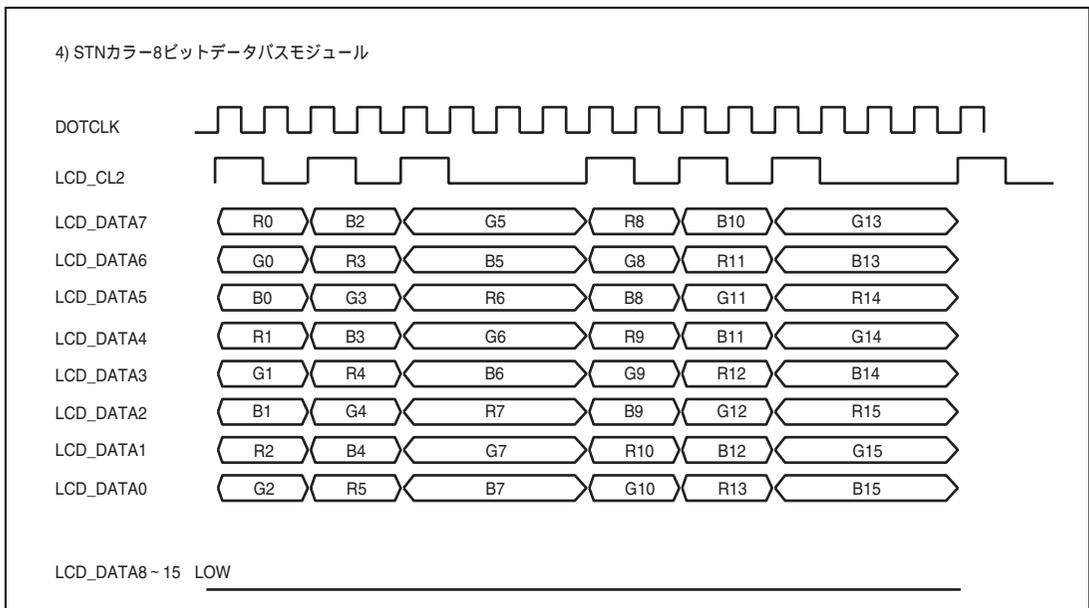


図 26.14 クロックと LCD データ信号例 (STN カラー8 ビットデータバスモジュール)

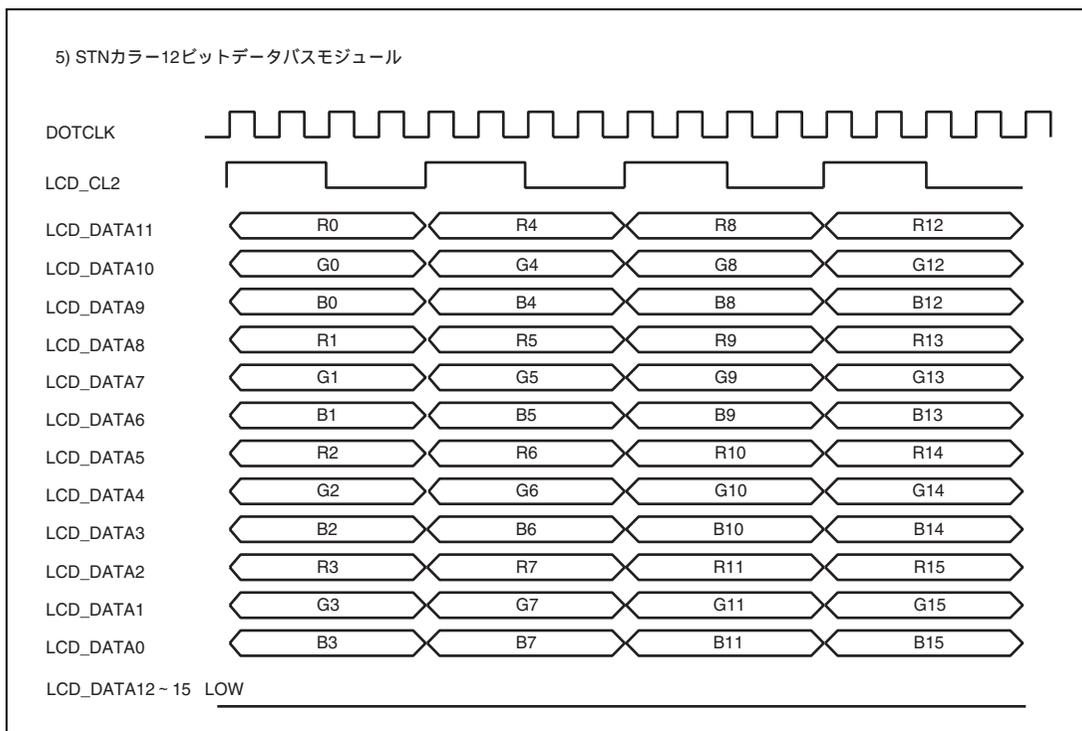


図 26.15 クロックと LCD データ信号例 (STN カラー-12 ビットデータバスモジュール)

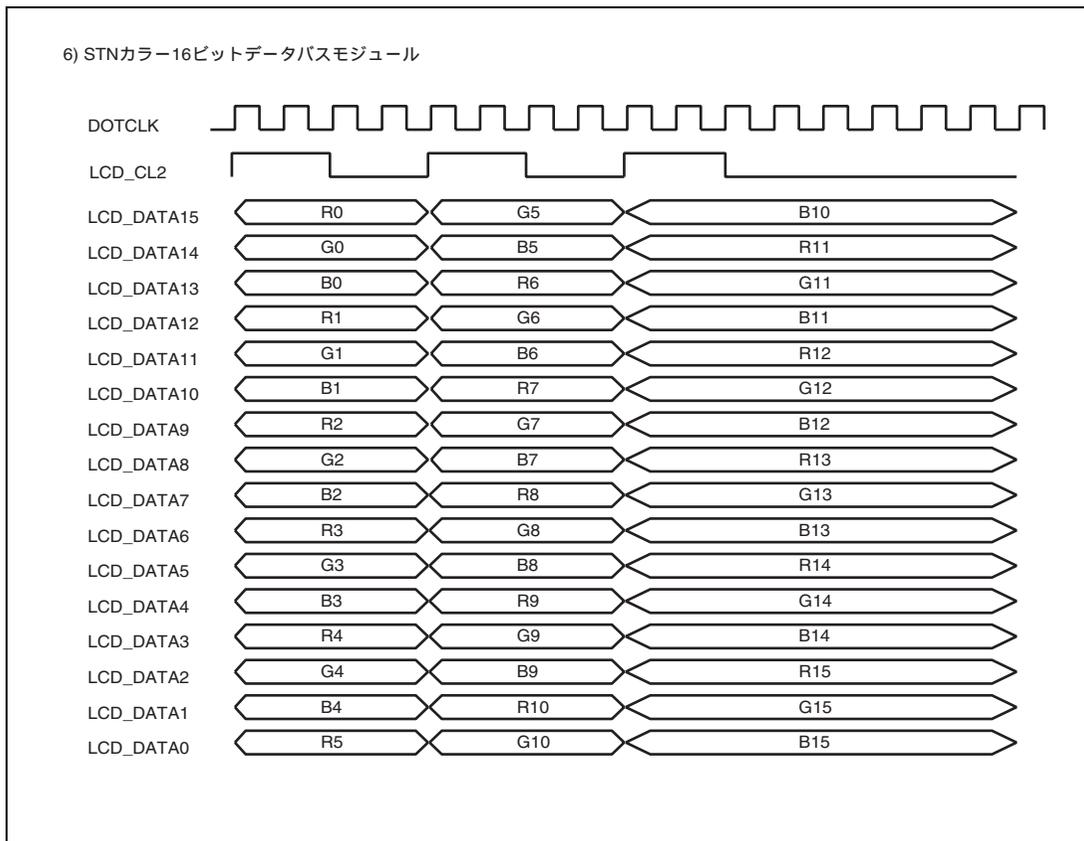


図 26.16 クロックと LCD データ信号例 (STN カラー-16 ビットデータバスモジュール)

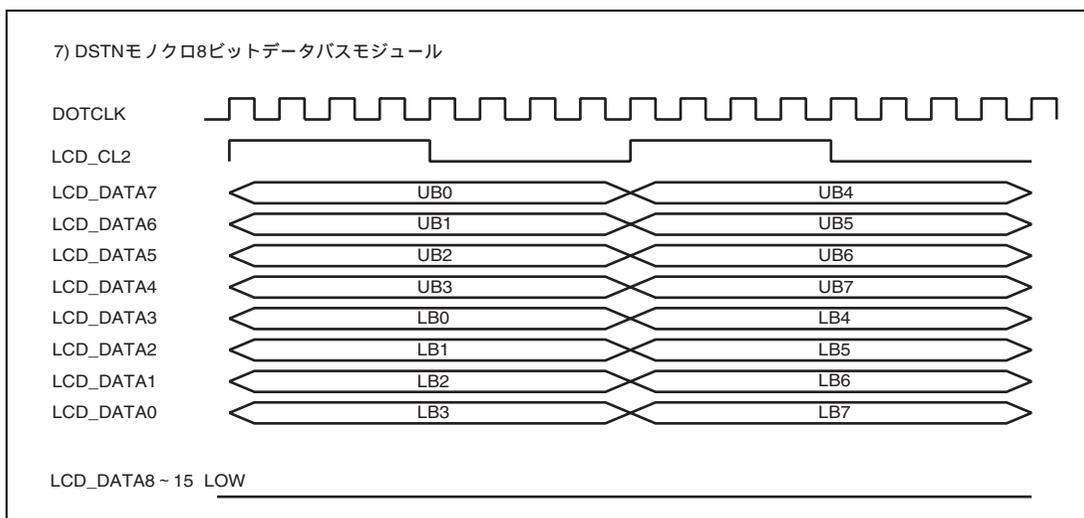


図 26.17 クロックと LCD データ信号例 (DSTN モノクロ 8 ビットデータバスモジュール)

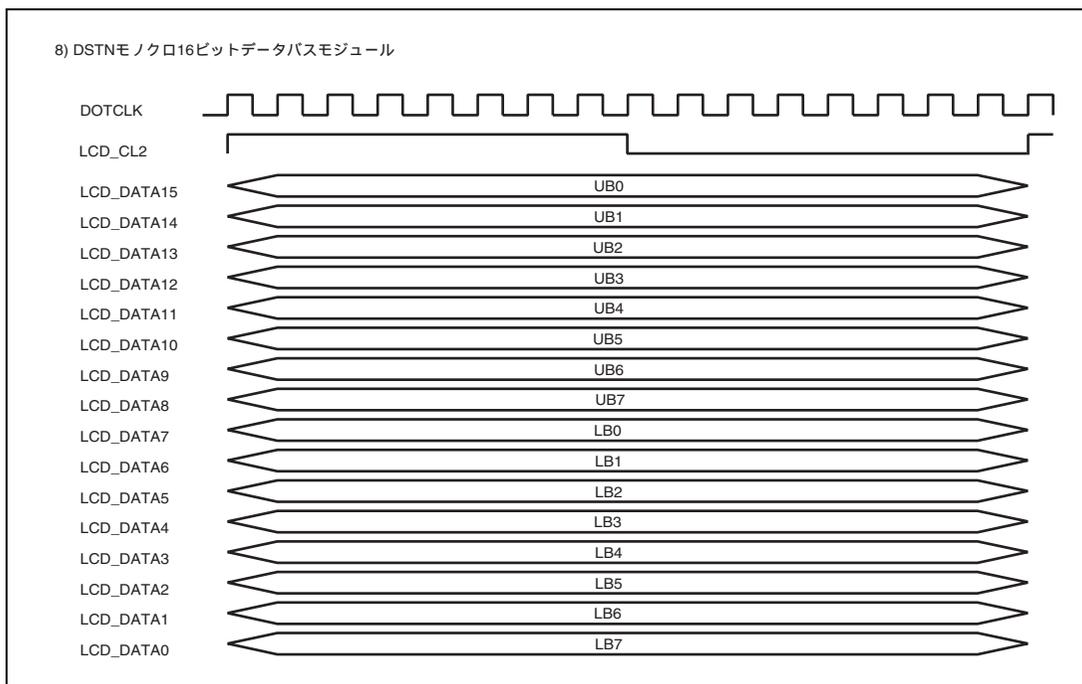


図 26.18 クロックと LCD データ信号例 (DSTN モノクロ 16 ビットデータバスモジュール)

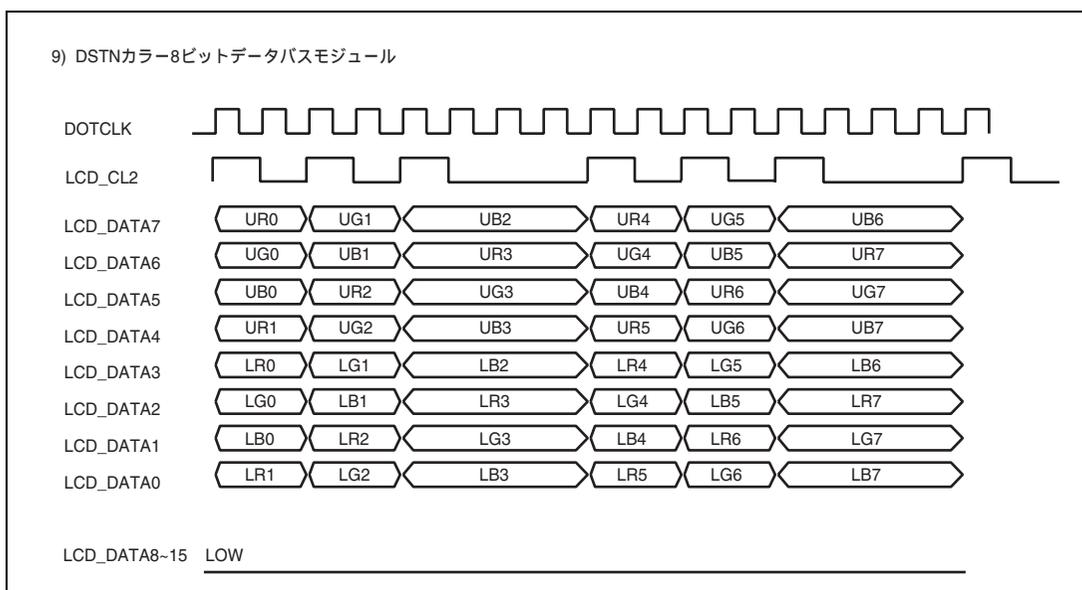


図 26.19 クロックと LCD データ信号例 (DSTN カラー 8 ビットデータバスモジュール)

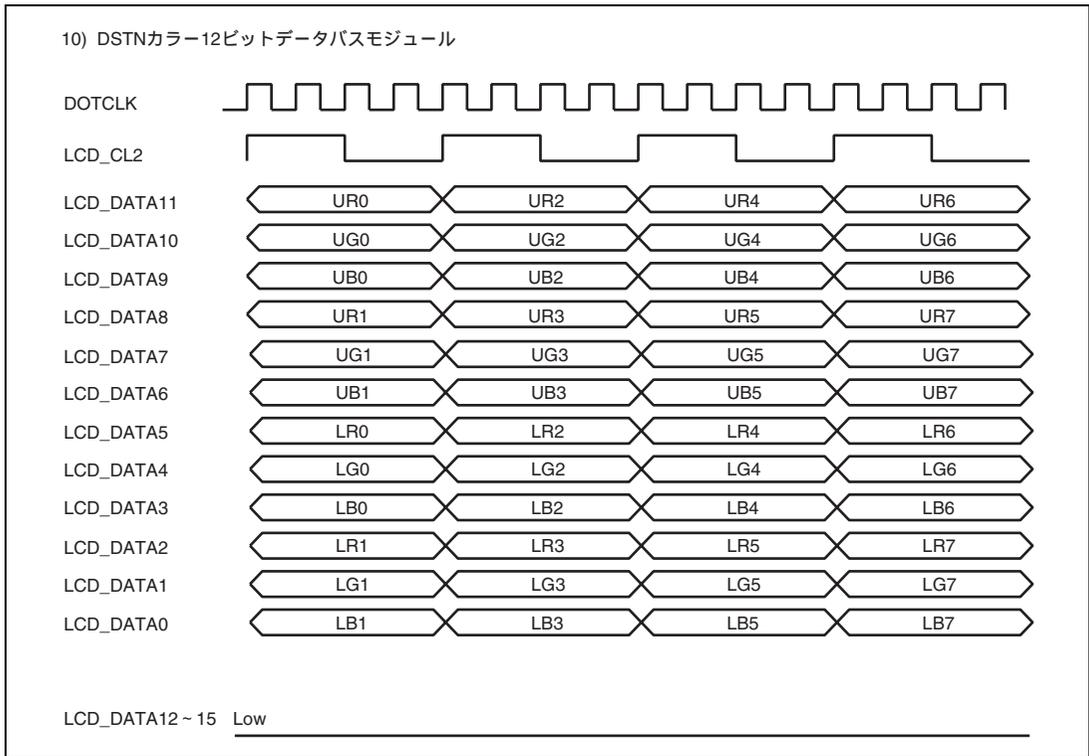


図 26.20 クロックと LCD データ信号例 (DSTN カラー12ビットデータバスモジュール)

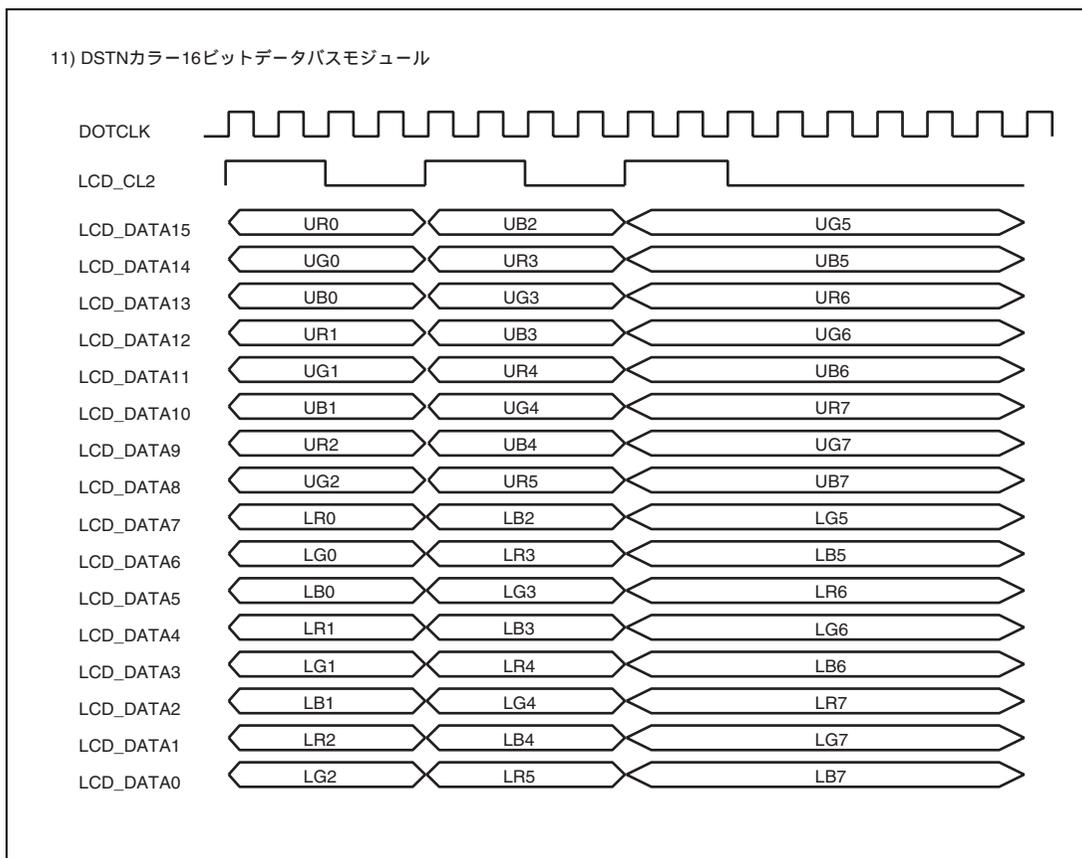


図 26.21 クロックと LCD データ信号例 (DSTN カラー16ビットデータバスモジュール)

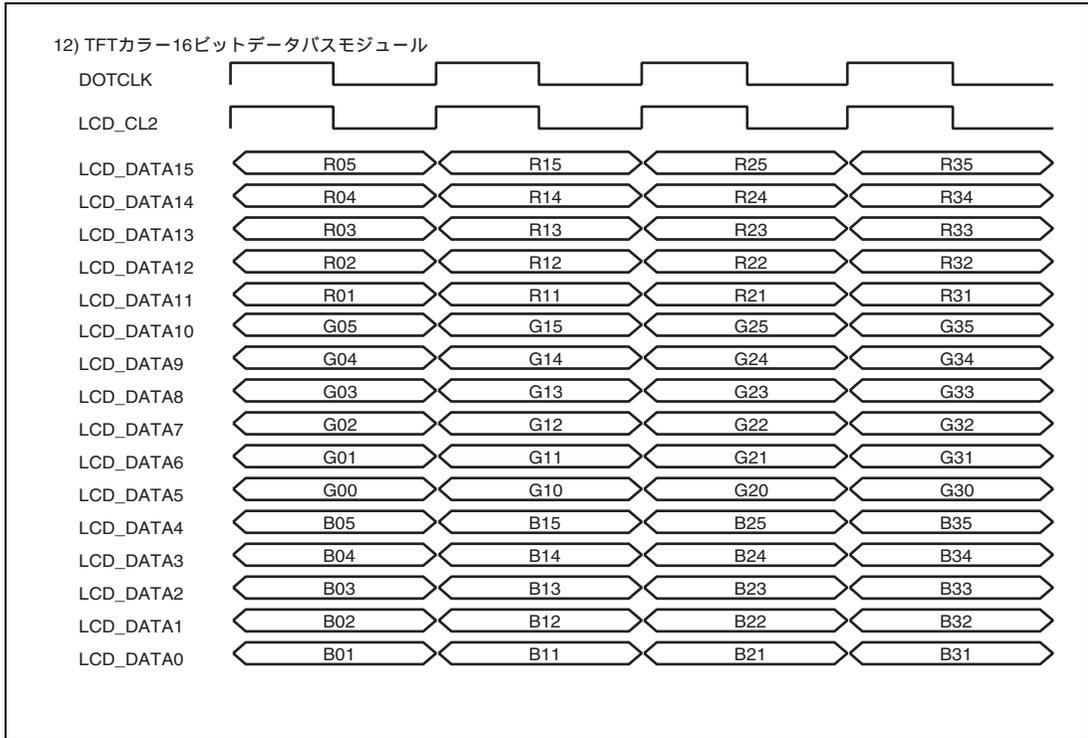


図 26.22 クロックと LCD データ信号例 (TFT カラー16ビットデータバスモジュール)

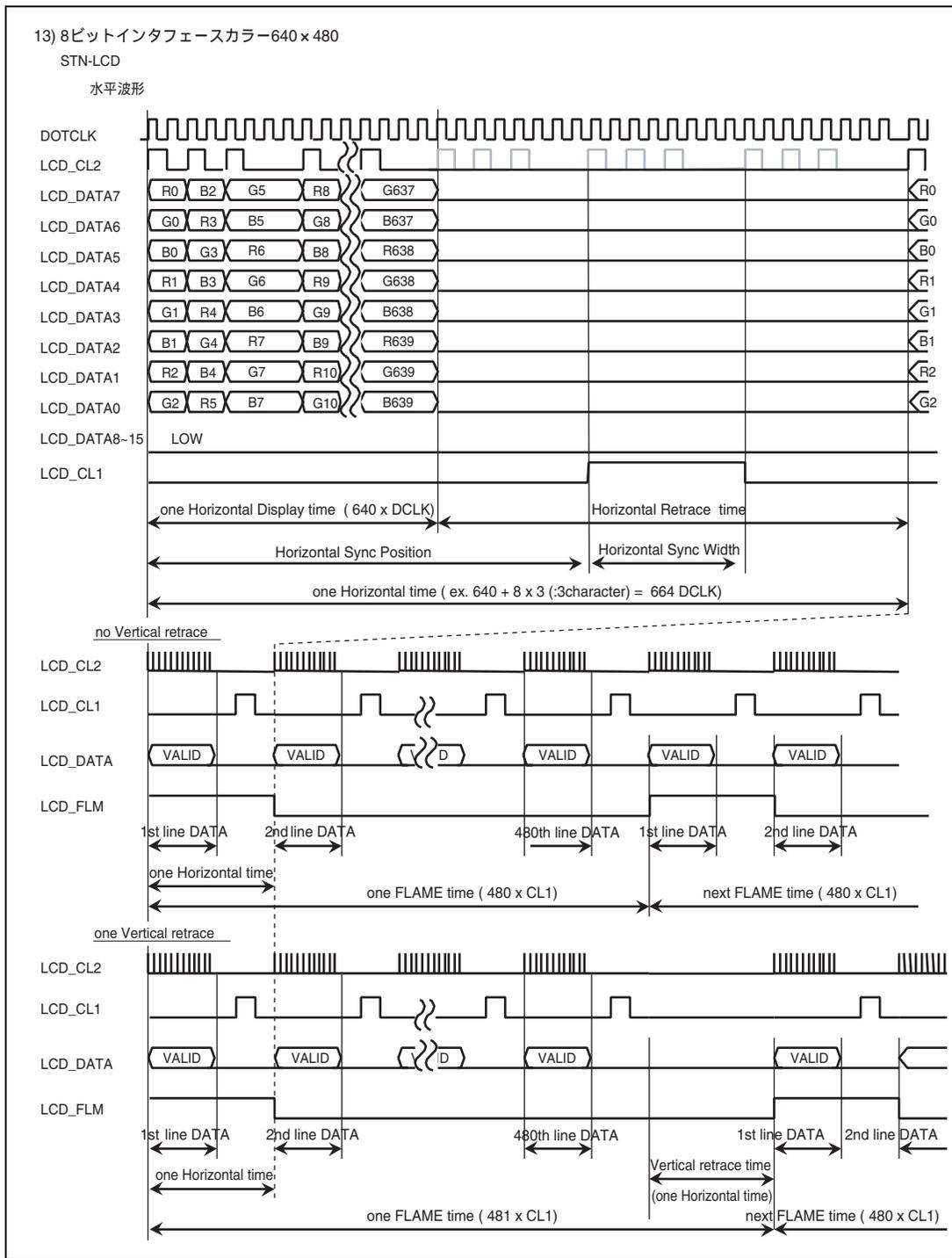


図 26.23 クロックと LCD データ信号例 ( 8 ビットインタフェースカラー640×480 )

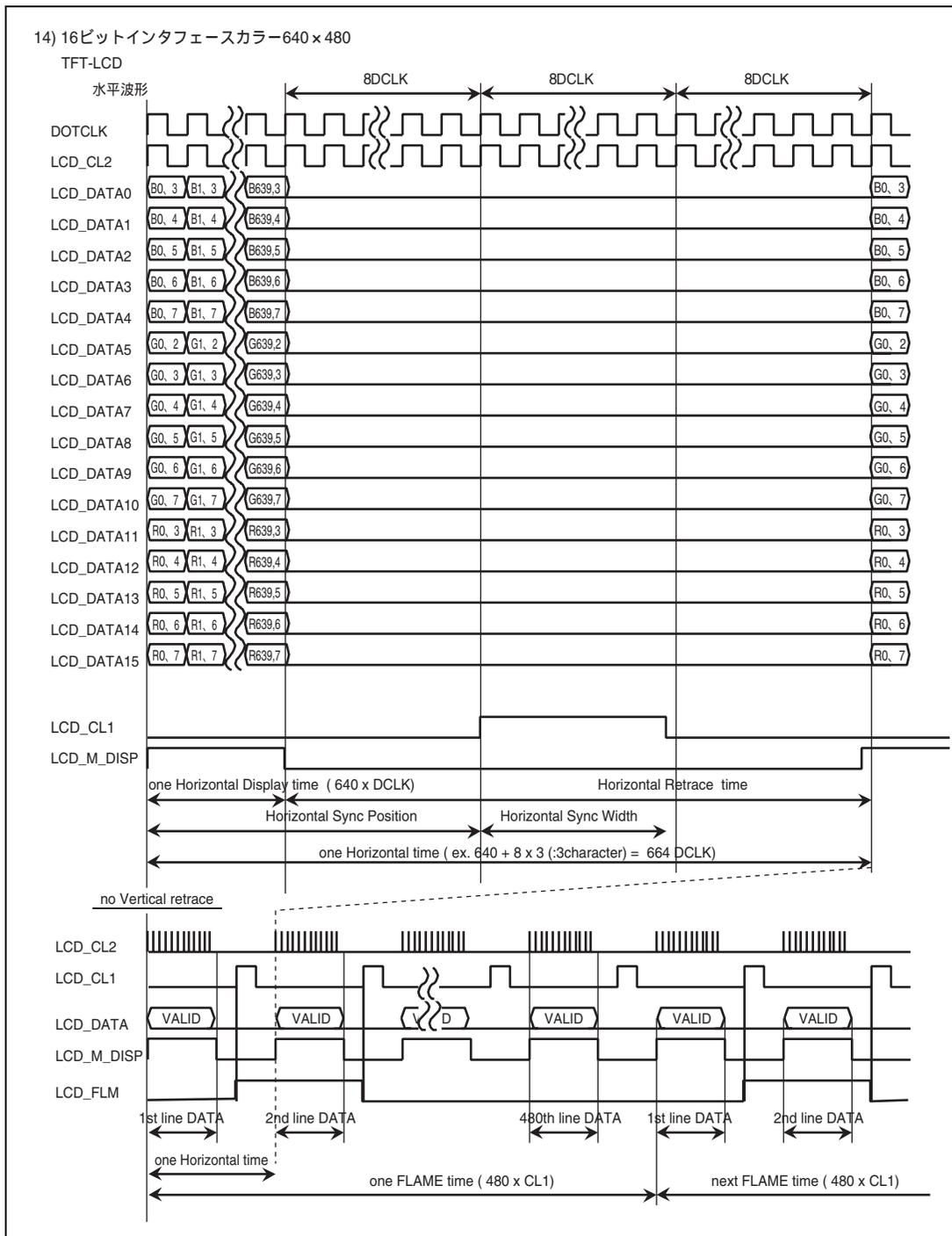


図 26.24 クロックと LCD データ信号例 (16 ビットインタフェースカラー640×480)

## 26.6 使用上の注意事項

### 26.6.1 表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) アクセスの停止手順について

表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) アクセスの停止手順は、以下のフローに従ってください。

- 表示データ格納用 VRAM アクセスの停止手順
  1. 現在の状態が LDPMMR の LPS1 と LPS0 ビットが 1 であることを確認します。
  2. LDCNTR の DON ビットを 0 (表示オフモード) に設定します。
  3. LDPMMR の LPS1 と LPS0 ビットが 0 になることを確認します。
  4. 1 フレームの表示時間を待ちます。

表示データ格納用 VRAM (エリア 3 のシンクロナス DRAM) をセルフリフレッシュにする前、スタンバイモード、モジュールスタンバイ等に入る前には、この停止手順が必要です。



---

## 27. サンプリングレートコンバータ (SRC)

---

サンプリングレートコンバータ (SRC) は、WMA/MP3/AAC などの各種デコーダで生成されたデータのサンプリングレートを変換するモジュールです。

### 27.1 特長

- データ形式：16ビット (ステレオ/モノラル)
- サンプリングレート
  - 入力：8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHzから選択可能
  - 出力：44.1kHz、48kHzから選択可能
- 処理性能：1サンプルの出力間隔は最大約12  $\mu$ s ( $P = 33$ MHz)
- SNR：80db以上
- 割り込み要因：3種類
  - 入力データFIFOエンプティ、出力データFIFOフル、出力データFIFOオーバライト
- DMA転送要因：2種類
  - 入力データFIFOエンプティ、出力データFIFOフル
- モジュールスタンバイモード
  - 不使用時にSRCへのクロック供給を停止することにより、消費電力の低減が可能

図 27.1 に SRC のブロック図を示します。

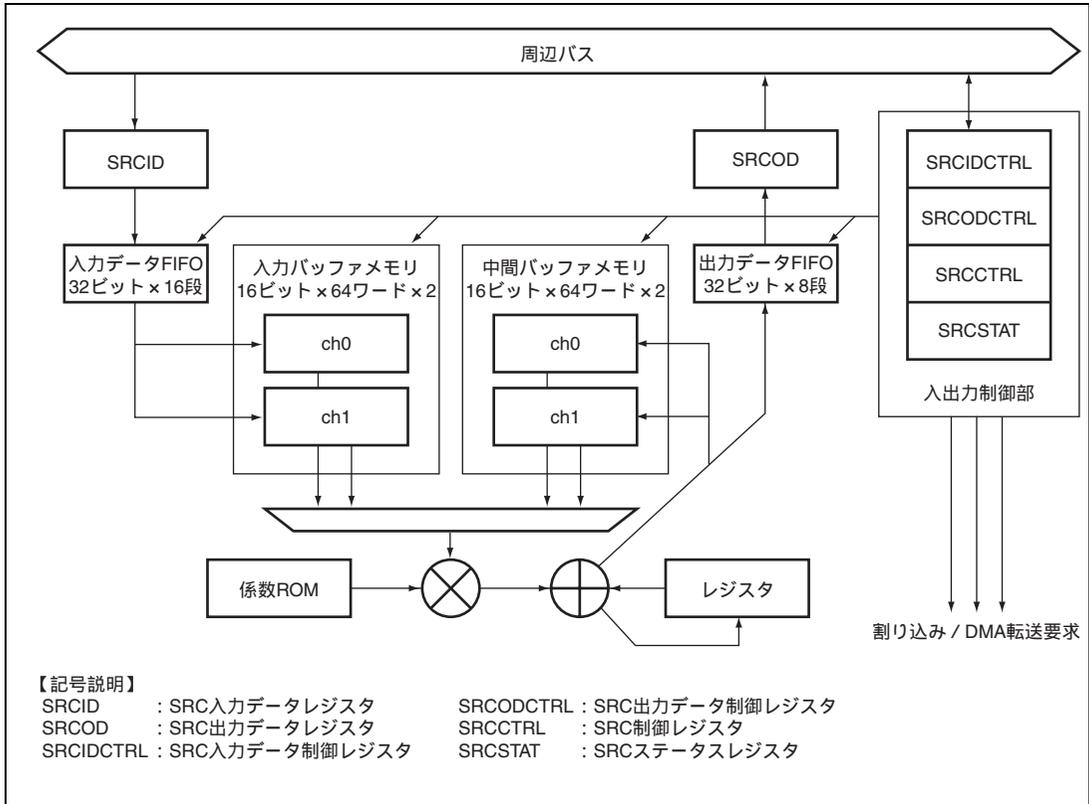


図 27.1 SRC のブロック図

## 27.2 レジスタの説明

SRC には以下のレジスタがあります。

表 27.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
SRC 入力データレジスタ	SRCID	R/W	H'00000000	H'FFFF4000	16, 32
SRC 出力データレジスタ	SRCOD	R	H'00000000	H'FFFF4004	16, 32
SRC 入力データ制御レジスタ	SRCIDCTRL	R/W	H'0000	H'FFFF4008	16
SRC 出力データ制御レジスタ	SRCODCTRL	R/W	H'0000	H'FFFF400A	16
SRC 制御レジスタ	SRCCTRL	R/W	H'0000	H'FFFF400C	16
SRC ステータスレジスタ	SRCSTAT	R/(W)*	H'0002	H'FFFF400E	16

【注】 \* ビット 15~3 は読み出しのみ可能です。また、ビット 2~0 は 1 を読み出した後の 0 書き込みのみ可能です。

### 27.2.1 SRC 入力データレジスタ (SRCID)

SRCID は、32 ビットの読み出し / 書き込み可能なレジスタで、サンプリングレート変換前のデータの入力に用います。すべてのビットは読み出すと 0 が読み出されます。SRCID へ書き込まれたデータは、16 段の入力データ FIFO に格納されます。入力データ FIFO のデータ数が 16 のときは、SRCID への書き込みは無効になります。ステレオデータの場合、ビット 31~16 には ch0 のデータ、ビット 15~0 には ch1 のデータを格納します。モノラルデータの場合、ビット 31~16 に格納されたデータが有効となり、ビット 15~0 に格納されたデータは無効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

変換処理の対象となるデータは、SRCIDCTRL の IED ビットの設定値によりアラインメントが異なります。表 27.2 に SRCIDCTRL の IED ビットの設定値とデータのアラインメントの関係を示します。

表 27.2 変換データのアラインメント

IED	ch0[15:8]	ch0[7:0]	ch1[15:8]	ch1[7:0]
0	SRCID[31:24]	SRCID[23:16]	SRCID[15:8]	SRCID[7:0]
1	SRCID[23:16]	SRCID[31:24]	SRCID[7:0]	SRCID[15:8]

## 27.2.2 SRC 出力データレジスタ (SRCOD)

SRCOD は、32 ビットの読み出し可能なレジスタで、サンプリングレート変換後のデータの出力に用います。8 段の出力データ FIFO に格納されたデータを SRCOD から読み出すことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

SRCOD の内容は、SRCODCTRL の OCH、OED ビットの設定値によりアラインメントが異なります。表 27.3 に SRCODCTRL の OCH、OED ビットの設定値と SRCOD に格納されるデータのアラインメントの関係を示します。

表 27.3 SRCOD のアラインメント

OCH	OED	SRCOD[31:24]	SRCOD[23:16]	SRCOD[15:8]	SRCOD[7:0]
0	0	ch0[15:8]	ch0[7:0]	ch1[15:8]*2	ch1[7:0]*2
	1	ch0[7:0]	ch0[15:8]	ch1[7:0]*2	ch1[15:8]*2
1*1	0	ch1[15:8]	ch1[7:0]	ch0[15:8]	ch0[7:0]
	1	ch1[7:0]	ch1[15:8]	ch0[7:0]	ch0[15:8]

【注】 \*1 モノラルデータを処理する場合は設定しないでください。

\*2 モノラルデータを処理する場合は無効なデータとなります。

## 27.2.3 SRC 入力データ制御レジスタ (SRCIDCTRL)

SRCIDCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、入力データのエンディアン形式、割り込み要求の許可 / 禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	IED	IEN	-	-	-	-	-	-	-	IFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	IED	0	R/W	入力データエンディアン指定 入力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	IEN	0	R/W	入力データエンプティインタラプトイネーブル 入力 FIFO のデータ数が IFTRG[1:0] ビットで設定されたトリガ数以下になり、SRC ステータスレジスタ (SRCSTAT) の IINT ビットが 1 にセットされたときに、入力データエンプティ割り込み要求の発生を許可 / 禁止します。 0: 入力データエンプティ割り込み要求を禁止 1: 入力データエンプティ割り込み要求を許可
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	IFTRG[1:0]	00	R/W	入力 FIFO データ数トリガ SRC ステータスレジスタ (SRCSTAT) の IINT ビットをセットする条件を指定します。入力 FIFO に格納された入力データ数が以下に示す設定トリガ数以下になったとき、IINT ビットは 1 にセットされます。 00: 0 01: 4 10: 8 11: 12

## 27.2.4 SRC 出力データ制御レジスタ (SRCODCTRL)

SRCODCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、出力データのチャンネル入れ替え、エンディアン形式、割り込み要求の許可 / 禁止、トリガデータ数を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	OCH	OED	OEN	-	-	-	-	-	-	-	OFTRG[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	OCH	0	R/W	出力データチャンネルスワップ SRC 出力データレジスタ (SRCOD) のチャンネル入れ替えを指定します。 モノラルデータを変換する場合は 1 に設定しないでください。 0: チャンネルを入れ替えない (入力データの順と同じにする) 1: チャンネルを入れ替える (入力データの順と逆にする)
9	OED	0	R/W	出力データエンディアン指定 出力データのエンディアン形式を指定します。 0: ビッグエンディアン 1: リトルエンディアン
8	OEN	0	R/W	出力データフルインタラプトイネーブル 出力 FIFO のデータ数が OFTRG[1:0] ビットで設定されたトリガ数以上になり、SRC ステータスレジスタ (SRCSTAT) の OINT ビットがセットされたときに、出力データフル割り込み要求の発生を許可 / 禁止します。 0: 出力データフル割り込み要求を禁止 1: 出力データフル割り込み要求を許可
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	OFTRG[1:0]	00	R/W	出力 FIFO データ数トリガ SRC ステータスレジスタ (SRCSTAT) の OINT ビットをセットする条件を指定します。出力 FIFO に格納された出力データ数が以下に示す設定トリガ数以上になったとき、OINT ビットは 1 にセットされます。 00: 1 01: 2 10: 4 11: 6

## 27.2.5 SRC 制御レジスタ (SRCCTRL)

SRCCTRL は、16 ビットの読み出し / 書き込み可能なレジスタで、モジュール動作の許可 / 禁止、割り込み要求の許可 / 禁止、フラッシュ処理、内部ワークメモリのクリア処理、入力および出力サンプリングレートを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SRCEN	-	EEN	FL	CL	IFS[3:0]			-	-	-	OFS	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明												
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
12	SRCEN	0	R/W	SRC モジュールイネーブル SRC のモジュール動作の許可 / 禁止を設定します。SRCEN = 0 のときに 1 を書き込むと、内部ワークメモリをクリアします。 0: SRC モジュール動作を禁止 1: SRC モジュール動作を許可 【注】SRCEN = 1 のときは、下記ビットの設定値を変更しないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>レジスタ</th><th>ビット</th><th>ビット名</th></tr> </thead> <tbody> <tr> <td>SRCIDCTRL</td><td>9</td><td>IED</td></tr> <tr> <td>SRCODCTRL</td><td>10, 9</td><td>OCH, OED</td></tr> <tr> <td>SRCCTRL</td><td>7~4, 0</td><td>IFS[3:0], OFS</td></tr> </tbody> </table>	レジスタ	ビット	ビット名	SRCIDCTRL	9	IED	SRCODCTRL	10, 9	OCH, OED	SRCCTRL	7~4, 0	IFS[3:0], OFS
レジスタ	ビット	ビット名														
SRCIDCTRL	9	IED														
SRCODCTRL	10, 9	OCH, OED														
SRCCTRL	7~4, 0	IFS[3:0], OFS														
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。												
10	EEN	0	R/W	出力 FIFO オーバライトインタラプトイネーブル 出力 FIFO のデータ数が 8 の状態で次のデータの変換処理が終了し、SRC ステータスレジスタ (SRCSTAT) の OVF ビットが 1 にセットされたときに、出力 FIFO オーバライト割り込み要求の発生を許可 / 禁止します。 0: 出力 FIFO オーバライト割り込み要求を禁止 1: 出力 FIFO オーバライト割り込み要求を許可												
9	FL	0	R/W	内部ワークメモリフラッシュ 1 を書き込むと、入力 FIFO、入力バッファメモリ、および中間バッファメモリに格納されたすべてのデータに対するサンプリングレート変換の実行 (フラッシュ処理) を開始します。読み出すと常に 0 が読み出されます。SRCEN = 0 のときは、1 を書き込んでもフラッシュ処理を実行しません。また、入力バッファメモリ内のデータ数が表 27.5 に示す値を下回る状態で FL ビットに 1 を書き込んだ場合は、有効な出力データが得られないため、フラッシュ処理を実行せずに、内部ワークメモリをクリアします。												

ビット	ビット名	初期値	R/W	説明
8	CL	0	R/W	内部ワークメモリクリア 1を書き込むと、入力 FIFO、出力 FIFO、入力バッファメモリ、中間バッファメモリ、およびアキュムレータをクリアします。読み出すと常に 0 が読み出されます。SRCEN=0 の場合でも、1 を書き込むとクリアします。
7~4	IFS[3:0]	0000	R/W	入力サンプリングレート 入力サンプリングレートを設定します。  0000 : 8.0kHz 0001 : 11.025kHz 0010 : 12.0kHz 0011 : 設定禁止 0100 : 16.0kHz 0101 : 22.05kHz 0110 : 24.0kHz 0111 : 設定禁止 1000 : 32.0kHz 1001 : 44.1kHz 1010 : 48.0kHz 1011 : 設定禁止 1100 : 設定禁止 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OFS	0	R/W	出力サンプリングレート 出力サンプリングレートを設定します。  0 : 44.1kHz 1 : 48.0kHz

変換結果として得られる出力データ数は、以下に示す式から求められます。

$$\text{出力データ数} = \left( \text{入力データ数} \times n - 1 \right) \times \frac{\text{出力サンプリングレート}}{\text{入力サンプリングレート} \times n} + 1$$

$$n = \begin{cases} 4, & \text{IFS}[3:0] = (0000, 0001, 1101) \text{ のとき} \\ 2, & \text{IFS}[3:0] = (0100, 0101, 0110) \text{ のとき} \\ 1, & \text{IFS}[3:0] = (1000, 1001, 1010) \text{ のとき} \end{cases}$$

また、一定数のデータが入力されるまでは、変換処理を開始しないため、出力データを得ることはできません。最初の出力データを得るために必要となる入力データの個数は、IFS、OFS ビットの設定値により異なります。表 27.4 に IFS、OFS ビットの設定値と必要となる初期入力データ数の関係を示します。

表 27.4 サンプリングレート設定と必要な初期入力データ数

OFS 設定値 (出力サンプリング レート[kHz])	IFS 設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
0 (44.1)	40	40	40	48	48	48	32	-	63
1 (48.0)	40	40	40	48	48	48	32	32	-

表 27.5 サンプリングレート設定とフラッシュ処理に必要な入力データ数

OFS 設定値 (出力サンプリング レート[kHz])	IFS 設定値 (入力サンプリングレート[kHz])								
	0000 (8.0)	0001 (11.025)	0010 (12.0)	0100 (16.0)	0101 (22.05)	0110 (24.0)	1000 (32.0)	1001 (44.1)	1010 (48.0)
0 (44.1)	24	24	24	16	16	16	32	-	1
1 (48.0)	24	24	24	16	16	16	32	32	-

### 27.2.6 SRC ステータスレジスタ (SRCSTAT)

SRCSTAT は、16 ビットの読み出し / 書き込み可能なレジスタで、出力 FIFO および入力 FIFO のデータ数、各割り込み要因の発生状態、フラッシュ処理の実行状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFDN[3:0]			IFDN[4:0]				-	-	FLF	-	OVF	IINT	OINT		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】\* 1を読み出した後の0書き込みのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	OFDN[3:0]	0000	R	出力 FIFO データカウント 出力 FIFO に格納されたデータの数を示します。
11~7	IFDN[4:0]	00000	R	入力 FIFO データカウント 入力 FIFO に格納されたデータの数を示します。
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FLF	0	R	フラッシュ処理ステータスフラグ フラッシュ処理の実行中であることを示します。 [クリア条件] <ul style="list-style-type: none"> <li>フラッシュ処理が終了したとき</li> <li>SRCCTRL の CL ビットに 1 を書き込んだとき</li> <li>SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき</li> </ul> [セット条件] <ul style="list-style-type: none"> <li>SRCCTRL の FL ビットに 1 を書き込んだとき</li> </ul>
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2	OVF	0	R/(W)*	<p>出力 FIFO オーバライト割り込み要求フラグ</p> <p>出力 FIFO のデータ数が 8 のときに、次のデータの変換処理が終了したことを示します。OVF フラグがクリアされるまで、変換処理は停止します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• OVF = 1 の状態で OVF を読み出し後、OVF に 0 を書き込んだとき</li> <li>• SRCCTRL の CL ビットに 1 を書き込んだとき</li> <li>• SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 出力 FIFO のデータ数が 8 の状態で、次のデータの変換処理が終了したとき</li> </ul>
1	IINT	1	R/(W)*	<p>入力 FIFO エンプティ割り込み要求フラグ</p> <p>入力 FIFO に格納されたデータ数が SRC 入力データ制御レジスタ (SRCIDCTRL) の IFTRG[1:0] ビットで設定されたトリガ数以下になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• IINT = 1 の状態で IINT を読み出した後、IINT に 0 を書き込んだとき</li> <li>• DMA 転送により、入力 FIFO のデータ数が設定されたトリガ数を上回ったとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 入力 FIFO に格納されたデータ数が設定されたトリガ数以下になったとき</li> <li>• SRCCTRL の CL ビットに 1 を書き込んだとき</li> <li>• SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき</li> </ul>
0	OINT	0	R/(W)*	<p>出力 FIFO フル割り込み要求フラグ</p> <p>出力 FIFO に格納されたデータ数が SRC 出力データ制御レジスタ (SRCODCTRL) の OFTRG[1:0] ビットで設定されたトリガ数以上になったことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• OINT = 1 の状態で OINT を読み出した後、OINT に 0 を書き込んだとき</li> <li>• DMA 転送により、出力 FIFO のデータ数が設定されたトリガ数を下回ったとき</li> <li>• SRCCTRL の CL ビットに 1 を書き込んだとき</li> <li>• SRCCTRL の SRCEN ビットが 0 の状態で SRCEN に 1 を書き込んだとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 出力 FIFO に格納されたデータ数が設定されたトリガ数以上になったとき</li> </ul>

【注】 \* 1 を読み出した後の 0 書き込みのみ可能です。

## 27.3 動作説明

### 27.3.1 初期設定

図 27.2 に初期設定の手順を示します。

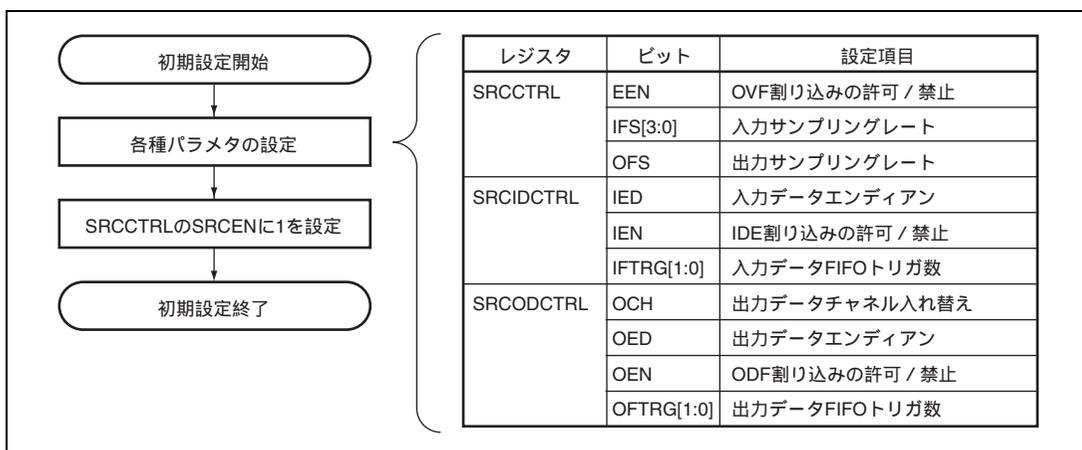


図 27.2 初期設定手順の例

## 27.3.2 データ入力

図 27.3 にデータ入力の手順を示します。

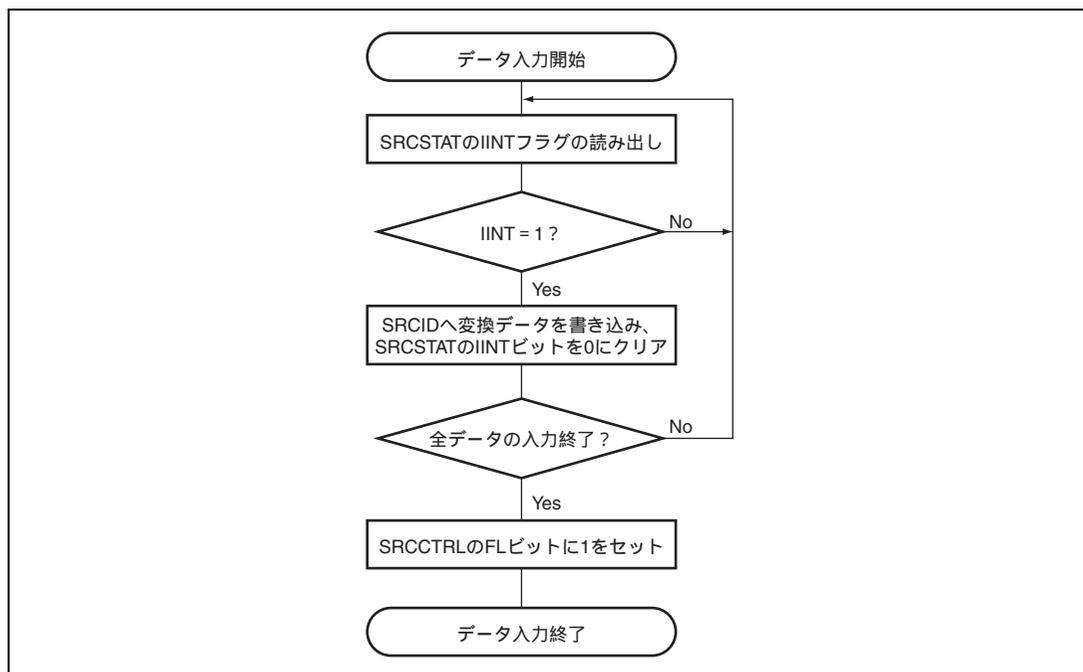


図 27.3 データ入力手順の例

## (1) CPU への割り込みを使用する場合

1. SRCIDCTRLのIENビットに1を設定します。
2. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生します。割り込み処理ルーチンで SRCSTATのIINTビットが1であることを読み出した後、SRCIDへデータを書き込み、SRCSTATのIINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. 2.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

## (2) 割り込みにより DMAC を起動する場合

1. DMACのいずれかのチャンネルをSRCのIDEIに割り当てます。
2. SRCIDCTRLのIENビットに1を設定します。
3. SRCSTATのIINTビットに1が設定されると、IDE割り込み要求を発生し、DMACを起動します。DMA転送により、SRCIDへデータが書き込まれ、入力データFIFOのデータ数がSRCIDCTRLのIFTRG[1:0]ビットで設定したトリガ数を上回ると、SRCSTATのIINTビットがクリアされます。
4. 3.を繰り返し、すべてのデータ入力が終わったら、SRCCTRLのFLビットに1を書き込みます。

## 27.3.3 データ出力

図 27.4 にデータ出力の手順を示します。

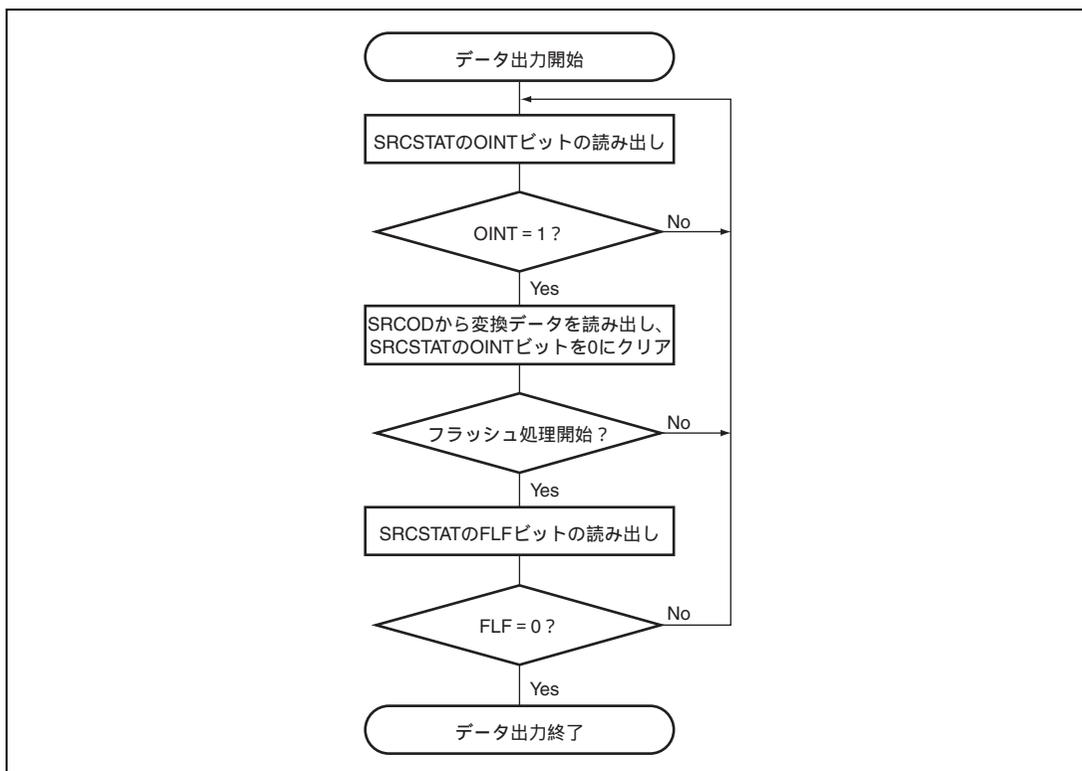


図 27.4 データ出力手順の例

## (1) CPU への割り込みを使用する場合

1. SRCODCTRLのOENビットに1を設定します。
2. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求が発生します。割り込み処理ルーチンでSRCSTATのOINTビットが1であることを読み出した後、SRCODからデータを読み出し、SRCSTATのOINTビットに0を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、2.を繰り返します。

## (2) 割り込みにより DMAC を起動する場合

1. DMACのいずれかのチャンネルをSRCのODFIに割り当てます。
2. SRCODCTRLのOENビットに1を設定します。
3. SRCSTATのOINTビットに1が設定されると、ODF割り込み要求が発生し、DMACを起動します。DMA転送により、SRCODからデータが読み出され、出力データFIFOのデータ数がSRCODCTRLのOFTRG[1:0]ビットで設定したトリガ数を下回ると、SRCSTATのOINTビットがクリアされます。
4. フラッシュ処理開始後、SRCSTATのFLFビットが0であることを読み出すまで、3.を繰り返します。

## 27.4 割り込み

SRC の割り込み要因には、入力 FIFO データエンプティ (IDEI)、出力 FIFO データフル (ODFI)、出力 FIFO オーバライト (OVF) の 3 種類があります。表 27.6 に割り込みの種類と発生条件を示します。

表 27.6 割り込み要求の種類と発生条件

割り込み要求	略称	発生条件	DMAC 起動
入力データ FIFO エンプティ	IDEI	$(IINT = 1) \cdot (IEN = 1) \cdot (SRCEN = 1)$	可
出力データ FIFO フル	ODFI	$(OINT = 1) \cdot (OEN = 1) \cdot (SRCEN = 1)$	可
出力データ FIFO オーバライト	OVF	$(OVF = 1) \cdot (EEN = 1) \cdot (SRCEN = 1)$	不可

割り込み発生条件が成立すると、CPU は割り込み例外処理を実行します。割り込み要因フラグは、割り込み例外処理ルーチン内でクリアしてください。

IDEI 割り込みと ODFI 割り込みは、DMAC の設定により、DMAC を起動することができます。DMAC を起動した場合は、SRC から CPU への割り込みは発生しません。DMA 転送により SRCID にデータが書き込まれ、入力データ FIFO のデータ数が設定トリガ数を上回った場合、IINT はクリアされます。同様に、SRCOD からデータが読み出され、出力データ FIFO のデータ数が設定トリガ数を下回った場合、OINT はクリアされます。

## 27.5 使用上の注意事項

### 27.5.1 レジスタアクセス時の注意

SRCCTRL の FL ビットに 1 を書き込んだ場合、SRCSTAT の FLF ビットがセットされるまでに周辺クロック (P) で 3 サイクルかかります。一方、CPU はレジスタ書き込みの完了を待たずに後続の命令を実行するため、SRCCTRL への書き込み命令の直後の命令では、FLF がセットされた状態を読み出すことはできません。フラッシュ処理の実行状態を確認する場合は、SRCCTRL への書き込み命令の後に SRCCTRL または SRCSTAT をダミーリードし、FLF ビットがセットされるのを待ってください。

### 27.5.2 フラッシュ処理に関する注意

SRC 制御レジスタ (SRCCTRL) の FL ビットに 1 が書き込まれると、SRC はそれまでに入力されたデータの終点以降に 0 データを付加しながら、変換処理を続行します。フラッシュ処理は、オーディオデータの終点となるデータの入力が完了し、後続するデータが存在しない場合に行ってください。

また、フラッシュ処理を実行した後に、再度、変換処理を行う場合は、下記のいずれかの動作によって内部ワークメモリをクリアしてください。

- SRCCTRL の CL ビットに 1 を書き込む
- SRCCTRL の SRCEN ビットに 0 を書き込んだ後に、1 を書き込む

### 27.5.3 OVF ビットに関する注意

SRC ステータスレジスタ (SRCSTAT) の OVF ビットに関して、当該フラグが 1 にセットされるタイミングでリードを行うと、0 が読み出されますが、内部的に 1 をリードした状態となる場合があります。そのため、0 ライトを行うと、当該フラグが 1 リード後の 0 ライトと同じ状態となり 0 クリアされることがあります。

#### 【回避方法】

当該フラグを使用する場合は、意図せずにビットをクリアしないように以下の方法でリードライトを行ってください。

当該レジスタの書き込み時は、明示的にクリアする時以外は当該ビットへ 1 ライトを行い、明示的にクリアするときのみ 1 リード後の 0 ライトを行ってください。

なお、当該フラグビットを使用しない場合は、常に 0 ライト (明示的にクリアする時は 1 リード後 0 ライト) で問題ありません。

---

## 28. SD ホストインタフェース (SDHI)

---

本章は、守秘契約を結んでいただいたうえで公開致します。

詳細は、弊社の営業担当にご確認ください。



## 29. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 29.1 ~ 表 29.6 に本 LSI のマルチプレクス端子を示します。

表 29.1 マルチプレクス一覧表 (ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
A	PA7 入力 (ポート)	AN7 入力 (ADC)	DA1 出力 (DAC)
	PA6 入力 (ポート)	AN6 入力 (ADC)	DA0 出力 (DAC)
	PA5 入力 (ポート)	AN5 入力 (ADC)	-
	PA4 入力 (ポート)	AN4 入力 (ADC)	-
	PA3 入力 (ポート)	AN3 入力 (ADC)	-
	PA2 入力 (ポート)	AN2 入力 (ADC)	-
	PA1 入力 (ポート)	AN1 入力 (ADC)	-
	PA0 入力 (ポート)	AN0 入力 (ADC)	-

【注】 汎用入力、A/D 変換器アナログ入力、D/A 変換器アナログ出力の機能は自動で切り替わるため、PFC には設定用のレジスタは存在しません。

表 29.2 マルチプレクス一覧表 (ポート B)

設定 レジスタ	モードビット (PBnMD[1:0]) 設定値			
	00	01	10	11
	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
PBCRL4	PB12 出力 (ポート)	WDT0VF 出力 (WDT)	IRQOUT/REFOUT 出力 (INTC/BSC)	UBCTRGR 出力 (UBC)
PBCRL3	PB11 入出力 (ポート)	CTx1 出力 (RCAN-TL1)	IETxD 出力 (IEB)	-
	PB10 入出力 (ポート)	CRx1 入力 (RCAN-TL1)	IERxD 入力 (IEB)	-
	PB9 入出力 (ポート)	CTx0 出力 (RCAN-TL1)	CTx0&CTx1 出力 (RCAN-TL1)	-
	PB8 入出力 (ポート)	CRx0 入力 (RCAN-TL1)	CRx0/CRx1 入力 (RCAN-TL1)	-
PBCRL2	PB7 入力 (ポート)	SDA3 入出力 (IIC3)	PINT7 入力 (INTC)	IRQ7 入力 (INTC)
	PB6 入力 (ポート)	SCL3 入出力 (IIC3)	PINT6 入力 (INTC)	IRQ6 入力 (INTC)
	PB5 入力 (ポート)	SDA2 入出力 (IIC3)	PINT5 入力 (INTC)	IRQ5 入力 (INTC)
	PB4 入力 (ポート)	SCL2 入出力 (IIC3)	PINT4 入力 (INTC)	IRQ4 入力 (INTC)
PBCRL1	PB3 入力 (ポート)	SDA1 入出力 (IIC3)	PINT3 入力 (INTC)	IRQ3 入力 (INTC)
	PB2 入力 (ポート)	SCL1 入出力 (IIC3)	PINT2 入力 (INTC)	IRQ2 入力 (INTC)
	PB1 入力 (ポート)	SDA0 入出力 (IIC3)	PINT1 入力 (INTC)	IRQ1 入力 (INTC)
	PB0 入力 (ポート)	SCL0 入出力 (IIC3)	PINT0 入力 (INTC)	IRQ0 入力 (INTC)

表 29.3 マルチプレクス一覧表 (ポート C)

設定 レジスタ	モードビット (PCnMD[1:0]) 設定値			
	00	01	10	11
	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	-
PCCRL4	PC14 入出力 (ポート)	WAIT 入力 (BSC)	-	-
	PC13 入出力 (ポート)	RDWR 出力 (BSC)	-	-
	PC12 入出力 (ポート)	CKE 出力 (BSC)	-	-
PCCRL3	PC11 入出力 (ポート)	CASU 出力 (BSC)	BREQ 入力 (BSC)	-
	PC10 入出力 (ポート)	RASU 出力 (BSC)	BACK 出力 (BSC)	-
	PC9 入出力 (ポート)	CASL 出力 (BSC)	-	-
	PC8 入出力 (ポート)	RASL 出力 (BSC)	-	-
PCCRL2	PC7 入出力 (ポート)	WE3/DQMUU/AH/CIOWR 出力 (BSC)	-	-
	PC6 入出力 (ポート)	WE2/DQMUL/CIORD 出力 (BSC)	-	-
	PC5 入出力 (ポート)	WE1/DQMLU/WE 出力 (BSC)	-	-
	PC4 入出力 (ポート)	WE0/DQMLL 出力 (BSC)	-	-
PCCRL1	PC3 入出力 (ポート)	CS3 出力 (BSC)	-	-
	PC2 入出力 (ポート)	CS2 出力 (BSC)	-	-
	PC1 入出力 (ポート)	A1 出力 (アドレス)	-	-
	PC0 入出力 (ポート)	A0 出力 (アドレス)	CS7 出力 (BSC)	-

表 29.4 マルチプレクス一覧表 (ポート D)

設定 レジスタ	モードビット (PDnMD[2:0]) 設定値						
	000	001	010	011	100	101	110/111
	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	機能 6 (関連モジュール)	-
PDCRL4	PD15 入出力 (ポート)	D31 入出力 データ	PINT7 入力 (INTC)	SD_CD 入力 (SDHI)	ADTRG 入力 (ADC)	TIOC4D 入出力 (MTU2)	-
	PD14 入出力 (ポート)	D30 入出力 データ	PINT6 入力 (INTC)	SD_WP 入力 (SDHI)	-	TIOC4C 入出力 (MTU2)	-
	PD13 入出力 (ポート)	D29 入出力 データ	PINT5 入力 (INTC)	SD_D1 入出力 (SDHI)	TEND1 出力 (DMAC)	TIOC4B 入出力 (MTU2)	-
	PD12 入出力 (ポート)	D28 入出力 データ	PINT4 入力 (INTC)	SD_D0 入出力 (SDHI)	DACK1 出力 (DMAC)	TIOC4A 入出力 (MTU2)	-
PDCRL3	PD11 入出力 (ポート)	D27 入出力 データ	PINT3 入力 (INTC)	SD_CLK 出力 (SDHI)	DREQ1 入力 (DMAC)	TIOC3D 入出力 (MTU2)	-
	PD10 入出力 (ポート)	D26 入出力 データ	PINT2 入力 (INTC)	SD_CMD 入出力 (SDHI)	TEND0 出力 (DMAC)	TIOC3C 入出力 (MTU2)	-
	PD9 入出力 (ポート)	D25 入出力 データ	PINT1 入力 (INTC)	SD_D3 入出力 (SDHI)	DACK0 出力 (DMAC)	TIOC3B 入出力 (MTU2)	-
	PD8 入出力 (ポート)	D24 入出力 データ	PINT0 入力 (INTC)	SD_D2 入出力 (SDHI)	DREQ0 入力 (DMAC)	TIOC3A 入出力 (MTU2)	-
PDCRL2	PD7 入出力 (ポート)	D23 入出力 データ	IRQ7 入力 (INTC)	SSCS1 入出力 (SSU)	TCLKD 入力 (MTU2)	TIOC2B 入出力 (MTU2)	-
	PD6 入出力 (ポート)	D22 入出力 データ	IRQ6 入力 (INTC)	SSO1 入出力 (SSU)	TCLKC 入力 (MTU2)	TIOC2A 入出力 (MTU2)	-
	PD5 入出力 (ポート)	D21 入出力 データ	IRQ5 入力 (INTC)	SSI1 入出力 (SSU)	TCLKB 入力 (MTU2)	TIOC1B 入出力 (MTU2)	-
	PD4 入出力 (ポート)	D20 入出力 データ	IRQ4 入力 (INTC)	SSCK1 入出力 (SSU)	TCLKA 入力 (MTU2)	TIOC1A 入出力 (MTU2)	-
PDCRL1	PD3 入出力 (ポート)	D19 入出力 データ	IRQ3 入力 (INTC)	SSCS0 入出力 (SSU)	DACK3 出力 (DMAC)	TIOC0D 入出力 (MTU2)	-
	PD2 入出力 (ポート)	D18 入出力 データ	IRQ2 入力 (INTC)	SSO0 入出力 (SSU)	DREQ3 入力 (DMAC)	TIOC0C 入出力 (MTU2)	-
	PD1 入出力 (ポート)	D17 入出力 データ	IRQ1 入力 (INTC)	SSI0 入出力 (SSU)	DACK2 出力 (DMAC)	TIOC0B 入出力 (MTU2)	-
	PD0 入出力 (ポート)	D16 入出力 データ	IRQ0 入力 (INTC)	SSCK0 入出力 (SSU)	DREQ2 入力 (DMAC)	TIOC0A 入出力 (MTU2)	-

表 29.5 マルチプレクス一覧表 (ポート E)

設定 レジスタ	モードビット (PE <sub>n</sub> MD[2:0]) 設定値					
	000	001	010	011	100	101/110/111
	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)	-
PECRL4	PE15 入出力 (ポート)	I <sub>O</sub> IS1 <sub>6</sub> 入力 (BSC)	-	R <sub>T</sub> S3 入出力 (SCIF)	-	-
	PE14 入出力 (ポート)	C <sub>S</sub> T 出力 (BSC)	-	C <sub>T</sub> S3 入出力 (SCIF)	-	-
	PE13 入出力 (ポート)	-	-	TxD3 出力 (SCIF)	-	-
	PE12 入出力 (ポート)	-	-	RxD3 入力 (SCIF)	-	-
PECRL3	PE11 入出力 (ポート)	C <sub>S</sub> 6/CE1 <sub>B</sub> 出力 (BSC)	IRQ7 入力 (INTC)	-	TEND1 出力 (DMAC)	-
	PE10 入出力 (ポート)	C <sub>E</sub> 2 <sub>B</sub> 出力 (BSC)	IRQ6 入力 (INTC)	-	TEND0 出力 (DMAC)	-
	PE9 入出力 (ポート)	C <sub>S</sub> 5/CE1 <sub>A</sub> 出力 (BSC)	IRQ5 入力 (INTC)	SCK3 入出力 (SCIF)	-	-
	PE8 入出力 (ポート)	C <sub>E</sub> 2 <sub>A</sub> 出力 (BSC)	IRQ4 入力 (INTC)	SCK2 入出力 (SCIF)	-	-
PECRL2	PE7 入出力 (ポート)	F <sub>R</sub> A <sub>M</sub> E 出力 (BSC)	IRQ3 入力 (INTC)	TxD2 出力 (SCIF)	DACK1 出力 (DMAC)	-
	PE6 入出力 (ポート)	A25 出力 (アドレス)	IRQ2 入力 (INTC)	RxD2 入力 (SCIF)	DREQ1 入力 (DMAC)	-
	PE5 入出力 (ポート)	A24 出力 (アドレス)	IRQ1 入力 (INTC)	TxD1 出力 (SCIF)	DACK0 出力 (DMAC)	-
	PE4 入出力 (ポート)	A23 出力 (アドレス)	IRQ0 入力 (INTC)	RxD1 入力 (SCIF)	DREQ0 入力 (DMAC)	-
PECRL1	PE3 入出力 (ポート)	A22 出力 (アドレス)	-	SCK1 入出力 (SCIF)	-	-
	PE2 入出力 (ポート)	A21 出力 (アドレス)	-	SCK0 入出力 (SCIF)	-	-
	PE1 入出力 (ポート)	C <sub>S</sub> 4 出力 (BSC)	M <sub>R</sub> E <sub>S</sub> 入力 (システム制御)	TxD0 出力 (SCIF)	-	-
	PE0 入出力 (ポート)	B <sub>S</sub> 出力 (BSC)	-	RxD0 入力 (SCIF)	A <sub>D</sub> T <sub>R</sub> G 入力 (ADC)	-

表 29.6 マルチプレクス一覧表 (ポート F)

設定 レジスタ	モードビット (PFnMD[1:0]) 設定値			
	00	01	10	11
	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
PFCRH4	PF30 入出力 (ポート)	AUDIO_CLK 入力 (SSI)	-	-
	PF29 入出力 (ポート)	SSIDATA3 入出力 (SSI)	-	-
	PF28 入出力 (ポート)	SSIWS3 入出力 (SSI)	-	-
PFCRH3	PF27 入出力 (ポート)	SSISCK3 入出力 (SSI)	-	-
	PF26 入出力 (ポート)	SSIDATA2 入出力 (SSI)	-	-
	PF25 入出力 (ポート)	SSIWS2 入出力 (SSI)	-	-
PFCRH2	PF23 入出力 (ポート)	SSIDATA1 入出力 (SSI)	LCD_VEPWC 出力 (LCDC)	-
	PF22 入出力 (ポート)	SSIWS1 入出力 (SSI)	LCD_VCPWC 出力 (LCDC)	-
	PF21 入出力 (ポート)	SSISCK1 入出力 (SSI)	LCD_CLK 入力 (LCDC)	-
PFCRH1	PF20 入出力 (ポート)	SSIDATA0 入出力 (SSI)	LCD_FLM 出力 (LCDC)	-
	PF19 入出力 (ポート)	SSIWS0 入出力 (SSI)	LCD_M_DISP 出力 (LCDC)	-
	PF18 入出力 (ポート)	SSISCK0 入出力 (SSI)	LCD_CL2 出力 (LCDC)	-
PFCRL4	PF17 入出力 (ポート)	FC $\bar{E}$ 出力 (FLCTL)	LCD_CL1 出力 (LCDC)	-
	PF16 入出力 (ポート)	FRB 入力 (FLCTL)	LCD_DON 出力 (LCDC)	-
	PF15 入出力 (ポート)	NAF7 入出力 (FLCTL)	LCD_DATA15 出力 (LCDC)	SD_CD 入力 (SDHI)
PFCRL3	PF14 入出力 (ポート)	NAF6 入出力 (FLCTL)	LCD_DATA14 出力 (LCDC)	SD_WP 入力 (SDHI)
	PF13 入出力 (ポート)	NAF5 入出力 (FLCTL)	LCD_DATA13 出力 (LCDC)	SD_D1 入出力 (SDHI)
	PF12 入出力 (ポート)	NAF4 入出力 (FLCTL)	LCD_DATA12 出力 (LCDC)	SD_D0 入出力 (SDHI)
PFCRL2	PF11 入出力 (ポート)	NAF3 入出力 (FLCTL)	LCD_DATA11 出力 (LCDC)	SD_CLK 出力 (SDHI)
	PF10 入出力 (ポート)	NAF2 入出力 (FLCTL)	LCD_DATA10 出力 (LCDC)	SD_CMD 入出力 (SDHI)
	PF9 入出力 (ポート)	NAF1 入出力 (FLCTL)	LCD_DATA9 出力 (LCDC)	SD_D3 入出力 (SDHI)
PFCRL1	PF8 入出力 (ポート)	NAF0 入出力 (FLCTL)	LCD_DATA8 出力 (LCDC)	SD_D2 入出力 (SDHI)
	PF7 入出力 (ポート)	FSC 出力 (FLCTL)	LCD_DATA7 出力 (LCDC)	$\overline{SCS\bar{T}}$ 入出力 (SSU)
	PF6 入出力 (ポート)	FOE 出力 (FLCTL)	LCD_DATA6 出力 (LCDC)	SSO1 入出力 (SSU)
PFCRL1	PF5 入出力 (ポート)	FCDE 出力 (FLCTL)	LCD_DATA5 出力 (LCDC)	SSI1 入出力 (SSU)
	PF4 入出力 (ポート)	FWE 出力 (FLCTL)	LCD_DATA4 出力 (LCDC)	SSCK1 入出力 (SSU)
	PF3 入出力 (ポート)	TCLKD 入力 (MTU2)	LCD_DATA3 出力 (LCDC)	$\overline{SCS\bar{O}}$ 入出力 (SSU)
PFCRL1	PF2 入出力 (ポート)	TCLKC 入力 (MTU2)	LCD_DATA2 出力 (LCDC)	SSO0 入出力 (SSU)
	PF1 入出力 (ポート)	TCLKB 入力 (MTU2)	LCD_DATA1 出力 (LCDC)	SSI0 入出力 (SSU)
	PF0 入出力 (ポート)	TCLKA 入力 (MTU2)	LCD_DATA0 出力 (LCDC)	SSCK0 入出力 (SSU)

## 29.1 特長

- コントロールレジスタの設定により、マルチプレクス端子の機能を選択
- 汎用入出力機能またはMTU2のTIOC入出力機能が選択された場合、IOレジスタの設定により入出力方向を選択
- ポートAは、A/D変換器のA/Dコントロール/ステータスレジスタ (ADCSR)、D/A変換器のD/Aコントロールレジスタ (DACR) の設定で機能切り替え

## 29.2 レジスタの説明

PFC には以下のレジスタがあります。

表 29.7 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート B・IO レジスタ L	PBIORL	R/W	H'0000	H'FFFE3886	8、16
ポート B コントロールレジスタ L4	PBCRL4	R/W	H'0001	H'FFFE3890	8 <sup>*1</sup> 、16、32
ポート B コントロールレジスタ L3	PBCRL3	R/W	H'0000	H'FFFE3892	8、16
ポート B コントロールレジスタ L2	PBCRL2	R/W	H'0000	H'FFFE3894	8、16、32
ポート B コントロールレジスタ L1	PBCRL1	R/W	H'0000	H'FFFE3896	8、16
IRQOUT 機能コントロールレジスタ	IFCR	R/W	H'0000	H'FFFE38A2	8、16
ポート C・IO レジスタ L	PCIORL	R/W	H'0000	H'FFFE3906	8、16
ポート C コントロールレジスタ L4	PCCRL4	R/W	H'0000	H'FFFE3910	8、16、32
ポート C コントロールレジスタ L3	PCCRL3	R/W	H'0000	H'FFFE3912	8、16
ポート C コントロールレジスタ L2	PCCRL2	R/W	H'0000	H'FFFE3914	8、16、32
ポート C コントロールレジスタ L1	PCCRL1	R/W	H'0000/ H'0010 <sup>*2</sup>	H'FFFE3916	8、16
ポート D・IO レジスタ L	PDIORL	R/W	H'0000	H'FFFE3986	8、16
ポート D コントロールレジスタ L4	PDCRL4	R/W	H'0000/ H'1111 <sup>*2</sup>	H'FFFE3990	8、16、32
ポート D コントロールレジスタ L3	PDCRL3	R/W	H'0000/ H'1111 <sup>*2</sup>	H'FFFE3992	8、16
ポート D コントロールレジスタ L2	PDCRL2	R/W	H'0000/ H'1111 <sup>*2</sup>	H'FFFE3994	8、16、32
ポート D コントロールレジスタ L1	PDCRL1	R/W	H'0000/ H'1111 <sup>*2</sup>	H'FFFE3996	8、16
ポート E・IO レジスタ L	PEIORL	R/W	H'0000	H'FFFE3A06	8、16
ポート E コントロールレジスタ L4	PECRL4	R/W	H'0000	H'FFFE3A10	8、16、32
ポート E コントロールレジスタ L3	PECRL3	R/W	H'0000	H'FFFE3A12	8、16
ポート E コントロールレジスタ L2	PECRL2	R/W	H'0000	H'FFFE3A14	8、16、32
ポート E コントロールレジスタ L1	PECRL1	R/W	H'0000	H'FFFE3A16	8、16
ポート F・IO レジスタ H	PFIORH	R/W	H'0000	H'FFFE3A84	8、16、32
ポート F・IO レジスタ L	PFIORL	R/W	H'0000	H'FFFE3A86	8、16
ポート F コントロールレジスタ H4	PFCRH4	R/W	H'0000	H'FFFE3A88	8、16、32
ポート F コントロールレジスタ H3	PFCRH3	R/W	H'0000	H'FFFE3A8A	8、16
ポート F コントロールレジスタ H2	PFCRH2	R/W	H'0000	H'FFFE3A8C	8、16、32

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポートFコントロールレジスタ H1	PFCRH1	R/W	H'0000	H'FFFE3A8E	8、16
ポートFコントロールレジスタ L4	PFCRL4	R/W	H'0000	H'FFFE3A90	8、16、32
ポートFコントロールレジスタ L3	PFCRL3	R/W	H'0000	H'FFFE3A92	8、16
ポートFコントロールレジスタ L2	PFCRL2	R/W	H'0000	H'FFFE3A94	8、16、32
ポートFコントロールレジスタ L1	PFCRL1	R/W	H'0000	H'FFFE3A96	8、16
SSI クロック選択レジスタ	SCSR	R/W	H'0000	H'FFFE3AA2	8、16

【注】 \*1 8ビットアクセスの場合、読み出しはできますが、書き込みはできません。

\*2 LSIの動作モードにより初期値が異なります。

### 29.2.1 ポートB・IOレジスタL (PBIORL)

PBIORLは、読み出し/書き込み可能な16ビットのレジスタで、ポートBにある端子の入出力方向を選びます。PB11IOR~PB8IORビットが、それぞれ、PB11/CTx1/IETxD~PB8/CRx0/CRx0/CRx1端子に対応しています。PBIORLは、ポートBの端子機能が汎用入出力(PB11~PB8)の場合に有効で、その他の機能の場合は無効です。PBIORLのビットを1にすると、対応する端子は出力になり、0にすると入力になります。

PBIORLのビット15~12、7~0はリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

### 29.2.2 ポートBコントロールレジスタL1~L4 (PBCRL1~PBCRL4)

PBCRL1~PBCRL4は、それぞれ16ビットの読み出し/書き込み可能なレジスタで、ポートBにあるマルチプレクス端子の機能を選びます。

#### (1) ポートBコントロールレジスタL4 (PBCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PB12MD[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

【注】 PBCRL4へ書き込む場合は、ビット15~8の値をH'5Aとして、16ビットまたは32ビットアクセスで書き込んでください。8ビットアクセスによる書き込みはできません。

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
1, 0	PB12MD[1:0]	01	R/W	PB12 モード PB12/WDTOVF/IRQOUT/REFOUT/UBCTRG 端子の機能を制御します。 00: PB12 出力 (ポート) 01: <u>W</u> DTOVF 出力 (WDT) 10: <u>I</u> IRQOUT/ <u>R</u> EFOUT 出力 (INTC/BSC) 11: <u>U</u> BCTRG 出力 (UBC)

## (2) ポート B コントロールレジスタ L3 (PBCRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB11MD[1:0]	-	-	PB10MD[1:0]	-	-	PB9MD[1:0]	-	-	PB8MD[1:0]	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	PB11MD[1:0]	00	R/W	PB11 モード PB11/CTx1/IETxD 端子の機能を制御します。 00: PB11 入出力 (ポート) 01: CTx1 出力 (RCAN-TL1) 10: IETxD 出力 (IEB) 11: 設定禁止
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9, 8	PB10MD[1:0]	00	R/W	PB10 モード PB10/CRx1/IERxD 端子の機能を制御します。 00: PB10 入出力 (ポート) 01: CRx1 入力 (RCAN-TL1) 10: IERxD 入力 (IEB) 11: 設定禁止
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
5、4	PB9MD[1:0]	00	R/W	PB9 モード PB9/CTx0/CTx0&CTx1 端子の機能を制御します。 00 : PB9 入出力 (ポート) 01 : CTx0 出力 (RCAN-TL1) 10 : CTx0&CTx1 出力 (RCAN-TL1) 11 : 設定禁止
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PB8MD[1:0]	00	R/W	PB8 モード PB8/CRx0/CRx0/CRx1 端子の機能を制御します。 00 : PB8 入出力 (ポート) 01 : CRx0 入力 (RCAN-TL1) 10 : CRx0/CRx1 入力 (RCAN-TL1) 11 : 設定禁止

## (3) ポート B コントロールレジスタ L2 (PBCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB7MD[1:0]	-	-	PB6MD[1:0]	-	-	PB5MD[1:0]	-	-	PB4MD[1:0]	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PB7MD[1:0]	00	R/W	PB7 モード PB7/SDA3/PINT7/IRQ7 端子の機能を制御します。 00 : PB7 入力 (ポート) 01 : SDA3 入出力 (IIC3) 10 : PINT7 入力 (INTC) 11 : IRQ7 入力 (INTC)
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PB6MD[1:0]	00	R/W	PB6 モード PB6/SCL3/PINT6/IRQ6 端子の機能を制御します。 00 : PB6 入力 (ポート) 01 : SCL3 入出力 (IIC3) 10 : PINT6 入力 (INTC) 11 : IRQ6 入力 (INTC)

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PB5MD[1:0]	00	R/W	PB5 モード PB5/SDA2/PINT5/IRQ5 端子の機能を制御します。 00 : PB5 入力 (ポート) 01 : SDA2 入出力 (IIC3) 10 : PINT5 入力 (INTC) 11 : IRQ5 入力 (INTC)
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PB4MD[1:0]	00	R/W	PB4 モード PB4/SCL2/PINT4/IRQ4 端子の機能を制御します。 00 : PB4 入力 (ポート) 01 : SCL2 入出力 (IIC3) 10 : PINT4 入力 (INTC) 11 : IRQ4 入力 (INTC)

## (4) ポート B コントロールレジスタ L1 (PBCRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PB3MD[1:0]	-	-	PB2MD[1:0]	-	-	PB1MD[1:0]	-	-	PB0MD[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PB3MD[1:0]	00	R/W	PB3 モード PB3/SDA1/PINT3/IRQ3 端子の機能を制御します。 00 : PB3 入力 (ポート) 01 : SDA1 入出力 (IIC3) 10 : PINT3 入力 (INTC) 11 : IRQ3 入力 (INTC)
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
9、8	PB2MD[1:0]	00	R/W	PB2 モード PB2/SCL1/PINT2/IRQ2 端子の機能を制御します。 00 : PB2 入力 (ポート) 01 : SCL1 入出力 (IIC3) 10 : PINT2 入力 (INTC) 11 : IRQ2 入力 (INTC)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB1MD[1:0]	00	R/W	PB1 モード PB1/SDA0/PINT1/IRQ1 端子の機能を制御します。 00 : PB1 入力 (ポート) 01 : SDA0 入出力 (IIC3) 10 : PINT1 入力 (INTC) 11 : IRQ1 入力 (INTC)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB0MD[1:0]	00	R/W	PB0 モード PB0/SCL0/PINT0/IRQ0 端子の機能を制御します。 00 : PB0 入力 (ポート) 01 : SCL0 入出力 (IIC3) 10 : PINT0 入力 (INTC) 11 : IRQ0 入力 (INTC)

### 29.2.3 ポート C・IO レジスタ L (PCIORL)

PCIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC14IOR ~ PC0IOR ビットが、それぞれ、PC14/ $\overline{\text{WAIT}}$  ~ PC0/A0/ $\overline{\text{CS}}$ 7 端子に対応しています。PCIORL はポート C の端子機能が汎用入出力 (PC14 ~ PC0) の場合に有効で、その他の機能の場合は無効です。PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIORL のビット 15 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 29.2.4 ポート C コントロールレジスタ L1 ~ L4 (PCCRL1 ~ PCCRL4)

PCCRL1 ~ PCCRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

## (1) ポート C コントロールレジスタ L4 (PCCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC14 MD0	-	-	-	PC13 MD0	-	-	-	PC12 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC14MD0	0	R/W	PC14 モード PC14/WAIT 端子の機能を制御します。 0: PC14 入出力 (ポート) 1: WAIT 入力 (BSC)
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC13MD0	0	R/W	PC13 モード PC13/RDWR 端子の機能を制御します。 0: PC13 入出力 (ポート) 1: RDWR 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC12MD0	0	R/W	PC12 モード PC12/CKE 端子の機能を制御します。 0: PC12 入出力 (ポート) 1: CKE 出力 (BSC)

## (2) ポート C コントロールレジスタ L3 (PCCRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PC11MD[1:0]	-	-	PC10MD[1:0]	-	-	-	PC9MD0	-	-	-	PC8MD0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PC11MD[1:0]	00	R/W	PC11 モード PC11/CASU/BREQ 端子の機能を制御します。 00: PC11 入出力 (ポート) 01: $\overline{\text{CASU}}$ 出力 (BSC) 10: $\overline{\text{BREQ}}$ 入力 (BSC) 11: 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PC10MD[1:0]	00	R/W	PC10 モード PC10/RASU/BACK 端子の機能を制御します。 00: PC10 入出力 (ポート) 01: $\overline{\text{RASU}}$ 出力 (BSC) 10: $\overline{\text{BACK}}$ 出力 (BSC) 11: 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC9MD0	0	R/W	PC9 モード PC9/ $\overline{\text{CASL}}$ 端子の機能を制御します。 0: PC9 入出力 (ポート) 1: $\overline{\text{CASL}}$ 出力 (BSC)
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC8MD0	0	R/W	PC8 モード PC8/ $\overline{\text{RASL}}$ 端子の機能を制御します。 0: PC8 入出力 (ポート) 1: $\overline{\text{RASL}}$ 出力 (BSC)

## (3) ポート C コントロールレジスタ L2 (PCCRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PC7 MD0	-	-	-	PC6 MD0	-	-	-	PC5 MD0	-	-	-	PC4 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PC7MD0	0	R/W	PC7 モード PC6/ $\overline{WE3}$ /DQMUU/ $\overline{AH}$ / $\overline{ICIOR}$ 端子の機能を制御します。 0: PC7 入出力 (ポート) 1: $\overline{WE3}$ /DQMUU/ $\overline{AH}$ / $\overline{ICIOR}$ 出力 (BSC)
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PC6MD0	0	R/W	PC6 モード PC6/ $\overline{WE2}$ /DQMUL/ $\overline{ICIOR}$ 端子の機能を制御します。 0: PC6 入出力 (ポート) 1: $\overline{WE2}$ /DQMUL/ $\overline{ICIOR}$ 出力 (BSC)
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PC5MD0	0	R/W	PC5 モード PC5/ $\overline{WE1}$ /DQMLU/ $\overline{WE}$ 端子の機能を制御します。 0: PC5 入出力 (ポート) 1: $\overline{WE1}$ /DQMLU/ $\overline{WE}$ 出力 (BSC)
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PC4MD0	0	R/W	PC4 モード PC4/ $\overline{WE0}$ /DQMLL 端子の機能を制御します。 0: PC4 入出力 (ポート) 1: $\overline{WE0}$ /DQMLL 出力 (BSC)

## (4) ポート C コントロールレジスタ L1 (PCCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PC3 MD0	-	-	-	PC2 MD0	-	-	-	PC1 MD0	-	-	PC0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0/1*	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

【注】\* LSIの動作モードにより初期値が異なります。

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PC3MD0	0	R/W	PC3 モード PC3/ $\overline{\text{CS}}3$ 端子の機能を制御します。 0: PC3 入出力 (ポート) 1: $\overline{\text{CS}}3$ 出力 (BSC)
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PC2MD0	0	R/W	PC2 モード PC2/ $\overline{\text{CS}}2$ 端子の機能を制御します。 0: PC2 入出力 (ポート) 1: $\overline{\text{CS}}2$ 出力 (BSC)
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PC1MD0	0/1*	R/W	PC1 モード PC1/A1 端子の機能を制御します。 • エリア 0: 32 ビットモード 0: PC1 入出力 (ポート) (初期値) 1: A1 出力 (アドレス) • エリア 0: 16 ビットモード 0: 設定禁止 1: A1 出力 (アドレス) (初期値)
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1, 0	PC0MD[1:0]	00	R/W	PC0 モード PC0/A0/ $\overline{\text{CS}}7$ 端子の機能を制御します。 00: PC0 入出力 (ポート) 01: A0 出力 (アドレス) 10: $\overline{\text{CS}}7$ 出力 (BSC) 11: 設定禁止

【注】\* LSIの動作モードにより初期値が異なります。

### 29.2.5 ポート D・IO レジスタ L (PDIORL)

PDIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD15IOR ~ PD0IOR ビットが、それぞれ、PD15/D31/PINT7/SD\_WP/ADTRG/TIOC4D ~ PD0/D16/IRQ0/SSCK0/DREQ2/TIOC0A 端子に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD15 ~ PD0) または MTU2 の TIOC 入出力の場合に有効で、その他の機能の場合は無効です。PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 IOR	PD14 IOR	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 29.2.6 ポート D コントロールレジスタ L1 ~ L4 (PDCRL1 ~ PDCRL4)

PDCRL1 ~ PDCRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

#### (1) ポート D コントロールレジスタ L4 (PDCRL4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD15MD[2:0]			-	PD14MD[2:0]			-	PD13MD[2:0]			-	PD12MD[2:0]		
初期値:	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】\* LSIの動作モードにより初期値が異なります。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14 ~ 12	PD15MD[2:0]	000/001*	R/W	PD15 モード PD15/D31/PINT7/SD_CD/ADTRG/TIOC4D 端子の機能を制御します。 <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード <ul style="list-style-type: none"> <li>000 : 設定禁止</li> <li>001 : D31 入出力 (データ) (初期値)</li> <li>010 : 設定禁止</li> <li>011 : 設定禁止</li> </ul> </li> <li>エリア 0 : 16 ビットモード <ul style="list-style-type: none"> <li>000 : PD15 入出力 (ポート) (初期値)</li> <li>001 : D31 入出力 (データ)</li> <li>010 : PINT7 入力 (INTC)</li> <li>011 : SD_CD 入力 (SDHI)</li> </ul> </li> </ul>
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	PD14MD[2:0]	000/001*	R/W	<p>PD14 モード</p> <p>PD14/D30/PINT6/SD_WP/TIOC4C 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード <ul style="list-style-type: none"> <li>000 : 設定禁止</li> <li>001 : D30 入出力 (データ) (初期値)</li> <li>010 : 設定禁止</li> <li>011 : 設定禁止</li> <li>100 : 設定禁止</li> <li>101 : 設定禁止</li> <li>110 : 設定禁止</li> <li>111 : 設定禁止</li> </ul> </li> <li>エリア 0 : 16 ビットモード <ul style="list-style-type: none"> <li>000 : PD14 入出力 (ポート) (初期値)</li> <li>001 : D30 入出力 (データ)</li> <li>010 : PINT6 入力 (INTC)</li> <li>011 : SD_WP 入力 (SDHI)</li> <li>100 : 設定禁止</li> <li>101 : TIOC4C 入出力 (MTU2)</li> <li>110 : 設定禁止</li> <li>111 : 設定禁止</li> </ul> </li> </ul>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	PD13MD[2:0]	000/001*	R/W	<p>PD13 モード</p> <p>PD13/D29/PINT5/SD_D1/TEND1/TIOC4B 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード <ul style="list-style-type: none"> <li>000 : 設定禁止</li> <li>001 : D29 入出力 (データ) (初期値)</li> <li>010 : 設定禁止</li> <li>011 : 設定禁止</li> <li>100 : 設定禁止</li> <li>101 : 設定禁止</li> <li>110 : 設定禁止</li> <li>111 : 設定禁止</li> </ul> </li> <li>エリア 0 : 16 ビットモード <ul style="list-style-type: none"> <li>000 : PD13 入出力 (ポート) (初期値)</li> <li>001 : D29 入出力 (データ)</li> <li>010 : PINT5 入力 (INTC)</li> <li>011 : SD_D1 入出力 (SDHI)</li> <li>100 : TEND1 出力 (DMAC)</li> <li>101 : TIOC4B 入出力 (MTU2)</li> <li>110 : 設定禁止</li> <li>111 : 設定禁止</li> </ul> </li> </ul>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明																
2~0	PD12MD[2:0]	000/001*	R/W	PD12 モード PD12/D28/PINT4/SD_D0/DACK1/TIOC4A 端子の機能を制御します。 <ul style="list-style-type: none"> <li>• エリア 0 : 32 ビットモード               <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D28 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>• エリア 0 : 16 ビットモード               <table border="0"> <tr> <td>000 : PD12 入出力 (ポート) (初期値)</td> <td>100 : DACK1 出力 (DMAC)</td> </tr> <tr> <td>001 : D28 入出力 (データ)</td> <td>101 : TIOC4A 入出力 (MTU2)</td> </tr> <tr> <td>010 : PINT4 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_D0 入出力 (SDHI)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D28 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD12 入出力 (ポート) (初期値)	100 : DACK1 出力 (DMAC)	001 : D28 入出力 (データ)	101 : TIOC4A 入出力 (MTU2)	010 : PINT4 入力 (INTC)	110 : 設定禁止	011 : SD_D0 入出力 (SDHI)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D28 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD12 入出力 (ポート) (初期値)	100 : DACK1 出力 (DMAC)																			
001 : D28 入出力 (データ)	101 : TIOC4A 入出力 (MTU2)																			
010 : PINT4 入力 (INTC)	110 : 設定禁止																			
011 : SD_D0 入出力 (SDHI)	111 : 設定禁止																			

【注】 \* LSIの動作モードにより初期値が異なります。

#### (2) ポート D コントロールレジスタ L3 (PDCRL3)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD11MD[2:0]		-	PD10MD[2:0]		-	PD9MD[2:0]		-	PD8MD[2:0]		-	PD7MD[2:0]		-
初期値 :	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 \* LSIの動作モードにより初期値が異なります。

ビット	ビット名	初期値	R/W	説明																
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																
14~12	PD11MD[2:0]	000/001*	R/W	PD11 モード PD11/D27/PINT3/SD_CLK/DREQ1/TIOC3D 端子の機能を制御します。 <ul style="list-style-type: none"> <li>• エリア 0 : 32 ビットモード               <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D27 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>• エリア 0 : 16 ビットモード               <table border="0"> <tr> <td>000 : PD11 入出力 (ポート) (初期値)</td> <td>100 : DREQ1 入力 (DMAC)</td> </tr> <tr> <td>001 : D27 入出力 (データ)</td> <td>101 : TIOC3D 入出力 (MTU2)</td> </tr> <tr> <td>010 : PINT3 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_CLK 出力 (SDHI)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D27 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD11 入出力 (ポート) (初期値)	100 : DREQ1 入力 (DMAC)	001 : D27 入出力 (データ)	101 : TIOC3D 入出力 (MTU2)	010 : PINT3 入力 (INTC)	110 : 設定禁止	011 : SD_CLK 出力 (SDHI)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D27 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD11 入出力 (ポート) (初期値)	100 : DREQ1 入力 (DMAC)																			
001 : D27 入出力 (データ)	101 : TIOC3D 入出力 (MTU2)																			
010 : PINT3 入力 (INTC)	110 : 設定禁止																			
011 : SD_CLK 出力 (SDHI)	111 : 設定禁止																			
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																

ビット	ビット名	初期値	R/W	説明																
10~8	PD10MD[2:0]	000/001*	R/W	<p>PD10 モード</p> <p>PD10/D26/PINT2/SD_CMD/TEND0/TIOC3C 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード           <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D26 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>エリア 0 : 16 ビットモード           <table border="0"> <tr> <td>000 : PD10 入出力 (ポート) (初期値)</td> <td>100 : TEND0 出力 (DMAC)</td> </tr> <tr> <td>001 : D26 入出力 (データ)</td> <td>101 : TIOC3C 入出力 (MTU2)</td> </tr> <tr> <td>010 : PINT2 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_CMD 入出力 (SDHI)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D26 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD10 入出力 (ポート) (初期値)	100 : TEND0 出力 (DMAC)	001 : D26 入出力 (データ)	101 : TIOC3C 入出力 (MTU2)	010 : PINT2 入力 (INTC)	110 : 設定禁止	011 : SD_CMD 入出力 (SDHI)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D26 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD10 入出力 (ポート) (初期値)	100 : TEND0 出力 (DMAC)																			
001 : D26 入出力 (データ)	101 : TIOC3C 入出力 (MTU2)																			
010 : PINT2 入力 (INTC)	110 : 設定禁止																			
011 : SD_CMD 入出力 (SDHI)	111 : 設定禁止																			
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																
6~4	PD9MD[2:0]	000/001*	R/W	<p>PD9 モード</p> <p>PD9/D25/PINT1/SD_D3/DACK0/TIOC3B 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード           <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D25 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>エリア 0 : 16 ビットモード           <table border="0"> <tr> <td>000 : PD9 入出力 (ポート) (初期値)</td> <td>100 : DACK0 出力 (DMAC)</td> </tr> <tr> <td>001 : D25 入出力 (データ)</td> <td>101 : TIOC3B 入出力 (MTU2)</td> </tr> <tr> <td>010 : PINT1 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SD_D3 入出力 (SDHI)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D25 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD9 入出力 (ポート) (初期値)	100 : DACK0 出力 (DMAC)	001 : D25 入出力 (データ)	101 : TIOC3B 入出力 (MTU2)	010 : PINT1 入力 (INTC)	110 : 設定禁止	011 : SD_D3 入出力 (SDHI)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D25 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD9 入出力 (ポート) (初期値)	100 : DACK0 出力 (DMAC)																			
001 : D25 入出力 (データ)	101 : TIOC3B 入出力 (MTU2)																			
010 : PINT1 入力 (INTC)	110 : 設定禁止																			
011 : SD_D3 入出力 (SDHI)	111 : 設定禁止																			
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																



ビット	ビット名	初期値	R/W	説明
10~8	PD6MD[2:0]	000/001*	R/W	<p>PD6 モード</p> <p>PD6/D22/IRQ6/SSO1/TCLKC/TIOC2A 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード <ul style="list-style-type: none"> <li>000 : 設定禁止</li> <li>001 : D22 入出力 (データ) (初期値)</li> <li>010 : 設定禁止</li> <li>011 : 設定禁止</li> </ul> </li> <li>エリア 0 : 16 ビットモード <ul style="list-style-type: none"> <li>000 : PD6 入出力 (ポート) (初期値)</li> <li>001 : D22 入出力 (データ)</li> <li>010 : IRQ6 入力 (INTC)</li> <li>011 : SSO1 入出力 (SSU)</li> </ul> </li> </ul>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	PD5MD[2:0]	000/001*	R/W	<p>PD5 モード</p> <p>PD5/D21/IRQ5/SSI1/TCLKB/TIOC1B 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード <ul style="list-style-type: none"> <li>000 : 設定禁止</li> <li>001 : D21 入出力 (データ) (初期値)</li> <li>010 : 設定禁止</li> <li>011 : 設定禁止</li> </ul> </li> <li>エリア 0 : 16 ビットモード <ul style="list-style-type: none"> <li>000 : PD5 入出力 (ポート) (初期値)</li> <li>001 : D21 入出力 (データ)</li> <li>010 : IRQ5 入力 (INTC)</li> <li>011 : SSI1 入出力 (SSU)</li> </ul> </li> </ul>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明																
2~0	PD4MD[2:0]	000/001*	R/W	PD4 モード PD4/D20/IRQ4/SSCK1/TCLKA/TIOC1A 端子の機能を制御します。 <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード               <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D20 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>エリア 0 : 16 ビットモード               <table border="0"> <tr> <td>000 : PD4 入出力 (ポート) (初期値)</td> <td>100 : TCLKA 入力 (MTU2)</td> </tr> <tr> <td>001 : D20 入出力 (データ)</td> <td>101 : TIOC1A 入出力 (MTU2)</td> </tr> <tr> <td>010 : IRQ4 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SSCK1 入出力 (SSU)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D20 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD4 入出力 (ポート) (初期値)	100 : TCLKA 入力 (MTU2)	001 : D20 入出力 (データ)	101 : TIOC1A 入出力 (MTU2)	010 : IRQ4 入力 (INTC)	110 : 設定禁止	011 : SSCK1 入出力 (SSU)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D20 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD4 入出力 (ポート) (初期値)	100 : TCLKA 入力 (MTU2)																			
001 : D20 入出力 (データ)	101 : TIOC1A 入出力 (MTU2)																			
010 : IRQ4 入力 (INTC)	110 : 設定禁止																			
011 : SSCK1 入出力 (SSU)	111 : 設定禁止																			

【注】 \* LSIの動作モードにより初期値が異なります。

#### (4) ポート D コントロールレジスタ L1 (PDCRL1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PD3MD[2:0]			-	PD2MD[2:0]			-	PD1MD[2:0]			-	PD0MD[2:0]		
初期値 :	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*	0	0	0	0/1*
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 \* LSIの動作モードにより初期値が異なります。

ビット	ビット名	初期値	R/W	説明																
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																
14~12	PD3MD[2:0]	000/001*	R/W	PD3 モード PD3/D19/IRQ3/ $\overline{SCS0}$ /DACK3/TIOC0D 端子の機能を制御します。 <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード               <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D19 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>エリア 0 : 16 ビットモード               <table border="0"> <tr> <td>000 : PD3 入出力 (ポート) (初期値)</td> <td>100 : DACK3 出力 (DMAC)</td> </tr> <tr> <td>001 : D19 入出力 (データ)</td> <td>101 : TIOC0D 入出力 (MTU2)</td> </tr> <tr> <td>010 : IRQ3 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : <math>\overline{SCS0}</math> 入出力 (SSU)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D19 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD3 入出力 (ポート) (初期値)	100 : DACK3 出力 (DMAC)	001 : D19 入出力 (データ)	101 : TIOC0D 入出力 (MTU2)	010 : IRQ3 入力 (INTC)	110 : 設定禁止	011 : $\overline{SCS0}$ 入出力 (SSU)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D19 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD3 入出力 (ポート) (初期値)	100 : DACK3 出力 (DMAC)																			
001 : D19 入出力 (データ)	101 : TIOC0D 入出力 (MTU2)																			
010 : IRQ3 入力 (INTC)	110 : 設定禁止																			
011 : $\overline{SCS0}$ 入出力 (SSU)	111 : 設定禁止																			
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																

ビット	ビット名	初期値	R/W	説明																
10~8	PD2MD[2:0]	000/001*	R/W	<p>PD2 モード</p> <p>PD2/D18/IRQ2/SSO0/DREQ3/TIOC0C 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード           <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D18 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>エリア 0 : 16 ビットモード           <table border="0"> <tr> <td>000 : PD2 入出力 (ポート) (初期値)</td> <td>100 : DREQ3 入力 (DMAC)</td> </tr> <tr> <td>001 : D18 入出力 (データ)</td> <td>101 : TIOC0C 入出力 (MTU2)</td> </tr> <tr> <td>010 : IRQ2 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SSO0 入出力 (SSU)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D18 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD2 入出力 (ポート) (初期値)	100 : DREQ3 入力 (DMAC)	001 : D18 入出力 (データ)	101 : TIOC0C 入出力 (MTU2)	010 : IRQ2 入力 (INTC)	110 : 設定禁止	011 : SSO0 入出力 (SSU)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D18 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD2 入出力 (ポート) (初期値)	100 : DREQ3 入力 (DMAC)																			
001 : D18 入出力 (データ)	101 : TIOC0C 入出力 (MTU2)																			
010 : IRQ2 入力 (INTC)	110 : 設定禁止																			
011 : SSO0 入出力 (SSU)	111 : 設定禁止																			
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																
6~4	PD1MD0[2:0]	000/001*	R/W	<p>PD1 モード</p> <p>PD1/D17/IRQ1/SSIO/DACK2/TIOC0B 端子の機能を制御します。</p> <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード           <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D17 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>エリア 0 : 16 ビットモード           <table border="0"> <tr> <td>000 : PD1 入出力 (ポート) (初期値)</td> <td>100 : DACK2 出力 (DMAC)</td> </tr> <tr> <td>001 : D17 入出力 (データ)</td> <td>101 : TIOC0B 入出力 (MTU2)</td> </tr> <tr> <td>010 : IRQ1 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SSIO 入出力 (SSU)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D17 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD1 入出力 (ポート) (初期値)	100 : DACK2 出力 (DMAC)	001 : D17 入出力 (データ)	101 : TIOC0B 入出力 (MTU2)	010 : IRQ1 入力 (INTC)	110 : 設定禁止	011 : SSIO 入出力 (SSU)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D17 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD1 入出力 (ポート) (初期値)	100 : DACK2 出力 (DMAC)																			
001 : D17 入出力 (データ)	101 : TIOC0B 入出力 (MTU2)																			
010 : IRQ1 入力 (INTC)	110 : 設定禁止																			
011 : SSIO 入出力 (SSU)	111 : 設定禁止																			
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																

ビット	ビット名	初期値	R/W	説明																
2~0	PD0MD0[2:0]	000/001*	R/W	PD0 モード PD0/D16/IRQ0/SSCK0/DREQ2/TIOC0A 端子の機能を制御します。 <ul style="list-style-type: none"> <li>エリア 0 : 32 ビットモード               <table border="0"> <tr> <td>000 : 設定禁止</td> <td>100 : 設定禁止</td> </tr> <tr> <td>001 : D16 入出力 (データ) (初期値)</td> <td>101 : 設定禁止</td> </tr> <tr> <td>010 : 設定禁止</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : 設定禁止</td> <td>111 : 設定禁止</td> </tr> </table> </li> <li>エリア 0 : 16 ビットモード               <table border="0"> <tr> <td>000 : PD0 入出力 (ポート) (初期値)</td> <td>100 : DREQ2 入力 (DMAC)</td> </tr> <tr> <td>001 : D16 入出力 (データ)</td> <td>101 : TIOC0A 入出力 (MTU2)</td> </tr> <tr> <td>010 : IRQ0 入力 (INTC)</td> <td>110 : 設定禁止</td> </tr> <tr> <td>011 : SSCK0 入出力 (SSU)</td> <td>111 : 設定禁止</td> </tr> </table> </li> </ul>	000 : 設定禁止	100 : 設定禁止	001 : D16 入出力 (データ) (初期値)	101 : 設定禁止	010 : 設定禁止	110 : 設定禁止	011 : 設定禁止	111 : 設定禁止	000 : PD0 入出力 (ポート) (初期値)	100 : DREQ2 入力 (DMAC)	001 : D16 入出力 (データ)	101 : TIOC0A 入出力 (MTU2)	010 : IRQ0 入力 (INTC)	110 : 設定禁止	011 : SSCK0 入出力 (SSU)	111 : 設定禁止
000 : 設定禁止	100 : 設定禁止																			
001 : D16 入出力 (データ) (初期値)	101 : 設定禁止																			
010 : 設定禁止	110 : 設定禁止																			
011 : 設定禁止	111 : 設定禁止																			
000 : PD0 入出力 (ポート) (初期値)	100 : DREQ2 入力 (DMAC)																			
001 : D16 入出力 (データ)	101 : TIOC0A 入出力 (MTU2)																			
010 : IRQ0 入力 (INTC)	110 : 設定禁止																			
011 : SSCK0 入出力 (SSU)	111 : 設定禁止																			

【注】 \* LSI の動作モードにより初期値が異なります。

### 29.2.7 ポート E・IO レジスタ L (PEIORL)

PEIORL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE15IOR ~ PE0IOR ビットが、それぞれ、PE15/ $\overline{\text{IOIS16}}/\overline{\text{RTS3}}$  ~ PE0/ $\overline{\text{BS}}/\overline{\text{RxD0}}/\overline{\text{ADTRG}}$  端子に対応しています。PEIORL はポート E の端子機能が汎用入出力 (PE15 ~ PE0) の場合に有効で、その他の機能の場合は無効です。PEIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 29.2.8 ポート E コントロールレジスタ L1 ~ L4 (PECRL1 ~ PECRL4)

PECRL1 ~ PECRL4 は、それぞれ 16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

#### (1) ポート E コントロールレジスタ L4 (PECRL4)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE15MD[1:0]	-	-	PE14MD[1:0]	-	-	PE13MD[1:0]	-	-	PE12MD[1:0]	-	-	PE11MD[1:0]	-
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PE15MD[1:0]	00	R/W	PE15 モード PE15/ $\overline{\text{IOIS16}}$ / $\overline{\text{RTS3}}$ 端子の機能を制御します。 00 : PE15 入出力 (ポート) 01 : $\overline{\text{IOIS16}}$ 入力 (BSC) 10 : 設定禁止 11 : $\overline{\text{RTS3}}$ 入出力 (SCIF)
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PE14MD[1:0]	00	R/W	PE14 モード PE14/ $\overline{\text{CS1}}$ / $\overline{\text{CTS3}}$ 端子の機能を制御します。 00 : PE14 入出力 (ポート) 01 : $\overline{\text{CS1}}$ 出力 (BSC) 10 : 設定禁止 11 : $\overline{\text{CTS3}}$ 入出力 (SCIF)
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PE13MD[1:0]	00	R/W	PE13 モード PE13/TxD3 端子の機能を制御します。 00 : PE13 入出力 (ポート) 01 : 設定禁止 10 : 設定禁止 11 : TxD3 出力 (SCIF)
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PE12MD[2:0]	00	R/W	PE12 モード PE12/RxD3 端子の機能を制御します。 00 : PE12 入出力 (ポート) 01 : 設定禁止 10 : 設定禁止 11 : RxD3 入力 (SCIF)

## (2) ポート E コントロールレジスタ L3 (PECRL3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE11MD[2:0]		-	PE10MD[2:0]		-	-	PE9MD[1:0]		-	-	PE8MD[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	PE11MD[2:0]	000	R/W	PE11 モード PE11/CS6/CE1B/IRQ7/TEND1 端子の機能を制御します。 000: PE11 入出力 (ポート)    100: TEND1 出力 (DMAC) 001: CS6/CE1B 出力 (BSC)    101: 設定禁止 010: IRQ7 入力 (INTC)        110: 設定禁止 011: 設定禁止                 111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	PE10MD[2:0]	000	R/W	PE10 モード PE10/CE2B/IRQ6/TEND0 端子の機能を制御します。 000: PE10 入出力 (ポート)    100: TEND0 出力 (DMAC) 001: CE2B 出力 (BSC)        101: 設定禁止 010: IRQ6 入力 (INTC)       110: 設定禁止 011: 設定禁止                 111: 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PE9MD[1:0]	00	R/W	PE9 モード PE9/CS5/CE1A/IRQ5/SCK3 端子の機能を制御します。 00: PE9 入出力 (ポート) 01: CS5/CE1A 出力 (BSC) 10: IRQ5 入力 (INTC) 11: SCK3 入出力 (SCIF)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PE8MD[1:0]	00	R/W	PE8 モード PE8/CE2A/IRQ4/SCK2 端子の機能を制御します。 00: PE8 入出力 (ポート) 01: CE2A 出力 (BSC) 10: IRQ4 入力 (INTC) 11: SCK2 入出力 (SCIF)

## (3) ポートEコントロールレジスタ L2 (PECRL2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PE7MD[2:0]			-	PE6MD[2:0]			-	PE5MD[2:0]			-	PE4MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	PE7MD[2:0]	000	R/W	PE7 モード PE7/FRAME/IRQ3/TxD2/DACK1 端子の機能を制御します。 000: PE7 入出力 (ポート)    100: DACK1 出力 (DMAC) 001: FRAME 出力 (BSC)    101: 設定禁止 010: IRQ3 入力 (INTC)    110: 設定禁止 011: TxD2 出力 (SCIF)    111: 設定禁止
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	PE6MD[2:0]	000	R/W	PE6 モード PE6/A25/IRQ2/RxD2/DREQ1 端子の機能を制御します。 000: PE6 入出力 (ポート)    100: DREQ1 入力 (DMAC) 001: A25 出力 (アドレス)    101: 設定禁止 010: IRQ2 入力 (INTC)    110: 設定禁止 011: RxD2 入力 (SCIF)    111: 設定禁止
7	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~4	PE5MD[2:0]	000	R/W	PE5 モード PE5/A24/IRQ1/TxD1/DACK0 端子の機能を制御します。 000: PE5 入出力 (ポート)    100: DACK0 出力 (DMAC) 001: A24 出力 (アドレス)    101: 設定禁止 010: IRQ1 入力 (INTC)    110: 設定禁止 011: TxD1 出力 (SCIF)    111: 設定禁止
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PE4MD[2:0]	000	R/W	PE4 モード PE4/A23/IRQ0/RxD1/DREQ0 端子の機能を制御します。 000: PE4 入出力 (ポート)    100: DREQ0 入力 (DMAC) 001: A23 出力 (アドレス)    101: 設定禁止 010: IRQ0 入力 (INTC)    110: 設定禁止 011: RxD1 入力 (SCIF)    111: 設定禁止

## (4) ポート E コントロールレジスタ L1 (PECRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PE3MD[1:0]	-	-	PE2MD[1:0]	-	-	PE1MD[1:0]	-	PE0MD[2:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PE3MD[1:0]	00	R/W	PE3 モード PE3/A22/SCK1 端子の機能を制御します。 00: PE3 入出力 (ポート) 01: A22 出力 (アドレス) 10: 設定禁止 11: SCK1 入出力 (SCIF)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PE2MD[1:0]	00	R/W	PE2 モード PE2/A21/SCK0 端子の機能を制御します。 00: PE2 入出力 (ポート) 01: A21 出力 (アドレス) 10: 設定禁止 11: SCK0 入出力 (SCIF)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PE1MD[1:0]	00	R/W	PE1 モード PE1/ $\overline{\text{CS4}}$ /MRES/TxD0 端子の機能を制御します。 00: PE1 入出力 (ポート) 01: $\overline{\text{CS4}}$ 出力 (BSC) 10: MRES 入力 (システム制御) 11: TxD0 出力 (SCIF)
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	PE0MD[2:0]	000	R/W	PE0 モード PE0/ $\overline{\text{BS}}$ /RxD0/ $\overline{\text{ADTRG}}$ 端子の機能を制御します。 000: PE0 入出力 (ポート)      100: $\overline{\text{ADTRG}}$ 入力 (ADC) 001: $\overline{\text{BS}}$ 出力 (BSC)      101: 設定禁止 010: 設定禁止      110: 設定禁止 011: RxD0 入力 (SCIF)      111: 設定禁止

### 29.2.9 ポート F・IO レジスタ H、L (PFIORH、PFIORL)

PFIORH、PFIORL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PF30IOR ~ PF0IOR ビットが、それぞれ、PF30/AUDIO\_CLK ~ PF0/TCLKA/LCD\_DATA0/SSCK0 端子に対応しています。PFIORH、PFIORL はポート F の端子機能が汎用入出力 (PF30 ~ PF0) の場合に有効で、その他の機能の場合は無効です。PFIORH、PFIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIORH のビット 15 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### (1) ポート F・IO レジスタ H (PFIORH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF30 IOR	PF29 IOR	PF28 IOR	PF27 IOR	PF26 IOR	PF25 IOR	PF24 IOR	PF23 IOR	PF22 IOR	PF21 IOR	PF20 IOR	PF19 IOR	PF18 IOR	PF17 IOR	PF16 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W														

#### (2) ポート F・IO レジスタ L (PFIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 IOR	PF14 IOR	PF13 IOR	PF12 IOR	PF11 IOR	PF10 IOR	PF9 IOR	PF8 IOR	PF7 IOR	PF6 IOR	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 29.2.10 ポート F コントロールレジスタ H1 ~ H4、L1 ~ L4 (PFCRH1 ~ PFCRH4、PFCRL1 ~ PFCRL4)

PFCRH1 ~ PFCRH4、PFCRL1 ~ PFCRL4 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。

#### (1) ポート F コントロールレジスタ H4 (PFCRH4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PF30 MD0	-	-	-	PF29 MD0	-	-	-	PF28 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PF30MD0	0	R/W	PF30 モード PF30/AUDIO_CLK 端子の機能を制御します。 0: PF30 入出力 (ポート) 1: AUDIO_CLK 入力 (SSI)

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PF29MD0	0	R/W	PF29 モード PF29/SSIDATA3 端子の機能を制御します。 0 : PF29 入出力 (ポート) 1 : SSIDATA3 入出力 (SSI)
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PF28MD0	0	R/W	PF28 モード PF28/SSIWS3 端子の機能を制御します。 0 : PF28 入出力 (ポート) 1 : SSIWS3 入出力 (SSI)

## (2) ポートFコントロールレジスタ H3 (PFCRH3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PF27 MD0	-	-	-	PF26 MD0	-	-	-	PF25 MD0	-	-	-	PF24 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PF27MD0	0	R/W	PF27 モード PF27/SSISCK3 端子の機能を制御します。 0 : PF27 入出力 (ポート) 1 : SSISCK3 入出力 (SSI)
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PF26MD0	0	R/W	PF26 モード PF26/SSIDATA2 端子の機能を制御します。 0 : PF26 入出力 (ポート) 1 : SSIDATA2 入出力 (SSI)
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PF25MD0	0	R/W	PF25 モード PF25/SSIWS2 端子の機能を制御します。 0 : PF25 入出力 (ポート) 1 : SSIWS2 入出力 (SSI)

ビット	ビット名	初期値	R/W	説明
3~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PF24MD0	0	R/W	PF24 モード PF24/SSISCK2 端子の機能を制御します。 0 : PF24 入出力 (ポート) 1 : SSISCK2 入出力 (SSI)

## (3) ポートFコントロールレジスタ H2 (PFCRH2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF23MD[1:0]	-	-	PF22MD[1:0]	-	-	PF21MD[1:0]	-	-	PF20MD[1:0]	-	-	PF20MD[1:0]	
初期値:	0	0	0 0	0	0	0 0	0	0	0 0	0	0	0 0	0	0	0 0	0
R/W:	R	R	R/W R/W	R	R	R/W R/W	R	R	R/W R/W	R	R	R/W R/W	R	R	R/W R/W	

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13, 12	PF23MD[1:0]	00	R/W	PF23 モード PF23/SSIDATA1/LCD_VEPWC 端子の機能を制御します。 00 : PF23 入出力 (ポート) 01 : SSIDATA1 入出力 (SSI) 10 : LCD_VEPWC 出力 (LCDC) 11 : 設定禁止
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9, 8	PF22MD[1:0]	00	R/W	PF22 モード PF22/SSIWS1/LCD_VCPWC 端子の機能を制御します。 00 : PF22 入出力 (ポート) 01 : SSIWS1 入出力 (SSI) 10 : LCD_VCPWC 出力 (LCDC) 11 : 設定禁止
7, 6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5, 4	PF21MD[1:0]	00	R/W	PF21 モード PF21/SSISCK1/LCD_CLK 端子の機能を制御します。 00 : PF21 入出力 (ポート) 01 : SSISCK1 入出力 (SSI) 10 : LCD_CLK 入力 (LCDC) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説 明
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF20MD[1:0]	00	R/W	PF20 モード PF20/SSIDATA0/LCD_FLM 端子の機能を制御します。 00 : PF20 入出力 (ポート) 01 : SSIDATA0 入出力 (SSI) 10 : LCD_FLM 出力 (LCDC) 11 : 設定禁止

## (4) ポート F コントロールレジスタ H1 (PFCRH1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF19MD[1:0]	-	-	PF18MD[1:0]	-	-	PF17MD[1:0]	-	-	PF16MD[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF19MD[1:0]	00	R/W	PF19 モード PF19/SSIWS0/LCD_M_DISP 端子の機能を制御します。 00 : PF19 入出力 (ポート) 01 : SSIWS0 入出力 (SSI) 10 : LCD_M_DISP 出力 (LCDC) 11 : 設定禁止
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PF18MD[1:0]	00	R/W	PF18 モード PF18/SSISCK0/LCD_CL2 端子の機能を制御します。 00 : PF18 入出力 (ポート) 01 : SSISCK0 入出力 (SSI) 10 : LCD_CL2 出力 (LCDC) 11 : 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5、4	PF17MD[1:0]	00	R/W	PF17 モード PF17/ $\overline{\text{FCE}}$ /LCD_CL1 端子の機能を制御します。 00 : PF17 入出力 (ポート) 01 : $\overline{\text{FCE}}$ 出力 (FLCTL) 10 : LCD_CL1 出力 (LCDC) 11 : 設定禁止
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF16MD[1:0]	00	R/W	PF16 モード PF16/FRB/LCD_DON 端子の機能を制御します。 00 : PF17 入出力 (ポート) 01 : FRB 入力 (FLCTL) 10 : LCD_DON 出力 (LCDC) 11 : 設定禁止

## (5) ポート F コントロールレジスタ L4 (PFCRL4)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF15MD[1:0]	-	-	PF14MD[1:0]	-	-	PF13MD[1:0]	-	-	PF12MD[1:0]	-	-	PF11MD[1:0]	PF10MD[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF15MD[1:0]	00	R/W	PF15 モード PF15/NAF7/LCD_DATA15/SD_CD 端子の機能を制御します。 00 : PF15 入出力 (ポート) 01 : NAF7 入出力 (FLCTL) 10 : LCD_DATA15 出力 (LCDC) 11 : SD_CD 入力 (SDHI)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PF14MD[1:0]	00	R/W	PF14 モード PF14/NAF6/LCD_DATA14/SD_WP 端子の機能を制御します。 00 : PF14 入出力 (ポート) 01 : NAF6 入出力 (FLCTL) 10 : LCD_DATA14 出力 (LCDC) 11 : SD_WP 入力 (SDHI)

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF13MD[1:0]	00	R/W	PF13 モード PF13/NAF5/LCD_DATA13/SD_D1 端子の機能を制御します。 00 : PF13 入出力 (ポート) 01 : NAF5 入出力 (FLCTL) 10 : LCD_DATA13 出力 (LCDC) 11 : SD_D1 入出力 (SDHI)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF12MD[1:0]	00	R/W	PF12 モード PF12/NAF4/LCD_DATA12/SD_D0 端子の機能を制御します。 00 : PF12 入出力 (ポート) 01 : NAF4 入出力 (FLCTL) 10 : LCD_DATA12 出力 (LCDC) 11 : SD_D0 入出力 (SDHI)

## (6) ポート F コントロールレジスタ L3 (PFCRL3)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF11MD[1:0]	-	-	PF10MD[1:0]	-	-	PF9MD[1:0]	-	-	PF8MD[1:0]	-	-	PF7MD[1:0]	PF6MD[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF11MD[1:0]	00	R/W	PF11 モード PF11/NAF3/LCD_DATA11/SD_CLK 端子の機能を制御します。 00 : PF11 入出力 (ポート) 01 : NAF3 入出力 (FLCTL) 10 : LCD_DATA11 出力 (LCDC) 11 : SD_CLK 出力 (SDHI)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9、8	PF10MD[1:0]	00	R/W	PF10 モード PF10/NAF2/LCD_DATA10/SD_CMD 端子の機能を制御します。 00 : PF10 入出力 (ポート) 01 : NAF2 入出力 (FLCTL) 10 : LCD_DATA10 出力 (LCDC) 11 : SD_CMD 入出力 (SDHI)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF9MD[1:0]	00	R/W	PF9 モード PF9/NAF1/LCD_DATA9/SD_D3 端子の機能を制御します。 00 : PF9 入出力 (ポート) 01 : NAF1 入出力 (FLCTL) 10 : LCD_DATA9 出力 (LCDC) 11 : SD_D3 入出力 (SDHI)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF8MD[1:0]	00	R/W	PF8 モード PF8/NAF0/LCD_DATA8/SD_D2 端子の機能を制御します。 00 : PF8 入出力 (ポート) 01 : NAF0 入出力 (FLCTL) 10 : LCD_DATA8 出力 (LCDC) 11 : SD_D2 入出力 (SDHI)

## (7) ポート F コントロールレジスタ F2 (PFCRL2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF7MD[1:0]	-	-	PF6MD[1:0]	-	-	PF5MD[1:0]	-	-	PF4MD[1:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF7MD[1:0]	00	R/W	PF7 モード PF7/FSC/LCD_DATA7/SCS1 端子の機能を制御します。 00 : PF7 入出力 (ポート) 01 : FSC 出力 (FLCTL) 10 : LCD_DATA7 出力 (LCDC) 11 : SCS1 入出力 (SSU)

ビット	ビット名	初期値	R/W	説明
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PF6MD[1:0]	00	R/W	PF6 モード PF6/FOE/LCD_DATA6/SSO1 端子の機能を制御します。 00 : PF6 入出力 (ポート) 01 : FOE 出力 (FLCTL) 10 : LCD_DATA6 出力 (LCDC) 11 : SSO1 入出力 (SSU)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF5MD[1:0]	00	R/W	PF5 モード PF5/FCDE/LCD_DATA5/SSI1 端子の機能を制御します。 00 : PF5 入出力 (ポート) 01 : FCDE 出力 (FLCTL) 10 : LCD_DATA5 出力 (LCDC) 11 : SSI1 入出力 (SSU)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF4MD[1:0]	00	R/W	PF4 モード PF4/ $\overline{\text{FWE}}$ /LCD_DATA4/SSCK1 端子の機能を制御します。 00 : PF4 入出力 (ポート) 01 : $\overline{\text{FWE}}$ 出力 (FLCTL) 10 : LCD_DATA4 出力 (LCDC) 11 : SSCK1 入出力 (SSU)

## (8) ポート F コントロールレジスタ L1 (PFCRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	PF3MD[1:0]	-	-	PF2MD[1:0]	-	-	PF1MD[1:0]	-	-	PF0MD[1:0]	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PF3MD[1:0]	00	R/W	PF3 モード PF3/TCLKD/LCD_DATA3/ $\overline{\text{SCS0}}$ 端子の機能を制御します。 00: PF3 入出力 (ポート) 01: TCLKD 入力 (MTU2) 10: LCD_DATA3 出力 (LCDC) 11: $\overline{\text{SCS0}}$ 入出力 (SSU)
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PF2MD[1:0]	00	R/W	PF2 モード PF2/TCLKC/LCD_DATA2/SSO0 端子の機能を制御します。 00: PF2 入出力 (ポート) 01: TCLKC 入力 (MTU2) 10: LCD_DATA2 出力 (LCDC) 11: SSO0 入出力 (SSU)
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PF1MD[1:0]	00	R/W	PF1 モード PF1/TCLKB/LCD_DATA1/SSI0 端子の機能を制御します。 00: PF1 入出力 (ポート) 01: TCLKB 入力 (MTU2) 10: LCD_DATA1 出力 (LCDC) 11: SSI0 入出力 (SSU)
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PF0MD[1:0]	00	R/W	PF0 モード PF0/TCLKA/LCD_DATA0/SSCK0 端子の機能を制御します。 00: PF0 入出力 (ポート) 01: TCLKA 入力 (MTU2) 10: LCD_DATA0 出力 (LCDC) 11: SSCK0 入出力 (SSU)

## 29.2.11 IRQOUT 機能コントロールレジスタ (IFCR)

IFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B コントロールレジスタ L4 (PBCRL4) により、マルチプレクス機能が  $\overline{\text{IRQOUT}}/\overline{\text{REFOUT}}$  出力に設定された場合、その出力を制御するために使用します。PBCRL4 の設定が他の機能になっている場合、このレジスタの設定は端子の機能に影響を与えません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PB12IRQ[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1, 0	PB12IRQ[1:0]	00	R/W	PB12IRQOUT モード PBCRL4 のビット 1、0 (PB12MD[1:0]) が (1, 0) に設定されている場合の IRQOUT/REFOUT 端子機能を選択します。 00: 割り込み要求受け付け出力 01: リフレッシュ信号出力 10: 割り込み要求受け付け出力またはリフレッシュ信号出力 (どちらが出力されるかは、そのときの動作状態によります) 11: 常にハイレベル出力

## 29.2.12 SSI オーバサンプルクロック選択レジスタ (SCSR)

SCSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SSI で使用するオーバサンプルクロックの供給源および分周率を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	SSI3CKS[2:0]			-	SSI2CKS[2:0]			-	SSI1CKS[2:0]			-	SSI0CKS[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14 ~ 12	SSI3CKS[2:0]	000	R/W	SSI ch3 クロックセレクト SSI ch3 で使用するオーバサンプルクロックの供給源を選択します。 表 29.8 参照。
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	SSI2CKS[2:0]	000	R/W	SSI ch2 クロックセレクト SSI ch2 で使用するオーバサンプルクロックの供給源を選択します。 表 29.8 参照。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	SSI1CKS[2:0]	000	R/W	SSI ch1 クロックセレクト SSI ch1 で使用するオーバサンプルクロックの供給源を選択します。 表 29.8 参照。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	SSI0CKS[2:0]	000	R/W	SSI ch0 クロックセレクト SSI ch0 で使用するオーバサンプルクロックの供給源を選択します。 表 29.8 参照。

表 29.8 SSInCKS ビットによるオーバサンプルクロック供給源の選択

SSInCKS[2:0]* <sup>1</sup> 設定値	クロック動作モード		
	0 または 1	2	3
000	AUDIO_X1 入力		
001	AUDIO_X1 入力 / 4		
010	AUDIO_CLK 入力* <sup>2</sup>		
011	AUDIO_CLK 入力* <sup>2</sup> / 4		
100	EXTAL 入力	CKIO 入力	設定禁止
101	EXTAL 入力 / 4	CKIO 入力 / 4	設定禁止
110	EXTAL 入力 / 2	CKIO 入力 / 2	設定禁止
111	EXTAL 入力 / 8	CKIO 入力 / 8	設定禁止

【注】 \*1 n = 0~3

\*2 AUDIO\_CLK を使用する場合は、ポート F コントロールレジスタ H4 (PFCRH4) の PF30MD0 ビットを 1 に設定してください。

### 29.3 ポート A の機能切り替えについて

ポート A は、A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子とマルチプレクスされています。端子機能は、A/D 変換器の A/D コントロール/ステータスレジスタ、D/A 変換器の D/A コントロールレジスタの設定により、自動的に切り替わります（「第 22 章 A/D 変換器 (ADC)」、「第 23 章 D/A 変換器 (DAC)」を参照）。

表 29.9 PA6/AN6/DA0 および PA7/AN7/DA1 の機能切り替え

DACR 設定値 (DAE、DAOE0、DAE1)	ADCSR 設定値		機能端子		備考
	CH[2:0]	MDS[2]	PA6/AN6/DA0	PA7/AN7/DA1	
(x、0、0)	110	x	AN6	PA7	
	111	0	PA6	AN7	
		1	AN6	AN7	
(0、1、0)	110	x	AN6/DA0	PA7	設定禁止
	111	0	DA0	AN7	
		1	AN6/DA0	AN7	設定禁止
(0、0、1)	110	x	AN6	DA1	
	111	0	PA6	AN7/DA1	設定禁止
		1	AN6	AN7/DA1	設定禁止
(x、1、1)/(1、0、1)/ (1、1、0)	110	x	AN6/DA0	DA1	設定禁止
	111	0	DA0	AN7/DA1	設定禁止
		1	AN6/DA0	AN7/DA1	設定禁止

【記号説明】

x : don't care

【注】 "設定禁止"は PA6 または PA7 端子に対して A/D 変換器と D/A 変換器の機能が同時に選択されるため設定禁止となります。

## 29.4 使用上の注意事項

表 29.1 ~ 表 29.6 に示したマルチプレクス一覧表のうち、PA0 ~ PA7、PB0 ~ PB7 を除く全端子の I/O バッファには、端子の電位が中間電位状態となることを抑止するため、ウィークキーパが付いています。しかし、ハイインピーダンス状態時に保持された電位は、ノイズ等の影響により変化することがありますのでご注意ください。

---

## 30. I/O ポート

---

本 LSI のポートは、A、B、C、D、E、F の 6 本から構成されています。

それぞれのポートの端子は、すべて、その他の機能を兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ (PFC) で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタおよび端子の値を読み出すためのポートレジスタを持っています。

### 30.1 特長

#### 1. ポート総数：99本（入出力82本、入力16本、出力1本）

- ポートA：入力8本
- ポートB：入出力4本、入力8本、出力1本
- ポートC：入出力15本
- ポートD：入出力16本
- ポートE：入出力16本
- ポートF：入出力31本

#### 2. ウィークキーパ付き端子

本LSIの以下のI/O端子には、端子の電位が中間電位状態となることを抑止するウィークキーパ回路が付いています。

- ポートB：PB8～PB12
- ポートC：PC0～PC14
- ポートD：PD0～PD15
- ポートE：PE0～PE15
- ポートF：PF0～PF30

ウィークキーパ回路は、I/O端子に内蔵され、I/O端子が外部からドライブされていないときに、入力をハイまたはローレベルに固定する回路です。一般にCMOS製品では未使用の入力端子は外部にプルアップまたはプルダウン抵抗を付けて入力レベルを固定する必要がありますが、本LSIのウィークキーパが付いたI/O端子ではこのような外付け回路は不要であり、部品点数を減らすことが可能です。

なお、プルアップまたはプルダウン抵抗により端子レベルを固定する必要がある場合は、抵抗値は10k 以下にしてください。

## 30.2 ポート A

ポート A は、図 30.1 に示すような、8 本の端子を持つ入力ポートです。

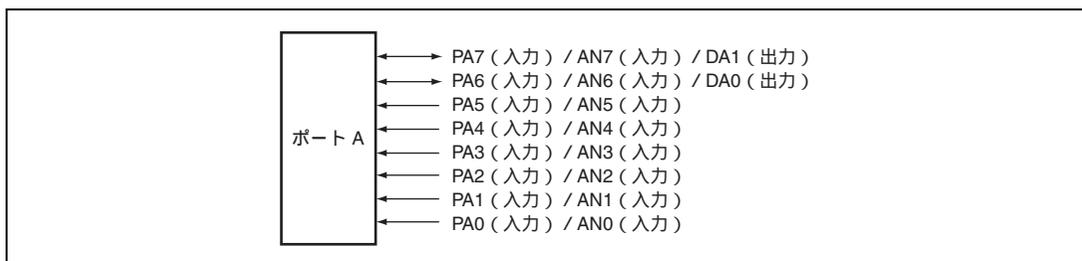


図 30.1 ポート A

### 30.2.1 レジスタの説明

ポート A のレジスタを表 30.1 に示します。

表 30.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート A データレジスタ L	PADRL	R	H'00xx	H'FFFE3802	8, 16

### 30.2.2 ポート A データレジスタ L (PADRL)

PADRL は、読み出し専用の 16 ビットのレジスタで、PA7DR ~ PA0DR ビットはそれぞれ PA7/AN7/DA1 ~ PA0/AN0 端子に対応しています。PA7 ~ PA0 の汎用入力機能は、A/D 変換器および D/A 変換器の停止中のみ有効となります。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D 変換器および D/A 変換器の動作中は読み出さないでください。表 30.2 に PADRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値:	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PA7DR	端子の状態	R	表 30.2 参照
6	PA6DR	端子の状態	R	
5	PA5DR	端子の状態	R	
4	PA4DR	端子の状態	R	
3	PA3DR	端子の状態	R	
2	PA2DR	端子の状態	R	
1	PA1DR	端子の状態	R	
0	PA0DR	端子の状態	R	

表 30.2 ポート A データレジスタ L (PADRL) の読み出し / 書き込み動作

- PADRLのビット7~0

端子機能	読み出し	書き込み
汎用入力	端子の状態	無視 (端子の状態に影響しない)
ANn 入力 / DAn 出力	禁止	無視 (端子の状態に影響しない)

【記号説明】 n = 7 ~ 0。ただし DA は、DA0 および DA1 のみです。

### 30.3 ポート B

ポート B は、図 30.2 に示すような、13 本の端子を持つ入出力ポートです。

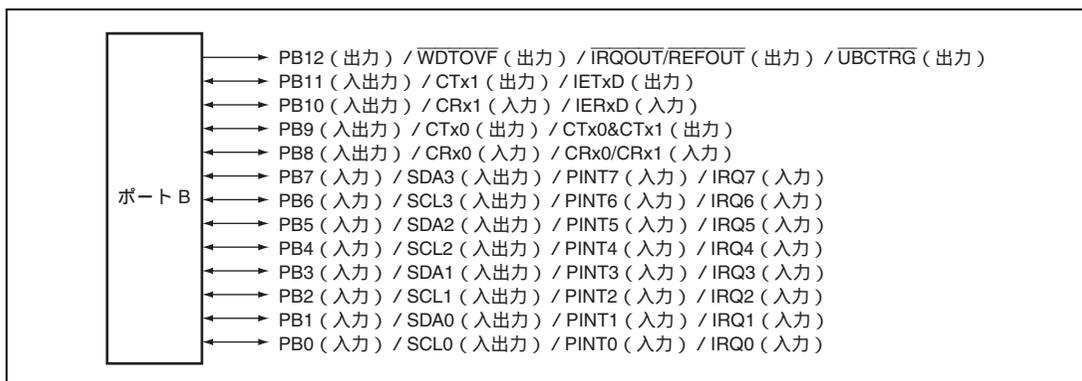


図 30.2 ポート B

#### 30.3.1 レジスタの説明

ポート B のレジスタを表 30.3 に示します。

表 30.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート B データレジスタ L	PBDRL	R/W	H'00xx	H'FFFE3882	8、16
ポート B ポートレジスタ L	PBPRL	R	H'xxxx	H'FFFE389E	8、16

#### 30.3.2 ポート B データレジスタ L (PBDRL)

PBDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB12DR ~ PB0DR ビットは、それぞれ PB12/WDTOVF/IRQOUT/REFOUT/UBCTRG ~ PB0/SCL0/PINT0/IRQ0 端子に対応しています。

端子機能が汎用出力の場合には、PBDRL に値を書き込むと端子からその値が出力され、PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDRL に値を書き込むと、PBDRL にその値を書き込めますが端子の状態には影響しません。表 30.4 に PBDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PB12 DR	PB11 DR	PB10 DR	PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PB12DR	0	R/W	表 30.4 参照
11	PB11DR	0	R/W	
10	PB10DR	0	R/W	
9	PB9DR	0	R/W	
8	PB8DR	0	R/W	
7	PB7DR	端子の状態	R	
6	PB6DR	端子の状態	R	
5	PB5DR	端子の状態	R	
4	PB4DR	端子の状態	R	
3	PB3DR	端子の状態	R	
2	PB2DR	端子の状態	R	
1	PB1DR	端子の状態	R	
0	PB0DR	端子の状態	R	

表 30.4 ポート B データレジスタ L (PBDRL) の読み出し / 書き込み動作

- PBDRLのビット12

端子機能	読み出し	書き込み
汎用出力	PBDRL の値	書き込み値が端子から出力される
汎用出力以外	PBDRL の値	PBDRL に書き込めるが、端子の状態に影響しない

- PBDRLのビット11~8

PBIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDRL の値	書き込み値が端子から出力される
	汎用出力以外	PBDRL の値	PBDRL に書き込めるが、端子の状態に影響しない

- PBDRLのビット7~0

端子機能	読み出し	書き込み
汎用入力	端子の状態	無効
汎用入力以外	端子の状態	無効

### 30.3.3 ポート B ポートレジスタ L (PBPR L)

PBPR L は、読み出し専用の 16 ビットのレジスタで、PB11PR ~ PB0PR ビットが、それぞれ PB11/CTx1/IETxD、~ PB0/SCL0/PINT0/IRQ0 端子に対応しています。PBPR L は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PB11 PR	PB10 PR	PB9 PR	PB8 PR	PB7 PR	PB6 PR	PB5 PR	PB4 PR	PB3 PR	PB2 PR	PB1 PR	PB0 PR
初期値:	0	0	0	0	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
11	PB11PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
10	PB10PR	端子の状態	R	
9	PB9PR	端子の状態	R	
8	PB8PR	端子の状態	R	
7	PB7PR	端子の状態	R	
6	PB6PR	端子の状態	R	
5	PB5PR	端子の状態	R	
4	PB4PR	端子の状態	R	
3	PB3PR	端子の状態	R	
2	PB2PR	端子の状態	R	
1	PB1PR	端子の状態	R	
0	PB0PR	端子の状態	R	

## 30.4 ポート C

ポート C は、図 30.3 に示すような、15 本の端子を持つ入出力ポートです。

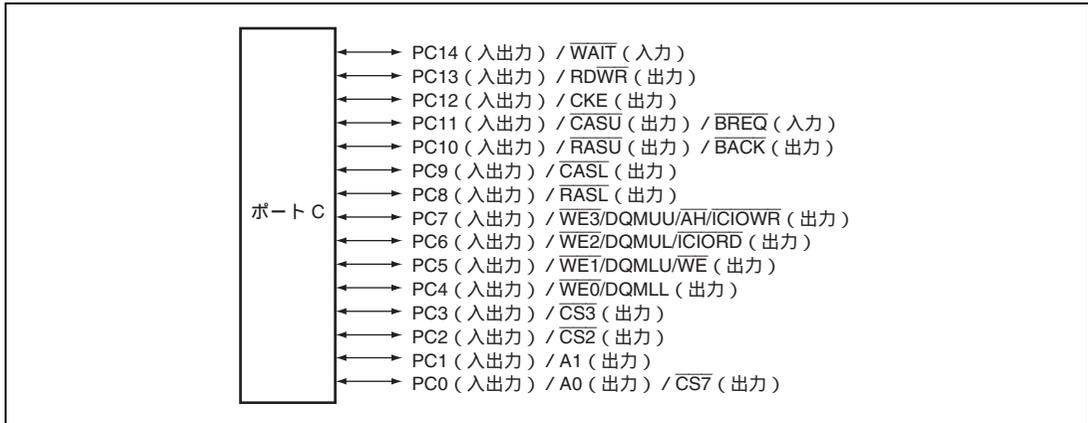


図 30.3 ポート C

### 30.4.1 レジスタの説明

ポート C のレジスタを表 30.5 に示します。

表 30.5 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート C データレジスタ L	PCDRL	R/W	H'xxxx	H'FFFE3902	8, 16
ポート C ポートレジスタ L	PCPRL	R	H'xxxx	H'FFFE391E	8, 16

### 30.4.2 ポート C データレジスタ L (PCDRL)

PCDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC14DR ~ PC0DR ビットは、それぞれ、PC14/ $\overline{\text{WAIT}}$  ~ PC0/A0/ $\overline{\text{CS7}}$  端子に対応しています。

端子機能が汎用出力の場合には、PCDRL に値を書き込むと端子からその値が出力され、PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDRL に値を書き込むと、PCDRL にその値を書き込めますが端子の状態には影響しません。表 30.6 に PCDRL の読み出し / 書き込み動作を示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値は常に0にしてください。
14	PC14DR	0	R/W	表 30.6 参照
13	PC13DR	0	R/W	
12	PC12DR	0	R/W	
11	PC11DR	0	R/W	
10	PC10DR	0	R/W	
9	PC9DR	0	R/W	
8	PC8DR	0	R/W	
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 30.6 ポート C データレジスタ L (PCDRL) の読み出し / 書き込み動作

- PCDRLのビット14~0

PCIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDRL の値	書き込み値が端子から出力される
	汎用出力以外	PCDRL の値	PCDRL に書き込めるが、端子の状態に影響しない

### 30.4.3 ポート C ポートレジスタ L (PCPRL)

PCPRL は、読み出し専用の 16 ビットのレジスタで、PC14PR ~ PC0PR ビットは、それぞれ PC14/ $\overline{\text{WAIT}}$  ~ PC0/A0/ $\overline{\text{CS}}$ 7 端子に対応しています。PCPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC14 PR	PC13 PR	PC12 PR	PC11 PR	PC10 PR	PC9 PR	PC8 PR	PC7 PR	PC6 PR	PC5 PR	PC4 PR	PC3 PR	PC2 PR	PC1 PR	PC0 PR
初期値:	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込みは無効です。
14	PC14PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
13	PC13PR	端子の状態	R	
12	PC12PR	端子の状態	R	
11	PC11PR	端子の状態	R	
10	PC10PR	端子の状態	R	
9	PC9PR	端子の状態	R	
8	PC8PR	端子の状態	R	
7	PC7PR	端子の状態	R	
6	PC6PR	端子の状態	R	
5	PC5PR	端子の状態	R	
4	PC4PR	端子の状態	R	
3	PC3PR	端子の状態	R	
2	PC2PR	端子の状態	R	
1	PC1PR	端子の状態	R	
0	PC0PR	端子の状態	R	

## 30.5 ポート D

ポート D は、図 30.4 に示すような、16 本の端子を持つ入出力ポートです。

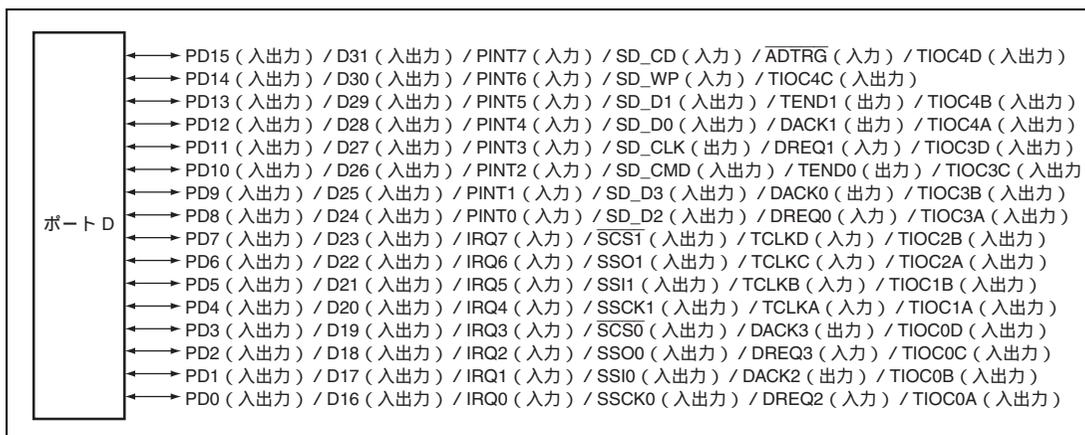


図 30.4 ポート D

### 30.5.1 レジスタの説明

ポート D のレジスタを表 30.7 に示します。

表 30.7 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート D データレジスタ L	PDDRLL	R/W	H'0000	H'FFFE3982	8、16
ポート D ポートレジスタ L	PDPRLL	R	H'xxxx	H'FFFE399E	8、16

### 30.5.2 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD15DR ~ PD0DR ビットは、それぞれ PD15/D31/PINT7/SD\_CD/ADTRG/TIOC4D ~ PD0/D16/IRQ0/SSCK0/DREQ2/TIOC0A 端子に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PDDRL に値を書き込むと、PDDRL にその値を書き込めますが端子の状態には影響しません。表 30.8 に PDDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 DR	PD14 DR	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PD15DR	0	R/W	表 30.8 参照
14	PD14DR	0	R/W	
13	PD13DR	0	R/W	
12	PD12DR	0	R/W	
11	PD11DR	0	R/W	
10	PD10DR	0	R/W	
9	PD9DR	0	R/W	
8	PD8DR	0	R/W	
7	PD7DR	0	R/W	
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 30.8 ポート D データレジスタ L (PDDRL) の読み出し / 書き込み動作

- PDDRLのビット15~0

PDIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDRL の値	書き込み値が端子から出力される
	汎用出力以外	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

### 30.5.3 ポート D ポートレジスタ L (PDPRL)

PDPRL は、読み出し専用の 16 ビットのレジスタで、PD15PR ~ PD0PR ビットが、それぞれ PD15/D31/PINT7/SD\_CD/ADTRG/TIOC4D ~ PD0/D16/IRQ0/SSCK0/DREQ2/TIOC0A 端子に対応しています。PDPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD15 PR	PD14 PR	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15	PD15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PD14PR	端子の状態	R	
13	PD13PR	端子の状態	R	
12	PD12PR	端子の状態	R	
11	PD11PR	端子の状態	R	
10	PD10PR	端子の状態	R	
9	PD9PR	端子の状態	R	
8	PD8PR	端子の状態	R	
7	PD7PR	端子の状態	R	
6	PD6PR	端子の状態	R	
5	PD5PR	端子の状態	R	
4	PD4PR	端子の状態	R	
3	PD3PR	端子の状態	R	
2	PD2PR	端子の状態	R	
1	PD1PR	端子の状態	R	
0	PD0PR	端子の状態	R	

## 30.6 ポート E

ポート E は、図 30.5 に示すような、16 本の端子を持つ入出力ポートです。

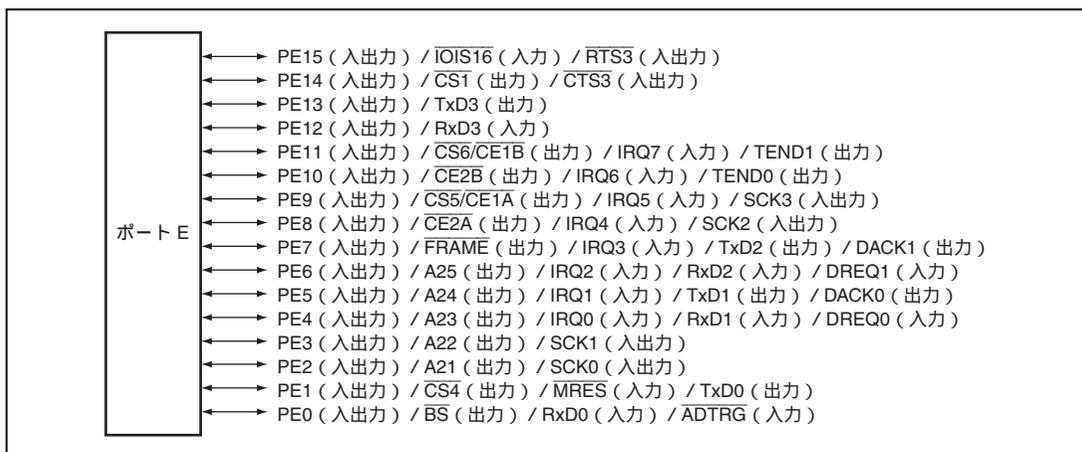


図 30.5 ポート E

### 30.6.1 レジスタの説明

ポート E のレジスタを表 30.9 に示します。

表 30.9 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート E データレジスタ L	PEPDL	R/W	H'0000	H'FFFE3A02	8、16
ポート E ポートレジスタ L	PEPRL	R	H'xxxx	H'FFFE3A1E	8、16

### 30.6.2 ポート E データレジスタ L (PEDRL)

PEDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR ~ PE0DR ビットは、それぞれ PE15/ $\overline{IOIS16}/RTS3$  ~ PE0/ $\overline{BS}/RxD0/\overline{ADTRG}$  端子に対応しています。

端子機能が汎用出力の場合には、PEDRL に値を書き込むと端子からその値が出力され、PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRL に値を書き込むと、PEDRL にその値を書き込みますが端子の状態には影響しません。表 30.10 に PEDRL の読み出し / 書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 DR	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PE15DR	0	R/W	表 30.10 参照
14	PE14DR	0	R/W	
13	PE13DR	0	R/W	
12	PE12DR	0	R/W	
11	PE11DR	0	R/W	
10	PE10DR	0	R/W	
9	PE9DR	0	R/W	
8	PE8DR	0	R/W	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 30.10 ポート E データレジスタ L (PEDRL) の読み出し / 書き込み動作

- PEDRLのビット15~0

PEIORL	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDRL の値	書き込み値が端子から出力される
	汎用出力以外	PEDRL の値	PEDRL に書き込めるが、端子の状態に影響しない

### 30.6.3 ポート E ポートレジスタ L (PEPRL)

PEPRL は、それぞれ読み出し専用の 16 ビットのレジスタで、PE15PR ~ PE0PR ビットが、それぞれ PE15/ $\overline{\text{IOIS16}}$ /RTS3 ~ PE0/ $\overline{\text{BS}}$ /RxD0/ $\overline{\text{ADTRG}}$  端子に対応しています。PEPRL は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 PR	PE14 PR	PE13 PR	PE12 PR	PE11 PR	PE10 PR	PE9 PR	PE8 PR	PE7 PR	PE6 PR	PE5 PR	PE4 PR	PE3 PR	PE2 PR	PE1 PR	PE0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説 明
15	PE15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PE14PR	端子の状態	R	
13	PE13PR	端子の状態	R	
12	PE12PR	端子の状態	R	
11	PE11PR	端子の状態	R	
10	PE10PR	端子の状態	R	
9	PE9PR	端子の状態	R	
8	PE8PR	端子の状態	R	
7	PE7PR	端子の状態	R	
6	PE6PR	端子の状態	R	
5	PE5PR	端子の状態	R	
4	PE4PR	端子の状態	R	
3	PE3PR	端子の状態	R	
2	PE2PR	端子の状態	R	
1	PE1PR	端子の状態	R	
0	PE0PR	端子の状態	R	

## 30.7 ポート F

ポート F は、図 30.6 に示すような、31 本の端子を持つ入出力ポートです。

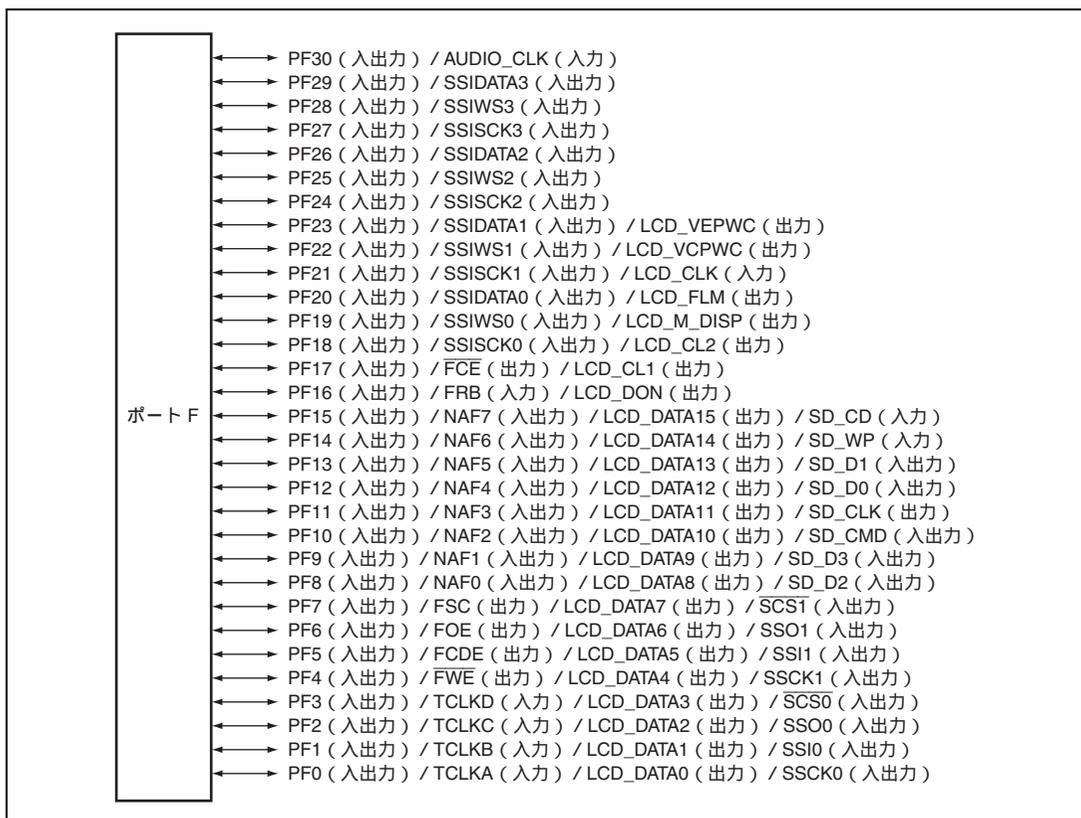


図 30.6 ポート F

### 30.7.1 レジスタの説明

ポート F のレジスタを表 30.11 に示します。

表 30.11 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
ポート F データレジスタ H	PFDRH	R/W	H'0000	H'FFFE3A80	8、16、32
ポート F データレジスタ L	PFDRL	R/W	H'0000	H'FFFE3A82	8、16
ポート F ポートレジスタ H	PFPRH	R	H'xxxx	H'FFFE3A9C	8、16、32
ポート F ポートレジスタ L	PFPRL	R	H'xxxx	H'FFFE3A9E	8、16

### 30.7.2 ポート F データレジスタ H、L (PFDRH、PFDRL)

PFDRH、PFDRL は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF30DR ~ PF0DR ビットは、それぞれ PF30/AUDIO\_CLK ~ PF0/TCLKA/LCD\_DATA0/SSCK0 端子に対応しています。

端子機能が汎用出力の場合には PFDRH、PFDRL に値を書き込むと端子からその値が出力され、PFDRH、PFDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDRH、PFDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDRH、PFDRL に値を書き込むと、PFDRH、PFDRL にその値を書き込みますが端子の状態には影響しません。表 30.12 に PFDRH、PFDRL の読み出し / 書き込み動作を示します。

#### (1) ポート F データレジスタ H (PFDRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF30 DR	PF29 DR	PF28 DR	PF27 DR	PF26 DR	PF25 DR	PF24 DR	PF23 DR	PF22 DR	PF21 DR	PF20 DR	PF19 DR	PF18 DR	PF17 DR	PF16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W														

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に 0 にしてください。
14	PF30DR	0	R/W	表 30.12 参照
13	PF29DR	0	R/W	
12	PF28DR	0	R/W	
11	PF27DR	0	R/W	
10	PF26DR	0	R/W	
9	PF25DR	0	R/W	
8	PF24DR	0	R/W	
7	PF23DR	0	R/W	
6	PF22DR	0	R/W	
5	PF21DR	0	R/W	
4	PF20DR	0	R/W	
3	PF19DR	0	R/W	
2	PF18DR	0	R/W	
1	PF17DR	0	R/W	
0	PF16DR	0	R/W	

## (2) ポート F データレジスタ L (PFDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 DR	PF14 DR	PF13 DR	PF12 DR	PF11 DR	PF10 DR	PF9 DR	PF8 DR	PF7 DR	PF6 DR	PF5 DR	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PF15DR	0	R/W	表 30.12 参照
14	PF14DR	0	R/W	
13	PF13DR	0	R/W	
12	PF12DR	0	R/W	
11	PF11DR	0	R/W	
10	PF10DR	0	R/W	
9	PF9DR	0	R/W	
8	PF8DR	0	R/W	
7	PF7DR	0	R/W	
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

表 30.12 ポート F データレジスタ H、L (PFDRH、PFDRL) の読み出し / 書き込み動作

- PFDRHのビット14~0およびPFDRLのビット15~0

PFIORH、L	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDRH、Lに書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDRH、Lに書き込めるが、端子の状態に影響しない
1	汎用出力	PFDRH、Lの値	書き込み値が端子から出力される
	汎用出力以外	PFDRH、Lの値	PFDRH、Lに書き込めるが、端子の状態に影響しない

### 30.7.3 ポート F ポートレジスタ H、L (PFPRH、PFPLR)

PFPRH、PFPLR は、それぞれ読み出し専用の 16 ビットのレジスタで、PF30PR ~ PF0PR ビットが、それぞれ PF30/AUDIO\_CLK ~ PF0/TCLKA/LCD\_DATA0/SSCK0 端子に対応しています。PFPRH、PFPLR は、PFC の設定にかかわらず常に端子の値を読み出すことができます。

#### (1) ポート F ポートレジスタ H (PFPRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PF30 PR	PF29 PR	PF28 PR	PF27 PR	PF26 PR	PF25 PR	PF24 PR	PF23 PR	PF22 PR	PF21 PR	PF20 PR	PF19 PR	PF18 PR	PF17 PR	PF16 PR
初期値:	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PF30PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
13	PF29PR	端子の状態	R	
12	PF28PR	端子の状態	R	
11	PF27PR	端子の状態	R	
10	PF26PR	端子の状態	R	
9	PF25PR	端子の状態	R	
8	PF24PR	端子の状態	R	
7	PF23PR	端子の状態	R	
6	PF22PR	端子の状態	R	
5	PF21PR	端子の状態	R	
4	PF20PR	端子の状態	R	
3	PF19PR	端子の状態	R	
2	PF18PR	端子の状態	R	
1	PF17PR	端子の状態	R	
0	PF16PR	端子の状態	R	

## (2) ポート F ポートレジスタ L (PFPR L)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 PR	PF14 PR	PF13 PR	PF12 PR	PF11 PR	PF10 PR	PF9 PR	PF8 PR	PF7 PR	PF6 PR	PF5 PR	PF4 PR	PF3 PR	PF2 PR	PF1 PR	PF0 PR
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* 外部端子の状態に依存します。

ビット	ビット名	初期値	R/W	説 明
15	PF15PR	端子の状態	R	PFC の設定にかかわらず、読み出すと端子の状態が読み出されます。書き込みは無効です。
14	PF14PR	端子の状態	R	
13	PF13PR	端子の状態	R	
12	PF12PR	端子の状態	R	
11	PF11PR	端子の状態	R	
10	PF10PR	端子の状態	R	
9	PF9PR	端子の状態	R	
8	PF8PR	端子の状態	R	
7	PF7PR	端子の状態	R	
6	PF6PR	端子の状態	R	
5	PF5PR	端子の状態	R	
4	PF4PR	端子の状態	R	
3	PF3PR	端子の状態	R	
2	PF2PR	端子の状態	R	
1	PF1PR	端子の状態	R	
0	PF0PR	端子の状態	R	

## 30.8 使用上の注意事項

PFC により端子が以下の機能に選択された場合、データレジスタおよびポートレジスタにアクセスして端子の状態を読み出すことはできません。

- A25 ~ A21, A1, A0 (アドレスバス)
- D31 ~ D16 (データバス)
- $\overline{BS}$
- $\overline{CS7}$ ,  $\overline{CS4}$  ~  $\overline{CS1}$ ,  $\overline{CS5/CE1A}$ ,  $\overline{CS6/CE1B}$ ,  $\overline{CE2A}$ ,  $\overline{CE2B}$
- $\overline{RDWR}$
- $\overline{WE3/DQMUU/AH/ICLOWR}$ ,  $\overline{WE2/DQMUL/ICIOR}$ ,  $\overline{WE1/DQMLU/WE}$ ,  $\overline{WE0/DQMLL}$
- $\overline{RASU}$ ,  $\overline{RASL}$ ,  $\overline{CASU}$ ,  $\overline{CASL}$
- CKE
- $\overline{FRAME}$
- $\overline{WAIT}$
- $\overline{BREQ}$
- $\overline{BACK}$
- $\overline{IOIS16}$
- $\overline{MRES}$
- NAF7 ~ 0



## 31. 内蔵 RAM

本 LSI は、高速アクセス可能な高速 RAM と、ディープスタンバイモードでもデータを保持できる保持用 RAM を内蔵しており、命令やデータを格納することができます。

高速内蔵 RAM は、RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

保持用内蔵 RAM は、ディープスタンバイモードでデータを保持するかしないかをページごとに選択することが可能です。

### 31.1 特長

- メモリマップ

内蔵RAMは、表31.1、表31.2のアドレス空間に配置されています。

表 31.1 内蔵 RAM (高速) アドレス空間

ページ	アドレス
ページ 0	H'FFF80000 ~ H'FFF83FFF
ページ 1	H'FFF84000 ~ H'FFF87FFF
ページ 2	H'FFF88000 ~ H'FFF8BFFF
ページ 3	H'FFF8C000 ~ H'FFF8FFFF

表 31.2 内蔵 RAM (保持用) アドレス空間

ページ	アドレス
ページ 0	H'FFFF8000 ~ H'FFFF8FFF
ページ 1	H'FFFF9000 ~ H'FFFF9FFF
ページ 2	H'FFFFA000 ~ H'FFFFAFFF
ページ 3	H'FFFFB000 ~ H'FFFFBFFF

- ポート

高速内蔵RAMの各ページは2本の独立した読み出し/書き込みポートを持ち、内部DMAバス(IDバス)、CPU命令フェッチバス(Fバス)、CPUメモリアクセスバス(Mバス)と接続されています(ただし、Fバスは読み出しポートのみに接続されています)。CPUからのアクセスにはFバスおよびMバス、DMACからのアクセスにはIDバスが使用されます。

保持用内蔵RAMは1本の読み出し/書き込みポートを持ち、周辺バスと接続されています。

- 優先順位

高速内蔵RAMの同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIDバス、Mバス、Fバスとなります。

- アクセスサイクル数

高速内蔵RAM：Fバス・Mバスからのアクセスサイクル数は、リード/ライトともに1I サイクルです。

IDバスからのアクセスサイクルは、内部クロック（I）とバスクロック（B）のクロック比に依存します。

表31.3にIDバスからのアクセスサイクル数を示します。

表 31.3 高速内蔵 RAM ID バスアクセスサイクル数

リード/ライト	I : B クロック比	アクセスサイクル数 (B)
リード	1 : 1	3
	2 : 1	2
	3 : 1	2
	4 : 1	2
	6 : 1	1
	8 : 1	1
ライト	1 : 1	2
	2 : 1	2
	3 : 1	2
	4 : 1	2
	6 : 1	1
	8 : 1	1

【注】 設定可能な I と B のクロック比については、「第4章 クロックパルス発振器 (CPG)」を参照してください。

保持用内蔵RAM：ICバス・IDバスからのアクセスサイクル数は、リード/ライトともに  $1B + 2P$  (min) ~  $3P$  (max) サイクルです。

## 31.2 使用上の注意事項

### 31.2.1 ページ競合

高速内蔵 RAM の同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるページをアクセスすると競合は発生しません。

### 31.2.2 RAME ビット、RAMWE ビットについて

高速内蔵 RAM に対して、RAME ビットおよび RAMWE ビットの設定をディスエーブルする場合には、RAME ビットおよび RAMWE ビット設定前に必ず各ページに対して任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。

```
//ページ0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ1に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ2に対して
MOV.L #H'FFF88000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ3に対して
MOV.L #H'FFF8C000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 31.1 実行例

### 31.2.3 命令配置禁止領域

保持用内蔵 RAM の最終アドレスから 16 バイト以内 (アドレス H'FFFFBFF0 ~ H'FFFFBFFF) には、命令を配置しないでください。配置した場合、CPU がアドレス H'FFFFC000 以降の内蔵周辺モジュール空間にオーバランフエッチし、アドレスエラーが発生することがあります。

### 31.2.4 データ保持について

高速内蔵 RAM、保持用内蔵 RAM は、パワーオンリセット、ディープスタンバイモード以外の動作状態において、データを保持し続けます。パワーオンリセット、ディープスタンバイモードでは下記動作となります。

#### (1) パワーオンリセット

##### (a) 高速内蔵 RAM

RAME ビットまたは RAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

RAME、RAMWE ビットが共に有効の場合、データを保持することはできません。

##### (b) 保持用内蔵 RAM

データを保持することはできません。

#### (2) ディープスタンバイモード

##### (a) 高速内蔵 RAM

データを保持することはできません。

##### (b) 保持用内蔵 RAM

RRAMKP ビットを有効にすることにより、ディープスタンバイモードにおいてもデータを保持し続けます。

ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、データを保持することはできません。

割り込み、マニュアルリセット端子によりディープスタンバイモードを解除した場合は、パワーオンリセット例外処理が実行されますが、データは保持されます。

---

## 32. 低消費電力モード

---

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

### 32.1 特長

#### 32.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 32.1 に示します。

表 32.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態 <sup>*1</sup>									解除方法
		CPG	CPU	CPUレジスタ	内蔵RAM(高速)キャッシュメモリ	内蔵RAM(保持用)	内蔵周辺モジュール	RTC	電源	外部メモリ	
スリープモード	STBCRのSTBYビットが0の状態ですLEEP命令を実行	動作	停止	保持	動作	動作	動作	動作 <sup>*2</sup>	動作	オートリフレッシュにしてください	・割り込み ・マニュアルリセット ・パワーオンリセット ・DMAアドレスエラー
ソフトウェアスタンバイモード	STBCRのSTBYビットが1、DEEPビットが0の状態ですLEEP命令を実行	停止	停止	保持	停止(内容は保持 <sup>*5*</sup> 6)	停止(内容は保持 <sup>*5</sup> )	停止	動作 <sup>*2</sup>	動作	セルフリフレッシュにしてください	・NMI割り込み ・IRQ割り込み ・マニュアルリセット ・パワーオンリセット
ディープスタンバイモード	STBCRのSTBYビットとDEEPビットが1の状態ですLEEP命令を実行	停止	停止	停止	停止(内容は非保持)	停止(内容は保持 <sup>*3</sup> )	停止	動作 <sup>*2</sup>	停止	セルフリフレッシュにしてください	・NMI割り込み <sup>*4</sup> ・IRQ割り込み <sup>*4</sup> ・マニュアルリセット <sup>*4</sup> ・パワーオンリセット <sup>*4</sup>
モジュールスタンバイモード	STBCR2、STBCR3、STBCR4、STBCR5、STBCR6のMSTPビットを1とする	動作	動作	保持	動作	動作	指定モジュールが停止	停止	動作	オートリフレッシュにしてください	・MSTPビットを0にクリア ・パワーオンリセット(ただしH-UDI、UBC、DMACのみ)

【注】 \*1 端子状態は、保持またはハイインピーダンスです。詳細は「付録 A. 端子状態」を参照してください。

\*2 リアルタイムクロックは RCR2 レジスタの START ビットが 1 のとき動作します。詳細は「第 14 章 リアルタイムクロック (RTC)」を参照してください。なお、パワーオンリセットによりディープスタンバイモードを解除した場合、動作状態を保持することができません。再度、リアルタイムクロックの初期設定を行ってください。

\*3 RAMKP レジスタの RAMKP3 ~ RAMKP0 ビットを 1 にセットすると内蔵 RAM の対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、保持している内容は初期化されます。

\*4 ディープスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。ただし、NMI 割り込みまたは IRQ 割り込みによってディープスタンバイモードを解除する場合、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。さらに、マニュアルリセットもパワーオンリセット例外処理となります。

\*5 パワーオンリセットによりソフトウェアスタンバイモードを解除した場合、保持している内容は初期化されます。

\*6 内蔵 RAM (高速) は、SYSCR1 レジスタの RAME ビット、または SYSCR2 レジスタの RAMWE ビットをディスエーブルにすることにより、パワーオンリセットでソフトウェアスタンバイモードを解除した場合でも、保持し続けることができます。

## 32.2 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。

表 32.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'7E	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'FF	H'FFFE040C	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FFFE0410	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'FF	H'FFFE0414	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0402	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0404	8
システムコントロールレジスタ 3	SYSCR3	R/W	H'00	H'FFFE0418	8
ディープスタンバイコントロールレジスタ	DSCTR	R/W	H'00	H'FFFF2800	8
ディープスタンバイコントロールレジスタ 2	DSCTR2	R/W	H'00	H'FFFF2802	8
ディープスタンバイ解除要因セレクトレジスタ	DSSSR	R/W	H'0000	H'FFFF2804	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/W	H'0000	H'FFFF2808	16
保持用内蔵 RAM トリミングレジスタ	DSRTR	R/W	H'00	H'FFFF280C	8

### 32.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	STBY	DEEP	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ、ディープスタンバイ
6	DEEP	0	R/W	ソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。  0x : SLEEP 命令の実行で、スリープモードへ遷移 10 : SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移 11 : SLEEP 命令の実行で、ディープスタンバイモードへ遷移
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【記号説明】 x : Don't care

### 32.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。STBCR2 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MSTP 10	MSTP 9	MSTP 8	MSTP 7	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロックの供給を停止
4	MSTP7	0	R/W	モジュールストップ 7 MSTP7 ビットを 1 にセットすると FPU へのクロックの供給を停止します。MSTP7 ビットを 1 にセットした後、0 をライトしてクリアすることはできません。つまり、MSTP7 ビットを 1 にセットして FPU へのクロック供給をいったん停止した後、MSTP7 ビットを 0 にクリアして FPU へのクロック供給を再開することはできません。 FPU へのクロックの供給を停止した後、再開するには、本 LSI をパワーオンリセットしてください。 0 : FPU は動作 1 : FPU へのクロックの供給を停止
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 32.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し/書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。STBCR3 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	HIZ	MSTP 36	MSTP 35	MSTP 34	MSTP 33	MSTP 32	MSTP 31	MSTP 30
初期値:	0	1	1	1	1	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	HIZ	0	R/W	ポートハインピーダンス ソフトウェアスタンバイモード時およびディープスタンバイモード時に、特定の出力端子の状態を保持するか、ハインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。 本ビットは、WDT の WTSCR の TME ビットが 1 の状態では設定しないでください。出力端子の状態をハインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。 0: ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態を保持する 1: ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態をハインピーダンスにする
6	MSTP36	1	R/W	モジュールストップ 36 MSTP36 ビットを 1 にセットすると IEB へのクロックの供給を停止します。 0: IEB は動作 1: IEB へのクロックの供給を停止
5	MSTP35	1	R/W	モジュールストップ 35 MSTP35 ビットを 1 にセットすると MTU2 へのクロックの供給を停止します。 0: MTU2 は動作 1: MTU2 へのクロックの供給を停止
4	MSTP34	1	R/W	モジュールストップ 34 MSTP34 ビットを 1 にセットすると SDHI0 へのクロックの供給を停止します。 0: SDHI0 は動作 1: SDHI0 へのクロックの供給を停止
3	MSTP33	1	R/W	モジュールストップ 33 MSTP33 ビットを 1 にセットすると SDHI1 へのクロックの供給を停止します。 0: SDHI1 は動作 1: SDHI1 へのクロックの供給を停止
2	MSTP32	1	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると ADC へのクロックの供給を停止します。 0: ADC は動作 1: ADC へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説 明
1	MSTP31	1	R/W	モジュールストップ 31 MSTP31 ビットを 1 にセットすると DAC へのクロックの供給を停止します。 0 : DAC は動作 1 : DAC へのクロックの供給を停止
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットすると RTC へのクロックの供給を停止します。 0 : RTC は動作 1 : RTC へのクロックの供給を停止

### 32.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。STBCR4 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット :    7    6    5    4    3    2    1    0

MSTP 47	MSTP 46	MSTP 45	MSTP 44	-	MSTP 42	MSTP 41	MSTP 40
------------	------------	------------	------------	---	------------	------------	------------

初期値 :    1    1    1    1    1    1    1    1

R/W :    R/W    R/W    R/W    R/W    R    R/W    R/W    R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP47	1	R/W	モジュールストップ 47 MSTP47 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ 46 MSTP46 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止
5	MSTP45	1	R/W	モジュールストップ 45 MSTP45 ビットを 1 にセットすると SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロックの供給を停止
4	MSTP44	1	R/W	モジュールストップ 44 MSTP44 ビットを 1 にセットすると SCIF3 へのクロックの供給を停止します。 0 : SCIF3 は動作 1 : SCIF3 へのクロックの供給を停止
3	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説 明
2	MSTP42	1	R/W	モジュールストップ 42 MSTP42 ビットを 1 にセットすると CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロックの供給を停止
1	MSTP41	1	R/W	モジュールストップ 41 MSTP41 ビットを 1 にセットすると LCDC へのクロックの供給を停止します。 0 : LCDC は動作 1 : LCDC へのクロックの供給を停止
0	MSTP40	1	R/W	モジュールストップ 40 MSTP40 ビットを 1 にセットすると FLCTL へのクロックの供給を停止します。 0 : FLCTL は動作 1 : FLCTL へのクロックの供給を停止

### 32.2.5 スタンバイコントロールレジスタ 5 (STBCR5)

STBCR5 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。STBCR5 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	MSTP 57	MSTP 56	MSTP 55	MSTP 54	MSTP 53	MSTP 52	MSTP 51	MSTP 50
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	MSTP57	1	R/W	モジュールストップ 57 MSTP57 ビットを 1 にセットすると IIC3-0 へのクロックの供給を停止します。 0 : IIC3-0 は動作 1 : IIC3-0 へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ 56 MSTP56 ビットを 1 にセットすると IIC3-1 へのクロックの供給を停止します。 0 : IIC3-1 は動作 1 : IIC3-1 へのクロックの供給を停止
5	MSTP55	1	R/W	モジュールストップ 55 MSTP55 ビットを 1 にセットすると IIC3-2 へのクロックの供給を停止します。 0 : IIC3-2 は動作 1 : IIC3-2 へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説明
4	MSTP54	1	R/W	モジュールストップ 54 MSTP54 ビットを 1 にセットすると IIC3-3 へのクロックの供給を停止します。 0 : IIC3-3 は動作 1 : IIC3-3 へのクロックの供給を停止
3	MSTP53	1	R/W	モジュールストップ 53 MSTP53 ビットを 1 にセットすると RCAN0 へのクロックの供給を停止します。 0 : RCAN0 は動作 1 : RCAN0 へのクロックの供給を停止
2	MSTP52	1	R/W	モジュールストップ 52 MSTP52 ビットを 1 にセットすると RCAN1 へのクロックの供給を停止します。 0 : RCAN1 は動作 1 : RCAN1 へのクロックの供給を停止
1	MSTP51	1	R/W	モジュールストップ 51 MSTP51 ビットを 1 にセットすると SSU0 へのクロックの供給を停止します。 0 : SSU0 は動作 1 : SSU0 へのクロックの供給を停止
0	MSTP50	1	R/W	モジュールストップ 50 MSTP50 ビットを 1 にセットすると SSU1 へのクロックの供給を停止します。 0 : SSU1 は動作 1 : SSU1 へのクロックの供給を停止

### 32.2.6 スタンバイコントロールレジスタ 6 (STBCR6)

STBCR6 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。STBCR6 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット :	7	6	5	4	3	2	1	0
	MSTP 67	MSTP 66	MSTP 65	MSTP 64	MSTP 63	MSTP 62	-	MSTP 60
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
7	MSTP67	1	R/W	モジュールストップ 67 MSTP67 ビットを 1 にセットすると SSI0 へのクロックの供給を停止します。 0 : SSI0 は動作 1 : SSI0 へのクロックの供給を停止
6	MSTP66	1	R/W	モジュールストップ 66 MSTP66 ビットを 1 にセットすると SSI1 へのクロックの供給を停止します。 0 : SSI1 は動作 1 : SSI1 へのクロックの供給を停止
5	MSTP65	1	R/W	モジュールストップ 65 MSTP65 ビットを 1 にセットすると SSI2 へのクロックの供給を停止します。 0 : SSI2 は動作 1 : SSI2 へのクロックの供給を停止
4	MSTP64	1	R/W	モジュールストップ 64 MSTP64 ビットを 1 にセットすると SSI3 へのクロックの供給を停止します。 0 : SSI3 は動作 1 : SSI3 へのクロックの供給を停止
3	MSTP63	1	R/W	モジュールストップ 63 MSTP63 ビットを 1 にセットすると ROM-DEC へのクロックの供給を停止します。 0 : ROM-DEC は動作 1 : ROM-DEC へのクロックの供給を停止
2	MSTP62	1	R/W	モジュールストップ 62 MSTP62 ビットを 1 にセットすると SRC へのクロックの供給を停止します。 0 : SRC は動作 1 : SRC へのクロックの供給を停止
1	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	MSTP60	1	R/W	モジュールストップ 60 MSTP60 ビットを 1 にセットすると USB へのクロックの供給を停止します。 0 : USB は動作 1 : USB へのクロックの供給を停止

### 32.2.7 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵 RAM (高速) へのアクセス許可/禁止を設定します。SYSCR1 は、バイトアクセスのみ有効です。

RAME ビットを 1 にセットすると内蔵 RAM (高速) が有効になります。0 にクリアすると内蔵 RAM (高速) はアクセスできません。このとき、内蔵 RAM (高速) からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM (高速) へのライトは無視されます。初期値は 1 です。

なお、RAME ビットの設定をディスエーブルにする場合には、RAME ビット設定前に必ず各ページに対し任意の同一アドレスのリード/ライトを実行してください。実行しない場合、最後に書かれたデータが内蔵 RAM (高速) に書き込まれない可能性があります。さらに、SYSCR1 へのライト命令の直後に内蔵 RAM (高速) をアクセスするような命令を置かないでください。もし内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM (高速) を有効にする場合、SYSCR1 へのライト命令の直後に SYSCR1 のリード命令を置いてください。もし、SYSCR1 ライト命令の直後に内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAME3	RAME2	RAME1	RAME0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7-4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAME3	1	R/W	RAM イネーブル 3 (対象: 内蔵 RAM (高速) のページ 3*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
2	RAME2	1	R/W	RAM イネーブル 2 (対象: 内蔵 RAM (高速) のページ 2*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
1	RAME1	1	R/W	RAM イネーブル 1 (対象: 内蔵 RAM (高速) のページ 1*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
0	RAME0	1	R/W	RAM イネーブル 0 (対象: 内蔵 RAM (高速) のページ 0*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効

【注】 \* 各ページのアドレスについては、「第 31 章 内蔵 RAM」を参照してください。

### 32.2.8 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵 RAM (高速) へのライト許可/禁止を設定します。SYSCR2 は、バイトアクセスのみ有効です。

RAMWE ビットを 1 にセットすると内蔵 RAM (高速) への書き込みが有効になります。0 にクリアすると内蔵 RAM (高速) にはライトできません。このとき、内蔵 RAM (高速) へのライトは無視されます。初期値は 1 です。

なお、RAMWE ビットの設定をディスエーブルにする場合には、RAMWE ビット設定前に必ず各ページに対し任意の同一アドレスのリード/ライトを実行してください。実行しない場合、最後に書かれたデータが内蔵 RAM (高速) に書き込まれない可能性があります。さらに、SYSCR2 へのライト命令の直後に内蔵 RAM (高速) をアクセスするような命令を置かないでください。もし内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM (高速) に対するライトを有効にする場合、SYSCR2 へのライト命令の直後に SYSCR2 のリード命令を置いてください。もし、SYSCR2 ライト命令の直後に内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象: 内蔵 RAM (高速) のページ 3*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効
2	RAMWE2	1	R/W	RAM ライトイネーブル 2 (対象: 内蔵 RAM (高速) のページ 2*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象: 内蔵 RAM (高速) のページ 1*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象: 内蔵 RAM (高速) のページ 0*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効

【注】 \* 各ページのアドレスについては、「第 31 章 内蔵 RAM」を参照してください。

### 32.2.9 システムコントロールレジスタ 3 (SYSCR3)

SYSCR3 は、読み出し / 書き込み可能な 8 ビットのレジスタで、SSI0~3 と IEB のソフトウェアリセット制御とオーディオ用水晶発振子の制御を行います。SYSCR3 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	AXT ALE	-	-	IEB SRST	SSI3 SRST	SSI2 SRST	SSI1 SRST	SSI0 SRST
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	AXTALE	0	R/W	AUDIO_X1 クロック制御 AUDIO_X1 端子の機能を制御します。 0 : 内蔵水晶発振器を動作 / 外部クロック入力許可 1 : 内蔵水晶発振器を停止 / 外部クロック入力禁止
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	IEBSRST	0	R/W	IEB ソフトウェアリセット IEB のリセットをソフトウェアで制御します。 0 : IEB のリセットを解除 1 : IEB をリセット状態
3	SSI3SRST	0	R/W	SSI3 ソフトウェアリセット SSI3 のリセットをソフトウェアで制御します。 0 : SSI3 のリセットを解除 1 : SSI3 をリセット状態
2	SSI2SRST	0	R/W	SSI2 ソフトウェアリセット SSI2 のリセットをソフトウェアで制御します。 0 : SSI2 のリセットを解除 1 : SSI2 をリセット状態
1	SSI1SRST	0	R/W	SSI1 ソフトウェアリセット SSI1 のリセットをソフトウェアで制御します。 0 : SSI1 のリセットを解除 1 : SSI1 をリセット状態
0	SSI0SRST	0	R/W	SSI0 ソフトウェアリセット SSI0 のリセットをソフトウェアで制御します。 0 : SSI0 のリセットを解除 1 : SSI0 をリセット状態

### 32.2.10 ディープスタンバイコントロールレジスタ (DSCTR)

DSCTR は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に対象の内蔵 RAM (保持用) エリアの内容を保持するかどうかを設定します。DSCTR は、バイトアクセスのみ有効です。

RRAMKP3~0 ビットを 1 にセットすると、対象の内蔵 RAM (保持用) エリアの内容がディープスタンバイモード時に保持されます。0 にクリアすると、対象の内蔵 RAM (保持用) エリアの内容がディープスタンバイモード時に保持されません。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RRAM KP3	RRAM KP2	RRAM KP1	RRAM KP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RRAMKP3	0	R/W	保持用内蔵 RAM 保持エリア 3 (対象: 内蔵 RAM (保持用) のページ 3*) 0: ディープスタンバイモード時、内蔵 RAM (保持用) 保持しない 1: ディープスタンバイモード時、内蔵 RAM (保持用) 保持する
2	RRAMKP2	0	R/W	保持用内蔵 RAM 保持エリア 2 (対象: 内蔵 RAM (保持用) のページ 2*) 0: ディープスタンバイモード時、内蔵 RAM (保持用) 保持しない 1: ディープスタンバイモード時、内蔵 RAM (保持用) 保持する
1	RRAMKP1	0	R/W	保持用内蔵 RAM 保持エリア 1 (対象: 内蔵 RAM (保持用) のページ 1*) 0: ディープスタンバイモード時、内蔵 RAM (保持用) 保持しない 1: ディープスタンバイモード時、内蔵 RAM (保持用) 保持する
0	RRAMKP0	0	R/W	保持用内蔵 RAM 保持エリア 0 (対象: 内蔵 RAM (保持用) のページ 0*) 0: ディープスタンバイモード時、内蔵 RAM (保持用) 保持しない 1: ディープスタンバイモード時、内蔵 RAM (保持用) 保持する

【注】 \* 各ページのアドレスについては、「第 31 章 内蔵 RAM」を参照してください。

### 32.2.11 ディープスタンバイコントロールレジスタ 2 (DSCTR2)

DSCTR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードを解除する際の、外部バス制御端子の状態と起動方法を制御します。DSCTR2 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	CS0 KEEPE	RAM BOOT	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	CS0KEEPE	0	R/W	外部バス制御端子状態保持 0: ディープスタンバイモード解除時、外部バス制御端子の状態を保持しない 1: ディープスタンバイモード解除時、外部バス制御端子の状態を保持する
6	RAMBOOT	0	R/W	ディープスタンバイから復帰後の起動方法選択 ディープスタンバイを MRES、NMI、IRQ で解除したときのパワーオンリセット 例外処理において、プログラムカウンタ (PC) とスタックポインタ (SP) を 0: H'00000000 番地、H'00000004 番地から取り出す 1: H'FFFF8000 番地、H'FFFF8004 番地から取り出す
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 32.2.12 ディープスタンバイ解除要因セレクトレジスタ (DSSSR)

DSSSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードをどの割り込みで解除するかを選択するビットで構成されています。IRQ0~7 は PE4~PE11 に割り当てられている端子のみ有効です。ワードアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MRES	IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W								

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	MRES	0	R/W	マニュアルリセットで解除 0: マニュアルリセットで解除しない 1: マニュアルリセットで解除する

ビット	ビット名	初期値	R/W	説 明
7	IRQ7	0	R/W	IRQ7 で解除 (PE11) 0 : IRQ7 で解除しない 1 : IRQ7 で解除する
6	IRQ6	0	R/W	IRQ6 で解除 (PE10) 0 : IRQ6 で解除しない 1 : IRQ6 で解除する
5	IRQ5	0	R/W	IRQ5 で解除 (PE9) 0 : IRQ5 で解除しない 1 : IRQ5 で解除する
4	IRQ4	0	R/W	IRQ4 で解除 (PE8) 0 : IRQ4 で解除しない 1 : IRQ4 で解除する
3	IRQ3	0	R/W	IRQ3 で解除 (PE7) 0 : IRQ3 で解除しない 1 : IRQ3 で解除する
2	IRQ2	0	R/W	IRQ2 で解除 (PE6) 0 : IRQ2 で解除しない 1 : IRQ2 で解除する
1	IRQ1	0	R/W	IRQ1 で解除 (PE5) 0 : IRQ1 で解除しない 1 : IRQ1 で解除する
0	IRQ0	0	R/W	IRQ0 で解除 (PE4) 0 : IRQ0 で解除しない 1 : IRQ0 で解除する

### 32.2.13 ディープスタンバイ解除要因フラグレジスタ (DSFR)

DSFR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの割り込みで解除されたのかを確認するフラグと、ディープスタンバイモード解除後に端子状態の解除を行うビットで構成されます。DSFR は、ディープスタンバイモードが割り込み (NMI、IRQ) およびマニュアルリセットにより解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは H'0000 に初期化されます。ワードアクセスのみ有効です。

ディープスタンバイモードに遷移する直前には、すべてのフラグをクリアする必要があります。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO KEEP	-	-	-	-	-	MRESF	NMIF	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/(W)	R	R	R	R	R	R/(W)									

ビット	ビット名	初期値	R/W	説明
15	IOKEEP	0	R/(W)	端子状態保持解除 ディープスタンバイモード解除時に端子状態保持を解除するビットです。 0: 端子状態を保持していない [クリア条件] • 0 ライト 1: 端子状態を保持している [セット条件] • ディープスタンバイモードに遷移したとき
14~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	MRESF	0	R/(W)	MRES フラグ 0: MRES 端子に割り込みなし 1: MRES 端子に割り込みあり
8	NMIF	0	R/(W)	NMI フラグ 0: NMI 端子に割り込みなし 1: NMI 端子に割り込みあり
7	IRQ7F	0	R/(W)	IRQ7 フラグ 0: IRQ7 (PE11) 端子に割り込みなし 1: IRQ7 (PE11) 端子に割り込みあり
6	IRQ6F	0	R/(W)	IRQ6 フラグ 0: IRQ6 (PE10) 端子に割り込みなし 1: IRQ6 (PE10) 端子に割り込みあり

ビット	ビット名	初期値	R/W	説明
5	IRQ5F	0	R/(W)	IRQ5 フラグ 0 : IRQ5 (PE9) 端子に割り込みなし 1 : IRQ5 (PE9) 端子に割り込みあり
4	IRQ4F	0	R/(W)	IRQ4 フラグ 0 : IRQ4 (PE8) 端子に割り込みなし 1 : IRQ4 (PE8) 端子に割り込みあり
3	IRQ3F	0	R/(W)	IRQ3 フラグ 0 : IRQ3 (PE7) 端子に割り込みなし 1 : IRQ3 (PE7) 端子に割り込みあり
2	IRQ2F	0	R/(W)	IRQ2 フラグ 0 : IRQ2 (PE6) 端子に割り込みなし 1 : IRQ2 (PE6) 端子に割り込みあり
1	IRQ1F	0	R/(W)	IRQ1 フラグ 0 : IRQ1 (PE5) 端子に割り込みなし 1 : IRQ1 (PE5) 端子に割り込みあり
0	IRQ0F	0	R/(W)	IRQ0 フラグ 0 : IRQ0 (PE4) 端子に割り込みなし 1 : IRQ0 (PE4) 端子に割り込みあり

### 32.2.14 保持用内蔵 RAM トリミングレジスタ (DSRTR)

DSRTR は、読み出し / 書き込み可能な 8 ビットのレジスタです。

ディープスタンバイモード時、保持用内蔵 RAM のスタンバイ電流をトリミングするためのレジスタです。DSRTR は、バイトアクセスのみ有効です。

ディープスタンバイモードで保持用内蔵 RAM にデータを保持する場合は、必ず本レジスタに H'09 を書き込んだ後ディープスタンバイに遷移してください。

本レジスタは  $\overline{\text{RES}}$  端子をアサートもしくはディープスタンバイモード解除後に初期化されます。

【注】 本レジスタに書き込みを行う場合は、「32.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	TRMD[6:0]						
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	TRMD[6:0]	すべて 0	R/W	保持用内蔵 RAM トリミングデータ ディープスタンバイモード時、保持用内蔵 RAM のスタンバイ電流をトリミングすることができます。

## 32.3 動作説明

### 32.3.1 スリープモード

#### (1) スリープモードへの遷移

STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。クロックモード 0、1、3 のときは、CKIO 端子から、クロックが出力され続ける設定をすることができます。

#### (2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺)、DMA アドレスエラー、およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMA アドレスエラーによる解除

DMA アドレスエラーが発生するとスリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

- リセットによる解除

パワーオンリセットおよびマニュアルリセットにより、スリープモードは解除されます。

### 32.3.2 ソフトウェアスタンバイモード

#### (1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。クロックモード 0、1、3 のときは、CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

また、CPU は、STBCR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイムコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイムカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS[2:0]ビットを発振安定時間以上になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1、DEEPビットに0を設定した後にSTBCRレジスタを読み出します。その後、SLEEP命令を実行させます。

## (2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により解除されます。クロックモード 0、1、3 のときは、CKIO 端子からクロックが出力され始めます。

### • 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ0 (ICR0) のNMIエッジセレクトビット (NMIE) で選択)、IRQ端子 (IRQ7 ~ IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ1 (ICR1) のIRQnセンスセレクトビット (IRQn1S ~ IRQn0S) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (WDT) にだけ供給されます。ソフトウェアスタンバイモードに遷移する前にWDTのウォッチドッグタイムコントロール/ステータスレジスタ (WTCSR) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、WDTのオーバーフローが発生します。このオーバーフロー発生によってクロックが安定したと判断され本LSI全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI割り込み例外処理 (IRQの場合、IRQ割り込み例外処理) が実行されます。発生した割り込みの優先レベルがCPUのステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

NMI割り込みまたはIRQ割り込みによってソフトウェアスタンバイモードを解除する場合、WDTのオーバーフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがハイレベルに、かつソフトウェアスタンバイモード解除時 (発振安定後のクロック起動時) のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) のNMI端子のレベルがローレベルに、かつソフトウェアスタンバイモード解除時 (発振安定後のクロック起動時) のNMI端子のレベルがハイレベルになるようにしてください (IRQ端子の場合も同様です)。

### • リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。

$\overline{\text{MRES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、マニュアルリセット状態に遷移し、その後 $\overline{\text{MRES}}$ 端子をハイレベルにするとマニュアルリセット例外処理が開始されます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

CKIO端子には、クロックモード0、1、3のとき内部のクロックが出力され続けます。

### (3) ソフトウェアスタンバイモード遷移時の注意事項

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (マニュアルリセット、パワーオンリセット) により解除されますが、SLEEP 命令と NMI、IRQ 以外の割り込みが同時に発生すると、割り込みを受け付けてソフトウェアスタンバイモードが解除される場合があります。

ソフトウェアスタンバイモードへ遷移させるときは、割り込みが入らないように設定してから SLEEP 命令を実行してください。

## 32.3.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 32.1 に示します。

割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、STBCR の STBY ビットが 1、DEEP ビットが 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

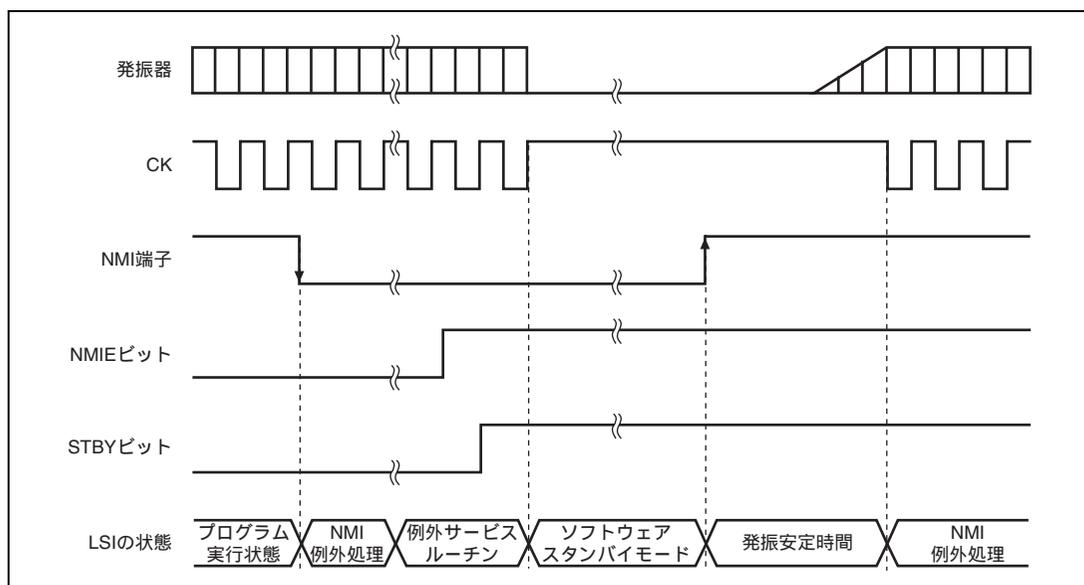


図 32.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

### 32.3.4 ディープスタンバイモード

#### (1) ディープスタンバイモードへの遷移

STBCR の STBY ビットと DEEP ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけではなく、DSCTR レジスタの RRAMKP3 ~ RRAMKP0 ビットの設定により保持となる内蔵 RAM (保持用) エリア、RTC を除き電源がオフになり、消費電力を大幅に削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、DSCTR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から DSCTR への書き込み値を SLEEP 命令に確実に反映するためには、DSCTR を読み出してから SLEEP 命令を実行してください。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを図 32.2 に示します。

1. ディープスタンバイモードで内蔵 RAM (保持用) エリアにデータを保持する場合は、DSRTR レジスタに H'09 を設定します。
2. 保持する必要がある内蔵 RAM (保持用) エリアに対して、DSCTR レジスタの RRAMKP3 ~ RRAMKP0 ビットを設定します。設定した内蔵 RAM (保持用) エリアに保持したいプログラムを転送します。
3. ディープスタンバイモードを割り込みで解除する場合、どの端子で解除するか DSSSR の該当ビットを設定します。このとき解除する端子の入力信号検出モードを設定します (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 0、1 (ICR0、ICR1) で設定します)。ディープスタンバイモードの場合、立ち上がりまたは、立ち下がりエッジ設定のみ有効です (IRQ のローレベルおよび両エッジ検出設定では解除できません)。
4. 保持する内蔵 RAM (保持用) の各ページに対し、任意の同一アドレスのリード/ライトを実行します。実行しない場合、最後に書かれたデータが内蔵 RAM (保持用) に書き込まれない可能性があります。以後、内蔵 RAM (保持用) へのライトがある場合には、最後の内蔵 RAM (保持用) ライト後に、本処理を実行してください。
5. STBCR レジスタの STBY ビットと DEEP ビットに 1 を設定します。
6. DSFR レジスタのフラグをクリアした後に、DSFR レジスタを読み出します。その後、SLEEP 命令を実行します。

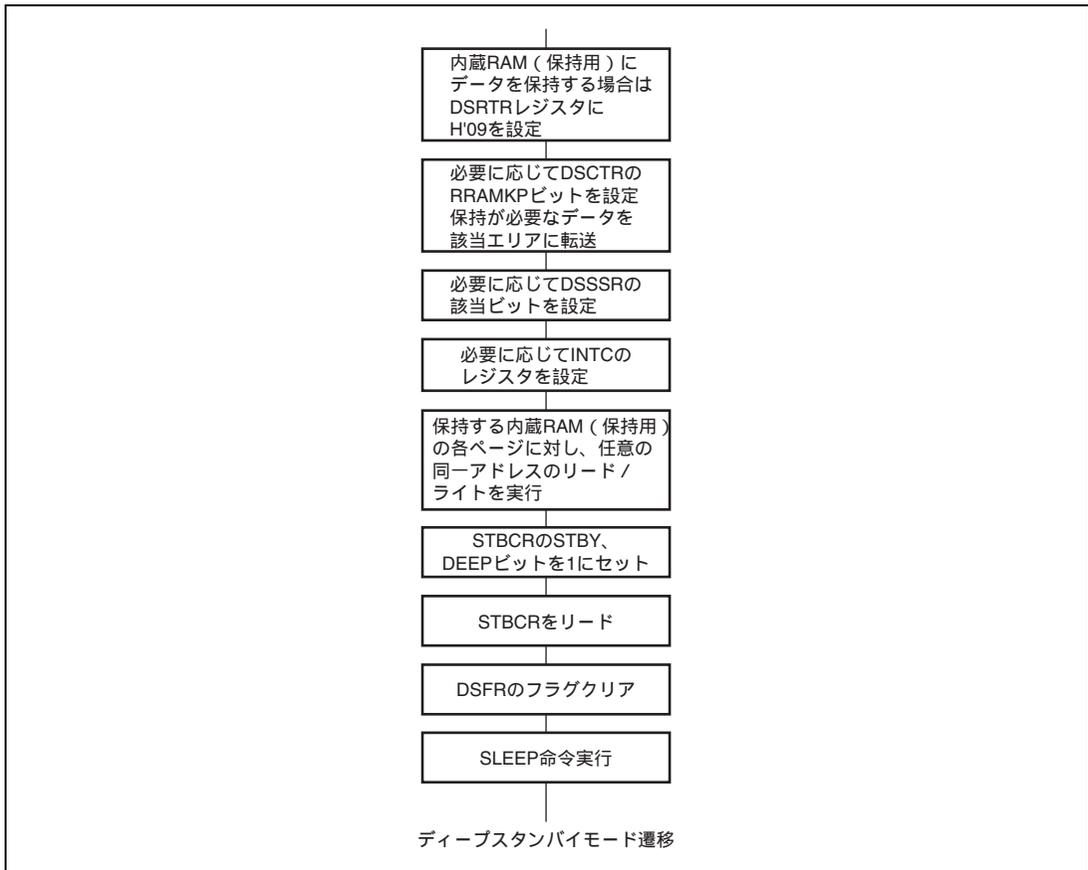


図 32.2 ディープスタンバイモード遷移フロー

## (2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み（NMI、PE11～PE4に割り当てられたIRQ）およびリセット（マニュアルリセット、パワーオンリセット）により解除されます。NMI割り込みまたはIRQ割り込みによって解除する場合、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。同様にマニュアルリセットもパワーオンリセット例外処理となります。ディープスタンバイモード解除のフローを図32.3に示します。

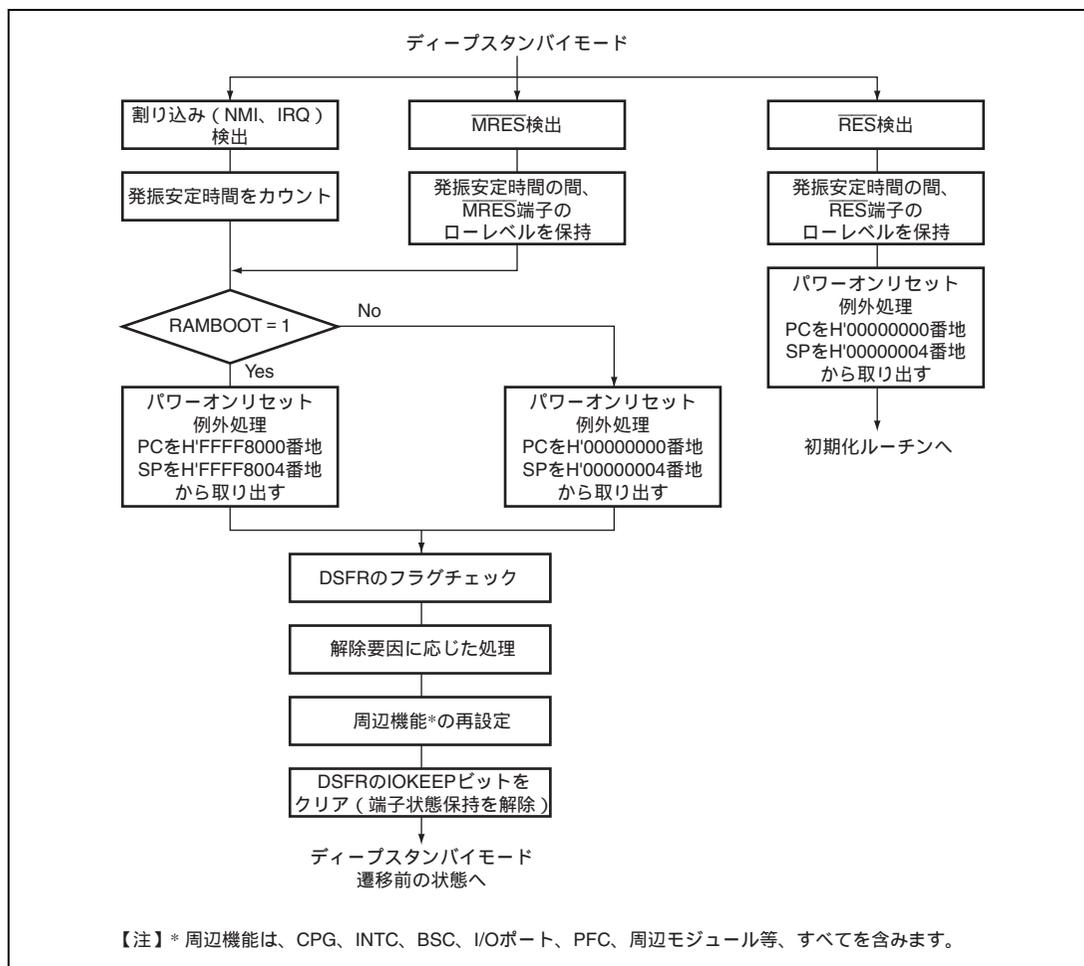


図 32.3 ディープスタンバイモード解除フロー

- 割り込みによる解除

NMI端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ0（ICR0）のNMIエッジセレクトビット（NMIE）で選択）、IRQ端子（PE11～PE4に割り当てられたIRQ7～IRQ0）の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラ（INTC）の割り込みコントロールレジスタ1（ICR1）のIRQ<sub>n</sub>センスセレクトビット（IRQ<sub>n</sub>IS～IRQ<sub>n</sub>OS）で選択）が検出されると電源安定待ち時間後、クロックの発振が開始されます。発振安定時間経過後ディープスタンバイモードが解除され、パワーオンリセット例外処理が実行されます。発生した割り込みの優先レベルがCPUのステータスレジスタ（SR）に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ディープスタンバイモードは解除されません。

割り込み検出直後からディープスタンバイモードが解除されるまでの間には、CKIO端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定したNMI端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがハイレベルに、かつディープスタンバイモード解除時（発振安定後のクロック起動時）のNMI端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定したNMI端子でディープスタンバイモードを解除する場合、ディープスタンバイモードに入るとき（クロック停止時）のNMI端子のレベルがローレベルに、かつディープスタンバイモード解除時（発振安定後のクロック起動時）のNMI端子のレベルがハイレベルになるようにしてください（IRQ端子の場合も同様です）。

また、NMIおよびディープスタンバイモード解除として選択（ディープスタンバイ解除要因セレクトレジスタを設定）したすべての割り込み端子（IRQ）は、その端子でディープスタンバイモードを解除する／解除しないに関係なく、ディープスタンバイモードに遷移するときに以下の端子レベルとしてください。

- 解除を立ち上がりエッジに設定した端子は、ディープスタンバイモード遷移時にローレベル。
- 解除を立ち下がりエッジに設定した端子は、ディープスタンバイモード遷移時にハイレベル。

- リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO端子には、クロックモード0、1、3のとき $\overline{\text{RES}}$ 端子をローレベルにすると内部のクロックが出力され始めます。

$\overline{\text{MRES}}$ 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{MRES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO端子には、クロックモード0、1、3のとき $\overline{\text{MRES}}$ 端子をハイレベルにすると内部のクロックが出力され始めます。

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

## (3) ディープスタンバイモード解除後の動作

DSCTR2 レジスタの RAMBOOT ビット設定により外部バス起動か内蔵 RAM (保持用) 起動かを選択することができます。CS0KEEPE ビットの設定によりディープスタンバイモード解除後も外部バス制御端子の状態を保持することができます。各ビットによるディープスタンバイモード解除後の端子状態を表 32.3 に示します。外部バス制御端子一覧を表 32.4 に示します。

表 32.3 DSCTR2 レジスタ設定によるディープスタンバイ解除後の端子状態と起動方法

CS0KEEPE ビット	RAMBOOT ビット	起動方法	ディープスタンバイ解除後の端子状態
0	0	外部バス	外部バス制御端子は保持しない。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
0	1	内蔵 RAM (保持用)	外部バス制御端子は保持しない。 ディープスタンバイ解除後外部バス制御端子は端子保持解除。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
1	0	-	設定禁止
1	1	内蔵 RAM (保持用)	外部バス制御端子は保持する。 外部バス制御端子もその他の端子も、IOKEEP ビットクリア時に端子保持解除。

表 32.4 外部バス制御端子一覧

動作モード 0 (外部 16 ビットバス起動)	動作モード 1 (外部 32 ビットバス起動)
A[20:1] D[15:0] $\overline{CS0}$ , $\overline{RD}$ , CKIO	A[20:2] D[31:0] $\overline{CS0}$ , $\overline{RD}$ , CKIO

ディープスタンバイモードが、割り込み (NMI、IRQ) およびマニュアルリセットにより解除された場合、どの割り込みで解除されたのかをディープスタンバイ解除要因フラグレジスタ (DSFR) により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持していますが、外部バス起動モード時は、ディープスタンバイモード解除後、外部バス制御端子の状態保持を解除してプログラムフェッチ可能とします。その他の端子は、ディープスタンバイモード解除後も DSFR レジスタの IOKEEP ビットに 0 を書き込むまで端子の状態保持を続けます。内蔵 RAM (保持用) 起動モード時は、ディープスタンバイモード解除後、外部バス制御端子もその他の端子も DSFR レジスタの IOKEEP ビットに 0 を書き込むまで端子の状態保持を続けます。ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、CPG、INTC、BSC、I/O ポート、PFC、周辺モジュール等のすべてを含みます。再設定後、IOKEEP ビットの 1 を読み出した後に 0 を書き込むことにより、端子の状態保持が解除されディープスタンバイモード遷移前の状態になります。

#### (4) ディープスタンバイモード遷移時の注意事項

ディープスタンバイモード遷移後の割り込みは、ディープスタンバイ解除要因セレクトレジスタで設定した以外の割り込みはマスクされます。ディープスタンバイ解除要因セレクトレジスタで設定した割り込みのみ受け付けますが解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされることになります。

### 32.3.5 モジュールスタンバイ機能

#### (1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、プログラム実行状態およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

#### (2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセット(ただし RTC、H-UDI、UBC、DMAC のみ)により行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

## 32.4 使用上の注意事項

### 32.4.1 レジスタ書き込みに関する注意事項

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

### 32.4.2 ディープスタンバイコントロールレジスタ 2 (DSCTR2) に関する注意事項

$\overline{\text{RES}}$  端子によるパワーオンリセット解除後、ディープスタンバイコントロールレジスタ 2 (DSCTR2) のビット 7 (CS0KEEPE)、ビット 6 (RAMBOOT) に "1" を書き込んだ状態でディープスタンバイモードに遷移すると、以降 "0" 書き込みができなくなります。"0" 書き込みをするためには  $\overline{\text{RES}}$  端子をローアサートする必要があります。

### 32.4.3 パワーオンリセット例外処理に関する注意事項

- $\overline{\text{RES}}$  端子によるパワーオンリセット解除後、ディープスタンバイコントロールレジスタ 2 (DSCTR2) のビット 6 (RAMBOOT) に "1" を書き込んだ状態でディープスタンバイモードへ遷移し解除した後、再度  $\overline{\text{RES}}$  によるパワーオンリセットを行う前に WDT によるパワーオンリセット / H-UDI リセットが発生した場合、これらのリセット例外処理は表 32.5 の動作となります。したがって、上記の動作に該当する場合は、該当保持 RAM 領域に PC および SP を保持しておいてください。

表 32.5 リセット例外処理

プログラムカウンタ (PC) の取り出し番地	スタックポインタ (SP) の取り出し番地
H'FFFF8000	H'FFFF8004

- $\overline{\text{RES}}$  端子によるパワーオンリセット解除後、ディープスタンバイモードへ遷移し解除した後、再度  $\overline{\text{RES}}$  によるパワーオンリセットを行う前に WDT によるパワーオンリセット / H-UDI リセットが発生する可能性がある場合は、ディープスタンバイモード解除後にディープスタンバイ解除要因フラグレジスタ (DSFR) のビット 15 (IOKEEP) およびビット 9~0 がすべて 0 クリアされた状態で (1 の場合は 0 ライトしてください)、WDT および H-UDI の設定を行ってください。

IOKEEP ビットが 0 でない状態で WDT および H-UDI の設定を行い、 $\overline{\text{RES}}$  端子によるパワーオンリセットを行う前に WDT によるパワーオンリセット / H-UDI リセットが発生した場合、表 32.4 以外のディープスタンバイで保持されている全端子が、保持されたままになります。また、ディープスタンバイコントロールレジスタ 2 (DSCTR2) のビット 7 (CS0KEEPE) を "1" に設定している場合には、表 32.4 の外部バス制御端子も保持されたままになります。

ビット 9~0 のすべてのフラグが 0 でない状態で WDT および H-UDI の設定を行い、 $\overline{\text{RES}}$  端子によるパワーオンリセットを行う前に WDT によるパワーオンリセット / H-UDI リセットが発生した場合、内部の解除要因情報が

クリアされず、以降ディープスタンバイモードに再度遷移しようとしたときに誤って解除されます。

## 33. ユーザデバッグインタフェース (H-UDI)

本 LSI は、エミュレータのサポートのため、ユーザデバッグインタフェース (H-UDI) を内蔵しています。

### 33.1 特長

ユーザデバッグインタフェース (H-UDI) は、リセットおよび割り込み要求の機能を備えています。

本 LSI の H-UDI はエミュレータの接続に使用されます。

エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 33.1 に H-UDI のブロック図を示します。

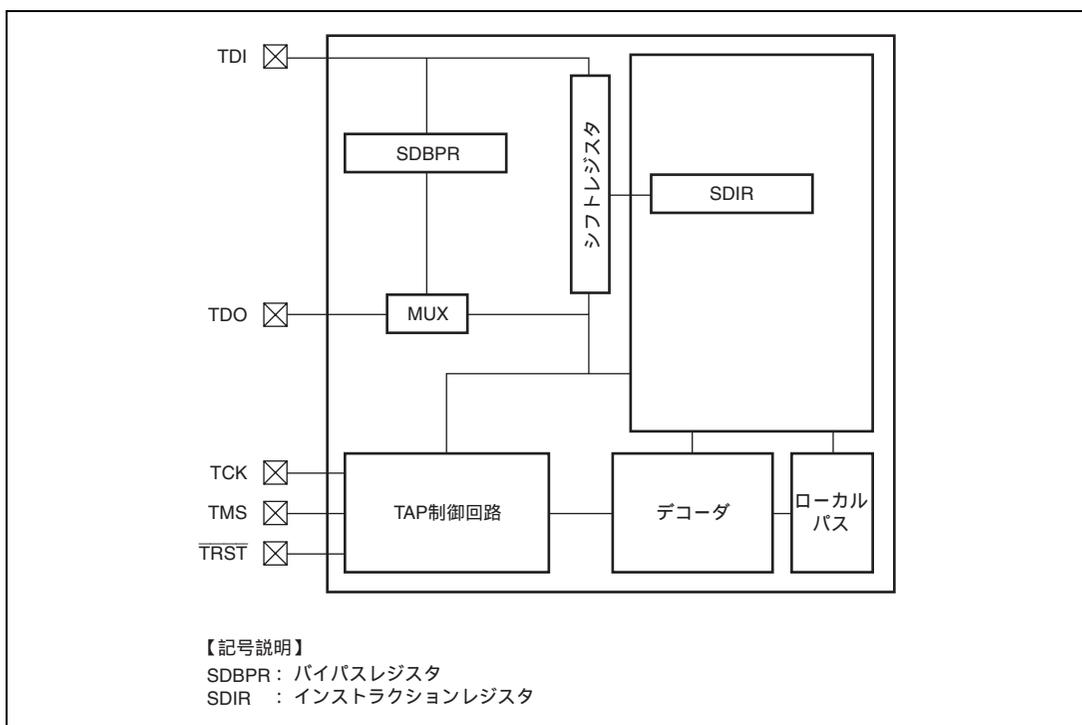


図 33.1 H-UDI のブロック図

## 33.2 入出力端子

表 33.1 端子構成

名称	端子名	入出力	機能
H-UDI シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子 (TDI) から H-UDI にシリアルに供給され、データ出力端子 (TDO) から出力されます。
モードセレクト入力端子	TMS	入力	TCK に同期してこの信号を変化させることによって TAP 制御回路の状態が決まります。プロトコルは図 33.2 を参照してください。
H-UDI リセット入力端子	$\overline{\text{TRST}}$	入力	TCK とは非同期で入力を受け付けローレベルで H-UDI をリセットします。H-UDI 機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「33.4.2 リセット構成」を参照してください。
H-UDI シリアルデータ入力端子	TDI	入力	TCK に同期してこの端子を変化させることによって H-UDI にデータを送ります。
H-UDI シリアルデータ出力端子	TDO	出力	TCK に同期してこの端子を読み出すことによって H-UDI からデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIR に「TDO 変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「33.4.3 TDO 出力タイミング」を参照してください。
ASE モードセレクト端子	$\overline{\text{ASEMD}}^*$	入力	RES 端子アサート期間中に、 $\overline{\text{ASEMD}}$ 端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると製品チップモードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD}}$ 端子への入力レベルは、RES 端子ネゲート後、最低 1 サイクル保持してください。

【注】 \* エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

### 33.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 33.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	-	-	-	-
インタラクションレジスタ	SDIR	R	H'EFFD	H'FFFE2000	16

#### 33.3.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

#### 33.3.2 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 $\overline{\text{TRST}}$  のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]							-	-	-	-	-	-	-	-	-
初期値:	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】\* T[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	11101111*	R	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 33.3 を参照してください。
7~2	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 33.3 H-UDI コマンド

ビット 15-8								説明
T17	T16	T15	T14	T13	T12	T11	T10	
0	1	1	0	-	-	-	-	H-UDI リセットネゲート
0	1	1	1	-	-	-	-	H-UDI リセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	-	-	-	-	H-UDI 割り込み
1	1	1	1	-	-	-	-	BYPASS モード
上記以外								予約

## 33.4 動作説明

### 33.4.1 TAP コントローラ

図 33.2 に TAP コントローラの内部状態を示します。

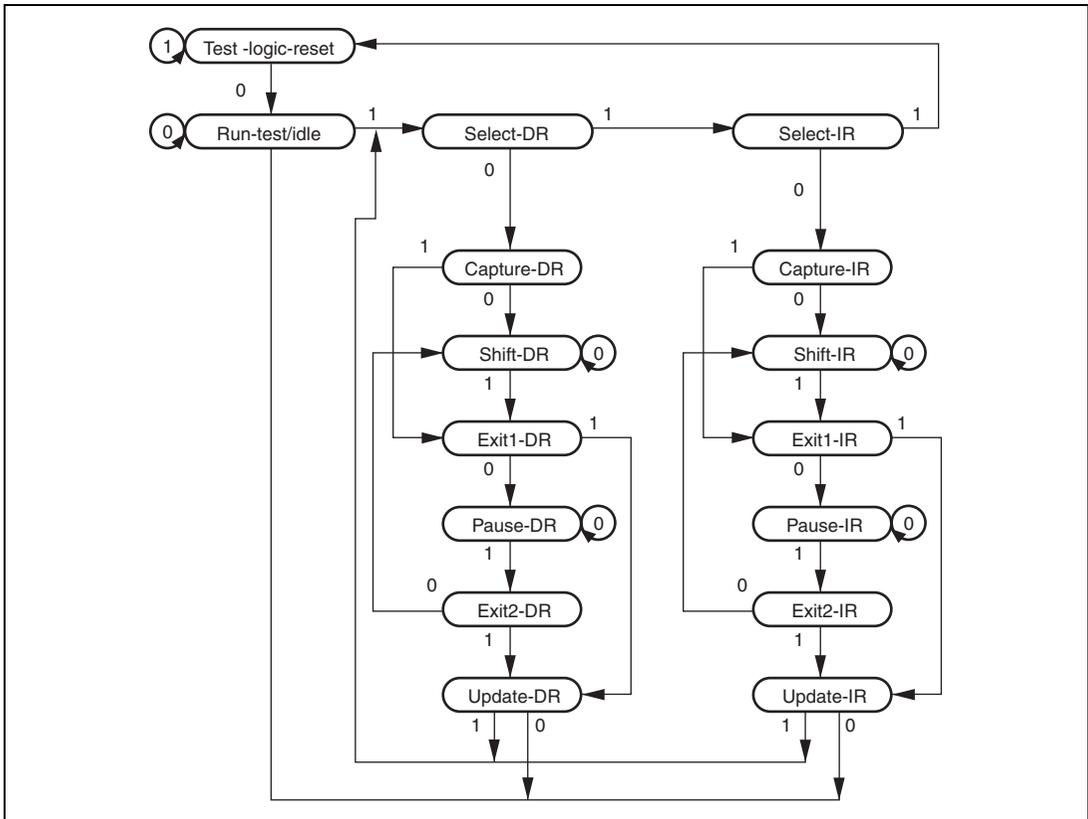


図 33.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「33.4.3 TDO 出力タイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。 $\overline{\text{TRST}}$  のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

## 33.4.2 リセット構成

表 33.4 リセット構成

ASEMD* <sup>1</sup>	RES	TRST	チップ状態
H	L	L	パワーオンリセットおよびH-UDIのリセット
		H	パワーオンリセット
	H	L	H-UDIのみリセット
		H	通常動作
L	L	L	リセットホールド* <sup>2</sup>
		H	パワーオンリセット
	H	L	H-UDIのみリセット
		H	通常動作

【注】 \*1 製品チップモードとASEモードの設定を選択。

$\overline{\text{ASEMD}} = \text{H}$ 、製品チップモード

$\overline{\text{ASEMD}} = \text{L}$ 、ASEモード

\*2 ASEモードで $\overline{\text{RES}}$ ネゲート時に $\overline{\text{TRST}}$ 端子がローレベルであるとリセットホールド状態になります。この状態では、CPUは起動しません。その後、 $\overline{\text{TRST}}$ をハイレベルにセットすると、H-UDI動作が有効になりますが、CPUは起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

## 33.4.3 TDO 出力タイミング

TDOの変化タイミングは、初期値ではTCKの立ち下がりエッジ同期で出力されます。ただし、H-UDI端子からSDIRに「TDO変化タイミング切り替え」コマンドをセットし、Update-IRを通過することで、TDOの変化タイミングはTCKの立ち上がりエッジに同期します。これ以降、TDOの変化タイミングをTCKの立ち下がりエッジ同期出力にする場合は、パワーオンリセットと同時に $\overline{\text{TRST}}$ 端子のアサートを行う必要があります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットの場合、 $\overline{\text{RES}}$ 端子ネゲート後もチップ内部で同期リセットが一定期間働いています。そのため、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、「TDO変化タイミング切り替え」コマンドはクリアされ、TDOの変化タイミングがTCKの立ち下がりエッジ同期出力になります。これを防ぐため、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず20 t<sub>cy</sub>以上間隔を空けてください。

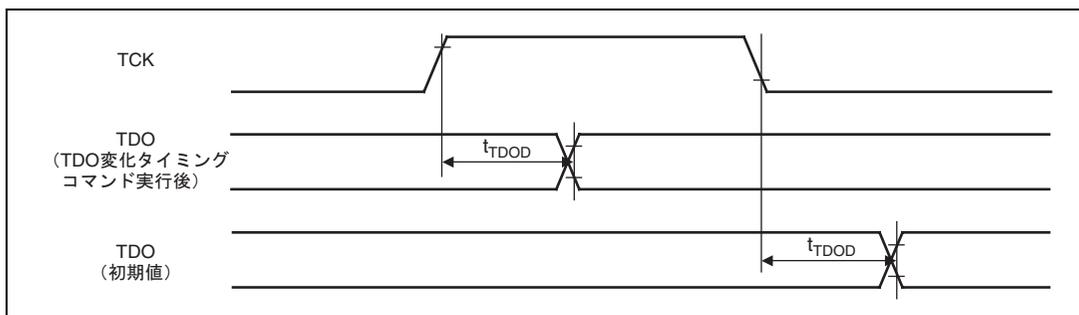


図 33.3 H-UDI データ転送タイミング

### 33.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドをセットすることにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために  $\overline{RES}$  端子をローレベルに保つ時間と同じです。

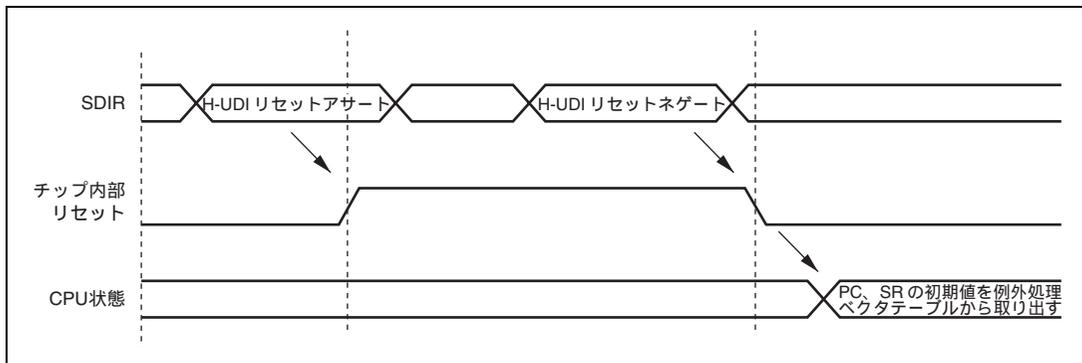


図 33.4 H-UDI リセット

### 33.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外 / 割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、ソフトウェアスタンバイモードでは H-UDI 割り込みは受け付けられません。

### 33.5 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド (BYPASSモード等) をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモード、H-UDIモジュールスタンバイ状態中は、H-UDIのすべての機能を使用することができません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. H-UDIを使用する / しないにかかわらず、電源投入時、ディープスタンバイから $\overline{\text{RES}}$ 端子アサートによる解除時は必ず $\overline{\text{TRST}}$ 端子をローレベルにしてH-UDIを初期化してください。
4. 「TDO変化タイミング切り替え」コマンドをセットし、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、「TDO変化タイミング切り替え」コマンドがクリアされることがあります。これを防ぐため、「TDO変化タイミング切り替え」コマンドをセットした場合は、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず20 tcy以上間隔を空けてください。詳細は「33.4.3 TDO出力タイミング」を参照してください。
5.  $\overline{\text{TRST}}$ 端子ネゲート後、TAPコントローラを動かす際は必ず200ns以上間隔を空けてください。

---

## 34. レジスタ一覧

---

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。

(2) レジスタビット一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「 - 」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順)」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

(4) 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック (P ) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

## 34.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CPG	周波数制御レジスタ	FRQCR	16	H'FFFE0010	16
INTC	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16、32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16、32
	割り込みコントロールレジスタ 2	ICR2	16	H'FFFE0804	16、32
	IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFE0806	16、32
	PINT 割り込みイネーブルレジスタ	PINTER	16	H'FFFE0808	16、32
	PINT 割り込み要求レジスタ	PIRR	16	H'FFFE080A	16、32
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16、32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16、32
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16、32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16、32
	割り込み優先レベル設定レジスタ 05	IPR05	16	H'FFFE0820	16、32
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C00	16、32
	割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFE0C02	16、32
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C04	16、32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C06	16、32
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C08	16、32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C0A	16、32
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C0C	16、32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C0E	16、32
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C12	16、32	
割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFE0C14	16、32	
割り込み優先レベル設定レジスタ 17	IPR17	16	H'FFFE0C16	16、32	
UBC	ブ레이크アドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブ레이크アドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブ레이크データレジスタ_0	BDR_0	32	H'FFFC0408	32
	ブ레이크データマスクレジスタ_0	BDMR_0	32	H'FFFC040C	32
	ブ레이크アドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブ레이크アドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブ레이크データレジスタ_1	BDR_1	32	H'FFFC0418	32
	ブ레이크データマスクレジスタ_1	BDMR_1	32	H'FFFC041C	32
	ブ레이크バスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
UBC	ブレークバスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブレークコントロールレジスタ	BRCCR	32	H'FFFC04C0	32
キャッシュ	キャッシュ制御レジスタ 1	CCR1	32	H'FFFC1000	32
	キャッシュ制御レジスタ 2	CCR2	32	H'FFFC1004	32
BSC	共通コントロールレジスタ	CMNCR	32	H'FFFC0000	32
	CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFC0004	32
	CS1 空間バスコントロールレジスタ	CS1BCR	32	H'FFFC0008	32
	CS2 空間バスコントロールレジスタ	CS2BCR	32	H'FFFC000C	32
	CS3 空間バスコントロールレジスタ	CS3BCR	32	H'FFFC0010	32
	CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FFFC0014	32
	CS5 空間バスコントロールレジスタ	CS5BCR	32	H'FFFC0018	32
	CS6 空間バスコントロールレジスタ	CS6BCR	32	H'FFFC001C	32
	CS7 空間バスコントロールレジスタ	CS7BCR	32	H'FFFC0020	32
	CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFC0028	32
	CS1 空間ウェイトコントロールレジスタ	CS1WCR	32	H'FFFC002C	32
	CS2 空間ウェイトコントロールレジスタ	CS2WCR	32	H'FFFC0030	32
	CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'FFFC0034	32
	CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FFFC0038	32
	CS5 空間ウェイトコントロールレジスタ	CS5WCR	32	H'FFFC003C	32
	CS6 空間ウェイトコントロールレジスタ	CS6WCR	32	H'FFFC0040	32
	CS7 空間ウェイトコントロールレジスタ	CS7WCR	32	H'FFFC0044	32
	SDRAM コントロールレジスタ	SDCR	32	H'FFFC004C	32
	リフレッシュタイムコントロール/ステータスレジスタ	RTCSR	32	H'FFFC0050	32
	リフレッシュタイムカウンタ	RTCNT	32	H'FFFC0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	32	H'FFFC0058	32	
DMAC	DMA ソースアドレスレジスタ_0	SAR0	32	H'FFFE1000	16、32
	DMA デスティネーションアドレスレジスタ_0	DAR0	32	H'FFFE1004	16、32
	DMA トランスファカウンタレジスタ_0	DMATCR0	32	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR0	32	H'FFFE100C	8、16、32
	DMA リロードソースアドレスレジスタ_0	RSAR0	32	H'FFFE1100	16、32
	DMA リロードデスティネーションアドレスレジスタ_0	RDAR0	32	H'FFFE1104	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードトランスファカウン レジスタ_0	RDMATCR0	32	H'FFFE1108	16、32
	DMA ソースアドレスレジスタ_1	SAR1	32	H'FFFE1010	16、32
	DMA デスティネーションアドレ スレジスタ_1	DAR1	32	H'FFFE1014	16、32
	DMA トランスファカウンレジスタ_1	DMATCR1	32	H'FFFE1018	16、32
	DMA チャネルコントロールレジスタ_1	CHCR1	32	H'FFFE101C	8、16、32
	DMA リロードソースアドレスレジスタ_1	RSAR1	32	H'FFFE1110	16、32
	DMA リロードデスティネーション アドレスレジスタ_1	RDAR1	32	H'FFFE1114	16、32
	DMA リロードトランスファカウン レジスタ_1	RDMATCR1	32	H'FFFE1118	16、32
	DMA ソースアドレスレジスタ_2	SAR2	32	H'FFFE1020	16、32
	DMA デスティネーションアドレ スレジスタ_2	DAR2	32	H'FFFE1024	16、32
	DMA トランスファカウンレジスタ_2	DMATCR2	32	H'FFFE1028	16、32
	DMA チャネルコントロールレジスタ_2	CHCR2	32	H'FFFE102C	8、16、32
	DMA リロードソースアドレスレジスタ_2	RSAR2	32	H'FFFE1120	16、32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR2	32	H'FFFE1124	16、32
	DMA リロードトランスファカウン レジスタ_2	RDMATCR2	32	H'FFFE1128	16、32
	DMA ソースアドレスレジスタ_3	SAR3	32	H'FFFE1030	16、32
	DMA デスティネーションアドレ スレジスタ_3	DAR3	32	H'FFFE1034	16、32
	DMA トランスファカウンレジスタ_3	DMATCR3	32	H'FFFE1038	16、32
	DMA チャネルコントロールレジスタ_3	CHCR3	32	H'FFFE103C	8、16、32
	DMA リロードソースアドレスレジスタ_3	RSAR3	32	H'FFFE1130	16、32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR3	32	H'FFFE1134	16、32
	DMA リロードトランスファカウン レジスタ_3	RDMATCR3	32	H'FFFE1138	16、32
	DMA ソースアドレスレジスタ_4	SAR4	32	H'FFFE1040	16、32
	DMA デスティネーションアドレ スレジスタ_4	DAR4	32	H'FFFE1044	16、32
	DMA トランスファカウンレジスタ_4	DMATCR4	32	H'FFFE1048	16、32
	DMA チャネルコントロールレジスタ_4	CHCR4	32	H'FFFE104C	8、16、32
	DMA リロードソースアドレスレジスタ_4	RSAR4	32	H'FFFE1140	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA リロードデスティネーション アドレスレジスタ_4	RDAR4	32	H'FFFE1144	16、32
	DMA リロードトランスファカウン トレジスタ_4	RDMATCR4	32	H'FFFE1148	16、32
	DMA ソースアドレスレジスタ_5	SAR5	32	H'FFFE1050	16、32
	DMA デスティネーションアドレ スレジスタ_5	DAR5	32	H'FFFE1054	16、32
	DMA トランスファカウン トレジスタ_5	DMATCR5	32	H'FFFE1058	16、32
	DMA チャネルコントロールレジスタ_5	CHCR5	32	H'FFFE105C	8、16、32
	DMA リロードソースアドレスレジスタ_5	RSAR5	32	H'FFFE1150	16、32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR5	32	H'FFFE1154	16、32
	DMA リロードトランスファカウン トレジスタ_5	RDMATCR5	32	H'FFFE1158	16、32
	DMA ソースアドレスレジスタ_6	SAR6	32	H'FFFE1060	16、32
	DMA デスティネーションアドレ スレジスタ_6	DAR6	32	H'FFFE1064	16、32
	DMA トランスファカウン トレジスタ_6	DMATCR6	32	H'FFFE1068	16、32
	DMA チャネルコントロールレジスタ_6	CHCR6	32	H'FFFE106C	8、16、32
	DMA リロードソースアドレスレジスタ_6	RSAR6	32	H'FFFE1160	16、32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR6	32	H'FFFE1164	16、32
	DMA リロードトランスファカウン トレジスタ_6	RDMATCR6	32	H'FFFE1168	16、32
	DMA ソースアドレスレジスタ_7	SAR7	32	H'FFFE1070	16、32
	DMA デスティネーションアドレ スレジスタ_7	DAR7	32	H'FFFE1074	16、32
	DMA トランスファカウン トレジスタ_7	DMATCR7	32	H'FFFE1078	16、32
	DMA チャネルコントロールレジスタ_7	CHCR7	32	H'FFFE107C	8、16、32
	DMA リロードソースアドレスレジスタ_7	RSAR7	32	H'FFFE1170	16、32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR7	32	H'FFFE1174	16、32
	DMA リロードトランスファカウン トレジスタ_7	RDMATCR7	32	H'FFFE1178	16、32
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	8、16
	DMA 拡張リソースセクタ 0	DMARS0	16	H'FFFE1300	16
	DMA 拡張リソースセクタ 1	DMARS1	16	H'FFFE1304	16
DMA 拡張リソースセクタ 2	DMARS2	16	H'FFFE1308	16	
DMA 拡張リソースセクタ 3	DMARS3	16	H'FFFE130C	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマコントロールレジスタ_0	TCR_0	8	H'FFFE4300	8
	タイマモードレジスタ_0	TMDR_0	8	H'FFFE4301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFE4302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFE4303	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFE4304	8
	タイマステータスレジスタ_0	TSR_0	8	H'FFFE4305	8
	タイマカウンタ_0	TCNT_0	16	H'FFFE4306	16
	タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFE4308	16
	タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFE430A	16
	タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFE430C	16
	タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFE430E	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FFFE4320	16
	タイマジェネラルレジスタ F_0	TGRF_0	16	H'FFFE4322	16
	タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	8	H'FFFE4324	8
	タイマステータスレジスタ 2_0	TSR2_0	8	H'FFFE4325	8
	タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FFFE4326	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FFFE4380	8
	タイマモードレジスタ_1	TMDR_1	8	H'FFFE4381	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFFE4382	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFE4384	8
	タイマステータスレジスタ_1	TSR_1	8	H'FFFE4385	8
	タイマカウンタ_1	TCNT_1	16	H'FFFE4386	16
	タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFE4388	16
	タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFE438A	16
	タイマインプットキャプチャコントロール レジスタ	TICCR	8	H'FFFE4390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FFFE4000	8
	タイマモードレジスタ_2	TMDR_2	8	H'FFFE4001	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFFE4002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4004	8
	タイマステータスレジスタ_2	TSR_2	8	H'FFFE4005	8
	タイマカウンタ_2	TCNT_2	16	H'FFFE4006	16
	タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE4008	16
	タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE400A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FFFE4200	8
	タイマモードレジスタ_3	TMDR_3	8	H'FFFE4202	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FFFE4204	8
	タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FFFE4205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFE4208	8
	タイマステータスレジスタ_3	TSR_3	8	H'FFFE422C	8
	タイマカウンタ_3	TCNT_3	16	H'FFFE4210	16
	タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFE4218	16
	タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFE421A	16
	タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFE4224	16
	タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFE4226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FFFE4238	8
	タイマコントロールレジスタ_4	TCR_4	8	H'FFFE4201	8
	タイマモードレジスタ_4	TMDR_4	8	H'FFFE4203	8
	タイマ I/O コントロールレジスタ H_4	TIORH_4	8	H'FFFE4206	8
	タイマ I/O コントロールレジスタ L_4	TIORL_4	8	H'FFFE4207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFFE4209	8
	タイマステータスレジスタ_4	TSR_4	8	H'FFFE422D	8
	タイマカウンタ_4	TCNT_4	16	H'FFFE4212	16
	タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFFE421C	16
	タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFFE421E	16
	タイマジェネラルレジスタ C_4	TGRC_4	16	H'FFFE4228	16
	タイマジェネラルレジスタ D_4	TGRD_4	16	H'FFFE422A	16
	タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FFFE4239	8
	タイマ A/D 変換開始要求コントロール レジスタ	TADCR	16	H'FFFE4240	16
	タイマ A/D 変換開始要求周期設定レジスタ A_4	TADCORA_4	16	H'FFFE4242	16
	タイマ A/D 変換開始要求周期設定レジスタ B_4	TADCORB_4	16	H'FFFE4244	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ A_4	TADCOBRA_4	16	H'FFFE4246	16
	タイマ A/D 変換開始要求周期設定 バッファレジスタ B_4	TADCOBRB_4	16	H'FFFE4248	16
	タイマスタートレジスタ	TSTR	8	H'FFFE4280	8
	タイマシンクロレジスタ	TSYR	8	H'FFFE4281	8
	タイマリードライトイネーブルレジスタ	TRWER	8	H'FFFE4284	8
	タイマアウトプットマスタイネーブル レジスタ	TOER	8	H'FFFE420A	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
MTU2	タイマアウトプットコントロールレジスタ 1	TOCR1	8	H'FFFE420E	8
	タイマアウトプットコントロールレジスタ 2	TOCR2	8	H'FFFE420F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FFFE420D	8
	タイマ周期データレジスタ	TCDR	16	H'FFFE4214	16
	タイマデッドタイムデータレジスタ	TDDR	16	H'FFFE4216	16
	タイマサブカウンタ	TCNTS	16	H'FFFE4220	16
	タイマ周期バッファレジスタ	TCBR	16	H'FFFE4222	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FFFE4230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FFFE4231	8
	タイマバッファ転送設定レジスタ	TBTER	8	H'FFFE4232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FFFE4234	8
	タイマ波形コントロールレジスタ	TWCR	8	H'FFFE4260	8
	タイマアウトプットレベルバッファ レジスタ	TOLBR	8	H'FFFE4236	8
CMT	コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFFE0000	16
	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR0	16	H'FFFE0002	16
	コンペアマッチカウンタ_0	CMCNT0	16	H'FFFE0004	8、16
	コンペアマッチコンスタントレジスタ_0	CMCOR0	16	H'FFFE0006	8、16
	コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR1	16	H'FFFE0008	16
	コンペアマッチカウンタ_1	CMCNT1	16	H'FFFE000A	8、16
	コンペアマッチコンスタントレジスタ_1	CMCOR1	16	H'FFFE000C	8、16
WDT	ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	8	H'FFFE0000	8、16
	ウォッチドッグタイマカウンタ	WTCNT	8	H'FFFE0002	8、16
	ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	8	H'FFFE0004	8、16
RTC	64Hz カウンタ	R64CNT	8	H'FFFF2000	8
	秒カウンタ	RSECCNT	8	H'FFFF2002	8
	分カウンタ	RMINCNT	8	H'FFFF2004	8
	時カウンタ	RHRCNT	8	H'FFFF2006	8
	曜日カウンタ	RWKCNT	8	H'FFFF2008	8
	日カウンタ	RDAYCNT	8	H'FFFF200A	8
	月カウンタ	RMONCNT	8	H'FFFF200C	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RTC	年カウンタ	RYRCNT	16	H'FFFF200E	16
	秒アラームレジスタ	RSECAR	8	H'FFFF2010	8
	分アラームレジスタ	RMINAR	8	H'FFFF2012	8
	時アラームレジスタ	RHRAR	8	H'FFFF2014	8
	曜日アラームレジスタ	RWKAR	8	H'FFFF2016	8
	日アラームレジスタ	RDAYAR	8	H'FFFF2018	8
	月アラームレジスタ	RMONAR	8	H'FFFF201A	8
	年アラームレジスタ	RYRAR	16	H'FFFF2020	16
	RTC コントロールレジスタ 1	RCR1	8	H'FFFF201C	8
	RTC コントロールレジスタ 2	RCR2	8	H'FFFF201E	8
	RTC コントロールレジスタ 3	RCR3	8	H'FFFF2024	8
SCIF	シリアルモードレジスタ_0	SCSMR_0	16	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	8	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	16	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	8	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	16	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	8	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	16	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	16	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	16	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	16	H'FFFE8024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	16	H'FFFE8028	16
	シリアルモードレジスタ_1	SCSMR_1	16	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	8	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	16	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	8	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	16	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	8	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	16	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	16	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	16	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	16	H'FFFE8824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	16	H'FFFE8828	16
	シリアルモードレジスタ_2	SCSMR_2	16	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	8	H'FFFE9004	8
シリアルコントロールレジスタ_2	SCSCR_2	16	H'FFFE9008	16	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SCIF	送信 FIFO データレジスタ_2	SCFTDR_2	8	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	16	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	8	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	16	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	16	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	16	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	16	H'FFFE9024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	16	H'FFFE9028	16
	シリアルモードレジスタ_3	SCSMR_3	16	H'FFFE9800	16
	ビットレートレジスタ_3	SCBRR_3	8	H'FFFE9804	8
	シリアルコントロールレジスタ_3	SCSCR_3	16	H'FFFE9808	16
	送信 FIFO データレジスタ_3	SCFTDR_3	8	H'FFFE980C	8
	シリアルステータスレジスタ_3	SCFSR_3	16	H'FFFE9810	16
	受信 FIFO データレジスタ_3	SCFRDR_3	8	H'FFFE9814	8
	FIFO コントロールレジスタ_3	SCFCR_3	16	H'FFFE9818	16
	FIFO データカウントセットレジスタ_3	SCFDR_3	16	H'FFFE981C	16
	シリアルポートレジスタ_3	SCSPTR_3	16	H'FFFE9820	16
	ラインステータスレジスタ_3	SCLSR_3	16	H'FFFE9824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	16	H'FFFE9828	16
	SSU	SS コントロールレジスタ H_0	SSCRH_0	8	H'FFFE7000
SS コントロールレジスタ L_0		SSCRL_0	8	H'FFFE7001	8
SS モードレジスタ_0		SSMR_0	8	H'FFFE7002	8、16
SS イネーブルレジスタ_0		SSER_0	8	H'FFFE7003	8
SS ステータスレジスタ_0		SSSR_0	8	H'FFFE7004	8、16
SS コントロールレジスタ 2_0		SSCR2_0	8	H'FFFE7005	8
SS 送信データレジスタ 0_0		SSTDR0_0	8	H'FFFE7006	8、16
SS 送信データレジスタ 1_0		SSTDR1_0	8	H'FFFE7007	8
SS 送信データレジスタ 2_0		SSTDR2_0	8	H'FFFE7008	8、16
SS 送信データレジスタ 3_0		SSTDR3_0	8	H'FFFE7009	8
SS 受信データレジスタ 0_0		SSRDR0_0	8	H'FFFE700A	8、16
SS 受信データレジスタ 1_0		SSRDR1_0	8	H'FFFE700B	8
SS 受信データレジスタ 2_0		SSRDR2_0	8	H'FFFE700C	8、16
SS 受信データレジスタ 3_0		SSRDR3_0	8	H'FFFE700D	8
SS コントロールレジスタ H_1		SSCRH_1	8	H'FFFE7800	8、16
SS コントロールレジスタ L_1		SSCRL_1	8	H'FFFE7801	8
SS モードレジスタ_1		SSMR_1	8	H'FFFE7802	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
SSU	SS イネーブルレジスタ_1	SSER_1	8	H'FFFE7803	8
	SS ステータスレジスタ_1	SSSR_1	8	H'FFFE7804	8、16
	SS コントロールレジスタ 2_1	SSCR2_1	8	H'FFFE7805	8
	SS 送信データレジスタ 0_1	SSTDR0_1	8	H'FFFE7806	8、16
	SS 送信データレジスタ 1_1	SSTDR1_1	8	H'FFFE7807	8
	SS 送信データレジスタ 2_1	SSTDR2_1	8	H'FFFE7808	8、16
	SS 送信データレジスタ 3_1	SSTDR3_1	8	H'FFFE7809	8
	SS 受信データレジスタ 0_1	SSRDR0_1	8	H'FFFE780A	8、16
	SS 受信データレジスタ 1_1	SSRDR1_1	8	H'FFFE780B	8
	SS 受信データレジスタ 2_1	SSRDR2_1	8	H'FFFE780C	8、16
	SS 受信データレジスタ 3_1	SSRDR3_1	8	H'FFFE780D	8
IIC3	I <sup>2</sup> C バスコントロールレジスタ 1_0	ICCR1_0	8	H'FFFEE000	8
	I <sup>2</sup> C バスコントロールレジスタ 2_0	ICCR2_0	8	H'FFFEE001	8
	I <sup>2</sup> C バスモードレジスタ_0	ICMR_0	8	H'FFFEE002	8
	I <sup>2</sup> C バスインタラプトイネーブルレジスタ_0	ICIER_0	8	H'FFFEE003	8
	I <sup>2</sup> C バスステータスレジスタ_0	ICSR_0	8	H'FFFEE004	8
	スレーブアドレスレジスタ_0	SAR_0	8	H'FFFEE005	8
	I <sup>2</sup> C バス送信データレジスタ_0	ICDRT_0	8	H'FFFEE006	8
	I <sup>2</sup> C バス受信データレジスタ_0	ICDRR_0	8	H'FFFEE007	8
	NF2CYC レジスタ_0	NF2CYC_0	8	H'FFFEE008	8
	I <sup>2</sup> C バスコントロールレジスタ 1_1	ICCR1_1	8	H'FFFEE400	8
	I <sup>2</sup> C バスコントロールレジスタ 2_1	ICCR2_1	8	H'FFFEE401	8
	I <sup>2</sup> C バスモードレジスタ_1	ICMR_1	8	H'FFFEE402	8
	I <sup>2</sup> C バスインタラプトイネーブルレジスタ_1	ICIER_1	8	H'FFFEE403	8
	I <sup>2</sup> C バスステータスレジスタ_1	ICSR_1	8	H'FFFEE404	8
	スレーブアドレスレジスタ_1	SAR_1	8	H'FFFEE405	8
	I <sup>2</sup> C バス送信データレジスタ_1	ICDRT_1	8	H'FFFEE406	8
	I <sup>2</sup> C バス受信データレジスタ_1	ICDRR_1	8	H'FFFEE407	8
	NF2CYC レジスタ_1	NF2CYC_1	8	H'FFFEE408	8
	I <sup>2</sup> C バスコントロールレジスタ 1_2	ICCR1_2	8	H'FFFEE800	8
	I <sup>2</sup> C バスコントロールレジスタ 2_2	ICCR2_2	8	H'FFFEE801	8
I <sup>2</sup> C バスモードレジスタ_2	ICMR_2	8	H'FFFEE802	8	
I <sup>2</sup> C バスインタラプトイネーブルレジスタ_2	ICIER_2	8	H'FFFEE803	8	
I <sup>2</sup> C バスステータスレジスタ_2	ICSR_2	8	H'FFFEE804	8	

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
IIC3	スレーブアドレスレジスタ_2	SAR_2	8	H'FFFEE805	8
	I <sup>2</sup> C バス送信データレジスタ_2	ICDRT_2	8	H'FFFEE806	8
	I <sup>2</sup> C バス受信データレジスタ_2	ICDRR_2	8	H'FFFEE807	8
	NF2CYC レジスタ_2	NF2CYC_2	8	H'FFFEE808	8
	I <sup>2</sup> C バスコントロールレジスタ 1_3	ICCR1_3	8	H'FFFEEC00	8
	I <sup>2</sup> C バスコントロールレジスタ 2_3	ICCR2_3	8	H'FFFEEC01	8
	I <sup>2</sup> C バスモードレジスタ_3	ICMR_3	8	H'FFFEEC02	8
	I <sup>2</sup> C バスインタラプトイネーブルレジスタ_3	ICIER_3	8	H'FFFEEC03	8
	I <sup>2</sup> C バスステータスレジスタ_3	ICSR_3	8	H'FFFEEC04	8
	スレーブアドレスレジスタ_3	SAR_3	8	H'FFFEEC05	8
	I <sup>2</sup> C バス送信データレジスタ_3	ICDRT_3	8	H'FFFEEC06	8
	I <sup>2</sup> C バス受信データレジスタ_3	ICDRR_3	8	H'FFFEEC07	8
	NF2CYC レジスタ_3	NF2CYC_3	8	H'FFFEEC08	8
SSI	コントロールレジスタ_0	SSICR_0	32	H'FFFFC000	32
	ステータスレジスタ_0	SSISR_0	32	H'FFFFC004	32
	トランスミットデータレジスタ_0	SSITDR_0	32	H'FFFFC008	32
	レシーブデータレジスタ_0	SSIRDR_0	32	H'FFFFC00C	32
	コントロールレジスタ_1	SSICR_1	32	H'FFFFC800	32
	ステータスレジスタ_1	SSISR_1	32	H'FFFFC804	32
	トランスミットデータレジスタ_1	SSITDR_1	32	H'FFFFC808	32
	レシーブデータレジスタ_1	SSIRDR_1	32	H'FFFFC80C	32
	コントロールレジスタ_2	SSICR_2	32	H'FFFFD000	32
	ステータスレジスタ_2	SSISR_2	32	H'FFFFD004	32
	トランスミットデータレジスタ_2	SSITDR_2	32	H'FFFFD008	32
	レシーブデータレジスタ_2	SSIRDR_2	32	H'FFFFD00C	32
	コントロールレジスタ_3	SSICR_3	32	H'FFFFD800	32
	ステータスレジスタ_3	SSISR_3	32	H'FFFFD804	32
	トランスミットデータレジスタ_3	SSITDR_3	32	H'FFFFD808	32
レシーブデータレジスタ_3	SSIRDR_3	32	H'FFFFD80C	32	
RCAN-TL1	マスタコントロールレジスタ_0	MCR_0	16	H'FFFF0000	16
	ジェネラルステータスレジスタ_0	GSR_0	16	H'FFFF0002	16
	ビットコンフィギュレーションレジスタ 1_0	BCR1_0	16	H'FFFF0004	16
	ビットコンフィギュレーションレジスタ 0_0	BCR0_0	16	H'FFFF0006	16
	インタラプトリクエストレジスタ_0	IRR_0	16	H'FFFF0008	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RCAN-TL1	インタラプトマスクレジスタ_0	IMR_0	16	H'FFFF000A	16
	送信 / 受信エラーカウンタ_0	TEC_REC_0	16	H'FFFF000C	8、16
	送信待ちレジスタ 1_0	TXPR1_0	16	H'FFFF0020	32
	送信待ちレジスタ 0_0	TXPR0_0	16	H'FFFF0022	16
	送信キャンセルレジスタ 1_0	TXCR1_0	16	H'FFFF0028	16
	送信キャンセルレジスタ 0_0	TXCR0_0	16	H'FFFF002A	16
	送信アクノリッジレジスタ 1_0	TXACK1_0	16	H'FFFF0030	16
	送信アクノリッジレジスタ 0_0	TXACK0_0	16	H'FFFF0032	16
	アボートアクノリッジレジスタ 1_0	ABACK1_0	16	H'FFFF0038	16
	アボートアクノリッジレジスタ 0_0	ABACK0_0	16	H'FFFF003A	16
	データフレーム受信完了レジスタ 1_0	RXPR1_0	16	H'FFFF0040	16
	データフレーム受信完了レジスタ 0_0	RXPR0_0	16	H'FFFF0042	16
	リモートフレーム受信完了レジスタ 1_0	RFPR1_0	16	H'FFFF0048	16
	リモートフレーム受信完了レジスタ 0_0	RFPR0_0	16	H'FFFF004A	16
	メールボックスインタラプトマスク レジスタ 1_0	MBIMR1_0	16	H'FFFF0050	16
	メールボックスインタラプトマスク レジスタ 0_0	MBIMR0_0	16	H'FFFF0052	16
	未読メッセージステータスレジスタ 1_0	UMSR1_0	16	H'FFFF0058	16
	未読メッセージステータスレジスタ 0_0	UMSR0_0	16	H'FFFF005A	16
	タイマトリガコントロールレジスタ 0_0	TTCR0_0	16	H'FFFF0080	16
	サイクルマキシマム / Tx_Enable_Window レジスタ_0	CMAX_TEW_0	16	H'FFFF0084	16
	リファレンストリガオフセットレジスタ_0	RFTR0FF_0	16	H'FFFF0086	16
	タイムステータスレジスタ_0	TSR_0	16	H'FFFF0088	16
	サイクルカウンタレジスタ_0	CCR_0	16	H'FFFF008A	16
	タイマカウンタレジスタ_0	TCNTR_0	16	H'FFFF008C	16
	サイクルタイムレジスタ_0	CYCTR_0	16	H'FFFF0090	16
	リファレンスマークレジスタ_0	RFMK_0	16	H'FFFF0094	16
	タイムコンペアマッチレジスタ 0_0	TCMR0_0	16	H'FFFF0098	16
	タイムコンペアマッチレジスタ 1_0	TCMR1_0	16	H'FFFF009C	16
	タイムコンペアマッチレジスタ 2_0	TCMR2_0	16	H'FFFF00A0	16
	送信トリガタイムセレクトレジスタ_0	TTTSEL_0	16	H'FFFF00A4	16
	メールボックス n コントロール 0H_0 (n=0~31)	MBn_CONTROL 0_H_0 (n=0~31)	16	H'FFFF0100 + nx32	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RCAN-TL1	メールボックス n コントロール 0L_0 (n=0~31)	MBn_CONTROL0_L_0 (n=0~31)	16	H'FFFF0102 + n×32	16
	メールボックス n ローカル アクセプタンス フィルタマスク 0_0 (n=0~31)	MBn_LAFM0_0 (n=0~31)	16	H'FFFF0104 + n×32	16、32
	メールボックス n ローカル アクセプタンス フィルタマスク 1_0 (n=0~31)	MBn_LAFM1_0 (n=0~31)	16	H'FFFF0106 + n×32	16
	メールボックス n データ 01_0 (n=0~31)	MBn_DATA_01_0 (n=0~31)	16	H'FFFF0108 + n×32	8、16、32
	メールボックス n データ 23_0 (n=0~31)	MBn_DATA_23_0 (n=0~31)	16	H'FFFF010A + n×32	8、16
	メールボックス n データ 45_0 (n=0~31)	MBn_DATA_45_0 (n=0~31)	16	H'FFFF010C + n×32	8、16、32
	メールボックス n データ 67_0 (n=0~31)	MBn_DATA_67_0 (n=0~31)	16	H'FFFF010E + n×32	8、16
	メールボックス n コントロール 1_0 (n=0~31)	MBn_CONTROL1_0 (n=0~31)	16	H'FFFF0110 + n×32	8、16
	メールボックス n タイムスタンプ_0 (n=0~15、30、31)	MBn_TIMESTAMP_0 (n=0~15、30、31)	16	H'FFFF0112 + n×32	16
	メールボックス n トリガ タイム_0 (n=24~30)	MBn_TTT_0 (n=24~30)	16	H'FFFF0114 + n×32	16
	メールボックス n TT コントロール_0 (n=24~29)	MBn_TTCONTROL_0 (n=24~29)	16	H'FFFF0116 + n×32	16
	マスタ コントロール レジスタ_1	MCR_1	16	H'FFFF0800	16
	ジェネラル ステータス レジスタ_1	GSR_1	16	H'FFFF0802	16
	ビット コンフィギュレーション レジスタ 1_1	BCR1_1	16	H'FFFF0804	16
	ビット コンフィギュレーション レジスタ 0_1	BCR0_1	16	H'FFFF0806	16
	インタラプト リクエスト レジスタ_1	IRR_1	16	H'FFFF0808	16
	インタラプト マスク レジスタ_1	IMR_1	16	H'FFFF080A	16
	送信/受信 エラー カウンタ_1	TEC_REC_1	16	H'FFFF080C	8、16
	送信待ち レジスタ 1_1	TXPR1_1	16	H'FFFF0820	32
	送信待ち レジスタ 0_1	TXPR0_1	16	H'FFFF0822	16
	送信 キャンセル レジスタ 1_1	TXCR1_1	16	H'FFFF0828	16
	送信 キャンセル レジスタ 0_1	TXCR0_1	16	H'FFFF082A	16
	送信 アクノリッジ レジスタ 1_1	TXACK1_1	16	H'FFFF0830	16
	送信 アクノリッジ レジスタ 0_1	TXACK0_1	16	H'FFFF0832	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RCAN-TL1	アボートアクノリッジレジスタ 1_1	ABACK1_1	16	H'FFFF0838	16
	アボートアクノリッジレジスタ 0_1	ABACK0_1	16	H'FFFF083A	16
	データフレーム受信完了レジスタ 1_1	RXPR1_1	16	H'FFFF0840	16
	データフレーム受信完了レジスタ 0_1	RXPR0_1	16	H'FFFF0842	16
	リモートフレーム受信完了レジスタ 1_1	RFPR1_1	16	H'FFFF0848	16
	リモートフレーム受信完了レジスタ 0_1	RFPR0_1	16	H'FFFF084A	16
	メールボックスインタラプトマスクレジスタ 1_1	MBIMR1_1	16	H'FFFF0850	16
	メールボックスインタラプトマスクレジスタ 0_1	MBIMR0_1	16	H'FFFF0852	16
	未読メッセージステータスレジスタ 1_1	UMSR1_1	16	H'FFFF0858	16
	未読メッセージステータスレジスタ 0_1	UMSR0_1	16	H'FFFF085A	16
	タイマトリガコントロールレジスタ 0_1	TTCR0_1	16	H'FFFF0880	16
	サイクルマキシマム / Tx_Enable_Window レジスタ_1	CMAX_TEW_1	16	H'FFFF0884	16
	リファレンストリガオフセットレジスタ _1	RFTR0FF_1	16	H'FFFF0886	16
	タイマステータスレジスタ_1	TSR_1	16	H'FFFF0888	16
	サイクルカウンタレジスタ_1	CCR_1	16	H'FFFF088A	16
	タイマカウンタレジスタ_1	TCNTR_1	16	H'FFFF088C	16
	サイクルタイムレジスタ_1	CYCTR_1	16	H'FFFF0890	16
	リファレンスマークレジスタ_1	RFMK_1	16	H'FFFF0894	16
	タイムコンペアマッチレジスタ 0_1	TCMR0_1	16	H'FFFF0898	16
	タイムコンペアマッチレジスタ 1_1	TCMR1_1	16	H'FFFF089C	16
	タイムコンペアマッチレジスタ 2_1	TCMR2_1	16	H'FFFF08A0	16
	送信トリガタイムセレクトレジスタ_1	TTTSEL_1	16	H'FFFF08A4	16
	メールボックス n コントロール 0H_1 (n=0~31)	MBn_CONTROLO_H_1 (n=0~31)	16	H'FFFF0900 + nx32	16、 32
	メールボックス n コントロール 0L_1 (n=0~31)	MBn_CONTROLO_L_1 (n=0~31)	16	H'FFFF0902 + nx32	16
	メールボックス n ローカルアクセプタンス フィルタマスク 0_1 (n=0~31)	MBn_LAFM0_1 (n=0~31)	16	H'FFFF0904 + nx32	16、 32
	メールボックス n ローカルアクセプタンス フィルタマスク 1_1 (n=0~31)	MBn_LAFM1_1 (n=0~31)	16	H'FFFF0906 + nx32	16
	メールボックス n データ 01_1 (n=0~31)	MBn_DATA_01_1 (n=0~31)	16	H'FFFF0908 + nx32	8、 16、 32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
RCAN-TL1	メールボックス n データ 23_1 (n=0~31)	MBn_DATA_23_1 (n=0~31)	16	H'FFFF090A + n×32	8、16
	メールボックス n データ 45_1 (n=0~31)	MBn_DATA_45_1 (n=0~31)	16	H'FFFF090C + n×32	8、16、32
	メールボックス n データ 67_1 (n=0~31)	MBn_DATA_67_1 (n=0~31)	16	H'FFFF090E + n×32	8、16
	メールボックス n コントロール_1_1 (n=0~31)	MBn_CONTROL1_1 (n=0~31)	16	H'FFFF0910 + n×32	8、16
	メールボックス n タイムスタンプ_1 (n=0~15、30、31)	MBn_TIMESTAMP_1 (n=0~15、30、31)	16	H'FFFF0912 + n×32	16
	メールボックス n トリガタイム_1 (n=24~30)	MBn_TTT_1 (n=24~30)	16	H'FFFF0914 + n×32	16
	メールボックス n TT コントロール_1 (n=24~29)	MBn_TTCONTROL_1 (n=24~29)	16	H'FFFF0916 + n×32	16
IEB	IEBus コントロールレジスタ	IECTR	8	H'FFFEF000	8
	IEBus コマンドレジスタ	IECMR	8	H'FFFEF001	8
	IEBus マスタコントロールレジスタ	IEMCR	8	H'FFFEF002	8
	IEBus 自局アドレスレジスタ 1	IEAR1	8	H'FFFEF003	8
	IEBus 自局アドレスレジスタ 2	IEAR2	8	H'FFFEF004	8
	IEBus スレーブアドレス設定レジスタ 1	IESA1	8	H'FFFEF005	8
	IEBus スレーブアドレス設定レジスタ 2	IESA2	8	H'FFFEF006	8
	IEBus 送信電文長レジスタ	IETBFL	8	H'FFFEF007	8
	IEBus 受信マスタアドレスレジスタ 1	IEMA1	8	H'FFFEF009	8
	IEBus 受信マスタアドレスレジスタ 2	IEMA2	8	H'FFFEF00A	8
	IEBus 受信コントロールフィールドレジスタ	IERCTL	8	H'FFFEF00B	8
	IEBus 受信電文長レジスタ	IERBFL	8	H'FFFEF00C	8
	IEBus ロックアドレスレジスタ 1	IELA1	8	H'FFFEF00E	8
	IEBus ロックアドレスレジスタ 2	IELA2	8	H'FFFEF00F	8
	IEBus ゼネラルフラグレジスタ	IEFLG	8	H'FFFEF010	8
	IEBus 送信ステータスレジスタ	IETSR	8	H'FFFEF011	8
	IEBus 送信割り込み許可レジスタ	IEIET	8	H'FFFEF012	8
	IEBus 受信ステータスレジスタ	IERSR	8	H'FFFEF014	8
	IEBus 受信割り込み許可レジスタ	IEIER	8	H'FFFEF015	8
	IEBus クロック選択レジスタ	IECKSR	8	H'FFFEF018	8
	IEBus 送信データバッファ 001 ~ 128	IETB001 ~ IETB128	8	H'FFFEF100 ~ H'FFFEF17F	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
IEB	IEBus 受信データバッファ 001 ~ 128	IERB001 ~ IERB128	8	H'FFFEF200 ~ H'FFFEF27F	8
ROM-DEC	ROMDEC イネーブルコントロール レジスタ	CROMEN	8	H'FFFC2000	8
	同期コードの同期制御コントロール レジスタ	CROMSY0	8	H'FFFC2001	8
	デコーディングモードコントロール レジスタ	CROMCTL0	8	H'FFFC2002	8
	EDC、ECC チェック制御コントロール レジスタ	CROMCTL1	8	H'FFFC2003	8
	デコード処理自動停止コントロール レジスタ	CROMCTL3	8	H'FFFC2005	8
	デコードオプション設定コントロール レジスタ	CROMCTL4	8	H'FFFC2006	8
	HEAD20 ~ 22 表示コントロールレジスタ	CROMCTL5	8	H'FFFC2007	8
	同期コードステータスレジスタ	CROMST0	8	H'FFFC2008	8
	ECC 後のヘッダに対するエラーステータ スレジスタ	CROMST1	8	H'FFFC2009	8
	ECC 後のサブヘッダに対するエラー ステータスレジスタ	CROMST3	8	H'FFFC200B	8
	ヘッダ、サブヘッダデータ妥当性判定 ステータスレジスタ	CROMST4	8	H'FFFC200C	8
	モード判定結果とリンクセクタ検出 ステータスレジスタ	CROMST5	8	H'FFFC200D	8
	ECC、EDC エラーステータスレジスタ	CROMST6	8	H'FFFC200E	8
	バッファステータスレジスタ	CBUFST0	8	H'FFFC2014	8
	デコード中止要因ステータスレジスタ	CBUFST1	8	H'FFFC2015	8
	バッファオーバフローステータス レジスタ	CBUFST2	8	H'FFFC2016	8
	ECC 訂正前ヘッダ部-MINUTES データ レジスタ	HEAD00	8	H'FFFC2018	8
	ECC 訂正前ヘッダ部-SECONDS データ レジスタ	HEAD01	8	H'FFFC2019	8
	ECC 訂正前ヘッダ部-FRAMES ( 1/75 秒 ) データレジスタ	HEAD02	8	H'FFFC201A	8
	ECC 訂正前ヘッダ部-MODE データ レジスタ	HEAD03	8	H'FFFC201B	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ROM-DEC	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD00	8	H'FFFC201C	8
	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ	SHEAD01	8	H'FFFC201D	8
	ECC 訂正前サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD02	8	H'FFFC201E	8
	ECC 訂正前サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD03	8	H'FFFC201F	8
	ECC 訂正前サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD04	8	H'FFFC2020	8
	ECC 訂正前サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD05	8	H'FFFC2021	8
	ECC 訂正前サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD06	8	H'FFFC2022	8
	ECC 訂正前サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD07	8	H'FFFC2023	8
	ECC 訂正後ヘッダ部-MINUTES データ レジスタ	HEAD20	8	H'FFFC2024	8
	ECC 訂正後ヘッダ部-SECONDS データ レジスタ	HEAD21	8	H'FFFC2025	8
	ECC 訂正後ヘッダ部-FRAMES ( 1/75 秒 ) データレジスタ	HEAD22	8	H'FFFC2026	8
	ECC 訂正後ヘッダ部-MODE データ レジスタ	HEAD23	8	H'FFFC2027	8
	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-16) データレジスタ	SHEAD20	8	H'FFFC2028	8
	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-17) データレジスタ	SHEAD21	8	H'FFFC2029	8
	ECC 訂正後サブヘッダ部-サブモード (BYTE-18) データレジスタ	SHEAD22	8	H'FFFC202A	8
	ECC 訂正後サブヘッダ部-データタイプ (BYTE-19) データレジスタ	SHEAD23	8	H'FFFC202B	8
	ECC 訂正後サブヘッダ部-ファイルナンバ (BYTE-20) データレジスタ	SHEAD24	8	H'FFFC202C	8
	ECC 訂正後サブヘッダ部-チャンネルナンバ (BYTE-21) データレジスタ	SHEAD25	8	H'FFFC202D	8
	ECC 訂正後サブヘッダ部-サブモード (BYTE-22) データレジスタ	SHEAD26	8	H'FFFC202E	8
	ECC 訂正後サブヘッダ部-データタイプ (BYTE-23) データレジスタ	SHEAD27	8	H'FFFC202F	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
ROM-DEC	自動バッファリング設定コントロール レジスタ	CBUFCTL0	8	H'FFFC2040	8
	自動バッファリング開始セクタ設定 -MINUTES コントロールレジスタ	CBUFCTL1	8	H'FFFC2041	8
	自動バッファリング開始セクタ設定 -SECONDS コントロールレジスタ	CBUFCTL2	8	H'FFFC2042	8
	自動バッファリング開始セクタ設定 -FRAMES コントロールレジスタ	CBUFCTL3	8	H'FFFC2043	8
	ISY 割り込み要因マスクコントロール レジスタ	CROMST0M	8	H'FFFC2045	8
	CD-ROM デコーダモジュールリセット コントロールレジスタ	ROMDECRST	8	H'FFFC2100	8
	CD-ROM デコーダモジュールリセット ステータスレジスタ	RSTSTAT	8	H'FFFC2101	8
	SSI データコントロールレジスタ	SSI	8	H'FFFC2102	8
	割り込みフラグレジスタ	INTHOLD	8	H'FFFC2108	8
	割り込み要因マスクコントロール レジスタ	INHINT	8	H'FFFC2109	8
	CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN0	16	H'FFFC2200	16、32
	CD-ROM デコーダストリームデータ入力 レジスタ	STRMDIN2	16	H'FFFC2202	16
	CD-ROM デコーダストリームデータ出力 レジスタ	STRMDOUT0	16	H'FFFC2204	16、32
ADC	A/D データレジスタ A	ADDRA	16	H'FFFE5800	16
	A/D データレジスタ B	ADDRB	16	H'FFFE5802	16
	A/D データレジスタ C	ADDRC	16	H'FFFE5804	16
	A/D データレジスタ D	ADDRD	16	H'FFFE5806	16
	A/D データレジスタ E	ADDRE	16	H'FFFE5808	16
	A/D データレジスタ F	ADDRF	16	H'FFFE580A	16
	A/D データレジスタ G	ADDRG	16	H'FFFE580C	16
	A/D データレジスタ H	ADDRH	16	H'FFFE580E	16
	A/D コントロール / ステータスレジスタ	ADCSR	16	H'FFFE5820	16
DAC	D/A データレジスタ 0	DADRO	8	H'FFFE6800	8、16
	D/A データレジスタ 1	DADR1	8	H'FFFE6801	8、16
	D/A コントロールレジスタ	DACR	8	H'FFFE6802	8、16
FLCTL	共通コントロールレジスタ	FLCMNCR	32	H'FFFFFF00	32
	コマンド制御レジスタ	FLCMDCR	32	H'FFFFFF04	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
FLCTL	コマンドコードレジスタ	FLCMCDR	32	H'FFFFFF008	32
	アドレスレジスタ	FLADR	32	H'FFFFFF00C	32
	アドレスレジスタ 2	FLADR2	32	H'FFFFFF03C	32
	データレジスタ	FLDATAR	32	H'FFFFFF010	32
	データカウンタレジスタ	FLDTCNTR	32	H'FFFFFF014	32
	割り込み DMA 制御レジスタ	FLINTDMACR	32	H'FFFFFF018	32
	レディビジータイムアウト設定レジスタ	FLBSYTMR	32	H'FFFFFF01C	32
	レディビジータイムアウトカウンタ	FLBSYCNT	32	H'FFFFFF020	32
	データ FIFO レジスタ	FLDTFIFO	32	H'FFFFFF050	32
	管理コード FIFO レジスタ	FLECFIFO	32	H'FFFFFF060	32
	転送制御レジスタ	FLTRCR	8	H'FFFFFF02C	8
USB	システムコンフィギュレーション コントロールレジスタ	SYSCFG	16	H'FFFC1C00	16
	システムコンフィギュレーション ステータスレジスタ	SYSSTS	16	H'FFFC1C02	16
	デバイススタートコントロールレジスタ	DVSTCTR	16	H'FFFC1C04	16
	テストモードレジスタ	TESTMODE	16	H'FFFC1C06	16
	CPU-FIFO バスコンフィギュレーション レジスタ	CFBCFG	16	H'FFFC1C0A	16
	DMA0-FIFO バスコンフィギュレーション レジスタ	D0FBCFG	16	H'FFFC1C0C	16
	DMA1-FIFO バスコンフィギュレーション レジスタ	D1FBCFG	16	H'FFFC1C0E	16
	CFIFO ポートレジスタ	CFIFO	32	H'FFFC1C10	8、16、32
	D0FIFO ポートレジスタ	D0FIFO	32	H'FFFC1C14	8、16、32
	D1FIFO ポートレジスタ	D1FIFO	32	H'FFFC1C18	8、16、32
	CFIFO ポート選択レジスタ	CFIFOSEL	16	H'FFFC1C1E	16
	CFIFO ポートコントロールレジスタ	CFIFOCTR	16	H'FFFC1C20	16
	CFIFO ポート SIE レジスタ	CFIFOSIE	16	H'FFFC1C22	16
	D0FIFO ポート選択レジスタ	D0FIFOSEL	16	H'FFFC1C24	16
	D0FIFO ポートコントロールレジスタ	D0FIFOCTR	16	H'FFFC1C26	16
	D0 トランザクションカウンタレジスタ	D0FIFOTRN	16	H'FFFC1C28	16
	D1FIFO ポート選択レジスタ	D1FIFOSEL	16	H'FFFC1C2A	16
	D1FIFO ポートコントロールレジスタ	D1FIFOCTR	16	H'FFFC1C2C	16
	D1 トランザクションカウンタレジスタ	D1FIFOTRN	16	H'FFFC1C2E	16
	割り込み許可レジスタ 0	INTENB0	16	H'FFFC1C30	16
	割り込み許可レジスタ 1	INTENB1	16	H'FFFC1C32	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
USB	BRDY 割り込み許可レジスタ	BRDYENB	16	H'FFFC1C36	16
	NRDY 割り込み許可レジスタ	NRDYENB	16	H'FFFC1C38	16
	BEMP 割り込み許可レジスタ	BEMPENB	16	H'FFFC1C3A	16
	割り込みステータスレジスタ 0	INTSTS0	16	H'FFFC1C40	16
	割り込みステータスレジスタ 1	INTSTS1	16	H'FFFC1C42	16
	BRDY 割り込みステータスレジスタ	BRDYSTS	16	H'FFFC1C46	16
	NRDY 割り込みステータスレジスタ	NRDYSTS	16	H'FFFC1C48	16
	BEMP 割り込みステータスレジスタ	BEMPSTS	16	H'FFFC1C4A	16
	フレームナンバーレジスタ	FRMNUM	16	H'FFFC1C4C	16
	μフレームナンバーレジスタ	UFRMNUM	16	H'FFFC1C4E	16
	USB アドレスレジスタ	USBADDR	16	H'FFFC1C50	16
	USB リクエストタイプレジスタ	USBREQ	16	H'FFFC1C54	16
	USB リクエストバリュールレジスタ	USBVAL	16	H'FFFC1C56	16
	USB リクエストインデックスレジスタ	USBINDX	16	H'FFFC1C58	16
	USB リクエストレングスレジスタ	USBLENG	16	H'FFFC1C5A	16
	DCP コンフィギュレーションレジスタ	DCPCFG	16	H'FFFC1C5C	16
	DCP マックスパケットサイズレジスタ	DCPMAXP	16	H'FFFC1C5E	16
	DCP コントロールレジスタ	DCPCTR	16	H'FFFC1C60	16
	パイプウィンドウ選択レジスタ	PIPESEL	16	H'FFFC1C64	16
	パイプコンフィギュレーションレジスタ	PIPECFG	16	H'FFFC1C66	16
	パイプバッファ指定レジスタ	PIPEBUF	16	H'FFFC1C68	16
	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	H'FFFC1C6A	16
	パイプ周期制御レジスタ	PIPEPERI	16	H'FFFC1C6C	16
	パイプ1 コントロールレジスタ	PIPE1CTR	16	H'FFFC1C70	16
	パイプ2 コントロールレジスタ	PIPE2CTR	16	H'FFFC1C72	16
	パイプ3 コントロールレジスタ	PIPE3CTR	16	H'FFFC1C74	16
	パイプ4 コントロールレジスタ	PIPE4CTR	16	H'FFFC1C76	16
	パイプ5 コントロールレジスタ	PIPE5CTR	16	H'FFFC1C78	16
	パイプ6 コントロールレジスタ	PIPE6CTR	16	H'FFFC1C7A	16
	パイプ7 コントロールレジスタ	PIPE7CTR	16	H'FFFC1C7C	16
USB AC 特性切り替えレジスタ	USBACSWR	32	H'FFFC1C84	32	
LCDC	LCDC インプットクロックレジスタ	LDICKR	16	H'FFFFFFC00	16
	LCDC モジュールタイプレジスタ	LDMRT	16	H'FFFFFFC02	16
	LCDC データフォーマットレジスタ	LDDFR	16	H'FFFFFFC04	16
	LCDC スキャンモードレジスタ	LDSMR	16	H'FFFFFFC06	16
	LCDC 上部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARU	32	H'FFFFFFC08	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
LCDC	LCDC 下部表示パネル用データ取り込み 開始アドレスレジスタ	LDSARL	32	H'FFFFFFC0C	32
	LCDC 表示パネル用取り込みデータ ラインアドレスオフセットレジスタ	LDLAOR	16	H'FFFFFFC10	16
	LCDC パレットコントロールレジスタ	LDPALCR	16	H'FFFFFFC12	16
	パレットデータレジスタ 00 ~ FF	LDPR00 ~ FF	32	H'FFFFFF800 ~ H'FFFFFFBFC	32
	LCDC 水平キャラクタナンバーレジスタ	LDHCNR	16	H'FFFFFFC14	16
	LCDC 水平同期信号レジスタ	LDHSYNR	16	H'FFFFFFC16	16
	LCDC 垂直表示ラインナンバーレジスタ	LDVDLNR	16	H'FFFFFFC18	16
	LCDC 垂直総ラインナンバーレジスタ	LDVTLNR	16	H'FFFFFFC1A	16
	LCDC 垂直同期信号レジスタ	LDVSYNR	16	H'FFFFFFC1C	16
	LCDC AC モジュレーション信号トグル ラインナンバーレジスタ	LDACLNR	16	H'FFFFFFC1E	16
	LCDC 割り込みコントロールレジスタ	LDINTR	16	H'FFFFFFC20	16
	LCDC パワーマネジメントモード レジスタ	LDPMMR	16	H'FFFFFFC24	16
	LCDC 電源シーケンス期間レジスタ	LDPSPR	16	H'FFFFFFC26	16
	LCDC コントロールレジスタ	LDCNTR	16	H'FFFFFFC28	16
	LCDC ユーザ指定割り込みコントロール レジスタ	LDUINTR	16	H'FFFFFFC34	16
	LCDC ユーザ指定割り込みライン ナンバーレジスタ	LDUINTLNR	16	H'FFFFFFC36	16
LCDC メモリアクセスインターバル ナンバーレジスタ	LDLIRNR	16	H'FFFFFFC40	16	
SRC	SRC 入力データレジスタ	SRCID	32	H'FFFF4000	16、32
	SRC 出力データレジスタ	SRCOD	32	H'FFFF4004	16、32
	SRC 入力データ制御レジスタ	SRCIDCTRL	16	H'FFFF4008	16
	SRC 出力データ制御レジスタ	SRCODCTRL	16	H'FFFF400A	16
	SRC 制御レジスタ	SRCCTRL	16	H'FFFF400C	16
	SRC ステータスレジスタ	SRCSTAT	16	H'FFFF400E	16
PFC	ポート B ・ IO レジスタ L	PBIORL	16	H'FFFE3886	8、16
	ポート B コントロールレジスタ L4	PBCRL4	16	H'FFFE3890	16、32
	ポート B コントロールレジスタ L3	PBCRL3	16	H'FFFE3892	8、16
	ポート B コントロールレジスタ L2	PBCRL2	16	H'FFFE3894	8、16、32
	ポート B コントロールレジスタ L1	PBCRL1	16	H'FFFE3896	8、16
	IRQOUT 機能コントロールレジスタ	IFCR	16	H'FFFE38A2	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
PFC	ポート C・IO レジスタ L	PCIORL	16	H'FFFE3906	8、16
	ポート C コントロールレジスタ L4	PCCRL4	16	H'FFFE3910	8、16、32
	ポート C コントロールレジスタ L3	PCCRL3	16	H'FFFE3912	8、16
	ポート C コントロールレジスタ L2	PCCRL2	16	H'FFFE3914	8、16、32
	ポート C コントロールレジスタ L1	PCCRL1	16	H'FFFE3916	8、16
	ポート D・IO レジスタ L	PDIORL	16	H'FFFE3986	8、16
	ポート D コントロールレジスタ L4	PDCRL4	16	H'FFFE3990	8、16、32
	ポート D コントロールレジスタ L3	PDCRL3	16	H'FFFE3992	8、16
	ポート D コントロールレジスタ L2	PDCRL2	16	H'FFFE3994	8、16、32
	ポート D コントロールレジスタ L1	PDCRL1	16	H'FFFE3996	8、16
	ポート E・IO レジスタ L	PEIORL	16	H'FFFE3A06	8、16
	ポート E コントロールレジスタ L4	PECRL4	16	H'FFFE3A10	8、16、32
	ポート E コントロールレジスタ L3	PECRL3	16	H'FFFE3A12	8、16
	ポート E コントロールレジスタ L2	PECRL2	16	H'FFFE3A14	8、16、32
	ポート E コントロールレジスタ L1	PECRL1	16	H'FFFE3A16	8、16
	ポート F・IO レジスタ H	PFIORH	16	H'FFFE3A84	8、16、32
	ポート F・IO レジスタ L	PFIORL	16	H'FFFE3A86	8、16
	ポート F コントロールレジスタ H4	PFCRH4	16	H'FFFE3A88	8、16、32
	ポート F コントロールレジスタ H3	PFCRH3	16	H'FFFE3A8A	8、16
	ポート F コントロールレジスタ H2	PFCRH2	16	H'FFFE3A8C	8、16、32
	ポート F コントロールレジスタ H1	PFCRH1	16	H'FFFE3A8E	8、16
	ポート F コントロールレジスタ L4	PFCRL4	16	H'FFFE3A90	8、16、32
	ポート F コントロールレジスタ L3	PFCRL3	16	H'FFFE3A92	8、16
	ポート F コントロールレジスタ L2	PFCRL2	16	H'FFFE3A94	8、16、32
	ポート F コントロールレジスタ L1	PFCRL1	16	H'FFFE3A96	8、16
	SSI クロック選択レジスタ	SCSR	16	H'FFFE3AA2	8、16
I/O ポート	ポート A データレジスタ L	PADRL	16	H'FFFE3802	8、16
	ポート B データレジスタ L	PBDRL	16	H'FFFE3882	8、16
	ポート B ポートレジスタ L	PBPRL	16	H'FFFE389E	8、16
	ポート C データレジスタ L	PCDRL	16	H'FFFE3902	8、16
	ポート C ポートレジスタ L	PCPRL	16	H'FFFE391E	8、16
	ポート D データレジスタ L	PDDRDL	16	H'FFFE3982	8、16
	ポート D ポートレジスタ L	PDPRL	16	H'FFFE399E	8、16
	ポート E データレジスタ L	PEDRL	16	H'FFFE3A02	8、16
	ポート E ポートレジスタ L	PEPRL	16	H'FFFE3A1E	8、16
	ポート F データレジスタ H	PFDRH	16	H'FFFE3A80	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセス サイズ
I/O ポート	ポートFデータレジスタL	PFDRL	16	H'FFFE3A82	8、16
	ポートFポートレジスタH	PFPRH	16	H'FFFE3A9C	8、16、32
	ポートFポートレジスタL	PFPRL	16	H'FFFE3A9E	8、16
低消費電力 モード	スタンバイコントロールレジスタ	STBCR	8	H'FFFE0014	8
	スタンバイコントロールレジスタ2	STBCR2	8	H'FFFE0018	8
	スタンバイコントロールレジスタ3	STBCR3	8	H'FFFE0408	8
	スタンバイコントロールレジスタ4	STBCR4	8	H'FFFE040C	8
	スタンバイコントロールレジスタ5	STBCR5	8	H'FFFE0410	8
	スタンバイコントロールレジスタ6	STBCR6	8	H'FFFE0414	8
	システムコントロールレジスタ1	SYSCR1	8	H'FFFE0402	8
	システムコントロールレジスタ2	SYSCR2	8	H'FFFE0404	8
	システムコントロールレジスタ3	SYSCR3	8	H'FFFE0418	8
	ディープスタンバイコントロール レジスタ	DSCTR	8	H'FFFF2800	8
	ディープスタンバイコントロール レジスタ2	DSCTR2	8	H'FFFF2802	8
	ディープスタンバイ解除要因セレクト レジスタ	DSSSR	16	H'FFFF2804	16
	ディープスタンバイ解除要因フラグ レジスタ	DSFR	16	H'FFFF2808	16
保持用内蔵 RAM トリミングレジスタ	DSRTR	8	H'FFFF280C	8	
H-UDI	インストラクションレジスタ	SDIR	16	H'FFFE2000	16

## 34.2 レジスタビット一覧

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
CPG	FRQCR	-	CKOEN2	CKOEN[1]	CKOEN[0]	-	-	STC[1]	STC[0]
		-	-	-	IFC	-	PFC[2]	PFC[1]	PFC[0]
INTC	ICR0	NMIL	-	-	-	-	-	-	NMIE
		-	-	-	-	-	-	-	-
	ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	ICR2	-	-	-	-	-	-	-	-
		PINT7S	PINT6S	PINT5S	PINT4S	PINT3S	PINT2S	PINT1S	PINT0S
	IRQRR	-	-	-	-	-	-	-	-
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	PINTER	-	-	-	-	-	-	-	-
		PINT7E	PINT6E	PINT5E	PINT4E	PINT3E	PINT2E	PINT1E	PINT0E
	PIRR	-	-	-	-	-	-	-	-
		PINT7R	PINT6R	PINT5R	PINT4R	PINT3R	PINT2R	PINT1R	PINT0R
	IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	-
	IBNR	BE[1]	BE[0]	BOVE	-	-	-	-	-
		-	-	-	-	BN[3]	BN[2]	BN[1]	BN[0]
	IPR01								
	IPR02								
	IPR05								
	IPR06								
	IPR07								
	IPR08								
	IPR09								
	IPR10								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
INTC	IPR11								
	IPR12								
	IPR13								
	IPR14								
	IPR15								
	IPR16								
	IPR17								
UBC	BAR_0	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
	BAMR_0	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
	BBR_0	-	-	UBID	DBE	-	-	CP[1]	CP[0]
		CD[1]	CD[0]	ID[1]	ID[0]	RW[1]	RW[0]	SZ[1]	SZ[0]
	BDR_0	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
	BDMR_0	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
	BAR_1	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
UBC	BAMR_1	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16	
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0	
	BBR_1	-	-	UBID	DBE	-	-	CP[1]	CP[0]	
		CD[1]	CD[0]	ID[1]	ID[0]	RW[1]	RW[0]	SZ[1]	SZ[0]	
	BDR_1	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16	
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0	
	BDMR_1	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16	
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0	
	BRCR	-	-	-	-	-	-	-	-	
		-	-	-	-	UTOD1	UTOD0	CKS[1]	CKS[0]	
		SCMFC0	SCMFC1	SCMFD0	SCMFD1	-	-	-	-	
		-	PCB1	PCB0	-	-	-	-	-	
	キャッシュ	CCR1	-	-	-	-	-	-	-	
			-	-	-	-	-	-	-	
			-	-	-	-	ICF	-	-	ICE
			-	-	-	-	OCF	-	WT	OCE
		CCR2	-	-	-	-	-	-	-	-
			-	-	-	-	-	-	-	LE
			-	-	-	-	-	-	W3LOAD	W3LOCK
			-	-	-	-	-	-	W2LOAD	W2LOCK
	BSC	CMNCR	-	-	-	-	-	-	-	
			-	-	-	-	-	-	-	
			-	-	-	-	BLOCK	DPRTY[1]	DPRTY[0]	DMAIW[2]
			DMAIW[1]	DMAIW[0]	DMAIWA	-	-	-	HIZMEM	HIZCNT
		CS0BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
			IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
-			TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-	
-			-	-	-	-	-	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS1BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-
		-	-	-	-	-	-	-	-
	CS2BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-
		-	-	-	-	-	-	-	-
	CS3BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-
		-	-	-	-	-	-	-	-
	CS4BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-
		-	-	-	-	-	-	-	-
	CS5BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-
		-	-	-	-	-	-	-	-
	CS6BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-
		-	-	-	-	-	-	-	-
	CS7BCR	-	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		-	TYPE[2]	TYPE[1]	TYPE[0]	ENDIAN	BSZ[1]	BSZ[0]	-
		-	-	-	-	-	-	-	-
	CS0WCR*1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS0WCR*2	-	-	-	-	-	-	-	-
		-	-	BST[1]	BST[0]	-	-	BW[1]	BW[0]
		-	-	-	-	-	W[3]	W[2]	W[1]
		W[0]	WM	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS0WCR <sup>*3</sup>	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	BW[1]	BW[0]
		-	-	-	-	-	W[3]	W[2]	W[1]
		W[0]	WM	-	-	-	-	-	-
	CS1WCR <sup>*4</sup>	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW[2]	WW[1]	WW[0]
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS2WCR <sup>*1</sup>	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	-	-	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	-	-
	CS2WCR <sup>*2</sup>	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	A2CL1
		A2CL0	-	-	-	-	-	-	-
	CS3WCR <sup>*1</sup>	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	-	-	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	-	-
	CS3WCR <sup>*2</sup>	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	WTRP[1]	WTRP[0]	-	WTRCD[1]	WTRCD[0]	-	A3CL1
		A3CL0	-	-	TRWL[1]	TRWL[0]	-	WTRC[1]	WTRC[0]
	CS4WCR <sup>*1</sup>	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW[2]	WW[1]	WW[0]
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS4WCR <sup>*2</sup>	-	-	-	-	-	-	-	-
		-	-	BST[1]	BST[0]	-	-	BW[1]	BW[0]
		-	-	-	SW[1]	SW[0]	W[3]	W[2]	W[1]
		W[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS5WCR <sup>*1</sup>	-	-	-	-	-	-	-	-
		-	-	SZSEL	MPXW/BAS	-	WW[2]	WW[1]	WW[0]
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
BSC	CS5WCR*6	-	-	-	-	-	-	-	-
		-	-	SA[1]	SA[0]	-	-	-	-
		-	TED[3]	TED[2]	TED[1]	TED[0]	PCW[3]	PCW[2]	PCW[1]
		PCW[0]	WM	-	-	TEH[3]	TEH[2]	TEH[1]	TEH[0]
	CS6WCR*1	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	-	-	-
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	CS6WCR*7	-	-	-	-	-	-	-	-
		-	-	MPXAW[1]	MPXAW[0]	MPXMD	-	BW[1]	BW[0]
		-	-	-	-	-	W[3]	W[2]	W[1]
		W[0]	WM	-	-	-	-	-	-
	CS6WCR*8	-	-	-	-	-	-	-	-
		-	-	SA[1]	SA[0]	-	-	-	-
		-	TED[3]	TED[2]	TED[1]	TED[0]	PCW[1]	PCW[0]	PCW[1]
		PCW[0]	WM	-	-	TEH[3]	TEH[2]	TEH[1]	TEH[0]
	CS7WCR*4	-	-	-	-	-	-	-	-
		-	-	-	BAS	-	WW[2]	WW[1]	WW[0]
		-	-	-	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	-	-	-	-	HW[1]	HW[0]
	SDCR	-	-	-	-	-	-	-	-
		-	-	-	A2ROW[1]	A2ROW[0]	-	A2COL[1]	A2COL[0]
		-	-	DEEP	SLOW	RFSH	RMODE	PDOWN	BACTV
		-	-	-	A3ROW[1]	A3ROW[0]	-	A3COL[1]	A3COL[0]
	RTCSCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CMF	CMIE	CKS[2]	CKS[1]	CKS[0]	RRC[2]	RRC[1]	RRC[0]
	RTCNT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	RTCOR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	SAR0								
	DAR0								
	DMATCR0	-	-	-	-	-	-	-	-
	CHCR0	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		DO	TL	-	TEMASK	HE	HIE	AM	AL
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		DL	DS	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR0								
	RDAR0								
	RDMATCR0	-	-	-	-	-	-	-	-
	SAR1								
	DAR1								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	DMATCR1	-	-	-	-	-	-	-	-
	CHCR1	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		DO	TL	-	TEMASK	HE	HIE	AM	AL
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		DL	DS	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR1								
	RDAR1								
	RDMATCR1	-	-	-	-	-	-	-	-
	SAR2								
	DAR2								
	DMATCR2	-	-	-	-	-	-	-	-
	CHCR2	TC	-	RLDSAR	RLDDAR	-	-	-	-
		DO	-	-	TEMASK	HE	HIE	AM	AL
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		DL	DS	TB	TS[1]	TS[0]	IE	TE	DE

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	RSAR2								
	RDAR2								
	RDMATCR2	-	-	-	-	-	-	-	-
	SAR3								
	DAR3								
	DMATCR3	-	-	-	-	-	-	-	-
	CHCR3	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		DO	-	-	TEMASK	HE	HIE	AM	AL
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		DL	DS	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR3								
	RDAR3								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	RDMATCR3	-	-	-	-	-	-	-	-
	SAR4								
	DAR4								
	DMATCR4	-	-	-	-	-	-	-	-
	CHCR4	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR4								
	RDAR4								
	RDMATCR4	-	-	-	-	-	-	-	-
	SAR5								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
DMAC	DAR5								
	DMATCR5	-	-	-	-	-	-	-	-
	CHCR5	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-
		-	-	-	TEMASK	HE	HIE	-	-
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]
		-	-	TB	TS[1]	TS[0]	IE	TE	DE
	RSAR5								
	RDAR5								
	RDMATCR5	-	-	-	-	-	-	-	-
	SAR6								
	DAR6								
	DMATCR6	-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	CHCR6	TC	-	RLDSAR	RLDDAR	-	-	-	-	
		-	-	-	TEMASK	HE	HIE	-	-	
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]	
		-	-	TB	TS[1]	TS[0]	IE	TE	DE	
	RSAR6									
	RDAR6									
	RDMATCR6	-	-	-	-	-	-	-	-	-
	SAR7									
	DAR7									
	DMATCR7	-	-	-	-	-	-	-	-	-
	CHCR7	TC	-	RLDSAR	RLDDAR	-	DAF	SAF	-	
		-	-	-	TEMASK	HE	HIE	-	-	
		DM[1]	DM[0]	SM[1]	SM[0]	RS[3]	RS[2]	RS[1]	RS[0]	
		-	-	TB	TS[1]	TS[0]	IE	TE	DE	
	RSAR7									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
DMAC	RDAR7									
	RDMATCR7	-	-	-	-	-	-	-	-	
	DMAOR	-	-	CMS[1]	CMS[0]	-	-	PR[1]	PR[0]	
		-	-	-	-	-	AE	NMIF	DME	
	DMARS0	CH1MID[5]	CH1MID[4]	CH1MID[3]	CH1MID[2]	CH1MID[1]	CH1MID[0]	CH1RID[1]	CH1RID[0]	
		CH0MID[5]	CH0MID[4]	CH0MID[3]	CH0MID[2]	CH0MID[1]	CH0MID[0]	CH0RID[1]	CH0RID[0]	
	DMARS1	CH3MID[5]	CH3MID[4]	CH3MID[3]	CH3MID[2]	CH3MID[1]	CH3MID[0]	CH3RID[1]	CH3RID[0]	
		CH2MID[5]	CH2MID[4]	CH2MID[3]	CH2MID[2]	CH2MID[1]	CH2MID[0]	CH2RID[1]	CH2RID[0]	
	DMARS2	CH5MID[5]	CH5MID[4]	CH5MID[3]	CH5MID[2]	CH5MID[1]	CH5MID[0]	CH5RID[1]	CH5RID[0]	
		CH4MID[5]	CH4MID[4]	CH4MID[3]	CH4MID[2]	CH4MID[1]	CH4MID[0]	CH4RID[1]	CH4RID[0]	
	DMARS3	CH7MID[5]	CH7MID[4]	CH7MID[3]	CH7MID[2]	CH7MID[1]	CH7MID[0]	CH7RID[1]	CH7RID[0]	
		CH6MID[5]	CH6MID[4]	CH6MID[3]	CH6MID[2]	CH6MID[1]	CH6MID[0]	CH6RID[1]	CH6RID[0]	
	MTU2	TCR_0	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
		TMDR_0	-	BFE	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
		TIORH_0	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
		TIORL_0	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
		TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
		TSR_0	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
		TCNT_0								
TGRA_0										
TGRB_0										
TGRC_0										
TGRD_0										
TGRE_0										

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TGRF_0								
	TIER2_0	TTGE2	-	-	-	-	-	TGIEF	TGIEE
	TSR2_0	-	-	-	-	-	-	TGFF	TGFE
	TBTM_0	-	-	-	-	-	TTSE	TTSB	T TSA
	TCR_1	-	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_1	-	-	-	-	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_1	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
	TSR_1	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_1								
	TGRA_1								
	TGRB_1								
	TICCR	-	-	-	-	I2BE	I2AE	I1BE	I1AE
	TCR_2	-	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_2	-	-	-	-	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_2	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
	TSR_2	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_2								
	TGRA_2								
	TGRB_2								
	TCR_3	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_3	-	-	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_3	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_3	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_3	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_3								

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
MTU2	TGRA_3									
	TGRB_3									
	TGRC_3									
	TGRD_3									
	TBTM_3	-	-	-	-	-	-	-	TTSB	TTSA
	TCR_4	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]	
	TMDR_4	-	-	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]	
	TIORH_4	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]	
	TIORL_4	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	
	TIER_4	TTGE	TTGE2	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
	TSR_4	TCFD	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
	TCNT_4									
	TGRA_4									
	TGRB_4									
	TGRC_4									
	TGRD_4									
	TBTM_4	-	-	-	-	-	-	-	TTSB	TTSA
	TADCR	BF[1]	BF[0]	-	-	-	-	-	-	-
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE	
	TADCORA_4									
	TADCORB_4									
	TADCOBRA_4									
	TADCOBRB_4									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
MTU2	TSTR	CST4	CST3	-	-	-	CST2	CST1	CST0
	TSYR	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
	TRWER	-	-	-	-	-	-	-	RWE
	TOER	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1	-	PSYE	-	-	TOCL	TOCS	OLSN	PLSP
	TOCR2	BF[1]	BF[0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	TGCR	-	BDC	N	P	FB	WF	VF	UF
	TCDR								
	TDDR								
	TCNTS								
	TCBR								
	TITCR	T3AEN	3ACOR[2]	3ACOR[1]	3ACOR[0]	T4VEN	4VCOR[2]	4VCOR[1]	4VCOR[0]
	TITCNT	-	3ACNT[2]	3ACNT[1]	3ACNT[0]	-	4VCNT[2]	4VCNT[1]	4VCNT[0]
	TBTER	-	-	-	-	-	-	BTE[1]	BTE[0]
	TDER	-	-	-	-	-	-	-	TDER
	TWCR	CCE	-	-	-	-	-	-	WRE
	TOLBR	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
CMT	CMSTR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	STR1	STR0
	CMCSR0	-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	CKS[1]	CKS[0]
	CMCNT0								
	CMCOR0								
	CMCSR1	-	-	-	-	-	-	-	-
		CMF	CMIE	-	-	-	-	CKS[1]	CKS[0]
CMCNT1									
CMCOR1									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
WDT	WTCNT								
	WTCSR	IOVF	WT/IT	TME	-	-	CKS[2]	CKS[1]	CKS[0]
	WRCSR	WOVF	RSTE	RSTS	-	-	-	-	-
RTC	R64CNT	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
	RSECNT	-	10 秒[2]	10 秒[1]	10 秒[0]	1 秒[3]	1 秒[2]	1 秒[1]	1 秒[0]
	RMINCNT	-	10 分[2]	10 分[1]	10 分[0]	1 分[3]	1 分[2]	1 分[1]	1 分[0]
	RHRCNT	-	-	10 時間[1]	10 時間[0]	1 時間[3]	1 時間[2]	1 時間[1]	1 時間[0]
	RWKCNT	-	-	-	-	-	曜日[2]	曜日[1]	曜日[0]
	RDAYCNT	-	-	10 日[1]	10 日[0]	1 日[3]	1 日[2]	1 日[1]	1 日[0]
	RMONCNT	-	-	-	10 月	1 月[3]	1 月[2]	1 月[1]	1 月[0]
	RYRCNT	1000 年[3]	1000 年[2]	1000 年[1]	1000 年[0]	100 年[3]	100 年[2]	100 年[1]	100 年[0]
		10 年[3]	10 年[2]	10 年[1]	10 年[0]	1 年[3]	1 年[2]	1 年[1]	1 年[0]
	RSECAR	ENB	10 秒[2]	10 秒[1]	10 秒[0]	1 秒[3]	1 秒[2]	1 秒[1]	1 秒[0]
	RMINAR	ENB	10 分[2]	10 分[1]	10 分[0]	1 分[3]	1 分[2]	1 分[1]	1 分[0]
	RHRAR	ENB	-	10 時間[1]	10 時間[0]	1 時間[3]	1 時間[2]	1 時間[1]	1 時間[0]
	RWKAR	ENB	-	-	-	-	曜日[2]	曜日[1]	曜日[0]
	RDAYAR	ENB	-	10 日[1]	10 日[0]	1 日[3]	1 日[2]	1 日[1]	1 日[0]
	RMONAR	ENB	-	-	10 月	1 月[3]	1 月[2]	1 月[1]	1 月[0]
	RYRAR	1000 年[3]	1000 年[2]	1000 年[1]	1000 年[0]	100 年[3]	100 年[2]	100 年[1]	100 年[0]
		10 年[3]	10 年[2]	10 年[1]	10 年[0]	1 年[3]	1 年[2]	1 年[1]	1 年[0]
	RCR1	CF	-	-	CIE	AIE	-	-	AF
	RCR2	PEF	PES[2]	PES[1]	PES[0]	RTCEN	ADJ	RESET	START
	RCR3	ENB	-	-	-	-	-	-	-
	SCIF	SCSMR_0	-	-	-	-	-	-	-
C/A			CHR	PE	O/E	STOP	-	CKS[1]	CKS[0]
SCBRR_0									
SCSCR_0		-	-	-	-	-	-	-	-
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]
SCFTDR_0									
SCFSR_0		PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
SCFRDR_0									
SCFCR_0		-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
SCFDR_0		-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF	SCSPTR_0	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_0	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCEMR_0	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	ABCS	
	SCSMR_1	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1]	CKS[0]	
	SCBRR_1									
	SCSCR_1	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]	
	SCFTDR_1									
	SCFSR_1	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]	
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_1									
	SCFCR_1	-	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP	
	SCFDR_1	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]	
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]	
	SCSPTR_1	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_1	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCEMR_1	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	ABCS	
	SCSMR_2	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1]	CKS[0]	
	SCBRR_2									
	SCSCR_2	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]	
	SCFTDR_2									
	SCFSR_2	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]	
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_2									
	SCFCR_2	-	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SCIF	SCFDR_2	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]	
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]	
	SCSPTR_2	-	-	-	-	-	-	-	-	
		-	-	-	-	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_2	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCEMR_2	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	ABCS	
	SCSMR_3	-	-	-	-	-	-	-	-	
		C/A	CHR	PE	O/E	STOP	-	CKS[1]	CKS[0]	
	SCBRR_3									
	SCSCR_3	-	-	-	-	-	-	-	-	
		TIE	RIE	TE	RE	REIE	-	CKE[1]	CKE[0]	
	SCFTDR_3									
	SCFSR_3	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]	
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_3									
	SCFCR_3	-	-	-	-	-	RSTRG[2]	RSTRG[1]	RSTRG[0]	
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP	
	SCFDR_3	-	-	-	T[4]	T[3]	T[2]	T[1]	T[0]	
		-	-	-	R[4]	R[3]	R[2]	R[1]	R[0]	
	SCSPTR_3	-	-	-	-	-	-	-	-	
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_3	-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	ORER	
	SCEMR_3	-	-	-	-	-	-	-	-	
		BGDM	-	-	-	-	-	-	ABCS	
	SSU	SSCRH_0	MSS	BIDE	-	SOL	SOLP	-	CSS[1]	CSS[0]
		SSCRL_0	-	SSUMS	SRES	-	-	-	DATS[1]	DATS[0]
		SSMR_0	MLS	CPOS	CPHS	-	-	CKS[2]	CKS[1]	CKS[0]
		SSER_0	TE	RE	-	-	TEIE	TIE	RIE	CEIE
		SSSR_0	-	ORER	-	-	TEND	TDRE	RDRF	CE
SSCR2_0		-	-	-	TENDSTS	SCSATS	SSODTS	-	-	
SSTDR0_0										
SSTDR1_0										
SSTDR2_0										
SSTDR3_0										

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SSU	SSRDR0_0								
	SSRDR1_0								
	SSRDR2_0								
	SSRDR3_0								
	SSCRH_1	MSS	BIDE	-	SOL	SOLP	-	CSS[1]	CSS[0]
	SSCRL_1	-	SSUMS	SRES	-	-	-	DATS[1]	DATS[0]
	SSMR_1	MLS	CPOS	CPHS	-	-	CKS[2]	CKS[1]	CKS[0]
	SSER_1	TE	RE	-	-	TEIE	TIE	RIE	CEIE
	SSSR_1	-	ORER	-	-	TEND	TDRE	RDRF	CE
	SSCR2_1	-	-	-	TENDSTS	SCSATS	SSODTS	-	-
	SSTDR0_1								
	SSTDR1_1								
	SSTDR2_1								
	SSTDR3_1								
	SSRDR0_1								
	SSRDR1_1								
	SSRDR2_1								
	SSRDR3_1								
IIC3	ICCR1_0	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_0	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-
	ICMR_0	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_0	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_0								
	ICDRR_0								
	NF2CYC_0	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_1	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]
	ICCR2_1	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-
	ICMR_1	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]
	ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_1	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS
	ICDRT_1								
	ICDRR_1								
	NF2CYC_1	-	-	-	-	-	-	PRS	NF2CYC

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
IIC3	ICCR1_2	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]	
	ICCR2_2	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-	
	ICMR_2	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]	
	ICIER_2	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
	ICSR_2	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
	SAR_2	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS	
	ICDRT_2									
	ICDRR_2									
	NF2CYC_2	-	-	-	-	-	-	-	PRS	NF2CYC
	ICCR1_3	ICE	RCVD	MST	TRS	CKS[3]	CKS[2]	CKS[1]	CKS[0]	
	ICCR2_3	BBSY	SCP	SDAO	SDAOP	SCL	-	IICRST	-	
	ICMR_3	MLS	-	-	-	BCWP	BC[2]	BC[1]	BC[0]	
	ICIER_3	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
	ICSR_3	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
	SAR_3	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA[0]	FS	
	ICDRT_3									
	ICDRR_3									
	NF2CYC_3	-	-	-	-	-	-	-	PRS	NF2CYC
SSI	SSICR_0	-	-	-	DMEN	UIEN	OIEN	I IEN	DIEN	
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]	
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	
		BREN	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	CPEN	TRMD	EN	
	SSISR_0	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	CHNO1	CHNO0	SWNO	IDST
	SSITDR_0									
	SSIRDR_0									

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SSI	SSICR_1	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		BREN	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	CPEN	TRMD	EN
	SSISR_1	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CHNO1	CHNO0	SWNO	IDST
	SSITDR_1								
	SSIRDR_1								
	SSICR_2	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		BREN	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	CPEN	TRMD	EN
	SSISR_2	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CHNO1	CHNO0	SWNO	IDST
	SSITDR_2								
	SSIRDR_2								
	SSICR_3	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		BREN	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	CPEN	TRMD	EN

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
SSI	SSISR_3	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	-
		-	-	-	-	CHNO1	CHNO0	SWNO	IDST	
	SSITDR_3									
	SSIFDR_3									
	RCAN-TL1	MCR_0	MCR15	MCR14	-	-	-	TST[2]	TST[1]	TST[0]
			MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0
GSR_0		-	-	-	-	-	-	-	-	
		-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
BCR1_0		TSG1[3]	TSG1[2]	TSG1[1]	TSG1[0]	-	TSG2[2]	TSG2[1]	TSG2[0]	
		-	-	SJW[1]	SJW[0]	-	-	-	BSP	
BCR0_0		-	-	-	-	-	-	-	-	
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]	
IRR_0		IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
IMR_0		IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
TEC_REC_0		TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]	
		REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]	
TXPR1_0		TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]	
		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]	
TXPR0_0		TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]	
		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	-	
TXCR1_0		TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]	
		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]	
TXCR0_0		TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]	
		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	-	
TXACK1_0		TXACK1[15]	TXACK1[14]	TXACK1[13]	TXACK1[12]	TXACK1[11]	TXACK1[10]	TXACK1[9]	TXACK1[8]	
		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-TL1	TXACK0_0	TXACK0[15]	TXACK0[14]	TXACK0[13]	TXACK0[12]	TXACK0[11]	TXACK0[10]	TXACK0[9]	TXACK0[8]
		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	-
	ABACK1_0	ABACK1[15]	ABACK1[14]	ABACK1[13]	ABACK1[12]	ABACK1[11]	ABACK1[10]	ABACK1[9]	ABACK1[8]
		ABACK1[7]	ABACK1[6]	ABACK1[5]	ABACK1[4]	ABACK1[3]	ABACK1[2]	ABACK1[1]	ABACK1[0]
	ABACK0_0	ABACK0[15]	ABACK0[14]	ABACK0[13]	ABACK0[12]	ABACK0[11]	ABACK0[10]	ABACK0[9]	ABACK0[8]
		ABACK0[7]	ABACK0[6]	ABACK0[5]	ABACK0[4]	ABACK0[3]	ABACK0[2]	ABACK0[1]	-
	RXPR1_0	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]
		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]
	RXPR0_0	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]
		RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]
	RFPR1_0	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]
		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]
	RFPR0_0	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]
		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]
	MBIMR1_0	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]
		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]
	MBIMR0_0	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]
		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]
	UMSR1_0	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]
		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]
	UMSR0_0	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]
		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]
	TTCR0_0	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-
		-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_TEW_0	-	-	-	-	-	CMAX[2]	CMAX[1]	CMAX[0]
		-	-	-	-	TEW[3]	TEW[2]	TEW[1]	TEW[0]
	RFTROFF_0	RFTROFF[7]	RFTROFF[6]	RFTROFF[5]	RFTROFF[4]	RFTROFF[3]	RFTROFF[2]	RFTROFF[1]	RFTROFF[0]
		-	-	-	-	-	-	-	-
	TSR_0	-	-	-	-	-	-	-	-
		-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0
	CCR_0	-	-	-	-	-	-	-	-
		-	-	CCR[5]	CCR[4]	CCR[3]	CCR[2]	CCR[1]	CCR[0]
	TCNTR_0	TCNTR[15]	TCNTR[14]	TCNTR[13]	TCNTR[12]	TCNTR[11]	TCNTR[10]	TCNTR[9]	TCNTR[8]
		TCNTR[7]	TCNTR[6]	TCNTR[5]	TCNTR[4]	TCNTR[3]	TCNTR[2]	TCNTR[1]	TCNTR[0]
	CYCTR_0	CYCTR[15]	CYCTR[14]	CYCTR[13]	CYCTR[12]	CYCTR[11]	CYCTR[10]	CYCTR[9]	CYCTR[8]
		CYCTR[7]	CYCTR[6]	CYCTR[5]	CYCTR[4]	CYCTR[3]	CYCTR[2]	CYCTR[1]	CYCTR[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-TL1	RFMK_0	RFMK[15]	RFMK[14]	RFMK[13]	RFMK[12]	RFMK[11]	RFMK[10]	RFMK[9]	RFMK[8]
		RFMK[7]	RFMK[6]	RFMK[5]	RFMK[4]	RFMK[3]	RFMK[2]	RFMK[1]	RFMK[0]
	TCMR0_0	TCMR0[15]	TCMR0[14]	TCMR0[13]	TCMR0[12]	TCMR0[11]	TCMR0[10]	TCMR0[9]	TCMR0[8]
		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]
	TCMR1_0	TCMR1[15]	TCMR1[14]	TCMR1[13]	TCMR1[12]	TCMR1[11]	TCMR1[10]	TCMR1[9]	TCMR1[8]
		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]
	TCMR2_0	TCMR2[15]	TCMR2[14]	TCMR2[13]	TCMR2[12]	TCMR2[11]	TCMR2[10]	TCMR2[9]	TCMR2[8]
		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]
	TTTSEL_0	-	TTTSEL[14]	TTTSEL[13]	TTTSEL[12]	TTTSEL[11]	TTTSEL[10]	TTTSEL[9]	TTTSEL[8]
		-	-	-	-	-	-	-	-
	MBn_CONT ROLO_H_0 (n = 0 ~ 31)* <sup>9</sup>	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]
		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]
	MBn_CONT ROLO_H_0 (n = 0 ~ 31)* <sup>9</sup>	IDE	RTR	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]
		STDID[5]	STDID[4]	STDID[3]	STDID[2]	STDID[1]	STDID[0]	EXTID[17]	EXTID[16]
	MBn_CONT ROLO_L_0 (n = 0 ~ 31)	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]
		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]
	MBn_LAFM0 _0 (n = 0 ~ 31)* <sup>9</sup>	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]	STDID_ LAFM[5]	STDID_ LAFM[4]
		STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	-	IDE	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM0 _0 (n = 0 ~ 31)* <sup>9</sup>	IDE	-	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]
		STDID_ LAFM[5]	STDID_ LAFM[4]	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM1 _0 (n = 0 ~ 31)	EXTID_ LAFM[15]	EXTID_ LAFM[14]	EXTID_ LAFM[13]	EXTID_ LAFM[12]	EXTID_ LAFM[11]	EXTID_ LAFM[10]	EXTID_ LAFM[9]	EXTID_ LAFM[8]
		EXTID_ LAFM[7]	EXTID_ LAFM[6]	EXTID_ LAFM[5]	EXTID_ LAFM[4]	EXTID_ LAFM[3]	EXTID_ LAFM[2]	EXTID_ LAFM[1]	EXTID_ LAFM[0]
	MBn_DATA_ 01_0 (n = 0 ~ 31)	MSG_DATA0							
		MSG_DATA1							
	MBn_DATA_ 23_0 (n = 0 ~ 31)	MSG_DATA2							
		MSG_DATA3							

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-TL1	MBn_DATA_45_0 (n = 0 ~ 31)	MSG_DATA4							
		MSG_DATA5							
	MBn_DATA_67_0 (n = 0 ~ 31)	MSG_DATA6							
		MSG_DATA7							
	MBn_CONT ROL1_0 (n = 0)	-	-	NMC	-	-	MBC[2]	MBC[1]	MBC[0]
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_CONT ROL1_0 (n = 1 ~ 31)	-	-	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]
	MBn_TIMES TAMP_0 (n = 0 ~ 15、 30、31)	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8
		TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
	MBn_TTT_0 (n = 24 ~ 30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8
		TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
	MBn_TTCO NTROL_0 (n = 24 ~ 29)	TTW[1]	TTW[0]	OFFSET[5]	OFFSET[4]	OFFSET[3]	OFFSET[2]	OFFSET[1]	OFFSET[0]
		-	-	-	-	-	REP_ FACTOR[2]	REP_ FACTOR[1]	REP_ FACTOR[0]
	MCR_1	MCR15	MCR14	-	-	-	TST[2]	TST[1]	TST[0]
		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0
	GSR_1	-	-	-	-	-	-	-	-
		-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
	BCR1_1	TSG1[3]	TSG1[2]	TSG1[1]	TSG1[0]	-	TSG2[2]	TSG2[1]	TSG2[0]
		-	-	SJW[1]	SJW[0]	-	-	-	BSP
	BCR0_1	-	-	-	-	-	-	-	-
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]
	IRR_1	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
	IMR_1	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
	TEC_REC_1	TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]
		REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]
	TXPR1_1	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]
		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-TL1	TXPR0_1	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]
		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	-
	TXCR1_1	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]
		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]
	TXCR0_1	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]
		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	-
	TXACK1_1	TXACK1[15]	TXACK1[14]	TXACK1[13]	TXACK1[12]	TXACK1[11]	TXACK1[10]	TXACK1[9]	TXACK1[8]
		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]
	TXACK0_1	TXACK0[15]	TXACK0[14]	TXACK0[13]	TXACK0[12]	TXACK0[11]	TXACK0[10]	TXACK0[9]	TXACK0[8]
		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	-
	ABACK1_1	ABACK1[15]	ABACK1[14]	ABACK1[13]	ABACK1[12]	ABACK1[11]	ABACK1[10]	ABACK1[9]	ABACK1[8]
		ABACK1[7]	ABACK1[6]	ABACK1[5]	ABACK1[4]	ABACK1[3]	ABACK1[2]	ABACK1[1]	ABACK1[0]
	ABACK0_1	ABACK0[15]	ABACK0[14]	ABACK0[13]	ABACK0[12]	ABACK0[11]	ABACK0[10]	ABACK0[9]	ABACK0[8]
		ABACK0[7]	ABACK0[6]	ABACK0[5]	ABACK0[4]	ABACK0[3]	ABACK0[2]	ABACK0[1]	-
	RXPR1_1	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]
		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]
	RXPR0_1	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]
		RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]
	RFPR1_1	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]
		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]
	RFPR0_1	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]
		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]
	MBIMR1_1	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]
		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]
	MBIMR0_1	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]
		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]
	UMSR1_1	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]
		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]
	UMSR0_1	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]
		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]
	TTCR0_1	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	-	-
		-	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_TEW_1	-	-	-	-	-	CMAX[2]	CMAX[1]	CMAX[0]
		-	-	-	-	TEW[3]	TEW[2]	TEW[1]	TEW[0]
	RFTROFF_1	RFTROFF[7]	RFTROFF[6]	RFTROFF[5]	RFTROFF[4]	RFTROFF[3]	RFTROFF[2]	RFTROFF[1]	RFTROFF[0]
		-	-	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
RCAN-TL1	TSR_1	-	-	-	-	-	-	-	-
		-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0
	CCR_1	-	-	-	-	-	-	-	-
		-	-	CCR[5]	CCR[4]	CCR[3]	CCR[2]	CCR[1]	CCR[0]
	TCNTR_1	TCNTR[15]	TCNTR[14]	TCNTR[13]	TCNTR[12]	TCNTR[11]	TCNTR[10]	TCNTR[9]	TCNTR[8]
		TCNTR[7]	TCNTR[6]	TCNTR[5]	TCNTR[4]	TCNTR[3]	TCNTR[2]	TCNTR[1]	TCNTR[0]
	CYCTR_1	CYCTR[15]	CYCTR[14]	CYCTR[13]	CYCTR[12]	CYCTR[11]	CYCTR[10]	CYCTR[9]	CYCTR[8]
		CYCTR[7]	CYCTR[6]	CYCTR[5]	CYCTR[4]	CYCTR[3]	CYCTR[2]	CYCTR[1]	CYCTR[0]
	RFMK_1	RFMK[15]	RFMK[14]	RFMK[13]	RFMK[12]	RFMK[11]	RFMK[10]	RFMK[9]	RFMK[8]
		RFMK[7]	RFMK[6]	RFMK[5]	RFMK[4]	RFMK[3]	RFMK[2]	RFMK[1]	RFMK[0]
	TCMR0_1	TCMR0[15]	TCMR0[14]	TCMR0[13]	TCMR0[12]	TCMR0[11]	TCMR0[10]	TCMR0[9]	TCMR0[8]
		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]
	TCMR1_1	TCMR1[15]	TCMR1[14]	TCMR1[13]	TCMR1[12]	TCMR1[11]	TCMR1[10]	TCMR1[9]	TCMR1[8]
		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]
	TCMR2_1	TCMR2[15]	TCMR2[14]	TCMR2[13]	TCMR2[12]	TCMR2[11]	TCMR2[10]	TCMR2[9]	TCMR2[8]
		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]
	TTTSEL_1	-	TTTSEL[14]	TTTSEL[13]	TTTSEL[12]	TTTSEL[11]	TTTSEL[10]	TTTSEL[9]	TTTSEL[8]
		-	-	-	-	-	-	-	-
	MBn_CONT ROLO_H_1 (n = 0 ~ 31)* <sup>8</sup>	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]
		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]
	MBn_CONT ROLO_H_1 (n = 0 ~ 31)* <sup>9</sup>	IDE	RTR	-	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]
		STDID[5]	STDID[4]	STDID[3]	STDID[2]	STDID[1]	STDID[0]	EXTID[17]	EXTID[16]
	MBn_CONT ROLO_L_1 (n = 0 ~ 31)	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]
		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]
	MBn_LAFM0 _1 (n = 0 ~ 31)* <sup>8</sup>	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]	STDID_ LAFM[5]	STDID_ LAFM[4]
		STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	-	IDE	EXTID_ LAFM[17]	EXTID_ LAFM[16]
	MBn_LAFM0 _1 (n = 0 ~ 31)* <sup>9</sup>	IDE	-	-	STDID_ LAFM[10]	STDID_ LAFM[9]	STDID_ LAFM[8]	STDID_ LAFM[7]	STDID_ LAFM[6]
		STDID_ LAFM[5]	STDID_ LAFM[4]	STDID_ LAFM[3]	STDID_ LAFM[2]	STDID_ LAFM[1]	STDID_ LAFM[0]	EXTID_ LAFM[17]	EXTID_ LAFM[16]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
RCAN-TL1	MBn_LAFM1_1 (n = 0 ~ 31)	EXTID_ LAFM[15]	EXTID_ LAFM[14]	EXTID_ LAFM[13]	EXTID_ LAFM[12]	EXTID_ LAFM[11]	EXTID_ LAFM[10]	EXTID_ LAFM[9]	EXTID_ LAFM[8]	
		EXTID_ LAFM[7]	EXTID_ LAFM[6]	EXTID_ LAFM[5]	EXTID_ LAFM[4]	EXTID_ LAFM[3]	EXTID_ LAFM[2]	EXTID_ LAFM[1]	EXTID_ LAFM[0]	
	MBn_DATA_01_1 (n = 0 ~ 31)	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0	MSG_DATA0
		MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1	MSG_DATA1
	MBn_DATA_23_1 (n = 0 ~ 31)	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2	MSG_DATA2
		MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3	MSG_DATA3
	MBn_DATA_45_1 (n = 0 ~ 31)	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4	MSG_DATA4
		MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5	MSG_DATA5
	MBn_DATA_67_1 (n = 0 ~ 31)	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6	MSG_DATA6
		MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7	MSG_DATA7
	MBn_CONT ROL1_1 (n = 0)	-	-	NMC	-	-	MBC[2]	MBC[1]	MBC[0]	
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
	MBn_CONT ROL1_1 (n = 1 ~ 31)	-	-	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
		-	-	-	-	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
	MBn_TIMES TAMP_1 (n = 0 ~ 15, 30, 31)	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	
		TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0	
MBn_TTT_1 (n = 24 ~ 30)	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8		
	TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0		
MBn_TTCO NTROL_1 (n = 24 ~ 29)	TTW[1]	TTW[0]	OFFSET[5]	OFFSET[4]	OFFSET[3]	OFFSET[2]	OFFSET[1]	OFFSET[0]		
	-	-	-	-	-	REP_ FACTOR[2]	REP_ FACTOR[1]	REP_ FACTOR[0]		
IEB	IECTR	-	IOL	DEE	-	RE	-	-	-	
	IECMR	-	-	-	-	-	CMD[2]	CMD[1]	CMD[0]	
	IEMCR	SS	RN[2]	RN[1]	RN[0]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	
	IEAR1	IARL4[3]	IARL4[2]	IARL4[1]	IARL4[0]	IMD[1]	IMD[0]	-	STE	
	IEAR2	IARU8[7]	IARU8[6]	IARU8[5]	IARU8[4]	IARU8[3]	IARU8[2]	IARU8[1]	IARU8[0]	
	IESA1	ISAL4[3]	ISAL4[2]	ISAL4[1]	ISAL4[0]	-	-	-	-	
	IESA2	ISAU8[7]	ISAU8[6]	ISAU8[5]	ISAU8[4]	ISAU8[3]	ISAU8[2]	ISAU8[1]	ISAU8[0]	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
IEB	IETBFL	IBFL[7]	IBFL[6]	IBFL[5]	IBFL[4]	IBFL[3]	IBFL[2]	IBFL[1]	IBFL[0]
	IEMA1	IMAL4[3]	IMAL4[2]	IMAL4[1]	IMAL4[0]	-	-	-	-
	IEMA2	IMAU8[7]	IMAU8[6]	IMAU8[5]	IMAU8[4]	IMAU8[3]	IMAU8[2]	IMAU8[1]	IMAU8[0]
	IERCTL	-	-	-	-	RCTL[3]	RCTL[2]	RCTL[1]	RCTL[0]
	IERBFL	RBFL[7]	RBFL[6]	RBFL[5]	RBFL[4]	RBFL[3]	RBFL[2]	RBFL[1]	RBFL[0]
	IELA1	ILAL8[7]	ILAL8[6]	ILAL8[5]	ILAL8[4]	ILAL8[3]	ILAL8[2]	ILAL8[1]	ILAL8[0]
	IELA2	-	-	-	-	ILAU4[3]	ILAU4[2]	ILAU4[1]	ILAU4[0]
	IEFLG	CMX	MRQ	SRQ	SRE	LCK	-	RSS	GG
	IETSR	-	TXS	TXF	-	TXEAL	TXETTME	TXERO	TXEACK
	IEIET	-	TXSE	TXFE	-	TXEALE	TXETTMEE	TXEROE	TXEACKE
	IERSR	RXBSY	RXS	RXF	RXEDE	RXEOVE	RXERTME	RXEDLE	RXEPE
	IEIER	RXBSYE	RXSE	RXFE	RXEDEE	RXEOVEE	RXERTMEE	RXEDLEE	RXEPEE
	IECKSR	-	-	-	CKS3	-	CKS[2]	CKS[1]	CKS[0]
	IETB001 ~ IETB128								
	IERB001 ~ IERB128								
ROM-DEC	CROMEN	SUBC_EN	CROM_EN	CROM_STP	-	-	-	-	-
	CROMSY0	SY_AUT	SY_IEN	SY_DEN	-	-	-	-	-
	CROMCTL0	MD_DESC	-	MD_AUTO	MD_ AUTOS1	MD_ AUTOS2	MD_SEC [2]	MD_SEC [1]	MD_SEC [0]
	CROMCTL1	M2F2EDC	MD_DEC[2]	MD_DEC[1]	MD_DEC[0]	-	-	MD_ PQREP[1]	MD_ PQREP[0]
	CROMCTL3	STP_ECC	STP_EDC	-	STP_MD	STP_MIN	-	-	-
	CROMCTL4	-	LINK2	-	EROSEL	NO_ECC	-	-	-
	CROMCTL5	-	-	-	-	-	-	-	MSF_ LBA_SEL
	CROMST0	-	-	ST_SYIL	ST_SYNO	ST_BLKs	ST_BLKL	ST_SECS	ST_SECL
	CROMST1	-	-	-	-	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
	CROMST3	ER2_ SHEAD0	ER2_ SHEAD1	ER2_ SHEAD2	ER2_ SHEAD3	ER2_ SHEAD4	ER2_ SHEAD5	ER2_ SHEAD6	ER2_ SHEAD7
	CROMST4	NG_MD	NG_ MDCMP1	NG_ MDCMP2	NG_ MDCMP3	NG_ MDCMP4	NG_ MDEF	NG_ MDTIM1	NG_ MDTIM2
	CROMST5	ST_AMD[2]	ST_AMD[1]	ST_AMD[0]	ST_MDx	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1
	CROMST6	ST_ERR	-	ST_ ECCABT	ST_ ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
	CBUFST0	BUF_REF	BUF_ACT	-	-	-	-	-	-

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
ROM-DEC	CBUFST1	BUF_ECC	BUF_EDC	-	BUF_MD	BUF_MIN	-	-	-
	CBUFST2	BUF_NG	-	-	-	-	-	-	-
	HEAD00	HEAD00[7]	HEAD00[6]	HEAD00[5]	HEAD00[4]	HEAD00[3]	HEAD00[2]	HEAD00[1]	HEAD00[0]
	HEAD01	HEAD01[7]	HEAD01[6]	HEAD01[5]	HEAD01[4]	HEAD01[3]	HEAD01[2]	HEAD01[1]	HEAD01[0]
	HEAD02	HEAD02[7]	HEAD02[6]	HEAD02[5]	HEAD02[4]	HEAD02[3]	HEAD02[2]	HEAD02[1]	HEAD02[0]
	HEAD03	HEAD03[7]	HEAD03[6]	HEAD03[5]	HEAD03[4]	HEAD03[3]	HEAD03[2]	HEAD03[1]	HEAD03[0]
	SHEAD00	SHEAD00[7]	SHEAD00[6]	SHEAD00[5]	SHEAD00[4]	SHEAD00[3]	SHEAD00[2]	SHEAD00[1]	SHEAD00[0]
	SHEAD01	SHEAD01[7]	SHEAD01[6]	SHEAD01[5]	SHEAD01[4]	SHEAD01[3]	SHEAD01[2]	SHEAD01[1]	SHEAD01[0]
	SHEAD02	SHEAD02[7]	SHEAD02[6]	SHEAD02[5]	SHEAD02[4]	SHEAD02[3]	SHEAD02[2]	SHEAD02[1]	SHEAD02[0]
	SHEAD03	SHEAD03[7]	SHEAD03[6]	SHEAD03[5]	SHEAD03[4]	SHEAD03[3]	SHEAD03[2]	SHEAD03[1]	SHEAD03[0]
	SHEAD04	SHEAD04[7]	SHEAD04[6]	SHEAD04[5]	SHEAD04[4]	SHEAD04[3]	SHEAD04[2]	SHEAD04[1]	SHEAD04[0]
	SHEAD05	SHEAD05[7]	SHEAD05[6]	SHEAD05[5]	SHEAD05[4]	SHEAD05[3]	SHEAD05[2]	SHEAD05[1]	SHEAD05[0]
	SHEAD06	SHEAD06[7]	SHEAD06[6]	SHEAD06[5]	SHEAD06[4]	SHEAD06[3]	SHEAD06[2]	SHEAD06[1]	SHEAD06[0]
	SHEAD07	SHEAD07[7]	SHEAD07[6]	SHEAD07[5]	SHEAD07[4]	SHEAD07[3]	SHEAD07[2]	SHEAD07[1]	SHEAD07[0]
	HEAD20	HEAD20[7]	HEAD20[6]	HEAD20[5]	HEAD20[4]	HEAD20[3]	HEAD20[2]	HEAD20[1]	HEAD20[0]
	HEAD21	HEAD21[7]	HEAD21[6]	HEAD21[5]	HEAD21[4]	HEAD21[3]	HEAD21[2]	HEAD21[1]	HEAD21[0]
	HEAD22	HEAD22[7]	HEAD22[6]	HEAD22[5]	HEAD22[4]	HEAD22[3]	HEAD22[2]	HEAD22[1]	HEAD22[0]
	HEAD23	HEAD23[7]	HEAD23[6]	HEAD23[5]	HEAD23[4]	HEAD23[3]	HEAD23[2]	HEAD23[1]	HEAD23[0]
	SHEAD20	SHEAD20[7]	SHEAD20[6]	SHEAD20[5]	SHEAD20[4]	SHEAD20[3]	SHEAD20[2]	SHEAD20[1]	SHEAD20[0]
	SHEAD21	SHEAD21[7]	SHEAD21[6]	SHEAD21[5]	SHEAD21[4]	SHEAD21[3]	SHEAD21[2]	SHEAD21[1]	SHEAD21[0]
	SHEAD22	SHEAD22[7]	SHEAD22[6]	SHEAD22[5]	SHEAD22[4]	SHEAD22[3]	SHEAD22[2]	SHEAD22[1]	SHEAD22[0]
	SHEAD23	SHEAD23[7]	SHEAD23[6]	SHEAD23[5]	SHEAD23[4]	SHEAD23[3]	SHEAD23[2]	SHEAD23[1]	SHEAD23[0]
	SHEAD24	SHEAD24[7]	SHEAD24[6]	SHEAD24[5]	SHEAD24[4]	SHEAD24[3]	SHEAD24[2]	SHEAD24[1]	SHEAD24[0]
	SHEAD25	SHEAD25[7]	SHEAD25[6]	SHEAD25[5]	SHEAD25[4]	SHEAD25[3]	SHEAD25[2]	SHEAD25[1]	SHEAD25[0]
	SHEAD26	SHEAD26[7]	SHEAD26[6]	SHEAD26[5]	SHEAD26[4]	SHEAD26[3]	SHEAD26[2]	SHEAD26[1]	SHEAD26[0]
	SHEAD27	SHEAD27[7]	SHEAD27[6]	SHEAD27[5]	SHEAD27[4]	SHEAD27[3]	SHEAD27[2]	SHEAD27[1]	SHEAD27[0]
	CBUFCTL0	CBUF_AUT	CBUF_EN	-	CBUF_MD[1]	CBUF_MD[0]	CBUF_TS	CBUF_Q	-
	CBUFCTL1	BS_MIN[7]	BS_MIN[6]	BS_MIN[5]	BS_MIN[4]	BS_MIN[3]	BS_MIN[2]	BS_MIN[1]	BS_MIN[0]
	CBUFCTL2	BS_SEC[7]	BS_SEC[6]	BS_SEC[5]	BS_SEC[4]	BS_SEC[3]	BS_SEC[2]	BS_SEC[1]	BS_SEC[0]
	CBUFCTL3	BS_FRM[7]	BS_FRM[6]	BS_FRM[5]	BS_FRM[4]	BS_FRM[3]	BS_FRM[2]	BS_FRM[1]	BS_FRM[0]
	CROMST0M	-	-	ST_SYILM	ST_SYNOM	ST_BLKSM	ST_BLKLM	ST_SECSM	ST_SECLM
	ROMDECRST	LOGICRST	RAMRST	-	-	-	-	-	-
	RSTSTAT	RAMCLRST	-	-	-	-	-	-	-
	SSI	BYTEND	BITEND	BUFEND0[1]	BUFEND0[0]	BUFEND1[1]	BUFEND1[0]	-	-
INTHOLD	ISEC	ITARG	ISY	IERR	IBUF	IREADY	-	-	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
ROM-DEC	INHINT	INHISEC	INHITARG	INHISY	INHIERR	INHIBUF	INHI READY	PREINH REQDM	PREINHI READY	
	STRMDIN0	STRMDIN [31]	STRMDIN [30]	STRMDIN [29]	STRMDIN [28]	STRMDIN [27]	STRMDIN [26]	STRMDIN [25]	STRMDIN [24]	
		STRMDIN [23]	STRMDIN [22]	STRMDIN [21]	STRMDIN [20]	STRMDIN [19]	STRMDIN [18]	STRMDIN [17]	STRMDIN [16]	
	STRMDIN2	STRMDIN [15]	STRMDIN [14]	STRMDIN [13]	STRMDIN [12]	STRMDIN [11]	STRMDIN [10]	STRMDIN [9]	STRMDIN [8]	
		STRMDIN [7]	STRMDIN [6]	STRMDIN [5]	STRMDIN [4]	STRMDIN [3]	STRMDIN [2]	STRMDIN [1]	STRMDIN [0]	
	STRMDOUT0	STRMDOUT [15]	STRMDOUT [14]	STRMDOUT [13]	STRMDOUT [12]	STRMDOUT [11]	STRMDOUT [10]	STRMDOUT [9]	STRMDOUT [8]	
		STRMDOUT [7]	STRMDOUT [6]	STRMDOUT [5]	STRMDOUT [4]	STRMDOUT [3]	STRMDOUT [2]	STRMDOUT [1]	STRMDOUT [0]	
	ADC	ADDRA								
					-	-	-	-	-	-
		ADDRB								
				-	-	-	-	-	-	
ADDRC										
				-	-	-	-	-	-	
ADDRD										
				-	-	-	-	-	-	
ADDRE										
				-	-	-	-	-	-	
ADDRF										
				-	-	-	-	-	-	
ADDRG										
				-	-	-	-	-	-	
ADDRH										
				-	-	-	-	-	-	
ADCSR		ADF	ADIE	ADST	-	TRGS[3]	TRGS[2]	TRGS[1]	TRGS[0]	
		CKS[1]	CKS[0]	MDS[2]	MDS[1]	MDS[0]	CH[2]	CH[1]	CH[0]	
DAC	DADR0									
	DADR1									
	DACR	DAOE1	DAOE0	DAE	-	-	-	-		

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FLCTL	FLCMNCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	SNAND	QTSEL	-
		FCKSEL	-	ECCPOS[1]	ECCPOS[0]	ACM[1]	ACM[0]	NANDWF	-
		-	-	-	-	CE	-	-	TYPESEL
	FLCMDCR	ADRCNT2	SCTCNT[19]	SCTCNT[18]	SCTCNT[17]	SCTCNT[16]	ADRMD	CDSRC	DOSR
		-	-	SELRW	DOADR	ADRCNT[1]	ADRCNT[0]	DOCMD2	DOCMD1
		SCTCNT[15]	SCTCNT[14]	SCTCNT[13]	SCTCNT[12]	SCTCNT[11]	SCTCNT[10]	SCTCNT[9]	SCTCNT[8]
		SCTCNT[7]	SCTCNT[6]	SCTCNT[5]	SCTCNT[4]	SCTCNT[3]	SCTCNT[2]	SCTCNT[1]	SCTCNT[0]
	FLCMCDR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CMD2[7]	CMD2[6]	CMD2[5]	CMD2[4]	CMD2[3]	CMD2[2]	CMD2[1]	CMD2[0]
		CMD1[7]	CMD1[6]	CMD1[5]	CMD1[4]	CMD1[3]	CMD1[2]	CMD1[1]	CMD1[0]
	FLADR*10	ADR4[7]	ADR4[6]	ADR4[5]	ADR4[4]	ADR4[3]	ADR4[2]	ADR4[1]	ADR4[0]
		ADR3[7]	ADR3[6]	ADR3[5]	ADR3[4]	ADR3[3]	ADR3[2]	ADR3[1]	ADR3[0]
		ADR2[7]	ADR2[6]	ADR2[5]	ADR2[4]	ADR2[3]	ADR2[2]	ADR2[1]	ADR2[0]
		ADR1[7]	ADR1[6]	ADR1[5]	ADR1[4]	ADR1[3]	ADR1[2]	ADR1[1]	ADR1[0]
	FLADR*11	-	-	-	-	-	-	ADR[25]	ADR[24]
		ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]
		ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]
		ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]
	FLADR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		ADR5[7]	ADR5[6]	ADR5[5]	ADR5[4]	ADR5[3]	ADR5[2]	ADR5[1]	ADR5[0]
	FLDTCNTR	ECFLW[7]	ECFLW[6]	ECFLW[5]	ECFLW[4]	ECFLW[3]	ECFLW[2]	ECFLW[1]	ECFLW[0]
		DTFLW[7]	DTFLW[6]	DTFLW[5]	DTFLW[4]	DTFLW[3]	DTFLW[2]	DTFLW[1]	DTFLW[0]
		-	-	-	-	DTCNT[11]	DTCNT[10]	DTCNT[9]	DTCNT[8]
		DTCNT[7]	DTCNT[6]	DTCNT[5]	DTCNT[4]	DTCNT[3]	DTCNT[2]	DTCNT[1]	DTCNT[0]
	FLDATAR	DT4[7]	DT4[6]	DT4[5]	DT4[4]	DT4[3]	DT4[2]	DT4[1]	DT4[0]
		DT3[7]	DT3[6]	DT3[5]	DT3[4]	DT3[3]	DT3[2]	DT3[1]	DT3[0]
		DT2[7]	DT2[6]	DT2[5]	DT2[4]	DT2[3]	DT2[2]	DT2[1]	DT2[0]
		DT1[7]	DT1[6]	DT1[5]	DT1[4]	DT1[3]	DT1[2]	DT1[1]	DT1[0]
	FLINTDMACR	-	-	-	-	-	-	-	ECERINTE
		-	-	FIFOTRG [1]	FIFOTRG [0]	AC1CLR	AC0CLR	DREQ1EN	DREQ0EN
		-	-	-	-	-	-	ECERB	STERB
		BTOERB	TRREQF1	TRREQF0	STERINTE	RBERINTE	TEINTE	TRINTE1	TRINTE0

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FLCTL	FLBSYTMR	-	-	-	-	-	-	-	-
		-	-	-	-	RBTMOUT [19]	RBTMOUT [18]	RBTMOUT [17]	RBTMOUT [16]
		RBTMOUT [15]	RBTMOUT [14]	RBTMOUT [13]	RBTMOUT [12]	RBTMOUT [11]	RBTMOUT [10]	RBTMOUT [9]	RBTMOUT [8]
		RBTMOUT [7]	RBTMOUT [6]	RBTMOUT [5]	RBTMOUT [4]	RBTMOUT [3]	RBTMOUT [2]	RBTMOUT [1]	RBTMOUT [0]
	FLBSYCNT	STAT[7]	STAT[6]	STAT[5]	STAT[4]	STAT[3]	STAT[2]	STAT[1]	STAT[0]
		-	-	-	-	RBTIMCNT [19]	RBTIMCNT [18]	RBTIMCNT [17]	RBTIMCNT [16]
		RBTIMCNT [15]	RBTIMCNT [14]	RBTIMCNT [13]	RBTIMCNT [12]	RBTIMCNT [11]	RBTIMCNT [10]	RBTIMCNT [9]	RBTIMCNT [8]
		RBTIMCNT [7]	RBTIMCNT [6]	RBTIMCNT [5]	RBTIMCNT [4]	RBTIMCNT [3]	RBTIMCNT [2]	RBTIMCNT [1]	RBTIMCNT [0]
	FLDTFIFO	DTFO[31]	DTFO[30]	DTFO[29]	DTFO[28]	DTFO[27]	DTFO[26]	DTFO[25]	DTFO[24]
		DTFO[23]	DTFO[22]	DTFO[21]	DTFO[20]	DTFO[19]	DTFO[18]	DTFO[17]	DTFO[16]
		DTFO[15]	DTFO[14]	DTFO[13]	DTFO[12]	DTFO[11]	DTFO[10]	DTFO[9]	DTFO[8]
		DTFO[7]	DTFO[6]	DTFO[5]	DTFO[4]	DTFO[3]	DTFO[2]	DTFO[1]	DTFO[0]
	FLECFIFO	ECFO[31]	ECFO[30]	ECFO[29]	ECFO[28]	ECFO[27]	ECFO[26]	ECFO[25]	ECFO[24]
		ECFO[23]	ECFO[22]	ECFO[21]	ECFO[20]	ECFO[19]	ECFO[18]	ECFO[17]	ECFO[16]
		ECFO[15]	ECFO[14]	ECFO[13]	ECFO[12]	ECFO[11]	ECFO[10]	ECFO[9]	ECFO[8]
		ECFO[7]	ECFO[6]	ECFO[5]	ECFO[4]	ECFO[3]	ECFO[2]	ECFO[1]	ECFO[0]
	FLTRCR	-	-	-	-	-	-	TREND	TRSTRT
	USB	SYSCFG	-	-	-	-	-	-	-
			HSE	DCFM	DMRPD	DRPU	-	FSRPC	-
		SYSSTS	-	-	-	-	-	-	-
-			-	SOFEN	-	-	-	LNST[1]	LNST[0]
DVSTCTR		UACKEY0	-	-	UACKEY1	-	-	-	WKUP
		RWUPE	USBRST	RESUME	UACT	-	-	RHST[1]	RHST[0]
TESTMODE		HOSTPCC	-	-	-	-	-	-	-
		-	-	-	-	UTST[3]	UTST[2]	UTST[1]	UTST[0]
CFBCFG		-	-	-	-	-	-	-	-
		-	-	-	-	FWAIT[3]	FWAIT[2]	FWAIT[1]	FWAIT[0]
D0FBCFG		-	-	-	-	-	-	TENDE	FEND
		-	-	-	-	FWAIT[3]	FWAIT[2]	FWAIT[1]	FWAIT[0]
D1FBCFG		-	-	-	-	-	-	TENDE	FEND
		-	-	-	-	FWAIT[3]	FWAIT[2]	FWAIT[1]	FWAIT[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB	CFIFO	FIFOPORT [31]	FIFOPORT [30]	FIFOPORT [29]	FIFOPORT [28]	FIFOPORT [27]	FIFOPORT [26]	FIFOPORT [25]	FIFOPORT [24]	
		FIFOPORT [23]	FIFOPORT [22]	FIFOPORT [21]	FIFOPORT [20]	FIFOPORT [19]	FIFOPORT [18]	FIFOPORT [17]	FIFOPORT [16]	
		FIFOPORT [15]	FIFOPORT [14]	FIFOPORT [13]	FIFOPORT [12]	FIFOPORT [11]	FIFOPORT [10]	FIFOPORT [9]	FIFOPORT [8]	
		FIFOPORT [7]	FIFOPORT [6]	FIFOPORT [5]	FIFOPORT [4]	FIFOPORT [3]	FIFOPORT [2]	FIFOPORT [1]	FIFOPORT [0]	
	D0FIFO	FIFOPORT [31]	FIFOPORT [30]	FIFOPORT [29]	FIFOPORT [28]	FIFOPORT [27]	FIFOPORT [26]	FIFOPORT [25]	FIFOPORT [24]	FIFOPORT [24]
		FIFOPORT [23]	FIFOPORT [22]	FIFOPORT [21]	FIFOPORT [20]	FIFOPORT [19]	FIFOPORT [18]	FIFOPORT [17]	FIFOPORT [16]	FIFOPORT [16]
		FIFOPORT [15]	FIFOPORT [14]	FIFOPORT [13]	FIFOPORT [12]	FIFOPORT [11]	FIFOPORT [10]	FIFOPORT [9]	FIFOPORT [8]	FIFOPORT [8]
		FIFOPORT [7]	FIFOPORT [6]	FIFOPORT [5]	FIFOPORT [4]	FIFOPORT [3]	FIFOPORT [2]	FIFOPORT [1]	FIFOPORT [0]	FIFOPORT [0]
	D1FIFO	FIFOPORT [31]	FIFOPORT [30]	FIFOPORT [29]	FIFOPORT [28]	FIFOPORT [27]	FIFOPORT [26]	FIFOPORT [25]	FIFOPORT [24]	FIFOPORT [24]
		FIFOPORT [23]	FIFOPORT [22]	FIFOPORT [21]	FIFOPORT [20]	FIFOPORT [19]	FIFOPORT [18]	FIFOPORT [17]	FIFOPORT [16]	FIFOPORT [16]
		FIFOPORT [15]	FIFOPORT [14]	FIFOPORT [13]	FIFOPORT [12]	FIFOPORT [11]	FIFOPORT [10]	FIFOPORT [9]	FIFOPORT [8]	FIFOPORT [8]
		FIFOPORT [7]	FIFOPORT [6]	FIFOPORT [5]	FIFOPORT [4]	FIFOPORT [3]	FIFOPORT [2]	FIFOPORT [1]	FIFOPORT [0]	FIFOPORT [0]
	CFIFOSEL	RCNT	REW	-	-	MBW[1]	MBW[0]	-	-	-
		-	-	ISEL	-	-	CURPIPE [2]	CURPIPE [1]	CURPIPE [0]	CURPIPE [0]
	CFIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]	DTLN[0]
	CFIFOSIE	TGL	SCLR	SBUSY	-	-	-	-	-	-
		-	-	-	-	-	-	-	-	-
	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	TRENB	TRCLR	TRCLR
		DEZPM	-	-	-	-	CURPIPE [2]	CURPIPE [1]	CURPIPE [0]	CURPIPE [0]
	D0FIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]	DTLN[0]
	D0FIFOTRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]	TRNCNT[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	TRENB	TRCLR
		DEZPM	-	-	-	-	CURPIPE [2]	CURPIPE [1]	CURPIPE [0]
	D1FIFOCTR	BVAL	BCLR	FRDY	-	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	D1FIFOTRN	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		URST	SADR	SCFG	SUSP	WDST	RDST	CMPL	SERR
	INTENB1	-	BCHGE	-	DTCHE	-	-	-	-
		-	-	SIGNE	SACKE	-	BRDYM	-	-
	BRDYENB	-	-	-	-	-	-	-	-
		PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
	NRDYENB	-	-	-	-	-	-	-	-
		PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
	BEMPENB	-	-	-	-	-	-	-	-
		PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
	INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2]	DVSQ[1]	DVSQ[0]	VALID	CTSQ[2]	CTSQ[1]	CTSQ[0]
	INTSTS1	-	BCHG	SOFR	DTCH	-	BEMP	NRDY	BRDY
		-	-	SIGN	SACK	-	-	-	-
	BRDYSTS	-	-	-	-	-	-	-	-
		PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
	NRDYSTS	-	-	-	-	-	-	-	-
		PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
	BEMPSTS	-	-	-	-	-	-	-	-
		PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
	FRMNUM	OV RN	CRCE	-	-	SOF RM	FRNM[10]	FRNM[9]	FRNM[8]
		FRNM[7]	FRNM[6]	FRNM[5]	FRNM[4]	FRNM[3]	FRNM[2]	FRNM[1]	FRNM[0]
	UFRMNUM	-	-	-	-	-	-	-	-
		-	-	-	-	-	UFRNM[2]	UFRNM[1]	UFRNM[0]
	USBADDR	-	-	-	-	-	-	-	-
		-	USBADDR [6]	USBADDR [5]	USBADDR [4]	USBADDR [3]	USBADDR [2]	USBADDR [1]	USBADDR [0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
USB	USBREQ	BREQUEST [7]	BREQUEST [6]	BREQUEST [5]	BREQUEST [4]	BREQUEST [3]	BREQUEST [2]	BREQUEST [1]	BREQUEST [0]
		BMREQUE STTYPE[7]	BMREQUE STTYPE[6]	BMREQUE STTYPE[5]	BMREQUE STTYPE[4]	BMREQUE STTYPE[3]	BMREQUE STTYPE[2]	BMREQUE STTYPE[1]	BMREQUE STTYPE[0]
	USBVAL	WVALUE[15]	WVALUE[14]	WVALUE[13]	WVALUE[12]	WVALUE[11]	WVALUE[10]	WVALUE[9]	WVALUE[8]
		WVALUE[7]	WVALUE[6]	WVALUE[5]	WVALUE[4]	WVALUE[3]	WVALUE[2]	WVALUE[1]	WVALUE[0]
	USBINDX	WINDEX[15]	WINDEX[14]	WINDEX[13]	WINDEX[12]	WINDEX[11]	WINDEX[10]	WINDEX[9]	WINDEX[8]
		WINDEX[7]	WINDEX[6]	WINDEX[5]	WINDEX[4]	WINDEX[3]	WINDEX[2]	WINDEX[1]	WINDEX[0]
	USBLENG	WLENGTH [15]	WLENGTH [14]	WLENGTH [13]	WLENGTH [12]	WLENGTH [11]	WLENGTH [10]	WLENGTH [9]	WLENGTH [8]
		WLENGTH [7]	WLENGTH [6]	WLENGTH [5]	WLENGTH [4]	WLENGTH [3]	WLENGTH [2]	WLENGTH [1]	WLENGTH [0]
	DCPCFG	-	-	-	-	-	-	-	CNTMD
		SHTNAK	-	-	DIR	-	-	-	-
	DCPMAXP	DEVSEL[1]	DEVSEL[0]	-	-	-	-	-	-
		-	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	DCPCTR	BSTS	SUREQ	-	-	-	-	-	SQCLR
		SQSET	SQMON	-	-	-	CCPL	PID[1]	PID[0]
	PIPESEL	-	-	-	-	-	-	-	-
		-	-	-	-	-	PIPESEL[2]	PIPESEL[1]	PIPESEL[0]
	PIPECFG	TYPE[1]	TYPE[0]	-	-	-	BFRE	DBLB	CNTMD
		SHTNAK	-	-	DIR	EPNUM[3]	EPNUM[2]	EPNUM[1]	EPNUM[0]
	PIPEBUF	-	BUFSIZE[4]	BUFSIZE[3]	BUFSIZE[2]	BUFSIZE[1]	BUFSIZE[0]	-	-
		-	BUFNMB[6]	BUFNMB[5]	BUFNMB[4]	BUFNMB[3]	BUFNMB[2]	BUFNMB[1]	BUFNMB[0]
	PIPEMAXP	DEVSEL[1]	DEVSEL[0]	-	-	-	MXPS[10]	MXPS[9]	MXPS[8]
		MXPS[7]	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	PIPEPERI	-	-	-	IFIS	-	-	-	-
		-	-	-	-	-	IITV[2]	IITV[1]	IITV[0]
	PIPE1CTR	BSTS	INBUFM	-	-	-	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	-	-	-	-	PID[1]	PID[0]
	PIPE2CTR	BSTS	INBUFM	-	-	-	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	-	-	-	-	PID[1]	PID[0]
	PIPE3CTR	BSTS	INBUFM	-	-	-	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	-	-	-	-	PID[1]	PID[0]
	PIPE4CTR	BSTS	INBUFM	-	-	-	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	-	-	-	-	PID[1]	PID[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
USB	PIPE5CTR	BSTS	INBUFM	-	-	-	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	-	-	-	-	PID[1]	PID[0]	
	PIPE6CTR	BSTS	INBUFM	-	-	-	-	ACLRM	SQCLR	
		SQSET	SQMON	-	-	-	-	PID[1]	PID[0]	
	PIPE7CTR	BSTS	INBUFM	-	-	-	-	ACLRM	SQCLR	
		SQSET	SQMON	-	-	-	-	PID[1]	PID[0]	
	USBACSWR	-	-	-	-	-	-	-	-	
		UACS23	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
		-	-	-	-	-	-	-	-	
	LCDC	LDICKR	-	-	ICKSEL1	ICKSEL0	-	-	-	-
			-	-	DCDR5	DCDR4	DCDR3	DCRD2	DCRD1	DCDR0
LDMTR		FLMPOL	CL1POL	DISPPOL	DPOL	-	MCNT	CL1CNT	CL2CNT	
		-	-	MIFTYP5	MIFTYP4	MIFTYP3	MIFTYP2	MIFTYP1	MIFTYP0	
LDDFR		-	-	-	-	-	-	-	PABD	
		-	DSPCOLOR 6	DSPCOLOR 5	DSPCOLOR 4	DSPCOLOR 3	DSPCOLOR 2	DSPCOLOR 1	DSPCOLOR 0	
LDSMR		-	-	ROT	-	-	-	AU1	AU0	
		-	-	-	-	-	-	-	-	
LDSARU		-	-	-	-	-	-	SAU25	SAU24	
		SAU23	SAU22	SAU21	SAU20	SAU19	SAU18	SAU17	SAU16	
		SAU15	SAU14	SAU13	SAU12	SAU11	SAU10	SAU9	SAU8	
		SAU7	SAU6	SAU5	SAU4	-	-	-	-	
LDSARL		-	-	-	-	-	-	SAL25	SAL24	
		SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16	
		SAL15	SAL14	SAL13	SAL12	SAL11	SAL10	SAL9	SAL8	
		SAL7	SAL6	SAL5	SAL4	-	-	-	-	
LDLAOR		LAO15	LAO14	LAO13	LAO12	LAO11	LAO10	LAO9	LAO8	
		LAO7	LAO6	LAO5	LAO4	LAO3	LAO2	LAO1	LAO0	
LDPALCR		-	-	-	-	-	-	-	-	
		-	-	-	PALS	-	-	-	PALEN	
LDPRnn (nn = 00 ~ FF)		-	-	-	-	-	-	-	-	
		PALDnn23	PALDnn22	PALDnn21	PALDnn20	PALDnn19	PALDnn18	PALDnn17	PALDnn16	
		PALDnn15	PALDnn14	PALDnn13	PALDnn12	PALDnn11	PALDnn10	PALDnn9	PALDnn8	
		PALDnn7	PALDnn6	PALDnn5	PALDnn4	PALDnn3	PALDnn2	PALDnn1	PALDnn0	
LDHCNR		HDCN7	HDCN6	HDCN5	HDCN4	HDCN3	HDCN2	HDCN1	HDCN0	
		HTCN7	HTCN6	HTCN5	HTCN4	HTCN3	HTCN2	HTCN1	HTCN0	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
LCDC	LDHSYNR	HSYNW3	HSYNW2	HSYNW1	HSYNW0	-	-	-	-
		HSYNP7	HSYNP6	HSYNP5	HSYNP4	HSYNP3	HSYNP2	HSYNP1	HSYNP0
	LDVDLNR	-	-	-	-	-	VDLN10	VDLN9	VDLN8
		VDLN7	VDLN6	VDLN5	VDLN4	VDLN3	VDLN2	VDLN1	VDLN0
	LDVTLNR	-	-	-	-	-	VTLN10	VTLN9	VTLN8
		VTLN7	VTLN6	VTLN5	VTLN4	VTLN3	VTLN2	VTLN1	VTLN0
	LDVSYNR	VSYNW3	VSYNW2	VSYNW1	VSYNW0	-	VSYNP10	VSYNP9	VSYNP8
		VSYNP7	VSYNP6	VSYNP5	VSYNP4	VSYNP3	VSYNP2	VSYNP1	VSYNP0
	LDACLR	-	-	-	-	-	-	-	-
		-	-	-	ACLN4	ACLN3	ACLN2	ACLN1	ACLN0
	LDINTR	MINTEN	FINTEN	VSINTEN	VEINTEN	MINTS	FINTS	VSINTS	VEINTS
		-	-	-	-	-	-	-	-
	LDPMMR	OCN3	OCN2	OCN1	OCN0	OFFD3	OFFD2	OFFD1	OFFD0
		-	VCPE	VEPE	DONE	-	-	LPS1	LPS0
	LDPSPR	ONA3	ONA2	ONA1	ONA0	ONB3	ONB2	ONB1	ONB0
		OFFE3	OFFE2	OFFE1	OFFE0	OFFF3	OFFF2	OFFF1	OFFF0
	LDCNTR	-	-	-	-	-	-	-	-
		-	-	-	DON2	-	-	-	DON
	LDUINTR	-	-	-	-	-	-	-	UINTEN
		-	-	-	-	-	-	-	UINTS
	LDUINLNR	-	-	-	-	-	UINL10	UINL9	UINL8
		UINL7	UINL6	UINL5	UINL4	UINL3	UINL2	UINL1	UINL0
	LDLIRNR	-	-	-	-	-	-	-	-
		LIRN7	LIRN6	LIRN5	LIRN4	LIRN3	LIRN2	LIRN17	LIRN0
SRC	SRCID								
	SRCOD								
	SRCIDCTRL	-	-	-	-	-	-	IED	IEN
		-	-	-	-	-	-	IFTRG[1]	IFTRG[0]
	SRCODCTRL	-	-	-	-	-	-	OCH	OED
		-	-	-	-	-	-	OFTRG[1]	OFTRG[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
SRC	SRCCTRL	-	-	-	SRCEEN	-	EEN	FL	CL
		IFS[3]	IFS[2]	IFS[1]	IFS[0]	-	-	-	OFS
	SRCSTAT	OFDN[3]	OFDN[2]	OFDN[1]	OFDN[0]	IFDN[4]	IFDN[3]	IFDN[2]	IFDN[1]
		IFDN[0]	-	-	FLF	-	OVF	IINT	OINT
PFC	PBIORL	-	-	-	-	PB11IOR	PB10IOR	PB9IOR	PB8IOR
		-	-	-	-	-	-	-	-
	PBCRL4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	PB12MD[1]	PB12MD[0]
	PBCRL3	-	-	PB11MD[1]	PB11MD[0]	-	-	PB10MD[1]	PB10MD[0]
		-	-	PB9MD[1]	PB9MD[0]	-	-	PB8MD[1]	PB8MD[0]
	PBCRL2	-	-	PB7MD[1]	PB7MD[0]	-	-	PB6MD[1]	PB6MD[0]
		-	-	PB5MD[1]	PB5MD[0]	-	-	PB4MD[1]	PB4MD[0]
	PBCRL1	-	-	PB3MD[1]	PB3MD[0]	-	-	PB2MD[1]	PB2MD[0]
		-	-	PB1MD[1]	PB1MD[0]	-	-	PB0MD[1]	PB0MD[0]
	IFCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	PB12IRQ1	PB12IRQ0
	PCIORL	-	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR
	PCCRL4	-	-	-	-	-	-	-	PC14MD[0]
		-	-	-	PC13MD[0]	-	-	-	PC12MD[0]
	PCCRL3	-	-	PC11MD[1]	PC11MD[0]	-	-	PC10MD[1]	PC10MD[0]
		-	-	-	PC9MD[0]	-	-	-	PC8MD[0]
	PCCRL2	-	-	-	PC7MD[0]	-	-	-	PC6MD[0]
		-	-	-	PC5MD[0]	-	-	-	PC4MD[0]
	PCCRL1	-	-	-	PC3MD[0]	-	-	-	PC2MD[0]
		-	-	-	PC1MD[0]	-	-	PC0MD[1]	PC0MD[0]
	PDIORL	PD15IOR	PD14IOR	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR
		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
	PDCRL4	-	PD15MD[2]	PD15MD[1]	PD15MD[0]	-	PD14MD[2]	PD14MD[1]	PD14MD[0]
		-	PD13MD[2]	PD13MD[1]	PD13MD[0]	-	PD12MD[2]	PD12MD[1]	PD12MD[0]
	PDCRL3	-	PD11MD[2]	PD11MD[1]	PD11MD[0]	-	PD10MD[2]	PD10MD[1]	PD10MD[0]
		-	PD9MD[2]	PD9MD[1]	PD9MD[0]	-	PD8MD[2]	PD8MD[1]	PD8MD[0]
	PDCRL2	-	PD7MD[2]	PD7MD[1]	PD7MD[0]	-	PD6MD[2]	PD6MD[1]	PD6MD[0]
		-	PD5MD[2]	PD5MD[1]	PD5MD[0]	-	PD4MD[2]	PD4MD[1]	PD4MD[0]
	PDCRL1	-	PD3MD[2]	PD3MD[1]	PD3MD[0]	-	PD2MD[2]	PD2MD[1]	PD2MD[0]
		-	PD1MD[2]	PD1MD[1]	PD1MD[0]	-	PD0MD[2]	PD0MD[1]	PD0MD[0]

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
PFC	PEIORL	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	
		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
	PECRL4	-	-	PE15MD[1]	PE15MD[0]	-	-	PE14MD[1]	PE14MD[0]	
		-	-	PE13MD[1]	PE13MD[0]	-	-	PE12MD[1]	PE12MD[0]	
	PECRL3	-	PE11MD[2]	PE11MD[1]	PE11MD[0]	-	PE10MD[2]	PE10MD[1]	PE10MD[0]	
		-	-	PE9MD[1]	PE9MD[0]	-	-	PE8MD[1]	PE8MD[0]	
	PECRL2	-	PE7MD[2]	PE7MD[1]	PE7MD[0]	-	PE6MD[2]	PE6MD[1]	PE6MD[0]	
		-	PE5MD[2]	PE5MD[1]	PE5MD[0]	-	PE4MD[2]	PE4MD[1]	PE4MD[0]	
	PECRL1	-	-	PE3MD[1]	PE3MD[0]	-	-	PE2MD[1]	PE2MD[0]	
		-	-	PE1MD[1]	PE1MD[0]	-	PE0MD[2]	PE0MD[1]	PE0MD[0]	
	PFIORH	-	PF30IOR	PF29IOR	PF28IOR	PF27IOR	PF26IOR	PF25IOR	PF24IOR	
		PF23IOR	PF22IOR	PF21IOR	PF20IOR	PF19IOR	PF18IOR	PF17IOR	PF16IOR	
	PFIORL	PF15IOR	PF14IOR	PF13IOR	PF12IOR	PF11IOR	PF10IOR	PF9IOR	PF8IOR	
		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR	
	PFCRH4	-	-	-	-	-	-	-	PF30MD[0]	
		-	-	-	PF29MD[0]	-	-	-	PF28MD[0]	
	PFCRH3	-	-	-	PF27MD[0]	-	-	-	PF26MD[0]	
		-	-	-	PF25MD[0]	-	-	-	PF24MD[0]	
	PFCRH2	-	-	PF23MD[1]	PF23MD[0]	-	-	PF22MD[1]	PF22MD[0]	
		-	-	PF21MD[1]	PF21MD[0]	-	-	PF20MD[1]	PF20MD[0]	
	PFCRH1	-	-	PF19MD[1]	PF19MD[0]	-	-	PF18MD[1]	PF18MD[0]	
		-	-	PF17MD[1]	PF17MD[0]	-	-	PF16MD[1]	PF16MD[0]	
	PFCRL4	-	-	PF15MD[1]	PF15MD[0]	-	-	PF14MD[1]	PF14MD[0]	
		-	-	PF13MD[1]	PF13MD[0]	-	-	PF12MD[1]	PF12MD[0]	
	PFCRL3	-	-	PF11MD[1]	PF11MD[0]	-	-	PF10MD[1]	PF10MD[0]	
		-	-	PF9MD[1]	PF9MD[0]	-	-	PF8MD[1]	PF8MD[0]	
	PFCRL2	-	-	PF7MD[1]	PF7MD[0]	-	-	PF6MD[1]	PF6MD[0]	
		-	-	PF5MD[1]	PF5MD[0]	-	-	PF4MD[1]	PF4MD[0]	
	PFCRL1	-	-	PF3MD[1]	PF3MD[0]	-	-	PF2MD[1]	PF2MD[0]	
		-	-	PF1MD[1]	PF1MD[0]	-	-	PF0MD[1]	PF0MD[0]	
	SCSR	-	S3CKS2	S3CKS1	S3CKS0	-	S2CKS2	S2CKS1	S2CKS0	
		-	S1CKS2	S1CKS1	S1CKS0	-	S0CKS2	S0CKS1	S0CKS0	
	I/O ポート	PADRL	-	-	-	-	-	-	-	
			PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
		PBDRL	-	-	-	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR
			PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0	
I/O ポート	PBPRL	-	-	-	-	PB11PR	PB10PR	PB9PR	PB8PR	
		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR	
	PCDRL	-	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
	PCPRL	-	PC14PR	PC13PR	PC12PR	PC11PR	PC10PR	PC9PR	PC8PR	
		PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR	
	PDDRDL	PD15DR	PD14DR	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	
		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
	PDPRL	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	
		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR	
	PEDRL	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	
		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
	PEPRL	PE15PR	PE14PR	PE13PR	PE12PR	PE11PR	PE10PR	PE9PR	PE8PR	
		PE7PR	PE6PR	PE5PR	PE4PR	PE3PR	PE2PR	PE1PR	PE0PR	
	PFDRH	-	PF30DR	PF29DR	PF28DR	PF27DR	PF26DR	PF25DR	PF24DR	
		PF23DR	PF22DR	PF21DR	PF20DR	PF19DR	PF18DR	PF17DR	PF16DR	
	PFDRDL	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	
		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
	PFPRH	-	PF30PR	PF29PR	PF28PR	PF27PR	PF26PR	PF25PR	PF24PR	
		PF23PR	PF22PR	PF21PR	PF20PR	PF19PR	PF18PR	PF17PR	PF16PR	
	PFPRDL	PF15PR	PF14PR	PF13PR	PF12PR	PF11PR	PF10PR	PF9PR	PF8PR	
		PF7PR	PF6PR	PF5PR	PF4PR	PF3PR	PF2PR	PF1PR	PF0PR	
	低消費電力 モード	STBCR	STBY	DEEP	-	-	-	-	-	-
		STBCR2	MSTP10	MSTP9	MSTP8	MSTP7	-	-	-	-
		STBCR3	HIZ	MSTP36	MSTP35	MSTP34	MSTP33	MSTP32	MSTP31	MSTP30
		STBCR4	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	MSTP41	MSTP40
		STBCR5	MSTP57	MSTP56	MSTP55	MSTP54	MSTP53	MSTP52	MSTP51	MSTP50
		STBCR6	MSTP67	MSTP66	MSTP65	MSTP64	MSTP63	MSTP62	-	MSTP60
		SYSCR1	-	-	-	-	RAME3	RAME2	RAME1	RAME0
		SYSCR2	-	-	-	-	RAMWE3	RAMWE2	RAMWE1	RAMWE0
		SYSCR3	AXTALE	-	-	IEBSRST	SSI3SRST	SSI2SRST	SSI1SRST	SSI0SRST
		DSCTR	-	-	-	-	RAMKP3	RAMKP2	RAMKP1	RAMKP0
DSCTR2		CS0KEEPE	RAMBOOT	-	-	-	-	-	-	
DSSSR		-	-	-	-	-	-	-	MRES	
		IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0	

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
低消費電力モード	DSFR	IOKEEP	-	-	-	-	-	MRESF	NMIF
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	DSRTR	-	TRMD[6]	TRMD[5]	TRMD[4]	TRMD[3]	TRMD[2]	TRMD[1]	TRMD[0]
H-UDI	SDIR	TI[7]	TI[6]	TI[5]	TI[4]	TI[3]	TI[2]	TI[1]	TI[0]
		-	-	-	-	-	-	-	-

- 【注】 \*1 メモリ種類指定が、通常空間、バイト選択付き SRAM、アドレス/データマルチプレクス I/O (MPX-IO) のときです。
- \*2 メモリ種類指定が、バースト ROM (クロック非同期) のときです。
- \*3 メモリ種類指定が、バースト ROM (クロック同期) のときです。
- \*4 メモリ種類指定が、通常空間、バイト選択付き SRAM のときです。
- \*5 メモリ種類指定が、SDRAM のときです。
- \*6 メモリ種類指定が、PCMCIA のときです。
- \*7 メモリ種類指定が、バースト MPX-IO のときです。
- \*8 MCR15 = 0 の場合です。
- \*9 MCR15 = 1 の場合です。
- \*10 コマンドアクセスモード時
- \*11 セクタアクセスモード時

## 34.3 各動作モードにおけるレジスタの状態の一覧

モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ スタンバイ
CPG	FRQCR	初期化 <sup>*1</sup>	保持	初期化	保持	-	保持
INTC	IBNR	初期化	保持 <sup>*2</sup>	初期化	保持	-	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	-	保持
UBC	全レジスタ	初期化	保持	初期化	保持	保持	保持
キャッシュ	全レジスタ	初期化	保持	初期化	保持	-	保持
BSC	RTCSR	初期化	保持 <sup>*3</sup>	初期化	保持	-	保持 <sup>*3</sup>
	RTCNT	初期化	保持 <sup>*4</sup>	初期化	保持	-	保持 <sup>*4</sup>
	上記以外の全レジスタ	初期化	保持	初期化	保持	-	保持
DMAC	全レジスタ	初期化	保持	初期化	保持	保持	保持 <sup>*5</sup>
MTU2	全レジスタ	初期化	保持	初期化	保持	初期化	保持
CMT	全レジスタ	初期化	保持	初期化	初期化	保持	保持
WDT	WRCSR	初期化 <sup>*1</sup>	保持	初期化	保持	-	保持
	上記以外の全レジスタ	初期化	初期化	初期化	保持	-	保持
RTC	R64CNT	保持 <sup>*4</sup>	保持 <sup>*4</sup>	保持 <sup>*4</sup>	保持 <sup>*4</sup>	保持	保持 <sup>*4</sup>
	RSECCNT						
	RMINCNT						
	RHRCNT						
	RWKCNT						
	RDAYCNT						
	RMONCNT						
	RYRCNT						
	RSECAR	初期化	保持	初期化	保持	保持	保持
	RMINAR						
	RHRAR						
	RWKAR						
	RDAYAR						
	RMONAR						
	RYRAR						
	RCR1	初期化	初期化	初期化	保持	保持	保持
	RCR2	初期化	初期化 <sup>*6</sup>	初期化	保持	保持	保持
	RCR3	初期化	保持	初期化	保持	保持	保持
	全レジスタ	初期化	保持	初期化	保持	保持	保持
SCIF	全レジスタ	初期化	保持	初期化	保持	保持	保持
SSU	全レジスタ	初期化	保持	初期化	初期化	初期化	保持

モジュール	レジスタ名	パワーオン リセット	マニュアル リセット	ディープ スタンバイ	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
IIC3	ICMR_0、1、2、3	初期化	保持	初期化	保持*7	保持*7	保持
	上記以外の全レジスタ	初期化	保持	初期化	保持	保持	保持
SSI	全レジスタ	初期化	保持	初期化	保持	保持	保持
RCAN-TL1	全レジスタ	初期化	保持	初期化	保持	保持	保持
IEB	全レジスタ	初期化	保持	初期化	保持	保持	保持
ROM-DEC	全レジスタ	初期化	保持	初期化	保持	保持	保持
ADC	全レジスタ	初期化	保持	初期化	初期化	初期化	保持
DAC	全レジスタ	初期化	保持	初期化	保持	初期化	保持
FLCTL	全レジスタ	初期化	保持	初期化	保持	保持	保持
USB	全レジスタ	初期化	保持	初期化	保持	保持	保持
LCDC	全レジスタ	初期化	保持	初期化	保持	保持	保持
PFC	全レジスタ	初期化	保持	初期化	保持	-	保持
I/Oポート	全レジスタ*8	初期化	保持	初期化	保持	-	保持
低消費電力 モード	STBCR	初期化	保持	初期化	保持	-	保持
	STBCR2	初期化	保持	初期化	保持	-	保持
	SYSCR1	初期化	保持	初期化	保持	-	保持
	SYSCR2	初期化	保持	初期化	保持	-	保持
	SYSCR3	初期化	保持	初期化	保持	-	保持
	STBCR3	初期化	保持	初期化	保持	-	保持
	STBCR4	初期化	保持	初期化	保持	-	保持
	STBCR5	初期化	保持	初期化	保持	-	保持
	STBCR6	初期化	保持	初期化	保持	-	保持
	DSCTR	初期化	保持	初期化	保持	-	保持
	DSCTR2	初期化	保持	保持	保持	-	保持
	DSSSR	初期化	保持	初期化	保持	-	保持
	DSFR	初期化	保持	保持	保持	-	保持
	DSRTR	初期化*10	保持	初期化	保持	-	保持
H-UDI*9	SDIR	保持	保持	初期化	保持	保持	保持
SRC	全レジスタ	初期化	保持	初期化	保持	保持	保持

- 【注】
- \*1 WDT による内部パワーオンリセットでは保持
  - \*2 BN[3:0]ビットは初期化
  - \*3 フラグ処理続行
  - \*4 カウントアップ続行
  - \*5 転送動作継続可能
  - \*6 RTCEN、START ビットは保持
  - \*7 BC[2:0]ビットは初期化
  - \*8 PADRL およびポートレジスタは端子状態読み出し用のため初期化も保持もなし
  - \*9  $\overline{\text{TRST}}$  のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化
  - \*10  $\overline{\text{RES}}$  のアサートで初期化、H-UDI リセットアサートコマンド、WDT による内部パワーオンリセットでは保持

---

## 35. 電気的特性

---

### 35.1 絶対最大定格

表 35.1 絶対最大定格

項目	記号	定格値	単位	
電源電圧 (I/O)	PVcc	- 0.3 ~ 4.6	V	
電源電圧 (内部)	Vcc	- 0.3 ~ 1.7	V	
PLL 電源電圧	PLLVcc	- 0.3 ~ 1.7	V	
アナログ電源電圧	AVcc	- 0.3 ~ 4.6	V	
アナログ基準電圧	AVref	- 0.3 ~ AVcc + 0.3	V	
USB トランシーバ部アナログ電源電圧 (I/O)	USBAPVcc	- 0.3 ~ 4.6	V	
USB トランシーバ部デジタル電源電圧 (I/O)	USBDPVcc	- 0.3 ~ 4.6	V	
USB トランシーバ部アナログ電源電圧 (内部)	USBAVcc	- 0.3 ~ 1.7	V	
USB トランシーバ部デジタル電源電圧 (内部)	USBDVcc	- 0.3 ~ 1.7	V	
入力電圧	アナログ入力端子	V <sub>AN</sub>	- 0.3 ~ AVcc + 0.3	V
	VBUS	V <sub>in</sub>	- 0.3 ~ 5.5	V
	その他の入力端子	V <sub>in</sub>	- 0.3 ~ PVcc + 0.3	V
動作温度	T <sub>opr</sub>	- 40 ~ 85		
保存温度	T <sub>stg</sub>	- 55 ~ 125		

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 35.2 電源投入・切断シーケンス

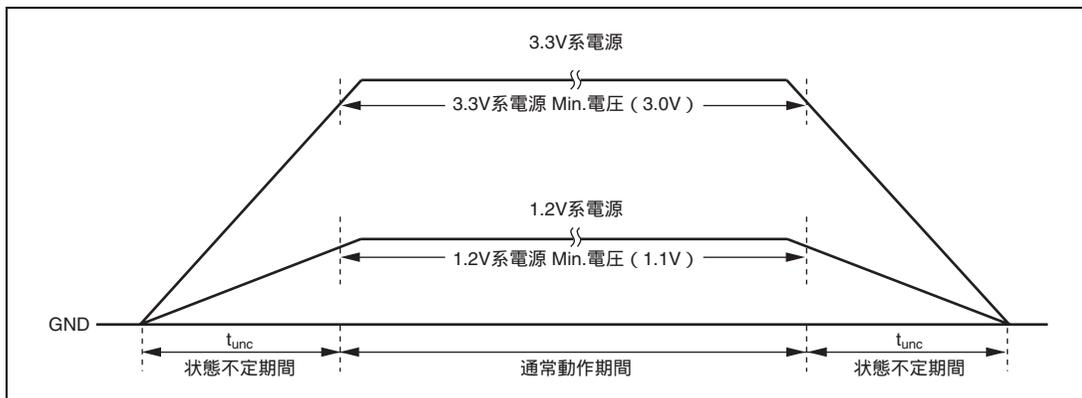


図 35.1 電源投入・切断シーケンス

表 35.2 電源投入・切断時間

項目	記号	Min.	Max.	単位
状態不定期間	$t_{unc}$	-	100	ms

【注】 1.2V系電源（ $V_{CC}$ 、 $PLL_{CC}$ 、 $USBAV_{CC}$ 、 $USBDV_{CC}$ ）と3.3V系電源（ $PV_{CC}$ 、 $AV_{CC}$ 、 $USBAPV_{CC}$ 、 $USBDPV_{CC}$ ）は、できる限り同時に投入および遮断してください。電源投入開始から両方の電源がMin.電圧以上に到達するまで、およびどちらかの電源がMin.電圧以下になってから電圧が0Vになるまでの期間は、状態不定期間となります。この期間は出力端子および入出力端子の端子状態、および内部状態が不定となりますので、この期間ができる限り短くなるように電源回路の設計を行ってください。また、この不定状態によってシステム全体が誤動作を引き起こさないようにシステム設計を行ってください。

## 35.3 DC 特性

表 35.3 DC 特性 (1) 【共通項目】

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項 目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		PV <sub>CC</sub>	3.0	3.3	3.6	V	
		V <sub>CC</sub>	1.1	1.2	1.3	V	
PLL 電源電圧		PLL <sub>VCC</sub>	1.1	1.2	1.3	V	
アナログ電源電圧		AV <sub>CC</sub>	3.0	3.3	3.6	V	
USB 電源電圧		USBAP <sub>VCC</sub> USB <sub>DP</sub> <sub>VCC</sub>	3.0	3.3	3.6	V	
		USBA <sub>VCC</sub> USB <sub>D</sub> <sub>VCC</sub>	1.1	1.2	1.3	V	
消費電流* <sup>1</sup>	通常動作時	I <sub>CC</sub> * <sup>2</sup>	-	240	400	mA	V <sub>CC</sub> = 1.2V I = 200.00MHz
	スリープモード時	I <sub>sleep</sub> * <sup>2</sup>	-	180	360	mA	B = 66.66MHz P = 33.33MHz
	ソフトウェアスタンバイ モード時	I <sub>stby</sub> * <sup>2</sup>	-	12	120	mA	T <sub>a</sub> > 50 V <sub>CC</sub> = 1.2V
			-	4	40	mA	T <sub>a</sub> 50 V <sub>CC</sub> = 1.2V
	ディープスタンバイモード時	I <sub>dstby</sub>	-	5	30	μA	T <sub>a</sub> > 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 0KB 保持
			-	23	130	μA	T <sub>a</sub> > 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 4KB 保持
			-	41	230	μA	T <sub>a</sub> > 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 8KB 保持
			-	59	330	μA	T <sub>a</sub> > 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 12KB 保持

項 目		記号	Min.	Typ.	Max.	単位	測定条件
消費電流* <sup>1</sup>	ディープスタンバイモード時	I <sub>dstby</sub>	-	77	430	μ A	T <sub>a</sub> > 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 16KB 保持
			-	9	58	μ A	T <sub>a</sub> > 50 3.3V 系電源* <sup>4</sup> = 3.3V
			-	11	12	μ A	T <sub>a</sub> > 50 VBUS=5.0V
			-	2	10	μ A	T <sub>a</sub> 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 0KB 保持
			-	12	24	μ A	T <sub>a</sub> 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 4KB 保持
			-	22	38	μ A	T <sub>a</sub> 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 8KB 保持
			-	32	52	μ A	T <sub>a</sub> 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 12KB 保持
			-	42	66	μ A	T <sub>a</sub> 50 1.2V 系電源* <sup>3</sup> = 1.2V RAM 16KB 保持
			-	5	20	μ A	T <sub>a</sub> 50 3.3V 系電源* <sup>4</sup> = 3.3V
			-	11	12	μ A	T <sub>a</sub> 50 VBUS=5.0V
入力リーク電流	全入力端子	I <sub>in</sub>	-	-	1.0	μ A	V <sub>in</sub> = 0.5 ~ PVCC - 0.5V

項目	記号	Min.	Typ.	Max.	単位	測定条件	
スリーステート リーク電流	全入出力、出力端子 (PB7~PB0 およびウィーク キーバ端子除く) (オフ状態)	I <sub>ST1</sub>	-	-	1.0	μA	V <sub>in</sub> = 0.5 ~ PV <sub>cc</sub> - 0.5V
	PB7 ~ PB0		-	-	10	μA	
端子容量	全端子	C <sub>in</sub>	-	-	20	pF	
アナログ電源 電流	A/D、D/A 変換中	I <sub>lcc</sub>	-	2	4	mA	
	A/D、D/A 変換待機時		-	1	10	μA	
アナログ基準電圧電流		I <sub>lref</sub>	-	2	4	mA	
USB 電源電流	USB <sub>AV</sub> V <sub>cc</sub> + USB <sub>DV</sub> V <sub>cc</sub>	I <sub>USBCC</sub>	-	15	20	mA	USB <sub>AV</sub> V <sub>cc</sub> = USB <sub>DV</sub> V <sub>cc</sub> = 1.2V
	USB <sub>AP</sub> V <sub>cc</sub> + USB <sub>DP</sub> V <sub>cc</sub>	I <sub>USBPCC</sub>	-	40	50	mA	USB <sub>AP</sub> V <sub>cc</sub> = USB <sub>DP</sub> V <sub>cc</sub> = 3.3V

【使用上の注意】 A/D 変換器および D/A 変換器を使用しないときに、AV<sub>cc</sub>、AV<sub>ss</sub> 端子を開放しないでください。

【注】 \*1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。

\*2 I<sub>lcc</sub>、I<sub>sleep</sub>、I<sub>sstby</sub> は、V<sub>cc</sub>、PLL<sub>Vcc</sub> 系統で消費する電流の合計値です。

\*3 I<sub>dsby</sub> の 1.2V 系電流は V<sub>cc</sub>、PLL<sub>Vcc</sub>、USB<sub>AV</sub>V<sub>cc</sub>、USB<sub>DV</sub>V<sub>cc</sub> で消費する電流の合計値です。

\*4 I<sub>dsby</sub> の 3.3V 系電流は PV<sub>cc</sub>、AV<sub>cc</sub>、USB<sub>AP</sub>V<sub>cc</sub>、USB<sub>DP</sub>V<sub>cc</sub> で消費する電流の合計値です。

表 35.3 DC 特性 (2) 【I<sup>2</sup>C、USB 関連端子を除く】

条件 : Vcc = PLLVcc = USBDVcc = 1.1 ~ 1.3V、PVcc = USBDPVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USBVcc = 1.1 ~ 1.3V、  
USBAPVcc = 3.0 ~ 3.6V、Vss = PLLVss = PVss = AVss = USBDVss = USBVss = USBDPVss = USBAPVss = 0V、Ta = - 40 ~ 85

項 目	記号	Min.	Typ.	Max.	単位	測定条件	
入力ハイレベル 電圧	RES、MRES、NMI、MD、 MD_CLK1、MD_CLK0、 ASEMD、TRST、 EXTAL、CKIO、 AUDIO_X1、RTC_X1	V <sub>IH</sub>	PVcc - 0.5	-	PVcc + 0.3	V	
	PA7 ~ PA0		2.2	-	AVcc + 0.3	V	
	その他の入力端子 (シュミット端子除く)		2.2	-	PVcc + 0.3	V	
入力ローレベル 電圧	RES、MRES、NMI、MD、 MD_CLK1、MD_CLK0、 ASEMD、TRST、 EXTAL、CKIO、 AUDIO_X1、RTC_X1	V <sub>IL</sub>	- 0.3	-	0.5	V	
	その他の入力端子 (シュミット端子除く)		- 0.3	-	0.8	V	
シュミットトリガ 入力特性	IRQ7 ~ IRQ0、 PINT7 ~ PINT0、 IOIS16、 DREQ3 ~ DREQ0、 TIOC0A ~ TIOC0D、 TIOC1A、TIOC1B、 TIOC2A、TIOC2B、 TIOC3A ~ TIOC3D、 TIOC4A ~ TIOC4D、 TCLKA ~ TCLKD、 SCK3 ~ SCK0、 RxD3 ~ RxD0、 CTS3、RTS3、 SSCK1、SSCK0、 SSI1、SSI0、 SSO1、SSO0、 SCS1、SCS0、 ADTRG、 PE15 ~ PE0、 PF7 ~ PF0	V <sub>T</sub> <sup>+</sup>	PVcc - 0.5	-	-	V	
		V <sub>T</sub> <sup>-</sup>	-	-	0.5	V	
		V <sub>T</sub> <sup>+</sup> - V <sub>T</sub> <sup>-</sup>	0.2	-	-	V	
出力ハイレベル電圧	V <sub>OH</sub>	PVcc - 0.5	-	-	V	I <sub>OH</sub> = - 200 μA	
出力ローレベル電圧	V <sub>OL</sub>	-	-	0.4	V	I <sub>OL</sub> = 1.6mA	

項 目		記号	Min.	Typ.	Max.	単位	測定条件
RAM スタンバイ 電圧	ソフトウェア スタンバイモード時	V <sub>RAMS</sub>	0.75	-	-	V	V <sub>CC</sub> (= PLLV <sub>CC</sub> ) をパラメータ として測定
	ディープ スタンバイモード時 (保持用内蔵 RAM のみ)	V <sub>RAMD</sub>	1.1	-	-	V	

表 35.3 DC 特性 (3) 【I<sup>2</sup>C 関連端子\*】

条件 : V<sub>CC</sub> = PLLV<sub>CC</sub> = USBDV<sub>CC</sub> = 1.1 ~ 1.3V、PV<sub>CC</sub> = USBDPV<sub>CC</sub> = 3.0 ~ 3.6V、AV<sub>CC</sub> = 3.0 ~ 3.6V、USBAV<sub>CC</sub> = 1.1 ~ 1.3V、  
USBAPV<sub>CC</sub> = 3.0 ~ 3.6V、V<sub>SS</sub> = PLLV<sub>SS</sub> = PV<sub>SS</sub> = AV<sub>SS</sub> = USBDV<sub>SS</sub> = USBAV<sub>SS</sub> = USBDPV<sub>SS</sub> = USBAPV<sub>SS</sub> = 0V、T<sub>a</sub> = -40 ~ 85

項 目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V <sub>IH</sub>	PV <sub>CC</sub> × 0.7	-	PV <sub>CC</sub> + 0.3	V	
入力ローレベル電圧	V <sub>IL</sub>	- 0.3	-	PV <sub>CC</sub> × 0.3	V	
シュミットトリガ入力特性	V <sub>IH</sub> - V <sub>IL</sub>	PV <sub>CC</sub> × 0.05	-	-	V	
出力ローレベル電圧	V <sub>OL</sub>	-	-	0.4	V	I <sub>OL</sub> = 3.0mA

【注】 \* PB7/SDA3/PINT7/IRQ7 ~ PB0/SCL0/PINT0/IRQ0 端子 (オープンドレイン端子)

表 35.3 DC 特性 (4) 【USB 関連端子\*】

条件 : V<sub>CC</sub> = PLLV<sub>CC</sub> = USBDV<sub>CC</sub> = 1.1 ~ 1.3V、PV<sub>CC</sub> = USBDPV<sub>CC</sub> = 3.0 ~ 3.6V、AV<sub>CC</sub> = 3.0 ~ 3.6V、USBAV<sub>CC</sub> = 1.1 ~ 1.3V、  
USBAPV<sub>CC</sub> = 3.0 ~ 3.6V、V<sub>SS</sub> = PLLV<sub>SS</sub> = PV<sub>SS</sub> = AV<sub>SS</sub> = USBDV<sub>SS</sub> = USBAV<sub>SS</sub> = USBDPV<sub>SS</sub> = USBAPV<sub>SS</sub> = 0V、T<sub>a</sub> = -40 ~ 85

項 目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R <sub>REF</sub>	5.6k ± 1%				
入力ハイレベル電圧 (VBUS)	V <sub>IH</sub>	4.02	-	5.25	V	
入力ローレベル電圧 (VBUS)	V <sub>IL</sub>	- 0.3	-	0.5	V	
入力ハイレベル電圧 (USB_X1)	V <sub>IH</sub>	PV <sub>CC</sub> - 0.5	-	PV <sub>CC</sub> + 0.3	V	
入力ローレベル電圧 (USB_X1)	V <sub>IL</sub>	- 0.3	-	0.5	V	

【注】 \* REFRIN、VBUS、USB\_X1、USB\_X2 端子

表 35.3 DC 特性 (5) 【USB 関連端子\* (フルスピード/ハイスピード共通項目)】

条件 : V<sub>CC</sub> = PLLV<sub>CC</sub> = USBDV<sub>CC</sub> = 1.1 ~ 1.3V、PV<sub>CC</sub> = USBDPV<sub>CC</sub> = 3.0 ~ 3.6V、AV<sub>CC</sub> = 3.0 ~ 3.6V、USBAV<sub>CC</sub> = 1.1 ~ 1.3V、  
USBAPV<sub>CC</sub> = 3.0 ~ 3.6V、V<sub>SS</sub> = PLLV<sub>SS</sub> = PV<sub>SS</sub> = AV<sub>SS</sub> = USBDV<sub>SS</sub> = USBAV<sub>SS</sub> = USBDPV<sub>SS</sub> = USBAPV<sub>SS</sub> = 0V、T<sub>a</sub> = -40 ~ 85

項 目	記号	Min.	Typ.	Max.	単位	測定条件
DP ブルアップ抵抗 (ファンクション機能選択時)	R <sub>pu</sub>	0.900	-	1.575	k	アイドル時
		1.425	-	3.090	k	送受信時
DP、DM ブルダウン抵抗 (ホスト機能選択時)	R <sub>pd</sub>	14.25	-	24.80	k	

【注】 \* DP、DM 端子

表 35.3 DC 特性 (6) 【USB 関連端子\* (フルスピード時)】

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	$V_{IH}$	2.0	-	-	V	
入力ローレベル電圧	$V_{IL}$	-	-	0.8	V	
差動入力感度	$V_{DI}$	0.2	-	-	V	$ (DP) - (DM) $
差動コモンモード範囲	$V_{CM}$	0.8	-	2.5	V	
出力ハイレベル電圧	$V_{OH}$	2.8	-	3.6	V	$I_{OH} = -200 \mu A$
出力ローレベル電圧	$V_{OL}$	0.0	-	0.3	V	$I_{OL} = 2mA$
出力信号クロスオーバー電圧	$V_{CRS}$	1.3	-	2.0	V	$C_L = 50pF$

【注】 \* DP、DM 端子

表 35.3 DC 特性 (7) 【USB 関連端子\* (ハイスピード時)】

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	測定条件
スケルチ検出スレッシュホールド電圧 (差動電圧)	$V_{HSSO}$	100	-	150	mV	
コモンモード電圧範囲	$V_{HSCM}$	- 50	-	500	mV	
アイドル状態	$V_{HSOI}$	- 10.0	-	10.0	mV	
出力ハイレベル電圧	$V_{HSOH}$	360	-	440	mV	
出力ローレベル電圧	$V_{HSOL}$	- 10.0	-	10.0	mV	
Chirp J 出力電圧 (差分)	$V_{CHIRPJ}$	700	-	1100	mV	
Chirp K 出力電圧 (差分)	$V_{CHIRPK}$	- 900	-	- 500	mV	

【注】 \* DP、DM 端子

表 35.4 出力許容電流値

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項 目		記号	Min.	Typ.	Max.	単位
出力ローレベル 許容電流(1端子当たり)	PB7 ~ PB0	IoL	-	-	10	mA
	その他の出力端子				2	
出力ローレベル許容電流(総和)		$\Sigma IoL$	-	-	150	mA
出力ハイレベル許容電流(1端子当たり)		-IoH	-	-	2	mA
出力ハイレベル許容電流(総和)		$\Sigma -IoH$	-	-	50	mA

## 【使用上の注意】

LSIの信頼性を確保するため、出力電流値は表35.4の値を超えないようにしてください。

## 35.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 35.5 動作周波数

条件：Vcc = PLLVcc = USBDVcc = 1.1 ~ 1.3V、PVcc = USBDPVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USBAVcc = 1.1 ~ 1.3V、USBAPVcc = 3.0 ~ 3.6V、Vss = PLLVss = PVss = AVss = USBDVss = USBAVss = USBDPVss = USBAPVss = 0V、Ta = -40 ~ 85

項目		記号	Min.	Max.	単位	備考
動作周波数	CPU クロック (I )	f	80.00	200.00	MHz	
	バスクロック (B )		40.00	66.67	MHz	
	周辺クロック (P )		6.67	33.33	MHz	

### 35.4.1 クロックタイミング

表 35.6 クロックタイミング

条件：Vcc = PLLVcc = USBDVcc = 1.1 ~ 1.3V、PVcc = USBDPVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USBAVcc = 1.1 ~ 1.3V、USBAPVcc = 3.0 ~ 3.6V、Vss = PLLVss = PVss = AVss = USBDVss = USBAVss = USBDPVss = USBAPVss = 0V、Ta = -40 ~ 85

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	fEX	10.00	33.33	MHz	35.2
EXTAL クロック入力サイクル時間	tEXcyc	30	100	ns	
AUDIO_X1 クロック入力周波数 (水晶発振子接続用)	fEX	10	40	MHz	
AUDIO_X1 クロック入力サイクル時間 (水晶発振子接続用)	tEXcyc	25	100	ns	
AUDIO_X1、AUDIO_CLK クロック入力周波数 (外部クロック入力時)	fEX	1	40	MHz	
AUDIO_X1、AUDIO_CLK クロック入力サイクル時間 (外部クロック入力時)	tEXcyc	25	1000	ns	
USB_X1 クロック入力周波数 (ハイスピード転送使用時)	fEX	48MHz ± 100ppm			
USB_X1 クロック入力周波数 (ハイスピード転送未使用、ホストコントローラ機能使用時)		48MHz ± 500ppm			
USB_X1 クロック入力周波数 (ハイスピード転送未使用、ホストコントローラ機能未使用時)		48MHz ± 2500ppm			
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力ローレベルパルス幅	tEXL	0.4	0.6	tEXcyc	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力ハイレベルパルス幅	tEXH	0.4	0.6	tEXcyc	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力立ち上がり時間	tEXr	-	4	ns	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力立ち下がり時間	tEXf	-	4	ns	
CKIO クロック入力周波数	fCK	40.00	66.66	MHz	35.3
CKIO クロック入力サイクル時間	tCKlcy	15	25	ns	
CKIO クロック入力ローレベルパルス幅	tCKIL	0.4	0.6	tCKlcy	

項目	記号	Min.	Max.	単位	参照図
CKIO クロック入力ハイレベルパルス幅	tCKIH	0.4	0.6	tCKIcyc	35.3
CKIO クロック入力立ち上がり時間	tCKIr	-	3	ns	
CKIO クロック入力立ち下がり時間	tCKIf	-	3	ns	
CKIO クロック出力周波数	fOP	40.00	66.66	MHz	35.4
CKIO クロック出力サイクル時間	tCyc	15	25	ns	
CKIO クロック出力ローレベルパルス幅	tCKOL	tCyc/2- tCKOr	-	ns	
CKIO クロック出力ハイレベルパルス幅	tCKOH	tCyc/2- tCKOf	-	ns	
CKIO クロック出力立ち上がり時間	tCKOr	-	3	ns	
CKIO クロック出力立ち下がり時間	tCKOf	-	3	ns	
パワーオン発振安定時間	tOSC1	10	-	ms	
スタンバイ復帰発振安定時間 1	tOSC2	10	-	ms	35.6
スタンバイ復帰発振安定時間 2	tOSC3	10	-	ms	35.7
RTC クロック発振安定時間	tROSC	3	-	s	35.8

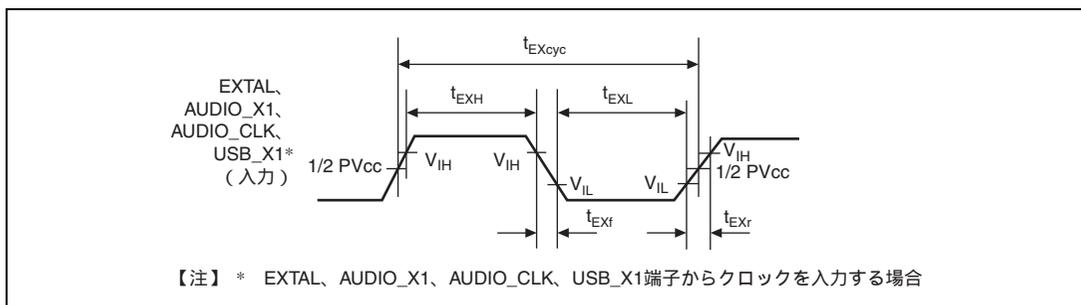


図 35.2 EXTAL、AUDIO\_X1、AUDIO\_CLK、USB\_X1 クロック入力タイミング

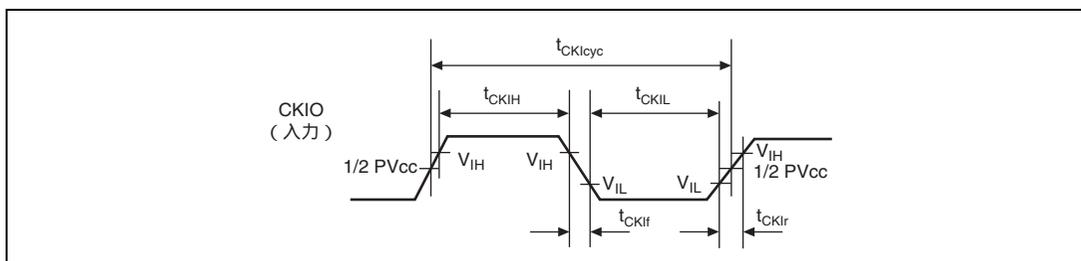


図 35.3 CKIO クロック入力タイミング

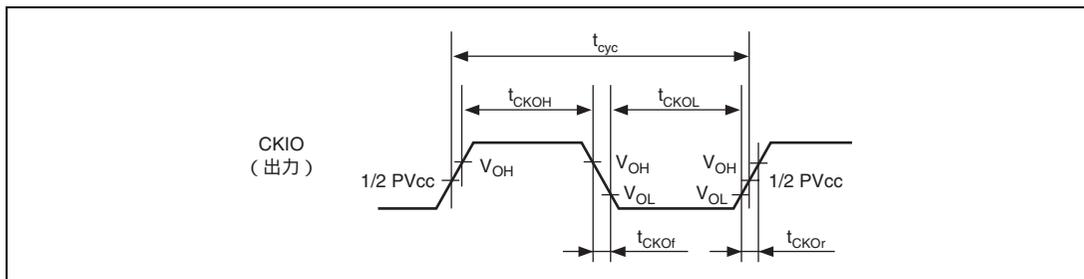


図 35.4 CKIO クロック出力タイミング

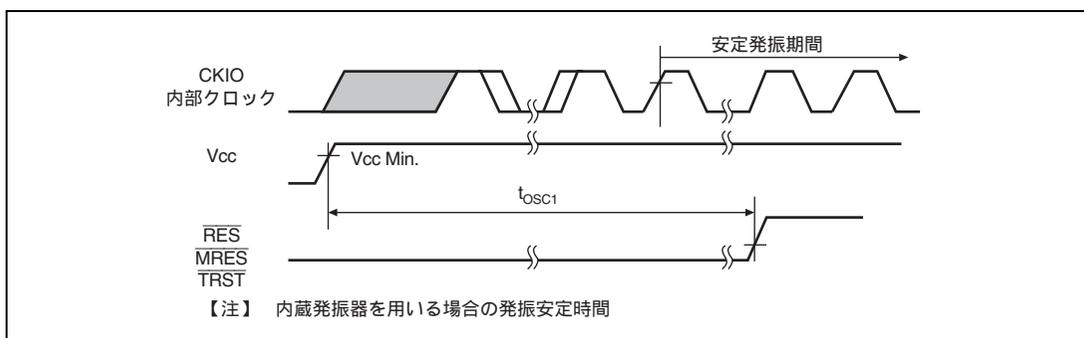


図 35.5 パワーオン発振安定時間

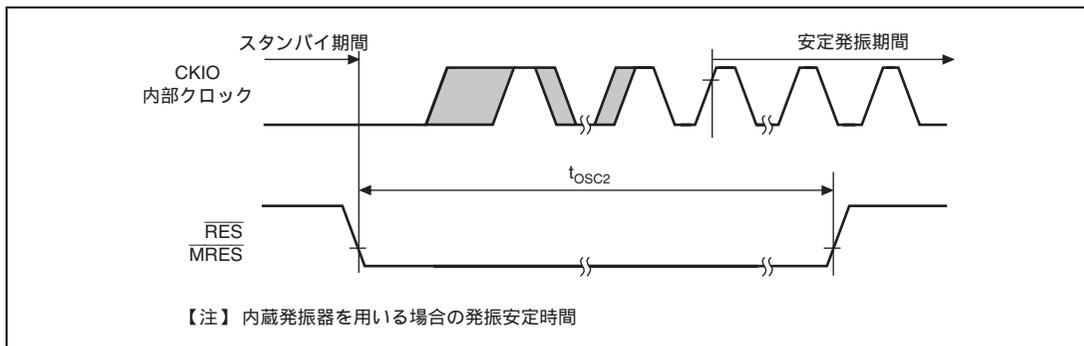


図 35.6 スタンバイ復帰時発振安定時間（リセットによる復帰）

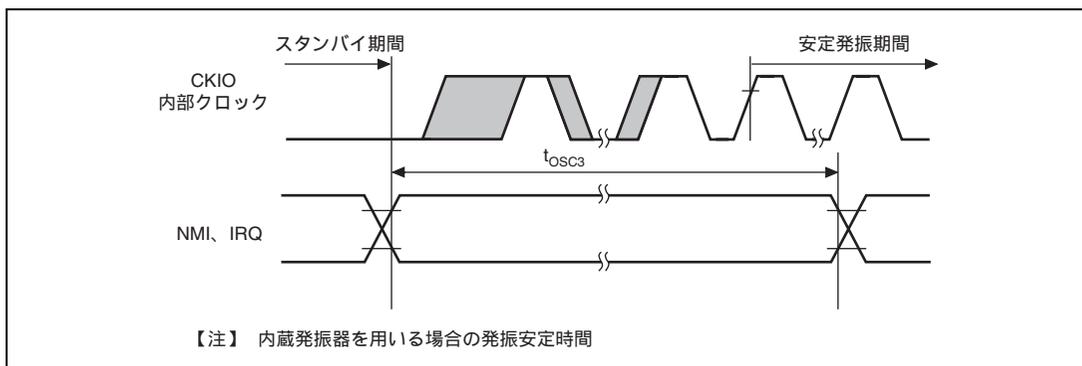


図 35.7 スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰)

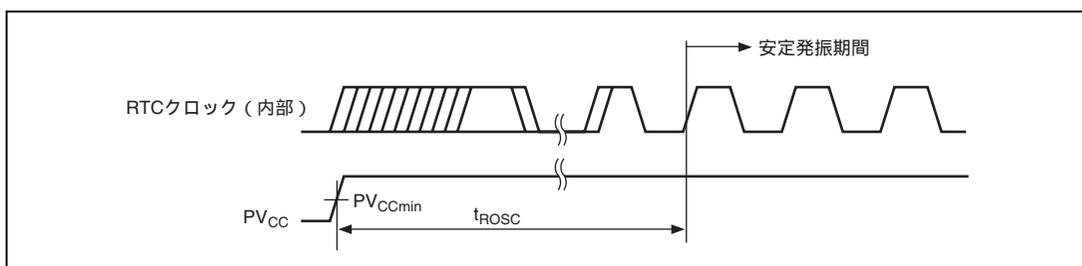


図 35.8 RTC クロック発振安定時間

## 35.4.2 制御信号タイミング

表 35.7 制御信号タイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目		記号	B = 66.66MHz		単位	参照図
			Min.	Max.		
RES パルス幅	スタンバイモード解除時 または PLL 通倍率変化時	tRESW	10	-	ms	35.9
	上記以外		20	-	t <sub>cyc</sub>	
MRES パルス幅	スタンバイモード解除時	tMRESW	10	-	ms	35.10
	上記以外		20	-	t <sub>cyc</sub>	
TRST パルス幅		tTRSW	20	-	t <sub>cyc</sub>	
NMI パルス幅	スタンバイモード解除時	tNMIW	10	-	ms	35.11
	上記以外		20	-	t <sub>cyc</sub>	
IRQ パルス幅	スタンバイモード解除時	tIRQW	10	-	ms	35.12
	上記以外		20	-	t <sub>cyc</sub>	
PINT パルス幅		tPINTW	20	-	t <sub>cyc</sub>	
IRQOUT/REFOUT 出力遅延時間		tIRQOD	-	100	ns	
BREQ セットアップ時間		tBREQS	$1/2 t_{cyc} + 7$	-	ns	
BREQ ホールド時間		tBREQH	$1/2 t_{cyc} + 2$	-	ns	
BACK 遅延時間		tBACKD	-	$1/2 t_{cyc} + 13$	ns	
バスバッファオフタイム 1		tBOFF1	-	15	ns	
バスバッファオフタイム 2		tBOFF2	-	15	ns	
バスバッファオンタイム 1		tBON1	-	15	ns	
バスバッファオンタイム 2		tBON2	-	15	ns	
バスバッファオフに対する BACK セットアップ時間		tBACKS	0	-	ns	

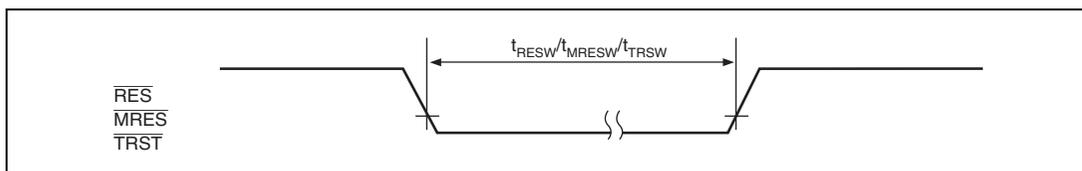


図 35.9 リセット入力タイミング

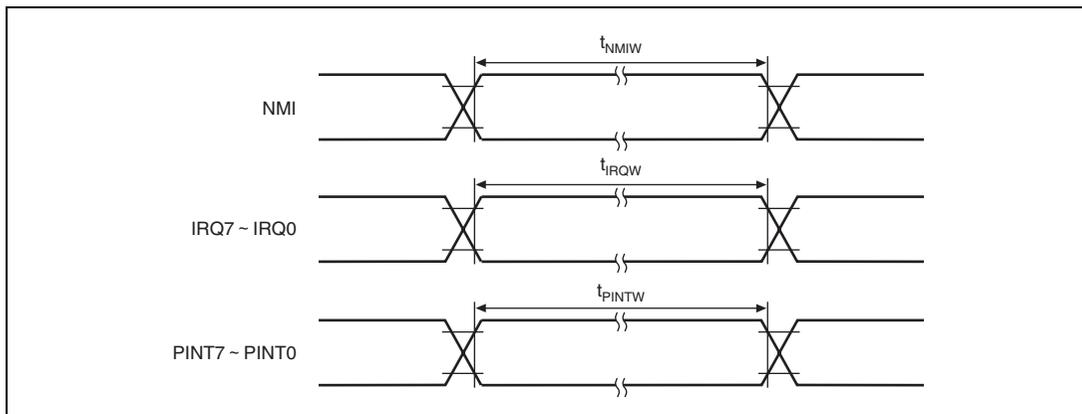


図 35.10 割り込み信号入力タイミング

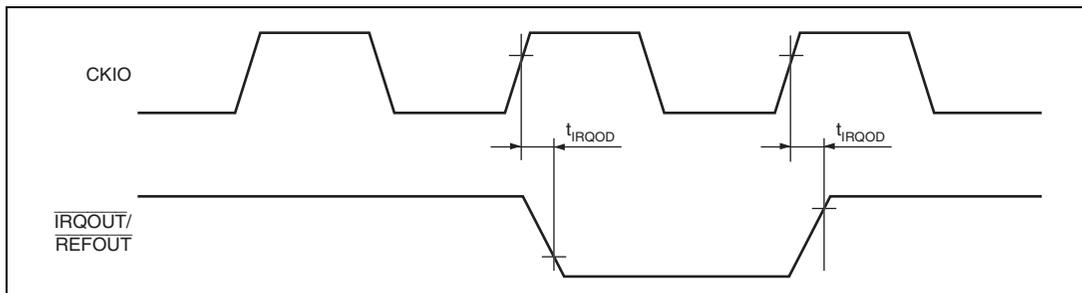


図 35.11 割り込み信号出力タイミング

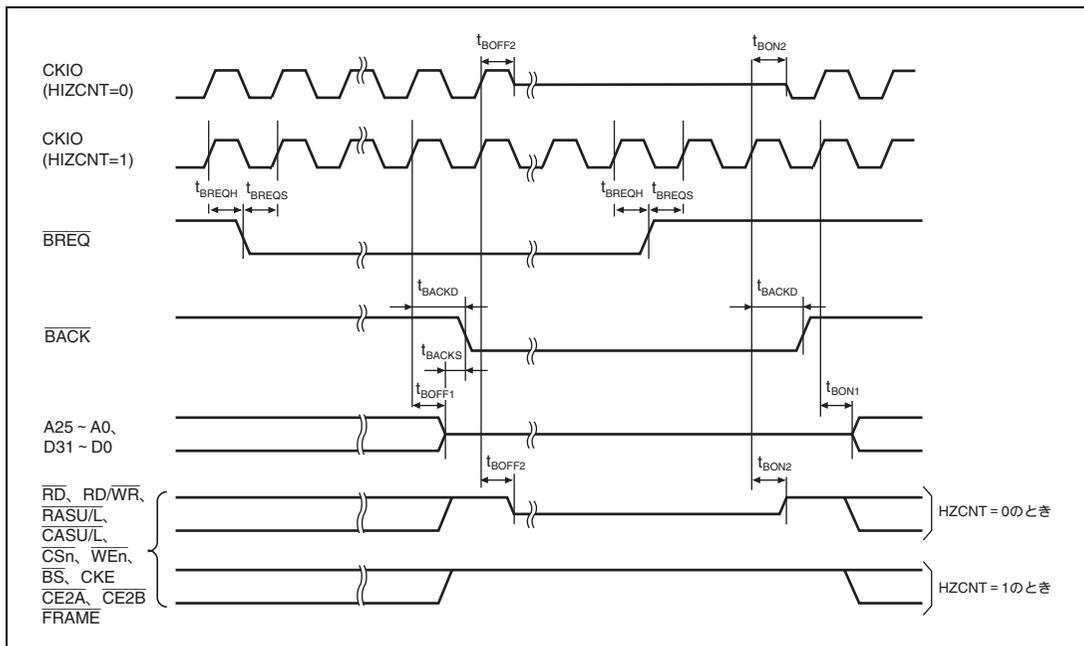


図 35.12 バス権解放タイミング

## 35.4.3 バスタイミング

表 35.8 バスタイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	B = 66.66MHz <sup>*1,*2</sup>		単位	参照図
		Min.	Max.		
アドレス遅延時間 1	tAD1	1	13	ns	35.13 ~ 35.38, 35.41 ~ 35.44
アドレス遅延時間 2	tAD2	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.21
アドレス遅延時間 3	tAD3	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.39, 35.40
アドレスセットアップ時間	tAS	0	-	ns	35.13 ~ 35.16, 35.21
チップイネーブルセットアップ時間	tCS	0	-	ns	35.13 ~ 35.16, 35.21
アドレスホールド時間	tAH	0	-	ns	35.13 ~ 35.16
BS 遅延時間	tBSD	-	13	ns	35.13 ~ 35.35, 35.39, 35.41 ~ 35.44
CS 遅延時間 1	tCSD1	1	13	ns	35.13 ~ 35.38, 35.41 ~ 35.44
CS 遅延時間 2	tCSD2	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.39, 35.40
リードライト遅延時間 1	trWD1	1	13	ns	35.13 ~ 35.38, 35.41 ~ 35.44
リードライト遅延時間 2	trWD2	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.39, 35.40
リードストロブ遅延時間	trSD	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.13 ~ 35.17, 35.19 ~ 35.21, 35.41, 35.42
リードデータセットアップ時間 1	trDS1	1/2 t <sub>cyc</sub> + 13	-	ns	35.13 ~ 35.17, 35.19, 35.20, 35.41 ~ 35.44
リードデータセットアップ時間 2	trDS2	8	-	ns	35.18, 35.22 ~ 35.25, 35.30 ~ 35.32
リードデータセットアップ時間 3	trDS3	1/2 t <sub>cyc</sub> + 13	-	ns	35.21
リードデータセットアップ時間 4	trDS4	1/2 t <sub>cyc</sub> + 13	-	ns	35.39
リードデータホールド時間 1	trDH1	0	-	ns	35.13 ~ 35.17, 35.19, 35.20, 35.41 ~ 35.44
リードデータホールド時間 2	trDH2	2	-	ns	35.18, 35.22 ~ 35.25, 35.30 ~ 35.32
リードデータホールド時間 3	trDH3	0	-	ns	35.21
リードデータホールド時間 4	trDH4	1/2 t <sub>cyc</sub> + 6	-	ns	35.39
ライトイネーブル遅延時間 1	twED1	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.13 ~ 35.17, 35.18, 35.41, 35.42
ライトイネーブル遅延時間 2	twED2	-	13	ns	35.20
ライトデータ遅延時間 1	twDD1	-	13	ns	35.13 ~ 35.20, 35.41 ~ 35.44
ライトデータ遅延時間 2	twDD2	-	13	ns	35.26 ~ 35.29, 35.33 ~ 35.35
ライトデータ遅延時間 3	twDD3	-	1/2 t <sub>cyc</sub> + 13	ns	35.39
ライトデータホールド時間 1	twDH1	1	-	ns	35.13 ~ 35.20, 35.41 ~ 35.44

項目	記号	B = 66.66MHz <sup>*1,*2</sup>		単位	参照図
		Min.	Max.		
ライトデータホールド時間 2	tWDH2	1	-	ns	35.26 ~ 35.29、35.33 ~ 35.35
ライトデータホールド時間 3	tWDH3	1/2 t <sub>cyc</sub>	-	ns	35.39
ライトデータホールド時間 4	tWDH4	0	-	ns	35.13 ~ 35.17、35.41、35.43
WAIT セットアップ時間	tWTS	1/2 t <sub>cyc</sub> + 5.5	-	ns	35.14 ~ 35.21、35.42、35.44
WAIT ホールド時間	tWTH	1/2 t <sub>cyc</sub> + 4.5	-	ns	35.14 ~ 35.21、35.42、35.44
IOIS16 セットアップ時間	tIO16S	1/2 t <sub>cyc</sub> + 8	-	ns	35.44
IOIS16 ホールド時間	tIO16H	1/2 t <sub>cyc</sub> + 5	-	ns	35.44
RAS 遅延時間 1	tRASD1	1	13	ns	35.22 ~ 35.38
RAS 遅延時間 2	tRASD2	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.39、35.40
CAS 遅延時間 1	tCASD1	1	13	ns	35.22 ~ 35.38
CAS 遅延時間 2	tCASD2	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.39、35.40
DQM 遅延時間 1	tDQMD1	1	13	ns	35.22 ~ 35.35
DQM 遅延時間 2	tDQMD2	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.39、35.40
CKE 遅延時間 1	tCKED1	1	13	ns	35.37
CKE 遅延時間 2	tCKED2	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.40
AH 遅延時間	tAHD	1/2 t <sub>cyc</sub>	1/2 t <sub>cyc</sub> + 13	ns	35.17
マルチプレクスアドレス遅延時間	tMAD	-	13	ns	35.17
マルチプレクスアドレスホールド時間	tMAH	1	-	ns	35.17
AH に対するアドレスセットアップ時間	tAVVH	1/2 t <sub>cyc</sub> - 2	-	ns	35.17
DACK、TEND 遅延時間	tDACD	DMAC タイミング参照		ns	35.13 ~ 35.35、35.39、35.41 ~ 35.44
FRAME 遅延時間	tFMD	0	13	ns	35.18
ICIORD 遅延時間	tICRS	-	1/2 t <sub>cyc</sub> + 13	ns	35.43、35.44
ICIOWR 遅延時間	tICWS	-	1/2 t <sub>cyc</sub> + 13	ns	35.43、35.44

【注】 \*1 B (外部バスクロック) の f<sub>max</sub> は、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。

\*2 遅延時間やセットアップ、ホールド時間の 1/2 t<sub>cyc</sub> の記述は、クロックの立ち上がりから 1/2 サイクル、つまりクロックの立ち下がり基準であることを表現しています。

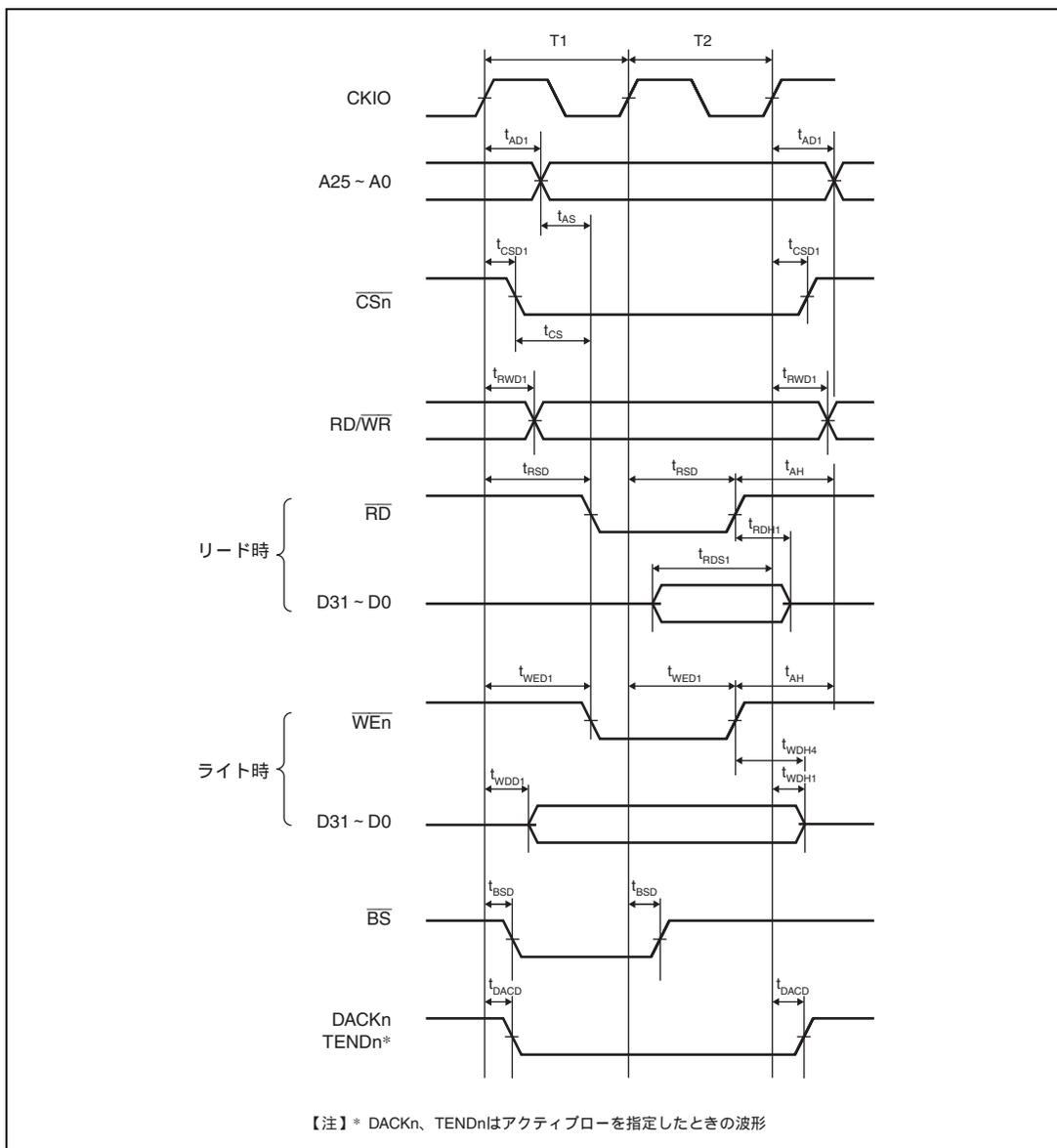


図 35.13 通常空間基本バスサイクル (ノーウェイト)

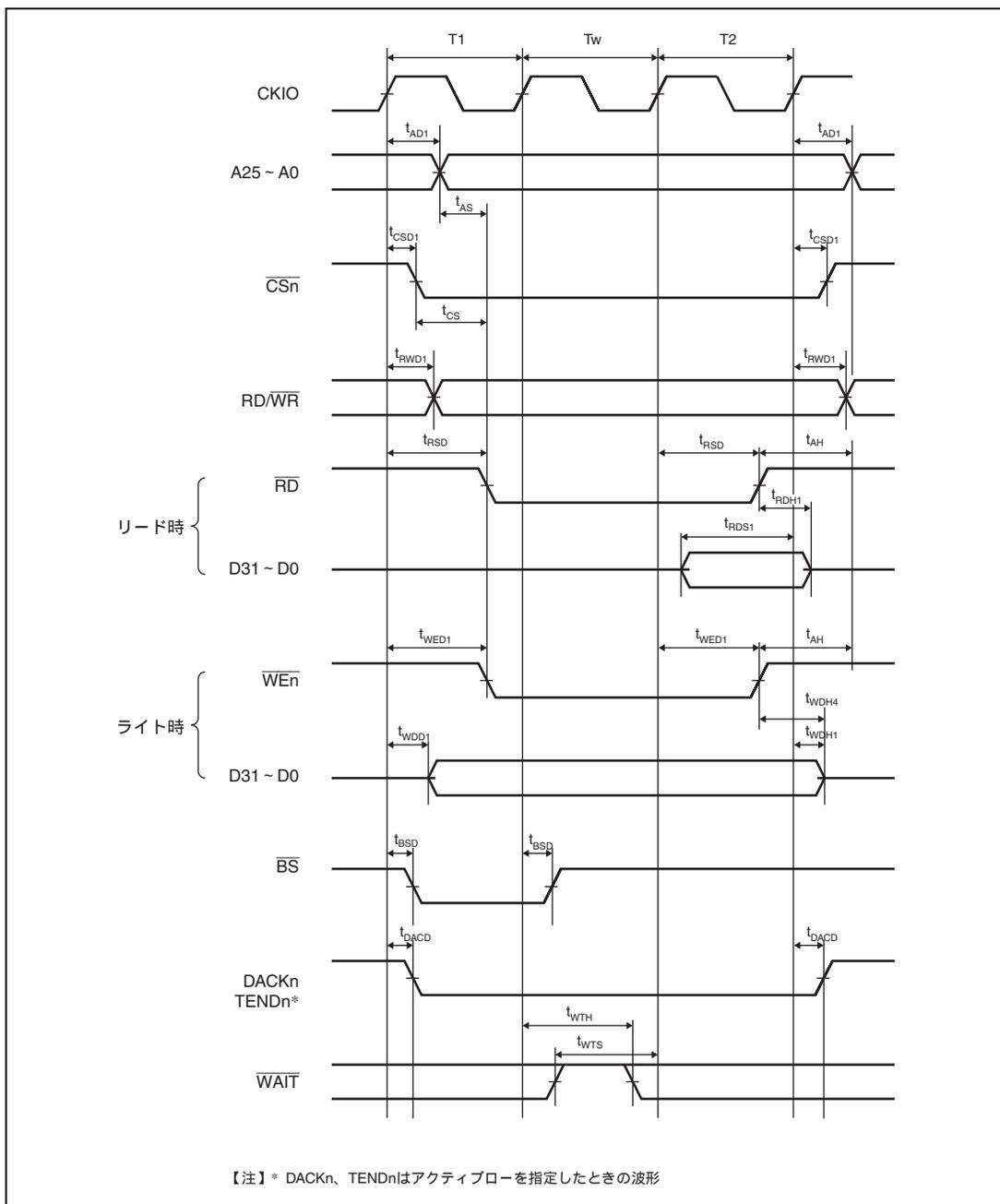


図 35.14 通常空間基本バスサイクル (ソフトウェアウェイト1)

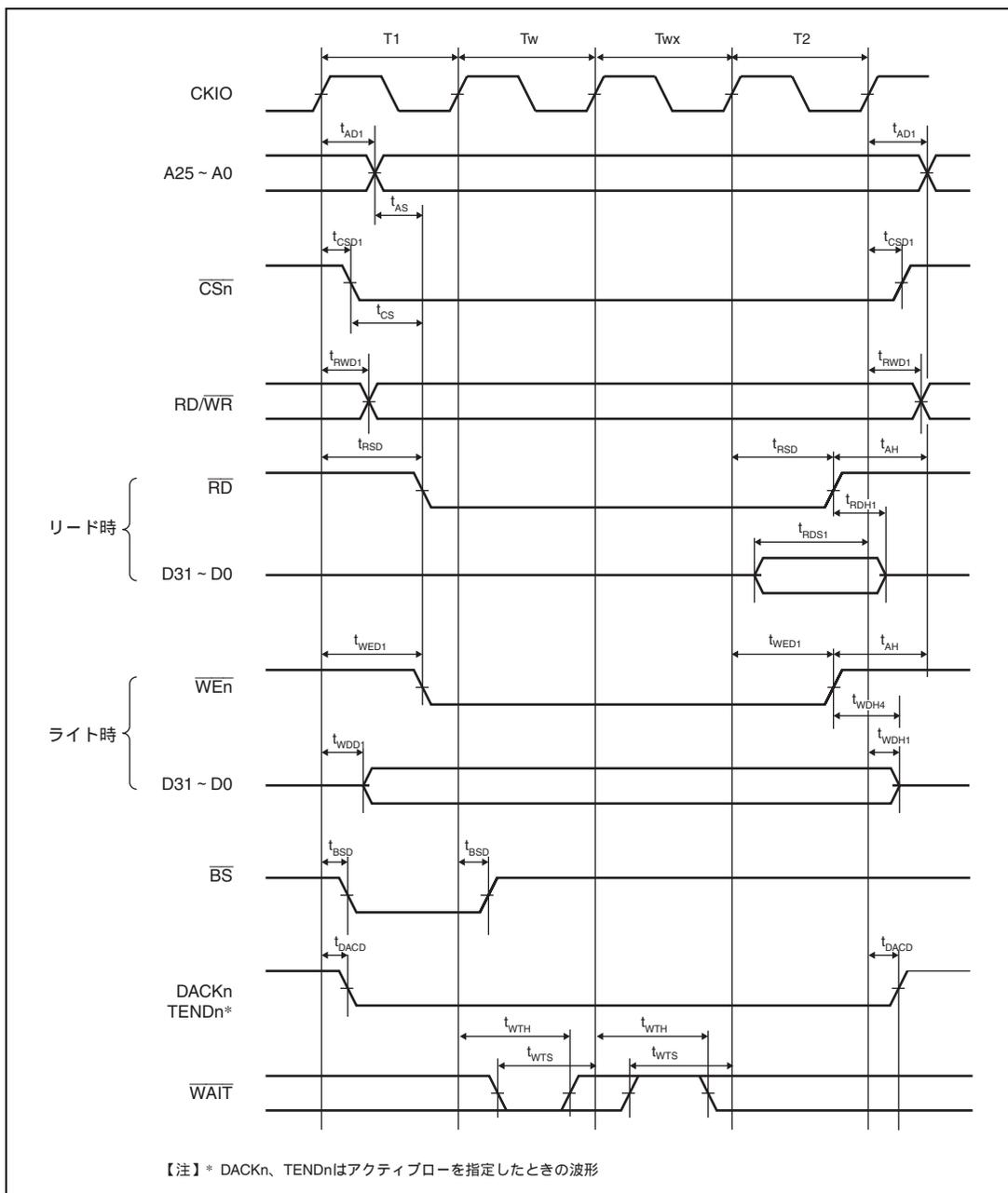


図 35.15 通常空間基本バスサイクル（ソフトウェアウェイト1、外部ウェイト1挿入）

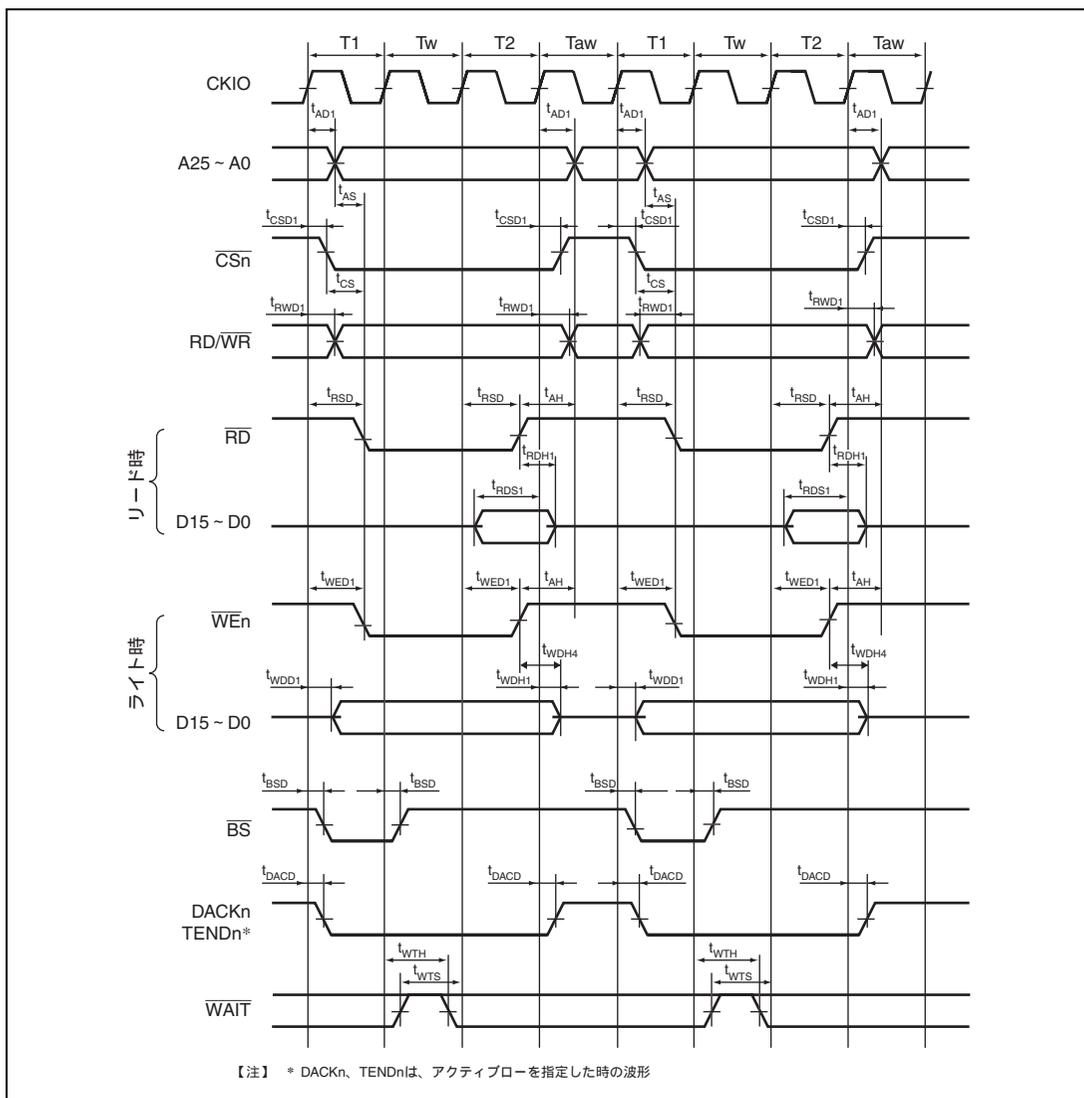


図 35.16 通常空間基本バスサイクル  
 (ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし)

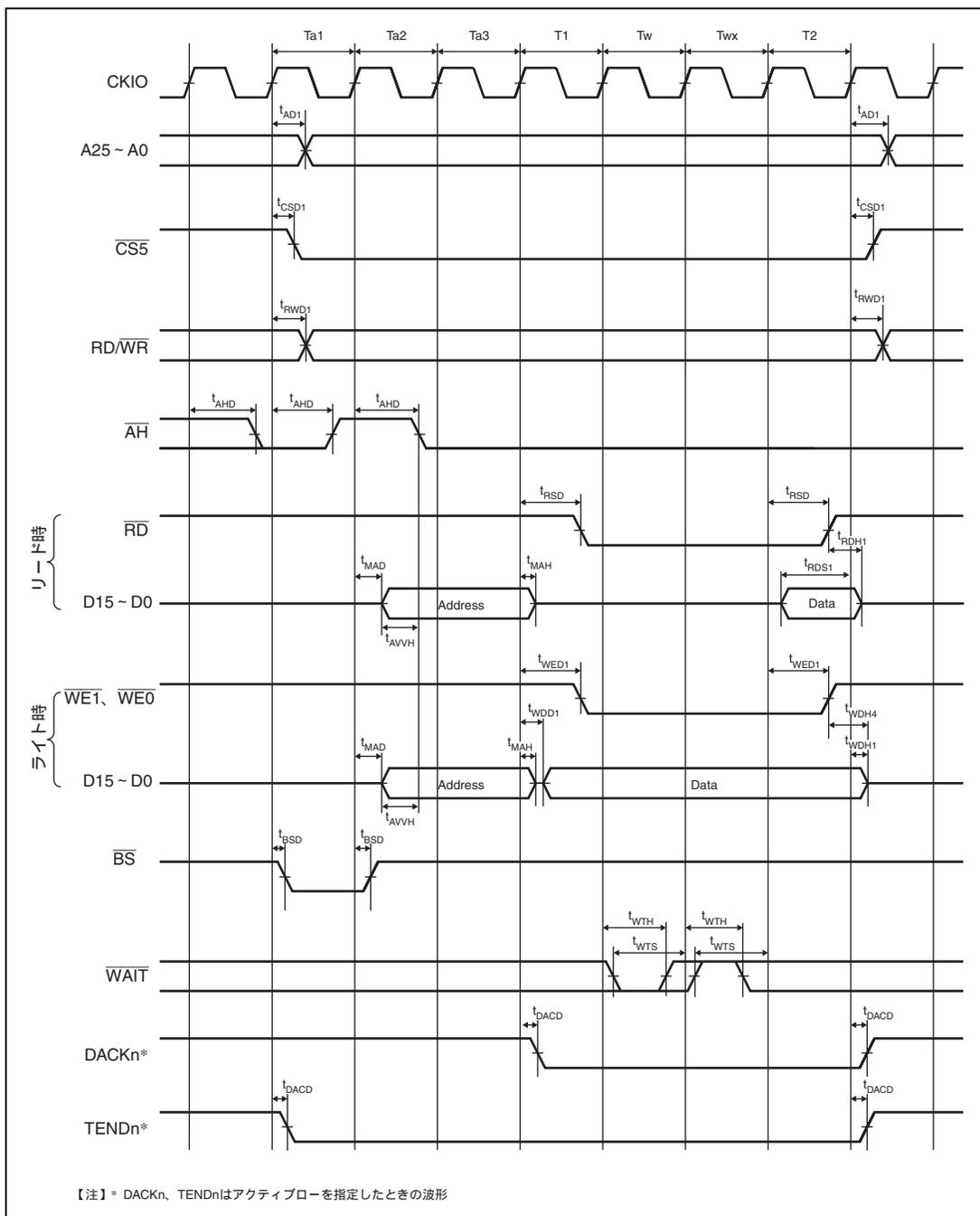


図 35.17 MPX-I/O インタフェースバスサイクル  
(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)

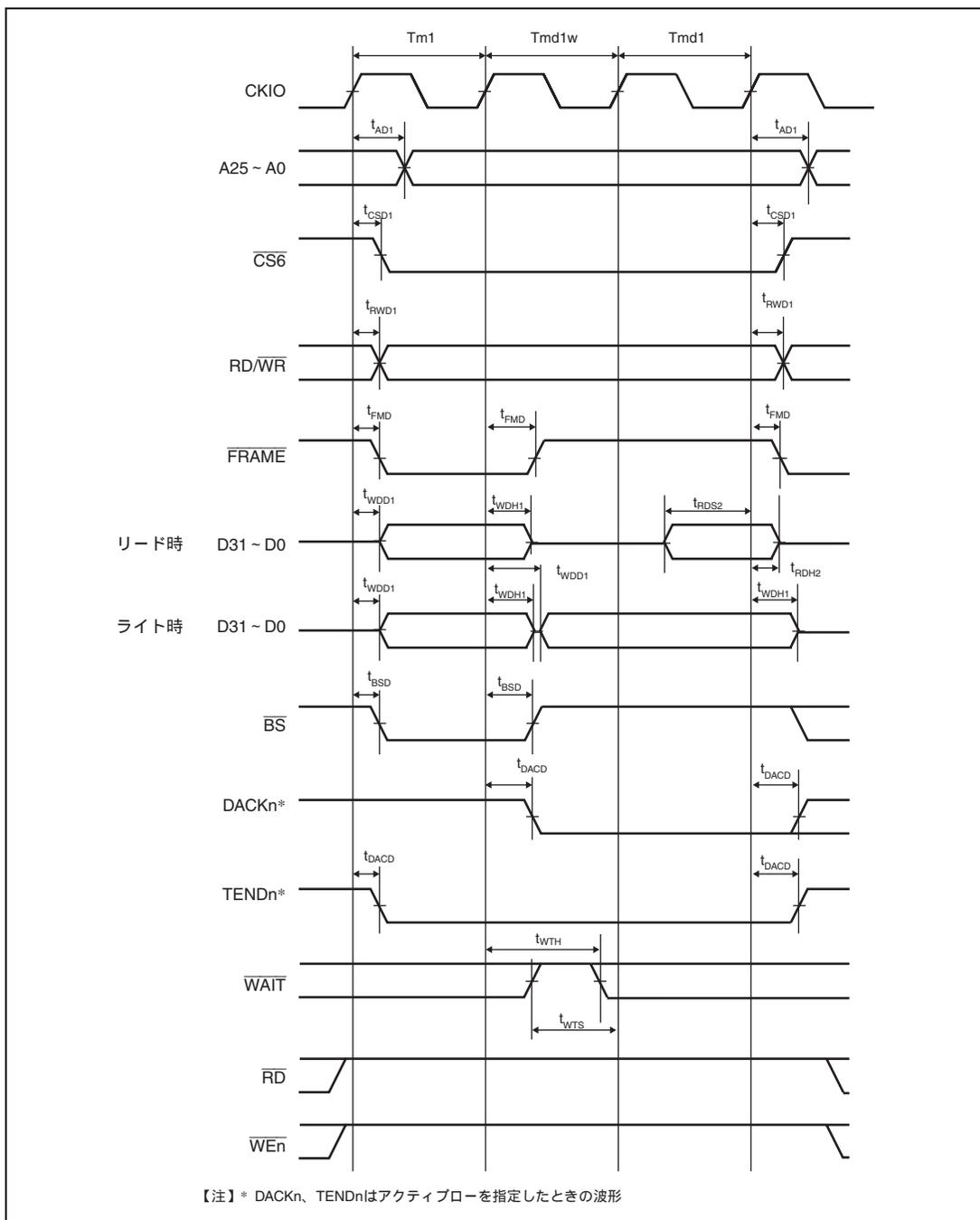


図 35.18 バースト MPX-I/O インタフェースバスサイクル シングルリードライト  
(アドレスサイクル1、ソフトウェアウェイト1)

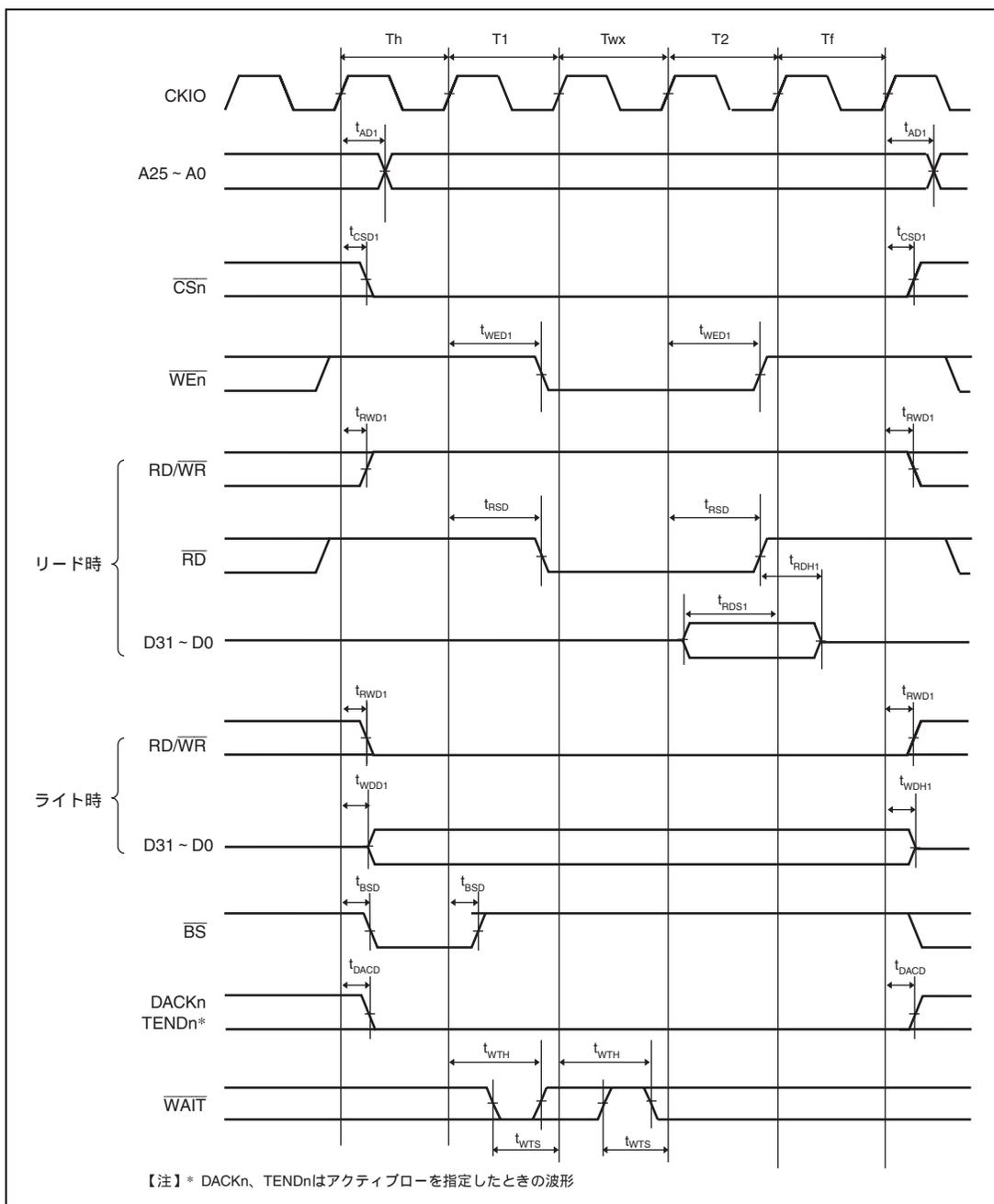


図 35.19 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB/LB コントロール))

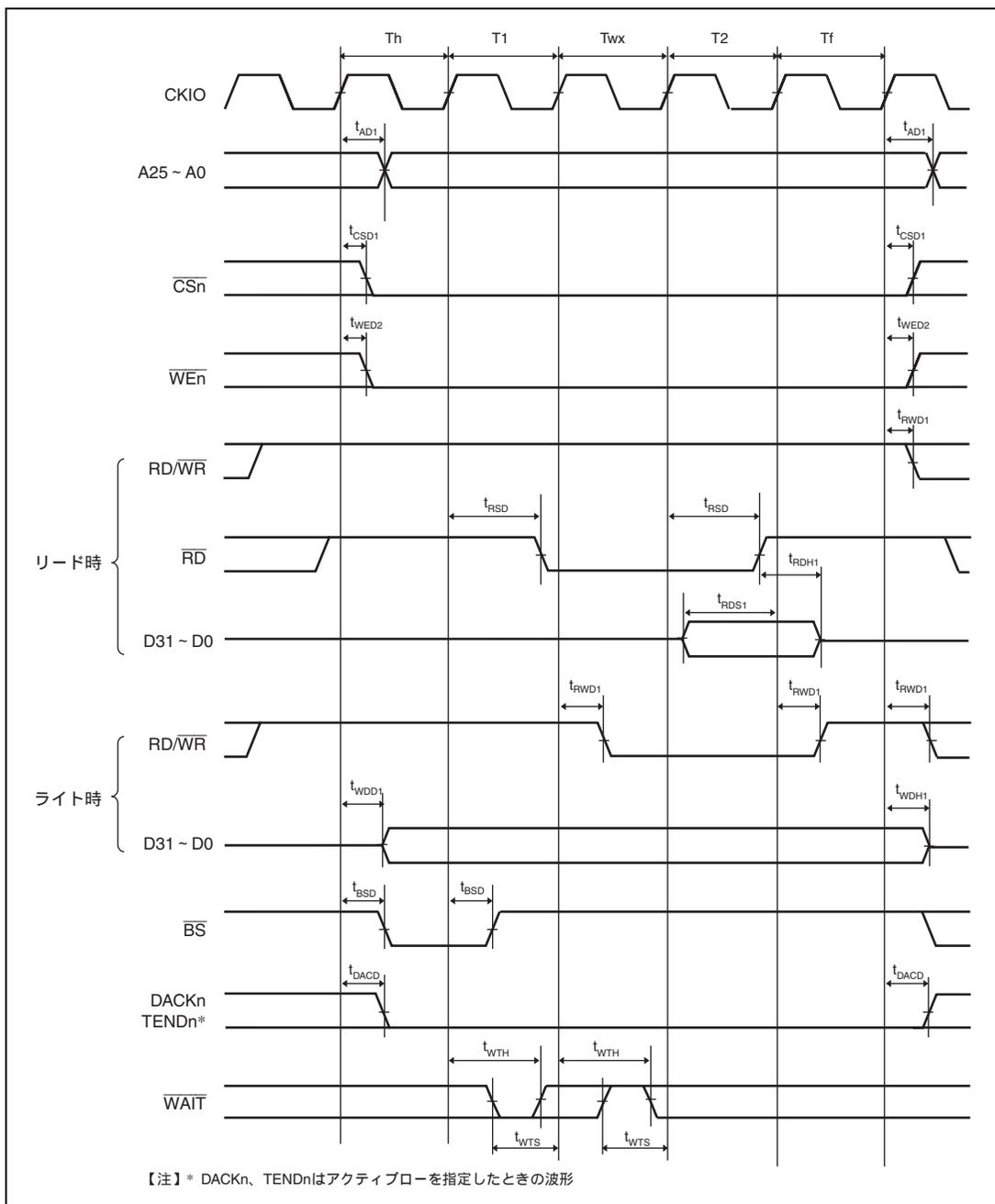


図 35.20 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 1 (ライトサイクル WE コントロール))

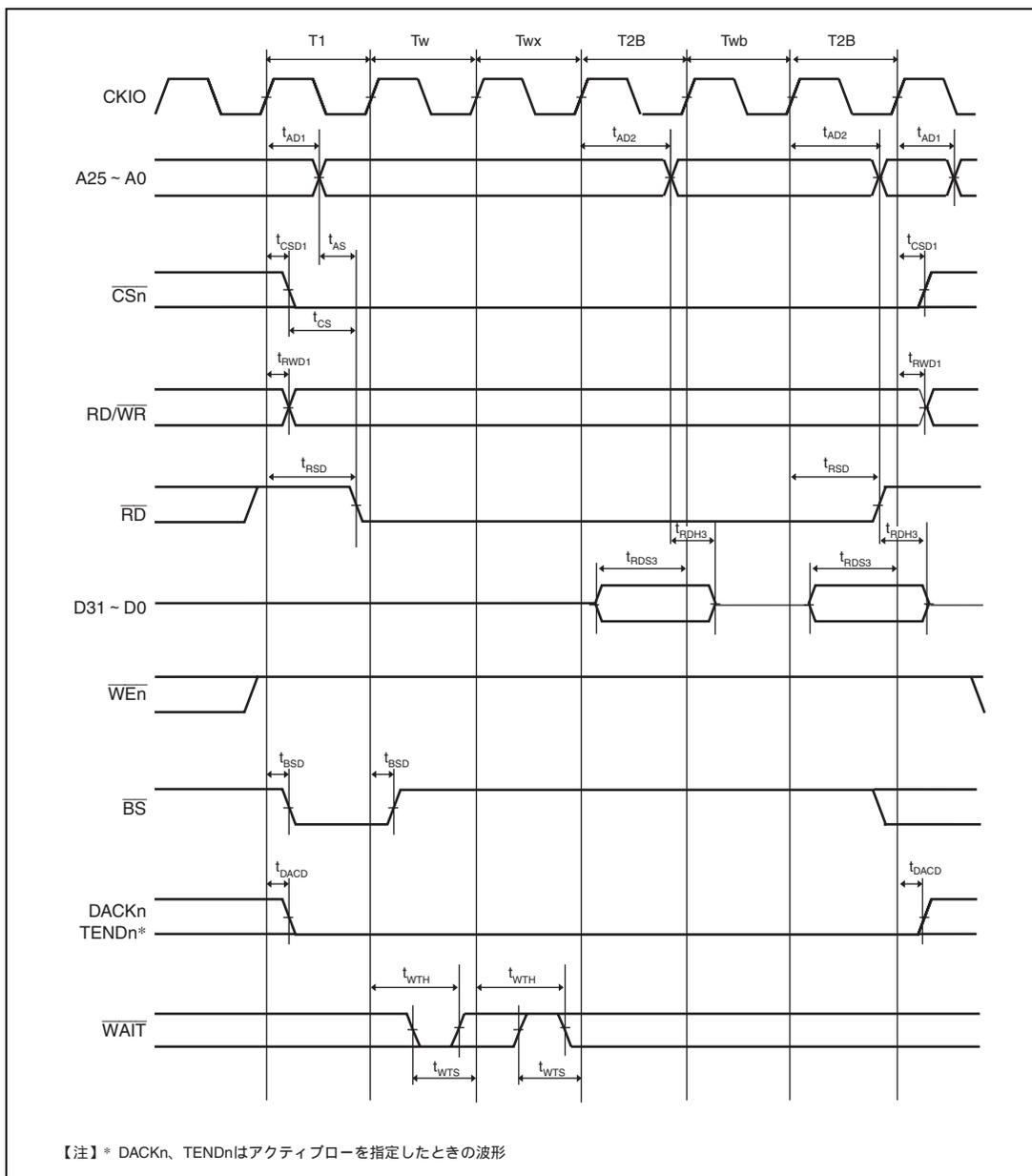


図 35.21 バースト ROM リードサイクル  
(ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト)

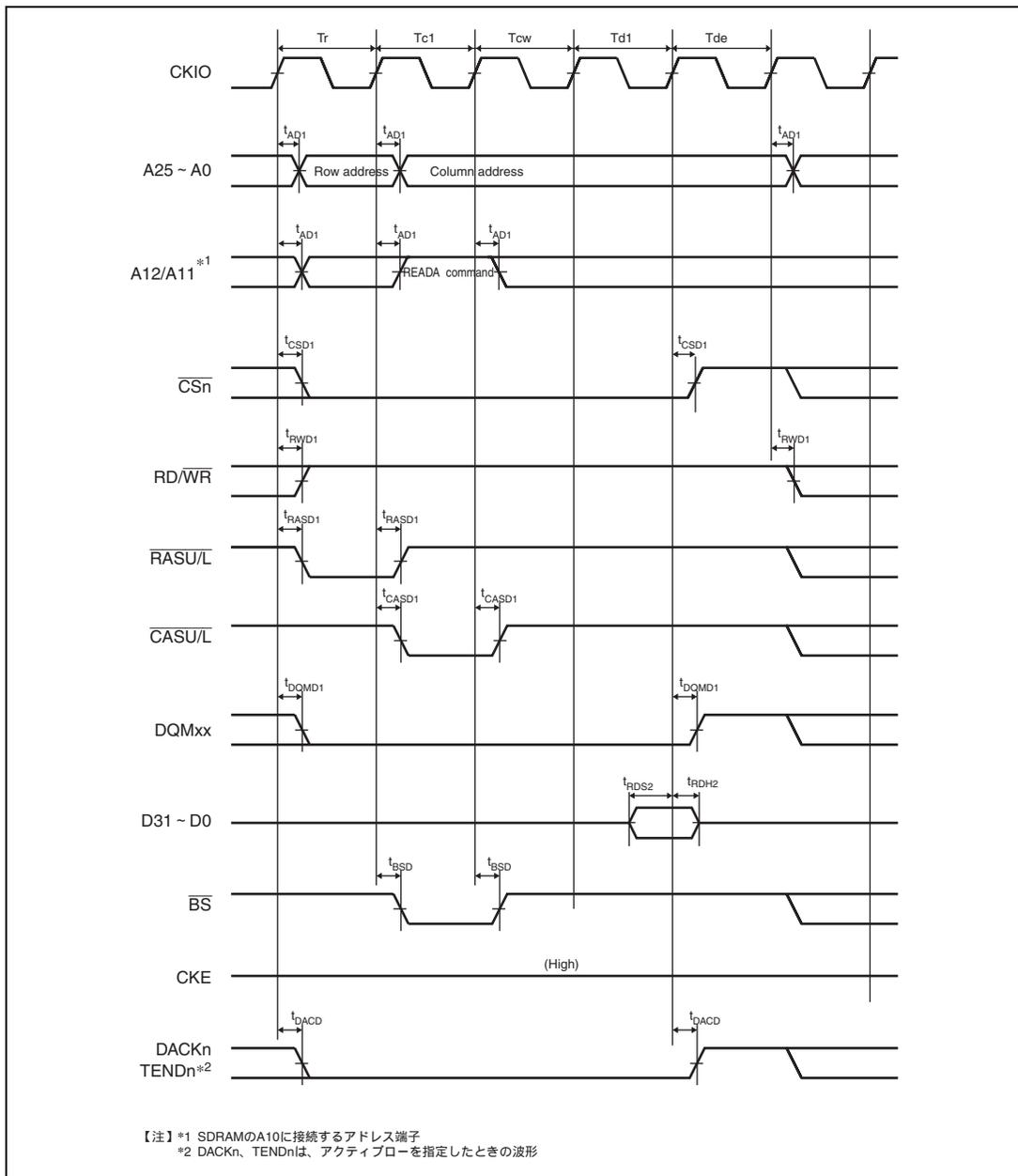


図 35.22 シンクロナス DRAM シングルリードバスサイクル  
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 0 サイクル)

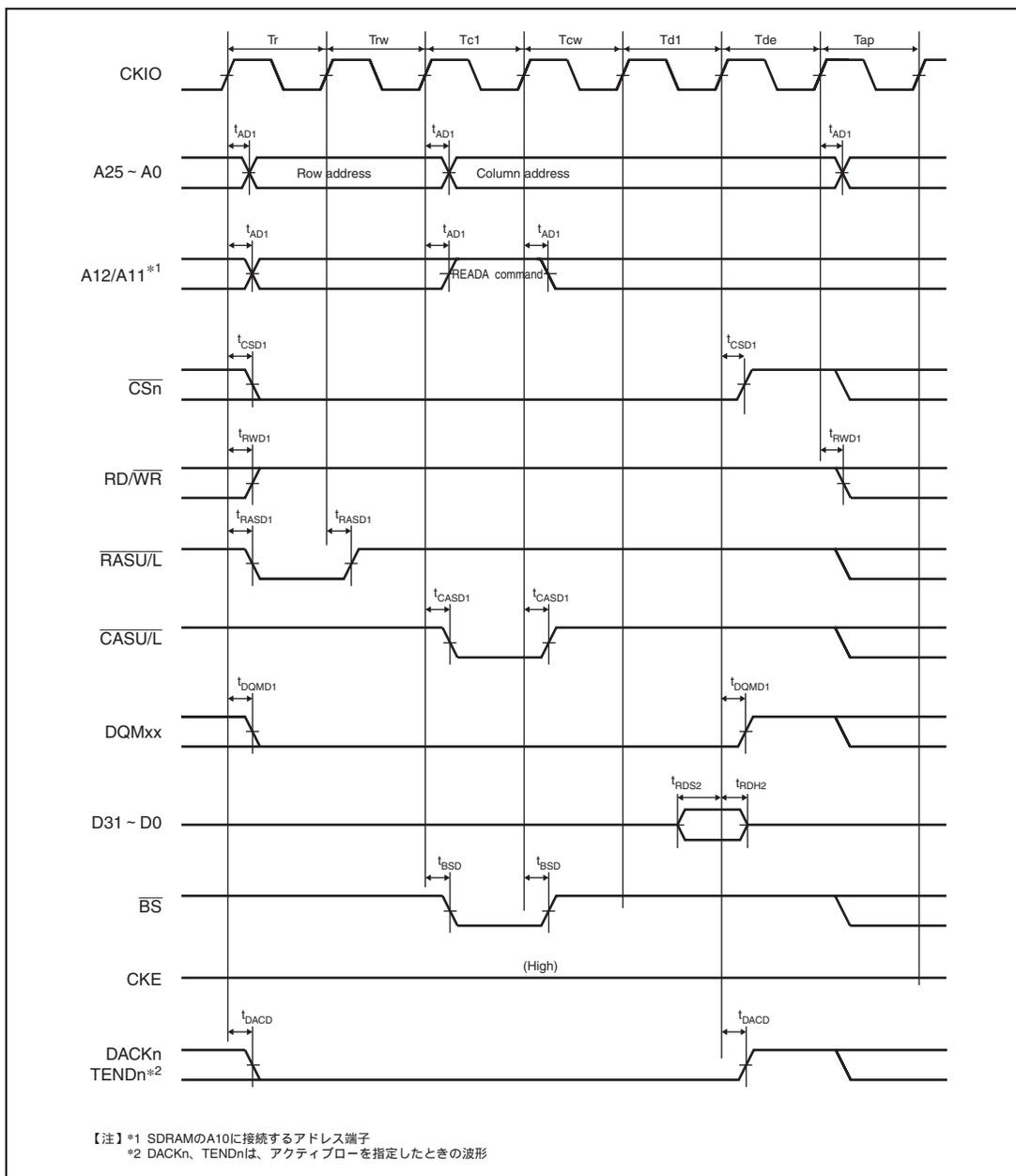


図 35.23 シンクロナス DRAM シングルリードバスサイクル  
(オートプリチャージあり、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

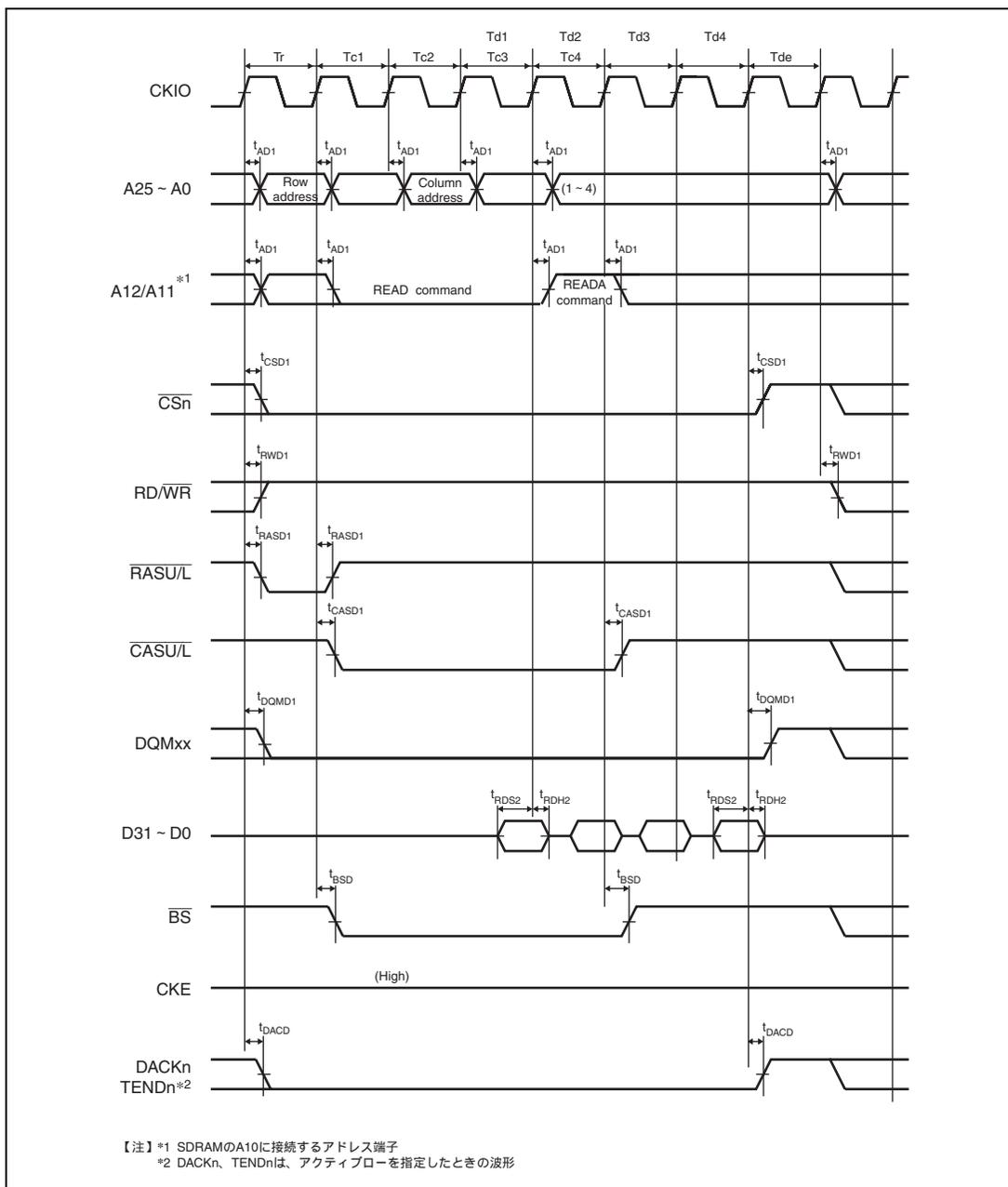


図 35.24 シンクロナス DRAM バーストリードバスサイクル (リード4 サイクル分)  
 (オートプリチャージあり、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)

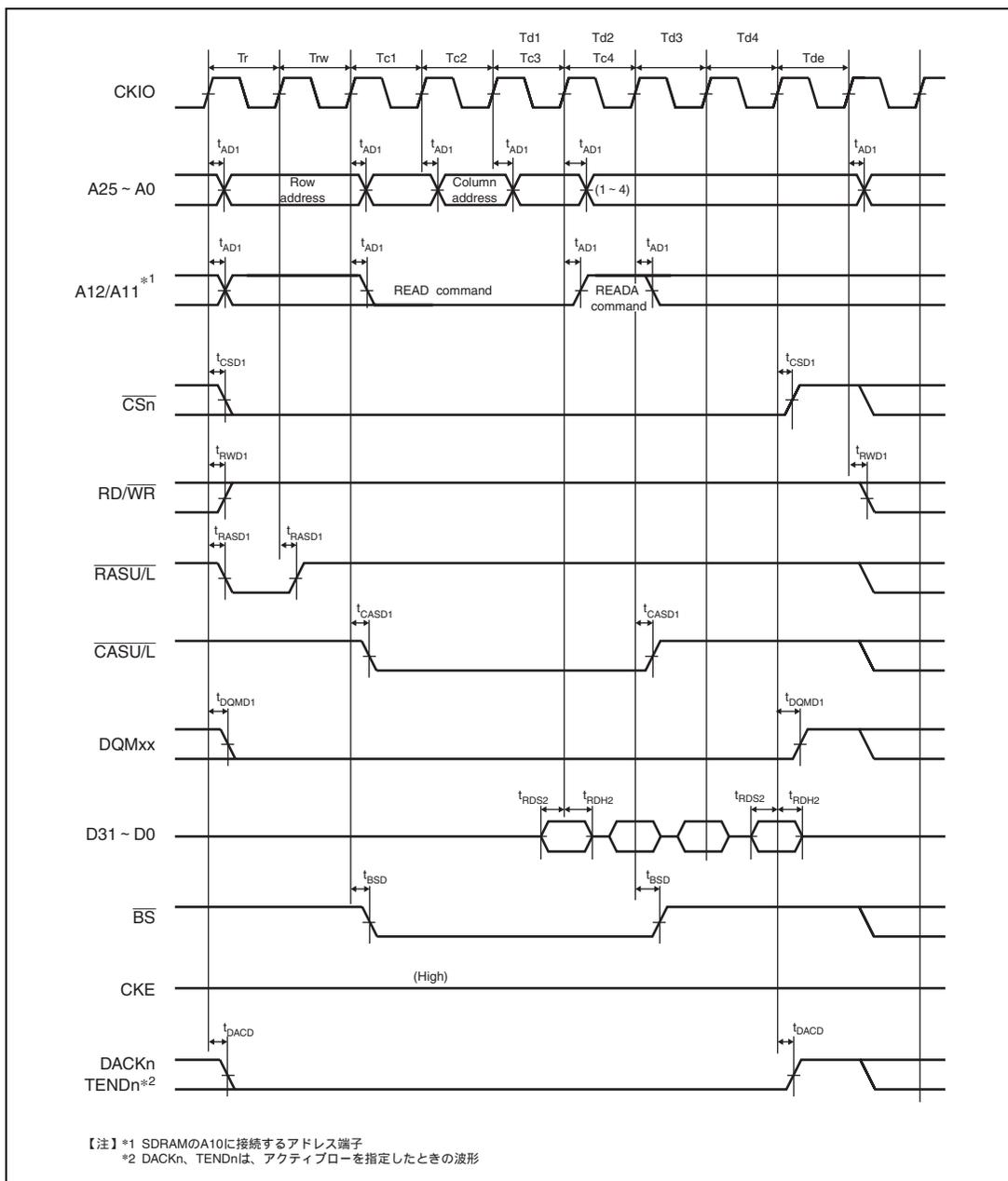


図 35.25 シンクロナス DRAM バーストリードバスサイクル (リード 4 サイクル分)  
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=0 サイクル)

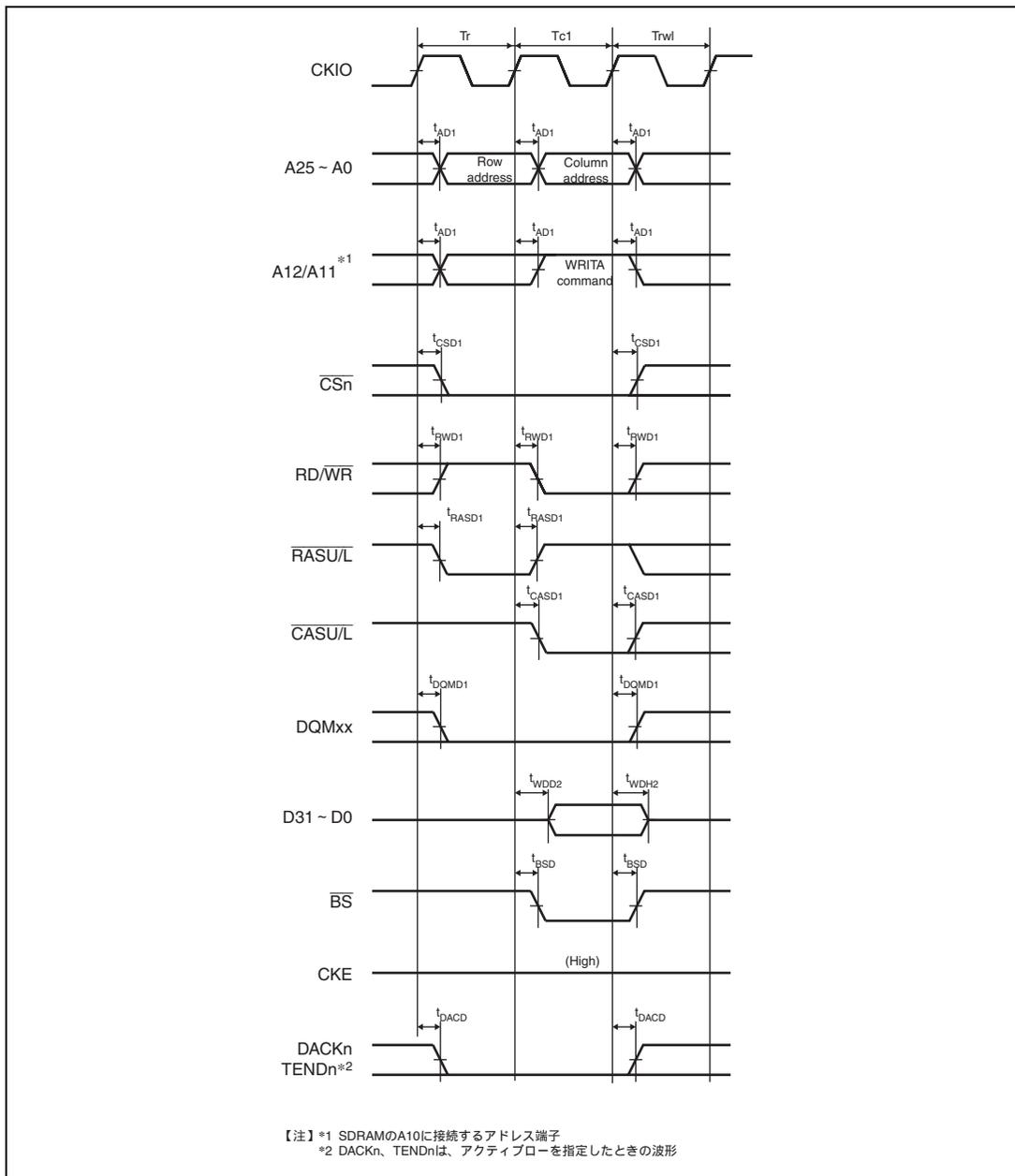


図 35.26 シンクロナス DRAM シングルライトバスサイクル  
(オートプリチャージあり、TRWL = 1 サイクル)

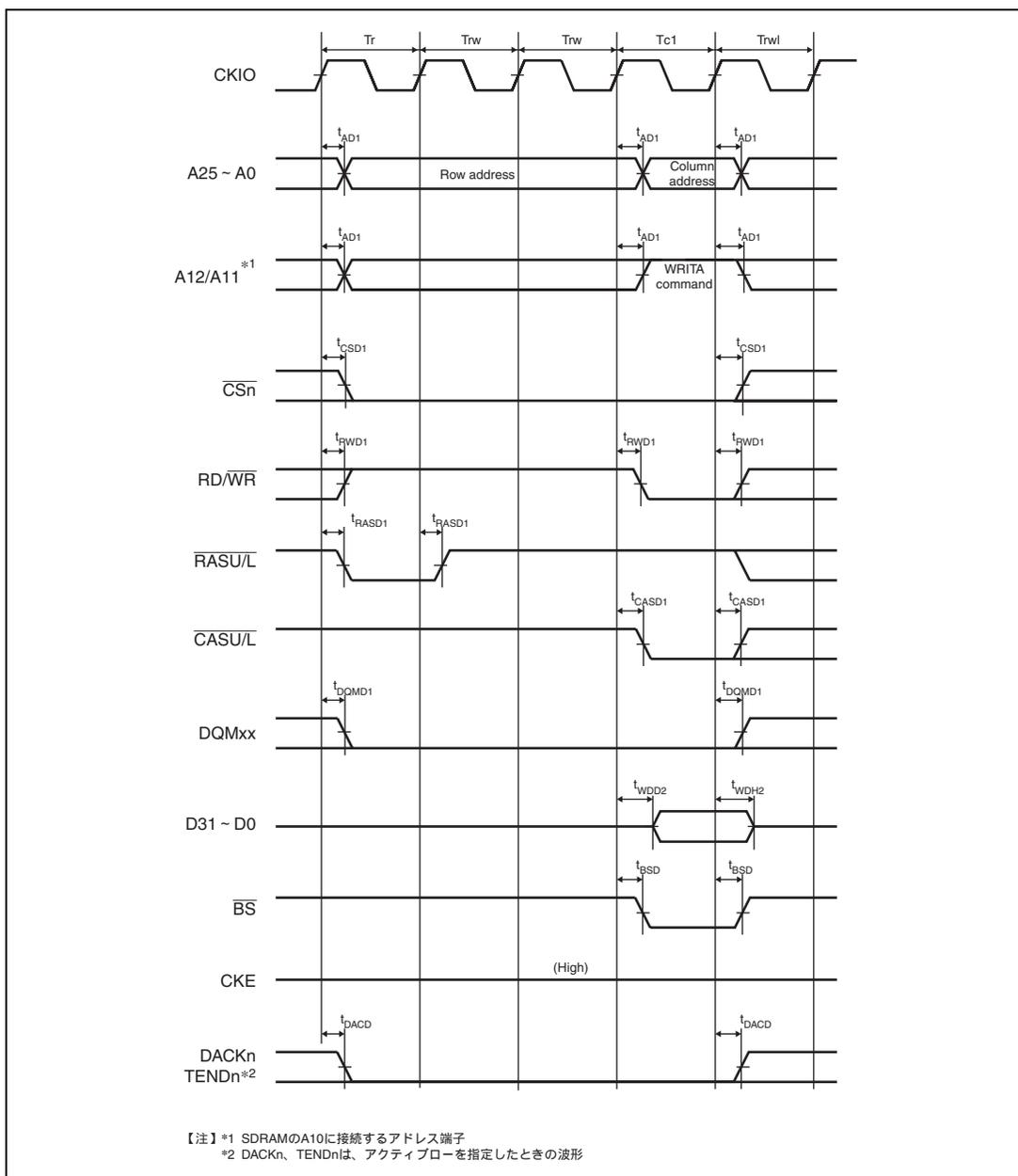


図 35.27 シンクロナス DRAM シングルライトバスサイクル  
(オートプリチャージあり、WTRCD = 2 サイクル、TRWL = 1 サイクル)

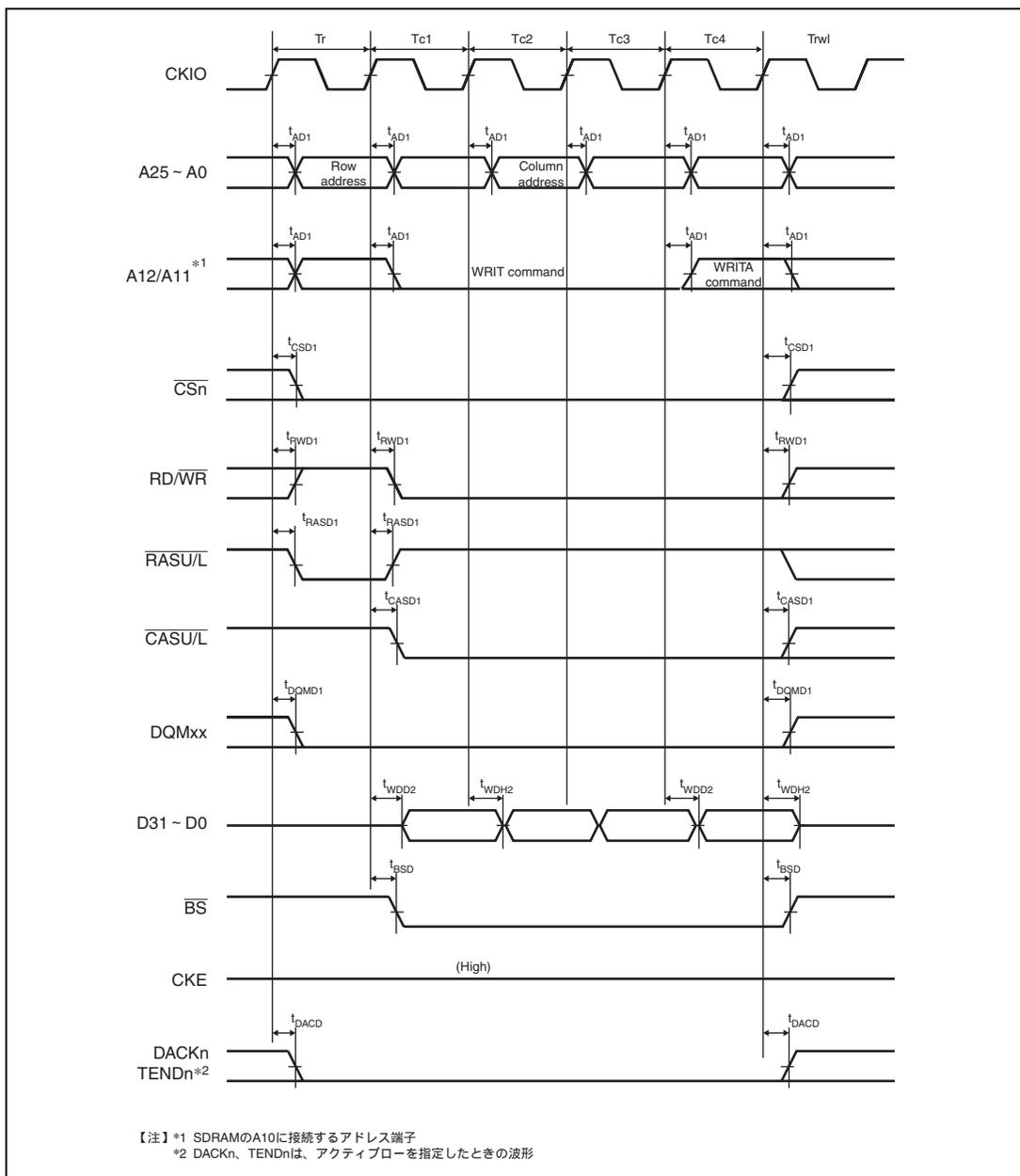


図 35.28 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)  
(オートプリチャージあり、WTRCD=0 サイクル、TRWL=1 サイクル)

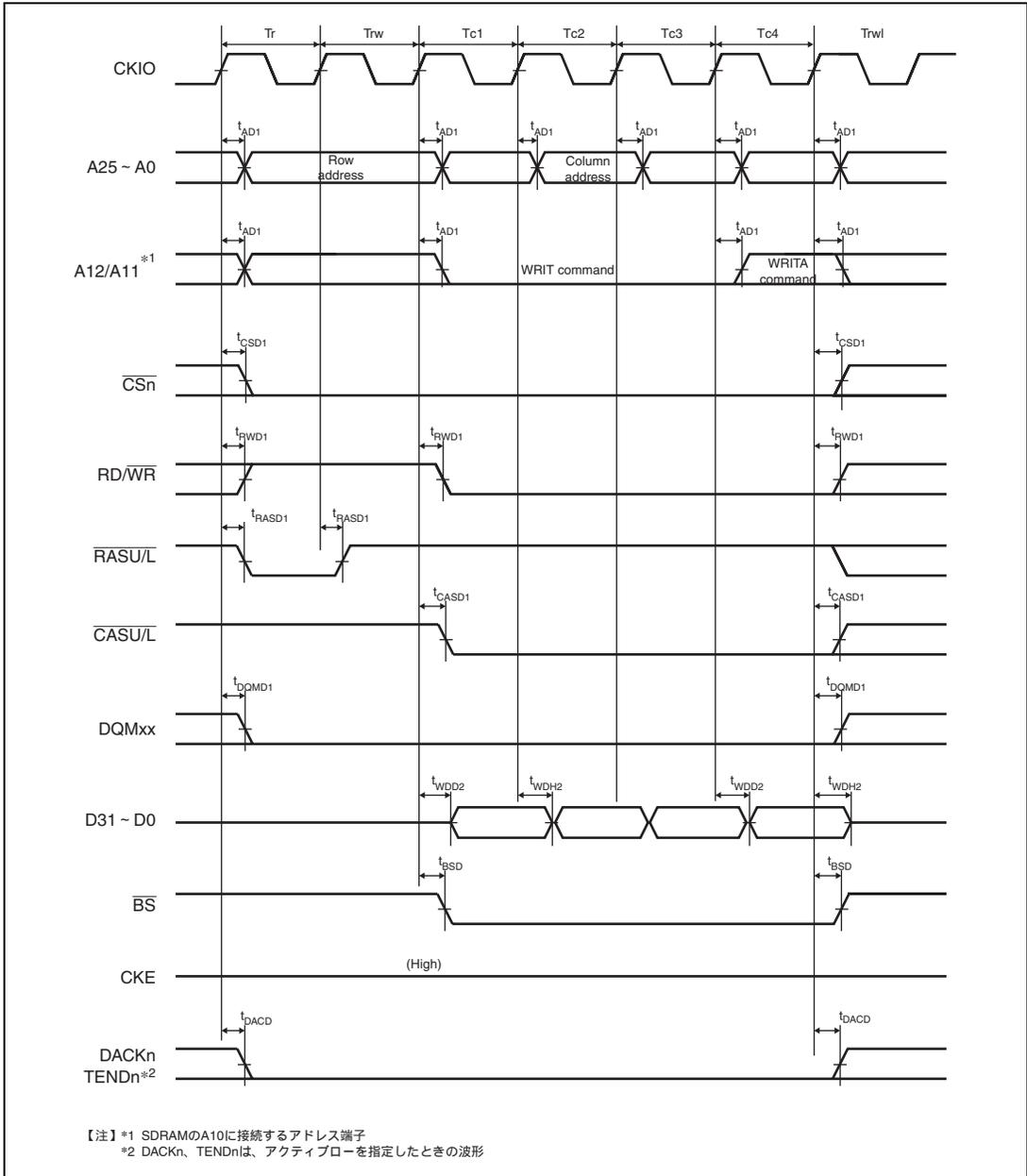


図 35.29 シンクロナス DRAM パーストライトバスサイクル (ライト 4 サイクル分)  
(オートプリチャージあり、WTRCD = 1 サイクル、TRWL = 1 サイクル)

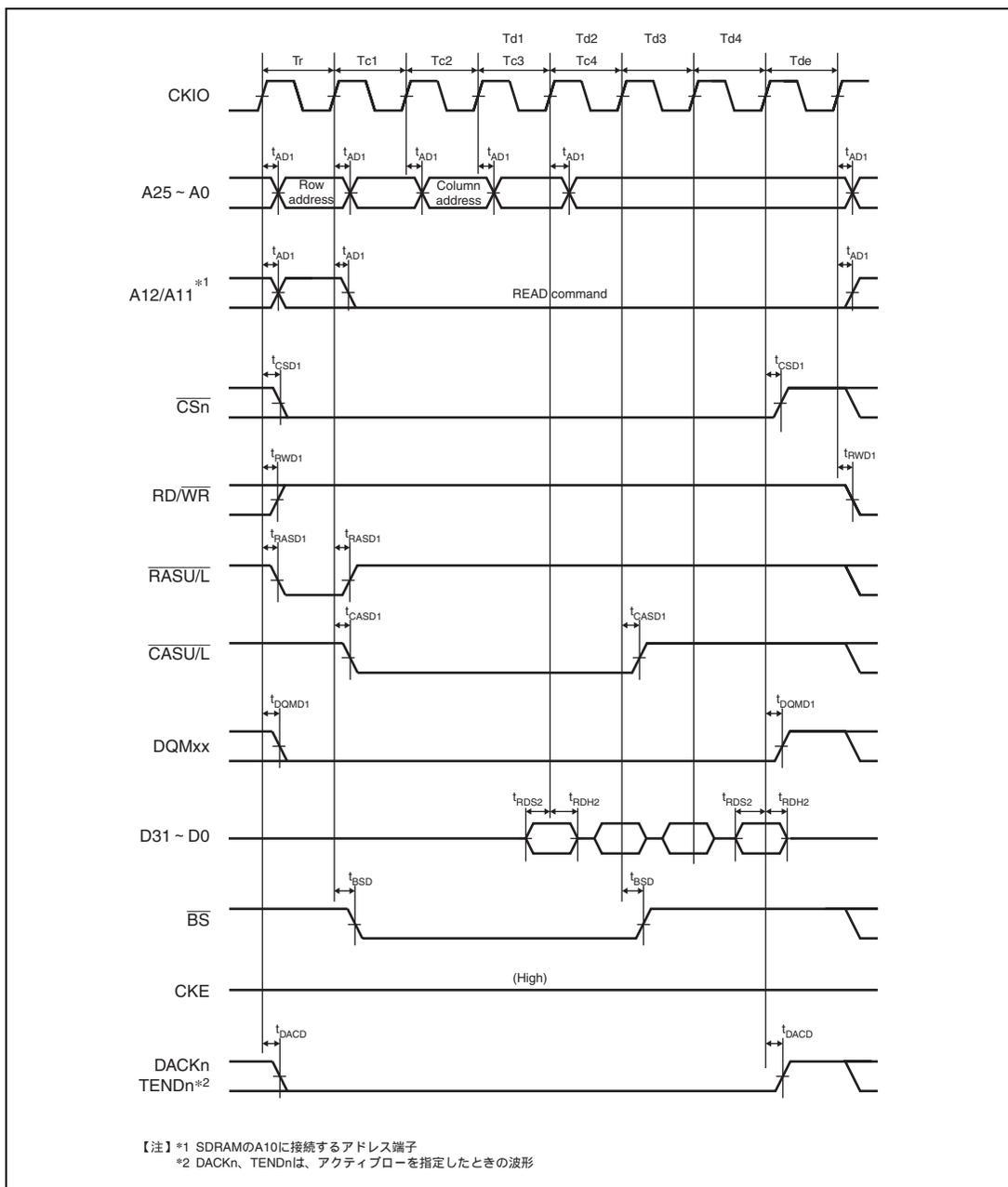


図 35.30 シンクロナス DRAM パーストリードバスサイクル (リード4 サイクル分)  
(バンクアクティブモード : ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)

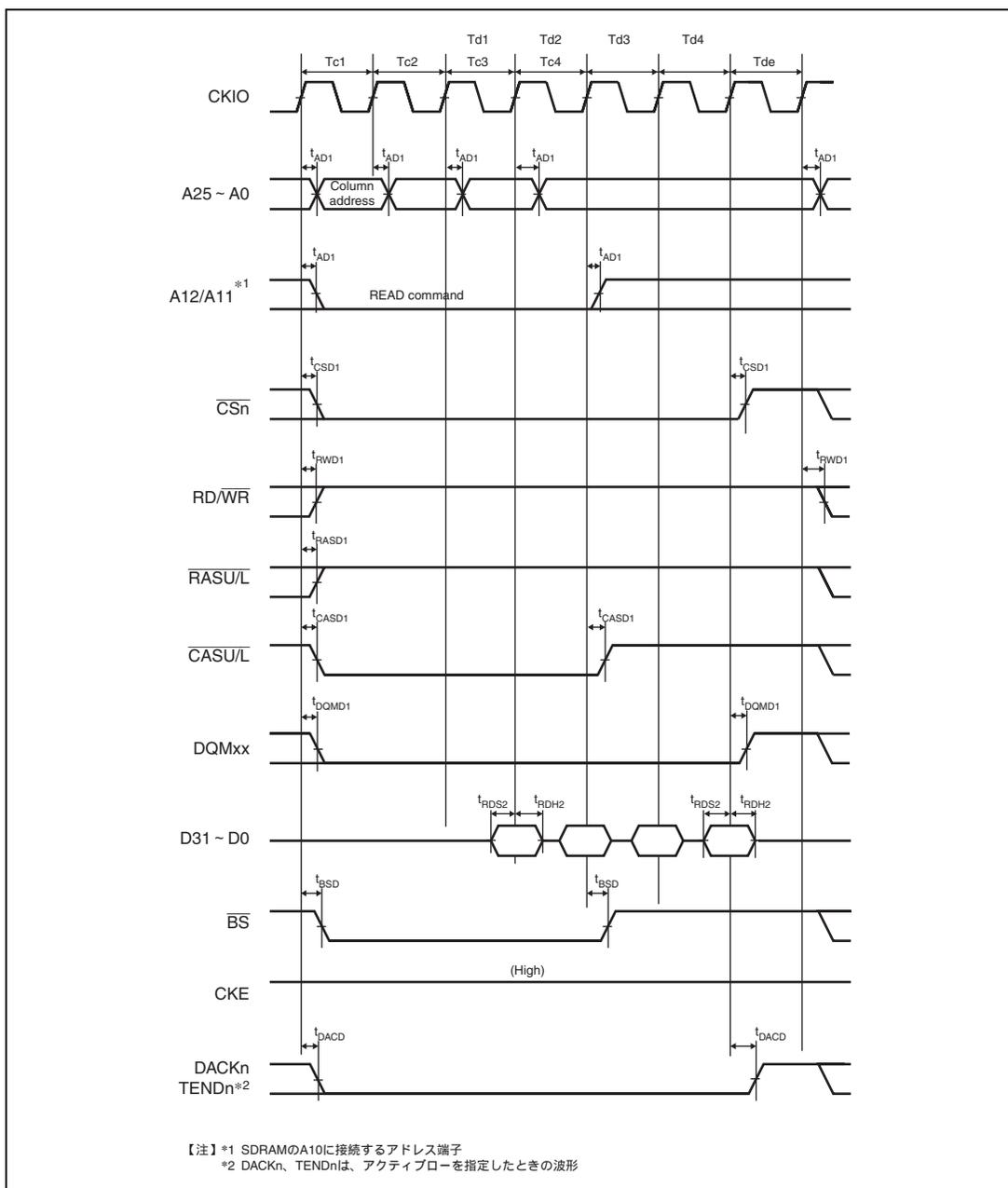


図 35.31 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)  
(バンクアクティブモード : READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

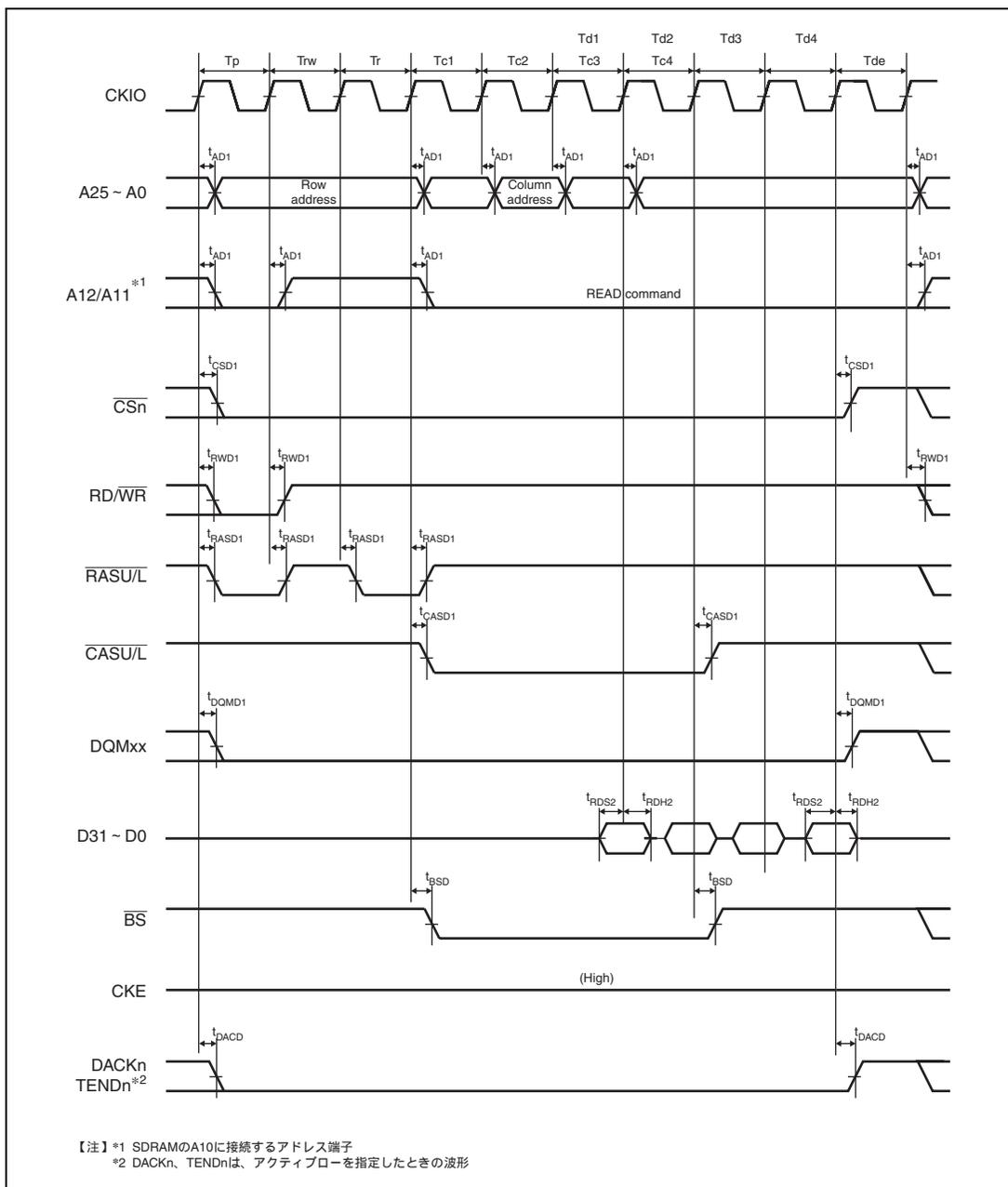


図 35.32 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)  
 (バンクアクティブモード : PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、  
 WTRCD = 0 サイクル)

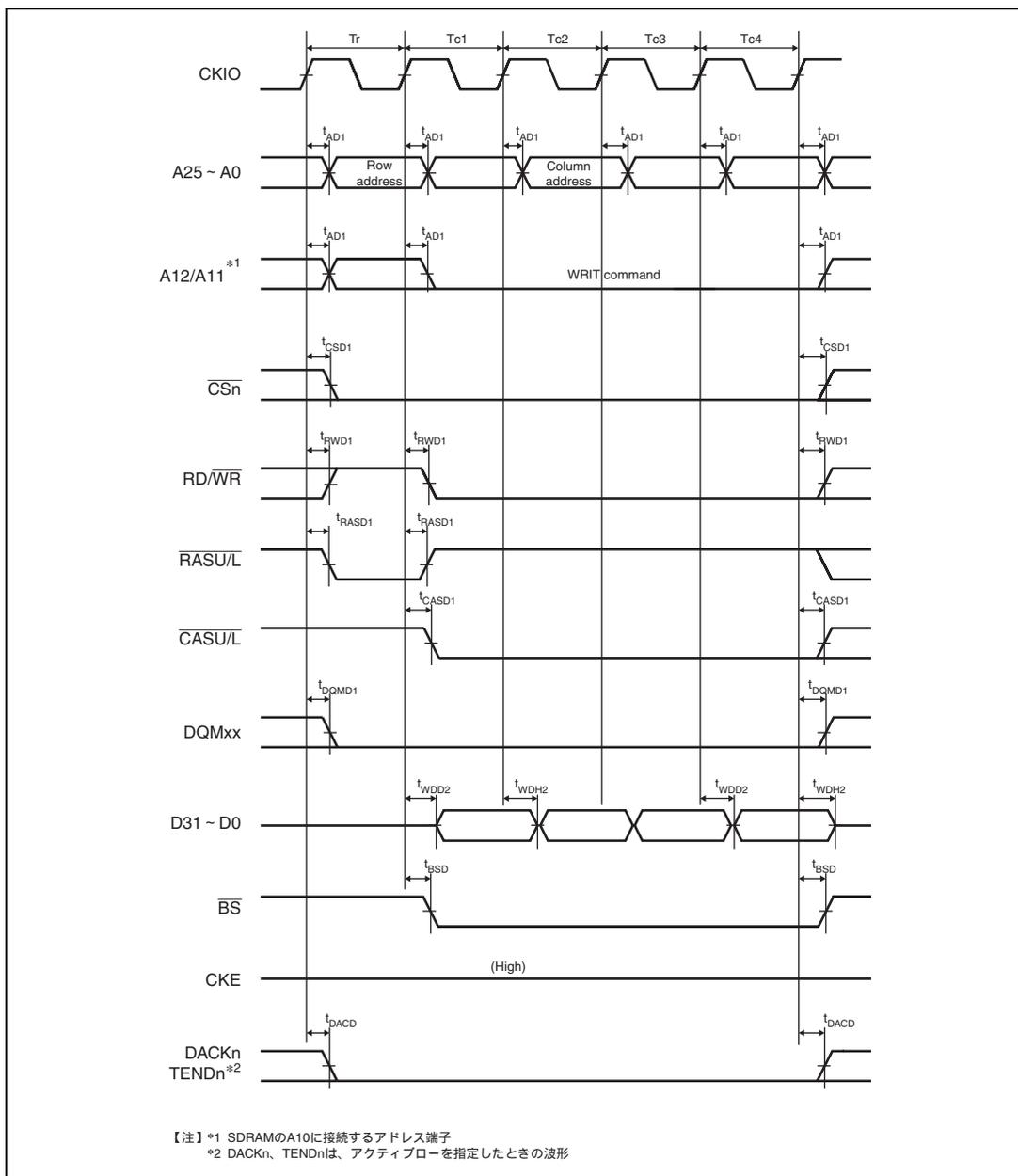


図 35.33 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)  
(バンクアクティブモード: ACT+WRITE コマンド、WTRCD=0 サイクル、TRWL=0 サイクル)

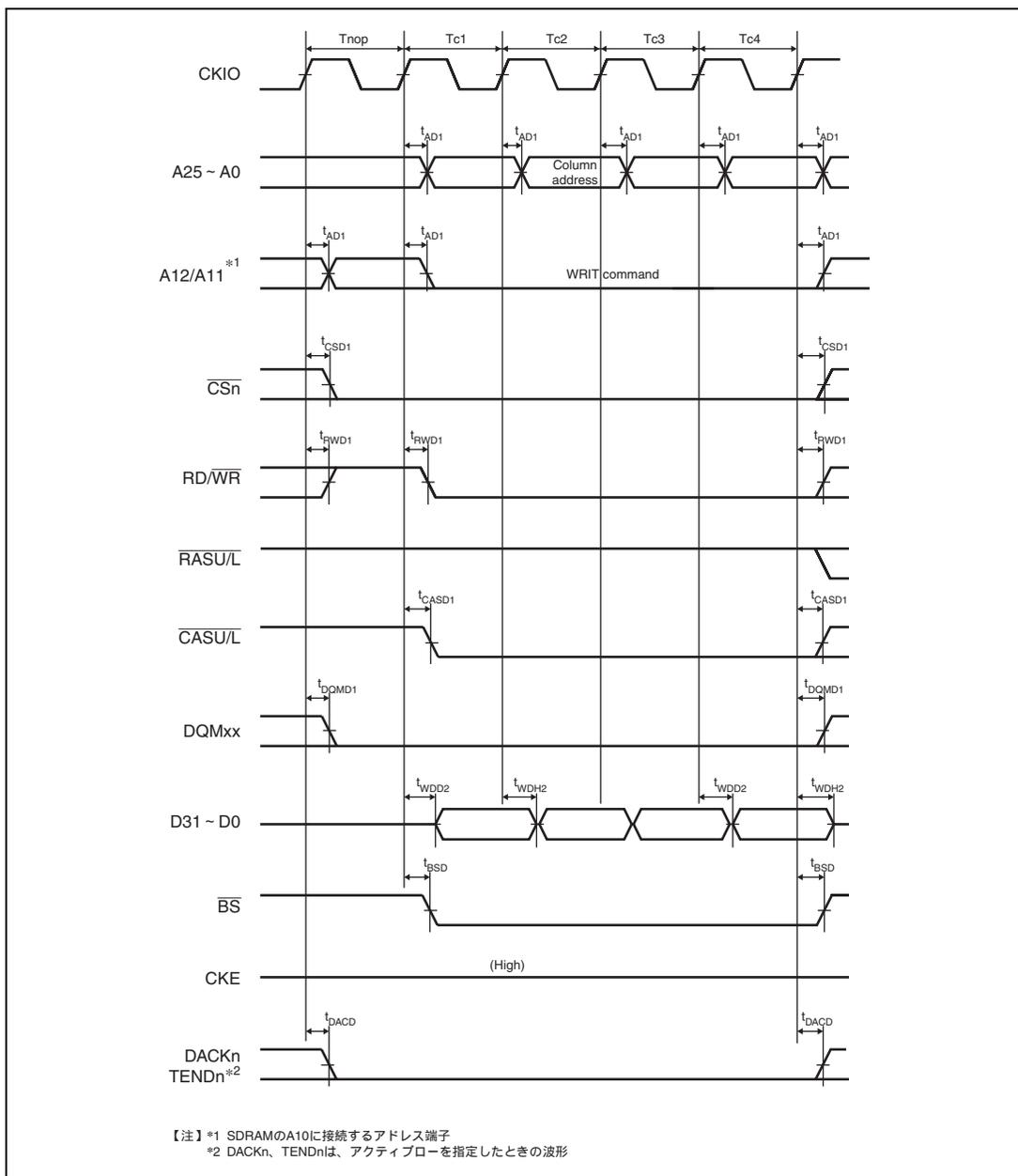


図 35.34 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)  
(バンクアクティブモード : WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

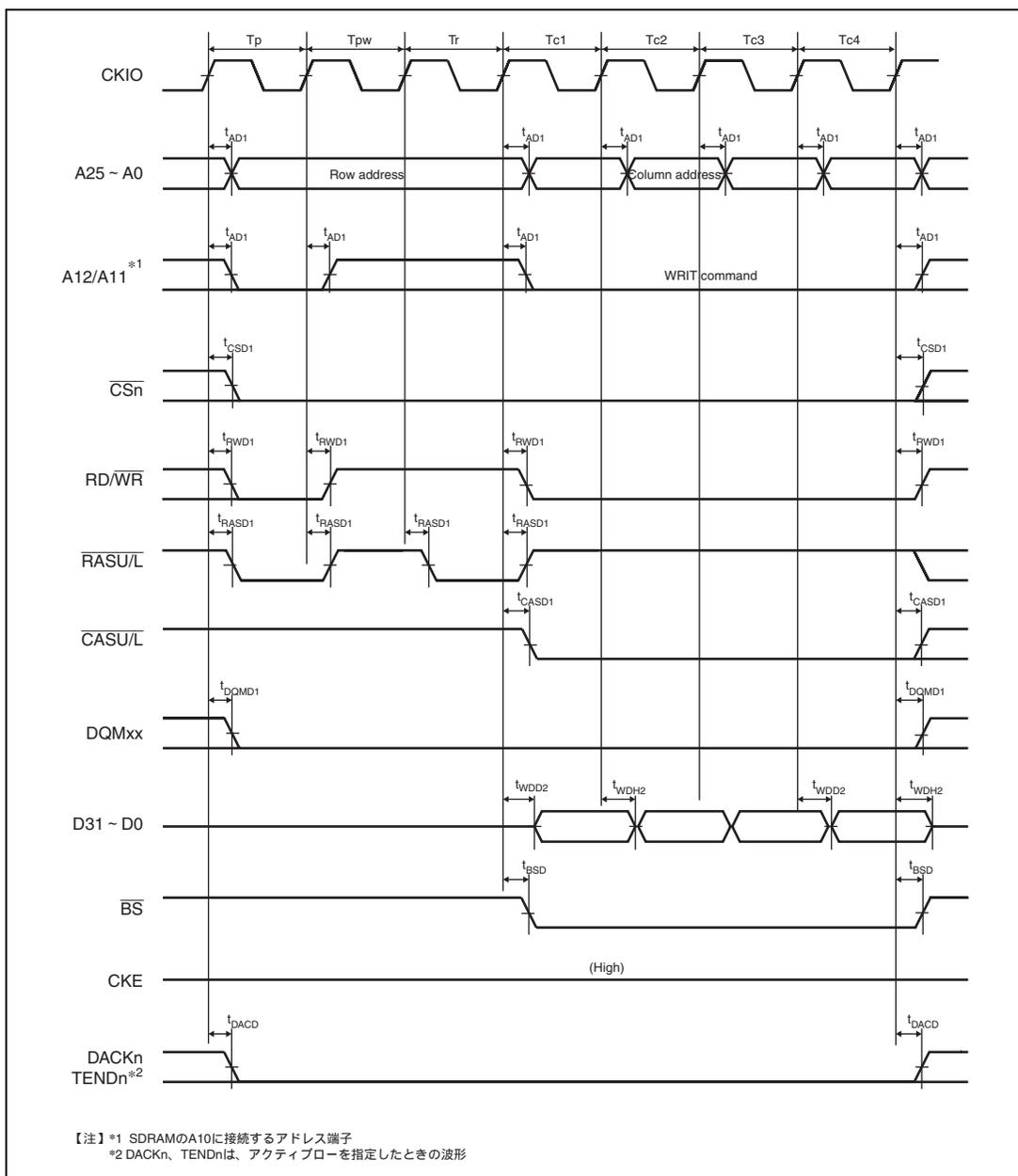


図 35.35 シンクロナス DRAM パーストライトバスサイクル (ライト4サイクル分)  
(バンクアクティブモード : PRE + ACT + WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、  
TRWL = 0 サイクル)

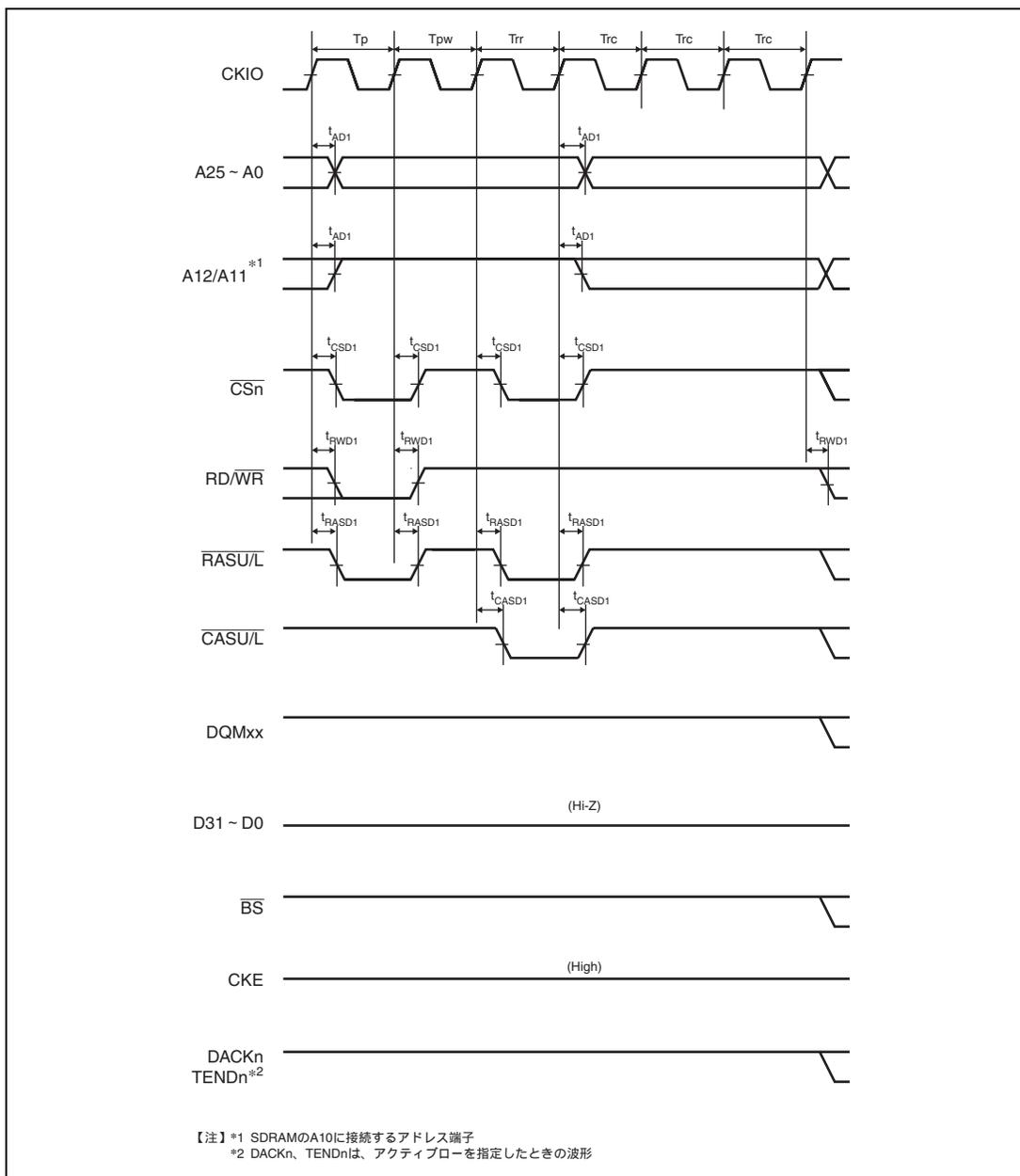


図 35.36 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

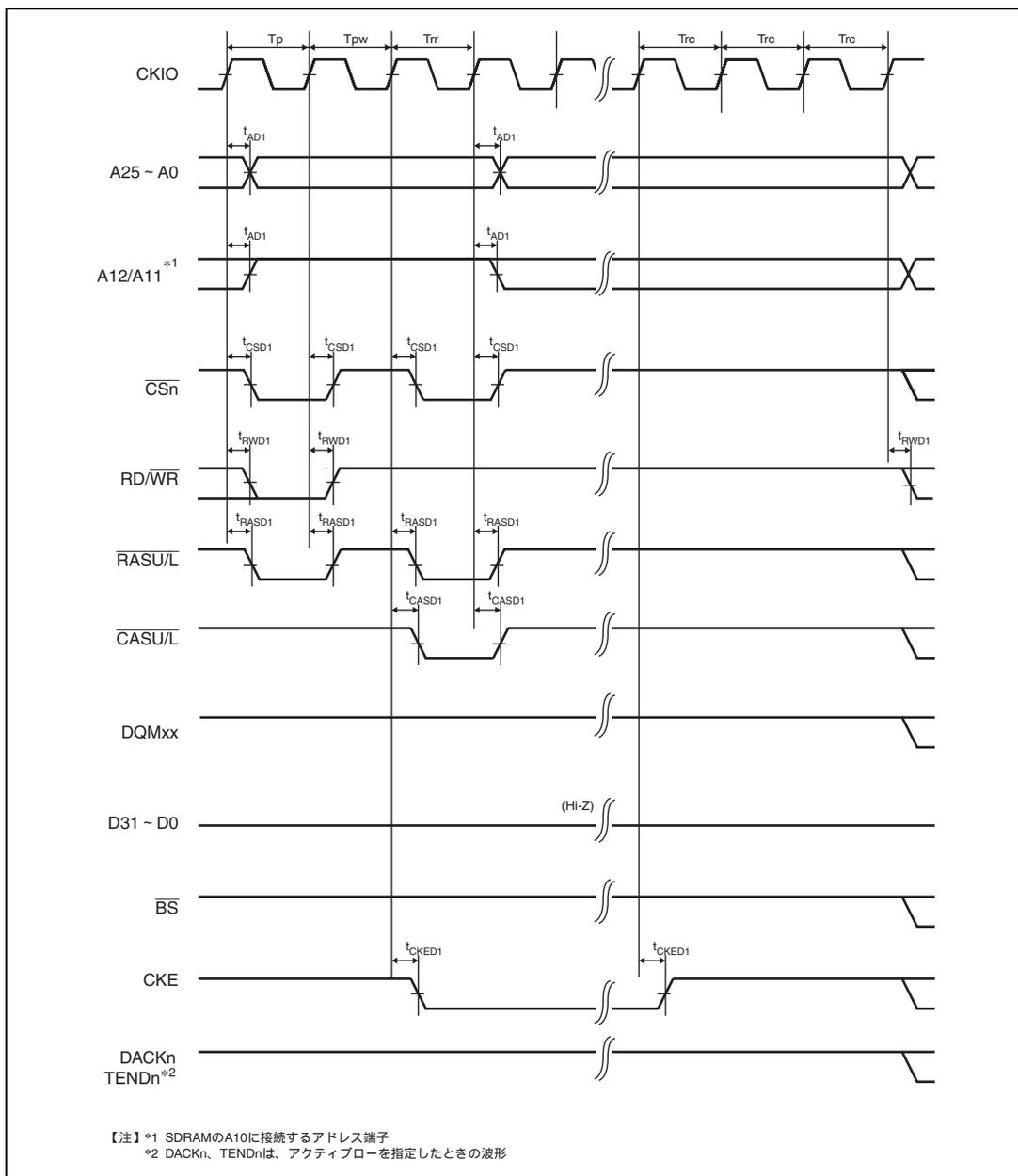


図 35.37 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル)

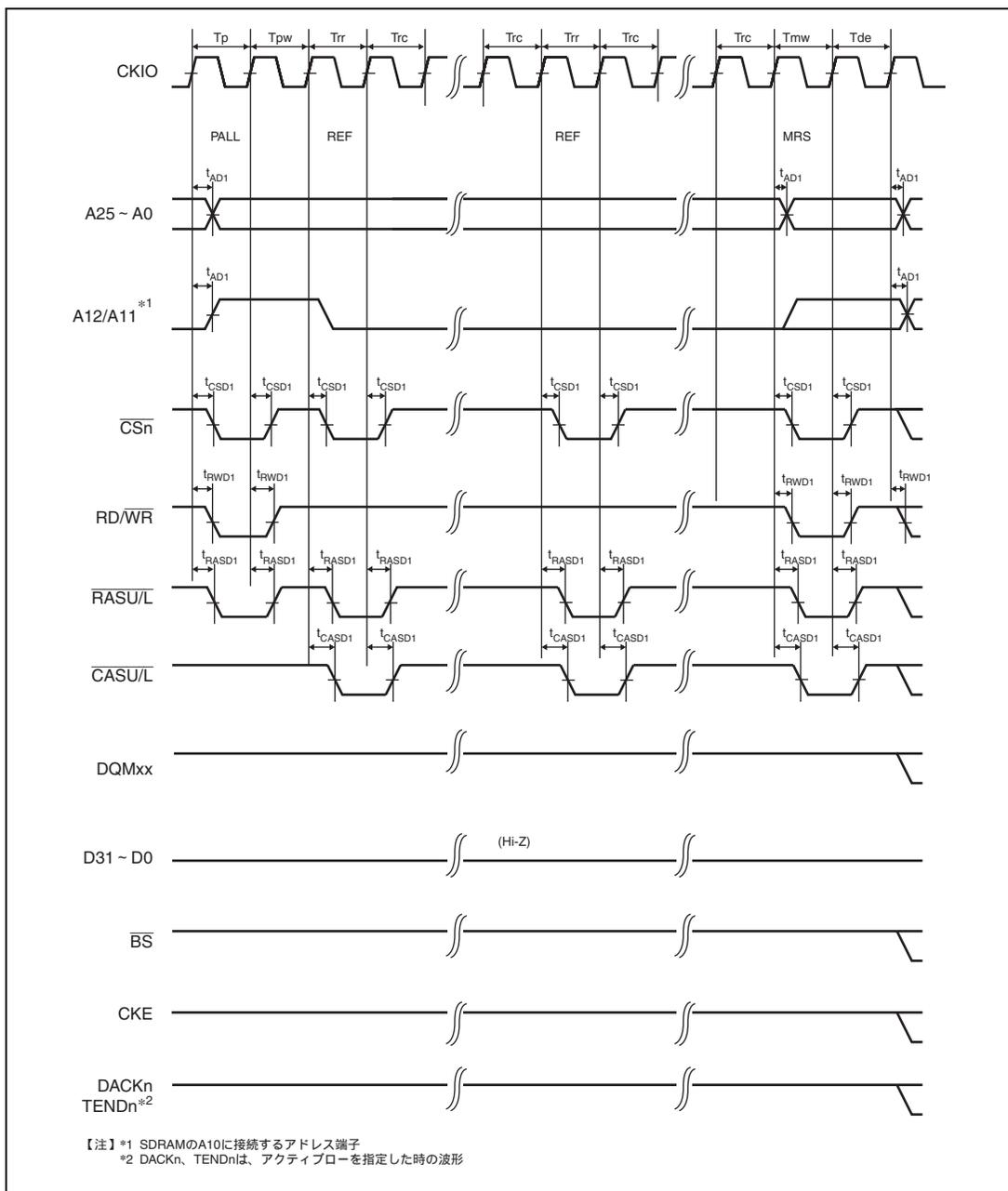


図 35.38 シンクロナス DRAM モードレジスタ書き込みタイミング (WTRP = 1 サイクル)

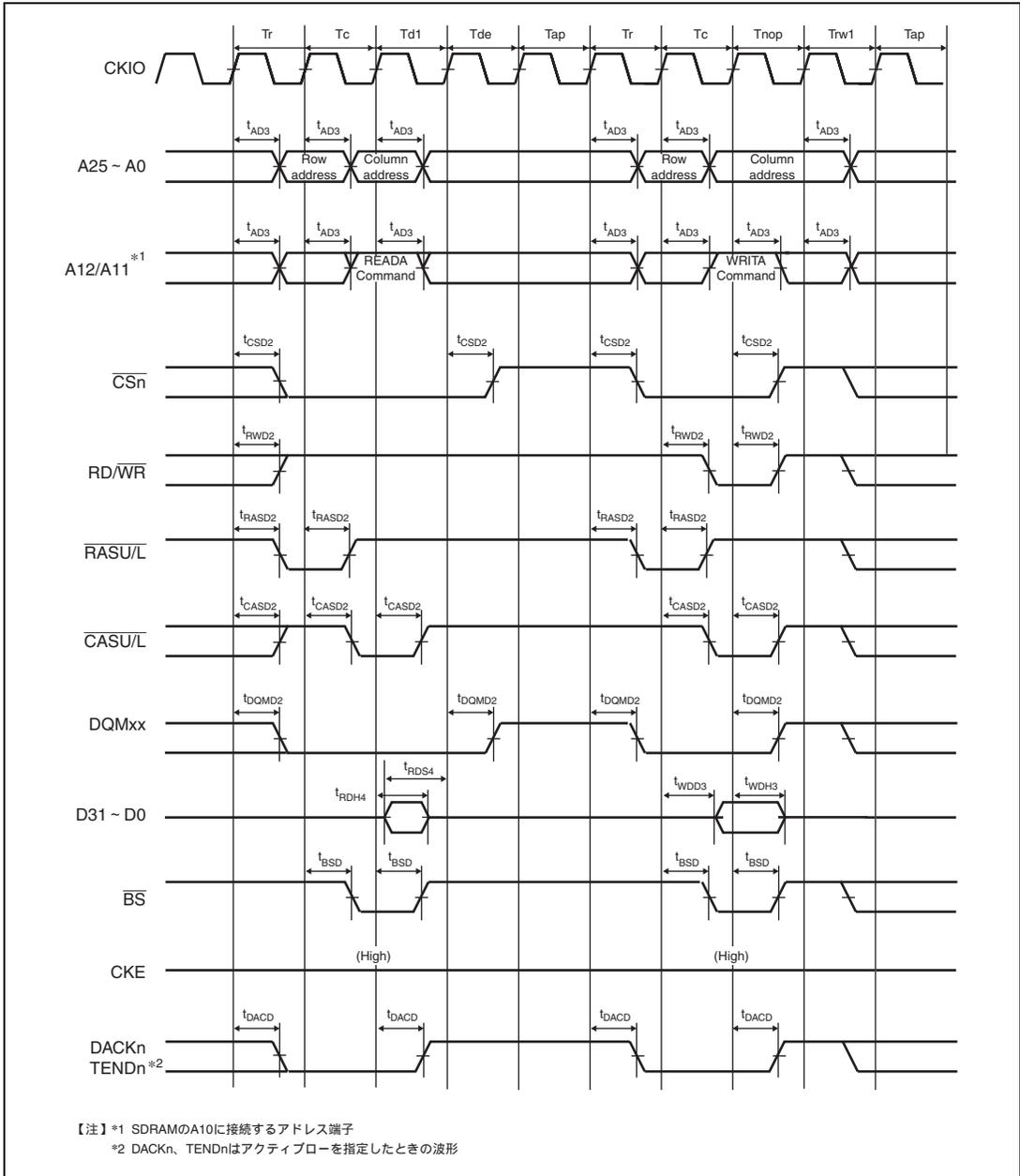


図 35.39 シンクロナス DRAM 低周波モードでのアクセスタイミング  
(オートプリチャージモード、TRWL = 2 サイクル)

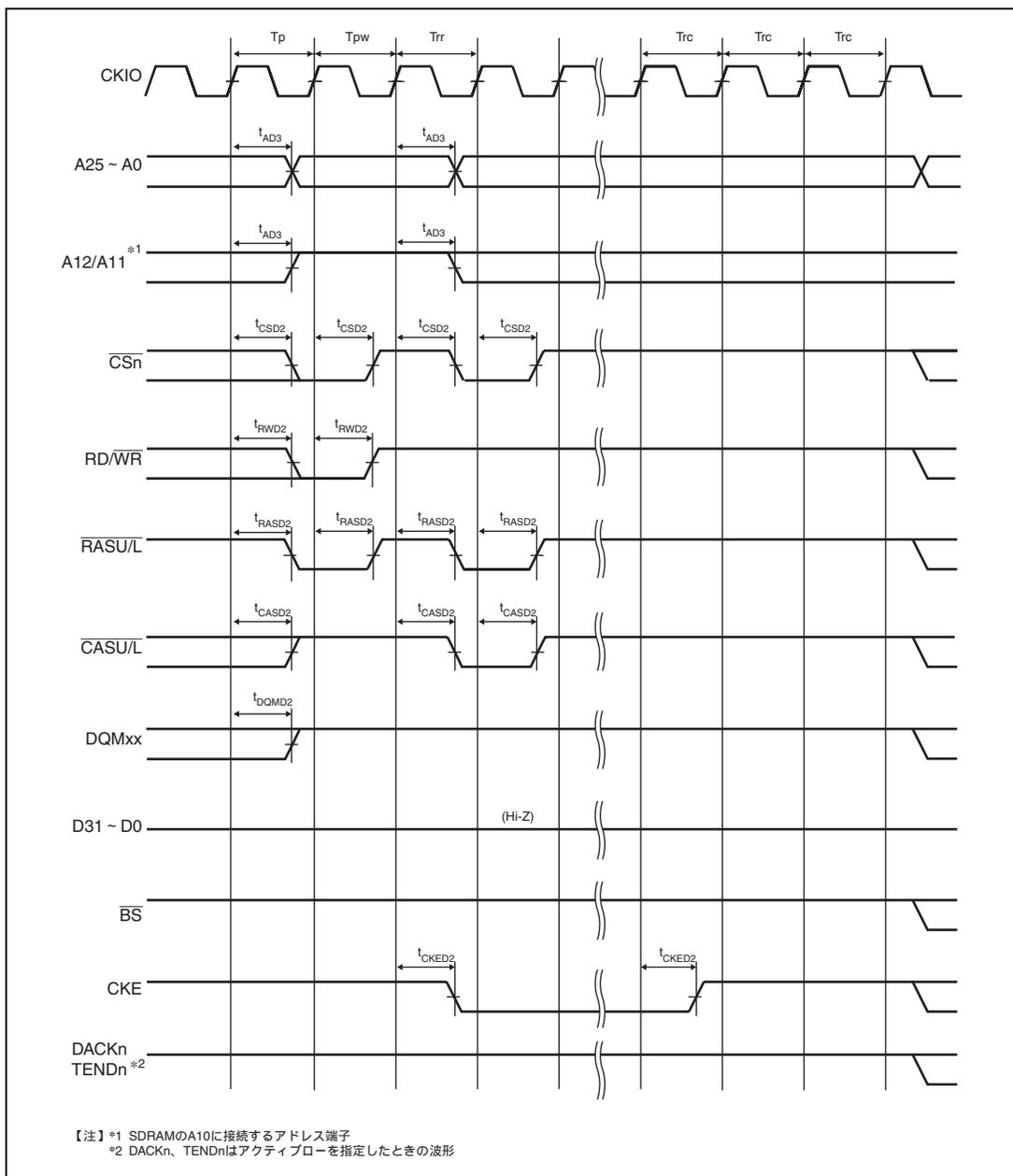


図 35.40 シンクロナス DRAM 低周波数モードセルフリフレッシュタイミング (WTRP = 2 サイクル)

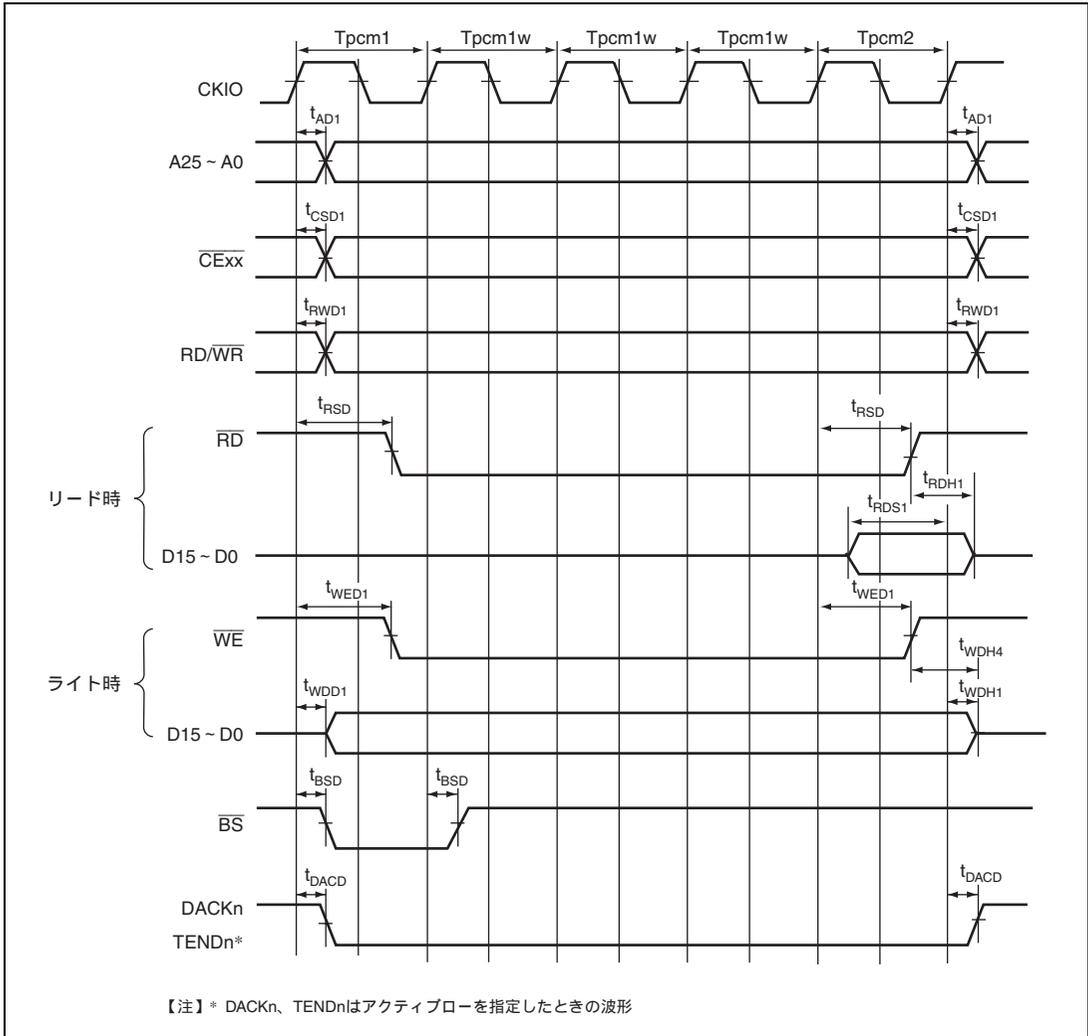


図 35.41 PCMCIA メモリカードバスサイクル (TED=0 サイクル、TEH=0 サイクル、ノーウェイト)

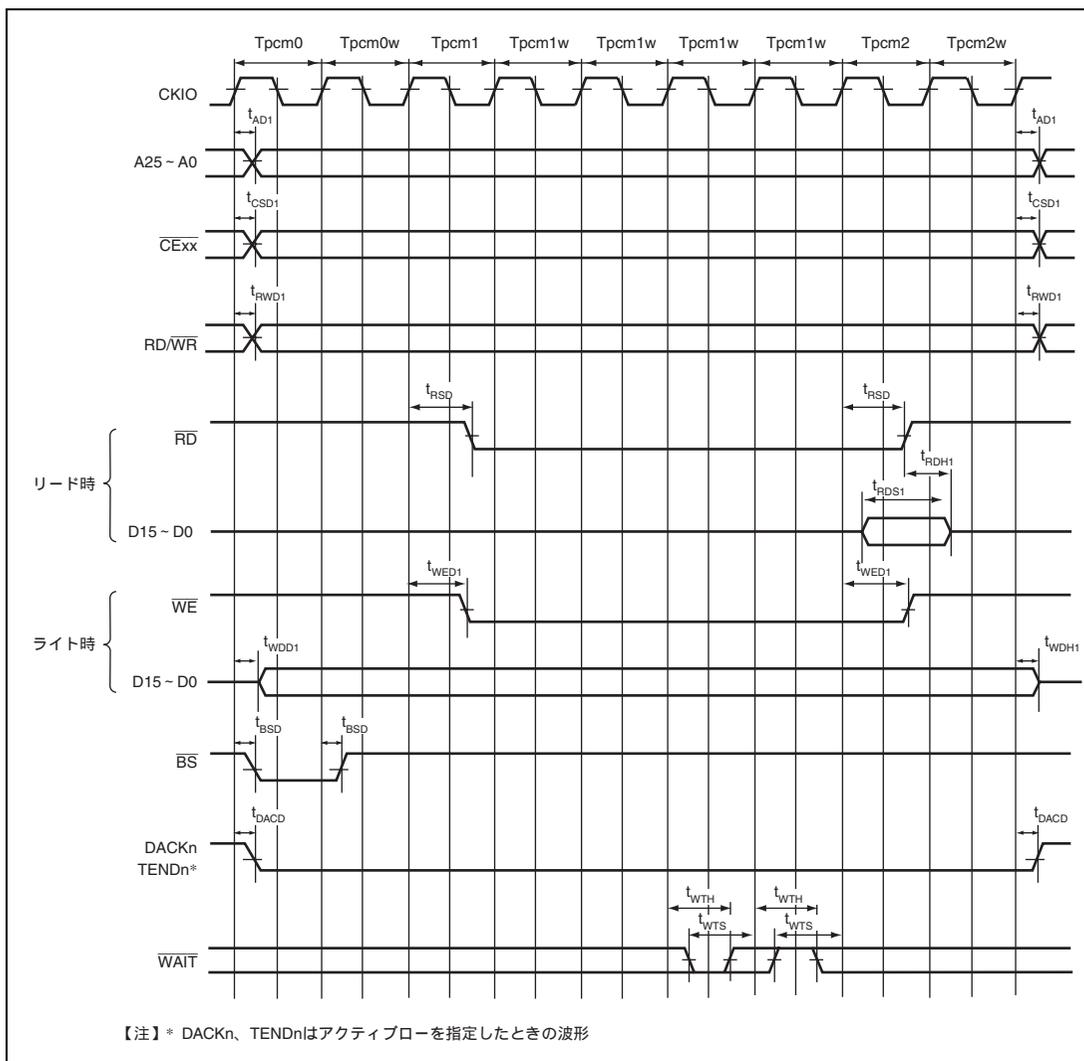


図 35.42 PCMCIA メモリカードバスサイクル  
(TED = 2 サイクル、TEH = 1 サイクル、ソフトウェアイト 0、ハードウェアイト 1)

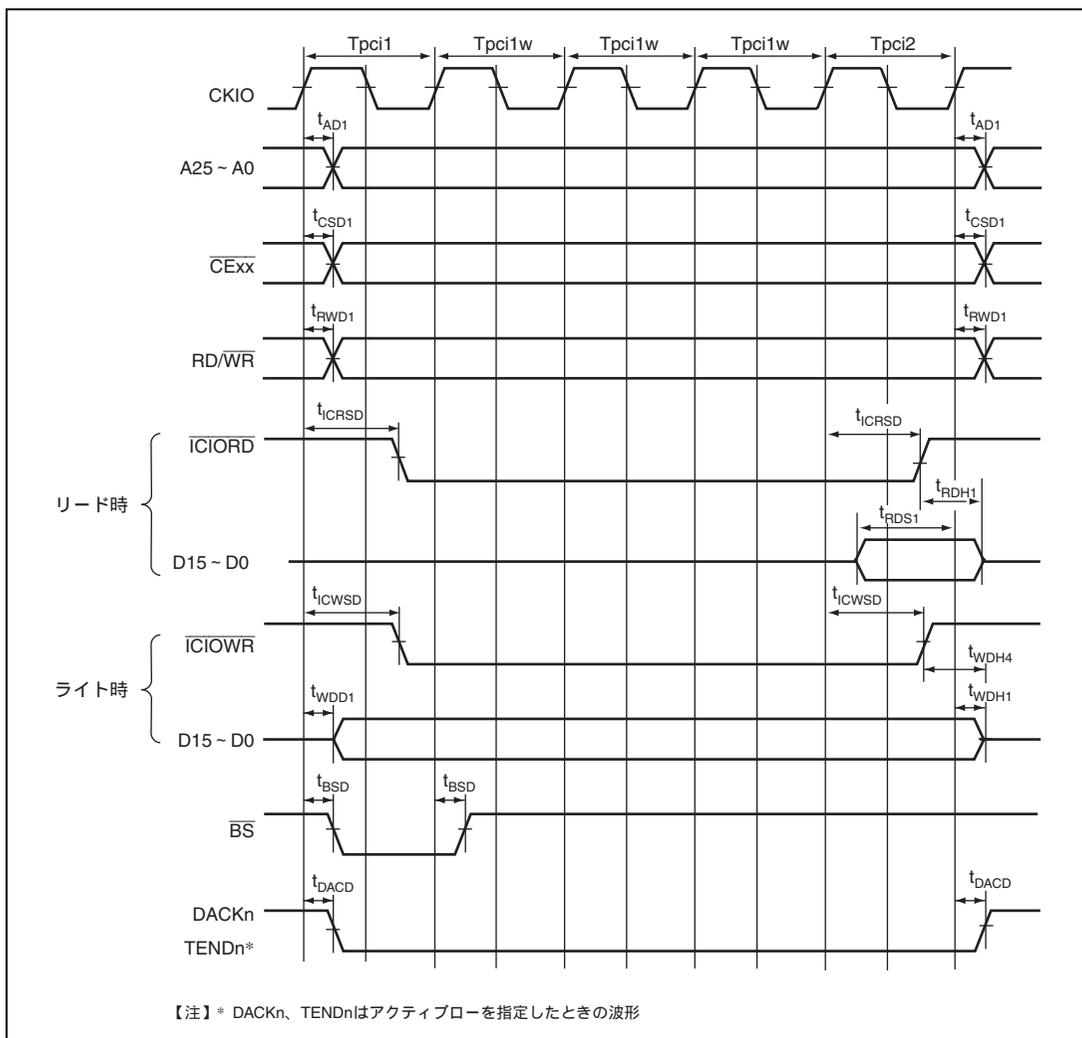


図 35.43 PCMCIA I/O カードバスサイクル (TED=0 サイクル、TEH=0 サイクル、ノーウェイト)

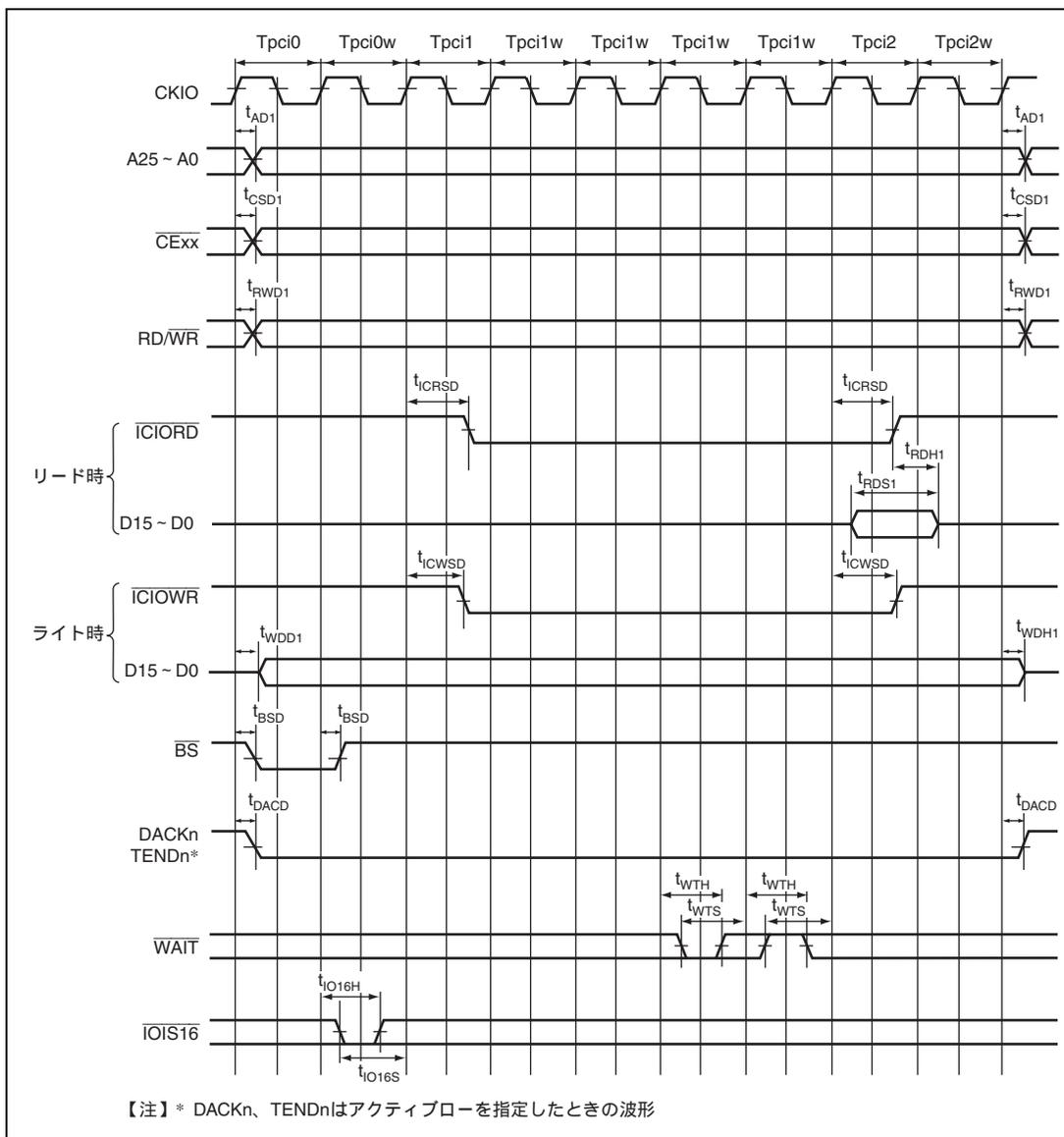


図 35.44 PCMCIA I/O カードバスサイクル  
(TED=2 サイクル、TEH=1 サイクル、ソフトウェアイト 0、ハードウェアイト 1)

## 35.4.4 UBC タイミング

表 35.9 UBC タイミング

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
UBCTRG 遅延時間	$t_{UBCTGD}$	-	14	ns	35.45

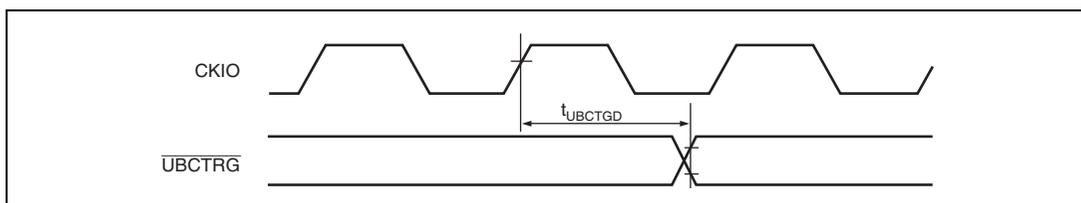


図 35.45 UBC トリガタイミング

## 35.4.5 DMAC タイミング

表 35.10 DMAC タイミング

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	$t_{DRQS}$	15	-	ns	35.46
DREQ ホールド時間	$t_{DRQH}$	15	-		
DACK、TEND 遅延時間	$t_{DADC}$	0	13		35.47

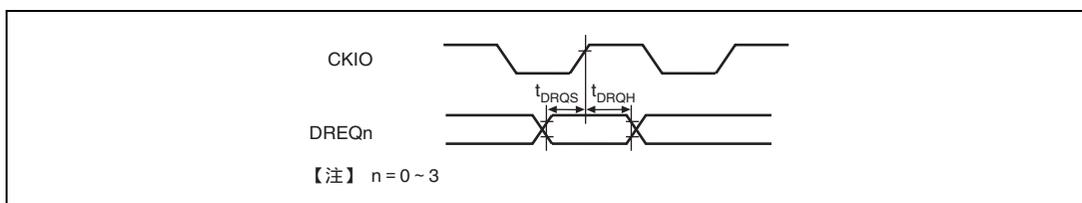


図 35.46 DREQ 入力タイミング

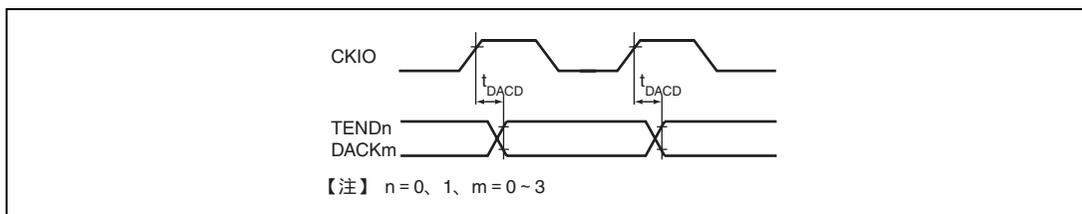


図 35.47 DACK、TEND 出力タイミング

35.4.6 MTU2 タイミング

表 35.11 MTU2 タイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ ,  $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ ,  $AV_{cc} = 3.0 \sim 3.6V$ ,  $USBAV_{cc} = 1.1 \sim 1.3V$ ,  
 $USBAPV_{cc} = 3.0 \sim 3.6V$ ,  $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ ,  $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
アウトプットコンペア出力遅延時間	$t_{TOCD}$	-	100	ns	35.48
インプットキャプチャ入力セットアップ時間	$t_{TICS}$	20	-	ns	
タイマ入力セットアップ時間	$t_{TCKS}$	20	-	ns	35.49
タイマクロックパルス幅 (単エッジ指定)	$t_{TCKWH/L}$	1.5	-	$t_{pcyc}$	
タイマクロックパルス幅 (両エッジ指定)	$t_{TCKWH/L}$	2.5	-	$t_{pcyc}$	
タイマクロックパルス幅 (位相計数モード)	$t_{TCKWH/L}$	2.5	-	$t_{pcyc}$	

【注】  $t_{pcyc}$  は周辺クロック (P ) の周期を示します。

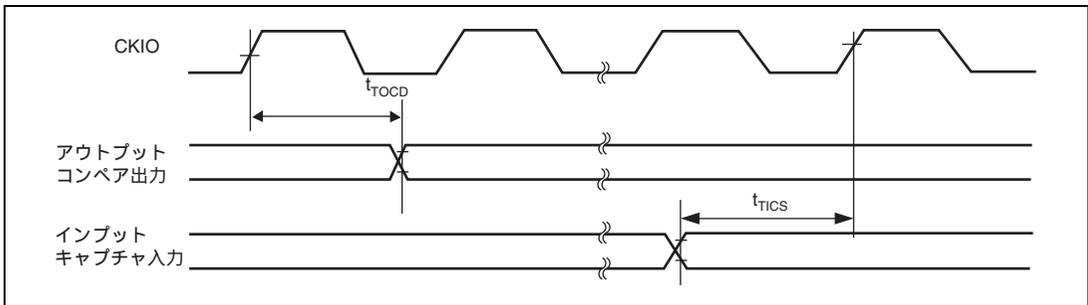


図 35.48 MTU2 入出力タイミング

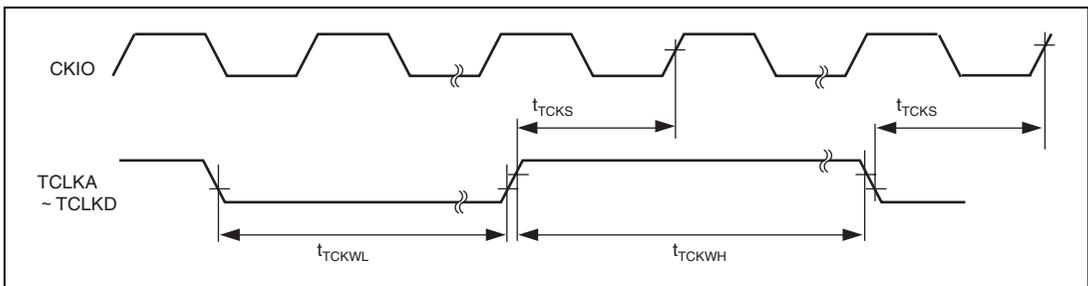


図 35.49 MTU2 クロック入力タイミング

## 35.4.7 WDT タイミング

表 35.12 WDT タイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ ,  $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ ,  $AV_{cc} = 3.0 \sim 3.6V$ ,  $USBAV_{cc} = 1.1 \sim 1.3V$ ,  
 $USBAPV_{cc} = 3.0 \sim 3.6V$ ,  $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ ,  $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	$t_{WOVD}$	-	100	ns	35.50

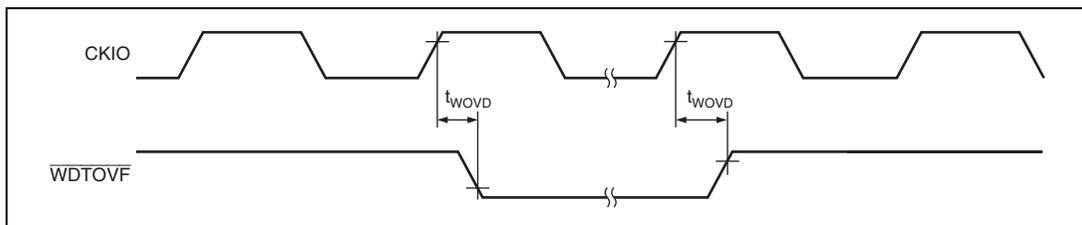


図 35.50 WDT タイミング

## 35.4.8 SCIF タイミング

表 35.13 SCIF タイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
入力クロックサイクル	クロック同期	12	-	$t_{pcyc}$	35.51
	調歩同期	4	-	$t_{pcyc}$	35.51
入力クロック立ち上がり時間	$t_{SCKr}$	-	1.5	$t_{pcyc}$	35.51
入力クロック立ち下がり時間	$t_{SCKf}$	-	1.5	$t_{pcyc}$	35.51
入力クロック幅	$t_{SCKW}$	0.4	0.6	$t_{scyc}$	35.51
送信データ遅延時間 (クロック同期)	$t_{TXD}$	-	$3t_{pcyc} + 15$	ns	35.52
受信データセットアップ時間 (クロック同期)	$t_{RXS}$	$4t_{pcyc} + 15$	-	ns	35.52
受信データホールド時間 (クロック同期)	$t_{RXH}$	$1t_{pcyc} + 15$	-	ns	35.52

【注】  $t_{pcyc}$  は周辺クロック (P) の周期を示します。

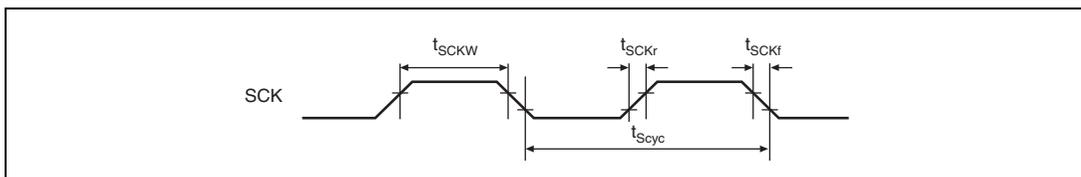


図 35.51 SCK 入力クロックタイミング

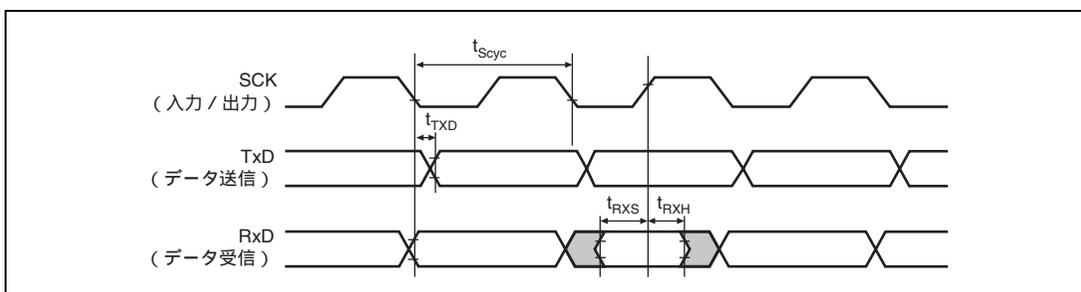


図 35.52 クロック同期式モード時の SCIF 入出力タイミング

## 35.4.9 SSU タイミング

表 35.14 SSU タイミング

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項 目		記号	Min.	Max.	単位	参照図
クロックサイクル	マスタ	$t_{SUcyc}$	4	256	$t_{pcyc}$	35.53
	スレーブ		4	256		35.54
クロックハイレベルパルス幅	マスタ	$t_{HI}$	48	-	ns	35.55
	スレーブ		48	-		35.56
クロックローレベルパルス幅	マスタ	$t_{LO}$	48	-	ns	
	スレーブ		48	-		
クロック立ち上がり時間		$t_{RISE}$	-	12	ns	
クロック立ち下がり時間		$t_{FALL}$	-	12	ns	
データ入力セットアップ時間	マスタ	$t_{SU}$	30	-	ns	
	スレーブ		20	-		
データ入力ホールド時間	マスタ	$t_{H}$	0	-	ns	
	スレーブ		20	-		
SCS セットアップ時間	マスタ	$t_{LEAD}$	1.5	-	$t_{pcyc}$	
	スレーブ		1.5	-		
SCS ホールド時間	マスタ	$t_{LAG}$	1.5	-	$t_{pcyc}$	
	スレーブ		1.5	-		
データ出力遅延時間	マスタ	$t_{OD}$	-	50	ns	
	スレーブ		-	50		
データ出力ホールド時間	マスタ	$t_{OH}$	0	-	ns	
	スレーブ		0	-		
連続送信遅延時間	マスタ	$t_{TD}$	1.5	-	$t_{pcyc}$	
	スレーブ		1.5	-		
スレーブアクセス時間		$t_{SA}$	-	1	$t_{pcyc}$	35.55
スレーブアウト開放時間		$t_{REL}$	-	1	$t_{pcyc}$	35.56

【注】  $t_{pcyc}$  は周辺クロック (P ) の周期を示します。

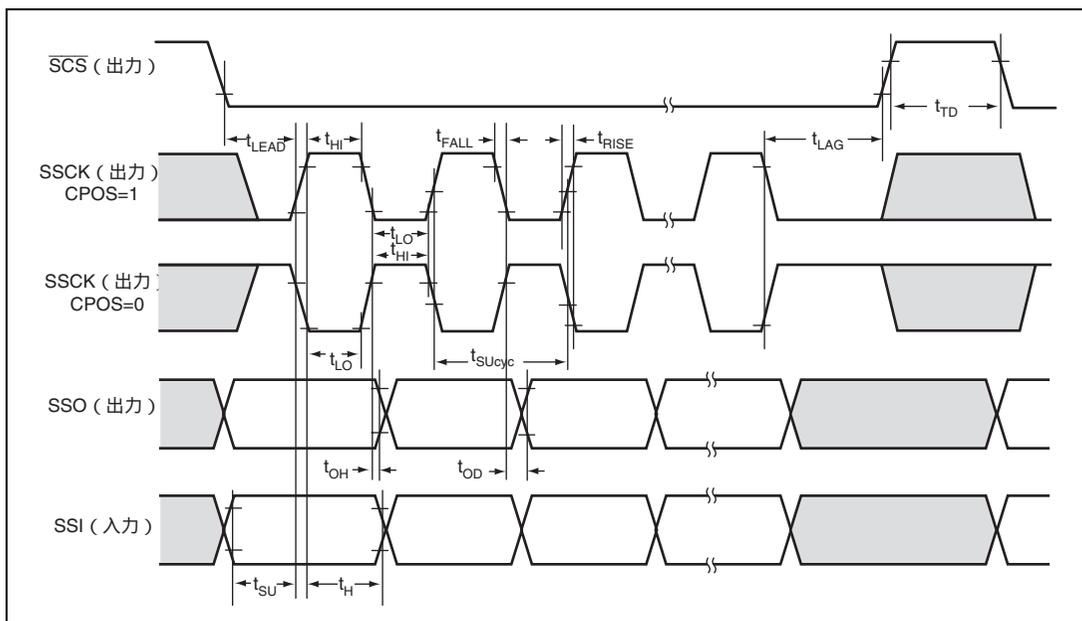


図 35.53 SSU タイミング (マスタ、CPHS=1)

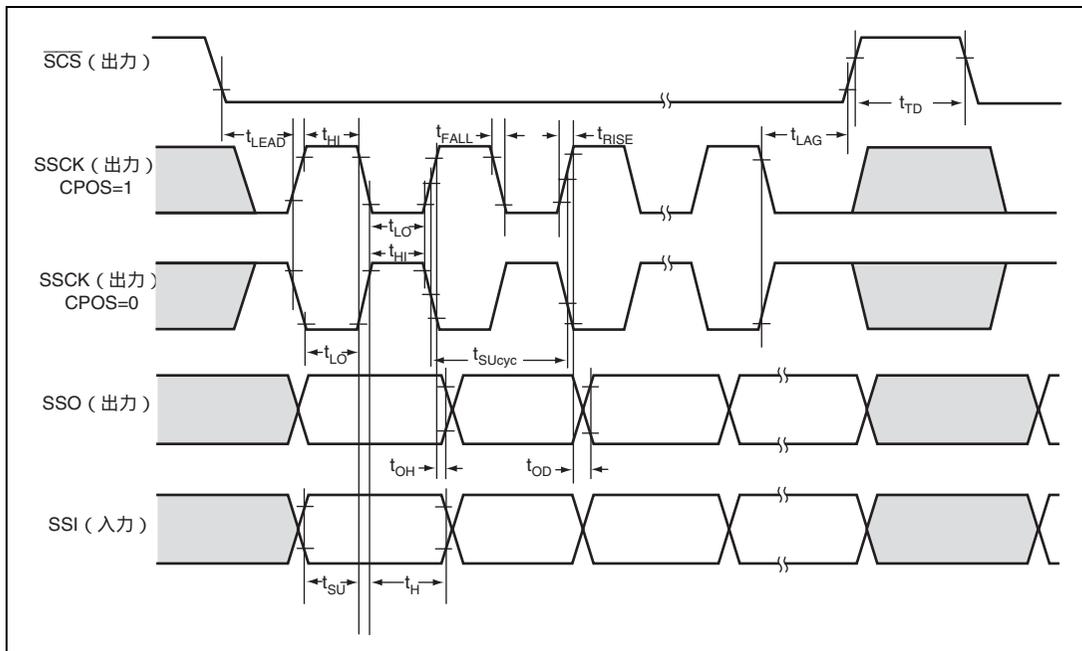


図 35.54 SSU タイミング (マスタ、CPHS=0)

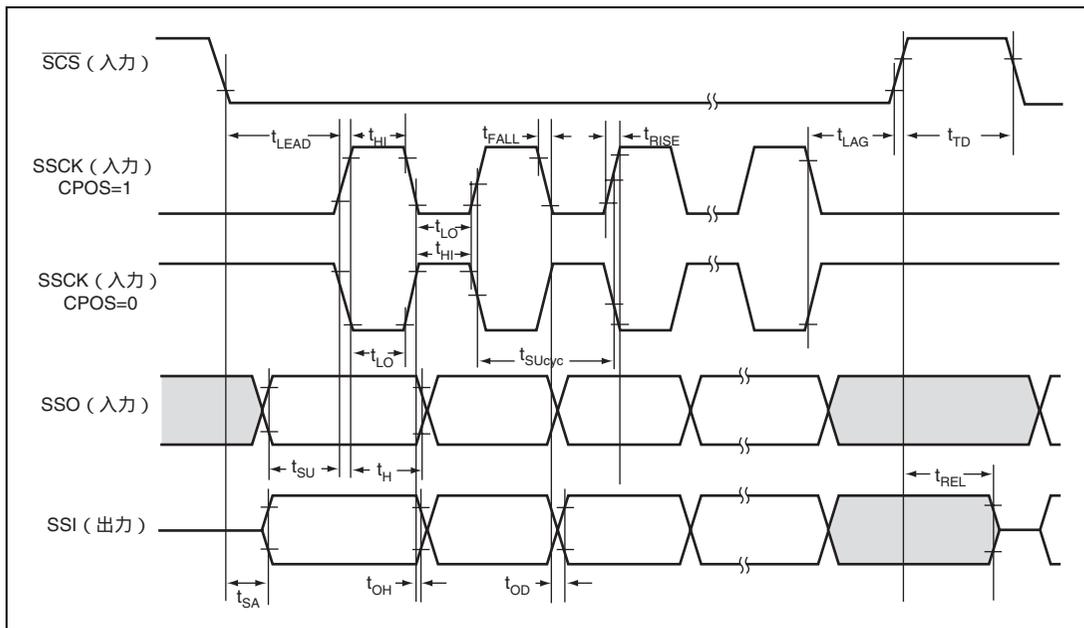


図 35.55 SSU タイミング (スレーブ、CPHS = 1)

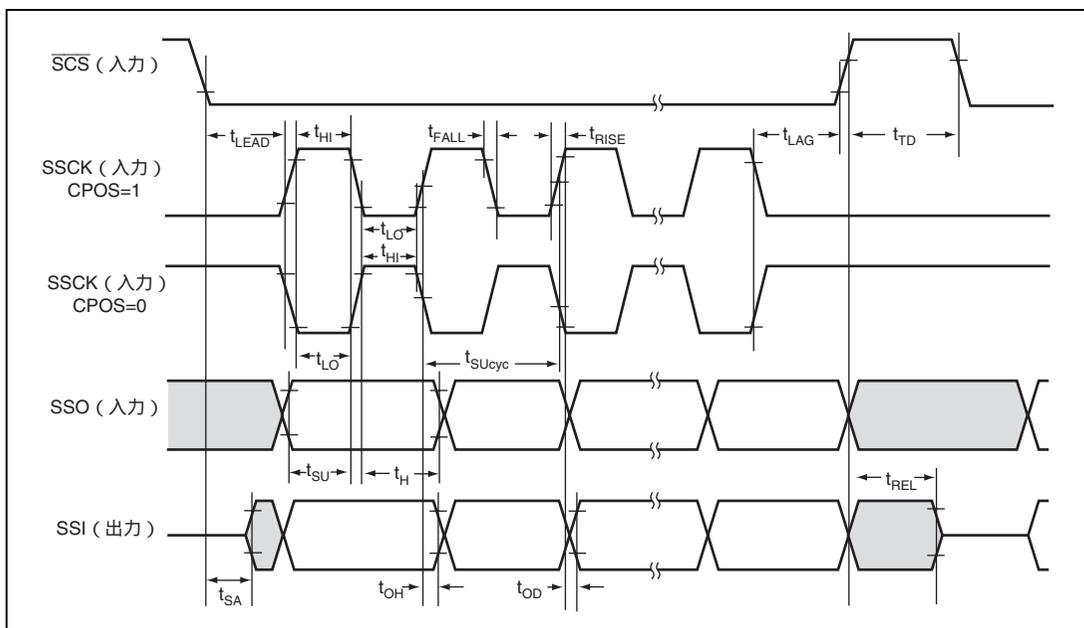


図 35.56 SSU タイミング (スレーブ、CPHS = 0)

## 35.4.10 IIC3 タイミング

表 35.15 (1) IIC3 タイミング I<sup>2</sup>C バスフォーマット

条件 : Vcc = PLLVcc = USBDVcc = 1.1 ~ 1.3V、PVcc = USBDPVcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、USBAVcc = 1.1 ~ 1.3V、  
USBAPVcc = 3.0 ~ 3.6V、Vss = PLLVss = PVss = AVss = USBDVss = USBAVss = USBDPVss = USBAPVss = 0V、Ta = -40 ~ 85

項目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	tSCL	12t <sub>pcyc</sub> * <sup>1</sup> + 600	-	ns	35.57 (1)
SCL 入力ハイレベルパルス幅	tSCLH	3t <sub>pcyc</sub> * <sup>1</sup> + 300	-	ns	
SCL 入力ローレベルパルス幅	tSCLL	5t <sub>pcyc</sub> * <sup>1</sup> + 300	-	ns	
SCL、SDA 入力立ち上がり時間	tSr	-	300	ns	
SCL、SDA 入力立ち下がり時間	tSf	-	300	ns	
SCL、SDA 入カスパイクパルス除去時間* <sup>2</sup>	tSP	-	1、2	t <sub>pcyc</sub> * <sup>1</sup>	
SDA 入力バスフリー時間	tBUF	5	-	t <sub>pcyc</sub> * <sup>1</sup>	
開始条件入力ホールド時間	tSTAH	3	-	t <sub>pcyc</sub> * <sup>1</sup>	
再送開始条件入力セットアップ時間	tSTAS	3	-	t <sub>pcyc</sub> * <sup>1</sup>	
停止条件入力セットアップ時間	tSTOS	3	-	t <sub>pcyc</sub> * <sup>1</sup>	
データ入力セットアップ時間	tSDAS	1t <sub>pcyc</sub> * <sup>1</sup> + 20	-	ns	
データ入力ホールド時間	tSDAH	0	-	ns	
SCL、SDA の容量性負荷	Cb	0	400	pF	
SCL、SDA 出力立ち下がり時間* <sup>3</sup>	tSf	-	250	ns	

【注】 \*1 t<sub>pcyc</sub> は周辺クロック (P) の周期を示します。

\*2 NF2CYC レジスタの値に依存します。

\*3 I/O バッファの特性を示しています。

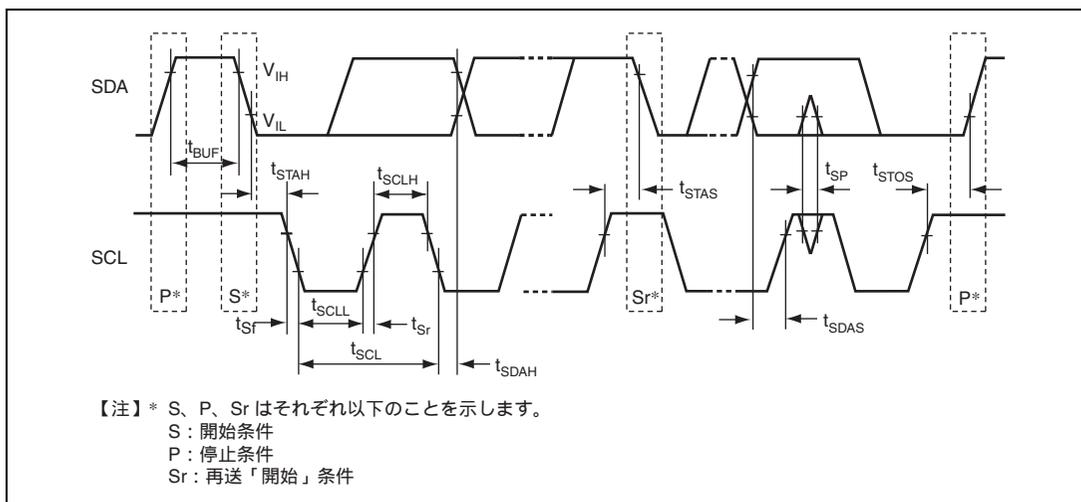


図 35.57 (1) IIC3 入出力タイミング

表 35.15 (2) I<sup>2</sup>C バスインタフェース 3 タイミング クロック同期式シリアルフォーマット

項目	記号	Min.	Max.	単位	参照図
SCL 入力サイクル時間	t <sub>SCL</sub>	12t <sub>pcyc</sub> * <sup>1</sup> + 600	-	ns	35.57 (2)
SCL 入力ハイレベルパルス幅	t <sub>SCLH</sub>	3t <sub>pcyc</sub> * <sup>1</sup> + 300	-	ns	
SCL 入力ローレベルパルス幅	t <sub>SCLL</sub>	5t <sub>pcyc</sub> * <sup>1</sup> + 300	-	ns	
SCL、SDA 入力立ち上がり時間	t <sub>Sr</sub>	-	300	ns	
SCL、SDA 入力立ち下がり時間	t <sub>Sf</sub>	-	300	ns	
SCL、SDA 入力スパイクパルス除去時間* <sup>2</sup>	t <sub>SP</sub>	-	1、2	t <sub>pcyc</sub> * <sup>1</sup>	
データ出力遅延時間	t <sub>HD</sub>	0	900	ns	
データ入力セットアップ時間	t <sub>SDAS</sub>	1t <sub>pcyc</sub> * <sup>1</sup> + 20	-	ns	
データ入力ホールド時間	t <sub>SDAH</sub>	0	-	ns	
SCL、SDA の容量性負荷	C <sub>b</sub>	0	400	pF	35.57 (2)
SCL、SDA 出力立ち下がり時間* <sup>3</sup>	t <sub>Sf</sub>	-	250	ns	35.57 (3)

【注】 \*1 t<sub>pcyc</sub> は周辺クロック (P) の周期を示します。

\*2 NF2CYC レジスタの値に依存します。

\*3 I/O バッファの特性を示しています。

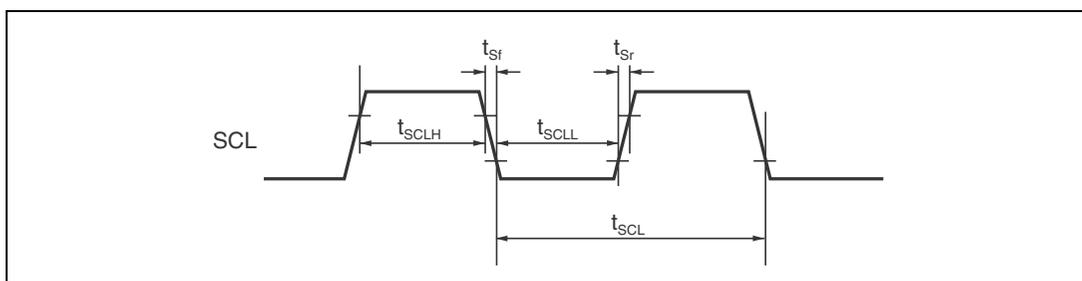


図 35.57 (2) クロック入出力タイミング

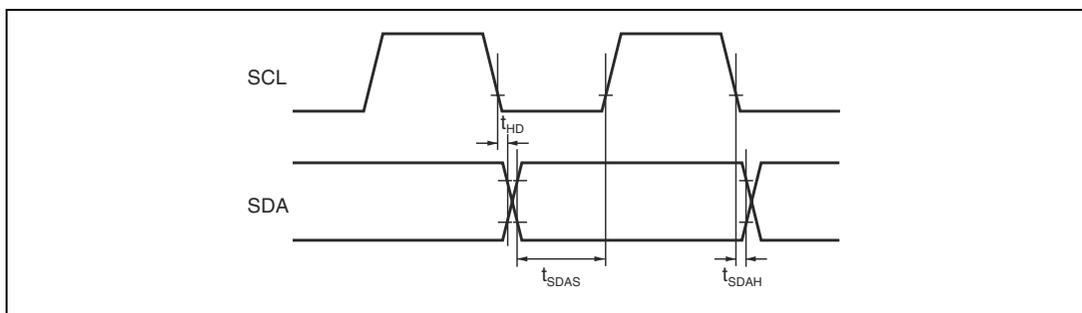


図 35.57 (3) 送受信タイミング

## 35.4.11 SSI タイミング

表 35.16 SSI タイミング

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	備考	参考図
出力クロック周期	$t_o$	80	64000	ns	出力	35.58
入力クロック周期	$t_i$	80	64000	ns	入力	
クロックハイレベル	$t_{HC}$	32	-	ns	双方向	
クロックローレベル	$t_{LC}$	32	-	ns		
クロック立ち上がり時間	$t_{RC}$	-	20	ns	出力 (100pF)	
遅延	$t_{DTR}$	- 5	25	ns	送信	35.59、35.60
セットアップ時間	$t_{SR}$	25	-	ns	受信	
ホールド時間	$t_{HTR}$	5	-	ns	受信、送信	
AUDIO_CLK 入力周波数	$f_{AUDIO}$	1	40	MHz		35.61

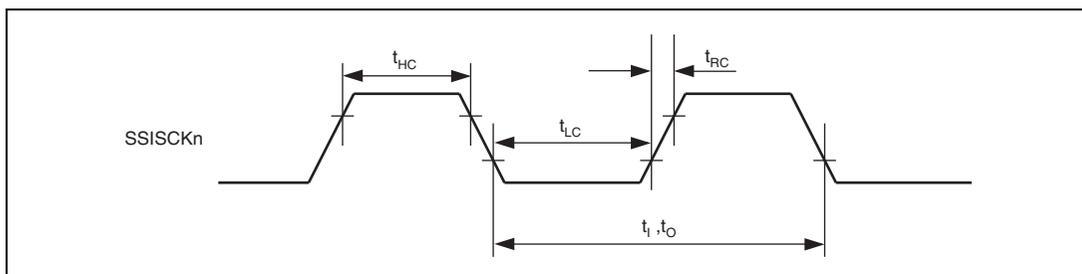


図 35.58 クロック入出力タイミング

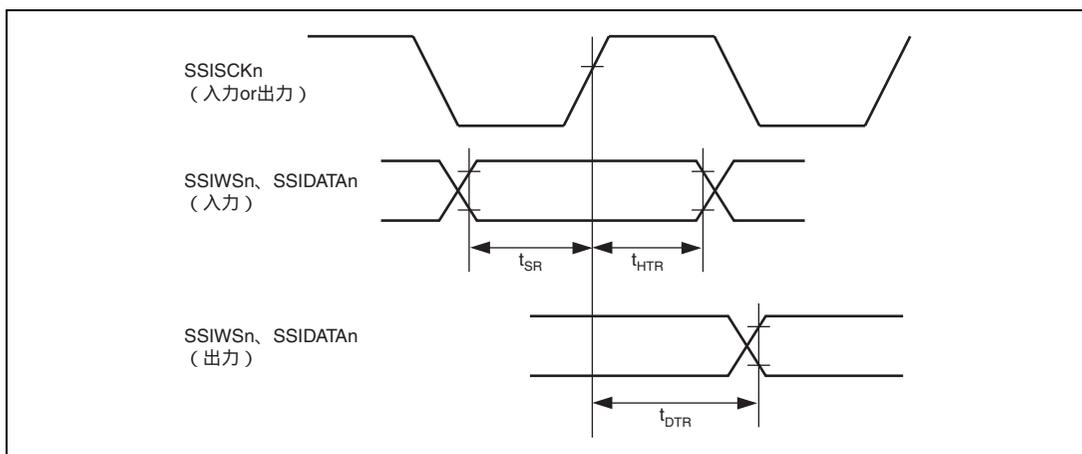


図 35.59 SSI 送受信タイミング (SSISCKn 立ち上がり同期)

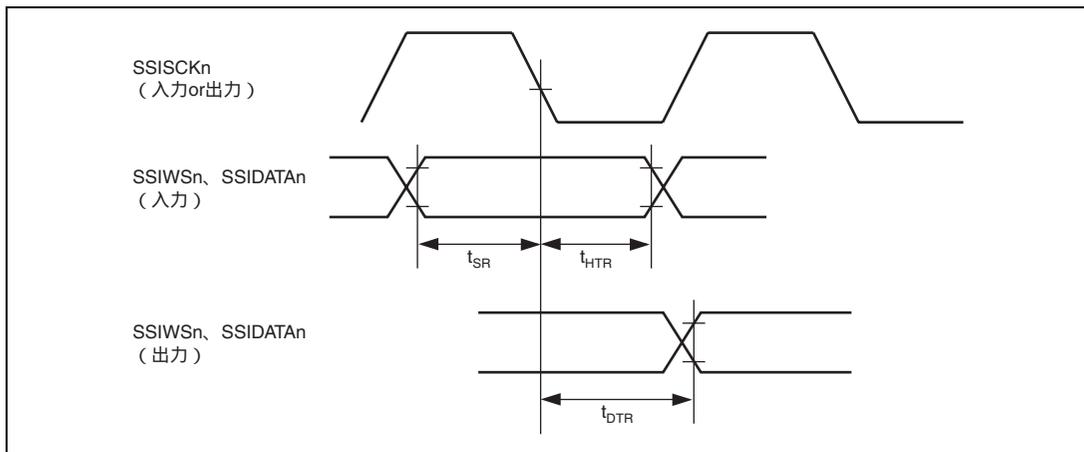


図 35.60 SSI 送受信タイミング (SSISCKn 立ち下がり同期)

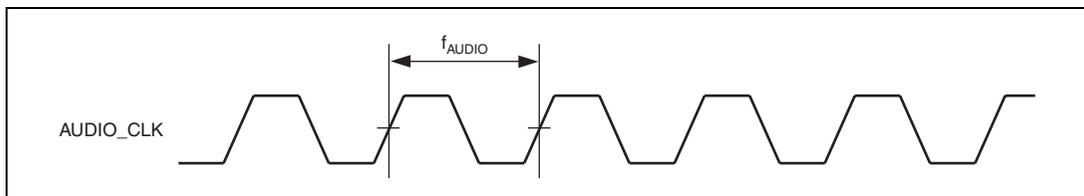


図 35.61 AUDIO\_CLK 入力タイミング

## 35.4.12 RCAN-TL1 タイミング

表 35.17 RCAN-TL1 タイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
送信データ遅延時間	$t_{CTXD}$	-	100	ns	35.62
受信データセットアップ時間	$t_{CRXS}$	100	-		
受信データホールド時間	$t_{CRXH}$	100	-		

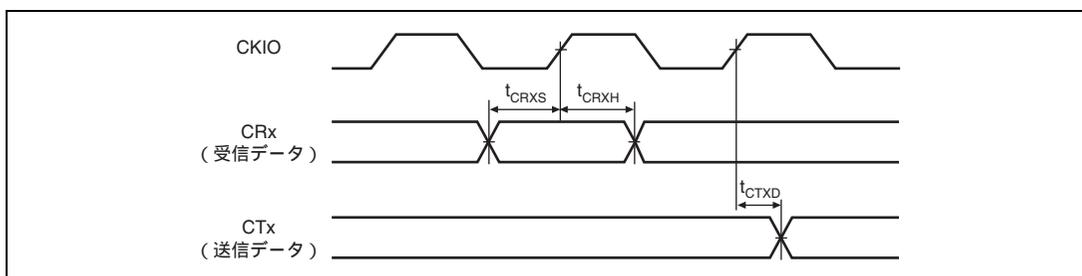


図 35.62 RCAN-TL1 入出力タイミング

## 35.4.13 ADC タイミング

表 35.18 ADC タイミング

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

モジュール	項目	記号	Min.	Max.	単位	参照図
A/D 変換器	トリガ入力セット アップ時間	B : P クロック比 = 1 : 1	17	-	ns	35.63
		B : P クロック比 = 2 : 1	$t_{cyc} + 17$	-		
		B : P クロック比 = 4 : 1	$3 \times t_{cyc} + 17$	-		

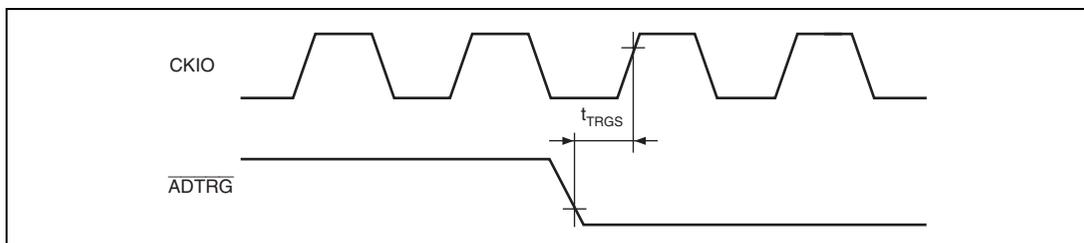


図 35.63 A/D 変換器外部トリガ入力タイミング

## 35.4.14 FLCTL タイミング

表 35.19 AND 型フラッシュメモリインタフェースタイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
コマンド発行セットアップ時間	tACDS	$2 \times t_{f_{cyc}} - 10$	-	ns	35.64、35.68
コマンド発行ホールド時間	tACDH	$2 \times t_{f_{cyc}} - 10$	-	ns	
データ出力セットアップ時間	tADOS	$t_{f_{cyc}} - 10$	-	ns	35.64、35.65、 35.68
データ出力ホールド時間	tADOH	$t_{f_{cyc}} - 10$	-	ns	
データ出力セットアップ時間 2	tADOS2	$0.5 \times t_{f_{cyc}} - 10$	-	ns	35.67
データ出力ホールド時間 2	tADOH2	$0.5 \times t_{f_{cyc}} - 10$	-	ns	
FWE サイクル時間	tACWC	$2 \times t_{f_{cyc}} - 5$	-	ns	35.65
FWE ローパルス幅	tAWP	$t_{f_{cyc}} - 5$	-	ns	35.64、35.65、 35.68
FWE ハイパルス幅	tAWPH	$t_{f_{cyc}} - 5$	-	ns	
コマンド - アドレス遷移時間	tACAS	$4 \times t_{f_{cyc}}$	-	ns	35.66
アドレス - データリード遷移時間	tAADDR	$32 \times t_{p_{cyc}}$	-	ns	
アドレス - レディ / ビジー遷移時間	tAADRB	-	$35 \times t_{p_{cyc}}$	ns	
レディ / ビジー - データリード遷移時間	tARBDR	$3 \times t_{f_{cyc}}$	-	ns	
データリードセットアップ時間	tADRS	$t_{f_{cyc}} - 10$	-	ns	35.66
FSC サイクル時間	tASCC	$t_{f_{cyc}} - 5$	-	ns	35.66、35.67
FSC ハイパルス幅	tASP	$0.5 \times t_{f_{cyc}} - 5$	-	ns	
FSC ローパルス幅	tASPL	$0.5 \times t_{f_{cyc}} - 5$	-	ns	
リードデータセットアップ時間	tARDS	24	-	ns	35.66、35.68
リードデータホールド時間	tARDH	5	-	ns	
ステータスリードデータセットアップ時間	tASRDS	$2 \times t_{f_{cyc}} + 24$	-	ns	35.68
アドレス - データライト遷移時間	tAADDW	$4 \times t_{p_{cyc}}$	-	ns	35.67
データライトセットアップ時間	tADWS	$50 \times t_{p_{cyc}}$	-	ns	
FSC - FOE ホールド時間	tASOH	$2 \times t_{f_{cyc}} - 10$	-	ns	35.66

【注】  $t_{f_{cyc}}$  は FLCTL クロックの 1 サイクル時間を示します。

$t_{p_{cyc}}$  は周辺クロック (P) の 1 サイクル時間を示します。

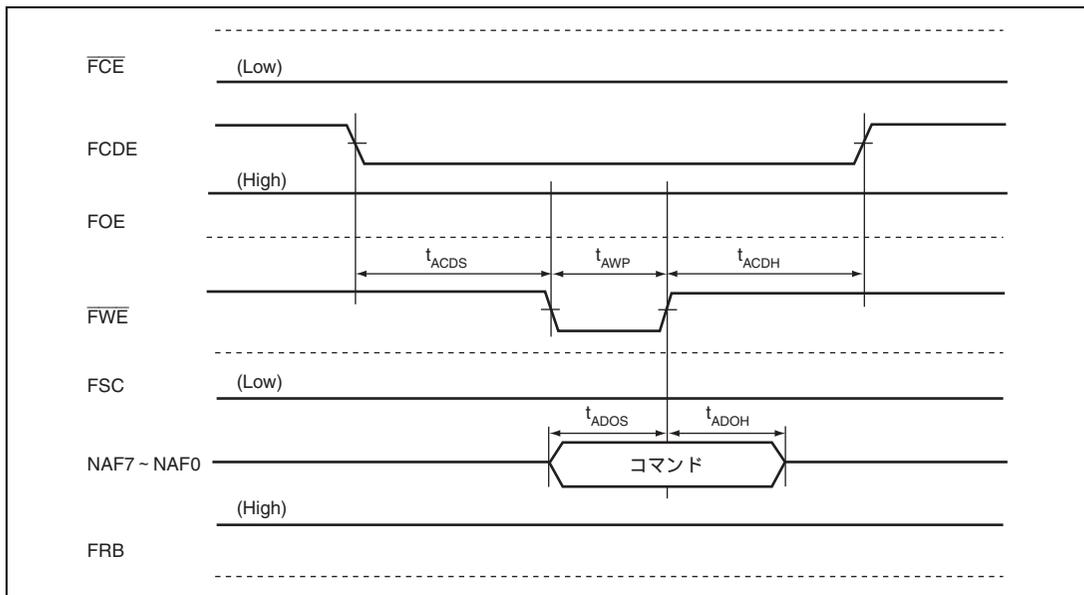


図 35.64 AND 型フラッシュメモリのコマンド発行タイミング

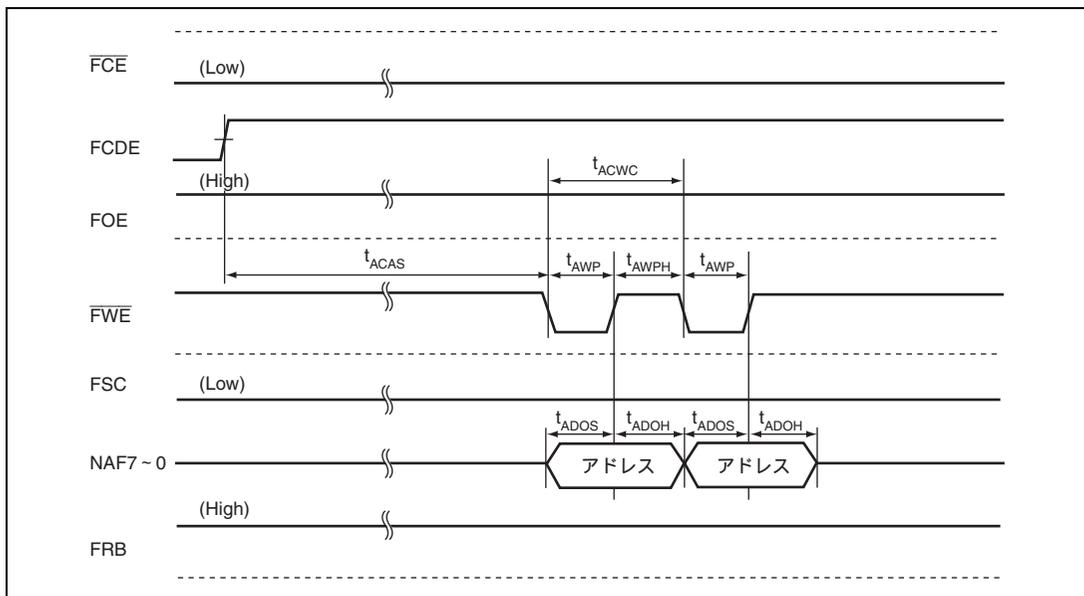


図 35.65 AND 型フラッシュメモリのアドレス発行タイミング

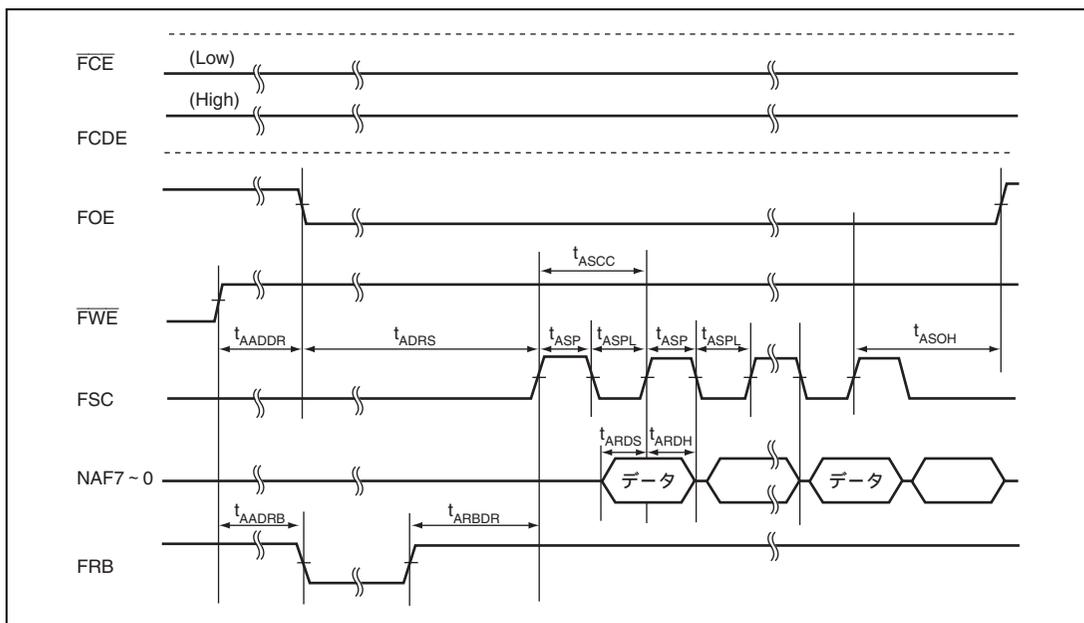


図 35.66 AND 型フラッシュメモリのデータリードタイミング

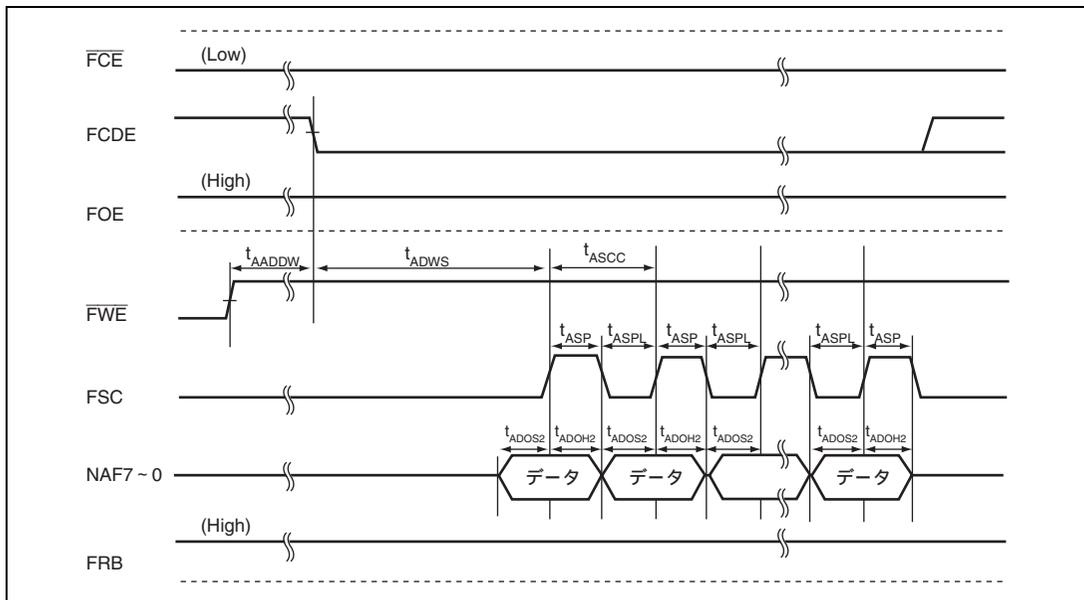


図 35.67 AND 型フラッシュメモリのデータライトタイミング

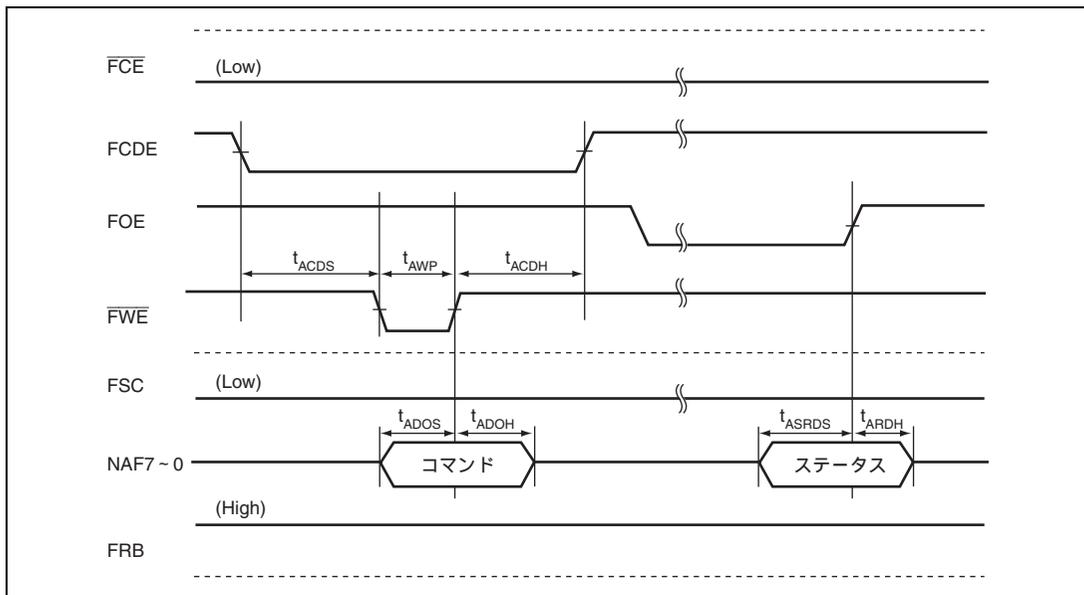


図 35.68 AND 型フラッシュメモリのステータスリードタイミング

表 35.20 NAND 型フラッシュメモリインタフェースタイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
コマンド出力セットアップ時間	tNCDS	$2 \times t_{f_{cyc}} - 10$	-	ns	35.69、35.73
コマンド出力ホールド時間	tNC DH	$1.5 \times t_{f_{cyc}} - 5$	-	ns	
データ出力セットアップ時間	tNDOS	$0.5 \times t_{w_{f_{cyc}}} - 5$	-	ns	35.69、35.70、 35.72、35.73
データ出力ホールド時間	tND OH	$0.5 \times t_{w_{f_{cyc}}} - 10$	-	ns	
コマンド - アドレス遷移時間 1	tNC DAD1	$1.5 \times t_{f_{cyc}} - 10$	-	ns	35.69、35.70
コマンド - アドレス遷移時間 2	tNC DAD2	$2 \times t_{f_{cyc}} - 10$	-	ns	35.70
FWE サイクル時間	tNWC	$t_{w_{f_{cyc}}} - 5$	-	ns	35.70、35.72
FWE ローパルス幅	tNWP	$0.5 \times t_{w_{f_{cyc}}} - 5$	-	ns	35.69、35.70、 35.72、35.73
FWE ハイパルス幅	tNWH	$0.5 \times t_{w_{f_{cyc}}} - 5$	-	ns	35.70、35.72
アドレス - レディ / ビジー遷移時間	tNAD RB	-	$32 \times t_{p_{cyc}}$	ns	35.70、35.71
コマンド - レディ / ビジー遷移時間	tNC DRB	-	$10 \times t_{p_{cyc}}$	ns	35.70、35.71
レディ / ビジー - データリード遷移時間 1	tNR BDR1	$1.5 \times t_{f_{cyc}}$	-	ns	35.71
レディ / ビジー - データリード遷移時間 2	tNR BDR2	$32 \times t_{p_{cyc}}$	-	ns	
FSC サイクル時間	tNSCC	$t_{w_{f_{cyc}}} - 5$	-	ns	35.71、35.73
FSC ローパルス幅	tNSP	$0.5 \times t_{w_{f_{cyc}}} - 5$	-	ns	
FSC ハイパルス幅	tNSPH	$0.5 \times t_{w_{f_{cyc}}} - 5$	-	ns	35.71
リードデータセットアップ時間	tNR DS	24	-	ns	35.71、35.73
リードデータホールド時間	tNR DH	5	-	ns	35.71、35.73
データライトセットアップ時間	tND WS	$32 \times t_{p_{cyc}}$	-	ns	35.72
コマンドステータスリード遷移時間	tNC DSR	$4 \times t_{f_{cyc}}$	-	ns	35.73
コマンド出力オフ ステータスリード遷移時間	tNC DFSR	$3.5 \times t_{f_{cyc}}$	-	ns	
ステータスリードセットアップ時間	tNSTS	$2.5 \times t_{f_{cyc}}$	-	ns	

【注】  $t_{f_{cyc}}$  は FLCTL クロックの 1 サイクル時間になります。

$t_{w_{f_{cyc}}}$  は、NANDWF ビットが 0 の場合、FLCTL クロックの 1 サイクル時間に、NANDWF ビットが 1 の場合、FLCTL クロックの 2 サイクル時間になります。

$t_{p_{cyc}}$  は周辺クロック (P ) の 1 サイクル時間を示します。



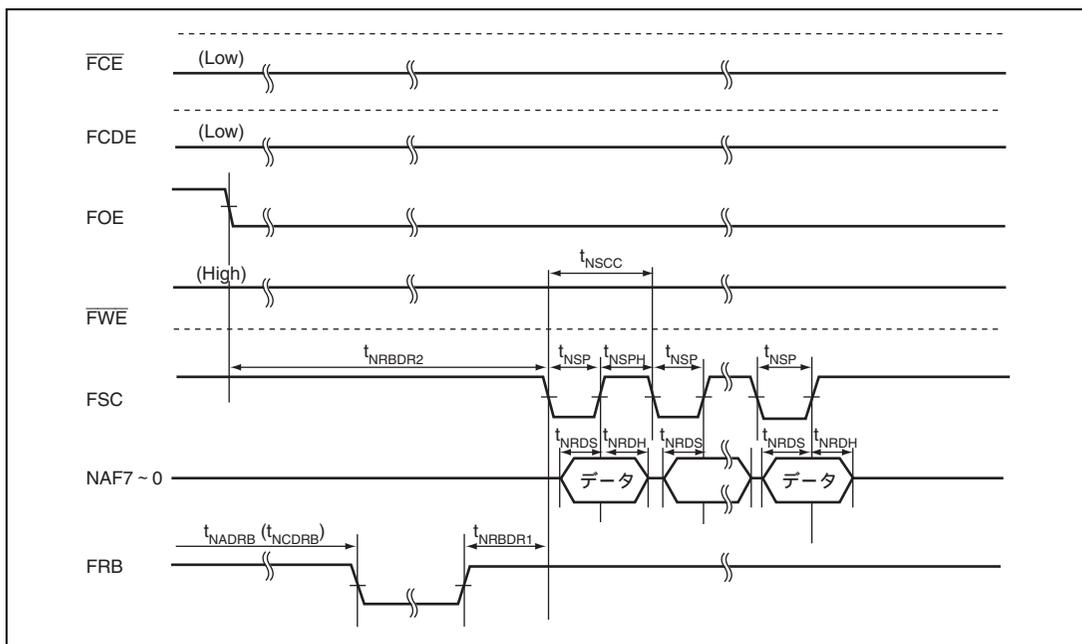


図 35.71 NAND 型フラッシュメモリのデータリードタイミング

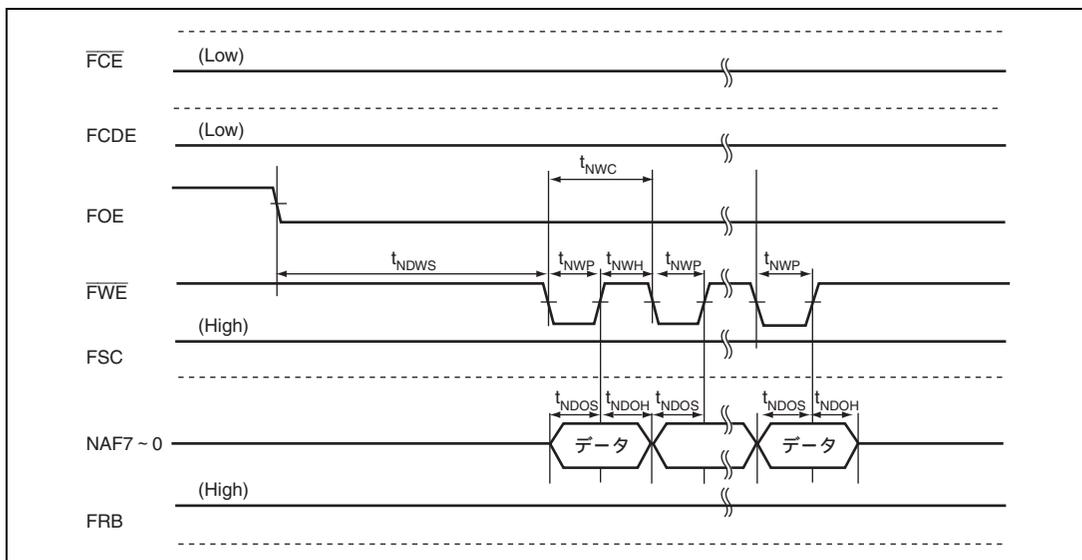


図 35.72 NAND 型フラッシュメモリのデータライトタイミング

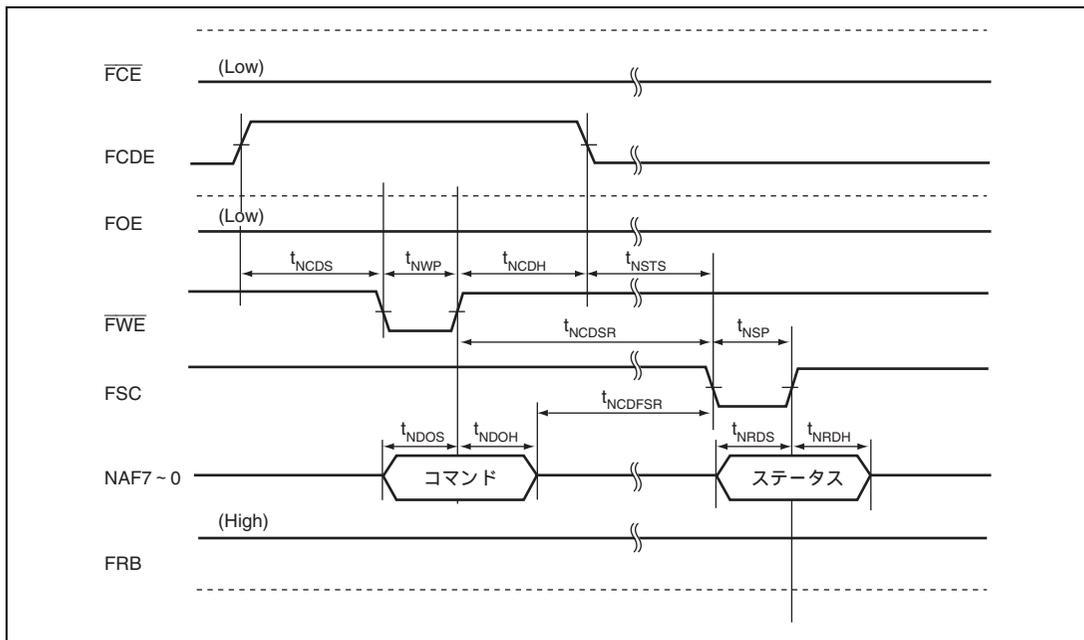


図 35.73 NAND 型フラッシュメモリのステータスリードタイミング

## 35.4.15 USB タイミング

表 35.21 USB トランシーバタイミング (フルスピード時)

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	$t_{FR}$	4	-	20	ns	35.74
立ち下がり時間	$t_{FF}$	4	-	20	ns	
立ち上がり / 立ち下がり時間比	$t_{FR}/t_{FF}$	90	-	111.11	%	

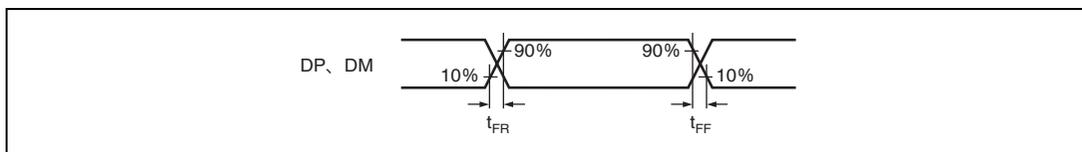


図 35.74 DP、DM 出力タイミング (フルスピード時)

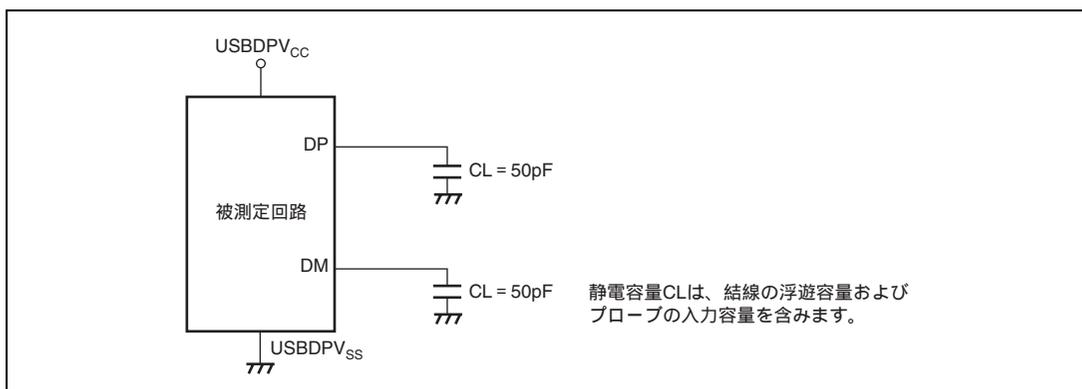


図 35.75 測定回路 (フルスピード時)

表 35.22 USB トランシーバタイミング (ハイスピード時)

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	$t_{HSR}$	500	-	-	ps	35.76
立ち下がり時間	$t_{HSF}$	500	-	-	ps	
出力ドライバ抵抗	$Z_{HSDRV}$	40.5	-	49.5		

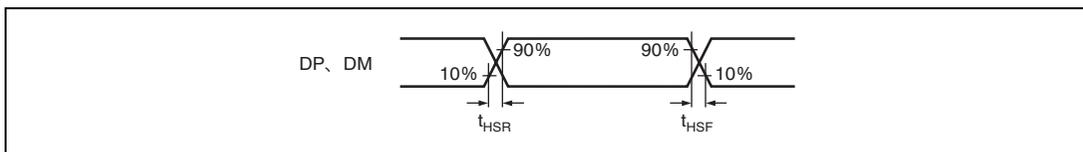


図 35.76 DP、DM 出力タイミング (ハイスピード時)

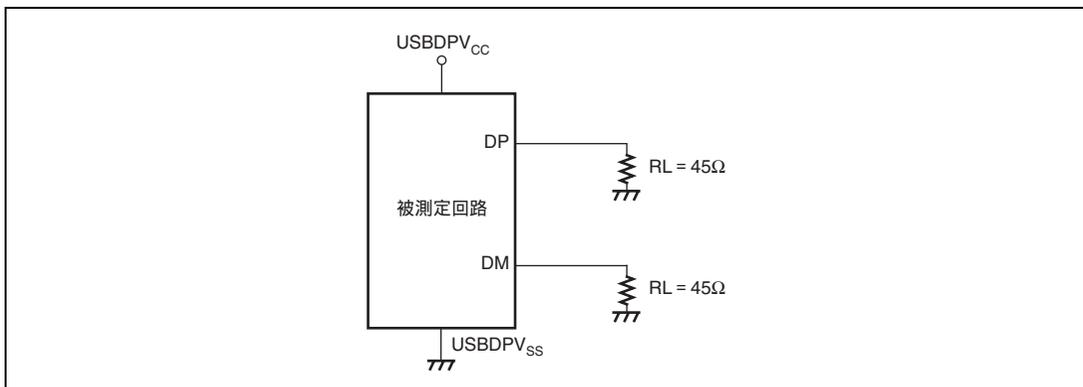


図 35.77 測定回路 (ハイスピード時)

## 35.4.16 LCDC タイミング

表 35.23 LCDC タイミング

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ ,  $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $USBAV_{CC} = 1.1 \sim 1.3V$ ,  
 $USBAPV_{CC} = 3.0 \sim 3.6V$ ,  $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ ,  $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
LCD_CLK 入力クロック周波数	tFREQ	-	66.66	MHz	
LCD_CLK 入力クロック立ち上がり時間	t <sub>r</sub>	-	3	ns	
LCD_CLK 入力クロック立ち下がり時間	t <sub>f</sub>	-	3	ns	
LCD_CLK 入力クロックデューティ比	tDUTY	90	110	%	
クロック (LCD_CL2) サイクル時間	t <sub>CC</sub>	25	-	ns	35.78
クロック (LCD_CL2) ハイレベルパルス幅	t <sub>CHW</sub>	7	-	ns	
クロック (LCD_CL2) ローレベルパルス幅	t <sub>CLW</sub>	7	-	ns	
クロック (LCD_CL2) 遷移時間 (立ち上がり / 立ち下がり)	t <sub>CT</sub>	-	3	ns	
データ (LCD_DATA) 遅延時間	t <sub>DD</sub>	-3.5	3	ns	
表示許可 (LCD_M_DISP) 遅延時間	t <sub>ID</sub>	-3.5	3	ns	
水平同期信号 (LCD_CL1) 遅延時間	t <sub>HD</sub>	-3.5	3	ns	
垂直同期信号 (LCD_FLM) 遅延時間	t <sub>VD</sub>	-3.5	3	ns	

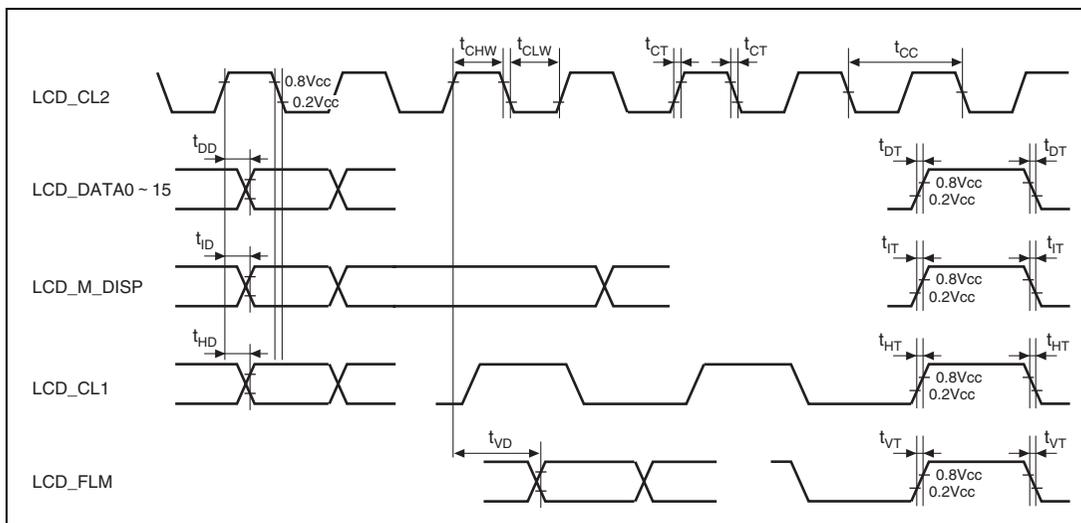


図 35.78 LCDC モジュールタイミング

35.4.17 SDHI タイミング

表 35.24 SDHI タイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
SD_CLK クロックサイクル	tSDPP	$2 \times t_{pcyc}$	-	ns	35.79
SD_CLK クロックハイレベル幅	tSDWH	$0.4 \times t_{SDPP}$	-	ns	
SD_CLK クロックローレベル幅	tSDWL	$0.4 \times t_{SDPP}$	-	ns	
SD_CMD、SD_D3 ~ SD_D0 出力データ遅延 (データ転送モード)	tSDODLY	-	14	ns	
SD_CMD、SD_D3 ~ SD_D0 入力データセットアップ	tSDISU	5	-	ns	
SD_CMD、SD_D3 ~ SD_D0 入力データホールド	tSDIH	5	-	ns	

【注】  $t_{pcyc}$  は周辺クロック (P) の 1 サイクル時間を示します。

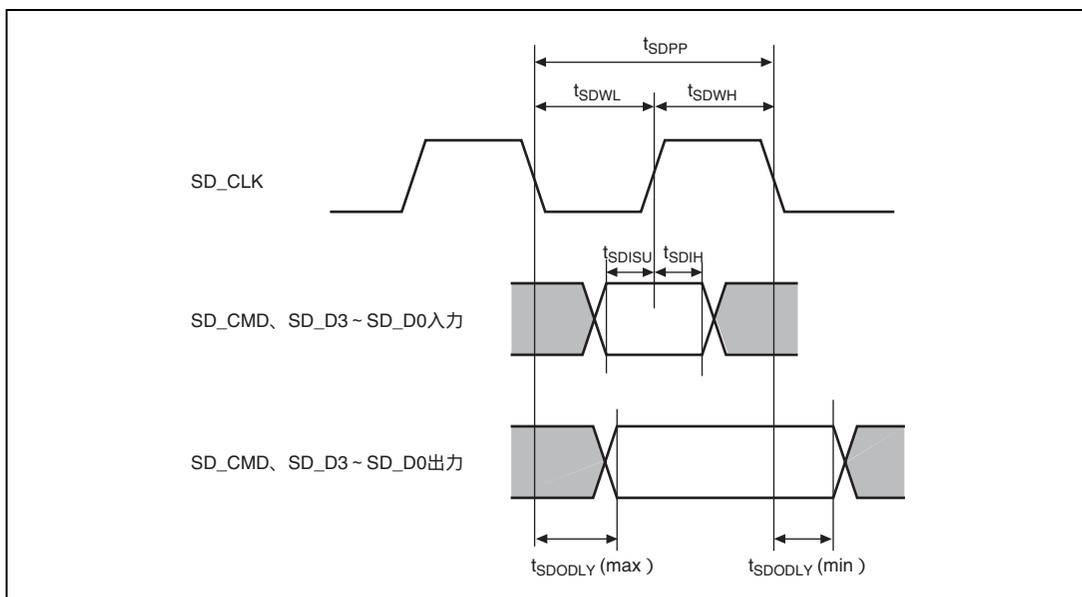


図 35.79 SD カードインタフェース

## 35.4.18 I/O ポートタイミング

表 35.25 I/O ポートタイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	$t_{PORTD}$	-	100	ns	35.80
入力データセットアップ時間	$t_{PORTS}$	100	-		
入力データホールド時間	$t_{PORTH}$	100	-		

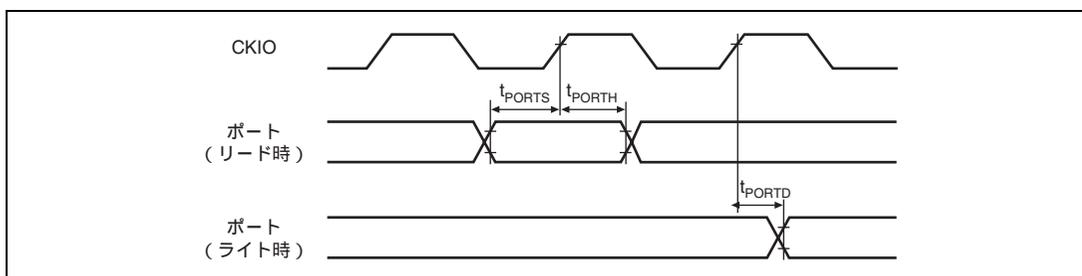


図 35.80 I/O ポートタイミング

## 35.4.19 H-UDI タイミング

表 35.26 H-UDI タイミング

条件 :  $V_{cc} = PLLV_{cc} = USBDV_{cc} = 1.1 \sim 1.3V$ 、 $PV_{cc} = USBDPV_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $USBAV_{cc} = 1.1 \sim 1.3V$ 、  
 $USBAPV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ss} = PLLV_{ss} = PV_{ss} = AV_{ss} = USBDV_{ss} = USBAV_{ss} = USBDPV_{ss} = USBAPV_{ss} = 0V$ 、 $T_a = -40 \sim 85$

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	$t_{TCKcyc}$	50*	-	ns	35.81
TCK ハイレベルパルス幅	$t_{TCKH}$	0.4	0.6	$t_{TCKcyc}$	
TCK ローレベルパルス幅	$t_{TCKL}$	0.4	0.6	$t_{TCKcyc}$	
TDI セットアップ時間	$t_{TDIS}$	10	-	ns	35.82
TDI ホールド時間	$t_{TDIH}$	10	-	ns	
TMS セットアップ時間	$t_{TMSS}$	10	-	ns	
TMS ホールド時間	$t_{TMSH}$	10	-	ns	
TDO 遅延時間	$t_{TDOD}$	-	16	ns	

【注】 \* 周辺クロック (P) のサイクル時間より大きくなるようにしてください。

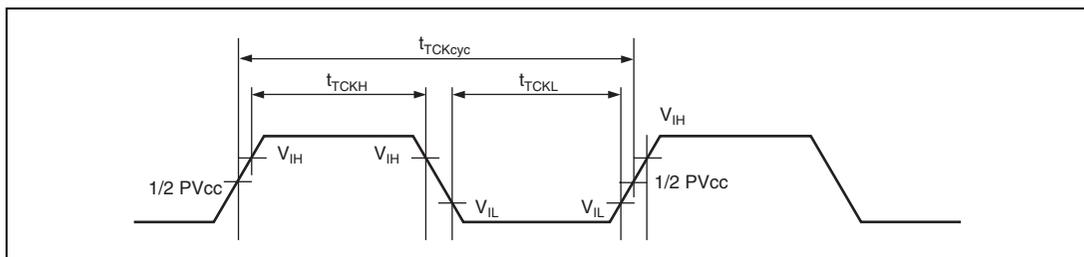


図 35.81 TCK 入力タイミング

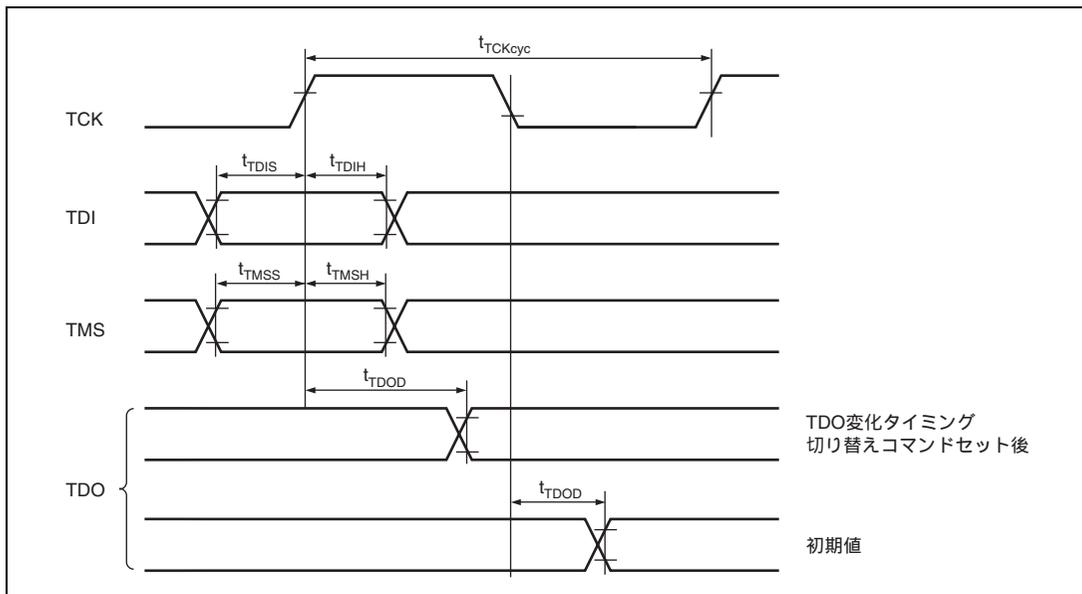


図 35.82 H-UDI データ転送タイミング



## 35.5 A/D 変換器特性

表 35.27 A/D 変換器特性

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ ,  $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $USBAV_{CC} = 1.1 \sim 1.3V$ ,  
 $USBAPV_{CC} = 3.0 \sim 3.6V$ ,  $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ ,  $T_a = -40 \sim 85$

項 目	Min.	Typ.	Max.	単位
分解能	10	10	10	ビット
変換時間	3.9	-	-	$\mu s$
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	$\pm 3.0^*$	LSB
オフセット誤差	-	-	$\pm 2.0^*$	LSB
フルスケール誤差	-	-	$\pm 2.0^*$	LSB
量子化誤差	-	-	$\pm 0.5^*$	LSB
絶対精度	-	-	$\pm 4.0$	LSB

【注】 \* 参考値

## 35.6 D/A 変換器特性

表 35.28 D/A 変換器特性

条件 :  $V_{CC} = PLLV_{CC} = USBDV_{CC} = 1.1 \sim 1.3V$ 、 $PV_{CC} = USBDPV_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $USBAV_{CC} = 1.1 \sim 1.3V$ 、 $USBAPV_{CC} = 3.0 \sim 3.6V$ 、 $V_{SS} = PLLV_{SS} = PV_{SS} = AV_{SS} = USBDV_{SS} = USBAV_{SS} = USBDPV_{SS} = USBAPV_{SS} = 0V$ 、 $T_a = -40 \sim 85$

項 目	Min.	Typ.	Max.	単位	測定条件
分解能	8	8	8	ビット	
変換時間	10	-	-	$\mu s$	負荷容量 20pF
絶対精度	-	$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M
	-	-	$\pm 2.5$	LSB	負荷抵抗 4M

### 35.7 使用上の注意事項

電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるだけ LSI の電源端子の近くに実装してください。コンデンサの容量値は 0.1  $\mu$ F ~ 0.33  $\mu$ F (推奨値) を使用してください。水晶発振関連のコンデンサについては「4.8 ボード設計上の注意事項」を参照してください。

図 35.84 に外付けコンデンサ配置例を示します。

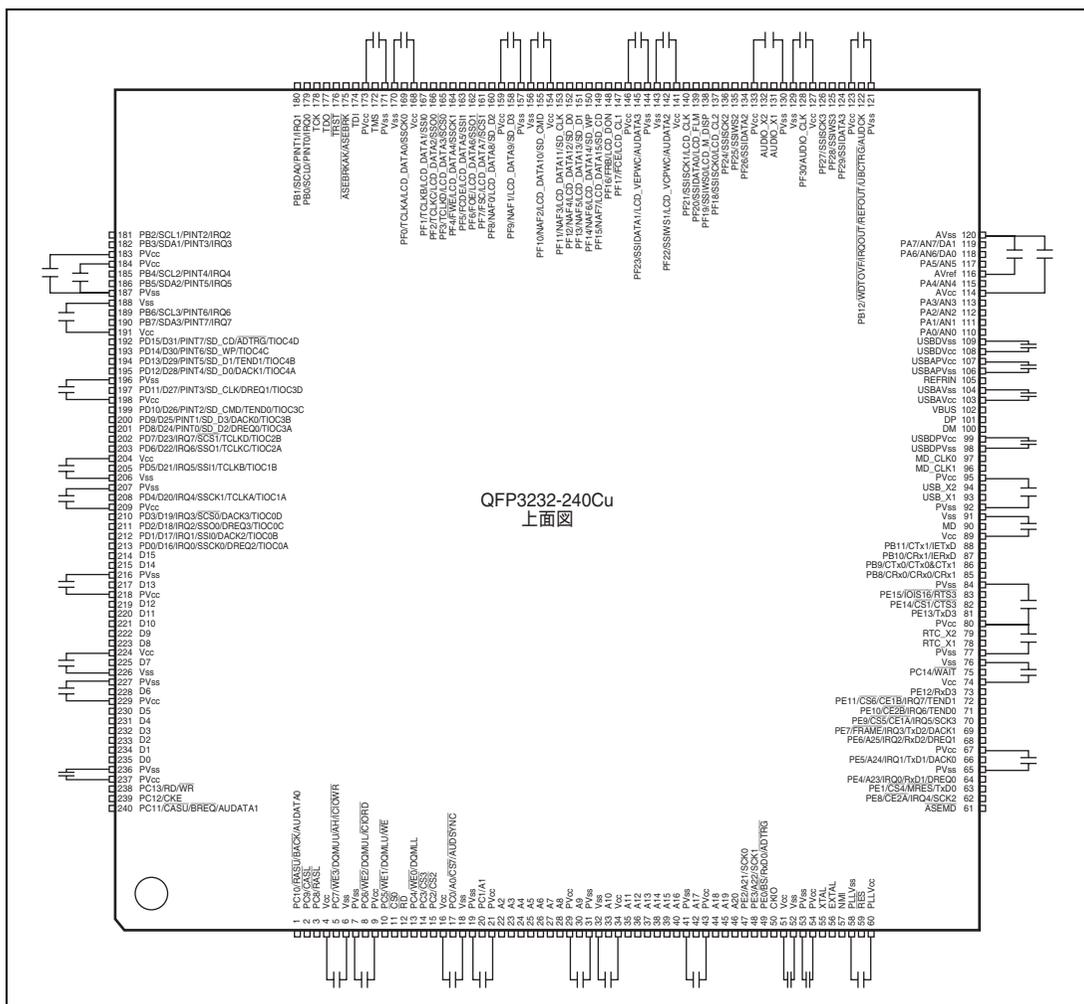


図 35.84 外付けコンデンサ配置例



# 付録

## A. 端子状態

表 A.1 端子状態

端子機能				端子状態					
分類	端子名			通常状態 (右記以外)	リセット状態		低消費電力状態		バス権 解放状態
					パワーオン リセット* <sup>1</sup>	端子状態 保持* <sup>2</sup>	ディープ スタンバイ モード* <sup>3</sup>	ソフトウェア スタンバイ モード	
クロック	EXTAL* <sup>4</sup>	クロック 動作モード	0、1	I	I	I	Z	I	I
			2、3	Z	Z	Z	Z	Z	Z
	XTAL* <sup>4</sup>			O	O	O	L	L	O
	CKIO	クロック 動作モード	0、1、3	O/Z* <sup>6</sup>	O	O/Z* <sup>6,13</sup>	O/Z* <sup>6</sup>	O/Z* <sup>6</sup>	O/Z* <sup>6</sup>
2			I	I	I	Z	I	I	
システム 制御	RES			I	I	I	I	I	I
	MRES			I	-	I/Z* <sup>10</sup>	I/Z* <sup>10</sup>	I	I
	WDTOVF			O	H	H	H	H	O
	BREQ			I	-	Z	Z	Z	I
	BACK			O	-	Z	Z	Z	L
動作モード 制御	MD			I	I	I	I	I	I
	MD_CLK1、MD_CLK0			I	I	I	I	I	I
	ASEMD			I	I	I	I	I	I
割り込み	NMI			I	I	I	I	I	I
	IRQ7 ~ IRQ0 (PB7 ~ PB0)			I	-	I	I	I	I
	IRQ7 ~ IRQ0 (PD7 ~ PD0)			I	-	Z	Z	I	I
	IRQ7 ~ IRQ0 (PE11 ~ PE4)			I	-	I/Z* <sup>10</sup>	I/Z* <sup>10</sup>	I	I
	PINT7 ~ PINT0 (PB7 ~ PB0)			I	-	I	I	I	I
	PINT7 ~ PINT0 (PD7 ~ PD0)			I	-	Z	Z	Z	I
	IRQOUT			O	-	H/Z* <sup>7</sup>	H/Z* <sup>7</sup>	H/Z* <sup>7</sup>	O
UBC	UBCTRG			O	-	O/Z* <sup>7</sup>	O/Z* <sup>7</sup>	O/Z* <sup>7</sup>	O
アドレス バス	A25 ~ A21、A0			O	-	O/Z* <sup>8</sup>	O/Z* <sup>8</sup>	O/Z* <sup>8</sup>	Z
	A20 ~ A2			O	O	O/Z* <sup>8,13</sup>	O/Z* <sup>8</sup>	O/Z* <sup>8</sup>	Z
	A1			O	O* <sup>5</sup>	O/Z* <sup>8,13</sup>	O/Z* <sup>8</sup>	O/Z* <sup>8</sup>	Z

端子機能		端子状態					バス権 解放状態
分類	端子名	通常状態 (右記以外)	リセット状態		低消費電力状態		
			パワーオン リセット*1	端子状態 保持*2	ディープ スタンバイ モード*3	ソフトウェア スタンバイ モード	
データバス	D31 - D16	I/O/Z	Z*5	Z	Z	Z	Z
	D15 - D0	I/O/Z	Z	Z	Z	Z	Z
バス制御	$\overline{CS0}$	O	H	H/Z*8,13	H/Z*8	H/Z*8	Z
	$\overline{CS7} - \overline{CS1}, \overline{CE1A}, \overline{CE1B}, \overline{CE2A}, \overline{CE2B}$	O	-	H/Z*8	H/Z*8	H/Z*8	Z
	$\overline{RD}$	O	H	H/Z*8,13	H/Z*8	H/Z*8	Z
	$\overline{RD}/\overline{WR}$	O	-	H/Z*8	H/Z*8	H/Z*8	Z
	$\overline{BS}$	O	-	H/Z*8	H/Z*8	H/Z*8	Z
	$\overline{FRAME}$	O	-	H/Z*8	H/Z*8	H/Z*8	Z
	$\overline{WAIT}$	I	-	Z	Z	Z	Z
	$\overline{WE3}/\overline{DQMUU}/\overline{ICIOWR}/\overline{AH},$ $\overline{WE2}/\overline{DQMUL}/\overline{ICIORD},$ $\overline{WE1}/\overline{DQMLU}/\overline{WE}, \overline{WE0}/\overline{DQMLL}$	O	-	H/Z*8	H/Z*8	H/Z*8	Z
	$\overline{RASU}, \overline{RASL}, \overline{CASU}, \overline{CASL}$	O	-	O/Z*9	O/Z*9	O/Z*9	O/Z*9
	$\overline{CKE}$	O	-	O/Z*9	O/Z*9	O/Z*9	O/Z*9
	$\overline{IOIS16}$	I	-	Z	Z	Z	I
	$\overline{REFOUT}$	O	-	H/Z*7	H/Z*7	H/Z*7	O
DMAC	DREQ3 ~ DREQ0	I	-	Z	Z	Z	I
	DACK3 ~ DACK0	O	-	O/Z*7	O/Z*7	O/Z*7	O
	TEND1, TEND0	O	-	O/Z*7	O/Z*7	O/Z*7	O
MTU2	TCLKA, TCLKB, TCLKC, TCLKD	I	-	Z	Z	Z	I
	TIOC0A, TIOC0B, TIOC0C, TIOC0D	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	TIOC1A, TIOC1B	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	TIOC2A, TIOC2B	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	TIOC3A, TIOC3B, TIOC3C, TIOC3D	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	TIOC4A, TIOC4B, TIOC4C, TIOC4D	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
RTC	RTC_X1*4	I/Z*11	I	I	I	I/Z*11	I/Z*11
	RTC_X2*4	O/H*11	O	O	O	O/H*11	O/H*11
SCIF	TxD3 ~ TxD0	O/Z	-	O/Z*7	O/Z*7	O/Z*7	O/Z
	RxD3 ~ RxD0	I	-	Z	Z	Z	I
	SCK3 ~ SCK0	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	$\overline{RTS3}$	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	$\overline{CTS3}$	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O

端子機能		端子状態					
分類	端子名	通常状態 (右記以外)	リセット状態		低消費電力状態		バス権 解放状態
			パワーオン リセット*1	端子状態 保持*2	ディープ スタンバイ モード*3	ソフトウェア スタンバイ モード	
SSU	SSO1、SSO0	I/O	–	Z	Z	Z	I/O
	SSI1、SSI0	I/O	–	Z	Z	Z	I/O
	SSCK1、SSCK0	I/O	–	Z	Z	Z	I/O
	SCS1、SCS0	I/O	–	Z	Z	Z	I/O
IIC3	SCL3 ~ SCL0	I/O	–	I	I	I	I/O
	SDA3 ~ SDA0	I/O	–	I	I	I	I/O
SSI	SSIDATA3 ~ SSIDATA0	I/O	–	K/Z*7	K/Z*7	K/Z*7	I/O
	SSISCK3 ~ SSISCK0	I/O	–	K/Z*7	K/Z*7	K/Z*7	I/O
	SSIWS3 ~ SSIWS0	I/O	–	K/Z*7	K/Z*7	K/Z*7	I/O
	AUDIO_CLK	I	–	Z	Z	Z	I
	AUDIO_X1*4	I/Z*12	I	I	Z	Z	I/Z*12
	AUDIO_X2*4	O/L*12	O	O	L	L	O/L*12
RCAN-TL1	CTx1、CTx0	O	–	O/Z*7	O/Z*7	O/Z*7	O
	CRx1、CRx0	I	–	Z	Z	Z	I
IEB	IETxD	O	–	O/Z*7	O/Z*7	O/Z*7	O
	IERxD	I	–	Z	Z	Z	I
ADC	AN7 ~ AN0	I	–	Z	Z	Z	I
	ADTRG	I	–	Z	Z	Z	I
DAC	DA1、DA0	O	–	Z	Z	O	O
FLCTL	FOE	O	–	O/Z*7	O/Z*7	O/Z*7	O
	FSC	O	–	O/Z*7	O/Z*7	O/Z*7	O
	FC $\bar{E}$	O	–	O/Z*7	O/Z*7	O/Z*7	O
	FCDE	O	–	O/Z*7	O/Z*7	O/Z*7	O
	FRB	I	–	Z	Z	Z	I
	FWE	O	–	O/Z*7	O/Z*7	O/Z*7	O
	NAF7 ~ NAF0	I/O/Z	–	K/Z*7	K/Z*7	K/Z*7	I/O/Z
USB	DP、DM	I/O/Z	Z	I/O/Z	Z	I/O/Z	I/O/Z
	VBUS	I	I	I	I	I	I
	REFRIN	I	I	I	I	I	I
	USB_X1*4	I	I	I	Z	Z	I
	USB_X2*4	O	O	O	L	L	O

端子機能		端子状態					
分類	端子名	通常状態 (右記以外)	リセット状態		低消費電力状態		バス権 解放状態
			パワーオン リセット*1	端子状態 保持*2	ディープ スタンバイ モード*3	ソフトウェア スタンバイ モード	
LCDC	LCD_DATA15 ~ LCD_DATA0	O	-	O/Z*7	O/Z*7	O/Z*7	O
	LCD_DON	O	-	O/Z*7	O/Z*7	O/Z*7	O
	LCD_CL1、LCD_CL2	O	-	O/Z*7	O/Z*7	O/Z*7	O
	LCD_M_DISP	O	-	O/Z*7	O/Z*7	O/Z*7	O
	LCD_FLM	O	-	O/Z*7	O/Z*7	O/Z*7	O
	LCD_VCPWC、LCD_VEPWC	O	-	O/Z*7	O/Z*7	O/Z*7	O
	LCD_CLK	I	-	Z	Z	Z	I
SDHI	SD_CLK	O	-	O/Z*7	O/Z*7	O/Z*7	O
	SD_CMD	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	SD_D3 ~ SD_D0	I/O	-	K/Z*7	K/Z*7	K/Z*7	I/O
	SD_CD	I	-	Z	Z	Z	I
	SD_WP	I	-	Z	Z	Z	I
I/O ポート	PA7 ~ PA0	I	Z	Z	Z	Z	I
	PB12	O	-	O/Z*7	O/Z*7	O/Z*7	O
	PB11 ~ PB8	I/O	Z	K/Z*7	K/Z*7	K/Z*7	I/O
	PB7 ~ PB0	I	I	I	I	I	I
	PC14 ~ PC2、PC0	I/O	Z	K/Z*7	K/Z*7	K/Z*7	I/O
	PC1	I/O	Z*5	K/Z*7	K/Z*7	K/Z*7	I/O
	PD15 ~ PD0	I/O	Z*5	K/Z*7	K/Z*7	K/Z*7	I/O
	PE15 ~ PE0	I/O	Z	K/Z*7	K/Z*7	K/Z*7	I/O
H-UDI	PF30 ~ PF0	I/O	Z	K/Z*7	K/Z*7	K/Z*7	I/O
	TRST	I	I	I	Z	I	I
	TCK	I	I	I	Z	I	I
	TDI	I	I	I	Z	I	I
	TDO	O/Z*14	O/Z*14	O/Z*14	O/Z*14	O/Z*14	O/Z*14
エミュレータ *15	TMS	I	I	I	Z	I	I
	AUDSYNC	-	-	-	-	-	-
	AUDCK	-	-	-	-	-	-
	AUDATA3 ~ AUDATA0	-	-	-	-	-	-
	ASEBRKAK/ASEBRK	Z	Z	Z	Z	Z	Z

## 【記号説明】

- I : 入力  
O : 出力  
H : ハイレベル出力  
L : ローレベル出力  
Z : ハイインピーダンス  
K : 入力端子はハイインピーダンス、出力端子は状態保持

- 【注】 \*1  $\overline{RES}$  端子へのローレベル入力によるパワーオンリセットを指します。H-UDI リセットアサートコマンドおよび WDT オーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります（「第 29 章 ピンファンクションコントローラ (PFC)」参照）。
- \*2 ディープスタンバイモードから NMI、 $\overline{MRES}$ 、IRQ7～IRQ0 の各端子入力によって復帰した後、ディープスタンバイ解除要因フラグレジスタ (DSFR) の IOKEEP ビットがクリアされるまでの状態を指します（「第 32 章 低消費電力モード」参照）。
- \*3 I/O 端子に内蔵されたウィークキープ回路はオフ状態になります。
- \*4 水晶発振子接続用の端子を使用しない場合は、入力端子 (EXTAL、RTC\_X1、AUDIO\_X1、USB\_X1) は固定 (プルアップ / プルダウン / 電源接続 / グランド接続)、出力端子 (XTAL、RTC\_X2、AUDIO\_X2、USB\_X2) はオープンにしてください。
- \*5 エリア 0 のデータバス幅により、初期機能が異なります（「第 29 章 ピンファンクションコントローラ (PFC)」参照）。
- \*6 CPG の周波数制御レジスタ (FRQCR) の CKOEN ビットの設定に従います（「第 4 章 クロックパルス発振器 (CPG)」参照）。
- \*7 スタンバイコントロールレジスタ 3 (STBCR3) の HIZ ビットの設定に従います（「第 32 章 低消費電力モード」参照）。
- \*8 BSC の共通コントロールレジスタ (CMNCR) の HIZMEM ビットの設定に従います（「第 9 章 バスステートコントローラ (BSC)」参照）。
- \*9 BSC の共通コントロールレジスタ (CMNCR) の HIZCNT ビットの設定に従います（「第 9 章 バスステートコントローラ (BSC)」参照）。
- \*10 ディープスタンバイ解除要因セレクトレジスタ (DSSSR) の各ビットの設定に従います（「第 32 章 低消費電力モード」参照）。
- \*11 RTC の RTC コントロールレジスタ (RCR2) の RTCEN ビットの設定に従います（「第 14 章 リアルタイムクロック (RTC)」参照）。
- \*12 スタンバイコントロールレジスタ (STBCR) の AXTALE ビットの設定に従います（「第 32 章 低消費電力モード」参照）。
- \*13 ディープスタンバイコントロールレジスタ 2 (DSCTR2) の CS0KEEPE ビットが 1 のときは、ディープスタンバイモード中の端子状態を保持します。CS0KEEPE ビットが 0 のときは、パワーオンリセットの端子状態になります（「第 32 章 低消費電力モード」参照）。
- \*14 H-UDI の TAP コントローラが Shift-DR、Shift-IR 状態以外では Z となります。
- \*15 製品チップモード時 ( $\overline{ASEMD} = H$ ) の端子状態です。ASE モード時 ( $\overline{ASEMD} = L$ ) の端子状態については、「エミュレーションマニュアル」を参照してください。

## B. 未使用端子の処理

表 B.1 未使用端子の処理 (H-UDI/エミュレータインタフェース端子を除く)

端子	処理
NMI	ハイレベル固定 (プルアップ / 電源接続)
DP, DM, VBUS	USBDPVss に接続
REFRIN	5.6kΩ ± 20% の抵抗を介して USBAPVcc に接続
USB 専用電源 (USBAPVcc, USBAPVss, USBDPVcc, USBDPVss, USBAVcc, USBAVss, USBDVcc, USBDVss)	電源、グランドに接続
AVref	AVcc に接続
A/D, D/A 専用電源 (AVcc, AVss)	電源、グランドに接続
ウィークキーバ、プルアップ付き端子	オープン
上記以外の入力専用端子	固定 (プルアップ / プルダウン / 電源接続 / グランド接続)
上記以外の入出力専用端子	入力端子設定にして固定 (プルアップ / プルダウン) または出力設定にしてオープン
出力専用端子	オープン

【注】プルアップ / プルダウンの抵抗は 4.7kΩ ~ 100kΩ を推奨します。

表 B.2 製品チップモードかつ H-UDI 未使用時の端子処理

端子	処理
ASEMD	ハイレベル固定 (プルアップ / 電源接続)
TRST	1kΩ の抵抗でプルダウン固定 もしくは、電源投入時および RES 端子アサートによるディープスタンバイの解除時は必ずローレベル固定。それ以外はオープン
TCK, TMS, TDI, TDO, ASEBRKAK/ASEBRK	オープン

- 【注】
1. H-UDI 使用時の端子処理は、使用するエミュレータの仕様に従ってください。
  2. プルアップの抵抗は 4.7kΩ ~ 100kΩ を推奨します。

C. 外形寸法図

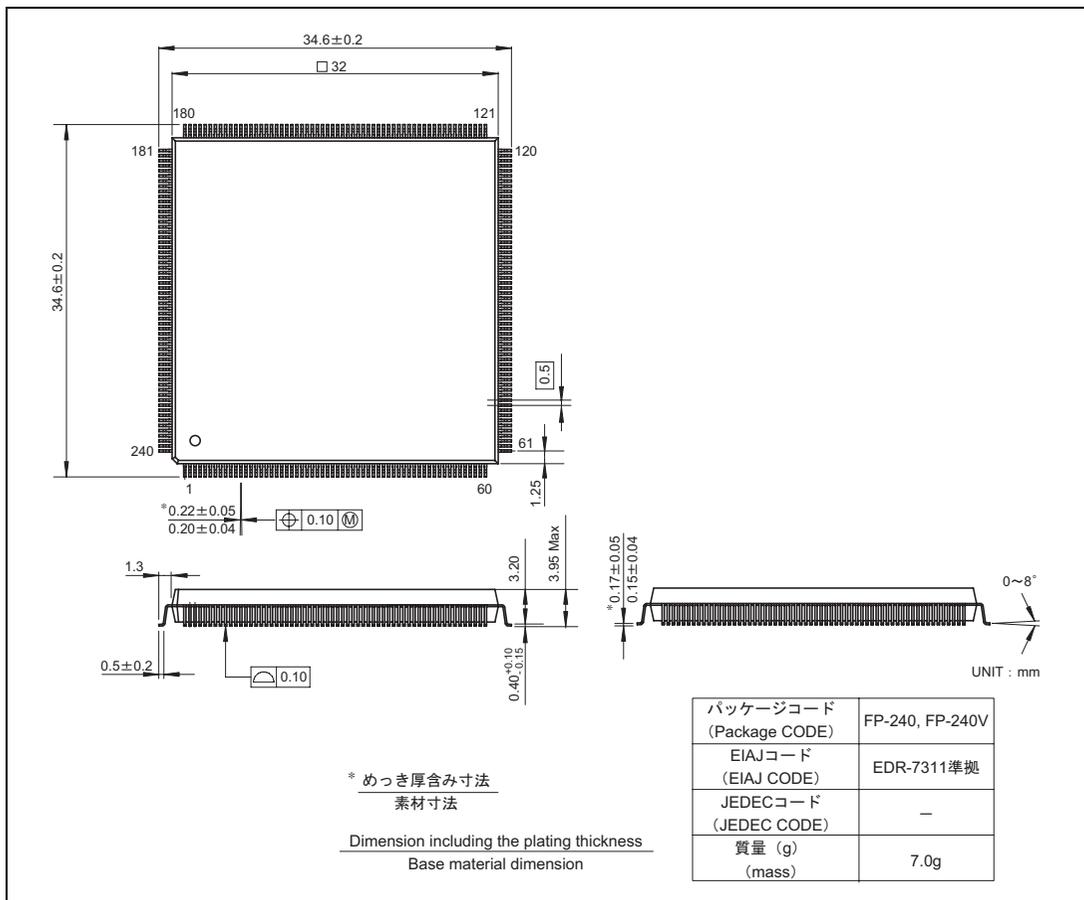


図 C.1 外形寸法図



## 本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）				
1.1 SH7263 の特長	1-1	<p>説明を修正</p> <p>本 LSI は、ルネサス オリジナルの RISC（縮小命令セットコンピュータ）方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。</p> <hr/> <p>説明を修正</p> <p>【注】*1 IEBus™（Inter Equipment Bus™）はルネサス エレクトロニクスの商標です。</p>				
表 1.1 SH7263 の特長	1-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>特長</th> </tr> </thead> <tbody> <tr> <td>IEBus™ コントローラ（IEB） 【注】IEB は型番により搭載品、非搭載品に分かれます</td> <td>IEBus のプロトコル制御（レイア 2）に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 モード 2 の最大伝送バイト数である 128 バイトまで連続送受信可能なデータ送受信バッファ（デュアルポート RAM）内蔵 動作周波数： 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用</td> </tr> </tbody> </table>	項目	特長	IEBus™ コントローラ（IEB） 【注】IEB は型番により搭載品、非搭載品に分かれます	IEBus のプロトコル制御（レイア 2）に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 モード 2 の最大伝送バイト数である 128 バイトまで連続送受信可能なデータ送受信バッファ（デュアルポート RAM）内蔵 動作周波数： 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用
項目	特長					
IEBus™ コントローラ（IEB） 【注】IEB は型番により搭載品、非搭載品に分かれます	IEBus のプロトコル制御（レイア 2）に対応 半二重非同期通信 マルチマスタ方式 同報通信機能 伝送速度の異なる 3 種類のモードが選択可能 モード 2 の最大伝送バイト数である 128 バイトまで連続送受信可能なデータ送受信バッファ（デュアルポート RAM）内蔵 動作周波数： 12MHz、12.58MHz のクロックを 1/2 に分周して使用 18MHz、18.87MHz のクロックを 1/3 に分周して使用 24MHz、25.16MHz のクロックを 1/4 に分周して使用 30MHz、31.45MHz のクロックを 1/5 に分周して使用 36MHz、37.74MHz のクロックを 1/6 に分周して使用					
4. クロックパルス発振器（CPG）	4-1	<p>説明を修正</p> <p>本 LSI は、クロックパルス発振器を内蔵しており、CPU クロック（I）、周辺クロック（P）、およびバスクロック（B）を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。</p>				
4.1 特長		<p>説明を修正</p> <ul style="list-style-type: none"> <li>● 3 種類のクロック           <p>CPU、キャッシュで使用する CPU クロック（I）、周辺モジュールで使用する周辺クロック（P）、さらに外部バスインタフェースで使用するバスクロック（B = CKIO）を独立に生成できます。</p> </li> <li>● 周波数変更機能           <p>CPG 内部の PLL（Phase Locked Loop）回路や分周回路により、CPU クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ（FRQCR）の設定により、ソフトウェアで行います。</p> </li> </ul>				

修正項目	ページ	修正内容（詳細はマニュアル参照）																							
4.1 特長 図 4.1 クロックパルス発振器のブロック図	4-2	図を修正 																							
(4) 分周器 2	4-3	説明を修正 分周器 2 は、CPU クロック、周辺クロック、およびバスクロックで使用する動作周波数のクロックを生成する機能を持ちます。CPU クロックと周辺クロックの分周率は、周波数制御レジスタで設定します。バスクロックの分周率は、クロック動作モードおよび PLL 逡倍率により決まります。																							
(7) 周波数制御レジスタ (FRQCR)		説明を修正 周波数制御レジスタ (FRQCR) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、PLL 回路の周波数逡倍率、CPU クロック、および周辺クロック (P ) の周波数分周率の各制御ビットが割り当てられています。																							
4.3 クロック動作モード 表 4.3 クロック動作モードと設定可能な周波数範囲	4-6	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">クロック動作モード</th> <th rowspan="2">FRQCR レジスタ設定値</th> <th rowspan="2">PLL 逡倍率 PLL 回路</th> <th rowspan="2">内部 クロック比 (1 : B : P)</th> <th colspan="5">設定可能な周波数範囲 (MHz)</th> </tr> <tr> <th>入力クロック (CKIO 端子)</th> <th>出力クロック (CKIO 端子)</th> <th>CPU クロック ( I )</th> <th>バスクロック ( B )</th> <th>周辺クロック ( P )</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>HX003</td> <td>DN ( × 8 )</td> <td>8 : 4 : 2</td> <td>10 ~ 16.67</td> <td>40 ~ 66.66</td> <td>80 ~ 133.36</td> <td>40 ~ 66.66</td> <td>20 ~ 33.33</td> </tr> </tbody> </table>	クロック動作モード	FRQCR レジスタ設定値	PLL 逡倍率 PLL 回路	内部 クロック比 (1 : B : P)	設定可能な周波数範囲 (MHz)					入力クロック (CKIO 端子)	出力クロック (CKIO 端子)	CPU クロック ( I )	バスクロック ( B )	周辺クロック ( P )	0	HX003	DN ( × 8 )	8 : 4 : 2	10 ~ 16.67	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	20 ~ 33.33
クロック動作モード	FRQCR レジスタ設定値	PLL 逡倍率 PLL 回路					内部 クロック比 (1 : B : P)	設定可能な周波数範囲 (MHz)																	
			入力クロック (CKIO 端子)	出力クロック (CKIO 端子)	CPU クロック ( I )	バスクロック ( B )		周辺クロック ( P )																	
0	HX003	DN ( × 8 )	8 : 4 : 2	10 ~ 16.67	40 ~ 66.66	80 ~ 133.36	40 ~ 66.66	20 ~ 33.33																	
	4-7	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">クロック動作モード</th> <th rowspan="2">FRQCR レジスタ設定値</th> <th rowspan="2">PLL 逡倍率 PLL 回路</th> <th rowspan="2">内部 クロック比 (1 : B : P)</th> <th colspan="5">設定可能な周波数範囲 (MHz)</th> </tr> <tr> <th>入力クロック (CKIO 端子)</th> <th>出力クロック (CKIO 端子)</th> <th>CPU クロック ( I )</th> <th>バスクロック ( B )</th> <th>周辺クロック ( P )</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>HX003</td> <td>DN ( × 8 )</td> <td>2 : 1 : 1/2</td> <td>48</td> <td>48</td> <td>96</td> <td>48</td> <td>24</td> </tr> </tbody> </table>	クロック動作モード	FRQCR レジスタ設定値	PLL 逡倍率 PLL 回路	内部 クロック比 (1 : B : P)	設定可能な周波数範囲 (MHz)					入力クロック (CKIO 端子)	出力クロック (CKIO 端子)	CPU クロック ( I )	バスクロック ( B )	周辺クロック ( P )	3	HX003	DN ( × 8 )	2 : 1 : 1/2	48	48	96	48	24
クロック動作モード	FRQCR レジスタ設定値	PLL 逡倍率 PLL 回路					内部 クロック比 (1 : B : P)	設定可能な周波数範囲 (MHz)																	
			入力クロック (CKIO 端子)	出力クロック (CKIO 端子)	CPU クロック ( I )	バスクロック ( B )		周辺クロック ( P )																	
3	HX003	DN ( × 8 )	2 : 1 : 1/2	48	48	96	48	24																	
4.4.1 周波数制御レジスタ (FRQCR)	4-8	説明を修正 FRQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、通常時、バス権解放時、ソフトウェアスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、PLL 回路の周波数逡倍率、CPU クロック、および周辺クロック (P ) の周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。																							
	4-9	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>IFC</td> <td>0</td> <td>R/W</td> <td>CPU クロック周波数の分周率 PLL 回路の出力周波数に対しての CPU クロック周波数の分周率を指定します。 0 : × 1 倍 1 : × 1/2 倍</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	4	IFC	0	R/W	CPU クロック周波数の分周率 PLL 回路の出力周波数に対しての CPU クロック周波数の分周率を指定します。 0 : × 1 倍 1 : × 1/2 倍													
ビット	ビット名	初期値	R/W	説明																					
4	IFC	0	R/W	CPU クロック周波数の分周率 PLL 回路の出力周波数に対しての CPU クロック周波数の分周率を指定します。 0 : × 1 倍 1 : × 1/2 倍																					

修正項目	ページ	修正内容（詳細はマニュアル参照）																															
4.5 周波数変更方法	4-11	説明を修正 CPUクロック（I）および周辺クロック（P）の周波数を変更するには、PLL回路の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタ（FRQCR）によってソフトウェアで制御します。以下にこれらの方法について示します。																															
4.5.1 通倍率の変更		説明を修正 4. 本 LSI 内部は、一時的に停止し、WDT のカウントアップを開始します。WDT にのみクロックが供給され、それ以外の内部クロックが停止します。また、CKIO 端子にはクロックが出力され続けます。																															
4.8.1 PLL 発振回路使用時の注意	4-15	説明を修正 PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。 PLL Vcc は Vcc と同電位にしてください。																															
5.2.2 リセットの種類 表 5.6 リセット状態	5-7	表を修正 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th rowspan="2">種類</th> <th colspan="4">内部状態</th> </tr> <tr> <th>CPU</th> <th>CPU 以外のモジュール</th> <th>高速内蔵 RAM</th> <th>保持用内蔵 RAM</th> </tr> </thead> <tbody> <tr> <td rowspan="3">パワーオンリセット</td> <td>初期化</td> <td>初期化</td> <td>初期化 or 保持*1</td> <td>初期化</td> </tr> <tr> <td>初期化</td> <td>初期化</td> <td>初期化 or 保持*2</td> <td>初期化</td> </tr> <tr> <td>初期化</td> <td>*1</td> <td>初期化 or 保持*2</td> <td>初期化</td> </tr> <tr> <td rowspan="2">マニュアルリセット</td> <td>初期化</td> <td>*1</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>初期化</td> <td>*1</td> <td>保持</td> <td>保持</td> </tr> </tbody> </table> 注を修正 【注】*1 「34.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。 *2 RAME ビットまたは RAMWE ビットを無効にすることにより、データを保持し続けます。	種類	内部状態				CPU	CPU 以外のモジュール	高速内蔵 RAM	保持用内蔵 RAM	パワーオンリセット	初期化	初期化	初期化 or 保持*1	初期化	初期化	初期化	初期化 or 保持*2	初期化	初期化	*1	初期化 or 保持*2	初期化	マニュアルリセット	初期化	*1	保持	保持	初期化	*1	保持	保持
種類	内部状態																																
	CPU	CPU 以外のモジュール	高速内蔵 RAM	保持用内蔵 RAM																													
パワーオンリセット	初期化	初期化	初期化 or 保持*1	初期化																													
	初期化	初期化	初期化 or 保持*2	初期化																													
	初期化	*1	初期化 or 保持*2	初期化																													
マニュアルリセット	初期化	*1	保持	保持																													
	初期化	*1	保持	保持																													
5.3.2 アドレスエラー例外処理	5-11	注を修正 【注】* データ読み出し / 書き込みによるアドレスエラー時。命令フェッチによるアドレスエラーは、上記動作終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。																															
5.9.4 割り込みマスクビット変更による割り込み制御	5-21	新規追加																															
9.3.1 アドレスマップ 表 9.2 アドレスマップ	9-5	表を修正 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>内部アドレス</th> <th>空間</th> <th>メモリ種類</th> <th>キャッシュ</th> </tr> </thead> <tbody> <tr> <td>H'40000000 - H'FFFBFFFF</td> <td>その他</td> <td>内蔵 RAM、予約エリア*</td> <td>-</td> </tr> </tbody> </table>	内部アドレス	空間	メモリ種類	キャッシュ	H'40000000 - H'FFFBFFFF	その他	内蔵 RAM、予約エリア*	-																							
内部アドレス	空間	メモリ種類	キャッシュ																														
H'40000000 - H'FFFBFFFF	その他	内蔵 RAM、予約エリア*	-																														

修正項目	ページ	修正内容（詳細はマニュアル参照）										
9.3.2 各エリアのデータバス幅と関連端子設定	9-6	説明を差し替え										
9.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0~7) (1) 通常空間、バイト選択付き SRAM、MPX-I/O • CS5WCR	9-23	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>12, 11</td> <td>SW[1:0]</td> <td>00</td> <td>R/W</td> <td>アドレス、CSS アサート、RD、WE<sub>n</sub> アサート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、アドレス、CSS アサートから RD、WE<sub>n</sub> アサートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、アドレスサイクル (Ta3) から RD、WE<sub>n</sub> アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	12, 11	SW[1:0]	00	R/W	アドレス、CSS アサート、RD、WE <sub>n</sub> アサート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、アドレス、CSS アサートから RD、WE <sub>n</sub> アサートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、アドレスサイクル (Ta3) から RD、WE <sub>n</sub> アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル
	ビット	ビット名	初期値	R/W	説明							
12, 11	SW[1:0]	00	R/W	アドレス、CSS アサート、RD、WE <sub>n</sub> アサート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、アドレス、CSS アサートから RD、WE <sub>n</sub> アサートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、アドレスサイクル (Ta3) から RD、WE <sub>n</sub> アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル								
9-24	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>1, 0</td> <td>HW[1:0]</td> <td>00</td> <td>R/W</td> <td>RD、WE<sub>n</sub> ネゲート アドレス、CSS ネゲート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、RD、WE<sub>n</sub> ネゲートから、アドレス、CSS ネゲートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、RD、WE<sub>n</sub> ネゲートから、CSS ネゲートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	1, 0	HW[1:0]	00	R/W	RD、WE <sub>n</sub> ネゲート アドレス、CSS ネゲート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、RD、WE <sub>n</sub> ネゲートから、アドレス、CSS ネゲートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、RD、WE <sub>n</sub> ネゲートから、CSS ネゲートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル	
ビット	ビット名	初期値	R/W	説明								
1, 0	HW[1:0]	00	R/W	RD、WE <sub>n</sub> ネゲート アドレス、CSS ネゲート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付SRAMに設定した場合、RD、WE <sub>n</sub> ネゲートから、アドレス、CSS ネゲートまでの遅延サイクル数を指定します。エリア5をMPX-I/Oに設定した場合、RD、WE <sub>n</sub> ネゲートから、CSS ネゲートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル								
(3) SDRAM* • CS3WCR	9-33	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4, 3</td> <td>TRWL[1:0]*</td> <td>00</td> <td>R/W</td> <td>プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 本LSIがWRITAコマンドを発行してからSDRAM内でオートプリチャージが起動するまでのサイクル数 WRITAコマンド発行後、同一バンクに対するACTVコマンド発行までのサイクル数です。なお、SDRAM内でWRITAコマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各SDRAMのデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を越えないように本ビットを設定してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	4, 3	TRWL[1:0]*	00	R/W	プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 本LSIがWRITAコマンドを発行してからSDRAM内でオートプリチャージが起動するまでのサイクル数 WRITAコマンド発行後、同一バンクに対するACTVコマンド発行までのサイクル数です。なお、SDRAM内でWRITAコマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各SDRAMのデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を越えないように本ビットを設定してください。
ビット	ビット名	初期値	R/W	説明								
4, 3	TRWL[1:0]*	00	R/W	プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 本LSIがWRITAコマンドを発行してからSDRAM内でオートプリチャージが起動するまでのサイクル数 WRITAコマンド発行後、同一バンクに対するACTVコマンド発行までのサイクル数です。なお、SDRAM内でWRITAコマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各SDRAMのデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を越えないように本ビットを設定してください。								
9.5.5 MPX-I/O インタフェース	9-62	説明を追加 データサイクルは、通常空間アクセスと同一のサイクルとなります。 SW[1:0]の遅延サイクルは、Ta3とT1サイクルの間に挿入されます。 HW[1:0]の遅延サイクルはT2サイクルの後に付加されます。 タイミングチャートを図9.11、図9.12、図9.13に示します。										
図9.11 (1) MPX 空間アクセスタイミング (アドレスサイクルノーウェイト、データサイクルノーウェイト)	9-63	図タイトルを修正										
図9.11 (2) MPX 空間アクセスタイミング (アドレスサイクルノーウェイト、アサート拡張サイクル1.5、データサイクルノーウェイト、ネゲート拡張サイクル1.5)	9-64	図を追加										
9.5.9 PCMCIA インタフェース 図9.41 PCMCIA インタフェース接続例	9-106	図を修正 										

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																					
9.5.12 アクセスサイクル間アイドル 表 9.24 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数	9-122	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2"></th> <th colspan="10">後サイクル</th> </tr> <tr> <th>SRAM</th> <th>バーストROM (非同期)</th> <th>MPXIO</th> <th>バイトSRAM (BAS=0)</th> <th>バイトSRAM (BAS=1)</th> <th>SDRAM</th> <th>SDRAM (低周波モード)</th> <th>PCMCIA</th> <th>バーストMPX</th> <th>バーストROM (同期)</th> </tr> </thead> <tbody> <tr> <td>前サイクル</td> <td>SRAM</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0<sup>1</sup></td> <td>0<sup>1</sup></td> <td>1.5</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td></td> <td>バーストROM (非同期)</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0<sup>1</sup></td> <td>0<sup>1</sup></td> <td>1.5</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td></td> <td>MPXIO</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1.5</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td></td> <td>バイトSRAM (BAS=0)</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0<sup>1</sup></td> <td>0<sup>1</sup></td> <td>1.5</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td></td> <td>バイトSRAM (BAS=1)</td> <td>0<sup>1</sup></td> <td>0<sup>1</sup></td> <td>0<sup>2</sup></td> <td>0<sup>1</sup></td> <td>0</td> <td>0</td> <td>1.5</td> <td>0<sup>1</sup></td> <td>0<sup>1</sup></td> <td>0<sup>1</sup></td> </tr> <tr> <td></td> <td>SDRAM</td> <td>1</td> <td>1</td> <td>2</td> <td>1</td> <td>0</td> <td>0</td> <td>-</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td></td> <td>SDRAM (低周波モード)</td> <td>1.5</td> <td>1.5</td> <td>2.5</td> <td>1.5</td> <td>0.5</td> <td>-</td> <td>1</td> <td>1.5</td> <td>1.5</td> <td>1.5</td> </tr> <tr> <td></td> <td>PCMCIA</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0<sup>1</sup></td> <td>0<sup>1</sup></td> <td>1.5</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table> <p>注を追加</p>		後サイクル										SRAM	バーストROM (非同期)	MPXIO	バイトSRAM (BAS=0)	バイトSRAM (BAS=1)	SDRAM	SDRAM (低周波モード)	PCMCIA	バーストMPX	バーストROM (同期)	前サイクル	SRAM	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0		バーストROM (非同期)	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0		MPXIO	1	1	0	1	1	1	1.5	1	1	1		バイトSRAM (BAS=0)	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0		バイトSRAM (BAS=1)	0 <sup>1</sup>	0 <sup>1</sup>	0 <sup>2</sup>	0 <sup>1</sup>	0	0	1.5	0 <sup>1</sup>	0 <sup>1</sup>	0 <sup>1</sup>		SDRAM	1	1	2	1	0	0	-	1	1	1		SDRAM (低周波モード)	1.5	1.5	2.5	1.5	0.5	-	1	1.5	1.5	1.5		PCMCIA	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0
	後サイクル																																																																																																																						
	SRAM	バーストROM (非同期)	MPXIO	バイトSRAM (BAS=0)	バイトSRAM (BAS=1)	SDRAM	SDRAM (低周波モード)	PCMCIA	バーストMPX	バーストROM (同期)																																																																																																													
前サイクル	SRAM	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0																																																																																																												
	バーストROM (非同期)	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0																																																																																																												
	MPXIO	1	1	0	1	1	1	1.5	1	1	1																																																																																																												
	バイトSRAM (BAS=0)	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0																																																																																																												
	バイトSRAM (BAS=1)	0 <sup>1</sup>	0 <sup>1</sup>	0 <sup>2</sup>	0 <sup>1</sup>	0	0	1.5	0 <sup>1</sup>	0 <sup>1</sup>	0 <sup>1</sup>																																																																																																												
	SDRAM	1	1	2	1	0	0	-	1	1	1																																																																																																												
	SDRAM (低周波モード)	1.5	1.5	2.5	1.5	0.5	-	1	1.5	1.5	1.5																																																																																																												
	PCMCIA	0	0	1	0	0 <sup>1</sup>	0 <sup>1</sup>	1.5	0	0	0																																																																																																												
図 9.54 アイドルサイクル数の試算例と実際の比較	9-123	<p>図を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>R R</th> <th>R W</th> <th>W W</th> <th>W R</th> <th>備 考</th> </tr> </thead> <tbody> <tr> <td>(1)/(2)</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>CSnBCRの設定が0であるため</td> </tr> <tr> <td>(3)/(4)</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>WMビットが1であるため</td> </tr> <tr> <td>(5)</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>リードサイクル後に発生</td> </tr> <tr> <td>(6)</td> <td>0</td> <td>2</td> <td>2</td> <td>0</td> <td>表9.22の IB = 4:1の部分参照</td> </tr> </tbody> </table>	項目	R R	R W	W W	W R	備 考	(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため	(3)/(4)	0	0	0	0	WMビットが1であるため	(5)	1	1	0	0	リードサイクル後に発生	(6)	0	2	2	0	表9.22の IB = 4:1の部分参照																																																																																							
項目	R R	R W	W W	W R	備 考																																																																																																																		
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため																																																																																																																		
(3)/(4)	0	0	0	0	WMビットが1であるため																																																																																																																		
(5)	1	1	0	0	リードサイクル後に発生																																																																																																																		
(6)	0	2	2	0	表9.22の IB = 4:1の部分参照																																																																																																																		
10.3.4 DMA チャンネルコントロールレジスタ (CHCR)	10-10	<p>表を訂正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>26</td> <td>DAF</td> <td>0</td> <td>R/W</td> <td> <p>デスティネーションアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、デスティネーションアドレスモード (DM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: DAR レジスタに設定したアドレスへ、16 バイトを転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレスの +H0、+H4、+H8、+HC 番地となります。</p> <p>1: DAR レジスタに設定したアドレスへ、4 バイトを 4 回転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p> </td> </tr> <tr> <td>25</td> <td>SAF</td> <td>0</td> <td>R/W</td> <td> <p>ソースアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、ソースアドレスモード (SM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: SAR レジスタに設定したアドレスから、16 バイトを転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレスの +H0、+H4、+H8、+HC 番地となります。</p> <p>1: SAR レジスタに設定したアドレスから、4 バイトを 4 回転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	26	DAF	0	R/W	<p>デスティネーションアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、デスティネーションアドレスモード (DM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: DAR レジスタに設定したアドレスへ、16 バイトを転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレスの +H0、+H4、+H8、+HC 番地となります。</p> <p>1: DAR レジスタに設定したアドレスへ、4 バイトを 4 回転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p>	25	SAF	0	R/W	<p>ソースアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、ソースアドレスモード (SM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: SAR レジスタに設定したアドレスから、16 バイトを転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレスの +H0、+H4、+H8、+HC 番地となります。</p> <p>1: SAR レジスタに設定したアドレスから、4 バイトを 4 回転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p>																																																																																																						
ビット	ビット名	初期値	R/W	説 明																																																																																																																			
26	DAF	0	R/W	<p>デスティネーションアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、デスティネーションアドレスモード (DM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: DAR レジスタに設定したアドレスへ、16 バイトを転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレスの +H0、+H4、+H8、+HC 番地となります。</p> <p>1: DAR レジスタに設定したアドレスへ、4 バイトを 4 回転送します。 書き込み先アドレスは、DAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p>																																																																																																																			
25	SAF	0	R/W	<p>ソースアドレス固定 16 バイト転送 トランスファサイズ (TS[1:0]) が 16 バイトで、ソースアドレスモード (SM[1:0]) がアドレス固定の場合に有効になります。</p> <p>0: SAR レジスタに設定したアドレスから、16 バイトを転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレスの +H0、+H4、+H8、+HC 番地となります。</p> <p>1: SAR レジスタに設定したアドレスから、4 バイトを 4 回転送します。 読み出し先アドレスは、SAR レジスタに設定したアドレス固定となります。本機能は、ROM-DEC 以外では使用しないでください。</p>																																																																																																																			
10.4.4 DMA 転送の種類 表 10.9 サポートできる DMA 転送	10-32	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">転送元</th> <th colspan="5">転送先</th> </tr> <tr> <th>DACK 付き外部デバイス</th> <th>外部メモリ</th> <th>メモリマップト外部デバイス</th> <th>内蔵周辺モジュール</th> <th>内蔵メモリ</th> </tr> </thead> <tbody> <tr> <td>DACK 付き外部デバイス</td> <td>不可</td> <td>デュアル、シングル</td> <td>デュアル、シングル</td> <td>デュアル</td> <td>デュアル</td> </tr> <tr> <td>内蔵周辺モジュール</td> <td>デュアル</td> <td>デュアル</td> <td>デュアル</td> <td>デュアル</td> <td>デュアル</td> </tr> <tr> <td>内蔵メモリ</td> <td>デュアル</td> <td>デュアル</td> <td>デュアル</td> <td>デュアル</td> <td>デュアル</td> </tr> </tbody> </table>	転送元	転送先					DACK 付き外部デバイス	外部メモリ	メモリマップト外部デバイス	内蔵周辺モジュール	内蔵メモリ	DACK 付き外部デバイス	不可	デュアル、シングル	デュアル、シングル	デュアル	デュアル	内蔵周辺モジュール	デュアル	デュアル	デュアル	デュアル	デュアル	内蔵メモリ	デュアル	デュアル	デュアル	デュアル	デュアル																																																																																								
転送元	転送先																																																																																																																						
	DACK 付き外部デバイス	外部メモリ	メモリマップト外部デバイス	内蔵周辺モジュール	内蔵メモリ																																																																																																																		
DACK 付き外部デバイス	不可	デュアル、シングル	デュアル、シングル	デュアル	デュアル																																																																																																																		
内蔵周辺モジュール	デュアル	デュアル	デュアル	デュアル	デュアル																																																																																																																		
内蔵メモリ	デュアル	デュアル	デュアル	デュアル	デュアル																																																																																																																		
(3) DMA 転送区間とリクエストモード、バスモードの関係 表 10.10 DMA 転送区間とリクエストモード、バスモードとの関連一覧	10-39	<p>表を修正</p> <table border="1"> <thead> <tr> <th>アドレスモード</th> <th>転送区間</th> <th>リクエストモード</th> <th>バスモード</th> <th>転送サイズ (ビット)</th> <th>使用可能チャンネル</th> </tr> </thead> <tbody> <tr> <td rowspan="4">デュアル</td> <td>DACK 付き外部デバイスとメモリマップト外部デバイス</td> <td>外部</td> <td>B/C</td> <td>8/16/32/128</td> <td>0-3</td> </tr> <tr> <td>DACK 付き外部デバイスと内蔵周辺モジュール</td> <td>外部</td> <td>B/C</td> <td>8/16/32/128<sup>2)</sup></td> <td>0-3</td> </tr> <tr> <td>DACK 付き外部デバイスと内蔵メモリ</td> <td>外部</td> <td>B/C</td> <td>8/16/32/128</td> <td>0-3</td> </tr> <tr> <td>外部メモリと外部メモリ</td> <td>すべて可<sup>4)</sup></td> <td>B/C</td> <td>8/16/32/128</td> <td>0-7<sup>5)</sup></td> </tr> </tbody> </table>	アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル	デュアル	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0-3	DACK 付き外部デバイスと内蔵周辺モジュール	外部	B/C	8/16/32/128 <sup>2)</sup>	0-3	DACK 付き外部デバイスと内蔵メモリ	外部	B/C	8/16/32/128	0-3	外部メモリと外部メモリ	すべて可 <sup>4)</sup>	B/C	8/16/32/128	0-7 <sup>5)</sup>																																																																																										
アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル																																																																																																																		
デュアル	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0-3																																																																																																																		
	DACK 付き外部デバイスと内蔵周辺モジュール	外部	B/C	8/16/32/128 <sup>2)</sup>	0-3																																																																																																																		
	DACK 付き外部デバイスと内蔵メモリ	外部	B/C	8/16/32/128	0-3																																																																																																																		
	外部メモリと外部メモリ	すべて可 <sup>4)</sup>	B/C	8/16/32/128	0-7 <sup>5)</sup>																																																																																																																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
11.3.16 タイマアウトプットマスタインーブルレジスタ (TOER)	11-49	<p>説明を追加</p> <p>TOER は、8 ビットの読み出し / 書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可 / 禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、TOER はチャンネル 3、4 の TIOR 設定の前に値をセットしてください。</p> <p>TOER の設定はチャンネル 3、4 の TCNT のカウント動作を停止した状態で行ってください。</p>																				
11.3.17 タイマアウトプットコントロールレジスタ 1 (TOCR1)	11-50	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>TOCL</td> <td>0</td> <td>R(W)<sup>注3</sup></td> <td>TOC レジスタ書き込み禁止ビット<sup>注4</sup> TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止</td> </tr> <tr> <td>2</td> <td>TOCS</td> <td>0</td> <td>RW</td> <td>TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0 : TOCR1 の設定を有効にする 1 : TOCR2 の設定を有効にする</td> </tr> <tr> <td>1</td> <td>OLSN</td> <td>0</td> <td>RW</td> <td>出力レベルセレクト N<sup>注4</sup> リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 11.28 を参照してください。</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】 *3 パワーオンリセット後、1 回のみ 1 を書き込みできます。1 を書き込み後は、0 を書き込むことはできません。</p> <p>*4 デッドタイムを生成しない場合、逆相の出力は正相の反転となります。なお、OLSP、OLSN に同じ値を設定してください。</p>	ビット	ビット名	初期値	R/W	説 明	3	TOCL	0	R(W) <sup>注3</sup>	TOC レジスタ書き込み禁止ビット <sup>注4</sup> TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止	2	TOCS	0	RW	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0 : TOCR1 の設定を有効にする 1 : TOCR2 の設定を有効にする	1	OLSN	0	RW	出力レベルセレクト N <sup>注4</sup> リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 11.28 を参照してください。
ビット	ビット名	初期値	R/W	説 明																		
3	TOCL	0	R(W) <sup>注3</sup>	TOC レジスタ書き込み禁止ビット <sup>注4</sup> TOCR1 レジスタの TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。 0 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを許可 1 : TOCS ビット、OLSN ビット、OLSP ビットへの書き込みを禁止																		
2	TOCS	0	RW	TOC セレクトビット 相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1 と TOCR2 のどちらの設定を有効にするか選択します。 0 : TOCR1 の設定を有効にする 1 : TOCR2 の設定を有効にする																		
1	OLSN	0	RW	出力レベルセレクト N <sup>注4</sup> リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。表 11.28 を参照してください。																		
11.3.18 タイマアウトプットコントロールレジスタ 2 (TOCR2)	11-52	<p>注を追加</p> <p>【注】 * TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。</p> <p>デッドタイムを生成しない場合、逆相の出力は正相の反転となります。</p> <p>なお、OLSiP、OLSiN に同じ値を設定してください。(i = 1, 2, 3)</p>																				
11.3.23 タイマ周期データレジスタ (TCDR)	11-58	<p>説明を追加</p> <p>TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値 (ただし TDDR の 2 倍 + 3 以上の値) を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り換えます (ダウンカウントアップカウント)。TCDR の初期値は H'FFFF です。</p>																				

修正項目	ページ	修正内容（詳細はマニュアル参照）										
11.3.29 タイマ波形コントロールレジスタ (TWCR)	11-63	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>WRE</td> <td>0</td> <td>R/(W)</td> <td> <p>初期出力抑止イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外の場合に同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 11.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する</p> <p>[ セット条件 ]</p> <p>WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	WRE	0	R/(W)	<p>初期出力抑止イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外の場合に同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 11.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する</p> <p>[ セット条件 ]</p> <p>WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき</p>
ビット	ビット名	初期値	R/W	説明								
0	WRE	0	R/(W)	<p>初期出力抑止イネーブル</p> <p>相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外の場合に同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。</p> <p>相補 PWM モードの谷の Tb 区間については、図 11.40 を参照してください。</p> <p>0 : TOCR レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する</p> <p>[ セット条件 ]</p> <p>WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき</p>								
11.4.4 カスケード接続動作	11-77	<p>説明を修正</p> <p>カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は、「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「11.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。</p>										
(4) カスケード接続動作例 (c) 図 11.23 カスケード接続動作例 (c)	11-80	図を差し替え										
11.4.5 PWM モード • PWM モード 2	11-82	<p>説明を修正</p> <p>TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOF で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOF で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。</p>										
11.4.8 相補 PWM モード	11-95	<p>説明を削除</p> <p>使用される PWM 出力端子を表 11.52 に、使用するレジスタの設定を表 11.53 に示します。</p>										
(1) 相補 PWM モードの設定手順例 図 11.38 相補 PWM モードの設定手順例	11-98	<p>図を修正</p> <p>[7] デッドタイムを生成しない場合のみ設定してください。タイマデッドタイムイネーブルレジスタ (TDER) でデッドタイムを生成しないを選択します。</p> <p>[8] デッドタイムレジスタ (TDDR) にデッドタイムを設定し、タイマ周期データレジスタ (TCDR)、タイマ周期バッファレジスタ (TCBR) にキャリア周期の1/2を、TGRA_3とTGRC_3にキャリア周期の1/2にデッドタイム分加えた値を設定してください。デッドタイムを生成しない設定をした場合は、TDDRに1、TGRA_3とTGRC_3にキャリア周期の1/2+1を設定してください。</p> <p>[9] タイマアウトプットコントロールレジスタ (TOCR1) のPSYEビットで、</p>										

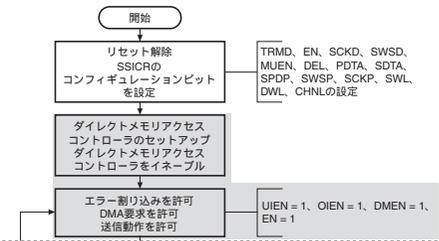
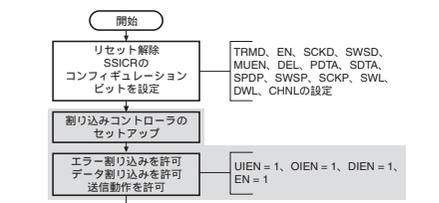
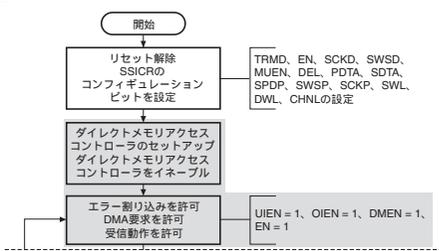
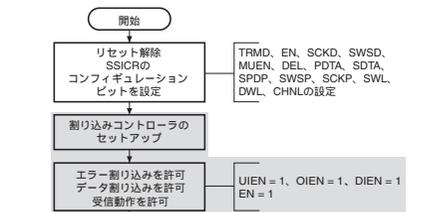
修正項目	ページ	修正内容（詳細はマニュアル参照）
11.4.8 相補 PWM モード (2) 相補 PWM モードの動作概要 (g) PWM 周期の設定	11-103	説明を追加 デッドタイム生成あり：TGRA_3 の設定値 = TCDR の設定値 + TDDR の設定値 TCDR の設定値 > TDDR の設定値の 2 倍 + 2 デッドタイム生成なし：TGRA_3 の設定値 = TCDR の設定値 + 1 TCDR の設定値 > 4
(j) 相補 PWM モードの PWM 出力生成方法	11-107	説明を修正 PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0～100%まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 11.46～図 11.48 に相補 PWM モードの波形生成例を示します。
(k) 相補 PWM モードのデューティ 0%、100%出力	11-112	説明を修正 デューティ 100%出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0%出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。
(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御	11-114	説明を追加 WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが図 11.56 の、のような谷の Tb 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、図 11.56 ので示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。 初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デッドタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、「11.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」を参照してください。
11.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項	11-160、 11-161	新規追加

修正項目	ページ	修正内容（詳細はマニュアル参照）
11.8.2 リセットスタート時の動作	11-162	<p>説明を修正</p> <p>MTU2 の出力端子（TIOC*）はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。MTU2 の端子機能の選択はピンファンクションコントローラ（PFC）で行うため、PFC が設定された時点でそのときの MTU2 の端子の状態がポートに出力されます。リセット直後に PFC で MTU2 の出力を選択した場合、ポート出力には MTU2 出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、PFC の設定は MTU2 の出力端子の初期設定終了後に行ってください。</p>
13.5.6 ウォッチドッグタイマモードでの内部リセット	13-14	新規追加
14.4.2 時刻設定手順 図 14.2 時刻設定手順	14-22	<p>図を修正</p>
14.4.3 時刻読み出し手順 図 14.3 時刻読み出し手順	14-23	<p>図を修正</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																															
14.5.4 レジスタ書き込み / 読み出し時の注意事項	14-26	<p>説明を訂正</p> <ul style="list-style-type: none"> <li>秒カウンタなど、カウントレジスタの書き込み後の読み出しは、「<b>図 14.2 時刻設定手順</b>」に従ってください。</li> </ul> <p>このときに、秒～年の全てのカウンタに連続して書き込みを行う必要があります。図 14.2 の図中の(2)の書き込み処理の間に、カウントレジスタの読み出し処理が行われないようにしてください。</p>																																																															
15.1 特長	15-3	<p>説明を修正</p> <p>図 15.1 に SCIF のブロック図を示します。ただし、チャンネル 0～2 には CTS、RTS 端子はありません。</p>																																																															
15.3.6 シリアルコントロールレジスタ (SCSCR)	15-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>REIE</td> <td>0</td> <td>R/W</td> <td>受信エラーインタラプティブル 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は REIE ビットが 0 のときのみ有効です。 0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可* 【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	REIE	0	R/W	受信エラーインタラプティブル 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は REIE ビットが 0 のときのみ有効です。 0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可* 【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。																																																					
ビット	ビット名	初期値	R/W	説明																																																													
3	REIE	0	R/W	受信エラーインタラプティブル 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は REIE ビットが 0 のときのみ有効です。 0 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止 1 : 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可* 【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。																																																													
15.3.8 ビットレートレジスタ (SCBRR) 表 15.4 ビットレートに対する SCBRR の設定例 (調歩同期式モード、BGDM = 0、ABCS = 0) (2)	15-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">ビットレート (bps)</th> <th colspan="3">P (MHz)</th> <th rowspan="2">誤差 (%)</th> </tr> <tr> <th>n</th> <th>N</th> <th>16</th> </tr> </thead> <tbody> <tr><td>110</td><td>3</td><td>70</td><td>0.03</td><td></td></tr> <tr><td>150</td><td>2</td><td>207</td><td>0.16</td><td></td></tr> <tr><td>300</td><td>2</td><td>103</td><td>0.16</td><td></td></tr> <tr><td>600</td><td>1</td><td>207</td><td>0.16</td><td></td></tr> <tr><td>1200</td><td>1</td><td>103</td><td>0.16</td><td></td></tr> <tr><td>2400</td><td>0</td><td>207</td><td>0.16</td><td></td></tr> <tr><td>4800</td><td>0</td><td>103</td><td>0.16</td><td></td></tr> <tr><td>9600</td><td>0</td><td>51</td><td>0.16</td><td></td></tr> <tr><td>19200</td><td>0</td><td>25</td><td>0.16</td><td></td></tr> <tr><td>31250</td><td>0</td><td>15</td><td>0.00</td><td></td></tr> <tr><td>38400</td><td>0</td><td>12</td><td>0.16</td><td></td></tr> </tbody> </table>	ビットレート (bps)	P (MHz)			誤差 (%)	n	N	16	110	3	70	0.03		150	2	207	0.16		300	2	103	0.16		600	1	207	0.16		1200	1	103	0.16		2400	0	207	0.16		4800	0	103	0.16		9600	0	51	0.16		19200	0	25	0.16		31250	0	15	0.00		38400	0	12	0.16	
ビットレート (bps)	P (MHz)			誤差 (%)																																																													
	n	N	16																																																														
110	3	70	0.03																																																														
150	2	207	0.16																																																														
300	2	103	0.16																																																														
600	1	207	0.16																																																														
1200	1	103	0.16																																																														
2400	0	207	0.16																																																														
4800	0	103	0.16																																																														
9600	0	51	0.16																																																														
19200	0	25	0.16																																																														
31250	0	15	0.00																																																														
38400	0	12	0.16																																																														
表 15.5 ビットレートに対する SCBRR の設定例 (クロック同期式モード)	15-21	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="4">P (MHz)</th> </tr> <tr> <th colspan="2">8</th> <th colspan="2">16</th> </tr> <tr> <th>n</th> <th>N</th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>1M</td> <td></td> <td></td> <td>0</td> <td>3</td> </tr> <tr> <td>2M</td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>説明を修正</p> <p>【記号説明】</p> <p>空欄：設定できません。または、通信相手に関わらず、本 LSI 自身の電気的特性を満たすことができません。</p> <p>- ：設定可能ですが誤差がです。</p>	ビットレート (bit/s)	P (MHz)				8		16		n	N	n	N	1M			0	3	2M																																												
ビットレート (bit/s)	P (MHz)																																																																
	8			16																																																													
	n	N	n	N																																																													
1M			0	3																																																													
2M																																																																	
15.4.2 調歩同期式モード時の動作 (3) データの送信 / 受信動作 図 15.10 モデムコントロール使用時の動作例 (RTS)	15-42	<p>図を修正</p>																																																															
15.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-53	<p>説明を修正</p> $M = \left[ \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{ D - 0.5 }{N} (1 + F) \right] \times 100[\%] \quad \dots \text{式 (1)}$																																																															

修正項目	ページ	修正内容 (詳細はマニュアル参照)															
16.3.5 SS ステータスレジスタ (SSSR)	16-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>CE</td> <td>0</td> <td>R/W</td> <td> <p>コンフリクトエラー/インコンプリートエラー</p> <p>SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より SCS から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、SCS 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。SSU モードのスレーブデバイスの受信動作状態で受信データの読み出し (SSRDR リード) および USSSR の RDRF のクリアや、同様のスレーブデバイスの送受信動作状態で送信データの書き込み (SSTD Rライト) および SSSR の TDRE のクリアが、次のフレーム開始時に含まれない場合も、次のフレーム終了時にインコンプリートエラーを発生させます。</p> <p>CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <p>マスタデバイス (SSCRH の MSS=1) のとき SCS 端子に Low レベルが入力されたとき</p> <p>スレーブデバイス (SSCRH の MSS=0) のとき転送途中で SCS 端子が 1 になったとき</p> <p>スレーブデバイスの受信動作において、SSRDR リードと RDRF クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</p> <p>スレーブデバイスの送受信動作において、SSTD Rライトと TDRE クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	CE	0	R/W	<p>コンフリクトエラー/インコンプリートエラー</p> <p>SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より SCS から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、SCS 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。SSU モードのスレーブデバイスの受信動作状態で受信データの読み出し (SSRDR リード) および USSSR の RDRF のクリアや、同様のスレーブデバイスの送受信動作状態で送信データの書き込み (SSTD Rライト) および SSSR の TDRE のクリアが、次のフレーム開始時に含まれない場合も、次のフレーム終了時にインコンプリートエラーを発生させます。</p> <p>CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <p>マスタデバイス (SSCRH の MSS=1) のとき SCS 端子に Low レベルが入力されたとき</p> <p>スレーブデバイス (SSCRH の MSS=0) のとき転送途中で SCS 端子が 1 になったとき</p> <p>スレーブデバイスの受信動作において、SSRDR リードと RDRF クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</p> <p>スレーブデバイスの送受信動作において、SSTD Rライトと TDRE クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</p>					
ビット	ビット名	初期値	R/W	説明													
0	CE	0	R/W	<p>コンフリクトエラー/インコンプリートエラー</p> <p>SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より SCS から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、SCS 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。SSU モードのスレーブデバイスの受信動作状態で受信データの読み出し (SSRDR リード) および USSSR の RDRF のクリアや、同様のスレーブデバイスの送受信動作状態で送信データの書き込み (SSTD Rライト) および SSSR の TDRE のクリアが、次のフレーム開始時に含まれない場合も、次のフレーム終了時にインコンプリートエラーを発生させます。</p> <p>CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <p>マスタデバイス (SSCRH の MSS=1) のとき SCS 端子に Low レベルが入力されたとき</p> <p>スレーブデバイス (SSCRH の MSS=0) のとき転送途中で SCS 端子が 1 になったとき</p> <p>スレーブデバイスの受信動作において、SSRDR リードと RDRF クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</p> <p>スレーブデバイスの送受信動作において、SSTD Rライトと TDRE クリアが次のフレーム開始までに完了せず、次のフレームが終了したとき</p>													
17.3.1 I <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1)	17-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ICE</td> <td>0</td> <td>R/W</td> <td> <p>I<sup>2</sup>C バスインタフェース 3 イネーブル</p> <p>0: SCU/SDA の出力禁止 (SCU/SDA への入力は有効)</p> <p>1: 本モジュールは転送動作可能状態 (SCU/SDA はバス駆動状態)</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	ICE	0	R/W	<p>I<sup>2</sup>C バスインタフェース 3 イネーブル</p> <p>0: SCU/SDA の出力禁止 (SCU/SDA への入力は有効)</p> <p>1: 本モジュールは転送動作可能状態 (SCU/SDA はバス駆動状態)</p>					
ビット	ビット名	初期値	R/W	説明													
7	ICE	0	R/W	<p>I<sup>2</sup>C バスインタフェース 3 イネーブル</p> <p>0: SCU/SDA の出力禁止 (SCU/SDA への入力は有効)</p> <p>1: 本モジュールは転送動作可能状態 (SCU/SDA はバス駆動状態)</p>													
17.3.4 I <sup>2</sup> C バスインタラプトイネーブルレジスタ (ICIER)	17-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>RIE</td> <td>0</td> <td>R/W</td> <td> <p>受信インタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICRRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI) の許可</p> </td> </tr> <tr> <td>4</td> <td>NAKIE</td> <td>0</td> <td>R/W</td> <td> <p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出兼アービトラージュロスト/オーバーランエラー割り込み要求 (NACI) の許可/禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	RIE	0	R/W	<p>受信インタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICRRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI) の許可</p>	4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出兼アービトラージュロスト/オーバーランエラー割り込み要求 (NACI) の許可/禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>
ビット	ビット名	初期値	R/W	説明													
5	RIE	0	R/W	<p>受信インタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICRRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI) の許可</p>													
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出兼アービトラージュロスト/オーバーランエラー割り込み要求 (NACI) の許可/禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>													
17.4.5 スレーブ受信動作 図 17.12 スレーブ受信モード動作タイミング (2)	17-25	図を差し替え															
17.7.6 I <sup>2</sup> C バスインタフェースモードのマスタ受信モード時の注意事項	17-38	新規追加															
17.7.7 IICRST、BBSY ビットに関する注意事項	17-39	新規追加															
17.7.8 マスタ送信モード、ACKE ビット = 1 設定時における停止条件発生の注意	17-39	新規追加															
18. シリアルサウンドインタフェース (SSI)	18-1	<p>説明を修正</p> <p>シリアルサウンドインタフェース (SSI) は、I<sup>2</sup>S バスと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的なフォーマットだけでなく、マルチチャネルモードにも対応しています。</p>															

修正項目	ページ	修正内容（詳細はマニュアル参照）	
18.4.1 バスフォーマット	18-16	説明を修正 バスフォーマットは表 18.3 に示す 4 つの主要なモードから選択できます。	
18.4.2 非圧縮モード		説明を修正 非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。I <sup>2</sup> S 互換フォーマットだけでなく、多数の改良版にも対応しています。	
(5) 動作設定 - ワード長関連	18-17	説明を修正 非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I <sup>2</sup> S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めフォーマットについて説明します。	
• I <sup>2</sup> S 互換フォーマット		タイトルを修正 説明を修正 図 18.3、図 18.4 に、パディングなしとパディングありの I <sup>2</sup> S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。	
図 18.3 I <sup>2</sup> S 互換フォーマット（パディングなし）		図タイトルを修正	
図 18.4 I <sup>2</sup> S 互換フォーマット（パディングあり）		図タイトルを修正 説明を修正 図 18.5 に MSB ファースト・左詰めフォーマットを、図 18.6 に MSB ファースト・右詰めのフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。	
• MSB ファースト・左詰めフォーマット		18-18	タイトルを修正
図 18.5 MSB ファースト・左詰めフォーマット（シリアルデータ、パディングビットの順に送受信）			図タイトルを修正
• MSB ファースト・右詰めフォーマット	タイトルを修正		
図 18.6 MSB ファースト・右詰めフォーマット（パディングビット、シリアルデータの順に送受信）	図タイトルを修正		
(6) マルチチャンネルフォーマット		説明を修正 I <sup>2</sup> S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。	

修正項目	ページ	修正内容（詳細はマニュアル参照）
18.4.4 送信動作 (1) DMA コントローラを使用した送信 図 18.20 DMA コントローラを使用した送信	18-26	図を修正 
(2) 割り込みデータフロー制御を使用した送信 図 18.21 割り込みデータフロー制御を使用した送信	18-27	図を修正 
18.4.5 受信動作 (1) DMA コントローラを使用した受信 図 18.22 DMA コントローラを使用した受信	18-28	図を修正 
(2) 割り込みデータフロー制御を使用した受信 図 18.23 割り込みデータフロー制御を使用した受信	18-29	図を修正 
19.2.1 ブロック図 図 19.1 RCAN-TL1 のブロック図（1 チャネルあたり）	19-3	図を修正 【記号説明】 n = 0, 1 【注】 ロングワード（32ビット）アクセスは、バスインタフェース部で2連続ワードアクセスに展開されます。
19.2.2 各ブロックの機能 (4) タイマ	19-5	説明を修正 本タイマのレジスタには、TCNTR、TTCR0、CMA <sub>X</sub> _TEW、RFTROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、およびTTTSEL があります。
19.4.3 ビットコンフィギュレーションレジスタ 0、1（BCR0、BCR1）	19-32	説明を修正 BRP（ボーレートプリスケラ）は BCR0 格納値 + 1 の値です。f <sub>clk</sub> は周辺 クロック周波数です。

修正項目	ページ	修正内容（詳細はマニュアル参照）																																				
19.4.3 ビットコンフィギュレーションレジスタ 0、1（BCR0、BCR1） (2) BCR0	19-34	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7-0</td> <td>BRP[7:0]</td> <td>00000000</td> <td>R/W</td> <td> <p>ポーレートプリスケアラ</p> <p>これらのビットは、1 タイムクオンタに対応する周辺クロック数を設定します。</p> <p>00000000 : 2×周辺クロック</p> <p>00000001 : 4×周辺クロック</p> <p>00000010 : 6×周辺クロック</p> <p>          : 2×(レジスタ値+1)×周辺クロック</p> <p>11111111 : 512×周辺クロック</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7-0	BRP[7:0]	00000000	R/W	<p>ポーレートプリスケアラ</p> <p>これらのビットは、1 タイムクオンタに対応する周辺クロック数を設定します。</p> <p>00000000 : 2×周辺クロック</p> <p>00000001 : 4×周辺クロック</p> <p>00000010 : 6×周辺クロック</p> <p>          : 2×(レジスタ値+1)×周辺クロック</p> <p>11111111 : 512×周辺クロック</p>																										
ビット	ビット名	初期値	R/W	説明																																		
7-0	BRP[7:0]	00000000	R/W	<p>ポーレートプリスケアラ</p> <p>これらのビットは、1 タイムクオンタに対応する周辺クロック数を設定します。</p> <p>00000000 : 2×周辺クロック</p> <p>00000001 : 4×周辺クロック</p> <p>00000010 : 6×周辺クロック</p> <p>          : 2×(レジスタ値+1)×周辺クロック</p> <p>11111111 : 512×周辺クロック</p>																																		
19.5.7 メールボックスインタラプトマスクレジスタ 1、0（MBIMR1、MBIMR0）	19-53	<p>説明を修正</p> <p>マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。</p>																																				
19.7.4 メッセージ受信シーケンス	19-89	<p>説明を修正</p> <p>図 19.26 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバーライトされること（NMC が 1 のとき）を検出するためです。UMSR の最後のチェック中にオーバーライトが検出された場合、メッセージを破棄し再度読み込む必要があります。</p>																																				
19.8 割り込み要因 表 19.12 RCAN-TL1 の割り込み要因	19-92	<p>表を修正</p> <table border="1"> <thead> <tr> <th>モジュール名</th> <th>名称</th> <th>要 因</th> <th>割り込みフラグ</th> <th>DMAC の起動</th> </tr> </thead> <tbody> <tr> <td>RCANn<sup>1</sup></td> <td>ERSn<sup>1</sup></td> <td>エラーバッシュ(TEC 128またはREC 128)</td> <td>IRRS</td> <td>不可</td> </tr> <tr> <td>RCANn<sup>1</sup></td> <td>RM0n<sup>1,2</sup></td> <td>データフレーム受信</td> <td>IRR1<sup>2,3</sup></td> <td>可<sup>4</sup></td> </tr> <tr> <td></td> <td>RM1n<sup>1,2</sup></td> <td>リモートフレーム受信</td> <td>IRR2<sup>3</sup></td> <td></td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】 *4 RM0n 割り込みのみ DMAC を起動できます。</p>	モジュール名	名称	要 因	割り込みフラグ	DMAC の起動	RCANn <sup>1</sup>	ERSn <sup>1</sup>	エラーバッシュ(TEC 128またはREC 128)	IRRS	不可	RCANn <sup>1</sup>	RM0n <sup>1,2</sup>	データフレーム受信	IRR1 <sup>2,3</sup>	可 <sup>4</sup>		RM1n <sup>1,2</sup>	リモートフレーム受信	IRR2 <sup>3</sup>																	
モジュール名	名称	要 因	割り込みフラグ	DMAC の起動																																		
RCANn <sup>1</sup>	ERSn <sup>1</sup>	エラーバッシュ(TEC 128またはREC 128)	IRRS	不可																																		
RCANn <sup>1</sup>	RM0n <sup>1,2</sup>	データフレーム受信	IRR1 <sup>2,3</sup>	可 <sup>4</sup>																																		
	RM1n <sup>1,2</sup>	リモートフレーム受信	IRR2 <sup>3</sup>																																			
20.1 特長	20-1	<p>説明を修正</p> <p>• 動作周波数</p> <p>12MHz、12.58MHz のクロックを 1/2 に分周して使用</p> <p>18MHz、18.87MHz のクロックを 1/3 に分周して使用</p> <p>24MHz、25.16MHz のクロックを 1/4 に分周して使用</p> <p>30MHz、31.45MHz のクロックを 1/5 に分周して使用</p> <p>36MHz、37.74MHz のクロックを 1/6 に分周して使用</p> <p>【注】 AUDIO_X1 は、SSI オーディオ用のクロック入力として使用しない場合のみ、IEB のクロック入力として使用できます。</p>																																				
20.3.16 IEBus 送信ステータスレジスタ（IETSR）	20-29	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>-</td> <td>0</td> <td>R</td> <td> <p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																										
ビット	ビット名	初期値	R/W	説明																																		
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>																																		
20.3.19 IEBus 受信割り込み許可レジスタ（IEIER）	20-35	<p>図を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>7</th> <th>6</th> <th>5</th> <th>4</th> <th>3</th> <th>2</th> <th>1</th> <th>0</th> </tr> </thead> <tbody> <tr> <td></td> <td>RXBSYE</td> <td>RXSE</td> <td>RXFE</td> <td>RXEDEE</td> <td>RXE OVEE</td> <td>RXE RTMEE</td> <td>RXE DLEE</td> <td>RXEP EE</td> </tr> <tr> <td>初期値</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> <td>R/W</td> </tr> </tbody> </table>	ビット	7	6	5	4	3	2	1	0		RXBSYE	RXSE	RXFE	RXEDEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXEP EE	初期値	0	0	0	0	0	0	0	0	R/W								
ビット	7	6	5	4	3	2	1	0																														
	RXBSYE	RXSE	RXFE	RXEDEE	RXE OVEE	RXE RTMEE	RXE DLEE	RXEP EE																														
初期値	0	0	0	0	0	0	0	0																														
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																														

修正項目	ページ	修正内容（詳細はマニュアル参照）																							
21.3.6 デコードオプション設定コントロールレジスタ（CROMCTL4）	21-15	<p>図を修正</p> <p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>-</td> <td>LINK2</td> <td>-</td> <td>EROSSEL</td> <td>NO_ECC</td> <td>-</td> <td>-</td> <td>-</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0 R/W： R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>-</td> <td>0</td> <td>R/W</td> <td>リザーブビット 書き込む値は0でも1でも構いません。 読み出すと書き込んだ値が読み出せます。</td> </tr> <tr> <td>6</td> <td>LINK2</td> <td>0</td> <td>R/W</td> <td>リンクブロック検出条件の選択 0：ランアウト1、2のいずれかと、ランイン3、4の両方を検出した場合にリンクブロックと判定 1：ランアウト1、2、リンクのうち、2つ検出でリンクブロックと判定 LINK_ONがセットされる条件はリンクセクタをデコードしたタイミングとなります。</td> </tr> </tbody> </table>	-	LINK2	-	EROSSEL	NO_ECC	-	-	-	ビット	ビット名	初期値	R/W	説 明	7	-	0	R/W	リザーブビット 書き込む値は0でも1でも構いません。 読み出すと書き込んだ値が読み出せます。	6	LINK2	0	R/W	リンクブロック検出条件の選択 0：ランアウト1、2のいずれかと、ランイン3、4の両方を検出した場合にリンクブロックと判定 1：ランアウト1、2、リンクのうち、2つ検出でリンクブロックと判定 LINK_ONがセットされる条件はリンクセクタをデコードしたタイミングとなります。
-	LINK2	-	EROSSEL	NO_ECC	-	-	-																		
ビット	ビット名	初期値	R/W	説 明																					
7	-	0	R/W	リザーブビット 書き込む値は0でも1でも構いません。 読み出すと書き込んだ値が読み出せます。																					
6	LINK2	0	R/W	リンクブロック検出条件の選択 0：ランアウト1、2のいずれかと、ランイン3、4の両方を検出した場合にリンクブロックと判定 1：ランアウト1、2、リンクのうち、2つ検出でリンクブロックと判定 LINK_ONがセットされる条件はリンクセクタをデコードしたタイミングとなります。																					
21.3.12 モード判定結果とリンクセクタ検出ステータスレジスタ（CROMST5）	21-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>LINK_ON</td> <td>0</td> <td>R</td> <td>リンクブロック判定でリンクブロックと認識できたとき1となります。リンクブロック判定基準はCROMCTL4レジスタのLINK2ビットを参照してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき1となります。リンクブロック判定基準はCROMCTL4レジスタのLINK2ビットを参照してください。													
ビット	ビット名	初期値	R/W	説 明																					
3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき1となります。リンクブロック判定基準はCROMCTL4レジスタのLINK2ビットを参照してください。																					
21.3.41 自動バッファリング設定コントロールレジスタ（CBUFCTL0）	21-30	<p>図を修正</p> <p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>CBUF_AJT</td> <td>CBUF_EN</td> <td>-</td> <td>CBUF_MD[1:0]</td> <td>CBUF_TS</td> <td>CBUF_O</td> <td>-</td> <td>-</td> </tr> </table> <p>初期値： 0 0 0 0 0 1 0 0 R/W： R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>-</td> <td>0</td> <td>R/W</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</td> </tr> </tbody> </table>	CBUF_AJT	CBUF_EN	-	CBUF_MD[1:0]	CBUF_TS	CBUF_O	-	-	ビット	ビット名	初期値	R/W	説 明	5	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。					
CBUF_AJT	CBUF_EN	-	CBUF_MD[1:0]	CBUF_TS	CBUF_O	-	-																		
ビット	ビット名	初期値	R/W	説 明																					
5	-	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。																					
21.6.3 リンクブロックでの注意	21-51	<p>説明を修正</p> <p>開始セクタアドレスは、<b>ランアウトの格納アドレス + 7</b> になります。</p>																							
22.1 特長	22-1	<p>説明を削除</p> <ul style="list-style-type: none"> <li>最小変換時間：1チャンネルあたり 3.9μs</li> </ul>																							
22.3.2 A/Dコントロール/ステータスレジスタ（ADCSR）	22-5	<p>図を修正</p> <p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ADF</td> <td>ADIE</td> <td>ADST</td> <td>-</td> <td>TRGS[3:0]</td> <td>CKS[1:0]</td> <td>MDQS[2:0]</td> <td>CH2[0]</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W： R(W)<sup>†</sup>/R/W R/W R R/W R/W</p> <p>【注】*† フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>ADF</td> <td>0</td> <td>R(W)<sup>†</sup></td> <td>ADエンドフラグ AD変換の終了を示すステータスフラグです。 [クリア条件] ADF=1の状態ではADFフラグを読み出した後、ADFフラグに0を書き込んだとき ADI割り込みによりDMACが起動され、ADDRを読み出したとき [セット条件] シングルモードでA/D変換が終了したとき マルチモードで選択されたすべてのチャンネルのA/D変換が終了したとき スキャンモードで選択されたすべてのチャンネルのA/D変換が終了したとき</td> </tr> </tbody> </table>	ADF	ADIE	ADST	-	TRGS[3:0]	CKS[1:0]	MDQS[2:0]	CH2[0]	ビット	ビット名	初期値	R/W	説 明	15	ADF	0	R(W) <sup>†</sup>	ADエンドフラグ AD変換の終了を示すステータスフラグです。 [クリア条件] ADF=1の状態ではADFフラグを読み出した後、ADFフラグに0を書き込んだとき ADI割り込みによりDMACが起動され、ADDRを読み出したとき [セット条件] シングルモードでA/D変換が終了したとき マルチモードで選択されたすべてのチャンネルのA/D変換が終了したとき スキャンモードで選択されたすべてのチャンネルのA/D変換が終了したとき					
ADF	ADIE	ADST	-	TRGS[3:0]	CKS[1:0]	MDQS[2:0]	CH2[0]																		
ビット	ビット名	初期値	R/W	説 明																					
15	ADF	0	R(W) <sup>†</sup>	ADエンドフラグ AD変換の終了を示すステータスフラグです。 [クリア条件] ADF=1の状態ではADFフラグを読み出した後、ADFフラグに0を書き込んだとき ADI割り込みによりDMACが起動され、ADDRを読み出したとき [セット条件] シングルモードでA/D変換が終了したとき マルチモードで選択されたすべてのチャンネルのA/D変換が終了したとき スキャンモードで選択されたすべてのチャンネルのA/D変換が終了したとき																					

修正項目	ページ	修正内容（詳細はマニュアル参照）										
22.3.2 A/D コントロール/ステータスレジスタ (ADCSR)	22-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7, 6</td> <td>CKS[1:0]</td> <td>01</td> <td>R/W</td> <td>           クロックセレクト            A/D 変換時間の設定を行います<sup>*1</sup>。変換時間の設定は変換停止中 (ADST = 0) に行ってください。            00: 変換時間 = 138 <math>t_{\text{psyc}}</math> (最大値)            01: 変換時間 = 274 <math>t_{\text{psyc}}</math> (最大値)            10: 変換時間 = 546 <math>t_{\text{psyc}}</math> (最大値)            11: 設定禁止         </td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】*1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。</p> <p>ただし、以下の場合も 0 書き込みによるクリアとなりますのでご注意ください。</p> <p>(1) CPU で ADF = 1 の状態を読み出す  (2) DMAC による ADDR 読み出しによる ADF クリア  (3) A/D 変換終了による ADF フラグセット  (4) CPU で ADF フラグに 0 書き込み</p> <p>*2 A/D 変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。</p> <p>*3 <math>t_{\text{psyc}}</math> は周辺クロック (P) の周期を示します。</p>	ビット	ビット名	初期値	R/W	説 明	7, 6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います <sup>*1</sup> 。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00: 変換時間 = 138 $t_{\text{psyc}}$ (最大値) 01: 変換時間 = 274 $t_{\text{psyc}}$ (最大値) 10: 変換時間 = 546 $t_{\text{psyc}}$ (最大値) 11: 設定禁止
ビット	ビット名	初期値	R/W	説 明								
7, 6	CKS[1:0]	01	R/W	クロックセレクト A/D 変換時間の設定を行います <sup>*1</sup> 。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00: 変換時間 = 138 $t_{\text{psyc}}$ (最大値) 01: 変換時間 = 274 $t_{\text{psyc}}$ (最大値) 10: 変換時間 = 546 $t_{\text{psyc}}$ (最大値) 11: 設定禁止								
22.4.5 入力サンプリングと A/D 変換時間 表 22.4 A/D 変換時間 (シングルモード)	22-15	<p>注を修正</p> <p>【注】 表中の数値の単位は <math>t_{\text{psyc}}</math> です。 <math>t_{\text{psyc}}</math> は周辺クロック (P) の周期を示します。</p>										
表 22.5 A/D 変換時間 (マルチモード/スキャンモード)	22-16	<p>表を修正</p> <table border="1"> <thead> <tr> <th>CKS1</th> <th>CKS0</th> <th>変換時間 (<math>t_{\text{psyc}}</math>)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>128 (固定)</td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】 表中の数値の単位は <math>t_{\text{psyc}}</math> です。 <math>t_{\text{psyc}}</math> は周辺クロック (P) の周期を示します。</p>	CKS1	CKS0	変換時間 ( $t_{\text{psyc}}$ )	0	0	128 (固定)				
CKS1	CKS0	変換時間 ( $t_{\text{psyc}}$ )										
0	0	128 (固定)										
22.7.6 絶対精度への影響	22-21	<p>説明を修正</p> <p>またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。</p>										
22.7.7 ディープスタンバイモード時の A/D 変換		項目を削除										
23.5.4 ディープスタンバイモード時の D/A 変換	23-6	項目を削除										
25.3.4 テストモードレジスタ (TESTMODE)	25-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3-0</td> <td>UTST[3:0]</td> <td>0000</td> <td>R/W</td> <td>           テストモード            表 25.4 に本モジュールのテストモード動作表を示します。本ビットでハイスピード動作時の USB テスト信号出力を制御します。            [ ホストコントローラ機能選択時 ]            ホストコントローラ機能選択時、DCFM = 1、DMRPD = 1、DPRPU = 0 書き込み後に本ビットの設定が可能です。また、本ビットへの書き込みを行うことにより、本モジュールはハイスピード続行を行います。            本ビットの設定手順は以下のとおりです。            (1) パワーオンリセット            (2) DCFM = 1、DMRPD = 1、DPRPU = 0 (HSE = 1 の設定は必要ありません)            (3) USBE = 1         </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	3-0	UTST[3:0]	0000	R/W	テストモード 表 25.4 に本モジュールのテストモード動作表を示します。本ビットでハイスピード動作時の USB テスト信号出力を制御します。 [ ホストコントローラ機能選択時 ] ホストコントローラ機能選択時、DCFM = 1、DMRPD = 1、DPRPU = 0 書き込み後に本ビットの設定が可能です。また、本ビットへの書き込みを行うことにより、本モジュールはハイスピード続行を行います。 本ビットの設定手順は以下のとおりです。 (1) パワーオンリセット (2) DCFM = 1、DMRPD = 1、DPRPU = 0 (HSE = 1 の設定は必要ありません) (3) USBE = 1
ビット	ビット名	初期値	R/W	説 明								
3-0	UTST[3:0]	0000	R/W	テストモード 表 25.4 に本モジュールのテストモード動作表を示します。本ビットでハイスピード動作時の USB テスト信号出力を制御します。 [ ホストコントローラ機能選択時 ] ホストコントローラ機能選択時、DCFM = 1、DMRPD = 1、DPRPU = 0 書き込み後に本ビットの設定が可能です。また、本ビットへの書き込みを行うことにより、本モジュールはハイスピード続行を行います。 本ビットの設定手順は以下のとおりです。 (1) パワーオンリセット (2) DCFM = 1、DMRPD = 1、DPRPU = 0 (HSE = 1 の設定は必要ありません) (3) USBE = 1								

修正項目	ページ	修正内容（詳細はマニュアル参照）										
25.3.7 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL) (2) D0FIFOSEL、D1FIFOSEL	25-21	注を修正 【注】 *1 0 読み出し、1 書き込みのみ有効です。REW=1 設定は、FRDY=1 を確認後に実施してください。										
25.3.8 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	25-22	注を修正 【注】 *1 1 書き込みのみ有効です。BVAL=1 設定は、FRDY=1 を確認後に実施してください。										
25.3.12 割り込み許可レジスタ 1 (INTENB1)	25-27	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>12</td> <td>DTCHE</td> <td>0</td> <td>R/W</td> <td>フルスピード動作時切断検出割り込み許可 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ファンクションからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCCH 割り込み」を参照してください。 0: 割り込み出力禁止 1: 割り込み出力許可 【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST=11) した場合、ハイスピード通信中は DTCHE=0 に設定してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	12	DTCHE	0	R/W	フルスピード動作時切断検出割り込み許可 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ファンクションからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCCH 割り込み」を参照してください。 0: 割り込み出力禁止 1: 割り込み出力許可 【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST=11) した場合、ハイスピード通信中は DTCHE=0 に設定してください。
ビット	ビット名	初期値	R/W	説明								
12	DTCHE	0	R/W	フルスピード動作時切断検出割り込み許可 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ファンクションからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCCH 割り込み」を参照してください。 0: 割り込み出力禁止 1: 割り込み出力許可 【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST=11) した場合、ハイスピード通信中は DTCHE=0 に設定してください。								
25.3.17 割り込みステータスレジスタ 1 (INTSTS1)	25-33	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>12</td> <td>DTCH</td> <td>0</td> <td>R/W*</td> <td>フルスピード動作時切断検出割り込みステータス 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ペリフェラルからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCH 割り込み」を参照してください。 0: DTCH 割り込み非発生 1: DTCH 割り込み発生 【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST=11) した場合、ハイスピード通信中は DTCH=0 に設定してください。またハイスピード通信中、本ビットは1 にセットされることがあります。そのため、ハイスピード通信後は必ず本ビットを0 にクリアしてください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	12	DTCH	0	R/W*	フルスピード動作時切断検出割り込みステータス 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ペリフェラルからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCH 割り込み」を参照してください。 0: DTCH 割り込み非発生 1: DTCH 割り込み発生 【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST=11) した場合、ハイスピード通信中は DTCH=0 に設定してください。またハイスピード通信中、本ビットは1 にセットされることがあります。そのため、ハイスピード通信後は必ず本ビットを0 にクリアしてください。
ビット	ビット名	初期値	R/W	説明								
12	DTCH	0	R/W*	フルスピード動作時切断検出割り込みステータス 本ビットによる切断検出は、ホストコントローラ機能選択時で、フルスピード動作時のみ有効です。ハイスピード動作時は、ペリフェラルからの無応答を検出するなど、ソフトウェアによる切断検出を行ってください。詳細は、「25.4.2 割り込み機能(10)DTCH 割り込み」を参照してください。 0: DTCH 割り込み非発生 1: DTCH 割り込み発生 【注】リセットハンドシェイク後ハイスピード動作と判定 (RHST=11) した場合、ハイスピード通信中は DTCH=0 に設定してください。またハイスピード通信中、本ビットは1 にセットされることがあります。そのため、ハイスピード通信後は必ず本ビットを0 にクリアしてください。								
25.4.2 割り込み機能 表 25.11 割り込み発生条件一覧表	25-60	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>割り込み名称</th> <th>割り込み発生条件</th> <th>発生する機能</th> <th>関連ステータス</th> </tr> </thead> <tbody> <tr> <td>SIGN</td> <td>SETUP エラー</td> <td>セットアップトランザクションのエラー（無応答、ACK パケット破損）を検出したとき</td> <td>ホスト</td> <td>-</td> </tr> </tbody> </table> 注を追加	ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス	SIGN	SETUP エラー	セットアップトランザクションのエラー（無応答、ACK パケット破損）を検出したとき	ホスト	-
ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス								
SIGN	SETUP エラー	セットアップトランザクションのエラー（無応答、ACK パケット破損）を検出したとき	ホスト	-								
(2) NRDY 割り込み	25-66	注を追加 <ul style="list-style-type: none"> <li>発行したトークンに対してペリフェラル側からの応答がなかった場合（無応答）</li> </ul> 【注】ある一定期間内に SYNC フィールドを検出できなかったとき、無応答と認識します。 <ul style="list-style-type: none"> <li>アイソクロナス転送時にオーバラン / アンダーランエラーが発生した場合</li> </ul>										
(3) BEMP 割り込み 1. 送信方向（バッファメモリ書き込み）設定時	25-68	説明を追加 <ul style="list-style-type: none"> <li>片側のバッファへのデータの書き込みが 8 バイト未満で、かつ、反対側バッファからデータが送信し終わったときは、BEMP 割り込みが発生します。ただし、BVAL=1 設定により書き込み終了したときは、データの書き込みが 8 バイト未満でも BEMP 割り込みは発生しません。</li> </ul>										

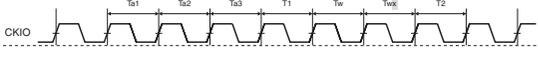
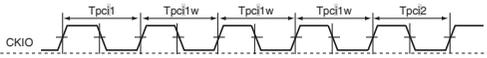
修正項目	ページ	修正内容（詳細はマニュアル参照）									
25.4.2 割り込み機能 (5) コントロール転送ステージ遷移割り込み	25-71	説明を修正 このため、CTS <sub>Q</sub> = 110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません（セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、CTRT 割り込みが発生します）。									
(10) DTCH 割り込み	25-74、 25-75	説明を修正 ホストコントローラ機能選択時にフルスピード動作中にデバイスの切断を検出すると、DTCH 割り込みが発生します。DTCH 割り込みは、SE0=25 μs 以上にて検出されます。ハイスピードモードの場合には使用できませんので注意してください。ハイスピードモード時には、DTCHE = 0 に設定してください。ハイスピードモードで切断を検出するには、定期的に標準リクエストのコントロール転送を行い、ペリフェラルからの応答がない場合に切断と判断するなどの処理が必要です。 具体例としては、Set Configuration リクエスト実行後、Get Status リクエストに対するペリフェラルからの無応答を検出することで、実現可能です。									
(12) SIGN 割り込み	25-75	注を追加									
25.4.3 パイプコントロール (3) マックスパケットサイズ設定	25-79	注を追加 • NAK 設定：以下の場合に PID = NAK となり、トークンの発行を自動的に停止します。 アイソクロナス以外の転送で、送信したトークンに対して無応答だったとき 【注】ある一定期間内に SYNC フィールドを検出できなかったとき、無応答と認識します。 送信したトークンに対して破損パケットを受信したとき									
25.4.4 バッファメモリ (2) FIFO ポートの機能 (a) FIFO ポート選択 表 25.20 パイプ別 FIFO ポートアクセス表	25-88	表を修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">パイプ</th> <th style="text-align: center;">アクセス方法</th> <th style="text-align: center;">使用可能なポート</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">パイプ1-7</td> <td>CPU アクセス</td> <td>CFIFO ポートレジスタ</td> </tr> <tr> <td></td> <td>DMA アクセス</td> <td>DFIFOD1/FIFO ポートレジスタ</td> </tr> </tbody> </table>	パイプ	アクセス方法	使用可能なポート	パイプ1-7	CPU アクセス	CFIFO ポートレジスタ		DMA アクセス	DFIFOD1/FIFO ポートレジスタ
パイプ	アクセス方法	使用可能なポート									
パイプ1-7	CPU アクセス	CFIFO ポートレジスタ									
	DMA アクセス	DFIFOD1/FIFO ポートレジスタ									

修正項目	ページ	修正内容（詳細はマニュアル参照）
25.4.5 コントロール転送（DCP） （1）ホストコントローラ機能選択時のコントロール転送 （b）データステージ	25-95	説明を修正 データステージの第1データパケットはデータPIDをDATA1として通信する必要があります。DCPCFGレジスタのSQSETビットでデータPIDをDATA1にセットし、PIDビットをBUFに設定することでトランザクションを実行します。データ転送の完了は、BRDY割り込みまたはBEMP割り込みによって検出します。
（c）ステータスステージ		説明を修正 ステータスステージのデータパケットはデータPIDをDATA1として通信する必要があります。DCPCFGレジスタのSQSETビットでデータPIDをDATA1にセットしてください。
（2）ファンクションコントローラ機能選択時のコントロール転送 （b）データステージ	25-96	説明を修正 受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファメモリへアクセスする前に、CFIFOSELレジスタのISELビットにてアクセス方向指定を行ってください。 DCPCTRレジスタのPIDビットをBUFに設定することで、トランザクションを実行します。データ転送の完了は、BRDY割り込みまたはBEMP割り込みによって検出します。コントロールライト転送ではBRDY割り込みを、コントロールリード転送ではBEMP割り込みを使用してください。
（d）コントロール転送自動応答機能	25-97	説明を修正 <ul style="list-style-type: none"> <li>• bmRequestType H'00</li> <li>• wIndex H'00</li> <li>• wLength H'00</li> <li>• wValue &gt; H'7F</li> <li>• DVSQ = 011 (Configured)</li> </ul>
25.4.8 アイソクロナス転送（パイプ1、2） （4）ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ	25-105	説明を削除 図25.17に本モジュールで、IITV=0（毎フレーム）を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。
図25.17 データセットアップ機能動作例		図を差し替え
（5）ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ 図25.18 バッファフラッシュ機能動作例	25-106	図を差し替え
図25.19 IITV=1のときのインターバルエラー発生例	25-107	図を差し替え
25.4.9 SOF補間機能	25-108	説明を修正 <ul style="list-style-type: none"> <li>• フレーム番号およびマイクロフレーム番号の更新</li> <li>• SOFR割り込み およびμSOFロック</li> <li>• アイソクロナス転送インターバルカウント</li> </ul>

修正項目	ページ	修正内容（詳細はマニュアル参照）
26.3.1 LCDC インพุットクロックレジスタ (LDICKR)	26-5	<p>説明を修正</p> <p>LCDC は、LCDC の動作クロック供給源として、バスクロック、周辺クロック、または外部クロックを選択できます。また、1/1 ~ 1/32 までの分周器を内蔵し、分周したクロックを LCDC の動作クロック (DOTCLK) として使用可能です。LCDC から出力されるクロックは本レジスタで選択された動作クロックから液晶パネル用の同期クロック出力 (LCD_CL2) を生成します。TFT パネルの場合は LCD_CL2 = DOTCLK となります。STN、DSTN パネルの場合は LCD_CL2 には以下のようなクロックが出力されます。</p> <ul style="list-style-type: none"> <li>モノクロ : <math>LCD\_CL2 = (DOTCLK / \text{液晶パネルへの出力データバス幅}) \times \text{周波数}</math></li> <li>カラー : <math>LCD\_CL2 = (DOTCLK \times 3 / \text{液晶パネルへの出力データバス幅}) \times \text{周波数}</math></li> </ul> <p>ただし、DOTCLK の整数分の 1 になるため、割り切れない場合には LCD_CL2 には歯抜け部分が発生します。</p> <p>LCD_CL2 の詳細なタイミングについては、図 26.10 ~ 図 26.21 を参照してください。</p> <p>LCD_CL2 にかかわらず、LCDC への入力クロックが 66MHz 以下となるように、LDICKR を設定してください。</p>
26.3.19 LCDC コントロールレジスタ (LDCNTR)	26-25	<p>注を修正</p> <p>【注】3. LDCNTR 書き込み後に LCDC の別のレジスタにアクセスを行う場合は、P クロック 4 サイクル以上間をあけるか STBCR4 のダミーリードを 1 回行ってください。</p>
26.4.6 電源制御シーケンス処理	26-40	<p>説明を修正</p> <p>電源制御シーケンスのフローチャートを図 26.4 に、概略タイミングチャートを図 26.5 ~ 図 26.8 に、設定可能な電源制御シーケンス期間の説明を表 26.6 に示します。</p>
図 26.4 電源制御シーケンスのフローチャート	26-41	新規追加
27.1 特長	27-1	<p>説明を修正</p> <ul style="list-style-type: none"> <li>処理性能 : 1 サンプルの出力間隔は最大約 12 <math>\mu</math>s (P = 33MHz)</li> </ul>
31.2.4 データ保持について	31-4	新規追加
32.2.2 スタンバイコントロールレジスタ 2 (STBCR2)	32-5	<p>説明を修正</p> <p>STBCR2 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。STBCR2 は、バイトアクセスのみ有効です。</p>
32.2.3 スタンバイコントロールレジスタ 3 (STBCR3)	32-6	<p>説明を修正</p> <p>STBCR3 は、読み出し / 書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。STBCR3 は、バイトアクセスのみ有効です。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）																														
32.2.4 スタンバイコントロールレジスタ4 (STBCR4)	32-7	説明を修正 STBCR4は、読み出し/書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。STBCR4は、バイトアクセスのみ有効です。																														
32.2.5 スタンバイコントロールレジスタ5 (STBCR5)	32-8	説明を修正 STBCR5は、読み出し/書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。STBCR5は、バイトアクセスのみ有効です。																														
32.2.6 スタンバイコントロールレジスタ6 (STBCR6)	32-10	説明を修正 STBCR6は、読み出し/書き込み可能な8ビットのレジスタで、各モジュールの動作を制御します。STBCR6は、バイトアクセスのみ有効です。																														
32.3.4 ディープスタンバイモード (2) ディープスタンバイモードの解除 図 32.3 ディープスタンバイモード解除フロー	32-25	図を修正  <p>【注】* 周辺機能は、CPG、INTC、BSC、I/Oポート、PFC、周辺モジュール等、すべてを含みます。</p>																														
(4) ディープスタンバイモード遷移時の注意事項	32-28	説明を修正 ディープスタンバイモード遷移後の割り込みは、ディープスタンバイ解除要因セレクトレジスタで設定した以外の割り込みはマスクされます。ディープスタンバイ解除要因セレクトレジスタで設定した割り込みのみ受け付けますが解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされることになります。																														
34.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)	34-8	表を修正 <table border="1" data-bbox="644 1255 1200 1400"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名</th> <th>略称</th> <th>ビット数</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td rowspan="3">WDT</td> <td>ウォッチドッグタイムコントロール/ステータスレジスタ</td> <td>WTCR0</td> <td>8</td> <td>HFFFFE000</td> <td>8, 16</td> </tr> <tr> <td>ウォッチドッグタイムカウンタ</td> <td>WTCNT</td> <td>8</td> <td>HFFFFE002</td> <td>8, 16</td> </tr> <tr> <td>ウォッチドッグリセットコントロール/ステータスレジスタ</td> <td>WRCR0</td> <td>8</td> <td>HFFFFE004</td> <td>8, 16</td> </tr> </tbody> </table>	モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	WDT	ウォッチドッグタイムコントロール/ステータスレジスタ	WTCR0	8	HFFFFE000	8, 16	ウォッチドッグタイムカウンタ	WTCNT	8	HFFFFE002	8, 16	ウォッチドッグリセットコントロール/ステータスレジスタ	WRCR0	8	HFFFFE004	8, 16								
モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ																											
WDT	ウォッチドッグタイムコントロール/ステータスレジスタ	WTCR0	8	HFFFFE000	8, 16																											
	ウォッチドッグタイムカウンタ	WTCNT	8	HFFFFE002	8, 16																											
	ウォッチドッグリセットコントロール/ステータスレジスタ	WRCR0	8	HFFFFE004	8, 16																											
	34-13	表を修正 <table border="1" data-bbox="644 1439 1200 1506"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名</th> <th>略称</th> <th>ビット数</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>RCAN-TL1</td> <td>タイマトリガコントロールレジスタ0_0</td> <td>TTCR0_0</td> <td>16</td> <td>HFFFF0080</td> <td>16</td> </tr> </tbody> </table>	モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	RCAN-TL1	タイマトリガコントロールレジスタ0_0	TTCR0_0	16	HFFFF0080	16																		
モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ																											
RCAN-TL1	タイマトリガコントロールレジスタ0_0	TTCR0_0	16	HFFFF0080	16																											
	34-15	表を修正 <table border="1" data-bbox="644 1545 1200 1613"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名</th> <th>略称</th> <th>ビット数</th> <th>アドレス</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>RCAN-TL1</td> <td>タイマトリガコントロールレジスタ0_1</td> <td>TTCR0_1</td> <td>16</td> <td>HFFFF0080</td> <td>16</td> </tr> </tbody> </table>	モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ	RCAN-TL1	タイマトリガコントロールレジスタ0_1	TTCR0_1	16	HFFFF0080	16																		
モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ																											
RCAN-TL1	タイマトリガコントロールレジスタ0_1	TTCR0_1	16	HFFFF0080	16																											
34.2 レジスタビット一覧	34-30	表を修正 <table border="1" data-bbox="644 1651 1200 1719"> <thead> <tr> <th>モジュール名</th> <th>レジスタ略称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>BSC</td> <td>CSWCR*</td> <td>31:23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> </tr> <tr> <td></td> <td></td> <td>-</td> <td>TED[5]</td> <td>TED[2]</td> <td>TED[1]</td> <td>TED[0]</td> <td>PCW[3]</td> <td>PCW[2]</td> <td>PCW[1]</td> </tr> </tbody> </table>	モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	BSC	CSWCR*	31:23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0			-	TED[5]	TED[2]	TED[1]	TED[0]	PCW[3]	PCW[2]	PCW[1]
モジュール名	レジスタ略称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																							
BSC	CSWCR*	31:23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0																							
		-	TED[5]	TED[2]	TED[1]	TED[0]	PCW[3]	PCW[2]	PCW[1]																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																		
34.2 レジスタビット一覧	34-50	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="2">RCAN-TL1</td> <td rowspan="2">MCR_1</td> <td>31/23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> </tr> <tr> <td>MCR15</td> <td>MCR14</td> <td>-</td> <td>-</td> <td>-</td> <td>TST[2]</td> <td>TST[1]</td> <td>TST[0]</td> </tr> <tr> <td rowspan="2">GSR_1</td> <td rowspan="2">-</td> <td>MCR7</td> <td>MCR6</td> <td>MCR5</td> <td>-</td> <td>-</td> <td>MCR2</td> <td>MCR1</td> <td>MCR0</td> </tr> <tr> <td>-</td> <td>-</td> <td>GSR5</td> <td>GSR4</td> <td>GSR3</td> <td>GSR2</td> <td>GSR1</td> <td>GSR0</td> </tr> <tr> <td rowspan="2">BCR1_1</td> <td rowspan="2">TSG[3]</td> <td>TSG[2]</td> <td>TSG[1]</td> <td>TSG[0]</td> <td>-</td> <td>-</td> <td>TSG2[1]</td> <td>TSG2[0]</td> <td>-</td> </tr> <tr> <td>-</td> <td>-</td> <td>SJW[1]</td> <td>SJW[0]</td> <td>-</td> <td>-</td> <td>-</td> <td>BSP</td> </tr> <tr> <td rowspan="2">BCR0_1</td> <td rowspan="2">-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>BRP[7]</td> <td>BRP[6]</td> <td>BRP[5]</td> <td>BRP[4]</td> <td>BRP[3]</td> <td>BRP[2]</td> <td>BRP[1]</td> <td>BRP[0]</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	RCAN-TL1	MCR_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	MCR15	MCR14	-	-	-	TST[2]	TST[1]	TST[0]	GSR_1	-	MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	BCR1_1	TSG[3]	TSG[2]	TSG[1]	TSG[0]	-	-	TSG2[1]	TSG2[0]	-	-	-	SJW[1]	SJW[0]	-	-	-	BSP	BCR0_1	-	-	-	-	-	-	-	-	-	BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]
	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																										
	RCAN-TL1	MCR_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0																																																																										
			MCR15	MCR14	-	-	-	TST[2]	TST[1]	TST[0]																																																																										
	GSR_1	-	MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0																																																																										
-			-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0																																																																											
BCR1_1	TSG[3]	TSG[2]	TSG[1]	TSG[0]	-	-	TSG2[1]	TSG2[0]	-																																																																											
		-	-	SJW[1]	SJW[0]	-	-	-	BSP																																																																											
BCR0_1	-	-	-	-	-	-	-	-	-																																																																											
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]																																																																											
34-51	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="2">RCAN-TL1</td> <td rowspan="2">TTCR0_1</td> <td>31/23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> </tr> <tr> <td>TCR[15]</td> <td>TCR[14]</td> <td>TCR[13]</td> <td>TCR[12]</td> <td>TCR[11]</td> <td>TCR[10]</td> <td>-</td> <td>-</td> </tr> <tr> <td rowspan="2">-</td> <td rowspan="2">-</td> <td>TCR[6]</td> <td>TPSC[5]</td> <td>TPSC[4]</td> <td>TPSC[3]</td> <td>TPSC[2]</td> <td>TPSC[1]</td> <td>TPSC[0]</td> <td>-</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	RCAN-TL1	TTCR0_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	TCR[15]	TCR[14]	TCR[13]	TCR[12]	TCR[11]	TCR[10]	-	-	-	-	TCR[6]	TPSC[5]	TPSC[4]	TPSC[3]	TPSC[2]	TPSC[1]	TPSC[0]	-																																													
モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																											
RCAN-TL1	TTCR0_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0																																																																											
		TCR[15]	TCR[14]	TCR[13]	TCR[12]	TCR[11]	TCR[10]	-	-																																																																											
-	-	TCR[6]	TPSC[5]	TPSC[4]	TPSC[3]	TPSC[2]	TPSC[1]	TPSC[0]	-																																																																											
		34-52	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="2">RCAN-TL1</td> <td rowspan="2">TSR_1</td> <td>31/23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> </tr> <tr> <td>-</td> <td>-</td> <td>-</td> <td>TSR[4]</td> <td>TSR[3]</td> <td>TSR[2]</td> <td>TSR[1]</td> <td>TSR[0]</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	RCAN-TL1	TSR_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	-	-	-	TSR[4]	TSR[3]	TSR[2]	TSR[1]	TSR[0]																																																					
モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																											
RCAN-TL1	TSR_1	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0																																																																											
		-	-	-	TSR[4]	TSR[3]	TSR[2]	TSR[1]	TSR[0]																																																																											
34-54	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="2">ROM-DEC</td> <td rowspan="2">CROMCTL4</td> <td>31/23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> </tr> <tr> <td>LINK2</td> <td>-</td> <td>EROSSEL</td> <td>NO_ECC</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ROM-DEC	CROMCTL4	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	LINK2	-	EROSSEL	NO_ECC	-	-	-	-																																																							
モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																											
ROM-DEC	CROMCTL4	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0																																																																											
		LINK2	-	EROSSEL	NO_ECC	-	-	-	-																																																																											
34-55	表を修正 <table border="1"> <thead> <tr> <th>モジュール名</th> <th>レジスタ名称</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td rowspan="2">ROM-DEC</td> <td rowspan="2">CBUFCTL0</td> <td>31/23/15/7</td> <td>30/22/14/6</td> <td>29/21/13/5</td> <td>28/20/12/4</td> <td>27/19/11/3</td> <td>26/18/10/2</td> <td>25/17/9/1</td> <td>24/16/8/0</td> </tr> <tr> <td>CBUF_AUT</td> <td>CBUF_SW</td> <td>CBUF_MD0</td> <td>CBUF_MD0[9]</td> <td>CBUF_TS</td> <td>CBUF_O</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ROM-DEC	CBUFCTL0	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	CBUF_AUT	CBUF_SW	CBUF_MD0	CBUF_MD0[9]	CBUF_TS	CBUF_O	-	-																																																							
モジュール名	レジスタ名称	ビット	ビット	ビット	ビット	ビット	ビット	ビット	ビット																																																																											
ROM-DEC	CBUFCTL0	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0																																																																											
		CBUF_AUT	CBUF_SW	CBUF_MD0	CBUF_MD0[9]	CBUF_TS	CBUF_O	-	-																																																																											
34.3 各動作モードにおけるレジスタの状態の一覧	34-68	表を修正 <table border="1"> <thead> <tr> <th>モジュール</th> <th>レジスタ名</th> <th>パワーオンリセット</th> <th>マニュアルリセット</th> <th>ディープスタンバイ</th> <th>ソフトウェアスタンバイ</th> <th>モジュールスタンバイ</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td rowspan="2">WDT</td> <td>WRCSR</td> <td>初期化<sup>1)</sup></td> <td>保持</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> <tr> <td>上記以外の全レジスタ</td> <td>初期化</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>-</td> <td>保持</td> </tr> </tbody> </table>	モジュール	レジスタ名	パワーオンリセット	マニュアルリセット	ディープスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ	WDT	WRCSR	初期化 <sup>1)</sup>	保持	初期化	保持	-	保持	上記以外の全レジスタ	初期化	初期化	初期化	保持	-	保持																																																											
	モジュール	レジスタ名	パワーオンリセット	マニュアルリセット	ディープスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ																																																																												
WDT	WRCSR	初期化 <sup>1)</sup>	保持	初期化	保持	-	保持																																																																													
	上記以外の全レジスタ	初期化	初期化	初期化	保持	-	保持																																																																													
34-70	注を修正 <b>【注】*7 BC[2:0]ビットは初期化</b>																																																																																			
35.4 AC 特性 表 35.5 動作周波数	35-10	表タイトルを修正 表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td rowspan="3">動作周波数</td> <td>CPUクロック ( I )</td> <td>f</td> <td>80.00</td> <td>200.00</td> <td>MHz</td> <td></td> </tr> <tr> <td>バスクロック ( B )</td> <td></td> <td>40.00</td> <td>66.67</td> <td>MHz</td> <td></td> </tr> <tr> <td>周辺クロック ( P )</td> <td></td> <td>6.67</td> <td>33.33</td> <td>MHz</td> <td></td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	備考	動作周波数	CPUクロック ( I )	f	80.00	200.00	MHz		バスクロック ( B )		40.00	66.67	MHz		周辺クロック ( P )		6.67	33.33	MHz																																																										
		項目	記号	Min.	Max.	単位	備考																																																																													
動作周波数	CPUクロック ( I )	f	80.00	200.00	MHz																																																																															
	バスクロック ( B )		40.00	66.67	MHz																																																																															
	周辺クロック ( P )		6.67	33.33	MHz																																																																															
35.4.2 制御信号タイミング 表 35.7 制御信号タイミング	35-14	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">B = 66.66MHz</th> <th rowspan="2">単位</th> <th rowspan="2">参照図</th> </tr> <tr> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td rowspan="2">RES パルス幅 スタンバイモード解除時 または PLL 通倍率変化時 上記以外</td> <td rowspan="2">t<sub>RESW</sub></td> <td>10</td> <td>-</td> <td>ms</td> <td rowspan="2">35.9</td> </tr> <tr> <td>20</td> <td>-</td> <td>μs</td> </tr> <tr> <td rowspan="2">MRES パルス幅 スタンバイモード解除時 上記以外</td> <td rowspan="2">t<sub>MRESW</sub></td> <td>10</td> <td>-</td> <td>ms</td> <td rowspan="2"></td> </tr> <tr> <td>20</td> <td>-</td> <td>μs</td> </tr> </tbody> </table>	項目	記号	B = 66.66MHz		単位	参照図	Min.	Max.	RES パルス幅 スタンバイモード解除時 または PLL 通倍率変化時 上記以外	t <sub>RESW</sub>	10	-	ms	35.9	20	-	μs	MRES パルス幅 スタンバイモード解除時 上記以外	t <sub>MRESW</sub>	10	-	ms		20	-	μs																																																								
項目	記号	B = 66.66MHz			単位	参照図																																																																														
		Min.	Max.																																																																																	
RES パルス幅 スタンバイモード解除時 または PLL 通倍率変化時 上記以外	t <sub>RESW</sub>	10	-	ms	35.9																																																																															
		20	-	μs																																																																																
MRES パルス幅 スタンバイモード解除時 上記以外	t <sub>MRESW</sub>	10	-	ms																																																																																
		20	-	μs																																																																																
図 35.9 リセット入力タイミング		図を修正 																																																																																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																											
35.4.3 バスタイミング 図 35.15 通常空間基本バスサイクル(ソフトウェアウェイト1、外部ウェイト1挿入)	35-21	図タイトルを修正 図を差し替え																											
図 35.17 MPX-I/O インタフェースバスサイクル(アドレスサイクル3、ソフトウェアウェイト1、外部ウェイト1挿入)	35-23	図を修正 																											
図 35.43 PCMCIA I/O カードバスサイクル (TED=0 サイクル、TEH=0 サイクル、ノーウェイト)	35-49	図を修正 																											
図 35.44 PCMCIA I/O カードバスサイクル (TED=2 サイクル、TEH=1 サイクル、ソフトウェア0、ハードウェイト1)	35-50	図を差し替え																											
35.4.10 IIC3 タイミング 表 35.15 (1) IIC3 タイミング I <sup>2</sup> C バスフォーマット	35-59	表タイトルを修正																											
図 35.57 (1) IIC3 入出力タイミング		図タイトルを修正																											
表 37.14 (2) I2C バスインタフェース3 タイミング クロック同期式シリアルフォーマット	35-60	表を追加																											
図 35.57 (2) クロック入出力タイミング		図を追加																											
図 35.57 (3) 送受信タイミング		図を追加																											
A. 端子状態 表 A.1 端子状態	付録-3	表を修正 <table border="1" data-bbox="644 1081 1207 1207"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">端子機能</th> <th rowspan="2">端子名</th> <th rowspan="2">通常状態 (右記以外)</th> <th colspan="3">端子状態</th> <th rowspan="2">バス種 解放状態</th> </tr> <tr> <th>リセット状態</th> <th>低消費電力状態</th> <th></th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td>パワーオン リセット<sup>1)</sup></td> <td>端子状態 保持<sup>2)</sup></td> <td>ディープ スタンバイ モード<sup>3)</sup></td> <td>ソフトウェア スタンバイ モード</td> </tr> <tr> <td>USB</td> <td></td> <td>DP, DM</td> <td>I/OZ</td> <td>Z</td> <td>I/OZ</td> <td>Z</td> <td>I/OZ</td> </tr> </tbody> </table>	分類	端子機能	端子名	通常状態 (右記以外)	端子状態			バス種 解放状態	リセット状態	低消費電力状態						パワーオン リセット <sup>1)</sup>	端子状態 保持 <sup>2)</sup>	ディープ スタンバイ モード <sup>3)</sup>	ソフトウェア スタンバイ モード	USB		DP, DM	I/OZ	Z	I/OZ	Z	I/OZ
分類	端子機能	端子名					通常状態 (右記以外)	端子状態			バス種 解放状態																		
			リセット状態	低消費電力状態																									
				パワーオン リセット <sup>1)</sup>	端子状態 保持 <sup>2)</sup>	ディープ スタンバイ モード <sup>3)</sup>	ソフトウェア スタンバイ モード																						
USB		DP, DM	I/OZ	Z	I/OZ	Z	I/OZ																						
B. 未使用端子の処理 表 B.2 製品チップモードかつ H-UDI 未使用時の端子処理	付録-6	表を修正 <table border="1" data-bbox="644 1246 1207 1304"> <thead> <tr> <th>端子</th> <th>処理</th> </tr> </thead> <tbody> <tr> <td>TCK, TMS, TDI, TDO, ASEBRK/ASEBRK</td> <td>オープン</td> </tr> </tbody> </table>	端子	処理	TCK, TMS, TDI, TDO, ASEBRK/ASEBRK	オープン																							
端子	処理																												
TCK, TMS, TDI, TDO, ASEBRK/ASEBRK	オープン																												



# 索引

## 【数字 / 記号】

0 方向への丸め .....	3-8
16 ビット / 32 ビットディスプレイメント .....	2-10

## 【 A 】

A/D 変換開始要求ディレイド機能 .....	11-126
A/D 変換器 (ADC) .....	22-1
A/D 変換器特性 .....	35-81
A/D 変換器の起動 .....	11-133
A/D 変換時間 (シングルモード) .....	22-15
A/D 変換時間 (マルチモード / スキャンモード) .....	22-16
A/D 変換精度の定義 .....	22-18
A/D 変換タイミング .....	22-15
AC 特性 .....	35-10
AC 特性測定条件 .....	35-80
ADC タイミング .....	35-64
AND/NAND フラッシュメモリコントローラ (FLCTL) .....	24-1

## 【 B 】

BCHG 割り込み .....	25-74
BEMP 割り込み .....	25-68
BRDY 割り込み .....	25-62

## 【 C 】

CAN インタフェース .....	19-5
CAN スリープモード .....	19-71
CD-DSP 停止・再開時の注意点 .....	21-52
CD-ROM デコーダ (ROM-DEC) .....	21-1
CMCNT カウントタイミング .....	12-5
CMCNT の書き込みとコンペアマッチの競合 .....	12-8
CMCNT のバイト書き込みとカウントアップの競合 .....	12-9
CMCNT のワード書き込みとカウントアップの競合 .....	12-8
CPU .....	2-1
$\overline{CSn}$ アサート期間拡張 .....	9-61

## 【 D 】

D/A 変換器 (DAC) .....	23-1
D/A 変換器特性 .....	35-82
DC 特性 .....	35-3

DMAC インタフェース .....	19-93
DMAC 使用上の制約事項 .....	15-51
DMAC タイミング .....	35-52
DMAC の起動 .....	11-133
DMA 転送フローチャート .....	10-24
DREQ 端子のサンプリングタイミング .....	10-41
DTCH 割り込み .....	25-74

## 【 E 】

ECC エラーチェック .....	24-35
ECC コード .....	24-35
ECC 訂正機能 .....	21-43
EDC チェック機能 .....	21-43

## 【 F 】

FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) .....	15-1
FLCTL タイミング .....	35-65
FLCTL の割り込み要求 .....	24-37
FPU に関する CPU 命令 .....	2-36
FPU 例外処理 .....	3-9
FPU 例外要因 .....	3-9

## 【 H 】

H-UDI コマンド .....	33-4
H-UDI タイミング .....	35-78
H-UDI リセット .....	33-7
H-UDI 割り込み .....	6-14, 33-7

## 【 I 】

I/O ポート .....	30-1
I/O ポートタイミング .....	35-77
I <sup>2</sup> C バスインタフェース 3 (IIC3) .....	17-1
I <sup>2</sup> C バスフォーマット .....	17-17
IBUF 割り込み .....	21-50
ID 並べ替え .....	19-29
IEBus™ コントローラ (IEB) .....	20-1
IEBus 通信プロトコル .....	20-2
IEBus ビットフォーマット .....	20-13
IERR 割り込み .....	21-50
IIC3 タイミング .....	35-59

IREADY 割り込み .....	21-50	SDRAM インタフェース .....	9-66
IRQ 割り込み .....	6-14	SD ホストインタフェース (SDHI) .....	28-1
ISEC 割り込み .....	21-49	SIGN 割り込み .....	25-75
ISY 割り込み .....	21-49	SOF 補間機能 .....	25-108
ITARG 割り込み .....	21-49	SSI タイミング .....	35-61
<b>【 L 】</b>		SSI モジュールバスフォーマット .....	18-16
LCDC タイミング .....	35-75	SSU タイミング .....	35-56
LCD コントローラ (LCDC) .....	26-1	SSU モード .....	16-19
LRU .....	8-3	SSU 割り込み要因 .....	16-34
<b>【 M 】</b>		<b>【 T 】</b>	
MPX-I/O インタフェース .....	9-62	TAP コントローラ .....	33-5
MTU2 出力端子の初期化方法 .....	11-162	TDO 出力タイミング .....	33-6
MTU2 タイミング .....	35-53	TSG と TSEG の設定 .....	19-35
MTU2 の機能一覧 .....	11-2	TTW[1:0] (タイムトリガウィンドウ) .....	19-20
MTU2 割り込み要因 .....	11-131	T ビット .....	2-8
<b>【 N 】</b>		<b>【 U 】</b>	
NMI 割り込み .....	6-14	UBC タイミング .....	35-51
NRDY 割り込み .....	25-66	USB2.0 ホスト/ファンクションモジュール (USB) .....	25-1
NYET ハンドシェイク応答表 .....	25-99	USB タイミング .....	35-73
<b>【 P 】</b>		USB 通信許可状態では設定禁止であるレジスタ .....	25-79
PCMCIA インタフェース .....	9-106	USB データバス抵抗制御 .....	25-58
PINT 割り込み .....	6-15	<b>【 V 】</b>	
PLL 回路 .....	4-3	VBUS 割り込み .....	25-74
PLL 発振回路使用時の注意 .....	4-12, 4-15	<b>【 W 】</b>	
PWM モード .....	11-81	WDT タイミング .....	35-54
<b>【 R 】</b>		<b>【 あ 】</b>	
RCAN-TL1 タイミング .....	35-63	アイソクロナス転送 .....	25-101
RCAN-TL1 のコントロールレジスタ .....	19-24	アイドルサイクル数を決める項目 .....	9-119
RCAN-TL1 のタイムレジスタ .....	19-55	アクセスウェイト制御 .....	9-59
RCAN-TL1 のメールボックスレジスタ .....	19-44	アクセスサイクル間アイドル .....	9-118
RCAN-TL1 のメモリマップ .....	19-6	アクセスサイズとデータアライメント .....	9-49
RCAN-TL1 の割り込み要因 .....	19-92	アクセスサイズとバースト数の関係 .....	9-76
RCAN-TL1 の設定 .....	19-68	アドレスアレイ .....	8-2, 8-14
RCAN-TL1 端子ポート設定 .....	19-95	アドレスアレイライト (連想あり) .....	8-15
RISC 方式 .....	2-7	アドレスアレイライト (連想なし) .....	8-14
<b>【 S 】</b>		アドレスアレイリード .....	8-14
SACK 割り込み .....	25-75	アドレスエラー .....	5-10
SCBRR の設定値を求める計算式 .....	15-17	アドレスマップ .....	9-5
SCIF タイミング .....	35-55	アドレスマルチプレクス .....	9-70
SCIF 割り込み要因 .....	15-50	アドレッシングモード .....	2-11
SDHI タイミング .....	35-76	アナログ電圧の設定 .....	22-19, 23-6

アナログ入力端子の規格	22-20	サポートできる DMA 転送	10-32
アナログ入力端子の取り扱い	22-19	算術演算命令	2-27
アラーム機能の使用法	14-24	サンプリングレートコンバータ (SRC)	27-1
位相計数モード	11-86	システム制御命令	2-32
一般不当命令	5-17	システムマトリックス	19-23
イミディエイトデータ	2-9	システムレジスタの初期値	2-4
イミディエイトデータによる参照	2-9	実効アドレスの計算方法	2-11
イミディエイトデータのデータ形式	2-6	自動デコード停止機能	21-44
インターバルタイマモードの使用法	13-12	シフト命令	2-30
インタラプト転送	25-100	ジャンプテーブルベースレジスタ (TBR)	2-3
ウォッチドッグタイマ (WDT)	13-1	周期設定上の注意事項	11-146
ウォッチドッグタイマモードの使用法	13-11	周波数変更の手順	13-10
液晶モジュール電源状態	26-45	周波数変更方法	4-11
エンディアン	9-49	出力付加回路	35-80
オートリクエストモード	10-25	乗算 / 積和演算	2-8
オートリフレッシュ	9-90	シリアルサウンドインタフェース (SSI)	18-1
オフセット誤差	22-18	シリアルビットクロックコントロール	18-30
		シングルアドレスモード	10-35
<b>【か】</b>		シングルモード	22-8
外部トリガ入力タイミング	22-16	シングルライト	9-82
外部リクエストモード	10-25	シングルリード	9-79
各動作モードにおけるレジスタの状態の一覧	34-68	シンクロナスシリアルコミュニケーションユニット (SSU)	16-1
カスケード接続動作	11-77	シンドローム演算機能	21-43
カラーパレットデータフォーマット	26-36	水晶発振器	4-3
キャッシュ	8-1	スキャンモード	22-12
キャッシュ動作まとめ	8-12	スタックからの復帰	6-34
キャッシュと外部メモリとのコヒーレンシ	8-13	スタックへの退避	6-34
キャッシュの検索	8-9	スタンバイ制御回路	4-3
許容信号源インピーダンス	22-21	ステータスレジスタ (SR)	2-2
近傍への丸め	3-8	スリープモード	32-20
グローバルベースレジスタ (GBR)	2-3	スLEEP受信動作	17-24
クロック周波数制御回路	4-3	スLEEP送信動作	17-22
クロックタイミング	35-10	スロット不当命令	5-17
クロック同期式シリアルフォーマット	17-26	制御信号タイミング	35-14
クロック同期式モード時の動作	15-42	整数除算命令	5-17
クロック動作モード	4-5	積和下位レジスタ (MACL)	2-4
クロックパルス発振器 (CPG)	4-1	積和上位レジスタ (MACH)	2-4
固定モード	10-29	セクタアクセスモード	24-33
コマンドアクセスモード	24-28	絶対アドレス	2-9
コントローラエリアネットワーク (RCAN-TL1)	19-1	絶対アドレスによる参照	2-10
コントロール転送ステージ遷移割り込み	25-71	絶対最大定格	35-1
コントロールレジスタの初期値	2-4	絶対精度への影響	22-21
コンフリクトエラー	16-27	セルフリフレッシュ	9-91
コンペアマッチタイマ (CMT)	12-1	送信トリガコントロールフィールド	19-20
		送信トリガタイム (TTT)	19-20
		送信用内部アービトラージョン	19-76
<b>【さ】</b>			
サイクルスチールモード	10-36		

相補 PWM モード .....	11-95
ソフトウェアスタンバイモード .....	32-20
ソフトウェアスタンバイモード解除の手順 (WDT) .....	13-10
ソフトウェアスタンバイモード時の D/A 出力保持 機能 .....	23-6

## 【た】

タイムスタンプ .....	19-19
タイムスレep .....	19-81
タイムトリガコントロール (TT コントロール) .....	19-20
タイムトリガシステムの例 .....	19-84
タイムトリガ送信 .....	19-77
ダイレクトメモリアクセスコントローラ (DMAC) .....	10-1
単精度浮動小数点フォーマット .....	3-2
遅延スロットなし無条件分岐命令 .....	2-8
遅延分岐命令 .....	2-8
遅延分岐命令の直後の例外要因発生 .....	5-19
調歩同期式モード時の動作 .....	15-34
調歩同期式モードの受信データサンプリング タイミングと受信マージン .....	15-52
通常空間インタフェース .....	9-54
ディープスタンバイモード .....	32-23
ディープパワーダウンモード .....	9-99
低周波数モード .....	9-93
低消費電力状態 .....	2-39
低消費電力モード .....	32-1
ディスプレイメントによる参照 .....	2-10
通信率の変更 .....	4-11
データ PID シーケンスビット .....	25-80
データアクセスサイクルでのブレイク .....	7-14
データアレイ .....	8-2, 8-15
データアレイライト .....	8-15
データアレイリード .....	8-15
データ転送命令 .....	2-24
テストモードの設定 .....	19-74
デバイスステート遷移割り込み .....	25-69
デュアルアドレスモード .....	10-33
電気的特性 .....	35-1
電源制御シーケンス処理 .....	26-40
電源投入・切断シーケンス .....	35-2
転送クロック .....	16-16
伝送プロトコル .....	20-4
転送レート .....	17-7
同期コード保護機能 .....	21-39
トラップ命令 .....	5-16
トランザクション発行条件 .....	25-109

## 【な】

内蔵 RAM (高速) アドレス空間 .....	31-1
内蔵 RAM (保持用) アドレス空間 .....	31-1
内蔵周辺モジュールリクエストモード .....	10-26
内蔵周辺モジュール割り込み .....	6-16
入力ストリームデータエンディアン変換機能 .....	21-38
ノイズ除去回路 .....	17-29

## 【は】

バースト MPX-I/O インタフェース .....	9-112
バースト ROM (クロック同期) インタフェース .....	9-117
バースト ROM (クロック非同期) インタフェース .....	9-100
バーストモード .....	10-38
バーストライト .....	9-80
バーストリード .....	9-76
ハードウェアローテーション動作 .....	26-46
倍精度浮動小数点フォーマット .....	3-2
バイト選択付き SRAM インタフェース .....	9-101
バイブコントロール .....	25-76
バイブスケジュール .....	25-109
バスアービトラージョン .....	9-124
バス権解放状態 .....	2-39
バスステートコントローラ (BSC) .....	9-1
バスタイミング .....	35-17
バッファメモリ .....	25-82
バッファリングフォーマット .....	21-45
バルク転送 .....	25-98
パワーオンシーケンス .....	9-95
パワーオンリセット .....	5-8
パワーダウンモード .....	9-94
バンクアクティブ .....	9-83
バンクからの復帰 .....	6-33
バンクの対象レジスタと入出力方式 .....	6-31
バンクへの退避 .....	6-32
汎用レジスタ .....	2-1
汎用レジスタの初期値 .....	2-4
非圧縮モード .....	18-16
非数 (NaN) .....	3-4
非正規化数 .....	3-4
非直線性誤差 .....	22-18
ビット操作命令 .....	2-37
ビット同期回路 .....	17-35
表示 OFF モード (LCDC 停止) の注意事項 .....	26-46
表示解像度の設定 .....	26-40
ピンファンクションコントローラ (PFC) .....	29-1
ファンクションコントローラ機能選択時の コントロール転送 .....	25-96

浮動小数点演算命令	2-34, 5-18
浮動小数点の範囲	3-3
浮動小数点ユニット (FPU)	3-1
浮動小数点例外	3-9
浮動小数点レジスタ	3-5
プリフェッチ動作 (オペランドキャッシュのみ)	8-10
フルスケール誤差	22-18
ブレークの送り出し	15-52
ブレークの検出と処理	15-51
フレーム更新割り込み	25-73
プログラムカウンタ (PC)	2-4
プログラム実行状態	2-39
プロシージャレジスタ (PR)	2-4
分岐命令	2-31
分周器 1	4-3
分周器 2	4-3
分周率の変更	4-11
ページ競合	31-3
ベクタベースレジスタ (VBR)	2-3
ポート A	30-2
ポート A の機能切り替えについて	29-41
ポート B	30-4
ポート C	30-7
ポート D	30-10
ポート E	30-13
ポート F	30-16
保持用内蔵 RAM アドレス空間	31-2
ホストコントローラ機能選択時のコントロール	
転送	25-95
ホルトモード	19-70
本 LSI の端子状態	付録-1

## 【ま】

マイクロプロセッサインタフェース (MPI)	19-4
マスタ受信動作	17-20
マスタ送信動作	17-18
マニュアルリセット	5-9
マルチファンクションタイムパルスユニット 2 (MTU2)	11-1
マルチプレクス端子の一覧表 (ポート A)	29-1
マルチプレクス端子の一覧表 (ポート B)	29-1
マルチプレクス端子の一覧表 (ポート C)	29-2
マルチプレクス端子の一覧表 (ポート D)	29-3
マルチプレクス端子の一覧表 (ポート E)	29-4
マルチプレクス端子の一覧表 (ポート F)	29-5
マルチモード	22-10
丸め	3-8

命令形式	2-15
命令セット	2-19
命令による例外	5-16
命令の特長	2-7
命令フェッチサイクルでのブレーク	7-13
メールボックス	19-4, 19-7
メールボックスコントロール	19-4
メールボックスの機能の設定	19-16
メールボックスの再設定	19-90
メールボックスの役割	19-8
メッセージコントロールフィールド	19-12
メッセージ受信シーケンス	19-88
メッセージ送信リクエスト	19-76, 19-83
メッセージデータフィールド	19-18
メモリのデータ形式	2-5
メモリ割り付けキャッシュの構成	8-14
目標セクタバッファリング機能	21-47
モジュールスタンバイ機能	32-28
モジュールスタンバイモードの設定	16-35

## 【や】

ユーザデバッグインタフェース (H-UDI)	33-1
ユーザブレークコントローラ (UBC)	7-1
ユーザブレーク動作の流れ	7-12
ユーザブレーク割り込み	6-14

## 【ら】

ライトバックバッファ (オペランドキャッシュのみ)	8-11
ラウンドロビンモード	10-29
リアルタイムクロック (RTC)	14-1
リセットシーケンス	19-69
リセット状態	2-39
リセット同期 PWM モード	11-92
リフレッシュ要求とバスサイクルの関係	9-92
量子化誤差	22-18
例外処理	5-1
例外処理後のスタックの状態	5-20
例外処理状態	2-39
例外処理ベクタテーブル	5-5, 6-17
例外処理ベクタテーブルアドレスの算出法	5-6
例外要因の種類と優先順位	5-1
レジスタ	
ABACK0	19-50
ABACK1	19-50
ADCSR	22-5
ADDRA ~ ADDRH	22-4

BAMR	7-5	CROMSY0	21-11
BAR	7-4	CS0WCR	9-14, 9-27, 9-41
BBR	7-8	CS1WCR	9-16
BCR0	19-34	CS2WCR	9-18, 9-31
BCR1	19-32	CS3WCR	9-18, 9-32
BDMR	7-7	CS4WCR	9-20, 9-29
BDR	7-6	CS5WCR	9-22, 9-35
BEMPENB	25-30	CS6WCR	9-25, 9-35, 9-38
BEMPSTS	25-37	CS7WCR	9-16
BRCR	7-10	CSnBCR ( n = 0 ~ 7 )	9-10
BRDYENB	25-28	CYCTR	19-64
BRDYSTS	25-35	D0FBCFG	25-15
CBUFCTL0	21-30	D0FIFO	25-17
CBUFCTL1	21-31	D0FIFOCTR	25-22
CBUFCTL2	21-31	D0FIFOSEL	25-20
CBUFCTL3	21-32	D0FIFOTRN	25-24
CBUFST0	21-21	D1FBCFG	25-15
CBUFST1	21-21	D1FIFO	25-17
CBUFST2	21-22	D1FIFOCTR	25-22
CCR	19-62	D1FIFOSEL	25-20
CCR1	8-4	D1FIFOTRN	25-24
CCR2	8-6	DACR	23-3
CFBCFG	25-15	DADR0	23-3
CFIFO	25-17	DADR1	23-3
CFIFOCTR	25-22	DAR	10-8
CFIFOSEL	25-18	DCPCFG	25-43
CFIFOSIE	25-23	DCPCTR	25-45
CHCR	10-9	DCPMAXP	25-44
CMAX_TEW	19-58	DMAOR	10-17
CMCNT	12-4	DMARS0 ~ DMARS3	10-20
CMCOR	12-4	DMATCR	10-8
CMCSR	12-3	DSCTR	32-14
CMNCR	9-8	DSCTR2	32-15
CMSTR	12-2	DSFR	32-17
CROMCTL0	21-12	DSRTR	32-19
CROMCTL1	21-13	DSSSR	32-15
CROMCTL3	21-14	DVSTCTR	25-10
CROMCTL4	21-15	FLADR	24-12
CROMCTL5	21-16	FLADR2	24-14
CROMEN	21-10	FLBSYCNT	24-22
CROMST0	21-16	FLBSYTMR	24-21
CROMST0M	21-32	FLCMCDR	24-11
CROMST1	21-17	FLCMDCR	24-9
CROMST3	21-17	FLCMNCR	24-7
CROMST4	21-18	FLDATAR	24-16
CROMST5	21-19	FLDTCNTR	24-15
CROMST6	21-20	FLDTFIFO	24-23

FLECFIFO .....	24-24	IESA2 .....	20-23
FLINTDMACR .....	24-17	IETB .....	20-37
FLTRCR .....	24-25	IETBFL .....	20-23
FPSCR .....	3-6	IETSR .....	20-29
FPUL .....	3-7	IFCR .....	29-39
FRMNUM.....	25-38	IMR .....	19-43
FRQCR.....	4-8	INHINT .....	21-36
GSR .....	19-30	INTENB0 .....	25-25
HEAD00.....	21-22	INTENB1 .....	25-27
HEAD01.....	21-22	INTHOLD .....	21-35
HEAD02.....	21-23	INTSTS0 .....	25-31
HEAD03.....	21-23	INTSTS1 .....	25-33
HEAD20.....	21-26	IPR01、IPR02、IPR05 ~ IPR17.....	6-5
HEAD21.....	21-26	IRQRR.....	6-9
HEAD22.....	21-27	IRR .....	19-36
HEAD23.....	21-27	LDACLNR .....	26-20
IBCR .....	6-12	LDCNTR.....	26-25
IBNR .....	6-13	LDDFR .....	26-9
ICCR1 .....	17-5	LDHCNR .....	26-15
ICCR2 .....	17-8	LDHSYNR .....	26-16
ICDRR .....	17-16	LDICKR .....	26-5
ICDRS .....	17-16	LDINTR .....	26-20
ICDRT.....	17-15	LDLAOR.....	26-12
ICIER .....	17-11	LDLIRNR.....	26-28
ICMR .....	17-9	LDMTR.....	26-6
ICR0 .....	6-6	LDPALCR .....	26-13
ICR1 .....	6-7	LDPMMR.....	26-22
ICR2 .....	6-8	LDPR.....	26-14
ICSR .....	17-13	LDPSPR.....	26-24
IEAR1 .....	20-21	LDSARL .....	26-12
IEAR2 .....	20-22	LDSARU.....	26-11
IECKSR .....	20-36	LDSMR.....	26-10
IECMR .....	20-18	LDUINTLNR .....	26-27
IECTR.....	20-17	LDUINTR.....	26-26
IEFLG .....	20-27	LDVDLNR .....	26-17
IEIER .....	20-35	LDVSYNR .....	26-19
IEIET.....	20-31	LDVTLNR .....	26-18
IELA1 .....	20-26	MBIMR0 .....	19-54
IELA2.....	20-26	MBIMR1 .....	19-53
IEMA1 .....	20-24	MCR .....	19-24
IEMA2.....	20-24	NF2CYC .....	17-16
IEMCR .....	20-19	NRDYENB.....	25-29
IERB .....	20-37	NRDYSTS.....	25-36
IERBFL.....	20-25	PADRL .....	30-2
IERCTL.....	20-25	PBCRL1 .....	29-11
IERSR .....	20-32	PBCRL2 .....	29-10
IESA1 .....	20-22	PBCRL3 .....	29-9

PBCRL4.....	29-8	R64CNT .....	14-4
PBDRL.....	30-4	RCR1.....	14-18
PBIORL .....	29-8	RCR2.....	14-20
PBPRL.....	30-6	RCR3.....	14-21
PCCRL1 .....	29-16	RDAR .....	10-16
PCCRL2 .....	29-15	RDAYAR .....	14-16
PCCRL3 .....	29-14	RDAYCNT .....	14-9
PCCRL4 .....	29-13	RDMATCR .....	10-16
PCDRL .....	30-7	REC.....	19-43
PCIORL .....	29-12	RFMK .....	19-64
PCPRL.....	30-9	RFPR0.....	19-53
PDCRL1 .....	29-23	RFPR1.....	19-52
PDCRL2 .....	29-21	RFTROFF .....	19-59
PDCRL3 .....	29-19	RHRAR .....	14-14
PDCRL4 .....	29-17	RHRCNT .....	14-7
PDDR.....	30-11	RMINAR .....	14-13
PDIORL .....	29-17	RMINCNT .....	14-6
PDPRL.....	30-12	RMONAR .....	14-17
PECRL1.....	29-29	RMONCNT .....	14-10
PECRL2.....	29-28	ROMDECRST .....	21-33
PECRL3.....	29-27	RSAR .....	10-15
PECRL4.....	29-25	RSECAR .....	14-12
PEDRL.....	30-14	RSECNT.....	14-5
PEIORL .....	29-25	RSTSTAT .....	21-33
PEPRL.....	30-15	RTCNT .....	9-47
PFCRH1 .....	29-33	RTCOR.....	9-48
PFCRH2 .....	29-32	RTCSR.....	9-46
PFCRH3 .....	29-31	RWKAR .....	14-15
PFCRH4 .....	29-30	RWKCNT .....	14-8
PFCRL1.....	29-38	RXPR0 .....	19-52
PFCRL2.....	29-36	RXPR1 .....	19-51
PFCRL3.....	29-35	RYRAR.....	14-18
PFCRL4.....	29-34	RYRCNT .....	14-11
PFDRH .....	30-17	SAR ( DMAC ) .....	10-7
PFDRL.....	30-18	SAR ( IIC3 ) .....	17-15
PFIORH .....	29-30	SCBRR.....	15-17
PFIORL.....	29-30	SCEMR .....	15-31
PFPRH .....	30-19	SCFCR.....	15-25
PFPRL.....	30-20	SCFDR.....	15-27
PINTER .....	6-10	SCFRDR .....	15-6
PIPEBUF .....	25-50	SCFSR .....	15-12
PIPECFG.....	25-48	SCFTDR.....	15-7
PIPEMAXP .....	25-51	SCLSR .....	15-30
PIPEnCTR ( n = 1 ~ 7 ) .....	25-54	SCRSR.....	15-6
PIPEPERI.....	25-52	SCSCR.....	15-10
PIPESEL.....	25-47	SCSMR .....	15-7
PIRR .....	6-11	SCSPTR.....	15-28

SCSR.....	29-39	STRMDIN0.....	21-37
SCTSR .....	15-6	STRMDIN2.....	21-37
SDBPR .....	33-3	STRMDOU0.....	21-37
SDCR .....	9-43	SYSCFG .....	25-6
SDIR .....	33-3	SYSCR1.....	32-11
SHEAD00.....	21-23	SYSCR2.....	32-12
SHEAD01.....	21-24	SYSCR3.....	32-13
SHEAD02.....	21-24	SYSSTS .....	25-8
SHEAD03.....	21-24	TADCOBRA_4 .....	11-44
SHEAD04.....	21-25	TADCOBRB_4 .....	11-44
SHEAD05.....	21-25	TADCORA_4 .....	11-44
SHEAD06.....	21-25	TADCORB_4 .....	11-44
SHEAD07.....	21-26	TADCR .....	11-42
SHEAD20.....	21-27	TBTER.....	11-61
SHEAD21.....	21-28	TBTM .....	11-40
SHEAD22.....	21-28	TCBR .....	11-58
SHEAD23.....	21-28	TCDR .....	11-58
SHEAD24.....	21-29	TCMR0.....	19-65
SHEAD25.....	21-29	TCMR1.....	19-65
SHEAD26.....	21-29	TCMR2.....	19-66
SHEAD27.....	21-30	TCNT.....	11-45
SRCCTRL.....	27-7	TCNTR.....	19-63
SRCID .....	27-3	TCNTS .....	11-57
SRCIDCTRL.....	27-5	TCR .....	11-10
SRCOD.....	27-4	TDDR .....	11-57
SRCODCTRL.....	27-6	TDER.....	11-62
SRCSTAT.....	27-9	TEC .....	19-43
SSCR2.....	16-12	TESTMODE .....	25-13
SSCRH .....	16-5	TGCR .....	11-56
SSCRL.....	16-6	TGR .....	11-45
SSER.....	16-8	TICCR .....	11-41
SSI.....	21-34	TIER .....	11-33
SSICR.....	18-6	TIOR.....	11-15
SSIRDR.....	18-15	TITCNT.....	11-60
SSISR.....	18-11	TITCR.....	11-59
SSITDR .....	18-15	TMDR .....	11-13
SSMR .....	16-7	TOCR1 .....	11-50
SSRDR0 ~ SSRDR3 .....	16-14	TOCR2 .....	11-52
SSSR.....	16-9	TOER .....	11-49
SSTDR0 ~ SSTDR3 .....	16-13	TOLBR .....	11-55
SSTRSR .....	16-15	TRWER .....	11-48
STBCR .....	32-4	TSR .....	11-36, 19-60
STBCR2 .....	32-5	TSTR .....	11-46
STBCR3 .....	32-6	TSYR.....	11-47
STBCR4 .....	32-7	TTCR0.....	19-56
STBCR5 .....	32-8	TTTSEL.....	19-66
STBCR6 .....	32-10	TWCR.....	11-63

TXACK0.....	19-49	レジスタバンク .....	2-4, 6-31
TXACK1.....	19-49	レジスタバンクエラー .....	5-12
TXCR0.....	19-48	レジスタバンクエラー例外処理.....	5-12, 6-35
TXCR1.....	19-48	レジスタバンクの例外 .....	6-35
TXPR0.....	19-47	レジスタビット一覧.....	34-25
TXPR1.....	19-46	レジューム割り込み.....	25-74
UFRMNUM.....	25-40	ローカルアクセプタンスフィルタマスク (LAFM) ..	19-17
UMSR0.....	19-55	ロードストアアーキテクチャ .....	2-7
UMSR1.....	19-54	ローパワーSDRAM .....	9-97
USBACSWR.....	25-56	論理演算命令 .....	2-29
USBADDR.....	25-40		
USBINDEX.....	25-42		
USBLENG .....	25-42		
USBREQ .....	25-41		
USBVAL .....	25-41		
WRCSR.....	13-7		
WTCNT.....	13-4		
WTCSR .....	13-5		
レジスタアドレス一覧 (機能モジュールごと、 マニュアル章番号順) .....	34-2		
レジスタのデータ形式.....	2-5		
		<b>【わ】</b>	
		ワードデータの符号拡張.....	2-7
		割り込み応答時間.....	6-26
		割り込みコントローラ (INTC) .....	6-1
		割り込み優先順位.....	5-14
		割り込み要因クリアのタイミング .....	6-38
		割り込み要求信号によるデータ転送 .....	6-36
		割り込み例外処理.....	5-15
		割り込み例外処理終了後のスタックの状態 .....	6-25

---

ルネサス32ビットRISCマイクロコンピュータ  
SH7263グループ  
ユーザーズマニュアル ハードウェア編

発行年月日 2009年12月29日 Rev.3.00  
2013年9月19日 Rev.4.00

発行 ルネサス エレクトロニクス株式会社  
〒211-8668 神奈川県川崎市中原区下沼部1753

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/contact/>



SH7263 グループ  
ユーザーズマニュアル ハードウェア編