

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

SH7018F-ZTAT™

ハードウェアマニュアル

EOL announced Product

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

SH7018 は、日立オリジナルの RISC (Reduced instruction set computer) 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、ROM、RAM、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

本 LSI の内蔵はフラッシュメモリ版です。フラッシュメモリは本 LSI の書き込みをサポートしているライターを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。

このハードウェアマニュアルでは、本 LSI のハードウェアについて説明します。命令の詳細については、プログラミングマニュアルをご覧ください。

関連するマニュアル

SH7018 の実行命令について

「SH-1、SH-2、SH-DSP プログラミングマニュアル」

開発環境システムについては、当社営業所までお問い合わせください。

目次

第1章 概要

1.1	SH7018の特長	1-3
1.2	ブロック図	1-6
1.3	端子説明	1-7
1.3.1	ピン配置	1-7
1.3.2	端子機能	1-8

第2章 CPU

2.1	レジスタ構成	2-3
2.1.1	汎用レジスタ (Rn)	2-3
2.1.2	コントロールレジスタ	2-4
2.1.3	システムレジスタ	2-5
2.1.4	レジスタの初期値	2-5
2.2	データ形式	2-6
2.2.1	レジスタのデータ形式	2-6
2.2.2	メモリ上でのデータ形式	2-6
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-10
2.3.3	命令形式	2-13
2.4	命令セット	2-15
2.4.1	分類順命令セット	2-15
2.5	処理状態	2-23
2.5.1	状態遷移	2-23
2.5.2	低消費電力状態	2-25

第3章 動作モード

3.1	動作モードの種類と選択	3-3
3.2	各動作モードの説明	3-4
3.3	端子構成	3-5

第4章 クロック発振器 (CPG)

4.1	概要	4-3
4.2	クロックソース	4-4
	4.2.1 水晶発振子の接続方法	4-4
	4.2.2 外部クロックの入力方法	4-5
4.3	使用上の注意	4-6

第5章 例外処理

5.1	概要	5-3
	5.1.1 例外処理の種類と優先順位	5-3
	5.1.2 例外処理の種類と優先順位	5-4
	5.1.3 例外処理ベクタテーブル	5-5
5.2	リセット	5-8
	5.2.1 リセットの種類	5-8
	5.2.2 パワーオンリセット	5-8
5.3	アドレスエラー	5-9
	5.3.1 アドレスエラー発生要因	5-9
	5.3.2 アドレスエラー例外処理	5-9
5.4	割り込み	5-10
	5.4.1 割り込み要因	5-10
	5.4.2 割り込み優先順位	5-11
	5.4.3 割り込み例外処理	5-11
5.5	命令による例外	5-12
	5.5.1 命令による例外の種類	5-12
	5.5.2 トラップ命令	5-12
	5.5.3 スロット不当命令	5-13
	5.5.4 一般不当命令	5-13
5.6	例外処理が受け付けられない場合	5-14
	5.6.1 遅延分岐命令の直後	5-14
	5.6.2 割り込み禁止命令の直後	5-14
5.7	例外処理後のスタックの状態	5-15

5.8	使用上の注意.....	5-16
5.8.1	スタックポインタ (SP) の値	5-16
5.8.2	ベクタベースレジスタ (VBR) の値	5-16
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-16

第6章 割り込みコントローラ (INTC)

6.1	概要	6-3
6.1.1	特長	6-3
6.1.2	ブロック図	6-4
6.1.3	端子構成.....	6-5
6.1.4	レジスタ構成	6-5
6.2	割り込み要因.....	6-6
6.2.1	NMI 割り込み.....	6-6
6.2.2	IRQ 割り込み	6-6
6.2.3	内蔵周辺モジュール割り込み.....	6-7
6.2.4	割り込み例外処理ベクタと優先順位.....	6-7
6.3	レジスタの説明.....	6-9
6.3.1	割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH)	6-9
6.3.2	割り込みコントロールレジスタ (ICR)	6-10
6.3.3	IRQ ステータスレジスタ (ISR)	6-12
6.4	動作説明.....	6-14
6.4.1	割り込み動作の流れ.....	6-14
6.4.2	割り込み例外処理終了後のスタックの状態.....	6-16
6.5	割り込み応答時間	6-17

第7章 バスステートコントローラ (BSC)

7.1	概要.....	7-3
7.1.1	特長	7-3
7.1.2	ブロック図	7-4
7.1.3	端子構成.....	7-5
7.1.4	レジスタ構成	7-5
7.1.5	アドレスマップ.....	7-6
7.2	レジスタの説明	7-7
7.2.1	バスコントロールレジスタ 1 (BCR1)	7-7
7.2.2	バスコントロールレジスタ 2 (BCR2)	7-9
7.2.3	ウェイトコントロールレジスタ 1 (WCR1)	7-13

7.3	通常空間アクセス.....	7-16
	7.3.1 基本タイミング.....	7-16
	7.3.2 ウェイトステート制御.....	7-17
	7.3.3 \overline{CS} アサート期間拡張.....	7-19
7.4	アクセスサイクル間ウェイト.....	7-20
	7.4.1 データバス衝突防止.....	7-20
	7.4.2 バスサイクル開始検出の容易化.....	7-22
7.5	メモリ接続例.....	7-23

第8章 マルチファンクションタイマパルスユニット (MTU)

8.1	概要.....	8-3
	8.1.1 特長.....	8-3
	8.1.2 ブロック図.....	8-6
	8.1.3 端子構成.....	8-7
	8.1.4 レジスタ構成.....	8-8
8.2	レジスタの説明.....	8-9
	8.2.1 タイマコントロールレジスタ (TCR).....	8-9
	8.2.2 タイマモードレジスタ (TMDR).....	8-13
	8.2.3 タイマI/Oコントロールレジスタ (TIOR).....	8-15
	8.2.4 タイマインタラプトイネーブルレジスタ (TIER).....	8-22
	8.2.5 タイマステータスレジスタ (TSR).....	8-25
	8.2.6 タイマカウンタ (TCNT).....	8-29
	8.2.7 タイマジェネラルレジスタ (TGR).....	8-29
	8.2.8 タイマスタートレジスタ (TSTR).....	8-30
	8.2.9 タイマシンクロレジスタ (TSYR).....	8-31
8.3	バスマスタとのインタフェース.....	8-32
	8.3.1 16ビットレジスタ.....	8-32
	8.3.2 8ビットレジスタ.....	8-32
8.4	動作説明.....	8-34
	8.4.1 概要.....	8-34
	8.4.2 基本機能.....	8-35
	8.4.3 同期動作.....	8-40
	8.4.4 バッファ動作.....	8-42
	8.4.5 カスケード接続動作.....	8-46
	8.4.6 PWM モード.....	8-48
8.5	割り込み.....	8-52
	8.5.1 割り込み要因と優先順位.....	8-52

	8.5.2	A/D変換器の起動.....	8-53
8.6		動作タイミング.....	8-54
	8.6.1	入出力タイミング.....	8-54
	8.6.2	割り込み信号タイミング.....	8-58
8.7		使用上の注意.....	8-61
8.8		MTU出力端子の初期化方法.....	8-71
	8.8.1	動作モード.....	8-71
	8.8.2	リセットスタート時の動作.....	8-71
	8.8.3	動作中の異常などによる再設定時の動作.....	8-71
	8.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要.....	8-72

第9章 8ビットタイマ (TIM2)

9.1		概要.....	9-3
	9.1.1	特長.....	9-3
	9.1.2	ブロック図.....	9-3
	9.1.3	レジスタ構成.....	9-4
9.2		レジスタの説明.....	9-5
	9.2.1	タイマコントロール/ステータスレジスタ (T2CSR).....	9-5
	9.2.2	タイマカウンタ (T2CNT).....	9-7
	9.2.3	タイマコンスタントレジスタ (T2COR).....	9-7
9.3		動作説明.....	9-8
	9.3.1	周期カウント動作.....	9-8
	9.3.2	T2CNTのカウントタイミング.....	9-8
9.4		割り込み.....	9-9
	9.4.1	割り込み要因.....	9-9
	9.4.2	コンペアマッチフラグのセットタイミング.....	9-9
	9.4.3	コンペアマッチフラグのクリアタイミング.....	9-10

第10章 コンペアマッチタイマ (CMT)

10.1		概要.....	10-3
	10.1.1	特長.....	10-3
	10.1.2	ブロック図.....	10-3
	10.1.3	レジスタ構成.....	10-4
10.2		レジスタの説明.....	10-5
	10.2.1	コンペアマッチタイマスタートレジスタ (CMSTR).....	10-5
	10.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) ...	10-6

	10.2.3	コンペアマッチタイマカウンタ (CMCNT)	10-8
	10.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	10-8
10.3		動作説明.....	10-9
	10.3.1	周期カウント動作.....	10-9
	10.3.2	CMCNT のカウントタイミング.....	10-9
10.4		割り込み.....	10-10
	10.4.1	割り込み要因.....	10-10
	10.4.2	コンペアマッチフラグのセットタイミング.....	10-10
	10.4.3	コンペアマッチフラグのクリアタイミング.....	10-11
10.5		使用上の注意.....	10-12

第 11 章 ウォッチドッグタイマ (WDT)

11.1		概要	11-3
	11.1.1	特長.....	11-3
	11.1.2	ブロック図.....	11-4
	11.1.3	レジスタ構成.....	11-5
11.2		レジスタの説明.....	11-6
	11.2.1	タイマカウンタ (TCNT)	11-6
	11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	11-7
	11.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-9
	11.2.4	レジスタアクセス時の注意.....	11-11
11.3		動作説明.....	11-13
	11.3.1	ウォッチドッグタイマモード時の動作.....	11-13
	11.3.2	インターバルタイマモード時の動作.....	11-14
	11.3.3	スタンバイモード解除時の動作.....	11-14
	11.3.4	オーバフローフラグ (OVF) のセットタイミング.....	11-15
	11.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) の セットタイミング.....	11-16
11.4		使用上の注意.....	11-17
	11.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合.....	11-17
	11.4.2	CKS2~CKS0 ビットの書き換え.....	11-17
	11.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り換え.....	11-17
	11.4.4	ウォッチドッグタイマモードでの内部リセット.....	11-18

第 12 章 シリアルコミュニケーションインタフェース (SCI1)

12.1		概要	12-3
------	--	----------	------

	12.1.1	特長	12-3
	12.1.2	ブロック図	12-4
	12.1.3	端子構成	12-5
	12.1.4	レジスタ構成	12-5
12.2		レジスタの説明	12-6
	12.2.1	レシーブシフトレジスタ (RSR1)	12-6
	12.2.2	レシーブデータレジスタ (RDR1)	12-6
	12.2.3	トランスミットシフトレジスタ (TSR1)	12-7
	12.2.4	トランスミットデータレジスタ (TDR1)	12-7
	12.2.5	シリアルモードレジスタ (SMR1)	12-8
	12.2.6	シリアルコントロールレジスタ (SCR)	12-11
	12.2.7	シリアルステータスレジスタ (SSR)	12-16
	12.2.8	ビットレートレジスタ (BRR)	12-21
12.3		動作説明	12-28
	12.3.1	概要	12-28
	12.3.2	調歩同期式モード時の動作	12-30
	12.3.3	マルチプロセッサ通信機能	12-41
	12.3.4	クロック同期式モード時の動作	12-49
12.4		SCI1 の割り込み要因	12-59
12.5		使用上の注意	12-60

第 13 章 A/D 変換器

13.1		概要	13-3
	13.1.1	特長	13-3
	13.1.2	ブロック図	13-4
	13.1.3	端子構成	13-5
	13.1.4	レジスタ構成	13-6
13.2		レジスタの説明	13-7
	13.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDRD)	13-7
	13.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	13-8
	13.2.3	A/D コントロールレジスタ (ADCR)	13-10
13.3		CPU とのインタフェース	13-11
13.4		動作説明	13-12
	13.4.1	単一モード (SCAN = 0)	13-12
	13.4.2	スキャンモード (SCAN = 1)	13-14
	13.4.3	入力サンプリングと A/D 変換時間	13-16
	13.4.4	MTU トリガ入力タイミング	13-17

13.5	A/D変換精度の定義	13-18
13.6	使用上の注意	13-19
	13.6.1 アナログ電圧の設定	13-19
	13.6.2 アナログ入力端子の取り扱い	13-19

第14章 ピンファンクションコントローラ (PFC)

14.1	概要	14-3
14.2	レジスタ構成	14-6
14.3	レジスタの説明	14-7
	14.3.1 ポートA・IOレジスタL (PAIORL)	14-7
	14.3.2 ポートAコントロールレジスタL1、L2 (PACRL1、PACRL2)	14-7
	14.3.3 ポートB・IOレジスタ (PBIOR)	14-12
	14.3.4 ポートBコントロールレジスタ1、2 (PBCR1、PBCR2)	14-12
	14.3.5 ポートC・IOレジスタ (PCIOR)	14-16
	14.3.6 ポートCコントロールレジスタ (PCCR)	14-16
	14.3.7 ポートD・IOレジスタL (PDIORL)	14-21
	14.3.8 ポートDコントロールレジスタL (PDCRL)	14-21
	14.3.9 ポートE・IOレジスタ (PEIOR)	14-24
	14.3.10 ポートEコントロールレジスタ2 (PECR2)	14-24

第15章 I/Oポート (I/O)

15.1	概要	15-3
15.2	ポートA	15-3
	15.2.1 レジスタ構成	15-4
	15.2.2 ポートAデータレジスタL (PADRL)	15-4
15.3	ポートB	15-5
	15.3.1 レジスタ構成	15-5
	15.3.2 ポートBデータレジスタ (PBDR)	15-6
15.4	ポートC	15-7
	15.4.1 レジスタ構成	15-7
	15.4.2 ポートCデータレジスタ (PCDR)	15-8
15.5	ポートD	15-9
	15.5.1 レジスタ構成	15-9
	15.5.2 ポートDデータレジスタL (PDDRL)	15-9
15.6	ポートE	15-11
	15.6.1 レジスタ構成	15-11

15.6.2	ポートEデータレジスタ (PEDR)	15-12
15.7	ポートF	15-13
15.7.1	レジスタ構成	15-13
15.7.2	ポートFデータレジスタ (PFDR)	15-13

第16章 160kBフラッシュメモリ (F-ZTAT) < 暫定仕様 >

16.1	特長	16-3
16.2	概要	16-4
16.2.1	ブロック図	16-4
16.2.2	モード遷移図	16-5
16.2.3	オンボードプログラムモード	16-6
16.2.4	RAMによるフラッシュメモリのエミュレーション	16-8
16.2.5	ブートモードとユーザプログラムモードの相違	16-9
16.2.6	ブロック分割法	16-10
16.3	端子構成	16-10
16.4	レジスタ構成	16-11
16.5	レジスタの説明	16-12
16.5.1	フラッシュメモリコントロールレジスタ1 (FLMCR1)	16-12
16.5.2	フラッシュメモリコントロールレジスタ2 (FLMCR2)	16-15
16.5.3	ブロック指定レジスタ1 (EBR1)	16-16
16.5.4	ブロック指定レジスタ2 (EBR2)	16-16
16.5.5	RAMエミュレーションレジスタ (RAMER)	16-17
16.6	オンボードプログラミングモード	16-19
16.6.1	ブートモード	16-19
16.6.2	ユーザプログラムモード	16-24
16.7	フラッシュメモリの書き込み / 消去	16-25
16.7.1	プログラムモード	16-25
16.7.2	プログラムベリファイモード	16-26
16.7.3	イレースモード	16-32
16.7.4	イレースベリファイモード	16-32
16.8	プロテクト	16-38
16.8.1	ハードウェアプロテクト	16-38
16.8.2	ソフトウェアプロテクト	16-39
16.8.3	エラープロテクト	16-40
16.9	RAMによるフラッシュメモリのエミュレーション	16-41
16.10	フラッシュメモリの書き込み / 消去時の注意	16-43
16.11	フラッシュメモリのライターモード	16-44

16.11.1	ソケットアダプタの端子対応図	16-44
16.11.2	ライターモードの動作	16-46
16.11.3	メモリ読み出しモード	16-47
16.11.4	自動書き込みモード	16-50
16.11.5	自動消去モード	16-52
16.11.6	ステータス読み出しモード	16-53
16.11.7	ステータスポーリング	16-54
16.11.8	ライターモードへの遷移時間	16-55
16.11.9	メモリ書き込み注意事項	16-55

第 17 章 RAM

17.1	概要	17-3
------	----	------

第 18 章 低消費電力状態

18.1	概要	18-3
18.1.1	低消費電力状態の種類	18-3
18.1.2	関連レジスタ	18-4
18.2	スタンバイコントロールレジスタ (SBYCR)	18-5
18.3	スリープモード	18-6
18.3.1	スリープモードへの遷移	18-6
18.3.2	スリープモードの解除	18-6
18.4	スタンバイモード	18-7
18.4.1	スタンバイモードへの遷移	18-7
18.4.2	スタンバイモードの解除	18-9
18.4.3	スタンバイモードの応用例	18-10

第 19 章 電気的特性

19.1	絶対最大定格	19-3
19.2	DC 特性	19-4
19.3	AC 特性	19-7
19.3.1	クロックタイミング	19-7
19.3.2	制御信号タイミング	19-9
19.3.3	バスタイミング	19-11
19.3.4	マルチファンクションタイマパルスユニットタイミング	19-15
19.3.5	I/O ポートタイミング	19-16

19.3.6	シリアルコミュニケーションインタフェースタイミング	19-17
19.3.7	AC 特性測定条件	19-18
19.4	A/D 変換器特性	19-19

付録

A.	内蔵周辺モジュールレジスタ一覧	付録-3
B.	端子状態	付録-6
	B.1 端子状態	付録-6
	B.2 バス関連信号の端子状態	付録-7
C.	ROM 発注手順	付録-8
	C.1 ROM 書き換え品開発の流れ（発注手順）	付録-8
	C.2 ROM 発注時の注意事項	付録-9
D.	型名一覧	付録-10
E.	外形寸法図	付録-11

EOL announced Product

1. 概要

第1章 目次

1.1	SH7018の特長	1-3	
1.2	ブロック図	1-6	
1.3	端子説明	1-7	
	1.3.1	ピン配置	1-7
	1.3.2	端子機能	1-8

Preliminary
EOL announced Product

1.1 SH7018 の特長

本 LSI は、日立オリジナル・アーキテクチャを採用した高速 CPU を核にして、システム構成に必要な周辺機能を集積した CMOS シングルチップマイコンです。

本 LSI の CPU は、RISC (Reduced Instruction Set Computer) タイプの命令セットを持っており、基本的に 1 命令 1 サイクルで動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成となっており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能 / 高機能なシステムを組むことができるようになります。

さらに本 LSI は、システム構成に必要な周辺機能として、ROM、RAM、タイマ、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、割込みコントローラ (INTC)、I/O ポート等を内蔵しています。また、外部メモリアクセスサポート機能により、メモリや周辺 LSI とを効率的に接続できます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTAT™* (Flexible Zero Turn Around Time) 版です。フラッシュメモリは本 LSI の書き込みをサポートしているライタを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み / 消去することもできます。これによりユーザサイトで LSI をボードに組み込んだままの書き換えが可能です。

【注】 * F-ZTAT は、(株)日立製作所の商標です。

表 1.1 特長 (1)

項目	仕様
CPU	日立オリジナル・アーキテクチャを採用 内部 32 ビット構成 汎用レジスタマシン ・ 汎用レジスタ 32 ビット × 16 本 ・ コントロール・レジスタ 32 ビット × 3 本 ・ システム・レジスタ 32 ビット × 4 本 RISC (Reduced Instruction Set Computer) タイプの命令セット ・ 命令長 : 16 ビット固定長による、コード効率の向上 ・ ロードストアアーキテクチャ (基本演算はレジスタ間で実行) ・ 遅延分岐命令の採用で、分岐時のパイプラインの乱れを軽減 ・ C 言語指向の命令セット 命令実行時間 1 命令 / 1 サイクル (20MHz 動作時 : 50ns / 命令) アドレス空間 アーキテクチャ上は 4GB

表 1.1 特長 (2)

項目	仕様
CPU	乗算器内蔵 乗算器内蔵により、 32×32 64 乗算を 2~4 サイクル実行 $32 \times 32 + 64$ 64 積和演算を 2~4 サイクル実行 パイプライン 5 段パイプライン方式
割り込みコントローラ (INTC)	外部割り込み端子 $\times 7$ 本 (NMI、 $\overline{IRQ0}$ ~ $\overline{IRQ3}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ7}$) 16 レベルの優先順位設定が可能
バスステートコントローラ (BSC)	外部メモリ・外部デバイスのバスアクセスをサポート ・外部データバスは 8 ビット固定 アドレス空間を 4 エリアに分割。(SRAM 空間 $\times 4$ エリア) 各々のエリアにウェイトサイクル (0~3 サイクル) を設定可能 各エリアに対応したチップセレクト信号を出力 外部 \overline{WAIT} 信号によるウェイトサイクルの挿入可
マルチファンクションタイマパルスユニット (MTU) $\times 3$ チャンネル	16 ビットフリーランニングカウンタ $\times 3$ ch 8 本のコンペアマッチレジスタ コンペアマッチやオーバフローで割り込み要求を発生
コンペアマッチタイマ (CMT) $\times 2$ チャンネル	16 ビットフリーランニングカウンタ $\times 2$ ch コンペアレジスタ : 1 本/ch コンペアマッチで割り込み要求を発生
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ/インターバルタイマの切り替えが可能 カウントオーバフロー時、内部リセットまたは割り込みを発生
5V 入出力端子	入出力回路用電源 PV_{CC} の設定により、下記端子は入出力電圧レベルを 5V に設定 \overline{RES} 、NMI、PA2/ $\overline{IRQ0}$ 、PB8/ $\overline{IRQ6}$ /A20/ \overline{WAIT} 、PD0/D0 ~ PD7/D7、PA5/SCK、PA4/TxD、PA3/RxD、PE0/TIOC0A、PE2/TIOC0C (計 17 本)
電源端子	電源端子 $V_{CC} = 3.3V$ 入出力回路用電源端子 $PV_{CC} = 5V$
8 ビットタイマ (TIM2)	8 ビットインターバルタイマ機能 コンペアマッチで割り込みを発生
シリアルコミュニケーションインタフェース (SCI)	調歩同期式/クロック同期式モードの選択が可能 (全二重) 専用のボーレートジェネレータ内蔵 マルチプロセッサ間通信機能
I/O ポート	入出力 : 62 本、入力 : 8 本
A/D 変換器	10 ビット $\times 8$ チャンネル サンプル&ホールド機能内蔵

表 1.1 特長 (3)

項目	仕様										
内蔵メモリ	RAM 4kB ROM 160kB (F-ZTAT)										
動作状態	<p>処理状態</p> <ul style="list-style-type: none"> ・プログラム実行状態 ・例外処理状態 <p>動作モード</p> <ul style="list-style-type: none"> ・拡張ROMありモード ・ブートモード ・ユーザプログラムモード ・ライターモード <p>低消費電力状態</p> <ul style="list-style-type: none"> ・スリープモード ・スタンバイモード 										
クロック発振器 (CPG)	クロック発振器内蔵 (デューティ補正回路により 1 : 1 発振)										
製品ラインアップ	<table border="1"> <thead> <tr> <th>略称</th> <th>電圧</th> <th>動作周波数</th> <th>製品型名</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td>SH7018</td> <td>3.3V</td> <td>20MHz</td> <td>HD64F7018VX20</td> <td>TFP-100B</td> </tr> </tbody> </table>	略称	電圧	動作周波数	製品型名	パッケージ	SH7018	3.3V	20MHz	HD64F7018VX20	TFP-100B
略称	電圧	動作周波数	製品型名	パッケージ							
SH7018	3.3V	20MHz	HD64F7018VX20	TFP-100B							

1.2 ブロック図

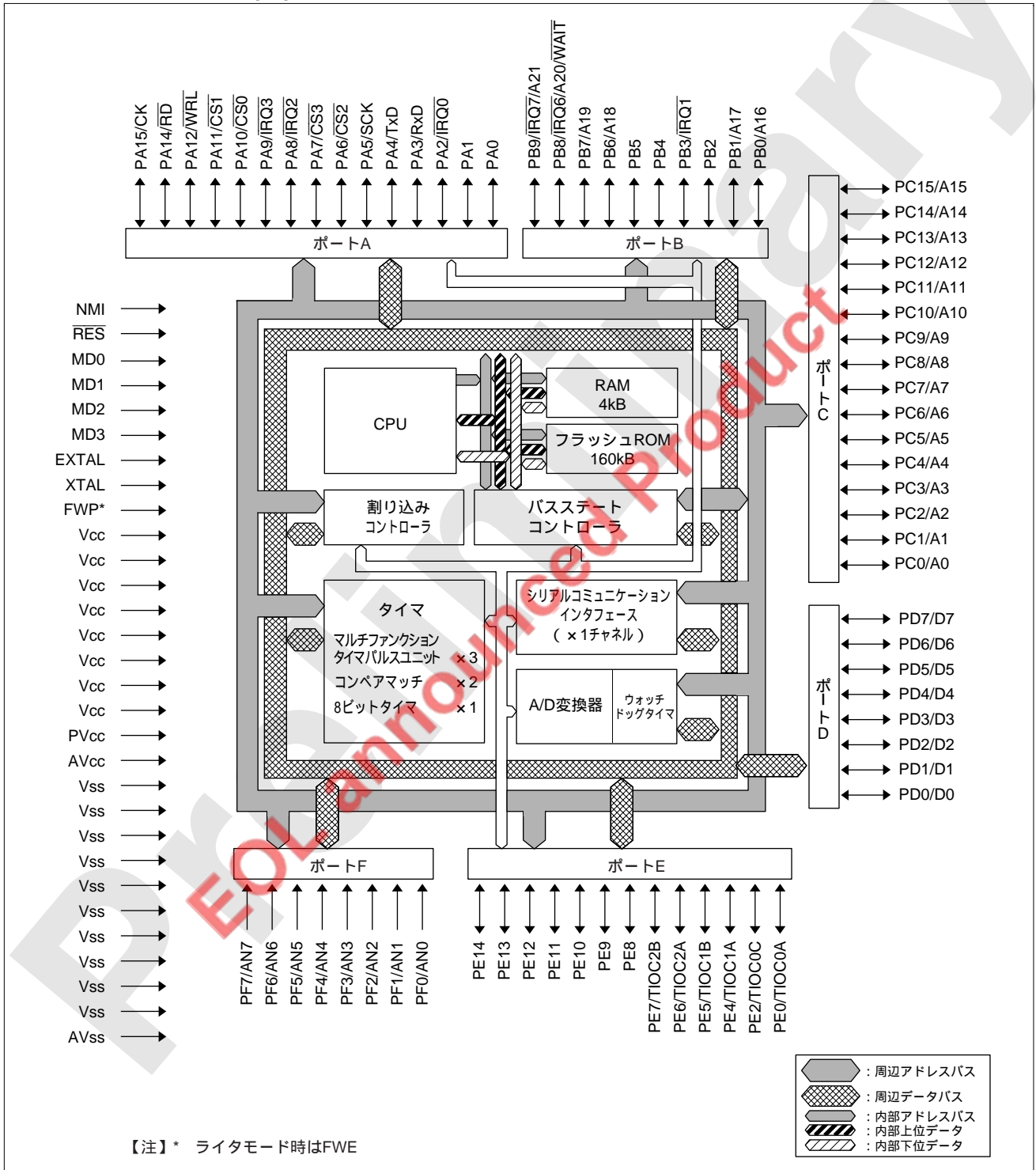


図 1.1 SH7018 内部ブロック図 (TFP-100B ピン)

1.3 端子説明

1.3.1 ピン配置

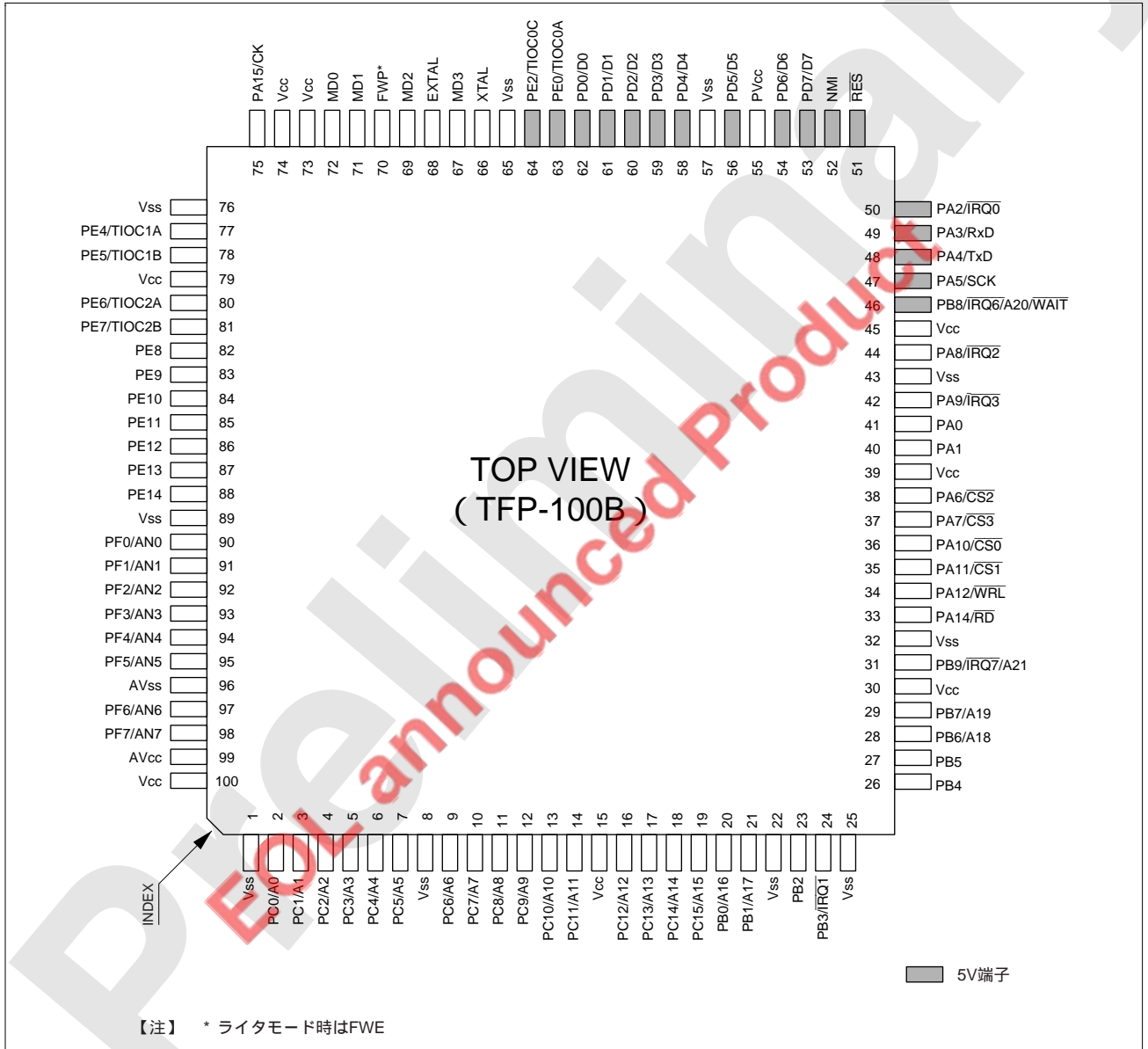


図 1.2 SH7018 ピン配置 (TFP-100B : 上面図)

1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	Vcc 端子は、すべてのシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランドに接続します。 Vss 端子は、すべてのシステムのグランドに接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力回路用の電源です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	入力	クリスタル	水晶発振子を接続します。
	CK	出力	システムクロック	周辺デバイスにシステムクロックを供給します。
システム制御	$\overline{\text{RES}}$	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
動作モード制御	MD0 ~ MD3	入力	モード設定	動作モードを決める端子です。 動作中は、入力値を変化させないでください。
	FWP	入力	フラッシュメモリ 書き込み阻止	フラッシュメモリの書き込み / 消去をプロテクトすることができます。
割り込み	NMI	入力	ノンマスクابل 割り込み	マスク不可能な割り込み要求端子です。 立上りエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$	入力	割り込み要求 0 ~ 3、6、7	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。
アドレスバス	A0 ~ A21	出力	アドレスバス	アドレスを出力します。
データバス	D0 ~ D7	入出力	データバス	8ビットの双方向データバスです。
バス制御	$\overline{\text{CS0}} \sim \overline{\text{CS3}}$	出力	チップセレクト 0 ~ 3	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{\text{RD}}$	出力	読み出し	外部のデバイスから読みだすことを示します。
	$\overline{\text{WR}}$	出力	書き込み	外部のデータの下位 8ビット (ビット 7 ~ 0) に書き込みすることを示します。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。

(続く)

表 1.2 端子の機能 (続き)

分類	記号	入出力	名称	機能
マルチファンクション タイマパルスユニット (MTU)	TIOC0A TIOC0C	入出力	MTU インพุットキャ プチャ/アウトプット コンペア (チャンネル0)	チャンネル0のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOC1A TIOC1B	入出力	MTU インพุットキャ プチャ/アウトプット コンペア (チャンネル1)	チャンネル1のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOC2A TIOC2B	入出力	MTU インพุットキャ プチャ/アウトプット コンペア (チャンネル2)	チャンネル2のインพุットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
シリアルコミュニケー ション インタフェース (SCI)	TxD	出力	送信データ	送信データ出力端子です。
	RxD	入力	受信データ	受信データ入力端子です。
	SCK	入出力	シリアルクロック	クロック入出力端子です。
A/D 変換器	AVcc	入力	アナログ電源	アナログ電源で Vcc の電位を接続します。
	AVss	入力	アナロググランド	アナログ電源で Vss の電位を接続します。
	AN0 ~ AN7	入力	アナログ入力	アナログ信号入力端子です。
I/O ポート	PA15, 14, 12 ~ 0	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PB9 ~ 0	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PC15 ~ 0	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PD7 ~ 0	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PE14 ~ 4, 2, 0	入出力	汎用ポート	汎用入出力ポート端子です。 1ビットごとに入出力を指定できます。
	PF7 ~ 0	入力	汎用ポート	汎用入出力ポート端子です。

2. CPU

第2章 目次

2.1	レジスタ構成	2-3
2.1.1	汎用レジスタ (Rn)	2-3
2.1.2	コントロールレジスタ	2-4
2.1.3	システムレジスタ	2-5
2.1.4	レジスタの初期値	2-5
2.2	データ形式	2-6
2.2.1	レジスタのデータ形式	2-6
2.2.2	メモリ上でのデータ形式	2-6
2.2.3	イミディエイトデータのデータ形式	2-6
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-10
2.3.3	命令形式	2-13
2.4	命令セット	2-15
2.4.1	分類順命令セット	2-15
2.5	処理状態	2-23
2.5.1	状態遷移	2-23
2.5.2	低消費電力状態	2-25

Preliminary
EOL announced Product

2.1 レジスタ構成

レジスタは、汎用レジスタ (32 ビット×16 本)、コントロールレジスタ (32 ビット×3 本)、システムレジスタ (32 ビット×4 本) の 3 種類があります。

2.1.1 汎用レジスタ (Rn)

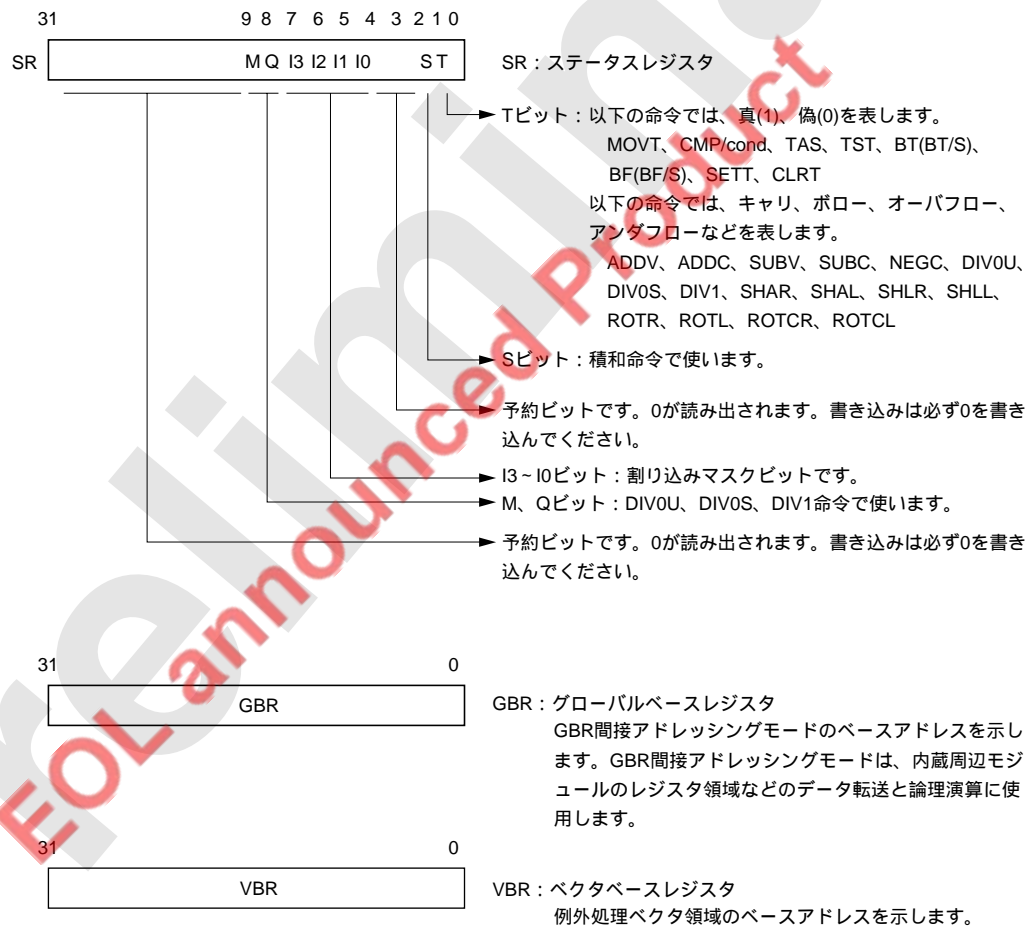
汎用レジスタ (Rn) は、32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ (SP) として使われます。例外処理でのステータスレジスタ (SR) とプログラムカウンタ (PC) の退避、回復は R15 を用いてスタックを参照し行います。

31	0
R0 ^{*1}	
R1	
R2	
R3	
R4	
R5	
R6	
R7	
R8	
R9	
R10	
R11	
R12	
R13	
R14	
R15、SP(ハードウェアスタックポインタ) ^{*2}	

- 【注】 *1 インデックス付きレジスタ間接、インデックス付きGBR間接アドレッシングモードの インデックスレジスタとしても使用します。命令によっては、ソースまたはデスティネーションレジスタをR0に 固定しているものがあります。
*2 R15は例外処理の中で、ハードウェアスタックポインタとして使用されます。

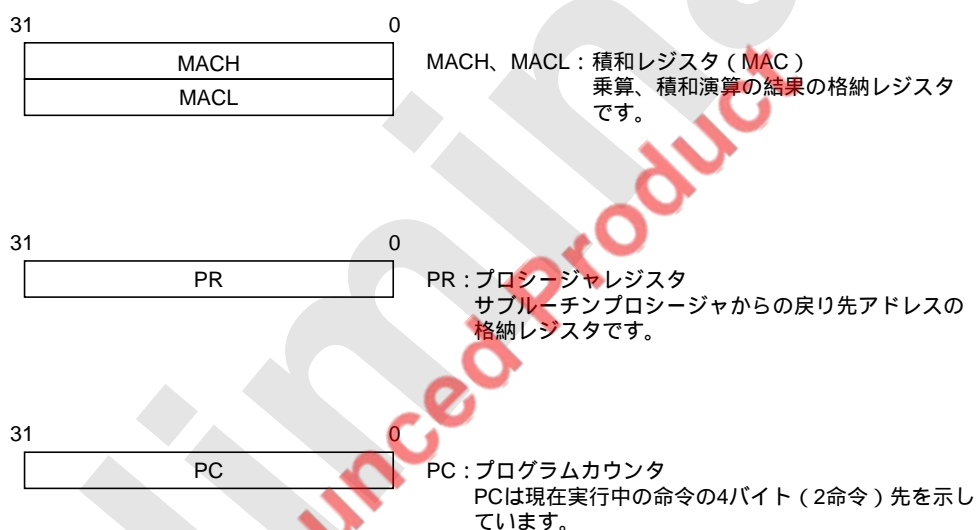
2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。



2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL の 2 本)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。



2.1.4 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します

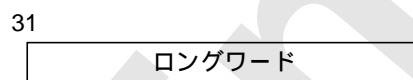
表 2.1 レジスタの初期値

区 分	レジスタ	初 期 値
汎用レジスタ	R0 ~ R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3 ~ I0 は 1111 (H'F)、予約ビットは 0、 その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

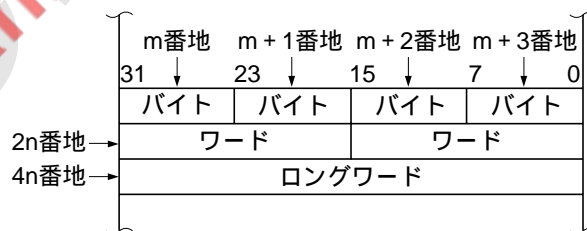
レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張し、レジスタに格納します。



2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証しません。特に、ハードウェアスタックポインタ(SP, R15)が指し示すスタックにはプログラムカウンタ(PC)とステータスレジスタ(SR)をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。



2.2.3 イミディエイトデータのデータ形式

バイト(8ビット)のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位24ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付きPC相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令(MOV)で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令 / 1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。20MHz 動作時、1 ステートは 50ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト / ワード / ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp, PC), R1	32 ビットに符号拡張され、R1 は	ADD.W #H'1234, R0
ADD R1, R0	H'00001234 になります。	
.....	次に ADD 命令で演算されます	
DATA.W H'1234		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します (ロードストアアーキテクチャ)。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付分岐命令には遅延分岐命令と通常分岐命令の 2 通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU		説 明	他の CPU の例	
BRA	TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W	R1, R0
ADD	R1, R0		BRA	TRGET

(6) 乗算 / 積和演算

16×16 32 の乗算を 1~2 ステート、16×16+64 64 の積和演算を 2~3 ステートで実行します。32×32 64 の乗算や、32×32+64 64 の積和演算を 2~4 ステートで実行します。

(7) T ビット

比較結果は SR の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

本 LSI の CPU		説 明	他の CPU の例	
CMP/GE	R1, R0	R0 > R1 のとき T ビットがセットされます。	CMP.W	R1, R0
BT	TRGET0	R0 > R1 のとき TRGET0 へ分岐します。	BGE	TRGET0
BF	TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT	TRGET1
ADD	#1, R0	ADD では T ビットが変化しません。	SUB.W	#1, R0
CMP/EQ	#0, R0	R0 = 0 のとき T ビットがセットされます。	BEQ	TRGET
BT	TRGET	R0 = 0 のとき分岐します。		

(8) イミディエイトデータ

バイト (8 ビット) のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令 (MOV) で参照します。

表 2.5 イミディエイトデータによる参照

区 分	本 LSI の CPU		他の CPU の例	
8 ビットイミディエイト	MOV	#H'12, R0	MOV.B	#H'12, R0
16 ビットイミディエイト	MOV.W	@ (disp, PC) , R0	MOV.W	#H'1234, R0
	DATA.W H'1234		
32 ビットイミディエイト	MOV.L	@ (disp, PC) , R0	MOV.L	#H'12345678, R0
	DATA.L H'12345678		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @ (disp, PC) , R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	
	.DATA.L H'12345678	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(10) 16 ビット / 32 ビットディスプレースメント

16 ビット、または 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照

区 分	本 LSI の CPU	他の CPU の例
16 ビットディスプレースメント	MOV.W @ (disp , PC) , R0	MOV.W @ (H'1234, R1) , R2
	MOV.W @ (R0 , R1) , R2	
	
	.DATA.W H'1234	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス


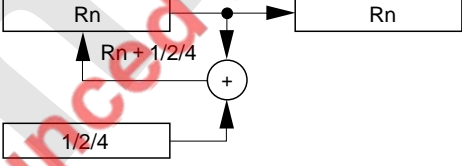
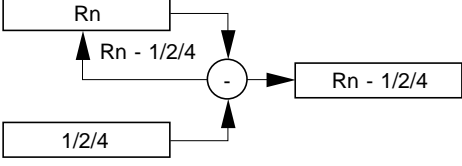
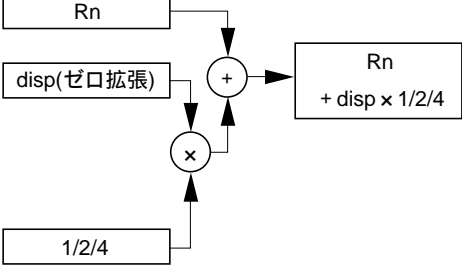
アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn + 1 Rn ワード : Rn + 2 Rn ロングワード : Rn + 4 Rn
プリデクリメントレジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn - 1 Rn ワード : Rn - 2 Rn ロングワード : Rn - 4 Rn (計算後の Rn で命令実行)
ディスプレイメント付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp ワード : Rn + disp × 2 ロングワード : Rn + disp × 4

表 2.8 アドレッシングモードと実効アドレス (続き)

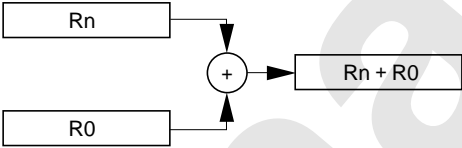
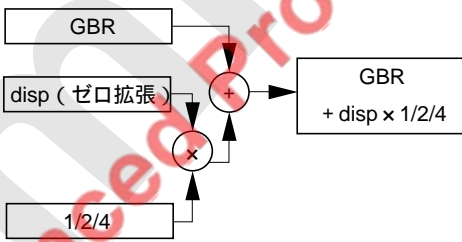
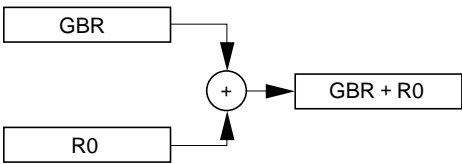
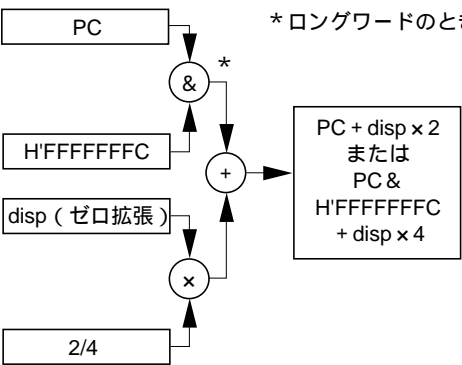
アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイメント付き GBR 間接	@ (disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@ (R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイメント付き PC 相対	@ (disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

表 2.8 アドレッシングモードと実効アドレス (続き)

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> <pre> graph TD PC[PC] --> Add((+)) Disp[disp (符号拡張)] --> Add Add --> Mult((x)) Two[2] --> Mult Mult --> Result[PC + disp x 2] </pre>	$PC + disp \times 2$
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> <pre> graph TD PC[PC] --> Add((+)) Disp[disp (符号拡張)] --> Add Add --> Mult((x)) Two[2] --> Mult Mult --> Result[PC + disp x 2] </pre>	$PC + disp \times 2$
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> <pre> graph TD PC[PC] --> Add((+)) Rn[Rn] --> Add Add --> Result[PC + Rn] </pre>	$PC + Rn$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxxx : 命令コード
 mmmmm : ソースレジスタ
 nnnnn : デスティネーションレジスタ
 iiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式				NOP
n 形式			nnnn : レジスタ直接	MOV.T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@-Rn
m 形式		mmmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmmm : レジスタ間接		JMP @Rm
		mmmmm : Rm を用いた PC 相対		BRAF Rm
nm 形式		mmmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : * ポストインクリメント レジスタ間接 (積和演算)	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)

【注】 * 積和命令では nnnn は、ソースレジスタです。

表 2.9 命令形式 (続き)

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
md 形式		mmmmdddd : ディスプレースメント付 きレジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式		R0 (レジスタ直接)	nnnndddd : ディスプレースメント付 きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式		mmmm : レジスタ直接	nnnndddd : ディスプレースメント付 きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレースメント付 きレジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
d 形式		dddddddd : ディスプレースメント付 き GBR 間接	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		R0 (レジスタ直接)	dddddddd : ディスプレースメント付 き GBR 間接	MOV.L R0,@(disp,GBR)
		dddddddd : ディスプレースメント付 き PC 相対	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		dddddddd : PC 相対		BF label
d12 形式		dddddddddddd : PC 相 対		BRA label (label=disp+PC)
nd8 形式		dddddddd : ディスプレースメント付 き PC 相対	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
i 形式		iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト		TRAPA #imm
ni 形式		iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVT	Tビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2進加算	33
		ADDC	キャリ付き2加算	
		ADDV	オーバーフロー付き2進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2進減算	
		SUBC	ポロー付き2減算	
SUBV	アンダフロー付き2進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	

(続く)

表 2.10 命令の分類 (続き)

分 類	命令の種類	オペコード	機 能	命令数
シフト命令	10	ROTL	1 ビット左回転	14
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T = 0 で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T = 1 で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御 命令	11	CLRT	T ビットのクリア	31
		CLRMAC	MAC レジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無条件	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
TRAPA	トラップ例外処理			
	計 62			142

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示しています。	MSB LSB の順で表示 しています。	動作の概略を表示しています。	ノーウェイト のときの値で す。*1	命令実行後の、T ビットの値を表 示しています。
記号の説明	記号の説明	記号の説明		
OP, Sz, SRC, DEST	mmmm: ソースレジスタ	、 : 転送方向		
OP: オペコード	nnnn: デスティネーション レジスタ	(xx): メモリオペランド		記号の説明
Sz: サイズ		M/Q/T: SR 内のフラグビット		: 変化
SRC: ソース	0000: R0	&: ビットごとの論理積		しない
DEST: デスティネーション	0001: R1	: ビットごとの論理和		
Rm: ソースレジスタ	^: ビットごとの排他的論 理和		
Rn: デスティネーション レジスタ	1111: R15	~: ビットごとの論理否定		
imm: イミディエイトデータ	iiii: イミディエイト データ	<<n: 左 n ビットシフト		
disp: ディスプレースメント*2	dddd: ディスプレース メント	>>n: 右 n ビットシフト		

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
 - (2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合
- などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング(×1、×2、×4)されます。

詳細は「SH-1/SH-2/SH-DSP プログラミングマニュアル」を参照してください。

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiii	#imm 符号拡張 Rn	1	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp × 2 + PC) 符号拡張 Rn	1	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp × 4 + PC) Rn	1	
MOV Rm, Rn	0110nnnnmmmm0011	Rm Rn	1	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm (Rn)	1	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm (Rn)	1	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm (Rn)	1	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) 符号拡張 Rn	1	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) 符号拡張 Rn	1	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) Rn	1	
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn - 1 Rn, Rm (Rn)	1	
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn - 2 Rn, Rm (Rn)	1	
OV.L Rm, @-Rn	0010nnnnmmmm0110	Rn - 4 Rn, Rm (Rn)	1	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) 符号拡張 Rn, Rm + 1 Rm	1	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) 符号拡張 Rn, Rm + 2 Rm	1	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) Rn, Rm + 4 Rm	1	
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0 (disp + Rn)	1	
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0 (disp × 2 + Rn)	1	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm (disp × 4 + Rn)	1	
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp + Rm) 符号拡張 R0	1	
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp × 2 + Rm) 符号拡張 R0	1	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp × 4 + Rm) Rn	1	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm (R0 + Rn)	1	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm (R0 + Rn)	1	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm (R0 + Rn)	1	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0 + Rm) 符号拡張 Rn	1	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0 + Rm) 符号拡張 Rn	1	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0 + Rm) Rn	1	
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0 (disp + GBR)	1	
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0 (disp × 2 + GBR)	1	
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0 (disp × 4 + GBR)	1	
MOV.B @(disp, GBR), R0	11000100ddddddd	(disp + GBR) 符号拡張 R0	1	
MOV.W @(disp, GBR), R0	11000101ddddddd	(disp × 2 + GBR) 符号拡張 R0	1	
MOV.L @(disp, GBR), R0	11000110ddddddd	(disp × 4 + GBR) R0	1	
MOVA @(disp, PC), R0	11000111ddddddd	disp × 4 + PC R0	1	
MOVT Rn	0000nnnn00101001	T Rn	1	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm 下位 2 バイトの上下バイト交換 Rn	1	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm 上下ワード交換 Rn	1	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央 32 ビット Rn	1	

(2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn + Rm Rn	1	
ADD #imm, Rn	0111nnnniiiiiii	Rn + imm Rn	1	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn + Rm + T Rn, キャリ T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn + Rm Rn, オーバフロー T	1	オーバフロー
CMP/EQ #imm, R0	10001000iiiiiii	R0 = imm のとき 1 T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn = Rm のとき 1 T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn Rm のとき 1 T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn Rm のとき 1 T	1	比較結果
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1 T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1 T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1 T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn = 0 のとき 1 T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1 T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB Q, Rm の MSB M, M^Q T	1	計算結果
DIV0U	0000000000011001	0 M/Q/T	1	0
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm MACH, MACL 32 × 32 64 ビット	2 ~ 4 ^{*1}	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm MACH, MACL 32 × 32 64 ビット	2 ~ 4 ^{*1}	
DT Rn	0100nnnn00010000	Rn - 1 Rn, Rn が 0 のとき 1 T Rn が 0 以外のとき 0 T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張 Rn	1	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張 Rn	1	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張 Rn	1	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張 Rn	1	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 32 × 32 + 64 64 ビット	3/(2 ~ 4) ^{*1}	
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC MAC 16 × 16 + 64 64 ビット	3/(2) ^{*1}	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm MACL 32 × 32 32 ビット	2 ~ 4 ^{*1}	
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm MAC 16 × 16 32 ビット	1 ~ 3 ^{*1}	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm MAC 16 × 16 32 ビット	1 ~ 3 ^{*1}	
NEG Rm, Rn	0110nnnnmmmm1011	0 - Rm Rn	1	
NEGC Rm, Rn	0110nnnnmmmm1010	0 - Rm - T Rn, ボロー T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn - Rm Rn	1	
SUBC Rm, Rn	0011nnnnmmmm1010	Rn - Rm - T Rn, ボロー T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn - Rm Rn, アンダフロー T	1	オーバフロー

【注】 *1 通常実行ステートを示します。()内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm Rn	1	
AND #imm, R0	11001001iiiiiii	R0 & imm R0	1	
AND.B #imm, @(R0, GBR)	11001101iiiiiii	(R0 + GBR) & imm (R0 + GBR)	3	
NOT Rm, Rn	0110nnnnmmmm0111	~Rm Rn	1	
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm Rn	1	
OR #imm, R0	11001011iiiiiii	R0 imm R0	1	
OR.B #imm, @(R0, GBR)	11001111iiiiiii	(R0 + GBR) imm (R0 + GBR)	3	
TAS.B @Rn*	0100nnnn00011011	(Rn) が 0 のとき 1 T, 1 MSB of (Rn)	4	テスト結果
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1 T	1	テスト結果
TST #imm, R0	11001000iiiiiii	R0 & imm, 結果が 0 のとき 1 T	1	テスト結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	(R0 + GBR) & imm, 結果が 0 のとき 1 T	3	テスト結果
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm Rn	1	
XOR #imm, R0	11001010iiiiiii	R0 ^ imm R0	1	
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	(R0 + GBR) ^ imm (R0 + GBR)	3	

【注】 * TAS 命令の実行サイクルの読み出しサイクルと書き込みサイクルの間には内蔵 DMAC のバスサイクルは入りません。

(4) シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	T Rn MSB	1	MSB
ROTR Rn	0100nnnn00000101	LSB Rn T	1	LSB
ROTCL Rn	0100nnnn00100100	T Rn T	1	MSB
ROTCL Rn	0100nnnn00100101	T Rn T	1	LSB
SHAL Rn	0100nnnn00100000	T Rn 0	1	MSB
SHAR Rn	0100nnnn00100001	MSB Rn T	1	LSB
SHLL Rn	0100nnnn00000000	T Rn 0	1	MSB
SHLR Rn	0100nnnn00000001	0 Rn T	1	LSB
SHLL2 Rn	0100nnnn00001000	Rn << 2 Rn	1	
SHLR2 Rn	0100nnnn00001001	Rn >> 2 Rn	1	
SHLL8 Rn	0100nnnn00011000	Rn << 8 Rn	1	
SHLR8 Rn	0100nnnn00011001	Rn >> 8 Rn	1	
SHLL16 Rn	0100nnnn00101000	Rn << 16 Rn	1	
SHLR16 Rn	0100nnnn00101001	Rn >> 16 Rn	1	

(5) 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット
BF label	10001011dddddddd	T=0 のとき disp × 2 + PC PC, T=1 のとき NOP	3/1*2	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp × 2 + PC PC, T=1 のとき NOP	3/1*2	
BT label	10001001dddddddd	T=1 のとき disp × 2 + PC PC, T=0 のとき NOP	3/1*2	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp × 2 + PC PC, T=0 のとき NOP	2/1*2	
BRA label	1010dddddddddddd	遅延分岐、disp × 2 + PC PC	2	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm + PC PC	2	
BSR label	1011dddddddddddd	遅延分岐、PC PR, disp × 2 + PC PC	2	
BSRF Rm	0000mmmm00000011	遅延分岐、PC PR, Rm + PC PC	2	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm PC	2	
JSR @Rm	0100mmmm00001011	遅延分岐、PC PR, Rm PC	2	
RTS	0000000000001011	遅延分岐、PR PC	2	

【注】 *2 分岐しないときは 1 ステートになります。

(6) システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
CLRT	0000000000001000	0 T	1	0
CLRMAC	000000000101000	0 MACH, MACL	1	
LDC Rm, SR	0100mmmm00001110	Rm SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm GBR	1	
LDC Rm, VBR	0100mmmm00101110	Rm VBR	1	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) SR, Rm+4 Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) GBR, Rm+4 Rm	3	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) VBR, Rm+4 Rm	3	
LDS Rm, MACH	0100mmmm00001010	Rm MACH	1	
LDS Rm, MACL	0100mmmm00011010	Rm MACL	1	
LDS Rm, PR	0100mmmm00101010	Rm PR	1	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) MACH, Rm+4 Rm	1	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) MACL, Rm+4 Rm	1	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) PR, Rm+4 Rm	1	
NOP	0000000000001001	無操作	1	
RTE	000000000101011	遅延分岐、スタック領域 PC/SR	4	
SETT	0000000000011000	1 T	1	1
SLEEP	0000000000011011	スリープ	3 ^{*3}	
STC SR, Rn	0000nnnn00000010	SR Rn	1	
STC GBR, Rn	0000nnnn00010010	GBR Rn	1	
STC VBR, Rn	0000nnnn00100010	VBR Rn	1	
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 Rn, SR (Rn)	2	
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 Rn, GBR (Rn)	2	
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 Rn, VBR (Rn)	2	
STS MACH, Rn	0000nnnn00001010	MACH Rn	1	
STS MACL, Rn	0000nnnn00011010	MACL Rn	1	
STS PR, Rn	0000nnnn00101010	PR Rn	1	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 Rn, MACH (Rn)	1	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 Rn, MACL (Rn)	1	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 Rn, PR (Rn)	1	
TRAPA #imm	11000011iiiiiiii	PC/SR スタック領域、(imm) PC	8	

【注】 *3 スリープ状態に遷移するまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令(メモリ レジスタ)のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の4種類があります。状態間の遷移を図2.1に示します。

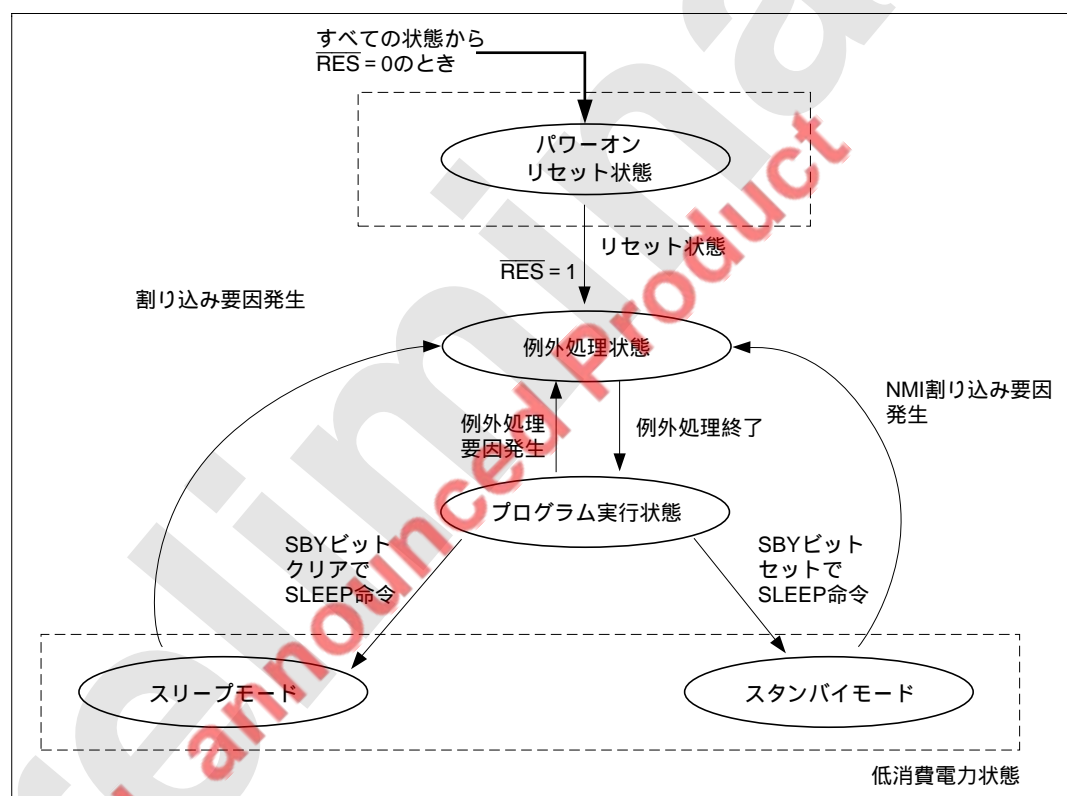


図 2.1 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、スタンバイモードの2つのモードがあります。

2.5.2 低消費電力状態

CPU の処理状態の一つとして、通常のプログラム実行状態のほかに、CPU の動作を停止し、消費電力を低くする低消費電力状態があります。低消費電力状態には、スリープモード、スタンバイモードの2つのモードがあります。

(1) スリープモード

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 0 にクリアして、SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモードでは、CPU の動作は停止しますが、CPU の内部レジスタの内容と内蔵 RAM のデータは保持されます。CPU 以外の内蔵周辺モジュールの機能は停止しません。

スリープモードからの復帰は、パワーオンリセット、またはすべての割り込みによって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。

(2) スタンバイモード

SBYCR の SBY を 1 にセットして、SLEEP 命令を実行すると、スタンバイモードになります。スタンバイモードでは、CPU、内蔵周辺モジュール、および発振器のすべての機能が停止します。乗算系命令の実行中にスタンバイに入った場合は、MACH、MACL の値は不定になります。

スタンバイモードからの復帰は、パワーオンリセット、NMI 割り込みにより行われます。リセットの場合は、発振安定時間の後、例外処理状態を経て通常のプログラム実行状態へ遷移します。NMI 割り込みの場合は、発振安定時間経過後、例外処理状態を経て通常のプログラム実行状態へ遷移します。

本モードでは、発振器が停止しますので、消費電力は著しく低減されます。

表 2.11 低消費電力状態

モード	遷移の条件	状態						解除方法
		クロック	CPU	内蔵周辺モジュール	CPU レジスタ	内蔵 RAM	I/O ポート端子	
スリープモード	SBYCR の SBY をクリアした状態で、SLEEP 命令を実行	動作	停止	動作	保持	保持	保持	(1) 割り込み (2) パワーオンリセット
スタンバイモード	SBYCR の SBY をセットした状態で、SLEEP 命令を実行	停止	停止	停止および初期化*	保持	保持	保持または Hi-Z (設定可)	(1) NMI 割り込み (2) パワーオンリセット

【注】 * それぞれの周辺モジュール、端子によって異なります。

3. 動作モード

第3章 目次

3.1	動作モードの種類と選択	3-3
3.2	各動作モードの説明	3-4
3.3	端子構成	3-5

Preliminary
EOL announced Product

3.1 動作モードの種類と選択

本 LSI には MCU モード、ブートモード、ユーザプログラムモード、およびライターモードの 4 つの動作モードがあります。モード端子 (MD3 ~ MD0) の設定により、LSI は決められた動作モードで動作します。モード端子は LSI 動作中 (電源印加中) には、変化させないでください。

表 3.1 に動作モードの設定方法を示します。

表 3.1 動作モードの設定

端子設定					動作モード名	内蔵 ROM	CS0 空間
FWP	MD3*1	MD2*1	MD1	MD0			
1	0	0	1	0	MCU モード	有効	8 ビット空間*2
0	0	0	0	0	ブートモード*1	有効	8 ビット空間*2
0	0	0	1	0	ユーザプログラムモード*1	有効	8 ビット空間*2
1	1	1	0	1	ライターモード*1	有効	-

【注】 *1 F-ZTAT のみ。

*2 BSC の BCR1 で設定。

3.2 各動作モードの説明

(1) MCU モード

MCUモードでは、内蔵 ROM が有効となります。内蔵 ROM 空間でのバス幅は 32 ビットです。

(2) ブートモード

ブートモードについては、「16.6.1 ブートモード」を参照してください。

(3) ユーザプログラムモード

ユーザプログラムモードについては「16.6.2 ユーザプログラムモード」を参照してください。

(4) ライタモード

ライタモードについては、「16.11 フラッシュメモリのライタモード」を参照してください。

3.3 端子構成

動作モードに関係した各端子の機能を表 3.2 に示します。

表 3.2 端子の機能

機能名	入出力	機 能
XTAL	入力	水晶発振子を接続
EXTAL	入力	水晶発振子を接続、または外部クロック入力端子
MD0	入力	この端子に印加するレベルで動作モードを指定
MD1	入力	この端子に印加するレベルで動作モードを指定
MD2	入力	この端子に印加するレベルで動作モードを指定
MD3	入力	この端子に印加するレベルで動作モードを指定

4. クロック発振器 (CPG)

第4章 目次

4.1	概要	4-3
4.2	クロックソース	4-4
	4.2.1 水晶発振子の接続方法	4-4
	4.2.2 外部クロックの入力方法	4-5
4.3	使用上の注意	4-6

Preliminary
EOL announced Product

4.1 概要

クロック発振器 (CPG) は、SH7018 内部と外部デバイスにクロックパルスを供給します。SH7018 の CPG は、水晶発振子の発振周波数と同じ周波数で SH7018 を動作させます。CPG は、発振器とデューティ補正回路で構成されています (図 4.1)。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2 通りがあります。



図 4.1 CPG のブロック図

4.2 クロックソース

クロックパルスのソースとして、水晶発振器と外部クロックのどちらかを選ぶことができます。

4.2.1 水晶発振子の接続方法

(1) 回路構成

図 4.2 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表 4.1 に示すものを使用してください。水晶発振子は、システムクロック (CK) と同じ周波数の、AT カット並列共振型のものを使ってください。また、図のように、負荷容量 ($CL1$ 、 $CL2$) を必ず接続してください。

水晶発振器と内部の発振器によって生成されたクロックパルスは、デューティ補正回路に送られ、そこでデューティが補正された後、SH7018 内部と外部デバイスに供給されます。

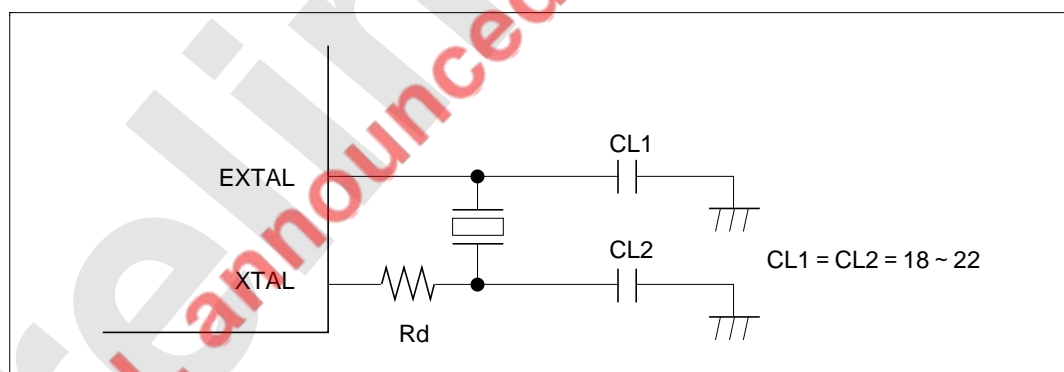


図 4.2 水晶発振子の接続例

表 4.1 ダンピング抵抗値

周波数 (MHz)	20
R_d ()	0

(2) 水晶発振子

図 4.3 に水晶発振子の等価回路を示します。水晶発振子は表 4.2 に示す特性のものを使用してください。

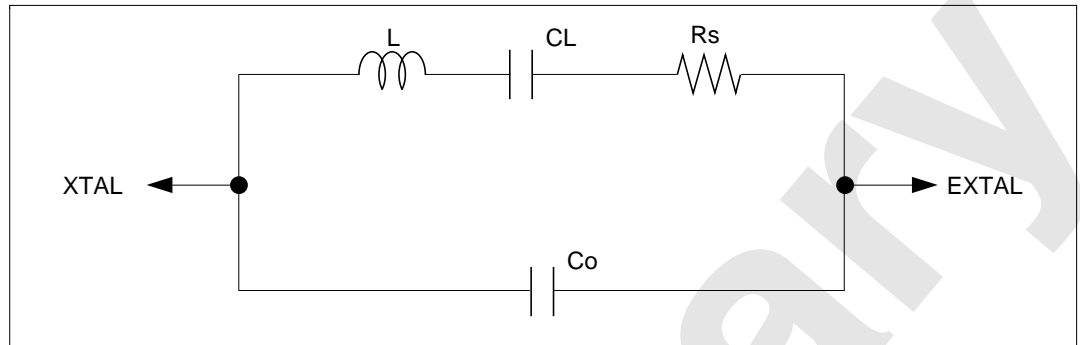


図 4.3 水晶発振子の等価回路

表 4.2 水晶発振子の特性

パラメータ	周波数 (MHz)
	20
Rs max ()	60
Co max (pF)	7

4.2.2 外部クロックの入力方法

外部クロックはEXTAL 端子に入力し、XTAL 端子は開放してください(図 4.4)。外部クロックはシステムクロック (CK) と同じ周波数にしてください。

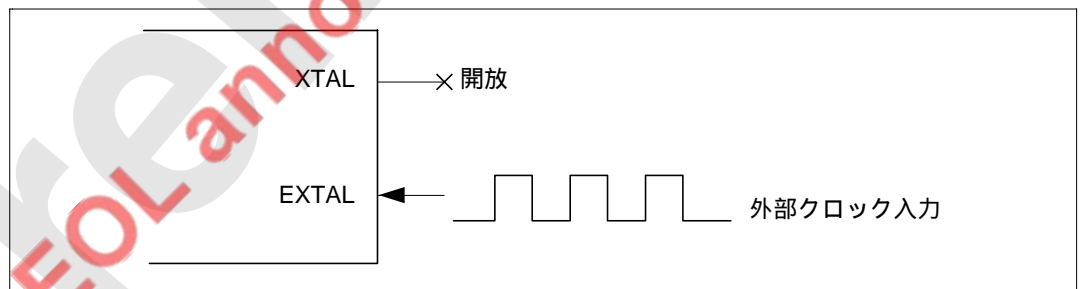


図 4.4 外部クロックの入力方法

4.3 使用上の注意

(1) ボード設計上の注意

水晶発振子と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください(図 4.5)。誘導のために正しい発振ができなくなることがあります。

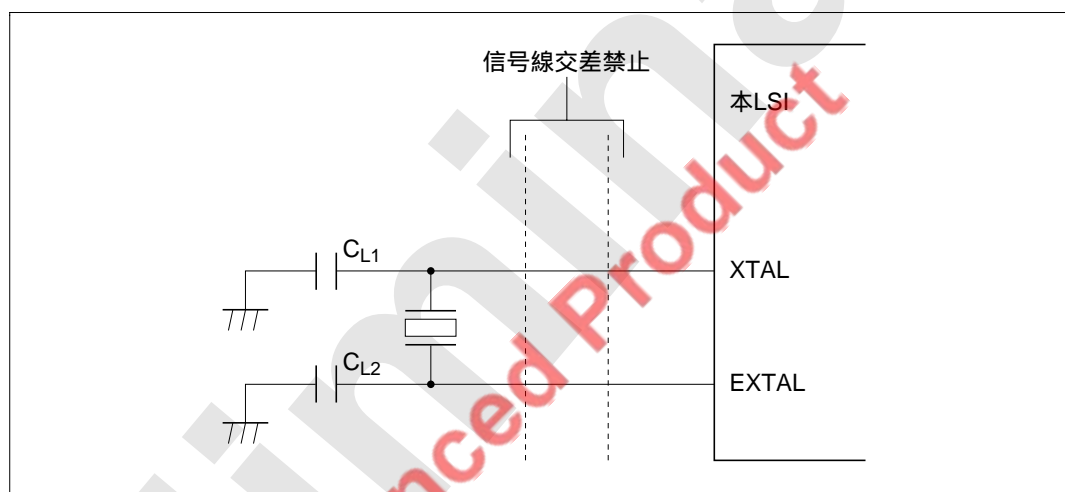


図 4.5 ボード設計上の注意

(2) デューティ補正に関する注意

5MHz 以上の入力クロックに対して、デューティ補正が行われます。5MHz 以下に対してはデューティ補正されないことがありますが、AC 特性のクロックハイレベル幅 (t_{CH})、クロックローレベル幅 (t_{CL}) は満足し、かつ SH7018 内部は問題なく動作します。図 4.6 にデューティ補正回路の基本特性を示します。

なお、本デューティ補正回路は、入力クロックの過渡的な変動やジッタに対して補正するものではありません。すなわち、デューティ補正が行われて、安定したクロックが得られるまでに、数 10 μ s の時間が必要となります。

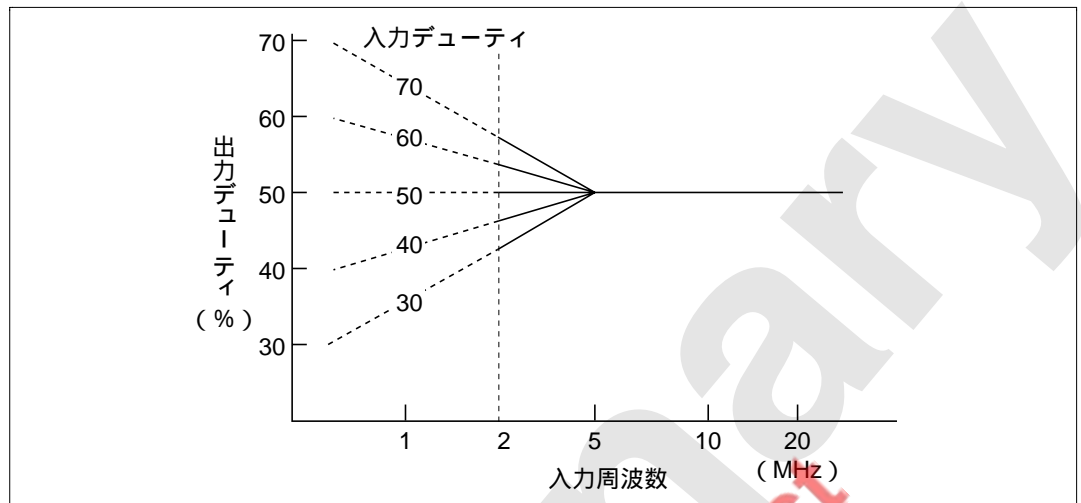


図 4.6 デューティ補正回路の特性

5. 例外処理

第5章 目次

5.1	概要	5-3
5.1.1	例外処理の種類と優先順位	5-3
5.1.2	例外処理の種類と優先順位	5-4
5.1.3	例外処理ベクタテーブル	5-5
5.2	リセット	5-8
5.2.1	リセットの種類	5-8
5.2.2	パワーオンリセット	5-8
5.3	アドレスエラー	5-9
5.3.1	アドレスエラー発生要因	5-9
5.3.2	アドレスエラー例外処理	5-9
5.4	割り込み	5-10
5.4.1	割り込み要因	5-10
5.4.2	割り込み優先順位	5-11
5.4.3	割り込み例外処理	5-11
5.5	命令による例外	5-12
5.5.1	命令による例外の種類	5-12
5.5.2	トラップ命令	5-12
5.5.3	スロット不当命令	5-13
5.5.4	一般不当命令	5-13
5.6	例外処理が受け付けられない場合	5-14
5.6.1	遅延分岐命令の直後	5-14
5.6.2	割り込み禁止命令の直後	5-14
5.7	例外処理後のスタックの状態	5-15
5.8	使用上の注意	5-16
5.8.1	スタックポインタ (SP) の値	5-16
5.8.2	ベクタベースレジスタ (VBR) の値	5-16
5.8.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-16

Preliminary
EOL announced Product

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位にしたがって受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

例外処理		優先順位	
リセット	パワーオンリセット	高 ↑ 低	
アドレスエラー	CPUアドレスエラー		
割り込み	NMI		
	IRQ		
	内蔵周辺モジュール		マルチファンクションタイマパルスユニット (MTU)
			シリアルコミュニケーションインタフェース (SCI)
			A/D変換器 (A/D)
			コンペアマッチタイマ (CMT)
			ウォッチドッグタイマ (WDT)
	8ビットタイマ (TIM2)		
命令	トラップ命令 (TRAPA命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令*1直後に配置された未定義コードまたはPCを書き換える命令*2)		

【注】 *1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 PCを書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA

5.1.2 例外処理の種類と優先順位

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
パワーオンリセット		\overline{RES} 端子のローレベルからハイレベルへの変化で開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了
割り込み		後開始される
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令(遅延スロット)以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令(遅延スロット)に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ (PC) とスタックポインタ (SP) の初期値を例外処理ベクタテーブル (PC、SP をそれぞれ、H'00000000 番地、H'00000004 番地) から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ (VBR) を 0 に、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を 1111 にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット (I3~I0) に書き込みます。アドレスエラー、命令による例外処理の場合、I3~I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PCとSPの初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
(システム予約)		2	H'00000008 ~ H'0000000F
		3	
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
(システム予約)		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
(システム予約)		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
(システム予約)		12	H'00000030 ~ H'00000033
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
(システム予約)		68	H'00000110 ~ H'00000113
(システム予約)		69	H'00000114 ~ H'00000117
割り込み	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F
内蔵周辺モジュール*		72	H'00000120 ~ H'00000124
		255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「6. 割り込みコントローラ」の「表 6.3 割り込み例外処理ベクタと優先順位」を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、 命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 5.3 を参照

ベクタ番号 : 表 5.3 を参照

5.2 リセット

5.2.1 リセットの種類

リセットは最も優先順位の高い例外要因です。表 5.5 に示すように、パワーオンリセットでは CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。

表 5.5 リセット状態

種類	リセット状態への遷移条件	内部状態	
	RES	CPU	内蔵周辺モジュール
パワーオンリセット	ロー	初期化	初期化

5.2.2 パワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが全て初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を H'F (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれプログラムカウンタ(PC)と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.6 に示すように命令フェッチ、データ読み出し / 書き込み時に発生します。

表 5.6 バスサイクルとアドレスエラー

バスサイクルの種類	バスサイクルの内容	アドレスエラーの発生
命令フェッチ	偶数アドレスから命令をフェッチ	なし（正常）
	奇数アドレスから命令をフェッチ	アドレスエラー発生
	内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
	内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
データ 読み出し / 書き込み	ワードデータを偶数アドレスからアクセス	なし（正常）
	ワードデータを奇数アドレスからアクセス	アドレスエラー発生
	ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
	ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
	ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
	ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「7. バスステートコントローラ」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタをスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

5.4 割り込み

5.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.7 に示すように NMI、IRQ、内蔵周辺モジュールがあります。

表 5.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
IRQ	IRQ0 ~ IRQ3、IRQ6、IRQ7 端子 (外部からの入力)	6
内蔵周辺モジュール	マルチファンクションタイマパルスユニット	11
	シリアルコミュニケーションインタフェース	4
	A/D 変換器	1
	コンペアマッチタイマ	2
	ウォッチドッグタイマ	1
	8ビットタイマ	1

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「6. 割り込みコントローラ」の「表 6.3 割り込み例外処理ベクタと優先順位」を参照してください。

5.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果にしたがって例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。IRQ割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCの割り込み優先レベル設定レジスタA～H（IPRA～IPRH）で自由に設定することができます（表5.8）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPRA～IPRHの詳細については「6.3.1 割り込み優先レベル設定レジスタA～H（IPRA～IPRH）」を参照してください。

表 5.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
IRQ	0～15	割り込み優先レベル設定レジスタA～H（IPRA～IPRH）により設定
内蔵周辺モジュール		

5.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMIは常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPUはSRとプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値をSRのI3～I0ビットに書き込みます。ただし、NMIの場合優先レベルは16ですが、I3～I0ビットに設定される値はHF（レベル15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理の詳細については「6.4 動作説明」を参照してください。

5.5 命令による例外

5.5.1 命令による例外の種類

例外処理を起動する命令には、表 5.9 に示すように、トラップ命令、スロット不当命令、一般不当命令があります。

表 5.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFB PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAFB
一般不当命令	遅延スロット以外にある未定義コード	

5.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令がプログラムカウンタ (PC) を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、未定義コードまたは PC を書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5.4 一般不当命令

遅延分岐命令の直後 (遅延スロット) 以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避するプログラムカウンタ (PC) の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6 例外処理が受け付けられない場合

アドレスエラーと割り込みは、表 5.10 に示すように、遅延分岐命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因	
	アドレスエラー	割り込み
遅延分岐命令*1の直後	×	×
割り込み禁止命令*2の直後		×

【注】 : 受け付けられる

× : 受け付けられない

*1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 割り込み禁止命令 : LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

5.6.1 遅延分岐命令の直後

遅延分岐命令直後（遅延スロット）に配置されている命令のデコード時は、アドレスエラーと割り込みの両方とも受け付けられません。遅延分岐命令とその直後（遅延スロット）にある命令は、必ず連続して実行され、この間に例外処理が行われることはありません。

5.6.2 割り込み禁止命令の直後

割り込み禁止命令直後の命令のデコード時は、割り込みは受け付けられません。アドレスエラーは受け付けられます。

5.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.11 に示すようになります。

表 5.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態								
アドレスエラー	SP <table border="1" style="margin-left: 20px;"> <tr> <td>実行済命令の 次命令アドレス</td> <td>32ビット</td> </tr> <tr> <td>SR</td> <td>32ビット</td> </tr> </table>	実行済命令の 次命令アドレス	32ビット	SR	32ビット	割り込み	SP <table border="1" style="margin-left: 20px;"> <tr> <td>実行済命令の 次命令アドレス</td> <td>32ビット</td> </tr> <tr> <td>SR</td> <td>32ビット</td> </tr> </table>	実行済命令の 次命令アドレス	32ビット	SR	32ビット
実行済命令の 次命令アドレス	32ビット										
SR	32ビット										
実行済命令の 次命令アドレス	32ビット										
SR	32ビット										
トラップ命令	SP <table border="1" style="margin-left: 20px;"> <tr> <td>TRAPA命令の 次命令アドレス</td> <td>32ビット</td> </tr> <tr> <td>SR</td> <td>32ビット</td> </tr> </table>	TRAPA命令の 次命令アドレス	32ビット	SR	32ビット	スロット不当命令	SP <table border="1" style="margin-left: 20px;"> <tr> <td>遅延分岐命令の 飛び先アドレス</td> <td>32ビット</td> </tr> <tr> <td>SR</td> <td>32ビット</td> </tr> </table>	遅延分岐命令の 飛び先アドレス	32ビット	SR	32ビット
TRAPA命令の 次命令アドレス	32ビット										
SR	32ビット										
遅延分岐命令の 飛び先アドレス	32ビット										
SR	32ビット										
一般不当命令	SP <table border="1" style="margin-left: 20px;"> <tr> <td>不当命令の 先頭アドレス</td> <td>32ビット</td> </tr> <tr> <td>SR</td> <td>32ビット</td> </tr> </table>	不当命令の 先頭アドレス	32ビット	SR	32ビット						
不当命令の 先頭アドレス	32ビット										
SR	32ビット										

5.8 使用上の注意

5.8.1 スタックポインタ (SP) の値

スタックポインタ (SP) の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.2 ベクタベースレジスタ (VBR) の値

ベクタベースレジスタ (VBR) の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外するとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

スタックポインタ (SP) が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (書き込み) は実行されます。ステータスレジスタ (SR) とプログラムカウンタ (PC) のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされた書き込みデータは不定です。

6. 割り込みコントローラ (INTC)

第6章 目次

6.1	概要	6-3
6.1.1	特長	6-3
6.1.2	ブロック図	6-4
6.1.3	端子構成	6-5
6.1.4	レジスタ構成	6-5
6.2	割り込み要因	6-6
6.2.1	NMI 割り込み	6-6
6.2.2	IRQ 割り込み	6-6
6.2.3	内蔵周辺モジュール割り込み	6-7
6.2.4	割り込み例外処理ベクタと優先順位	6-7
6.3	レジスタの説明	6-9
6.3.1	割り込み優先レベル設定レジスタ A ~ H (IPRA ~ IPRH)	6-9
6.3.2	割り込みコントロールレジスタ (ICR)	6-10
6.3.3	IRQ ステータスレジスタ (ISR)	6-12
6.4	動作説明	6-14
6.4.1	割り込み動作の流れ	6-14
6.4.2	割り込み例外処理終了後のスタックの状態	6-16
6.5	割り込み応答時間	6-17

Preliminary
EOL announced Product

6.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位に従って、割り込み要求を処理させることができます。

6.1.1 特長

INTC には、次のような特長があります。

割り込み優先順位を 16 レベル設定可能

8 本の割り込み優先レベル設定レジスタにより、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に 16 レベルまで設定することができます。

NMI ノイズキャンセラ機能

NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

6.1.2 ブロック図

INTCのブロック図を図6.1に示します。

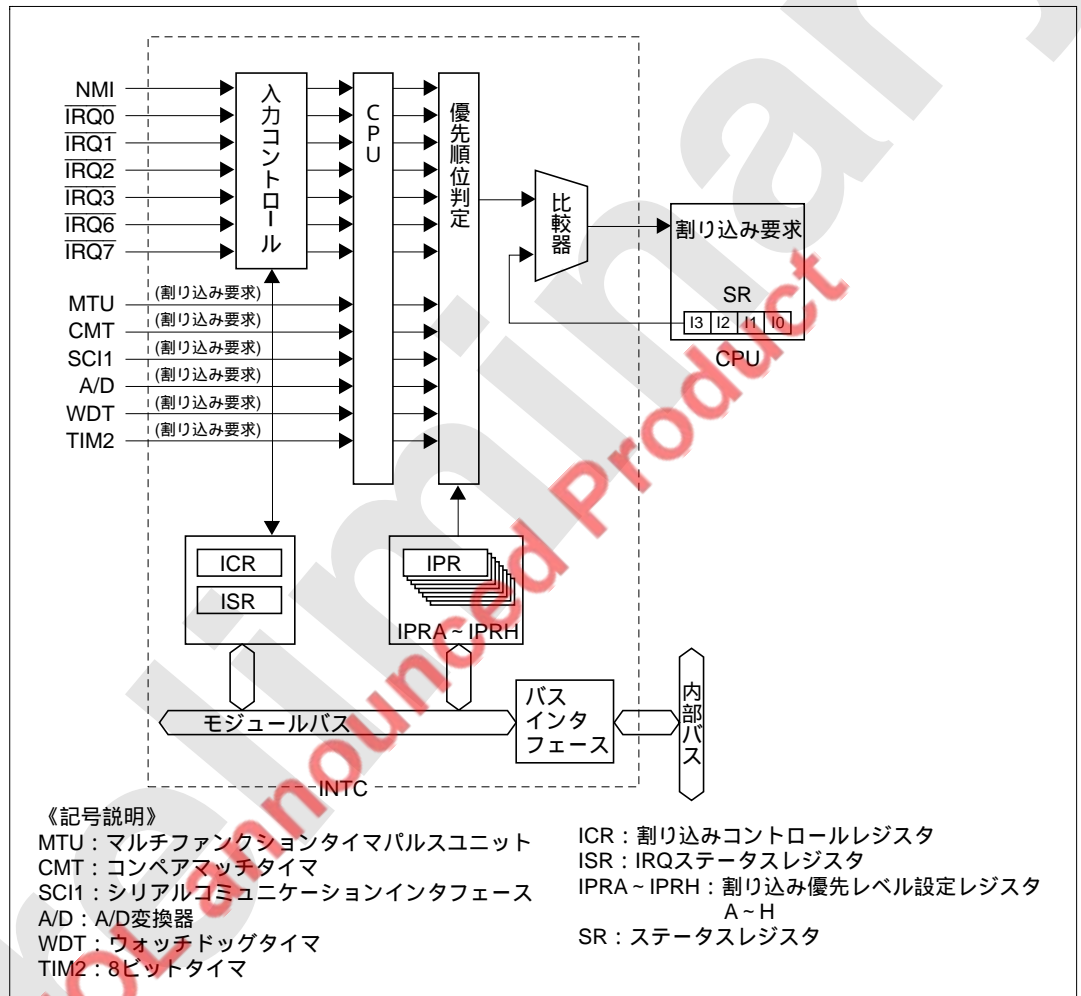


図6.1 INTCのブロック図

6.1.3 端子構成

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{IRQ0} \sim \overline{IRQ3}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ7}$	入力	マスク可能な割り込み要求信号を入力

6.1.4 レジスタ構成

INTC には、表 6.2 に示すように 10 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF8348	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF834A	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF834C	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF834E	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF8350	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF8352	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF8354	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF8356	8、16、32
割り込みコントロールレジスタ	ICR	R/W	*1	H'FFFF8358	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)*2	H'0000	H'FFFF835A	8、16、32

【注】 *1 NMI 端子がハイレベルのとき：H'8000、ローレベルのとき：H'0000

*2 フラグをクリアするための 0 書き込みのみ可能です。

6.2 割り込み要因

割り込み要因は、NMI、IRQ、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は優先レベル値(0~16)で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

6.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ(ICR)のNMIエッジセレクトビット(NMIE)の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は15に設定されます。

6.2.2 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 端子からの入力による割り込みです。割り込みコントロールレジスタ(ICR)のIRQセンスセレクトビット(IRQ0S~IRQ3S、IRQ6S、IRQ7S)の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタA~B(IPRA~IPRB)によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ端子がローレベルの期間INTCに割り込み要求信号が送られます。IRQ端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ3F、IRQ6F、IRQ7F)を読み出すことにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQステータスレジスタ(ISR)のIRQフラグ(IRQ0F~IRQ3F、IRQ6F、IRQ7F)を読み出すことによりIRQ 割り込み要求が検出されているかどうかを確認でき、1読み出し後に0を書き込むことによりIRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、ステータスレジスタ(SR)の割り込みマスクビット(I3~I0)は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

6.2.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ・マルチファンクションタイムパルスユニット (MTU)
- ・コンペアマッチタイマ (CMT)
- ・シリアルコミュニケーションインタフェース (SCI1)
- ・A/D 変換器 (A/D)
- ・ウォッチドッグタイマ (WDT)
- ・8 ビットタイマ (TIM2)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~H (IPRC~IPRH) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.2.4 割り込み例外処理ベクタと優先順位

表 6.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「5. 例外処理」の「表 5.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRH に対応する割り込み要因の優先順位は、表 6.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.3 に示す「デフォルト優先順位」に従って処理されます。

表 6.3 割り込み例外処理ベクタと優先順位

割り込み要因	割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR設定範囲内の優先順位	デフォルト優先順位	
	ベクタ番号	ベクタテーブルアドレス オフセット					
NMI	11	H'0000002C ~ H'0000002F	16	-	-	高 ↑ ↓ 低	
IRQ0	64	H'00000100 ~ H'00000103	0 ~ 15 (0)	IPRA(15-12)	-		
IRQ1	65	H'00000104 ~ H'00000107	0 ~ 15 (0)	IPRA(11-8)	-		
IRQ2	66	H'00000108 ~ H'0000010B	0 ~ 15 (0)	IPRA(7-4)	-		
IRQ3	67	H'0000010C ~ H'0000010F	0 ~ 15 (0)	IPRA(3-0)	-		
IRQ6	70	H'00000118 ~ H'0000011B	0 ~ 15 (0)	IPRB(7-4)	-		
IRQ7	71	H'0000011C ~ H'0000011F	0 ~ 15 (0)	IPRB(3-0)	-		
MTU0	TGI0A	88	H'00000160 ~ H'00000163	0 ~ 15 (0)	IPRD(15-12)		↑ 高 ↓ 低
	TGI0B	89	H'00000164 ~ H'00000167				
	TGI0C	90	H'00000168 ~ H'0000016B				
	TGI0D	91	H'0000016C ~ H'0000016F				
	TCI0V	92	H'00000170 ~ H'00000173				
MTU1	TGI1A	96	H'00000180 ~ H'00000183	0 ~ 15 (0)	IPRD(7-4)		↑ 高 ↓ 低
	TGI1B	97	H'00000184 ~ H'00000187				
	TCI1V	100	H'00000190 ~ H'00000193				
MTU2	TGI2A	104	H'000001A0 ~ H'000001A3	0 ~ 15 (0)	IPRE(15-12)	↑ 高 ↓ 低	
	TGI2B	105	H'000001A4 ~ H'000001A7				
	TCI2V	108	H'000001B0 ~ H'000001B3				
SCI1	ER11	132	H'00000210 ~ H'00000213	0 ~ 15 (0)	IPRF(3-0)	↑ 高 ↓ 低	
	RX11	133	H'00000214 ~ H'00000217				
	TX11	134	H'00000218 ~ H'0000021B				
	TE11	135	H'0000021C ~ H'0000021F				
A/D	ADI	138	H'00000228 ~ H'0000022B	0 ~ 15 (0)	IPRG(15-12)	-	
CMT0	CMI0	144	H'00000240 ~ H'00000243	0 ~ 15 (0)	IPRG(7-4)	-	
CMT1	CMI1	148	H'00000250 ~ H'00000253	0 ~ 15 (0)	IPRG(3-0)	-	
WDT	ITI	152	H'00000260 ~ H'00000263	0 ~ 15 (0)	IPRH(15-12)	↑ 高 ↓ 低	
TIM2	CMI	153	H'00000264 ~ H'00000267				

6.3 レジスタの説明

6.3.1 割り込み優先レベル設定レジスタ A~H (IPRA~IPRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み優先レベル設定レジスタ A~H (IPRA~IPRH) は、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0~15) を設定します。割り込み要求元と IPRA~IPRH の各ビットの対応を表 6.4 に示します。

表 6.4 割り込み要求元と IPRA~IPRH

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	予約	予約	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	予約	予約	予約	予約
割り込み優先レベル設定レジスタ D	MTU0	MTU0	MTU1	MTU1
割り込み優先レベル設定レジスタ E	MTU2	MTU2	予約	予約
割り込み優先レベル設定レジスタ F	予約	予約	予約	SCI1
割り込み優先レベル設定レジスタ G	A/D	予約	CMT0	CMT1
割り込み優先レベル設定レジスタ H	WDT, TIM2	予約	予約	予約

表 6.4 に示すように、1本のレジスタに4つの $\overline{\text{IRQ}}$ 端子、または4組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'F をセットすると優先レベル 15 (最高) になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合 (WDT と TIM2)、その複数のモジュールは同じ優先順位に設定されます。

IPRA~IPRH は、パワーオンリセットで H'0000 に初期化されます。スタンバイモードでは初期化されません。

6.3.2 割り込みコントロールレジスタ (ICR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	—	—	—	—	—	—	NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	—	—	IRQ6S	IRQ7S
初期値 :	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{IRQ0}$ ~ $\overline{IRQ3}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ7}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR はパワーオンリセットで初期化されます。スタンバイモードでは初期化されません。

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

ビット 14 ~ 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : NMI エッジセレクト (NMIE)

ビット 8	説明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット7~4、1、0 : IRQ0~IRQ3、IRQ6、IRQ7 センスセレクト (IRQ0S ~ IRQ3S、
IRQ6S、IRQ7S)

IRQ0~IRQ3、IRQ6、IRQ7 割り込み要求の検出モードを設定します。

ビット7~4、1、0	説明
IRQ0S~IRQ3S、 IRQ6S、IRQ7S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

ビット3、2 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

6.3.3 IRQ ステータスレジスタ (ISR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IRQ0F	IRQ1F	IRQ2F	IRQ3F	—	—	IRQ6F	IRQ7F
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W

IRQ ステータスレジスタ (ISR) は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF} = 1$ を読み出した後、 IRQnF に 0 を書き込むことにより、保持されている割り込み要求を取り下げることができます。

ISR はパワーオンリセットで初期化されます。スタンバイモードでは初期化されません。

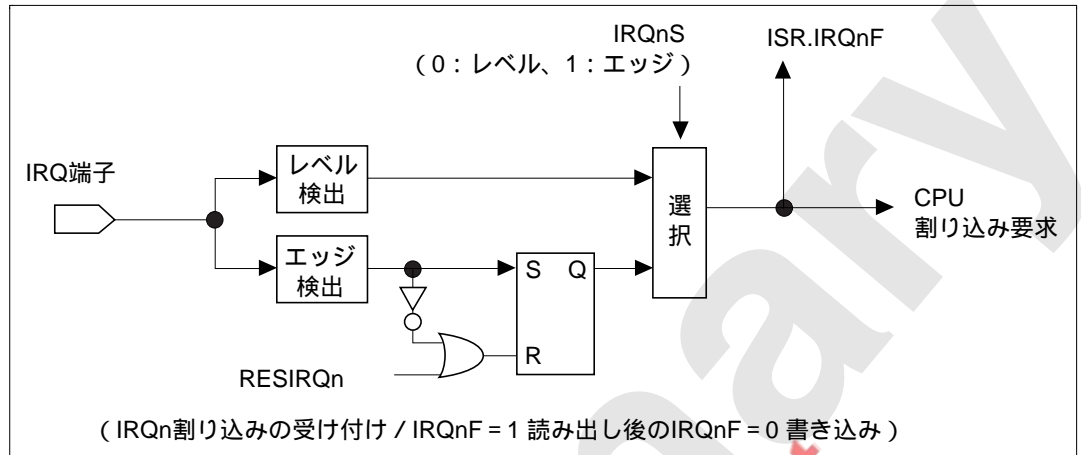
ビット 15~8、3、2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7~4、1、0 : IRQ0~IRQ3、IRQ6、IRQ7 フラグ (IRQ0F~IRQ3F、IRQ6F、IRQ7F)

IRQ0~IRQ3、IRQ6、IRQ7 割り込み要求のステータスを表示します。

ビット 7~4、1、0	検出設定	説明
IRQ0F~IRQ3F、 IRQ6F、IRQ7F		
0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] $\overline{\text{IRQn}}$ 入力がハイレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) [クリア条件] (1) $\text{IRQnF} = 1$ の状態を読み出した後に 0 を書き込むとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] $\overline{\text{IRQn}}$ 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき



6.4 動作説明

6.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 6.2 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ A~H (IPRA ~ IPRH) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 6.3 に示す「デフォルト優先順位」と「IPR 設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) とが比較されます。I3 ~ I0 ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3 ~ I0 ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) 割り込みコントローラから送られた割り込み要求は、CPU が実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 6.4 参照)。
- (5) ステータスレジスタ (SR) とプログラムカウンタ (PC) がスタックに退避されます。
- (6) SR の I3 ~ I0 ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (7) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「6.2.2 IRQ 割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

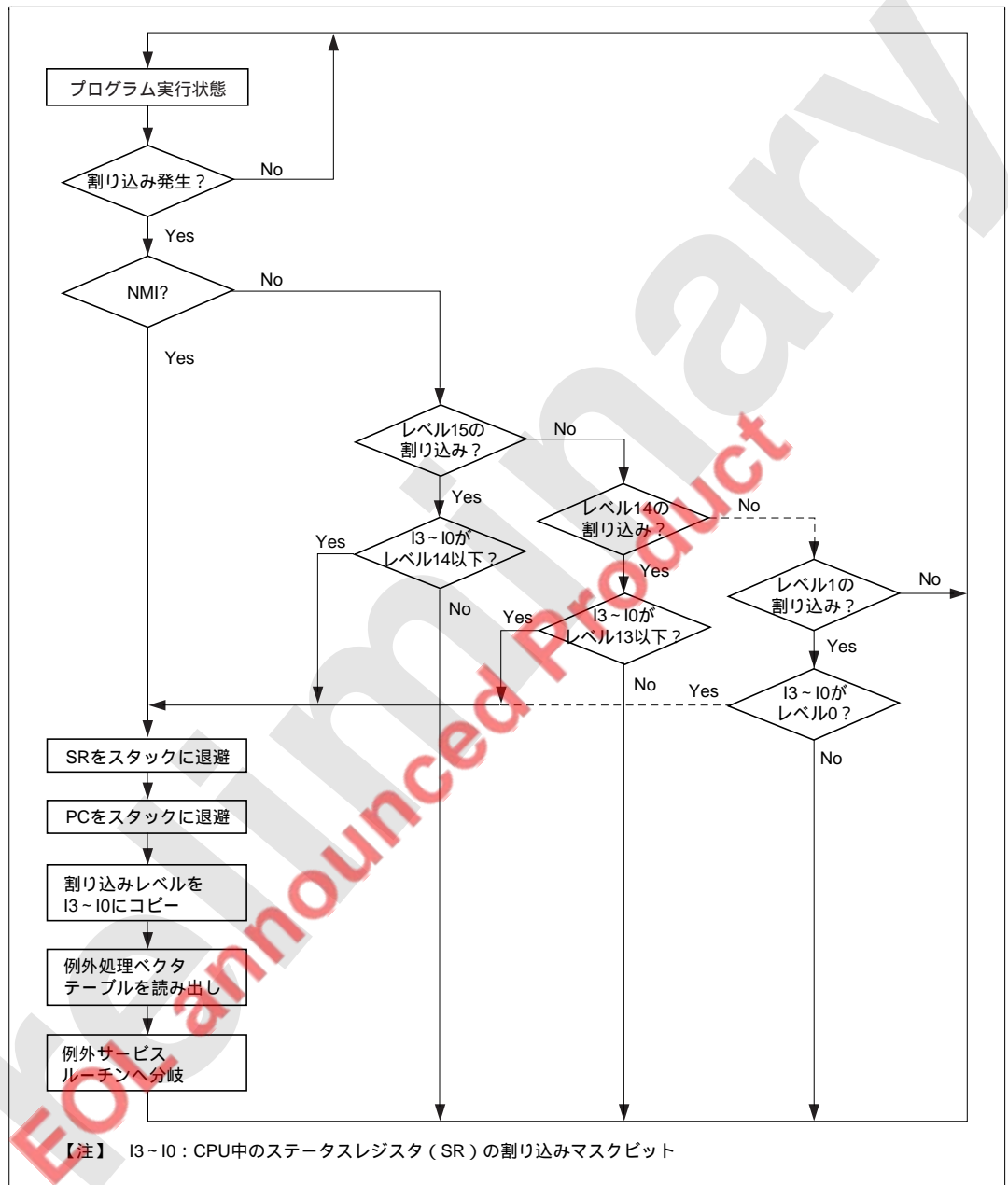


図 6.2 割り込み動作フロー

6.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。

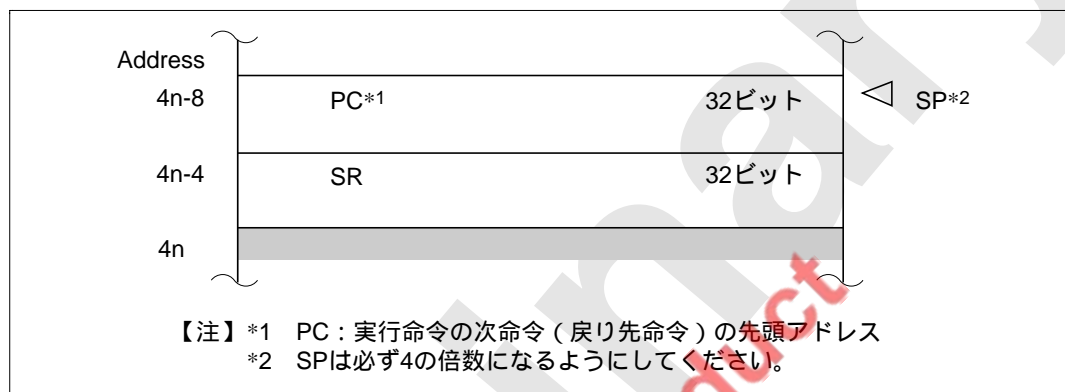


図 6.3 割り込み例外処理終了後のスタック状態

6.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 6.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 6.4 に示します。

表 6.5 割り込み応答時間

項目	ステート数備考		備考	
	NMI、周辺モジュール	IRQ		
優先順位判定および SR のマスクビットとの比較時間	2	3		
CPU が実行中のシーケンス終了までの待ち時間	X (0)		最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X = 4 + m1 + m2 + m3 + m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	$5 + m1 + m2 + m3$		SR、PC の退避とベクタアドレスのフェッチを行います。	
応答時間	合計	$7 + m1 + m2 + m3$	$9 + m1 + m2 + m3$	
	最小時	10	12	20MHz 動作時： 0.5 ~ 0.6 μ s
	最大時	$12 + 2(m1 + m2 + m3) + m4$	$13 + 2(m1 + m2 + m3) + m4$	20MHz 動作時： 0.95 ~ 1.0 μ s* ¹

【注】 m1 ~ m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワード書き込み)

m2 : PC の退避 (ロングワード書き込み)

m3 : ベクタアドレス読み出し (ロングワード読み出し)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

*1 m1 = m2 = m3 = m4 = 1 の場合

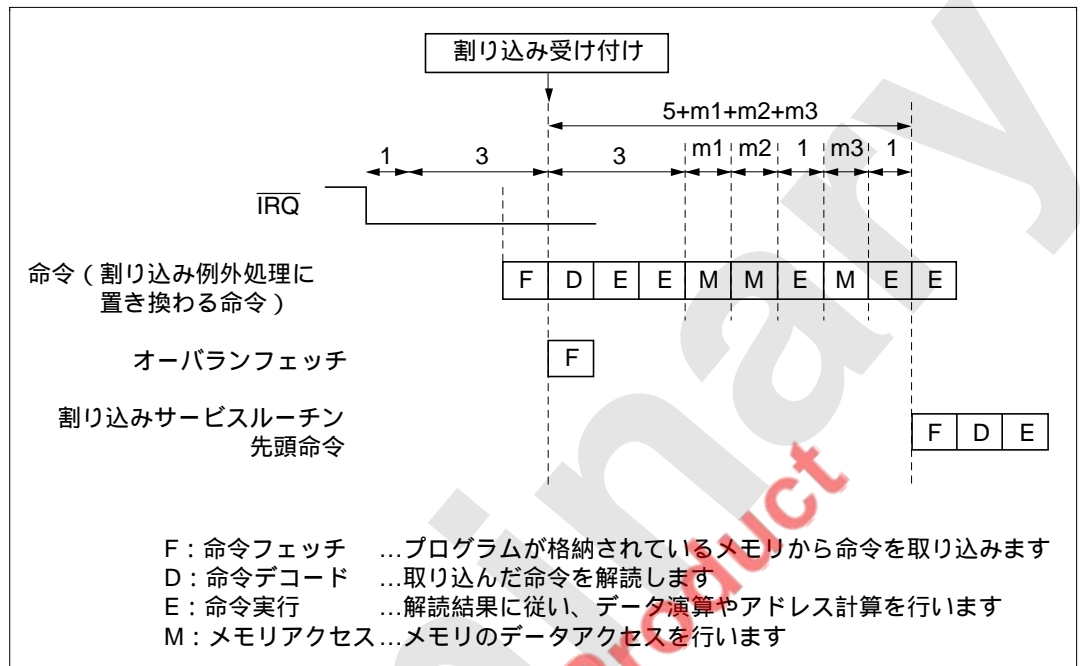


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例

7. バスステート コントローラ (BSC)

第7章 目次

7.1	概要	7-3
7.1.1	特長	7-3
7.1.2	ブロック図	7-4
7.1.3	端子構成	7-5
7.1.4	レジスタ構成	7-5
7.1.5	アドレスマップ	7-6
7.2	レジスタの説明	7-7
7.2.1	バスコントロールレジスタ1 (BCR1)	7-7
7.2.2	バスコントロールレジスタ2 (BCR2)	7-9
7.2.3	ウェイトコントロールレジスタ1 (WCR1)	7-13
7.3	通常空間アクセス	7-16
7.3.1	基本タイミング	7-16
7.3.2	ウェイトステート制御	7-17
7.3.3	CSアサート期間拡張	7-19
7.4	アクセスサイクル間ウェイト	7-20
7.4.1	データバス衝突防止	7-20
7.4.2	バスサイクル開始検出の容易化	7-22
7.5	メモリ接続例	7-23

Preliminary
EOL announced Product

7.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROMなどを本 LSI に直結することができます。

7.1.1 特長

アドレス空間を4つに分割して管理

- ・ CS0 空間は、最大リニア 2M バイト
- ・ CS1 ~ CS3 空間は、それぞれ最大リニア 4M バイト
- ・ バス幅は 8 ビット
- ・ 空間ごとに、ソフトウェアによるウェイトステートを挿入可能 (0 ~ 3 ウェイト)
- ・ 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
- ・ 各空間に接続するメモリに対応した制御信号を出力

内蔵 RAM インタフェース

- ・ 内蔵 RAM は 32 ビットを 1 ステートでアクセス

7.1.2 ブロック図

BSCのブロック図を図7.1に示します。

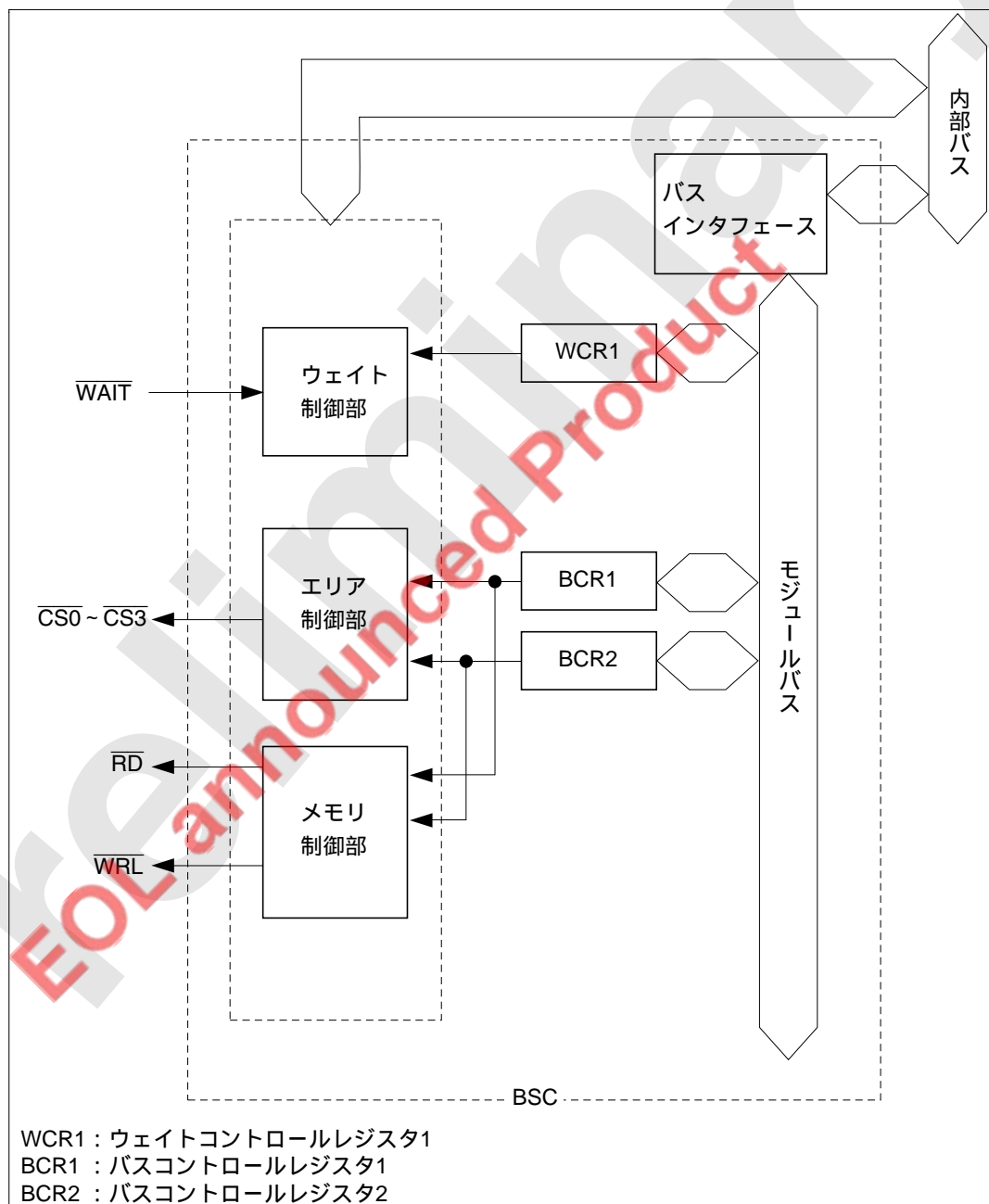


図 7.1 BSC のブロック図

7.1.3 端子構成

バスステートコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成

端子名	入出力	機能
A21 ~ A0	出力	アドレス出力
D7 ~ D0	入出力	8 ビットのデータバス
$\overline{CS0}$ ~ $\overline{CS3}$	出力	チップセレクト
\overline{RD}	出力	読み出しサイクルを示すストロープ 通常空間 / マルチプレクス I/O 用
\overline{WRL}	出力	書き込みサイクルを示すストロープ
\overline{WAIT}	入力	ウェイトステート要求信号

7.1.4 レジスタ構成

バスステートコントローラには 3 本のレジスタがあります。これらのレジスタにより、ウェイトステート、ROM、SRAM などのメモリとのインタフェースの制御などを行います。レジスタ構成を表 7.2 に示します。

レジスタサイズはすべて 16 ビットです。

バスステートコントローラのレジスタはすべてパワー オンリセットにより初期化されます。

表 7.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H'200F	H'FFFF8620	8、16
バスコントロールレジスタ 2	BCR2	R/W	H'FFFF	H'FFFF8622	8、16
ウェイトコントロールレジスタ 1	WCR1	R/W	H'FFFF	H'FFFF8624	8、16

7.1.5 アドレスマップ

図 7.2 に、本 LSI で用いるアドレスのフォーマットを示します。

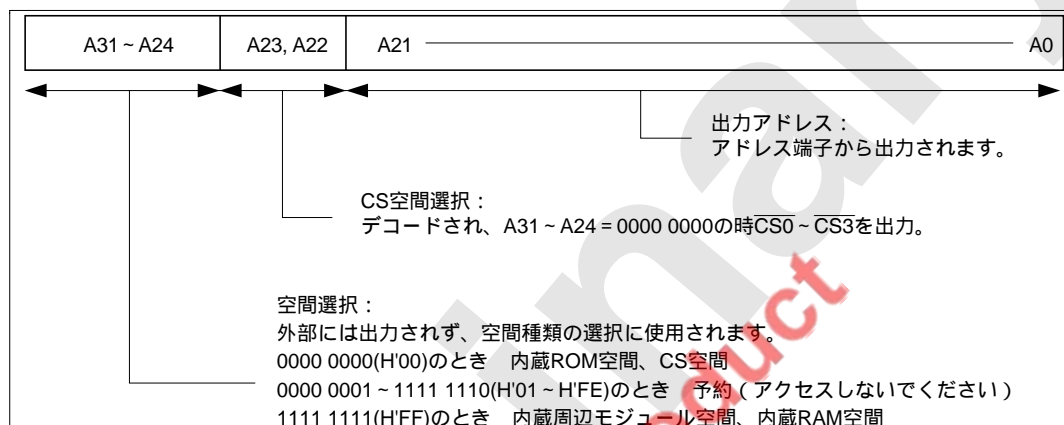


図 7.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31 ~ A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31 ~ A24 ビットが 00000000 のときデコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0}$ ~ $\overline{CS3}$) となり、出力されます。

A21 ~ A0 は外部に出力されます。

表 7.3 にアドレスマップを示します。

表 7.3 アドレスマップ

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'00000000 ~ H'00027FFF	内蔵 ROM	内蔵 ROM	160kB	32 ビット
H'00028000 ~ H'001FFFFFFF	予約	予約		
H'00200000 ~ H'003FFFFFFF	CS0 空間	通常空間	2MB	8 ビット
H'00400000 ~ H'007FFFFFFF	CS1 空間	通常空間	4MB	8 ビット
H'00800000 ~ H'00BFFFFFFF	CS2 空間	通常空間	4MB	8 ビット
H'00C00000 ~ H'00FFFFFFF	CS3 空間	通常空間	4MB	8 ビット
H'01000000 ~ H'FFFFFF7FFF	予約	予約		
H'FFFF8000 ~ H'FFFF87FF	内蔵周辺モジュール	内蔵周辺モジュール	2kB	8/16 ビット
H'FFFF8800 ~ H'FFFFEFFF	予約	予約		
H'FFFFF000 ~ H'FFFFFFFF	内蔵 RAM	内蔵 RAM	4kB	32 ビット

【注】 予約空間はアクセスしないでください。アクセスした場合動作の保証はできません。

7.2 レジスタの説明

7.2.1 バスコントロールレジスタ 1 (BCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													A3SZ	A2SZ	A1SZ	A0SZ
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

【注】ビット4~7には1を書き込まないでください。1を書き込んだ時の動作は保証しません。

バスコントロールレジスタ 1 (BCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のバスサイズ指定を行います。なお、本 LSI では、バスサイズ指定をバイト (8 ビット) サイズにしてください。

BCR1 のビット 8~0 はパワーオンリセット後の初期設定時に書き込みを行い、以後は値を変更しないでください。また、レジスタの初期設定が終了するまで各 CS 空間はアクセスしないでください。

BCR1 はパワーオンリセットで H'200F に初期化されますが、スタンバイでは初期化されません。

ビット 15、14、12~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 13 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット3 : CS3 空間サイズ指定 (A3SZ)

CS3 空間のバスサイズ指定を行います。SH7018 では、バイトサイズのための仕様となっているので、CS3 空間をアクセスする前に、必ず本ビットを0に設定してください。

ビット3	説 明	
A3SZ		
0	バイト (8 ビット) サイズ	
1	ワード (16 ビット) サイズ	(初期値)

ビット2 : CS2 空間サイズ指定 (A2SZ)

CS2 空間のバスサイズ指定を行います。SH7018 では、バイトサイズのための仕様となっているので、CS2 空間をアクセスする前に、必ず本ビットを0に設定してください。

ビット2	説 明	
A2SZ		
0	バイト (8 ビット) サイズ	
1	ワード (16 ビット) サイズ	(初期値)

ビット1 : CS1 空間サイズ指定 (A1SZ)

CS1 空間のバスサイズ指定を行います。SH7018 では、バイトサイズのための仕様となっているので、CS1 空間をアクセスする前に、必ず本ビットを0に設定してください。

ビット1	説 明	
A1SZ		
0	バイト (8 ビット) サイズ	
1	ワード (16 ビット) サイズ	(初期値)

ビット0 : CS0 空間サイズ指定 (A0SZ)

CS0 空間のバスサイズ指定を行います。SH7018 では、バイトサイズのための仕様となっているので、CS0 空間をアクセスする前に、必ず本ビットを0に設定してください。

ビット0	説 明	
A0SZ		
0	バイト (8 ビット) サイズ	
1	ワード (16 ビット) サイズ	(初期値)

7.2.2 バスコントロールレジスタ 2 (BCR2)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート期間の拡張を指定します。

BCR2 はパワーオンリセットで H'FFFF に初期化されます。

ビット 15 ~ 8 : サイクル間アイドル指定 (IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定は、読み出しアクセス後に異なる CS 空間を続けてアクセスする場合に、アクセス間に挿入するアイドルサイクルの指定を行います。これは読み出しデータのバッファオフの遅い ROM など、高速なメモリ、I/O インタフェースなどのデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスが読み出しで次のアクセスが書き込みの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳しくは「7.4 アクセスサイクル間ウェイト」をご参照ください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

ビット 15	ビット 14	説明
IW31	IW30	
0	0	CS3 空間アクセス後アイドルサイクルなし
	1	CS3 空間アクセス後 1 アイドルサイクル
1	0	CS3 空間アクセス後 2 アイドルサイクル
	1	CS3 空間アクセス後 3 アイドルサイクル (初期値)

7. バスステートコントローラ (BSC)

ビット 13	ビット 12	説 明
IW21	IW20	
0	0	CS2 空間アクセス後アイドルサイクルなし
	1	CS2 空間アクセス後 1 アイドルサイクル
1	0	CS2 空間アクセス後 2 アイドルサイクル
	1	CS2 空間アクセス後 3 アイドルサイクル (初期値)

ビット 11	ビット 10	説 明
IW11	IW10	
0	0	CS1 空間アクセス後アイドルサイクルなし
	1	CS1 空間アクセス後 1 アイドルサイクル
1	0	CS1 空間アクセス後 2 アイドルサイクル
	1	CS1 空間アクセス後 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説 明
IW01	IW00	
0	0	CS0 空間アクセス後アイドルサイクルなし
	1	CS0 空間アクセス後 1 アイドルサイクル
1	0	CS0 空間アクセス後 2 アイドルサイクル
	1	CS0 空間アクセス後 3 アイドルサイクル (初期値)

ビット7～4：連続アクセス時アイドル指定 (CW3、CW2、CW1、CW0)

連続アクセス時アイドル指定は同一 CS 空間を連続してアクセスする場合、 \overline{CSn} 信号をいったんネゲートすることにより、バスの切れ目をわかりやすくするために挿入します。ただし、読み出しの次に書き込みが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を選択します。詳しくは「7.4 アクセスサイクル間ウェイト」をご参照ください。

CW3 が CS3 空間の連続アクセス時アイドル、CW2 が CS2 空間の連続アクセス時アイドル、CW1 が CS1 空間の連続アクセス時アイドル、CW0 が CS0 空間の連続アクセス時アイドルをそれぞれ指定します。

ビット7	説明
CW3	
0	CS3 空間連続アクセス時アイドルサイクルなし
1	CS3 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット6	説明
CW2	
0	CS2 空間連続アクセス時アイドルサイクルなし
1	CS2 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット5	説明
CW1	
0	CS1 空間連続アクセス時アイドルサイクルなし
1	CS1 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット4	説明
CW0	
0	CS0 空間連続アクセス時アイドルサイクルなし
1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)

7. バスステートコントローラ (BSC)

ビット3～0： \overline{CS} アサート拡張指定 (SW3、SW2、SW1、SW0)

CS アサート拡張指定は \overline{RD} 信号、 \overline{WRL} 信号のアサート期間が \overline{CS}_n 信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に1サイクルずつ挿入されます。これにより、外部デバイスとのインタフェースが容易になります。また、書き込みデータホールド期間を延ばす効果もあります。詳しくは、「7.3.3 CS アサート期間拡張」をご参照ください。

SW3 が CS3 空間アクセス時の \overline{CS} アサート拡張指定、SW2 が CS2 空間アクセス時の \overline{CS} アサート拡張指定、SW1 が CS1 空間アクセス時の \overline{CS} アサート拡張指定、SW0 が CS0 空間アクセス時の \overline{CS} アサート拡張指定をそれぞれ行います。

ビット3	説明
SW3	
0	CS3 空間 \overline{CS} アサート拡張なし
1	CS3 空間 \overline{CS} アサート拡張あり (初期値)

ビット2	説明
SW2	
0	CS2 空間 \overline{CS} アサート拡張なし
1	CS2 空間 \overline{CS} アサート拡張あり (初期値)

ビット1	説明
SW1	
0	CS1 空間 \overline{CS} アサート拡張なし
1	CS1 空間 \overline{CS} アサート拡張あり (初期値)

ビット0	説明
SW0	
0	CS0 空間 \overline{CS} アサート拡張なし
1	CS0 空間 \overline{CS} アサート拡張あり (初期値)

7.2.3 ウェイトコントロールレジスタ 1 (WCR1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	W31	W30	—	—	W21	W20	—	—	W11	W10	—	—	W01	W00
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトコントロールレジスタ 1 (WCR1) は読み出し / 書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクル数 (0~3) を指定します。

WCR1 はパワーオンリセットで H'FFFF に初期化されます。

ビット 15、14 : 予約ビット

0 または 1 のどちらを書き込んでも問題ありません。読み出すと書き込んだ値が読み出されます。

ビット 13、12 : CS3 空間ウェイト指定 (W31、W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 13	ビット 12	説明
W31	W30	
0	0	ノーウェイト (外部ウェイト入力禁止)
	1	1 ウェイト外部ウェイト入力イネーブル
1	0	2 ウェイト外部ウェイト入力イネーブル
	1	3 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 11、10 : 予約ビット

0 または 1 のどちらを書き込んでも問題ありません。読み出すと書き込んだ値が読み出されます。

7. バスステートコントローラ (BSC)

ビット9、8 : CS2 空間ウェイト指定 (W21、W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット9	ビット8	説明
W21	W20	
0	0	ノーウェイト (外部ウェイト入力禁止)
	1	1 ウェイト外部ウェイト入力イネーブル
1	0	2 ウェイト外部ウェイト入力イネーブル
	1	3 ウェイト外部ウェイト入力イネーブル (初期値)

ビット7、6 : 予約ビット

0または1のどちらを書き込んでも問題ありません。読み出すと書き込んだ値が読み出されます。

ビット5、4 : CS1 空間ウェイト指定 (W11、W10)

CS1 空間アクセス時のウェイト数を指定します。

ビット5	ビット4	説明
W11	W10	
0	0	ノーウェイト (外部ウェイト入力禁止)
	1	1 ウェイト外部ウェイト入力イネーブル
1	0	2 ウェイト外部ウェイト入力イネーブル
	1	3 ウェイト外部ウェイト入力イネーブル (初期値)

ビット3、2 : 予約ビット

0または1のどちらを書き込んでも問題ありません。読み出すと書き込んだ値が読み出されます。

ビット1、0 : CS0 空間ウェイト指定 (W01、W00)

CS0 空間アクセス時のウェイト数を指定します。

ビット1	ビット0	説明
W01	W00	
0	0	ノーウェイト (外部ウェイト入力禁止)
	1	1ウェイト外部ウェイト入力可能
1	0	2ウェイト外部ウェイト入力可能
	1	3ウェイト外部ウェイト入力可能 (初期値)

7.3 通常空間アクセス

通常空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

7.3.1 基本タイミング

通常空間アクセスのバスサイクルは、2 ステートで行われます。図 7.3 に通常空間アクセスの基本タイミングを示します。

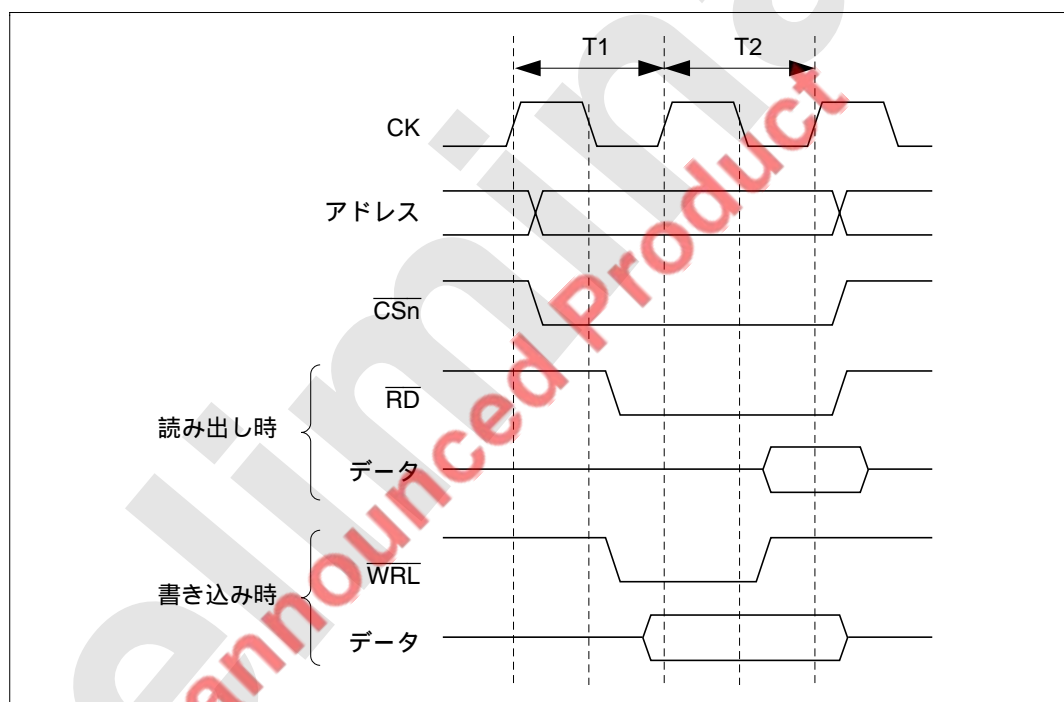


図 7.3 通常空間アクセスの基本タイミング

読み出し時は、オペランドサイズにかかわらず、 \overline{RD} 信号によりアクセスする空間(アドレス)のデータバス幅全ビットを LSI に取り込み、必要なバイト位置を使用します。

書き込み時は、実際に書き込むバイト位置を \overline{WRL} (ビット 7~0) 信号で示します。

7.3.2 ウェイトステート制御

WCR の設定により、通常空間アクセスのウェイトステートの挿入を制御できます。図 7.4 に示すタイミングで、 T_w のサイクルがソフトウェアウェイトサイクルとして指定サイクル数 (0~3 ウェイト) だけ挿入されます。

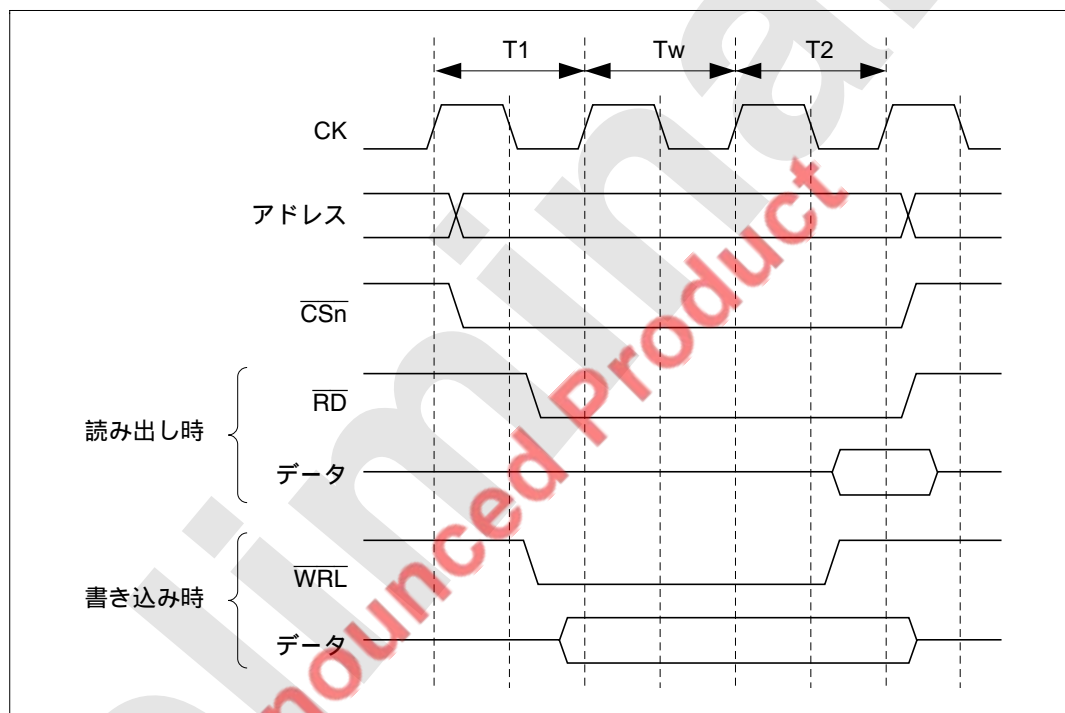


図 7.4 通常空間アクセスのウェイトステートタイミング (ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを 1 ウェイト以上指定したときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 7.5 に示します。 $\overline{\text{WAIT}}$ 信号のサンプリングは、 T_w ステートから T_2 ステートに移行する際にクロックの立ち上がりのちょうど 1 サイクル前のクロックの立ち上がりで行われます。

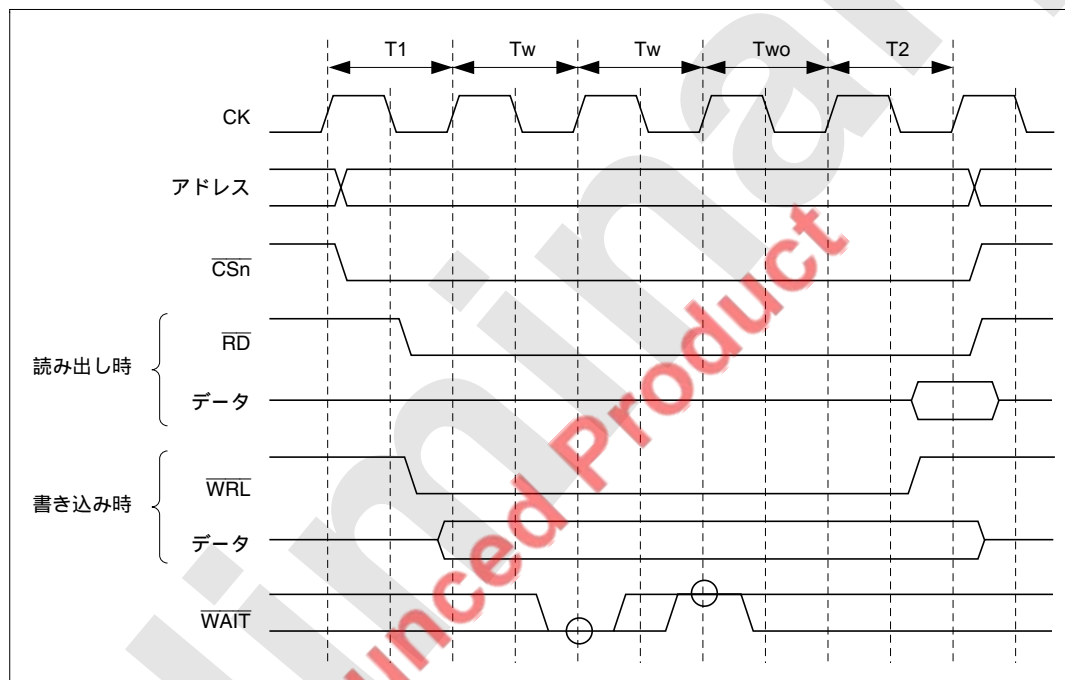


図 7.5 通常空間アクセスのウェイトステートタイミング

(ソフトウェアウェイト 2 ステート + $\overline{\text{WAIT}}$ 信号によるウェイトステート)

7.3.3 \overline{CS} アサート期間拡張

BCR2のSW3～SW0ビットの設定により、 \overline{RD} 、 \overline{WRL} のアサート期間が \overline{CSn} のアサート期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図7.6に示します。ThおよびTfサイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは \overline{CSn} のみアサートされ、 \overline{RD} 、 \overline{WRL} はアサートされません。また、データはTfサイクルまで延ばされるので、書き込み動作の遅いデバイスなどに有効です。

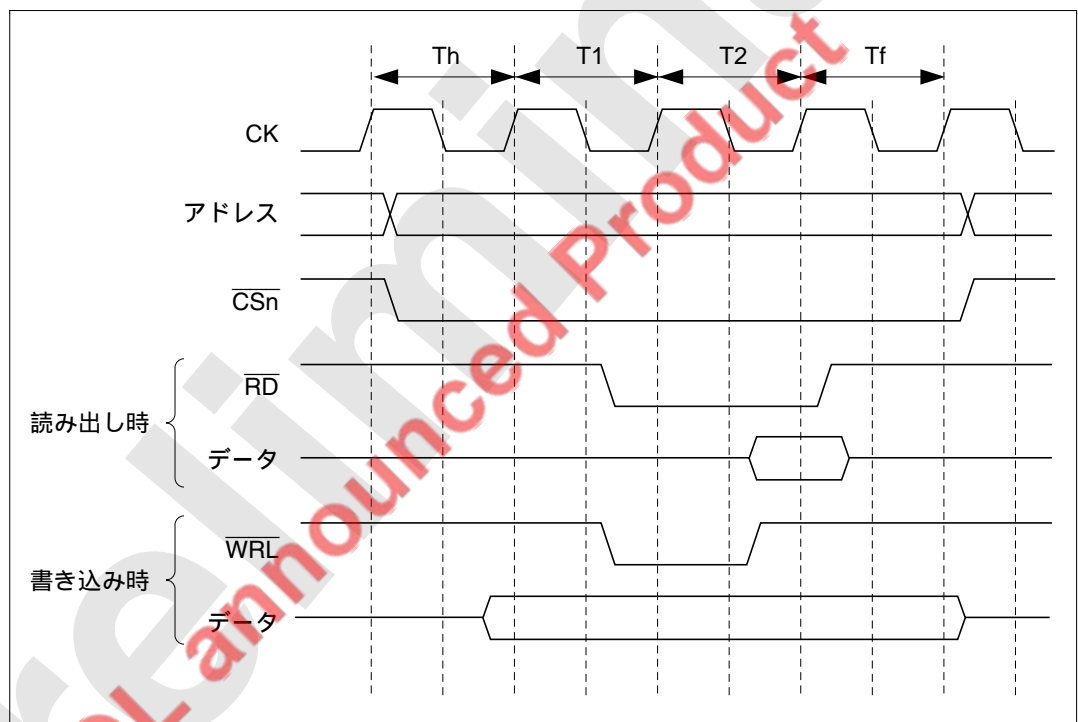


図7.6 \overline{CS} アサート期間拡張機能

7.4 アクセスサイクル間ウェイト

低速なデバイスを読み出したとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。メモリアクセスを行う際にデータ衝突の問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、バスサイクル開始の検出を容易にするために、同一 CS 空間の連続アクセス時にアクセスサイクル間にウェイトを挿入して、いったん \overline{CSn} 信号をネゲートすることができます。

7.4.1 データバス衝突防止

(1) 読み出しサイクル後の書き込みサイクル、(2) 読み出しサイクル後の異なるエリアに対する読み出しサイクル、の2つの場合、BCR2 の IW31 ~ IW00 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。

図 7.7 にサイクル間アイドルの例を示します。この例では、CSn 空間のサイクル間アイドルに 1 を指定した場合に、CSn 空間の読み出しサイクルの直後に CSm 空間の書き込みを行うとき、1 アイドルサイクルが挿入されることを図示しています。

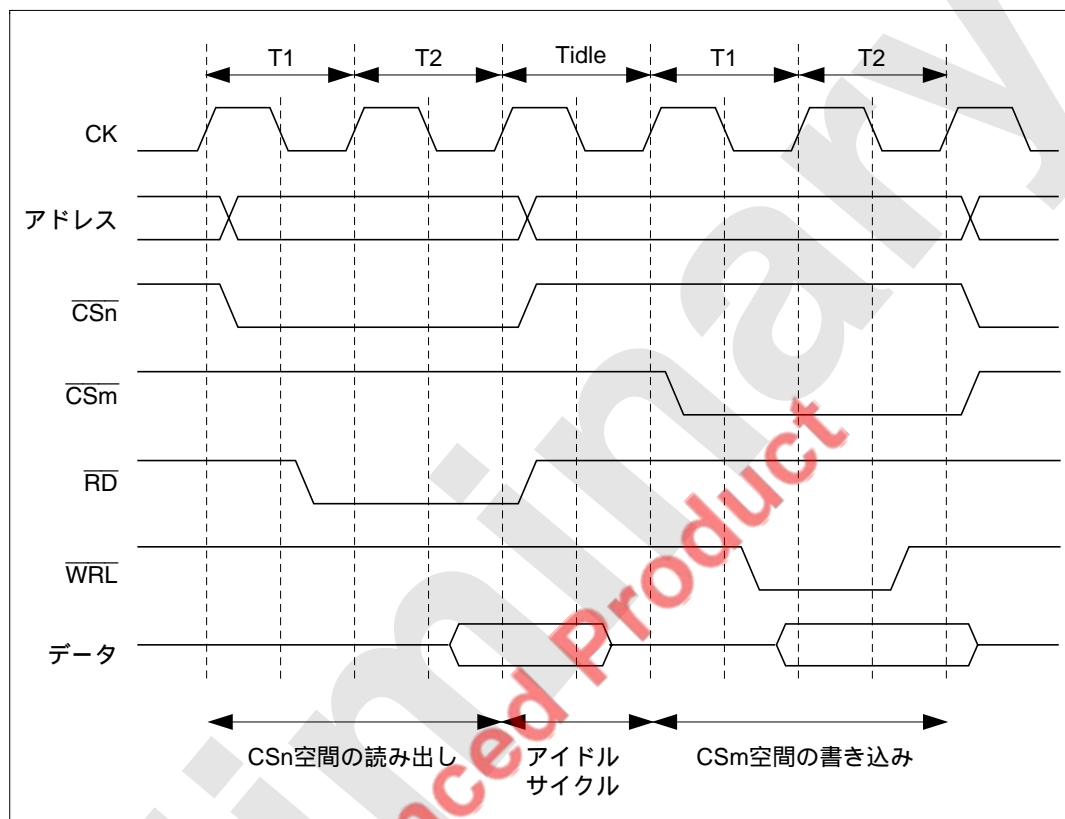


図 7.7 アイドルサイクル挿入例

IW31、IW30 では CS3 空間を読み出した後に、他の外部空間を読み出す場合と、本 LSI が書き込みを行う場合に必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間読み出し後の、IW11、IW10 では CS1 空間読み出し後の、IW01、IW00 では CS0 空間読み出し後のアイドルサイクル数を指定します。

アイドルサイクル数には CS 空間で 0~3 サイクルを指定することができます。

7.4.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3 ~ CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、読み出し後の書き込みサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで定義されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 7.8 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続書き込んだ場合を示しています。

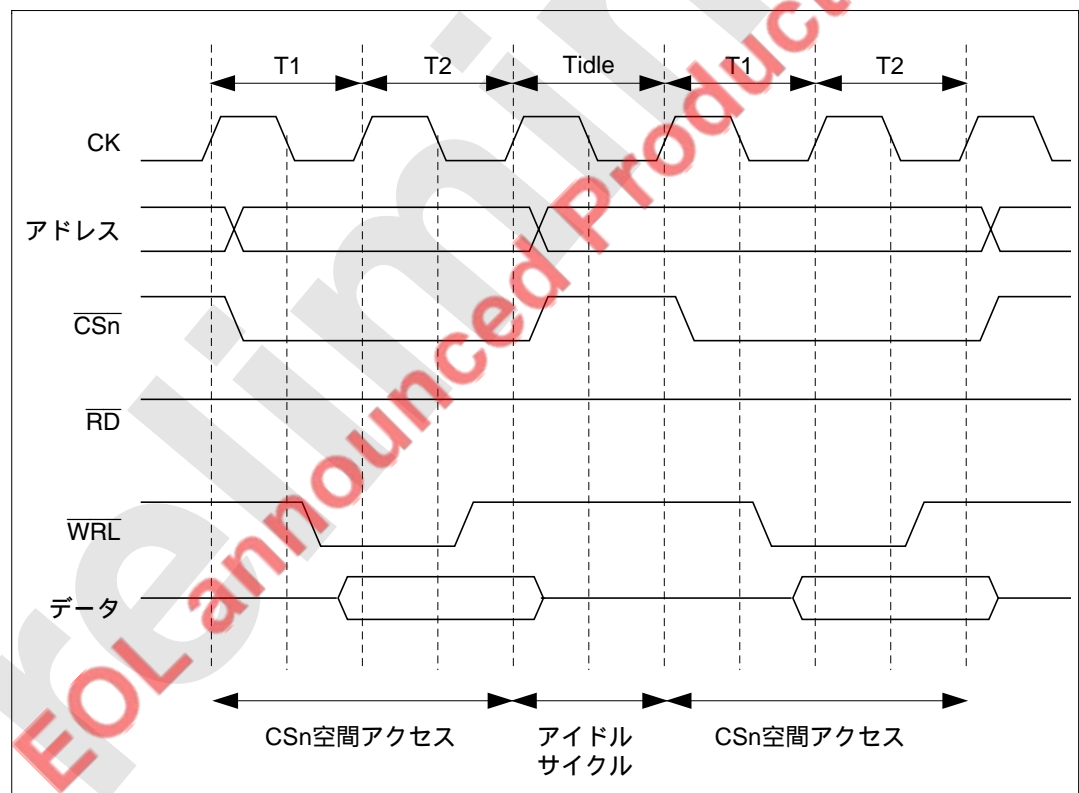


図 7.8 同一空間連続アクセス時アイドルサイクル挿入例

7.5 メモリ接続例

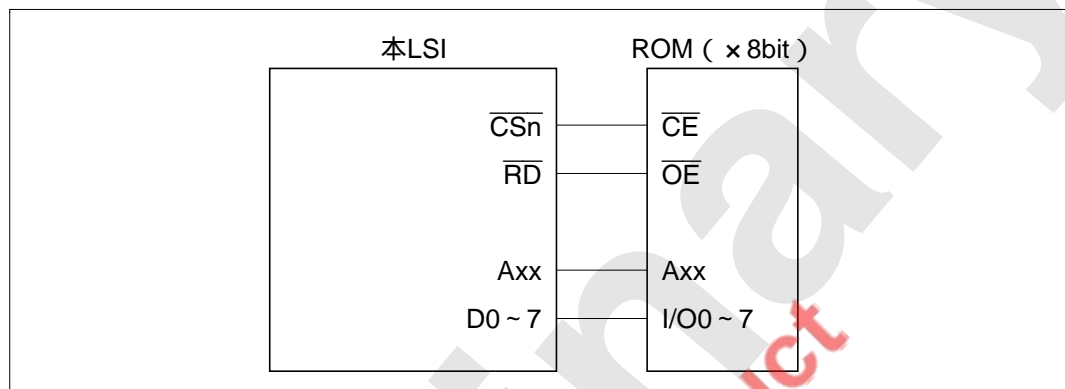


図 7.9 8ビットデータバス幅 ROM 接続例

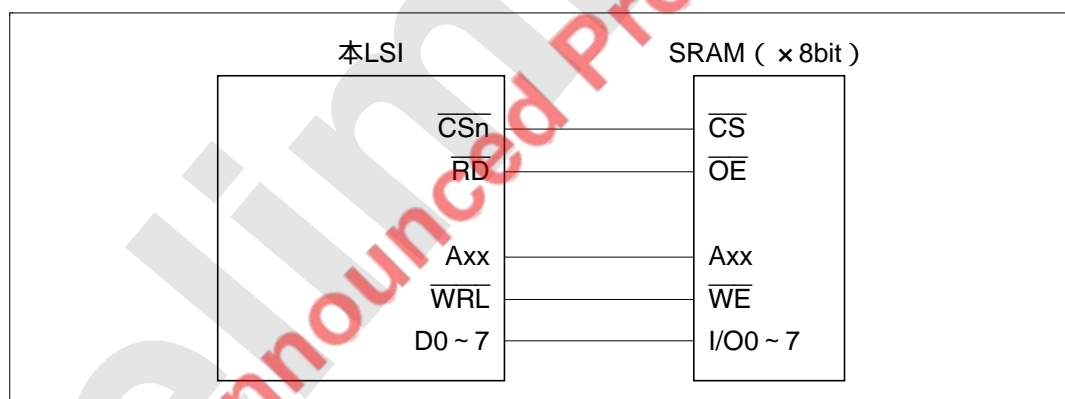


図 7.10 8ビットデータバス SRAM 接続例

8. マルチファンクション タイマパルスユニット (MTU)

第8章 目次

8.1	概要	8-3
8.1.1	特長	8-3
8.1.2	ブロック図	8-6
8.1.3	端子構成	8-7
8.1.4	レジスタ構成	8-8
8.2	レジスタの説明	8-9
8.2.1	タイマコントロールレジスタ (TCR)	8-9
8.2.2	タイマモードレジスタ (TMDR)	8-13
8.2.3	タイマI/Oコントロールレジスタ (TIOR)	8-15
8.2.4	タイマインタラプトイネーブルレジスタ (TIER)	8-22
8.2.5	タイマステータスレジスタ (TSR)	8-25
8.2.6	タイマカウンタ (TCNT)	8-29
8.2.7	タイマジェネラルレジスタ (TGR)	8-29
8.2.8	タイマスタートレジスタ (TSTR)	8-30
8.2.9	タイマシンクロレジスタ (TSYR)	8-31
8.3	バスマスタとのインタフェース	8-32
8.3.1	16ビットレジスタ	8-32
8.3.2	8ビットレジスタ	8-32
8.4	動作説明	8-34
8.4.1	概要	8-34
8.4.2	基本機能	8-35
8.4.3	同期動作	8-40
8.4.4	バッファ動作	8-42

8. マルチファンクションタイマパルスユニット (MTU)

8.4.5	カスケード接続動作.....	8-46
8.4.6	PWM モード.....	8-48
8.5	割り込み.....	8-52
8.5.1	割り込み要因と優先順位.....	8-52
8.5.2	A/D 変換器の起動.....	8-53
8.6	動作タイミング.....	8-54
8.6.1	入出力タイミング.....	8-54
8.6.2	割り込み信号タイミング.....	8-58
8.7	使用上の注意.....	8-61
8.8	MTU 出力端子の初期化方法.....	8-71
8.8.1	動作モード.....	8-71
8.8.2	リセットスタート時の動作.....	8-71
8.8.3	動作中の異常などによる再設定時の動作.....	8-71
8.8.4	動作中の異常などによる端子の初期化手順、モード遷移の概要.....	8-72

8.1 概要

本 LSI は、3 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット (MTU) を内蔵しています。

8.1.1 特長

最大 6 本のパルス入出力が可能です。

チャンネル 0 は 4 本、チャンネル 1、2 は各 2 本、合計 8 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタは独立にアウトプットコンペア/インプットキャプチャレジスタの設定が可能 (チャンネル 0 の TGR0B、TGR0D はアウトプットコンペアレジスタのみ) です。また、チャンネル 0 の TGRC、TGRD レジスタは、バッファレジスタとして使用できます。

各チャンネルとも 6 種類のカウント入力クロックが選択可能です。

各チャンネルともに次の動作を設定可能です。

- ・ コンペアマッチによる波形出力：0 出力、1 出力、トグル出力が選択可能
 - ・ インプットキャプチャ機能：
 - 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
 - ・ カウンタクリア動作：
 - コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
 - ・ 同期動作：
 - 複数のタイマカウンタ (TCNT) への同時書き込みが可能
 - コンペアマッチ/インプットキャプチャによる同時クリアが可能
 - カウンタの同期動作による各レジスタの同期入出力が可能
 - ・ PWM モード：
 - 任意デューティの PWM 出力が可能
 - 同期動作と組み合わせることにより、4 相*の PWM 出力が可能
- チャンネル 0 はバッファ動作を設定可能

- ・ インプットキャプチャレジスタのダブルバッファ構成が可能
- ・ アウトプットコンペアレジスタの自動書き換えが可能

カスケード接続動作

- ・ チャンネル 2 の入力クロックを、チャンネル 1 のオーバフロー/アンダフローにすることにより 32 ビットカウンタとして動作

【注】 * Ch0 ~ Ch2 を PWM モード 1 に設定した場合

内部 16 ビットバスによる高速アクセス

- ・ 16 ビットバスインタフェースによる高速アクセスが可能

11 種類の割り込み要因

- ・ チャンネル 0 はコンペアマッチ/インプットキャプチャ兼用割り込み×2 本、コンペアマッチ割り込み×2 本、オーバフロー割り込み×1 本が独立に要求可能
- ・ チャンネル 1、2 はコンペアマッチ/インプットキャプチャ兼用割り込み×2 本、オーバフロー割り込み×1 本、アンダフロー割り込み×1 本が独立に要求可能

A/D 変換器の変換スタートトリガを生成可能

- ・ チャンネル 0~2 のコンペアマッチ/インプットキャプチャ信号を A/D 変換器の変換スタートトリガとして使用可能

MTU の機能一覧を表 8.1 に示します。

表 8.1 MTU 機能一覧

項 目		チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック		内部クロック : /1、 /4、 /16、 /64、 /256、 /1024 各チャンネルごとに 6 種		
ジェネラルレジスタ		TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B
ジェネラルレジスタ / バッファレジスタ		TGR0C TGR0D		
入出力端子		TIOC0A TIOC0C	TIOC1A TIOC1B	TIOC2A TIOC2B
カウンタクリア機能		TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペア マッチ 出力	0 出力			
	1 出力			
	トグル出力			
インプットキャプチャ 機能				
同期動作				
バッファ動作				
PWM モード 1				
PWM モード 2				
A/D 変換開始トリガ		TGR0A のコンペアマッチ または インプットキャプチャ	TGR1A のコンペアマッチ または インプットキャプチャ	TGR2A のコンペアマッチ または インプットキャプチャ
割り込み要因		5 要因 ・ コンペアマッチ / インプ ットキャプチャ 0 A ・ コンペアマッチ 0 B ・ コンペアマッチ / インプ ットキャプチャ 0 C ・ コンペアマッチ 0 D ・ オーバフロー	3 要因 ・ コンペアマッチ / インプットキャプチャ 1A ・ コンペアマッチ / インプットキャプチャ 1B ・ オーバフロー	3 要因 ・ コンペアマッチ / インプ ットキャプチャ 2 A ・ コンペアマッチ / インプ ットキャプチャ 2 B ・ オーバフロー

8.1.2 ブロック図

MTUのブロック図を図8.1に示します。

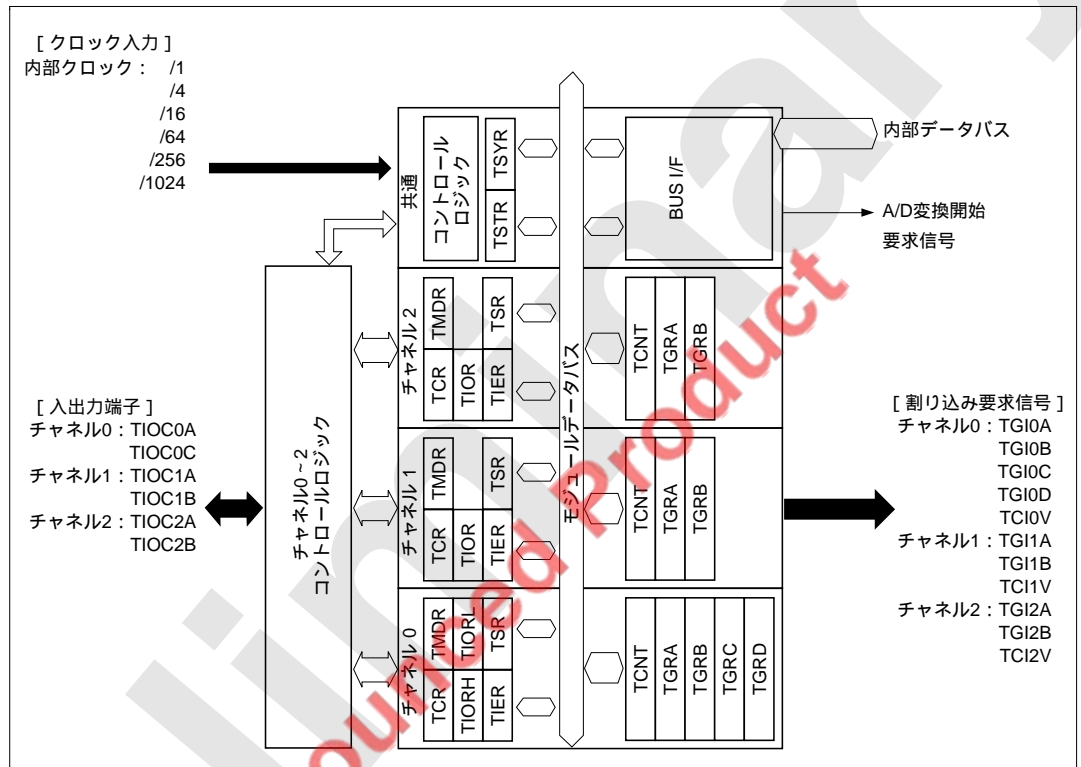


図 8.1 MTU のブロック図

8.1.3 端子構成

MTU の端子構成を表 8.2 に示します。

表 8.2 端子構成

チャンネル	名称	信号名	入出力	機能
0	インプットキャプチャ / アウトコンペアマッチ 0A	TIOC0A	入出力	TGR0A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 0C	TIOC0C	入出力	TGR0C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ / アウトコンペアマッチ 1A	TIOC1A	入出力	TGR1A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 1B	TIOC1B	入出力	TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ / アウトコンペアマッチ 2A	TIOC2A	入出力	TGR2A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ 2B	TIOC2B	入出力	TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

【注】 TIOC 端子をインプットキャプチャに設定して、かつピンファンクションコントローラ (PFC) でタイマ出力に設定すると不定値が出力されます。

8.1.4 レジスタ構成

MTUのレジスタ構成を表8.3に示します。

表8.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセスサイズ (ビット)*1
共通	タイムスタートレジスタ	TSTR	R/W	H'00	H'FFFF8240	8、16
	タイムシンクロレジスタ	TSYR	R/W	H'00	H'FFFF8241	8、16
0	タイムコントロールレジスタ0	TCR0	R/W	H'00	H'FFFF8260	8、16、32
	タイムモードレジスタ0	TMDR0	R/W	H'C0	H'FFFF8261	8、16、32
	タイムI/Oコントロールレジスタ0H	TIOR0H	R/W	H'00	H'FFFF8262	8、16、32
	タイムI/Oコントロールレジスタ0L	TIOR0L	R/W	H'00	H'FFFF8263	8、16、32
	タイムインタラプトイネーブル レジスタ0	TIER0	R/W	H'40	H'FFFF8264	8、16、32
	タイムステータスレジスタ0	TSR0	R/(W)*2	H'C0	H'FFFF8265	8、16、32
	タイムカウンタ0	TCNT0	R/W	H'0000	H'FFFF8266	16、32
	ジェネラルレジスタ0A	TGR0A	R/W	H'FFFF	H'FFFF8268	16、32
	ジェネラルレジスタ0B	TGR0B	R/W	H'FFFF	H'FFFF826A	16、32
	ジェネラルレジスタ0C	TGR0C	R/W	H'FFFF	H'FFFF826C	16、32
	ジェネラルレジスタ0D	TGR0D	R/W	H'FFFF	H'FFFF826E	16、32
	1	タイムコントロールレジスタ1	TCR1	R/W	H'00	H'FFFF8280
タイムモードレジスタ1		TMDR1	R/W	H'C0	H'FFFF8281	8、16
タイムI/Oコントロールレジスタ1		TIOR1	R/W	H'00	H'FFFF8282	8
タイムインタラプトイネーブル レジスタ1		TIER1	R/W	H'40	H'FFFF8284	8、16、32
タイムステータスレジスタ1		TSR1	R/(W)*2	H'C0	H'FFFF8285	8、16、32
タイムカウンタ1		TCNT1	R/W	H'0000	H'FFFF8286	16、32
ジェネラルレジスタ1A		TGR1A	R/W	H'FFFF	H'FFFF8288	16、32
ジェネラルレジスタ1B		TGR1B	R/W	H'FFFF	H'FFFF828A	16、32
2	タイムコントロールレジスタ2	TCR2	R/W	H'00	H'FFFF82A0	8、16
	タイムモードレジスタ2	TMDR2	R/W	H'C0	H'FFFF82A1	8、16
	タイムI/Oコントロールレジスタ2	TIOR2	R/W	H'00	H'FFFF82A2	8
	タイムインタラプトイネーブル レジスタ2	TIER2	R/W	H'40	H'FFFF82A4	8、16、32
	タイムステータスレジスタ2	TSR2	R/(W)*2	H'C0	H'FFFF82A5	8、16、32
	タイムカウンタ2	TCNT2	R/W	H'0000	H'FFFF82A6	16、32
	ジェネラルレジスタ2A	TGR2A	R/W	H'FFFF	H'FFFF82A8	16、32
	ジェネラルレジスタ2B	TGR2B	R/W	H'FFFF	H'FFFF82AA	16、32

【注】 空きアドレスは、アクセスしないでください。

*1 16ビットレジスタ (TCNT、TGR) は8ビット単位のR/Wはできません。

*2 フラグをクリアするための0書き込みのみ可能です。

8.2 レジスタの説明

8.2.1 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は各チャンネルの TCNT カウンタを制御するレジスタです。MTU には、チャンネル 0~2 に各 1 本、計 3 本の TCR レジスタがあります。TCR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットで H'00 に初期化されます。

チャンネル 0 : TCR0

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TCR1、TCR2

ビット :	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7、6、5 : カウンタクリア 2、1、0 (CCLR2、1、0)

TCNT カウンタのカウンタクリア要因を選択します。

8. マルチファンクションタイマパルスユニット (MTU)

チャンネル0

ビット7	ビット6	ビット5	機 能
CCLR2	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止 (初期値)
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTをクリア
	1	0	TGRBのコンペアマッチでTCNTをクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ/インプットキャプチャでTCNTをクリア*2
	1	0	TGRDのコンペアマッチでTCNTをクリア*2
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

チャンネル1、2

ビット7	ビット6	ビット5	機 能
予約*2	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止 (初期値)
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTをクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTをクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 チャンネル1、2ではビット7は予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4、3：クロックエッジ1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります。(例：4/ の両エッジ = 2/ の立ち上がりエッジ)

ビット4	ビット3	機 能
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	X	両エッジでカウント

- 【注】
1. X：0または1、don't care を表します。
 2. 内部クロックのエッジ選択は、入力クロックが $1/4$ もしくはそれより遅い場合に有効です。入力クロックに $1/1$ 、あるいは他のチャンネルのオーバーフローを選択した場合は本設定は無視されます。

ビット2~0：タイマプリスケラ2~0 (TPSC2~0)

TCNTのカウントクロックを選択します。各チャンネル独立にクロックソースを選択することができます。各チャンネルごとに設定可能なクロックソース一覧を表8.4に示します。

表8.4 MTUのクロックソース一覧

チャンネル	内部クロック						他のチャンネルのオーバーフロー
	/1	/4	/16	/64	/256	/1024	
0							
1							
2							

《記号説明》

□：設定可能、○：設定不可

8. マルチファンクションタイマパルスユニット (MTU)

チャンネル0

ビット2	ビット1	ビット0	機 能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	予約 (設定しないでください)
		1	予約 (設定しないでください)
	1	0	予約 (設定しないでください)
		1	予約 (設定しないでください)

チャンネル1

ビット2	ビット1	ビット0	機 能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	予約 (設定しないでください)
		1	予約 (設定しないでください)
	1	0	内部クロック： /256 でカウント
		1	TCNT2 のオーバフローでカウント

チャンネル2

ビット2	ビット1	ビット0	機能
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： /1 でカウント (初期値)
		1	内部クロック： /4 でカウント
	1	0	内部クロック： /16 でカウント
		1	内部クロック： /64 でカウント
1	0	0	予約 (設定しないでください)
		1	予約 (設定しないでください)
	1	0	予約 (設定しないでください)
		1	内部クロック： /1024 でカウント

8.2.2 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は各チャンネルの動作モードの設定を行います。MTU には、各チャンネル1本、計3本の TMDR レジスタがあります。TMDR レジスタは、8ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットで H'00 に初期化されます。

チャンネル0 : TMDR0

ビット :	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1、2 : TMDR1、TMDR2

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット7、6 : 予約ビット

予約ビットです。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5 : バッファ動作 B (BFB)

TGRB レジスタを通常動作させるか TGRB レジスタと TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合は、TGRD レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

TGRD レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット5	機 能	
BFB		
0	TGRB は通常動作	(初期値)
1	TGRB と TGRD はバッファ動作	

ビット4 : バッファ動作 (BFA)

TGRA レジスタを通常動作させるか TGRA レジスタと TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合は、TGRC レジスタのインプットキャプチャ/アウトプットコンペアは発生しません。

TGRC レジスタを持たないチャンネル 1、2 ではこのビットは予約ビットになります。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4	機 能	
BFA		
0	TGRA は通常動作	(初期値)
1	TGRA と TGRC はバッファ動作	

ビット3~0 : モード3~0 (MD3~MD0)

MD3~0 はタイマの動作モードを設定します。

ビット3	ビット2	ビット1	ビット0	機 能
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
			1	予約 (設定しないでください)
		1	0	PWM モード 1
			1	PWM モード 2
	1	*	*	予約 (設定しないでください)
1	*	*	*	予約 (設定しないでください)

* : Don't Care

8.2.3 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は TGR を制御するレジスタです。MTU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR レジスタがあります。TIOR レジスタはパワーオンリセットで H'00 に初期化されます。

チャンネル 0 : TIOR0H

ビット :	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TIOR1、TIOR2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 ~ 4 : I/O コントロール B3 ~ 0 (IOB3 ~ IOB0)

IOB3 ~ IOB0 は TGRB レジスタの機能を設定します。

(TIOR0H のビット 7 は予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。)

ビット 3 ~ 0 : I/O コントロール A3 ~ 0 (IOA3 ~ IOA0)

IOA3 ~ IOA0 は TGRA レジスタの機能を設定します。

チャンネル 0 : TIOR0L

ビット :	7	6	5	4	3	2	1	0
	—	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいは TGRD レジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 ~ 4 : I/O コントロール D3 ~ 0 (IOD3 ~ IOD0)

IOD2 ~ IOD0 は TGRD レジスタの機能を設定します。

8. マルチファンクションタイマパルスユニット (MTU)

ビット3~0 : I/O コントロール C3~0 (IOC3~IOC0)

IOC3~IOC0はTGRCレジスタの機能を設定します。

チャンネル0 (TIOR0H レジスタ)

ビット6	ビット5	ビット4	機 能		
IOB2	IOB1	IOB0			
0	0	0	TGR0Bは	出力禁止 (初期値)	
		1	アウトプット	初期出力は	コンペアマッチで0出力
	1	0	0	コンペア レジスタ	0出力
1			コンペアマッチでトグル出力		
1	0	0	出力禁止		
		1	初期出力は	コンペアマッチで0出力	
	1	0	1出力	コンペアマッチで1出力	
		1	コンペアマッチでトグル出力		

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR0Aは	出力禁止 (初期値)	
			1	アウトプット	初期出力は	コンペアマッチで0出力
		1	0	0	コンペア レジスタ	0出力
	1			コンペアマッチでトグル出力		
	1	0	0	出力禁止		
			1	初期出力は	コンペアマッチで0出力	
1		0	0	1出力	コンペアマッチで1出力	
	1		コンペアマッチでトグル出力			
1	0	0	0	TGR0Aは	キャプチャ入力 元はTIOC0A	立ち上がりエッジで
			1	インプット		インプットキャプチャ
		1	0	0	キャプチャ	端子
	1			レジスタ	インプットキャプチャ	
	1	0	0	両エッジでインプット		
			1	キャプチャ		
1		0	0	キャプチャ入力	元はチャンネル1 / カウントクロック	TCNT1のカウンタアップ/ カウントダウンでインプット
	1		キャプチャ			

チャンネル0 (TIOR0L レジスタ)

ビット6	ビット5	ビット4	機 能	
IOD2	IOD1	IOD0		
0	0	0	TGR0D は アウトプット コンペア レジスタ	出力禁止 (初期値)
		1		初期出力は 0 出力
	1	0		コンペアマッチで 1 出力
		1		コンペアマッチでトグル出力
1	0	0	出力禁止	
		1	初期出力は 1 出力	コンペアマッチで 0 出力
	1	0	コンペアマッチで 1 出力	
		1	コンペアマッチでトグル出力	

ビット3	ビット2	ビット1	ビット0	機 能		
IOC3	IOC2	IOC1	IOC0			
0	0	0	0	TGR0C は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は 0 出力	コンペアマッチで 0 出力
		1	0		コンペアマッチで 1 出力	
			1		コンペアマッチでトグル出力	
	1	0	0	出力禁止		
			1	初期出力は 1 出力	コンペアマッチで 0 出力	
		1	0	コンペアマッチで 1 出力		
			1	コンペアマッチでトグル出力		
1	0	0	0	TGR0C は インプット キャプチャ レジスタ	キャプチャ入力元は TIOC0C	立ち上がりエッジで インプットキャプチャ
			1		キャプチャ端子	立ち下がりエッジで インプットキャプチャ
		1	0		両エッジでインプット キャプチャ	
	1		キャプチャ入力元はチャンネル1 / カウントクロック		TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ	
	1	0	0			
			1			
1		0				
		1				

【注】 TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

8. マルチファンクションタイムパルスユニット (MTU)

チャンネル1 (TIOR1 レジスタ)

ビット7	ビット6	ビット5	ビット4	機 能		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
			1		初期出力は 0 出力	コンペアマッチで0 出力
		1	0			コンペアマッチで1 出力
			1		コンペアマッチでトグル出力	
	1	0	0		出力禁止	
			1		初期出力は 1 出力	コンペアマッチで0 出力
		1	0			コンペアマッチで1 出力
			1		コンペアマッチでトグル出力	
1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ入力 元は TI0C1B 端子	立ち上がりエッジで インプットキャプチャ
			1			立ち下がりエッジで インプットキャプチャ
		1	0		両エッジでインプット キャプチャ	
			1			
	1	0	0	キャプチャ入力 元は TGR0C コ ンペアマッチ/ インプットキャ プチャ	チャンネル0 / TGR0C のコン ペアマッチ / インプットキャ プチャの発生でインプットキ ャプチャ	
			1			
		1	0			
			1			

8. マルチファンクションタイムパルスユニット (MTU)

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR1A は	出力禁止 (初期値)	
			1	アウトプット	初期出力は	コンペアマッチで0出力
		1	0	コンペア	0出力	コンペアマッチで1出力
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで0出力
		1	0		1出力	コンペアマッチで1出力
			1		コンペアマッチでトグル出力	
1	0	0	0	TGR1A は	キャプチャ入力 元はTIOC1A 端子	立ち上がりエッジで
			1	インプット		インプットキャプチャ
		1	0	キャプチャ		立ち下がりエッジで
			1	レジスタ		インプットキャプチャ
	1	0	0		両エッジでインプット	
			1		キャプチャ	
		1	0		キャプチャ入力	チャンネル0/TGR0Aのコンペ
			1		元はTGR0Aコ	アマッチ/インプットキャプ
		1		チャの発生でインプットキャ		
		0		プチャ		
		1		プチャ		

8. マルチファンクションタイムパルスユニット (MTU)

チャンネル 2 (TIOR2 レジスタ)

ビット 7	ビット 6	ビット 5	ビット 4	機 能		
IOB3	IOB2	IOB1	IOB0			
0	0	0	0	TGR2B は	出力禁止 (初期値)	
			1	アウトプット	初期出力は	コンペアマッチで 0 出力
		1	0	コンペア	0 出力	コンペアマッチで 1 出力
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで 0 出力
		1	0		1 出力	コンペアマッチで 1 出力
			1		コンペアマッチでトグル出力	
1	0	0	0	TGR2B は	キャプチャ入力 元は TIOC2B 端子	立ち上がりエッジで
			1	インプット		インプットキャプチャ
		1	0	キャプチャ		立ち下がりエッジで
			1	レジスタ		インプットキャプチャ
	1	0	0			両エッジでインプット
			1			キャプチャ
		1	0			立ち上がりエッジで
			1			インプットキャプチャ
1	0	0		立ち下がりエッジで		
		1		インプットキャプチャ		
1	1	0		両エッジでインプット		
		1		キャプチャ		

8. マルチファンクションタイマパルスユニット (MTU)

ビット3	ビット2	ビット1	ビット0	機 能		
IOA3	IOA2	IOA1	IOA0			
0	0	0	0	TGR2A は	出力禁止 (初期値)	
			1	アウトプット	初期出力は	コンペアマッチで0出力
		1	0	コンペア	0出力	コンペアマッチで1出力
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0		出力禁止	
			1		初期出力は	コンペアマッチで0出力
		1	0		1出力	コンペアマッチで1出力
			1		コンペアマッチでトグル出力	
1	0	0	0	TGR2A は	キャプチャ入力元は TIOC2A 端子	立ち上がりエッジで
			1	インプット		インプットキャプチャ
		1	0	キャプチャ		立ち下がりエッジで
			1	レジスタ		インプットキャプチャ
	1	0	0			両エッジでインプット
			1			キャプチャ
		1	0			立ち上がりエッジで
			1			インプットキャプチャ
1	0	0		立ち下がりエッジで		
		1		インプットキャプチャ		
1	0	0		両エッジでインプット		
		1		キャプチャ		

8.2.4 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトイネーブルレジスタ (TIER) は、各チャンネルの割り込み要求の許可、禁止を制御します。MTU には、各チャンネル 1 本、計 3 本の TIER レジスタがあります。TIER レジスタは、8 ビットのレジスタです。パワーオンリセットで H'40 に初期化されます。

チャンネル 0 : TIER0

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

チャンネル 1、2 : TIER1、TIER2

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	—	—	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	R	R	R/W	R	R	R/W	R/W

ビット 7 : A/D 変換開始要求イネーブル (TTGE)

TGRA レジスタのインプットキャプチャ/コンペアマッチによって、A/D 変換開始要求の発生することを許可または禁止します。

ビット 7	機 能	
TTGE		
0	A/D 変換開始要求の発生を禁止	(初期値)
1	A/D 変換開始要求の発生を許可	

ビット 6 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4：オーバフローインタラプトイネーブル (TCIEV)

タイムステータスレジスタ (TSR) のオーバフローフラグ (TCFV) が 1 にセットされたとき、TCFV による割り込み要求を許可または禁止します。

ビット4	機 能	
TCIEV		
0	TCFV による割り込み要求 (TCIV) を禁止	(初期値)
1	TCFV による割り込み要求 (TCIV) を許可	

ビット3：TGR インタラプトイネーブルD (TGIED)

チャンネル0でTSRレジスタのTGFDビットが0にセットされたとき、TGFDによる割込要求許可または禁止します。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3	機 能	
TGIED		
0	TGFDビットによる割り込み要求 (TGID) を禁止	(初期値)
1	TGFDビットによる割り込み要求 (TGID) を許可	

ビット2：TGR インタラプトイネーブルC (TGIEC)

チャンネル0でTSRレジスタのTGFCビットが1にセットされたとき、TGFCによる割り込み要求を許可または禁止します。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2	機 能	
TGIEC		
0	TGFCビットによる割り込み要求 (TGIC) を禁止	(初期値)
1	TGFCビットによる割り込み要求 (TGIC) を許可	

8. マルチファンクションタイマパルスユニット (MTU)

ビット1 : TGR インタラプトイネーブルB (TGIEB)

TSRレジスタのTGFBビットが1にセットされたとき、TGFBによる割り込み要求を許可または禁止します。

ビット1	機能
TGIEB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFBビットによる割り込み要求 (TGIB) を許可

ビット0 : TGR インタラプトイネーブルA (TGIEA)

TSRレジスタのTGFAビットが1にセットされたとき、TGFAによる割り込み要求を許可または禁止します。

ビット0	機能
TGIEA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFAビットによる割り込み要求 (TGIA) を許可

8.2.5 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は各チャンネルのステータスの表示を行います。MTU には、各チャンネル1本、計3本のTSRレジスタがあります。TSRレジスタは、8ビットのレジスタです。パワーオンリセットでH'00に初期化されます。

チャンネル0 : TSR0

ビット :	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0書き込みのみ可能です。

チャンネル1、2 : TSR1、TSR2

ビット :	7	6	5	4	3	2	1	0
	—	—	—	TCFV	—	—	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするための0書き込みのみ可能です。

ビット7、6 : 予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : オーバフローフラグ (TCFV)

TCNTカウンタのオーバフローの発生を示すステータスフラグです。

ビット4	機 能
TCFV	
0	[クリア条件] (初期値) TCFV=1の状態ではTCFVを読み出した後、TCFVに0を書き込んだとき
1	[セット条件] TCNTの値がオーバフロー (H'FFFF H'0000) したとき

ビット3 : アウトプットコンペアフラグD (TGFD)

チャンネル0のTGRDレジスタのコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3	機 能
TGFD	
0	[クリア条件] (初期値) TGFD=1の状態ではTGFDを読み出した後、TGFDに0を書き込んだとき
1	[セット条件] TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき

ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)

チャンネル0のTGRCレジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2では予約ビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2	機 能
TGFC	
0	[クリア条件] (初期値) TGFC=1の状態ではTGFCを読み出した後、TGFCに0を書き込んだとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

ビット1：アウトプットコンペアフラグB (TGFB)

TGRBレジスタのコンペアマッチの発生を示すステータスフラグです。

ビット1	機 能
TGFB	
0	[クリア条件] (初期値) TGFB=1の状態ではTGFBを読み出した後、TGFBに0を書き込んだとき
1	[セット条件] TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき

8. マルチファンクションタイマパルスユニット (MTU)

ビット0：インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGFA レジスタのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	機能
TGFA	
0	[クリア条件] (初期値) TGFA = 1 の状態で TGFA を読み出した後、TGFA に 0 を書き込んだとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

8.2.6 タイマカウンタ (TCNT)

タイマ TCNT カウンタ (TCNT) は 16 ビットのカウンタです。各チャンネルに 1 本、計 3 本の TCNT カウンタがあります。TCNT カウンタは、パワーオンリセットで H'0000 に初期化されます。TCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

チャンネル 0 : TCNT0 (アップカウンタ)

チャンネル 1 : TCNT1 (アップカウンタ)

チャンネル 2 : TCNT2 (アップカウンタ)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

8.2.7 タイマジェネラルレジスタ (TGR)

タイマジェネラルレジスタ (TGR) は 16 ビットのアウトプットコンペア・インプットキャプチャ兼用のレジスタです。チャンネル 0 に 4 本、チャンネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャンネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRA と TGRC、TGRB と TGRD になります。

TGR はパワーオンリセットで H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

8.2.8 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) はチャンネル0~2のTCNTカウンタの動作/停止を選択します。TSTRレジスタは、8ビットの読み出し/書き込み可能なレジスタです。パワーオンリセットでH'00に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット7~3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2~0: カウンタスタート2~0 (CST2~CST0)

タイマカウンタ (TCNT) の動作/停止を選択します。ビットとチャンネルの対応は下記のとおりです。

CST2: チャンネル2 (TCNT2)

CST1: チャンネル1 (TCNT1)

CST0: チャンネル0 (TCNT0)

ビット n	機 能
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

【注】 n = 2~0。

TIOC 端子を出力状態で動作中に、CST ビットに0書き込むと、カウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが0の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

8.2.9 タイマシンクロレジスタ (TSYR)

タイマシンクロレジスタ (TSYR) はチャンネル 0~2 の TCNT カウンタの独立動作 / 同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。TSYR レジスタは、8 ビットの読み出し / 書き込み可能なレジスタです。パワーオンリセットで H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット 7~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2~0 : タイマ同期 2~0 (SYNC2~SYNC0)

他のチャンネルとの独立動作 / 同期動作を選択します。同期動作を選択すると複数の TCNT の同期プリセットや他チャンネルのカウンタクリアによる同期クリアが可能となります。同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR レジスタの CCLR2~CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。ビットとチャンネルの対応は下記のとおりです。

SYNC2 : チャンネル 2 (TCNT2)

SYNC1 : チャンネル 1 (TCNT1)

SYNC0 : チャンネル 0 (TCNT0)

ビット n	機能
SYNCn	
0	タイマカウンタ (TCNTn) は独立動作 (TCNTn のプリセット / クリアは他チャンネルと無関係) (初期値)
1	タイマカウンタは同期動作* ¹ TCNTn の同期プリセット / 同期クリア* ² が可能

【注】 n = 2~0。

*¹ 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

*² 同期クリアの設定には、SYNC ビットの他に TCR レジスタの CCLR2~CCLR0 ビットで、TCNT カウンタのクリア要因を設定する必要があります。

8.3 バスマスタとのインタフェース

8.3.1 16 ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR) は16ビットのレジスタです。バスマスタとの間のデータバスは16ビット幅なので、16ビット単位での読み出し/書き込みが可能です。8ビット単位での読み出し/書き込みはできません。常に16ビット単位でアクセスしてください。16ビットレジスタのアクセス動作例を図8.2に示します。

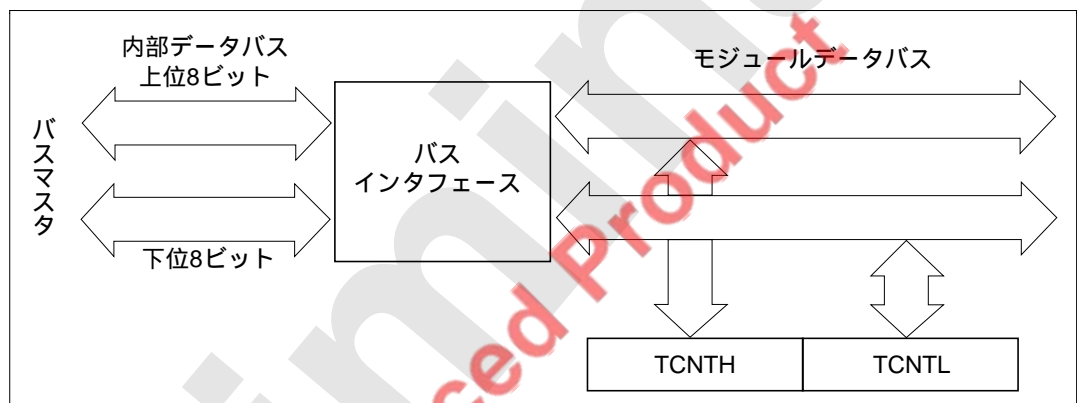


図 8.2 16 ビットレジスタのアクセス動作 [バスマスタ TCNT (16 ビット)]

8.3.2 8 ビットレジスタ

タイマカウンタ (TCNT)、ジェネラルレジスタ (TGR) 以外のレジスタは8ビットのレジスタです。CPUとの間のデータバスは16ビット幅なので、16ビット単位での読み出し/書き込みが可能です。また、8ビット単位での読み出し/書き込みもできます。

8ビットレジスタのアクセス動作例を図8.3、図8.4、図8.5に示します。

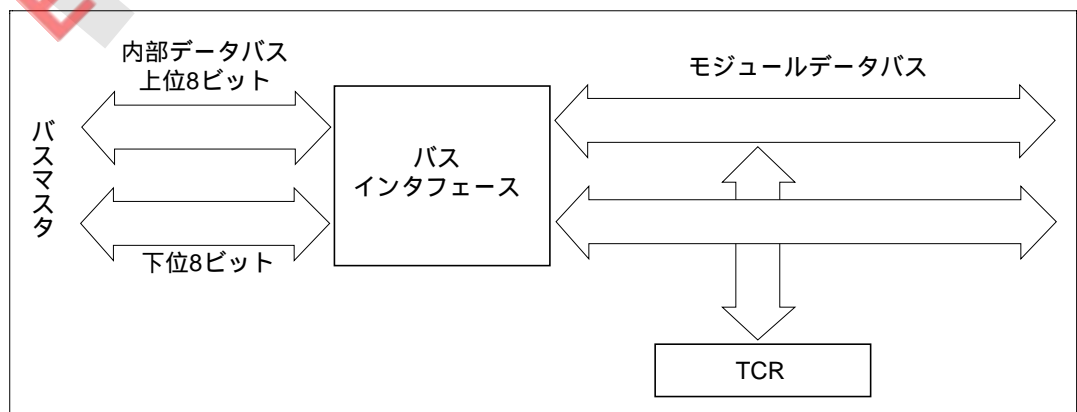


図 8.3 8 ビットレジスタのアクセス動作 [バスマスタ TCR (上位8ビット)]

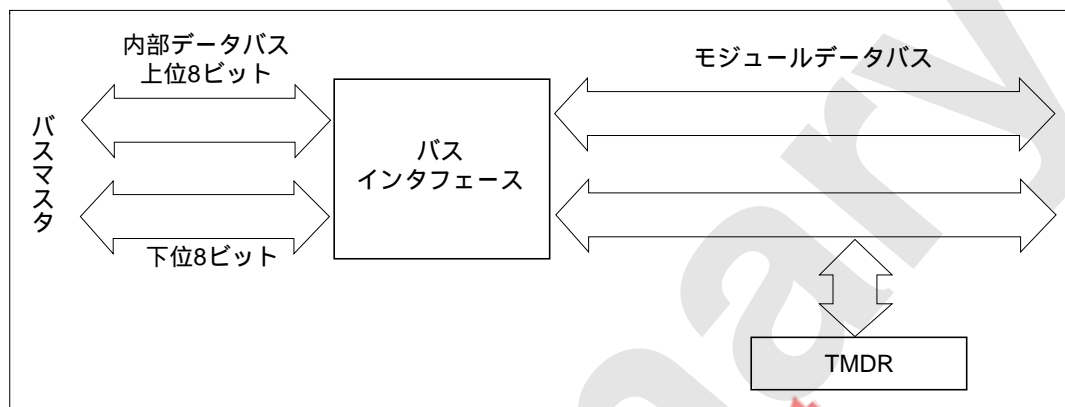


図 8.4 8 ビットレジスタのアクセス動作 [バスマスタ TMDR (下位 8 ビット)]

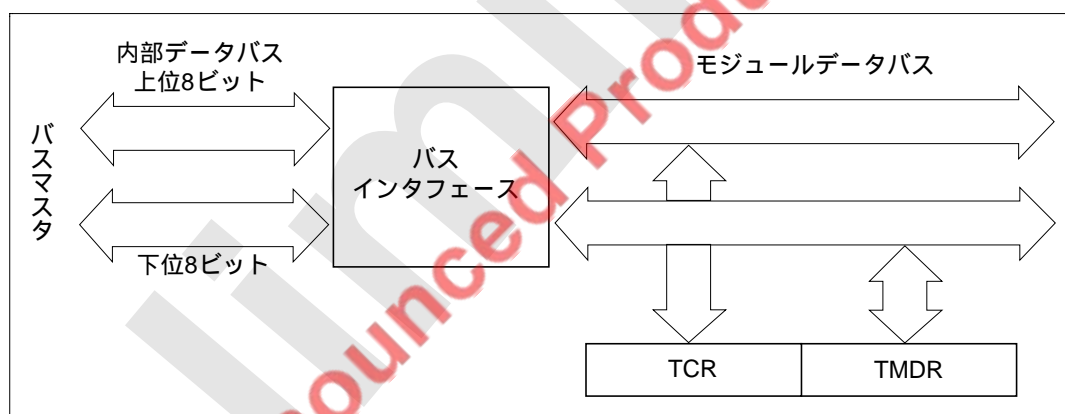


図 8.5 8 ビットレジスタのアクセス動作 [バスマスタ TCR、TMDR (16 ビット)]

8.4 動作説明

8.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNT カウンタと TGR レジスタがあります。TCNT カウンタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT カウンタは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT カウンタを書き換えると他のチャンネルの TCNT カウンタも同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR レジスタのタイマ同期ビットの設定により、TCNT カウンタの同期クリアが可能です。

(3) バッファ動作

- (a) TGR レジスタがアウトプットコンペアレジスタの場合、コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR レジスタに転送されます。
- (b) TGR がインプットキャプチャレジスタの場合、インプットキャプチャが発生すると TCNT カウンタの値が TGR レジスタに転送されると同時に、それまで格納されていた TGR レジスタの値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル1 カウンタ (TCNT1) とチャンネル2 カウンタ (TCNT2) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR レジスタにより設定できます。各 TGR レジスタの設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

8.4.2 基本機能

MTU の外部端子の機能設定は必ずピンファンクションコントローラ (PFC) で行ってください。

(1) カウンタの動作

タイマスタートレジスタ (TSTR) の CST0~CST2 ビットを 1 にセットすると、対応するチャンネルの TCNT カウンタはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 8.6 に示します。

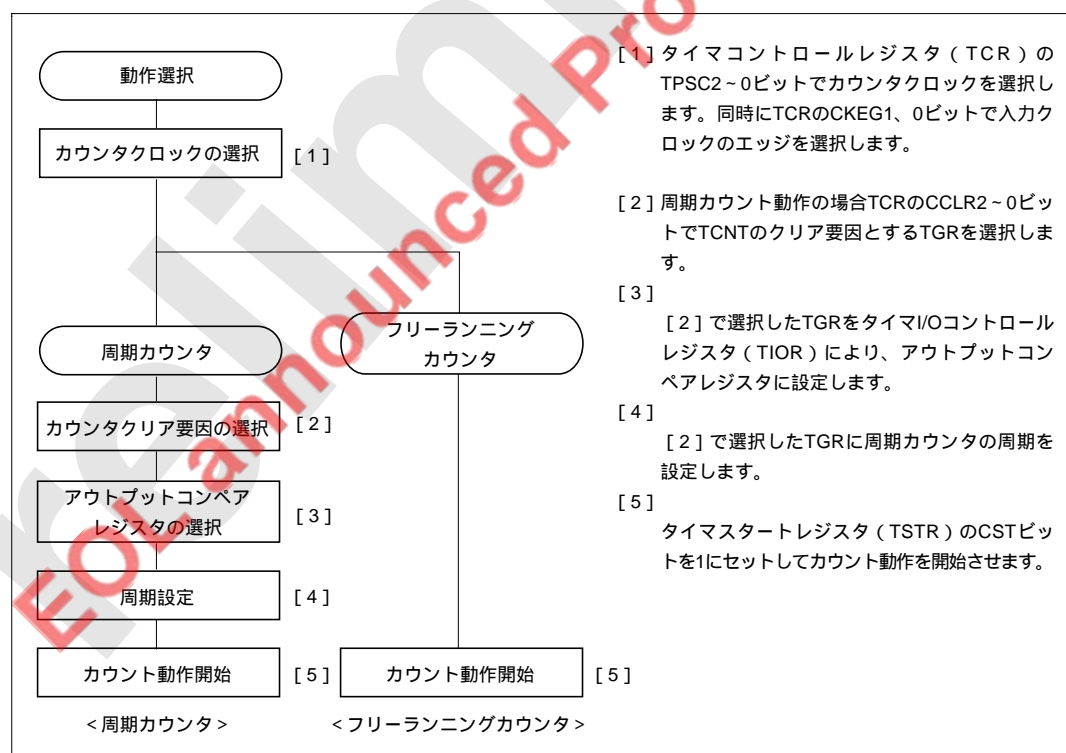


図 8.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作例

MTUのタイマカウンタ (TCNT) は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR レジスタの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT カウンタがオーバーフロー (H'FFFF H'0000) すると、タイマステータスレジスタ (TSR) のTCFV ビットが1にセットされます。このとき、対応するタイムインタラプトイネーブルレジスタ (TIER) のTCIEV ビットが1ならば、MTU は割り込みコントローラに対して、割り込みを要求します。TCNT カウンタはオーバーフロー後、H'0000 からアップカウント動作を継続します。フリーランニングカウンタの動作を図 8.7 に示します。

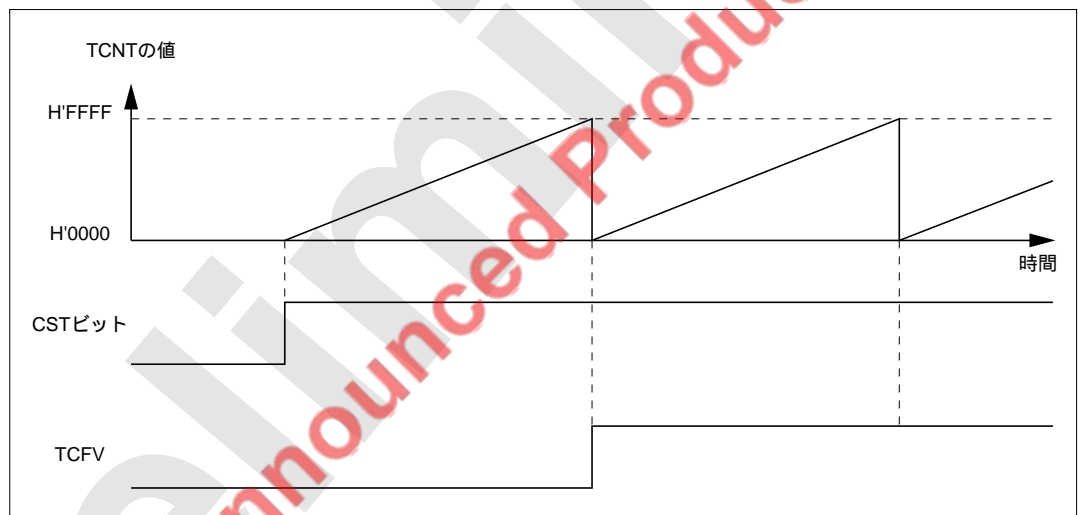


図 8.7 フリーランニングカウンタの動作

(c) 周期カウンタ動作例

TCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNT カウンタは周期カウンタ動作を行います。周期設定用の TGR レジスタをアウトプットコンペアレジスタに設定し、タイマコントロールレジスタ (TCR) の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR レジスタの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値が TGR レジスタの値と一致すると、TSR レジスタの TGF ビットが1にセットされ、TCNT カウンタは H'0000 にクリアされます。このとき対応する TIER レジスタの TGIE ビットが1ならば、MTU は割り込みコントローラに対して、割り込みを要求します。TCNT カウンタはコンペアマッチ後、H'0000 からアップカウント動作を継続します。周期カウンタの動作を図 8.8 に示します。

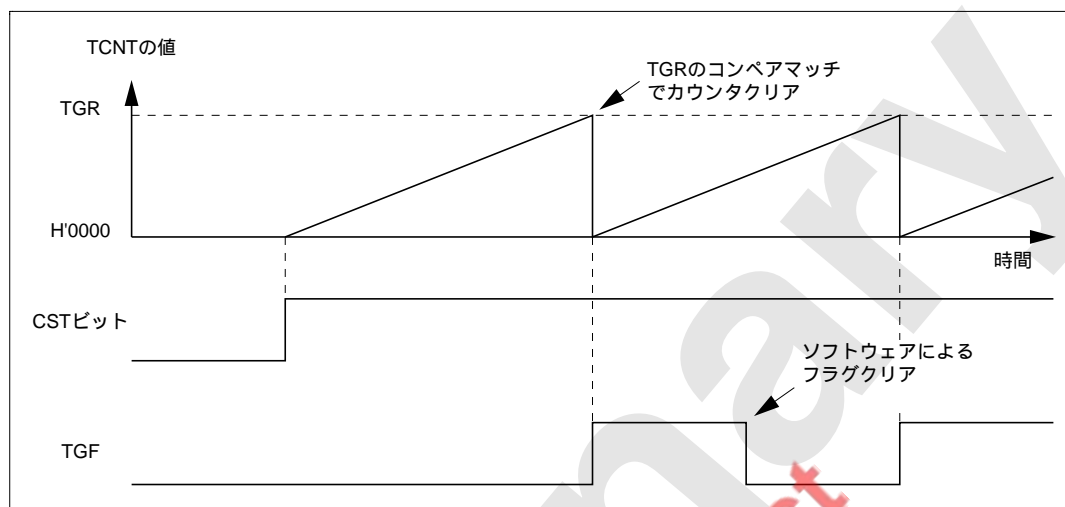


図 8.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

MTUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 8.9 に示します。

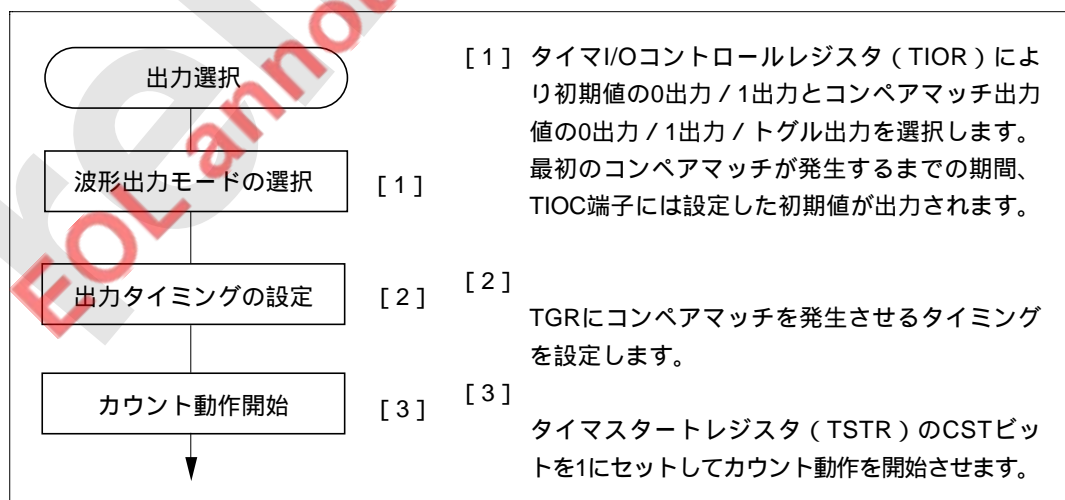


図 8.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例 (0 出力 / 1 出力)

0 出力 / 1 出力例を図 8.10 に示します。

TCNT カウンタをフリーランカウント動作、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

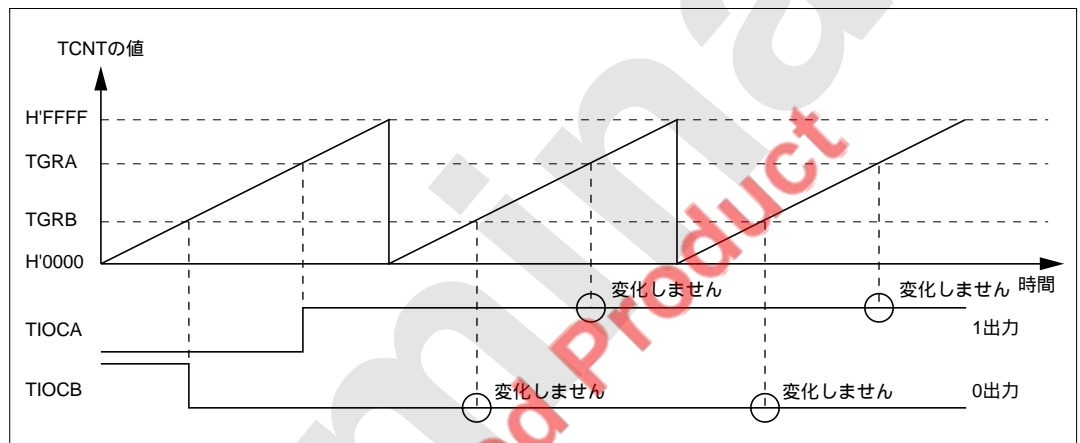


図 8.10 0 出力 / 1 出力の動作例

(c) 波形出力動作例 (トグル出力)

トグル出力の例を図 8.11 に示します。

TCNT カウンタを周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

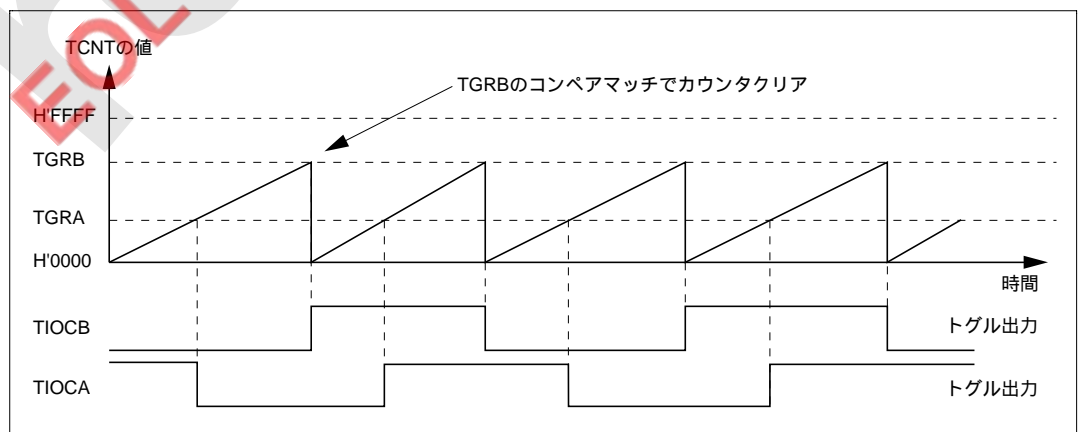


図 8.11 トグル出力の動作例

(3) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (TIOC) の入力エッジを検出してタイマカウンタ (TCNT) の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 8.12 に示します。

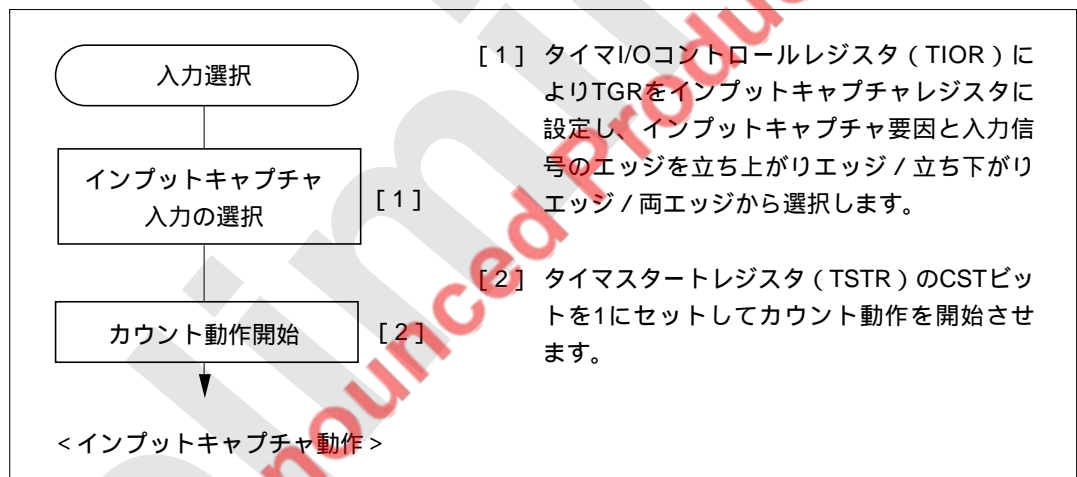


図 8.12 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 8.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT カウンタは TGRB レジスタのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

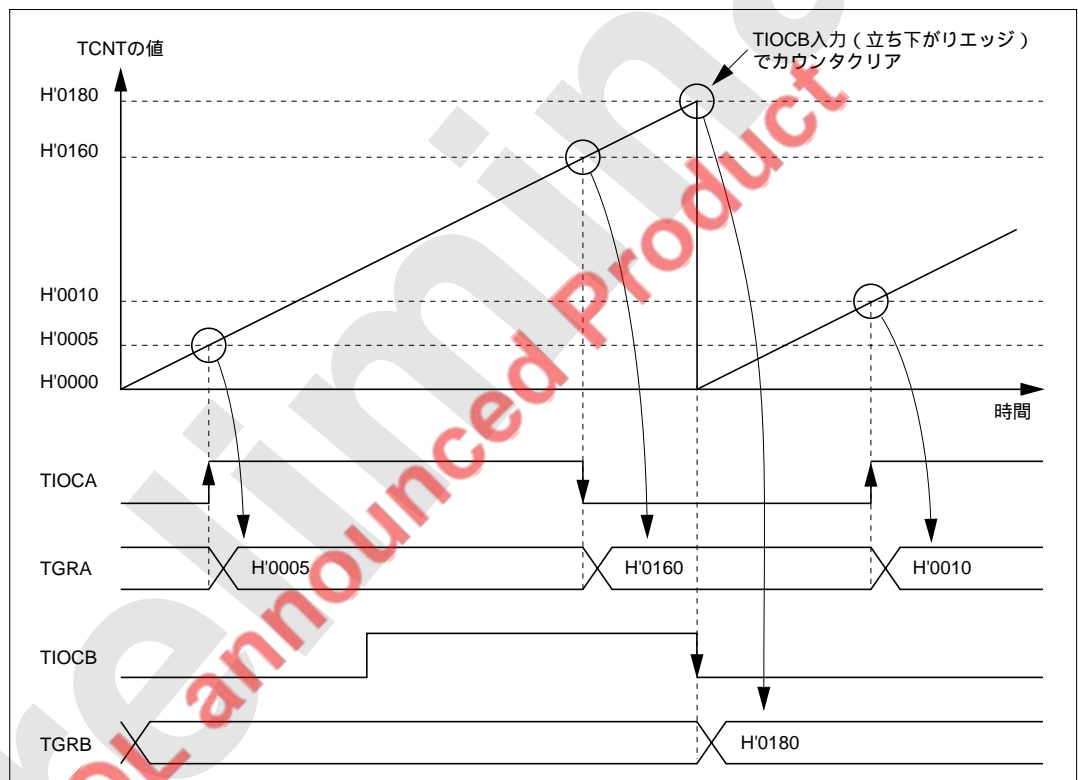


図 8.13 インพุットキャプチャ動作例

8.4.3 同期動作

同期動作には、同期プリセットと同期クリアがあります。同期プリセットは、複数のタイマカウンタ (TCNT) の値を同時に書き換えることができます。同期クリアは、タイマコントロールレジスタ (TCR) の設定により複数の TCNT カウンタを同時にクリアすることができます。

同期動作により、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。チャンネル 0~2 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 8.14 に示します。

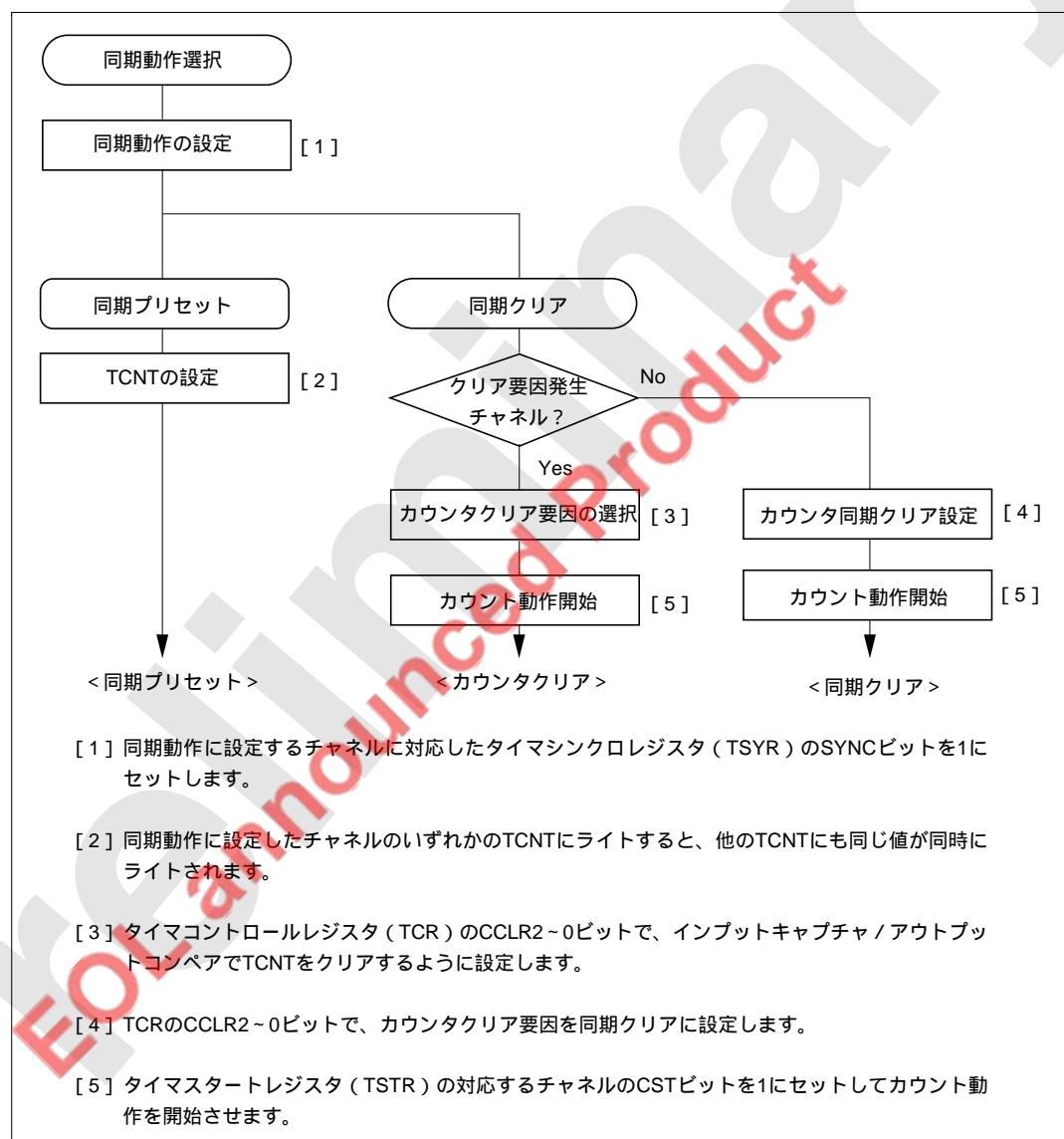


図 8.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 8.15 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGR0B レジスタのコンペアマッチに設定し、チャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。このとき、チャンネル 0~2 の TCNT カウンタは、同期プリセットと TGR0B レジスタのコンペアマッチによる同期クリアとが行われ、TGR0B レジスタに設定したデータを PWM 周期とする 3 相の PWM 波形が TIOC0A、TIOC1A、TIOC2A 端子から出力されます。

PWM モードについては、「8.4.6 PWM モード」を参照してください。

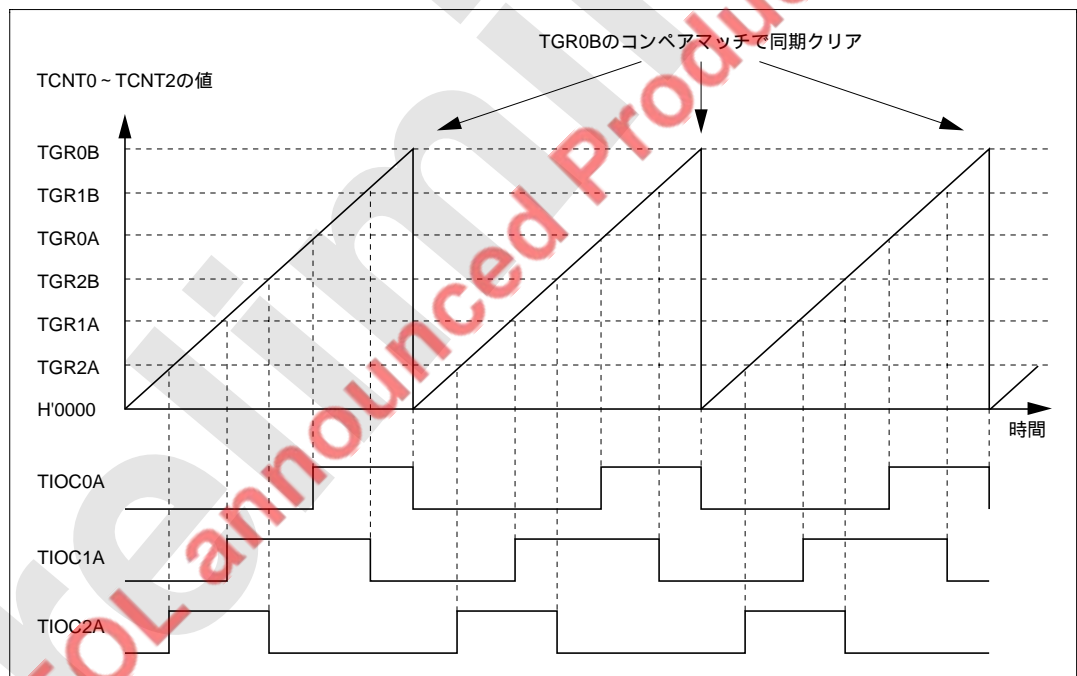


図 8.15 同期動作の動作例

8.4.4 バッファ動作

バッファ動作は、チャンネル 0 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。バッファ動作時のレジスタの組み合わせを表 8.5 に示します。

表 8.5 レジスタの組み合わせ

チャンネル	ジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、アウトプットコンペアレジスタに設定した場合でそれぞれで動作内容が異なります。

(a) TGR レジスタがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値がジェネラルレジスタに転送されます。この動作を図 8.16 に示します。

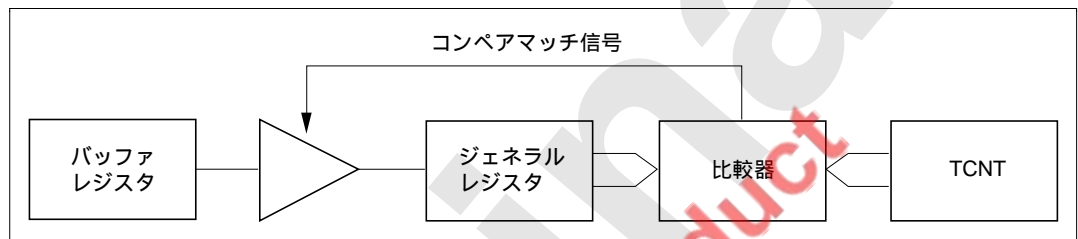


図 8.16 コンペアマッチバッファ動作

(b) TGR レジスタが入力キャプチャレジスタの場合

入力キャプチャが発生するとタイマカウンタ (TCNT) の値を TGR レジスタに転送すると同時に、それまで格納されていたジェネラルレジスタの値をバッファレジスタに転送します。この動作を図 8.17 に示します。

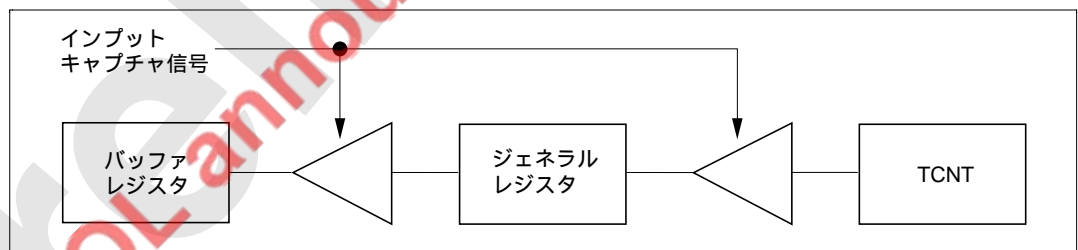


図 8.17 インputキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 8.18 に示します。

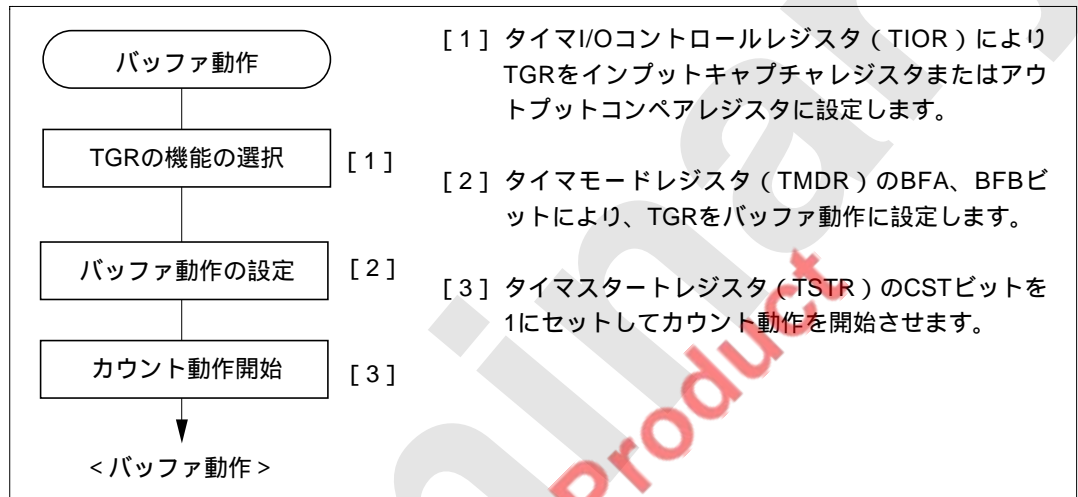


図 8.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR レジスタがアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAレジスタとTGRCレジスタをバッファ動作に設定した場合の動作例を図8.19に示します。

TCNTカウンタはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「8.4.6 PWMモード」を参照してください。

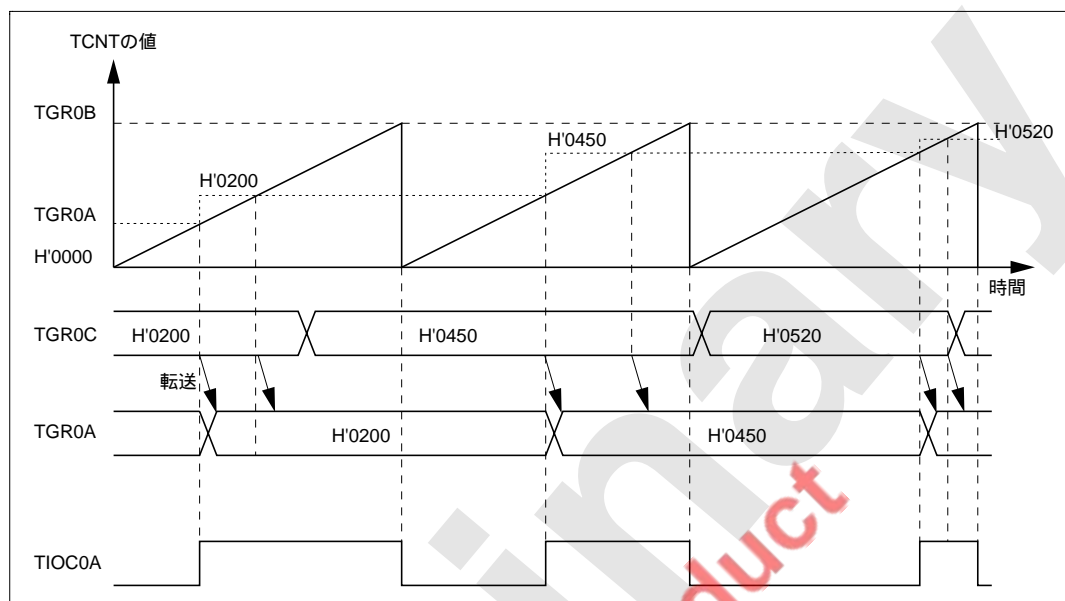


図 8.19 バッファ動作例 (アウトプットコンペアレジスタ)

(b) TGR レジスタがインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA レジスタと TGRB レジスタをバッファ動作に設定したときの動作例を図 8.20 に示します。

TCNT カウンタは TGRA レジスタのインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。バッファ動作が設定されているため、インプットキャプチャ A により TCNT カウンタの値が TGRA レジスタに格納されると同時に、それまで TGRA レジスタに格納されていた値が TGRC レジスタに転送されます。

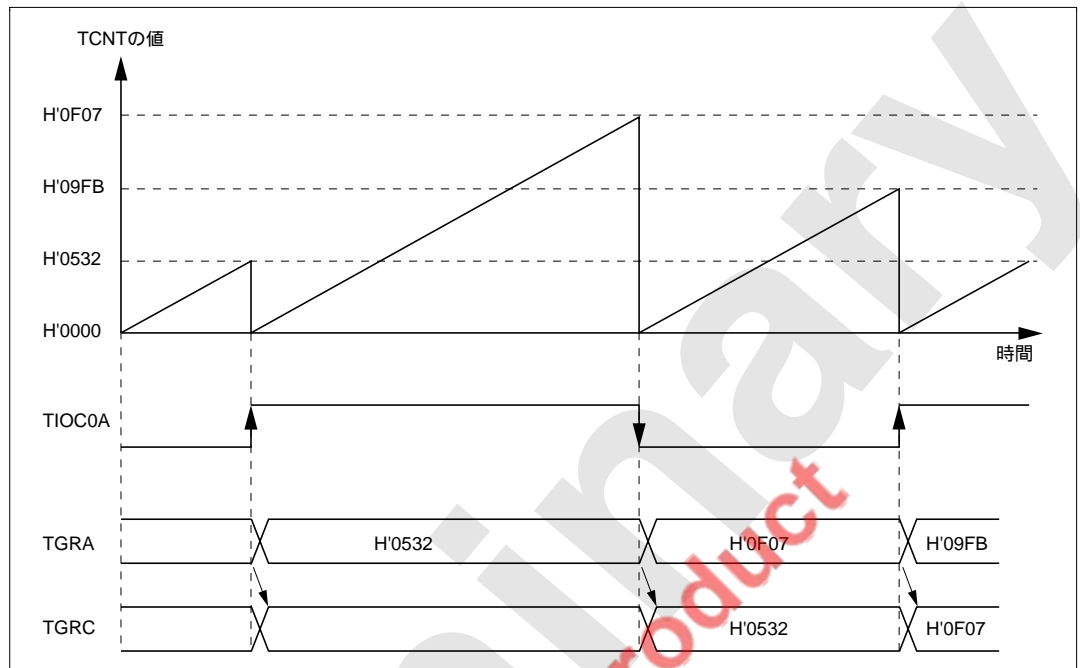


図 8.20 バッファ動作例 (インプットキャプチャレジスタ)

8.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1のカウンタクロックをTCRレジスタのTPSC2~TPSC0ビットで「TCNT2カウンタのオーバーフローでカウント」に設定することにより動作します。

カスケード接続の組み合わせを表8.6に示します。

表 8.6 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1、チャンネル2	TCNT1	TCNT2

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 8.21 に示します。

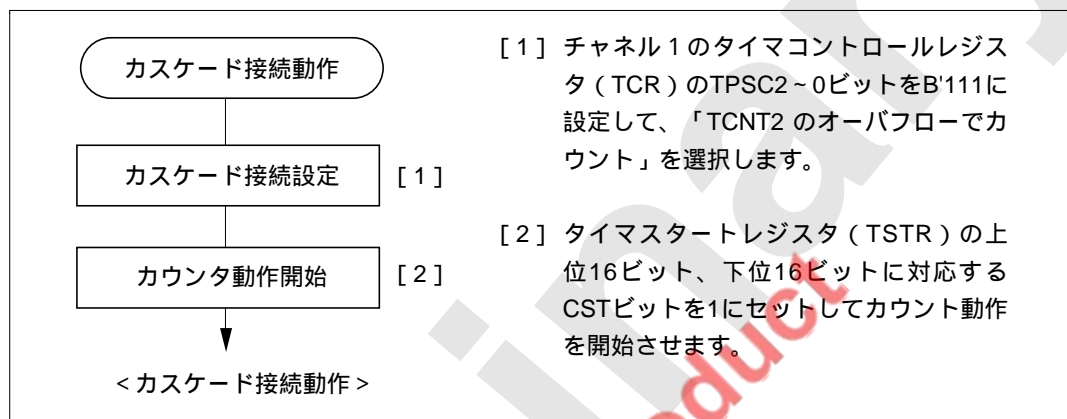


図 8.21 カスケード接続動作設定手順

(2) カスケード接続動作例

(a) インพุットキャプチャ

TCNT1 カウンタは TCNT2 カウンタのオーバーフローでカウント、TGR1A レジスタと TGR2A レジスタをインพุットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 8.22 に示します。

TIOC1A 端子と TIOC2A 端子に同時に立ち上がりエッジを入力することにより、TGR1A レジスタに上位 16 ビット、TGR2A レジスタに下位 16 ビットの 32 ビットデータが転送されます。

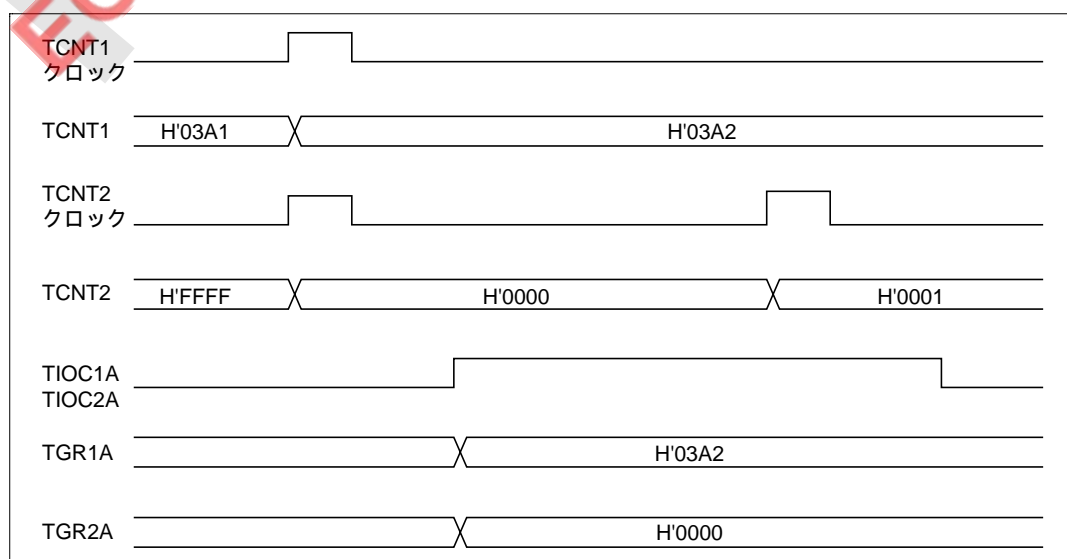


図 8.22 カスケード接続動作例 (インพุットキャプチャ)

8.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力のなかから選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードには下記に示す 2 種類があります。

PWM 出力端子とレジスタの対応を表 8.7 に示します。

表 8.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0 (ペア AB)	TGR0A	TIOC0A	TIOC0A
	TGR0B		
0 (ペア CD)	TGR0C	TIOC0C	TIOC0C
	TGR0D		
1	TGR1A	TIOC1A	TIOC1A
	TGR1B		TIOC1B
2	TGR2A	TIOC2A	TIOC2A
	TGR2B		TIOC2B

【注】 PWM モード 2 では、周期を設定した TGR の PWM 出力はできません。

(a) PWM モード 1

TGRA と TGRB レジスタ、TGRC と TGRD レジスタをそれぞれペアで使用して PWM 出力を生成します。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他をデューティレジスタに使用して PWM 出力を生成します。カウンタのクリアによって各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 8.23 に示します。

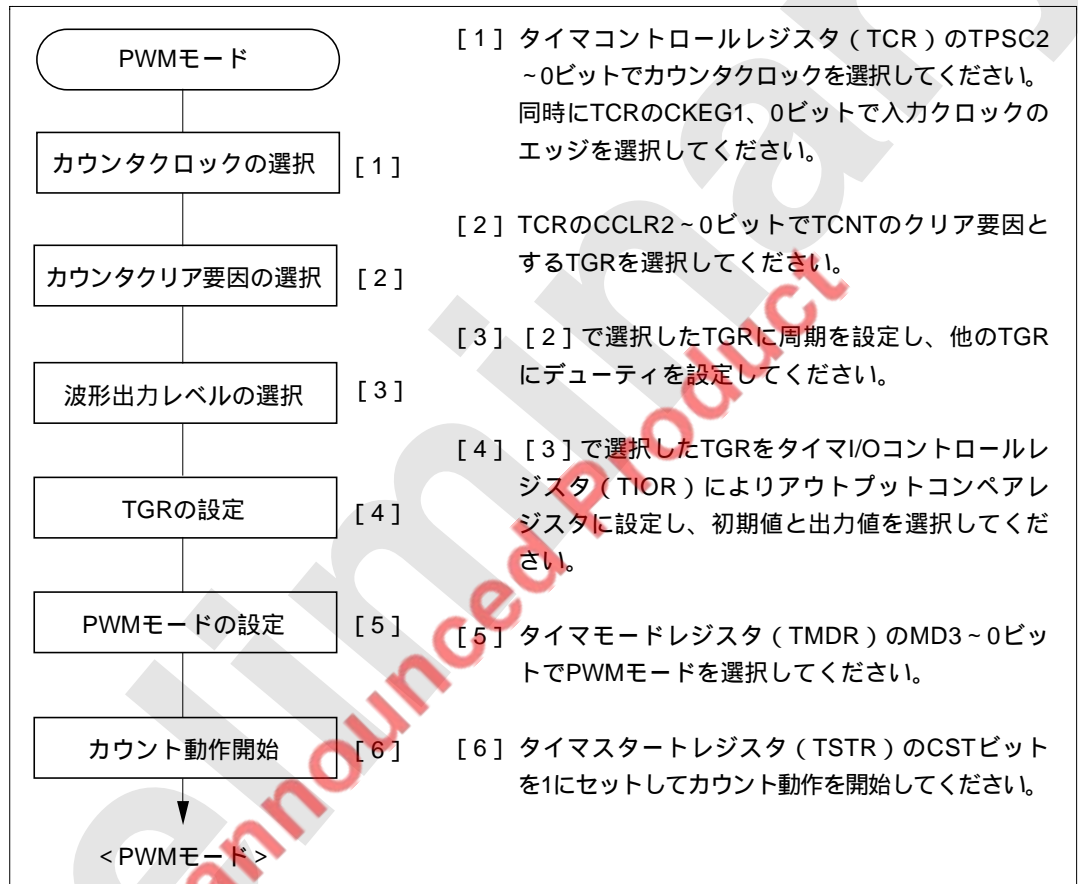


図 8.23 PWM モードの設定手順例

(2) PWM モードの動作例

(a) PWM モード 1

PWM モード 1 の動作例を図 8.24 に示します。

TCNT カウンタのクリア要因を TGRA レジスタのコンペアマッチとし、

TGRA レジスタの初期出力値とアウトプットコンペア出力値を 0、TGRB レジスタのアウトプットコンペア出力値を 1 出力に設定した場合の例です。この場合、TGRA レジスタに設定した値が周期となり、TGRB レジスタに設定した値がデューティになります。

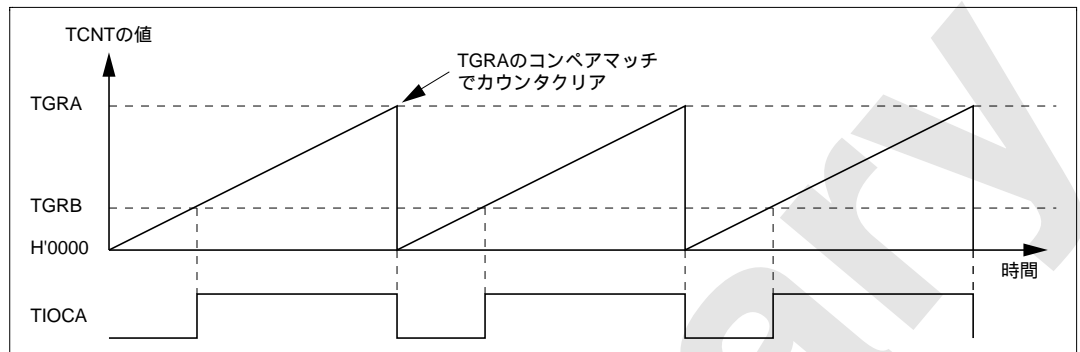


図 8.24 PWM モードの動作例 (モード 1)

(b) PWM モード 2

PWM モード 2 の動作例を図 8.25 に示します。

チャンネル 0 と 1 を同期動作させ、TCNT カウンタのクリア要因を TGR1B レジスタのコンペアマッチとし、他の TGR レジスタの初期出力値を 0、アウトプットコンペア出力値を 1 に設定して 3 相の PWM 波形を出力させた場合の例です。この場合、TGR1B レジスタに設定した値が周期となり、他の TGR レジスタに設定した値がデューティになります。

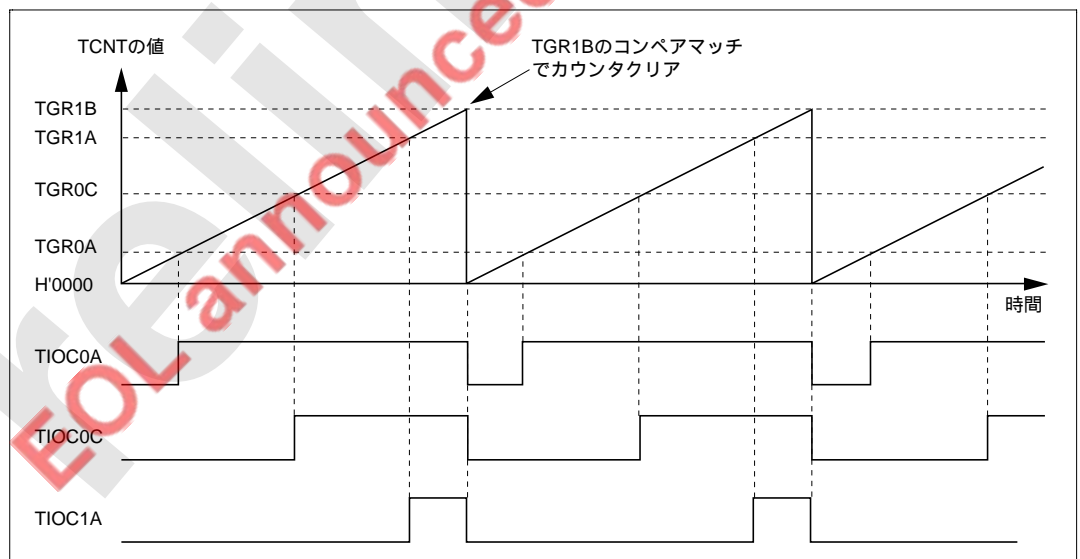


図 8.25 PWM モードの動作例 (モード 2)

(c) デューティ 0%

PWM モードで、デューティ 0% の PWM 波形を出力する例を図 8.26 に示します。

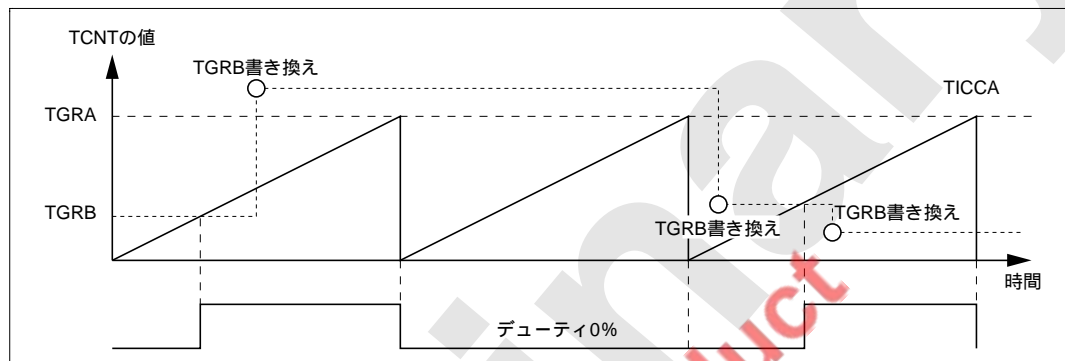


図 8.26 PWM モード動作例 (デューティ 0%)

(d) デューティ 100%

PWM モードで、デューティ 100% の PWM 波形を出力する例を図 8.27 に示します。

PWM モードで周期 = デューティの設定を行うと、出力波形は変化しません。また、カウンタクリア直後に 1 パルス波形が変化することはありません。

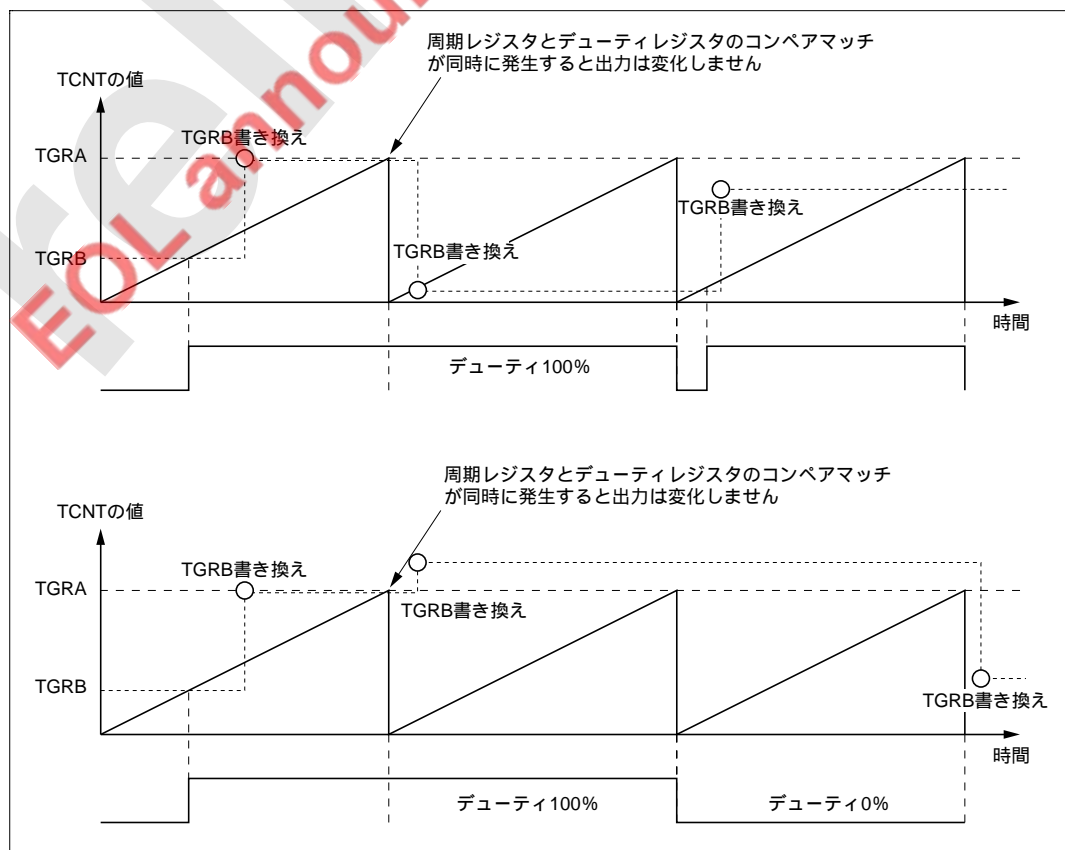


図 8.27 PWM モード動作例 (デューティ 100%)

8.5 割り込み

8.5.1 割り込み要因と優先順位

MTUの割り込み要因には、TGRレジスタのインプットキャプチャ/コンペアマッチ、TCNTカウンタのオーバフローの2種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込みコントローラへの割り込み要求信号の発生を独立に許可/禁止することができます。

割り込み要因が発生すると、タイマステータスレジスタ (TSR) の対応するステータスフラグが1にセットされます。このときタイマインタラプトイネーブルレジスタ (TIER) の対応する許可/禁止ビットが1にセットされていれば、MTUは割り込みコントローラに対して割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「6. 割り込みコントローラ」を参照してください。

MTUの割り込み要因の一覧を表8.8に示します。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRレジスタのインプットキャプチャ/コンペアマッチの発生により、タイマステータスレジスタ (TSR) のTGFフラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) のTGIEビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。MTUには、チャンネル0に4本、チャンネル1、2に各2本、計8本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTカウンタのオーバフローの発生により、タイマステータスレジスタ (TSR) のTCFVフラグが1にセットされたとき、タイマインタラプトイネーブルレジスタ (TIER) のTCIEVビットが1にセットされていれば、割り込みコントローラに対して割り込みを要求します。TCFVフラグを0にクリアする事で割り込み要求は解除されます。MTUには、各チャンネルに1本、計3本のオーバフロー割り込みがあります。

表 8.8 MTU 割り込み一覧

チャンネル	割り込み要因	内容	優先順位
0	TGI0A	TGR0Aのインプットキャプチャ/コンペアマッチ	高 ↑ ↓ 低
	TGI0B	TGR0Bのコンペアマッチ	
	TGI0C	TGR0Cのインプットキャプチャ/コンペアマッチ	
	TGI0D	TGR0Dのコンペアマッチ	
	TCI0V	TCNT0のオーバーフロー	
1	TGI1A	TGR1Aのインプットキャプチャ/コンペアマッチ	
	TGI1B	TGR1Bのインプットキャプチャ/コンペアマッチ	
	TCI1V	TCNT1のオーバーフロー	
2	TGI2A	TGR2Aのインプットキャプチャ/コンペアマッチ	
	TGI2B	TGR2Bのインプットキャプチャ/コンペアマッチ	
	TCI2V	TCNT2のオーバーフロー	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

8.5.2 A/D 変換器の起動

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチによって、内蔵 A/D 変換器を起動することができます。

各チャンネルの TGRA レジスタのインプットキャプチャ/コンペアマッチの発生により、タイムステータスレジスタ (TSR) の TGFA フラグが 1 にセットされたとき、タイムインタラプティネーブルレジスタ (TIER) の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、MTU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

MTU では、各チャンネル 1 本、計 3 本の TGRA レジスタのインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の起動要因とすることができます。

8.6 動作タイミング

8.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 8.28 に示します。

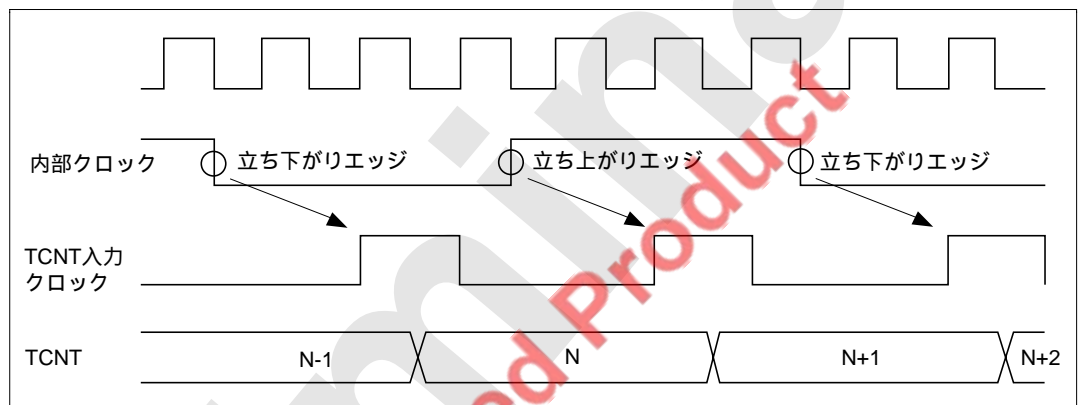


図 8.28 内部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後の状態で発生します。コンペアマッチ信号が発生したとき、TIOR または TOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生する直前まで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング (ノーマルモード、PWM モード) を図 8.29 に示します。

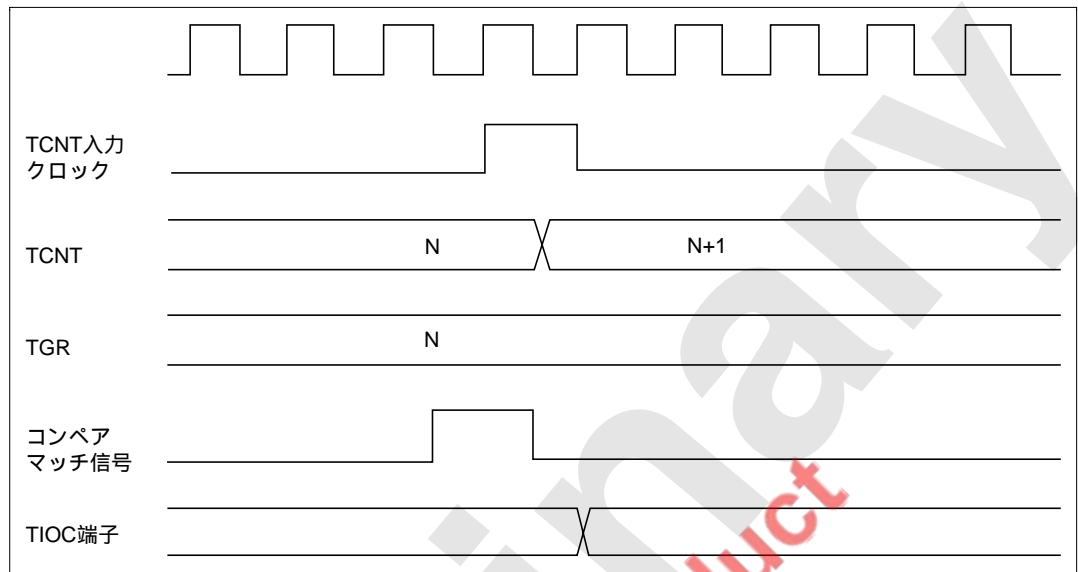


図 8.29 アウトプットコンペア出力タイミング (ノーマルモード、PWMモード)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 8.30 に示します。

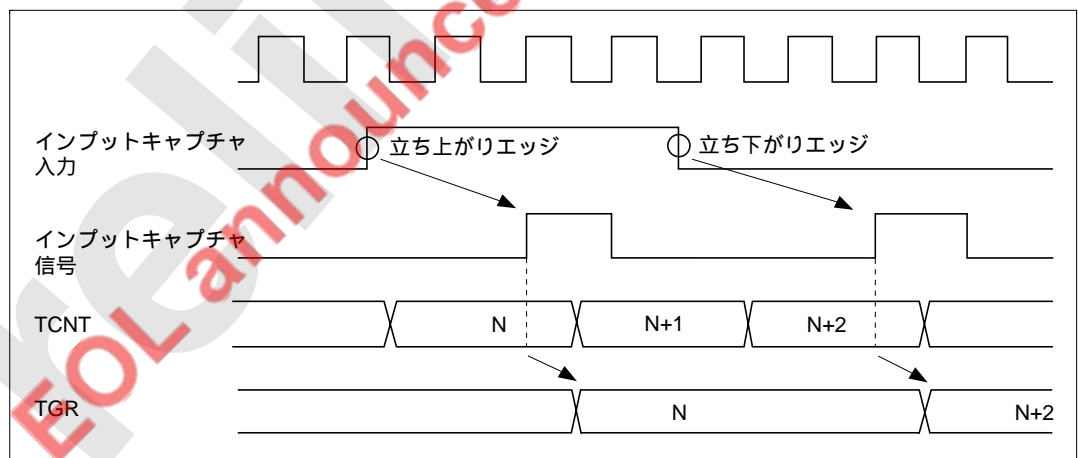


図 8.30 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 8.31 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 8.32 に示します。

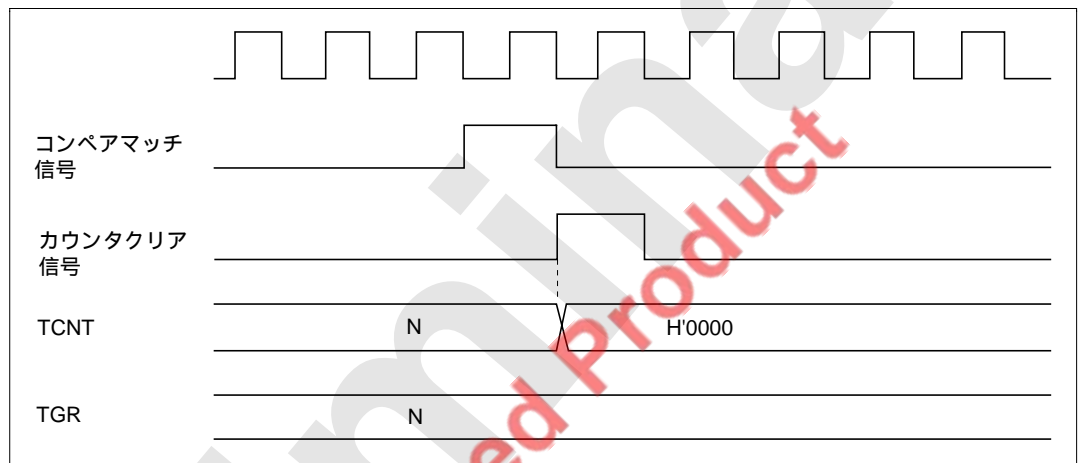


図 8.31 カウンタクリアタイミング (コンペアマッチ)

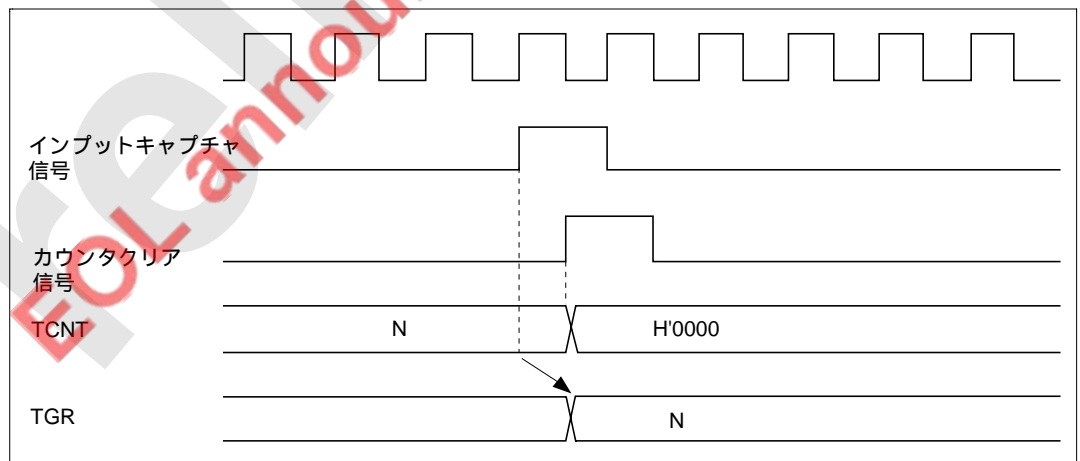


図 8.32 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

コンペアマッチバッファ動作のタイミングを図 8.33 に、インプットキャプチャバッファ動作のタイミングを図 8.34 に示します。

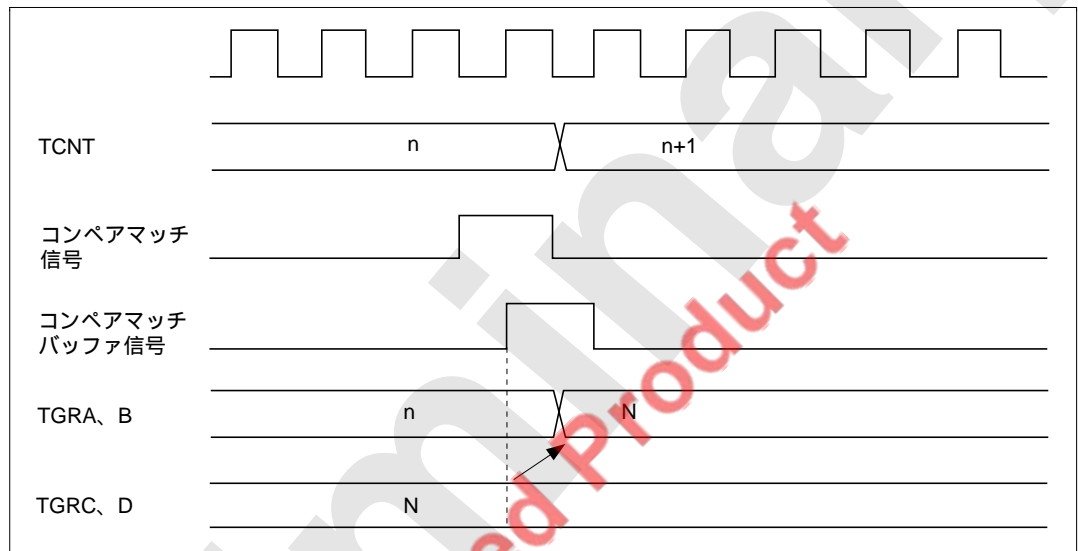


図 8.33 バッファ動作タイミング (コンペアマッチ)

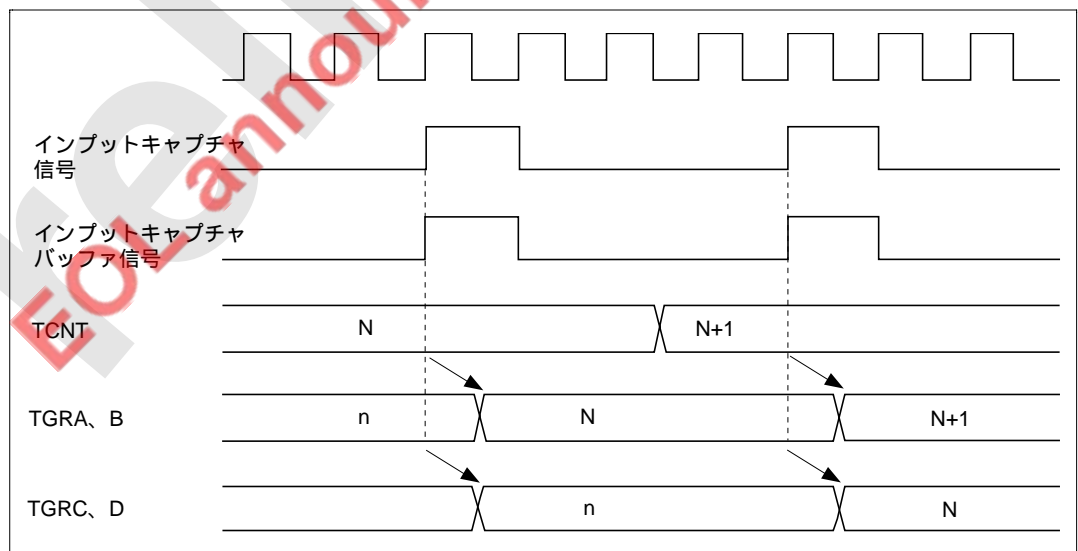


図 8.34 バッファ動作タイミング (インプットキャプチャ)

8.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.35 に示します。

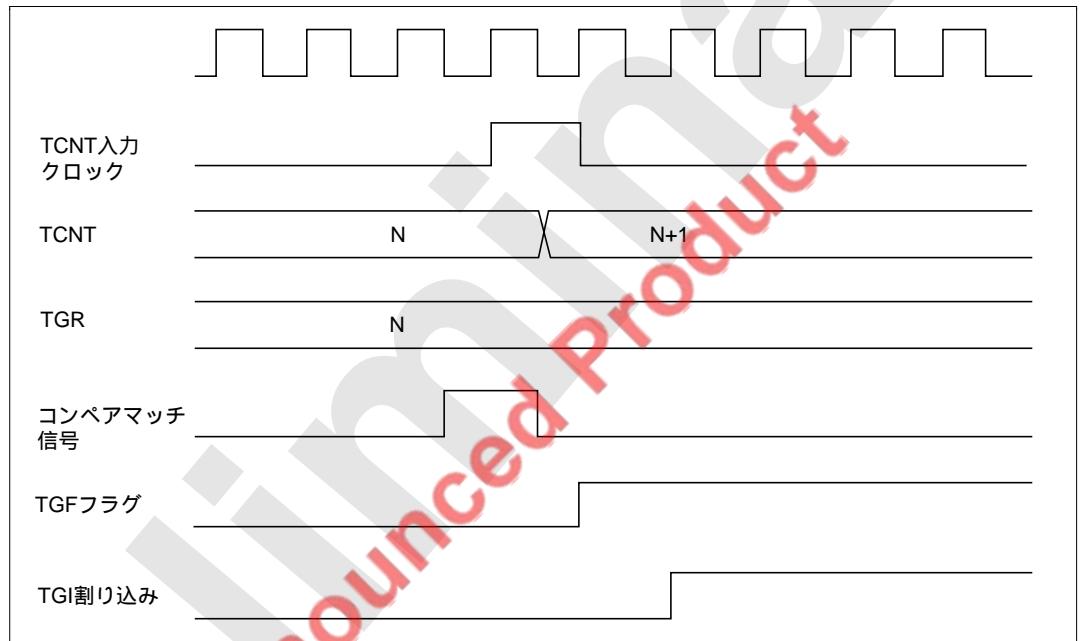


図 8.35 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生によるタイマステータスレジスタ (TSR) の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.36 に示します。

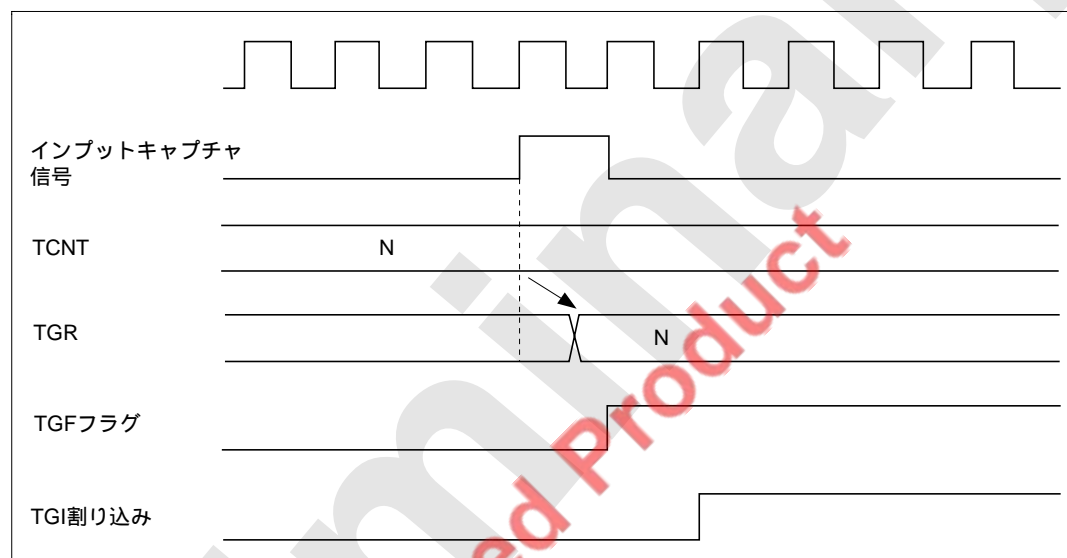


図 8.36 TGI 割り込みタイミング (インพุットキャプチャ)

(3) オーバフローフラグ (TCFV) のセットタイミング

オーバフローの発生によるタイマステータスレジスタ (TSR) の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 8.37 に示します。

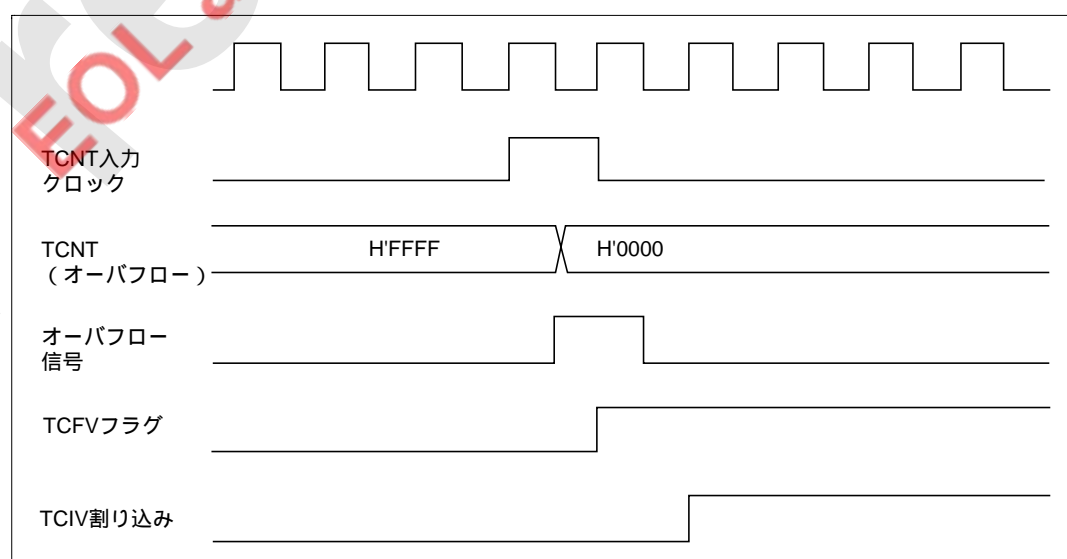


図 8.37 TCIV 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態を読み出した後、0を書き込むとクリアされます。CPUによるステータスフラグのクリアタイミングを図8.38に示します。

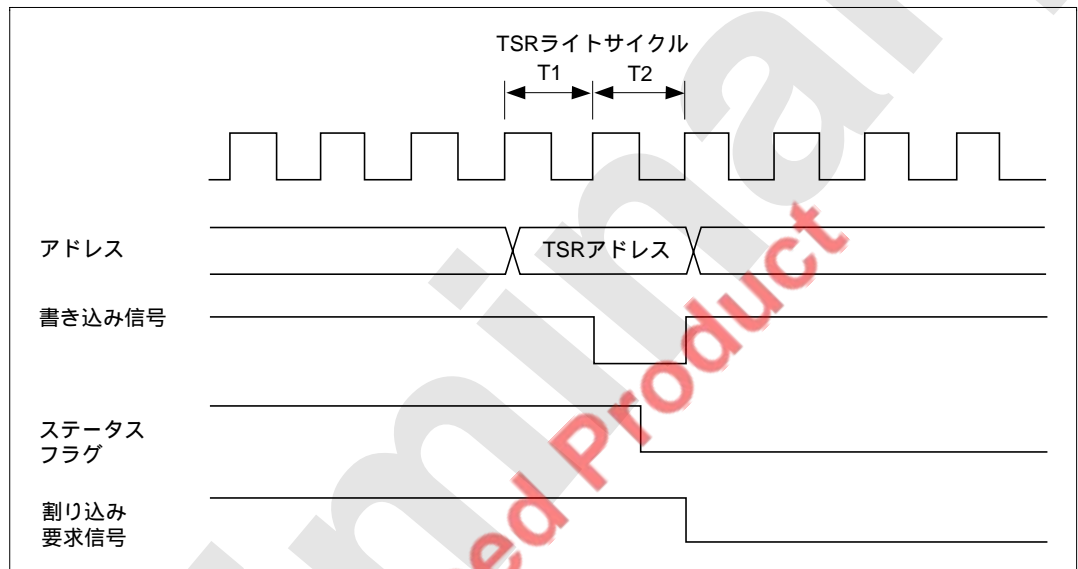


図 8.38 CPU によるステータスフラグのクリアタイミング

8.7 使用上の注意

MTUの動作中、以下に示す動作や競合が起こりますので注意してください。

(1) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{1}{(N+1)}$$

f : カウンタ周波数
 : 動作周波数
 N : TGR の設定値

(2) TCNT の書き込みとクリアの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。このタイミングを図 8.39 に示します。

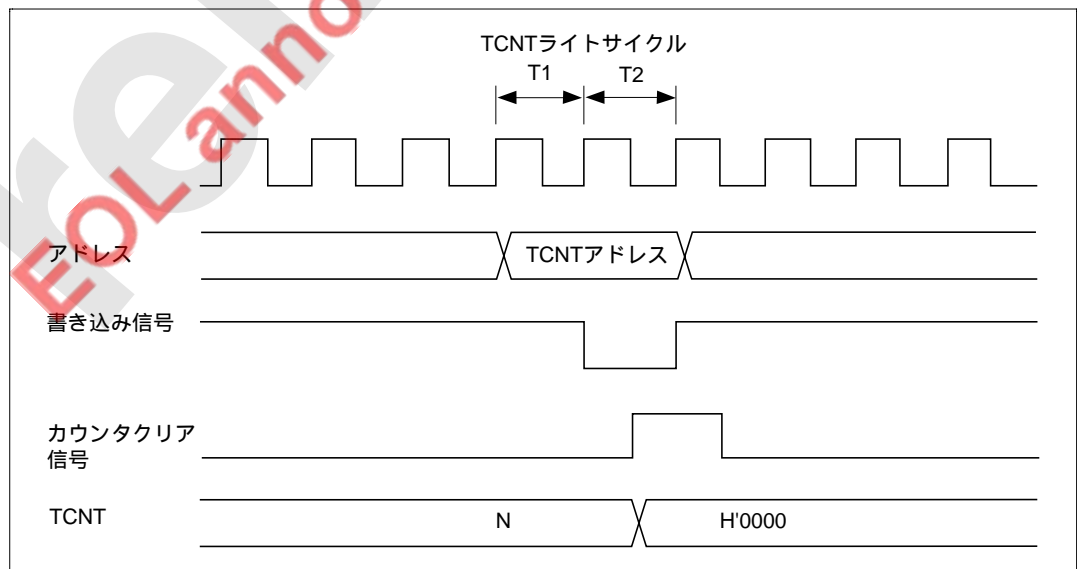


図 8.39 TCNT の書き込みとクリアの競合

(3) TCNT の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 8.40 に示します。

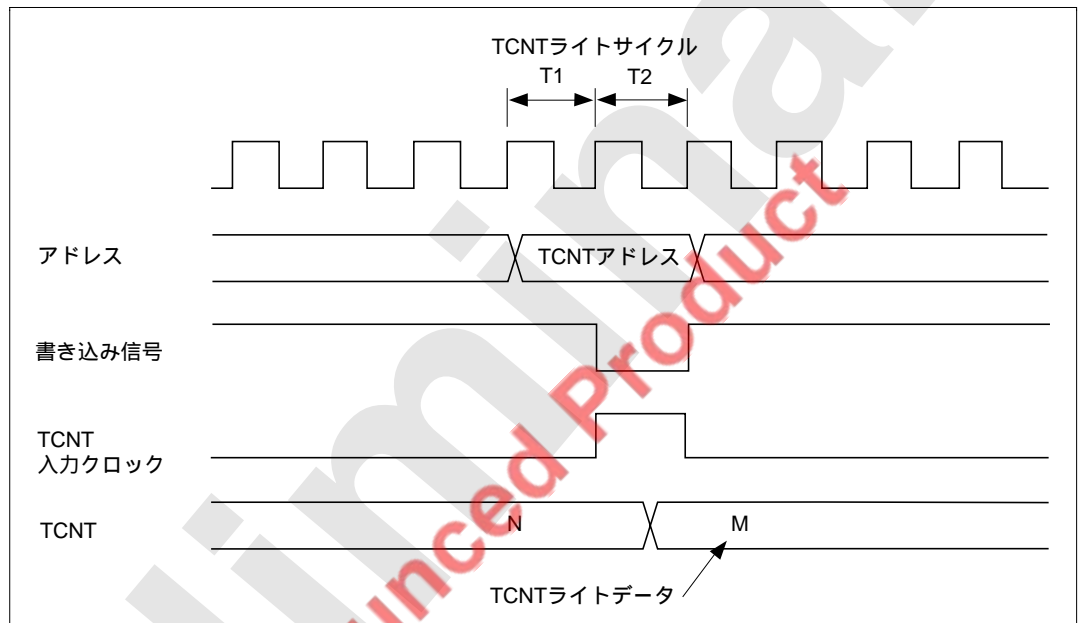


図 8.40 TCNT の書き込みとカウントアップ信号

(4) バッファレジスタの書き込みとコンペアマッチの競合

TGRの書き込みサイクル中のT2状態でコンペアマッチが発生すると、バッファ動作によってバッファレジスタからTGRにデータが転送されます。転送されるデータは、チャンネル0では書き込み後のデータです。

このタイミングを図8.41に示します。

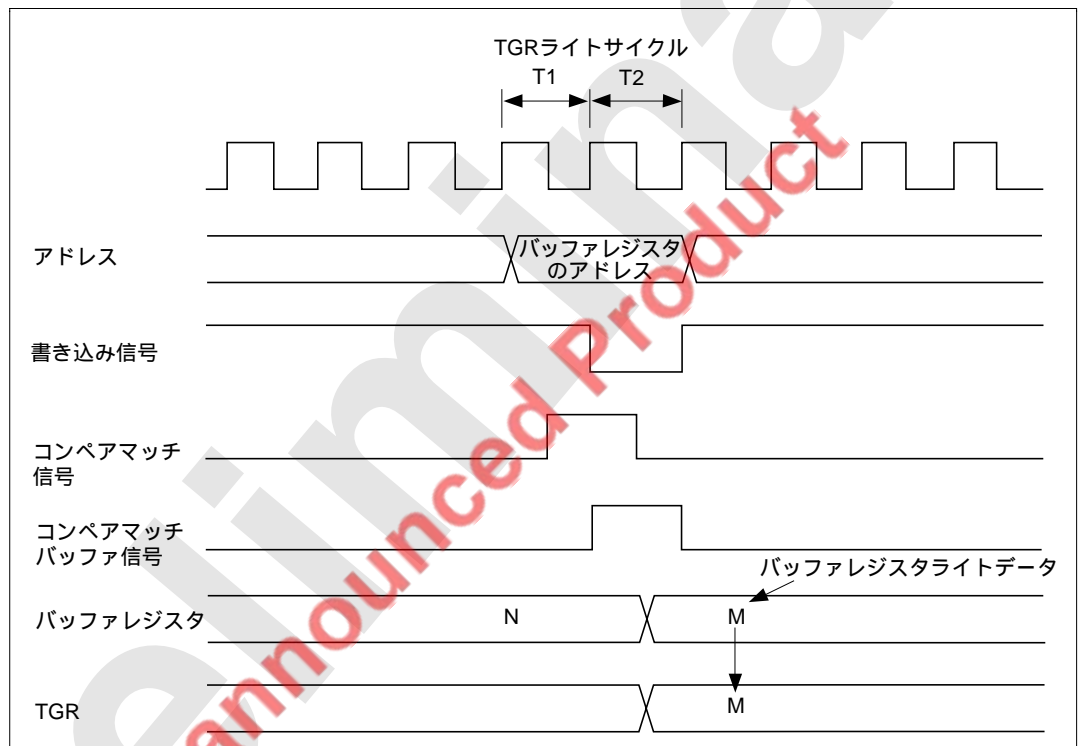


図 8.41 TGRの書き込みとコンペアマッチの競合 (チャンネル0)

(5) TGR の読み出しとインプットキャプチャの競合

TGR の読み出しサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、読み出しされるデータはインプットキャプチャ転送後のデータです。

このタイミングを図 8.42 に示します。

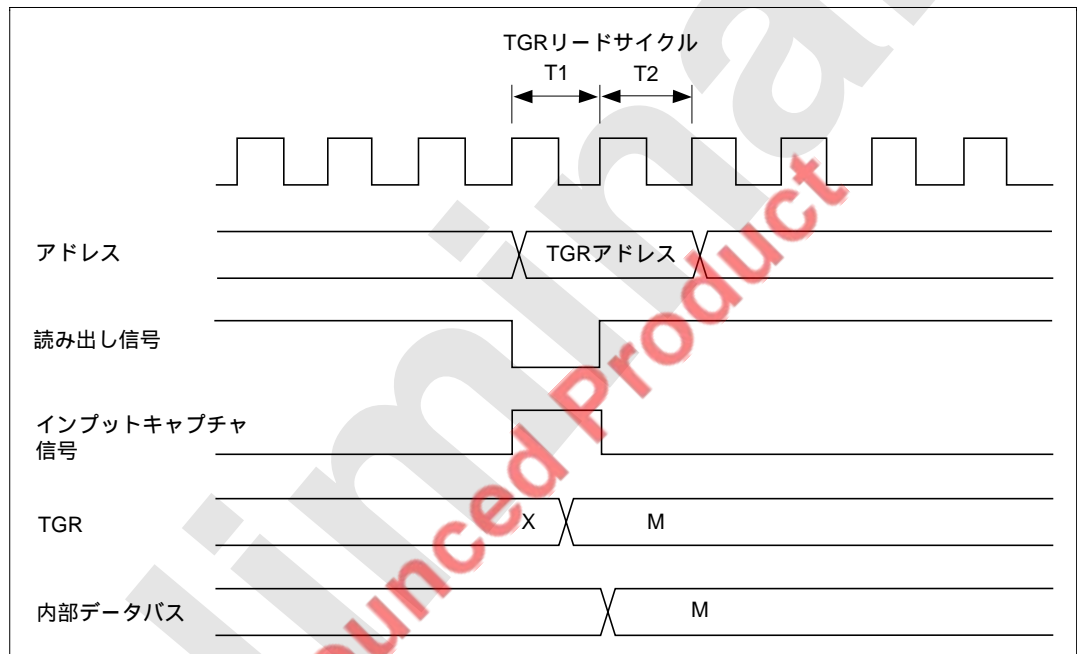


図 8.42 TGR の読み出しとインプットキャプチャの競合

(6) TGR の書き込みと入力キャプチャの競合

TGR の書き込みサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR への書き込みは行われず、入力キャプチャが優先されます。

このタイミングを図 8.43 に示します。

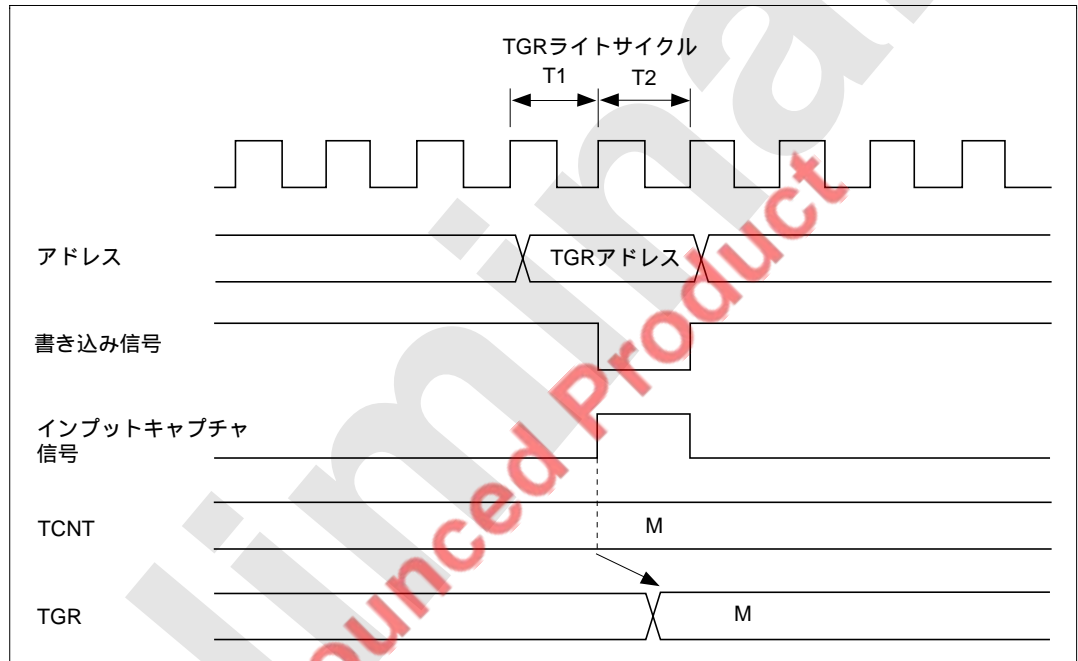


図 8.43 TGR の書き込みと入力キャプチャの競合

(7) バッファレジスタの書き込みとインプットキャプチャの競合

バッファの書き込みサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 8.44 に示します。

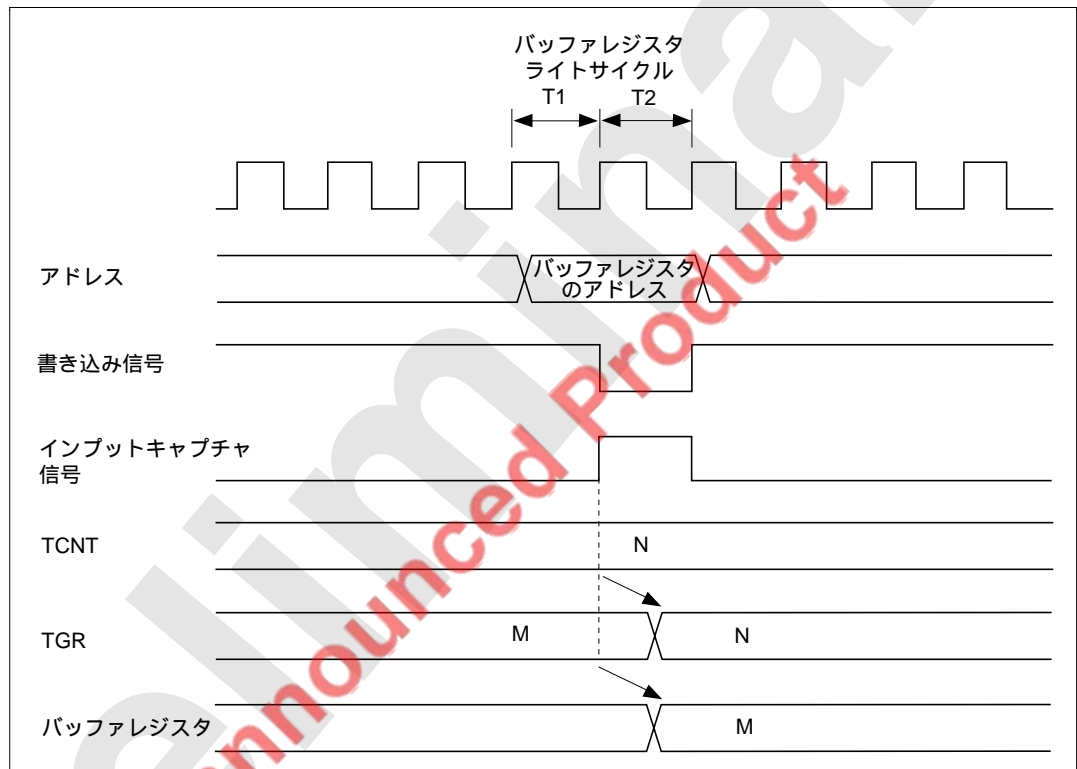


図 8.44 バッファレジスタの書き込みとインプットキャプチャの競合

(8) TGR の書き込みとコンペアマッチの競合

TGR の書き込みサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR には書き込みデータが書き込まれ、コンペアマッチ信号が発生します。

このタイミングを図 8.45 に示します。

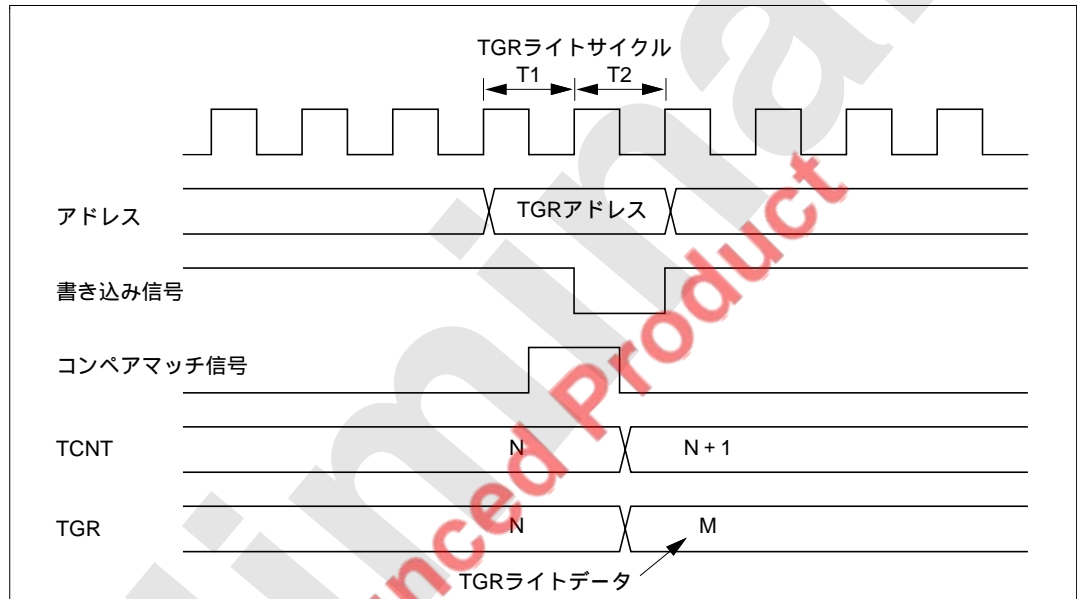


図 8.45 TGR の書き込みとコンペアマッチの競合

(9) カスケード接続における TCNT2 の書き込みとオーバフローの競合

タイマカウンタ (TCNT1 と TCNT2) をカスケード接続し、TCNT1 がカウントする瞬間 (TCNT2 がオーバフローする瞬間) と TCNT2 の書き込みサイクル中の T2 ステートが競合すると、TCNT2 への書き込みが行われ、TCNT1 のカウント信号が禁止されます。このとき、TGR1A がコンペアマッチレジスタとして動作し TCNT1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、ch0 のインプットキャプチャ要因に TCNT1 カウントクロックを選択した場合には、TGR0A、C はインプットキャプチャ動作します。さらに TGR1B のインプットキャプチャ要因に TGR0C のコンペアマッチ / インプットキャプチャを選択した場合には、TGR1B はインプットキャプチャ動作します。

このタイミングを図 8.46 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、ch1 と ch2 の同期設定を行ってください。

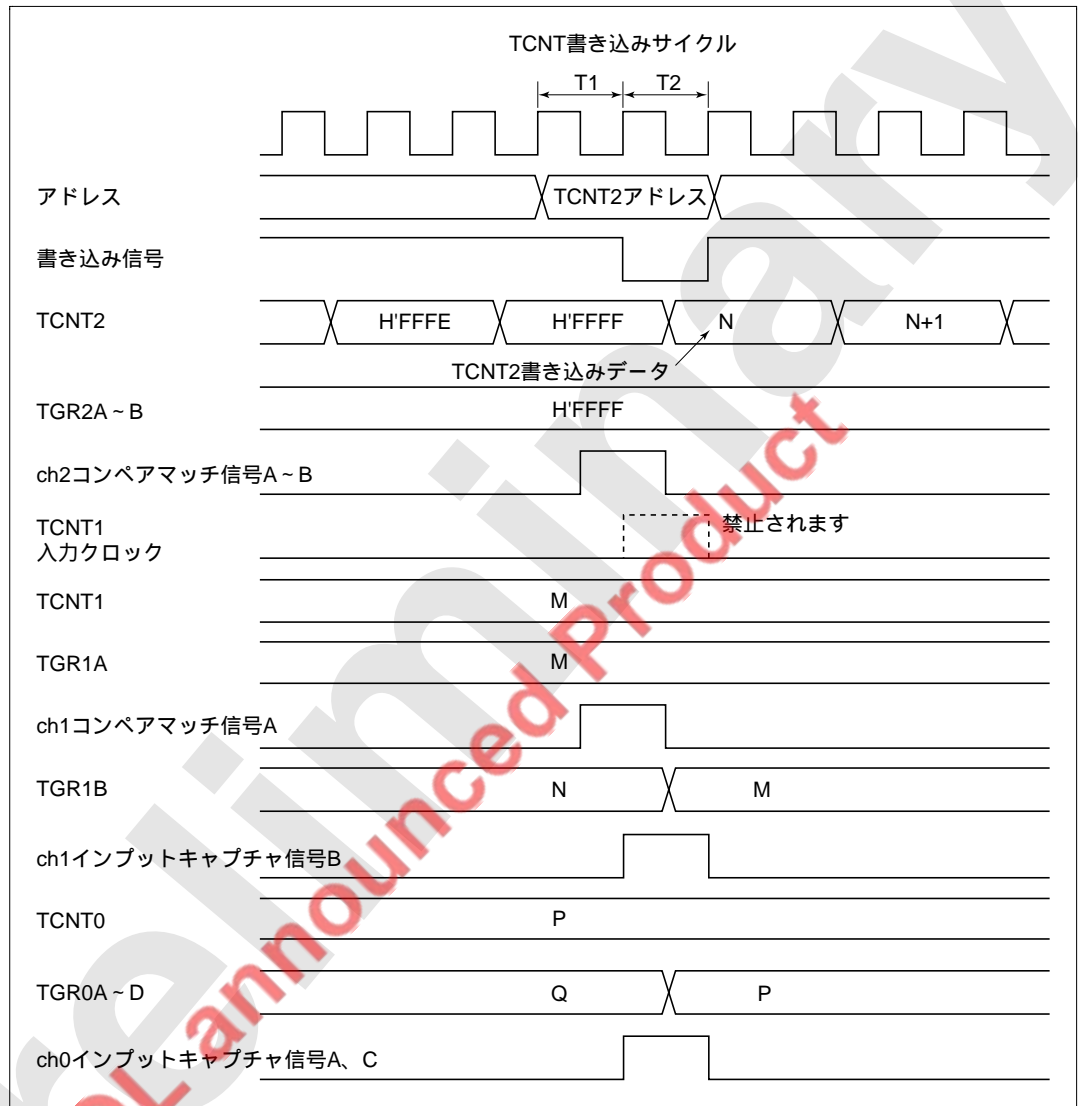


図 8.46 カスケード接続における TCNT2 の書き込みとオーバーフローの競合

(10) オーバフローとカウンタクリアの競合

オーバフローとカウンタクリアが同時に発生すると TSR の TCFV フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 8.47 に示します。

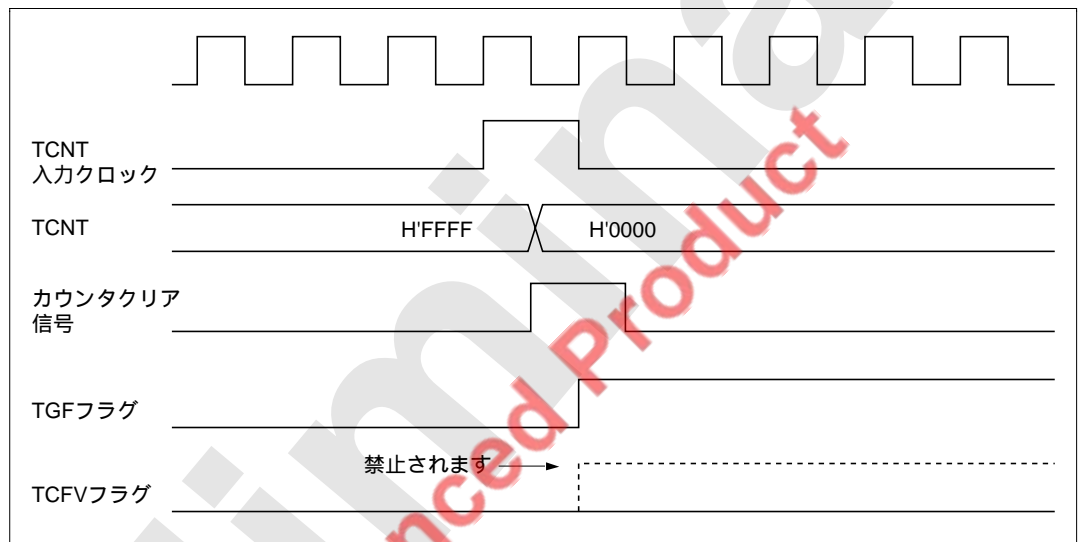


図 8.47 オーバフローとカウンタクリアの競合

(11) TCNT のライトとオーバフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生し、オーバフローが発生しても TCNT への書き込みが優先され、TSR の TCFV フラグはセットされません。このタイミングを図 8.48 に示します。

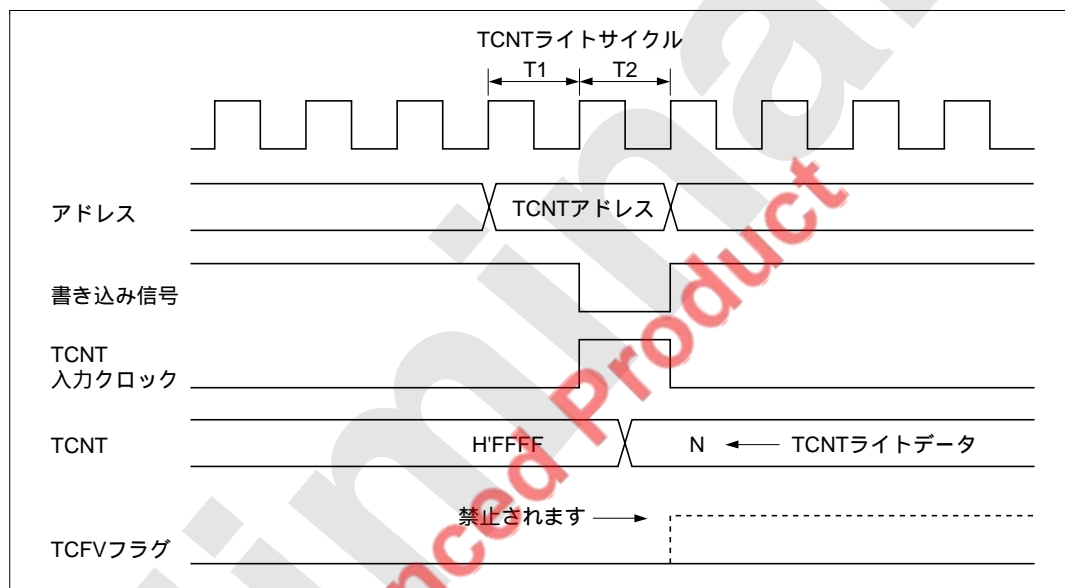


図 8.48 TCNT の書き込みとオーバフローの競合

8.8 MTU 出力端子の初期化方法

8.8.1 動作モード

MTU には以下の 3 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ・ ノーマルモード (チャンネル 0~2)
- ・ PWM モード 1 (チャンネル 0~2)
- ・ PWM モード 2 (チャンネル 0~2)

ここでは、各々のモードでの MTU 出力端子の初期化方法について示します。

8.8.2 リセットスタート時の動作

MTU の出力端子 (TIOC*) はリセット時に "L" に初期化されます。MTU の端子機能の選択はピンファンクションコントローラ (PFC) で行うため、PFC が設定された時点でそのときの MTU の端子の状態がポートに出力されます。リセット直後に PFC で MTU の出力を選択した場合、ポート出力には MTU 出力の初期状態 "L" がそのまま出力されます。アクティブレベルが "L" の場合、ここでシステムが動作してしまうため、PFC の設定は MTU の出力端子の初期設定終了後に行ってください。

【注】 * にはチャンネル番号 + ポート記号が入ります。

8.8.3 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は端子の出力を PFC でポート出力に切り換え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 3 つの動作モードがあります。モード遷移の組み合わせは 9 通りあります。この一覧表を表 8.9 に示します。

表 8.9 モード遷移の組み合わせ

前	後		
	Normal	PWM1	PWM2
Normal	(1)	(2)	(3)
PWM1	(4)	(5)	(6)
PWM2	(7)	(8)	(9)

凡例

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

以後の文章中、上記の凡例を使用する場合があります。

8.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要

- ・ タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal、PWM1、PWM2) に遷移する場合は TIOR の設定により端子を初期化してください。
- ・ PWM モード 1 では TIOC*B 端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- ・ PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 に遷移してください。
- ・ ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- ・ PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。

【注】 本項記述中の*にはチャンネル番号が入ります。

以下、表 8.9 の組み合わせ No.に従い端子の初期化手順を示します。なお、アクティブレベルは"L"とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 8.49 に示します。

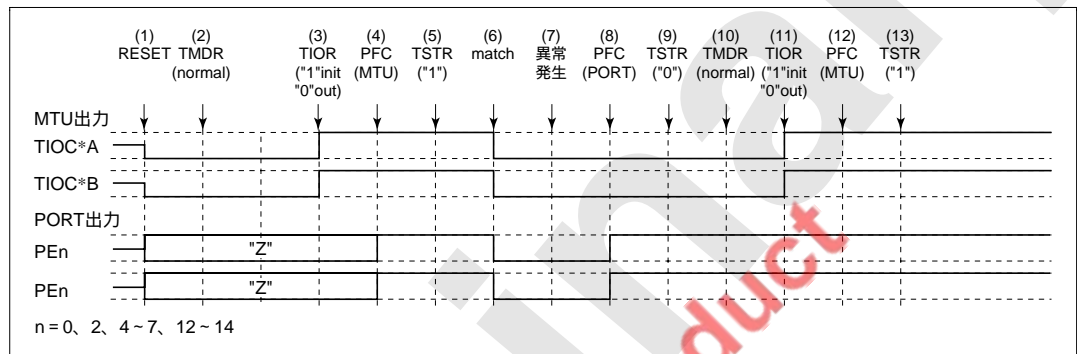


図 8.49 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は"L"、PORT は"Z"になります。
- (2) RESET により TMDR はノーマルモード設定になります。
- (3) TIOR で端子を初期化してください (例は初期出力は"H"、コンペアマッチで"L"出力です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により"L"を出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードで再スタートする場合は必要ありません。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 8.50 に示します。

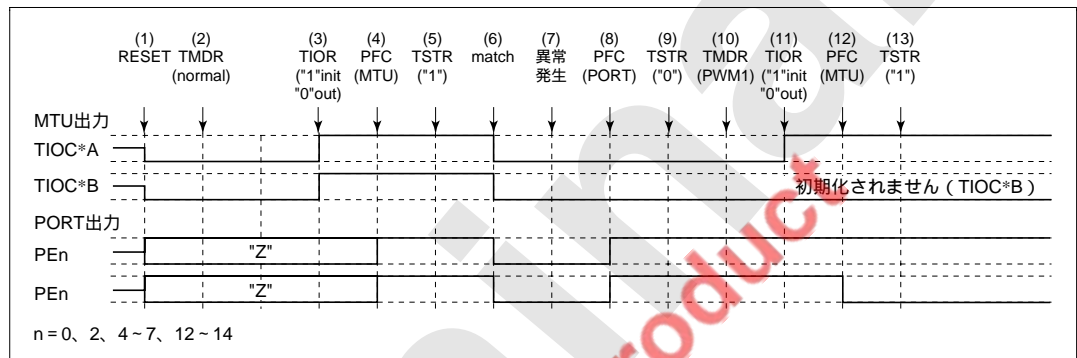


図 8.50 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 8.49 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください)。

(12) PFC で MTU 出力としてください。

(13) TSTR で再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 8.51 に示します。

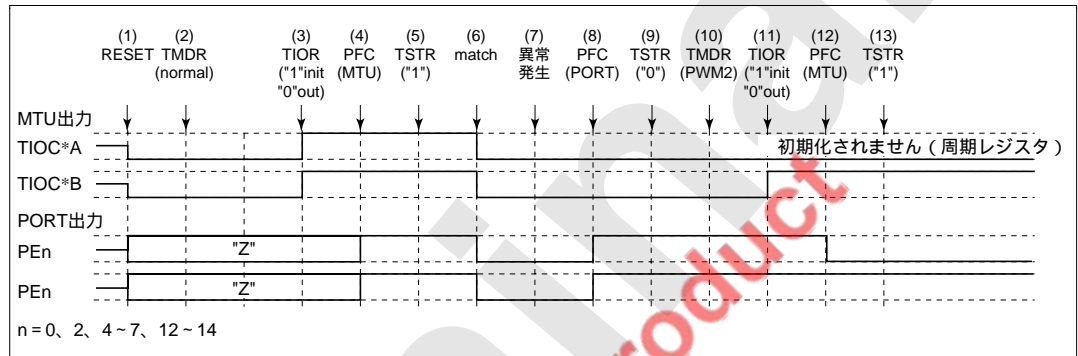


図 8.51 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 8.49 と共通です。
- (10) PWM モード 2 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(4) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 8.52 に示します。

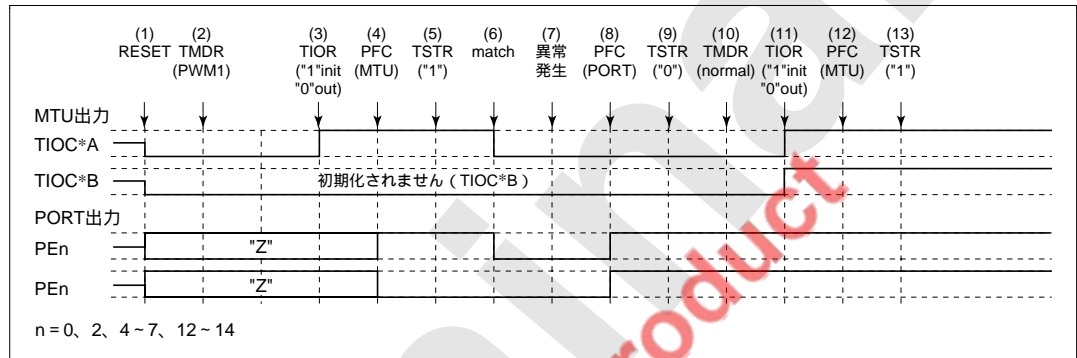


図 8.52 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は"L"、PORT は"Z"になります。
- (2) PWM モード 1 を設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力は"H"、コンペアマッチで"L"出力です。PWM モード 1 では TIOC*B 側は初期化されません)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により"L"を出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

- (5) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作
 PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図
 を図 8.53 に示します。

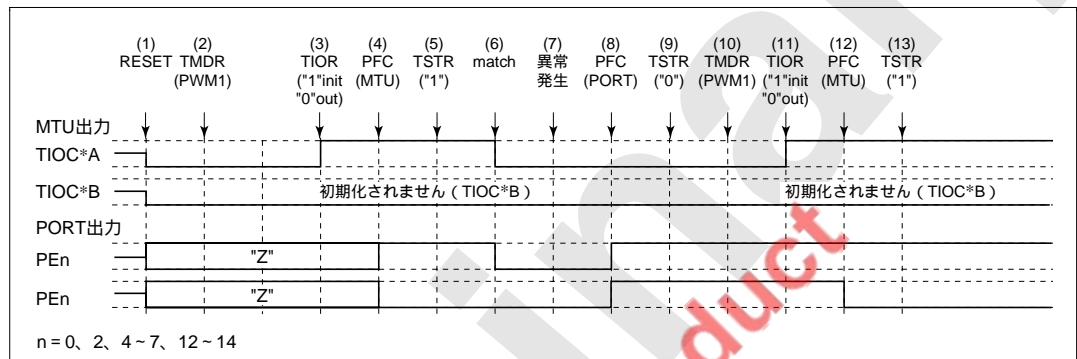


図 8.53 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 8.52 と共通です。
 (10) PWM モード 1 で再スタートする場合には必要ありません。
 (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されま
 せん)。
 (12) PFC で MTU 出力としてください。
 (13) TSTR で再スタートします。

(6) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作
 PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図
 を図 8.54 に示します。

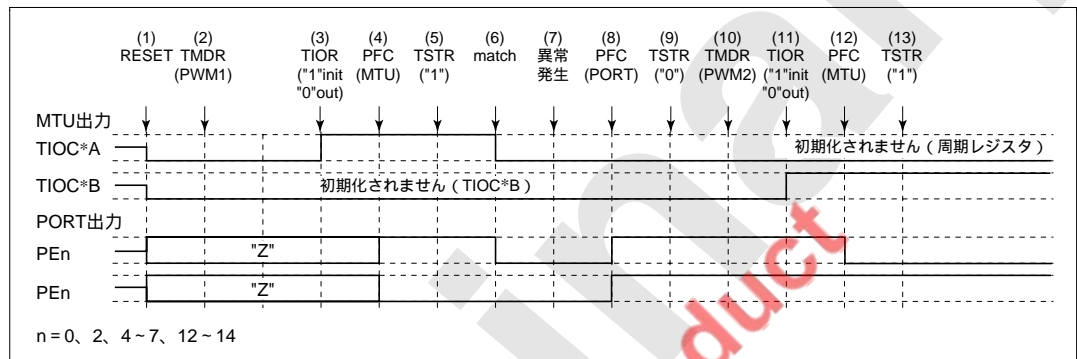


図 8.54 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 8.52 と共通です。
- (10) PWM モード 2 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(7) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 8.55 に示します。

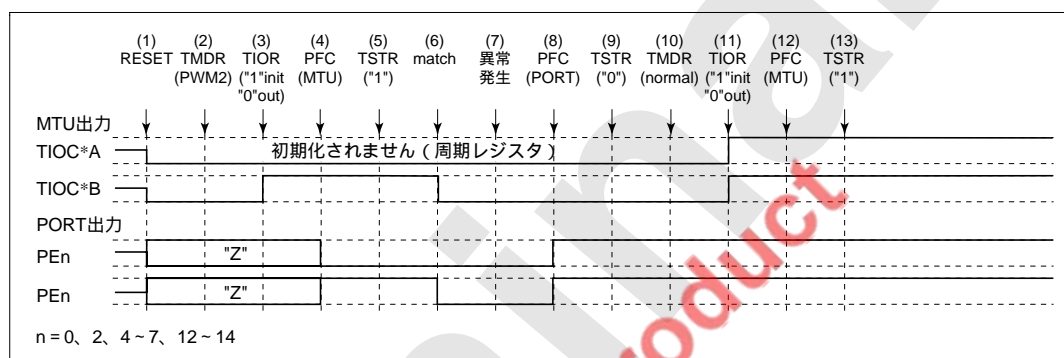


図 8.55 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) RESET により MTU 出力は"L"、PORT は"Z"になります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR で端子を初期化してください (例は初期出力は"H"、コンペアマッチで"L"出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です)。
- (4) PFC で MTU 出力としてください。
- (5) TSTR でカウント動作を開始します。
- (6) コンペアマッチの発生により"L"を出力します。
- (7) 異常が発生しました。
- (8) PFC で PORT 出力とし、アクティブレベルの反転を出力してください。
- (9) TSTR でカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR で端子を初期化してください。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

(8) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作
 PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図
 を図 8.56 に示します。

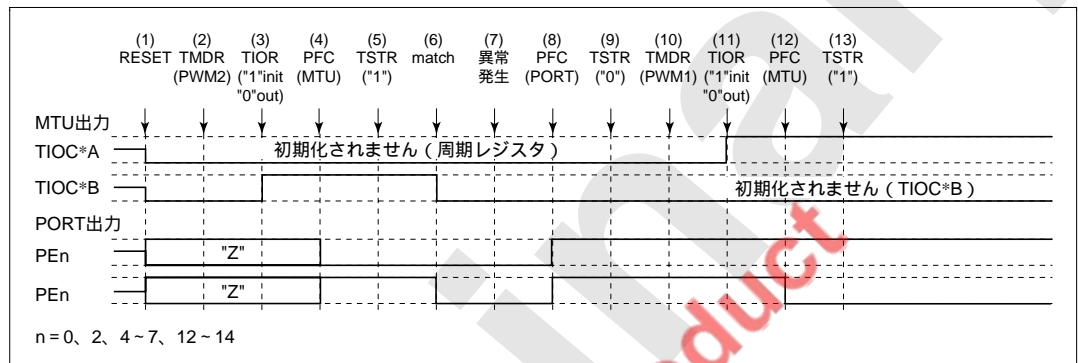


図 8.56 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

- (1) ~ (9) は図 8.55 と共通です。
- (10) PWM モード 1 を設定します。
- (11) TIOR で端子を初期化してください (PWM モード 1 では TIOC*B 側は初期化されません)。
- (12) PFC で MTU 出力としてください。
- (13) TSTR で再スタートします。

- (9) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作
 PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図
 を図 8.57 に示します。

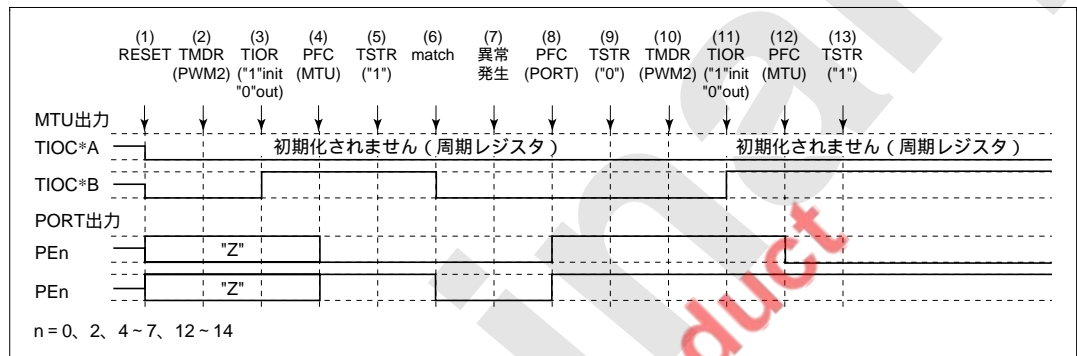


図 8.57 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

- (1) ~ (9) は図 8.55 と共通です。
 (10) PWM モード 2 で再スタートする場合には必要ありません。
 (11) TIOR で端子を初期化してください (PWM モード 2 では周期レジスタの端子は初期化されません)。
 (12) PFC で MTU 出力としてください。
 (13) TSTR で再スタートします。

9. 8ビットタイマ (TIM2)

第9章 目次

9.1	概要	9-3
9.1.1	特長	9-3
9.1.2	ブロック図	9-3
9.1.3	レジスタ構成	9-4
9.2	レジスタの説明	9-5
9.2.1	タイマコントロール/ステータスレジスタ (T2CSR)	9-5
9.2.2	タイマカウンタ (T2CNT)	9-7
9.2.3	タイマコンスタントレジスタ (T2COR)	9-7
9.3	動作説明	9-8
9.3.1	周期カウント動作	9-8
9.3.2	T2CNTのカウントタイミング	9-8
9.4	割り込み	9-9
9.4.1	割り込み要因	9-9
9.4.2	コンペアマッチフラグのセットタイミング	9-9
9.4.3	コンペアマッチフラグのクリアタイミング	9-10

Preliminary
EOL announced Product

9.1 概要

8ビットタイマ (TIM2) は、1チャンネルのインターバルタイマで、コンペアマッチで割り込みを発生します。

9.1.1 特長

- 8ビットインターバルタイマ
- コンペアマッチ割り込みを発生
- カウンタがコンペアマッチすると、コンペアマッチ割り込みが発生します。
- 7種類のカウンタ入力クロックを選択可能

9.1.2 ブロック図

8ビットタイマ (TIM2) のブロック図を図9.1に示します。

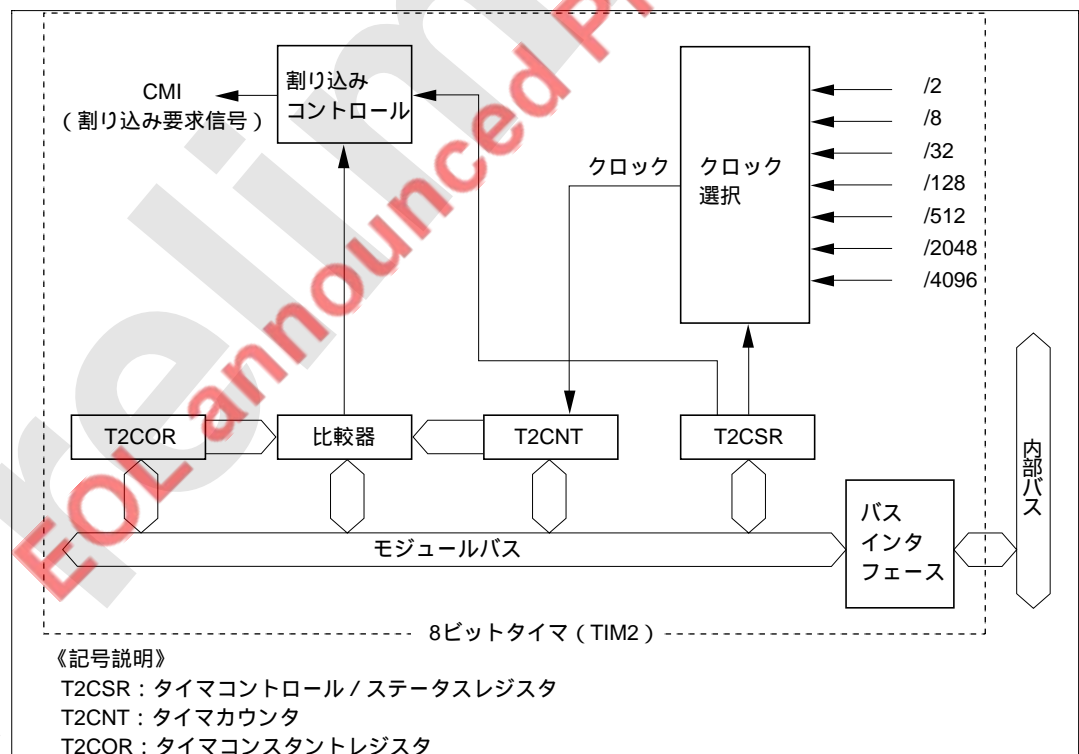


図 9.1 8ビットタイマのブロック図

9.1.3 レジスタ構成

8ビットタイマ (TIM2) には3本のレジスタがあります。これらのレジスタにより、コンペアマッチ周期の設定、クロックの選択などを行います。レジスタ構成を表9.1に示します。

レジスタサイズはすべて16ビットです。

8ビットタイマ (TIM2) のレジスタはすべてパワーオンリセットにより初期化されます。

表9.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
タイマコントロール /ステータスレジスタ	T2CSR	R/W	H'0000	H'FFFF862C	8、16、32
タイマカウンタ	T2CNT	R/W	H'0000	H'FFFF862E	8、16、32
タイマコンスタントレジスタ	T2COR	R/W	H'0000	H'FFFF8630	8、16

9.2 レジスタの説明

9.2.1 タイマコントロール/ステータスレジスタ (T2CSR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CMF	CMIE	CKS2	CKS1	CKS0	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R

タイマコントロール/ステータスレジスタ (T2CSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、タイマカウンタ (T2CNT) に入力するクロックを選択し、コンペアマッチ割り込み (CMI) を制御します。

T2CSR はパワーオンリセットで H'0000 に初期化されます。

ビット 15~7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : コンペアマッチフラグ (CMF)

T2CNT の値と T2COR の値が一致したことを示すステータスフラグであり、以下の条件でセットおよびクリアされます。

ビット 6	説明
CMF	
0	クリア条件 : CMF = 1 の状態で T2CSR を読み出した後、CMF に 0 を書き込んだとき。 (初期値)
1	セット条件 : T2CNT = T2COR になったとき。*

【注】 * T2CNT および T2COR が初期値のままのとき (初期値から値を書き換えていないとき および T2CNT がカウントアップにより値を変化させていないとき)、T2CNT および T2COR は共に H'0000 で一致していますがこのときには CMF はセットされません。

ビット5：コンペアマッチインタラプトイネーブル (CMIE)

T2CSR の CMF が 1 にセットされたとき、CMF による割り込み要求を許可または禁止します。

ビット5	説明	
CMIE		
0	CMF による割り込み要求を禁止	(初期値)
1	CMF による割り込み要求を許可	

ビット4～2：クロックセレクト (CKS2、CKS1、CKS0)

システムクロック () を分周して得られる 7 種類の内部クロックから T2CNT に入力するクロックを選択します。

ビット4	ビット3	ビット2	説明
CKS2	CKS1	CKS0	
0	0	0	カウントアップ停止 (初期値)
		1	/2
	1	0	/8
		1	/32
1	0	0	/128
		1	/512
	1	0	/2048
		1	/4096

ビット1、0：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9.2.2 タイマカウンタ (T2CNT)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (T2CNT) は読み出し / 書き込み可能な 16 ビットのレジスタで、8 ビットアップカウンタとして使用します。

T2CNT は T2CSR の CKS2~0 ビットで選択したクロックによりカウントアップされます。T2CNT の値は CPU から常に読み出し / 書き込み可能です。T2CNT がタイマコンスタントレジスタ (T2COR) と一致すると、T2CNT は H'0000 にクリアされ、T2CSR の CMF フラグが 1 にセットされます。このとき、T2CSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) が発生します。

ビット 15~8 は予約ビットで、カウンタ動作は行いません。常に 0 が読み出されます。書き込む値も常に 0 にしてください。

T2CNT はパワーオンリセットで H'0000 に初期化されます。

9.2.3 タイマコンスタントレジスタ (T2COR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマコンスタントレジスタ (T2COR) は読み出し / 書き込み可能な 16 ビットのレジスタで、T2CNT とのコンペアマッチ周期を設定します。T2COR と T2CNT の値は常に比較され、両方の値が一致すると T2CSR の CMF フラグがセットされ、T2CNT は 0 にクリアされます。

T2CSR の CMIE が 1 にセットされていると、この一致信号によって割り込みコントローラに対し割り込み要求を発生させます。割り込み要求は T2CSR の CMF がクリアされるまで続けて出力されます。

ビット 15~8 は予約ビットで、周期設定には使用できません。常に 0 が読み出されます。T2COR はパワーオンリセットで H'0000 に初期化されます。

9.3 動作説明

9.3.1 周期カウント動作

T2CSRレジスタのCKS2、CKS1、CKS0ビットでクロックを選択すると、選択したクロックによってT2CNTカウンタはカウントアップを開始します。T2CNTカウンタの値がタイマコンスタントレジスタ (T2COR) の値と一致すると、T2CNTカウンタはH'00にクリアされ、T2CSRレジスタのCMFフラグが1にセットされます。このとき、T2CSRレジスタのCMIEビットが1に設定されていると、コンペアマッチ割り込み (CMI) を要求します。T2CNTカウンタはH'00から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図9.2に示します。

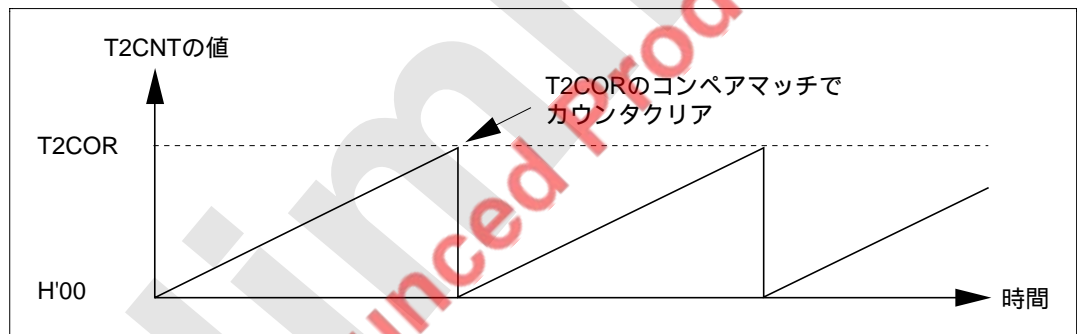


図 9.2 カウンタの動作

9.3.2 T2CNT のカウントタイミング

T2CSR の CKS2、CKS1、CKS0 ビットにより、システムクロック (CK) を分周した 7 種類のクロック (/ 2、 / 8、 / 32、 / 128、 / 512 / 2048、 / 4096) が選択できます。このときのタイミングを図9.3に示します。

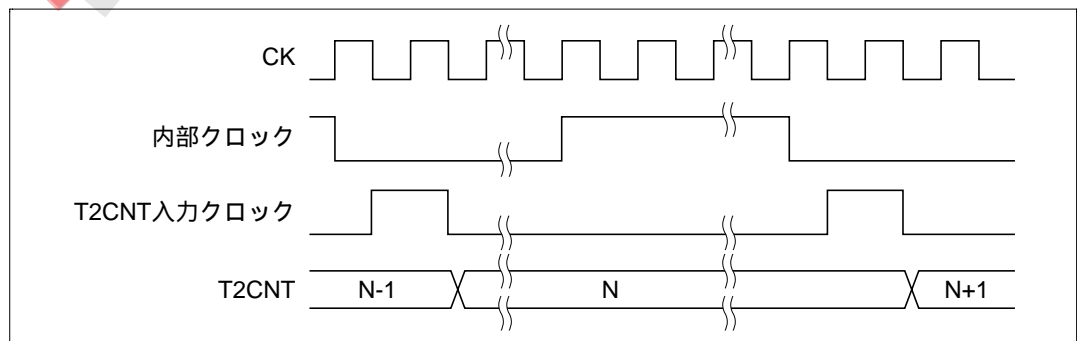


図 9.3 カウントタイミング

9.4 割り込み

9.4.1 割り込み要因

割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

9.4.2 コンペアマッチフラグのセットタイミング

T2CSR レジスタの CMF ビットは、T2COR レジスタと T2CNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (T2CNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、T2CNT カウンタと T2COR レジスタが一致した後、T2CNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 9.4 に示します。

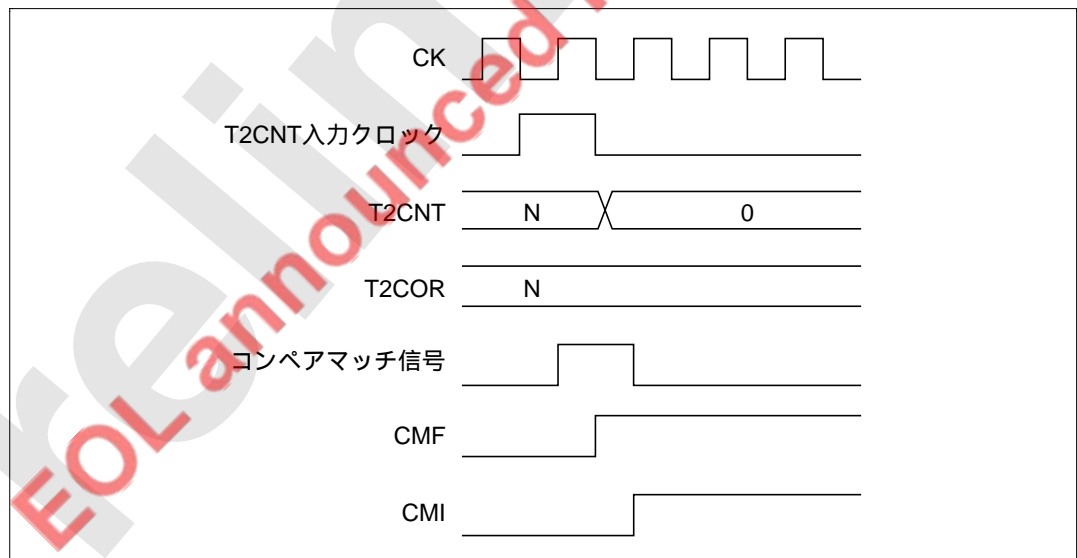


図 9.4 CMF のセットタイミング

9.4.3 コンペアマッチフラグのクリアタイミング

T2CSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むとクリアされます。CPU による CMF ビットのクリアタイミングを図 9.5 に示します。

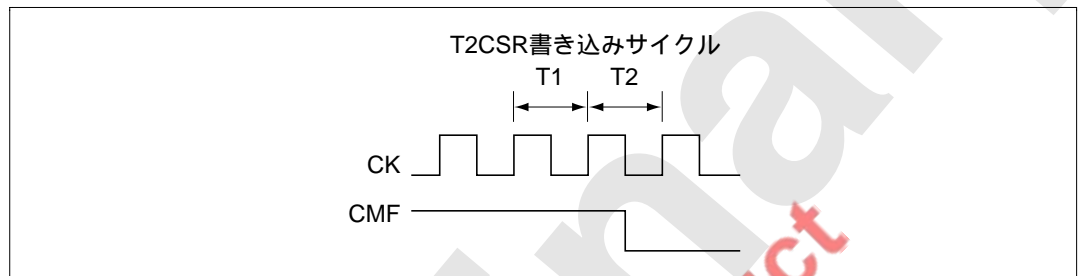


図 9.5 CPU による CMF のクリアタイミング

10. コンペアマッチタイマ (CMT)

第10章 目次

10.1	概要	10-3
10.1.1	特長	10-3
10.1.2	ブロック図	10-3
10.1.3	レジスタ構成	10-4
10.2	レジスタの説明	10-5
10.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	10-5
10.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	10-6
10.2.3	コンペアマッチタイマカウンタ (CMCNT)	10-8
10.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	10-8
10.3	動作説明	10-9
10.3.1	周期カウント動作	10-9
10.3.2	CMCNT のカウントタイミング	10-9
10.4	割り込み	10-10
10.4.1	割り込み要因	10-10
10.4.2	コンペアマッチフラグのセットタイミング	10-10
10.4.3	コンペアマッチフラグのクリアタイミング	10-11
10.5	使用上の注意	10-12

Preliminary
EOL announced Product

10.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT: Compare match timer) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

10.1.1 特長

CMT には、次のような特長があります。

4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック (/8、 /32、 /128、 /512) の中から各チャンネル独立に選択できます。

割り込み要因

コンペアマッチ割り込みを各チャンネル独立に要求することができます。

10.1.2 ブロック図

CMT のブロック図を図 10.1 に示します。

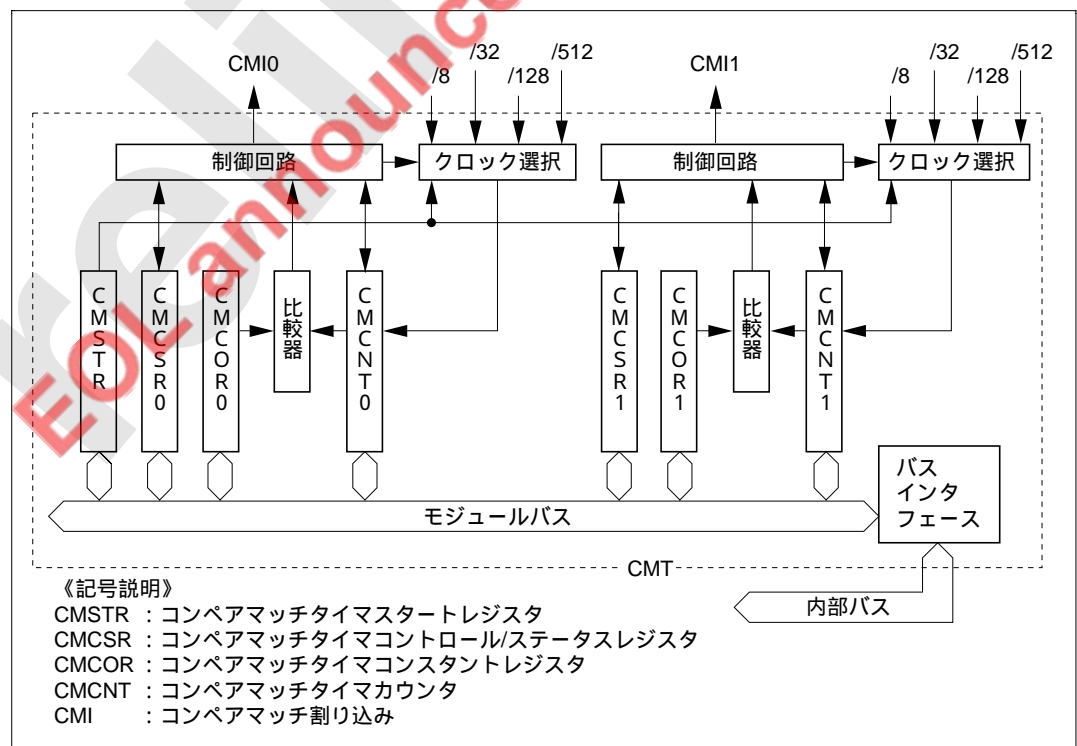


図 10.1 CMT のブロック図

10.1.3 レジスタ構成

CMT のレジスタ構成を表 10.1 に示します。

表 10.1 レジスタ構成

チャンネル	名称	R/W	略称	初期値	アドレス	アクセスサイズ (ビット)
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFF83D0	8、16、32
0	コンペアマッチタイマコントロール / ステータスレジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFF83D2	8、16、32
	コンペアマッチタイマカウンタ 0	CMCNT0	R/W	H'0000	H'FFFF83D4	8、16、32
	コンペアマッチタイマコンスタントレジスタ 0	CMCOR0	R/W	H'FFFF	H'FFFF83D6	8、16、32
1	コンペアマッチタイマコントロール / ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFF83D8	8、16、32
	コンペアマッチタイマカウンタ 1	CMCNT1	R/W	H'0000	H'FFFF83DA	8、16、32
	コンペアマッチタイマコンスタントレジスタ 1	CMCOR1	R/W	H'FFFF	H'FFFF83DC	8、16

【注】 * CMCSR0、1 の CMF ビットは、フラグをクリアするための 0 書き込みのみ可能です。

10.2 レジスタの説明

10.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) はチャンネル 0、1 のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット 15~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : カウントスタート 1 (STR1)

コンペアマッチタイマカウンタ 1 (CMCNT1) を動作させるか、停止させるかを選択します。

ビット 1	説明
STR1	
0	CMCNT1 のカウント動作は停止 (初期値)
1	CMCNT1 はカウント動作

ビット 0 : カウントスタート 0 (STR0)

コンペアマッチタイマカウンタ 0 (CMCNT0) を動作させるか、停止させるかを選択します。

ビット 0	説明
STR0	
0	CMCNT0 のカウント動作は停止 (初期値)
1	CMCNT0 はカウント動作

10.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) はコンペアマッチ発生時の表示、割り込みの許可/禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSR レジスタは 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	—	—	—	—	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/(W)*R/W	R	R	R	R	R	R/W	R/W

【注】* フラグをクリアするために、0のみ書き込むことができます。

ビット 15~8、5~2 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 7 : コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット 7	説明
CMF	
0	CMCNT と CMCOR の値が一致していない [クリア条件] CMF の 1 を読み出してから 0 を書き込む (初期値)
1	CMCNT と CMCOR の値が一致した

ビット6：コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット6	説明
CMIE	
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

システムクロック () を分周して得られる4種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットを1にセットすると、CKS1、CKS0 で選択されたクロックにより CMCNT がカウントアップを開始します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	/ 8 (初期値)
	1	/ 32
1	0	/ 128
	1	/ 512

10.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR の STR ビットを 1 にセットすると、そのクロックによって CMCNT はカウントアップを開始します。CMCNT の値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ、CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR の CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

CMCNT レジスタは 16 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットで H'FFFF に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3 動作説明

10.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 10.2 に示します。

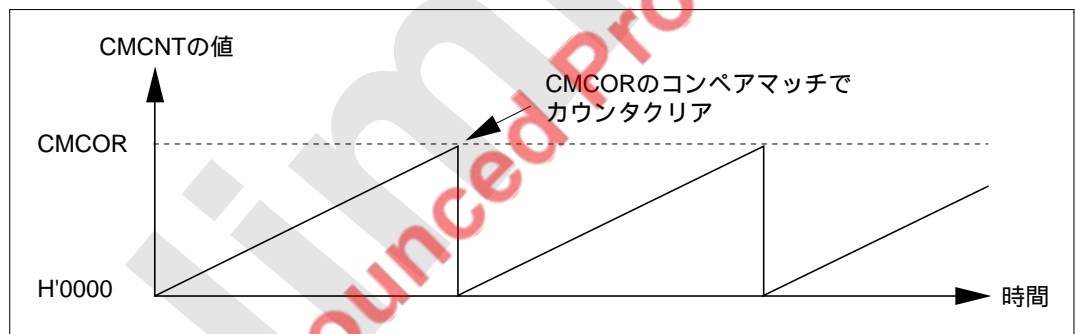


図 10.2 カウンタの動作

10.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、システムクロック (CK) を分周した 4 種類のクロック (/8、 /32、 /128、 /512) が選択できます。このときのタイミングを図 10.3 に示します。

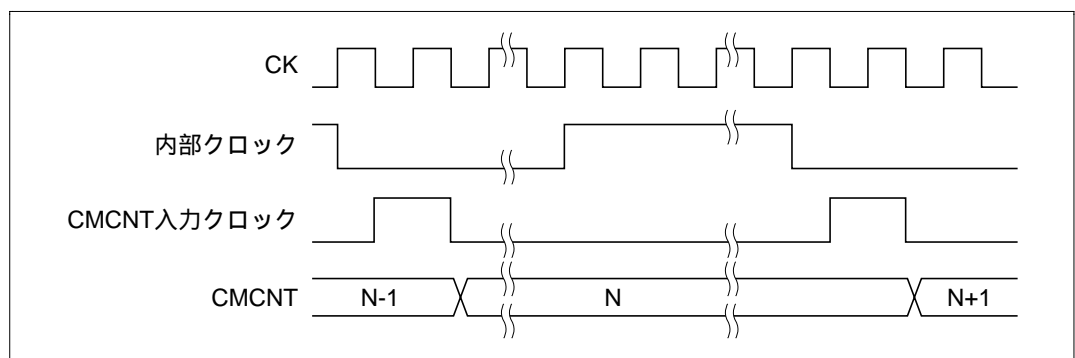


図 10.3 カウントタイミング

10.4 割り込み

10.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ CMF が 1 にセットされ、かつ割り込み許可ビット CMIE が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「6. 割り込みコントローラ」を参照してください。

10.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの CMF ビットは、CMCOR レジスタと CMCNT カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタと CMCOR レジスタが一致した後、CMCNT カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF ビットのセットタイミングを図 10.4 に示します。

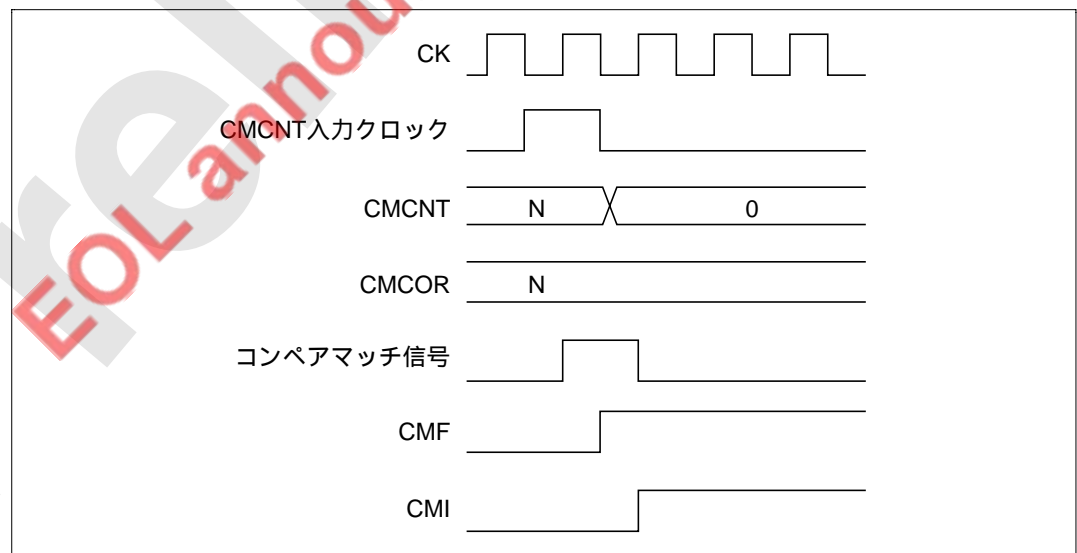


図 10.4 CMF のセットタイミング

10.4.3 コンペアマッチフラグのクリアタイミング

CMCSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むことによりクリアされます。CPU による CMF ビットのクリアタイミングを図 10.5 に示します。

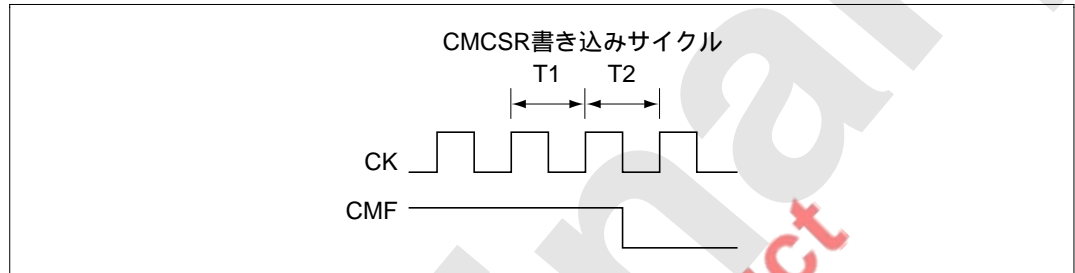


図 10.5 CPU による CMF のクリアタイミング

10.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

(1) CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタの書き込みサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 10.6 に示します。

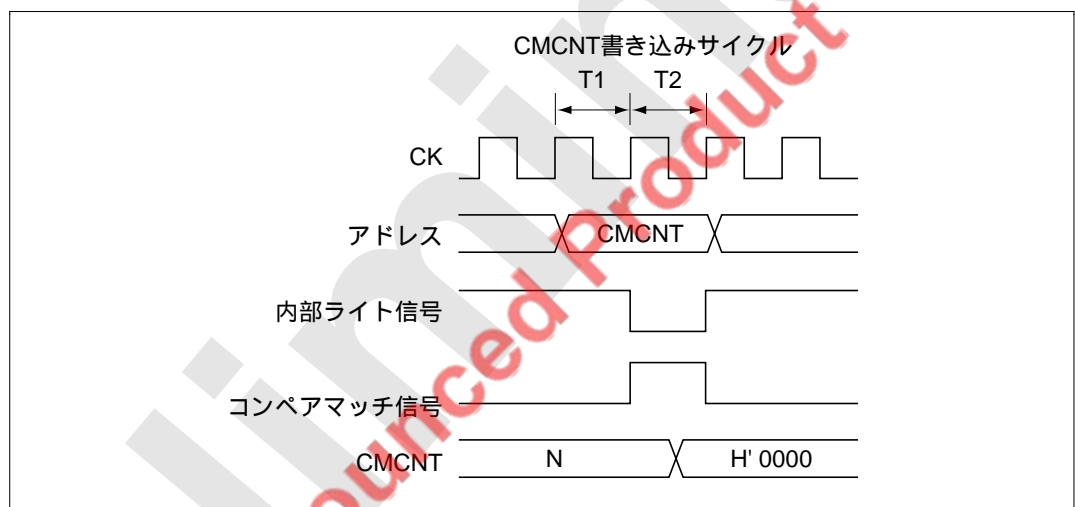


図 10.6 CMCNT の書き込みとコンペアマッチの競合

(2) CMCNTのワード書き込みとカウントアップの競合

CMCNTカウンタのワード書き込みサイクル中のT2状態でカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図10.7に示します。

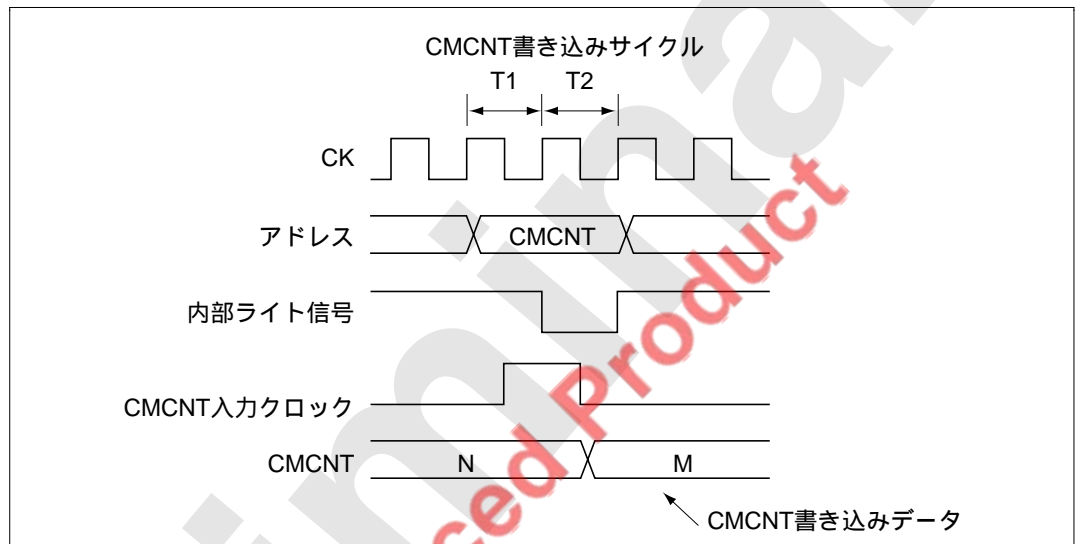


図 10.7 CMCNTのワード書き込みとカウントアップの競合

(3) CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイト書き込みサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側の書き込みデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH 書き込みサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 10.8 に示します。

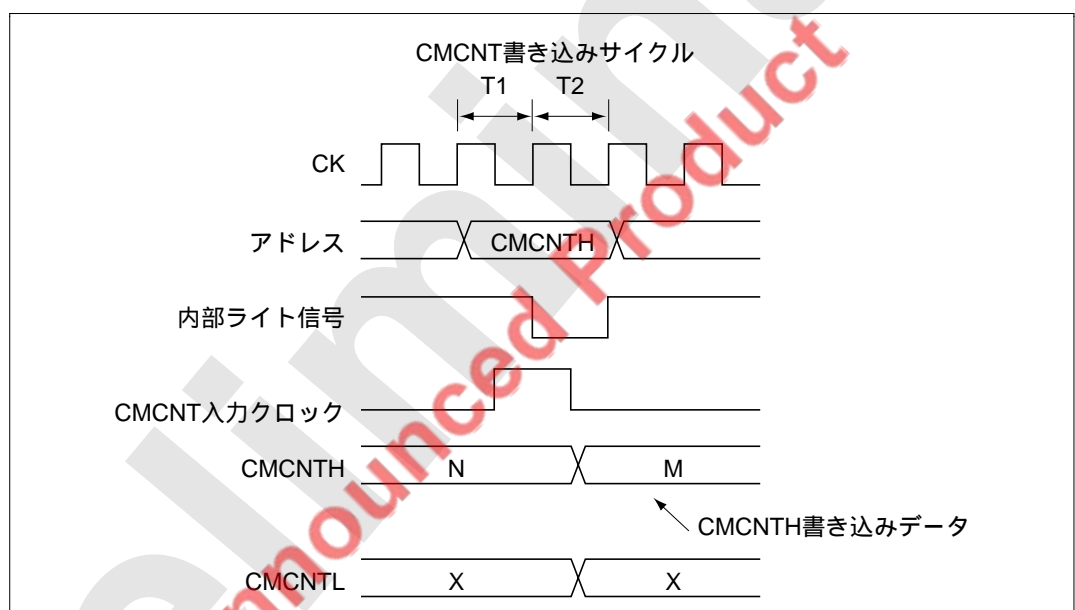


図 10.8 CMCNT のバイト書き込みとカウントアップの競合

11. ウォッチドッグタイマ (WDT)

第11章 目次

11.1	概要	11-3
11.1.1	特長	11-3
11.1.2	ブロック図	11-4
11.1.3	レジスタ構成	11-5
11.2	レジスタの説明	11-6
11.2.1	タイマカウンタ (TCNT)	11-6
11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	11-7
11.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-9
11.2.4	レジスタアクセス時の注意	11-11
11.3	動作説明	11-13
11.3.1	ウォッチドッグタイマモード時の動作	11-13
11.3.2	インターバルタイマモード時の動作	11-14
11.3.3	スタンバイモード解除時の動作	11-14
11.3.4	オーバフローフラグ (OVF) のセットタイミング	11-15
11.3.5	ウォッチドッグタイマオーバフローフラグ (WOVF) の セットタイミング	11-16
11.4	使用上の注意	11-17
11.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	11-17
11.4.2	CKS2~CKS0 ビットの書き換え	11-17
11.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り換え	11-17
11.4.4	ウォッチドッグタイマモードでの内部リセット	11-18

Preliminary
EOL announced Product

11.1 概要

ウォッチドッグタイマ (WDT) は 1 チャンネルのタイマで、システムの監視を行うことができます。WDT は、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、本 LSI の内部リセット信号を発生することができます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。また、WDT はスタンバイモードの解除時にも使用されます。

11.1.1 特長

WDT には次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能

ウォッチドッグタイマモード時、カウンタがオーバーフローすると、本 LSI 内部をリセットすることができます。

インターバルタイマモード時、割り込みを発生

カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

スタンバイモードの解除時に使用

8 種類のカウント入力クロックを選択可能

11.1.2 ブロック図

WDTのブロック図を図 11.1 に示します。

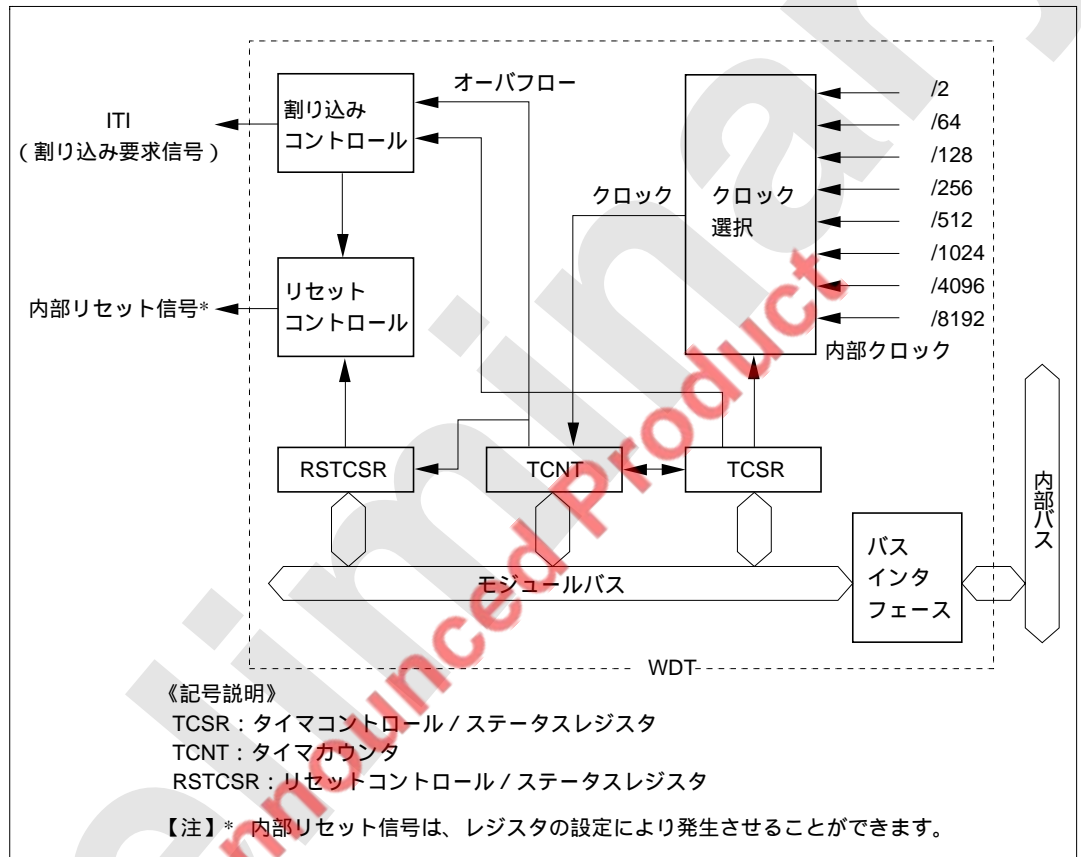


図 11.1 WDT のブロック図

11.1.3 レジスタ構成

WDT には、表 11.1 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り換え、リセット信号の制御などを行います。

表 11.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* ³	H'18	H'FFFF8610	H'FFFF8610
タイマカウンタ	TCNT	R/W	H'00		H'FFFF8611
リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* ³	H'1F	H'FFFF8612	H'FFFF8613

【注】 *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。

*3 ビット 7 には、フラグをクリアするために、0 のみ書き込むことができます。

11.2 レジスタの説明

11.2.1 タイマカウンタ (TCNT)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (TCNT) は、読み出し / 書き込み可能な*1 8 ビットのアップカウンタです。タイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の WT/\overline{IT} ビットで選択したモードによって、ウォッチドッグタイマによる内部リセット*2 またはインターバルタイマ割り込み (ITI) が発生します。

TCNT は、パワーオンリセットまたは TME ビットが 0 のとき、H'00 に初期化されます。スタンバイモード時には初期化されません。

【注】 *1 TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

*2 RSTCSR の RSTE = 1 の場合

11.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/ \bar{IT}	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

タイマコントロール/ステータスレジスタ (TCSR) は、読み出し/書き込み可能な* 8 ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

ビット7~5は、パワーオンリセットおよびスタンバイモードで000に初期化されます。ビット2~0は、パワーオンリセットで000に初期化されますが、スタンバイモード時には初期化されません。

【注】* TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	インターバルタイマモードでTCNTのオーバフローなし (初期値) [クリア条件] OVFを読み出してから0を書き込む
1	インターバルタイマモードでTCNTのオーバフロー発生

ビット6：タイマモードセレクト (WT/ \bar{W} T)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。

ビット6	説明
WT/ \bar{W} T	
0	インターバルタイマモード (初期値)
1	ウォッチドッグタイマモード*

【注】 * ウォッチドッグタイマモードのとき、TCNTがオーバフローした場合についての詳細は「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル：TCNTをH'00に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNTはカウントアップを開始

ビット4、3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック () を分周して得られる8種類の内部クロックから、TCNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック	オーバフロー周期* (= 20.0MHz の場合)
0	0	0	/2 (初期値)	25.6 μ s
		1	/64	819.2 μ s
	1	0	/128	1.6384ms
		1	/256	3.2768ms
1	0	0	/512	6.5536ms
		1	/1024	13.1072ms
	1	0	/4096	52.4288ms
		1	/8192	104.8576ms

【注】 * オーバフロー周期は、TCNT が H00 からカウントアップを開始し、オーバフローするまでの時間です。

11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R	R	R	R	R	R

【注】* ビット7には、フラグをクリアするために0のみ書き込むことができます。

リセットコントロール/ステータスレジスタ (RSTCSR) は、読み出し/書き込み可能な*8ビットのレジスタで、タイマカウンタ (TCNT) のオーバフローによる内部リセット信号の発生を制御します。

RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバフローによる内部リセット信号では初期化されません。スタンバイモード時には、H'1F に初期化されます。

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	ウォッチドッグタイマモードでTCNTのオーバフローなし (初期値) [クリア条件] WOVFを読み出してからWOVFに0を書き込む
1	ウォッチドッグタイマモードでTCNTのオーバフロー発生

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードでTCNTがオーバフローしたとき、本LSI内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNTがオーバフローしたとき、内部リセットしない* (初期値)
1	TCNTがオーバフローしたとき、内部リセットする

【注】 * 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4～0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

11.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNTとTCSRが同一アドレスに割り当てられています。このため、図11.2に示すように、TCNTへ書き込むときは上位バイトをH'5Aにし、下位バイトを書き込みデータにして転送してください。TCSRへ書き込むときは上位バイトをH'A5にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータがTCNTまたはTCSRへ書き込まれます。

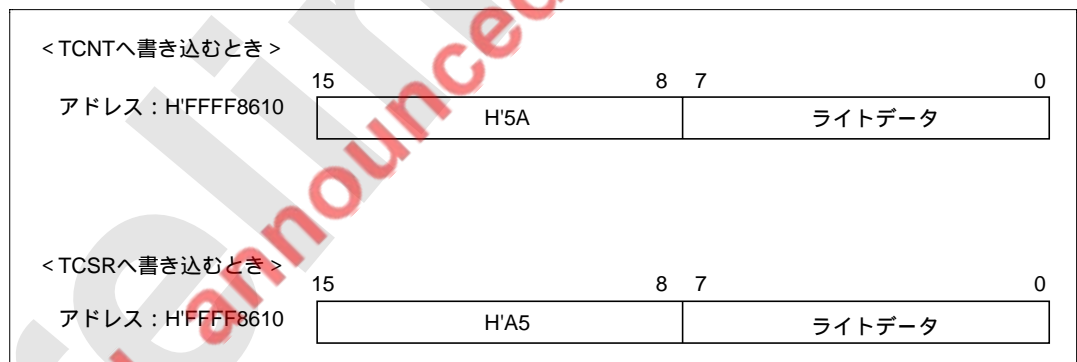


図 11.2 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFF8612 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) に書き込む場合では、図 11.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットに書き込まれます。このとき、WOVF ビットは影響を受けません。

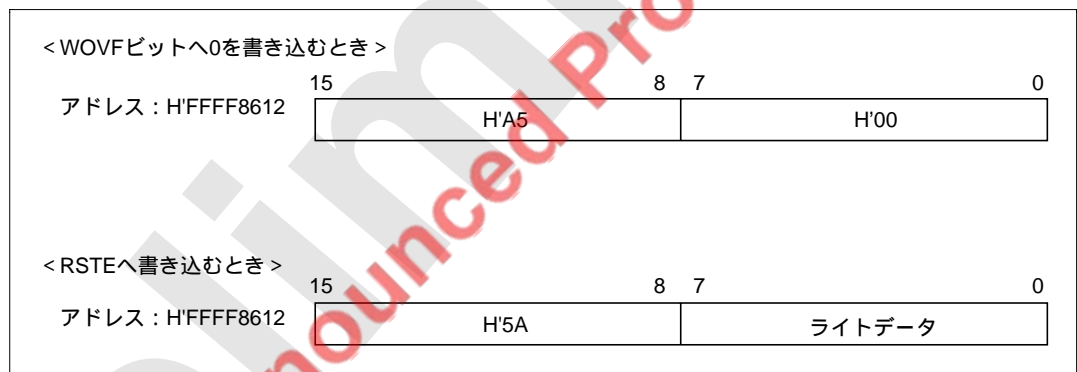


図 11.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFF8610 に、TCNT は、アドレス H'FFFF8611 に、RSTCSR は、アドレス H'FFFF8613 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

11.3 動作説明

11.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、システムの暴走などにより TCNT の値が書き換えられず、オーバーフローにより、本 LSI の内部をリセットする信号が発生します。内部リセット信号は、512 クロックの間出力されます。これを図 11.4 に示します。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) ピンファンクションコントローラ (PFC) のレジスタ、(2) I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

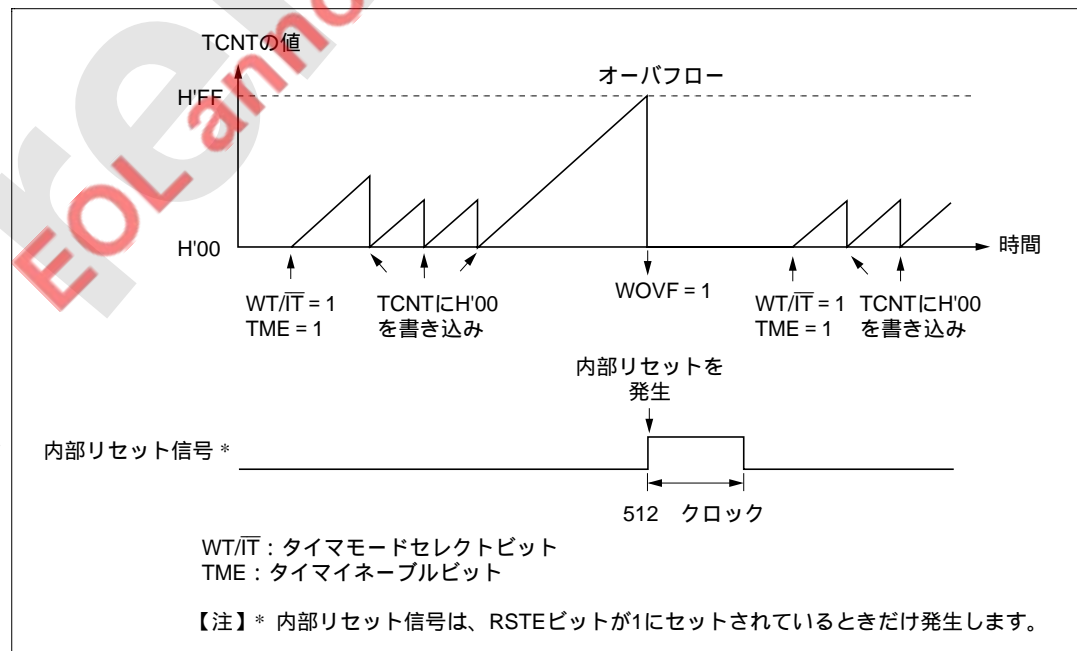


図 11.4 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、タイマコントロール/ステータスレジスタ (TCSR) の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 11.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

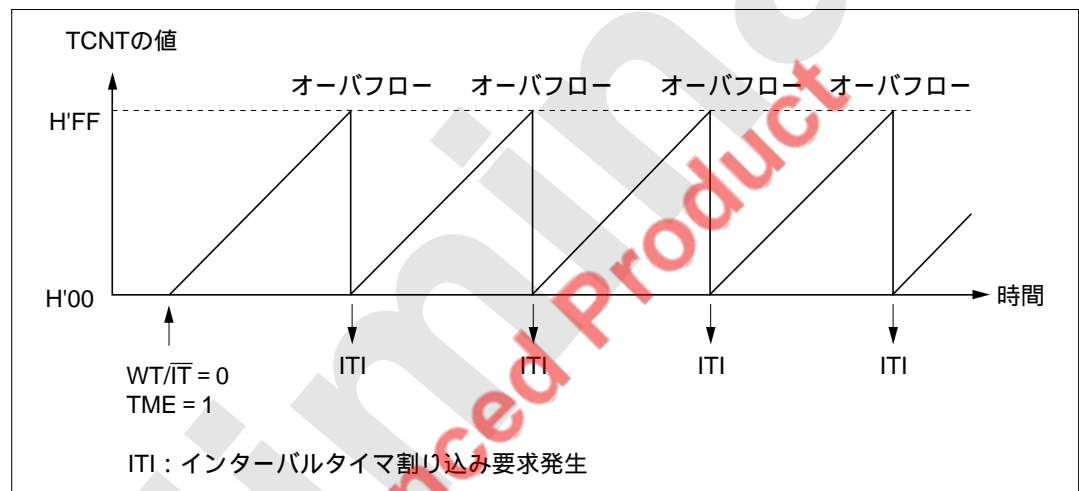


図 11.5 インターバルタイマモード時の動作

11.3.3 スタンバイモード解除時の動作

WDT は、スタンバイモードが NMI 割り込みで解除されるときに使用されます。スタンバイモードを使用する場合は、WDT を次の (1) に示すように設定してください。

(1) スタンバイモード遷移前の設定

スタンバイモードに遷移する前に、必ずタイマコントロール/ステータスレジスタ (TCSR) の TME ビットを 0 にして、WDT を停止させてください。TME ビットが 1 になっていると、スタンバイモードに遷移できません。また、タイマカウンタ (TCNT) のオーバーフロー周期が発振安定時間以上になるように、TCSR の CKS2 ~ CKS0 ビットを設定してください。発振安定時間については、「18.3 AC 特性」を参照してください。

(2) スタンバイモード解除時の動作

スタンバイモードで NMI 信号が入力されると、発振器が動作を開始し、TCNT はスタンバイモード遷移前に CKS2 ~ CKS0 ビットで選択しておいたクロックにより、カウントアップを開始します。TCNT がオーバーフロー (H'FF H'00) すると、クロックが安定し使用可能であると判断され、本 LSI 全体にクロックが供給されます。これによって、スタンバイモードが解除されます。

スタンバイモードの詳細については、「18. 低消費電力状態」を参照してください。

11.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバフローすると、タイマコントロール/ステータスレジスタ (TCSR) のOVFビットが1にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 11.6 に示します。

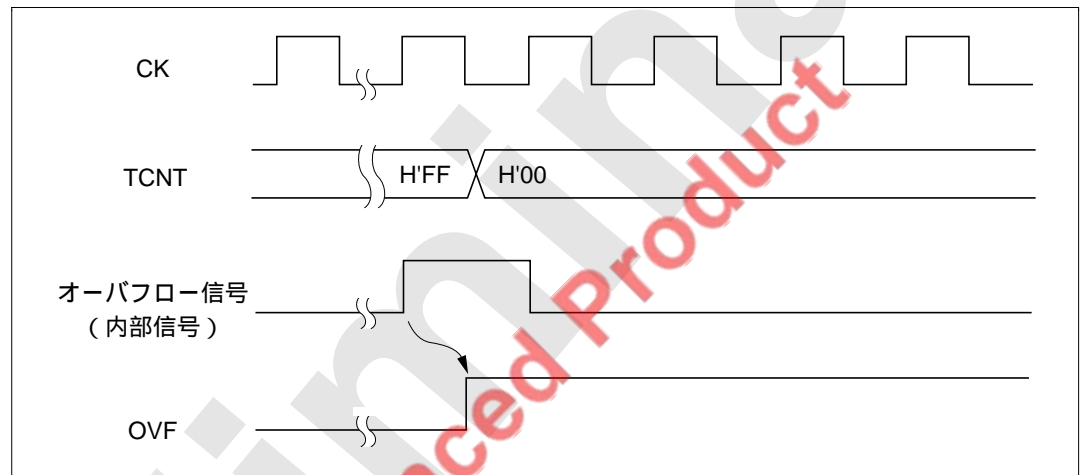


図 11.6 オーバフローフラグ (OVF) のセットタイミング

11.3.5 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 11.7 に示します。

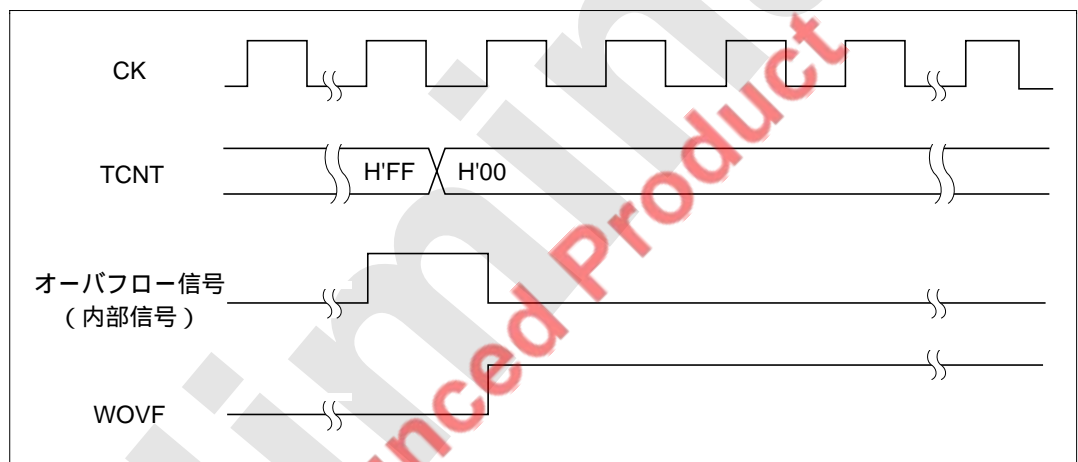


図 11.7 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

11.4 使用上の注意

11.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) の書き込みサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 11.8 に示します。

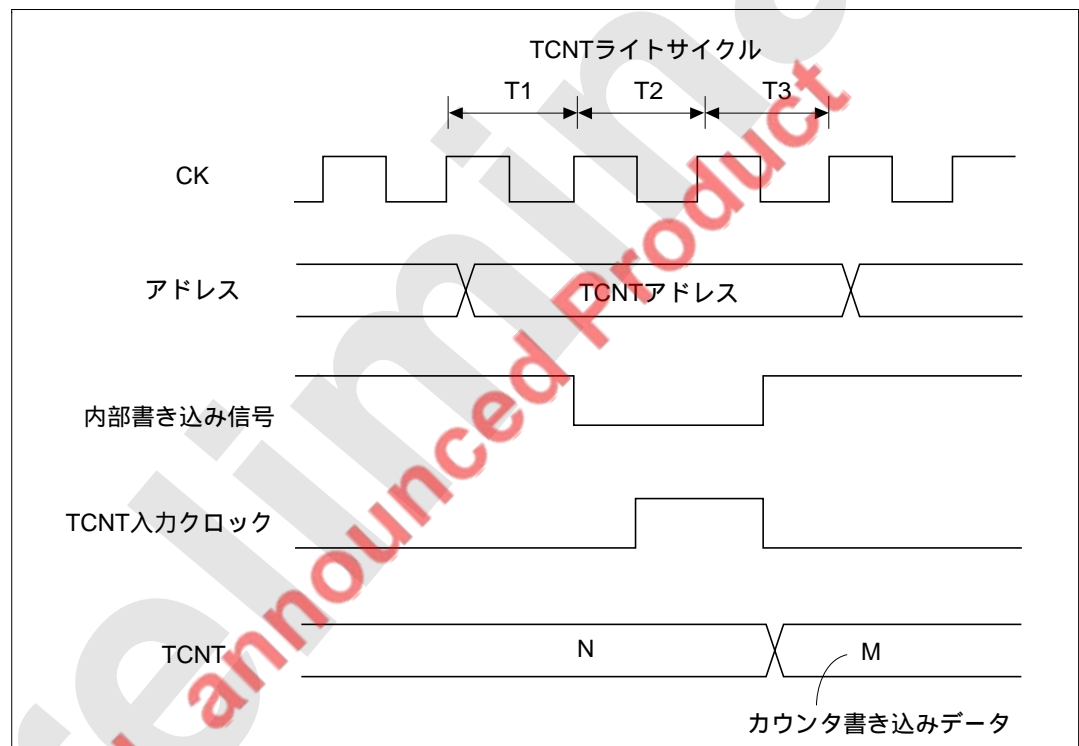


図 11.8 TCNT の書き込みとカウントアップの競合

11.4.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中にタイマコントロール/ステータスレジスタ (TCSR) の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われません。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り換え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り換えると、正しい動作が行われません。タイマモードの切り換えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.4.4 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。

12. シリアル コミュニケーション インタフェース (SCI1)

第12章 目次

12.1	概要	12-3
12.1.1	特長	12-3
12.1.2	ブロック図	12-4
12.1.3	端子構成	12-5
12.1.4	レジスタ構成	12-5
12.2	レジスタの説明	12-6
12.2.1	レシーフシフトレジスタ (RSR1)	12-6
12.2.2	レシーフデータレジスタ (RDR1)	12-6
12.2.3	トランスミットシフトレジスタ (TSR1)	12-7
12.2.4	トランスミットデータレジスタ (TDR1)	12-7
12.2.5	シリアルモードレジスタ (SMR1)	12-8
12.2.6	シリアルコントロールレジスタ (SCR)	12-11
12.2.7	シリアルステータスレジスタ (SSR)	12-16
12.2.8	ビットレートレジスタ (BRR)	12-21
12.3	動作説明	12-28
12.3.1	概要	12-28
12.3.2	調歩同期式モード時の動作	12-30
12.3.3	マルチプロセッサ通信機能	12-41
12.3.4	クロック同期式モード時の動作	12-49
12.4	SCIの割り込み要因	12-59
12.5	使用上の注意	12-60

Preliminary
EOL announced Product

12.1 概要

本 LSI は、1 チャンネルのシリアルコミュニケーションインタフェース (SCI1) を備えています。

SCI1 は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

12.1.1 特長

SCI1 には次のような特長があります。

シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

- ・ 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット : 1 または 0

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。

- ・ クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能

4種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。

12.1.2 ブロック図

図 12.1 に SCI1 のブロック図を示します。

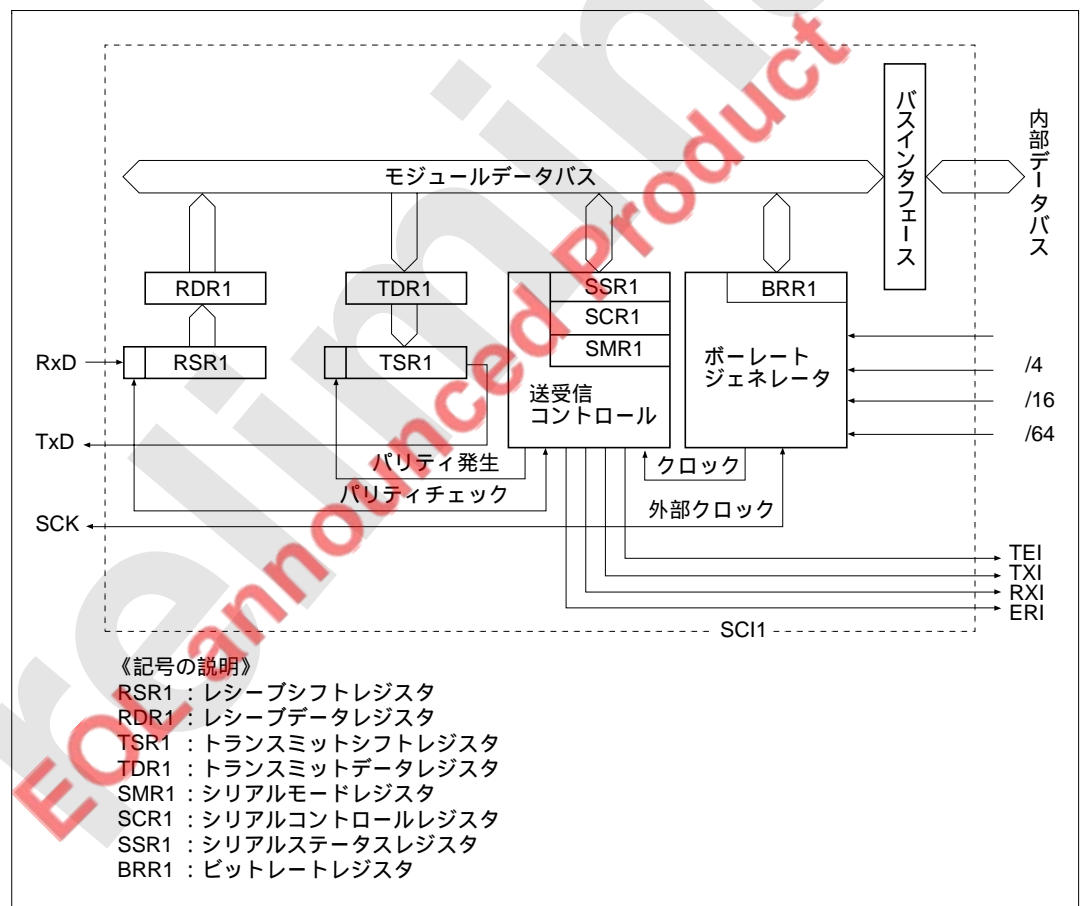


図 12.1 SCI1 のブロック図

12.1.3 端子構成

SCI1 は、表 12.1 に示すシリアル端子を持っています。

表 12.1 端子構成

名称	略称	入出力	機能
シリアルクロック端子	SCK	入出力	SCI1 のクロック入出力
レシーブデータ端子	RxD	入力	SCI1 の受信データ入力
トランスミットデータ端子	TxD	出力	SCI1 の送信データ出力

12.1.4 レジスタ構成

SCI1 には、表 12.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス* ²	アクセスサイズ
シリアルモードレジスタ	SMR1	R/W	H'00	H'FFFF81B0	8、16
ビットレートレジスタ	BRR1	R/W	H'FF	H'FFFF81B1	8、16
シリアルコントロールレジスタ	SCR1	R/W	H'00	H'FFFF81B2	8、16
トランスミットデータレジスタ	TDR1	R/W	H'FF	H'FFFF81B3	8、16
シリアルステータスレジスタ	SSR1	R/(W)* ¹	H'84	H'FFFF81B4	8、16
レシーブデータレジスタ	RDR1	R	H'00	H'FFFF81B5	8、16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができます。

*2 空きアドレスはアクセスしないでください。

12.2 レジスタの説明

12.2.1 レシーブシフトレジスタ (RSR1)

ビット :	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

レシーブシフトレジスタ (RSR1) は、シリアルデータを受信するためのレジスタです。SCI1 は、RSR1 に RxD 端子から入力されたシリアルデータを LSB (ビット0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR1 へ転送されます。

CPU から直接 RSR1 の読み出し / 書き込みをすることはできません。

12.2.2 レシーブデータレジスタ (RDR1)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

レシーブデータレジスタ (RDR1) は、受信したシリアルデータを格納するレジスタです。

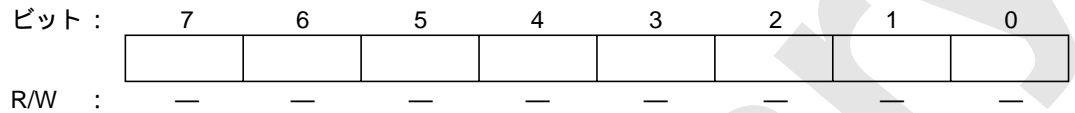
SCI1 は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR1) から RDR1 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR1 は受信可能になります。

このように、RSR1 と RDR1 はダブルバッファになっているため連続した受信動作が可能です。

RDR1 は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR1 は、パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。

12.2.3 トランスミットシフトレジスタ (TSR1)



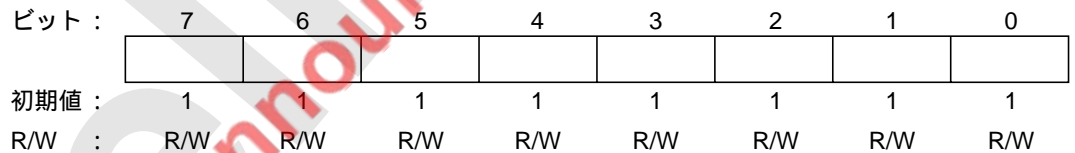
トランスミットシフトレジスタ (TSR1) は、シリアルデータを送信するためのレジスタです。

SCI1 は、トランスミットデータレジスタ (TDR1) から送信データをいったん TSR1 に転送し、LSB (ビット0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR1 から TSR1 へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR1) の TDRE ビットが1にセットされている場合には、TDR1 から TSR1 へのデータ転送は行いません。

CPU から、直接 TSR1 の読み出し / 書き込みをすることはできません。

12.2.4 トランスミットデータレジスタ (TDR1)



トランスミットデータレジスタ (TDR1) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI1 は、トランスミットシフトレジスタ (TSR1) の空を検出すると、TDR1 に書き込まれた送信データを TSR1 に転送してシリアル送信を開始します。TSR1 のシリアルデータ送信中に TDR1 に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR1 は、常に CPU による読み出し / 書き込みが可能です。

TDR1 は、パワーオンリセットまたはスタンバイモードで H'FF に初期化されます。

12.2.5 シリアルモードレジスタ (SMR1)

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR1) は、SCI1 のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR1 は、常に CPU による読み出し / 書き込みが可能です。

SMR1 は、パワーオンリセットまたはスタンバイモードで H'00 に初期化されます。

ビット 7 : コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。

クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR1) の MSB (ビット 7) は送信されません。

ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説 明	
STOP		
0	1ストップビット* ¹	(初期値)
1	2ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO \bar{E} ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「12.3.3 マルチプロセッサの通信機能」を参照してください。

ビット2	説 明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット1、0 : クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定で、 $\times 4$ 、 $\times 16$ 、 $\times 64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「12.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	$\times 4$ クロック
1	0	$\times 16$ クロック
	1	$\times 64$ クロック

12.2.6 シリアルコントロールレジスタ (SCR1)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR1) は、SCI1 の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR1 は、常に CPU による読み出し / 書き込みが可能です。

SCR1 は、パワーオンリセットまたはスタンバイモード時に H'00 に初期化されます。

ビット7：トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR1) からトランスミットシフトレジスタ (TSR1) へシリアル送信データが転送されシリアルステータスレジスタ (SSR1) の TDRE ビットが1にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR1) からレシーブデータレジスタ (RDR1) へ転送されて SSR1 の RDRF ビットが1にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル (TE)

SCI1 のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説明	
TE		
0	送信動作を禁止* ¹	(初期値)
1	送信動作を許可* ²	

【注】 *1 SSR1 の TDRE ビットは 1 に固定されます。

*2 この状態で、TDR1 に送信データを書き込んで、SSR1 の TDRE ビットを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SMR1) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI1 のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明	
RE		
0	受信動作を禁止* ¹	(初期値)
1	受信動作を許可* ²	

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR1 の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR1 の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR1 の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * RSR1 から RDR1 への受信データの転送、および受信エラーの検出と SSR1 の RDRF、FER、ORER の各ビットのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR1 の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR1 の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER ビットのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEIの解除は、SSR1 の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCI1のクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、ピンファンクションコントローラ (PFC) で、SCK端子の機能を選択しておいてください。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合はCKE0ビットの設定は無効です。また、CKE1、CKE0ビットの設定の前には必ずSMRでSCIの動作モードを決定してください。

SCIのクロックソースの選択についての詳細は「12.3 動作説明」の表12.9を参照してください。

ビット1	ビット0	説 明*1	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定)*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*2
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*3
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*4
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。

*2 初期値

*3 ビットレートと同じ周波数のクロックを出力

*4 ビットレートの 16 倍の周波数のクロックを入力

12.2.7 シリアルステータスレジスタ (SSR1)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SSR1) は、SCI1 の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSR1 は常にCPUから読み出し/書き込みができます。ただし、TDRE、RDRF、ORER、PER、FERの各ビットへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。また、TENDビット、およびMPBビットは読み出し専用であり、書き込むことはできません。

SSR1 は、パワーオンリセットまたはスタンバイモードでH'84に初期化されます。

ビット7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR1) からトランスミットシフトレジスタ (TSR1) にデータ転送が行われ、TDR1に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット7	説明
TDRE	
0	TDR1に有効な送信データが書き込まれていることを表示 [クリア条件] TDRE = 1の状態を読み出した後、0を書き込んだとき
1	TDR1に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、またはスタンバイモード時 (2) SCR1のTEビットが0のとき (3) TDR1からTSR1にデータ転送が行われTDR1にデータの書き込みが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR1) に格納されていることを示します。

ビット6	説明
RDRF	
0	RDR1に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) RDRF = 1の状態を読み出した後、0を書き込んだとき
1	RDR1に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR1からRDR1へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR1) の RE ビットを0にクリアしたときにはRDRおよびRDRFビットは影響を受けず以前の状態を保持します。RDRFビットが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。

ビット5：オーバーランエラー (ORER)

受信時にオーバーランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセット、またはスタンバイモード時 (2) ORER = 1の状態を読み出した後、0を書き込んだとき
1	受信時にオーバーランエラーが発生したことを表示*2 [セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき

【注】 *1 SCR1のREビットを0にクリアしたときには、ORERビットは影響を受けず以前の状態を保持します。

*2 RDR1ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) FER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示*2 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*2

【注】 *1 SCR1 の RE ビットを 0 にクリアしたときには、FER ビットは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF ビットはセットされません。さらに、FER ビットが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示*1 (初期値) [クリア条件] (1) パワーオンリセットまたはスタンバイモード時 (2) PER = 1 の状態を読み出した後、0 を書き込んだとき
1	受信時にパリティエラーが発生したことを表示*2 [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、シリアルモードレジスタ (SMR1) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 *1 SCR1 の RE ビットを 0 にクリアしたときには、PER ビットは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR1 に転送されますが、RDRF ビットはセットされません。なお、PER ビットが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR1 に有効なデータがなく、送信を終了したことを示します。

TEND ビットは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセットまたはスタンバイモード時 (2) SCR1 の TE ビットが 0 のとき (3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

12.2.8 ビットレートレジスタ (BRR1)

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (BRR1) は、シリアルモードレジスタ (SMR1) のCKS1、CKS0ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する8ビットのレジスタです。

BRR1 は、常にCPUによる読み出し / 書き込みが可能です。

BRR1 は、パワーオンリセットまたはスタンバイモードでH'FFに初期化されます。

表 12.3 に調歩同期式モードの BRR1 の設定例を、表 12.4 にクロック同期式モードの BRR1 の設定例を示します。

表 12.3 ビットレートに対する BRR1 の設定例〔調歩同期式モード〕(1)

(MHz) ビット レート(bit/s)	4			4.9152			6			7.3728		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	106	-0.44	2	130	-0.07
150	1	207	0.16	1	255	0.00	2	77	0.16	2	95	0.00
300	1	103	0.16	1	127	0.00	1	155	0.16	1	191	0.00
600	0	207	0.16	0	255	0.00	1	77	0.16	1	95	0.00
1200	0	103	0.16	0	127	0.00	0	155	0.16	0	191	0.00
2400	0	51	0.16	0	63	0.00	0	77	0.16	0	95	0.00
4800	0	25	0.16	0	31	0.00	0	38	0.16	0	47	0.00
9600	0	12	0.16	0	15	0.00	0	19	-2.34	0	23	0.00
14400	0	8	-3.55	0	10	-3.03	0	12	0.16	0	15	0.00
19200	0	6	-6.99	0	7	0.00	0	9	-2.34	0	11	0.00
28800	0	3	8.51	0	4	6.67	0	6	-6.99	0	7	0.00
31250	0	3	0.00	0	4	-1.70	0	5	0.00	0	6	5.33
38400	0	2	8.51	0	3	0.00	0	4	-2.34	0	5	0.00

(MHz) ビット レート(bit/s)	8			9.8304			10			11.0592		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	195	0.19
150	2	103	0.16	2	127	0.00	2	129	0.16	2	143	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	71	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	143	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	71	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	143	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	71	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	35	0.00
14400	0	16	2.12	0	20	1.59	0	21	-1.36	0	23	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	17	0.00
28800	0	8	-3.55	0	10	-3.03	0	10	-1.36	0	11	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	10	0.54
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	8	0.00

表 12.3 ビットレートに対する BRR1 の設定例〔調歩同期式モード〕(2)

ビット レート(bit/s)	12			12.288			14			14.7456		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	0.03	2	217	0.08	2	248	-0.17	3	64	0.70
150	2	155	0.16	2	159	0.00	2	181	0.16	2	191	0.00
300	2	77	0.16	2	79	0.00	2	90	0.16	2	95	0.00
600	1	155	0.16	1	159	0.00	1	181	0.16	1	191	0.00
1200	1	77	0.16	1	79	0.00	1	90	0.16	1	95	0.00
2400	0	155	0.16	0	159	0.00	0	181	0.16	0	191	0.00
4800	0	77	0.16	0	79	0.00	0	90	0.16	0	95	0.00
9600	0	38	0.16	0	39	0.00	0	45	-0.93	0	47	0.00
14400	0	25	0.16	0	26	-1.23	0	29	1.27	0	31	0.00
19200	0	19	-2.34	0	19	0.00	0	22	-0.93	0	23	0.00
28800	0	12	0.16	0	12	2.56	0	14	1.27	0	15	0.00
31250	0	11	0.00	0	11	2.40	0	13	0.00	0	14	-1.70
38400	0	9	-2.34	0	9	0.00	0	10	3.57	0	11	0.00

ビット レート(bit/s)	16			17.2032			18			18.432		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	70	0.03	3	75	0.48	3	79	-0.12	3	81	-0.22
150	2	207	0.16	2	223	0.00	2	233	0.16	2	239	0.00
300	2	103	0.16	2	111	0.00	2	116	0.16	2	119	0.00
600	1	207	0.16	1	223	0.00	1	233	0.16	1	239	0.00
1200	1	103	0.16	1	111	0.00	1	116	0.16	1	119	0.00
2400	0	207	0.16	0	223	0.00	0	233	0.16	0	239	0.00
4800	0	103	0.16	0	111	0.00	0	116	0.16	0	119	0.00
9600	0	51	0.16	0	55	0.00	0	58	-0.69	0	59	0.00
14400	0	34	-0.79	0	36	0.90	0	38	0.16	0	39	0.00
19200	0	25	0.16	0	27	0.00	0	28	1.02	0	29	0.00
28800	0	16	2.12	0	18	-1.75	0	19	-2.34	0	19	0.00
31250	0	15	0.00	0	16	1.20	0	17	0.00	0	17	2.40
38400	0	12	0.16	0	13	0.00	0	14	-2.34	0	14	0.00

表 12.3 ビットレートに対する BRR1 の設定例〔調歩同期式モード〕(3)

ビット レート(bit/s)	19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	86	0.31	3	88	-0.25
150	2	255	0.00	3	64	0.16
300	2	127	0.00	2	129	0.16
600	1	255	0.00	2	64	0.16
1200	1	127	0.00	1	129	0.16
2400	0	255	0.00	1	64	0.16
4800	0	127	0.00	0	129	0.16
9600	0	63	0.00	0	64	0.16
14400	0	42	-0.78	0	42	0.94
19200	0	31	0.00	0	32	-1.36
28800	0	20	1.59	0	21	-1.36
31250	0	19	-1.70	0	19	0.00
38400	0	15	0.00	0	15	1.73

表 12.4 ビットレートに対する BRR1 の設定例〔クロック同期式モード〕

ビット レート(bit/s)	4		8		10		12		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	141										
250	2	249	3	124	3	155	3	187	3	249		
500	2	124	2	249	3	77	3	93	3	124	3	155
1k	1	249	2	124	2	155	2	187	2	249	3	77
2.5k	1	99	1	199	1	249	2	74	2	99	2	124
5k	0	199	1	99	1	124	1	149	1	199	1	249
10k	0	99	0	199	0	249	1	74	1	99	1	124
25k	0	39	0	79	0	99	0	119	0	159	0	199
50k	0	19	0	39	0	49	0	59	0	79	0	99
100k	0	9	0	19	0	24	0	29	0	39	0	49
250k	0	3	0	7	0	9	0	11	0	15	0	19
500k	0	1	0	3	0	4	0	5	0	7	0	9
1M	0	0*	0	1	-	-	0	2	0	3	0	4
2.5M					0	0*	0	0*	-	-	0	1
5M											0	0*

【注】 誤差は、なるべく1%以内になるように設定してください。

《記号説明》

空欄：設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信 / 受信は出来ません。

BRR1 の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\text{クロック}}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\text{クロック}}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR1 の設定値 (0 ~ N - 255)

: 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0, 1, 2, 3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/ 4	0	1
2	/ 16	1	0
3	/ 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{クロック} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 12.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 12.6 と表 12.7 に外部クロック入力時の最大ビットレートを示します。

表 12.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
4	125000	0	0
4.9152	153600	0	0
6	187500	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0

表 12.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500
4.9152	1.2288	76800
6	1.5000	93750
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
11.0592	2.7648	172800
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
18.432	4.6080	288000
19.6608	4.9152	307200
20	5.0000	312500

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

12.3 動作説明

12.3.1 概要

SCI1 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR1) で行います。これを表 12.8 に示します。また、SCI のクロックソースは、SMR1 の $C\bar{A}$ ビットおよびシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 12.9 に示します。

・調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI1 のクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCI1 はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

・クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI1 のクロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：SCI1 はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 12.8 SMR1 の設定値とシリアル送信 / 受信フォーマット

SMR1 の設定値					モード	SCI1 の送信 / 受信フォーマット				
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長	
C/ \bar{A}	CHR	MP	PE	STOP						
0	0	0	0	0	調歩同期式	8ビット	なし	なし	1ビット	
				1	モード				データ	2ビット
			1	0	0	0	あり	7ビット	なし	1ビット
					1	データ				2ビット
			1	0	1	0	あり	7ビット	なし	1ビット
						1				データ
	1	0	1	0	あり	7ビット	なし	1ビット		
				1				データ	2ビット	
	1	*	*	*	0	調歩同期式	8ビット	あり	なし	1ビット
					1	モード (マルチプロセッサフォーマット)				データ
		*	*	*	*	0	プロセッサ	7ビット	なし	1ビット
						1				データ
*		*	*	*	0	クロック同期式	8ビット	なし	なし	
					1					モード

【注】 表中の * は Don't care であることを示します。

表 12.9 SMR1、SCR1 の設定と SCI1 のクロックソースの選択

SMR1	SCR1 の設定		モード	SCI1 の送信 / 受信クロック		
ビット7	ビット1	ビット0		クロック	SCK 端子の機能*	
C/ \bar{A}	CKE1	CKE0		ソース		
0	0	0	調歩同期式	内部	SCI1 は、SCK 端子を使用しません	
		1	モード			ビットレートと同じ周波数のクロックを出力
	1	0	0	外部	ビットレートの 16 倍の周波数のクロックを入力	
			1			
1	0	0	クロック	内部	同期クロックを出力	
		1	同期式			
	1	0	0	モード	外部	同期クロックを入力
			1			

【注】 * ピンファンクションコントローラ (PFC) と合わせ、設定してください。

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI1 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI1 は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSBファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI1 は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI1 は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

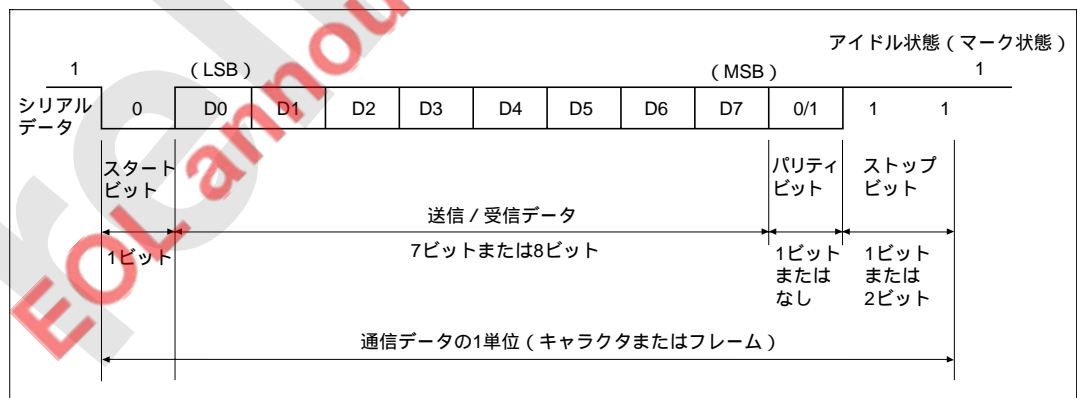


図 12.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 12.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR1) の設定により選択できます。

表 12.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMR1の設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	*	1	0	S	8ビットデータ								MPB	STOP		
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	*	1	0	S	7ビットデータ							MPB	STOP			
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP		

《記号説明》

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

【注】 表中の*はDon't careであることを示します。

(2) クロック

SCI1 の送受信クロックは、SMR1 の C/\bar{A} ビットとシリアルコントロールレジスタ (SCR1) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI1 のクロックソースの選択については表 12.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 12.3 に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

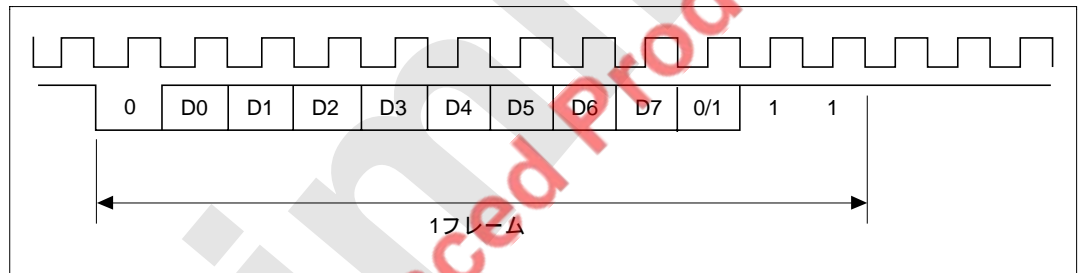


図 12.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCI1 の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR1 の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI1 を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは、1 にセットされ、トランスミットシフトレジスタ (TSR1) が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR1) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 12.4 に SCI1 の初期化フローチャートの例を示します。

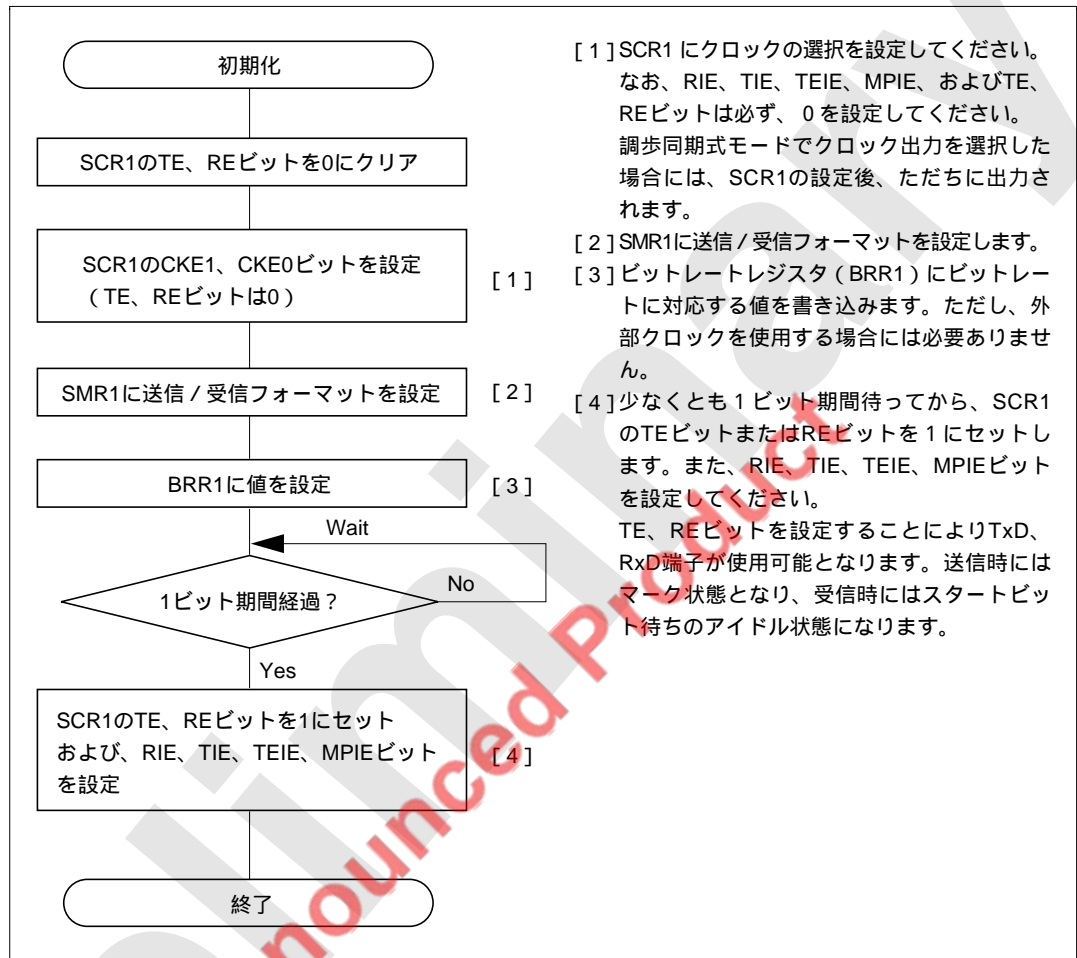


図 12.4 SCI1の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 12.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

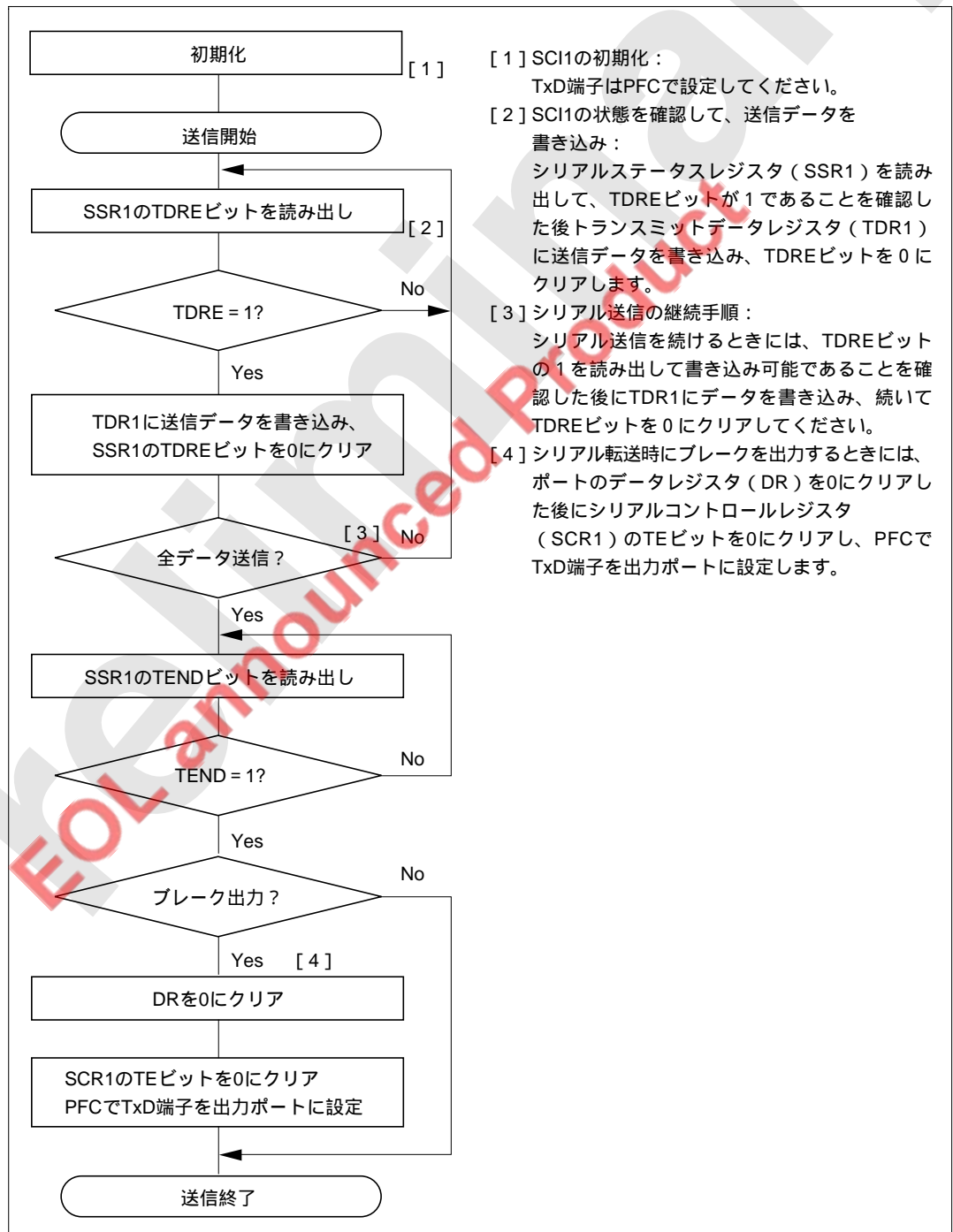


図 12.5 シリアル送信のフローチャートの例

SCI1 はシリアル送信時に以下のように動作します。

- (1) SCI1 は、シリアルステータスレジスタ (SSR1) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR1) にデータが書き込まれたと認識し、TDR からトランスミットシフトレジスタ (TSR1) にデータを転送します。
- (2) TDR1 から TSR1 へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR1) の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
 - (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI1 は、ストップビットを送出するタイミングで TDRE ビットをチェックします。TDRE ビットが 0 であると TDR1 から TSR1 にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR1) の TEND ビットに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR1 の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 12.6 に示します。

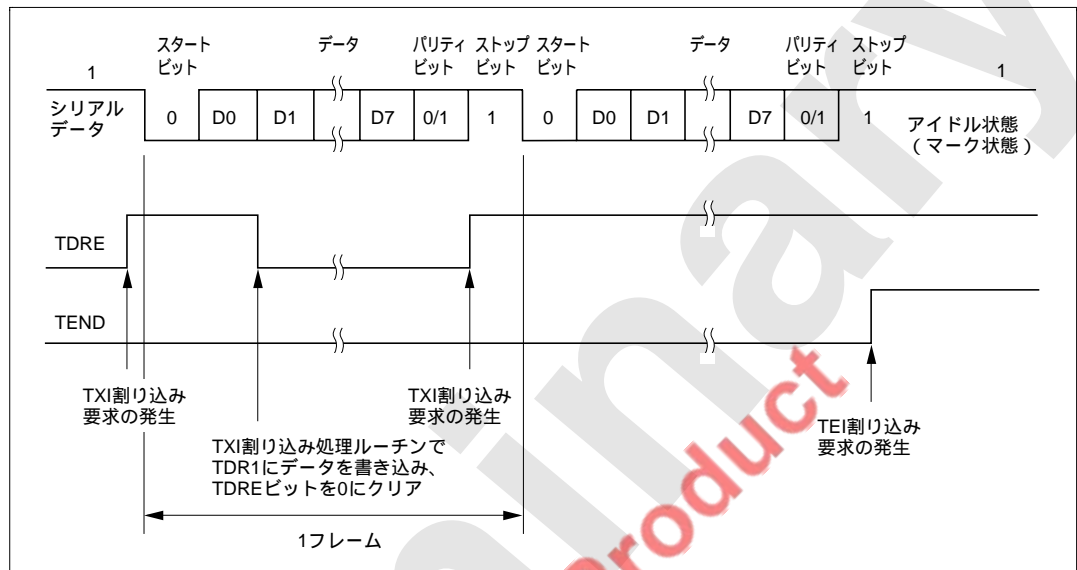


図 12.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 12.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

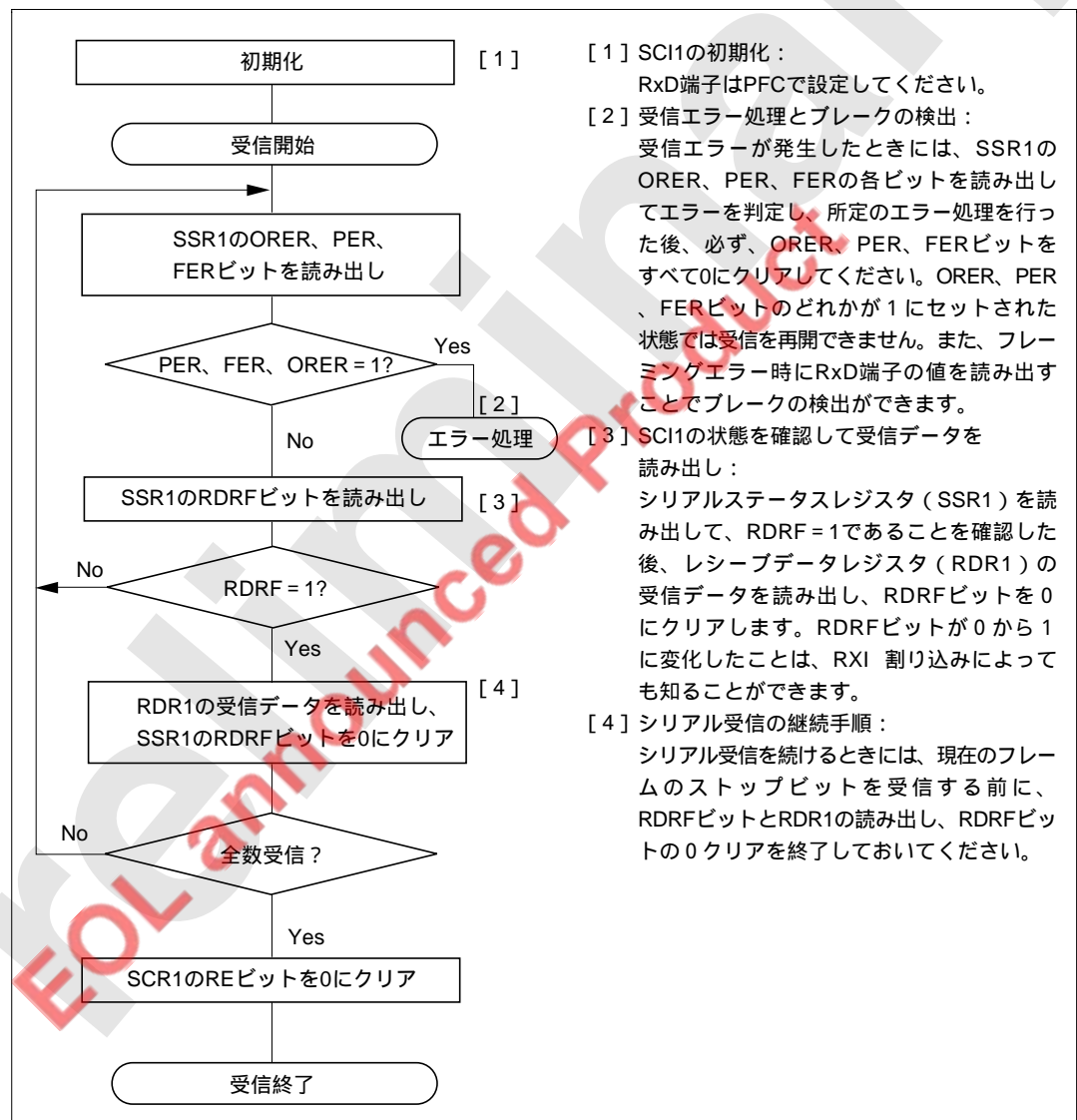


図 12.7 シリアル受信のフローチャートの例 (1)

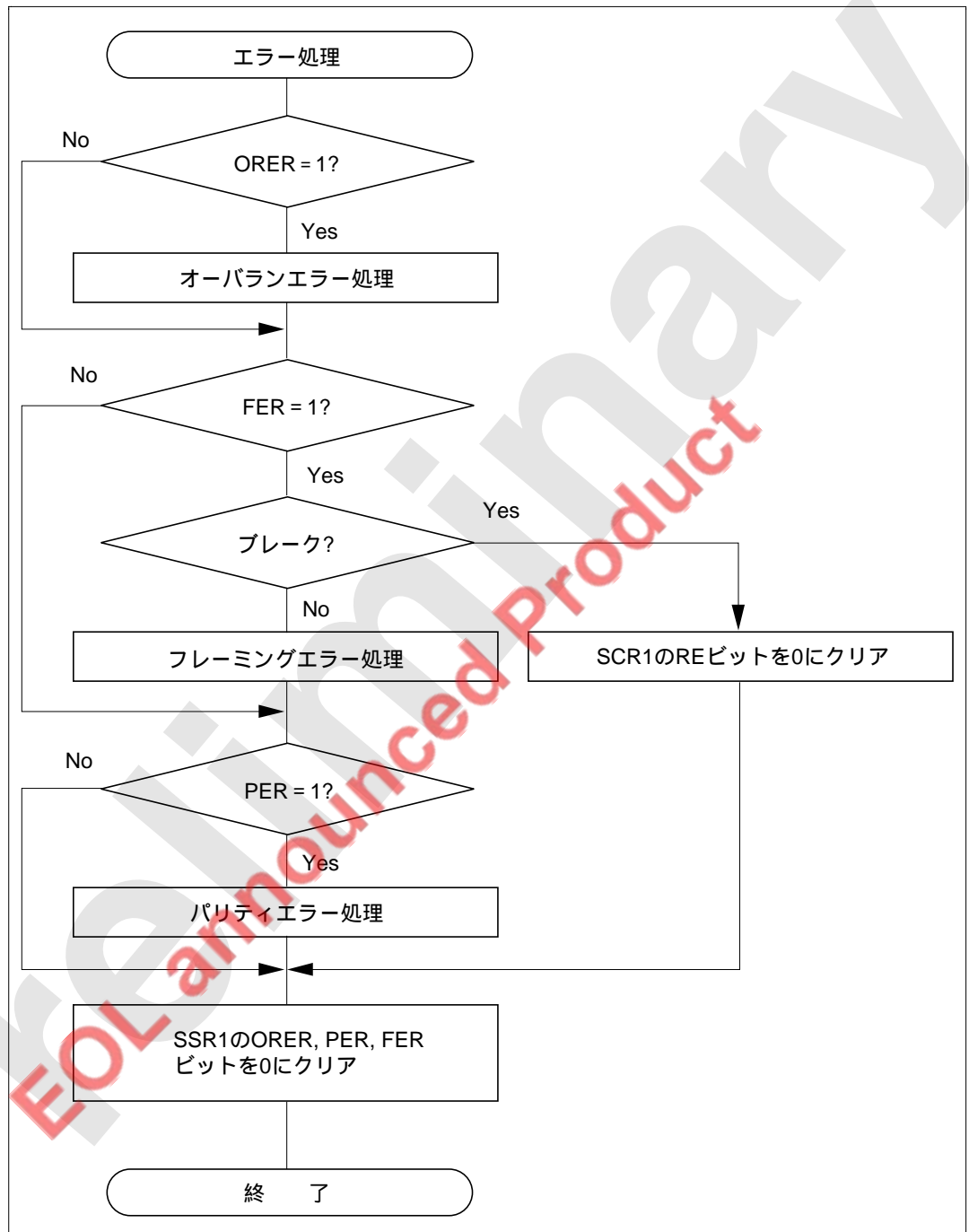


図 12.7 シリアル受信のフローチャートの例 (2)

SCI1 は受信時に以下のように動作します。

- (1) SCI1 は通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを RSR1 の LSB から MSB の順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI1 は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SMR1) の O/E ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF ビットが0であり、受信データをレシーフシフトレジスタ (RSR1) から RDR1 に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが1にセットされ、RDR1 に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 12.11 のように動作します。

- 【注】** 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF ビットが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

- (4) RDRF ビットが1になったとき、SCR1 の RIE ビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FER ビットのどれかが1になったとき、SCR1 の RIE ビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

調歩同期式モード受信時の動作例を図 12.8 に示します。

表 12.11 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバランエラー	ORER	SSR1 の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR1 から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR1 から RDR1 に受信データが転送されます。
パリティエラー	PER	SMR1 で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR1 から RDR1 に受信データが転送されます。

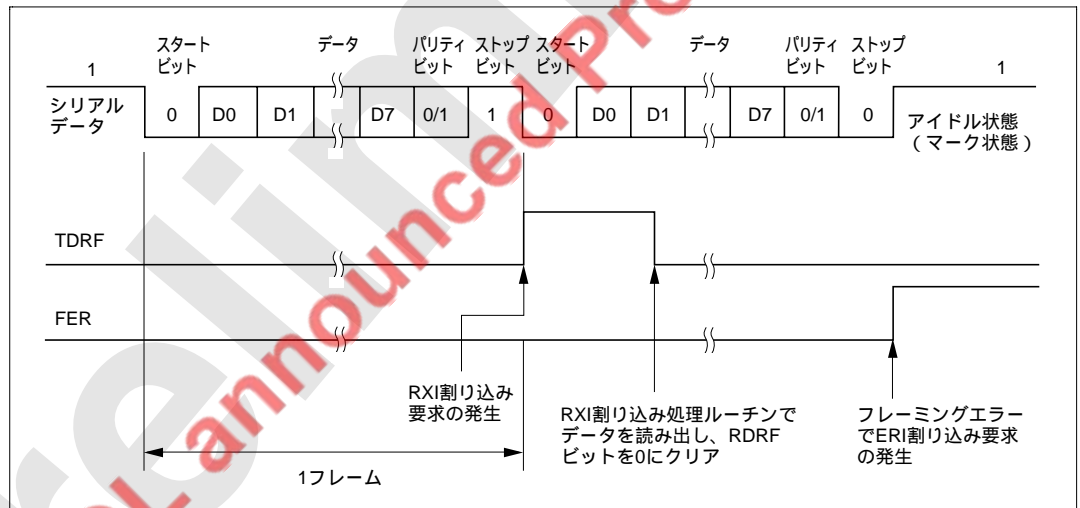


図 12.8 SCI1 の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

12.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの2つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 12.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 12.8を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

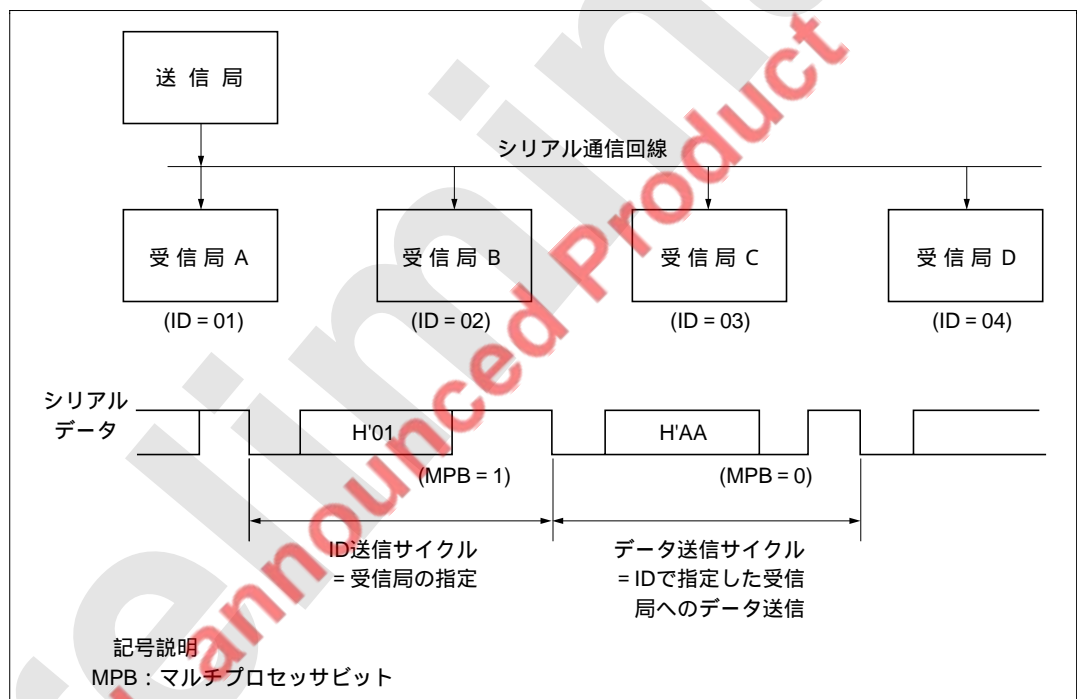


図 12.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 12.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

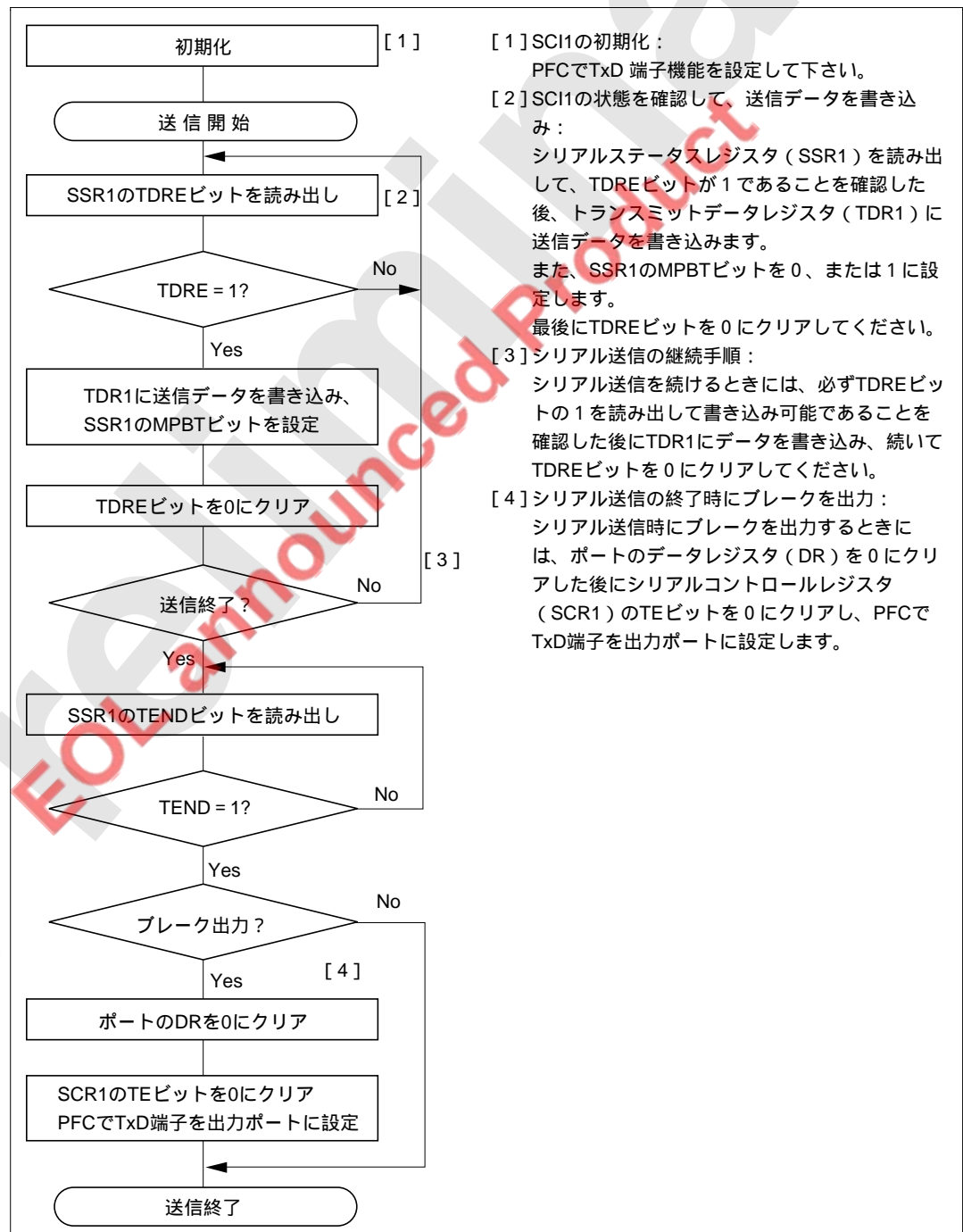


図 12.10 マルチプロセッサシリアル送信のフローチャートの例

SCI1 は、シリアル送信時に以下のように動作します。

- (1) SCI1 は、SSR1 の TDRE ビットを監視し、0 であると TDR1 にデータが書き込まれたと認識し、TDR1 からトランスミットシフトレジスタ (TSR1) にデータを転送します。
- (2) TDR1 から TSR1 へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、SCR1 の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット : 1 ビットの 0 が出力されます。
 - (b) 送信データ : 8 ビット、または 7 ビットのデータが LSB から順に出力されます。
 - (c) マルチプロセッサビット : 1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
 - (d) ストップビット : 1 ビット、または 2 ビットの 1 (ストップビット) が出力されません。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI1 は、ストップビットを送り出すタイミングで TDRE ビットをチェックします。
TDRE ビットが 0 であると TDR1 から TSR1 にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDRE ビットが 1 であると SSR1 の TEND ビットを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR1 の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み (TEI) 要求が発生します。

図 12.11 にマルチプロセッサフォーマットの SCI1 の送信時の動作例を示します。

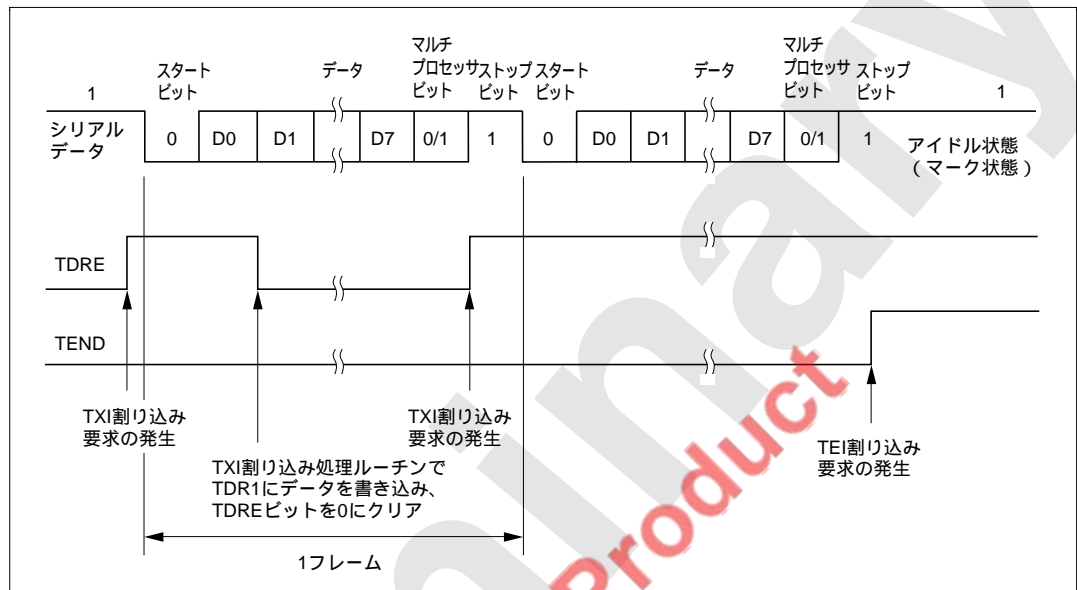


図 12.11 SCI1 の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 12.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

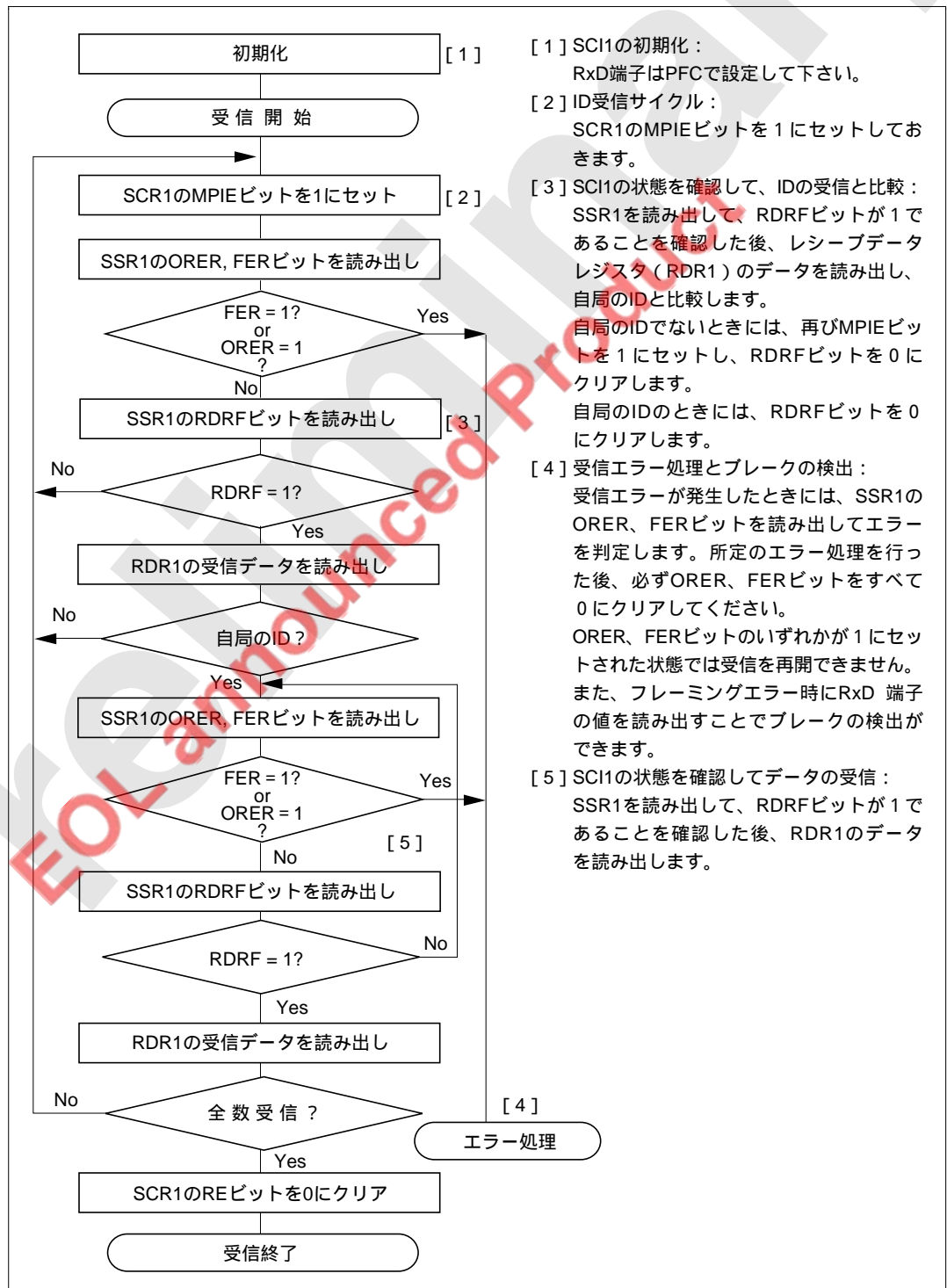


図 12.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

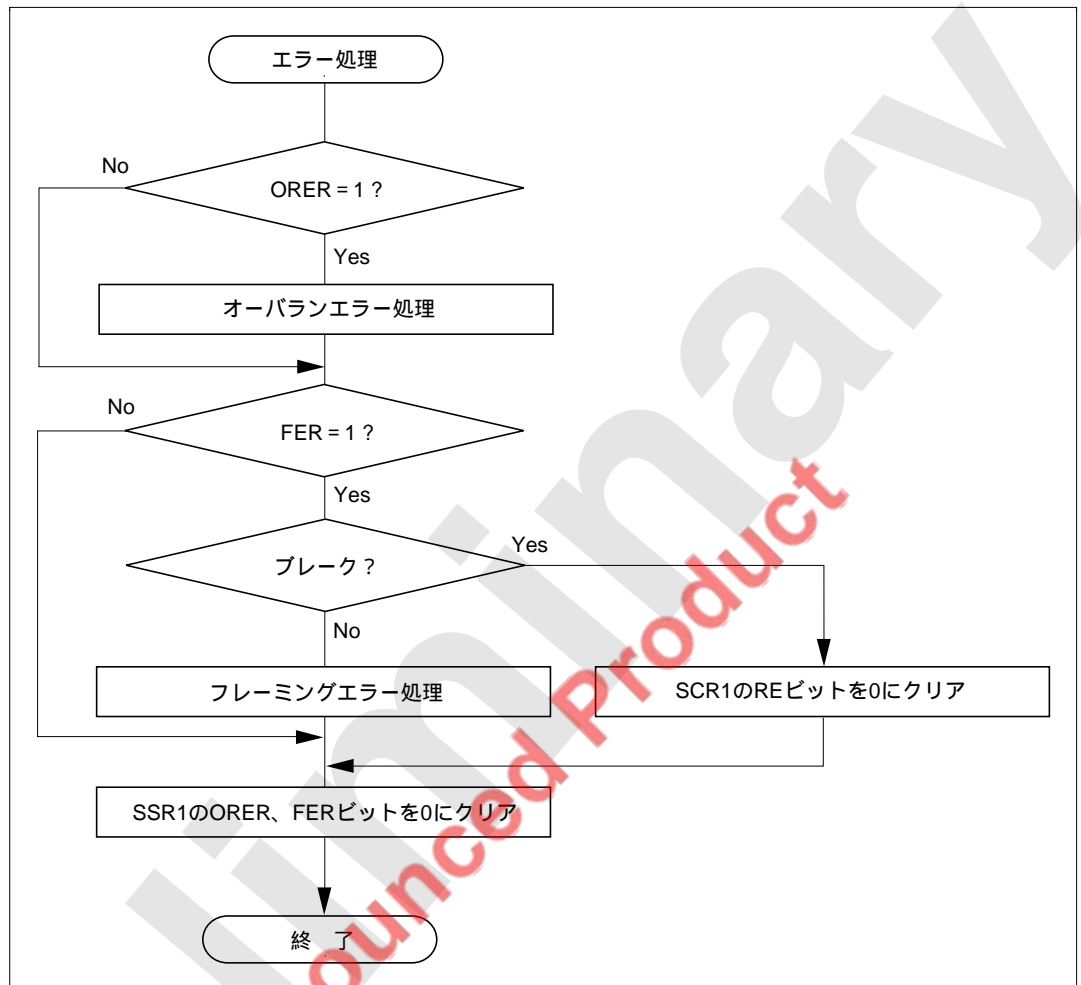


図 12.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 12.13 にマルチプロセッサフォーマットの SCI1 の受信時の動作例を示します。

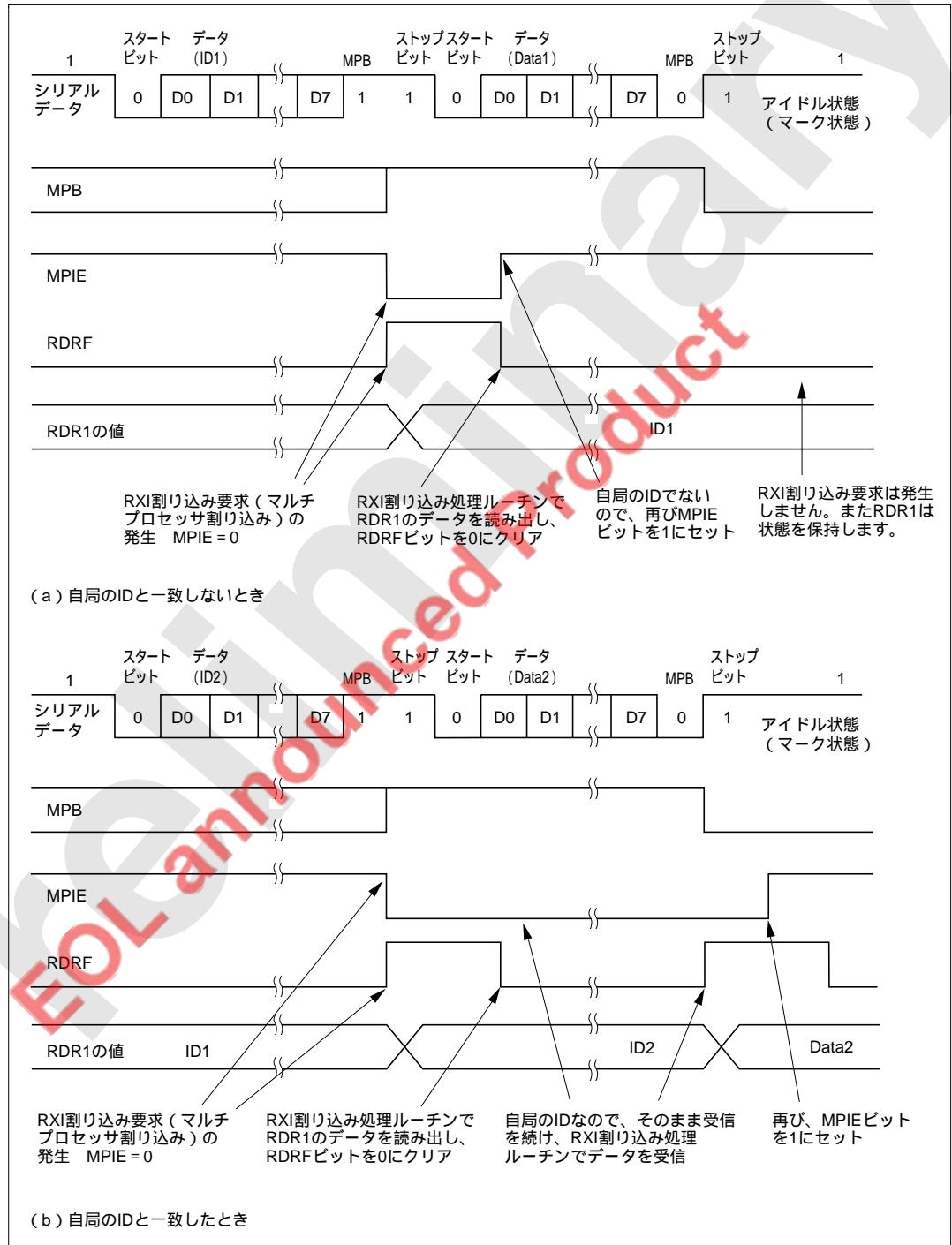


図 12.13 SCI1 の受信時の動作例

(8ビットデータ / マルチプロセッサビットあり / 1ストップビットの例)

12.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI1 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 12.14 に示します。

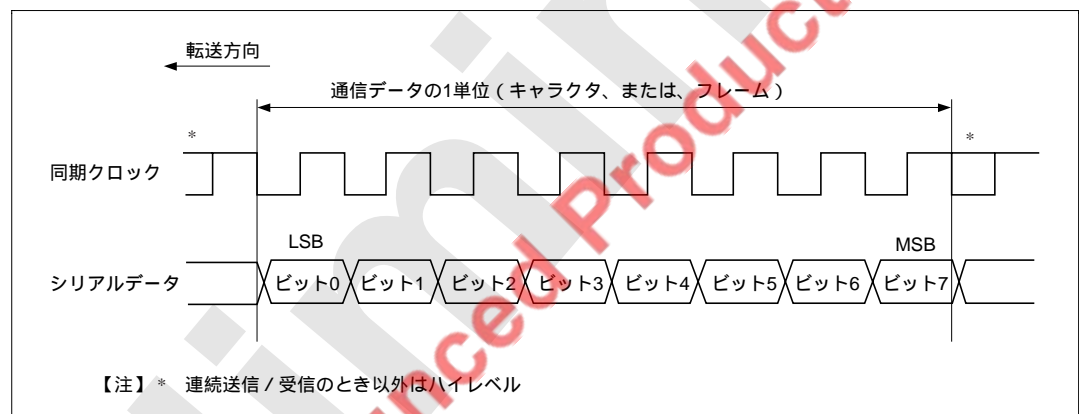


図 12.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI1 は同期クロックの立ち上がり同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMR1の C/\bar{A} ビットとSCR1のCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCI1のクロックソースの選択については表 12.9を参照してください。

内部クロックで動作させるとき、SCK端子から同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI1の初期化 (クロック同期式)

データの送信/受信前にシリアルコントロールレジスタ (SCR1) のTE、およびREビットを0にクリアした後、以下の手順でSCI1を初期化してください。

モードの変更、通信フォーマットの変更などの場合にも必ず、TE、およびREビットを0にクリアしてから下記手順で変更してください。TEビットを0にクリアするとTDREビットは1にセットされ、トランスミットシフトレジスタ (TSR1) が初期化されます。

REビットを0にクリアしてもRDRF、PER、FER、ORERの各ビット、およびレシーブデータレジスタ (RDR1) の内容は保持されますので注意してください。

図 12.15 に SCI1 の初期化フローチャートの例を示します。

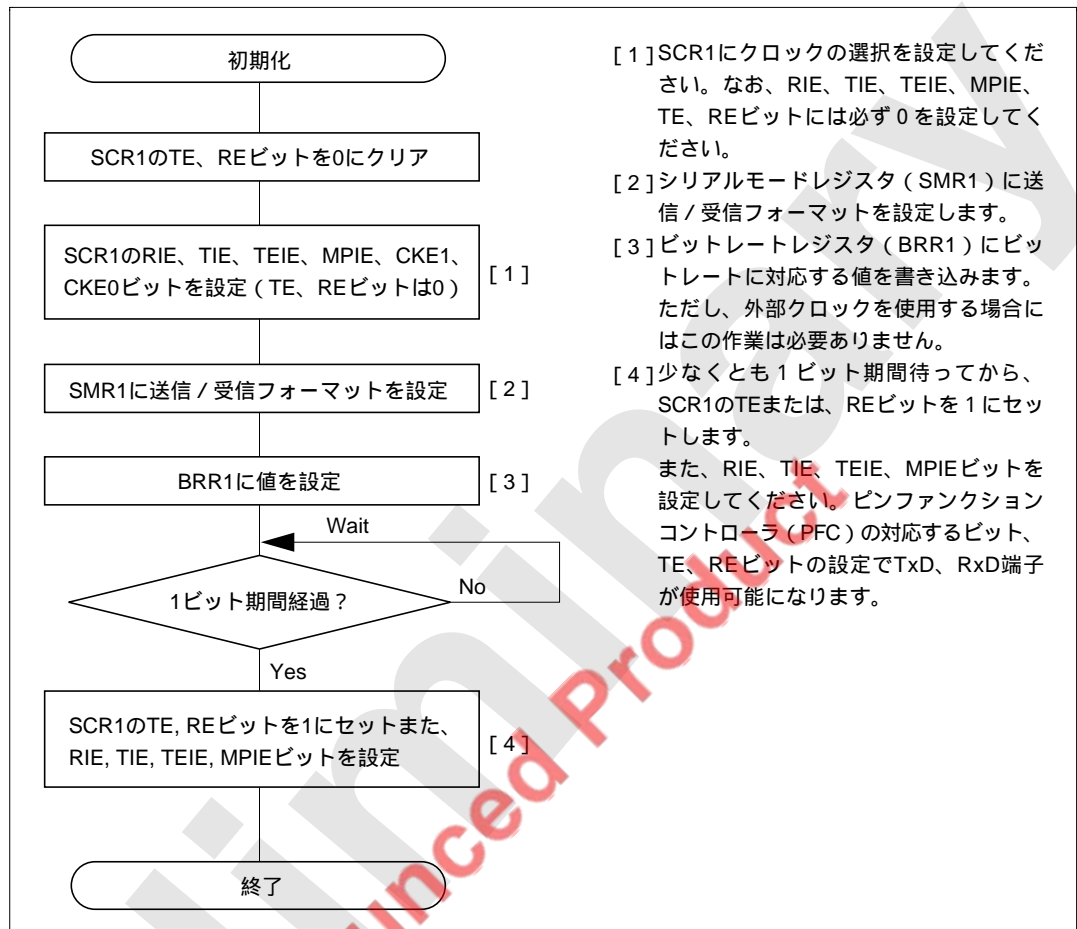


図 12.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 12.16 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順で行ってください。

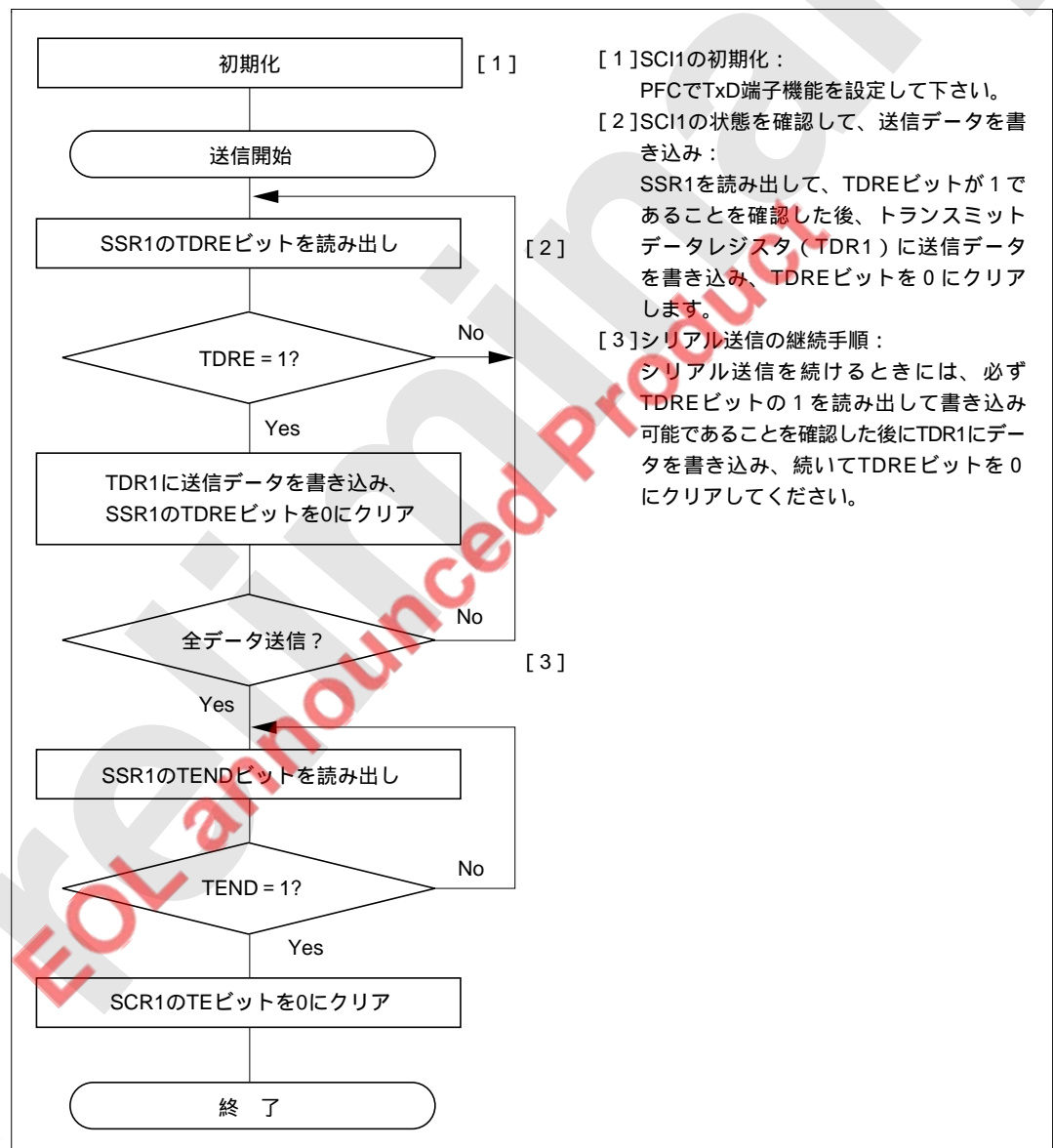


図 12.16 シリアル送信のフローチャートの例

図 12.17 に SCI1 の送信時の動作例を示します。

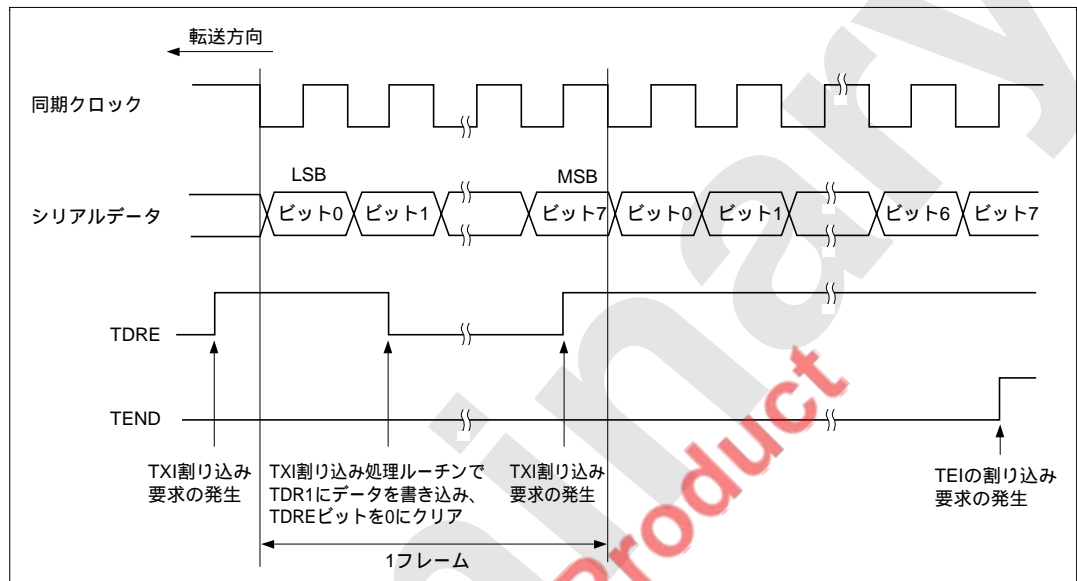


図 12.17 SCI1 の送信時の動作例

SCI1 はシリアル送信時に以下のように動作します。

(1) SCI1 は、シリアルステータスレジスタ (SSR1) の TDRE ビットを監視し、0 であるとトランスミットデータレジスタ (TDR1) にデータが書き込まれたと認識し、TDR1 からトランスミットシフトレジスタ (TSR1) にデータを転送します。

(2) TDR1 から TSR1 へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCR1) の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

クロック出力モードに設定したときには、SCI1 は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送り出されます。

- (3) SCI1 は、MSB (ビット 7) を送り出すタイミングで TDRE ビットをチェックします。
TDRE ビットが 0 であると TDR1 から TSR1 にデータを転送し、次フレームのシリアル送信を開始します。
TDRE ビットが 1 であるとシリアルステータスレジスタ (SSR1) の TEND ビットを 1 にセットし、MSB (ビット 7) を送り出した後、トランスミットデータ端子 (TxD 端子) は状態を保持します。
このとき SCR1 の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み要求 (TEI) を発生します。
- (4) シリアル送信終了後は、SCK 端子はハイレベル固定になります。

(c) シリアルデータ受信 (クロック同期式)

図 12.18 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各ビットが0にクリアされていることを確認してください。

FER、PERビットが1にセットされているとRDRFビットがセットされません。また、送信 / 受信動作が行えません。

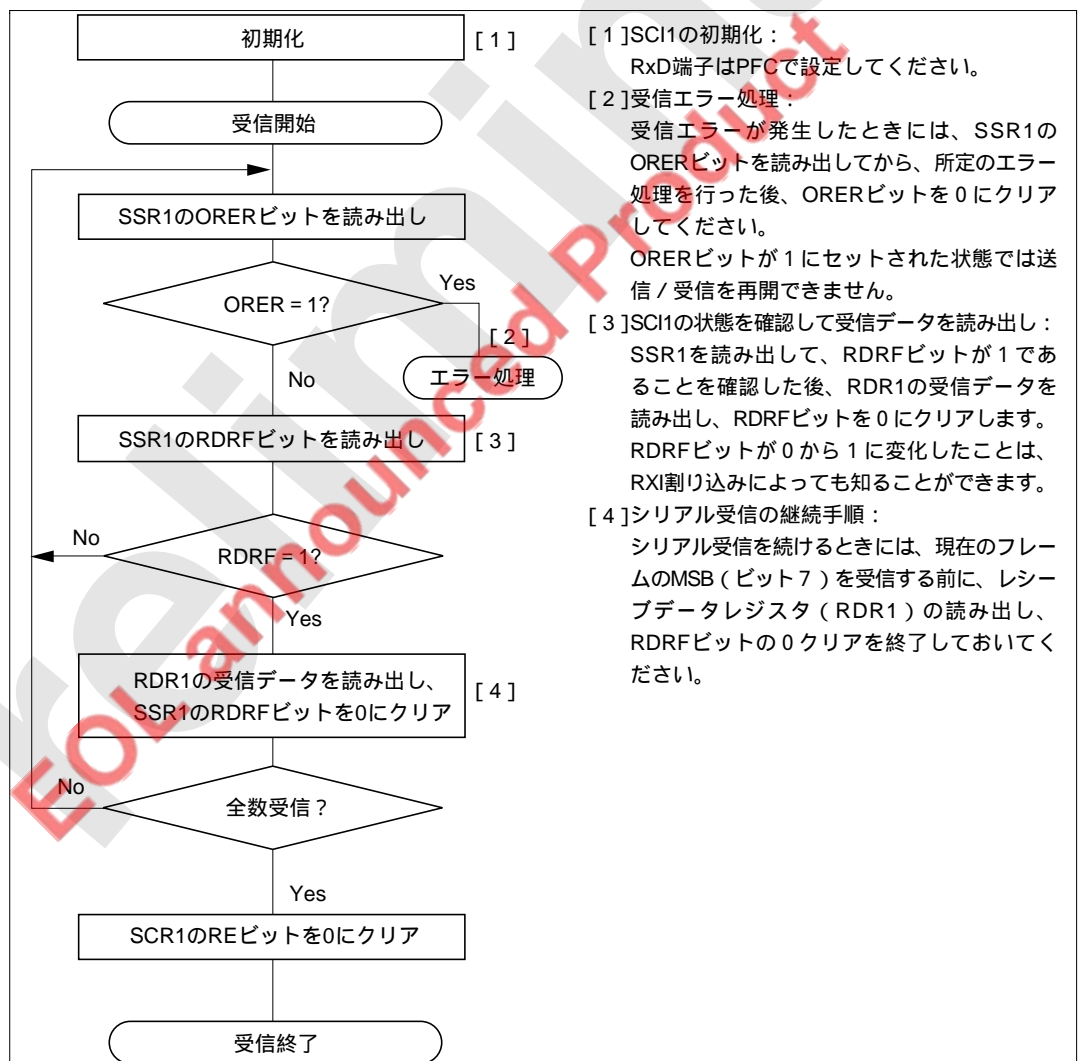


図 12.18 シリアルデータ受信フローチャートの例 (1)

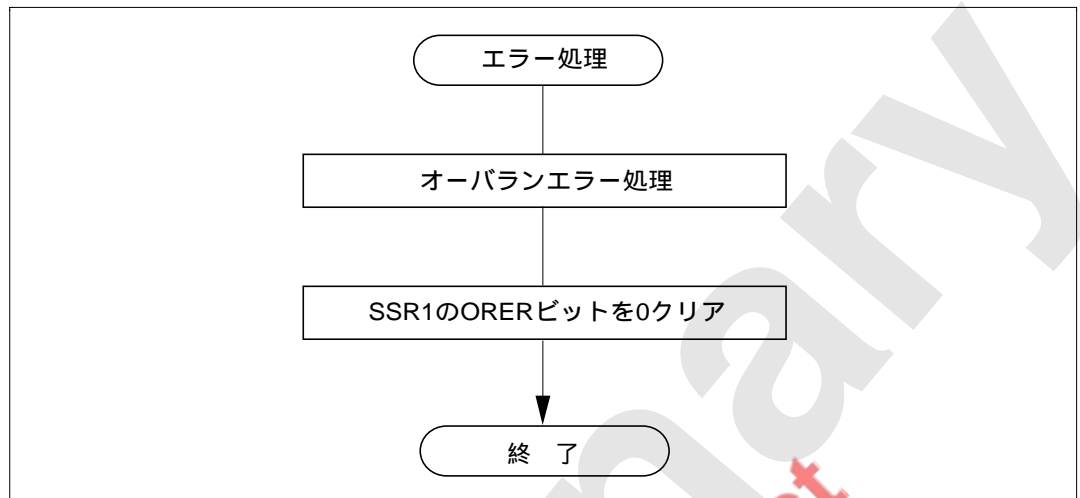


図 12.18 シリアルデータ受信フローチャートの例 (2)

図 12.19 に SCI1 の受信時の動作例を示します。

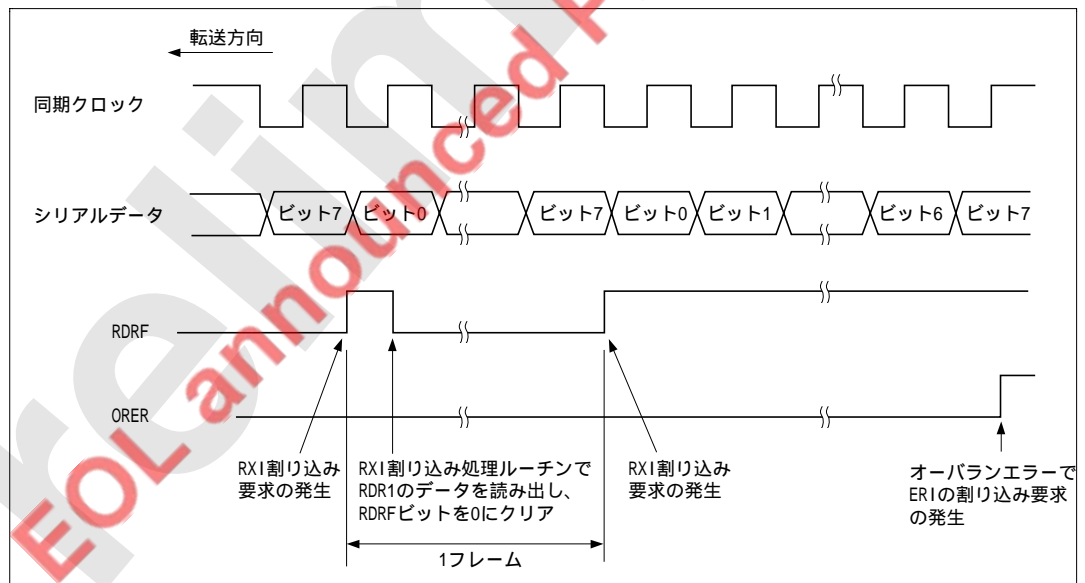


図 12.19 SCI1 の受信時の動作例

SCI1 は受信時に以下のように動作します。

- (1) SCI1 は同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシーブシフトレジスタ (RSR1) の LSB から MSB の順に格納します。
受信後、SCI1 は RDRF ビットが 0 であり、受信データを RSR1 からレシーブデータレジスタ (RDR1) に転送できる状態であることをチェックします。
このチェックがパスしたとき RDRF ビットが 1 にセットされ、RDR1 に受信データが格納されます。
エラーチェックで受信エラーが発生すると表 12.11 のように動作し、この状態では以後の送信、受信動作ができません。
また、エラーフラグが 1 にセットされていると、RDRF ビットが 0 にクリアしてあっても、受信時に RDRF ビットが 1 にセットされません。受信を再開する際は必ずエラーフラグを 0 にクリアしてください。
- (3) RDRF ビットが 1 になったとき、シリアルコントロールレジスタ (SCR1) の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER ビットが 1 になったとき、SCR1 の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 12.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

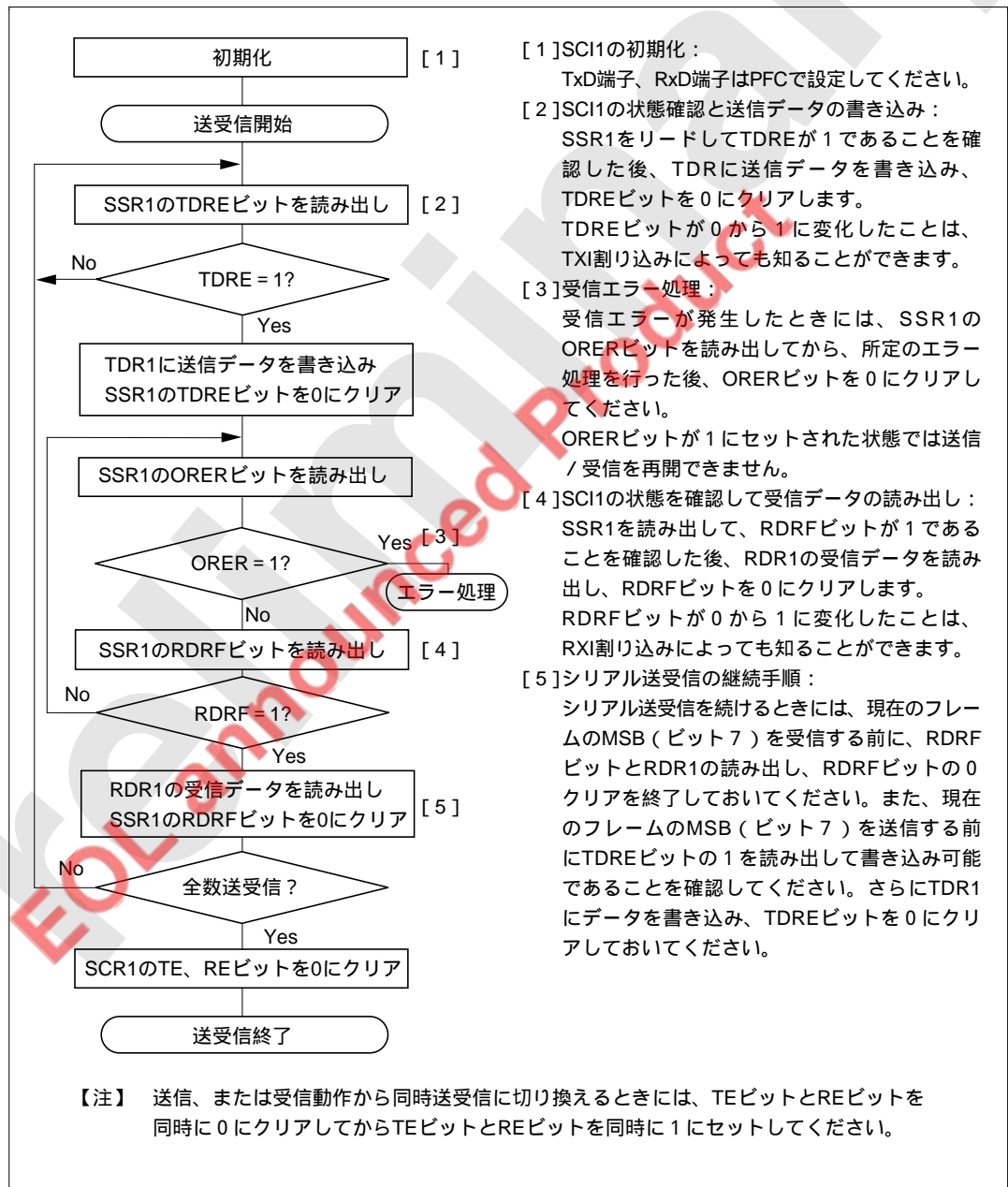


図 12.20 シリアルデータ送受信フローチャートの例

12.4 SCI1 の割り込み要因

SCI1 は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 12.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR1 の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR1) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。

SSR1 の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。

また、SSR1 の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。

さらに、SSR1 の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 12.12 SCI1 割り込み要因

割り込み要因	内 容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ ↓ 低
RXI	受信データフル (RDRF) による割り込み	
TXI	送信データエンプティ (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

12.5 使用上の注意

SCI1 を使用する際は、以下のことに注意してください。

(1) TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR1) の TDRE ビットはトランスミットデータレジスタ (TDR1) からトランスミットシフトレジスタ (TSR1) に送信データの転送が行われたことを示すステータスフラグです。SCI1 が TDR1 から TSR1 にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR1 へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR1 に書き込むと、TDR1 に格納されていたデータは、まだ TSR1 に転送されていないため失われてしまいます。したがって TDR1 への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR1 の各ステータスフラグの状態は、表 12.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR1) からレシーブデータレジスタ (RDR1) へのデータ転送は行われず、受信データは失われます。

表 12.13 SSR1 のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR1 のステータスフラグ				受信データ転送	
	RDRF	ORER	FER	PER	RSR1	RDR1
オーバランエラー	1	1	0	0		x
フレーミングエラー	0	0	1	0		
パリティエラー	0	0	0	1		
オーバランエラー + フレーミングエラー	1	1	1	0		x
オーバランエラー + パリティエラー	1	1	0	1		x
フレーミングエラー + パリティエラー	0	0	1	1		
オーバランエラー + フレーミングエラー + パリティエラー	1	1	1	1		x

【注】 : RSR1 RDR1 に受信データを転送します。

x : RSR1 RDR1 に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI1 は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、I/O ポートのデータレジスタ (DR) とピンファンクションコントローラ (PFC) のコントロールレジスタ (CR) により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE ビットを 1 にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI1 は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI1 は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 12.21 に示します。

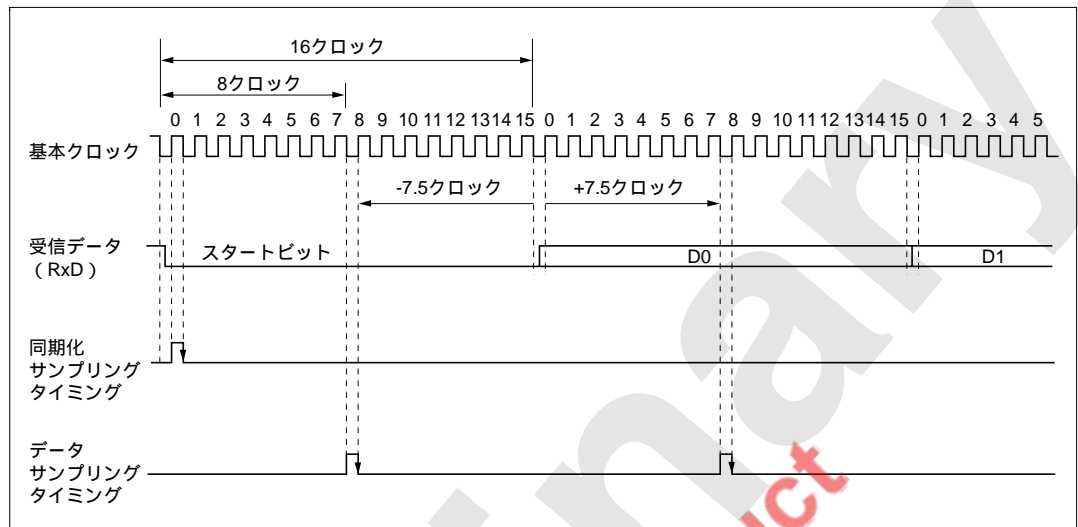


図 12.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5)F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\% \quad \dots\dots \text{式 (1)}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 16)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 9 ~ 12)
- F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned}
 & D = 0.5、F = 0 \text{ のとき} \\
 & M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\% \\
 & = 46.875\% \dots\dots \text{式 (2)}
 \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(7) クロック同期外部クロックモード時の注意事項

- (a) $TE = RE = 1$ に設定するのは、必ず外部クロック SCK が 1 のときにしてください。
- (b) $TE = 1$ 、 $RE = 1$ に設定するのは、外部クロック SCK を 0 1 にしてから 4 クロック以上経過してからにしてください。
- (c) 受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから 2.5 ~ 3.5 クロック後に $RE = 0$ にすると $RDRF = 1$ になりますが、RDR1 へのコピーができませんので注意してください。

(8) クロック同期内部クロックモード時の注意事項

受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから 1.5 クロック後に $RE = 0$ にすると $RDRF = 1$ になりますが、RDR1 へのコピーができませんので注意してください。

13. A/D 変換器

第 13 章 目次

13.1	概要	13-3
13.1.1	特長	13-3
13.1.2	ブロック図	13-4
13.1.3	端子構成	13-5
13.1.4	レジスタ構成	13-6
13.2	レジスタの説明	13-7
13.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	13-7
13.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	13-8
13.2.3	A/D コントロールレジスタ (ADCR)	13-10
13.3	CPU とのインタフェース	13-11
13.4	動作説明	13-12
13.4.1	単一モード (SCAN = 0)	13-12
13.4.2	スキャンモード (SCAN = 1)	13-14
13.4.3	入力サンプリングと A/D 変換時間	13-16
13.4.4	MTU トリガ入力タイミング	13-17
13.5	A/D 変換精度の定義	13-18
13.6	使用上の注意	13-19
13.6.1	アナログ電圧の設定	13-19
13.6.2	アナログ入力端子の取り扱い	13-19

Preliminary
EOL announced Product

13.1 概要

本LSIには、逐時比較方式で動作する10ビットのA/D変換器が内蔵されており、最大8チャンネルのアナログ入力を選択することができます。

13.1.1 特長

A/D変換器には、次のような特長があります。

10ビットの分解能

入力チャンネル：8チャンネル

変換時間

1チャンネル当たり最小6.7 μ s (20MHz動作時)

単一モード/スキャンモードの2種類の動作モードから選択可能

単一モード : 1チャンネルのA/D変換

スキャンモード : 1~4チャンネルの連続A/D変換

4本の16ビットデータレジスタ

A/D変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル&ホールド機能

A/D変換終了割り込み要求を発生

A/D変換終了時には、CPUに対してA/D変換終了割り込み要求(ADI)を発生させることができます。

MTUトリガ入力によるA/D変換の開始が可能

13.1.2 ブロック図

A/D変換器のブロック図を図13.1に示します。

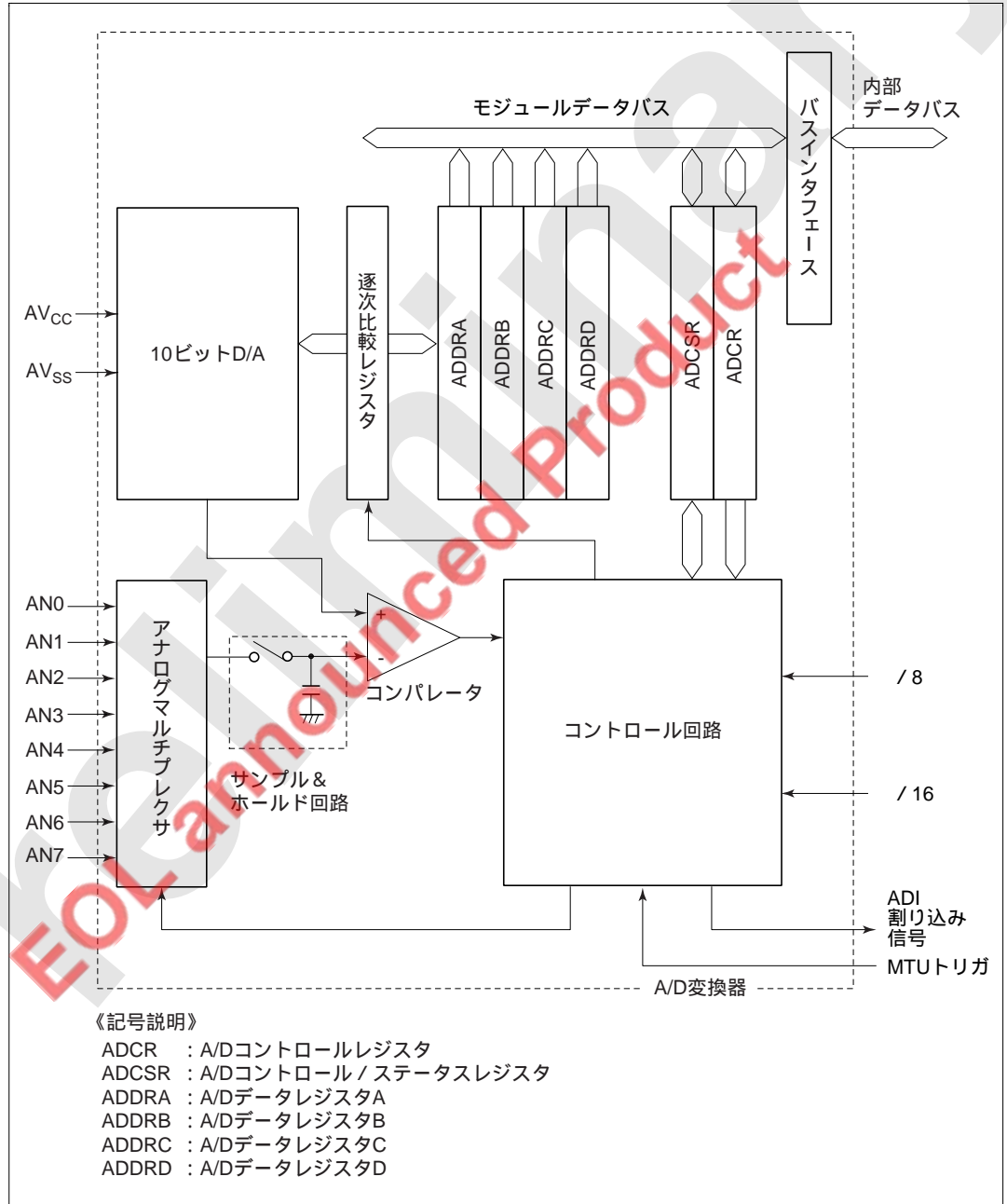


図 13.1 A/D変換器のブロック図

13.1.3 端子構成

A/D変換器で使用する入力端子を表 13.1 に示します。

7本のアナログ入力端子は2グループに分類されており、アナログ入力端子0~3 (AN0~AN3) がグループ0、アナログ入力端子4~7 (AN4~AN7) がグループ1になっています。

AV_{CC} 、 AV_{SS} 端子は、A/D変換器内部のアナログ部の電源です。

表 13.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子0	AN0	入力	グループ0のアナログ入力
アナログ入力端子1	AN1	入力	
アナログ入力端子2	AN2	入力	
アナログ入力端子3	AN3	入力	
アナログ入力端子4	AN4	入力	グループ1のアナログ入力
アナログ入力端子5	AN5	入力	
アナログ入力端子6	AN6	入力	
アナログ入力端子7	AN7	入力	

13.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFFF8420	8、16
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFFF8421	16
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFFF8422	8、16
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFFF8423	16
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFFF8424	8、16
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFFF8425	16
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFFF8426	8、16
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFFF8427	16
A/D コントロール/ ステータスレジスタ	ADCSR	R/(W)*	H'00	H'FFFF8428	8、16
A/D コントロールレジスタ	ADCR	R/W	H'7F	H'FFFF8429	8、16

【注】 * ビット 7 は、フラグをクリアするために 0 のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 A/D データレジスタ A~D (ADDRA ~ ADDR D)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn :	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n=A~D)

A/D データレジスタ (ADDR) は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA ~ ADDR D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 は、予約ビットで、読み出すと常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 13.3 に示します。

ADDR は、常に CPU から読み出し可能です。上位バイトは直接読み出せますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「13.3 CPU とのインタフェース」を参照してください。

ADDR は、パワーオンリセット時に、H'0000 に初期化されます。

表 13.3 アナログ入力チャンネルと ADDRA ~ ADDR D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

13.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするために0のみ書き込むことができます。

A/Dコントロール/ステータスレジスタ (ADCSR) は、8ビットの読み出し/書き込み可能なレジスタで、モードの選択など A/D変換器の動作を制御します。

ADCSR は、パワーオンリセット時に、H'00 に初期化されます。

ビット7: A/D エンドフラグ (ADF)

A/D変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) ADF = 1 の状態で、ADF を読み出した後、ADF に 0 を書き込んだとき
1	[セット条件] (1) 単一モード: A/D変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D変換が終了したとき

ビット6: A/D インタラプトイネーブル (ADIE)

A/D変換の終了による割り込み要求 (ADI) の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D変換終了による割り込み要求 (ADI) を禁止 (初期値)
1	A/D変換終了による割り込み要求 (ADI) を許可

ビット5：A/Dスタート（ADST）

A/D変換の開始または停止を選択します。

A/D変換中は1を保持します。また、MTUトリガ入力により1にセットすることもできます。

ビット5	説明
ADST	
0	A/D変換を停止 (初期値)
1	(1) 単一モード：A/D変換を開始し、変換が終了すると自動的に0にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、パワーオンリセットによって0にクリアされるまで選択されたチャンネルを順次連続変換

ビット4：スキャンモード（SCAN）

A/D変換のモードを、単一モード/スキャンモードから選択します。単一モード/スキャンモード時の動作については、「13.4 動作説明」を参照してください。モードの切り替えは、ADST=0の状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3：クロックセレクト（CKS）

A/D変換時間の設定を行います。

変換時間の切り替えは、ADST=0の状態で行ってください。

ビット	説明
CKS	
0	変換時間 = 266 ステート (max) (初期値)
1	変換時間 = 134 ステート (max)

ビット2~0：チャンネルセレクト2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST=0の状態で行ってください。

グループ選択	チャンネル選択		説明	
	CH2	CH1	CH0	
0	0	0	AN0 (初期値)	AN0 (初期値)
		1	AN1	AN0、AN1
	1	0	AN2	AN0 ~ AN2
		1	AN3	AN0 ~ AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4 ~ AN6
		1	AN7	AN4 ~ AN7

13.2.3 A/D コントロールレジスタ (ADCR)

ビット：	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値：	0	1	1	1	1	1	1	1
R/W：	R/W	R	R	R	R	R	R	R

A/D コントロールレジスタ (ADCR) は、8 ビットの読み出し / 書き込み可能なレジスタで、MTU トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ADCR は、パワーオンリセット時、H'7F に初期化されます。

ビット7：トリガイネーブル (TRGE)

MTU トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ビット7	説明
TRGE	
0	MTU トリガ入力による A/D 変換の開始を禁止 (初期値)
1	MTU トリガで A/D 変換を開始

ビット6~0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

13.3 CPU とのインタフェース

ADDRA ~ ADDRD はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータの読み出しは、次のように行われます。上位バイトの読み出しで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトの読み出しで TEMP の内容が CPU へ転送されます。

ADDR を読み出す場合は、必ず上位バイト、下位バイトの順で行ってください。この動作はワード転送命令 (MOV.W など) で ADDR を上位バイト側のアドレスから読み出すことで行うことができます。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容は保証されませんので注意してください。

図 13.2 に ADDR のアクセス時のデータの流れを示します。

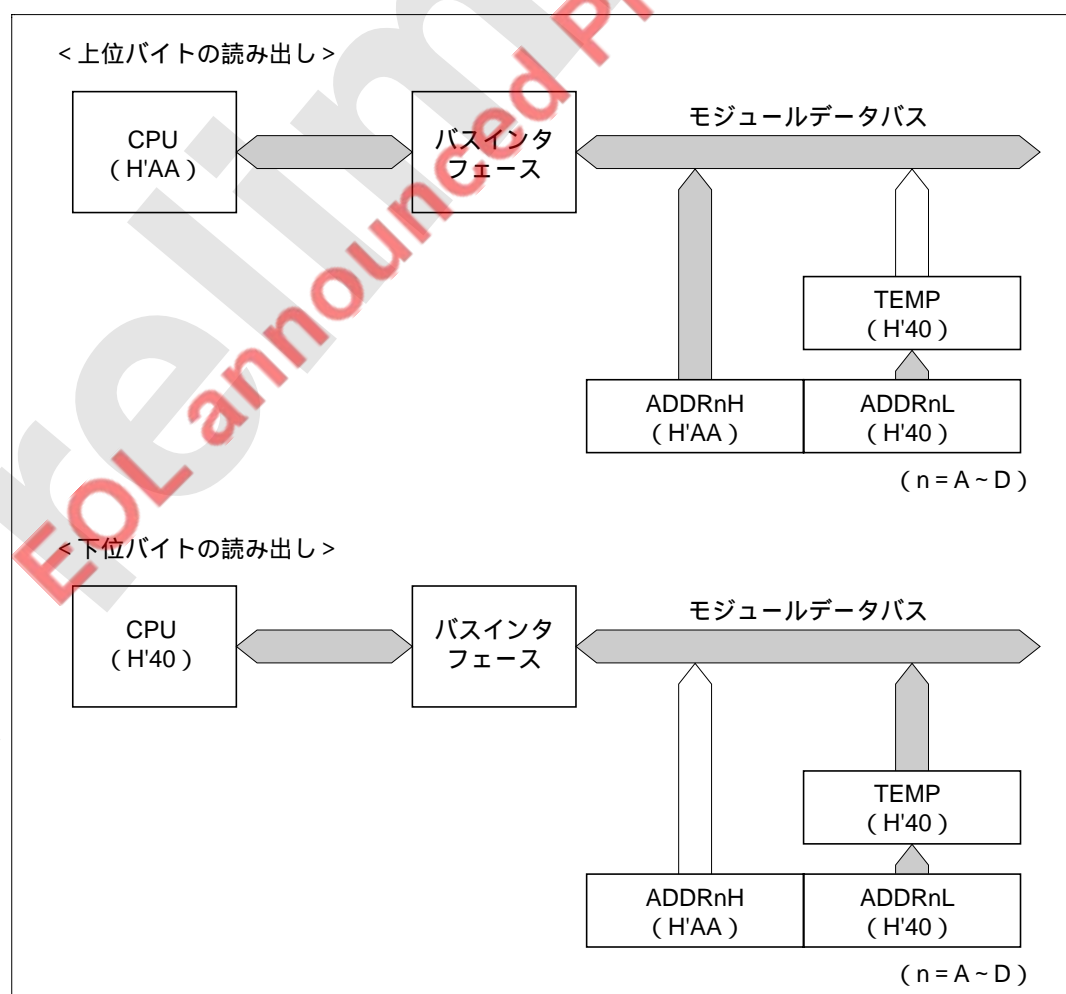


図 13.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

13.4 動作説明

A/D変換器は逐次比較方式で動作し、10ビットの分解能を持っています。単一モードとスキャンモードの各モードの動作についての説明をします。

13.4.1 単一モード (SCAN = 0)

単一モードは、1チャンネルのみのA/D変換を行う場合に選択します。ソフトウェアまたはMTUトリガ入力によってA/Dコントロール/ステータスレジスタ(ADCSR)のADSTビットが1にセットされると、A/D変換を開始します。ADSTビットは、A/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了すると、ADCSRのADFビットが1にセットされます。このとき、ADCSRのADIEビットが1にセットされていると、ADI割り込み要求が発生します。

ADFビットは、ADF=1を読み出した後、ADFビットに0を書き込むとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるためにADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを1にセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、再びA/D変換を開始します。

単一モードでチャンネル1(AN1)が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図13.3に示します。

- (1) 動作モードを単一モードに(SCAN=0)、入力チャンネルをAN1に(CH2=CH1=0、CH0=1)、A/D割り込み要求許可(ADIE=1)に設定して、A/D変換を開始(ADST=1)します。
- (2) A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
- (3) ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
- (4) A/D割り込み処理ルーチンが開始されます。
- (5) ADF=1を読み出した後、ADFに0を書き込みます。
- (6) A/D変換結果(ADDRB)を読み出して、処理します。
- (7) A/D割り込み処理ルーチンの実行を終了します。この後、ADSTビットを1にセットするとA/D変換が開始され(2)~(7)を行います。

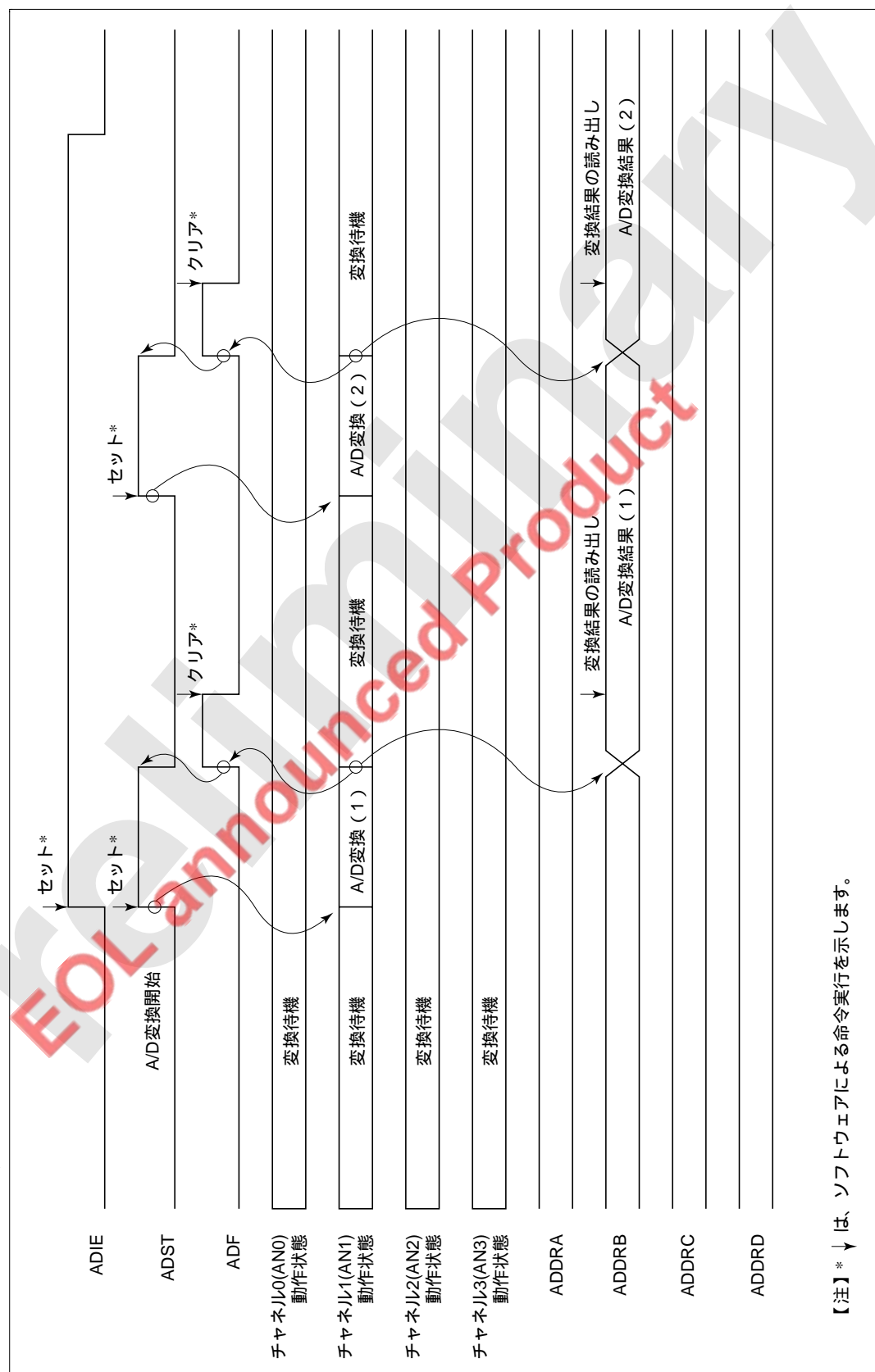


図 13.3 A/D 変換器の動作例 (単一モード、チャンネル1 選択時)

13.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは MTU トリガ入力によって A/D コントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN0、CH1 = 1 のとき AN4) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN1 または AN5) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 13.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキャングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN2) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN0) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みが発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。
ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

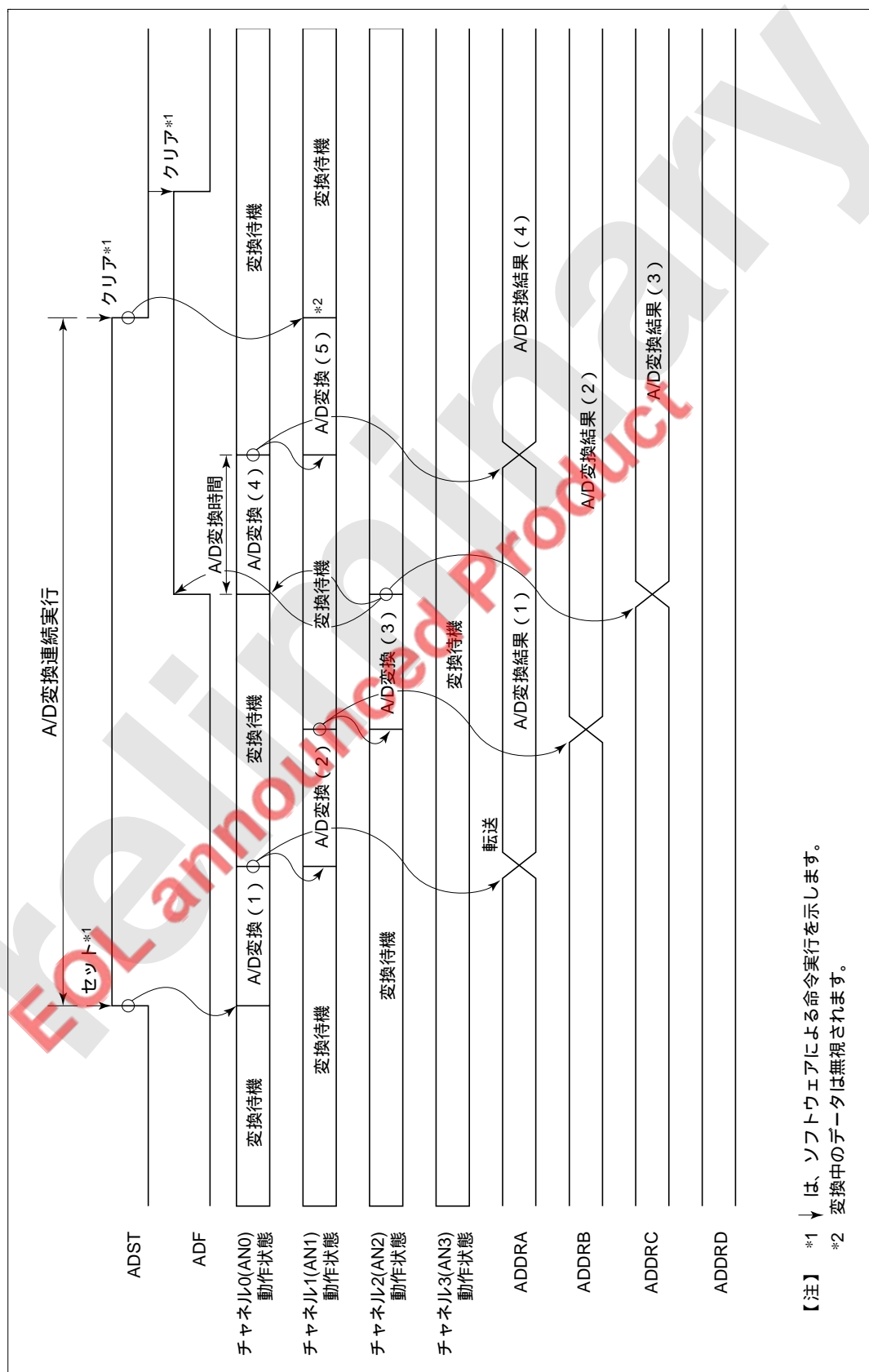


図 13.4 A/D変換器の動作例 (スキャンモード AN0~AN2の3チャンネル選択時)

【注】 *1 ↓ は、ソフトウェアによる命令実行を示します。
 *2 変換中のデータは無視されます。

13.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、A/Dコントロール/ステータスレジスタ(ADCSR)のアクセスを開始してから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図13.5に示します。また、A/D変換時間を表13.4に示します。

A/D変換時間は、図13.5に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSRへの書き込みタイミングにより決まり、一定値とはなりません。そのため、変換時間は表13.4に示す範囲で変化します。

スキャンモードの変換時間は、表13.4に示す値が1回目の変換時間となりますが、2回目以降はCKS=0の場合は256ステート(固定)、CKS=1の場合は128ステート(固定)となります。

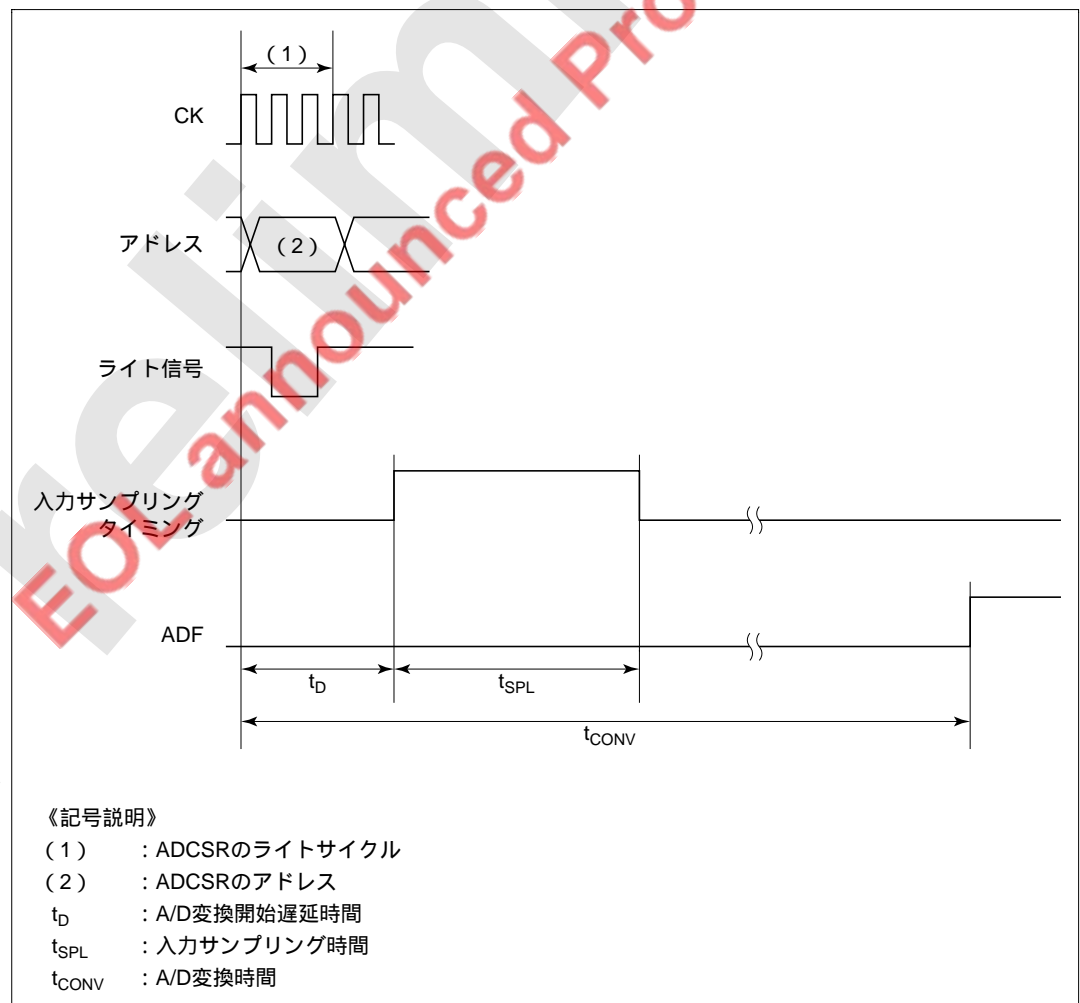


図13.5 A/D変換タイミング

表 13.4 A/D変換時間（単一モード）

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D変換開始遅延時間	t_D	10		17	6		9
入力サンプリング時間	t_{SPL}		64			32	
A/D変換時間	t_{CCNV}	259		266	131		134

【注】 表中の数値の単位はステート (t_{cyc}) です。

13.4.4 MTUトリガ入力タイミング

A/D変換は、MTUトリガ入力により開始することも可能です。MTUトリガ入力は、A/Dコントロールレジスタ (ADCR) の TRGE ビットが 1 にセットされているとき、入力されます。

MTUトリガで、A/Dコントロール/ステータスレジスタ (ADCSR) の ADST ビットが 1 にセットされ、A/D変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 13.6 に示します。

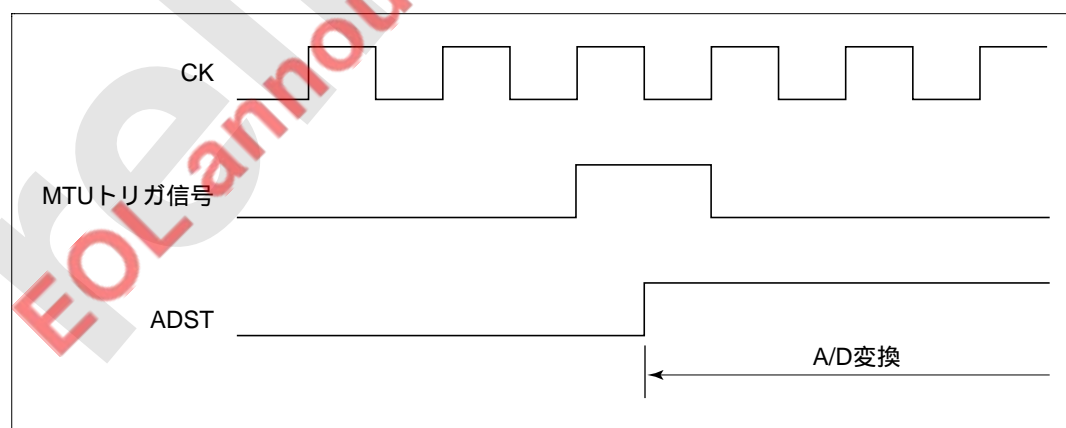


図 13.6 外部トリガ入力タイミング

13.5 A/D変換精度の定義

A/D変換器は、アナログ入力チャンネルから入力されたアナログ値を、アナログ基準電圧と比較しながら、10ビットのデジタル値に変換します。このときのA/D変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

- (1) オフセット誤差
- (2) フルスケール誤差
- (3) 量子化誤差
- (4) 非直線性誤差

図13.7に沿って、上記(1)～(4)の誤差を説明します。ただし、図ではわかりやすいように、10ビットのA/D変換器を3ビットのA/D変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値(ゼロ電圧)0000000000(図では000)から0000000001(図では001)に変化するときの、実際のA/D変換特性と理想A/D変換特性との偏差(図13.7(1))です。フルスケール誤差とは、デジタル出力値が1111111110(図では110)から最大値(フルスケール電圧)1111111111(図では111)に変化するときの、実際のA/D変換特性と理想A/D変換特性との偏差(図13.7(2))です。量子化誤差とは、A/D変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で表されます(図13.7(3))。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際のA/D変換特性と理想A/D変換特性との偏差(図13.7(4))です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

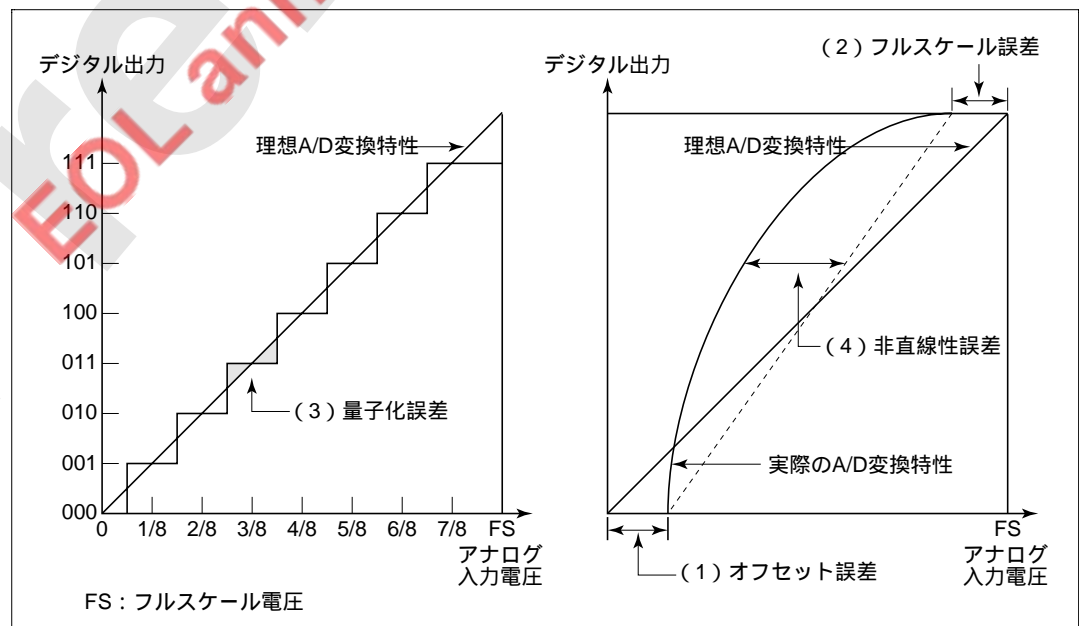


図13.7 A/D変換精度の定義

13.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

13.6.1 アナログ電圧の設定

(1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} AN_n AV_{CC} の範囲としてください。(n=0~7)

(2) AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 、 AV_{SS} 入力電圧は、 $AV_{CC} = 3.3V \pm 10\%$ 、 $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

13.6.2 アナログ入力端子の取り扱い

アナログ入力端子 ($AN_0 \sim AN_7$) には、過大サージなどの異常電圧による破壊を防ぐために、図 13.8 のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

図 13.9 にアナログ入力端子の等価回路を、表 13.5 にアナログ入力端子の規格を示します。

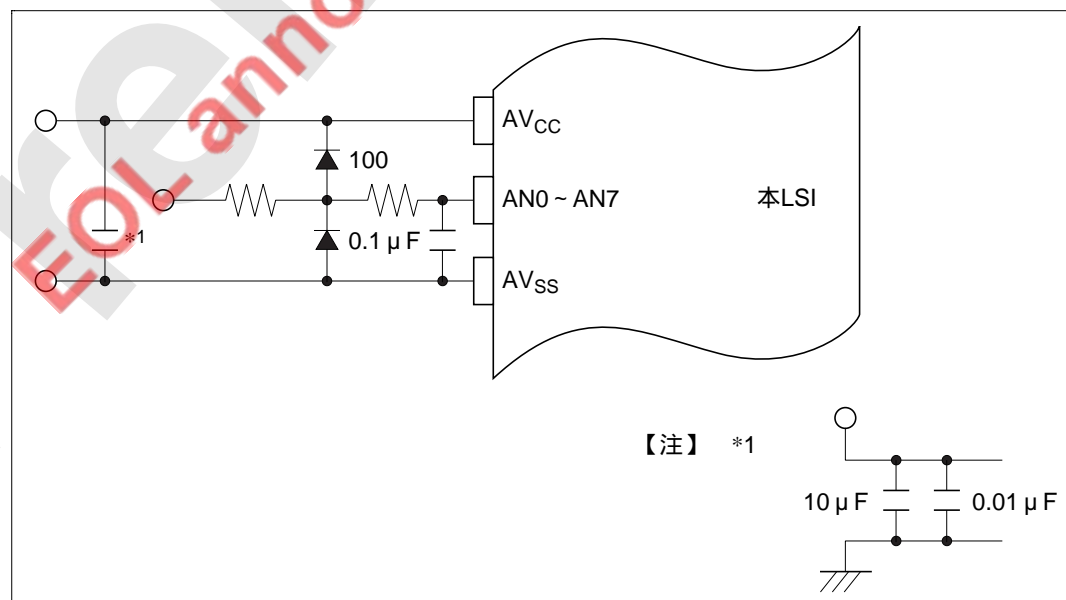


図 13.8 アナログ入力端子の保護回路例

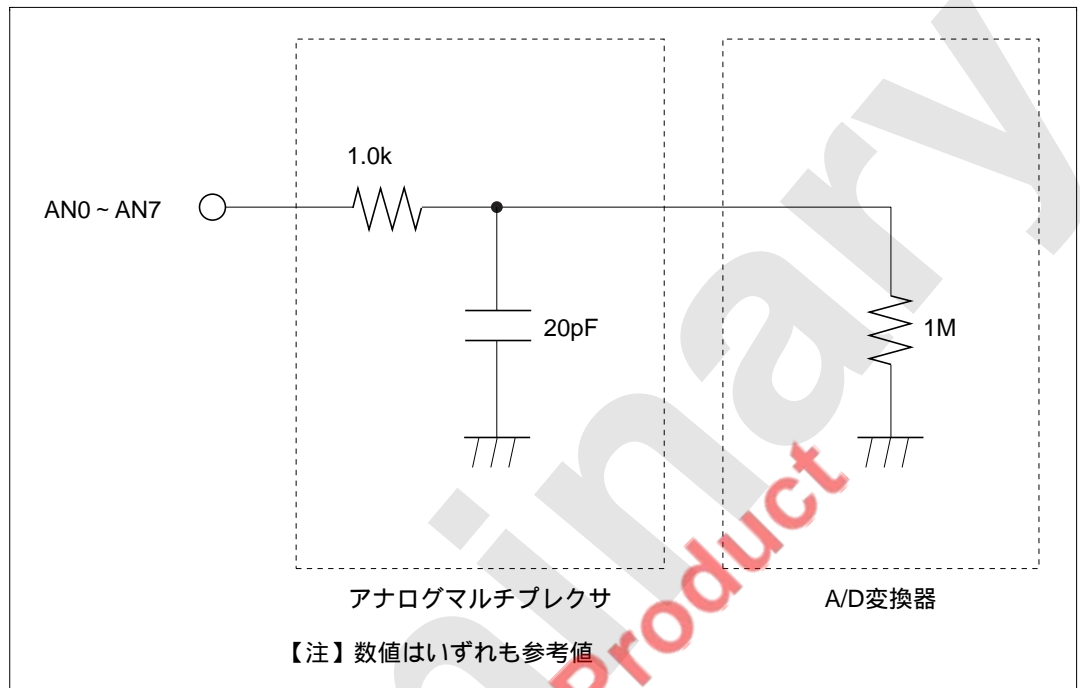


図 13.9 アナログ入力端子の等価回路

表 13.5 アナログ入力端子の規格

項目	min	max	単位
アナログ入力容量		20	pF
許容信号源インピーダンス		3	k

14. ピンファンクション コントローラ (PFC)

第14章 目次

14.1	概要	14-3
14.2	レジスタ構成	14-6
14.3	レジスタの説明	14-7
14.3.1	ポート A・IO レジスタ L (PAIORL)	14-7
14.3.2	ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)	14-7
14.3.3	ポート B・IO レジスタ (PBIOR)	14-12
14.3.4	ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)	14-12
14.3.5	ポート C・IO レジスタ (PCIOR)	14-16
14.3.6	ポート C コントロールレジスタ (PCCR)	14-16
14.3.7	ポート D・IO レジスタ L (PDIORL)	14-21
14.3.8	ポート D コントロールレジスタ L (PDCRL)	14-21
14.3.9	ポート E・IO レジスタ (PEIOR)	14-24
14.3.10	ポート E コントロールレジスタ 2 (PECR2)	14-24

Preliminary
EOL announced Product

14.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 14.1 に、本 LSI のマルチプレクス端子を示します。また、マルチプレクス端子は、動作モードにより機能が限定されます。表 14.2、表 14.3 に各動作モード別に端子機能とその初期値を示します。

表 14.1 マルチプレクス一覧表

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	端子 番号
A	PA15 入出力 (ポート)	CK 出力 (CPG)			75
A	PA14 入出力 (ポート)	\overline{RD} 出力 (BSC)			33
A	PA12 入出力 (ポート)	\overline{WRL} 出力 (BSC)			34
A	PA11 入出力 (ポート)	$\overline{CS1}$ 出力 (BSC)			35
A	PA10 入出力 (ポート)	$\overline{CS0}$ 出力 (BSC)			36
A	PA9 入出力 (ポート)		$\overline{IRQ3}$ (INTC)		42
A	PA8 入出力 (ポート)		$\overline{IRQ2}$ (INTC)		44
A	PA7 入出力 (ポート)		$\overline{CS3}$ 出力 (BSC)		37
A	PA6 入出力 (ポート)		$\overline{CS2}$ 出力 (BSC)		38
A	PA5 入出力 (ポート)	SCK 入出力 (SCI)			47
A	PA4 入出力 (ポート)	TXD 出力 (SCI)			48
A	PA3 入出力 (ポート)	RXD 入力 (SCI)			49
A	PA2 入出力 (ポート)			$\overline{IRQ0}$ 入力 (INTC)	50
A	PA1 入出力 (ポート)				40
A	PA0 入出力 (ポート)				41
B	PB9 入出力 (ポート)	$\overline{IRQ7}$ 入力 (INTC)	A21 出力 (BSC)		31
B	PB8 入出力 (ポート)	$\overline{IRQ6}$ 入力 (INTC)	A20 出力 (BSC)	\overline{WAIT} 入力 (BSC)	46
B	PB7 入出力 (ポート)		A19 出力 (BSC)		29
B	PB6 入出力 (ポート)	A18 出力 (BSC)			28
B	PB5 入出力 (ポート)				27
B	PB4 入出力 (ポート)				26
B	PB3 入出力 (ポート)	$\overline{IRQ1}$ 入力 (INTC)			24
B	PB2 入出力 (ポート)				23
B	PB1 入出力 (ポート)	A17 出力 (BSC)			21
B	PB0 入出力 (ポート)	A16 出力 (BSC)			20

(続 く)

14. ピンファンクションコントローラ (PFC)

表 14.1 マルチプレクス一覧表 (続き)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	端子 番号
C	PC15 入出力 (ポート)	A15 出力 (BSC)			19
C	PC14 入出力 (ポート)	A14 出力 (BSC)			18
C	PC13 入出力 (ポート)	A13 出力 (BSC)			17
C	PC12 入出力 (ポート)	A12 出力 (BSC)			16
C	PC11 入出力 (ポート)	A11 出力 (BSC)			14
C	PC10 入出力 (ポート)	A10 出力 (BSC)			13
C	PC9 入出力 (ポート)	A9 出力 (BSC)			12
C	PC8 入出力 (ポート)	A8 出力 (BSC)			11
C	PC7 入出力 (ポート)	A7 出力 (BSC)			10
C	PC6 入出力 (ポート)	A6 出力 (BSC)			9
C	PC5 入出力 (ポート)	A5 出力 (BSC)			7
C	PC4 入出力 (ポート)	A4 出力 (BSC)			6
C	PC3 入出力 (ポート)	A3 出力 (BSC)			5
C	PC2 入出力 (ポート)	A2 出力 (BSC)			4
C	PC1 入出力 (ポート)	A1 出力 (BSC)			3
C	PC0 入出力 (ポート)	A0 出力 (BSC)			2
D	PD7 入出力 (ポート)	D7 入出力 (BSC)			53
D	PD6 入出力 (ポート)	D6 入出力 (BSC)			54
D	PD5 入出力 (ポート)	D5 入出力 (BSC)			56
D	PD4 入出力 (ポート)	D4 入出力 (BSC)			58
D	PD3 入出力 (ポート)	D3 入出力 (BSC)			59
D	PD2 入出力 (ポート)	D2 入出力 (BSC)			60
D	PD1 入出力 (ポート)	D1 入出力 (BSC)			61
D	PD0 入出力 (ポート)	D0 入出力 (BSC)			62
E	PE14 入出力 (ポート)				88
E	PE13 入出力 (ポート)				87
E	PE12 入出力 (ポート)				86
E	PE11 入出力 (ポート)				85
E	PE10 入出力 (ポート)				84
E	PE9 入出力 (ポート)				83
E	PE8 入出力 (ポート)				82
E	PE7 入出力 (ポート)	TIOC2B 入出力 (MTU)			81

(続く)

表 14.1 マルチプレクス一覧表 (続き)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	端子 番号
E	PE6 入出力 (ポート)	TIOC2A 入出力 (MTU)			80
E	PE5 入出力 (ポート)	TIOC1B 入出力 (MTU)			78
E	PE4 入出力 (ポート)	TIOC1A 入出力 (MTU)			77
E	PE2 入出力 (ポート)	TIOC0C 入出力 (MTU)			64
E	PE0 入出力 (ポート)	TIOC0A 入出力 (MTU)			63
F	PF7 入力 (ポート)	AN7 入力 (A/D)			98
F	PF6 入力 (ポート)	AN6 入力 (A/D)			97
F	PF5 入力 (ポート)	AN5 入力 (A/D)			95
F	PF4 入力 (ポート)	AN4 入力 (A/D)			94
F	PF3 入力 (ポート)	AN3 入力 (A/D)			93
F	PF2 入力 (ポート)	AN2 入力 (A/D)			92
F	PF1 入力 (ポート)	AN1 入力 (A/D)			91
F	PF0 入力 (ポート)	AN0 入力 (A/D)			90

14.2 レジスタ構成

PFCのレジスタを表14.3に示します。

14.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポートA・IOレジスタL	PAIORL	R/W	H'0000	H'FFFF8386 H'FFFF8387	8、16、32
ポートAコントロールレジスタL1	PACRL1	R/W	H'4000	H'FFFF838C H'FFFF838D	8、16、32
ポートAコントロールレジスタL2	PACRL2	R/W	H'0000	H'FFFF838E H'FFFF838F	8、16、32
ポートB・IOレジスタ	PBIOR	R/W	H'0000	H'FFFF8394 H'FFFF8395	8、16、32
ポートBコントロールレジスタ1	PBCR1	R/W	H'0000	H'FFFF8398 H'FFFF8399	8、16、32
ポートBコントロールレジスタ2	PBCR2	R/W	H'0000	H'FFFF839A H'FFFF839B	8、16、32
ポートC・IOレジスタ	PCIOR	R/W	H'0000	H'FFFF8396 H'FFFF8397	8、16、32
ポートCコントロールレジスタ	PCCR	R/W	H'0000	H'FFFF839C H'FFFF839D	8、16、32
ポートD・IOレジスタL	PDIORL	R/W	H'0000	H'FFFF83A6 H'FFFF83A7	8、16、32
ポートDコントロールレジスタL	PDCRL	R/W	H'0000	H'FFFF83AC H'FFFF83AD	8、16、32
ポートE・IOレジスタ	PEIOR	R/W	H'0000	H'FFFF83B4 H'FFFF83B5	8、16、32
ポートEコントロールレジスタ2	PECR2	R/W	H'0000	H'FFFF83BA H'FFFF83BB	8、16、32

14.3 レジスタの説明

14.3.1 ポート A・IO レジスタ L (PAIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR		PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A・IO レジスタ L (PAIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。本レジスタの各ビットが、それぞれの端子に対応しています。PAIORL はポート A の端子機能が汎用入出力 (PA15 ~ PA0) がシリアルクロック (SCK) の場合に有効でそれ以外の場合は無効です。

ポート A の端子機能が PA15 ~ PA0 が SCK の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORL は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されずに前のデータを保持します。

14.3.2 ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2)

ポート A コントロールレジスタ L1、L2 (PACRL1、PACRL2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート A にある端子の機能を選びます。

PACRL1 は、外部からのパワーオンリセットで H'4000 に初期化されます。PACRL2 は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、どちらも WDT によるリセット、スタンバイモード、スリープモードでは初期化されずに前のデータを保持します。

(1) ポート A コントロールレジスタ L1 (PACRL1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PA15 MD		PA14 MD				PA12 MD		PA11 MD0		PA10 MD	PA9 MD1		PA8 MD1	
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R	R	R/W	R	R/W	R	R/W	R/W	R	R/W	R

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PA15 モードビット (PA15MD)

PA15/CK 端子の機能を選びます。

ビット 14	説 明	
PA15MD		
0	汎用入出力 (PA15)	
1	クロック出力 (CK)	(初期値)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PA14 モードビット (PA14MD)

PA14/ \overline{RD} 端子の機能を選びます。

ビット 12	説 明	
PA14MD		
0	汎用入出力 (PA14)	(初期値)
1	読み出し出力 (\overline{RD})	

ビット 11~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA12 モードビット (PA12MD)

PA12/ \overline{WRL} 端子の機能を選びます。

ビット 8	説 明	
PA12MD		
0	汎用入出力 (PA12)	(初期値)
1	チップセレクト出力 (\overline{WRL})	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット6 : PA11 モードビット (PA11MD)

PA11/ $\overline{\text{CS1}}$ 端子の機能を選びます。

ビット6	説 明	
PA11MD		
0	汎用入出力 (PA11)	(初期値)
1	チップセレクト出力 ($\overline{\text{CS1}}$)	

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : PA10 モードビット (PA10MD)

PA10/ $\overline{\text{CS0}}$ 端子の機能を選びます。

ビット4	説 明	
PA10MD		
0	汎用入出力 (PA10)	(初期値)
1	チップセレクト出力 ($\overline{\text{CS0}}$)	

ビット3 : PA9 モードビット1 (PA9MD1)

PA9/ $\overline{\text{IRQ3}}$ 端子の機能を選びます。

ビット3	説 明	
PA9MD1		
0	汎用入出力 (PA9)	(初期値)
1	割り込み要求入力 ($\overline{\text{IRQ3}}$)	

ビット2 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット1 : PA8 モードビット1 (PA8MD1)

PA8/ $\overline{\text{IRQ2}}$ 端子の機能を選びます。

ビット1	説明
PA8MD1	
0	汎用入出力 (PA8) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ2}}$)

ビット0 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(2) ポート A コントロールレジスタ L2 (PACRL2)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PA7 MD1		PA6 MD1			PA5 MD0		PA4 MD		PA3 MD	PA2 MD1	PA2 MD0				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R	R	R

ビット15 : PA7 モードビット1 (PA7MD1)

PA7/ $\overline{\text{CS3}}$ 端子の機能を選びます。

ビット15	説明
PA7MD1	
0	汎用入出力 (PA7) (初期値)
1	チップセレクト出力 ($\overline{\text{CS3}}$)

ビット14 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット13 : PA6 モードビット1 (PA6MD1)

PA6/ $\overline{\text{CS2}}$ 端子の機能を選びます。

ビット13	説明
PA6MD1	
0	汎用入出力 (PA6) (初期値)
1	チップセレクト出力 ($\overline{\text{CS2}}$)

ビット12：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット10：PA5モードビット0 (PA5MD0)

PA5/SCK 端子の機能を選びます。

ビット10	説 明	
PA5MD0		
0	汎用入出力 (PA5)	(初期値)
1	シリアルクロック入出力 (SCK1)	

ビット11、9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8：PA4モードビット (PA4MD)

PA4/TXD 端子の機能を選びます。

ビット8	説 明	
PA4MD		
0	汎用入出力 (PA4)	(初期値)
1	送信データ出力 (TXD)	

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：PA3モードビット (PA3MD)

PA3/RXD 端子の機能を選びます。

ビット6	説 明	
PA3MD		
0	汎用入出力 (PA3)	(初期値)
1	受信データ入力 (RXD)	

ビット5、4 : PA2 モードビット 1、0 (PA2MD1、PA2MD0)

PA2/ $\overline{\text{IRQ0}}$ 端子の機能を選びます。

ビット5	ビット4	説明
PA2MD1	PA2MD0	
0	0	汎用入出力 (PA2) (初期値)
	1	予約
1	0	予約
	1	割り込み要求入力 ($\overline{\text{IRQ0}}$)

ビット3~0 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

14.3.3 ポート B・IO レジスタ (PBIOR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B・IO レジスタ (PBIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。本レジスタの各ビットが、それぞれの端子に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB9 ~ PB0) の場合に有効でそれ以外の場合は無効です。

ポート B の端子機能が PB9 ~ PB0 の場合、PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

14.3.4 ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2)

ポート B コントロールレジスタ 1、2 (PBCR1、PBCR2) は、それぞれ、16 ビットの読み出し / 書き込み可能なレジスタで、ポート B にある端子の機能を選びます。

PBCR1、PBCR2 は、外部からのパワーオンリセットで、それぞれ H'0000、H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

(1) ポート B コントロールレジスタ 1 (PBCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3、2 : PB9 モードビット 1、0 (PB9MD1、PB9MD0)

PB9/ $\overline{\text{IRQ7}}$ /A21 端子の機能を選びます。

ビット 3	ビット 2	説 明	
PB9MD1	PB9MD0		
0	0	汎用入出力 (PB9)	(初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ7}}$)	
1	0	アドレス出力 (A21)	
	1	予約	

ビット 1、0 : PB8 モードビット 1、0 (PB8MD1、PB8MD0)

PB8/ $\overline{\text{IRQ6}}$ /A20/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット 1	ビット 0	説 明	
PB8MD1	PB8MD0		
0	0	汎用入出力 (PB8)	(初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ6}}$)	
1	0	アドレス出力 (A20)	
	1	ウェイトステイト要求入力 ($\overline{\text{WAIT}}$)	

(2) ポート B コントロールレジスタ 2 (PBCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0						PB3 MD0				PB1 MD		PB0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W

ビット 15、14 : PB7 モードビット 1、0 (PB7MD1、PB7MD0)

PB7/A19 端子の機能を選びます。

ビット 15	ビット 14	説 明	
PB7MD1	PB7MD0		
0	0	汎用入出力 (PB7)	(初期値)
	1	予約	
1	0	アドレス出力 (A19)	
	1	予約	

ビット 13、12 : PB6 モードビット 1、0 (PB6MD1、PB6MD0)

PB6/A18 端子の機能を選びます。

ビット 13	ビット 12	説 明	
PB6MD1	PB6MD0		
0	0	汎用入出力 (PB6)	(初期値)
	1	予約	
1	0	アドレス出力 (A18)	
	1	予約	

ビット 11~7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット6 : PB3 モードビット0 (PB3MD0)

PB3/ $\overline{\text{IRQ1}}$ 端子の機能を選びます。

ビット6	説 明	
PB3MD0		
0	汎用入出力 (PB3)	(初期値)
1	割り込み要求入力 ($\overline{\text{IRQ1}}$)	

ビット5~3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PB1 モードビット (PB1MD)

PB1/A17 端子の機能を選びます。

ビット2	説 明	
PB1MD		
0	汎用入出力 (PB1)	(初期値)
1	アドレス出力 (A17)	

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PB0 モードビット (PB0MD)

PB0/A16 端子の機能を選びます。

ビット0	説 明	
PB0MD		
0	汎用入出力 (PB0)	(初期値)
1	アドレス出力 (A16)	

14.3.5 ポート C・IO レジスタ (PCIOR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
-------------	-------------	-------------	-------------	-------------	-------------	------------	------------	------------	------------	------------	------------	------------	------------	------------	------------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート C・IO レジスタ (PCIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。本レジスタの各ビットが、それぞれの端子に対応しています。PCIOR はポート C の端子機能が汎用入出力 (PC15~PC0) の場合に有効でそれ以外の場合は無効です。

ポート C の端子機能が PC15~PC0 の場合、PCIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前の値を保持します。

14.3.6 ポート C コントロールレジスタ (PCCR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PC15 MD	PC14 MD	PC13 MD	PC12 MD	PC11 MD	PC10 MD	PC9 MD	PC8 MD	PC7 MD	PC6 MD	PC5 MD	PC4 MD	PC3 MD	PC2 MD	PC1 MD	PC0 MD
------------	------------	------------	------------	------------	------------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ポート C コントロールレジスタ (PCCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート C にある端子の機能を選びます。

PCCR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前の値を保持します。

ビット 15 : PC15 モードビット (PC15MD)

PC15/A15 端子の機能を選びます。

ビット 15	説明
PC15MD	
0	汎用入出力 (PC15) (初期値)
1	アドレス出力 (A15)

ビット 14 : PC14 モードビット (PC14MD)

PC14/A14 端子の機能を選びます。

ビット 14	説 明	
PC14MD		
0	汎用入出力 (PC14)	(初期値)
1	アドレス出力 (A14)	

ビット 13 : PC13 モードビット (PC13MD)

PC13/A13 端子の機能を選びます。

ビット 13	説 明	
PC13MD		
0	汎用入出力 (PC13)	(初期値)
1	アドレス出力 (A13)	

ビット 12 : PC12 モードビット (PC12MD)

PC12/A12 端子の機能を選びます。

ビット 12	説 明	
PC12MD		
0	汎用入出力 (PC12)	(初期値)
1	アドレス出力 (A12)	

ビット 11 : PC11 モードビット (PC11MD)

PC11/A11 端子の機能を選びます。

ビット 11	説 明	
PC11MD		
0	汎用入出力 (PC11)	(初期値)
1	アドレス出力 (A11)	

ビット 10 : PC10 モードビット (PC10MD)

PC10/A10 端子の機能を選びます。

ビット 10	説 明	
PC10MD		
0	汎用入出力 (PC10)	(初期値)
1	アドレス出力 (A10)	

ビット 9 : PC9 モードビット (PC9MD)

PC9/A9 端子の機能を選びます。

ビット 9	説 明	
PC9MD		
0	汎用入出力 (PC9)	(初期値)
1	アドレス出力 (A9)	

ビット 8 : PC8 モードビット (PC8MD)

PC8/A8 端子の機能を選びます。

ビット 8	説 明	
PC8MD		
0	汎用入出力 (PC8)	(初期値)
1	アドレス出力 (A8)	

ビット 7 : PC7 モードビット (PC7MD)

PC7/A7 端子の機能を選びます。

ビット 7	説 明	
PC7MD		
0	汎用入出力 (PC7)	(初期値)
1	アドレス出力 (A7)	

ビット6 : PC6 モードビット (PC6MD)

PC6/A6 端子の機能を選びます。

ビット6	説 明	
PC6MD		
0	汎用入出力 (PC6)	(初期値)
1	アドレス出力 (A6)	

ビット5 : PC5 モードビット (PC5MD)

PC5/A5 端子の機能を選びます。

ビット5	説 明	
PC5MD		
0	汎用入出力 (PC5)	(初期値)
1	アドレス出力 (A5)	

ビット4 : PC4 モードビット (PC4MD)

PC4/A4 端子の機能を選びます。

ビット4	説 明	
PC4MD		
0	汎用入出力 (PC4)	(初期値)
1	アドレス出力 (A4)	

ビット3 : PC3 モードビット (PC3MD)

PC3/A3 端子の機能を選びます。

ビット3	説 明	
PC3MD		
0	汎用入出力 (PC3)	(初期値)
1	アドレス出力 (A3)	

ビット2 : PC2 モードビット (PC2MD)

PC2/A2 端子の機能を選びます。

ビット2	説 明	
PC2MD		
0	汎用入出力 (PC2)	(初期値)
1	アドレス出力 (A2)	

ビット1 : PC1 モードビット (PC1MD)

PC1/A1 端子の機能を選びます。

ビット1	説 明	
PC1MD		
0	汎用入出力 (PC1)	(初期値)
1	アドレス出力 (A1)	

ビット0 : PC0 モードビット (PC0MD)

PC0/A0 端子の機能を選びます。

ビット0	説 明	
PC0MD		
0	汎用入出力 (PC0)	(初期値)
1	アドレス出力 (A0)	

14.3.7 ポート D・IO レジスタ L (PDIORL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
										PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ポート D・IO レジスタ L (PDIORL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。本レジスタの各ビットが、それぞれの端子に対応しています。PDIORL はポート D の端子機能が汎用入出力 (PD7~PD0) の場合に有効でそれ以外の場合は無効です。

ポート D の端子機能が PD7~PD0 の場合、PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持しています。

14.3.8 ポート D コントロールレジスタ L (PDCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
										PD7 MD	PD6 MD	PD5 MD	PD4 MD	PD3 MD	PD2 MD	PD1 MD	PD0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ポート D コントロールレジスタ L (PDCRL) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート D にある端子の機能を選びます。

内蔵 ROM 有効拡張モード

ポート D の端子はデータ入出力と汎用入出力の兼用端子となります。PDCRL の設定は有効です。

PDCRL は、外部からのパワーオンリセットで、H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

ビット 15~8 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 7 : PD7 モードビット (PD7MD)

PD7/D7 端子の機能を選びます。

ビット 7	説 明	
PD7MD		
0	汎用入出力 (PD7)	(初期値)
1	データ入出力 (D7)	

ビット 6 : PD6 モードビット (PD6MD)

PD6/D6 端子の機能を選びます。

ビット 6	説 明	
PD6MD		
0	汎用入出力 (PD6)	(初期値)
1	データ入出力 (D6)	

ビット 5 : PD5 モードビット (PD5MD)

PD5/D5 端子の機能を選びます。

ビット 5	説 明	
PD5MD		
0	汎用入出力 (PD5)	(初期値)
1	データ入出力 (D5)	

ビット4 : PD4 モードビット (PD4MD)

PD4/D4 端子の機能を選びます。

ビット4	説 明	
PD4MD		
0	汎用入出力 (PD4)	(初期値)
1	データ入出力 (D4)	

ビット3 : PD3 モードビット (PD3MD)

PD3/D3 端子の機能を選びます。

ビット3	説 明	
PD3MD		
0	汎用入出力 (PD3)	(初期値)
1	データ入出力 (D3)	

ビット2 : PD2 モードビット (PD2MD)

PD2/D2 端子の機能を選びます。

ビット2	説 明	
PD2MD		
0	汎用入出力 (PD2)	(初期値)
1	データ入出力 (D2)	

ビット1 : PD1 モードビット (PD1MD)

PD1/D1 端子の機能を選びます。

ビット1	説 明	
PD1MD		
0	汎用入出力 (PD1)	(初期値)
1	データ入出力 (D1)	

ビット0 : PD0 モードビット (PD0MD)

PD0/D0 端子の機能を選びます。

ビット0	説明
PD0MD	
0	汎用入出力 (PD0) (初期値)
1	データ入出力 (D0)

14.3.9 ポート E・IO レジスタ (PEIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR		PE2 IOR		PE0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ポート E・IO レジスタ (PEIOR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。本レジスタの各ビットが、それぞれの端子に対応しています。PEIOR はポート E の端子機能が汎用入出力 (PE14 ~ PE4、PE2、PE0) か、MTU の TIOC 端子の場合に有効でそれ以外の場合は無効です。

ポート E の端子機能が PE14 ~ PE4、PE2、PE0 または MTU の TIOC 端子の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、外部からのパワーオンリセットで H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

14.3.10 ポート E コントロールレジスタ 2 (PECR2)

ポート E コントロールレジスタ 2 (PECR2) は、16 ビットの読み出し / 書き込み可能なレジスタで、ポート E にある端子の機能を選びます。

PECR2 は、外部からのパワーオンリセットで、H'0000 に初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは初期化されず、前のデータを保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		PE7 MD		PE6 MD		PE5 MD		PE4 MD				PE2 MD0				PE0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット 15 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14 : PE7 モードビット (PE7MD)

PE7/TIOC2B 端子の機能を選びます。

ビット 14	説明
PE7MD	
0	汎用入出力 (PE7) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2B)

ビット 13 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12 : PE6 モードビット (PE6MD)

PE6/TIOC2A 端子の機能を選びます。

ビット 12	説明
PE6MD	
0	汎用入出力 (PE6) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC2A)

ビット 11 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PE5 モードビット (PE5MD)

PE5/TIOC1B 端子の機能を選びます。

ビット 10	説 明	
PE5MD		
0	汎用入出力 (PE5)	(初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1B)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PE4 モードビット (PE4MD)

PE4/TIOC1A 端子の機能を選びます。

ビット 8	説 明	
PE4MD		
0	汎用入出力 (PE4)	(初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC1A)	

ビット 7~5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PE2 モードビット 0 (PE2MD0)

PE2/TIOC0C 端子の機能を選びます。

ビット 4	説 明	
PE2MD0		
0	汎用入出力 (PE2)	(初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0C)	

ビット 3~1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット0 : PE0 モードビット0 (PE0MD0)

PE0/TIOC0A 端子の機能を選びます。

ビット0	説明
PE0MD0	
0	汎用入出力 (PE0) (初期値)
1	MTU インプットキャプチャ入力 / アウトプットコンペア出力 (TIOC0A)

15. I/O ポート (I/O)

第 15 章 目次

15.1	概要	15-3
15.2	ポート A	15-3
15.2.1	レジスタ構成	15-4
15.2.2	ポート A データレジスタ L (PADRL)	15-4
15.3	ポート B	15-5
15.3.1	レジスタ構成	15-5
15.3.2	ポート B データレジスタ (PBDR)	15-6
15.4	ポート C	15-7
15.4.1	レジスタ構成	15-7
15.4.2	ポート C データレジスタ (PCDR)	15-8
15.5	ポート D	15-9
15.5.1	レジスタ構成	15-9
15.5.2	ポート D データレジスタ L (PDDRL)	15-9
15.6	ポート E	15-11
15.6.1	レジスタ構成	15-11
15.6.2	ポート E データレジスタ (PEDR)	15-12
15.7	ポート F	15-13
15.7.1	レジスタ構成	15-13
15.7.2	ポート F データレジスタ (PFDR)	15-13

Preliminary
EOL announced Product

15.1 概要

それぞれのポートの端子は、すべて、汎用入出力（ポートFの端子は汎用入力）とそのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います。ポートは、それぞれ、端子のデータを格納するためのデータレジスタを1本ずつもっています。

15.2 ポートA

ポートAは、図15.1に示すような、15本の端子をもつ入出力ポートです。

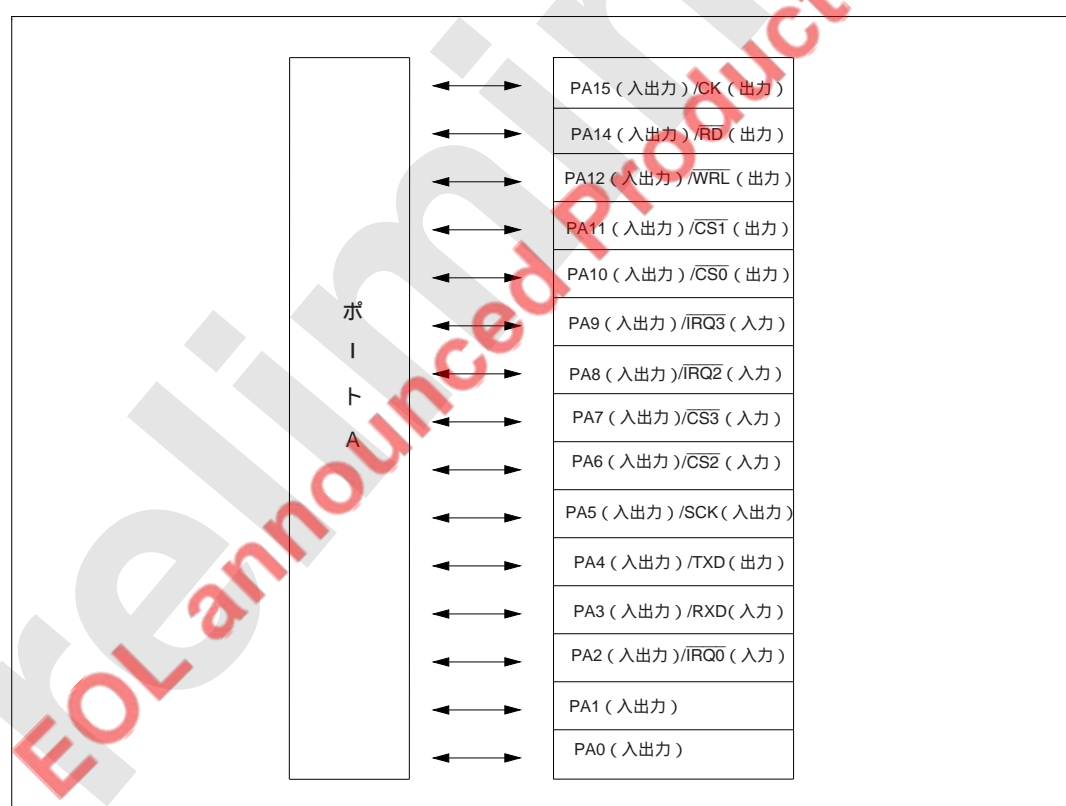


図 15.1 ポートA

15.2.1 レジスタ構成

ポート A のレジスタ構成を表 15.1 に示します。

表 15.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ L	PADRL	R/W	H'0000	H'FFFF8382 H'FFFF8383	8、16、32

15.2.2 ポート A データレジスタ L (PADRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 DR	PA14 DR		PA12 DR	PA11 DR	PA10 DR	PA9 DR	PA8 DR	PA7 DR	PA6 DR	PA5 DR	PA4 DR	PA3 DR	PA2 DR	PA1 DR	PA0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ L (PADRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。本レジスタの各ビットは、それぞれの端子に対応しています。

端子機能が汎用出力の場合には、PADRL に値を書き込むと端子からその値が出力され、PADRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADRL に値を書き込むと、PADRL にその値を書き込みますが、端子の状態には影響しません。表 15.2 にポート A データレジスタの読み出し / 書き込み動作を示します。

PADRL は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 15.2 ポート A データレジスタ (PADR) の読み出し / 書き込み動作

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

15.3 ポート B

ポート Bは、図 15.2 に示すような、10本の端子をもつ入出力ポートです。

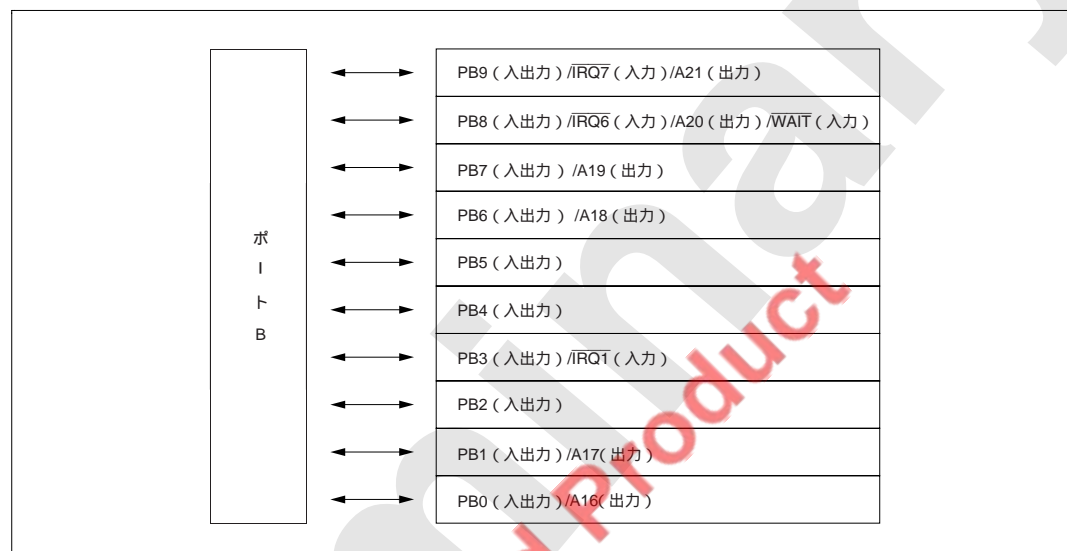


図 15.2 ポート B

15.3.1 レジスタ構成

ポート Bのレジスタ構成を表 15.3 に示します。

表 15.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFF8390 H'FFFF8391	8、16、32

15.3.2 ポート B データレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PB9 DR	PB8 DR	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ (PBDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。本レジスタの各ビットは、それぞれの端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。表 15.4 にポート B データレジスタの読み出し / 書き込み動作を示します。

PBDR は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 15.4 ポート B データレジスタ (PBDR) の読み出し / 書き込み動作

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

15.4 ポート C

ポート C は、図 15.3 に示すような、16 本の端子をもつ入出力ポートです。

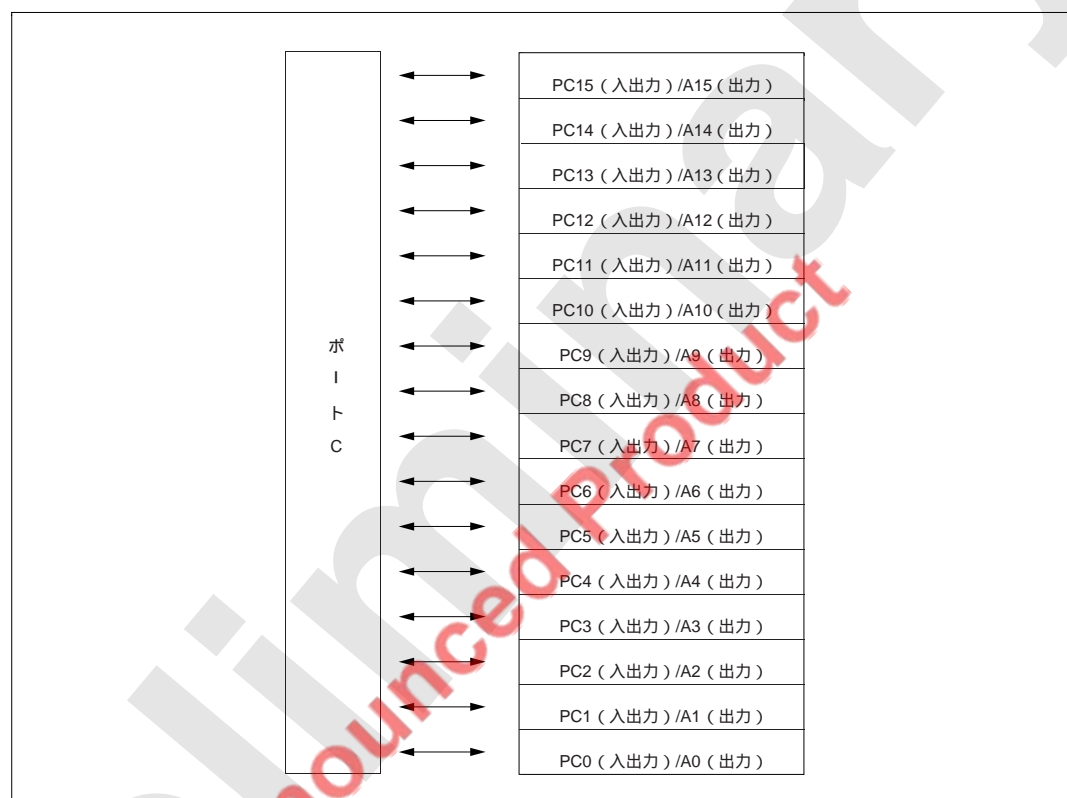


図 15.3 ポート C

15.4.1 レジスタ構成

ポート C のレジスタ構成を表 15.5 に示します。

表 15.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'0000	H'FFFF8392 H'FFFF8393	8、16、32

15.4.2 ポートCデータレジスタ (PCDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 DR	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCデータレジスタ (PCDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポートCのデータを格納します。本レジスタの各ビットは、それぞれの端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 15.6 にポートC データレジスタの読み出し / 書き込み動作を示します。

PCDR は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 15.6 ポートCデータレジスタ (PCDR) の読み出し / 書き込み動作

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

15.5 ポート D

ポート D は、図 15.4 に示すような、8 本の端子をもつ入出力ポートです。

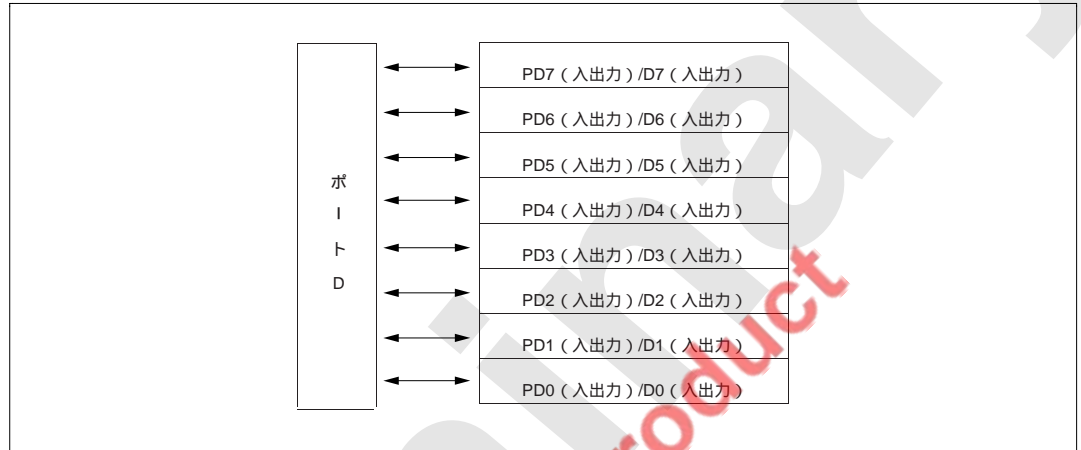


図 15.4 ポート D

15.5.1 レジスタ構成

ポート D のレジスタ構成を表 15.7 に示します。

表 15.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ L	PDDRL	R/W	H'0000	H'FFFF83A2 H'FFFF83A3	8、16、32

15.5.2 ポート D データレジスタ L (PDDRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ L (PDDRL) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。本レジスタの各ビットは、それぞれの端子に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状

態が直接読み出されます。また PDDR1 に値を書き込むと、PDDR1 にその値を書き込めませんが、端子の状態には影響しません。表 15.8 にポート D データレジスタの読み出し / 書き込み動作を示します。

PDDR1 は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されません。

表 15.8 ポート D データレジスタ (PDDR) の読み出し / 書き込み動作

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

15.6 ポート E

ポート E は、図 15.5 に示すような、13 本の端子をもつ入出力ポートです。

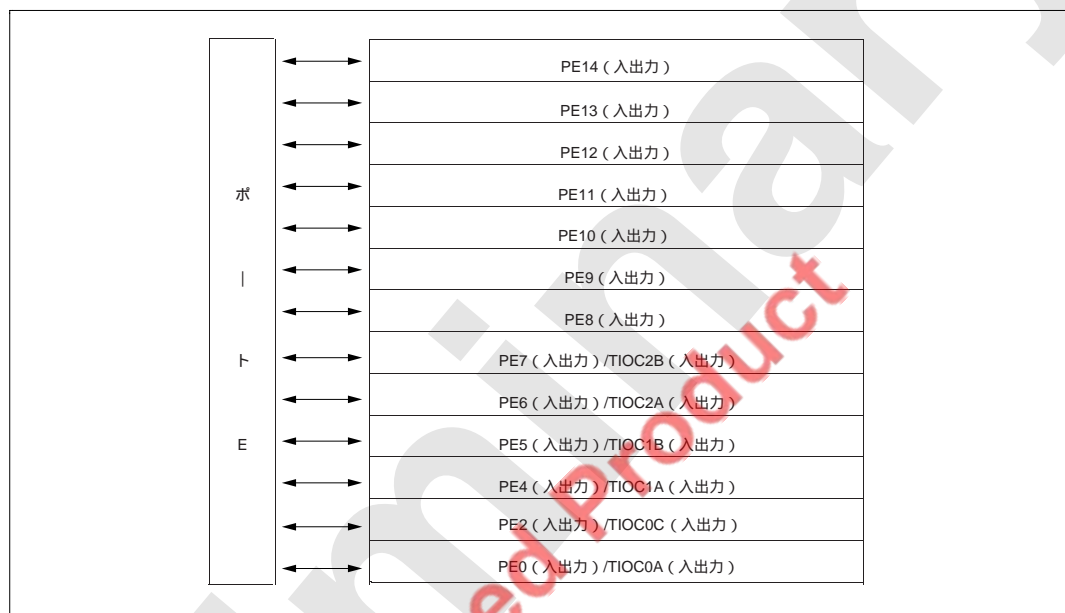


図 15.5 ポート E

15.6.1 レジスタ構成

ポート E のレジスタ構成を表 15.9 に示します。

表 15.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'0000	H'FFFF83B0 H'FFFF83B1	8、16、32

15.6.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE14 DR	PE13 DR	PE12 DR	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR			PE2 DR		PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W		R/W

ポート E データレジスタ (PEDR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。本レジスタの各ビットは、それぞれの端子に対応しています。端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込めますが、端子の状態には影響しません。表 15.10 にポート E データレジスタの読み出し / 書き込み動作を示します。

PEDR は、外部からのパワーオンリセットで初期化されます。しかし、WDT によるリセット、スタンバイモード、スリープモードでは、初期化されず、前のデータを保持します。

表 15.10 ポート E データレジスタ (PEDR) の読み出し / 書き込み動作

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

15.7 ポート F

ポート F は、図 15.6 に示すような、8 本の端子をもつ入力ポートです。

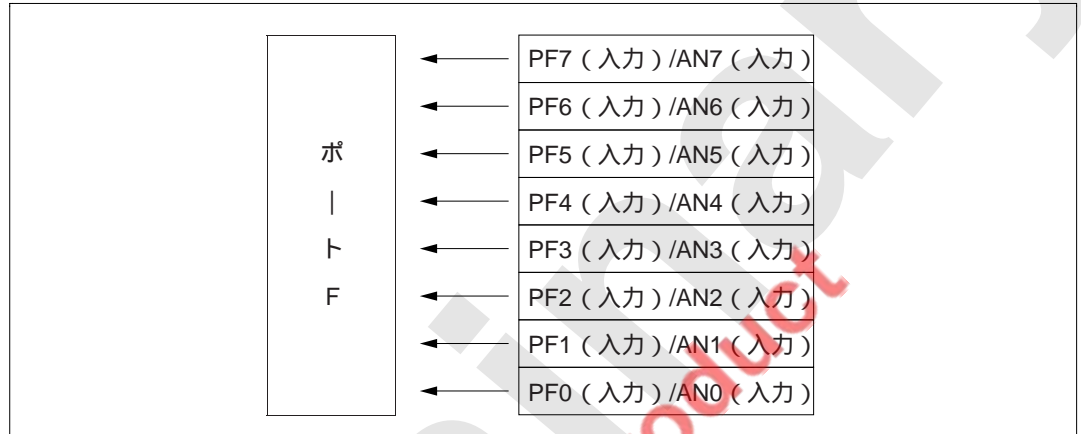


図 15.6 ポート F

15.7.1 レジスタ構成

ポート F のレジスタ構成を表 15.11 に示します。

表 15.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	外部端子依存	H'FFFF83B3	8

15.7.2 ポート F データレジスタ (PFDR)

ビット:	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR

初期値: * * * * *

R/W: R R R R R R R R

【注】 * 初期値は読み出し時の端子状態に依存します。

ポート F データレジスタ (PFDR) は、読み出し専用の 8 ビットのレジスタで、ポート F のデータを格納します。本レジスタの各ビットは、それぞれの端子に対応しています。

これらのビットに値を書き込んでも無視され、端子の状態には影響しません。また、これらのビットを読み出すと、ビットの値ではなく端子の状態が直接読み出されます。ただし、A/D変換器のアナログ入力をサンプリングしている間は1が読み出されます。表 15.12 にポート F データレジスタの読み出し/書き込み動作を示します。

PFDR は、パワーオンリセット、スタンバイモード、スリープモードのいずれでも初期化されません (ビットは常に端子の状態を反映します)。

表 15.12 ポート F データレジスタ (PFDR) の読み出し/書き込み動作

端子入出力	端子機能	読み出し	書き込み
入力	汎用	端子の状態が読み出される	無視される (端子の状態に影響しない)
	ANn	1 が読み出される	無視される (端子の状態に影響しない)

ANn : アナログ入力

16. 160kB フラッシュメモリ (F-ZTAT)

第 16 章 目次

16.1	特長	16-3
16.2	概要	16-4
16.2.1	ブロック図	16-4
16.2.2	モード遷移図	16-5
16.2.3	オンボードプログラムモード	16-6
16.2.4	RAM によるフラッシュメモリのエミュレーション	16-8
16.2.5	ブートモードとユーザプログラムモードの相違	16-9
16.2.6	ブロック分割法	16-10
16.3	端子構成	16-10
16.4	レジスタ構成	16-11
16.5	レジスタの説明	16-12
16.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	16-12
16.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	16-15
16.5.3	ブロック指定レジスタ 1 (EBR1)	16-16
16.5.4	ブロック指定レジスタ 2 (EBR2)	16-16
16.5.5	RAM エミュレーションレジスタ (RAMER)	16-17
16.6	オンボードプログラミングモード	16-19
16.6.1	ブートモード	16-19
16.6.2	ユーザプログラムモード	16-24
16.7	フラッシュメモリの書き込み / 消去	16-25
16.7.1	プログラムモード	16-25
16.7.2	プログラムベリファイモード	16-26
16.7.3	イレースモード	16-32
16.7.4	イレースベリファイモード	16-32
16.8	プロテクト	16-38

16.8.1	ハードウェアプロテクト.....	16-38
16.8.2	ソフトウェアプロテクト.....	16-39
16.8.3	エラープロテクト.....	16-40
16.9	RAM によるフラッシュメモリのエミュレーション.....	16-41
16.10	フラッシュメモリの書き込み / 消去時の注意.....	16-43
16.11	フラッシュメモリのライターモード.....	16-44
16.11.1	ソケットアダプタの端子対応図.....	16-44
16.11.2	ライターモードの動作.....	16-46
16.11.3	メモリ読み出しモード.....	16-47
16.11.4	自動書き込みモード.....	16-50
16.11.5	自動消去モード.....	16-52
16.11.6	ステータス読み出しモード.....	16-53
16.11.7	ステータスポーリング.....	16-54
16.11.8	ライターモードへの遷移時間.....	16-55
16.11.9	メモリ書き込み注意事項.....	16-55

16.1 特長

本 LSI は、160kB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの 4 種類の動作モード

- ・ プログラムモード
- ・ イレースモード
- ・ プログラムベリファイモード
- ・ イレースベリファイモード

書き込み / 消去方式

書き込みは 128 バイト同時書き込みを行います。消去はブロック分割消去 (1 ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では 4kB、32kB、64kB のブロック単位で任意に設定することができます。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 25ms (typ.)、1 バイトあたり換算にて 195 μ s (typ.)、消去時間は、10ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う 2 種類のモードがあります。

- ・ ブートモード
- ・ ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートとを自動で合わせることができます。

RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの 2 種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラムモード以外に PROM ライタを用いたライターモードがあります。

16.2 概要

16.2.1 ブロック図

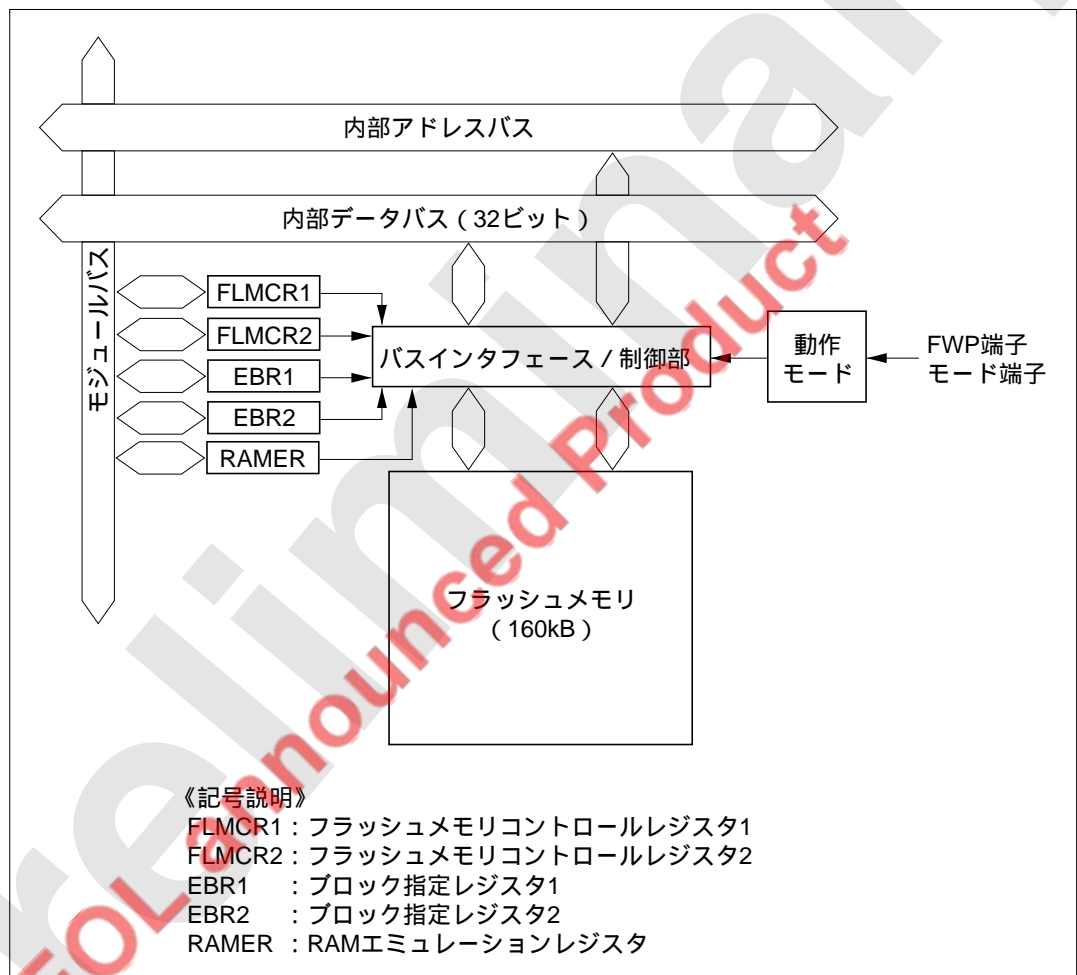


図 16.1 フラッシュメモリのブロック図

16.2.2 モード遷移図

リセット状態で各モード端子と FWP 端子を設定し、リセットスタートすると、マイコンは図 16.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

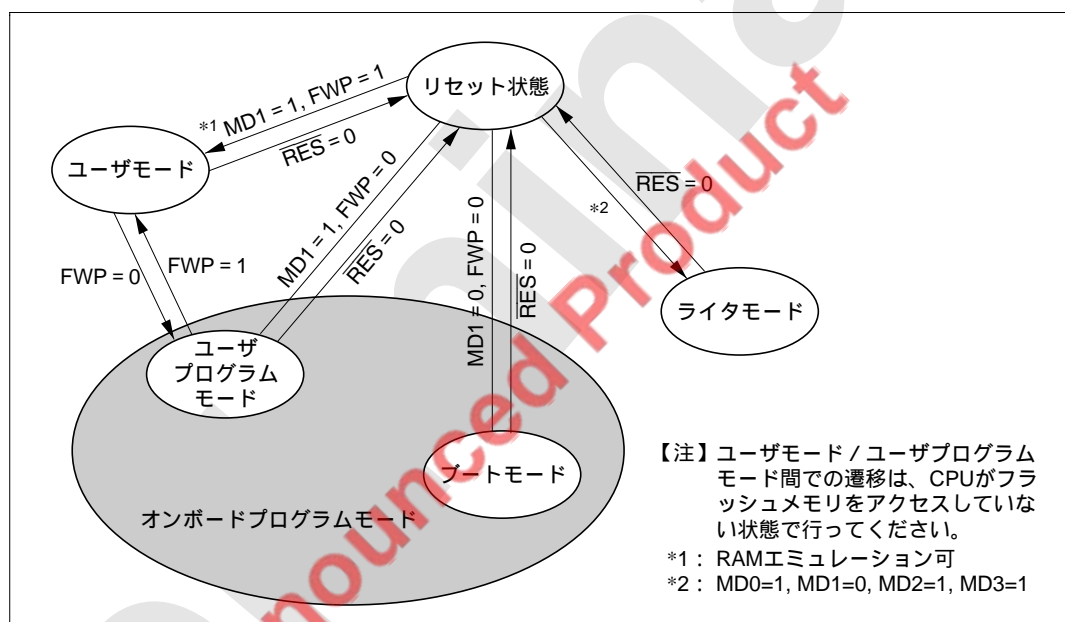


図 16.2 フラッシュメモリに関する状態遷移

16.2.3 オンボードプログラムモード

(1) ブートモード

図 16.3 にブートモードによる書き換え動作を示します。ブートモードについての詳細は「16.6.1 ブートモード」を参照してください。

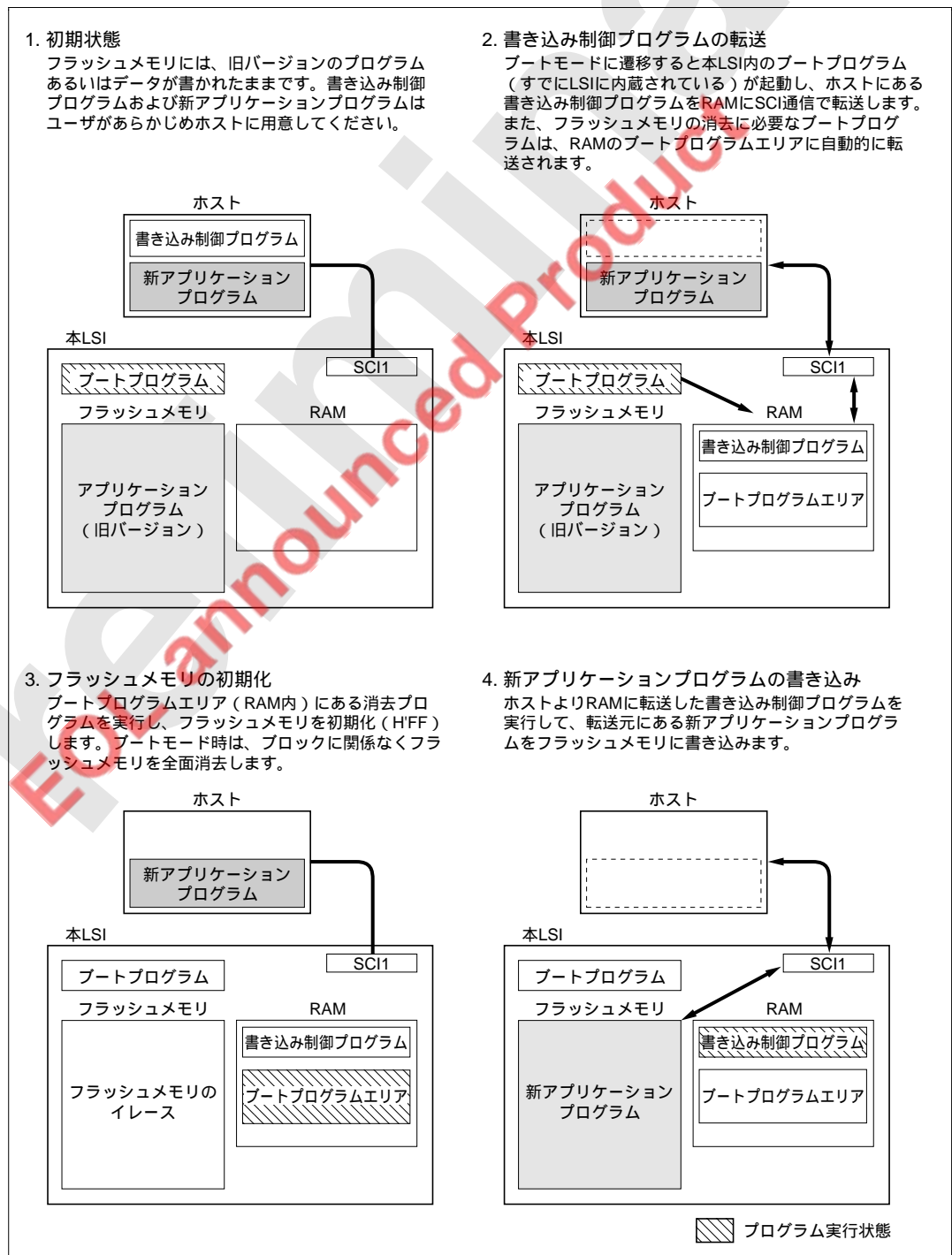
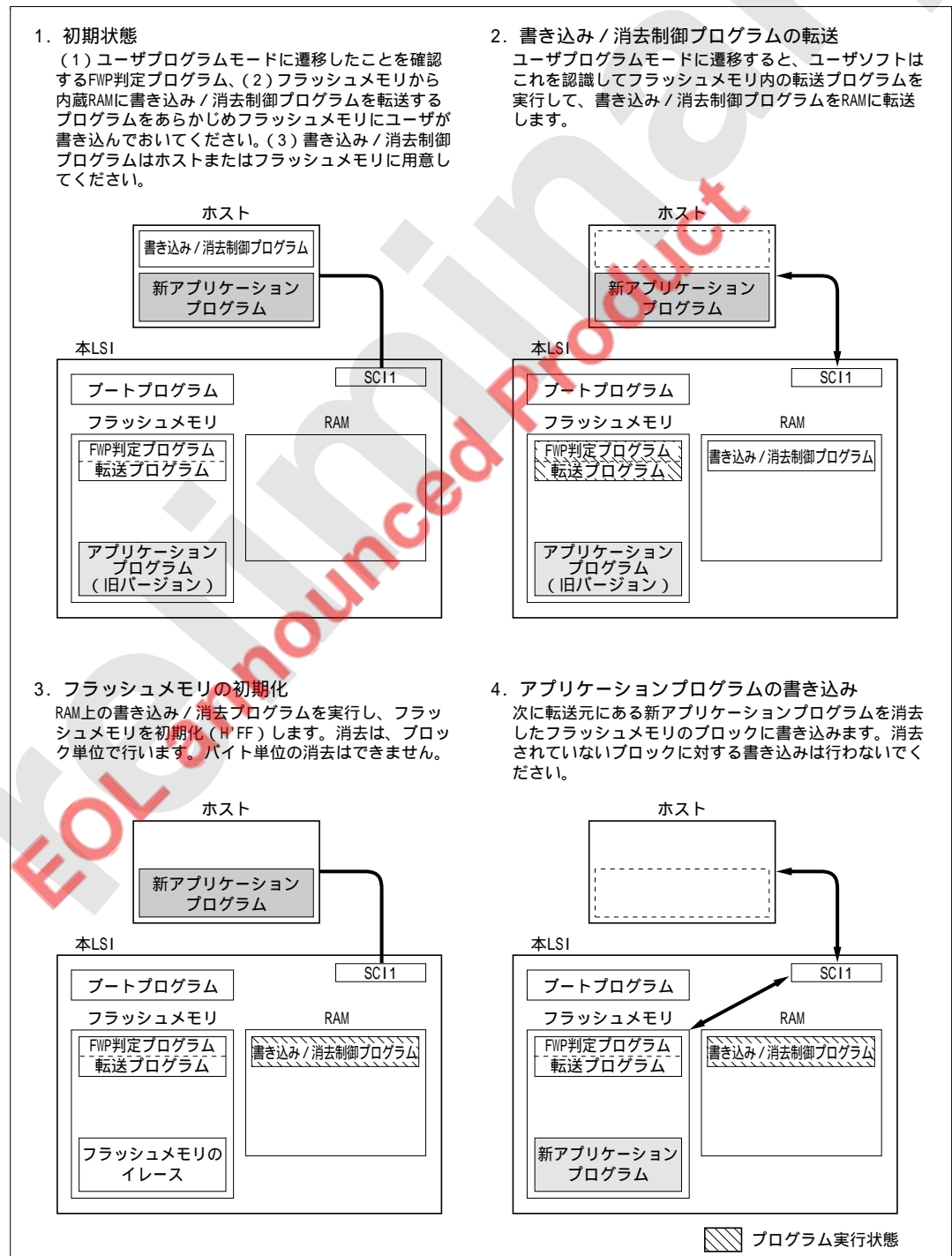


図 16.3 ブートモードによる書き換え動作

(2) ユーザプログラムモード

図 16.4 にユーザプログラムモードによる書き換え動作の例を示します。ユーザプログラムモードについての詳細は「16.6.2 ユーザプログラムモード」を参照してください。



16.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

<ユーザモード>

<ユーザプログラムモード>

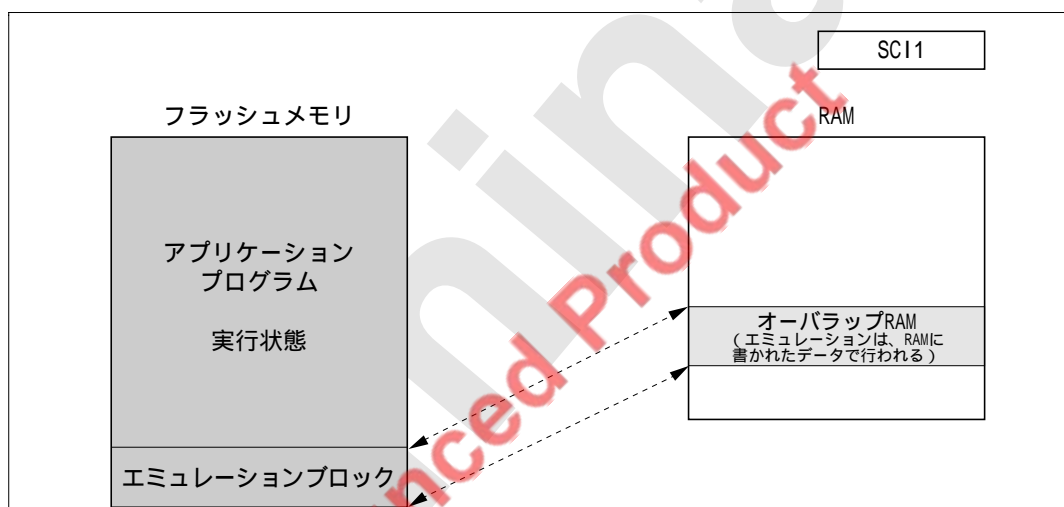


図 16.5 RAM エミュレーション (RAM のオーバーラップ)

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

< ユーザプログラムモード >

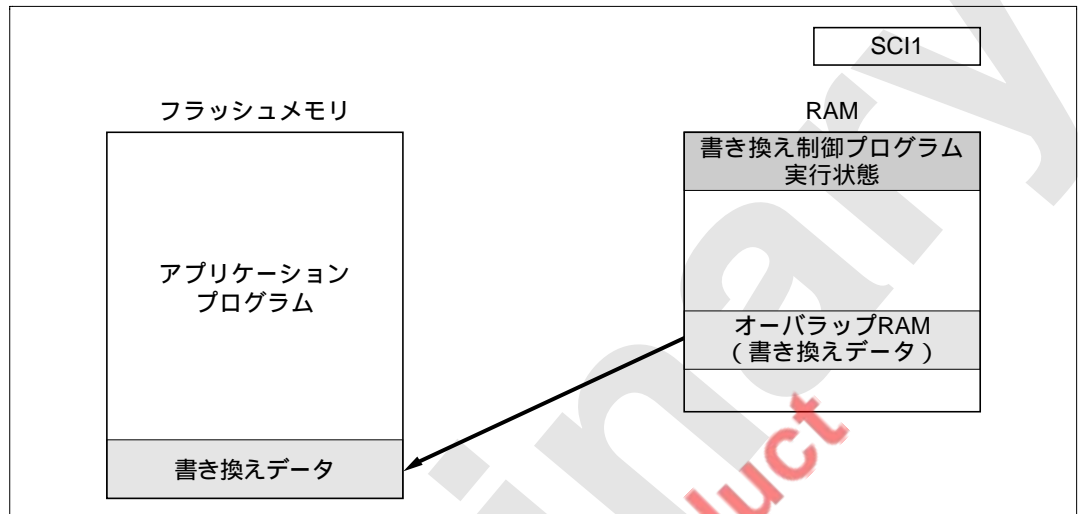


図 16.6 RAM エミュレーション (フラッシュメモリの書き換え)

16.2.5 ブートモードとユーザプログラムモードの相違

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2) (3)

(1) イレース/イレースベリファイ

(2) プログラム/プログラムベリファイ

(3) エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

16.2.6 ブロック分割法

フラッシュメモリの消去エリアは、4kB (8ブロック)、32kB (2ブロック)、64kB (1ブロック)に分割されています。ユーザプログラムモードでは、ブロック単位に消去できます。

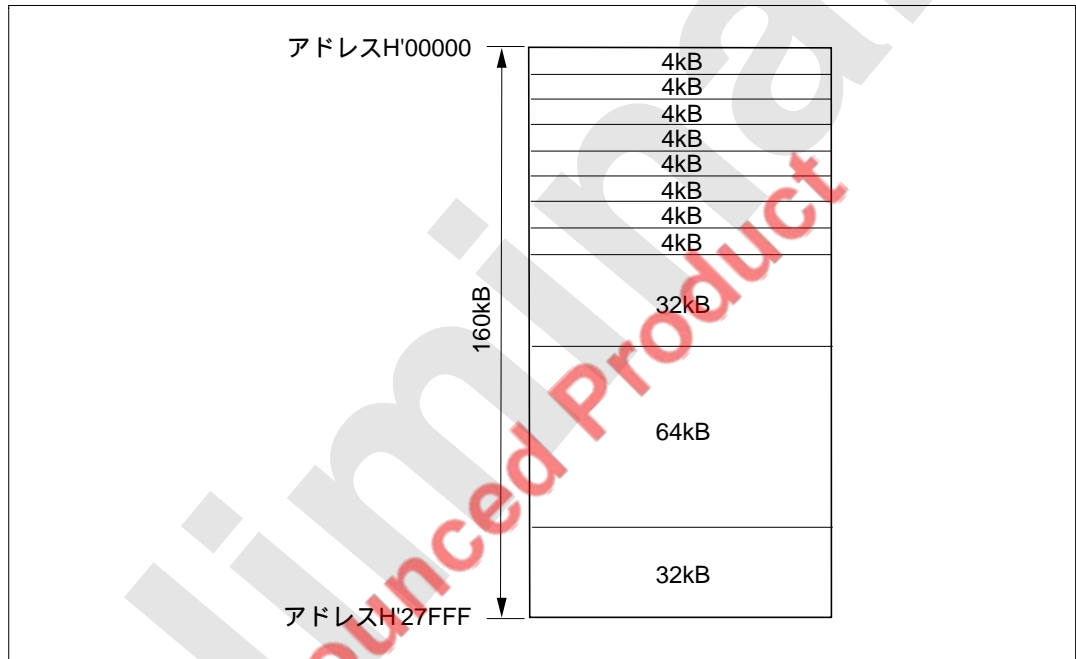


図 16.7 消去エリアのブロック分割

16.3 端子構成

フラッシュメモリは表 16.1 に示す端子により制御されます。

表 16.1 端子構成

端子名	略称	入出力	機能
パワーオンリセット	RES	入力	パワーオンリセット
フラッシュライトプロテクト	FWP	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 3	MD3	入力	本 LSI の動作モードを設定
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD	出力	シリアル送信データ出力
レシーブデータ	RxD	入力	シリアル受信データ入力

16.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 16.2 に示します。

表 16.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	アクセスサイズ
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W*1	H'00*2	H'FFFF8580	8
フラッシュメモリコントロールレジスタ 2	FLMCR2	R	H'00	H'FFFF8581	8
ブロック指定レジスタ 1	EBR1	R/W*1	H'00*3	H'FFFF8582	8
ブロック指定レジスタ 2	EBR2	R/W*1	H'00*3	H'FFFF8583	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF8628	8、16、32

- 【注】 *1 FLMCR1 の FWE ビットがセット (FWE = 1) されていないとき、書き込みは無効です。
- *2 FWP 端子にローレベルが入力されているときの初期値は H'80 です。
- *3 FWP 端子にハイレベルが入力されているとき、あるいはローレベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。
- *4 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビット、RAMER は 16 ビットのレジスタです。
- *5 FLMCR1、FLMCR2、EBR1、EBR2 はバイトアクセスのみ有効で、3 サイクルとなります。RAMER はバイトアクセス時、ワードアクセス時は 3 サイクル、ロングワードアクセス時は 6 サイクルとなります。
- *6 RAMER にロングワードで書き込み動作を行う場合、下位ワード (H'FFFF8630 番地) には常に 0 を書き込んでください。0 以外の値を書き込んだ場合、動作の保証はできません。

16.5 レジスタの説明

16.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FWE=1 のとき、SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード/イレースベリファイモードに遷移します。プログラムモードへ遷移させるには、FWE=1 のとき、SWE=1 にし、PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移させるには、FWE=1 のとき、SWE=1 にし、ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、パワーオンリセット、スタンバイモードで初期化されます。FWP 端子にローレベルが入力されているときの初期値は H'80 です。ハイレベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、SWE、ESU、PSU、EV、PV ビットへの書き込みは FWE=1、SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへの書き込みは FWE=1、SWE=1、PSU=1 のときのみ有効です。

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトする FWP 端子の状態を表示するビットです。

ビット 7	説明
FWE	
0	FWP 端子にハイレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWP 端子にローレベルが入力されているとき

ビット6：ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの有効または無効を選択するビットです (ビット5~0、EBR1の7~0ビット、EBR2の2~0ビットをセットする前にセットしてください)。SWE=1のときは、プログラムベリファイ/イレースベリファイモード以外では、フラッシュメモリを読み出すことはできません。

ビット6	説 明	
SWE		
0	書き込み無効	(初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき	

ビット5：イレースセットアップビット (ESU)

イレースモードへの遷移の準備をするビットです (SWE、PSU、EV、PV、E、Pビットを同時に設定しないでください)。

ビット5	説 明	
ESU		
0	イレースセットアップ解除	(初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき	

ビット4：プログラムセットアップビット (PSU)

プログラムモードへの遷移の準備をするビットです (SWE、ESU、EV、PV、E、Pビットを同時に設定しないでください)。

ビット4	説 明	
PSU		
0	プログラムセットアップ解除	(初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき	

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1 のとき

16.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 は、フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無をモニタする 8 ビットのレジスタです。FLMCR2 は、パワーオンリセットで H'00 に初期化されます。

内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] パワーオンリセットのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「16.8.3 エラープロテクト」参照

ビット6~0：予約ビット

読み出すと常に 0 が読み出されます。

16.5.3 ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、パワーオンリセット、ソフトウェアスタンバイモード、FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態となります。EBR1 は EBR2 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。2 ビット以上を設定した場合は、ESU、E ビットへの書き込みは無効となります。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 16.3 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.5.4 ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、パワーオンリセット、ソフトウェアスタンバイモード、FWP 端子にハイレベルが入力されているとき、および FWP 端子にローレベルが入力されていても FLMCR1 の SWE が設定されていないときは、H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態となります。内蔵フラッシュメモリが無効のときは、読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 16.3 を参照してください。

ビット :	7	6	5	4	3	2	1	0
						EB10	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット 7 ~ 3 : 予約ビット

読み出すと常に 0 が読み出されます。

表 16.3 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4kB)	H'000000 ~ H'000FFF
EB1 (4kB)	H'001000 ~ H'001FFF
EB2 (4kB)	H'002000 ~ H'002FFF
EB3 (4kB)	H'003000 ~ H'003FFF
EB4 (4kB)	H'004000 ~ H'004FFF
EB5 (4kB)	H'005000 ~ H'005FFF
EB6 (4kB)	H'006000 ~ H'006FFF
EB7 (4kB)	H'007000 ~ H'007FFF
EB8 (32kB)	H'008000 ~ H'00FFFF
EB9 (64kB)	H'010000 ~ H'01FFFF
EB10 (32kB)	H'020000 ~ H'027FFF

16.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセットのときに H'0000 に初期化されます。スタンバイモード時には、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。

フラッシュメモリエリアの分割法は、表 16.4 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	RAMS	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット15～3：予約ビット

読み出すと常に0が読み出されます。

ビット2：RAMセレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS=1 のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット2	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

ビット1、0：フラッシュメモリエリア選択 (RAM1、RAM0)

ビット2と共に使用し、RAMと重ね合わせるフラッシュメモリエリアを選択します。各ブロックの先頭アドレス1kB分のみ重ね合わせることができます。(表16.4参照)

表 16.4 フラッシュメモリエリアの分割

アドレス	ブロック名	RAMS	RAM1	RAM0
H'FFF800 ~ H'FFFBFF	RAM エリア 1kB	0	*	*
H'004000 ~ H'0043FF	EB4 (1kB)	1	0	0
H'005000 ~ H'0053FF	EB5 (1kB)	1	0	1
H'006000 ~ H'0063FF	EB6 (1kB)	1	1	0
H'007000 ~ H'0073FF	EB7 (1kB)	1	1	1

16.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定し、パワーオンリセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 16.5 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 16.2 を参照してください。

表 16.5 オンボードプログラミングモードの設定方法

モード名	FWP	MD3	MD2	MD1	MD0
ブートモード	0	0	0	0	0
ユーザプログラムモード	0	0	0	1	0

16.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI1 のチャンネルは調歩同期式モードに設定されています。

パワーオンリセット状態で本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意したユーザプログラムを SCI1 (RxD, TxD) を使って本 LSI へ順次送信します。本 LSI では、SCI1 で受信したユーザプログラムを内蔵 RAM のユーザプログラムエリアに書き込みます。転送終了後ユーザプログラムエリアの先頭アドレスに分岐し、ユーザプログラム実行状態となります (フラッシュメモリの書き込みを行います)。したがって、転送するユーザプログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 16.8 にブートモード時のシステム構成図、図 16.9 にブートプログラムモード実行手順を示します。

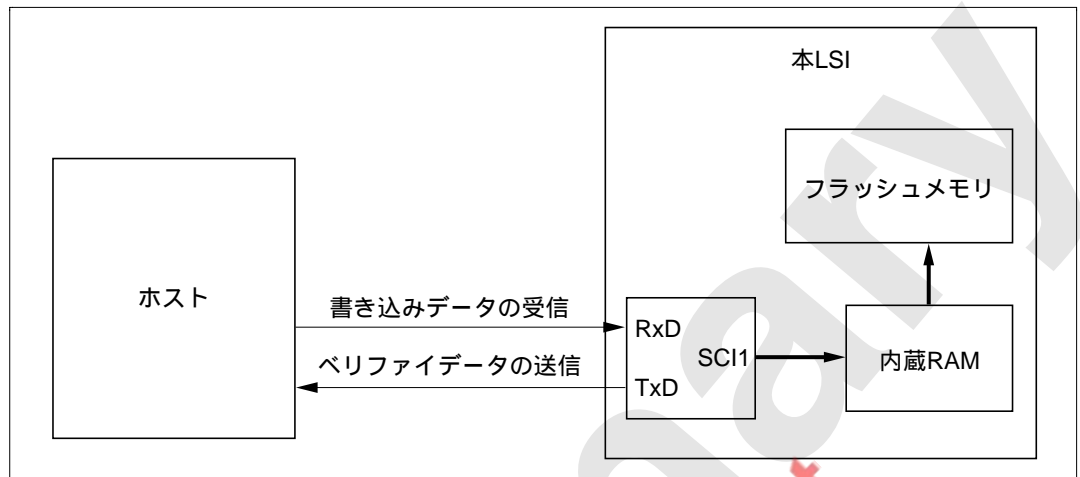


図 16.8 ブートモード時のシステム構成図

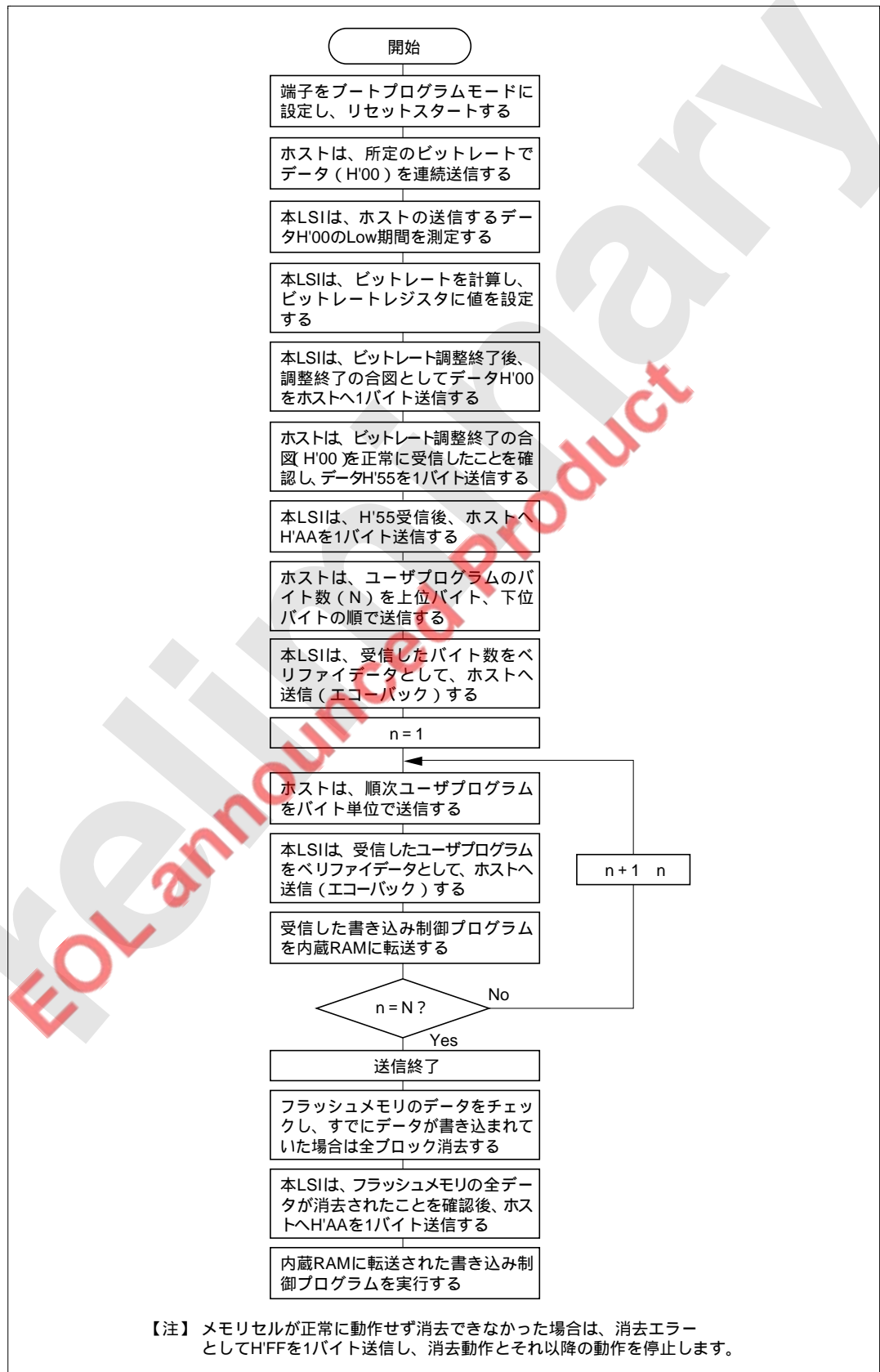
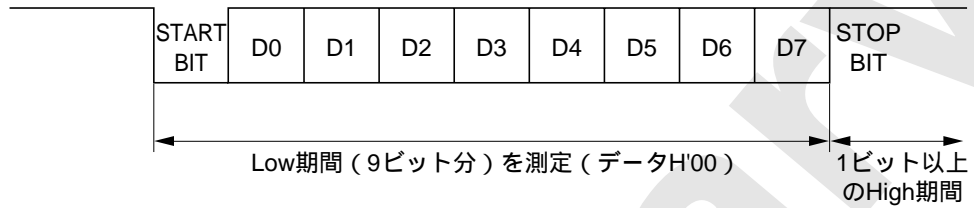


図 16.9 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (パワーオンリセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps、19200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 16.6 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 16.6 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
19200bps	16MHz ~ 20MHz
9600bps	8M ~ 20MHz
4800bps	4M ~ 20MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 16.10 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。



図 16.10 ブートモード時の RAM エリア

【注】 RAM 内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

16.6.2 ユーザプログラムモード

FWP 端子を設定後、あらかじめユーザが用意した、書き込み / 消去制御プログラムに分岐し、実行してください。

フラッシュメモリへの書き込み / 消去を行っている間は、フラッシュメモリ自身を読み出すことはできませんので、書き込み / 消去を行う制御プログラムは内蔵 RAM / 外部メモリ上で実行するようにしてください。

フラッシュメモリに書き込む書き換え制御用プログラム (RAM に転送する場合は、以下の手順を実行するようにしてください (図 16.11))。

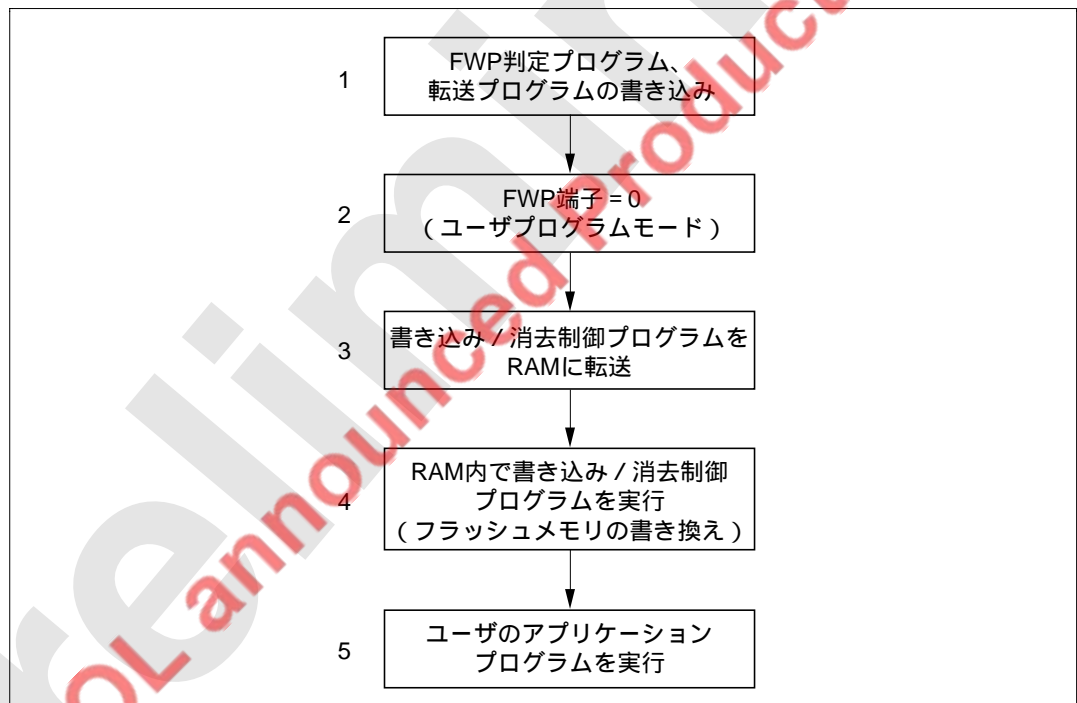


図 16.11 ユーザプログラムモードの実行手順

【注】 書き込み / 消去時は、ウォッチドッグタイマを起動し、プログラム暴走などに対応できるようにしてください。プログラム暴走などによって過剰書き込み / 過剰消去になるとメモリセルが正常に動作しないことがあります。

16.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。従って、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM あるいは外部メモリ上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWP 端子をローレベルにしてください (FWP 端子がハイレベルのときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。

16.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 16.12 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、1 μ s 以上の時間が経過してから、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません) に 128 バイトのデータを連続して書き込みます (データ転送はバイト単位で 128 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、50 μ s 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフローの中の表に従ってください。

16.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCR1 の P ビットを解除後、5 μ s 以上の時間が経過してから PSU ビットを解除) します。ウォッチドッグタイマを 5 μ s 以上の時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ HFF をダミーライトしてください。ダミーライトは 4 μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 32 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 μ s 以上おいてから行ってください。次に書き込み元データとベリファイデータを比較し、再書き込みデータを演算 (図 16.12 参照) し、再書き込みデータエリアに転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、2 μ s 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、1000 回を超えないようにしてください。

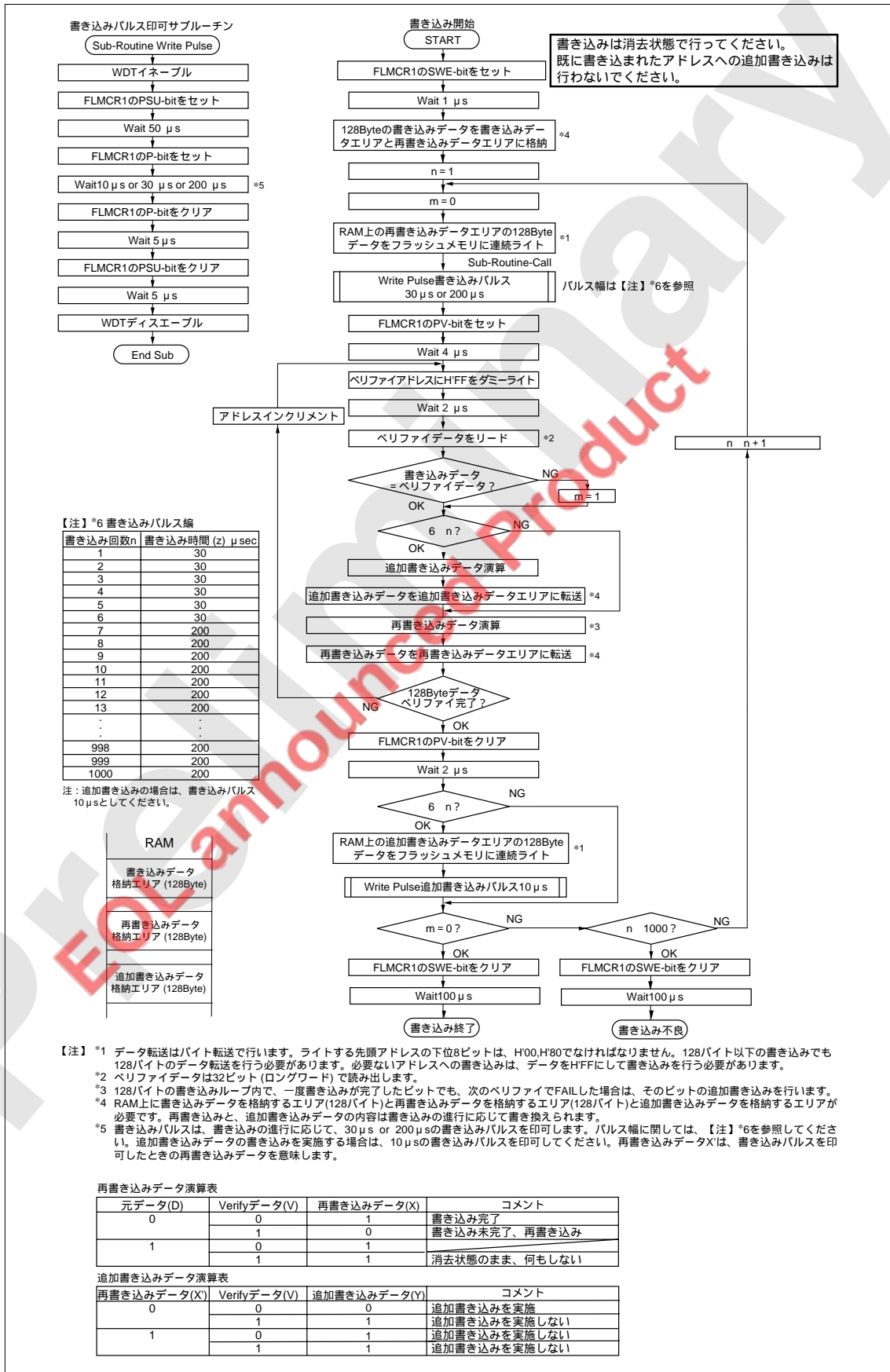


図 16.12 プログラム / プログラムペリファイフロー

128 バイト書き込みのプログラム例

ウェイト時間の設定値 (ループ回数) は、 $f = 20\text{MHz}$ 時の値です。異なる周波数の場合は、ウェイト時間 (μS) $\times f (\text{MHz}) \div 4$ で求めてください。

使用レジスタと使用方法

R4 (入力) : 書き込みデータ格納アドレス

R5 (入力) : 書き込み先アドレス

R7 (出力) : OK(正常) or NG(異常)

R0-3、6、8-13 : ワーク

```

FLMCR1      .EQU    H'80
OK           .EQU    H'0
NG           .EQU    H'1
Wait_X      .EQU    5
Wait_Y      .EQU    250
Wait_Z1     .EQU    150
Wait_Z2     .EQU    1000
Wait_a      .EQU    25
Wait_b      .EQU    25
Wait_c      .EQU    20
Wait_d      .EQU    10
Wait_e      .EQU    10
WDT_TCSR    .EQU    H'FFFF1000
WDT_819u    .EQU    H'A579
SWESET      .EQU    B'01000000
PSUSET      .EQU    B'00010000
PSET        .EQU    B'00000001
PCLEAR      .EQU    B'11111110
PSUCLEAR    .EQU    B'11101111
PVSET       .EQU    B'00000100
PVCLEAR     .EQU    B'11111011
SWECLEAR    .EQU    B'10111111
MAXVerify   .EQU    1000
;
FlashProgram .EQU    $
    MOV     #H'01,R2           ; R2 ワークレジスタ(1)
    MOV.L   #PdataBuff,R0     ; 書き込みデータをワークエリアへ退避
    MOV     R4,R12
    MOV     #32,R13
COPY_LOOP   .EQU    $

```

```

MOV.L   @R12+,R1
MOV.L   R1,@R0
ADD.L   #4,R0
ADD.L   #-1,R13
CMP/PL  R13
BT      COPY_LOOP
MOV.L   #H'FFFF8500,R0      ; GBRを初期化
LDC     R0,GBR
;
MOV.L   #Wait_X,R3
MOV.L   #FLMCR1,R0          ; R0をFLMCR1のアドレスに初期化
OR.B    #SWESET,@(R0,GBR)  ; SWEをセット
Wait_1  SUBC  R2,R3          ; (X)us ウェイト
        BF    Wait_1
;
MOV.L   #0,R9               ; m(R9)を0で初期化
;
Program_loop .EQU  $
MOV.L   #0,R10              ; m(R10)を0で初期化
MOV.L   #128,R3             ; 128バイトデータを連続ライト
MOV.L   #PdataBuff,R12
MOV.L   R5,R13
;
Write_Loop .EQU  $
MOV.B   @R12+,R1
MOV.B   R1,@R13
ADD.L   #1,R13
ADD.L   #-1,R3
CMP/PL  R3
BT      Write_Loop
;
MOV.L   #WDT_TCSR,R1        ; WDTイネーブル
MOV.W   #WDT_819u,R3       ; 819us 周期
MOV.W   R3,@R1
;
MOV.L   #Wait_Y,R3
OR.B    #PSUSET,@(R0,GBR)  ; PSUをセット
Wait_2  SUBC  R2,R3          ; (Y)us ウェイト
        BF    Wait_2
;

```

```

        MOV.W #WAIT_Z1,R3          ; 1~4 回目
        MOV.W #4,R1
        CMP/EQ R9,R1
        BT Under5
        MOV.W #WAIT_Z5,R3          ; 5~1000 回目
Under5  OR.B #PSET,@(R0,GBR)       ; P をセット
Wait_3  SUBC R2,R3                 ; (Z)us ウェイト
        BF Wait_3
;
        MOV.L #Wait_a,R3
        AND.B #PCLEAR,@(R0,GBR)   ; P をクリア
Wait_4  SUBC R2,R3                 ; (a)us ウェイト
        BF Wait_4
;
        MOV.L #Wait_b,R3
        AND.B #PSUCLEAR,@(R0,GBR) ; PSU をクリア
Wait_5  SUBC R2,R3                 ; (b)us ウェイト
        BF Wait_5
;
        MOV.L #WDT_TCSR,R1         ; WDT ディスエーブル
        MOV.W #H'A55F,R3
        MOV.W R3,@R1
;
        MOV.L #Wait_c,R3
        OR.B #PVSET,@(R0,GBR)     ; PV をセット
Wait_6  SUBC R2,R3                 ; (c)us ウェイト
        BF Wait_6
;
        MOV.L #PdataBuff,R3
        MOV.L R4,R1
        MOV.L R5,R12
        MOV.L #32,R13
        MOV.L #H'FFFFFFFF,R11
;
VerifyLoop .EQU $
        MOV.L R11,@R12             ; ベリファイアドレスに H'FF をライト
        MOV.L R11,@R3             ; 書き込みデータ RAM(PdataBuff) の初期化
        MOV.L #Wait_d,R7
Wait_7  SUBC R2,R7                 ; (d)us ウェイト
        BF Wait_7
;

```

```

MOV.L @R12+,R7
MOV.L @R1+,R8
CMP/EQ R7,R8 ; ベリファイ
BT Verify_OK
MOV.L #1,R10 ; ベリファイ NG m<-1
NOT R7,R7 ; 再書き込みデータ演算
OR R7,R8
MOV.L R8,@R3 ; 再書き込みデータ RAM(PdataBuff)へ格納
Verify_OK .EQU $
ADD.L #4,R3
ADD.L #-1,R13
CMP/PL R13
BT VerifyLoop
;
MOV.L #Wait_e,R7
AND.B #PVCLEAR,@(R0,GBR) ; PVをクリア
Wait_8 SUBC R2,R7 ; (e)us ウェイト
BF Wait_8
;
CMP/PL R10 ; if m=0 then GOTO Program_OK
BF Program_OK
ADD #1,R9
MOV.L #NG,R7 ; R7<-NG(リターン値)
MOV.L #MAXVerify,R12 ; if n >= (N) then Program NG
CMP/EQ R9,R12
BT Program_end
BRA Program_loop
NOP
Program_OK .EQU $
MOV.L #OK,R7 ; R7<-OK(リターン値)
Program_end .EQU $
MOV.B #H'00,R0
MOV.B R0,@(FLMCR1,GBR) ; SWEをクリア
;
RTS
NOP
;
PdataBuff .RES.B 128

```

16.7.3 イレースモード

フラッシュメモリの消去は1ブロック毎に、図 16.13 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、1 μ s 以上の時間が経過してから、ブロック指定レジスタ n (EBRn) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、100 μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は 10ms を超えないようにしてください。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて 0 にする）を行う必要はありません。

16.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除（FLMCR1 の E ビットを解除後、10 μ s 以上の時間が経過してから ESU ビットを解除）し、ウォッチドッグタイマを 10 μ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは 6 μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す（ベリファイデータは 32 ビットで読み出す）とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、2 μ s おいてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が 100 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、4 μ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

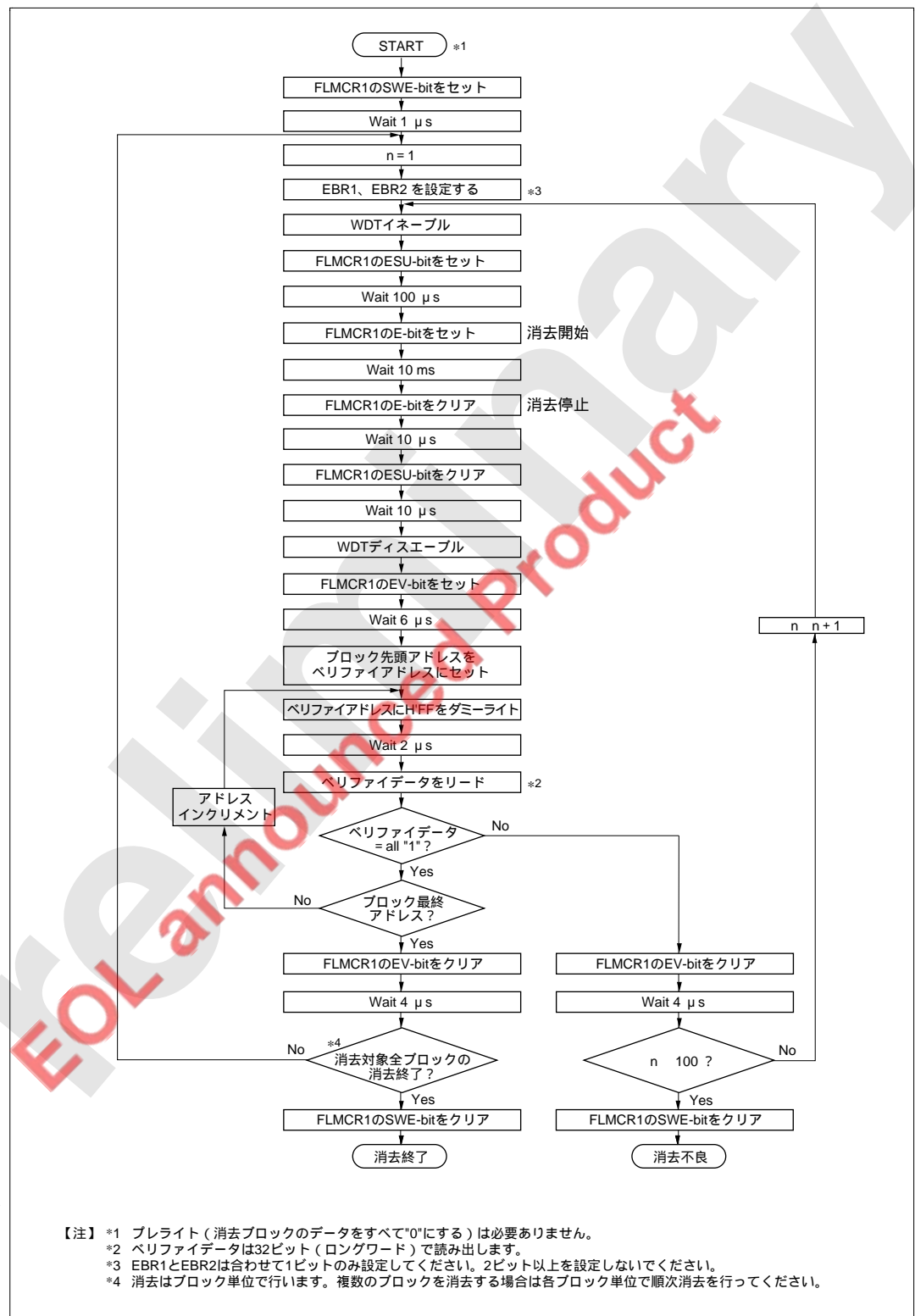


図 16.13 イレース/イレースペリファイフロー（単一ブロック消去）

1 ブロック消去のプログラム例

ウェイト時間の設定値 (ループ回数) は、 $f = 20\text{MHz}$ 時の値です。異なる周波数の場合は、ウェイト時間 (μS) $\times f (\text{MHz}) \div 4$ で求めてください。

使用レジスタと使用方法

R5 (入力) : メモリブロックテーブルポインタ

R7 (出力) : OK(正常) or NG(異常)

R0-3、6、8-9 : ワーク

```

FLMCR1      .EQU   H'80
EBR1        .EQU   H'02
OK           .EQU   H'0
NG           .EQU   H'1
EWait_X     .EQU   5
EWait_Y     .EQU   500
EWait_Z     .EQU   5000
EWait_a     .EQU   50
EWait_b     .EQU   50
EWait_c     .EQU   30
EWait_d     .EQU   10
EWait_e     .EQU   20
WDT_TCSR    .EQU   H'FFFF1000
WDT_13m     .EQU   H'A57D
SWESET      .EQU   B'01000000
ESUSET      .EQU   B'00100000
ESET        .EQU   B'00000010
ECLEAR      .EQU   B'11111101
ESUCLEAR    .EQU   B'11011111
EVSET       .EQU   B'00001000
EVCLEAR     .EQU   B'11110111
SWECLEAR    .EQU   B'10111111
MAXErase    .EQU   100
;
FlashErase  .EQU   $
            MOV.L  #H'FFFF8500,R0
            LDC   R0,GBR                ; GBR 初期化
            MOV.L  #1,R2
;
            MOV.L  #EWait_X,R3

```

```

MOV.L #FLMCR1,R0
OR.B #SWESET,@(R0,GBR) ; SWE のセット
EWait_1 SUBC R2,R3 ; (X)us ウェイト
BF EWait_1
;
MOV.L #0,R9 ; n(R9)を0で初期化
;
MOV.W @(6,R5),R0
MOV.W R0,@(EBR1,GBR) ; 消去メモリブロック(EBR1,2)のセット
MOV.L @R5,R6 ; 消去メモリブロック先頭アドレス->R6
;
EraseLoop .EQU $
MOV.L #WDT_TCSR,R1 ; WDT イネーブル
MOV.W #WDT_13m,R3 ; 13.2ms 周期
MOV.W R3,@R1
;
MOV.L #EWait_Y,R3
MOV.L #FLMCR1,R0
OR.B #ESUSET,@(R0,GBR) ; ESU のセット
EWait_2 SUBC R2,R3 ; (Y)us ウェイト
BF EWait_2
;
MOV.L #EWait_Z,R3
OR.B #ESET,@(R0,GBR) ; E のセット
EWait_3 SUBC R2,R3 ; (Z)ms ウェイト
BF EWait_2
;
MOV.L #EWait_a,R3
AND.B #ECLEAR,@(R0,GBR) ; E のクリア
EWait_4 SUBC R2,R3 ; (a)us ウェイト
BF EWait_4
;
MOV.L #Wait_b,R3
AND.B #ESUCLEAR,@(R0,GBR) ; ESU のクリア
EWait_5 SUBC R2,R3 ; (b)us ウェイト
BF EWait_5
;
MOV.L #WDT_TCSR,R1 ; WDT ディスエーブル

```

```

        MOV.W   #H'A55F,R3
        MOV.W   R3,@R1
;
        MOV.L   #Wait_c,R3
        OR.B    #EVSET,@(R0,GBR) ; EVのセット
EWait_6 SUBC   R2,R3             ; (c)us ウェイト
        BF     EWait_6
;
BlockVerify_1 .EQU    $          ; 消去ベリファイ
        MOV.L   #H'FFFFFFFF,R8
        MOV.L   R8,@R6           ; H'FFをダミーライト
        MOV.L   #EWait_d,R3
EWait_7 SUBC   R2,R3             ; (d)us ウェイト
        BF     EWait_7
;
        MOV.L   @R6+,R1          ; ベリファイデータリード
        CMP/EQ  R8,R1
        BF     BlockVerify_NG
        MOV.L   @(8,R5),R7
        CMP/EQ  R6,R7            ; メモリブロックの終了アドレスチェック
        BF     BlockVerify_1
        MOV.L   #EWait_e,R3
        AND.B   #EVCLEAR,@(R0,GBR) ; EVのクリア
EWait_8 SUBC   R2,R3             ; (e)us ウェイト
        BF     EWait_8
;
        MOV.L   #OK,R7           ; R7<-OK(リターン値)
        BRA    FlashErase_end    ; ベリファイ OK
        NOP
;
BlockVerify_NG .EQU    $
        ADD.L   #1,R9             ; ベリファイ NG n <- n+1
        ADD.L   #-4,R6           ; 次回ベリファイアドレス
        MOV.L   #EWait_e,R3
        AND.B   #EVCLEAR,@(R0,GBR) ; EVのクリア
EWait_9 SUBC   R2,R3             ; (e)us ウェイト
        BF     EWait_9

```

```

MOV.L #MAXErase,R7      ; if n > (N) then 消去NG
CMP/EQ R7,R9
BF EraseLoop
MOV.L #NG,R7            ; R7<-NG(リターン値)
FlashErase_end .EQU $
MOV.L #FLMCR1,R0
AND.B #SWECLEAR,@(R0,GBR); SWEのクリア
;
RTS
NOP
;
; メモリブロックテーブル メモリブロック先頭アドレス : EBR値
.ALIGN 4
Flash_BlockData .EQU $
EB0 .DATA.L H'00000000,H'00000100
EB1 .DATA.L H'00001000,H'00000200
EB2 .DATA.L H'00002000,H'00000400
EB3 .DATA.L H'00003000,H'00000800
EB4 .DATA.L H'00004000,H'00001000
EB5 .DATA.L H'00005000,H'00002000
EB6 .DATA.L H'00006000,H'00004000
EB7 .DATA.L H'00007000,H'00008000
EB8 .DATA.L H'00008000,H'00000001
EB9 .DATA.L H'00010000,H'00000002
EB10 .DATA.L H'00020000,H'00000004
Dummy .DATA.L H'00028000

```

16.8 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの2種類あります。

16.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ 1 (FLMCR1) およびブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定は初期化されます。エラープロテクト状態では、FLMCR1、EBR1、EBR2 の設定は保持します。(表 16.7 参照)

表 16.7 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWP 端子 プロテクト	<ul style="list-style-type: none"> FWP 端子にハイレベルが入力されている時には、FLMCR1、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、 スタンバイ プロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります $\overline{\text{RES}}$ 端子によるパワーオンリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子をローレベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。 		

16.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 16.8 参照)

表 16.8 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビット プロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。 (内蔵 RAM / 外部メモリ上で実行してください。) 		
ブロック 指定 プロテクト	<ul style="list-style-type: none"> ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定により、ブロック毎に消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレー ション プロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。 		

16.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが"1"にセットされ、エラープロテクト状態へ遷移します。この時、FLMCR1、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリを読み出したとき(ベクタリードおよび命令フェッチを含む)
- (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
- (3) 書き込み/消去中に SLEEP 命令(ソフトウェアスタンバイを含む)を実行したとき
- (4) 書き込み/消去中にバス開放したとき

エラープロテクト解除は、パワーオンリセットのみで行われます。

図 16.14 にフラッシュメモリの状態遷移図を示します。

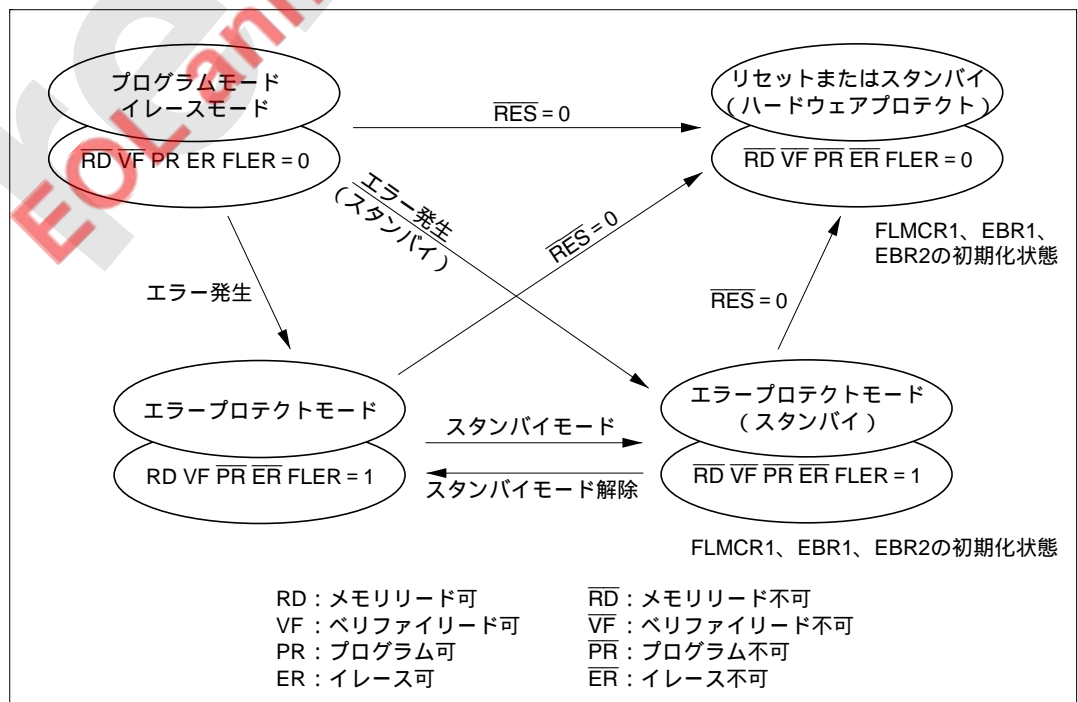


図 16.14 フラッシュメモリの状態遷移図

16.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリを重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 16.15 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

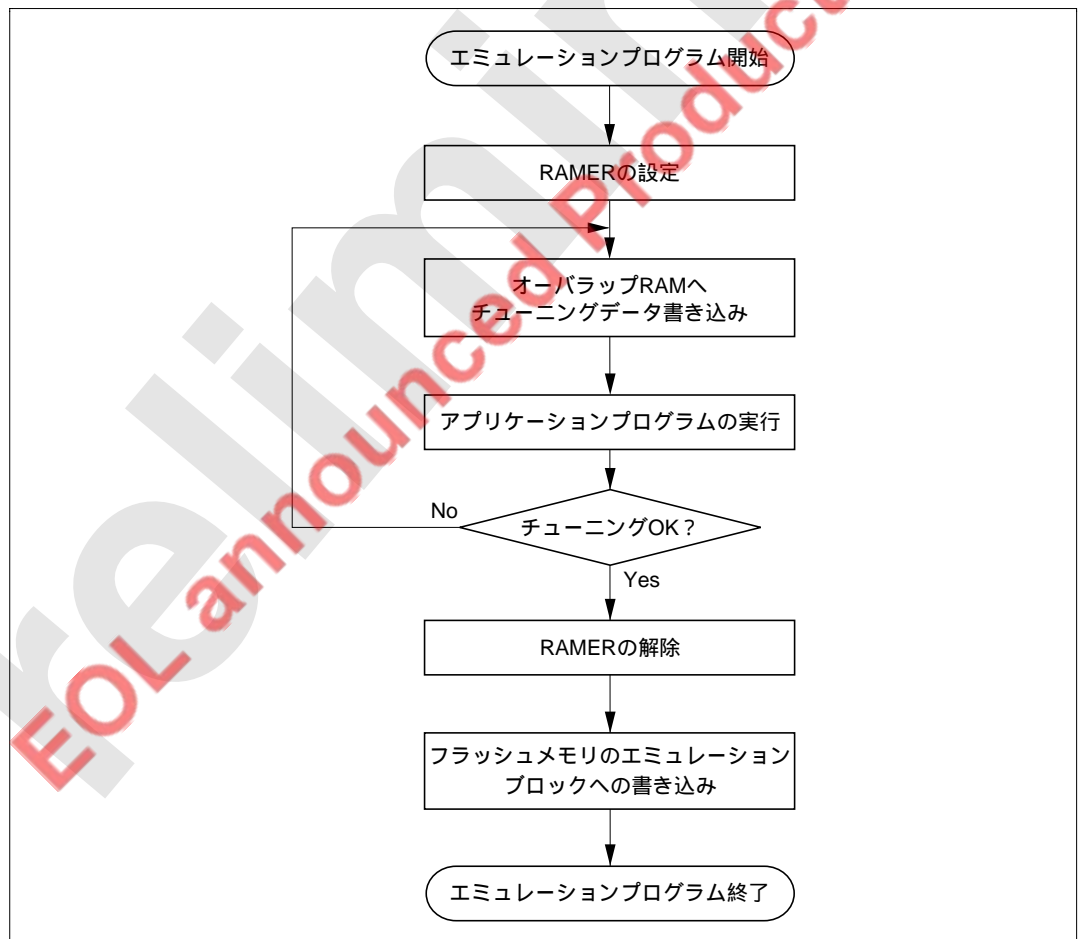


図 16.15 RAM によるエミュレーションフロー

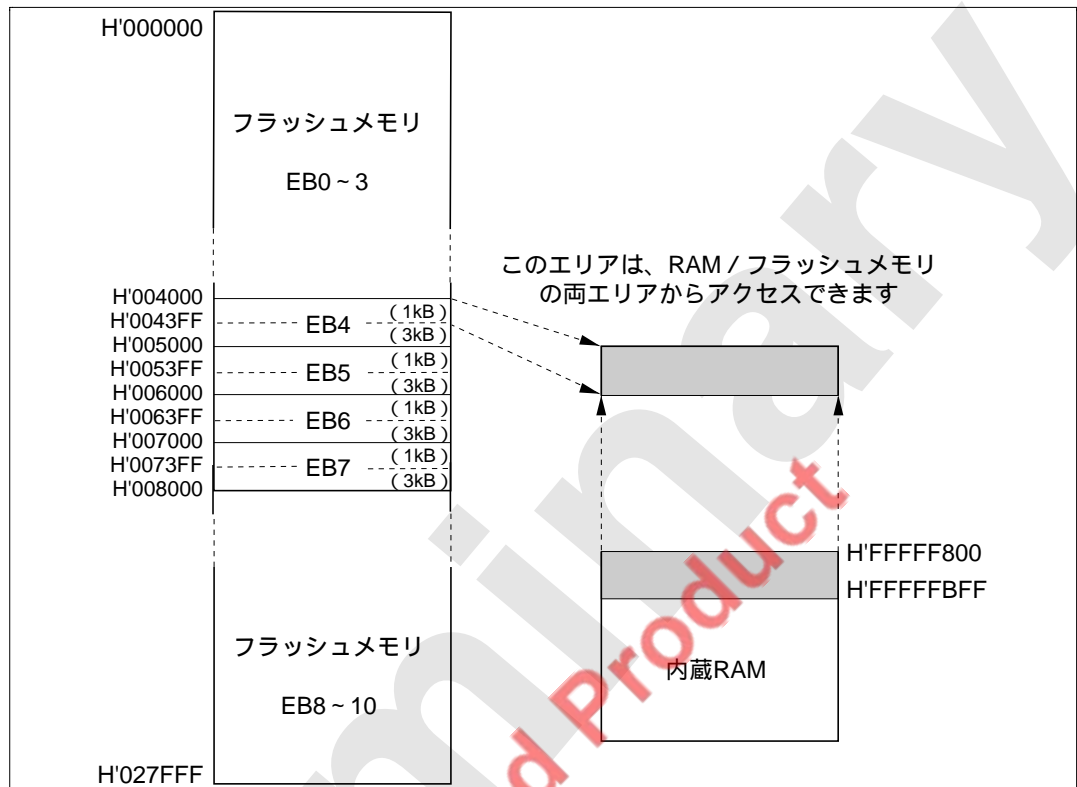


図 16.16 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB4) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB4 の一部。H'004000 ~ H'0043FF) に RAM の一部 (H'FFFFFF800 ~ H'FFFFFFBFF) をオーバーラップさせるには、RAMER の RAMS ビット、RAM1、0 ビットを 1、0、0 に設定してください。
- リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。
- 書き換えデータ確定後、RAMS ビットをクリアして RAM のオーバーラップを解除します。
- オーバーラップさせた RAM に書き込まれたデータをフラッシュメモリ空間 (EB4) に書き込みます。

【注】 1. RAMS ビットを 1 にセットすると RAM1、0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P ビット、E ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。

2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。

16.10 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラムモード (ブートモード、ユーザプログラムモード) 時は、書き込み / 消去動作 (RAM エミュレーションを含む) を最優先とするため、NMI の入力を禁止してください。

16.11 フラッシュメモリのライターモード

プログラム/データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

ライターモードでは、モード端子をライターモード (表 16.9 参照) に設定し、入力クロックとして 12MHz を入力してください。

表 16.9 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.2 端子一覧」を参照してください。

表 16.9 ライターモードの端子設定方法

端子名	設定
モード端子 : MD3、MD2、MD1、MD0	MD3=1、MD2=1、MD1=0、MD0=1
FWE 端子	ハイレベルを入力 (自動書き込み、自動消去時)
RES 端子	パワーオンリセット回路
XTAL、EXTAL 端子	発振回路

【注】 ライターモード時は、FWP 端子は極性反転し、FWE (フラッシュライトイネーブル) 端子になります。

16.11.1 ソケットアダプタの端子対応図

図 16.18 に示すようにソケットアダプタを LSI に取り付けてください。これによって、32ピンにピン変換することができます。内蔵ROMのメモリマップを図 16.17 に、ソケットアダプタの端子対応図を図 16.18 に示します。

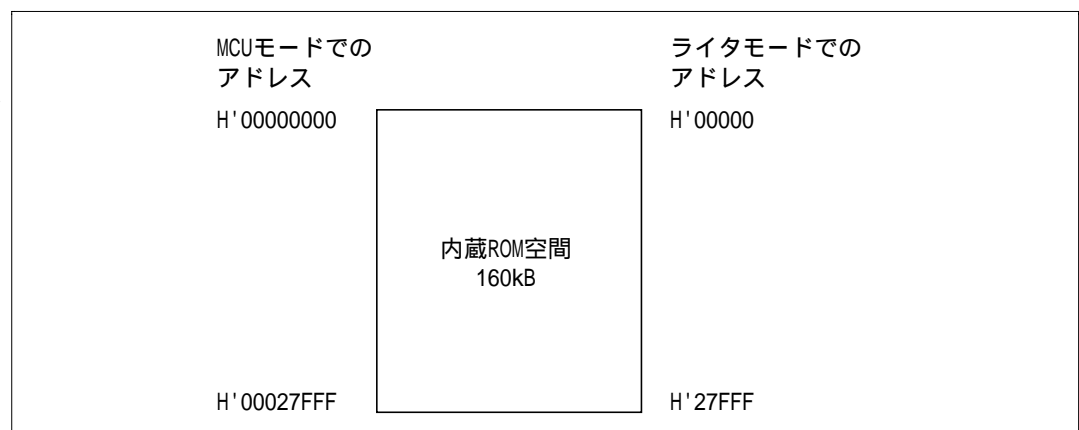


図 16.17 内蔵ROMのメモリマップ

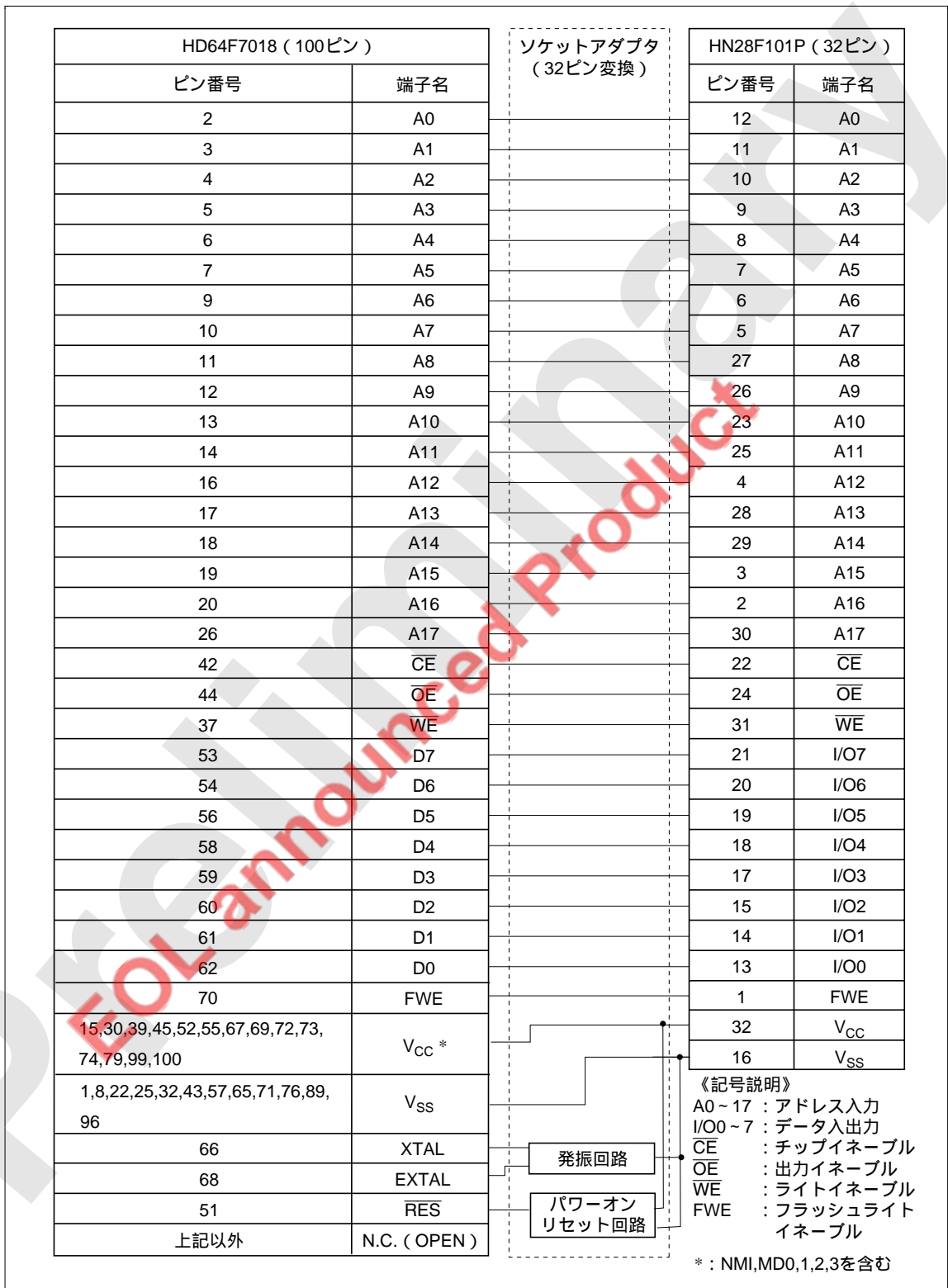


図 16.18 ソケットアダプタの端子対応図

16.11.2 ライタモードの動作

表 16.10 にライタモード時の各動作モードの設定方法、表 16.11 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 の信号を読み出すことで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 16.10 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O7 ~ I/O0	A17 ~ A0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	Ain
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-z	Ain

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 16.11 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

16.11.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 16.12 メモリ読み出しモード時の AC 特性

(条件: $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

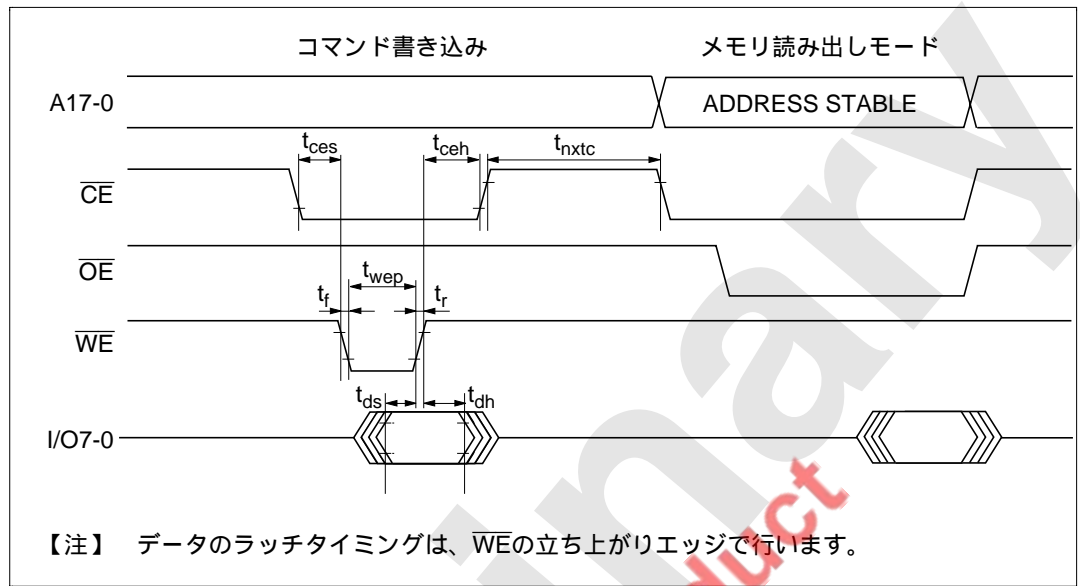


図 16.19 コマンド書き込み後メモリ読み出しタイミング波形

表 16.13 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

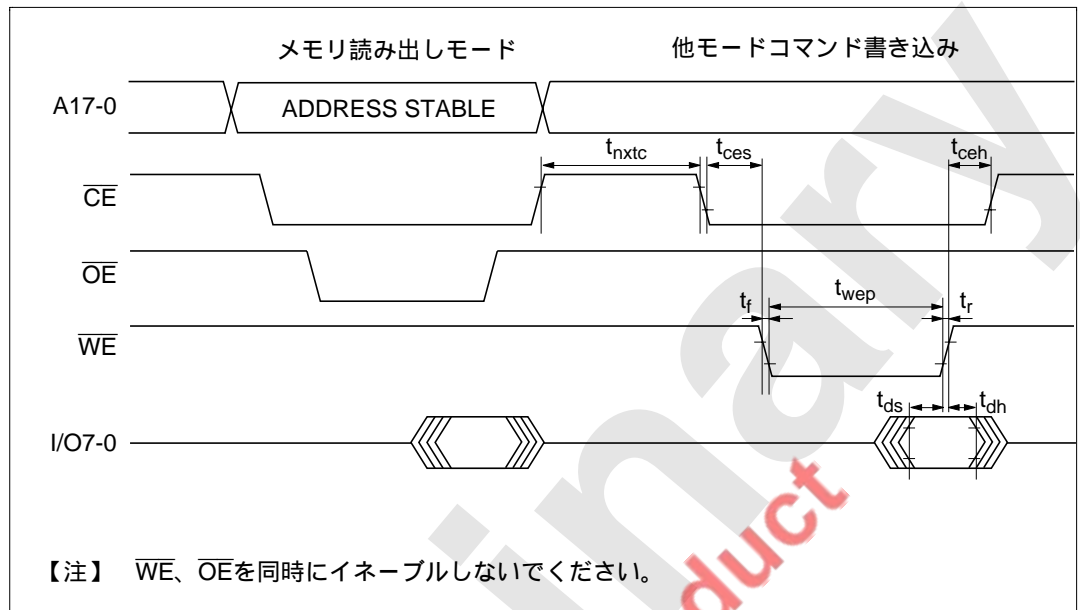


図 16.20 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 16.14 メモリ読み出しモード時の AC 特性

(条件: $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
CE 出力遅延時間	t_{ce}		150	ns	
OE 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

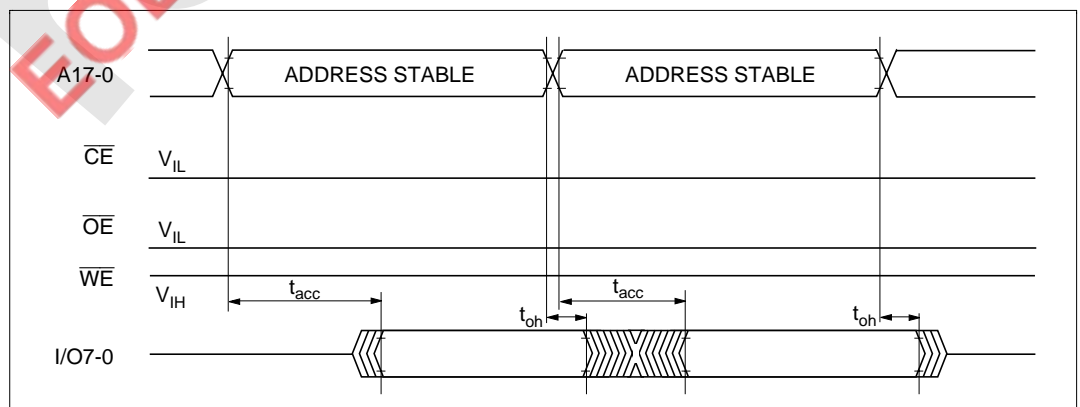
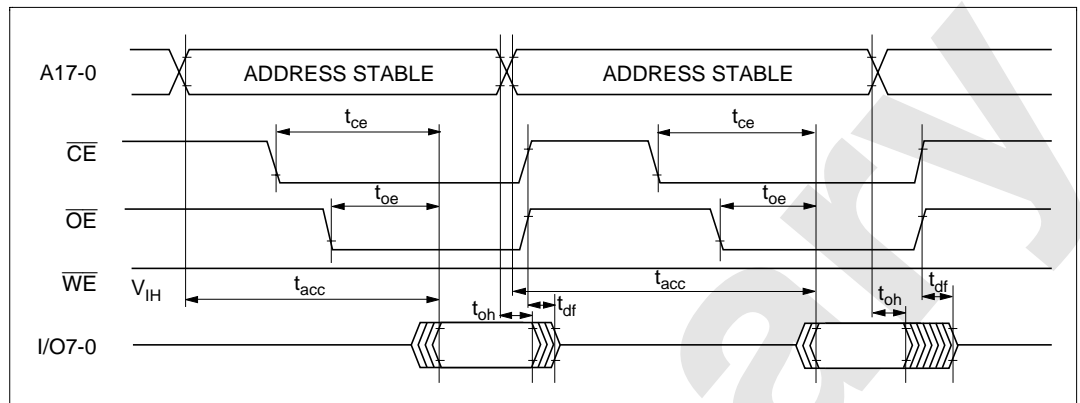


図 16.21 CE、OE イネーブ爾状態リード時のタイミング波形

図 16.22 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

16.11.4 自動書き込みモード

- (1) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (2) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを H'FF にして書き込みを行う必要があります。
- (3) 転送するアドレスの下位 8 ビットは、H'00、H'80 でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第 2 サイクルで行います (図 16.23)。第 3 サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの 128 バイト単位のブロックに対して、1 回の自動書き込みで行ってください。既に書き込まれたアドレスブロックへの 2 回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7 番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングの I/O6、I/O7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 16.15 自動書き込みモード時の AC 特性

(条件: $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100		ns	
書き込み終了セットアップ時間	t_{pnh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

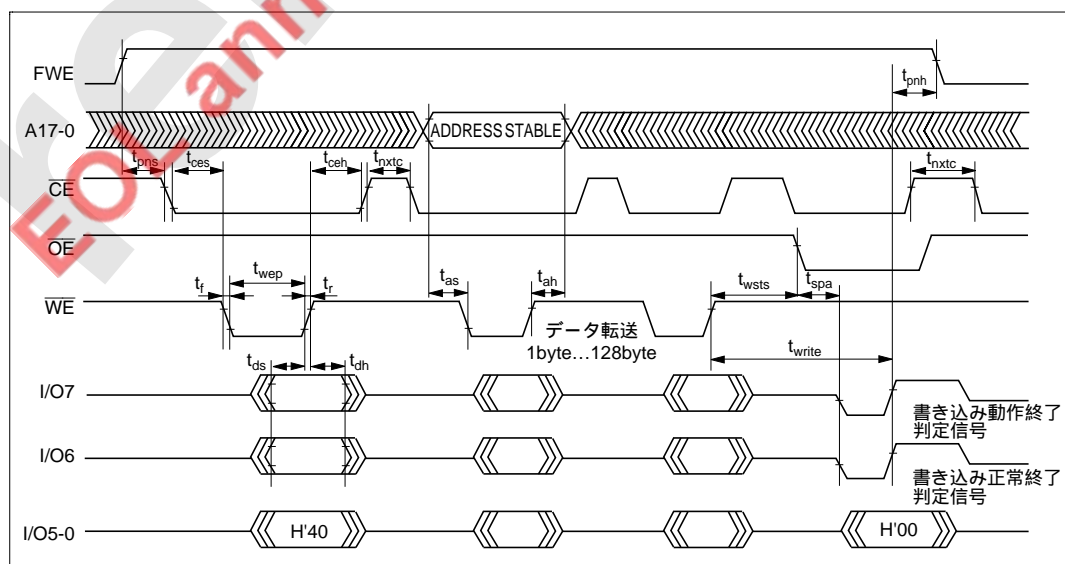


図 16.23 自動書き込みモードのタイミング波形

16.11.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7番のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにするにより読み出し可能となります。

表 16.16 自動消去モード時の AC 特性

(条件: $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100		ns	
消去終了セットアップ時間	t_{enh}	100		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

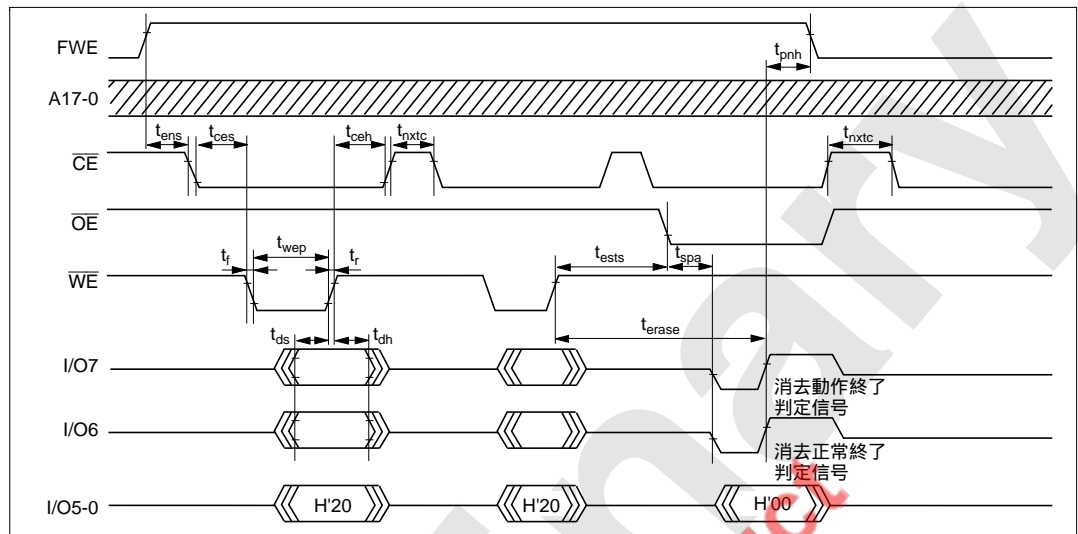


図 16.24 自動消去モードのタイミング波形

16.11.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード / 自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 16.17 ステータス読み出しモード時の AC 特性

(条件: $V_{CC} = 3.3V \pm 0.3V$, $V_{SS} = 0V$, $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
OE 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
CE 出力遅延時間	t_{ce}		150	ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

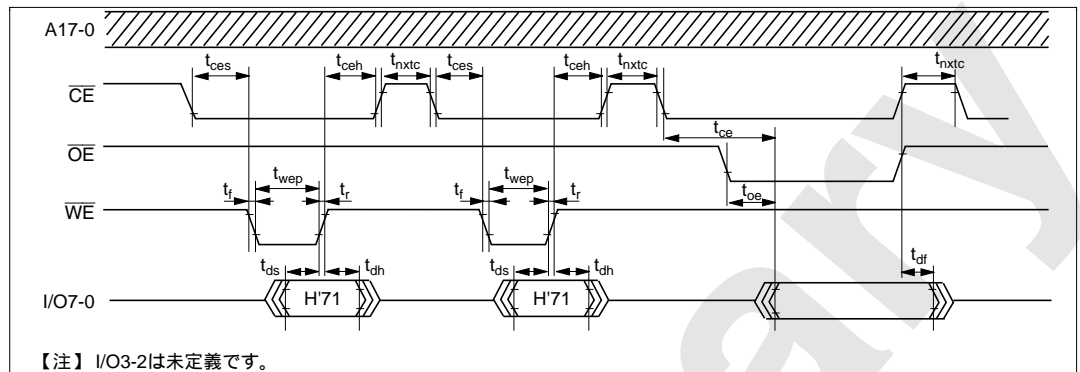


図 16.25 ステータス読み出しモードのタイミング波形

表 16.18 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効 アドレス エラー:1 その他:0

【注】 I/O2、3は未定義

16.11.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 16.19 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O5 ~ I/O0	0	0	0	0

16.11.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 16.20 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除 (発振安定時間)	t_{osc1}	30		ms	
ライタモードセットアップ時間	t_{bmv}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

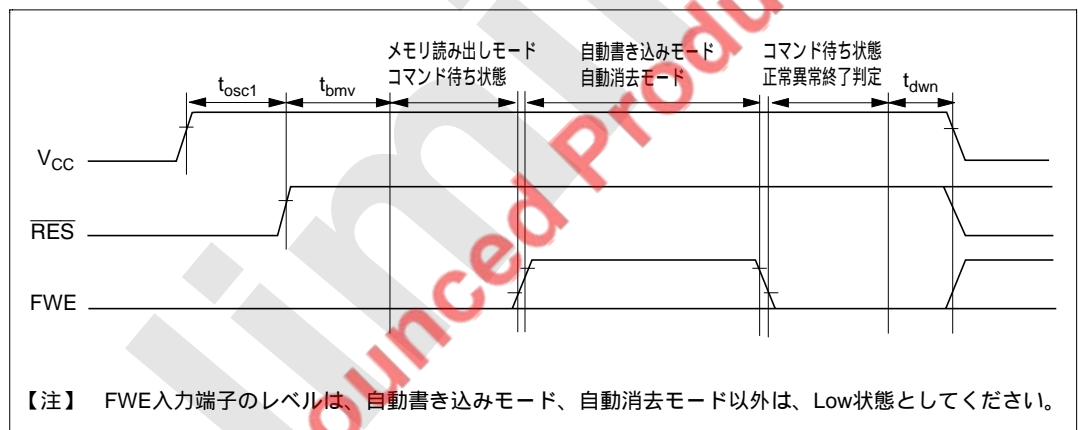


図 16.26 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

16.11.9 メモリ書き込み注意事項

- (1) 既にかき込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. 日立出荷品の初期状態は、消去状態。これ以外の消去来歴不明チップに対して、初期化 (消去) レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。既にかき込まれたアドレスブロックへの追加書き込みは行えません。

17. RAM

第 17 章 目次

17.1 概要	17-3
---------------	------

Preliminary
EOL announced Product

Preliminary
EOL announced Product

17.1 概要

SH7018 は 4k バイトの RAM を内蔵しています。内蔵 RAM は、32 ビット幅のデータバスを介して、CPU に接続されており（図 17.1）、8、16 または 32 ビット幅で、内蔵 RAM をアクセスすることができます。内蔵 RAM のデータは、常に 1 ステートでアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータエリアとしての使用に適しています。内蔵 RAM の内容は、スリープモード、スタンバイモードでは保持されません。

内蔵 RAM は、メモリアrea のアドレス H'FFFFFF000 ~ H'FFFFFFFFF に割り付けられています。

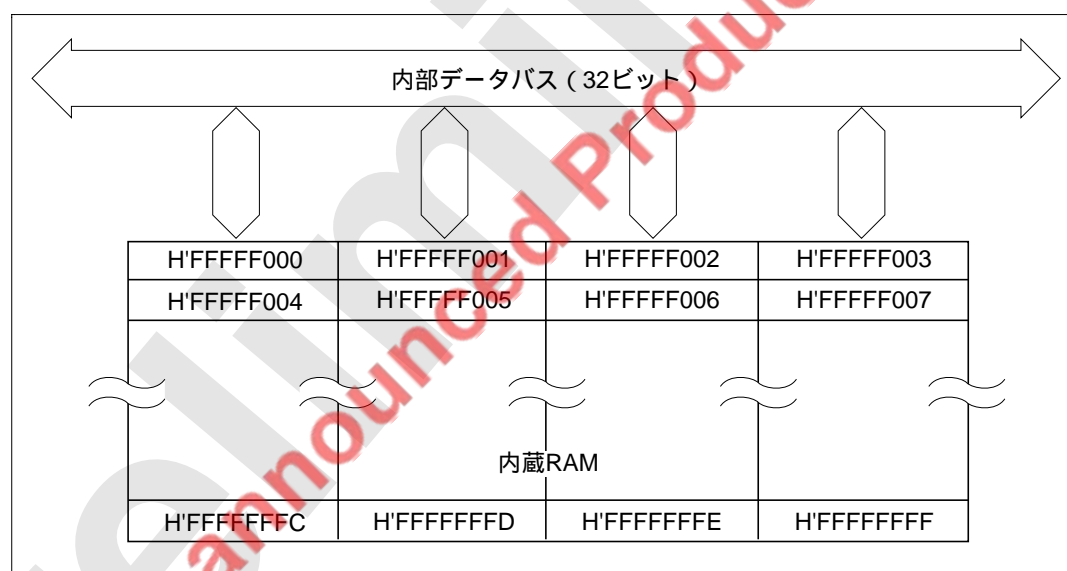


図 17.1 RAM のブロック図

18. 低消費電力状態

第 18 章 目次

18.1 概要	18-3
18.1.1 低消費電力状態の種類	18-3
18.1.2 関連レジスタ	18-4
18.2 スタンバイコントロールレジスタ (SBYCR)	18-5
18.3 スリープモード	18-6
18.3.1 スリープモードへの遷移	18-6
18.3.2 スリープモードの解除	18-6
18.4 スタンバイモード	18-7
18.4.1 スタンバイモードへの遷移	18-7
18.4.2 スタンバイモードの解除	18-9
18.4.3 スタンバイモードの応用例	18-10

Preliminary
EOL announced Product

18.1 概要

低消費電力状態では、CPUが機能を停止します。これによって、本LSIの消費電力を著しく低減させることができます。

18.1.1 低消費電力状態の種類

低消費電力状態には、次の2種類のモードがあります。

- (1) スリープモード
- (2) スタンバイモード

プログラム実行状態から各モードへ遷移する条件、各モードでのCPUや周辺機能などの状態、各モードの解除方法について、表18.1に示します。

表 18.1 低消費電力状態

モード	遷移の条件	状態						解除方法
		クロック	CPU	内蔵周辺モジュール	CPUレジスタ	内蔵RAM	I/Oポート端子	
スリープモード	SBYCRのSBYをクリアした状態で、SLEEP命令を実行	動作	停止	動作	保持	保持	保持	(1) 割り込み (2) パワーオンリセット
スタンバイモード	SBYCRのSBYを設定した状態で、SLEEP命令を実行	停止	停止	停止および初期化*1	保持	保持	保持またはHi-Z*2	(1) NMI割り込み (2) パワーオンリセット

SBYCR：スタンバイコントロールレジスタ

SBY：スタンバイビット

【注】 *1 それぞれの周辺モジュール、端子によって異なります。

*2 スタンバイモード時のI/Oポートの状態は、SBYCRのポートハイインピーダンスビット(HIZ)で設定します。「18.2 スタンバイコントロールレジスタ(SBYCR)」を参照してください。I/Oポート以外の端子状態は、「付録B 端子状態」を参照してください。

18.1.2 関連レジスタ

低消費電力状態を制御するため、表 18.2 に示すレジスタがあります。

表 18.2 関連レジスタ

名称	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF8614	8、16、32

18.2 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SBY	HIZ	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

スタンバイコントロールレジスタ (SBYCR) は、読み出し / 書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移とスタンバイモード時のポート状態を設定します。SBYCR は、リセットで H'1F に初期化されます。

ビット 7: スタンバイ (SBY)

スタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール / ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SBY ビットは 1 にセットできません。スタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SBY ビットをセットしてください。

ビット 7	説明
SBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、スタンバイモードへ遷移

ビット 6: ポートハイインピーダンス (HIZ)

スタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。

WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにしたいときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	スタンバイモード時に、端子状態を保持する (初期値)
1	スタンバイモード時に、端子状態をハイインピーダンスにする

ビット5~0：予約ビット

ビット5を読み出すと常に0が読み出されます。ビット5に書き込む値も必ず0にしてください。ビット4~0への書き込みは1にしてください。また、読み出すと常に1が読み出されます。

18.3 スリープモード

18.3.1 スリープモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) が0の状態、SLEEP命令を実行すると、本LSIはプログラム実行状態からスリープモードに遷移します。CPUはSLEEP命令実行直後に停止しますが、CPUのレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。

18.3.2 スリープモードの解除

スリープモードは、割り込み、パワーオンリセットによって解除されます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルがCPUのステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本LSIはパワーオンリセット状態に遷移し、スリープモードは解除されます。

18.4 スタンバイモード

18.4.1 スタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータは、規定の電圧が与えられているかぎり保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります (表 18.3)。I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については、「付録 B 端子状態」を参照してください。

表 18.3 スタンバイモードでのレジスタの状態

モジュール	初期化されるレジスタ	内容が保持されるレジスタ	内容が不定のレジスタ
割り込みコントローラ (INTC)	-	全レジスタ	-
マルチファンクション タイマパルスユニット (MTU)	MTU 関連 全レジスタ	-	-
ウォッチドッグタイマ (WDT)	・タイマコントロール/ ステータスレジスタ (TCSR) のビット 7~5 (OVF, WT/IT, TME) ・リセットコントロール/ ステータスレジスタ (RSTCSR)	・タイマコントロール/ ステータスレジスタ (TCSR) のビット 2~0 (CKS2~CKS0) ・タイマカウンタ (TCNT)	-

(続く)

表 18.3 スタンバイモードでのレジスタの状態（続き）

モジュール	初期化されるレジスタ	内容が保持されるレジスタ	内容が不定のレジスタ
シリアルコミュニケーションインタフェース (SCI)	<ul style="list-style-type: none"> ・ レシーブデータレジスタ (RDR) ・ トランスミットデータレジスタ (TDR) ・ シリアルモードレジスタ (SMR) ・ シリアルコントロールレジスタ (SCR) ・ シリアルステータスレジスタ (SSR) ・ ビットレートレジスタ (BRR) 	-	-
A/D 変換器 (A/D)	全レジスタ	-	-
コンペアマッチタイマ (CMT)	全レジスタ	-	-
ピンファンクションコントローラ (PFC)	-	全レジスタ	-
I/O ポート (I/O)	-	全レジスタ	-
低消費電力状態関係	-	スタンバイコントロールレジスタ (SBYCR)	-

18.4.2 スタンバイモードの解除

スタンバイモードは、NMI 割り込み、パワーオンリセットによって解除されます。

(1) NMI 割り込み入力による解除

NMI 信号の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) で選択) が検出されると、クロックの発振が開始されます。このクロックは、ウォッチドッグタイマ (WDT) だけに供給されます。スタンバイモードに遷移する前に WDT のタイマコントロール / ステータスレジスタ (TCSR) のクロックセレクトビット (CKS2 ~ CKS0) に設定しておいた時間が経過すると、WDT オーバフローが発生します。このオーバフロー発生によって、クロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによって、スタンバイモードが解除され、NMI 例外処理が開始されます。

NMI 割り込みによってスタンバイモードを解除する場合、WDT のオーバフロー周期が発振安定時間以上となるように、CKS2 ~ CKS0 ビットを設定してください。

なお、立ち下がりエッジに設定した NMI 端子で、スタンバイモードを解除する場合、スタンバイに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でスタンバイモードを解除する場合、スタンバイに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、スタンバイモードは解除されます。

18.4.3 スタンバイモードの応用例

NMI 信号の立ち下がりでスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 18.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち上がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のスタンバイビット (SBY) を 1 にセットして SLEEP 命令を実行すると、スタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、スタンバイモードが解除されます。

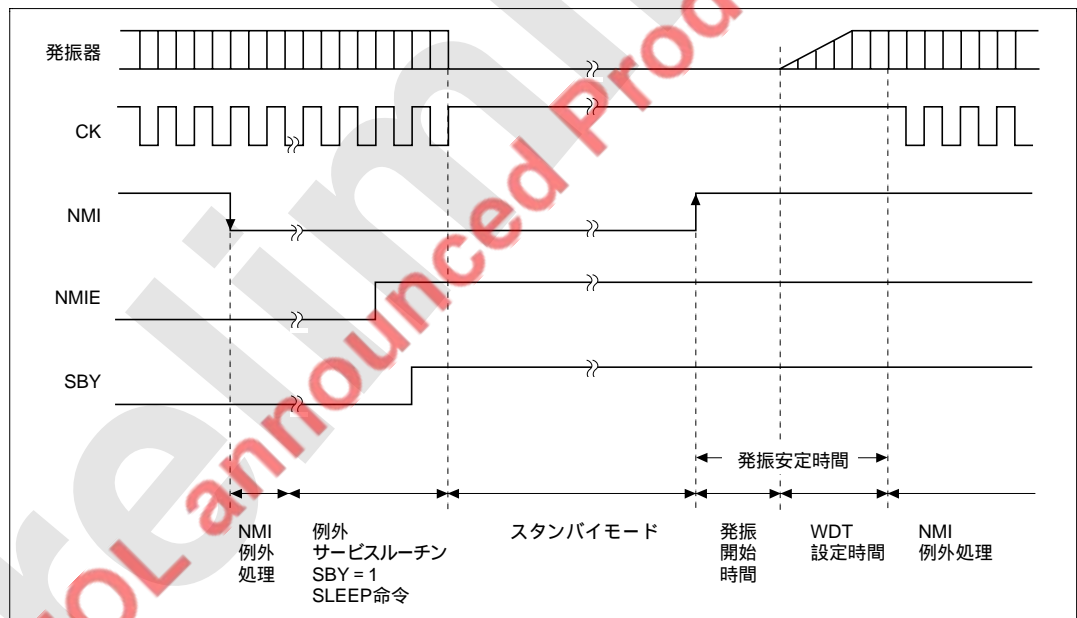


図 18.1 スタンバイモード時の NMI タイミング (応用例)

19. 電気的特性

第 19 章 目次

19.1	絶対最大定格.....	19-3
19.2	DC 特性.....	19-4
19.3	AC 特性.....	19-7
19.3.1	クロックタイミング.....	19-7
19.3.2	制御信号タイミング.....	19-9
19.3.3	バスタイミング.....	19-11
19.3.4	マルチファンクションタイムパルスユニットタイミング.....	19-15
19.3.5	I/Oポートタイミング.....	19-16
19.3.6	シリアルコミュニケーションインタフェースタイミング.....	19-17
19.3.7	AC 特性測定条件.....	19-18
19.4	A/D変換器特性.....	19-19

Preliminary
EOL announced Product

19.1 絶対最大定格

絶対最大定格を表 19.1 に示します。

表 19.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	Vcc	-0.3 ~ +4.3	V
入力電圧 (A/D ポート以外)	Vin	-0.3 ~ Vcc+0.3	V
入力電圧 (A/D ポート)	Vin	-0.3 ~ AVcc+0.3	V
アナログ電源電圧	AVcc	-0.3 ~ +4.3	V
アナログ入力電圧	VAN	-0.3 ~ AVcc+0.3	V
動作温度	Topr	-20 ~ +75	
書き換え温度	Twe	-20 ~ +75 (F-ZTAT 版のみ)	
保存温度	Tstg	-55 ~ +125	

[使用上の注意]

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

19.2 DC 特性

DC 特性を表 19.2 に示します。

表 19.2 DC 特性

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $PV_{CC}=5.0 \pm 0.5V$ 、 $PV_{CC} = V_{CC}$ 、 $AV_{CC}=3.0 \sim 3.6V$ 、 $AV_{CC} = V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $f=20MHz$ 、 $T_a=-20 \sim +75$)

項目	記号	min	typ	max	単位	測定条件	
入力ハイ レベル電圧	RES,NMI	$PV_{CC} - 0.7$	-	$PV_{CC} + 0.3$	V		
	FWP	$V_{CC} - 0.3$	-	$V_{CC} + 0.3$	V		
	EXTAL	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V		
	A/D ポート	$V_{CC} \times 0.75$	-	$AV_{CC} + 0.3$	V		
	PD0 ~ PD7, PA3,PA4,PB8	2.2	-	$PV_{CC} + 0.3$	V		
その他の入力端子 (シュミットトリ ガを除く)	$V_{CC} \times 0.75$	-	$V_{CC} + 0.3$	V			
入力ロー レベル電圧	RES,NMI	-0.3	-	0.5	V		
	FWP	-0.3	-	$V_{CC} \times 0.1$	V		
	PD0 ~ PD7, PA3,PA4,PB8	-0.3	-	0.8	V		
	その他の入力端子	-0.3	-	$V_{CC} \times 0.2$	V		
シュミットト リガ入力電圧	PA2,PA5,PE0, PE2	V_{T+}	4.0	-	-	V	
		V_{T-}		-	1.0	V	
		$V_{T+} - V_{T-}$	0.4	-	-	V	
	PA6 ~ PA9, PE4 ~ PE14	$V_{T+} - V_{T-}$	0.2	-	-	V	
入力リーク 電流	RES,NMI,FWP, PA2,PA5,PA6,PA7, PA8,PA9,PE0,PE2, PE4 ~ PE14	lin	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	A/D ポート		-	-	1.0	μA	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
	その他の入力端子		-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
スリーステ ートリーク電 流 (オフ状態)	A21 ~ A0,D7 ~ D0, CS0 ~ CS3,WRL, RD,ポート A,E	ITSI	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
出力ハイ レベル電圧	PE0,PE2, PD0 ~ PD7, PA2 ~ PA5,PB8	VOH	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$ $I_{OH} = -1mA$
	その他の出力端子		$V_{CC} - 1.0$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 0.7$	-	-	V	$I_{OH} = -1mA$
			$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力ローレ ベル電圧	PE0,PE2, PD0 ~ PD7, PA2 ~ PA5,PA8	VOL	-	-	0.4	V	$I_{OL} = 1.6mA$
	その他の出力端子		-	-	0.6	V	$I_{OL} = 1.6mA$

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	Cin	-	-	80	pF	Vin = 0V f = 1 MHz Ta = 25
	NMI		-	-	50	pF	
	その他の全入力端子		-	-	20	pF	
消費電流	通常動作時	Icc	-	80	110	mA	f = 20 MHz
	スリープ時		-	70	95	mA	f = 20 MHz
	スタンバイ時		-	5	50	μ A	Ta = 50
			-	-	300	μ A	50 < Ta
アナログ電源電流	A/D 変換中	Alcc	-	5	10	mA	f = 20 MHz

[使用上の注意]

- A/D 変換器を使用しないとき（スタンバイ時含む）に、AVcc、AVss 端子を解放しないでください。
AVcc 端子は Vcc に、AVss 端子は Vss にそれぞれ接続して下さい。
- 消費電流値は、VIHmin=Vcc - 0.5V、VILmax=0.5V の条件で、すべての出力端子を無負荷状態にした場合の値です。
- F-ZTAT 版とマスク版の機能は同じであり、電気的特性は共に規格内にありますが、特性上の実力値や動作マージン、ノイズマージン、輻射ノイズなどは異なりますので、システムの設計時および F-ZTAT 版とマスク版の置き換えをする場合は、ご注意ください。

表 19.3 出力許容電流値

(条件: $V_{CC}=3.0\sim 3.6V$ 、 $PV_{CC}=5.0\pm 0.5V$ 、 $PV_{CC} \ V_{CC}$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $AV_{CC} \ V_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $f=20MHz$ 、 $T_a=-20\sim +75$)

項目	記号	min	typ	max	単位
出力ローレベル許容電流 (1端子あたり)	IOL	-	-	2.0	mA
出力ローレベル許容電流 (総和)	IOL	-	-	80	mA
出力ハイレベル許容電流 (1端子あたり)	-IOH	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	(-IOH)	-	-	25	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 19.3 の値を超えないようにしてください。

19.3 AC 特性

19.3.1 クロックタイミング

表 19.4 にクロックタイミングを示します。

表 19.4 クロックタイミング

(条件: $V_{CC}=3.0\sim 3.6V$ 、 $PV_{CC}=5.0\pm 0.5V$ 、 $PV_{CC} = V_{CC}$ 、 $AV_{CC} = V_{CC}$ 、 $f=20MHz$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim +75$)

項目	記号	min	max	単位	参照図
動作周波数	fOP	4	20	MHz	図 19.1
クロックサイクル時間	tcyc	50	250	ns	
クロックローレベルパルス幅	tCL	15	ns	-	
クロックハイレベルパルス幅	tCH	15	-	ns	
クロック立ち上がり時間	tCR	-	5	ns	
クロック立ち下がり時間	tCF	-	5	ns	
EXTAL クロック入力周波数	fEX	4	20	MHz	図 19.2
EXTAL クロック入力サイクル時間	tEXcyc	50	250	ns	
EXTAL クロック入力ローレベルパルス幅	tEXL	17.5	-	ns	
EXTAL クロック入力ハイレベルパルス幅	tEXH	17.5	-	ns	
EXTAL クロック入力立ち上がり時間	tEXR	-	5	ns	
EXTAL クロック入力立ち下がり時間	tEXF	-	5	ns	図 19.3
リセット発振安定時間	tOSC1	10	-	ms	

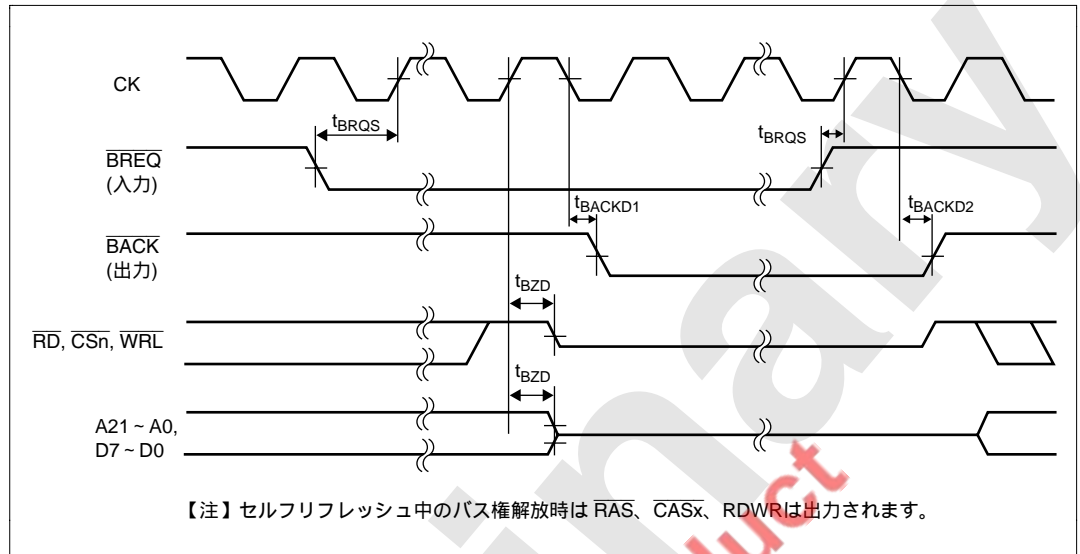


図 19.1 システムクロックタイミング

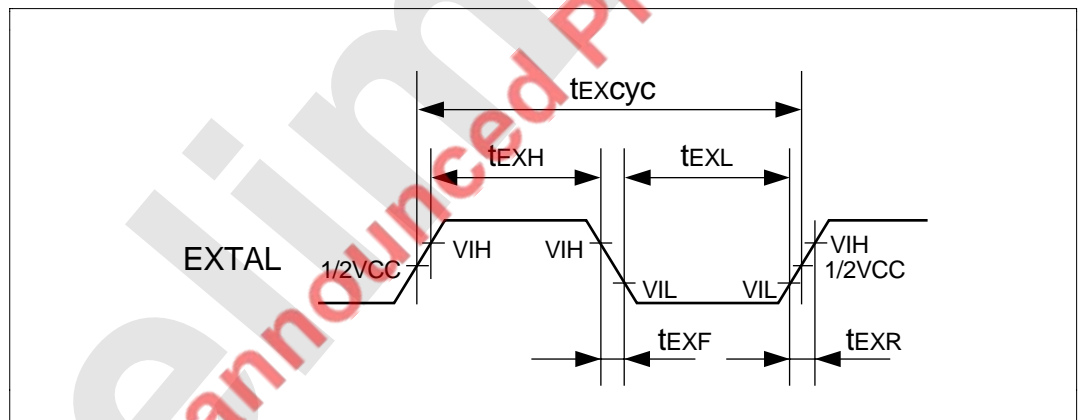


図 19.2 EXTAL クロック入力タイミング

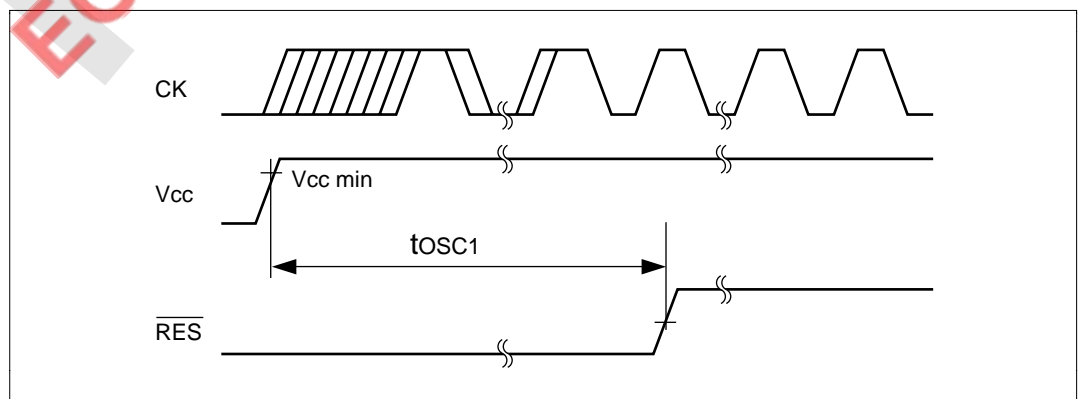


図 19.3 発振安定時間

19.3.2 制御信号タイミング

表 19.5 制御信号タイミング

(条件: $V_{cc}=3.0\sim 3.6V$ 、 $PV_{cc}=5.0\pm 0.5V$ 、 $PV_{cc} > V_{cc}$ 、 $AV_{cc} > V_{cc}$ 、 $f=20MHz$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ss}=AV_{ss}=0V$ 、 $T_a=-20\sim +75$)

項目	記号	min	max	単位	参照図
\overline{RES} 立ち上がり、立ち下がり	tRESr, tRESf	-	200	ns	図 19.4
\overline{RES} パルス幅	tRESW	20	-	tcyc	
NMI 立ち上がり、立ち下がり	tNMlr, tNMlf	-	200	ns	
\overline{RES} セットアップ時間* ¹	tRESS	35	-	ns	図 19.4
NMI セットアップ時間* ¹	tNMIS	35	-	ns	図 19.5
$\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ3}\sim\overline{IRQ0}$ セットアップ時間* ¹ (エッジ検出時)	tIRQES	35	-	ns	図 19.5
$\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ3}\sim\overline{IRQ0}$ セットアップ時間* ¹ (レベル検出時)	tIRQLS	35	-	ns	
NMI ホールド時間	tNMIH	35	-	ns	図 19.5
$\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ3}\sim\overline{IRQ0}$ ホールド時間	tIRQEH	35	-	ns	

【注】 *¹ \overline{RES} 、NMI および $\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ3}\sim\overline{IRQ0}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合クロックの立ち上がり (\overline{RES} の場合) もしくは立ち下がり (NMI および $\overline{IRQ7}$ 、 $\overline{IRQ6}$ 、 $\overline{IRQ3}\sim\overline{IRQ0}$ の場合) で変化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち上がり・立ち下がりまで認識が遅れることがあります。

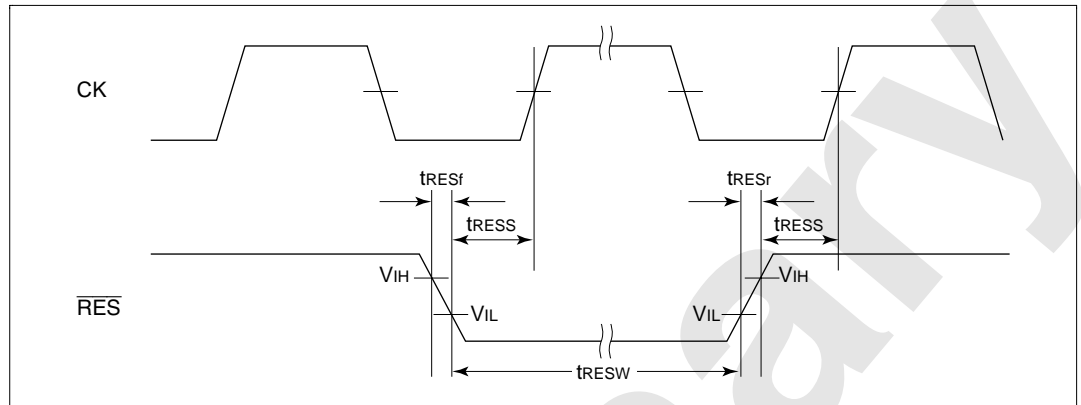


図 19.4 リセット入力タイミング

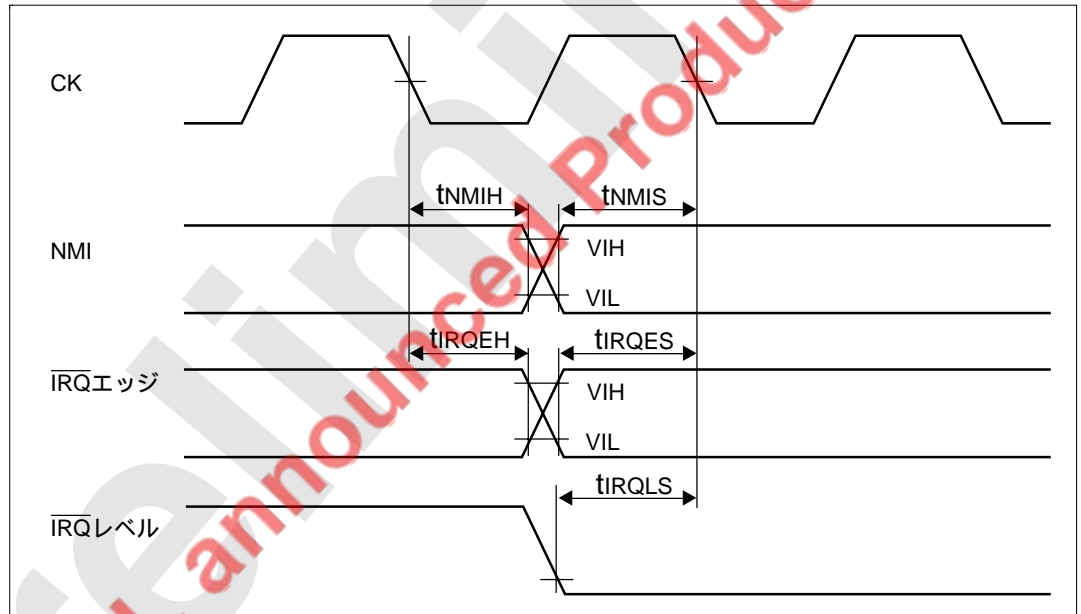


図 19.5 割り込み信号入力タイミング

19.3.3 バスタイミング

表 19.6 バスタイミング

(条件: $V_{CC}=3.0\sim 3.6V$ 、 $PV_{CC}=5.0\pm 0.5V$ 、 $PV_{CC} \ V_{CC}$ 、 $AV_{CC} \ V_{CC}$ 、 $f=20MHz$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim +75$)

項目	記号	min	max	単位	参照図
アドレス遅延時間	tAD	3* ³	25	ns	図 19.6 ~ 8
\overline{CS} 遅延時間 1	tCSD1	3* ³	21	ns	図 19.6 ~ 8
\overline{CS} 遅延時間 2	tCSD2	3* ³	21	ns	図 19.6 ~ 8
読み出しストローク遅延時間 1	tRSD1	3* ³	18	ns	図 19.6 ~ 8
読み出しストローク遅延時間 2	tRSD2	3* ³	18	ns	図 19.6 ~ 8
読み出しデータセットアップ時間	tRDS* ⁴	20	-	ns	図 19.6 ~ 8
読み出しデータホールド時間	tRDH	0	-	ns	図 19.6 ~ 8
書き込みストローク遅延時間 1	tWSD1	3* ³	18	ns	図 19.6 ~ 8
書き込みストローク遅延時間 2	tWSD2	3* ³	18	ns	図 19.6 ~ 8
書き込みデータ遅延時間	tWDD	-	35	ns	図 19.6 ~ 8
書き込みデータホールド時間	tWDH	0	20* ²	ns	図 19.6 ~ 8
WAIT セットアップ時間	tWTS	20	-	ns	図 19.6 ~ 8
WAIT ホールド時間	tWTH	0	-	ns	図 19.6 ~ 8
読み出しデータアクセス時間	tACC* ¹	tcyc x (n + 2) - 50	-	ns	図 19.6 ~ 8
読み出しストロークからのアクセス時間	tOE* ¹	tcyc x (n + 1.5) - 50	-	ns	図 19.6 ~ 8
書き込みアドレスセットアップ時間	tAS	0	-	ns	図 19.6 ~ 8
書き込みアドレス保持時間	tWR	0	-	ns	図 19.6 ~ 8
書き込みデータ保持時間	tWRH	0	-	ns	図 19.6 ~ 8

【注】 *1 アクセス時間が満足されていれば、tRDS は満足されている必要はありません。

*2 tWDH (max) は参考値です。

*3 遅延時間の min 値は参考値 (typ) です。

*4 tRDS は参考値です。

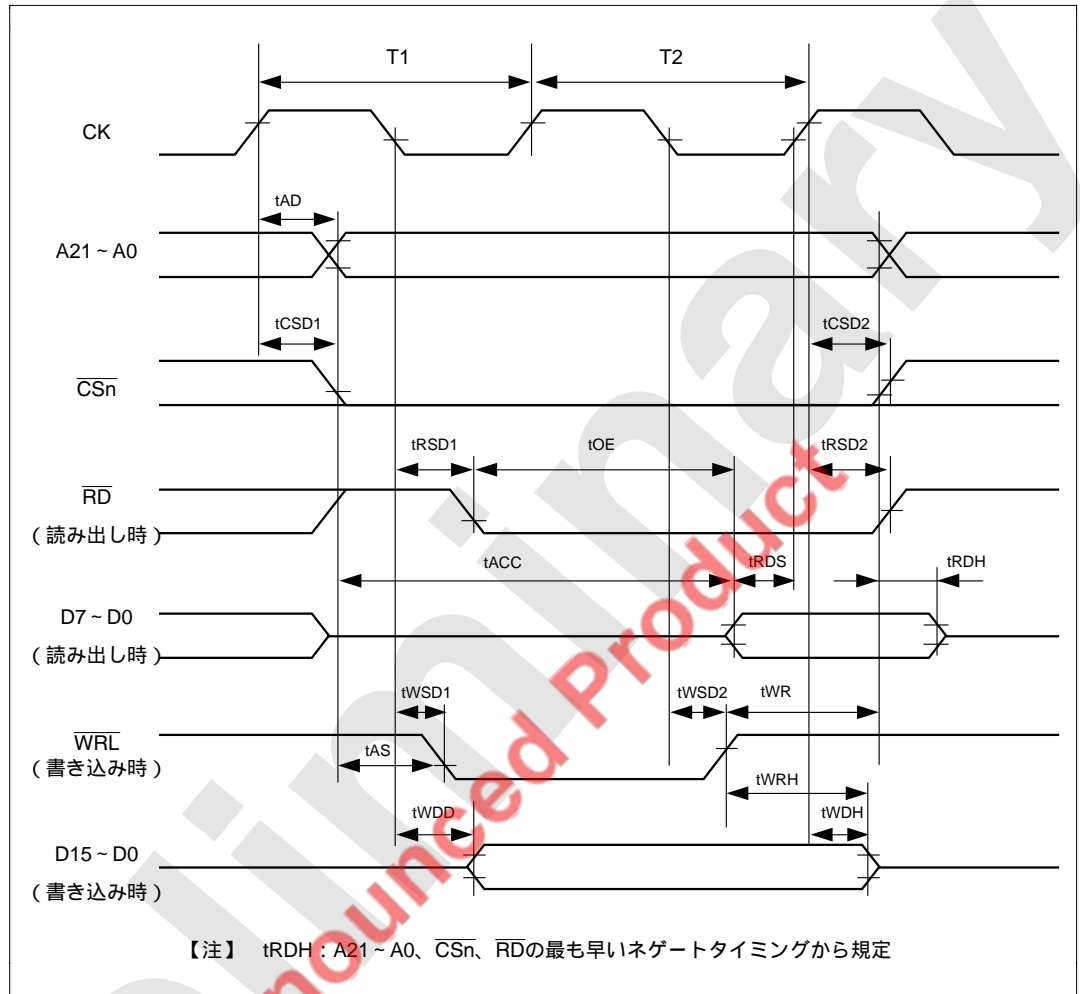


図 19.6 基本サイクル(ノーウェイト)

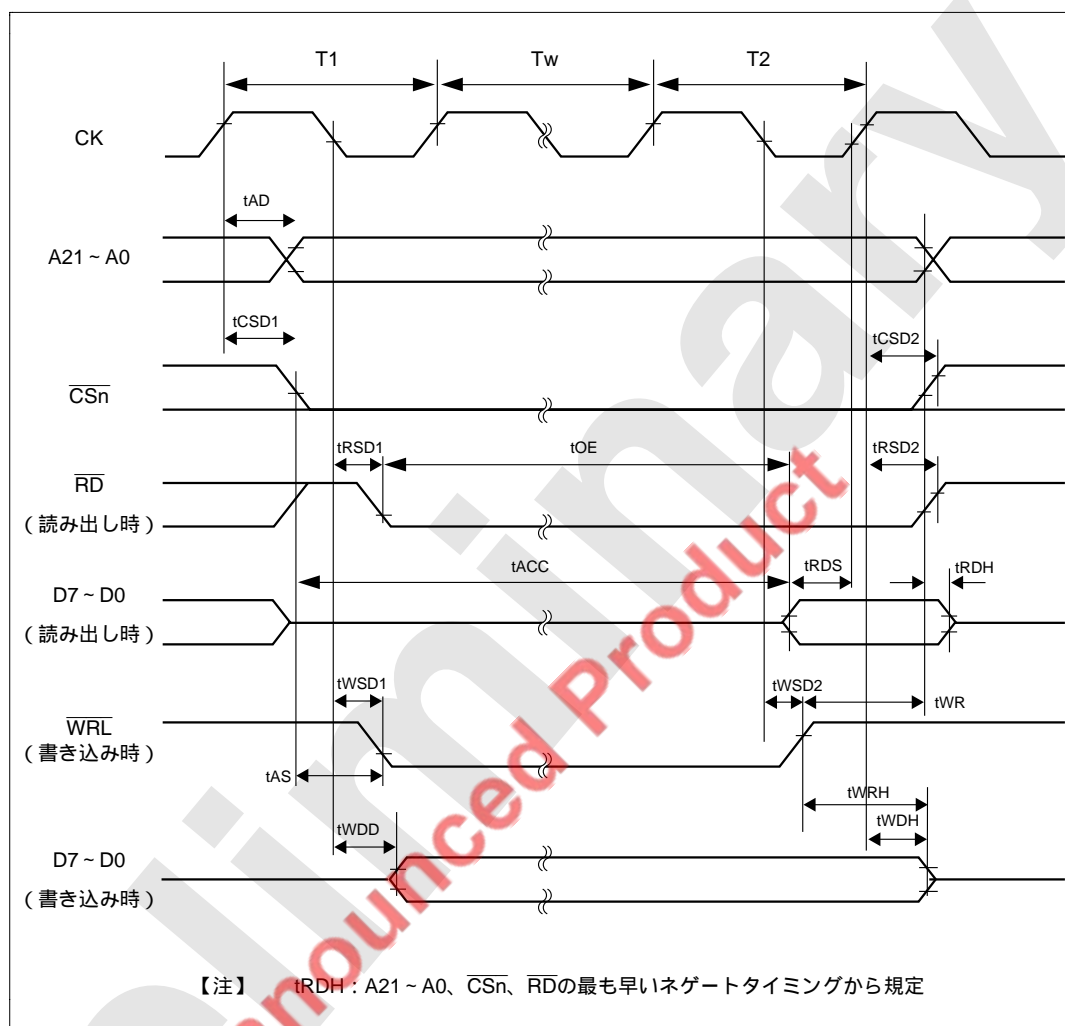


図 19.7 基本サイクル (ソフトウェアウェイト)

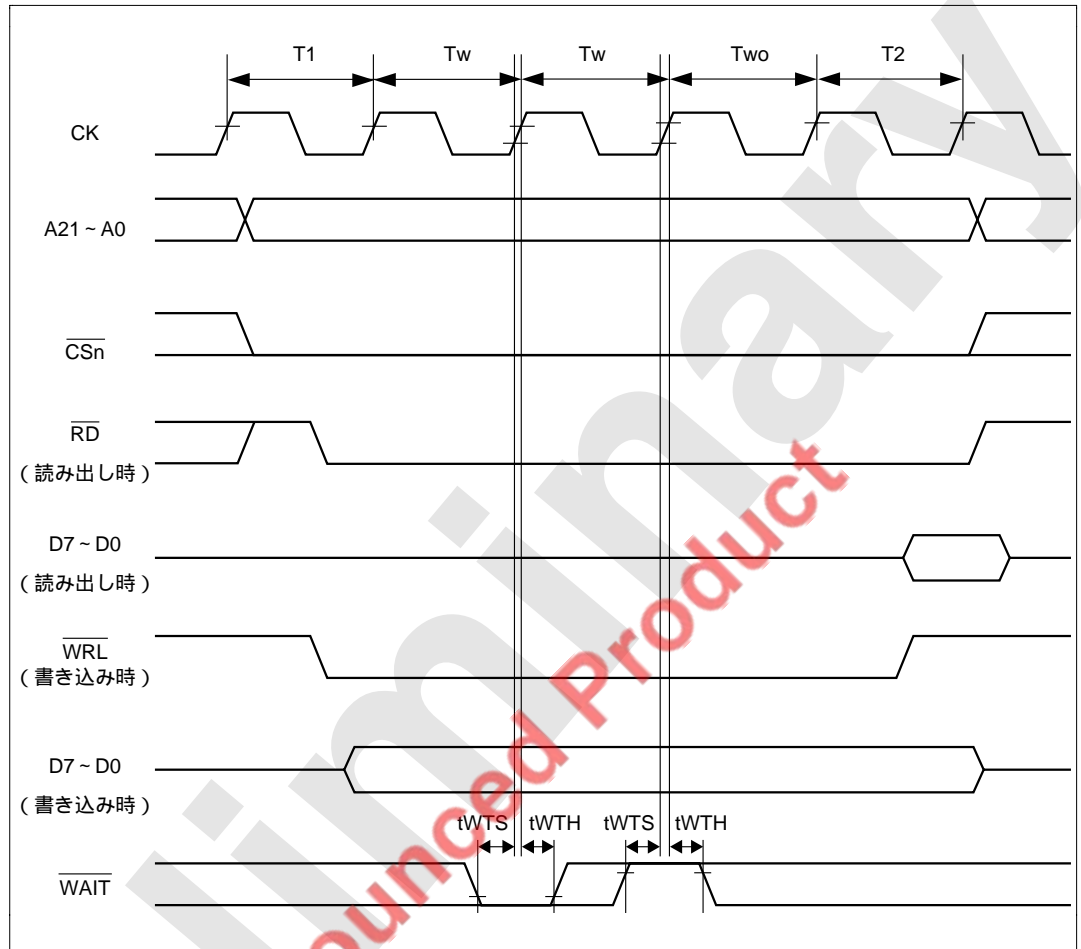


図 19.8 基本サイクル (2 ソフトウェアウェイト+ \overline{WAIT} 信号によるウェイト)

19.3.4 マルチファンクションタイマパルスユニットタイミング

表 19.7 にマルチファンクションタイマパルスユニットタイミングを示します。

表 19.7 マルチファンクションタイマパルスユニットタイミング

(条件: $V_{CC}=3.0\sim 3.6V$ 、 $PV_{CC}=5.0\pm 0.5V$ 、 $PV_{CC} > V_{CC}$ 、 $AV_{CC} > V_{CC}$ 、 $f=20MHz$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim +75$)

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	tTOCD	-	100	ns	図 19.9
インプットキャプチャ入力セットアップ時間	tTICS	30		ns	

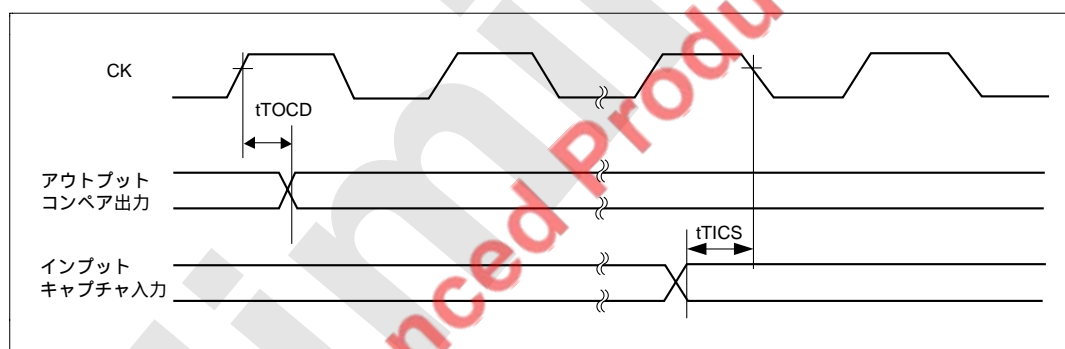


図 19.9 MTU 入出力タイミング

19.3.5 I/O ポートタイミング

表 19.8 に I/O ポートタイミングを示します。

表 19.8 I/O ポートタイミング

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $PV_{CC}=5.0 \pm 0.5V$ 、 $PV_{CC} \leq V_{CC}$ 、 $AV_{CC} \leq V_{CC}$ 、 $f=20MHz$ 、 $AV_{CC}=3.0 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$)

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	tPWD	-	100	ns	図 19.10
ポート入力ホールド時間	tPRH	100	-	ns	
ポート入力セットアップ時間	tPRS	100	-	ns	

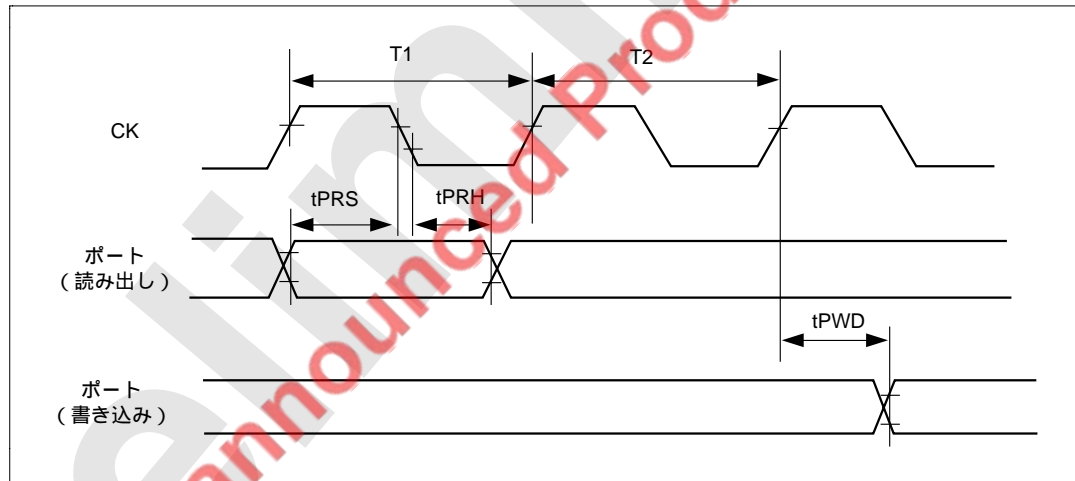


図 19.10 I/O ポート入出力タイミング

19.3.6 シリアルコミュニケーションインタフェースタイミング

表 19.9 にシリアルコミュニケーションインタフェースタイミングを示します。

表 19.9 シリアルコミュニケーションインタフェースタイミング

(条件: $V_{CC}=3.0\sim 3.6V$ 、 $PV_{CC}=5.0\pm 0.5V$ 、 $PV_{CC} \neq V_{CC}$ 、 $AV_{CC} \neq V_{CC}$ 、 $f=20MHz$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim +75$)

項目	記号	min	max	単位	参照図
入力クロックサイクル	tscyc	4	-	tcyc	図 19.11
入力クロックサイクル (クロック同期)	tscyc	6	-	tcyc	
入力クロックパルス幅	tsckw	0.4	0.6	tsckw	
入力クロック立ち上がり時間	tsckr	-	1.5	tsckr	
入力クロック立ち下がり時間	tsckf	-	1.5	tsckf	
送信データ遅延時間 (クロック同期)	tTXD	-	100	ns	図 19.12
受信データセットアップ時間 (クロック同期)	tRXS	100	-	ns	
受信データホールド時間 (クロック同期)	tRXH	100	-	ns	

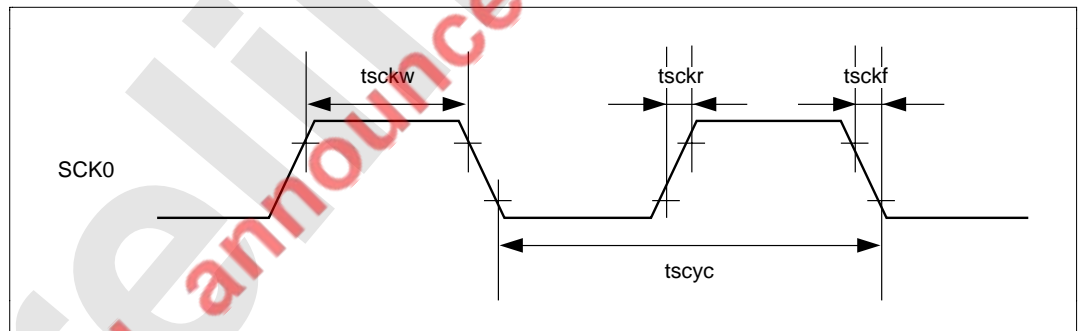


図 19.11 入力クロックタイミング

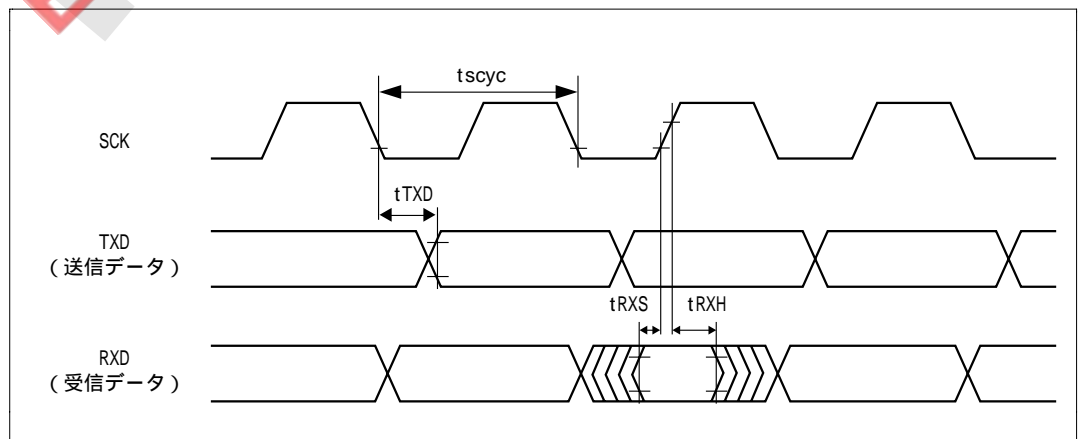


図 19.12 SCI 入出力タイミング (クロック同期式モード)

19.3.7 AC 特性測定条件

入力参照レベル HIGH レベル:2.2V、LOW レベル:0.8V

出力参照レベル HIGH レベル:2.0V、LOW レベル:0.8V

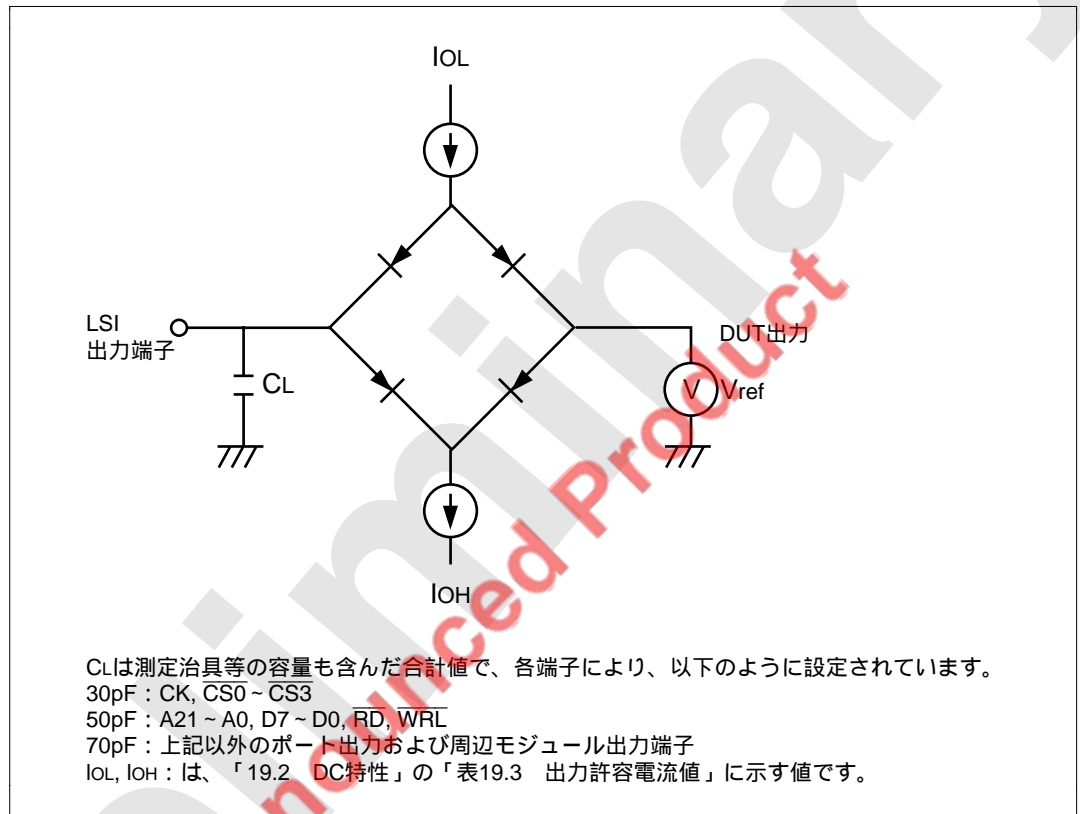


図 19.13 出力付加回路

19.4 A/D 変換器特性

表 19.10 A/D 変換器特性

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $PV_{CC}=5.0 \pm 0.5V$ 、 $PV_{CC} = V_{CC}$ 、 $AV_{CC} = V_{CC}$ 、 $f=20MHz$ 、 $AV_{CC}=3.0 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$ 、 $CKS=0$)

項目	20.0MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	-	-	13.4	μs
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k
非直線性誤差*	-	-	± 3	LSB
オフセット誤差*	-	-	± 3	LSB
フルスケール誤差*	-	-	± 3	LSB
量子化誤差*	-	-	± 0.5	LSB
絶対誤差	-	-	± 4	LSB

* 参考値

表 19.11 A/D 変換器特性

(条件: $V_{CC}=3.0 \sim 3.6V$ 、 $PV_{CC}=5.0 \pm 0.5V$ 、 $PV_{CC} = V_{CC}$ 、 $AV_{CC} = V_{CC}$ 、 $f=20MHz$ 、 $AV_{CC}=3.0 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20 \sim +75$ 、 $CKS=1$)

項目	20MHz			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	-	-	6.7	μs
アナログ入力容量	-	-	20	pF
許可信号源インピーダンス	-	-	1	k
非直線性誤差*	-	-	± 3	LSB
オフセット誤差*	-	-	± 3	LSB
フルスケール誤差*	-	-	± 3	LSB
量子化誤差*	-	-	± 0.5	LSB
絶対誤差	-	-	± 4	LSB

* 参考値

付録

付録 目次

A.	内蔵周辺モジュールレジスタ一覧.....	付録-3
B.	端子状態.....	付録-6
	B.1 端子状態.....	付録-6
	B.2 バス関連信号の端子状態.....	付録-7
C.	ROM 発注手順.....	付録-8
	C.1 ROM 書き換え品開発の流れ（発注手順）.....	付録-8
	C.2 ROM 発注時の注意事項.....	付録-9
D.	型名一覧.....	付録-10
E.	外形寸法図.....	付録-11

Preliminary
EOL announced Product

A. 内蔵周辺モジュールレジスタ一覧

表 A.1 内蔵周辺モジュールレジスタ一覧

アドレス H'FFFFxxx	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
81B0	SMR1	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI1	
81B1	BRR1										
81B2	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
81B3	TDR1										
81B4	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
81B5	RDR1										
8240	TSTR	-	-	-	-	-	CST2	CST1	CST0	共通	MTU
8241	TSYR	-	-	-	-	-	SYNC2	SYNC1	SYNC0		
8260	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ch0	
8261	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
8262	TIOR0H	-	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
8263	TIOR0L	-	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
8264	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
8265	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
8266	TCNT0										
8267											
8268	TGR0A										
8269											
826A	TGR0B										
826B											
826C	TGR0C										
826D											
826E	TGR0D										
826F											
8280	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ch1	
8281	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0		
8282	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
8284	TIER1	TTGE	-	-	TCIEV	-	-	TGIEB	TGIEA		
8285	TSR1	-	-	-	TCFV	-	-	TGFB	TGFA		
8286	TCNT1										
8287											
8288	TGR1A										
8289											
828A	TGR1B										
828B											

付 録

アドレス H'FFFFxxx	レジスタ 略称	ビット名								モジュール		
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0			
82A0	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ch2	MTU	
82A1	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0			
82A2	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0			
82A4	TIER2	TTGE	-	-	TCIEV	-	-	TGIEB	TGIEA			
82A5	TSR2	-	-	-	TCFV	-	-	TGFB	TGFA			
82A6	TCNT2											
82A7												
82A8	TGR2A											
82A9												
82AA	TGR2B											
82AB												
8348	IPRA	(IRQ0)	(IRQ0)	(IRQ0)	(IRQ0)	(IRQ1)	(IRQ1)	(IRQ1)	(IRQ1)	INTC		
8349		(IRQ2)	(IRQ2)	(IRQ2)	(IRQ2)	(IRQ3)	(IRQ3)	(IRQ3)	(IRQ3)			
834A	IPRB	-	-	-	-	-	-	-	-			
834B		(IRQ6)	(IRQ6)	(IRQ6)	(IRQ6)	(IRQ7)	(IRQ7)	(IRQ7)	(IRQ7)			
834C	IPRC	-	-	-	-	-	-	-	-			
834D		-	-	-	-	-	-	-	-			
834E	IPRD	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)	(MTU0)			
834F		(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)	(MTU1)			
8350	IPRE	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)	(MTU2)			
8351		-	-	-	-	-	-	-	-			
8352	IPRF	-	-	-	-	-	-	-	-			
8353		-	-	-	-	(SCI)	(SCI)	(SCI)	(SCI)			
8354	IPRG	(A/D)	(A/D)	(A/D)	(A/D)	-	-	-	-			
8355		(CMT0)	(CMT0)	(CMT0)	(CMT0)	(CMT1)	(CMT1)	(CMT1)	(CMT1)			
8356	IPRH	(WDT)	(WDT)	(TIM2)	(TIM2)	-	-	-	-			
8357		-	-	-	-	-	-	-	-			
8358	ICR	NMIL	-	-	-	-	-	-	NMIE			
8359		IRQ0S	IRQ1S	IRQ2S	IRQ3S	-	-	IRQ6S	IRQ7S			
835A	ISR	-	-	-	-	-	-	-	-			
835B		IRQ0F	IRQ1F	IRQ2F	IRQ3F	-	-	IRQ6F	IRQ7F			
8382	PADRL	PA15DR	PA14DR	-	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR		I/O	Port A
8383		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR			
8386	PAIORL	PA15IOR	PA14IOR	-	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR		PFC	
8387		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR			
838C	PACRL1	-	PA15MD	-	PA14MD	-	-	-	PA12MD			
838D		-	PA11MD	-	PA10MD	PA9MD1	PA9MD0	PA8MD1	-			
838E	PACRL2	PA7MD1	-	PA6MD1	-	-	PA5MD	-	PA4MD			
838F		-	PA3MD	PA2MD1	PA2MD0	-	-	-	-			
8390	PBDR	-	-	-	-	-	-	PB9DR	PB8DR	I/O	Port B	
8391		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR			
8394	PBIOR	-	-	-	-	-	-	PB9IOR	PB8IOR	PFC		
8395		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR			
8398	PBCR1	-	-	-	-	-	-	-	-			
8399		-	-	-	-	PB9MD1	PB9MD0	PB8MD1	PB8MD0			
839A	PBCR2	PB7MD1	PB7MD0	PB6MD1	PB6MD0	-	-	-	-			
839B		-	PB3MD	-	-	-	PB1MD	-	PB0MD			
8392	PCDR	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	I/O	Port C	
8393		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR			
8396	PCIOR	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR	PFC		
8397		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR			
839C	PCCR	PC15MD	PC14MD	PC13MD	PC12MD	PC11MD	PC10MD	PC9MD	PC8MD			
839D		PC7MD	PC6MD	PC5MD	PC4MD	PC3MD	PC2MD	PC1MD	PC0MD			

アドレス H'FFFFxxxx	レジスタ 略称	ビット名								モジュール			
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0				
83A2	PDDRL	-	-	-	-	-	-	-	-	I/O	Port D		
83A3		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR				
83A6	PDIORL									PFC			
83A7		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR				
83AC	PDCRL	-	-	-	-	-	-	-	-				
83AD		PD7MD	PD6MD	PD5MD	PD4MD	PD3MD	PD2MD	PD1MD	PD0MD				
83B0	PEDR	-	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	I/O	Port E		
83B1		PE7DR	PE6DR	PE5DR	PE4DR	-	PE2DR	-	PE0DR				
83B3	FDDR									PFC			
83B4	PEIOR		PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR				
83B5		PE7IOR	PE6IOR	PE5IOR	PE4IOR		PE2IOR		PE0IOR				
83BA	PECR2	-	PE7MD	-	PE6MD	-	PE5MD	-	PE4MD				
83BB		-	-	-	PE2MD0	-	-	-	PE0MD0				
83D0	CMSTR	-	-	-	-	-	-	-	-	共通	CMT		
83D1		-	-	-	-	-	-	STR1	STR0				
83D2	CMCSR0	-	-	-	-	-	-	-	-	ch0			
83D3		CMF	CMIE	-	-	-	-	CKS1	CKS0				
83D4	CMCNT0												
83D5													
83D6		CMCOR0											
83D7													
83D8	CMCSR1	-	-	-	-	-	-	-	-	ch1			
83D9		CMF	CMIE	-	-	-	-	CKS1	CKS0				
83DA	CMCNT1												
83DB													
83DC	CMCOR1												
83DD													
8420	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D			
8421	ADDRAL	AD1	AD0	-	-	-	-	-	-				
8422	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2				
8423	ADDRBL	AD1	AD0	-	-	-	-	-	-				
8424	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2				
8425	ADDRCL	AD1	AD0	-	-	-	-	-	-				
8426	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2				
8427	ADDRDL	AD1	AD0	-	-	-	-	-	-				
8428	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0				
8429	ADCR	TRGE	-	-	-	-	-	-	-				
8580	FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P			FLASH	
8581	FLMCR2	FLER	-	-	-	-	-	-	-				
8582	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0				
8583	EBR2	-	-	-	-	-	EB10	EB9	EB8				
8620	BCR1									BSC			
8622	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00				
8623		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0				
8624	WCR1	-	-	W31	W30	-	-	W21	W20				
8625		-	-	W11	W10	-	-	W01	W00				
8628	RAMER	-	-	-	-	-	-	-	-	FLASH			
8629		-	-	-	-	-	RAMS	RAM1	RAM0				
862C	T2CSR	-	-	-	-	-	-	-	-	TIM2			
862D		-	CMF	CMIE	CKS2	CKS1	CKS0	-	-				
862E	T2CNT	-	-	-	-	-	-	-	-				
862F													
8630	T2COR	-	-	-	-	-	-	-	-				
8631													

B. 端子状態

B.1 端子状態

表 B.1 リセット、低消費電力状態での端子状態

端子機能		端子状態	
分類	端子名	リセット状態	低消費電力状態
		パワーオン	スリープ
クロック	CK	O	O
システム制御	$\overline{\text{RES}}$	I	I
割り込み	NMI	I	I
	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$	Z	I
アドレスバス	A1 ~ A21	O	O
データバス	D0 ~ D7	Z	I/O
バス制御	$\overline{\text{WAIT}}$	Z	I
	RD	H	H
	$\overline{\text{CS0}} \sim \overline{\text{CS3}}$	H	H
	$\overline{\text{WRH}}$ 、 $\overline{\text{WRL}}$	H	H
MTU	TIOC0A、TIOC0C	Z	I/O
	TIOC1A、TIOC1B		
	TIOC2A、TIOC2B		
SCI	TxD	Z	O
	RxD	Z	I
A/D 変換器	AN0 ~ AN7	Z	I
I/O ポート	PA0 ~ PA15	Z	K
	PB0 ~ PB9		
	PC0 ~ PC15		
	PD0 ~ PD7		
	PE0、PE2、PE4 ~ PE14		

【記号説明】 I：入力 O：出力 H：ハイレベル出力 L：ローレベル出力

Z：ハイインピーダンス K：入力端子はハイインピーダンス、出力端子は状態保持

B.2 バス関連信号の端子状態

表 B.2 バス関連信号の端子状態

端子名	内蔵 ROM 空間	内蔵 RAM 空間	内蔵周辺モジュール				外部通常空間 8ビット 空間
			8ビット 空間	16ビット空間			
				上位バイト	下位バイト	ワード/ロ ングワード	
$\overline{CS0} \sim \overline{CS3}$	H	H	H	H	H	H	有効
\overline{RD}	R	H	H	H	H	H	L
	W	-	H	H	H	H	H
\overline{WRL}	R	H	H	H	H	H	H
	W	-	H	H	H	H	L
A21 ~ A1	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス	アドレス
D7 ~ D0	Z	Z	Z	Z	Z	Z	データ

【記号説明】 R: 読み出し W: 書き込み H: ハイレベル出力 L: ローレベル出力
 Z: ハイインピーダンス
 有効: アクセスしたエリアに対応するチップセレクト信号=L、
 それ以外のチップセレクト信号=H

C. ROM 発注手順

C.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 C.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 C.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

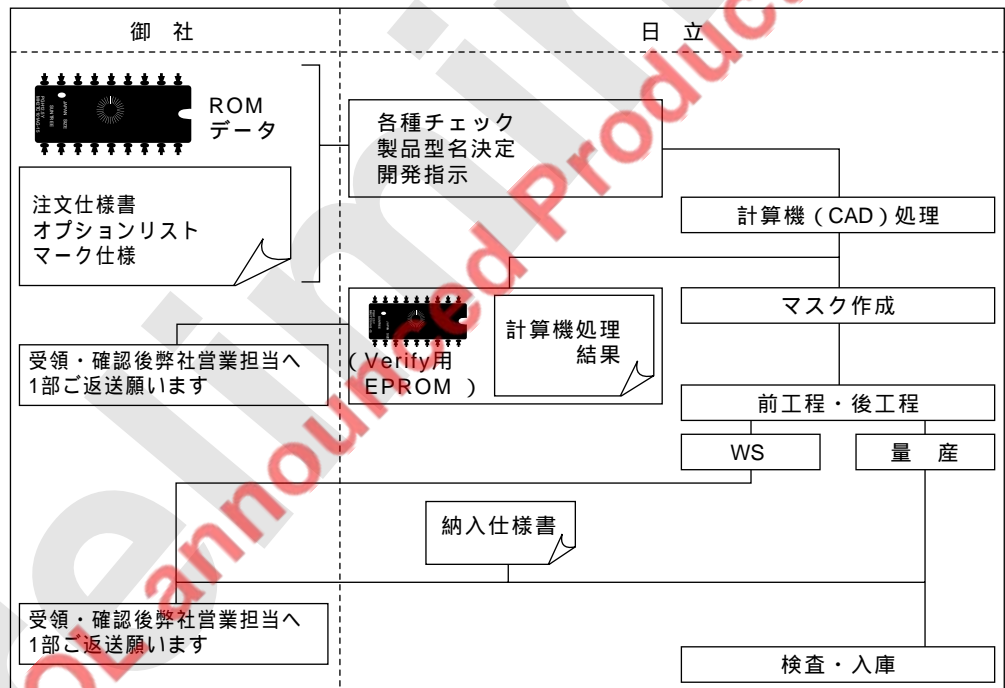


図 C.1 ROM 書き換え品開発の流れ

表 C.1 ROM 発注時に必要な提出物

発注媒体	EPROM、ZTAT [®] 、または F-ZTAT [™]
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

C.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM、ZTAT[®]、または F-ZTAT[™] マイコンで提出してください。なお、EPROM、ZTAT[®]、または F-ZTAT[™] マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず 'FF' を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導電性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

D. 型名一覧

表 D.1 SH7018 型名一覧

略称	電圧	動作周波数	マーク型名	パッケージ
SH7018	3.3V	20MHz	HD64F7018VX20	TFP-100B

E. 外形寸法図

SH7018 の外形寸法図 (TFP-100B) を図 E.1 に示します。

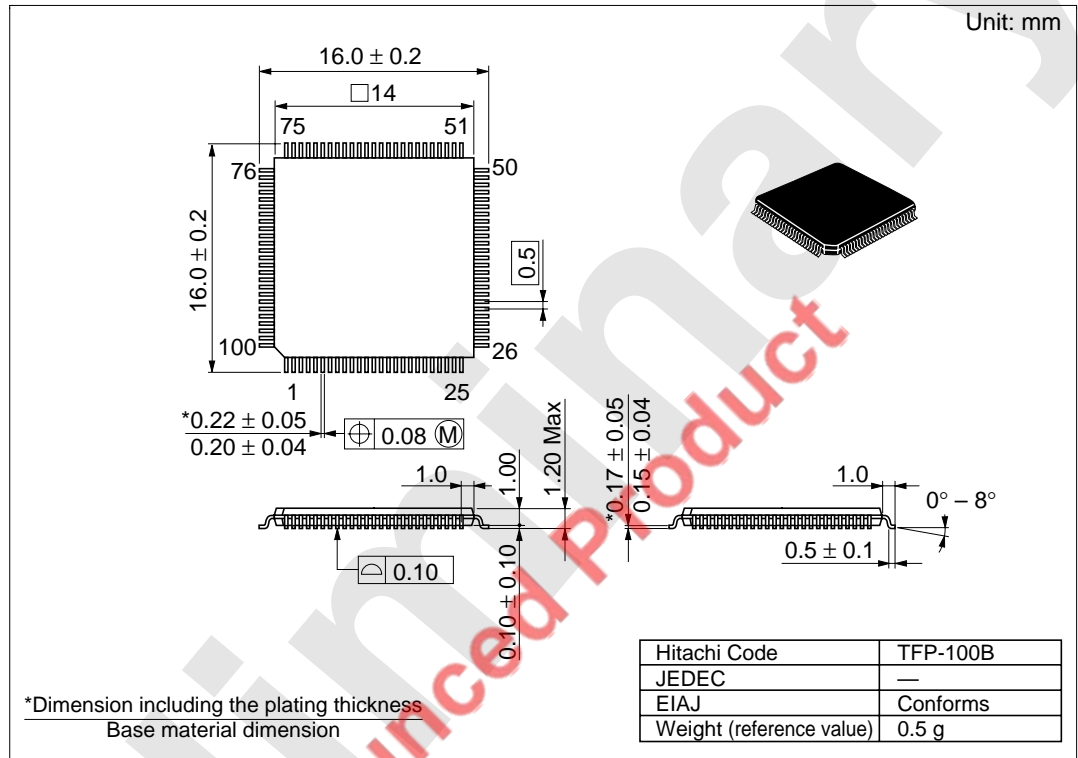


図 E.1 外形寸法図 (TFP-100B)

EOL announced Product

SH7018F-ZTAT™ハードウェアマニュアル（暫定版）

発行年月 平成 11 年 11 月 第 1 版

発 行 株式会社 日立製作所
半導体グループ電子統括営業本部

編 集 株式会社 日立小平セミコン
技術ドキュメントグループ

©株式会社 日立製作所 1999

EOL announced Product

SH7018F-ZTAT™
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-197(O)