

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

# HD64411 Q2

ユーザーズマニュアル

ルネサスSH マイコングラフィックアクセラレータ

HD64411 Quick 2D Graphics Renderer

1. 本資料に記載された製品および製品の仕様は、信頼性、機能、設計の改良の理由により予告なく変更されることがあります。
2. 本資料に記載された情報は、正確かつ信頼し得るものであります。ただし、これら記載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、(株)日立製作所は一切その責任を負いません。
3. 本資料によって第三者または(株)日立製作所の特許権その他権利の実施権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。
6. 当社の半導体製品を用いて、貴社にて装置(システム)を設計される場合、装置の安全機構について御検討をお願い致します。当社の半導体のトラブルで貴社の装置が故障し発煙、火災他ユーザーの人命、身体等に危害を与えたりせぬように、フェイルセーフ等のシステム設計上の対策を講じて頂きますようお願い致します。

---

# はじめに

---

近年、家庭用ゲーム市場において、マンマシンインタフェースに対応する高い表示即応性と表現力を兼ね備え、かつ安価なゲーム機器が発売されたことに伴い、カーナビゲーションやインターネットTVなどの情報家電市場全体にも、グラフィックスによる飛躍的な表現力の向上が望まれています。

これらの処理を高性能かつシンプルに表現したいという要求に加えて、ソフトウェアおよびデータベースの上位互換性を維持したいという要求が強くなる一方、複雑化が進むグラフィックスアルゴリズムにどのように対応するかが課題となっています。

これらのニーズに応えて、当社では SuperH ファミリとのチップセットで高速のレンダリング、および表示処理を行うグラフィックアクセラレータ「Qシリーズ」を開発しました。

Qシリーズは、SuperH ファミリとのチップセットによりグラフィックス表示システムに必要なジオメトリ処理、レンダリング処理、表示処理をコンパクトなシステムで高速に実現するものです。

「シンプル」「リアルタイム」「アップグレード」をコンセプトとし、SuperH ファミリに対応したレンダリング処理と表示処理を行います。

HD64411 (Q2) は、この Q シリーズの第一弾で、外付けの画像用メモリ容量を 50%以上低減でき、3次元グラフィックス的表示も可能な2次元グラフィックス・レンダラーLSIです。カーナビゲーションやネットワークコンピュータなどの中精細OA機器、産業用機器の表示システム、インターネットTV、カラオケなどのAV機器など、広範囲のマルチメディア端末のグラフィックス処理システムをコンパクトかつ、高い描画性能で実現できます。

本LSIの使用例につきましては、QシリーズアプリケーションノートHD64411 Q2編をご参考ください。

---

# 目次

---

## 第1章 Q2 ( Quick 2D Graphics Renderer ) の概要

1.1	Q2の概要.....	3
1.2	ブロック図.....	4
1.3	コンセプト.....	6
	1.3.1    シンプル(システム構成の最適化).....	6
	1.3.2    リアルタイム.....	7
	1.3.3    アップグレード.....	9
1.4	機能一覧.....	10

## 第2章 端子

2.1	ピン配置と端子機能.....	13
	2.1.1    端子概要.....	13
	2.1.2    ピン配置.....	14
	2.1.3    端子機能.....	15
2.2	動作モード端子.....	20
2.3	CPU インタフェース端子.....	21
	2.3.1    CPU ライト.....	21
	2.3.2    CPU リード.....	21
	2.3.3    DMA ライト.....	22
	2.3.4    割込み.....	22
2.4	電源端子.....	23
	2.4.1    通常電源、PLL 電源.....	23
	2.4.2    CPU 電源.....	23
2.5	表示インタフェース端子.....	24
	2.5.1    DAC インタフェース.....	24
	2.5.2    ビデオエンコーダインタフェース.....	24
	2.5.3    CRT インタフェース.....	24



2.6	UGM インタフェース端子 .....	25
2.6.1	UGM アクセス .....	25

### 第3章 ユニファイドグラフィクスメモリ (UGM) と表示機能

3.1	クロック .....	29
3.2	ユニファイドグラフィクスメモリ (UGM) .....	30
3.2.1	概要 .....	30
3.2.2	メモリアクセス .....	32
3.2.3	メモリマップ .....	33
3.3	表示とその制御 .....	40
3.3.1	概要 .....	40
3.3.2	ダブルバッファ制御 .....	40
3.3.3	カラーデータフォーマット .....	44
3.3.4	ディスプレイ機能 .....	51
3.4	初期状態 .....	59
3.4.1	初期状態 (規定の電源を投入したとき) .....	59
3.4.2	リセット状態 ( $\overline{\text{RESET}}$ 端子に Low レベルを入力したとき) .....	59

### 第4章 ディスプレイリスト

4.1	概要 .....	65
4.2	コマンドフェッチ .....	68
4.3	基本機能 .....	69
4.3.1	レンダリング座標系 .....	69
4.3.2	レンダリング参照データ .....	73
4.3.3	レンダリング属性 .....	76
4.4	描画コマンド .....	80
4.4.1	POLYGON4A .....	80
4.4.2	POLYGON4B .....	82
4.4.3	POLYGON4C .....	84
4.4.4	FTRAP .....	86
4.4.5	RFTRAP .....	88
4.4.6	LINEW .....	90
4.4.7	RLINEW .....	92
4.4.8	LINE .....	94
4.4.9	RLINE .....	96
4.4.10	PLINE .....	98

4.4.11	RPLINE.....	100
4.4.12	MOVE.....	102
4.4.13	RMOVE.....	104
4.4.14	LCOFS.....	106
4.4.15	RLCOFS.....	108
4.4.16	UCLIP.....	110
4.4.17	SCLIP.....	112
4.4.18	CLRW.....	114
4.4.19	JUMP.....	116
4.4.20	GOSUB.....	118
4.4.21	RET.....	120
4.4.22	TRAP.....	121
4.4.23	NOP3.....	123

## 第5章 レジスタ

5.1	概要.....	127
5.2	レジスタの更新.....	128
5.3	インタフェース制御レジスタ.....	132
5.3.1	システム制御レジスタ (SYSR).....	132
5.3.2	ステータスレジスタ (SR).....	136
5.3.3	ステータスレジスタクリアレジスタ (SRCR).....	140
5.3.4	割込み許可レジスタ (IER).....	141
5.3.5	メモリモードレジスタ (MEMR).....	144
5.3.6	表示モードレジスタ (DSMR).....	145
5.3.7	レンダリングモードレジスタ (REMR).....	149
5.3.8	入力データ変換モードレジスタ (IEMR).....	151
5.4	メモリ制御レジスタ.....	152
5.4.1	表示サイズレジスタ X,Y (DSRX,Y).....	152
5.4.2	表示開始アドレスレジスタ (DSAR0,DSAR1).....	153
5.4.3	ディスプレイリスト開始アドレスレジスタ H,L (DLSARH,L).....	154
5.4.4	多値ソース領域開始アドレスレジスタ (SSAR).....	154
5.4.5	ワーク領域開始アドレスレジスタ (WSAR).....	155
5.4.6	DMA 転送開始アドレスレジスタ H,L (DMASRH,L).....	156
5.4.7	DMA 転送語数レジスタ (DWAWR).....	157
5.5	表示制御レジスタ.....	158
5.5.1	表示ウィンドウレジスタ [ DSWR (HDS/HDE/VDS/VDE) ].....	158
5.5.2	水平同期パルス幅レジスタ (HSWR).....	159

5.5.3	水平走査周期レジスタ (HCR) .....	159
5.5.4	垂直同期位置レジスタ (VSPR) .....	160
5.5.5	垂直走査周期レジスタ (VCR) .....	160
5.5.6	表示オフ時出力レジスタ H,L (DOORH,L) .....	161
5.5.7	色検出レジスタ H,L (CDERH,L) .....	161
5.6	レンダリング制御レジスタ.....	162
5.6.1	コマンドステータスレジスタ H,L (CSTRH,L) .....	162
5.7	入力制御レジスタ.....	163
5.7.1	画像データ転送開始アドレスレジスタ H,L (ISARH,L) .....	163
5.7.2	画像データサイズレジスタ X,Y (IDSRX,Y) .....	164
5.7.3	画像データエントリレジスタ (IDER) .....	164
5.8	カラーパレット.....	165
5.8.1	カラーパレットレジスタ H,L000 ~ 255 (CP000RH,L ~ CP255H,L) .....	165

## 第6章 使用上の注意事項

6.1	CPUクロックと Q2-CLK0.....	169
6.2	水平表示開始位置レジスタ値.....	170
6.3	YUV モード時のデータ転送に関する注意事項.....	171
6.4	ソフトウェアリセットビットについて.....	172
6.5	オートディスプレイチェンジモード使用時の 注意事項 .....	173
6.6	表示中のカラーパレットレジスタライトに関する 注意事項 .....	174
6.7	DMA モードに関する注意事項.....	175
6.8	パワーオンシーケンス.....	176
6.9	Q2 内部のバッファについて.....	177
6.10	表示オフへの移行する際の注意事項.....	179
6.11	TV同期モードを変更する際の注意事項 .....	180
6.12	POLYGON4A のソース参照位置について.....	181

## 第7章 電気的特性

7.1	絶対最大定格.....	185
7.2	推奨動作条件.....	186
7.2.1	推奨動作条件.....	186
7.3	電気的特性測定方法.....	187
7.3.1	タイミング測定法.....	187
7.3.2	テスト負荷回路 (全出力、全入出力端子) .....	188
7.4	電気的特性.....	189

7.4.1	DC 特性 .....	189
7.4.2	AC 特性 .....	190
7.5	タイミングチャート .....	200
7.5.1	入力クロック .....	200
7.5.2	リセットタイミング .....	202
7.5.3	CPU リードサイクルタイミング .....	203
7.5.4	CPU ライトサイクルタイミング .....	204
7.5.5	DMA ライトサイクルタイミング (DMAC Q2) .....	205
7.5.6	割込み出力タイミング .....	207
7.5.7	UGM リードサイクルタイミング .....	208
7.5.8	UGM ライトサイクルタイミング .....	210
7.5.9	UGM リフレッシュサイクルタイミング .....	212
7.5.10	マスタモード表示タイミング .....	213
7.5.11	TV 同期モード表示タイミング .....	214

## 付録

A.	レジスタ一覧 .....	221
B.	描画コマンドとパラメータ .....	223
B.1	描画コマンドとレンダリング属性の関係 .....	223
B.2	描画コマンドのコマンドコード .....	224
B.3	描画コマンドのパラメータ仕様 .....	225
C.	描画アルゴリズム .....	231
D.	パッケージ外形寸法図 .....	233

---

# 1. Q2 ( Quick 2D Graphics Renderer ) の概要

---

## 第1章 目次

1.1	Q2の概要.....	3
1.2	ブロック図.....	4
1.3	コンセプト.....	6
	1.3.1    シンプル(システム構成の最適化) .....	6
	1.3.2    リアルタイム .....	7
	1.3.3    アップグレード .....	9
1.4	機能一覧.....	10

## 1. Q2 ( Quick 2D Graphics Renderer ) の概要

---

## 1.1 Q2 の概要

Q2( Quick 2D Graphic Renderer )は、SuperH RISC engine グラフィックアクセラレータ“クイック”シリーズ(Qシリーズ)の第一弾として開発されたもので、シンプル、リアルタイム、およびアップグレードをコンセプトとした最小システム構成用途向け2DグラフィックレンダラーLSIです。

Q2は、SuperH RISC engine (以下SuperHと略します)のチップセットとして位置づけられています。すなわち、座標変換に代表される幾何(ジオメトリ:geometric)演算などアルゴリズムを変更する可能性のある演算をSuperHで行い、他方SuperHのバス使用効率の低下の要因となる描画(レンダリング:rendering)をQ2で行うことで、アルゴリズムの更新に対しての柔軟な対応とSuperHのバス使用効率の向上を図っています。

また、ハードウェア構成をシンプル化し、従来、外部回路でサポートしていたCPUインタフェース回路、表示回路、およびメモリインタフェース回路を内蔵しています。

さらに、UGM(ユニファイドグラフィックスメモリ:Unified Graphics Memory)アーキテクチャを新規採用し、フレームバッファ領域、フォントパターンおよび線パターンなどのデータを1つのメモリ(最小構成で4MB1個内)に配置できるようになりました。

UGMに割り当てた描画バッファと表示バッファを、フレームまたはフィールドで切り換えるダブルバッファアーキテクチャを採用したことと、UGMにEDOページモードDRAMを使用することで、表示処理と高速な描画処理の実行をリアルタイムに行えます。

Q2のシステム概要を図1.1に示します。

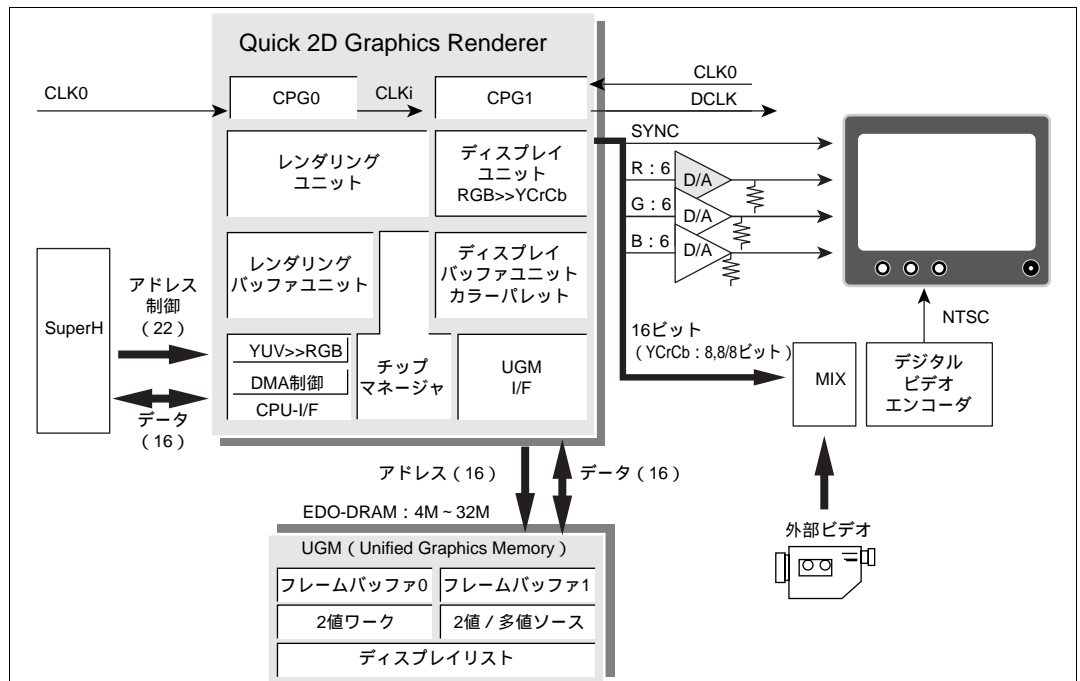


図 1.1 システム概要図

## 1.2 ブロック図

図 1.2 に Q2 の内部ブロック図を示します。図 1.2 中の各ブロックは次のような機能を持っています。

### レンダリングユニット

UGM 上のディスプレイリストのフェッチと解釈を行い、UGM 上のソースデータを参照しながら UGM 上の描画側フレームバッファに対して描画データを出力します。

### レンダリングバッファユニット

レンダリングユニットと UGM 間でデータ / アドレスをバッファリングし、効率良く出力します。

### CPU インタフェースユニット

CPU バスとの接続に関する制御を行います。

### メモリインタフェースユニット

UGM バスとの接続に関する制御を行います。

### ディスプレイユニット

CRT 装置への制御信号の制御を行います。

### ディスプレイバッファユニット

CRT に表示するデータを表示側フレームバッファより読み出し、表示タイミングに従って表示データを出力します。

### カラーパレット ( 各色 6 ビット、64 階調設定 )

8 ビット / 画素時、色変換テーブルに基づき 262,144 色中 256 色の表示データに変換します。

### YUV ( YUV ) : RGB 変換

入力データ YUV ( 26 万色 ) または、YUV ( 26 万色 ) を RGB ( 6 万色 ) データに変換し、UGM に格納します。

### RGB-YCrCb 変換

UGM 上の RGB ( 6 万色 ) データを YCrCb ( 6 万色 ) データに変換し、出力します。



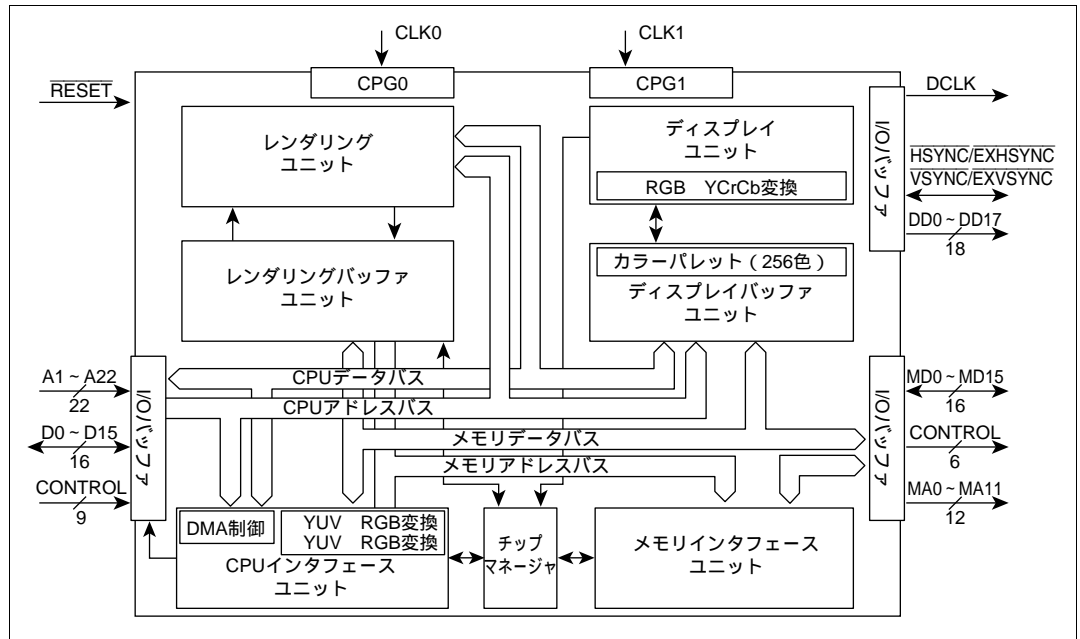


図 1.2 内部ブロック図

## 1.3 コンセプト

### 1.3.1 シンプル ( システム構成の最適化 )

#### ( 1 ) ユニファイドグラフィックスメモリアーキテクチャ採用

画像データの一元的扱い [ ユニファイドグラフィックスメモリ ( UGM ) アーキテクチャ ]

形式が異なるデータを同一の UGM 上に格納し、それらを管理できます ( 図 1.3 参照 ) 。

UGM の必要最小限化

・ UGM 最小構成 :

データバスが 16 ビットタイプの 4M ビット EDO ページモード DRAM × 1 個

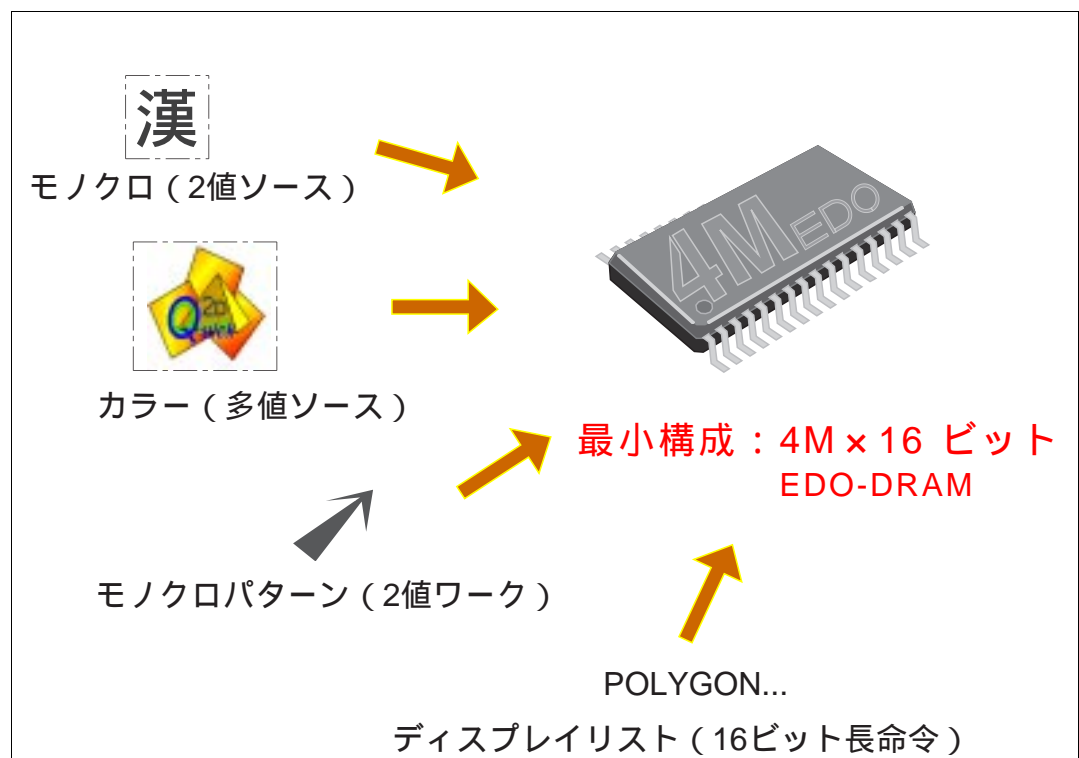


図 1.3 システムの小型化を可能にする UGM アーキテクチャ

システムバスインタフェースの一元化

インタフェースの一元化として、CPU インタフェース回路を内蔵しました。これにより、SuperH の種類に依存なく、ユニファイドグラフィックスメモリを SuperH のメモリ空間に配置可能です ( 図 1.4 参照 ) 。

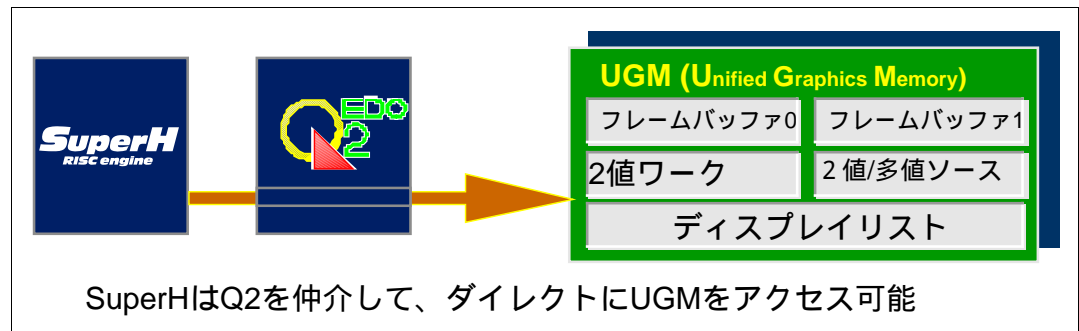


図 1.4 システムバスインタフェースの一元化 ( SuperH は Q2 を仲介して、ダイレクトに UGM をアクセス可能 )

## 1.3.2 リアルタイム

### (1) ダブルバッファアーキテクチャ採用

描画バッファと表示バッファをフレームまたは、フィールド単位で切り換えるダブルバッファアーキテクチャの採用と、UGM に EDO ページモード DRAM を使用することで、表示処理を行うのと交互に、高速な描画処理を行え、リアルタイムな動作を表現可能です ( 図 1.5 参照 )。

#### ダブルバッファ制御

##### ・ダブルバッファ制御の種類

オートディスプレイチェンジモード :

表示フレームの切り換えを優先的に行うモードです。フレーム切り換え時に描画中であれば、途中で描画が強制終了されます。

オートレンダリングモード :

描画が終了するまで表示の切り換えを行わないモードです。1 フレーム以内に描画が終了しない場合、そのまま描画は継続されて描画完了直後のフレーム区切りでフレーム切り換えを行います。

マニュアルディスプレイチェンジモード :

表示フレーム切り換えと描画開始をソフトウェアで制御するモードです。描画完了後、表示エリアチェンジビット ( DC ビット ) をセットすると直後のフレーム区切りでフレーム切り換えを行います。

##### ・ダブルバッファの切り換えタイミング

ノンインタレースモード :

1 フィールドで 1 フレームを構成する走査方式です。ダブルバッファの切り換えは 1 フレーム単位で行われます。

インタレースモード：

2 フィールドで 1 フレームを構成する走査方式です。ダブルバッファの切り換えは 1 フレーム単位で行われます。

インタレースシンク&ビデオモード：

2 フィールドで 1 フレームを構成する走査方式です。ダブルバッファの切り換えは 1 フィールド単位で行われます。

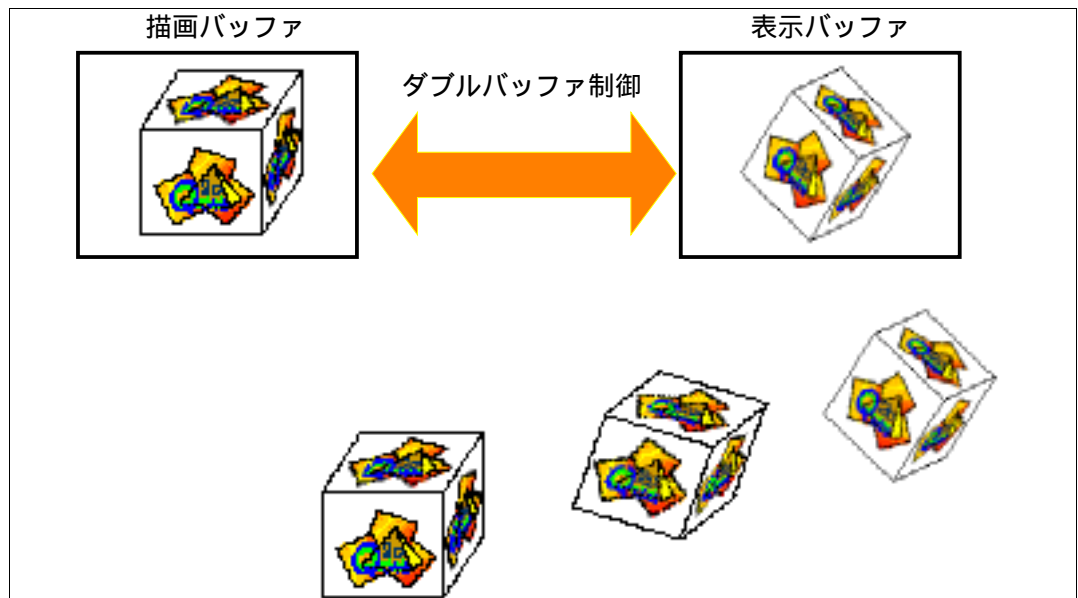


図 1.5 ダブルバッファアーキテクチャ

## (2) EDO ページモード DRAM 対応

UGM に EDO ページモード DRAM を使用可能です。これにより、Q2 は UGM にバーストアクセスを行え、高速な描画を行えます。

## (3) ライトオンリー描画の採用

ライト動作のみの描画方式 (ライトオンリー描画) を採用し、描画性能を向上させました。

### 1.3.3 アップグレード

#### (1) アルゴリズムのアップグレード

Q2の描画体系は、座標等の整頓されたデータベースをもとに、SuperHで座標変換等のアルゴリズムを実行し、その演算結果を図形として表現する描画体系になっています。このため、データベースの変更なしに、アルゴリズムをアップグレードするだけで、様々な形の図形を表現できます(図1.6参照)。

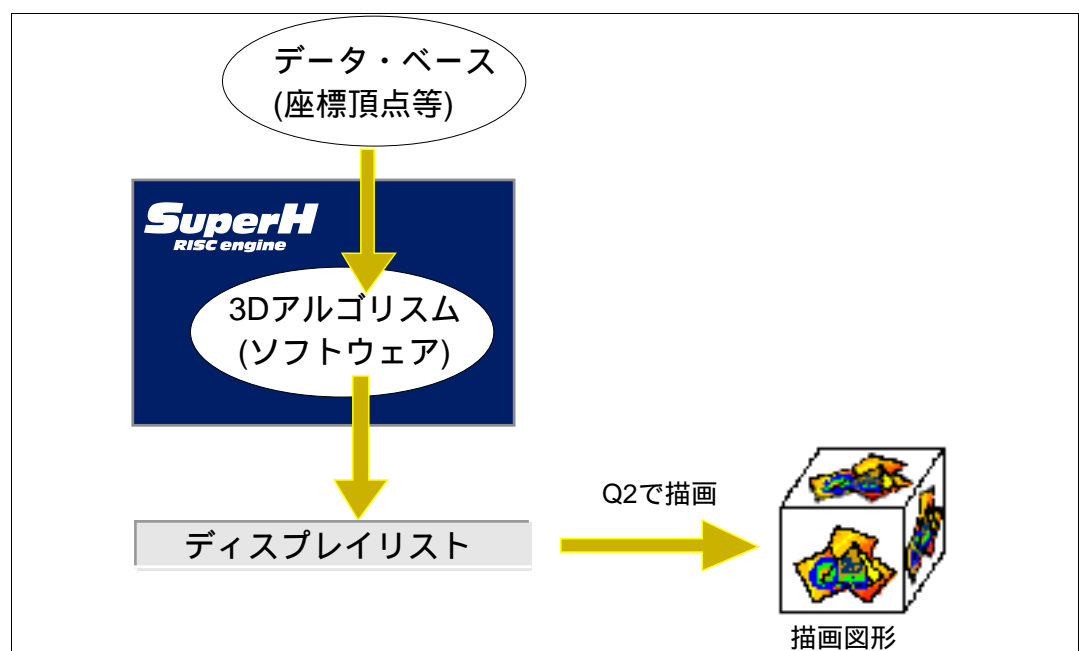


図1.6 3D アルゴリズムを使用したときのデータの流れ

#### (2) 描画システムのアップグレード

Q2はSuperHと同様にQシリーズとしてシリーズ化を行います。そのため、ユーザの用途にあったQ2およびSuperHの選択を行うことが可能になります。また、ユーザの必要に応じて、Q2またはSuperHとの組み合わせを変更することで、描画システムのアップグレードを図れます。

#### (3) アプリケーションインタフェースの整合性

Q2では描画コマンドを厳選し、描画コマンドを4種類(4頂点面描画、線描画、ワーク面描画およびワーク線描画)で構成しました。これにより、アプリケーション内部において、描画コマンドに依存する部分を低減でき、アプリケーション間のインタフェースの整合性の向上を図れます。

## 1.4 機能一覧

Q2の機能一覧を表 1.1 に示します。

表 1.1 機能一覧表

項目		機能・性能	
最大 クロック	描画系内部動作 (動作クロック)	逡倍 ON : 33MHz×1、16.5MHz×2、8.25MHz×4 逡倍 OFF : 33MHz	
	周波数 表示系内部動作 (表示ドットクロック)	<u>動作クロック</u> 2	
描画性能		ポリゴン性能 (25×20 画素) 15,000 個 / 秒 ライン性能 (10 ドット) 30 万本 / 秒	
表示機能	画面サイズ例	320×240 ドット (ノンインタレース動作時の標準サイズ) 640×480 ドット (インタレース & ビデオ動作時の標準サイズ)	
	CRT 走査方式	ノンインタレース、インタレース、インタレースシンク & ビデオ	
	外部同期	マスタ、TV 同期	
	表示色	256 色 (26 万色中から選択可)、または、65,536 色	
描画機能	描画	描画関連	4 頂点面描画、線描画、ワーク面描画、ワーク線描画
	コマンド	レジスタ設定関連	カレントポイント設定、ローカルオフセット設定、クリッピング
		シーケンス制御関連	ジャンプ、サブルーチン
	座標系	描画座標系 : レンダリング座標、ワーク座標 ソース座標系 : 2 値ソース座標、多値ソース座標	
色表現	描画座標系 : 8 または 16 ビット / 画素 ソース座標系 : 1 ビット / 画素、8 または 16 ビット / 画素		
インタ フェース	S H	コマンド / データ転送	DMA 転送 (シングルアドレス) または SuperH で行う
		YUV RGB 変換	入力 16 ビット 4:2:2 (Y, U, V 各 8 ビット)、 出力 16 ビット (R:5, G:6, B:5 ビット)
		YUV RGB 変換	入力 8 ビット (d-Y, d-U, d-V 各 4 ビット) 出力 16 ビット (R:5, G:6, B:5 ビット)
		割込み出力	同期検出、フレーム検出、DMA 転送終了、コマンドエラー、 垂直ブランキング、コマンドエンド、コマンド中断
		対応 SuperH	3.3V または 5V 動作の SuperH とダイレクトに接続可能
	ユニファイド グラフィックス メモリ	16 ビット バス幅 EDO DRAM	最小 4M ビット (4M ビット×1 個、4M ビット×2 個、 16M ビット×1 個、16M ビット×2 個より選択)
	表示	RGB YCrCb 変換	入力 16 ビット (R:5, G:6, B:5) 出力 16 ビット 4:2:2 (Y, Cr, Cb 各 8 ビット)
プロセス / パッケージ		0.6 ミクロン CMOS/144 ピン QFP	
電源電圧 / 温度範囲		5.0V±5% / 0 ~ 70 (I仕様 : 5.0V±10% / -40 ~ 85 )	

---

# 2. 端子

---

## 第2章 目次

2.1	ピン配置と端子機能 .....	13
2.1.1	端子概要 .....	13
2.1.2	ピン配置 .....	14
2.1.3	端子機能 .....	15
2.2	動作モード端子 .....	20
2.3	CPU インタフェース端子 .....	21
2.3.1	CPU ライト .....	21
2.3.2	CPU リード .....	21
2.3.3	DMA ライト .....	22
2.3.4	割込み .....	22
2.4	電源端子 .....	23
2.4.1	通常電源、PLL 電源 .....	23
2.4.2	CPU 電源 .....	23
2.5	表示インタフェース端子 .....	24
2.5.1	DAC インタフェース .....	24
2.5.2	ビデオエンコーダインタフェース .....	24
2.5.3	CRT インタフェース .....	24
2.6	UGM インタフェース端子 .....	25
2.6.1	UGM アクセス .....	25





## 2.1 ピン配置と端子機能

### 2.1.1 端子概要

本 LSI の端子概要を図 2.1 に示します。

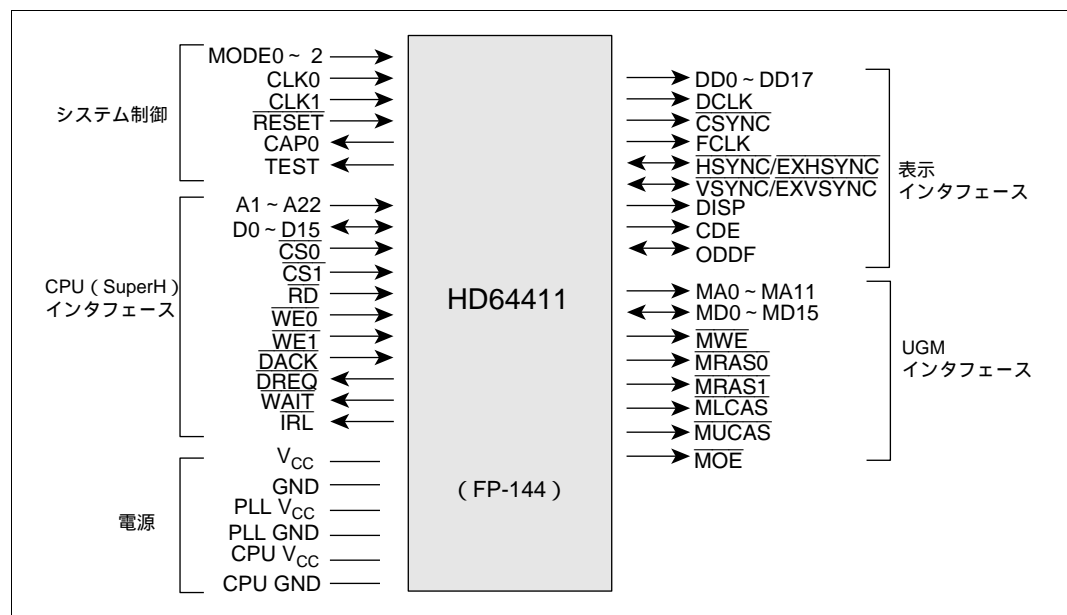


図 2.1 端子概要

### 2.1.2 ピン配置

本 LSI のピン配置図を図 2.2 に示します。

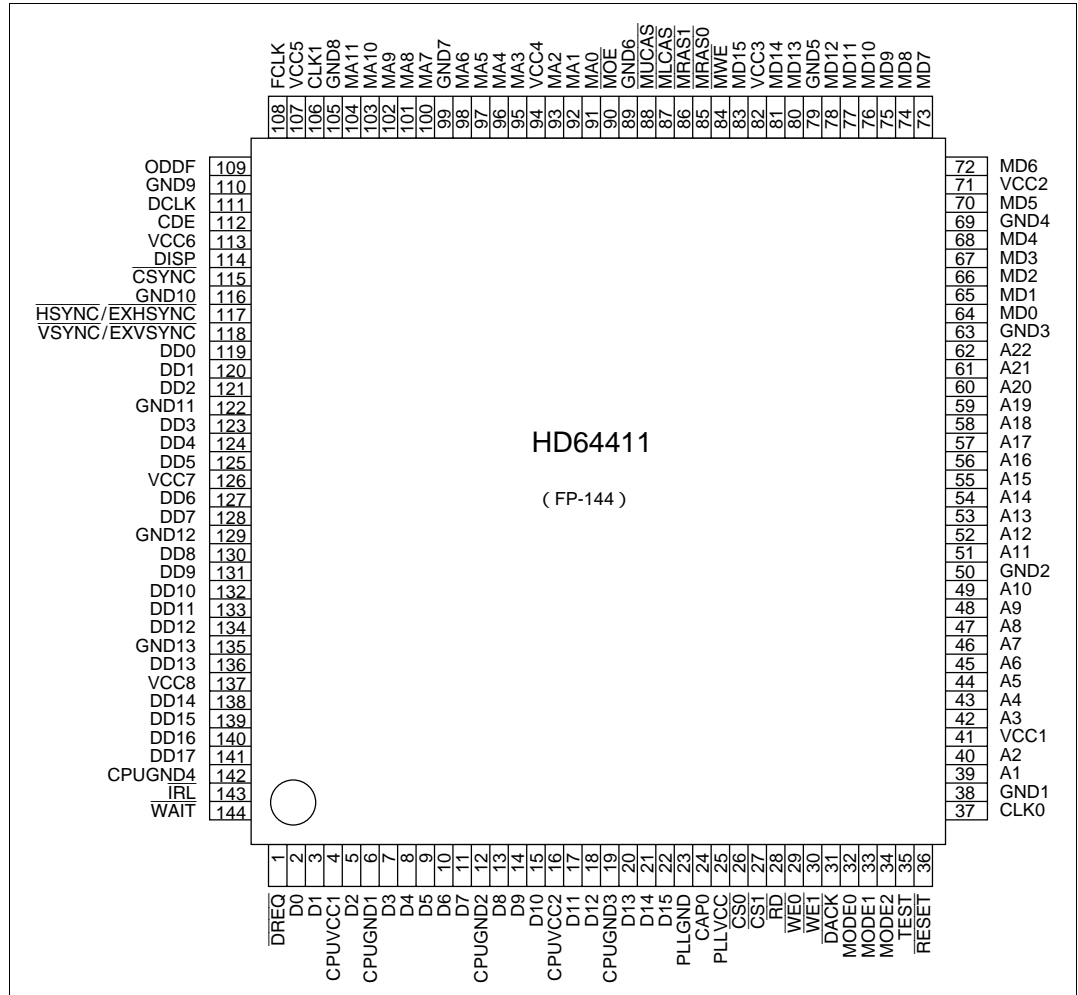


図 2.2 ピン配置図

## 2.1.3 端子機能

本 LSI の端子機能を表 2.1 に示します。

表 2.1 端子機能一覧表 (1)

分類	記号	ピン番号	入出力	機能	備考
システム制御	MODE0	32	入力	動作モード端子 0	5V 入力仕様
	MODE1	33	入力	動作モード端子 1	5V 入力仕様
	MODE2	34	入力	動作モード端子 2	5V 入力仕様
	CLK0	37	入力	Q2 動作クロック	5V 入力仕様
	CLK1	106	入力	表示用ドットクロック	5V 入力仕様
	RESET	36	入力	リセット	5V 入力仕様
	CAP0	24	出力	逡倍回路用外部容量端子	
	TEST	35	出力	テスト用端子 (開放としてください)	
CPU インタフェース	A1	39	入力	CPU アドレス 1	3V/5V-CPU I/F
	A2	40	入力	CPU アドレス 2	3V/5V-CPU I/F
	A3	42	入力	CPU アドレス 3	3V/5V-CPU I/F
	A4	43	入力	CPU アドレス 4	3V/5V-CPU I/F
	A5	44	入力	CPU アドレス 5	3V/5V-CPU I/F
	A6	45	入力	CPU アドレス 6	3V/5V-CPU I/F
	A7	46	入力	CPU アドレス 7	3V/5V-CPU I/F
	A8	47	入力	CPU アドレス 8	3V/5V-CPU I/F
	A9	48	入力	CPU アドレス 9	3V/5V-CPU I/F
	A10	49	入力	CPU アドレス 10	3V/5V-CPU I/F
	A11	51	入力	CPU アドレス 11	3V/5V-CPU I/F
	A12	52	入力	CPU アドレス 12	3V/5V-CPU I/F
	A13	53	入力	CPU アドレス 13	3V/5V-CPU I/F
	A14	54	入力	CPU アドレス 14	3V/5V-CPU I/F
	A15	55	入力	CPU アドレス 15	3V/5V-CPU I/F
	A16	56	入力	CPU アドレス 16	3V/5V-CPU I/F
	A17	57	入力	CPU アドレス 17	3V/5V-CPU I/F
	A18	58	入力	CPU アドレス 18	3V/5V-CPU I/F
	A19	59	入力	CPU アドレス 19	3V/5V-CPU I/F
	A20	60	入力	CPU アドレス 20	3V/5V-CPU I/F
	A21	61	入力	CPU アドレス 21	3V/5V-CPU I/F
	A22	62	入力	CPU アドレス 22	3V/5V-CPU I/F

表 2.1 端子機能一覧表 (2)

分類	記号	ピン番号	入出力	機能	備考
CPU インタフェース	D0	2	入出力	CPU データ 0	3V/5V-CPU I/F
	D1	3	入出力	CPU データ 1	3V/5V-CPU I/F
	D2	5	入出力	CPU データ 2	3V/5V-CPU I/F
	D3	7	入出力	CPU データ 3	3V/5V-CPU I/F
	D4	8	入出力	CPU データ 4	3V/5V-CPU I/F
	D5	9	入出力	CPU データ 5	3V/5V-CPU I/F
	D6	10	入出力	CPU データ 6	3V/5V-CPU I/F
	D7	11	入出力	CPU データ 7	3V/5V-CPU I/F
	D8	13	入出力	CPU データ 8	3V/5V-CPU I/F
	D9	14	入出力	CPU データ 9	3V/5V-CPU I/F
	D10	15	入出力	CPU データ 10	3V/5V-CPU I/F
	D11	17	入出力	CPU データ 11	3V/5V-CPU I/F
	D12	18	入出力	CPU データ 12	3V/5V-CPU I/F
	D13	20	入出力	CPU データ 13	3V/5V-CPU I/F
	D14	21	入出力	CPU データ 14	3V/5V-CPU I/F
	D15	22	入出力	CPU データ 15	3V/5V-CPU I/F
	$\overline{CS0}$	26	入力	チップ選択 0 ( UGM )	3V/5V-CPU I/F
	$\overline{CS1}$	27	入力	チップ選択 1 ( 内部レジスタ )	3V/5V-CPU I/F
	$\overline{RD}$	28	入力	リードストロープ	3V/5V-CPU I/F
	$\overline{WE0}$	29	入力	書き込みパルス 0	3V/5V-CPU I/F
$\overline{WE1}$	30	入力	書き込みパルス 1	3V/5V-CPU I/F	
$\overline{DACK}$	31	入力	DMA アクノリッジ	3V/5V-CPU I/F	
$\overline{DREQ}$	1	出力	DMA リクエスト	3V/5V-CPU I/F	
$\overline{WAIT}$	144	出力	CPU ウェイト	3V/5V-CPU I/F	
$\overline{IRL}$	143	出力	割込み要求	3V/5V-CPU I/F	
表示 インタフェース	DD0	119	出力	表示データ出力 0	5V 出力仕様
	DD1	120	出力	表示データ出力 1	5V 出力仕様
	DD2	121	出力	表示データ出力 2	5V 出力仕様
	DD3	123	出力	表示データ出力 3	5V 出力仕様
	DD4	124	出力	表示データ出力 4	5V 出力仕様
	DD5	125	出力	表示データ出力 5	5V 出力仕様
	DD6	127	出力	表示データ出力 6	5V 出力仕様
	DD7	128	出力	表示データ出力 7	5V 出力仕様

表 2.1 端子機能一覧表 (3)

分類	記号	ピン番号	入出力	機能	備考
表示 インタフェース	DD8	130	出力	表示データ出力 8	5V 出力仕様
	DD9	131	出力	表示データ出力 9	5V 出力仕様
	DD10	132	出力	表示データ出力 10	5V 出力仕様
	DD11	133	出力	表示データ出力 11	5V 出力仕様
	DD12	134	出力	表示データ出力 12	5V 出力仕様
	DD13	136	出力	表示データ出力 13	5V 出力仕様
	DD14	138	出力	表示データ出力 14	5V 出力仕様
	DD15	139	出力	表示データ出力 15	5V 出力仕様
	DD16	140	出力	表示データ出力 16	5V 出力仕様
	DD17	141	出力	表示データ出力 17	5V 出力仕様
	DCLK	111	出力	表示用クロック出力	5V 出力仕様
	$\overline{\text{CSYNC}}$	115	出力	コンポジット同期信号出力	5V 出力仕様
	FCLK	108	出力	1/2 表示ドットクロック	5V 出力仕様
	$\overline{\text{HSYNC}}$ / $\overline{\text{EXHSYNC}}$	117	入出力	水平同期出力 / 外部水平同期 入力	5V 入出力仕様
	$\overline{\text{VSYNC}}$ / $\overline{\text{EXVSYNC}}$	118	入出力	垂直同期出力 / 外部垂直同期 入力	5V 入出力仕様
	DISP	114	出力	表示期間を示す信号 (表示期間 High レベル)	5V 出力仕様
	CDE	112	出力	色検出 (DD 端子特定色出力時 High レベル)	5V 出力仕様
ODDF	109	入出力	奇数フィールドを示す信号 (奇数時 Low レベル)	5V 入出力仕様	
UGM インタフェース	MA0	91	出力	メモリアドレス 0	5V 出力仕様
	MA1	92	出力	メモリアドレス 1	5V 出力仕様
	MA2	93	出力	メモリアドレス 2	5V 出力仕様
	MA3	95	出力	メモリアドレス 3	5V 出力仕様
	MA4	96	出力	メモリアドレス 4	5V 出力仕様
	MA5	97	出力	メモリアドレス 5	5V 出力仕様
	MA6	98	出力	メモリアドレス 6	5V 出力仕様
	MA7	100	出力	メモリアドレス 7	5V 出力仕様
	MA8	101	出力	メモリアドレス 8	5V 出力仕様
	MA9	102	出力	メモリアドレス 9	5V 出力仕様
	MA10	103	出力	メモリアドレス 10	5V 出力仕様
	MA11	104	出力	メモリアドレス 11	5V 出力仕様
	MD0	64	入出力	メモリデータ 0	5V 入出力仕様
	MD1	65	入出力	メモリデータ 1	5V 入出力仕様

表 2.1 端子機能一覧表 (4)

分類	記号	ピン番号	入出力	機能	備考
UGM インタフェース	MD2	66	入出力	メモリデータ 2	5V 入出力仕様
	MD3	67	入出力	メモリデータ 3	5V 入出力仕様
	MD4	68	入出力	メモリデータ 4	5V 入出力仕様
	MD5	70	入出力	メモリデータ 5	5V 入出力仕様
	MD6	72	入出力	メモリデータ 6	5V 入出力仕様
	MD7	73	入出力	メモリデータ 7	5V 入出力仕様
	MD8	74	入出力	メモリデータ 8	5V 入出力仕様
	MD9	75	入出力	メモリデータ 9	5V 入出力仕様
	MD10	76	入出力	メモリデータ 10	5V 入出力仕様
	MD11	77	入出力	メモリデータ 11	5V 入出力仕様
	MD12	78	入出力	メモリデータ 12	5V 入出力仕様
	MD13	80	入出力	メモリデータ 13	5V 入出力仕様
	MD14	81	入出力	メモリデータ 14	5V 入出力仕様
	MD15	83	入出力	メモリデータ 15	5V 入出力仕様
	$\overline{MWE}$	84	出力	メモリ書き込みパルス	5V 出力仕様
	$\overline{MRAS0}$	85	出力	ロウ選択信号 0	5V 出力仕様
	$\overline{MRAS1}$	86	出力	ロウ選択信号 1	5V 出力仕様
	$\overline{MLCAS}$	87	出力	下位側カラム選択信号	5V 出力仕様
	$\overline{MUCAS}$	88	出力	上位側カラム選択信号	5V 出力仕様
	$\overline{MOE}$	90	出力	メモリ読み出しパルス	5V 出力仕様
電源	VCC1	41	電源	バッファ / 内部用 VDD	5V 入力仕様
	VCC2	71	電源	バッファ / 内部用 VDD	5V 入力仕様
	VCC3	82	電源	バッファ / 内部用 VDD	5V 入力仕様
	VCC4	94	電源	バッファ / 内部用 VDD	5V 入力仕様
	VCC5	107	電源	バッファ / 内部用 VDD	5V 入力仕様
	VCC6	113	電源	バッファ / 内部用 VDD	5V 入力仕様
	VCC7	126	電源	バッファ / 内部用 VDD	5V 入力仕様
	VCC8	137	電源	バッファ / 内部用 VDD	5V 入力仕様
	GND1	38	グランド	バッファ用 VSS	
	GND3	63	グランド	バッファ用 VSS	
	GND5	79	グランド	バッファ用 VSS	
	GND6	89	グランド	バッファ用 VSS	
	GND8	105	グランド	バッファ用 VSS	

表 2.1 端子機能一覧表 (5)

分類	記号	ピン番号	入出力	機能	備考
電源	GND9	110	グランド	バッファ用 VSS	
	GND11	122	グランド	バッファ用 VSS	
	GND13	135	グランド	バッファ用 VSS	
	GND2	50	グランド	内部用 VSS	
	GND4	69	グランド	内部用 VSS	
	GND7	99	グランド	内部用 VSS	
	GND10	116	グランド	内部用 VSS	
	GND12	129	グランド	内部用 VSS	
	PLL VCC	25	電源	逓倍回路用 VDD	5V 入力仕様
	PLL GND	23	グランド	逓倍回路用 VSS	
	CPU VCC1	4	電源	CPU IO 部バッファ用 VDD	3V/5V 入力仕様
	CPU VCC2	16	電源	CPU IO 部バッファ用 VDD	3V/5V 入力仕様
	CPU GND1	6	グランド	バッファ用 VSS	
	CPU GND3	19	グランド	バッファ用 VSS	
	CPU GND2	12	グランド	内部用 VSS	
	CPU GND4	142	グランド	内部用 VSS	

## 2.2 動作モード端子

Q2 のシステム動作を決定します、リセット立ち上げ時にモードが確定します。

(1) MODE2 = “L”、MODE1 = “L”、MODE0 = “L”

通常動作状態になります。逡倍 ON。外部入力クロックは、デューティフリーとなります。

外部入力クロックの 1 倍の周波数のクロックが内部動作クロックになります。

(2) MODE2 = “L”、MODE1 = “L”、MODE0 = “H”

通常動作状態になります。逡倍 ON。外部入力クロックは、デューティフリーとなります。

外部入力クロックの 2 倍の周波数のクロックが内部動作クロックになります。

(3) MODE2 = “L”、MODE1 = “H”、MODE0 = “L”

通常動作状態になります。逡倍 ON。外部入力クロックは、デューティフリーとなります。

外部入力クロックの 4 倍の周波数のクロックが内部動作クロックになります。

(4) MODE2 = “L”、MODE1 = “H”、MODE0 = “H”

通常動作状態になります。逡倍 OFF。外部入力クロックは、デューティ 50% であることが必要です。外部入力クロックが内部動作クロックになります。

(5) MODE2 = “H”、MODE1 = “\*”、MODE0 = “\*” : 設定禁止

【注】 “H” : High レベル

“L” : Low レベル

“\*” : High レベル、Low レベルいずれでも可



## 2.3 CPU インタフェース端子

### 2.3.1 CPU ライト

CPU は、UGM または Q2 内部レジスタをアクセスすることができます。UGM アクセス時は、 $\overline{CS0}$  に Low レベルを、Q2 内部レジスタのアクセス時は、 $\overline{CS1}$  に Low レベルを入力します。 $\overline{CS0}$  と  $\overline{CS1}$  を同時に Low レベルにしないでください。UGM または Q2 内部レジスタのアドレスは、A1 ~ A22 に入力します。アドレスは、ワードアドレスです。Q2 は、ワード (2 バイト) アクセスのみ使用できます。 $\overline{WE0}$ 、 $\overline{WE1}$  のどちらか一方、または両方に Low レベルを入力してください。なお、CPU が SH7040 または SH7042 の場合、 $\overline{WAIT}$  端子が A20 と兼用しているため、UGM 容量に制限があります。メモリ空間上の ROM 等の配置を考慮して UGM の容量を決定してください。

Q2 は、CPU インタフェースに非同期インタフェースを採用しており、Q2 要因による CPU アクセスの延期を  $\overline{WAIT}$  信号によって CPU に知らせます。ただし、Q2 の  $\overline{WE0}$ 、 $\overline{WE1}$  信号の High レベル幅の規定を満足する必要があります。このため、CPU が SH-1、SH-2 のとき、Q2 の通倍を OFF にし、CK 端子から出力されるクロックをダイレクトに Q2 の CLK0 端子に入力して、CPU と Q2 を同じ周波数でかつ、同じ位相のクロックで動作させるか (クロック同期インタフェース)、Q2 の通倍数を N としたとき、Q2 の  $\overline{WE0}$ 、 $\overline{WE1}$ 、 $\overline{RD}$  信号の High レベル幅の規定を満足するよう、CK 端子から出力されるクロック周波数よりも  $N \times CLK0$  の周波数が高くなるようなクロックを CLK0 端子に入力してください (クロック非同期インタフェース)。クロックに関する詳細な説明は、「第 6 章 使用上の注意事項」をご覧ください。CPU が SH-3 の場合は、CK 端子から出力される信号が 3.3V TTL インタフェースで、Q2 の CLK0 端子は、5V CMOS インタフェースなので、CK 端子から出力されるクロックをダイレクトに Q2 の CLK0 端子に入力することはできません。

また、Q2 が出力する  $\overline{WAIT}$  信号を SuperH で認識できるよう、SuperH のハードウェアウェイトを有効にし、ソフトウェアサイクルを設定してください。ソフトウェアサイクルは、CK 端子から出力されるクロック周波数と、CLK0 端子に入力されるクロック周波数の関係で決定されます。ソフトウェアウェイトの数定例については、「HD64411 Q2 アプリケーションノート」を参照してください。なお、SH704X を使用するとき、必ず  $\overline{CS}$  アサート拡張を行うように設定してください。レジスタへのバイトアクセスは行わないでください。バイトアクセスを行うとアクセスをしたレジスタおよび UGM のデータがこわれます。

### 2.3.2 CPU リード

ライト動作と基本的に同じです。読み出しは、ワード単位です。

### 2.3.3 DMA ライト

DMA コントローラは、サイクルスチールで、ディスプレイリスト、2 値ソース、デルタ YUV データの転送を行うことができます。DMA コントローラで、データ転送を行うには、DMA 転送開始アドレスレジスタ (DMASR)、DMA 転送語数レジスタ (DMAWR)、およびシステム制御レジスタ (SYSR) による DMA モードの設定が必要です。DMA モードの設定後 Q2 は、準備が整い次第  $\overline{\text{DREQ}}$  信号を Low レベルにします。DMA コントローラはこれを受けて、メモリからデータをリードし、データバス上にデータを出現させます。そして、Q2 は、データバス上に現れたデータを、 $\overline{\text{RD}}$  信号の立ち上がりで Q2 内部に取り込み、UGM に転送します。ディスプレイリストまたは 2 値ソースをデータとする DMA ライトを行うときは、DMA モードを “01” にします。また、デルタ YUV データをデータとする DMA ライトを行うときは、DMA モードを “11” にします。Q2 はワード単位でデータを受け取ります。

DMA モードにおいて Q2 は、ハードウェアウェイトを CPU に出力することはありません。

DMA のモードは、サイクルスチール DMA モードエッジ検出、シングルアドレスモードに設定してください。

なお、CPU を SH704X (SH-2) とした場合、CPU の  $\overline{\text{CS}}$  アサート拡張を有効になるように設定を行ってください。

DMA モードが “01” または “11” の場合は、CPU の UGM アクセスは行なわないでください。

### 2.3.4 割込み

Q2 は、7 種の Q2 内部要因により、CPU に対して割込みをかけられます。割込み要因は、割込み許可レジスタ (IER) に設定します。

## 2.4 電源端子

### 2.4.1 通常電源、PLL 電源

通常電源および、PLL 電源には、5V を接続します。

CAP0 は、逡倍回路用の外部容量端子です。所定の容量を接続してください（図 2.3 参照）。また、逡倍 OFF にした時は、CAP0 端子を開放にするか、波線内の回路を付けたままにします。

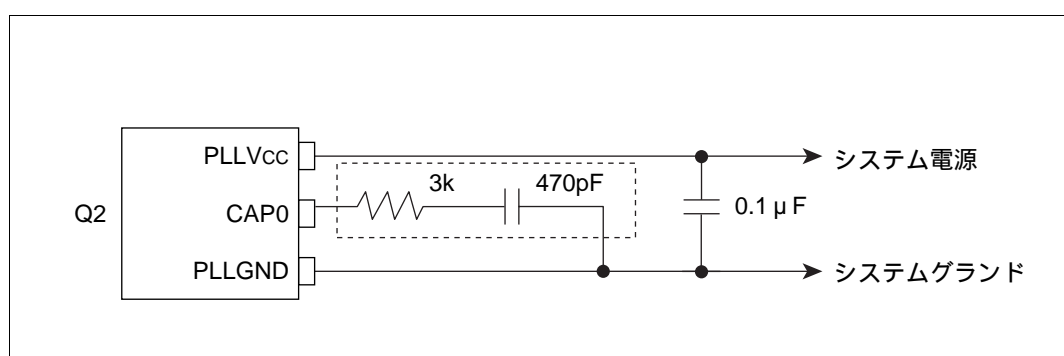


図 2.3 CAP0 端子接続回路例

### 2.4.2 CPU 電源

CPU 電源には、CPU の電源に合わせ 5V、または 3.3V を接続します。CPU が、SH703X (SH-1)、SH7604 (SH-2)、SH704X (SH-2) の場合は 5V、SH7708 (SH-3) の場合は、3.3V を接続します。

CPU 電源を 3.3V で使用する場合の電源投入順序は、通常電源、PLL 電源 (5V 系) が先、CPU 電源 (3.3V 系) が後の順序で行ってください。電源切断順序は、CPU 電源 (3.3V 系) が先、PLL 電源 (5V 系) が後の順序で行ってください。(手順を守らない場合、素子破壊を起こす可能性があります。)

## 2.5 表示インタフェース端子

表示インタフェース端子から出力される信号はすべて、ドットクロック (DCLK) に同期しています。

### 2.5.1 DAC インタフェース

ドットクロックに同期したデジタル画素データを出力します。画素データのフォーマットは、RGB 各 6 ビットと、YCrCb 各 8 ビット 4 : 2 : 2 の 2 種から選択します。表示期間外では、DD0 ~ DD17 はすべて Low レベルになります。

### 2.5.2 ビデオエンコーダインタフェース

Q2 は、表示モードレジスタの DOT ビットに 1 を設定することで、ビデオエンコーダインタフェースを実現します。例えば、NTSC エンコーダをビデオエンコーダとして使用する場合、CLK1 端子に 4FSC (14.31818MHz) を入力してください。これにより、DCLK 端子にドットクロック (7.15909MHz) を、CSYNC 端子にデジタルコンポジットシンク、および FCLK 端子に FSC (サブキャリア周波数 : 3.58MHz) を出力します。なお、TV 同期モード時、 $\overline{\text{CSYNC}}$  は、High レベルを出力します。なお、DCLK と FCLK から出力されるクロックは同期しています。このため、FCLK から出力されるクロックをサブキャリア周波数として使用する場合は、クロスカラーなどによる色ずれを生じるときがありますので、ビデオエンコーダ回路にて、色ずれの対策を行ってください。

### 2.5.3 CRT インタフェース

水平同期信号、垂直同期信号、表示期間を示す DISP 信号、色検出用の CDE 信号、インタレース制御のための現フィールドが偶数か奇数かを示す ODDF 信号を出力します。外部装置 (TV、ビデオ) に同期を合わせる時は、水平同期信号、垂直同期信号、ODDF 信号を入力にします。リセット時は、 $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ 、ODDF 端子が入力モードになっているので、この端子を無意味の方向に固定すること (プルアップ) が必要です。

## 2.6 UGM インタフェース端子

### 2.6.1 UGM アクセス

Q2 は、EDO ページモード付き DRAM を UGM とすることができます。Q2 が対象とする EDO ページモード付き DRAM は、日立 HM51 (S) 4265 シリーズ (容量 4M ビット、電源電圧 5V、メモリ構成 256k × 16)、日立 HM5118165 シリーズ (容量 16M ビット、電源電圧 5V、メモリ構成 1M × 16) あるいはその相当品です。Q2 は、これらの DRAM を 2 個まで接続できます。なお基本的に、アクセスタイムが 60ns 以下のメモリを使用してください。

---

# 3. ユニファイドグラフィクス メモリ ( UGM ) と表示機能

---

## 第3章 目次

3.1	クロック .....	29
3.2	ユニファイドグラフィクスメモリ ( UGM ) .....	30
	3.2.1 概要 .....	30
	3.2.2 メモリアクセス .....	32
	3.2.3 メモリマップ .....	33
3.3	表示とその制御 .....	40
	3.3.1 概要 .....	40
	3.3.2 ダブルバッファ制御 .....	40
	3.3.3 カラーデータフォーマット .....	44
	3.3.4 ディスプレイ機能 .....	51
3.4	初期状態 .....	59
	3.4.1 初期状態 ( 規定の電源を投入したとき ) .....	59
	3.4.2 リセット状態 ( $\overline{\text{RESET}}$ 端子に Low レベルを入力したとき ) .....	59



## 3.1 クロック

Q2 のクロックは、CLK0 と CLK1 の 2 系統があります。CLK0 端子には、動作クロックの基準となるクロックを、CLK1 端子には、表示ドットクロック (DCLK) の基準となるクロックをそれぞれ入力します。

動作クロックは、描画動作を行う基本クロックであり、UGM のアクセスもこのクロックを基本としています。Q2 内部に動作クロック用の逡倍回路を内蔵しているため、CLK0 端子には、動作クロックの 1 倍、1/2 倍、1/4 倍を選択して入力することが可能です。

表示ドットクロックは、表示動作を行う基本クロックであり、表示データの出力制御、水平 / 垂直同期信号の生成に使用されます。Q2 内部に表示ドットクロック用の分周器を持っており、CLK1 端子には、ドットレートの 1 倍、2 倍を選択して入力します。

これらの関係をまとめて表 3.1 に示します。

表 3.1 入力クロックと動作周波数

クロック入力端子	クロック種別	動作モード	
CLK0	右記のいずれかが動作クロックになります。	逡倍 ON	周波数は、CLK0 の周波数の 1 倍で、デューティが 50% に補正されたクロック
			周波数は、CLK0 の周波数の 2 倍で、デューティが 50% に補正されたクロック
			周波数は、CLK0 の周波数の 4 倍で、デューティが 50% に補正されたクロック
		逡倍 OFF	周波数は、CLK0 の周波数の 1 倍のクロック
CLK1	右記のいずれかが表示ドットクロックになります。	周波数は、CLK1 の周波数の 1 倍のクロック	
		周波数は、CLK1 の周波数の 1/2 倍のクロック	

動作クロックと表示ドットクロックは、各々の周波数が以下の (1) または (2) を満たす範囲で自由に設定することが可能です。

- (1) 動作クロック周波数 > 表示ドットクロック周波数の 2 倍
- (2) 動作クロック周波数 = 表示ドットクロック周波数の 2 倍、かつ、動作クロックと表示ドットクロックが同期していること。

したがって、表示装置の特性に左右されず、最大速度で描画動作を行うことができます。



## 3.2 ユニファイドグラフィクスメモリ (UGM)

### 3.2.1 概要

Q2に接続されるメモリ(グラフィックメモリ)は、以下の目的のために使用されます。

(1) フレームバッファ

Q2の描画領域および表示領域です。

(2) ディスプレイリスト(コマンドリスト)

Q2の描画コマンドリストの格納領域です。

Q2は、この領域のコマンドをフェッチしながら描画を行います。

(3) ソースエリア、ワークエリア等

塗りつぶし用のパターンやフォントデータの格納領域であるソース領域や、FTRAPコマンドの描画領域等に使用します。

UGMは、CPUの主記憶領域の一部に割り当てて使用します。UGMを使用したシステム構成例を図3.1に、CPUメモリ空間に対するUGMのマッピング例を図3.2に示します。

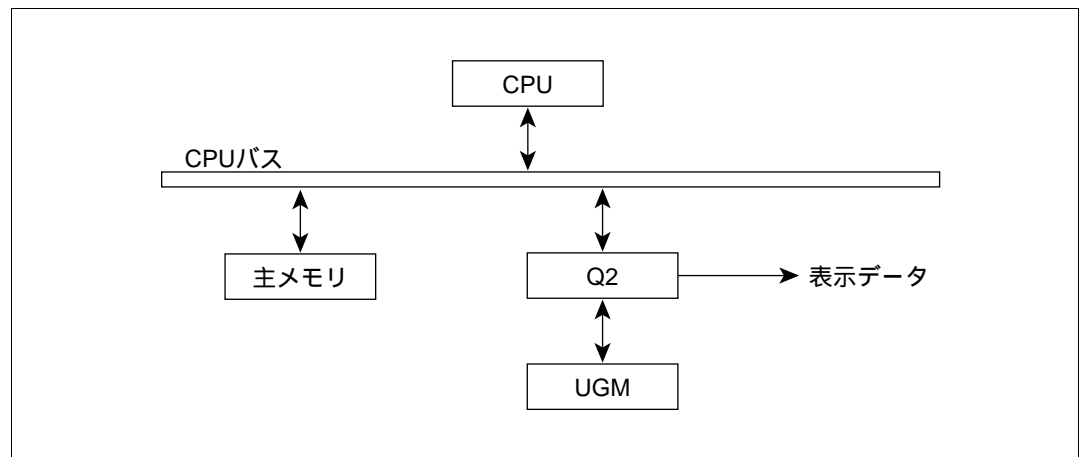


図 3.1 UGMを使用したシステム構成例

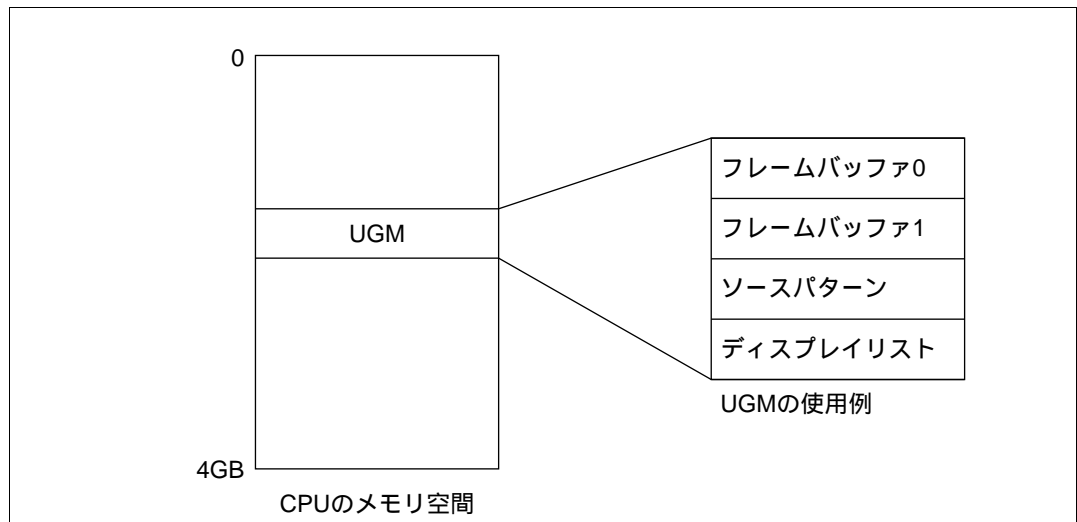


図 3.2 CPU メモリ空間に対する UGM のマッピング例

### 3.2.2 メモリアクセス

UGM のアクセス優先順位制御は、以下のようになります。

1. リフレッシュ
2. 表示
3. CPU
4. その他 (コマンドフェッチ、描画、ソース参照等)

Q2 は、それぞれが並行して処理を可能とするため一定の期間アクセスを行った後、他の要求元にアクセス権を渡します。例えば、3つの要因がアクセスを要求している場合は、それぞれ交互にアクセスします。

#### (1) CPU から UGM をアクセスする方法

CPU から UGM をアクセスする方法には、CPU のソフトウェアによるアクセスと DMAC による DMA 転送の 2 通りがあります。CPU が UGM をアクセスする場合は、Q2 の A1 ~ A22 端子に直接 UGM のアドレスを入力し、 $\overline{CS0}$  端子を Low レベルにします。このため、Q2 の A1 ~ A22 端子には、メモリモードレジスタで指定した範囲の UGM アドレスを入力してください。例えば、UGM として 4M ビットのメモリを 1 個使用する場合、CPU から UGM をアクセスする際に、Q2 の A19 ~ A22 端子が Low レベルになるようにしてください。

また、CPU に SuperH シリーズを用いますので、UGM を “ SuperH の予約領域以外の外部メモリ空間 (キャッシュスルー) ” にマッピングします。CPU と Q2 間のデータ転送は、Q2 の動作クロックに同期して行われます。

なお、CPU による UGM アクセスは、インタフェース制御レジスタ、メモリ制御レジスタ、表示制御レジスタのすべてに初期値を設定し、その後、表示同期動作を開始してからアクセスを行ってください。これを行わないと、CPU が UGM をアクセスしたときに、Q2 がウェイトを出力し続けます。

#### ・ソフトウェアによるアクセス

ソフトウェアによるアクセスの場合は、主記憶の一部として UGM をアクセスします。ライト動作の場合、Q2 は 32 バイト FIFO を内蔵しており、この FIFO に空きがある場合はノーウェイトでアクセス可能です。

リード動作の場合は、数サイクル ~ 数十サイクルのウェイトが入ります。ウェイトサイクル数は、動作クロックと表示ドットクロックの関係や画面サイズにより大幅に変わります。

例えば、動作クロックが 33MHz、表示ドットクロックが 7MHz で、画面サイズが 320 × 240 (8 ビット / 画素) の場合、ウェイト数は平均で 23 サイクル程度となります。

- ・DMAによるアクセス

DMACを内蔵しているCPU (SH-2、SH704X等)の場合は、そのDMACを用いてCPUに接続されたメモリのデータをUGMに転送することが可能です。このDMA転送は、ディスプレイリストやYUVデータの転送に使用することができます。

DMA転送の場合は、Q2内蔵のアドレスカウンタでグラフィクスメモリのアドレスを制御するため、アドレスモードはシングルアドレスモードが可能です。ただし、バスモードはサイクルスチールモードのみです。

## (2) Q2のUGMアクセス

Q2には、UGMとしてEDOページモード付きDRAMを直接接続可能です。このメモリを用いることにより、Q2は1サイクル(動作クロック)単位でメモリアccessが可能となります。

メモリ構成は、256kワード×16ビット(4Mビット)DRAMを1個または2個、1Mワード×16ビット(16Mビット)DRAMを1個または2個使用します。

また、ロウアドレスとカラムアドレスの多重制御は、ロウアドレスが9ビット、10ビット、11ビット、12ビット品が使用可能です。

メモリの種類は、メモリモードレジスタ(MEMR)に設定します。

## 3.2.3 メモリマップ

Q2は、UGMのアドレス制御を行います。UGMには、ディスプレイリスト、2値ソース、ワーク、8ビット/画素ソースまたは16ビット/画素ソース、8ビット/画素レンダリングまたは16ビット/画素レンダリングの各領域があります。UGMは、512バイトを1単位として構成され、各領域ごとにメモリの構成が異なります。図3.3に、各領域ごとのメモリ構成を示します。

また、領域の設定は、各開始アドレスにより設定されます(「5.4 メモリ制御レジスタ」を参照してください)。

### (a) 1ビット/画素(ワーク、2値ソース、ディスプレイリスト)

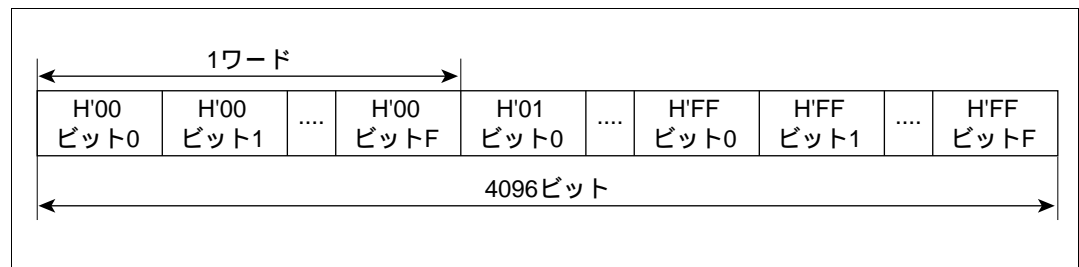


図3.3 メモリ1単位(512バイト)の構成(1)

(b) 8 ビット / 画素 (多値ソース、多値ディスティネーション)

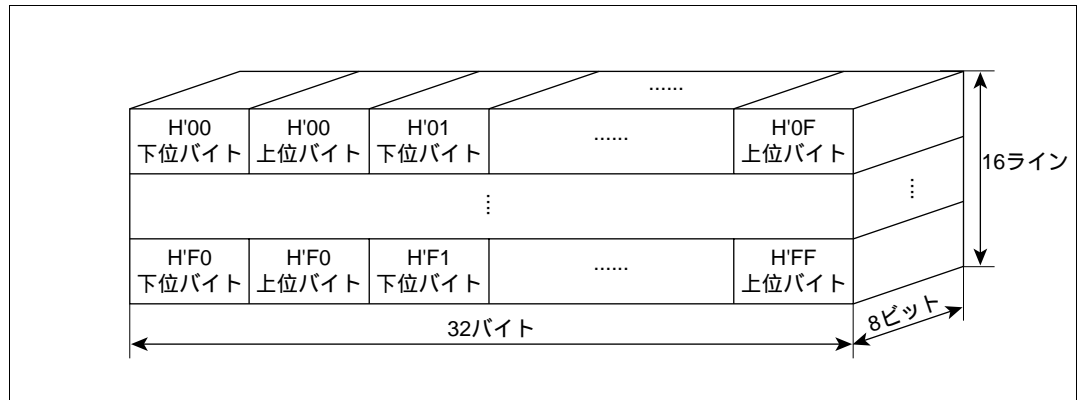


図 3.3 メモリ 1 単位 (512 バイト) の構成 (2)

(c) 16 ビット / 画素 (多値ソース、多値ディスティネーション)

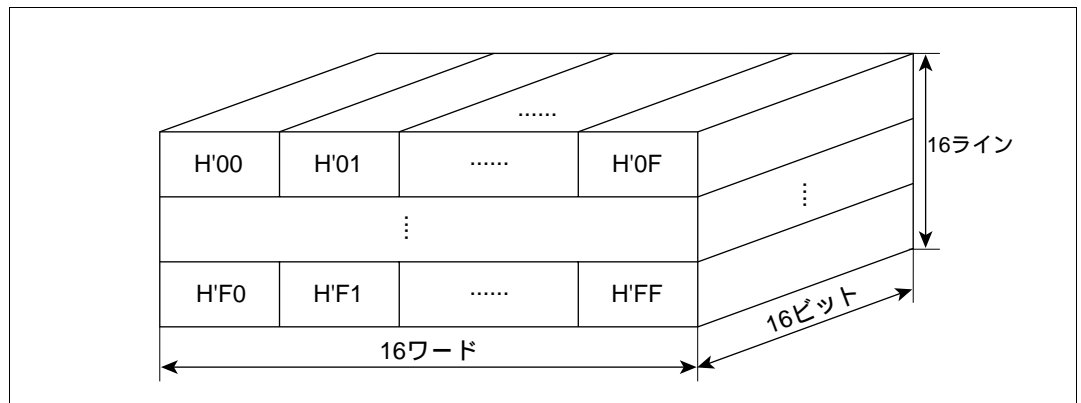


図 3.3 メモリ 1 単位 (512 バイト) の構成 (3)

図 3.4 ~ 図 3.8 に UGM のメモリマップを示します。

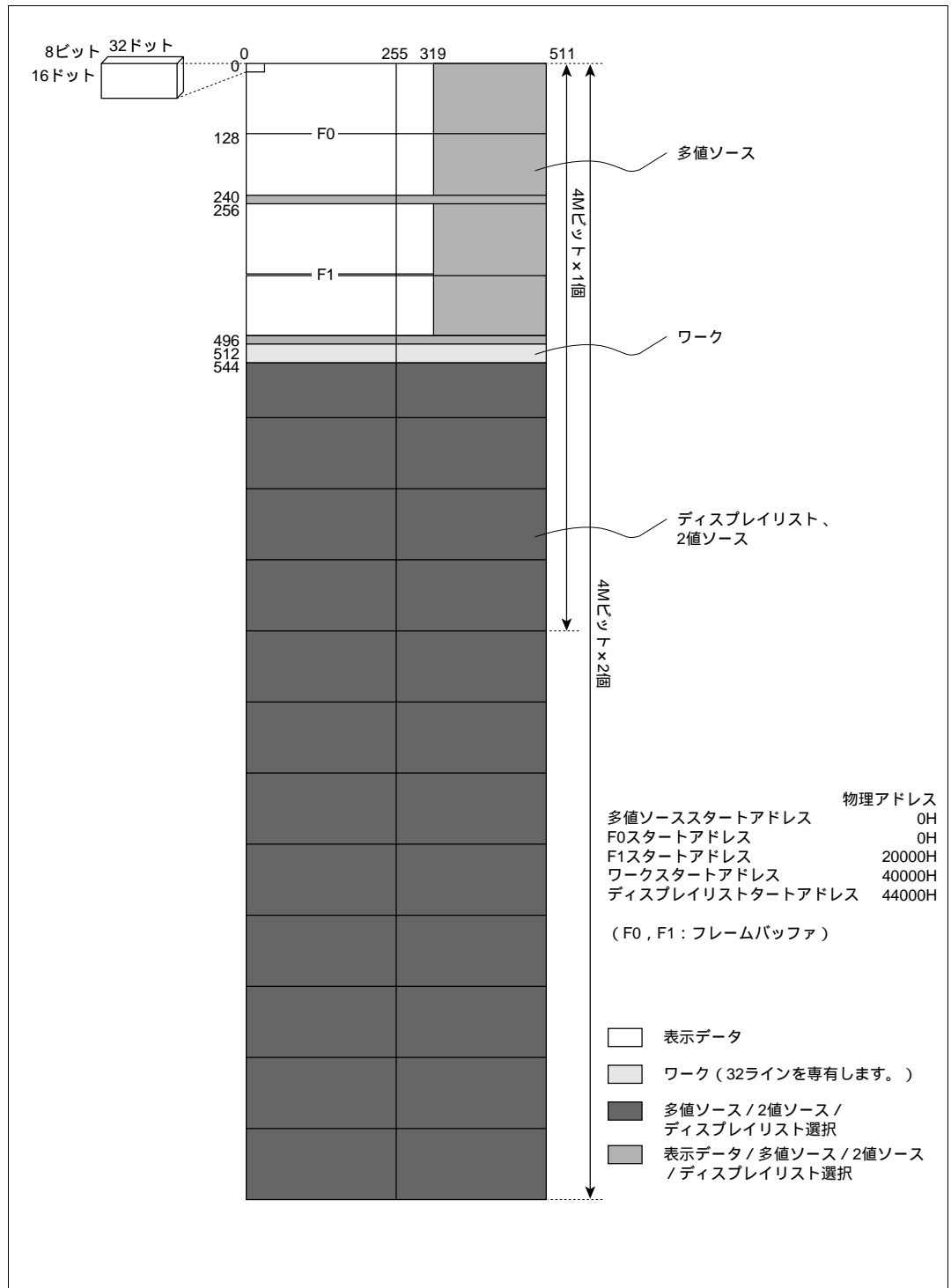


図 3.4 メモリマップ例 1 [8ビット / 画素時 画面サイズ (320 × 240 相当時) ]

3. ユニファイドグラフィクスメモリ (UGM) と表示機能

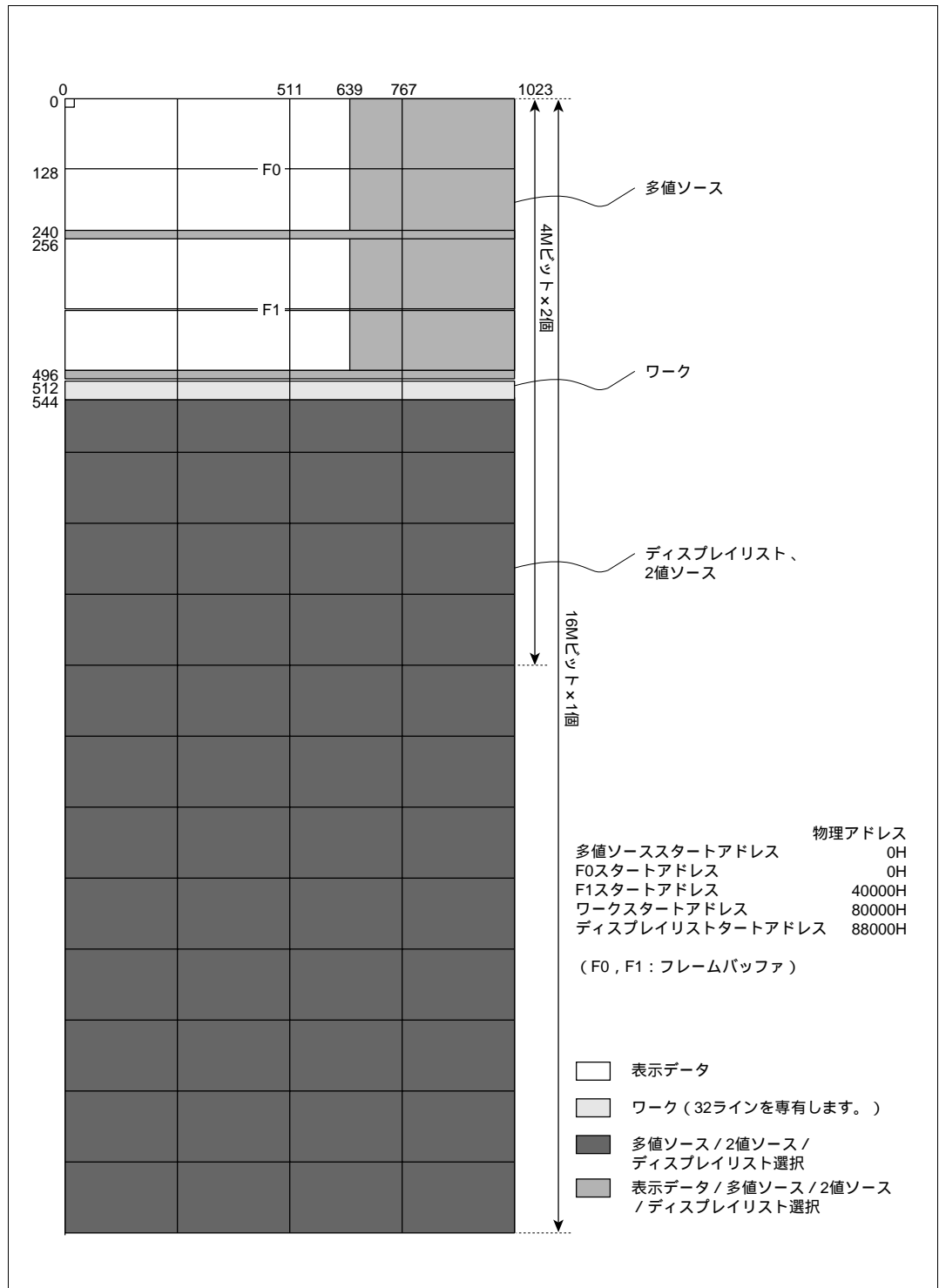


図 3.5 メモリマップ例 2 [ 8 ビット / 画素時 画面サイズ ( 640 × 240 相当時 ) ]

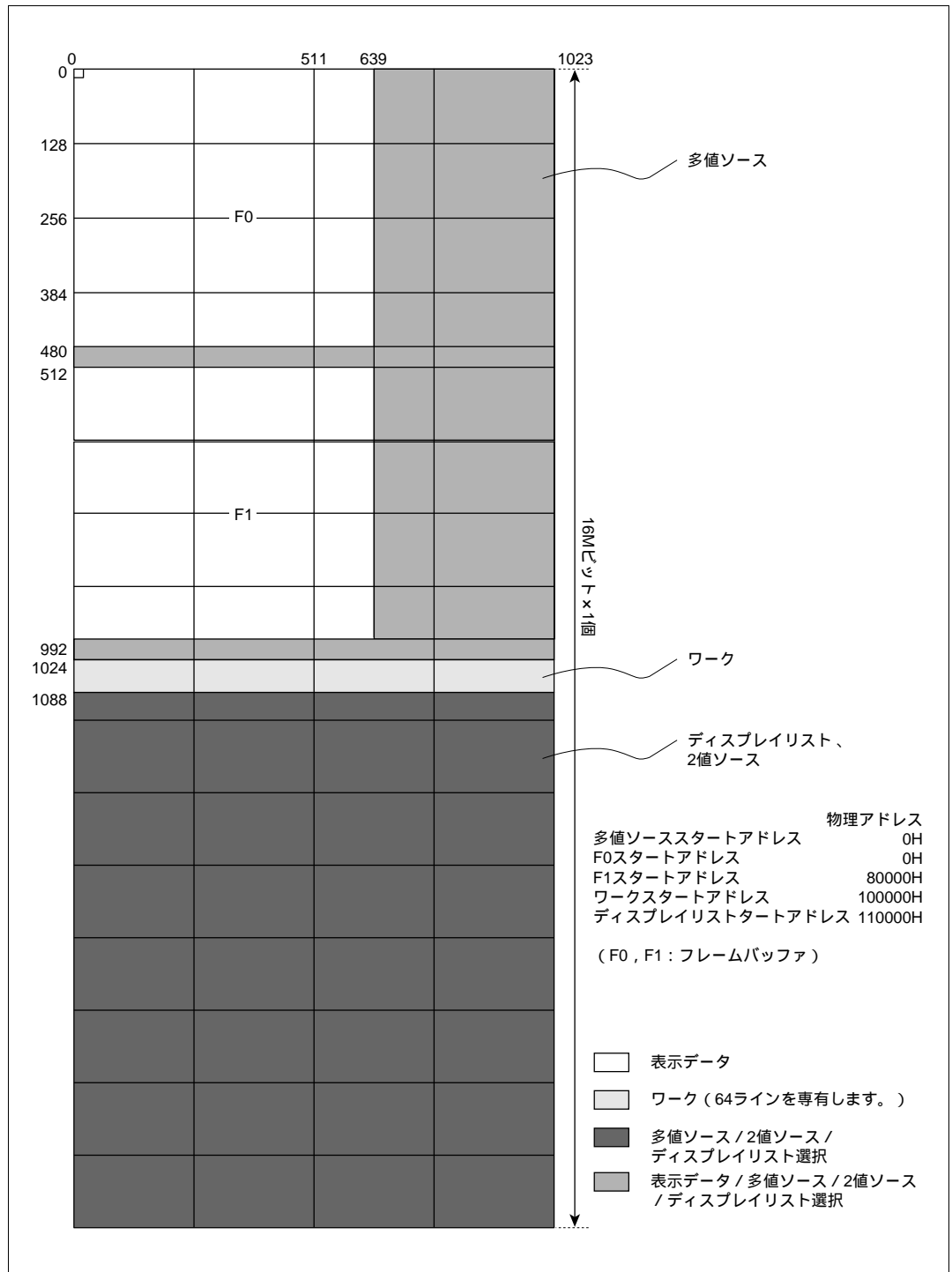


図 3.6 メモリマップ例3 [ 8 ビット / 画素時 画面サイズ ( 640 × 480 相当時 ) ]



3. ユニファイドグラフィクスメモリ (UGM) と表示機能

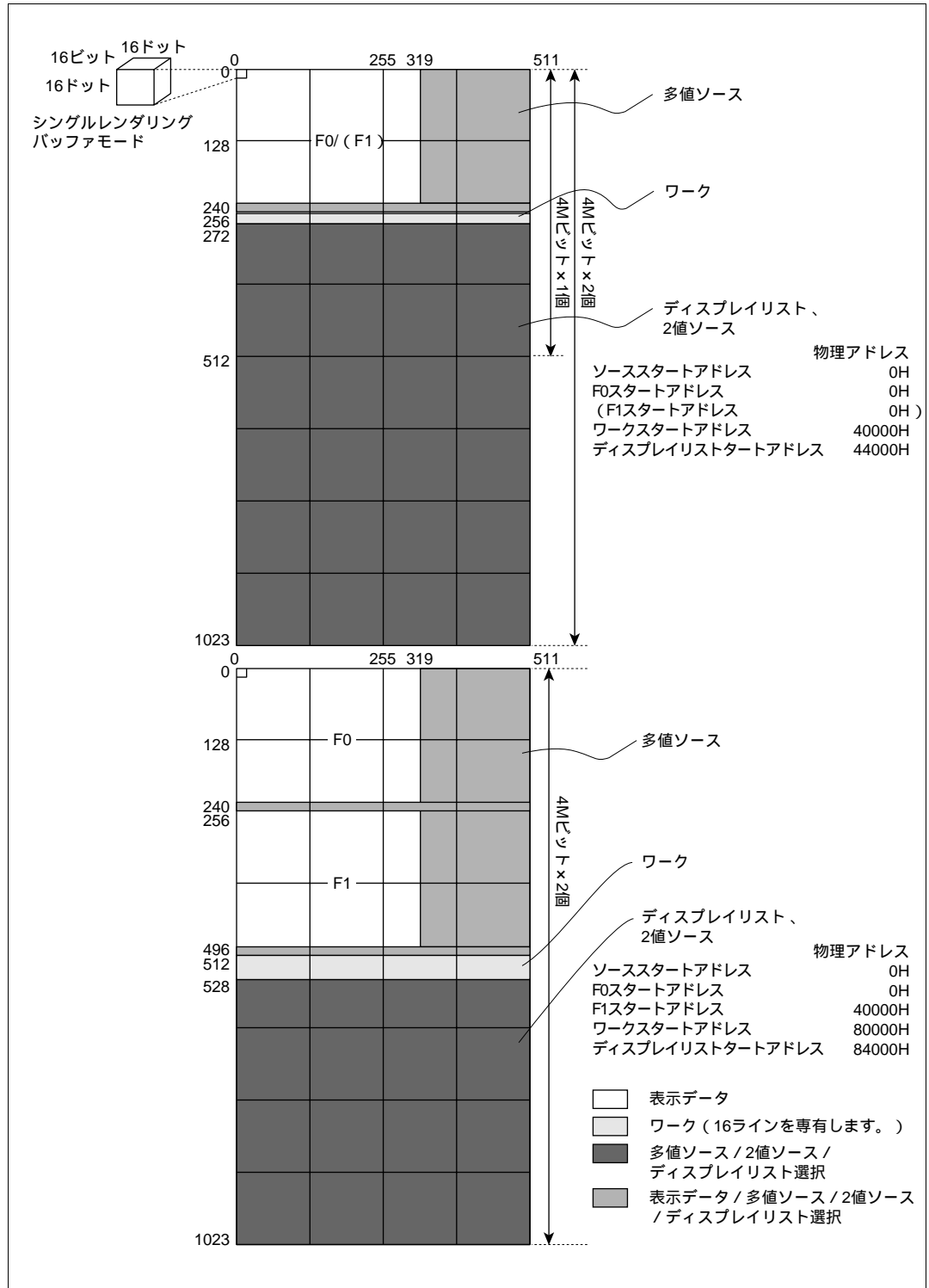


図 3.7 メモリマップ例 4 [ 16 ビット / 画素時 画面サイズ ( 320 × 240 相当時 ) ]

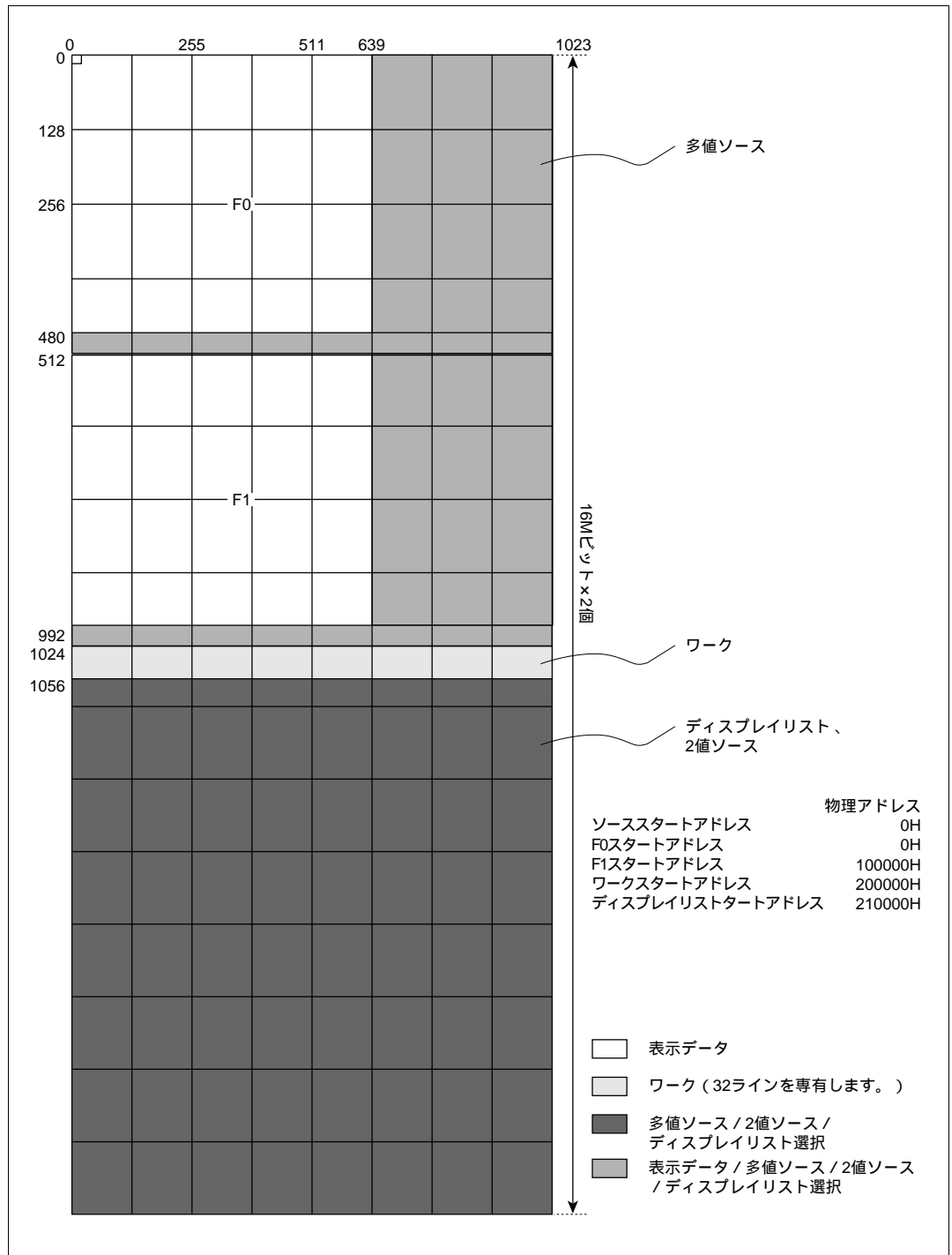


図 3.8 メモリマップ例5 [ 16ビット / 画素時 画面サイズ (640 × 480 相当時) ]

## 3.3 表示とその制御

### 3.3.1 概要

Q2 はレンダリング座標で管理される描画面と表示画面の 2 画面をもち、それらをコマーザが設定したダブルバッファ制御に従って表示を行います。

Q2 のレンダリングモードレジスタ (REMR) の GBM ビット=“ 1 ” に設定したときは、YUV または YUV データのカラー画像を RGB データに変換する機能を使用できます。また、GBM ビット=“ 0 ” に設定したときは、カラーパレットを使用でき、26 万色中から 256 色を指定できます。

### 3.3.2 ダブルバッファ制御

Q2 は、UGM 上に配置した表示領域と描画領域を交互に切り換えるためのダブルバッファ制御を採用しています。また、領域を切り換える行為をフレームチェンジと言います。ダブルバッファ制御には 3 つのモードがあり、それらのモード名称は、オートディスプレイチェンジモード、オートレンダリングモード、および、マニュアルディスプレイチェンジモードです。オートディスプレイチェンジモードは、Q2 がフレームチェンジタイミングを見つけるごとに、毎回フレームチェンジを行うモードです。オートレンダリングモードは、Q2 が描画を終了した後のフレームチェンジタイミングを見つけたときに、1 回だけフレームチェンジを行うモードです。また、マニュアルディスプレイチェンジモードは、SuperH がフレームチェンジの指示を Q2 に行った後のフレームチェンジタイミングで、Q2 が 1 回だけフレームチェンジを行うモードです。これらのモードは、システム制御レジスタのダブルバッファモードビット (DBM) で指定します。

通常ダブルバッファ制御を行うときは、SuperH で VSYNC の同期パルスを見つけ、その後、レンダリングスタートビット (RS) に 1 を設定することで、それぞれのモードに従ったフレームチェンジを行えます。

ダブルバッファ制御のときのフレームチェンジタイミングは、Q2 がノンインタレースまたはインタレースシンクで動作しているときは、フレーム単位で行われ、インタレースシンク & ビデオで動作しているときは、フィールド単位で行われます。

なお、SuperH で VSYNC の同期パルスを見つけるには、Q2 をインタレースシンクで動作させたときは、ステータスレジスタのフレームフラグ (FRM) を使用して同期パルスを見つけます。また、Q2 をノンインタレースで動作させたときは、垂直ブランキングフラグ (VBK) を使用して、同期パルスを見つけます。Q2 がインタレースシンク & ビデオで動作しているときは、第 1 フレームが偶数フィールドに、第 2 フレームが奇数フィールドに対応しますので、VBK または FRM を使用して同期パルスを見つけます。

以下に Q2 がノンインタレースで動作しているときの例を挙げ、各モードについて説明します。

## (1) オートディスプレイチェンジモード

オートディスプレイチェンジモードは、表示のフレーム切り換えを優先的に行うモードです。

フレームの切り換え時に描画中であれば、そのディスプレイリストは途中で描画が中止されます。このため、必ず  $\overline{\text{VSYNC}}$  の同期パルスが来るまでに描画が終了している必要があります。

このモードの動作概要を図 3.9 に示します。

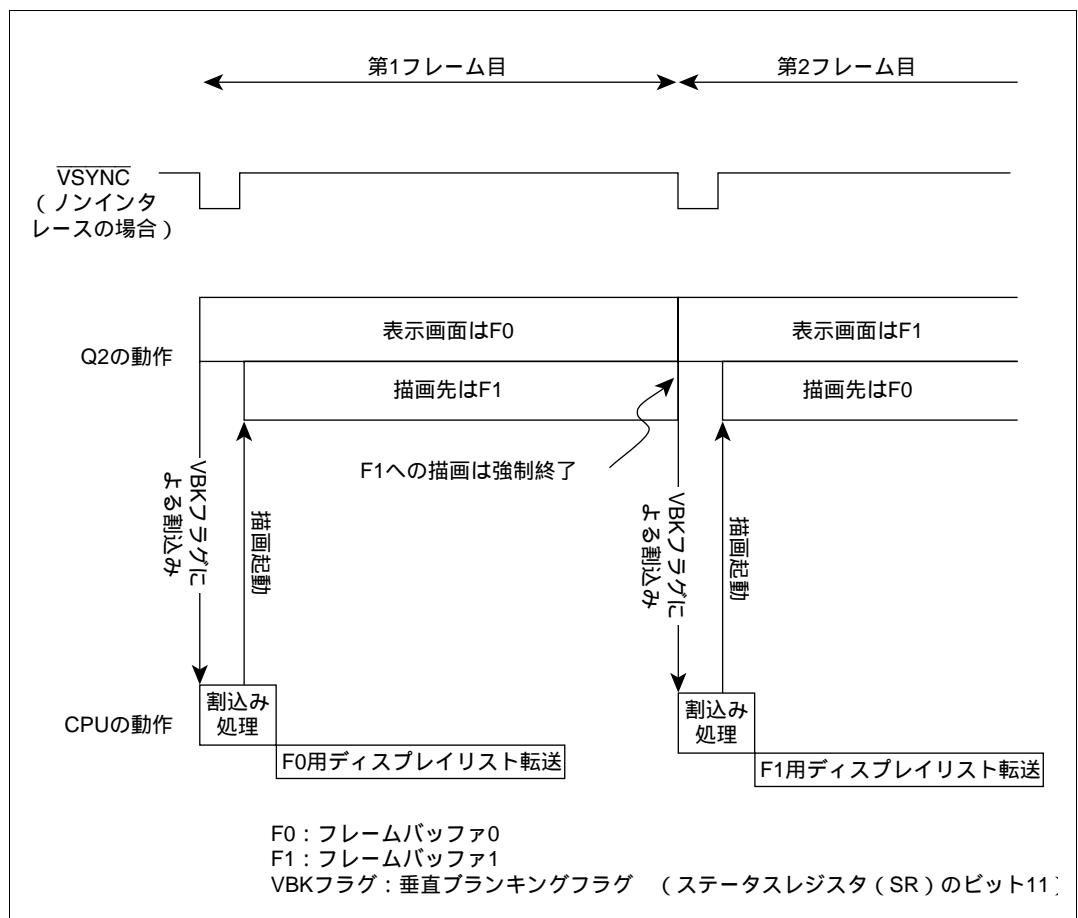


図 3.9 オートディスプレイチェンジモードの動作

(2) オートレンダリングモード

オートレンダリングモードは、描画が終了するまで表示の切り換えを行わないモードです。

1フレーム以内に描画が終了しない場合、そのまま描画は続行されます。このモードの動作概要を図 3.10 に示します。

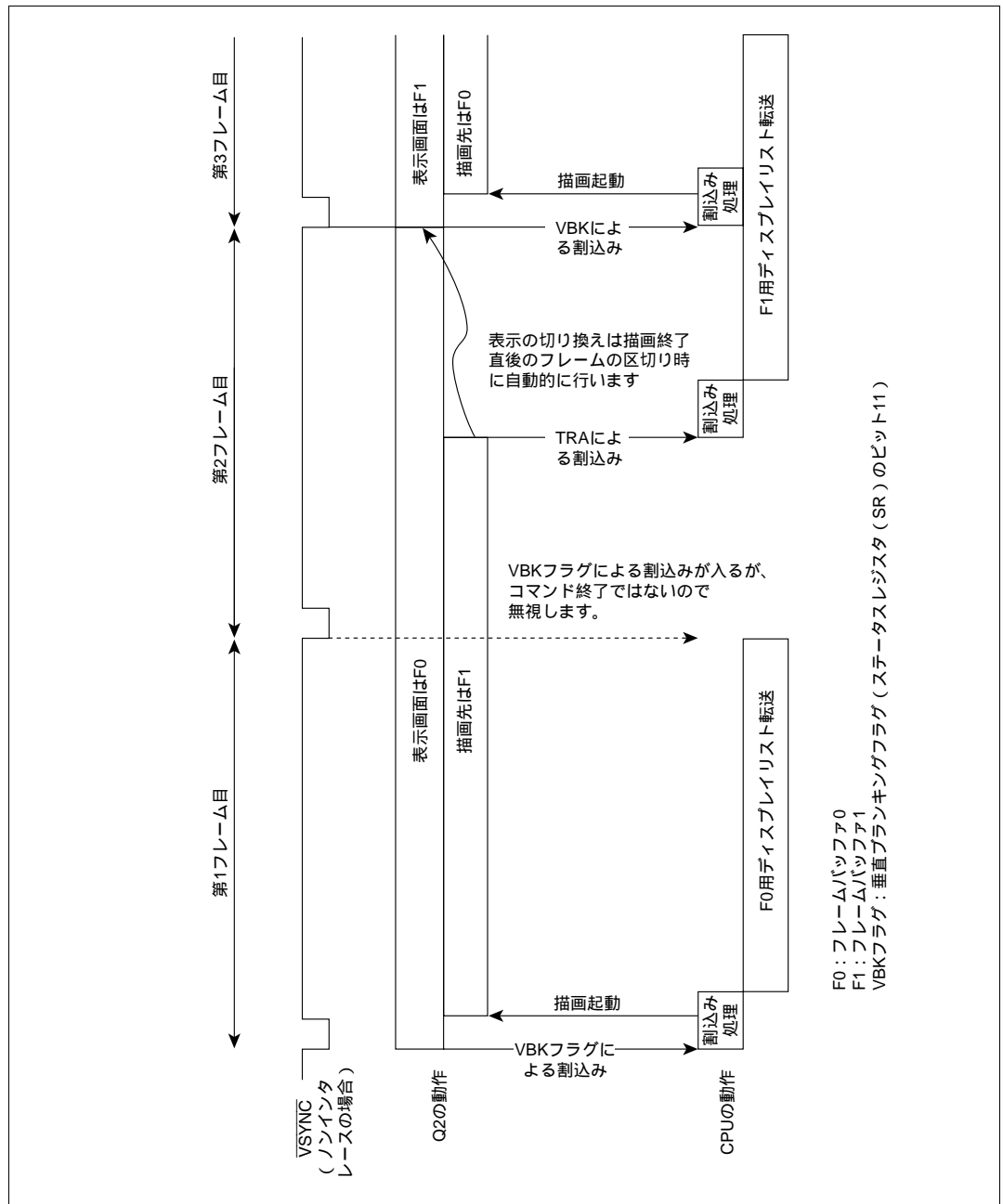


図 3.10 オートレンダリングモードの動作

(3) マニュアルディスプレイチェンジモード

マニュアルディスプレイチェンジモードは、表示のフレーム切り換えと描画開始をソフトウェアで独立に制御するモードです。表示の切り換えは、ソフトウェアにより SYSR の DC ビットの設定で FB0、FB1 の切り換えを行うか、SR の DBF で示される表示開始アドレスレジスタに FB0 または FB1 の開始アドレスを設定することで行えます。描画の開始は SYSR の RS ビットで制御します。これらの制御タイミングは、SR の VBK フラグと TRA フラグによる割り込みを用います。このモードにおける DC ビットを使用したときの動作概要を図 3.11 に示します。なお、本モードから他のダブルバッファ制御のモードに移行するときは、必ず、DC ビットに 1 を設定した後に、行ってください。

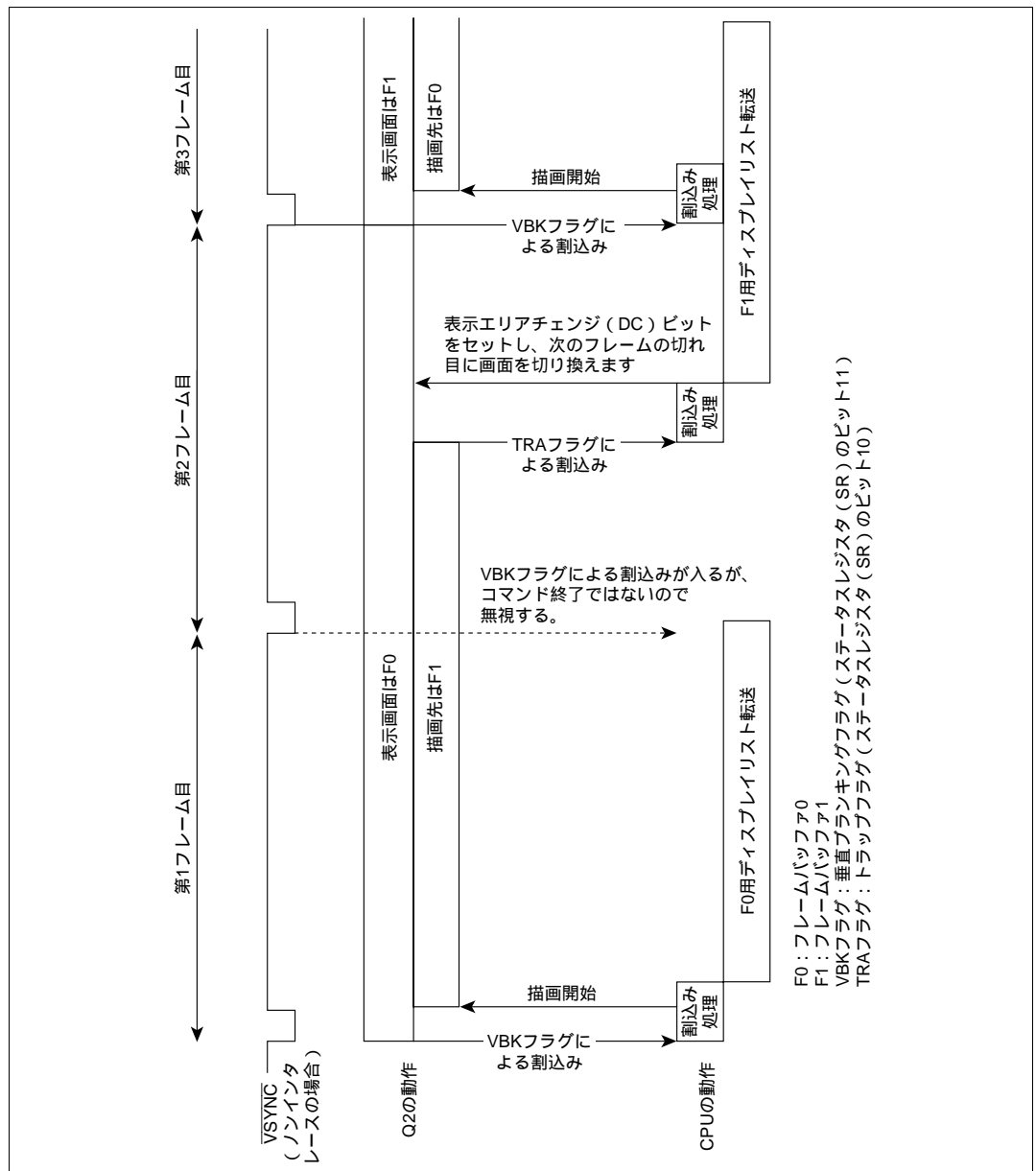


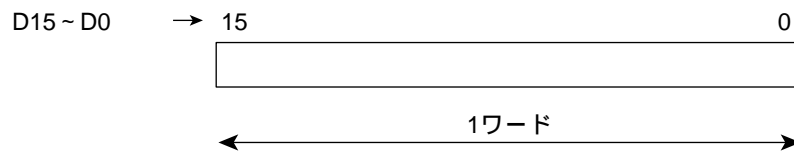
図 3.11 マニュアルディスプレイチェンジモードの動作

### 3.3.3 カラーデータフォーマット

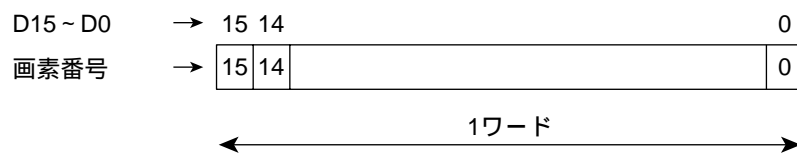
#### (1) 入力カラーデータの構成

入力カラーデータの構成を示します。

##### (a) 16ビットデータ

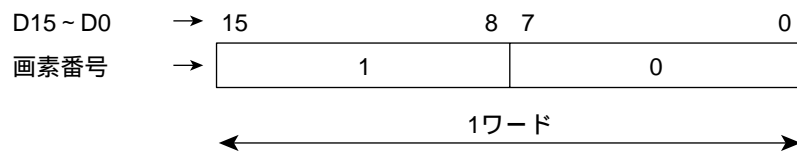


##### (b) 1ビット/画素データ

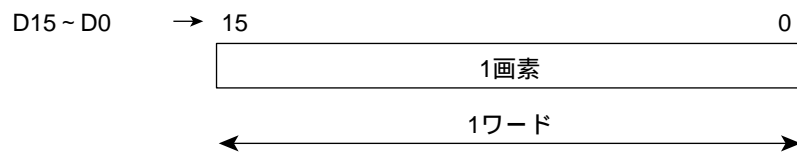


【注】 画素番号は画面の左側が0で、右に行くに従い大きくなります。

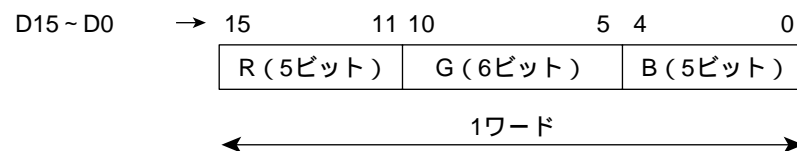
##### (c) 8ビット/画素データ



##### (d) 16ビット/画素データ

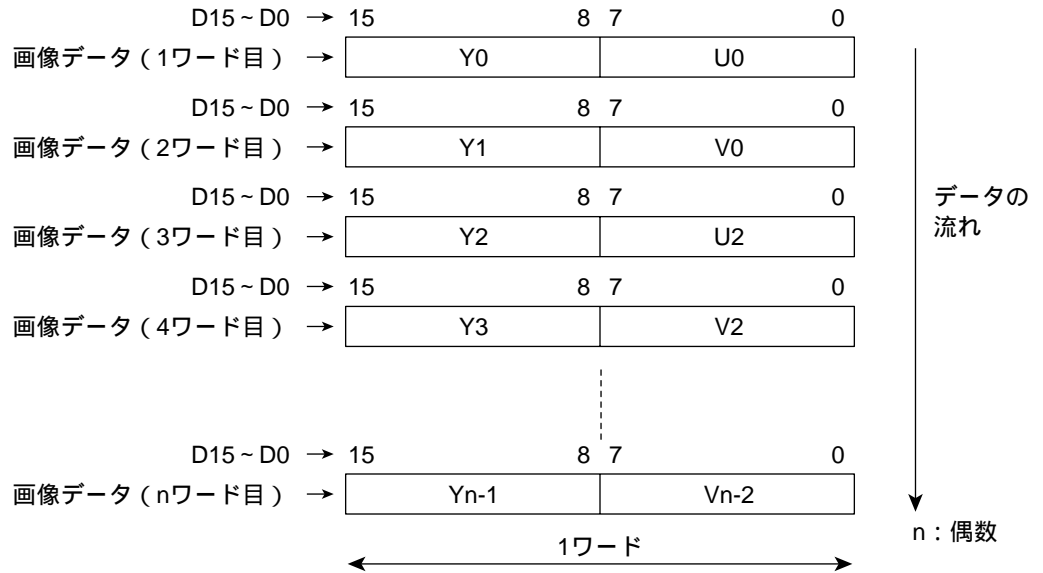


##### (e) RGBデータ (16ビット/画素データ)



(f) YUV データ

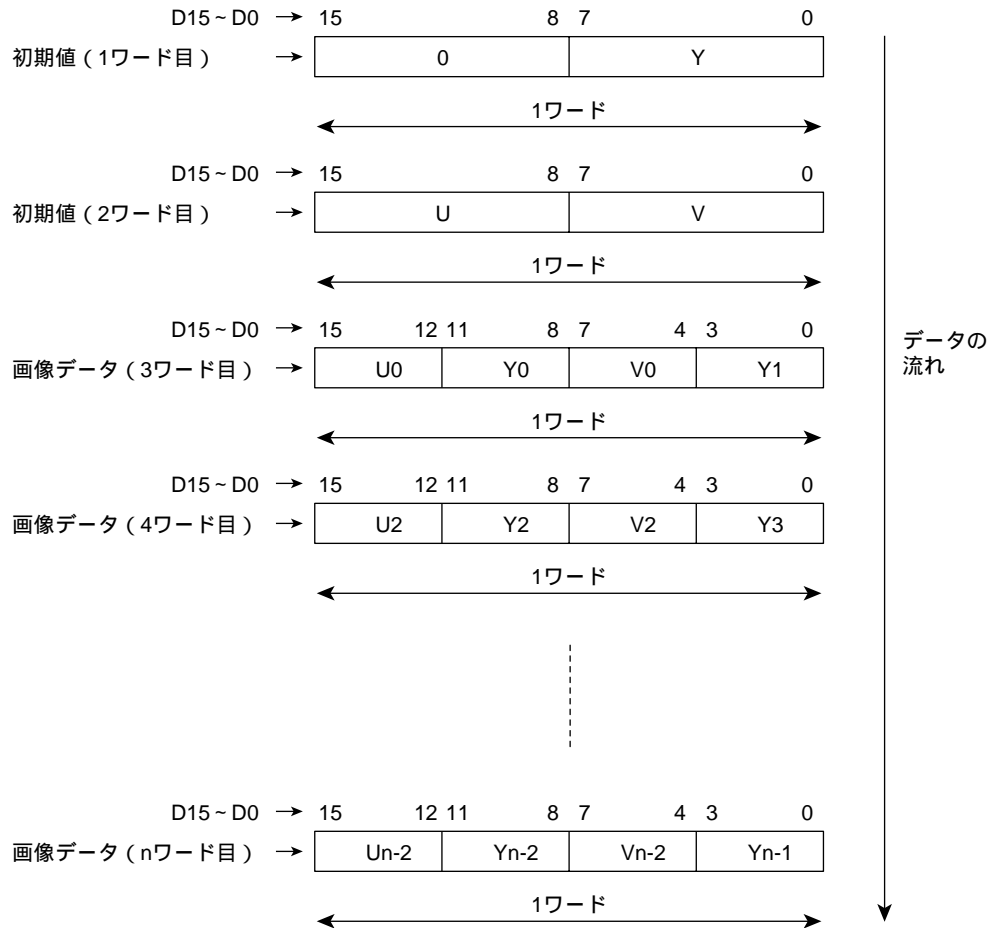
YUV データフォーマットは、4:2:2 フォーマットとします。U、V データは、水平間引きデータです。





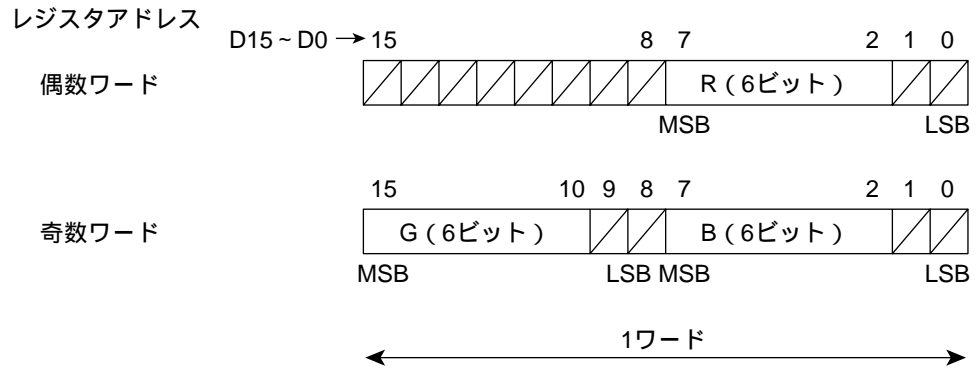
(g) ΔYUV データ

ΔYUV データは、ラスタを基本単位とし、1本のラスタのデータ構成は、先頭2ワードのデータが初期値、残りが圧縮された画像データとします。



(2) カラーパレットレジスタのカラーデータの構成

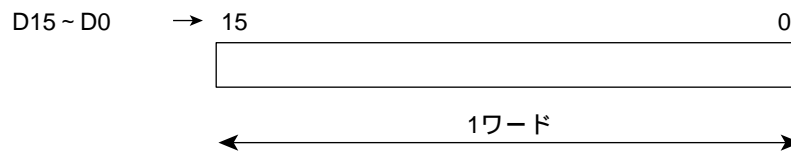
カラーパレットレジスタのカラーデータの構成を示します。



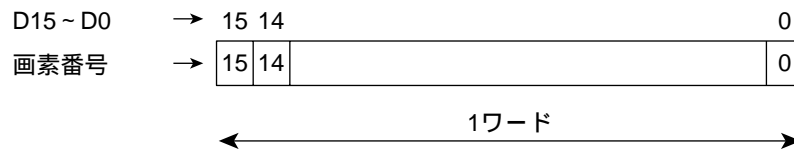
(3) UGM 上データの構成

UGM 上データの構成を示します。

(a) 16 ビットデータ

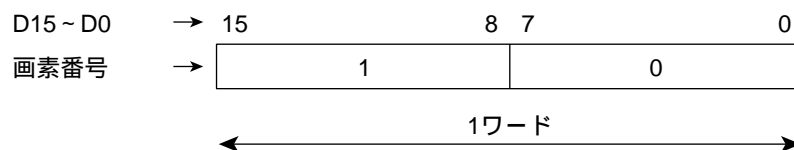


(b) 1 ビット / 画素データ

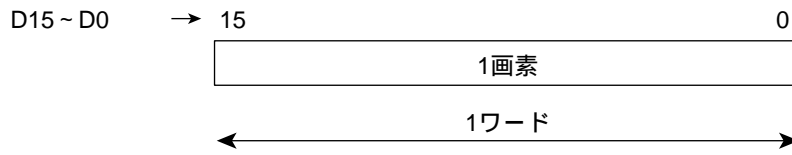


注：画素番号は画面の左側が0で、右に行くに従い大きくなる。

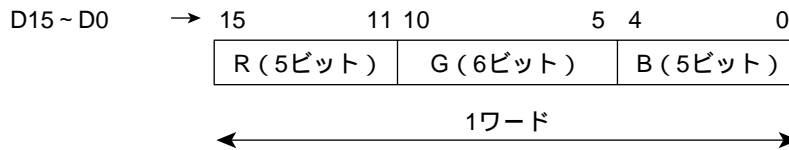
(c) 8 ビット / 画素データ



(d) 16 ビット / 画素データ



(e) RGB データ (16 ビット / 画素データ)

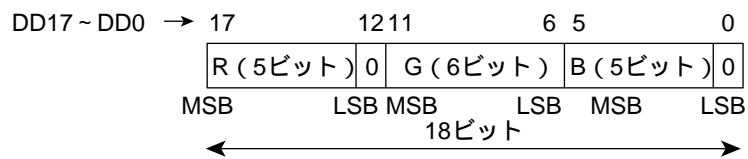


(4) 出力カラーデータの構成 (Q2 表示モニタ)

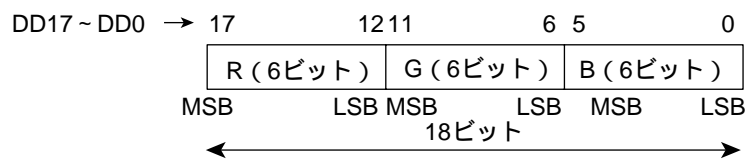
出力カラーデータの構成を示します。

(a) RGB データ

・フレームバッファが 16 ビット / 画素、カラーパレット不使用のとき

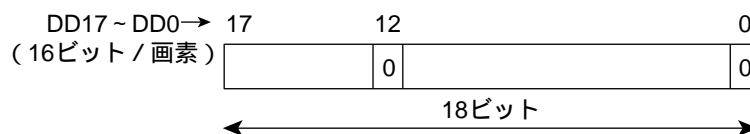


・フレームバッファが 8 ビット / 画素、カラーパレット使用のとき

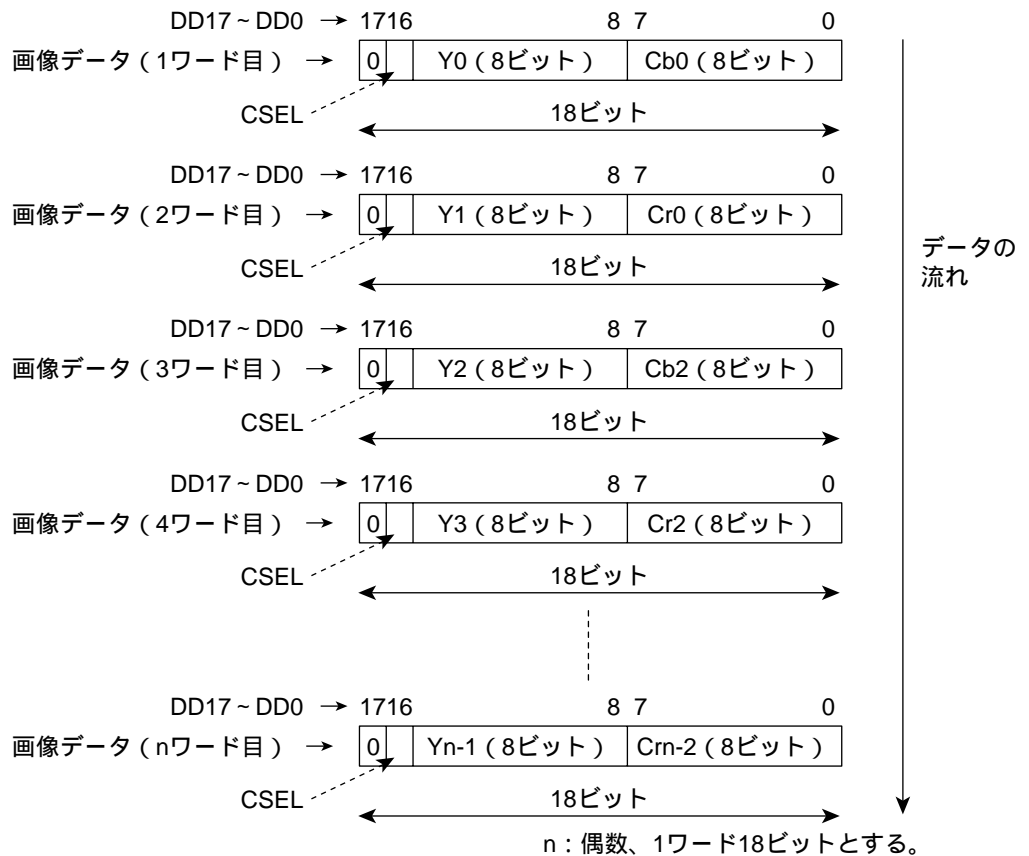


(b) 18 ビットデータ (独自フォーマット時)

フレームバッファのビット 15 ~ 11 が DD17 ~ DD13 にビット、10 ~ 0 が DD11 ~ DD1 に出力されます。



(c) YCデータ： フレームバッファが16ビット/画素、カラーパレット不使用のとき  
 YCデータフォーマットは、4:2:2フォーマットとします。Cr、Cbデータは、水平間引きデータです。CSELビットは、CデータがCbのときは“0”に、CデータがCrのときは“1”になります。



(5) カラーデータフォーマット変換

(a) ΔYUV、YUV RGB 変換

メインメモリ上の YUV または YUV データを、RGB データに変換する機能の仕様を 図 3.12 に示します。

Q2 は、CPU から転送される YUV または YUV データを RGB データに変換しながら UGM のソース領域に格納します。変換された RGB データは、四角形描画コマンドのソースデータとして用います。

CPU が設定すべき Q2 のレジスタは、以下の通りです。図 3.13 に示す順序でレジスタ設定を行ってください。

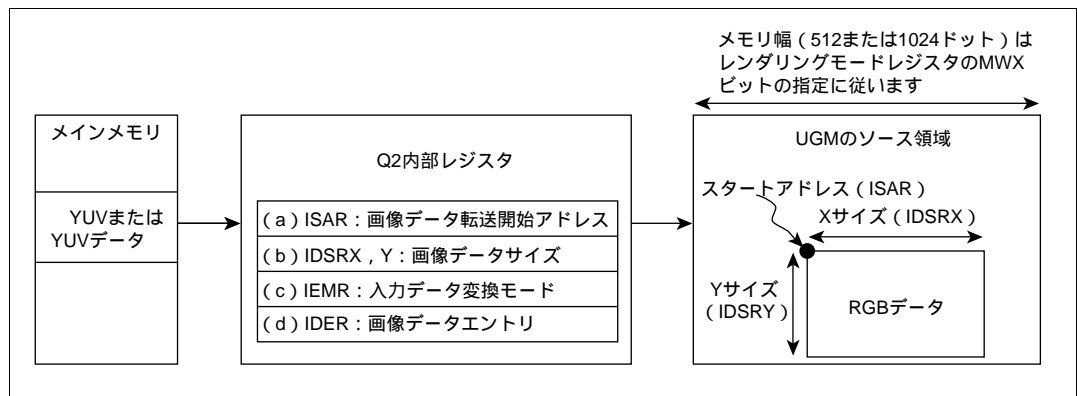


図 3.12 ΔYUV、YUV RGB 変換機能の仕様

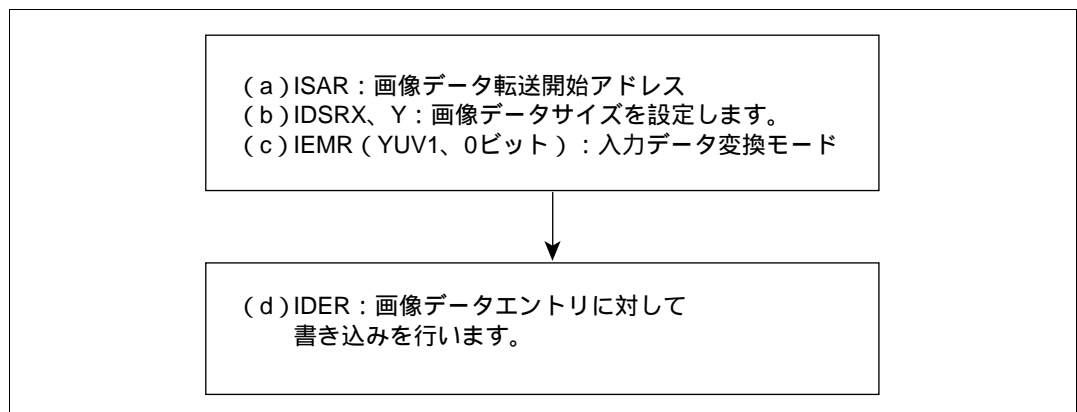


図 3.13 ΔYUV、YUV RGB 変換時のレジスタ設定手順

(b) RGB YC 変換

Q2 は、フレームバッファ上の RGB データを YC データに変換して出力することができます。表示モードレジスタ (DSMR) に変換イネーブルビット (YCM ビット) があります。表示途中で YCM ビットを書き換えると異常データが数画素出力されますので、本ビ

ットは表示期間外で書き換えてください。

### 3.3.4 ディスプレイ機能

Q2 は、UGM に描画された画像データを外部または、内部で生成する表示タイミングに同期して出力する機能を持っています。

#### (1) レジスタと表示画面

Q2 は、表示画面の水平方向、および垂直方向表示タイミングを表示制御レジスタで設定します（「5.5 表示制御レジスタ」を参照してください）。

表示制御レジスタは、走査方式、および同期方式により設定値が異なります。そのため、表示制御レジスタの設定は、表 3.2 に示すような計算を行ったうえで設定します。

図 3.14 に表示タイミングを示します。なお、ここでは表示画面を表 3.3 に示す変数で定義します。また、 $vc$ 、 $vsw$ 、 $ys$  および  $yw$  には、表示モードレジスタのスキャンモードに関係なく、 $VSYNC$  の 1 周期内のラスタ数をそれぞれに設定してください。

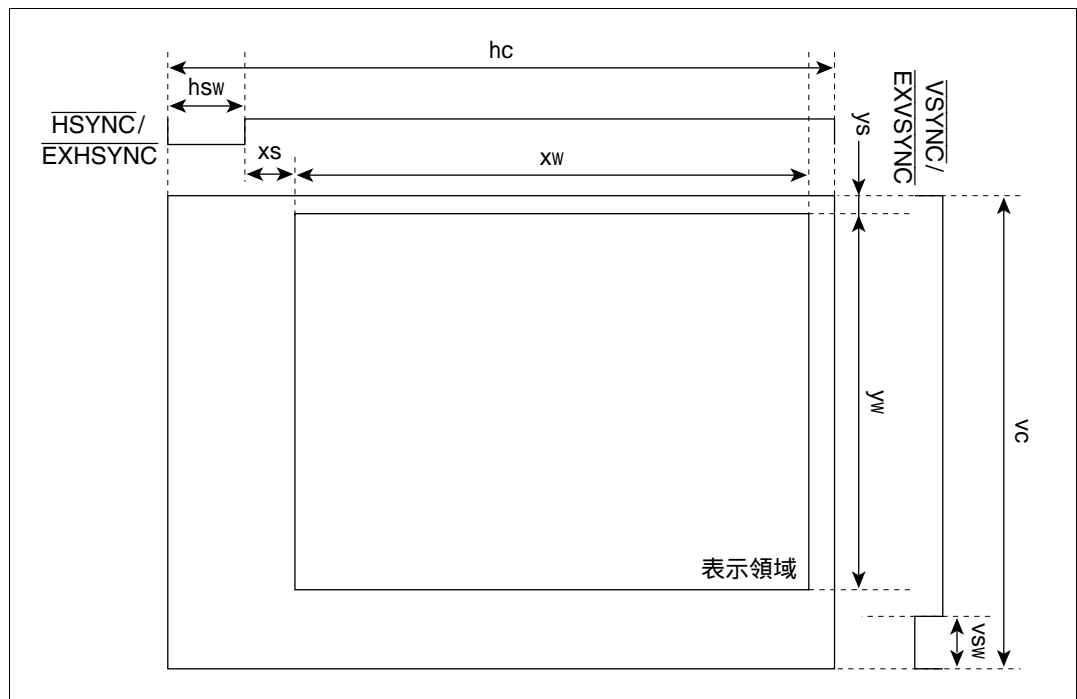


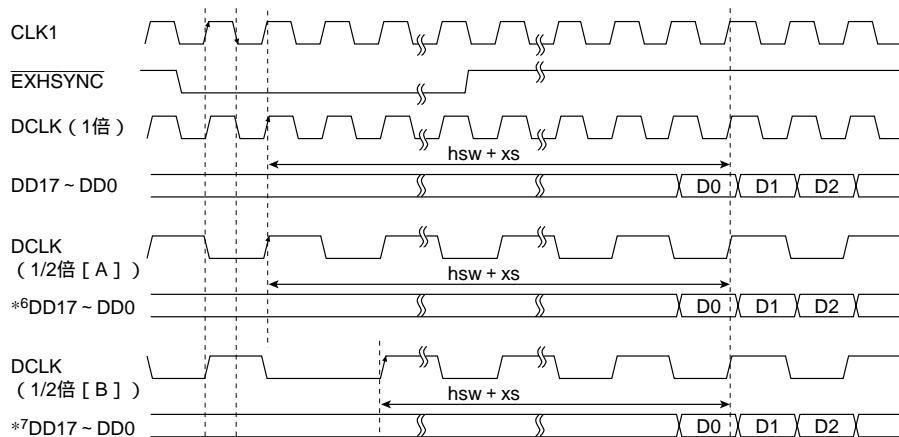
図 3.14 表示タイミング

表 3.2 レジスタ設定値対応表\*1

レジスタ番号 (アドレス)	レジスタ名称		ビット 名称	動作モード	
				マスタモード	TV 同期モード
008	表示サイズレジスタ X (DSRX)		DSX	xw-1	xw-1*5
009	表示サイズレジスタ Y (DSRY)		DSY	yw-1	yw-1
013	表示ウィ ンドウ	水平表示開始位置レジスタ (DSWR・HDS)	HDS	hsw+xs-3	hsw+xs-8*2、*3
014		水平表示終了位置レジスタ (DSWR・HDE)	HDE	hsw+xs-3+xw	hsw+xs-8+xw*2
015		垂直表示開始位置レジスタ (DSWR・VDS)	VDS	ys	ys*4
016		垂直表示終了位置レジスタ (DSWR・VDE)	VDE	ys+yw	ys+yw
017	水平同期パルス幅レジスタ (HSWR)		HSW	hsw-1	hsw-1
018	水平走査周期レジスタ (HCR)		HC	hc-1	hc
019	垂直同期位置レジスタ (VSPR)		VSP	vc-vsw	vc-vsw
01A	垂直走査周期レジスタ (VCR)		VC	vc	vc+2

【注】 \*1 すべての走査モードで、VDS、VDE、VSP、VC ビットの設定値は 1 フィールド単位の設定になります。

\*2 HDS、HDE ビットの規定は  $\overline{\text{EXHSYNC}}$  のローレベルを、CLK1 の立ち上がりで検出し、さらに CLK1 の立ち下がりで検出した後の DCLK の立ち上がりからの値です。



\*3 HDS ビットの下限值は、 $\text{CLK}_i = 2 \times \text{DCLK}$  のとき、 $\text{HDS} \geq 64 \times (\text{DCLK} / \text{CLK}_i)$ 、 $\text{CLK}_i > 2 \times \text{DCLK}$  のとき、 $\text{HDS} \geq (64 + 80) \times (\text{DCLK} / \text{CLK}_i)$  の設定となります。

なお、 $\text{CLK}_i$ 、DCLK の単位は、MHz です。また、 $\text{CLK}_i = 2 \times \text{DCLK}$  のときは、 $\text{CLK}_i$  と DCLK が同期しているクロックを使用してください。  $\text{CLK}_i$  は、てい倍を行わない時は  $\text{CLK}_0$  になり、てい倍を行なう時は、てい倍数を N とすると  $N \times \text{CLK}_0$  になります。

\*4 インタレースおよびインタレースシンク&ビデオモード時は、VDS 1 の設定となります。

\*5 DSX は、4 以上にしてください

\*6  $\overline{\text{EXHSYNC}}$  の周期が CLK1 の偶数倍の時

\*7  $\overline{\text{EXHSYNC}}$  の周期が CLK1 の奇数倍の時

表 3.3 表示画面で定義した変数

変数	内容	単位
hc	水平走査周期を示します。	ドットクロック
hsw	水平同期パルス幅を示します。	ドットクロック
xs	H SYNC の立ち上がりから表示画面水平方向の表示開始位置までの間を示します。	ドットクロック
xw	表示画面の 1 ラスタ当たりの表示幅を示します。	ドットクロック
vc	垂直走査周期を示します。	ラスタライン数
vsw	垂直同期パルス幅を示します。	ラスタライン数
ys	V SYNC の立ち上がりから表示画面垂直方向の表示開始位置までの間を示します。	ラスタライン数
yw	表示画面の垂直表示期間を示します。	ラスタライン数

$$*8 \text{ hsw} + \text{xs} + \text{xw} < \text{hc} - 10$$

$$*9 \text{ vsw} + \text{ys} + \text{yw} < \text{vc}$$

## (2) 画面表示

Q2 は、画面に表示データの出力を行なうか否かを、システム制御レジスタ (SYSR) の DEN (表示イネーブル) により選択することができます。表示データの出力を行わない時は、表示オフ時出力レジスタ (DOOR) の設定値が表示されます。

ステータスレジスタ (SR) の FRM (フレーム) フラグおよび VBK (垂直ブランキング) フラグは、同期方式にかかわらず垂直同期位置レジスタ (VSPR) の設定値 (VSP9~0) により決定される垂直同期信号 ( $\overline{\text{VSYNC}}$ ) の立ち下がり位置を検出し、各フラグに反映します。

## (3) 走査方式

Q2 は、使用するモニタに合わせて、走査方式をノンインタレースモード、インタレースモード、およびインタレースシンク & ビデオモードから選択することができます。モードの設定は、表示モードレジスタ (DSMR) の (SCM スキャンモード) ビットにより行います。ノンインタレースモードは、1 フィールドで 1 フレームを構成する走査方式です。インタレースモードは、2 フィールドで 1 フレームを構成する走査方式です。2 フィールドは、偶数フィールドと奇数フィールドであり、同じデータを表示します。インタレースシンク & ビデオモードも、2 フィールドで 1 フレームを構成する走査方式です。2 フィールドは、偶数フィールドと奇数フィールドであり、異なるデータを表示します。マスタモードの時 Q2 は、ODDF 端子より偶数フィールド表示中は High レベルを、奇数フィールド表示中は Low レベルを出力します。TV 同期モードのときは、ODDF 端子に偶数フィールドを表示させたい場合は High レベルを、奇数フィールドを表示させたい場合は Low レベルを入力します。図 3.15 にラスタスキャン制御の表示例を示します。



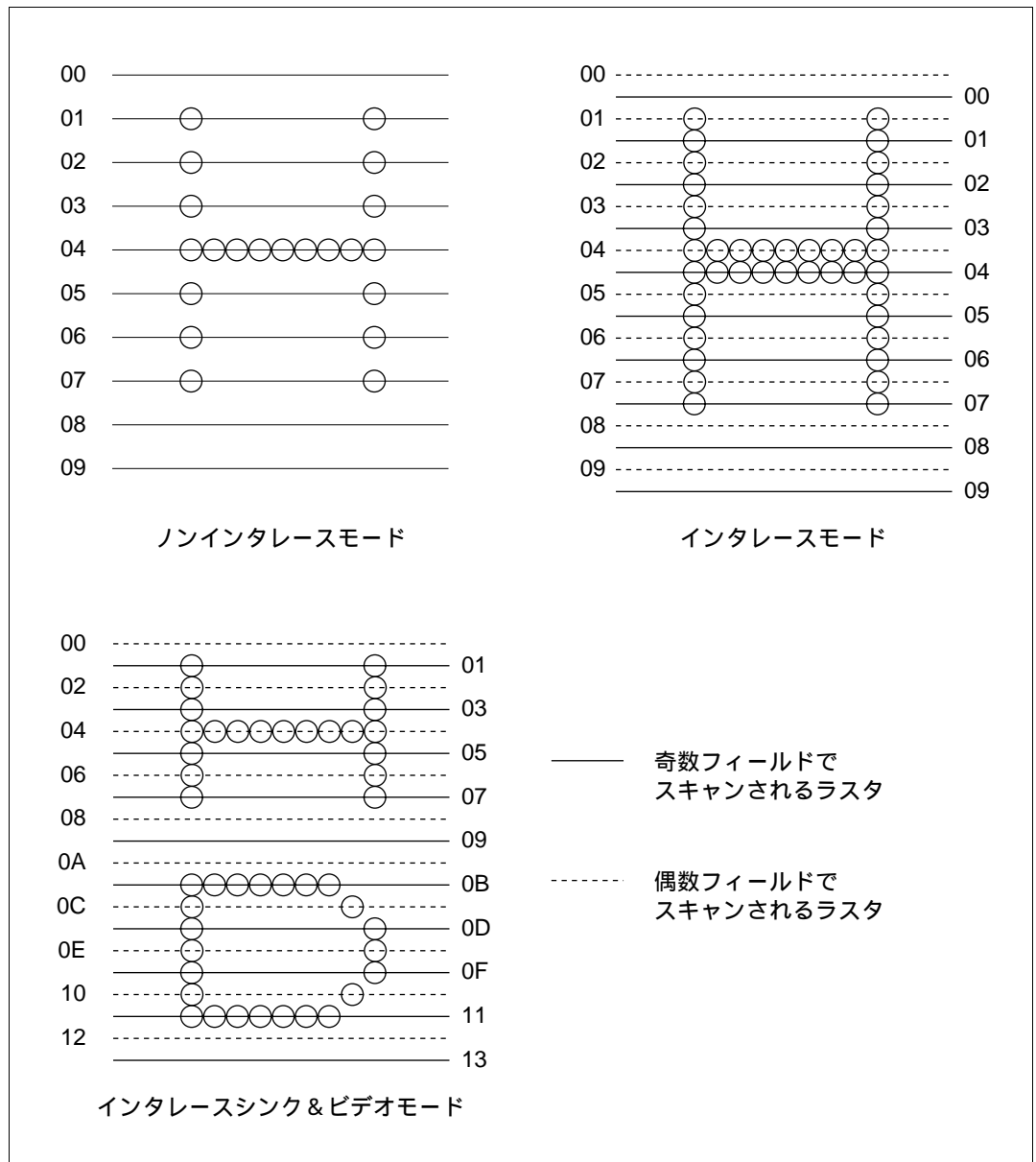


図 3.15 ラスタスキャン制御の表示例

#### (4) 同期方式

Q2 は、外部機器との同期動作を容易にするため、マスタモードの他に TV 同期機能を備えています。

マスタモード、TV 同期モードの選択は、表示レジスタ (DSMR) の TVM (TV 同期モード) ビットにより行います。

##### (a) 内部同期モード (マスタモード)

表示制御レジスタに水平、垂直同期信号 ( $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ ) の周期およびパルス幅を設定することにより、その波形を出力します。また、それに同期して表示データを出力します。

インタレース、インタレースシンク & ビデオモードの場合は、ODDF 端子に奇数フィールド / 偶数フィールドを示す信号を出力します。

##### (b) 外部同期モード (TV 同期モード)

外部より入力される水平同期信号、垂直同期信号 ( $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$ ) に同期して表示データを出力するモードです。Q2 は、 $\overline{\text{EXHSYNC}}$  信号の立ち下がりエッジおよび  $\overline{\text{EXVSYNC}}$  の立ち上がりエッジを基準として、表示データを出力します。

このモードでは、同期信号発生回路から水平同期信号、垂直同期信号およびクロックをそれぞれ  $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$ 、CLK1 端子に入力してください。ただし、同期信号には、等価パルスを含まない信号を使用してください。

インタレースモードおよびインタレースシンク & ビデオモードの場合は、ODDF 端子に奇数フィールド / 偶数フィールドを示す信号を入力してください。

また、ノンインタレースモードの場合は、ODDF 端子の入力レベルが不安定にならないように、ODDF 端子を High または Low レベルに固定してください。

なお、Q2 は、 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$  を基準に UGM のリフレッシュを行います。このため、 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$  は、必ず入力してください。 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$  が入力されないと、UGM のリフレッシュを行いません。

TV 同期モード時の信号の流れを図 3.16 に示します。

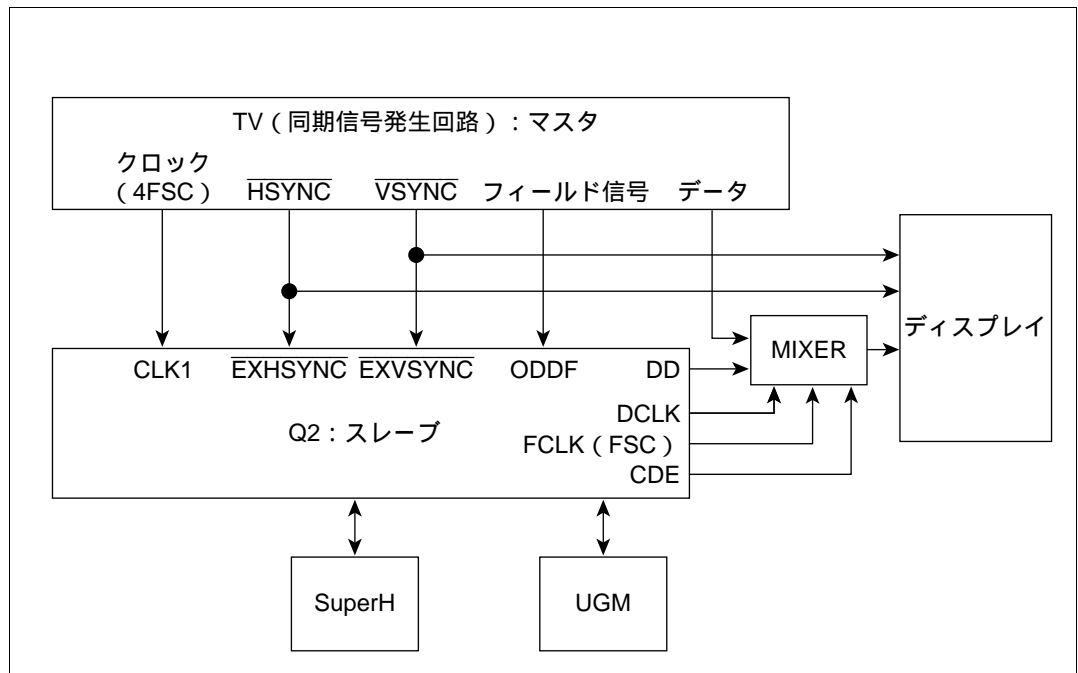


図 3.16 TV 同期モード時の信号の流れ

(c) 同期方式切り換えモード

TV 同期モードで動作中に外部同期信号発生部が異常となったため、マスタモードに切り換える場合に使用します。

この場合、異常検出、本モードに設定、CLK1 を別システム供給のクロックに切り換え、マスタモードに設定という順で処理を行ってください。

## (5) リフレッシュ制御

Q2 に接続する UGM のリフレッシュサイクル数を表示モードレジスタ (DSMR) の REF3 ~ 0 (リフレッシュサイクル数) ビットに設定します。

ビット3	ビット2	ビット1	ビット0	動作
REF3	REF2	REF1	REF0	
0	0	0	0	リフレッシュタイミングを出力しません。
*	*	*	*	リフレッシュタイミングを 1 ~ 15 サイクルの任意の値を設定し出力します。

REF3 ~ 0 には、1 ラスタ当たりのリフレッシュ回数を設定します。この値は、表 3.4 に示すような計算を行ってから設定してください。

表 3.4 リフレッシュサイクル数見積り (1 フィールド 1/60s 時)

表示画面		リフレッシュサイクル数 (回 / ラスタ)			
サイズ例	メモリサイズ	4M ビット × 1	4M ビット × 2	16M ビット × 1	16M ビット × 2
320 × 240		5	5	—	—
640 × 240		—	5	5	5
640 × 480		—	—	3	3

Q2 は、CAS ビフォ RAS リフレッシュモードに対応します。

リフレッシュは、DISP 信号の立ち上がりからの REF3 ~ 0 ビットの設定値分先行します。

(6) 表示タイミング

表示制御レジスタの設定と表示用信号の関係を図 3.17 に示します。

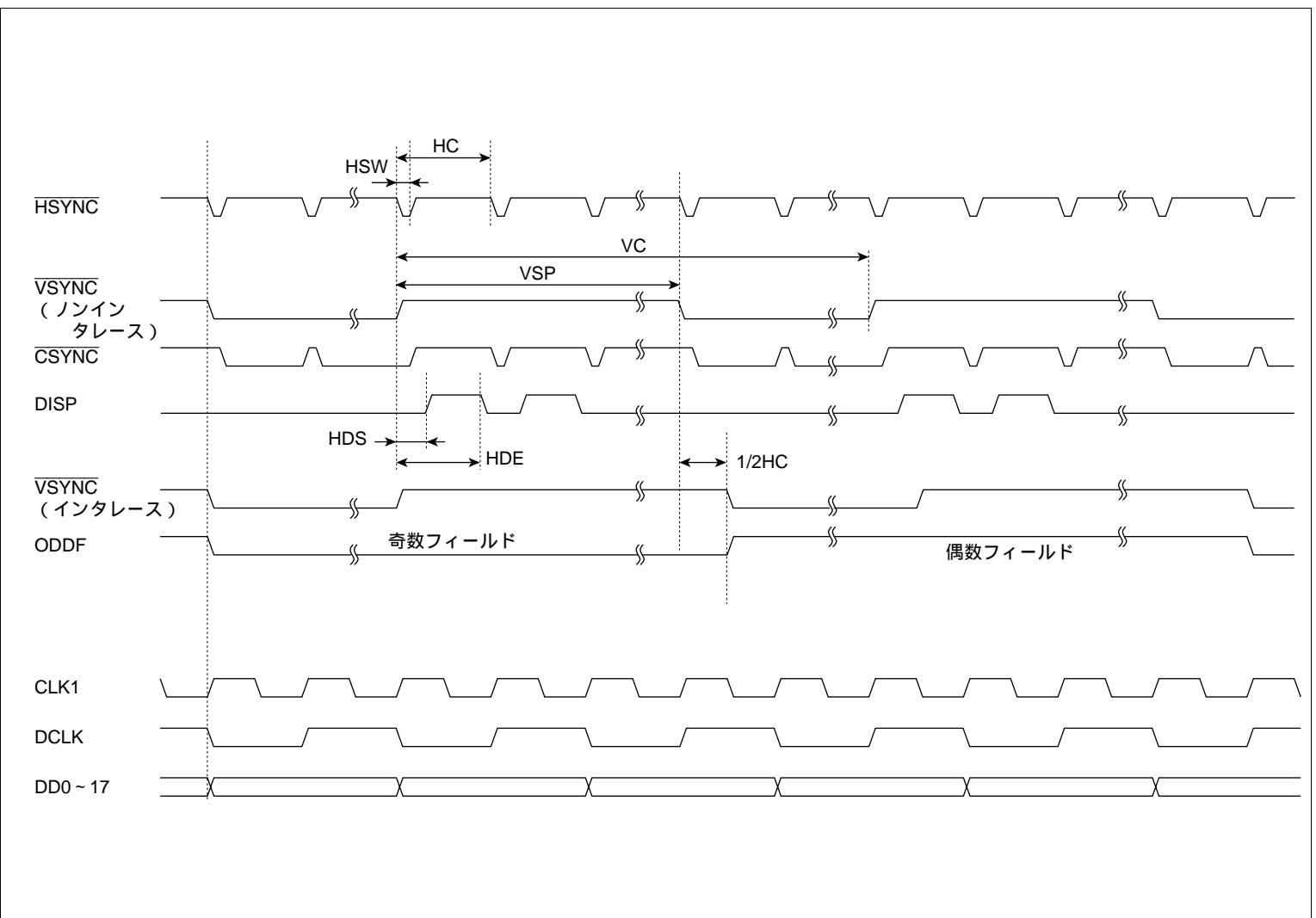


図 3.17 表示タイミング

## 3.4 初期状態

### 3.4.1 初期状態 (規定の電源を投入したとき)

内部状態が不定になります。

レジスタ： 不定

入出力端子：不定

出力端子： Low / High レベル出力

### 3.4.2 リセット状態 ( $\overline{\text{RESET}}$ 端子に Low レベルを入力したとき)

#### (1) レジスタ

リセット直後、Q2 の内部レジスタは表 3.5 に示すように初期化されます。

表3.5 レジスタのリセット時初期値

レジスタアドレス CST A [10 : 1]	R/W	レジスタ名	略称	データ																					
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
0	R/W	システム制御	SYSR	1	1	0		0	0		0			0				DBM	0	0					
001	R	ステータス	SR	0	0	0		0	0		0			0			DBF					0			
002	W	ステータスレジスタクリア	SRCL	TVCL	FRCL	DMCL	CECL	VBCL	TRCL	CSCL											0	0	1	0	
003	R/W	割込み許可	IER	0	0	0	0	0	0	0															
004	R/W	メモリモード	MEMR														MES							MEA	
005	R/W	表示モード	DSMR						0		DOT	1	0			SCM	1	0	0	0	0	0	0	0	
006	R/W	レンダリングモード	REMR														MWX							GEM	
007	R/W	入力データ変換モード	IEMR																			0	0	0	
メモリ制御レジスタ																									
0	R/W	表示サイズ		X																					
009	R/W		DSR	Y																					
00A	R/W	表示開始アドレス		0																				DSA0	
00B	R/W		DSAR	1																				DSA1	
00C	R/W	ディスプレイリスト開始アドレス	DLSAR	H																				DLSAH	
00D	R/W			L																				DLSAL	
00E	R/W	多値ソース領域開始アドレス	SSAR																					SSAH	
00F	R/W	ワーク領域開始アドレス	WSAR																					WSAH	
010	R/W	DMA転送開始アドレス		H																			0	0	0
011	R/W		DMAAR	L																			0	0	0
012	R/W	DMA転送語数	DMAWR																				0	0	0
入力データ制御レジスタ																									
0	R/W	画像データ転送開始アドレス	ISAR	H																				0	0
022	R/W			L																			0	0	0
023	R/W	画像データ	IDSR	X																			0	0	0
024	R/W	サイズ		Y																			0	0	0
025	W	画像データエントリ	IDER																				0	0	0

のビット以外はリセットに影響されません。また、上記以外のレジスタはリセットに影響されません。

## (2) 端子

リセット直後、Q2の端子は表 3.6 に示すようになります。

表 3.6 リセット直後の端子状態

入出力端子	入力状態	D0 ~ D15、 $\overline{\text{VSYNC}}/\overline{\text{EXVSYNC}}$ 、 $\overline{\text{HSYNC}}/\overline{\text{EXHSYNC}}$ 、ODDF
	出力状態 (Low レベル出力)	MD0 ~ MD15
出力端子	Low レベル出力	DISP、CDE、DD0 ~ DD17
	High レベル出力	$\overline{\text{DREQ}}$ 、 $\overline{\text{IRL}}$ 、 $\overline{\text{WAIT}}$
	Low / High レベル出力	$\overline{\text{CSYNC}}$ 、DCLK、FCLK、MA0 ~ MA11、 $\overline{\text{MWE}}$ 、 $\overline{\text{MRAS0}}$ 、 $\overline{\text{MRAS1}}$ 、 $\overline{\text{MLCAS}}$ 、 $\overline{\text{MUCAS}}$ 、 $\overline{\text{MOE}}$



---

# 4. ディスプレイリスト

---

## 第4章 目次

4.1	概要	65
4.2	コマンドフェッチ	68
4.3	基本機能	69
4.3.1	レンダリング座標系	69
4.3.2	レンダリング参照データ	73
4.3.3	レンダリング属性	76
4.4	描画コマンド	80
4.4.1	POLYGON4A	80
4.4.2	POLYGON4B	82
4.4.3	POLYGON4C	84
4.4.4	FTRAP	86
4.4.5	RFTRAP	88
4.4.6	LINEW	90
4.4.7	RLINEW	92
4.4.8	LINE	94
4.4.9	RLINE	96
4.4.10	PLINE	98
4.4.11	RPLINE	100
4.4.12	MOVE	102
4.4.13	RMOVE	104
4.4.14	LCOFS	106
4.4.15	RLCOFS	108
4.4.16	UCLIP	110
4.4.17	SCLIP	112
4.4.18	CLRW	114
4.4.19	JUMP	116
4.4.20	GOSUB	118

#### 4. ディスプレイリスト

---

4.4.21	RET .....	120
4.4.22	TRAP.....	121
4.4.23	NOP3 .....	123

## 4.1 概要

Q2では、UGM上に配置された描画コマンドの集合体をもとに描画を行います。また、描画コマンドの集合体をディスプレイリストといいます。描画コマンドには、レンダリング座標に描画するコマンドとして4頂点面描画および線描画、ワーク座標系に描画するコマンドとしてワーク面描画およびワーク線描画があります。その他のコマンドとしてレジスタ設定、シーケンス制御、描画終了コマンドがあります。

また、線描画、台形フィルには、絶対座標と相対座標指定コマンドがあります。

表 4.1 に描画コマンド一覧を示します。

表 4.1 描画コマンド一覧表 (1)

種類	コマンド名	機能
4 頂点面描画	POLYGON4 四角形塗りつぶし	4つの座標を頂点とする四角形を描画します。 ソースの張り付けと指定色での塗りつぶしができます。
	POLYGON4A	転送元を多値ソースとする4頂点面描画
	POLYGON4B	転送元を2値ソースとする4頂点面描画
	POLYGON4C	指定カラーによる4頂点面描画
線描画	LINE 折れ線	開始座標から節点座標を経由する折れ線を実線で描画します。
	LINE	折線描画 (絶対座標指定)
	RLINE	折線描画 (相対座標指定)
	PLINE 線種指定折れ線	開始座標から節点座標を経由する折れ線を線種 (パターン) 付きで描画します。
	PLINE	パターン参照折線描画 (絶対座標指定)
	RPLINE	パターン参照折線描画 (相対座標指定)
ワーク面描画	FTRAP 台形塗りつぶし	Y軸に平行な左側辺を持つ台形を2値のEORで塗りつぶします。
	FTRAP	2値のEORでの台形フィル (絶対座標指定)
	RFTRAP	2値のEORでの台形フィル (相対座標指定)
	CLRW 矩形ゼロクリア	2点座標を対角とする矩形をゼロで塗りつぶします。
ワーク線描画	LINEW 折れ線	開始座標から節点座標を経由する折れ線を実線で描画します。
	LINEW	2値折線描画 (絶対座標指定)
	RLINEW	2値折線描画 (相対座標指定)

表 4.1 描画コマンド一覧表 (2)

種類	コマンド名	機能
レジスタ設定	MOVE	カレントポインタ設定 (絶対座標指定)
	RMOVE	カレントポインタ設定 (相対座標指定)
	LCOFS	ローカルオフセット値の設定 (絶対座標指定)
	RLCOFS	ローカルオフセット値の設定 (相対座標指定)
	SCLIP	原点と指定座標点を対角とする矩形をクリッピング領域に設定します。
	UCLIP	2点座標を対角とする矩形をクリッピング領域に設定します。
シーケンス制御	JUMP	コマンドシーケンスジャンプ (分岐)
	GOSUB	サブルーチンコール (分岐)
	RET	サブルーチンリターン (復帰)
	NOP3	無動作: 実行処理はありません。
描画終了	TRAP	描画処理を終了し、CPU へ割り込みを発生します。

描画コマンドのパラメータ指定のために以下の項目 (基本機能) があります (コマンドにより指定可能な項目は異なります)。

#### レンダリング座標系

すべての座標系の原点の位置は、2値ソース座標を除きユニファイドグラフィクスメモリ (UGM) の先頭から画素単位に数えて、 $x=0$  かつ  $y$  が 128 の倍数になる画素の位置に割り当てることができます。

- ・レンダリング座標 (2次元座標系)

Q2 が描画を行う座標です。UGM の容量に合わせて、512 画素 × 512 画素または 1024 画素 × 512 画素のどちらかを選択できます。

- ・多値ソース座標 (2次元座標系)

自然画などのカラーマップデータを管理するための座標です。最大 1024 × 1024 サイズの正数座標がもてます。使用できる座標の大きさは UGM の容量によって決まります。

また、多値ソース座標で扱える最大の色数は、常にレンダリング座標と同じ色数になります。多値ソース座標は、レンダリング座標と重複させることも可能です。

- ・ワーク座標（2次元座標系）  
レンダリング属性のワーク指定を行ったときに用いる図形を管理するための座標です。ワーク座標は、レンダリング座標の画素ごとに、1対1の対応がとれるようにQ2が管理します。また、クリッピング処理もレンダリング座標と同様に行われます。
- ・2値ソース座標（1次元座標系）  
文字パターンおよび線パターンを格納するための座標です。文字パターンおよび線パターンは、UGM上の任意のアドレスから順番に格納し、コマンドパラメータTDX、TDYで2次元座標的にパターンの大きさを管理します。

#### レンダリング参照データ

- ・転送元を参照する描画では、参照するデータ形式として多値ソースデータ、2値ソースデータがあり、各々多値ソース座標、2値ソース座標に定義します。
- ・転送元を参照しない描画では、指定カラーデータを参照するものがあります。
- ・POLYGON4系コマンドでは、ワークデータの参照が可能です。

#### レンダリング属性

- ・ワーク指定（WORK）、クリッピング指定（CLIP）、透過指定（TRNS）、ソーススタイル指定（STYL）、ネット描画指定（NET）、ソースハーフ指定（HALF）、イーブンオッドセレクト指定（EOS）の7種類を指定可能です（コマンドにより指定可能な属性は異なります）。

## 4.2 コマンドフェッチ

Q2は、UGMに格納されたディスプレイリストを自らフェッチしながら描画動作を続けます。ディスプレイリストとは、Q2の描画コマンドを複数個連結したものです。

Q2は、ディスプレイリスト開始アドレスレジスタ(DLSAR)に設定されているアドレスを先頭に、アドレスの増加方向に順次フェッチを行います。フェッチアドレスを途中で変更するためには、JUMPコマンドやGOSUBコマンドを用います。ディスプレイリストの最後にTRAPコマンドを置くことにより、Q2のフェッチを終了させることができます。

Q2は、32バイトのコマンド専用のバッファを内蔵しており、このバッファの分だけまとめてUGMをアクセスします。このバッファ内のコマンドの処理が終了すると再びコマンドのフェッチを行います。

途中でJUMPコマンドやGOSUBコマンド等のフローを変更するコマンドがあると、Q2はこれらのコマンドに従った新しいアドレスからフェッチをやり直します。

図4.1にディスプレイリスト例を示します。

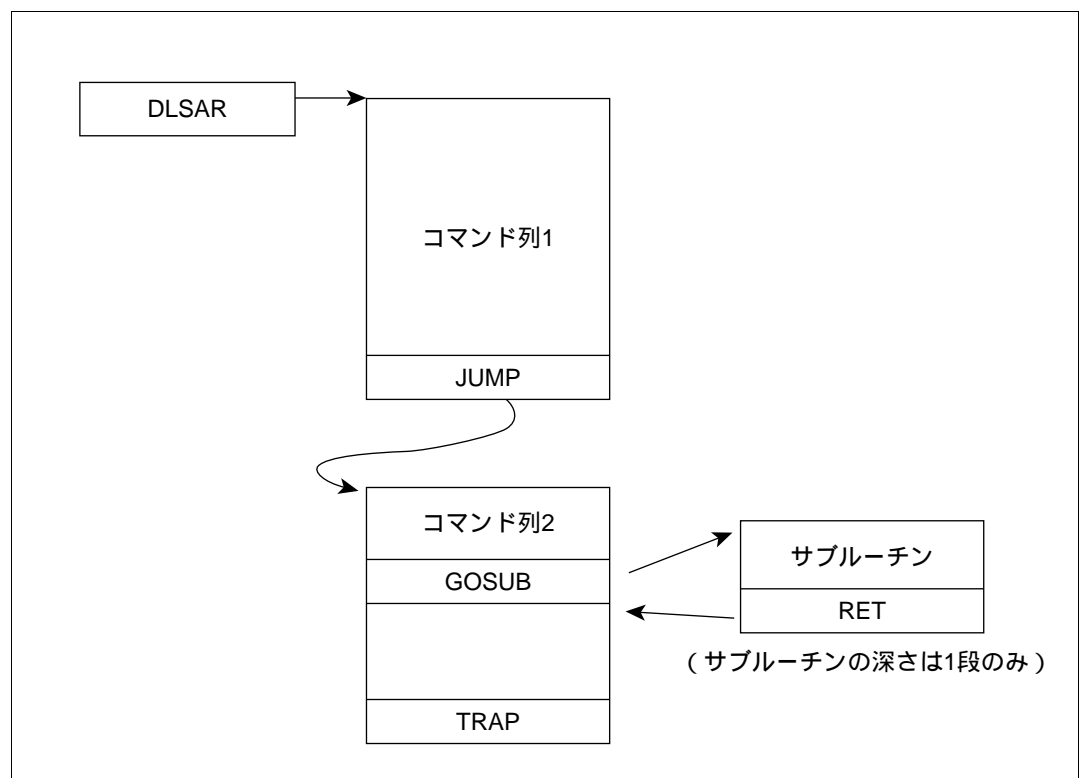


図 4.1 ディスプレイリスト例

## 4.3 基本機能

### 4.3.1 レンダリング座標系

Q2は、3種類の2次元座標系として、レンダリング座標、8ビット/画素または16ビット/画素(多値)ソース座標、ワーク座標、および1種類の1次元座標系として、1ビット/画素(2値)ソース座標を管理します。

#### (1) レンダリング座標

座標系の大きさは図4.2のように固定されています。フレームバッファとの対応も固定されていますが、実装するメモリ容量および画面サイズにより異なります。レンダリングモードレジスタによって、正しく選択してください。フレームバッファが存在する領域以外は、描画動作は行いますが何も書き込まれません。なお、Q2で管理できるレンダリング座標は、図4.2に示す範囲です。このため、LCOFSコマンドを使用して描画を行う場合は、必ずLCOFSコマンドで設定したオフセット値を加算した座標が図4.2内に入っている必要があります。

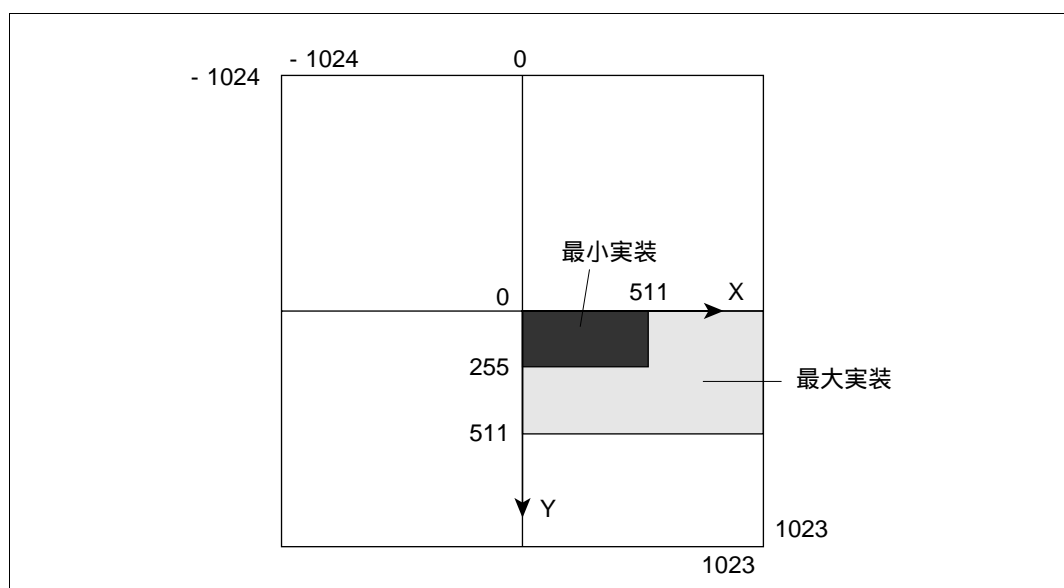


図4.2 レンダリング座標

#### (2) 多値ソース座標

座標原点は多値ソース領域開始アドレスで指定します。図4.3に示すように最大1024×1024サイズの正数座標がもてますが、実装するメモリ容量、画面サイズおよび多値ソース領域開始アドレスにより大きさは異なります。多値ソース領域開始アドレスの設定によっては他の座標系と全部または一部分と重ねて使用することもできます。

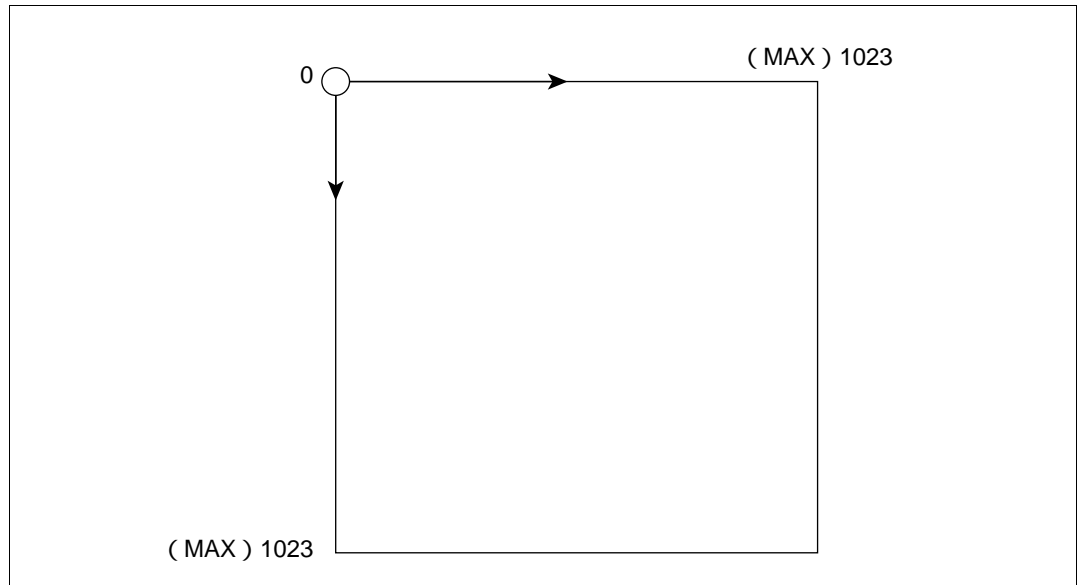


図 4.3 多値ソース座標

(3) 2 値ソース座標

2 値 (1 ビット / 画素) ソース座標系は、1 次元のメモリ空間に直接マッピングされます。領域、場所は任意で、ディスプレイリスト空間と混在できます。ただし、ソース図形の先頭アドレスは、必ずワードアドレスとなります。図形の大きさは、POLYGON4B コマンドのパラメータである TDX、TDY で指定します。なお、TDX の設定は 8 画素の倍数のみ可能です。

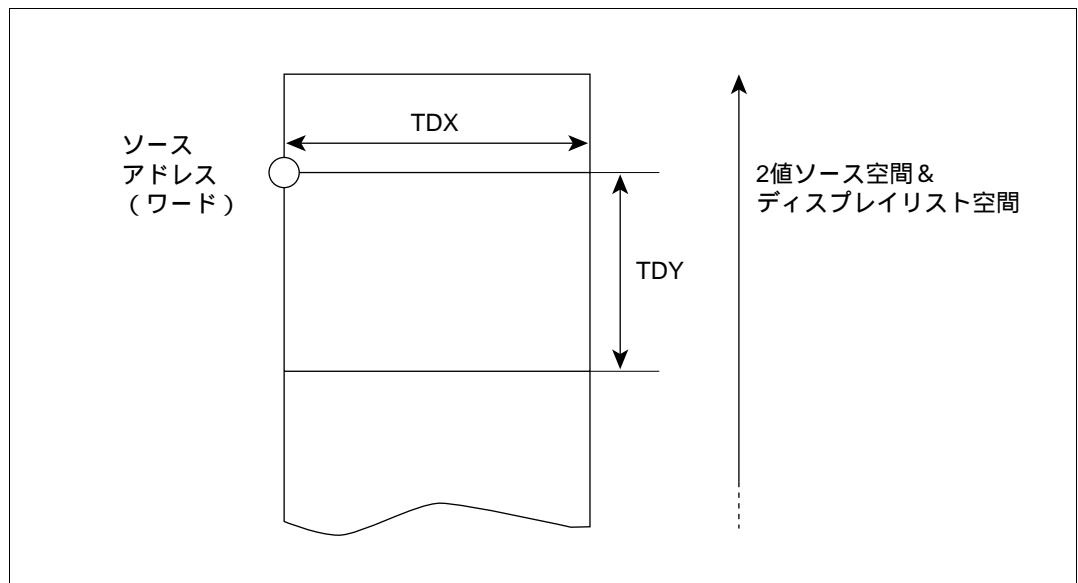


図 4.4 2 値ソース座標



## (4) 2値ワーク座標系

ワーク座標系は、図 4.5 に示すようにレンダリング座標系と完全に 1 対 1 で対応します。したがって、クリッピングもレンダリング座標系と同様に扱われます。

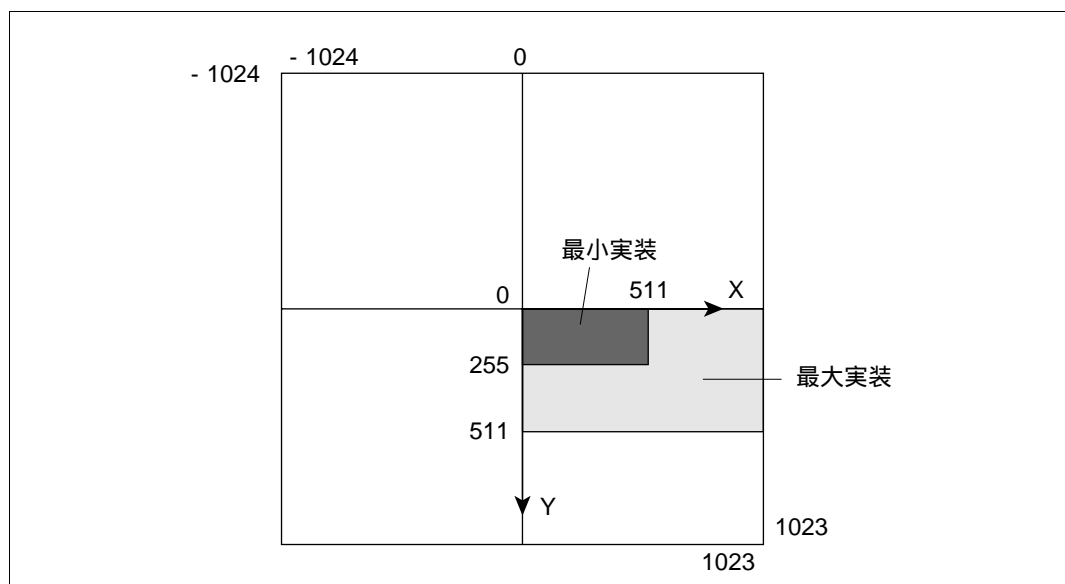


図 4.5 ワーク座標系

## (5) 2値ワーク座標とアドレスの関係

ワーク座標は、ワーク領域開始アドレスから始まるリニアな座標です。ワーク座標は、レンダリングモードレジスタ(REMR)のMWX ビットで指定された画素(512または1024画素)ごとに折り返して2次元座標を構成します。図 4.6、図 4.7 に例を示します。

なお、2値ワークとして必要なメモリ容量は、(MWX ビットで指定した画素数) × (Y 軸方向の表示画素数) / 8 [ Bytes ] になります。

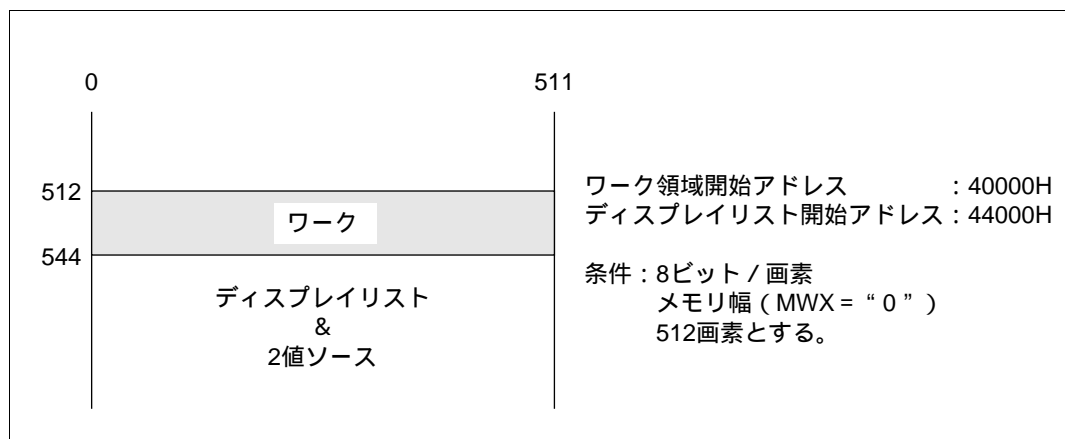


図 4.6 ワーク座標と物理アドレスの関係例

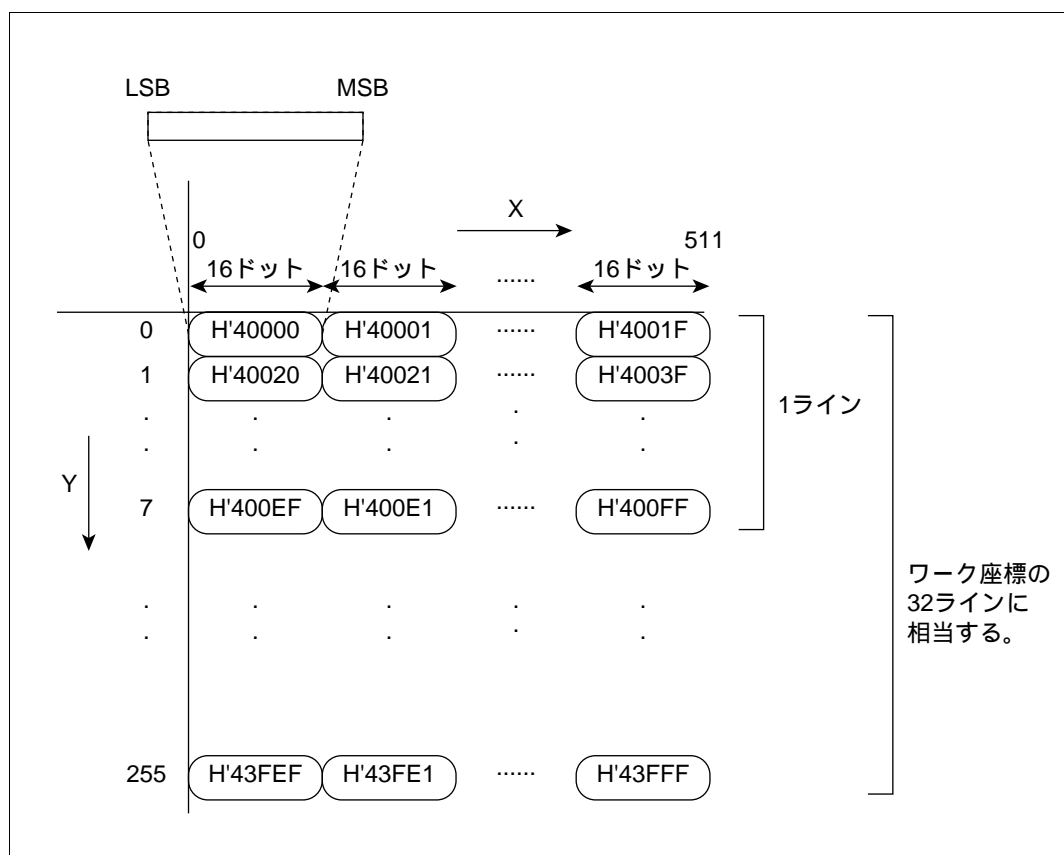


図 4.7 ワーク座標の座標対アドレスの関係

### 4.3.2 レンダリング参照データ

Q2 の描画では、転送元を参照する描画と参照しない描画に大別できます。転送元を参照する描画コマンドには、POLYGON4A、POLYGON4B、PLINE、およびRPLINEがあり、参照しない描画コマンドには、POLYGON4C、LINE、RLINE、FTRAP、RFTRAP、CLRW、LINEW、およびRLINEWがあります。

転送元を参照する描画では、参照するデータ形式として多値ソースデータ、2値ソースデータがあります。

転送元を参照しない描画コマンド中、POLYGON4C、LINE、RLINE、LINEW、およびRLINEWは、指定カラーデータを参照します。

また、POLYGON4系コマンドでは、多値ソースデータと2値ワークデータ、2値ソースデータと2値ワークデータ、指定カラーデータと2値ワークデータの組み合わせ参照ができます(図4.8参照)。

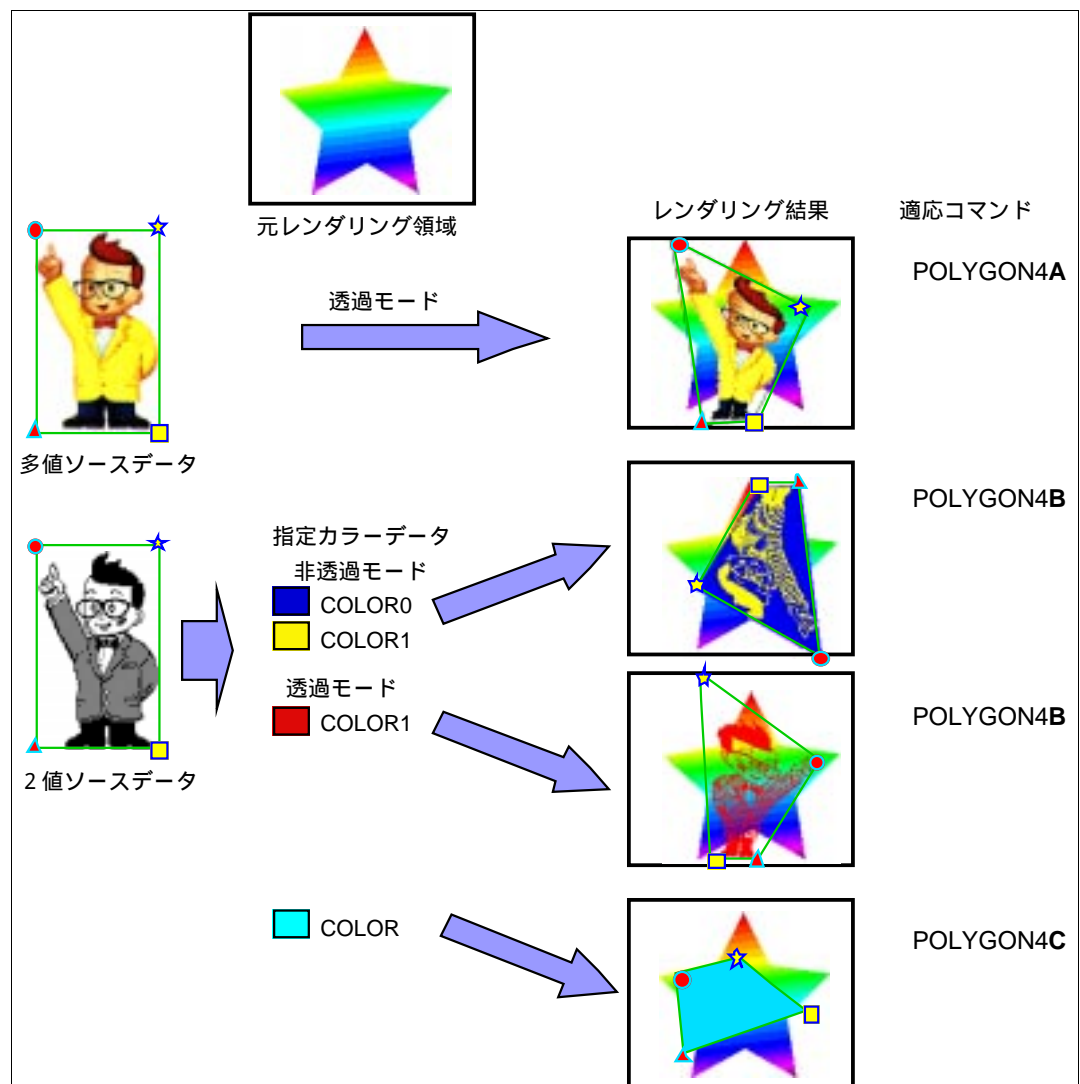


図 4.8 POLYGON4 系転送データの組み合わせ例

### (1) 多値ソースデータ

多値のソースデータは多値ソース座標（2次元座標）に定義します。

ただし、横幅（TDX）は8画素の倍数で指定します。多値ソースデータの構成を図4.9に示します。

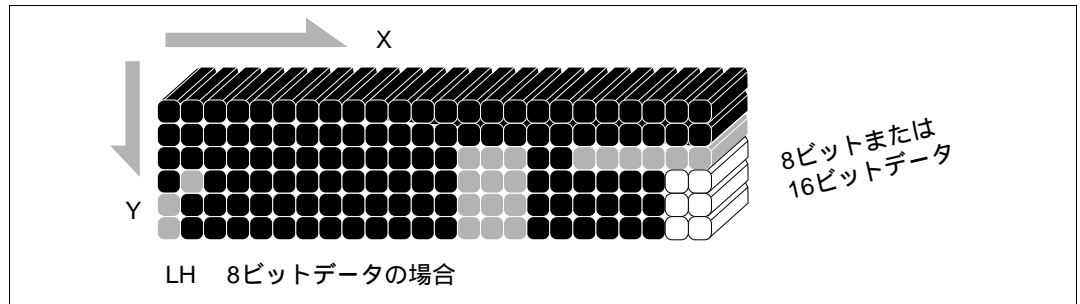


図 4.9 多値ソースデータの構成

### (2) 2値ソースデータ

2値のソースデータは、UGMの2値ソース領域にリニアに配置します。そして、POLYGON4Bコマンド中のTDXおよび、TDYで2次元座標（2値ソース座標）として管理します。また、2値ソースデータは、Q2から2値ソース領域を見た時、画面左端の画素が、LSBに配置される必要があります。

ただし、横幅（TDX）は8画素の倍数で指定します（1バイト単位）。2値ソースデータの例を図4.10に示します。

2値ソースは、文字データや線種データの定義に使用します。描画する場合“0”はCOLOR0データ、“1”はCOLOR1データに変換し描画します（透過モードの場合、“1”のみCOLOR1データに変換し描画します）。

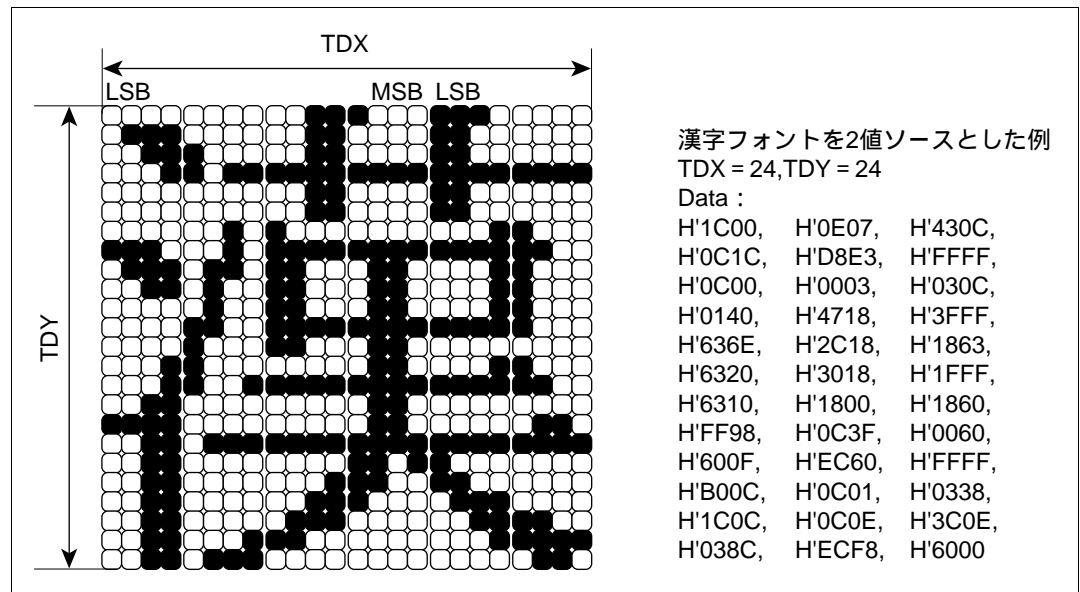


図 4.10 漢字フォントを2値ソースとした例 (TDX = 24、TDY = 24)

### (3) 2値ワークデータ

2値のワークデータは2値ワーク座標(2次元座標)に定義します。ワークデータは、多角形の塗りつぶしを実現するための作業用データです。FTRAP コマンド等により、多角形の外形データを作成します。作成した図形データでレンダリング図形の切り出しに使用します。例えば、POLYGON4C コマンドをワーク併用で用いれば、ワーク領域の多角形図形を指定したカラー値でレンダリング領域に描画できます。2値ワークデータの構成を図 4.11 に示します。

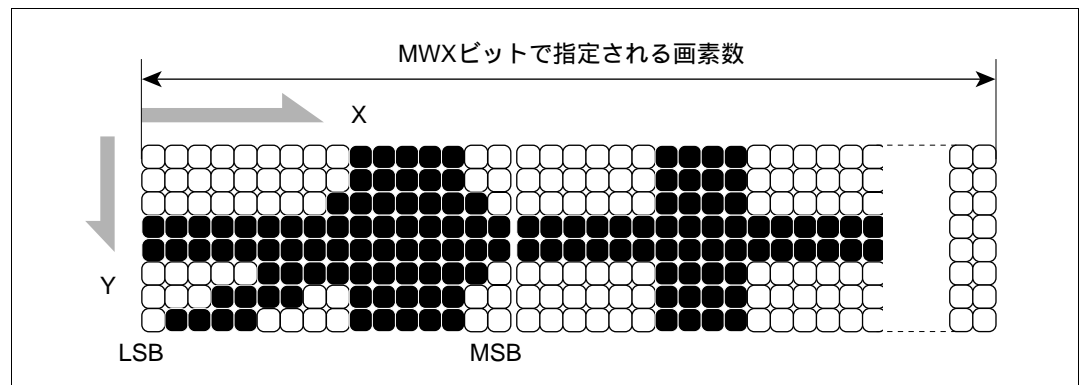


図 4.11 2値ワークデータの構成

### (4) 指定カラーデータ

指定カラーデータは描画パラメータの COLOR、COLOR0、COLOR1、LINE COLOR0、LINE COLOR1 に直接定義します。Q2 を 8 ビット / 画素で動作させたときは、描画パラメータのカラー指定で上位 8 ビットと下位 8 ビットに同じカラーパレット番号を定義します。Q2 を 16 ビット / 画素で動作させたときは、描画パラメータのカラー指定で直接 R、G、B

の値を定義します。

ただし、LINEW および RLINEW ではレンダリング属性の EOS ビットに“0”または“1”を定義します。

### 4.3.3 レンダリング属性

Q2 は、以下に示す 7 種のレンダリング属性を指定できます。これは、コマンド中に埋め込まれていて、コマンド単位で指定できます。図 4.12 にレンダリング属性のビット配置を示します。

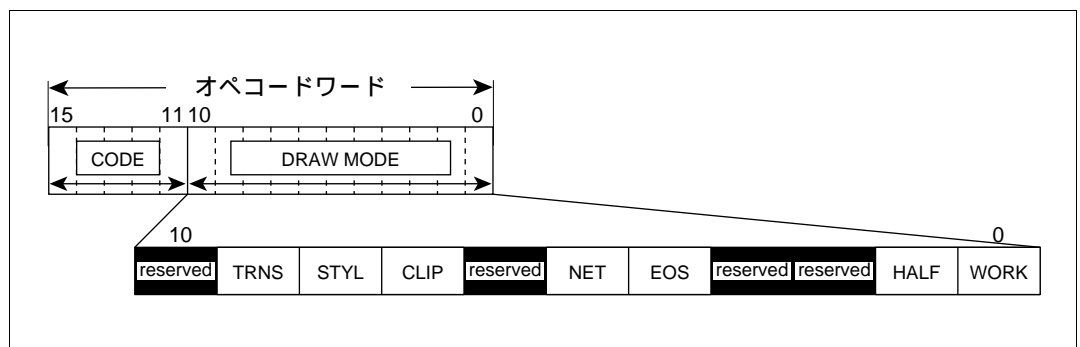


図 4.12 レンダリング属性のビット配置

#### (1) 透過指定 (TRNS)

2 値ソースデータをカラー展開する場合、透過にするか、非透過にするかを TRNS ビットにより描画コマンド単位で選択できます。透過を選択すると、2 値ソースデータの場合には“0”が透過となり、“1”はパラメータ COLOR1 の値となります。非透過を選択すると、2 値データの“0”がパラメータ COLOR0 の値となり、“1”はパラメータ COLOR1 の値となります。同様に多値ソースデータの場合、すべて“0”を透過色として、その画素は描画しません。使用できるコマンドは、POLYGON4A、POLYGON4B、PLINE、および RPLINE で、その他のコマンドでは無効となります。

#### (2) ソーススタイル指定 (STYL)

矩形描画の場合、ソースデータを拡大縮小するか、または繰り返し参照するかを STYL ビットにより描画コマンド単位で選択できます。スタイル指定しない場合、ソースデータはレンダリング領域の大きさに比例して拡大縮小します。スタイル指定した場合、ソースデータはレンダリング領域の大きさに比例して繰り返し参照します。このため、ハッチパターンのような繰り返し模様を描画する際に本属性を指定します。使用できるコマンドは、POLYGON4A、POLYGON4B で、その他のコマンドでは無効となります。

図 4.13 にソーススタイル指定例を示します。

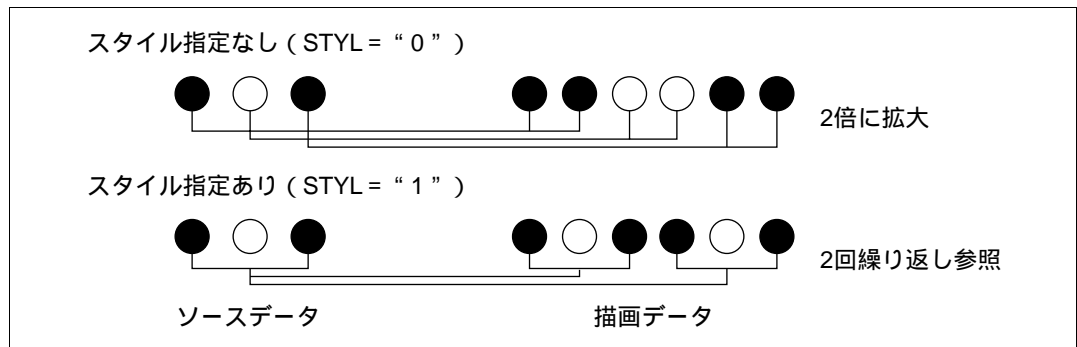


図 4.13 ソーススタイル指定例

### (3) クリッピング指定 (CLIP)

Q2 はクリッピング領域管理を行うことができます。クリッピング領域には、SCLIP コマンドで設定するシステムクリッピング領域と、UCLIP コマンドで設定するユーザクリッピング領域があります。

システムクリッピング領域は、Q2 がダブルバッファ制御を行った際に、表示範囲として有効な描画範囲を規定するための矩形領域です。このため、システムクリッピング領域は、システムクリッピング領域外の描画を禁止させるために使用します。システムクリッピング領域は、CLIP ビットに 0 を設定した際に有効になります。

ユーザクリッピング領域は、CLIP ビットに 1 を設定することで有効になります。また、ユーザクリッピング領域を有効にした場合、システムクリッピング領域は無効になります。このため、システムクリッピング領域外の描画を禁止させるために、必ず、システムクリッピング領域内にユーザクリッピング領域が納まるようにしてください。

なお、システムクリッピング領域および、ユーザクリッピング領域の両方において、描画点がクリッピング領域の境界上にあっても、その点は描画されます。

クリッピング指定例を図 4.14 に示します。

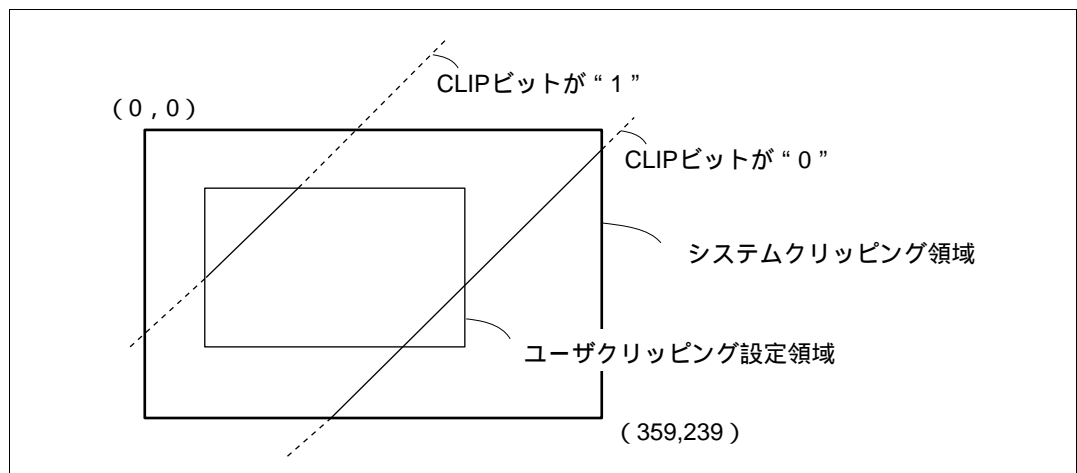


図 4.14 クリッピング指定例

(4) ネット描画指定 (NET)

ネット描画を行うか、行わないかを NET ビットにより描画コマンド単位で選択できます。ネット描画とは、レンダリング座標の  $X+Y=EOS$  ( $0$ : 偶数、 $1$ : 奇数) が真となる座標の画素のみ描画を行う機能です。例えば、 $EOS=0$  なら  $Y=0, X=0, 2, 4, 6, 8, \dots$ 、 $Y=1, X=1, 3, 5, 7, 9, \dots$  の座標のみ描画を行います。

この機能により、描画する図形と下地を半分ずつ重ね合わせることができます。

使用できるコマンドは、POLYGON4 系、LINE、RLINE、PLINE、および RPLINE で、その他のコマンドでは無効となります。

(5) イーブンオッドセレクト指定 (EOS)

EOS ビット = “0” を選択すると偶数画素、EOS ビット = “1” を選択すると奇数画素が選択されます。

ネット指定、ソースハーフ指定と併せて使用します。

また、LINEW および RLINEW コマンドでは、EOS ビット = “0” を選択すると “0” でワーク座標に描画、EOS ビット = “1” を選択すると “1” でワーク座標に描画します。

図 4.15 にイーブンオッドセレクト指定例を示します。

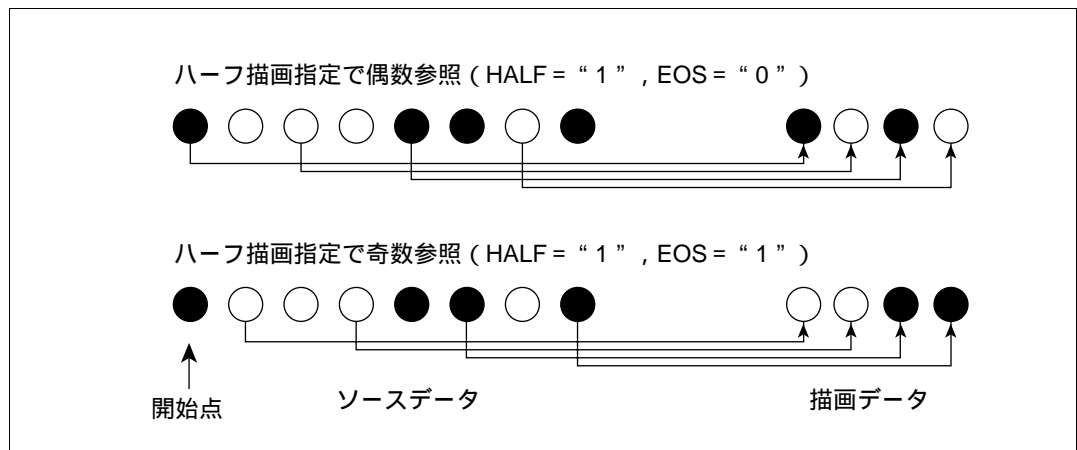


図 4.15 イーブンオッドセレクト指定例

(6) ソースハーフ描画指定 (HALF)

ソースデータをすべて参照するか、半分だけ参照するかを HALF ビットで選択します。ソースハーフ描画指定を選択すると、ソースの開始点から EOS ( $0$ : 偶数、 $1$ : 奇数) データのみ参照します。したがって、ソースは横方向半分のデータのみを参照することになります。

使用できるコマンドは、POLYGON4B (2 値ソース) だけで、その他のコマンドでは無効となります。



## (7) ワーク指定 (WORK)

レンダリング座標に POLYGON4 系コマンドで描画する場合、2 値ワークデータを参照するか、参照しないかを WORK ビットにより描画コマンド単位で選択できます。

2 値ワークデータ参照を選択した場合、レンダリング座標に対応する画素のワークデータが “1” ならば描画され、“0” ならば描画されません。したがって、ワーク座標に描画された図形と同じ形で、レンダリング座標に描画を行うことができます。ワーク座標への描画は、FTRAP コマンドによる描画、または SuperH による描画のどちらか一方の方法で行えます。また、コマンドによる UGM 描画アクセスと SuperH による UGM 描画アクセスとを、同時に行なわないようにしてください。使用できるコマンドは POLYGON4A、POLYGON4B、および POLYGON4C で、その他のコマンドでは、無効となります。

なお、PLINE および RPLINE コマンドでは本属性を 1 にしますが、ワーク参照は行なわれません。

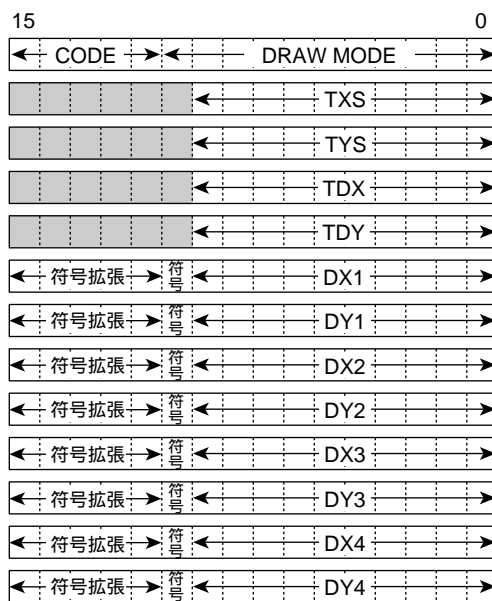
## 4.4 描画コマンド

### 4.4.1 POLYGON4A

#### 機能

多値（8または16ビット/画素）ソースを参照しながら、任意の4頂点描画を行います。

#### コマンドフォーマット



■ : “0” 固定

#### (1) CODE

B'00000

#### (2) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
	x		x		x

DRAW MODE									
reserved	TRNS	STYL	CLIP	reserved	NET	EOS	reserved	HALF	WORK
0 固定				0 固定			0 固定	0 固定	x

: 可                    : モードにより参照    x : 不可

## (3) コマンドパラメータ

TXS、TYS：ソース開始点

TDX、TDY：ソースサイズ

DXn、DYn (n=1~4)：レンダリング座標、ワーク座標

## 説明

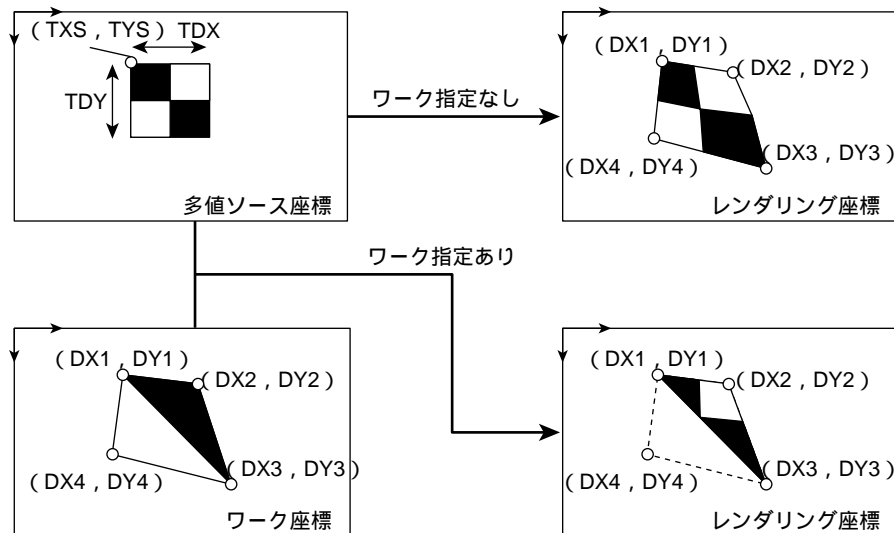
多値(8または16ビット/画素)のソースデータを任意の四角形レンダリング座標に転送します。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋めを行うために2度書きが生じます。

レンダリング属性でソース繰り返し参照(STYL=1)を選択すると、ソースは拡大、縮小せず、繰り返し参照します。

レンダリング属性でワーク参照(WORK=1)を選択すると、レンダリング座標と同じ座標のワーク領域データを参照しながら転送を行います。

なお、多値ソース座標のX方向8画素を1単位として多値ソースを参照し、拡大、縮小を行います。このため、TDXは必ず8画素の倍数で設定してください。TDXが8画素の倍数でない場合は、多値ソースの参照が正常に行われません。

## 例

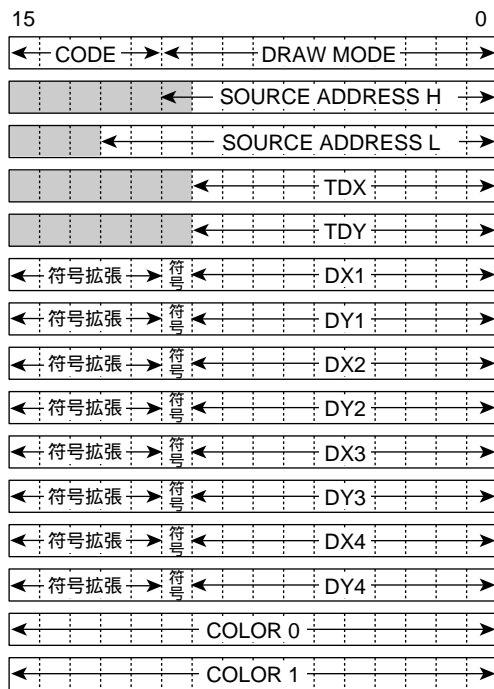


### 4.4.2 POLYGON4B

**機能**

2値（1ビット/画素）ソースを参照しながら、任意の4頂点描画を行います。

**コマンドフォーマット**



■ : “0” 固定

(1) CODE

B'00001

(2) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
x			x		x

DRAW MODE									
reserved	TRNS	STYL	CLIP	reserved	NET	EOS	reserved	HALF	WORK
0 固定				0 固定			0 固定	0 固定	

: 可                    : モードにより参照    x : 不可                    : 同時指定不可

## (3) コマンドパラメータ

SOURCE ADDRESS H : 1 ビット / 画素ソース開始上位アドレス

SOURCE ADDRESS L : 1 ビット / 画素ソース開始下位アドレス

TDX、TDY : ソースサイズ

DX<sub>n</sub>、DY<sub>n</sub> (n=1~4) : レンダリング座標、ワーク座標

COLOR0、COLOR1 : 8 または 16 ビット / 画素カラー指定

## 説明

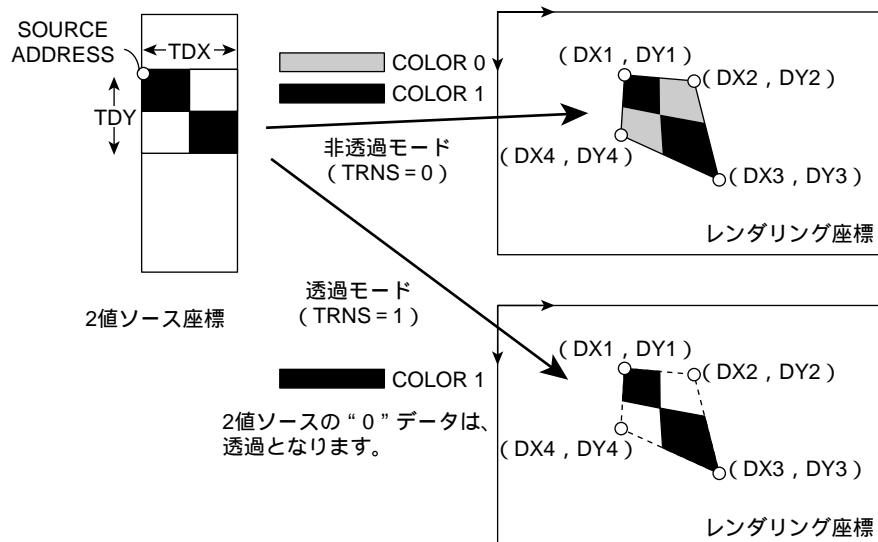
2 値 (1 ビット / 画素) のソースデータを任意の四角形レンダリング領域に、パラメータの COLOR0 および COLOR1 で指定した色に拡張しながら転送します。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋めを行うために 2 度書きが生じます。

レンダリング属性でソース繰り返し参照 (STYL = 1) を選択すると、ソースは拡大、縮小せず、繰り返し参照します。

レンダリング属性でワーク参照 (WORK = 1) を選択すると、レンダリング座標と同じ座標のワーク領域データを参照しながら転送を行います。

TDX の値は 8 画素の倍数です。

## 例

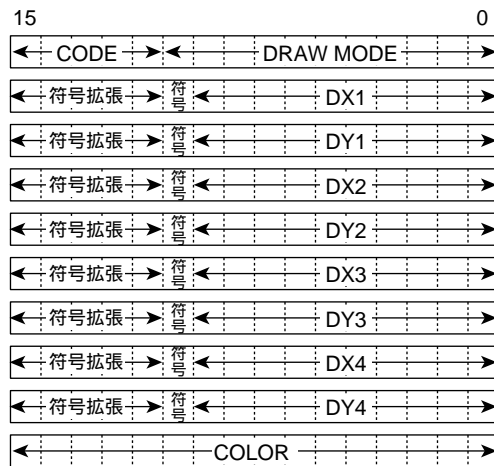


### 4.4.3 POLYGON4C

**機能**

単色指定で任意の4頂点描画を行います。

**コマンドフォーマット**



(1) CODE

B'00010

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x				x

DRAW MODE										
reserved			CLIP	reserved	NET	EOS	reserved			WORK
0 固定	0 固定	0 固定		0 固定			0 固定	0 固定	0 固定	

: 可                   : モードにより参照   x : 不可

(3) コマンドパラメータ

DXn、DYn (n=1~4) : レンダリング座標、ワーク座標

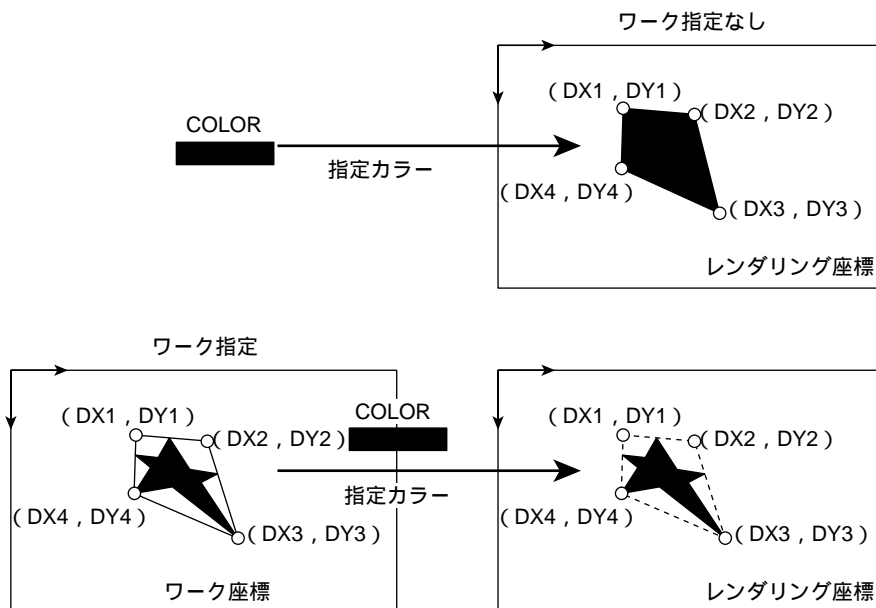
COLOR : 8 または 16 ビット / 画素カラー指定

## 説明

任意の四角形をレンダリング領域に、パラメータの COLOR で指定した単色で描画します。

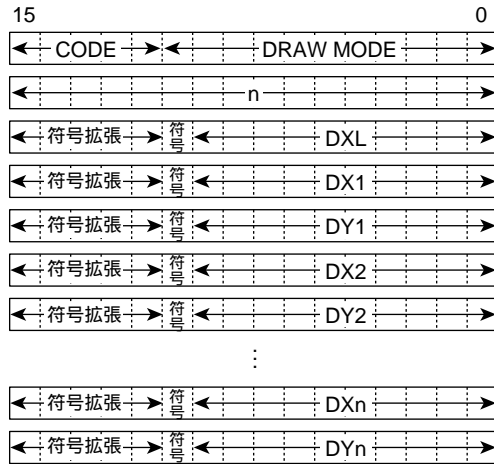
レンダリング属性でワーク参照 (WORK = 1) を選択した場合、レンダリング座標と同じ座標のワーク領域データを参照しながら転送を行います。

## 例



### 4.4.4 FTRAP

#### コマンドフォーマット



(1) CODE

B'01000

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	

DRAW MODE										
reserved			CLIP	reserved						
0 固定	0 固定	0 固定		0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

: 可      x : 不可

(3) コマンドパラメータ

n ( n = 2 ~ 65535 ) : 頂点数

DXL : 左側辺座標

DXn ( n = 2 ~ 65535 ) : 絶対座標

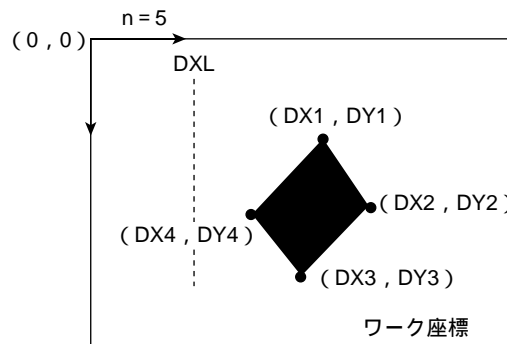
DYn ( n = 2 ~ 65535 ) : 絶対座標



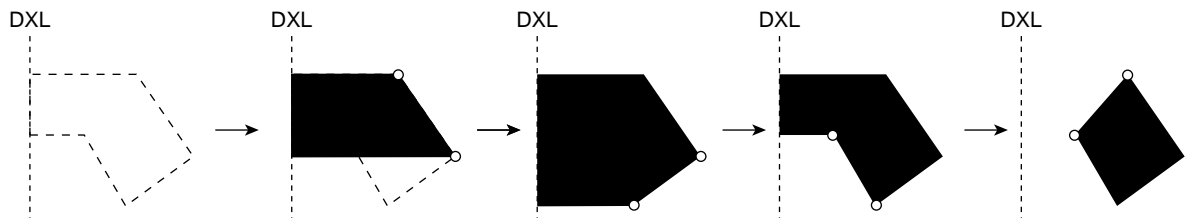
## 説明

ワーク座標に頂点が  $n-1$  個の多角形をワーク座標に描画します。多角形の描画はパラメータで指定した線分  $(DX1, DY1) - (DX2, DY2)$ 、 $(DX2, DY2) - (DX3, DY3)$ 、...、 $(DXn, DYn) - (DX1, DY1)$  を右側辺、 $X = DXL$  を左側辺とする上底および下底が  $X$  軸に平行な台形を順番に 2 値の EOR で塗りつぶすことで行っています。ただし、下底の描画は行いませんので LINEW コマンドでふちどり描画を行ってください。なお、DXL には、 $DX1 \sim DXn$  のうち最小値を設定してください。

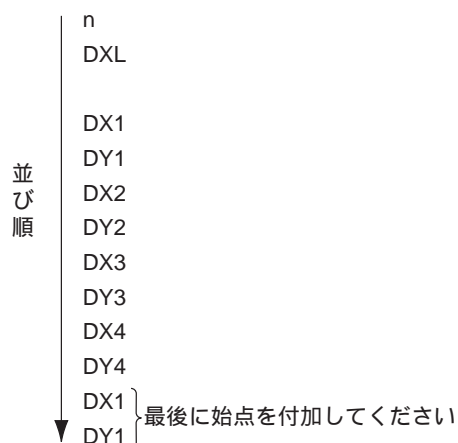
## 例



## 塗りつぶし順序

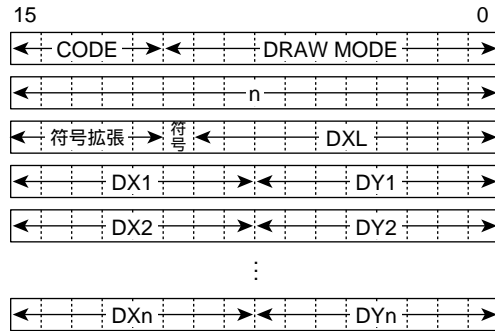


## FTRAP のパラメータ並び順



### 4.4.5 RFTRAP

#### コマンドフォーマット



(1) CODE

B'01001

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	

DRAW MODE										
reserved			CLIP	reserved						
0 固定	0 固定	0 固定		0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

: 可      x : 不可

(3) コマンドパラメータ

n (n = 1 ~ 65535) : 頂点数

DXL : 左側辺座標

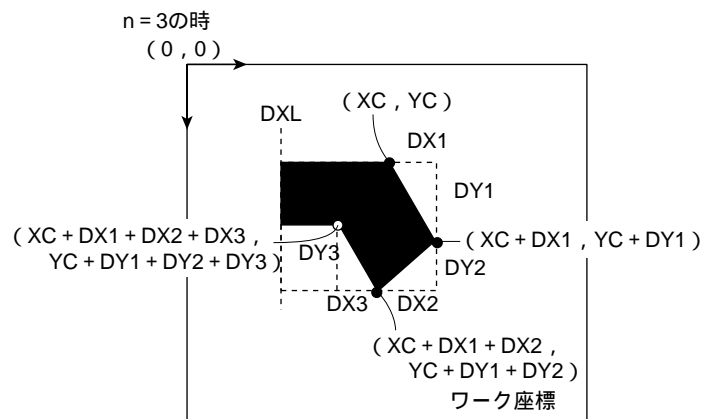
DXn、DYn (n = 1 ~ 65535) : 相対座標

## 説明

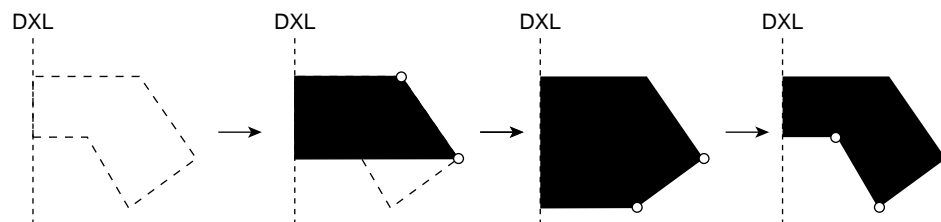
$X = DXL$  を左側辺、カレントポイント  $(XC, YC)$  からの相対移動量  $(DX, DY)$  で指定した座標への線分  $(XC, YC) - (XC + DX1, YC + DY1)$ 、 $(XC + DX1, YC + DY1) - (XC + DX1 + DX2, YC + DY1 + DY2)$ 、...、 $(XC + \dots + DX_{n-1}, YC + \dots + DY_{n-1}) - (XC + \dots + DX_n, YC + \dots + DY_n)$  を右側辺とする上底および下底が X 軸に平行な台形を  $n$  個ワーク座標に 2 値の EOR で塗りつぶします。ただし、下底の描画は行いません。

また、座標最終点はカレントポイント  $(XC, YC)$  として記憶されます。

## 例

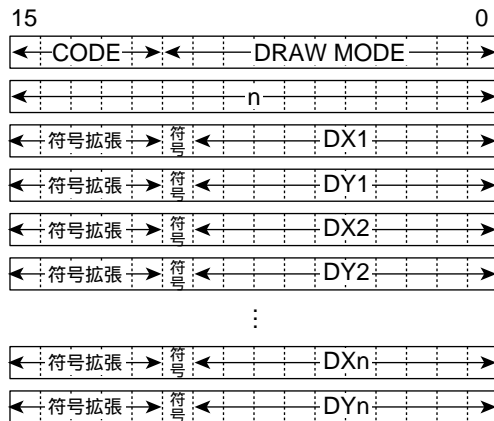


## 塗りつぶし順序



### 4.4.6 LINEW

#### コマンドフォーマット



(1) CODE

B'01010

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x		x	

DRAW MODE										
reserved			CLIP	reserved		EOS	reserved			
0 固定	0 固定	0 固定		0 固定	0 固定		0 固定	0 固定	0 固定	0 固定

: 可            : 可 (EOS 参照)    x : 不可

(3) コマンドパラメータ

n (n = 2 ~ 65535) : 頂点数

DXn (n = 2 ~ 65535) : 絶対座標

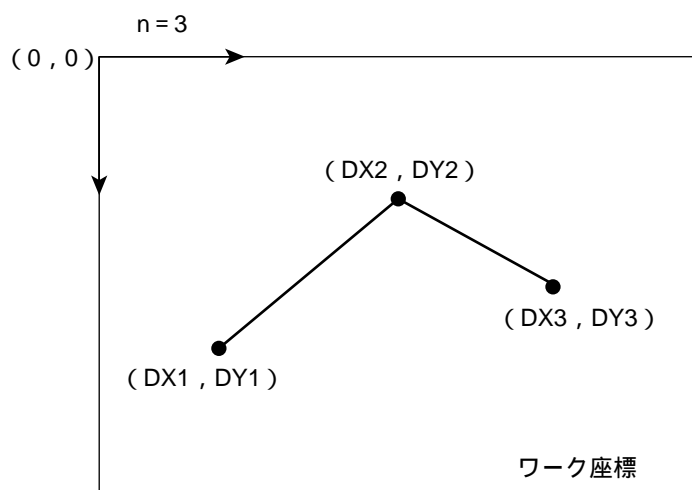
DYn (n = 2 ~ 65535) : 絶対座標

## 説明

頂点 1 ( $DX1, DY1$ ) から頂点 2 ( $DX2, DY2$ )、...、頂点  $n - 1$  ( $DX_{n-1}, DY_{n-1}$ ) を経由し頂点  $n$  ( $DXn, DYn$ ) まで折れ線をワーク座標に 2 値描画します。“0” 描画か “1” 描画かの選択は描画モードの EOS ビットで行います。EOS ビット=0 を選択すると “0” でワーク座標に描画、EOS ビット=1 を選択すると “1” でワーク座標に描画します (ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します)。

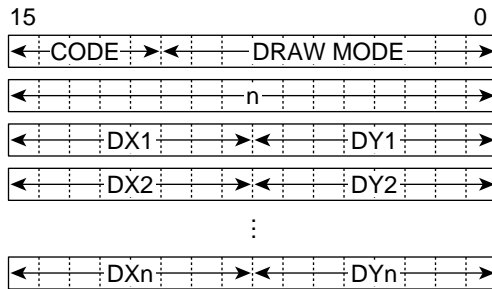
【注】 8 点法描画です。

## 例



### 4.4.7 RLINEW

コマンドフォーマット



(1) CODE

B'01011

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x		x	

DRAW MODE											
reserved			CLIP	reserved		EOS	reserved				
0 固定	0 固定	0 固定		0 固定	0 固定		0 固定	0 固定	0 固定	0 固定	0 固定

: 可                    : 可 (EOS 参照)            x : 不可

(3) コマンドパラメータ

n ( n = 1 ~ 65535 ) : 頂点数

DXn、DYn ( n = 1 ~ 65535 ) : 相対座標

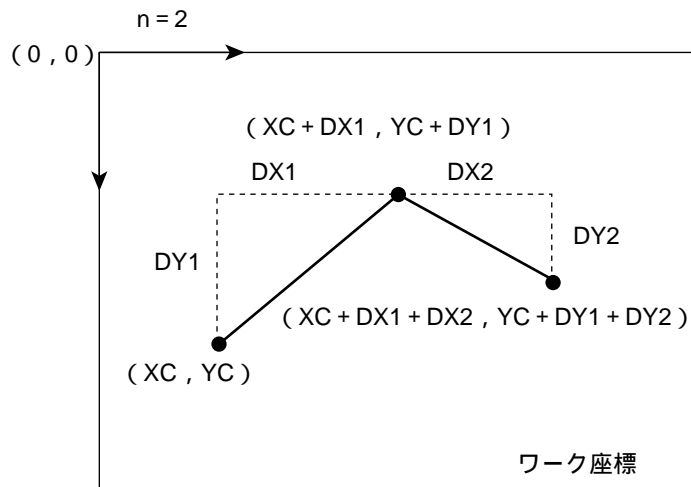
## 説明

カレントポイント( $X_C, Y_C$ )からの相対移動量( $DX, DY$ )で指定した座標への線分( $X_C, Y_C$ ) - ( $X_C + DX_1, Y_C + DY_1$ )、( $X_C + DX_1, Y_C + DY_1$ ) - ( $X_C + DX_1 + DX_2, Y_C + DY_1 + DY_2$ )、...、( $X_C + \dots + DX_{n-1}, Y_C + \dots + DY_{n-1}$ ) - ( $X_C + \dots + DX_n, Y_C + \dots + DY_n$ )まで折れ線をワーク座標に2値描画します。“0”描画か“1”描画かの選択はレンダリング属性のEOSビットで行います。EOSビット=0を選択すると“0”でワーク座標に描画、EOSビット=1を選択すると“1”でワーク座標に描画します。

また、座標最終点はカレントポイント( $X_C, Y_C$ )として記憶されます(ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します)。

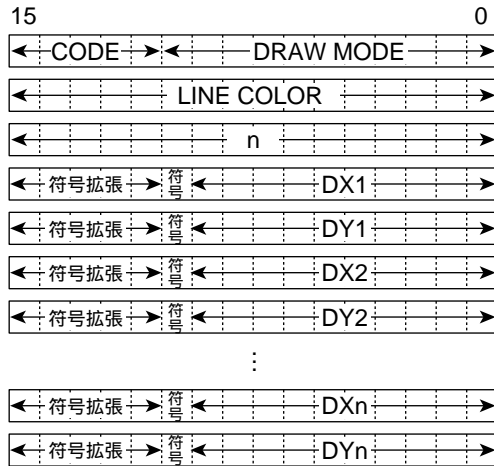
【注】8点法描画です。

## 例



### 4.4.8 LINE

#### コマンドフォーマット



(1) CODE

B'01100

(2) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
x	x	x			x

DRAW MODE										
reserved			CLIP	reserved	NET	EOS	reserved			
0 固定	0 固定	0 固定		0 固定			0 固定	0 固定	0 固定	0 固定

: 可      x : 不可

(3) コマンドパラメータ

LINE COLOR0 : 8 または 16 ビット / 画素カラー指定

n ( n = 2 ~ 65535 ) : 頂点数

DXn ( n = 2 ~ 65535 ) : 絶対座標

DYn ( n = 2 ~ 65535 ) : 絶対座標

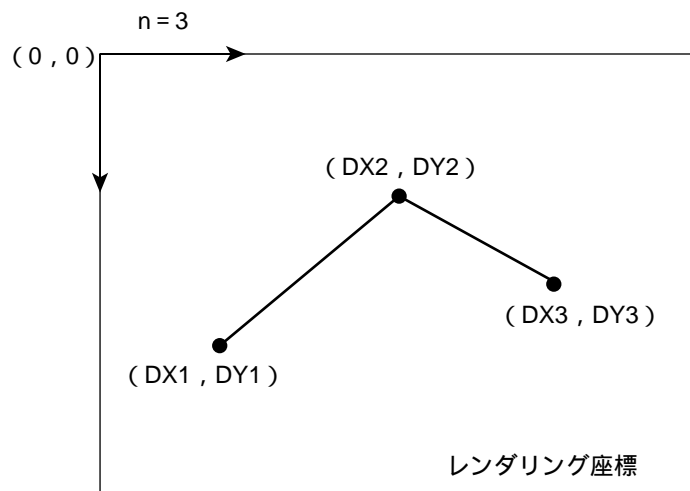


## 説明

頂点 1 ( $DX1, DY1$ ) から頂点 2 ( $DX2, DY2$ )、...、頂点  $n - 1$  ( $DX_{n-1}, DY_{n-1}$ ) を経由し頂点  $n$  ( $DXn, DYn$ ) まで折れ線を描画します。

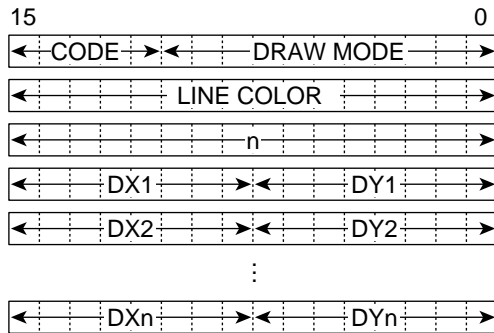
【注】 8 点法描画です。

## 例



### 4.4.9 RLINE

コマンドフォーマット



(1) CODE

B'01101

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x			x

DRAW MODE										
reserved			CLIP	reserved	NET	EOS	reserved			
0 固定	0 固定	0 固定		0 固定			0 固定	0 固定	0 固定	0 固定

: 可      x : 不可

(3) コマンドパラメータ

LINE COLOR : 8 または 16 ビット / 画素カラー指定

n ( n = 1 ~ 65535 ) : 頂点数

DXn、DYn ( n = 1 ~ 65535 ) : 相対座標

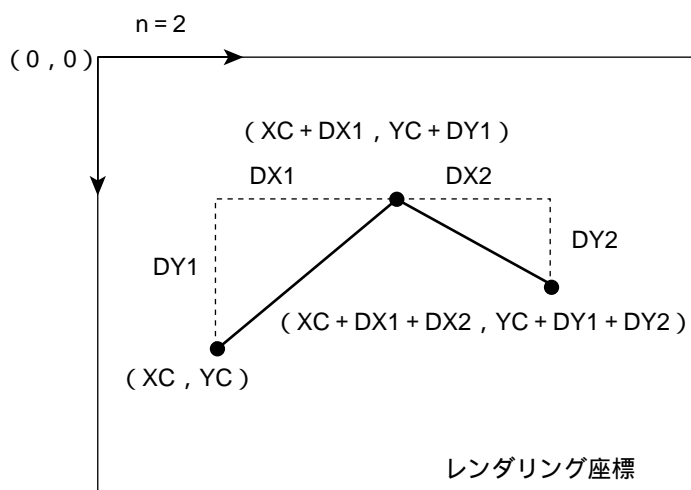
## 説明

カレントポイント( $X_C, Y_C$ )からの相対移動量( $DX, DY$ )で指定した座標への線分( $X_C, Y_C$ ) - ( $X_C + DX_1, Y_C + DY_1$ )、( $X_C + DX_1, Y_C + DY_1$ ) - ( $X_C + DX_1 + DX_2, Y_C + DY_1 + DY_2$ )、...、( $X_C + \dots + DX_{n-1}, Y_C + \dots + DY_{n-1}$ ) - ( $X_C + \dots + DX_n, Y_C + \dots + DY_n$ )まで折れ線を描画します。

また、座標最終点はカレントポイント( $X_C, Y_C$ )として記憶されます。

【注】8点法描画です。

## 例

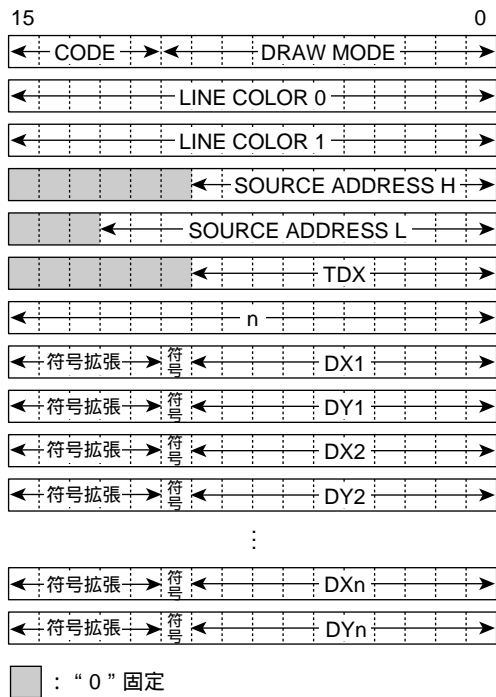


### 4.4.10 PLINE

**機能**

折れ線を 2 値ソースを参照しながらレンダリング座標に描画します。

**コマンドフォーマット**



(1) CODE

B'01110

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x		x	x		x

DRAW MODE										
reserved	TRNS	reserved	CLIP	reserved	NET	EOS	reserved			
0 固定		1 固定		0 固定			0 固定	0 固定	0 固定	1 固定

: 可      x : 不可

## (3) コマンドパラメータ

LINE COLOR0 : 8 または 16 ビット / 画素カラー指定

LINE COLOR1 : 8 または 16 ビット / 画素カラー指定

SOURCE ADDRESS H : 1 ビット / 画素ソース開始上位アドレス

SOURCE ADDRESS L : 1 ビット / 画素ソース開始下位アドレス

TDX : ソースサイズ

n ( n = 2 ~ 65535 ) : 頂点数

DXn ( n = 2 ~ 65535 ) : 絶対座標

DYn ( n = 2 ~ 65535 ) : 絶対座標

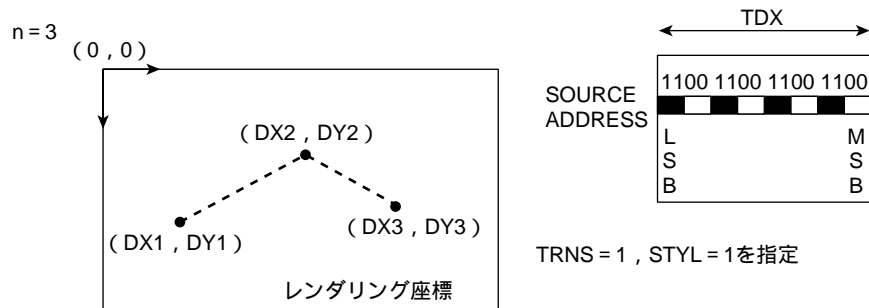
## 説明

頂点 1 ( DX1, DY1 ) から頂点 2 ( DX2, DY2 )、...、頂点 n - 1 ( DXn-1, DYn-1 ) を経由し頂点 n ( DXn, DYn ) まで折れ線を描画します。

【注】 TDX は 8 画素の倍数で設定可。

4 点法描画です。

## 例

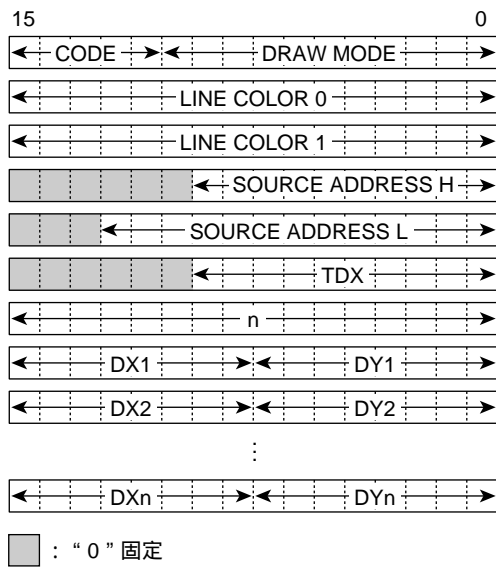


### 4.4.11 RPLINE

**機能**

折れ線を 2 値ソースを参照しながらレンダリング座標に描画します。

**コマンドフォーマット**



(1) CODE

B'01111

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x		x	x		x

DRAW MODE										
reserved	TRNS	reserved	CLIP	reserved	NET	EOS	reserved			
0 固定		1 固定		0 固定			0 固定	0 固定	0 固定	1 固定

: 可      x : 不可

## (3) コマンドパラメータ

LINE COLOR0 : 8 または 16 ビット / 画素カラー指定

LINE COLOR1 : 8 または 16 ビット / 画素カラー指定

SOURCE ADDRESS H : 1 ビット / 画素ソース開始上位アドレス

SOURCE ADDRESS L : 1 ビット / 画素ソース開始下位アドレス

TDX : ソースサイズ

 $n$  ( $n = 1 \sim 65535$ ) : 頂点数DX $n$ 、DY $n$  ( $n = 1 \sim 65535$ ) : 相対座標

## 説明

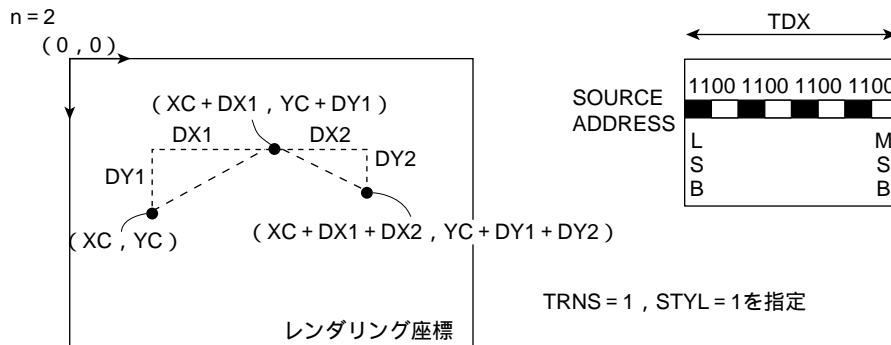
カレントポイント ( $XC, YC$ ) からの相対移動量 ( $DX, DY$ ) で指定した座標への線分 ( $XC, YC$ ) - ( $XC + DX1, YC + DY1$ )、( $XC + DX1, YC + DY1$ ) - ( $XC + DX1 + DX2, YC + DY1 + DY2$ )、...、( $XC + \dots + DX_{n-1}, YC + \dots + DY_{n-1}$ ) - ( $XC + \dots + DX_n, YC + \dots + DY_n$ ) まで折れ線を描画します。

また、座標最終点はカレントポイント ( $XC, YC$ ) として記憶されます。

【注】 TDX は 8 画素の倍数で設定可。

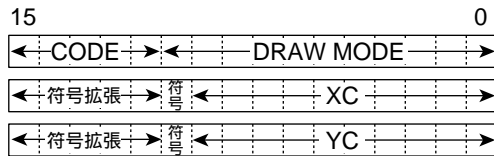
4 点法描画です。

## 例



### 4.4.12 MOVE

コマンドフォーマット



(1) CODE

B'10000

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE											
reserved											
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

(3) コマンドパラメータ

XC : 絶対座標

YC : 絶対座標

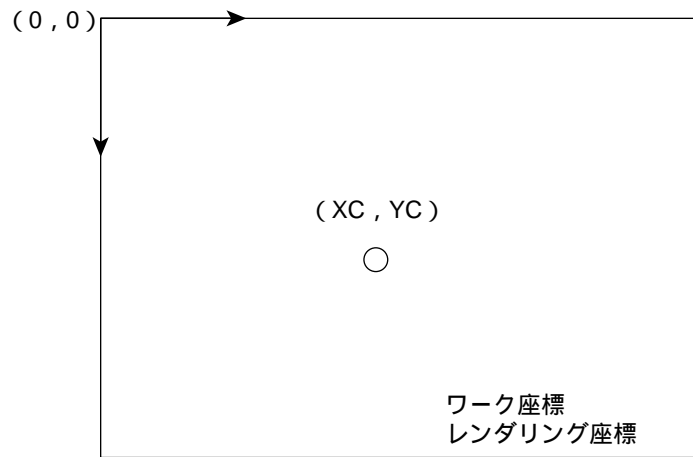
説明

レンダリング座標系のカレントポイントおよび、ワーク座標系のカレントポイントを絶対座標で設定します。なお、カレントポイントは、相対系描画コマンドのみで使用します。

MOVE コマンド発行後は、相対系描画コマンドを連続で使用してください。途中で絶対系描画コマンドを使用した場合、カレントポイントを内部の演算用のレジスタとして使用し、カレントポイントの値を破壊します。そのため、再度相対系描画コマンドを使用する場合は、MOVE コマンドを発行してから使用してください。



例



### 4.4.13 RMOVE

コマンドフォーマット



(1) CODE

B'10001

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

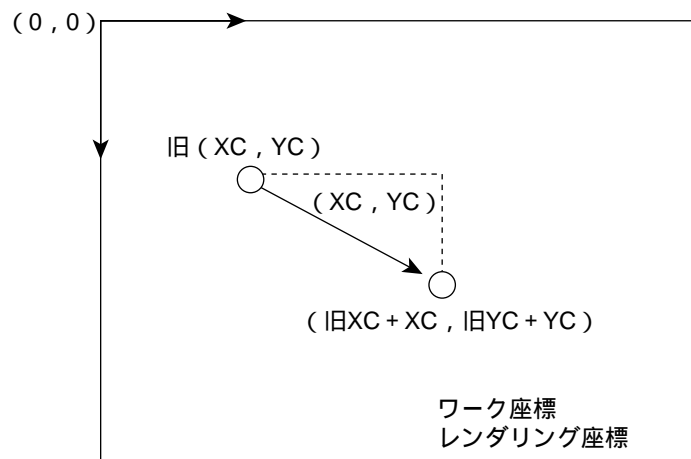
(3) コマンドパラメータ

XC、YC : 絶対座標

説明

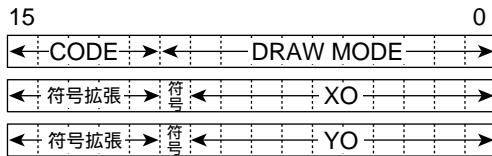
レンダリング座標系のカレントポイントおよび、ワーク座標系のカレントポイントを旧カレントポイントからの相対座標で設定します。

例



### 4.4.14 LCOFS

コマンドフォーマット



(1) CODE

B'10010

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE											
reserved											
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

(3) コマンドパラメータ

XO、YO : 絶対指定

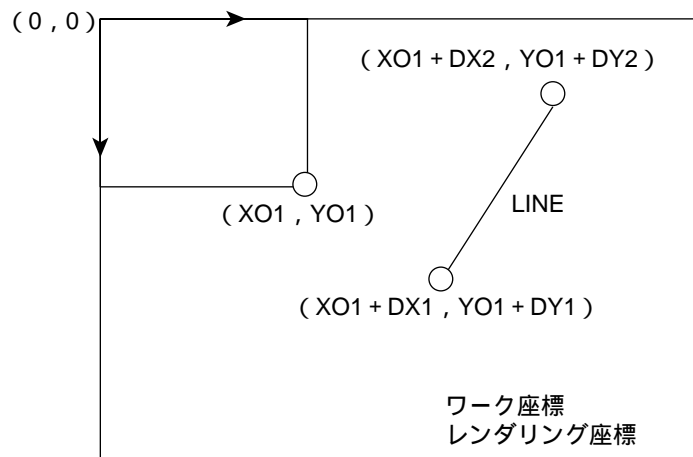
説明

レンダリング座標系のローカルオフセットおよび、ワーク座標系のローカルオフセットを絶対座標で設定します。これを設定した以降の座標指定は、すべてこのオフセット値が加算されます。

ディスプレイリストの先頭で必ず設定してください (初期値は不定です)。

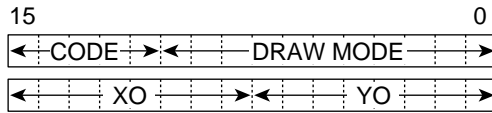
カレントポイントにローカルオフセットを反映したい場合は、LCOFS コマンドの後に MOVE コマンドを発行してください。

例



### 4.4.15 RLCOFS

コマンドフォーマット



(1) CODE

B'10011

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

(3) コマンドパラメータ

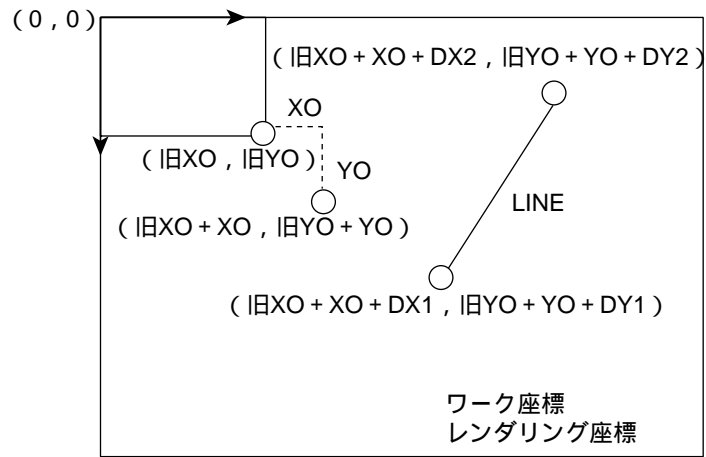
XO、YO : 相対指定

説明

レンダリング座標系のローカルオフセットおよび、ワーク座標系のローカルオフセットを旧ローカルオフセットからの相対座標で設定します。これを設定した以降の座標指定は、すべてこのオフセット値が加算されます。

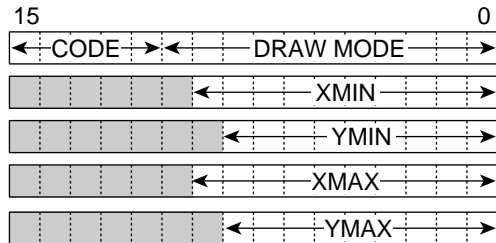
旧ローカルオフセットとは、LCOFS コマンドで設定したローカルオフセット値を指します。また、カレントポイントにローカルオフセットを反映したい場合は、LCOFS、RLCOFS コマンドでオフセットを設定した後に MOVE コマンドを実行するようにしてください。

例



### 4.4.16 UCLIP

#### コマンドフォーマット



■ : “0” 固定

#### (1) CODE

B'10101

#### (2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE											
reserved											
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

#### (3) コマンドパラメータ

XMIN、XMAX : 左右 X 座標

YMIN、YMAX : 上下 Y 座標

#### 説明

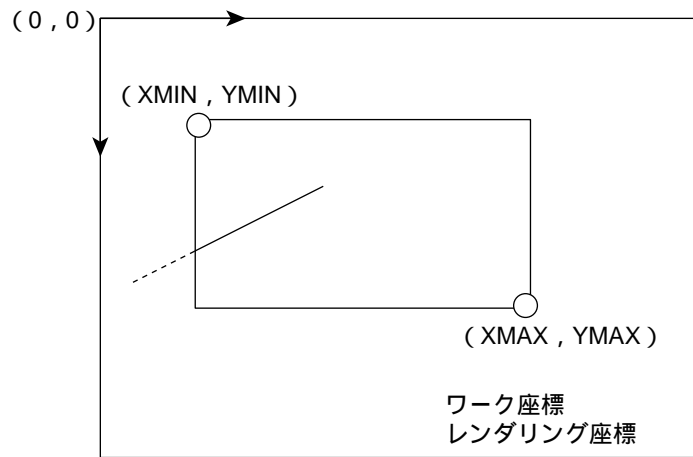
レンダリング座標およびワーク座標において、左上座標 (XMIN, YMIN)、右下座標 (XMAX, YMAX) で指定された領域をユーザクリッピング領域に設定します。

システムクリッピング領域を超えないように設定してください。

CLIP = 1 のとき有効です。

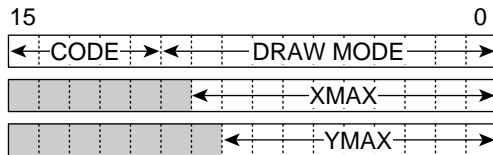


例



### 4.4.17 SCLIP

#### コマンドフォーマット



■ : “0” 固定

#### (1) CODE

B'10111

#### (2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

#### (3) コマンドパラメータ

XMAX : 左右 X 座標

YMAX : 上下 Y 座標

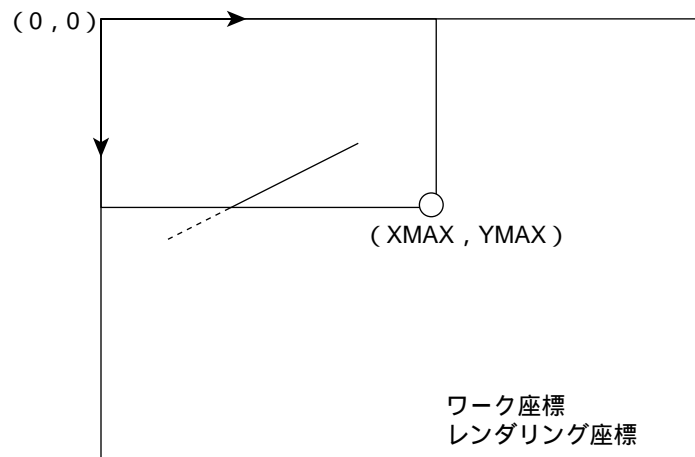
#### 説明

レンダリング座標およびワーク座標において、左上座標 (0, 0)、右下座標 (XMAX, YMAX) で指定された領域をシステムクリッピング領域に設定します。

画面サイズに合わせて設定します。ディスプレイリストの先頭で必ず設定してください (初期値は、不定です)。

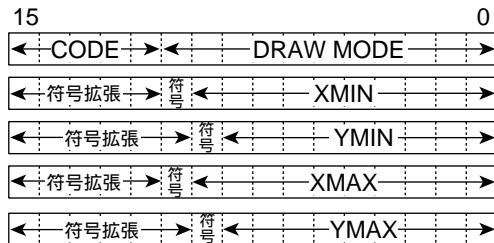
CLIP = 0 のときに有効となります。

例



### 4.4.18 CLRW

#### コマンドフォーマット



(1) CODE

B'10100

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

: 可      x : 不可

(3) コマンドパラメータ

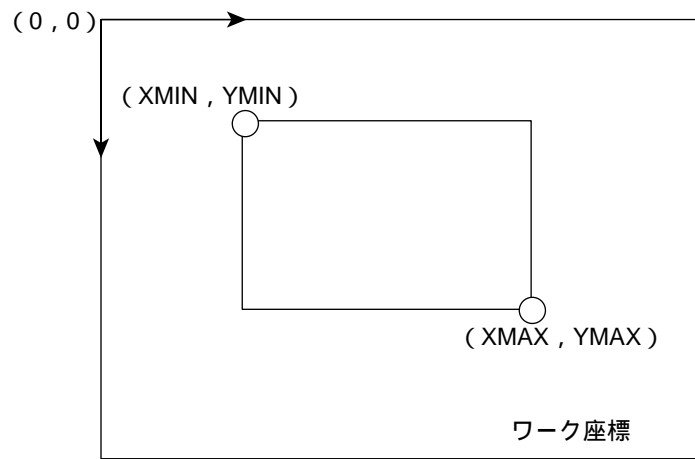
XMIN、XMAX : 左右 X 座標

YMIN、YMAX : 上下 Y 座標

説明

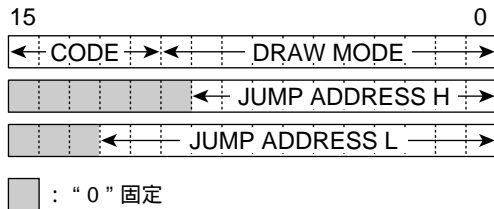
ワーク座標系において左上座標 (XMIN, YMIN)、右下座標 (XMAX, YMAX) で指定された領域をゼロクリアします。

例



### 4.4.19 JUMP

コマンドフォーマット



(1) CODE

B'11000

(2) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

(3) コマンドパラメータ

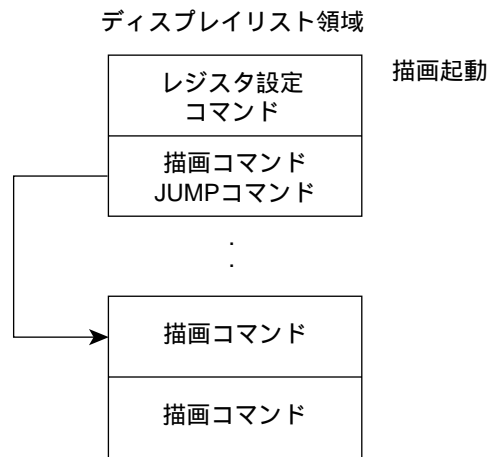
JUMP ADDRESS H : ジャンプ先上位アドレス

JUMP ADDRESS L : ジャンプ先下位アドレス

説明

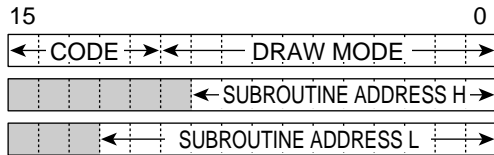
ディスプレイリストのフェッチ先を指定するアドレスに変更します。

例



### 4.4.20 GOSUB

コマンドフォーマット



(1) CODE

B'11001

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE										
reserved										
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

x : 不可

(3) コマンドパラメータ

SUBROUTINE ADDRESS H : サブルーチン上位アドレス

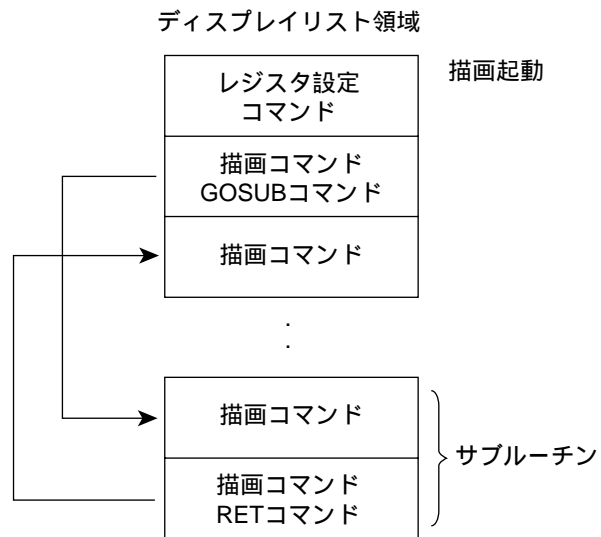
SUBROUTINE ADDRESS L : サブルーチン下位アドレス

説明

ディスプレイリストのフェッチ先を指定するサブルーチンアドレスに変更します。RET 命令により、フェッチアドレスは復帰します。ただし、多重度 (ネスト) は “1” なので、サブルーチンのなかでサブルーチンコールをすると復帰できなくなります。

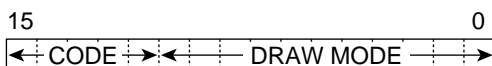


例



### 4.4.21 RET

コマンドフォーマット



(1) CODE

B'11011

(2) レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE										
reserved										
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

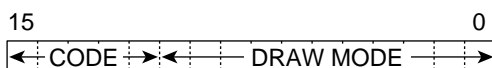
x : 不可

説明

ディスプレイリストのフェッチ先をサブルーチンコール元の次アドレスに復帰させます。

## 4.4.22 TRAP

コマンドフォーマット



(1) CODE

B'11111

(2) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE										
reserved										
0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定

x : 不可

説明

描画動作を停止し、CPU に対し割込みを発生します。

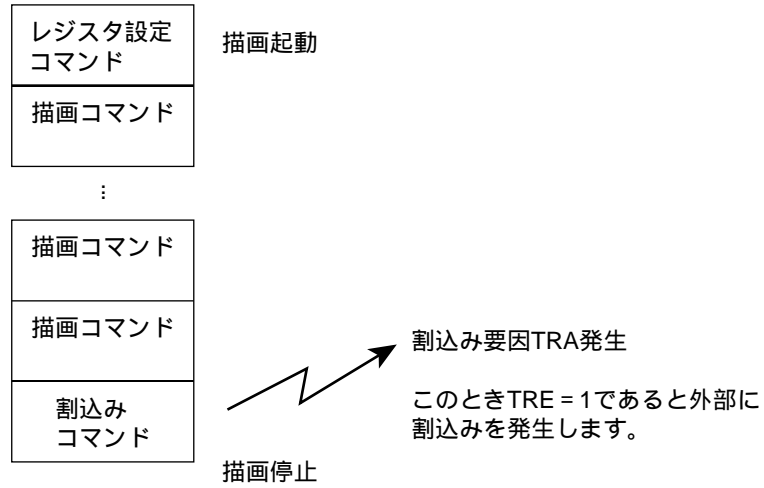
ディスプレイリストの終了に必ず入れてください。

#### 4. ディスプレイリスト

---

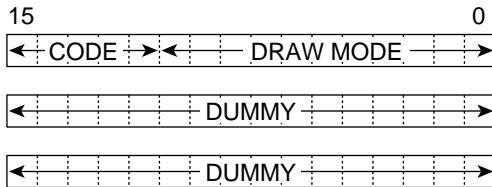
例

ディスプレイリスト領域



## 4.4.23 NOP3

コマンドフォーマット



(1) CODE

B'11110

(2) レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
x	x	x	x	x	x

DRAW MODE										
reserved										
0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定	0固定

x : 不可

説明

何の動作もしません。コマンドコードも含めて3ワードで構成され、何も処理せず、次の命令をフェッチします。

JUMP、GOSUB コマンドに入れ替えて使用します。

---

# 5. レジスタ

---

## 第5章 目次

5.1	概要	127
5.2	レジスタの更新	128
5.3	インタフェース制御レジスタ	132
5.3.1	システム制御レジスタ (SYSR)	132
5.3.2	ステータスレジスタ (SR)	136
5.3.3	ステータスレジスタクリアレジスタ (SRCR)	140
5.3.4	割込み許可レジスタ (IER)	141
5.3.5	メモリモードレジスタ (MEMR)	144
5.3.6	表示モードレジスタ (DSMR)	145
5.3.7	レンダリングモードレジスタ (REMR)	149
5.3.8	入力データ変換モードレジスタ (IEMR)	151
5.4	メモリ制御レジスタ	152
5.4.1	表示サイズレジスタ X,Y (DSRX,Y)	152
5.4.2	表示開始アドレスレジスタ (DSAR0,DSAR1)	153
5.4.3	ディスプレイリスト開始アドレスレジスタ H,L (DLSARH,L)	154
5.4.4	多値ソース領域開始アドレスレジスタ (SSAR)	154
5.4.5	ワーク領域開始アドレスレジスタ (WSAR)	155
5.4.6	DMA 転送開始アドレスレジスタ H,L (DMASRH,L)	156
5.4.7	DMA 転送語数レジスタ (DWAWR)	157
5.5	表示制御レジスタ	158
5.5.1	表示ウィンドウレジスタ [ DSWR (HDS/HDE/VDS/VDE) ]	158
5.5.2	水平同期パルス幅レジスタ (HSWR)	159
5.5.3	水平走査周期レジスタ (HCR)	159
5.5.4	垂直同期位置レジスタ (VSPR)	160
5.5.5	垂直走査周期レジスタ (VCR)	160
5.5.6	表示オフ時出力レジスタ H,L (DOORH,L)	161
5.5.7	色検出レジスタ H,L (CDERH,L)	161

## 5. レジスタ

---

5.6	レンダリング制御レジスタ .....	162
5.6.1	コマンドステータスレジスタ H,L ( CSTRH,L ) .....	162
5.7	入力制御レジスタ .....	163
5.7.1	画像データ転送開始アドレスレジスタ H,L ( ISARH,L ) .....	163
5.7.2	画像データサイズレジスタ X,Y ( IDSRX,Y ) .....	164
5.7.3	画像データエントリレジスタ ( IDER ) .....	164
5.8	カラーパレット .....	165
5.8.1	カラーパレットレジスタ H,L000 ~ 255 ( CP000RH,L ~ CP255H,L ) .....	165

## 5.1 概要

Q2 は、CPU のアドレス空間上 (H'000 ~ H'2FF) にマッピングされるアドレスマップドレジスタを内蔵しています。これらはすべてワードサイズでアクセスされ、インタフェース制御レジスタ、メモリ制御レジスタ、表示制御レジスタ、レンダリング制御レジスタ、入力データ制御レジスタ、およびカラーパレットの 6 群から構成されています。アドレス指定は、 $\overline{\text{CS1}}$  端子 = "0" の状態で、A10 ~ A1 端子からアドレスを入力することで行います。

アドレス A10 ~ A1 = H'026 ~ H'0FF はリザーブです。読み出し / 書き込みは行わないでください。読み出し / 書き込みを行うとアドレスマップドレジスタの値が失われ、Q2 の動作が不定になることがあります。

また、Q2 は、UGM へのアクセス権を管理する都合上、SuperH が UGM をアクセスする前に SuperH にてアドレスマップドレジスタに初期値を設定しておく必要があります。

初期値を設定しないで UGM をアクセスした場合、Q2 は SuperH に対しウェイト信号を出力し続ける場合があります。

以下の (1) ~ (3) に設定手順を示します。

- (1) システム制御レジスタに初期値を設定します。このとき SRES = 0、DRES = 1、DEN = 0 を設定します。
- (2) レジスタの 000 ~ 025 に初期値を設定してください。
- (3) SRES = 0、DRES = 0 を設定します。



## 5.2 レジスタの更新

### (1) 外部更新

CPUからアドレスマップドレジスタへの書き込みを外部更新といいます。

外部更新は、画面表示を終了した次のラスタから $\overline{\text{VSYNC}}$ の立ち上がり直前までの期間に行うと、表示のちらつきなくレジスタを書き換えることができます。

ステータスレジスタ(SR)のVBKフラグ、およびFRMフラグは垂直方向のブランキング開始で“1”にセットされますので、これらのフラグを利用して外部更新を行うことができます。

図5.1(a)、(b)に外部更新期間を示します。

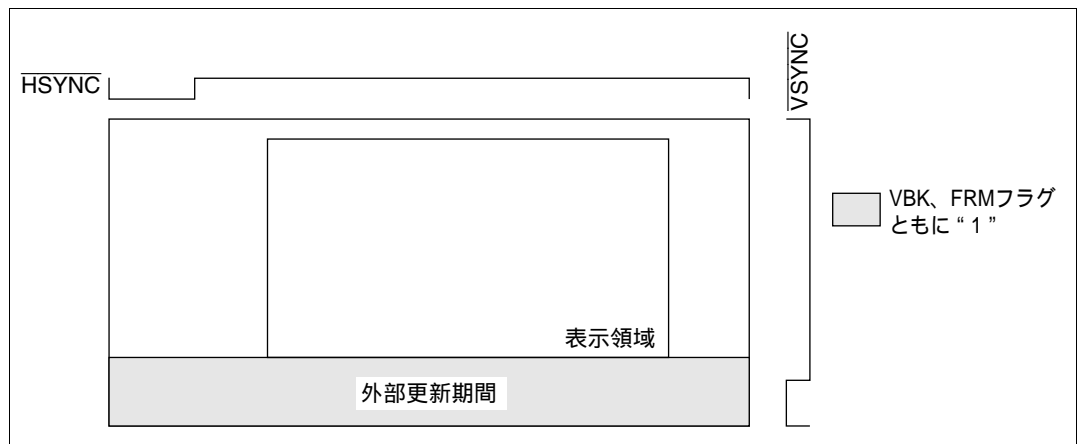


図5.1(a) 外部更新期間(ノンインタレース時)

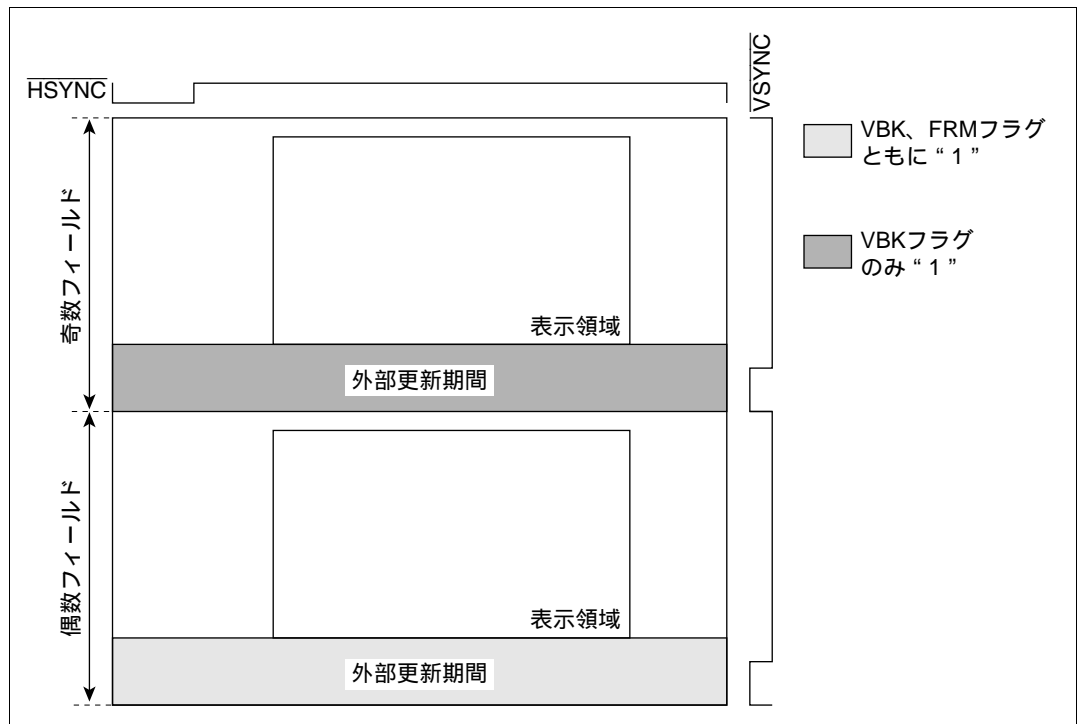


図 5.1 (b) 外部更新期間 (インターレス、インターレスシンク &amp; ビデオ時)

## (2) 内部更新

アドレスマップレジスタには、内部更新機能をもつレジスタがあります。内部更新機能は、CPUが表示タイミングを意識せずに表示動作に関するアドレスマップレジスタを書き換えても、表示のちらつきを生じさせないようにするための機能です。

表示制御部は、アドレスマップレジスタを表示タイミングに合わせて参照し、表示制御部内部のレジスタへデータを取り込みます。このデータ転送を内部更新と呼びます。内部更新はシステム制御レジスタ (SYSR) の DRES ビット = “1” の期間および毎フレームの先頭で行います。更新のタイミングは、表示モード (DSMR) の TVM1 = 0、TVM0 = 0 (マスタモード) のときは  $\overline{\text{VSYNC}}$  の立ち下がり設定時となり、TVM1 = 1、TVM0 = 0 (TVモード) のときは  $\overline{\text{EXVSYNC}}$  の立ち下がり検出時となります。また、TVM1 = 0、TVM0 = 1 のときは内部更新を行いません。

内部更新機能付きのアドレスマップレジスタを表 5.7 (a) ~ (b) に示します。これらのレジスタの初期設定は、DRES ビット = “1” の期間に行ってください。ただし、表示開始アドレスレジスタ 0、および表示開始アドレスレジスタ 1 は、表示動作のとき内部更新となります。描画動作のときは外部更新となります。

表 5.7 内部更新機能付きレジスタ

## (a) インタフェース制御レジスタ

アドレス A[10:1]	名称	略称	内部更新機能をもつビット
000	システム制御レジスタ	SYSR	DEN (ビット 13)

## (b) メモリ制御レジスタ

アドレス A[10:1]	名称	略称	内部更新機能をもつビット
008	表示サイズレジスタ X	DSXR	全ビット
009	表示サイズレジスタ Y	DSYR	全ビット
00A	表示開始アドレスレジスタ 0	DSAR0	全ビット
00B	表示開始アドレスレジスタ 1	DSAR1	全ビット

## (c) 表示制御レジスタ

アドレス A[10:1]	名称	略称	内部更新機能をもつビット
013	表示ウィンドウレジスタ (水平表示開始位置)	DSWR (HDS)	全ビット
014	表示ウィンドウレジスタ (水平表示終了位置)	DSWR (HDE)	全ビット
015	表示ウィンドウレジスタ (垂直表示開始位置)	DSWR (VDS)	全ビット
016	表示ウィンドウレジスタ (垂直表示終了位置)	DSWR (VDE)	全ビット
017	水平同期パルス幅レジスタ	HSWR	全ビット
018	水平走査周期レジスタ	HCR	全ビット
019	垂直同期位置レジスタ	VSPR	全ビット
01A	垂直走査周期レジスタ	VCR	全ビット
01D	色検出レジスタH	CDERH	全ビット
01E	色検出レジスタL	CDERL	全ビット

## 5.3 インタフェース制御レジスタ

インタフェース制御レジスタは、Q2全体の制御に関する16ビット×8本のレジスタで、アドレスA10~A1=H'000~H'007にマッピングされています。

### 5.3.1 システム制御レジスタ (SYSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SRES	DRES	DEN	-	-	-	DC	RS	DBM1	DBM0	DMA1	DMA0	-	-	-	-
初期値:	1	1	0	-	-	-	0	0	*	*	0	0	-	-	-	-
R/W:	R/W	R/W	R/W	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-	-	-

\*: 値を保持

システム制御レジスタ (SYSR) は、16ビットの読み出し / 書き込み可能なレジスタで、Q2のシステム動作を設定します。

SYSRは、リセット時に以下のように初期化されます。

- ・ SRES ビット、および DRES ビットは “1” になります。
- ・ DEN ビット、RS ビット、および DMA1,0 ビットは “0” になります。
- ・ DBM1,0 ビットは値を保持します。

#### ビット 15: ソフトウェアリセット (SRES)

コマンド処理の実行 / 中断を制御するビットです。

ビット 15	説明
SRES	
0	コマンド処理の実行を許可します。
1	ハードウェアリセットを行うと SRES = 1 になります。初期化時に 0 を設定して使用してください。 なお、ソフトウェアで本ビットを 1 に設定しないでください。 (初期値)

ビット 14 : 表示リセット (DRES)

ビット 13 : 表示イネーブル (DEN)

表示同期動作の開始 / 停止を制御するビットです。

ビット 14	ビット 13	説 明
DRES	DEN	
0	0	表示動作を開始します。 ただし、 $\overline{\text{RESET}}$ 端子が Low レベルの期間は DRES ビットを “0” にすることはできません。Q2 を初期状態から動作させる場合は、各コントロールレジスタの設定後に DRES ビットを “0” にクリアしてください。DEN ビット = 0 の状態では、DD17 ~ DD0 端子からの表示データは、表示オフ時出力レジスタ H,L (DRORH,L) に設定された値となります。
	1	表示動作を開始します。 ただし、 $\overline{\text{RESET}}$ 端子が Low レベルの期間は DRES ビットを “0” にすることはできません。Q2 を初期状態から動作させる場合は、各コントロールレジスタの設定後に DRES ビットを “0” にクリアし、その後に DEN ビットに “1” をセットしてください。DD17 ~ DD0 端子からの表示データは、次のフレームから UGM 上に格納された値となります。
1	0	表示同期動作を停止します。 (初期値) Q2 は、表示モードレジスタの TVM1、および TVM0 の設定に関係なく、UGM に対してリフレッシュ動作のみ行います。本設定では、以下のように動作します。また、DRES、DEN=01 から 10 に移行する時、内部更新の関係で一時的に DRES、DEN=11 になりますが動作上の問題はありません。 (1) SYSR の RS ビットを “1” にセットしても描画は行われません。 (2) DD17 ~ DD0 端子からの表示データは、ALL “0” が出力されます。 (3) SR の VBK フラグは “0” にクリアされます。 (4) CPU による UGM アクセスを行うとウェイトを出力し続けます。
	1	設定禁止

ビット 12 ~ 10 : リザーブビット

書き込み時は、“0” を書き込んでください。

## ビット9：表示エリアチェンジ（DC）

マニュアルディスプレイチェンジモード時のフレームバッファ切り換えを制御します。

ビット9	説明
DC	
0	マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り換えを行いません。 (初期値)
1	マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り換えを行います。 切り換えは、ノンインタレースおよびインタレースではフレーム単位で、インタレースシンク&ビデオではフィールド単位で行います。 本ビットはフレームバッファの切り換え後、“0”にクリアされます。

## ビット8：レンダリングスタート（RS）

レンダリングの開始を指定するビットです。

ビット8	説明
RS	
0	レンダリングを開始しません。 (初期値)
1	レンダリングを開始します。本ビットはレンダリング開始後、“0”にクリアされます。 レンダリングを開始させる場合、CPUにてUGMのダミーリードを行って、内部のFIFOをクリアし、その後、本ビットに1を設定してください。また、内部のFIFOは64CLK0サイクル後に自動的にクリアされるので、その後に本ビットに1を設定して描画を行うこともできます。

## ビット7、6：ダブルバッファモード1,0（DBM1,0）

ダブルバッファの制御を選択するビットです。

ビット7	ビット6	説明
DBM1	DBM0	
0	0	オートディスプレイチェンジモードになります。
	1	オートレンダリングモードになります。
1	0	マニュアルディスプレイチェンジモードになります。
	1	設定禁止

## ビット5、4 : DMAモード (DMA1,0)

DMA転送を指定するビットです。なお、DMAモードの開始および終了のチェックは、SRのDMAフラグ(DMF)を使用してください。

ビット5	ビット4	説明
DMA1	DMA0	
0	0	通常モードになります。(初期値)
	1	$\overline{CS0}$ に対応するメモリ(UGM)へのDMA転送モードになります。DMA転送残数が“0”になると、自動的に本ビットはクリアされ通常モードになります。DMA転送残数はDMA転送語数レジスタ(DMAWR)の設定により初期値が決まります。DMA転送残数は、LSIの内部値で1ワードの処理ごとに1つづデクリメントされます。本モード中のCPUによるUGMアクセスは行わないでください。
1	0	設定禁止
	1	$\overline{CS1}$ に対応するレジスタ〔画像データエントリレジスタ(IDER)〕へのDMA転送モードとなります。このモードでは、レジスタアドレスのインクリメントは行われず、常にIDERへ書き込みます。DMA転送残数が“0”になると、自動的に本ビットはクリアされ通常モードになります。DMA転送残数はDMA転送語数レジスタ(DMAWR)の設定により初期値が決まります。DMA転送残数は、LSIの内部値で1ワードの処理ごとに1つづデクリメントされます。本モード中のCPUによるUGMアクセスは行わないでください。

## ビット3~0 : リザーブビット

書き込み時は、“0”を書き込んでください。



## 5.3.2 ステータスレジスタ (SR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVR	FRM	DMF	CER	VBK	TRA	CSF	DBF	-	-	-	-	Q3	Q2	Q1	Q0
初期値 :	0	0	0	0	0	0	0	*	-	-	-	-	0	0	1	0
R/W :	R	R	R	R	R	R	R	R	-	-	-	-	R	R	R	R

\* : 値を保持

ステータスレジスタ (SR) は、16 ビットの読み出し専用の可能なレジスタで、Q2 の内部状態を外部から読み出すためのものです。

SR は、リセット時に以下のように初期化されます。

- ・ DBF フラグは値を保持します。
- ・ Q フラグは “0010” にセットされます。
- ・ その他のフラグは、“0” にクリアされます。

## ビット 15 : TV 同期信号エラーフラグ (TVR)

垂直周期内に  $\overline{\text{EXVSYNC}}$  を検出しなかったことを示すフラグです。

ビット 15	説明
TVR	
0	SYSR の DRES ビットまたは SRCR の TVCL ビットにより TVR フラグをクリアしてから、垂直走査周期レジスタ (VCR) の設定で決まる垂直周期内に、 $\overline{\text{EXVSYNC}}$ の立ち上がり毎が検出されていることを示します。 (初期値)
1	TV 同期モード (DSMR の TVM1,0 ビット = “10”) 時に、VCR の設定値で決まる垂直周期内に $\overline{\text{EXVSYNC}}$ の立ち上がり毎が検出されなかったことを示します。 TVR フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。

## ビット 14 : フレームフラグ (FRM)

フレーム表示後の垂直ブランキング期間を示すフラグです。

ビット 14	説 明
FRM	
0	SYSR の DRES ビットまたは SRCR の FRCL ビットにより FRM フラグをクリアしてから、ノンインタレースでは次の表示終了までの期間を示し、インタレースまたはインタレースシンク & ビデオでは次の偶数フィールドの表示終了までの期間を示します。 (初期値)
1	SYSR の DRES ビットまたは SRCR の FRCL ビットにより FRM フラグをクリアした後の最初の偶数フィールドの垂直ブランキング期間から再度 FRM フラグをクリアするまでの期間を示します (フレーム単位)。

## ビット 13 : DMA フラグ (DMF)

DMA 転送モードが起動し、転送が完了したことを示すフラグです。

ビット 13	説 明
DMF	
0	SRCR の DMCL ビットにより DMF フラグをクリアしてから、一度も DMA 転送モードが起動していないか、次の DMA 転送モード (SYSR の DMA1,0 ビット = "01" または "11") が起動し、転送残数がまだ "0" になっていないことを示します。 (初期値)
1	DMA 転送モードが起動し、転送語数が "0" になったことを示します。 DMF フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。

## ビット 12 : コマンドエラーフラグ ( CER )

不当なコマンドをフェッチしたことを示すフラグです。

ビット 12	説 明
CER	
0	正常状態です。SYSR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしていないことを示します。 (初期値)
1	描画動作停止状態です。SYSR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしたため、描画動作を停止したままになっていることを示します。 CER フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。

## ビット 11 : 垂直ブランキングフラグ ( VBK )

垂直ブランキング期間を示すフラグです。

ビット 11	説 明
VBK	
0	SYSR の DRES ビットまたは SRCR の VBCL ビットにより VBK フラグをクリアしてから、次の表示終了までの期間を示します。 (初期値)
1	SYSR の DRES ビットまたは SRCR の VBCL ビットにより VBK フラグをクリアした後の最初の垂直ブランキング期間から再度 VBK ビットをクリアするまでの期間を示します (フィールド単位)。

## ビット 10 : トラップフラグ ( TRA )

コマンド実行が終了したことを示すフラグです。

ビット 10	説 明
TRA	
0	SYSR の SRES ビットまたは SRCR の TRCL ビットにより TRA フラグをクリアしてから、次のコマンド実行の終了までの期間を示します。 (初期値)
1	コマンド実行の終了、または現在コマンドを実行していないことを示します。 TRA フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。

## ビット9：コマンド中断フラグ（CSF）

コマンド実行が中断されたことを示すフラグです。

ビット9	説明
CSF	
0	正常動作 (初期値)
1	SYSR の SRES ビットまたは SRCR の CSCL ビットにより CSF フラグをクリアしてから、次のフレーム切り換えのタイミングまでの間に、レンダリング終了割込みが発生していないことを示します。 CSF フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。

## ビット8：ディスプレイバッファフレーム（DBF）

Q2 が表示開始アドレスとして使用している表示開始アドレスレジスタを示すフラグです。

ビット8	説明
DBF	
0	DSAR0 で示されるアドレスを表示開始アドレスとして使用中
1	DSAR1 で示されるアドレスを表示開始アドレスとして使用中

## ビット7～4：リザーブビット

読み出すと常に“0”が読み出されます。

## ビット3～0：Qフラグ（Q3～0）

Qシリーズ製品識別のためのフラグです。

ビット3	ビット2	ビット1	ビット0	説明
Q3	Q2	Q1	Q0	
0	0	1	0	HD64411

## 5.3.3 ステータスレジスタクリアレジスタ (SRCR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVCL	FRCL	DMCL	CECL	VBCL	TRCL	CSCL	-	-	-	-	-	-	-	-	-
初期値 :	*	*	*	*	*	*	*	-	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	-	-	-	-	-	-	-	-	-

\*: 値を保持

ステータスレジスタ (SRCR) は、16 ビットの書き込み専用の可能なレジスタで、対応する SR の各フラグをクリアします。SRCR のビット 15~9 に “1” を書き込むことで、対応する SR のフラグを “0” にクリアすることができます。なお、SR のクリアが終了した後、SRCR は内部的にオール “0” にクリアされます (読み出すと “0” が読み出されます)。

ビット	ビット名称	略 称	説 明
15	TV 同期信号エラーフラグクリア	TVCL	TVCL ビットに “1” を書き込むと、SR の TVR フラグは “0” にクリアされます。
14	フレームフラグクリア	FRCL	FRCL ビットに “1” を書き込むと、SR の FRM フラグは “0” にクリアされます。
13	DMA フラグクリア	DMCL	DMCL ビットに “1” を書き込むと、SR の DMF フラグは “0” にクリアされます。
12	コマンドエラーフラグクリア	CECL	CECL ビットに “1” を書き込むと、SR の CER フラグは “0” にクリアされます。
11	垂直ブランキングフラグクリア	VBCL	VBCL ビットに “1” を書き込むと、SR の VBK フラグは “0” にクリアされます。
10	トラップフラグクリア	TRCL	TRCL ビットに “1” を書き込むと、SR の TRA フラグは “0” にクリアされます。
9	コマンド中断フラグクリア	CSCL	CSCL ビットに “1” を書き込むと、SR の CSF フラグは “0” にクリアされます。
8~0	リザーブビット	-	書き込み時には “0” を書き込んでください。

## 5.3.4 割り込み許可レジスタ (IER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TVE	FRE	DME	CEE	VBE	TRE	CSE	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-	-	-	-	-	-	-	-

割り込み許可レジスタ (IER) は、16 ビットの読み出し / 書き込み可能なレジスタで、対応する SR の各フラグによる割り込みを許可 / 禁止します。IER 内の “1” に設定したビット位置に対応する SR のビットが “1” にセットされると、 $\overline{IRL}$  を Low レベルにして CPU に対して割り込みを要求します。

割り込み発生条件は次のようになります。

$$\text{割り込み発生条件} = \overline{IRL} = \overline{a+b+c+d+e+f+g}$$

$$a = TVR \cdot TVE$$

$$b = FRM \cdot FRE$$

$$c = DMF \cdot DME$$

$$d = CER \cdot CEE$$

$$e = VBK \cdot VBE$$

$$f = TRA \cdot TRE$$

$$g = CSF \cdot CSE$$

ビット 15 : TV 同期信号エラーフラグイネーブル (TVE)

SR の TVR フラグによる割り込みを許可 / 禁止します。

ビット 15	説明
TVE	
0	SR の TVR フラグによる割り込みを禁止します。 (初期値)
1	SR の TVR フラグによる割り込みを許可します。TVR・TVE = “1” のとき CPU に対して $\overline{IRL}$ 割り込みを要求します。

## ビット14：フレームフラグイネーブル (FRE)

SRのFRMフラグによる割込みを許可/禁止します。

ビット14	説 明
FRE	
0	SRのFRMフラグによる割込みを禁止します。(初期値)
1	SRのFRMフラグによる割込みを許可します。FRM・FRE = “1”のときCPUに対して $\overline{IRL}$ 割込みを要求します。

## ビット13：DMAフラグイネーブル (DME)

SRのDMFフラグによる割込みを許可/禁止します。

ビット13	説 明
DME	
0	SRのDMFフラグによる割込みを禁止します。(初期値)
1	SRのDMFフラグによる割込みを許可します。DMF・DME = “1”のときCPUに対して $\overline{IRL}$ 割込みを要求します。

## ビット12：コマンドエラーフラグイネーブル (CEE)

SRのCERフラグによる割込みを許可/禁止します。

ビット12	説 明
CEE	
0	SRのCERフラグによる割込みを禁止します。(初期値)
1	SRのCERフラグによる割込みを許可します。CER・CEE = “1”のときCPUに対して $\overline{IRL}$ 割込みを要求します。

## ビット11：垂直ブランキングフラグイネーブル (VBE)

SRのVBKフラグによる割込みを許可/禁止します。

ビット11	説 明
VBE	
0	SRのVBKフラグによる割込みを禁止します。(初期値)
1	SRのVBKフラグによる割込みを許可します。VBK・VBE = “1”のときCPUに対して $\overline{IRL}$ 割込みを要求します。

## ビット10：トラップフラグイネーブル (TRE)

SRのTRAフラグによる割込みを許可/禁止します。

ビット10	説 明
TRE	
0	SRのTRAフラグによる割込みを禁止します。 (初期値)
1	SRのTRAフラグによる割込みを許可します。TRA・TRE = “1”のときCPUに対して $\overline{IRL}$ 割込みを要求します。

## ビット9：コマンド中断フラグイネーブル (CSE)

SRのCSFフラグによる割込みを許可/禁止します。

ビット9	説 明
CSE	
0	SRのCSFフラグによる割込みを禁止します。 (初期値)
1	SRのCSFフラグによる割込みを許可します。CSF・CSE = “1”のときCPUに対して $\overline{IRL}$ 割込みを要求します。

## ビット8~0：リザーブビット

書き込み時は、“0”を書き込んでください。



## 5.3.5 メモリモードレジスタ (MEMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MES2	MES1	MES0	MEA1	MEA0	-	-
初期値:	-	-	-	-	-	-	-	-	-	*	*	*	*	*	-	-
R/W :	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	-	-

\*: 値を保持

メモリモードレジスタ (MEMR) は 16 ビットの読み出し / 書き込み可能なレジスタで、使用する UGM のメモリサイズ、およびロウアドレスの本数を設定します。

メモリアクセス中に本レジスタの値を書き換えると、動作が一時不安定になります。

MEMR は、リセット時に MES2 ~ 0 ビット、MEA1,0 ビットの値を保持します。

## ビット 15 ~ 7 : リザーブビット

書き込み時には、“0” を書き込んでください。

## ビット 6 ~ 4 : メモリサイズ (MES2 ~ 0)

UGM として使用するメモリのサイズおよび個数を選択します。

ビット 6	ビット 5	ビット 4	説 明
MES2	MES1	MES0	
0	0	0	メモリサイズ : 4M ビット × 1 個使用
		1	メモリサイズ : 4M ビット × 2 個使用
	1	0	メモリサイズ : 16M ビット × 1 個使用
		1	メモリサイズ : 16M ビット × 2 個使用
1	*	*	設定禁止

\* : Don't care

## ビット 3、2 : メモリアドレスモード (MEA1,0)

UGM として使用するメモリのロウアドレスの本数を選択します。

ビット 3	ビット 2	説 明
MEA1	MEA0	
0	0	ロウアドレス 9 本
	1	ロウアドレス 10 本
1	0	ロウアドレス 11 本
	1	ロウアドレス 12 本

ビット1、0：リザーブビット

書き込み時には、“0”を書き込んでください。

### 5.3.6 表示モードレジスタ (DSMR)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	YCM	DOT	TVM1	TVM0	SCM1	SCM0	REF3	REF2	REF1	REF0
初期値：	-	-	-	-	-	-	0	*	1	0	*	*	1	0	0	0
R/W：	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\*：値を保持

表示モードレジスタ (DSMR) は、16 ビットの読み出し / 書き込み可能なレジスタで、Q2 の表示動作を設定します。

表示動作中に本レジスタの値を書き換えると、動作が一時不安定になります。

DSMR は、リセット時に以下のように初期化されます。

YCM ビットは“0”、TVM1,0 ビットは“10”、REF3~0 ビットは“1000”に初期化されます。

DOT ビット、SCM1,0 ビットは値を保持します。

ビット15~10：リザーブビット

書き込み時には、“0”を書き込んでください。

ビット9：RGB-YC 変換 (YCM)

表示データを YC モードで出力させたいときに YC 変換を行います。

ビット9	説明
YCM	
0	RGB-YCrCb 変換を行いません。 <span style="float: right;">(初期値)</span>
1	RGB-YCrCb 変換を行います。

## ビット8 : DOTクロックモード (DOT)

Q2の表示系ブロックの基本クロックであるドットクロックの設定を行います。

ビット8	説明
DOT	
0	CLK1 端子から入力されるクロックが、表示ドットクロックになります。 DCLK 端子から出力されるクロックの周波数は、CLK1 と同じになります。 FCLK 端子から出力されるクロックの周波数は、CLK1 の 1/2 となります。
1	CLK1 端子から入力されるクロックの 1/2 の周波数のクロックが、表示ドットクロックになります。 DCLK 端子から出力されるクロックの周波数は、CLK1 の 1/2 になります。 FCLK 端子から出力されるクロックの周波数は、CLK1 の 1/4 となります。

図 5.2 に表示用クロックタイミングを示します。

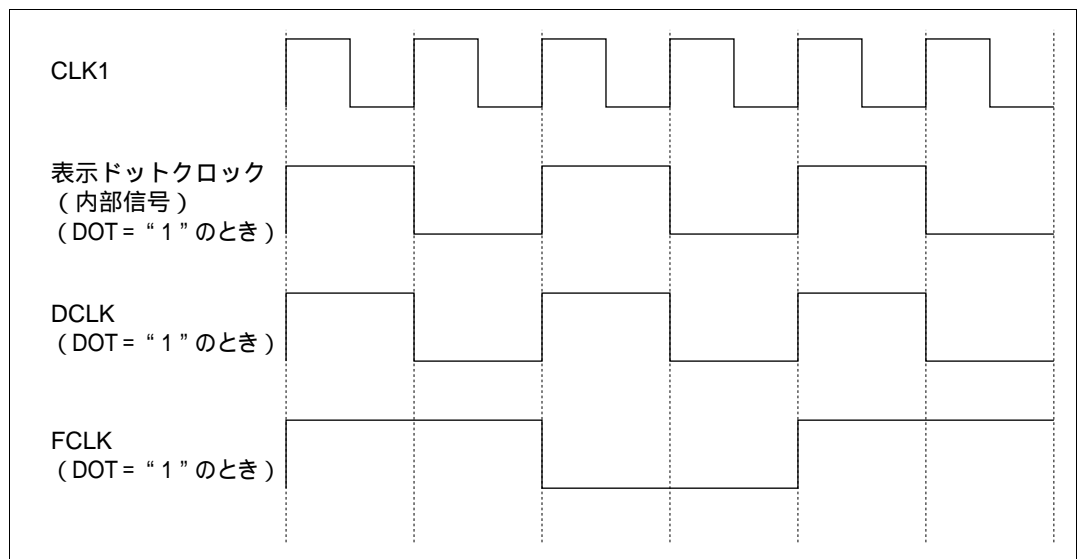


図 5.2 表示用クロックタイミング (DOT = “1”)

## ビット7、6：TV同期モード (TVM1,0)

$\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$  を外部より入力して同期動作する TV 同期モード、または  $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$  を出力するマスタモードを設定するビットです。

ビット7	ビット6	説明
TVM1	TVM0	
0	0	マスタモードになります。Q2 は、 $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ 、ODDF 信号を出力します。
	1	同期方式の切り換えモードになります。TV 同期モードからマスタモード、またはマスタモードから TV 同期モードへの切り換えは、本モードを経由して行います。 本モードでは表示系の動作を強制停止し、DISP 端子は Low レベルを出力します。また、CLK1 端子へのクロック供給を停止(入力は無効)することもできます (LSI 内部は High レベル固定)。 $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ 、ODDF 端子は、入力となります。
1	0	TV 同期モードになります。Q2 は、 $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ 、ODDF 信号を入力します。 (初期値)
	1	設定禁止

## ビット5、4：スキャンモード (SCM1,0)

表示出力の走査モード、および表示切り換え単位を設定するビットです。

ビット5	ビット4	説明
SCM1	SCM0	
0	0	ノンインタレースモード：1VC 単位でフレームバッファ切り換えが行えます。
	1	設定禁止
1	0	インタレースモード：2VC 単位でフレームバッファ切り換えが行えます。
	1	インタレースシンク&ビデオモード：1VC 単位でフレームバッファ切り換えが行えます。

## ビット3～0：リフレッシュサイクル数（REF3～0）

表示画面領域で1ラスタ中にリフレッシュを行うサイクル数を設定するビットです。

ビット3	ビット2	ビット1	ビット0	説 明
REF3	REF2	REF1	REF0	
0	0	0	0	リフレッシュタイミングを出力しません。
			1	リフレッシュサイクル数 = 1
		1	0	リフレッシュサイクル数 = 2
			1	リフレッシュサイクル数 = 3
	1	0	0	リフレッシュサイクル数 = 4
			1	リフレッシュサイクル数 = 5
		1	0	リフレッシュサイクル数 = 6
			1	リフレッシュサイクル数 = 7
1	0	0	0	リフレッシュサイクル数 = 8 (初期値)
			1	リフレッシュサイクル数 = 9
		1	0	リフレッシュサイクル数 = 10
			1	リフレッシュサイクル数 = 11
	1	0	0	リフレッシュサイクル数 = 12
			1	リフレッシュサイクル数 = 13
		1	0	リフレッシュサイクル数 = 14
			1	リフレッシュサイクル数 = 15

## 5.3.7 レンダリングモードレジスタ (REMR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MWX	-	-	-	-	-	GBM
初期値 :	-	-	-	-	-	-	-	-	-	*	-	-	-	-	-	*
R/W :	-	-	-	-	-	-	-	-	-	R/W	-	-	-	-	-	R/W

\* : 値を保持

レンダリングモードレジスタ (REMR) は、16 ビットの読み出し / 書き込み可能なレジスタで、Q2 のレンダリング動作を設定します。

描画動作中に本レジスタの値を書き換えると、動作が一時不安定になります。

REMR は、リセット時に MWX ビット、GBM ビットの値を保持します。

## ビット 15 ~ 7 : リザーブビット

書き込み時には、“0” を書き込んでください。

## ビット 6 : メモリ幅 (MWX)

Q2 に接続する UGM の X 方向の論理座標空間を設定するビットです。

ビット 6	説 明
MWX	
0	X 方向の論理座標空間は、512 画素
1	X 方向の論理座標空間は、1024 画素

## ビット 5 ~ 1 : リザーブビット

書き込み時には、“0” を書き込んでください。

## ビット 0 : グラフィックビットモード (GBM)

Q2 の扱うレンダリングデータのビット構成を設定するビットです。

ビット 0	説 明
GBM	
0	レンダリングデータのビット構成は、8 ビット / 画素
1	レンダリングデータのビット構成は、16 ビット / 画素

図 5.3 にメモリ物理アドレス (バイト) と「3.2.3 メモリマップ」のメモリマップ例に示した座標との対応を示します。X 上位座標および X 下位座標は、メモリマップ例の X の値を、それぞれのビット幅に分割したときの値を意味します。Y 上位座標および Y 下位座標も同様に Y の値を分割した値です。

GBM = "0" (8ビット/画素)、MWX = "0" (512画素) の場合																							
A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
Y上位座標											X上位座標				Y下位座標				X下位座標				
GBM = "0" (8ビット/画素)、MWX = "1" (1024画素) の場合																							
A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
Y上位座標											X上位座標				Y下位座標				X下位座標				
GBM = "1" (16ビット/画素)、MWX = "0" (512画素) の場合																							
A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
Y上位座標											X上位座標				Y下位座標				X下位座標				0
GBM = "1" (16ビット/画素)、MWX = "1" (1024画素) の場合																							
A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
Y上位座標											X上位座標				Y下位座標				X下位座標				0

上段：メモリ物理アドレス (バイト) A22 ~ A1、A0
下段：論理座標 (X、Y)

【注】A0は、LSI内部信号です。バイトアドレスの最下位ビットを示します。  
 なお、GBM=0のとき、X下位座標の値は、偶数である必要があります。

図 5.3 メモリ物理アドレス (バイト) とレンダリング座標および多値ソース座標との対応

## 5.3.8 入力データ変換モードレジスタ (IEMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	YUV1	YUV0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	*	*
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	R/W	R/W

\*: 値を保持

入力データ変換モードレジスタ (IEMR) は、16 ビットの読み出し / 書き込み可能なレジスタで、CPU からの入力データの変換形式を設定します。

データ変換動作中に本レジスタの値を書き換えると、動作が一時不安定になります。

IEMR は、リセット時に YUV1,0 ビットの値を保持します。

## ビット 15~2 : リザーブビット

書き込み時には、“0” を書き込んでください。

## ビット 1、0 : YUV モード (YUV1,0)

YUV または YUV 形式で入力したデータを、RGB 形式に変換して UGM に格納することを設定します。

ビット 1	ビット 0	説明
YUV1	YUV0	
0	0	通常モードになります。データ変換を行いません。
	1	YUV-RGB 変換を行います。データ変換総画素数が“0”になると、本ビットは自動的にクリアされて通常モードになります。データ変換総画素数は、画像データサイズレジスタ X,Y (IDSRX,Y) の設定値の積の値です。データ変換総画素数は、LSI の内部で 1 画素の処理ごとに 1 ずつデクリメントされます。 本モード中の CPU による UGM アクセスは禁止します。
1	0	YUV-RGB 変換を行います。データ変換総画素数が“0”になると、本ビットは自動的にクリアされて通常モードになります。データ変換総画素数は、画像データサイズレジスタ X,Y (IDSRX,Y) の設定値の積の値です。データ変換総画素数は、LSI の内部で 1 画素の処理ごとに 1 ずつデクリメントされます。 本モード中の CPU による UGM アクセスは禁止します。
	1	設定禁止



## 5.4 メモリ制御レジスタ

メモリ制御レジスタは、UGM (ユニファイドグラフィクスメモリ) の構成に関する 16 ビット×11 本のレジスタで、アドレス A10~A1 = H'008~H'012 にマッピングされています。

### 5.4.1 表示サイズレジスタ X,Y (DSRX,Y)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSRX	-	-	-	-	-	-	DSX	DSX	DSX	DSX	DSX	DSX	DSX	DSX	DSX	DSX
初期値 :	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSRY	-	-	-	-	-	-	-	DSY	DSY	DSY	DSY	DSY	DSY	DSY	DSY	DSY
初期値 :	-	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 値を保持

表示サイズレジスタ X,Y (DSRX,Y) は、各々16ビットの読み出し/書き込み可能なレジスタで、表示画面のサイズを設定します。DSRX には横方向のドット数を、DSRY には縦方向のドット数を設定します。

DSX ビットの設定値 (H'0000~H'03FF) は、横方向のドット数の1~1024ドットに対応します。

DSY ビットの設定値 (H'0000~H'01FF) は、縦方向のドット数の1~512ドットに対応します。

DSRX のビット15~10、DSRY のビット15~9はリザーブビットです。書き込み時には、“0”を書き込んでください(読み出し値は不定となります)。

DSRX,Y は、リセット時に DSX ビット、DSY ビットの値を保持します。

## 5.4.2 表示開始アドレスレジスタ (DSAR0,DSAR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAR0	-	-	-	-	-	-	-	-	-	DSA0 (アドレスA22~A16を設定)						
初期値:	-	-	-	-	-	-	-	-	-	*	*	*	*	*	*	*
R/W	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAR1	-	-	-	-	-	-	-	-	-	DSA1 (アドレスA22~A16を設定)						
初期値:	-	-	-	-	-	-	-	-	-	*	*	*	*	*	*	*
R/W	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\*: 値を保持

表示開始アドレスレジスタ 0,1 (DSAR0,1) は、各々16 ビットの読み出し / 書き込み可能なレジスタで、UGMのフレームバッファとして使用するメモリの領域を設定します。

DSAR0のDSA0フィールドには、フレームバッファ0(F0)の先頭物理アドレスの上位6ビット(A22~A16)のみを設定します。また、DSAR1のDSA1フィールドには、フレームバッファ1(F1)の先頭物理アドレスの上位6ビット(A22~A16)のみを設定します。

実際に表示開始アドレスとして有効になる表示開始アドレスレジスタは、SRのDBFが指し示すレジスタです。表示開始アドレスとして有効となっていない表示開始アドレスレジスタは、レンダリング座標の原点になります。また、本レジスタを書き換えたときの新設定値が有効となるのは、表示開始アドレスとして有効になっている表示開始アドレスレジスタは内部更新時となり、レンダリング座標の原点となっている表示開始アドレスレジスタは外部更新時(書き換え時)となります。

DSAR0,1のビット15~7はリザーブビットです。書き込み時には、“0”を書き込んでください(読み出し値は不定となります)。

DSAR0,1は、リセット時にDSA0、DSA1フィールドの値を保持します。

## 5.4.3 ディスプレイリスト開始アドレスレジスタ H, L (DLSARH,L)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DLSARH	-	-	-	-	-	-	-	-	-	DLSAH (アドレスA22~A16を設定)						
初期値:	-	-	-	-	-	-	-	-	-	*	*	*	*	*	*	*
R/W	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DLSARL	DLSAL (アドレスA15~A5を設定)											-	-	-	-	
初期値:	*	*	*	*	*	*	*	*	*	*	*	-	-	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-	-	-	-

\*: 値を保持

ディスプレイリスト開始アドレスレジスタ H, L (DLSARH,L) は、各々16ビットの読み出し/書き込み可能なレジスタで、ディスプレイリストとして使用するメモリの領域を設定します。

DLSARH の DLSAH フィールドと DLSARL の DLSAL フィールドの計 18 ビットで、ディスプレイリストの先頭物理アドレスの上位ビット (A22~A5) のみを設定します。

DLSARH のビット 15~7、DLSARL のビット 4~0 はリザーブビットです。書き込み時には、“0”を書き込んでください (読み出し値は不定となります)。

DLSARH,L は、リセット時に DLSAH,DLSAL フィールドの値を保持します。

## 5.4.4 多値ソース領域開始アドレスレジスタ (SSAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	SSAH (アドレスA22~A17を設定)							-
初期値:	-	-	-	-	-	-	-	-	-	*	*	*	*	*	*	-	
R/W	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	

\*: 値を保持

多値ソース領域開始アドレスレジスタ (SSAR) は、16ビットの読み出し/書き込み可能なレジスタで、多値ソース領域として使用するメモリの領域を設定します。SSAH フィールドでソース領域の先頭物理アドレスの上位ビット (A22~A17) のみを設定します。

SSAR のビット 15~7,0 はリザーブビットです。書き込み時には、“0”を書き込んでください (読み出し値は不定となります)。

SSAR は、リセット時に SSAH フィールドの値を保持します。

## 5.4.5 ワーク領域開始アドレスレジスタ (WSAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	WSAH (アドレスA22~A16を設定)						
初期値:	-	-	-	-	-	-	-	-	-	*	*	*	*	*	*	*
R/W	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\*: 値を保持

ワーク領域開始アドレスレジスタ (WSAR) は、16 ビットの読み出し / 書き込み可能なレジスタで、ワーク領域として使用するメモリの領域を設定します。WSAH フィールドでワーク領域の先頭物理アドレスの上位ビット (A22~A16) のみを設定します。

ワーク領域は、実装するメモリと描画サイズにより異なります。以下に算出例を示します (ワーク領域は、16 ビット / 画素でも 8 ビット / 画素でも同じです)。

## (1) 画面サイズ 320 × 240 のワーク座標系のメモリ容量

512 画素 × 256 ライン = 131072 ビットにより、131072 ビット / 8 ビット / 1024 = 16kB

## (2) 画面サイズ 640 × 240 のワーク座標系のメモリ容量

1024 画素 × 256 ライン = 262144 ビットにより、262144 ビット / 8 ビット / 1024 = 32kB

## (3) 画面サイズ 640 × 480 のワーク座標系のメモリ容量

1024 画素 × 512 ライン = 524288 ビットにより、524288 ビット / 8 ビット / 1024 = 64kB

WSAR のビット 15~7 はリザーブビットです。書き込み時には、“0” を書き込んでください (読み出し値は不定となります)。

WSAR は、リセット時に WSAH フィールドの値を保持します。

## 5.4.6 DMA 転送開始アドレスレジスタ H,L (DMASRH,L)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASRH	-	-	-	-	-	-	-	-	-	DMASH (アドレスA22~A16を設定)						
初期値 :	-	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMASRL	DMASL (アドレスA15~A1を設定)															-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA 転送開始アドレスレジスタ H,L (DMASRH,L) は、各々16ビットの読み出し/書き込み可能なレジスタで、DMA 転送時に転送先の UGM の先頭アドレスを設定します。

DMASRH の DMASH フィールドで先頭アドレスの上位ビット (A22~A16) を、DMASRL の DMASL フィールドで下位ビット (A15~A1) を設定します。

CPU が SYSR の DMA1,0 ビット = “10” に設定してから、Q2 が自動的にクリアするまでの一連の DMA 動作中に本レジスタの値を書き換えると動作が不定となります。

DMA1,0 ビット = “11” のときは、本レジスタの値は参照されません。転送データは、画像データエントリレジスタ (IDER) を経由し、データ変換されて、画像データ転送開始アドレスレジスタ (ISAR) で示されるデータ転送開始アドレスから順次格納されます。

DMASH,DMASL フィールドにより示されるアドレス (A22~A1) はワードアドレスとなります。

DMASRH のビット 15~7、DMASRL のビット 0 はリザーブビットです。書き込み時には、“0” を書き込んでください (読み出し値は不定となります)。

DMASRH,L は、リセット時に DMASH,DMASL フィールドの値がすべて “0” に初期化されます。

## 5.4.7 DMA 転送語数レジスタ (DWAWR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW	DMAW
初期値 :	-	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMA 転送語数レジスタ (DWAWR) は、16 ビットの読み出し / 書き込み可能なレジスタで、DMA 転送時に転送するワード数 (1ワード = 16 ビット) を設定します。

CPU が、SYSR の DMA1,0 ビット = “10” または “11” に設定してから、Q2 が自動的にクリアするまでの一連の DMA 動作中に本レジスタの値を書き換えると動作が不定となります。

DMA1,0 ビット = “11” のときは、画像データサイズレジスタ X,Y (IDSRX,Y) の設定値と本レジスタの設定値の大小により以下の動作となります。IDSRX,Y で設定するデータの総画素数が、本レジスタで設定する転送語数より大きい場合は、不足分のデータが来るまで YUV モードは終了しません。また、小さい場合は、DMA 転送途中で YUV モードは終了し、余ったデータは無視されます。

DMAWR のビット 15、14 はリザーブビットです。書き込み時には、“0” を書き込んでください (読み出し値は不定となります)。

DMAWR は、リセット時に DMAW ビットの値がすべて “0” に初期化されます。

## 5.5 表示制御レジスタ

表示制御レジスタは、表示タイミングを設定する 16 ビット×12 本のレジスタで、アドレス A10 ~ A1 = H'013 ~ H'001E にマッピングされています。

### 5.5.1 表示ウィンドウレジスタ〔DSWR (HDS/HDE/VDS/VDE)〕

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSWR (HDS)	-	-	-	-	-	-	-	HDS	HDS	HDS	HDS	HDS	HDS	HDS	HDS	HDS
初期値 :	-	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSWR (HDE)	-	-	-	-	-	-	HDE	HDE	HDE	HDE	HDE	HDE	HDE	HDE	HDE	HDE
初期値 :	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSWR (VDS)	-	-	-	-	-	-	-	VDS	VDS	VDS	VDS	VDS	VDS	VDS	VDS	VDS
初期値 :	-	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSWR (VDE)	-	-	-	-	-	-	VDE	VDE	VDE	VDE	VDE	VDE	VDE	VDE	VDE	VDE
初期値 :	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 値を保持

表示ウィンドウレジスタ (DSWR (HDS/HDE/VDS/VDE)) は、各々 16 ビットの読み出し / 書き込み可能なレジスタで、表示画面の水平方向および垂直方向の出力タイミングを設定します。

#### (1) 水平表示開始位置 (HDS ビット)

水平表示開始位置をドットクロックを単位として設定するフィールドです。

#### (2) 水平表示終了位置 (HDE ビット)

水平表示終了位置をドットクロックを単位として設定するフィールドです。

#### (3) 垂直表示開始位置 (VDS ビット)

垂直表示開始位置をドットクロックを単位として設定するフィールドです。

#### (4) 垂直表示終了位置 (VDE ビット)

垂直表示終了位置をドットクロックを単位として設定するフィールドです。

DSWR (HDS)、DSWR (VDS) のビット 15~9、および DSWR (HDE)、DSWR (VDE) のビット 15~10 はリザーブビットです。書き込み時には、“0”を書き込んでください(読み出し値は不定となります)。

DSWR (HDS/HDE/VDS/VDE) は、リセット時に HDS、HDE、VDS、VDE の値を保持します。

### 5.5.2 水平同期パルス幅レジスタ (HSWR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	HSW	HSW	HSW	HSW	HSW	HSW	HSW
初期値 :	-	-	-	-	-	-	-	-	-	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 値を保持

水平同期パルス幅レジスタ (HSWR) は、16 ビットの読み出し / 書き込み可能なレジスタで、水平信号の Low レベルパルス幅をドットクロックを単位として設定します。

HSWR のビット 15~7 はリザーブビットです。書き込み時には、“0”を書き込んでください(読み出し値は不定となります)。

HSWR は、リセット時に HSW の値を保持します。

### 5.5.3 水平走査周期レジスタ (HCR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	HC	HC	HC	HC	HC	HC	HC	HC	HC	HC	HC
初期値 :	-	-	-	-	-	*	*	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 値を保持

水平走査周期レジスタ (HCR) は、16 ビットの読み出し / 書き込み可能なレジスタで、水平走査周期をドットクロックを単位として設定します。TV 同期モード時 (DSMR の TVM1,0 ビット = “10”) は、 $\overline{\text{EXHSYNC}}$  の周期より本レジスタによる  $\overline{\text{HSYNC}}$  の周期が、同じか大きくなるように本レジスタを設定してください。

HCR のビット 15~11 はリザーブビットです。書き込み時には、“0”を書き込んでください(読み出し値は不定となります)。

HCR は、リセット時に HC の値を保持します。



## 5.5.4 垂直同期位置レジスタ (VSPR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	VSP	VSP	VSP	VSP	VSP	VSP	VSP	VSP	VSP	VSP
初期値 :	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 値を保持

垂直同期位置レジスタは、16ビットの読み出し / 書き込み可能なレジスタで、垂直同期信号の開始位置をラスタラインを単位として設定します。TV 同期モード時 (DSMR の TVM1,0 ビット = “10”) は、 $\overline{\text{EXVSYNC}}$  の立ち下がりより、本レジスタによる  $\overline{\text{VSYNC}}$  の立ち下がり設定位置が、同じか後ろになるように本レジスタを設定してください。

VSPR のビット 15 ~ 10 はリザーブビットです。書き込み時には、“0” を書き込んでください (読み出し値は不定となります)。

VSPR は、リセット時に VSP の値を保持します。

## 5.5.5 垂直走査周期レジスタ (VCR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	VC	VC	VC	VC	VC	VC	VC	VC	VC	VC
初期値 :	-	-	-	-	-	-	*	*	*	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 値を保持

垂直走査周期レジスタ (VCR) は、16ビットの読み出し / 書き込み可能なレジスタで、垂直帰線期間を含めた垂直走査期間をラスタラインを単位として設定します。TV 同期モード時 (DSMR の TVM1,0 ビット = “10”) は、 $\overline{\text{EXVSYNC}}$  の立ち上がりの検出期限時間を設定します。期限以内に検出されないと、SR の TVR フラグに結果を反映します。

VCR のビット 15 ~ 10 はリザーブビットです。書き込み時には、“0” を書き込んでください (読み出し値は不定となります)。

VCR は、リセット時に VC の値を保持します。

## 5.5.6 表示オフ時出力レジスタ H,L ( DOORH,L )

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOORH	-	-	-	-	-	-	-	-	DOR	DOR	DOR	DOR	DOR	DOR	-	-
初期値	-	-	-	-	-	-	-	-	*	*	*	*	*	*	-	-
R/W	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	-	-
DOORL	DOG	DOG	DOG	DOG	DOG	DOG	-	-	DOB	DOB	DOB	DOB	DOB	DOB	-	-
初期値	*	*	*	*	*	*	-	-	*	*	*	*	*	*	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-

\*: 値を保持

表示オフ時出力レジスタ H,L ( DOORH,L ) は、各々16 ビットの読み出し / 書き込み可能なレジスタで、DRES = 0、DEN = 1 の時に DD0 ~ DD17 に出力する表示データを設定します。RGB 成分を DOR ビット、DOG ビット、および DOB ビットに各々6 ビットで設定します。

DOORH のビット 15 ~ 8、ビット 1,0 および DOORL のビット 9,8、ビット 1,0 はリザーブビットです。書き込み時には、“0” を書き込んでください。

DOORH,L は、リセット時に DOR ビット、DOG ビット、DOB ビットの値を保持します。

## 5.5.7 色検出レジスタ H,L ( CDERH,L )

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CDERH	-	-	-	-	-	-	-	-	CDR	CDR	CDR	CDR	CDR	CDR	-	-
初期値	-	-	-	-	-	-	-	-	*	*	*	*	*	*	-	-
R/W	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	-	-
CDERL	CDG	CDG	CDG	CDG	CDG	CDG	-	-	CDB	CDB	CDB	CDB	CDB	CDB	-	-
初期値	*	*	*	*	*	*	-	-	*	*	*	*	*	*	-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-

\*: 値を保持

色検出レジスタ H,L は、各々16 ビットの読み出し / 書き込み可能なレジスタで、DD17 ~ 0 端子より出力する表示データと本レジスタの設定値が一致したときに CDE 端子より“1”を出力します。また、ブランキング期間中も CDE 端子による色検出は行われます。この期間中、DD0 ~ DD17 端子はすべてローレベルになります。したがって、ブランキング期間中の CDE 端子の出力は、CDERH、CDERL を共に 0 にした場合はハイレベルになります。同様に、CDERH、CDERL のいずれかが 0 でない場合は、ブランキング期間中の CDE 端子はローレベルになります。

CDERH のビット 15 ~ 8、ビット 1,0 および CDERL のビット 9,8、ビット 1,0 はリザーブビットです。書き込み時には、“0” を書き込んでください。

CDERH,L は、リセット時に CDR ビット、CDG ビット、CDB ビットの値を保持します。

## 5.6 レンダリング制御レジスタ

レンダリング制御レジスタは、レンダリングの制御に関する 16 ビット×2 本のレジスタで、アドレス A10 ~ A1 = H'01F ~ H'020 にマッピングされています。

### 5.6.1 コマンドステータスレジスタ H,L ( CSTRH,L )

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSTRH	-	-	-	-	-	-	-	-	-	CSTH ( アドレスA22 ~ A16を設定 )						
初期値 :	-	-	-	-	-	-	-	-	-	*	*	*	*	*	*	*
R/W :	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CSTRL	CSTL ( アドレスA15 ~ A1を設定 )															-	
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	-	

\* : 値を保持

コマンドステータスレジスタ H,L ( CSTRH,L ) は、各々 16 ビットの読み出し専用レジスタで、フレーム切り換え時に実行中であったコマンドワード ( オペコードワード ) のアドレスを記憶します。

コマンドワードのアドレスの上位ビット ( A22 ~ A16 ) は CSTH フィールドで示され、下位ビット ( A15 ~ A1 ) は CSTL フィールドで示されます。また、CSTH,CSTL フィールドで示されるアドレスは、ワードアドレスとなります。

CSTRH のビット 15 ~ 7、および CSTRL のビット 0 はリザーブビットです。読み出すと常に “ 0 ” が読み出されます。

CSTRH,L は、リセット時に CSTH,CSTL フィールドの値を保持します。

## 5.7 入力制御レジスタ

入力制御レジスタは、入力データ変換の制御に関する 16 ビット×5 本のレジスタで、アドレス A10 ~ A1 = H'021 ~ H'025 にマッピングされています。これらのレジスタへの設定は、入力データ変換モードレジスタ (IEMR) の YUV1,0 ビット = “01” または “01” のとき、有効となります。

### 5.7.1 画像データ転送開始アドレスレジスタ H,L (ISARH,L)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISARH	-	-	-	-	-	-	-	-	-	ISAH (アドレスA22 ~ A16を設定)						
初期値 :	-	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ISARL	ISAL (アドレスA15 ~ A1を設定)															-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-

画像データ転送開始アドレスレジスタ H,L (ISARH,L) は、16 ビットの読み出し / 書き込み可能なレジスタで、YUV1,0 ビット = “01” または “01” のとき画像データの転送先を物理アドレスで設定します。開始アドレスの上位ビット (A22 ~ 16) を ISAH フィールドに、下位ビット (A15 ~ A1) を ISAL フィールドに設定します。また、ISAH,ISAL フィールドで示されるアドレスは、ワードアドレスとなります。

CPU が、YUV1,0 ビット = “01” または “01” に設定してから、Q2 が YUV モードを自動的にクリアするまでの一連のデータ変換動作中に本レジスタを書き換えると動作が不定となります。

ISARH のビット 15 ~ 7、および ISARL のビット 0 はリザーブビットです。書き込み時には、“0” を書き込んでください。

ISARH,L は、リセット時に ISAH,ISAL フィールドの値がすべて “0” に初期化されます。

## 5.7.2 画像データサイズレジスタ X,Y (IDSRX,Y)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDSRX	-	-	-	-	-	IDSX	IDSX	IDSX	IDSX	IDSX	IDSX	IDSX	IDSX	IDSX	IDSX	IDSX*
初期値 :	-	-	-	-	-	0	0	0	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDSRX	-	-	-	-	-	-	IDSY	IDSY	IDSY	IDSY	IDSY	IDSY	IDSY	IDSY	IDSY	IDSY
初期値 :	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* IDSRXのビット0 (IDSX0ビット) には“0”を設定してください。

画像データサイズレジスタ X,Y (IDSRX,Y) は、16 ビットの読み出し / 書き込み可能なレジスタで、YUV1,0 ビット = “01” または “01” のとき画像データの X サイズ、Y サイズを画素単位で設定します。X サイズは偶数に設定 (IDSX0 ビット = “0”) にしてください。

CPU が、YUV1,0 ビット = “01” または “01” に設定してから、Q2 が YUV モードを自動的にクリアするまでの一連のデータ変換動作中に本レジスタを書き換えると動作が不定となります。

IDSRX のビット 15 ~ 11、および IDSRX のビット 15 ~ 10 はリザーブビットです。書き込み時には、“0” を書き込んでください。

IDSRX,Y は、リセット時に IDSX、IDSY の値がすべて “0” に初期化されます。

## 5.7.3 画像データエントリレジスタ (IDER)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDER	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE	IDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

画像データエントリレジスタ (IDER) は、16 ビットの書き込み専用レジスタで、YUV1,0 ビット = “01” または “01” のとき画像データを入力するエントリとなります。

IDER は、リセット時に H'0000 に初期化されます。

## 5.8 カラーパレット

カラーパレットは、アドレス A10 ~ A1 = H'100 ~ H'2FF にマッピングされています。RGB 各 6 ビット、256 画素分の設定が行えます。カラーパレットは、レンダリングモードレジスタ (REMR) の GBM ビット = “0” (8 ビット/画素) のときのみ有効です。GBM ビット = “1” (16 ビット/画素) に設定すると、GBM ビット = “0” (8 ビット/画素) のときに設定したカラーパレットの値は失われます。

### 5.8.1 カラーパレットレジスタ H,L000 ~ 255 ( CP000RH,L ~ CP255H,L )

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CP000RH	-	-	-	-	-	-	-	-	R000 ( Red : 6ビット )						-	-
初期値 :	-	-	-	-	-	-	-	-	*	*	*	*	*	*	-	-
R/W :	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	-	-
CP000RL	G000 ( Green : 6ビット )						-	-	B000 ( Blue : 6ビット )						-	-
初期値 :	*	*	*	*	*	*	-	-	*	*	*	*	*	*	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CP001RH	-	-	-	-	-	-	-	-	R001 ( Red : 6ビット )						-	-
初期値 :	-	-	-	-	-	-	-	-	*	*	*	*	*	*	-	-
R/W :	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	-	-
CP001RL	G001 ( Green : 6ビット )						-	-	B001 ( Blue : 6ビット )						-	-
初期値 :	*	*	*	*	*	*	-	-	*	*	*	*	*	*	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CP255RH	-	-	-	-	-	-	-	-	R255 ( Red : 6ビット )						-	-
初期値 :	-	-	-	-	-	-	-	-	*	*	*	*	*	*	-	-
R/W :	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	-	-
CP255RL	G255 ( Green : 6ビット )						-	-	B255 ( Blue : 6ビット )						-	-
初期値 :	*	*	*	*	*	*	-	-	*	*	*	*	*	*	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W	-	-

\* : 値を保持

カラーパレットレジスタ H,L000 ~ 255 ( CP000RH,L ~ CP255H,L ) は、各々32 ビットの読み出し / 書き込み可能なレジスタです。GBM ビット = “ 0 ” のときに有効となります。

カラーパレットは、1 画素を構成する 2 ワード単位で制御しています。したがって、カラーパレットレジスタへのアクセスも同じ単位で行う必要があります。

カラーパレットレジスタへの書き込みは、まず R 側レジスタを書き込み、続けて G,B 側レジスタを書き込んでください。R 側は、G,B 側がセットされたときにカラーパレットの新設定値として反映されます。

カラーパレットレジスタの読み出しは、まず R 側レジスタを読み出し、続けて G,B 側レジスタを読み出してください。

また、カラーパレットレジスタへのアクセスでは、R 側レジスタと G,B 側レジスタの間に他の Q2 のレジスタへのアクセスすることを禁止します。

なお、GBM = “ 1 ” ( 16 ビット / 画素 ) のモード時は、本レジスタを内部の表示回路の一部に使用します。このため、GBM ビット = “ 1 ” を行うと、カラーパレットレジスタの設定値は失われます。さらに上記の理由により、GBM = “ 1 ” のときに CPU がカラーパレットをアクセスすると、カラーパレットへのアクセスが終了しなくなり、Q2 は、CPU にウェイトを出力し続けます。

---

# 6. 使用上の注意事項

---

## 第6章 目次

6.1	CPUクロックとQ2-CLK0 .....	169
6.2	水平表示開始位置レジスタ値 .....	170
6.3	YUV モード時のデータ転送に関する注意事項 .....	171
6.4	ソフトウェアリセットビットについて .....	172
6.5	オートディスプレイチェンジモード使用時の 注意事項 .....	173
6.6	表示中のカラーパレットレジスタライトに関する 注意事項 .....	174
6.7	DMA モードに関する注意事項 .....	175
6.8	パワーオンシーケンス .....	176
6.9	Q2 内部のバッファについて .....	177
6.10	表示オフへの移行する際の注意事項 .....	179
6.11	TV 同期モードを変更する際の注意事項 .....	180
6.12	POLYGON4A のソース参照位置について .....	181





## 6.1 CPU クロックと Q2-CLK0

(1) SuperH と Q2 を非同期で動作させる場合、以下の条件を満足するクロックを CLK0 端子に入力してください。

Q2 に入力する  $\overline{RD}$  および  $\overline{WE0}$ 、 $\overline{WE1}$  がハイレベルの時間 > Q2 の  $\overline{WE}$  または、 $\overline{RD}$  のセットアップ時間 + ホールド時間 + Q2 動作クロックの周期 (図 6.2 参照)

(2) SuperH と Q2 を同一周期にて動作させる場合、SuperH のクロックと同じ周波数で、かつ、同じ位相のクロックを Q2 の動作クロックとして使用することを前提とします。このため、Q2 の逡倍を OFF にし、CK 端子から出力されるクロックをそのまま、CLK0 に入力してください。なお、この動作が可能な CPU は、SH-1、SH-2 のみです。(図 6.1 参照)

ただし、同期クロックで動作する場合においても、 $\overline{RD}$  および  $\overline{WE}$  の High レベルセットアップ時間とホールド時間の規定を満足させてください。(図 6.2 参照)

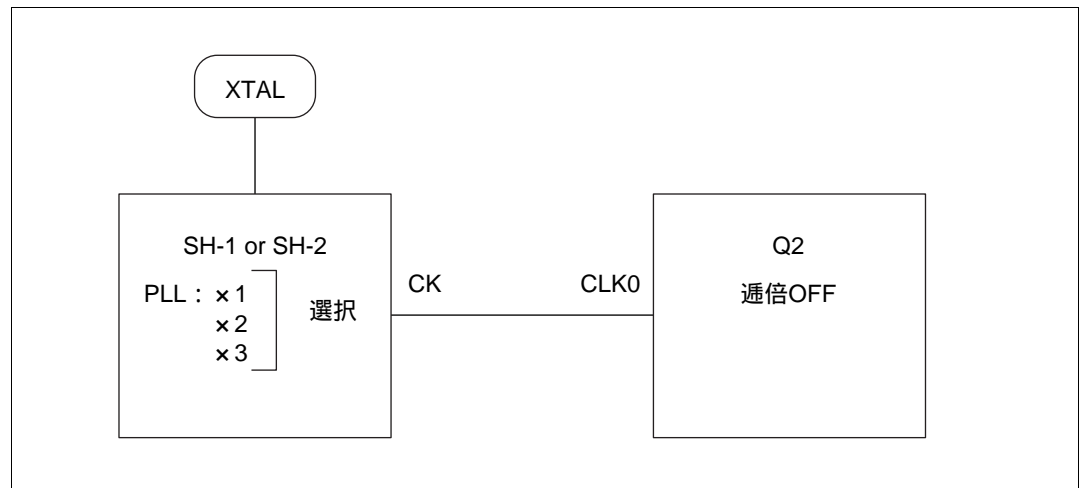


図 6.1 同期動作の接続例

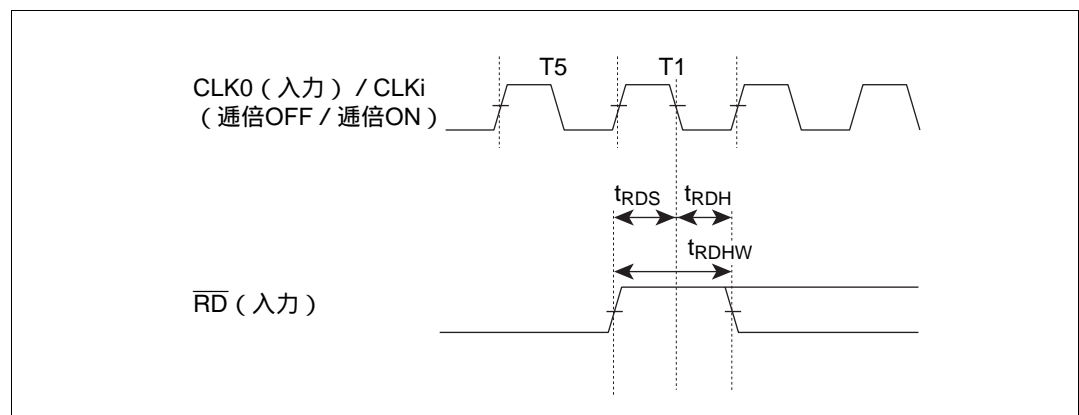
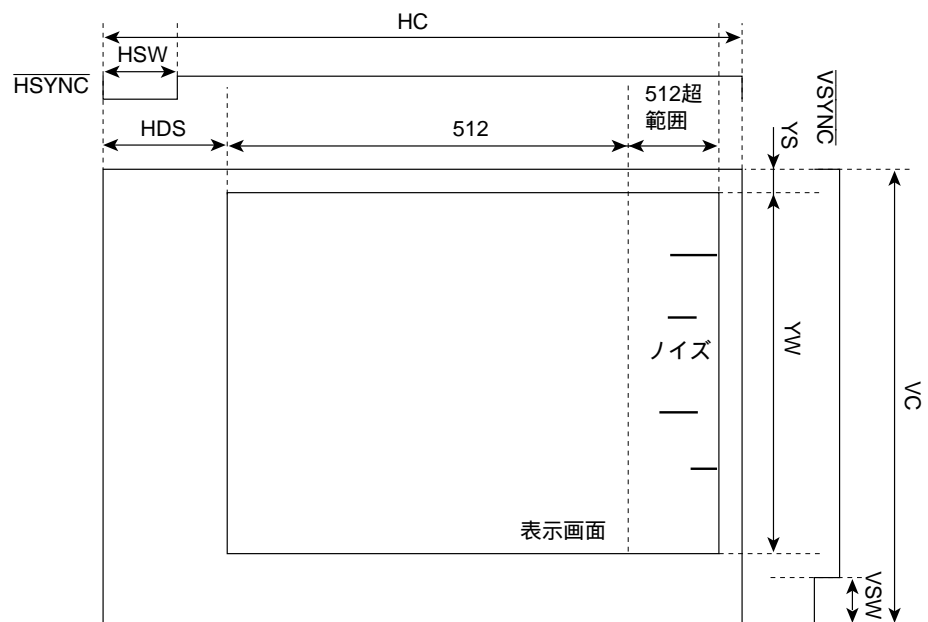


図 6.2 CPU リードサイクルタイミングにおける  $\overline{RD}$  ハイレベルセットアップ時間およびホールド時間

## 6.2 水平表示開始位置レジスタ値

DSXの値が512以上の場合、表示中に描画またはUGMにアクセスを行うと、X方向のドット数が512を超える範囲でノイズが発生する場合があります。このため、下記に示す(1)または(2)の条件を満たす値を水平表示開始位置レジスタ(HDS)に設定してください。水平表示開始位置レジスタ(HDS)値は、グラフィックビットモード、内部動作周波数(CLK0)および表示ドットクロック(DCLK)で決まります。通常、HDSの可変できる範囲を広くするために、DSXが512以上のときは、GBM=1で使用します。なお、DSXを512未満で使用する場合、(1)または(2)の条件を満たす必要はありません。



### (1) 16ビット/画素の場合 (GBM=1)

$$\text{HDS} < ((36 / 32) \times (\text{DCLK} / \text{CLK0}) \times (500 + (\text{X方向の画面サイズ} - 512)) - (\text{X方向の画面サイズ} - 512))$$

[ 計算例 ]

X方向の画面サイズ = 640ドット、CLK0 = 28.2636MHz、DCLK = 14.1318MHz時

$$\text{HDS} < ((36 / 32) \times (14.1318 / 28.2636) \times (500 + (640 - 512)) - (640 - 512))$$

$$\text{HDS} < 225$$

### (2) 8ビット/画素の場合 (GBM=0)

$$\text{HDS} < ((68 / 64) \times (\text{DCLK} / \text{CLK0}) \times (500 + (\text{X方向の画面サイズ} - 512)) / 2 - (\text{X方向の画面サイズ} - 512))$$

[ 計算例 ]

X方向の画面サイズ = 640ドット、CLK0 = 28.2636MHz、DCLK = 14.1318MHz時

$$\text{HDS} < ((68 / 64) \times (14.1318 / 28.2636) \times (500 + (640 - 512)) / 2 - (640 - 512))$$

$$\text{HDS} < 38$$

: 切り下げ

## 6.3 YUV モード時のデータ転送に関する注意事項

- (1) YUV モード = 10 ( YUV-RGB 変換 ) を使用するとき、CPU アクセスでデータ転送を連続して行う場合は、各ラスタの最後のデータを転送する直前で、36CLK0 以上の時間を空ける処置を行ってください。
- (2) YUV モード = 01 ( YUV-RGB 変換 ) を使用するとき、CPU アクセスでデータ転送を連続して行う場合は、ラインの先頭で 36CLK0 以上の時間を空け、その後、データを画像データエントリレジスタに設定する時に、奇数回目のデータを設定した後にのみ、Q2 のレジスタのステータスレジスタをダミーリードしてください。図 6.3 に 1 ライン当たりの転送手順を示します。

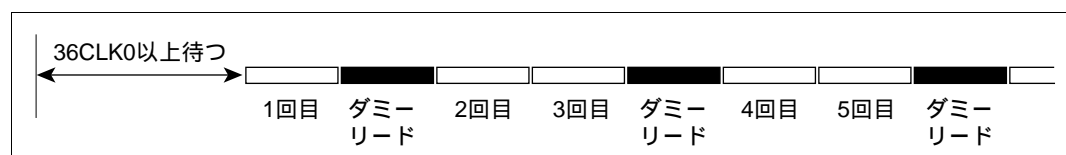


図 6.3 1 ライン当たりのデータの転送手順

- (3) YUV モード = 01 および 10 の時、下記の表に示すレジスタのリードを行わないでください。

A [ 10 : 1 ]	レジスタ名	略称
007	IEMR	入力データ変換モード
010	DMASHR	DMA 転送開始アドレス
011	DMASLR	DMA 転送開始アドレス
012	DMAWR	DMA 転送語数
021	ISahr	画像データ転送開始アドレス
022	ISALR	画像データ転送開始アドレス
023	IDSXR	画像データサイズ
024	IDSYR	画像データサイズ
025	IDER	画像データエントリ
026-OFF	—	リザーブ

- (4) YUV モード = 01 かつ DMA モード = 11 の時、DMA コントローラによる Q2 へのデータ転送は、行えません。

## 6.4 ソフトウェアリセットビットについて

Q2 が描画動作を行っていて、システム制御レジスタのソフトウェアリセット (bit15) に 1 を設定したとき、表示アドレスが更新されなくなる場合があります。このため、Q2 が描画動作を行っている間に、ソフトウェアリセットに 1 を設定しないでください。なお、ハードウェアリセット後、本ビットは 1 に設定されますので、本ビットに 0 を設定してから、Q2 に描画を行わせるようにしてください。

また、Q2 の描画を途中で強制停止させたい場合は、ダミーディスプレイリストを用意しておき、ダミーディスプレイリストへのレンダリングスタートをかけてることで、強制停止できます。ただし、描画の停止タイミングによっては、ダミーディスプレイリストを実行した際に、1~4 ドットの不当描画が発生する場合があります(描画部に不正データが残るため)。このため、表示開始アドレス(この場合、Q2 が描画開始アドレスとして使用しているアドレスのことをいう)および、ワーク開始アドレスを調整してから、Q2 にダミーディスプレイリストを実行させます。これにより、Q2 が描画領域およびワーク領域として使用していない UGM 領域に、不当な描画を行わせることが可能になり、不当な描画を回避できます。

なお、ダミーディスプレイリストは、必ず、POLYGON4A, POLYGON4B, POLYGON4C, LINE, RLINE, PLINE, RPLINE コマンドのうち、いずれかひとつのコマンドを含んでいる必要があります。下記に、ダミーディスプレイリストの例を示します。

(ダミーディスプレイリストの例)

```
SCLIP, XMAX, YMAX
```

```
LCOFS, 0, 0
```

```
LINE, LINE COLOR, 2, 0, 0, 0, 0
```

```
TRAP
```

## 6.5 オートディスプレイチェンジモード使用時の 注意事項

オートディスプレイチェンジモードを使用した際、フレームチェンジによってQ2の描画が強制停止された場合、停止タイミングによっては、次ディスプレイリストを実行したときに、1~4ドットの不当描画が発生する場合があります(描画部に不正データが残るため)。システム設計時に描画処理がフレームチェンジまでに必ず終了するように、ディスプレイリストを調整してください。

## 6.6 表示中のカラーパレットレジスタライトに関する 注意事項

表示中にカラーパレットレジスタライトを実行した直後に、連続して他のレジスタアクセス（該当レジスタは以下）を実行したい場合、カラーパレットレジスタライトの直後にカラーパレットレジスタリードを行ってから実行してください。この処理を実行しないと、該当レジスタアクセスが正常終了しないことがあります。

該当レジスタのレジスタアドレス：005,008,009,00A,00B,013～01E

## 6.7 DMA モードに関する注意事項

### (1) DMA 転送前のダミーメモリリード

UGM への DMA 転送 (DMA ビット = 01) の設定直前に、ダミー UGM リードを行ってください。

### (2) DMA 転送中のレジスタアクセス

UGM への DMA 転送 (DMA ビット = 01) 中に、Q2 のレジスタをリードしたい場合は、YUV モードに YUV = 01 を設定しておいてから、DMA モードに DMA = 01 を設定して、DMA 転送を開始する必要があります (DMA ビット = 11 ではないので YUV 変換はされません)。

また、YUV モードに YUV = 01 を設定しますので、下記の表に示すレジスタのアクセスを行わないでください。

A [10 : 1]	レジスタ名	略称
007	IEMR	入力データ変換モード
010	DMASHR	DMA 転送開始アドレス
011	DMASLR	DMA 転送開始アドレス
012	DMAWR	DMA 転送語数
021	ISAHR	画像データ転送開始アドレス
022	ISALR	画像データ転送開始アドレス
023	IDSXR	画像データサイズ
024	IDSYR	画像データサイズ
025	IDER	画像データエントリ
026-OFF	—	リザーブ

なお、DMA 転送終了後は、YUV モードに YUV = 00 を設定し、Q2 を通常モードに戻してください。



## 6.8 パワーオンシーケンス

電源投入時の CLK0 信号、CLK1 信号と RESET 信号のタイミングを図 6.4 に示します。VCCn 立ち上がりから CLK0、CLK1 の立ち上がりまでの時間は、100ms 以下、VCCn 立ち上がりから RESET 立ち上がりまでの時間は、100ms 以上にしてください。電源投入後長時間 (100ms 以上) CLK0、CLK1 を停止すると、素子破壊を起こすことがあります。

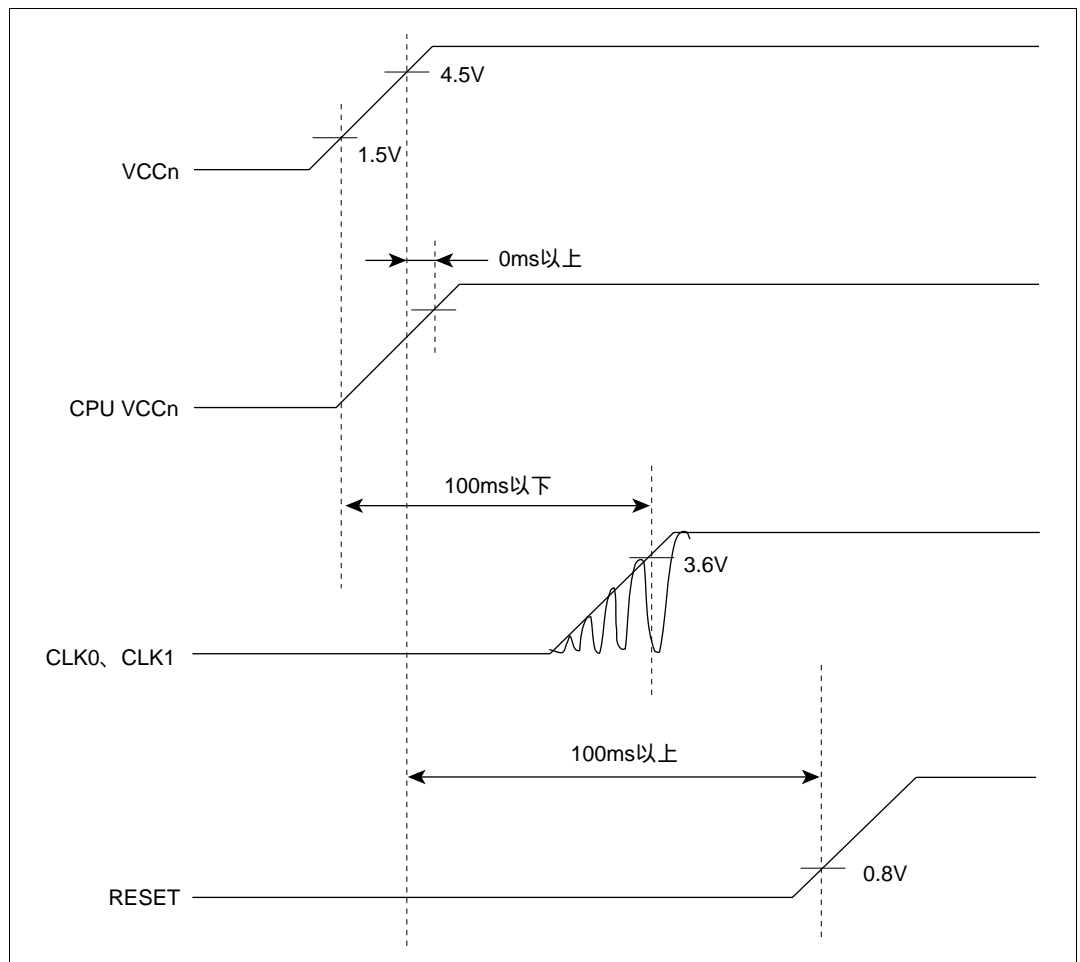


図 6.4 CLK0、CLK1、RESET 信号タイミング

## 6.9 Q2 内部のバッファについて

Q2 内部には、図 6.5 に示すような 3 種類のバッファがあります。それらのバッファは、コマンドバッファ、ソースバッファ、および、ワークバッファと呼ばれます。

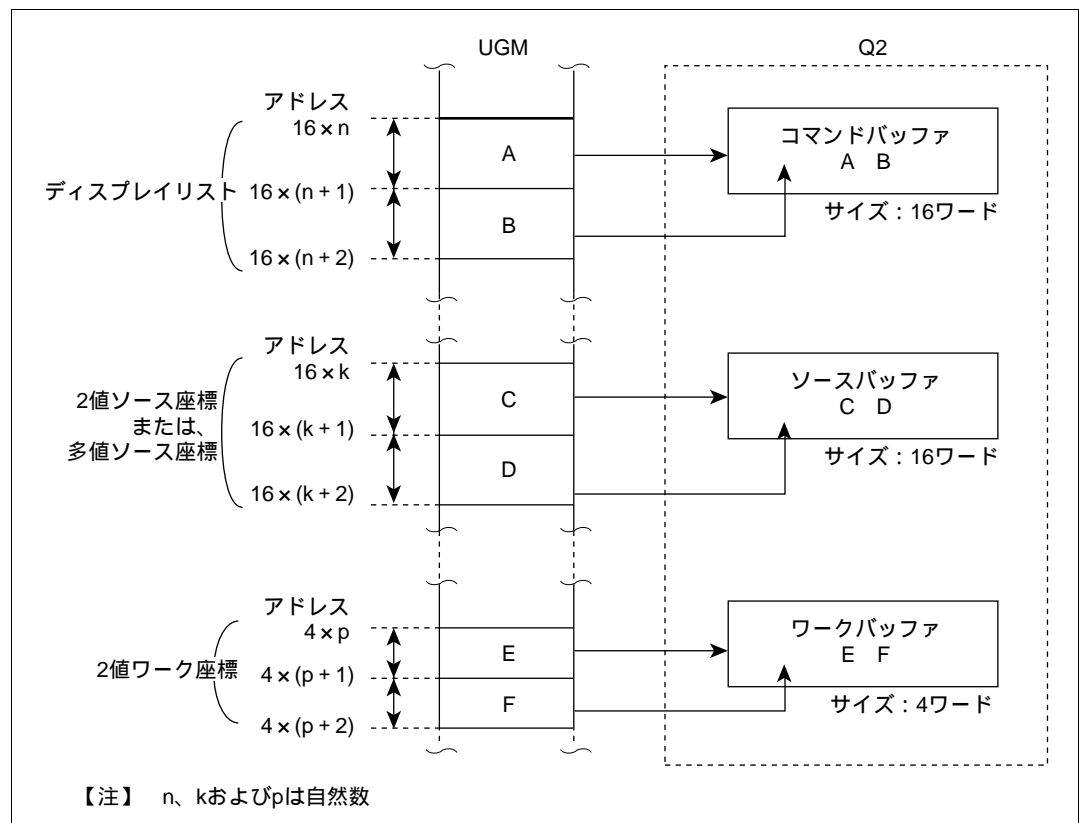


図 6.5 Q2 内のバッファの更新

これらのバッファは、UGM 内に存在するデータを、Q2 が一時的に蓄えるために使い、Q2 は、このバッファに蓄積されたデータを使用して描画を行います。

下記の (1) から (3) に各バッファの役割を示します。

- (1) コマンドバッファ : Q2 が UGM 上のディスプレイリストを蓄積する際に使用します。
- (2) ソースバッファ : Q2 が UGM 上の 2 値ソースまたは多値ソースを蓄積する際に使用します。
- (3) ワークバッファ : Q2 が UGM 上の 2 値ワーク座標に描画を行う際に使用します。

また、これらバッファのサイズは決まっており、コマンドバッファおよびソースバッファのサイズは 16 ワード、ワークバッファのサイズは 4 ワードです。

このため、Q2 が UGM 上のデータをバッファに取り込む際には、各バッファごとに読み込み先アドレスを管理して、バッファの更新を行います。

下記の(4)から(6)にバッファの更新概要を示します。

- (4) Q2がコマンドバッファを使用するときは、Q2が指し示すUGMのアドレス値が16ワード境界を越えるごとにバッファの内容を更新します。
- (5) Q2がソースバッファを使用するときは、Q2が指し示すUGMのアドレス値が16ワード境界を越えるごとにバッファの内容を更新します。
- (6) Q2がワークバッファを使用するときは、Q2が指し示すUGMのアドレス値が4ワード境界を越えるごとにバッファの内容を更新します。

#### 現象

使用するコマンドによって下記の現象が生じます。

- (1) POLYGON4B、PLINEおよびRPLINEコマンドを使用する場合

コマンドのパラメータであるSOURCE ADDRESSHおよびSOURCE ADDRESSLを変更せずに、16ワード境界内の2値ソースを使用する場合、Q2が指し示すアドレスが16ワード境界を越えないため、ソースバッファが更新されません。描画時には、ソースバッファ内に蓄積された2値ソースを使用して描画を行います。

- (2) POLYGON4Aコマンドを使用する場合

コマンドのパラメータであるTXS、TYSおよびソース領域開始アドレスを変更せずに、16ワード境界内の多値ソースを使用する場合、Q2が指し示すアドレスが16ワード境界を越えないため、ソースバッファが更新されません。描画時には、ソースバッファ内に蓄積された多値ソースを使用して描画を行います。

- (3) FTRAP、RFTRAP、CLRW、LINEWおよびRLINEWを使用する場合

ワーク領域開始アドレスワークを変更せずに、4ワード境界内の2値ワークを使用する場合、Q2が指し示すアドレスが4ワード境界を越えないため、ワークバッファが更新されません。描画時には、ワークバッファ内に蓄積されたワークデータを使用して描画を行います。

#### 恒久対策

ソースバッファの内容を更新させる方法として、16ワードを越えるソースパターンを使用するか、16ワード境界を超えた位置のソースパターンを使用してください。

また、ワークバッファを更新させる方法として、4ワードを越えるワークパターンを使用するか、4ワード境界を超えた位置のワークパターンを使用してください。

## 6.10 表示オフへの移行する際の注意事項

DRES = 0 かつ DEN = 0 の場合、表示サイズレジスタ Y の DSY 設定値の値が VDE-VDS 未満であると、UGM のリフレッシュを行いません。このため、DRES = 0 かつ DEN = 0 を設定したい場合には、内部更新が始まる前に DSY に VDE-VDS 以上の値を設定し、続けて DRES = 0 かつ DEN = 0 を設定してください。以下に手順を示します。

- (1) VBK ビットをクリアし、VBK ビットが 1 になるのを待ちます。
- (2) DSY に VDE-VDS 以上の値を設定します。なお、DSY は内部更新が行われるまで、以前に設定した値が内部的に有効な値として扱われます。
- (3) DRES = 0, DEN = 0 を設定します。内部更新が行われることで、Q2 は表示オフへ移行します。

また、表示オフから DRES = 0, DEN = 1 の状態に戻すには、以下の手順で戻します。

- (4) VBK ビットをクリアし、VBK ビットが 1 になるのを待ちます。これを行うことで、内部更新期間が終了したことを確認できます。
- (5) DSY に VDE-VDS-1 の値を設定します。
- (6) DRES = 0, DEN = 1 を設定します。内部更新が行われることで、Q2 は表示開始アドレスで示されるアドレスから表示を行います。

## 6.11 TV同期モードを変更する際の注意事項

表示モードレジスタ (DSMR) の TV 同期モード (TVM) に 01 を設定して、同期方式切り換えモードに移行する場合、システム制御レジスタの表示リセット (DRES)、表示イネーブル (DEN) に、DRES = 1, DEN = 0 の設定を行ってから、同期方式切り換えモードに移行させてください。

この手順は同期方式切り換えモード時に、HD64411 に UGM をリフレッシュさせるための方法です。

以下に手順を示します。手順は、(1) から (2) の順番に行い、内部更新を経ることで、HD64411 は UGM にリフレッシュを行います。

- (1) DRES = 1、DEN = 0 を設定します。
- (2) TVM1 = 0、TVM0 = 1 を設定します。

また、同期方式切り換えモードから、他の TV 同期モードに移行するときの手順を (3) ~ (6) に示します。

- (3) CLK1 にクロックを入力してください。また、TVM1 = 1、TVM0 = 0 を設定するときは、 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$ 、ODDF 端子にも信号を入力してください。
- (4) 表示サイズを変更したい場合に限り、Q2 のアドレスマップレジスタに値を設定してください。
- (5) TVM1 = 0、TVM0 = 0 または、TVM1 = 1、TVM0 = 0 の設定により、CLK1 端子からの入力クロックが有効になります。
- (6) DRES = 0、DEN = 1 を設定します。内部更新が行われると、Q2 は表示を開始します。

## 6.12 POLYGON4A のソース参照位置について

### 現象

下記の条件で POLYGON4A コマンドを使用する場合、ソース参照誤りが発生し、レンダリング座標の  $X=(64 \times t) + 1$  の画素に直後の画素と同じデータを描画します（ただし  $t$  1）。

### ・条件

レンダリング属性 : WORK=1 または STYL=1

ソース開始点 TXS :  $(32 \times p) + 1$  (ただし  $p \neq 0$ )

### 対策

この条件で POLYGON4A コマンドを使用する場合、ソース開始点 TXS に  $(32 \times p) + 1$  以外の値を設定してください。

---

# 7. 電気的特性

---

## 第7章 目次

7.1	絶対最大定格	185
7.2	推奨動作条件	186
7.2.1	推奨動作条件	186
7.3	電気的特性測定方法	187
7.3.1	タイミング測定法	187
7.3.2	テスト負荷回路（全出力、全入出力端子）	188
7.4	電気的特性	189
7.4.1	DC 特性	189
7.4.2	AC 特性	190
7.5	タイミングチャート	200
7.5.1	入力クロック	200
7.5.2	リセットタイミング	202
7.5.3	CPU リードサイクルタイミング	203
7.5.4	CPU ライトサイクルタイミング	204
7.5.5	DMA ライトサイクルタイミング（DMAC Q2）	205
7.5.6	割込み出力タイミング	207
7.5.7	UGM リードサイクルタイミング	208
7.5.8	UGM ライトサイクルタイミング	210
7.5.9	UGM リフレッシュサイクルタイミング	212
7.5.10	マスタモード表示タイミング	213
7.5.11	TV 同期モード表示タイミング	214





## 7.1 絶対最大定格

最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では推奨動作条件で使用することが望ましく、この条件をこえるとLSIの信頼性に悪影響を及ぼすことがあります。

表 7.1 絶対最大定格

項目	記号	規格値	単位
電源電圧	$V_{CC}^{*1}$	- 0.3 ~ + 7.0	V
入力電圧	$V_{in}^{*1}$	- 0.3 ~ $V_{CC} + 0.3$	V
許容出力 Low レベル電流	$ I_{OL} ^{*2}$	2.0	mA
許容総出力 Low レベル電流	$ \sum I_{OL} ^{*3}$	90	mA
許容出力 High レベル電流	$ -I_{OH} ^{*2}$	2.0	mA
許容総出力 High レベル電流	$ \sum (-I_{OH}) ^{*3}$	90	mA
動作温度	$T_{opr}$	0 ~ 70	
保存温度	$T_{stg}$	- 55 ~ + 125	

【注】 \*1 GND = 0V を基準とした値。CPUV<sub>CC</sub>、PLL<sub>V</sub><sub>CC</sub>を含む。

\*2 許容出力電流とは、1 出力端子及び1 入出力共通端子から引き込める、または流し出せる電流の最大値。

\*3 許容総出力電流とは、出力端子及び入出力共通端子から引き込める、または流し出せる電流の総和。

## 7.2 推奨動作条件

### 7.2.1 推奨動作条件

表 7.2 推奨動作条件

項目	記号	min	typ	max	単位	
電源電圧	$V_{CC}^{*1}$ 、 $PLL V_{CC}^{*2}$	4.75	5.0	5.25	V	
	$CPUV_{CC}^{*3}$	5V 動作時	4.75	5.0	5.25	V
		3.3V 動作時	3.0	3.3	3.6	V
入力 Low レベル電圧 (CLK0、CLK1 を除く)	$V_{ILT}^{*1}$	0	-	0.8	V	
入力 Low レベル電圧 (CLK0、CLK1)	$V_{ILC}^{*1}$	0	-	0.8	V	
入力 High レベル電圧 (CLK0、CLK1 を除く)	$V_{IHT}^{*1}$	2.2	-	$V_{CC}$	V	
入力 High レベル電圧 (CLK0、CLK1)	$V_{IHC}^{*1}$	$0.8 \times V_{CC}$	-	$V_{CC}$	V	
動作温度	$T_{opr}$	0	25	70		

【注】 \*1 GND = 0V を基準とした値。

\*2 PLLGND = 0V を基準とした値。

\*3 CPUGND = 0V を基準とした値。

## 7.3 電気的特性測定方法

### 7.3.1 タイミング測定法

タイミング測定時の出力 Low レベル電圧は 1.5V です。また、タイミング測定時の出力 High レベル電圧は 1.5V です。

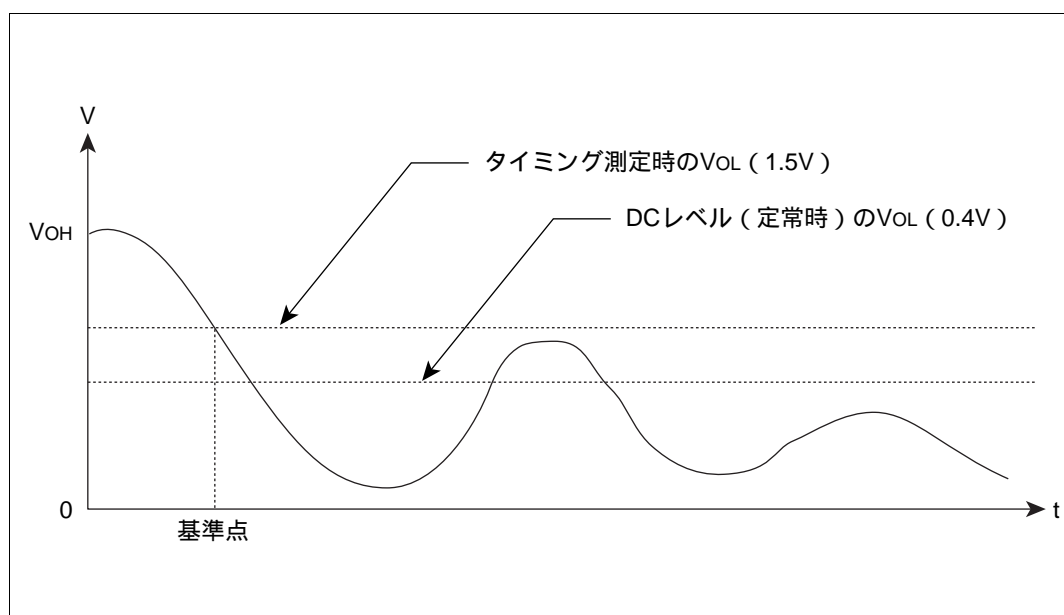


図 7.1  $V_{OL}$  のタイミング測定基準

### 7.3.2 テスト負荷回路 (全出力、全入出力端子)

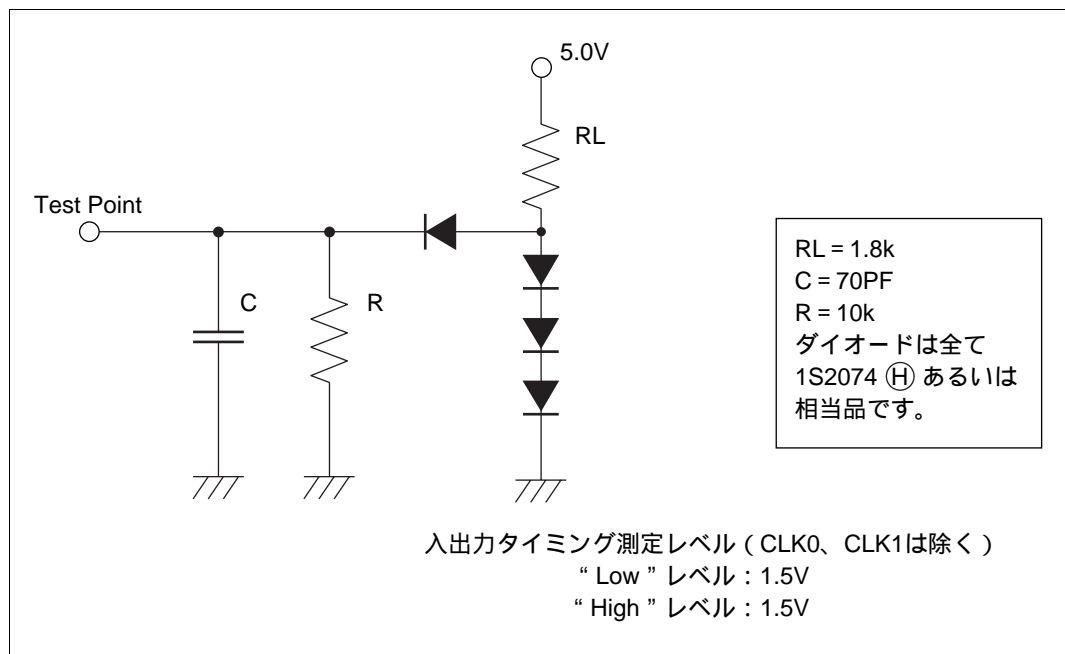


図 7.2 テスト負荷回路

## 7.4 電気的特性

### 7.4.1 DC 特性

表 7.3 DC 特性

(特記なき場合は、 $V_{CC} = CPUV_{CC} = PLLV_{CC} = 5.0V \pm 5\%$ 、 $GND = CPUGND = PLLGND = 0V$ 、 $T_a = 0 \sim +70$  )

項目	端子名	記号	min	max	単位	測定条件
入力 High レベル電圧 (CMOS レベル)	I1	$V_{IHC}$	$0.8 \times V_{CC}$	$V_{CC} + 0.3$	V	
入力 Low レベル電圧 (CMOS レベル)		$V_{ILC}$	- 0.3	0.8		
入力 High レベル電圧 (TTL レベル)	I2、IO1、IO2	$V_{IHT}$	2.2	$V_{CC} + 0.3$	V	
入力 Low レベル電圧 (TTL レベル)		$V_{ILT}$	- 0.3	0.8		
入力リーク電流	I1、I2	$I_{in}$	- 2.5	2.5	$\mu A$	$V_{in} = 0 \sim V_{CC}$
スリープ状態入力電流 (オフ状態)	IO1、IO2	$I_{TSI}$	- 10	10		$V_{in} = 0.4 \sim V_{CC}$
出力 High レベル電圧 (5V)	IO1、O1	$V_{OH}$	$V_{CC} - 1.0$	-	V	$I_{OH} = - 400 \mu A$
出力 High レベル電圧	IO2、O2	$V_{OH}$	$CPUV_{CC}$ - 1.0	-		$I_{OH} = - 400 \mu A$ $CPUV_{CC} = 5.0V \pm 5\%$
			$CPUV_{CC}$ - 0.5	-		$I_{OH} = - 200 \mu A$ $CPUV_{CC} = 3.0V \sim 3.6V$
出力 Low レベル電圧	IO1、IO2、 O1、O2	$V_{OL}$	-	0.4		$I_{OL} = 2.0mA$
入力容量	IO1、IO2	$C_{in}$	-	20	pF	$V_{in} = 0V$ $T_a = 25$ $f = 1.0MHz$
	I1、I2		-	20		
消費電流		$I_{CC}$	-	150	mA	データバス動作中 / 表示動作中 / コマンド実行中

【注】 表 7.3 で使用されている記号は以下の通りです。

記号	入力	出力	High-Z	Pull-up	端子名
I1	CMOS	-	-	-	CLK1、CLK0
I2	TTL	-	-	-	MODE2~0、RESET、A22~A1、CS1~0、RD、WE1~0、DACK
IO1	TTL	CMOS	有	-	HSYNC/EXHSYNC、VSYNC/EXVSYNC、ODDF、MD15~0
IO2	TTL	CMOS	有	-	D15~D0
O1	-	CMOS	-	-	CDE、DD17~0、DCLK、FCLK、DISP、MA11~0、MWE、MRAS1~0、MLCAS、MUCAS、MOE、CSYNC
O2	-	CMOS	-	-	DREQ、IRL、WAIT

## 7.4.2 AC 特性

### (1) 入力クロック

表 7.4 入力クロック (1) (MODE2~0 端子 = "011" : 遜倍 OFF の場合)

項目	記号	min	max	単位	測定条件	備考
CLK0 サイクル時間	$t_{cyc0}$	30.3	50	ns	図 7.3	
CLK0 High レベルパルス幅	$t_{C0PWH}$	10.1	-	ns		
CLK0 Low レベルパルス幅	$t_{C0PWL}$	10.1	-	ns		
CLK0 デューティ	$t_{C0DT}$	$0.5t_{cyc0} - 1.7$	$0.5t_{cyc0} + 1.7$	ns		
CLK1 サイクル時間	$t_{cyc1}$	60.6	150	ns		XW 512
			170			XW < 512
CLK1 High レベルパルス幅	$t_{C1PWH}$	25.3	-	ns		
CLK1 Low レベルパルス幅	$t_{C1PWL}$	25.3	-	ns		
CLK1 デューティ	$t_{C1DT}$	$0.5t_{cyc1} - 1.7$	$0.5t_{cyc1} + 1.7$	ns		
CLK 立ち上がり時間	$t_{cr}$	-	5	ns		
CLK 立ち下がり時間	$t_{cf}$	-	5	ns		

表 7.4 入力クロック (2) (MODE2 ~ 0 端子 = “000、001、010” : 逡倍 ON の場合)

項目	記号	min	max	単位	測定条件	備考
CLK0 サイクル時間 1	$t_{cyc}$	30.3	50	ns	図 7.4	× 1
CLK0 サイクル時間 2	$t_{cyc}$	60.6	100	ns		× 2
CLK0 サイクル時間 3	$t_{cyc}$	121.2	200	ns		× 4
CLK0 High レベルパルス幅	$t_{CPWH}$	10.1	-	ns		
CLK0 Low レベルパルス幅	$t_{CPWL}$	10.1	-	ns		
CLK 遅延時間 1	$t_{CLKD1}$	-	10	ns		
CLK 遅延時間 2	$t_{CLKD2}$	-	$t_{cyc}/4 + 11.7$	ns		
CLK 遅延時間 3	$t_{CLKD3}$	-	$t_{cyc}/2 + 11.7$	ns		
CLK 遅延時間 4	$t_{CLKD4}$	-	$3t_{cyc}/4 + 11.7$	ns		
CLKi サイクル時間	$t_{cyc0}$	30.3	50	ns		
CLKi High レベルパルス幅	$t_{CiPWH}$	10.1	-	ns		
CLKi Low レベルパルス幅	$t_{CiPWL}$	10.1	-	ns		
CLK1 サイクル時間	$t_{cyc1}$	60.6	150	ns		XW 512
			170			XW < 512
CLK1 High レベルパルス幅	$t_{C1PWH}$	25.3	-	ns		
CLK1 Low レベルパルス幅	$t_{C1PWL}$	25.3	-	ns		
CLK1 デューティ	$t_{C1DT}$	$0.5t_{cyc1} - 1.7$	$0.5t_{cyc1} + 1.7$	ns		
CLK 立ち上がり時間	$t_{cr}$	-	5	ns		
CLK 立ち下がり時間	$t_{cf}$	-	5	ns		

## (2) リセット

表 7.5 リセット

項目	記号	min	max	単位	測定条件	備考
RESET Low パルス幅	$t_{RESW}$	40	-	$t_{cyc1}$	図 7.5	
RESET 受領不定時間 1	$t_{RES1}$	3	-	ns		
RESET 受領不定時間 2	$t_{RES2}$	5	-	ns		
CLK1 からの $\overline{DCLK}$ 立ち上がり遅延時間	$t_{DCRD}$	-	30	ns		
CLK1 からの $\overline{DCLK}$ 立ち下がり遅延時間	$t_{DCFD1}$	-	30	ns		DOT = 1
CLK1 からの $\overline{DCLK}$ 立ち下がり遅延時間	$t_{DCFD0}$	-	30	ns		DOT = 0
CLK1 からの FCLK 立ち上がり遅延時間	$t_{FCRD}$	-	30	ns		
CLK1 からの FCLK 立ち下がり遅延時間	$t_{FCFD}$	-	30	ns		
$\overline{DCLK}$ サイクル時間	$t_{cyc D}$	$2t_{cyc1}$	$2t_{cyc1}$	ns		DOT = 1
$\overline{DCLK}$ サイクル時間	$t_{cyc D}$	$1t_{cyc1}$	$1t_{cyc1}$	ns		DOT = 0



## (3) CPU リードサイクル

表 7.6 CPU リードサイクル

項目	記号	min	max	単位	測定条件	備考
アドレスセットアップ時間	$t_{ADS}$	0	-	ns	図 7.6	
アドレスホールド時間	$t_{ADH}$	0	-	ns		
$\overline{CSn}$ セットアップ時間	$t_{CSS}$	0	-	ns		*1
$\overline{CSn}$ ホールド時間	$t_{CSH}$	0	-	ns		*2
$\overline{RD}$ High レベルセットアップ時間	$t_{RDS}$	$1/2 \times t_{cyc0} - 9$	-	ns		逡倍 OFF 時
WAIT サイクルスタート時間 1	$t_{WAS1}$	-	$4t_{cyc0}$	ns		
$\overline{RD}$ High レベル幅	$t_{RDHW}$	$t_{cyc0}$	-	ns		
WAIT に対するリードデータセットアップ時間	$t_{RDDWS}$	10	-	ns		
WAIT 遅延時間	$t_{WAD}$	-	25	ns		
$\overline{RD}$ High レベルホールド時間	$t_{RDH}$	$12 - 1/2 \times t_{cyc0}$	-	ns		逡倍 OFF 時
リードデータターンオン時間	$t_{RDDON}$	0	-	ns		
リードデータホールド時間	$t_{RDDH}$	4	-	ns		
リードデータターンオフ時間	$t_{RDDOF}$	4	-	ns		
$\overline{WE}$ High レベル幅	$t_{WEHW}$	$t_{cyc0}$	-	ns		

【注】 \*1  $\overline{CSn}$  の (立ち下がり) が  $\overline{RD}$  の より遅い場合は、 $t_{ADS}$ 、 $t_{WAS1}$ 、 $t_{RDDON}$ 、 $t_{WEHW}$  の規定は  $\overline{CSn}$  の からの規定となります。  $\overline{CSn} = \overline{CS0}, \overline{CS1}$ 。

\*2  $\overline{CSn}$  の (立ち上がり) が  $\overline{RD}$  の より早い場合は、 $t_{ADH}$ 、 $t_{RDDH}$ 、 $t_{RDDOF}$ 、 $t_{WEHW}$  の規定は  $\overline{CSn}$  の からの規定となります。  $\overline{CSn} = \overline{CS0}, \overline{CS1}$ 。

## (4) CPU ライトサイクル

表 7.7 CPU ライトサイクル

項目	記号	min	max	単位	測定条件	備考
アドレスセットアップ時間	$t_{ADS}$	0	-	ns	図 7.7	
アドレスホールド時間	$t_{ADH}$	0	-	ns		
$\overline{CSn}$ セットアップ時間	$t_{CSS}$	0	-	ns		*1
$\overline{CSn}$ ホールド時間	$t_{CSH}$	0	-	ns		*2
$\overline{RD}$ High レベル幅	$t_{RDHW}$	$t_{cyc0}$	-	ns		
$\overline{WAIT}$ 遅延時間	$t_{WAD}$	-	25	ns		
$\overline{WEn}$ High レベルセットアップ時間	$t_{WES}$	$1/2 \times t_{cyc0} - 9$	-	ns		*3 通倍 OFF 時
$\overline{WAIT}$ サイクルスタート時間 2	$t_{WAS2}$	-	$4t_{cyc0}$	ns		
$\overline{WEn}$ High レベル幅	$t_{WEHW}$	$t_{cyc0}$	-	ns		*3
$\overline{WEn}$ に対するライトデータセットアップ時間	$t_{WRDES}$	$2t_{cyc0}$	-	ns		*3
ライトデータホールド時間	$t_{WRDH}$	0	-	ns		
ライトデータターンオフ時間	$t_{WRDOF}$	-	30	ns		
$\overline{WEn}$ High レベルホールド時間	$t_{WEH}$	$12 - 1/2 \times t_{cyc0}$	-	ns		*3 通倍 OFF 時

【注】 \*1  $\overline{CSn}$  の（立ち下がり）が  $\overline{WEn}$  の より遅い場合は、 $t_{ADS}$ 、 $t_{RDHW}$ 、 $t_{WAS2}$  の規定は  $\overline{CSn}$  の からの規定になります。 $\overline{CSn} = \overline{CS0}, \overline{CS1}$ 。 $\overline{WEn} = \overline{WE0}, \overline{WE1}$ 。

\*2  $\overline{CSn}$  の（立ち上がり）が  $\overline{WEn}$  の より早い場合は、 $t_{ADH}$ 、 $t_{RDHW}$ 、 $t_{WRDES}$ 、 $t_{WRDH}$ 、 $t_{WRDOF}$  の規定は  $\overline{CSn}$  の からの規定になります。 $\overline{CSn} = \overline{CS0}, \overline{CS1}$ 。 $\overline{WEn} = \overline{WE0}, \overline{WE1}$ 。

\*3  $\overline{WEn} = \overline{WE0}, \overline{WE1}$ 。

## (5) DMA ライトサイクル

表 7.8 DMA ライトサイクル

項目	記号	min	max	単位	測定条件	備考
$\overline{RD}$ High レベルセットアップ時間	$t_{RDS}$	$1/2 \times t_{cyc0} - 9$	-	ns	図 7.8 図 7.9	逡倍 OFF 時
$\overline{RD}$ High レベル幅	$t_{RDHW}$	$t_{cyc0}$	-	ns		
$\overline{RD}$ High レベルホールド時間	$t_{RDH}$	$12 - 1/2 \times t_{cyc0}$	-	ns		逡倍 OFF 時
$\overline{RD}$ Low レベル幅	$t_{RDLW}$	$3t_{cyc0}$	-	ns		
ライトデータホールド時間	$t_{WRDH}$	0	-	ns		
ライトデータターンオフ時間	$t_{WRDOF}$	-	30	ns		
$\overline{RD}$ に対するライトデータセットアップ時間	$t_{WRDRS}$	$2t_{cyc0}$	-	ns		
$\overline{DREQ}$ 遅延時間	$t_{DAD}$	-	25	ns		
$\overline{DREQ}$ ネゲート時間	$t_{DAN}$	-	$3t_{cyc0}$	ns		
$\overline{DACK}$ セットアップ時間	$t_{DAS}$	0	-	ns		*1
$\overline{DACK}$ ホールド時間	$t_{DAH}$	0	-	ns		*2

【注】 \*1  $\overline{DACK}$  の（立ち下がり）が  $\overline{RD}$  の より遅い場合は、 $t_{RDLW}$  の規定は  $\overline{DACK}$  の からの規定となります。

\*2  $\overline{DACK}$  の（立ち上がり）が  $\overline{RD}$  の より早い場合は、 $t_{RDLW}$ 、 $t_{WRDH}$ 、 $t_{WRDOF}$ 、 $t_{WRDRS}$  の規定は  $\overline{DACK}$  の からの規定となります。

## (6) 割込み出力

表 7.9 割込み出力

項目	記号	min	max	単位	測定条件	備考
IRL 遅延時間	$t_{IRD}$	-	25	ns	図 7.10	
IRL Low レベル幅	$t_{IRLW}$	$2t_{cyc0}$	-	ns		

## (7) UGM リードサイクル

表 7.10 UGM リードサイクル

項目	記号	min	max	単位	測定条件	備考
RAS 遅延時間	$t_{RASD}$	-	25	ns	図 7.11	
CAS 遅延時間	$t_{CASD}$	-	25	ns		図 7.12
ロウアドレスセットアップ時間	$t_{ROWS}$	0	-	ns		
ロウアドレスホールド時間	$t_{ROWH}$	15	-	ns		
カラムアドレスセットアップ時間	$t_{COMS}$	6	-	ns		
カラムアドレスホールド時間	$t_{COMH}$	10	-	ns		
OE 遅延時間	$t_{OED}$	-	25	ns		
MD ターンオン時間	$t_{MDON}$	0	-	ns		
MD ターンオフ時間	$t_{MDOF}$	-	35	ns		
MD インプットセットアップ時間	$t_{MDIS}$	5	-	ns		
MD インプットホールド時間	$t_{MDIH}$	3	-	ns		
MD インプット時間 1	$t_{MDI1}$	-	$t_{cyc0} - 5$	ns		
MD インプットホールド時間 1	$t_{MDH1}$	3	-	ns		
RAS 立ち上がりからの OE 立ち上がり時間	$t_{OERD}$	0	-	ns		
カラムアドレス遅延時間	$t_{CADD}$	-	20	ns		

## (8) UGM ライトサイクル

表 7.11 UGM ライトサイクル

項目	記号	min	max	単位	測定条件	備考
RAS 遅延時間	$t_{RASD}$	-	25	ns	図 7.13 図 7.14	
CAS 遅延時間	$t_{CASD}$	-	25	ns		
ロウアドレスセットアップ時間	$t_{ROWS}$	0	-	ns		
ロウアドレスホールド時間	$t_{ROWH}$	15	-	ns		
カラムアドレスセットアップ時間	$t_{COMS}$	6	-	ns		
カラムアドレスホールド時間	$t_{COMH}$	10	-	ns		
MD ターンオン時間	$t_{MDON}$	0	-	ns		
WE 遅延時間	$t_{WED}$	-	25	ns		
MD アウトプットセットアップ時間	$t_{MDOS}$	0	-	ns		
MD アウトプットホールド時間	$t_{MDOH}$	18	-	ns		

## (9) UGM リフレッシュサイクル

表 7.12 UGM リフレッシュサイクル

項目	記号	min	max	単位	測定条件	備考
RAS 遅延時間	$t_{RASD}$	-	25	ns	図 7.15	
CAS 遅延時間	$t_{CASD}$	-	25	ns		

## (10) マスタ表示モード

表 7.13 マスタ表示モード

項目	記号	min	max	単位	測定条件	備考
CLK1 からの DCLK 立ち上がり遅延時間	$t_{DCRD}$	-	30	ns	図 7.16	
CLK1 からの FCLK 立ち上がり遅延時間	$t_{FCRD}$	-	30	ns		
CLK1 からの FCLK 立ち下がり遅延時間	$t_{FCFD}$	-	30	ns		
DCLK に対する DD セットアップ時間	$t_{DDS}$	9	-	ns		
DCLK に対する DD ホールド時間	$t_{DDH}$	5	-	ns		
DCLK からの HSYNC 遅延時間	$t_{HSDD}$	-	25	ns		
DCLK からの VSYNC 遅延時間	$t_{VSDD}$	-	25	ns		
DCLK からの ODDF 遅延時間	$t_{ODDD}$	-	25	ns		
DCLK からの $\overline{CSYNC}$ 遅延時間	$t_{SYDD}$	-	25	ns		
DCLK からの DISP 遅延時間	$t_{DIDD}$	-	25	ns		
DCLK からの CDE 遅延時間	$t_{CDEDD}$	-	25	ns		

## (11) TV 同期表示モード

表 7.14 TV 同期表示モード

項目	記号	min	max	単位	測定条件	備考
CLK1 からの DCLK 立ち上がり遅延時間	$t_{DCRD}$	-	30	ns	図 7.17	
CLK1 からの DCLK 立ち下がり遅延時間 1	$t_{DCFD1}$	-	30	ns	図 7.18 図 7.19	DOT = 1
CLK1 からの DCLK 立ち下がり遅延時間 0	$t_{DCFD0}$	-	30	ns	図 7.20	DOT = 0
CLK1 からの FCLK 立ち上がり遅延時間	$t_{FCRD}$	-	30	ns		
CLK1 からの FCLK 立ち下がり遅延時間	$t_{FCFD}$	-	30	ns		
DCLK 周期	$t_{cycD}$	$2t_{cyc1}$	$2t_{cyc1}$	ns		DOT = 1
		$t_{cyc1}$	$t_{cyc1}$			DOT = 0
DCLK DD セットアップ時間	$t_{DDS}$	9	-	ns		
DCLK DD ホールド時間	$t_{DDH}$	5	-	ns		
DCLK DISP 遅延時間	$t_{DIDD}$	-	25	ns		
DCLK CDE 遅延時間	$t_{CDEDD}$	-	25	ns		
EXHSYNC Low レベル幅	$t_{EXLLW}$	$4t_{cyc1}$	-	ns		
EXHSYNC High レベル幅	$t_{EXHWW}$	$2t_{cyc1}$	-	ns		
EXHSYNC 受領不定時間 1	$t_{EXH1}$	5	-	ns		
EXHSYNC 受領不定時間 2	$t_{EXH2}$	5	-	ns		
EXHSYNC DISP スタート時間	$t_{DIEXH}$	hds-1	hds-1	$t_{cycD}$		*1
EXVSYNC Low レベル幅	$t_{EXVLLW}$	1HC	-	$t_{cycD}$		
EXVSYNC 受領不定時間 1	$t_{EXV1}$	5	-	ns		
EXVSYNC 受領不定時間 2	$t_{EXV2}$	5	-	ns		
ODDF 受領不定時間 1	$t_{OD1}$	$4t_{cyc1}$	-	ns		
ODDF 受領不定時間 2	$t_{OD2}$	$t_{cyc1}$	-	ns		

【注】 \*1 hds = hsw + xs

## 7.5 タイミングチャート

### 7.5.1 入力クロック

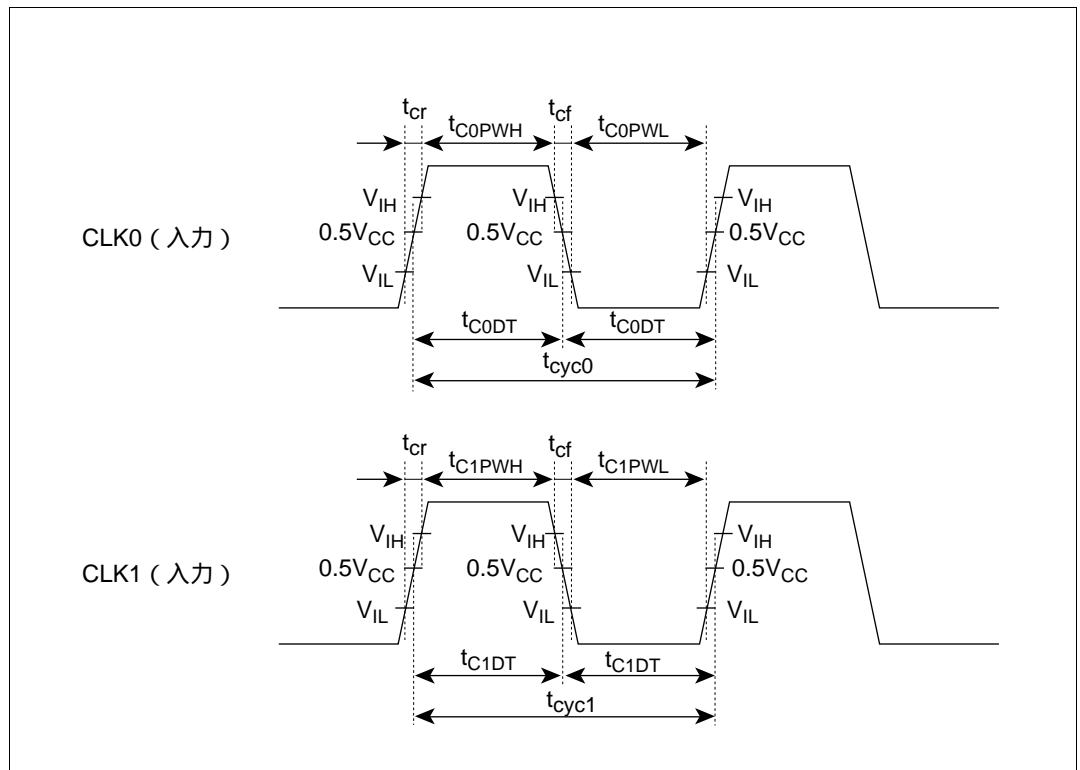


図 7.3 入力クロック (MODE2~0 端子 = "011" のとき)



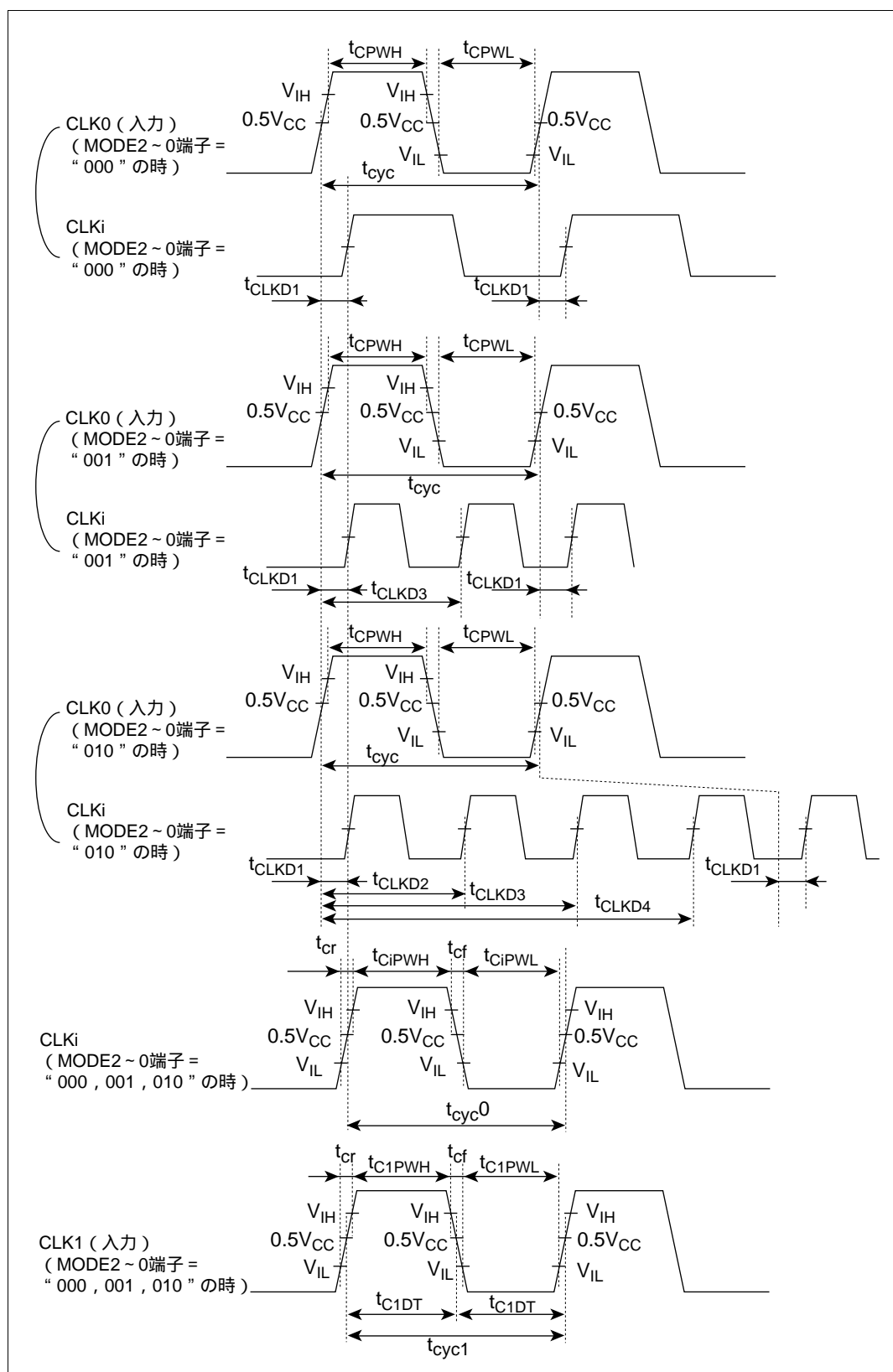
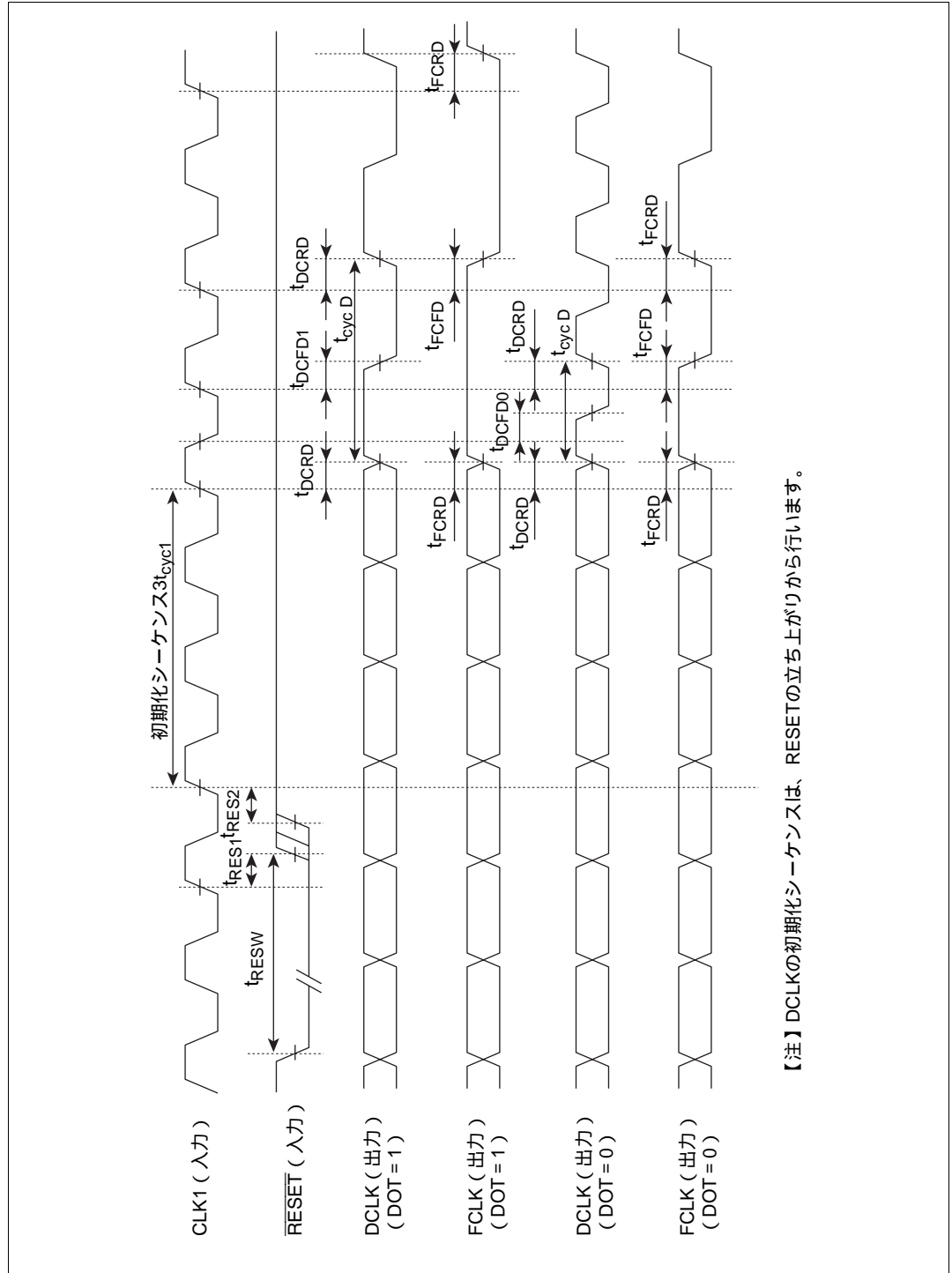


図 7.4 入力クロック (MODE2~0 端子 = "000、001、010" のとき)

7.5.2 リセットタイミング



【注】 DCLKの初期化シーケンスは、RESETの立ち上がりから行います。

図 7.5 リセットタイミング

## 7.5.3 CPU リードサイクルタイミング

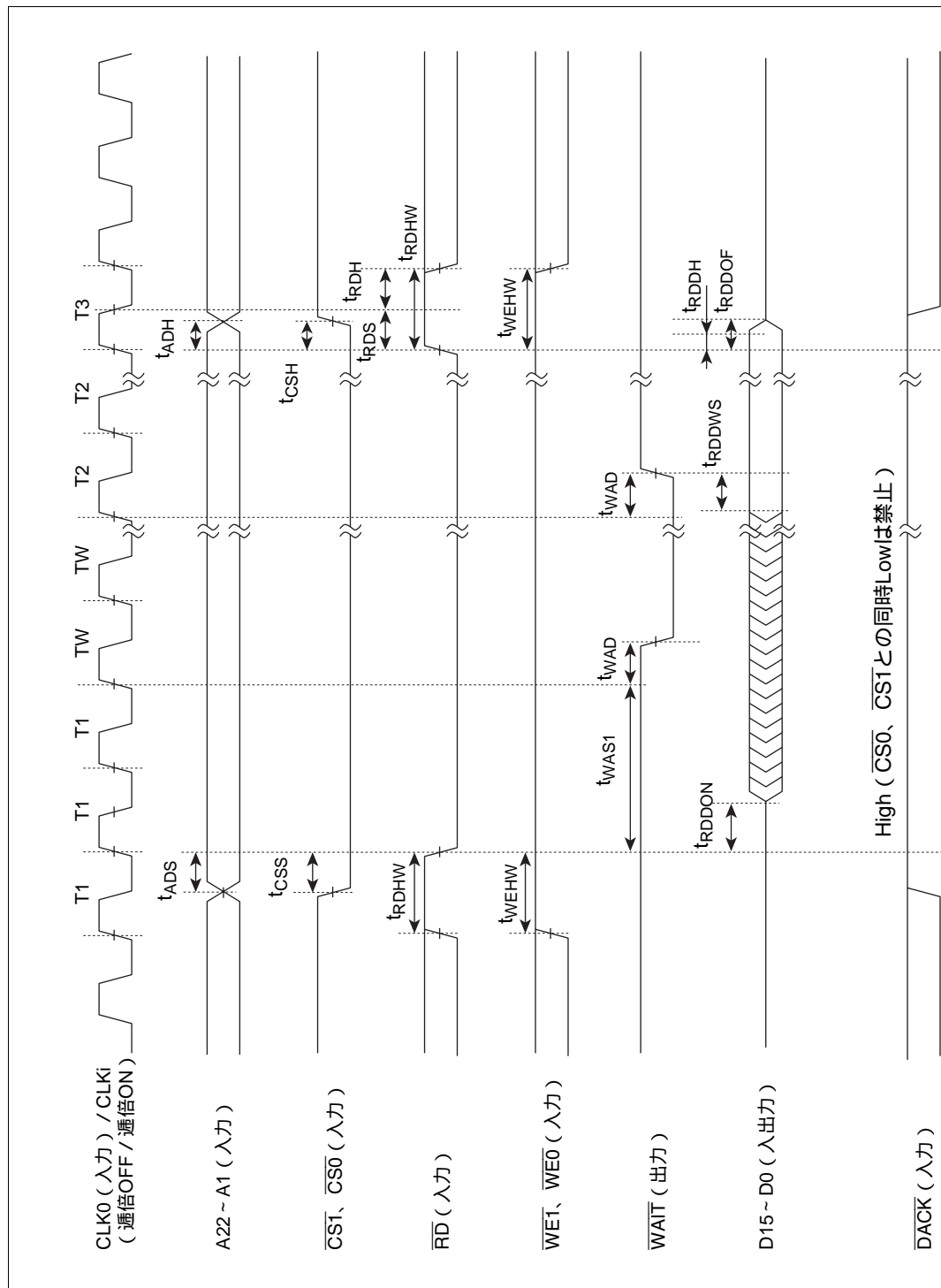


図 7.6 CPU リードサイクルタイミング (CPU Q2) ハードウェアウェイト有り

7.5.4 CPU ライトサイクルタイミング

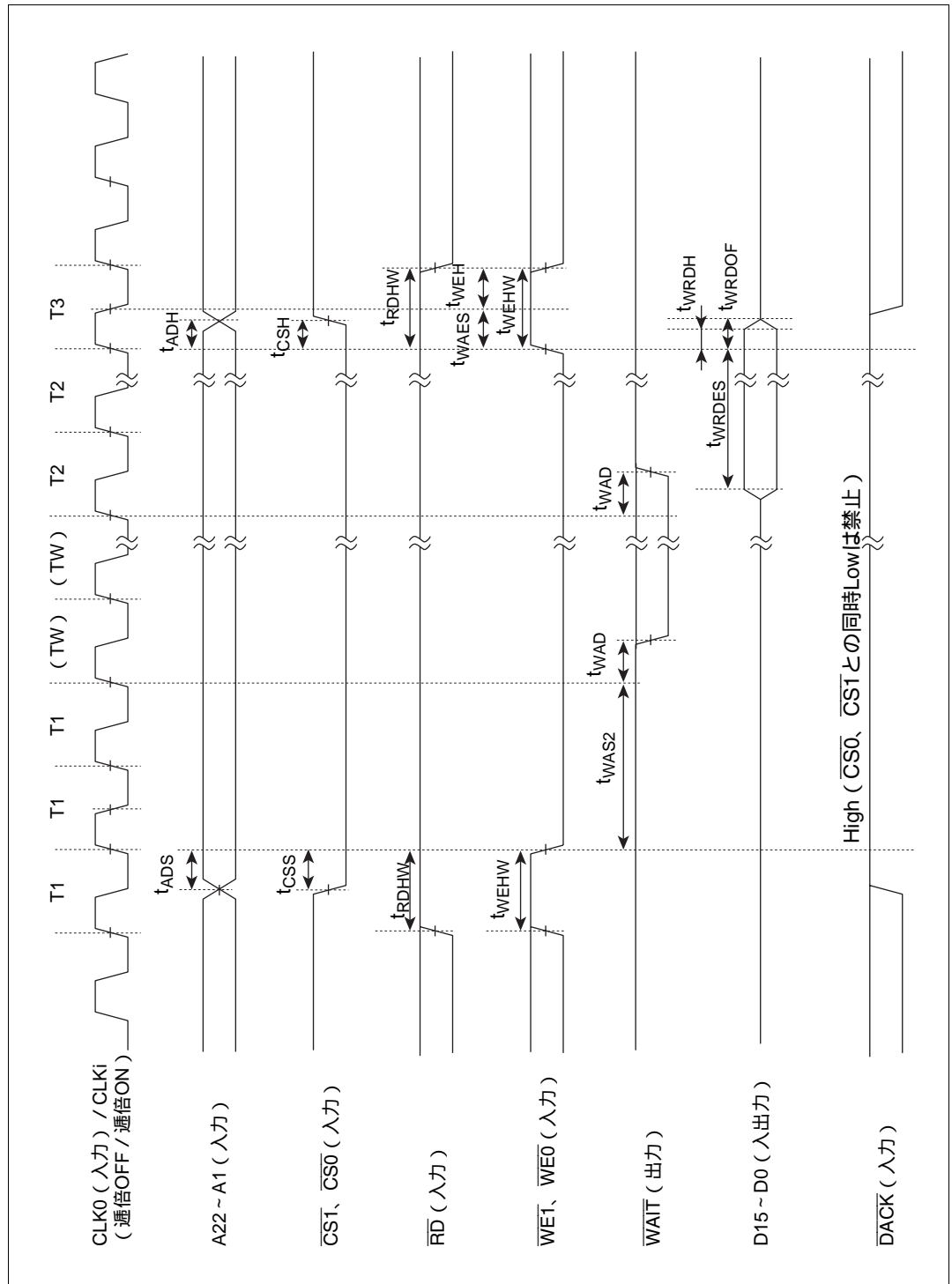


図 7.7 CPU ライトサイクルタイミング (CPU Q2) ハードウェアウェイト有り

## 7.5.5 DMA ライトサイクルタイミング (DMAC Q2)

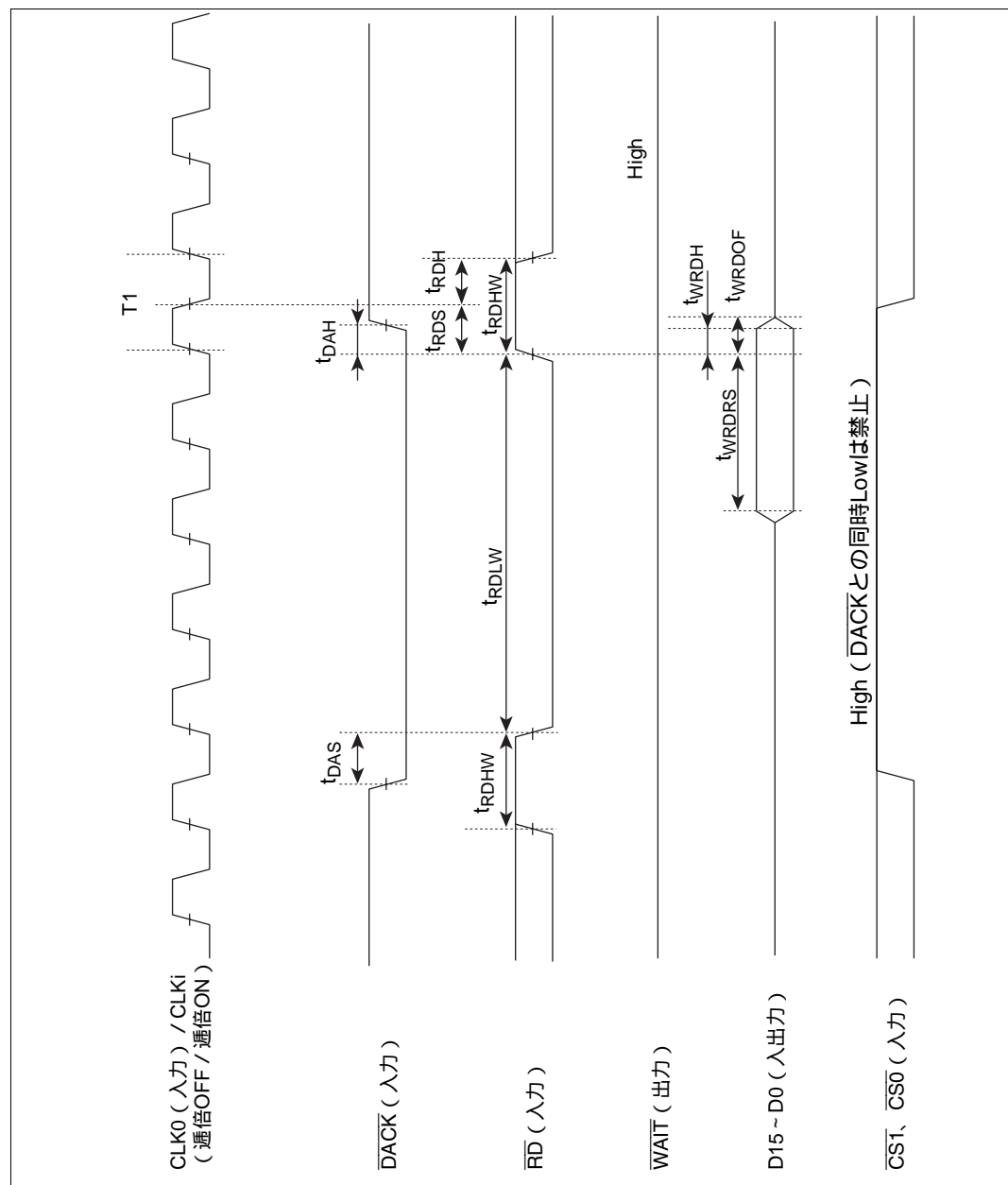


図 7.8 DMA ライトサイクルタイミング (DMAC Q2)

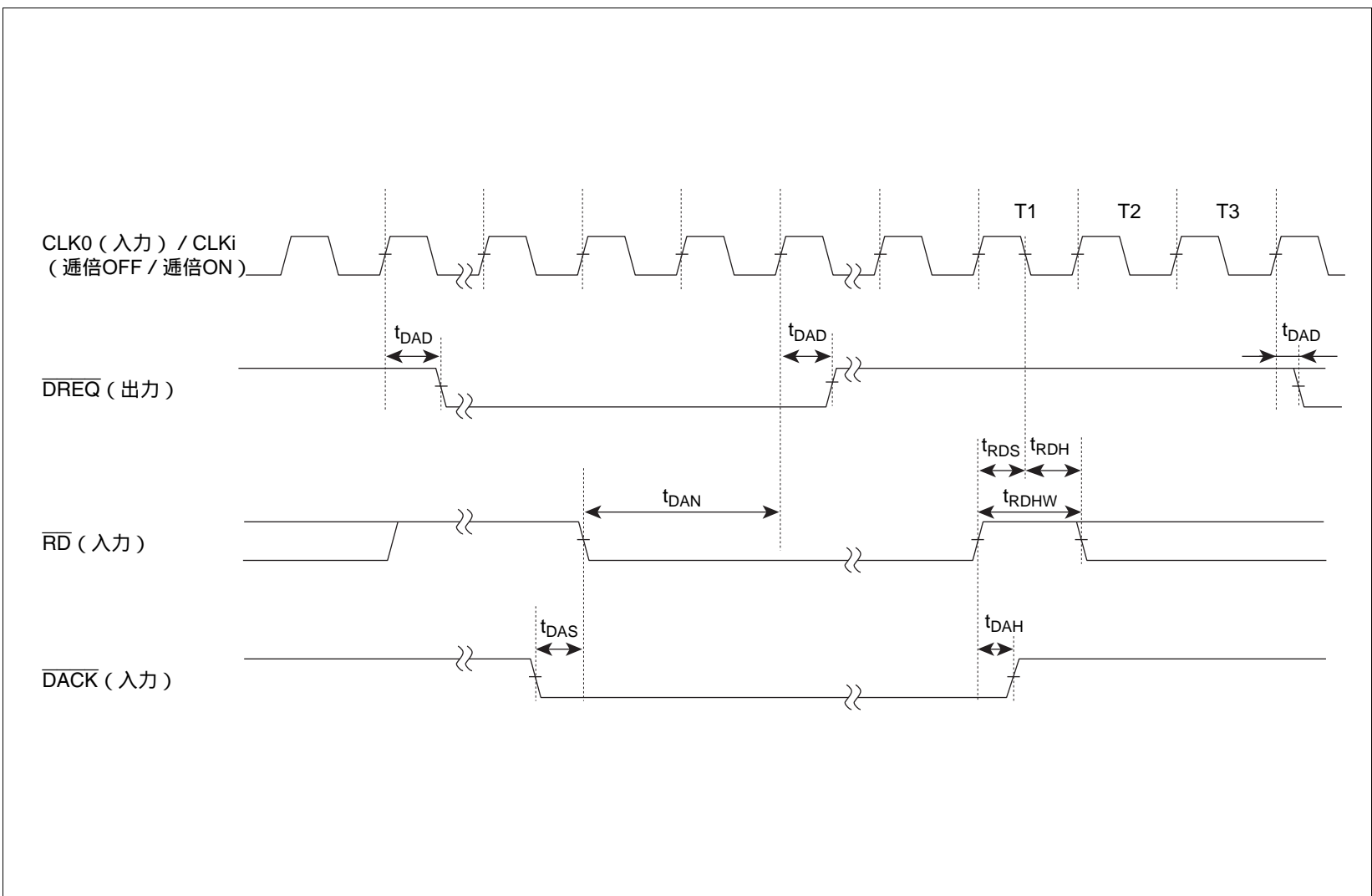


図 7.9 DMA ライトサイクルタイミング (DMAC Q2)

## 7.5.6 割込み出力タイミング

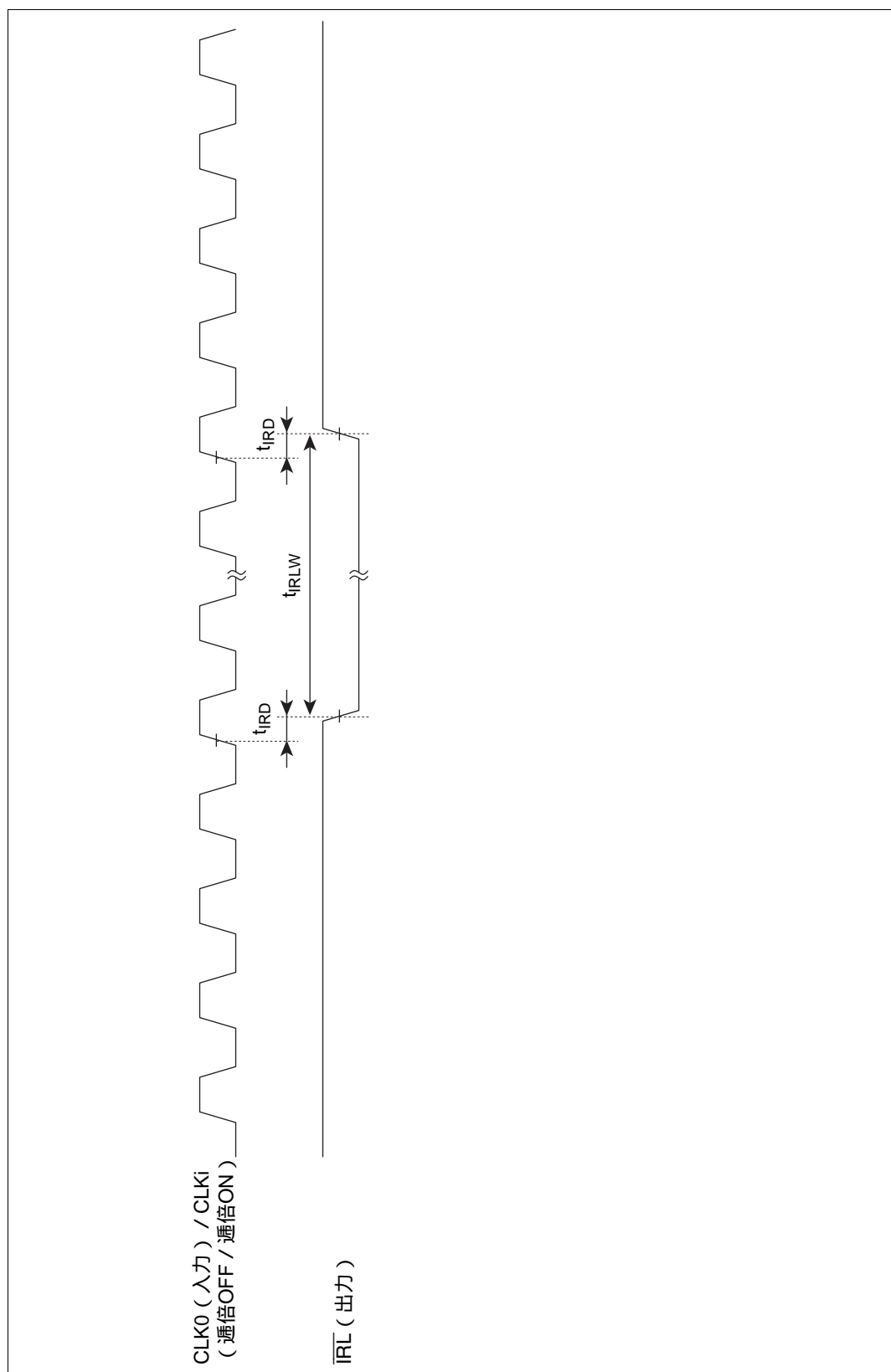


図 7.10 割込み出力タイミング

## 7.5.7 UGM リードサイクルタイミング

## (1) UGM シングルリードサイクルタイミング

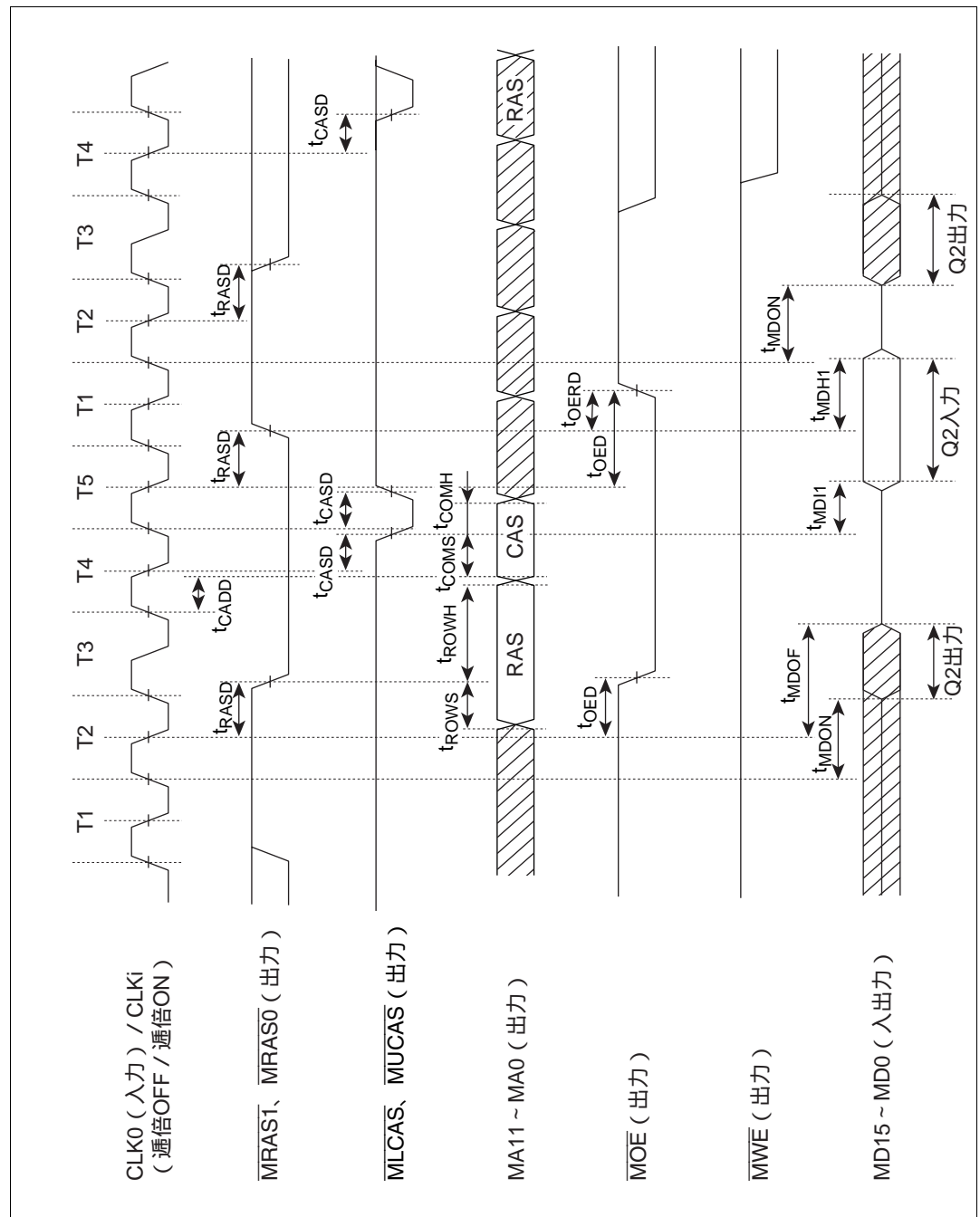


図 7.11 UGM (EDODRAM) シングルリードサイクルタイミング



(2) UGMバーストリードサイクルタイミング

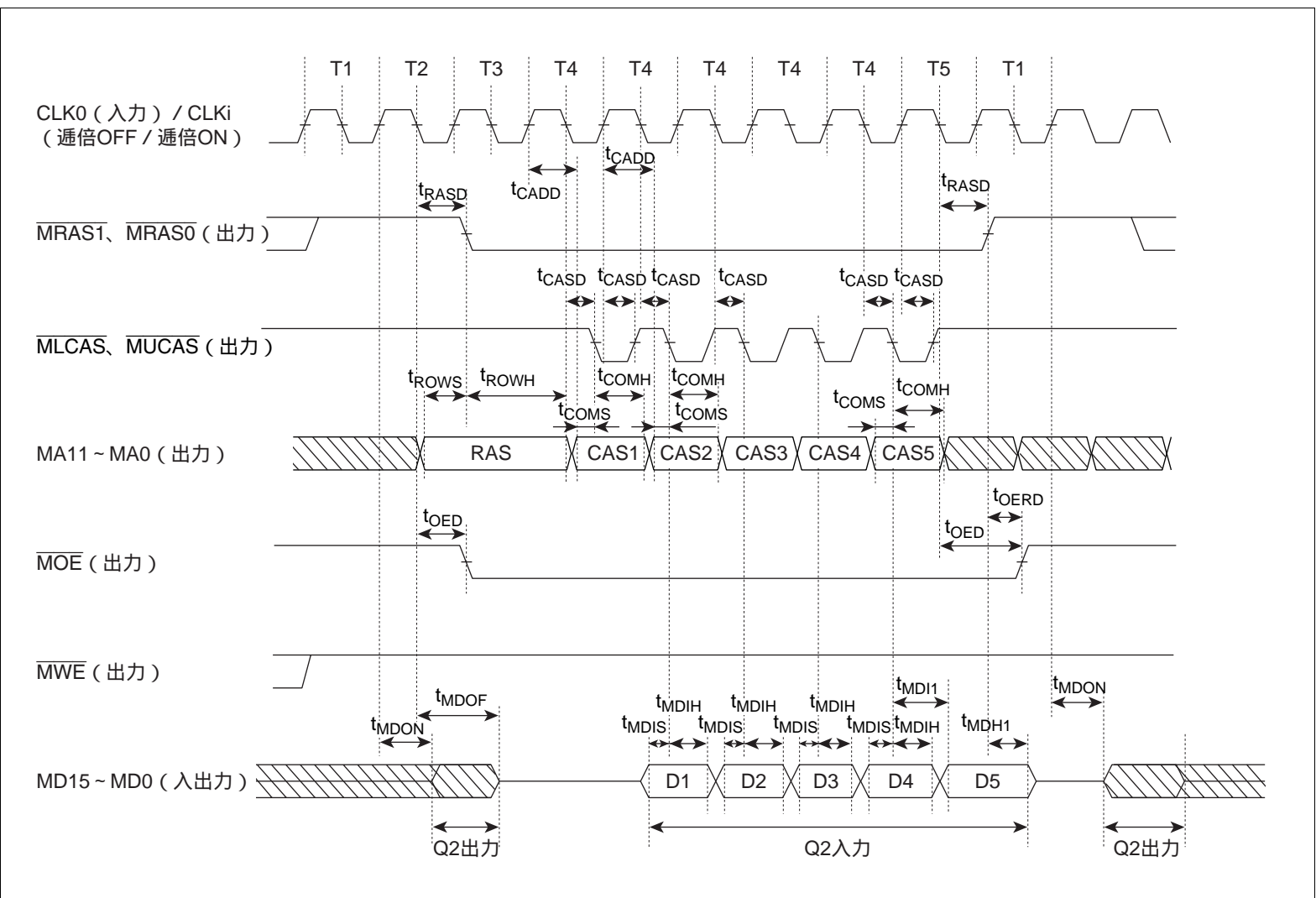


図 7.12 UGM (EDODDRAM) バーストリードサイクルタイミング (バーストリードスラス 5 の場合)

### 7.5.8 UGM ライトサイクルタイミング

#### (1) UGM シングルライトサイクルタイミング

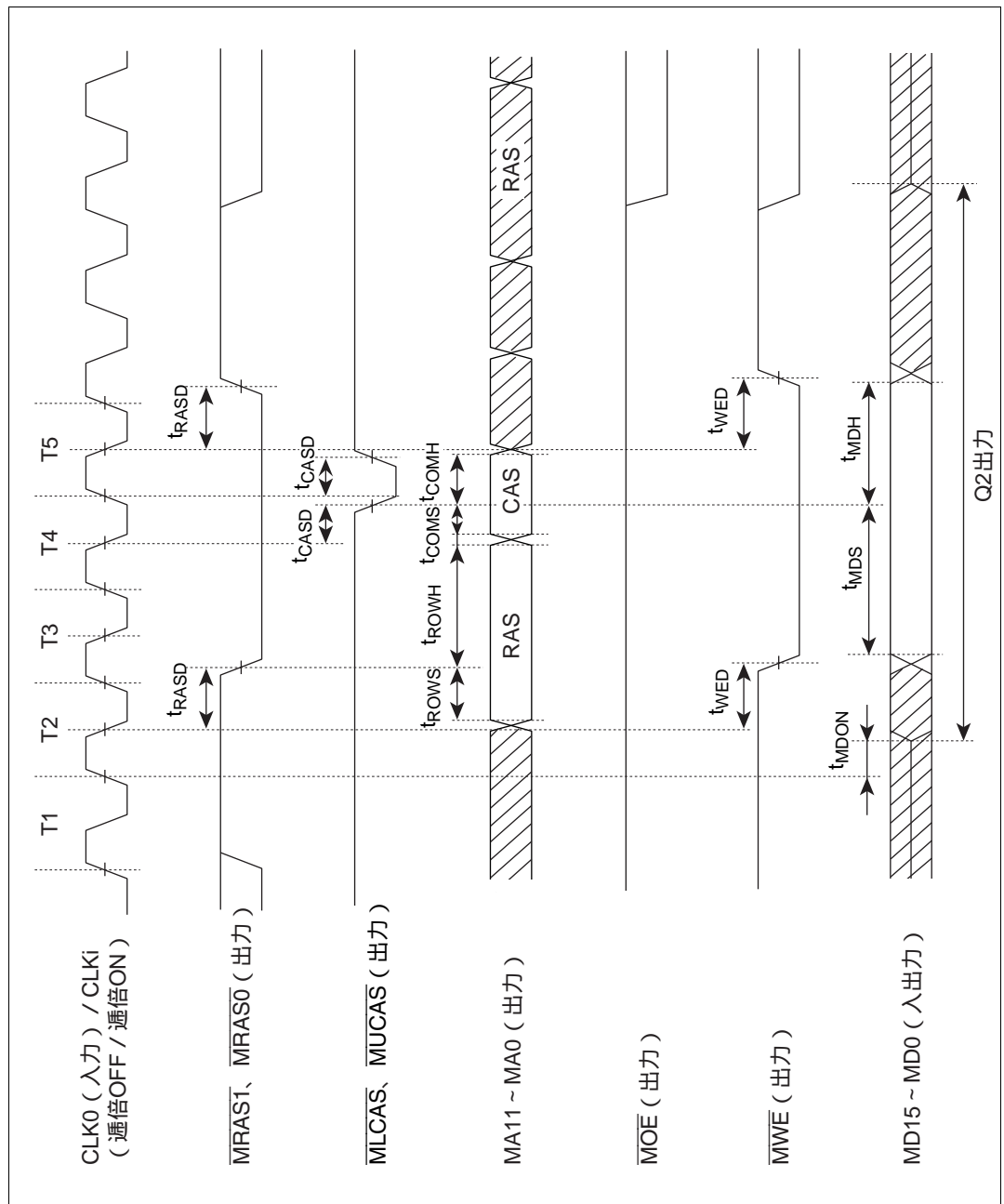


図 7.13 UGM (EDODRAM) シングルライトサイクルタイミング

## (2) UGM バーストライトサイクルタイミング

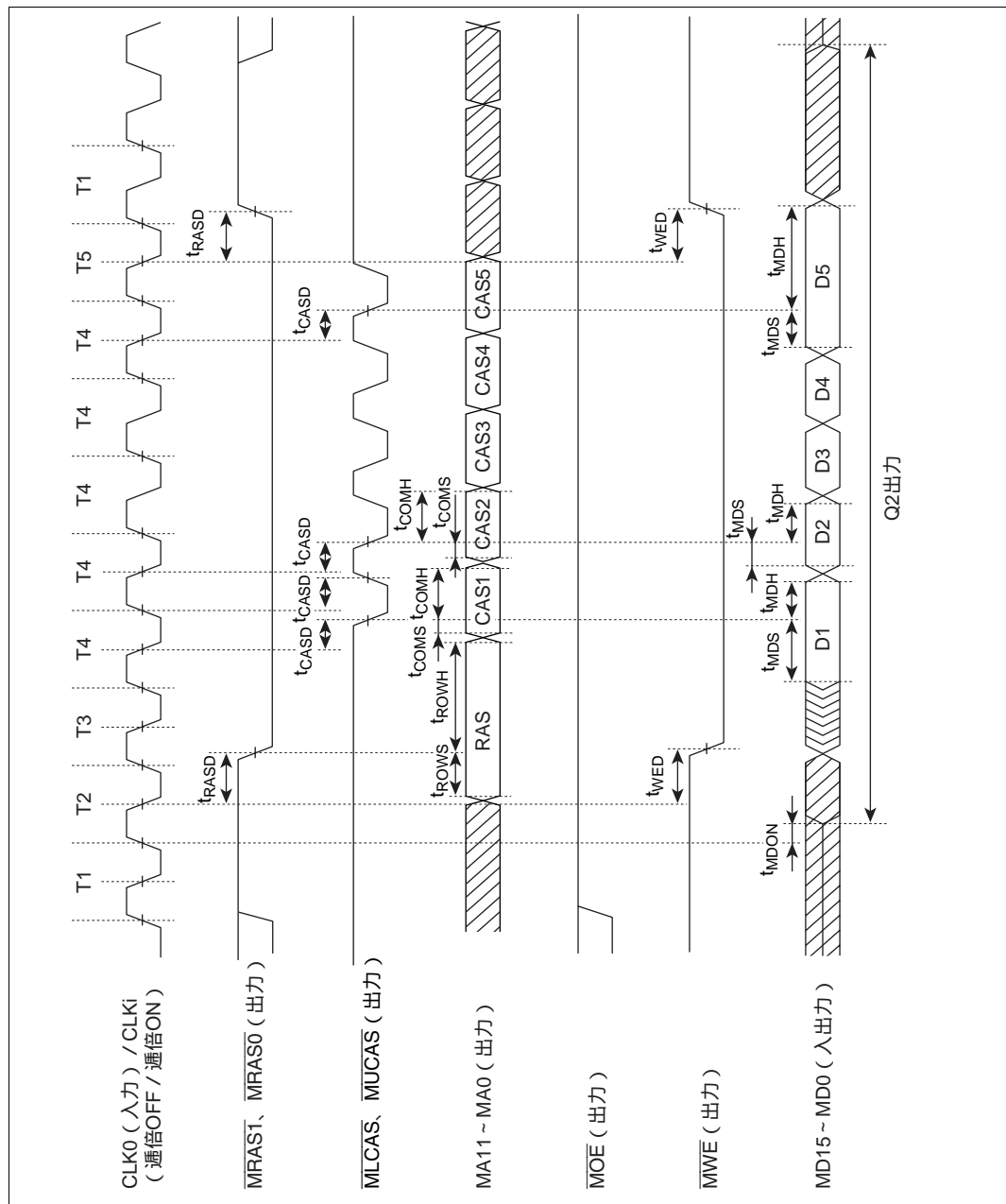


図 7.14 UGM (EDODRAM) バーストライトサイクルタイミング (バーストレングス 5 の場合)

7.5.9 UGM リフレッシュサイクルタイミング

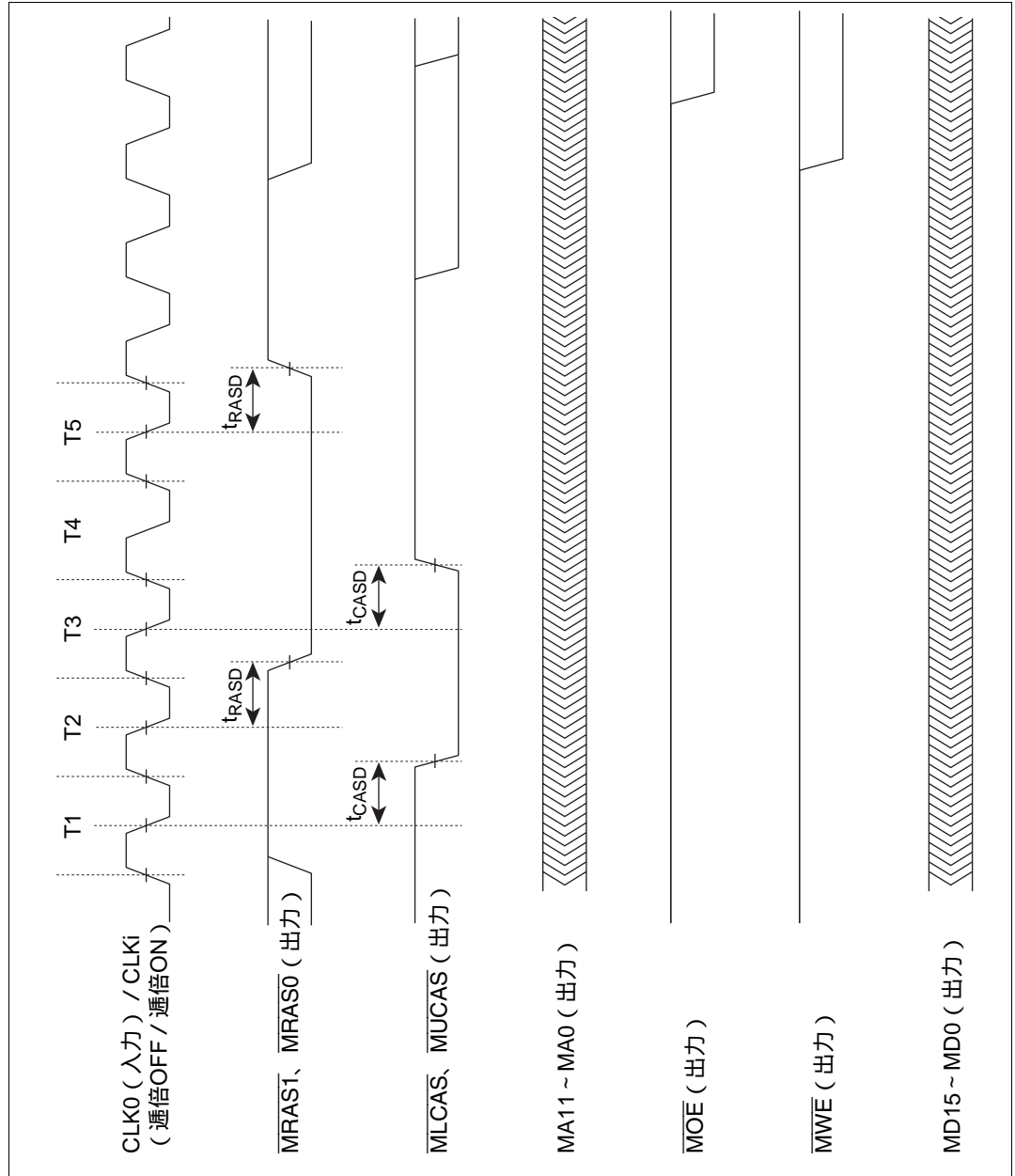


図 7.15 UGM (EDODRAM) リフレッシュサイクルタイミング

## 7.5.10 マスタモード表示タイミング

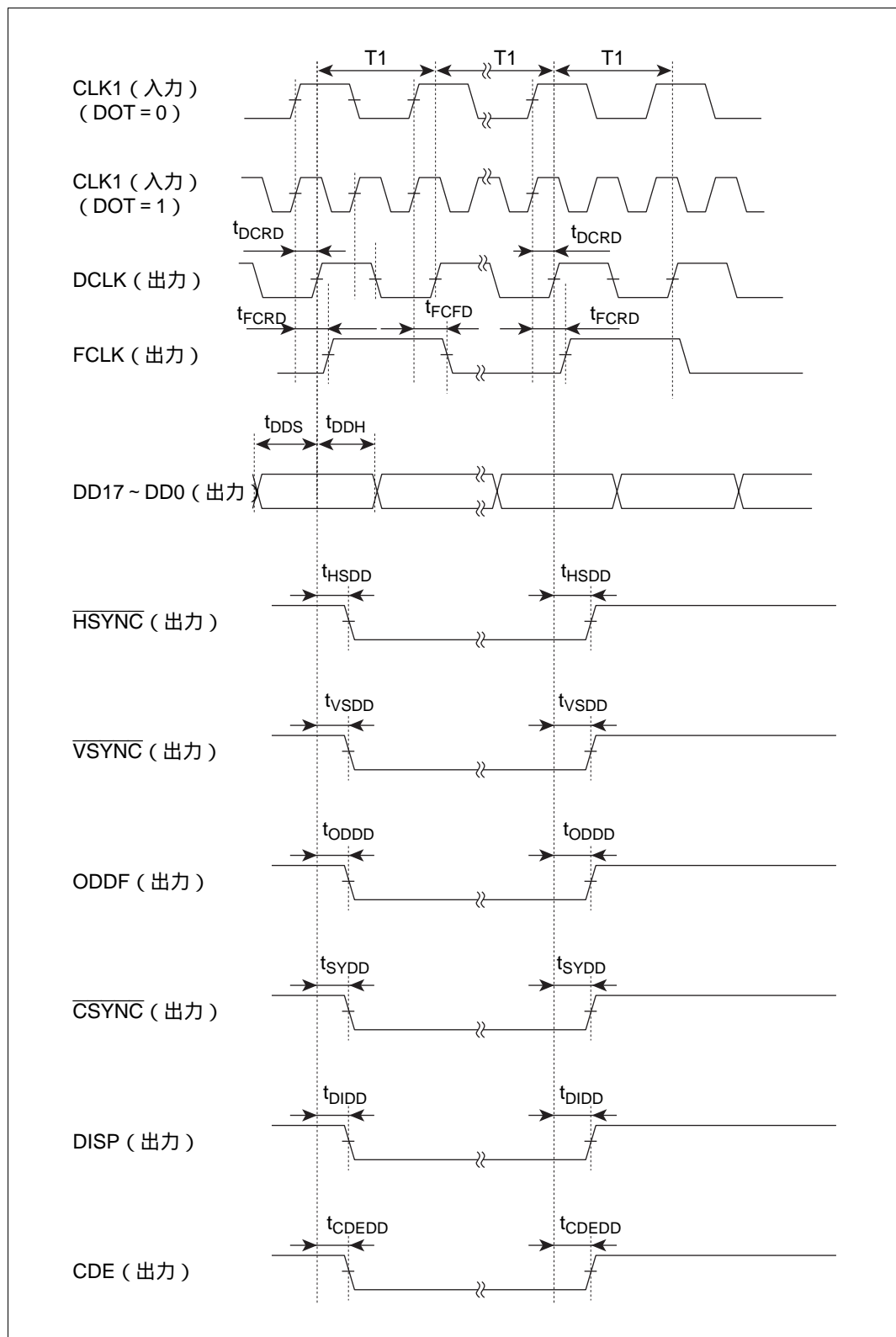


図 7.16 マスタモード表示タイミング

### 7.5.11 TV 同期モード表示タイミング

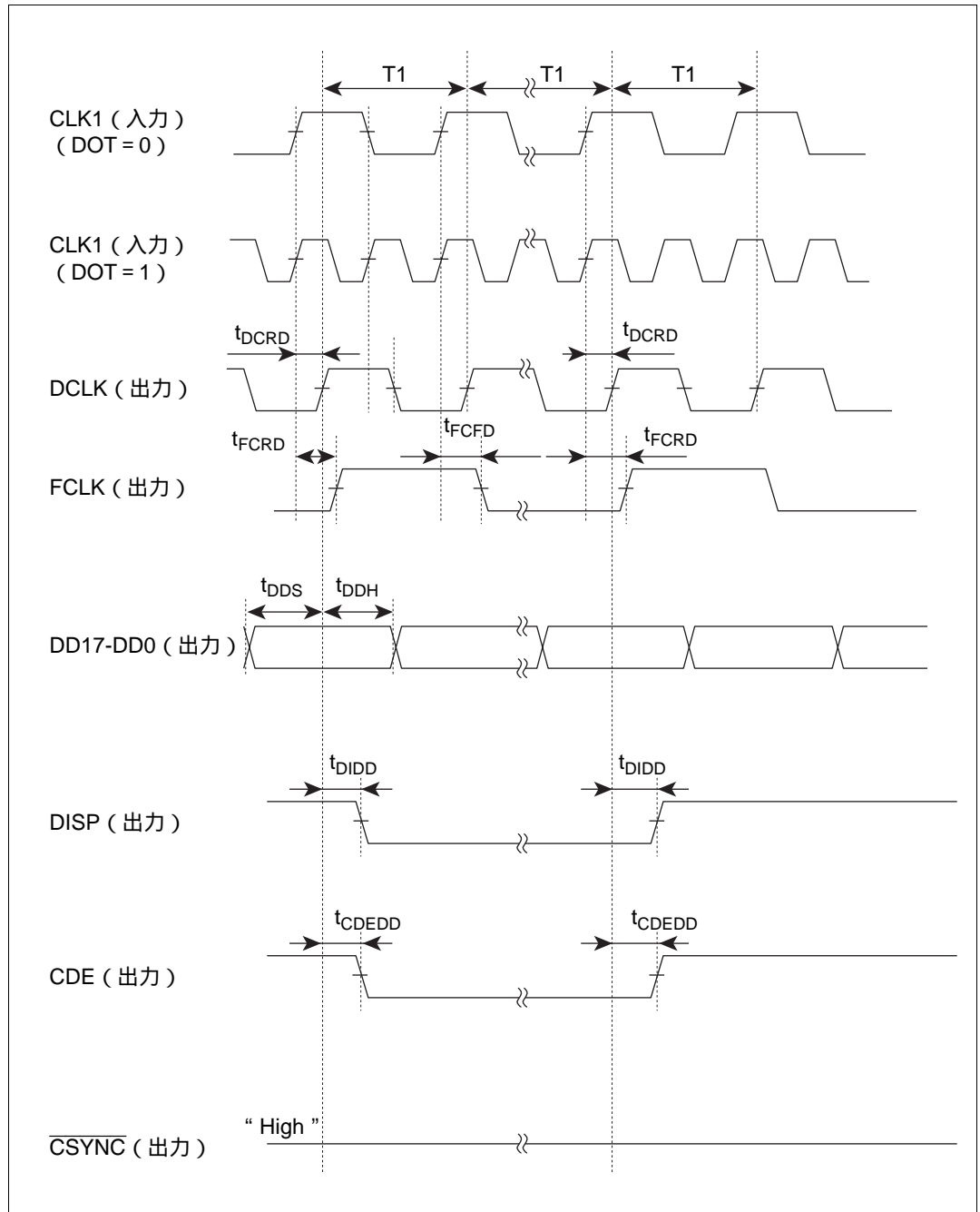
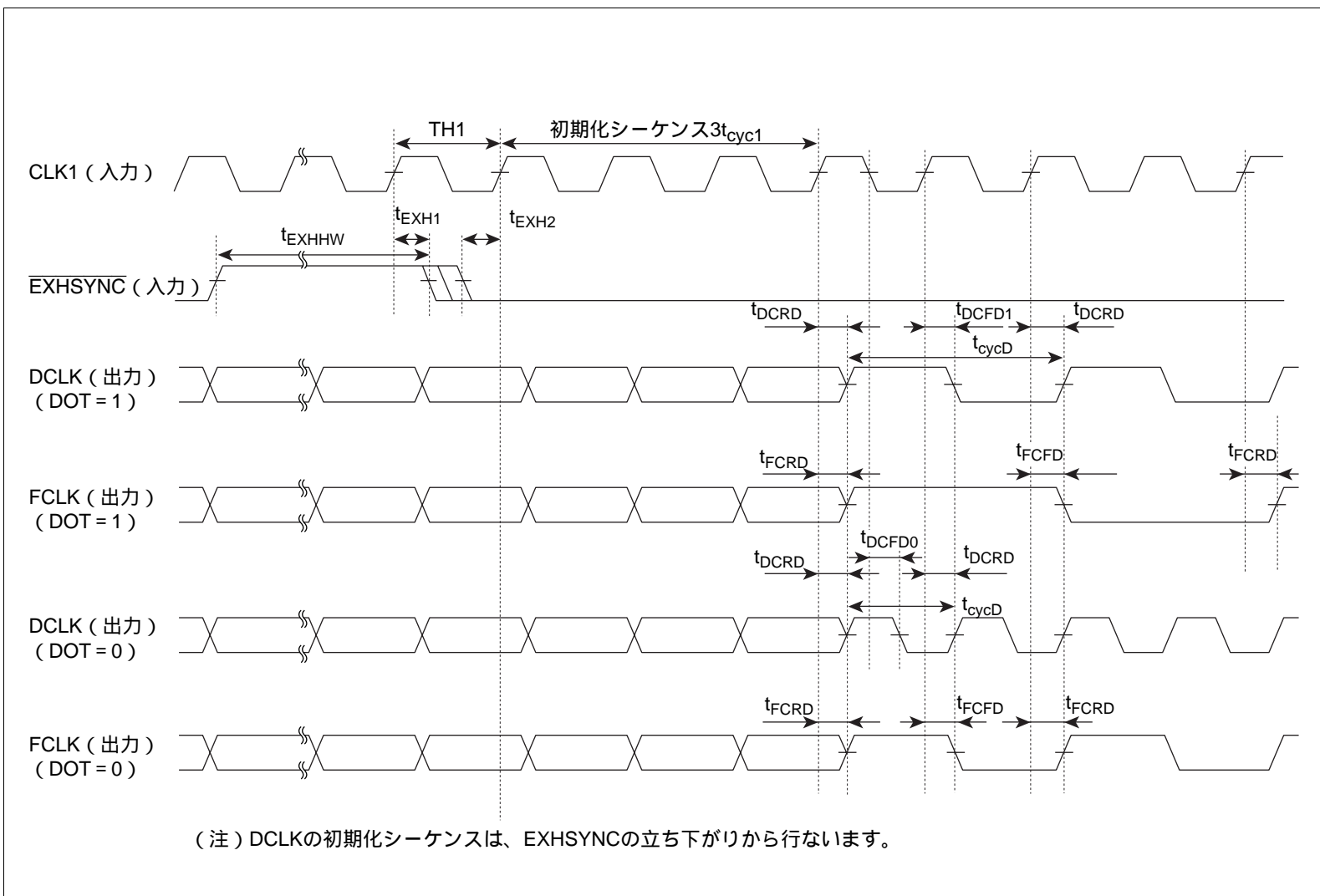


図 7.17 TV 同期モード表示タイミング

図 7.18 TV 同期モード表示タイミング



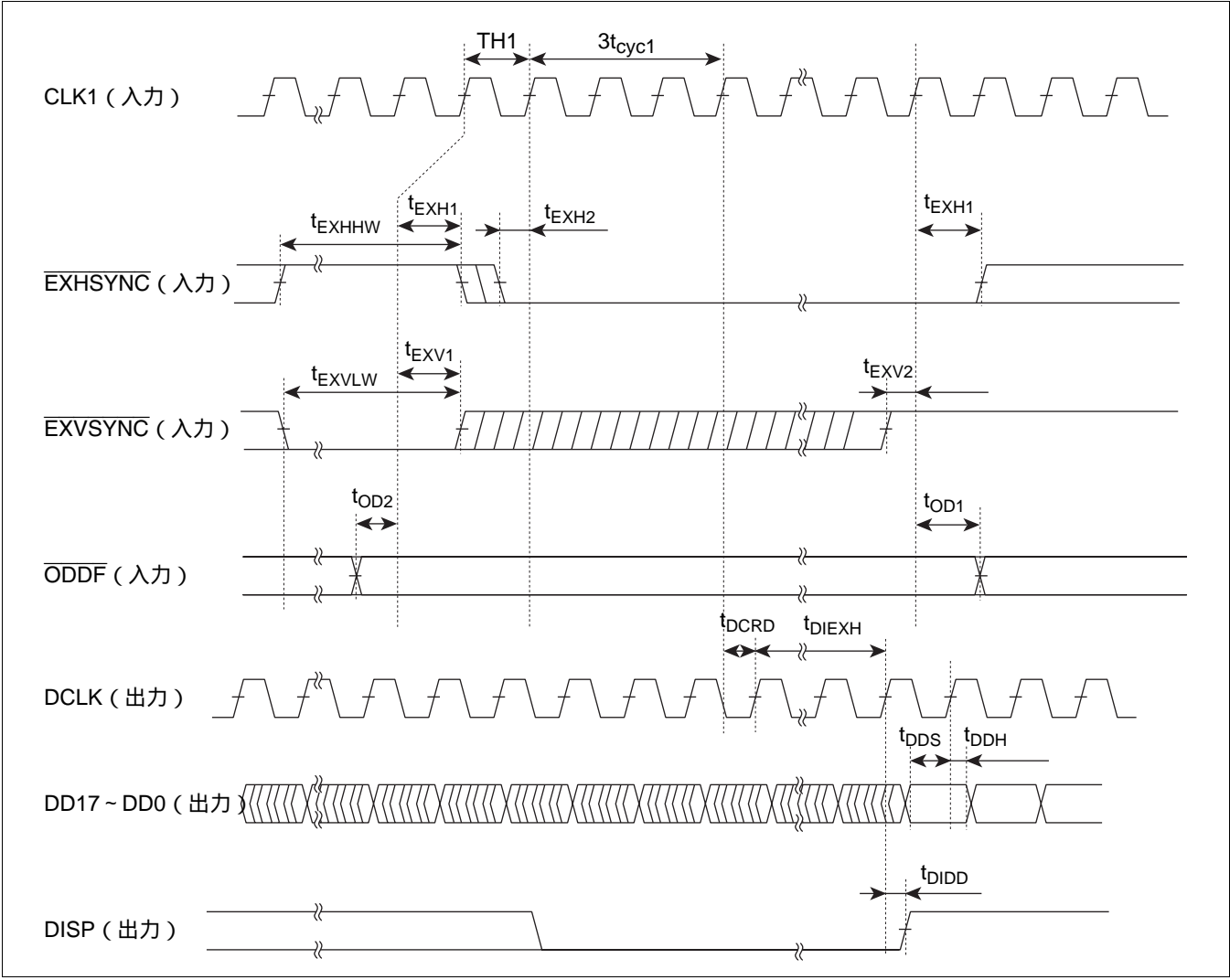


図7.19 TV同期モード表示タイミング  
(DOT = 1 かつ EXHSYNC の周期が CLK1 の周期の奇数倍のとき)



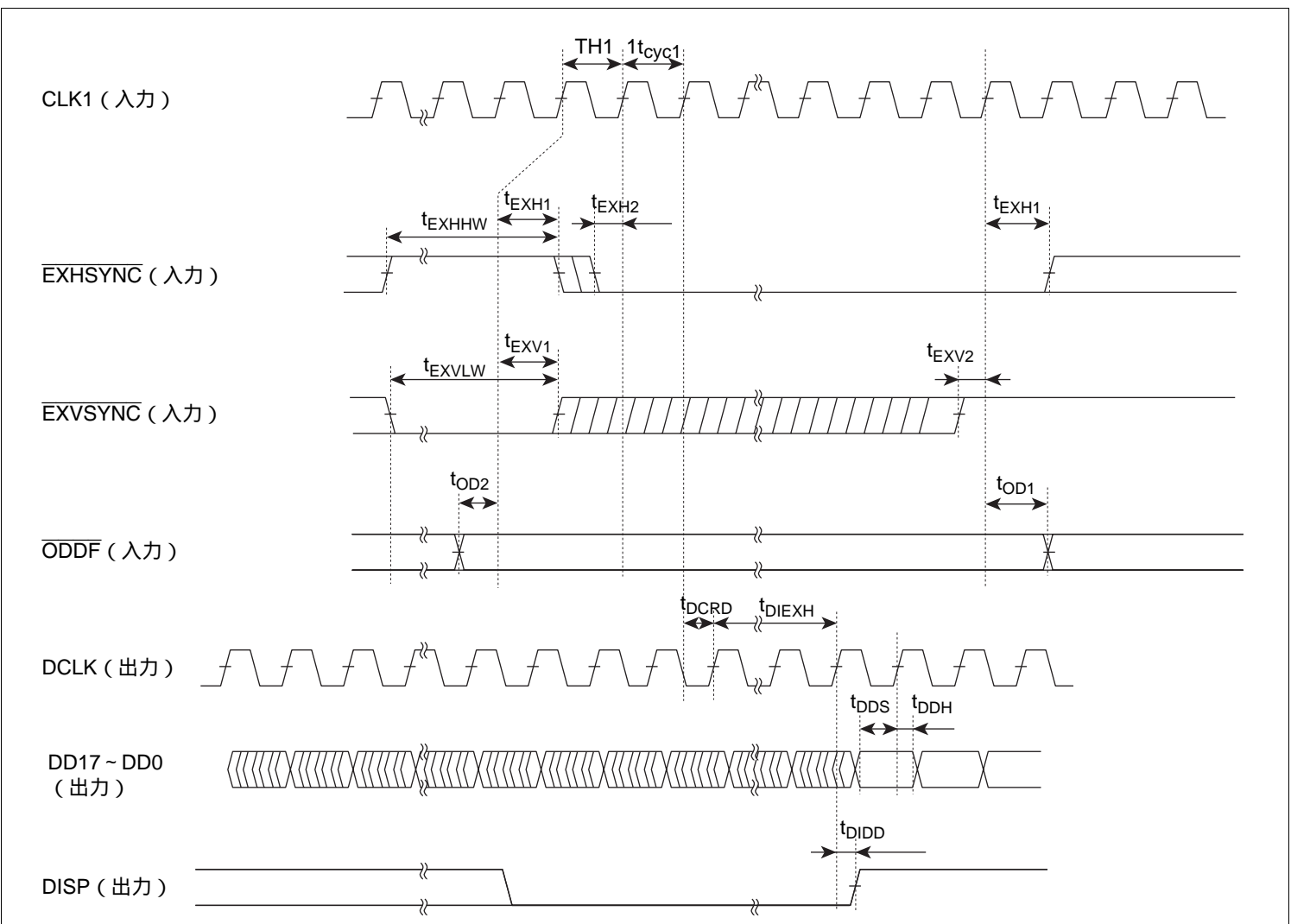


図 7.20 TV 同期モード表示タイミング  
 (DOT = 0 または、DOT = 1 かつ EXHSYNC の周期が CLK1 の周期の偶数倍  
 のとき)

---

# 付録

---

## 付録 目 次

A.	レジスター一覧.....	221
B.	描画コマンドとパラメータ.....	223
	B.1    描画コマンドとレンダリング属性の関係.....	223
	B.2    描画コマンドのコマンドコード.....	224
	B.3    描画コマンドのパラメータ仕様.....	225
C.	描画アルゴリズム.....	231
D.	パッケージ外形寸法図.....	233





(5) 入力データ制御レジスタ

レジスタアドレス		R/W	レジスタ名	略称	データ															
CS1	A[10:1]				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	021	R/W	画像データ転送 開始アドレス	H																
	022	R/W		L																
0	023	R/W	画像データ サイズ	X																
	024	R/W		Y																
	025	W	画像データエントリ	IDER																

(6) リザーブ

	026-0FF				Reserved															
--	---------	--	--	--	----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

(7) カラーパレット

レジスタアドレス	R/W	カラーパレット	略称	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
100	R/W	000H	CP000R																
101	R/W	000L																	
102	R/W	001H																	
103	R/W	001L																	
104	R/W	002H																	
105	R/W	002L																	
0																			
2FE	R/W	255H	CP255R																
2FF	R/W	255L																	

## B. 描画コマンドとパラメータ

### B.1 描画コマンドとレンダリング属性の関係

表 B.1 描画コマンドとレンダリング属性の関係表

コマンド	参照データ				描画先		レンダリング属性						
	多 値 ソ ー ス	2 値 ソ ー ス	2 値 ワ ー ク	指 定 カ ラ ー	レ ン ダ リ ン グ	ワ ク	T R N S	S T Y L	C L I P	N E T	E O S	H A L F	W O R K
POLYGON4A		x		x		x						x	
POLYGON4B	x			x		x							
POLYGON4C	x	x				x	x	x				x	
LINE	x	x	x			x	x	x				x	x
RLINE	x	x	x			x	x	x				x	x
PLINE	x		x	x		x		1 固定				x	1 固定
RPLINE	x		x	x		x		1 固定				x	1 固定
FTRAP	x	x	x	x	x		x	x		x	x	x	x
RFTRAP	x	x	x	x	x		x	x		x	x	x	x
CLRW	x	x	x	x	x		x	x		x	x	x	x
LINEW	x	x	x		x		x	x		x		x	x
RLINEW	x	x	x		x		x	x		x		x	x
MOVE	x	x	x	x	x	x	x	x	x	x	x	x	x
RMOVE	x	x	x	x	x	x	x	x	x	x	x	x	x
LCOFS	x	x	x	x	x	x	x	x	x	x	x	x	x
RLCOFS	x	x	x	x	x	x	x	x	x	x	x	x	x
UCLIP	x	x	x	x	x	x	x	x	x	x	x	x	x
SCLIP	x	x	x	x	x	x	x	x	x	x	x	x	x
JUMP	x	x	x	x	x	x	x	x	x	x	x	x	x
GOSUB	x	x	x	x	x	x	x	x	x	x	x	x	x
RET	x	x	x	x	x	x	x	x	x	x	x	x	x
NOP3	x	x	x	x	x	x	x	x	x	x	x	x	x
TRAP	x	x	x	x	x	x	x	x	x	x	x	x	x

: 可                   : 可 (EOS 参照: 指定カラーは 2 値の EOS ビットの値になる。)

: モードにより参照 (WORK = 1 のとき有効)       x: 不可 (0 を設定してください。)

: 同時指定不可

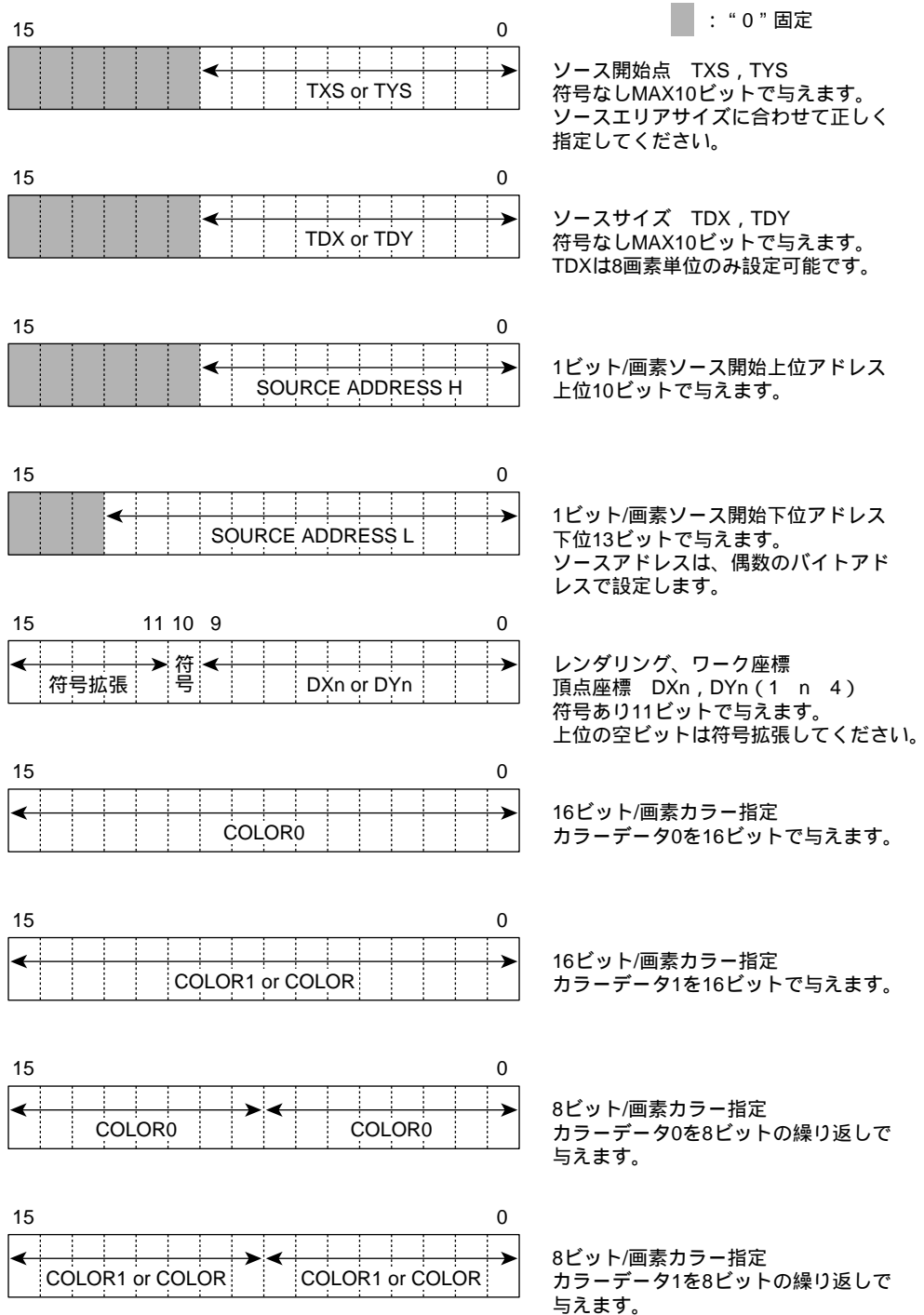
## B.2 描画コマンドのコマンドコード

表B.2 描画コマンドのコマンドコード表

CODE					COMMAND
0	0	0	0	0	POLYGON4A
0	0	0	0	1	POLYGON4B
0	0	0	1	0	POLYGON4C
0	1	0	0	0	FTRAP
0	1	0	0	1	RFTRAP
0	1	0	1	0	LINEW
0	1	0	1	1	RLINEW
0	1	1	0	0	LINE
0	1	1	0	1	RLINE
0	1	1	1	0	PLINE
0	1	1	1	1	RPLINE
1	0	0	0	0	MOVE
1	0	0	0	1	RMOVE
1	0	0	1	0	LCOFS
1	0	0	1	1	RLCOFS
1	0	1	0	0	CLRW
1	0	1	0	1	UCLIP
1	0	1	1	1	SCLIP
1	1	0	0	0	JUMP
1	1	0	0	1	GOSUB
1	1	0	1	1	RET
1	1	1	1	1	TRAP
1	1	1	1	0	NOP3

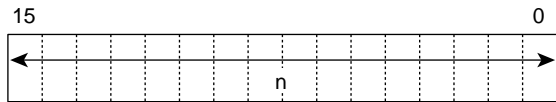
## B.3 描画コマンドのパラメータ仕様

## (1) POLYGON4 系

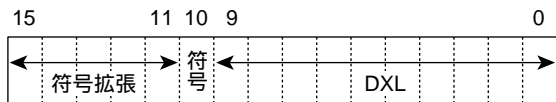




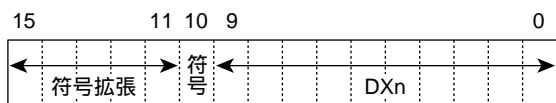
(2) FTRAP、RFTRAP



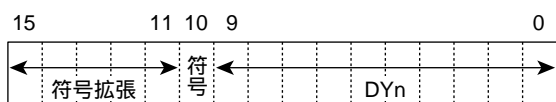
頂点数 (2 n 65535) 絶対  
(1 n 65535) 相対  
符号なし16ビットで与えます。



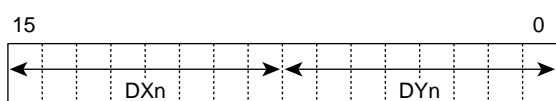
左側辺座標 DXL  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。



絶対座標  
頂点座標 DXn (2 n 65535)  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

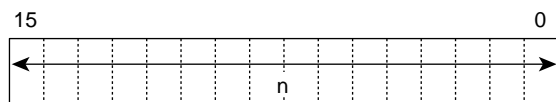


絶対座標  
頂点座標 DYn (2 n 65535)  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

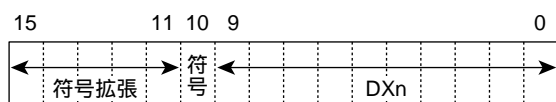


相対座標  
頂点座標 DXn, DYn (1 n 65535)  
符号あり8ビットで与えます。

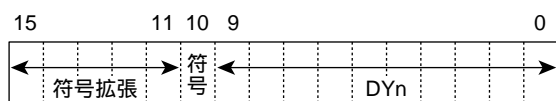
(3) LINEW、RLINEW



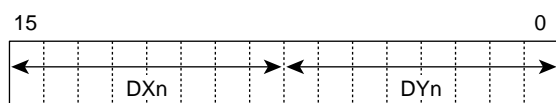
頂点数 (2 n 65535) 絶対  
(1 n 65535) 相対  
符号なし16ビットで与えます。



絶対座標  
頂点座標 DXn (2 n 65535)  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

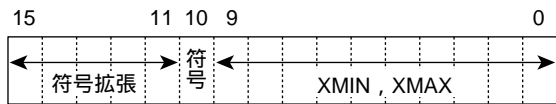


絶対座標  
頂点座標 DYn (2 n 65535)  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

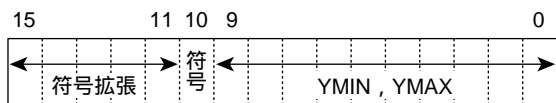


相対座標  
頂点座標 DXn, DYn (1 n 65535)  
符号あり8ビットで与えます。

## (4) CLRW

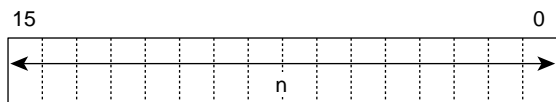


左右X座標 XMIN, XMAX  
符号あり11ビットで与えます。

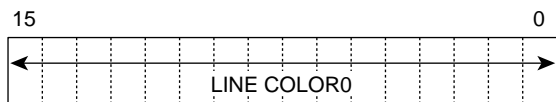


上下Y座標 YMIN, YMAX  
符号あり11ビットで与えます。

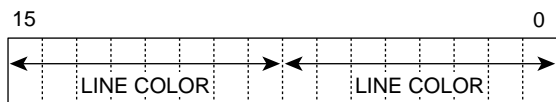
## (5) LINE、RLINE



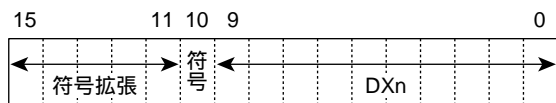
頂点数 (2 n 65535) 絶対  
(1 n 65535) 相対  
符号なし16ビットで与えます。



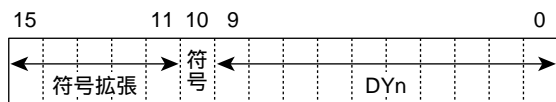
16bit/pixelカラー指定  
カラーデータを16ビットで与えます。



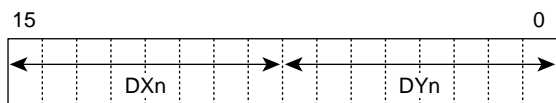
8bit/pixelカラー指定  
カラーデータを8ビットの繰り返しで  
与えます。



絶対座標  
頂点座標 DXn (2 n 65535)  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

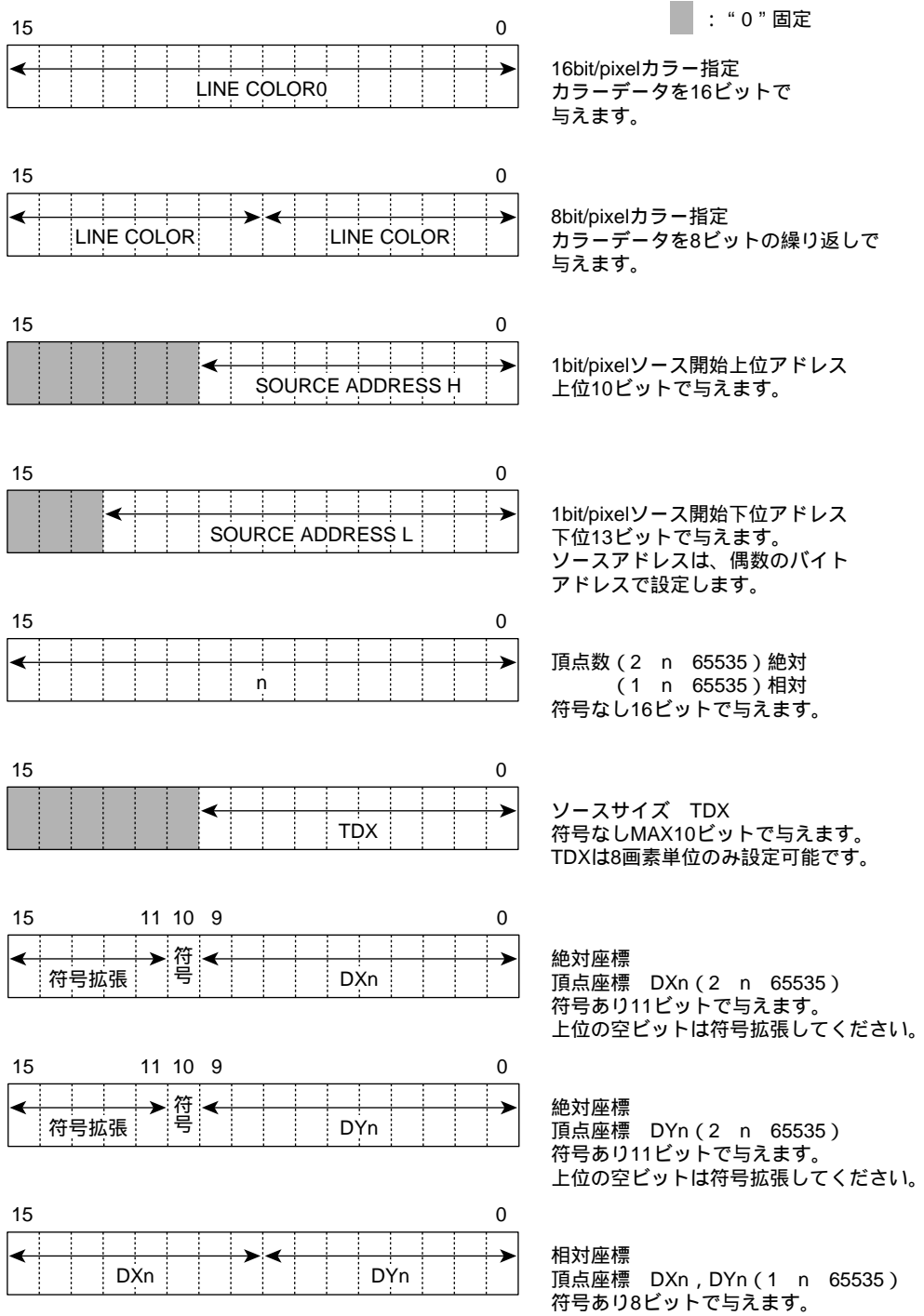


絶対座標  
頂点座標 DYn (2 n 65535)  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

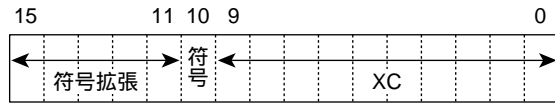


相対座標  
頂点座標 DXn, DYn (1 n 65535)  
符号あり8ビットで与えます。

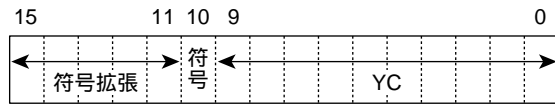
(6) PLINE、RPLINE



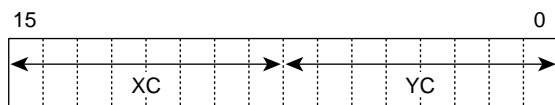
(7) MOVE、RMOVE



絶対座標  
頂点座標 XC  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

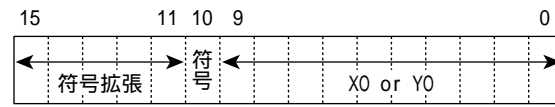


絶対座標  
頂点座標 YC  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。

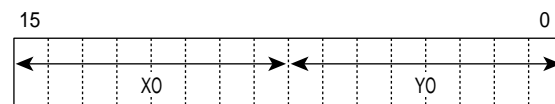


相対座標  
頂点座標 XC, YC  
符号あり8ビットで与えます。

(8) LCOFS、RLCOFS



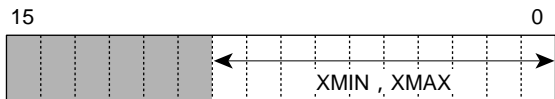
相対指定  
ローカルオフセット値 X0, Y0  
符号あり11ビットで与えます。  
上位の空ビットは符号拡張してください。



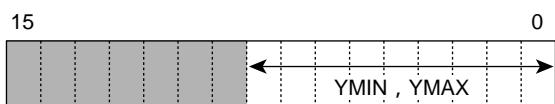
相対指定  
ローカルオフセット値 X0, Y0  
符号あり8ビットで与えます。

(9) UCLIP、SCLIP

■ : "0" 固定



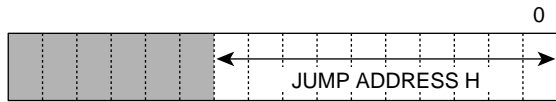
左右X座標 XMIN, XMAX  
符号なし10ビットで与えます。



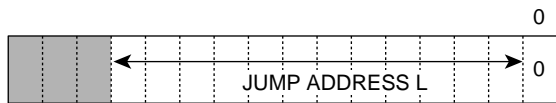
上下Y座標 YMIN, YMAX  
符号なし9ビットで与えます。

(10) JUMP

■ : “0” 固定



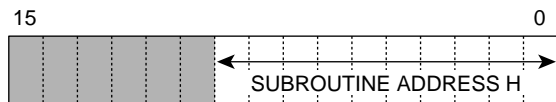
ジャンプ先上位アドレス  
上位10ビットで与えます。



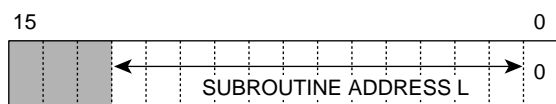
ジャンプ先下位アドレス  
下位13ビットで与えます。  
ジャンプ先のアドレスは、ワード  
アドレスで設定します。

(11) GOSUB

■ : “0” 固定



サブルーチン上位アドレス  
上位10ビットで与えます。



サブルーチン下位アドレス  
下位13ビットで与えます。  
サブルーチン先のアドレスは、ワード  
アドレスで設定します。

## C. 描画アルゴリズム

### (1) 直線描画アルゴリズム

#### a. 8点法描画と4点法描画

ビットマップディスプレイに直線をプロットした例を図 C.1 (a)、(b) に示します。図中の  $\circ$  が画素にあたります。ビットマップディスプレイの性質上、実際の直線とは若干異なる軌跡に画素をならべて直線を描いています。図 C.1 (a)、(b) では、同一の直線を描いているのですが、アルゴリズムが異なるために画素の配置が異なります。両図とも直線は図の左下から開始し、右上に向かって1点ずつ描画しています。図 C.1 (a) の方法では、次に描画する点は現在の点に対して右または右斜め上になります。一方、図 C.1 (b) の方法では、右または上になります。

ここでは、便宜上、図 C.1 (a) の方法を8点法描画、図 C.1 (b) の方法を4点法描画と呼ぶことにします。

図 C.2 では、8点法描画と4点法描画の違いをやさしく図解しています。4点法描画では、次の描画のために移動できる方向を、上下左右の4点に限定しているのに対し(図 C.2 (b))、8点法描画では、上下左右に加えて斜め方向も可能にしています(図 C.2 (a))。

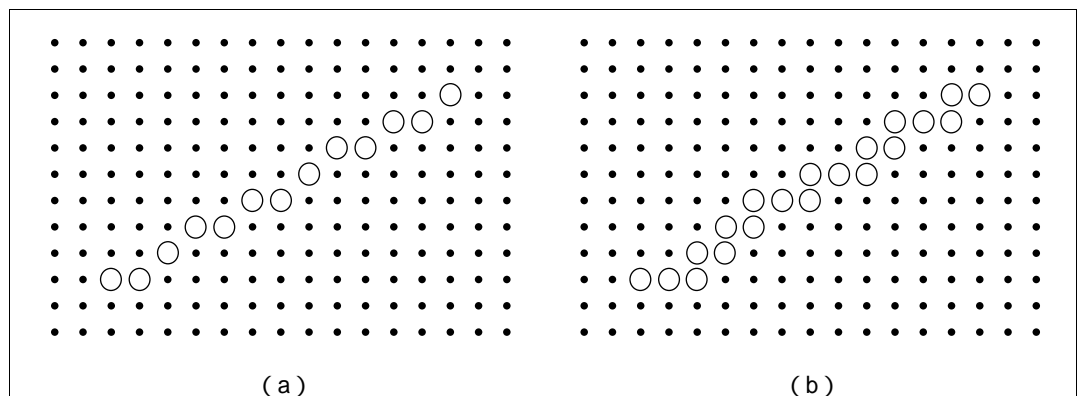


図 C.1 ラスタディスプレイ上での直線の2つの表現

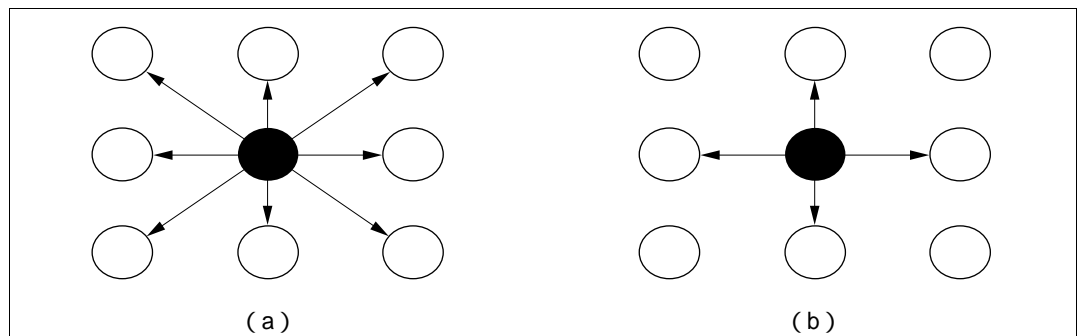


図 C.2 (a) 8点法と (b) 4点法の比較

つぎに、図 C.3 (a) を用いて、8 点法描画の直線近似について説明します。画素 A を描いた次には、画素 B または画素 C が選択されますが、この際の選択基準は、実際の直線からの距離の近さになります。4 点法描画でもこの考え方は同じです。(図 C.3 (b))

8 点法描画と 4 点法描画とを比べた場合、8 点法描画の方が若干実際に近い近似が行えますが、アルゴリズムが複雑になる分、処理に時間を要します。

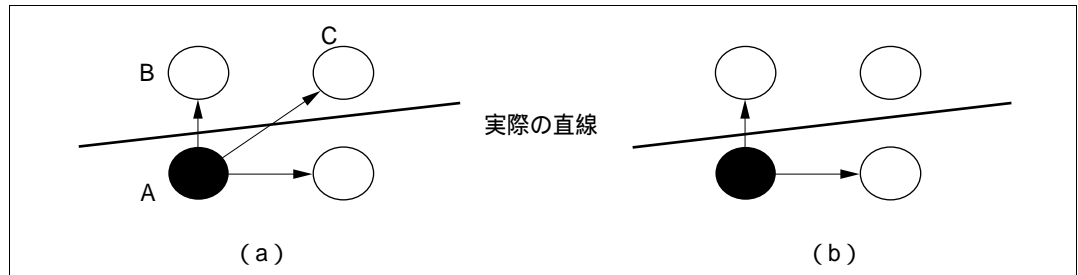


図 C.3 (a) 8 点法描画と (b) 4 点法描画の描画点決定プロセスの比較

なお、描画アルゴリズムに関心のある方は、以下に示す文献をご覧ください。

1. Jerry van Aken: Curve-Drawing Algorithms for Raster Display , ACM Trans. Graph. Vol.4, No.2 - (April, 1985), 147-169.
2. J.E.Bresenham: Algorithm for Computer Control of a Digital Plotter , IBM Syst. J. Vol.4, No.1 (1965), 25-30
3. J.E.Bresenham: A Liner Algorithm for Incremental Digital Display of Digital Arcs , Commum. ACM. Vol.20, No.2 (February 1977), 100-106
4. P.E.Danielsson Incremental Curve Generation , IEEE Trans. Comput. Vol.C-19 (September 1970), 783-793
5. W.J.Jr.Bernard: An Improved Algorithm for the Generation of Nonparametric Curves , IEEE Trans. Comput. Vol. C-22, No.12 (December 1973), 1052-1060
6. Jerry van Aken: An Efficient Ellipse - Drawing Algorithm , IEEE Comput. Graph & Appl. Vol.4, No.9 (September 1984), 24-35
7. Y. Suenaga: A High-Speed Algorithm for the Generation of Straight Lines and Circular Arcs , IEEE Trans. Comput. Vol. C-28, No.10 (October 1979), 728-736

## D. パッケージ外形寸法図

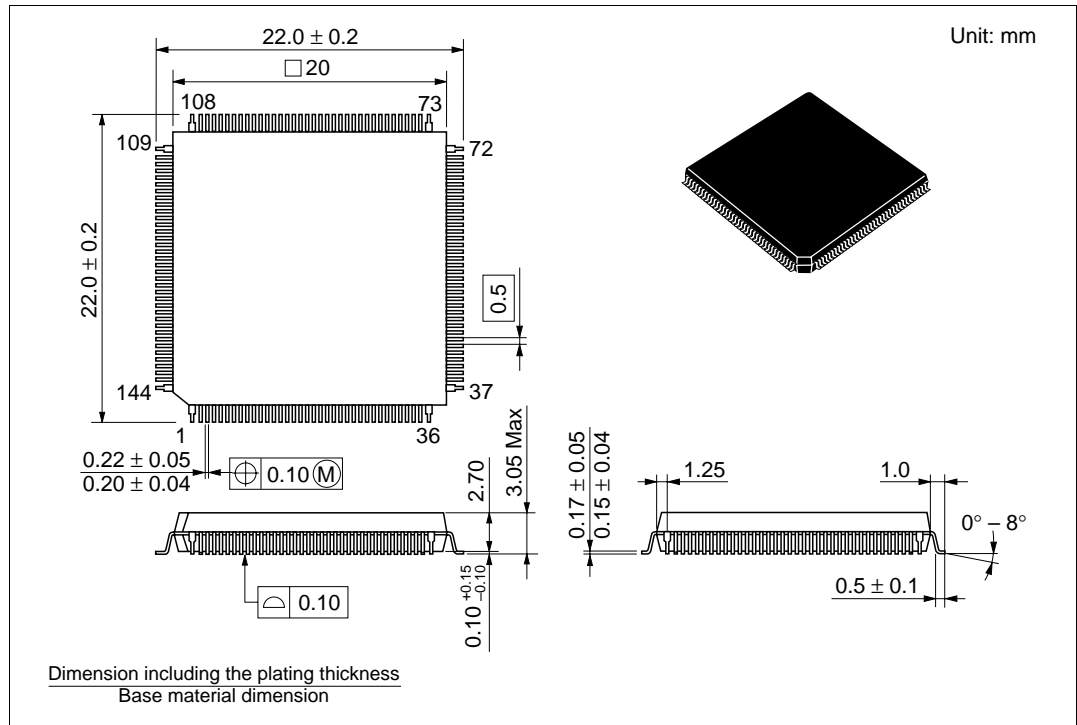


図 D.1 パッケージ外形寸法図



HD64411 Q2  
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668