

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH-4A コア拡張機能

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準：	コンピュータ、OA 機器、通信機器、計測機器、AV 機器、 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準：	輸送機器（自動車、電車、船舶等）、交通用信号機器、 防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 各レジスタリザーブビットの読み出し / 書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し / 書き込み値の指定が特にない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることがある場合、その拡張機能に影響を与えない利点があります。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスター一覧
8. 索引

はじめに

SH-4A マイコンには拡張機能の有無に関して、次の 2 種類の種別があります。

1. SH-4A (拡張機能なし)
プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の製品
2. SH-4A (拡張機能あり)
プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'30 以上の製品

本マニュアルは、2. SH-4A マイコン (拡張機能あり) の機能を示したものです。SH-4A マイコン (拡張機能なし)、すなわち PVR の VER ビットが H'20 のマイコンに関しては、拡張機能なしの SH-4A マイコンを搭載した製品ハードウェアマニュアルあるいは「SH-4A ソフトウェアマニュアル」を参照してください。本マニュアルでは、以降 SH-4A マイコン (拡張機能あり) を単に「SH-4A」と表記し、SH-4A マイコン (拡張機能なし) を「プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A」あるいは「SH-4A (PVR.VER = H'20)」と表記します。

対象者 本マニュアルは、SH-4A を用いた応用システムを設計するユーザを対象としています。
本マニュアルを使用される読者には、電気回路、論理回路、マイクロコンピュータ、およびアセンブリ / C 言語プログラミングに関する基本的な知識を必要とします。

目的 本マニュアルは、SH-4A の CPU コア部関連のハードウェア機能を理解していただくことを目的としています。ハードウェアの各機能については、製品ハードウェアマニュアルを参照してください。

読み方

- 機能全体を理解しようとするとき。
 - 目次にしたがって読んでください。
- 本書は、大きく分類すると、CPU機能、システム制御機能、FPU機能、メモリ管理、内蔵メモリの順に構成されています。
- 各命令を理解したいとき。
 - 命令の体系と基本動作は「第3章 命令セット」に説明されています。各命令の詳細動作は、「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を読んでください。

凡例 レジスタ表記 : シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。

記号の表記 : ローアクティブの信号にはオーバーバー ($\overline{\text{XXXX}}$) を付けます。

略語の説明

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
CPU	Central Processing Unit 中央制御装置
FPU	Floating Point Unit 浮動小数点演算装置
ITLB	Instruction Translation Look aside Buffer 命令変換ルックアサイドバッファ (命令 TLB)
LRU	Least Recently Used (仮想記憶ページ置き換えアルゴリズムの名前)
LSB	Least Significant Bit 最下位ビット
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PMB	Privileged space Mapping Buffer 特権空間マッピングバッファ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
TLB	Translation Look aside Buffer 変換ルックアサイドバッファ
UBC	User Break Controller ユーザブレイクコントローラ
UTLB	Unified Translation Look aside Buffer 共用変換ルックアサイドバッファ (共用 TLB)

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	SH-4Aの特長	1-1
1.2	ブロック図	1-5
1.3	SH-4A拡張機能内容	1-6
1.4	SH-4からSH-4A (PVR.VER = H'20) への変更点	1-7
2.	プログラミングモデル	2-1
2.1	データフォーマット	2-1
2.2	レジスタの構成	2-2
2.2.1	特権モードとバンク	2-2
2.2.2	汎用レジスタ	2-5
2.2.3	浮動小数点レジスタ	2-6
2.2.4	コントロールレジスタ	2-9
2.2.5	システムレジスタ	2-11
2.3	メモリ割り付けレジスタ	2-14
2.4	レジスタのデータ形式	2-14
2.5	メモリ上でのデータ形式	2-15
2.6	処理状態	2-16
2.7	使用上の注意事項	2-17
2.7.1	自己書き換えコードに対する注意事項	2-17
3.	命令セット	3-1
3.1	実行環境	3-1
3.2	アドレッシングモード	3-3
3.3	命令セット	3-6
4.	パイプライン動作	4-1
4.1	パイプライン	4-1
4.2	並列実行性	4-12
4.3	発行レートと実行ステート	4-15
5.	例外処理	5-1
5.1	概要	5-1
5.2	レジスタの説明	5-1

5.2.1	TRAPA 例外レジスタ (TRA)	5-2
5.2.2	例外事象レジスタ (EXPEVT)	5-2
5.2.3	割り込み事象レジスタ (INTEVT)	5-3
5.2.4	非サポート検出例外レジスタ (EXPMASK)	5-4
5.3	例外処理の機能	5-6
5.3.1	例外処理の流れ	5-6
5.3.2	例外処理ベクタアドレス	5-6
5.4	例外の種類と優先順位	5-7
5.5	例外フロー	5-8
5.5.1	例外フロー	5-8
5.5.2	例外要因の受け付け	5-9
5.5.3	例外要求と BL ビット	5-10
5.5.4	例外処理からの復帰	5-10
5.6	各例外の説明	5-11
5.6.1	リセット	5-11
5.6.2	一般例外	5-12
5.6.3	割り込み	5-23
5.6.4	複数回の例外が発生する場合の優先順位	5-25
5.7	注意事項	5-26
6.	浮動小数点ユニット (FPU)	6-1
6.1	概要	6-1
6.2	データフォーマット	6-2
6.2.1	浮動小数点フォーマット	6-2
6.2.2	非数 (NaN)	6-4
6.2.3	非正規化数	6-5
6.3	レジスタ	6-6
6.3.1	浮動小数点レジスタ	6-6
6.3.2	浮動小数点ステータス / コントロールレジスタ (FPSCR)	6-8
6.3.3	浮動小数点通信レジスタ (FPUL)	6-10
6.4	丸め	6-10
6.5	浮動小数点例外	6-11
6.6	グラフィックサポート機能	6-13
6.6.1	ジオメトリック演算命令	6-13
6.6.2	ペア単精度データ転送	6-14
7.	メモリマネジメントユニット (MMU)	7-1
7.1	MMUの概要	7-2
7.1.1	アドレス空間	7-4
7.2	レジスタの説明	7-10

7.2.1	ページテーブルエントリ上位レジスタ (PTEH)	7-11
7.2.2	ページテーブルエントリ下位レジスタ (PTEL)	7-12
7.2.3	変換テーブルベースレジスタ (TTB)	7-13
7.2.4	TLB 例外アドレスレジスタ (TEA)	7-13
7.2.5	MMU 制御レジスタ (MMUCR)	7-13
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA)	7-16
7.2.7	物理アドレス空間制御レジスタ (PASCR)	7-17
7.2.8	命令再フェッチ抑止制御レジスタ (IRMCR)	7-18
7.3	TLBの機能 (TLB互換モード)	7-20
7.3.1	共用 TLB (UTLB) の構成	7-20
7.3.2	命令 TLB (ITLB) の構成	7-22
7.3.3	アドレス変換方式	7-23
7.4	TLBの機能 (TLB拡張モード)	7-25
7.4.1	共用 TLB (UTLB) の構成	7-25
7.4.2	命令 TLB (ITLB) の構成	7-28
7.4.3	アドレス変換方式	7-28
7.5	MMUの機能	7-31
7.5.1	MMU のハードウェア管理	7-31
7.5.2	MMU のソフトウェア管理	7-31
7.5.3	MMU の命令 (LDTLB)	7-32
7.5.4	ハードウェア ITLB ミスハンドリング	7-34
7.5.5	シノニム問題の回避	7-34
7.6	MMU例外	7-36
7.6.1	命令 TLB 多重ヒット例外	7-36
7.6.2	命令 TLB ミス例外	7-36
7.6.3	命令 TLB 保護違反例外	7-37
7.6.4	データ TLB 多重ヒット例外	7-38
7.6.5	データ TLB ミス例外	7-39
7.6.6	データ TLB 保護違反例外	7-40
7.6.7	初期ページ書き込み例外	7-41
7.7	メモリ割り付けTLBの構成	7-42
7.7.1	ITLB アドレスアレイ	7-42
7.7.2	ITLB データアレイ (TLB 互換モード)	7-43
7.7.3	ITLB データアレイ (TLB 拡張モード)	7-44
7.7.4	UTLB アドレスアレイ	7-46
7.7.5	UTLB データアレイ (TLB 互換モード)	7-47
7.7.6	UTLB データアレイ (TLB 拡張モード)	7-48
7.8	32ビットアドレス拡張モード	7-50
7.8.1	32 ビットアドレス拡張モード概要	7-50
7.8.2	32 ビットアドレス拡張モードへの切り替え	7-51
7.8.3	特権空間マッピングバッファ (PMB) 構成	7-51

7.8.4	PMB の機能	7-53
7.8.5	メモリ割り付け PMB の構成	7-54
7.8.6	32 ビットアドレス拡張モード使用時の注意事項	7-55
7.9	32ビットブート機能	7-57
7.9.1	PMB の初期エントリ	7-57
7.9.2	32 ビットブート時の注意点	7-57
8.	キャッシュ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-5
8.2.1	キャッシュ制御レジスタ (CCR)	8-6
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-8
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-8
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-9
8.3	オペランドキャッシュの動作説明	8-11
8.3.1	読み出し動作	8-11
8.3.2	プリフェッチ動作	8-12
8.3.3	書き込み動作	8-13
8.3.4	ライトバックバッファ	8-14
8.3.5	ライトスルーバッファ	8-14
8.3.6	OC 2 ウェイモード	8-14
8.4	命令キャッシュの動作説明	8-15
8.4.1	読み出し動作	8-15
8.4.2	プリフェッチ動作	8-15
8.4.3	IC 2 ウェイモード	8-16
8.4.4	命令キャッシュウェイ予測	8-16
8.5	キャッシュ操作命令	8-17
8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-17
8.5.2	プリフェッチ動作	8-19
8.6	メモリ割り付けキャッシュの構成	8-20
8.6.1	IC アドレスアレイ	8-20
8.6.2	IC データアレイ	8-21
8.6.3	OC アドレスアレイ	8-22
8.6.4	OC データアレイ	8-23
8.6.5	メモリ割り付け連想ライトの動作	8-24
8.7	ストアキュー	8-25
8.7.1	SQ の構成	8-25
8.7.2	SQ への書き込み	8-25
8.7.3	外部メモリへの転送	8-25
8.7.4	SQ アクセスの例外判定	8-27

8.7.5	SQ からの読み出し	8-27
8.8	32ビットアドレス拡張モード使用時の注意事項	8-27
9.	内蔵メモリ	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-4
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-5
9.2.2	OL メモリ転送元アドレスレジスタ 0 (LSA0)	9-6
9.2.3	OL メモリ転送元アドレスレジスタ 1 (LSA1)	9-7
9.2.4	OL メモリ転送先アドレスレジスタ 0 (LDA0)	9-8
9.2.5	OL メモリ転送先アドレスレジスタ 1 (LDA1)	9-9
9.3	動作説明	9-10
9.3.1	CPU からの命令フェッチアクセス	9-10
9.3.2	CPU からのオペランドアクセスおよび FPU からのアクセス	9-10
9.3.3	SuperHyway バスマスタモジュールからのアクセス	9-11
9.3.4	OL メモリブロック転送	9-11
9.4	内蔵メモリの保護機能	9-12
9.5	使用上の注意事項	9-13
9.5.1	ページ競合	9-13
9.5.2	ページの切り替わり	9-13
9.5.3	IL メモリのコヒーレンシ	9-13
9.5.4	スリープモード	9-13
9.6	32ビットアドレス拡張モード使用時の注意事項	9-14
10.	ユーザブレイクコントローラ (UBC)	10-1
10.1	特長	10-1
10.2	レジスタの説明	10-3
10.2.1	マッチ条件設定レジスタ 0、1 (CBR0、CBR1)	10-4
10.2.2	マッチ動作設定レジスタ 0、1 (CRR0、CRR1)	10-10
10.2.3	マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)	10-12
10.2.4	マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)	10-13
10.2.5	マッチデータ設定レジスタ 1 (CDR1)	10-14
10.2.6	マッチデータマスク設定レジスタ 1 (CDMR1)	10-15
10.2.7	実行回数ブレイクレジスタ 1 (CETR1)	10-15
10.2.8	チャネルマッチフラグレジスタ (CCMFR)	10-16
10.2.9	ブレイクコントロールレジスタ (CBCR)	10-17
10.3	動作説明	10-18
10.3.1	アクセスに関する用語の説明	10-18
10.3.2	ユーザブレイク動作の流れ	10-18
10.3.3	命令フェッチサイクルブレイク	10-20

10.3.4	オペランドアクセスサイクルブ레이크	10-21
10.3.5	シーケンシャルブ레이크	10-22
10.3.6	退避されるプログラムカウンタの値	10-23
10.4	ユーザブ레이크デバッグサポート機能	10-24
10.5	ユーザブ레이크使用例	10-25
10.6	使用上の注意事項	10-30
11.	レジスタ一覧	11-1
11.1	レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）	11-2
11.2	各動作モードにおけるレジスタの状態	11-4
付録		付録-1
A.	CPU動作モードレジスタ（CPUOPM）	付録-1
B.	命令プリフェッチとその副作用について	付録-2
C.	サブルーチン復帰投機実行	付録-3
D.	バージョンレジスタ（PVR、PRR）	付録-4
本版で改訂された箇所		改訂-1
索引		索引-1

図目次

1. 概要	
図1.1 ブロック図	1-5
2. プログラミングモデル	
図2.1 データフォーマット	2-1
図2.2 処理モード別のCPUレジスタ構成	2-4
図2.3 汎用レジスタ	2-5
図2.4 浮動小数点レジスタ	2-8
図2.5 SZビットとエンディアンの関係	2-13
図2.6 バイトデータ、ワードデータのレジスタ中のデータ形式	2-14
図2.7 メモリ上のデータ形式	2-15
図2.8 処理状態遷移図	2-16
4. パイプライン動作	
図4.1 基本パイプライン	4-1
図4.2 命令実行パターン (1)	4-3
図4.2 命令実行パターン (2)	4-4
図4.2 命令実行パターン (3)	4-5
図4.2 命令実行パターン (4)	4-6
図4.2 命令実行パターン (5)	4-7
図4.2 命令実行パターン (6)	4-8
図4.2 命令実行パターン (7)	4-9
図4.2 命令実行パターン (8)	4-10
図4.2 命令実行パターン (9)	4-11
5. 例外処理	
図5.1 命令実行と例外処理	5-8
図5.2 一般例外の受け付け順序の例	5-9
6. 浮動小数点ユニット (FPU)	
図6.1 単精度浮動小数点フォーマット	6-2
図6.2 倍精度浮動小数点フォーマット	6-2
図6.3 単精度のNaNビットパターン	6-4
図6.4 浮動小数点レジスタ	6-7
図6.5 SZビットとエンディアンの関係	6-9
7. メモリマネジメントユニット (MMU)	
図7.1 MMUの役割	7-3
図7.2 仮想アドレス空間 (MMUCR.AT = 0)	7-4
図7.3 仮想アドレス空間 (MMUCR.AT = 1)	7-5
図7.4 P4領域	7-6
図7.5 物理アドレス空間	7-8
図7.6 UTLBの構成 (TLB互換モード)	7-20

図7.7	ページサイズとアドレスの関係 (TLB互換モード)	7-22
図7.8	ITLBの構成 (TLB互換モード)	7-22
図7.9	UTLBを用いたメモリアクセスフロー (TLB互換モード)	7-23
図7.10	ITLBを用いたメモリアクセスフロー (TLB互換モード)	7-24
図7.11	UTLBの構成 (TLB拡張モード)	7-25
図7.12	ページサイズとアドレスの関係 (TLB拡張モード)	7-27
図7.13	ITLBの構成 (TLB拡張モード)	7-28
図7.14	UTLBを用いたメモリアクセスフロー (TLB拡張モード)	7-29
図7.15	ITLBを用いたメモリアクセスフロー (TLB拡張モード)	7-30
図7.16	LDTLB命令の動作 (TLB互換モード)	7-32
図7.17	LDTLB命令の動作 (TLB拡張モード)	7-33
図7.18	メモリ割り付けITLBアドレスアレイ	7-43
図7.19	メモリ割り付けITLBデータアレイ (TLB互換モード)	7-44
図7.20	メモリ割り付けITLBデータアレイ1 (TLB拡張モード)	7-44
図7.21	メモリ割り付けITLBデータアレイ2 (TLB拡張モード)	7-45
図7.22	メモリ割り付けUTLBアドレスアレイ	7-46
図7.23	メモリ割り付けUTLBデータアレイ (TLB互換モード)	7-47
図7.24	メモリ割り付けUTLBデータアレイ1 (TLB拡張モード)	7-48
図7.25	メモリ割り付けUTLBデータアレイ2 (TLB拡張モード)	7-49
図7.26	物理アドレス空間 (32ビットアドレス拡張モード)	7-50
図7.27	PMBの構成	7-51
図7.28	メモリ割り付けPMBアドレスアレイ	7-54
図7.29	メモリ割り付けPMBデータアレイ	7-55
8.	キャッシュ	
図8.1	オペランドキャッシュの構成 (キャッシュサイズ=32Kバイトの場合)	8-3
図8.2	命令キャッシュの構成 (キャッシュサイズ=32Kバイトの場合)	8-4
図8.3	ライトバックバッファの構成	8-14
図8.4	ライトスルーバッファの構成	8-14
図8.5	メモリ割り付けICアドレスアレイ (キャッシュサイズ=32Kバイトの場合)	8-21
図8.6	メモリ割り付けICデータアレイ (キャッシュサイズ=32Kバイトの場合)	8-22
図8.7	メモリ割り付けOCアドレスアレイ (キャッシュサイズ=32Kバイトの場合)	8-23
図8.8	メモリ割り付けOCデータアレイ (キャッシュサイズ=32Kバイトの場合)	8-24
図8.9	ストアキューの構成	8-25
10.	ユーザブレイクコントローラ (UBC)	
図10.1	UBCのブロック図	10-2
図10.2	ユーザブレイクデバッグサポート機能のフローチャート	10-24
付録		
図B.1	命令のプリフェッチ	付録-2

表目次

1. 概要	
表1.1 SH-4Aの特長	1-2
表1.2 SH-4A拡張機能 (PVR.VER=H'30)	1-6
表1.3 SH-4からSH-4A (PVR.VER = H'20) への変更点	1-7
2. プログラミングモデル	
表2.1 レジスタの初期値	2-3
表2.2 FPU例外処理に関連するビットの割り付け	2-13
3. 命令セット	
表3.1 遅延分岐命令の実行順序	3-1
表3.2 アドレッシングモードと実効アドレス	3-3
表3.3 命令リストの表記	3-6
表3.4 固定小数点転送命令	3-8
表3.5 算術演算命令	3-9
表3.6 論理演算命令	3-11
表3.7 シフト命令	3-12
表3.8 分岐命令	3-13
表3.9 システム制御命令	3-13
表3.10 浮動小数点単精度命令	3-16
表3.11 浮動小数点倍精度命令	3-17
表3.12 浮動小数点制御命令	3-17
表3.13 浮動小数点グラフィック強化命令	3-18
4. パイプライン動作	
表4.1 命令実行パターン表記説明	4-2
表4.2 命令グループ	4-12
表4.3 先行・後行掛け合わせ表	4-14
表4.4 発行レートと実行ステート	4-16
5. 例外処理	
表5.1 レジスタ構成	5-1
表5.2 各処理モードにおけるレジスタの状態	5-1
表5.3 例外一覧	5-7
表5.4 UTLBプロテクション情報 (TLB互換モードの場合)	5-14
表5.5 UTLBプロテクション情報 (TLB拡張モードの場合)	5-14
表5.6 ITLBプロテクション情報 (TLB互換モードの場合)	5-15
表5.7 ITLBプロテクション情報 (TLB拡張モードの場合)	5-16
6. 浮動小数点ユニット (FPU)	
表6.1 浮動小数点のフォーマットとパラメータ	6-3
表6.2 浮動小数点の範囲	6-3

表6.3	FPU例外処理に関連するビットの割り付け	6-10
7.	メモリマネジメントユニット (MMU)	
表7.1	レジスタ構成	7-10
表7.2	各処理状態におけるレジスタの状態	7-10
表7.3	キャッシュサイズとシノニム問題の回避策	7-35
8.	キャッシュ	
表8.1	キャッシュの特長	8-1
表8.2	ストアキューの特長	8-2
表8.3	レジスタ構成	8-5
表8.4	各処理モードにおけるレジスタの状態	8-5
9.	内蔵メモリ	
表9.1	OLメモリアドレス	9-1
表9.2	ILメモリアドレス	9-2
表9.3	Uメモリアドレス	9-3
表9.4	レジスタ構成	9-4
表9.5	各処理状態におけるレジスタの状態	9-4
表9.6	内蔵メモリへのアクセスに対する保護機能による例外	9-12
10.	ユーザブレイクコントローラ (UBC)	
表10.1	レジスタ構成	10-3
表10.2	各処理状態におけるレジスタの状態	10-3
表10.3	マッチデータ設定レジスタの指定	10-14
表10.4	オペランドサイズ指定と比較対象アドレス	10-21
付録		
表D.1	レジスタ構成	付録-4

1. 概要

1.1 SH-4A の特長

SH-4A は、SH-1、SH-2、SH-3、SH-4 マイクロコンピュータと命令セットレベルでの上位互換性を特長とする 32 ビット RISC (縮小命令セットコンピュータ) マイコンです。16 ビット固定長の命令セットにより、32 ビット命令に比較してプログラムコードのサイズをほぼ 50%縮小することができます。

【本マニュアルの適用対象と SH-4A マイコン種別に関する表記】

SH-4A マイコンには、拡張機能の有無により次の 2 種類の製品があります。

- (1) SH-4A (拡張機能無し) : プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の製品
- (2) SH-4A (拡張機能有り) : プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'30 以上の製品

本マニュアルは、(2)の SH-4A マイコン (拡張機能有り) の機能を示したものです。拡張機能無し (プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20) のマイコンに関しては、「SH-4A ソフトウェアマニュアル」あるいは拡張機能無しの SH-4A マイコンを搭載した製品のハードウェアマニュアルを参照してください。

本マニュアルでは、以降 SH-4A マイコン (拡張機能有り) を単に「SH-4A」と表記し、SH-4A (拡張機能無し) を「プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A」あるいは「SH-4A (PVR.VER = H'20)」と表記します。

SH-4A の特長を表 1.1 に示します。

表 1.1 SH-4A の特長

項目	特 長
CPU	• ルネサス テクノロジオリジナルアーキテクチャ • 32 ビット内部データバス • 汎用レジスタファイル： 16 本の 32 ビット汎用レジスタ（および 8 本の 32 ビットシャドウレジスタ） 7 本の 32 ビット制御レジスタ 4 本の 32 ビットシステムレジスタ • RISC タイプ命令セット（SH-1、SH-2、SH-3、SH-4 と上位互換性有り）： 命令長： コードの効率改善のための 16 ビット固定長 ロードストアアーキテクチャ 遅延分岐命令 条件付き実行 C 言語に基づく命令セット • FPU を含む 2 命令同時実行型スーパースカラ • 命令実行時間： 最大 2 命令 / サイクル • 仮想アドレス空間： 4G バイト • 空間識別子 ASID： 8 ビット、256 仮想アドレス空間 • 乗算器内蔵 • 8 段パイプライン

項目	特 長
浮動小数点 ユニット(FPU)	- 浮動小数点コプロセッサ内蔵 - 単精度 (32 ビット) および倍精度 (64 ビット) をサポート - IEEE754 に準拠したデータタイプおよび例外をサポート - 丸めモード: 近傍および 0 方向への丸め - 非正規化数の扱い: 0 への切捨て、または IEEE754 に準拠のための割り込み発生 - 浮動小数点レジスタ: 32 ビット × 16 ワード × 2 バンク (単精度 × 16 ワードまたは倍精度 × 8 ワード) × 2 バンク 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) - FMAC (乗算およびアキュムレート) 命令をサポート - FDIV (除算) / FSQRT (平方根) 命令をサポート - FLDI0 / FLDI1 (ロード定数 0/1) 命令をサポート - 命令実行時間 レイテンシ (FADD/FSUB): 3 サイクル (単精度)、5 サイクル (倍精度) レイテンシ (FMAC/FMUL): 5 サイクル (単精度)、7 サイクル (倍精度) ピッチ (FADD/FSUB): 1 サイクル (単精度 / 倍精度) ピッチ (FMAC/FMUL): 1 サイクル (単精度)、3 サイクル (倍精度) 【注】: FMAC は単精度に対してのみサポートしています。 3D グラフィック命令 (単精度のみ): 4 次元ベクトル変換および行列演算 (FTRV)、4 サイクル (ピッチ)、8 サイクル (レイテンシ) 4 次元ベクトル (FIPR) の内積、1 サイクル (ピッチ)、5 サイクル (レイテンシ) 10 段パイプライン
メモリマネジ メントユニット (MMU)	4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット) - 単一仮想記憶モードと多重仮想記憶モード - 複数のページサイズをサポート: 1K、4K、8K、64K、256K、1M、4M、64M バイト - 命令に対する 4 エントリのフルアソシアティブ TLB - 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB - ソフトウェアによる入換方法およびランダムカウンタ方式入換アルゴリズムをサポート - TLB の内容はアドレスマッピングにより直接アクセス可能 32 ビットアドレス拡張モード
キャッシュ メモリ	- 命令キャッシュ (IC) 4 ウェイセットアソシアティブ 32 バイトブロック長 - オペランドキャッシュ (OC) 4 ウェイセットアソシアティブ 32 バイトブロック長 選択可能な書き込み方式 (コピーバック / ライトスルー) - ストアキュー (32 バイト × 2 エントリ) 【注】 命令キャッシュ、オペランドキャッシュのキャッシュ容量については、製品ハードウェアマニュアルを参照してください。

項目	特 長
IL メモリ (ILRAM)	• 3本の独立した読み出し / 書き込みポート CPU からの命令フェッチアクセス CPU からの 8/16/32/64 ビットオペランドアクセス 外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセス 【注】IL メモリの搭載の有無および容量については、製品ハードウェアマニュアルを参照してください。
OL メモリ (OLRAM)	• 3本の独立した読み出し / 書き込みポート CPU からの命令フェッチアドレス CPU からの 8 / 16 / 32 / 64 ビットオペランドアクセス 外部要求による 8 / 16 / 32 / 64 ビットおよび 16 / 32 バイトアクセス 【注】OL メモリの搭載の有無および容量については、製品ハードウェアマニュアルを参照してください。
U メモリ (URAM)	• 3本の独立した読み出し / 書き込みポート CPU からの 8/16/32/64 ビットキャッシュابلオペランドアクセスおよび CPU からの命令フェッチアクセス CPU からの 8/16/32/64 ビット非キャッシュابلオペランドアクセス 外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセス 【注】U メモリの搭載の有無および容量については、製品ハードウェアマニュアルを参照してください。

1.2 ブロック図

図 1.1 に SH4-A のブロック図を示します。

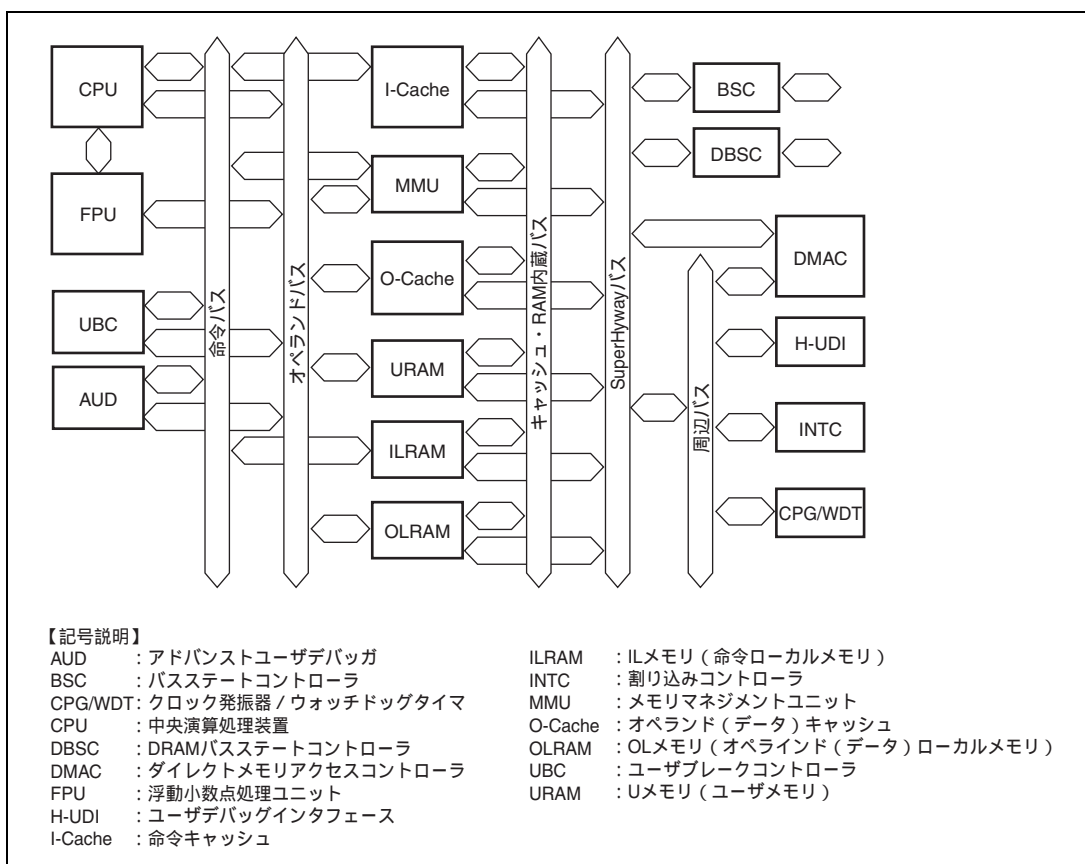


図 1.1 ブロック図

1.3 SH-4A 拡張機能内容

プロセッサバージョンレジスタ (PVR) の VER ビットが H'30 以降の SH-4A は、プロセッサバージョンレジスタ (PVR) の VER ビットが H'20 の SH-4A に対して機能的に上位互換です。

プロセッサバージョンレジスタ (PVR) の VER ビットが H'20 の SH-4A に対して拡張された機能を表 1.2 に示します。

表 1.2 SH-4A 拡張機能 (PVR.VER=H'30)

項目	特 長
パイプライン動作	• I2 ステージと ID ステージの間にプリデコード (I3) ステージを追加
例外処理	• 非サポート検出例外レジスタ (EXPMASK) を追加
メモリマネジメントユニット (MMU) (項目内の一部追加・変更)	• ページサイズ: 1K、4K、8K、64K、256K、1M、4M、64M バイト • アクセス権チェックの機能を追加 • PTEA レジスタと MMUCR レジスタの ME ビットを新設
キャッシュメモリ (項目内の一部追加)	• 低消費電力機能 (IC ウェイ予測機構) を追加 • オペランドキャッシュ操作命令 (OCBI、OCBP、OCBWB) の機能を追加 • 2 ウェイセットアソシアティブ方式への固定機能を追加
IL メモリ (ILRAM) (新設項目)	• 3 本の独立した読み出し / 書き込みポート - CPU からの命令フェッチアクセス - CPU からの 8/16/32/64 ビットオペランドアクセス - 外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセス
OL メモリ (OLRAM) (項目名変更、項目内の一部変更)	• IL メモリの新設に伴い、L メモリをオペランド用メモリ (OL メモリ) として使用可能 • 3 本の独立した読み出し / 書き込みポート - CPU からの命令フェッチアクセス - CPU からの 8/16/32/64 ビットオペランドアクセス - 外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセス
U メモリ (URAM) (新設項目)	• 3 本の独立した読み出し / 書き込みポート - CPU からの 8/16/32/64 ビットキャッシュブルオペランドアクセスおよび CPU からの命令フェッチアクセス - CPU からの 8/16/32/64 ビット非キャッシュブルオペランドアクセス - 外部要求による 8/16/32/64 ビットおよび 16/32 バイトアクセス

1.4 SH-4 から SH-4A (PVR.VER = H'20) への変更点

SH-4 からプロセッサバージョンレジスタ (PVR) の VER ビットが H'20 の SH-4A への変更点を、本マニュアルの章、節単位に示します。

表 1.3 SH-4 から SH-4A (PVR.VER = H'20) への変更点

章番号、章名	節番号	節名	変更点
1. 概要	-	-	全面変更 (個別の変更点は 2 章以降の差分で記載します)
2. プログラミングモデル	2.2	レジスタの構成	浮動小数点ステータス / コントロールレジスタ (FPSCR) SZ=1, PR=1 での動作追加
3. 命令セット	3.3	命令セット	CPU 命令として 9 命令を追加
			FPU 命令として 3 命令を追加
4. バイブライン動作	4.1	バイブライン	バイブライン段数を 5 から 7 に変更
	4.2	並列実行性	CPU 命令として 9 命令を追加
			FPU 命令として 3 命令を追加
			命令のグループ分けと並列実行組合せ変更
	4.3	発行レートと実行ステート	実行ステート数変更
5. 例外処理	—	—	特になし
6. FPU	6.3.2	浮動小数点ステータス / コントロールレジスタ (FPSCR)	SZ=1, PR=1 での動作追加およびエンディアン毎の動作説明追加
	6.5	浮動小数点例外	FPU 例外イネーブル設定時の FPU 例外検出条件の仕様を変更
7. メモリマネジメントユニット	7.1.1	アドレス空間	P4 領域の構成変更
			内蔵 RAM 空間を削除
	7.2	レジスタの説明	ページテーブルエントリアシストレジスタ (PTEA) の削除
			物理アドレス空間制御レジスタの追加
	7.2.7	物理アドレス空間制御レジスタ (PASCR)	新規追加
	7.2.8	命令再フェッチ抑止レジスタ (IRMCR)	新規追加
	7.3	TLB の機能	TLB から、空間属性ビット (SA[2:0])、タイミングコントロールビット (TC) を削除
	7.5.5	シノニム問題の回避	キャッシュサイズ変更およびインデックスモード削除に伴い、該当ビット変更
	7.6.1、 7.6.4	命令 TLB 多重ヒット例外 およびデータ TLB 多重ヒット例外	ITLB ミスハンドリングによる UTLB 検索で多重ヒットになった場合も命令 TLB 多重ヒット例外に変更

章番号、章名	節番号	節名	変更点
7. メモリマネジメントユニット	7.7	メモリ割り付け TLB の構成	ITLB および UTLB のデータアレイ 2 を削除
	7.7.4	UTLB アドレスアレイ	UTLB アドレスアレイに対する連想ライトではデータ TLB 多重ヒット例外を発生しないよう変更
			メモリ割り付けアドレスを H'F600 0000 ~ H'F6FF FFFF から H'F600 0000 ~ H'F60F FFFF へ変更
	7.7.5	UTLB データアレイ	メモリ割り付けアドレスを H'F700 0000 ~ H'F77F FFFF から H'F700 0000 ~ H'F70F FFFF へ変更
	7.8	32 ビットアドレス拡張モード	新規追加
8. キャッシュ	8.1	特長	命令キャッシュの容量を 32k バイトに変更
			方式を 4 ウェイセットアソシアティブに変更
	8.2	レジスタの説明	内蔵メモリ制御レジスタを追加
	8.2.1	キャッシュ制御レジスタ (CCR)	内容変更
	8.2.4	内蔵メモリ制御レジスタ (RAMCR)	新規追加
	8.3	オペランドキャッシュの動作説明	RAM モードおよび OC インデックスモードを削除
	8.3.6	OC 2 ウェイモード	新規追加
	8.4	命令キャッシュの動作説明	IC インデックスモードを削除
	8.4.3	IC 2 ウェイモード	新規追加
	8.5.1	キャッシュと外部メモリとのコヒーレンシ	ICBI 命令、PREFI 命令、および SYNCO 命令追加
9. 内蔵メモリ	-	-	L メモリの新規追加
	-	-	CPU 命令として 9 命令追加
11. 各命令の説明 (ソフトウェアマニュアル)	-	-	FPU 命令として 3 命令追加

2. プログラミングモデル

本章では、SH-4A のプログラミングモデルについて記述します。SH-4A では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

SH-4A でサポートしているデータフォーマットを図 2.1 に示します。

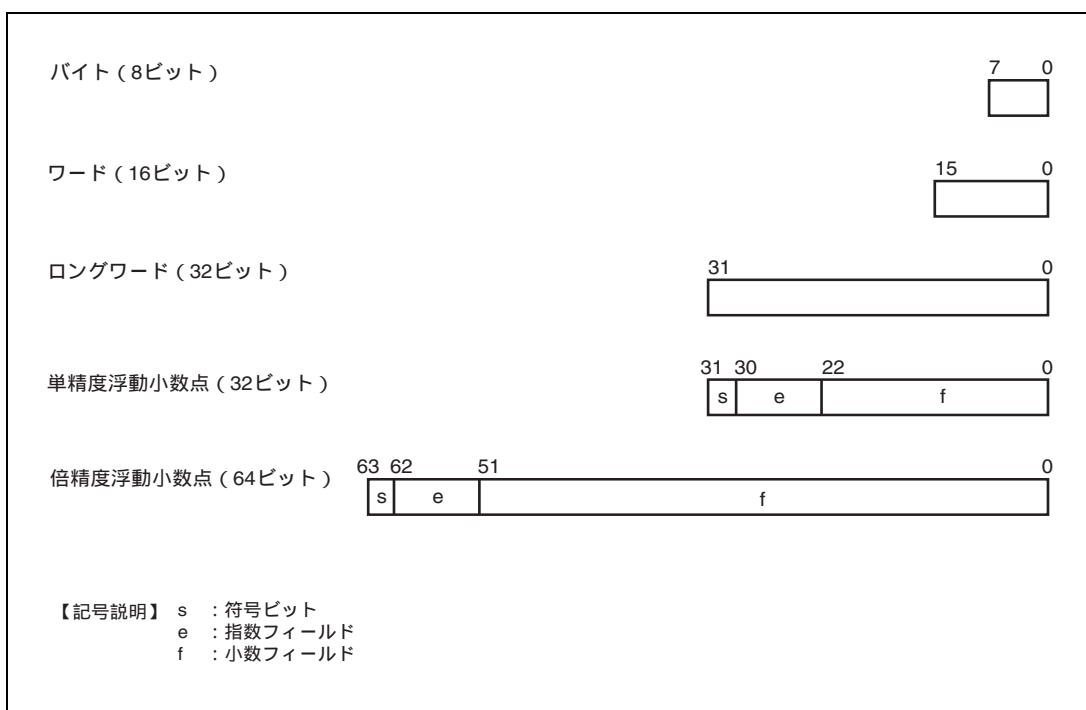


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタには R0 から R15 までの 16 本のレジスタがあります。汎用レジスタ R0 から R7 は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ (GBR) とステータスレジスタ (SR) があり、特権モードでのみアクセスできる退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。ステータスレジスタには、特権モードでのみアクセスできるビット (例えば RB ビット) があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0～FR15、XF0～XF15 の 32 本のレジスタがあります。FR0～FR15、XF0～XF15 をおのの FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0～FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12 (レジスタベクタ)の 4 本として使用でき、XF0～XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX (レジスタ行列)の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス / コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0～R7_BANK0、 R0_BANK1～R7_BANK1、 R8～R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 IMASK は B'1111、その他はリザーブビットも含めて 0
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0～FR15、XF0～XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

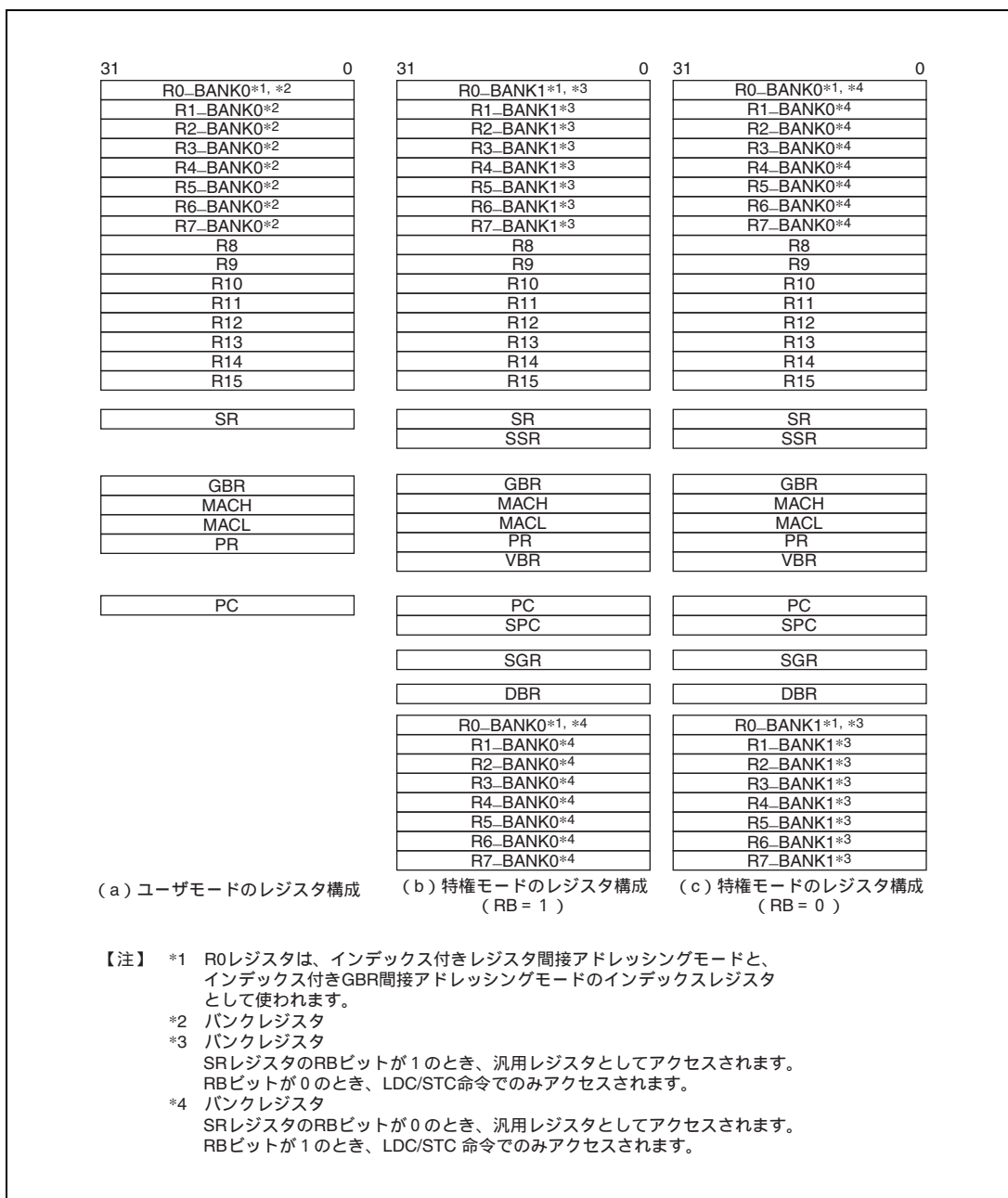


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。SH-4A には 24 本の 32 ビット汎用レジスタ(R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15)があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。SH-4A には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)	
R0	R0_BANK0	R0-BANK0	
R1	R1_BANK0	R1-BANK0	
R2	R2_BANK0	R2-BANK0	
R3	R3_BANK0	R3-BANK0	
R4	R4_BANK0	R4-BANK0	
R5	R5_BANK0	R5-BANK0	
R6	R6_BANK0	R6-BANK0	
R7	R7_BANK0	R7-BANK0	
R0-BANK1	R0_BANK1	R0	
R1-BANK1	R1_BANK1	R1	
R2-BANK1	R2_BANK1	R2	
R3-BANK1	R3_BANK1	R3	
R4-BANK1	R4_BANK1	R4	
R5-BANK1	R5_BANK1	R5	
R6-BANK1	R6_BANK1	R6	
R7-BANK1	R7_BANK1	R7	
R8	R8	R8	
R9	R9	R9	
R10	R10	R10	
R11	R11	R11	
R12	R12	R12	
R13	R13	R13	
R14	R14	R14	
R15	R15	R15	

図 2.3 汎用レジスタ

【プログラミング上の注意】

ユーザモードの R0～R7 は R0_BANK0～R7_BANK0 に、例外・割り込み後の R0～R7 は R0_BANK1～R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0～R7 (R0_BANK0～R7_BANK0) を退避または復帰する必要はありません。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 があります。また、この 32 本レジスタは FR0～FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0～XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0～FR15 は FPR0_BANK0～FPR15_BANK0 に割り当てられます。
FPSCR.FR = 1 のとき、FR0～FR15 は FPR0_BANK1～FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、
DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、
DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、
FV4 = {FR4, FR5, FR6, FR7}、
FV8 = {FR8, FR9, FR10, FR11}、
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、

XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、

XD12 = {XF12, XF13}、XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$

FPSCR.FR=0			FPSCR.FR=1			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX
		FR1	FPR1_BANK0	XF1		
	DR2	FR2	FPR2_BANK0	XF2	XD2	
		FR3	FPR3_BANK0	XF3		
FV4	DR4	FR4	FPR4_BANK0	XF4	XD4	
		FR5	FPR5_BANK0	XF5		
	DR6	FR6	FPR6_BANK0	XF6	XD6	
		FR7	FPR7_BANK0	XF7		
FV8	DR8	FR8	FPR8_BANK0	XF8	XD8	
		FR9	FPR9_BANK0	XF9		
	DR10	FR10	FPR10_BANK0	XF10	XD10	
		FR11	FPR11_BANK0	XF11		
FV12	DR12	FR12	FPR12_BANK0	XF12	XD12	
		FR13	FPR13_BANK0	XF13		
	DR14	FR14	FPR14_BANK0	XF14	XD14	
		FR15	FPR15_BANK0	XF15		
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0
		XF1	FPR1_BANK1	FR1		
		XF2	FPR2_BANK1	FR2	DR2	
		XF3	FPR3_BANK1	FR3		
	XD4	XF4	FPR4_BANK1	FR4	DR4	FV4
		XF5	FPR5_BANK1	FR5		
	XD6	XF6	FPR6_BANK1	FR6	DR6	
		XF7	FPR7_BANK1	FR7		
	XD8	XF8	FPR8_BANK1	FR8	DR8	FV8
		XF9	FPR9_BANK1	FR9		
	XD10	XF10	FPR10_BANK1	FR10	DR10	
		XF11	FPR11_BANK1	FR11		
	XD12	XF12	FPR12_BANK1	FR12	DR12	FV12
		XF13	FPR13_BANK1	FR13		
	XD14	XF14	FPR14_BANK1	FR14	DR14	
		XF15	FPR15_BANK1	FR15		

図 2.4 浮動小数点レジスタ

2.2.4 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MD	RB	BL	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD	—	—	—	—	—	M	Q	IMASK				—	—	S	T
初期値 :	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W :	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0 : ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1 : 特権モード 例外または割り込みにより 1 にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0 : R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1 : R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより 1 にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット このビットが 1 のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 例外または割り込みにより 1 にセットされます。
27 ~ 16	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが 1 のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します(FPU 命令 : H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。

ビット	ビット名	初期値	R/W	説 明
14～10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使います。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使います。
7～4	IMASK	すべて 1	R/W	割り込みマスケレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3、2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真 / 偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第 3 章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第 5 章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

(1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、

積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

(4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 22	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1: FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。

ビット	ビット名	初期値	R/W	説 明
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。
18	DN	1	R/W	非正規化モード 0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を 0 として扱います。
17 ~ 12	Cause	すべて 0	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 2.2 を参照してください。
11 ~ 7	Enable(EN)	すべて 0	R/W	
6 ~ 2	Flag	すべて 0	R/W	
1、0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

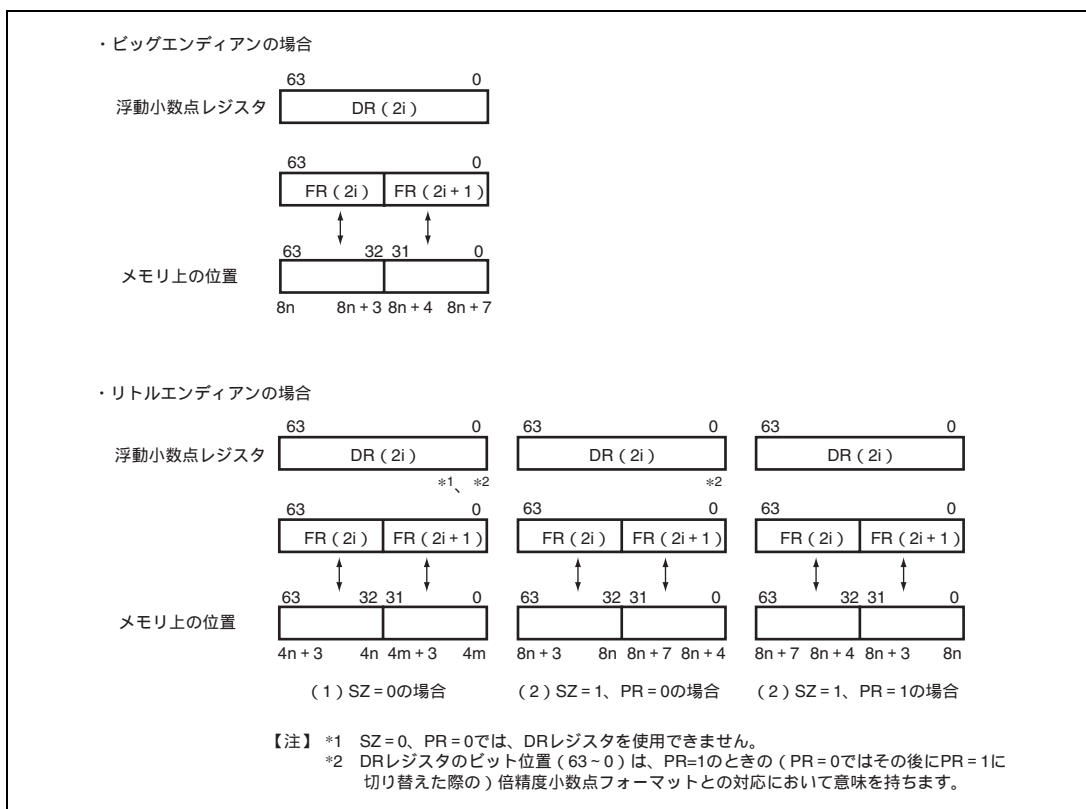


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値 = 不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

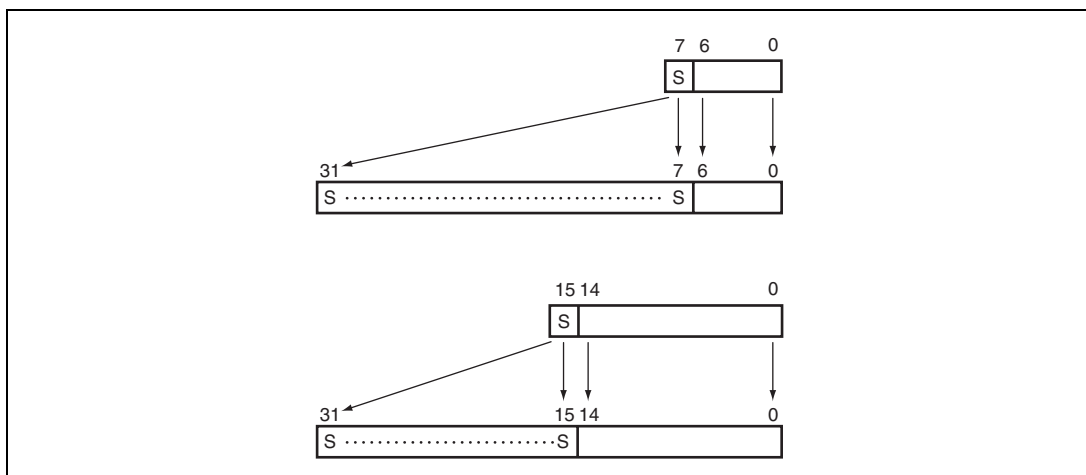


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち 32 ビットのロングワードでは、一番左のビット、ビット 31 が最上位ビットで、一番右のビット、ビット 0 が最下位ビットです。

メモリ上のデータ形式を図 2.7 に示します。

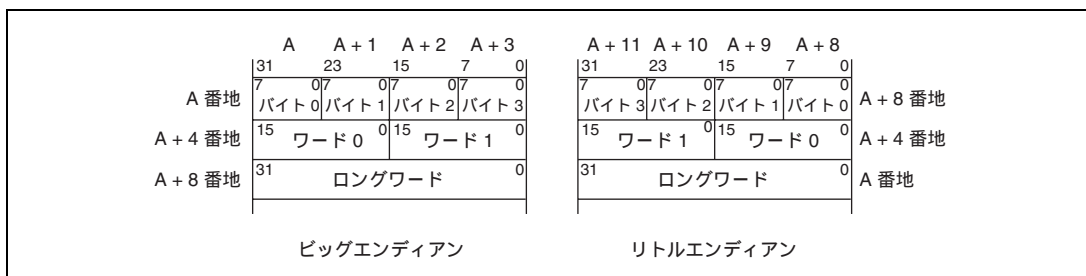


図 2.7 メモリ上のデータ形式

64 ビットのデータ形式については図 2.5 を参照してください。

2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。詳細は、製品ハードウェアマニュアルの各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびスタンバイモードの2つのモードがあります。低消費電力状態の詳細は、製品ハードウェアマニュアルの「低消費電力モード」を参照してください。

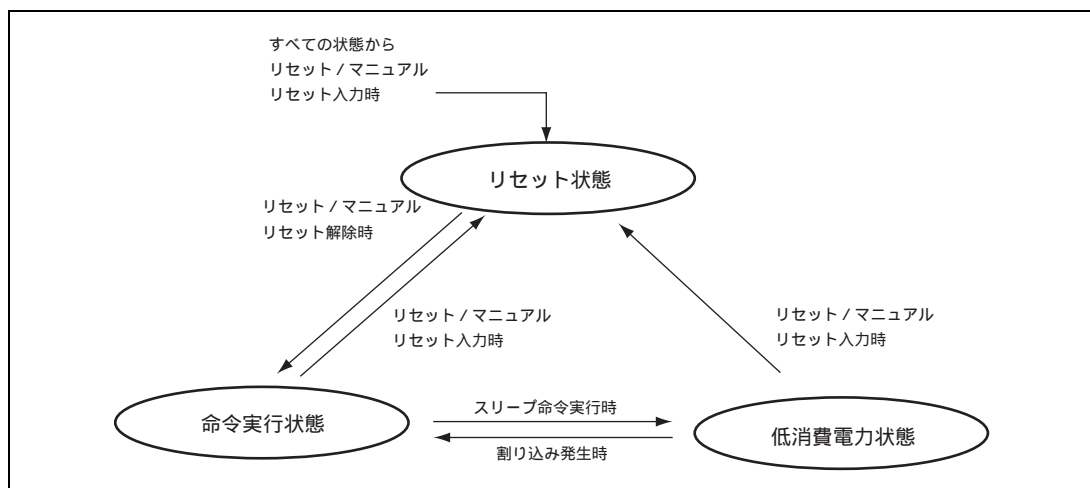


図 2.8 処理状態遷移図

2.7 使用上の注意事項

2.7.1 自己書き換えコードに対する注意事項

SH-4A は、処理を高速に行うために命令の先読みを従来の SH-4 に比べ大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとすると、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令がキャッシング不可能領域にある場合

SYNCO

ICBI @Rn

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

(2) 書き換える命令列がキャッシング可能領域にある場合 (ライトスルーモード時)

SYNCO

ICBI @Rn

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合 (コピーバックモード時)

OCBP @Rm または OCBWB @Rm

SYNCO

ICBI @Rn

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 自己書き換えコード：動的にメモリ上の命令列を書き換えながら実行する処理

3. 命令セット

SH-4A の命令セットは固定長 16 ビット命令で実現されます。SH-4A はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)、クワッドワード(64 ビット) のデータサイズでメモリにアクセスします。単精度浮動小数点データ(32 ビット) は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ(64 ビット) は、クワッドワードサイズでメモリとのやりとりが可能です。SH-4A がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

SH-4A は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

SH-4A の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	↓
:			ADD
:			↓
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外が発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

ADD	#1, R0	;T ビットは ADD 演算で変更されません。
CMP/EQ	R1, R0	;R0=R1 のとき T ビットは 1 にセットされる。
BT	TARGET	;T ビット=1 (R0=R1) のとき TARGET に分岐する。

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。

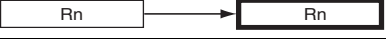
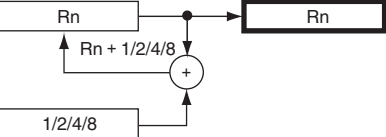
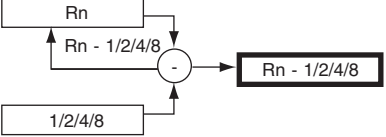
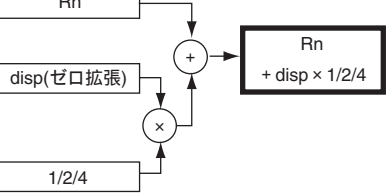
MOV.W	@(disp, PC), Rn
MOV.L	@(disp, PC), Rn

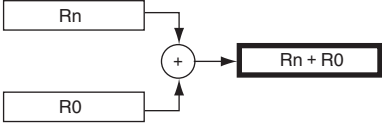
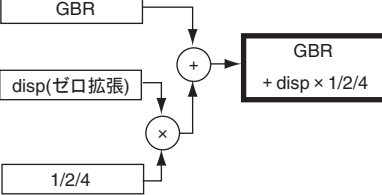
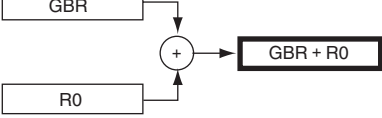
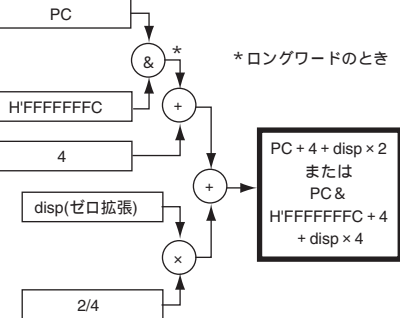
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT = 1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV = 0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn → EA (EA : 実効アドレス)
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn → EA 命令実行後 バイト : Rn + 1 → Rn ワード : Rn + 2 → Rn ロングワード : Rn + 4 → Rn クワッドワード : Rn + 8 → Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn - 1 → Rn ワード : Rn - 2 → Rn ロングワード : Rn - 4 → Rn クワッドワード : Rn - 8 → Rn Rn → EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn + disp → EA ワード : Rn + disp × 2 → EA ロングワード : Rn + disp × 4 → EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 	$Rn + R0 \rightarrow EA$
ディスプレースメント 付き GBR 間接	@(disp:8, GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $GBR + disp \rightarrow EA$ ワード : $GBR + disp \times 2 \rightarrow EA$ ロングワード : $GBR + disp \times 4 \rightarrow EA$
インデックス付き GBR 間接	@(R0, GBR)	実効アドレスはレジスタ GBR に R0 を加算した内容です。 	$GBR + R0 \rightarrow EA$
ディスプレースメント 付き PC 相対	@(disp:8, PC)	実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。  * ロングワードのとき	ワード : $PC + 4 + disp \times 2 \rightarrow EA$ ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times \rightarrow EA$

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。	$PC + 4 + \text{disp} \times 2 \rightarrow \text{Branch-Target}$
	disp:12	実効アドレスは PC + 4 に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。	$PC + 4 + \text{disp} \times 2 \rightarrow \text{Branch-Target}$
PC 相対	Rn	実効アドレスは PC + 4 に Rn を加算した内容です。	$PC + 4 + Rn \rightarrow \text{Branch-Target}$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレースメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするためで、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@ (disp:4, Rn) ;ディスプレースメント付きレジスタ間接
 @ (disp:8, GBR) ;ディスプレースメント付き GBR 間接
 @ (disp:8, PC) ;ディスプレースメント付き PC 相対
 disp: 8, disp:12 ;PC 相対

3.3 命令セット

表 3.4～表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項目	フォーマット	説 明
命令二ーモニク	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		→, ← : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB → LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

項目	フォーマット	説 明
命令コード	MSB ← LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iii : イミディエイト値 dddd : ディスプレースメント
特権モード	-	「特権」と記載してある場合、特権モードでのみ実行可能です。
T ビット	命令実行後の T ビットの値	- : 変更なし
新規	-	「新規」と記載してある場合は、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A で新規に追加された命令です。

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 3.4 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm → 符号拡張 → Rn	1110nnnniiiiiii	-	-	-
MOV.W @(disp*,PC),Rn	(disp × 2+PC+4) → 符号拡張 → Rn	1001nnnnnddddddd	-	-	-
MOV.L @(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFFC+4) → Rn	1101nnnnnddddddd	-	-	-
MOV Rm,Rn	Rm → Rn	0110nnnnmmmm0011	-	-	-
MOV.B Rm,@Rn	Rm → (Rn)	0010nnnnmmmm0000	-	-	-
MOV.W Rm,@Rn	Rm → (Rn)	0010nnnnmmmm0001	-	-	-
MOV.L Rm,@Rn	Rm → (Rn)	0010nnnnmmmm0010	-	-	-
MOV.B @Rm,Rn	(Rm) → 符号拡張 → Rn	0110nnnnmmmm0000	-	-	-
MOV.W @Rm,Rn	(Rm) → 符号拡張 → Rn	0110nnnnmmmm0001	-	-	-
MOV.L @Rm,Rn	(Rm) → Rn	0110nnnnmmmm0010	-	-	-
MOV.B Rm,@-Rn	Rn-1 → Rn, Rm → (Rn)	0010nnnnmmmm0100	-	-	-
MOV.W Rm,@-Rn	Rn-2 → Rn, Rm → (Rn)	0010nnnnmmmm0101	-	-	-
MOV.L Rm,@-Rn	Rn-4 → Rn, Rm → (Rn)	0010nnnnmmmm0110	-	-	-
MOV.B @Rm+,Rn	(Rm) → 符号拡張 → Rn, Rm+1 → Rm	0110nnnnmmmm0100	-	-	-
MOV.W @Rm+,Rn	(Rm) → 符号拡張 → Rn, Rm+2 → Rm	0110nnnnmmmm0101	-	-	-
MOV.L @Rm+,Rn	(Rm) → Rn, Rm+4 → Rm	0110nnnnmmmm0110	-	-	-
MOV.B R0,@(disp*,Rn)	R0 → (disp+Rn)	1000000nnnnndddd	-	-	-
MOV.W R0,@(disp*,Rn)	R0 → (disp × 2+Rn)	10000001nnnnndddd	-	-	-
MOV.L Rm,@(disp*,Rn)	Rm → (disp × 4+Rn)	0001nnnnmmmmddddd	-	-	-
MOV.B @(disp*,Rm),R0	(disp+Rm) → 符号拡張 → R0	10000100mmmmddddd	-	-	-
MOV.W @(disp*,Rm),R0	(disp × 2+Rm) → 符号拡張 → R0	10000101mmmmddddd	-	-	-
MOV.L @(disp*,Rm),Rn	(disp × 4+Rm) → Rn	0101nnnnmmmmddddd	-	-	-
MOV.B Rm,@(R0,Rn)	Rm → (R0+Rn)	0000nnnnmmmm0100	-	-	-
MOV.W Rm,@(R0,Rn)	Rm → (R0+Rn)	0000nnnnmmmm0101	-	-	-
MOV.L Rm,@(R0,Rn)	Rm → (R0+Rn)	0000nnnnmmmm0110	-	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm) → 符号拡張 → Rn	0000nnnnmmmm1100	-	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm) → 符号拡張 → Rn	0000nnnnmmmm1101	-	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm) → Rn	0000nnnnmmmm1110	-	-	-
MOV.B R0,@(disp*,GBR)	R0 → (disp+GBR)	11000000ddddd	-	-	-
MOV.W R0,@(disp*,GBR)	R0 → (disp × 2+GBR)	11000001ddddd	-	-	-
MOV.L R0,@(disp*,GBR)	R0 → (disp × 4+GBR)	11000010ddddd	-	-	-
MOV.B @(disp*,GBR),R0	(disp+GBR) → 符号拡張 → R0	11000100ddddd	-	-	-
MOV.W @(disp*,GBR),R0	(disp × 2+GBR) → 符号拡張 → R0	11000101ddddd	-	-	-
MOV.L @(disp*,GBR),R0	(disp × 4+GBR) → R0	11000110ddddd	-	-	-
MOVA @(disp*,PC),R0	disp × 4+PC&H'FFFFFFFC+4 → R0	11000111ddddd	-	-	-

命令	動作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST→T if(T==1)R0→(Rn) 0→LDST	0000nnnn01110011	-	LDST	新規
MOVLI.L @Rm,R0	1→LDST (Rm)→R0 ただし、割り込み / 例外発生時 0→LDST	0000mmmm01100011	-	-	新規
MOVUA.L @Rm,R0	(Rm)→R0 非境界調整データのロード	0100mmmm10101001	-	-	新規
MOVUA.L @Rm+,R0	(Rm)→R0,Rm+4→Rm 非境界調整データのロード	0100mmmm11101001	-	-	新規
MOVT Rn	T→Rn	0000nnnn00101001	-	-	-
SWAP.B Rm,Rn	Rm→下位 2 バイトの 上下バイト交換→Rn	0110nnnnmmmm1000	-	-	-
SWAP.W Rm,Rn	Rm→上下ワード交換→Rn	0110nnnnmmmm1001	-	-	-
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット→Rn	0010nnnnmmmm1101	-	-	-

【注】 * ルネサスのアセンブラでは、disp にスケーリング後 (×1、×2、×4) の値を設定します。

表 3.5 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm→Rn	0011nnnnmmmm1100	-	-	-
ADD #imm,Rn	Rn+imm→Rn	0111nnnniiiiiiii	-	-	-
ADDC Rm,Rn	Rn+Rm+T→Rn,キャリ→T	0011nnnnmmmm1110	-	キャリ	-
ADDV Rm,Rn	Rn+Rm→Rn,オーバフロー→T	0011nnnnmmmm1111	-	オ - バ フロ -	-
CMP/EQ #imm,R0	R0=imm のとき 1→T それ以外のとき 0→T	10001000iiiiiiii	-	比較 結果	-
CMP/EQ Rm,Rn	Rn=Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0000	-	比較 結果	-
CMP/HS Rm,Rn	無符号で Rn Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0010	-	比較 結果	-
CMP/GE Rm,Rn	有符号で Rn Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0011	-	比較 結果	-
CMP/HL Rm,Rn	無符号で Rn>Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0110	-	比較 結果	-
CMP/GT Rm,Rn	有符号で Rn>Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0111	-	比較 結果	-
CMP/PZ Rn	Rn 0 のとき 1→T それ以外のとき 0→T	0100nnnn00010001	-	比較 結果	-

命令	動作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1→T それ以外るとき 0→T	0100nnnn00010101	-	比較 結果	-
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1→T それ以外るとき 0→T	0010nnnnmmmm1100	-	比較 結果	-
DIV1 Rm,Rn	1 ステップ除算(Rn ÷ Rm)	0011nnnnmmmm0100	-	計算 結果	-
DIV0S Rm,Rn	Rn の MSB→Q, Rm の MSB→M, M^Q→T	0010nnnnmmmm0111	-	計算 結果	-
DIV0U	0→M/Q/T	0000000000011001	-	0	-
DMULS.L Rm,Rn	符号付きで Rn × Rm → MAC, 32 × 32 → 64 ビット	0011nnnnmmmm1101	-	-	-
DMULU.L Rm,Rn	符号なしで Rn × Rm → MAC, 32 × 32 → 64 ビット	0011nnnnmmmm0101	-	-	-
DT Rn	Rn-1→Rn, Rn が 0 のとき 1→T Rn が 0 以外るとき 0→T	0100nnnn00010000	-	比較 結果	-
EXTS.B Rm,Rn	Rm をバイトから符号拡張→Rn	0110nnnnmmmm1110	-	-	-
EXTS.W Rm,Rn	Rm をワードから符号拡張→Rn	0110nnnnmmmm1111	-	-	-
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張→Rn	0110nnnnmmmm1100	-	-	-
EXTU.W Rm,Rn	Rm をワードからゼロ拡張→Rn	0110nnnnmmmm1101	-	-	-
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC → MAC Rn+4 → Rn, Rm+4 → Rm 32 × 32 + 64 → 64 ビット	0000nnnnmmmm1111	-	-	-
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC → MAC Rn+2 → Rn, Rm+2 → Rm 16 × 16 + 64 → 64 ビット	0100nnnnmmmm1111	-	-	-
MUL.L Rm,Rn	Rn × Rm → MACL 32 × 32 → 32 ビット	0000nnnnmmmm0111	-	-	-
MULS.W Rm,Rn	符号付きで Rn × Rm → MACL 16 × 16 → 32 ビット	0010nnnnmmmm1111	-	-	-
MULU.W Rm,Rn	符号なしで Rn × Rm → MACL 16 × 16 → 32 ビット	0010nnnnmmmm1110	-	-	-
NEG Rm,Rn	0-Rm → Rn	0110nnnnmmmm1011	-	-	-
NEGC Rm,Rn	0-Rm-T → Rn, ボロー → T	0110nnnnmmmm1010	-	ボロー	-
SUB Rm,Rn	Rn-Rm → Rn	0011nnnnmmmm1000	-	-	-
SUBC Rm,Rn	Rn-Rm-T → Rn, ボロー → T	0011nnnnmmmm1010	-	ボロー	-
SUBV Rm,Rn	Rn-Rm → Rn, アンダフロー → T	0011nnnnmmmm1011	-	アンダ フロー	-

表 3.6 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm \rightarrow Rn$	0010nnnnmmmm1001	-	-	-
AND #imm,R0	$R0 \& imm \rightarrow R0$	11001001iiiiiii	-	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	11001101iiiiiii	-	-	-
NOT Rm,Rn	$\sim Rm \rightarrow Rn$	0110nnnnmmmm0111	-	-	-
OR Rm,Rn	$Rn Rm \rightarrow Rn$	0010nnnnmmmm1011	-	-	-
OR #imm,R0	$R0 imm \rightarrow R0$	11001011iiiiiii	-	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm \rightarrow (R0+GBR)$	11001111iiiiiii	-	-	-
TAS.B @Rn	(Rn)が0のとき 1→T それ以外とき 0→T 両方に対して 1→(Rn)のMSB	0100nnnn00011011	-	テスト 結果	-
TST Rm,Rn	$Rn \& Rm$,結果が0のとき 1→T それ以外のとき 0→T	0010nnnnmmmm1000	-	テスト 結果	-
TST #imm,R0	$R0 \& imm$,結果が0のとき 1→T それ以外のとき 0→T	11001000iiiiiii	-	テスト 結果	-
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1→T それ以外のとき 0→T	11001100iiiiiii	-	テスト 結果	-
XOR Rm,Rn	$Rn \wedge Rm \rightarrow Rn$	0010nnnnmmmm1010	-	-	-
XOR #imm,R0	$R0 \wedge imm \rightarrow R0$	11001010iiiiiii	-	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	11001110iiiiiii	-	-	-

表 3.7 シフト命令

命令	動作	命令コード	特権	T ビット	新規
ROTL Rn	$T \leftarrow Rn \leftarrow \text{MSB}$	0100nnnn00000100	-	MSB	-
ROTR Rn	$\text{LSB} \rightarrow Rn \rightarrow T$	0100nnnn00000101	-	LSB	-
ROTCL Rn	$T \leftarrow Rn \leftarrow T$	0100nnnn00100100	-	MSB	-
ROTCR Rn	$T \rightarrow Rn \rightarrow T$	0100nnnn00100101	-	LSB	-
SHAD Rm, Rn	Rm 0 のとき $Rn \ll Rm \rightarrow Rn$, Rm<0 のとき $Rn \gg Rm \rightarrow [\text{MSB} \rightarrow Rn]$	0100nnnnmmmm1100	-	-	-
SHAL Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00100000	-	MSB	-
SHAR Rn	$\text{MSB} \rightarrow Rn \rightarrow T$	0100nnnn00100001	-	LSB	-
SHLD Rm, Rn	Rm 0 のとき $Rn \ll Rm \rightarrow Rn$, Rm<0 のとき $Rn \gg Rm \rightarrow [0 \rightarrow Rn]$	0100nnnnmmmm1101	-	-	-
SHLL Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00000000	-	MSB	-
SHLR Rn	$0 \rightarrow Rn \rightarrow T$	0100nnnn00000001	-	LSB	-
SHLL2 Rn	$Rn \ll 2 \rightarrow Rn$	0100nnnn00001000	-	-	-
SHLR2 Rn	$Rn \gg 2 \rightarrow Rn$	0100nnnn00001001	-	-	-
SHLL8 Rn	$Rn \ll 8 \rightarrow Rn$	0100nnnn00011000	-	-	-
SHLR8 Rn	$Rn \gg 8 \rightarrow Rn$	0100nnnn00011001	-	-	-
SHLL16 Rn	$Rn \ll 16 \rightarrow Rn$	0100nnnn00101000	-	-	-
SHLR16 Rn	$Rn \gg 16 \rightarrow Rn$	0100nnnn00101001	-	-	-

表 3.8 分岐命令

命令	動作	命令コード	特権	T ビット	新規
BF label	T=0 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$, T=1 のとき nop	10001011dddddddd	-	-	-
BF/S label	遅延分岐, T=0 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$, T=1 のとき nop	10001111dddddddd	-	-	-
BT label	T=1 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$, T=0 のとき nop	10001001dddddddd	-	-	-
BT/S label	遅延分岐, T=1 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$, T=0 のとき nop	10001101dddddddd	-	-	-
BRA label	遅延分岐, $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$	1010dddddddddddd	-	-	-
BRAF Rn	遅延分岐, $\text{Rn} + \text{PC} + 4 \rightarrow \text{PC}$	0000nnnn00100011	-	-	-
BSR label	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$, $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$	1011dddddddddddd	-	-	-
BSRF Rn	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$, $\text{Rn} + \text{PC} + 4 \rightarrow \text{PC}$	0000nnnn00000011	-	-	-
JMP @Rn	遅延分岐, $\text{Rn} \rightarrow \text{PC}$	0100nnnn00101011	-	-	-
JSR @Rn	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$, $\text{Rn} \rightarrow \text{PC}$	0100nnnn00001011	-	-	-
RTS	遅延分岐, $\text{PR} \rightarrow \text{PC}$	0000000000001011	-	-	-

表 3.9 システム制御命令

命令	動作	命令コード	特権	T ビット	新規
CLRMAC	$0 \rightarrow \text{MACH}, \text{MACL}$	0000000000101000	-	-	-
CLRS	$0 \rightarrow \text{S}$	0000000001001000	-	-	-
CLRT	$0 \rightarrow \text{T}$	0000000000001000	-	0	-
ICBI @Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011	-	-	新規
LDC Rm, SR	$\text{Rm} \rightarrow \text{SR}$	0100mmmm00001110	特権	LSB	-
LDC Rm, GBR	$\text{Rm} \rightarrow \text{GBR}$	0100mmmm00011110	-	-	-
LDC Rm, VBR	$\text{Rm} \rightarrow \text{VBR}$	0100mmmm00101110	特権	-	-
LDC Rm, SGR	$\text{Rm} \rightarrow \text{SGR}$	0100mmmm00111010	特権	-	新規
LDC Rm, SSR	$\text{Rm} \rightarrow \text{SSR}$	0100mmmm00111110	特権	-	-
LDC Rm, SPC	$\text{Rm} \rightarrow \text{SPC}$	0100mmmm01001110	特権	-	-
LDC Rm, DBR	$\text{Rm} \rightarrow \text{DBR}$	0100mmmm11111010	特権	-	-
LDC Rm, Rn_BANK	$\text{Rm} \rightarrow \text{Rn_BANK} (n=0 \sim 7)$	0100mmmm1nnn1110	特権	-	-
LDC.L @Rm+, SR	$(\text{Rm}) \rightarrow \text{SR}, \text{Rm} + 4 \rightarrow \text{Rm}$	0100mmmm00000111	特権	LSB	-
LDC.L @Rm+, GBR	$(\text{Rm}) \rightarrow \text{GBR}, \text{Rm} + 4 \rightarrow \text{Rm}$	0100mmmm00010111	-	-	-

命令	動作	命令コード	特権	T ビット	新規
LDC.L @Rm+,VBR	(Rm) → VBR, Rm+4 → Rm	0100mmmm00100111	特権	-	-
LDC.L @Rm+,SGR	(Rm) → SGR, Rm+4 → Rm	0100mmmm00110110	特権	-	新規
LDC.L @Rm+,SSR	(Rm) → SSR, Rm+4 → Rm	0100mmmm00110111	特権	-	-
LDC.L @Rm+,SPC	(Rm) → SPC, Rm+4 → Rm	0100mmmm01000111	特権	-	-
LDC.L @Rm+,DBR	(Rm) → DBR, Rm+4 → Rm	0100mmmm11110110	特権	-	-
LDC.L @Rm+,Rn_BANK	(Rm) → Rn_BANK, Rm+4 → Rm	0100mmmm1nnn0111	特権	-	-
LDS Rm,MACH	Rm → MACH	0100mmmm00001010	-	-	-
LDS Rm,MACL	Rm → MACL	0100mmmm00011010	-	-	-
LDS Rm,PR	Rm → PR	0100mmmm00101010	-	-	-
LDS.L @Rm+,MACH	(Rm) → MACH, Rm+4 → Rm	0100mmmm00000110	-	-	-
LDS.L @Rm+,MACL	(Rm) → MACL, Rm+4 → Rm	0100mmmm00010110	-	-	-
LDS.L @Rm+,PR	(Rm) → PR, Rm+4 → Rm	0100mmmm00100110	-	-	-
LDTLB	PTEH/PTEL → TLB	0000000000111000	特権	-	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに)R0 → (Rn)	0000nnnn11000011	-	-	-
NOP	無操作	0000000000001001	-	-	-
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011	-	-	-
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnnn10100011	-	-	-
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	-	-	-
PREF @Rn	(Rn) → オペランドキャッシュ	0000nnnn10000011	-	-	-
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	-	-	新規
RTE	遅延分岐, SSR/SPC → SR/PC	0000000000101011	特権	-	-
SETS	1 → S	00000000001011000	-	-	-
SETT	1 → T	00000000000011000	-	1	-
SLEEP	スリープもしくはスタンバイ	00000000000011011	特権	-	-
STC SR,Rn	SR → Rn	0000nnnn00000010	特権	-	-
STC GBR,Rn	GBR → Rn	0000nnnn00010010	-	-	-
STC VBR,Rn	VBR → Rn	0000nnnn00100010	特権	-	-
STC SSR,Rn	SSR → Rn	0000nnnn00110010	特権	-	-
STC SPC,Rn	SPC → Rn	0000nnnn01000010	特権	-	-
STC SGR,Rn	SGR → Rn	0000nnnn00111010	特権	-	-
STC DBR,Rn	DBR → Rn	0000nnnn11111010	特権	-	-
STC Rm_BANK,Rn	Rm_BANK → Rn(m=0 ~ 7)	0000nnnn1mmm0010	特権	-	-

命令	動作	命令コード	特権	T ビット	新規
STC.L SR,@-Rn	Rn-4 → Rn,SR → (Rn)	0100nnnn00000011	特権	-	-
STC.L GBR,@-Rn	Rn-4 → Rn,GBR → (Rn)	0100nnnn00010011	-	-	-
STC.L VBR,@-Rn	Rn-4 → Rn,VBR → (Rn)	0100nnnn00100011	特権	-	-
STC.L SSR,@-Rn	Rn-4 → Rn,SSR → (Rn)	0100nnnn00110011	特権	-	-
STC.L SPC,@-Rn	Rn-4 → Rn,SPC → (Rn)	0100nnnn01000011	特権	-	-
STC.L SGR,@-Rn	Rn-4 → Rn,SGR → (Rn)	0100nnnn00110010	特権	-	-
STC.L DBR,@-Rn	Rn-4 → Rn,DBR → (Rn)	0100nnnn11110010	特権	-	-
STC.L Rm_BANK,@-Rn	Rn-4 → Rn,Rm_BANK → (Rn) (m=0 ~ 7)	0100nnnn1mmm0011	特権	-	-
STS MACH,Rn	MACH → Rn	0000nnnn00001010	-	-	-
STS MACL,Rn	MACL → Rn	0000nnnn00011010	-	-	-
STS PR,Rn	PR → Rn	0000nnnn00101010	-	-	-
STS.L MACH,@-Rn	Rn-4 → Rn,MACH → (Rn)	0100nnnn00000010	-	-	-
STS.L MACL,@-Rn	Rn-4 → Rn,MACL → (Rn)	0100nnnn00010010	-	-	-
STS.L PR,@-Rn	Rn-4 → Rn,PR → (Rn)	0100nnnn00100010	-	-	-
SYNCO	本命令以前のデータ操作を完了する まで、本命令以降の命令を開始しない	0000000010101011	-	-	新規
TRAPA #imm	imm<<2 → TRA,PC+2 → SPC, SR → SSR,R15 → SGR, 1 → SR.MD/BL/RB,H'160 → EXPEVT, VBR+H'0100 → PC	11000011iiiiiii	-	-	-

表 3.10 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規
FLDI0 FRn	H'00000000 → FRn	1111nnnn10001101	-	-	-
FLDI1 FRn	H'3F800000 → FRn	1111nnnn10011101	-	-	-
FMOV FRm,FRn	FRm → FRn	1111nnnnmmmm1100	-	-	-
FMOV.S @Rm,FRn	(Rm) → FRn	1111nnnnmmmm1000	-	-	-
FMOV.S @(R0,Rm),FRn	(R0+Rm) → FRn	1111nnnnmmmm0110	-	-	-
FMOV.S @Rm+,FRn	(Rm) → FRn, Rm+4 → Rm	1111nnnnmmmm1001	-	-	-
FMOV.S FRm,@Rn	FRm → (Rn)	1111nnnnmmmm1010	-	-	-
FMOV.S FRm,@-Rn	Rn-4 → Rn, FRm → (Rn)	1111nnnnmmmm1011	-	-	-
FMOV.S FRm,@(R0,Rn)	FRm → (R0+Rn)	1111nnnnmmmm0111	-	-	-
FMOV DRm,DRn	DRm → DRn	1111nnnn0mmmm01100	-	-	-
FMOV @Rm,DRn	(Rm) → DRn	1111nnnn0mmmm1000	-	-	-
FMOV @(R0,Rm),DRn	(R0+Rm) → DRn	1111nnnn0mmmm0110	-	-	-
FMOV @Rm+,DRn	(Rm) → DRn, Rm+8 → Rm	1111nnnn0mmmm1001	-	-	-
FMOV DRm,@Rn	DRm → (Rn)	1111nnnnmmmm01010	-	-	-
FMOV DRm,@-Rn	Rn-8 → Rn, DRm → (Rn)	1111nnnnmmmm01011	-	-	-
FMOV DRm,@(R0,Rn)	DRm → (R0+Rn)	1111nnnnmmmm00111	-	-	-
FLDS FRm,FPUL	FRm → FPUL	1111mmmm00011101	-	-	-
FSTS FPUL,FRn	FPUL → FRn	1111nnnn00001101	-	-	-
FABS FRn	FRn & H'7FFF FFFF → FRn	1111nnnn01011101	-	-	-
FADD FRm,FRn	FRn+FRm → FRn	1111nnnnmmmm0000	-	-	-
FCMP/EQ FRm,FRn	FRn=FRm のとき 1→T それ以外のとき 0→T	1111nnnnmmmm0100	-	比較 結果	-
FCMP/GT FRm,FRn	FRn>FRm のとき 1→T それ以外のとき 0→T	1111nnnnmmmm0101	-	比較 結果	-
FDIV FRm,FRn	FRn/FRm → FRn	1111nnnnmmmm0011	-	-	-
FLOAT FPUL,FRn	(float)FPUL → FRn	1111nnnn00101101	-	-	-
FMAC FR0,FRm,FRn	FR0 × FRm+FRn → FRn	1111nnnnmmmm1110	-	-	-
FMUL FRm,FRn	FRn × FRm → FRn	1111nnnnmmmm0010	-	-	-
FNEG FRn	FRn ^ H'80000000 → FRn	1111nnnn01001101	-	-	-
FSQRT FRn	sqrt(FRn) → FRn*	1111nnnn01101101	-	-	-
FSUB FRm,FRn	FRn - FRm → FRn	1111nnnnmmmm0001	-	-	-
FTRC FRm,FPUL	(long)FRm → FPUL	1111mmmm00111101	-	-	-

【注】 * sqrt(FRn)はFRnの平方根を表します。

表 3.11 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	DRn & H'7FFF FFFF FFFF FFFF → DRn	1111nnnn001011101	-	-	-
FADD DRm, DRn	DRn + DRm → DRn	1111nnnn0mmm00000	-	-	-
FCMP/EQ DRm, DRn	DRn = DRm のとき 1 → T それ以外のとき 0 → T	1111nnnn0mmm00100	-	比較 結果	-
FCMP/GT DRm, DRn	DRn > DRm のとき 1 → T それ以外のとき 0 → T	1111nnnn0mmm00101	-	比較 結果	-
FDIV DRm, DRn	DRn / DRm → DRn	1111nnnn0mmm00011	-	-	-
FCNVDS DRm, FPUL	double_to_float(DRm) → FPUL	1111mmmm010111101	-	-	-
FCNVSD FPUL, DRn	float_to_double(FPUL) → DRn	1111nnnn010101101	-	-	-
FLOAT FPUL, DRn	(float)FPUL → DRn	1111nnnn000101101	-	-	-
FMUL DRm, DRn	DRn × DRm → DRn	1111nnnn0mmm00010	-	-	-
FNEG DRn	DRn ^ H'8000 0000 0000 0000 → DRn	1111nnnn001001101	-	-	-
FSQRT DRn	sqrt(DRn) → DRn*	1111nnnn001101101	-	-	-
FSUB DRm, DRn	DRn - DRm → DRn	1111nnnn0mmm00001	-	-	-
FTRC DRm, FPUL	(long)DRm → FPUL	1111mmmm000111101	-	-	-

【注】 * sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm, FPSCR	Rm → FPSCR	0100mmmm01101010	-	-	-
LDS Rm, FPUL	Rm → FPUL	0100mmmm01011010	-	-	-
LDS.L @Rm+, FPSCR	(Rm) → FPSCR, Rm+4 → Rm	0100mmmm01100110	-	-	-
LDS.L @Rm+, FPUL	(Rm) → FPUL, Rm+4 → Rm	0100mmmm01010110	-	-	-
STS FPSCR, Rn	FPSCR → Rn	0000nnnn01101010	-	-	-
STS FPUL, Rn	FPUL → Rn	0000nnnn01011010	-	-	-
STS.L FPSCR, @-Rn	Rn-4 → Rn, FPSCR → (Rn)	0100nnnn01100010	-	-	-
STS.L FPUL, @-Rn	Rn-4 → Rn, FPUL → (Rn)	0100nnnn01010010	-	-	-

表 3.13 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm → XDn	1111nnn1mmm01100	-	-	-
FMOV XDm, DRn	XDm → DRn	1111nnn0mmm11100	-	-	-
FMOV XDm, XDn	XDm → XDn	1111nnn1mmm11100	-	-	-
FMOV @Rm, XDn	(Rm) → XDn	1111nnn1mmm1000	-	-	-
FMOV @Rm+, XDn	(Rm) → XDn, Rm+8 → Rm	1111nnn1mmm1001	-	-	-
FMOV @(R0, Rm), XDn	(R0+Rm) → XDn	1111nnn1mmm0110	-	-	-
FMOV XDm, @Rn	XDm → (Rn)	1111nnnnmmm11010	-	-	-
FMOV XDm, @-Rn	Rn-8 → Rn, XDm → (Rn)	1111nnnnmmm11011	-	-	-
FMOV XDm, @(R0, Rn)	XDm → (R0+Rn)	1111nnnnmmm10111	-	-	-
FIPR FVm, FVn	inner_product(FVm, FVn) → FR[n+3]	1111nnmm11101101	-	-	-
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) → FVn	1111nn0111111101	-	-	-
FRCHG	~ FRSCR.FR → FRSCR.FR	1111101111111101	-	-	-
FSCHG	~ FPSCR.SZ → FPSCR.SZ	1111001111111101	-	-	-
FPCHG	~ FPSCR.PR → FPSCR.PR	1111011111111101	-	-	新規
FSRRA FRn	1/sqrt(FRn) → FRn*	1111nnnn01111101	-	-	新規
FSCA FPUL, DRn	sin(FPUL) → FRn cos(FPUL) → FR[n+1]	1111nnn011111101	-	-	新規

【注】 * sqrt(FRn)は FRn の平方根を表します。

4. パイプライン動作

SH-4A は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーバスカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

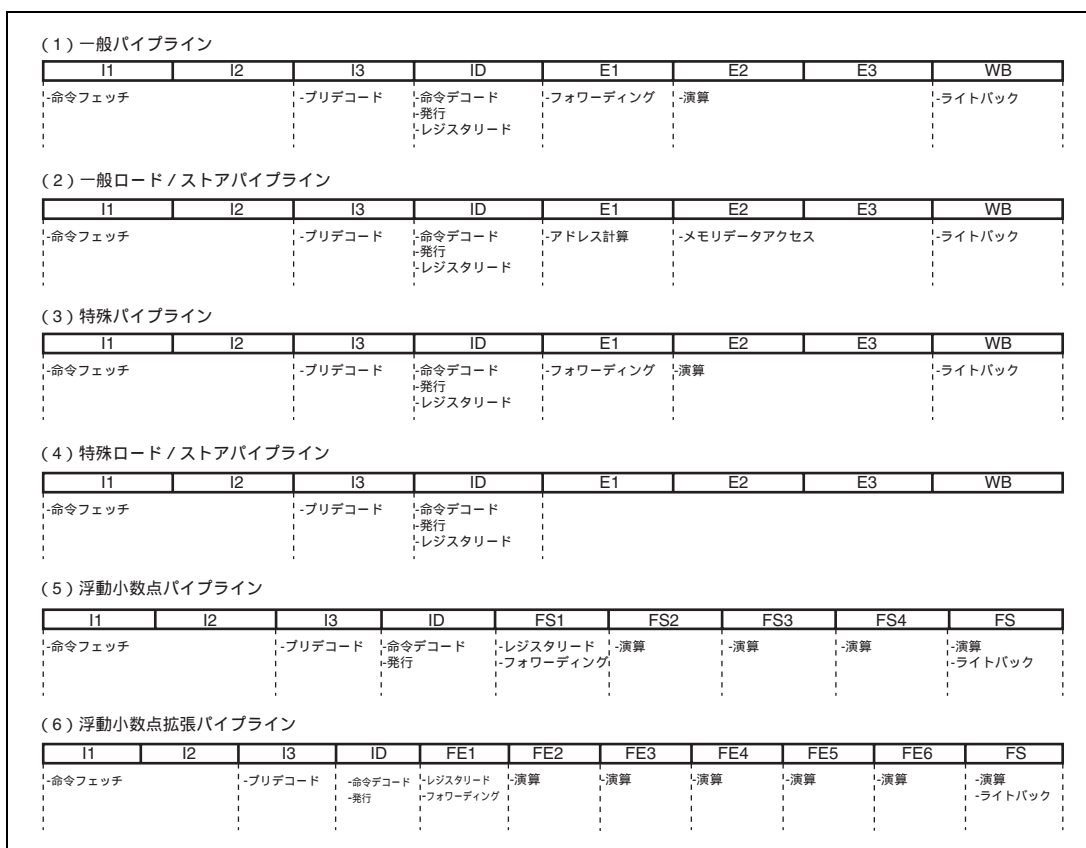


図 4.1 基本パイプライン

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table><tr><td>E1S1</td><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1	E1s1							
<table><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
<table><tr><td>└─</td></tr></table>	└─	CPU と FPU 両方のパイプを占有						
└─								

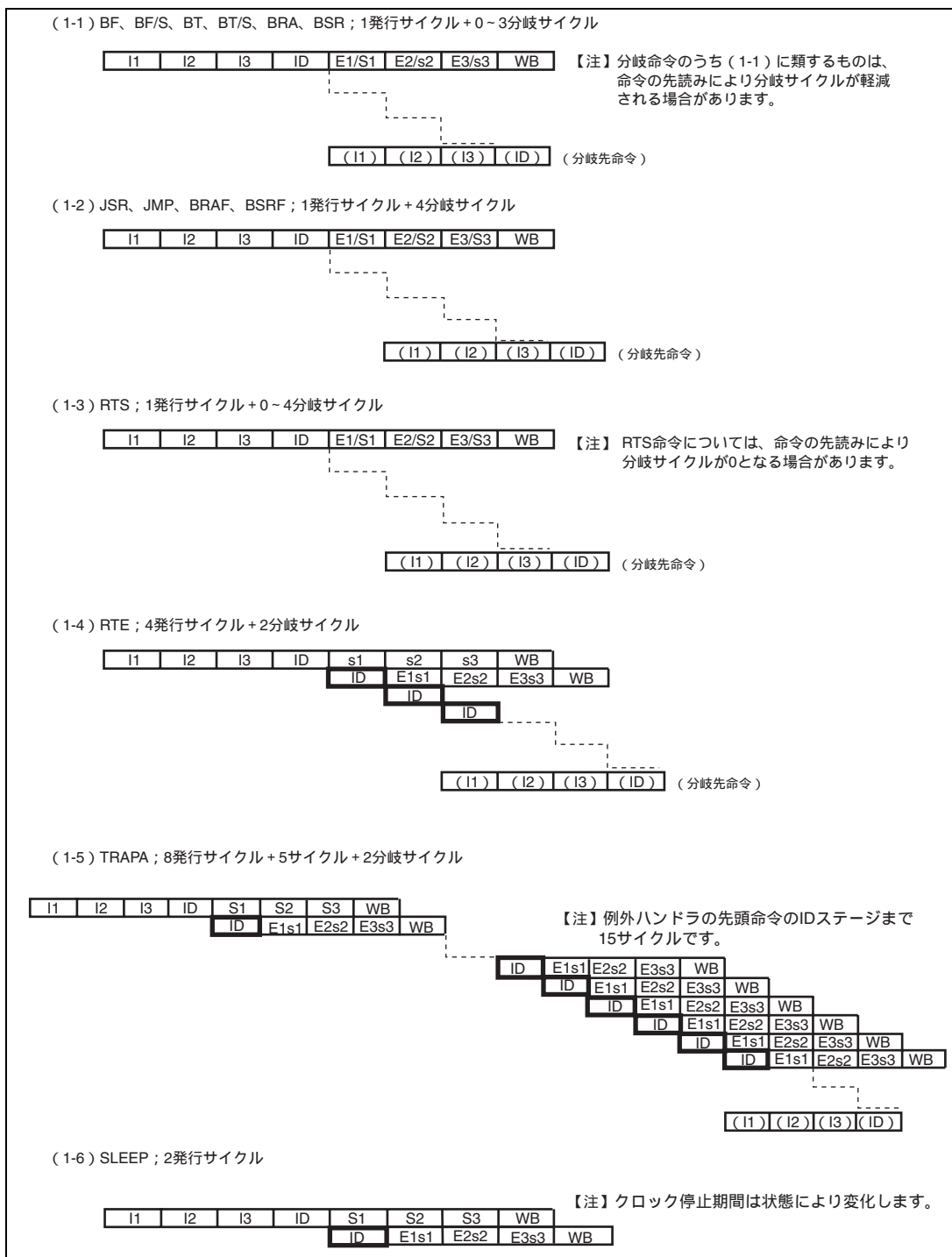


図 4.2 命令実行パターン(1)

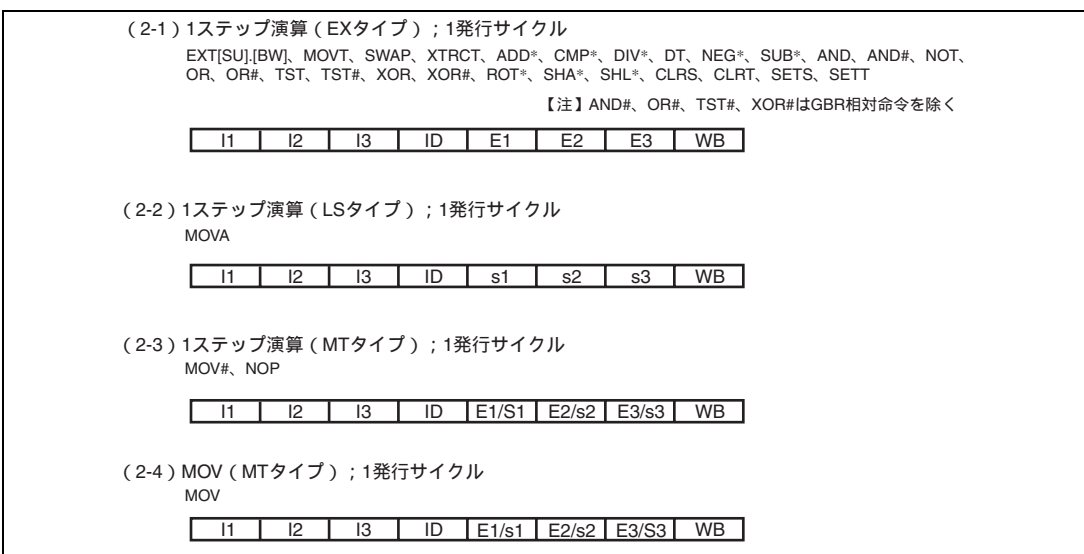


図 4.2 命令実行パターン (2)

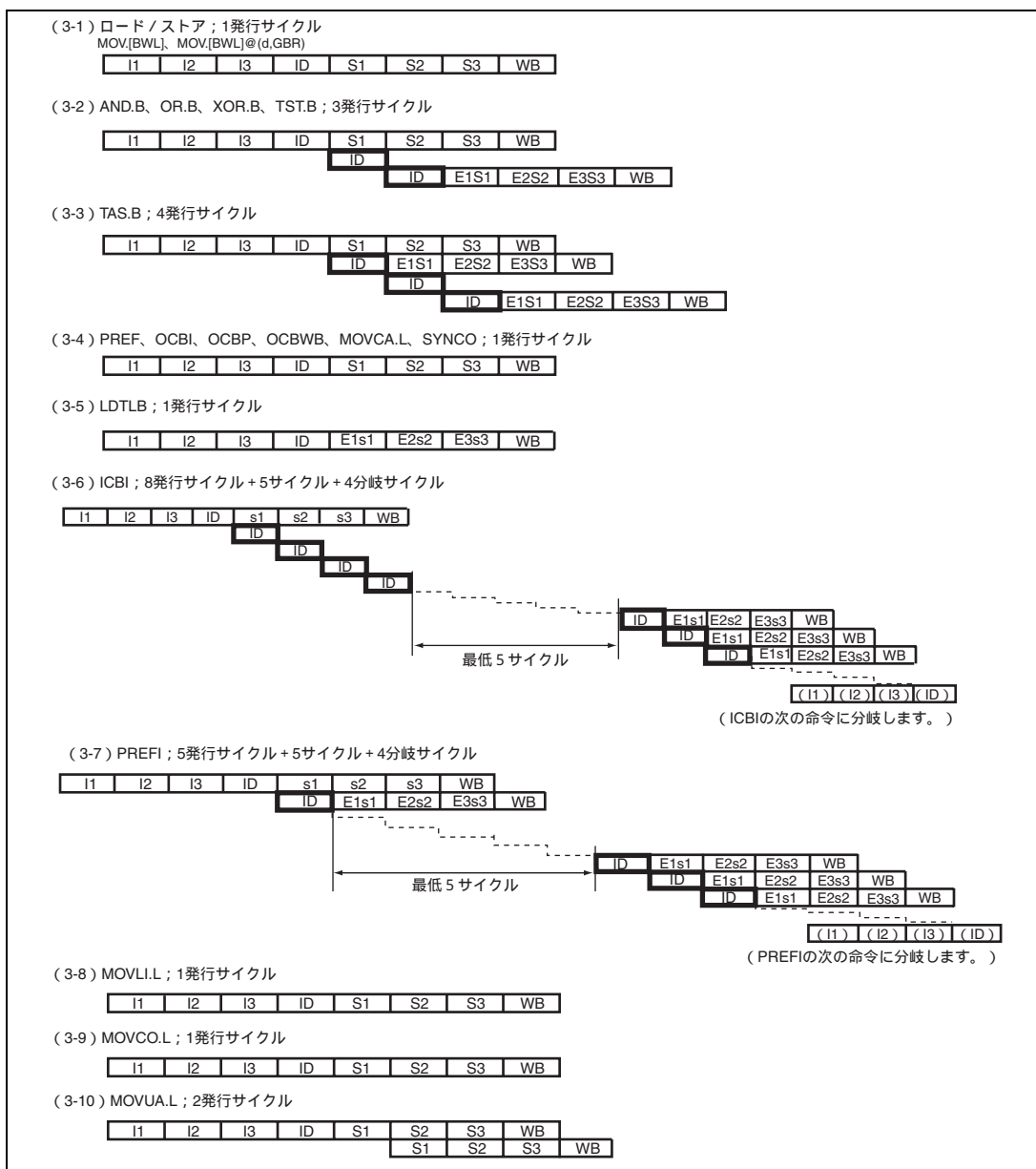


図 4.2 命令実行パターン (3)

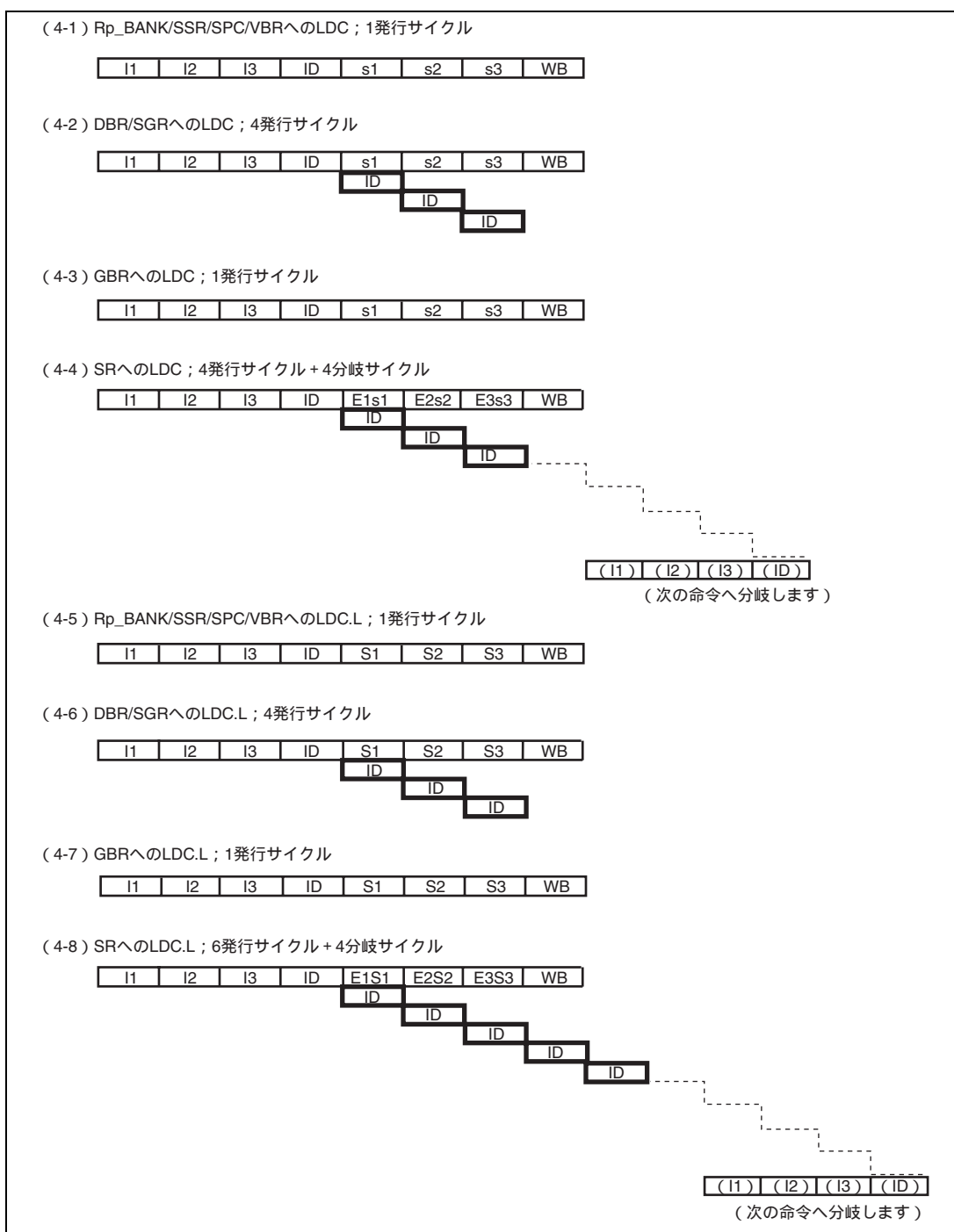


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	------	-------	-------	-------	------

【注】遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、
更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

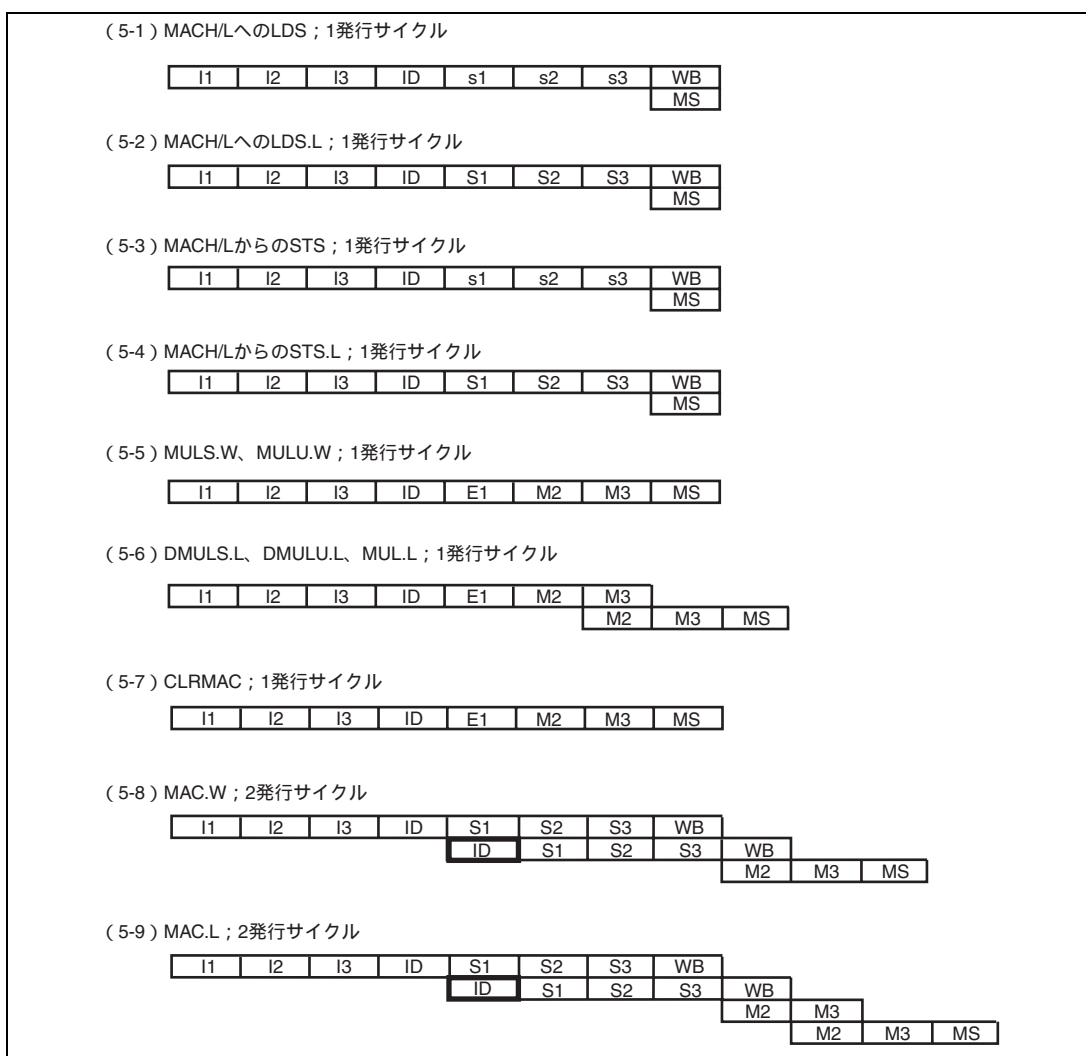


図 4.2 命令実行パターン (6)

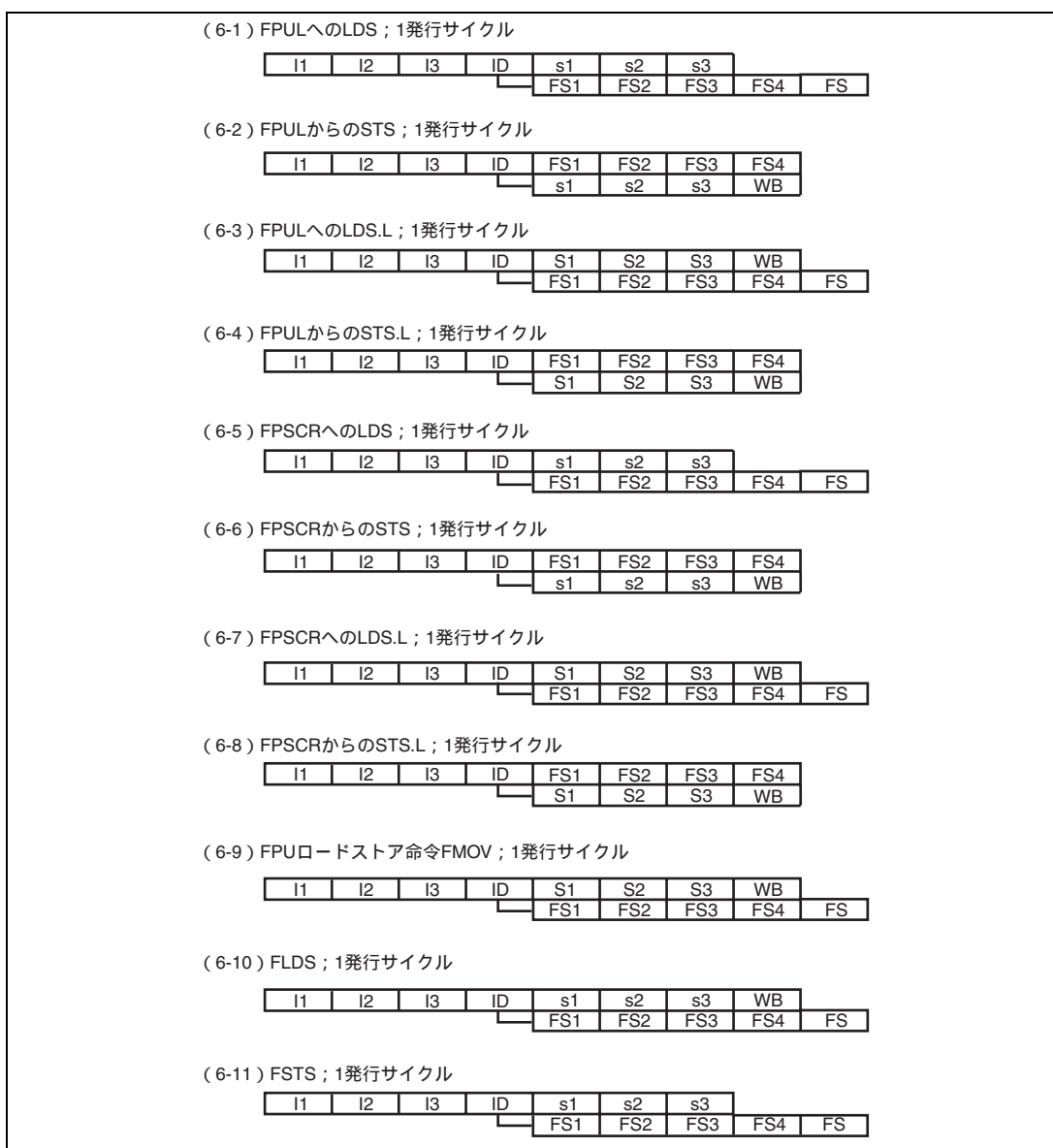
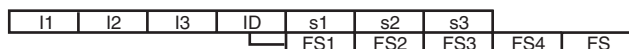
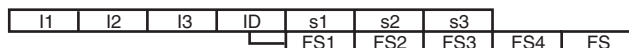


図 4.2 命令実行パターン (7)

(6-12) 単精度FABS、FNEG / 倍精度FABS、FNEG ; 1発行サイクル



(6-13) FLDI0、FLDI1 ; 1発行サイクル

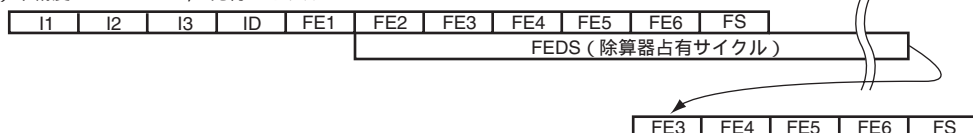


(6-14) 単精度浮動小数点演算 ; 1発行サイクル

FCMP/EQ、FCMP/GT、FADD、FLOAT、FMAC、FMUL、FSUB、FTRC、FRCHG、FSCHG、FPCHG

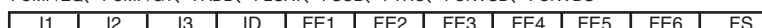


(6-15) 単精度FDIV/FSQRT ; 1発行サイクル



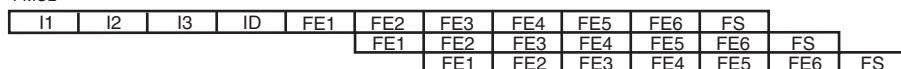
(6-16) 倍精度浮動小数点演算 ; 1発行サイクル

FCMP/EQ、FCMP/GT、FADD、FLOAT、FSUB、FTRC、FCNVSD、FCNVDS



(6-17) 倍精度浮動小数点演算 ; 1発行サイクル

FMUL



(6-18) 倍精度FDIV/FSQRT ; 1発行サイクル

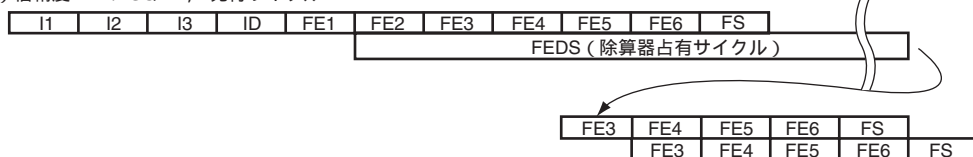


図 4.2 命令実行パターン (8)

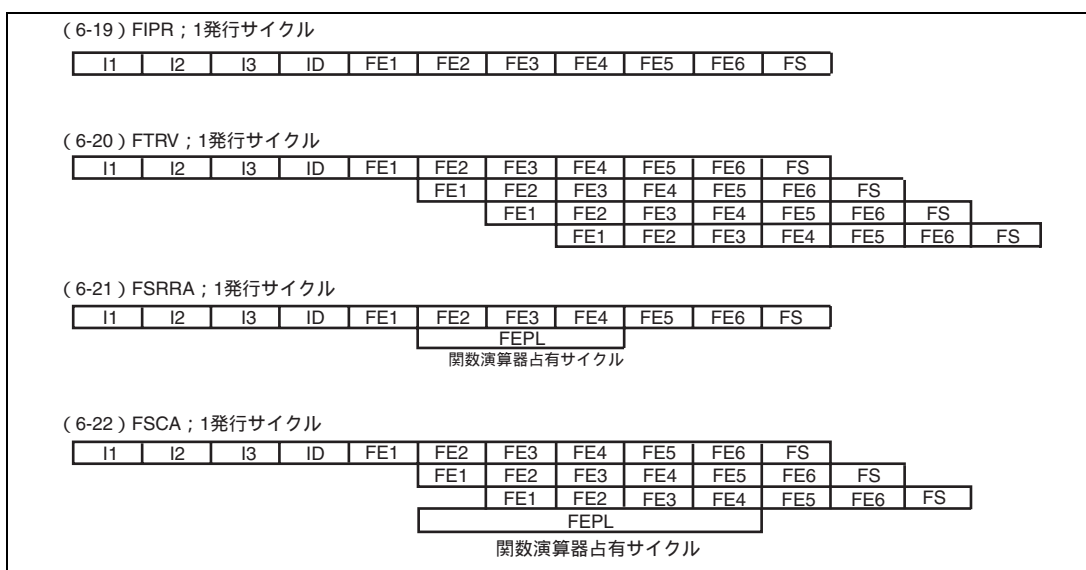


図 4.2 命令実行パターン (9)

4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令 グループ	命 令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
MT	MOV #imm,Rn	MOV Rm,Rn	NOP	
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の2命令で1Kバイト (最小のページサイズ) をまたがないこと
2. 表4.3 (先行・後行掛け合わせ表) で同時実行可能である (○となっている) こと
3. addrにある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2命令とも有効であること

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	×	○	○	○	○	
	MT	○	○	○	○	○	
	BR	○	○	×	○	○	
	LS	○	○	○	×	○	
	FE	○	○	○	○	×	
	CO						
		×					

4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

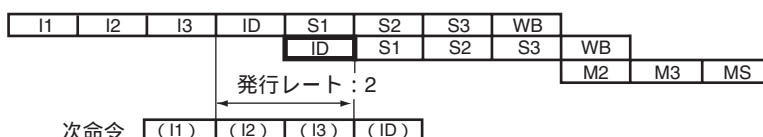
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

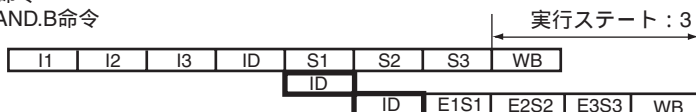


(2) 実行ステート

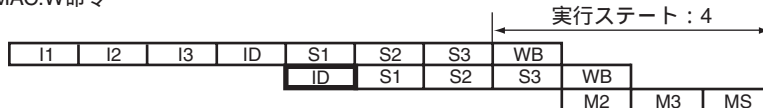
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・CPU命令

(例) AND.B命令

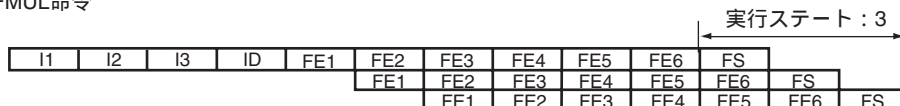


(例) MAC.W命令



・FPU命令

(例) FMUL命令



(例) FDIV命令



表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVLIL	@Rm,R0	CO	1	1	3-8
	43	MOVUAL	@Rm,R0	LS	2	2	3-10
	44	MOVUAL	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1	2-1
	54	ADD	#imm,Rn	EX	1	1	2-1
	55	ADDC	Rm,Rn	EX	1	1	2-1
	56	ADDV	Rm,Rn	EX	1	1	2-1
	57	CMP/EQ	#imm,R0	EX	1	1	2-1
	58	CMP/EQ	Rm,Rn	EX	1	1	2-1
	59	CMP/GE	Rm,Rn	EX	1	1	2-1
	60	CMP/GT	Rm,Rn	EX	1	1	2-1
	61	CMP/HI	Rm,Rn	EX	1	1	2-1
	62	CMP/HS	Rm,Rn	EX	1	1	2-1
	63	CMP/PL	Rn	EX	1	1	2-1
	64	CMP/PZ	Rn	EX	1	1	2-1
	65	CMP/STR	Rm,Rn	EX	1	1	2-1
	66	DIV0S	Rm,Rn	EX	1	1	2-1
	67	DIV0U		EX	1	1	2-1
	68	DIV1	Rm,Rn	EX	1	1	2-1
	69	DMULS.L	Rm,Rn	EX	1	2	5-6
	70	DMULU.L	Rm,Rn	EX	1	2	5-6
	71	DT	Rn	EX	1	1	2-1
	72	MAC.L	@Rm+,@Rn+	CO	2	5	5-9

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
固定小数点 算術命令	73	MAC.W	@Rm+, @Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
シフト命令	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御 命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI		CO	5+5+3	10	3-7
	131	SYNCO	@Rn	CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
	143	LDC	Rm,VBR	LS	1	1	4-1
	144	LDC.L	@Rm+,DBR	CO	4	4	4-6
	145	LDC.L	@Rm+,SGR	CO	4	4	4-6

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
	176	STS	PR,Rn	LS	1	1	4-15
	177	STS.L	MACH,@-Rn	LS	1	1	5-4
	178	STS.L	MACL,@-Rn	LS	1	1	5-4
	179	STS.L	PR,@-Rn	LS	1	1	4-16
単精度 浮動小数点 命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
単精度 浮動小数点 命令	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	14	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
	203	FMOV	DRm,DRn	LS	1	1	6-9
	204	FMOV	@Rm,DRn	LS	1	1	6-9
	205	FMOV	@Rm+,DRn	LS	1	1	6-9
	206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9
	207	FMOV	DRm,@Rn	LS	1	1	6-9
	208	FMOV	DRm,@-Rn	LS	1	1	6-9
	209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	30	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
グラフィクス 強化命令	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
	244	FSRRA	FRn	FE	1	1	6-21
	245	FSCA	FPUL,DRn	FE	1	3	6-22
	246	FTRV	XMTRX,FVn	FE	1	4	6-20

5. 例外処理

5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

SH-4A の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.2 レジスタの説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
TRAPA 例外レジスタ	TRA	不定	不定	保持	保持
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持	保持
割り込み事象レジスタ	INTEVT	不定	不定	保持	保持
非サポート検出例外レジスタ	EXPMASK	初期値 (製品に依存)	初期値 (製品に依存)	保持	保持

5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRACODE								—	—
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
31~10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11～0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	INTCODE													
初期値 :	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～14	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13～0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.4 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.～3.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.～3.に該当する機能は、今後の SuperH シリーズでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令、RTB命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.～2.はスロット不当命令例外、3.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス (キャッシング不可領域でも良い) に対するICBI命令を実行

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	MM CAW	-	-	BRDS SLP	RTE DS
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	0	0	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	MMCAW	-	R/W	メモリ割り付けキャッシュ連想ライト 0: メモリ割り付け連想書き込みを禁止します。(データアドレスエラー例外発生) 1: メモリ割り付け連想書き込みを許可します。
3、2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	BRDSSLP	-	R/W	遅延スロット SLEEP 命令 0: 遅延スロットにある SLEEP 命令を禁止します。 (SLEEP 命令をスロット不当命令とします) 1: 遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	-	R/W	RTE 遅延スロット 0: RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 (NOP 命令以外をスロット不当命令とします) 1: RTE 命令の遅延スロットにある NOP 命令以外を許可します。

【注】 ビット 4、1、0 の初期値は製品により異なります。製品ハードウェアマニュアルを参照してください。

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT) のビット11~0、または割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外 区分	実行 形態	例外	優先 レベル	優先 順位	例外遷移先		例外 コード
					ベクタベース	オフセット	
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000
		マニュアルリセット	1	2	H'A000 0000	-	H'020
		H-UDI リセット	1	1	H'A000 0000	-	H'000
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140
一般例外	再実行型	命令実行前ユーザブ레이크*	2	0	(VBR/DBR)	H'100/ -	H'1E0
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0
		一般不当命令例外	2	4	(VBR)	H'100	H'180
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0
		FPU 例外	2	8	(VBR)	H'100	H'120
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080
	完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
		命令実行後ユーザブ레이크*	2	10	(VBR/DBR)	H'100/ -	H'1E0
割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
		一般割り込み要求	4	-	(VBR)	H'600	-

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が、優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

5.5 例外フロー

5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

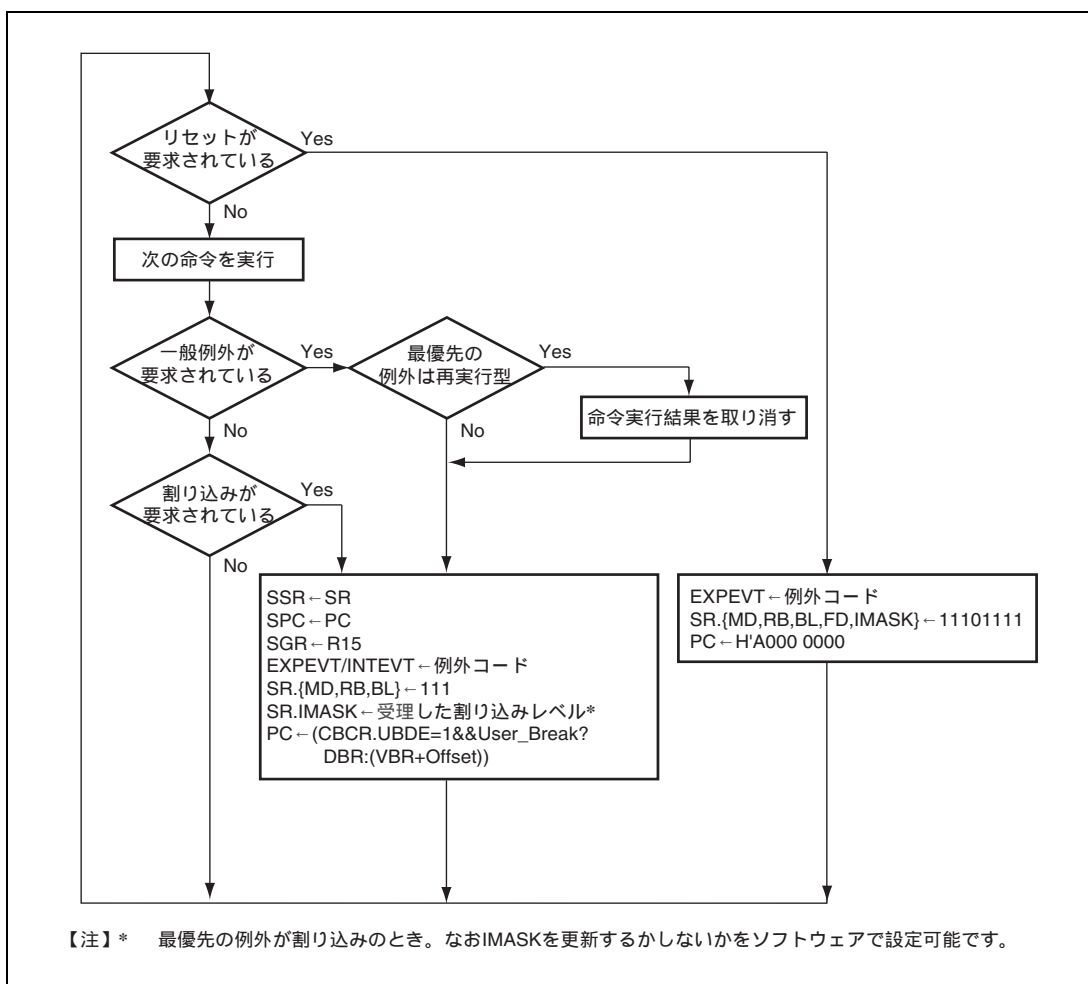


図 5.1 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図 5.2 に示します。

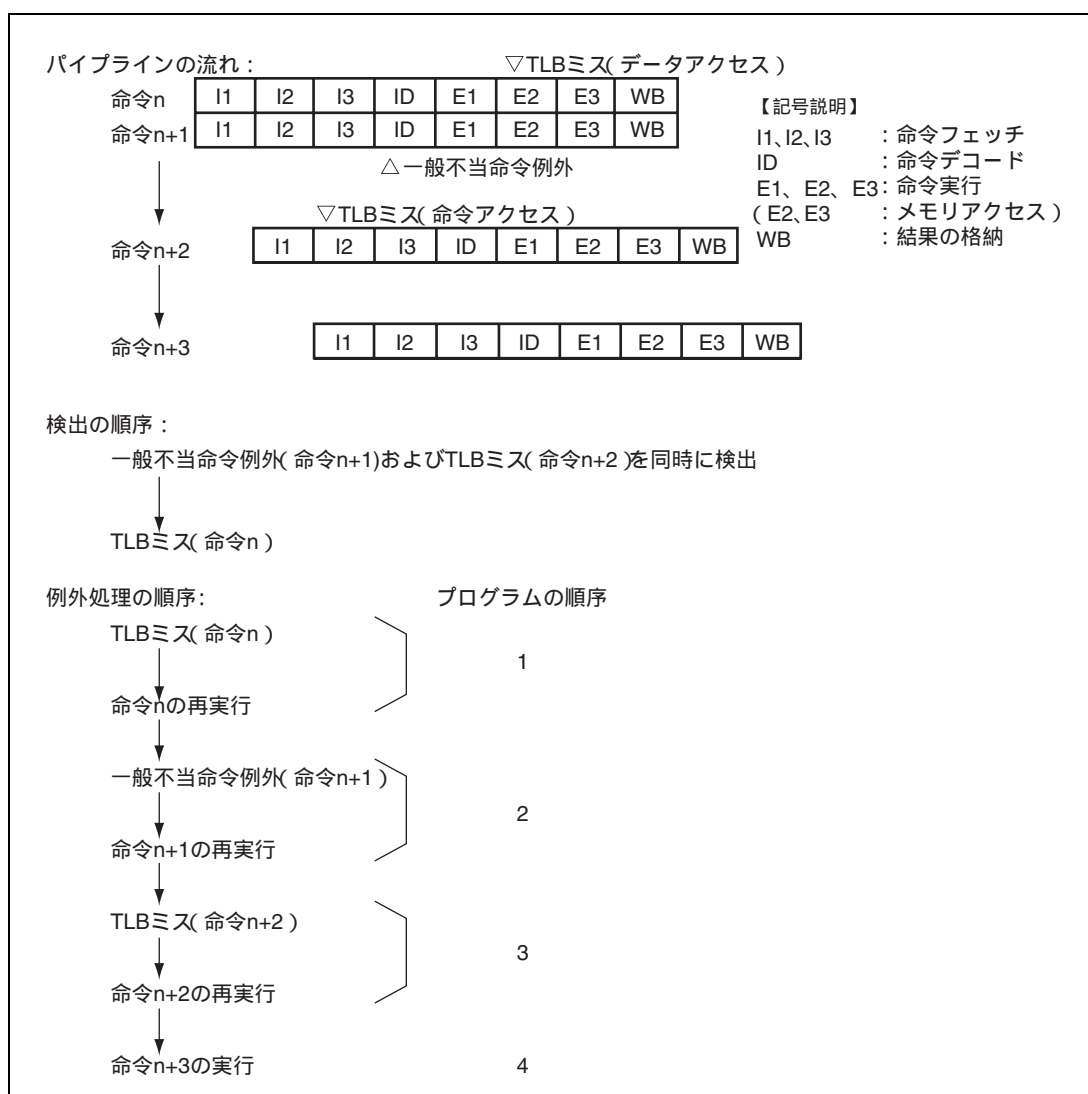


図 5.2 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 10 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 条件：
パワーオンリセット要求
- 動作：
EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、製品ハードウェアマニュアルの各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

- 条件：
マニュアルリセット要求
- 動作：
EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、製品ハードウェアマニュアルの各章のレジスタの説明を参照してください。

(3) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110（ネゲート）、またはB'0111（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、製品ハードウェアマニュアルの各章のレジスタの説明を参照してください。

(4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31：10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。
CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、製品ハー

ドウェアマニュアルの各章のレジスタの説明を参照してください。

(5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、製品ハードウェアマニュアルの各章のレジスタの説明を参照してください。

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()  
{  
  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
  
    EXPEVT = read_access ? H'00000040 : H'00000060;  
  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
  
    PC = VBR + H'00000400;  
  
}
```

(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000040;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000400;  
}
```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(4) データ TLB 保護違反例外

- 要因：アクセスが表5.4、表5.5に示すUTLBのプロテクション情報（PRビットあるいはEPRビット）に反する。

表 5.4 UTLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

表 5.5 UTLB プロテクション情報（TLB 拡張モードの場合）

EPR[5]	特権モードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[4]	特権モードでの書き込みの可否
1	書き込み可
0	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
1	書き込み可
0	書き込み不可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(5) 命令 TLB 保護違反例外

- 要因：アクセスが表5.6、表5.7に示すITLBのプロテクション情報 (PRビット) に反する。

表 5.6 ITLB プロテクション情報 (TLB 互換モードの場合)

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表 5.7 ITLB プロテクション情報 (TLB 拡張モードの場合)

EPR[5], EPR[3]	特権モードでの実行の可否
11、01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実効可
00	実行不可

EPR[2], EPR[0]	ユーザモードでの実行の可否
11、01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実効可
00	実行不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) を TEA に、対応する仮想ページ番号 (22ビット) を PTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コード H'0A0 を EXPEVT にセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100 に分岐します。

```
ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(6) データアドレスエラー

• 要因:

- ワードデータをワード境界以外 ($2n+1$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス
- クワッドワードをクワッドワードデータ境界以外 ($8n+1$, $8n+2$, $8n+3$, $8n+4$, $8n+5$, $8n+6$, $8n+7$) からアクセス
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス
ただし、H'E000 0000 ~ H'E3FF FFFFおよびH'E500 0000 ~ H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 内蔵メモリ」を参照してください。
- EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込み

• 遷移先アドレス: VBR + H'0000 0100

• 遷移時動作:

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(7) 命令アドレスエラー

• 要因：

- ワード境界以外 ($2n + 1$) から命令フェッチ
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 内蔵メモリ」を参照してください。

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000000E0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

(8) 無条件トラップ

• 要因：TRAPA命令の実行

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

- 要因：
 - 遅延スロット以外にある未定義命令をデコード
 - 遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
 - 未定義命令：H'FFFD
 - 遅延スロット以外にある特権命令をユーザモードでデコード
 - 特権命令：LDC、STC、RTE、LDTLB、SLEEP、
 - ただし、LDC、STCでGBRをアクセスする命令を除く
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(10) スロット不当命令例外

• 要因：

- 遅延スロットにある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、
LDC Rm,SR、LDC.L @Rm + ,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行

- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP以外の命令を実行

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 * FPU 命令とは命令コードの最初の 4 ビットが F である命令(ただし、未定義命令 H'FFFD を除く)と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(13) 命令実行前ユーザブレーク / 命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。

ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレークを設定した場合のPCについてなど、詳細は「第10章 ユーザブレークコントローラ(UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}
```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()  
{  
  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'00000120;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

5.6.3 割り込み

(1) NMI (ノンマスクابل割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は製品ハードウェアマニュアルの「割り込みコントローラ (INTC)」を参照してください。

```

NMI()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}

```

(2) 一般割り込み要求

- 要因：

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)

- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。詳細は製品ハードウェアマニュアルの「割り込みコントローラ (INTC)」を参照してください。

```

Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}

```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリーメモリアドレッシング命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC→PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに例外または割り込みが発生した場合

1. 例外

ユーザブレイクを除く例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

(5) SR レジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. 浮動小数点ユニット (FPU)

6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い

- 6つの例外要因：

FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確

- 包括命令：

単精度、倍精度、グラフィックサポート、システム制御

- SH-4AでSH-4に対して下記の3命令を追加しました。

FSRRA、FSCA、FPCHG

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

6.2 データフォーマット

6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

SH-4A は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

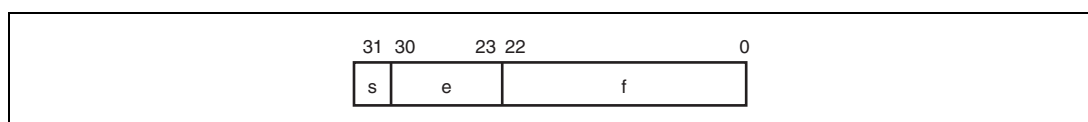


図 6.1 単精度浮動小数点フォーマット

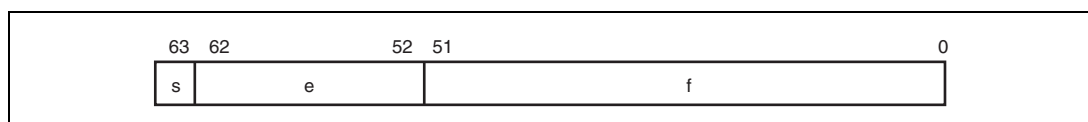


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
$E_{\max}$	+127	+1023
$E_{\min}$	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

- $E = E_{\max} + 1$ かつ $f \neq 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。
- $E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。
- $E_{\min} \leq E \leq E_{\max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。
- $E = E_{\min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{\min}} (0.f)$ 「非正規化数」です。
- $E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'7FC00000	H'7FFFFFFF FFFFFFFF ~ H'7FF80000 00000000
クワイアット非数	H'7FBFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFF ~ H'00800000	H'7FEFFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFF ~ H'00000001	H'000FFFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFF	H'80000000 00000001 ~ H'800FFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFF	H'80100000 00000000 ~ H'FFEFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFFF FFFFFFFF

6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド: すべてのビットが1
- 小数フィールド: 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイエット非数 (qNaN) です。

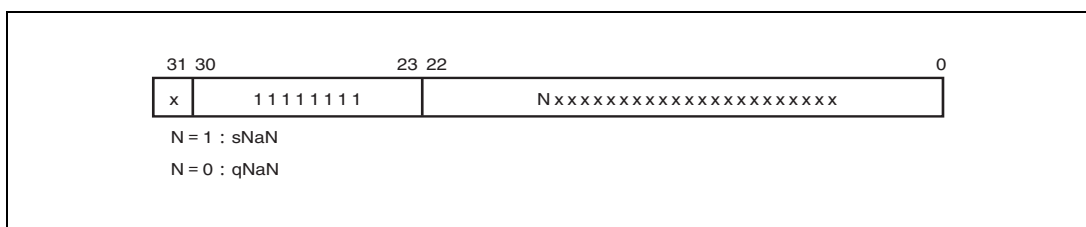


図 6.3 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCRレジスタのEN.Vビットが0の場合、演算結果（出力）はqNaNになります。
- FPSCRレジスタのEN.Vビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の3命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として SH-4A が生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBFFFFF
- 倍精度qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは0として、小数フィールドは0以外の値として表現します。

FPU のステータスレジスタ FPSCR の DN ビットが1の場合、非正規化数 (ソースオペランドまたは演算結果) は、(レジスタ・レジスタ間の転送命令、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCR の DN ビットが0の場合、非正規化数 (ソースオペランドまたは演算結果) はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

6.3 レジスタ

6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}, DR2 = {FR2, FR3},

DR4 = {FR4, FR5}, DR6 = {FR6, FR7},

DR8 = {FR8, FR9}, DR10 = {FR10, FR11},

DR12 = {FR12, FR13}, DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3},

FV4 = {FR4, FR5, FR6, FR7},

FV8 = {FR8, FR9, FR10, FR11},

FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}, XD2 = {XF2, XF3},

XD4 = {XF4, XF5}, XD6 = {XF6, XF7},

XD8 = {XF8、XF9}、XD10 = {XF10、XF11}、
XD12 = {XF12、XF13}、XD14 = {XF14、XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\left\{ \begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right\}$

FPSCR.FR = 0				FPSCR.FR = 1			
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX	
		FR1	FPR1 BANK0	XF1			
		FR2	FPR2 BANK0	XF2	XD2		
	DR2	FR3	FPR3 BANK0	XF3			
		FR4	FPR4 BANK0	XF4	XD4		
		FR5	FPR5 BANK0	XF5			
	DR4	FR6	FPR6 BANK0	XF6	XD6		
		FR7	FPR7 BANK0	XF7			
		FR8	FPR8 BANK0	XF8	XD8		
	DR8	FR9	FPR9 BANK0	XF9			
		FR10	FPR10 BANK0	XF10	XD10		
		FR11	FPR11 BANK0	XF11			
	DR10	FR12	FPR12 BANK0	XF12	XD12		
		FR13	FPR13 BANK0	XF13			
		FR14	FPR14 BANK0	XF14	XD14		
	DR14	FR15	FPR15 BANK0	XF15			
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0	
		XF1	FPR1 BANK1	FR1			
		XF2	FPR2 BANK1	FR2	DR2		
	XD2	XF3	FPR3 BANK1	FR3			
		XF4	FPR4 BANK1	FR4	DR4		FV4
		XF5	FPR5 BANK1	FR5			
	XD4	XF6	FPR6 BANK1	FR6	DR6		
		XF7	FPR7 BANK1	FR7			
		XF8	FPR8 BANK1	FR8	DR8		FV8
	XD6	XF9	FPR9 BANK1	FR9			
		XF10	FPR10 BANK1	FR10	DR10		
		XF11	FPR11 BANK1	FR11			
	XD8	XF12	FPR12 BANK1	FR12	DR12		FV12
		XF13	FPR13 BANK1	FR13			
		XF14	FPR14 BANK1	FR14	DR14		
	XD14	XF15	FPR15 BANK1	FR15			

図 6.4 浮動小数点レジスタ

6.3.2 浮動小数点ステータス / コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)						Flag				RM	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 22	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R/W	非正規化モード 0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説 明
17 ~ 12	Cause	000000	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 6.3 を参照してください。
11 ~ 7	Enable (EN)	00000	R/W	
6 ~ 2	Flag	00000	R/W	
1, 0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

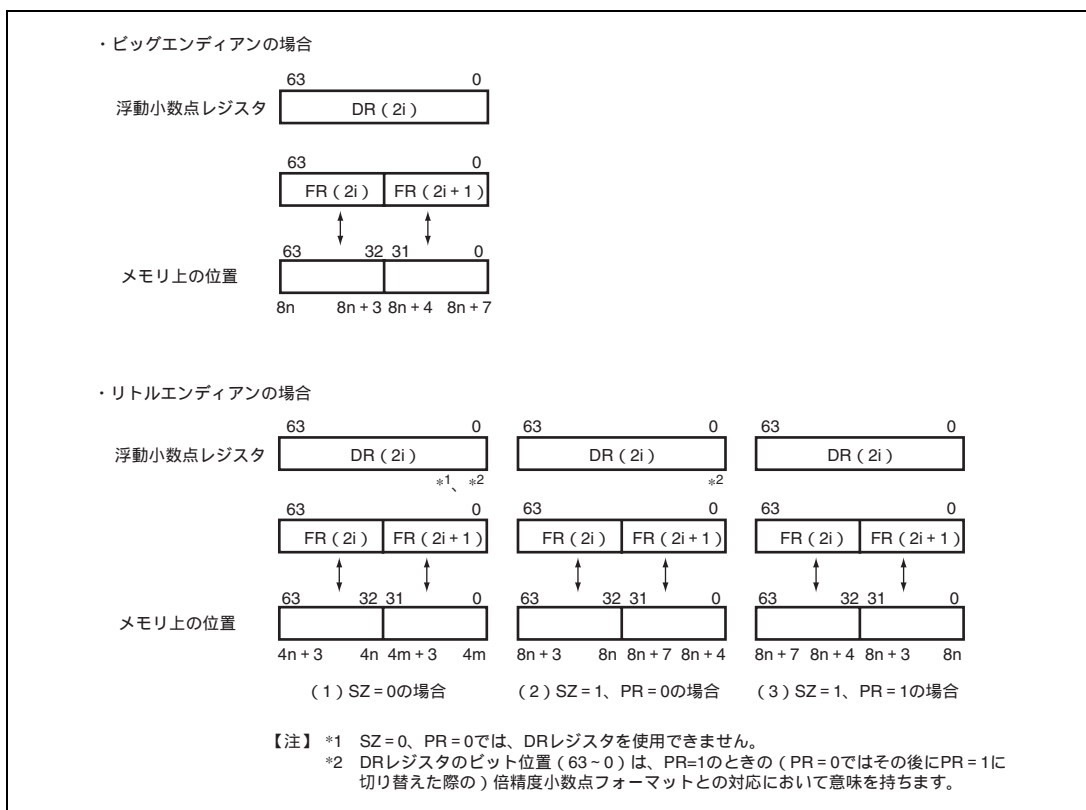


図 6.5 SZ ビットとエンディアンの関係

表 6.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 → (LDS 命令) → FPUL → (単精度 FLOAT 命令) → FR1

6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用了結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}} (2 \cdot 2^p)$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止 / スロット FPU 抑止例外

SR.FD = 1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :

FPSCR.DN = 0かつ非正規化数の入力時

- 無効演算 (V) :

NaN入力のような無効な演算の場合

- 0による除算 (Z) :

除数0による除算

- オーバフロー (O) :

演算結果がオーバーフローする場合

- アンダフロー (U) :

演算結果がアンダフローする場合

- 不正確例外 (I) :

丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)
: FPSCR.EN.V = 1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)
: FPSCR.EN.Z = 1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)
: FPSCR.EN.O = 1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)
: FPSCR.EN.U = 1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)
: FPSCR.EN.I = 1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :
結果としてqNaNを生成します。
- 0による除算 (Z) :
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
0方向への丸めのとき、丸め前と同じ符号付き最大正規化数を生成します。
近傍への丸めのとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
FPSCR.DN = 0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
FPSCR.DN = 1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) :
不正確な結果を生成します。

6.6 グラフィックサポート機能

SH-4A は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、SH-4A は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1)}) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) となります。

将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(1) FIPR FVm, FVn (m, n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m ≠ n) :

一般的に、この演算はポリゴン表面の輝度や表面 / 裏面を判定するために使用されます。

- 各要素の平方和 (m=n) :

一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :

一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、SH-4A は 4次元演算をサポートしています。

- 行列 (4×4) × 行列 (4×4) :

この演算を行うためには、FTRV命令を4回実行する必要があります。

FIRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべての

データタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用の方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4～5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、SH-4A は高速データ転送命令をサポートしています。

FPSCR.SZ = 1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0～15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り換えることができます。

7. メモリマネジメントユニット (MMU)

SH-4A は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットあるいは 32 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、SH-4A に内蔵されたメモリマネジメントユニット (MMU : Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB : Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

SH-4A は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

SH-4A の MMU ではいくつかの動作モードがあります。物理アドレスのマッピング範囲に関して、29 ビットアドレスモードと 32 ビットアドレス拡張モードがあります。MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

29 ビットアドレスモードと 32 ビットアドレス拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (PASCР レジスタの SE ビット) で行います。また、製品によっては、外部ピンからの指定で 32 ビットブートモード (パワーオンリセット時点から 32 ビットアドレス拡張モードであること) が可能な製品があります。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。物理アドレスのマッピング範囲に関しては、「7.1 MMU の概要」～「7.7 メモリ割り付け TLB の構成」を通じて、29 ビットアドレスモードで説明しその後「7.8 32 ビットアドレス拡張モード」で、32 ビットアドレス拡張モードでの差分機能をまとめて説明します。

MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていない、または別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、SH-4A では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

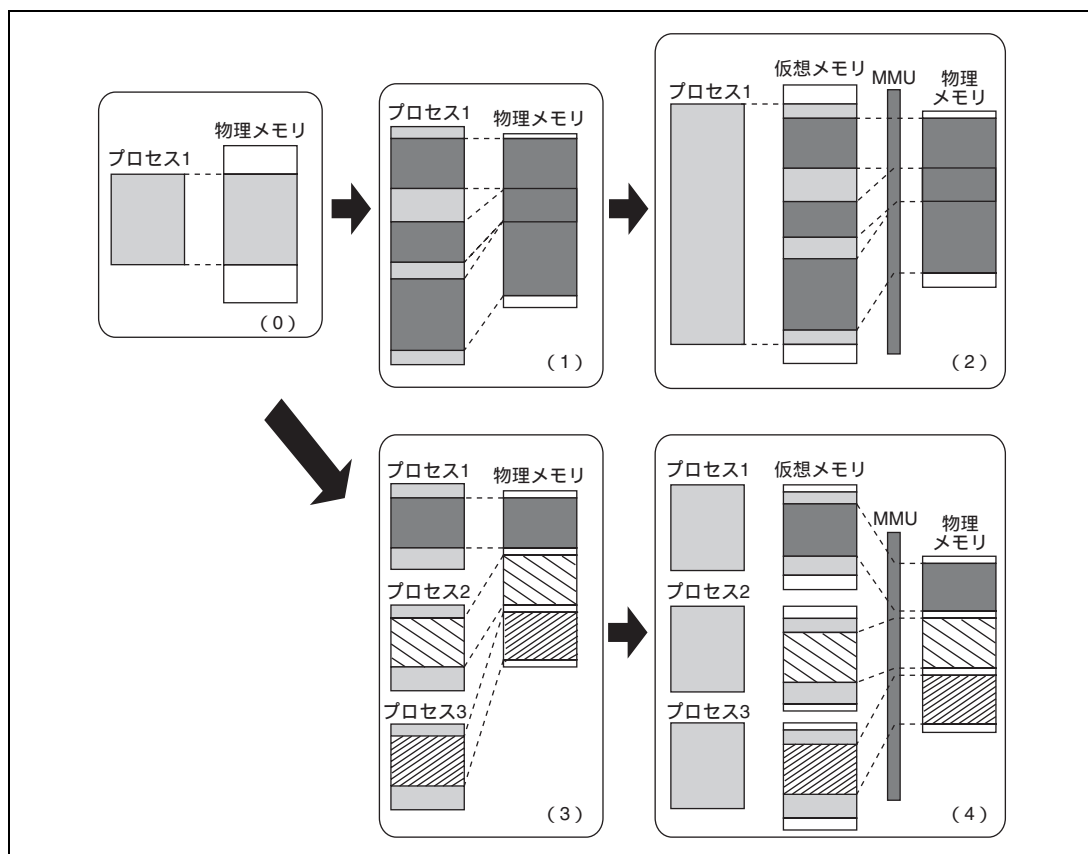


図 7.1 MMU の役割

7.1.1 アドレス空間

(1) 仮想アドレス空間

SH-4A は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

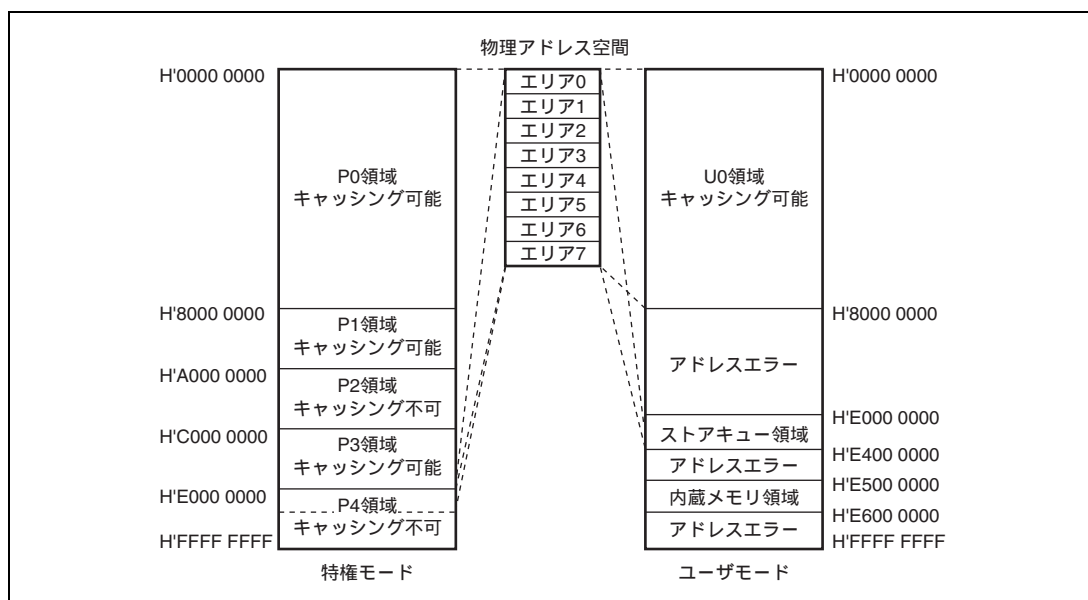


図 7.2 仮想アドレス空間 (MMUCR.AT=0)

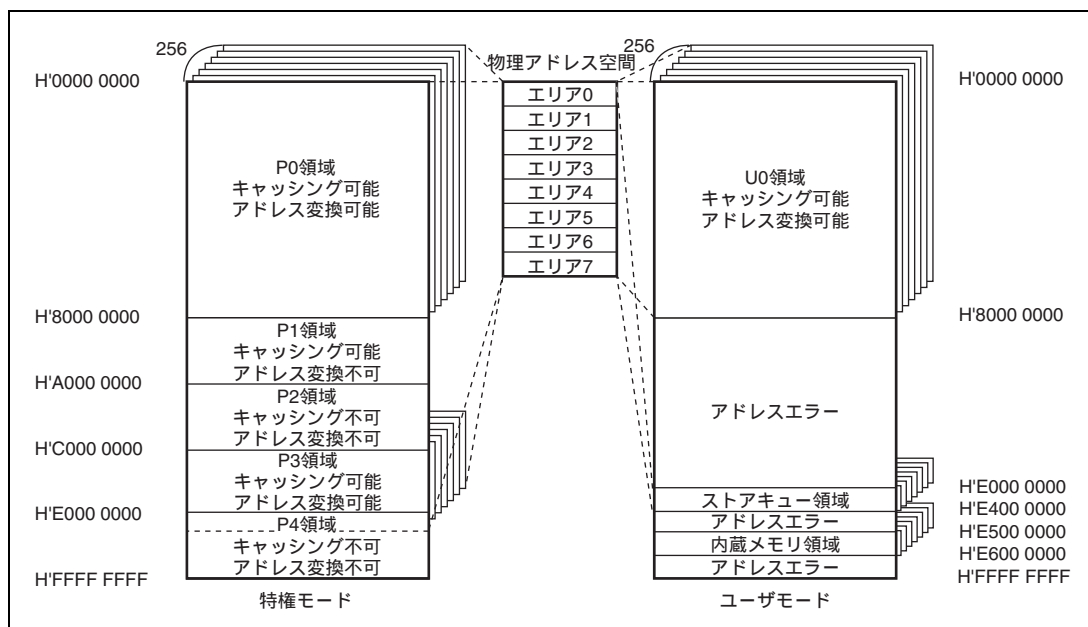


図 7.3 仮想アドレス空間 (MMUCR.AT = 1)

(a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

(c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は SH-4A の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

H'E000 0000	ストアキュー
H'E400 0000	
H'E500 0000	
H'E600 0000	内蔵メモリ領域
	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令TLBアドレスアレイ
H'F300 0000	命令TLBデータアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用TLB / PMBアドレスアレイ
H'F700 0000	共用TLB / PMBデータアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「8.7 スストアキュー」を参照してください。

H'E500 0000 ~ H'E5FF FFFF までは、内蔵メモリにアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 9 章 内蔵メモリ」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

HF200 0000 ~ HF2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

HF300 0000 ~ HF37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

HF400 0000 ~ HF4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

HF500 0000 ~ HF5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

HF600 0000 ~ HF60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

HF610 0000 ~ HF61F FFFF までは、PMB のアドレスアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付け PMB の構成」を参照してください。

HF700 0000 ~ HF70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は、「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

HF710 0000 ~ HF71F FFFF までは、PMB のデータアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付け PMB の構成」を参照してください。

HF800 0000 ~ HFFFFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は製品ハードウェアマニュアルの各章のレジスタ説明の項を参照してください。

(2) 物理アドレス空間

SH-4A は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。詳細は製品ハードウェアマニュアルの「バスステートコントローラ (BSC)」の章を参照してください。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000	エリア7 (リザーブ領域)
H'1FFF FFFF	

図 7.5 物理アドレス空間

(3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH-4A では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「7.3.3 アドレス変換方式」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持	保持
ページテーブルエントリ下位レジスタ	PTL	不定	不定	保持	保持
変換テーブルベースレジスタ	TTB	不定	不定	保持	保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持	保持
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持	保持
ページテーブルエントリアシスタンスレジスタ	PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持	保持
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持	保持

7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. PTEH 更新の前にあらかじめ ILMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VPN															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPN						-	-	ASID							
初期値:	-	-	-	-	-	-	0	0	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 10	VPN	不定	R/W	仮想ページ番号
9, 8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7 ~ 0	ASID	不定	R/W	アドレス空間識別子

7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。
本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PPN												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN						—	V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値:	—	—	—	—	—	—	0	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28 ~ 10	PPN	不定	R/W	物理ページ番号
9	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	V	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能 (TLB 互換モード)」および「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。 【注】SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
7	SZ1	不定	R/W	
6	PR1	不定	R/W	
5	PR0	不定	R/W	
4	SZ0	不定	R/W	
3	C	不定	R/W	
2	D	不定	R/W	
1	SH	不定	R/W	
0	WT	不定	R/W	

7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA								MMU例外 / アドレスエラーを発生させた仮想アドレス							
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA								MMU例外 / アドレスエラーを発生させた仮想アドレス							
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						-	-	URB						-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	-	-	-	-	TI	-	AT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 26	LRUI	000000	R/W	入れ換えを行う ITLB エントリを示す LRU ビット ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。 LRUI は、以下のアルゴリズムで更新が行われます。 なお、以下の「x」は更新を行わないことを意味します。 000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外 また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。 なお、以下の「x」は Don't care を意味します。 111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止
25, 24	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
23 ~ 18	URB	000000	R/W	入れ換えを行う UTLB エントリの境界を示すビット URB ≠ 0 のときに有効となります。
17, 16	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説 明
15 ~ 10	URC	000000	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ / 特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一仮想記憶モード / 多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。また、ME ビットによる TLB 動作モード選択は、PMB の機能や動作には影響を与えません。
6 ~ 3	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/TLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	EPR						ESZ				-	-	-	-
初期値:	0	0	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~14	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。
7~4	ESZ	不定	R/W	
3~0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UB							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	UB	H'00	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います UB[7] : 制御レジスタ領域に対応 UB[6] : エリア 6 に対応 UB[5] : エリア 5 に対応 UB[4] : エリア 4 に対応 UB[3] : エリア 3 に対応 UB[2] : エリア 2 に対応 UB[1] : エリア 1 に対応 UB[0] : エリア 0 に対応

7.2.8 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	R2	R1	LT	MT	MC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません

ビット	ビット名	初期値	R/W	説 明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

7.3 TLB の機能 (TLB 互換モード)

7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令TLBミスのとき、ITLBへ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT
	⋮				⋮					
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	SZ[1:0]	SH	C	PR[1:0]	D	WT

図 7.6 UTLB の構成 (TLB 互換モード)

【記号説明】

- VPN : 仮想ページ番号 1K バイトページのとき、仮想アドレスの上位 22 ビット
 4K バイトページのとき、仮想アドレスの上位 20 ビット
 64K バイトページのとき、仮想アドレスの上位 16 ビット
 1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子 仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット 0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。
- SZ[1:0] : ページサイズビット ページサイズを指定します。
 00 : 1K バイトページ
 01 : 4K バイトページ
 10 : 64K バイトページ
 11 : 1M バイトページ

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

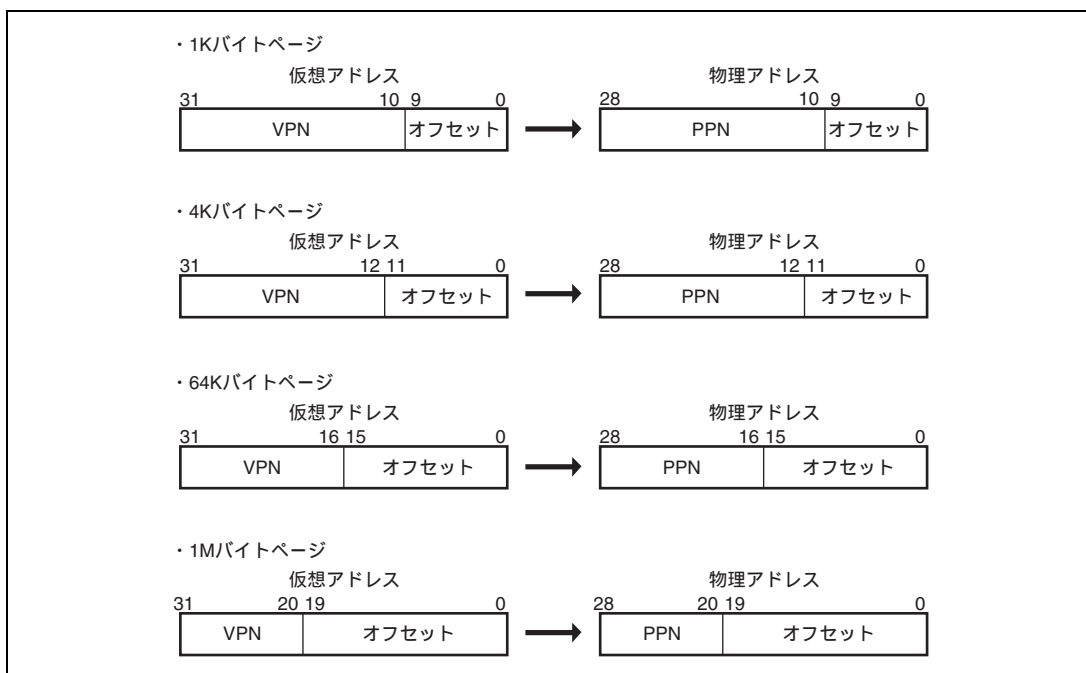


図 7.7 ページサイズとアドレスの関係 (TLB 互換モード)

7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

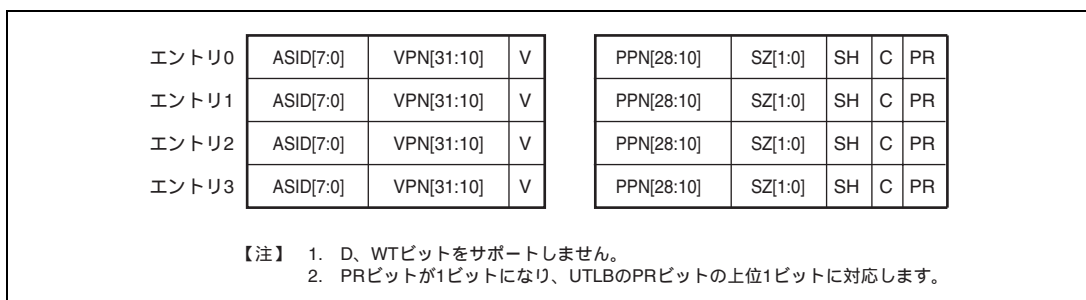


図 7.8 ITLB の構成 (TLB 互換モード)

7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

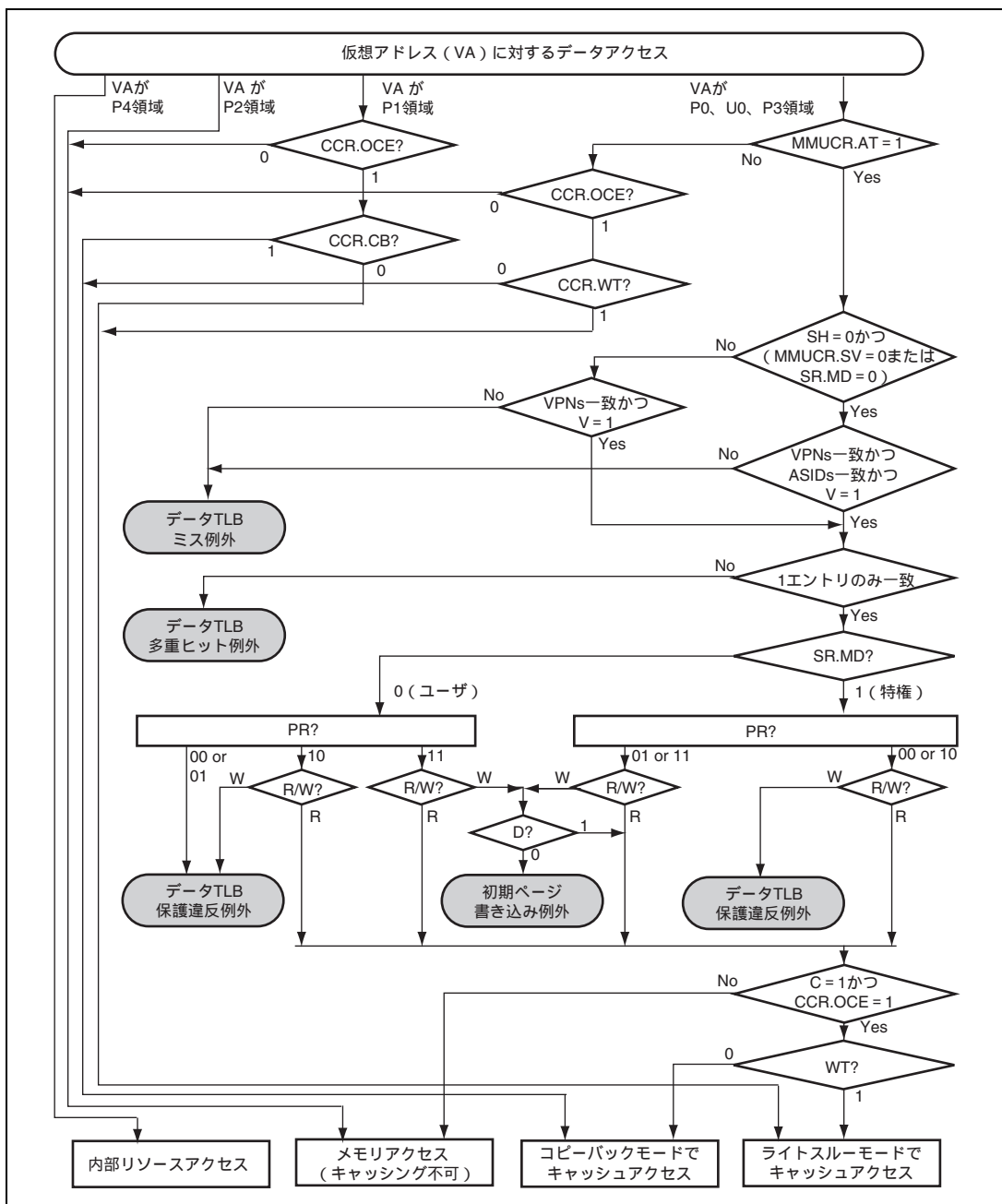


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

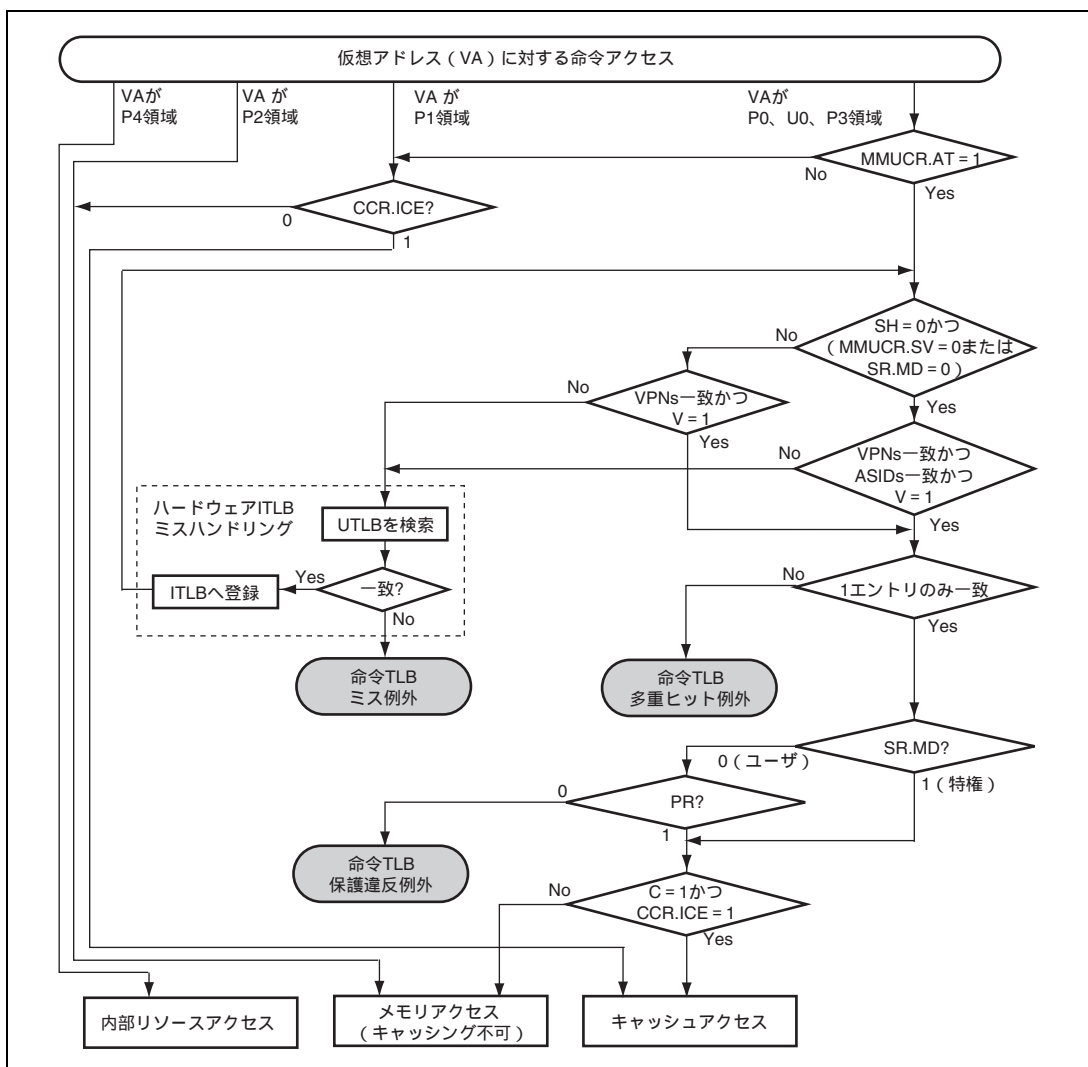


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

7.4 TLB の機能 (TLB 拡張モード)

7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
	⋮				⋮					
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

【記号説明】

VPN : 仮想ページ番号

1K バイトページの時、仮想アドレスの上位 22 ビット
 4K バイトページの時、仮想アドレスの上位 20 ビット
 8K バイトページの時、仮想アドレスの上位 19 ビット
 64K バイトページの時、仮想アドレスの上位 16 ビット
 256K バイトページの時、仮想アドレスの上位 14 ビット
 1M バイトページの時、仮想アドレスの上位 12 ビット
 4M バイトページの時、仮想アドレスの上位 10 ビット
 64M バイトページの時、仮想アドレスの上位 6 ビット

ASID : アドレス空間識別子

仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。

SH : 共有状態ビット

0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。

ESZ : ページサイズビット

ページサイズを指定します。
 0000 : 1K バイトページ
 0001 : 4K バイトページ
 0010 : 8K バイトページ
 0100 : 64K バイトページ
 0101 : 256K バイトページ
 0111 : 1M バイトページ
 1000 : 4M バイトページ
 1100 : 64M バイトページ

【注】 上記以外の値を登録した場合の動作は保証しません。

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 19 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 8K バイトページのときは PPN[28:13]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 256K バイトページのときは PPN[28:18]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 4M バイトページのときは PPN[28:22]が有効です。 64M バイトページのときは PPN[28:26]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
EPR : 保護キーデータ	ページのアクセス権をコードで表した 6 ビットデータ 特権モードでの読み出し / 書き込み / 実行 (命令フェッチ) およびユーザモードでの読み出し / 書き込み / 実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。 EPR[5] : 特権モードでの読み出し EPR[4] : 特権モードでの書き込み EPR[3] : 特権モードでの実行 (命令フェッチ) EPR[2] : ユーザモードでの読み出し EPR[1] : ユーザモードでの書き込み EPR[0] : ユーザモードでの実行 (命令フェッチ)
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能 1 : キャッシング可能 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない 1 : 書き込みが行われた

WT : ライトスルービット キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

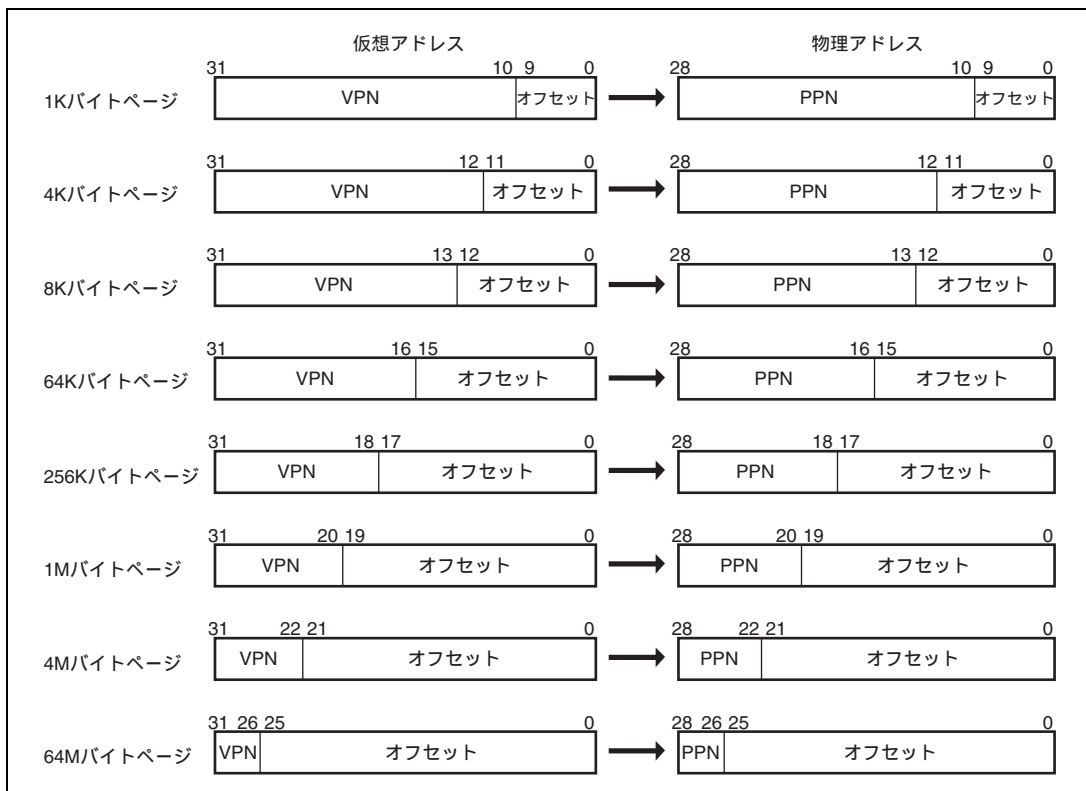


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

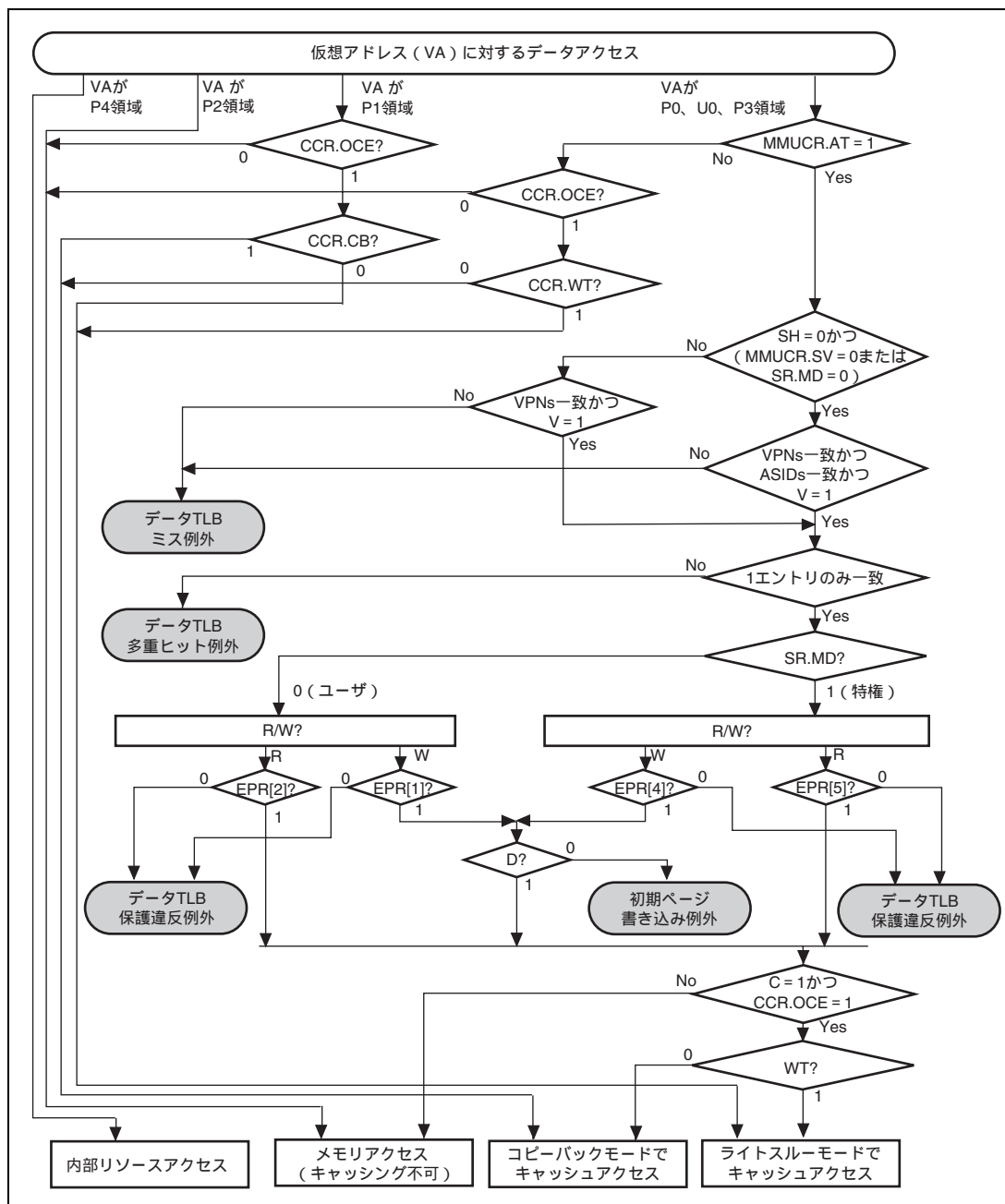


図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

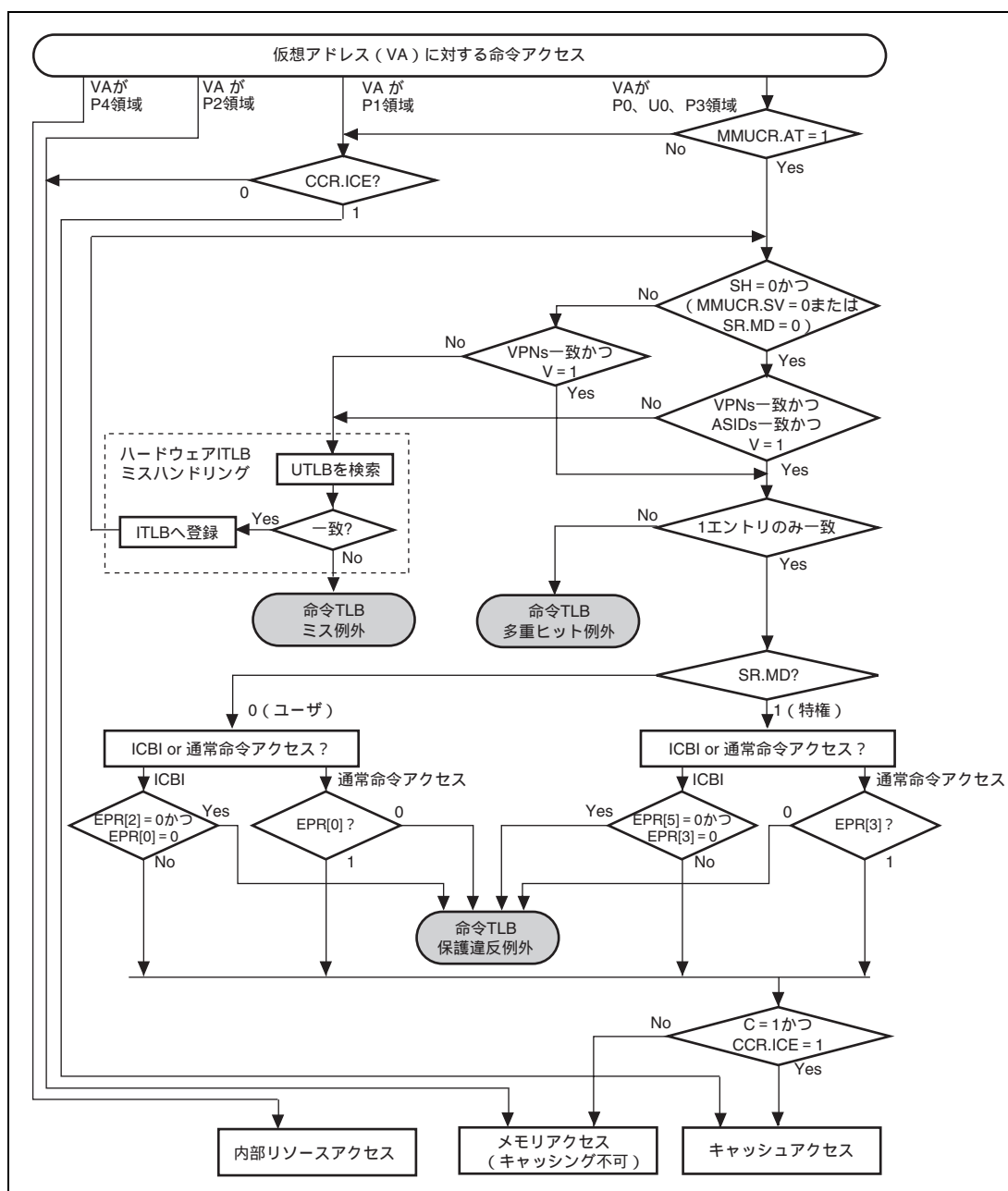


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

7.5 MMU の機能

7.5.1 MMU のハードウェア管理

SH-4A がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、SH-4A は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または 2.を用いることを推奨します。

図 7.16、図 7.17 に LDTLB 命令の動作を示します。

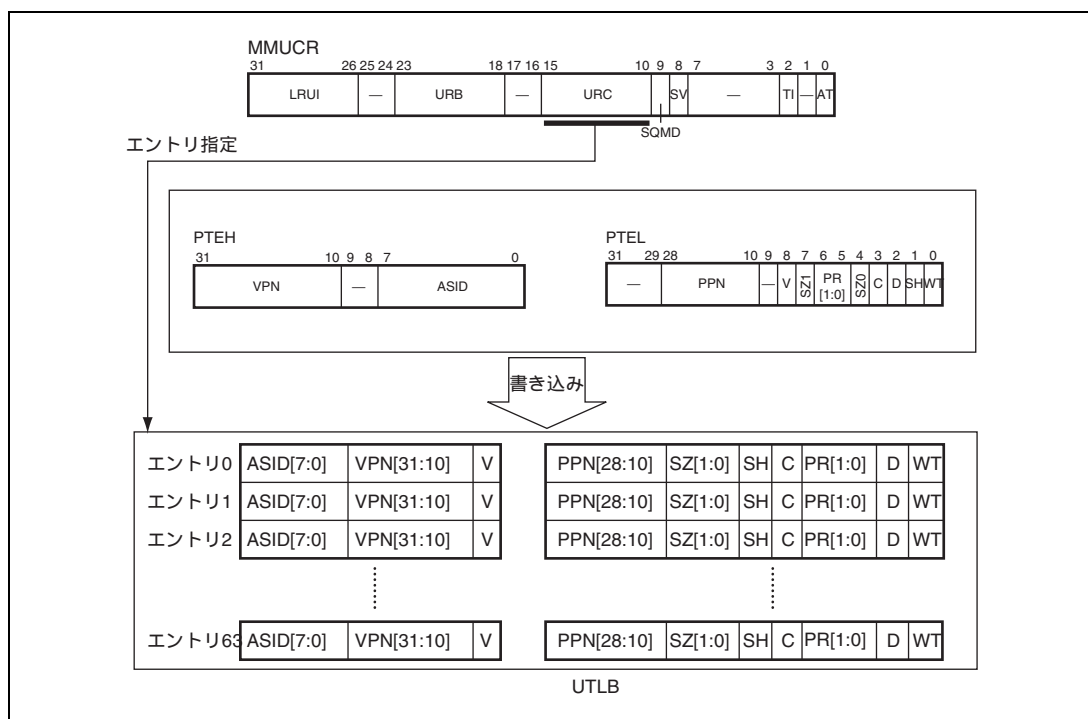


図 7.16 LDTLB 命令の動作 (TLB 互換モード)

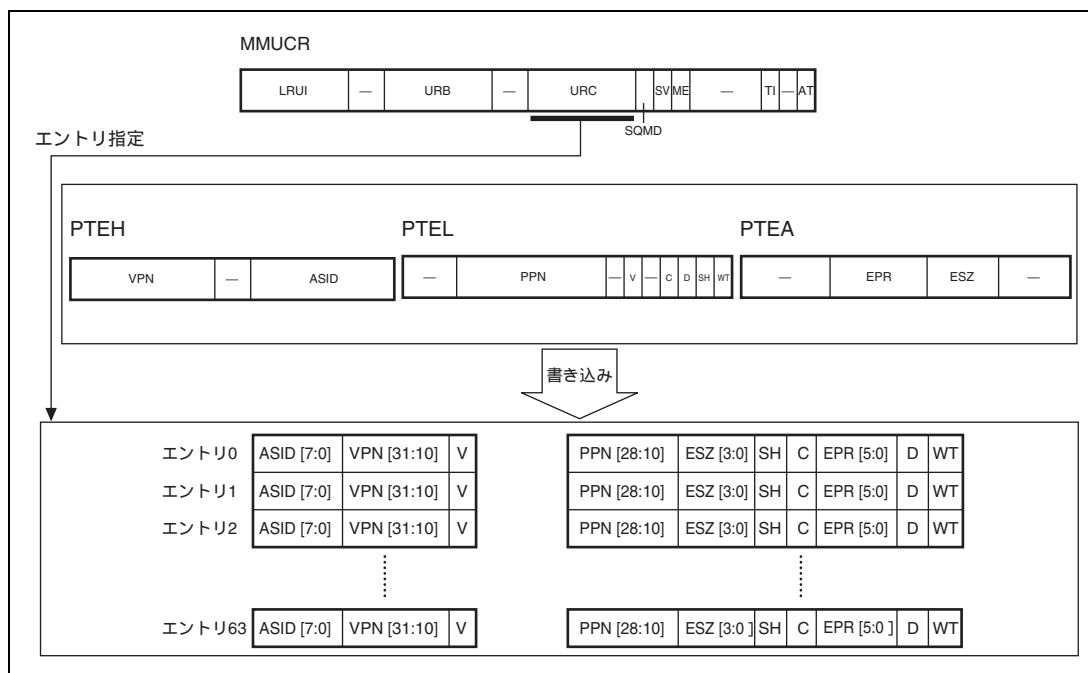


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

7.5.4 ハードウェア ITLB ミスハンドリング

SH-4A は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

7.5.5 シノニム問題の回避

以下ではオペランドキャッシュが 32K バイトのケースについて説明します。

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH-4A ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

キャッシュサイズが 32K バイトから変ると、シノニム問題が発生する可能性があるページサイズと、UTLB エントリ登録時に等しくなるようにする必要がある VPN のビット位置は、以上の説明から変わります。8K バイト～64K バイトのキャッシュサイズに対してシノニム問題が発生する可能性があるページサイズを表 7.3 に示します。

表 7.3 キャッシュサイズとシノニム問題の回避策

キャッシュサイズ	シノニム問題が発生する可能性のある ページサイズ	等しくなるように登録する VPN の ビット位置
8K バイト	1K バイトページ	VPN[10]
16K バイト	1K バイトページ	VPN[11 : 10]
32K バイト	1K バイトページ	VPN[12 : 10]
	4K バイトページ	VPN[12]
64K バイト	1K バイトページ	VPN[13 : 10]
	4K バイトページ	VPN[13 : 12]

【注】 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14 および図 7.15 を参照してください。

7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットが発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外が発生させないでください。

7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
 7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
 8. SRのRBビットを1に設定します。
 9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。
- ソフトウェア処理 (命令TLBミス例外処理ルーチン)
外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。
1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
 2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
 3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
 4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理
命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。
1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
 2. 例外の発生した仮想アドレスをTEAに設定します。
 3. 例外コードH'0A0をEXPEVTに設定します。
 4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
 5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)

命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLBミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'040を、書き込みのとき例外コードH'060を、EXPEVTに設定します（OCBP、OCBWB：読み出し； OCBI、MOVCA.L：書き込み）。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、データTLBミス例外処理ルーチンを開始します。

- ソフトウェア処理（データTLBミス例外処理ルーチン）

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、TLB互換モードの場合PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データTLB保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'0A0を、書き込みのとき例外コードH'0C0を、EXPEVTに設定します（OCBP、OCBWB：読み出し； OCBI、MOVCA.L：書き込み）。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、データTLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理（データTLB保護違反例外処理ルーチン）

データTLB保護違反を解決し、例外処理からの復帰命令（RTE）を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP2領域以外でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

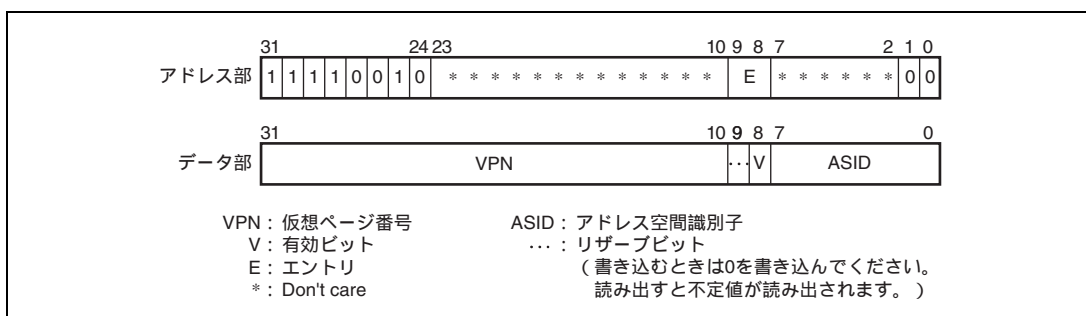


図 7.18 メモリ割り付け ITLB アドレスアレイ

7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBデータアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へPPN、V、SZ、PR、C、SHを読み出します。

2. ITLBデータアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、SHを書き込みます。

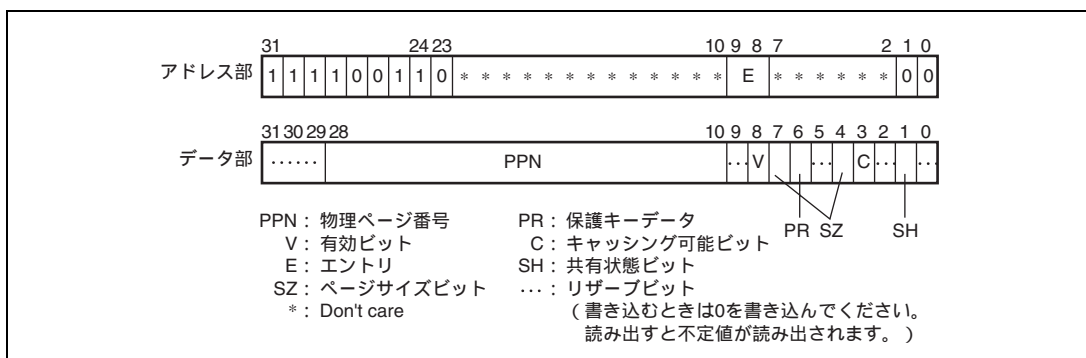


図 7.19 メモリ割り付け ITLB データアレイ (TLB 互換モード)

7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、ITLB データアレイ 2、のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

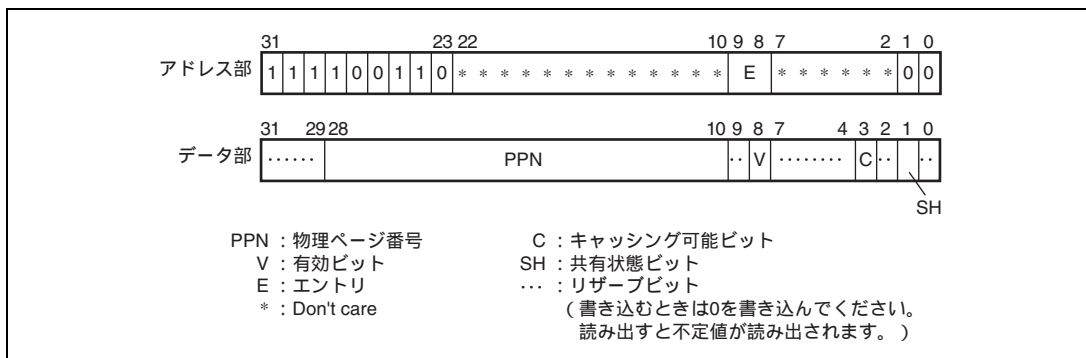


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

(2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]がITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれEPR[5][3][2][0]を、[7:4]がESZを示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. TLBデータアレイ2 読み出し

アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。

2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

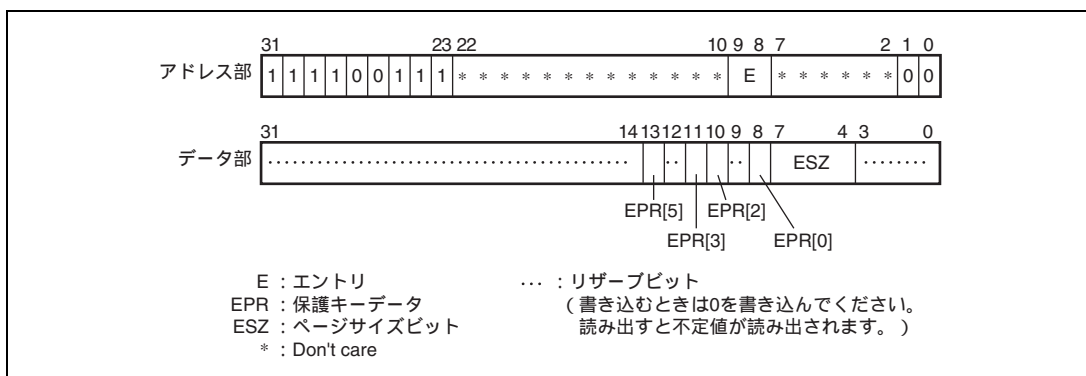


図 7.21 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)

7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の HF600 0000 ~ HF60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20]が UTLB アドレスアレイを示す HF60 になっており、[13:8]でエントリを選択するようになっています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へVPN、D、V、ASIDを読み出します。読み出す場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

2. UTLBアドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたVPN、D、V、ASIDを書き込みます。アドレス部のAビットは0にしてください。

3. UTLBアドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、データ部で指定されたVPNとPTEH.ASIDを用い、UTLBの全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLBにミスした場合、例外は発生せずノーオペレーションとなります。比較によりデータ部で指定したVPNに対応するUTLBエントリが存在した場合、そのエントリに対してデータ部で指定したDとVを書き込みます。この連想動作はITLBに対しても同時に行われ、ITLB内に一致するエントリが存在した場合はそのエントリに対してVを書き込みます。UTLBでの比較でノーオペレーションとなってもITLBで一致していればITLB側にのみ書き込みは行います。またUTLBとITLBの両方で一致した場合、UTLBの情報がITLBへも書き込まれます。

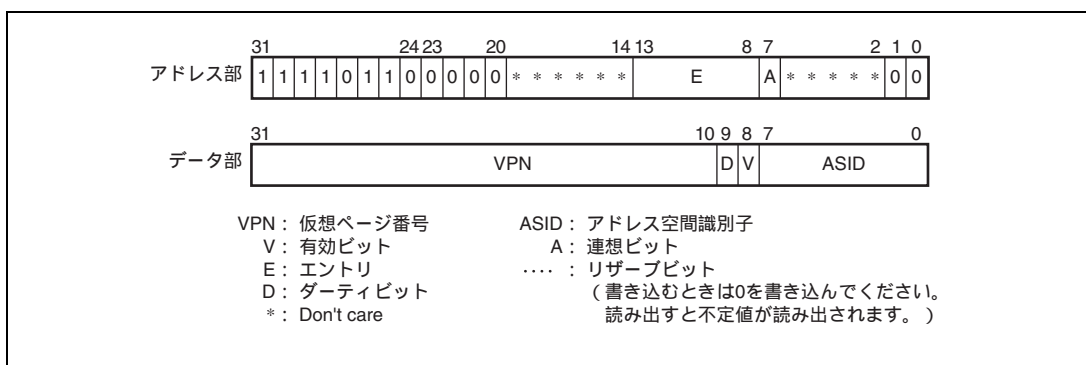


図 7.22 メモリ割り付け UTLB アドレスアレイ

7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20] が UTLB データアレイを示す HF70 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[28:10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6:5] が PR を、[3] が C を、[2] が D を、[1] が SH を、[0] が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。



図 7.23 メモリ割り付け UTLB データアレイ (TLB 互換モード)

7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME = 0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

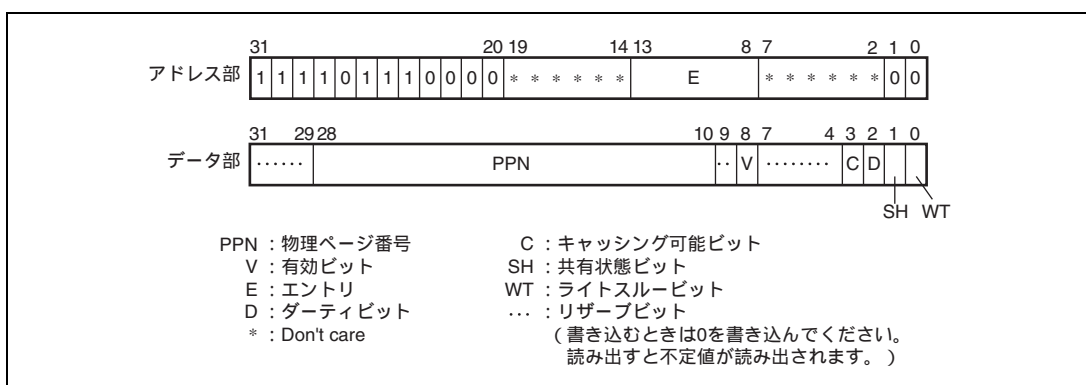


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

(2) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の HF780 0000 ~ HF78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す HF78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

2. UTLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するUTLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

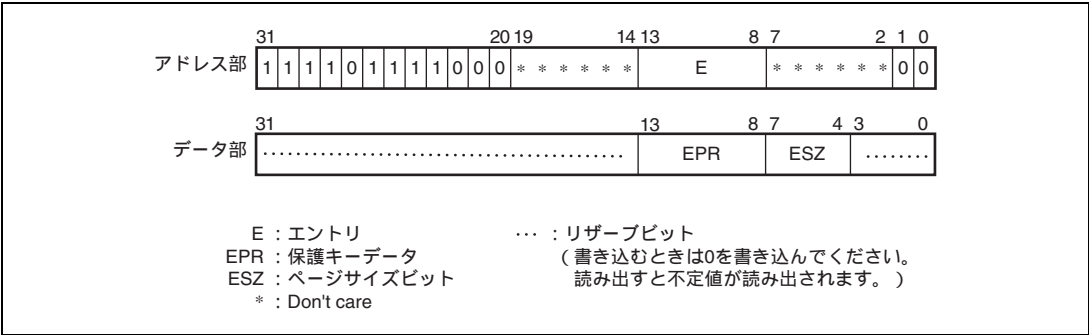


図 7.25 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

7.8 32 ビットアドレス拡張モード

SH-4A は PASCR レジスタの SE ビットを 1 に設定することで、29 ビットの物理アドレス空間を扱う 29 ビットアドレスモードから、32 ビットの物理アドレス空間を扱う 32 ビットアドレス拡張モードに変更することができます。

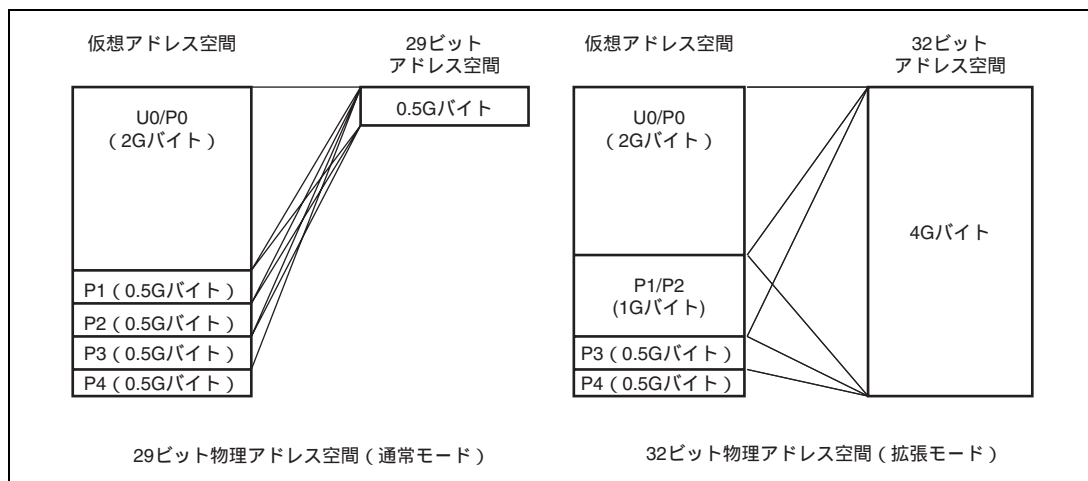


図 7.26 物理アドレス空間 (32 ビットアドレス拡張モード)

7.8.1 32 ビットアドレス拡張モード概要

32 ビットアドレス拡張モードでは、29 ビットアドレスモードではアドレス変換対象外である P1/P2 領域の仮想アドレスを、32 ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ (PMB) を導入します。また、既存の TLB (UTLB/ITLB) のアドレス変換対象領域についても、UTLB/ITLB の PPN フィールドの上位 3 ビットを拡張して、TLB 変換後のアドレスが 32 ビットの物理アドレスを扱えるようになります。

また、キャッシュの動作は、29 ビットアドレスモードでは固定的に P1 領域はキャッシング可能、P2 領域はキャッシング不可ですが、32 ビットアドレス拡張モードでは P1、P2 領域とも PMB の C ビットおよび WT ビットに従うようになります。

7.8.2 32 ビットアドレス拡張モードへの切り替え

SH-4A は、パワーオンリセット後は 29 ビットアドレスモードです。PASCRC レジスタの SE ビットに 1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは MMU の動作は次のようになります。

1. MMUCR.AT = 0 のとき、U0/P0/P3 領域の仮想アドレスはそのまま 32 ビット物理アドレスとなります。P1/P2 領域のアドレスは PMB マッピング情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
2. MMUCR.AT = 1 のとき、U0/P0/P3 領域の仮想アドレスは TLB 変換情報に従い 32 ビット物理アドレスに変換されます。P1/P2 領域のアドレスは PMB マッピングの情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
3. 制御レジスタ領域 (H'FC00 0000 ~ H'FFFF FFFF) は、MMUCR.AT にかかわらず、物理アドレスの [31:29] が B'111 となります。制御レジスタ領域を UTLB に登録してアクセスする場合には、PPN[31:29] には B'111 を設定してください。

7.8.3 特権空間マッピングバッファ (PMB) 構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスは PMB マッピング情報に従いアドレス変換されます。PMB は 16 エントリで各エントリは以下の構成です。

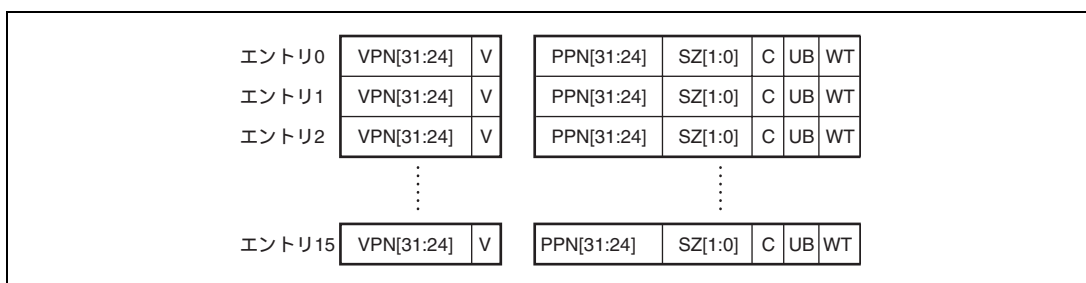


図 7.27 PMB の構成

【記号説明】

VPN : 仮想ページ番号

16M バイトページ のとき、仮想アドレスの上位 8 ビット

64M バイトページ のとき、仮想アドレスの上位 6 ビット

128M バイトページ のとき、仮想アドレスの上位 5 ビット

512M バイトページ のとき、仮想アドレスの上位 3 ビット

【注】 VPN の上位 2 ビットは、P1/P2 領域を指し示すように必ず B'10 を設定してください。

SZ : ページサイズビット

ページサイズを指定します。

00 : 16M バイトページ

01 : 64M バイトページ

10 : 128M バイトページ

11 : 512M バイトページ

V : 有効ビット

エントリが有効かどうかを示します。

0 : 無効

1 : 有効

パワーオンリセット時に 0 にクリアされます。

マニュアルリセット時に変化しません。

PPN : 物理ページ番号

物理アドレスの上位 8 ビット

16M バイトページのとき、PPN[31:24]が有効

64M バイトページのとき、PPN[31:26]が有効

128M バイトページのとき、PPN[31:27]が有効

512M バイトページのとき、PPN[31:29]が有効

C : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

0 : キャッシング不可能

1 : キャッシング可能

WT : ライトスルービット

キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

7.8.4 PMB の機能

SH-4A がサポートする PMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、SH-4AはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. SH-4AはPMBが多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMBにはPRフィールドは存在せず、リード/ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

7.8.5 メモリ割り付け PMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、プログラムから MOV.L 命令によって PMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイは P4 領域の H'F610 0000 ~ H'F61F FFFF に、PMB のデータアレイは P4 領域の H'F710 0000 ~ H'F71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C=0 に設定したページの領域に配置してください。

1. PMBアドレスアレイリード

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にVPN、[8]にVが読み出されます。

2. PMBアドレスアレイライト

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定し、データとして[31:24]にVPN、[8]にVを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

3. PMBデータアレイリード

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTが読み出されます。

4. PMBデータアレイライト

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定し、データとして[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

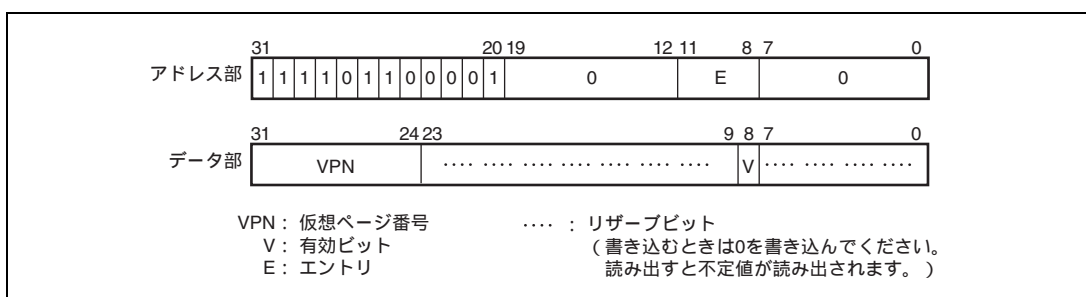


図 7.28 メモリ割り付け PMB アドレスアレイ

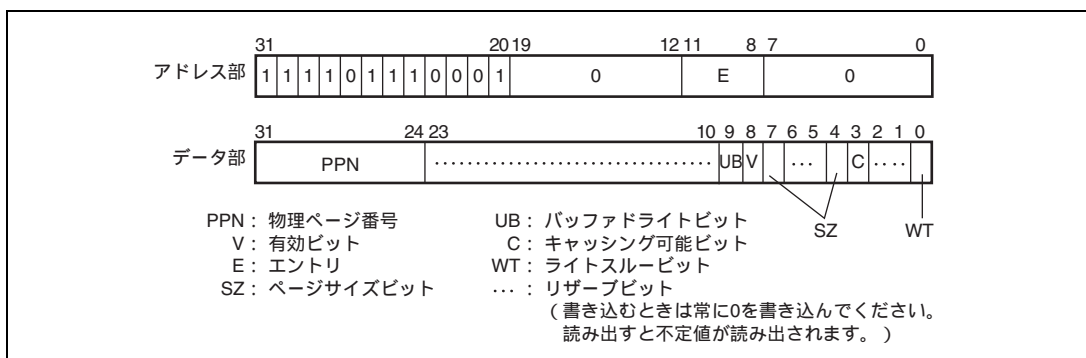


図 7.29 メモリ割り付け PMB データアレイ

7.8.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張または変更されますので、注意してください。

(1) PASC.R.SE

制御レジスタ PASC.R[31]に SE ビットが追加になります。また、UB[6:0]は無効になります (UB[7]は 32 ビットアドレス拡張モードでも有効です)。

バッファードライトになるか否かは、P1/P2 領域に対するライトでは PMB の UB ビットにより制御されます。P0/P3/U0 領域に対するライトでは、MMU がイネーブルの場合 TLB の UB ビットにより制御され、MMU がディスエーブルの場合、常にバッファードライトになります。

ビット	ビット名	初期値	R/W	説 明
31	SE	0	R/W	アドレスモード 0 : 29 ビットアドレスモード 1 : 32 ビットアドレス拡張モード
30~8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファードライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかどうかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います。 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います。 UB [7] : 制御レジスタ領域のバッファードライト制御 UB [6:0] : エリア (64M バイト) ごとのバッファードライト制御 (32 ビットアドレス拡張モードでは無効)

(2) ITLB

ITLB の PPN フィールドが[31:10]へ拡張されます。

(3) UTLB

UTLB の各エントリに PMB の UB ビットと同じ意味の UB ビットが追加になります。

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

UB ビットはメモリ割り付け TLB アクセスではデータアレイのビット[9]でリード/ライトが行えます。

(4) PTEL

UTLB と同様に PTEL レジスタのビット[9]に PMB の UB ビットと同じ意味の UB ビットが追加になります。

この UB ビットは LDTLB 命令によって UTLB の UB ビットへ書き込まれます。また PPN フィールドが[31:10]に拡張されます。

(5) CCR.CB

CCR レジスタの CB ビットは無効になります。PI 領域に対するキャッシュブルライトがコピーバックモードになるか、ライトスルーモードになるかは、PMB の WT ビットに従います。

(6) IRMCR.MT

IRMCR の MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

(7) QACR0、QACR1

QACR0、QACR1 レジスタの AREA0[4:2]、AREA[4:2]がそれぞれ AREA0[7:2]、AREA1[7:2]に拡張され、物理アドレス 31 ~ 26 に対応します。

(8) LSA0、LSA1、LDA0、LDA1

L0SADR、L1SADR、L0DADR、L1DADR がそれぞれ[31:10]に拡張されます。

また、32 ビットアドレスモード使用時にはソフトウェアは以下の点に注意してください。

1. SEビットの切り替えはパワーオンリセットまたはマニュアルリセット後のキャッシュとTLBがオフのブートルーチンで0から1への切り替えのみサポートされています。
2. SEビット切り替え後、そのプログラムの配置されている領域自体がPMBアドレス変換対象となりますので、SEビットの切り替えに先立ってPMBへの登録が必要です。例外ハンドラなど、P1/P2領域へのアクセスされる可能性のあるアドレスについても必ずPMBへの登録を行ってください。
3. SEビットを切り替えるMOV.L命令の前にあるオペランドメモリアccessが外部メモリアccessを起こす場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異ならないようにしてください。

4. PMBの登録時にVビットがアドレスレイとデータレイの両方にマッピングされていることに注意してください。すなわち、1回目の一方への書き込みではV = 0を、2回目の他方への書き込みではV = 1を選んでください。

7.9 32 ビットブート機能

SH-4A は外部ピンによる指定で、パワーオンリセットおよびマニュアルリセット後のアドレスモードを 29 ビットアドレスモード / 32 ビットアドレス拡張モードのどちらにするかを切り替え可能です。以下、32 ビットアドレス拡張モードでブートした場合の変更点を説明します。

7.9.1 PMB の初期エントリ

外部ピンで 32 ビットアドレス拡張モードを指定した場合には、パワーオンリセットおよびマニュアルリセット後、PMB に以下の初期エントリが登録され、PASC R レジスタの SE ビットの初期値が 1 となります。エントリ 2 ~ 15 は V ビットのみ 0 に初期化されます。

エントリ	VPN[31:24]	PPN[31:24]	V	SZ[1:0]	C	UB	WT
0	10000000	*	1	11	1	0	1
1	10100000	*	1	11	0	0	0

【注】 * PPN[31:24]の初期値は製品により異なります。詳細は製品ハードウェアマニュアルを参照してください。

7.9.2 32 ビットブート時の注意点

パワーオンリセットおよびマニュアルリセット直後から P1/P2 領域の PMB マッピングが行われるため、初期エントリとは異なるマッピングを行いたい場合にはブートルーチンでキャッシュと TLB をオン (CCR.ICE と CCR.OCE と MMUCR.AT を 1) にする前に、以下の手順に従って PMB ミス、PMB 多重ヒットが発生しないように注意して PMB を操作してください。なお、ブートルーチン以外での PMB 登録内容の変更は行わないでください。

(1) P1/P2 領域のプログラムで変更する場合

- 初期エントリに対してSZビットのみを変更したエントリを上書き登録し、ページサイズの縮小を行います。このとき、PMBを変更するプログラムは、ページサイズ縮小後のページの先頭1Mバイト以内に配置してください。
- ITLBに残っているPMBに対応したエントリを無効化するため、MMUCRレジスタのTIビットに1を書き込みます。
- 1.の操作でPMB変換情報が不在となったP1/P2領域を補うPMBエントリをメモリ割り付けPMBで登録します。
- 以下の(a) ~ (c)のいずれかを実行します。この操作の前に1.の操作でPMB変換情報が不在となったP1/P2領域に対する分岐やオペランドアクセスは行わないでください。

(a) RTE命令による分岐を実行

(b) 任意のアドレス (キャッシング不可領域でもよい) に対してICBI命令を実行

(c) メモリ割り付けPMBアクセスの前にIRMCR.MT = 0 (初期値) と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (c) は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、(a) または (b) を用いることを推奨します。

(2) P1/P2 領域以外のプログラムで変更する場合

1. ITLBに残っているPMBに対応したエントリを無効化するため、MMUCRレジスタのTIビットに1を書き込みます。

2. メモリ割り付けPMBでPMBエントリを変更します。

3. 以下の (a) ~ (c) のいずれかを実行します。この操作の前にP1/P2領域に対する分岐やオペランドアクセスは行わないでください。

(a) RTE命令による分岐を実行

(b) 任意のアドレス (キャッシング不可領域でもよい) に対してICBI命令を実行

(c) メモリ割り付けPMBアクセスの前にIRMCR.MT = 0 (初期値) と設定されていた場合には特定の命令シーケンスは不要です。

ただし、方法 (c) は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、(a) または (b) を用いることを推奨します。

8. キャッシュ

SH-4A は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

【注】 命令キャッシュ、オペランドキャッシュの容量については、製品ハードウェアマニュアルを参照してください。本マニュアルではおのおの 32K バイトのケースについて説明します。
キャッシュサイズが変わると、図 8.1、8.2、8.5、8.6、8.7、および 8.8 で示されるウェイおよびエントリを表すビット位置が変わります。以下にキャッシュサイズとウェイ、エントリのビット位置の対応を示します。ウェイは図 8.5、8.6、8.7、および 8.8 にて適用されます。エントリは図 8.1、8.2、8.5、8.7、および 8.8 にて適用されます。

キャッシュサイズ	ウェイ	エントリ
8K バイト	ビット[12:11]	ビット[10:5]
16K バイト	ビット[13:12]	ビット[11:5]
32K バイト	ビット[14:13]	ビット[12:5]
64K バイト	ビット[15:14]	ビット[13:5]

8.1 特長

キャッシュの特長を表 8.1 に示します。

SH-4A では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ)をサポートします。SQ の特長を表 8.2 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの特長

項目	ストアキュー
容量	2 × 32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

SH-4A のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのこののウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのこののウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

SH-4A は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5 章 例外処理」を参照してください。

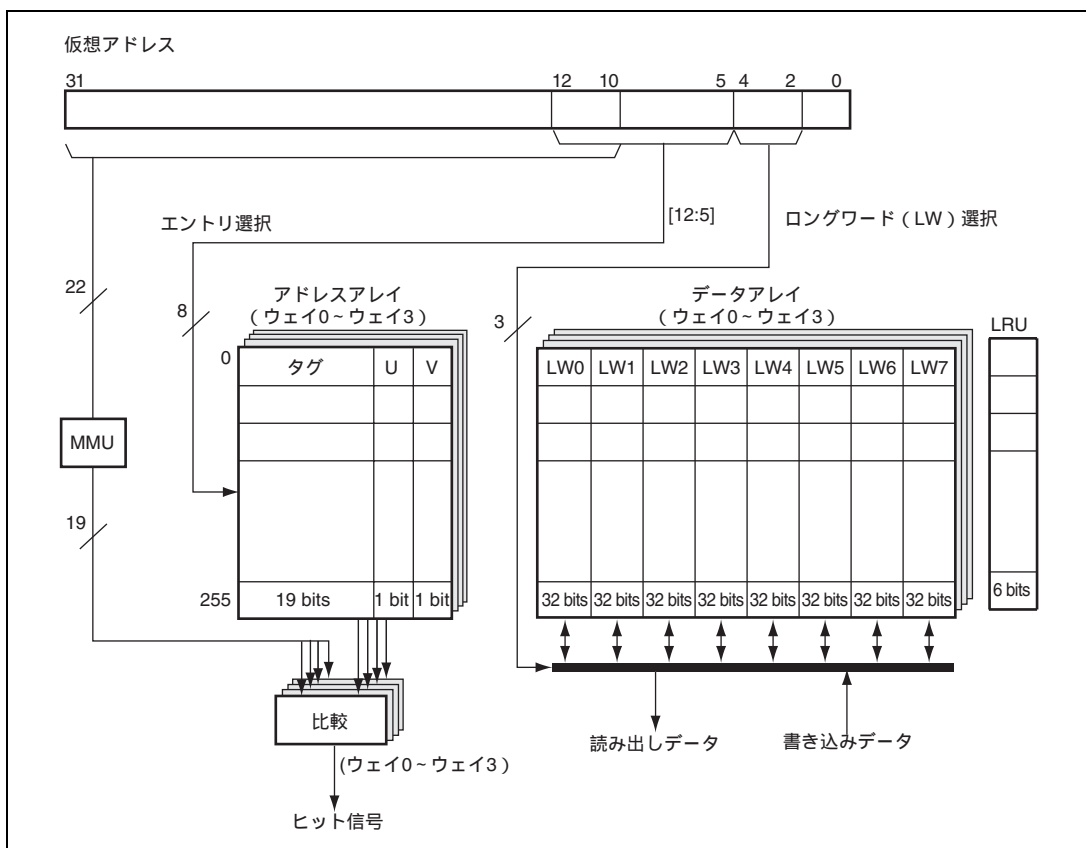


図 8.1 オペランドキャッシュの構成 (キャッシュサイズ=32K バイトの場合)

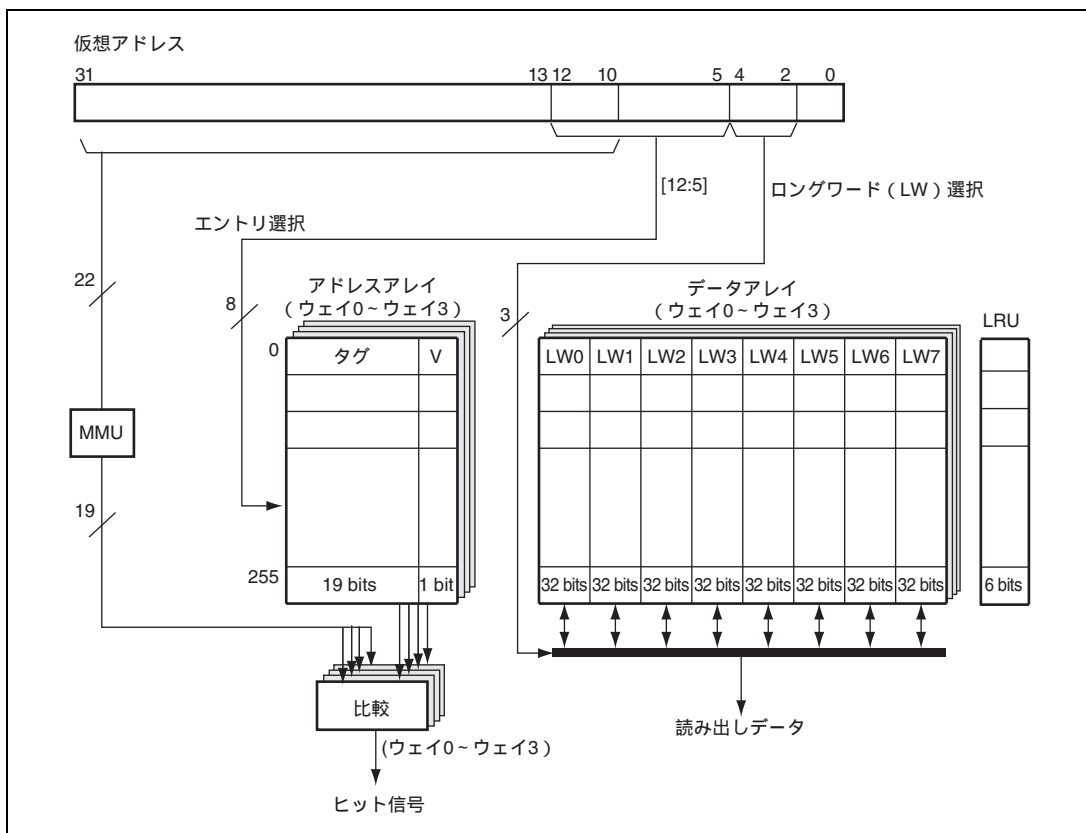


図 8.2 命令キャッシュの構成 (キャッシュサイズ=32K バイトの場合)

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット(有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインヘータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ（「8.6 メモリ割り付けキャッシュの構成」参照）をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.3 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7 からアクセスするものです。

表 8.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持
キューアドレス制御レジスタ0	QACR0	不定	不定	保持	保持
キューアドレス制御レジスタ1	QACR1	不定	不定	保持	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持

8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムまたは IL メモリ上のプログラムで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICI	-	-	ICE	-	-	-	-	OCI	CB	WT	OCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0：IC を使用しない 1：IC を使用する

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
3	OCI	0	R/W	OC 無効化ビット このビットに 1 を書き込むと OC の全エントリの V、U ビットを 0 にします。読み出すと常に 0 が読み出されます。
2	CB	0	R/W	コピーバックビット P1 領域のキャッシュへの書き込みモードを示します。 0 : ライトスルーモード 1 : コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3 領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報の WT ビットの値を優先します。 0 : コピーバックモード 1 : ライトスルーモード
0	OCE	0	R/W	OC 有効ビット OC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ OC を使用できません。 0 : OC を使用しない 1 : OC を使用する

8.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのとき、ストアキュー0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA0	不定	R/W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説 明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または IL メモリ、OL メモリあるいは U メモリ領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域または IL メモリ、OL メモリあるいは U メモリ領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI 命令を実行してください。
3. RAMCR 更新の前にあらかじめ IRMCR.R2 = 0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	ICWPD	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0 : IC は 4 ウェイ動作 1 : IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0 : OC は 4 ウェイ動作 1 : OC は 2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。

ビット	ビット名	初期値	R/W	説 明
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0 : 命令キャッシュはウェイ予測を行う 1 : 命令キャッシュはウェイ予測を行わない
4~0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

8.3 オペランドキャッシュの動作説明

8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 5.

3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 5.
3. キャッシュヒット
ヒットしたウェイが最新となるようにLRUビットを更新します。
4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック ライトスルー

- タグが一致かつVビットが1のウェイが存在する場合 → 3. → 4.
- タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 5. → 7.
- タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 6. → 7.

3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス(ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

8.3.4 ライトバックバッファ

SH-4A は、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

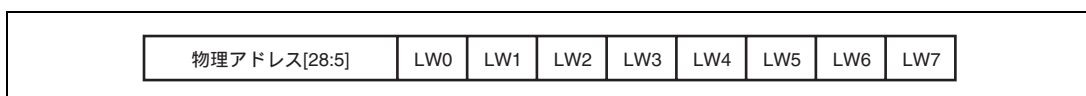


図 8.3 ライトバックバッファの構成

8.3.5 ライトスルーバッファ

SH-4A は、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

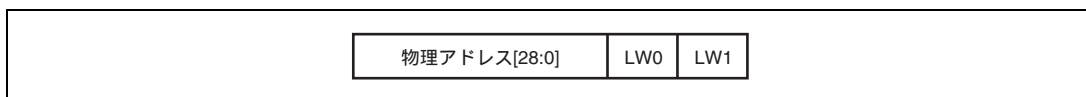


図 8.4 ライトスルーバッファの構成

8.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

8.4 命令キャッシュの動作説明

8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 → 4.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:2]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 → 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 → 4.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを1にセットすると、ICのウェイ0とウェイ1のみを使用するIC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けICアクセスも含め、ウェイ0とウェイ1のみが使用されます。

IC2W ビットの書き換えはP2領域のプログラムで行うようにしてください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタの ICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.4.4 命令キャッシュウェイ予測

SH-4Aは消費電力を低減するために命令キャッシュ(IC)ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを1にセットすると、ICウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんがICの消費電力が増加します。また、ICWPD ビットの切り換えはキャッシング不可のP2領域を走行するプログラムで行ってください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタの ICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.5 キャッシュ操作命令

8.5.1 キャッシュと外部メモリとのコヒーレンシ

(1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。SH-4A ではキャッシュを操作する命令として次の6命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

- オペランドキャッシュインバリデイト命令：OCBI @Rn
オペランドキャッシュの無効化（書き戻しなし）
- オペランドキャッシュパージ命令：OCBP @Rn
オペランドキャッシュの無効化（書き戻しあり）
- オペランドキャッシュライトバック命令：OCBWB @Rn
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令：MOVCA.L R0,@Rn
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令：ICBI @Rn
命令キャッシュの無効化
- オペランドアクセス同期命令：SYNCO
データ転送の完了待ち

(2) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、1K バイトのページサイズを使用しないでください。

- PURGE トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

- FLUSH トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

(3) コヒーレンシ制御に関連した命令仕様変更

オペランドキャッシュ操作命令のうち、OCBI、OCBP、OCBWB のコヒーレンシ制御に関連した仕様が、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A から変更になっています。

1. インバリデイト命令：OCBI@Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、拡張機能を備えた SH-4A では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであっても書き戻しは行いません。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

2. パージ命令：OCBP @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、拡張機能を備えた SH-4A では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインを無効化します。このとき無効化されるラインがダーティであれば書き戻しを行います。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

3. ライトバック命令：OCBWB @Rnの変更点

Rnが指し示すアドレスが非キャッシュ領域の場合、プロセッサバージョンレジスタ (PVR) の VER ビットの値が H'20 の SH-4A では本命令は NOP として動作しましたが、拡張機能を備えた SH-4A では、Rn[31:24] が H'F4 (OC アドレスアレイ領域) の場合のみ、ウェイ = Rn[14:13]、エントリ = Rn[12:5] で示されるオペランドキャッシュラインがダーティであれば書き戻しを行い、ダーティビットを 0 の状態にします。本操作は特権モードでのみ実行可能で、ユーザモードではアドレスエラー例外を発生します。また、TLB 関連例外は発生しません。

Rn[31:24] が H'F4 以外のメモリ割り付けアレイ領域、制御レジスタ領域、およびそのリザーブ領域 (H'F0 ~ H'F3、H'F5 ~ H'FF) への本命令の実行は行わないでください。

8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、SH-4A ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスがUTLBにミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

8.6 メモリ割り付けキャッシュの構成

IC、OC をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって IC データアレイの内容の読み出し / 書き込みが可能です。また特権モードのとき P2 領域のプログラムあるいは IL メモリ領域のプログラムから MOV 命令によって IC アドレスアレイの内容の読み出し / 書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3 領域への分岐は、以下の 1 ~ 3 のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC = 0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

また、特権モードのとき、P1、P2 領域のプログラムから MOV 命令によって OC の内容の読み出し / 書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OC は仮想アドレス空間の P4 領域に割り付けられています。IC のアドレスアレイ / データアレイ、OC のアドレスアレイ / データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには 0 を設定するようにしてください。予約ビットの読み出し値は不定です。

8.6.1 IC アドレスアレイ

IC のアドレスアレイは P4 領域の H'F000 0000 ~ H'F0FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと V ビットを指定します。

アドレス部は[31:24]が IC アドレスアレイを示す H'F0 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[0]が V ビットを示します。IC アドレスアレイのタグは 19 ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

（１）IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリから、データ部へタグとVビットを読み出

します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み（連想なし）

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み（連想あり）

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICB1 命令の使用を推奨します。

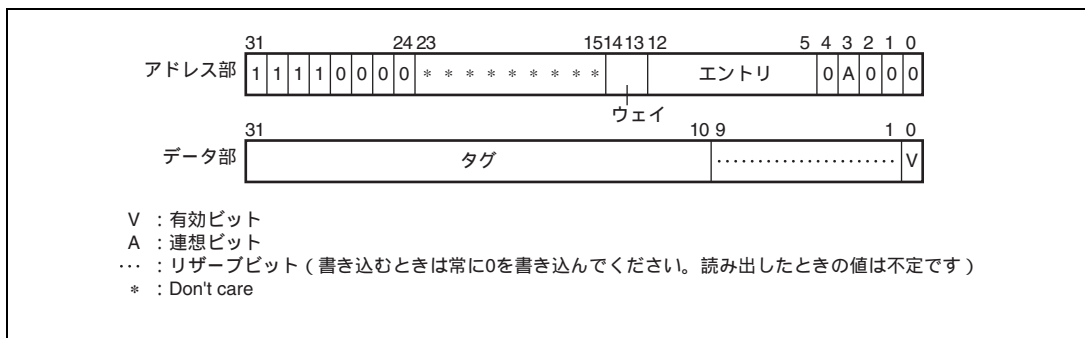


図 8.5 メモリ割り付け IC アドレスアレイ（キャッシュサイズ = 32K バイトの場合）

8.6.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す H'F1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のログワード指定ビットで指定されたデータから、データ部へログワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

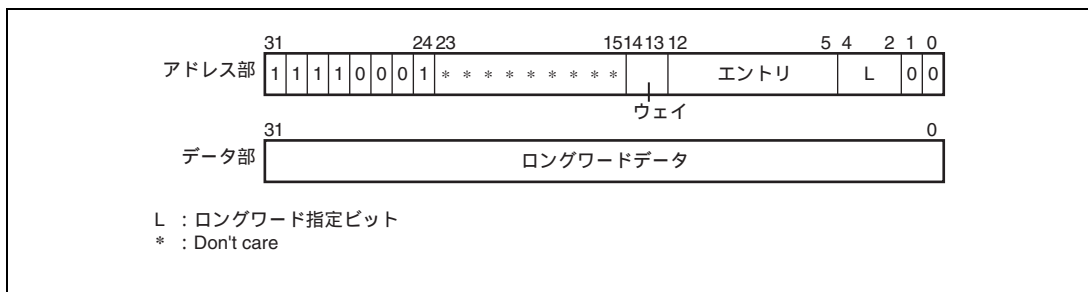


図 8.6 メモリ割り付け IC データアレイ (キャッシュサイズ=32K バイトの場合)

8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]がUビットを、[0]がVビットを示します。OCアドレスアレイのタグは19ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の3種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリから、データ部へタグとUビットとVビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するOCエントリに対して、データ部に指定されたタグとUビットとVビットを書き込みます。アドレス部のAビットは0にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み（連想あり）

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

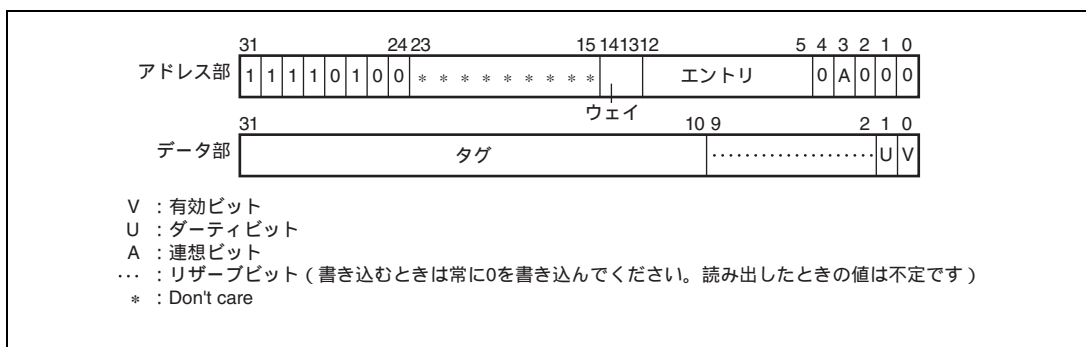


図 8.7 メモリ割り付け OC アドレスアレイ（キャッシュサイズ=32K バイトの場合）

8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。

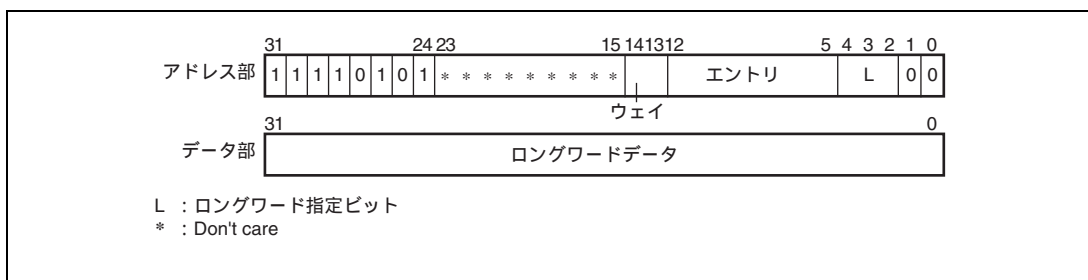


図 8.8 メモリ割り付け OC データアレイ (キャッシュサイズ = 32K バイトの場合)

8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。SH-4A では過渡的な措置として本機能を利用した場合にアドレスエラーを発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (H'FF2F 0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

8.7 ストアキュー

SH-4A では、外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

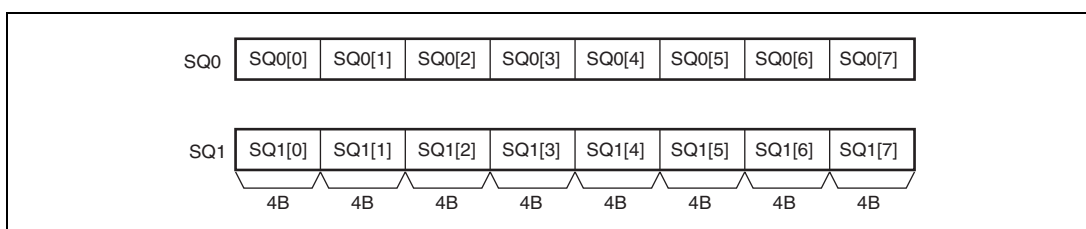


図 8.9 ストアキューの構成

8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル / ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル (MMUCR.AT = 0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス[28:26]は、QACR0、QACR1から生成します。

QACR0[4:2] : SQ0に対する物理アドレス[28:26]

QACR1[4:2] : SQ1に対する物理アドレス[28:26]

物理アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

8.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル / ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル (MMUCR.AT = 1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル (MMUCR.AT = 0) の場合

SQMDビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

8.7.5 SQ からの読み出し

SH-4A では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

1. ICおよびOCのタグが[28:10]の19ビットから、[31:10]の22ビットに拡張されます。
2. ICを操作する命令 (メモリ割り付けICアクセスおよびCCR.ICI書き込み) を配置する領域は、P1またはP2領域とし、PMBの当該エントリのキャッシング可能ビット (Cビット) を0にしてください。
3. QACR0レジスタのAREA0ビットおよびQACR1レジスタのAREA1ビットがそれぞれ[4:2]の3ビットから[7:2]の6ビットに拡張されます。

9. 内蔵メモリ

SH-4A は OL メモリ、IL メモリ、U メモリモジュールの 3 種類のメモリを内蔵することができ、命令やデータを格納することができます。OL メモリはデータの格納に適しており、IL メモリは命令の格納に適しています。U メモリは命令やデータを格納することができます。

【注】 OL メモリ、IL メモリ、U メモリの搭載の有無および搭載する場合の容量については、製品ハードウェアマニュアルを参照してください。

9.1 特長

(1) OL メモリ

- 容量：

OLメモリ合計で、16Kバイト、32Kバイト、64Kバイト、128Kバイトから選択可能です。

- ページ：

OLメモリは4ページ（ページ0A、0B、1Aおよび1B）に分かれています。

- メモリマップ：

OLメモリは、仮想アドレス空間、物理アドレス空間とも、表9.1に示されるアドレスに配置されています。

表 9.1 OL メモリアドレス

ページ	メモリサイズ			
	16K バイト	32K バイト	64K バイト	128K バイト
ページ 0A	H'E500 E000 ～ H'E500 EFFF	H'E500 C000 ～ H'E500 DFFF	H'E500 8000 ～ H'E500 BFFF	H'E500 0000 ～ H'E500 7FFF
ページ 0B	H'E500 F000 ～ H'E500 FFFF	H'E500 E000 ～ H'E500 FFFF	H'E500 C000 ～ H'E500 FFFF	H'E500 8000 ～ H'E500 FFFF
ページ 1A	H'E501 0000 ～ H'E501 0FFF	H'E501 0000 ～ H'E501 1FFF	H'E501 0000 ～ H'E501 3FFF	H'E501 0000 ～ H'E501 7FFF
ページ 1B	H'E501 1000 ～ H'E501 1FFF	H'E501 2000 ～ H'E501 3FFF	H'E501 4000 ～ H'E501 7FFF	H'E501 8000 ～ H'E501 FFFF

- ポート：

各ページは3本の独立した読み出し／書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスと接続されています。オペランドアクセスにはオペランドバスが、命令フェッチにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。

- 優先順位：

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバス、となります。

(2) IL メモリ

- 容量：

ILメモリは、4Kバイト、8Kバイト、16Kバイト、32Kバイトから選択可能です。

- ページ：

ILメモリは4ページ（ページ0～ページ3）に分かれています。

- メモリマップ：

ILメモリは、仮想アドレス空間、物理アドレス空間ともに、表9.2に示されるアドレスに配置されています。

表 9.2 IL メモリアドレス

ページ	メモリサイズ			
	4K バイト	8K バイト	16K バイト	32K バイト
ページ 0	H'E520 0000 ～ H'E520 0FFF	H'E520 0000 ～ H'E520 0FFF	H'E520 0000 ～ H'E520 0FFF	H'E520 0000 ～ H'E520 1FFF
ページ 1	-	H'E520 1000 ～ H'E520 1FFF	H'E520 1000 ～ H'E520 1FFF	H'E520 2000 ～ H'E520 3FFF
ページ 2	-	-	H'E520 2000 ～ H'E520 2FFF	H'E520 4000 ～ H'E520 5FFF
ページ 3	-	-	H'E520 3000 ～ H'E520 3FFF	H'E520 6000 ～ H'E520 7FFF

- ポート：

3本の独立した読み出し／書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。

- 優先順位：

同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

(3) U メモリ

- 容量：

128Kバイト、256Kバイト、512Kバイト、1Mバイトから選択可能です。

- アクセス方法：

命令フェッチやオペランドライトアクセスはキャッシュ・RAM内蔵バスからアクセスを行います。オペランドリードアクセスは、リードバッファを用いてシーケンシャルなオペランドアクセスに最適化したアクセスが可能です。

- メモリマップ：

Uメモリは、仮想アドレス空間および物理アドレス空間で、それぞれ表9.3に示されるアドレスに配置されています。

CPUから、仮想アドレス空間のP4領域（SR.MD = 1の場合）、あるいは内蔵メモリ領域（SR.MD = 0かつRAMCR.RMD = 1の場合）からアクセス可能です。このアドレスを用いたアクセスは常に非キャッシュブルアクセスとなります。

表 9.3 U メモリアドレス

アドレス空間	メモリサイズ			
	128K バイト	256K バイト	512K バイト	1M バイト
仮想アドレス	H'E55F 0000 ～ H'E560 FFFF	H'E55E 0000 ～ H'E561 FFFF	H'E55C 0000 ～ H'E563 FFFF	H'E558 0000 ～ H'E567 FFFF
物理アドレス	H'E55F 0000 ～ H'E560 FFFF	H'E55E 0000 ～ H'E561 FFFF	H'E55C 0000 ～ H'E563 FFFF	H'E558 0000 ～ H'E567 FFFF

- ポート：

Uメモリは3本の独立した読み出し／書き込みポートを持ち、オペランドバス、キャッシュ・RAM内蔵バス、およびSuperHywayバスと接続されています。オペランドリードアクセスにはオペランドバス、命令フェッチおよびオペランドライトアクセスにはキャッシュ・RAM内蔵バス、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスが使用されます。

- 優先順位：

Uメモリに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、オペランドバスとなります。

9.2 レジスタの説明

内蔵メモリに関するレジスタは以下のとおりです。

表 9.4 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
OL メモリ転送元アドレスレジスタ 0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
OL メモリ転送元アドレスレジスタ 1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
OL メモリ転送先アドレスレジスタ 0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
OL メモリ転送先アドレスレジスタ 1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 9.5 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持
OL メモリ転送元アドレスレジスタ 0	LSA0	不定	不定	保持	保持
OL メモリ転送元アドレスレジスタ 1	LSA1	不定	不定	保持	保持
OL メモリ転送先アドレスレジスタ 0	LDA0	不定	不定	保持	保持
OL メモリ転送先アドレスレジスタ 1	LDA1	不定	不定	保持	保持

9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は内蔵メモリの保護機能の制御を行います。

ビット名 :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット名 :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ~ 10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からの内蔵メモリへのアクセス権を指定します。 0 : 特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1 : ユーザ / 特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からの内蔵メモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 0 : 保護機能を使用しない 1 : 保護機能を使用する 詳細は「9.4 内蔵メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4 ~ 0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

9.2.2 OL メモリ転送元アドレスレジスタ 0 (LSA0)

LSA0 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 0A、0B へのブロック転送において、転送元の物理アドレスを指定します。

ビット名 :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L0SADR												
初期値 :	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名 :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0SADR						—	—	—	—	L0SSZ					
初期値 :	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28～10	L0SADR	不定	R/W	OL メモリページ 0 ブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送元となる物理アドレスを指定します。
9～6	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5～0	L0SSZ	不定	R/W	OL メモリページ 0 ブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送元となる物理アドレスのうちビット 15～10 に関して、オペランドアドレスを使用するか、L0SADR の値を使用するかを選択します。L0SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0 : 転送元物理アドレスにオペランドアドレスを使用します。 1 : 転送元物理アドレスに L0SADR の値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを 1K バイト単位で設定する場合 111110 転送元の物理アドレスを 2K バイト単位で設定する場合 111100 転送元の物理アドレスを 4K バイト単位で設定する場合 111000 転送元の物理アドレスを 8K バイト単位で設定する場合 110000 転送元の物理アドレスを 16K バイト単位で設定する場合 100000 転送元の物理アドレスを 32K バイト単位で設定する場合 000000 転送元の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.2.3 OL メモリ転送元アドレスレジスタ 1 (LSA1)

LSA1 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 1A、1B へのブロック転送において、転送元の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1SADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						—	—	—	—	L1SSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28～10	L1SADR	不定	R/W	OL メモリページ 1 ブロック転送元アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送元となる物理アドレスを指定します。
9～6	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5～0	L1SSZ	不定	R/W	OL メモリページ 1 ブロック転送元アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送元となる物理アドレスのうちビット 15～10 に関して、オペランドアドレスを使用するか、L1SADR の値を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスに L1SADR の値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを 1K バイト単位で設定する場合 111110 転送元の物理アドレスを 2K バイト単位で設定する場合 111100 転送元の物理アドレスを 4K バイト単位で設定する場合 111000 転送元の物理アドレスを 8K バイト単位で設定する場合 110000 転送元の物理アドレスを 16K バイト単位で設定する場合 100000 転送元の物理アドレスを 32K バイト単位で設定する場合 000000 転送元の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.2.4 OL メモリ転送先アドレスレジスタ 0 (LDA0)

LDA0 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 0A、0B へのブロック転送において、転送先の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L0DADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0DADR						—	—	—	—	L0DSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28～10	L0DADR	不定	R/W	OL メモリページ 0 ブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送先となる物理アドレスを指定します。
9～6	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5～0	L0DSZ	不定	R/W	OL メモリページ 0 ブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 0A、0B に対するブロック転送の転送先となる物理アドレスのうちビット 15～10 に関して、オペランドアドレスを使用するか、L0DADR の値を使用するかを選択します。L0DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスに L0DADR の値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを 1K バイト単位で設定する場合 111110 転送先の物理アドレスを 2K バイト単位で設定する場合 111100 転送先の物理アドレスを 4K バイト単位で設定する場合 111000 転送先の物理アドレスを 8K バイト単位で設定する場合 110000 転送先の物理アドレスを 16K バイト単位で設定する場合 100000 転送先の物理アドレスを 32K バイト単位で設定する場合 000000 転送先の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.2.5 OL メモリ転送先アドレスレジスタ 1 (LDA1)

LDA1 は、MMUCR.AT=0 または RAMCR.RP=0 のときに、OL メモリページ 1A、1B へのブロック転送において、転送先の物理アドレスを指定します。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	L1DADR												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	—	L1DSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31～29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28～10	L1DADR	不定	R/W	OL メモリページ 1 ブロック転送先アドレス MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送先となる物理アドレスを指定します。
9～6	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
5～0	L1DSZ	不定	R/W	OL メモリページ 1 ブロック転送先アドレス選択ビット MMUCR.AT=0 または RAMCR.RP=0 のとき、OL メモリページ 1A、1B に対するブロック転送の転送先となる物理アドレスのうちビット 15～10 に関して、オペランドアドレスを使用するか、L1DADR の値を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0:転送先物理アドレスにオペランドアドレスを使用します。 1:転送先物理アドレスに L1DADR の値を使用します。 設定可能な値 111111 転送先の物理アドレスを 1K バイト単位で設定する場合 111110 転送先の物理アドレスを 2K バイト単位で設定する場合 111100 転送先の物理アドレスを 4K バイト単位で設定する場合 111000 転送先の物理アドレスを 8K バイト単位で設定する場合 110000 転送先の物理アドレスを 16K バイト単位で設定する場合 100000 転送先の物理アドレスを 32K バイト単位で設定する場合 000000 転送先の物理アドレスを 64K バイト単位で設定する場合 上記以外は設定禁止です。

9.3 動作説明

9.3.1 CPU からの命令フェッチアクセス

(1) OL メモリ

CPU からの命令フェッチアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。アクセスには複数サイクルがかかります。

(2) IL メモリ

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に 1 サイクルアクセスになります。

(3) U メモリ

CPU からの命令フェッチアクセスは、キャッシュ・RAM 内蔵バス経由のアクセスとなり、一回の命令フェッチに複数サイクルがかかります。

9.3.2 CPU からのオペランドアクセスおよび FPU からのアクセス

(1) OL メモリ

CPU および FPU からのアクセスは仮想アドレスにより、オペランドバスから行います。オペランドバスからの仮想アドレスによるリードアクセスは、OL メモリの同じページへ連続してアクセスした場合、かつページ競合が発生しない場合に 1 サイクルアクセスになります。オペランドバスからの仮想アドレスによるライトアクセスはページ競合が発生しない場合に 1 サイクルアクセスになります。

(2) IL メモリ

CPU からのオペランドアクセスおよび FPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルがかかります。

(3) U メモリ

CPU からのオペランドアクセスおよび FPU からのリードアクセスは、リードバッファを経由したアクセスとなります。リードバッファは 1 ライン 32 バイトのバッファ 2 本で構成されており、CPU からオペランドアクセスしたラインと FPU からリードアクセスしたラインを合計で最大 2 ラインまで保持しています。リードバッファにヒットした場合、1 サイクルでアクセス可能です。リードバッファにミスした場合、U メモリから要求されたデータを含む 32 バイトを読み出し、CPU へ返すとともに、リードバッファを更新します。このアクセスには複数サイクルがかかります。2 本あるリードバッファのどちらを更新するかは LRU アルゴリズムを用いて決定します。ライトアクセスでは U メモリを直接更新するとともに、当該ラインがリードバッファに保持されていた場合には、無効化を行います。DMAC などの SuperHyway バスマスタモジュールが U メモリを書き換えた場合にもリードバッファの無効化をハードウェアが行いますので、ソフトウェアでコヒーレンシを保証する必要はありません。

9.3.3 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

9.3.4 OL メモリブロック転送

OL メモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから OL メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、外部メモリから OL メモリへのブロック転送が開始されます。

OL メモリから外部メモリへの転送は、ライトバック命令 (OCBWB) により行えます。OCBWB 命令を仮想アドレス空間の OL メモリ領域のアドレスに対して発行することにより、OL メモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位 5 ビットは無視され、常にすべて 0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

OL メモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) かつ RAMCR.RP = 1 の場合

UTLB の VPN フィールドに OL メモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

OL メモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの [4:0] は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

(2) MMU ディスエーブル (MMUCR.AT = 0) または RAMCR.RP = 0 の場合

L0SA0 レジスタの L0SADR ビットに OL メモリページ 0A、0B へのブロック転送の転送元となる物理アドレスを設定し、L0SSZ ビットに、転送元の物理アドレスのビット 15 ~ 10 として PREF 命令で指定された仮想アドレスを使用するか、L0SADR の値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を 1K バイト ~ 64K バイト単位で設定可能です。

LDA0 レジスタの L0DADR ビットに OL メモリページ 0A、0B からのブロック転送の転送先となる物理アドレスを設定し、L0DSZ ビットに、転送先の物理アドレスのビット 15～10 として OCBWB 命令で指定された仮想アドレスを使用するか、L0DADR の値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を 1K バイト～64K バイト単位で設定可能です。

OL メモリページ 1A、1B に対するブロック転送の設定も、ページ 0A、0B と同様に LSA1 および LDA1 に対して行います。

OL メモリ領域への PREF 命令が発行されると、LSA0 レジスタまたは LSA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。この物理アドレスで指定される外部メモリから OL メモリへブロック転送が行われます。

OL メモリ領域への OCBWB 命令が発行されると、LDA0 レジスタまたは LDA1 レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。OL メモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

9.4 内蔵メモリの保護機能

SH-4A では、内蔵メモリに対して、内蔵メモリ制御レジスタ RAMCR の内蔵メモリアクセスモードビット(RMD)と内蔵メモリ保護有効ビット(RP)を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD = 0 のとき、ユーザモードでの内蔵メモリ領域へのアクセスをアドレスエラー例外と判定します。

またMMUCR.AT = 1 かつ RAMCR.RP = 1 のときは、アドレスエラー例外の判定に加えて、P4領域の一部である内蔵メモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表9.6にまとめます。

表 9.6 内蔵メモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外
0	x	0	0	アドレスエラー例外	-
			1	-	-
		1	x	-	-
1	0	0	0	アドレスエラー例外	-
			1	-	-
		1	x	-	-
	1	0	0	アドレスエラー例外	-
			1	-	MMU 例外
		1	x	-	MMU 例外

【記号説明】 x : Don't care

9.5 使用上の注意事項

9.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起らないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

9.5.2 ページの切り替わり

(1) OL メモリ

オペランドバスからのリードアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがOLメモリ以外からOLメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)がかかります。したがって、性能最適化の観点からは、オペランドバスからのリードアクセスアドレスが属するページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。

(2) IL メモリ

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)がかかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。例えばページ毎に独立したプログラムを配置すると効率がよくなります。

9.5.3 ILメモリのコヒーレンシ

ILメモリに命令を配置する場合、ILメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく(ILメモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

9.5.4 スリープモード

(1) OLメモリ、ILメモリ

スリープモード中は、DMACなどのSuperHywayバスマスタモジュールからOLメモリあるいはILメモリへのアクセスは行えません。

(2) Uメモリ

スリープモード中も、DMAC などの SuperHyway バスマスタモジュールから U メモリへアクセス可能です。

9.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、LSA0 レジスタの L0SADR ビット、LSA1 レジスタの L1SADR ビット、LDA0 レジスタの L0DADR ビット、LDA1 レジスタの L1DADR ビットがそれぞれ[28:10]の 19 ビットから[31:10]の 22 ビットに拡張されます。

10. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

10.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャネル数：2 チャネル (チャネル 0 と 1)

ユーザブ레이크は、チャネル 0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャネル 0 のブ레이크条件が一致した後チャネル 1 のブ레이크条件の一致が発生、またはチャネル 1 のブ레이크条件が一致した後チャネル 0 のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャネル 1 のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件 (チャネル 1 に対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

図 10.1 に UBC のブロック図を示します。

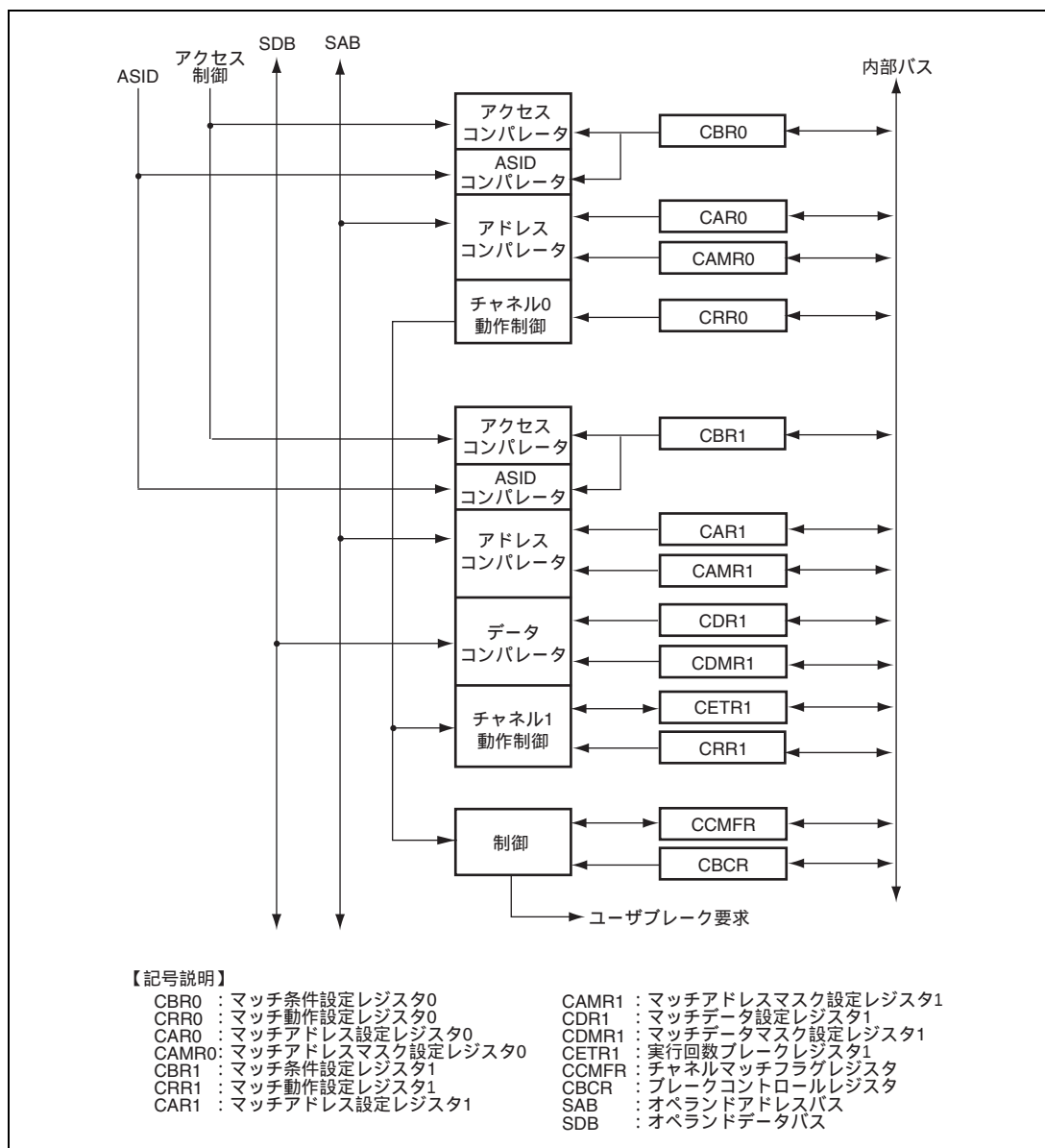


図 10.1 UBC のブロック図

10.2 レジスタの説明

UBC には以下のレジスタがあります。

表 10.1 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブ레이크レジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブ레이크コントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 10.2 各処理状態におけるレジスタの状態

名称	略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持	保持
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持	保持
マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持	保持
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持	保持
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持	保持
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持	保持
マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持	保持
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持	保持
マッチデータ設定レジスタ 1	CDR1	不定	保持	保持	保持
マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持	保持
実行回数ブ레이크レジスタ 1	CETR1	不定	保持	保持	保持
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持	保持
ブ레이크コントロールレジスタ	CBCR	H'0000 0000	保持	保持	保持

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

10.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

- CBR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SZ			—	—	—	—	CD		ID		—	RW		CE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0 : マッチフラグはマッチ条件に含まれず、チェックされない 1 : マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0 : ASID はマッチ条件に含まれず、チェックされない 1 : マッチ条件に ASID を含める
29 ~ 24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000 : CCMFR レジスタの MF0 ビット 000001 : CCMFR レジスタの MF1 ビット その他 : リザーブ (設定禁止) 【注】初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCMFR レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャネル 0 でヒットしますので注意してください。
23 ~ 16	AIV	H'00	R/W	ASID 指定 マッチ条件とする ASID 値を指定します。
15	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
14 ~ 12	SZ	すべて 0	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *¹ 001 : バイトアクセスを対象とする 010 : ワードアクセスを対象とする 011 : ロングワードアクセスを対象とする 100 : クワッドワードアクセスを対象とする *³ その他 : リザーブ (設定禁止)
11 ~ 8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする その他：リザーブ（設定禁止）
5、4	ID	00	R/W	命令フェッチ / オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2、1	RW	00	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャネルイネーブル チャネルを有効にするかどうかを指定します。本ビットに 0 を設定した場合、他のビットの設定はすべて無効です。 0：本チャネルは無効 1：本チャネルは有効

- CBR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	—	—	—	CD		ID		—	RW		CE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0 : マッチフラグはマッチ条件に含まれず、チェックされない 1 : マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0 : ASID はマッチ条件に含まれず、チェックされない 1 : マッチ条件に ASID を含める
29 ~ 24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000 : CCMFR レジスタの MF0 ビット 000001 : CCMFR レジスタの MF1 ビット その他 : リザーブ (設定禁止) 【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCMFR レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000001 に設定するとチャネル 1 でヒットしなくなりますので注意してください。
23 ~ 16	AIV	すべて 0	R/W	ASID 指定 マッチ条件とする ASID 値を指定します。
15	DBE	0	R/W	データ値イネーブル^{*2} マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0 : データ値はマッチ条件に含まれず、チェックされない 1 : マッチ条件にデータ値を含める

ビット	ビット名	初期値	R/W	説 明
14 ~ 12	SZ	000	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべのサイズが対象となる)*¹ 001: バイトアクセスを対象とする 010: ワードアクセスを対象とする 011: ロングワードアクセスを対象とする 100: クワッドワードアクセスを対象とする*³ その他: リザーブ(設定禁止)
11	ETBE	0	R/W	実行回数値イネーブル マッチ条件に実行回数値を含めるかどうかを指定します。このビットが 1 の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0: 実行回数値はマッチ条件に含まれず、チェックされない 1: マッチ条件に実行回数値を含める
10 ~ 8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: オペランドアクセスにおいてオペランドバスを対象とする その他: リザーブ(設定禁止)
5、4	ID	00	R/W	命令フェッチ / オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01: 命令フェッチサイクルを対象とする 10: オペランドアクセスサイクルを対象とする 11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説 明
2, 1	RW	00	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャネルイネーブル チャネルを有効にするかどうかを指定します。本ビットに 0 を設定した場合、他のビットの設定はすべて無効です。 0：本チャネルは無効 1：本チャネルは有効

- 【注】 *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

10.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブ레이크タイミング、(2) ブ레이크要求の有無です。

• CRR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 14	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13	—	1	R	リザーブビット 本ビットを読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12 ~ 2	—	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブ레이크セレクト 命令フェッチサイクルのブ레이크タイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブ레이크に対して、本ビットは無効です。 0 : PC ブ레이크を命令実行前に設定する 1 : PC ブ레이크を命令実行後に設定する
0	BIE	0	R/W	ブ레이크イネーブル チャンネルのマッチ条件が成立したときに、ブ레이크を要求するかどうかを指定します。 0 : ブ레이크要求しない 1 : ブ레이크を要求する

• CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 14	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13	—	1	R	リザーブビット 本ビットを読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12 ~ 2	—	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0 : PC ブレークを命令実行前に設定する 1 : PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0 : ブレーク要求しない 1 : ブレークを要求する

10.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブレーク条件とする仮想アドレスを指定します。

• CAR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

• CAR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

10.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

• CAMR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブ레이크条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブ레이크条件に含まれない 【注】n = 31 ~ 0

• CAMR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブ레이크条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブ레이크条件に含まれない 【注】n = 31 ~ 0

10.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブレイク条件とするデータ値を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CD	不定	R/W	比較データ値 ブレイク条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 10.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7 ~ 0
オペランドバス (ワード)	Don't care		SDB15 ~ 0	
オペランドバス (ロングワード)	SDB31 ~ 0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCB1 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデーマスク設定レジスタによる設定内容との比較が行われます。

10.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CDM	不定	R/W	比較データ値マスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : データ値ビット CD[n]は、ブ레이크条件に含まれる 1 : データ値ビット CD[n]はマスクされ、ブ레이크条件に含まれない 【注】n = 31 ~ 0

10.2.7 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャネルヒット回数を指定します。指定できる最大値は $2^{12} - 1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャネルがヒットするごとに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブ레이크が発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CET											
初期値 :	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

10.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

10.2.9 ブ레이크コントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブ레이크デバッグサポート機能を使用するかどうかを指定します。ユーザブ레이크デバッグサポート機能の詳細については、「10.4 ユーザブ레이크デバッグサポート機能」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	UBDE	0	R/W	ユーザブ레이크デバッグサポート機能イネーブル ユーザブ레이크デバッグサポート機能を使用するかどうかを指定します。 0 : デバッグサポート機能を使用しない 1 : デバッグサポート機能を使用する

10.3 動作説明

10.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 `MOV.W @(disp,PC),Rn` のアドレス ($PC + \text{disp} \times 2 + 4$) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令：読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令：書き込みアクセスとして扱います。
- TAS.B 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

10.3.2 ユーザブ레이크動作の流れ

ブ레이크条件の設定からユーザブ레이크例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ / オペランドアクセス、読み出し / 書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブ레이크アドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、AIVビットによりASIDを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブ레이크データをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブ레이크レジスタ (CETR1) により指定します。シーケンシャルブ레이크を設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。

2. マッチ条件が成立した場合のブレイク要求の有無、命令フェッチによる条件成立の場合のブレイク位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブレイクが発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブレイク要求が発生します。SR レジスタの BL ビットにより、ブレイク要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブレイク要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブレイクがほぼ同時に発生する場合があります。CPU に対するブレイク要求は 1 つだけであっても、これらのブレイクに対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブレイク要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

10.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタCBR1のDBEビットは無効となり、マッチデータ設定レジスタCDR1およびマッチデータマスク設定レジスタCDMR1の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

10.3.4 オペランドアクセスサイクルブ레이크

1. オペランドアクセスサイクルブ레이크の場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 10.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレークが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブレークが発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレークが発生した場合は、分岐先の最初の命令までブレークは発生しません。RTE 命令の遅延スロットには、オペランドブレークを設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1.~6.命令前でブレークを発生させないでください。

10.3.5 シーケンシャルブレーク

- マッチ条件設定レジスタ (CBR0、CBR1) の MFE ビットおよび MFI ビットを設定することで、シーケンシャル条件 (チャンネル0マッチ条件が成立した後チャンネル1マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタの MFE、およびマッチ動作設定レジスタの BIE ビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタの MFE ビットをセットし、シーケンス元チャンネル番号を MFI で指定します。シーケンシャル条件成立時のブレーク要求の有無は、シーケンス先マッチ動作設定レジスタの BIE ビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
- シーケンシャル条件指定では、チャンネル 1 については実行回数ブレーク条件も指定することができます。
- シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0～5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

10.3.6 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

1. 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

2. 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

3. オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

4. オペランドアクセス (アドレス + データ) をマッチ条件として指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に退避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが退避されます。

10.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 10.2 に示します。

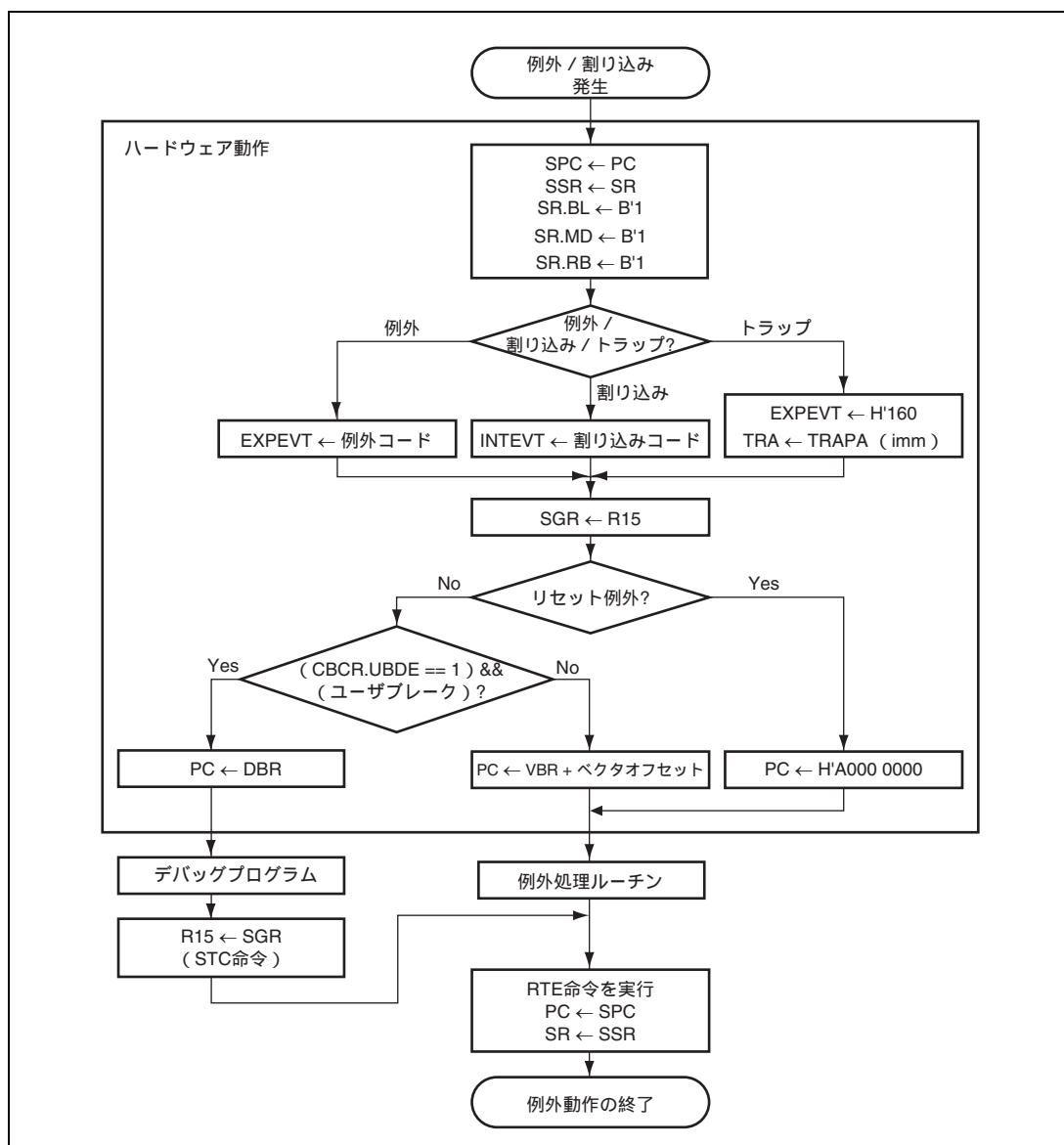


図 10.2 ユーザブレイクデバッグサポート機能のフローチャート

10.5 ユーザブ레이크使用例

(1) 命令フェッチサイクルに指定したマッチ条件

• 例1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブ레이크は、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

• 例1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 → チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス: H'0003722E、アドレスマスク: H'00000000、ASID: H'70

データ: H'00000000、データマスク: H'00000000、実行回数: H'00000000

バスサイクル: 命令フェッチ (命令実行前)

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件: チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス: H'00027128、アドレスマスク: H'00000000

バスサイクル: 命令フェッチ (命令実行前)

ASID は条件に含まれない

【チャンネル1】

アドレス: H'00031415、アドレスマスク: H'00000000

データ: H'00000000、データマスク: H'00000000、実行回数: H'00000000

バスサイクル: 命令フェッチ (命令実行前)

ASID、データ値、実行回数は条件に含まれない

チャンネル0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件: チャンネル0 → チャンネル1 シーケンシャルモード

【チャンネル 0】

アドレス : H'00037226、アドレスマスク : H'00000000、ASID = H'80

バスサイクル : 命令フェッチ (命令実行前)

【チャンネル 1】

アドレス : H'0003722E、アドレスマスク : H'00000000、ASID = H'70

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にブレイクが発生します。

• 例1-5

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /

CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /

CBCR = H'00000000

指定条件 : チャンネル 0 / チャンネル 1 独立条件

【チャンネル 0】

アドレス : H'00000500、アドレスマスク : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID は条件に含まれない

【チャンネル 1】

アドレス : H'00001000、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000005

バスサイクル : 命令フェッチ (命令実行前)

実行回数 : 5 回

ASID、データ値は条件に含まれない

チャンネル 0 では、ユーザブレイクはアドレス H'00000500 の命令の実行前に生じます。チャンネル 1 では、ユーザブレイクは、アドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

• 例1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /

CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'80 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'70 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /
CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /
CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し (オペランドサイズは条件に含まれない)

【チャンネル1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル0 では、ユーザブ레이크は、ASID = H'80 でアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル1 では、ユーザブ레이크は ASID = H'70 で H'000ABC00 ~ H'000ABCFE にワード H'A512 を書き込むときに生じます。

10.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

(1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

(2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

(3) UBCレジスタの変更前にIRMC.R1=0(初期値)と設定しておき、レジスタライト→レジスタリード→(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみに有効です。
3. シーケンシャル条件設定時、シーケンス元チャネルのマッチ条件成立後シーケンス先チャネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャネル0およびチャネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP 命令の1～5命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
アドレス 110 の命令 (チャンネル0 で命令フェッチに対する実行後ブレーク) → SPC = 112、CCMFR.MF0 = 1
アドレス 112 の命令 (チャンネル1 で命令フェッチに対する実行前ブレーク) → SPC = 112、CCMFR.MF1 = 1
7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。
またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが 2 以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが 1 にセットされる場合と、セットされない場合があります。

11. レジスタ一覧

本章では、内蔵 I/O レジスタについて、各章で説明された内容を一覧表の形でまとめて説明しています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

- 機能モジュールごとに、マニュアルの章番号の順に表記しています。
- 本リストに記載されていないリザーブアドレスは、アクセスしないでください。

2. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の並びに従って、レジスタの状態を表記しています。
- 初期化時の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

11.1 レジスタアドレス一覧(機能モジュールごと、マニュアル章番号順)

【注】 未定義およびリザーブアドレスのアクセスは、禁止します。これらのレジスタをアクセスした時の動作および継続する動作については保証できませんので、アクセスしないようにしてください。

モジュール名	名 称	略称	R/W	P4 領域 アドレス ^{*1}	エリア 7 アドレス ^{*1}	アクセス サイズ ^{*2}
例外処理	TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
	例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
	割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
	非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32
MMU	ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
	ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004	H'1F00 0004	32
	変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
	TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
	MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
	ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
	物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
	命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32
キャッシュ	キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
	キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
	キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
	内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
内蔵メモリ	OL メモリ転送元アドレスレジスタ 0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
	OL メモリ転送元アドレスレジスタ 1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
	OL メモリ転送先アドレスレジスタ 0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
	OL メモリ転送先アドレスレジスタ 1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32
UBC	マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
	マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
	マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
	マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
	マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
	マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
	マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
	マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
	マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
	マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
	実行回数ブレークレジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32

モジュール名	名 称	略称	R/W	P4 領域 アドレス ^{*1}	エリア 7 アドレス ^{*1}	アクセス サイズ ^{*2}
UBC	チャネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
	ブレークコントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 アクセスサイズはビット数を示しています。

11.2 各動作モードにおけるレジスタの状態

モジュール名	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
例外処理	TRAPA 例外レジスタ	TRA	不定	不定	保持	保持
	例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持	保持
	割り込み事象レジスタ	INTEVT	不定	不定	保持	保持
	非サポート検出例外レジスタ	EXPMASK	初期値 (製品に依存)	初期値 (製品に依存)	保持	保持
MMU	ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持	保持
	ページテーブルエントリ下位レジスタ	PTL	不定	不定	保持	保持
	変換テーブルベースレジスタ	TTB	不定	不定	保持	保持
	TLB 例外アドレスレジスタ	TEA	不定	保持	保持	保持
	MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持	保持
	ページテーブルエントリアシスタンスレジスタ	PTEA	不定	不定	保持	保持
	物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持	保持
	命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持	保持
キャッシュ	キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持	保持
	キューアドレス制御レジスタ 0	QACR0	不定	不定	保持	保持
	キューアドレス制御レジスタ 1	QACR1	不定	不定	保持	保持
	内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持	保持
内蔵メモリ	OL メモリ転送元アドレスレジスタ 0	LSA0	不定	不定	保持	保持
	OL メモリ転送元アドレスレジスタ 1	LSA1	不定	不定	保持	保持
	OL メモリ転送先アドレスレジスタ 0	LDA0	不定	不定	保持	保持
	OL メモリ転送先アドレスレジスタ 1	LDA1	不定	不定	保持	保持
UBC	マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持	保持
	マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持	保持
	マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持	保持
	マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持	保持
	マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持	保持
	マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持	保持
	マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持	保持
	マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持	保持
	マッチデータ設定レジスタ 1	CDR1	不定	保持	保持	保持
	マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持	保持

モジュール名	名称	略称	パワーオン リセット	マニュアル リセット	スリープ	スタンバイ
UBC	実行回数ブ레이크レジスタ 1	CETR1	不定	保持	保持	保持
	チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持	保持
	ブ레이크コントロールレジスタ	CBCR	H'0000 0000	保持	保持	保持

付録

A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいはエリアアドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU の MOV 命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1.または 2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
 - 1.または 2.の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	RABD	-	INTMU	-	-	-
初期値 :	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ~ 6	-	H'000000F	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0 : サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを 0 に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1 : サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	-	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0 : 割り込みを受理しても SR.IMASK の値は変化しません。 1 : 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2 ~ 0	-	000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

B. 命令プリフェッチとその副作用について

SH-4A は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

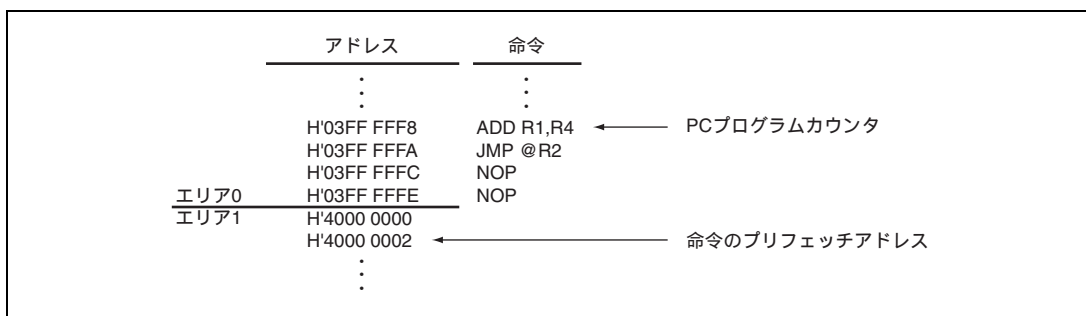


図 B.1 命令のプリフェッチ

図 B.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

(1) 命令のプリフェッチの副作用

1. 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
2. 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

1. MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
2. 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

C. サブルーチン復帰投機実行

SH-4A はサブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮することができます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を 0 に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「付録 B. (1) 命令のプリフェッチの副作用」を参照してください。

使用条件：

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑止でき、誤動作を回避することが可能です。

D. バージョンレジスタ (PVR、PRR)

SH-4A は、プロセッサコアのバージョンと製品のバージョンを示す読み出し専用のレジスタを内蔵しています。これらのレジスタの値を用いることにより、ソフトウェアからプロセッサのバージョンおよび製品を区別することができ拡張性の高いシステムを構築することが可能となります。バージョンレジスタの値は製品ごとに異なるため、詳細は製品のハードウェアマニュアルを参照するか、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。

【注】 PVR レジスタのビット7～ビット0 と、PRR レジスタのビット3～ビット0 の値は必ずマスクをし、ソフトウェアに影響を与えないようにしてください。

表 D.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'FF00 0044	H'1F00 0044	32

• PVR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CHIP								VER							
初期値 :	0	0	0	1	0	0	0	0	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CUT								-	-	-	-	-	-	-	-
初期値 :	*	*	*	*	*	*	*	*	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31～24	CHIP	H'10	R	プロセッサファミリの種別を示します。 SH-4A シリーズでは、必ず、H'10 が読み出されます。
23～16	VER	*	R	バージョンを示します。 SH-4A シリーズに大幅な機能拡張を行う場合に変更します。 本マニュアルでは、VER が H'30 以上の場合を対象としています。
15～8	CUT	*	R	バージョンを示します。 SH-4A シリーズに小規模な修正を行う場合に変更します。 本ビットは製品により異なります。
7～0	-	不定	R	不定値が読み出されます。 ソフトウェアからは読み出し後に必ずマスクをして使用してください。

【注】 * 本ビットの値は製品により異なります。

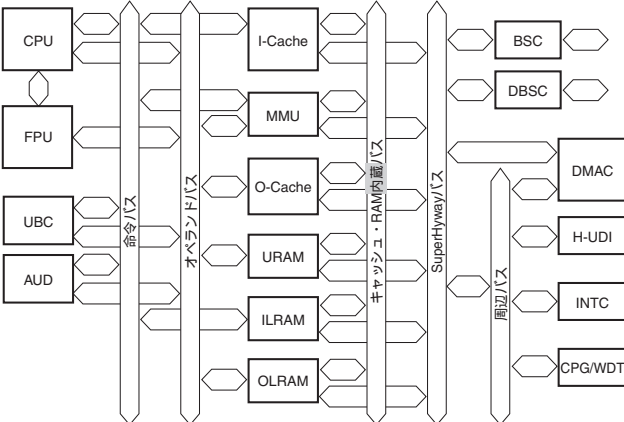
• PRR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Product								CUT				-	-	-	-
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31 ~ 16	-	すべて 0	R	すべて 0 固定です。
15 ~ 8	Product	*	R	製品種別を示します。 本ビットの値は、製品により異なります。
7 ~ 4	CUT	*	R	バージョンを示します。 製品に小規模な修正を行う場合に変更します。本ビットは製品により異なります。
3 ~ 0	-	不定	R	不定値が読み出されます。 ソフトウェアからは読み出し後に必ずマスクをして使用してください。

【注】 * 本ビットの値は製品により異なります。

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																														
1.2 ブロック図 図 1.1 ブロック図	1-5	図を修正 																														
1.4 SH-4 から SH-4A (PVR.VER = H'20) への変更点 表 1.3 SH-4 から SH-4A (PVR.VER = H'20) への変更点	1-7	表を修正 <table><tr><th>章番号、章名</th><th>節番号</th><th>節名</th><th>変更点</th></tr><tr><td>4. バイプライン動作</td><td>4.3</td><td>発行レートと実行スタート</td><td>実行スタート数変更</td></tr><tr><td rowspan="7">7. メモリマネジメントユニット</td><td>7.1.1</td><td>アドレス空間</td><td>P4 領域の構成変更 内蔵 RAM 空間を削除</td></tr><tr><td>7.2</td><td>レジスタの説明</td><td>ページテーブルエントリアシストレジスタ (PTE) の削除 物理アドレス空間制御レジスタの追加</td></tr><tr><td>7.2.7</td><td>物理アドレス空間制御レジスタ (PASCR)</td><td>新規追加</td></tr><tr><td>7.2.8</td><td>命令再フェッチ抑止レジスタ (IRMCR)</td><td>新規追加</td></tr><tr><td>7.3</td><td>TLB の機能</td><td>TLB から、空間属性ビット (SA[2:0])、タイムグコントロールビット (TC) を削除</td></tr><tr><td>7.5.5</td><td>シノニム問題の回避</td><td>キャッシュサイズ変更およびインデックスモード削除に伴い、該当ビット変更</td></tr><tr><td>7.6.1、7.6.4</td><td>命令 TLB 多重ヒット例外およびデータ TLB 多重ヒット例外</td><td>ITLB ミスハンドリングによる UTLB 検索で多重ヒットになった場合も命令 TLB 多重ヒット例外に変更</td></tr></table>	章番号、章名	節番号	節名	変更点	4. バイプライン動作	4.3	発行レートと実行スタート	実行スタート数変更	7. メモリマネジメントユニット	7.1.1	アドレス空間	P4 領域の構成変更 内蔵 RAM 空間を削除	7.2	レジスタの説明	ページテーブルエントリアシストレジスタ (PTE) の削除 物理アドレス空間制御レジスタの追加	7.2.7	物理アドレス空間制御レジスタ (PASCR)	新規追加	7.2.8	命令再フェッチ抑止レジスタ (IRMCR)	新規追加	7.3	TLB の機能	TLB から、空間属性ビット (SA[2:0])、タイムグコントロールビット (TC) を削除	7.5.5	シノニム問題の回避	キャッシュサイズ変更およびインデックスモード削除に伴い、該当ビット変更	7.6.1、7.6.4	命令 TLB 多重ヒット例外およびデータ TLB 多重ヒット例外	ITLB ミスハンドリングによる UTLB 検索で多重ヒットになった場合も命令 TLB 多重ヒット例外に変更
章番号、章名	節番号	節名	変更点																													
4. バイプライン動作	4.3	発行レートと実行スタート	実行スタート数変更																													
7. メモリマネジメントユニット	7.1.1	アドレス空間	P4 領域の構成変更 内蔵 RAM 空間を削除																													
	7.2	レジスタの説明	ページテーブルエントリアシストレジスタ (PTE) の削除 物理アドレス空間制御レジスタの追加																													
	7.2.7	物理アドレス空間制御レジスタ (PASCR)	新規追加																													
	7.2.8	命令再フェッチ抑止レジスタ (IRMCR)	新規追加																													
	7.3	TLB の機能	TLB から、空間属性ビット (SA[2:0])、タイムグコントロールビット (TC) を削除																													
	7.5.5	シノニム問題の回避	キャッシュサイズ変更およびインデックスモード削除に伴い、該当ビット変更																													
	7.6.1、7.6.4	命令 TLB 多重ヒット例外およびデータ TLB 多重ヒット例外	ITLB ミスハンドリングによる UTLB 検索で多重ヒットになった場合も命令 TLB 多重ヒット例外に変更																													
	1-8	表を修正 <table><tr><th>章番号、章名</th><th>節番号</th><th>節名</th><th>変更点</th></tr><tr><td rowspan="4">7. メモリマネジメントユニット</td><td>7.7</td><td>メモリ割り付け TLB の構成</td><td>ITLB および UTLB のデータアレイ 2 を削除</td></tr><tr><td>7.7.4</td><td>UTLB アドレスアレイ</td><td>UTLB アドレスアレイに対する連想ライトではデータ TLB 多重ヒット例外を発生しないよう変更 メモリ割り付けアドレスを HF600 0000 - HF6FF FFFF から HF600 0000 - HF60F FFFF へ変更</td></tr><tr><td>7.7.5</td><td>UTLB データアレイ</td><td>メモリ割り付けアドレスを HF700 0000 - HF77F FFFF から HF700 0000 - HF70F FFFF へ変更</td></tr><tr><td>7.8</td><td>32 ビットアドレス拡張モード</td><td>新規追加</td></tr><tr><td>11. 自命令の説明 (ソフトウェアマニュアル)</td><td>-</td><td>-</td><td>CPU 命令として 9 命令追加 FPU 命令として 3 命令追加</td></tr></table>	章番号、章名	節番号	節名	変更点	7. メモリマネジメントユニット	7.7	メモリ割り付け TLB の構成	ITLB および UTLB のデータアレイ 2 を削除	7.7.4	UTLB アドレスアレイ	UTLB アドレスアレイに対する連想ライトではデータ TLB 多重ヒット例外を発生しないよう変更 メモリ割り付けアドレスを HF600 0000 - HF6FF FFFF から HF600 0000 - HF60F FFFF へ変更	7.7.5	UTLB データアレイ	メモリ割り付けアドレスを HF700 0000 - HF77F FFFF から HF700 0000 - HF70F FFFF へ変更	7.8	32 ビットアドレス拡張モード	新規追加	11. 自命令の説明 (ソフトウェアマニュアル)	-	-	CPU 命令として 9 命令追加 FPU 命令として 3 命令追加									
章番号、章名	節番号	節名	変更点																													
7. メモリマネジメントユニット	7.7	メモリ割り付け TLB の構成	ITLB および UTLB のデータアレイ 2 を削除																													
	7.7.4	UTLB アドレスアレイ	UTLB アドレスアレイに対する連想ライトではデータ TLB 多重ヒット例外を発生しないよう変更 メモリ割り付けアドレスを HF600 0000 - HF6FF FFFF から HF600 0000 - HF60F FFFF へ変更																													
	7.7.5	UTLB データアレイ	メモリ割り付けアドレスを HF700 0000 - HF77F FFFF から HF700 0000 - HF70F FFFF へ変更																													
	7.8	32 ビットアドレス拡張モード	新規追加																													
11. 自命令の説明 (ソフトウェアマニュアル)	-	-	CPU 命令として 9 命令追加 FPU 命令として 3 命令追加																													

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																															
2.2.1 特権モードとバンク （５）浮動小数点レジスタと FPU に関するシステムレジスタ 表 2.1 レジスタの初期値	2-3	表を修正 <table><tr><th>区分</th><th>レジスタ</th><th>初期値*</th></tr><tr><td>コントロールレジスタ</td><td>SR</td><td>MD ビットは 1、RB ビットは 1、BL ビットは 1、IMASK は B'1111、その他はリザーブビットも含めて 0</td></tr></table>	区分	レジスタ	初期値*	コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、IMASK は B'1111、その他はリザーブビットも含めて 0																																																									
区分	レジスタ	初期値*																																																															
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、IMASK は B'1111、その他はリザーブビットも含めて 0																																																															
4.1 パイプライン	4-1	説明を修正 図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ（I1、I2、I3）、デコード・レジスタリード（ID）、実行（E1、E2、E3）、ライトバック（WB）の 8 ステージから構成されます。																																																															
4.3 発行レートと実行スタート 表 4.4 発行レートと実行スタート	4-21	表を修正 <table><tr><th>機能分類</th><th>No.</th><th>命令</th><th>命令グループ</th><th>発行レート</th><th>実行スタート</th><th>実行パターン</th></tr><tr><td rowspan="5">単精度浮動小数点命令</td><td>195</td><td>FDIV FRm,FRn</td><td>FE</td><td>1</td><td>14</td><td>6-15</td></tr><tr><td>196</td><td>FLOAT FPUL,FRn</td><td>FE</td><td>1</td><td>1</td><td>6-14</td></tr><tr><td>197</td><td>FMAC FR0,FRm,FRn</td><td>FE</td><td>1</td><td>1</td><td>6-14</td></tr><tr><td>198</td><td>FMUL FRm,FRn</td><td>FE</td><td>1</td><td>1</td><td>6-14</td></tr><tr><td>199</td><td>FNEG FRn</td><td>LS</td><td>1</td><td>1</td><td>6-12</td></tr><tr><td rowspan="4">倍精度浮動小数点命令</td><td>200</td><td>FSQRT FRn</td><td>FE</td><td>1</td><td>14</td><td>6-15</td></tr><tr><td>215</td><td>FCNVSD FPUL,DRn</td><td>FE</td><td>1</td><td>1</td><td>6-16</td></tr><tr><td>216</td><td>FDIV DRm,DRn</td><td>FE</td><td>1</td><td>30</td><td>6-18</td></tr><tr><td>217</td><td>FLOAT FPUL,DRn</td><td>FE</td><td>1</td><td>1</td><td>6-16</td></tr></table>	機能分類	No.	命令	命令グループ	発行レート	実行スタート	実行パターン	単精度浮動小数点命令	195	FDIV FRm,FRn	FE	1	14	6-15	196	FLOAT FPUL,FRn	FE	1	1	6-14	197	FMAC FR0,FRm,FRn	FE	1	1	6-14	198	FMUL FRm,FRn	FE	1	1	6-14	199	FNEG FRn	LS	1	1	6-12	倍精度浮動小数点命令	200	FSQRT FRn	FE	1	14	6-15	215	FCNVSD FPUL,DRn	FE	1	1	6-16	216	FDIV DRm,DRn	FE	1	30	6-18	217	FLOAT FPUL,DRn	FE	1	1	6-16
機能分類	No.	命令	命令グループ	発行レート	実行スタート	実行パターン																																																											
単精度浮動小数点命令	195	FDIV FRm,FRn	FE	1	14	6-15																																																											
	196	FLOAT FPUL,FRn	FE	1	1	6-14																																																											
	197	FMAC FR0,FRm,FRn	FE	1	1	6-14																																																											
	198	FMUL FRm,FRn	FE	1	1	6-14																																																											
	199	FNEG FRn	LS	1	1	6-12																																																											
倍精度浮動小数点命令	200	FSQRT FRn	FE	1	14	6-15																																																											
	215	FCNVSD FPUL,DRn	FE	1	1	6-16																																																											
	216	FDIV DRm,DRn	FE	1	30	6-18																																																											
	217	FLOAT FPUL,DRn	FE	1	1	6-16																																																											
	4-22	表を修正 <table><tr><th>機能分類</th><th>No.</th><th>命令</th><th>命令グループ</th><th>発行レート</th><th>実行スタート</th><th>実行パターン</th></tr><tr><td>倍精度</td><td>218</td><td>FMUL DRm,DRn</td><td>FE</td><td>1</td><td>3</td><td>6-17</td></tr><tr><td>浮動小数点命令</td><td>219</td><td>FNEG DRn</td><td>LS</td><td>1</td><td>1</td><td>6-12</td></tr><tr><td></td><td>220</td><td>FSQRT DRn</td><td>FE</td><td>1</td><td>30</td><td>6-18</td></tr></table>	機能分類	No.	命令	命令グループ	発行レート	実行スタート	実行パターン	倍精度	218	FMUL DRm,DRn	FE	1	3	6-17	浮動小数点命令	219	FNEG DRn	LS	1	1	6-12		220	FSQRT DRn	FE	1	30	6-18																																			
機能分類	No.	命令	命令グループ	発行レート	実行スタート	実行パターン																																																											
倍精度	218	FMUL DRm,DRn	FE	1	3	6-17																																																											
浮動小数点命令	219	FNEG DRn	LS	1	1	6-12																																																											
	220	FSQRT DRn	FE	1	30	6-18																																																											
5.3.1 例外処理の流れ	5-6	説明を修正 6. 例外コードは、例外要因の例外事象レジスタ（EXPEVT）のビット 11～Q、または割り込み事象レジスタ（INTEVT）のビット 13～0 に書き込まれます。																																																															
5.6.2 一般例外 （５）命令 TLB 保護違反例外 表 5.7 ITLB プロテクション情報（TLB 拡張モードの場合）	5-16	表を修正 <table><tr><th>EPR[5], EPR[3]</th><th>特権モードでの実行の可否</th></tr><tr><td>11, 01</td><td>実行可</td></tr><tr><td>10</td><td>命令フェッチは実行不可、ICBI の Rn アクセスは実効可</td></tr><tr><td>00</td><td>実行不可</td></tr></table> <table><tr><th>EPR[2], EPR[0]</th><th>ユーザモードでの実行の可否</th></tr><tr><td>11, 01</td><td>実行可</td></tr><tr><td>10</td><td>命令フェッチは実行不可、ICBI の Rn アクセスは実効可</td></tr><tr><td>00</td><td>実行不可</td></tr></table>	EPR[5], EPR[3]	特権モードでの実行の可否	11, 01	実行可	10	命令フェッチは実行不可、ICBI の Rn アクセスは実効可	00	実行不可	EPR[2], EPR[0]	ユーザモードでの実行の可否	11, 01	実行可	10	命令フェッチは実行不可、ICBI の Rn アクセスは実効可	00	実行不可																																															
EPR[5], EPR[3]	特権モードでの実行の可否																																																																
11, 01	実行可																																																																
10	命令フェッチは実行不可、ICBI の Rn アクセスは実効可																																																																
00	実行不可																																																																
EPR[2], EPR[0]	ユーザモードでの実行の可否																																																																
11, 01	実行可																																																																
10	命令フェッチは実行不可、ICBI の Rn アクセスは実効可																																																																
00	実行不可																																																																
6.3.2 浮動小数点ステータス / コントロールレジスタ（FPSCR）	6-9	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説明</th></tr><tr><td>1, 0</td><td>RM</td><td>01</td><td>R/W</td><td>丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：リザーブ（設定禁止） 11：リザーブ（設定禁止）</td></tr></table>	ビット	ビット名	初期値	R/W	説明	1, 0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：リザーブ（設定禁止） 11：リザーブ（設定禁止）																																																					
ビット	ビット名	初期値	R/W	説明																																																													
1, 0	RM	01	R/W	丸めモード 丸めの方法を選択します。 00：近傍への丸め 01：0 方向への丸め 10：リザーブ（設定禁止） 11：リザーブ（設定禁止）																																																													
7.2 レジスタの説明 表 7.2 各処理状態におけるレジスタの状態	7-10	表を修正 <table><tr><th>名 称</th><th>略称</th><th>パワーオンリセット</th><th>マニュアルリセット</th><th>スリープ</th><th>スタンバイ</th></tr><tr><td>ページテーブルエントリアシスタンスレジスタ</td><td>PTEA</td><td>H'0000 xxx0</td><td>H'0000 xxx0</td><td>保持</td><td>保持</td></tr></table>	名 称	略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ	ページテーブルエントリアシスタンスレジスタ	PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持																																																			
名 称	略称	パワーオンリセット	マニュアルリセット	スリープ	スタンバイ																																																												
ページテーブルエントリアシスタンスレジスタ	PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持																																																												

改訂-3

修正項目	ページ	修正内容（詳細はマニュアル参照）										
7.8.6 32ビットアドレス拡張モード使用時の注意事項 (8) LSA0、LSA1、LDA0、LDA1	7-56	説明を修正 L0SADR、L1SADR、L0DADR、L1DADR がそれぞれ[31:10]に拡張されます。										
8.2.4 内蔵メモリ制御レジスタ（RAMCR）	8-9	説明を修正 1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域またはILメモリ、OLメモリあるいはUメモリ領域でかまいません。										
8.4.1 読み出し動作	8-15	説明を修正 3. キャッシュヒット ヒットしたウェイのデータ部から、仮想アドレスのビット[4:2]でインデックスされるデータを命令として読み出します。										
10.2.1 マッチ条件設定レジスタ0、1（CBR0、CBR1） • CBR0	10-5	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>29～24</td><td>MFI</td><td>100000</td><td>R/W</td><td>マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタの MF0 ビット 000001：CCMFR レジスタの MF1 ビット その他：リザーブ（設定禁止） 【注】初期値はリザーブ（設定禁止）の状態になりますが、CBR0[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCMFR レジスタの MF0 ビットが0の状態、本レジスタの MFE ビットを1に、MFI ビットを000000に設定するとチャネル0でヒットしなくなりますので注意してください。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	29～24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタの MF0 ビット 000001：CCMFR レジスタの MF1 ビット その他：リザーブ（設定禁止） 【注】初期値はリザーブ（設定禁止）の状態になりますが、CBR0[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCMFR レジスタの MF0 ビットが0の状態、本レジスタの MFE ビットを1に、MFI ビットを000000に設定するとチャネル0でヒットしなくなりますので注意してください。
ビット	ビット名	初期値	R/W	説 明								
29～24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタの MF0 ビット 000001：CCMFR レジスタの MF1 ビット その他：リザーブ（設定禁止） 【注】初期値はリザーブ（設定禁止）の状態になりますが、CBR0[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCMFR レジスタの MF0 ビットが0の状態、本レジスタの MFE ビットを1に、MFI ビットを000000に設定するとチャネル0でヒットしなくなりますので注意してください。								
• CBR1	10-7	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>29～24</td><td>MFI</td><td>100000</td><td>R/W</td><td>マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタの MF0 ビット 000001：CCMFR レジスタの MF1 ビット その他：リザーブ（設定禁止） 【注】初期値はリザーブ（設定禁止）の状態になりますが、CBR1[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCMFR レジスタの MF1 ビットが0の状態、本レジスタの MFE ビットを1に、MFI ビットを000001に設定するとチャネル1でヒットしなくなりますので注意してください。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	29～24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタの MF0 ビット 000001：CCMFR レジスタの MF1 ビット その他：リザーブ（設定禁止） 【注】初期値はリザーブ（設定禁止）の状態になりますが、CBR1[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCMFR レジスタの MF1 ビットが0の状態、本レジスタの MFE ビットを1に、MFI ビットを000001に設定するとチャネル1でヒットしなくなりますので注意してください。
ビット	ビット名	初期値	R/W	説 明								
29～24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000：CCMFR レジスタの MF0 ビット 000001：CCMFR レジスタの MF1 ビット その他：リザーブ（設定禁止） 【注】初期値はリザーブ（設定禁止）の状態になりますが、CBR1[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCMFR レジスタの MF1 ビットが0の状態、本レジスタの MFE ビットを1に、MFI ビットを000001に設定するとチャネル1でヒットしなくなりますので注意してください。								
10.3.6 退避されるプログラムカウンタの値	10-23	説明を修正 4. オペランドアクセス（アドレス+データ）をマッチ条件として指定する場合										
付録 A. CPU 動作モードレジスタ（CPUOPM）	付録-1	説明を修正 CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU の MOV 命令で行ってください。 図および表を修正 ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W： R R R R R R R R R R R R R R R R ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 初期値： 0 0 0 0 0 0 0 0 1 1 1 0 0 0 0 0 R/W： R R R R R R R R R R/W R/W R R R R <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>5</td><td>RABD</td><td>0</td><td>R/W</td><td>サブルーチン復帰投機実行ビット 0：サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを0に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1：サブルーチンからの復帰時に命令フェッチを投機的に発行しません。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0：サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを0に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1：サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
ビット	ビット名	初期値	R/W	説 明								
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0：サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを0に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1：サブルーチンからの復帰時に命令フェッチを投機的に発行しません。								

索引

【数字 / 記号】

0 による除算	6-11
32 ビットアドレス拡張	7-50
32 ビットブート機能	7-57
32 ビットブート時の注意点	7-57

【F】

FPU エラー	6-11
FPU に関するシステムレジスタ	2-3
FPU 例外	5-23, 6-11
FPU 例外処理	6-12

【H】

H-UDI リセット	5-11
------------------	------

【N】

NMI (ノンマスカブル割り込み)	5-23
-------------------------	------

【P】

PMB の初期エントリ	7-57
-------------------	------

【S】

SH-4A 拡張機能	1-6
------------------	-----

【T】

TLB 拡張モードの機能	7-25
T ビット	3-2

【U】

U メモリアドレス	9-3
-----------------	-----

【あ】

アドレス変換	7-8
アドレス変換方式	7-28
アドレッシングモード	3-3
アンダフロー	6-11
一般 FPU 抑止 / スロット FPU 抑止例外	6-11
一般 FPU 抑止例外	5-21
一般不当命令例外	5-19
一般割り込み要求	5-24

オーバフロー	6-11
オペランドアクセスサイクルブレイク	10-21

【か】

仮想アドレス空間	7-4
キャッシュ	8-1
共用 TLB	7-20
共用 TLB (UTLB) の構成	7-25
固定小数点転送命令	3-8
コントロールレジスタ	2-2

【さ】

算術演算命令	3-9
ジオメトリック演算命令	6-13
実行ステート	4-15
システムレジスタ	2-3
システム制御命令	3-13
実効アドレス	3-3
シフト命令	3-12
初期ページ書き込み例外	5-13
処理モード	2-2
スロット FPU 抑止例外	5-21
スロット不当命令例外	5-20

【た】

多重仮想記憶モード	7-8
単一仮想記憶モード	7-8
単精度浮動小数点レジスタ	2-6
単精度浮動小数点拡張レジスタ	2-7
単精度浮動小数点拡張レジスタ行列	2-7
単精度浮動小数点ベクトルレジスタ	2-6
遅延スロット	3-1
遅延分岐	3-1
低消費電力状態	2-16
データ TLB ミス例外	5-12
データ TLB 多重ヒット例外	5-12
データ TLB 保護違反例外	5-14
データアドレスエラー	5-17
特権空間マッピングバッファ (PMB) 構成	7-51
特権モード	2-2

【な】

内蔵メモリ 9-1

【は】

倍精度浮動小数点レジスタ 2-6
 バイプライン動作 4-1
 発行レート 4-15
 パワーオンリセット 5-11
 汎用レジスタ 2-2
 非正規化数 6-5
 ビッグエンディアン 2-15
 符号拡張 2-14
 不正確例外 6-11
 物理アドレス空間 7-7
 浮動小数点レジスタ 2-3, 2-6
 浮動小数点制御命令 3-17
 浮動小数点単精度命令 3-16
 浮動小数点倍精度命令 3-17
 浮動小数点フォーマット 6-2
 浮動小数点ユニット (FPU) 6-1
 浮動小数点レジスタ 6-6
 プログラミングモデル 2-1
 分岐命令 3-13
 ベア単精度データ転送命令 6-14
 ベクタアドレス 5-7

【ま】

マニュアルリセット 5-11
 丸め 6-10
 無効演算 6-11
 無条件トラップ 5-18
 命令 TLB 7-22
 命令 TLB (ITLB) の構成 7-28
 命令 TLB 多重ヒット例外 5-11
 命令 TLB 保護違反例外 5-15
 命令 TLB ミス例外 5-13
 命令アドレスエラー 5-18
 命令キャッシュウェイ予測の動作説明 8-16
 命令実行後ユーザブレイク 5-22
 命令実行状態 2-16
 命令実行前ユーザブレイク 5-22
 命令セット 3-1
 命令フェッチサイクルブレイク 10-20
 メモリマネジメントユニット 7-1
 メモリ割り付け PMB の構成 7-54
 メモリ割り付け TLB の構成変更 7-44
 メモリ割り付けレジスタ 2-14

【や】

ユーザブレイクコントローラ 10-1
 ユーザブレイク動作の流れ 10-18
 ユーザモード 2-2

【ら】

リセット状態 2-16
 リトルエンディアン 2-15
 例外 / 割り込みコード 5-7
 例外処理 5-1, 5-6
 例外フロー 5-8
 レジスタ
 CAMR0 10-13, 11-2, 11-4
 CAMR1 10-13, 11-2, 11-4
 CAR0 10-12, 11-2, 11-4
 CAR1 11-2, 11-4
 CBCR 10-17, 11-3, 11-5
 CBR0 10-4, 11-2, 11-4
 CBR1 10-4, 11-2, 11-4
 CCMFR 10-16, 11-3, 11-5
 CCR 8-6
 CDMR1 10-15, 11-2, 11-4
 CDR1 10-14, 11-2, 11-4
 CETR1 10-15, 11-5
 CPUOPM 1
 CRR0 10-10, 11-2, 11-4
 CRR1 10-10, 11-2, 11-4
 CSTR1 11-2
 DBR 2-11
 EXPEVT 5-2
 EXPMASK 5-4
 FPSCR 2-11, 6-8
 FPUL 2-13, 6-10
 GBR 2-10
 INTEVT 5-3
 IRMCR 7-18
 LDA0 9-8
 LDA1 9-9
 LSA0 9-6
 LSA1 9-7
 MACH 2-11
 MACL 2-11
 MMUCR 7-13
 PASCR 7-17
 PC 2-11
 PR 2-11
 PRR 4

PTEA	7-16	SR	2-9
PTEH	7-11	SSR	2-10
PTEL	7-12	TEA	7-13
PVR	4	TRA	5-2
QACR0	8-8	TTB	7-13
QACR1	8-8	VBR	2-10
RAMCR	8-9, 9-5	レジスタの状態	11-1
SGR	2-10	ロード/ストアアーキテクチャ	3-1
SPC	2-10	論理演算命令	3-11

ルネサス32ビットRISCマイクロコンピュータ
SH-4Aコア拡張機能
ユーザーズマニュアル ハードウェア編

発行年月日 2006 年 9 月 7 日 Rev.1.00
2013 年 8 月 8 日 Rev.2.00

発 行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

SH-4A コア拡張機能
ユーザーズマニュアル ハードウェア編